

# SH7751 グループ、SH7751R グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ  
SuperH™ RISC engine ファミリ / SH7750 シリーズ

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものです。誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、変更、複製等しないでください。かかる改造、変更、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、  
家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、  
防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

---

# 本書の構成

---

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 本版で改訂された箇所
5. 概要
6. 各機能モジュールの説明
  - ・ CPU およびシステム制御系
  - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、  
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項  
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。  
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。  
必ずお読みください（使用上の注意事項は必要により記載されます）。

---

# はじめに

---

本 LSI は、内部 32 ビット構成の SH-4 CPU を核に、システム構成に必要な周辺機能を集積したマイクロプロセッサです。

本 LSI は、キャッシュメモリ、メモリマネジメントユニット (MMU)、割り込みコントローラ、浮動小数点ユニット (FPU)、タイマ、2 種類のシリアルコミュニケーションインタフェース (SCI, SCIF)、リアルタイムクロック (RTC)、ユーザブレイクコントローラ (UBC)、バスステートコントローラ (BSC)、PCI バスコントローラ (PCIC) などの周辺機能を内蔵しており、マルチメディア機器向け用マイコンとして活用できます。バスステートコントローラは、ROM、SRAM、DRAM、シンクロナス DRAM、PCMCIA に対応しています。

**対象者** このマニュアルは、SH7751、SH7751R を用いた応用システムを設計するユーザーを対象としています。

このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

**目的** このマニュアルは、SH7751、SH7751R のハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。

なお、実行命令の詳細については、「SH-4 ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

## 読み方

- 機能全体を理解しようとするとき

目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき

別冊の「SH-4 ソフトウェアマニュアル」を参照してください。

**凡例** ビット表記順 : 左側が上位ビット、右側が下位ビット

**関連資料一覧** ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であることを確認してください。

(<http://japan.renesas.com/>)

- SH7751、SH7751Rに関するユーザーズマニュアル

資料名	資料番号
SH7751 グループ、SH7751R グループ ユーザーズマニュアル ハードウェア編	本マニュアル
SH-4 ソフトウェアマニュアル	RJJ09B0346-0600

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
Super H™ RISC engine C/C++ コンパイラ、アセンブラ、最適化リンケージエディタユーザーズマニュアル	RJJ10J1885-0100
Super H™ RISC engine シミュレータ/デバッガ ユーザーズマニュアル	RJJ10B0218-0400
High-Performance Embedded Workshop ユーザーズマニュアル	RJJ10J2060-0100

- アプリケーションノート

資料名	資料番号
Super H™ RISC engine C/C++ コンパイラパッケージ アプリケーションノート	RJJ05B0557-0700

---

## 本版で改訂された箇所

---

修正項目	ページ	修正内容（詳細はマニュアル参照）
全体	—	ONPAC-BGA 品を追加（HD6417751RBA240HV）
1.1 SH7751/SH7751R グループの特長	1-6	製品ラインアップの表に「HD6417751RBA240H」を追加
1.3 ピン配置図 図 1.4 ピン配置図（292 ピン BGA）	1-10	図を修正 N19：「PCIFRAME1」及び W7：「D23」のボールのマークを白抜きに修正 Ⓜ ○
22.2.1 PCI コンフィグレーションレジスタ 0（PCICONF0）	22-11	注を修正 【注】* ベンダ ID H'1054 は（株）日立製作所の ID ですが、現在 SH7751/SH7751R はルネサス エレクトロニクス（株）の製品です。本製品に関するお問い合わせは、ルネサス エレクトロニクス（株）をお願いします。

修正項目	ページ	修正内容（詳細はマニュアル参照）
<p>22.12.5 マスタアクセス時のパリティエラー検出についての注意事項</p>	<p>22-126</p>	<p>22.12.5 節を追加</p> <p>PCIC がマスタリードアクセス時に TRDY アサート中のデータパリティエラー検出ができない場合があります。</p> <p>[現象]</p> <p>下記条件すべてを満たすとき、データパリティエラー検出ができません。PERR をアサートせず、検出ビットもたないため、未検出と同じ動作となります。</p> <p>PCIC(マスタ)動作条件</p> <p>1) PCI コンフィグレーションレジスタ 1 の PER ビットに 1 を設定（検出したパリティエラーに応答する）</p> <p>2)マスタメモリリードサイクル</p> <p>外部 PCI デバイス(ターゲット)動作条件</p> <p>ターゲット・イニシエーテッド・ディスコネクト（データ有り）：STOP アサート</p> <p>[システムでの影響]</p> <p>ターゲット・イニシエーテッド・ディスコネクト（データ有り）において、ディスコネクトされたデータフェーズのパリティエラーが検出されず PERR がアサートされません。上記条件のうち 1 つでも満たさない場合は正常にパリティエラーを判定いたします。</p> <p>マスタリードアクセス時において本現象が問題になる場合があります（ターゲット・データ・パリティエラー）。</p> <p>[回避策]</p> <p>本不具合に対する PCIC による回避策はございません。</p>
<p>23. 電気的特性</p>	<p>23-1 ~ 23-92</p>	<p>HD6417751RBA240HV の記述を追加</p>



修正項目	ページ	修正内容（詳細はマニュアル参照）																															
23.1 絶対最大定格 表 23.1 絶対最大定格	23-1	<p>表および注を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>定格値</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="3">I/O、RTC、CPG 電源電圧</td> <td><math>V_{DD0}</math></td> <td>-0.3 ~ 4.2</td> <td rowspan="3">V</td> </tr> <tr> <td><math>V_{DDRTC}</math></td> <td>-0.3 ~ 4.6<sup>*1</sup></td> </tr> <tr> <td><math>V_{DDCPG}</math></td> <td></td> </tr> <tr> <td rowspan="2">内部電源電圧</td> <td><math>V_{DD}</math></td> <td>-0.3 ~ 2.5</td> <td rowspan="2">V</td> </tr> <tr> <td><math>V_{DDPLLIP}</math></td> <td>-0.3 ~ 2.1<sup>*1</sup></td> </tr> <tr> <td>入力電圧</td> <td><math>V_{in}</math></td> <td>-0.3 ~ <math>V_{DD} \pm 0.3</math></td> <td>V</td> </tr> <tr> <td rowspan="2">動作温度</td> <td rowspan="2"><math>T_{op}</math></td> <td>-20 ~ 75</td> <td rowspan="2"></td> </tr> <tr> <td>-40 ~ 85<sup>*</sup></td> </tr> <tr> <td>保存温度</td> <td><math>T_{stg}</math></td> <td>-55 ~ 125</td> <td></td> </tr> </tbody> </table> <p>【注】 最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。 すべての VSS を GND に接続しない場合、LSI の永久破壊となることがあります。 電源投入遮断手順については、「付録 G. 電源投入遮断手順について」を参照してください。</p> <p>*1 HD6417751R のみ *2 HD6417751RBA240HV のみ</p>	項目	記号	定格値	単位	I/O、RTC、CPG 電源電圧	$V_{DD0}$	-0.3 ~ 4.2	V	$V_{DDRTC}$	-0.3 ~ 4.6 <sup>*1</sup>	$V_{DDCPG}$		内部電源電圧	$V_{DD}$	-0.3 ~ 2.5	V	$V_{DDPLLIP}$	-0.3 ~ 2.1 <sup>*1</sup>	入力電圧	$V_{in}$	-0.3 ~ $V_{DD} \pm 0.3$	V	動作温度	$T_{op}$	-20 ~ 75		-40 ~ 85 <sup>*</sup>	保存温度	$T_{stg}$	-55 ~ 125	
項目	記号	定格値	単位																														
I/O、RTC、CPG 電源電圧	$V_{DD0}$	-0.3 ~ 4.2	V																														
	$V_{DDRTC}$	-0.3 ~ 4.6 <sup>*1</sup>																															
	$V_{DDCPG}$																																
内部電源電圧	$V_{DD}$	-0.3 ~ 2.5	V																														
	$V_{DDPLLIP}$	-0.3 ~ 2.1 <sup>*1</sup>																															
入力電圧	$V_{in}$	-0.3 ~ $V_{DD} \pm 0.3$	V																														
動作温度	$T_{op}$	-20 ~ 75																															
		-40 ~ 85 <sup>*</sup>																															
保存温度	$T_{stg}$	-55 ~ 125																															
23.2 DC 特性 表 23.2 HD6417751RBP240(V)、 HD6417751RBG240(V)、 HD6417751RBA240HV DC 特性 ( $T_a = -20 \sim 75$ <sup>*3</sup> )	23-2、23-3	<p>表タイトルを修正、および注*3 を追加</p> <p>*3 HD6417751RBA240HV のみ、<math>T_a = -40 \sim 85</math> の範囲になります。</p>																															
表 23.4 HD6417751RBP200(V)、 HD6417751RBG200(V)、 HD6417751RBA240HV <sup>*3</sup> DC 特性 ( $T_a = -20 \sim 75$ <sup>*4</sup> )	23-6、23-7	<p>表タイトルを修正、および注*3、*4 を追加</p> <p>*3 HD6417751RBA240HV を 200MHz の仕様で使用する場合があります。</p> <p>*4 HD6417751RBA240HV のみ、<math>T_a = -40 \sim 85</math> の範囲になります。</p>																															
23.3 AC 特性 表 23.9 クロックタイミング ( HD6417751RBP240(V)、 HD6417751RBG240(V)、 HD6417751RBA240HV )	23-14	<p>表タイトルを修正</p>																															
表 23.11 クロックタイミング ( HD6417751RBP200(V)、 HD6417751RBG200(V)、 HD6417751RBA240HV <sup>*1</sup> )	23-14	<p>表タイトルを修正、および注*1 を追加</p> <p>*1 HD6417751RBA240HV を 200MHz の仕様で使用する場合があります。</p>																															
23.3.1 クロック・制御信号タイミング 表 23.14 クロック・制御信号タイミング	23-15	<p>表タイトルの記述を修正、および注*2 を追加</p> <p>( HD6417751RBP240(V)、HD6417751RBG240(V)、 HD6417751RBA240HV : <math>V_{DD0} = 3.0 \sim 3.6V</math>、<math>V_{DD} = 1.5V</math>、<math>T_a = -20 \sim +75</math> <sup>*2</sup>、 <math>C_L = 30pF</math> )</p> <p>*2 HD6417751RBA240HV のみ、<math>T_a = -40 \sim 85</math> の範囲になります。</p>																															

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																																																																																																																						
23.3.1 クロック・制御信号タイミング 表 23.16 クロック・制御信号タイミング	23-17	<p>表タイトルの記述を修正、および注*2、*3を追加 (HD6417751RBP200(V)、HD6417751RBG200(V)、 HD6417751RBA240HV*2: <math>V_{DD0}=3.0\sim 3.6V</math>、<math>V_{DD}=1.5V</math>、<math>T_a=-20\sim +75</math> *3、 <math>C_L=30pF</math>)</p> <p>*2 HD6417751RBA240HV を 200MHz の仕様で使用する場合になります。 *3 HD6417751RBA240HV のみ、<math>T_a=-40\sim 85</math> の範囲になります。</p>																																																																																																																																																																						
23.3.2 制御信号タイミング 表 23.19 制御信号タイミング	23-25	<p>表を修正し、注*2、*3を追加</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th colspan="2">HD6417751 RBP240(V)</th> <th colspan="2">HD6417751 RBP200(V)</th> <th colspan="2">HD6417751 RBG200(V)</th> <th colspan="2">HD6417751 RBG200(V)</th> <th colspan="2">HD6417751 RF240(V)</th> <th colspan="2">HD6417751 RF200(V)</th> <th rowspan="2">単位</th> <th rowspan="2">参照図</th> </tr> <tr> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> </tr> </thead> <tbody> <tr> <td>BREQ セットアップ時間</td> <td><math>t_{BREQ}</math></td> <td>2.0</td> <td>-</td> <td>2.5</td> <td>-</td> <td>3.5</td> <td>-</td> <td>3.5</td> <td>-</td> <td>ns</td> <td></td> <td></td> <td>23.11</td> </tr> <tr> <td>BREQ ホールド時間</td> <td><math>t_{BREQH}</math></td> <td>1.5</td> <td>-</td> <td>1.5</td> <td>-</td> <td>1.5</td> <td>-</td> <td>1.5</td> <td>-</td> <td>ns</td> <td></td> <td></td> <td>23.11</td> </tr> <tr> <td>BACK 遅延時間</td> <td><math>t_{BACK}</math></td> <td>-</td> <td>5.3</td> <td>-</td> <td>5.3</td> <td>-</td> <td>6</td> <td>-</td> <td>6</td> <td>ns</td> <td></td> <td></td> <td>23.11</td> </tr> <tr> <td>バスタライステート遅延時間</td> <td><math>t_{COFF1}</math></td> <td>-</td> <td>12</td> <td>-</td> <td>12</td> <td>-</td> <td>12</td> <td>-</td> <td>12</td> <td>ns</td> <td></td> <td></td> <td>23.11</td> </tr> <tr> <td>スタンバイモードへのバスタライステート遅延時間</td> <td><math>t_{COFF2}</math></td> <td>-</td> <td>2</td> <td>-</td> <td>2</td> <td>-</td> <td>2</td> <td>-</td> <td>2</td> <td><math>t_{OFF}</math></td> <td></td> <td></td> <td>23.12 (2)</td> </tr> <tr> <td>バスパフファオンタイム</td> <td><math>t_{ON1}</math></td> <td>-</td> <td>12</td> <td>-</td> <td>12</td> <td>-</td> <td>12</td> <td>-</td> <td>12</td> <td>ns</td> <td></td> <td></td> <td>23.11</td> </tr> <tr> <td>スタンバイからのバスパフファオンタイム</td> <td><math>t_{ON2}</math></td> <td>-</td> <td>2</td> <td>-</td> <td>2</td> <td>-</td> <td>2</td> <td>-</td> <td>2</td> <td><math>t_{ON}</math></td> <td></td> <td></td> <td>23.12 (2)</td> </tr> <tr> <td rowspan="3">STATUS 0、STATUS 1 遅延時間</td> <td><math>t_{SD1}</math></td> <td>-</td> <td>6</td> <td>-</td> <td>6</td> <td>-</td> <td>6</td> <td>-</td> <td>6</td> <td>ns</td> <td></td> <td></td> <td>23.12 (1)</td> </tr> <tr> <td><math>t_{SD2}</math></td> <td>-</td> <td>2</td> <td>-</td> <td>2</td> <td>-</td> <td>2</td> <td>-</td> <td>2</td> <td><math>t_{SD}</math></td> <td></td> <td></td> <td>23.12 (1) (2)</td> </tr> <tr> <td><math>t_{SD3}</math></td> <td>-</td> <td>2</td> <td>-</td> <td>2</td> <td>-</td> <td>2</td> <td>-</td> <td>2</td> <td><math>t_{SD}</math></td> <td></td> <td></td> <td>23.12 (2)</td> </tr> </tbody> </table> <p>【注】 *1 <math>V_{DD0}=3.0\sim 3.6V</math>、<math>V_{DD}=1.5V</math>、<math>T_a=-20\sim 75</math> *3、<math>C_L=30pF</math>、PLL2 は on *2 HD6417751RBA240HV を 200MHz の仕様で使用する場合になります。 *3 HD6417751RBA240HV のみ、<math>T_a=-40\sim 85</math> の範囲になります。</p>	項目	記号	HD6417751 RBP240(V)		HD6417751 RBP200(V)		HD6417751 RBG200(V)		HD6417751 RBG200(V)		HD6417751 RF240(V)		HD6417751 RF200(V)		単位	参照図	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	BREQ セットアップ時間	$t_{BREQ}$	2.0	-	2.5	-	3.5	-	3.5	-	ns			23.11	BREQ ホールド時間	$t_{BREQH}$	1.5	-	1.5	-	1.5	-	1.5	-	ns			23.11	BACK 遅延時間	$t_{BACK}$	-	5.3	-	5.3	-	6	-	6	ns			23.11	バスタライステート遅延時間	$t_{COFF1}$	-	12	-	12	-	12	-	12	ns			23.11	スタンバイモードへのバスタライステート遅延時間	$t_{COFF2}$	-	2	-	2	-	2	-	2	$t_{OFF}$			23.12 (2)	バスパフファオンタイム	$t_{ON1}$	-	12	-	12	-	12	-	12	ns			23.11	スタンバイからのバスパフファオンタイム	$t_{ON2}$	-	2	-	2	-	2	-	2	$t_{ON}$			23.12 (2)	STATUS 0、STATUS 1 遅延時間	$t_{SD1}$	-	6	-	6	-	6	-	6	ns			23.12 (1)	$t_{SD2}$	-	2	-	2	-	2	-	2	$t_{SD}$			23.12 (1) (2)	$t_{SD3}$	-	2	-	2	-	2	-	2	$t_{SD}$			23.12 (2)
項目	記号	HD6417751 RBP240(V)			HD6417751 RBP200(V)		HD6417751 RBG200(V)		HD6417751 RBG200(V)		HD6417751 RF240(V)		HD6417751 RF200(V)		単位	参照図																																																																																																																																																								
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max																																																																																																																																																											
BREQ セットアップ時間	$t_{BREQ}$	2.0	-	2.5	-	3.5	-	3.5	-	ns			23.11																																																																																																																																																											
BREQ ホールド時間	$t_{BREQH}$	1.5	-	1.5	-	1.5	-	1.5	-	ns			23.11																																																																																																																																																											
BACK 遅延時間	$t_{BACK}$	-	5.3	-	5.3	-	6	-	6	ns			23.11																																																																																																																																																											
バスタライステート遅延時間	$t_{COFF1}$	-	12	-	12	-	12	-	12	ns			23.11																																																																																																																																																											
スタンバイモードへのバスタライステート遅延時間	$t_{COFF2}$	-	2	-	2	-	2	-	2	$t_{OFF}$			23.12 (2)																																																																																																																																																											
バスパフファオンタイム	$t_{ON1}$	-	12	-	12	-	12	-	12	ns			23.11																																																																																																																																																											
スタンバイからのバスパフファオンタイム	$t_{ON2}$	-	2	-	2	-	2	-	2	$t_{ON}$			23.12 (2)																																																																																																																																																											
STATUS 0、STATUS 1 遅延時間	$t_{SD1}$	-	6	-	6	-	6	-	6	ns			23.12 (1)																																																																																																																																																											
	$t_{SD2}$	-	2	-	2	-	2	-	2	$t_{SD}$			23.12 (1) (2)																																																																																																																																																											
	$t_{SD3}$	-	2	-	2	-	2	-	2	$t_{SD}$			23.12 (2)																																																																																																																																																											
23.3.3 バスタイミング 表 23.21 バスタイミング	23-28、 23-29	<p>表を修正し、注*2、*3を追加</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th colspan="2">HD6417751 RBP240(V)</th> <th colspan="2">HD6417751 RBP200(V)</th> <th colspan="2">HD6417751 RBG240(V)</th> <th colspan="2">HD6417751 RBG200(V)</th> <th colspan="2">HD6417751 RF240(V)</th> <th colspan="2">HD6417751 RF200(V)</th> <th rowspan="2">単位</th> <th rowspan="2">備考</th> </tr> <tr> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> <th>Min</th> <th>Max</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table> <p>【注】 *1 <math>V_{DD0}=3.0\sim 3.6V</math>、<math>V_{DD}=1.5V</math>、<math>T_a=-20\sim 75</math> *3、<math>C_L=30pF</math>、PLL2 は on *2 HD6417751RBA240HV を 200MHz の仕様で使用する場合になります。 *3 HD6417751RBA240HV のみ、<math>T_a=-40\sim 85</math> の範囲になります。</p>	項目	記号	HD6417751 RBP240(V)		HD6417751 RBP200(V)		HD6417751 RBG240(V)		HD6417751 RBG200(V)		HD6417751 RF240(V)		HD6417751 RF200(V)		単位	備考	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max																																																																																																																																												
項目	記号	HD6417751 RBP240(V)			HD6417751 RBP200(V)		HD6417751 RBG240(V)		HD6417751 RBG200(V)		HD6417751 RF240(V)		HD6417751 RF200(V)		単位	備考																																																																																																																																																								
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max																																																																																																																																																													

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																									
23.3.4 周辺モジュール信号タイミング 表 23.23 周辺モジュール信号タイミング(1)	23-78 ~ 23-80	表を修正し、注*3、*4を追加 <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th rowspan="3">モジュール</th> <th rowspan="3">項目</th> <th rowspan="3">記号</th> <th colspan="2">HD6417751 RBP240(V)</th> <th colspan="2">HD6417751 RBP200(V)</th> <th colspan="2">HD6417751 RBG240(V)</th> <th colspan="2">HD6417751 RBG200(V)</th> <th colspan="2">HD6417751 RBA240HV</th> <th colspan="2">HD6417751 RBA240HV*</th> <th colspan="2">HD6417751 RF240(V)</th> <th colspan="2">HD6417751 RF200(V)</th> <th rowspan="3">単位</th> <th rowspan="3">参照図</th> <th rowspan="3">備考</th> </tr> <tr> <th>Min</th><th>Max</th><th>Min</th><th>Max</th><th>Min</th><th>Max</th><th>Min</th><th>Max</th><th>Min</th><th>Max</th><th>Min</th><th>Max</th><th>Min</th><th>Max</th><th>Min</th><th>Max</th> </tr> <tr> <th colspan="2">s<sup>2</sup></th><th colspan="2">s<sup>2</sup></th><th colspan="2">s<sup>2</sup></th><th colspan="2">s<sup>2</sup></th><th colspan="2">s<sup>2</sup></th><th colspan="2">s<sup>2</sup></th><th colspan="2">s<sup>2</sup></th><th colspan="2">s<sup>2</sup></th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td> </tr> </tbody> </table> <p>【注】 *1 P<sub>ccy</sub>はPクロックサイクルを意味します。            *2 V<sub>DD0</sub>=3.0~3.6V、V<sub>DD</sub>=1.5V、T<sub>a</sub>=-20~75<sup>*4</sup>、C<sub>L</sub>=30pF、PLL2はon            *3 HD6417751RBA240HVを200MHzの仕様で使用する場合になります。            *4 HD6417751RBA240HVのみ、T<sub>a</sub>=-40~85の範囲になります。</p>	モジュール	項目	記号	HD6417751 RBP240(V)		HD6417751 RBP200(V)		HD6417751 RBG240(V)		HD6417751 RBG200(V)		HD6417751 RBA240HV		HD6417751 RBA240HV*		HD6417751 RF240(V)		HD6417751 RF200(V)		単位	参照図	備考	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	s <sup>2</sup>		s <sup>2</sup>		s <sup>2</sup>		s <sup>2</sup>		s <sup>2</sup>		s <sup>2</sup>		s <sup>2</sup>		s <sup>2</sup>																				
モジュール	項目	記号				HD6417751 RBP240(V)		HD6417751 RBP200(V)		HD6417751 RBG240(V)		HD6417751 RBG200(V)		HD6417751 RBA240HV		HD6417751 RBA240HV*		HD6417751 RF240(V)		HD6417751 RF200(V)					単位	参照図	備考																																																
						Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max																																																						
			s <sup>2</sup>		s <sup>2</sup>		s <sup>2</sup>		s <sup>2</sup>		s <sup>2</sup>		s <sup>2</sup>		s <sup>2</sup>		s <sup>2</sup>																																																										
表 23.25 PCIC 信号タイミング (PCIREQ / PCIGNT 非ポートモード時)	23-87	表タイトルの記述を修正し、注*2を追加 (HD6417751RBP240(V)、HD6417751RBP200(V)、HD6417751RBG240(V)、HD6417751RBG200(V)、HD6417751RBA240HV、HD6417751RF240(V)、HD6417751RF200(V) : V <sub>DD0</sub> =3.0~3.6V、V <sub>DD</sub> =1.5V、T <sub>a</sub> =-20~75 <sup>*2</sup> 、C <sub>L</sub> =30pF) <p>【注】 *1 HD6417751RF240(V)、HD6417751RF200(V)            *2 HD6417751RBA240HVのみ、T<sub>a</sub>=-40~85の範囲になります。</p>																																																																									
		表中の"*"を"*1"に修正 "3.0(3.5*)" "3.0(3.5*1)"																																																																									
表 23.27 PCIC 信号タイミング (非ホストモード時にPCIREQ / PCIGNTポート設定時)	23-90	表タイトルの記述を修正し、注*1を追加 (HD6417751RBP240(V)、HD6417751RBP200(V)、HD6417751RBG240(V)、HD6417751RBG200(V)、HD6417751RBA240HV、HD6417751RF240(V)、HD6417751RF200(V) : V <sub>DD0</sub> =3.0~3.6V、V <sub>DD</sub> =1.5V、T <sub>a</sub> =-20~75 <sup>*1</sup> 、C <sub>L</sub> =30pF) <p>【注】 *1 HD6417751RBA240HVのみ、T<sub>a</sub>=-40~85の範囲になります。</p>																																																																									
B. 外形寸法図 図 B.2 外形寸法図 (256ピン BGA : HD6417751RBA240HVを除く)	付録-9	図タイトルを修正																																																																									
図 B.4 外形寸法図 (256ピン BGA : HD6417751RBA240HV)	付録-11	図 B.4 を追加																																																																									
D.2. 未使用端子の処理 表 D.4 PCI 未使用時の端子の処理	付録-19	表の端子名を修正 AD31 ~ AD31 AD31 ~ AD0																																																																									

修正項目	ページ	修正内容（詳細はマニュアル参照）																																				
H. 型名一覧 表 H.1 SH7751/SH7751R 型名 一覧	付録-35	<p>1 製品型名を追加、注*1 に説明文を追加</p> <table border="1" data-bbox="573 343 1195 575"> <thead> <tr> <th>製品分類</th> <th>電圧</th> <th>動作周波数</th> <th>動作温度範囲*1</th> <th>製品型名*</th> <th>パッケージ</th> </tr> </thead> <tbody> <tr> <td rowspan="2">SH7751</td> <td rowspan="2">1.8V</td> <td rowspan="2">167MHz</td> <td rowspan="2">- 20 ~ 75</td> <td>HD6417751BP167(V)</td> <td>BGA 256 ピン</td> </tr> <tr> <td>HD6417751F167(V)</td> <td>QFP 256 ピン</td> </tr> <tr> <td rowspan="6">SH7751R</td> <td rowspan="6">1.5V</td> <td rowspan="3">240MHz</td> <td rowspan="6">- 20 ~ 75</td> <td>HD6417751RBP240(V)</td> <td>BGA 256 ピン</td> </tr> <tr> <td>HD6417751RF240(V)</td> <td>QFP 256 ピン</td> </tr> <tr> <td>HD6417751RBG240(V)</td> <td>BGA 292 ピン</td> </tr> <tr> <td>HD6417751RBA240HV</td> <td>BGA 256 ピン</td> </tr> <tr> <td>HD6417751RBP200(V)</td> <td>BGA 256 ピン</td> </tr> <tr> <td>HD6417751RF200(V)</td> <td>QFP 256 ピン</td> </tr> <tr> <td></td> <td></td> <td>200MHz</td> <td></td> <td>HD6417751RBG200(V)</td> <td>BGA 292 ピン</td> </tr> </tbody> </table> <p>【注】*1 広温度範囲（- 40 ~ + 85 ）仕様製品につきましては、弊社営業窓口へご照会ください。なお、HD6417751RBA240HV につきましては、標準で広温度範囲（- 40 ~ + 85 ）仕様です。</p>	製品分類	電圧	動作周波数	動作温度範囲*1	製品型名*	パッケージ	SH7751	1.8V	167MHz	- 20 ~ 75	HD6417751BP167(V)	BGA 256 ピン	HD6417751F167(V)	QFP 256 ピン	SH7751R	1.5V	240MHz	- 20 ~ 75	HD6417751RBP240(V)	BGA 256 ピン	HD6417751RF240(V)	QFP 256 ピン	HD6417751RBG240(V)	BGA 292 ピン	HD6417751RBA240HV	BGA 256 ピン	HD6417751RBP200(V)	BGA 256 ピン	HD6417751RF200(V)	QFP 256 ピン			200MHz		HD6417751RBG200(V)	BGA 292 ピン
製品分類	電圧	動作周波数	動作温度範囲*1	製品型名*	パッケージ																																	
SH7751	1.8V	167MHz	- 20 ~ 75	HD6417751BP167(V)	BGA 256 ピン																																	
				HD6417751F167(V)	QFP 256 ピン																																	
SH7751R	1.5V	240MHz	- 20 ~ 75	HD6417751RBP240(V)	BGA 256 ピン																																	
				HD6417751RF240(V)	QFP 256 ピン																																	
				HD6417751RBG240(V)	BGA 292 ピン																																	
		HD6417751RBA240HV		BGA 256 ピン																																		
		HD6417751RBP200(V)		BGA 256 ピン																																		
		HD6417751RF200(V)		QFP 256 ピン																																		
		200MHz		HD6417751RBG200(V)	BGA 292 ピン																																	

すべての商標および登録商標は、それぞれの所有者に帰属します。

---

# 目次

---

1.	概要	1-1
1.1	SH7751/SH7751Rグループの特長	1-1
1.2	ブロック図	1-7
1.3	ピン配置図	1-8
1.4	端子機能	1-11
1.4.1	端子機能 (256 ピン QFP)	1-11
1.4.2	端子機能 (256 ピン BGA)	1-21
1.4.3	端子機能 (292 ピン BGA)	1-31
2.	プログラミングモデル	2-1
2.1	データフォーマット	2-1
2.2	レジスタの構成	2-2
2.2.1	特権モードとバンク	2-2
2.2.2	汎用レジスタ	2-5
2.2.3	浮動小数点レジスタ	2-6
2.2.4	コントロールレジスタ	2-9
2.2.5	システムレジスタ	2-11
2.3	メモリ割り付けレジスタ	2-13
2.4	レジスタのデータ形式	2-13
2.5	メモリ上でのデータ形式	2-14
2.6	処理状態	2-15
2.7	処理モード	2-16
3.	メモリマネジメントユニット (MMU)	3-1
3.1	概要	3-1
3.1.1	特長	3-1
3.1.2	MMU の役割	3-1
3.1.3	レジスタの構成	3-3
3.1.4	注意事項	3-3
3.2	レジスタの説明	3-4
3.3	アドレス空間	3-8
3.3.1	物理アドレス空間	3-8
3.3.2	外部メモリ空間	3-10
3.3.3	仮想アドレス空間	3-11

3.3.4	内蔵 RAM 空間 .....	3-12
3.3.5	アドレス変換 .....	3-12
3.3.6	単一仮想記憶モードと多重仮想記憶モード .....	3-12
3.3.7	アドレス空間識別子 (ASID) .....	3-13
3.4	TLBの機能 .....	3-14
3.4.1	共用 TLB (UTLB) の構成 .....	3-14
3.4.2	命令 TLB (ITLB) の構成 .....	3-17
3.4.3	アドレス変換方式 .....	3-18
3.5	MMUの機能 .....	3-20
3.5.1	MMU のハードウェア管理 .....	3-20
3.5.2	MMU のソフトウェア管理 .....	3-20
3.5.3	MMU の命令 (LDTLB) .....	3-21
3.5.4	ハードウェア ITLB ミスハンドリング .....	3-21
3.5.5	シノニム問題の回避 .....	3-22
3.6	MMU例外 .....	3-23
3.6.1	命令 TLB 多重ヒット例外 .....	3-23
3.6.2	命令 TLB ミス例外 .....	3-23
3.6.3	命令 TLB 保護違反例外 .....	3-24
3.6.4	データ TLB 多重ヒット例外 .....	3-25
3.6.5	データ TLB ミス例外 .....	3-25
3.6.6	データ TLB 保護違反例外 .....	3-26
3.6.7	初期ページ書き込み例外 .....	3-27
3.7	メモリ割り付けTLBの構成 .....	3-28
3.7.1	ITLB アドレスアレイ .....	3-28
3.7.2	ITLB データアレイ 1 .....	3-29
3.7.3	ITLB データアレイ 2 .....	3-30
3.7.4	UTLB アドレスアレイ .....	3-31
3.7.5	UTLB データアレイ 1 .....	3-32
3.7.6	UTLB データアレイ 2 .....	3-33
3.8	使用上の注意事項 .....	3-34
4.	キャッシュ .....	4-1
4.1	概要 .....	4-1
4.1.1	特長 .....	4-1
4.1.2	レジスタの構成 .....	4-2
4.2	レジスタの説明 .....	4-3
4.3	オペランドキャッシュ (OC) .....	4-6
4.3.1	構成 .....	4-6
4.3.2	リード動作 .....	4-8
4.3.3	ライト動作 .....	4-9

4.3.4	ライトバックバッファ .....	4-10
4.3.5	ライトスルーバッファ .....	4-10
4.3.6	RAM モード .....	4-11
4.3.7	OC インデックスモード .....	4-12
4.3.8	キャッシュと外部メモリとのコヒーレンシ .....	4-12
4.3.9	プリフェッチ動作 .....	4-13
4.3.10	キャッシュ倍増モードで OC RAM モードを使用する場合の注意事項 (SH7751R のみ) .....	4-13
4.4	命令キャッシュ (IC) .....	4-16
4.4.1	構成 .....	4-16
4.4.2	リード動作 .....	4-18
4.4.3	IC インデックスモード .....	4-18
4.5	メモリ割り付けキャッシュの構成 (SH7751) .....	4-19
4.5.1	IC アドレスアレイ .....	4-19
4.5.2	IC データアレイ .....	4-20
4.5.3	OC アドレスアレイ .....	4-21
4.5.4	OC データアレイ .....	4-22
4.6	メモリ割り付けキャッシュの構成 (SH7751R) .....	4-24
4.6.1	IC アドレスアレイ .....	4-24
4.6.2	IC データアレイ .....	4-25
4.6.3	OC アドレスアレイ .....	4-26
4.6.4	OC データアレイ .....	4-27
4.6.5	メモリ割り付け OC アドレスのまとめ .....	4-28
4.7	ストアキュー .....	4-29
4.7.1	SQ の構成 .....	4-29
4.7.2	SQ への書き込み .....	4-29
4.7.3	外部メモリへの転送 .....	4-30
4.7.4	SQ アクセスの例外判定 .....	4-31
4.7.5	SQ からの読み出し (SH7751R のみ) .....	4-31
4.7.6	SQ 使用上の注意事項 (SH7751 のみ) .....	4-32
5.	例外処理 .....	5-1
5.1	概要 .....	5-1
5.1.1	特長 .....	5-1
5.1.2	レジスタ構成 .....	5-1
5.2	レジスタの説明 .....	5-2
5.3	例外処理の機能 .....	5-3
5.3.1	例外処理の流れ .....	5-3
5.3.2	例外処理ベクタアドレス .....	5-3
5.4	例外の種類と優先順位 .....	5-4
5.5	例外フロー .....	5-7

5.5.1	例外フロー .....	5-7
5.5.2	例外要因の受け付け .....	5-8
5.5.3	例外要求と BL ビット .....	5-9
5.5.4	例外処理からの復帰 .....	5-9
5.6	各例外の説明 .....	5-10
5.6.1	リセット .....	5-10
5.6.2	一般例外 .....	5-14
5.6.3	割り込み .....	5-24
5.6.4	複数回の例外が発生する場合の優先順位 .....	5-26
5.7	注意事項 .....	5-27
5.8	制限事項 .....	5-28
6.	浮動小数点ユニット (FPU) .....	6-1
6.1	概要 .....	6-1
6.2	データフォーマット .....	6-2
6.2.1	浮動小数点フォーマット .....	6-2
6.2.2	非数 (NaN) .....	6-4
6.2.3	非正規化数 .....	6-4
6.3	レジスタ .....	6-5
6.3.1	浮動小数点レジスタ .....	6-5
6.3.2	浮動小数点ステータス/コントロールレジスタ (FPSCR) .....	6-7
6.3.3	浮動小数点通信レジスタ (FPUL) .....	6-8
6.4	丸め .....	6-9
6.5	浮動小数点例外 .....	6-10
6.6	グラフィックサポート機能 .....	6-12
6.6.1	ジオメトリック演算命令 .....	6-12
6.6.2	ペア単精度データ転送 .....	6-13
6.7	使用上の注意 .....	6-14
6.7.1	丸めモードとアンダフローフラグ .....	6-14
6.7.2	FIPR/FTRV 命令によるオーバーフローフラグについて .....	6-15
6.7.3	FIPR/FTRV 命令による演算結果の符号について .....	6-15
6.7.4	倍精度の FADD 命令と倍精度の FSUB 命令に関する注意事項 .....	6-16
7.	命令セット .....	7-1
7.1	実行環境 .....	7-1
7.2	アドレッシングモード .....	7-3
7.3	命令セット .....	7-6
7.4	使用上の注意 .....	7-16
7.4.1	TRAPA 命令/SLEEP 命令/未定義命令 (H'FFFD) 使用上の注意 .....	7-16



8.	パイプライン動作.....	8-1
8.1	パイプライン.....	8-1
8.2	並列実行性.....	8-7
8.3	実行サイクルとパイプラインストール.....	8-10
8.4	使用上の注意.....	8-24
9.	低消費電力モード.....	9-1
9.1	概要.....	9-1
9.1.1	低消費電力モードの種類.....	9-1
9.1.2	レジスタ構成.....	9-2
9.1.3	端子構成.....	9-2
9.2	レジスタの説明.....	9-3
9.2.1	スタンバイコントロールレジスタ (STBCR).....	9-3
9.2.2	周辺モジュール端子ハイインピーダンス制御.....	9-6
9.2.3	周辺モジュール端子プルアップ制御.....	9-6
9.2.4	スタンバイコントロールレジスタ 2 (STBCR2).....	9-7
9.2.5	クロック停止レジスタ 00 (CLKSTP00).....	9-9
9.2.6	クロック停止解除レジスタ 00 (CLKSTPCLR00).....	9-10
9.3	スリープモード.....	9-11
9.3.1	スリープモードへの遷移.....	9-11
9.3.2	スリープモードの解除.....	9-11
9.4	ディープスリープモード.....	9-11
9.4.1	ディープスリープモードへの遷移.....	9-11
9.4.2	ディープスリープモードの解除.....	9-11
9.5	端子スリープモード.....	9-12
9.5.1	端子スリープモードへの遷移.....	9-12
9.5.2	端子スリープモードの解除.....	9-12
9.6	スタンバイモード.....	9-13
9.6.1	スタンバイモードへの遷移.....	9-13
9.6.2	スタンバイモードの解除.....	9-14
9.6.3	クロックポーズ機能.....	9-14
9.7	モジュールスタンバイ機能.....	9-15
9.7.1	モジュールスタンバイ機能への遷移.....	9-15
9.7.2	モジュールスタンバイ機能の解除.....	9-16
9.8	ハードウェアスタンバイモード.....	9-17
9.8.1	ハードウェアスタンバイモードへの遷移.....	9-17
9.8.2	ハードウェアスタンバイモードの解除.....	9-17
9.8.3	使用上の注意.....	9-17
9.9	STATUS端子の変化タイミング.....	9-18
9.9.1	リセットの場合.....	9-18

9.9.2	スタンバイ解除の場合 .....	9-19
9.9.3	スリープ解除の場合 .....	9-21
9.9.4	ディープスリープ解除の場合 .....	9-23
9.9.5	ハードウェアスタンバイモードのタイミング .....	9-25
9.10	使用上の注意 .....	9-28
9.10.1	消費電流に関する注意事項 .....	9-28
10.	クロック発振回路 .....	10-1
10.1	概要 .....	10-1
10.1.1	特長 .....	10-1
10.2	CPGの概要 .....	10-3
10.2.1	CPG のブロック図 .....	10-3
10.2.2	CPG の端子構成 .....	10-6
10.2.3	CPG のレジスタ構成 .....	10-6
10.3	クロック動作モード .....	10-7
10.4	CPGのレジスタの説明 .....	10-9
10.4.1	周波数制御レジスタ (FRQCR) .....	10-9
10.5	周波数の変更方法 .....	10-12
10.5.1	PLL 回路 1 の起動 / 停止の変更(PLL 回路 2 が停止の場合).....	10-12
10.5.2	PLL 回路 1 の起動 / 停止の変更(PLL 回路 2 が起動の場合).....	10-12
10.5.3	バスクロック分周率の変更 (PLL 回路 2 が起動の場合) .....	10-13
10.5.4	バスクロック分周率の変更 (PLL 回路 2 が停止の場合) .....	10-13
10.5.5	CPU、周辺モジュールクロック分周率の変更 .....	10-13
10.6	出力クロックの制御 .....	10-13
10.7	WDTの概要 .....	10-14
10.7.1	WDT のブロック図 .....	10-14
10.7.2	レジスタ構成 .....	10-14
10.8	WDTのレジスタの説明 .....	10-15
10.8.1	ウォッチドッグタイマカウンタ (WTCNT) .....	10-15
10.8.2	ウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR) .....	10-15
10.8.3	レジスタアクセス時の注意 .....	10-18
10.9	WDTの使用方法 .....	10-19
10.9.1	スタンバイ解除の手順 .....	10-19
10.9.2	周波数変更の手順 .....	10-19
10.9.3	ウォッチドッグタイマモードの使用法 .....	10-20
10.9.4	インターバルタイマモードの使用法 .....	10-20
10.10	ボード設計上の注意事項 .....	10-21
10.11	使用上の注意事項 .....	10-23
10.11.1	WDT による不当マニュアルリセット (SH7751 のみ) .....	10-23

11.	リアルタイムクロック (RTC)	11-1
11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2
11.1.3	端子構成	11-3
11.1.4	レジスタ構成	11-4
11.2	レジスタの説明	11-5
11.2.1	64Hz カウンタ (R64CNT)	11-5
11.2.2	秒カウンタ (RSECCNT)	11-5
11.2.3	分カウンタ (RMINCNT)	11-6
11.2.4	時カウンタ (RHRCNT)	11-6
11.2.5	曜日カウンタ (RWKCNT)	11-7
11.2.6	日カウンタ (RDAYCNT)	11-7
11.2.7	月カウンタ (RMONCNT)	11-8
11.2.8	年カウンタ (RYRCNT)	11-8
11.2.9	秒アラームレジスタ (RSECAR)	11-9
11.2.10	分アラームレジスタ (RMINAR)	11-9
11.2.11	時アラームレジスタ (RHRAR)	11-10
11.2.12	曜日アラームレジスタ (RWKAR)	11-10
11.2.13	日アラームレジスタ (RDAYAR)	11-11
11.2.14	月アラームレジスタ (RMONAR)	11-11
11.2.15	RTC コントロールレジスタ 1 (RCR1)	11-12
11.2.16	RTC コントロールレジスタ 2 (RCR2)	11-14
11.2.17	RTC コントロールレジスタ (RCR3) : SH7751R のみ 年アラームレジスタ (RYRAR) : SH7751R のみ	11-16
11.3	動作説明	11-17
11.3.1	時刻設定手順	11-17
11.3.2	時刻読み出し手順	11-18
11.3.3	アラーム機能	11-19
11.4	割り込み	11-20
11.5	使用上の注意	11-21
11.5.1	レジスタの初期設定について	11-21
11.5.2	スタンバイ時の桁上げフラグおよび割り込みフラグについて	11-21
11.5.3	水晶発振回路	11-21
12.	タイマユニット (TMU)	12-1
12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-2

12.1.4	レジスタ構成	12-3
12.2	レジスタの説明	12-5
12.2.1	タイマアウトプットコントロールレジスタ (TOCR)	12-5
12.2.2	タイマスタートレジスタ (TSTR)	12-6
12.2.3	タイマスタートレジスタ 2 (TSTR2)	12-7
12.2.4	タイマコンスタントレジスタ (TCOR)	12-8
12.2.5	タイマカウンタ (TCNT)	12-8
12.2.6	タイマコントロールレジスタ (TCR)	12-9
12.2.7	インプットキャプチャレジスタ 2 (TCPR2)	12-12
12.3	動作説明	12-13
12.3.1	カウンタの動作	12-13
12.3.2	インプットキャプチャ機能	12-16
12.4	割り込み	12-17
12.5	使用上の注意	12-18
12.5.1	レジスタの書き込みについて	12-18
12.5.2	TCNT レジスタの読み出しについて	12-18
12.5.3	RTC 分周器のリセットについて	12-18
12.5.4	外部クロック周波数について	12-18
13.	バスステートコントローラ (BSC)	13-1
13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-3
13.1.3	端子構成	13-4
13.1.4	レジスタ構成	13-6
13.1.5	エリアの概要	13-7
13.1.6	PCMCIA サポート	13-10
13.2	レジスタの説明	13-13
13.2.1	バスコントロールレジスタ 1 (BCR1)	13-13
13.2.2	バスコントロールレジスタ 2 (BCR2)	13-21
13.2.3	バスコントロールレジスタ 3 (BCR3) (SH7751R のみ)	13-23
13.2.4	バスコントロールレジスタ 4 (BCR4) (SH7751R のみ)	13-25
13.2.5	ウェイトコントロールレジスタ 1 (WCR1)	13-27
13.2.6	ウェイトコントロールレジスタ 2 (WCR2)	13-29
13.2.7	ウェイトコントロールレジスタ 3 (WCR3)	13-36
13.2.8	個別メモリコントロールレジスタ (MCR)	13-38
13.2.9	PCMCIA コントロールレジスタ (PCR)	13-45
13.2.10	シンクロナス DRAM モードレジスタ (SDMR)	13-48
13.2.11	リフレッシュタイマコントロール / ステータスレジスタ (RTCSR)	13-50
13.2.12	リフレッシュタイマカウンタ (RTCNT)	13-52

13.2.13	リフレッシュタイムコンスタントレジスタ (RTCOR) .....	13-52
13.2.14	リフレッシュカウントレジスタ (RFCR) .....	13-53
13.2.15	リフレッシュコントロール関連レジスタアクセス時の注意 .....	13-53
13.3	動作説明 .....	13-54
13.3.1	エンディアン / アクセスサイズとデータアライメント .....	13-54
13.3.2	エリアの説明 .....	13-59
13.3.3	SRAM インタフェース .....	13-62
13.3.4	DRAM インタフェース .....	13-69
13.3.5	シンクロナス DRAM インタフェース .....	13-83
13.3.6	バースト ROM インタフェース .....	13-110
13.3.7	PCMCIA インタフェース .....	13-114
13.3.8	MPX インタフェース .....	13-124
13.3.9	バイト制御 SRAM インタフェース .....	13-135
13.3.10	アクセスサイクル間ウェイト .....	13-139
13.3.11	バスアービトレーション .....	13-141
13.3.12	マスタモード .....	13-143
13.3.13	スレーブモード .....	13-144
13.3.14	マスタとスレーブの協調 .....	13-144
13.3.15	使用上の注意 .....	13-145
14.	ダイレクトメモリアクセスコントローラ (DMAC) .....	14-1
14.1	概要 .....	14-1
14.1.1	特長 .....	14-1
14.1.2	DMAC ブロック図 (SH7751) .....	14-4
14.1.3	端子構成 (SH7751) .....	14-5
14.1.4	レジスタ構成 (SH7751) .....	14-6
14.2	各レジスタの説明 .....	14-7
14.2.1	DMA ソースアドレスレジスタ 0~3 (SAR0~3) .....	14-7
14.2.2	DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3) .....	14-7
14.2.3	DMA トランスファカウントレジスタ 0~3 (DMATCR0~3) .....	14-8
14.2.4	DMA チャネルコントロールレジスタ 0~3 (CHCR0~3) .....	14-9
14.2.5	DMA オペレーションレジスタ (DMAOR) .....	14-17
14.3	動作説明 .....	14-19
14.3.1	動作説明 .....	14-19
14.3.2	DMA 転送要求 .....	14-21
14.3.3	チャネルの優先順位 .....	14-24
14.3.4	DMA 転送の種類 .....	14-27
14.3.5	バスサイクルのサイクル数と $\overline{DREQ}$ 端子のサンプリングタイミング .....	14-35
14.3.6	DMA 転送終了 .....	14-49
14.4	使用例 .....	14-51

14.4.1	外部メモリと DACK 付き外部デバイスとの転送例	14-51
14.5	オンデマンドデータ転送モード (DDTモード)	14-52
14.5.1	動作説明	14-52
14.5.2	DDT モードにおける端子説明	14-54
14.5.3	各チャンネルの転送要求受け付けについて	14-57
14.5.4	DDT 使用上の注意	14-76
14.6	SH7751R DMACの構成	14-79
14.6.1	DMAC ブロック図	14-79
14.6.2	端子構成 (SH7751R)	14-80
14.6.3	レジスタ構成 (SH7751R)	14-81
14.7	各レジスタの説明 (SH7751R)	14-83
14.7.1	DMA ソースアドレスレジスタ 0~7 (SAR0~7)	14-83
14.7.2	DMA デスティネーションアドレスレジスタ 0~7 (DAR0~7)	14-83
14.7.3	DMA 転送カウンタレジスタ 0~7 (DMATCR0~7)	14-83
14.7.4	DMA チャンネルコントロールレジスタ 0~7 (CHCR0~7)	14-84
14.7.5	DMA オペレーションレジスタ (DMAOR)	14-87
14.8	動作説明 (SH7751R)	14-89
14.8.1	ノーマル DMA 転送時のチャンネル指定	14-89
14.8.2	DDT モード DMA 転送時のチャンネル指定	14-89
14.8.3	DDT モード時の転送チャンネル通知	14-89
14.8.4	DTR フォーマットによるリクエストキュークリア	14-90
14.8.5	割り込み要求コード	14-91
14.9	使用上の注意	14-93
15.	シリアルコミュニケーションインタフェース (SCI)	15-1
15.1	概要	15-1
15.1.1	特長	15-1
15.1.2	ブロック図	15-3
15.1.3	端子構成	15-3
15.1.4	レジスタ構成	15-4
15.2	レジスタの説明	15-5
15.2.1	レシーブシフトレジスタ (SCRSR1)	15-5
15.2.2	レシーブデータレジスタ (SCRDR1)	15-5
15.2.3	トランスミットシフトレジスタ (SCTSR1)	15-5
15.2.4	トランスミットデータレジスタ (SCTDR1)	15-6
15.2.5	シリアルモードレジスタ (SCSMR1)	15-7
15.2.6	シリアルコントロールレジスタ (SCSCR1)	15-10
15.2.7	シリアルステータスレジスタ (SCSSR1)	15-13
15.2.8	シリアルポートレジスタ (SCSPTR1)	15-17
15.2.9	ビットレートレジスタ (SCBRR1)	15-21

15.3	動作説明	15-28
15.3.1	概要	15-28
15.3.2	調歩同期式モード時の動作	15-30
15.3.3	マルチプロセッサ通信機能	15-41
15.3.4	クロック同期式モード時の動作	15-51
15.4	SCIの割り込み要因とDMAC	15-59
15.5	使用上の注意	15-60
16.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	16-1
16.1	概要	16-1
16.1.1	特長	16-1
16.1.2	ブロック図	16-3
16.1.3	端子構成	16-4
16.1.4	レジスタ構成	16-4
16.2	レジスタの説明	16-5
16.2.1	レシーブシフトレジスタ (SCRSR2)	16-5
16.2.2	レシーブ FIFO データレジスタ (SCFRDR2)	16-5
16.2.3	トランスミットシフトレジスタ (SCTSR2)	16-5
16.2.4	トランスミット FIFO データレジスタ (SCFTDR2)	16-6
16.2.5	シリアルモードレジスタ (SCSMR2)	16-6
16.2.6	シリアルコントロールレジスタ (SCSCR2)	16-9
16.2.7	シリアルステータスレジスタ (SCFSR2)	16-12
16.2.8	ビットレートレジスタ (SCBRR2)	16-17
16.2.9	FIFO コントロールレジスタ (SCFCR2)	16-18
16.2.10	FIFO データ数レジスタ (SCFDR2)	16-21
16.2.11	シリアルポートレジスタ (SCSPTR2)	16-22
16.2.12	ラインステータスレジスタ (SCLSR2)	16-28
16.3	動作説明	16-29
16.3.1	概要	16-29
16.3.2	シリアル動作	16-30
16.4	SCIF割り込み要因とDMAC	16-40
16.5	使用上の注意	16-41
17.	スマートカードインタフェース	17-1
17.1	概要	17-1
17.1.1	特長	17-1
17.1.2	ブロック図	17-2
17.1.3	端子構成	17-2
17.1.4	レジスタ構成	17-3
17.2	各レジスタの説明	17-4

17.2.1	スマートカードモードレジスタ (SCSCMR1) .....	17-4
17.2.2	シリアルモードレジスタ (SCSMR1) .....	17-5
17.2.3	シリアルコントロールレジスタ (SCSCR1) .....	17-6
17.2.4	シリアルステータスレジスタ (SCSSR1) .....	17-7
17.3	動作説明 .....	17-9
17.3.1	概要 .....	17-9
17.3.2	端子接続 .....	17-9
17.3.3	データフォーマット .....	17-10
17.3.4	レジスタ設定 .....	17-11
17.3.5	クロック .....	17-13
17.3.6	データの送信 / 受信動作 .....	17-16
17.4	使用上の注意 .....	17-23
18.	I/O ポート .....	18-1
18.1	概要 .....	18-1
18.1.1	特長 .....	18-1
18.1.2	ブロック図 .....	18-2
18.1.3	端子構成 .....	18-10
18.1.4	レジスタ構成 .....	18-11
18.2	レジスタの説明 .....	18-12
18.2.1	ポートコントロールレジスタ A (PCTRA) .....	18-12
18.2.2	ポートデータレジスタ A (PDTRA) .....	18-13
18.2.3	ポートコントロールレジスタ B (PCTRB) .....	18-13
18.2.4	ポートデータレジスタ B (PDTRB) .....	18-14
18.2.5	GPIO 割り込みコントロールレジスタ (GPIOIC) .....	18-14
18.2.6	シリアルポートレジスタ (SCSPTR1) .....	18-15
18.2.7	シリアルポートレジスタ (SCSPTR2) .....	18-17
19.	割り込みコントローラ (INTC) .....	19-1
19.1	概要 .....	19-1
19.1.1	特長 .....	19-1
19.1.2	ブロック図 .....	19-2
19.1.3	端子構成 .....	19-3
19.1.4	レジスタ構成 .....	19-3
19.2	割り込み要因 .....	19-4
19.2.1	NMI 割り込み .....	19-4
19.2.2	IRL 割り込み .....	19-4
19.2.3	内蔵周辺モジュール割り込み .....	19-6
19.2.4	割り込み例外処理と優先順位 .....	19-7
19.3	レジスタの説明 .....	19-11



19.3.1	割り込み優先レベル設定レジスタ A ~ D (IPRA ~ IPRD) .....	19-11
19.3.2	割り込みコントロールレジスタ (ICR) .....	19-12
19.3.3	割り込み優先レベル設定レジスタ 00 (INTPRI00) .....	19-14
19.3.4	割り込み要因レジスタ 00 (INTREQ00) .....	19-15
19.3.5	割り込みマスクレジスタ 00 (INTMSK00) .....	19-16
19.3.6	割り込みマスククリアレジスタ 00 (INTMSKCLR00) .....	19-17
19.3.7	INTREQ00、INTMSK00、INTMSKCLR00 のビット割り付け .....	19-17
19.4	動作説明 .....	19-18
19.4.1	割り込み動作の流れ .....	19-18
19.4.2	多重割り込み .....	19-20
19.4.3	MAI ビットによる割り込みマスク .....	19-20
19.5	割り込み応答時間 .....	19-21
19.6	使用上の注意 .....	19-22
19.6.1	NMI 割り込み (SH7751 のみ) .....	19-22
20.	ユーザブレイクコントローラ .....	20-1
20.1	概要 .....	20-1
20.1.1	特長 .....	20-1
20.1.2	ブロック図 .....	20-2
20.2	各レジスタの説明 .....	20-4
20.2.1	UBC レジスタへのアクセス .....	20-4
20.2.2	ブレイクアドレスレジスタ A (BARA) .....	20-4
20.2.3	ブレイク ASID レジスタ A (BASRA) .....	20-4
20.2.4	ブレイクアドレスマスクレジスタ A (BAMRA) .....	20-5
20.2.5	ブレイクバスサイクルレジスタ A (BBRA) .....	20-6
20.2.6	ブレイクアドレスレジスタ B (BARB) .....	20-7
20.2.7	ブレイク ASID レジスタ B (BASRB) .....	20-7
20.2.8	ブレイクアドレスマスクレジスタ B (BAMRB) .....	20-7
20.2.9	ブレイクデータレジスタ B (BDRB) .....	20-7
20.2.10	ブレイクデータマスクレジスタ B (BDMRB) .....	20-8
20.2.11	ブレイクバスサイクルレジスタ B (BBRB) .....	20-8
20.2.12	ブレイクコントロールレジスタ (BRCR) .....	20-9
20.3	動作説明 .....	20-12
20.3.1	アクセスに関する用語の説明 .....	20-12
20.3.2	命令間隔に関する用語の説明 .....	20-12
20.3.3	ユーザブレイク動作の流れ .....	20-13
20.3.4	命令アクセスサイクルブレイク .....	20-14
20.3.5	オペランドアクセスサイクルブレイク .....	20-15
20.3.6	条件一致フラグの設定 .....	20-16
20.3.7	退避したプログラムカウンタ (PC) 値 .....	20-16

20.3.8	シーケンシャル条件に対応した隣接 A、B の設定	20-17
20.3.9	UBC 使用上の注意	20-18
20.4	ユーザブレイクデバッグサポート機能	20-20
20.5	使用例	20-21
20.6	ユーザブレイクコントローラ停止機能	20-23
20.6.1	ユーザブレイクコントローラ停止状態への遷移	20-23
20.6.2	ユーザブレイクコントローラ停止状態の解除	20-23
20.6.3	ユーザブレイクコントローラ停止状態の遷移および解除例	20-24
21.	ユーザデバッグインタフェース (H-UDI)	21-1
21.1	概要	21-1
21.1.1	特長	21-1
21.1.2	ブロック図	21-1
21.1.3	端子構成	21-3
21.1.4	レジスタ構成	21-4
21.2	レジスタの説明	21-5
21.2.1	インストラクションレジスタ (SDIR)	21-5
21.2.2	データレジスタ (SDDR)	21-6
21.2.3	バイパスレジスタ (SDBPR)	21-6
21.2.4	割り込み要因レジスタ (SDINT)	21-6
21.2.5	バウンダリスキャンレジスタ (SDBSR)	21-7
21.3	動作説明	21-11
21.3.1	TAP 制御	21-11
21.3.2	H-UDI リセット	21-12
21.3.3	H-UDI 割り込み	21-12
21.3.4	バウンダリスキャン (EXTEST、SAMPLE / PRELOAD、BYPASS)	21-13
21.4	注意事項	21-14
22.	PCI コントローラ (PCIC)	22-1
22.1	概要	22-1
22.1.1	特長	22-1
22.1.2	ブロック図	22-2
22.1.3	端子構成	22-3
22.1.4	レジスタ構成	22-5
22.2	レジスタの説明	22-11
22.2.1	PCI コンフィグレーションレジスタ 0 (PCICONF0)	22-11
22.2.2	PCI コンフィグレーションレジスタ 1 (PCICONF1)	22-12
22.2.3	PCI コンフィグレーションレジスタ 2 (PCICONF2)	22-18
22.2.4	PCI コンフィグレーションレジスタ 3 (PCICONF3)	22-20
22.2.5	PCI コンフィグレーションレジスタ 4 (PCICONF4)	22-22

22.2.6	PCI コンフィグレーションレジスタ 5 ( PCICONF5 ) .....	22-24
22.2.7	PCI コンフィグレーションレジスタ 6 ( PCICONF6 ) .....	22-26
22.2.8	PCI コンフィグレーションレジスタ 7 ( PCICONF7 ) ~ PCI コンフィグレーションレジスタ 10 ( PCICONF10 ) .....	22-28
22.2.9	PCI コンフィグレーションレジスタ 11 ( PCICONF11 ) .....	22-29
22.2.10	PCI コンフィグレーションレジスタ 12 ( PCICONF12 ) .....	22-30
22.2.11	PCI コンフィグレーションレジスタ 13 ( PCICONF13 ) .....	22-30
22.2.12	PCI コンフィグレーションレジスタ 14 ( PCICONF14 ) .....	22-31
22.2.13	PCI コンフィグレーションレジスタ 15 ( PCICONF15 ) .....	22-32
22.2.14	PCI コンフィグレーションレジスタ 16 ( PCICONF16 ) .....	22-33
22.2.15	PCI コンフィグレーションレジスタ 17 ( PCICONF17 ) .....	22-35
22.2.16	予約領域.....	22-36
22.2.17	PCI コントロールレジスタ ( PCICR ) .....	22-37
22.2.18	PCI 用ローカルスペースレジスタ 0、1 ( PCILSR0、1 ) .....	22-41
22.2.19	PCI 用ローカルアドレスレジスタ 0、1 ( PCILAR0、1 ) .....	22-42
22.2.20	PCI 割り込みレジスタ ( PCIINT ) .....	22-43
22.2.21	PCI 割り込みマスクレジスタ ( PCIINTM ) .....	22-45
22.2.22	PCI エラーアドレス情報レジスタ ( PCIALR ) .....	22-46
22.2.23	PCI エラーコマンド情報レジスタ ( PCICLR ) .....	22-47
22.2.24	PCI アービタ割り込みレジスタ ( PCIAINT ) .....	22-49
22.2.25	PCI アービタ割り込みマスクレジスタ ( PCIAINTM ) .....	22-51
22.2.26	PCI エラーバスマスタ情報レジスタ ( PCIBMLR ) .....	22-52
22.2.27	PCI 用 DMA 転送アービトレーションレジスタ ( PCIDMABT ) .....	22-53
22.2.28	PCI 用 DMA 転送 PCI アドレスレジスタ 0~3 ( PCIDPA0~3 ) .....	22-54
22.2.29	PCI 用 DMA 転送ローカルバス先頭アドレスレジスタ 0~3 ( PCIDLA0~3 ) .....	22-55
22.2.30	PCI 用 DMA 転送カウントレジスタ 0~3 ( PCIDTC0~3 ) .....	22-56
22.2.31	PCI 用 DMA コントロールレジスタ 0~3 ( PCIDCR0~3 ) .....	22-57
22.2.32	PIO アドレスレジスタ ( PCIPAR ) .....	22-60
22.2.33	メモリ空間ベースレジスタ ( PCIMBR ) .....	22-62
22.2.34	I/O 空間ベースレジスタ ( PCIOBR ) .....	22-63
22.2.35	PCI パワーマネージメント割り込みレジスタ ( PCIPINT ) .....	22-64
22.2.36	PCI パワーマネージメント割り込みマスクレジスタ ( PCIPINTM ) .....	22-65
22.2.37	PCI クロック制御レジスタ ( PCICLKR ) .....	22-66
22.2.38	PCIC-BSC 用レジスタ.....	22-68
22.2.39	ポートコントロールレジスタ ( PCIPCTR ) .....	22-70
22.2.40	ポートデータレジスタ ( PCIPDTR ) .....	22-73
22.2.41	PIO データレジスタ ( PCIPDR ) .....	22-74
22.3	<b>動作説明</b> .....	22-75
22.3.1	動作モード .....	22-75
22.3.2	PCI コマンド .....	22-76
22.3.3	PCIC の初期化 .....	22-77

22.3.4	ローカルレジスタのアクセス .....	22-78
22.3.5	ホスト機能 .....	22-79
22.3.6	非ホスト時の PCI バスアービトレーション .....	22-81
22.3.7	PIO 転送 .....	22-82
22.3.8	ターゲット転送 .....	22-85
22.3.9	DMA 転送 .....	22-88
22.3.10	PCIC 内での転送の競合 .....	22-93
22.3.11	PCI バス基本インタフェース .....	22-94
22.4	エンディアン .....	22-106
22.4.1	周辺バスインタフェース .....	22-106
22.4.2	ローカルバスのエンディアン制御 .....	22-107
22.4.3	DMA 転送時のエンディアン制御 .....	22-108
22.4.4	ターゲット転送時 (メモリリード/メモリライト) のエンディアン制御 .....	22-109
22.4.5	ターゲット転送時 (I/O リード/I/O ライト) のエンディアン制御 .....	22-112
22.4.6	ターゲット転送時 (コンフィグレーションリード/コンフィグレーションライト) の エンディアン制御 .....	22-112
22.5	リセット .....	22-114
22.6	割り込み .....	22-115
22.6.1	PCIC から CPU への割り込み .....	22-115
22.6.2	外部 PCI デバイスからの割り込み .....	22-116
22.6.3	$\overline{\text{INTA}}$ .....	22-116
22.7	エラー検出 .....	22-117
22.8	PCICのクロック .....	22-117
22.9	パワーマネージメント .....	22-119
22.9.1	パワーマネージメントの概要 .....	22-119
22.9.2	クロックの停止 .....	22-120
22.9.3	スタンバイとスリープへの対応 .....	22-121
22.10	ポート機能 .....	22-122
22.11	バージョン管理 .....	22-122
22.12	使用上の注意 .....	22-123
22.12.1	アービタ割り込み使用時の注意事項 (SH7751 のみ) .....	22-123
22.12.2	I/O リード/I/O ライト時の注意事項 (SH7751 のみ) .....	22-126
22.12.3	コンフィグレーションリード/コンフィグレーションライト時の注意事項 (SH7751 のみ) .....	22-126
22.12.4	ターゲットリード/ライト時の注意事項 (SH7751 のみ) .....	22-126
22.12.5	マスタアクセス時のパリティエラー検出についての注意事項 .....	22-126
23.	電气的特性 .....	23-1
23.1	絶対最大定格 .....	23-1
23.2	DC特性 .....	23-2
23.3	AC特性 .....	23-14

23.3.1	クロック・制御信号タイミング.....	23-15
23.3.2	制御信号タイミング.....	23-25
23.3.3	バスタイミング.....	23-28
23.3.4	周辺モジュール信号タイミング.....	23-78
23.3.5	AC 特性測定条件.....	23-91
23.3.6	負荷容量による遅延時間の変化.....	23-92
付録	.....	付録-1
A.	アドレス一覧.....	付録-1
B.	外形寸法図.....	付録-8
C.	モード端子の設定.....	付録-12
D.	端子機能.....	付録-14
D.1	端子の状態.....	付録-14
D.2	未使用端子の処理.....	付録-18
D.3	端子処理の注意点.....	付録-19
E.	シンクロナスDRAMのアドレスマルチプレクス表.....	付録-20
F.	命令のプリフェッチとその副作用について.....	付録-30
G.	電源投入遮断手順について.....	付録-31
G.1	電源投入時の規定.....	付録-31
G.2	電源遮断時の規定.....	付録-31
G.3	電源投入時、遮断時共通の規定.....	付録-34
H.	型名一覧.....	付録-35
I.	バージョンレジスタ.....	付録-36



---

# 図目次

---

## 1. 概要

図 1.1 SH7751 グループ機能ブロック図	1-7
図 1.2 ピン配置図 (256 ピン QFP)	1-8
図 1.3 ピン配置図 (256 ピン BGA)	1-9
図 1.4 ピン配置図 (292 ピン BGA)	1-10

## 2. プログラミングモデル

図 2.1 データフォーマット	2-1
図 2.2 処理モード別の CPU レジスタ構成	2-4
図 2.3 汎用レジスタ	2-5
図 2.4 浮動小数点レジスタ	2-8
図 2.5 メモリ上のデータ形式	2-14
図 2.6 処理状態の状態遷移図	2-16

## 3. メモリマネジメントユニット (MMU)

図 3.1 MMU の役割	3-2
図 3.2 MMU 関連レジスタ	3-4
図 3.3 物理アドレス空間 (MMUCR.AT=0)	3-8
図 3.4 P4 領域	3-9
図 3.5 外部メモリ空間	3-10
図 3.6 仮想アドレス空間 (MMUCR.AT=1)	3-11
図 3.7 UTLB の構成	3-14
図 3.8 ページサイズとアドレスの関係	3-14
図 3.9 ITLB の構成	3-17
図 3.10 UTLB を用いたメモリアクセスフロー	3-18
図 3.11 ITLB を用いたメモリアクセスフロー	3-19
図 3.12 LDTLB 命令の動作	3-21
図 3.13 メモリ割り付け ITLB アドレスアレイ	3-28
図 3.14 メモリ割り付け ITLB データアレイ 1	3-29
図 3.15 メモリ割り付け ITLB データアレイ 2	3-30
図 3.16 メモリ割り付け UTLB アドレスアレイ	3-31
図 3.17 メモリ割り付け UTLB データアレイ 1	3-32
図 3.18 メモリ割り込み UTLB データアレイ 2	3-33

4.	キャッシュ	
	図 4.1	キャッシュ制御レジスタ (CCR) .....4-3
	図 4.2	オペランドキャッシュの構成 (SH7751) .....4-6
	図 4.3	オペランドキャッシュの構成 (SH7751R) .....4-7
	図 4.4	ライトバックバッファの構成 .....4-10
	図 4.5	ライトスルーバッファの構成 .....4-10
	図 4.6	命令キャッシュの構成 (SH7751) .....4-16
	図 4.7	命令キャッシュの構成 (SH7751R) .....4-17
	図 4.8	メモリ割り付け IC アドレスアレイ .....4-20
	図 4.9	メモリ割り付け IC データアレイ .....4-21
	図 4.10	メモリ割り付け OC アドレスアレイ .....4-22
	図 4.11	メモリ割り付け OC データアレイ .....4-23
	図 4.12	メモリ割り付け IC アドレスアレイ .....4-25
	図 4.13	メモリ割り付け IC データアレイ .....4-26
	図 4.14	メモリ割り付け OC アドレスアレイ .....4-27
	図 4.15	メモリ割り付け OC データアレイ .....4-28
	図 4.16	ストアキューの構成 .....4-29
5.	例外処理	
	図 5.1	レジスタのビット構成 .....5-2
	図 5.2	命令実行と例外処理 .....5-7
	図 5.3	一般例外の受け付け順序の例 .....5-8
6.	浮動小数点ユニット (FPU)	
	図 6.1	単精度浮動小数点フォーマット .....6-2
	図 6.2	倍精度浮動小数点フォーマット .....6-2
	図 6.3	単精度の NaN ビットパターン .....6-4
	図 6.4	浮動小数点レジスタ .....6-6
8.	パイプライン動作	
	図 8.1	基本パイプライン .....8-1
	図 8.2	命令実行パターン (1) .....8-2
	図 8.2	命令実行パターン (2) .....8-3
	図 8.2	命令実行パターン (3) .....8-4
	図 8.2	命令実行パターン (4) .....8-5
	図 8.2	命令実行パターン (5) .....8-6
	図 8.3	パイプライン実行の例 (1) .....8-12
	図 8.3	パイプライン実行の例 (2) .....8-13
	図 8.3	パイプライン実行の例 (3) .....8-14
	図 8.3	パイプライン実行の例 (4) .....8-15



## 9. 低消費電力モード

図 9.1	パワーオンリセットの STATUS 出力	9-18
図 9.2	マニュアルリセットの STATUS 出力	9-19
図 9.3	スタンバイ 割り込みの STATUS 出力	9-19
図 9.4	スタンバイ パワーオンリセットの STATUS 出力	9-20
図 9.5	スタンバイ マニュアルリセットの STATUS 出力	9-20
図 9.6	スリープ 割り込みの STATUS 出力	9-21
図 9.7	スリープ パワーオンリセットの STATUS 出力	9-21
図 9.8	スリープ マニュアルリセットの STATUS 出力	9-22
図 9.9	ディープスリープ 割り込みの STATUS 出力	9-23
図 9.10	ディープスリープ パワーオンリセットの STATUS 出力	9-23
図 9.11	ディープスリープ マニュアルリセットの STATUS 出力	9-24
図 9.12	ハードウェアスタンバイモードのタイミング (通常動作中に CA=Low レベルとなる場合)	9-25
図 9.13	ハードウェアスタンバイモードのタイミング (WDT 動作中に CA=Low レベルとなる場合)	9-26
図 9.14	VDD-RTC 以外の電源 OFF 時のタイミング	9-26
図 9.15	VDD-RTC 電源 OFF ON 時のタイミング	9-27

## 10. クロック発振回路

図 10.1 (1)	SH7751 の CPG のブロック図	10-3
図 10.1 (2)	SH7751R の CPG のブロック図	10-4
図 10.2	WDT のブロック図	10-14
図 10.3	WTCNT、WTCSR への書き込み	10-18
図 10.4	水晶発振子使用時の注意	10-21
図 10.5	PLL 発振回路使用時の注意	10-22

## 11. リアルタイムクロック (RTC)

図 11.1	RTC のブロック図	11-2
図 11.2	時刻設定手順例	11-17
図 11.3	時刻読み出し手順例	11-18
図 11.4	アラーム機能の使用例	11-19
図 11.5	水晶発振回路接続例	11-21

## 12. タイマユニット (TMU)

図 12.1	TMU のブロック図	12-2
図 12.2	カウント動作設定手順例	12-14
図 12.3	TCNT のオートリロード動作	12-14
図 12.4	内部クロック動作時のカウントタイミング	12-15
図 12.5	外部クロック動作時のカウントタイミング	12-15
図 12.6	内蔵 RTC の出力クロック動作時のカウントタイミング	12-15
図 12.7	インプットキャプチャ機能使用時の動作タイミング	12-16

### 13. バスステートコントローラ (BSC)

図 13.1	BSC のブロック図	13-3
図 13.2	仮想アドレス空間と外部メモリ空間の対応	13-7
図 13.3	外部メモリ空間割り付け	13-9
図 13.4	BCR4 の設定による $\overline{\text{RDY}}$ サンプリングタイミング例 (WCR2 により 2 サイクルウェイトが挿入されている)	13-26
図 13.5	RTCSR、RTCNT、RTCOR、RFCR への書き込み	13-53
図 13.6	SRAM インタフェースの基本タイミング	13-63
図 13.7	32 ビットデータ幅 SRAM 接続例	13-64
図 13.8	16 ビットデータ幅 SRAM 接続例	13-65
図 13.9	8 ビットデータ幅 SRAM 接続例	13-65
図 13.10	SRAM インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)	13-66
図 13.11	SRAM インタフェースのウェイトステートタイミング ( $\overline{\text{RDY}}$ 信号によるウェイトステート挿入)	13-67
図 13.12	SRAM インタフェースのリードストローブネゲートタイミング (AnS=1、AnW=4、AnH=2 の場合)	13-68
図 13.13	DRAM 接続例 (32 ビットデータ幅)	13-69
図 13.14	DRAM 基本アクセスタイミング	13-71
図 13.15	DRAM ウェイトステートタイミング	13-72
図 13.16	DRAM パーストアクセスタイミング	13-73
図 13.17	DRAM バスサイクル (EDO モード、RCD=0、AnW=0、TPC=1)	13-74
図 13.18	DRAM EDO モードのパーストアクセスタイミング	13-75
図 13.19 (1)	RAS ダウンモード開始時の DRAM パーストバスサイクル (高速ページモード、RCD=0、AnW=0)	13-76
図 13.19 (2)	RAS ダウンモード継続時の DRAM パーストバスサイクル (高速ページモード、RCD=0、AnW=0)	13-77
図 13.19 (3)	RAS ダウンモード開始時の DRAM パーストバスサイクル (EDO モード、RCD=0、AnW=0)	13-78
図 13.19 (4)	RAS ダウンモード継続時の DRAM パーストバスサイクル (EDO モード、RCD=0、AnW=0)	13-79
図 13.20	CAS ビフォ RAS リフレッシュの動作	13-80
図 13.21	DRAM CAS ビフォ RAS リフレッシュサイクルタイミング (TRAS=0、TRC=1)	13-81
図 13.22	DRAM セルフリフレッシュサイクルタイミング	13-82
図 13.23	32 ビットデータ幅シンクロナス DRAM 接続例 (エリア 3)	13-84
図 13.24	シンクロナス DRAM パーストリード基本タイミング	13-87
図 13.25	シンクロナス DRAM シングルリード基本タイミング	13-88
図 13.26	シンクロナス DRAM パーストライト基本タイミング	13-89
図 13.27	シンクロナス DRAM シングルライト基本タイミング	13-91
図 13.28	パーストリードタイミング	13-93
図 13.29	パーストリードタイミング (RAS ダウン、同一ロウアドレス)	13-94
図 13.30	パーストリードタイミング (RAS ダウン、異なるロウアドレス)	13-95

図 13.31	バーストライトタイミング	13-96
図 13.32	バーストライトタイミング (同一ロウアドレス)	13-97
図 13.33	バーストライトタイミング (異なるロウアドレス)	13-98
図 13.34	バーストリードサイクル後の異なるバンク、異なるロウアドレスに対する バーストリードサイクル	13-100
図 13.35	オートリフレッシュの動作	13-101
図 13.36	シンクロナス DRAM オートリフレッシュタイミング	13-102
図 13.37	シンクロナス DRAM セルフリフレッシュタイミング	13-103
図 13.38 (1)	シンクロナス DRAM モード書き込みタイミング (PALL)	13-105
図 13.38 (2)	シンクロナス DRAM モード書き込みタイミング (モードレジスタセット)	13-106
図 13.39	シンクロナス DRAM バーストリード基本タイミング (バースト長 8)	13-108
図 13.40	シンクロナス DRAM バーストライト基本タイミング	13-109
図 13.41	バースト ROM 基本アクセスタイミング	13-111
図 13.42	バースト ROM ウェイトアクセスタイミング	13-112
図 13.43	バースト ROM ウェイトアクセスタイミング	13-113
図 13.44	PCMCIA インタフェース例	13-117
図 13.45	PCMCIA メモリカードインタフェース基本タイミング	13-118
図 13.46	PCMCIA メモリカードインタフェースウェイトタイミング	13-119
図 13.47	PCMCIA 空間割り付け	13-120
図 13.48	PCMCIA I/O カードインタフェース基本タイミング	13-121
図 13.49	PCMCIA I/O カードインタフェースウェイトタイミング	13-122
図 13.50	PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング	13-123
図 13.51	32 ビットデータ幅 MPX の接続例	13-124
図 13.52	MPX インタフェースタイミング 1 (シングルリードサイクル、AnW=0、 外部ウェイトなし)	13-125
図 13.53	MPX インタフェースタイミング 2 (シングルリード、AnW=0、外部ウェイト 1 挿入)	13-126
図 13.54	MPX インタフェースタイミング 3 (シングルライトサイクル、AnW=0、 外部ウェイトなし)	13-127
図 13.55	MPX インタフェースタイミング 4 (シングルライト、AnW=1、 外部ウェイト 1 挿入)	13-128
図 13.56	MPX インタフェースタイミング 5 (バーストリードサイクル、AnW=0、 外部ウェイトなし)	13-129
図 13.57	MPX インタフェースタイミング 6 (バーストリードサイクル、AnW=0、 外部ウェイト制御)	13-129
図 13.58	MPX インタフェースタイミング 7 (バーストライトサイクル、AnW=0、 外部ウェイトなし)	13-130
図 13.59	MPX インタフェースタイミング 8 (バーストライトサイクル、AnW=1、 外部ウェイト制御)	13-130
図 13.60	MPX インタフェースタイミング 9 (バーストリードサイクル、AnW=0、 外部ウェイトなし、バス幅 32 ビット、転送データサイズ 64 ビット)	13-131
図 13.61	MPX インタフェースタイミング 10 (バーストリードサイクル、AnW=0、 外部ウェイト 1 挿入、バス幅 32 ビット、転送データサイズ 64 ビット)	13-132

図 13.62	MPX インタフェースタイミング 11 (バーストライトサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 64 ビット)	13-133
図 13.63	MPX インタフェースタイミング 12 (バーストライトサイクル、AnW=1、外部ウェイト 1 挿入、バス幅 32 ビット、転送データサイズ 64 ビット)	13-134
図 13.64	32 ビットデータ幅バイト制御 SRAM の例	13-135
図 13.65	バイト制御 SRAM 基本リードサイクル (ウェイトなし)	13-136
図 13.66	バイト制御 SRAM 基本リードサイクル (内部ウェイト 1 サイクル)	13-137
図 13.67	バイト制御 SRAM 基本リードサイクル (内部 1 ウェイト + 外部 1 ウェイト)	13-138
図 13.68	アクセスサイクル間ウェイト	13-140
図 13.69	アービトレーションシーケンス	13-142
14. ダイレクトメモリアクセスコントローラ (DMAC)		
図 14.1	DMAC ブロック図	14-4
図 14.2	DMAC 転送フローチャート	14-20
図 14.3	ラウンドロビンモード	14-25
図 14.4	ラウンドロビンモードでのチャンネル優先順位変更例	14-26
図 14.5	シングルアドレスモードでのデータの流れ	14-28
図 14.6	シングルアドレスモードでの DMA 転送タイミング	14-29
図 14.7	デュアルアドレスモードの動作説明	14-30
図 14.8	デュアルアドレスモードの転送タイミング例	14-30
図 14.9	サイクルスチールモードでの DMA 転送例	14-31
図 14.10	バーストモードでの DMA 転送例	14-31
図 14.11	複数チャンネルが動作する場合のバス状態	14-34
図 14.12	デュアルアドレスモード / サイクルスチールモード 外部バス 外部バス / $\overline{\text{DREQ}}$ (レベル検出)、 $\text{DACK}$ (リードサイクル)	14-38
図 14.13	デュアルアドレスモード / サイクルスチールモード 外部バス 外部バス / $\overline{\text{DREQ}}$ (エッジ検出)、 $\text{DACK}$ (リードサイクル)	14-39
図 14.14	デュアルアドレスモード / バーストモード 外部バス 外部バス / $\overline{\text{DREQ}}$ (レベル検出)、 $\text{DACK}$ (リードサイクル)	14-40
図 14.15	デュアルアドレスモード / バーストモード 外部バス 外部バス / $\overline{\text{DREQ}}$ (エッジ検出)、 $\text{DACK}$ (リードサイクル)	14-41
図 14.16	デュアルアドレスモード / サイクルスチールモード 内蔵 SCI (レベル検出) 外部バス	14-42
図 14.17	デュアルアドレスモード / サイクルスチールモード 外部バス 内蔵 SCI (レベル検出)	14-43
図 14.18	シングルアドレスモード / サイクルスチールモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (レベル検出)	14-44
図 14.19	シングルアドレスモード / サイクルスチールモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (エッジ検出)	14-45
図 14.20	シングルアドレスモード / バーストモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (レベル検出)	14-46
図 14.21	シングルアドレスモード / バーストモード 外部バス 外部デバイス / $\overline{\text{DREQ}}$ (エッジ検出)	14-47

図 14.22	シングルアドレスモード/バーストモード 外部デバイス 外部バス/ DREQ(レベル検出)/32バイトブロック転送 (バス幅: 32ビット、SDRAM: row ヒットライト)	14-48
図 14.23	オンデマンドデータトランスファモードのブロック図	14-52
図 14.24	オンデマンドトランスファモードにおけるシステム構成	14-54
図 14.25	データ転送要求フォーマット	14-55
図 14.26	シングルアドレスモード/シンクロナス DRAM 外部デバイスロングワード転送 SDRAM オートプリチャージリードバスサイクル、バースト (RCD=1、CAS レイテンシ=3、TPC=3)	14-58
図 14.27	シングルアドレスモード/外部デバイス シンクロナス DRAM ロングワード転送 SDRAM オートプリチャージライトバスサイクル、バースト (RCD=1、TRWL=2、TPC=1)	14-59
図 14.28	デュアルアドレスモード/シンクロナス DRAM SRAM 類ロングワード転送	14-60
図 14.29	シングルアドレスモード/バーストモード/外部バス 外部デバイス 32バイトブロック転送/チャンネル0 オンデマンドデータ転送	14-61
図 14.30	シングルアドレスモード/バーストモード/外部デバイス 外部バス 32バイトブロック転送/チャンネル0 オンデマンドデータ転送	14-61
図 14.31	シングルアドレスモード/バーストモード/外部バス 外部デバイス 32ビット転送/チャンネル0 オンデマンドデータ転送	14-62
図 14.32	シングルアドレスモード/バーストモード/外部デバイス 外部バス 32ビット転送/チャンネル0 オンデマンドデータ転送	14-62
図 14.33	データバスを使用したハンドシェイクプロトコル (チャンネル0 オンデマンドデータ転送)	14-63
図 14.34	データバスを使用しないハンドシェイクプロトコル (チャンネル0 オンデマンドデータ転送)	14-63
図 14.35	シンクロナス DRAM のプリチャージバンクからのリード	14-64
図 14.36	シンクロナス DRAM の非プリチャージバンクからのリード (row ミスの場合)	14-64
図 14.37	シンクロナス DRAM からのリード (row ヒットの場合)	14-65
図 14.38	シンクロナス DRAM のプリチャージバンクへのライト	14-65
図 14.39	シンクロナス DRAM の非プリチャージバンクへのライト (row ミスの場合)	14-66
図 14.40	シンクロナス DRAM へのライト (row ヒットの場合)	14-66
図 14.41	シングルアドレスモード/バーストモード/外部バス 外部デバイス 32バイトブロック転送/チャンネル0 オンデマンドデータ転送	14-67
図 14.42	DDT モード設定	14-68
図 14.43	シングルアドレスモード/バーストモード/エッジ検出/ 外部デバイス 外部バスデータ転送	14-68
図 14.44	シングルアドレスモード/バーストモード/レベル検出/ 外部バス 外部デバイスデータ転送	14-69
図 14.45	シングルアドレスモード/バーストモード/エッジ検出/バイト、ワード、 ロングワード、クワッド/外部バス 外部デバイスデータ転送	14-69
図 14.46	シングルアドレスモード/バーストモード/エッジ検出/バイト、ワード、 ロングワード、クワッド/外部デバイス 外部バスデータ転送	14-70

図 14.47	シングルアドレスモード/バーストモード/32 バイトブロック転送/ データバスを用いたチャンネル 1~3 への DMA 転送要求.....	14-70
図 14.48	シングルアドレスモード/バーストモード/32 バイトブロック転送/ 外部バス 外部デバイスデータ転送/データバス未使用チャンネル 2 への ダイレクトデータ転送要求.....	14-71
図 14.49	シングルアドレスモード/バーストモード/外部バス 外部デバイスデータ転送/ チャンネル 2 へのダイレクトデータ転送要求.....	14-72
図 14.50	シングルアドレスモード/バーストモード/外部デバイス 外部バスデータ転送/ チャンネル 2 へのダイレクトデータ転送要求.....	14-73
図 14.51	シングルアドレスモード/バーストモード/外部バス 外部デバイスデータ転送 (アクティブなバンクアドレス)/チャンネル 2 へのダイレクトデータ転送要求.....	14-74
図 14.52	シングルアドレスモード/バーストモード/外部デバイス 外部バスデータ転送 (アクティブなバンクアドレス)/チャンネル 2 へのダイレクトデータ転送要求.....	14-75
図 14.53	DMAC ブロック図.....	14-79
図 14.54	DTR フォーマット (転送要求フォーマット) (SH7751R).....	14-88
図 14.55	シングルアドレスモード/バーストモード/外部バス 外部デバイス 32 バイトブロック転送/チャンネル 0 オンデマンドデータ転送.....	14-91
図 14.56	シングルアドレスモード/バーストモード/外部バス 外部デバイス 32 バイトブロック転送/チャンネル 4 オンデマンドデータ転送.....	14-92
15. シリアルコミュニケーションインタフェース (SCI)		
図 15.1	SCI のブロック図.....	15-3
図 15.2	SCK 端子.....	15-19
図 15.3	TxD 端子.....	15-20
図 15.4	RxD 端子.....	15-20
図 15.5	調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例).....	15-30
図 15.6	出力クロックと通信データの位相関係 (調歩同期式モード).....	15-32
図 15.7	SCI の初期化フローチャートの例.....	15-33
図 15.8	シリアル送信のフローチャートの例.....	15-34
図 15.9	調歩同期式モードでの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例).....	15-36
図 15.10	シリアル受信のフローチャートの例 (1).....	15-37
図 15.10	シリアル受信のフローチャートの例 (2).....	15-38
図 15.11	SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例).....	15-40
図 15.12	マルチプロセッサフォーマットを使用したプロセッサ間通信の例 (受信局 A へのデータ H'AA の送信の例).....	15-41
図 15.13	マルチプロセッサシリアル送信のフローチャートの例.....	15-43
図 15.14	SCI の送信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例).....	15-45
図 15.15	マルチプロセッサシリアル受信割り込み発生時のフローチャートの例.....	15-46
図 15.16	マルチプロセッサシリアル受信のフローチャートの例 (1).....	15-47

図 15.16	マルチプロセッサシリアル受信のフローチャートの例 (2)	15-48
図 15.17	SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)	15-49
図 15.18	クロック同期式通信のデータフォーマット	15-51
図 15.19	SCI の初期化フローチャートの例	15-52
図 15.20	シリアル送信のフローチャートの例	15-53
図 15.21	SCI の送信時の動作例	15-54
図 15.22	シリアルデータ受信フローチャートの例 (1)	15-55
図 15.22	シリアルデータ受信フローチャートの例 (2)	15-56
図 15.23	SCI の受信時の動作例	15-57
図 15.24	シリアルデータ送受信フローチャートの例	15-58
図 15.25	調歩同期式モードの受信データサンプリングタイミング	15-62
図 15.26	DMAC による同期クロック転送例	15-63
16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)		
図 16.1	SCIF のブロック図	16-3
図 16.2	MD8/RTS2 端子	16-25
図 16.3	MD7/CTS2 端子	16-25
図 16.4	MD1/TxD2 端子	16-26
図 16.5	MD2/RxD2 端子	16-26
図 16.6	MD0/SCK2 端子	16-27
図 16.7	SCIF の初期化フローチャートの例	16-32
図 16.8	シリアル送信のフローチャートの例	16-33
図 16.9	送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	16-35
図 16.10	モデムコントロール (CTS2) 時の動作例	16-35
図 16.11	シリアル受信のフローチャートの例 (1)	16-36
図 16.11	シリアル受信のフローチャートの例 (2)	16-37
図 16.12	SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	16-38
図 16.13	モデムコントロール (RTS2) の動作例	16-39
図 16.14	調歩同期式モードの受信データサンプリングタイミング	16-42
17. スマートカードインタフェース		
図 17.1	スマートカードインタフェース	17-2
図 17.2	スマートカードインタフェース端子接続概略図	17-9
図 17.3	スマートカードインタフェースのデータフォーマット	17-10
図 17.4	TEND 発生タイミング	17-11
図 17.5	開始キャラクタの波形例	17-12
図 17.6	GM ビットの設定によるクロック出力の違い	17-15
図 17.7	初期化のフロー例	17-17
図 17.8	送信処理フローの例	17-19

図 17.9	受信処理フローの例	17-21
図 17.10	スマートカードモード時の受信データサンプリングタイミング	17-23
図 17.11	SCI 受信モードの場合の再転送動作	17-24
図 17.12	SCI 送信モードの場合の再転送動作	17-25
図 17.13	クロック停止、再起動手順	17-25
18.	I/O ポート	
図 18.1	16 ビットポート A	18-2
図 18.2	16 ビットポート B	18-3
図 18.3	SCK 端子	18-4
図 18.4	TxD 端子	18-5
図 18.5	RxD 端子	18-5
図 18.6	MD1/TxD2 端子	18-6
図 18.7	MD2/RxD2 端子	18-6
図 18.8	MD0/SCK2 端子	18-7
図 18.9	MD7/ $\overline{\text{CTS2}}$ 端子	18-8
図 18.10	MD8/ $\overline{\text{RTS2}}$ 端子	18-9
19.	割り込みコントローラ (INTC)	
図 19.1	INTC のブロック図	19-2
図 19.2	IRL 割り込みの接続例	19-4
図 19.3	割り込み動作フロー	19-19
20.	ユーザブ레이크コントローラ	
図 20.1	ユーザブ레이크コントローラブロック図	20-2
図 20.2	ユーザブ레이크デバッグサポート機能のフローチャート	20-20
21.	ユーザデバッグインタフェース (H-UDI)	
図 21.1	H-UDI 回路ブロック図	21-2
図 21.2	TAP 制御状態遷移図	21-11
図 21.3	H-UDI リセット	21-12
22.	PCI コントローラ (PCIC)	
図 22.1	PCIC ブロック図	22-2
図 22.2	PIO メモリ空間アクセス	22-83
図 22.3	PIO I/O 空間アクセス	22-84
図 22.4	ローカルアドレス空間のアクセス方法	22-86
図 22.5	DMA 転送制御レジスタの設定例	22-89
図 22.6	DMA 転送フローチャート例	22-91
図 22.7	ホスト時マスタライトサイクル (シングル)	22-95



図 22.8	ホスト時マスタリードサイクル (シングル) .....	22-96
図 22.9	非ホスト時マスタライトサイクル (バースト) .....	22-97
図 22.10	非ホスト時マスタリードサイクル (バースト) .....	22-98
図 22.11	非ホスト時ターゲットリードサイクル (シングル) .....	22-100
図 22.12	非ホスト時ターゲットライトサイクル (シングル) .....	22-101
図 22.13	ホスト時ターゲットメモリリードサイクル (バースト) .....	22-102
図 22.14	ホスト時ターゲットメモリライトサイクル (バースト) .....	22-103
図 22.15	ホスト時マスタライトサイクル (バースト、ステッピングあり) .....	22-104
図 22.16	ホスト時ターゲットメモリリードサイクル (バースト、ステッピングあり) .....	22-105
図 22.17	周辺バスのエンディアン制御 .....	22-106
図 22.18	周辺バスと PCI バス間のデータアライメント .....	22-107
図 22.19	ローカルバスのエンディアン制御 .....	22-107
図 22.20	DMA 転送時のデータアライメント .....	22-108
図 22.21	ターゲットメモリ転送時のデータアライメント (1) (ローカルバスがビッグエンディアン) .....	22-110
図 22.21	ターゲットメモリ転送時のデータアライメント (2) (ローカルバスがリトルエンディアン) .....	22-111
図 22.22	ターゲット I/O 転送時のデータアライメント (ビッグエンディアン / リトルエンディアンとも) .....	22-112
図 22.23	ターゲットコンフィギュレーション転送時のデータアライメント (ビッグエンディアン / リトルエンディアンとも) .....	22-113
図 22.24	ターゲットバスタイムアウト割り込み発生例 1 (ターゲットが $\overline{\text{FRAME}}$ アサートから 16 クロック目で $\text{STOP}$ をアサートしてリトライを返した例) .....	22-124
図 22.25	ターゲットバスタイムアウト割り込み発生例 2 (ターゲットが 3 つ目のデータを 準備するのに 2 つ目のデータフェーズから 8 クロックかかった例) .....	22-124
図 22.26	マスタバスタイムアウト割り込み発生例 1 (マスタが $\overline{\text{FRAME}}$ のアサートから 8 クロック目にデータが準備できて $\overline{\text{IRDY}}$ をアサートした例) .....	22-125
図 22.27	マスタバスタイムアウト割り込み発生例 2 (マスタが 3 つ目のデータを準備するのに 2 つ目のデータフェーズから 8 クロックかかった例) .....	22-125

## 23. 電気的特性

図 23.1	EXTAL クロック入力タイミング .....	23-20
図 23.2 (1)	CKIO クロック出力タイミング .....	23-20
図 23.2 (2)	CKIO クロック出力タイミング .....	23-20
図 23.3	パワーオン発振安定時間 .....	23-21
図 23.4	スタンバイ復帰時発振安定時間 (RESET または $\overline{\text{MRESET}}$ による復帰) .....	23-21
図 23.5	パワーオン時発振安定時間 .....	23-22
図 23.6	スタンバイ復帰時発振安定時間 ( $\overline{\text{RESET}}$ または $\overline{\text{MRESET}}$ による復帰) .....	23-22
図 23.7	スタンバイ復帰時発振安定時間 (NMI による復帰) .....	23-23
図 23.8	スタンバイ復帰時発振安定時間 ( $\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$ による復帰) .....	23-23
図 23.9	$\overline{\text{RESET}}$ または $\overline{\text{MRESET}}$ または NMI 割り込みによる PLL 同期安定時間 .....	23-24

図 23.10	IRL 割り込みによる PLL 同期安定時間	23-24
図 23.11	制御信号タイミング	23-26
図 23.12 (1)	リセットまたはスリープモード時のピンドライブタイミング	23-27
図 23.12 (2)	ソフトウェアスタンバイモード時のピンドライブタイミング	23-27
図 23.13	SRAM バスサイクル 基本バスサイクル (ノーウェイト)	23-31
図 23.14	SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト)	23-32
図 23.15	SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト + 外部 1 ウェイト)	23-33
図 23.16	SRAM バスサイクル 基本バスサイクル (ノーウェイト、アドレスセットアップ、 ホールドタイム挿入、AnS=1、AnH=1)	23-34
図 23.17	バースト ROM バスサイクル (ノーウェイト)	23-35
図 23.18	バースト ROM バスサイクル (1 番目のデータ: 内部 1 ウェイト + 外部 1 ウェイト、 2、3、4 番目のデータ: 内部 1 ウェイト)	23-36
図 23.19	バースト ROM バスサイクル (ノーウェイト、アドレスセットアップ/ ホールドタイム挿入、AnS=1、AnH=1)	23-37
図 23.20	バースト ROM バスサイクル (内部 1 ウェイト + 外部 1 ウェイト)	23-38
図 23.21	シンクロナス DRAM オートプリチャージリードバスサイクル、シングル (RCD[1:0]=01、CAS レイテンシ=3、TPC[2:0]=011)	23-39
図 23.22	シンクロナス DRAM オートプリチャージリードバスサイクル、バースト (RCD[1:0]=01、CAS レイテンシ=3、TPC[2:0]=011)	23-40
図 23.23	シンクロナス DRAM ノーマルリードバスサイクル: ACT+READ コマンド、バースト (RASD=1、RCD[1:0]=01、CAS レイテンシ=3)	23-41
図 23.24	シンクロナス DRAM ノーマルリードバスサイクル: PRE+ACT+READ コマンド、バースト (RASD=1、RCD[1:0]=01、TPC[2:0]=001、CAS レイテンシ=3)	23-42
図 23.25	シンクロナス DRAM ノーマルリードバスサイクル: READ コマンド、バースト (RASD=1、CAS レイテンシ=3)	23-43
図 23.26	シンクロナス DRAM オートプリチャージライトバスサイクル、シングル (RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)	23-44
図 23.27	シンクロナス DRAM オートプリチャージライトバスサイクル、バースト (RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)	23-45
図 23.28	シンクロナス DRAM ノーマルライトバスサイクル: ACT+WRITE コマンド、バースト (RASD=1、RCD[1:0]=01、TRWL[2:0]=010)	23-46
図 23.29	シンクロナス DRAM ノーマルライトバスサイクル: PRE+ACT+WRITE コマンド、 バースト (RASD=1、RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)	23-47
図 23.30	シンクロナス DRAM ノーマルライトバスサイクル: WRITE コマンド、バースト (RASD=1、TRWL[2:0]=010)	23-48
図 23.31	シンクロナス DRAM バスサイクル プリチャージコマンド (TPC[2:0]=001)	23-49
図 23.32	シンクロナス DRAM バスサイクル オートリフレッシュ (TRAS=1、TRC[2:0]=001)	23-50
図 23.33	シンクロナス DRAM バスサイクル セルフリフレッシュ (TRC[2:0]=001)	23-51
図 23.34 (a)	シンクロナス DRAM バスサイクル モードレジスタセット (PALL)	23-52
図 23.34 (b)	シンクロナス DRAM バスサイクル モードレジスタセット (SET)	23-53
図 23.35	DRAM バスサイクル	23-54
図 23.36	DRAM バスサイクル (EDO モード、RCD[1:0]=00、AnW[2:0]=000、TRC[2:0]=001)	23-55

図 23.37	DRAM バーストバスサイクル (EDO モード、RCD[1:0]=00、AnW[2:0]=000、TPC[2:0]=001) .....	23-56
図 23.38	DRAM バーストバスサイクル (EDO モード、RCD[1:0]=01、AnW[2:0]=001、TPC[2:0]=001) .....	23-57
図 23.39	DRAM バーストバスサイクル (EDO モード、RCD[1:0]=01、AnW[2:0]=001、TPC[2:0]=001、CAS ネゲートパルス幅 2 サイクル) .....	23-58
図 23.40	DRAM バーストバスサイクル、RAS ダウンモード状態 (EDO モード、RCD[1:0]=00、AnW[2:0]=000) .....	23-59
図 23.41	DRAM バーストバスサイクル、RAS ダウンモード継続 (EDO モード、RCD[1:0]=00、AnW[2:0]=000) .....	23-60
図 23.42	DRAM バーストバスサイクル (高速ページモード、RCD[1:0]=00、AnW[2:0]=000、TPC[2:0]=001) .....	23-61
図 23.43	DRAM バーストバスサイクル (高速ページモード、RCD[1:0]=01、AnW[2:0]=001、TPC[2:0]=001) .....	23-62
図 23.44	DRAM バーストバスサイクル (高速ページモード、RCD[1:0]=01、AnW[2:0]=001、TPC[2:0]=001、CAS ネゲートパルス幅 2 サイクル) .....	23-63
図 23.45	DRAM バーストバスサイクル、RAS ダウンモード状態 (高速ページモード、RCD[1:0]=00、AnW[2:0]=000) .....	23-64
図 23.46	DRAM バーストバスサイクル、RAS ダウンモード継続 (高速ページモード、RCD[1:0]=00、AnW[2:0]=000) .....	23-65
図 23.47	DRAM バスサイクル DRAM CAS ピフオ RAS リフレッシュ (TRAS[2:0]=000、TRC[2:0]=001) .....	23-66
図 23.48	DRAM バスサイクル DRAM CAS ピフオ RAS リフレッシュ (TRAS[2:0]=001、TRC[2:0]=001) .....	23-67
図 23.49	DRAM バスサイクル DRAM セルフリフレッシュ (TRC[2:0]=001) .....	23-68
図 23.50	PCMCIA メモリバスサイクル.....	23-69
図 23.51	PCMCIA I/O バスサイクル .....	23-70
図 23.52	PCMCIA I/O バスサイクル (TED[2:0]=001、TEH[2:0]=001、内部 1 ウェイト、バスサイジング) .....	23-71
図 23.53	MPX 基本バスサイクル、リード.....	23-72
図 23.54	MPX 基本バスサイクル、ライト.....	23-73
図 23.55	MPX バスサイクル、バーストリード.....	23-74
図 23.56	MPX バスサイクル、バーストライト.....	23-75
図 23.57	メモリバイト制御 SRAM バスサイクル.....	23-76
図 23.58	メモリバイト制御 SRAM バスサイクル 基本リードサイクル (ノーウェイト、アドレスセットアップ/ホールド時間挿入、AnS[0]=1、AnH[1:0]=01).....	23-77
図 23.59	TCLK 入力タイミング .....	23-82
図 23.60	パワーオン RTC 発振安定時間 .....	23-83
図 23.61	SCK 入力クロックタイミング .....	23-83
図 23.62	SCI I/O 同期モードクロックタイミング.....	23-83
図 23.63	I/O ポート入出力タイミング .....	23-84
図 23.64 (a)	$\overline{\text{DREQ}}/\text{DRAK}$ タイミング .....	23-84
図 23.64 (b)	$\overline{\text{DBREQ}}/\overline{\text{TR}}$ 入力タイミング、 $\overline{\text{BAVL}}$ 出力タイミング .....	23-84

図 23.65	TCK 入力タイミング	23-85
図 23.66	RESET ホールドタイミング	23-85
図 23.67	H-UDI データ転送タイミング	23-85
図 23.68	端子ブレークタイミング	23-85
図 23.69	NMI 入力タイミング	23-86
図 23.70	PCI クロック入力タイミング	23-89
図 23.71	出力信号タイミング	23-89
図 23.72	入力信号タイミング	23-89
図 23.73	I/O ポート入出力タイミング	23-90
図 23.74	出力付加回路	23-91
図 23.75	負荷容量 - 遅延時間	23-92

## 付録

図 B.1	外形寸法図 (256 ピン QFP)	付録-8
図 B.2	外形寸法図 (256 ピン BGA : HD6417751RBA240HV を除く)	付録-9
図 B.3	外形寸法図 (292 ピン BGA)	付録-10
図 B.4	外形寸法図 (256 ピン BGA : HD6417751RBA240HV)	付録-11
図 F.1	命令のプリフェッチ	付録-30
図 G.1	クロック動作モードをいったんモード 6 に設定する方法	付録-32
図 G.2	電源投入手順 1	付録-34
図 G.3	電源投入手順 2	付録-34

---

# 表目次

---

1. 概要	
表 1.1 SH7751/SH7751R グループの特長	1-1
表 1.2 端子機能	1-11
表 1.3 端子機能	1-21
表 1.4 端子機能	1-31
2. プログラミングモデル	
表 2.1 レジスタの初期値	2-3
3. メモリマネジメントユニット (MMU)	
表 3.1 レジスタ構成	3-3
4. キャッシュ	
表 4.1 キャッシュの特長 (SH7751)	4-1
表 4.2 キャッシュの特長 (SH7751R)	4-1
表 4.3 ストアキューの特長	4-2
表 4.4 レジスタの構成	4-2
5. 例外処理	
表 5.1 レジスタ構成 (アドレス)	5-1
表 5.2 例外一覧	5-4
表 5.3 リセットの種類	5-11
6. 浮動小数点ユニット (FPU)	
表 6.1 浮動小数点のフォーマットとパラメータ	6-2
表 6.2 浮動小数点の範囲	6-3
7. 命令セット	
表 7.1 アドレッシングモードと実効アドレス	7-3
表 7.2 命令リストの表記	7-6
表 7.3 固定小数点転送命令	7-7
表 7.4 算術演算命令	7-8
表 7.5 論理演算命令	7-9
表 7.6 シフト命令	7-10

表 7.7	分岐命令.....	7-11
表 7.8	システム制御命令.....	7-11
表 7.9	浮動小数点単精度命令.....	7-13
表 7.10	浮動小数点倍精度命令.....	7-14
表 7.11	浮動小数点制御命令.....	7-14
表 7.12	浮動小数点グラフィック強化命令.....	7-15
8. バイプライン動作		
表 8.1	命令グループ (1) .....	8-7
表 8.1	命令グループ (2) .....	8-8
表 8.1	命令グループ (3) .....	8-9
表 8.2	並列実行性.....	8-9
表 8.3	実行サイクル.....	8-16
9. 低消費電力モード		
表 9.1	低消費電力モードの状態.....	9-1
表 9.2	レジスタ構成.....	9-2
表 9.3	端子構成.....	9-2
表 9.4	スタンバイモード時のレジスタの状態.....	9-13
10. クロック発振回路		
表 10.1	発振回路の端子構成と機能.....	10-6
表 10.2	レジスタ構成.....	10-6
表 10.3 (1)	SH7751 のクロック動作モード.....	10-7
表 10.3 (2)	SH7751R のクロック動作モード.....	10-7
表 10.4	FRQCR の設定値と、内部クロックの周波数.....	10-8
表 10.5	レジスタ構成.....	10-14
11. リアルタイムクロック (RTC)		
表 11.1	端子構成.....	11-3
表 11.2	レジスタ構成.....	11-4
表 11.3	水晶発振回路の定数 (推奨値) .....	11-21
12. タイマユニット (TMU)		
表 12.1	端子構成.....	12-2
表 12.2	レジスタ構成.....	12-3
表 12.3	TMU の割り込み要因.....	12-17
13. バスステートコントローラ (BSC)		
表 13.1	端子構成.....	13-4

表 13.2	レジスタ構成	13-6
表 13.3	外部メモリ空間マップ	13-8
表 13.4	PCMCIA インタフェースの特長	13-10
表 13.5	PCMCIA サポートインタフェース	13-11
表 13.6	アクセス間のアイドル挿入	13-28
表 13.7	MPX インタフェース設定時 (エリア 0~6)	13-35
表 13.8	32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	13-55
表 13.9	16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	13-55
表 13.10	8 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	13-56
表 13.11	32 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	13-57
表 13.12	16 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	13-57
表 13.13	8 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	13-58
表 13.14	AMXEXT、AMX2~0 ビットとアドレスマルチプレクスの関係	13-70
表 13.15	本 LSI とシンクロナス DRAM のアドレス端子対応例 (バス幅 32 ビット、AMX2 ~ AMX0 = 000、AMXEXT=0)	13-85
表 13.16	パイプラインアクセスが可能なサイクル一覧	13-100
表 13.17	PCMCIA インタフェース使用時のアドレスと CE の関係	13-115

#### 14. ダイレクトメモリアクセスコントローラ (DMAC)

表 14.1	DMAC 端子構成	14-5
表 14.2	DDT モードにおける DMAC 端子構成	14-5
表 14.3	レジスタ構成	14-6
表 14.4	RS ビットによる外部リクエストモードの選択	14-21
表 14.5	RS ビットによる内蔵周辺モジュールリクエストモードの選択	14-23
表 14.6	サポートできる DMA 転送	14-27
表 14.7	DMA 転送区間とリクエストモード、バスモードなどの関連一覧	14-32
表 14.8	ノーマル DMA モード時の外部リクエストによる転送元、転送先一覧	14-33
表 14.9	DDT モード時の外部リクエストによる転送元、転送先一覧	14-33
表 14.10	外部メモリと DACK 付き外部デバイス間転送条件とレジスタ設定値	14-51
表 14.11	DDT モードにおける SZ、ID および MD の可能な組み合わせ	14-56
表 14.12	DMAC 端子構成	14-80
表 14.13	DDT モードにおける DMAC 端子構成	14-80
表 14.14	レジスタ構成	14-81
表 14.15	DTR フォーマットによるチャンネル選択 (DMAOR.DBL = 1)	14-87
表 14.16	DDT モード 8 チャンネル対応時の転送チャンネル通知	14-89
表 14.17	$\overline{\text{BAVL}}$ の機能	14-90
表 14.18	リクエストキュークリアの DTR フォーマット	14-90
表 14.19	DMAC 割り込み要求コード	14-91

## 15. シリアルコミュニケーションインタフェース (SCI)

表 15.1	端子構成	15-3
表 15.2	レジスタ構成	15-4
表 15.3	ビットレートに対する SCBRR1 の設定例 [ 調歩同期式モード ]	15-22
表 15.4	ビットレートに対する SCBRR1 の設定例 [ クロック同期式モード ]	15-25
表 15.5	ポーレートジェネレータを使用する場合の各周波数における最大ビットレート ( 調歩同期式モード )	15-26
表 15.6	外部クロック入力時の最大ビットレート ( 調歩同期式モード )	15-27
表 15.7	外部クロック入力時の最大ビットレート ( クロック同期式モード )	15-27
表 15.8	SCSMR1 の設定値とシリアル送信 / 受信フォーマット	15-29
表 15.9	SCSMR1、SCSCR1 の設定と SCI のクロックソースの選択	15-29
表 15.10	シリアル送信 / 受信フォーマット ( 調歩同期式モード )	15-31
表 15.11	受信エラーと発生条件	15-39
表 15.12	SCI 割り込み要因	15-59
表 15.13	SCSSR1 のステータスフラグの状態と受信データの転送	15-60

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 16.1	端子構成	16-4
表 16.2	レジスタ構成	16-4
表 16.3	SCSMR2 の設定値とシリアル送信 / 受信フォーマット	16-29
表 16.4	SCSCR2 の設定と SCIF のクロックソースの選択	16-30
表 16.5	シリアル送信 / 受信フォーマット	16-30
表 16.6	SCIF 割り込み要因	16-40

## 17. スマートカードインタフェース

表 17.1	端子構成	17-2
表 17.2	レジスタ構成	17-3
表 17.3	スマートカードインタフェースでのレジスタ設定	17-11
表 17.4	n と CKS1、CKS0 の対応表	17-13
表 17.5	SCBRR1 の設定に対するビットレート B (bit/s) の例 (ただし、n=0 のとき)	17-13
表 17.6	ビットレート B (bit/s) に対する SCBRR1 の設定例 (ただし、n=0 のとき)	17-14
表 17.7	各周波数における最大ビットレート (スマートカードインタフェースモード時)	17-14
表 17.8	レジスタ設定値と SCK 端子	17-14
表 17.9	スマートカードモードの動作状態と割り込み要因	17-22

## 18. I/O ポート

表 18.1	32 ビット汎用 I/O ポートの端子構成	18-10
表 18.2	SCI I/O ポート端子構成	18-11
表 18.3	SCIF I/O ポート端子構成	18-11
表 18.4	レジスタ構成	18-11



19. 割り込みコントローラ (INTC)	
表 19.1 端子構成	19-3
表 19.2 レジスタ構成	19-3
表 19.3 $\overline{IRL3}$ ~ $\overline{IRL0}$ 端子と割り込みレベル	19-5
表 19.4 割り込み例外処理要因と優先順位	19-8
表 19.5 割り込み要求元と IPRA ~ IPRD レジスタ	19-11
表 19.6 割り込み要求元と INTPRI00 レジスタ	19-14
表 19.7 ビット割り付け	19-17
表 19.8 割り込み応答時間	19-21
20. ユーザブレイクコントローラ	
表 20.1 ユーザブレイクコントローラレジスタ構成	20-3
21. ユーザデバッグインタフェース (H-UDI)	
表 21.1 端子構成	21-3
表 21.2 H-UDI レジスタ構成	21-4
表 21.3 バウンダリスキャンレジスタの構成	21-7
22. PCI コントローラ (PCIC)	
表 22.1 端子構成	22-3
表 22.2 PCI コンフィグレーションレジスタ構成	22-5
表 22.3 PCI コンフィグレーションレジスタの構造	22-7
表 22.4 PCIC ローカルレジスタ構成	22-8
表 22.5 CLASS23 ~ 16 ベースクラスコード一覧	22-19
表 22.6 メモリ空間ベースアドレスレジスタ (BASE0)	22-24
表 22.7 メモリ空間ベースアドレスレジスタ (BASE1)	22-26
表 22.8 動作モード	22-75
表 22.9 PCI コマンドサポート一覧	22-76
表 22.10 アクセスサイズ	22-106
表 22.11 DMA 転送のアクセスサイズとエンディアン変換モード	22-108
表 22.12 アクセスサイズとエンディアン変換モード	22-109
表 22.13 割り込み	22-115
表 22.14 動作モードごとのクロックの停止方法	22-120
23. 電気的特性	
表 23.1 絶対最大定格	23-1
表 23.2 HD6417751RBP240(V)、HD6417751RBG240(V)、HD6417751RBA240HV DC 特性 ( $T_a = -20 \sim 75$ °C)	23-2
表 23.3 HD6417751RF240(V) DC 特性 ( $T_a = -20 \sim 75$ °C)	23-4

表 23.4	HD6417751RBP200(V)、HD6417751RBG200(V)、HD6417751RBA240HV* <sup>3</sup> DC 特性 (Ta = -20 ~ 75 * <sup>1</sup> ) .....	23-6
表 23.5	HD6417751RF200(V) DC 特性 (Ta = -20 ~ 75 ) .....	23-8
表 23.6	DC 特性 (HD6417751BP167(V) : Ta = -20 ~ 75 ) .....	23-10
表 23.7	DC 特性 (HD6417751F167(V) : Ta = -20 ~ 75 ) .....	23-12
表 23.8	出力許容電流値 .....	23-13
表 23.9	クロックタイミング (HD6417751RBP240(V)、HD6417751RBG240(V)、HD6417751RBA240HV) .....	23-14
表 23.10	クロックタイミング (HD6417751RF240(V)) .....	23-14
表 23.11	クロックタイミング (HD6417751RBP200(V)、HD6417751RBG200(V)、HD6417751RBA240HV* <sup>1</sup> ) .....	23-14
表 23.12	クロックタイミング (HD6417751RF200(V)) .....	23-14
表 23.13	クロックタイミング (HD6417751BP167(V)、HD6417751F167(V)) .....	23-14
表 23.14	クロック・制御信号タイミング .....	23-15
表 23.15	クロック・制御信号タイミング .....	23-16
表 23.16	クロック・制御信号タイミング .....	23-17
表 23.17	クロック・制御信号タイミング .....	23-18
表 23.18	クロック・制御信号タイミング .....	23-19
表 23.19	制御信号タイミング .....	23-25
表 23.20	制御信号タイミング .....	23-26
表 23.21	バスタイミング .....	23-28
表 23.22	バスタイミング .....	23-30
表 23.23	周辺モジュール信号タイミング (1) .....	23-78
表 23.24	周辺モジュール信号タイミング (2) .....	23-81
表 23.25	PCIC 信号タイミング (PCIREQ / PCIGNT 非ポートモード時) .....	23-87
表 23.26	PCIC 信号タイミング (PCIREQ / PCIGNT 非ポートモード時) .....	23-88
表 23.27	PCIC 信号タイミング (非ホストモード時に PCIREQ / PCIGNT ポート設定時) .....	23-90
表 23.28	PCIC 信号タイミング (非ホストモード時に PCIREQ / PCIGNT ポート設定時) .....	23-90

## 付録

表 A.1	アドレス一覧 .....	付録-1
表 D.1	リセット、低消費電力状態、バス解放状態での端子状態 (PCI イネーブル、ディスエーブル共通) .....	付録-14
表 D.2	リセット、低消費電力状態、バス解放状態での端子状態 (PCI イネーブル) .....	付録-16
表 D.3	リセット、低消費電力状態、バス解放状態での端子状態 (PCI ディスエーブル) .....	付録-17
表 D.4	PCI 未使用時の端子の処理 .....	付録-19
表 H.1	SH7751/SH7751R 型名一覧 .....	付録-35
表 I.1	レジスタ構成 .....	付録-36

---

# 1. 概要

---

## 1.1 SH7751/SH7751R グループの特長

SH7751/SH7751R グループは、PC、マルチメディア機器に多用されている PCI バスコントローラを内蔵するマイクロプロセッサです。SuperH™ RISC engine はルネサスオリジナルの 32 ビット RISC (縮小命令セットコンピュータ) マイクロプロセッサです。SuperH™ RISC engine は 16 ビット固定長の命令セットを採用しており、32 ビット命令に対し、プログラムのサイズを約 50%縮小することができます。

SH7751/SH7751R グループの CPU には SH-1、SH-2、SH-3 マイクロコンピュータと命令セットレベルでの上位互換性を特長とする SH-4 コアを採用しています。SH7751/SH7751R グループは命令キャッシュ、コピーバックまたはライトスルーモードの選択が可能なオペランドキャッシュ、4 エントリのフルアソシアティブ命令 TLB (変換ルックアサイドバッファ)、64 エントリのフルアソシアティブ共用 TLB 付き MMU (メモリマネジメントユニット) を内蔵しています。SH7751 のキャッシュ容量は、命令キャッシュ 8K バイト、データキャッシュ 16K バイトです。SH7751R のキャッシュ容量は、命令キャッシュ 16K バイト、データキャッシュ 32K バイトです。

SH7751/SH7751R グループは、DRAM (ページ/EDO)、シンクロナス DRAM に接続可能なバスステートコントローラ (BSC) を内蔵しています。また PCI バスコントローラ、タイマ、シリアル通信機能などのマルチメディア、OA 機器に必要とされる機能を内蔵しているため、システムコストを大幅に低減可能です。

SH7751/SH7751R グループの特長を表 1.1 に示します。

表 1.1 SH7751/SH7751R グループの特長

項目	特長
LSI	<ul style="list-style-type: none"><li>• スーバスカラ：2つの命令の並行実行</li><li>• 外部バス (SH バス)：<ul style="list-style-type: none"><li>- 独立 26 ビットアドレス + 32 ビットデータ</li><li>- (内部バス周波数に対して) 1、1/2、1/3、1/4、1/6、1/8 外部バス周波数</li></ul></li><li>• 外部バス (PCI バス)：<ul style="list-style-type: none"><li>- 32 ビットアドレス/データ多重</li><li>- 内部クロック/外部 PCI 専用クロックの選択が可能</li></ul></li></ul>

項目	特長
CPU	<ul style="list-style-type: none"> <li>• ルネサスオリジナルアーキテクチャ</li> <li>• 32 ビット内部データバス</li> <li>• 汎用レジスタファイル： <ul style="list-style-type: none"> <li>- 16 本の 32 ビット汎用レジスタ（および 8 本の 32 ビットシャドウレジスタ）</li> <li>- 7 本の 32 ビット制御レジスタ</li> <li>- 4 本の 32 ビットシステムレジスタ</li> </ul> </li> <li>• RISC タイプ命令セット（SuperH シリーズと上位互換性）： <ul style="list-style-type: none"> <li>- 命令長： コードの効率改善のための 16 ビット固定長</li> <li>- ロードストアアーキテクチャ</li> <li>- 遅延分岐命令</li> <li>- 条件付き実行</li> <li>- C 言語に基づく命令セット</li> </ul> </li> <li>• FPU を含む 2 命令同時実行型スーパースカラ</li> <li>• 命令実行時間： 最大 2 命令 / サイクル</li> <li>• 仮想アドレス空間： 4G バイト（448M バイト外部メモリ空間）</li> <li>• 空間識別子 ASID： 8 ビット、256 仮想アドレス空間</li> <li>• 乗算器内蔵</li> <li>• 5 段パイプライン</li> </ul>
FPU	<ul style="list-style-type: none"> <li>• 浮動小数点コプロセッサ内蔵</li> <li>• 単精度（32 ビット）および倍精度（64 ビット）をサポート</li> <li>• IEEE754 に準拠したデータタイプおよび例外をサポート</li> <li>• 丸めモード： 近傍および 0 方向への丸め</li> <li>• 非正規化数の扱い： 0 への切り捨て、または IEEE754 準拠のための割り込み発生</li> <li>• 浮動小数点レジスタ： 32 ビット x 16 x 2 バンク （単精度 32 ビット x 16 または倍精度 64 ビット x 8）x 2 バンク</li> <li>• 32 ビット CPU-FPU 浮動小数点通信レジスタ（FPUL）</li> <li>• FMAC（乗算およびアキュムレート）命令をサポート</li> <li>• FDIV（除算）/ FSQRT（平方根）命令をサポート</li> <li>• FLDI0 / FLDI1（ロード定数 0/1）命令をサポート</li> <li>• 命令実行時間 <ul style="list-style-type: none"> <li>- レイテンシ（FMAC/FADD/FSUB/FMUL）： 3 サイクル（単精度）、8 サイクル（倍精度）</li> <li>- ピッチ（FMAC/FADD/FSUB/FMUL）： 1 サイクル（単精度）、6 サイクル（倍精度）</li> </ul> </li> <li>【注】： FMAC は単精度に対してのみサポートしています。</li> <li>• 3D グラフィック命令（単精度のみ）： <ul style="list-style-type: none"> <li>- 4 次元ベクトル変換および行列演算（FTRV）、4 サイクル（ピッチ）、7 サイクル（レイテンシ）</li> <li>- 4 次元ベクトルの内積（FIPR）、1 サイクル（ピッチ）、4 サイクル（レイテンシ）</li> </ul> </li> </ul>

項目	特長
クロックパルス 発生回路 (CPG)	<ul style="list-style-type: none"> <li>• メインクロック選択可能 : EXTAL の 1/2、1、3、6 倍 : SH7751 EXTAL の 1、6、12 倍 : SH7751R</li> <li>• クロックモード : (最大周波数は各製品で異なります)               <ul style="list-style-type: none"> <li>- CPU 周波数 : (メインクロックに対して) 1、1/2、1/3、1/4、1/6、1/8</li> <li>- バス周波数 : (メインクロックに対して) 1、1/2、1/3、1/4、1/6、1/8</li> <li>- 周辺周波数 : (メインクロックに対して) 1/2、1/3、1/4、1/6、1/8</li> </ul> </li> <li>• 低消費電力モード               <ul style="list-style-type: none"> <li>- スリープモード</li> <li>- ディープスリープモード</li> <li>- 端子スリープモード</li> <li>- スタンバイモード</li> <li>- ハードウェアスタンバイモード</li> <li>- モジュールスタンバイ機能</li> </ul> </li> <li>• 1 チャンネルのウォッチドッグタイマ</li> </ul>
メモリ マネジメント ユニット (MMU)	<ul style="list-style-type: none"> <li>• 4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID 8 ビット)</li> <li>• 単一仮想記憶モードと多重仮想記憶モード</li> <li>• 複数のページサイズをサポート : 1K、4K、64K、1M バイト</li> <li>• 命令に対する 4 エントリのフルアソシアティブ TLB</li> <li>• 命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB</li> <li>• ソフトウェアによる入れ替え方法およびランダムカウンタ方式入れ替えアルゴリズムをサポート</li> <li>• TLB の内容はアドレスマッピングにより直接アクセス可能</li> </ul>
キャッシュ メモリ [SH7751]	<ul style="list-style-type: none"> <li>• 命令キャッシュ (IC)               <ul style="list-style-type: none"> <li>- 8K バイト、ダイレクトマッピング</li> <li>- 256 エントリ、32 バイトブロック長</li> <li>- 通常モード (8K バイトキャッシュ)</li> <li>- インデックスモード</li> </ul> </li> <li>• オペランドキャッシュ (OC)               <ul style="list-style-type: none"> <li>- 16K バイト、ダイレクトマッピング</li> <li>- 512 エントリ、32 バイトブロック長</li> <li>- 通常モード (16K バイトキャッシュ)</li> <li>- インデックスモード</li> <li>- RAM モード (8K バイトキャッシュ + 8K バイト RAM)</li> <li>- 選択可能な書き込み方式 (コピーバック / ライトスルー)</li> </ul> </li> <li>• 1 段コピーバックバッファ、1 段ライトスルーバッファ</li> <li>• キャッシュメモリの内容はアドレスマッピングにより直接アクセス可能 (内蔵メモリとして使用可能)</li> <li>• ストアキュー (32 バイト × 2 エントリ)</li> </ul>

項目	特長
キャッシュ メモリ [SH7751R]	<ul style="list-style-type: none"> <li>• 命令キャッシュ (IC)               <ul style="list-style-type: none"> <li>- 16K バイト、2 ウェイセットアソシアティブ</li> <li>- 256 エントリ/ウェイ、32 バイトブロック長</li> <li>- キャッシュ倍増モード (16K バイトキャッシュ)</li> <li>- インデックスモード</li> <li>- SH7751 互換モード (8K バイト、ダイレクトマップ)</li> </ul> </li> <li>• オペランドキャッシュ (OC)               <ul style="list-style-type: none"> <li>- 32K バイト、2 ウェイセットアソシアティブ</li> <li>- 512 エントリ/ウェイ、32 バイトブロック長</li> <li>- キャッシュ倍増モード (32K バイトキャッシュ)</li> <li>- インデックスモード</li> <li>- RAM モード (16K バイトキャッシュ + 16K バイト RAM)</li> <li>- 選択可能な書き込み方式 (コピーバック/ライトスルー)</li> <li>- SH7751 互換モード (16K バイト、ダイレクトマップ)</li> </ul> </li> <li>• 1 段コピーバックバッファ、1 段ライトスルーバッファ</li> <li>• キャッシュメモリの内容はアドレスマッピングにより直接アクセス可能 (内蔵メモリとして使用可能)</li> <li>• ストアキュー (32 バイト×2 エントリ)</li> </ul>
割り込みコントローラ (INTC)	<ul style="list-style-type: none"> <li>• 5 本の独立した外部割り込み: NMI、IRL3 ~ IRL0</li> <li>• 15 レベルの符号化した外部割り込み: IRL3 ~ IRL0</li> <li>• 内蔵周辺割り込み: モジュールごとに優先レベルを設定</li> </ul>
ユーザブレイクコントローラ (UBC)	<ul style="list-style-type: none"> <li>• ユーザブレイク割り込みによるデバッグをサポート</li> <li>• 2 本のブレイクチャネル</li> <li>• アドレス、データ値、アクセスのタイプ、データサイズはすべてブレイク条件として設定可能</li> <li>• シーケンシャルブレイク機能をサポート</li> </ul>

項目	特長
バスステート コントローラ (BSC)	<ul style="list-style-type: none"> <li>• 外部メモリアクセスをサポート <ul style="list-style-type: none"> <li>- 32/16/8 ビットの外部データバス</li> </ul> </li> <li>• それぞれ最大 64M バイトの 7 つのエリアに分割した外部メモリ空間、各エリアには次の機能を設定可能 <ul style="list-style-type: none"> <li>- バスサイズ (8、16、または 32 ビット)</li> <li>- ウェイトサイクル数 (ハードウェアウェイト機能もサポート)</li> <li>- 空間のタイプを設定することにより、DRAM、シンクロナス DRAM、バースト ROM に対する接続が可能</li> <li>- 高速ページモードと DRAM 用 EDO をサポート</li> <li>- PCMCIA インタフェースをサポート</li> <li>- 該当エリアに対するチップセレクト信号 (<math>\overline{CS0} \sim \overline{CS6}</math>) を出力</li> </ul> </li> <li>• DRAM / シンクロナス DRAM リフレッシュ機能 <ul style="list-style-type: none"> <li>- プログラマブルなリフレッシュ間隔</li> <li>- CAS ピフオ RAS リフレッシュモードおよびセルフリフレッシュモードをサポート</li> </ul> </li> <li>• DRAM / シンクロナス DRAM バーストアクセス機能</li> <li>• ビッグエンディアンまたはリトルエンディアンを設定可能</li> </ul>
ダイレクト メモリアクセス コントローラ (DMAC)	<ul style="list-style-type: none"> <li>• 物理アドレス DMA コントローラ <ul style="list-style-type: none"> <li>- SH7751 : 4 チャンネル</li> <li>- SH7751R : 8 チャンネル</li> </ul> </li> <li>• 転送データサイズ: 8、16、32、64 ビット、または 32 バイト</li> <li>• アドレスモード <ul style="list-style-type: none"> <li>- シングルアドレスモード</li> <li>- デュアルアドレスモード</li> </ul> </li> <li>• 転送要求: 外部、内蔵周辺モジュール、またはオートリクエスト</li> <li>• バスモード: サイクルスチール、またはバーストモード</li> <li>• オンデマンドデータ転送モード (外部バス 32 ビット) をサポート</li> </ul>
タイマ (TMU)	<ul style="list-style-type: none"> <li>• 5 チャンネルのオートリロード方式 32 ビットタイマ <ul style="list-style-type: none"> <li>うち、1 チャンネルにインプットキャプチャ機能</li> </ul> </li> <li>• 5 チャンネル中 3 チャンネルについては 7 種類のカウンタ入力クロックを選択可能、残り 2 チャンネルについては 5 種類のカウンタ入力クロックを選択可能</li> </ul>
リアルタイムク ロック (RTC)	<ul style="list-style-type: none"> <li>• 内蔵クロック、カレンダー機能</li> <li>• 最大 1/256 秒の分解能 (サイクル割り込み) を持つ内蔵 32kHz 水晶発振回路</li> </ul>
シリアルコミュ ニケーションイ ンタフェース (SCI、SCIF)	<ul style="list-style-type: none"> <li>• 2 本の全二重通信チャンネル (SCI、SCIF)</li> <li>• チャンネル 1 (SCI) <ul style="list-style-type: none"> <li>- 調歩同期式モードまたはクロック同期式モードの選択可能</li> <li>- スマートカードインタフェースをサポート</li> </ul> </li> <li>• チャンネル 2 (SCIF) <ul style="list-style-type: none"> <li>- 調歩同期式モードをサポート</li> <li>- 送信部、受信部それぞれに 16 バイトの FIFO 付き</li> </ul> </li> </ul>

項目	特長																																		
PCIバスコントローラ (PCIC)	<ul style="list-style-type: none"> <li>• PCI バスコントローラ (Rev.2.1 のサブセット) *               <ul style="list-style-type: none"> <li>- 32 ビットバス</li> <li>- 33MHz / 66MHz をサポート</li> </ul> </li> <li>• PCI マスタ / スレーブサポート</li> <li>• PCI ホスト機能サポート               <ul style="list-style-type: none"> <li>- バスアービタ内蔵</li> </ul> </li> <li>• PCI 専用 DMAC (ダイレクトメモリアクセスコントローラ) 4 チャンネル内蔵               <ul style="list-style-type: none"> <li>- 各チャンネルでそれぞれに 64 バイトの FIFO 付き</li> </ul> </li> <li>• 内部クロック / 外部 PCI 専用クロックの選択が可能</li> <li>• CPU への割り込み要求が可能</li> </ul> <p>【注】 * 一部 PCI2.1 に非準拠の事項があります。</p>																																		
製品ラインアップ	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th data-bbox="337 736 444 768">製品分類</th> <th data-bbox="444 736 584 768">電圧</th> <th data-bbox="584 736 724 768">動作周波数</th> <th data-bbox="724 736 943 768">製品型名</th> <th data-bbox="943 736 1212 768">パッケージ</th> </tr> </thead> <tbody> <tr> <td data-bbox="337 778 444 852" rowspan="2">SH7751</td> <td data-bbox="444 778 584 852" rowspan="2">1.8V</td> <td data-bbox="584 778 724 852" rowspan="2">167MHz</td> <td data-bbox="724 778 943 811">HD6417751BP167</td> <td data-bbox="943 778 1212 811">256 ピン BGA</td> </tr> <tr> <td data-bbox="724 811 943 852">HD6417751F167</td> <td data-bbox="943 811 1212 852">256 ピン QFP</td> </tr> <tr> <td data-bbox="337 852 444 1122" rowspan="6">SH7751R</td> <td data-bbox="444 852 584 1122" rowspan="6">1.5V</td> <td data-bbox="584 852 724 1006" rowspan="4">240MHz</td> <td data-bbox="724 852 943 884">HD6417751RBP240</td> <td data-bbox="943 852 1212 884" rowspan="2">256 ピン BGA</td> </tr> <tr> <td data-bbox="724 884 943 917">HD6417751RBA240H</td> <td data-bbox="943 884 1212 917"></td> </tr> <tr> <td data-bbox="724 917 943 950">HD6417751RF240</td> <td data-bbox="943 917 1212 950">256 ピン QFP</td> </tr> <tr> <td data-bbox="724 950 943 983">HD6417751RBG240</td> <td data-bbox="943 950 1212 983">292 ピン BGA</td> </tr> <tr> <td data-bbox="584 1006 724 1122" rowspan="3">200MHz</td> <td data-bbox="724 1006 943 1039">HD6417751RBP200</td> <td data-bbox="943 1006 1212 1039">256 ピン BGA</td> </tr> <tr> <td data-bbox="724 1039 943 1072">HD6417751RF200</td> <td data-bbox="943 1039 1212 1072">256 ピン QFP</td> </tr> <tr> <td data-bbox="724 1072 943 1105">HD6417751RBG200</td> <td data-bbox="943 1072 1212 1105">292 ピン BGA</td> </tr> </tbody> </table>					製品分類	電圧	動作周波数	製品型名	パッケージ	SH7751	1.8V	167MHz	HD6417751BP167	256 ピン BGA	HD6417751F167	256 ピン QFP	SH7751R	1.5V	240MHz	HD6417751RBP240	256 ピン BGA	HD6417751RBA240H		HD6417751RF240	256 ピン QFP	HD6417751RBG240	292 ピン BGA	200MHz	HD6417751RBP200	256 ピン BGA	HD6417751RF200	256 ピン QFP	HD6417751RBG200	292 ピン BGA
製品分類	電圧	動作周波数	製品型名	パッケージ																															
SH7751	1.8V	167MHz	HD6417751BP167	256 ピン BGA																															
			HD6417751F167	256 ピン QFP																															
SH7751R	1.5V	240MHz	HD6417751RBP240	256 ピン BGA																															
			HD6417751RBA240H																																
			HD6417751RF240	256 ピン QFP																															
			HD6417751RBG240	292 ピン BGA																															
		200MHz	HD6417751RBP200	256 ピン BGA																															
			HD6417751RF200	256 ピン QFP																															
HD6417751RBG200	292 ピン BGA																																		



## 1.2 ブロック図

図 1.1 に SH7751 グループの機能ブロック図を示します。

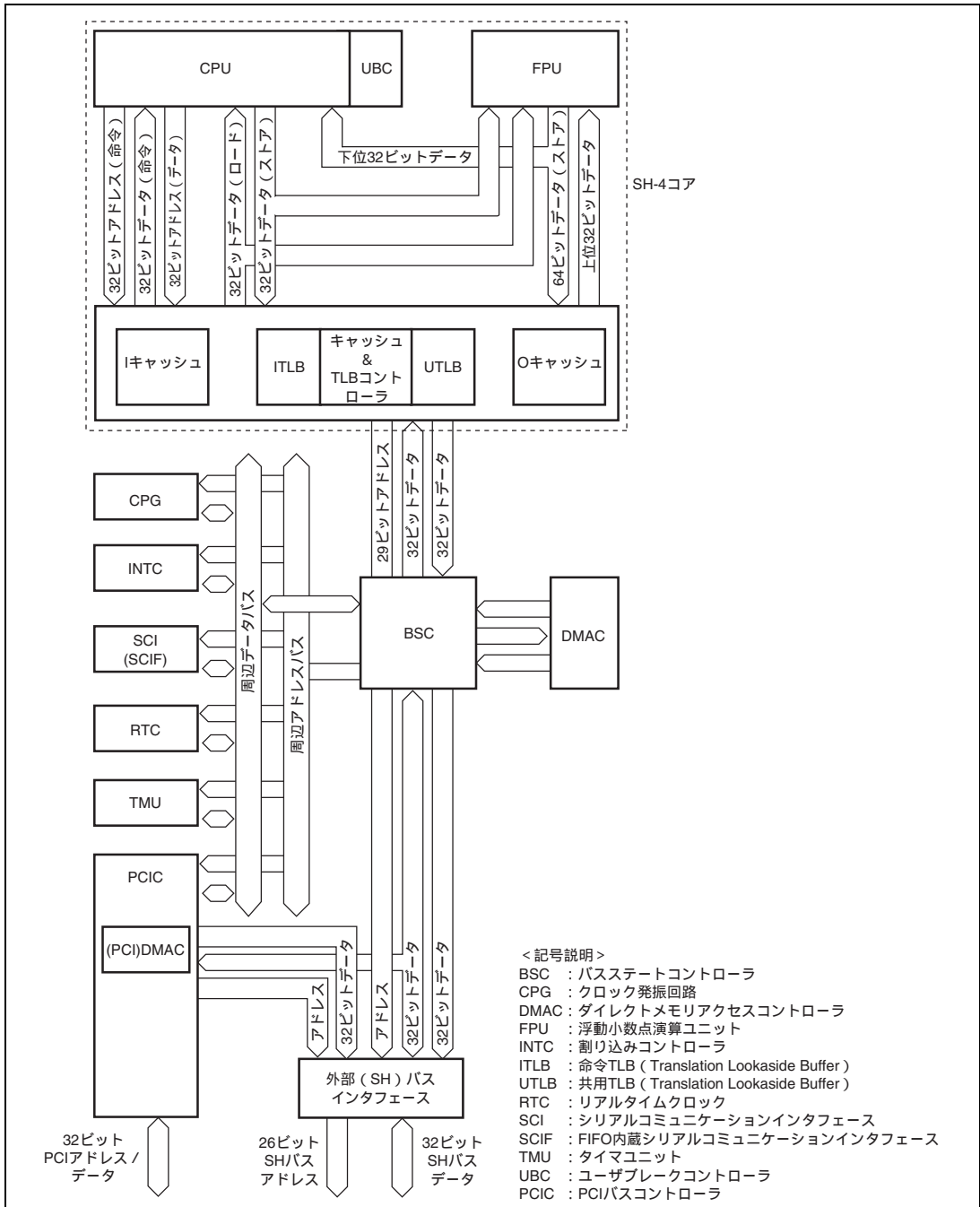


図 1.1 SH7751 グループ機能ブロック図

### 1.3 ピン配置図

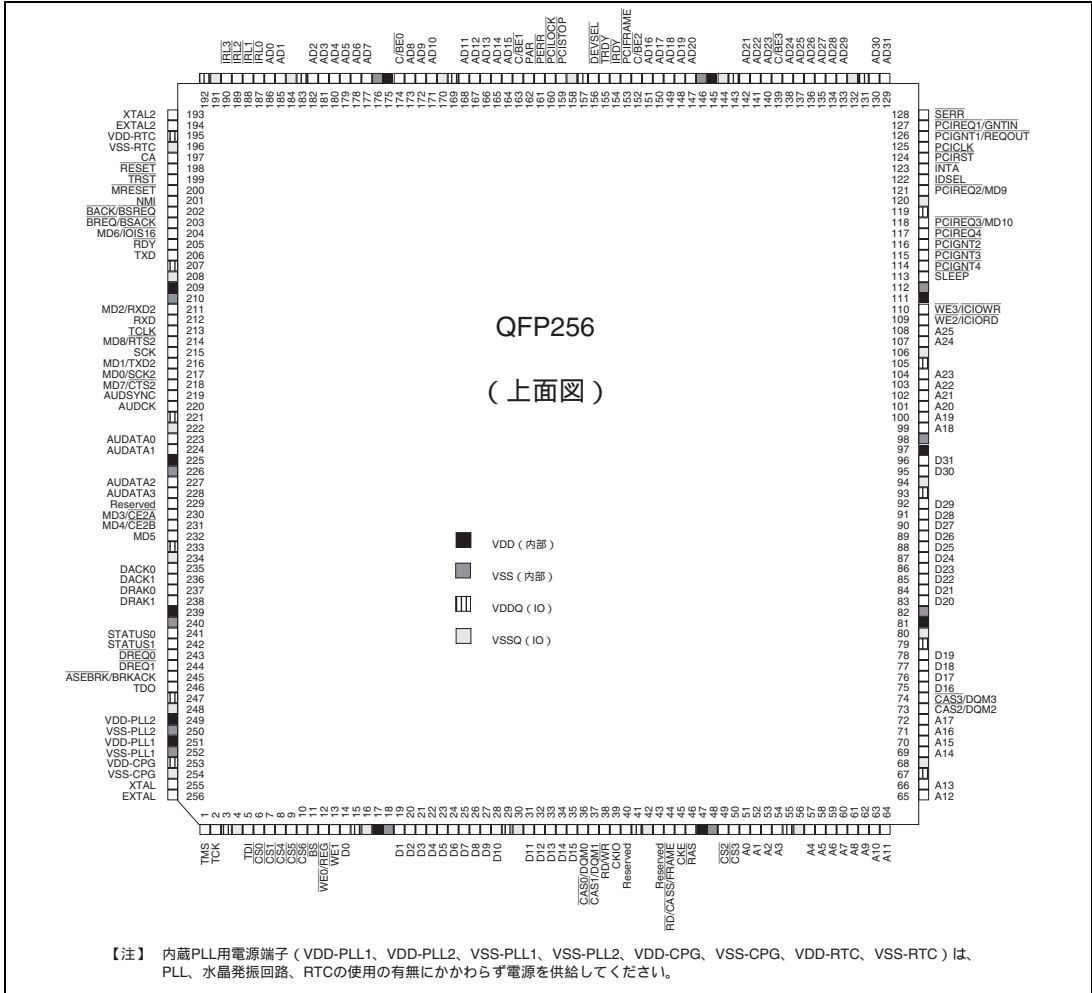


図 1.2 ピン配置図 (256ピンQFP)

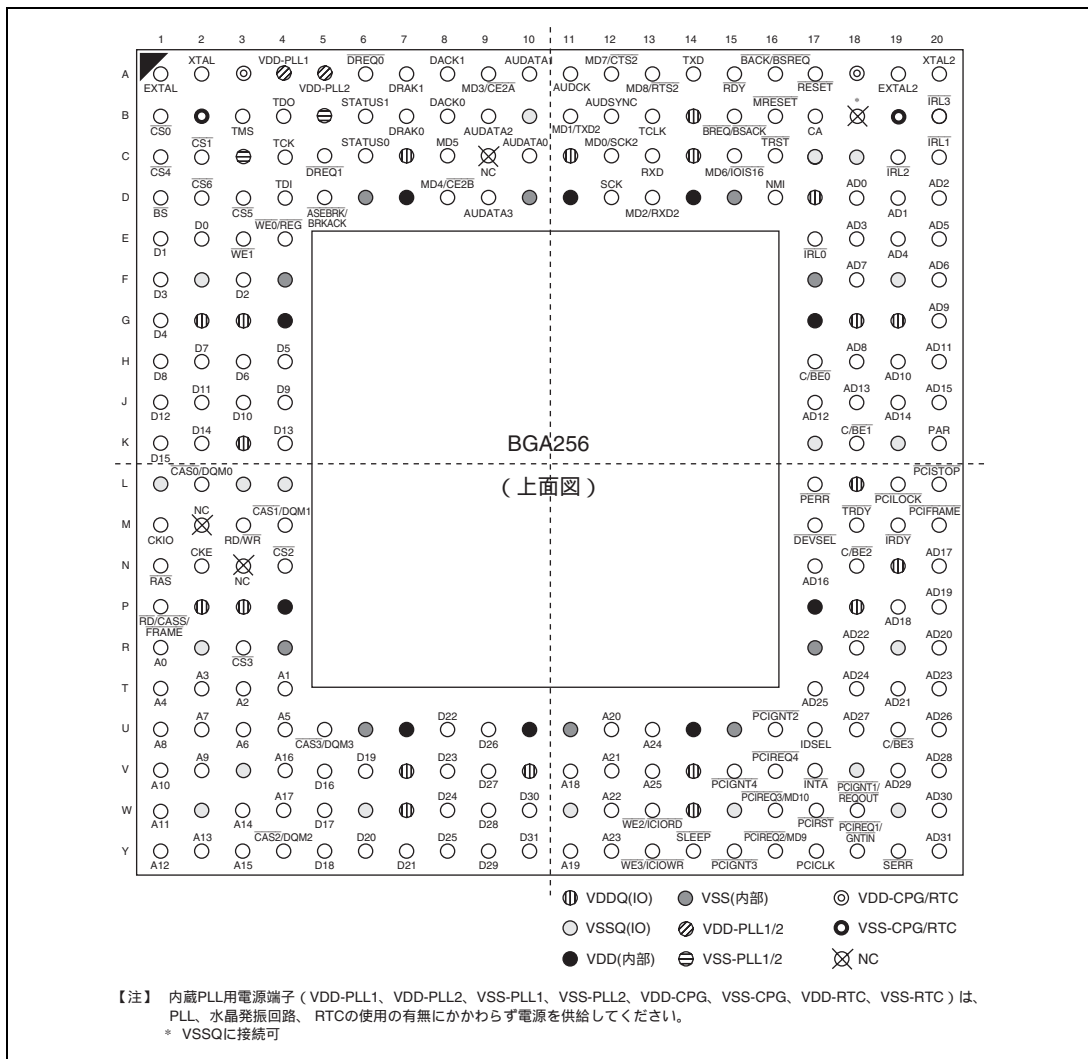


図 1.3 ピン配置図 (256ピン BGA)

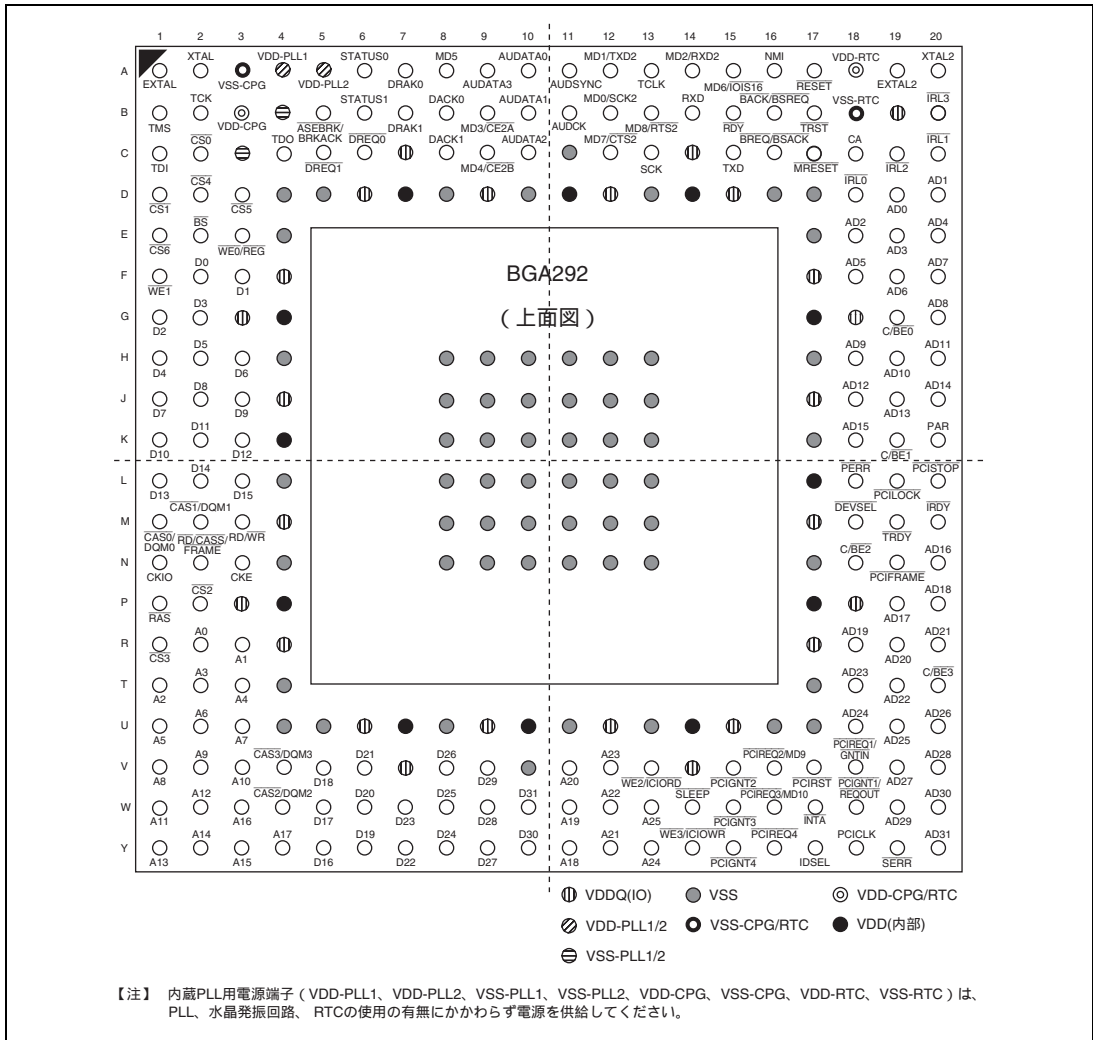


図 1.4 ピン配置図 (292ピン BGA)

## 1.4 端子機能

## 1.4.1 端子機能 (256 ピン QFP)

表 1.2 端子機能

端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
1	TMS	I	モード (H-UDI)						
2	TCK	I	クロック (H-UDI)						
3	VDDQ	Power	IO VDD						
4	VSSQ	Power	IO GND						
5	TDI	I	データイン (H-UDI)						
6	$\overline{CS0}$	O	チップ選択 0		$\overline{CS0}$				$\overline{CS0}$
7	$\overline{CS1}$	O	チップ選択 1		$\overline{CS1}$				$\overline{CS1}$
8	$\overline{CS4}$	O	チップ選択 4		$\overline{CS4}$				$\overline{CS4}$
9	$\overline{CS5}$	O	チップ選択 5		$\overline{CS5}$			$\overline{CE1A}$	$\overline{CS5}$
10	$\overline{CS6}$	O	チップ選択 6		$\overline{CS6}$			$\overline{CE1B}$	$\overline{CS6}$
11	$\overline{BS}$	O	バス開始		( $\overline{BS}$ )	( $\overline{BS}$ )	( $\overline{BS}$ )	( $\overline{BS}$ )	( $\overline{BS}$ )
12	$\overline{WE0/REG}$	O	D7-D0 選択信号		$\overline{WE0}$			$\overline{REG}$	
13	$\overline{WE1}$	O	D15-D8 選択信号		$\overline{WE1}$			$\overline{WE1}$	
14	D0	I/O	データ						A0
15	VDDQ	Power	IO VDD						
16	VSSQ	Power	IO GND						
17	VDD	Power	内部 VDD						
18	VSS	Power	内部 GND						
19	D1	I/O	データ						A1
20	D2	I/O	データ						A2
21	D3	I/O	データ						A3
22	D4	I/O	データ						A4
23	D5	I/O	データ						A5
24	D6	I/O	データ						A6
25	D7	I/O	データ						A7
26	D8	I/O	データ						A8
27	D9	I/O	データ						A9
28	D10	I/O	データ						A10
29	VDDQ	Power	IO VDD						
30	VSSQ	Power	IO GND						
31	D11	I/O	データ						A11
32	D12	I/O	データ						A12
33	D13	I/O	データ						A13

端子 番号	端子名	I/O	機能	リセット	メモリアンタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
34	D14	I/O	データ						A14
35	D15	I/O	データ						A15
36	$\overline{\text{CAS0}}$ / DQM0	O	D7-D0 選択信号			$\overline{\text{CAS0}}$	DQM0		
37	$\overline{\text{CAS1}}$ / DQM1	O	D15-D8 選択信号			$\overline{\text{CAS1}}$	DQM1		
38	RD/ $\overline{\text{WR}}$	O	読み出し/書き込み		RD/ $\overline{\text{WR}}$	RD/ $\overline{\text{WR}}$	RD/ $\overline{\text{WR}}$	RD/ $\overline{\text{WR}}$	RD/ $\overline{\text{WR}}$
39	CKIO	O	クロック出力		CKIO	CKIO	CKIO	CKIO	CKIO
40	Reserved		何も接続しないで ください						
41	VDDQ	Power	IO VDD						
42	VSSQ	Power	IO GND						
43	Reserved		何も接続しないで ください						
44	$\overline{\text{RD/CASS}}$ / FRAME	O	リード $\overline{\text{CAS/FRAME}}$		$\overline{\text{OE}}$		$\overline{\text{CAS}}$	$\overline{\text{OE}}$	$\overline{\text{FRAME}}$
45	CKE	O	クロック出力可能				CKE		
46	$\overline{\text{RAS}}$	O	$\overline{\text{RAS}}$			$\overline{\text{RAS}}$	$\overline{\text{RAS}}$		
47	VDD	Power	内部 VDD						
48	VSS	Power	内部 GND						
49	$\overline{\text{CS2}}$	O	チップ選択 2		$\overline{\text{CS2}}$	(CS2)	$\overline{\text{CS2}}$		$\overline{\text{CS2}}$
50	$\overline{\text{CS3}}$	O	チップ選択 3		$\overline{\text{CS3}}$	(CS3)	$\overline{\text{CS3}}$		$\overline{\text{CS3}}$
51	A0	O	アドレス						
52	A1	O	アドレス						
53	A2	O	アドレス						
54	A3	O	アドレス						
55	VDDQ	Power	IO VDD						
56	VSSQ	Power	IO GND						
57	A4	O	アドレス						
58	A5	O	アドレス						
59	A6	O	アドレス						
60	A7	O	アドレス						
61	A8	O	アドレス						
62	A9	O	アドレス						
63	A10	O	アドレス						
64	A11	O	アドレス						
65	A12	O	アドレス						
66	A13	O	アドレス						

端子 番号	端子名	I/O	機能	リセット	メモリアンタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
67	VDDQ	Power	IO VDD						
68	VSSQ	Power	IO GND						
69	A14	O	アドレス						
70	A15	O	アドレス						
71	A16	O	アドレス						
72	A17	O	アドレス						
73	$\overline{\text{CAS2}}$ / DQM2	O	D23-D16 選択信号			CAS2	DQM2		
74	$\overline{\text{CAS3}}$ / DQM3	O	D31-D24 選択信号			$\overline{\text{CAS3}}$	DQM3		
75	D16	I/O	データ						A16
76	D17	I/O	データ						A17
77	D18	I/O	データ						A18
78	D19	I/O	データ						A19
79	VDDQ	Power	IO VDD						
80	VSSQ	Power	IO GND						
81	VDD	Power	内部 VDD						
82	VSS	Power	内部 GND						
83	D20	I/O	データ						A20
84	D21	I/O	データ						A21
85	D22	I/O	データ						A22
86	D23	I/O	データ						A23
87	D24	I/O	データ						A24
88	D25	I/O	データ						A25
89	D26	I/O	データ						
90	D27	I/O	データ						
91	D28	I/O	データ						
92	D29	I/O	データ						ACCSIZE0
93	VDDQ	Power	IO VDD						
94	VSSQ	Power	IO GND						
95	D30	I/O	データ						ACCSIZE1
96	D31	I/O	データ						ACCSIZE2
97	VDD	Power	内部 VDD						
98	VSS	Power	内部 GND						
99	A18	O	アドレス						
100	A19	O	アドレス						
101	A20	O	アドレス						

端子番号	端子名	I/O	機能	リセット	メモリアンタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
102	A21	O	アドレス						
103	A22	O	アドレス						
104	A23	O	アドレス						
105	VDDQ	Power	IO VDD						
106	VSSQ	Power	IO GND						
107	A24	O	アドレス						
108	A25	O	アドレス						
109	$\overline{\text{WE2}}$ / $\overline{\text{ICIOR D}}$	O	D23-D16 選択信号		$\overline{\text{WE2}}$			$\overline{\text{ICIOR D}}$	
110	$\overline{\text{WE3}}$ / $\overline{\text{ICIOWR}}$	O	D31-D24 選択信号		$\overline{\text{WE3}}$			$\overline{\text{ICIOWR}}$	
111	VDD	Power	内部 VDD						
112	VSS	Power	内部 GND						
113	SLEEP	I	スリープ						
114	$\overline{\text{PCIGNT4}}$	O	バスグラント (ホスト機能)						
115	$\overline{\text{PCIGNT3}}$	O	バスグラント (ホスト機能)						
116	$\overline{\text{PCIGNT2}}$	O	バスグラント (ホスト機能)						
117	$\overline{\text{PCIREQ4}}$	I*	バスリクエスト (ホスト機能)						
118	$\overline{\text{PCIREQ3}}$ / MD10	I*	バスリクエスト (ホスト機能) /モード	MD10					
119	VDDQ	Power	IO VDD						
120	VSSQ	Power	IO GND						
121	$\overline{\text{PCIREQ2}}$ / MD9	I*	バスリクエスト (ホスト機能)/モード	MD9					
122	IDSEL	I	コンフィグデバイス 選択						
123	$\overline{\text{INTA}}$	O	割り込み(非同期)						
124	PCIRST	O	リセット出力						
125	PCICLK	I	PCI 入力クロック						
126	$\overline{\text{PCIGNT1}}$ / $\overline{\text{REQOUT}}$	O	バスグラント (ホスト機能)/ バスリクエスト						



端子 番号	端子名	I/O	機能	リセット	メモリアンタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
127	PCIREQ1/ GNTIN	I	バスリクエスト (ホスト機能)/ バスグラント						
128	SERR	I/O	システムエラー						
129	AD31	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
130	AD30	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
131	VDDQ	Power	IO VDD						
132	VSSQ	Power	IO GND						
133	AD29	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
134	AD28	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
135	AD27	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
136	AD26	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
137	AD25	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
138	AD24	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
139	C/BE3	I/O	コマンド/ バイトイネーブル						
140	AD23	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
141	AD22	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
142	AD21	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
143	VDDQ	Power	IO VDD						
144	VSSQ	Power	IO GND						
145	VDD	Power	内部 VDD						
146	VSS	Power	内部 GND						
147	AD20	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
148	AD19	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)

端子 番号	端子名	I/O	機能	リセット	メモリアンタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
149	AD18	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
150	AD17	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
151	AD16	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
152	C/BE $\bar{2}$	I/O	コマンド/ バイトイネーブル						
153	PCIFRAME	I/O	バスサイクル						
154	$\bar{I}RDY$	I/O	イニシエータレディ						
155	$\bar{TRDY}$	I/O	ターゲットレディ						
156	$\bar{DEVSEL}$	I/O	デバイス選択						
157	VDDQ	Power	IO VDD						
158	VSSQ	Power	IO GND						
159	PCISTOP	I/O	トランザクション 中止						
160	PCILOCK	I/O	排他アクセス制御						
161	$\bar{PERR}$	I/O	パリティエラー						
162	PAR	I/O	パリティ						
163	C/BE $\bar{1}$	I/O	コマンド/ バイトイネーブル						
164	AD15	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
165	AD14	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
166	AD13	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
167	AD12	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
168	AD11	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
169	VDDQ	Power	IO VDD						
170	VSSQ	Power	IO GND						
171	AD10	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
172	AD9	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)

端子 番号	端子名	I/O	機能	リセット	メモリアンタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
173	AD8	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
174	C/BE $\bar{0}$	I/O	コマンド/ バイトイネーブル						
175	VDD	Power	内部 VDD						
176	VSS	Power	内部 GND						
177	AD7	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
178	AD6	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
179	AD5	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
180	AD4	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
181	AD3	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
182	AD2	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
183	VDDQ	Power	IO VDD						
184	VSSQ	Power	IO GND						
185	AD1	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
186	AD0	I/O	PCI アドレス/ データ/ポート		(ポート)	(ポート)	(ポート)	(ポート)	(ポート)
187	$\bar{I}RL0$	I	割り込み 0						
188	$\bar{I}RL1$	I	割り込み 1						
189	$\bar{I}RL2$	I	割り込み 2						
190	$\bar{I}RL3$	I	割り込み 3						
191	VSSQ	Power	IO GND						
192	VDDQ	Power	IO VDD						
193	XTAL2	O	RTC 水晶発振子端 子						
194	EXTAL2	I	RTC 水晶発振子端 子						
195	VDD-RTC	Power	RTC VDD						
196	VSS-RTC	Power	RTC GND						
197	CA	I	ハードウェア スタンバイ						

端子番号	端子名	I/O	機能	リセット	メモリアンタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
198	RESET	I	リセット					RESET	
199	TRST	I	リセット (H-UDI)						
200	MRESET	I	マニュアルリセット						
201	NMI	I	ノンマスクابل 割り込み						
202	BACK/ BSREQ	O	バス権認識/ バス権要求						
203	BREQ/ BSACK	I	バス権要求/ バス権認識						
204	MD6/IOIS16	I	モード/IOIS16 (PCMCIA)	MD6				IOIS16	
205	RDY	I	バス準備		RDY			RDY	RDY
206	TXD	O	SCI データ出力						
207	VDDQ	Power	IO VDD						
208	VSSQ	Power	IO GND						
209	VDD	Power	内部 VDD						
210	VSS	Power	内部 GND						
211	MD2/RXD2	I	モード/ SCIF データ入力	MD2	RXD2	RXD2	RXD2	RXD2	RXD2
212	RXD	I	SCI データ入力						
213	TCLK	I/O	RTC/TMU クロック						
214	MD8/RTS2	I/O	モード/SCIF データ 制御 (RTS)	MD8	RTS2	RTS2	RTS2	RTS2	RTS2
215	SCK	I/O	SCIF クロック						
216	MD1/TXD2	I/O	モード/SCIF データ 出力	MD1	TXD2	TXD2	TXD2	TXD2	TXD2
217	MD0/SCK2	I/O	モード/ SCIF クロック	MD0	SCK2	SCK2	SCK2	SCK2	SCK2
218	MD7/CTS2	I/O	モード/SCIF データ 制御(CTS)	MD7	CTS2	CTS2	CTS2	CTS2	CTS2
219	AUDSYNC		AUD Sync						
220	AUDCK		AUD クロック						
221	VDDQ	Power	IO VDD						
222	VSSQ	Power	IO GND						
223	AUDATA0		AUD データ						
224	AUDATA1		AUD データ						
225	VDD	Power	内部 VDD						
226	VSS	Power	内部 GND						

端子番号	端子名	I/O	機能	リセット	メモリアンタフェース				
					SRAM	DRAM	SDRAM	PCMCIA	MPX
227	AUDATA2		AUD データ						
228	AUDATA3		AUD データ						
229	Reserved		何も接続しないでください						
230	MD3/CE2A	I/O	モード/PCMCIA-CE	MD3				CE2A	
231	MD4/CE2B	I/O	モード/PCMCIA-CE	MD4				CE2B	
232	MD5	I	モード	MD5					
233	VDDQ	Power	IO VDD						
234	VSSQ	Power	IO GND						
235	DACK0	O	DMAC0 バス認識						
236	DACK1	O	DMAC1 バス認識						
237	DRAK0	O	DMAC0 要求認識						
238	DRAK1	O	DMAC1 要求認識						
239	VDD	Power	内部 VDD						
240	VSS	Power	内部 GND						
241	STATUS0	O	ステータス						
242	STATUS1	O	ステータス						
243	DREQ0	I	DMAC0 からの要求						
244	DREQ1	I	DMAC1 からの要求						
245	ASEBRK/ BRKACK	I/O	端子ブレイク/ アクノリッジ (H-UDI)						
246	TDO	O	データアウト (H-UDI)						
247	VDDQ	Power	IO VDD						
248	VSSQ	Power	IO GND						
249	VDD-PLL2	Power	PLL2 VDD						
250	VSS-PLL2	Power	PLL2 GND						
251	VDD-PLL1	Power	PLL1 VDD						
252	VSS-PLL1	Power	PLL1 GND						
253	VDD-CPG	Power	CPG VDD						
254	VSS-CPG	Power	CPG GND						
255	XTAL	O	水晶発振子						
256	EXTAL	I	外部入力クロック/ 水晶発振子						

I : 入力

O : 出力

I/O : 入出力

Power : 電源

- 【注】
1. すべての電源端子に給電してください。ただし、SH7751 の場合、ハードウェアスタンバイモードでは、少なくとも RTC 電源に給電してください。
  2. 内蔵 PLL の使用の有無にかかわらず、VDD-PLL1/2、VSS-PLL1/2 に電源を供給してください。
  3. 内蔵水晶発振回路の使用の有無にかかわらず、VDD-CPG、VSS-CPG に電源を供給してください。
  4. 内蔵 RTC の使用の有無にかかわらず、VDD-RTC、VSS-RTC に電源を供給してください。
  5. PCI ディスエーブルモードで使用する場合の PCI バス用端子処理については、表 D.4 を参照してください。
- \* ポートとして使用時、I/O 属性は、入出力となります。

## 1.4.2 端子機能 (256 ピン BGA)

表 1.3 端子機能

項番	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
1	B3	TMS	I	モード (H-UDI)						
2	C4	TCK	I	クロック (H-UDI)						
3	G3	VDDQ	Power	IO VDD						
4	F2	VSSQ	Power	IO GND						
5	D4	TDI	I	データイン (H-UDI)						
6	B1	$\overline{CS0}$	O	チップ選択 0		$\overline{CS0}$				$\overline{CS0}$
7	C2	$\overline{CS1}$	O	チップ選択 1		$\overline{CS1}$				$\overline{CS1}$
8	C1	$\overline{CS4}$	O	チップ選択 4		$\overline{CS4}$				$\overline{CS4}$
9	D3	$\overline{CS5}$	O	チップ選択 5		$\overline{CS5}$			$\overline{CE1A}$	$\overline{CS5}$
10	D2	$\overline{CS6}$	O	チップ選択 6		$\overline{CS6}$			$\overline{CE1B}$	$\overline{CS6}$
11	D1	$\overline{BS}$	O	バス開始		$\overline{BS}$	$\overline{BS}$	$\overline{BS}$	$\overline{BS}$	$\overline{BS}$
12	E4	$\overline{WE0}/\overline{REG}$	O	D7-D0 選択信号		$\overline{WE0}$			$\overline{REG}$	
13	E3	$\overline{WE1}$	O	D15-D8 選択信号		$\overline{WE1}$			$\overline{WE1}$	
14	E2	D0	I/O	データ						A0
15	G2	VDDQ	Power	IO VDD						
16	L4	VSSQ	Power	IO GND						
17	G4	VDD	Power	内部 VDD						
18	F4	VSS	Power	内部 GND						
19	E1	D1	I/O	データ						A1
20	F3	D2	I/O	データ						A2
21	F1	D3	I/O	データ						A3
22	G1	D4	I/O	データ						A4
23	H4	D5	I/O	データ						A5
24	H3	D6	I/O	データ						A6
25	H2	D7	I/O	データ						A7
26	H1	D8	I/O	データ						A8
27	J4	D9	I/O	データ						A9
28	J3	D10	I/O	データ						A10
29	K3	VDDQ	Power	IO VDD						
30	L3	VSSQ	Power	IO GND						

項番	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
31	J2	D11	I/O	データ						A11
32	J1	D12	I/O	データ						A12
33	K4	D13	I/O	データ						A13
34	K2	D14	I/O	データ						A14
35	K1	D15	I/O	データ						A15
36	L2	$\overline{\text{CAS0}}$ / DQM0	O	D7-D0 選択信号			$\overline{\text{CAS0}}$	DQM0		
37	M4	$\overline{\text{CAS1}}$ / DQM1	O	D15-D8 選択信号			$\overline{\text{CAS1}}$	DQM1		
38	M3	RD/ $\overline{\text{WR}}$	O	リード/ライト		RD/ $\overline{\text{WR}}$	RD/ $\overline{\text{WR}}$	RD/ $\overline{\text{WR}}$	RD/ $\overline{\text{WR}}$	RD/ $\overline{\text{WR}}$
39	M1	CKIO	O	クロック出力		CKIO	CKIO	CKIO	CKIO	CKIO
40	M2	NC		何も接続しないでください						
41	P3	VDDQ	Power	IO VDD						
42	L1	VSSQ	Power	IO GND						
43	N3	NC		何も接続しないでください						
44	P1	$\overline{\text{RD}}$ / $\overline{\text{CASS}}$ / $\overline{\text{FRAME}}$	O	リード/ $\overline{\text{CAS}}$ / $\overline{\text{FRAME}}$		$\overline{\text{OE}}$		CAS	OE	FRAME
45	N2	CKE	O	クロック出力可能				CKE		
46	N1	$\overline{\text{RAS}}$	O	$\overline{\text{RAS}}$			$\overline{\text{RAS}}$	$\overline{\text{RAS}}$		
47	P4	VDD	Power	内部 VDD						
48	R4	VSS	Power	内部 GND						
49	N4	$\overline{\text{CS2}}$	O	チップ選択 2		$\overline{\text{CS2}}$	(CS2)	$\overline{\text{CS2}}$		$\overline{\text{CS2}}$
50	R3	$\overline{\text{CS3}}$	O	チップ選択 3		$\overline{\text{CS3}}$	(CS3)	$\overline{\text{CS3}}$		$\overline{\text{CS3}}$
51	R1	A0	O	アドレス						
52	T4	A1	O	アドレス						
53	T3	A2	O	アドレス						
54	T2	A3	O	アドレス						
55	P2	VDDQ	Power	IO VDD						
56	R2	VSSQ	Power	IO GND						
57	T1	A4	O	アドレス						
58	U4	A5	O	アドレス						
59	U3	A6	O	アドレス						
60	U2	A7	O	アドレス						
61	U1	A8	O	アドレス						



項番	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
62	V2	A9	O	アドレス						
63	V1	A10	O	アドレス						
64	W1	A11	O	アドレス						
65	Y1	A12	O	アドレス						
66	Y2	A13	O	アドレス						
67	V7	VDDQ	Power	IO VDD						
68	V3	VSSQ	Power	IO GND						
69	W3	A14	O	アドレス						
70	Y3	A15	O	アドレス						
71	V4	A16	O	アドレス						
72	W4	A17	O	アドレス						
73	Y4	CAS2/ DQM2	O	D23-D16 選択信号			CAS2	DQM2		
74	U5	CAS3/ DQM3	O	D31-D24 選択信号			CAS3	DQM3		
75	V5	D16	I/O	データ						A16
76	W5	D17	I/O	データ						A17
77	Y5	D18	I/O	データ						A18
78	V6	D19	I/O	データ						A19
79	W7	VDDQ	Power	IO VDD						
80	W2	VSSQ	Power	IO GND						
81	U7	VDD	Power	内部 VDD						
82	U6	VSS	Power	内部 GND						
83	Y6	D20	I/O	データ						A20
84	Y7	D21	I/O	データ						A21
85	U8	D22	I/O	データ						A22
86	V8	D23	I/O	データ						A23
87	W8	D24	I/O	データ						A24
88	Y8	D25	I/O	データ						A25
89	U9	D26	I/O	データ						
90	V9	D27	I/O	データ						
91	W9	D28	I/O	データ						
92	Y9	D29	I/O	データ						ACCSIZE0
93	V10	VDDQ	Power	IO VDD						
94	W6	VSSQ	Power	IO GND						
95	W10	D30	I/O	データ						ACCSIZE1
96	Y10	D31	I/O	データ						ACCSIZE2

項番	端子番号	端子名	I/O	機能	リセット	メモリアンタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
97	U10	VDD	Power	内部 VDD						
98	U11	VSS	Power	内部 GND						
99	V11	A18	O	アドレス						
100	Y11	A19	O	アドレス						
101	U12	A20	O	アドレス						
102	V12	A21	O	アドレス						
103	W12	A22	O	アドレス						
104	Y12	A23	O	アドレス						
105	V14	VDDQ	Power	IO VDD						
106	W11	VSSQ	Power	IO GND						
107	U13	A24	O	アドレス						
108	V13	A25	O	アドレス						
109	W13	$\overline{\text{WE2}}/$ $\overline{\text{ICIOR D}}$	O	D23-D16 選択信号		$\overline{\text{WE2}}$			$\overline{\text{ICIOR D}}$	
110	Y13	$\overline{\text{WE3}}/$ $\overline{\text{ICIOR W}}$	O	D31-D24 選択信号		$\overline{\text{WE3}}$			$\overline{\text{ICIOR W}}$	
111	U14	VDD	Power	内部 VDD						
112	U15	VSS	Power	内部 GND						
113	Y14	$\overline{\text{SLEEP}}$	I	スリープ						
114	V15	$\overline{\text{PCIGNT4}}$	O	バスグラント (ホスト機能)						
115	Y15	$\overline{\text{PCIGNT3}}$	O	バスグラント (ホスト機能)						
116	U16	$\overline{\text{PCIGNT2}}$	O	バスグラント (ホスト機能)						
117	V16	$\overline{\text{PCIREQ4}}$	I* <sup>1</sup>	バスリクエスト (ホスト機能)						
118	W16	$\overline{\text{PCIREQ3}}/$ MD10	I* <sup>1</sup>	バスリクエスト (ホスト機能/ モード)	MD10					
119	W14	VDDQ	Power	IO VDD						
120	W15	VSSQ	Power	IO GND						
121	Y16	$\overline{\text{PCIREQ2}}/$ MD9	I* <sup>1</sup>	バスリクエスト (ホスト機能/ モード)	MD9					
122	U17	IDSEL	I	コンフィグ デバイス選択						

項番	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
123	V17	$\overline{\text{INTA}}$	O	割り込み (非同期)						
124	W17	$\overline{\text{PCIRST}}$	O	リセット出力						
125	Y17	PCICLK	I	PCI 入力 クロック						
126	W18	$\overline{\text{PCIGNT1/REQOUT}}$	O	バスグラント (ホスト機能)/ バスリクエスト						
127	Y18	PCIREQ1/ GNTIN	I	バスリクエスト (ホスト機能)/ バスグラント						
128	Y19	$\overline{\text{SERR}}$	I/O	システム エラー						
129	Y20	AD31	I/O	PCI アドレス/ データポート		(Port)	(Port)	(Port)	(Port)	(Port)
130	W20	AD30	I/O	PCI アドレス/ データポート		(Port)	(Port)	(Port)	(Port)	(Port)
131	P18	VDDQ	Power	IO VDD						
132	V18	VSSQ	Power	IO GND						
133	V19	AD29	I/O	PCI アドレス/ データポート		(Port)	(Port)	(Port)	(Port)	(Port)
134	V20	AD28	I/O	PCI アドレス/ データポート		(Port)	(Port)	(Port)	(Port)	(Port)
135	U18	AD27	I/O	PCI アドレス/ データポート		(Port)	(Port)	(Port)	(Port)	(Port)
136	U20	AD26	I/O	PCI アドレス/ データポート		(Port)	(Port)	(Port)	(Port)	(Port)
137	T17	AD25	I/O	PCI アドレス/ データポート		(Port)	(Port)	(Port)	(Port)	(Port)
138	T18	AD24	I/O	PCI アドレス/ データポート		(Port)	(Port)	(Port)	(Port)	(Port)
139	U19	$\overline{\text{C/BE3}}$	I/O	PCI アドレス/ データポート						
140	T20	AD23	I/O	PCI アドレス/ データポート		(Port)	(Port)	(Port)	(Port)	(Port)
141	R18	AD22	I/O	PCI アドレス/ データポート		(Port)	(Port)	(Port)	(Port)	(Port)
142	T19	AD21	I/O	PCI アドレス/ データポート		(Port)	(Port)	(Port)	(Port)	(Port)
143	N19	VDDQ	Power	IO VDD						

項番	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
144	W19	VSSQ	Power	IO GND						
145	P17	VDD	Power	内部 VDD						
146	R17	VSS	Power	内部 GND						
147	R20	AD20	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
148	P20	AD19	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
149	P19	AD18	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
150	N20	AD17	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
151	N17	AD16	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
152	N18	$\overline{C/BE2}$	I/O	コマンド/バイトイネーブル						
153	M20	$\overline{PCIFRAM E}$	I/O	バスサイクル						
154	M19	$\overline{IRDY}$	I/O	イニシエータレディ						
155	M18	$\overline{TRDY}$	I/O	ターゲットレディ						
156	M17	$\overline{DEVSEL}$	I/O	デバイス選択						
157	L18	VDDQ	Power	IO VDD						
158	R19	VSSQ	Power	IO GND						
159	L20	$\overline{PCISTOP}$	I/O	トランザクション中止						
160	L19	$\overline{PCILOCK}$	I/O	排他アクセス制御						
161	L17	$\overline{PERR}$	I/O	パリティエラー						
162	K20	PAR	I/O	パリティ						
163	K18	$\overline{C/BE1}$	I/O	コマンド/バイトイネーブル						
164	J20	AD15	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
165	J19	AD14	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
166	J18	AD13	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
167	J17	AD12	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)

項番	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
168	H20	AD11	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
169	G18	VDDQ	Power	IO VDD						
170	K17	VSSQ	Power	IO GND						
171	H19	AD10	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
172	G20	AD9	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
173	H18	AD8	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
174	H17	C/BE $\bar{0}$	I/O	コマンド/バイトイネーブル						
175	G17	VDD	Power	内部 VDD						
176	F17	VSS	Power	内部 GND						
177	F18	AD7	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
178	F20	AD6	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
179	E20	AD5	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
180	E19	AD4	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
181	E18	AD3	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
182	D20	AD2	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
183	G19	VDDQ	Power	I/O VDD						
184	K19	VSSQ	Power	I/O GND						
185	D19	AD1	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
186	D18	AD0	I/O	PCI アドレス/データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
187	E17	$\bar{\text{IRL}}_0$	I	割り込み 0						
188	C20	$\bar{\text{IRL}}_1$	I	割り込み 1						
189	C19	$\bar{\text{IRL}}_2$	I	割り込み 2						
190	B20	$\bar{\text{IRL}}_3$	I	割り込み 3						
191	B18	NC		何も接続しないでください*2						
192	D17	VDDQ	Power	I/O VDD						

項番	端子番号	端子名	I/O	機能	リセット	メモリアンタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
193	A20	XTAL2	O	RTC 水晶発振子端子						
194	A19	EXTAL2	I	RTC 水晶発振子端子						
195	A18	VDD-RTC	Power	RTC VDD						
196	B19	VSS-RTC	Power	RTC GND						
197	B17	CA	I	ハードウェア スタンバイ						
198	A17	RESET	I	リセット					RESET	
199	C16	TRST	I	リセット (H-UDI)						
200	B16	MRESET	I	マニュアル リセット						
201	D16	NMI	I	ノンマスクブル 割り込み						
202	A16	BACK/ BSREQ	O	バス権認識/ バス権要求						
203	B15	BREQ/ BSACK	I	バス権要求/ バス権認識						
204	C15	MD6/ IOIS16	I	モード/IOIS16 (PCMCIA)	MD6				IOIS16	
205	A15	RDY	I	バス準備		RDY			RDY	RDY
206	A14	TXD	O	SCI データ出力						
207	B14	VDDQ	Power	IO VDD						
208	F19	VSSQ	Power	IO GND						
209	D14	VDD	Power	内部 VDD						
210	D15	VSS	Power	内部 GND						
211	D13	MD2/RXD 2	I	モード/SCIF データ入力	MD2	RXD2	RXD2	RXD2	RXD2	RXD2
212	C13	RXD	I	SCI データ入力						
213	B13	TCLK	I/O	RTC/TMU クロック						
214	A13	MD8/RTS2	I/O	モード/SCIF データ制御(RTS)	MD8	RTS2	RTS2	RTS2	RTS2	RTS2
215	D12	SCK	I/O	SCIF クロック						
216	B11	MD1/TXD2	I/O	モード/SCIF データ出力	MD1	TXD2	TXD2	TXD2	TXD2	TXD2

項番	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
217	C12	MD0/ SCK2	I/O	モード/SCIF クロック	MD0	SCK2	SCK2	SCK2	SCK2	SCK2
218	A12	MD7/CTS2	I/O	モード/SCIF データ制御 (CTS)	MD7	CTS2	CTS2	CTS2	CTS2	CTS2
219	B12	AUDSYNC		AUD Sync						
220	A11	AUDCK		AUD クロック						
221	C14	VDDQ	Power	IO VDD						
222	C18	VSSQ	Power	IO GND						
223	C10	AUDATA0		AUD データ						
224	A10	AUDATA1		AUD データ						
225	D11	VDD	Power	内部 VDD						
226	D10	VSS	Power	内部 GND						
227	B9	AUDATA2		AUD データ						
228	D9	AUDATA3		AUD データ						
229	C9	NC		何も接続しない ください						
230	A9	MD3/ CE2A	I/O	モード/ PCMCIA-CE	MD3				CE2A	
231	D8	MD4/ CE2B	I/O	モード/ PCMCIA-CE	MD4				CE2B	
232	C8	MD5	I	モード	MD5					
233	C11	VDDQ	Power	IO VDD						
234	C17	VSSQ	Power	IO GND						
235	B8	DACK0	O	DMAC0 バス権認識						
236	A8	DACK1	O	DMAC1 バス権認識						
237	B7	DRAK0	O	DMAC0 要求認識						
238	A7	DRAK1	O	DMAC1 要求認識						
239	D7	VDD	Power	内部 VDD						
240	D6	VSS	Power	内部 GND						
241	C6	STATUS0	O	ステータス						
242	B6	STATUS1	O	ステータス						
243	A6	DREQ0	I	DMAC0 からの要求						

項番	端子番号	端子名	I/O	機能	リセット	メモリアンタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
244	C5	DREQ1	I	DMAC1 からの要求						
245	D5	ASEBRK/ BRKACK	I/O	端子ブレイク/ アクノリッジ (H-UDI)						
246	B4	TDO	O	データアウト (H-UDI)						
247	C7	VDDQ	Power	IO VDD						
248	B10	VSSQ	Power	IO GND						
249	A5	VDD-PLL2	Power	PLL2 VDD						
250	B5	VSS-PLL2	Power	PLL2 GND						
251	A4	VDD-PLL1	Power	PLL1 VDD						
252	C3	VSS-PLL1	Power	PLL1 GND						
253	A3	VDD-CPG	Power	CPG VDD						
254	B2	VSS-CPG	Power	CPG GND						
255	A2	XTAL	O	水晶発振子						
256	A1	EXTAL	I	外部入力 クロック/ 水晶発振子						

I : 入力

O : 出力

I/O : 入出力

Power : 電源

- 【注】
- すべての電源端子に給電してください。ただし、SH7751 の場合、ハードウェアスタンバイモードでは、少なくとも RTC 電源に給電してください。
  - 内蔵 PLL の使用の有無にかかわらず、VDD-PLL1/2、VSS-PLL1/2 に電源を供給してください。
  - 内蔵水晶発振回路の使用の有無にかかわらず、VDD-CPG、VSS-CPG に電源を供給してください。
  - 内蔵 RTC の使用の有無にかかわらず、VDD-RTC、VSS-RTC に電源を供給してください。
  - PCI ディスエーブルモードで使用する場合の PCI バス用端子処理については、表 D.4 を参照してください。
- \*1 ポートとして使用時、I/O 属性は入出力となります
- \*2 VSSQ に接続可



## 1.4.3 端子機能 (292 ピン BGA)

表 1.4 端子機能

項番	端子番号	端子名	I/O	機能	リセット	メモリインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
1	B1	TMS	I	モード (H-UDI)						
2	B2	TCK	I	クロック (H-UDI)						
3	F4	VDDQ	Power	IO VDD						
4	E4	VSS	Power	GND						
5	C1	TDI	I	データイン (H-UDI)						
6	C2	$\overline{CS0}$	O	チップ選択 0		$\overline{CS0}$				$\overline{CS0}$
7	D1	$\overline{CS1}$	O	チップ選択 1		$\overline{CS1}$				$\overline{CS1}$
8	D2	$\overline{CS4}$	O	チップ選択 4		$\overline{CS4}$				$\overline{CS4}$
9	D3	$\overline{CS5}$	O	チップ選択 5		$\overline{CS5}$			$\overline{CE1A}$	$\overline{CS5}$
10	E1	$\overline{CS6}$	O	チップ選択 6		$\overline{CS6}$			$\overline{CE1B}$	$\overline{CS6}$
11	E2	$\overline{BS}$	O	バス開始		( $\overline{BS}$ )	( $\overline{BS}$ )	( $\overline{BS}$ )	( $\overline{BS}$ )	( $\overline{BS}$ )
12	E3	$\overline{WE0}/\overline{REG}$	O	D7-D0 選択信号		$\overline{WE0}$			$\overline{REG}$	
13	F1	$\overline{WE1}$	O	D15-D8 選択信号		$\overline{WE1}$			$\overline{WE1}$	
14	F2	D0	I/O	データ						A0
15	G3	VDDQ	Power	IO VDD						
16	D4	VSS	Power	GND						
17	G4	VDD	Power	内部 VDD						
18	H4	VSS	Power	GND						
19	F3	D1	I/O	データ						A1
20	G1	D2	I/O	データ						A2
21	G2	D3	I/O	データ						A3
22	H1	D4	I/O	データ						A4
23	H2	D5	I/O	データ						A5
24	H3	D6	I/O	データ						A6
25	J1	D7	I/O	データ						A7
26	J2	D8	I/O	データ						A8
27	J3	D9	I/O	データ						A9
28	K1	D10	I/O	データ						A10
29	J4	VDDQ	Power	IO VDD						
30	D5	VSS	Power	GND						

項番	端子番号	端子名	I/O	機能	リセット	メモリーインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
31	K2	D11	I/O	データ						A11
32	K3	D12	I/O	データ						A12
33	L1	D13	I/O	データ						A13
34	L2	D14	I/O	データ						A14
35	L3	D15	I/O	データ						A15
36	M1	$\overline{\text{CAS0}}$ / DQM0	O	D7-D0 選択信号			$\overline{\text{CAS0}}$	DQM0		
37	M2	$\overline{\text{CAS1}}$ / DQM1	O	D15-D8 選択信号			$\overline{\text{CAS1}}$	DQM1		
38	M3	$\text{RD}/\overline{\text{WR}}$	O	リード/ライト		$\text{RD}/\overline{\text{WR}}$	$\text{RD}/\overline{\text{WR}}$	$\text{RD}/\overline{\text{WR}}$	$\text{RD}/\overline{\text{WR}}$	$\text{RD}/\overline{\text{WR}}$
39	N1	CKIO	O	クロック出力		CKIO	CKIO	CKIO	CKIO	CKIO
40	K4	VDD	Power	内部 VDD						
41	R4	VDDQ	Power	IO VDD						
42	L4	VSS	Power	IO GND						
43	M4	VDDQ		I/O VDD						
44	N2	$\overline{\text{RD}}$ / $\overline{\text{CAS}}$ / $\overline{\text{FRAME}}$	O	リード/ $\overline{\text{CAS}}$ / $\overline{\text{FRAME}}$		$\overline{\text{OE}}$		$\overline{\text{CAS}}$	$\overline{\text{OE}}$	$\overline{\text{FRAME}}$
45	N3	CKE	O	クロック 出力可能				CKE		
46	P1	$\overline{\text{RAS}}$	O	$\overline{\text{RAS}}$			$\overline{\text{RAS}}$	$\overline{\text{RAS}}$		
47	P4	VDD	Power	内部 VDD						
48	N4	VSS	Power	GND						
49	P2	$\overline{\text{CS2}}$	O	チップ選択 2		$\overline{\text{CS2}}$	(CS2)	$\overline{\text{CS2}}$		$\overline{\text{CS2}}$
50	R1	$\overline{\text{CS3}}$	O	チップ選択 3		$\overline{\text{CS3}}$	(CS3)	$\overline{\text{CS3}}$		$\overline{\text{CS3}}$
51	R2	A0	O	アドレス						
52	R3	A1	O	アドレス						
53	T1	A2	O	アドレス						
54	T2	A3	O	アドレス						
55	P3	VDDQ	Power	IO VDD						
56	T4	VSS	Power	GND						
57	T3	A4	O	アドレス						
58	U1	A5	O	アドレス						
59	U2	A6	O	アドレス						
60	U3	A7	O	アドレス						
61	V1	A8	O	アドレス						
62	V2	A9	O	アドレス						
63	V3	A10	O	アドレス						

項番	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
64	W1	A11	O	アドレス						
65	W2	A12	O	アドレス						
66	Y1	A13	O	アドレス						
67	V7	VDDQ	Power	IO VDD						
68	U4	VSS	Power	GND						
69	Y2	A14	O	アドレス						
70	Y3	A15	O	アドレス						
71	W3	A16	O	アドレス						
72	Y4	A17	O	アドレス						
73	W4	$\overline{\text{CAS2}}$ / DQM2	O	D23-D16 選択信号			$\overline{\text{CAS2}}$	DQM2		
74	V4	$\overline{\text{CAS3}}$ / DQM3	O	D31-D24 選択信号			$\overline{\text{CAS3}}$	DQM3		
75	Y5	D16	I/O	データ						A16
76	W5	D17	I/O	データ						A17
77	V5	D18	I/O	データ						A18
78	Y6	D19	I/O	データ						A19
79	U6	VDDQ	Power	IO VDD						
80	U5	VSS	Power	GND						
81	U7	VDD	Power	内部 VDD						
82	U8	VSS	Power	GND						
83	W6	D20	I/O	データ						A20
84	V6	D21	I/O	データ						A21
85	Y7	D22	I/O	データ						A22
86	W7	D23	I/O	データ						A23
87	Y8	D24	I/O	データ						A24
88	W8	D25	I/O	データ						A25
89	V8	D26	I/O	データ						
90	Y9	D27	I/O	データ						
91	W9	D28	I/O	データ						
92	V9	D29	I/O	データ						ACCSIZE0
93	U9	VDDQ	Power	IO VDD						
94	V10	VSS	Power	GND						
95	Y10	D30	I/O	データ						ACCSIZE1
96	W10	D31	I/O	データ						ACCSIZE2
97	U10	VDD	Power	内部 VDD						
98	U11	VSS	Power	GND						

項番	端子番号	端子名	I/O	機能	リセット	メモリアンタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
99	Y11	A18	O	アドレス						
100	W11	A19	O	アドレス						
101	V11	A20	O	アドレス						
102	Y12	A21	O	アドレス						
103	W12	A22	O	アドレス						
104	V12	A23	O	アドレス						
105	U15	VDDQ	Power	IO VDD						
106	U17	VSS	Power	GND						
107	Y13	A24	O	アドレス						
108	W13	A25	O	アドレス						
109	V13	$\overline{\text{WE2}}$ / $\overline{\text{ICIORD}}$	O	D23-D16 選択信号		$\overline{\text{WE2}}$			$\overline{\text{ICIORD}}$	
110	Y14	$\overline{\text{WE3}}$ / $\overline{\text{ICIOWR}}$	O	D31-D24 選択信号		$\overline{\text{WE3}}$			$\overline{\text{ICIOWR}}$	
111	U14	VDD	Power	内部 VDD						
112	U13	VSS	Power	GND						
113	W14	SLEEP	I	スリープ						
114	Y15	$\overline{\text{PCIGNT4}}$	O	バスグラント (ホスト機能)						
115	W15	$\overline{\text{PCIGNT3}}$	O	バスグラント (ホスト機能)						
116	V15	$\overline{\text{PCIGNT2}}$	O	バスグラント (ホスト機能)						
117	Y16	$\overline{\text{PCIREQ4}}$	I*	バスリクエスト (ホスト機能)						
118	W16	$\overline{\text{PCIREQ3}}$ / MD10	I*	バスリクエスト (ホスト機能/ モード)	MD10					
119	V14	VDDQ	Power	IO VDD						
120	U16	VSS	Power	GND						
121	V16	$\overline{\text{PCIREQ2}}$ / MD9	I*	バスリクエスト (ホスト機能/ モード)	MD9					
122	Y17	IDSEL	I	コンフィグ デバイス選択						
123	W17	$\overline{\text{INTA}}$	O	割り込み (非同期)						

項番	端子番号	端子名	I/O	機能	リセット	メモリーインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
124	V17	PCIRST	O	リセット出力						
125	Y18	PCICLK	I	PCI 入力 クロック						
126	W18	PCIGNT1/R EQOUT	O	バスグラント (ホスト機能)/ バスリクエスト						
127	V18	PCIREQ1/G NTIN	I	バスリクエスト (ホスト機能)/ バスグラント						
128	Y19	$\overline{\text{SERR}}$	I/O	システム エラー						
129	Y20	AD31	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
130	W20	AD30	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
131	R17	VDDQ	Power	IO VDD						
132	T17	VSS	Power	GND						
133	W19	AD29	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
134	V20	AD28	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
135	V19	AD27	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
136	U20	AD26	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
137	U19	AD25	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
138	U18	AD24	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
139	T20	C/BE3	I/O	PCI アドレス/ データ/ポート						
140	T18	AD23	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
141	T19	AD22	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
142	R20	AD21	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
143	P18	VDDQ	Power	IO VDD						
144	U12	VDDQ	Power	I/O VDD						
145	P17	VDD	Power	内部 VDD						

項番	端子番号	端子名	I/O	機能	リセット	メモリーインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
146	N17	VSS	Power	GND						
147	R19	AD20	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
148	R18	AD19	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
149	P20	AD18	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
150	P19	AD17	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
151	N20	AD16	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
152	N18	C/BE <sub>2</sub>	I/O	コマンド/バイ トイネーブル						
153	N19	PCIFRAME	I/O	バスサイクル						
154	M20	$\overline{\text{IRDY}}$	I/O	イニシエータ レディ						
155	M19	$\overline{\text{TRDY}}$	I/O	ターゲット レディ						
156	M18	$\overline{\text{DEVSEL}}$	I/O	デバイス選択						
157	M17	VDDQ	Power	IO VDD						
158	L17	VDD	Power	内部 VDD						
159	L20	$\overline{\text{PCISTOP}}$	I/O	トランザク ション中止						
160	L19	PCILOCK	I/O	排他アクセス 制御						
161	L18	$\overline{\text{PERR}}$	I/O	パリティエラー						
162	K20	PAR	I/O	パリティ						
163	K19	C/BE <sub>1</sub>	I/O	コマンド/バイ トイネーブル						
164	K18	AD15	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
165	J20	AD14	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
166	J19	AD13	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
167	J18	AD12	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
168	H20	AD11	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
169	F17	VDDQ	Power	IO VDD						

項番	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
170	K17	VSS	Power	GND						
171	H19	AD10	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
172	H18	AD9	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
173	G20	AD8	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
174	G19	C/BE $\bar{0}$	I/O	コマンド/バイ トイネーブル						
175	G17	VDD	Power	内部 VDD						
176	H17	VSS	Power	GND						
177	F20	AD7	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
178	F19	AD6	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
179	F18	AD5	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
180	E20	AD4	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
181	E19	AD3	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
182	E18	AD2	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
183	G18	VDDQ	Power	I/O VDD						
184	J17	VDDQ	Power	I/O VDD						
185	D20	AD1	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
186	D19	AD0	I/O	PCI アドレス/ データ/ポート		(Port)	(Port)	(Port)	(Port)	(Port)
187	D18	$\bar{I}RL0$	I	割り込み 0						
188	C20	$\bar{I}RL1$	I	割り込み 1						
189	C19	$\bar{I}RL2$	I	割り込み 2						
190	B20	$\bar{I}RL3$	I	割り込み 3						
191	B18	VSS-RTC	Power	RTC GND						
192	E17	VSS	Power	GND						
193	A20	XTAL2	O	RTC 水晶発振子端子						
194	A19	EXTAL2	I	RTC 水晶発振子端子						

項番	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
195	A18	VDD-RTC	Power	RTC VDD						
196	B19	VDDQ	Power	IO VDD						
197	C18	CA	I	ハードウェア スタンバイ						
198	A17	RESET	I	リセット					RESET	
199	B17	TRST	I	リセット (H-UDI)						
200	C17	MRESET	I	マニュアル リセット						
201	A16	NMI	I	ノンマスクブル 割り込み						
202	B16	BACK/ BSREQ	O	バス権認識/ バス権要求						
203	C16	BREQ/ BSACK	I	バス権要求/ バス権認識						
204	A15	MD6/ IOIS16	I	モード/IOIS16 (PCMCIA)	MD6				IOIS16	
205	B15	RDY	I	バス準備		RDY			RDY	RDY
206	C15	TXD	O	SCI データ出力						
207	C14	VDDQ	Power	IO VDD						
208	C11	VSS	Power	GND						
209	D14	VDD	Power	内部 VDD						
210	D16	VSS	Power	GND						
211	A14	MD2/RXD2	I	モード/SCIF データ入力	MD2	RXD2	RXD2	RXD2	RXD2	RXD2
212	B14	RXD	I	SCI データ入力						
213	A13	TCLK	I/O	RTC/TMU クロック						
214	B13	MD8/RTS2	I/O	モード/SCIF データ制御(RTS)	MD8	RTS2	RTS2	RTS2	RTS2	RTS2
215	C13	SCK	I/O	SCIF クロック						
216	A12	MD1/TXD2	I/O	モード/SCIF データ出力	MD1	TXD2	TXD2	TXD2	TXD2	TXD2
217	B12	MD0/SCK2	I/O	モード/SCIF クロック	MD0	SCK2	SCK2	SCK2	SCK2	SCK2
218	C12	MD7/CTS2	I/O	モード/SCIF データ制御 (CTS)	MD7	CTS2	CTS2	CTS2	CTS2	CTS2
219	A11	AUDSYNC		AUD Sync						



項番	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
220	B11	AUDCK		AUD クロック						
221	D15	VDDQ	Power	IO VDD						
222	D10	VSS	Power	GND						
223	A10	AUDATA0		AUD データ						
224	B10	AUDATA1		AUD データ						
225	D11	VDD	Power	内部 VDD						
226	D17	VSS	Power	GND						
227	C10	AUDATA2		AUD データ						
228	A9	AUDATA3		AUD データ						
229	D8	VSS		GND						
230	B9	MD3/CE2A	I/O	モード/ PCMCIA-CE	MD3				CE2A	
231	C9	MD4/CE2B	I/O	モード/ PCMCIA-CE	MD4				CE2B	
232	A8	MD5	I	モード	MD5					
233	D12	VDDQ	Power	IO VDD						
234	D9	VDDQ	Power	I/O VDD						
235	B8	DACK0	O	DMAC0 バス権認識						
236	C8	DACK1	O	DMAC1 バス権認識						
237	A7	DRAK0	O	DMAC0 要求認識						
238	B7	DRAK1	O	DMAC1 要求認識						
239	D7	VDD	Power	内部 VDD						
240	D6	VDDQ	Power	I/O VDD						
241	A6	STATUS0	O	ステータス						
242	B6	STATUS1	O	ステータス						
243	C6	DREQ0	I	DMAC0 からの要求						
244	C5	DREQ1	I	DMAC1 からの要求						
245	B5	ASEBRK/ BRKACK	I/O	端子ブレーク/ アクノリッジ (H-UDI)						
246	C4	TDO	O	データアウト (H-UDI)						

項番	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
247	C7	VDDQ	Power	IO VDD						
248	D13	VSS	Power	GND						
249	A5	VDD-PLL2	Power	PLL2 VDD						
250	B4	VSS-PLL2	Power	PLL2 GND						
251	A4	VDD-PLL1	Power	PLL1 VDD						
252	C3	VSS-PLL1	Power	PLL1 GND						
253	B3	VDD-CPG	Power	CPG VDD						
254	A3	VSS-CPG	Power	CPG GND						
255	A2	XTAL	O	水晶発振子						
256	A1	EXTAL	I	外部入力 クロック/ 水晶発振子						
257	H8	VSS	Power	GND						
258	J8	VSS	Power	GND						
259	K8	VSS	Power	GND						
260	L8	VSS	Power	GND						
261	M8	VSS	Power	GND						
262	N8	VSS	Power	GND						
263	N9	VSS	Power	GND						
264	N10	VSS	Power	GND						
265	N11	VSS	Power	GND						
266	N12	VSS	Power	GND						
267	N13	VSS	Power	GND						
268	M13	VSS	Power	GND						
269	L13	VSS	Power	GND						
270	K13	VSS	Power	GND						
271	J13	VSS	Power	GND						
272	H13	VSS	Power	GND						
273	H12	VSS	Power	GND						
274	H11	VSS	Power	GND						
275	H10	VSS	Power	GND						
276	H9	VSS	Power	GND						
277	J9	VSS	Power	GND						
278	K9	VSS	Power	GND						
279	L9	VSS	Power	GND						
280	M9	VSS	Power	GND						
281	M10	VSS	Power	GND						

項番	端子番号	端子名	I/O	機能	リセット	メモリアインタフェース				
						SRAM	DRAM	SDRAM	PCMCIA	MPX
282	M11	VSS	Power	GND						
283	M12	VSS	Power	GND						
284	L12	VSS	Power	GND						
285	K12	VSS	Power	GND						
286	J12	VSS	Power	GND						
287	J11	VSS	Power	GND						
288	J10	VSS	Power	GND						
289	K10	VSS	Power	GND						
290	L10	VSS	Power	GND						
291	L11	VSS	Power	GND						
292	K11	VSS	Power	GND						

I : 入力

O : 出力

I/O : 入出力

Power : 電源

- 【注】
1. すべての電源端子に給電してください。
  2. 内蔵 PLL の使用の有無にかかわらず、VDD-PLL1/2、VSS-PLL1/2 に電源を供給してください。
  3. 内蔵水晶発振回路の使用の有無にかかわらず、VDD-CPG、VSS-CPG に電源を供給してください。
  4. 内蔵 RTC の使用の有無にかかわらず、VDD-RTC、VSS-RTC に電源を供給してください。
  5. PCI ディスエーブルモードで使用する場合は PCI バス用端子処理については、表 D.4 を参照してください。
- \* ポートとして使用時、I/O 属性は入出力となります。



---

## 2. プログラミングモデル

---

### 2.1 データフォーマット

SH-4 でサポートしているデータフォーマットを図 2.1 に示します。

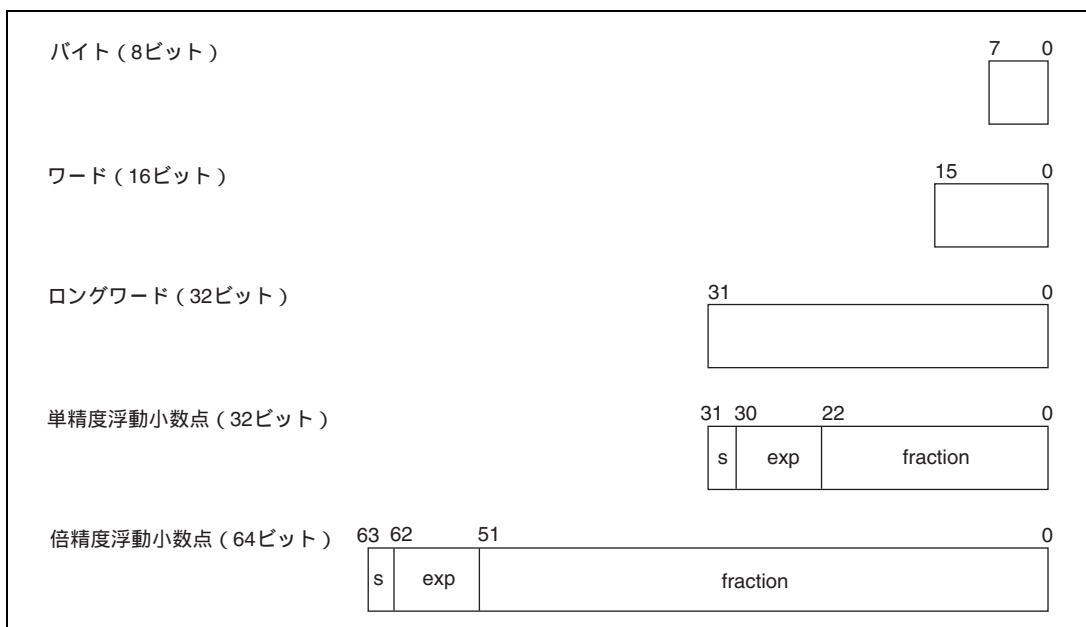


図 2.1 データフォーマット

## 2.2 レジスタの構成

### 2.2.1 特権モードとバンク

#### (1) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生または割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタ、および浮動小数点レジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

#### (2) 汎用レジスタ

汎用レジスタには R0 から R15 までの 16 本のレジスタがあります。汎用レジスタ R0 から R7 は、バンクレジスタで、処理モードで切り替えることができます。

特権モードのとき、ステータスレジスタ (SR) のレジスタバンクビット (RB) により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決められます。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令 (LDC) とストア命令 (STC) でアクセスします。

RB ビットが 1 のとき、つまりバンク 1 が選ばれているときは、バンク 1 の汎用レジスタ R0\_BANK1 から R7\_BANK1 とバンクに関係ない R8 から R15 との合計 16 本のレジスタが、汎用レジスタ R0 から R15 としてアクセスすることができ、バンク 0 の汎用レジスタ R0\_BANK0 から R7\_BANK0 の 8 本のレジスタは、LDC/STC 命令でアクセスできます。

RB ビットが 0 のとき、つまりバンク 0 が選ばれているときは、バンク 0 の汎用レジスタ R0\_BANK0 から R7\_BANK0 とバンクに関係ない R8 から R15 との合計 16 本のレジスタが、汎用レジスタ R0 から R15 としてアクセスすることができ、バンク 1 の汎用レジスタ R0\_BANK1 から R7\_BANK1 の 8 本のレジスタは、LDC/STC 命令でアクセスできます。

ユーザモードのときは、バンク 0 の汎用レジスタ R0\_BANK0 から R7\_BANK0 とバンクに関係ない R8 から R15 との合計 16 本のレジスタが、汎用レジスタ R0 から R15 としてアクセスすることができ、バンク 1 の汎用レジスタ R0\_BANK1 から R7\_BANK1 の 8 本のレジスタは、アクセスできません。

#### (3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ (GBR) とステータスレジスタ (SR) があり、特権モードでのみアクセスできる退避ステータスレジスタ (SSR)、退避プログラムカウンタ (SPC)、ベクタベースレジスタ (VBR)、退避ジェネラルレジスタ 15 (SGR)、デバッグベースレジスタ (DBR) があります。ステータスレジスタには、特権モードでのみアクセスできるビット (例えば RB ビット) があります。

#### (4) システムレジスタ

システムレジスタには、積和レジスタ (MACH/MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC)、浮動小数点ステータス/コントロールレジスタ (FPSCR)、浮動小数点通信レジスタ (FPUL) があり、処理モードに関係しません。

## (5) 浮動小数点レジスタ

浮動小数点レジスタには、FR0～FR15、XF0～XF15 の 32 本のレジスタがあります。FR0～FR15、XF0～XF15 を各々、FPR0\_BANK0～FPR15\_BANK0、FPR0\_BANK1～FPR15\_BANK1 のいずれのバンクに割り付けるか選択できます。

また、FR0～FR15 は、DR0/2/4/6/8/10/12/14(倍精度浮動小数点レジスタ、またはレジスタペア)の 8 本、FV0/4/8/12(レジスタベクタ)の 4 本として使用でき、XF0～XF15 は、XD0/2/4/6/8/10/12/14(レジスタペア)の 8 本、XMTRX(レジスタ行列)の 1 本として使用できます。

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0～R7_BANK0、 R0_BANK1～R7_BANK1、 R8～R15	不定
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、 FD ビットは 0、IMASK は 1111 (H'F)、予約ビ ットは 0、その他は不定
	GBR、SSR、SPC、SGR、DBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR、FPUL	不定
	PC	H'A0000000
	FPSCR	H'00040001
浮動小数点レジスタ	FR0～FR15、XF0～XF15	不定

【注】 \* パワーオンリセット、マニュアルリセットで初期化されます。

処理モード別の CPU レジスタ構成を図 2.2 に示します。

ユーザモードと特権モードは、ステータスレジスタの処理モードビット (MD) で切り替えます。

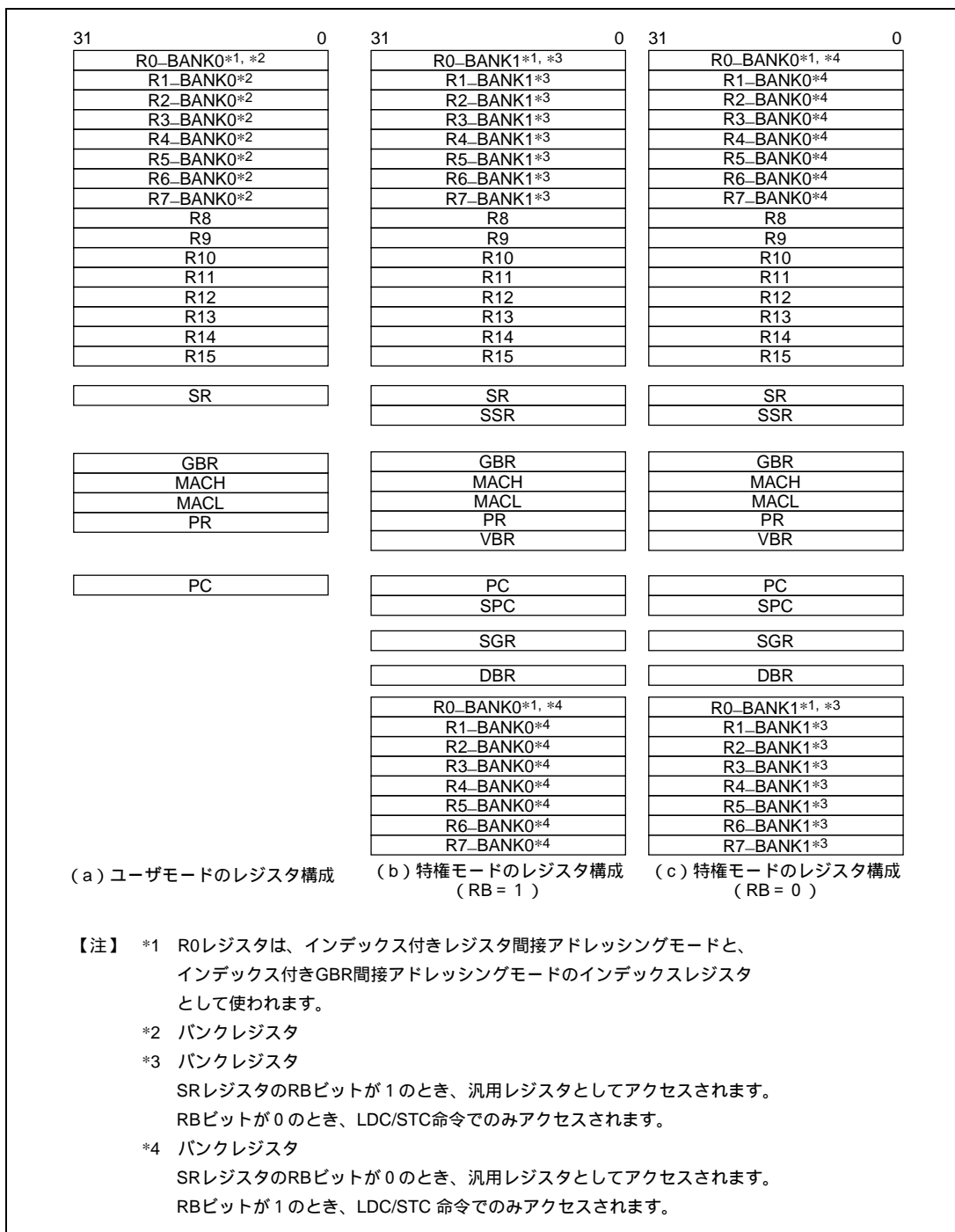


図 2.2 処理モード別の CPU レジスタ構成



## 2.2.2 汎用レジスタ

図 2.3 に処理モードと汎用レジスタの関係を示します。SH-4 には 24 本の 32 ビット汎用レジスタ (R0\_BANK0 ~ R7\_BANK0、R0\_BANK1 ~ R7\_BANK1、R8 ~ R15) があります。ただし、これらのうち 16 本のレジスタのみ、1 つの処理モードで汎用レジスタ R0 ~ R15 としてアクセスできます。SH-4 には、特権モードとユーザモードの 2 つの処理モードがあります。R0 ~ R7 はその 2 つのモードにより次のように割り当てられます。

- R0\_BANK0 ~ R7\_BANK0

ユーザモード (SR.MD=0) では、常に R0 ~ R7 に割り当てられます。

特権モード (SR.MD=1) では、(SR.RB=0) の場合に限り R0 ~ R7 に割り当てられます。

- R0\_BANK1 ~ R7\_BANK1

ユーザモードでは、アクセスできません。

特権モードでは、(SR.RB=1) の場合に限り、R0 ~ R7 に割り当てられます。

SR.MD=0 または (SR.MD=1、SR.RB=0)		(SR.MD=1、SR.RB=1)
R0	R0_BANK0	R0_BANK0
R1	R1_BANK0	R1_BANK0
R2	R2_BANK0	R2_BANK0
R3	R3_BANK0	R3_BANK0
R4	R4_BANK0	R4_BANK0
R5	R5_BANK0	R5_BANK0
R6	R6_BANK0	R6_BANK0
R7	R7_BANK0	R7_BANK0
R0_BANK1	R0_BANK1	R0
R1_BANK1	R1_BANK1	R1
R2_BANK1	R2_BANK1	R2
R3_BANK1	R3_BANK1	R3
R4_BANK1	R4_BANK1	R4
R5_BANK1	R5_BANK1	R5
R6_BANK1	R6_BANK1	R6
R7_BANK1	R7_BANK1	R7
R8	R8	R8
R9	R9	R9
R10	R10	R10
R11	R11	R11
R12	R12	R12
R13	R13	R13
R14	R14	R14
R15	R15	R15

図 2.3 汎用レジスタ

### 【プログラミング上の注意】

ユーザの R0 ~ R7 は R0\_BANK0 ~ R7\_BANK0 に、例外・割り込み後の R0 ~ R7 は R0\_BANK1 ~ R7\_BANK1 に割り当てられるので、割り込みハンドラはユーザの R0 ~ R7 (R0\_BANK0 ~ R7\_BANK0) を退避または復帰する必要はありません。

リセット後の R0\_BANK0 ~ R7\_BANK0、R0\_BANK1 ~ R7\_BANK1、R8 ~ R15 の値は不定です。

### 2.2.3 浮動小数点レジスタ

図 2.4 に浮動小数点レジスタを示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0\_BANK0 ~ FPR15\_BANK0、FPR0\_BANK1 ~ FPR15\_BANK1 があります。また、この 32 本レジスタは FR0 ~ FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0 ~ XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn\_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。図 2.4 を参照してください。

#### (1) 浮動小数点レジスタ FPRn\_BANKi (32 レジスタ)

FPR0\_BANK0, FPR1\_BANK0, FPR2\_BANK0, FPR3\_BANK0,  
FPR4\_BANK0, FPR5\_BANK0, FPR6\_BANK0, FPR7\_BANK0,  
FPR8\_BANK0, FPR9\_BANK0, FPR10\_BANK0, FPR11\_BANK0,  
FPR12\_BANK0, FPR13\_BANK0, FPR14\_BANK0, FPR15\_BANK0

FPR0\_BANK1, FPR1\_BANK1, FPR2\_BANK1, FPR3\_BANK1,  
FPR4\_BANK1, FPR5\_BANK1, FPR6\_BANK1, FPR7\_BANK1,  
FPR8\_BANK1, FPR9\_BANK1, FPR10\_BANK1, FPR11\_BANK1,  
FPR12\_BANK1, FPR13\_BANK1, FPR14\_BANK1, FPR15\_BANK1

#### (2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR = 0 のとき、FR0 ~ FR15 は FPR0\_BANK0 ~ FPR15\_BANK0 に割り当てられます。  
FPSCR.FR = 1 のとき、FR0 ~ FR15 は FPR0\_BANK1 ~ FPR15\_BANK1 に割り当てられます。

#### (3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}, DR2 = {FR2, FR3},  
DR4 = {FR4, FR5}, DR6 = {FR6, FR7},  
DR8 = {FR8, FR9}, DR10 = {FR10, FR11},  
DR12 = {FR12, FR13}, DR14 = {FR14, FR15}

#### (4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3},  
FV4 = {FR4, FR5, FR6, FR7},  
FV8 = {FR8, FR9, FR10, FR11},  
FV12 = {FR12, FR13, FR14, FR15}

#### (5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0\_BANK1 ~ FPR15\_BANK1 に割り当てられます。  
FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0\_BANK0 ~ FPR15\_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア  $XDi$  (8 レジスタ)

$XD$  レジスタは2つの  $XF$  レジスタから構成されます。

$XD0 = \{XF0, XF1\}$ ,  $XD2 = \{XF2, XF3\}$ ,

$XD4 = \{XF4, XF5\}$ ,  $XD6 = \{XF6, XF7\}$ ,

$XD8 = \{XF8, XF9\}$ ,  $XD10 = \{XF10, XF11\}$ ,

$XD12 = \{XF12, XF13\}$ ,  $XD14 = \{XF14, XF15\}$

(7) 単精度浮動小数点拡張レジスタ行列  $XMTRX$ 

$XMTRX$  は16本の  $XF$  レジスタから構成されます。

$XMTRX =$ 

XF0	XF4	XF8	XF12
XF1	XF5	XF9	XF13
XF2	XF6	XF10	XF14
XF3	XF7	XF11	XF15

FPSCR.FR=0				FPSCR.FR=1			
FV0	DR0	FR0	FPR0_BANK0	XF0	XD0	XMTRX	
		FR1	FPR1_BANK0	XF1			
	DR2	FR2	FPR2_BANK0	XF2	XD2		
		FR3	FPR3_BANK0	XF3			
FV4	DR4	FR4	FPR4_BANK0	XF4	XD4		
		FR5	FPR5_BANK0	XF5			
	DR6	FR6	FPR6_BANK0	XF6	XD6		
		FR7	FPR7_BANK0	XF7			
FV8	DR8	FR8	FPR8_BANK0	XF8	XD8		
		FR9	FPR9_BANK0	XF9			
	DR10	FR10	FPR10_BANK0	XF10	XD10		
		FR11	FPR11_BANK0	XF11			
FV12	DR12	FR12	FPR12_BANK0	XF12	XD12		
		FR13	FPR13_BANK0	XF13			
	DR14	FR14	FPR14_BANK0	XF14	XD14		
		FR15	FPR15_BANK0	XF15			
XMTRX	XD0	XF0	FPR0_BANK1	FR0	DR0	FV0	
		XF1	FPR1_BANK1	FR1			
	XD2	XF2	FPR2_BANK1	FR2	DR2		
		XF3	FPR3_BANK1	FR3			
	XD4	XF4	FPR4_BANK1	FR4	DR4	FV4	
		XF5	FPR5_BANK1	FR5			
	XD6	XF6	FPR6_BANK1	FR6	DR6		
		XF7	FPR7_BANK1	FR7			
	XD8	XF8	FPR8_BANK1	FR8	DR8	FV8	
		XF9	FPR9_BANK1	FR9			
	XD10	XF10	FPR10_BANK1	FR10	DR10		
		XF11	FPR11_BANK1	FR11			
	XD12	XF12	FPR12_BANK1	FR12	DR12	FV12	
		XF13	FPR13_BANK1	FR13			
	XD14	XF14	FPR14_BANK1	FR14	DR14		
		XF15	FPR15_BANK1	FR15			

図 2.4 浮動小数点レジスタ

## 【プログラミング上の注意】

リセット後の FPR0\_BANK0 ~ FPR15\_BANK0、FPR0\_BANK1 ~ FPR15\_BANK1 の値は不定です。

## 2.2.4 コントロールレジスタ

### (1) ステータスレジスタ SR

(32 ビット、特権保護、初期値 = 0111 0000 0000 0000 0000 00XX 1111 00XX (X = 不定))

31 30 29 28 27				16 15 14			10 9 8 7			4 3 2 1 0					
—	MD	RB	BL	—			FD	—		M	Q	IMASK	—	S	T

【注】 —: 予約ビット。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- MD : 処理モード
  - MD=0 :  
ユーザモード (命令の中には実行できない命令があり、リソースの中にはアクセスできないリソースがあります)
  - MD=1 :  
特権モード
- RB :  
特権モードでの汎用レジスタバンク指定ビット (リセット、例外または割り込みにより1にセットされます)
  - RB=0 :  
R0\_BANK0 ~ R7\_BANK0は、汎用レジスタR0 ~ R7としてアクセスされます (R0\_BANK1 ~ R7\_BANK1はLDC/STC命令を使用することによってアクセスできます)。
  - RB=1 :  
R0\_BANK1 ~ R7\_BANK1は、汎用レジスタR0 ~ R7としてアクセスされます (R0\_BANK0 ~ R7\_BANK0はLDC/STC命令を使用することによってアクセスできます)。
- BL :  
例外 / 割り込みブロックビット (リセット、例外または割り込みにより1にセットされます。)
  - BL=1 :  
割り込み要求はマスクされます。(BL=1)のときユーザブレイク以外の一般例外が発生すると、プロセッサは、リセット状態に遷移します。
- FD : FPUディスエーブルビット (リセットにより0にクリアされます)
  - FD=1 :  
FPU命令は一般FPU抑止例外を発生させ、FPU命令が遅延スロットにある場合、スロットFPU抑止例外が発生します。(FPU命令: HF\*\*\*命令、FPUL/FPSCRに対するLDS(L)/STS(L)命令)
- M、Q : DIV0S、DIV0U、DIV1命令が使用
- IMASK : 割り込みマスクレベル  
IMASK以下のレベルの割り込みはマスクされます。また、割り込みが発生してもIMASKは変化しません。
- S : MAC命令の飽和動作を指定します。
- T : 真 / 偽条件、またはキャリ / ボロービット

(2) 退避ステータスレジスタ SSR (32 ビット、特権保護、初期値=不定)

SR の内容は例外または割り込みの発生時、SSR に退避されます。

(3) 退避プログラムカウンタ SPC (32 ビット、特権保護、初期値=不定)

例外または割り込みの発生した命令のアドレスは SPC に退避されます。

(4) グローバルベースレジスタ GBR (32 ビット、初期値=不定)

GBR は GBR 参照 MOV 命令のベースアドレスとして参照されます。

(5) ベクタベースレジスタ VBR (32 ビット、特権保護、初期値=H'0000 0000)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。詳細については「第 5 章 例外処理」を参照してください。

(6) 退避ジェネラルレジスタ 15 SGR (32 ビット、特権保護、初期値=不定)

R15 の内容は例外または割り込みの発生時 SGR に退避されます。

(7) デバッグベースレジスタ DBR (32 ビット、特権保護、初期値=不定)

ユーザブレイクデバッグ機能を有効にする場合 (BRCCR.UBDE=1)、DBR は VBR の代わりにユーザブレイクハンドラへの分岐先アドレスとして参照されます。

## 2.2.5 システムレジスタ

- (1) 積和上位レジスタ MACH (32 ビット、初期値=不定)、  
積和下位レジスタ MACL (32 ビット、初期値=不定)

MACH/MACL は、MAC 命令の加算値として用いられます。また MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

- (2) プロシジャレジスタ PR (32 ビット、初期値=不定)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

- (3) プログラムカウンタ PC (32 ビット、初期値=H'A000 0000)

PC は実行中の命令アドレスを示します。

- (4) 浮動小数点ステータス/コントロールレジスタ FPSCR  
(32 ビット、初期値=H'0004 0001)

31	22	21	20	19	18	17	12	11	7	6	2	1	0	
-				FR	SZ	PR	DN	Cause			Enable		Flag	RM

【注】 -: 予約ビット。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- FR: 浮動小数点レジスタバンク

- FR=0:

FPR0\_BANK0 ~ FPR15\_BANK0はFR0 ~ FR15に、FPR0\_BANK1 ~ FPR15\_BANK1はXF0 ~ XF15に割り当てられます。

- FR=1:

FPR0\_BANK0 ~ FPR15\_BANK0はXF0 ~ XF15に、FPR0\_BANK1 ~ FPR15\_BANK1 はFR0 ~ FR15に割り当てられます。

- SZ: 転送サイズモード

- SZ=0:

FMOV命令のデータサイズは32ビットです。

- SZ=1:

FMOV命令のデータサイズは32ビットペア (64ビット) です。

- PR: 精度モード

- PR=0:

浮動小数点命令を単精度で実行します。

- PR=1:

浮動小数点命令を倍精度で実行します (倍精度がサポートされていない命令の結果は未定義です)。

SZ と PR は同時に 1 にセットしないでください。この設定は予約されています。

[SZ, PR]=11: 予約 (FPU 命令演算は未定義です)

- DN：非正規化モード
  - DN=0：非正規化数を非正規化数として扱います。
  - DN=1：非正規化数を0として扱います。
- FPU例外要因フィールド
- FPU例外イネーブルフィールド
- FPU例外フラグフィールド

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブルフ ィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグフィ ールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。

FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。

- RM：丸めモード
  - RM=00：近傍への丸め
  - RM=01：0方向への丸め
  - RM=10：予約
  - RM=11：予約
- ビット22～31：予約

#### (5) 浮動小数点通信レジスタ FPUL (32 ビット、初期値=不定)

FPU レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。

#### 【プログラミング上の注意】

SZ=1 かつビッグエンディアン方式の場合、FMOV は倍精度浮動小数点ロードまたはストアとして使用できます。リトルエンディアン方式の場合、倍精度浮動小数点データをロードまたはストアするためには、SZ=0 でデータサイズ 32 ビットを 2 度実行する必要があります。



## 2.3 メモリ割り付けレジスタ

付録 A にメモリに割り付けた制御レジスタを示します。制御レジスタは次のメモリ領域にダブルマッピングされています。すべてのレジスタには 2 つのアドレスがあります。

H'1C00 0000 ~ H'1FFF FFFF

H'FC00 0000 ~ H'FFFF FFFF

以上 2 つの領域は次のように使用します。

- H'1C00 0000 ~ H'1FFF FFFF

この領域はMMUのアドレス変換機能を用いてアクセスしなければなりません。

この領域のページ番号をTLBの該当フィールドに設定することでメモリ割り付けレジスタへアクセスできます。

この領域に対して、MMUのアドレス変換機能を用いずにアクセスした場合の動作は保証されません。

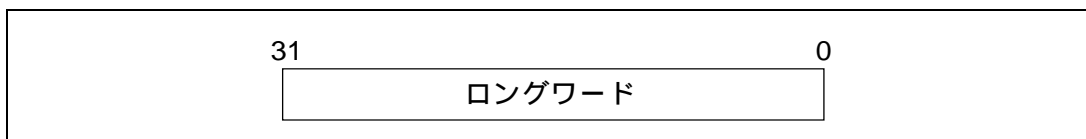
- H'FC00 0000 ~ H'FFFF FFFF

ユーザモードで領域H'FC00 0000 ~ H'FFFF FFFFにアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタはアドレス変換によるアクセスで参照することができます。

【注】 2つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

## 2.4 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。



## 2.5 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは、符号拡張されてレジスタに格納されます。

ワードオペランドは、ワード境界 (2 バイト刻みの偶数番地:  $2n$  番地) から、ロングワードオペランドはロングワード境界 (4 バイト刻みの偶数番地:  $4n$  番地) からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドは、どの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンかリトルエンディアンのどちらかのバイト順を選択できます。エンディアンは、パワーオンリセット時に外部ピン (MD5 端子) で設定してください。MD5 端子がローレベルの場合ビッグエンディアンに、MD5 端子がハイレベルの場合リトルエンディアンに設定されます。エンディアンは動的には変更できません。ただしビット位置は常に最上位 (most-significant) から最下位 (least-significant) へ左から右へ減少するように番号が付けられています。すなわち 32 ビットのロングワードでは、一番左のビット、ビット 31 が最上位ビットで、一番右のビット、ビット 0 が最下位ビットです。

メモリ上のデータ形式を図 2.5 に示します。

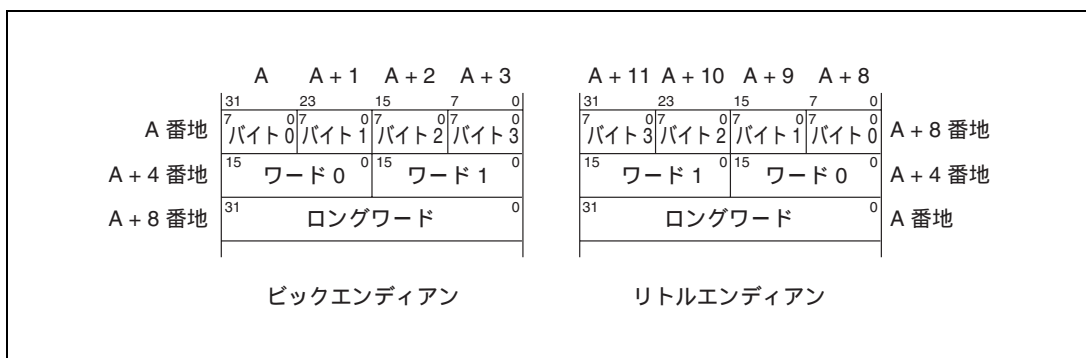


図 2.5 メモリ上のデータ形式

【注】 SH-4 では、64 ビット長データフォーマットのエンディアン変換をサポートしていません。そのため、リトルエンディアンモード下で倍精度浮動小数点フォーマット (64 ビット長) のアクセスをした場合、上位 32 ビットと下位 32 ビットが逆になります。

## 2.6 処理状態

処理状態にはリセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。

### (1) リセット状態

CPU がリセットされている状態です。 $\overline{\text{RESET}}$  端子がローレベルになるとパワーオンリセット状態になります。 $\overline{\text{RESET}}$  端子がハイレベルで  $\overline{\text{MRESET}}$  端子がローレベルのとき、マニュアルリセット状態になります。リセットについては、「第5章 例外処理」を参照してください。

パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。マニュアルリセット状態では、バスステートコントローラ (BSC) を除く内蔵周辺モジュールのレジスタと CPU の内部状態とが初期化されます。マニュアルリセット状態では、BSC は初期化されませんのでリフレッシュ動作は継続しています。詳細は、各章のレジスタ構成を参照してください。

### (2) 例外処理状態

リセット、一般例外、割り込みの例外要因によって、CPU が処理状態の流れを変えるときに過渡的な状態です。

リセットの場合は、H'A000 0000 に分岐してユーザが作成した例外処理プログラムの実行を開始します。

一般例外、割り込みの場合は、プログラムカウンタ (PC) を退避プログラムカウンタ (SPC) に、ステータスレジスタ (SR) を退避ステータスレジスタ (SSR)、R15 を退避ジェネラルレジスタ 15 (SGR) に退避します。ベクタベースアドレスの内容とベクタオフセットの和で求められたユーザ作成の例外処理ルーチンの開始アドレスに分岐して、プログラムの実行を開始します。リセット、一般例外、割り込みについては、「第5章 例外処理」を参照してください。

### (3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

### (4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、ディープスリープモード、およびスタンバイモードの3つのモードがあります。低消費電力状態の詳細は「第9章 低消費電力モード」を参照してください。

### (5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

状態間の遷移を図 2.6 に示します。

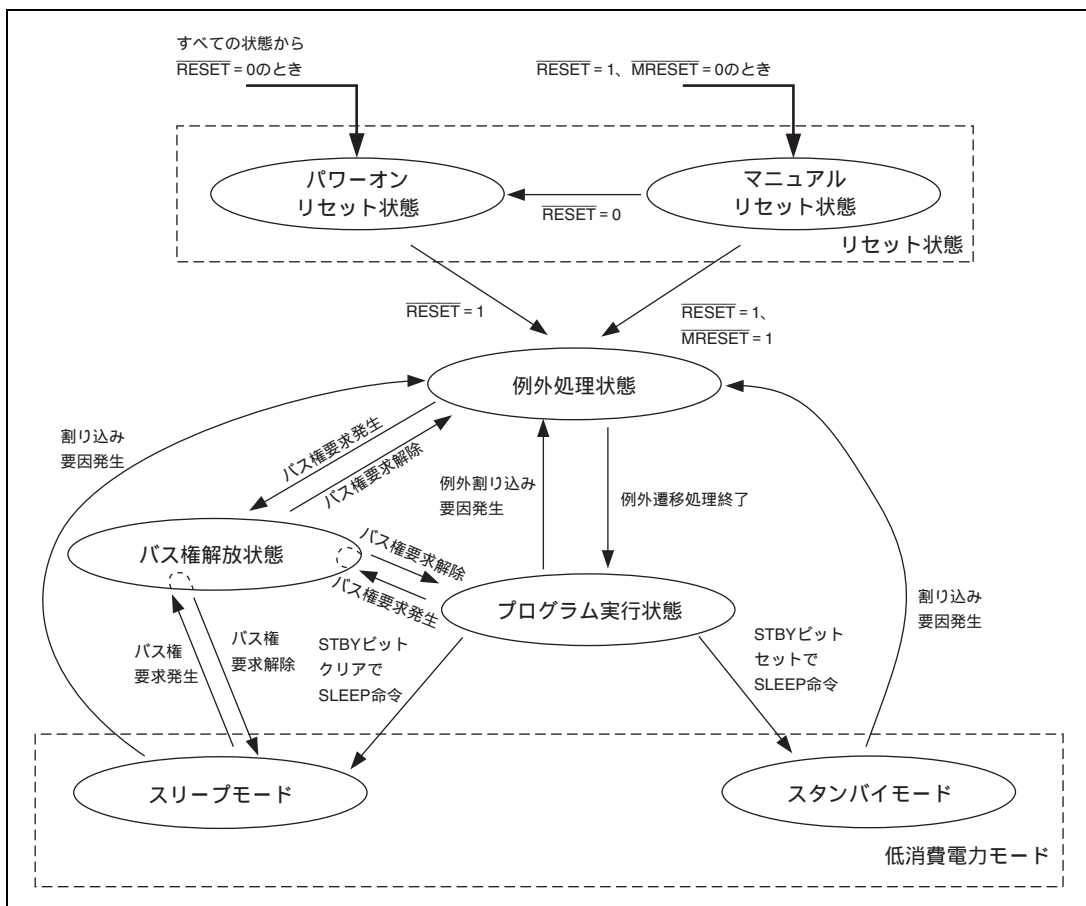


図 2.6 処理状態の状態遷移図

## 2.7 処理モード

処理モードには特権モードとユーザモードの 2 種類があります。ステータスレジスタ (SR) の処理モードビット (MD) で処理モードが決まります。MD ビットが 0 のときユーザモードになり、1 のとき特権モードになります。リセット状態、例外処理状態になると、MD ビットが 1 になります。特権モードでのみアクセスできるレジスタとビットがあります。

---

## 3. メモリマネジメントユニット (MMU)

---

### 3.1 概要

#### 3.1.1 特長

SH-4 は 8 ビットのアドレス空間識別子と 32 ビットの仮想アドレス空間から 29 ビットの外部メモリ空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は SH-4 に内蔵されたメモリマネジメントユニット (MMU:Memory Management Unit) を用いて行います。MMU は変換ルックアサイドバッファ (TLB:Translation Lookaside Buffer) にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。SH-4 は命令 TLB (ITLB) を 4 エントリ、共用 TLB (UTLB) を 64 エントリ内蔵しており ITLB には UTLB のコピーがハードウェアにより格納されます。アドレス変換方式はページング方式で、4 種類 (1K/4K/64K/1M バイト) のページサイズをサポートしています。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

#### 3.1.2 MMU の役割

MMU とは物理メモリを有効に利用するために考え出された機能です。図 3.1 に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (1)。この物理メモリへのマッピングをプロセス自身が考えながら実行している場合は、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (2)。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていけばよくなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。MMU は通常 OS が管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ替えを行います。物理メモリの入れ替えは 2 次記憶などとの間で行われます。

こうして生まれた仮想記憶方式は複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (3)。TSS 上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (4)。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらに、あるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていないか、または別のプロセスの仮想メモリへ誤ってアクセスすることがあります。そのとき MMU は例外を発生させ、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときの、アドレス変換情報の入れ替えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間 (通常 1K ~ 64K バイト) が変換の単位となります。

以下 SH-4 では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

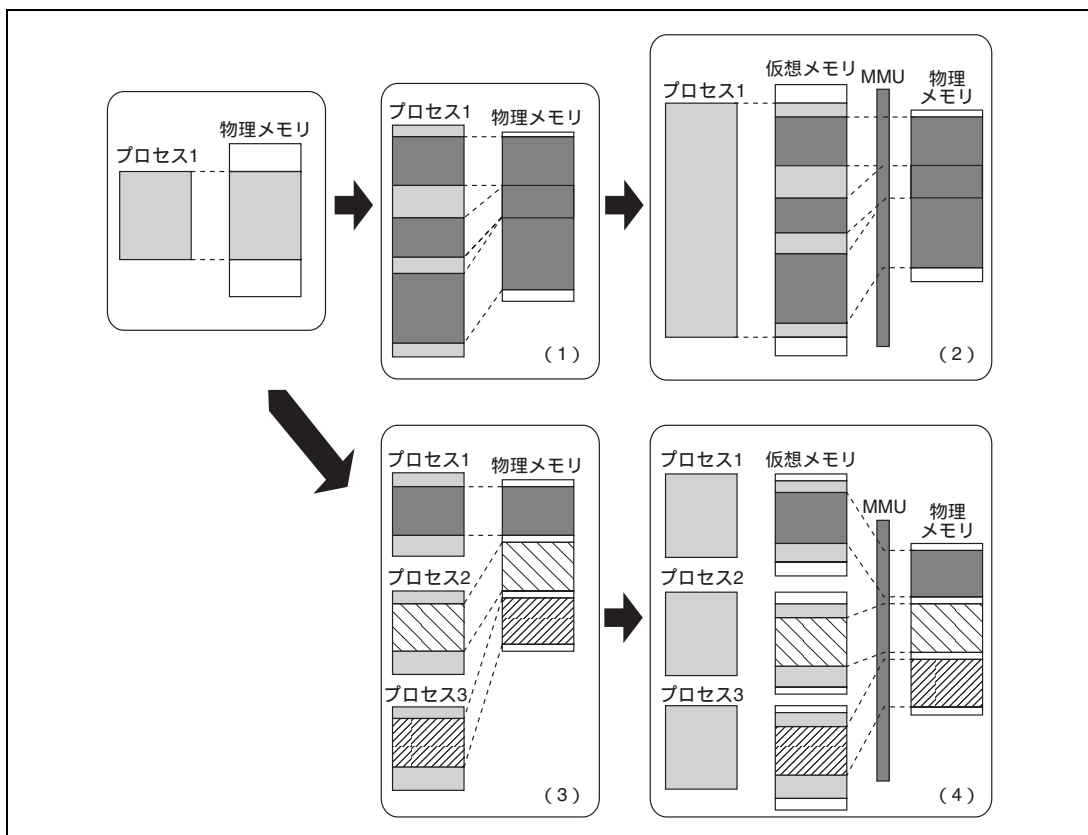


図 3.1 MMU の役割

### 3.1.3 レジスタの構成

MMU レジスタの構成を表 3.1 に示します。

表 3.1 レジスタ構成

名称	略称	R/W	初期値* <sup>1</sup>	P4 アドレス* <sup>2</sup>	エリア 7 アドレス* <sup>2</sup>	アクセス サイズ
ページテーブルエントリ 上位レジスタ	PTEH	R/W	不定	H'FF00 0000	H'1F00 0000	32
ページテーブルエントリ 下位レジスタ	PTEL	R/W	不定	H'FF00 0004	H'1F00 0004	32
ページテーブルエントリ アシスタンスレジスタ	PTEA	R/W	不定	H'FF00 0034	H'1F00 0034	32
変換テーブルベースレジスタ	TTB	R/W	不定	H'FF00 0008	H'1F00 0008	32
TLB 例外アドレスレジスタ	TEA	R/W	不定	H'FF00 000C	H'1F00 000C	32
MMU 制御レジスタ	MMUCR	R/W	H'0000 0000	H'FF00 0010	H'1F00 0010	32

【注】 \*1 初期値とはパワーオンリセット、マニュアルリセット後の値を示します。

\*2 P4 アドレスは仮想 / 物理アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは TLB を用いて物理アドレス空間のエリア 7 からアクセスする場合のもので。

### 3.1.4 注意事項

本マニュアル中で予約領域とは、アクセスした場合に動作を保証しない領域を示します。

## 3.2 レジスタの説明

MMU に関連するレジスタは 6 つあります。

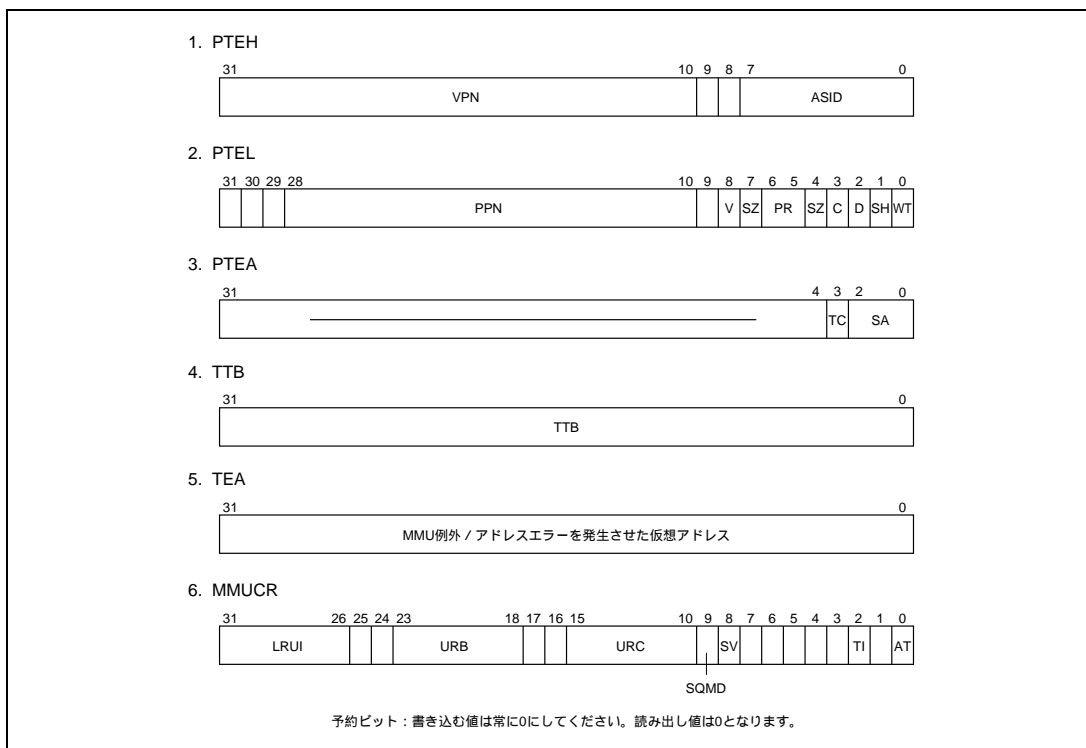


図 3.2 MMU 関連レジスタ

### (1) ページエントリ上位レジスタ (PTEH)

PTEH へは、P4 領域の H'FF00 0000 からとエリア 7 の H'1F00 0000 からロングワードサイズでアクセスすることが可能です。PTEH は、仮想ページ番号 (VPN) とアドレス空間識別子 (ASID) から構成されています。VPN は、MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズにより異なりますが、例外発生時にハードウェアにより設定される VPN は、例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定は、ソフトウェアにより行うことも可能です。ASID には、現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。この VPN と ASID が LDTLB 命令により UTLB に登録されます。

PTEH レジスタの ASID フィールド書き換え後に、更新後の ASID 値を使用する P0、P3、U0 領域への分岐命令は、PTEH 更新命令から 6 命令以降に配置してください。

### (2) ページエントリ下位レジスタ (PTEL)

PTEL へは、P4 領域の H'FF00 0004 からとエリア 7 の H'1F00 0004 からロングワードサイズでアクセスすることが可能です。PTEL は、LDTLB 命令により UTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタは、ソフトウェアの指示がない限り、内容が変更されることはありません。



### (3) ページテーブルエントリアシスタンスレジスタ (PTEA)

PTEA へは、P4 領域の H'FF00 0034 からとエリア 7 の H'1F00 0034 から、ロングワードサイズでアクセスすることが可能です。PTEA は、LDTLB 命令により UTLB への PCMCIA のアクセスのためのアシスタントビットを格納するために使用されます。また、MMU オフで PCMCIA のアクセスを行う場合、本レジスタの SA ビット、TC ビットの値で常にアクセスされます。また、DMAC による PCMCIA インタフェースのエリアへのアクセスは、常に DMAC の CHCRn.SSAn、CHCRn.DSAn、CHCRn.STC、CHCRn.DTC の値で行います。本レジスタは、ソフトウェアの指示がない限り、内容が変更されることはありません。

### (4) 変換テーブルベースレジスタ (TTB)

TTB へは、P4 領域の H'FF00 0008 からとエリア 7 の H'1F00 0008 から、ロングワードサイズでアクセスすることが可能です。このレジスタは、例えば現在使用しているページテーブルのベースアドレスの格納用に使用します。TTB は、ソフトウェアの指示がない限り、内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

### (5) TLB 例外アドレスレジスタ (TEA)

TEA へは、P4 領域の H'FF00 000C からとエリア 7 の H'1F00 000C から、ロングワードサイズでアクセスすることが可能です。MMU 例外またはアドレスエラー例外発生後に、このレジスタへは例外を発生させた仮想アドレスがハードウェアにより設定されます。このレジスタは、ソフトウェアにより変更することは可能です。

### (6) MMU 制御レジスタ (MMUCR)

MMUCR には以下のビットがあります。

- LRUI:Least Recently Used ITLB
- URB:UTLB Replace Boundary
- URC:UTLB Replace Counter
- SQMD:Store Queue Mode Bit
- SV:Single Virtual Mode Bit
- TI:TLB Invalidate
- AT:Address Translation Bit

MMUCR へは、P4 領域の H'FF00 0010 からとエリア 7 の H'1F00 0010 から、ロングワードサイズでアクセスすることが可能です。MMUCR の各ビットは以下に示すように、MMU の設定を行います。このため MMUCR の書き換えは、P1、P2 領域のプログラムで行うようにしてください。MMUCR 更新後に、P0、P3、U0、ストアキュー領域へのデータアクセス命令は、MMUCR 更新命令から 4 命令以降に配置してください。また P0、P3、U0 領域への分岐命令は、MMUCR 更新命令から 8 命令以降に配置してください。MMUCR はソフトウェアにより変更可能です。ただし LRUI ビットと URC ビットは、ハードウェアにより更新されることもあります。

- LRUI：入れ替えを行うITLBエントリを示すLRUビット

ITLBミス発生時に入れ替えるITLBのエントリを決めるため、LRU方式(Least Recently Used)を用いています。LRUIビットを用いて、ITLBの追い出すエントリを確定することができます。LRUIは以下のアルゴリズムで更新が行われます。この表で“—”は更新を行わないことを意味します。

	LRUI					
	[5]	[4]	[3]	[2]	[1]	[0]
ITLBのエントリ0を用いたとき	0	0	0	—	—	—
ITLBのエントリ1を用いたとき	1	—	—	0	0	—
ITLBのエントリ2を用いたとき	—	1	—	1	—	0
ITLBのエントリ3を用いたとき	—	—	1	—	1	1
上記以外	—	—	—	—	—	—

またLRUIが以下の状態のとき、対応するITLBのエントリがITLBミスにより更新されます。この表で“\*”はDon't careを意味します。

	LRUI					
	[5]	[4]	[3]	[2]	[1]	[0]
ITLBのエントリ0が更新される	1	1	1	*	*	*
ITLBのエントリ1が更新される	0	*	*	1	1	*
ITLBのエントリ2が更新される	*	0	*	0	*	1
ITLBのエントリ3が更新される	*	*	0	*	0	0
上記以外	設定禁止					

上記の表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。パワーオン、マニュアルリセット後、LRUIは0に初期化されますので、ハードウェアの更新によりLRUIが上記の表の設定禁止の値になることはありません。

- URB : 入れ替えを行うUTLBエントリの境界を示すビット  
URB>0のときに有効となります。
- URC : LDTLB命令により入れ替えを行うUTLBエントリを示すためのランダムカウンタ  
UTLBへのアクセスが発生する度にインクリメントされます。ただしURB>0の場合、URC = URBの条件が成立するとURCは0にクリアされます。またソフトウェアによりURC>URBとなる値がURCに書き込まれた場合、最初はURC=H'3FになるまでURBを超えてインクリメントが行われますので注意してください。URCはLDTLB命令によってカウントアップされません。
- SQMD : ストアキューモードビット  
ストアキューへのアクセス権を指定します。
  - 0: ユーザ / 特権アクセスが可能
  - 1: 特権アクセスが可能 ( ユーザアクセスの場合はアドレスエラー例外 )
- SV : 単一仮想記憶モード / 多重仮想記憶モードの切り替えビット
  - 0 : 多重仮想記憶モード
  - 1 : 単一仮想記憶モードこのビットを変更するときは、必ずTIビットにも1を書き込んでください。
- TI : TLB無効化ビット  
このビットに1を書き込むと、UTLB/ITLBの有効ビットをすべて無効化 ( 0にクリア ) します。読み出しは常に0です。
- AT : アドレス変換有効ビット  
MMUのイネーブル ( 有効 ) とディスエーブル ( 無効 ) を指定します。
  - 0 : MMUディスエーブル
  - 1 : MMUイネーブルATビットが0の状態ではMMU例外は発生しません。このためMMUを使用しないソフトウェアではATビットを0の状態で使用してください。

## 3.3 アドレス空間

### 3.3.1 物理アドレス空間

SH-4は32ビットの物理アドレス空間をサポートし、4Gバイトのアドレス空間をアクセスできます。MMUCR.ATビットを0にし、MMUをディスエーブル状態にしたときのアドレス空間がこの物理アドレス空間です。物理アドレス空間は図3.3に示すとおり、いくつかの領域に分かれています。物理アドレス空間は固定的に29ビットの外部メモリ空間へマッピングされ、その対応は物理アドレス空間のアドレスの上位3ビットを無視することで行えます。特権モードではP0領域からP4領域の4Gバイトの空間をアクセスすることが可能です。ユーザモードではU0領域の2Gバイトの空間をアクセスすることが可能です。ユーザモードでP1～P4領域（ストアキュー領域を除く）をアクセスした場合、アドレスエラーとなります。

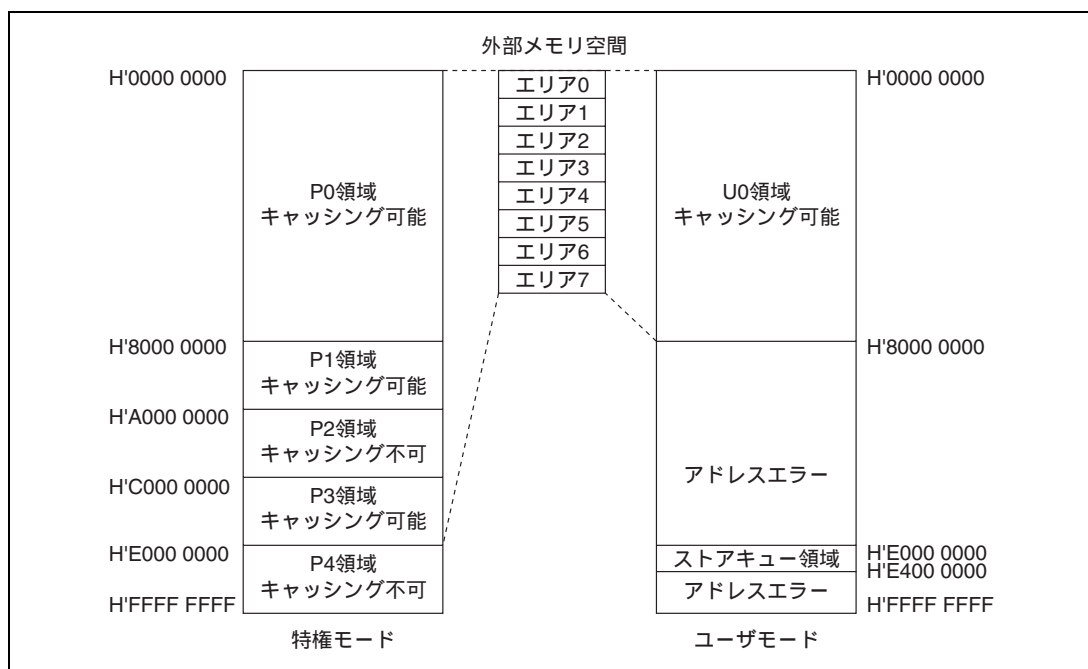


図 3.3 物理アドレス空間 (MMUCR.AT=0)

SH-4は、CPUからPCMCIAインタフェースのエリアにアクセスを行う場合、常にPTEAレジスタに設定したSA、TC値でアクセスします。

また、DMACによるPCMCIAインタフェースのエリアへのアクセスは、常にDMACのCHCRn.SSAn、CHCRn.DSAn、CHCRn.STC、およびCHCRn.DTCの値で行われます。詳細は「第14章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

## (1) P0、P1、P3、U0 領域

P0、P1、P3、U0 領域はキャッシュを用いたアクセスが可能な領域です。キャッシュを用いるか、用いないかはキャッシュコントロールレジスタ (CCR) に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、P1 領域を除いて CCR.WT ビットの指定に従います。P1 領域の切り替えは、CCR.CB ビットの指定に従います。これらの領域のアドレスの上位 3 ビットを 0 にしたものが、対応する外部メモリ空間のアドレスとなります。ただし外部メモリ空間のエリア 7 は予約領域ですので、これらの領域にも予約領域が現れることとなります。

## (2) P2 領域

P2 領域はキャッシュを用いたアクセスが行えない領域です。P2 領域ではアドレスの上位 3 ビットを 0 にしたものが対応する外部メモリ空間のアドレスとなります。ただし外部メモリ空間のエリア 7 は予約領域ですので、この領域にも予約領域が現れることとなります。

## (3) P4 領域

P4 領域は SH-4 の内蔵 I/O にマッピングされる領域です。この領域はキャッシュを用いたアクセスができません。P4 領域の詳細を図 3.4 に示します。

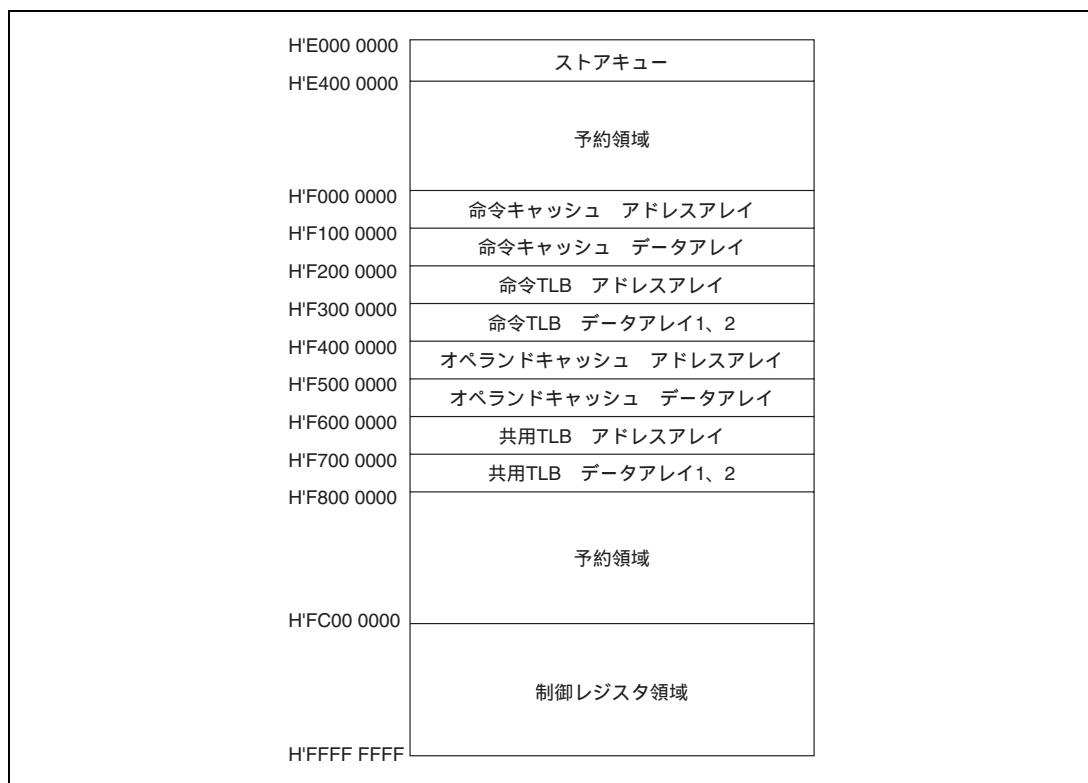


図 3.4 P4 領域

H'E000 0000 ~ H'E3FF FFFF までは、ストアキュー (SQ) にアクセスするためのアドレスです。MMU が無効な

場合 (MMUCR.AT=0)、SQ のアクセス権は MMUCR.SQMD ビットで指定します。詳細は、「4.7 ストアキュー」を参照してください。

H'F000 0000 ~ H'F0FF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は、「4.5.1 IC アドレスアレイ」を参照してください。

H'F100 0000 ~ H'F1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域です。詳細は、「4.5.2 IC データアレイ」を参照してください。

H'F200 0000 ~ H'F2FF FFFF までは、命令 TLB のアドレスアレイを直接アクセスするための領域です。詳細は、「3.7.1 ITLB アドレスアレイ」を参照してください。

H'F300 0000 ~ H'F3FF FFFF までは、命令 TLB のデータアレイ 1、2 を直接アクセスするための領域です。詳細は、「3.7.2 ITLB データアレイ 1」、「3.7.3 ITLB データアレイ 2」を参照してください。

H'F400 0000 ~ H'F4FF FFFF までは、オペランドキャッシュのアドレスアレイを直接アクセスするための領域です。詳細は、「4.5.3 OC アドレスアレイ」を参照してください。

H'F500 0000 ~ H'F5FF FFFF までは、オペランドキャッシュのデータアレイを直接アクセスするための領域です。詳細は、「4.5.4 OC データアレイ」を参照してください。

H'F600 0000 ~ H'F6FF FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。詳細は、「3.7.4 UTLB アドレスアレイ」を参照してください。

H'F700 0000 ~ H'F7FF FFFF までは、共用 TLB のデータアレイ 1、2 を直接アクセスするための領域です。詳細は、「3.7.5 UTLB データアレイ 1」、「3.7.6 UTLB データアレイ 2」を参照してください。

H'FC00 0000 ~ H'FFFF FFFF までは内蔵周辺モジュール制御レジスタの領域です。詳細は、「付録 A. アドレス一覧」を参照してください。

### 3.3.2 外部メモリ空間

SH-4 は 29 ビットの外部メモリ空間をサポートします。外部メモリ空間は図 3.5 に示す通り 8 つの領域に分かれています。エリア 0 ~ エリア 6 は SRAM、シンクロナス DRAM、DRAM、PCMCIA などのメモリにつながる領域です。エリア 7 は予約領域です。詳細は「第 13 章 バスステートコントローラ (BSC)」を参照してください。

H'0000 0000	エリア0
H'0400 0000	エリア1
H'0800 0000	エリア2
H'0C00 0000	エリア3
H'1000 0000	エリア4
H'1400 0000	エリア5
H'1800 0000	エリア6
H'1C00 0000 H'1FFF FFFF	エリア7 (予約領域)

図 3.5 外部メモリ空間

### 3.3.3 仮想アドレス空間

MMUCR.AT ビットを 1 にすることにより、SH-4 では物理アドレス空間の P0 領域と P3 領域と U0 領域を、任意の外部メモリ空間へ 1K/4K/64K/1M バイトページ単位にマッピングすることができます。また 8 ビットのアドレス空間識別子を用いることにより、P0、U0、P3、ストアキュー領域を 256 個まで増やすことが可能です。これを仮想アドレス空間と呼びます。仮想アドレス空間から 29 ビットの外部メモリ空間へのマッピングには、TLB を用います。仮想アドレス空間を用いて外部メモリ空間のエリア 7 をアクセスする場合のみ、エリア 7 の H'1C00 0000 ~ H'1FFF FFFF までの領域が予約領域ではなくなり、物理アドレス空間の P4 領域の制御レジスタ領域と等価になります。仮想アドレス空間を図 3.6 に示します。

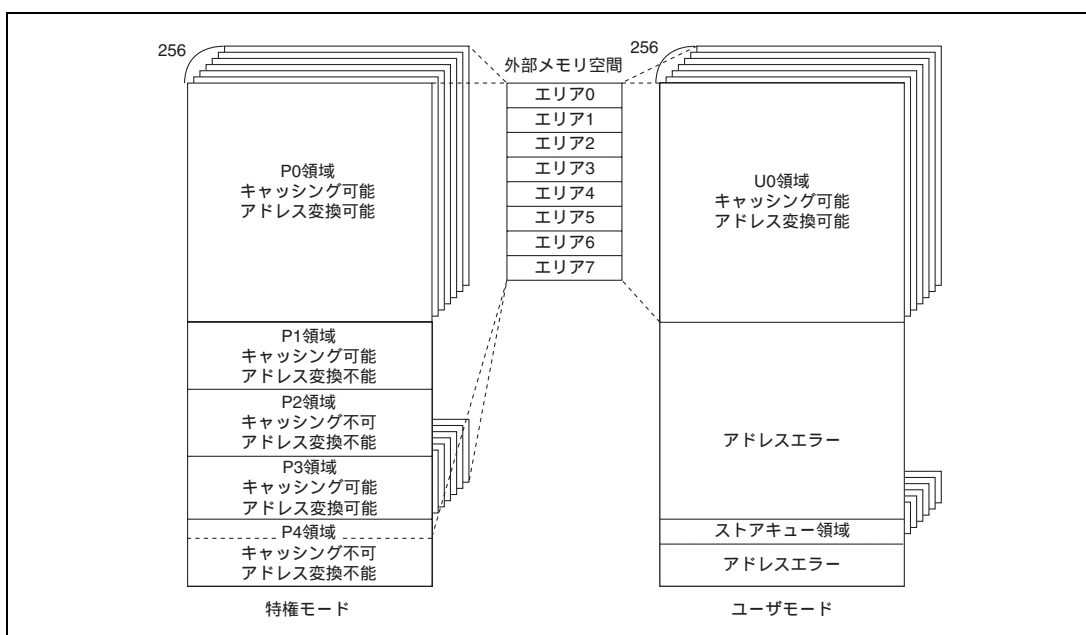


図 3.6 仮想アドレス空間 (MMUCR.AT=1)

キャッシュイネーブルの状態では P0、P3、U0 領域が TLB により PCMCIA インタフェースのエリアにマッピングされる場合、そのページの WT ビットに 1 を指定するか、C ビットに 0 を指定しなければなりません。このとき、TLB の各ページ単位で設定した、SA、TC 値でアクセスします。

なお、CPU から P1、P2、P4 領域へのアクセスによる PCMCIA インタフェースのエリアへのアクセスはできません。また、DMAC による PCMCIA インタフェースのエリアへのアクセスは常に、DMAC の CHCRn.SSAn、CHCRn.DSAn、CHCRn.STC および CHCRn.DTC の値で行われます。詳細は、「第 14 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

#### (1) P0、P3、U0 領域

P0 (H'7C00 0000 から H'7FFF FFFF を除く)、P3、U0 領域 (H'7C00 0000 から H'7FFF FFFF を除く) は、キャッシュを用いたアクセスと TLB を用いたアドレス変換が可能な領域です。これらの領域は、TLB を用いて 1K/4K/64K/1M バイトページ単位に任意の外部メモリ空間へマッピングできます。CCR がキャッシュイネーブル状態にあり、かつ TLB のキャッシング可能ビット (C ビット) が 1 のとき、キャッシュを用いたアクセスが行え

ます。また、キャッシュへのライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、TLB のライトスルービット (WT ビット) に従い、ページ単位に指定します。

P0、P3、U0 領域が TLB により外部メモリ空間へマッピングされる時のみ、外部メモリ空間のエリア 7 の H'1C00 0000 ~ H'1FFF FFFF が制御レジスタ領域に割り当てられます。これによりユーザモードでも、U0 領域から制御レジスタをアクセスすることが可能となります。この場合、該当するページの C ビットには 0 を指定しなければなりません。

#### (2) P1、P2、P4 領域

P1、P2、P4 領域 (ストアキュー領域を除く) に対して TLB を用いたアドレス変換は、実行できません。これらの領域に対するアクセスは、物理アドレス空間に対するアクセスと同じです。ストアキュー領域は、MMU によって任意の外部メモリ空間にマッピングすることができます。ただし、例外処理の場合の動作は、通常の P0、U0、P3 空間の場合とは異なります。詳細については「4.7 ストアキュー」を参照してください。

### 3.3.4 内蔵 RAM 空間

SH-4 では、オペランドキャッシュの半分を内蔵 RAM として使用することが可能です。これは CCR の設定を変更することで行えます。

オペランドキャッシュを内蔵 RAM として使用する場合 (CCR.ORA=1)、P0、U0 領域の (H'7C00 0000 ~ H'7FFF FFFF) が内蔵 RAM 領域となります。この領域へはデータアクセス (バイト/ワード/ロングワード/クワッドワード) が可能です。ただしこの領域は、RAM モード時以外には使用できません。

### 3.3.5 アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。SH-4 では命令のアクセスには ITLB を、データのアクセスには UTLB を用います。P4 領域以外へのアクセスが発生すると、そのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスが P0、U0、P3 領域に属する場合には、仮想アドレスで TLB が検索され、その仮想アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。またアクセスされた仮想アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンへ移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。そして例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

### 3.3.6 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には単一仮想記憶方式と多重仮想記憶方式があり、MMUCR.SV により選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは TLB のアドレス比較の方式 (「3.4.3 アドレス変換方



式」参照)のみです。

### 3.3.7 アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、8ビットのアドレス空間識別子 (ASID) は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH に現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によりプロセス切り替えの際に TLB をバージしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

- 【注】
1. 単一仮想記憶モードの設定で、ASID が異なる同一の仮想ページ番号 (VPN) を持つエントリを複数同時に TLB に設定してはいけません。
  2. SH7751 では、単一仮想記憶モードで、かつ、ユーザモードで、ITLB ミスが発生し、かつ ASID の異なる共有されていない (SH ビットが 0) ITLB にミスしたアドレスを含むアドレス変換情報が UTLB に存在する場合、ハードウェア ITLB ミスハンドリング(「3.5.4 ハードウェア ITLB ミスハンドリング」参照)処理中にハングアップや UTLB マルチヒット例外が発生することがあります。これは、以下の (1) または (2) で回避可能です。
    - (1) 現在のプロセスの ASID 値 (PTEH. ASID) を切り替えるときに UTLB をバージする
    - (2) ユーザモードのプログラム命令アドレスの挙動を管理し、「ASID の異なる共有されていないアドレス変換情報で UTLB に登録されたアドレス領域 (命令のオーバランプリフェッチを含む)」に命令実行が至らないことを保証する必要があります。なお、単一仮想記憶モードの異なる ASID へのアクセスが、例外を起こすはたらかきは、データアクセスにのみ有効で使用可能です。

## 3.4 TLB の機能

### 3.4.1 共用 TLB (UTLB) の構成

UTLB は次の 2 つの目的のために使用されます。

1. データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
2. 命令TLBミスのとき、ITLBへ登録するアドレス変換情報のテーブルとなる。

このため共用 TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図 3.7 に UTLB の構成を示します。UTLB はフルアソシアティブ方式の 64 エントリで構成されています。図 3.8 にページサイズとアドレスの関係を示します。

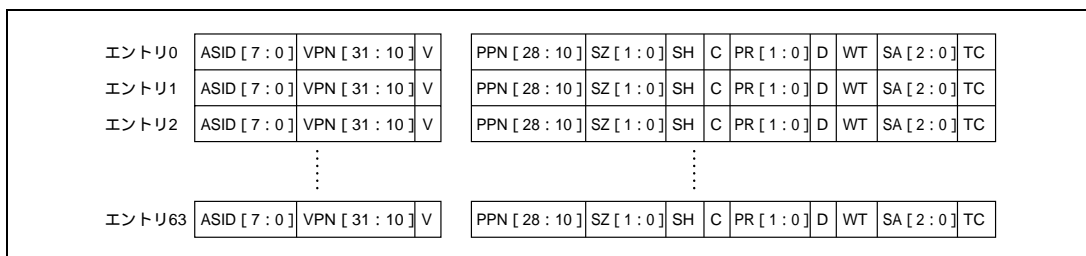


図 3.7 UTLB の構成

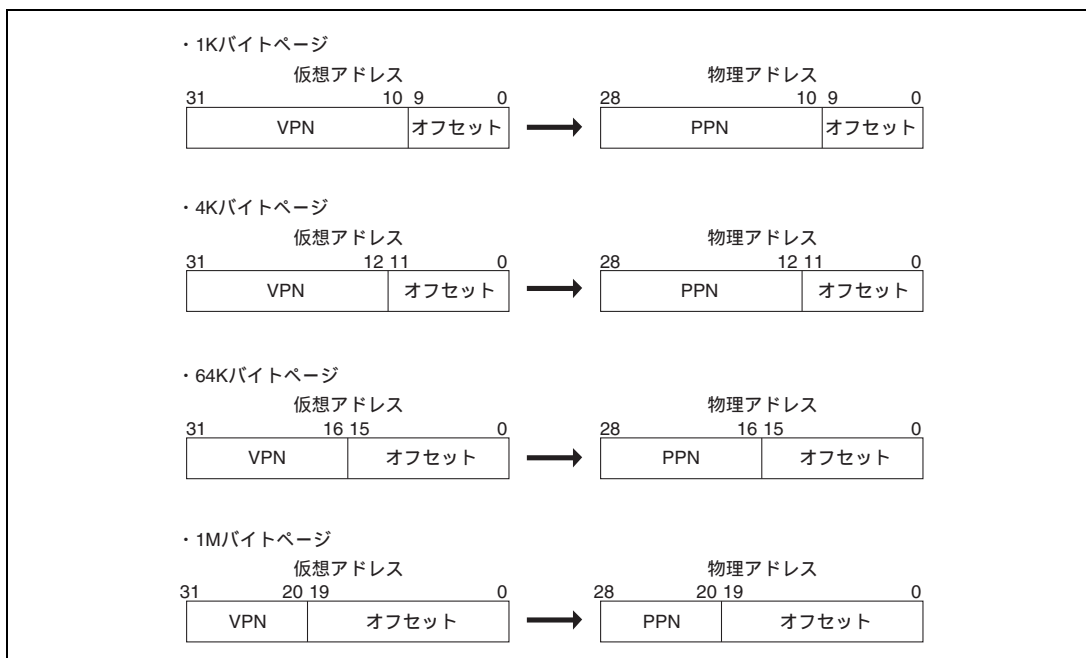


図 3.8 ページサイズとアドレスの関係

- VPN : 仮想ページ番号
  - 1Kバイトページの時、仮想アドレスの上位22ビット
  - 4Kバイトページの時、仮想アドレスの上位20ビット
  - 64Kバイトページの時、仮想アドレスの上位16ビット
  - 1Mバイトページの時、仮想アドレスの上位12ビット
- ASID : アドレス空間識別子  
仮想ページをアクセスできるプロセスを示します。  
単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SHビットが0ならアドレス比較の際にPTEH中のASIDと比較されます。
- SH : 共有状態ビット
  - 0のとき複数のプロセスでページを共有しません。
  - 1のとき複数のプロセスでページを共有します。
- SZ : ページサイズビット  
ページサイズを指定します。
  - 00:1Kバイトページ
  - 01:4Kバイトページ
  - 10:64Kバイトページ
  - 11:1Mバイトページ
- V : 有効ビット  
エントリが有効かどうかを示します。
  - 0のとき無効
  - 1のとき有効パワーオンリセット時に0にクリアされます。  
マニュアルリセット時には変化しません。
- PPN : 物理ページ番号  
物理アドレスの上位22ビット
  - 1Kバイトページの時、PPN [ 28 : 10 ] が有効です。
  - 4Kバイトページの時、PPN [ 28 : 12 ] が有効です。
  - 64Kバイトページの時、PPN [ 28 : 16 ] が有効です。
  - 1Mバイトページの時、PPN [ 28 : 20 ] が有効です。またPPNの設定においてはシノニム問題に注意してください (「3.5.5 シノニム問題の回避」参照)。
- PR : 保護キーデータ  
ページのアクセス権をコードで表した2ビットデータ
  - 00 : 特権モードで読み出しのみ可能
  - 01 : 特権モードで読み出し / 書き込み可能
  - 10 : 特権 / ユーザモードで読み出しのみ可能
  - 11 : 特権 / ユーザモードで読み出し / 書き込み可能

- C : キャッシング可能ビット

ページがキャッシング可能かどうかを示します。

- 0のときキャッシング不可能
- 1のときキャッシング可能

制御レジスタ空間のマッピングを行う場合、このビットは0にしてください。

キャッシュイネーブルの状態でPCMCIA空間のマッピングを行う場合、このビットを0にするか、WTビットを1にしてください。

- D : ダーティビット

ページに書き込みが行われたかどうかを示します。

- 0のとき書き込みが行われていない
- 1のとき書き込みが行われている

- WT : ライトスルービット

キャッシュへの書き込みモードを指定します。

- 0 : コピーバックモード
- 1 : ライトスルーモード

キャッシュイネーブルの状態でPCMCIA空間のマッピングを行う場合、このビットを1にするか、Cビットを0にしてください。

- SA : 空間属性ビット

エリア5または6 に接続するPCMCIAにページをマッピングする場合にのみ有効です。

- 000: 不定
- 001: 可変サイズのI/O空間 (基本サイズはIOIS16信号に従います)
- 010: 8ビットI/O空間
- 011: 16ビットI/O空間
- 100: 8ビット共用メモリ空間
- 101: 16ビット共用メモリ空間
- 110: 8ビット属性メモリ空間
- 111: 16ビット属性メモリ空間

- TC : タイミングコントロールビット

エリア5、6のバスコントロールユニットに用いられるウェイトコントロールレジスタを選択するために使用します。

- 0 : WCR2 (A5W2 ~ A5W0) とPCR (A5PCW1 ~ A5PCW0, A5TED2 ~ A5TED0, A5TEH2 ~ A5TEH0) を使用
- 1 : WCR2 (A6W2 ~ A6W0) とPCR (A6PCW1 ~ A6PCW0, A6TED2 ~ A6TED0, A6TEH2 ~ A6TEH0) を使用

### 3.4.2 命令 TLB (ITLB) の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB には UTLB 上に置かれるアドレス変換テーブルの情報がキャッシングされます。図 3.9 に ITLB の構成を示します。ITLB はフルアソシアティブの 4 エントリで構成されています。

エントリ0	ASID [7:0]	VPN [31:10]	V	PPN [28:10]	SZ [1:0]	SH	C	PR	SA [2:0]	TC
エントリ1	ASID [7:0]	VPN [31:10]	V	PPN [28:10]	SZ [1:0]	SH	C	PR	SA [2:0]	TC
エントリ2	ASID [7:0]	VPN [31:10]	V	PPN [28:10]	SZ [1:0]	SH	C	PR	SA [2:0]	TC
エントリ3	ASID [7:0]	VPN [31:10]	V	PPN [28:10]	SZ [1:0]	SH	C	PR	SA [2:0]	TC

【注】 1. D、WTビットをサポートしません。  
2. PRビットが1ビットになり、UTLBのPRビットの上位1ビットに対応します。

図 3.9 ITLB の構成

### 3.4.3 アドレス変換方式

図 3.10、図 3.11 に、UTLB、ITLB を用いたメモリアクセスのフローを示します。

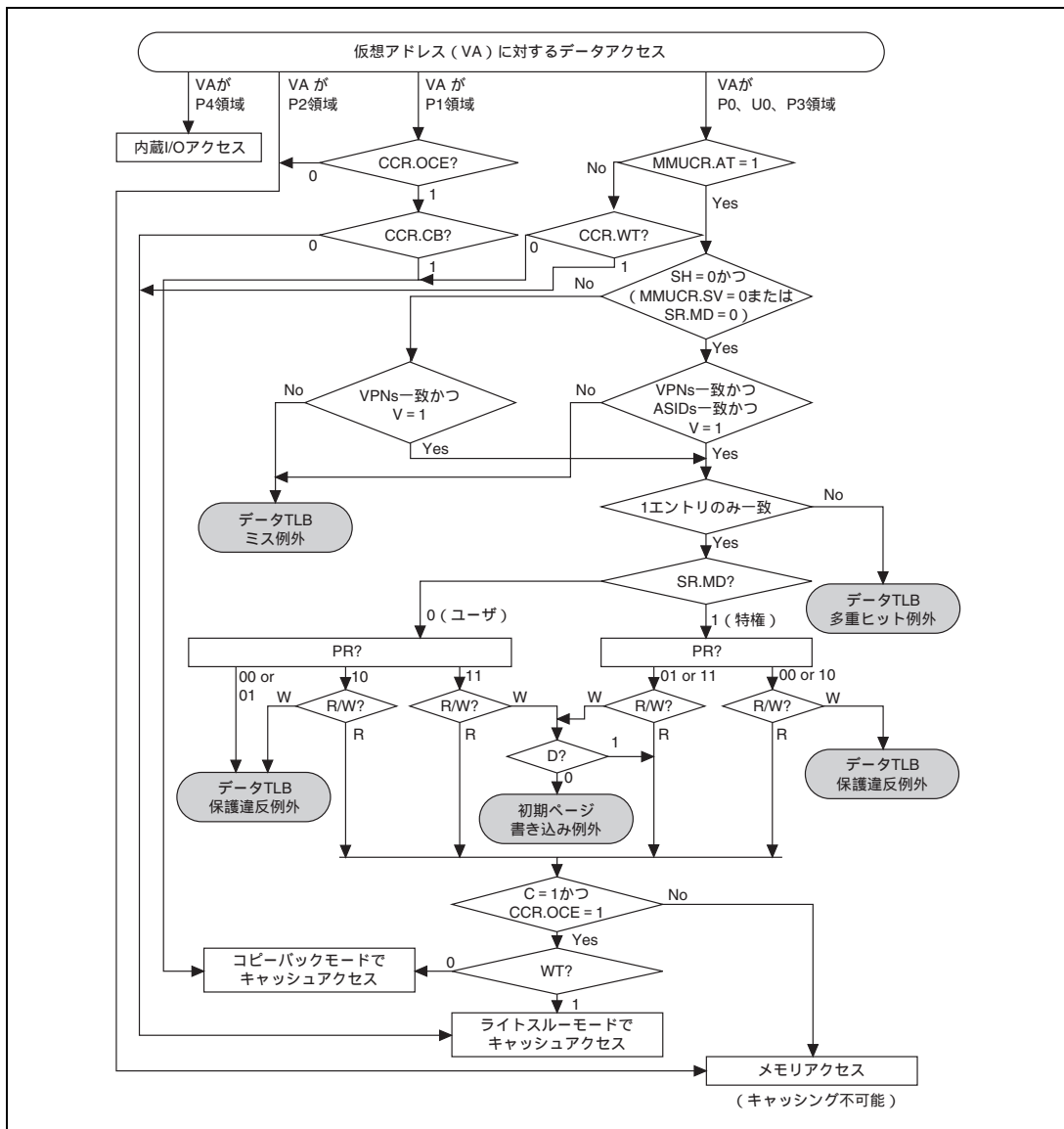


図 3.10 UTLB を用いたメモリアクセスフロー

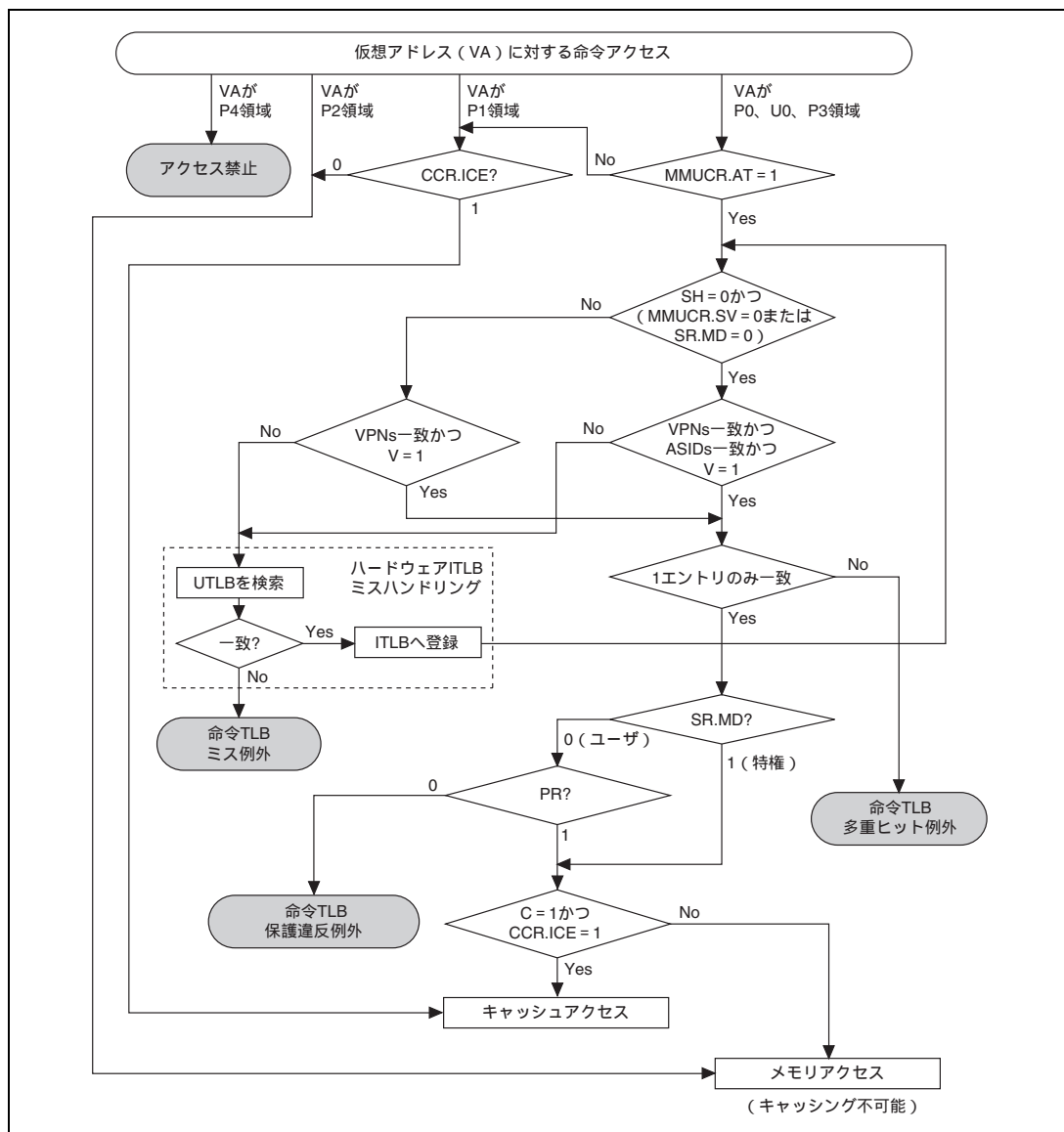


図 3.11 ITLB を用いたメモリアクセスフロー

## 3.5 MMU の機能

### 3.5.1 MMU のハードウェア管理

SH-4 がサポートする MMU の機能として次のものがあります。

1. ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCRの設定に従いUTLB/ITLBを制御してアドレス変換を行います。
2. アドレス変換の際に読み出されたページ管理情報を元に、キャッシュへのアクセス状態を判定します (C、WT、SA、TCビット)。
3. データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU例外の発生により、ソフトウェアに通知します。
4. 命令アクセスでITLBにアドレス変換情報が登録されていないとき、UTLBを検索し、UTLBに必要なアドレス変換情報が登録されていた場合、MMUCR.LRUIに従いITLBにそのアドレス変換情報をコピーします。

### 3.5.2 MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

1. MMU関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
2. TLBエントリの登録、削除、読み出し。UTLBエントリの登録にはLDTLB命令を用いる方法と、メモリ割り付けUTLBに直接書き込む方法があります。ITLBエントリの登録はメモリ割り付けITLBに直接書き込む方法しかありません。UTLB/ITLBエントリの削除と読み出しは、メモリ割り付けUTLB/ITLBをアクセスすることで可能です。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。



### 3.5.3 MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると SH-4 は、PTEH と PTEL と PTEA の内容を MMUCR.URC が指し示す UTLB エントリにコピーします。LDTLB 命令により ITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が、ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ず P1、P2 領域のプログラムで発行するようにしてください。図 3.12 に LDTLB 命令の動作を示します。

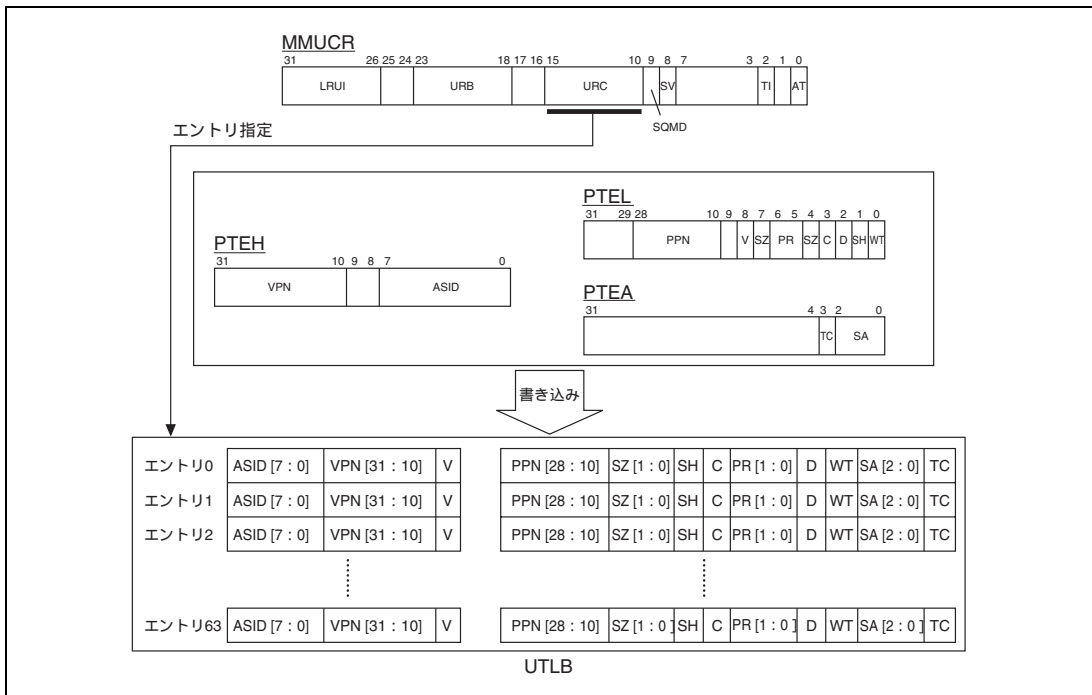


図 3.12 LDTLB 命令の動作

### 3.5.4 ハードウェア ITLB ミスハンドリング

SH-4 は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけられなかった (ITLB ミス) 場合、ハードウェアにより UTLB を検索し必要なアドレス変換情報があれば ITLB への登録を行います。これをハードウェア ITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令 TLB ミス例外を発生し、処理をソフトウェアへ移します。

### 3.5.5 シノニム問題の回避

TLB エントリに 1K、4K バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は、命令 TLB や命令キャッシュではデータの読み出しが行わないため発生しません。SH-4 では、オペランドキャッシュの高速動作のために仮想アドレスの [13 : 5] を用いて、エントリの指定を行います。しかし 1K バイトページでは仮想アドレスの [13 : 10] が、4K バイトページでは仮想アドレスの [13 : 12] が、アドレス変換の対象になります。このため変換後の物理アドレスの [13 : 10] と仮想アドレスの [13 : 10] は、異なる可能性があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

1. 複数の 1K バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、VPN [13 : 10] は必ず等しくなるようにしてください。
2. 複数の 4K バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、VPN [13 : 12] は必ず等しくなるようにしてください。
3. 1K バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。
4. 4K バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。キャッシュインデックスモードを用いた場合、VPN [25] が VPN [13] の代わりにエントリアドレスとして使用されるため、上記制限事項は、VPN [25] に対して有効となります。

【注】 将来の SuperH RISC engine ファミリ拡張に備えて、複数のアドレス変換情報が同一の物理メモリを使用する場合、VPN [20 : 10] を等しくなるようにしてください。また異なるページサイズのアドレス変換情報で同一の物理アドレスを使用しないでください。

## 3.6 MMU 例外

MMU 例外には、命令 TLB 多重ヒット例外、命令 TLB ミス例外、命令 TLB 保護違反例外、データ TLB 多重ヒット例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外の 7 つの例外があります。各例外の発生条件については図 3.10 と図 3.11 を参照してください。

### 3.6.1 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致する ITLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合は、データ TLB 多重ヒット例外となります。

命令 TLB 多重ヒット例外が発生すると、リセットになり、この場合キャッシュのコヒーレンスは保証しません。

- ハードウェア処理

命令 TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

- (1) 例外の発生した仮想アドレスを TEA に設定します。
- (2) 例外コード H'140 を EXPEVT に設定します。
- (3) リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させた ITLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

### 3.6.2 命令 TLB ミス例外

命令 TLB ミス例外は、ハードウェア ITLB ミスハンドリングにより UTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令 TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータ TLB ミス例外時の処理と同じです。

- ハードウェア処理

命令 TLB ミス例外のとき、ハードウェアは次の処理を行います。

- (1) 例外が発生した仮想アドレスの VPN を PTEH に設定します。
- (2) 例外の発生した仮想アドレスを TEA に設定します。
- (3) 例外コード H'040 を、EXPEVT に設定します。
- (4) 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
- (5) 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
- (6) SR の MD ビットを 1 に設定し、特権モードに切り替えます。
- (7) SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
- (8) SR の RB ビットを 1 に設定します。
- (9) VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、命令 TLB ミス例外処理ルーチンを開始します。

- ソフトウェア処理 (命令TLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

- (1) 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。必要ならSA、TCの値をPTEAに書き込みます。
- (2) エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRレジスタのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
- (3) LDTLB命令を実行させ、PTEH、PTEL、PTEAの内容をTLBに書き込みます。
- (4) 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

### 3.6.3 命令 TLB 保護違反例外

命令 TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報が ITLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。命令 TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

命令TLB保護違反例外のとき、ハードウェアは次の処理を行います。

- (1) 例外が発生した仮想アドレスのVPNをPTEHに設定します。
- (2) 例外の発生した仮想アドレスをTEAに設定します。
- (3) 例外コードH'0A0をEXPEVTに設定します。
- (4) 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
- (5) 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
- (6) SRのMDビットを1に設定し、特権モードに切り替えます。
- (7) SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
- (8) SRのRBビットを1に設定します。
- (9) VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、命令TLB保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (命令TLB保護違反例外処理ルーチン)

命令TLB保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

### 3.6.4 データ TLB 多重ヒット例外

データ TLB 多重ヒット例外は、データアクセスした仮想アドレスに一致する UTLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合にも、データ TLB 多重ヒット例外となります。

データ TLB 多重ヒット例外が発生すると、リセットになり、この場合キャッシュのコヒーレンシは保証しません。また例外発生以前の UTLB 内の PPN の内容は壊れることがあります。

- ハードウェア処理

データ TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

- (1) 例外が発生した仮想アドレスを TEA に設定します。
- (2) 例外コード H'140 を EXPEVT に設定します。
- (3) リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させた UTLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

### 3.6.5 データ TLB ミス例外

データ TLB ミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報が UTLB 内に見つからなかったときに発生します。データ TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データ TLB ミス例外のとき、ハードウェアは次の処理を行います。

- (1) 例外が発生した仮想アドレスの VPN を PTEH に設定します。
- (2) 例外が発生した仮想アドレスを TEA に設定します。
- (3) 読み出しのとき例外コード H'040 を、書き込みのとき例外コード H'060 を、EXPEVT に設定します (OCBP、OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。
- (4) 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
- (5) 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
- (6) SR の MD ビットを 1 に設定し、特権モードに切り替えます。
- (7) SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
- (8) SR の RB ビットを 1 に設定します。
- (9) VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、データ TLB ミス例外処理ルーチンを開始します。

- ソフトウェア処理 (データTLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

- (1) 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。また、必要ならSAとTCの値をPTEAに書き込んでください。
- (2) エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRレジスタのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
- (3) LDTLB命令を実行させ、PTEH、PTEL、PTEAの内容をUTLBに書き込みます。
- (4) 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

### 3.6.6 データ TLB 保護違反例外

データ TLB 保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。データ TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データTLB保護違反例外のとき、ハードウェアは次の処理を行います。

- (1) 例外が発生した仮想アドレスのVPNをPTEHに設定します。
- (2) 例外の発生した仮想アドレスをTEAに設定します。
- (3) 読み出しのとき例外コードH'0A0を、書き込みのとき例外コードH'0C0を、EXPEVTに設定します (OCBP、OCBWB:読み出し; OCBI、MOVCA.L:書き込み)。
- (4) 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
- (5) 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
- (6) SRのMDビットを1に設定し、特権モードに切り替えます。
- (7) SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
- (8) SRのRBビットを1に設定します。
- (9) VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、データTLB保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (データTLB保護違反例外処理ルーチン)

データTLB保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

### 3.6.7 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス(書き込み)した仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在し、アクセス権も許されているにもかかわらず、Dビットが0であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

- (1) 例外が発生した仮想アドレスのVPNをPTEHに設定します。
- (2) 例外の発生した仮想アドレスをTEAに設定します。
- (3) 例外コードH'080をEXPEVTに設定します。
- (4) 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
- (5) 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
- (6) SRのMDビットを1に設定し、特権モードに切り替えます。
- (7) SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
- (8) SRのRBビットを1に設定します。
- (9) VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。

- ソフトウェア処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

- (1) 外部メモリから必要なページテーブルエントリを探し出します。
- (2) 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
- (3) 外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、WT、SH、Vのビットの値をPTELに書き込みます。また必要ならSAとTCの値をPTEAに書き込んでください。
- (4) エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRレジスタのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
- (5) LDTLB命令を実行させ、PTEH、PTEL、PTEAの内容をUTLBに書き込みます。
- (6) 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

## 3.7 メモリ割り付け TLB の構成

ITLB/UTLB をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって ITLB/UTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。P2 領域以外への分岐は、この MOV 命令の 8 命令以降に行うようにしてください。ITLB/UTLB は物理アドレス空間の P4 領域に割り付けられています。ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイ 1 として、また SA、TC をデータアレイ 2 としてアクセス可能です。

UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイ 1 として、また SA、TC をデータアレイ 2 としてアクセス可能です。V と D はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。アクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。予約ビットに対しては、書き込み値として 0 を指定してください。読み出し値は保証しません。

### 3.7.1 ITLB アドレスアレイ

ITLB のアドレスアレイは P4 領域の HF200 0000 ~ HF2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定(読み出し/書き込み時)と 32 ビットのデータ部の指定(書き込み時)が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V、ASID を指定します。

アドレス部は、[31:24] が ITLB アドレスアレイを示す HF2 になっており、[9:8] でエントリを選択できるようになっています。アドレス部 [1:0] はロングワードアクセスのため 0 を指定してください。

データ部は、[31:10] が VPN を、[8] が V を、[7:0] が ASID を示します。

ITLB アドレスアレイに対しては以下の 2 種類の操作が可能です。

#### 1. ITLB アドレスアレイ リード

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ VPN、V、ASID を読み出します。

#### 2. ITLB アドレスアレイ ライト

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された VPN、V、ASID を書き込みます。

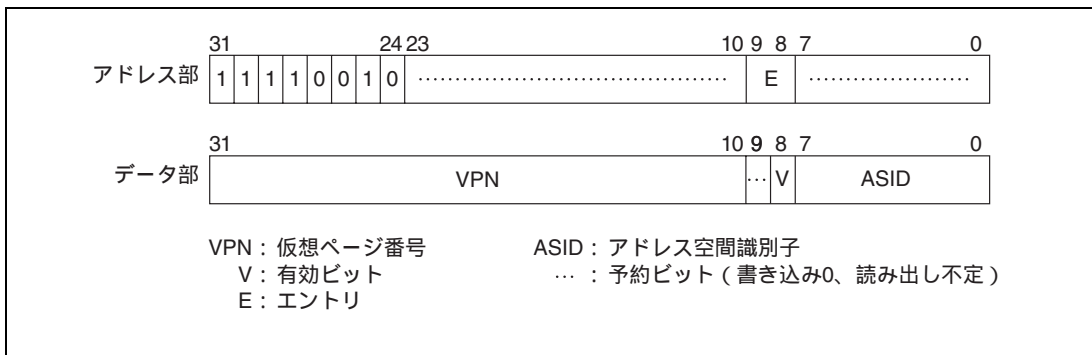


図 3.13 メモリ割り付け ITLB アドレスアレイ



### 3.7.2 ITLB データアレイ 1

ITLB のデータアレイ 1 は、P4 領域の H'F300 0000 ~ H'F37F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定(読み出し/書き込み時)と 32 ビットのデータ部の指定(書き込み時)が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 1 に書き込む PPN、V、SZ、PR、C、SH を指定します。

アドレス部は、[31:23] が ITLB データアレイ 1 を示す H'F30 になっており、[9:8] でエントリを選択するようになっています。

データ部は、[28:10] が PPN を、[8] が V を、[7]、[4] が SZ を、[6] が PR を、[3] が C を、[1] が SH を示します。

ITLB データアレイ 1 に対しては以下の 2 種類の操作が可能です。

#### 1. ITLB データアレイ 1 リード

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ PPN、V、SZ、PR、C、SH を読み出します。

#### 2. ITLB データアレイ 1 ライト

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、SH を書き込みます。

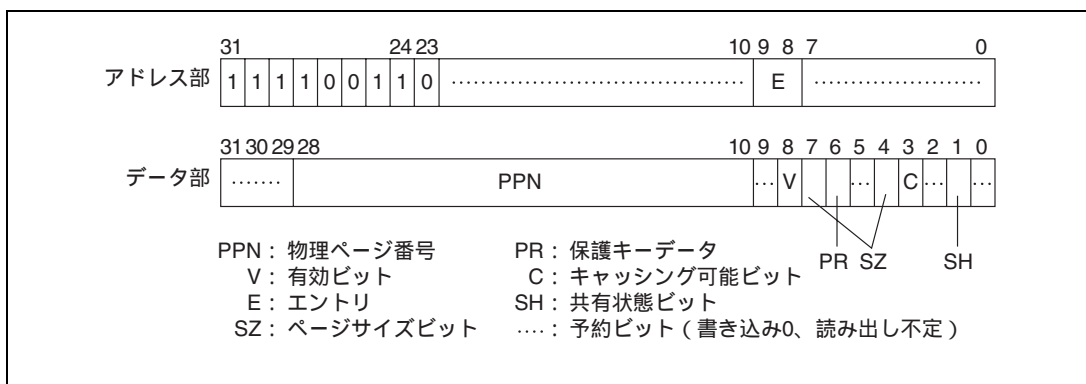


図 3.14 メモリ割り付け ITLB データアレイ 1

### 3.7.3 ITLB データアレイ 2

ITLB のデータアレイ 2 は、P4 領域の HF380 0000 ~ HF3FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む SA、TC を指定します。

アドレス部は、[31 : 23] が ITLB データアレイ 2 を示す HF38 になっており、[9 : 8] でエントリを選択できるようになっています。

データ部は、[2 : 0] が SA を、[3] が TC を示します。

ITLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

#### 1. ITLB データアレイ 2 リード

データ部に設定されたエントリに対応する ITLB エントリから、データ部へ SA と TC を読み出します。

#### 2. ITLB データアレイ 2 ライト

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された SA と TC を書き込みます。

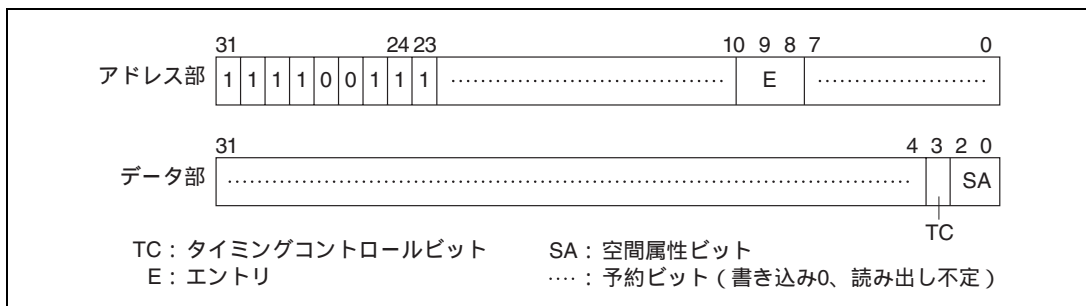


図 3.15 メモリ割り付け ITLB データアレイ 2

### 3.7.4 UTLB アドレスアレイ

UTLB のアドレスアレイは、P4 領域の HF600 0000 ~ HF6FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[31 : 24] が UTLB アドレスアレイを示す HF6 になっており、[13 : 8] でエントリを選択するようになっています。アドレス部 [7] の連想ビット (A ビット) は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[31 : 10] が VPN を、[9] が D を、[8] が V を、[7 : 0] が ASID を示します。

UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

#### 1. UTLB アドレスアレイ リード

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ VPN、D、V、ASID を読み出します。リードの場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

#### 2. UTLB アドレスアレイ ライト (連想なし)

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された VPN、D、V、ASID を書き込みます。アドレス部の A ビットは 0 にしてください。

#### 3. UTLB アドレスアレイ ライト (連想あり)

アドレス部の A ビットが 1 でライトのとき、データ部で指定された VPN と PTEH.ASID を用い、UTLB の全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLB にミスした場合は例外は発生せず ノーオペレーションとなります。比較によりデータ部で指定した VPN に対応する UTLB エントリが存在した場合、そのエントリに対してデータ部で指定した D と V を書き込みます。一致するエントリが複数存在する場合は、データ TLB 多重ヒット例外となります。この連想動作は ITLB に対しても同時に行われ、ITLB 内に一致するエントリが存在した場合は、そのエントリに対して V を書き込みます。UTLB での比較でノーオペレーションとなっても、ITLB で一致していれば ITLB 側にも書き込みは行います。また UTLB と ITLB の両方で一致した場合、UTLB の情報が ITLB へも書き込まれます。

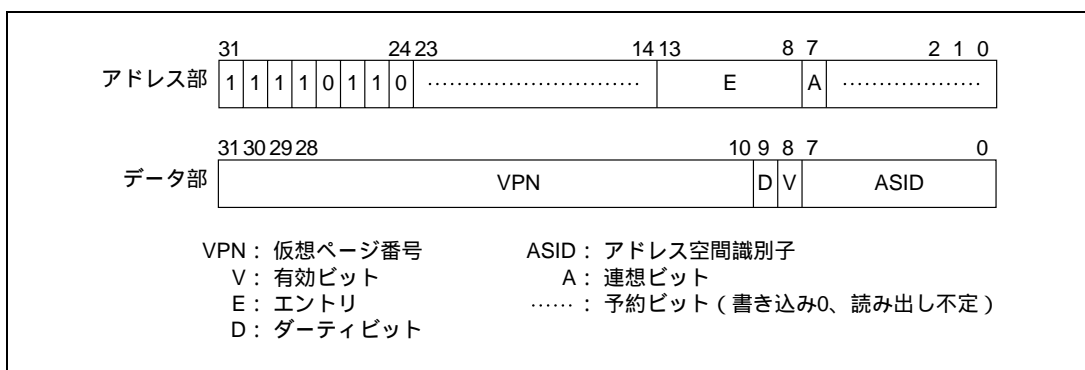


図 3.16 メモリ割り付け UTLB アドレスアレイ

### 3.7.5 UTLB データアレイ 1

UTLB のデータアレイ 1 は、P4 領域の HF700 0000 ~ HF77F FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。

アドレス部は、[31 : 23] が UTLB データアレイ 1 を示す HF70 になっており、[13 : 8] でエントリを選択するようになっています。

データ部は、[28 : 10] が PPN を、[8] が V を、[7]、[4] が SZ を、[6 : 5] が PR を、[3] が C を、[2] が D を、[1] が SH を、[0] が WT を示します。

UTLB データアレイ 1 に対しては以下の 2 種類の操作が可能です。

#### 1. UTLB データアレイ 1 リード

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ PPN、V、SZ、PR、C、D、SH、WT を読み出します。

#### 2. UTLB データアレイ 1 ライト

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、D、SH、WT を書き込みます。

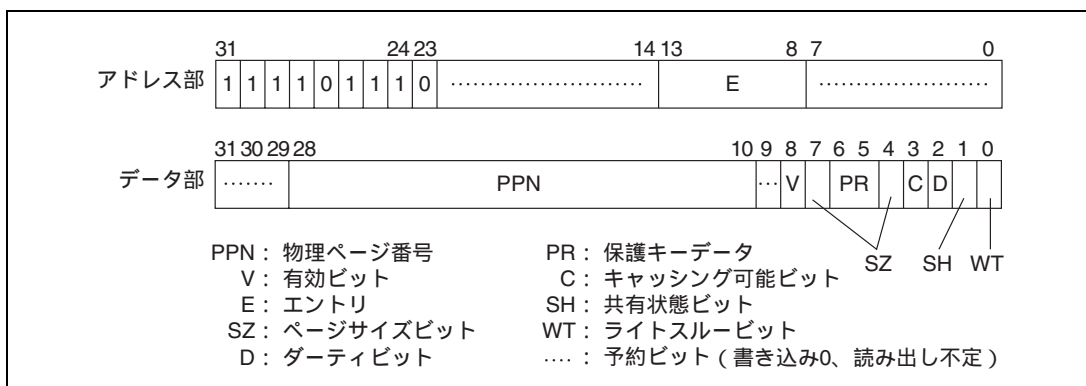


図 3.17 メモリ割り付け UTLB データアレイ 1

### 3.7.6 UTLB データアレイ 2

UTLB のデータアレイ 2 は P4 領域の HF780 0000 ~ HF7FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む SA、TC を指定します。

アドレス部は、[31 : 23] が UTLB データアレイ 2 を示す HF78 になっており、[13 : 8] でエントリを選択するようになっています。

データ部は、[3] が TC を、[2 : 0] が SA を示します。

UTLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

#### 1. UTLB データアレイ 2 リード

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ SA と TC を読み出します。

#### 2. UTLB データアレイ 2 ライト

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された SA と TC を書き込みます。

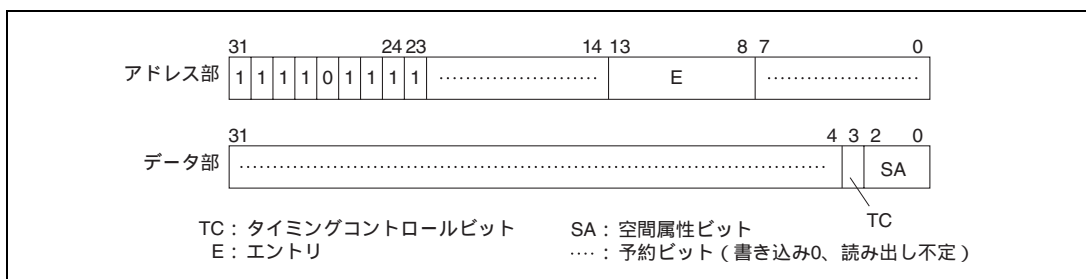


図 3.18 メモリ割り込み UTLB データアレイ 2

## 3.8 使用上の注意事項

1. 単一仮想記憶モード時のアドレス空間識別子 (ASID)  
「3.3.7 アドレス空間識別子 (ASID)」の【注】を参照してください。

---

## 4. キャッシュ

---

### 4.1 概要

#### 4.1.1 特長

SH7751 は命令用に 8K バイトの命令キャッシュ(IC)を、データ用に 16K バイトのオペランドキャッシュ(OC)を内蔵しています。またオペランドキャッシュの半分のメモリ(8K バイト)を内蔵 RAM としても利用できます。SH7751 のキャッシュの特長を表 4.1 に示します。

SH7751R は命令用に 16K バイトの命令キャッシュ(IC)を、データ用に 32K バイトのオペランドキャッシュ(OC)を内蔵しています。またオペランドキャッシュの半分のメモリ(16K バイト)を内蔵 RAM としても利用できます。SH7751R で CCR レジスタの EMODE ビットが 0 のとき、IC、OC とも SH7751 互換モードの設定となり、表 4.1 に示す動作となります。CCR レジスタの EMODE ビットが 1 のときのキャッシュの特長を表 4.2 に示します。なお、パワーオンリセット、マニュアルリセット後の EMODE ビットの初期値は 0 です。

本 LSI は、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー(SQ)をサポートします。SQ の特長を表 4.3 に示します。

表 4.1 キャッシュの特長 (SH7751)

項目	命令キャッシュ	オペランドキャッシュ
容量	8K バイトキャッシュ	16K バイトキャッシュもしくは 8K バイトキャッシュ+8K バイト RAM
方式	ダイレクトマップ	ダイレクトマップ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ	512 エントリ
ライト方式		コピーバック/ライトスルー選択可能

表 4.2 キャッシュの特長 (SH7751R)

項目	命令キャッシュ	オペランドキャッシュ
容量	16K バイトキャッシュ	32K バイトキャッシュもしくは 16K バイトキャッシュ+16K バイト RAM
方式	2 ウェイセットアソシアティブ	2 ウェイセットアソシアティブ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ/ウェイ	512 エントリ/ウェイ
ライト方式		コピーバック/ライトスルー選択可能
置換方式	LRU (Least Recently Used) アルゴリズム	LRU (Least Recently Used) アルゴリズム

表 4.3 ストアキューの特長

項目	ストアキュー
容量	2×32 バイト
アドレス	H'E000 0000 ~ H'E3FF FFFF
ライト	ストア命令 (1 サイクルライト)
ライトバック	プリフェッチ命令 (PREF 命令)
アクセス権	MMU off : MMUCR.SQMD による MMU on : 個々のページ PR による

### 4.1.2 レジスタの構成

キャッシュ制御レジスタの構成を表 4.4 に示します。

表 4.4 レジスタの構成

名称	略称	R/W	初期値* <sup>1</sup>	P4 アドレス* <sup>2</sup>	エリア7 アドレス* <sup>2</sup>	アクセス サイズ
キャッシュ制御レジスタ	CCR	R/W	H'0000 0000	H'FF00 001C	H'1F00 001C	32
キューアドレス制御レジスタ 0	QACR0	R/W	不定	H'FF00 0038	H'1F00 0038	32
キューアドレス制御レジスタ 1	QACR1	R/W	不定	H'FF00 003C	H'1F00 003C	32

【注】 \*1 初期値とはパワーオンリセット、マニュアルリセット後の値を示します。

\*2 P4 アドレスは仮想 / 物理アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは TLB を用いて物理アドレス空間のエリア7からアクセスする場合のものです。



## 4.2 レジスタの説明

キャッシュに関連するレジスタとして、キャッシュ制御レジスタ (CCR) があります。

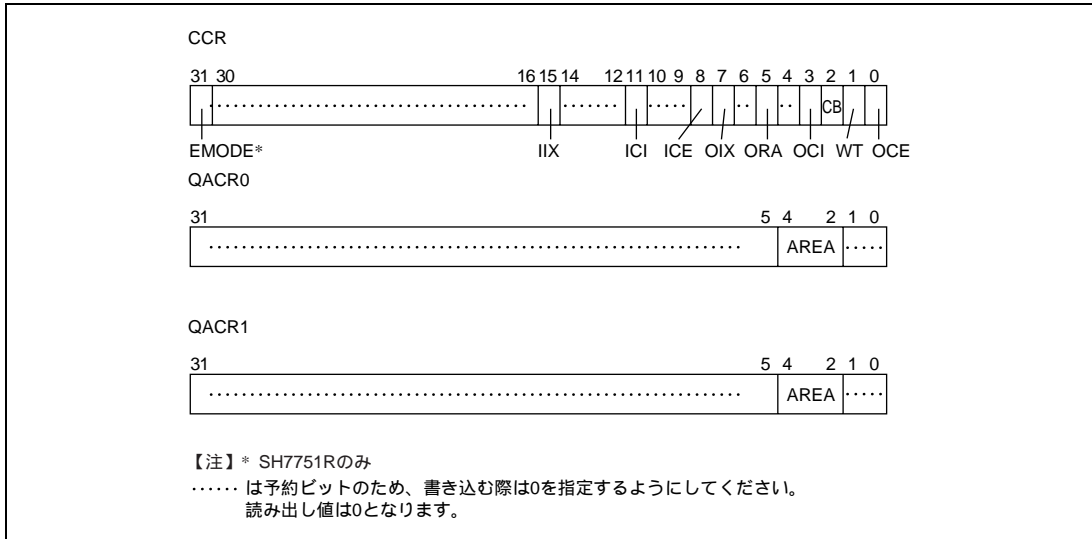


図 4.1 キャッシュ制御レジスタ (CCR)

### (1) キャッシュ制御レジスタ (CCR)

CCR には以下のビットがあります。

- EMODE (SH7751Rのみ、SH7751では予約ビット): キャッシュ倍増モード
- IIX: IC index enable
- ICI: IC Invalidation
- ICE: IC Enable
- OIX: OC index enable
- ORA: OC RAM enable
- OCI: OC Invalidation
- CB: Copy-Back enable
- WT: Write-Through enable
- OCE: OC Enable

CCR へは、P4 領域の H'FF00 001C とエリア 7 の H'1F00 001C から、ロングワードサイズでアクセスすることが可能です。CCR の各ビットは下記に示すようなキャッシュの設定に使われます。したがって、CCR の書き換えは非キャッシュの P2 領域のプログラムのみで行わなければなりません。CCR 更新後に、P0、P1、P3、U0 領域へのデータアクセス命令は、CCR 更新命令から 4 命令以降に配置してください。また、P0、P1、P3、U0 領域への分岐命令は、CCR 更新命令から 8 命令以降に配置してください。

- EMODE：キャッシュ倍増モードビット

SH7751Rでキャッシュ倍増モードを使用するかどうかを示します。SH7751では予約ビットです。キャッシュ使用中にEMODEビットを書き換えないでください。

- 0：SH7751互換モード\*<sup>1</sup>（初期値）
- 1：キャッシュ倍増モード

【注】 \*1 OC インデックスモードかつ RAM モードと RAM モードでのアドレス割り付けは互換ではありません。

- IIX：ICインデックス有効ビット

- 0：実効アドレス [ 12 : 5 ] がICのエントリ選択に使われる
- 1：実効アドレス [ 25 ]、[ 11 : 5 ] がICのエントリ選択に使われる

- ICI：IC無効化ビット

このビットに1を書き込むとICの全エントリのVビットを0にします。読み出すと常に0が読めます。

- ICE：IC有効ビット

ICを使用するかどうかを示します。ただし、アドレス変換が行われる場合はページ管理情報のCビットも1でなければICを使用できません。

- 0：ICを使用しない
- 1：ICを使用する

- OIX：OCインデックス有効ビット\*<sup>2</sup>

- 0：実効アドレス [ 13 : 5 ] がOCのエントリ選択に使われる
- 1：実効アドレス [ 25 ]、[ 12 : 5 ] がOCのエントリ選択に使われる

【注】 \*2 SH7751RでORAビットが1の場合、OIXビットは0にしてください。

- ORA：OC RAMビット\*<sup>3</sup>

OCが有効(OCE = 1)のとき、OCの半分をRAMとして使用するかどうかを指定します。OCが有効でない(OCE = 0)ときは、ORAビットは0に設定してください。

- 0：ノーマルモード（OCのすべてをキャッシュとして使用）
- 1：RAMモード（OCの半分をキャッシュ、半分をRAMとして使用）

【注】 \*3 SH7751RでOIXビットが1の場合、ORAビットは0にしてください。

- OCI：OC無効化ビット

このビットに1を書き込むとOCの全エントリのV、Uビットを0にします。読み出すと常に0が読めます。

- CB：コピーバックビット

P1領域のキャッシュへの書き込みモードを示します。

- 0：ライトスルーモード
- 1：コピーバックモード

- WT：ライトスルービット

P0、U0、P3領域のキャッシュへの書き込みモードを示します。

ただし、アドレス変換が行われる場合はページ管理情報のWTビットの値を優先します。

- 0：コピーバックモード
- 1：ライトスルーモード

- OCE : OC有効ビット

OCを使用するかどうかを示します。ただしアドレス変換が行われる場合はページ管理情報のCビットも1でなければOCを使用できません。

- 0 : OCを使用しない
- 1 : OCを使用する

(2) キューアドレス制御レジスタ 0 (QACR0)

QACR0 へは、P4 領域の H'FF00 0038 からとエリア 7 の H'1F00 0038 から、ロングワードサイズでアクセスすることが可能です。QACR0 は MMU がオフのとき、ストアキュー0(SQ0)がマップされているエリアを設定します。

(3) キューアドレス制御レジスタ 1 (QACR1)

QACR1 へは、P4 領域の H'FF00 003C からとエリア 7 の H'1F00 003C から、ロングワードサイズでアクセスすることが可能です。QACR1 は MMU がオフのとき、ストアキュー1(SQ1)がマップされているエリアを設定します。

## 4.3 オペランドキャッシュ (OC)

### 4.3.1 構成

SH7751 のオペランドキャッシュはダイレクトマッピング方式で、512 本のキャッシュラインから構成され、それぞれのラインは 19 ビットのタグ、V ビット、U ビットおよび 32 バイトのデータから成ります。SH7751R のオペランドキャッシュは 2 ウェイセットアソシアティブ方式で、各々のウェイが 512 本のキャッシュラインから構成されます。

図 4.2 に SH7751 のオペランドキャッシュの構成を示します。

図 4.3 に SH7751R のオペランドキャッシュの構成を示します。

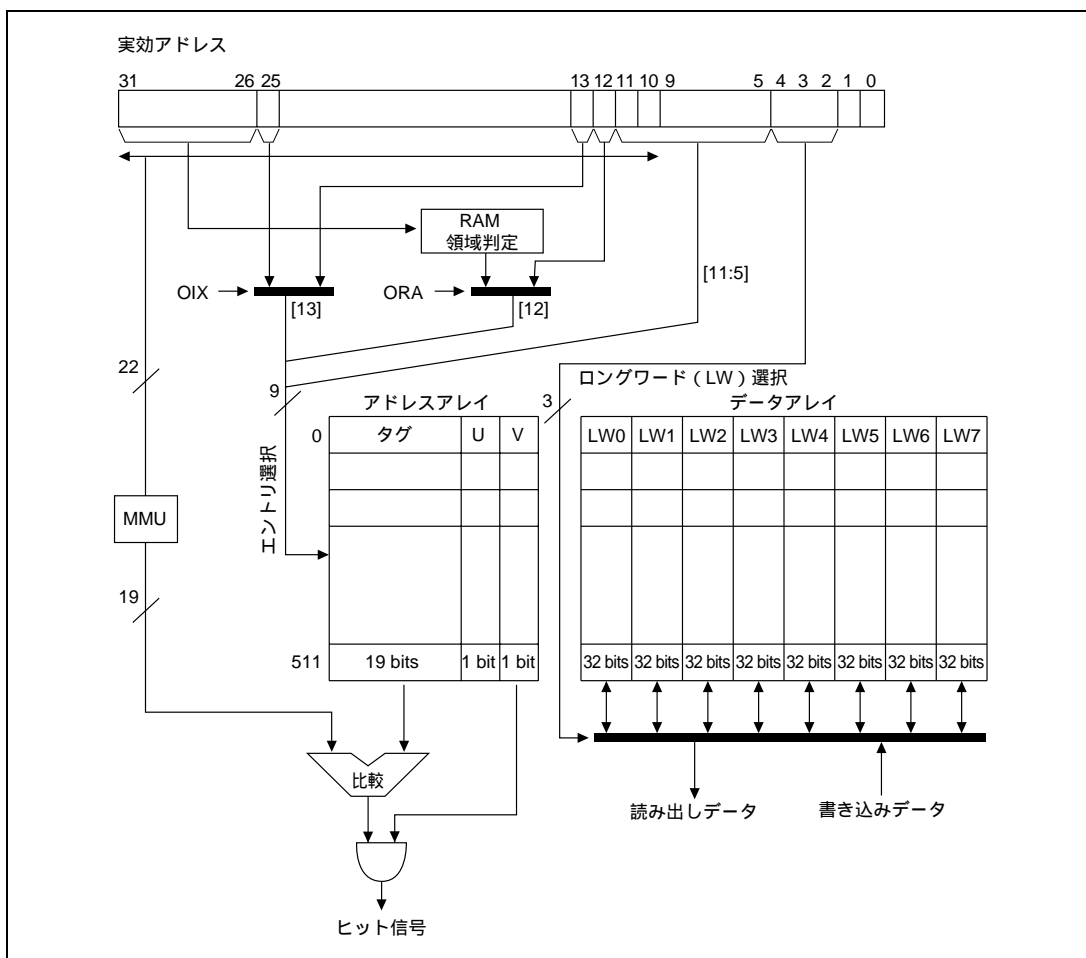


図 4.2 オペランドキャッシュの構成 (SH7751)

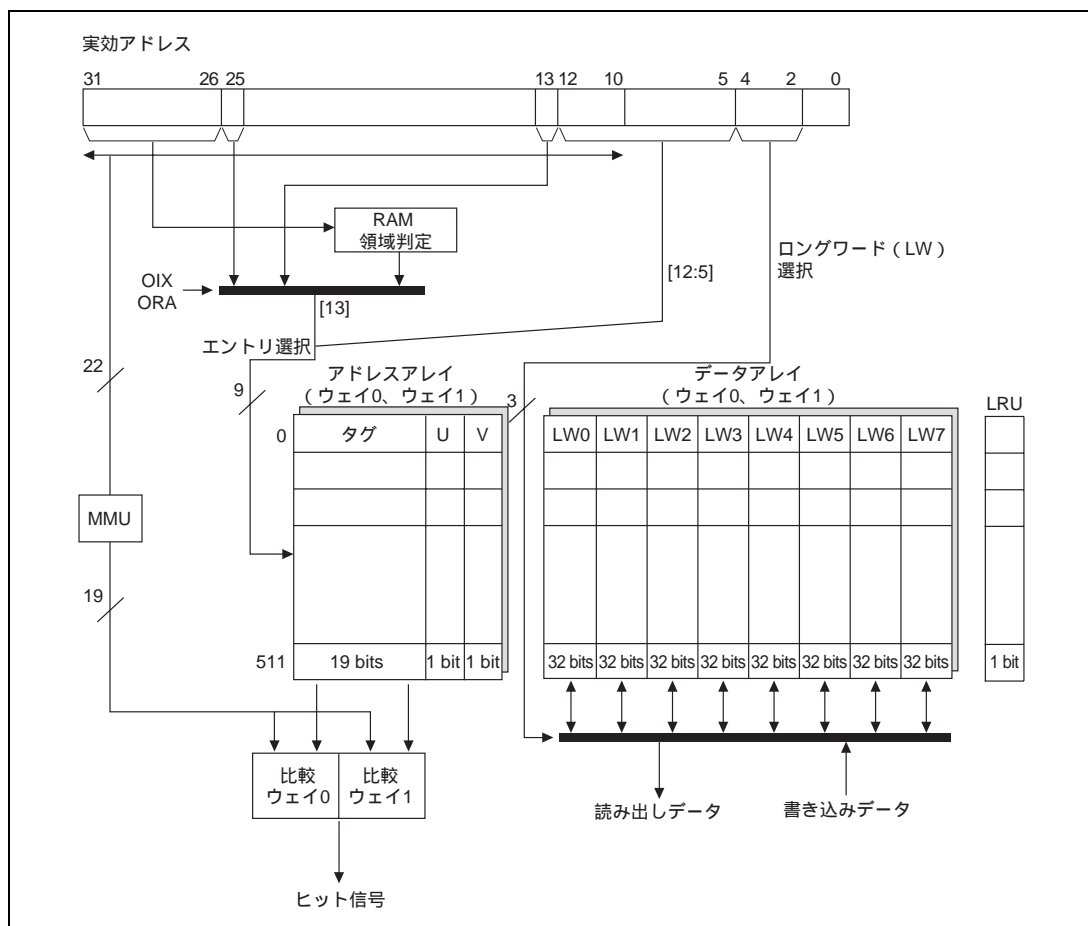


図 4.3 オペランドキャッシュの構成 (SH7751R)

## (1) タグ

キャッシュされるデータラインの外部アドレス 29 ビットの上位 19 ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

## (2) V ビット (有効ビット)

キャッシュラインに有効なデータが格納されているかを示します。このビットが 1 のとき、そのキャッシュラインのデータは有効となります。V ビットはパワーオンリセットで 0 に初期化されますが、マニュアルリセットでは値を保持します。

## (3) U ビット (ダーティビット)

コピーバックモードでキャッシュを使用中に、キャッシュラインヘデータを書き込んだとき、U ビットが 1 になります。つまり U ビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ (「4.5 メモリ割り付けキャッシュの構成 (SH7751)」、「4.6 メモリ割り付けキャッシュの構成 (SH7751R)」参照) をアクセスすることにより U ビットを書き換えられない限り、ライトスルーモードでキャッシュを使用中は U ビットが 1 になることはありません。U ビットはパワーオンリセットで 0 に初期

化されますが、マニュアルリセットでは値を保持します。

#### (4) データ部

データ部には1 キャッシュラインあたり 32 バイト (256 ビット) のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

#### (5) LRU 部 (SH7751R のみ)

2 ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを2 つまでキャッシュに登録できます。エントリアドレスに登録するとき、2 つのウェイのうち、どのウェイに登録するかを LRU ビットが示します。LRU ビットは各エントリアドレス1 ビットから成り、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶ LRU (Least Recently Used) アルゴリズムを使用しています。LRU ビットは、パワーオンリセットで0 に初期化されますが、マニュアルリセットでは初期化されません。LRU ビットは、ソフトウェアでは読み書きできません。

### 4.3.2 リード動作

OC が有効 (CCR.OCE = 1) かつキャッシング可能な領域から実効アドレスによってデータを読み出す場合、キャッシュは以下のように動作します。

- (1) 実効アドレスのビット [13 : 5] でインデックスされるキャッシュラインからタグとVビットとUビットを読み出します。
- (2) 実効アドレスをMMUにより変換したアドレスのビット [28 : 10] とタグを比較し、
  - ・ タグが一致かつVビットが1の場合 (3A)
  - ・ タグが一致かつVビットが0の場合 (3B)
  - ・ タグが不一致かつVビットが0の場合 (3B)
  - ・ タグが不一致かつVビットが1かつUビットが0の場合 (3B)
  - ・ タグが不一致かつVビットが1かつUビットが1の場合 (3C)

#### (3A) キャッシュヒット

実効アドレスのビット [13 : 5] でインデックスされるキャッシュラインのデータ部から、実効アドレスのビット [4 : 0] でインデックスされるデータをアクセスサイズ (クワッドワード / ロングワード / ワード / バイト) に応じて読み出します。

#### (3B) キャッシュミス (書き戻しなし)

実効アドレスに対応する外部メモリ空間から、キャッシュラインへデータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグに登録し、Vビットに1を書き込みます。

## (3C) キャッシュミス (書き戻しあり)

実効アドレスのビット [13:5] でインデックスされるキャッシュラインのタグとデータ部を、ライトバックバッファへ退避します。そして実効アドレスに対応する外部メモリ空間から、キャッシュラインへデータを読み込みます。データの読み込みは、実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、Vビットに1をUビットに0を書き込みます。その後ライトバックバッファのデータを外部メモリへ書き戻します。

## 4.3.3 ライト動作

OC が有効 (CCR.OCE=1) かつキャッシング可能な領域に対し実効アドレスによってデータが書き込まれる場合、キャッシュは以下のように動作します。

(1) 実効アドレスのビット [13:5] でインデックスされるキャッシュラインからタグとVビットとUビットを読み出します。

(2) 実効アドレスをMMUにより変換したアドレスのビット [28:10] とタグを比較し、

	コピーバック	ライトスルー
・ タグが一致かつVビットが1の場合	(3A)	(3B)
・ タグが一致かつVビットが0の場合	(3C)	(3D)
・ タグが不一致かつVビットが0の場合	(3C)	(3D)
・ タグが不一致かつVビットが1かつUビットが0の場合	(3C)	(3D)
・ タグが不一致かつVビットが1かつUビットが1の場合	(3E)	(3D)

## (3A) キャッシュヒット (コピーバック)

実効アドレスのビット [13:5] でインデックスされるキャッシュラインのデータ部と実効アドレスのビット [4:0] でインデックスされるデータに対し、アクセスサイズ (クワッドワード / ロングワード / ワード / バイト) によりデータの書き込みを行います。そしてUビットに1を設定します。

## (3B) キャッシュヒット (ライトスルー)

実効アドレスのビット [13:5] でインデックスされるキャッシュラインのデータ部と実効アドレスのビット [4:0] でインデックスされるデータに対し、アクセスサイズ (クワッドワード / ロングワード / ワード / バイト) によりデータの書き込みを行います。書き込みは指定されたアクセスサイズを用いた外部メモリと対応して実行します。

## (3C) キャッシュミス (コピーバック、ライトバックなし)

実効アドレスのビット [13:5] でインデックスされるキャッシュラインのデータ部と実効アドレスのビット [4:0] でインデックスされるデータに対し、アクセスサイズ (クワッドワード / ロングワード / ワード / バイト) によりデータの書き込みを行います。そして実効アドレスに対応する外部メモリ空間から、キャッシュラインへデータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから

順にラップアラウンド方式で行い、書き込んだデータを除いたキャッシュ1ライン分のデータが読み込まれます。この間、CPUは次の処理を実行することができます。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、VビットとUビットに1を書き込みます。

#### (3D) キャッシュミス (ライトスルー)

実効アドレスに対応した外部メモリへ、設定されたアクセスサイズのライトを行います。この場合、キャッシュへのライトは行われません。

#### (3E) キャッシュミス (コピーバック、ライトバックあり)

実効アドレスのビット [13:5] でインデックスされるキャッシュラインのタグとデータ部をライトバックバッファへ退避した後、実効アドレスのビット [13:5] でインデックスされるキャッシュラインのデータ部の実効アドレスのビット [4:0] でインデックスされるデータに対し、アクセスサイズ (クワッドワード/ロングワード/ワード/バイト) によりデータの書き込みを行います。そして実効アドレスに対応する外部メモリ空間から、キャッシュラインへデータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、書き込んだデータを除いたキャッシュ1ライン分のデータが読み込まれます。この間、CPUは次の処理を実行することができます。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、VビットとUビットに1を書き込みます。その後ライトバックバッファのデータを外部メモリへ書き戻します。

### 4.3.4 ライトバックバッファ

本LSIは、キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを内蔵しています。ライトバックバッファはキャッシュ1ライン分のデータと追い出す先の物理アドレスで構成されます。

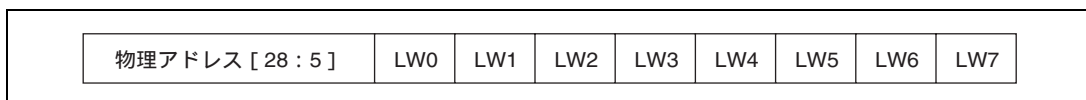


図 4.4 ライトバックバッファの構成

### 4.3.5 ライトスルーバッファ

本LSIは、ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための64ビットのバッファを内蔵しています。これによりCPUはライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

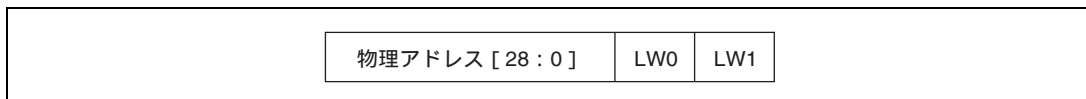


図 4.5 ライトスルーバッファの構成



### 4.3.6 RAM モード

CCR.ORA を 1 にセットすると、オペランドキャッシュの半分を RAM として使用することができます。RAM となるエントリは、SH7751 ではオペランドキャッシュのエントリ 128 ~ 255 と 384 ~ 511 までの 8K バイトです。SH7751R の SH7751 互換モードでは、オペランドキャッシュのエントリ 256 ~ 511 までの 8K バイトが RAM となります。SH7751R のキャッシュ倍増モードでは、オペランドキャッシュの各ウェイのエントリ 256 ~ 511 までの計 16K バイトが RAM となります。それ以外のエントリはキャッシュとして利用できます。RAM へはアドレスの H'7C00 0000 ~ H'7FFF FFFF を用いてアクセスができます。オペランドキャッシュの RAM 領域へは、バイト / ワード / ロングワード / クワッドワードサイズのデータの読み出し / 書き込みが可能です。この領域に対して命令フェッチは行えません。また、SH7751R では、RAM モード使用時は OC インデックスモードは使用できません。

SH7751 での RAM の使用例を以下に示します。ここでは OC エントリ 128 ~ 255 の 4K バイトを RAM 領域 1 とし、OC エントリ 384 ~ 511 までの 4K バイトを RAM 領域 2 とします。

- OCインデックスモードがオフの場合 (CCR.OIX = 0)

H'7C00 0000 ~	H'7C00 0FFF (4Kバイト)	: RAM領域1に対応
H'7C00 1000 ~	H'7C00 1FFF (4Kバイト)	: RAM領域1に対応
H'7C00 2000 ~	H'7C00 2FFF (4Kバイト)	: RAM領域2に対応
H'7C00 3000 ~	H'7C00 3FFF (4Kバイト)	: RAM領域2に対応
H'7C00 4000 ~	H'7C00 4FFF (4Kバイト)	: RAM領域1に対応
:	:	:

以下H'7FFF FFFFまでのRAM領域1、2が8Kバイトおきに繰り返し現れます。

このため連続した8KバイトのRAM領域を確保する場合、例えば、H'7C00 1000 ~ H'7C00 2FFFの領域を用います。

- OCインデックスモードがオンの場合 (CCR.OIX = 1)

H'7C00 0000 ~	H'7C00 0FFF (4Kバイト)	: RAM領域1に対応
H'7C00 1000 ~	H'7C00 1FFF (4Kバイト)	: RAM領域1に対応
H'7C00 2000 ~	H'7C00 2FFF (4Kバイト)	: RAM領域1に対応
:	:	:
H'7DFF F000 ~ H'7DFF FFFF (4Kバイト)		: RAM領域1に対応
H'7E00 0000 ~	H'7E00 0FFF (4Kバイト)	: RAM領域2に対応
H'7E00 1000 ~	H'7E00 1FFF (4Kバイト)	: RAM領域2に対応
:	:	:
H'7FFF F000 ~	H'7FFF FFFF (4Kバイト)	: RAM領域2に対応

RAM領域1、2の区別はアドレス [ 25 ] で行われるため、連続した8KバイトのRAM領域の確保はH'7DFF F000 ~ H'7E00 0FFFの領域で行ってください。

SH7751R での RAM の使用例を以下に示します。

- SH7751 互換モードの場合 (CCR.EMODE = 0)

H'7C000000 ~ H'7C001FFF (8Kバイト) : RAM領域 (エン트리256 ~ 511)

H'7C002000 ~ H'7C003FFF (8Kバイト) : RAM領域 (エン트리256 ~ 511)

: : :

以下H'7FFFFFFFまで8Kバイト単位でRAM領域のシャドウが発生します。

- キャッシュ倍増モードの場合 (CCR.EMODE = 1)

ここではOCウェイ0のエン트리256 ~ 511の8KバイトをRAM領域1とし、OCウェイ1のエン트리256 ~ 511の8KバイトをRAM領域2とします。

H'7C000000 ~ H'7C001FFF (8Kバイト) : RAM領域1に対応

H'7C002000 ~ H'7C003FFF (8Kバイト) : RAM領域2に対応

H'7C004000 ~ H'7C005FFF (8Kバイト) : RAM領域1に対応

H'7C006000 ~ H'7C007FFF (8Kバイト) : RAM領域2に対応

: : :

以下H'7FFFFFFFまで16Kバイト単位でRAM領域のシャドウが発生します。

#### 4.3.7 OC インデックスモード

CCR.OIX を 1 にセットすると、実効アドレスの[25]を用いて OC のインデックスを実行することができます。これを OC インデックスモードと呼びます。通常モードでは CCR.OIX が 0 の状態で、実効アドレスの [13 : 5] を用いて OC のインデックスを実行します。インデックスモードを使用すると実効アドレスの [25] により OC を 2 つの領域として処理することができ、キャッシュの効率的な利用が可能です。また、SH7751R では OC インデックスモード使用時は RAM モードは使用できません。

#### 4.3.8 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシは、ソフトウェアで保証してください。本 LSI では、キャッシュを操作する命令として新たに次の 4 命令をサポートしています。各命令の詳細は、プログラミングマニュアルを参照してください。

- インバリデイト命令 : OCBI @Rn : キャッシュの無効化 (書き戻しなし)
- パージ命令 : OCBP @Rn : キャッシュの無効化 (書き戻しあり)
- ライトバック命令 : OCBWB @Rn : キャッシュの書き戻し
- アロケート命令 : MOVCA.L R0,@Rn : キャッシュの確保

### 4.3.9 プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、本 LSI ではプリフェッチ命令をサポートしています。リード動作、ライト動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュヘデータをフィルしておき、リード動作、ライト動作においてキャッシュミスが発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスが UTLB にミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外が発生させません。プリフェッチ命令の詳細はプログラミングマニュアルを参照してください。

- プリフェッチ命令：PREF @Rn

### 4.3.10 キャッシュ倍増モードで OC RAM モードを使用する場合の注意事項( SH7751R のみ)

SH7751R でキャッシュ倍増モード (CCR.EMODE=1) に設定し、オペランドキャッシュの半分を内蔵 RAM として使用する OC RAM モード (CCR.ORA=1) を使用する場合に、RAM 内のデータが不正に書き換えられることがあります。

#### [ 発生条件 ]

以下の 4 つの条件をすべて満たす場合、RAM に誤ったデータを書き込む場合があります。

条件 1： キャッシュ倍増モードに設定 (CCR.EMODE=1)。

条件 2： オペランドキャッシュの半分を RAM として使用する RAM モードに設定 (CCR.ORA=1)。

条件 3： 例外または割り込みが発生。

【注】 デバッグツールなどによる命令置換ブレイク (TRAPA 命令または未定義命令コード H'FFFFD に命令を置換することで発生させるブレイク) も含みます。

条件 4: 条件 3 の例外発生命令または割り込み受け付け命令の後続 4 ワード以内に内蔵 RAM にアクセスするアドレス (H'7C000000 ~ H'7FFFFFFF) に対するストア命令 (MOV, FMOV, AND.B, OR.B, XOR.B, MOVCA.L, STC.L, STS.L) が存在。内蔵 RAM へのストア命令自身で例外が発生する場合も含みます。

#### [ 内容 ]

本現象が発生した場合、条件 4 の内蔵 RAM へのストア命令のアドレスと、H'2000 だけアドレスの異なるアドレスを含む 8 バイト境界の 8 バイトのデータに、誤ったデータが書き込まれます。例えば、H'7C000204 番地にロングワードをストアしようとした場合に、H'7C002200 ~ H'7C002207 番地にマッピングされる内蔵 RAM 内の 8 バイトが不正に書き換えられます。

## [ 発生例 ]

例 1 TLB ミス例外発生命令の直後 4 命令以内に内蔵 RAM へのストア命令がある

MOV.L #H'0C400000, R0	R0 は TLB ミスアドレス
MOV.L #H'7C000204, R1	R1 は内蔵 RAM アドレス
MOV.L @R0,R2	TLB ミス例外が発生
NOP	1 ワード
NOP	2 ワード
NOP	3 ワード
MOV.L R3, @R1	内蔵 RAM へのストア命令

例 2 割り込み受け付け命令の直後 4 命令以内に内蔵 RAM へのストア命令がある

MOV.L #H'7C002000, R1	R1 は内蔵 RAM アドレス
MOV.L #H'12345678, R0	この命令実行後割り込みを受け付け
NOP	1 ワード
NOP	2 ワード
NOP	3 ワード
MOV.L R0, @R1	内蔵 RAM へのストア命令

例 3 デバッグツールにより命令を置換するブレークを張った場合

元々の命令列	命令置換ブレークを張った状態	
MOV.L #H'7C000000, R0	MOV.L #H'7C000000, R0	R0 に該当アドレスが入っている
ADD R0,R0	TRAPA #H'01	R0 は元々の命令列では問題のないアドレス
MOV.L R1,@R0	MOV.L R1,@R0	ADD を実行しないため内蔵 RAM へのストアアクセスが発生し、ストアはキャンセルされるが、H'7C002000 からの 2LW を誤って書き換えられる。

## [ 回避方法 ]

キャッシュ倍増モードで RAM モードを使用する場合、以下のいずれかの対策で本現象を回避できます。

回避方法 1：内蔵 RAM の 16K バイトのうち 8K バイトのみを使用してください。このときアドレス[12:0]が同一でアドレス[13]のみが異なる RAM 領域を使用しないでください。

例えば、H'7C000000 ~ H'7C001FFF または H'7C001000 ~ H'7C002FFF までの 8K バイトを使用してください。

【注】 デバッグツールなどにより命令を置換するブレークを用いる場合、ブレークを発生させる命令の後続命令が命令を置換したことによりメモリアクセスアドレスが変わってしまうため、使用しない側の 8K バイトの領域をアクセスしてしまうことがあります。この場合にも本現象が発生しますが、これは命令置換ブレークを使用するデバッグ時のみの現象です。また、命令置換を行わないブレークを使用する場合には問題ありません。

回避方法 2： 内蔵 RAM へのストア命令の直前 4 命令で割り込みや例外を発生させないでください。

例えば、内蔵 RAM をロード命令でのみアクセスするデータテーブルとして使用し、テーブル作成時以外は RAM への書き込みを行わない場合、テーブル書き込み中に割り込みが発生しないように SR.BL=1 の状態で行ってください。また、テーブルへの書き込み中に TLB ミスなどの例外が発生しないようにしてください。

【注】 デバッグツールなどにより命令を置換するブレイクを用いる場合にも本現象が発生することがありますが、これは命令置換ブレイクを使用するデバッグ時のみの現象です。また、命令置換を行わないブレイクを使用する場合には問題ありません。



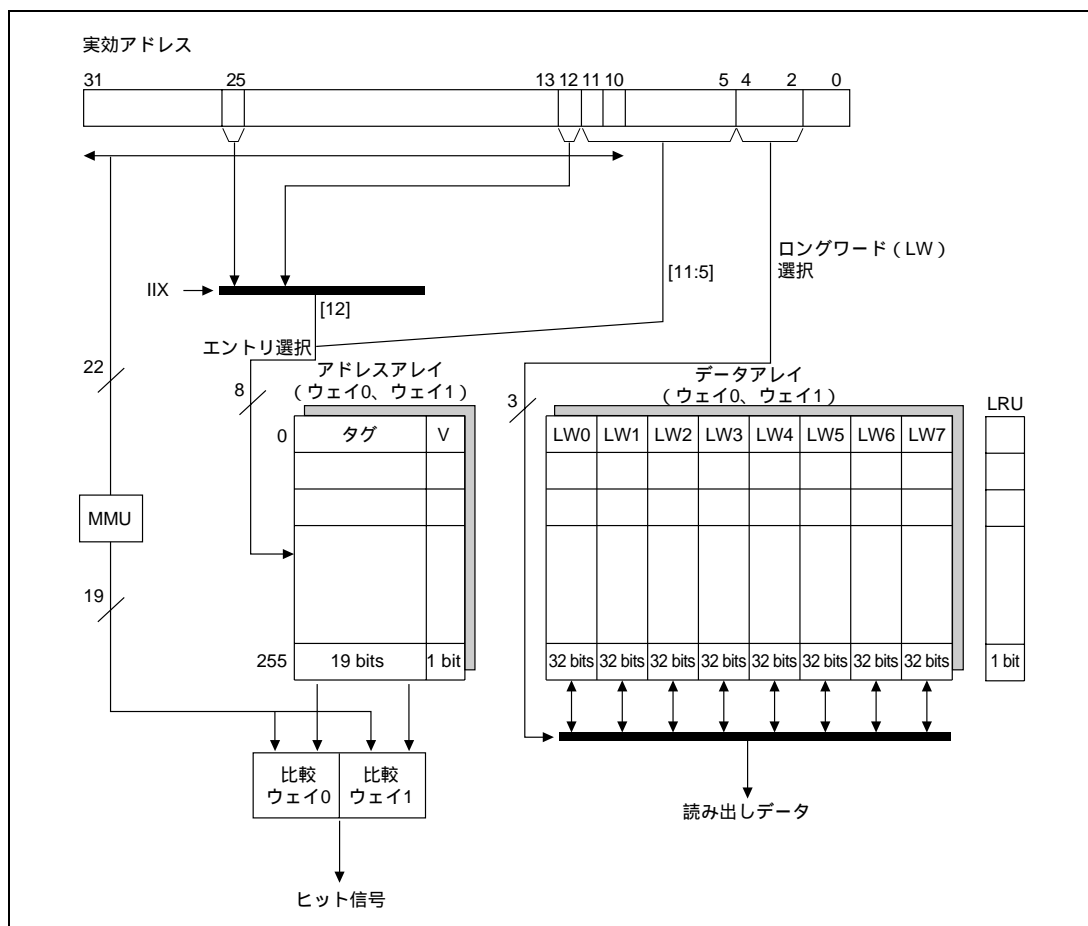


図 4.7 命令キャッシュの構成 (SH7751R)

## 1. タグ

キャッシュされるデータラインの外部アドレス29ビットの上位19ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

## 2. Vビット (有効ビット)

キャッシュラインに有効なデータが格納されているかを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

## 3. データアレイ

データ部には1キャッシュラインあたり32バイト (256ビット) のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

#### 4. LRU部 (SH7751Rのみ)

2ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを2つまでキャッシュに登録できます。エントリアドレスを登録するとき、2つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは各エントリアドレス1ビットから成り、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU (Least Recently Used) アルゴリズムを使用しています。LRUビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットでは初期化されません。LRUビットは、ソフトウェアでは読み書きできません。

### 4.4.2 リード動作

IC が有効 (CCR.ICE=1) かつキャッシング可能な領域から実効アドレスによって命令フェッチを行う場合、命令キャッシュは以下のように動作します。

- (1) 実効アドレスのビット [12:5] でインデックスされるキャッシュラインからタグとVビットを読み出します。
- (2) 実効アドレスをMMUにより変換したアドレスのビット [28:10] とタグを比較し、
  - タグが一致かつVビットが1の場合 (3A)
  - タグが一致かつVビットが0の場合 (3B)
  - タグが不一致かつVビットが0の場合 (3B)
  - タグが不一致かつVビットが1の場合 (3B)

#### (3A) キャッシュヒット

実効アドレスのビット [12:5] でインデックスされるキャッシュラインのデータ部から、実効アドレスのビット [4:2] でインデックスされるデータを命令として読み出します。

#### (3B) キャッシュミス

実効アドレスに対応する外部メモリ空間から、キャッシュラインへデータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、Vビットに1を書き込みます。

### 4.4.3 IC インデックスモード

CCR.IIX を1にセットすると、実効アドレスの [25] を用いてICのインデックスを実行することができます。これをICインデックスモードと呼びます。通常モードではCCR.IIXが0の状態、実効アドレスの [12:5] を用いてICのインデックスを実行します。インデックスモードを使用すると実効アドレスの [25] によりICを2つの領域として処理することができ、キャッシュの効率的な利用が可能です。



## 4.5 メモリ割り付けキャッシュの構成 (SH7751)

IC、OCをソフトウェアで管理するために、特権モードのとき、P2領域のプログラムからMOV命令によってICの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3領域への分岐命令は、このMOV命令の8命令以降に実行するようにしてください。また、特権モードのとき、P1、P2領域のプログラムからMOV命令によってOCの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P3領域への分岐命令は、このMOV命令の8命令以降に実行するようにしてください。IC、OCは物理メモリ空間のP4領域に割り付けられています。ICのアドレスアレイ/データアレイ、OCのアドレスアレイ/データアレイともにデータアクセスのみ可能で、アクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには0を設定するようにしてください。予約ビットの読み出し値は不定です。

### 4.5.1 IC アドレスアレイ

ICのアドレスアレイは、P4領域のHF000 0000~HF0FF FFFFに割り付けられています。アドレスアレイのアクセスには32ビットのアドレス部の指定(読み出し/書き込み時)と32ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込みタグとVビットを指定します。

アドレス部は[31:24]がICアドレスアレイを示すHF0になっており、[12:5]でエントリを指定するようになっています。CCR.IIXはこのエントリ指定に影響を与えません。アドレス部[3]の連想ビット(Aビット)は、ICアドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なので、アドレス部[1:0]は0を指定してください。

データ部は[31:10]がタグを、[0]がVビットを示します。ICアドレスアレイのタグは19ビットのためデータ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ、仮想アドレスの指定のため用います。

ICアドレスアレイに対しては次の3種類の操作が可能です。

#### 1. ICアドレスアレイ リード

アドレス部に設定されたエントリに対応するICエントリから、データ部へタグとVビットを読み出します。リードの場合アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

#### 2. ICアドレスアレイ ライト(連想なし)

アドレス部に設定されたエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは0にしてください。

#### 3. ICアドレスアレイ ライト(連想あり)

アドレス部のAビットが1でライトのとき、アドレス部で指定されたエントリに格納されているタグとデータ部で指定されたタグとの間で一致判定が行われます。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり、書き込みは行わ

れません。アドレス変換の際に命令TLB多重ヒット例外が発生した場合は、命令TLB多重ヒット例外処理ルーチンへ処理が移ります。

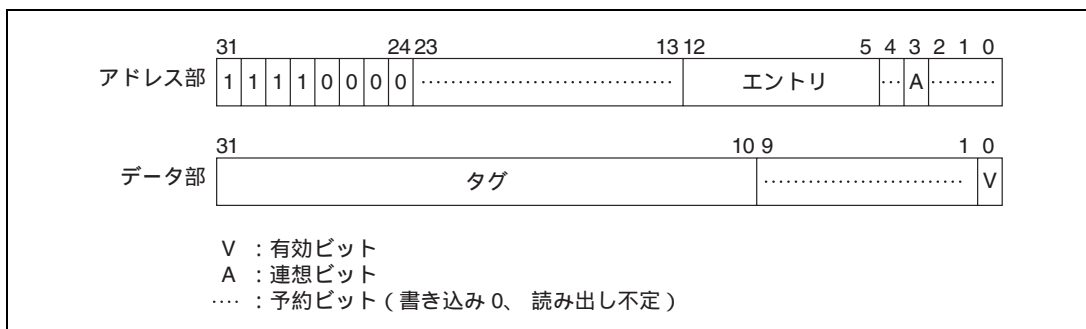


図 4.8 メモリ割り付け IC アドレスアレイ

#### 4.5.2 IC データアレイ

IC のデータアレイは、P4 領域の HF100 0000 ~ HF1FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は [31 : 24] が IC データアレイを示す HF1 になっており、[12 : 5] でエントリを指定するようになっています。CCR.IIX はこのエントリ指定に影響を与えません。アドレス部 [4 : 2] はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部 [1 : 0] は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

##### 1. IC データアレイ リード

アドレス部に設定されたエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

##### 2. IC データアレイ ライト

アドレス部に設定されたエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

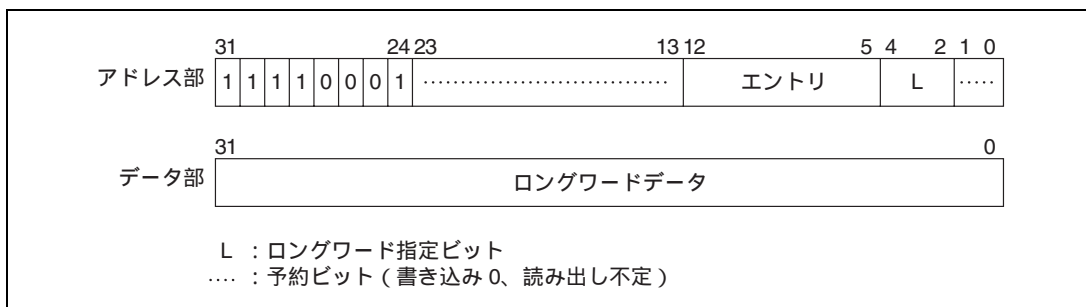


図 4.9 メモリ割り付け IC データアレイ

### 4.5.3 OC アドレスアレイ

OC のアドレスアレイは、P4 領域の H'F400 0000 ~ H'F4FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は [31 : 24] が OC アドレスアレイを示す H'F4 になっており、[13 : 5] でエントリを指定するようになっています。CCR.OIX および CCR.ORA は、このエントリ指定に影響を与えません。アドレス部 [3] の連想ビット (A ビット) は、OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なので、アドレス部 [1 : 0] は 0 を指定してください。

データ部は [31 : 10] がタグを、[1] が U ビットを、[0] が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部 [31 : 29] は連想を行わない書き込みのときには使用されません。データ部 [31 : 29] は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

#### 1. OC アドレスアレイ リード

アドレス部に設定されたエントリに対応する OC エントリから、データ部へタグと U ビットと V ビットを読み出します。リードの場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

#### 2. OC アドレスアレイ ライト (連想なし)

アドレス部に設定されたエントリに対応する OC エントリに対して、データ部で指定されたタグと U ビットと V ビットを書き込みます。アドレス部の A ビットは 0 にしてください。

書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグと U ビットと V ビットを書き込みます。

#### 3. OC アドレスアレイ ライト (連想あり)

アドレス部の A ビットが 1 でライトのとき、アドレス部で指定されたエントリに格納されているタグとデータ部で指定されたタグとの間で一致判定が行われます。このとき MMU がイネーブルなら、データ部 [31 : 10] で指定した仮想アドレスを UTLB を用い物理アドレスに変換してから一致判定を行います。アドレスが一致し V ビットが 1 であったなら、データ部で指定した U ビットと V ビットを OC のエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作は OC の特定のエントリの無効化に用いられます。このとき OC のエントリの U ビットが 1 で、V ビットに 0 もしくは U ビットに 0 を書き込んだ場合、書き戻しが発生し



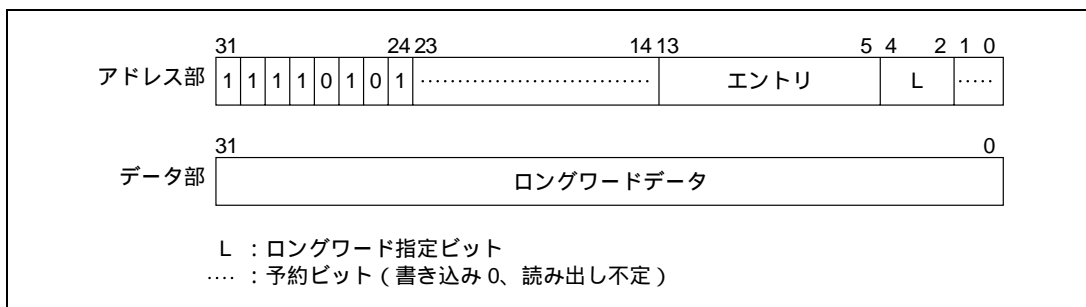


図 4.11 メモリ割り付け OC データアレイ

## 4.6 メモリ割り付けキャッシュの構成 (SH7751R)

IC、OCをソフトウェアで管理するために、特権モードのとき、P2領域のプログラムからMOV命令によってICの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3領域への分岐命令は、このMOV命令の8命令以降に実行するようにしてください。また、特権モードのとき、P1、P2領域のプログラムからMOV命令によってOCの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P3領域への分岐命令はこのMOV命令の8命令以降に実行するようにしてください。IC、OCは物理メモリ空間のP4領域に割り付けられています。ICのアドレスアレイ/データアレイ、OCのアドレスアレイ/データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには0を設定するようにしてください。予約ビットの読み出し値は不定です。なお、SH7751RのSH7751互換モードでのメモリ割り付けキャッシュの構成は、SH7751のメモリ割り付けキャッシュの構成と同じです。

### 4.6.1 IC アドレスアレイ

ICのアドレスアレイは、P4領域のH'F000 0000~H'F0FF FFFFに割り付けられています。アドレスアレイのアクセスには、32ビットのアドレス部の指定(読み出し/書き込み時)と32ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグとVビットを指定します。

アドレス部は[31:24]がICアドレスアレイを示すH'F0になっており、[13]でウェイ、[12:5]でエントリを指定するようになっています。CCR.IIXはこのエントリ指定に影響を与えません。アドレス部[3]の連想ビット(Aビット)はICアドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なので、アドレス部[1:0]は0を指定してください。

データ部は[31:10]がタグを、[0]がVビットを示します。ICアドレスアレイのタグは19ビットのためデータ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ、仮想アドレスの指定のため用います。

ICアドレスアレイに対しては次の3種類の操作が可能です。

#### 1. ICアドレスアレイ リード

アドレス部に設定されたウェイとエントリに対応するICエントリから、データ部へタグとVビットを読み出します。リードの場合アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

#### 2. ICアドレスアレイ ライト(連想なし)

アドレス部に設定されたウェイとエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは0にしてください。

#### 3. ICアドレスアレイ ライト(連想あり)

アドレス部のAビットが1でライトのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット13のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定

のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。アドレス変換の際に命令TLB多重ヒット例外が発生した場合は、命令TLB多重ヒット例外処理ルーチンへ処理が移ります。

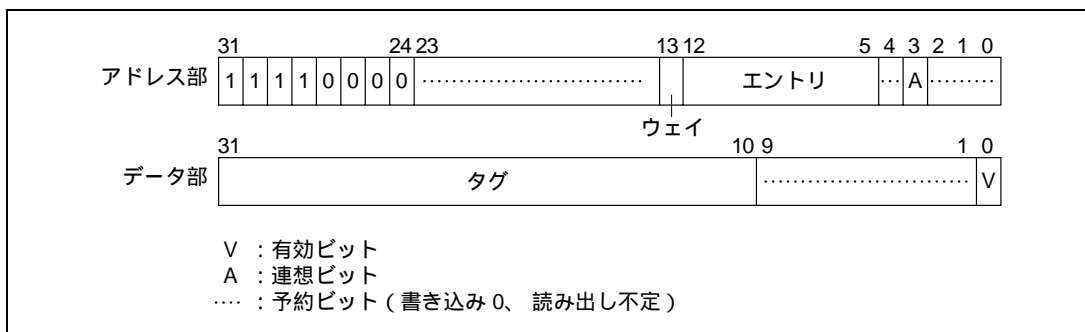


図 4.12 メモリ割り付け IC アドレスアレイ

## 4.6.2 IC データアレイ

IC のデータアレイは、P4 領域の H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は [31 : 24] が IC データアレイを示す H'F1 になっており、[13] でウェイ、[12 : 5] でエントリを指定するようになっています。CCR.IIX はこのエントリ指定に影響を与えません。アドレス部 [4 : 2] はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なので、アドレス部 [1 : 0] は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

### 1. IC データアレイ リード

アドレス部に設定されたウェイとエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

### 2. IC データアレイ ライト

アドレス部に設定されたウェイとエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

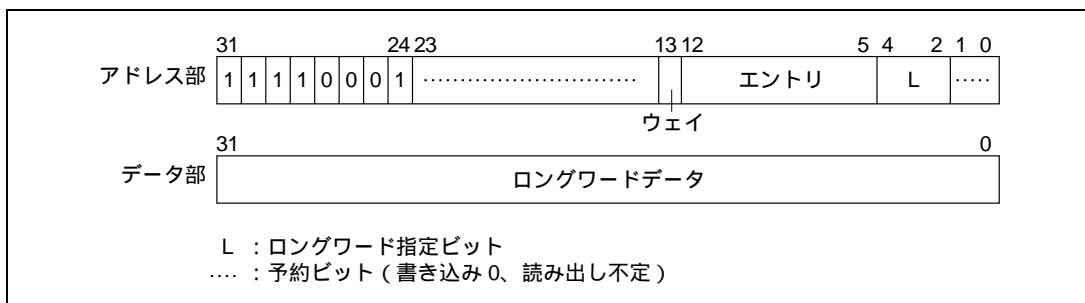


図 4.13 メモリ割り付け IC データアレイ

### 4.6.3 OC アドレスアレイ

OC のアドレスアレイは P4 領域の H'F400 0000 ~ H'F4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は [31 : 24] が OC アドレスアレイを示す H'F4 になっており、[14] でウェイ、[13 : 5] でエントリを指定するようになっていきます。CCR.OIX はこのエントリ指定に影響を与えません。RAM モードのとき (CCR.ORA = 1) の OC アドレスアレイアクセスはキャッシュ部に対してのみ行え、ビット 13 がウェイ指定ビットになります。アドレス割り付けの詳細は、「4.6.5 メモリ割り付け OC アドレスのまとめ」を参照してください。アドレス部 [3] の連想ビット (A ビット) は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですので、アドレス部 [1 : 0] は 0 を指定してください。

データ部は [31 : 10] がタグを、[1] が U ビットを、[0] が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部 [31 : 29] は連想を行わない書き込みのときには使用されません。データ部 [31 : 29] は連想を行う書き込みのときのみ、仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

#### 1. OC アドレスアレイ リード

アドレス部に設定されたウェイとエントリに対応する OC エントリから、データ部へタグと U ビットと V ビットを読み出します。リードの場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

#### 2. OC アドレスアレイ ライト (連想なし)

アドレス部に設定されたウェイとエントリに対応する OC エントリに対して、データ部で指定されたタグと U ビットと V ビットを書き込みます。アドレス部の A ビットは 0 にしてください。

書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグと U ビットと V ビットを書き込みます。



## 3. OCアドレスアレイ ライト（連想あり）

アドレス部のAビットが1でライトのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット14のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部 [31 : 10] で指定した仮想アドレスをUTLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したUビットとVビットをOCのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はOCの特定のエントリの無効化に用いられます。このときOCのエントリのUビットが1で、Vビットに0もしくはUビットに0を書き込んだ場合、書き戻しが発生します。アドレス変換の際にUTLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。アドレス変換の際にデータTLB多重ヒット例外が発生した場合は、データTLB多重ヒット例外処理ルーチンへ処理が移ります。

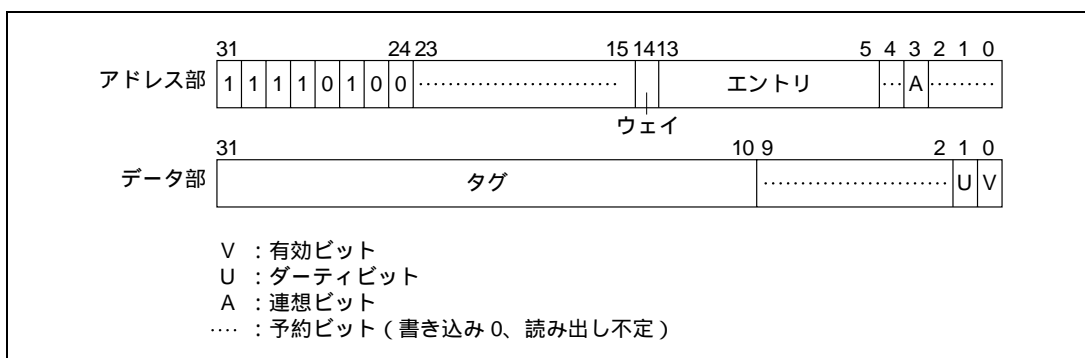


図 4.14 メモリ割り付け OC アドレスアレイ

## 4.6.4 OC データアレイ

OC のデータアレイは、P4 領域の H'F500 0000 ~ H'F5FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は [31 : 24] が OC データアレイを示す H'F5 になっており、[14] でウェイ、[13 : 5] でエントリを指定するようになっています。CCR.OIX はこのエントリ指定に影響を与えません。RAM モードのとき（CCR.ORA = 1）の OC データアレイアクセスはキャッシュ部に対してのみ行え、ビット 13 がウェイ指定ビットになります。アドレス割り付けの詳細は、「4.6.5 メモリ割り付け OC アドレスのまとめ」を参照してください。アドレス部 [4 : 2] はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部 [1 : 0] は 0 を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

## 1. OCデータアレイ リード

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビ

ットで指定されたデータから、データ部へロングワードデータを読み出します。

## 2. OCデータアレイ ライト

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側のUビットは1になりません。

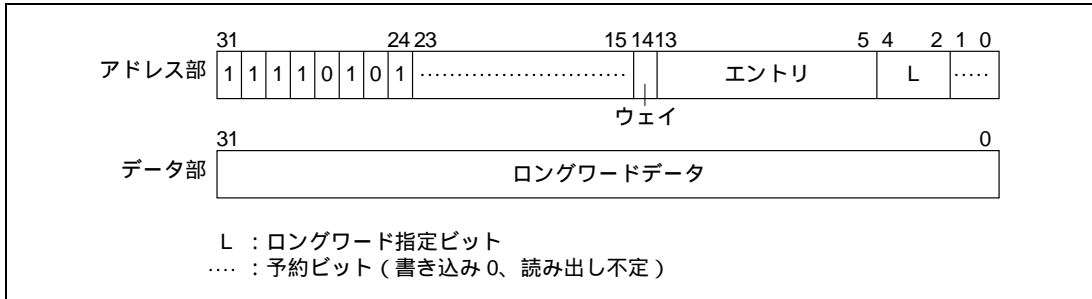


図 4.15 メモリ割り付け OC データアレイ

### 4.6.5 メモリ割り付け OC アドレスのまとめ

SH7751R のキャッシュ倍増モードでのメモリ割り付け OC アドレスをデータアレイアクセスを例に以下にまとめます。

- ノーマルモード (CCR.ORA = 0) の場合

H'F5000000 ~ H'F5003FFF (16Kバイト) : ウェイ0 (エントリ0 ~ 511)

H'F5004000 ~ H'F5007FFF (16Kバイト) : ウェイ1 (エントリ0 ~ 511)

以下、H'F5FFFFFFFまで32Kバイト単位でキャッシュ領域のシャドウが発生します。

- RAMモード (CCR.ORA = 1) の場合

H'F5000000 ~ H'F5001FFF (8Kバイト) : ウェイ0 (エントリ0 ~ 255)

H'F5002000 ~ H'F5003FFF (8Kバイト) : ウェイ1 (エントリ0 ~ 255)

以下、H'F5FFFFFFFまで16Kバイト単位でキャッシュ領域のシャドウが発生します。

## 4.7 ストアキュー

本 LSI では、外部メモリへ的高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。本 LSI では、SQ を使用しない場合、SQ の機能を停止する低消費電力モードを使用することができ、消費電力を低減させることができます。SQ の機能停止中はキューアドレス制御レジスタ (QACR0、QACR1) へのアクセスもできません。SQ の機能停止の手順は「第 9 章 低消費電力モード」を参照してください。なお、SH7751 では、オペランドキャッシュでライトバック動作\*が行われる場合は、SQ の機能を停止する低消費電力モード (STBCR2.MSTP6=1) は使用できません。

【注】 \* ライトバック動作が行われるケース

- ・オペランドキャッシュをコピーバックモードで使用 (CCR.CB ビット、CCR.WT ビット、アドレス変換が行われる場合はページ管理情報の WT ビットによって決まる) する場合
- ・メモリ割り付けキャッシュの機能を使用して OC アドレスアレイに書き込みを行い、V ビット = 1 かつ U ビット = 1 の状態のエントリを生成する場合

### 4.7.1 SQ の構成

SQ は図 4.16 に示すとおり、32 バイトの SQ0 と 32 バイトの SQ1 から成り立っています。SQ0、1 はそれぞれ独立に設定することが可能です。

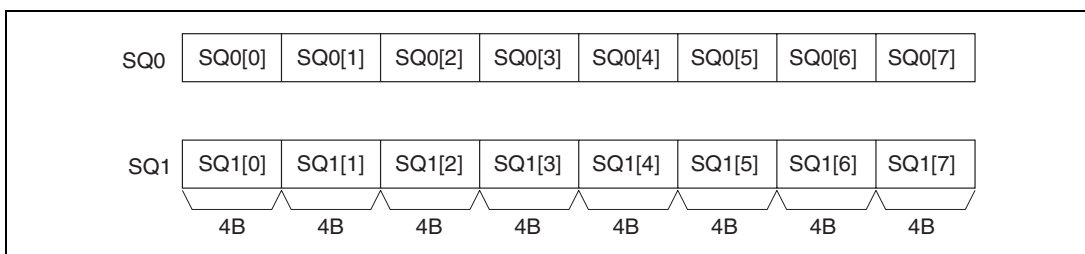


図 4.16 ストアキューの構成

### 4.7.2 SQ への書き込み

SQ への書き込みは P4 領域の H'E000 0000 ~ H'E3FF FFFC に対するストア命令で行うことができます。アクセスサイズはロングワード、もしくはクワッドワードが可能です。このアドレスは以下の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: Don't care	: 外部メモリへの転送・アクセス権で使用
[5]	: 0/1	: 0:SQ0 指定 1:SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

### 4.7.3 外部メモリへの転送

SQ から外部メモリへの転送は、プリフェッチ命令(PREF)により行えます。PREF 命令を P4 領域の H'E000 0000 ~ H'E3FF FFFC に対して発行することにより、SQ から外部メモリへの転送が開始します。転送は 32 バイト固定で、開始アドレスは必ず 32 バイト境界となります。一方の SQ を外部メモリへ転送中に、もう一方の SQ への書き込みはペナルティサイクルなしに行えますが、外部メモリへ転送中の SQ への書き込みは外部メモリへの転送が完了するまで待たされます。

SQ の転送先の外部アドレス[28:0]は MMU オン / オフにより次のように指定します。

#### 1. MMUオン (MMUCR.AT=1)

UTLBのVPNにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を、PPNに転送先の外部アドレスを設定します。ASID、V、SZ、SH、PR、Dビットは通常のアドレス変換と同様の意味を持ちますが、C、WTビットはこのページに関しては意味を持ちません。SQを用いてPCMCIAインタフェースのエリアへのデータ転送はできません。

SQ領域へのプリフェッチ命令が発行されると、アドレス変換を行い、SZビットの指定に従い外部アドレス [28:10]を生成します。外部アドレスの[9:5]についてはMMUオフと同様にアドレス変換前のアドレスから生成します。外部アドレスの[4:0]は0固定です。SQから外部メモリへの転送はこのアドレスに対して行われます。

#### 2. MMUオフ (MMUCR.AT=0)

PREF命令を発行するアドレスにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を指定します。このアドレス[31:0]は次の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: アドレス	: 外部アドレス[25:6]
[5]	: 0/1	: 0:SQ0指定 1:SQ1指定 かつ 外部アドレス[5]
[4:2]	: Don't care	: プリフェッチのときは意味を持たない。
[1:0]	: 00	: 0固定

上記のアドレスから生成できない外部アドレス[28:26]は、QACR0、1レジスタから生成します。

QACR0[4:2] : SQ0に対する外部アドレス[28:26]

QACR1[4:2] : SQ1に対する外部アドレス[28:26]

外部アドレスの[4:0]は、バースト転送の開始が32バイト境界のため常に0固定となります。

SH7751グループでは、常にPTEAのSAビット、TCビットの値を用いて、PCMCIAインタフェースのエリアへのデータ転送を行います。

#### 4.7.4 SQ アクセスの例外判定

SQ への書き込み、および外部メモリへの転送 ( PREF 命令 ) の例外判定は MMU オン / オフにより次のように行われます。なお、SQ への書き込みで例外が発生した場合、SH7751 では SQ の内容は壊れることがあります。SH7751R では SQ の内容は元の値が保証されます。SQ から外部メモリへの転送で例外が発生した場合、外部メモリへの転送は抑止されます。

##### 1. MMUオンの場合

UTLBに登録されたアドレス変換情報とMMUCR.SQMDに従います。SQへの書き込みはライトタイプ、SQから外部メモリへの転送 ( PREF 命令 ) はリードタイプとして例外判定が行われ、TLBミス例外、保護違反例外、初期ページ書き込み例外が発生します。ただし、MMUCR.SQMDによりSQへのアクセスを特権モードのみ許可している場合、ユーザモードでアドレス変換に成功してもアドレスエラーとなります。

##### 2. MMUオフの場合

MMUCR.SQMDに従います。

0 : 特権 / ユーザアクセス可能

1 : 特権アクセス可能

MMUCR.SQMDが1のときに、ユーザモードでSQ領域をアクセスするとアドレスエラーが発生します。

#### 4.7.5 SQ からの読み出し ( SH7751R のみ )

SH7751R では、特権モードのとき、SQ からの読み出しを P4 領域の H'FF001000 ~ H'FF00103C に対するロード命令で行うことができます。アクセスサイズはロングワードでのみアクセス可能です。

[ 31:6 ]	: H'FF001000	: ストアキュー指定
[ 5 ]	: 0/1	: 0 : SQ0 指定 1 : SQ1 指定
[ 4:2 ]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[ 1:0 ]	: 00	: 0 固定

### 4.7.6 SQ 使用上の注意事項 (SH7751 のみ)

SH7751 では SQ への書き込み命令の前の 3 命令以内で例外が発生した場合、例外発生時に本来抑止されるべき SQ への書き込みを実行後、例外処理ルーチンに分岐する場合があります。

このため、下記 (1) や (2) のような不具合が考えられます。

#### (1) 通常のプログラム内で SQ のデータを外部メモリに転送する場合

SQ へのストア命令の前の 3 命令に SQ から外部メモリへ転送のための PREF 命令が含まれている場合、例外処理ルーチンへの分岐時に本来抑止されるべき SQ への書き込みが実行されるために SQ が更新されて、例外処理ルーチンから復帰後、PREF 命令と SQ へのストア命令の実行順序が逆になってしまい、誤ったデータが外部メモリに転送される場合があります。

#### (2) 例外処理ルーチンで SQ のデータを外部メモリに転送する場合

例外処理ルーチン内でストアキューの内容を外部メモリに転送した場合、誤ったデータが外部メモリに転送される場合があります。

(例1) SQから外部メモリへ転送のためのPREF命令後に同一SQへのストア命令を実行する場合

PREF命令 ; SQから外部メモリへの転送のためのPREF命令  
 ; 例外発生時にSPCにこの命令のアドレスが退避される。  
 ; 例外処理ルーチンから復帰した時点で命令1、命令2または命令3が  
 ; 実行されている可能性がある。

命令1 ; SQへのストア命令の場合、実行される場合がある。  
 命令2 ; SQへのストア命令の場合、実行される場合がある。  
 命令3 ; SQへのストア命令の場合、実行される場合がある。  
 命令4 ; SQへのストア命令であっても、実行されない

(例2) 例外が発生する命令が分岐命令で分岐する場合

命令1 (分岐命令) ; 例外発生によりSPCにこの命令のアドレスが退避される。  
 命令2 ; 命令1の遅延スロットでありかつSQへのストア命令の場合、  
 実行される場合がある。

命令3  
 命令4  
 命令5  
 命令6  
 命令7 (命令1の分岐先)  
 ; SQへのストア命令の場合、実行される場合がある。  
 命令8 ; SQへのストア命令の場合、実行される場合がある。

(例3) 例外が発生する命令が分岐命令で分岐しない場合

命令1 (分岐命令) ; 例外発生によりSPCにこの命令のアドレスが退避される。  
命令2 ; SQへのストア命令の場合、実行される場合がある。  
命令3 ; SQへのストア命令の場合、実行される場合がある。  
命令4 ; SQへのストア命令の場合、実行される場合がある。  
命令5

この不具合を回避するには以下の A、B の両方を満たす必要があります。

A : ストアキュー (SQ0、SQ1) から外部メモリへ転送のための PREF 命令の後に同一ストアキューへのストア命令を実行する場合、下記の (1) かつ (2) を満たす必要があります。

(1) 両命令間にはNOP命令\*1を3個挿入してください。

(2) 分岐命令の遅延スロットに、ストアキューから外部メモリへ転送のためのPREF命令を配置しないでください。

B : 例外処理ルーチン内で、ストアキューから外部メモリへの転送のための PREF 命令を実行しないでください。

実行した場合には、SPC が指す番地の命令を含む4命令\*2にストアキューへのストア命令が存在した場合、PREF 命令により外部メモリへ転送される内容は、そのストア命令の実行が完了した状態になっている場合があります。

【注】 \*1 他命令が間にある場合、他命令と NOP を合わせて 3 命令以上あれば本不具合を回避できます。

\*2 SPC が指す番地の命令が分岐命令の場合、分岐先の 2 命令も対象になります。





---

## 5. 例外処理

---

### 5.1 概要

#### 5.1.1 特長

例外処理とは、リセット、一般例外、割り込みが検出されたときに、通常とは異なるプログラムで必要な処理を行うことをいいます。例えば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するといった制御が必要になります。このような機能をサポートするために、異常終了に対して例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを、例外処理と総称します。

SH-4 の例外処理は、リセット、一般例外、割り込みの 3 つに分類されます。

#### 5.1.2 レジスタ構成

例外処理に関するレジスタ構成を表 5.1 に示します。

表 5.1 レジスタ構成（アドレス）

名称	略称	R/W	初期値	P4 アドレス*2	エリア 7 アドレス*2	アクセスサイズ
TRAPA 例外レジスタ	TRA	R/W	不定	H'FF00 0020	H'1F00 0020	32
例外事象レジスタ	EXPEVT	R/W	H'0000 0000/ H'0000 0020*1	H'FF00 0024	H'1F00 0024	32
割り込み事象レジスタ	INTEVT	R/W	不定	H'FF00 0028	H'1F00 0028	32

【注】 \*1 パワーオンリセット時に H'0000 0000、マニュアルリセット時に H'0000 0020 がセットされます。

\*2 P4 アドレスは仮想 / 物理アドレス空間の P4 領域を用いた場合のもので、TLB を用いて物理アドレス空間のエリア 7 からアクセスする場合、アドレスの上位 3 ビットが無視されます。

## 5.2 レジスタの説明

例外処理に関するレジスタは、3本あります。これらはアドレスが割り付けられており、P4 アドレスまたはエリヤ7 アドレスを指定することでアクセスできます。

1. 例外事象レジスタ (EXPEVT) は、P4アドレスH'FF00 0024番地に配置されていて、例外コード12ビットから構成されています。EXPEVTに設定される例外コードは、リセットと一般例外事象による例外コードです。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。EXPEVTはソフトウェアからも変更が可能です。
2. 割り込み事象レジスタ (INTEVT) は、P4アドレスH'FF00 0028番地に配置されていて、例外コード14ビットから構成されています。INTEVTに設定される例外コードは、割り込み要求による例外コードです。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。INTEVTはソフトウェアからも変更が可能です。
3. TRAPA例外レジスタ (TRA) は、P4アドレスH'FF00 0020番地に配置されていて、TRAPA命令の8ビットイミディエイトデータ (imm) から構成されています。TRAはTRAPA命令実行時にハードウェアにより自動的に設定されます。TRAはソフトウェアからも変更が可能です。

EXPEVT、INTEVT、TRA のビット構成を図 5.1 に示します。

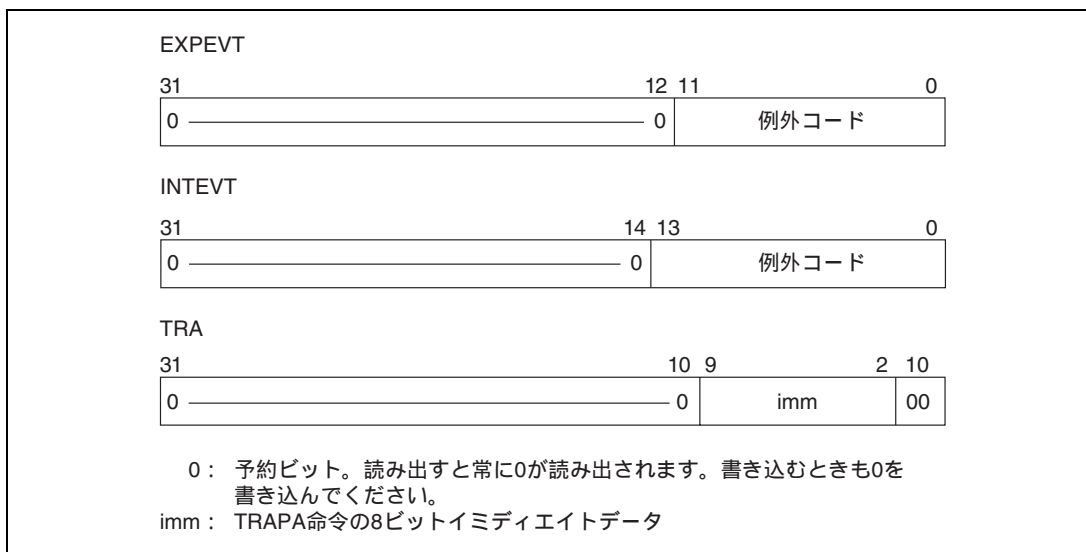


図 5.1 レジスタのビット構成

## 5.3 例外処理の機能

### 5.3.1 例外処理の流れ

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、R15 の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ 15 (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

基本的な例外処理の流れは次のようになります。SR のビットの意味の詳細は、「第 2 章 プログラミングモデル」を参照してください。

1. PCとSRとR15の内容がそれぞれSPCとSSRとSGRに退避されます。
2. SRのブロックビット (BL) が1に設定されます。
3. SRのモードビット (MD) が1に設定されます。
4. SRのレジスタバンクビット(RB)が1に設定されます。
5. リセット時、SRのFPUディスエーブルビット (FD) が0に設定されます。
6. 例外コードは、例外要因の例外事象レジスタ (EXPEVT)、または、割り込み事象レジスタ (INTEVT) のビット11~0に書き込まれます。
7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

### 5.3.2 例外処理ベクタアドレス

リセットベクタアドレスは H'A000 0000 に固定されています。一般例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセットの値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ (VBR) にソフトウェアで設定します。例えば、TLB ミス例外のオフセットは H'0000 0400 ですから、VBR に H'9C08 0000 を設定しておくと、例外処理ベクタアドレスは H'9C08 0400 になります。例外処理ベクタアドレスでさらに例外が発生すると、2重例外となり、回復が困難になりますので、ベクタアドレスは固定物理アドレス (P1、P2) を指定してください。

## 5.4 例外の種類と優先順位

表 5.2 に、例外の種類、優先順位、ベクタアドレス、および例外 / 割り込みコードを示します。

表 5.2 例外一覧

例外区分	実行形態	例外	優先 レベル	優先 順位	ベクタベース	オフセット	例外 コード	
リセット	中断型	パワーオンリセット	1	1	H'A000 0000	-	H'000	
		マニュアルリセット	1	2	H'A000 0000	-	H'020	
		H-UDI リセット	1	1	H'A000 0000	-	H'000	
		命令 TLB 多重ヒット例外	1	3	H'A000 0000	-	H'140	
		データ TLB 多重ヒット例外	1	4	H'A000 0000	-	H'140	
一般例外	再実行型	命令実行前ユーザブレーク *1	2	0	(VBR/DBR)	H'100/ -	H'1E0	
		命令アドレスエラー	2	1	(VBR)	H'100	H'0E0	
		命令 TLB ミス例外	2	2	(VBR)	H'400	H'040	
		命令 TLB 保護違反例外	2	3	(VBR)	H'100	H'0A0	
		一般不当命令例外	2	4	(VBR)	H'100	H'180	
		スロット不当命令例外	2	4	(VBR)	H'100	H'1A0	
		一般 FPU 抑止例外	2	4	(VBR)	H'100	H'800	
		スロット FPU 抑止例外	2	4	(VBR)	H'100	H'820	
		データアドレスエラー (読み出し)	2	5	(VBR)	H'100	H'0E0	
		データアドレスエラー (書き込み)	2	5	(VBR)	H'100	H'100	
		データ TLB ミス例外 (読み出し)	2	6	(VBR)	H'400	H'040	
		データ TLB ミス例外 (書き込み)	2	6	(VBR)	H'400	H'060	
		データ TLB 保護違反例外 (読み出し)	2	7	(VBR)	H'100	H'0A0	
		データ TLB 保護違反例外 (書き込み)	2	7	(VBR)	H'100	H'0C0	
		FPU 例外	2	8	(VBR)	H'100	H'120	
		初期ページ書き込み例外	2	9	(VBR)	H'100	H'080	
		完了型	無条件トラップ (TRAPA)	2	4	(VBR)	H'100	H'160
			命令実行後ユーザブレーク *1	2	10	(VBR/DBR)	H'100/ -	H'1E0
	割り込み	完了型	ノンマスカブル割り込み	3	-	(VBR)	H'600	H'1C0
			外部割り込み IRL3 ~ 0	0	4	*2	(VBR)	H'600
1								H'220
2								H'240
3								H'260
4								H'280
5								H'2A0
6								H'2C0
7								H'2E0
8								H'300

例外区分	実行形態	例外		優先 レベル	優先 順位	ベクタベース	オフセット	例外 コード			
割り込み	完了型	外部割り込み IRL3~0		9	4	*2	(VBR)	H'600	H'320		
				A					H'340		
				B					H'360		
				C					H'380		
				D					H'3A0		
				E					H'3C0		
		周辺モジュール 割り込み (モジュール/ 要因)		TMU0					TUNI0	H'400	
									TUNI1	H'420	
				TMU2					TUNI2	H'440	
									TICPI2	H'460	
				TMU3					TUNI3	H'B00	
				TMU4					TUNI4	H'B80	
									RTC	ATI	H'480
										PRI	H'4A0
				CUI						H'4C0	
				SCI					ERI	H'4E0	
									RXI	H'500	
									TXI	H'520	
									TEI	H'540	
				WDT					ITI	H'560	
				REF					RCMI	H'580	
									ROVI	H'5A0	
				H-UDI					H-UDI	H'600	
				GPIO					GPIOI	H'620	
				DMA C					DMTE0	H'640	
										DMTE1	H'660
										DMTE2	H'680
										DMTE3	H'6A0
										DMTE4* <sup>3</sup>	H'780
										DMTE5* <sup>3</sup>	H'7A0
										DMTE6* <sup>3</sup>	H'7C0
										DMTE7* <sup>3</sup>	H'7E0
										DMAE	H'6C0
										SCIF	ERI
RXI	H'720										
BRI	H'740										
TXI	H'760										

例外区分	実行形態	例外			優先 レベル	優先 順位	ベクタベース	オフセット	例外 コード
割り込み	完了型	周辺モジュール 割り込み (モジュール/ 要因)	PCIC	PCISERR	4	*2	(VBR)	H'600	H'A00
				PCIERR					H'AE0
				PCIPWDWN					H'AC0
				PCIPWON					H'AA0
				PCIDMA0					H'A80
				PCIDMA1					H'A60
				PCIDMA2					H'A40
				PCIDMA3					H'A20

優先度 : まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします(より小さい数値が優先度が高くなります)。

例外遷移先 : リセットでは H'A000 0000、その他では (VBR+オフセット) へ制御が移ります。

例外コード : リセット、一般例外では EXPEVT、割り込みでは INTEVT に格納されます。

IRL : 割り込み要求レベル (IRL3~0 端子)

モジュール/要因 : 各周辺モジュールの章を参照してください。

【注】 \*1 BRCR.UBDE=1 のとき PC=DBR。その他は PC=VBR+H'100

\*2 外部割り込みおよび周辺モジュール割り込みの優先順位は、ソフトウェアによって設定可能です。

\*3 SH7751R のみ。

## 5.5 例外フロー

### 5.5.1 例外フロー

図 5.2 に、命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 5.2 には、例外種別（リセット、一般例外、割り込み）間の優先順位が表されています。なお図 5.2 では、例外成立時のレジスタ設定を SSR、SPC、SGR、EXPEVT/INTEVT、SR、および PC に限っていますが、例外によってはこのほかにもハードウェアによって自動的に設定されるレジスタがあります。詳細は、「5.6 各例外の説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「5.6.4 複数回の例外が発生する場合の優先順位」を参照してください。

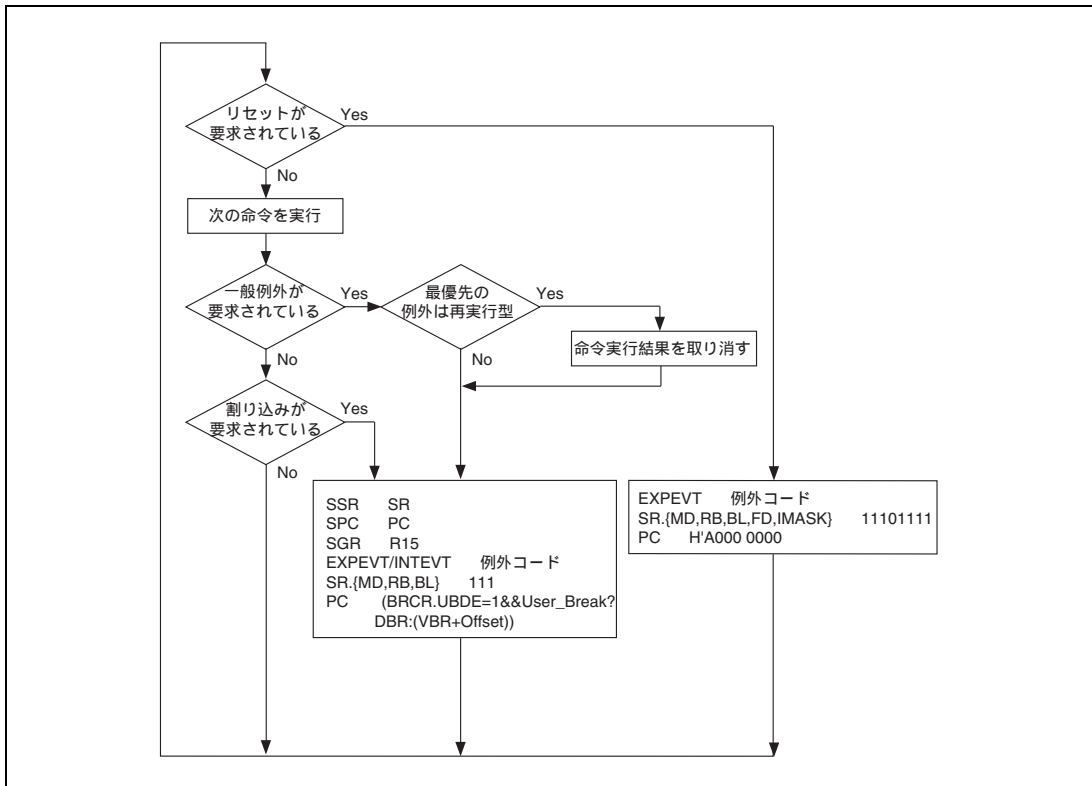


図 5.2 命令実行と例外処理

### 5.5.2 例外要因の受け付け

2つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、一般 FPU 抑止例外、スロット FPU 抑止例外、無条件トラップ例外の5つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れ（プログラム順）に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先して受け付けられます。一般例外の受け付け順序の例を図 5.3 に示します。

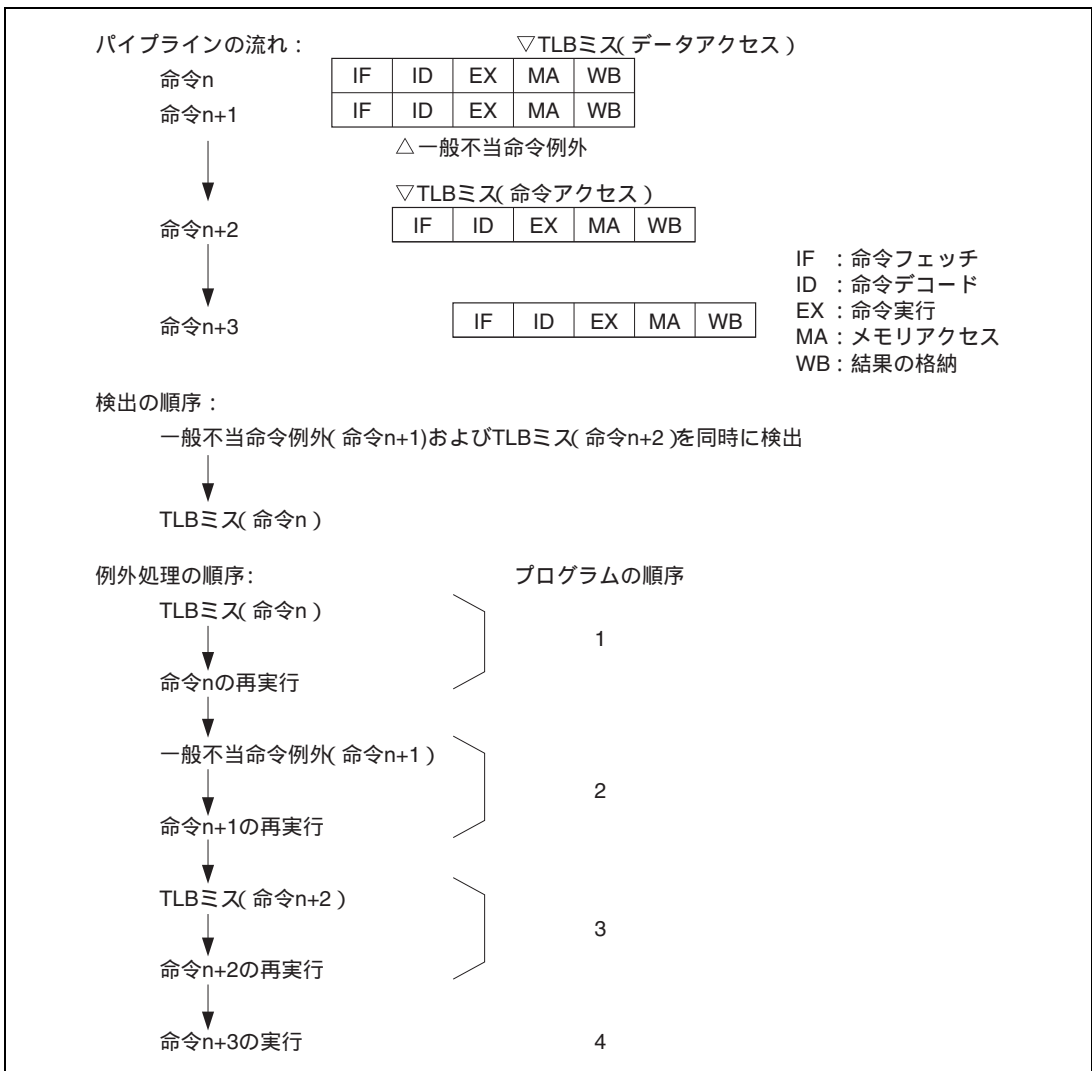


図 5.3 一般例外の受け付け順序の例



### 5.5.3 例外要求と BL ビット

SR の BL ビットが 0 のとき、一般例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、ユーザブレイクを除く一般例外が発生した場合には、CPU の内部レジスタ、他のモジュールのレジスタは、マニュアルリセット後の状態になり、リセットと同アドレス (H'A000 0000) に分岐します。ユーザブレイクが発生した場合の動作については「第 20 章 ユーザブレイクコントローラ」を参照してください。

また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。ノンマスクابل割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

例外状態を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 クリアします。

### 5.5.4 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR に回復され、SPC のアドレスに分岐して、例外処理ルーチンから復帰します。もし、メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にセットしてから、SPC と SSR を回復し、RTE 命令を発行してください。

## 5.6 各例外の説明

個別の例外処理動作について、発生要因、発生時の遷移先アドレス、遷移時のプロセッサの動作を説明します。

### 5.6.1 リセット

#### (1) パワーオンリセット

- 要因
  - $\overline{\text{RESET}}$ 端子ローレベル
  - WTCSRのWT/ITビットが1かつWTCSRのRSTSビットが0の状態、ウォッチドッグタイマがオーバフローした場合。詳細は「第10章 クロック発振回路」を参照してください。
- 遷移先アドレス： H'A000 0000
- 遷移時動作：

例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。

初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクビット (IMASK) がB'1111にセットされます。

CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

また、CPUの一部の機能については、 $\overline{\text{TRST}}$ 端子ローレベルおよび $\overline{\text{RESET}}$ 端子ローレベルにする必要があります。そのため、電源投入時には必ずパワーオンリセットと、 $\overline{\text{TRST}}$ 端子をローレベルに設定してください。

$\overline{\text{RESET}}$ 端子および $\overline{\text{MRESET}}$ 端子がいずれもローレベルの状態から、 $\overline{\text{RESET}}$ 端子を $\overline{\text{MRESET}}$ 端子より先にハイレベルに遷移させた場合、パワーオンリセット動作に続いてマニュアルリセットが発生する場合があります。 $\overline{\text{RESET}}$ 端子を $\overline{\text{MRESET}}$ 端子と同時にまたは $\overline{\text{MRESET}}$ 端子より後にハイレベルにしてください。

```
Power_on_reset()
{
    EXPEVT = H'00000000;
    VBR = H'00000000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.IMASK = B'1111;
    SR.FD=0;
    Initialize_CPU();
    Initialize_Module(PowerOn);
    PC = H'A0000000;
}
```

## (2) マニュアルリセット

- 要因
  - $\overline{\text{MRESET}}$ 端子ローレベルおよび $\overline{\text{RESET}}$ 端子ハイレベル
  - SRのBLビットが1のときにユーザブ레이크を除く一般例外が発生した場合
  - WTCSRのRSTSビットが1のとき、ウォッチドッグタイマがオーバーフローした場合。詳細は「第10章 クロック発振回路」を参照してください。
- 遷移先アドレス： H'A000 0000

## • 遷移時動作：

例外コードH'020をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクビット (IMASK) がB'1111にセットされます。

CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

```
Manual_reset()
{
    EXPEVT = H'00000020;
    VBR = H'00000000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.IMASK = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    Initialize_Module(Manual);
    PC = H'A0000000;
}
```

表 5.3 リセットの種類

種類	リセット状態への遷移条件		内部状態	
	MRESET	RESET	CPU	内蔵周辺モジュール
パワーオンリセット		ローレベル	初期化	各章のレジスタ構成を参照
マニュアルリセット	ローレベル	ハイレベル	初期化	

## (3) H-UDI リセット

- 要因：SDIR.TI3~0がB'0110（ネゲート）、またはB'0111（アサート）
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクビット（IMASK）がB'1111にセットされます。CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

```
H-UDI_reset()
{
    EXPEVT = H'00000000;
    VBR = H'00000000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.IMASK = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    Initialize_Module(PowerOn);
    PC = H'A0000000;
}
```

## (4) 命令 TLB 多重ヒット例外

- 要因：ITLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクビット（IMASK）がB'1111にセットされます。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

```

TLB_multi_hit()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    EXPEVT = H'00000140;
    VBR = H'00000000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.IMASK = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    Initialize_Module(Manual);
    PC = H'A0000000;
}

```

#### (5) データ TLB 多重ヒット例外

- 要因：UTLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。

初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクビット(IMASK)がB'1111にセットされます。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

```

TLB_multi_hit()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    EXPEVT = H'00000140;
    VBR = H'00000000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
}

```

```

        SR.IMASK = B'11111;
        SR.FD = 0;
        Initialize_CPU();
        Initialize_Module(Manual);
        PC = H'A0000000;
    }

```

## 5.6.2 一般例外

### (1) データ TLB ミス例外

- 要因：UTLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31 : 10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'040を、書き込みの場合は例外コードH'060をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```

Data_TLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'00000040 : H'00000060;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}

```

## (2) 命令 TLB ミス例外

- 要因：ITLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'040をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
ITLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000040;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}
```

## (3) 初期ページ書き込み例外

- 要因：ストアアクセスでTLBにヒットしたが、ダーティビットD=0
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'080をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Initial_write_exception()
{
```

```

TEA = EXCEPTION_ADDRESS;
PTEH.VPN = PAGE_NUMBER;
SPC = PC;
SSR = SR;
SGR = R15;
EXPEVT = H'00000080;
SR.MD = 1;
SR.RB = 1;
SR.BL = 1;
PC = VBR + H'00000100;
}

```

## (4) データ TLB 保護違反例外

- 要因：アクセスが以下に示すUTLBのプロテクション情報（PRビット）に反する。

PR	特権モード	ユーザモード
00	読み出しのみ可	アクセス不可
01	読み出し / 書き込み可	アクセス不可
10	読み出しのみ可	読み出しのみ可
11	読み出し / 書き込み可	読み出し / 書き込み可

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31 : 10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合には例外コードH'0A0を、書き込みの場合には例外コードH'0C0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

Data_TLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'000000A0 : H'000000C0;
    SR.MD = 1;
}

```



```

        SR.RB = 1;
        SR.BL = 1;
        PC = VBR + H'00000100;
    }

```

## (5) 命令 TLB 保護違反例外

- 要因：アクセスが以下に示すITLBのプロテクション情報（PRビット）に反する。

PR	特権モード	ユーザモード
0	アクセス可	アクセス不可
1	アクセス可	アクセス可

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

ITLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

## (6) データアドレスエラー

## • 要因：

- (a) ワードデータをワード境界以外 ( $2n+1$ ) からアクセス
- (b) ロングワードデータをロングワードデータ境界以外 ( $4n+1$ ,  $4n+2$ ,  $4n+3$ ) からアクセス
- (c) クワッドワードをクワッドワードデータ境界以外 ( $8n+1$ ,  $8n+2$ ,  $8n+3$ ,  $8n+4$ ,  $8n+5$ ,  $8n+6$ ,  $8n+7$ ) からアクセス
- (d) ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFへのアクセス

## • 遷移先アドレス： VBR + H'0000 0100

## • 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号(22ビット)をPTEH [ 31 : 10 ] にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'0E0を、書き込みの場合は例外コードH'100をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第3章 メモリマネジメントユニット (MMU)」を参照してください。

```

Data_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access? H'000000E0: H'00000100;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

## (7) 命令アドレスエラー

## • 要因：

- (a) ワード境界以外 ( $2n+1$ ) から命令フェッチ
- (b) ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFから命令フェッチ

## • 遷移先アドレス： VBR + H'0000 0100

## • 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号(22ビット)をPTEH [ 31 :

10] にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第3章 メモリマネジメントユニット (MMU)」を参照してください。

```

Instruction_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

#### (8) 無条件トラップ

- 要因：TRAPA命令の実行
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSR、R15をSSR、SGRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

TRAPA_exception()
{
    SPC = PC + 2;
    SSR = SR;
    SGR = R15;
    TRA = imm << 2;
    EXPEVT = H'00000160;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
}

```

```

        PC = VBR + H'00000100;
    }

```

## (9) 一般不当命令例外

## • 要因:

## (a) 遅延スロット以外にある未定義命令をデコード

遅延分岐命令: JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

未定義命令: H'FFFD

## (b) 遅延スロット以外にある特権命令をユーザモードでデコード

特権命令: LDC、STC、RTE、LDTLB、SLEEP、

ただし、LDC、STCでGBRをアクセスする命令を除く。

## • 遷移先アドレス: VBR + H'0000 0100

## • 遷移時動作:

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'180をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

```

General_illegal_instruction_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000180;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

## (10) スロット不当命令例外

## • 要因:

## (a) 遅延スロットにある未定義命令をデコード

遅延分岐命令: JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

未定義命令: H'FFFD

## (b) 遅延スロット内のPCを書き換える命令をデコード

PCを書き換える命令: JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT、BF、BT/S、BF/S、  
TRAPA、LDC Rm,SR、LDC.L @Rm+, SR

## (c) 遅延スロット内の特権命令をユーザモードでデコード

特権命令：LDC、STC、RTE、LDTLB、SLEEP、ただし、LDC、STCでGBRをアクセスする命令を除く。

(d) 遅延スロット内のPC相対MOV命令、MOVA命令をデコード

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'1A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義命令をデコードした場合には動作を保証しません。

```
Slot_illegal_instruction_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(11) 一般 FPU 抑止例外

- 要因：遅延スロット以外にあるFPU命令\*1をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'800をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
General_fpu_disable_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000800;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
```

}

【注】 \*1 FPU 命令とは命令コードの最初の4ビットがHFである命令(ただし、未定義命令H'FFFDを除く)と、FPUL、FPSCRに対するLDS、STS、LDS.L、STS.L命令です。

## (12) スロット FPU 抑止例外

- 要因：遅延スロットにあるFPU命令をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'820をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Slot_fpu_disable_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000820;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

## (13) ユーザブレイクポイントトラップ

- 要因：ユーザブレイクポイントコントローラに設定したブレイク条件が成立
- 遷移先アドレス：VBR + H'0000 0100、またはDBR
- 遷移時動作：

実行後ブレイクの場合、ブレイクポイントを設定した命令の直後の命令のPCをSPCに退避します。実行前ブレイクの場合、ブレイクポイントを設定した命令のPCをSPCに退避します。

ブレイク発生時のSR、R15をSSR、SGRに退避します。例外コードH'1E0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。ただし、PC=DBRに分岐することも可能です。

データブレイクを設定した場合のPCについてなど、詳細は「第20章 ユーザブレイクコントローラ」を参照してください。

```
User_break_exception()
```

```

{
    SPC = (pre_execution break? PC : PC + 2);
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = (BRCCR.UBDE==1 ? DBR : VBR + H'00000100);
}

```

## (14) FPU 例外

- 要因：浮動小数点演算実行による例外
- 遷移先アドレス： VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'120をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```

FPU_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000120;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

### 5.6.3 割り込み

#### (1) NMI

- 要因：NMI端子のエッジ検出
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：

本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'1C0をINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0600に分岐します。本割り込みは、SRのBLビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。SRのBLビットが1のとき本割り込みがマスクされるか、受け付けるかをソフトウェアによって設定可能です。詳細は「第19章 割り込みコントローラ (INTC)」を参照してください。

```

NMI ()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'000001C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000600;
}

```

#### (2) IRL 割り込み

- 要因：
 

SRの割り込みマスクビットがIRL (3-0) レベルより小さく、かつSRのBLビットが0 (命令の切れ目で受け付けます)。
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：
 

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。IRL (3-0) レベルに対応したコードをINTEVTにセットします。対応コードは表19.4を参照してください。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。受け付けレベルをSRの割り込みマスクビットにセットしません。SRのBLビットが1のときは、マスクされます。詳細は「第19章 割り込みコントローラ (INTC)」を参照してください。



```

IRL()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'00000200 ~ H'000003C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000600;
}

```

### (3) 周辺モジュール割り込み

- 要因：

SRの割り込みマスクビットが周辺モジュール（H-UDI、GPIO、DMAC、PCIC、TMU、RTC、SCI、SCIF、WDT、REF）割り込みレベルより小さく、かつSRのBLが0（命令の切れ目で受け付けます）。

- 遷移先アドレス：VBR + H'0000 0600

- 遷移時動作：

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。各割り込み要因に対応したコードをINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。モジュール割り込みのレベルは、割り込みコントローラ内の割り込み優先レベル設定レジスタ（IRPA～IRPC）にB'0000からB'1111までの値をセットしてください。詳細は「第19章 割り込みコントローラ（INTC）」を参照してください。

```

Module_interruption()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'00000400 ~ H'00000B80;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000600;
}

```

### 5.6.4 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので、注意が必要です。

#### (1) メモリを2回アクセスする命令

MAC 命令やメモリ メモリ間論理演算命令、TAS 命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

- (a) 1回目のデータ転送のデータアドレスエラー
- (b) 1回目のデータ転送のTLBミス
- (c) 1回目のデータ転送のTLB保護違反
- (d) 1回目のデータ転送の初期ページ書き込み例外
- (e) 2回目のデータ転送のデータアドレスエラー
- (f) 2回目のデータ転送のTLBミス
- (g) 2回目のデータ転送のTLB保護違反
- (h) 2回目のデータ転送の初期ページ書き込み例外

#### (2) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

- (a) 遅延付き分岐命令における優先レベル1、2の中断型および再実行型例外をチェックします。
- (b) 遅延スロット命令における優先レベル1、2の中断型および再実行型例外をチェックします。
- (c) 遅延付き分岐命令における優先レベル2の完了型例外をチェックします。
- (d) 遅延スロット命令における優先レベル2の完了型例外をチェックします。
- (e) 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします  
(この2つの間の優先順位はありません)。
- (f) 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします  
(この2つの間の優先順位はありません)。

遅延スロット命令が2回目のデータ転送を持つ場合、(b)において、(1)のように2回チェックを行います。

なお、受け付けた例外（最も優先度が高い例外）が遅延スロット命令の再実行型例外である場合、分岐命令のPRレジスタ書き込み動作（BSR、BSRF、JSRのPC PR動作）は抑止されません。

## 5.7 注意事項

### (1) 例外処理からの復帰

1. SRのBLビットをソフトウェアでチェックしてください。メモリにSPC、SSRを退避していた場合には、SRのBLビットを1にしてからそれらを回復してください。
2. RTE命令を発行してください。RTE命令により、SPCがPCに、SSRがSRにセットされ、SPCのアドレスに分岐して、例外処理から復帰します。

### (2) SR.BL = 1 のときに一般例外または割り込みが発生した場合

#### 1. 一般例外

ユーザブレイクを除く一般例外が発生した場合には、マニュアルリセットが発生します。このときEXPEVTは、H'0000 0020となり、SPC、SSRの各レジスタは不定値となります。

#### 2. 割り込み

通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでSRのBLビットが0にクリアされてから受け付けられます。ノンマスカブル割り込み(NMI)が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

ただし、スリープまたはスタンバイ状態では、SRのBLビットが1であっても、割り込みを受け付けます。

### (3) 例外発生時の SPC

#### 1. 再実行型の一般例外

一般例外が発生した命令のPCがSPCにセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、しないに関係なく遅延分岐命令のPCがSPCにセットされます。

#### 2. 完了型の一般例外、割り込み

例外が発生した命令の次の命令のPCがSPCにセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先のPCがSPCにセットされます。

### (4) RTE 命令の遅延スロットで例外を発生させないでください。発生した場合、動作は保証されません。

## 5.8 制限事項

(1) 例外処理ルーチンの第 1 命令における制限事項

- VBR+H'100, VBR+H'400, VBR+H'600番地にBT, BF, BT/S, BF/S, BRA, BSR命令を配置しないでください。
- 加えて、BRCRレジスタのUBDEビットを1にして、ユーザブ레이크デバッグサポート機能\*を使用する場合、DBRレジスタの指す番地にBT, BF, BT/S, BF/S, BRA, BSR命令を配置しないでください。

【注】 \* 「20.4 ユーザブ레이크デバッグサポート機能」を参照してください。

---

## 6. 浮動小数点ユニット (FPU)

---

### 6.1 概要

浮動小数点ユニット (FPU) には次のような特長があります。

- IEEE754規格に準拠
- 32本の単精度浮動小数点レジスタ (16本の倍精度レジスタとしても参照できます)
- 2つの丸めモード : 近傍および0方向への丸め
- 2つの非正規化数処理モード : 0へのフラッシュと非正規化数の扱い
- 6つの例外要因 :

FPUエラー、無効演算、0による除算、オーバフロー、アンダフロー、不正確

- 包括命令 :

単精度、倍精度、グラフィックサポート、システム制御

SR の FD ビットを 1 にセットすると、FPU は使用できなくなり、FPU 命令を実行しようとする FPU 抑止例外が発生します。

## 6.2 データフォーマット

### 6.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号 (s)
- 指数 (e)
- 小数部 (f)

FPU は図 6.1 と図 6.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

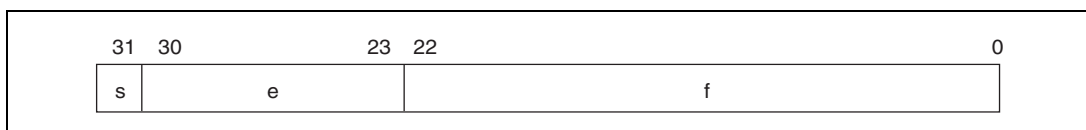


図 6.1 単精度浮動小数点フォーマット

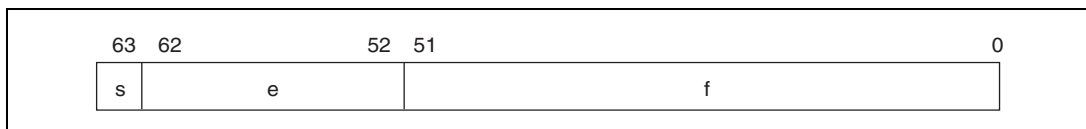


図 6.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{bias}$$

バイアスのない指数  $E$  の範囲は、 $E_{\min} - 1$  から  $E_{\max} + 1$  までです。 $E_{\min} - 1$  と  $E_{\max} + 1$  の2つの値は次のように区別します。 $E_{\min} - 1$  は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max} + 1$  は正または負の無限大または非数 (NaN) を表します。表 6.1 に  $E_{\min}$  と  $E_{\max}$  の値を示します。

表 6.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット	1 ビット	1 ビット
指数フィールド	8 ビット	11 ビット
小数フィールド	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
$E_{\max}$	+127	+1023
$E_{\min}$	-126	-1022

浮動小数点の数値  $v$  は次のようにして決められます。

$E = E_{\max} + 1$  かつ  $f = 0$  の場合、 $v$  は符号  $s$  に関係なく非数 (NaN) です。

$E = E_{\max} + 1$  かつ  $f \neq 0$  の場合、 $v$  は  $(-1)^s$  (無限) 「正または負の無限」です。

$E_{\min} \leq E \leq E_{\max}$  の場合、 $v$  は  $(-1)^s 2^E (1.f)$  「正規化数」です。

$E = E_{\min} - 1$  かつ  $f \neq 0$  の場合、 $v$  は  $(-1)^s 2^{E_{\min}} (0.f)$  「非正規化数」です。

$E = E_{\min} - 1$  かつ  $f = 0$  の場合、 $v$  は  $(-1)^s 0$  「正または負の 0」です。

表 6.2 に 16 進数による各数の範囲を示します。

表 6.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFFFFFF ~ H'7FC00000	H'7FFFFFFF FFFFFFFF ~ H'7F800000 00000000
クワイアット非数	H'7FBFFFFFF ~ H'7F800001	H'7FF7FFFF FFFFFFFF ~ H'7FF00000 00000001
正の無限大	H'7F800000	H'7FF00000 00000000
正の正規化数	H'7F7FFFFFF ~ H'00800000	H'7FEFFFF FFFFFFFF ~ H'00100000 00000000
正の非正規化数	H'007FFFFFF ~ H'00000001	H'000FFFF FFFFFFFF ~ H'00000000 00000001
正のゼロ	H'00000000	H'00000000 00000000
負のゼロ	H'80000000	H'80000000 00000000
負の非正規化数	H'80000001 ~ H'807FFFFFF	H'80000000 00000001 ~ H'800FFFFFF FFFFFFFF
負の正規化数	H'80800000 ~ H'FF7FFFFFF	H'80100000 00000000 ~ H'FFEFFFF FFFFFFFF
負の無限大	H'FF800000	H'FFF00000 00000000
クワイアット非数	H'FF800001 ~ H'FFBFFFFFF	H'FFF00000 00000001 ~ H'FFF7FFFF FFFFFFFF
シグナリング非数	H'FFC00000 ~ H'FFFFFFF	H'FFF80000 00000000 ~ H'FFFFFFF FFFFFFFF

## 6.2.2 非数 (NaN)

図 6.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット : don't care
- 指数フィールド: すべてのビットが1
- 小数フィールド: 少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイエット非数 (qNaN) です。

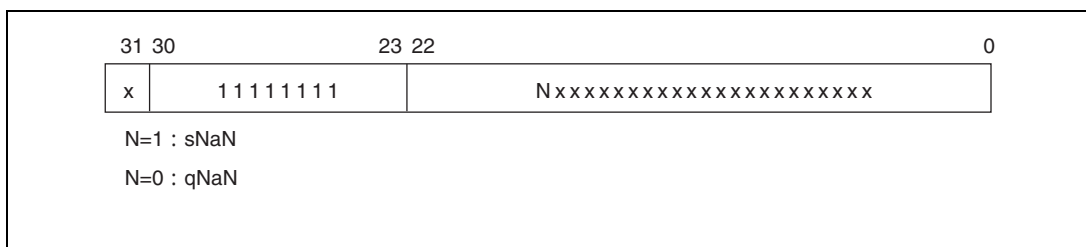


図 6.3 単精度の NaN ビットパターン

sNaN は、コピー、FABS または FNEG 以外の浮動小数点値を生成する演算で入力します。

- FPSCRレジスタのEN.Vビットが0の場合、演算結果（出力）はqNaNです。
- FPSCRレジスタのEN.Vビットが1の場合、無効演算例外が発生します。この場合、演算のデスティネーションレジスタの内容は変更しません。

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR レジスタの EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として FPU が生成する qNaN の値は、常に次のような値になります。

- 単精度qNaN : H'7FBFFFFF
- 倍精度qNaN : H'7FF7FFFF FFFFFFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細についてはそれぞれの命令の説明を参照してください。

## 6.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは 0 として、小数フィールドは 0 以外の値として表現します。

FPU のステータスレジスタ FPSCR の DN ビットが 1 の場合、非正規化数（ソースオペランドまたは演算結果）は、（コピー、FNEG、FABS 以外の演算の）値を生成する浮動小数点演算で常に 0 にフラッシュされます。

FPSCR の DN ビットが 0 の場合、非正規化数（ソースオペランドまたは演算結果）はそのまま処理されます。非正規化数を入力する場合の浮動小数点演算の詳細については、それぞれの命令の説明を参照してください。



## 6.3 レジスタ

### 6.3.1 浮動小数点レジスタ

図 6.4 に浮動小数点レジスタの構成を示します。FR0 ~ FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0 ~ XF15、XD0/2/4/6/8/10/12/14、または XMTRX を指定することによって参照される 32 本の 32 ビット浮動小数点レジスタがあります。

1. 浮動小数点レジスタ : FPRi\_BANKj (32 レジスタ)

FPR0\_BANK0 ~ FPR15\_BANK0

FPR0\_BANK1 ~ FPR15\_BANK1

2. 単精度浮動小数点レジスタ : FRi (16 レジスタ)

FPSCR.FR = 0 のとき FR0 ~ FR15 は FPR0\_BANK0 ~ FPR15\_BANK0 を示します。

FPSCR.FR = 1 のとき FR0 ~ FR15 は FPR0\_BANK1 ~ FPR15\_BANK1 を示します。

3. 倍精度浮動小数点レジスタ : DRi (8 レジスタ)

DR レジスタは 2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、

DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

4. 単精度浮動小数点ベクトルレジスタ、FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3}、FV4 = {FR4, FR5, FR6, FR7}、

FV8 = {FR8, FR9, FR10, FR11}、FV12 = {FR12, FR13, FR14, FR15}

5. 単精度浮動小数点拡張レジスタ : XFi (16 レジスタ)

FPSCR.FR = 0 のとき XF0 ~ XF15 は FPR0\_BANK1 ~ FPR15\_BANK1 を示します。

FPSCR.FR = 1 のとき XF0 ~ XF15 は FPR0\_BANK0 ~ FPR15\_BANK0 を示します。

6. 倍精度浮動小数点拡張レジスタ : XD<sub>i</sub> (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}、XD2 = {XF2, XF3}、XD4 = {XF4, XF5}、XD6 = {XF6, XF7}、

XD8 = {XF8, XF9}、XD10 = {XF10, XF11}、XD12 = {XF12, XF13}、XD14 = {XF14, XF15}

7. 単精度浮動小数点拡張レジスタ行列 : XMTRX

XMTRX は 16 の XF レジスタから構成されます。

$$\text{XMTRX} = \begin{pmatrix} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{pmatrix}$$

FPSCR.FR=0			FPSCR.FR=1			
FV0	DR0	FR0	FPR0 BANK0	XF0	XD0	XMTRX
		FR1	FPR1 BANK0	XF1		
	DR2	FR2	FPR2 BANK0	XF2	XD2	
		FR3	FPR3 BANK0	XF3		
FV4	DR4	FR4	FPR4 BANK0	XF4	XD4	
		FR5	FPR5 BANK0	XF5		
	DR6	FR6	FPR6 BANK0	XF6	XD6	
		FR7	FPR7 BANK0	XF7		
FV8	DR8	FR8	FPR8 BANK0	XF8	XD8	
		FR9	FPR9 BANK0	XF9		
	DR10	FR10	FPR10 BANK0	XF10	XD10	
		FR11	FPR11 BANK0	XF11		
FV12	DR12	FR12	FPR12 BANK0	XF12	XD12	
		FR13	FPR13 BANK0	XF13		
	DR14	FR14	FPR14 BANK0	XF14	XD14	
		FR15	FPR15 BANK0	XF15		
XMTRX	XD0	XF0	FPR0 BANK1	FR0	DR0	FV0
		XF1	FPR1 BANK1	FR1		
	XD2	XF2	FPR2 BANK1	FR2	DR2	
		XF3	FPR3 BANK1	FR3		
XD4	XF4	FPR4 BANK1	FR4	DR4	FV4	
		XF5	FPR5 BANK1	FR5		
XD6	XF6	FPR6 BANK1	FR6	DR6		
		XF7	FPR7 BANK1	FR7		
XD8	XF8	FPR8 BANK1	FR8	DR8	FV8	
		XF9	FPR9 BANK1	FR9		
XD10	XF10	FPR10 BANK1	FR10	DR10		
		XF11	FPR11 BANK1	FR11		
XD12	XF12	FPR12 BANK1	FR12	DR12	FV12	
		XF13	FPR13 BANK1	FR13		
XD14	XF14	FPR14 BANK1	FR14	DR14		
		XF15	FPR15 BANK1	FR15		

図 6.4 浮動小数点レジスタ

### 6.3.2 浮動小数点ステータス/コントロールレジスタ (FPSCR)

31	22	21	20	19	18	17	12	11	7	6	2	1	0
				FR	SZ	PR	DN	Cause	Enable	Flag	RM		

【注】：予約ビット。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

浮動小数点ユニットステータス/コントロールレジスタ、FPSCR (32 ビット、初期値 = H'00040001)

- FR：浮動小数点レジスタバンク
  - FR=0：
    - FPR0\_BANK0 ~ FPR15\_BANK0はFR0 ~ FR15に、FPR0\_BANK1 ~ FPR15\_BANK1はXF0 ~ XF15に割り当てられます。
  - FR=1：
    - FPR0\_BANK0 ~ FPR15\_BANK0はXF0 ~ XF15に、FPR0\_BANK1 ~ FPR15\_BANK1はFR0 ~ FR15に割り当てられます。
- SZ：転送サイズモード
  - SZ=0：FMOV命令のデータサイズは32ビットです。
  - SZ=1：FMOV命令のデータサイズは32ビットペア (64ビット) です。
- PR：精度モード
  - PR=0：
    - 浮動小数点命令を単精度演算として実行します。
  - PR=1：
    - 浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。

SZ と PR は同時に 1 にセットしないでください。この設定は予約されています。

[SZ, PR] = 11：予約 (FPU 演算命令は未定義です)

- DN：非正規化モード
  - DN=0：非正規化数を非正規化数として扱います。
  - DN=1：非正規化数を0として扱います。

- Cause: FPU例外要因フィールド
- Enable: FPU例外イネーブルフィールド
- Flag: FPU例外フラグフィールド

		FPUエラー (E)	無効演算(V)	0除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネー ブルフィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

FPU例外が発生すると、FPU例外要因/フラグフィールドに該当するビットは1にセットされます。FPU演算命令が実行されるたびに、FPU例外要因フィールドはまず0にクリアされます。FPU例外フラグフィールドは、ソフトウェアによって0にクリアされるまで1の値を保持します。

- RM: 丸めモード
  - RM=00: 近傍への丸め
  - RM=01: 0方向への丸め
  - RM=10: 予約
  - RM=11: 予約
- ビット22~ビット31: 予約  
読み出しは常に0です。書き込む値も常に0にしてください。

### 6.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL レジスタを介して行われます。32 ビットの FPUL レジスタはシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。例えば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1      (LDS 命令)      FPUL      (単精度 FLOAT 命令)      FR1

## 6.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC、FTRV、FIPR のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

RM=00 : 近傍への丸め

RM=01 : 0 方向への丸め

### (1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が  $2^{E_{max}}(2^{-2^p})$  以上であれば丸め前と同じ符号の無限となります。ここで  $E_{max}$ 、 $p$  は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

### (2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも大きい場合、表現可能な最大絶対値の数になります。

## 6.5 浮動小数点例外

FPU 関連の例外は次のとおりです。

### (1) 一般 FPU 抑止例外 / スロット FPU 抑止例外

SR.FD=1 のときに FPU 命令を実行すると発生します。

### (2) FPU 例外

例外要因は次のとおりです。

- FPUエラー (E) : FPSCR.DN=0かつ非正規化数の入力時
- 無効演算 (V) : NaN入力のような無効な演算の場合
- 0による除算(Z) : 除数0による除算
- オーバフロー (O) : 演算結果がオーバフローする場合
- アンダフロー (U) : 演算結果がアンダフローする場合
- 不正確例外(I) : オーバフロー、アンダフロー、丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ、FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

### (3) FPU 例外処理

FPU 例外は次の場合に発生します。

- FPUエラー (E) : FPSCR.DN=0かつ非正規化数の入力時
- 無効演算(V) : FPSCR.EN.V=1かつ (命令=FTRVまたは無効演算) の場合
- 0による除算(Z) : FPSCR.EN.Z=1かつ除数0による除算
- オーバフロー(O) : FPSCR.EN.O=1かつ演算結果がオーバフローする可能性のある命令
- アンダフロー(U) : FPSCR.EN.U=1かつ演算結果がアンダフローする可能性のある命令
- 不正確例外 (I) : FPSCR.EN.I=1かつ演算結果が不正確になる可能性のある命令

各可能性については「SH-4 ソフトウェアマニュアル 第9章 各命令の説明」を参照してください(命令ごとに異なります)。FPU 演算に起因するすべての例外事象は、同一の例外事象として割り付けられています。例外の意味内容は、システムレジスタ FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。FPU 例外イネーブルフィールドの O、U、I および V (FTRV の場合のみ) ビットのうち一つまたは複数のビットがセットされている場合、FPSCR の FPU 例外要因フィールド中のビットが一つもセットされていなければ、実際の FPU 例外は発生しないことを示しています。また、いかなる FPU 例外処理動作によっても、デスティネーションレジスタは変更されません。

上記以外、すべての処理では V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算(V) : 結果としてqNaNを生成します。
- 0による除算(Z) : 丸め前と同じ符号付きの無限大を生成します。
- オーバフロー(O) :
  - 0方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。
  - 近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー(U) :
  - FPSCR.DN=0のとき、丸め前と同じ符号付き非正規化数、または丸め前と同じ符号付き0を生成します。
  - FPSCR.DN=1のとき、丸め前と同じ符号付き0を生成します。
- 不正確例外(I) : 不正確な結果を生成します。

## 6.6 グラフィックサポート機能

FPU は 2 種類のグラフィック機能をサポートしています。1 つはジオメトリック演算用の新規命令であり、もう一つは高速データ転送を可能にするペア単精度転送命令です。

### 6.6.1 ジオメトリック演算命令

ジオメトリック演算命令は近似値演算です。最小のハードウェアで高速演算を可能とするため、FPU は 4 つの乗算の部分的演算結果のうち相対的に小さな値を無視します。したがって、演算結果には以下に示す誤差が生じます。

$$\begin{aligned} \text{最大誤差} = & \text{MAX} ( \text{各乗算結果} \times 2^{-\text{MIN} ( \text{乗数の有効数字桁数} - 1, \text{被乗数の有効数字桁数} - 1 ) } ) + \\ & \text{MAX} ( \text{結果値} \times 2^{-23}, 2^{-149} ) \end{aligned}$$

ただし、有効数字桁数は正規化数が 24、非正規化数が 23 (小数部のリーディングゼロの桁数)

将来の SuperH™ ファミリに関して演算誤差は保証しますが、同一の演算結果は保証しません。

#### (1) FIPR FVm, FVn(m, n: 0, 4, 8, 12)

この命令の用途の例を以下に示します。

- 内積 (m≠n) :  
一般的に、この演算はポリゴン表面の表面 / 裏面を判定するために使用されます。
- 各要素の平方和 (m=n) :  
一般的に、この演算はベクトルの長さを得るために使用されます。

高速演算を可能とするため近似値演算を行うことから、FIPR 命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (1) ビットが常に 1 にセットされます。したがって、FPU 例外イネーブルフィールドの対応するビットがセットされていれば、FPU 例外処理が実行されます。

#### (2) FTRV XMTRX, FVn (n: 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 行列 (4×4) ・ベクトル (4) :  
一般的に、この演算は、視点の変更、角度の変更、または移動といったベクトル変換 (4次元) に使用されます。基本的に、角度 + 平行移動のためのアフィン変換処理は、4×4行列を必要とします。したがって、FPU は4次元演算をサポートしています。
- 行列 (4×4) × 行列 (4×4) :  
この演算を行うためには、FTRV命令を4回実行する必要があります。

高速演算を可能とするため近似値演算を行うことから、FTRV 命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (1) ビットが常に 1 にセットされます。したがって、FPU 例外イネーブルフィールドの 1 ビットがセットされていれば、FPU 例外処理が実行されます。また、FTRV 命令の実行の際、レジスタ内のすべてのデータタイプを実行前にチェックすることができません。FPU 例外イネーブルフィールドの V ビットがセットされていると、FPU 例外処理が実行されます。



### (3) FRCHG

この命令はバンクレジスタを変更します。例えば、FTRV 命令を使用する場合、背後にあるバンク上に行列の要素を設定する必要があります。しかし、変換行列の要素自体を作成するには、前面にあるバンクのレジスタを使用の方が簡単です。FPSCR に対する LDS 命令を使用すると、この命令は FPU の状態を維持するために、4~5 サイクルを費やします。FRCHG 命令では FPSCR.FR ビットの変更を 1 サイクルで行うことができます。

## 6.6.2 ペア単精度データ転送

強力なジオメトリック演算命令に加えて、FPU は高速データ転送命令をサポートしています。

FPSCR.SZ=1 のとき、FPU はペア単精度データ転送命令によるデータ転送を行えます。

- FMOV DRm/XDm, DRn/XDRn ( m, n: 0, 2, 4, 6, 8, 10, 12, 14 )
- FMOV DRm/XDm, @Rn ( m: 0, 2, 4, 6, 8, 10, 12, 14, n:0~15 )

これらの命令により、2つの単精度 (2×32 ビット) データを転送することができます。つまり、これらの命令の転送性能が 2 倍となります。

- FSCHG

この命令は FPSCR の SZ ビットの値を変更します。ペア単精度データ転送を行うか行わないかを高速に切り替えることができます。

#### 【プログラミング上の注意】

FPSCR.SZ=1 かつビッグエンディアン方式の場合、FMOV は倍精度浮動小数点ロードまたはストアとして使用できません。リトルエンディアン方式の場合、倍精度浮動小数点データをロードまたはストアするためには、FPSCR.SZ=0 でデータサイズ 32 ビットを 2 度実行する必要があります。

## 6.7 使用上の注意

### 6.7.1 丸めモードとアンダフローフラグ

丸めモードが近傍への丸めを使用した場合、IEEE754 規格ではアンダフローと定義されていますが、アンダフローフラグが立たない場合があります。

丸めモードが近傍への丸めであり、かつ無限精度の演算結果  $x$  が下記 (i) または (ii) のとき (単精度)、(iii) または (iv) のとき (倍精度) では、IEEE754 規格では「丸めの後では正規化数となるが、アンダフローとなる」ケースがあります。

FPU は上記、「丸めの後では正規化数となるが、アンダフローとなる」ケースでアンダフローフラグを 1 にセットしません。なお、本ケースでも演算結果、つまり  $FR_n$  に書かれる値は正しいです。また、FPU 例外を発生させる場合、本ケースではアンダフローフラグを 1 にセットしませんが、不正確フラグは 1 にセットするので、イネーブルフィールドを 1 に設定しておくことで、FPU 例外は発生します。

- (i)  $H'007FFFFFF < x < H'00800000$
- (ii)  $H'807FFFFFF > x > H'80800000$
- (iii)  $H'000FFFFFF FFFFFFFF < x < H'00100000 00000000$
- (iv)  $H'800FFFFFF FFFFFFFF > x > H'80100000 00000000$

[ 発生例 ]

- 単精度の場合

FPSCR.RM=00 (近傍への丸め)、FPSCR.PR=0 (単精度) で、  
FMUL 命令 ( $H'00FFF000 * H'3F000800$ ) を実行。

- (a) IEEE754 規格に準拠している場合

演算結果:  $H'00800000$   
FPSCR:  $H'0004300C$

- (b) FPU の場合

演算結果:  $H'00800000$   
FPSCR:  $H'00041004$

- 倍精度の場合

FPSCR.RM=00 (近傍への丸め)、FPSCR.PR=1 (倍精度) で、  
FDIV 命令 ( $H'001FFFFFF FFFFFFFF / H'40000000 00000000$ ) を実行。

- (a) IEEE754 規格に準拠している場合

演算結果:  $H'00100000 00000000$   
FPSCR:  $H'000C300C$

- (b) FPU の場合

演算結果:  $H'00100000 00000000$   
FPSCR:  $H'000C1004$

## [ 対応策 ]

1. FPSCR.RM=01すなわち、近傍への丸めモードではなく、0方向への丸めモードを用いることで対応できます。
2. FPSCR.RM=00すなわち、近傍への丸めモードを用いる場合、アンダフローが発生したかどうかを確認するには、イネーブルフィールドに1を立てて不正確例外を発生させ、例外処理ルーチンにてアンダフローか否かを判定します。

### 6.7.2 FIPR/FTRV 命令によるオーバフローフラグについて

FIPR/FTRV 命令にて最大誤差が正規化数で表現できる最大数 (H'7F7FFFFFF) より大きいとき、演算結果が正もしくは負の零 (H'00000000 もしくは H'80000000) にもかかわらず、オーバフローフラグが立つ可能性があります。

## [ 発生例 ]

下記レジスタ値を入力すると FIPR FV4,FV0 命令実行後の演算結果 (FR7) が H'00000000 (正の零) にかかわらず、オーバフローフラグが立つ場合があります。

```
FPSCR= H'00040001
```

```
FR0 = H'FF7EF631, FR1 = H'80000000, FR2 = H'8087F451, FR3 = H'7F7EF631
```

```
FR4 = H'7F7EF631, FR5 = H'0087F451, FR6 = H'7F7EF631, FR7 = H'7F7EF631
```

## [ 対応策 ]

FIPR および FTRV 命令を使用せず、FADD、FMUL、FMAC 命令を用いて演算する。

### 6.7.3 FIPR/FTRV 命令による演算結果の符号について

FIPR 命令/FTRV 命令で演算に使用されるデータの2つ以上が無限大であり、乗算した結果の中にある無限大となる項がすべて同符号である場合、演算結果の符号を誤る可能性があります。

## [ 対応策 ]

1. 無限大を扱わない。ここで下記 (a) ~ (c) 条件がすべて成り立つとき、無限大が扱われることはありません。
  - (a) 丸めモードとして0方向への丸め (FPSCR.RM=01) を使用する。
  - (b) 0による除算を行わない。
  - (c) FR0-FR15, XF0-XF15に正または負の無限大を転送しない。
2. FIPRおよびFTRV命令を使用せず、FADD、FMUL、FMAC命令にて演算する。

### 6.7.4 倍精度の FADD 命令と倍精度の FSUB 命令に関する注意事項

#### [ 現象 ]

倍精度の FADD 命令もしくは倍精度の FSUB 命令の入力データが以下の条件をすべて満たす場合、演算結果が不正確であるにもかかわらず不正確ビット (FPSCR.Flag.I, FPSCR.Cause.I) をセットしない場合があります。

条件 1: 演算命令が倍精度の FADD 命令もしくは倍精度の FSUB 命令

条件 2: DRn と DRm の指数差が 43 以上かつ 51 未満

条件 3: DRn と DRm の絶対値の小さい方の仮数部のビット 31 からビット 24 の少なくとも 1 ビットは 1

条件 4: DRn と DRm の絶対値の小さい方の仮数部のビット 23 からビット 0 がすべて 0

条件 5: DRn と DRm の絶対値の小さい方の仮数部のビット 40 からビット 32 がすべて 0

さらに本演算の結果、丸めを間違える場合があります。具体的には、丸めによって丸め前の値より小さい側の最も近い表現可能な数を選択すべきときに、丸め前の値より大きい側の最も近い表現可能な数を選択します。もしくは、丸めによって丸め前の値より大きい側の最も近い表現可能な数を選択すべきときに、丸め前の値より小さい側の最も近い表現可能な数を選択します。

#### [ 発生例 ]

倍精度の FSUB 命令 (FSUB DR0, DR2) において、

(入力データ) DR0 = H'C1F00000 80000000、DR2 = H'C4B250D2 0CC1FB74、FPSCR = H'000C0001

の場合、

(正しい演算結果) DR2 = H'C4B250D2 0CC1F973

となり FPSCR.Flag.I と FPSCR.Cause.I に 1 がセットされなければいけません、実際は

(FPU の演算結果) DR2 = H'C4B250D2 0CC1F974

となり、FPSCR.Flag.I と FPSCR.Cause.I に 1 はセットされません。

#### [ 影響度 ]

本演算結果の数値的大きさは、以上の現象の説明に加え、丸める前の仮数に、仮数の LSB の桁の値の (1/256) の微小な演算誤差を発生し、その後丸める機構で説明できる範囲内に限られます。より厳密には次のようになります。

無限精度の演算結果を	a
値 a より小さい側の最も近い表現可能な数を	b
値 a より大きい側の最も近い表現可能な数を	c
値 a に対する、正しく丸めた場合の丸め後の演算結果を	d
値 a に対する、FPU の演算結果を	e

とするとき、

- 近傍への丸めモードのとき

正しく丸めた場合の丸め誤差の大きさは

$$0 \leq |d - a| \leq (1/2) \times (c - b),$$

ですが、FPUの場合

$$0 \leq |e - a| < (129/256) \times (c - b),$$

となります( $(c - b)$  を仮数のLSBとよぶとき、誤差区間は正しい丸めの仕様に対して仮数のLSBの  $(1/256)$  分大きくなります)。

- ゼロへの丸めモードのとき

正しく丸めた場合の丸め誤差は

$$(-1) \times (c - b) < |d| - |a| \leq 0$$

ですが、FPUの場合

$$(-1) \times (c - b) < |e| - |a| < (1/256) \times (c - b)$$

となります( $(c - b)$  を仮数のLSBとよぶとき、誤差区間は正しい丸めの仕様に対して仮数のLSBの  $(1/256)$  分大きくなります)。



---

## 7. 命令セット

---

### 7.1 実行環境

#### (1) PC

PC はその命令自身の命令アドレスを示します。

データサイズとデータタイプ：SH-4 の命令セットは固定長 16 ビット命令で実現されます。SH-4 はバイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット)、クワッドワード (64 ビット) のデータサイズでメモリにアクセスします。単精度浮動小数点データ (32 ビット) は、ロングワードまたはクワッドワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点データ (64 ビット) は、ロングワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点演算を指定すると (FPSCR.PR=1)、クワッドワードアクセスの演算結果は未定義です。SH-4 がバイトサイズおよびワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

#### (2) ロード/ストアアーキテクチャ

SH-4 は基本的演算をレジスタで実行するロード/ストアアーキテクチャを特長としています。メモリで直接実行する論理 AND 演算のようなビット操作演算を除き、メモリアccessを必要とする演算はレジスタにロードした後、レジスタで実行されます。

#### (3) 遅延分岐

SH-4 の分岐命令および RTE は、BF、BT の 2 つの分岐命令を除き遅延分岐です。遅延分岐上で分岐の次の命令は分岐先命令の前に実行されます。遅延分岐後のこの実行スロットは「遅延スロット」と呼ばれます。例えば、BRA 実行シーケンスは次のとおりです。

静的シーケンス	動的シーケンス	
BRA TARGET	BRA TARGET	
ADD R1, R0 next_2	ADD R1, R0 target_instr	遅延スロットの ADD は TARGET に分岐する前に実行されず

#### (4) 遅延スロット

命令によっては遅延スロットで実行するとスロット不当命令例外を発生します。「第 5 章 例外処理」を参照してください。分岐が成立しなかった BF/S、BT/S の次の命令も遅延スロット命令です。

## (5) T ビット

ステータスレジスタ (SR) の T ビットは、比較演算の結果を示すために使用し、条件付き分岐命令で参照します。例えば、以下に条件付き分岐命令例を示します。

```
ADD    #1, R0          ; T ビットは ADD 演算で変更されない。  
CMP/EQ R1, R0        ; R0=R1 のとき T ビットは 1 にセットされる。  
BT     TARGET        ; T ビット=1(R0=R1) のとき TARGET に分岐する。
```

RTE の遅延スロットで、ステータスレジスタ (SR) ビットは次のように参照されます。命令アクセスは変更の前に MD ビットを使用し、データアクセスは変更後の MD ビットにアクセスします。変更後の他の S、T、M、Q、FD、BL、RB ビットを遅延スロットの命令実行のために使用します。STC、STC.L SR 命令は、変更後すべての SR ビットにアクセスします。

## (6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また 16 ビット、32 ビットの定数値はメモリで文字どおりの定数値として定義することができ、PC 相対ロード命令で参照できます。

```
MOV.W   @(disp, PC), Rn  
MOV.L   @(disp, PC), Rn
```

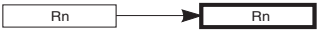
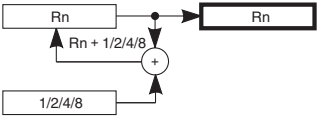
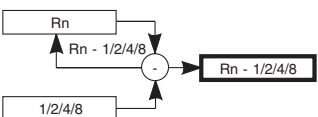
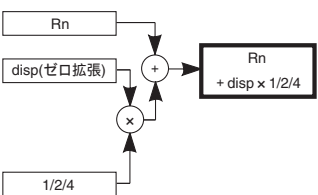
浮動小数点に対する PC 相対ロード命令はありません。ただし、単精度浮動小数点レジスタに対して FLDI0、FLDI1 命令を使用することによって、0.0 または 1.0 にセットすることができます。

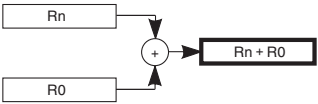
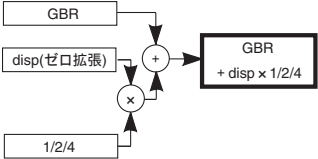
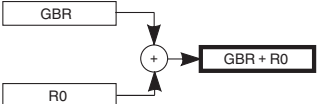
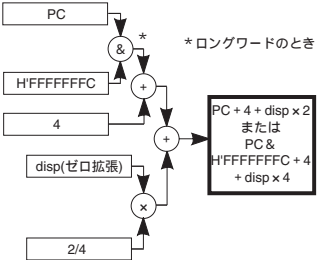


## 7.2 アドレッシングモード

表 7.1 にアドレッシングモードと実効アドレスの計算を示します。仮想アドレス空間のある位置をアクセスすると (MMUCR.AT=1)、実効アドレスは物理アドレスに変換されます。複数の仮想アドレス空間システムを選択した場合 (MMUCR.SV=0)、PTEH の最下位ビットもアクセスの ASID として参照されます。「第 3 章 メモリマネジメントユニット (MMU)」を参照してください。

表 7.1 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn EA (EA : 実効アドレス)
ポストインクリメントレジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	Rn EA 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn クワッドワード : Rn + 8 Rn
プリデクリメントレジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn クワッドワード : Rn - 8 Rn Rn EA (計算後の Rn で命令実行)
ディスプレイースメント付きレジスタ間接	@(disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp EA ワード : Rn + disp × 2 EA ロングワード : Rn + disp × 4 EA

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
インデックス付きレジスタ間接	@ (R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$ EA
ディスプレイースメント付き GBR 間接	@ (disp:8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ EA ワード : $GBR + disp \times 2$ EA ロングワード : $GBR + disp \times 4$ EA
インデックス付き GBR 間接	@ (R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$ EA
ディスプレイースメント付き PC 相対	@ (disp:8, PC)	<p>実効アドレスは PC + 4 に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	ワード : $PC + 4 + disp \times 2$ EA ロングワード : $PC \& H'FFFFFFC + 4 + disp \times 4$ EA

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスは PC + 4 に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
	disp:12	<p>実効アドレスは PC + 4 に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
	Rn	<p>実効アドレスは PC + 4 に Rn を加算した内容です。</p>	PC + 4 + Rn Branch-Target
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	

【注】 下記のディスプレイメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を書いています。これは、LSI の動作を明確にするためで、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

- @ (disp:4, Rn) ;ディスプレイメント付きレジスタ間接
- @ (disp:8, GBR) ;ディスプレイメント付き GBR 間接
- @ (disp:8, PC) ;ディスプレイメント付き PC 相対
- disp : 8, disp :12 ;PC 相対

## 7.3 命令セット

SH 命令の次のリストに使用する表記を表 7.2 に示します。

表 7.2 命令リストの表記

項目	フォーマット	説明
命令ニーモニック	OP.Sz SRC,DEST	OP : オペレーションコード Sz : サイズ SRC : ソースオペランド DEST : ソースおよび/またはデスティネーションオペランド
演算の要約		、 : 転送方向 (xx) : メモリオペランド M/Q/T : SR のフラグビット & : 各ビットの論理積   : 各ビットの論理和 ^ : 各ビット排他的論理和 ~ : 各ビットの論理否定 <<n, >>n : n ビットシフト
命令コード	MSB    LSB	m m m m : レジスタ番号 (Rm, FRm) n n n n : レジスタ番号 (Rn, FRn) 0000 : R0, FR0 0001 : R1, FR1 : 1111 : R15, FR15 m m m : レジスタ番号 (DRm, XDm, Rm_BANK) n n n : レジスタ番号 (DRm, XDm, Rn_BANK) 000 : DR0, XD0, R0_BANK 001 : DR2, XD2, R1_BANK : 111 : DR14, XD14, R7_BANK m m : レジスタ番号 (FVm) n n : レジスタ番号 (FVn) 00 : FV0 01 : FV4 10 : FV8 11 : FV12 i i i i : イミディエイト値 d d d d : ディスプレースメント
特権モード		「特権」と記載してある場合、特権モードでのみ実行可能です。
T ビット	命令実行後の T ビットの値	- : 変更なし

【注】スケーリング (x1、x2、x4、x8) は命令オペランドのサイズに応じて実行されます。

表 7.3 固定小数点転送命令

命令	動作	命令コード	特権	Tビット
MOV	#imm,Rn	imm 符号拡張 Rn		
MOV.W	@(disp,PC),Rn	(disp × 2+PC+4) 符号拡張 Rn		
MOV.L	@(disp,PC),Rn	(disp × 4+PC&H'FFFFFFC+4) Rn		
MOV	Rm,Rn	Rm Rn		
MOV.B	Rm,@Rn	Rm (Rn)		
MOV.W	Rm,@Rn	Rm (Rn)		
MOV.L	Rm,@Rn	Rm (Rn)		
MOV.B	@Rm,Rn	(Rm) 符号拡張 Rn		
MOV.W	@Rm,Rn	(Rm) 符号拡張 Rn		
MOV.L	@Rm,Rn	(Rm) Rn		
MOV.B	Rm,@-Rn	Rn-1 Rn, Rm (Rn)		
MOV.W	Rm,@-Rn	Rn-2 Rn, Rm (Rn)		
MOV.L	Rm,@-Rn	Rn-4 Rn, Rm (Rn)		
MOV.B	@Rm+,Rn	(Rm) 符号拡張 Rn, Rm+1 Rm		
MOV.W	@Rm+,Rn	(Rm) 符号拡張 Rn, Rm+2 Rm		
MOV.L	@Rm+,Rn	(Rm) Rn, Rm+4 Rm		
MOV.B	R0,@(disp,Rn)	R0 (disp+Rn)		
MOV.W	R0,@(disp,Rn)	R0 (disp × 2+Rn)		
MOV.L	Rm,@(disp,Rn)	Rm (disp × 4+Rn)		
MOV.B	@(disp,Rm),R0	(disp+Rm) 符号拡張 R0		
MOV.W	@(disp,Rm),R0	(disp × 2+Rm) 符号拡張 R0		
MOV.L	@(disp,Rm),Rn	(disp × 4+Rm) Rn		
MOV.B	Rm,@(R0,Rn)	Rm (R0+Rn)		
MOV.W	Rm,@(R0,Rn)	Rm (R0+Rn)		
MOV.L	Rm,@(R0,Rn)	Rm (R0+Rn)		
MOV.B	@(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn		
MOV.W	@(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn		
MOV.L	@(R0,Rm),Rn	(R0+Rm) Rn		
MOV.B	R0,@(disp,GBR)	R0 (disp+GBR)		
MOV.W	R0,@(disp,GBR)	R0 (disp × 2+GBR)		
MOV.L	R0,@(disp,GBR)	R0 (disp × 4+GBR)		
MOV.B	@(disp,GBR),R0	(disp+GBR) 符号拡張 R0		
MOV.W	@(disp,GBR),R0	(disp × 2+GBR) 符号拡張 R0		
MOV.L	@(disp,GBR),R0	(disp × 4+GBR) R0		
MOVA	@(disp,PC),R0	disp × 4+PC&H'FFFFFFC+4 R0		
MOVT	Rn	T Rn		

命令	動作	命令コード	特権	Tビット
SWAP.B Rm,Rn	Rm 下位2バイトの上下バイト交換 Rn	0110nnnnmmmm1000		
SWAP.W Rm,Rn	Rm 上下ワード交換 Rn	0110nnnnmmmm1001		
XTRCT Rm,Rn	Rm:Rn の中央 32 ビット Rn	0010nnnnmmmm1101		

表 7.4 算術演算命令

命令	動作	命令コード	特権	Tビット
ADD Rm,Rn	Rn+Rm Rn	0011nnnnmmmm1100		
ADD #imm,Rn	Rn+imm Rn	0111nnnniiiiiii		
ADDC Rm,Rn	Rn+Rm+T Rn, キャリ T	0011nnnnmmmm1110		キャリ
ADDV Rm,Rn	Rn+Rm Rn, オーバフロー T	0011nnnnmmmm1111		オーバ フロー
CMP/EQ #imm,R0	R0=imm のとき 1 T それ以外のとき 0 T	10001000iiiiiii		比較 結果
CMP/EQ Rm,Rn	Rn=Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0000		比較 結果
CMP/HS Rm,Rn	無符号で Rn > Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0010		比較 結果
CMP/GE Rm,Rn	有符号で Rn > Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0011		比較 結果
CMP/HI Rm,Rn	無符号で Rn > Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0110		比較 結果
CMP/GT Rm,Rn	有符号で Rn > Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0111		比較 結果
CMP/PZ Rn	Rn 0 のとき 1 T それ以外のとき 0 T	0100nnnn00010001		比較 結果
CMP/PL Rn	Rn > 0 のとき 1 T それ以外のとき 0 T	0100nnnn00010101		比較 結果
CMP/STR Rm,Rn	いずれかのバイトが等しいとき 1 T それ以外のとき 0 T	0010nnnnmmmm1100		比較 結果
DIV1 Rm,Rn	1 ステップ除算 (Rn ÷ Rm)	0011nnnnmmmm0100		計算 結果
DIV0S Rm,Rn	Rn の MSB Q, Rm の MSB M, M^Q T	0010nnnnmmmm0111		計算 結果
DIV0U	0 M/Q/T	000000000011001		0
DMULS.L Rm,Rn	符号付きで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnmmmm1101		
DMULU.L Rm,Rn	符号なしで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnmmmm0101		

命令		動作	命令コード	特権	Tビット
DT	Rn	Rn-1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T	0100nnnn00010000		比較 結果
EXTS.B	Rm,Rn	Rm をバイトから符号拡張 Rn	0110nnnnmmmm1110		
EXTS.W	Rm,Rn	Rm をワードから符号拡張 Rn	0110nnnnmmmm1111		
EXTU.B	Rm,Rn	Rm をバイトからゼロ拡張 Rn	0110nnnnmmmm1100		
EXTU.W	Rm,Rn	Rm をワードからゼロ拡張 Rn	0110nnnnmmmm1101		
MAC.L	@Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC MAC Rn+4 Rn, Rm+4 Rm 32 × 32 + 64 64 ビット	0000nnnnmmmm1111		
MAC.W	@Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC MAC Rn+2 Rn, Rm+2 Rm 16 × 16 + 64 64 ビット	0100nnnnmmmm1111		
MUL.L	Rm,Rn	Rn × Rm MACL 32 × 32 32 ビット	0000nnnnmmmm0111		
MULS.W	Rm,Rn	符号付きで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnmmmm1111		
MULU.W	Rm,Rn	符号なしで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnmmmm1110		
NEG	Rm,Rn	0-Rm Rn	0110nnnnmmmm1011		
NEGC	Rm,Rn	0-Rm-T Rn, ボロー T	0110nnnnmmmm1010		ボロー
SUB	Rm,Rn	Rn-Rm Rn	0011nnnnmmmm1000		
SUBC	Rm,Rn	Rn-Rm-T Rn, ボロー T	0011nnnnmmmm1010		ボロー
SUBV	Rm,Rn	Rn-Rm Rn, アンダフロー T	0011nnnnmmmm1011		アンダ フロー

表 7.5 論理演算命令

命令		動作	命令コード	特権	Tビット
AND	Rm,Rn	Rn & Rm Rn	0010nnnnmmmm1001		
AND	#imm,R0	R0 & imm R0	11001001iiiiiii		
AND.B	#imm,@(R0,GBR)	(R0+GBR) & imm (R0+GBR)	11001101iiiiiii		
NOT	Rm,Rn	~Rm Rn	0110nnnnmmmm0111		
OR	Rm,Rn	Rn   Rm Rn	0010nnnnmmmm1011		
OR	#imm,R0	R0   imm R0	11001011iiiiiii		
OR.B	#imm,@(R0,GBR)	(R0+GBR)   imm (R0+GBR)	11001111iiiiiii		
TAS.B	@Rn	(Rn)が0 のとき 1 T それ以外とき 0 T 両方に対して 1 (Rn) の MSB	0100nnnn00011011		テスト 結果

命令	動作	命令コード	特権	Tビット
TST Rm,Rn	Rn & Rm, 結果が0のとき 1 T それ以外のとき 0 T	0010nnnnmmmm1000		テスト 結果
TST #imm,R0	R0 & imm, 結果が0のとき 1 T それ以外のとき 0 T	11001000iiiiiii		テスト 結果
TST.B #imm,@(R0,GBR)	(R0+GBR)&imm, 結果が0のとき 1 T それ以外のとき 0 T	11001100iiiiiii		テスト 結果
XOR Rm,Rn	Rn ^ Rm Rn	0010nnnnmmmm1010		
XOR #imm,R0	R0 ^ imm R0	11001010iiiiiii		
XOR.B #imm,@(R0,GBR)	(R0+GBR) ^ imm (R0+GBR)	11001110iiiiiii		

表 7.6 シフト命令

命令	動作	命令コード	特権	Tビット
ROTL Rn	T Rn MSB	0100nnnn00000100		MSB
ROTR Rn	LSB Rn T	0100nnnn00000101		LSB
ROTCL Rn	T Rn T	0100nnnn00100100		MSB
ROTCR Rn	T Rn T	0100nnnn00100101		LSB
SHAD Rm, Rn	Rm 0のとき Rn<<Rm Rn, Rm<0のとき Rn>>Rm [MSB Rn]	0100nnnnmmmm1100		
SHAL Rn	T Rn 0	0100nnnn00100000		MSB
SHAR Rn	MSB Rn T	0100nnnn00100001		LSB
SHLD Rm, Rn	Rm 0のとき Rn<<Rm Rn, Rm<0のとき Rn>>Rm [0 Rn]	0100nnnnmmmm1101		
SHLL Rn	T Rn 0	0100nnnn00000000		MSB
SHLR Rn	0 Rn T	0100nnnn00000001		LSB
SHLL2 Rn	Rn<<2 Rn	0100nnnn00001000		
SHLR2 Rn	Rn>>2 Rn	0100nnnn00001001		
SHLL8 Rn	Rn<<8 Rn	0100nnnn00011000		
SHLR8 Rn	Rn>>8 Rn	0100nnnn00011001		
SHLL16 Rn	Rn<<16 Rn	0100nnnn00101000		
SHLR16 Rn	Rn>>16 Rn	0100nnnn00101001		



表 7.7 分岐命令

命令	動作	命令コード	特権	Tビット
BF label	T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	10001011ddddddd		
BF/S label	遅延分岐, T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	10001111ddddddd		
BT label	T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	10001001ddddddd		
BT/S label	遅延分岐, T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	10001101ddddddd		
BRA label	遅延分岐, disp × 2+PC+4 PC	1010ddddddddddd		
BRAF Rn	遅延分岐, Rn+PC+4 PC	0000nnnn00100011		
BSR label	遅延分岐, PC+4 PR, disp × 2+PC+4 PC	1011ddddddddddd		
BSRF Rn	遅延分岐, PC+4 PR, Rn+PC+4 PC	0000nnnn00000011		
JMP @Rn	遅延分岐, Rn PC	0100nnnn00101011		
JSR @Rn	遅延分岐, PC+4 PR, Rn PC	0100nnnn00001011		
RTS	遅延分岐, PR PC	0000000000001011		

表 7.8 システム制御命令

命令	動作	命令コード	特権	Tビット
CLRMAC	0 MACH,MACL	000000000101000		
CLRS	0 S	0000000001001000		
CLRT	0 T	0000000000001000		0
LDC Rm,SR	Rm SR	0100mmmm00001110	特権	LSB
LDC Rm,GBR	Rm GBR	0100mmmm00011110		
LDC Rm,VBR	Rm VBR	0100mmmm00101110	特権	
LDC Rm,SSR	Rm SSR	0100mmmm00111110	特権	
LDC Rm,SPC	Rm SPC	0100mmmm01001110	特権	
LDC Rm,DBR	Rm DBR	0100mmmm11111010	特権	
LDC Rm,Rn_BANK	Rm Rn_BANK(n=0 ~ 7)	0100mmmm1nnn1110	特権	
LDC.L @Rm+,SR	(Rm) SR, Rm+4 Rm	0100mmmm00000111	特権	LSB
LDC.L @Rm+,GBR	(Rm) GBR, Rm+4 Rm	0100mmmm00010111		
LDC.L @Rm+,VBR	(Rm) VBR, Rm+4 Rm	0100mmmm00100111	特権	
LDC.L @Rm+,SSR	(Rm) SSR, Rm+4 Rm	0100mmmm00110111	特権	
LDC.L @Rm+,SPC	(Rm) SPC, Rm+4 Rm	0100mmmm01000111	特権	
LDC.L @Rm+,DBR	(Rm) DBR, Rm+4 Rm	0100mmmm11110110	特権	
LDC.L @Rm+,Rn_BANK	(Rm) Rn_BANK, Rm+4 Rm	0100mmmm1nnn0111	特権	

命令	動作	命令コード	特権	Tビット
LDS Rm,MACH	Rm MACH	0100mmmm00001010		
LDS Rm,MACL	Rm MACL	0100mmmm00011010		
LDS Rm,PR	Rm PR	0100mmmm00101010		
LDS.L @Rm+,MACH	(Rm) MACH, Rm+4 Rm	0100mmmm00000110		
LDS.L @Rm+,MACL	(Rm) MACL, Rm+4 Rm	0100mmmm00010110		
LDS.L @Rm+,PR	(Rm) PR, Rm+4 Rm	0100mmmm00100110		
LDTLB	PTEH/PTEL TLB	000000000111000	特権	
MOVCA.L R0,@Rn	(キャッシュブロックをフェッチせずに)R0 (Rn)	0000nnnn11000011		
NOP	無操作	0000000000001001		
OCBI @Rn	オペランドキャッシュブロックを無効にする	0000nnnn10010011		
OCBP @Rn	オペランドキャッシュブロックをライトバックし無効にする	0000nnnn10100011		
OCBWB @Rn	オペランドキャッシュブロックをライトバックする	0000nnnn10110011		
PREF @Rn	(Rn) オペランドキャッシュ	0000nnnn10000011		
RTE	遅延分岐, SSR/SPC SR/PC	000000000101011	特権	
SETS	1 S	0000000001011000		
SETT	1 T	000000000011000		1
SLEEP	スリープもしくはスタンバイ	000000000011011	特権	
STC SR,Rn	SR Rn	0000nnnn00000010	特権	
STC GBR,Rn	GBR Rn	0000nnnn00010010		
STC VBR,Rn	VBR Rn	0000nnnn00100010	特権	
STC SSR, Rn	SSR Rn	0000nnnn00110010	特権	
STC SPC,Rn	SPC Rn	0000nnnn01000010	特権	
STC SGR,Rn	SGR Rn	0000nnnn00111010	特権	
STC DBR,Rn	DBR Rn	0000nnnn11111010	特権	
STC Rm_BANK,Rn	Rm_BANK Rn (m=0 ~ 7)	0000nnnn1mmmm0010	特権	
STC.L SR,@-Rn	Rn-4 Rn, SR (Rn)	0100nnnn00000011	特権	
STC.L GBR,@-Rn	Rn-4 Rn, GBR (Rn)	0100nnnn00010011		
STC.L VBR,@-Rn	Rn-4 Rn, VBR (Rn)	0100nnnn00100011	特権	
STC.L SSR,@-Rn	Rn-4 Rn, SSR (Rn)	0100nnnn00110011	特権	
STC.L SPC,@-Rn	Rn-4 Rn, SPC (Rn)	0100nnnn01000011	特権	
STC.L SGR,@-Rn	Rn-4 Rn, SGR (Rn)	0100nnnn00110010	特権	
STC.L DBR,@-Rn	Rn-4 Rn, DBR (Rn)	0100nnnn11110010	特権	
STC.L Rm_BANK,@-Rn	Rn-4 Rn, Rm_BANK (Rn) (m=0 ~ 7)	0100nnnn1mmmm0011	特権	
STS MACH,Rn	MACH Rn	0000nnnn00001010		

命令	動作	命令コード	特権	Tビット
STS	MACL,Rn	MACL Rn		
STS	PR,Rn	PR Rn		
STS.L	MACH,@-Rn	Rn-4 Rn, MACH (Rn)		
STS.L	MACL,@-Rn	Rn-4 Rn, MACL (Rn)		
STS.L	PR,@-Rn	Rn-4 Rn, PR (Rn)		
TRAPA	#imm	PC+2 SPC, SR SSR, #imm <<2 TRA, H'160 EXPEVT, VBR+ H'0100 PC		

表 7.9 浮動小数点単精度命令

命令	動作	命令コード	特権	Tビット
FLDI0	FRn	H'00000000 FRn		
FLDI1	FRn	H'3F800000 FRn		
FMOV	FRm ,FRn	FRm FRn		
FMOV.S	@Rm, FRn	(Rm) FRn		
FMOV.S	@(R0,Rm),FRn	(R0 + Rm) FRn		
FMOV.S	@Rm+,FRn	(Rm) FRn,Rm+4 Rm		
FMOV.S	FRm ,@Rn	FRm (Rn)		
FMOV.S	FRm ,@-Rn	Rn-4 Rn, FRm (Rn)		
FMOV.S	FRm,@(R0,Rn)	FRm (R0+Rn)		
FMOV	DRm ,DRn	DRm DRn		
FMOV	@Rm, DRn	(Rm) DRn		
FMOV	@(R0,Rm),DRn	(R0 + Rm) DRn		
FMOV	@Rm+,DRn	(Rm) DRn,Rm+8 Rm		
FMOV	DRm ,@Rn	DRm (Rn)		
FMOV	DRm ,@-Rn	Rn-8 Rn,DRm (Rn)		
FMOV	DRm,@(R0,Rn)	DRm (R0+Rn)		
FLDS	FRm,FPUL	FRm FPUL		
FSTS	FPUL, FRn	FPUL FRn		
FABS	FRn	FRn & H'7FFF FFFF FRn		
FADD	FRm ,FRn	FRn + FRm FRn		
FCMP/EQ	FRm ,FRn	FRn = FRm のとき 1 T それ以外のとき 0 T		比較 結果
FCMP/GT	FRm ,FRn	FRn > FRm のとき 1 T それ以外のとき 0 T		比較 結果
FDIV	FRm ,FRn	FRn /FRm FRn		
FLOAT	FPUL, FRn	(float)FPUL FRn		

命令	動作	命令コード	特権	Tビット
FMAC	FR0,FRm,FRn $FR0 * FRm + FRn$ FRn	1111nnnnmmmm1110		
FMUL	FRm,FRn $FRn * FRm$ FRn	1111nnnnmmmm0010		
FNEG	FRn $FRn \wedge H'80000000$ FRn	1111nnnn01001101		
FSQRT	FRn $\sqrt{FRn}$ FRn	1111nnnn01101101		
FSUB	FRm,FRn $FRn - FRm$ FRn	1111nnnnmmmm0001		
FTRC	FRm,FPUL (long)FRm FPUL	1111mmmm00111101		

表 7.10 浮動小数点倍精度命令

命令	動作	命令コード	特権	Tビット
FABS	DRn $DRn \wedge H'7FFF\ FFFF\ FFFF\ FFFF$ DRn	1111nnn001011101		
FADD	DRm,DRn $DRn + DRm$ DRn	1111nnn0mmmm00000		
FCMP/EQ	DRm,DRn DRn = DRm のとき 1 T それ以外のとき 0 T	1111nnn0mmmm00100		比較結果
FCMP/GT	DRm,DRn DRn > DRm のとき 1 T それ以外のとき 0 T	1111nnn0mmmm00101		比較結果
FDIV	DRm,DRn $DRn / DRm$ DRn	1111nnn0mmmm00011		
FCNVDS	DRm,FPUL double_to_float[DRm] FPUL	1111mmmm010111101		
FCNVSD	FPUL,DRn float_to_double[FPUL] DRn	1111nnn010101101		
FLOAT	FPUL,DRn (float)FPUL DRn	1111nnn000101101		
FMUL	DRm,DRn $DRn * DRm$ DRn	1111nnn0mmmm00010		
FNEG	DRn $DRn \wedge H'8000\ 0000\ 0000\ 0000$ DRn	1111nnn001001101		
FSQRT	DRn $\sqrt{DRn}$ DRn	1111nnn001101101		
FSUB	DRm,DRn $DRn - DRm$ DRn	1111nnn0mmmm00001		
FTRC	DRm,FPUL (long)DRm FPUL	1111mmmm000111101		

表 7.11 浮動小数点制御命令

命令	動作	命令コード	特権	Tビット
LDS	Rm,FPSCR Rm FPSCR	0100mmmm01101010		
LDS	Rm,FPUL Rm FPUL	0100mmmm01011010		
LDS.L	@Rm+,FPSCR (Rm) FPSCR,Rm+4 Rm	0100mmmm01100110		
LDS.L	@Rm+,FPUL (Rm) FPUL,Rm+4 Rm	0100mmmm01010110		
STS	FPSCR,Rn FPSCR Rn	0000nnnn01101010		
STS	FPUL,Rn FPUL Rn	0000nnnn01011010		
STS.L	FPSCR,@-Rn Rn-4 Rn,FPSCR (Rn)	0100nnnn01100010		
STS.L	FPUL,@-Rn Rn-4 Rn,FPUL (Rn)	0100nnnn01010010		

表 7.12 浮動小数点グラフィック強化命令

命令	動作	命令コード	特権	T ビット
FMOV DRm ,XDn	DRm XDn	1111nnn1mmm01100		
FMOV XDm ,DRn	XDm DRn	1111nnn0mmm11100		
FMOV XDm ,XDn	XDm XDn	1111nnn1mmm11100		
FMOV @Rm ,XDn	(Rm) XDn	1111nnn1mmmm1000		
FMOV @Rm+, XDn	(Rm) XDn, Rm+8 Rm	1111nnn1mmmm1001		
FMOV @(R0,Rm),XDn	(R0 + Rm) XDn	1111nnn1mmmm0110		
FMOV XDm ,@Rn	XDm (Rn)	1111nnnnmmmm11010		
FMOV XDm ,@-Rn	Rn-8 Rn,XDm (Rn)	1111nnnnmmmm11011		
FMOV XDm ,@(R0,Rn)	XDm (R0+Rn)	1111nnnnmmmm10111		
FIPR FVm ,FVn	inner_product[FVm, FVn] FR[n+3]	1111nnmm11101101		
FTRV XMTRX ,FVn	transform_vector[XMTRX, FVn] FVn	1111nn0111111101		
FRCHG	~ FPSCR.FR FPSCR.FR	1111101111111101		
FSCHG	~ FPSCR.SZ FPSCR.SZ	1111001111111101		

## 7.4 使用上の注意

### 7.4.1 TRAPA 命令/SLEEP 命令/未定義命令 (H'FFFD) 使用上の注意

- TRAPA命令または未定義命令コードH'FFFD実行時にキャッシュに誤った値を書き込む可能性があります。
- TRAPA命令または未定義命令コードH'FFFD実行時にITLBヒット判定を誤り、再登録後にITLBマルチヒット例外を発生する可能性があります。
- TRAPA命令、SLEEP命令または未定義命令コードH'FFFD実行時にFPU関係、あるいはMACH, MACLレジスタに誤ったデータを書き込む可能性があります。

[ 発生条件 ]

1. 下記3条件が同時に成立する場合に命令キャッシュに誤った命令を書き込む可能性があります。
  - (a) 命令キャッシュがオン。(CCR.ICE=1)
  - (b) キャッシュオン領域(U0/P0/P1/P3領域)にあるTRAPA命令または未定義命令コードH'FFFDを実行する。
  - (c) 上記(b)のTRAPA命令または未定義命令コードH'FFFDの後続4ワード中に内蔵キャッシュまたは内蔵TLBにマッピングされたアドレス(H'F0000000 - H'F7FFFFFF)にアクセスする命令(リード、ライト共)と解釈されるコードが存在する。
2. 下記3条件が同時に成立する場合にオペランドキャッシュに誤ったデータを書き込む可能性があります。
  - (a) オペランドキャッシュがオン。(CCR.OCE=1)
  - (b) 未定義命令コードH'FFFDを実行する。
  - (c) 上記(b)の未定義命令コードH'FFFDの後続4ワード中に内蔵ストアキューにマッピングされたアドレス(H'E0000000 - H'E3FFFFFF)にアクセスするOCBI/OCBP/OCBWB/TAS.B命令と解釈されるコードが存在する。
3. 下記3条件が同時に成立する場合にITLBヒット判定を誤る可能性があります。ITLBヒットを誤ってミスと判定した場合、ITLBへの再登録が行われ、その後、ITLBマルチヒット例外を発生する可能性があります。
  - (a) MMUがオン。(MMUCR.AT=1)
  - (b) TLB変換領域(U0/P0/P3領域)にあるTRAPA命令または未定義命令コードH'FFFDを実行する。
  - (c) 上記(b)のTRAPA命令または未定義命令コードH'FFFDの後続4ワード中に内蔵キャッシュまたは内蔵TLBにマッピングされたアドレス(H'F0000000 - H'F7FFFFFF)にアクセスする命令(リード、ライト共)と解釈されるコードが存在する。
4. 下記2条件が同時に成立する場合にFPU関連レジスタ(FR0-FR15, XF0-XF15, FPSCR, FPUL)および、MACH, MACLに誤った値を書き込む可能性があります。
  - (a) TRAPAまたはSLEEP命令または未定義命令コードH'FFFDを実行する。
  - (b) 上記(a)のTRAPAまたはSLEEP命令または未定義命令コードH'FFFDの後続8ワード中にH'Fxxx(最初の4ビットがH'Fである命令)の内H'FFFDを除き、その時点のFPSCR.PRとの組み合わせにおいて、未定義命令と解釈されるコードが存在する。

例：命令H'FxxE (x：任意の16進数)はFPSCR.PR=1では未定義命令であると、ここでは定義します。

【注】 後続命令の数に関して、内部的には、1.~3.の場合、後続 2xclk、4.の場合、後続 4xclk 以内に実行できる場合に本現象が発生する可能性があり、2xclk または 4xclk 中に実行できる命令数はそれぞれ最大 4 命令または最大 8 命令である

めに、「後続4ワードまたは8ワード中に存在する」命令と解釈されるコードとしています。

[回避策]

1. 下記の (a) (b) のどちらかの対策を行ってください。
  - (a) TRAPA命令、SLEEP命令および未定義命令コードH'FFFDの後続8ワードにNOP命令を置いてください。
  - (b) TRAPA命令、SLEEP命令および未定義命令コードH'FFFDの後続5ワードにOR R0,R0命令を置いてください。本回避策では、OR命令同士は2命令同時実行をしないことから、実行には5x1ck以上を要するので、[発生条件]4. (b)の発生条件の“後続8ワード中にH'Fxxxが存在する場合”も回避できます。





## 8. パイプライン動作

本 LSI は 2 命令並列型 (2-ILP, Instruction-Level-Parallelism) のスーパースカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2 つの命令を並行して実行できます。実行サイクルはプロセッサの実装方法によって異なります。本章での定義は本 LSI 以外の SH-4 コアの他の製品には適用できない場合があります。

### 8.1 パイプライン

図 8.1 に基本パイプラインを示します。通常、パイプラインは命令フェッチ (I)、デコード・レジスタリード (D)、実行 (EX、SX、F0、F1、F2、または F3)、データアクセス (NA、または MA)、ライトバック (S、または FS) の 5、または 6 ステージから構成されます。1 つの命令は基本パイプラインの組み合わせとして実行されます。図 8.2 に命令実行パターンを示します。

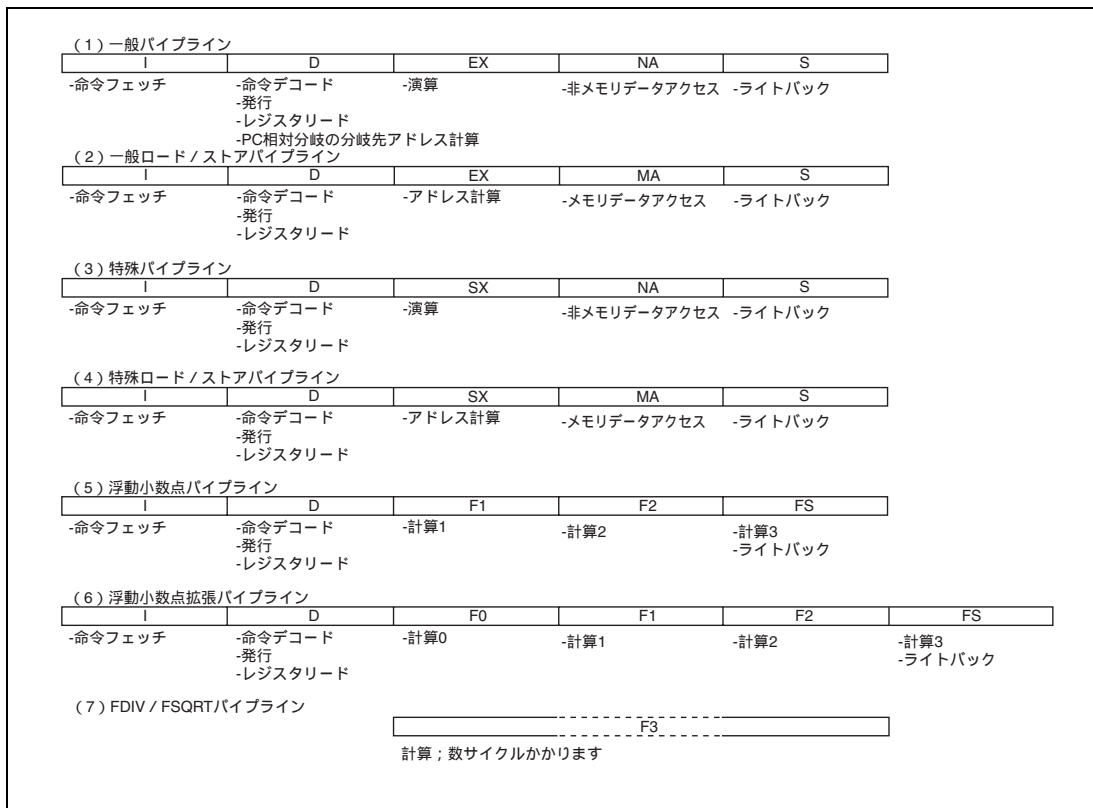


図 8.1 基本パイプライン

## (1) 1ステップ演算 ; 1 発行サイクル

EXT[SU].[BW], MOV, MOV#, MOVA, MOVT, SWAP.[BW], XTRCT,  
 ADD\*, CMP\*, DIV\*, DT, NEG\*, SUB\*,  
 AND, AND#, NOT, OR, OR#, TST, TST#, XOR, XOR#,  
 ROT\*, SHA\*, SHL\*, BF\*, BT\*, BRA,  
 NOP, CLRS, CLRT, SETS, SETT,  
 FPULへのLDS, FPUL/FPSCRからのSTS,  
 FLDI0, FLDI1, FMOV, FLDS, FSTS,  
 単精度 / 倍精度 FABS/FNEG

I	D	EX	NA	S
---	---	----	----	---

## (2) ロード/ストア ; 1発行サイクル

MOV.[BWL], FMOV\*@, FPULへのLDS.L, LDTLB, PREF,  
 FPUL/FPSCRからのSTS.L

I	D	EX	MA	S
---	---	----	----	---

## (3) GBRベースロード/ストア ; 1発行サイクル

MOV.[BWL]@(d,GBR)

I	D	SX	MA	S
---	---	----	----	---

## (4) JMP, RTS, BRAF ; 2発行サイクル

I	D	EX	NA	S	
		D	EX	NA	S

## (5) TST.B ; 3発行サイクル

I	D	SX	MA	S		
		D	SX	NA	S	
			D	SX	NA	S

## (6) AND.B, OR.B, XOR.B ; 4発行サイクル

I	D	SX	MA	S			
		D	SX	NA	S		
			D	SX	NA	S	
				D	SX	MA	S

## (7) TAS.B ; 5発行サイクル

I	D	EX	MA	S				
		D	EX	MA	S			
			D	EX	NA	S		
				D	EX	NA	S	
					D	EX	MA	S

## (8) RTE ; 5発行サイクル

I	D	EX	NA	S				
		D	EX	NA	S			
			D	EX	NA	S		
				D	EX	NA	S	
					D	EX	NA	S

## (9) SLEEP ; 4発行サイクル

I	D	EX	NA	S			
		D	EX	NA	S		
			D	EX	NA	S	
				D	EX	NA	S

図 8.2 命令実行パターン (1)

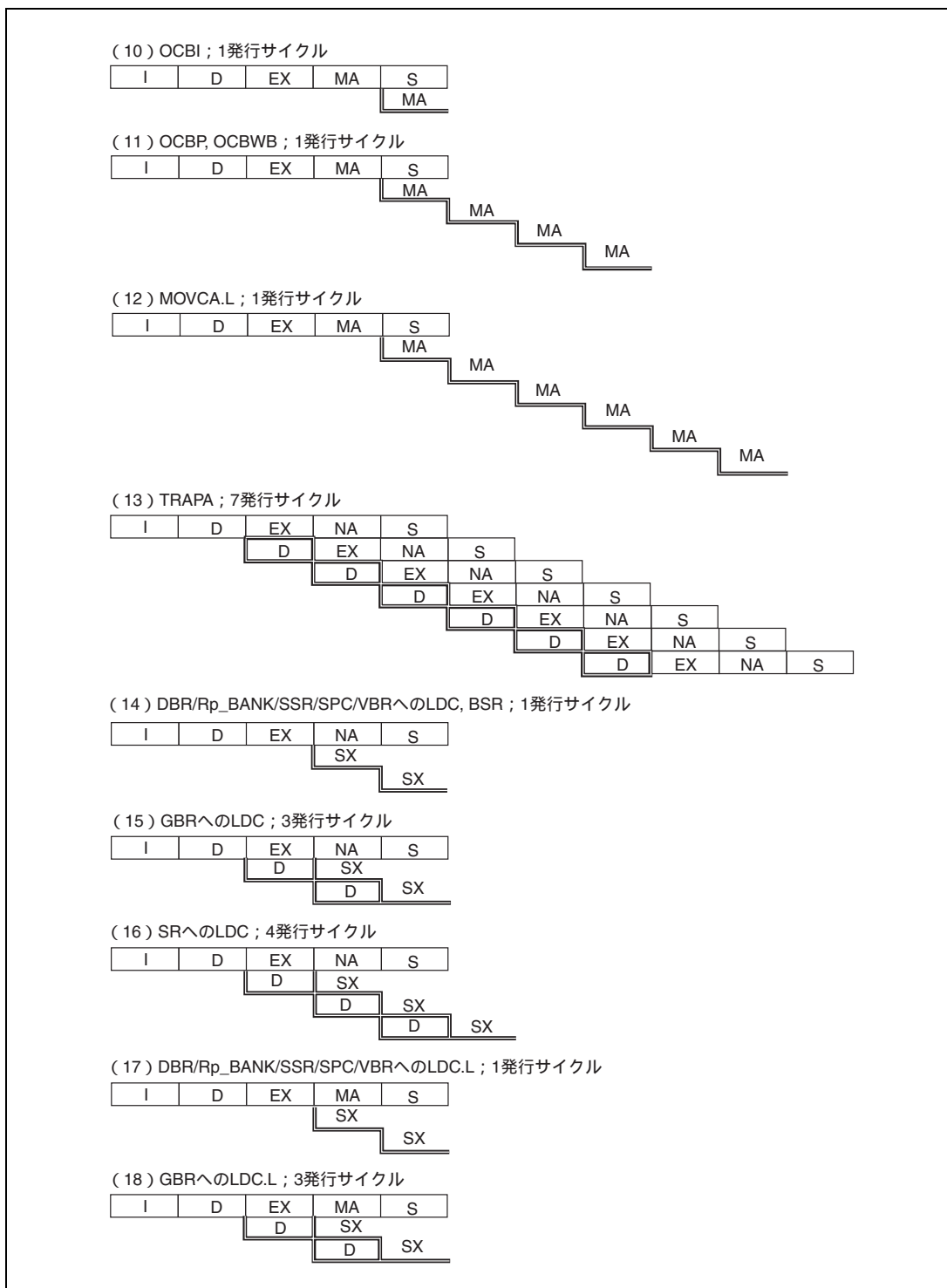


図 8.2 命令実行パターン (2)

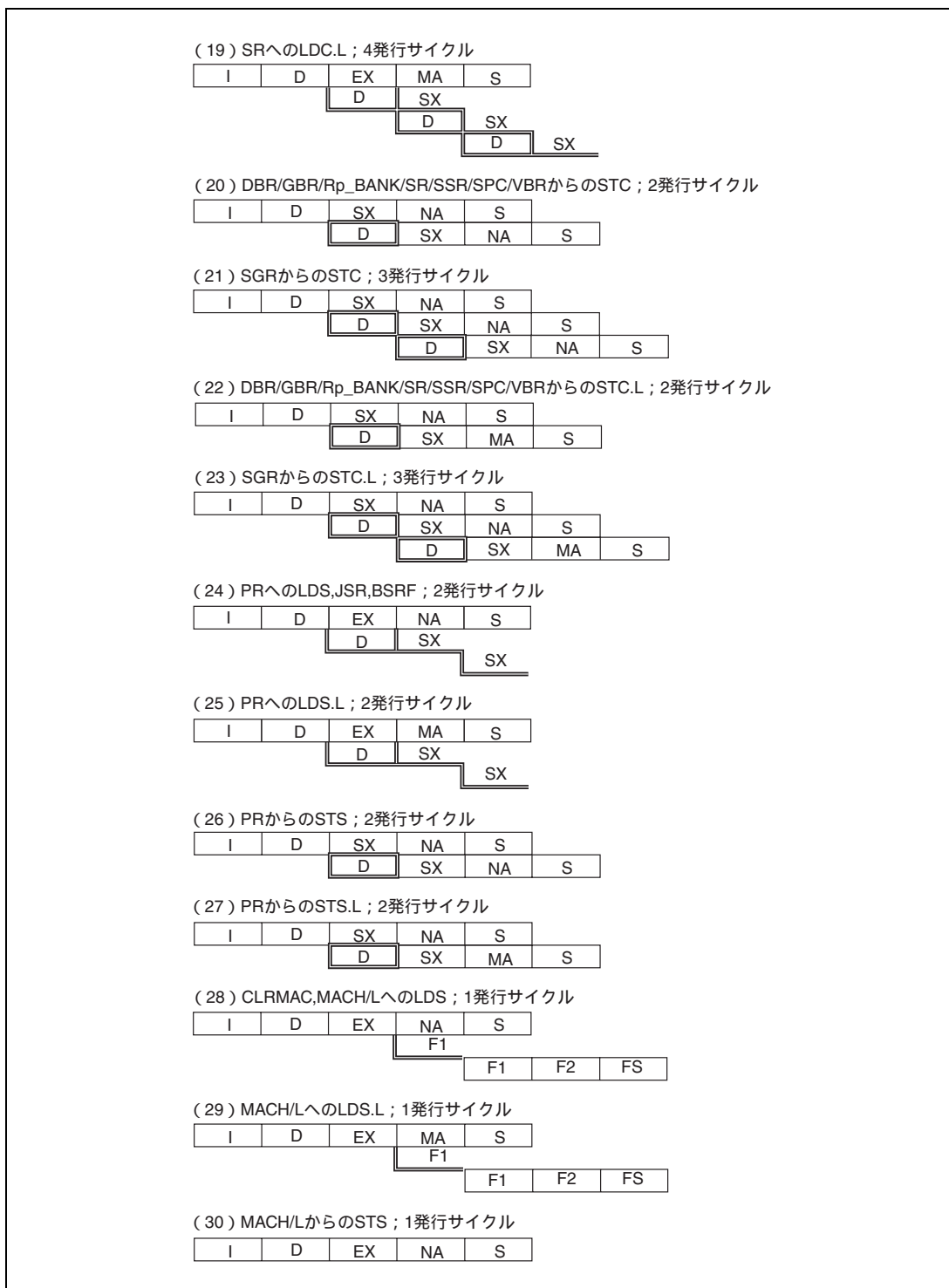


図 8.2 命令実行パターン (3)

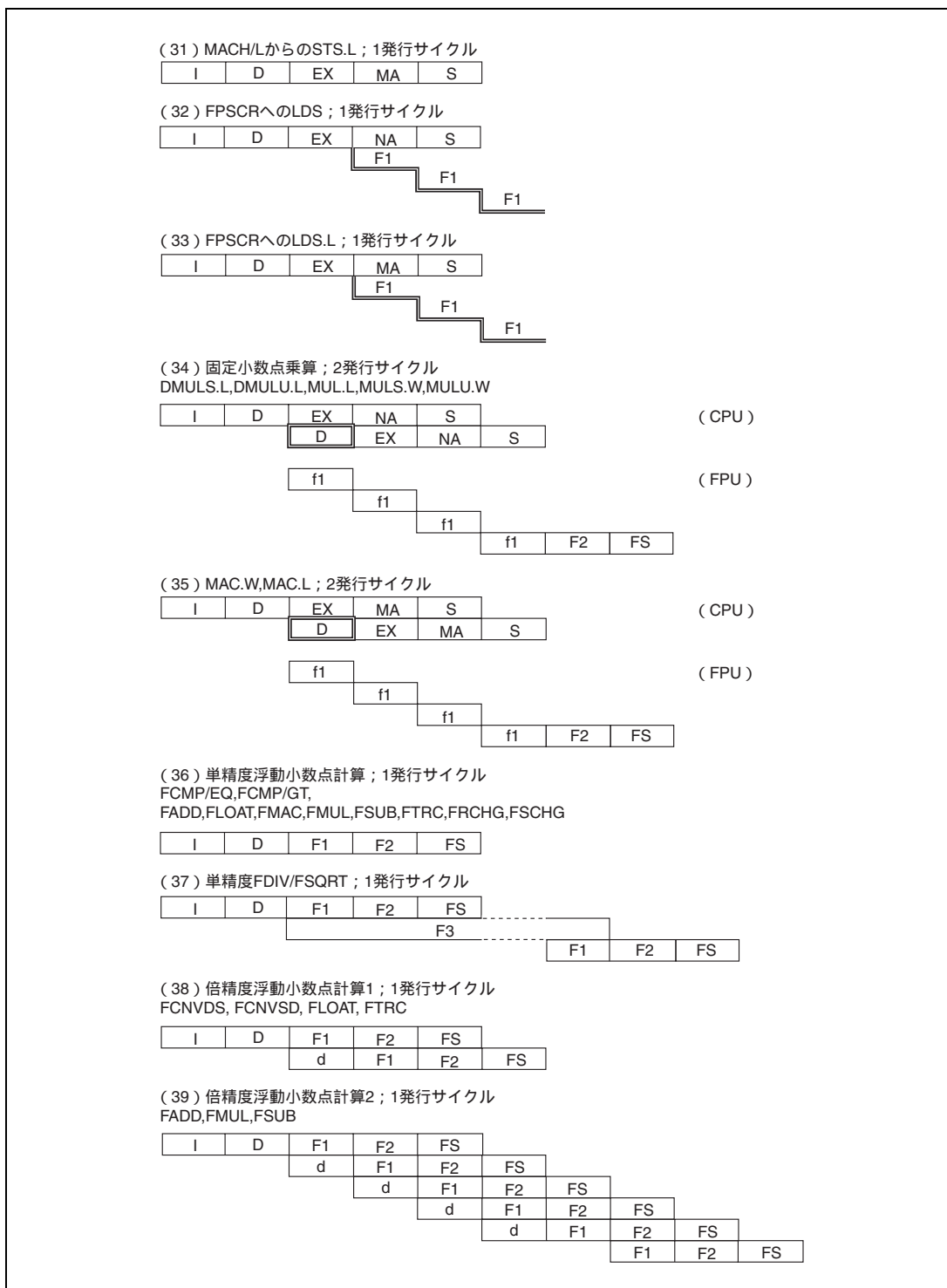


図 8.2 命令実行パターン (4)

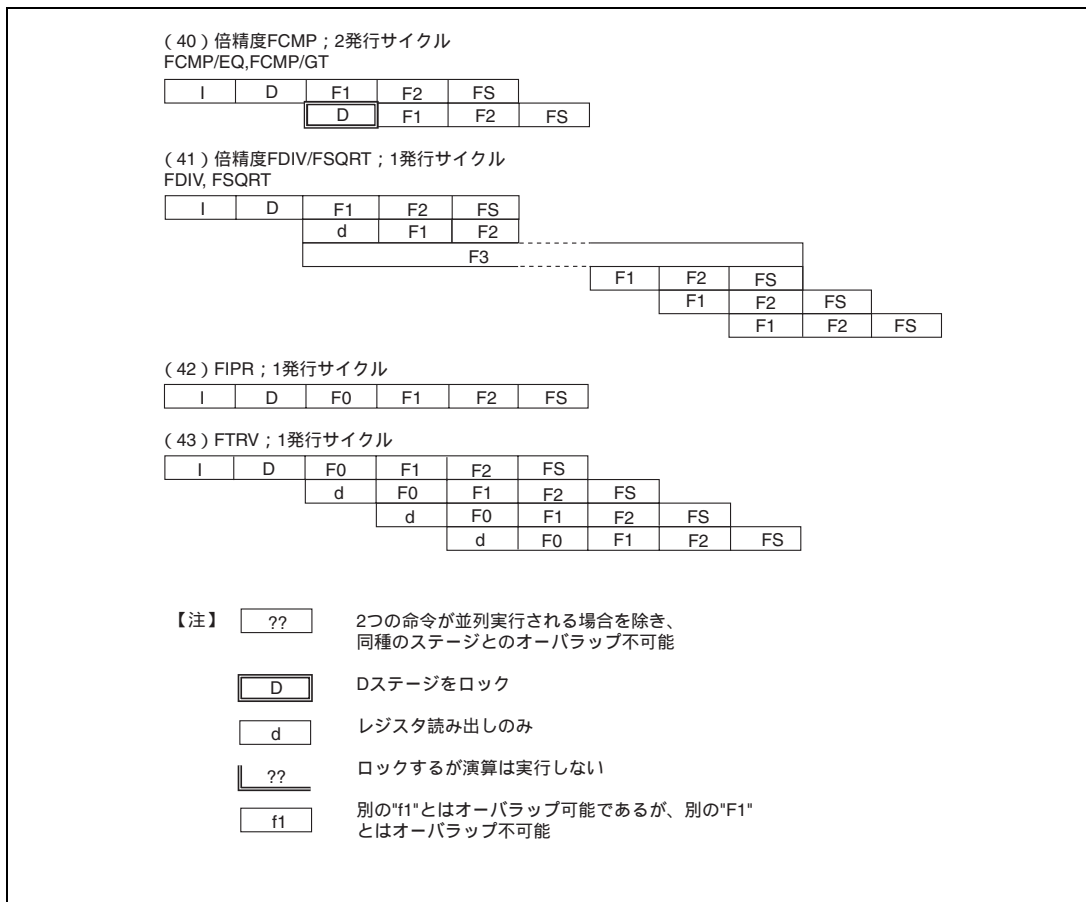


図 8.2 命令実行パターン (5)

## 8.2 並列実行性

表 8.1 に示すように、命令は利用する内部機能ブロックにより 6 つのグループに分類されます。表 8.2 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。例えば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表 8.1 命令グループ (1)

### (1) MT グループ

CLRT		CMP/Hi Rm,Rn	MOV Rm,Rn
CMP/EQ	#imm,R0	CMP/HS Rm,Rn	NOP
CMP/EQ	Rm,Rn	CMP/PL Rn	SETT
CMP/GE	Rm,Rn	CMP/PZ Rn	TST #imm,R0
CMP/GT	Rm,Rn	CMP/STR Rm,Rn	TST Rm,Rn

### (2) EX グループ

ADD #imm,Rn	MOVt Rn	SHLL2 Rn
ADD Rm,Rn	NEG Rm,Rn	SHLL8 Rn
ADDC Rm,Rn	NEGC Rm,Rn	SHLR Rn
ADDV Rm,Rn	NOT Rm,Rn	SHLR16 Rn
AND #imm,R0	OR #imm,R0	SHLR2 Rn
AND Rm,Rn	OR Rm,Rn	SHLR8 Rn
DIV0S Rm,Rn	ROTCL Rn	SUB Rm,Rn
DIV0U	ROTCR Rn	SUBC Rm,Rn
DIV1 Rm,Rn	ROTL Rn	SUBV Rm,Rn
DT Rn	ROTR Rn	SWAP.B Rm,Rn
EXTS.B Rm,Rn	SHAD Rm,Rn	SWAP.W Rm,Rn
EXTS.W Rm,Rn	SHAL Rn	XOR #imm,R0
EXTU.B Rm,Rn	SHAR Rn	XOR Rm,Rn
EXTU.W Rm,Rn	SHLD Rm,Rn	XTRCT Rm,Rn
MOV #imm,Rn	SHLL Rn	
MOVA @(disp,PC),R0	SHLL16 Rn	

### (3) BR グループ

BF disp	BRA disp	BT disp
BF/S disp	BSR disp	BT/S disp

表 8.1 命令グループ(2)

## (4) LS グループ

FABS	DRn	FMOV.S	@Rm+,FRn	MOV.L	R0,@(disp,GBR)
FABS	FRn	FMOV.S	FRm,@(R0,Rn)	MOV.L	Rm,@(disp,Rn)
FLDI0	FRn	FMOV.S	FRm,@-Rn	MOV.L	Rm,@(R0,Rn)
FLDI1	FRn	FMOV.S	FRm,@Rn	MOV.L	Rm,@-Rn
FLDS	FRm,FPUL	FNEG	DRn	MOV.L	Rm,@Rn
FMOV	@(R0,Rm),DRn	FNEG	FRn	MOV.W	@(disp,GBR),R0
FMOV	@(R0,Rm),XDn	FSTS	FPUL,FRn	MOV.W	@(disp,PC),Rn
FMOV	@Rm,DRn	LDS	Rm,FPUL	MOV.W	@(disp,Rm),R0
FMOV	@Rm,XDn	MOV.B	@(disp,GBR),R0	MOV.W	@(R0,Rm),Rn
FMOV	@Rm+,DRn	MOV.B	@(disp,Rm),R0	MOV.W	@Rm,Rn
FMOV	@Rm+,XDn	MOV.B	@(R0,Rm),Rn	MOV.W	@Rm+,Rn
FMOV	DRm,@(R0,Rn)	MOV.B	@Rm,Rn	MOV.W	R0,@(disp,GBR)
FMOV	DRm,@-Rn	MOV.B	@Rm+,Rn	MOV.W	R0,@(disp,Rn)
FMOV	DRm,@Rn	MOV.B	R0,@(disp,GBR)	MOV.W	Rm,@(R0,Rn)
FMOV	DRm,DRn	MOV.B	R0,@(disp,Rn)	MOV.W	Rm,@-Rn
FMOV	DRm,XDn	MOV.B	Rm,@(R0,Rn)	MOV.W	Rm,@Rn
FMOV	FRm,FRn	MOV.B	Rm,@-Rn	MOVCA.L	R0,@Rn
FMOV	XDm,@(R0,Rn)	MOV.B	Rm,@Rn	OCBI	@Rn
FMOV	XDm,@-Rn	MOV.L	@(disp,GBR),R0	OCBP	@Rn
FMOV	XDm,@Rn	MOV.L	@(disp,PC),Rn	OCBWB	@Rn
FMOV	XDm,DRn	MOV.L	@(disp,Rm),Rn	PREF	@Rn
FMOV	XDm,XDn	MOV.L	@(R0,Rm),Rn	STS	FPUL,Rn
FMOV.S	@(R0,Rm),FRn	MOV.L	@Rm,Rn		
FMOV.S	@Rm,FRn	MOV.L	@Rm+,Rn		

## (5) FE グループ

FADD	DRm,DRn	FIPR	FVm,FVn	FSQRT	DRn
FADD	FRm,FRn	FLOAT	FPUL,DRn	FSQRT	FRn
FCMP/EQ	FRm,FRn	FLOAT	FPUL,FRn	FSUB	DRm,DRn
FCMP/GT	FRm,FRn	FMAC	FR0,FRm,FRn	FSUB	FRm,FRn
FCNVDS	DRm,FPUL	FMUL	DRm,DRn	FTRC	DRm,FPUL
FCNVSD	FPUL,DRn	FMUL	FRm,FRn	FTRC	FRm,FPUL
FDIV	DRm,DRn	FRCHG		FTRV	XMTRX,FVn
FDIV	FRm,FRn	FSCHG			



表 8.1 命令グループ (3)  
(6) CO グループ

AND.B	#imm,@(R0,GBR)	LDS	Rm,FPSCR	STC	SR,Rn
BRAF	Rm	LDS	Rm,MACH	STC	SSR,Rn
BSRF	Rm	LDS	Rm,MACL	STC	VBR,Rn
CLRMAC		LDS	Rm,PR	STC.L	DBR,@-Rn
CLRS		LDS.L	@Rm+,FPSCR	STC.L	GBR,@-Rn
DMULS.L	Rm,Rn	LDS.L	@Rm+,FPUL	STC.L	Rp_BANK,@-Rn
DMULU.L	Rm,Rn	LDS.L	@Rm+,MACH	STC.L	SGR,@-Rn
FCMP/EQ	DRm,DRn	LDS.L	@Rm+,MACL	STC.L	SPC,@-Rn
FCMP/GT	DRm,DRn	LDS.L	@Rm+,PR	STC.L	SR,@-Rn
JMP	@Rn	LDTLB		STC.L	SSR,@-Rn
JSR	@Rn	MAC.L	@Rm+,@Rn+	STC.L	VBR,@-Rn
LDC	Rm,DBR	MAC.W	@Rm+,@Rn+	STS	FPSCR,Rn
LDC	Rm,GBR	MUL.L	Rm,Rn	STS	MACH,Rn
LDC	Rm,Rp_BANK	MULS.W	Rm,Rn	STS	MACL,Rn
LDC	Rm,SPC	MULU.W	Rm,Rn	STS	PR,Rn
LDC	Rm,SR	OR.B	#imm,@(R0,GBR)	STS.L	FPSCR,@-Rn
LDC	Rm,SSR	RTE		STS.L	FPUL,@-Rn
LDC	Rm,VBR	RTS		STS.L	MACH,@-Rn
LDC.L	@Rm+,DBR	SETS		STS.L	MACL,@-Rn
LDC.L	@Rm+,GBR	SLEEP		STS.L	PR,@-Rn
LDC.L	@Rm+,Rp_BANK	STC	DBR,Rn	TAS.B	@Rn
LDC.L	@Rm+,SPC	STC	GBR,Rn	TRAPA	#imm
LDC.L	@Rm+,SR	STC	Rp_BANK,Rn	TST.B	#imm,@(R0,GBR)
LDC.L	@Rm+,SSR	STC	SGR,Rn	XOR.B	#imm,@(R0,GBR)
LDC.L	@Rm+,VBR	STC	SPC,Rn		

表 8.2 並列実行性

		第 2 命令					
		MT	EX	BR	LS	FE	CO
第 1 命 令	MT						x
	EX		x				x
	BR			x			x
	LS				x		x
	FE					x	x
	CO	x	x	x	x	x	x

: 並列実行可能

x : 並列実行不可能

## 8.3 実行サイクルとパイプラインストール

本プロセッサには、Iクロック、Bクロック、Pクロックの3つの基準クロックがあります。各ハードウェアユニットは次のように3つのクロックのいずれかで動作します。

- Iクロック：CPU、FPU、MMU、キャッシュ
- Bクロック：外部バスコントローラ
- Pクロック：周辺ユニット

3つのクロックの周波数比は、FRQCR（周波数コントロールレジスタ）によって決まります。特別な指定がない限り、この章ではマシンサイクルはIクロックを基準にします。FRQCRの詳細については「第10章 クロック発振回路」を参照してください。

命令の実行サイクルを表8.3に示します。ただし、ここではパイプラインストールによるペナルティサイクルは考慮していません。

- 発行レート： 命令の発行と次の命令の発行の間隔
- レイテンシ： 命令の発行とその結果生成（完了）の間隔
- 命令実行パターン（図8.2を参照）
- ロックステージ： ロックしたパイプラインステージ（表8.3）
- ロック開始： 命令の発行とロック開始の間隔（表8.3）
- ロックサイクル： ロック時間（表8.3）

命令の実行シーケンスは、図8.2に示す実行パターンの組み合わせで表現します。各命令とその次の命令の間は、その発行レートのマシンサイクル数だけ離れます。通常、実行、データアクセス、ライトバックの各ステージは他の命令の同じステージとオーバーラップさせることはできません。並列実行性の条件により2命令が並列実行される場合のみ、例外的にオーバーラップ可能となります。この単純な例として図8.3の(a)~(d)を参照してください。

レイテンシは命令の発行と完了の間隔であり、また相互依存関係を持つ2命令の実行間隔でもあります。同時にフェッチされた2命令間に依存関係が存在する場合、2命令のうち後の命令は次のサイクル数だけストールします。

- フロー依存関係（read-after-write、書き込み後の読み出し）が存在するとき  
（レイテンシ）サイクル
- 出力依存関係（write-after-write、書き込み後の書き込み）が存在するとき  
（レイテンシ-1）または（レイテンシ-2）サイクル
  - （a）単/倍精度FDIV、FSQRTが先行するとき（レイテンシ-1）サイクル
  - （b）(a)以外のFEグループの命令が先行するとき（レイテンシ-2）サイクル
- 次のような逆フロー依存関係（write-after-read、読み出し後の書き込み）が存在するとき  
5サイクルまたは2サイクル
  - （a）FTRVが先行するとき5サイクル
  - （b）倍精度FADD、FSUB、FMULが先行するとき2サイクル

フロー依存関係が存在する場合、連続した命令の組み合わせによりレイテンシが例外的に増加 / 減少します (図 8.3 (e))。

- 浮動小数点計算に浮動小数点レジスタストアが続くと、浮動小数点計算のレイテンシは1サイクル減少する場合があります。
- SHAD、SHLDの直前にシフト量のロードが存在すると、ロードのレイテンシは1サイクル増加します。
- 浮動小数点レジスタに対するライトバックを含み、レイテンシが2サイクル未満の命令の次に倍精度浮動小数点命令、FIPRまたはFTRVが続く場合、最初の命令のレイテンシは2サイクルに増加します。

フロー依存関係によるパイプラインのストールについては、依存性を持つ命令の組み合わせや、フェッチのタイミングによって、そのサイクル数にはバリエーションが生じます。図 8.3 (e)も参照してください。

出力依存関係は、先行する FE グループの命令とそれに続く LS グループの命令でデスティネーションオペランドが一致する場合に発生します。

出力依存関係を持つ命令のストールサイクルについては、「レイテンシ」に代入するものとして、すべてのデスティネーションオペランドのうち、最も遅いライトバックに対する最長のレイテンシを適用しなければなりません (図 8.3 (f)を参照)。ただし、浮動小数点演算の結果を反映する FPSCR に対する出力依存関係によるストールは決して起こりません。例えば、FDIV の次に浮動小数点レジスタ間に依存関係のない FADD が続く場合、2 つの命令が FPSCR の要因 (cause) フィールドを更新するにもかかわらず、FADD はストールしません。

逆フロー依存関係は、先行する倍精度 FADD、FMUL、FSUB または FTRV とそれに続く FMOV、FLDI0、FLDI1、FABS、FNEG、または FSTS の間でのみ発生する可能性があります。図 8.3 (g)を参照してください。

実行中の命令がいずれかのリソース、すなわち基本演算を行う機能ブロックをロックする場合、ロックされたリソースを使用しようとしていた後続の命令はストールします (図 8.3 (h))。このようなストールはロックされたリソースとは無関係な命令を 1 つまたはそれ以上挿入し、干渉する命令を分離することによって補償することができます。例えば、ロード命令とロードした値を参照する ADD 命令が連続している場合、依存性のない 3 つの命令を間に挿入することにより、ADD に対する 2 サイクルのストールが除かれます。このような命令スケジューリングによってソフトウェアの性能を向上させることができます。

その他ストールを発生させる要因として下記があります。

- 命令TLBミス
- 外部メモリに対する命令アクセス (命令キャッシュミス等)
- 外部メモリに対するデータアクセス (オペランドキャッシュミス等)
- メモリ割り付けコントロールレジスタに対するデータアクセス

命令 TLB ミスおよび外部命令アクセスのペナルティサイクル中、命令は発行されませんが、発行済みの命令の実行は継続されます。データアクセスに対するペナルティは、パイプラインのフリーズ、すなわち、未完了の命令の実行は要求したデータが到着するまで中断されます。命令アクセスとデータアクセスに対するペナルティサイクル数は、ユーザのメモリサブシステムに大きく依存します。

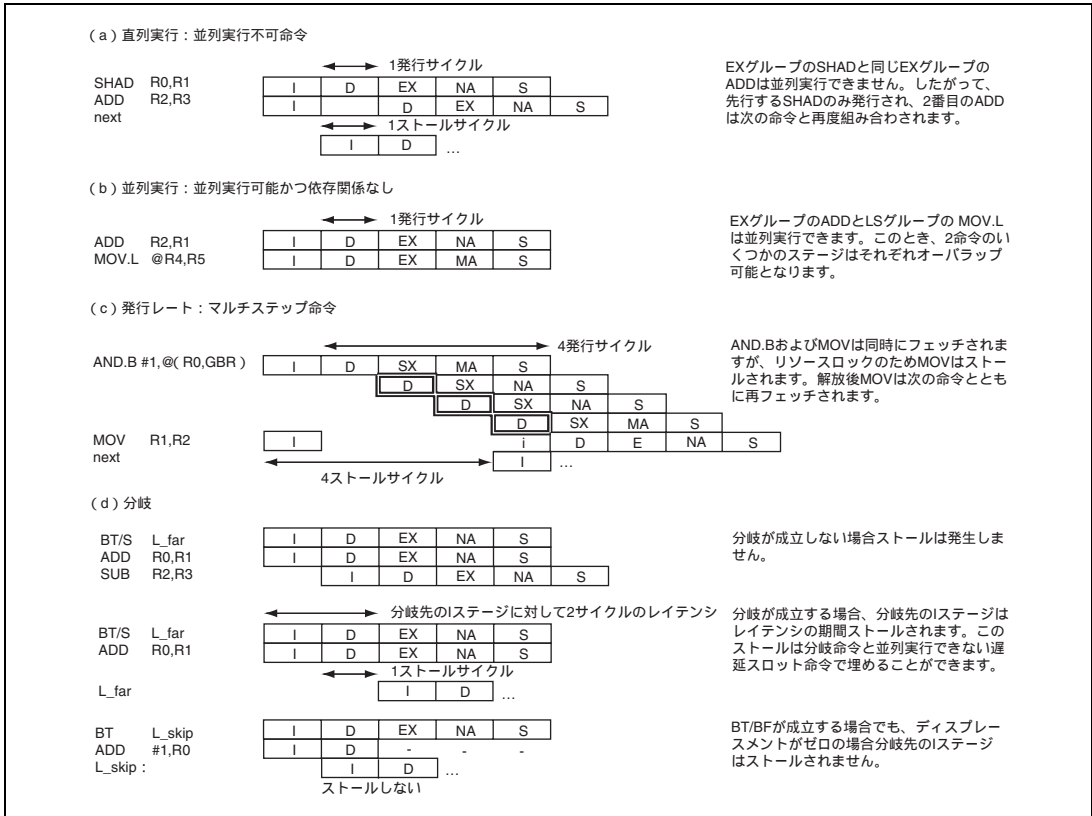


図 8.3 パイプライン実行の例 (1)

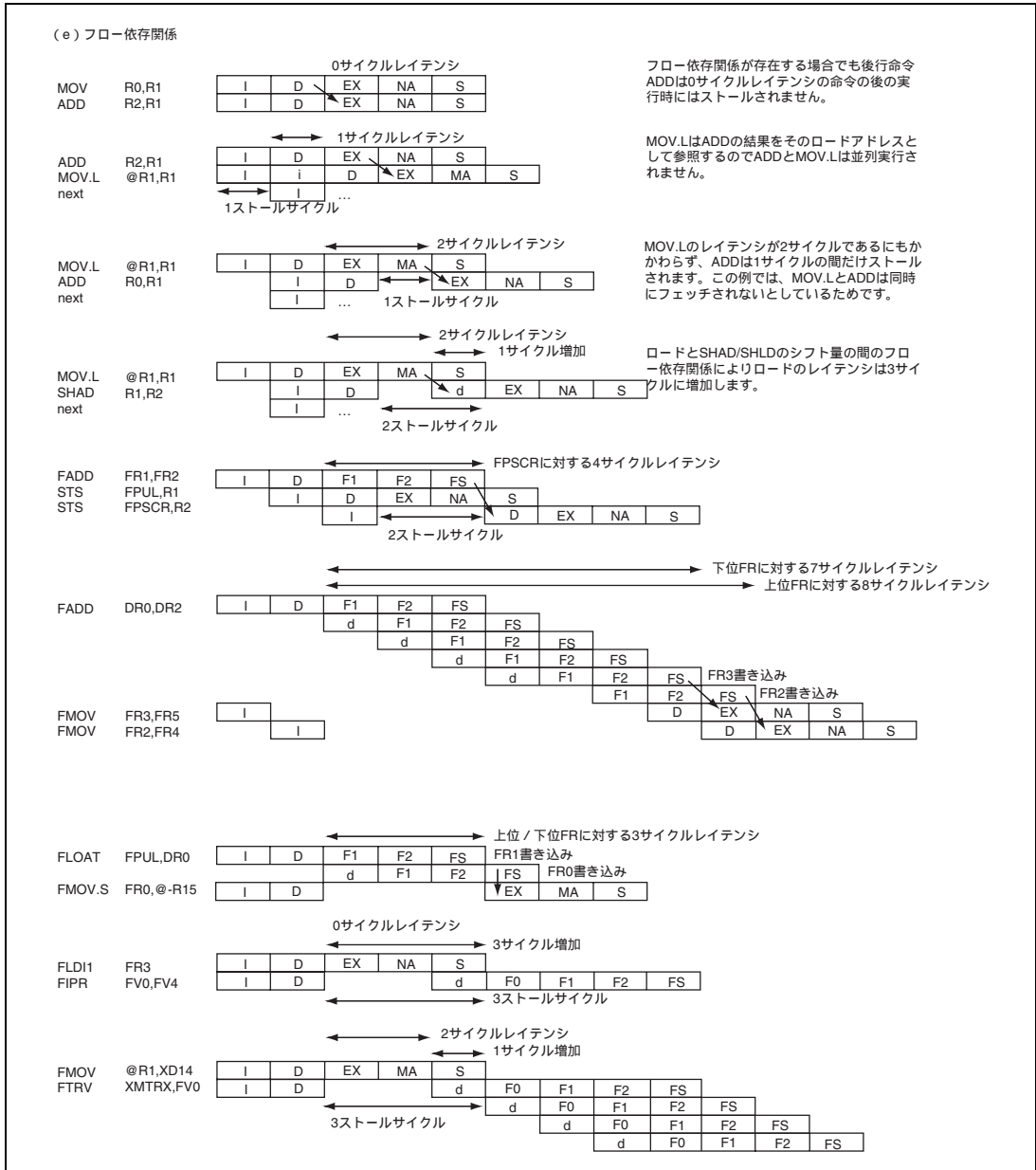


図 8.3 パイプライン実行の例 (2)

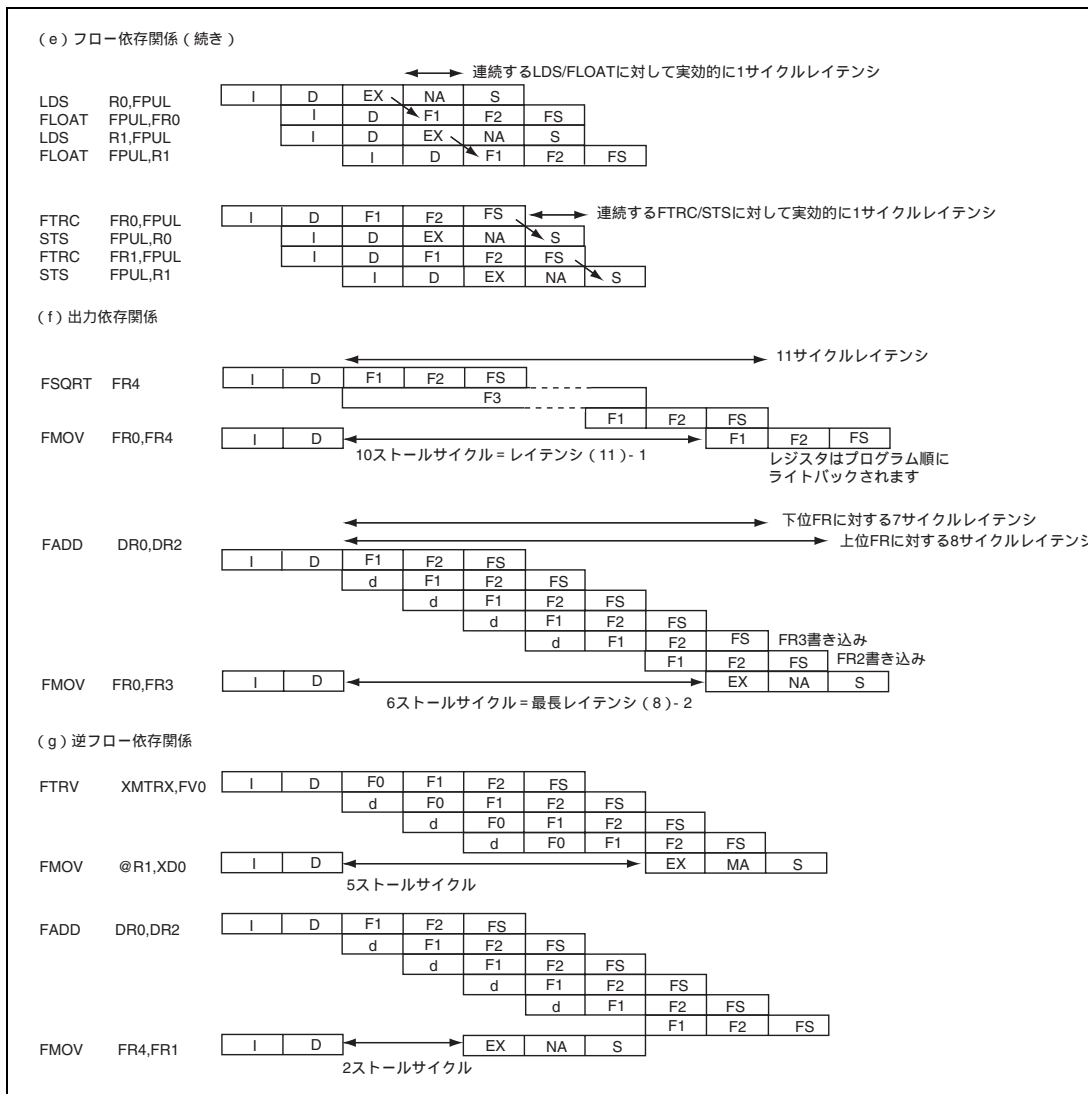


図 8.3 パイプライン実行の例 ( 3 )

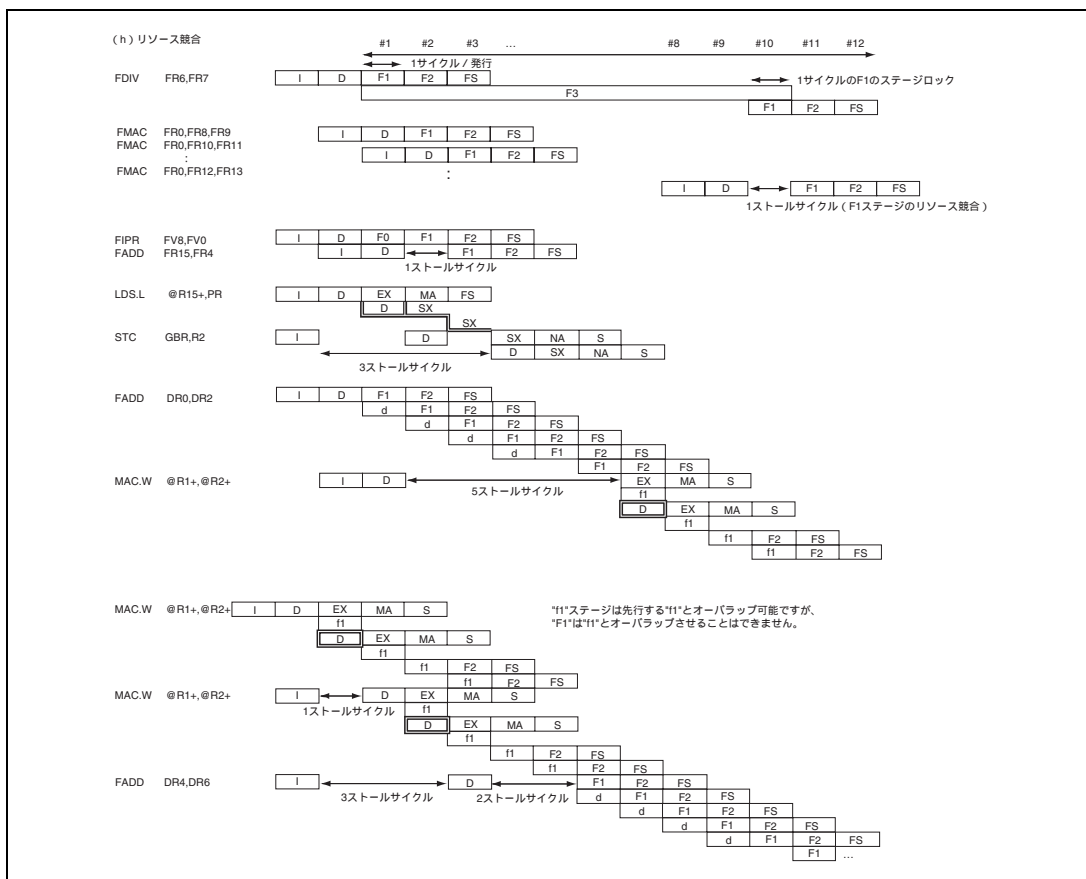


図 8.3 パイプライン実行の例 (4)

表 8.3 実行サイクル

機能 分類	No.	命令		命令 グループ	発行 レート	レイテンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
データ 転送命 令	1	EXTS.B	Rm,Rn	EX	1	1	#1	-	-	-
	2	EXTS.W	Rm,Rn	EX	1	1	#1	-	-	-
	3	EXTU.B	Rm,Rn	EX	1	1	#1	-	-	-
	4	EXTU.W	Rm,Rn	EX	1	1	#1	-	-	-
	5	MOV	Rm,Rn	MT	1	0	#1	-	-	-
	6	MOV	#Imm,Rn	EX	1	1	#1	-	-	-
	7	MOVA	@(disp,PC),R0	EX	1	1	#1	-	-	-
	8	MOV.W	@(disp,PC),Rn	LS	1	2	#2	-	-	-
	9	MOV.L	@(disp,PC),Rn	LS	1	2	#2	-	-	-
	10	MOV.B	@Rm,Rn	LS	1	2	#2	-	-	-
	11	MOV.W	@Rm,Rn	LS	1	2	#2	-	-	-
	12	MOV.L	@Rm,Rn	LS	1	2	#2	-	-	-
	13	MOV.B	@Rm+,Rn	LS	1	1/2	#2	-	-	-
	14	MOV.W	@Rm+,Rn	LS	1	1/2	#2	-	-	-
	15	MOV.L	@Rm+,Rn	LS	1	1/2	#2	-	-	-
	16	MOV.B	@(disp,Rm),R0	LS	1	2	#2	-	-	-
	17	MOV.W	@(disp,Rm),R0	LS	1	2	#2	-	-	-
	18	MOV.L	@(disp,Rm),Rn	LS	1	2	#2	-	-	-
	19	MOV.B	@(R0,Rm),Rn	LS	1	2	#2	-	-	-
	20	MOV.W	@(R0,Rm),Rn	LS	1	2	#2	-	-	-
	21	MOV.L	@(R0,Rm),Rn	LS	1	2	#2	-	-	-
	22	MOV.B	@(disp,GBR),R0	LS	1	2	#3	-	-	-
	23	MOV.W	@(disp,GBR),R0	LS	1	2	#3	-	-	-
	24	MOV.L	@(disp,GBR),R0	LS	1	2	#3	-	-	-
	25	MOV.B	Rm,@Rn	LS	1	1	#2	-	-	-
	26	MOV.W	Rm,@Rn	LS	1	1	#2	-	-	-
	27	MOV.L	Rm,@Rn	LS	1	1	#2	-	-	-
	28	MOV.B	Rm,@-Rn	LS	1	1/1	#2	-	-	-
	29	MOV.W	Rm,@-Rn	LS	1	1/1	#2	-	-	-
	30	MOV.L	Rm,@-Rn	LS	1	1/1	#2	-	-	-
	31	MOV.B	R0,@(disp,Rn)	LS	1	1	#2	-	-	-
	32	MOV.W	R0,@(disp,Rn)	LS	1	1	#2	-	-	-
	33	MOV.L	Rm,@(disp,Rn)	LS	1	1	#2	-	-	-
	34	MOV.B	Rm,@(R0,Rn)	LS	1	1	#2	-	-	-
	35	MOV.W	Rm,@(R0,Rn)	LS	1	1	#2	-	-	-
	36	MOV.L	Rm,@(R0,Rn)	LS	1	1	#2	-	-	-



機能 分類	No.	命令	命令 グループ	発行 レート	レイテンシ	実行 パターン	ロック			
							ステージ	開始	サイクル	
データ 転送命 令	37	MOV.B	R0,@(disp,GBR)	LS	1	1	#3	-	-	-
	38	MOV.W	R0,@(disp,GBR)	LS	1	1	#3	-	-	-
	39	MOV.L	R0,@(disp,GBR)	LS	1	1	#3	-	-	-
	40	MOVCA.L	R0,@Rn	LS	1	3~7	#12	MA	4	3~7
	41	MOVT	Rn	EX	1	1	#1	-	-	-
	42	OCBI	@Rn	LS	1	1~2	#10	MA	4	1~2
	43	OCBP	@Rn	LS	1	1~5	#11	MA	4	1~5
	44	OCBWB	@Rn	LS	1	1~5	#11	MA	4	1~5
	45	PREF	@Rn	LS	1	1	#2	-	-	-
	46	SWAP.B	Rm,Rn	EX	1	1	#1	-	-	-
	47	SWAP.W	Rm,Rn	EX	1	1	#1	-	-	-
	48	XTRCT	Rm,Rn	EX	1	1	#1	-	-	-
固定小 数点算 術命令	49	ADD	Rm,Rn	EX	1	1	#1	-	-	-
	50	ADD	#imm,Rn	EX	1	1	#1	-	-	-
	51	ADDC	Rm,Rn	EX	1	1	#1	-	-	-
	52	ADDV	Rm,Rn	EX	1	1	#1	-	-	-
	53	CMP/EQ	#imm,R0	MT	1	1	#1	-	-	-
	54	CMP/EQ	Rm,Rn	MT	1	1	#1	-	-	-
	55	CMP/GE	Rm,Rn	MT	1	1	#1	-	-	-
	56	CMP/GT	Rm,Rn	MT	1	1	#1	-	-	-
	57	CMP/HI	Rm,Rn	MT	1	1	#1	-	-	-
	58	CMP/HS	Rm,Rn	MT	1	1	#1	-	-	-
	59	CMP/PL	Rn	MT	1	1	#1	-	-	-
	60	CMP/PZ	Rn	MT	1	1	#1	-	-	-
	61	CMP/STR	Rm,Rn	MT	1	1	#1	-	-	-
	62	DIV0S	Rm,Rn	EX	1	1	#1	-	-	-
	63	DIV0U		EX	1	1	#1	-	-	-
	64	DIV1	Rm,Rn	EX	1	1	#1	-	-	-
	65	DMULS.L	Rm,Rn	CO	2	4/4	#34	F1	4	2
	66	DMULU.L	Rm,Rn	CO	2	4/4	#34	F1	4	2
	67	DT	Rn	EX	1	1	#1	-	-	-
	68	MAC.L	@Rm+,@Rn+	CO	2	2/2/4/4	#35	F1	4	2
	69	MAC.W	@Rm+,@Rn+	CO	2	2/2/4/4	#35	F1	4	2
	70	MUL.L	Rm,Rn	CO	2	4/4	#34	F1	4	2
	71	MULS.W	Rm,Rn	CO	2	4/4	#34	F1	4	2
	72	MULU.W	Rm,Rn	CO	2	4/4	#34	F1	4	2
	73	NEG	Rm,Rn	EX	1	1	#1	-	-	-

機能 分類	No.	命令		命令 グループ	発行 レート	レイテンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
固定小 数点算 術命令	74	NEGC	Rm,Rn	EX	1	1	#1	-	-	-
	75	SUB	Rm,Rn	EX	1	1	#1	-	-	-
	76	SUBC	Rm,Rn	EX	1	1	#1	-	-	-
	77	SUBV	Rm,Rn	EX	1	1	#1	-	-	-
論理命 令	78	AND	Rm,Rn	EX	1	1	#1	-	-	-
	79	AND	#imm,R0	EX	1	1	#1	-	-	-
	80	AND.B	#imm,@(R0,GBR)	CO	4	4	#6	-	-	-
	81	NOT	Rm,Rn	EX	1	1	#1	-	-	-
	82	OR	Rm,Rn	EX	1	1	#1	-	-	-
	83	OR	#imm,R0	EX	1	1	#1	-	-	-
	84	OR.B	#imm,@(R0,GBR)	CO	4	4	#6	-	-	-
	85	TAS.B	@Rn	CO	5	5	#7	-	-	-
	86	TST	Rm,Rn	MT	1	1	#1	-	-	-
	87	TST	#imm,R0	MT	1	1	#1	-	-	-
	88	TST.B	#imm,@(R0,GBR)	CO	3	3	#5	-	-	-
	89	XOR	Rm,Rn	EX	1	1	#1	-	-	-
	90	XOR	#imm,R0	EX	1	1	#1	-	-	-
91	XOR.B	#imm,@(R0,GBR)	CO	4	4	#6	-	-	-	
シフト 命令	92	ROTL	Rn	EX	1	1	#1	-	-	-
	93	ROTR	Rn	EX	1	1	#1	-	-	-
	94	ROTCL	Rn	EX	1	1	#1	-	-	-
	95	ROTCR	Rn	EX	1	1	#1	-	-	-
	96	SHAD	Rm,Rn	EX	1	1	#1	-	-	-
	97	SHAL	Rn	EX	1	1	#1	-	-	-
	98	SHAR	Rn	EX	1	1	#1	-	-	-
	99	SHLD	Rm,Rn	EX	1	1	#1	-	-	-
	100	SHLL	Rn	EX	1	1	#1	-	-	-
	101	SHLL2	Rn	EX	1	1	#1	-	-	-
	102	SHLL8	Rn	EX	1	1	#1	-	-	-
	103	SHLL16	Rn	EX	1	1	#1	-	-	-
	104	SHLR	Rn	EX	1	1	#1	-	-	-
	105	SHLR2	Rn	EX	1	1	#1	-	-	-
106	SHLR8	Rn	EX	1	1	#1	-	-	-	
107	SHLR16	Rn	EX	1	1	#1	-	-	-	
分岐命 令	108	BF	disp	BR	1	2(or1)	#1	-	-	-
	109	BF/S	disp	BR	1	2(or1)	#1	-	-	-
	110	BT	disp	BR	1	2(or1)	#1	-	-	-

機能 分類	No.	命令	命令 グループ	発行 レート	レイテンシ	実行 パターン	ロック			
							ステージ	開始	サイクル	
分岐命 令	111	BT/S	disp	BR	1	2(or1)	#1	-	-	-
	112	BRA	disp	BR	1	2	#1	-	-	-
	113	BRAF	Rm	CO	2	3	#4	-	-	-
	114	BSR	disp	BR	1	2	#14	SX	3	2
	115	BSRF	Rm	CO	2	3	#24	SX	3	2
	116	JMP	@Rn	CO	2	3	#4	-	-	-
	117	JSR	@Rn	CO	2	3	#24	SX	3	2
	118	RTS		CO	2	3	#4	-	-	-
システ ム制御 命令	119	NOP		MT	1	0	#1	-	-	-
	120	CLRMAC		CO	1	3	#28	F1	3	2
	121	CLRS		CO	1	1	#1	-	-	-
	122	CLRT		MT	1	1	#1	-	-	-
	123	SETS		CO	1	1	#1	-	-	-
	124	SETT		MT	1	1	#1	-	-	-
	125	TRAPA	#imm	CO	7	7	#13	-	-	-
	126	RTE		CO	5	5	#8	-	-	-
	127	SLEEP		CO	4	4	#9	-	-	-
	128	LDTLB		CO	1	1	#2	-	-	-
	129	LDC	Rm,DBR	CO	1	3	#14	SX	3	2
	130	LDC	Rm,GBR	CO	3	3	#15	SX	3	2
	131	LDC	Rm,Rp_BANK	CO	1	3	#14	SX	3	2
	132	LDC	Rm,SR	CO	4	4	#16	SX	3	2
	133	LDC	Rm,SSR	CO	1	3	#14	SX	3	2
	134	LDC	Rm,SPC	CO	1	3	#14	SX	3	2
	135	LDC	Rm,VBR	CO	1	3	#14	SX	3	2
	136	LDC.L	@Rm+,DBR	CO	1	1/3	#17	SX	3	2
	137	LDC.L	@Rm+,GBR	CO	3	3/3	#18	SX	3	2
	138	LDC.L	@Rm+,Rp_BANK	CO	1	1/3	#17	SX	3	2
	139	LDC.L	@Rm+,SR	CO	4	4/4	#19	SX	3	2
	140	LDC.L	@Rm+,SSR	CO	1	1/3	#17	SX	3	2
	141	LDC.L	@Rm+,SPC	CO	1	1/3	#17	SX	3	2
	142	LDC.L	@Rm+,VBR	CO	1	1/3	#17	SX	3	2
	143	LDS	Rm,MACH	CO	1	3	#28	F1	3	2
	144	LDS	Rm,MACL	CO	1	3	#28	F1	3	2
	145	LDS	Rm,PR	CO	2	3	#24	SX	3	2
	146	LDS.L	@Rm+,MACH	CO	1	1/3	#29	F1	3	2
	147	LDS.L	@Rm+,MACL	CO	1	1/3	#29	F1	3	2

機能 分類	No.	命令	命令 グループ	発行 レート	レイテンシ	実行 パターン	ロック			
							ステージ	開始	サイクル	
システ ム制御 命令	148	LDS.L	@Rm+,PR	CO	2	2/3	#25	SX	3	2
	149	STC	DBR,Rn	CO	2	2	#20	-	-	-
	150	STC	SGR,Rn	CO	3	3	#21	-	-	-
	151	STC	GBR,Rn	CO	2	2	#20	-	-	-
	152	STC	Rp_BANK,Rn	CO	2	2	#20	-	-	-
	153	STC	SR,Rn	CO	2	2	#20	-	-	-
	154	STC	SSR,Rn	CO	2	2	#20	-	-	-
	155	STC	SPC,Rn	CO	2	2	#20	-	-	-
	156	STC	VBR,Rn	CO	2	2	#20	-	-	-
	157	STC.L	DBR,@-Rn	CO	2	2/2	#22	-	-	-
	158	STC.L	SGR,@-Rn	CO	3	3/3	#23	-	-	-
	159	STC.L	GBR,@-Rn	CO	2	2/2	#22	-	-	-
	160	STC.L	Rp_BANK,@-Rn	CO	2	2/2	#22	-	-	-
	161	STC.L	SR,@-Rn	CO	2	2/2	#22	-	-	-
	162	STC.L	SSR,@-Rn	CO	2	2/2	#22	-	-	-
	163	STC.L	SPC,@-Rn	CO	2	2/2	#22	-	-	-
	164	STC.L	VBR,@-Rn	CO	2	2/2	#22	-	-	-
	165	STS	MACH,Rn	CO	1	3	#30	-	-	-
	166	STS	MACL,Rn	CO	1	3	#30	-	-	-
	167	STS	PR,Rn	CO	2	2	#26	-	-	-
168	STS.L	MACH,@-Rn	CO	1	1/1	#31	-	-	-	
169	STS.L	MACL,@-Rn	CO	1	1/1	#31	-	-	-	
170	STS.L	PR,@-Rn	CO	2	2/2	#27	-	-	-	
単精度 浮動小 数点命 令	171	FLDI0	FRn	LS	1	0	#1	-	-	-
	172	FLDI1	FRn	LS	1	0	#1	-	-	-
	173	FMOV	FRm,FRn	LS	1	0	#1	-	-	-
	174	FMOV.S	@Rm,FRn	LS	1	2	#2	-	-	-
	175	FMOV.S	@Rm+,FRn	LS	1	1/2	#2	-	-	-
	176	FMOV.S	@(R0,Rm),FRn	LS	1	2	#2	-	-	-
	177	FMOV.S	FRm,@Rn	LS	1	1	#2	-	-	-
	178	FMOV.S	FRm,@-Rn	LS	1	1/1	#2	-	-	-
	179	FMOV.S	FRm,@(R0,Rn)	LS	1	1	#2	-	-	-
	180	FLDS	FRm,FPUL	LS	1	0	#1	-	-	-
	181	FSTS	FPUL,FRn	LS	1	0	#1	-	-	-
	182	FABS	FRn	LS	1	0	#1	-	-	-
	183	FADD	FRm,FRn	FE	1	3/4	#36	-	-	-
	184	FCMP/EQ	FRm,FRn	FE	1	2/4	#36	-	-	-

機能 分類	No.	命令		命令 グループ	発行 レート	レイテンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
単精度 浮動小 数点命 令	185	FCMP/GT	FRm,FRn	FE	1	2/4	#36	-	-	-
	186	FDIV	FRm,FRn	FE	1	12/13	#37	F3	2	10
								F1	11	1
	187	FLOAT	FPUL,FRn	FE	1	3/4	#36	-	-	-
	188	FMAC	FR0,FRm,FRn	FE	1	3/4	#36	-	-	-
	189	FMUL	FRm,FRn	FE	1	3/4	#36	-	-	-
	190	FNEG	FRn	LS	1	0	#1	-	-	-
	191	FSQRT	FRn	FE	1	11/12	#37	F3	2	9
								F1	10	1
	192	FSUB	FRm,FRn	FE	1	3/4	#36	-	-	-
	193	FTRC	FRm,FPUL	FE	1	3/4	#36	-	-	-
	194	FMOV	DRm,DRn	LS	1	0	#1	-	-	-
	195	FMOV	@Rm,DRn	LS	1	2	#2	-	-	-
	196	FMOV	@Rm+,DRn	LS	1	1/2	#2	-	-	-
	197	FMOV	@(R0,Rm),DRn	LS	1	2	#2	-	-	-
	198	FMOV	DRm,@Rn	LS	1	1	#2	-	-	-
199	FMOV	DRm,@-Rn	LS	1	1/1	#2	-	-	-	
200	FMOV	DRm,@(R0,Rn)	LS	1	1	#2	-	-	-	
倍精度 浮動小 数点命 令	201	FABS	DRn	LS	1	0	#1	-	-	-
	202	FADD	DRm,DRn	FE	1	(7,8)/9	#39	F1	2	6
	203	FCMP/EQ	DRm,DRn	CO	2	3/5	#40	F1	2	2
	204	FCMP/GT	DRm,DRn	CO	2	3/5	#40	F1	2	2
	205	FCNVDS	DRm,FPUL	FE	1	4/5	#38	F1	2	2
	206	FCNVSD	FPUL,DRn	FE	1	(3,4)/5	#38	F1	2	2
	207	FDIV	DRm,DRn	FE	1	(24,25)/26	#41	F3	2	23
								F1	22	3
								F1	2	2
	208	FLOAT	FPUL,DRn	FE	1	(3,4)/5	#38	F1	2	2
	209	FMUL	DRm,DRn	FE	1	(7,8)/9	#39	F1	2	6
	210	FNEG	DRn	LS	1	0	#1	-	-	-
	211	FSQRT	DRn	FE	1	(23,24)/25	#41	F3	2	22
F1								21	3	
F1								2	2	
212	FSUB	DRm,DRn	FE	1	(7,8)/9	#39	F1	2	6	
213	FTRC	DRm,FPUL	FE	1	4/5	#38	F1	2	2	

機能 分類	No.	命令		命令 グループ	発行 レート	レイテンシ	実行 パターン	ロック		
								ステージ	開始	サイクル
FPUシ ステム 制御命 令	214	LDS	Rm,FPUL	LS	1	1	#1	-	-	-
	215	LDS	Rm,FPSCR	CO	1	4	#32	F1	3	3
	216	LDS.L	@Rm+,FPUL	CO	1	1/2	#2	-	-	-
	217	LDS.L	@Rm+,FPSCR	CO	1	1/4	#33	F1	3	3
	218	STS	FPUL,Rn	LS	1	3	#1	-	-	-
	219	STS	FPSCR,Rn	CO	1	3	#1	-	-	-
	220	STS.L	FPUL,@-Rn	CO	1	1/1	#2	-	-	-
	221	STS.L	FPSCR,@-Rn	CO	1	1/1	#2	-	-	-
グラフ イクス 強化命 令	222	FMOV	DRm,XDn	LS	1	0	#1	-	-	-
	223	FMOV	XDm,DRn	LS	1	0	#1	-	-	-
	224	FMOV	XDm,XDn	LS	1	0	#1	-	-	-
	225	FMOV	@Rm,XDn	LS	1	2	#2	-	-	-
	226	FMOV	@Rm+,XDn	LS	1	1/2	#2	-	-	-
	227	FMOV	@(R0,Rm),XDn	LS	1	2	#2	-	-	-
	228	FMOV	XDm,@Rn	LS	1	1	#2	-	-	-
	229	FMOV	XDm,@-Rn	LS	1	1/1	#2	-	-	-
	230	FMOV	XDm,@(R0,Rn)	LS	1	1	#2	-	-	-
	231	FIPR	FVm,FVn	FE	1	4/5	#42	F1	3	1
	232	FRCHG		FE	1	1/4	#36	-	-	-
	233	FSCHG		FE	1	1/4	#36	-	-	-
	234	FTRV	XMTRX,FVn	FE	1	(5,5,6,7)/8	#43	F0	2	4
								F1	3	4

- 【注】
- 命令グループについては表 8.1 を参照してください。
  - レイテンシ"L1/L2..." : MACH/MACL/FPSCR を含む各レジスタへの書き込みに対応するレイテンシ  
「例」MOV.B @Rm+,Rn "1/2"の場合、Rm に対するレイテンシは 1 サイクルで、Rn に対するレイテンシは 2 サイクル
  - 分岐のレイテンシ : 分岐先命令がフェッチされるまでの間隔
  - 条件分岐のレイテンシ"2 (または 1)" : 0 以外のディスプレイメントに対するレイテンシは 2 で、0 ディスプレースメントに対するレイテンシは 1 です。
  - 倍精度浮動小数点命令のレイテンシ" (L1,L2) /L3" : L1 は FR [n+1]、L2 は FR [n]、L3 は FPSCR に対するレイテンシです。
  - FTRV のレイテンシ" (L1,L2,L3,L4) /L5" : L1 は FR [n]、L2 は FR [n+1]、L3 は FR [n+2]、L4 は FR [n+3]、L5 は FPSCR に対するレイテンシです。
  - MAC.L、MAC.W 命令のレイテンシ"L1/L2/L3/L4" : L1 は Rm、L2 は Rn、L3 は MACH、および L4 は MACL に対するレイテンシです。
  - MUL.L、MULS.W、MULU.W、DMULS.L、DMULU.L 命令のレイテンシ"L1/L2" : L1 は MACH、L2 は MACL に対するレイテンシです。
  - 実行パターン : 命令実行のパターン番号 (図 8.2 参照)

10. ロック / ステージ : 命令がロックするステージ
11. ロック / 開始 : ロッキングの開始サイクル ; 1 は命令の最初の D ステージ
12. ロック / サイクル : ロックしたサイクル数

例外 :

1. 浮動小数点演算命令に FMOV によるストア、STS FPUL,Rn,STS.L FPUL,@-Rn が続く場合、浮動小数点演算のレイテンシは 1 サイクル減少します。
2. 先行命令が次の SHAD/SHLD のシフト量をロードする場合、ロードのレイテンシは1 サイクル増加します。
3. 3 サイクル未満のレイテンシを持つ LS グループ命令に倍精度浮動小数点命令、FIPR または FTRV が続く場合、最初の命令のレイテンシは 3 サイクルに増加します。  
「例」"FMOV FR4,FR0"および"FIPR FV0,FV4"の場合、FIPR は 2 サイクルストールされます。
4. MAC.W/MAC.L/MUL.L/MULS.W/MULU.W/DMULS.L/DMULU.L に"STS.L MACH/MACL, @-Rn"命令が続く場合、MAC.W/MAC.L/MUL.L/MULS.W/MULU.W/DMULS.L/DMULU.L のレイテンシは 5 サイクルです。
5. MAC.W/MAC.L/MUL.L/MULS.W/MULU.W/DMULS.L/DMULU.L が連続実行された場合、レイテンシは 2 サイクルに減少します。
6. MACH/MACL への LDS に"STS.L MACH/MACL, @-Rn"命令が続く場合、MACH/MACL への LDS のレイテンシは 4 サイクルです。
7. MACH/MACL への LDS に MAC.W/MAC.L/MUL.L/MULS.W/MULU.W/DMULS.L/DMULU.L が続く場合、MACH/MACL への LDS のレイテンシは 1 サイクルです。
8. FSCHG または FRCHG 命令に、浮動小数点レジスタを読み出し / 書き込みする LS グループ命令が続く場合、前記 LS グループの命令は並列実行できません。
9. 単精度 FTRC 命令に"STS FPUL, Rn"命令が続く場合、単精度 FTRC 命令のレイテンシは 1 サイクルです。

## 8.4 使用上の注意

パイプライン動作とクロック数の計算方法に関して以下の注意事項を追加します。

外部バス等へのアクセスが発生したステージの処理に必要なステート数(1クロック数)は、バスステートコントローラ(BSC)等で設定したメモリアクセスのサイクル数に加え、追加サイクルの分が多くなる場合があります。

例えば、

1. 論理アドレスバスから物理アドレスバスへのデータ受け渡し
2. 異なる動作クロックのバス間のデータ受け渡し

があるため、外部バス上でも観測されるアイドルサイクルが発生する可能性があります。

なお、外部メモリアクセスが発生するステージは、一部の命令フェッチ(I)または一部のメモリアクセス(MA)です。



## 9. 低消費電力モード

### 9.1 概要

低消費電力モードでは、内蔵周辺モジュールの一部と CPU が機能を停止します。これによって、消費電力を低減させることができます。

#### 9.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ディープスリープモード
3. スタンバイモード
4. ハードウェアスタンバイモード
5. モジュールスタンバイ機能 (TMU、RTC、SCI/SCIF、DMAC、SQ\*、UBC\*の内蔵モジュール)

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を、表 9.1 に示します。

表 9.1 低消費電力モードの状態

低消費電力モード	遷移状態	状態						解除方法
		CPG	CPU	内蔵メモリ	内蔵周辺モジュール	端子	外部メモリ	
スリープモード	STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止 (レジスタは保持)	保持	動作	保持	リフレッシュ	(1) 割り込み (2) リセット
ディープスリープモード	STBCR の STBY ビットが 0、STBCR2 の DSLP ビットが 1 の状態で SLEEP 命令を実行	動作	停止 (レジスタは保持)	保持	動作 (DMA は停止)	保持	セルフリフレッシュ	(1) 割り込み (2) リセット
スタンバイモード	STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行	停止	停止 (レジスタは保持)	保持	停止*	保持	セルフリフレッシュ	(1) 割り込み (2) リセット
ハードウェアスタンバイモード	CA 端子をローレベルにする	停止	停止	不定	停止*	ハイインピーダンス状態	不定	(1) パワーオンリセット
モジュールスタンバイ機能	STBCR の MSTP ビットを 1 とする	動作	動作	保持	指定モジュールが停止*	保持	リフレッシュ	(1) MSTP ビットを 0 とする (2) リセット

【注】 \* RTC は、RCR2 の START ビットが 1 のとき、動作します（「第 11 章 リアルタイムクロック (RTC)」参照）。

### 9.1.2 レジスタ構成

低消費電力モード関連のレジスタ構成を表 9.2 に示します。

表 9.2 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア 7 アドレス	アクセス サイズ
スタンバイコントロール レジスタ	STBCR	R/W	H'00	H'FFC00004	H'1FC00004	8
スタンバイコントロール レジスタ 2	STBCR2	R/W	H'00	H'FFC00010	H'1FC00010	8
クロック停止レジスタ 00	CLKSTP00	R/W	H'00000000	H'FE0A0000	H'1E0A0000	32
クロック停止解除 レジスタ 00	CLKSTPCLR00	W	H'00000000	H'FE0A0008	H'1E0A0008	32

### 9.1.3 端子構成

低消費電力モード関連の端子構成を表 9.3 に示します。

表 9.3 端子構成

端子名	略称	入出力	機能
処理状態 1 処理状態 0	STATUS1 STATUS0	出力	プロセッサの動作状態を表します。(STATUS1、STATUS0) HH:リセット HL:スリープモード LH:スタンバイモード LL:通常動作
スリープ要求	SLEEP	入力	端子にローレベルを入力することにより、スリープモードへ遷移する
ハードウェア スタンバイ要求	CA	入力	端子にローレベルを入力することにより、ハードウェアスタンバイモードへ遷移する

【注】 H はハイレベルを表します。L はローレベルを表します。

## 9.2 レジスタの説明

### 9.2.1 スタンバイコントロールレジスタ (STBCR)

スタンバイコントロールレジスタ (STBCR) は、低消費電力モードの状態を指定します。STBCR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。RESET 端子およびウォッチドッグタイマのオーバフローによるパワーオンリセットで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	STBY	PHZ	PPU	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### ビット 7: スタンバイ (STBY)

スタンバイモードへの遷移を指定します。

ビット 7	説明
STBY	
0	SLEEP 命令の実行で、スリープモードへ遷移 (初期値)
1	SLEEP 命令の実行で、スタンバイモードへ遷移

#### ビット 6: 周辺モジュール端子ハイインピーダンス制御 (PHZ)

スタンバイモード時の、周辺モジュール関連端子の状態を制御します。PHZ を 1 にセットすると、スタンバイモード時に、周辺モジュール関連端子がハイインピーダンス状態になります。

対象端子は「9.2.2 周辺モジュール端子ハイインピーダンス制御」を参照してください。

ビット 6	説明
PHZ	
0	周辺モジュール関連端子を通常状態 (初期値)
1	周辺モジュール関連端子をハイインピーダンス状態

## ビット 5：周辺モジュール端子プルアップ制御 (PPU)

周辺モジュール関連端子の状態を制御します。PPU ビットを 0 にクリアすると、周辺モジュール関連端子が入力またはハイインピーダンス状態のときに、プルアップ抵抗がオンになります。

対象端子は「9.2.3 周辺モジュール端子プルアップ制御」を参照してください。

ビット 5	説 明
PPU	
0	周辺モジュール関連端子のプルアップ抵抗オン (初期値)
1	周辺モジュール関連端子のプルアップ抵抗オフ

## ビット 4：モジュールストップ 4 (MSTP4)

DMAC へのクロック供給の停止を指定します。

MSTP4 ビットを 1 にセットすると DMAC へのクロック供給を停止します。

DMA 転送時は、転送を停止した後、MSTP4 ビットを 1 に設定してください。

MSTP4 ビットを 0 に設定した後、DMA 転送を行う場合は、DMAC の設定を再度行ってください。

ビット 4	説 明
MSTP4	
0	DMAC は動作 (初期値)
1	DMAC へのクロックの供給を停止

## ビット 3：モジュールストップ 3 (MSTP3)

内蔵周辺モジュールのうち、シリアルコミュニケーションインタフェースチャネル 2 (SCIF) へのクロック供給の停止を指定します。

MSTP3 ビットを 1 にセットすると SCIF へのクロック供給を停止します。

ビット 3	説 明
MSTP3	
0	SCIF は動作 (初期値)
1	SCIF へのクロックの供給を停止

## ビット 2 : モジュールストップ 2 (MSTP2)

内蔵周辺モジュールのうち、タイマユニット (TMU) チャンネル 0~2 へのクロック供給の停止を指定します。

MSTP2 ビットを 1 にセットすると TMU へのクロック供給を停止します。

ビット 2	説 明
MSTP2	
0	TMU チャンネル 0~2 は動作 (初期値)
1	TMU チャンネル 0~2 へのクロックの供給を停止

## ビット 1 : モジュールストップ 1 (MSTP1)

内蔵周辺モジュールのうち、リアルタイムクロック (RTC) へのクロック供給の停止を指定します。

MSTP1 ビットを 1 にセットすると RTC へのクロック供給を停止します。クロック供給が停止されると RTC の各レジスタのアクセスはできなくなりますが、カウンタは動作を続けます。

ビット 1	説 明
MSTP1	
0	RTC は動作 (初期値)
1	RTC へのクロックの供給を停止

## ビット 0 : モジュールストップ 0 (MSTP0)

内蔵周辺モジュールのうち、シリアルコミュニケーションインタフェースチャンネル 1 (SCI) へのクロック供給の停止を指定します。

MSTP0 ビットを 1 にセットすると SCI へのクロック供給を停止します。

ビット 0	説 明
MSTP0	
0	SCI は動作 (初期値)
1	SCI へのクロックの供給を停止

### 9.2.2 周辺モジュール端子ハイインピーダンス制御

スタンバイコントロールレジスタ (STBCR) のビット 6 に 1 をセットすると、スタンバイモード時に、周辺モジュール関連端子をハイインピーダンス状態にします。

#### (1) 対象端子

SCI 関連端子	SCK	MD0/SCK2
	TXD	MD1/TXD2
	MD7/CTS2	MD8/RTS2
DMA 関連端子	DACK0	DRAK0
	DACK1	DRAK1

#### (2) その他

上記端子がポートの出力端子として使用されている時は、本レジスタの設定は無効です。

端子状態の詳細は「付録 D. 端子機能」を参照してください。

### 9.2.3 周辺モジュール端子プルアップ制御

スタンバイコントロールレジスタ (STBCR) のビット 5 に 0 をセットすると、周辺モジュール関連端子が入力またはハイインピーダンス状態のときにプルアップされます。

#### • 対象端子

SCI 関連端子	MD0/SCK2	MD1/TXD2	MD2/RXD2
	MD7/CTS2	MD8/RTS2	SCK
	RXD	TXD	
DMA 関連端子	$\overline{\text{DREQ0}}$	DACK0	DRAK0
	$\overline{\text{DREQ1}}$	DACK1	DRAK1
TMU 関連	TCLK		

## 9.2.4 スタンバイコントロールレジスタ 2 (STBCR2)

スタンバイコントロールレジスタ 2 (STBCR2) は、スリープモードとディープスリープモードの遷移条件を指定します。STBCR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。RESET 端子およびウォッチドッグタイマのオーバフローによるパワーオンリセットで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	DSLPL	STHZ	-	-	-	-	MSTP6	MSTP5
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R/W	R/W

### ビット 7: ディープスリープ (DSLPL)

ディープスリープモードへの遷移を指定します。

ビット 7	説明
DSLPL	
0	SLEEP 命令の実行で、STBCR レジスタの STBY ビットの設定に従いスリープモードまたはスタンバイモードへ遷移する (初期値)
1	SLEEP 命令の実行で、ディープスリープモードへ遷移*

【注】 \* STBCR レジスタの STBY ビットが 0 の場合

### ビット 6: STATUS 端子ハイインピーダンス制御 (STHZ)

ハードウェアスタンバイモード時に STATUS0、1 端子をハイインピーダンスにするかどうかを設定します。

ビット 6	説明
STHZ	
0	ハードウェアスタンバイ時、STATUS0、1 端子はハイインピーダンス (初期値)
1	ハードウェアスタンバイ時、STATUS0、1 端子は LH をドライブ

### ビット 5~2: 予約ビット

書き込む値は常に 0 にしてください。1 を書き込んだ場合、動作は保証できません。

読み出すときは常に 0 です。

## ビット 1 : モジュールストップ 6 (MSTP6)

キャッシュコントローラ (CCN) 内のストアキュー (SQ) へのクロック供給の停止を指定します。MSTP6 ビットを 1 にセットすると SQ へのクロック供給を停止するため、SQ の機能は使用できなくなります。SH7751 の場合、「4.7 ストアキュー」を参照してください。

ビット 1	説 明
MSTP6	
0	SQ は動作 (初期値)
1	SQ へのクロックの供給を停止

## ビット 0 : モジュールストップ 5 (MSTP5)

内蔵周辺モジュールのうち、ユーザブ레이크コントローラ (UBC) へのクロック供給の停止を指定します。設定方法は「20.6 ユーザブ레이크コントローラ停止機能」を参照してください。

ビット 0	説 明
MSTP5	
0	UBC は動作 (初期値)
1	UBC へのクロックの供給を停止



### 9.2.5 クロック停止レジスタ 00 (CLKSTP00)

クロック停止レジスタ 00 (CLKSTP00) は、周辺モジュールの動作クロックを制御します。

クロック供給を再開するには CLKSTPCLR00 レジスタの対応するビットに 1 を書き込みます。CLKSTP00 に 0 を書き込んで値は変化しません。

CLKSTP00 レジスタは、読み出し / 書き込み可能な 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。マニュアルリセット、スタンバイモード時には初期化されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CSTP2	CSTP1	CSTP0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

#### ビット 31~3 : 予約ビット

書き込む値は常に 0 にしてください。

#### ビット 2 : クロックストップ 2 (CSTP2)

PCI バスコントローラ (PCIC) への周辺クロック供給の停止を指定します。詳細は「第 22 章 PCI コントローラ (PCIC)」を参照してください。

ビット 2	説明
CSTP2	
0	PCIC へ周辺クロックを供給 (初期値)
1	PCIC への周辺クロックの供給を停止

#### ビット 1 : クロックストップ 1 (CSTP1)

タイマユニット (TMU) チャネル 3、4 への周辺クロック供給の停止を指定します。

ビット 1	説明
CSTP1	
0	TMU チャネル 3、4 へ周辺クロックを供給 (初期値)
1	TMU チャネル 3、4 への周辺クロックの供給を停止

## ビット 0 : クロックストップ 0 (CSTP0)

割り込みコントローラ (INTC) への周辺クロック供給の停止を指定します。このビットをセットすると、PCIC、TMU チャンネル 3、4 の割り込みの検出が行われなくなります。

ビット 0	説 明
CSTP0	
0	INTC は、PCIC、TMU チャンネル 3、4 の割り込みを検出します (初期値)
1	INTC は、PCIC、TMU チャンネル 3、4 の割り込みを検出しません

## 9.2.6 クロック停止解除レジスタ 00 (CLKSTPCLR00)

クロック停止解除レジスタ 00 (CLKSTPCLR00) は、CLKSTP00 レジスタの対応するビットをクリアするレジスタです。CLKSTPCLR00 レジスタは 32 ビットの書き込み専用レジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

## ビット 31~0 : クロックストップクリア

各ビットに対応するクロックストップをクリアするかどうかを設定します。各ビットと停止するクロックの関係は、「9.2.5 クロック停止レジスタ 00 (CLKSTP00)」を参照してください。

ビット 31~0	説 明
0	対応するクロックストップを変更しません
1	対応するクロックストップをクリアします

## 9.3 スリープモード

### 9.3.1 スリープモードへの遷移

STBCR レジスタの STBY ビットが 0 の状態で、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO 端子にはクロックが出力され続けます。

スリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

### 9.3.2 スリープモードの解除

スリープモードは、割り込み (NMI、IRL、内蔵周辺)、リセットにより解除されます。

スリープモード中は、SR レジスタの BL ビットが 1 でも、割り込みを受け付けます。必要ならば、SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

#### (1) 割り込みによる解除

NMI、IRL、内蔵周辺の各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTEVT レジスタには、割り込み要因に対応したコードがセットされます。

#### (2) リセットによる解除

$\overline{\text{RESET}}$  端子によるパワーオンリセット、マニュアルリセット、およびウォッチドッグタイマオーバフロー時に発生するパワーオンリセット、マニュアルリセットにより、スリープモードは解除されます。

## 9.4 ディープスリープモード

### 9.4.1 ディープスリープモードへの遷移

STBCR レジスタの STBY ビットが 0、STBCR2 レジスタの DSLP ビットが 1 の状態で、SLEEP 命令を実行すると、プログラム実行状態からディープスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。DMAC\*を除く内蔵周辺モジュールは動作を続けます。CKIO 端子にはクロックが出力され続けますが、すべてのバスアクセス (オートリフレッシュを含む) は停止します。リフレッシュが必要なメモリを使用する場合は、ディープスリープモードへ遷移する前に、セルフリフレッシュに設定してください。

ディープスリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

【注】 \* ディープスリープモードへ遷移させる場合は、DMA 転送を終了させてください。転送中にディープスリープモードへ遷移させると、転送結果は保証されません。

### 9.4.2 ディープスリープモードの解除

ディープスリープモードは、スリープモードと同様に、割り込み (NMI、IRL、内蔵周辺モジュール)、リセットにより解除されます。

## 9.5 端子スリープモード

### 9.5.1 端子スリープモードへの遷移

$\overline{\text{SLEEP}}$  端子をローレベルに変化させることにより、本 LSI はスリープモードへ遷移します。

メモリのリフレッシュなどを正しく行うためにこの機能は、STBCR2 の DSLP ビットが 0 の状態で使用してください。

### 9.5.2 端子スリープモードの解除

$\overline{\text{SLEEP}}$  端子をハイレベルにすることにより、本 LSI は通常状態へ復帰します。また「9.3.2 スリープモードの解除」の条件を満たした場合も端子スリープモードは解除されます。

ただし、パワーオンリセット時は、 $\overline{\text{SLEEP}}$  端子をハイレベルに固定してください。

## 9.6 スタンバイモード

### 9.6.1 スタンバイモードへの遷移

STBCR レジスタの STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からスタンバイモードに遷移します。スタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CKIO 端子からのクロック出力も停止します。

CPU、キャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。スタンバイモード時の周辺モジュールのレジスタの状態を表 9.4 に示します。

表 9.4 スタンバイモード時のレジスタの状態

モジュール	初期化されるレジスタ	内容が保持されるレジスタ
割り込みコントローラ		全レジスタ
ユーザブ레이크コントローラ		全レジスタ
バスステートコントローラ		全レジスタ
内蔵発振回路		全レジスタ
タイマユニット	TSTR レジスタ*	左記以外のレジスタ
リアルタイムクロック		全レジスタ
ダイレクトメモリアクセスコントローラ		全レジスタ
シリアルコミュニケーションインタフェース	「付録 A. アドレス一覧」参照	「付録 A. アドレス一覧」参照

【注】 スタンバイモードへ遷移させる場合は、DMA 転送を終了させてください。

転送中にスタンバイモードへ遷移させると転送結果は保証されません。

\* 「第 12 章 タイマユニット (TMU)」を参照してください。

スタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイマコントロールレジスタ (WTCSR) のTMEビットを0にし、WDTを停止させます。  
WDTのタイマカウンタ (WTCNT) にカウントアップ時の初期値を、WTCSRレジスタのCKS2 ~ CKS 0ビットに、カウントアップに使用するクロックを設定します。
2. STBCRレジスタのSTBYビットに1を設定した後、SLEEP命令を実行させます。
3. スタンバイモードに入り、LSI内部のクロックが停止すると、STATUS1端子からローレベル、STATUS0端子からハイレベルが出力されます。

## 9.6.2 スタンバイモードの解除

スタンバイモードは、割り込み（NMI、IRL、内蔵周辺）、 $\overline{\text{RESET}}$ 、 $\overline{\text{MRESET}}$  端子によるリセットにより解除されます。

### （１）割り込みによる解除

内蔵 WDT によるホットスタートができます。NMI、IRL\*<sup>1</sup>、RTC、GPIO\*<sup>2</sup>の各割り込みが検出されると、WDT がカウントを開始します。カウントオーバーフロー後、LSI 全体にクロックが供給され、スタンバイモードが解除されて、STATUS1、STATUS0 端子がどちらもローレベルになります。この後割り込み例外処理が実行され、割り込み要因に対応したコードが INTEVT に設定されます。またスタンバイモード中は、SR レジスタの BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

割り込み検出直後から、スタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。

- 【注】 \*1 RTC クロック（32.768kHz）が発振しているとき（「19.2.2 IRL 割り込み」参照）、IRL3～IRL0 でスタンバイモードを解除できます（条件は、IRL3～IRL0 レベルが SR レジスタの IMASK のマスクレベルより高い場合）。
- \*2 RTC クロック（32.768kHz）が発振しているとき、GPIO でスタンバイモードを解除できます（条件は、GPIO レベルが SR レジスタの IMASK のマスクレベルより高い場合）。

### （２）リセットによる解除

$\overline{\text{RESET}}$  端子によるリセット（パワーオン、マニュアル）により、スタンバイモードは解除されます。 $\overline{\text{RESET}}$  端子は、クロックの発振が安定するまで、ローレベルを保持してください。CKIO 端子には、内部のクロックが出力され続けます。

## 9.6.3 クロックポーズ機能

スタンバイモードでは、EXTAL 端子から入力するクロックを停止したり、周波数を変更したりすることができます。この機能は、次のようにして使用します。

1. スタンバイモードへの遷移の手順でスタンバイモードに遷移させます。
2. スタンバイモードに入り、LSI内部のクロックが停止すると、STATUS1端子からローレベル、STATUS0端子からハイレベルが出力されます。
3. STATUS1 端子がローレベル、STATUS0端子がハイレベルになってから、入力クロックの停止、または周波数の変更を行います。
4. 周波数変更の場合、変更後にNMIまたはIRLの割り込みを入れます。クロック停止の場合、クロックの印加後に同様の割り込みを入れます。
5. WDTで設定した時間後にLSI内部にクロックが印加され始め、STATUS1、STATUS0端子がどちらもローレベルになって割り込み例外処理から動作を再開します。

## 9.7 モジュールスタンバイ機能

### 9.7.1 モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタ、スタンバイコントロールレジスタ 2、クロック停止レジスタ 00 の MSTP6 ~ MSTP0、CSTP2 ~ 0 ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、スリープ時の消費電力を低減させることができます。

モジュールスタンバイ状態では、内蔵周辺モジュールの外部端子は、停止前の状態を保持します。レジスタは一部を除いて停止前の状態を保持します。

ビット		説明
CSTP2	0	PCIC へ周辺クロックを供給
	1	PCIC への周辺クロックの供給を停止
CSTP1	0	TMU チャンネル 3、4 へ周辺クロックを供給
	1	TMU チャンネル 3、4 への周辺クロックの供給を停止
CSTP0	0	INTC は、PCIC、TMU チャンネル 3、4 の割り込みを検出します
	1	INTC は、PCIC、TMU チャンネル 3、4 の割り込みを検出しません
MSTP6	0	SQ は動作します
	1	SQ へ供給されるクロックが停止します
MSTP5	0	UBC は動作します
	1	UBC へ供給されるクロックが停止します*3
MSTP4	0	DMAC は動作します
	1	DMAC へ供給されるクロックが停止します*4
MSTP3	0	SCIF は動作します
	1	SCIF へ供給されるクロックが停止します
MSTP2	0	TMU チャンネル 0 ~ 2 は動作します
	1	TMU チャンネル 0 ~ 2 へ供給されるクロックが停止し、レジスタが初期化されます*1
MSTP1	0	RTC は動作します
	1	RTC へ供給されるクロックが停止します*2
MSTP0	0	SCI は動作します
	1	SCI へ供給されるクロックが停止します

【注】 \*1 初期化されるレジスタはスタンバイモードと同じですが、RTC クロックを使用している場合は初期化されません（「第 12 章 タイマユニット (TMU)」参照）。

\*2 RCR2 の START ビットが 1 のとき、カウンタは動作します（「第 11 章 リアルタイムクロック (RTC)」参照）。

\*3 詳細な設定手順は「20.6 ユーザブレイクコントローラ停止機能」を参照してください。

\*4 DMAC をモジュールスタンバイ状態へ遷移させる場合は DMA 転送を終了させてください。転送中にモジュールスタンバイ状態へ遷移させると、転送結果は保証されません。

### 9.7.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能を解除するには、スタンバイコントロールレジスタ、スタンバイコントロールレジスタ 2 の場合、MSTP6 ~ MSTP0 ビットに 0 を書き込むことにより解除します。クロック停止レジスタ 00 の場合は、クロック停止解除レジスタ 00 の対応するビットに 1 を書き込むことにより解除します。

また、 $\overline{\text{RESET}}$  端子によるパワーオンリセット、またはウォッチドッグタイマオーバーフローにより発生するパワーオンリセットで解除されます。



## 9.8 ハードウェアスタンバイモード

### 9.8.1 ハードウェアスタンバイモードへの遷移

CA 端子をローレベルに設定することにより、ハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモードでは、SLEEP 命令によって遷移するスタンバイモードと同様に、RTC 以外のすべてのモジュールが停止します。

ハードウェアスタンバイモードは、スタンバイモードと以下の点で異なります。

1. 割り込み、マニュアルリセットを受け付けません。
2. STATUS端子以外の出力端子がハイインピーダンス状態となり、ブルアップ抵抗もオフとなります。
3. SH7751の場合、RTC電源以外の電源端子に給電しなくても、RTCは動作を継続します。

STATUS 端子の状態は、STBCR2 の STHZ ビットに従います。出力端子状態の詳細については、「付録 D. 端子機能」を参照してください。

スタンバイモード中に CA 端子にローレベルが入力されたときの動作は、CPG の状態によって次のようになります。

1. スタンバイモード中

クロックは停止したまま、ハードウェアスタンバイ状態になります。

2. スタンバイモードを割り込みで解除する際のWDT動作中

いったんスタンバイモードが解除されてCPUが動作を再開した後、ハードウェアスタンバイモードになります。

なお、ハードウェアスタンバイモード中は、CA 端子をローレベルに保ってください。

### 9.8.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードは、パワーオンリセットでのみ解除できます。

$\overline{\text{RESET}}$  端子をローレベルにした状態で、CA 端子をハイレベルにすると、クロックが発振を開始します。このとき、 $\overline{\text{RESET}}$  端子はクロックの発振が安定するまでローレベルを保持してください。この  $\overline{\text{RESET}}$  端子をハイレベルにすると、CPU がパワーオンリセット処理を開始します。

割り込みやマニュアルリセットでは、ハードウェアスタンバイモードは解除できません。

### 9.8.3 使用上の注意

1. RTC電源への給電を開始する際には、CA端子をハイレベルに保ってください（図9.15）。
2. SH7751Rではハードウェアスタンバイ時にRTC電源以外の電源端子 $V_{DD}$ 、 $V_{DDQ}$ 、 $V_{DD-CPG}$ 、 $V_{DD-PLL1}$ 、 $V_{DD-PLL2}$ へも給電してください。

## 9.9 STATUS 端子の変化タイミング

STATUS1、STATUS0 端子の変化タイミングを示します。

STATUS の意味は次のとおりです。

- reset : HH (STATUS1 がハイレベル、STATUS0 がハイレベル)
- sleep : HL (STATUS1 がハイレベル、STATUS0 がローレベル)
- standby : LH (STATUS1 がローレベル、STATUS0 がハイレベル)
- normal : LL (STATUS1 がローレベル、STATUS0 がローレベル)

クロックの単位の意味は次のとおりです。

- Bcyc : バスクロックの周期
- Pcyc : 周辺クロックの周期

### 9.9.1 リセットの場合

#### (1) パワーオンリセット

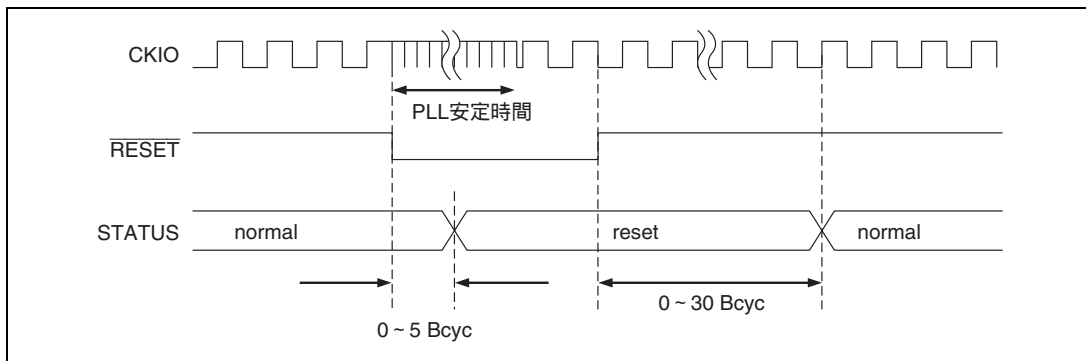


図 9.1 パワーオンリセットの STATUS 出力

## (2) マニュアルリセット

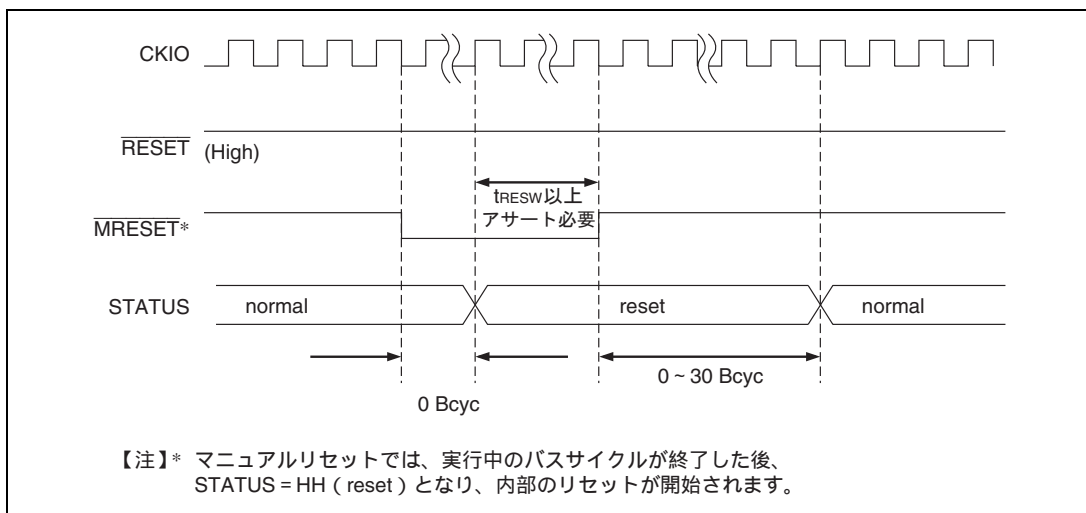


図 9.2 マニュアルリセットの STATUS 出力

## 9.9.2 スタンバイ解除の場合

## (1) スタンバイ 割り込み

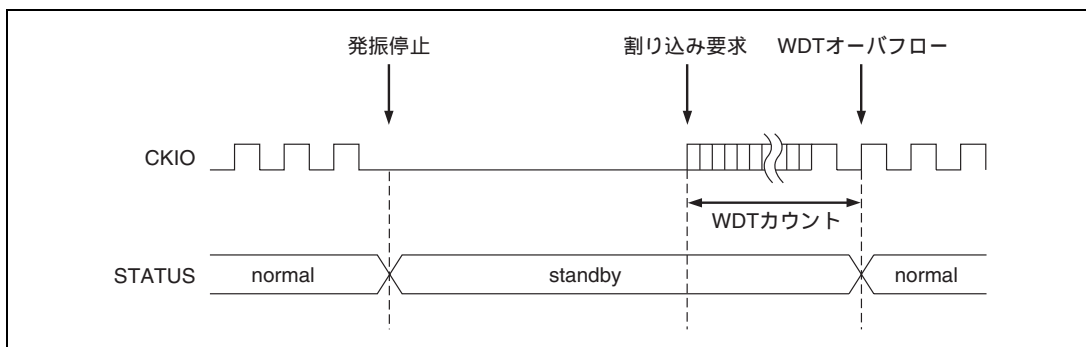


図 9.3 スタンバイ 割り込みの STATUS 出力

## (2) スタンバイ パワーオンリセット

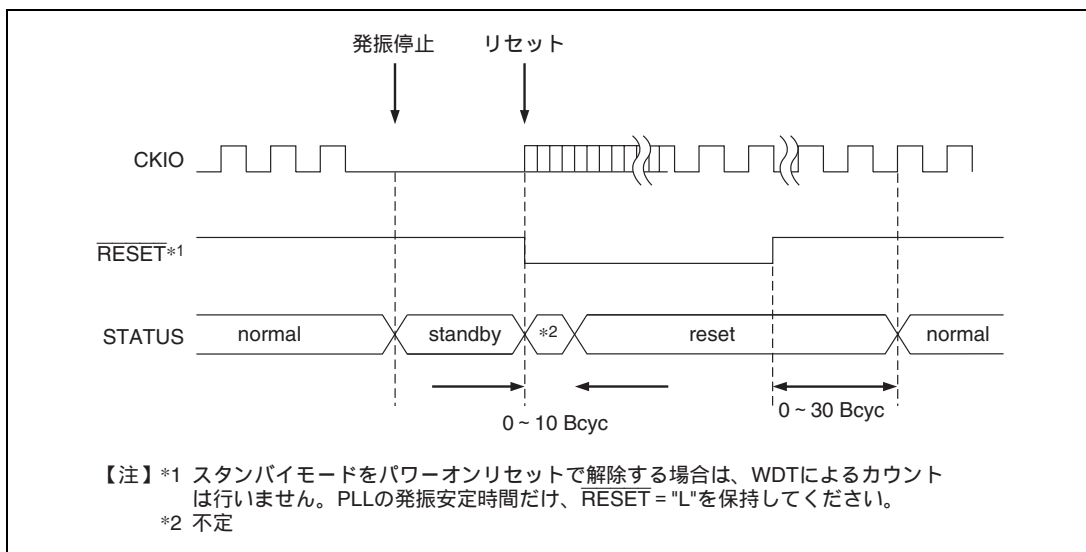


図 9.4 スタンバイ パワーオンリセットの STATUS 出力

## (3) スタンバイ マニュアルリセット

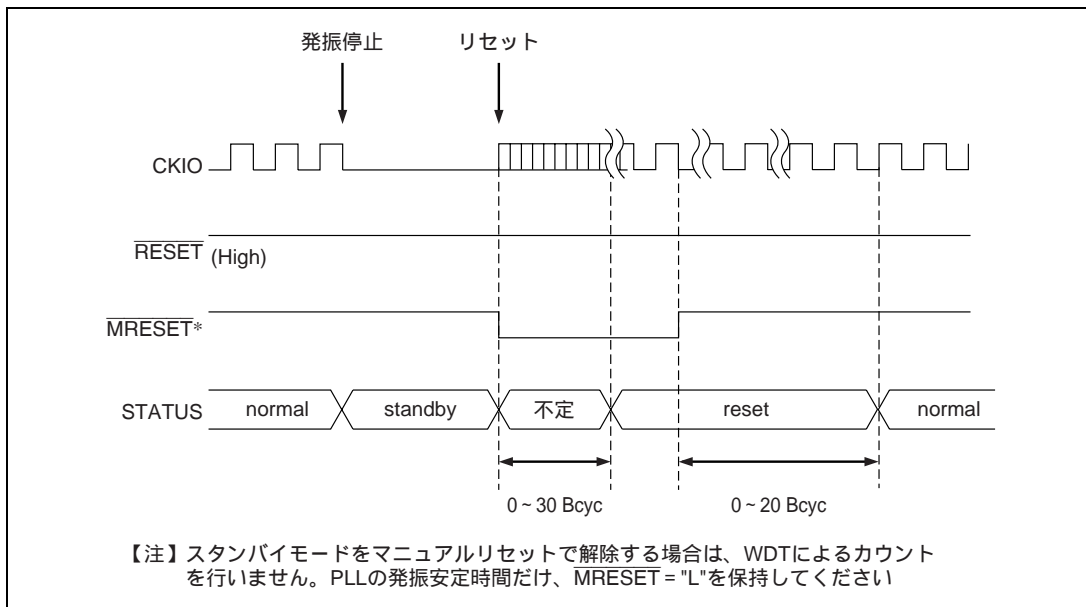


図 9.5 スタンバイ マニュアルリセットの STATUS 出力

### 9.9.3 スリープ解除の場合

#### (1) スリープ 割り込み

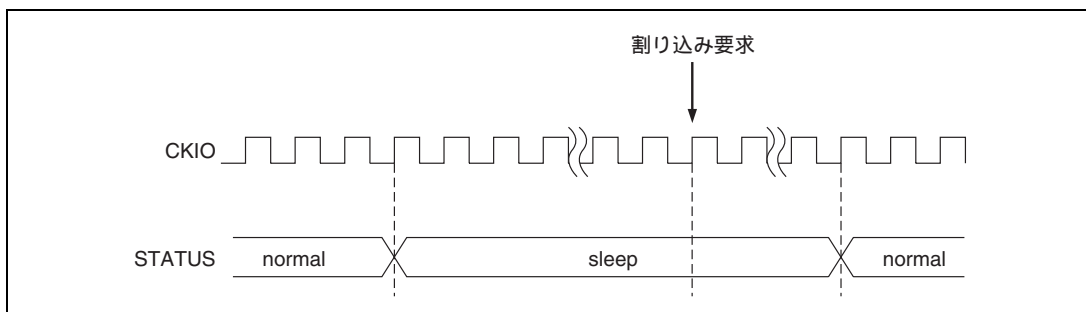


図 9.6 スリープ 割り込みの STATUS 出力

#### (2) スリープ パワーオンリセット

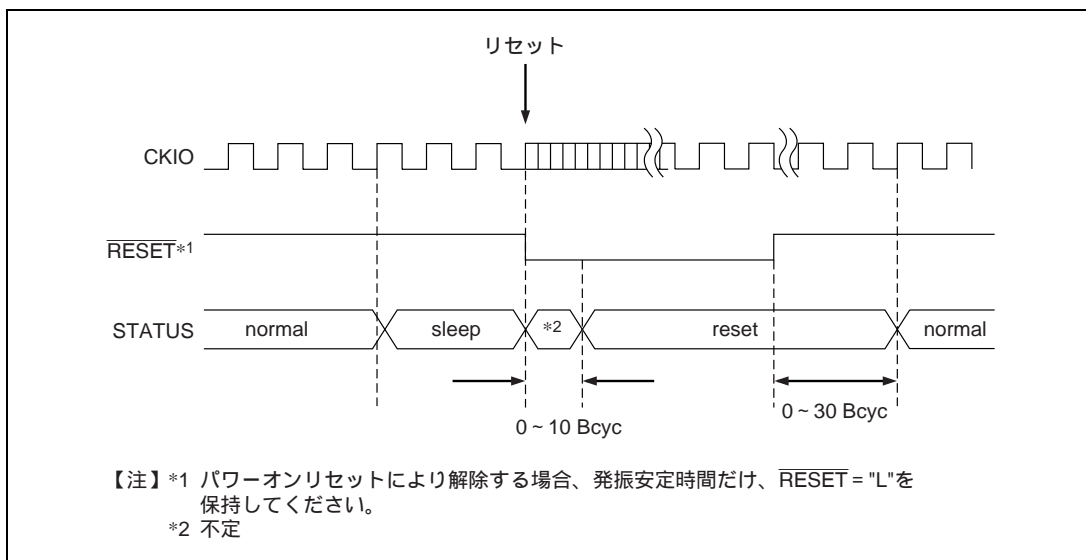


図 9.7 スリープ パワーオンリセットの STATUS 出力

## (3) スリープ マニュアルリセット

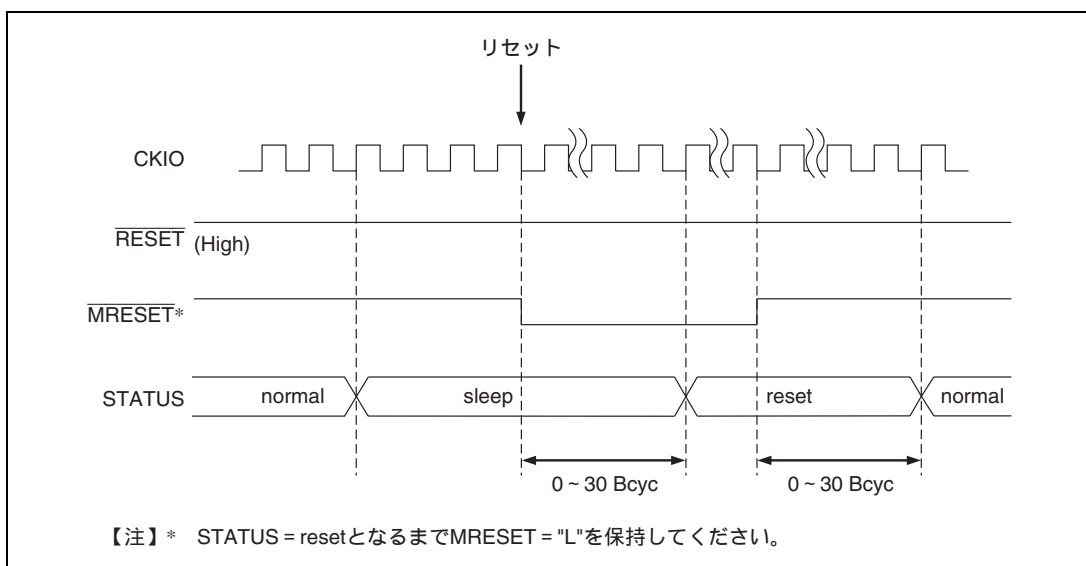


図 9.8 スリープ マニュアルリセットの STATUS 出力

### 9.9.4 ディープスリープ解除の場合

#### (1) ディープスリープ 割り込み

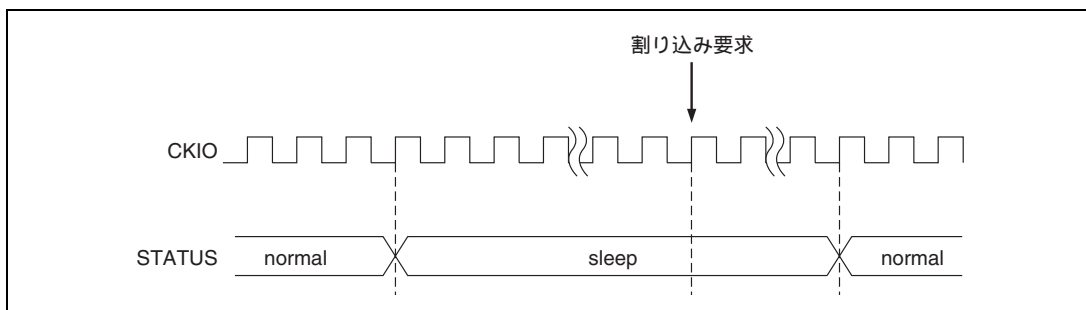


図 9.9 ディープスリープ 割り込みの STATUS 出力

#### (2) ディープスリープ パワーオンリセット

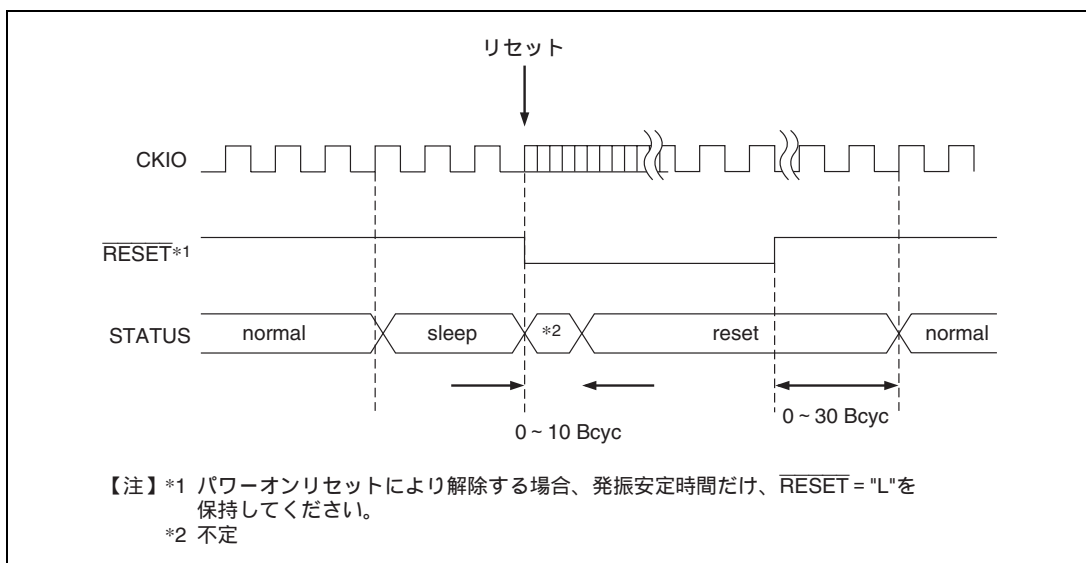


図 9.10 ディープスリープ パワーオンリセットの STATUS 出力

(3) ディープスリープ マニュアルリセット

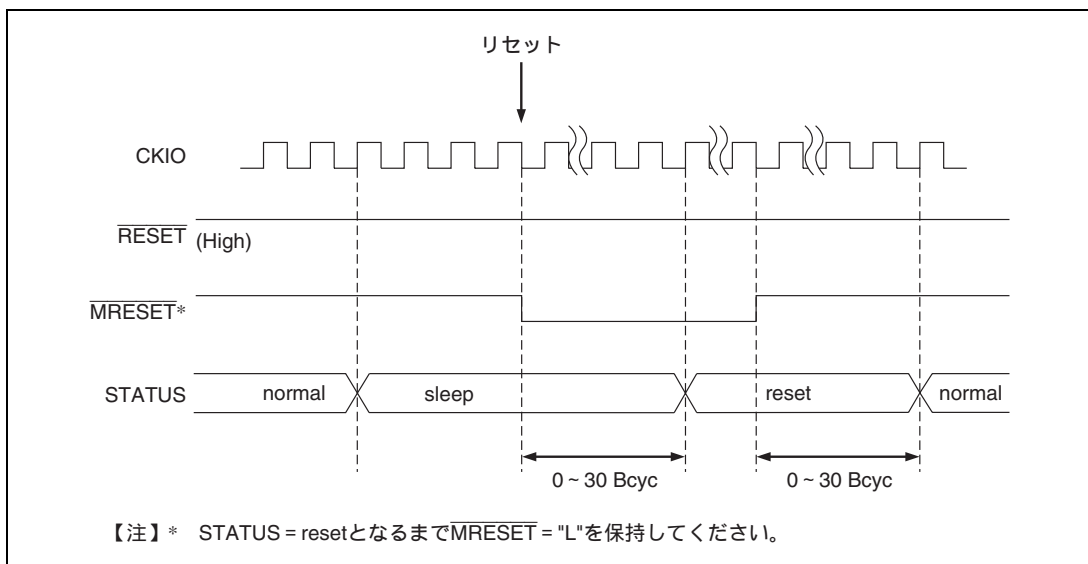


図 9.11 ディープスリープ マニュアルリセットの STATUS 出力



### 9.9.5 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 9.12 に示します。

ハードウェアスタンバイモード中は、必ず CA 端子をローレベルに保持してください。

$\overline{\text{RESET}}$  端子をローレベルにした後、CA 端子をハイレベルにした時点でクロックが発振を開始します。

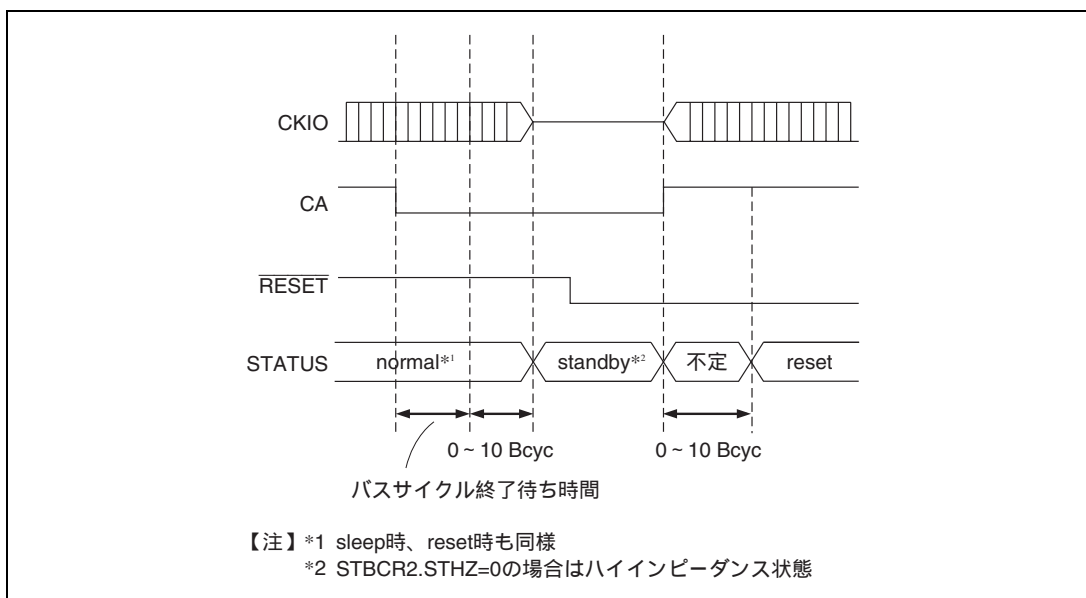


図 9.12 ハードウェアスタンバイモードのタイミング  
(通常動作中に CA=Low レベルとなる場合)

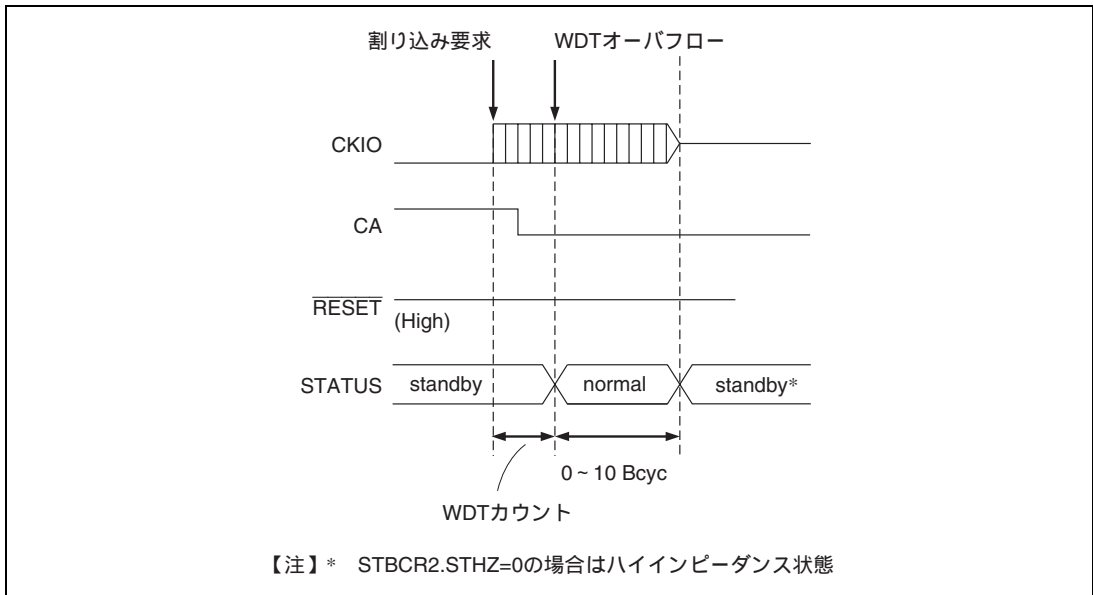


図 9.13 ハードウェアスタンバイモードのタイミング  
(WDT 動作中に CA=Low レベルとなる場合)

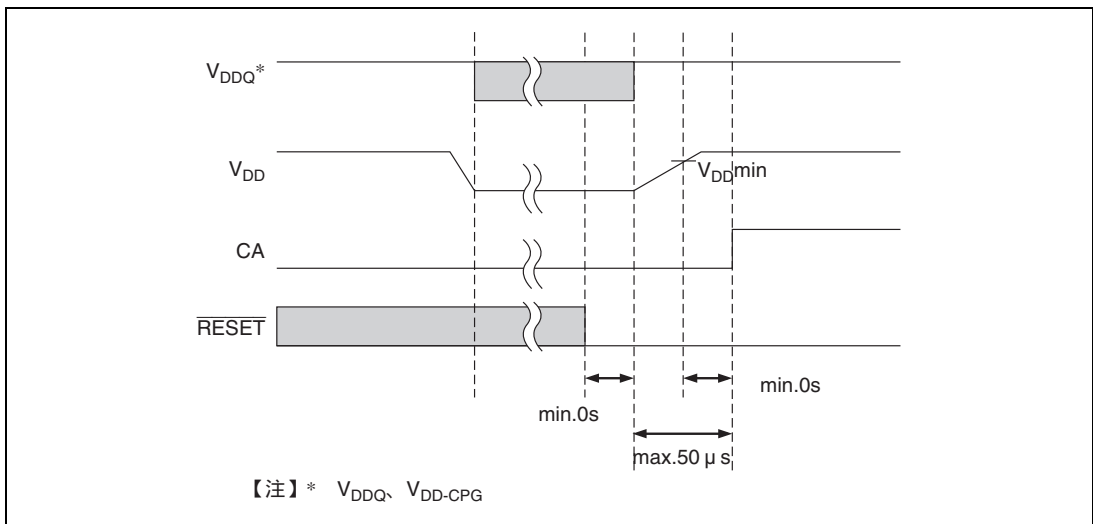


図 9.14 VDD-RTC 以外の電源 OFF 時のタイミング

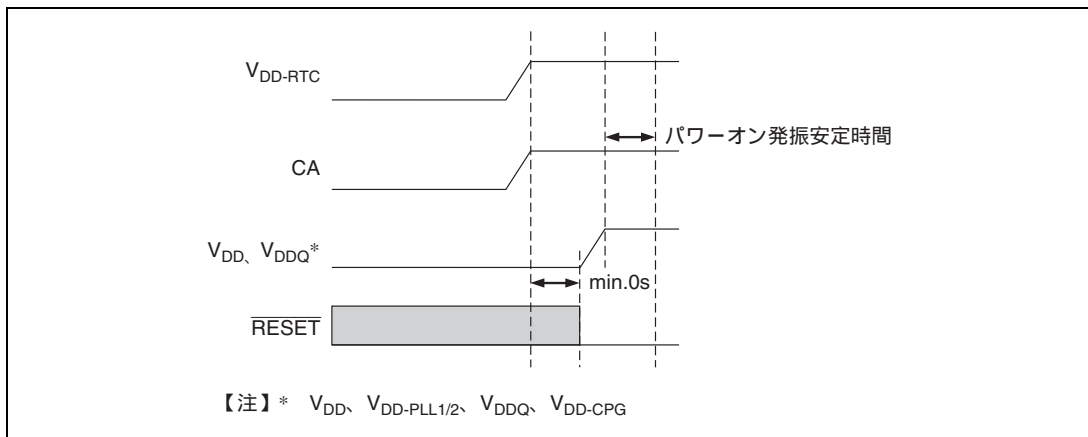


図 9.15 VDD-RTC 電源 OFF ON 時のタイミング

## 9.10 使用上の注意

### 9.10.1 消費電流に関する注意事項

パワーオンリセット後、下記の算術演算または浮動小数点演算命令のうち 1 命令以上を実行するまでの間は、スリープモード時およびスタンバイモード時の消費電流が最大値を超える場合があります。

#### 1. 算術演算命令

MAC.W, MAC.L

#### 2. 浮動小数点演算命令

- FPSCR.PR = 0 のとき :

FADD, FSUB, FMUL, FMAC, FLOAT, FTRC, FDIV, FSQRT, FIPR, FTRV

- FPSCR.PR = 1 のとき :

FADD, FSUB, FMUL, FLOAT, FTRC, FDIV, FSQRT, FCNVSD, FCNVDS

#### [ 回避策 ]

パワーオンリセット後からスリープモードおよびスタンバイモードへの遷移の前に上記の命令のうち 1 つ以上を実行してください。

#### [ 例 ]

FPSCR 等への影響を少なくする場合、H'A0000000 から以下の 2 命令を配置します。

アドレス 命令列

H'A0000000 FLDI1 FR0

H'A0000002 FADD FR0,FR0 ; FLDI1 FR0 により FR0 に 1 がロードされているために、

: : ; FPSCR の cause / flag ビットに 1 がセットされません。

---

## 10. クロック発振回路

---

### 10.1 概要

内蔵発振回路は、クロックパルスジェネレータ(CPG: Clock Pulse Generator)部と、ウォッチドッグタイマ(WDT: Watchdog Timer)部より構成されます。

CPGは、プロセッサ内部に供給するクロックの生成と低消費電力モードの制御を行います。

WDTは1チャンネルのタイマであり、スタンバイモードや、周波数変更時に、クロック安定時間のカウント用に使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

#### 10.1.1 特長

CPGには、次の特長があります。

- 3種類のクロック

CPU、FPU、キャッシュ、TLBで使用するCPUクロック(Ick)と、周辺モジュールで使用する周辺モジュールクロック(Pck)、さらに外部バスインタフェースで使用するバスクロック(Bck)を生成できます。

- 6種類のクロックモード

パワーオンリセット後のCPUクロック、バスクロック、周辺モジュールクロックの分周率組み合わせを、6種類のクロック動作モードから選択できます。

- 周波数変更機能

CPG内部のPLL(Phase Locked Loop)回路や分周回路により、CPUクロック、バスクロック、周辺モジュールクロックの周波数を変更できます。周波数変更は、周波数制御レジスタ(FRQCR)の設定により、ソフトウェアで行います。

- PLLのON/OFF

低周波数での動作時にはPLL回路を停止することにより、消費電力が低減できます。

- 低消費電力モードの制御

スリープモード、スタンバイモードでのクロック停止、モジュールスタンバイ機能での特定モジュールの停止が可能です。

WDT には、次の特長があります。

- クロック安定時間の確保に使用可能  
スタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、内部リセットを発生  
カウンタオーバーフローにより、内部をリセットします。  
リセットの種類として、パワーオンリセットとマニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生  
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウント入力クロックを選択可能  
図10.1に示す分周器2の $\times 1$ クロックを分周した8種類のクロックから選択できます。

以下、10.2～10.6にCPG、10.7～10.9にWDTについて示します。

## 10.2 CPG の概要

### 10.2.1 CPG のブロック図

SH7751 と SH7751R の CPG のブロック図を図 10.1 (1)、(2) に示します。

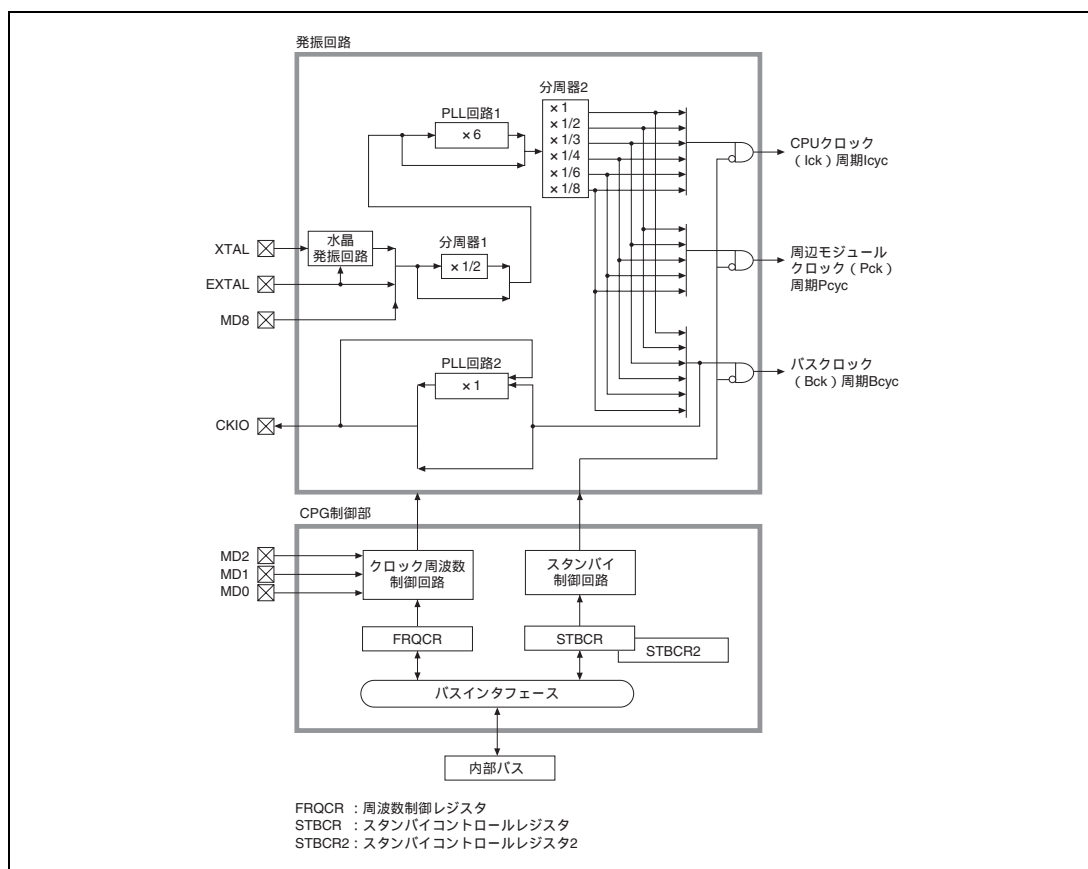


図 10.1 (1) SH7751 の CPG のブロック図

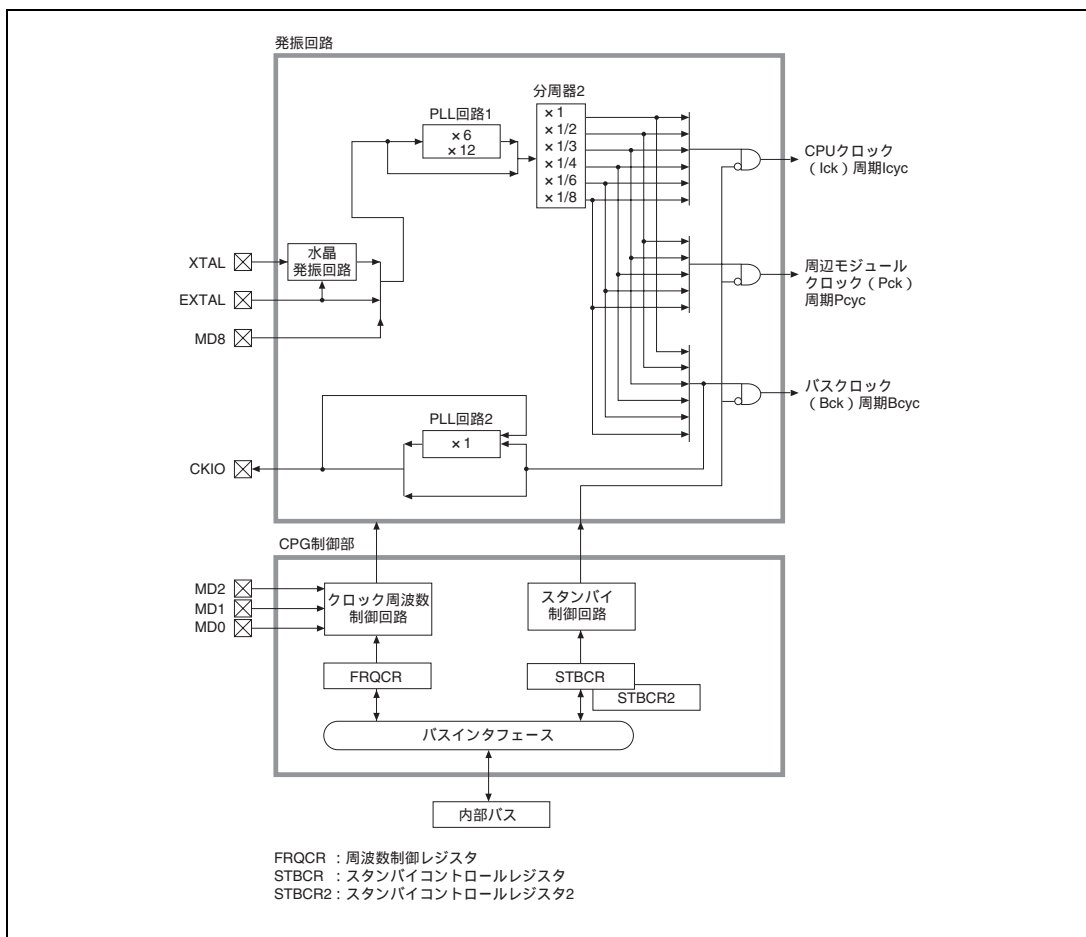


図 10.1 (2) SH7751R の CPG のブロック図

CPG の各ブロックは次のように機能します。

#### (1) PLL 回路 1

PLL 回路 1 は、EXTAL 端子または水晶発振回路からのクロック周波数を 6 倍 (SH7751、SH7751R)、12 倍 (SH7751R) に逡倍する機能を持ちます。起動、停止は周波数制御レジスタで設定します。このとき、内部クロックの立ち上がりエッジの位相は入力クロックの立ち上がりエッジの位相に一致するように制御されます。

#### (2) PLL 回路 2

PLL 回路 2 は、CKIO 端子からの出力クロックのフィードバックによって、バスクロックと、CKIO 端子からの出力クロックの位相を合わせます。起動、停止は周波数制御レジスタで設定します。

#### (3) 水晶発振回路

XTAL、EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。水晶発振回路は MD8 端子の設定により使用可能となります。



#### (4) 分周器 1 (SH7751 のみ)

分周器 1 は、EXTAL 端子からのクロック入力を PLL 回路 1 を使用せずに内部に供給する場合に、入力クロック周波数を 1/2 にすることによりクロック波形のデューティを 50% に整える機能を持ちます。

#### (5) 分周器 2

分周器 2 は、CPU クロック (Ick)、バスクロック (Bck)、周辺モジュールクロック (Pck) を生成します。分周率は、周波数制御レジスタで設定します。

#### (6) クロック周波数制御回路

クロック周波数制御回路は、MD 端子、周波数制御レジスタによりクロック周波数を制御します。

#### (7) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時やスリープ/スタンバイモード時の内蔵発振回路および他のモジュールの状態を制御します。

#### (8) 周波数制御レジスタ (FRQCR)

周波数制御レジスタには、CKIO 端子からのクロック出力の有無、PLL 回路 1、2 の ON/OFF、CPU クロック、バスクロック、周辺モジュールクロックの周波数分周率の各制御ビットが割り当てられています。

#### (9) スタンバイコントロールレジスタ (STBCR)

スタンバイコントロールレジスタには、パワーセーブモードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては、「第 9 章 低消費電力モード」を参照してください。

#### (10) スタンバイコントロールレジスタ 2 (STBCR2)

スタンバイコントロールレジスタ 2 には、パワーセーブモードの各制御ビットが割り当てられています。スタンバイコントロールレジスタ 2 については、「第 9 章 低消費電力モード」を参照してください。

## 10.2.2 CPG の端子構成

CPG の端子構成と機能を表 10.1 に示します。

表 10.1 発振回路の端子構成と機能

名称	略称	入出力	機能
モード制御端子	MD0	入力	クロック動作モードを設定します。
	MD1		
	MD2		
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します。
	EXTAL	入力	水晶発振子を接続します。 または外部クロック入力端子として使用します。
	MD8	入力	水晶発振子の使用/非使用を設定します。 MD8 = 0 のとき、EXTAL から外部クロックを入力します。 MD8 = 1 のとき、EXTAL、XTAL に直接水晶発振子を接続します。
クロック出力端子	CKIO	出力	外部クロック出力端子として使用します。 レベル固定することもできます。
CKIO イネーブル端子	CKE	出力	CKIO 出力クロックが不安定なときおよびシンクロナス DRAM のセルフリフレッシュ時、0 になります*。

【注】 \* パワーオンリセット時は、1 になります。

シンクロナス DRAM のセルフリフレッシュについては「13.3.5 シンクロナス DRAM インタフェース」を参照してください。

## 10.2.3 CPG のレジスタ構成

CPG のレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア 7 アドレス	アクセス サイズ
周波数制御レジスタ	FRQCR	R/W	不定	H'FFC00000	H'1FC00000	16

### 10.3 クロック動作モード

モード制御端子(MD2～MD0)の組み合わせとクロック動作モード(周波数比などの初期設定)の関係を表 10.3 (1)、(2)に示します。

FRQCR の設定値と、内部クロックの周波数を表 10.4 に示します。

表 10.3 (1) SH7751 のクロック動作モード

クロック 動作モード	外部端子組み合わせ			1/2 分周器	PLL1	PLL2	周波数(対入力クロック)			FRQCR 初期値
	MD2	MD1	MD0				CPU クロック	バスクロック	周辺モジュール クロック	
0	0	0	0	Off	On	On	6	3/2	3/2	H'0E1A
1	0	0	1	Off	On	On	6	1	1	H'0E23
2	0	1	0	On	On	On	3	1	1/2	H'0E13
3	0	1	1	Off	On	On	6	2	1	H'0E13
4	1	0	0	On	On	On	3	3/2	3/4	H'0E0A
5	1	0	1	Off	On	On	6	3	3/2	H'0E0A
6	1	1	0	Off	Off	Off	1	1/2	1/2	H'0808

- 【注】 1. 1/2 分周器の ON/OFF はクロック動作モードのみで決まります。
2. 入力クロックの周波数範囲は、「23.3.1 クロック・制御信号タイミング」の EXTAL クロック入力周波数 ( $f_{ex}$ ) および CKIO クロック出力 ( $f_{op}$ ) を参照してください。

表 10.3 (2) SH7751R のクロック動作モード

クロック 動作モード	外部端子組み合わせ			PLL1	PLL2	周波数(対入力クロック)			FRQCR 初期値
	MD2	MD1	MD0			CPU クロック	バスクロック	周辺モジュール クロック	
0	0	0	0	On (×12)	On	12	3	3	H'0E1A
1	0	0	1	On (×12)	On	12	3/2	3/2	H'0E2C
2	0	1	0	On (×6)	On	6	2	1	H'0E13
3	0	1	1	On (×12)	On	12	4	2	H'0E13
4	1	0	0	On (×6)	On	6	3	3/2	H'0E0A
5	1	0	1	On (×12)	On	12	6	3	H'0E0A
6	1	1	0	Off (×6)	Off	1	1/2	1/2	H'0808

- 【注】 1. PLL1 の通倍率は、クロック動作モードのみで決まります。
2. 入力クロックの周波数範囲は、「23.3.1 クロック・制御信号タイミング」の EXTAL クロック入力周波数 ( $f_{ex}$ ) および CKIO クロック出力 ( $f_{op}$ ) を参照してください。

表 10.4 FRQCR の設定値と、内部クロックの周波数

FRQCR (下位 9 ビット)	分周器 2 の分周率		
	CPU クロック	バスクロック	周辺モジュールクロック
H'000	1	1	1/2
H'002			1/4
H'004			1/8
H'008		1/2	1/2
H'00A			1/4
H'00C			1/8
H'011		1/3	1/3
H'013			1/6
H'01A			1/4
H'01C		1/6	1/8
H'023			1/6
H'02C			1/8
H'048		1/2	1/2
H'04A	1/4		
H'04C	1/8		
H'05A	1/4		1/4
H'05C			1/8
H'063			1/6
H'06C			1/8
H'091	1/3	1/3	1/3
H'093			1/6
H'0A3			1/6
H'0DA	1/4	1/4	1/4
H'0DC			1/8
H'0EC		1/8	
H'123	1/6	1/6	1/6
H'16C	1/8	1/8	1/8

【注】 FRQCR の下位 9 ビットは、上記一覧以外の値は設定しないでください。

## 10.4 CPG のレジスタの説明

### 10.4.1 周波数制御レジスタ (FRQCR)

周波数制御レジスタ (FRQCR) は、CKIO 端子からのクロック出力の有無、PLL 回路 1、PLL 回路 2 の ON/OFF、CPU クロック、バスクロック、周辺モジュールクロックの周波数分周率の指定ができます。FRQCR レジスタは、読み出し/書き込み可能な 16 ビットのレジスタで、ワードアクセスのみ可能です。

FRQCR レジスタは、 $\overline{\text{RESET}}$  端子によるパワーオンリセット時のみ初期化され、各ビットの初期値は、クロック動作モードにより決定されます。

ビット:	15	14	13	12	11	10	9	8
	-	-	-	-	CKOEN	PLL1EN	PLL2EN	IFC2
初期値:	0	0	0	0	1	1	1	-
R/W:	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	IFC1	IFC0	BFC2	BFC1	BFC0	PFC2	PFC1	PFC0
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### ビット 15～12：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

#### ビット 11：クロック出力イネーブル (CKOEN)

CKOEN は、CKIO 端子からクロックを出力するか CKIO 端子をハイインピーダンス状態にするかを指定します。ハイインピーダンス状態にした場合でも、ハイインピーダンス状態にする前の動作周波数で動作します。CKIO 端子はハイインピーダンス状態になると、プルアップされます。

ビット 11	説 明
CKOEN	
0	
1	CKIO 端子からクロックを出力する (初期値)

【注】 \* ハードウェアスタンバイモード時はプルアップされません。

#### ビット 10：PLL 回路 1 イネーブル (PLL1EN)

PLL1EN は、PLL 回路 1 の ON/OFF を指定します。

ビット 10	説 明
PLL1EN	
0	
1	PLL 回路 1 を使用する (初期値)

## ビット 9 : PLL 回路 2 イネーブル (PLL2EN)

PLL2EN は、PLL 回路 2 の ON/OFF を指定します。

ビット 9	説 明
PLL2EN	
0	PLL 回路 2 を使用しない
1	PLL 回路 2 を使用する (初期値)

## ビット 8、7、6 : CPU クロック周波数分周率 (IFC)

IFC は、入力クロック、1/2 分周器、または PLL 回路 1 の出力周波数に対しての CPU クロック周波数の分周率を指定します。

ビット 8	ビット 7	ビット 6	説 明
IFC2	IFC1	IFC0	
0	0	0	× 1 倍
0	0	1	× 1/2 倍
0	1	0	× 1/3 倍
0	1	1	× 1/4 倍
1	0	0	× 1/6 倍
1	0	1	× 1/8 倍
上記以外			設定禁止 (設定しないでください)

## ビット 5、4、3 : バスクロック周波数の分周率 (BFC)

BFC は、入力クロック、1/2 分周器、または PLL 回路 1 の出力周波数に対してのバスクロック周波数の分周率を指定します。

ビット 5	ビット 4	ビット 3	説 明
BFC2	BFC1	BFC0	
0	0	0	× 1 倍
0	0	1	× 1/2 倍
0	1	0	× 1/3 倍
0	1	1	× 1/4 倍
1	0	0	× 1/6 倍
1	0	1	× 1/8 倍
上記以外			設定禁止 (設定しないでください)

ビット 2、1、0：周辺モジュールクロック周波数の分周率（PFC）

PFC は、入力クロック、1/2 分周器、または PLL 回路 1 の出力周波数に対しての周辺モジュールクロック周波数の分周率を指定します。

ビット 2	ビット 1	ビット 0	説 明
PFC2	PFC1	PFC0	
0	0	0	× 1/2 倍
0	0	1	× 1/3 倍
0	1	0	× 1/4 倍
0	1	1	× 1/6 倍
1	0	0	× 1/8 倍
上記以外			設定禁止（設定しないでください）

## 10.5 周波数の変更方法

内部クロックの周波数を変更するためには、PLL 回路 1 の停止、起動を変える方法と、各クロックの分周率を変える方法があります。これらはいずれも周波数制御レジスタによってソフトウェアで制御します。以下にこれらの方法について示します。

### 10.5.1 PLL 回路 1 の起動 / 停止の変更(PLL 回路 2 が停止の場合)

PLL 回路 1 を停止の状態から起動に変更する場合、PLL 回路 1 の発振安定時間が必要になります。内蔵 WDT により発振安定時間のカウントを行います。

1. WDTに、指定された発振安定時間になるように値をセットし、WDTを停止させます。次の設定が必要です。  
WTCSCRレジスタTMEビット=0： WDTの停止  
WTCSCRレジスタCKS2～CKS0ビット： WDTカウントクロックの分周率  
WTCNTカウンタ： カウンタの初期値
2. PLL1ENビットを1に設定します。
3. プロセッサ内部は一時的に停止し、WDTのカウントアップを開始します。  
内部クロックは停止し、CKIO端子には、不安定なクロックが出力されます。
4. WDTのカウントオーバーフローの後、チップ内部にクロックが供給され始め、プロセッサは動作を再開します。  
WDTはオーバーフロー後、停止します。

### 10.5.2 PLL 回路 1 の起動 / 停止の変更(PLL 回路 2 が起動の場合)

PLL 回路 2 が起動している場合、PLL 回路 1 と PLL 回路 2 の発振安定時間が必要になります。

1. 10.5.1同様の、WDTへの設定を行います。
2. PLL1ENビットを1に設定します。
3. プロセッサ内部は一時的に停止し、PLL回路1が発振、WDTがカウントアップを開始します。内部クロックは停止し、CKIO端子には、不安定なクロックが出力されます。
4. WDTのカウントオーバーフローの後、PLL回路2が発振を開始します。WDTは、上記(1)で設定した値からカウントアップを再開します。この間も、内部クロックは停止しており、CKIO端子には不安定なクロックが出力されます。
5. WDTのカウントオーバーフローの後、チップ内部にクロックが供給され始め、プロセッサは動作を再開します。  
WDTはオーバーフロー後、停止します。



### 10.5.3 バスクロック分周率の変更（PLL 回路 2 が起動の場合）

バスクロック周波数の分周率変更において、PLL 回路 2 を起動している場合、PLL 回路 2 の発振安定時間が必要です。

1. 10.5.1同様の、WDTへの設定を行います。
2. BFC2～BFC0ビットを目的とする値に設定します。
3. プロセッサ内部は一時的に停止し、WDTのカウントアップを開始します。  
内部クロックは停止し、CKIO端子には、不安定なクロックが出力されます。
4. WDTのカウントオーバーフローの後、チップ内部にクロックが供給され始め、プロセッサは動作を再開します。  
WDTはオーバーフロー後、停止します。

### 10.5.4 バスクロック分周率の変更（PLL 回路 2 が停止の場合）

バスクロック周波数の分周率変更において、PLL 回路 2 を停止している場合、WDT によるカウントは行いません。

1. BFC2～BFC0ビットを目的とする値に設定します。
2. 直ちに設定されたクロックに切り替わります。

### 10.5.5 CPU、周辺モジュールクロック分周率の変更

CPU クロック、周辺モジュールクロック周波数の分周率変更の場合、WDT によるカウントは行いません。

1. IFC2～IFC0、PFC2～PFC0ビットを目的とする値に設定します。
2. 直ちに設定されたクロックに切り換わります。

## 10.6 出力クロックの制御

FRQCR レジスタのCKOEN ビットによって、CKIO 端子へクロック出力するかまたはハイインピーダンス状態にするかどうかを切り替えることができます。CKIO 端子はハイインピーダンス状態になると、プルアップされません。

## 10.7 WDT の概要

### 10.7.1 WDT のブロック図

WDT のブロック図を図 10.2 に示します。

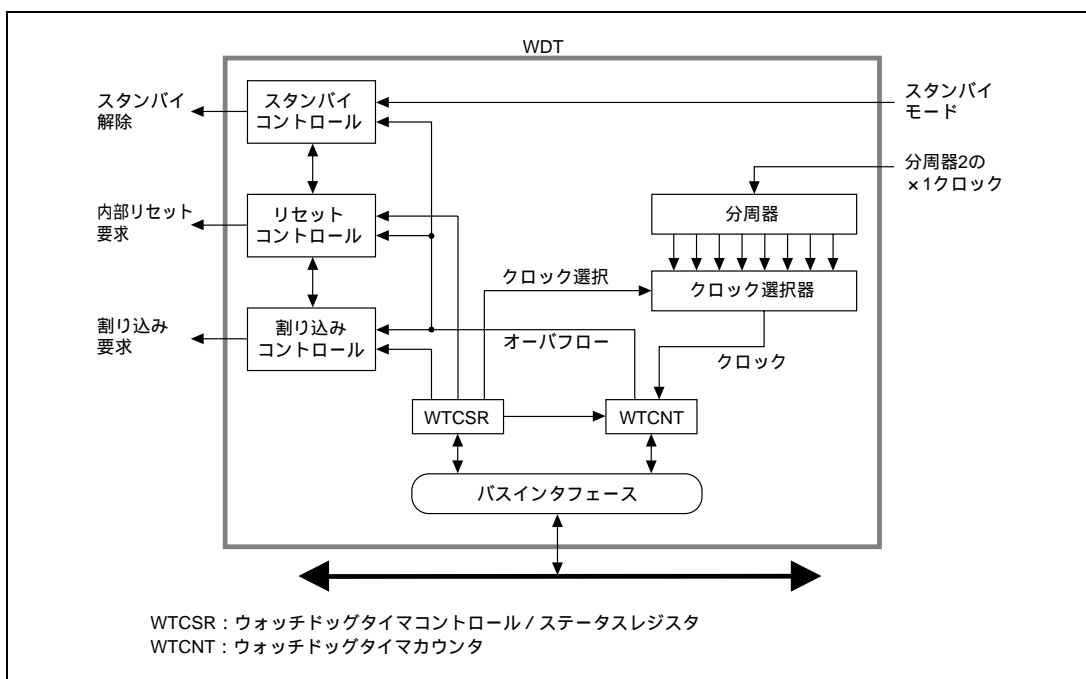


図 10.2 WDT のブロック図

### 10.7.2 レジスタ構成

WDT には、2本のレジスタがあります。これらのレジスタにより、クロックの選択、タイマのモードの切り替え等を行います。レジスタ構成を表 10.5 に示します。

表 10.5 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	アクセスサイズ
ウォッチドッグタイムカウンタ	WTCNT	R/W*	H'00	H'FFC00008	H'1FC00008	Rは8、Wは16*
ウォッチドッグタイムコントロール/ステータスレジスタ	WTCR	R/W*	H'00	H'FFC0000C	H'1FC0000C	Rは8、Wは16*

【注】 \* 書き込みは、ワードサイズで行ってください。上位バイトをそれぞれ H'5A、H'A5 にして書き込んでください。バイトまたはロングワードサイズでは書き込むことができません。  
読み出しは、バイトサイズで行ってください。

## 10.8 WDT のレジスタの説明

### 10.8.1 ウォッチドッグタイマカウンタ (WTCNT)

ウォッチドッグタイマカウンタ (WTCNT) は、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときリセットが発生し、インターバルタイマモードのとき割り込みが発生します。WTCNT は読み出し / 書き込み可能な 8 ビットです。WTCNT カウンタは  $\overline{\text{RESET}}$  端子によるパワーオンリセット時のみ、H'00 に初期化されます。

WTCNT カウンタへの書き込みは上位バイトを H'5A にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 10.8.2 ウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR)

ウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR) は、カウントに使用するクロックやタイマのモードの選択を行うビット、およびオーバフローフラグから成ります。

WTCSR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。WTCSR レジスタは  $\overline{\text{RESET}}$  端子によるパワーオンリセット時のみ、H'00 に初期化されます。WDT オーバフローによる内部リセット時には値は保持されます。スタンバイ解除時のクロック安定時間のカウントに使用するときには、カウンタオーバフロー後、値は保持されます。

WTCSR レジスタへの書き込みは上位バイトを H'A5 にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### ビット 7: タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。スタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを 0 にしてください。

ビット 7	説明
TME	
0	カウントアップ停止、WTCNT の値は保持する (初期値)
1	カウントアップ開始

## ビット6：タイマモードセレクト (WT/IT)

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。

ビット6	説明
WT/IT	
0	インターバルタイマモード (初期値)
1	ウォッチドッグタイマモード

【注】 WDT の動作中に WT/IT を書き換えるとカウントアップが正しく行われない場合があります。

## ビット5：リセットセレクト (RSTS)

ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を指定します。インターバルタイマモードの場合、設定値は無視されます。

ビット5	説明
RSTS	
0	パワーオンリセット (初期値)
1	マニュアルリセット

## ビット4：ウォッチドッグタイマオーバーフロー (WOVF)

ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。

インターバルタイマモードではセットされません。

ビット4	説明
WOVF	
0	オーバーフローなし (初期値)
1	ウォッチドッグタイマモードで WTCNT がオーバーフローした

## ビット3：インターバルタイマオーバーフロー (IOVF)

インターバルタイマモードで WTCNT がオーバーフローしたことを示します。

ウォッチドッグタイマモードではセットされません。

ビット3	説明
IOVF	
0	オーバーフローなし (初期値)
1	インターバルタイマモードで WTCNT がオーバーフローした

ビット 2~0 : クロックセレクト 2~0 (CKS2~CKS0)

分周器 2 の入力クロック\*を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。表中のオーバフロー周期は、入力クロック 33MHz、分周器 1 OFF、PLL 回路 1 ON (×6) の場合の値です。

ビット 2	ビット 1	ビット 0	説 明	
			クロック分周比	オーバフロー周期
0	0	0	1/32 (初期値)	41 μs
0	0	1	1/64	82 μs
0	1	0	1/128	164 μs
0	1	1	1/256	328 μs
1	0	0	1/512	656 μs
1	0	1	1/1024	1.31ms
1	1	0	1/2048	2.62ms
1	1	1	1/4096	5.25ms

【注】 WDT の動作中に CKS2~CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2~CKS0 ビットを書き換える場合は必ず WDT を停止させてから書き換えてください。

\* PLL1 の ON/OFF を切り替える場合、切り替えた後のクロックを使用します。

### 10.8.3 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で、読み出し/書き込みを行ってください。

#### (1) WTCNT、WTCSR への書き込み

WTCNT、WTCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送、ロングワード転送命令では、書き込めません。

図 10.3 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

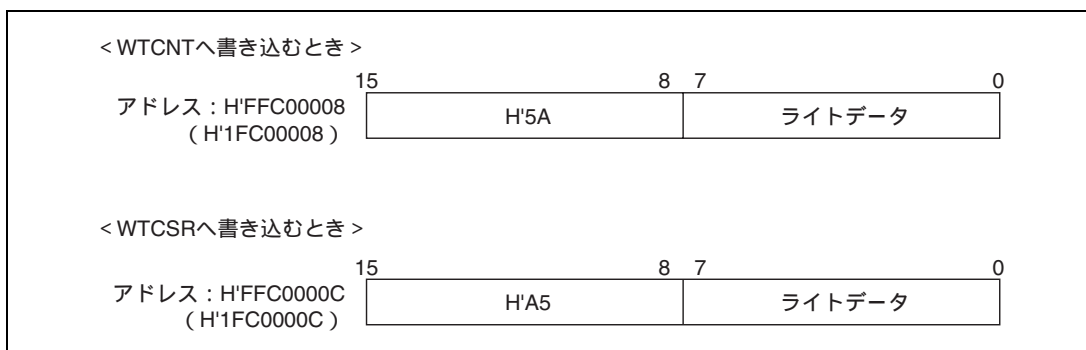


図 10.3 WTCNT、WTCSR への書き込み

## 10.9 WDT の使用方法

### 10.9.1 スタンバイ解除の手順

WDT は、スタンバイモードを NMI 割り込みまたはその他の割り込みで解除する場合に使用されます。この手順を以下に示します（リセットで解除する場合 WDT は動作しませんので、クロックが安定するまで RESET 端子をローレベルに保ってください）。

1. スタンバイモードへの遷移前に、必ず WTCSCR レジスタの TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSCR レジスタの CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーまでの時間がクロック発振安定時間以上になるように設定してください。
3. SLEEP 命令実行によりスタンバイモードに遷移し、クロックは停止します。
4. NMI 信号変化のエッジ検出、または割り込み検出により、WDT がカウントを開始します。
5. WDT がカウントオーバーすると、CPG がクロック供給を開始し、プロセッサが動作を再開します。このとき、WTCSCR レジスタの WOVF フラグはセットされません。
6. カウンタは H'00 ~ H'01 の値で停止します。停止時の値はクロック比によって変わります。

### 10.9.2 周波数変更の手順

PLL を使用した周波数変更時に、WDT を使用します。分周器の切り替えのみによる周波数変更の場合は、WDT は使用しません。

1. 周波数変更前に、必ず WTCSCR レジスタの TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSCR レジスタの CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーまでの時間がクロック発振安定時間以上になるように設定してください。
3. 周波数制御レジスタ (FRQCR) を書き換えると、クロックが停止します。WDT はカウントを開始します。
4. WDT はカウントオーバーすると、CPG がクロック供給を再開し、プロセッサが動作を再開します。このとき、WTCSCR レジスタの WOVF フラグはセットされません。
5. カウンタは H'00 ~ H'01 の値で停止します。停止時の値はクロック比によって変わります。
6. 周波数制御レジスタ (FRQCR) を書き換えた直後に WTCNT を再設定する場合は、カウンタを読み出して、上記 5. の状態になっていることを確認してから再設定してください。

### 10.9.3 ウォッチドッグタイマモードの使用法

1. WTCSRレジスタのWT/ITビットに1を設定し、RSTSビットにリセットのタイプ、CKS2~CKS0にカウントクロックの種類、WTCNTカウンタにカウンタの初期値を設定します。
2. WTCSRレジスタのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタをH'00に書き換えてください。
4. カウンタがオーバーフローすると、WDTはWTCSRレジスタのWOVFフラグを1にセットし、RSTSビットで指定されたタイプのリセットを発生します。その後カウンタはカウントを続行します。

### 10.9.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRレジスタのWT/ITビットに0をセットし、CKS2~CKS0ビットにカウントクロックの種類、WTCNTカウンタにカウンタの初期値を設定します。
2. WTCSRレジスタのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバーフローするとWTCSRレジスタのIOVFフラグに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタはカウントを続行します。



## 10.10 ボード設計上の注意事項

### (1) 水晶発振器使用時の注意

水晶発振器と容量はできるだけ EXTAL 端子および XTAL 端子の近くに置いてください。また、これらの端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

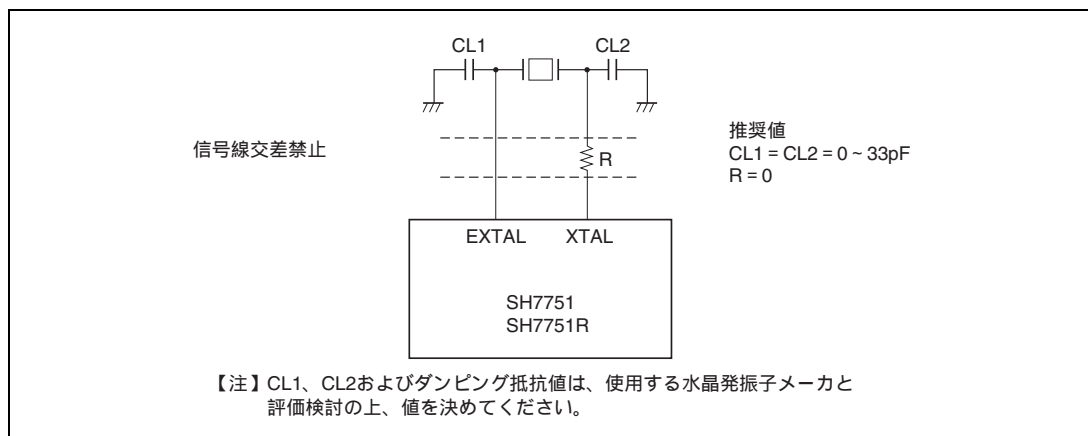


図 10.4 水晶発振器使用時の注意

### (2) 外部クロックを EXTAL 端子から入力するときの注意

XTAL 端子には、何も接続しないでください。

### (3) PLL 発振回路使用時の注意

VDD-CPG と VSS-CPG は、その他の VDD、VSS とはボードの電源供給元から分離し、端子の近くにノイズフィルタとして抵抗 RCB、RB およびバイパスコンデンサ CPB、CB を挿入してください。

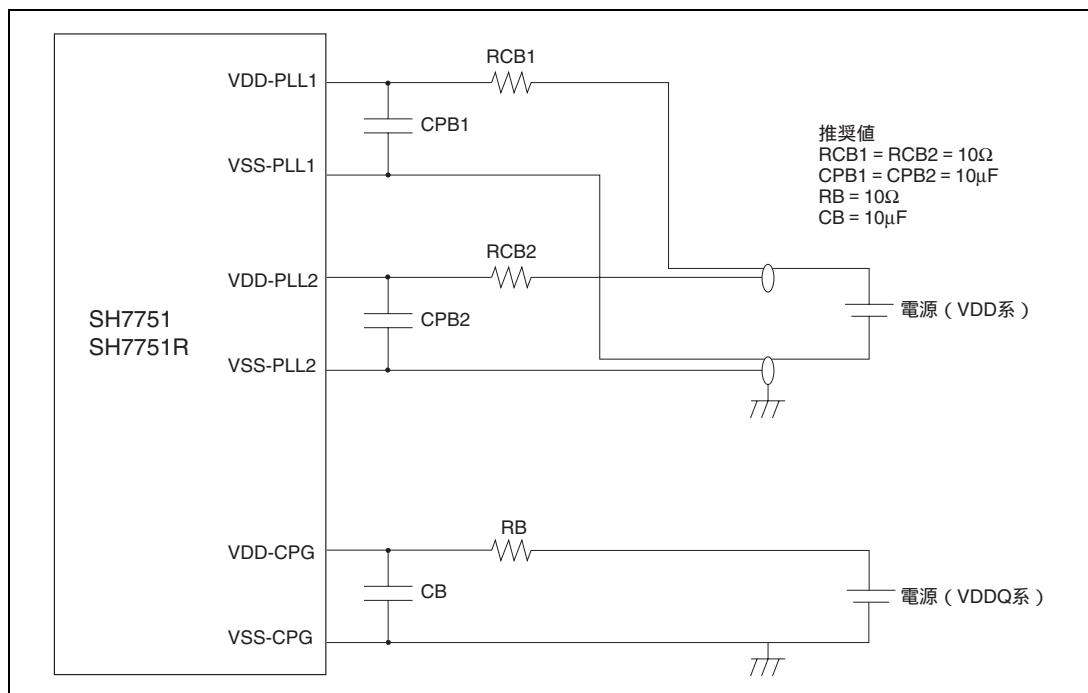


図 10.5 PLL 発振回路使用時の注意

## 10.11 使用上の注意事項

### 10.11.1 WDT による不当マニュアルリセット (SH7751 のみ)

内蔵 WDT により不当なマニュアルリセットが発生する場合があります。

#### [ 発生条件 ]

内蔵 WDT において下記 1.から 4.の条件がすべてそろった場合、不当なマニュアルリセットが発生します。

1. WTCSRのWT/IT、RSTSビットの値にかかわらずWDTがオーバーフローした後である。
2. WTCSR.CSKビットで設定したクロックで、カウンタ (WTCNT) がカウントアップする前である。
3. WTCSRのTME、WT/IT、RSTSビットの少なくとも1つが0の状態である。
4. WTCSRにTME=1、WT/IT=1、RSTS=1を書き込む。

#### [ 回避方法 ]

本現象は、WTCSR に TME=1、WT/IT=1、RSTS=1 の書き込みを行う前に、WTCNT をカウントアップさせることでソフトウェア的に回避することができます。具体的な命令列例を以下に示します。

#### [ 例 ]

WTCSR に TME=1、WT/IT=1、RSTS=1 を書き込む前に以下の命令列を追加してください。

```
MOV.L  #WTCNT, R7
MOV.W  #H'5A00, R8
MOV.W  R8, @R7

MOV.L  #WTCSR, R9
MOV.W  #H'A580, R10
MOV.W  R10, @R9

L.OOP_WDT:
MOV.B  @R7, R0
CMP/FQ #H'00, R0
BT     L.OOP_WDT
```



---

# 11. リアルタイムクロック (RTC)

---

## 11.1 概要

### 11.1.1 特長

本 LSI は、リアルタイムクロック (RTC : Real Time Clock) および RTC 用の 32.768kHz 水晶発振回路を内蔵しています。

- 時計・カレンダー機能 (BCD表示) を搭載  
秒、分、時、曜日、日、月、年をカウント
- 1 ~ 64Hz タイマ (バイナリ表示) を搭載  
64Hz カウンタレジスタが、RTC の分周回路のうち 64Hz ~ 1Hz の状態を示します。
- スタート/ストップ機能
- 30秒調整機能
- アラーム割り込み  
アラーム割り込み条件として、秒、分、時、曜日、日、月、年 (SH7751Rのみ) のいずれと比較するか選択可能
- 周期割り込み  
割り込み周期として、1/256秒、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み  
秒カウンタ桁上げ、または 64Hz カウンタの読み出し時に 64Hz カウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

### 11.1.2 ブロック図

図 11.1 に RTC のブロック図を示します。

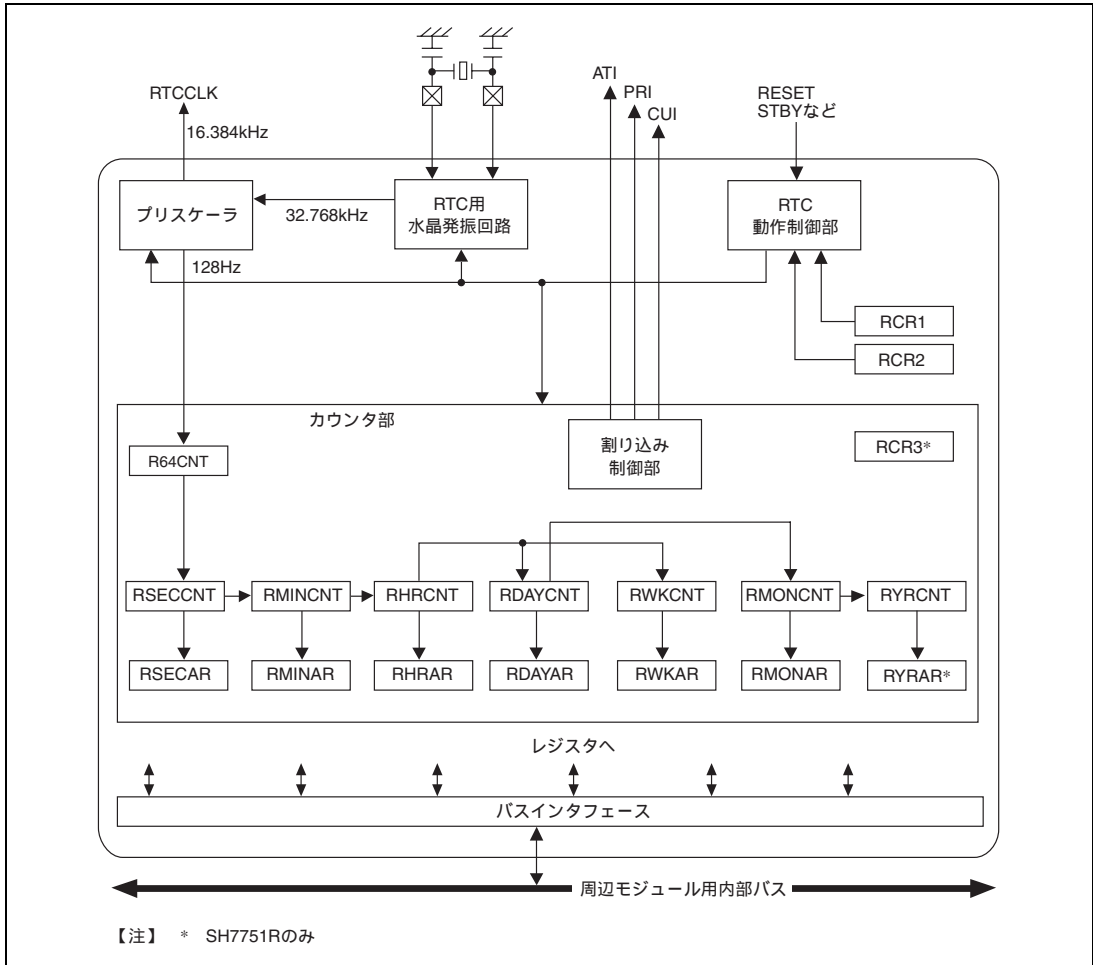


図 11.1 RTC のブロック図

### 11.1.3 端子構成

表 11.1 に RTC の端子構成を示します。

表 11.1 端子構成

名称	略称	入出力	機能
RTC 用発振回路水晶端子	EXTAL2	入力	RTC 用発振回路に水晶を接続する
RTC 用発振回路水晶端子	XTAL2	出力	RTC 用発振回路に水晶を接続する
クロック入力/ クロック出力	TCLK	入出力	外部クロック入力端子あるいはインプットキャプチャ制御入力端子あるいは RTC 用出力端子 (TMU と兼用)
RTC 専用電源端子	VDD-RTC		RTC 発振回路用電源端子*
RTC 専用 GND 端子	VSS-RTC		RTC 発振回路用 GND 端子*

【注】 \* RTC 用の電源端子は RTC を使用しないときも必ず電源を供給してください。

## 11.1.4 レジスタ構成

表 11.2 に RTC のレジスタ構成を示します。

表 11.2 レジスタ構成

名称	略称	R/W	パワーオン リセット時	マニュアル リセット時	スタンバイ モード 時	初期値	P4 アドレス	エリア7 アドレス	アクセス サイズ
64Hz カウンタ	R64CNT	R	カウント	カウント	カウント	不定	H'FFFC80000	H'1FC80000	8
秒カウンタ	RSECCNT	R/W	カウント	カウント	カウント	不定	H'FFFC80004	H'1FC80004	8
分カウンタ	RMINCNT	R/W	カウント	カウント	カウント	不定	H'FFFC80008	H'1FC80008	8
時カウンタ	RHRCNT	R/W	カウント	カウント	カウント	不定	H'FFFC8000C	H'1FC8000C	8
曜日カウンタ	RWKCNT	R/W	カウント	カウント	カウント	不定	H'FFFC80010	H'1FC80010	8
日カウンタ	RDAYCNT	R/W	カウント	カウント	カウント	不定	H'FFFC80014	H'1FC80014	8
月カウンタ	RMONCNT	R/W	カウント	カウント	カウント	不定	H'FFFC80018	H'1FC80018	8
年カウンタ	RYRCNT	R/W	カウント	カウント	カウント	不定	H'FFFC8001C	H'1FC8001C	16
秒アラームレジスタ	RSECAR	R/W	初期化*1	保持	保持	不定*1	H'FFFC80020	H'1FC80020	8
分アラームレジスタ	RMINAR	R/W	初期化*1	保持	保持	不定*1	H'FFFC80024	H'1FC80024	8
時アラームレジスタ	RHRAR	R/W	初期化*1	保持	保持	不定*1	H'FFFC80028	H'1FC80028	8
曜日アラームレジスタ	RWKAR	R/W	初期化*1	保持	保持	不定*1	H'FFFC8002C	H'1FC8002C	8
日アラームレジスタ	RDAYAR	R/W	初期化*1	保持	保持	不定*1	H'FFFC80030	H'1FC80030	8
月アラームレジスタ	RMONAR	R/W	初期化*1	保持	保持	不定*1	H'FFFC80034	H'1FC80034	8
RTC コントロール レジスタ 1	RCR1	R/W	初期化	初期化	保持	H'00*3	H'FFFC80038	H'1FC80038	8
RTC コントロール レジスタ 2	RCR2	R/W	初期化	初期化*2	保持	H'09*4	H'FFFC8003C	H'1FC8003C	8
RTC コントロール レジスタ 3*5	RCR3	R/W	初期化	保持	保持	H'00	H'FFFC80050	H'1FC80050	8
年アラームレジスタ*5	RYRAR	R/W	保持	保持	保持	不定	H'FFFC80054	H'1FC80054	16

【注】 \*1 各レジスタの ENB ビットが初期化されます。

\*2 RTCEN ビットおよび START ビット以外が初期化されます。

\*3 CF ビットおよび AF ビットは不定です。

\*4 PEF ビットは不定です。

\*5 SH7751R のみ



## 11.2 レジスタの説明

### 11.2.1 64Hz カウンタ (R64CNT)

64Hz カウンタ (R64CNT) は、読み出しのみ可能な 8 ビットのレジスタです。RTC の分周回路のうち、64Hz ~ 1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、RTC コントロールレジスタ 1 (RCR1) のビット 7 (CF) が 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

RTC コントロールレジスタ 2 (RCR2) の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、RTC の分周回路が初期化され、R64CNT は H'00 に初期化されます。

R64CNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されません。

ビット 7 は、読み出しは常に 0 です。書き込みは無効です。

ビット:	7	6	5	4	3	2	1	0
		1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R

### 11.2.2 秒カウンタ (RSECCNT)

秒カウンタ (RSECCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの 1 秒ごとのキャリ (R64CNT. 1Hz ビットの 0 → 1 への変化) によってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RSECCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 7 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
		10秒			1秒			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 11.2.3 分カウンタ (RMINCNT)

分カウンタ (RMINCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された分部分の設定・カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMINCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 7 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
		10分			1分			
初期値 :	0	不定	不定	不定	不定	不定	不定	不定
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 11.2.4 時カウンタ (RHRCNT)

時カウンタ (RHRCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された時部分の設定・カウント用のカウンタであり、分カウンタの 1 時間ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RHRCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 7 ~ 6 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
			10時間		1時間			
初期値 :	0	0	不定	不定	不定	不定	不定	不定
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

### 11.2.5 曜日カウンタ (RWKCNT)

曜日カウンタ (RWKCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 0~6 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RWKCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 7~3 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
						曜日のコード		
初期値:	0	0	0	0	0	不定	不定	不定
R/W:	R	R	R	R	R	R/W	R/W	R/W

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

### 11.2.6 日カウンタ (RDAYCNT)

日カウンタ (RDAYCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01~31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RDAYCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

RDAYCNT の設定可能範囲は、月ごとおよびうるう年によって変化しますので、確認の上、設定してください。うるう年は年カウンタ (RYRCNT) を西暦として、400、100、4 で割り切れるかどうかにより計算されます。

ビット 7~6 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
			10日		1日			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

### 11.2.7 月カウンタ (RMONCNT)

月カウンタ (RMONCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された月部分の設定・カウント用のカウンタであり、日カウンタの月ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01 ~ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMONCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 7~5 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
				10月	1月			
初期値 :	0	0	0	不定	不定	不定	不定	不定
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W

### 11.2.8 年カウンタ (RYRCNT)

年カウンタ (RYRCNT) は、読み出し / 書き込み可能な 16 ビットのレジスタです。RTC の BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの 1 年ごとのキャリによって、カウント動作を行います。

設定可能範囲は、10 進で 0000 ~ 9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RYRCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	15	14	13	12	11	10	9	8
	1000年				100年			
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	10年				1年			
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 11.2.9 秒アラームレジスタ (RSECAR)

秒アラームレジスタ (RSECAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された秒部分のカウンタ RSECCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RSECAR の ENB ビットは、パワーオンリセットで 0 に初期化されます。RSECAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10秒			1秒			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 11.2.10 分アラームレジスタ (RMINAR)

分アラームレジスタ (RMINAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された分部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMINAR の ENB ビットは、パワーオンリセットで初期化されます。RMINAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10分			1分			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 11.2.11 時アラームレジスタ (RHRAR)

時アラームレジスタ (RHRAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された時部分のカウント RHCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHCNT の値と比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウントとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 23 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RHRAR の ENB ビットは、パワーオンリセットで初期化されます。RHRAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 6 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	ENB		10 時間		1 時間			
初期値 :	0	0	不定	不定	不定	不定	不定	不定
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

### 11.2.12 曜日アラームレジスタ (RWKAR)

曜日アラームレジスタ (RWKAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された曜日部分のカウント RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウントとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 0 ~ 6 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RWKAR の ENB ビットは、パワーオンリセットで初期化されます。RWKAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 6 ~ 3 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	ENB					曜日のコード		
初期値 :	0	0	0	0	0	不定	不定	不定
R/W :	R/W	R	R	R	R	R/W	R/W	R/W

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

### 11.2.13 日アラームレジスタ (RDAYAR)

日アラームレジスタ (RDAYAR) は、読み出し/書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された日部分のカウント RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウントとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01 ~ 31 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RDAYAR の ENB ビットは、パワーオンリセットで初期化されます。RDAYAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 6 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
	ENB		10日				1日	
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

### 11.2.14 月アラームレジスタ (RMONAR)

月アラームレジスタ (RMONAR) は、読み出し/書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された月部分のカウント RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウントとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01 ~ 12 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMONAR の ENB ビットは、パワーオンリセットで初期化されます。RMONAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 6、5 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
	ENB			10月			1月	
初期値:	0	0	0	不定	不定	不定	不定	不定
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

### 11.2.15 RTC コントロールレジスタ 1 (RCR1)

RTC コントロールレジスタ 1 (RCR1) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、桁上げおよびアラームフラグに関するレジスタです。また、各々のフラグについて、割り込みを発生するかどうか選択できます。

CIE ビットおよび AIE ビットはパワーオンリセットおよびマニュアルリセットで 0 に初期化されます。CIE ビットと AIE ビット以外のビットは不定です。スタンバイモード時には初期化されず、それまでの値が保持されます。

ビット:	7	6	5	4	3	2	1	0
	CF			CIE	AIE			AF
初期値:	不定	不定	不定	0	0	不定	不定	不定
R/W:	R/W	R	R	R/W	R/W	R	R	R/W

#### ビット 7: 桁上げフラグ (CF)

このフラグが 1 にセットされた場合、秒カウンタの桁上げまたは、64Hz カウンタ読み出し時に 64Hz カウンタ桁上げが発生したことを示し、この時点で読み出したカウンタレジスタの値は、保証されません。再度の読み出しが必要です。

ビット 7	説明
CF	
0	秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げなし [クリア条件] CF に 0 を書き込んだとき
1	秒カウンタ桁上げまたは 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり [セット条件] 秒カウンタ桁上げまたは 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり、または CF に 1 を書き込んだとき

#### ビット 4: 桁上げ割り込みイネーブルフラグ (CIE)

桁上げフラグ (CF) が 1 にセットされているとき、割り込み発生を許可するビットです。

ビット 4	説明
CIE	
0	CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させない (初期値)
1	CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させる



## ビット 3 : アラーム割り込みイネーブルフラグ (AIE)

アラームフラグ (AF) が 1 にセットされているとき、割り込み発生を許可するビットです。

ビット 3	説明
AIE	
0	AF フラグが 1 にセットされたとき、アラーム割り込みを発生させない (初期値)
1	AF フラグが 1 にセットされたとき、アラーム割り込みを発生させる

## ビット 0 : アラームフラグ (AF)

アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) で設定したアラーム時刻 (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したときに 1 にセットされるフラグです。

ビット 0	説明
AF	
0	アラームレジスタとカウンタは不一致 [クリア条件] AF に 0 を書き込んだとき
1	アラームレジスタとカウンタが一致* [セット条件] アラームレジスタ (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき

【注】 \* 1 を書き込むと、元の値が保持されます。

## ビット 6、5、2、1 : 予約ビット

初期値は不定です。書き込みは無効ですが、書き込む値は常に 0 にしてください。

### 11.2.16 RTC コントロールレジスタ 2 (RCR2)

RTC コントロールレジスタ 2 (RCR2) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、周期割り込み制御、30 秒調整、分周回路 RESET、RTC カウント制御に関するレジスタです。

パワーオンリセットで H'09 に初期化されますが、PEF ビットは不定です。マニュアルリセット時には、RTCEN ビットおよび START ビット以外が初期化され、PEF ビットは不定です。スタンバイモード時には初期化されず、それまでの値が保持されます。

ビット:	7	6	5	4	3	2	1	0
	PEF	PES2	PES1	PES0	RTCEN	ADJ	RESET	START
初期値:	不定	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### ビット 7: 周期割り込みフラグ (PEF)

PES2 ~ PES0 ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合、周期割り込みを発生します。

ビット 7	説明
PEF	
0	PES2 ~ PES0 ビットで設定された周期で割り込み発生なし [クリア条件] PEF に 0 を書き込んだとき
1	PES2 ~ PES0 ビットで設定された周期で割り込み発生あり [セット条件] PES2 ~ PES0 ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき

#### ビット 6 ~ 4: 周期割り込みイネーブルフラグ (PES2 ~ PES0)

周期割り込みの周期を設定します。

ビット 6	ビット 5	ビット 4	説明
PES2	PES1	PES0	
0	0	0	周期割り込み発生なし (初期値)
0	0	1	周期割り込み発生時の周期を 1/256 秒にする
0	1	0	周期割り込み発生時の周期を 1/64 秒にする
0	1	1	周期割り込み発生時の周期を 1/16 秒にする
1	0	0	周期割り込み発生時の周期を 1/4 秒にする
1	0	1	周期割り込み発生時の周期を 1/2 秒にする
1	1	0	周期割り込み発生時の周期を 1 秒にする
1	1	1	周期割り込み発生時の周期を 2 秒にする

## ビット 3 : 発振回路有効 (RTCEN)

RTC 用水晶発振回路の動作を制御します。

ビット 3	説明
RTCEN	
0	RTC 用水晶発振回路を停止させる
1	RTC 用水晶発振回路を動作させる (初期値)

## ビット 2 : 30 秒調整 (ADJ)

30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。なお、このビットからの読み出しは常に 0 が読み出されます。

ビット 2	説明
ADJ	
0	通常の時計動作 (初期値)
1	30 秒の調整を行う

## ビット 1 : リセット (RESET)

1 を書き込むことによって、分周回路が初期化されます。なお、1 が書き込まれた場合、分周回路 (RTC プリスケアラおよび R64CNT) はリセットされ、自動的にこの RESET ビットは 0 になりますので、特に 0 を書き込む必要はありません。

ビット 1	説明
RESET	
0	通常の時計動作 (初期値)
1	分周回路をリセット

## ビット 0 : START ビット (START)

カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。

ビット 0	説明
START	
0	秒、分、時、日、曜日、月、年カウンタは停止*
1	秒、分、時、日、曜日、月、年カウンタは通常動作* (初期値)

【注】 \* 64Hz カウンタは RTCEN ビットで停止させない限り動作します。

### 11.2.17 RTC コントロールレジスタ (RCR3) : SH7751R のみ 年アラームレジスタ (RYRAR) : SH7751R のみ

RTC コントロールレジスタ 3 (RCR3) と年アラームレジスタ (RYRAR) は、読み出し / 書き込み可能なレジスタであり、RTC の BCD コード化された年部分のカウンタ RYRCNT に対応するアラームレジスタです。RCR3 の YENB ビットが 1 にセットされていると、RYRCNT の値と RYRAR の値の比較を行います。アラームレジスタのうち、ENB ビットおよび YENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

RYRAR の設定可能範囲は、10 進で 0000 ~ 9999 であり、それ以外の値が設定されると、正常に動作しません。

RCR3 はパワーオンリセットで初期化されます。RYRAR はパワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

RCR3 のビット 6 ~ 0 は読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

RCR3

ビット:	7	6	5	4	3	2	1	0
	YENB							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

RYRAR

ビット:	15	14	13	12	11	10	9	8
	1000年				100年			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	10年				1年			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## 11.3 動作説明

RTC の使用例を示します。

### 11.3.1 時刻設定手順

図 11.2 に時刻設定手順例を示します。

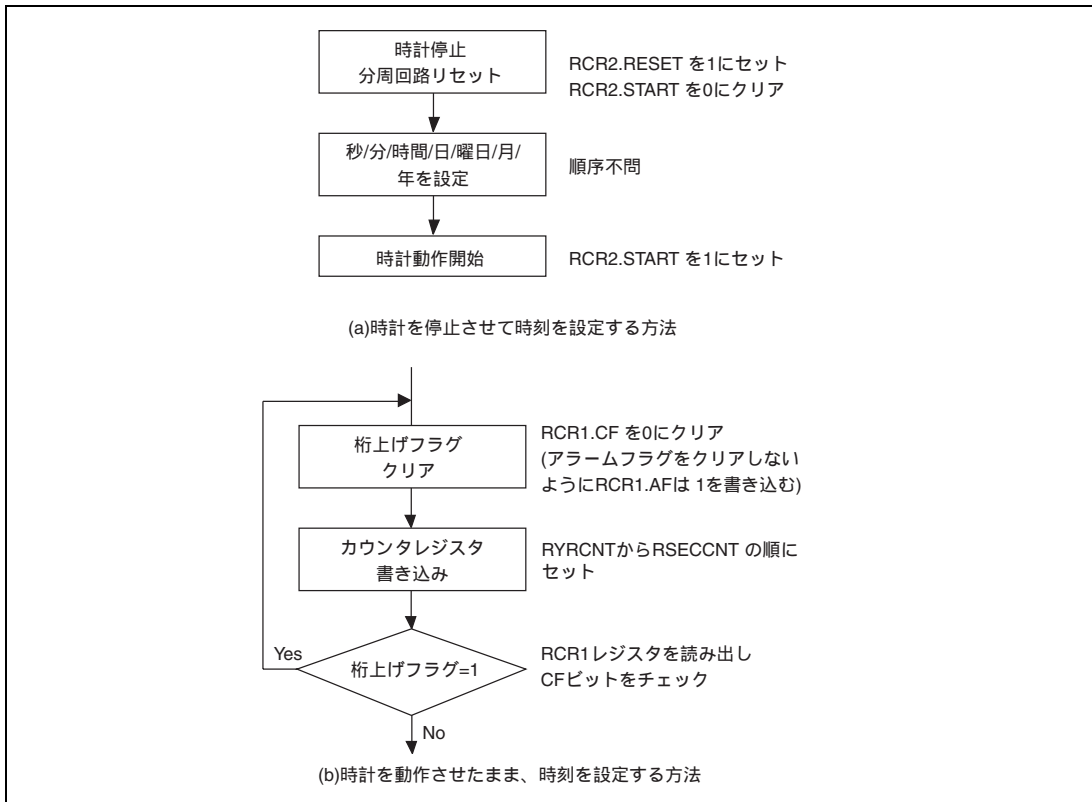


図 11.2 時刻設定手順例

時計を停止させて時刻を設定する方法例を図 11.2 (a) に示します。プログラムが容易であり、秒～年カウンタの全体を設定する場合に有効です。

時計を動作させたまま、時刻を設定する方法例を図 11.2 (b) に示します。秒～年カウンタの一部 (例えば、秒データや時間データのみ) を書き換える場合に有効です。書き込み中に桁上げがあると、書き込みデータが自動的に更新され、設定データに誤差が発生するので、桁上げフラグを使って書き込み状態をチェックします。桁上げフラグ (RCR1.CF) が 1 にセットされている場合は、再度書き込みを行います。

桁上げフラグの判断に割り込み機能を使用することもできます。

## 11.3.2 時刻読み出し手順

図 11.3 に時刻読み出し手順例を示します。

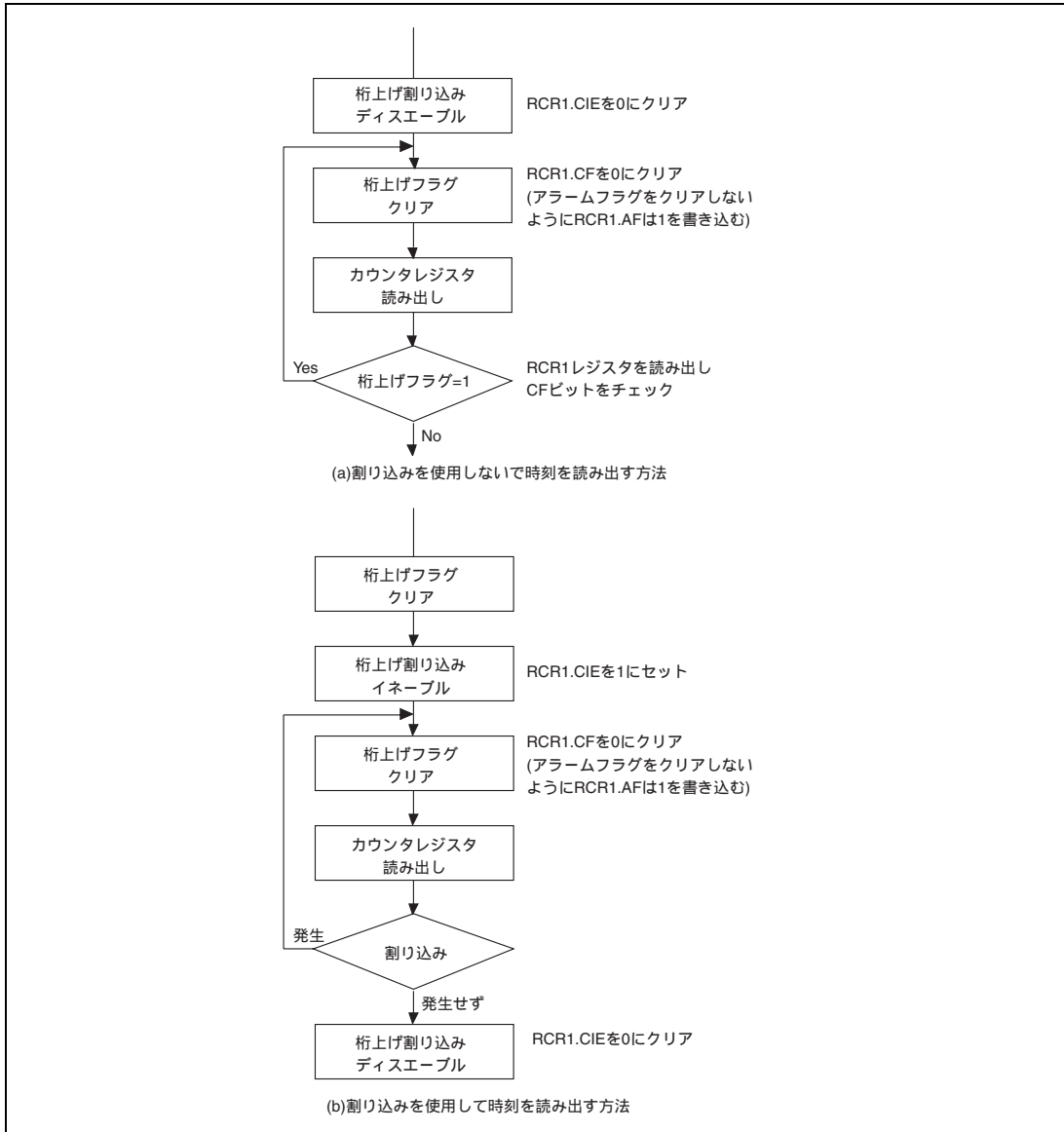


図 11.3 時刻読み出し手順例

時刻読み出し中に桁上げが起ると、正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法例を図 11.3 (a) に、桁上げ割り込みを使用する方法例を図 11.3 (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

### 11.3.3 アラーム機能

図 11.4 にアラーム機能の使用例を示します。

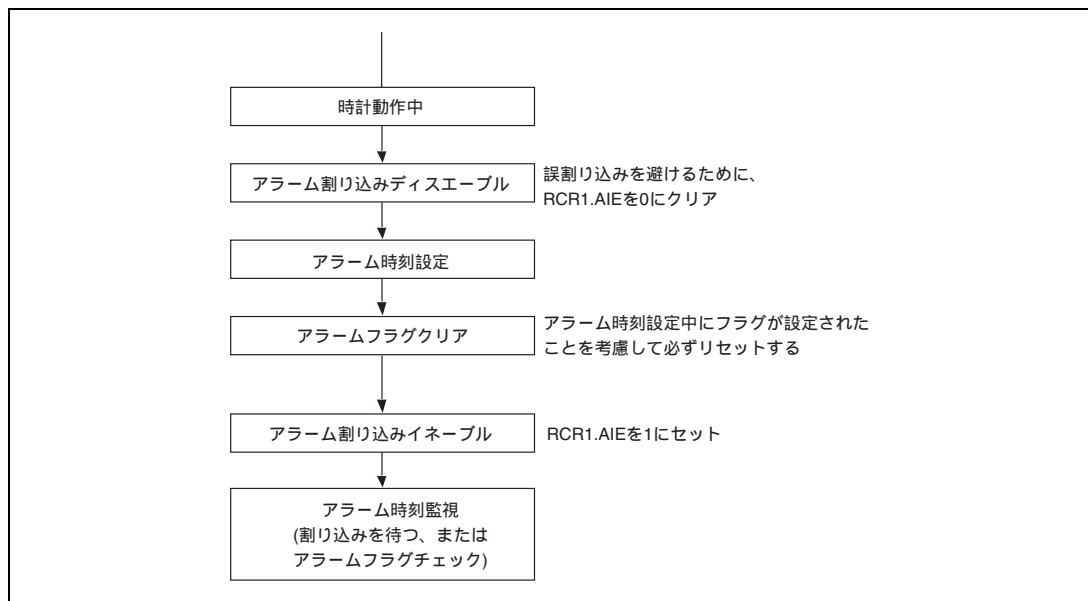


図 11.4 アラーム機能の使用例

アラームは、秒、分、時、曜日、日、月、年 (SH7751R のみ) のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタの ENB ビットに 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは ENB ビットに 0 を書き込みます。

カウンタとアラーム時刻が一致した場合、RCR1.AF に 1 がセットされます。アラームの検出は、このビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1.AIE に 1 が書き込まれている場合、アラーム時にアラーム割り込みが発生し、アラームを検出することができます。

アラームフラグは、カウンタとアラーム時刻が一致している期間、常にセットされます。すなわちこの期間中にアラームフラグに 0 を書き込んでクリアしても、その直後再セットされますので、プログラム作成時には注意してください。

## 11.4 割り込み

RTC の割り込み要因は、アラーム割り込み、周期割り込みおよび桁上げ割り込みです。

RCR1 のアラームフラグビット (AF) が 1 にセットされ、アラーム割り込みイネーブルビット (AIE) が 1 にセットされているとき、アラーム割り込み要求 (ATI) を発生します。

RCR2 の周期割り込みイネーブルビット (PES2 ~ PES0) が 000 以外にセットされ、かつ周期割り込みフラグ (PEF) がセットされた場合、周期割り込み要求 (PRI) を発生します。

RCR1 の桁上げフラグビット (CF) が 1 にセットされ、桁上げ割り込みイネーブルビット (CIE) が 1 にセットされているとき、桁上げ割り込み要求 (CUI) を発生します。



## 11.5 使用上の注意

### 11.5.1 レジスタの初期設定について

電源投入後、RCR1 レジスタ設定後、分周回路をリセット (RCR2.RESET に 1 をセット) し、全レジスタを初期設定してください。

### 11.5.2 スタンバイ時の桁上げフラグおよび割り込みフラグについて

スタンバイモードから通常モードへ、リセットもしくは割り込みで復帰させる際、復帰のタイミングと上記フラグセットのタイミングが重なった場合、フラグがセットされないことがあります。

必要であればスタンバイ復帰後ソフトウェアでカウンタを確認し判定してください。

### 11.5.3 水晶発振回路

水晶発振回路の各定数 (推奨値) を表 11.3 に、RTC 用水晶発振回路を図 11.5 に示します。

表 11.3 水晶発振回路の定数 (推奨値)

$f_{osc}$	$C_{in}$	$C_{out}$
32.768kHz	10 ~ 22pF	10 ~ 22pF

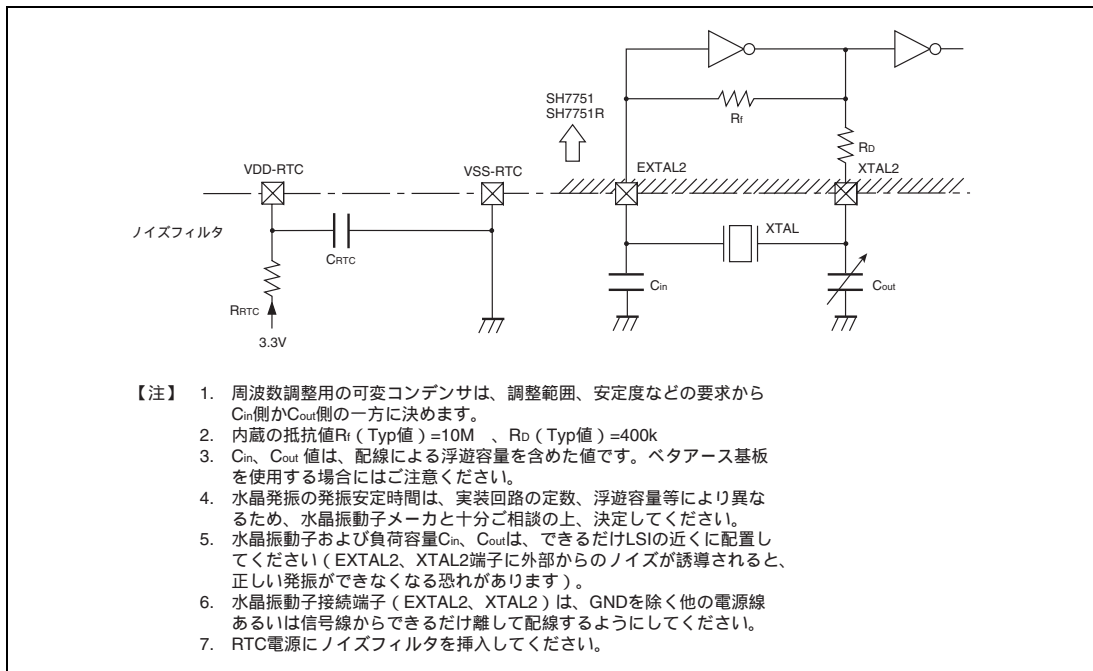


図 11.5 水晶発振回路接続例



---

## 12. タイマユニット (TMU)

---

### 12.1 概要

#### 12.1.1 特長

本 LSI は、5 チャンネル (チャンネル 0~4) の 32 ビットタイマにより構成される 32 ビットタイマユニット (TMU : TiMer Unit) を内蔵しています。

TMU の特長を以下に示します。

- 各チャンネルとも、オートリロード方式の32ビットダウンカウンタを搭載
- チャンネル2のみ、インプットキャプチャ機能を搭載
- 外部クロック選択時もしくはインプットキャプチャ機能使用時には、外部クロックの入力エッジとして立ち上がりエッジ / 立ち下がりエッジ選択可能
- 各チャンネルとも、任意の時点で書き込み / 読み出し可能なオートリロード用の32ビットタイマコンスタントレジスタおよび32ビットダウンカウンタを搭載
- チャンネル0~2は、7種類のカウンタ入力クロックを選択可能
- 外部クロック (TCLK)、内蔵RTCの出力クロック、5種類の内部クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) (ただし、Pckは周辺モジュールクロック)
- チャンネル3~4は、5種類の内部クロックのみ選択可能
- チャンネル0~2において、カウンタ入力クロックに内蔵RTCの出力クロックを選択した場合、モジュールスタンバイモードでも動作可能。つまり、TMUに対し、クロックが停止されていても、タイマ動作を行います。また、外部クロックおよび内部クロックでタイマカウント動作するのは、タイマユニットにクロックが供給されている場合に限定されます。
- 2種類の割り込み要因
- アンダフロー×1要因 (チャンネル0~4)、インプットキャプチャ×1要因 (チャンネル2) があります。
- DMACに対してデータ転送要求可能
- チャンネル2では、インプットキャプチャ割り込み時にDMACに対してデータ転送を要求します。

### 12.1.2 ブロック図

図 12.1 に TMU のブロック図を示します。

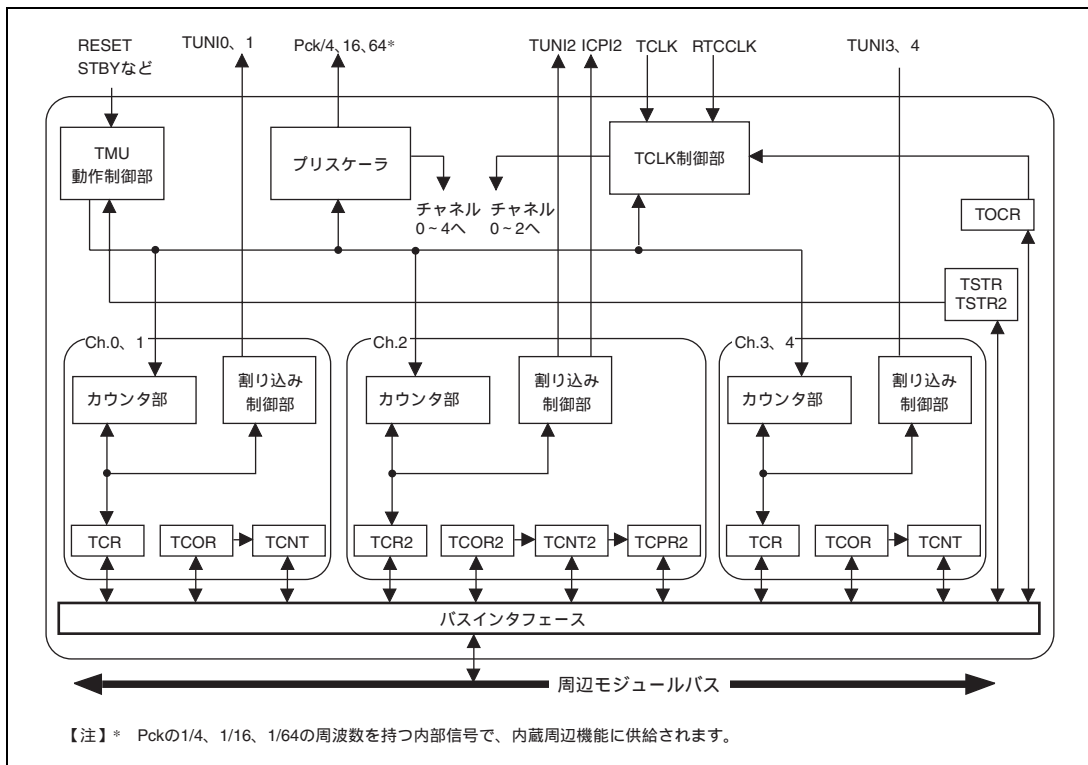


図 12.1 TMU のブロック図

### 12.1.3 端子構成

表 12.1 に TMU の端子構成を示します。

表 12.1 端子構成

名称	略称	入出力	機能
クロック入力/クロック出力	TCLK	入出力	外部クロック入力端子 / インプットキャプチャ制御入力端子 / RTC 用出力端子 (RTC と兼用)

## 12.1.4 レジスタ構成

表 12.2 に TMU のレジスタ構成を示します。

表 12.2 レジスタ構成

チャネル	名称	略称	R/W	パワーオンリセット時	マニュアルリセット時	スタンバイモード時	初期値	P4 アドレス	エリア7 アドレス	アクセスサイズ
共通	タイマアウトプットコントロールレジスタ	TOCR	R/W	初期化	初期化	保持	H'00	H'FFD80000	H'1FD80000	8
	タイマスタートレジスタ	TSTR	R/W	初期化	初期化	初期化 <sup>*1</sup>	H'00	H'FFD80004	H'1FD80004	8
	タイマスタートレジスタ2	TSTR2	R/W	初期化	保持	保持	H'00	H'FE100004	H'1E100004	8
0	タイマコンスタントレジスタ0	TCOR0	R/W	初期化	初期化	保持	H'FFFF FFFF	H'FFD80008	H'1FD80008	32
	タイマカウンタ0	TCNT0	R/W	初期化	初期化	保持 <sup>*2</sup>	H'FFFF FFFF	H'FFD8000C	H'1FD8000C	32
	タイマコントロールレジスタ0	TCR0	R/W	初期化	初期化	保持	H'0000	H'FFD80010	H'1FD80010	16
1	タイマコンスタントレジスタ1	TCOR1	R/W	初期化	初期化	保持	H'FFFF FFFF	H'FFD80014	H'1FD80014	32
	タイマカウンタ1	TCNT1	R/W	初期化	初期化	保持 <sup>*2</sup>	H'FFFF FFFF	H'FFD80018	H'1FD80018	32
	タイマコントロールレジスタ1	TCR1	R/W	初期化	初期化	保持	H'0000	H'FFD8001C	H'1FD8001C	16
2	タイマコンスタントレジスタ2	TCOR2	R/W	初期化	初期化	保持	H'FFFF FFFF	H'FFD80020	H'1FD80020	32
	タイマカウンタ2	TCNT2	R/W	初期化	初期化	保持 <sup>*2</sup>	H'FFFF FFFF	H'FFD80024	H'1FD80024	32
	タイマコントロールレジスタ2	TCR2	R/W	初期化	初期化	保持	H'0000	H'FFD80028	H'1FD80028	16
	インプットキャプチャレジスタ2	TCPR2	R	保持	保持	保持	不定	H'FFD8002C	H'1FD8002C	32
3	タイマコンスタントレジスタ3	TCOR3	R/W	初期化	保持	保持	H'FFFF FFFF	H'FE100008	H'1E100008	32
	タイマカウンタ3	TCNT3	R/W	初期化	保持	保持	H'FFFF FFFF	H'FE10000C	H'1E10000C	32
	タイマコントロールレジスタ3	TCR3	R/W	初期化	保持	保持	H'0000	H'FE100010	H'1E100010	16

チャネル	名称	略称	R/W	パワーオンリセット時	マニュアルリセット時	スタンバイモード時	初期値	P4 アドレス	エリア7 アドレス	アクセス サイズ
4	タイマコンスタントレジスタ4	TCOR4	R/W	初期化	保持	保持	H'FFFF FFFF	H'FE100014	H'1E100014	32
	タイマカウンタ4	TCNT4	R/W	初期化	保持	保持	H'FFFF FFFF	H'FE100018	H'1E100018	32
	タイマコントロールレジスタ4	TCR4	R/W	初期化	保持	保持	H'0000	H'FE10001C	H'1E10001C	16

- 【注】 \*1 モジュールスタンバイモードで入力クロックが内蔵 RTC の出力クロックの場合は、初期化されません。  
\*2 モジュールスタンバイモードで入力クロックが内蔵 RTC の出力クロックの場合は、カウント動作します。

## 12.2 レジスタの説明

### 12.2.1 タイマアウトプットコントロールレジスタ (TOCR)

タイマアウトプットコントロールレジスタ (TOCR) は、読み出し / 書き込み可能な 8 ビットのレジスタです。外部端子の TCLK を外部クロックまたはインプットキャプチャ制御用の入力端子とするか、内蔵 RTC の出力クロック用の出力端子とするかを選択します。

パワーオンリセットおよびマニュアルリセットで H'00 に初期化されますが、スタンバイモード時には、初期化されません。

ビット :	7	6	5	4	3	2	1	0
								TCOE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

#### ビット 7~1 : 予約ビット

読み出すと、常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

#### ビット 0 : タイマクロック端子制御 (TCOE)

タイマクロック端子 (TCLK) を外部クロックまたはインプットキャプチャ制御用の入力端子とするか、内蔵 RTC の出力クロック用の出力端子とするかを選択します。

ビット 0	説明
TCOE	
0	タイマクロック端子 (TCLK) を外部クロック入力またはインプットキャプチャ制御用の入力端子とする (初期値)
1	タイマクロック端子 (TCLK) を内蔵 RTC の出力クロック用の出力端子とする*

【注】 \* スタンバイモード時はローレベル出力、また、ハードウェアスタンバイモード時はハイインピーダンス出力となります。

### 12.2.2 タイマスタートレジスタ (TSTR)

タイマスタートレジスタ (TSTR) は、読み出し / 書き込み可能な 8 ビットのレジスタです。

チャンネル 0~2 のタイマカウンタ (TCNT) を動作させるか、停止させるかを選択します。

パワーオンリセットおよびマニュアルリセットで H'00 に初期化されます。また、モジュールスタンバイモード時には、各チャンネルで選択している入力クロックが内蔵 RTC の出力クロック (RTCCLK) の場合、初期化されず、入力クロックが外部クロック (TCLK) もしくは内部クロック (Pck) の場合のみ、初期化されます。

ビット:	7	6	5	4	3	2	1	0
						STR2	STR1	STR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

#### ビット 7~3: 予約ビット

読み出すと、常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

#### ビット 2: カウンタスタート 2 (STR2)

タイマカウンタ 2 (TCNT2) を動作させるか、停止させるかを選択します。

ビット 2	
STR2	説 明
0	TCNT2 のカウント動作は停止 (初期値)
1	TCNT2 はカウント動作する

#### ビット 1: カウンタスタート 1 (STR1)

タイマカウンタ 1 (TCNT1) を動作させるか、停止させるかを選択します。

ビット 1	
STR1	説 明
0	TCNT1 のカウント動作は停止 (初期値)
1	TCNT1 はカウント動作する

#### ビット 0: カウンタスタート 0 (STR0)

タイマカウンタ 0 (TCNT0) を動作させるか、停止させるかを選択します。

ビット 0	
STR0	説 明
0	TCNT0 のカウント動作は停止 (初期値)
1	TCNT0 はカウント動作する



### 12.2.3 タイマスタートレジスタ 2 (TSTR2)

タイマスタートレジスタ 2 (TSTR2) は、読み出し / 書き込み可能な 8 ビットのレジスタです。

チャンネル 3、4 のタイマカウンタ (TCNT) を動作させるか、停止させるかを選択します。

パワーオンリセットで H'00 に初期化されます。スタンバイモード時には値が保持されます。

STR3 または STR4 の値が 1 の状態でスタンバイモードに入った場合、周辺モジュールクロックの停止と同時にカウント動作は中断し、クロック供給が再開されるとカウント動作を再開します。

ビット:	7	6	5	4	3	2	1	0
							STR4	STR3
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

#### ビット 7~2: 予約ビット

読み出すと、常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

#### ビット 1: カウンタスタート 4 (STR4)

タイマカウンタ 4 (TCNT4) を動作させるか、停止させるかを選択します。

ビット 1	説明	
STR4		
0	TCNT4 のカウント動作は停止	(初期値)
1	TCNT4 はカウント動作する	

#### ビット 0: カウンタスタート 3 (STR3)

タイマカウンタ 3 (TCNT3) を動作させるか、停止させるかを選択します。

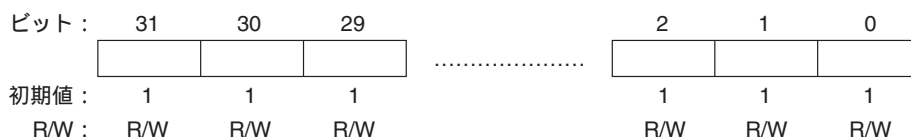
ビット 0	説明	
STR3		
0	TCNT3 のカウント動作は停止	(初期値)
1	TCNT3 はカウント動作する	

### 12.2.4 タイムコンスタントレジスタ (TCOR)

タイムコンスタントレジスタ (TCOR) は、読み出し / 書き込み可能な 32 ビットレジスタです。各チャンネルに 1 本ずつ、計 3 本の TCOR があります。

TCNT のカウントダウンの結果、アンダフローが発生すると、この TCOR の値が TCNT にセットされ、TCNT はセットされた値からカウントダウンを続けます。

チャンネル 0~2 の TCOR は、パワーオンリセットおよびマニュアルリセット時は H'FFFFFFF に初期化されますが、スタンバイモード時は、初期化されずに内容が保持されます。チャンネル 3~4 の TCOR は、パワーオンリセット時は H'FFFFFFF に初期化されますが、マニュアルリセット時およびスタンバイモード時は、初期化されずに内容が保持されます。



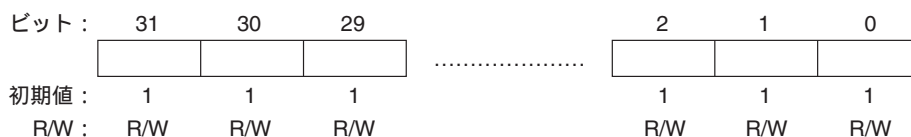
### 12.2.5 タイムカウンタ (TCNT)

タイムカウンタ (TCNT) は、読み出し / 書き込み可能な 32 ビットレジスタです。各チャンネルに 1 本ずつ、計 5 本の TCNT があります。

TCNT は、タイムコントロールレジスタ (TCR) の TPSC2~TPSC0 により選択した入力クロックにより、カウントダウン動作を行います。

TCNT のカウントダウン動作の結果、アンダフローが発生すると、対応するチャンネルのタイムコントロールレジスタ (TCR) のアンダフローフラグ (UNF) がセットされます。また、同時に TCNT には、タイムコンスタントレジスタ (TCOR) の値がセットされ、セットされた値からカウントダウン動作を続けます。

チャンネル 0~2 の TCNT は、パワーオンリセットおよびマニュアルリセット時は H'FFFFFFF に初期化されますが、スタンバイモード時は、初期化されずに内容が保持されます。チャンネル 3~4 の TCNT は、パワーオンリセット時は H'FFFFFFF に初期化されますが、マニュアルリセット時およびスタンバイモード時は、初期化されずに内容が保持されます。



チャンネル 0~2 において、入力クロックが内蔵 RTC の出力クロック (RTCCLK) の場合、モジュールスタンバイモードでも (すなわち TMU に対するクロックが停止していても) カウント動作します。入力クロックが外部クロック (TCCLK) および内部クロック (Pck) の場合はスタンバイモード時、内容を保持します。

### 12.2.6 タイマコントロールレジスタ (TCR)

タイマコントロールレジスタ (TCR) は、読み出し / 書き込み可能な 16 ビットレジスタです。各チャンネルに 1 本ずつ、計 5 本の TCR があります。

カウントクロックの選択、チャンネル 0~2 の外部クロック選択時のエッジの選択、タイマカウンタ (TCNT) のアンダフロー発生を示すフラグが 1 にセットされたときの割り込み発生の制御を行います。また、TCR2 では、チャンネル 2 のインプットキャプチャ機能の制御およびインプットキャプチャ時の割り込み発生の制御を行います。

チャンネル 0~2 の TCR はパワーオンリセットおよびマニュアルリセットで H'0000 に初期化されますが、スタンバイモード時には初期化されません。チャンネル 3、4 の TCR は、パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

#### (1) チャンネル 0、1 の TCR ビット構成

ビット:	15	14	13	12	11	10	9	8
								UNF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W
ビット:	7	6	5	4	3	2	1	0
			UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

#### (2) チャンネル 2 の TCR ビット構成

ビット:	15	14	13	12	11	10	9	8
							ICPF	UNF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	ICPE1	ICPE0	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### (3) チャンネル 3、4 の TCR ビット構成

ビット:	15	14	13	12	11	10	9	8
								UNF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W
ビット:	7	6	5	4	3	2	1	0
			UNIE			TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R/W	R/W

ビット 15~9、7、6 (チャンネル 0、1)、ビット 15~10 (チャンネル 2) : 予約ビット

読み出すと、常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット 9 : インพุットキャプチャ割り込みフラグ (ICPF) : チャンネル 2 のみ

チャンネル 2 のみの機能で、インพุットキャプチャレジスタ発生を示すステータスフラグです。

ビット 9	説 明	
ICPF		
0	インพุットキャプチャが発生していないことを示します [クリア条件] ICPF に 0 を書き込んだとき	(初期値)
1	インพุットキャプチャが発生したことを示します [セット条件] インพุットキャプチャが発生したとき*	

【注】 \* 1 を書き込むと、元の値が保持されます。

ビット 8 : アンダフローフラグ (UNF)

TCNT のアンダフローの発生を示すステータスフラグです。

ビット 8	説 明	
UNF		
0	TCNT がアンダフローを起こしていないことを示します [クリア条件] UNF に 0 を書き込んだとき	(初期値)
1	TCNT がアンダフローを起こしたことを示します [セット条件] TCNT がアンダフローを起こしたとき*	

【注】 \* 1 を書き込むと、元の値が保持されます。

ビット 7、6 : インพุットキャプチャ制御 (ICPE1、ICPE0) : チャンネル 2 のみ

チャンネル 2 のみの機能で、インพุットキャプチャ機能を使用するかどうかおよび使用時の割り込み発生を許可するかどうかを制御します。

インพุットキャプチャ機能を使用する場合、インพุットキャプチャ時に DMAC に対し、データ転送を要求します。

このインพุットキャプチャ機能を使う場合は、TOCR レジスタの TCOE ビットにより、TCLK 端子を入力端子に設定する必要があります。また、TCLK 端子の立ち上がりエッジ / 立ち下がりエッジのいずれを使ってインพุットキャプチャレジスタ (TCPR2) に TCNT2 の値をセットするかは、CKEG ビットで設定します。

TCR2.ICPF ビットが 0 のときのみ、TCNT2 の値が TCPR2 にセットされます。TCR2.ICPF ビットが 1 のときは、インพุットキャプチャが発生しても TCPR2 はセットされません。また、インพุットキャプチャ発生時には、TCR2.ICPF ビットの値にかかわらず DMAC 転送要求が発生します。ただし、DMAC 転送要求は前の要求の処理が終了するまでは次の要求が発生しません。

ビット7	ビット6	説 明
ICPE1	ICPE0	
0	0	インプットキャプチャ機能を使用しないことを示します (初期値)
0	1	予約 (設定しないこと)
1	0	インプットキャプチャ機能を使用するが、インプットキャプチャによる割り込み (TICPI2) を許可しないことを示します インプットキャプチャ時に DMAC に対してデータ転送を要求します
1	1	インプットキャプチャ機能を使用し、またインプットキャプチャによる割り込み (TICPI2) を許可することを示します インプットキャプチャ時に DMAC に対してデータ転送を要求します

#### ビット5: アンダフロー割り込み制御 (UNIE)

TCNTのアンダフローの発生を示すステータスフラグ UNF が 1 にセットされたときに割り込み発生を許可するかどうかを制御します。

ビット5	説 明
UNIE	
0	アンダフローによる割り込み (TUNI) を許可しません (初期値)
1	アンダフローによる割り込み (TUNI) を許可します

#### ビット4、3: クロックエッジ 1、0 (CKEG1、CKEG0)

チャンネル0~2において、外部クロック選択時もしくはインプットキャプチャ機能使用時に、外部クロックの入力エッジを選択します。

ビット4	ビット3	説 明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント/インプットキャプチャレジスタセット (初期値)
0	1	立ち下がりエッジでカウント/インプットキャプチャレジスタセット
1	X	立ち上がり/立ち下がり両エッジでカウント/インプットキャプチャレジスタセット

【注】 X: 0または1、don't care を表します。

ビット 2~0 : タイムプリスケラ 2~0 (TPSC2~TPSC0)

TCNT のカウントクロックを選択します。チャンネル 0~2 においてカウントクロックに内蔵 RTC の出力クロックを選択した場合、モジュールスタンバイモードでも動作可能です。その他のクロックを選択した場合には、スタンバイモードでは動作しません。

ビット 2	ビット 1	ビット 0	説 明
TPSC2	TPSC1	TPSC0	
0	0	0	Pck/4 でカウント (初期値)
0	0	1	Pck/16 でカウント
0	1	0	Pck/64 でカウント
0	1	1	Pck/256 でカウント
1	0	0	Pck/1024 でカウント
1	0	1	予約 (設定しないこと)
1	1	0	内蔵 RTC の出力クロックでカウント (チャンネル 3、4 では設定しないこと)
1	1	1	外部クロックでカウント (チャンネル 3、4 では設定しないこと)

### 12.2.7 インプットキャプチャレジスタ 2 (TCPR2)

インプットキャプチャレジスタ 2 (TCPR2) は、チャンネル 2 のみに内蔵されているインプットキャプチャ機能用の読み出しのみ可能な 32 ビットレジスタです。

TCR2 のインプットキャプチャ制御ビット (ICPE) およびクロックエッジビット (CKEG) によって、インプットキャプチャ機能を制御します。インプットキャプチャが発生すると、TCNT2 の値が TCPR2 にコピーされます。TCR2 の ICPF ビットが 0 のときのみ TCPR2 にセットします。

TCPR2 は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれの場合も、初期化されません。



## 12.3 動作説明

各チャンネルには、32ビットのタイマカウンタ (TCNT) と 32ビットのタイマコンスタントレジスタ (TCOR) があります。TCNT カウンタは、ダウンカウント動作を行います。オートリロード機能をもち周期カウント動作が可能であり、また外部イベントのカウントを行うこともできます。また、チャンネル2には、インプットキャプチャ機能があります。

### 12.3.1 カウンタの動作

タイマスタートレジスタ (TSTR、TSTR2) の STR0～STR4 ビットを1にセットすると、対応するチャンネルのタイマカウンタ (TCNT) はカウント動作を開始します。TCNT がアンダフローすると対応するタイマコントロールレジスタ (TCR) の UNF フラグがセットされます。このとき、TCR の UNIE ビットが1ならば、CPU に割り込みを要求します。また、このとき TCNT には TCOR から値がコピーされ、カウントダウン動作を継続します (オートリロード機能)。

#### (1) カウント動作の設定手順例

図 12.2 にカウント動作の設定手順例を示します。

1. タイマコントロールレジスタ (TCR) の TPSC2～TPSC0 ビットでカウンタクロックを選択してください。チャンネル0～2において外部クロックを選択する場合、TOCRのTCOEビットでTCLK端子を入力モードに設定し、TCRのCKEG1、CKEG0ビットで外部クロックのエッジを選択してください。
2. TCRのUNIEビットでTCNTのアンダフロー時に割り込みを発生させるかどうかを設定してください。
3. インプットキャプチャ機能を使用する場合、割り込み機能を使うかどうかも含めて、TCRのICPEビットをセットしてください。
4. タイマコンスタントレジスタ (TCOR) に値をセットしてください。
5. タイマカウンタ (TCNT) に初期値を設定してください。
6. タイマスタートレジスタ (TSTR、TSTR2) のSTRビットを1にセットしてカウント動作を開始してください。

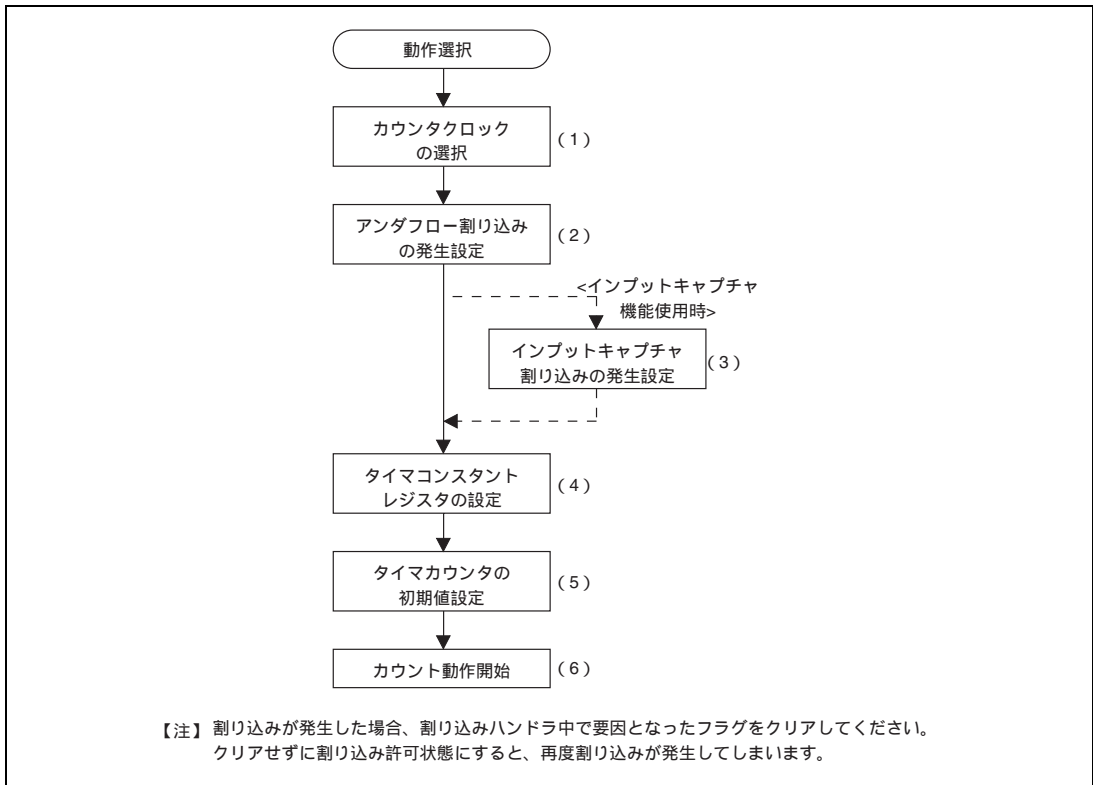


図 12.2 カウント動作設定手順例

(2) オートリロードカウント動作

図 12.3 に TCNT のオートリロード動作を示します。

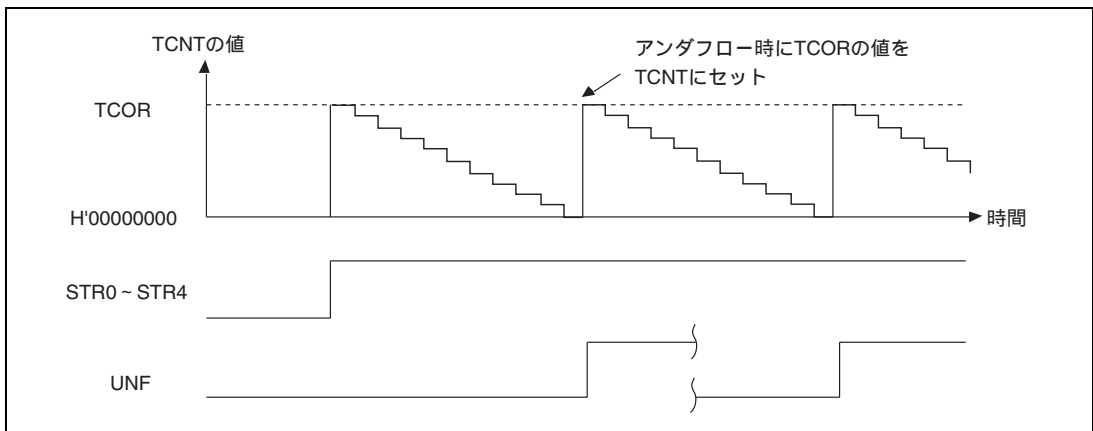


図 12.3 TCNT のオートリロード動作



## (3) TCNT のカウントタイミング

## (a) 内部クロック動作の場合

TCR の TPSC2 ~ TPSC0 ビットにより、カウントクロックとして周辺モジュールクロックを分周した 5 種類のクロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) を選択できます。

このときのタイミングを図 12.4 に示します。

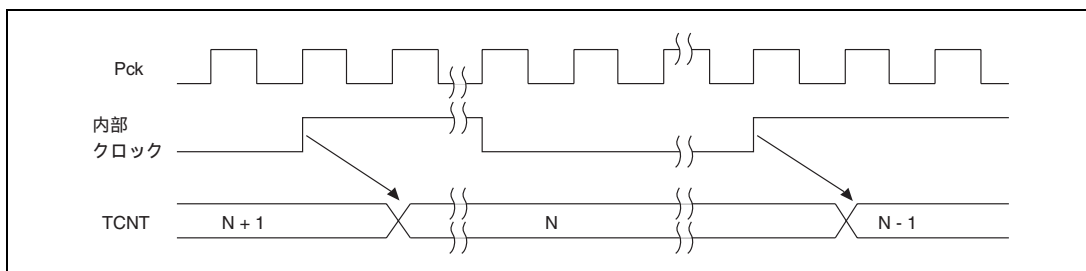


図 12.4 内部クロック動作時のカウントタイミング

## (b) 外部クロック動作の場合

チャンネル 0 ~ 2 では、TCR の TPSC2 ~ TPSC0 ビットにより、タイマ用クロックとして外部クロック端子 (TCLK) を選択できます。また、TCR の CKEG1、CKEG0 ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり / 立ち下がり / 両エッジの選択が可能です。

図 12.5 に両エッジ検出時のタイミングを示します。

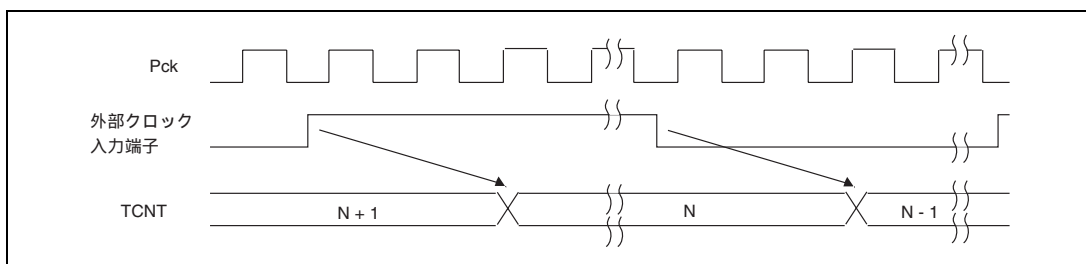


図 12.5 外部クロック動作時のカウントタイミング

## (c) 内蔵 RTC の出力クロック動作の場合

チャンネル 0 ~ 2 では、TCR の TPSC2 ~ TPSC0 ビットにより、タイマ用クロックとして内蔵 RTC の出力クロックを選択できます。このときのタイミングを図 12.6 に示します。

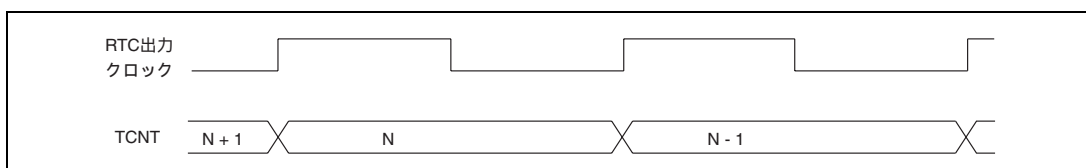


図 12.6 内蔵 RTC の出力クロック動作時のカウントタイミング

### 12.3.2 インพุットキャプチャ機能

チャンネル2には、インพุットキャプチャ機能があります。

インพุットキャプチャ機能を使用する場合、

1. タイマアウトプットコントロールレジスタ (TOCR) のTCOEビットによりTCLK端子を入力モードに設定します。
2. タイマコントロールレジスタ (TCR) のTPSC2 ~ TPSC0ビットでのタイマの動作クロックを内部クロックか内蔵RTCの出力クロックに設定します。
3. TCRのICPE1、ICPE0ビットでインพุットキャプチャ機能の使用および使用の際に割り込みを発生させるかを指定します。
4. TCRのCKEG1、CKEG0ビットでTCLK端子の立ち上がり / 立ち下がりなどのエッジを使用してインพุットキャプチャレジスタ (TCPR2) にタイマカウンタ (TCNT) の値をセットするかを指定します。

なお、この機能はスタンバイモード時には使用できません。

インพุットキャプチャ発生時、TCR2のICPFビットが0のときのみ、TCNT2の値をTCPR2にセットします。

また、DMAC転送要求は、前の要求の処理が終了するまでは次の要求を発生しません。

図12.7にインพุットキャプチャ機能使用時の動作タイミングを示します (TCLKの立ち上がりエッジ使用)。

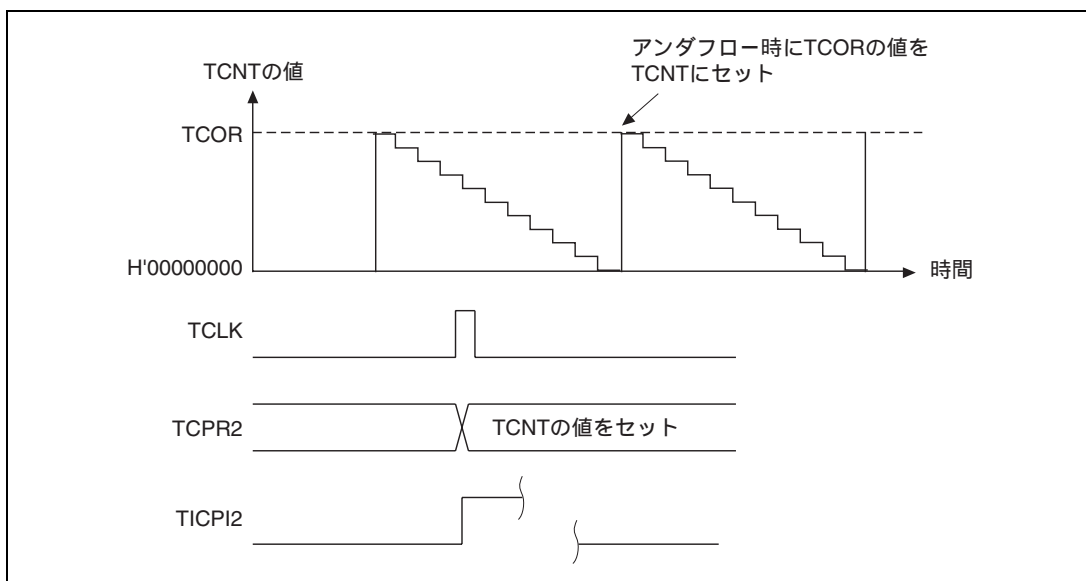


図 12.7 インพุットキャプチャ機能使用時の動作タイミング

## 12.4 割り込み

TMU の割り込み要因は、アンダフロー割り込みおよびインプットキャプチャ機能使用時のインプットキャプチャ割り込みです。アンダフロー割り込みはチャンネル 0~4 各々で、インプットキャプチャ割り込みはチャンネル 2 のみで発生します。

TCR.UNF = 1 であり、そのチャンネルの割り込み許可ビットが 1 のとき、アンダフロー割り込み要求が発生します (チャンネルごと)。

インプットキャプチャ機能使用時、インプットキャプチャ要求が発生すると TCR2 のインプットキャプチャ入力フラグ (ICPF) が 1 で TCR2 のインプットキャプチャ制御ビット (ICPE1、ICPE0) が 11 の場合に割り込み要求が発生します。

表 12.3 に TMU の割り込み要因を示します。

表 12.3 TMU の割り込み要因

チャンネル	割り込み要因	内容
0	TUNI0	アンダフロー割り込み 0
1	TUNI1	アンダフロー割り込み 1
2	TUNI2	アンダフロー割り込み 2
	TICPI2	インプットキャプチャ割り込み 2
3	TUNI3	アンダフロー割り込み 3
4	TUNI4	アンダフロー割り込み 4

## 12.5 使用上の注意

### 12.5.1 レジスタの書き込みについて

TMU のレジスタの書き込みの際には、必ずタイムスタートレジスタ (TSTR、TSTR2) の該当チャンネルのスタートビット (STR0~STR4) をクリアして、タイマのカウント動作を停止させてください。

ただし、タイムスタートレジスタ (TSTR、TSTR2) の書き込み、タイマコントロールレジスタ (TCR0~TCR4) のアンダフローフラグ (UNF)、インプットキャプチャフラグ (ICPF) のクリアは、カウント動作中に行うことができます。カウント動作中にフラグ (UNF、ICPF) をクリアする際は、クリアするビット以外は変更しないようにしてください。

### 12.5.2 TCNT レジスタの読み出しについて

TCNT レジスタの読み出し時に、タイマのカウント動作との同期処理を行っています。タイマカウント動作とレジスタの読み出し処理が同時に行われた場合は、同期処理により TCNT カウンタのカウントダウン動作前の値が読み出されます。

### 12.5.3 RTC 分周器のリセットについて

内蔵 RTC の出カクロックがカウントクロックに選択する際には、RTC 分周器をリセットしてください。

### 12.5.4 外部クロック周波数について

各チャンネルへの外部クロックは  $Pck/8$  を超えないようにしてください。

---

## 13. バスステートコントローラ (BSC)

---

### 13.1 概要

バスステートコントローラ (BSC) は、外部メモリ空間の分割、各種のメモリおよびバスインタフェース仕様に応じた制御信号の出力などを行います。BSC の機能によって、DRAM、シンクロナス DRAM、SRAM、ROM など本 LSI に接続することができ、PCMCIA インタフェースのプロトコルもサポートしていますので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

#### 13.1.1 特長

BSC には、次のような特長があります。

- 外部メモリ空間を7つに分割して管理
  - エリア0~6までの各エリアは、最大64Mバイト
  - 各エリアのバス幅をレジスタにより設定可能 (エリア0のみ、外部ピンにより設定)
  - $\overline{RDY}$ 端子によりウェイトステート挿入可能
  - ウェイトステート挿入をプログラムで制御可能
  - エリア毎に接続できるメモリの種類を指定
  - 各エリアに接続するメモリの制御信号を出力
  - 異なったエリアに対する連続したメモリアクセスや同一エリアに対するリードアクセス直後のライトアクセスの場合といったデータバスの衝突回避のためのウェイトサイクル自動挿入機能
  - 低速メモリとの接続用に書き込みサイクル時のライトストロープのセットアップタイムとホールドタイム期間を挿入可能
- SRAMインタフェース
  - ウェイトステート挿入をプログラムで制御可能
  - $\overline{RDY}$ 端子によるウェイトステート挿入
  - 接続可能エリア : 0~6
  - 設定可能バス幅 : 32、16、8
- DRAMインタフェース
  - DRAM容量に応じたロウアドレス/カラムアドレスマルチプレクス
  - パースト動作 (高速ページモード、EDO)
  - CASビフォアRASリフレッシュとセルフリフレッシュ
  - 低消費電力に対応したCAS4本方式のバイトコントロール
  - DRAM制御信号のタイミングをレジスタの設定により制御可能
  - 同一ロウアドレス連続アクセス
  - 接続可能エリア : 3
  - 設定可能バス幅 : 32、16

- シンクロナスDRAMインタフェース
  - シンクロナスDRAM容量に応じたロウアドレス / カラムアドレスマルチプレクス
  - バースト動作
  - オートリフレッシュとセルフリフレッシュ
  - シンクロナスDRAM制御信号のタイミングをレジスタの設定により制御可能
  - 同一ロウアドレス連続アクセス
    - 接続可能エリア : 2、3
    - 設定可能バス幅 : 32
- バーストROMインタフェース
  - ウェイトステート挿入をプログラムで制御可能
  - レジスタで設定した回数のバースト転送動作
    - 接続可能エリア : 0、5、6
    - 設定可能バス幅 : 32、16、8
- MPXインタフェース
  - アドレス・データマルチプレクス
    - 接続可能エリア : 0~6
    - 設定可能バス幅 : 32
- バイト制御SRAMインタフェース
  - バイト制御可能なSRAMインタフェース
    - 接続可能エリア : 1、4
    - 設定可能バス幅 : 32、16
- PCMCIAインタフェース
  - ウェイトステート挿入をプログラムで制御可能
  - I/Oバス幅のバスサイジング機能
- きめ細かなリフレッシュ制御可能
  - リフレッシュカウンタのオーバーフロー割り込み機能により、ローパワーDRAMにおけるセルフリフレッシュ動作直後のリフレッシュ動作をサポート
- リフレッシュ用カウンタをインターバルタイマとして使用可能
  - コンペアマッチで割り込み要求発生
  - リフレッシュカウンタのオーバーフローで割り込み要求発生

## 13.1.2 ブロック図

BSC のブロック図を図 13.1 に示します。

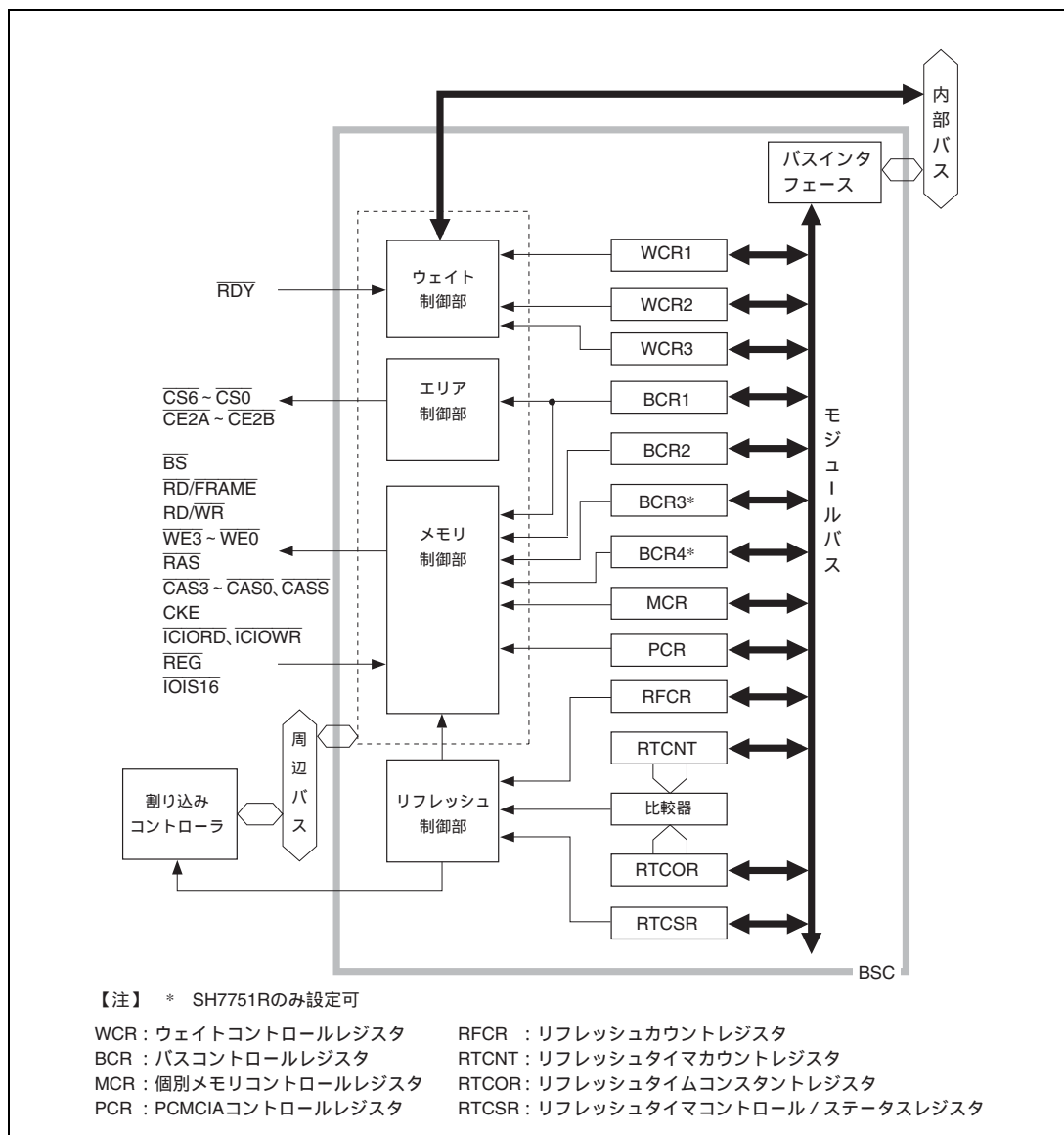


図 13.1 BSC のブロック図

## 13.1.3 端子構成

BSCの端子構成を表 13.1 に示します。

表 13.1 端子構成

名称	信号名	入出力	機能
アドレスバス	A25 ~ A0	出力	アドレス出力
データバス	D31 ~ D0	入出力	データ入出力
バスサイクル開始	BS	出力	バスサイクルの開始を示す信号 シンクロナス DRAM または MPX インタフェース設定時、1 回のバースト転送につき 1 回アサート その他のバースト転送時、データサイクルごとにアサート
チップセレクト 6~0	CS6 ~ CS0	出力	アクセス中のエリアを示すチップセレクト信号 CS5、CS6 は、PCMCIA の CE1A、CE1B としても使用
リード/ライト	RD/WR	出力	データバスの入出力方向指示信号 DRAM / シンクロナス DRAM / PCMCIA インタフェースの書き込み指示信号としても使用
ロウアドレスストロ ープ	RAS	出力	DRAM / シンクロナス DRAM インタフェース設定時、RAS 信号
リード / カラムアド レスストロープ / サ イクルフレーム	RD/CASS/ FRAME	出力	リードサイクルを示すストロープ信号 シンクロナス DRAM インタフェース設定時、CAS 信号 MPX バス使用時、FRAME 信号
データイネーブル 0	WE0/ REG	出力	PCMCIA インタフェース設定時、REG 信号 SRAM インタフェース設定時、D7 ~ D0 対応のライトストロープ信号
データイネーブル 1	WE1	出力	PCMCIA インタフェース設定時、ライトストロープ信号 SRAM インタフェース設定時、D15 ~ D8 対応のライトストロープ信号
データイネーブル 2	WE2/ ICIOR	出力	PCMCIA インタフェース設定時、ICIOR 信号 SRAM インタフェース設定時、D23 ~ D16 対応のライトストロープ信号
データイネーブル 3	WE3/ ICIOR	出力	PCMCIA インタフェース設定時、ICIOR 信号 SRAM インタフェース設定時、D31 ~ D24 対応のライトストロープ信号
カラムアドレス ストロープ 0	CAS0/ DQM0	出力	DRAM インタフェース設定時、D7 ~ D0 対応の CAS 信号 シンクロナス DRAM インタフェース設定時、D7 ~ D0 対応の選択信号
カラムアドレス ストロープ 1	CAS1/ DQM1	出力	DRAM インタフェース設定時、D15 ~ D8 対応の CAS 信号 シンクロナス DRAM インタフェース設定時、D15 ~ D8 対応の選択信号
カラムアドレス ストロープ 2	CAS2/ DQM2	出力	DRAM インタフェース設定時、D23 ~ D16 対応の CAS 信号 シンクロナス DRAM インタフェース設定時、D23 ~ D16 対応の選択信号
カラムアドレス ストロープ 3	CAS3/ DQM3	出力	DRAM インタフェース設定時、D31 ~ D24 対応の CAS 信号 シンクロナス DRAM インタフェース設定時、D31 ~ D24 対応の選択信号
レディ	RDY	入力	ウェイトステート要求信号



名称	信号名	入出力	機能
エリア 0 の MPX インタフェース指定 / 16 ビット I/O	MD6/ $\overline{\text{OIS16}}$	入力	パワーオンリセット時、エリア 0 のバスを MPX インタフェースとする (1: SRAM、0: MPX) PCMCIA インタフェース設定時、16 ビット I/O 指示信号。リトルエンディアンモード時のみ有効
クロックイネーブル	CKE	出力	シンクロナス DRAM のクロックイネーブル制御信号
バス解放要求	$\overline{\text{BREQ}}$ / $\overline{\text{BSACK}}$	入力	バス解放の要求信号 / バス権認識
バス使用許可	$\overline{\text{BACK}}$ / $\overline{\text{BSREQ}}$	出力	バス使用の許可信号 / バス権要求
エリア 0 バス幅 / PCMCIA カードセレクト	MD3/ $\overline{\text{CE2A}}$ *1 MD4/ $\overline{\text{CE2B}}$ *2	入力/ 出力	パワーオンリセット時、エリア 0 のバス幅設定信号 PCMCIA 使用時、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$
エンディアン切り替え	MD5	入力	パワーオンリセット時、エンディアン設定
マスタ / スレーブの切り替え	MD7/ $\overline{\text{CTS2}}$	入力/ 出力	パワーオンリセット時、マスタ / スレーブを示す シリアルインタフェースの $\overline{\text{CTS2}}$
DMAC0 アクノリッジ信号	DACK0	出力	DMAC チャンネル 0 のデータアクノリッジ
DMAC1 アクノリッジ信号	DACK1	出力	DMAC チャンネル 1 のデータアクノリッジ

【注】 \*1 MD3/ $\overline{\text{CE2A}}$  の入出力の切り替えは、BCR1.A56PCM で行います。BCR1.A56PCM = 1 で出力となります。

\*2 MD4/ $\overline{\text{CE2B}}$  の入出力の切り替えは、BCR1.A56PCM で行います。BCR1.A56PCM = 1 で出力となります。

### 13.1.4 レジスタ構成

BSC には表 13.2 に示すように、11 本のレジスタがあります。また、シンクロナス DRAM に内蔵されたシンクロナス DRAM モードレジスタが本 LSI のレジスタとしてアクセスできます。これらのレジスタにより、各種メモリとのインタフェース、ウェイトステート、リフレッシュなどの制御を行います。

表 13.2 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア7アドレス	アクセスサイズ
バスコントロールレジスタ 1	BCR1	R/W	H'0000 0000	H'FF80 0000	H'1F80 0000	32
バスコントロールレジスタ 2	BCR2	R/W	H'3FFC	H'FF80 0004	H'1F80 0004	16
バスコントロールレジスタ 3*2	BCR3	R/W	H'0001	H'FF80 0050	H'1F80 0050	16
バスコントロールレジスタ 4*2	BCR4	R/W	H'0000 0000	H'FE0A00F0	H'1E0A00F0	32
ウェイトコントロールレジスタ 1	WCR1	R/W	H'7777 7777	H'FF80 0008	H'1F80 0008	32
ウェイトコントロールレジスタ 2	WCR2	R/W	H'FFFE EFFF	H'FF80 000C	H'1F80 000C	32
ウェイトコントロールレジスタ 3	WCR3	R/W	H'0777 7777	H'FF80 0010	H'1F80 0010	32
個別メモリコントロールレジスタ	MCR	R/W	H'0000 0000	H'FF80 0014	H'1F80 0014	32
PCMCIA コントロールレジスタ	PCR	R/W	H'0000	H'FF80 0018	H'1F80 0018	16
リフレッシュタイムコントロール/ステータスレジスタ	RTCSR	R/W	H'0000	H'FF80 001C	H'1F80 001C	16
リフレッシュタイムカウンタ	RTCNT	R/W	H'0000	H'FF80 0020	H'1F80 0020	16
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'0000	H'FF80 0024	H'1F80 0024	16
リフレッシュカウンタレジスタ	RFCSR	R/W	H'0000	H'FF80 0028	H'1F80 0028	16
シンクロナス DRAM モードレジスタ	エリア 2 用	SDMR2	-	H'FF90 xxxx*1	H'1F90 xxxx	8
	エリア 3 用	SDMR3		H'FF94 xxxx*1	H'1F94 xxxx	

【注】 \*1 詳細は「13.2.10 シンクロナス DRAM モードレジスタ (SDMR)」を参照してください。

\*2 SH7751R のみ設定可

### 13.1.5 エリアの概要

#### (1) 空間分割

本 LSI は、アーキテクチャとして 32 ビットの仮想アドレス空間を有しています。仮想アドレスは、上位側アドレスの値によって 5 領域に分割されています。また、外部メモリ空間は 29 ビットのアドレス空間を有しており 8 エリアに分割されています。

仮想アドレスは、アドレス変換機構 (MMU) により任意の外部アドレスに割り付けることができます。詳細は「第 3 章 メモリマネジメントユニット (MMU)」を参照してください。この章では、外部アドレスのエリア分割について記述します。

本 LSI は、表 13.3 に示すように外部アドレスの 7 つのエリアに各々各種メモリ / PC カードを接続でき、各々に対応してチップセレクト信号 ( $\overline{CS0} \sim \overline{CS6}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ ) を出力します。エリア 0 のアクセス時に  $\overline{CS0}$  が、エリア 6 のアクセス時に  $\overline{CS6}$  がアサートされます。エリア 2 や 3 に DRAM、シンクロナス DRAM を接続する場合、 $\overline{RAS}$ 、 $\overline{CAS}$ 、 $\overline{RD}/\overline{WR}$ 、 $\overline{DQM}$  などの信号もアサートされます。また、エリア 5 と 6 において、PCMCIA インタフェースを選択した場合、アクセスするバイトに対応して、 $\overline{CS5}$ 、 $\overline{CS6}$  に加えて、 $\overline{CE2A}$ 、 $\overline{CE2B}$  をアサートします。

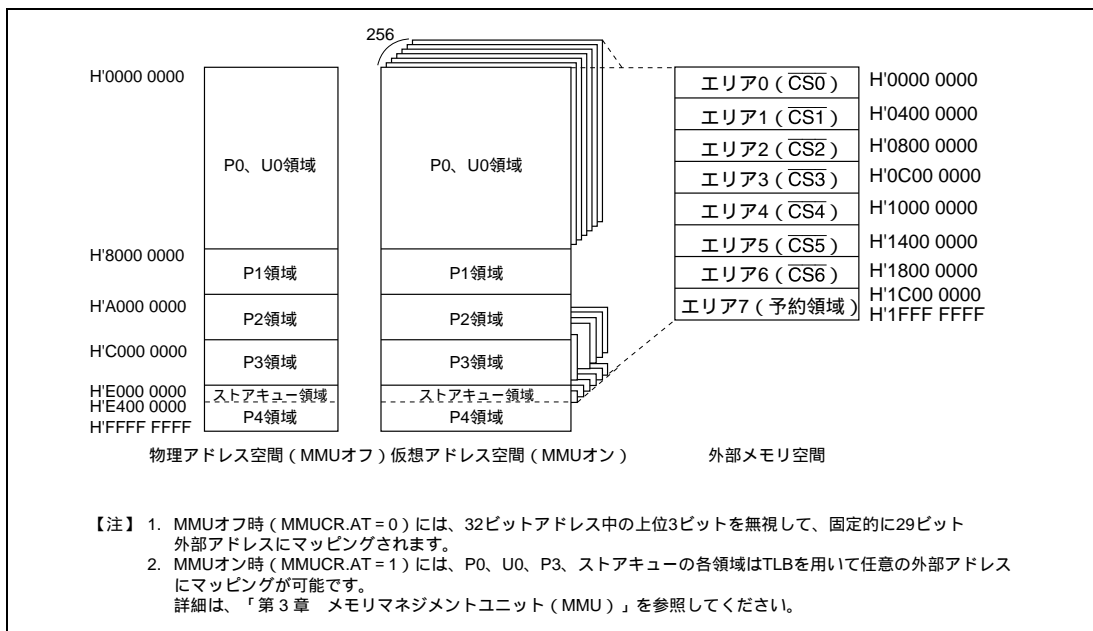


図 13.2 仮想アドレス空間と外部メモリ空間の対応

表 13.3 外部メモリ空間マップ

エリア	外部アドレス	容量	接続可能メモリ	設定可能 バス幅	アクセス サイズ
0	H'00000000 ~ H'03FFFFFF	64MB	SRAM	8,16,32* <sup>1</sup>	8、16、32、 64* <sup>6</sup> ビット、 32バイト
			バースト ROM	8,16,32* <sup>1</sup>	
			MPX	32* <sup>1</sup>	
1	H'04000000 ~ H'07FFFFFF	64MB	SRAM	8,16,32* <sup>2</sup>	8、16、32、 64* <sup>6</sup> ビット、 32バイト
			MPX	32* <sup>2</sup>	
			バイト制御 SRAM	16,32* <sup>2</sup>	
2	H'08000000 ~ H'0BFFFFFF	64MB	SRAM	8,16,32* <sup>2</sup>	8、16、32、 64* <sup>6</sup> ビット、 32バイト
			シンクロナス DRAM	32* <sup>2*3</sup>	
			MPX	32* <sup>2</sup>	
3	H'0C000000 ~ H'0FFFFFFF	64MB	SRAM	8,16,32* <sup>2</sup>	8、16、 32、64* <sup>6</sup> ビット、 32バイト
			シンクロナス DRAM	32* <sup>2*3</sup>	
			DRAM	16,32* <sup>2*3</sup>	
			MPX	32* <sup>2</sup>	
4	H'10000000 ~ H'13FFFFFF	64MB	SRAM	8,16,32* <sup>2</sup>	8、16、32、 64* <sup>6</sup> ビット、 32バイト
			MPX	32* <sup>2</sup>	
			バイト制御 SRAM	16,32* <sup>2</sup>	
5	H'14000000 ~ H'17FFFFFF	64MB	SRAM	8,16,32* <sup>2</sup>	8、16、32、 64* <sup>6</sup> ビット、 32バイト
			MPX	32* <sup>2</sup>	
			バースト ROM	8,16,32* <sup>2</sup>	
			PCMCIA	8,16* <sup>2*4</sup>	
6	H'18000000 ~ H'1BFFFFFF	64MB	SRAM	8,16,32* <sup>2</sup>	8、16、32、 64* <sup>6</sup> ビット、 32バイト
			MPX	32* <sup>2</sup>	
			バースト ROM	8,16,32* <sup>2</sup>	
			PCMCIA	8,16* <sup>2*4</sup>	
7* <sup>5</sup>	H'1C000000 ~ H'1FFFFFFF	64MB	—	—	

【注】 \*1 外部ピンでメモリバス幅を指定

\*2 レジスタでメモリバス幅を指定

\*3 シンクロナス DRAM インタフェース時は、バス幅は 32 ビットのみ  
また、DRAM インタフェース時は、バス幅は 16、32 ビットのみ

\*4 PCMCIA インタフェース時は、バス幅は 8、16 ビットのいずれかのみ

\*5 予約エリアはアクセスしないでください。アクセスした場合は動作の保証はできません。

\*6 アクセスサイズが 64 ビットとなるのは DMAC による転送 (CHCRn.TS=000) の場合のみ。

FM0V (FPSCR.SZ=1) による外部メモリへのアクセスの場合、アクセスサイズが 32 ビットの転送が、2 回行われます。

エリア0 : H'00000000	SRAM / バーストROM / MPX	} PCMCIAインタフェースは、 メモリ/I/Oカード兼用
エリア1 : H'04000000	SRAM / MPX / バイト制御SRAM	
エリア2 : H'08000000	SRAM / シンクロナスDRAM / MPX	
エリア3 : H'0C000000	SRAM / シンクロナスDRAM / DRAM / MPX	
エリア4 : H'10000000	SRAM / MPX / バイト制御SRAM	
エリア5 : H'14000000	SRAM / バーストROM / PCMCIA / MPX	
エリア6 : H'18000000	SRAM / バーストROM / PCMCIA / MPX	

図 13.3 外部メモリ空間割り付け

## (2) メモリバス幅

本 LSI のメモリバス幅は、空間ごとに設定できます。エリア 0 では、 $\overline{\text{RESET}}$  端子によるパワーオンリセット時に外部ピンを用いてバスサイズを 8 ビット、16 ビット、32 ビットから選べます。パワーオンリセット時に外部ピン (MD4、MD3) とバス幅の関係は次のようになります。

MD4	MD3	バス幅
0	0	予約
0	1	8 ビット
1	0	16 ビット
1	1	32 ビット

エリア 1~6 で SRAM インタフェース、ROM のいずれかを使用する場合は、バスコントロールレジスタ  $\chi$  (BCR2) によってバス幅を 8 ビット、16 ビット、32 ビットから選べます。バースト ROM を使用する場合は、バス幅を 8 ビット、16 ビット、32 ビットから選べます。バイト制御 SRAM インタフェースを使用する場合は、バス幅を 16 ビット、32 ビットから選べます。MPX インタフェースを使用する場合は、バス幅を 32 ビットに設定してください。また、DRAM インタフェースを使用するときは、個別メモリコントロールレジスタ (MCR) によってバス幅を 16 ビット、32 ビットから選べます。また、シンクロナス DRAM インタフェースは、MCR レジスタによってバス幅を 32 ビットに設定してください。

PCMCIA インタフェースを使用する場合は、バス幅は 8 ビットまたは 16 ビットに設定してください。詳細は、「13.3.7 PCMCIA インタフェース」を参照してください。

詳しくは、「13.2.2 バスコントロールレジスタ 2 (BCR2)」および「13.2.8 個別メモリコントロールレジスタ (MCR)」を参照してください。

エリア 7 のアドレスの範囲、H'1C000000 ~ H'1FFFFFFF は予約空間ですので、使用しないでください。

### 13.1.6 PCMCIA サポート

本 LSI では、外部メモリ空間のエリア 5 と 6 で PCMCIA のインタフェース仕様をサポートします。

サポートするインタフェースは、JEIDA 仕様 Ver4.2 (PCMCIA2.1) で定められた“IC メモリカードインタフェース”と“I/O カードインタフェース”です。

外部メモリ空間のエリア 5 と 6 では、“IC メモリカードインタフェース”と“I/O カードインタフェース”の両方をサポートします。

PCMCIA インタフェースは、リトルエンディアンモードでのみサポートされます。

表 13.4 PCMCIA インタフェースの特長

項目	特長
アクセス	ランダムアクセス
データバス	8 / 16 ビット
メモリタイプ	マスク ROM、OTPROM、EPROM、EEPROM、フラッシュメモリ、SRAM
コモンメモリ容量	最大 64M バイト
アトリビュート部容量	最大 64M バイト
その他	I/O バス幅のダイナミックバスサイジング、アドレス変換領域からの PCMCIA インタフェースへのアクセス

表 13.5 PCMCIA サポートインタフェース

ピン	IC メモリカードインタフェース			I/O カードインタフェース			本 LSI 対応ピン
	信号名	I/O	機能	信号名	I/O	機能	
1	GND		グラウンド	GND		グラウンド	-
2	D3	I/O	データ	D3	I/O	データ	D3
3	D4	I/O	データ	D4	I/O	データ	D4
4	D5	I/O	データ	D5	I/O	データ	D5
5	D6	I/O	データ	D6	I/O	データ	D6
6	D7	I/O	データ	D7	I/O	データ	D7
7	$\overline{CE1}$	I	カードイネーブル	$\overline{CE1}$	I	カードイネーブル	CS5 or CS6
8	A10	I	アドレス	A10	I	アドレス	A10
9	$\overline{OE}$	I	出力イネーブル	$\overline{OE}$	I	出力イネーブル	$\overline{RD}$
10	A11	I	アドレス	A11	I	アドレス	A11
11	A9	I	アドレス	A9	I	アドレス	A9
12	A8	I	アドレス	A8	I	アドレス	A8
13	A13	I	アドレス	A13	I	アドレス	A13
14	A14	I	アドレス	A14	I	アドレス	A14
15	$\overline{WE/PGM}$	I	ライトイネーブル	$\overline{WE/PGM}$	I	ライトイネーブル	$\overline{WE1}$
16	$\overline{RDY/BSY}$	O	レディ / ビジー	$\overline{IREQ}$	O	割り込み要求	ポートでセンス
17	VCC		動作電源	VCC		動作電源	-
18	VPP1		プログラム電源	VPP1		プログラム / ペリフ ェラル用電源	-
19	A16	I	アドレス	A16	I	アドレス	A16
20	A15	I	アドレス	A15	I	アドレス	A15
21	A12	I	アドレス	A12	I	アドレス	A12
22	A7	I	アドレス	A7	I	アドレス	A7
23	A6	I	アドレス	A6	I	アドレス	A6
24	A5	I	アドレス	A5	I	アドレス	A5
25	A4	I	アドレス	A4	I	アドレス	A4
26	A3	I	アドレス	A3	I	アドレス	A3
27	A2	I	アドレス	A2	I	アドレス	A2
28	A1	I	アドレス	A1	I	アドレス	A1
29	A0	I	アドレス	A0	I	アドレス	A0
30	D0	I/O	データ	D0	I/O	データ	D0
31	D1	I/O	データ	D1	I/O	データ	D1
32	D2	I/O	データ	D2	I/O	データ	D2
33	$\overline{WP}^{*1}$	O	ライトプロテクト	$\overline{IOIS16}$	O	16 ビット I/O ポート	$\overline{IOIS16}$
34	GND		グラウンド	GND		グラウンド	-
35	GND		グラウンド	GND		グラウンド	-

ピン	IC メモリカードインタフェース			I/O カードインタフェース			本 LSI 対応ピン
	信号名	I/O	機能	信号名	I/O	機能	
36	CD $\bar{1}$	O	カード検出	CD $\bar{1}$	O	カード検出	ポートでセンス
37	D11	I/O	データ	D11	I/O	データ	D11
38	D12	I/O	データ	D12	I/O	データ	D12
39	D13	I/O	データ	D13	I/O	データ	D13
40	D14	I/O	データ	D14	I/O	データ	D14
41	D15	I/O	データ	D15	I/O	データ	D15
42	CE $\bar{2}$	I	カードイネーブル	CE $\bar{2}$	I	カードイネーブル	CE2A または CE2B
43	RFSH	I	リフレッシュ要求	RFSH	I	リフレッシュ要求	ポートから出力
44	RFU		予約	IOR $\bar{D}$	I	I/O リード	ICIOR $\bar{D}$
45	RFU		予約	IOW $\bar{R}$	I	I/O ライト	ICIOW $\bar{R}$
46	A17	I	アドレス	A17	I	アドレス	A17
47	A18	I	アドレス	A18	I	アドレス	A18
48	A19	I	アドレス	A19	I	アドレス	A19
49	A20	I	アドレス	A20	I	アドレス	A20
50	A21	I	アドレス	A21	I	アドレス	A21
51	VCC		電源	VCC		電源	-
52	VPP2		プログラム電源	VPP2		プログラム / ベリフ ェラル用電源	-
53	A22	I	アドレス	A22	I	アドレス	A22
54	A23	I	アドレス	A23	I	アドレス	A23
55	A24	I	アドレス	A24	I	アドレス	A24
56	A25	I	アドレス	A25	I	アドレス	A25
57	RFU		予約	RFU		予約	-
58	RESET	I	リセット	RESET	I	リセット	ポートから出力
59	WAIT	O	ウェイト要求	WAIT	O	ウェイト要求	RDY* $\bar{2}$
60	RFU		予約	INPACK	O	入力応答	-
61	REG	I	アトリビュートメモ リ空間セレクト	REG	I	アトリビュートメモ リ空間セレクト	REG
62	BVD2	O	電池電圧検出	SPKR	O	デジタル音声信号	ポートでセンス
63	BVD1	O	電池電圧検出	STSCHG	O	カード状態変化	ポートでセンス
64	D8	I/O	データ	D8	I/O	データ	D8
65	D9	I/O	データ	D9	I/O	データ	D9
66	D10	I/O	データ	D10	I/O	データ	D10
67	CD2	O	カード検出	CD2	O	カード検出	ポートでセンス
68	GND		グラウンド	GND		グラウンド	-

【注】 \*1 WP はサポートしていません。

\*2 外部ウェイトリクエストは正しい極性で入力してください。



## 13.2 レジスタの説明

### 13.2.1 バスコントロールレジスタ 1 (BCR1)

バスコントロールレジスタ 1 (BCR1) は、各エリアの機能、バスサイクルの状態等を指定します。読み出し/書き込み可能な 32 ビットのレジスタです。

BCR1 レジスタは、パワーオンリセットで H'00000000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリ空間をアクセスしないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ENDIAN	MAS TER	A0 MPX	—	—	DPUP	IPUP	OPUP	—	—	A1 MBC	A4 MBC	BREQ EN	—	MEM MPX	DMA BST
初期値:	0/1*	0/1*	0/1*	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HIZ MEM	HIZ CNT	A0 BST2	A0 BST1	A0 BST0	A5 BST2	A5 BST1	A5 BST0	A6 BST2	A6 BST1	A6 BST0	DRAM TP2	DRAM TP1	DRAM TP0	—	A56 PCM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

【注】\*  $\overline{\text{RESET}}$  端子によるパワーオンリセット時、外部ピンの値をサンプリングします。

ビット 31: エンディアンフラグ (ENDIAN)

$\overline{\text{RESET}}$  端子によるパワーオンリセット時に、エンディアン指定の外部ピン (MD5) の値をサンプリングします。全空間のエンディアンはこのビットで決定されます。読み出しのみ可です。

ビット 31	説明
ENDIAN	
0	パワーオンリセット時に、エンディアン設定外部ピン (MD5) がローレベルであり、本 LSI がビッグエンディアンとして設定されたことを示します
1	パワーオンリセット時に、エンディアン設定外部ピン (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして設定されたことを示します

## ビット 30 : マスタ/スレーブフラグ (MASTER)

RESET 端子によるパワーオンリセット時に、マスタ/スレーブ指定の外部ピン (MD7) の値をサンプリングします。全空間のマスタ/スレーブはこのビットで決定されます。読み出しのみ可です。

ビット 30	説 明
MASTER	
0	パワーオンリセット時に、マスタ/スレーブ設定外部ピン (MD7) がハイレベルであり、本 LSI がマスタとして設定されたことを示します
1	パワーオンリセット時に、マスタ/スレーブ設定外部ピン (MD7) がローレベルであり、本 LSI がスレーブとして設定されたことを示します

## ビット 29 : エリア 0 のメモリタイプ (A0MPX)

RESET 端子によるパワーオンリセット時に、エリア 0 のメモリタイプ指定する外部ピン (MD6) の値をサンプリングします。エリア 0 のメモリタイプはこのビットで決定されます。読み出しのみ可です。

ビット 29	説 明
A0MPX	
0	パワーオンリセット時に、エリア 0 のメモリタイプ指定する外部ピン (MD6) がハイレベルであり、エリア 0 が SRAM インタフェースとして設定されたことを示します
1	パワーオンリセット時に、エリア 0 のメモリタイプ指定する外部ピン (MD6) がローレベルであり、エリア 0 が MPX インタフェースとして設定されたことを示します

## ビット 28、27、23、22、18、1 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 26 : データ端子ブルアップ抵抗制御 (DPUP)

データ端子 (D31 ~ D0) のブルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。オンの設定でもアクセス時およびバス権解放時はブルアップされません。

ビット 26	説 明
DPUP	
0	データ端子 (D31 ~ D0) のブルアップ抵抗は、オン (初期値)
1	データ端子 (D31 ~ D0) のブルアップ抵抗は、オフ

## ビット 25 : コントロール入力端子プルアップ抵抗制御 (IPUP)

コントロール入力端子 ( $\overline{\text{NMI}}$ 、 $\overline{\text{IRL0}} \sim \overline{\text{IRL3}}$ 、 $\overline{\text{BREQ}}$ 、 $\overline{\text{MD6/IOIS16}}$ 、 $\overline{\text{SLEEP}}$ 、 $\overline{\text{RDY}}$ ) のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。

ビット 25	説 明
IPUP	
0	コントロール入力端子 ( $\overline{\text{NMI}}$ 、 $\overline{\text{IRL0}} \sim \overline{\text{IRL3}}$ 、 $\overline{\text{BREQ}}$ 、 $\overline{\text{MD6/IOIS16}}$ 、 $\overline{\text{SLEEP}}$ 、 $\overline{\text{RDY}}$ ) のプルアップ抵抗は、オン (初期値)
1	コントロール入力端子 ( $\overline{\text{NMI}}$ 、 $\overline{\text{IRL0}} \sim \overline{\text{IRL3}}$ 、 $\overline{\text{BREQ}}$ 、 $\overline{\text{MD6/IOIS16}}$ 、 $\overline{\text{SLEEP}}$ 、 $\overline{\text{RDY}}$ ) のプルアップ抵抗は、オフ

## ビット 24 : コントロール出力端子プルアップ抵抗制御 (OPUP)

コントロール出力端子 ( $\text{A} [25:0]$ 、 $\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ 、 $\overline{\text{CASn}}$ 、 $\overline{\text{RD/WR}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ 、 $\text{MD5}$ ) のハイインピーダンス時のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。

ビット 24	説 明
OPUP	
0	コントロール出力端子 ( $\text{A} [25:0]$ 、 $\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ 、 $\overline{\text{CASn}}$ 、 $\overline{\text{RD/WR}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ 、 $\text{MD5}$ ) のプルアップ抵抗はオン (初期値)
1	コントロール出力端子 ( $\text{A} [25:0]$ 、 $\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ 、 $\overline{\text{CASn}}$ 、 $\overline{\text{RD/WR}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ 、 $\text{MD5}$ ) のプルアップ抵抗はオフ

## ビット 21 : エリア 1SRAM バイト制御モード (A1MBC)

MPX インタフェースが設定されているときには、MPX インタフェースが優先します。このビットは、パワーオンリセット時に初期化されます。

ビット 21	説 明
A1MBC	
0	エリア 1 の SRAM は、通常モード (初期値)
1	エリア 1 の SRAM は、バイト制御モード

## ビット 20 : エリア 4SRAM バイト制御モード (A4MBC)

MPX インタフェースが設定されているときには、MPX インタフェースが優先します。このビットは、パワーオンリセット時に初期化されます。

ビット 20	説 明
A4MBC	
0	エリア 4 の SRAM は、通常モード (初期値)
1	エリア 4 の SRAM は、バイト制御モード

## ビット 19 : BREQ イネーブル (BREQEN)

外部リクエストと PCIC からのバスリクエストを受け付け可能とするかを設定します。パワーオンリセット時には、外部リクエストと PCIC からのバスリクエストを受け付けられない状態に初期化されます。このビットは、スレープモード立ち上げ時には無視されます。

スレープモード立ち上げ時には、常に PCIC からのバスリクエストを受け付けます。

ビット 19	説 明
BREQEN	
0	外部リクエストと PCIC からのバスリクエストを受け付けません (初期値)
1	外部リクエストと PCIC からのバスリクエストを受け付けます

## ビット 17 : エリア 1~6 の MPX バス指定 (MEMMPX)

エリア 1 から 6 が SRAM インタフェース (またはバースト ROM インタフェース) 設定のとき、MPX インタフェースを設定します。このビットは、パワーオンリセット時に初期化されます。

ビット 17	説 明
MEMMPX	
0	エリア 1~6 が SRAM インタフェース (またはバースト ROM インタフェース) 設定のとき、SRAM インタフェース (またはバースト ROM インタフェース) を選択 (初期値)
1	エリア 1~6 が SRAM インタフェース (またはバースト ROM インタフェース) 設定のとき、MPX インタフェースを選択

## ビット 16 : DMAC バーストモード転送優先指定 (DMABST)

DMAC によるバーストモード転送の優先度を指定します。オフの設定の場合の優先度はバス権解放、リフレッシュ、DMAC、CPU となり、オンの設定の場合 DMAC のバースト転送が終了するまでバス権の解放、リフレッシュは実行されなくなります。このビットは、パワーオンリセット時に初期化されます。

ビット 16	説明
DMABST	
0	DMAC バーストモード転送優先指定オフ (初期値)
1	DMAC バーストモード転送優先指定オン

## ビット 15 : ハイインピーダンス (High-Z) コントロール (HIZMEM)

アドレスなど (A[25:0]、 $\overline{BS}$ 、 $\overline{CSn}$ 、 $\overline{RD/WR}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ ) のスタンバイ時およびバス権解放時の状態を指定します。

ビット 15	説明
HIZMEM	
0	A[25:0]、 $\overline{BS}$ 、 $\overline{CSn}$ 、 $\overline{RD/WR}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 信号はスタンバイ時およびバス権解放時、ハイインピーダンス (初期値)
1	A[25:0]、 $\overline{BS}$ 、 $\overline{CSn}$ 、 $\overline{RD/WR}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B3}$ 信号をスタンバイ時ドライブ。バス権解放時ハイインピーダンス

## ビット 14 : ハイインピーダンス (High-Z) コントロール (HIZCNT)

$\overline{RAS}$  信号、 $\overline{CAS}$  信号のスタンバイ時およびバス権解放時の状態を指定します。

ビット 14	説明
HIZCNT	
0	$\overline{RAS}$ 、 $\overline{WE_n}$ 、 $\overline{CASn/DQMn}$ 、 $\overline{RD/CASS/FRAME}$ 信号はスタンバイ時およびバス権解放時、ハイインピーダンス (初期値)
1	$\overline{RAS}$ 、 $\overline{WE_n}$ 、 $\overline{CASn/DQMn}$ 、 $\overline{RD/CASS/FRAME}$ 信号をスタンバイ時およびバス権解放時ドライブ

## ビット 13～11：エリア 0 バースト ROM 制御 (A0BST2～A0BST0)

エリア 0 で、バースト ROM インタフェースを使うかどうかを指定します。また、バースト ROM インタフェースを使用する場合は、バースト回数を指定します。エリア 0 が MPX インタフェースのときは、これらのビットは無視されます。

ビット 13 A0BST2	ビット 12 A0BST1	ビット 11 A0BST0	説 明
0	0	0	エリア 0 を SRAM インタフェースとしてアクセス (初期値)
0	0	1	エリア 0 をバースト ROM インタフェース (4 回連続アクセス) としてアクセス バス幅 8、16、32 ビット時、いずれでも使用可
0	1	0	エリア 0 をバースト ROM インタフェース (8 回連続アクセス) としてアクセス バス幅 8、16、32 ビット時、いずれでも使用可
0	1	1	エリア 0 をバースト ROM インタフェース (16 回連続アクセス) としてアクセス バス幅 8、16 ビット時のみ使用可。バス幅 32 ビット時は指定しないでください
1	0	0	エリア 0 をバースト ROM インタフェース (32 連続アクセス) としてアクセス バス幅 8 ビット時のみ使用可
1	0	1	予約
1	1	0	予約
1	1	1	予約

## ビット 10～8：エリア 5 バーストイネーブル (A5BST2～A5BST0)

エリア 5 で、バースト ROM インタフェースを使うかどうかを指定します。また、バースト ROM インタフェースを使用する場合は、バースト回数を指定します。エリア 5 が MPX インタフェースのときは、これらのビットは無視されます。

ビット 10 A5BST2	ビット 9 A5BST1	ビット 8 A5BST0	説 明
0	0	0	エリア 5 を SRAM インタフェースとしてアクセス (初期値)
0	0	1	エリア 5 をバースト ROM インタフェース (4 回連続アクセス) としてアクセス バス幅 8、16、32 ビット時、いずれでも使用可
0	1	0	エリア 5 をバースト ROM インタフェース (8 回連続アクセス) としてアクセス バス幅 8、16、32 ビット時、いずれでも使用可
0	1	1	エリア 5 をバースト ROM インタフェース (16 回連続アクセス) としてアクセス バス幅 8、16 ビット時のみ使用可。バス幅 32 ビット時は指定しないでください
1	0	0	エリア 5 をバースト ROM インタフェース (32 回連続アクセス) としてアクセスバス幅 8 ビット時のみ使用可
1	0	1	予約
1	1	0	予約
1	1	1	予約

【注】 PCMCIA インタフェース設定時は 0 にクリアしてください。

ビット7～5：エリア6 バーストイネーブル (A6BST2～A6BST0)

エリア6で、バーストROMを使うかどうかを指定します。また、バーストROM インタフェースを使用する場合は、バースト回数を指定します。エリア6がMPX インタフェースのときは、これらのビットは無視されます。

ビット7	ビット6	ビット5	説 明
A6BST2	A6BST1	A6BST0	
0	0	0	エリア6をSRAM インタフェースとしてアクセス (初期状態)
0	0	1	エリア6をバーストROM インタフェース (4回連続アクセス) としてアクセス バス幅8、16、32ビット時、いずれでも使用可
0	1	0	エリア6をバーストROM インタフェース (8回連続アクセス) としてアクセス バス幅8、16、32ビット時、いずれでも使用可
0	1	1	エリア6をバーストROM インタフェース (16回連続アクセス) としてアクセス バス幅8、16ビット時のみ使用可。バス幅32ビット時は指定しないでください
1	0	0	エリア6をバーストROM インタフェース (32回連続アクセス) としてアクセス バス幅8ビット時のみ使用可
1	0	1	予約
1	1	0	予約
1	1	1	予約

【注】 PCMCIA 使用時は0にクリアしてください。

ビット4～2：エリア2、3のメモリアイプ (DRAMTP2～DRAMTP0)

エリア2と3に接続するメモリアイプを指定します。SRAM インタフェースとしてROM、SRAM、フラッシュROM等が接続できます。また、DRAM、シンクロナスDRAMが接続できます。

ビット4	ビット3	ビット2	説 明
DRAMTP2	DRAMTP1	DRAMTP0	
0	0	0	エリア2、3をSRAM インタフェースまたはMPX インタフェース*としてアクセス (初期値)
0	0	1	予約 (設定不可)
0	1	0	エリア2をSRAM インタフェースまたはMPX インタフェース*、エリア3をシンクロナスDRAM インタフェースとしてアクセス
0	1	1	エリア2、3をシンクロナスDRAM インタフェースとしてアクセス
1	0	0	エリア2をSRAM インタフェースまたはMPX インタフェース*、エリア3をDRAM インタフェースとしてアクセス
1	0	1	予約 (設定不可)
1	1	0	予約 (設定不可)
1	1	1	予約 (設定不可)

【注】 \* SRAM インタフェース、MPX インタフェースのどちらになるかはMEMMPX ビットの設定で決まります。

ビット 0 : エリア 5 およびエリア 6 バスタイプ (A56PCM)

エリア 5 と 6 を PCMCIA インタフェースとしてアクセスするかどうかを指定します。このビットの設定は、MEMMPX ビットの設定に優先します。

ビット 0	説 明
A56PCM	
0	エリア 5 と 6 を SRAM インタフェースとしてアクセス (初期値)
1	エリア 5 と 6 を PCMCIA インタフェースとしてアクセス*

【注】 \* MD3 端子が  $\overline{\text{CE2A}}$  端子として出力に設定されます。  
MD4 端子が  $\overline{\text{CE2B}}$  端子として出力に設定されます。



### 13.2.2 バスコントロールレジスタ 2 (BCR2)

バスコントロールレジスタ 2 (BCR2) は、各エリアのバス幅および 32 ビットポートを使用するかどうかを指定します。読み出し / 書き込み可能な 16 ビットのレジスタです。

BCR2 レジスタは、パワーオンリセットで H'3FFC に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリ空間をアクセスしないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	A0 SZ1	A0 SZ0	A6 SZ1	A6 SZ0	A5 SZ1	A5 SZ0	A4 SZ1	A4 SZ0	A3 SZ1	A3 SZ0	A2 SZ1	A2 SZ0	A1 SZ1	A1 SZ0	—	PORT EN
初期値:	0/1*	0/1*	1	1	1	1	1	1	1	1	1	1	1	1	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

【注】\* エリア 0 のバスサイズを指定する外部ピンの値をサンプリングします。

ビット 15、14: エリア 0 のバス幅 (A0SZ1、A0SZ0)

パワーオンリセット時に、バスサイズを指定する外部ピン (MD3、MD4) をサンプリングします。読み出しのみ可能です。

ビット 15	ビット 14	バス幅
MD4	MD3	
0	0	予約 (使用禁止)
0	1	8 ビット
1	0	16 ビット
1	1	32 ビット

ビット 2n+1、2n: エリア n (1~6) のバス幅指定 (AnSZ1、AnSZ0)

エリア n (n=1~6) のバス幅を指定します。

(ビット 0)	ビット 2n+1	ビット 2n	説明
PORTEN	AnSZ1	AnSZ0	
0	0	0	予約 (設定禁止)
	0	1	バス幅を 8 ビットにします
	1	0	バス幅を 16 ビットにします
	1	1	バス幅を 32 ビットにします (初期値)
1	0	0	予約 (設定禁止)
	0	1	バス幅を 8 ビットにします
	1	0	バス幅を 16 ビットにします
	1	1	バス幅を 32 ビットにします

## ビット 1: 予約ビット

読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット 0: ポート機能イネーブル (PORTEN)

AD31 ~ AD0 の端子を 32 ビットポートとして使用するかどうかを指定します。ただし、この機能を使う場合は、PCI ディスエーブルモード。

ビット 0	説 明
PORTEN	
0	AD31 ~ AD0 をポートとして使用しません (初期値)
1	AD31 ~ AD0 をポートとして使用します

### 13.2.3 バスコントロールレジスタ 3 (BCR3) (SH7751R のみ)

バスコントロールレジスタ 3 (BCR3) は、読み出し/書き込み可能な 16 ビットのレジスタで、MPX インタフェースと SRAM インタフェースの切り替え設定および、シンクロナス DRAM インタフェースのバースト長を指定します。

BCR3 レジスタは、パワーオンリセットで H'0001 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリ空間をアクセスしないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MEM MODE	A1 MPX	A4 MPX	—	—	—	—	—	—	—	—	—	—	—	—	SDBL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W

#### ビット 15: A1MPX/A4MPX イネーブル (MEMMODE)

MPX インタフェースと SRAM インタフェースの切り替えを MEMMPX とは別に A1MPX と A4MPX で設定するかを決定します。

ビット 15	説明
MEMMODE	
0	MEMMPX で決定します (初期値)
1	A1MPX、A4MPX で決定します

#### ビット 14、13: エリア 1、4 の MPX インタフェース指定 (A1MPX、A4MPX)

エリア 1、4 に接続するメモリタイプを指定します。この設定は MEMMODE により有効になります。

ビット 14	説明
A1MPX	
0	エリア 1 は SRAM/バイト制御 SRAM インタフェースが選択されます (初期値)
1	エリア 1 は MPX インタフェースが選択されます

ビット 13	説明
A4MPX	
0	エリア 4 は SRAM/バイト制御 SRAM インタフェースが選択されます (初期値)
1	エリア 4 は MPX インタフェースが選択されます

## ビット 0 : パースト長 (SDBL)

シンクロナス DRAM インタフェースのとき、パースト長を設定します。パースト長の設定はバス幅が 32 ビットのみ有効です。

ビット 0	説 明
SDBL	
0	パースト長 8
1	パースト長 4 (初期値)

### 13.2.4 バスコントロールレジスタ 4 (BCR4) (SH7751R のみ)

バスコントロールレジスタ 4 (BCR4) は、各ビットに対応する端子の非同期入力を可能にするレジスタです。BCR4 レジスタは、読み出し / 書き込み可能な 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。マニュアルリセット、スタンバイモード時には初期化されません。

非同期入力設定 (ASYNCn=1) にした場合、サンプリングタイミングは、同期入力設定 (ASYNCn=0) \*時の 1 サイクル前となります (図 13.4 参照)。

本章および、「第 23 章 電気的特性」に示されているタイミングはすべて同期入力設定時 (ASYNCn=0) のものとなっています。

【注】 \* 同期入力の設定では、必ずセットアップホールド時間を満たしてください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	ASYNC	ASYNC	ASYNC	ASYNC	ASYNC
												4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

#### ビット 31~5 : 予約ビット

書き込む値は常に 0 にしてください。読み出しは常に 0 です。

#### ビット 4~0 : 非同期入力

対応する端子の非同期入力を可能にします。

ビット 4-0	説明
ASYNCn	
0	対応する端子は CKIO に対する同期入力 (初期値)
1	対応する端子は CKIO に対して非同期入力可能

ビット	
4	$\overline{\text{IOIS16}}$
3	$\overline{\text{DREQT}}$
2	$\overline{\text{DREQ0}}$
1	$\overline{\text{BREQ}}$
0	$\overline{\text{RDY}}$

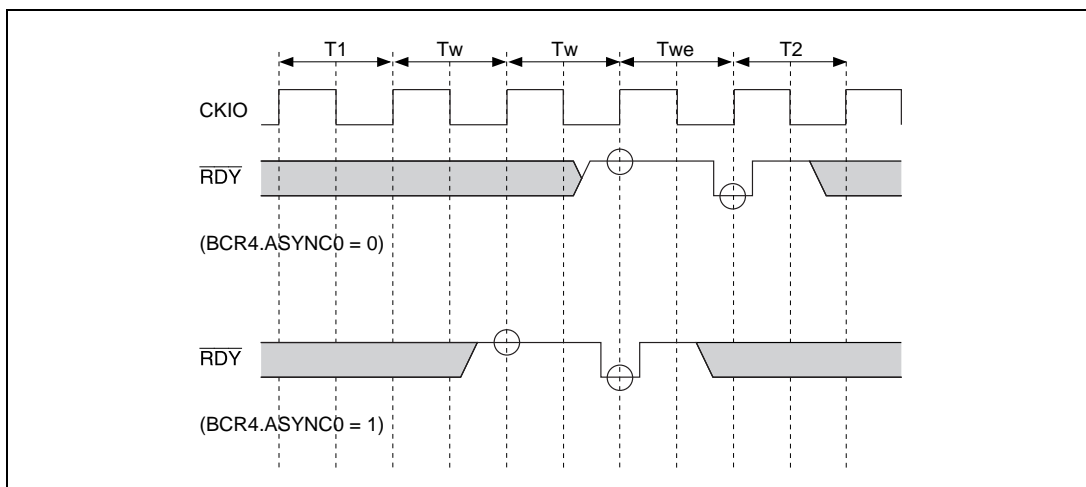


図 13.4 BCR4 の設定による  $\overline{\text{RDY}}$  サンプリングタイミング例  
(WCR2 により 2 サイクルウェイトが挿入されている)

### 13.2.5 ウェイトコントロールレジスタ 1 (WCR1)

ウェイトコントロールレジスタ 1 (WCR1) は、各エリアのアイドル状態挿入サイクル数を指定します。読み出し / 書き込み可能な 32 ビットのレジスタです。メモリによっては、外部からの読み出し信号がオフになってもデータバスのドライブがすぐにはオフにならないものもあります。このため、連続したメモリアクセスが異なるエリアのメモリに対して行われる場合や、メモリ読み出し直後に書き込みが行われる場合、データバスが衝突する可能性があります。本 LSI では、このようなデータバスが衝突する可能性がある場合に、WCR1 レジスタで設定したサイクル数だけ自動的にアイドルサイクルを挿入します。

WCR1 レジスタは、パワーオンリセットで H'77777777 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	DMA IW2	DMA IW1	DMA IW0	—	A6 IW2	A6 IW1	A6 IW0	—	A5 IW2	A5 IW1	A5 IW0	—	A4 IW2	A4 IW1	A4 IW0
初期値 :	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	A3 IW2	A3 IW1	A3 IW0	—	A2 IW2	A2 IW1	A2 IW0	—	A1 IW2	A1 IW1	A1 IW0	—	A0 IW2	A0 IW1	A0 IW0
初期値 :	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット 31、27、23、19、15、11、7、3 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 30 ~ 28 : DMAIW - DACK デバイスのサイクル間アイドル指定 (DMAIW2 ~ DMAIW0)

DACK デバイスから他の空間への切り替え時、あるいは、同一デバイス上でのリードアクセスとライトアクセスの切り替え時に、バスサイクル間に挿入されるアイドルサイクル数を指定します。DMAIW ビットは、DMA シングルアドレス転送時のみ有効です。DMA デュアルアドレス転送時には、エリア間アイドルサイクルが挿入されます。

ビット  $4n+2 \sim 4n$  : エリア  $n$  ( $6 \sim 0$ ) のサイクル間アイドル指定 (AnIW2 ~ AnIW0)

外部メモリ空間のエリア  $n$  ( $6 \sim 0$ ) から他の空間、もしくは同一空間でリードアクセスからライトアクセスに切り替わった場合に挿入するバスサイクル間アイドル数を指定します。

DMAIW2/AnIW2	DMAIW1/AnIW1	DMAIW0/AnIW0	挿入アイドルサイクル
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	6
1	0	1	9
1	1	0	12
1	1	1	15 (初期値)

表 13.6 アクセス間のアイドル挿入

後アクセス 前アクセス	同一エリア				別エリア				同一エリア	別エリア
	リード		ライト		リード		ライト		MPX	MPX
	CPU	DMA	CPU	DMA	CPU	DMA	CPU	DMA	アドレス出力	アドレス出力
リード			M	M	M	M	M	M	M (1)	M (1)
ライト					M	M	M	M	*2	M
DMA リード (メモリ デバイス)			M	M	M	M	M	M		M (1)
DMA ライト (デバイス メモリ)	D	D	D	D*1	D	D	D	D		D (1)

表中の DMA は DMA シングルスアドレス転送を示します。DMA デュアルアドレス転送は CPU に準じます。

M、D : WCR1 によるアイドルウェイトが必ず挿入される (M (1) : MPX アクセス時 WCR1 が 0 設定でも 1 サイクルを挿入)。

M : AnIW2 ~ 0 の設定によるアイドルサイクル (エリア 0 ~ 6)

D : DMAIW2 ~ 0 の設定によるアイドルサイクル

【注】 \*1 デバイス切り替わり時に挿入

\*2 MPX インタフェースでライトアクセス後の同一エリアへのアクセス (リード、ライトとも) の間にも WCR1 のアイドルウェイトが挿入される場合があります。以下に同一エリアへのアクセスでアイドルウェイトが挿入される具体的な条件を示します。

(a) シンクロナス DRAM を RAS ダウンモードに設定

(b) 内蔵 DMAC によりシンクロナス DRAM をアクセス

上記 (a) かつ (b) の使用条件下以外では、MPX インタフェースのライトアクセスと続く同一エリアアクセスとの間でもアイドルウェイトが挿入されます。また、上記条件下でもシンクロナス DRAM へのパイプラインアクセス状況により、インタフェースライトアクセス後の同一エリアアクセスアイドルウェイトが挿入される場合があります。WCR1 レジスタの設定が 0 の場合はアイドルウェイトは挿入されません。パワーオンリセット後のアイドルステート挿入サイクル数としてはデフォルト値である最大値 (15) が設定されていますので、必ず最適値を設定するようにしてください。

【注】 シンクロナス DRAM を RAS ダウンモードで使用する場合、DMAIW2 ~ 0 ビット = 000、A3IW2 ~ 0 ビット = 000 に設定してください。



### 13.2.6 ウェイトコントロールレジスタ 2 (WCR2)

ウェイトコントロールレジスタ 2 (WCR2) は、読み出し / 書き込み可能な 32 ビットのレジスタで、各エリアの挿入ウェイトステート数を指定します。また、バーストメモリアクセスを行う場合のデータアクセスのピッチ数も指定します。これにより、外付け回路なしに低速なメモリも接続できます。

WCR2 は、パワーオンリセットで H'FFFFFFF に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	A6 W2	A6 W1	A6 W0	A6 B2	A6 B1	A6 B0	A5 W2	A5 W1	A5 W0	A5 B2	A5 B1	A5 B0	A4 W2	A4 W1	A4 W0	—
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	A3 W2	A3 W1	A3 W0	—	A2 W2	A2 W1	A2 W0	A1 W2	A1 W1	A1 W0	A0 W2	A0 W1	A0 W0	A0 B2	A0 B1	A0 B0
初期値 :	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 31 ~ 29 : エリア 6 のウェイトコントロール (A6W2 ~ A6W0)

エリア 6 に対する挿入ウェイトステート数を指定します。

MPX インタフェース設定時は、表 13.7 を参照してください。

ビット 31	ビット 30	ビット 29	説 明	
			先頭サイクル	
A6W2	A6W1	A6W0	挿入ウェイトステート	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	6	イネーブル
1	0	1	9	イネーブル
1	1	0	12	イネーブル
1	1	1	15 (初期値)	イネーブル

ビット 28～26：エリア 6 のパーストピッチ (A6B2～A6B0)

パースト ROM 設定時のパースト転送における、第 2 データアクセス以降に挿入される挿入ウェイトステート数を指定します。

ビット 28	ビット 27	ビット 26	説 明	
			パーストサイクル (先頭サイクルを除く)	
A6B2	A6B1	A6B0	第 2 データアクセス以降に挿入される挿入ウェイトステート数	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	4	イネーブル
1	0	1	5	イネーブル
1	1	0	6	イネーブル
1	1	1	7 (初期値)	イネーブル

ビット 25～23：エリア 5 のウェイトコントロール (A5W2～A5W0)

エリア 5 に対する挿入ウェイトステート数を指定します。

MPX インタフェース設定時は、表 13.7 を参照してください。

ビット 25	ビット 24	ビット 23	説 明	
			先頭サイクル	
A5W2	A5W1	A5W0	挿入ウェイトステート	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	6	イネーブル
1	0	1	9	イネーブル
1	1	0	12	イネーブル
1	1	1	15 (初期値)	イネーブル

ビット 22～20：エリア 5 のバーストピッチ (A5B2～A5B0)

バースト ROM 設定時のバースト転送における、第 2 データアクセス以降に挿入される挿入ウェイトステート数を指定します。

ビット 22	ビット 21	ビット 20	説 明	
			バーストサイクル (先頭サイクルを除く)	
A5B2	A5B1	A5B0	第 2 データアクセス以降に挿入される挿入ウェイトステート数	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	4	イネーブル
1	0	1	5	イネーブル
1	1	0	6	イネーブル
1	1	1	7 (初期値)	イネーブル

ビット 19～17：エリア 4 のウェイトコントロール (A4W2～A4W0)

エリア 4 に対する挿入ウェイトステート数を指定します。

MPX インタフェース設定時は、表 13.7 を参照してください。

ビット 19	ビット 18	ビット 17	説 明	
			挿入ウェイトステート	RDY 端子
A4W2	A4W1	A4W0	挿入ウェイトステート	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	6	イネーブル
1	0	1	9	イネーブル
1	1	0	12	イネーブル
1	1	1	15 (初期値)	イネーブル

ビット 16、12：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 15～13：エリア 3 のウェイトコントロール (A3W2～A3W0)

エリア 3 に対する挿入ウェイトステート数を指定します。外部ウェイト入力は SRAM インタフェース・MPX インタフェース使用時に有効で、DRAM やシンクロナス DRAM 使用時は無視されます。

MPX インタフェース設定時は、表 13.7 を参照してください。

[ SRAM インタフェース設定時 ]

ビット 15	ビット 14	ビット 13	説 明	
A3W2	A3W1	A3W0	挿入ウェイトステート	$\overline{\text{RDY}}$ 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	6	イネーブル
1	0	1	9	イネーブル
1	1	0	12	イネーブル
1	1	1	15 (初期値)	イネーブル

[ DRAM、シンクロナス DRAM 使用時\*1 ]

ビット 15	ビット 14	ビット 13	説 明	
A3W2	A3W1	A3W0	DRAM の $\overline{\text{CAS}}$ アサート幅	シンクロナス DRAM の $\overline{\text{CAS}}$ レイテンシサイクル数
0	0	0	1	禁止
0	0	1	2	1* <sup>2</sup>
0	1	0	3	2
0	1	1	4	3
1	0	0	7	4* <sup>2</sup>
1	0	1	10	5* <sup>2</sup>
1	1	0	13	禁止
1	1	1	16	禁止

【注】 \*1 外部ウェイト入力は常時無視されます。

\*2 RAS ダウンモードでは禁止

ビット 11～9 : エリア 2 のウェイトコントロール (A2W2～A2W0)

エリア 2 に対する挿入ウェイトステート数を指定します。外部ウェイト入力は SRAM インタフェース・MPX インタフェース使用時に有効で、DRAM やシンクロナス DRAM 使用時は無視されます。

MPX インタフェース設定時は、表 13.7 を参照してください。

[ SRAM インタフェース設定時 ]

ビット 11	ビット 10	ビット 9	説 明	
A2W2	A2W1	A2W0	挿入ウェイトステート	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	6	イネーブル
1	0	1	9	イネーブル
1	1	0	12	イネーブル
1	1	1	15 (初期値)	イネーブル

[ シンクロナス DRAM インタフェース設定時\*1 ]

ビット 11	ビット 10	ビット 9	説 明
A2W2	A2W1	A2W0	シンクロナス DRAM の $\overline{\text{CAS}}$ レイテンシ
0	0	0	禁止
0	0	1	1*2
0	1	0	2
0	1	1	3
1	0	0	4*2
1	0	1	5*2
1	1	0	禁止
1	1	1	禁止

【注】 \*1 外部ウェイト入力は常時無視されます。

\*2 RAS ダウンモード禁止

## ビット 8~6 : エリア 1 のウェイトコントロール (A1W2~A1W0)

エリア 1 に対する挿入ウェイトステート数を指定します。

MPX インタフェース設定時は、表 13.7 を参照してください。

ビット 8	ビット 7	ビット 6	説 明	
A1W2	A1W1	A1W0	挿入ウェイトステート	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	6	イネーブル
1	0	1	9	イネーブル
1	1	0	12	イネーブル
1	1	1	15 (初期値)	イネーブル

## ビット 5~3 : エリア 0 のウェイトコントロール (A0W2~A0W0)

エリア 0 に対する挿入ウェイトステート数を指定します。

MPX インタフェース設定時は、表 13.7 を参照してください。

ビット 5	ビット 4	ビット 3	説 明	
			先頭サイクル	
A0W2	A0W1	A0W0	挿入ウェイトステート	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	6	イネーブル
1	0	1	9	イネーブル
1	1	0	12	イネーブル
1	1	1	15 (初期値)	イネーブル

ビット 2~0 : エリア 0 のバーストピッチ (A0B2 ~ A0B0)

バースト ROM 設定時のバースト転送における、第 2 データアクセス以降に挿入される挿入ウェイトステート数を指定します。

ビット 2	ビット 1	ビット 0	説 明	
			バーストサイクル (先頭サイクルを除く)	
A0B2	A0B1	A0B0	1 データ転送あたりのバーストピッチ数	RDY 端子
0	0	0	0	無視
0	0	1	1	イネーブル
0	1	0	2	イネーブル
0	1	1	3	イネーブル
1	0	0	4	イネーブル
1	0	1	5	イネーブル
1	1	0	6	イネーブル
1	1	1	7 (初期値)	イネーブル

表 13.7 MPX インタフェース設定時 (エリア 0~6)

AnW2	AnW1	AnW0	説 明			
			挿入ウェイトステート			RDY 端子
			第1 データ		第2データ以降	
			リード	ライト		
0	0	0	1	0	0	イネーブル
0	0	1	1	1	0	イネーブル
0	1	0	2	2	0	イネーブル
0	1	1	3	3	0	イネーブル
1	0	0	1	0	1	イネーブル
1	0	1	1	1	1	イネーブル
1	1	0	2	2	1	イネーブル
1	1	1	3	3	1	イネーブル

(n は 6~0)

### 13.2.7 ウェイトコントロールレジスタ 3 (WCR3)

ウェイトコントロールレジスタ 3 (WCR3) は、読み出し / 書き込み可能な 32 ビットのレジスタで、各エリアのアドレスから読み出し / 書き込みストロープのアサートまでのセットアップ時間、書き込みストロープのネゲートからのデータホールド時間の挿入サイクルを指定します。これにより、外付け回路なしに低速メモリも接続できます。

WCR3 は、パワーオンリセットで H'07777777 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	A6 S0	A6 H1	A6 H0	—	A5 S0	A5 H1	A5 H0	A4 RDH*	A4 S0	A4 H1	A4 H0
初期値 :	0	0	0	0	0	1	1	1	0	1	1	1	0	1	1	1
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W*	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	A3 S0	A3 H1	A3 H0	—	A2 S0	A2 H1	A2 H0	A1 RDH*	A1 S0	A1 H1	A1 H0	—	A0 S0	A0 H1	A0 H0
初期値 :	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W*	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 \* SH7751Rのみ設定可

ビット 31 ~ 27、23、19\*、15、11、7\*、3 : 予約ビット

読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

\* : SH7751R のみ設定可

ビット  $4n+2$  : エリア  $n$  (6~0) ライトストロープセットアップ時間 (AnS0)

アドレスからリード / ライトストロープのアサートまでのセットアップ時間に挿入されるサイクル数を指定します。[SRAM インタフェース / バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効]。

ビット $4n+2$	セットアップ時挿入ウェイト数
AnS0	
0	0
1	1 (初期値)

(n は 6~0)



ビット  $4n+1$ 、 $4n$  : エリア  $n$  ( $6\sim 0$ ) データホールド時間 (AnH1、AnH0)

ライト時のライトストロブのネゲートからのホールド時間に挿入されるサイクル数を指定します。リード時はデータのサンプリングタイミングからのホールド時間に挿入されるサイクル数を指定します。[SRAM インタフェース / バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効]

ビット $4n+1$	ビット $4n$	ホールド時挿入ウェイト数
AnH1	AnH0	
0	0	0
0	1	1
1	0	2
1	1	3 (初期値)

( $n$  は  $6\sim 0$ )

ビット  $4n+3$  : エリア  $n$  ( $4, 1$ ) リードストロブネゲートタイミング (AnRDH) (SH7751Rのみ設定可)

リード時のリードストロブのネゲートタイミングを設定します。バイト制御 SRAM 設定時は 0 を設定してください [SRAM インタフェース設定時のみ有効]。

ビット $4n+3$	リードストロブネゲートタイミング
AnRDH	
0	WCR3.AnH ビットで指定したホールドウェイトサイクル終了後にネゲート (初期値)
1	データサンプリングタイミングでネゲート

### 13.2.8 個別メモリコントロールレジスタ (MCR)

個別メモリコントロールレジスタ (MCR) は、読み出し / 書き込み可能な 32 ビットのレジスタで、DRAM、シンクロナス DRAM (エリア 2, 3) に対する  $\overline{RAS}$ 、 $\overline{CAS}$  のタイミングやバースト制御、アドレスマルチプレクスの指定、リフレッシュ制御を指定します。これにより、DRAM、シンクロナス DRAM を外付け回路なしに接続できます。

MCR レジスタは、パワーオンリセットで H'00000000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。RASD、MRSET、TRC2~0、TPC2~0、RCD1~0、TRWL2~0、TRAS2~0、BE、SZ1~0、AMXEXT、AMX2~0、EDOMODE の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以降は値を変更しないでください。RFSH、RMODE ビットに対して書き込みを行う際は、他のビットは変化させずに同じ値を書き込んでください。DRAM、シンクロナス DRAM 使用時は、レジスタの初期設定が終了するまで、エリア 2, 3 をアクセスしないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RASD	MR SET	TRC 2	TRC 1	TRC 0	—	—	—	TCAS	—	TPC2	TPC1	TPC0	—	RCD1	RCD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R/W	R/W	R/W	R	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRWL 2	TRWL 1	TRWL 0	TRAS 2	TRAS 1	TRAS 0	BE	SZ1	SZ0	AMX EXT	AMX2	AMX1	AMX0	RFSH	RMODE	EDO MODE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### ビット 31: RAS ダウン (RASD)

RAS ダウンモードを設定します。DRAM/RAS ダウンモード設定時は、BE=1 に設定してください。

スレーブモードでは、RAS ダウンモードに設定しないでください。

また、エリア 2、3 をともにシンクロナス DRAM インタフェースに設定した場合は、RAS ダウンモードに設定しないでください。

ビット 31	説明
RASD	
0	オートプリチャージモード (初期値)
1	RAS ダウンモード

【注】 シンクロナス DRAM を RAS ダウンモードで使用する場合、DMAIW2~0 ビット=000、A3IW2~0 ビット=000 に設定してください。

## ビット 30 : モードレジスタセット (MRSET)

シンクロナス DRAM のモードレジスタ設定時にセットします。「13.3.5 (10) パワーオンシーケンス」を参照してください。

ビット 30	説 明	
MRSET		
0	全バンクプリチャージ	(初期値)
1	モードレジスタ設定	

## ビット 26 ~ 24、22、18 : 予約ビット

読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット 29 ~ 27 : リフレッシュ終了時の RAS プリチャージ期間 (TRC2 ~ TRC0)

(シンクロナス DRAM : オート、セルフ両方有効、DRAM : オート、セルフ両方有効)

【注】 設定値とコマンドを発行しない期間は、「23.3.3 バスタイミング」も参照してください。

ビット 29	ビット 28	ビット 27	RAS プリチャージ期間 リフレッシュ直後
TRC2	TRC1	TRC0	
0	0	0	0 (初期値)
0	0	1	3
0	1	0	6
0	1	1	9
1	0	0	12
1	0	1	15
1	1	0	18
1	1	1	21

## ビット 23 : CAS ネゲート期間 (TCAS)

このビットは、DRAM インタフェース設定時のみ有効です。

ビット 23	CAS ネゲート期間	
TCAS		
0	1	(初期値)
1	2	

## ビット 21 ~ 19 : RAS プリチャージ期間 (TPC2 ~ TPC0)

DRAM インタフェースを設定した場合、 $\overline{\text{RAS}}$  ネゲート後、次にアサートするまでの最小サイクル数を規定します。シンクロナス DRAM インタフェースを設定した場合、プリチャージ後、次のバンクアクティブコマンドまでの最小サイクル数を規定します。

【注】 設定値とコマンドを発行しない期間は、「23.3.3 バスタイミング」も参照してください。

ビット 21	ビット 20	ビット 19	RAS プリチャージ期間	
			DRAM	シンクロナス DRAM
TPC2	TPC1	TPC0		
0	0	0	0	1* (初期値)
0	0	1	1	2
0	1	0	2	3
0	1	1	3	4*
1	0	0	4	5*
1	0	1	5	6*
1	1	0	6	7*
1	1	1	7	8*

【注】 \* RAS ダウンモードでは禁止

## ビット 17、16 : RAS-CAS 遅延 (RCD1、RCD0)

DRAM インタフェースを設定した場合、 $\overline{\text{RAS}}$ - $\overline{\text{CAS}}$  アサート遅延時間を設定します。シンクロナス DRAM インタフェースを設定した場合、バンクアクティブ 読み出し / 書き込みコマンド遅延時間を設定します。

ビット 17	ビット 16	機 能	
		DRAM	シンクロナス DRAM
RCD1	RCD0		
0	0	2 サイクル	予約 (設定禁止)
0	1	3 サイクル	2 サイクル
1	0	4 サイクル	3 サイクル
1	1	5 サイクル	4 サイクル*

【注】 \* RAS ダウンモードでは禁止

## ビット 15～13：書き込みプリチャージ遅延 (TRWL2～TRWL0)

シンクロナス DRAM の書き込みプリチャージの遅延時間を設定します。オートプリチャージモードの時は書き込みサイクル後、次のバンクアクティブコマンドが起動されるまでの時間を指定します。書き込みサイクル後、TPC + TRWL の期間\* (TPC、TRWL に書き込んだ数値の期間)、次のアクティブコマンドを発行しません。RAS ダウンモードのときは次のプリチャージコマンドが発行されるまでの時間を指定します。書き込みサイクル後、TRWL の期間、次のプリチャージコマンドを発行しません。シンクロナス DRAM インタフェース設定時のみ有効です。

【注】 \* 設定値とコマンドを発行しない期間は、「23.3.3 バスタイミング」も参照してください。

ビット 15	ビット 14	ビット 13	書き込みプリチャージ ACT 遅延時間
TRWL2	TRWL1	TRWL0	
0	0	0	1 (初期値)
0	0	1	2
0	1	0	3*
0	1	1	4*
1	0	0	5*
1	0	1	予約 (設定禁止)
1	1	0	予約 (設定禁止)
1	1	1	予約 (設定禁止)

【注】 \* RAS ダウンモードでは禁止

ビット 12～10：CAS ビフォ RAS リフレッシュ  $\overline{\text{RAS}}$  アサート期間 (TRAS2～TRAS0)

DRAM インタフェースを設定した場合、CAS ビフォ RAS リフレッシュのときの  $\overline{\text{RAS}}$  アサート期間を設定します。シンクロナス DRAM インタフェースを設定した場合、オートリフレッシュコマンド発行後、TRC\* + TRAS の期間、次のバンクアクティブコマンドを発行しません。

【注】 \* 設定値とコマンドを発行しない期間は、「23.3.3 バスタイミング」も参照してください。

ビット 12	ビット 11	ビット 10	RAS/DRAM	シンクロナス DRAM リフレッシュ後の
TRAS2	TRAS1	TRAS0	アサート期間	コマンド間隔
0	0	0	2	4 + TRC* (初期値)
0	0	1	3	5 + TRC
0	1	0	4	6 + TRC
0	1	1	5	7 + TRC
1	0	0	6	8 + TRC
1	0	1	7	9 + TRC
1	1	0	8	10 + TRC
1	1	1	9	11 + TRC

【注】 \* ビット 29～27。リフレッシュ終了時の RAS プリチャージ期間

## ビット 9 : パーストイネーブル (BE)

DRAM インタフェースにおいて、パーストアクセスを行うかどうかを指定します。シンクロナス DRAM のアクセス時は、本ビットの指定によらず、常にパーストアクセスを行います。DRAM 転送モードは EDOMODE によって変わります。

BE	EDOMODE	8/16/32/64 ビット転送	32 バイト転送
0	0	シングル	シングル
0	1	設定禁止	設定禁止
1	0	シングル / 高速ページ*	高速ページ
1	1	EDO	EDO

【注】 \* 高速ページモード時は、16 ビットバスによる 32、64 ビット転送、32 ビットバスによる 64 ビット転送

## ビット 8、7 : メモリデータサイズ (SZ1、SZ0)

DRAM、シンクロナス DRAM のバス幅を指定します。BCR2 レジスタの設定に優先します。

ビット 8	ビット 7	説明	
SZ1	SZ0	DRAM	シンクロナス DRAM
0	0	予約 (設定禁止)	予約 (設定禁止)
0	1	予約 (設定禁止)	予約 (設定禁止)
1	0	16 ビット	予約 (設定禁止)
1	1	32 ビット	32 ビット

## ビット 6~3 : アドレスマルチプレクス (AMXEXT、AMX2~AMX0)

DRAM、シンクロナス DRAM のアドレスマルチプレクスを指定します。アドレスシフト値は、DRAM インタフェースと、シンクロナス DRAM インタフェースで異なります。

[ DRAM インタフェース ]

ビット 6	ビット 5	ビット 4	ビット 3	説明
AMXEXT	AMX2	AMX1	AMX0	DRAM
0*	0	0	0	カラムアドレス 8 ビット品 (初期値)
	0	0	1	カラムアドレス 9 ビット品
	0	1	0	カラムアドレス 10 ビット品
	0	1	1	カラムアドレス 11 ビット品
	1	0	0	カラムアドレス 12 ビット品
	1	0	1	予約 (設定禁止)
	1	1	0	予約 (設定禁止)
	1	1	1	予約 (設定禁止)

【注】 \* DRAM インタフェース使用時は、AMXEXT ビットを 0 に設定してください。

## [ シンクロナス DRAM インタフェース ]

AMX	AMXEXT	SZ	シンクロナス DRAM 構成例	BANK
0	0	32	(16M : 512K × 16 ビット × 2) × 2	a[21] *
0	1	32	(16M : 512K × 16 ビット × 2) × 2	a[20] *
1	0	32	(16M : 1M × 8 ビット × 2) × 4	a[22] *
1	1	32	(16M : 1M × 8 ビット × 2) × 4	a[21] *
2	-	32	(64M : 1M × 16 ビット × 4) × 2	a[23:22] *
3	-	32	(64M : 2M × 8 ビット × 4) × 4	a[24:23] *
4	-	32	(64M : 512K × 32 ビット × 4) × 1	a[22:21] *
5	-	32	(64M : 1M × 32 ビット × 2) × 1	a[22] *
6	0	32	(64M : 4M × 4 ビット × 4) × 8	a[25:24] *
6	1	32	(256M : 4M × 16 ビット × 4) × 2	a[25:24] *
7	-	32	(16M : 256K × 32 ビット × 2) × 1	a[20] *

【注】 \* a[X] : アドレス端子でなく、外部アドレス

## ビット 2 : リフレッシュ制御 (RFSH)

リフレッシュ制御を指定します。DRAM、シンクロナス DRAM に対するリフレッシュを行うかどうかを設定します。また、リフレッシュ機能を使わない場合、リフレッシュ要求周期発生用のタイマをインターバルタイマとしても使用できます。

ビット 2	説明
RFSH	
0	リフレッシュを行いません (初期値)
1	リフレッシュを行います

## ビット 1 : リフレッシュモード (RMODE)

本ビットは、RFSH ビット = 1 のとき、通常のリフレッシュを行うか、セルフリフレッシュを行うかを指定します。RFSH ビット = 1 かつ本ビット = 0 とすると、DRAM、シンクロナス DRAM に対して、CAS ビフォ RAS リフレッシュもしくはオートリフレッシュを、リフレッシュ関連レジスタ RTCNT、RTCOR および RTCSR で設定した周期で行います。外部バスサイクルを行っている最中にリフレッシュ要求が発生した場合は、バスサイクルが終了してからリフレッシュサイクルを行います。また、RFSH ビット = 1 かつ本ビット = 1 とすると、外部バスサイクルの実行中の場合はその終了を待ってから DRAM、シンクロナス DRAM に対して、セルフリフレッシュ状態になります。なお、セルフリフレッシュ状態のメモリに対するリフレッシュ要求はすべて無視されます。

ビット 1	説明
RMODE	
0	CAS ビフォ RAS リフレッシュを行います (ただし、RFSH = 1 の場合) (初期値)
1	セルフリフレッシュを実行します (ただし、RFSH = 1 の場合)

**ビット 0 : EDO モード (EDOMODE)**

EDO モードの DRAM インタフェースを使用する場合のデータリード時のデータサンプリングタイミングの指定に使用します。本ビットを設定しても DRAM 以外のメモリの動作タイミングは変わりません。なお、DRAM 使用时以外は、本ビットは 1 に設定しないでください。



### 13.2.9 PCMCIA コントロールレジスタ (PCR)

PCMCIA コントロールレジスタ (PCR) は、読み出し/書き込み可能な 16 ビットのレジスタで、エリア 5、6 に接続する PCMCIA インタフェースに対する  $\overline{OE}$ 、 $\overline{WE}$  信号のアサート/ネゲートタイミングを指定します。なお、 $\overline{OE}$ 、 $\overline{WE}$  信号のアサート幅は、WCR2 レジスタのウェイトコントロールビットで設定します。

PCR レジスタは、パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

A5 PCW1	A5 PCW0	A6 PCW1	A6 PCW0	A5 TED2	A5 TED1	A5 TED0	A6 TED2	A6 TED1	A6 TED0	A5 TEH2	A5 TEH1	A5 TEH0	A6 TEH2	A6 TEH1	A6 TEH0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15、14: PCMCIA ウェイト (A5PCW1、A5PCW0)

低速な PCMCIA 用ウェイトサイクルで、WCR2 で指定したウェイト数に加算されます。

PCMCIA インタフェースへのアクセスの TC ビットが 0 のとき、このビットの設定が選択されます。

ビット 15	ビット 14	挿入ウェイト
A5PCW1	A5PCW0	
0	0	0 (初期値)
0	1	15
1	0	30
1	1	50

ビット 13、12: PCMCIA ウェイト (A6PCW1、A6PCW0)

低速な PCMCIA 用ウェイトサイクルで、WCR2 で指定したウェイト数に加算されます。

PCMCIA インタフェースへのアクセスの TC ビットが 1 のとき、このビットの設定が選択されます。

ビット 13	ビット 12	挿入ウェイト
A6PCW1	A6PCW0	
0	0	0 (初期値)
0	1	15
1	0	30
1	1	50

ビット 11~9 : アドレス  $\overline{OE}/\overline{WE}$  アサート遅延 (A5TED2~A5TED0)

接続された PCMCIA インタフェースにおけるアドレス出力から、 $\overline{OE}/\overline{WE}$  アサートまでの遅延時間を設定します。  
PCMCIA インタフェースへのアクセスの TC ビットが 0 のとき、このビットの設定が選択されます。

ビット 11	ビット 10	ビット 9	挿入ウェイト数
A5TED2	A5TED1	A5TED0	
0	0	0	0 (初期値)
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	6
1	0	1	9
1	1	0	12
1	1	1	15

ビット 8~6 : アドレス  $\overline{OE}/\overline{WE}$  アサート遅延 (A6TED2~A6TED0)

接続された PCMCIA インタフェースにおけるアドレス出力から、 $\overline{OE}/\overline{WE}$  アサートまでの遅延時間を設定します。  
PCMCIA インタフェースへのアクセスの TC ビットが 1 のとき、このビットの設定が選択されます。

ビット 8	ビット 7	ビット 6	挿入ウェイト数
A6TED2	A6TED1	A6TED0	
0	0	0	0 (初期値)
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	6
1	0	1	9
1	1	0	12
1	1	1	15

ビット 5~3 :  $\overline{OE}/\overline{WE}$  ネゲート アドレス遅延 (A5TEH2~A5TEH0)

接続された PCMCIA インタフェースにおける  $\overline{OE}/\overline{WE}$  ネゲートからのアドレスホールド遅延時間を設定します。  
PCMCIA インタフェースへのアクセスの TC ビットが 0 のとき、このビットの設定が選択されます。

ビット 5	ビット 4	ビット 3	挿入ウェイト数
A5TEH2	A5TEH1	A5TEH0	
0	0	0	0 (初期値)
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	6
1	0	1	9
1	1	0	12
1	1	1	15

ビット 2~0 :  $\overline{OE}/\overline{WE}$  ネゲート アドレス遅延 (A6TEH2~A6TEH0)

接続された PCMCIA インタフェースにおける  $\overline{OE}/\overline{WE}$  ネゲートからのアドレスホールド遅延時間を設定します。  
PCMCIA インタフェースへのアクセスの TC ビットが 1 のとき、このビットの設定が選択されます。

ビット 2	ビット 1	ビット 0	挿入ウェイト数
A6TEH2	A6TEH1	A6TEH0	
0	0	0	0 (初期値)
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	6
1	0	1	9
1	1	0	12
1	1	1	15

### 13.2.10 シンクロナス DRAM モードレジスタ (SDMR)

シンクロナス DRAM モードレジスタ (SDMR) は、シンクロナス DRAM のアドレスバスを介して書き込むモードレジスタで、書き込みのみ可能な仮想的な 16 ビットのレジスタです。エリア 2 およびエリア 3 のシンクロナス DRAM のモードを設定します。

SDMR レジスタに対する設定は、シンクロナス DRAM に対してアクセスを行う前に必ず行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

シンクロナス DRAM のモードレジスタに対する書き込みは、データバスからではなくアドレスバスを用いるため、設定したい値を "X"、SDMR レジスタのアドレスを "Y" とすると、X + Y 番地に書き込みを行うことによって、値 "X" がシンクロナス DRAM のモードレジスタに書き込まれます。なお、シンクロナス DRAM のバス幅が 32 ビットに設定されている場合、本 LSI の A2 にシンクロナス DRAM の A0 が、本 LSI の A3 にシンクロナス DRAM の A1 が接続されるため、実際には "X" を右に 2 ビットシフトした値がシンクロナス DRAM に書き込まれます。

例えば、エリア 2 の SDMR レジスタに H'0230 を書き込む場合は、H'FF900000 (アドレス "Y") + H'08C0 (値 "X") (= H'FF9008C0) 番地に任意のデータを書き込みます。この結果、SDMR レジスタに H'0230 が書き込まれます。値 "X" の範囲は H'0000 ~ H'0FFC です。

また、エリア 3 の SDMR レジスタに H'0230 を書き込む場合は、H'FF940000 (アドレス "Y") + H'08C0 (値 "X") (= H'FF9408C0) 番地に任意のデータを書き込みます。この結果、SDMR レジスタに H'0230 が書き込まれます。値 "X" の範囲は H'0000 ~ H'0FFC です。

アドレスの下位 16 ビットが、シンクロナス DRAM モードレジスタにセットされます。

バースト長は 4、8\* です。SDMR に設定する場合、以下のアドレスに対してバイトサイズで書き込むことになります。

バス幅	バースト長	CAS レイテンシ	エリア 2	エリア 3
32	4	1	H'FF900048	H'FF940048
		2	H'FF900088	H'FF940088
		3	H'FF9000C8	H'FF9400C8
32	8*	1	H'FF90004C	H'FF94004C
		2	H'FF90008C	H'FF94008C
		3	H'FF9000CC	H'FF9400CC

【注】 \* SH7751R のみ



### 13.2.11 リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)

リフレッシュタイムコントロール/ステータスレジスタ (RTCSR) は、読み出し/書き込み可能な 16 ビットのレジスタで、リフレッシュ周期、割り込み発生の有無を指定します。

RTCSR は、パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CMF	CMIE	CKS2	CKS1	CKS0	OVF	OVIE	LMTS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### ビット 15~8: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値については、「13.2.15 リフレッシュコントロール関連レジスタアクセス時の注意」を参照してください。

#### ビット 7: コンペアマッチフラグ (CMF)

リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。

ビット 7	説明
CMF	
0	RTCNT と RTCOR の値が一致していないことを示します (初期値) [クリア条件] CMF に 0 を書き込んだ場合
1	RTCNT と RTCOR の値が一致したことを示します [セット条件] RTCNT = RTCOR の場合*

【注】 \* 1 を書き込むと、元の値が保持されます。

#### ビット 6: コンペアマッチインタラプトイネーブル (CMIE)

RTCSR の CMF が 1 にセットされたとき、割り込み要求を発生するか抑止するかを制御します。CAS ビフォ RAS リフレッシュ、もしくはオートリフレッシュを行っている場合は、本ビットを 1 にしないでください。

ビット 6	説明
CMIE	
0	CMF による割り込み要求を禁止 (初期値)
1	CMF による割り込み要求を許可

## ビット 5~3 : クロックセレクトビット (CKS2~CKS0)

RTCNT への入力クロックを選択します。元となるクロックは外部バスクロック (CKIO) です。この CKIO を指定した比率で分周したものが、RTCNT のカウントクロックとなります。

ビット 5	ビット 4	ビット 3	説 明
CKS2	CKS1	CKS0	
0	0	0	クロック入力禁止 (初期値)
0	0	1	バスクロック (CKIO) /4
0	1	0	CKIO/16
0	1	1	CKIO/64
1	0	0	CKIO/256
1	0	1	CKIO/1024
1	1	0	CKIO/2048
1	1	1	CKIO/4096

## ビット 2 : リフレッシュカウントオーバーフローフラグ (OVF)

リフレッシュカウントレジスタ (RFCR) で示されるリフレッシュ要求回数が、RTCSR の LMTS で示される回数を超えたことを示すステータスフラグです。

ビット 2	説 明
OVF	
0	LMTS で示すカウントリミット値を、RFCR がオーバーフローしていないことを示します [クリア条件] OVF に 0 を書き込んだとき (初期値)
1	LMTS で示すカウントリミット値を、RFCR がオーバーフローしたことを示します [セット条件] LMTS で示すカウントリミット値を、RFCR がオーバーフローしたとき*

【注】 \* 1 を書き込むと、元の値が保持されます。

## ビット 1 : リフレッシュカウントオーバーフローインタラプトイネーブル (OVIE)

RTCSR の OVF が 1 にセットされたときに、OVF による割り込み要求を発生させるか抑止するかを制御します。

ビット 1	説 明
OVIE	
0	OVF による割り込み要求を禁止します (初期値)
1	OVF による割り込み要求を許可します

ビット 0: リフレッシュカウントオーバーリミットセレクト (LMTS)

リフレッシュカウンタレジスタ (RFCR) で示されるリフレッシュ回数と比較するカウンタリミット値を示します。RFCR レジスタがこの LMTS で指定される値をオーバーフローすると OVF フラグがセットされます。

ビット 0	説 明
LMTS	
0	カウンタリミット値を 1024 とします (初期値)
1	カウンタリミット値を 512 とします

### 13.2.12 リフレッシュタイマカウンタ (RTCNT)

リフレッシュタイマカウンタ (RTCNT) は入力したクロックによりカウントアップします。読み出し / 書き込み可能な 8 ビットのカウンタです。入力クロックは RTCSR レジスタの CKS (2~0) ビットで選択します。RTCNT カウンタが RTCOR レジスタと一致すると、RTCSR レジスタの CMF ビットをセットした後、RTCNT カウンタはクリアされます。

RTCNT カウンタは、パワーオンリセット時は H'0000 に初期化されます。マニュアルリセット時はカウントアップを続けます。スタンバイモード時は、初期化されず、内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 13.2.13 リフレッシュタイムコンスタントレジスタ (RTCOR)

リフレッシュタイムコンスタントレジスタ (RTCOR) は、RTCNT カウンタの上限値を指定する読み出し / 書き込み可能なレジスタです。RTCOR レジスタと RTCNT カウンタの値 (下位 8 ビット) は常に比較され、一致すると RTCSR レジスタの CMF ビットをセットして、RTCNT カウンタを 0 にクリアします。個別メモリコントローラレジスタのリフレッシュビット (RFSH) が 1 にセットされており、かつリフレッシュモードが CAS ビフォ RAS に設定されていると、この CMF ビットがセットされたときにメモリリフレッシュサイクルが発生します。

RTCOR レジスタは、パワーオンリセット時は H'0000 に初期化されます。マニュアルリセットおよびスタンバイモード時は、初期化されず、内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W



### 13.2.14 リフレッシュカウントレジスタ (RFCR)

リフレッシュカウントレジスタ (RFCR) はリフレッシュ回数をカウントします。読み出し / 書き込み可能な 10 ビットのカウンタです。RTCOR レジスタと RTCNT カウンタの値が一致するたびにカウントアップします。RFCR レジスタが RTCSR レジスタの LMTS ビットで指定したカウントリミット値を超えると、RTCSR レジスタの OVF フラグをセットして、RFCR レジスタはクリアされます。

RFCR レジスタは、パワーオンリセット時は H'0000 に初期化されます。マニュアルリセットおよびスタンバイモード時は、初期化されず、内容が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 13.2.15 リフレッシュコントロール関連レジスタアクセス時の注意

リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)、リフレッシュタイムカウンタ (RTCNT)、リフレッシュタイムコンスタントレジスタ (RTCOR)、リフレッシュカウントレジスタ (RFCR) は、プログラムが暴走したときなどに誤って書き換えられないように、書き込み時に特定のコードをデータに付加する必要があります。次の方法で、書き込み / 読み出しを行ってください。

#### (1) RTCSR、RTCNT、RTCOR、RFCR への書き込み

RTCSR、RTCNT、RTCOR、RFCR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

図 13.5 に示すように、RTCSR、RTCNT、RTCOR に書き込むときは、上位バイトを B'10100101 にし、下位バイトを書き込みデータにしてください。RFCR に書き込むときは、上位バイトの MSB から 6 ビットを B'101001 にし、残りを書き込みデータにしてください。

RTCSR、 RTCNT、 RTCOR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1	0	1	0	0	1	0	1		書き込みデータ						
RFCR	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1	0	1	0	0	1		書き込みデータ								

図 13.5 RTCSR、RTCNT、RTCOR、RFCR への書き込み

#### (2) RTCSR、RTCNT、RTCOR、RFCR からの読み出し

RTCSR、RTCNT、RTCOR、RFCR からの読み出しは、16 ビットで行ってください。定義されていないビット部分は 0 が読み出されます。

## 13.3 動作説明

### 13.3.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部ピン (MD5 ピン) で  $\overline{\text{RESET}}$  端子によるパワーオンリセット時に設定します。 $\overline{\text{RESET}}$  端子によるパワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリとしては 8 ビット、16 ビット、32 ビット幅の 3 種類から選べ、DRAM も 16 ビット、32 ビット幅の 2 種類から選べます。シンクロナス DRAM は 32 ビット幅です。また、PCMCIA インタフェースの場合は 8 ビット、16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンに合わせて行われます。したがって、データバス幅がアクセスサイズより小さい場合、アクセスサイズになるまで複数回のバスサイクルを自動的に発生させます。この場合、バス幅分のアドレスを自動的にインクリメントしてアクセスを行います。例えば SRAM インタフェースで 8 ビットバス幅のエリアにロングワードアクセスを行う場合、自動的にアドレスを 1 ずつインクリメントして、4 回アクセスを行います。また、32 バイト転送時は、設定したバス幅に従い合計 32 バイトのデータを連続して転送します。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。これらの転送の間、バス権の開放やリフレッシュ動作は行いません。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。クワッドワードアクセスは、DMAC による転送の場合のみです。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 13.8 ~ 表 13.13 に示します。

\*データ構造

	MSB		LSB						
バイト	データ7~0								
	MSB		LSB						
ワード	データ15~8		データ7~0						
	MSB							LSB	
ロングワード	データ31~24		データ23~16		データ15~8		データ7~0		
	MSB								LSB
クワッドワード	データ 63~56	データ 55~48	データ 47~40	データ 39~32	データ 31~24	データ 23~16	データ 15~8	データ 7~0	

表 13.8 32 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 $\overline{CAS3}$ 、 DQM3	$\overline{WE2}$ 、 $\overline{CAS2}$ 、 DQM2	$\overline{WE1}$ 、 $\overline{CAS1}$ 、 DQM1	$\overline{WE0}$ 、 $\overline{CAS0}$ 、 DQM0
バイト	4n	1	データ7~0	-	-	-	アサート			
	4n+1	1	-	データ7~0	-	-		アサート		
	4n+2	1	-	-	データ7~0	-			アサート	
	4n+3	1	-	-	-	データ7~0				アサート
ワード	4n	1	データ 15~8	データ 7~0	-	-	アサート	アサート		
	4n+2	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート
クワッド ワード	8n	1	データ 63~56	データ 55~48	データ 47~40	データ 39~32	アサート	アサート	アサート	アサート
	8n+4	2	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 13.9 16 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31~24	D23~16	D15~8	D7~0	$\overline{WE3}$ 、 $\overline{CAS3}$ 、 DQM3	$\overline{WE2}$ 、 $\overline{CAS2}$ 、 DQM2	$\overline{WE1}$ 、 $\overline{CAS1}$ 、 DQM1	$\overline{WE0}$ 、 $\overline{CAS0}$ 、 DQM0
バイト	2n	1	-	-	データ7~0	-			アサート	
	2n+1	1	-	-	-	データ7~0				アサート
ワード	2n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	-	-	データ 31~24	データ 23~16			アサート	アサート
	4n+2	2	-	-	データ 15~8	データ 7~0			アサート	アサート
クワッド ワード	8n	1	-	-	データ 63~56	データ 55~48			アサート	アサート
	8n+2	2	-	-	データ 47~40	データ 39~32			アサート	アサート
	8n+4	3	-	-	データ 31~24	データ 23~16			アサート	アサート
	8n+6	4	-	-	データ 15~8	データ 7~0			アサート	アサート

表 13.10 8ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31~24	D23~16	D15~8	D7~0	WE3、 CAS3、 DQM3	WE2、 CAS2、 DQM2	WE1、 CAS1、 DQM1	WE0、 CAS0、 DQM0
バイト	n	1	-	-	-	データ7~0				アサート
ワード	2n	1	-	-	-	データ 15~8				アサート
	2n+1	2	-	-	-	データ7~0				アサート
ロング ワード	4n	1	-	-	-	データ 31~24				アサート
	4n+1	2	-	-	-	データ 23~16				アサート
	4n+2	3	-	-	-	データ 15~8				アサート
	4n+3	4	-	-	-	データ7~0				アサート
クワッド ワード	8n	1	-	-	-	データ 63~56				アサート
	8n+1	2	-	-	-	データ 55~48				アサート
	8n+2	3	-	-	-	データ 47~40				アサート
	8n+3	4	-	-	-	データ 39~32				アサート
	8n+4	5	-	-	-	データ 31~24				アサート
	8n+5	6	-	-	-	データ 23~16				アサート
	8n+6	7	-	-	-	データ 15~8				アサート
	8n+7	8	-	-	-	データ7~0				アサート

表 13.11 32 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

動作		No.	データバス				ストローブ信号			
アクセス サイズ	アドレス		D31 ~ 24	D23 ~ 16	D15 ~ 8	D7 ~ 0	WE3、 CAS3、 DQM3	WE2、 CAS2、 DQM2	WE1、 CAS1、 DQM1	WE0、 CAS0、 DQM0
バイト	4n	1	-	-	-	データ 7 ~ 0				アサート
	4n+1	1	-	-	データ 7 ~ 0	-			アサート	
	4n+2	1	-	データ 7 ~ 0	-	-		アサート		
	4n+3	1	データ 7 ~ 0	-	-	-	アサート			
ワード	4n	1	-	-	データ 15 ~ 8	データ 7 ~ 0			アサート	アサート
	4n+2	1	データ 15 ~ 8	データ 7 ~ 0	-	-	アサート	アサート		
ロング ワード	4n	1	データ 31 ~ 24	データ 23 ~ 16	データ 15 ~ 8	データ 7 ~ 0	アサート	アサート	アサート	アサート
クワッド ワード	8n	1	データ 31 ~ 24	データ 23 ~ 16	データ 15 ~ 8	データ 7 ~ 0	アサート	アサート	アサート	アサート
	8n+4	2	データ 63 ~ 56	データ 55 ~ 48	データ 47 ~ 40	データ 39 ~ 32	アサート	アサート	アサート	アサート

表 13.12 16 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

動作		No.	データバス				ストローブ信号			
アクセス サイズ	アドレス		D31 ~ 24	D23 ~ 16	D15 ~ 8	D7 ~ 0	WE3、 CAS3、 DQM3	WE2、 CAS2、 DQM2	WE1、 CAS1、 DQM1	WE0、 CAS0、 DQM0
バイト	2n	1	-	-	-	データ 7 ~ 0				アサート
	2n+1	1	-	-	データ 7 ~ 0	-			アサート	
ワード	2n	1	-	-	データ 15 ~ 8	データ 7 ~ 0			アサート	アサート
ロング ワード	4n	1	-	-	データ 15 ~ 8	データ 7 ~ 0			アサート	アサート
	4n+2	2	-	-	データ 31 ~ 24	データ 23 ~ 16			アサート	アサート
クワッド ワード	8n	1	-	-	データ 15 ~ 8	データ 7 ~ 0			アサート	アサート
	8n+2	2	-	-	データ 31 ~ 24	データ 23 ~ 16			アサート	アサート
	8n+4	3	-	-	データ 47 ~ 40	データ 39 ~ 32			アサート	アサート
	8n+6	4	-	-	データ 63 ~ 56	データ 55 ~ 48			アサート	アサート

表 13.13 8 ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ 24	D23 ~ 16	D15 ~ 8	D7 ~ 0	WE3、 CAS3、 DQM3	WE2、 CAS2、 DQM2	WE1、 CAS1、 DQM1	WE0、 CAS0、 DQM0
バイト	n	1	-	-	-	データ 7 ~ 0				アサート
ワード	2n	1	-	-	-	データ 7 ~ 0				アサート
	2n+1	2	-	-	-	データ 15 ~ 8				アサート
ロング ワード	4n	1	-	-	-	データ 7 ~ 0				アサート
	4n+1	2	-	-	-	データ 15 ~ 8				アサート
	4n+2	3	-	-	-	データ 23 ~ 16				アサート
	4n+3	4	-	-	-	データ 31 ~ 24				アサート
クワッド ワード	8n	1	-	-	-	データ 7 ~ 0				アサート
	8n+1	2	-	-	-	データ 15 ~ 8				アサート
	8n+2	3	-	-	-	データ 23 ~ 16				アサート
	8n+3	4	-	-	-	データ 31 ~ 24				アサート
	8n+4	5	-	-	-	データ 39 ~ 32				アサート
	8n+5	6	-	-	-	データ 47 ~ 40				アサート
	8n+6	7	-	-	-	データ 55 ~ 48				アサート
	8n+7	8	-	-	-	データ 63 ~ 56				アサート

### 13.3.2 エリアの説明

#### (1) エリア 0

エリア 0 は、外部アドレスのビット 28~26 が 000 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX と、バースト ROM です。

バス幅は、外部ピンの MD4、MD3 によりパワーオンリセット時に、8 ビット、16 ビット、32 ビットから選べます。詳細は「13.1.5 (2) メモリバス幅」を参照してください。

エリア 0 をアクセスすると  $\overline{CS0}$  信号がアサートされます。また、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御の  $\overline{WE0} \sim \overline{WE3}$  がアサートされます。

バスサイクル数は、WCR2 レジスタの A0W2~A0W0 ビットによってウェイト数を 0~15 から選択できます。また、外部ウェイト端子 ( $\overline{RDY}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます。

バースト ROM インタフェースを使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2~9 の範囲で選択できます。

リード/ライトストロープ信号のアドレス、および  $\overline{CS}$  セットアップ/ホールド時間は、WCR3 レジスタの A0S0、および、A0H1、A0H0 ビットにより、それぞれ 0~1、0~3 サイクルに設定することができます。

#### (2) エリア 1

エリア 1 は、外部アドレスのビット 28~26 が 001 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX およびバイト制御 SRAM です。

バス幅は、BCR2 レジスタの A1SZ1、A1SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 レジスタの A1SZ1、A1SZ0 ビットにより、バス幅を 32 ビットに設定してください。バイト制御 SRAM インタフェースを設定する場合は、バス幅を 16 ビット、32 ビットにしてください。

エリア 1 をアクセスすると  $\overline{CS1}$  信号がアサートされます。また、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御の  $\overline{WE0} \sim \overline{WE3}$  がアサートされます。

バスサイクル数は、WCR2 レジスタの A1W2~A1W0 ビットによってウェイト数を 0~15 から選択できます。また、外部ウェイト端子 ( $\overline{RDY}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます。

リード/ライトストロープ信号のアドレス、および  $\overline{CS}$  セットアップ/ホールド時間は、WCR3 レジスタの A1S0、および A1H1、A1H0 ビットにより、それぞれ、0~1、0~3 サイクルに設定することができます。

#### (3) エリア 2

エリア 2 は、外部アドレスのビット 28~26 が 010 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX およびシンクロナス DRAM です。

バス幅は、SRAM インタフェースを設定する場合、BCR2 レジスタの A2SZ1、A2SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 レジスタの A2SZ1~A2SZ0 ビットにより、32 ビットに設定してください。また、シンクロナス DRAM インタフェースを設定する場合は、MCR レジスタの SZ ビットにより、32 ビットに設定してください。詳細は、「13.1.5 (2) メモリバス幅」を参照してください。

エリア 2 をアクセスすると  $\overline{CS2}$  信号がアサートされます。

SRAM インタフェースを設定している場合、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御の  $\overline{WE0} \sim \overline{WE3}$  がア

サートされます。

バスサイクル数は、WCR2 レジスタの A2W2 ~ A2W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また、外部ウェイト端子 ( $\overline{RDY}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます。

リード/ライトストロープ信号のアドレス、および  $\overline{CS}$  セットアップ/ホールド時間は、WCR3 レジスタの A2S0、および A2H1、A2H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

シンクロナス DRAM インタフェースを設定している場合、 $\overline{RAS}$  信号や  $\overline{CAS}$  信号、 $RD/\overline{WR}$  信号、バイト制御の DQM0 ~ DQM3 がアサートされ、アドレスマルチプレクスが行われます。 $\overline{RAS}$  や  $\overline{CAS}$ 、データのタイミング制御やアドレスマルチプレクス制御は、MCR レジスタによって設定できます。

#### (4) エリア 3

エリア 3 は、外部アドレスのビット 28 ~ 26 が 011 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、DRAM およびシンクロナス DRAM です。

バス幅は、SRAM インタフェースを設定する場合、BCR2 レジスタの A3SZ1 ~ A3SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 レジスタの A3SZ1、A3SZ0 ビットにより、バス幅を 32 ビットに設定してください。また、DRAM インタフェースを設定する場合、MCR レジスタの SZ ビットにより 16 ビット、32 ビットから選べます。また、シンクロナス DRAM を設定する場合、MCR レジスタの SZ ビットにより 32 ビットに設定してください。詳細は「13.1.5 (2) メモリバス幅」を参照してください。

エリア 3 をアクセスすると  $\overline{CS3}$  信号がアサートされます。

SRAM インタフェースを設定している場合、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御の  $\overline{WE0}$  ~  $\overline{WE3}$  がアサートされます。

バスサイクル数は、WCR2 レジスタの A3W2 ~ A3W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また、外部ウェイト端子 ( $\overline{RDY}$ ) によりバスサイクルごとに任意のウェイトを挿入することができます。

リード/ライトストロープ信号のアドレス、および  $\overline{CS}$  セットアップ/ホールド時間は、WCR3 レジスタの A3S0、および A3H1、A3H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

シンクロナス DRAM インタフェースを設定している場合、 $\overline{RAS}$  信号や  $\overline{CAS}$  信号、 $RD/\overline{WR}$  信号、バイト制御の DQM0 ~ DQM3 がアサートされ、アドレスマルチプレクスが行われます。DRAM インタフェースを設定している場合、 $\overline{RAS}$  信号や  $\overline{CAS0}$  ~  $\overline{CAS3}$  信号、 $RD/\overline{WR}$  信号がアサートされ、アドレスマルチプレクスが行われます。これら、 $\overline{RAS}$  や  $\overline{CAS}$ 、データのタイミング制御やアドレスマルチプレクス制御は、MCR レジスタによって設定できます。

#### (5) エリア 4

エリア 4 は、外部アドレスのビット 28 ~ 26 が 100 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バイト制御 SRAM です。

バス幅は、BCR2 レジスタの A4SZ1、A4SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 レジスタの A4SZ1、A4SZ0 ビットにより、バス幅を 32 ビットに設定してください。バイト制御 SRAM インタフェースを設定する場合はバス幅を 16 ビット、32 ビットに設定してください。詳細は、「13.1.5 (2) メモリバス幅」を参照してください。

エリア 4 をアクセスすると  $\overline{CS4}$  信号がアサートされます。また、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御



の  $\overline{WE0} \sim \overline{WE3}$  がアサートされます。

バスサイクル数は、WCR2 の A4W2 ~ A4W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また外部ウェイト端子 ( $\overline{RDY}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます。

リード/ライトストロープ信号のアドレス、および  $\overline{CS}$  セットアップ/ホールド時間は、WCR3 レジスタの A4S0、および A4H1、A4H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

#### (6) エリア 5

エリア 5 は、外部アドレスのビット 28 ~ 26 が 101 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM および PCMCIA インタフェースです。

バス幅は、SRAM インタフェースを設定する場合、BCR2 レジスタの A5SZ1、A5SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。バースト ROM インタフェースを設定する場合は、BCR2 レジスタの A5SZ1、A5SZ0 ビットにより、バス幅を 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 レジスタの A5SZ1、A5SZ0 ビットにより、バス幅を 32 ビットに設定してください。また、PCMCIA インタフェースを設定する場合、BCR2 レジスタの A5SZ1、A5SZ0 ビットにより 8 ビット、16 ビットのいずれかを選んでください。詳細は「13.1.5 (2) メモリバス幅」を参照してください。

SRAM インタフェースを設定している場合、エリア 5 をアクセスすると  $\overline{CS5}$  信号がアサートされます。また、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御の  $\overline{WE0} \sim \overline{WE3}$  がアサートされます。PCMCIA インタフェースを接続する場合には、 $\overline{CE1A}$ 、 $\overline{CE2A}$  信号や、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号、また、それぞれ  $\overline{WE}$ 、 $\overline{ICIOR}$ 、 $\overline{ICIORW}$ 、 $\overline{REG}$  として使用できる  $\overline{WE1}$ 、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 $\overline{WE0}$  信号がアサートされます。

バスサイクル数は、WCR2 レジスタの A5W2 ~ A5W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また外部ウェイト端子 ( $\overline{RDY}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます。

バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 9 の範囲で決まります。

リード/ライトストロープ信号のアドレス、および  $\overline{CS}$  セットアップ/ホールド時間は、WCR3 レジスタの A5S0、および A5H1、A5H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

また、PCMCIA インタフェースの場合、リード/ライトストロープ信号に対してアドレス  $\overline{CE1A}$ 、 $\overline{CE2A}$  のセットアップ、ホールド時間を PCR レジスタの AnTED1、AnTED0 ビット、AnTEH1、AnTEH0 ビットによって、0 ~ 15 サイクルの範囲で設定できます。さらに、AnPCW1、AnPCW0 ビットによりウェイトサイクルを 0 ~ 50 の範囲で設定できます。PCR で設定したウェイトは、WCR2 で設定したウェイト数に加算されます。

#### (7) エリア 6

エリア 6 は、外部アドレスのビット 28 ~ 26 が 110 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM および PCMCIA インタフェースです。

バス幅は、SRAM インタフェースを設定する場合、BCR2 レジスタの A6SZ1、A6SZ0 ビットにより 8 ビット、16 ビット、32 ビットから選べます。バースト ROM インタフェースを設定する場合は、BCR2 レジスタの A6SZ1、A6SZ0 ビットにより、バス幅を 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、BCR2 レジスタの A6SZ1、A6SZ0 ビットにより、バス幅を 32 ビットに設定してください。また、PCMCIA

インタフェースを設定する場合、BCR2 レジスタの A6SZ1、A6SZ0 ビットにより 8 ビット、16 ビットのいずれかを選んでください。詳細は「13.1.5 (2) メモリバス幅」を参照してください。

SRAM インタフェースを設定している場合、エリア 6 をアクセスすると  $\overline{CS6}$  信号がアサートされます。また、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御の  $\overline{WE0} \sim \overline{WE3}$  がアサートされます。PCMCIA インタフェースを設定する場合には、 $\overline{CE1B}$ 、 $\overline{CE2B}$  信号や、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号、また、それぞれ  $\overline{WE}$ 、 $\overline{ICIORD}$ 、 $\overline{ICIORW}$ 、 $\overline{REG}$  として使用できる  $\overline{WE1}$ 、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 $\overline{WE0}$  信号がアサートされます。

バスサイクル数は、WCR2 レジスタの A6W2 ~ A6W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また外部ウェイト端子 ( $\overline{RDY}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます。また、バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 9 の範囲で決まります。

リード/ライトストロブ信号のアドレス、および  $\overline{CS}$  セットアップ/ホールド時間は、WCR3 レジスタの A6S0、および A6H1、A6H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

また、PCMCIA インタフェースの場合リード/ライトストロブ信号に対してアドレス  $\overline{CE1B}$ 、 $\overline{CE2B}$  のセットアップ、ホールド時間を PCR レジスタの AnTED1、AnTED0 ビット、AnTEH1、AnTEH0 ビットによって、0 ~ 15 サイクルの範囲で設定できます。さらに、AnPCW1、AnPCW0 ビットによりウェイトサイクルを 0 ~ 50 の範囲で設定できます。PCR で設定したウェイトは、WCR2 で設定したウェイト数に加算されます。

### 13.3.3 SRAM インタフェース

#### (1) 基本タイミング

本 LSI の SRAM インタフェースは、主に SRAM の接続を考慮してストロブ信号を出力します。図 13.6 に SRAM インタフェースの基本タイミングを示します。ウェイトのない通常アクセスは 2 サイクルで終了します。 $\overline{BS}$  信号はバスサイクルの開始を表すため、1 サイクルアサートされます。 $\overline{CSn}$  信号は、T1 の立ち上がりでアサートされ T2 のクロックの次の立ち上がりでネゲートされます。したがって最小ピッチでアクセスする場合は、ネゲート期間は生まれません。

アクセスサイズは読み出し時は指定がありません。アドレス端子 (A [25 : 0]) に正しいアクセスアドレスが出力されていますが、アクセスサイズの指定がないので、32 ビットデバイスでは 32 ビット、16 ビットデバイスでは 16 ビットを常に読み出すことになります。書き込み時には書き込みを行うバイトの  $\overline{WE}$  信号のみがアサートされます。詳細は「13.3.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

32 バイト転送時は、設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。この途中ではバス権を解放しません。

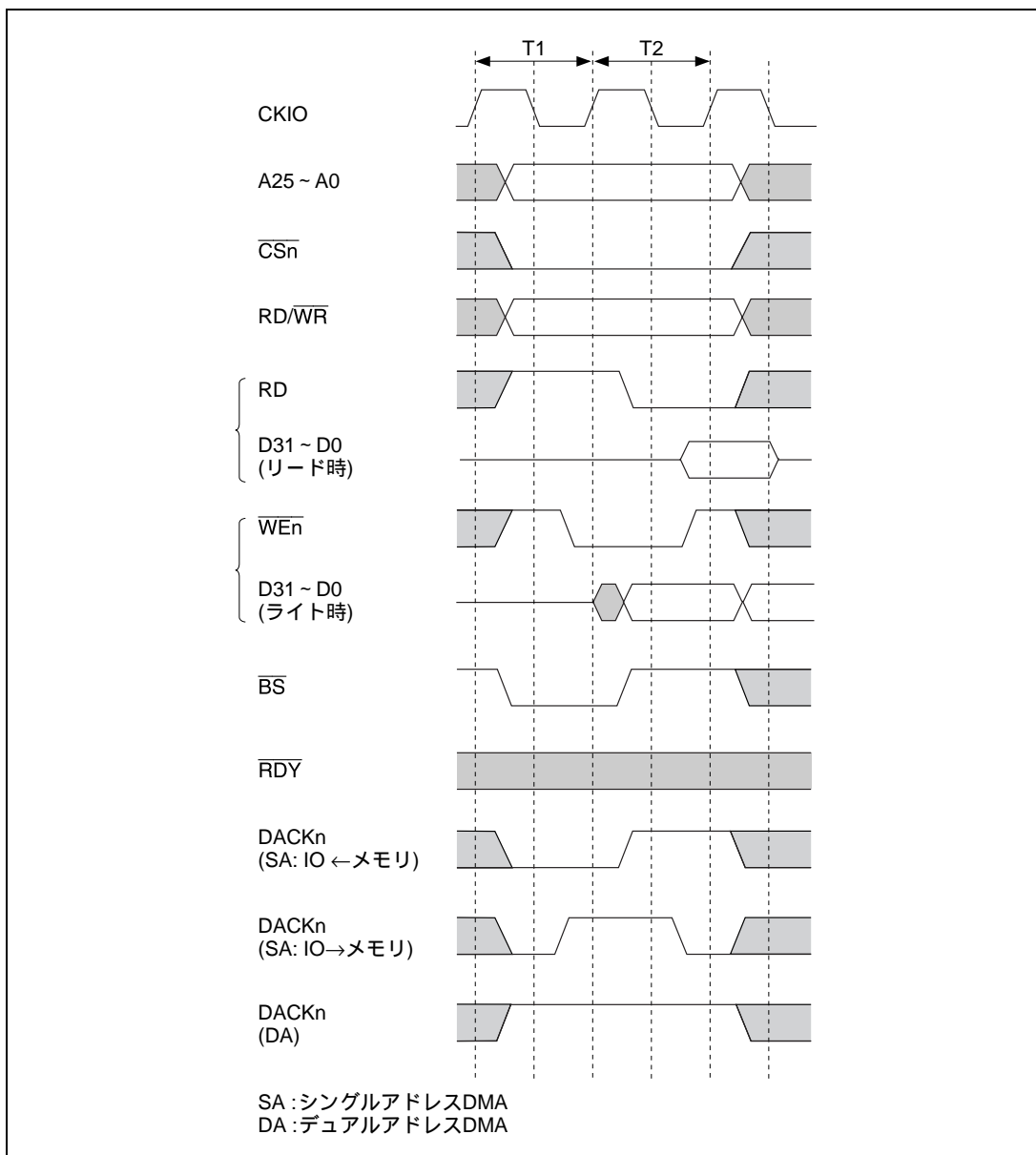


図 13.6 SRAM インタフェースの基本タイミング

図 13.7 に 32 ビットデータ幅の SRAM との接続例を、図 13.8 に 16 ビットデータ幅の SRAM との接続例を、図 13.9 に 8 ビットデータ幅の SRAM との接続例を示します。

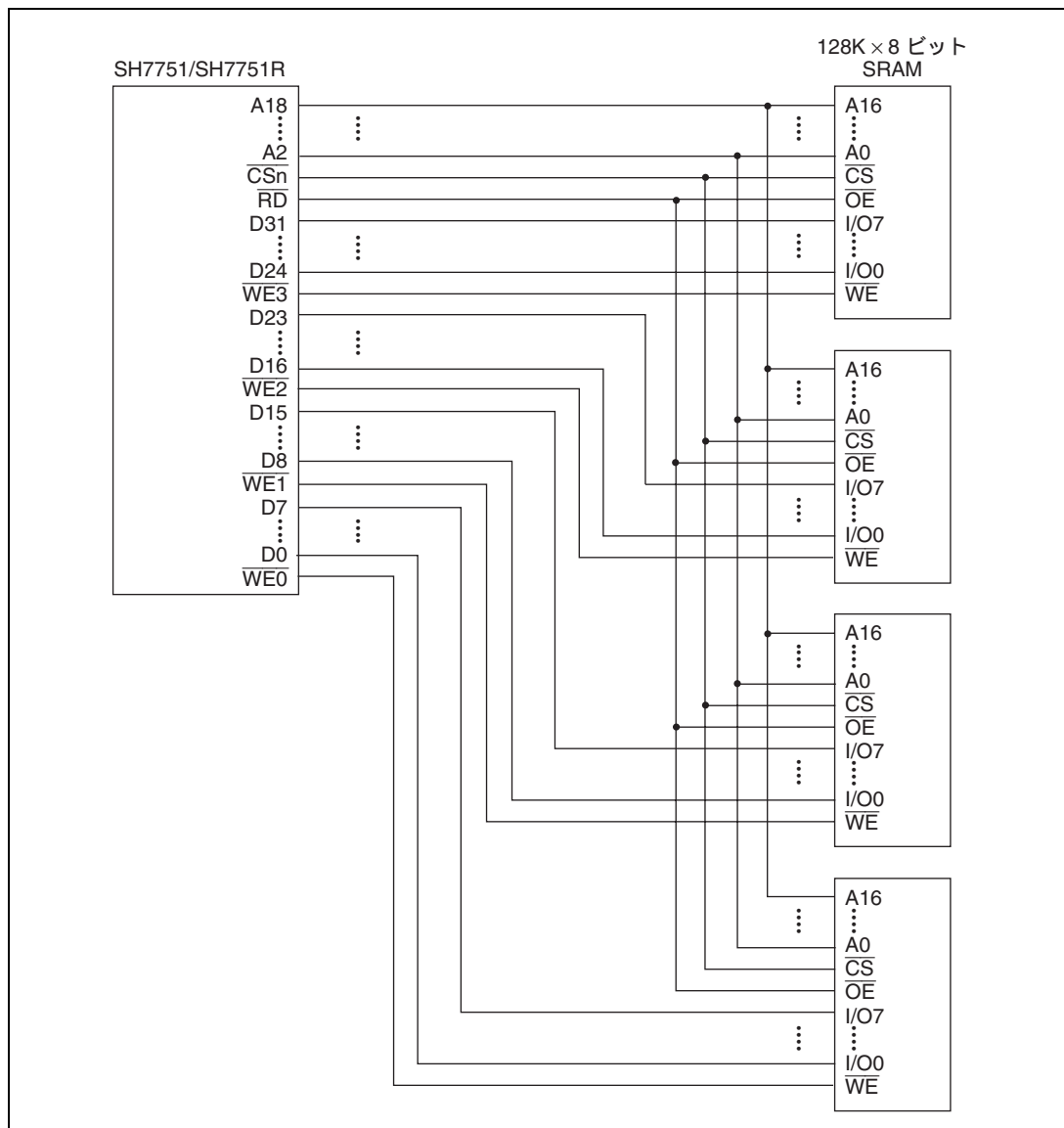


図 13.7 32 ビットデータ幅 SRAM 接続例

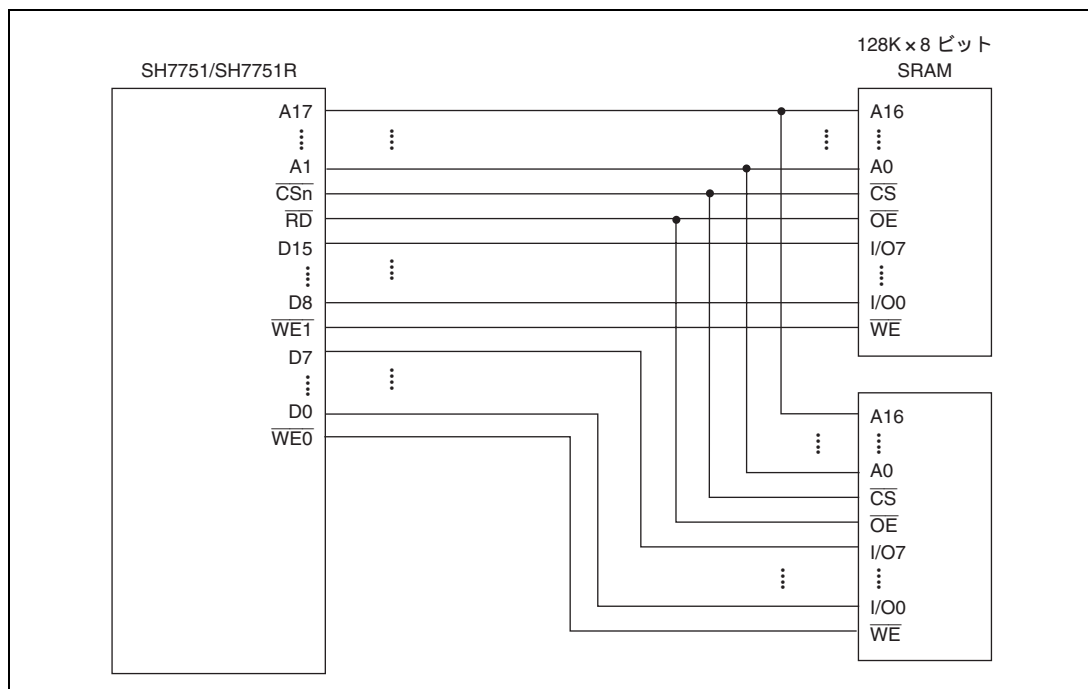


図 13.8 16 ビットデータ幅 SRAM 接続例

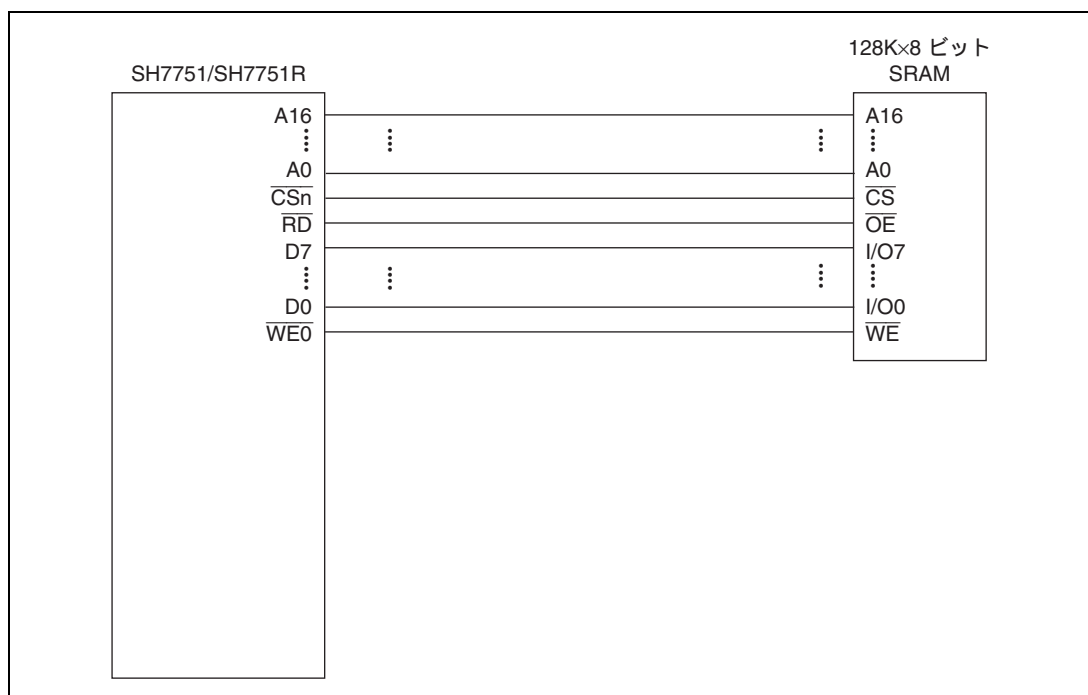


図 13.9 8 ビットデータ幅 SRAM 接続例

## (2) ウェイトステート制御

WCR2 の設定により、SRAM インタフェースのウェイトステートの挿入を制御できます。WCR2 の各エリアに対応するウェイト指定ビットが 0 以外のときは、このウェイト指定に従ったソフトウェイトが挿入されます。詳細は「13.2.6 ウェイトコントロールレジスタ 2 (WCR2)」の項を参照してください。

WCR2 によって、図 13.10 に示す SRAM インタフェースのウェイトタイミングで、 $T_w$  のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

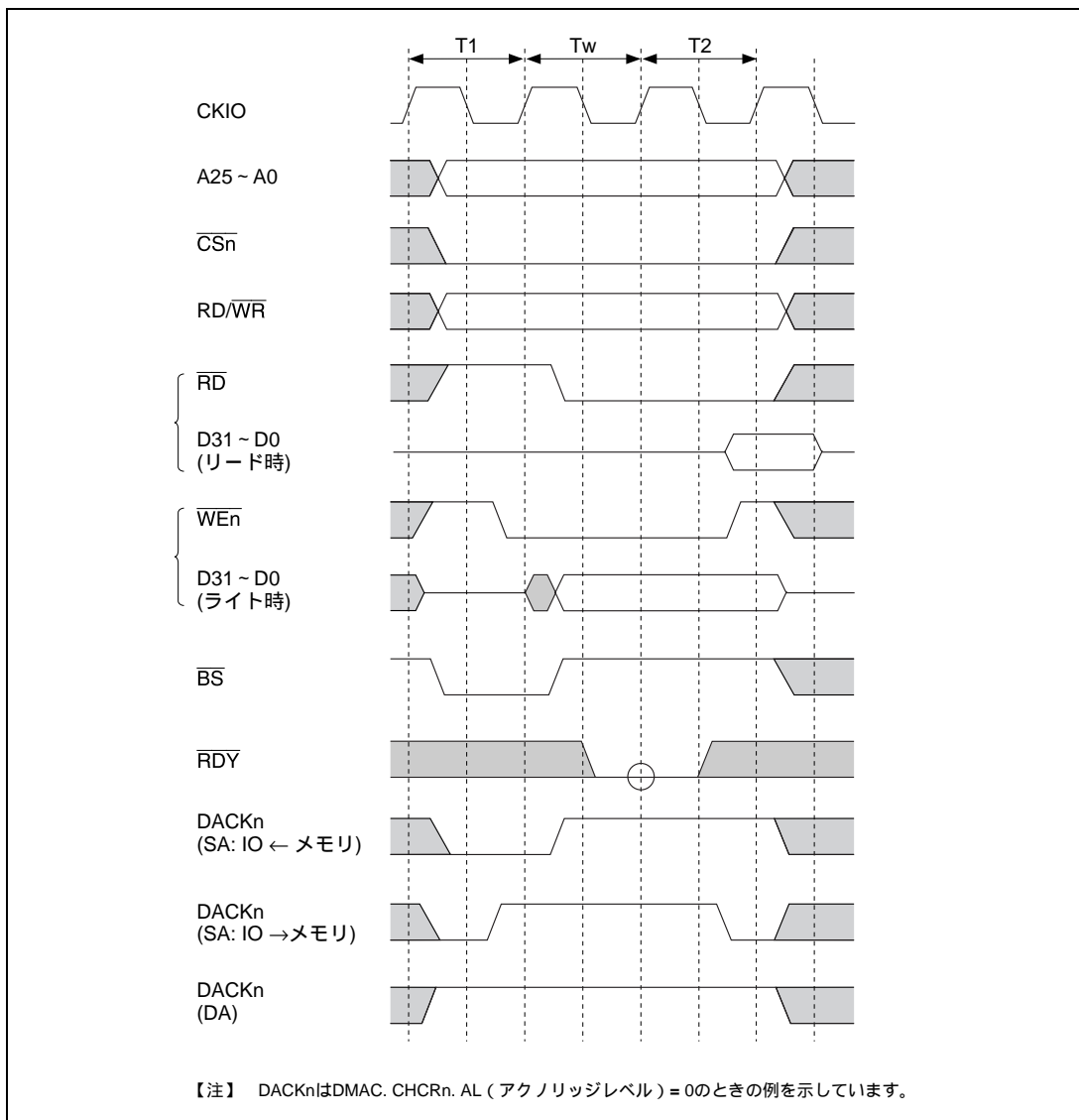


図 13.10 SRAM インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)

WCR2によってソフトウェアによるウェイトを指定したときに、外部からのウェイト入力 $\overline{RDY}$ 信号もサンプリングされます。 $\overline{RDY}$ 信号のサンプリングを図13.11に示します。ソフトウェアウェイトとして1サイクルのウェイトを指定しています。サンプリングは $T_w$ ステートから $T_2$ ステートに移行する際に行われるので、 $T_1$ のサイクルおよび1回目の $T_w$ サイクルで $\overline{RDY}$ 信号をアサートしてもなにも影響を与えません。 $\overline{RDY}$ 信号はクロックの立ち上がりでサンプリングされます。

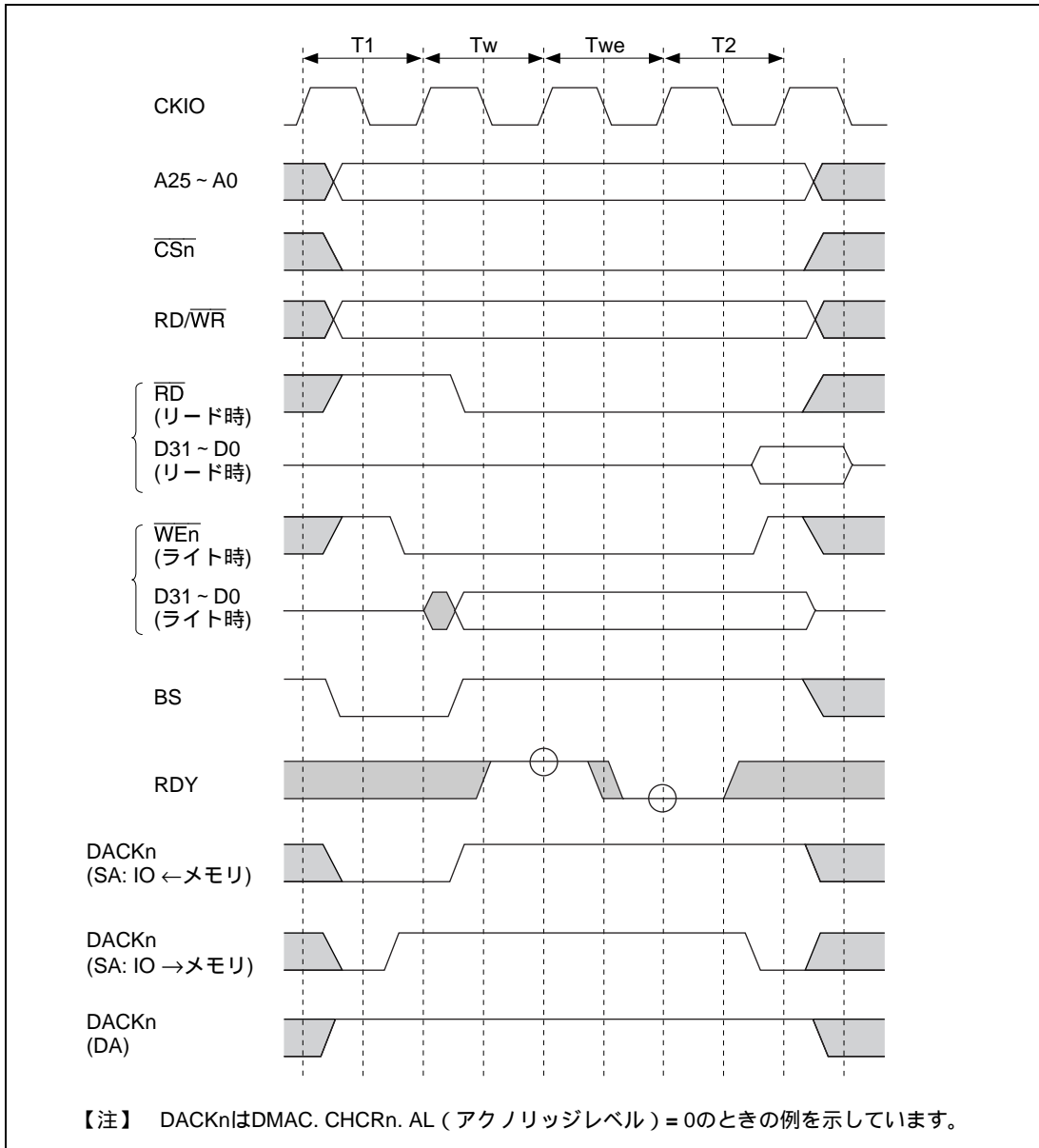


図 13.11 SRAM インタフェースのウェイトステートタイミング  
( $\overline{RDY}$  信号によるウェイトステート挿入)

## (3) リードストロブネゲートタイミング (SH7751Rのみ設定可)

SRAM インタフェース時、WCR3 レジスタの A1RDH、A4RDH の設定により、リード時のストロブのネゲートタイミングを設定することができます。設定については WCR3 のレジスタの説明を参照願います。バイト制御 SRAM 設定時は AnRDH に 0 を設定してください。

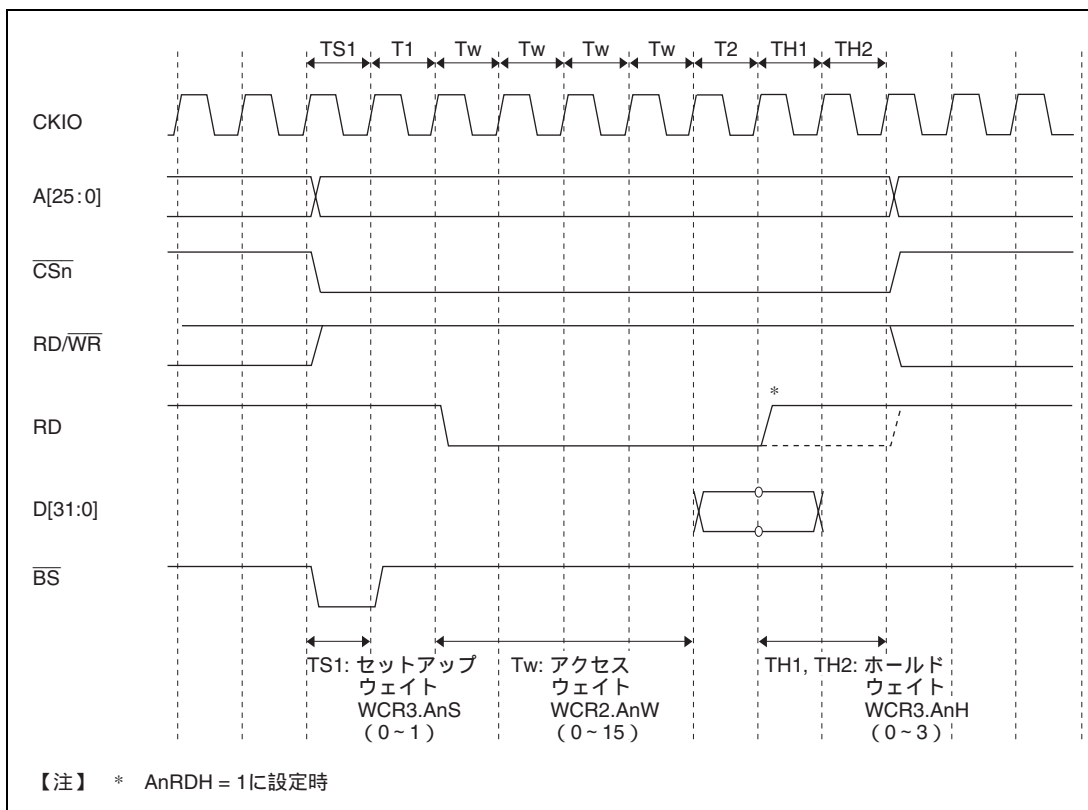


図 13.12 SRAM インタフェースのリードストロブネゲートタイミング  
(AnS=1、AnW=4、AnH=2 の場合)



### 13.3.4 DRAM インタフェース

#### (1) DRAM 接続方式

BCR1 のメモリアイプビット (DRAMTP2~0) を 100 に設定するとエリア 3 が DRAM インタフェースとなり、本 LSI と DRAM を接続させるための DRAM インタフェース機能が使用できるようになります。

インタフェースのデータ幅は、16 ビットと 32 ビットから選択できます。

バイトアクセスのコントロールは  $\overline{\text{CAS}}$  を用いるので、16 ビット幅 DRAM で接続可能なものは CAS2 本方式のものです。

接続に使用する信号は  $\overline{\text{CS3}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS0}} \sim \overline{\text{CAS3}}$ 、RD/W $\overline{\text{R}}$  です。データ幅が 16 ビットのときには  $\overline{\text{CAS2}} \sim \overline{\text{CAS3}}$  は使用しません。

アクセスモードとしては通常のリード、ライトアクセスに加えて、高速ページモードを利用したバーストアクセスをサポートします。また、DRAM のアクセスタイムを増やすことができる EDO モードをサポートします。

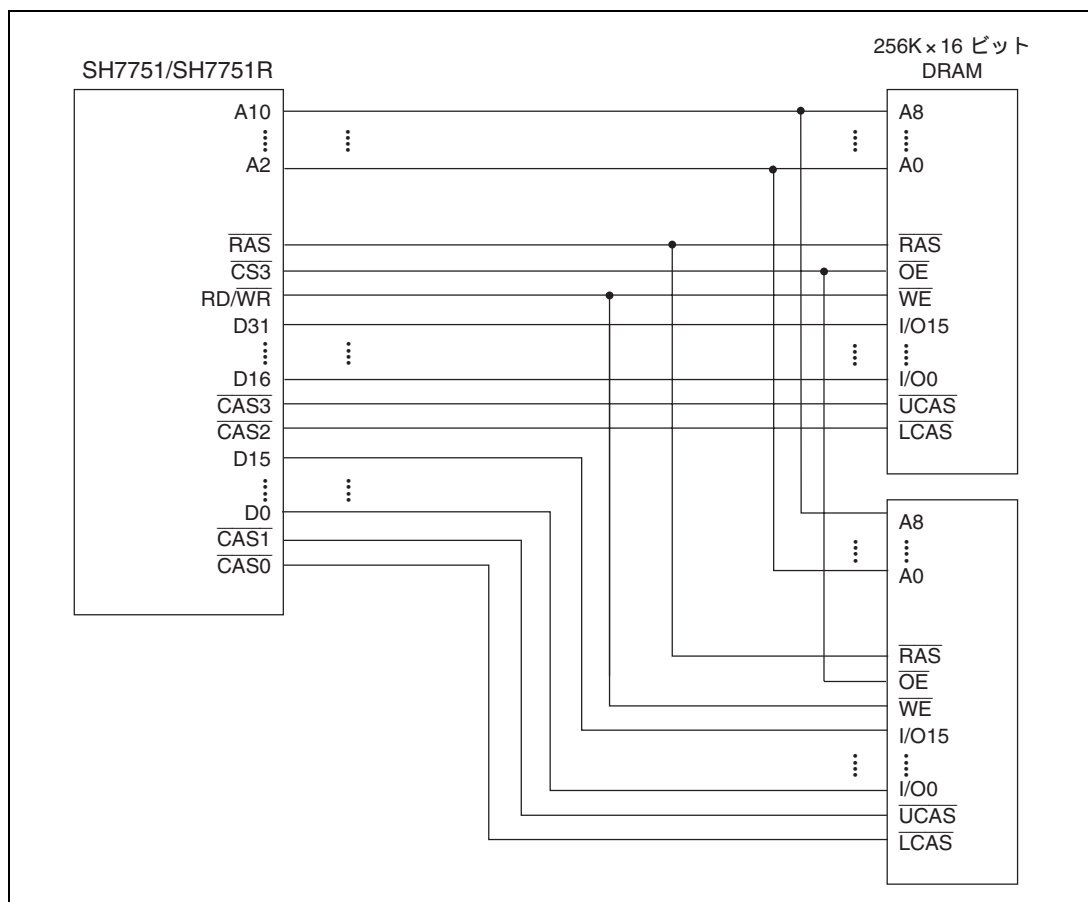


図 13.13 DRAM 接続例 (32 ビットデータ幅)

## (2) アドレスマルチプレクス

エリア 3 を DRAM インタフェースに設定すると、DRAM に対するアクセスは常にアドレスのマルチプレクスが行われます。これによって外付けのアドレスマルチプレクス回路なしに、ロウアドレスとカラムアドレスのマルチプレクスが必要な DRAM を本 LSI に接続することができます。マルチプレクスの方法は、MCR の AMXEXT、AMX2~0 ビットの設定によって、以下の 5 通りの中から選ぶことができます。AMXEXT、AMX2~0 ビットとアドレスマルチプレクスの関係を表 13.14 に示します。アドレスマルチプレクスの対象となるアドレス出力端子は A17 から A1 です。A25 から A18 に出力されるアドレスは保証されません。

表 13.14 AMXEXT、AMX2~0 ビットとアドレスマルチプレクスの関係

設定				カラム アドレス ビット数	出力 タイミング	外部アドレス端子				
AMXEXT	AMX2	AMX1	AMX0			A1~A13	A14	A15	A16	A17
0	0	0	0	8ビット	カラム アドレス	A1~A13	A14	A15	A16	A17
					ロウ アドレス	A9~A21	A22	A23	A24	A25
0	0	0	1	9ビット	カラム アドレス	A1~A13	A14	A15	A16	A17
					ロウ アドレス	A10~A22	A23	A24	A25	A17
0	0	1	0	10ビット	カラム アドレス	A1~A13	A14	A15	A16	A17
					ロウ アドレス	A11~A23	A24	A25	A16	A17
0	0	1	1	11ビット	カラム アドレス	A1~A13	A14	A15	A16	A17
					ロウ アドレス	A12~A24	A25	A15	A16	A17
0	1	0	0	12ビット	カラム アドレス	A1~A13	A14	A15	A16	A17
					ロウ アドレス	A13~A25	A14	A15	A16	A17
その他				予約	-	-	-	-	-	-

## (3) 基本タイミング

DRAMアクセスの基本タイミングは4サイクルです。DRAMアクセスの基本タイミングを図13.14に示します。T<sub>pc</sub>はプリチャージサイクル、T<sub>r</sub>は $\overline{\text{RAS}}$ アサートサイクル、T<sub>c1</sub>は $\overline{\text{CAS}}$ アサートサイクル、T<sub>c2</sub>は読み出しデータ取り込みサイクルです。

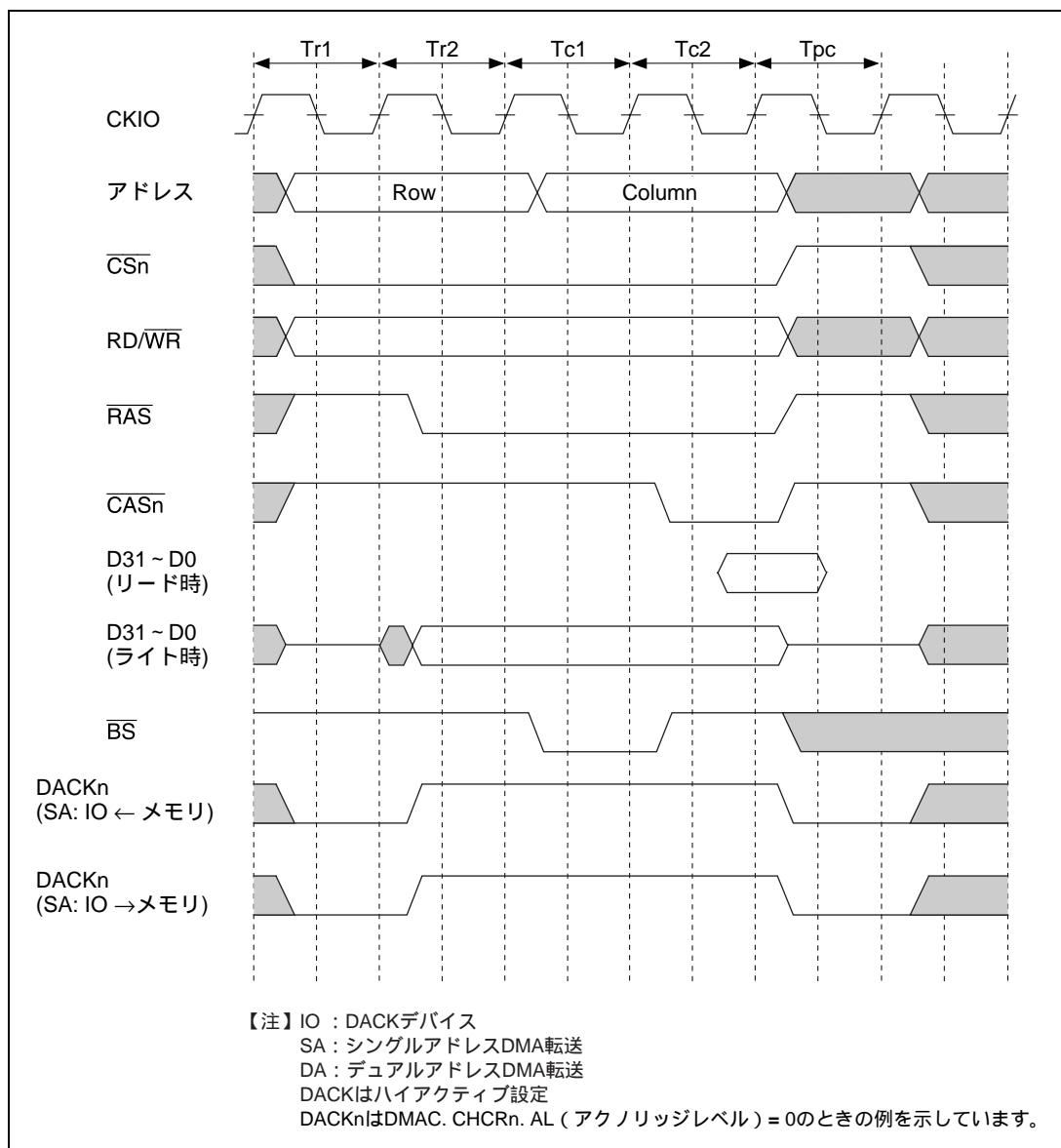


図 13.14 DRAM 基本アクセスタイミング

## (4) ウェイトステート制御

クロック周波数を上げていくと、基本アクセスのようにすべてのステートを1サイクルで終わらせることができなくなってきます。そこで、WCR2、MCRにある設定ビットを用いてステートの延長ができるようになっています。レジスタ設定を使ってステートを延長したタイミングを図13.15に示します。 $\overline{\text{RAS}}$ のプリチャージ時間を確保するための $T_{pc}$ サイクルは、MCRのTPCビットによって追加の $T_{pc}$ サイクルを挿入し1~7サイクルにすることができます。 $\overline{\text{RAS}}$ アサートから $\overline{\text{CAS}}$ アサートまでのサイクル数は、MCRのRCDビットによって $T_{rw}$ を挿入し、2~5サイクルにすることができます。 $\overline{\text{CAS}}$ アサートからアクセス終了までのサイクル数は、WCR2のA3W2~A3W0ビットの設定によって1サイクルから16サイクルまで変えることができます。

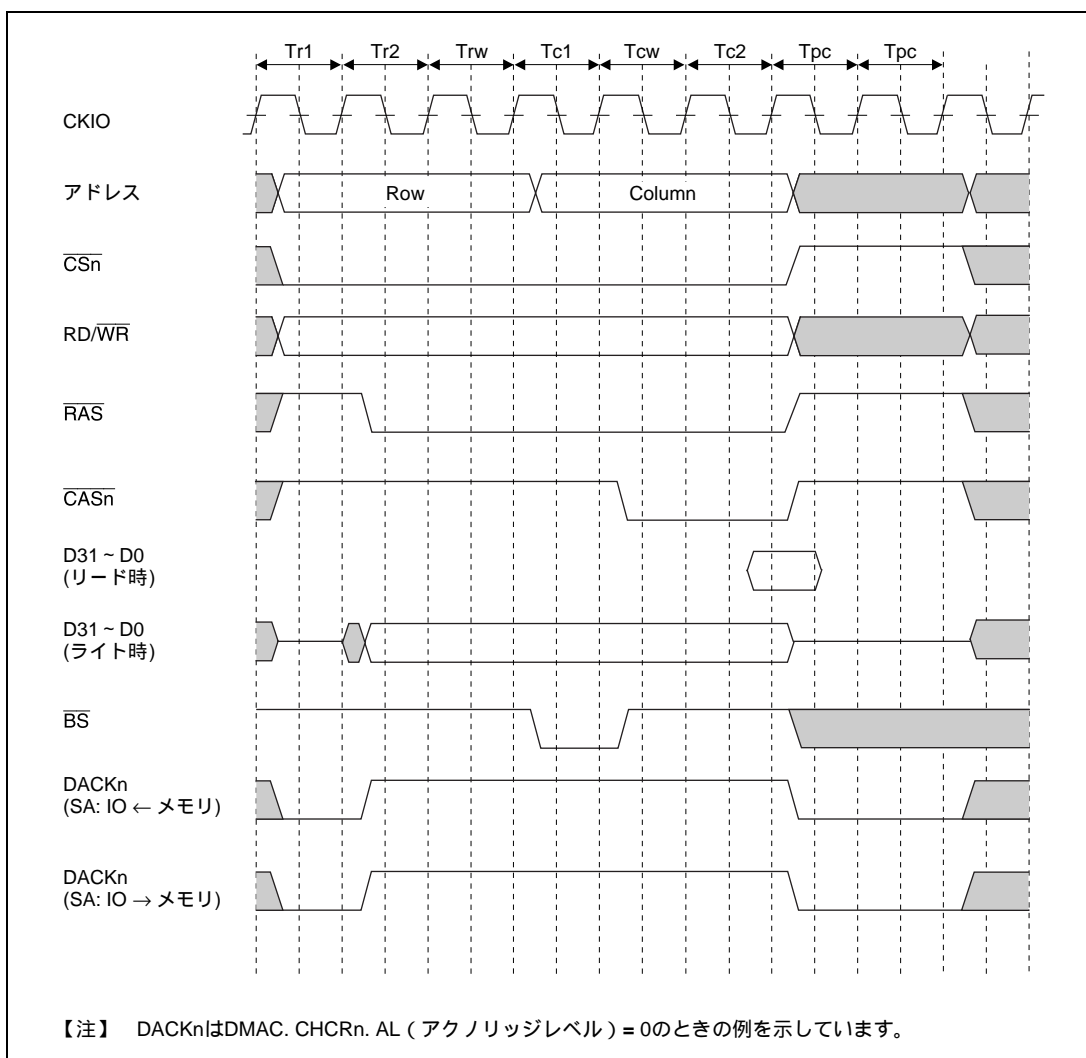


図 13.15 DRAM ウェイトステートタイミング

## (5) バーストアクセス

DRAM には、アクセスのたびにロウアドレスを出力してデータをアクセスするノーマルアクセスの他に、同一のロウに対するアクセスが連続する場合、ロウアドレスを一度出力した後はカラムアドレスを変更するだけでデータに高速にアクセスできる、高速ページモードを備えているものがあります。MCR のバーストイネーブル (BE) の設定によって、ノーマルアクセスと高速ページモードを利用したバーストアクセスを選択することができます。高速ページモードによるバーストアクセスのタイミングを図 13.16 に示します。

アクセスサイズが設定されたバス幅よりも大きい場合、バーストアクセスが行われます。32 バイト転送時、先頭のアクセスはアクセス要求があったデータを含むロングワードとなります。残りのアクセスは当該データを含む 32 バイト境界のデータに対して行われます。バースト転送時では 32 バイトのデータに対してラップアラウンドで書き込みが行われます。

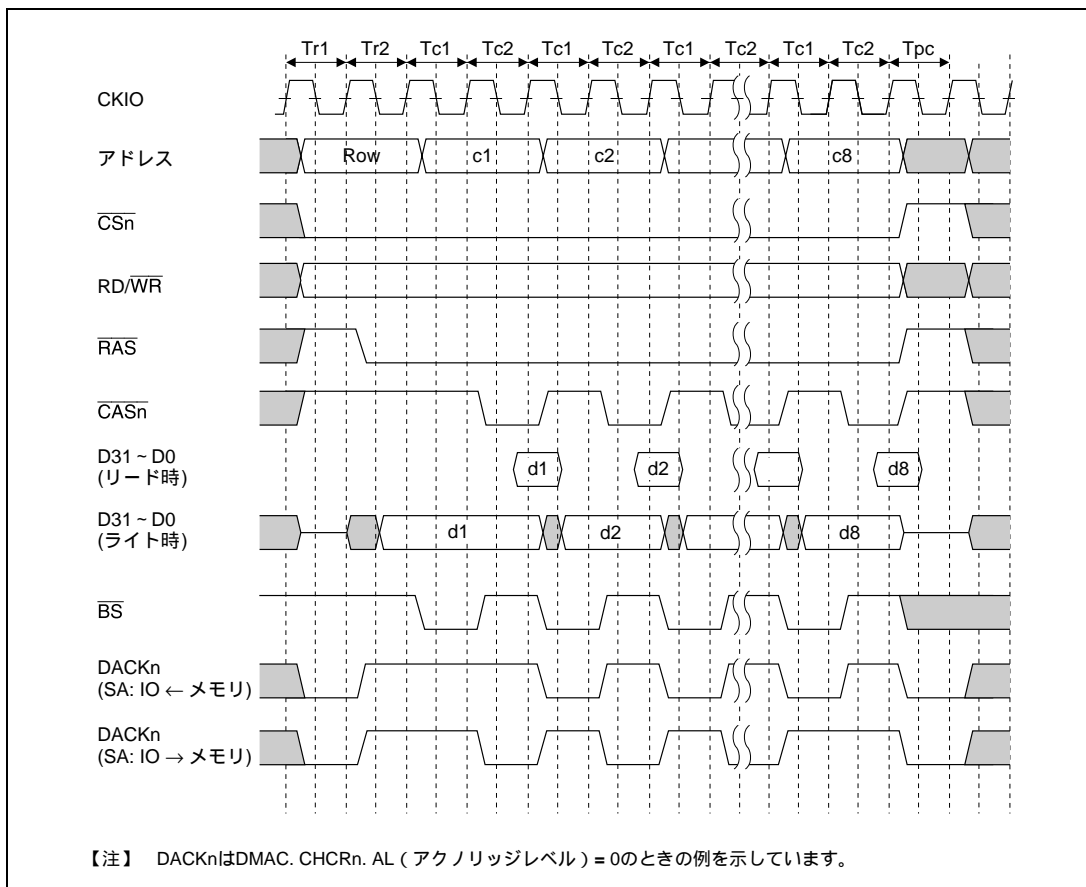


図 13.16 DRAM バーストアクセスタイミング

## (6) EDO モード

DRAM には、データリードサイクル時に  $\overline{\text{CAS}}$  信号のアサート中だけデータバスにデータを出力するもののほかに、 $\overline{\text{RAS}}$  信号アサート中はいったん  $\overline{\text{CAS}}$  信号をアサートすると  $\overline{\text{CAS}}$  信号をネゲートしても次に  $\overline{\text{CAS}}$  信号をアサートするまで、データバスにデータを出力する EDO モードを備えたものがあります。本 LSI では、DRAM に対して MCR の EDO モードビット (EDOMODE) の設定によって、ノーマルアクセス/高速ページモードによるパーストアクセスと、EDO モードによるノーマルアクセス/パーストアクセスを選択することができます。EDO モードに設定されているときは、MCR の BE ビットが 1 にセットされていなければなりません。EDO モードによるノーマルアクセスを図 13.17 に、パーストアクセスを図 13.18 に示します。

## (a) CAS ネゲート期間

CAS ネゲート期間は、MCR レジスタの TCAS ビットにより、1 または 2 に設定することができます。

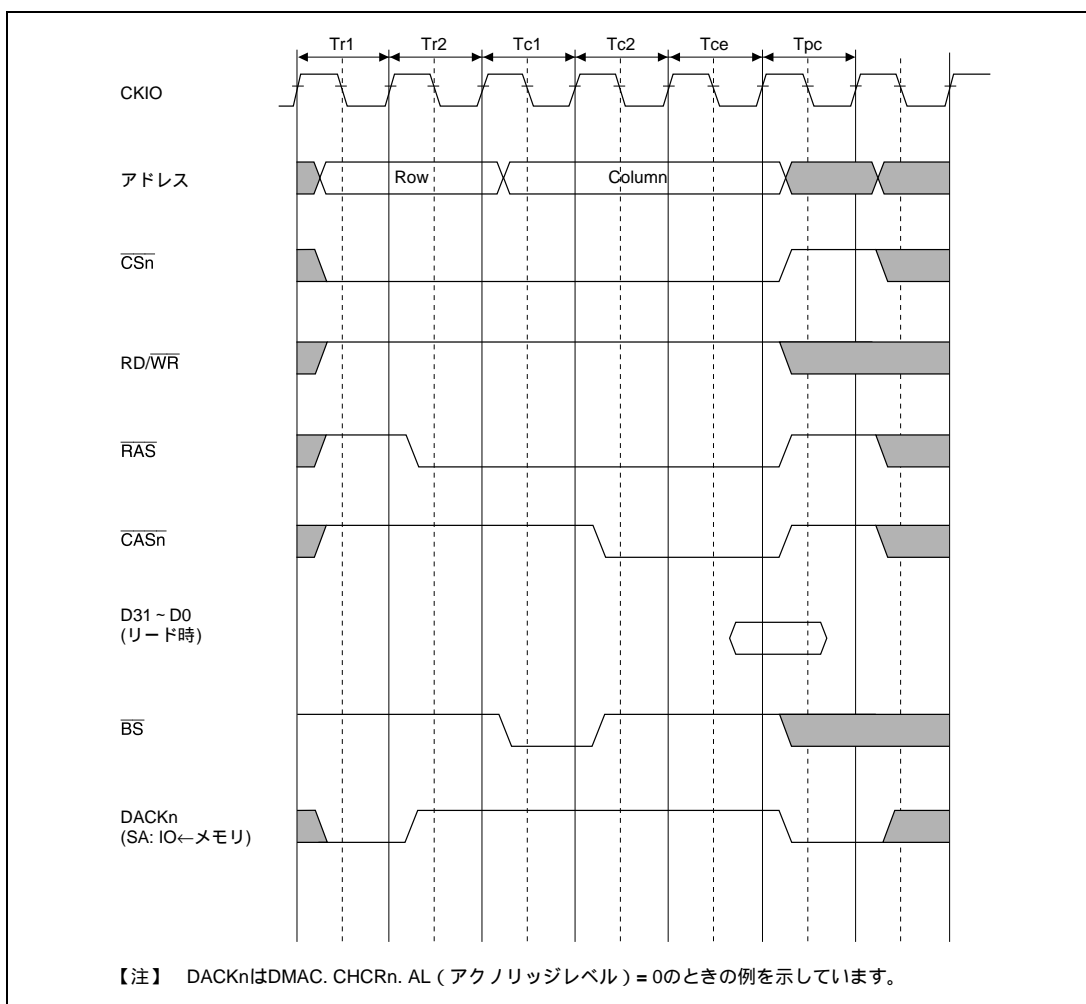


図 13.17 DRAM バスサイクル (EDO モード、RCD=0、AnW=0、TPC=1)

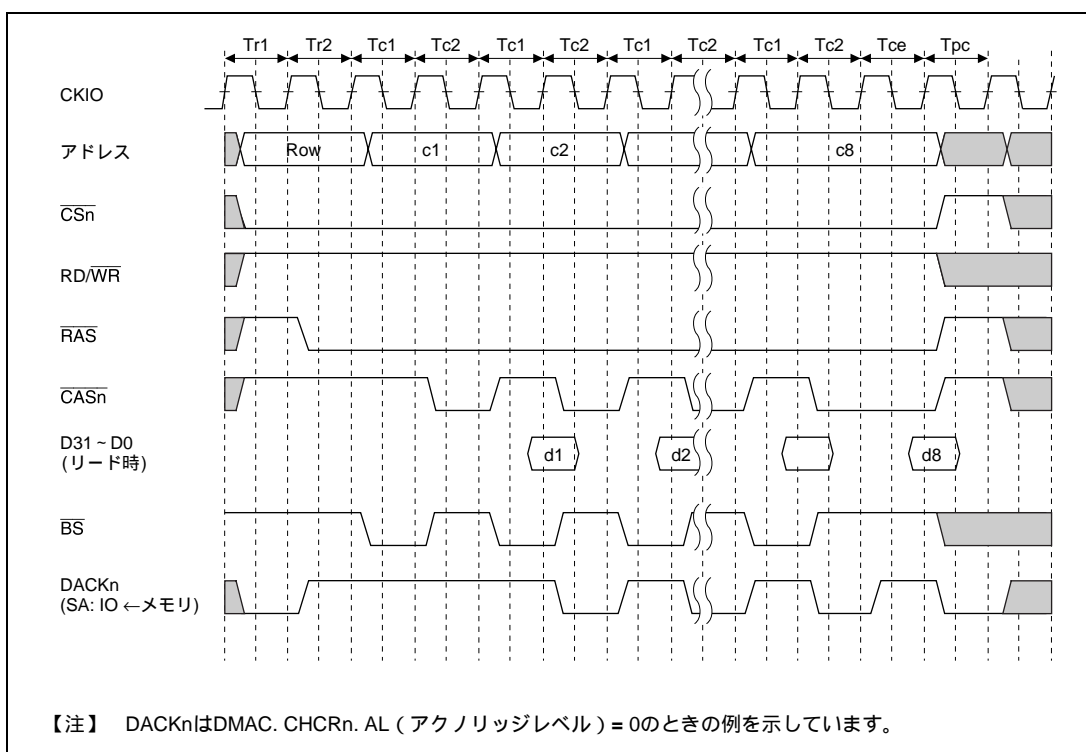


図 13.18 DRAM EDO モードのバーストアクセスタイミング

## (7) RAS ダウンモード

本 LSI は、バーストモードにおけるロウアドレスの一致を検出するためのアドレス比較器を持っています。これを利用し、RAS ダウンモード指定ビット RASD を 1 にすることによって、アクセス終了後も  $\overline{\text{RAS}}$  をアサートしたまま放置する RAS ダウンモードにすることができます。RAS ダウンモードを用いる場合、リフレッシュ周期が DRAM の  $\overline{\text{RAS}}$  アサート時間の最大値よりも長い場合には、リフレッシュ周期を  $t_{\text{RAS}}$  の最大値以下にする必要があります。

RAS ダウンモード時は、ロウアドレスが異なるアドレスへのアクセス、別のエリアに対するアクセス、リフレッシュ要求、またはバス権解放要求が入った場合、 $\overline{\text{RAS}}$  をネゲートし、所定の動作を行います。この後、DRAM へのアクセス再開時には、RAS ダウンモードの開始なのでロウアドレスの出力から始まります。

このタイミングチャートを図 13.19 (1)、図 13.19 (2)、図 13.19 (3)、図 13.19 (4) に示します。

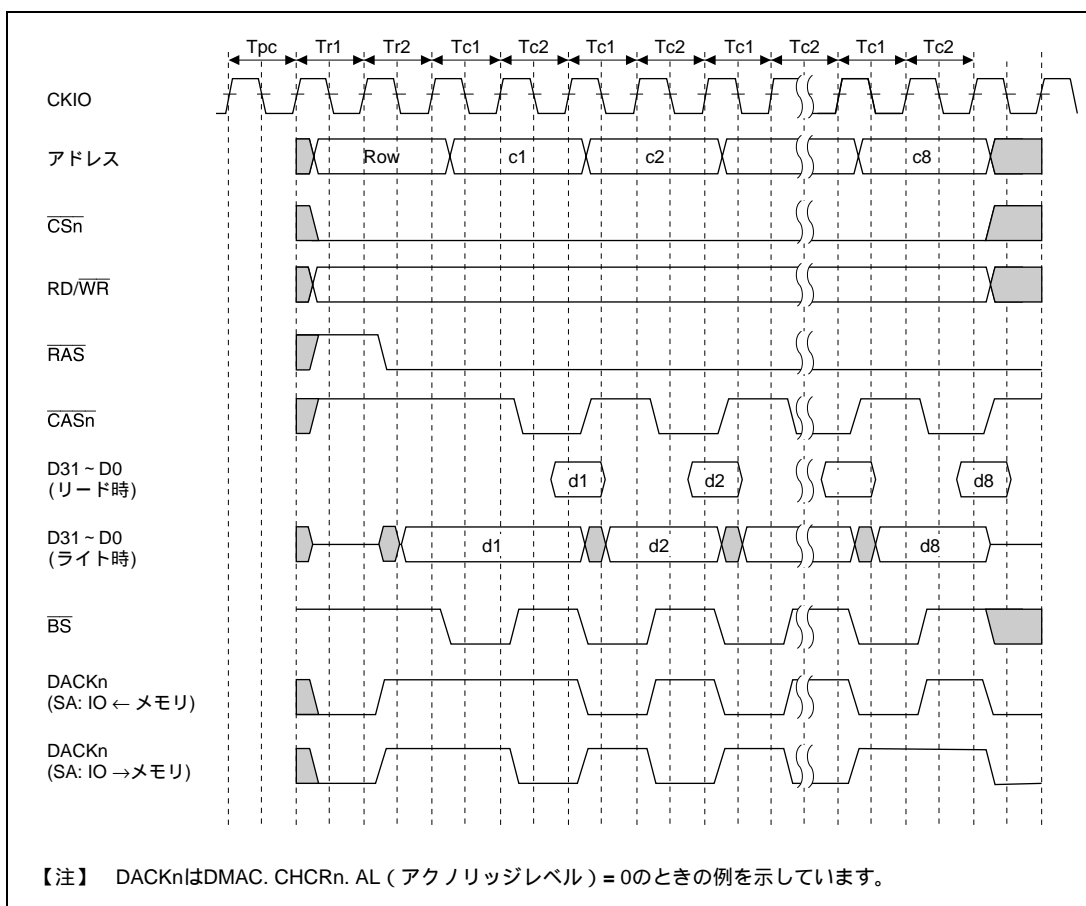


図 13.19 (1) RAS ダウンモード開始時の DRAM バーストバスサイクル  
(高速ページモード、RCD=0、AnW=0)



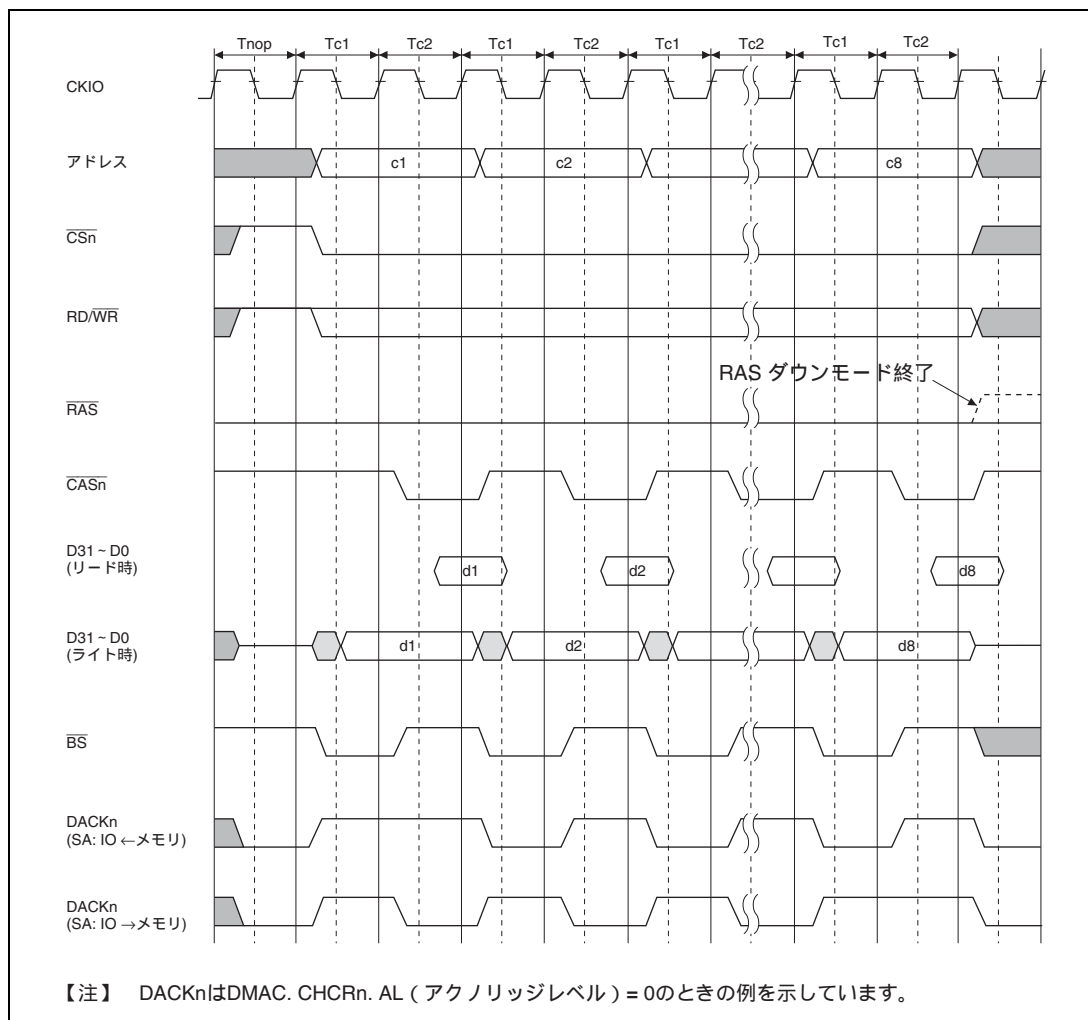


図 13.19 (2) RAS ダウンモード継続時の DRAM バーストバスサイクル  
(高速ページモード、RCD=0、AnW=0)

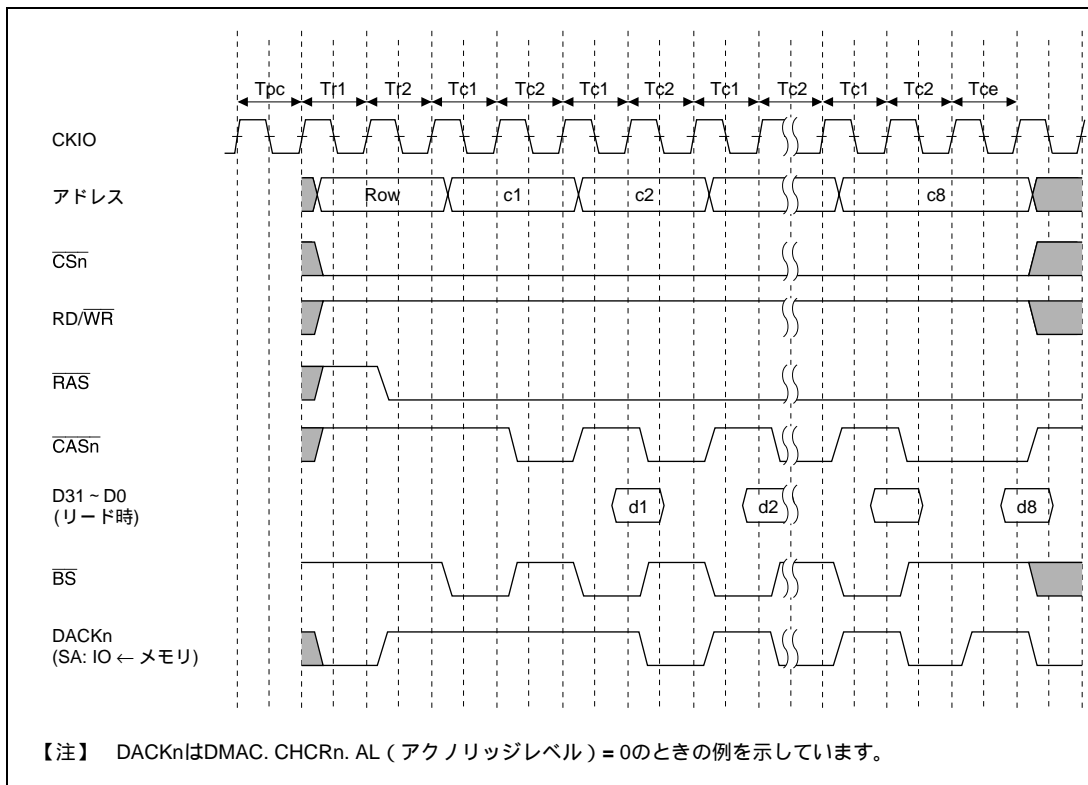


図 13.19 (3) RAS ダウンモード開始時の DRAM バーストバスサイクル  
(EDO モード、RCD=0、AnW=0)

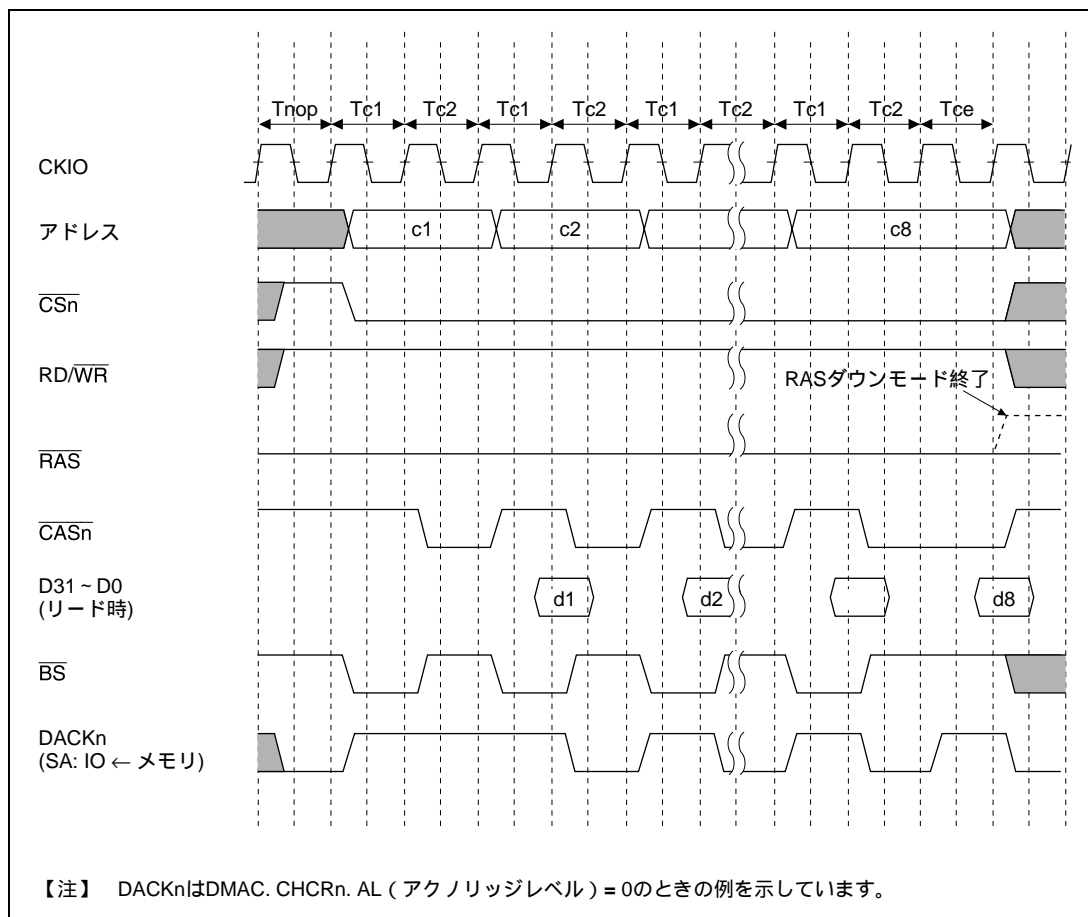


図 13.19 (4) RAS ダウンモード継続時の DRAM バーストバスサイクル  
(EDO モード、RCD=0、AnW=0)

## (8) リフレッシュ

バスステートコントローラは、DRAMのリフレッシュを制御する機能を備えています。DRAMに対してMCRのRMODEビットを0に、RFSHビットを1にセットすることによって、CASピフォRASリフレッシュサイクルによる分散リフレッシュを行うことができます。また、セルフリフレッシュモードをサポートします。

## (a) CASピフォRASリフレッシュ

CASピフォRASリフレッシュサイクルを行う場合、RTCSRのCKS2~CKS0ビットで選択した入力クロックと、RTCORに設定した値とで決まる間隔でリフレッシュが行われます。使用するDRAMのリフレッシュ間隔規定を満たすように、RTCORとCKS2~CKS0ビットの値を設定してください。最初にRTCOR、RTCNTとMCRのRMODEビットおよびRFSHビットの設定を行い、最後に、CKS2~CKS0ビットの設定を行ってください。CKS2~CKS0ビットによってクロックを選択すると、RTCNTはそのときの値からカウントアップを開始します。RTCNTの値は常にRTCORの値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、 $\overline{\text{BACK}}$ 端子がHレベルになります。本LSIの外部バスが使用可能な場合、CASピフォRASリフレッシュが行われます。同時にRTCNTはゼロクリアされ、カウントアップが再開されます。図13.20にCASピフォRASリフレッシュの動作を示します。

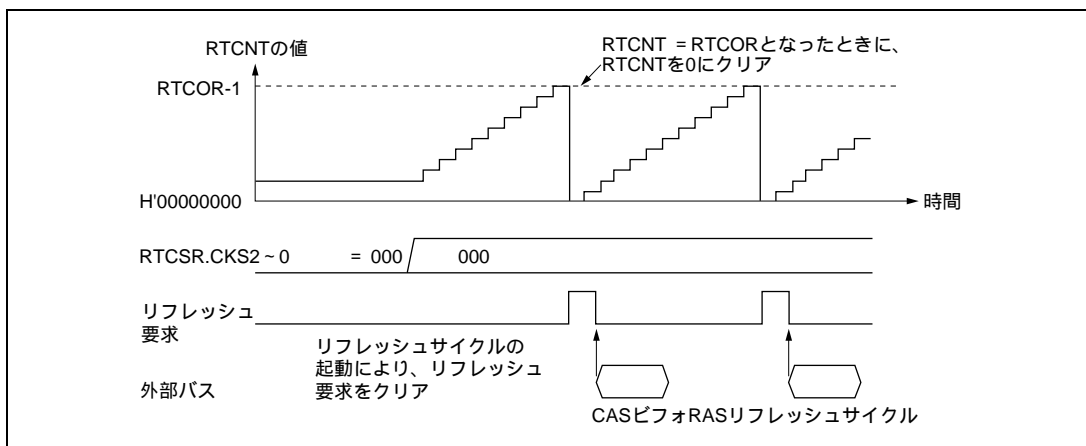


図 13.20 CASピフォRASリフレッシュの動作

図 13.21 に CAS ビフォ RAS リフレッシュサイクルのタイミングを示します。

リフレッシュサイクルでの RAS アサートサイクル数は、MCR の TRAS2 ~ TRAS0 ビットで指定されます。リフレッシュサイクルにおける RAS のプリチャージ時間の指定は、MCR の TRC2 ~ TRC0 ビットの指定に従います。

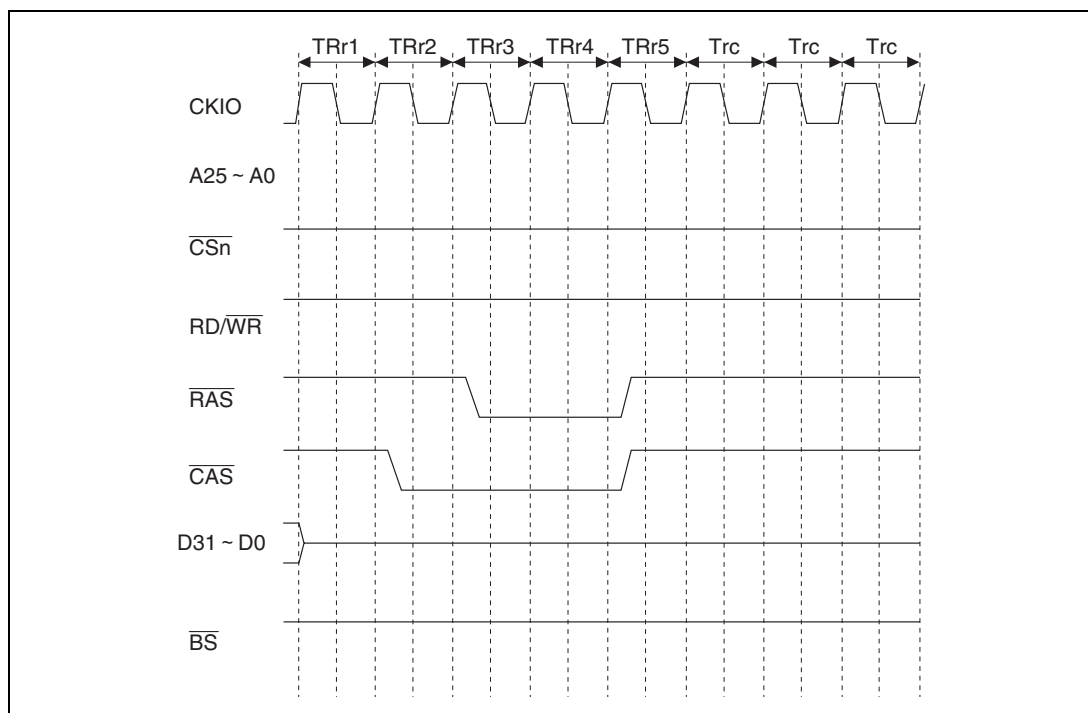


図 13.21 DRAM CAS ビフォ RAS リフレッシュサイクルタイミング (TRAS=0、TRC=1)

#### (b) セルフリフレッシュ

本 LSI がサポートするセルフリフレッシュは、図 13.22 に示すものです。

セルフリフレッシュ解除後、リフレッシュコントローラは直ちにリフレッシュ要求を行います。ただし、セルフリフレッシュ終了直後の RAS プリチャージ時間は、MCR の TRC2 ~ TRC0 ビットで設定できます。

CAS ビフォ RAS リフレッシュは、通常動作時、スリープモード時およびマニュアルリセット時に行われます。また、セルフリフレッシュは、通常動作時、スリープモード時、スタンバイモード時およびマニュアルリセット時に行われます。

バスアービトレーション要求によりバス権を解放した場合やスタンバイモードに遷移した場合、一般の信号は High-Z 状態になりますが、 $\overline{RAS}$ 、 $\overline{CAS}$  信号については High-Z 状態にするか、出力を保持し続けるかを BCR1 の HIZCNT ビットで制御できます。これにより、DRAM をセルフリフレッシュの状態にしたまま保持することができます。

## (c) リフレッシュ要求とバスサイクル要求の関係

バスサイクル実行中にリフレッシュ要求が生じた場合、リフレッシュの実行はバスサイクルの完了まで待たされます。データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、例えば 8 ビットバス幅のメモリにロングワードアクセスを行う場合やキャッシュフィルやライトバックなどの 32 バイト転送の途中ではリフレッシュ動作は待たされます。また、TAS 命令実行中のリードサイクルとライトサイクルの間や DMAC のデュアルアドレス転送実行時のリードサイクルとライトサイクルの間もリフレッシュ動作は待たされます。バスアービトレーション機能でバスを解放しているときにリフレッシュ要求が起きた場合、バスを獲得するまでリフレッシュの実行は待たされます。リフレッシュの実行を待たされている状態で RTCNT と RTCOR の一致が起こり、新たなリフレッシュ要求が生じた場合には、前のリフレッシュ要求は消滅してしまいます。リフレッシュを正常に行うためには、リフレッシュ間隔よりも長いバスサイクルやバス権の占有が起こらないよう注意が必要です。なお、リフレッシュ要求が発生すると  $\overline{\text{BACK}}$  端子が H レベルにネゲートされます。このため、バス権を要求する本 LSI 以外のバスマスタやバス調停回路で  $\overline{\text{BACK}}$  端子を監視し、バス権を本 LSI に戻すことにより正常なリフレッシュが行えます。

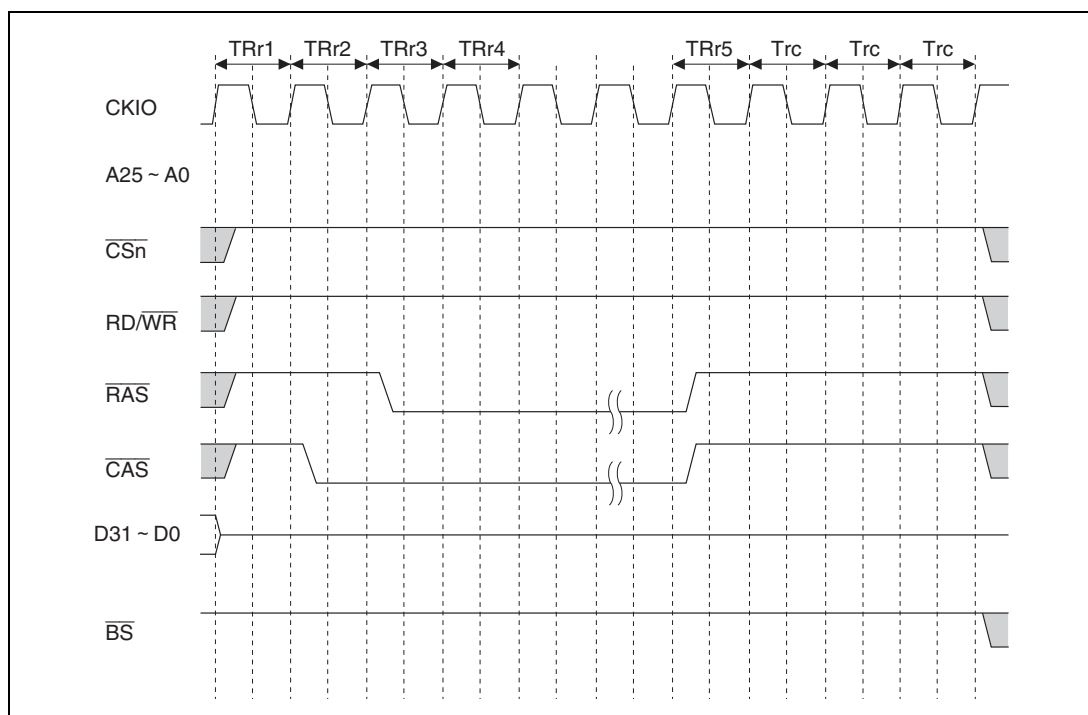


図 13.22 DRAM セルフリフレッシュサイクルタイミング

## (9) パワーオンシーケンス

電源投入後の DRAM の使用に関しては、アクセスの行えない待機時間 (100  $\mu\text{s}$  または 200  $\mu\text{s}$  以上) とそれに続く所定回数 (通常 8 回) 以上の、ダミーの CAS ビフォア RAS リフレッシュサイクルを行うことが要求されています。バスステートコントローラは、パワーオンリセットに対して特別な動作を行わないため、必要なパワーオンシーケンスはパワーオンリセット後に実行する初期化プログラムによって実現する必要があります。

### 13.3.5 シンクロナス DRAM インタフェース

#### (1) シンクロナス DRAM 接続方式

シンクロナス DRAM は  $\overline{CS}$  信号によって選択できるため、 $\overline{RAS}$  等の制御信号を共通に使用して外部メモリ空間のエリア 2 とエリア 3 に接続が可能です。BCR1 メモリタイプビット (DRAMTP2~0) を 010 に設定すると、エリア 3 がシンクロナス DRAM インタフェースになり、011 に設定するとエリア 2、エリア 3 がともにシンクロナス DRAM インタフェースとなります。

本 LSI は、シンクロナス DRAM の動作モードとして、バースト長 4 のバーストリード/バーストライトのモードをサポートしています。データのバス幅は 32 ビットであり、MCR のサイズビット SZ を必ず 11 に設定してください。MCR のバーストイネーブルビット BE は無視され、キャッシュのフィル/コピーバックサイクルでは 32 バイトのバースト転送が行われます。ライトスルー領域の書き込みや、キャッシュ非対象領域の読み出し/書き込みではシンクロナス DRAM に対し、バースト長 4 のバーストリード/ライトでアクセスするため、シングルリード時でも 16 バイトのデータを読み込みます。またシングルライト時でも 16 バイトのデータ転送を行います。が、不必要なデータ転送のときは、DQM<sub>n</sub> がアサートされません。

さらに、SH7751R ではシンクロナス DRAM の動作モードとして、バースト長 8 のバーストリード/バーストライトのモードもサポートしています。データのバス幅は 32 ビットであり、MCR のサイズビット SZ を必ず 11 に設定してください。MCR のバーストイネーブルビット BE は無視され、キャッシュのフィル/コピーバックサイクルでは 32 バイトのバースト転送が行われます。ライトスルー領域の書き込みや、キャッシュ非対象領域の読み出し/書き込みではシンクロナス DRAM に対し、バースト長 8 のバーストリード/ライトでアクセスするため、シングルリード時でも 32 バイトのデータを読み込みます。またシングルライト時でも 32 バイトのデータ転送を行います。が、不必要なデータ転送のときは、DQM<sub>n</sub> がアサートされません。バースト長 8 の設定時の説明は、「13.3.6 (11) バースト長切り替えについて (SH7751R のみ設定可)」を参照してください。バースト長に関しては、「13.2.10 シンクロナス DRAM モードレジスタ (SDMR)」および「13.3.5 (10) パワーオンシーケンス」を参照してください。

シンクロナス DRAM を接続するための制御信号は  $\overline{RAS}$ 、 $\overline{CASS}$ 、RD/ $\overline{WR}$ 、 $\overline{CS2}$  または  $\overline{CS3}$ 、DQM0~DQM3 および CKE 信号です。 $\overline{CS2}$  または  $\overline{CS3}$  を除く信号は各エリア共通であり、CKE を除く信号は  $\overline{CS2}$  または  $\overline{CS3}$  がアサートされたときのみに有効となり取り込まれます。したがって、複数のエリアにシンクロナス DRAM を並列に接続することができます。CKE は周波数変更時または、クロック停止、クロック供給再開時のクロックの不安定なときまたは、セルフリフレッシュを行うときネゲート (L レベルに) され、それ以外は常にアサート (H レベルに) されています。

$\overline{RAS}$ 、 $\overline{CASS}$ 、RD/ $\overline{WR}$  および特定のアドレス信号によって、シンクロナス DRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、指定バンクプリチャージ (PRE)、ロウアドレスストロブ・バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、モードレジスタ書き込み (MRS) があります。

バイトの指定は DQM0~DQM3 によって行われます。該当する DQM が L のバイトに対して読み出し/書き込みが行われます。バス幅が 32 ビットで、ビッグエンディアンモードの場合、DQM3 は 4<sub>n</sub> 番地のアクセスを、DQM0 は 4<sub>n</sub>+3 番地のアクセスを指定します。またリトルエンディアンモードの場合、DQM3 は 4<sub>n</sub>+3 番地のアクセス

を、DQM0 は 4n 番地のアクセスを指定します。

図 13.23 に 16M × 16 ビットのシンクロナス DRAM を接続する場合の例を示します。

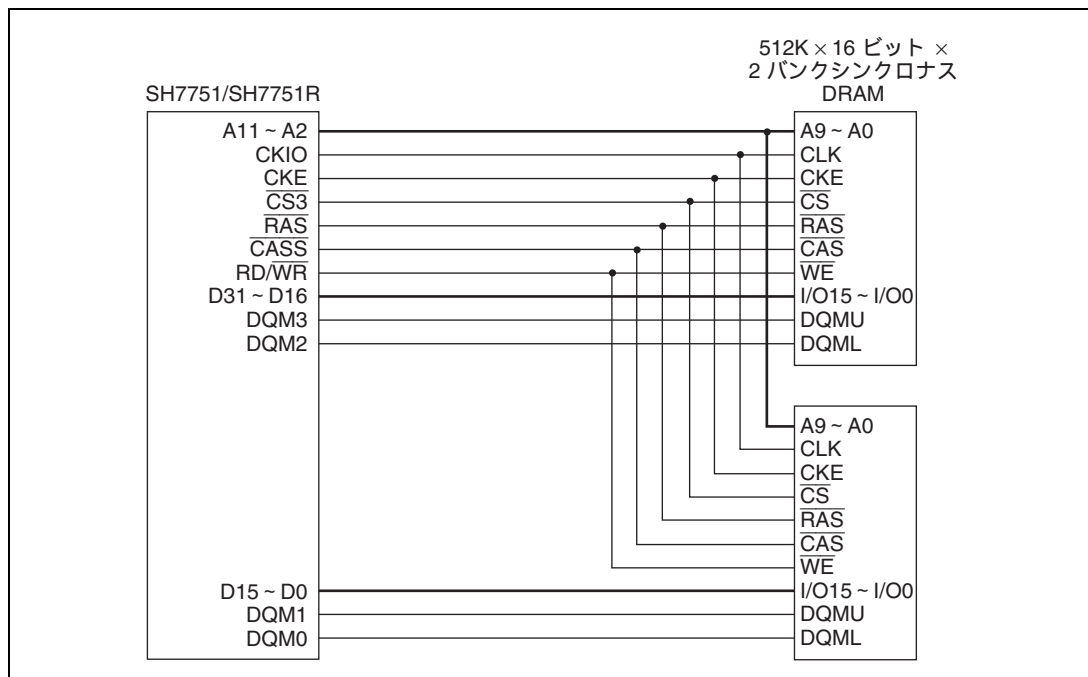


図 13.23 32 ビットデータ幅シンクロナス DRAM 接続例 (エリア 3)



## (2) アドレスマルチプレクス

MCR のアドレスマルチプレクス指定 AMXEXT、AMX2 ~ AMX0 に従って、外付けのマルチプレクス回路なしにシンクロナス DRAM に接続できるように、アドレスのマルチプレクスを行います。表 13.15 にマルチプレクスの指定ビットとアドレス端子に出力されるビットの関係を示します。その他の設定は、「付録 E. シンクロナス DRAM のアドレスマルチプレクス表」を参照してください。

アドレス端子 A25 ~ A18 と A1、A0 に出力されるアドレスは保証されません。

シンクロナス DRAM のアドレス端子の LSB である A0 は、本 LSI に接続するロングワードアドレスの指定を行います。したがって、シンクロナス DRAM の A0 を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。

表 13.15 本 LSI とシンクロナス DRAM のアドレス端子対応例  
(バス幅 32 ビット、AMX2 ~ AMX0 = 000、AMXEXT=0)

	本 LSI のアドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A13	A21	A21	A11	BANK バンクアドレスを選択
A12	A20	H/L	A10	アドレスプリチャージ設定
A11	A19	0	A9	アドレス
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

### (3) パーストリード

パーストリード時のタイミングチャートを図 13.24 に示します。以下の例では、512K×16 ビット×2 バンクのシンクロナス DRAM を 2 個接続し、データ幅 32 ビットで使用した場合を想定しており、パースト長は 4 となっています。ACTV コマンド出力を行う  $T_r$  サイクルに続いて、READ コマンドを  $T_c1$  サイクルに、さらに 4 サイクル後に READA コマンドを発行し、 $T_d1$  から  $T_d8$  のサイクルに外部コマンドクロック (CKIO) の立ち上がりでリードデータを受け取ります。 $T_{pc}$  は、シンクロナス DRAM 内部で READA コマンドに基づくオートプリチャージが完了するのを待つサイクルであり、この間は同一バンクに対して新たなアクセスコマンドの発行は行えません。本 LSI では、MCR の TPC2~TPC0 ビットの指定によって  $T_{pc}$  のサイクル数を決定し、この間シンクロナス DRAM に対するコマンド発行を行いません。

図 13.24 の例は基本サイクルを表したものです。より低速なシンクロナス DRAM を接続するため、WCR2 および MCR のビットを設定することによって、サイクルを延ばすことができます。ACTV コマンド出力サイクル  $T_r$  から READ コマンド出力サイクル  $T_c1$  までのサイクル数は、MCR の RCD1、RCD0 ビットによって指定することができます。0~3 のときそれぞれ 2~4 サイクルとなります。2 サイクル以上の場合、 $T_r$  サイクルと  $T_c$  サイクルの間にシンクロナス DRAM に対する NOP コマンド発行サイクル  $T_{rw}$  が挿入されます。READ コマンド出力サイクル  $T_c1$  から最初のリードデータ取り込みサイクル  $T_d1$  までのサイクル数は、WCR2 の A2W2~A2W0 および A3W2~A3W0 ビットによって、1 サイクルから 5 サイクルまでエリア 2、エリア 3 それぞれ独立に指定することができます。このサイクル数はシンクロナス DRAM の CAS レイテンシサイクル数に相当します。

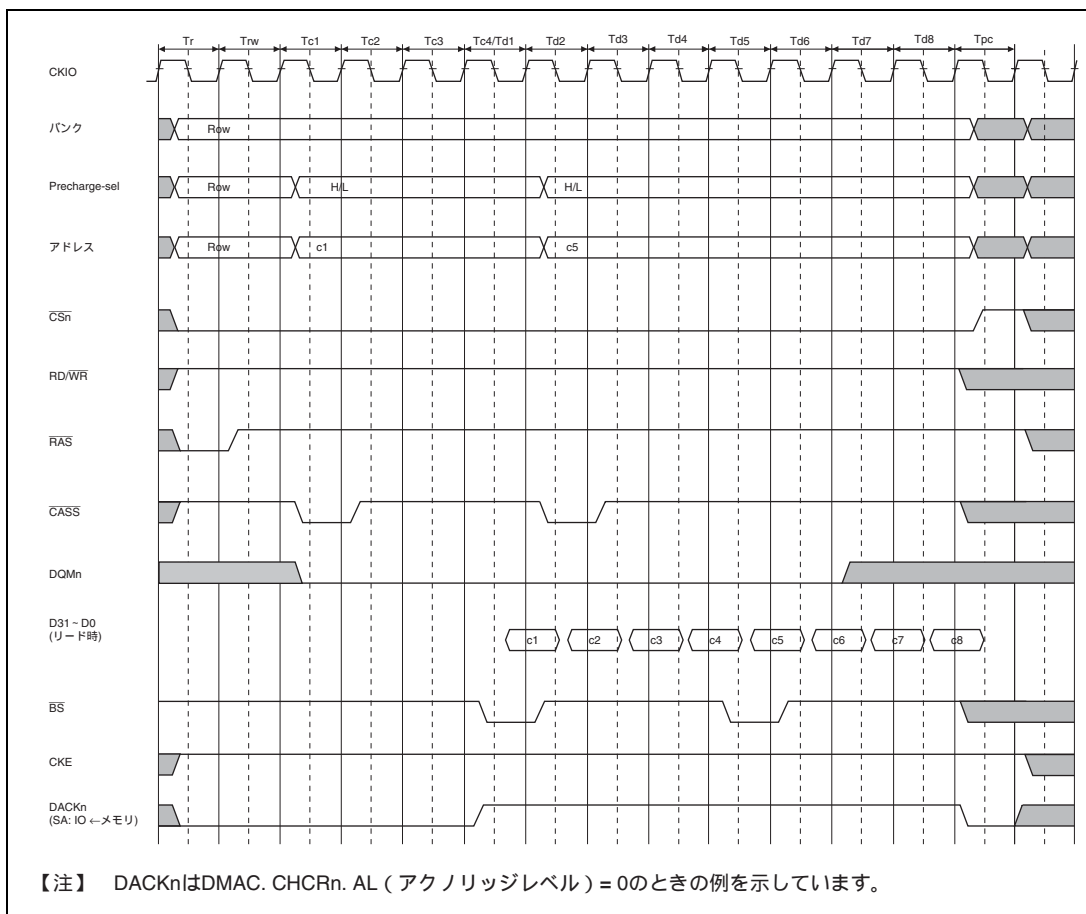


図 13.24 シンクロナス DRAM バーストリード基本タイミング

シンクロナス DRAM サイクルでは、READ もしくは READA コマンドに対応するデータ転送サイクル開始時に、 $\overline{BS}$  信号が 1 サイクルアサートされます。アクセスの順は、キャッシュミス時のフィル動作では、初めに発行される READ コマンドによって、ミスしたデータを含む 64 ビットバウンダリのデータが最初に読み込まれ、その後ミスしたデータを含む 16 バイトバウンダリのデータをラップアラウンドに読み込みます。続けて発行される READA コマンドによって、32 バイトバウンダリの残りの 16 バイトが読み込まれます。

## (4) シングルリード

本 LSI では、シンクロナス DRAM をバーストリード/バーストライトのモードに設定するため、必要なデータを受け取った後も読み出しデータの出力が続けられます。データの衝突を避けるため、Td1 で必要なデータの読み込みを行った後、Td2 から Td4 の空読みサイクルを行い、シンクロナス DRAM の動作終了を待ちます。

読み出し時のバースト転送数は 4 となります。キャッシュスルーおよびその他の DMA リードサイクルでは、Td1 から Td4 の 4 サイクルのうち Td1 サイクルでのみ  $\overline{BS}$  がアサートされ、データが取り込まれます。

空のサイクルがあると、メモリアクセス時間が増大し、プログラムの実行速度や DMA 転送速度の低下を招くので、 unnecessary キャッシュスルー領域のアクセスを避けるとともに、シンクロナス DRAM をソースに指定した DMA 転送を行う場合、データを 32 バイト境界に配置して 32 バイト単位の転送ができるようなデータ構造を採用することが重要です。

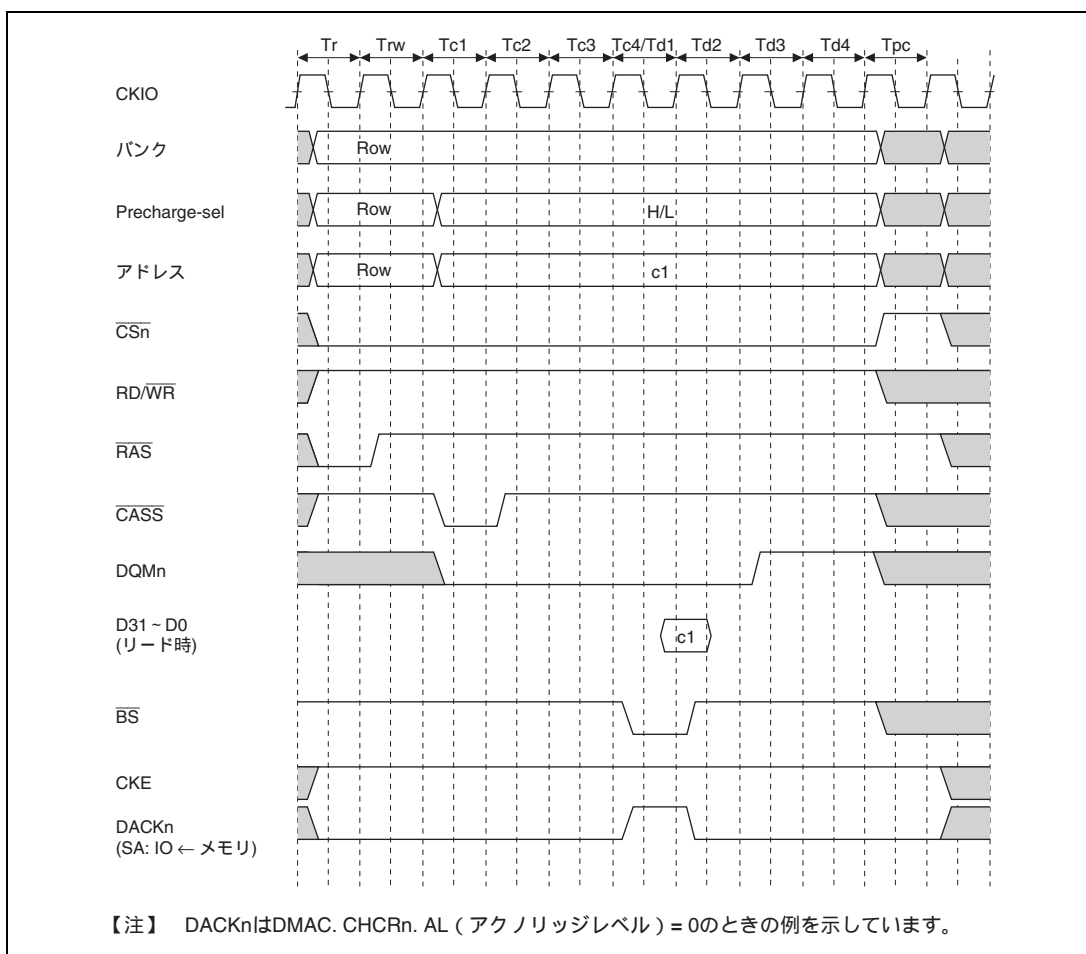


図 13.25 シンクロナス DRAM シングルリード基本タイミング

## (5) パーストライト

パーストライト時のタイミングチャートを図 13.26 に示します。本 LSI でパーストライトが発生するのは 32 バイト転送が発生した場合です。パーストライトの動作は ACTV コマンド出力を行う  $T_r$  サイクルに続いて、 $T_{c1}$  サイクルに WRIT コマンドを、さらに 4 サイクル後に WRITA コマンドを発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンドの場合、シンクロナス DRAM の内部では、ライトコマンドの完了後、当該バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。このため、リードアクセス時のプリチャージ待ちサイクル  $T_{pc}$  に加え、ライトコマンド後、プリチャージが起動されるまでの時間を待つ  $Trwl$  サイクルが加わり、この間シンクロナス DRAM に対する新たなコマンドの発行を遅らせます。 $Trwl$  サイクルのサイクル数は MCR の  $TRWL2 \sim TRWL0$  ビットによって指定可能です。16 バイト境界のデータからアクセスを開始し、32 バイトのバウンダリデータをラップアラウンドで書き込みます。

DACK は、データライトサイクルの 2 サイクル前にアサートされます。

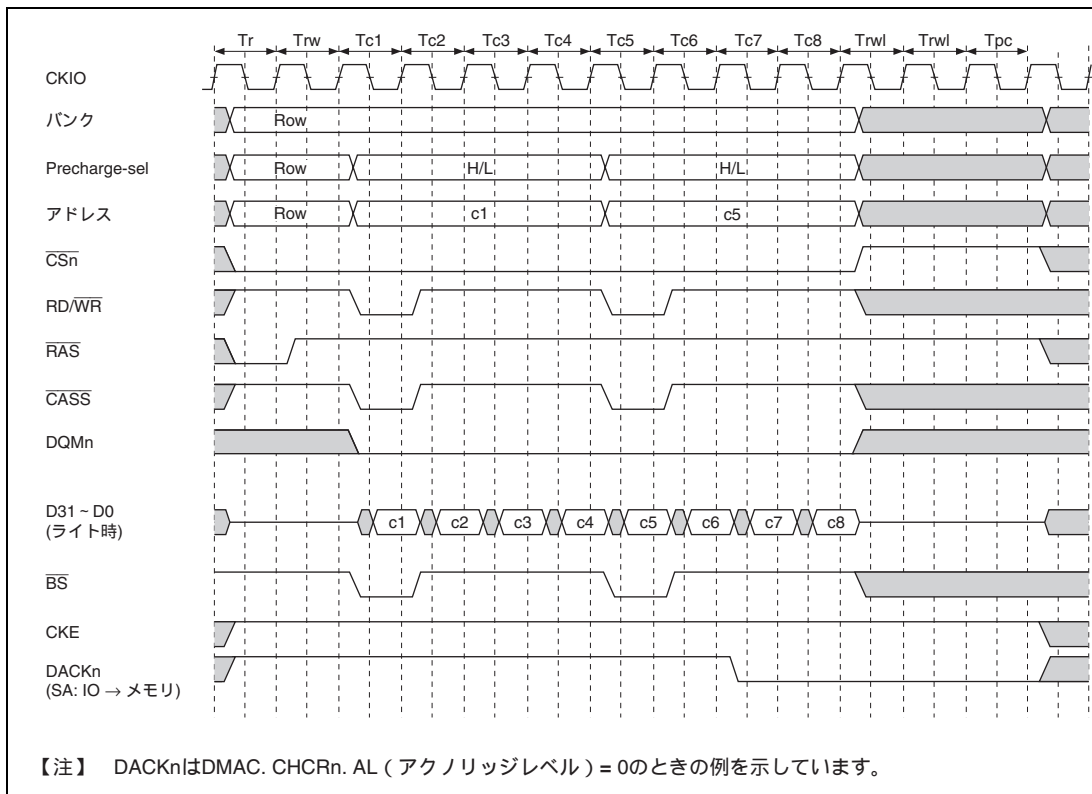


図 13.26 シンクロナス DRAM パーストライト基本タイミング

#### (6) シングルライト

ライトアクセスの基本タイミングチャートを図 13.27 に示します。シングルライトの動作は、ACTV コマンドを行う Tr サイクルに続いて、オートプリチャージを行う WRITA コマンドを Tc1 で発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトの場合、シンクロナス DRAM の内部では、ライトコマンドの完了後当該バンクのプリチャージを行うので、プリチャージ完了までシンクロナス DRAM に対するコマンド発行は行えません。

このため、リードアクセス時のプリチャージ待ちサイクル Tpc に加え、ライトコマンド後、プリチャージが起動されるまでの時間を待つ Trwl サイクルが加わり、この間シンクロナス DRAM に対する新たなコマンドの発行を遅らせます。Trwl サイクルのサイクル数は MCR の TRWL2 ~ TRWL0 ビットによって指定可能です。

DACK は、データライトサイクルの 2 サイクル前にアサートされます。

本 LSI は、シンクロナス DRAM に対してバースト長 4 のバーストリード / バーストライトをサポートしていますので、シングルライトであっても、空サイクルが発生します。

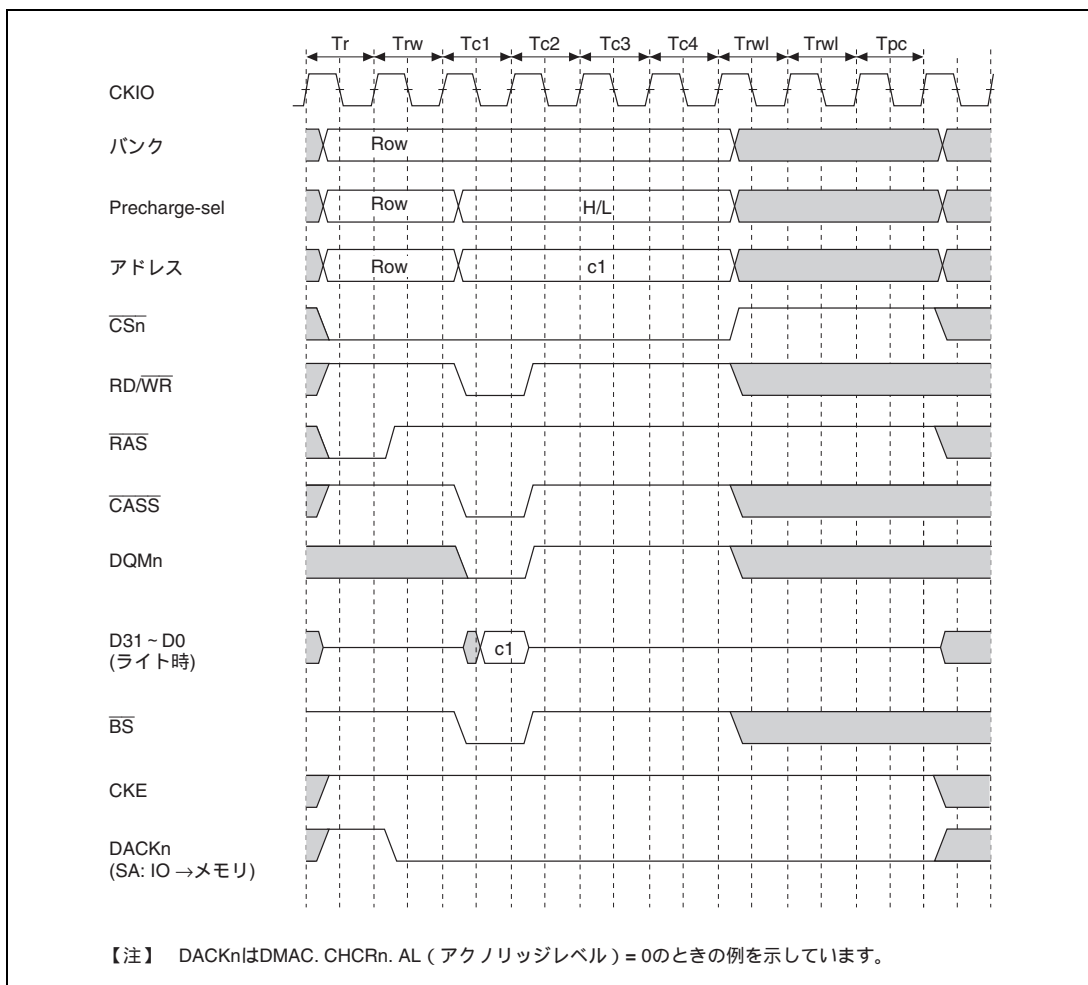


図 13.27 シンクロナス DRAM シングルライト基本タイミング

### (7) RAS ダウンモード

同一のロウアドレスに対するアクセスを高速にサポートするため、シンクロナス DRAM のバンク機能を用います。MCR の RASD ビットが 1 の場合、リード/ライトコマンドはオートプリチャージなしのコマンド (READ、WRIT) を使用してアクセスを行います。この場合、アクセスが終了してもプリチャージが行われません。同じバンクの同じロウアドレスにアクセスする場合、DRAM における RAS ダウン状態と同様に、ACTV コマンドを発行せずに、直ちに READ または WRIT コマンドを発行することができます。シンクロナス DRAM の内部は 2 つもしくは 4 つのバンクに分かれているので、それぞれのバンクで 1 つのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順にアクセスを行います。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が伸びてしまいます。

書き込みの場合、オートプリチャージを行うと、WRITA コマンド発行後  $Trwl+Tpc$  サイクルの間コマンド発行を行えません。RAS ダウンモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに  $Trwl+Tpc$  サイクルだけサイクル数を短縮することができます。PRE コマンド発行から ACTV コマンドまでのサイクル数は MCR の TPC2 ~ TPC0 ビットで決まります。

各バンクをアクティブ状態にしておける時間  $t_{RAS}$  には制限があります。プログラムの実行によってこの値を守る周期で、キャッシュにヒットせず別のロウアドレスにアクセスする保証がない場合、オートリフレッシュを行う設定にし、リフレッシュ周期を  $t_{RAS}$  の最大値以下に設定する必要があります。これにより、各バンクの最大アクティブ状態時間の制約を守ることができます。オートリフレッシュを使用しない場合には、所定時間以上各バンクがアクティブ状態にとどまらない工夫をプログラムする必要があります。

図 13.28 にオートプリチャージなしのバーストリードサイクルを、図 13.29 には同一のロウアドレスに対するバーストリードサイクルを、図 13.30 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に図 13.31 にオートプリチャージなしのライトサイクルを、図 13.32 に同一のロウアドレスに対するライトサイクルを、図 13.33 には異なるロウアドレスに対するライトサイクルを示します。

シンクロナス DRAM は読み出し時に、バイト指定を行う  $DQM_n$  信号について、2 サイクルのレイテンシがあります。このために、図 13.28 において READ コマンドを発行する場合、 $Tc$  サイクルを直ちに行うと、 $Td1$  サイクルのデータ出力に対する  $DQM_n$  信号の指定が行えません。このため CAS レイテンシを 1 に設定しないでください。

RAS ダウンモードに設定すると、エリア 3 のそれぞれのバンクに対するアクセスのみを見た場合、同一のロウアドレスに対するアクセスが続く限り図 13.28 または図 13.31 で始まり、図 13.29 または図 13.32 を繰り返します。間に別のエリアに対するアクセスがあっても影響はしません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合、これを検出した後図 13.29 または図 13.32 の代わりに図 13.30 または図 13.33 のバスサイクルを行います。RAS ダウンモードでも、リフレッシュサイクルの前またはバスアービトレーションによるバス解放の前に PALL コマンドが発行されます。



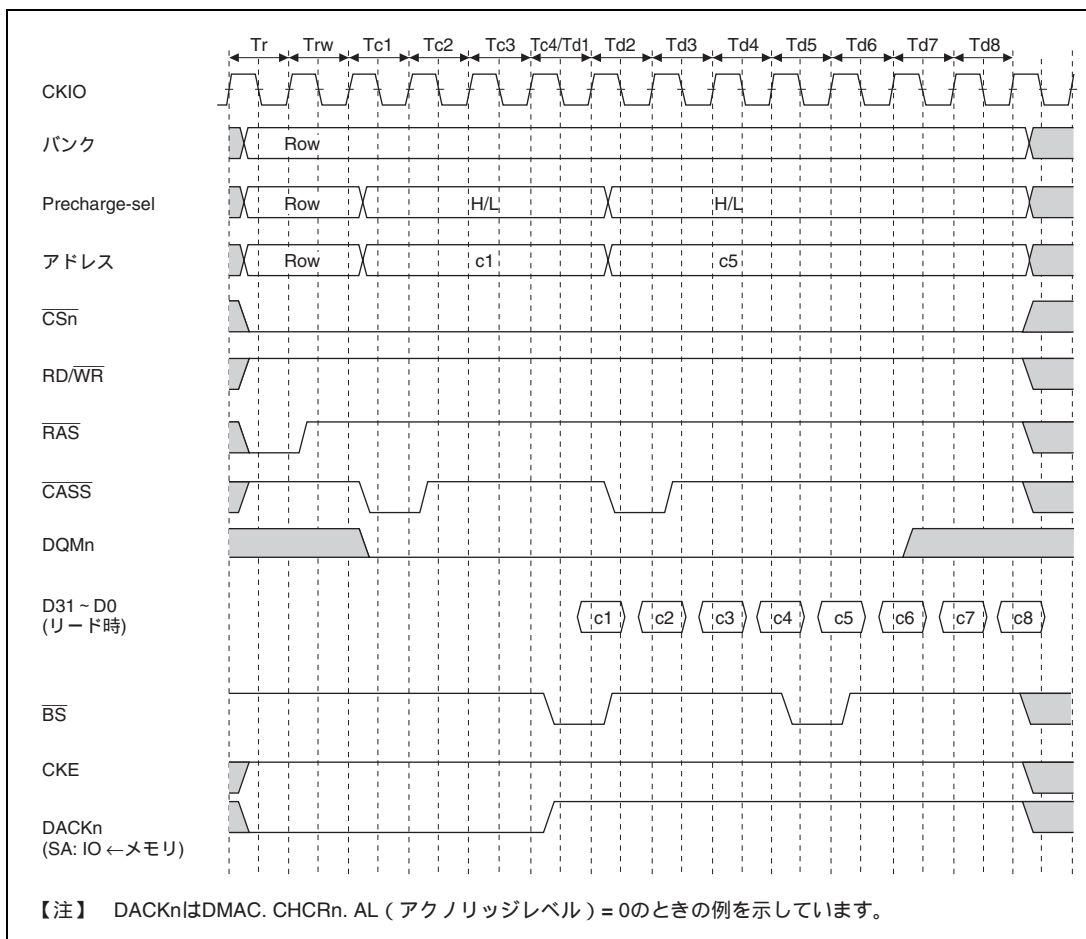


図 13.28 バーストリードタイミング

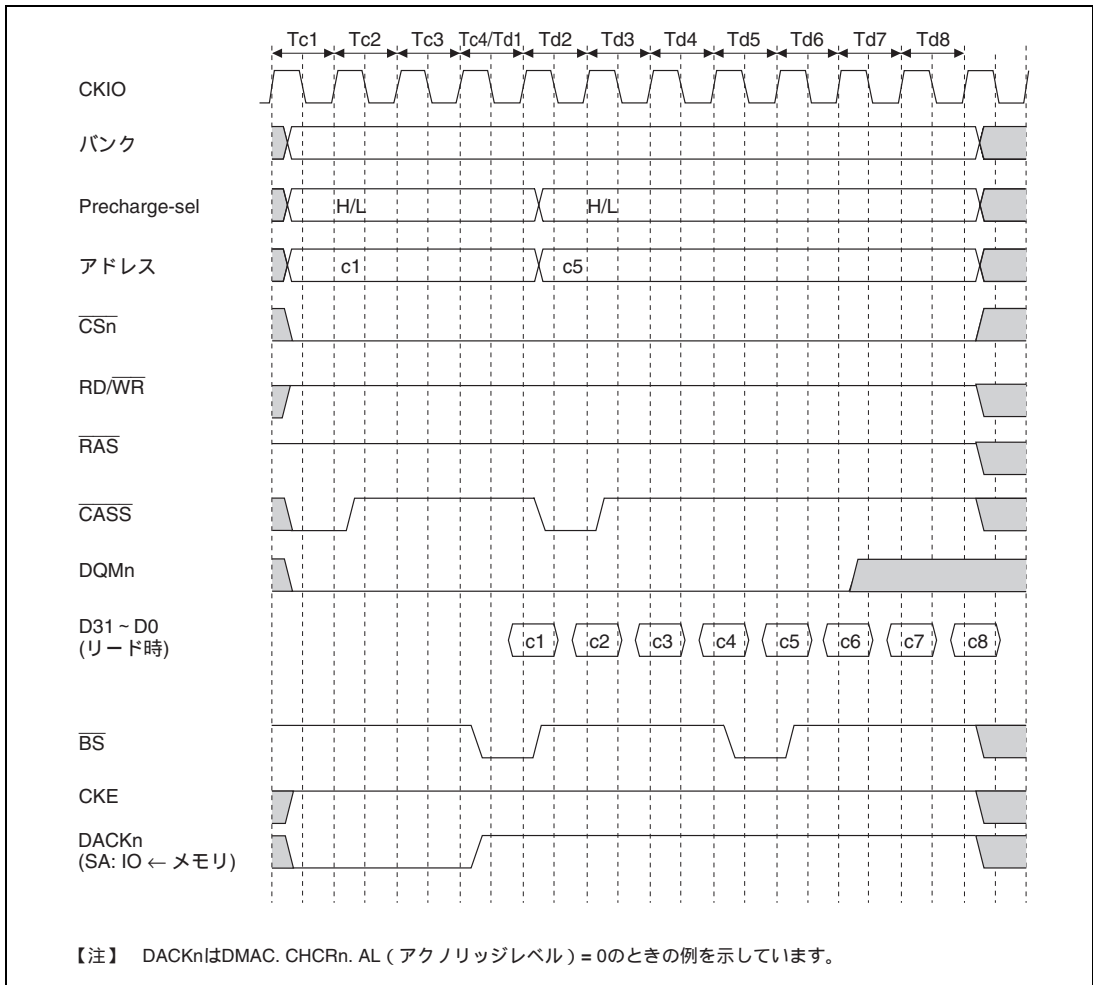


図 13.29 バーストリードタイミング (RAS ダウン、同一ロウアドレス)

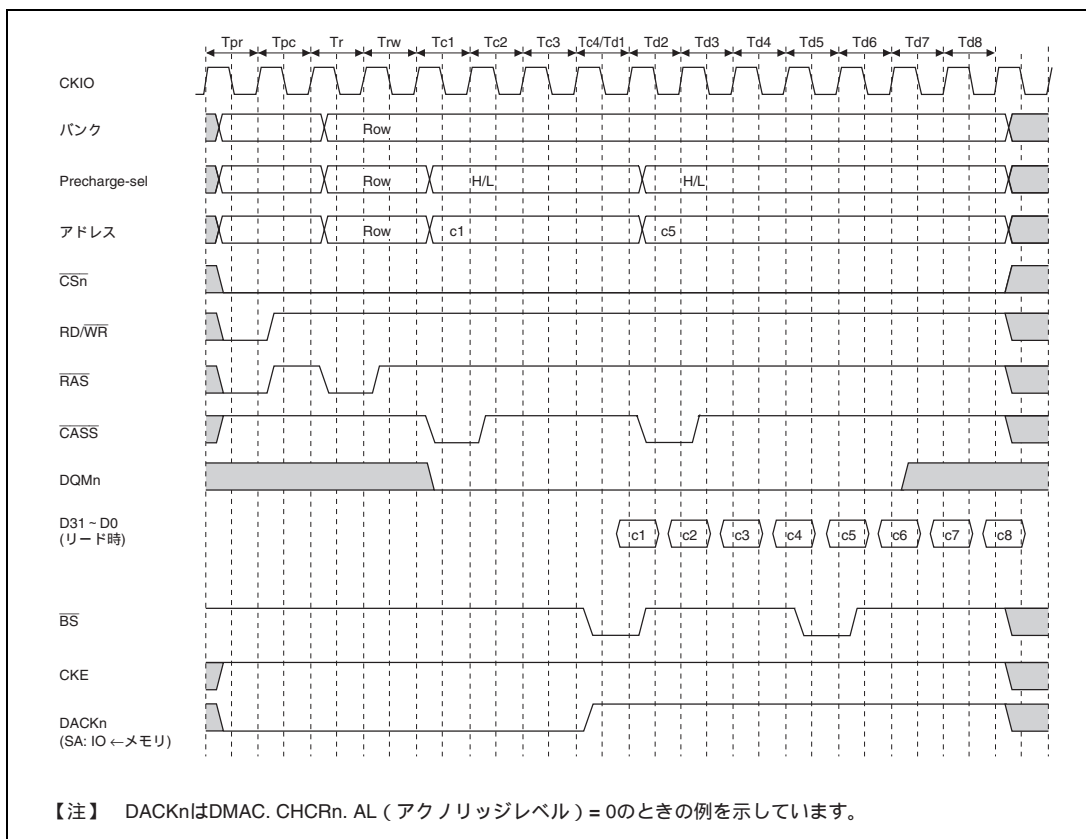


図 13.30 バーストリードタイミング (RAS ダウン、異なるロウアドレス)

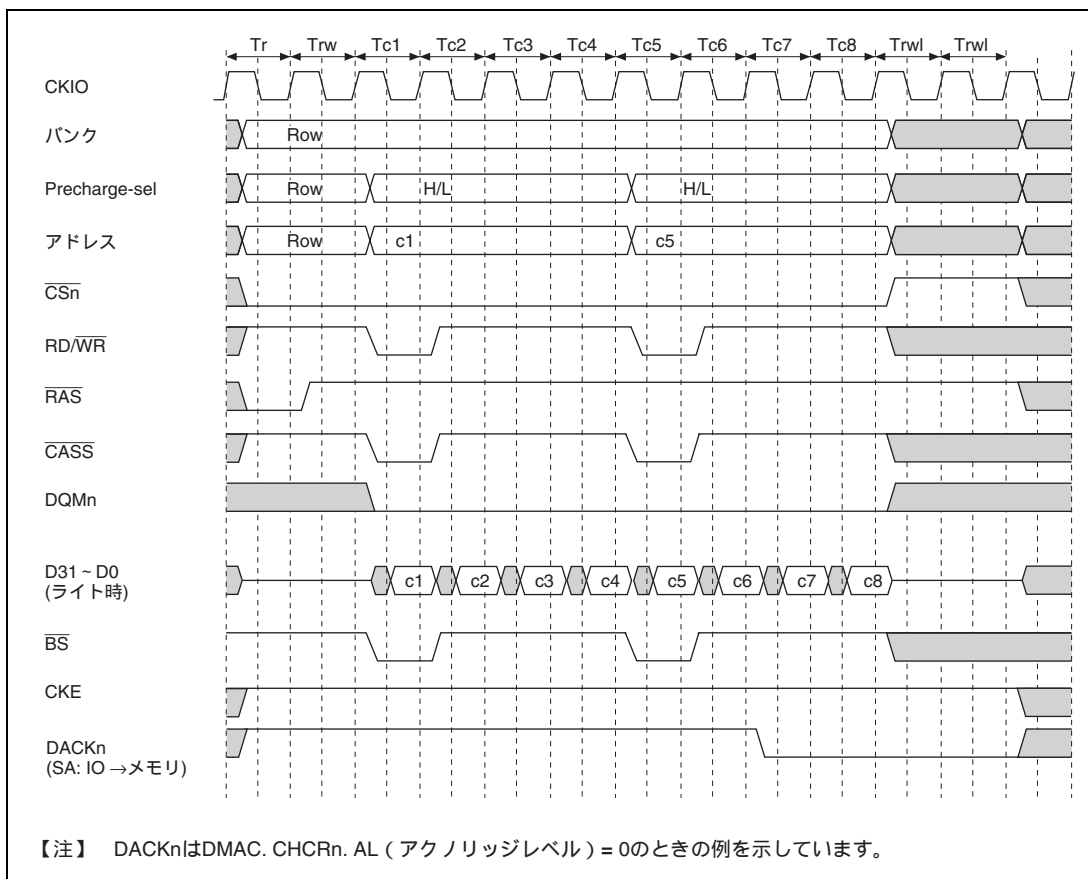


図 13.31 バーストライトタイミング

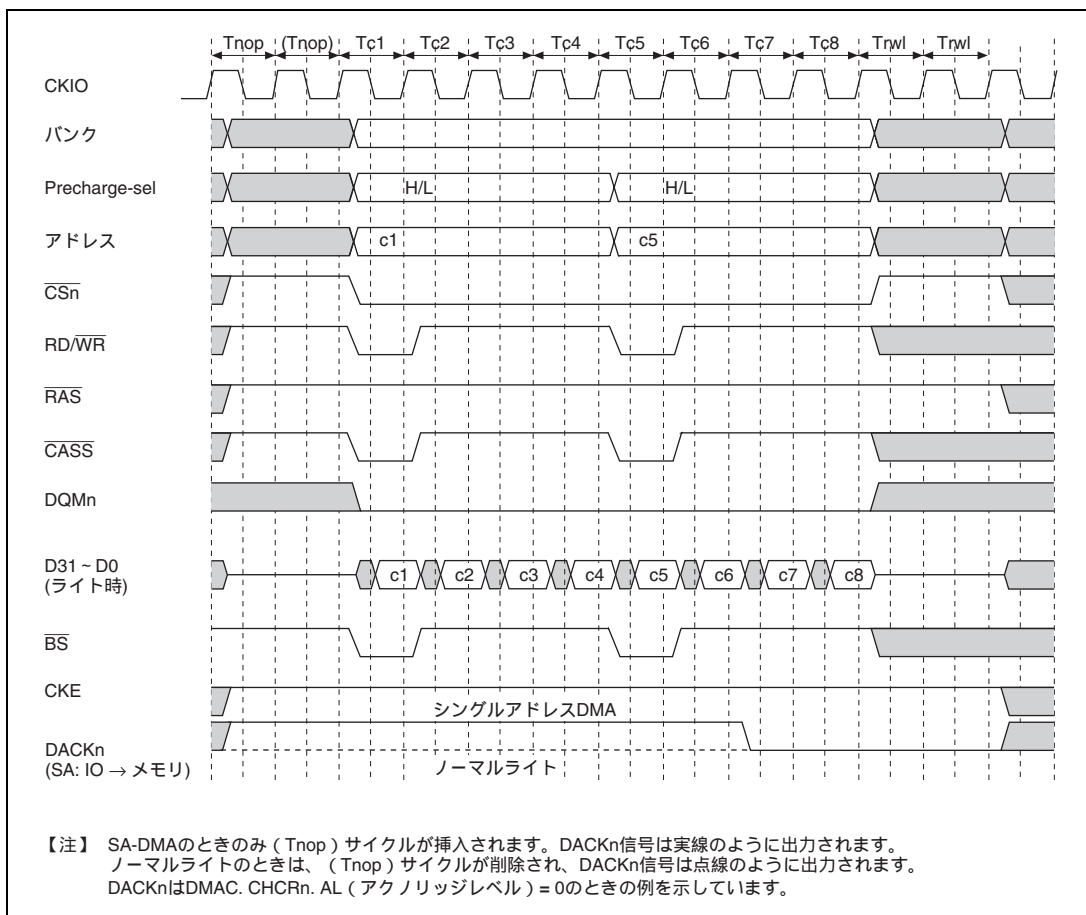


図 13.32 バーストライトタイミング (同一ロウアドレス)

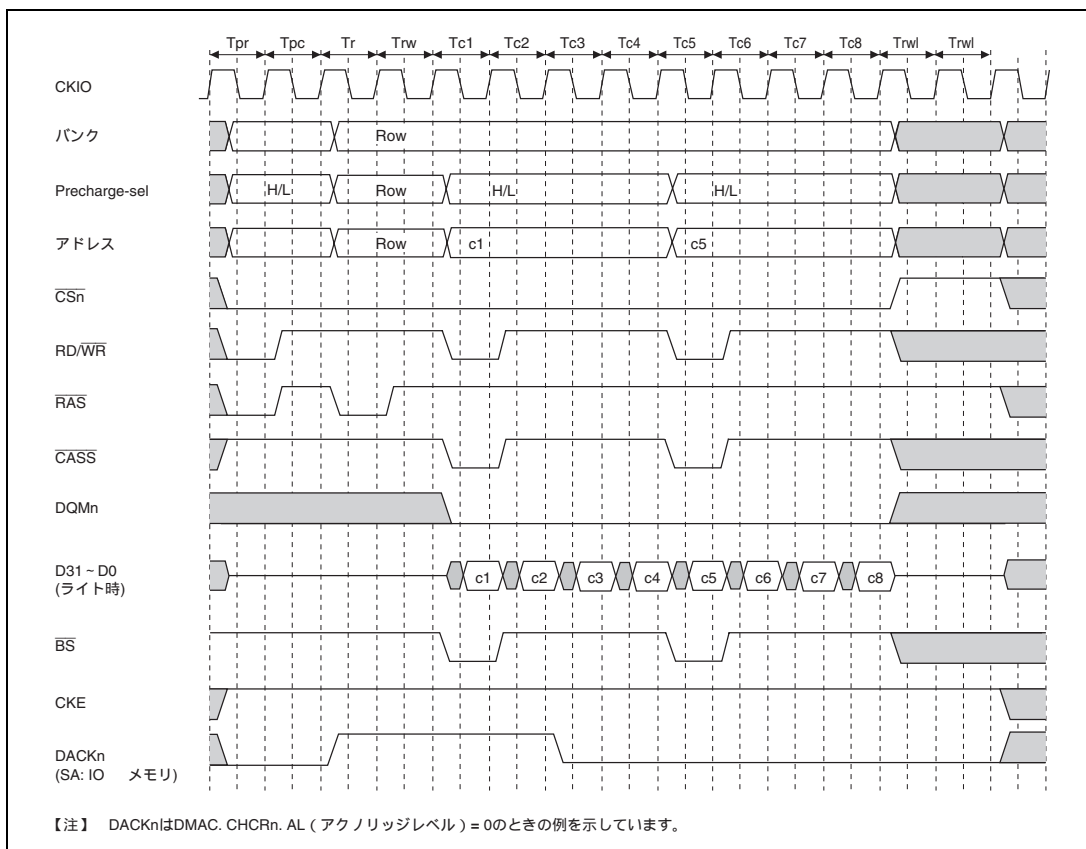


図 13.33 バーストライトタイミング (異なるロウアドレス)

#### (8) パイプラインアクセス

MCR の RASD ビットが 1 の場合、シンクロナス DRAM に対するアクセスをさらに高速にサポートするため、CPU によるアクセスと DMAC によるアクセスとの間、または DMAC によるアクセスの連続時にパイプラインアクセスを行います。シンクロナス DRAM の内部は 2 つもしくは 4 つのバンクに分かれているので、1 つのバンクに READ または WRIT コマンドを発行した後、CAS レイテンシサイクルやデータ取り込みサイクル中、もしくはデータ書き込みサイクル中に PRE、ACTV 等のコマンドが発行でき、アクセスサイクルを短縮することができます。

リードアクセスに続くリードアクセスが同一ロウアドレスであれば READ コマンドの発行後、データ取り込みサイクルの終了前に続けて READ コマンドを発行し、データバス上で読み込みデータが連続します。異なるロウアドレスに対するアクセスでかつ異なるバンクの場合には、PRE コマンドもしくは ACTV コマンドが、CAS レイテンシサイクルもしくはデータ取り込みサイクル中に発行できます。同一バンクで異なるロウアドレスに対するアクセス要求が続いた場合には、最終データ取り込みサイクルの 1 つ前のサイクルまで PRE コマンドは発行できません。リードアクセスの後にライトサイクルが続く場合にはバンク、ロウアドレスによって PRE、ACTV コマンドの発行はできませんが、WRIT コマンドと同時にライトデータが出力されますのでデータバス上で自動的に 1~2 サイクルの空きサイクルが現れるように PRE、ACTV、WRIT コマンドを発行します。ライトアクセス後のリードアクセス、ライトアクセス後のライトアクセスも同様に PRE、ACTV、READ、WRIT コマンドを前のアクセスのデータ書き込みサイクル中に発行しますが、同一バンクで異なるロウアドレスの場合には PRE を発行できないので、最終データ書き込みサイクル終了後、MCR の TRWL で指定した Trwl サイクル後に PRE コマンドを発行します。

図 13.34 にバーストリードサイクル後の異なるバンク、異なるロウアドレスに対するバーストリードサイクルを示します。

パイプラインアクセスはエリア 3 に対するアクセスが続く限り有効であり、間に別のエリアに対するアクセスがあるとパイプラインアクセスは中断されます。またリフレッシュサイクルまたはバスアービトレーションによるバス解放の場合もパイプラインアクセスは中断されます。パイプラインアクセスの可能な場合を表 13.16 に示します。表中 DMAC dual は DMAC のデュアルアドレスモードによる転送、DMAC single は DMAC のシングルアドレスモードによる転送を示します。

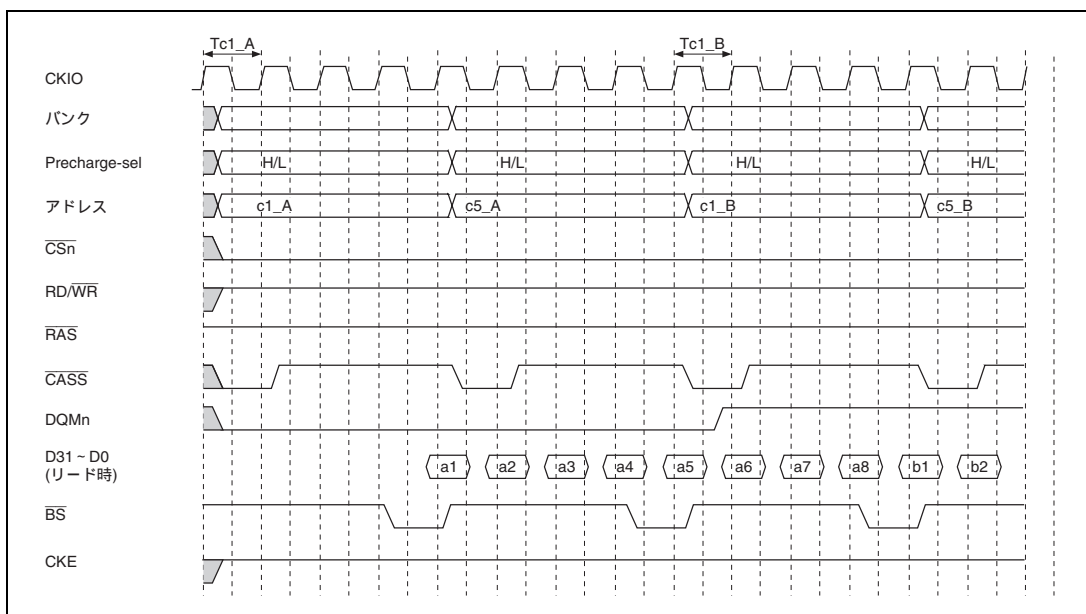


図 13.34 バーストリードサイクル後の異なるバンク、異なるロウアドレスに対するバーストリードサイクル

表 13.16 パイプラインアクセスが可能なサイクル一覧

前アクセス		後アクセス					
		CPU		DMAC dual		DMAC single	
		リード	ライト	リード	ライト	リード	ライト
CPU	リード	x	x		x		
	ライト	x	x		x		
DMAC dual	リード	x	x	x	x	x	x
	ライト				x		
DMAC single	リード				x		
	ライト				x		

: パイプラインアクセス可能

x : パイプラインアクセス不可能



## (9) リフレッシュ

バスステートコントローラはシンクロナス DRAM のリフレッシュを制御する機能を備えています。MCR の RMODE ビットを 0 に、RFSH ビットを 1 にセットすることによって、オートリフレッシュを行わせることができます。また、長時間シンクロナス DRAM にアクセスしないときには、RMODE ビットと RFSH ビットをともに 1 にすることによって、データ保持のための消費電力が少ないセルフリフレッシュモードを起動させることができます。

## (a) オートリフレッシュ

RTCSR の CKS2 ~ CKS0 ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔でリフレッシュが行われます。使用するシンクロナス DRAM のリフレッシュ間隔規定を満たすように、RTCOR と CKS2 ~ CKS0 ビットの値を設定してください。最初に RTCOR、RTCNT と MCR の RMODE ビットおよび RFSH ビットの設定を行い、最後に CKS2 ~ CKS0 の設定を行ってください。CKS2 ~ CKS0 ビットによってクロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、オートリフレッシュが行われます。同時に RTCNT は 0 クリアされ、カウントアップが再開されます。

図 13.36 にオートリフレッシュサイクルのタイミングを示します。

まず、REF コマンドを TR<sub>r</sub> サイクルに発行します。TR<sub>r</sub> サイクル後、MCR の TRAS2 ~ TRAS0 ビットで指定されるサイクル数 + MCR の TRC2 ~ TRC0 ビットで指定されるサイクル数の間、新たなコマンドの出力は行いません。シンクロナス DRAM のリフレッシュサイクル時間の規定 (アクティブ・アクティブコマンド遅延時間) を満たすように TRAS2 ~ TRAS0、および TRC2 ~ TRC0 ビットを設定する必要があります。

オートリフレッシュは、通常動作時、スリープモード時およびマニュアルリセット時に行われます。また、エリア 2、3 がともにシンクロナス DRAM に設定されている場合、エリア 3 に続きエリア 2 のオートリフレッシュが行われます。

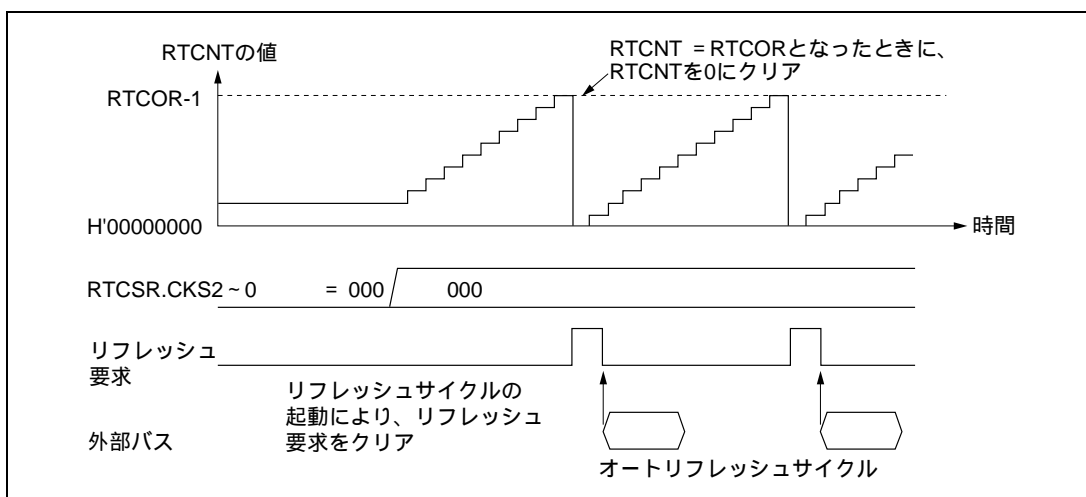


図 13.35 オートリフレッシュの動作

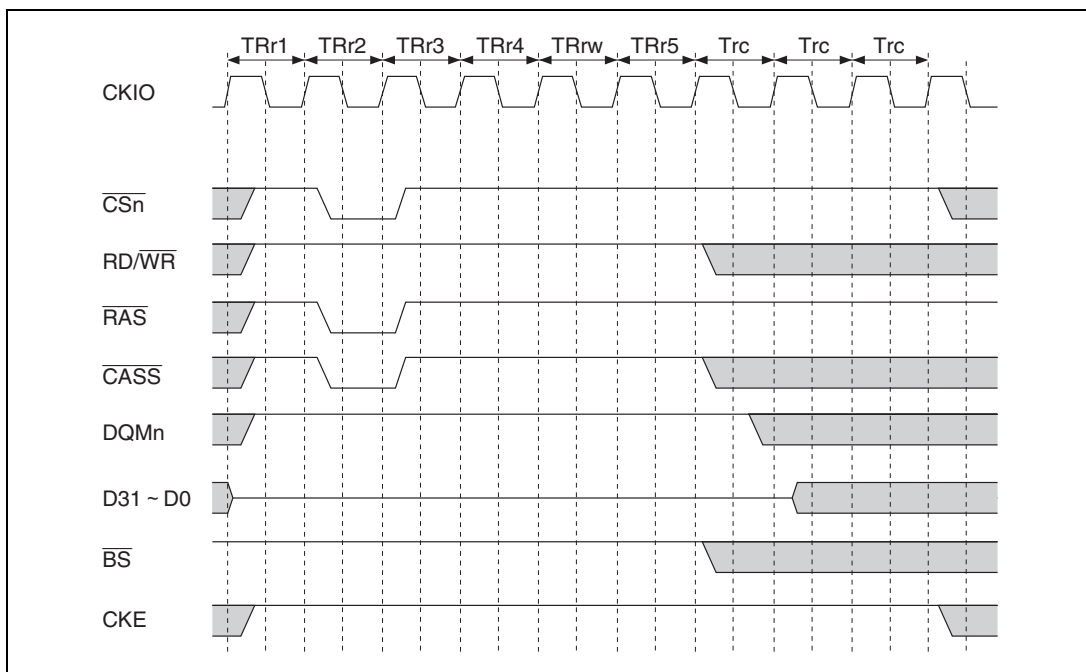


図 13.36 シンクロナス DRAM オートリフレッシュタイミング

## (b) セルフリフレッシュ

セルフリフレッシュのモードはシンクロナス DRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。RMODE ビットと RFSH ビットをともに 1 にすることによって起動します。CKE 信号が L レベルの間セルフリフレッシュ状態となっています。セルフリフレッシュの状態の間は、シンクロナス DRAM にアクセスすることができません。セルフリフレッシュの解除は RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、MCR の TRC2~TRC0 ビットで指定されるサイクル数の間はコマンドの発行が禁止されます。セルフリフレッシュのタイミングを図 13.37 に示します。セルフリフレッシュ解除、データ保持が正しく行われるように、また、オートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合、パワーオンリセット以外でスタンバイモードを脱出する場合、セルフリフレッシュ解除時に RFSH = 1、RMODE = 0 の設定にすればオートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、この時間を考慮して RTCNT の初期値の設定を行ってください。RTCNT の値を RTCOR の値 - 1 に設定すると直ちにリフレッシュを開始することができます。

セルフリフレッシュに設定した後、本 LSI のスタンバイ機能を使ってチップスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、パワーオンリセット以外でスタンバイモードから復帰する場合には復帰後もセルフリフレッシュ状態が保持されます。

パワーオンリセットの場合には、バスステートコントローラのレジスタが初期化されるため、セルフリフレッシュ状態が解除されます。

セルフリフレッシュは、スリープモード時、スタンバイモード時およびマニュアルリセットでも継続されます。

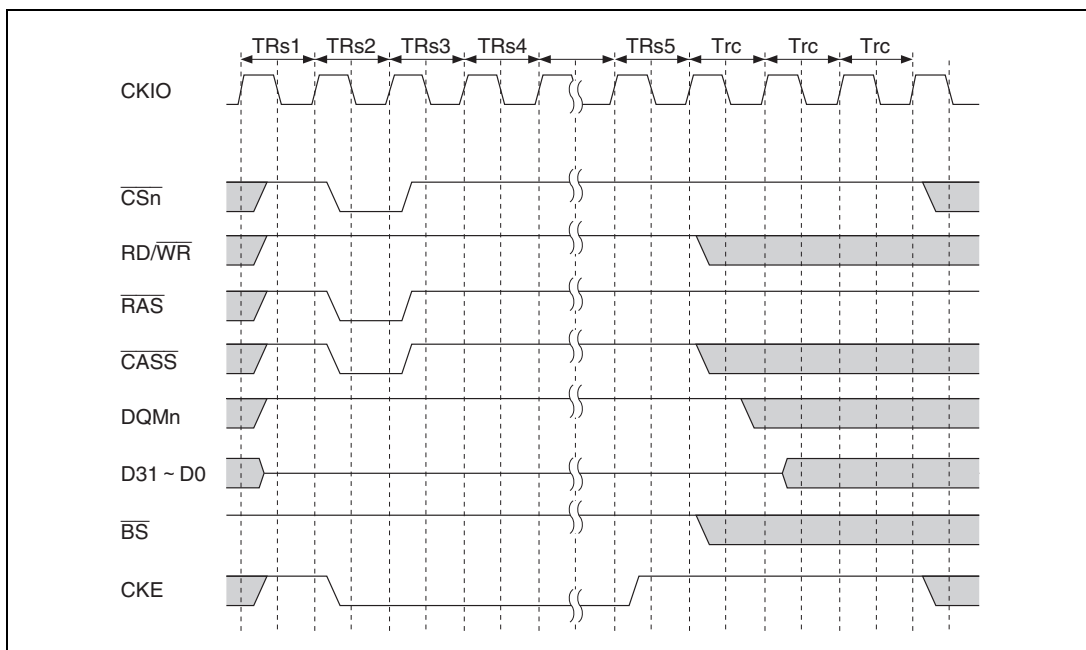


図 13.37 シンクロナス DRAM セルフリフレッシュタイミング

## (c) リフレッシュ要求とバスサイクル要求の関係

バスサイクル実行中にリフレッシュ要求が生じた場合、リフレッシュの実行はバスサイクルの完了まで待たされます。データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、例えば 8 ビットバス幅のメモリにロングワードアクセスを行う場合や、キャッシュフィルやライトバックなどの 32 バイト転送の途中では、リフレッシュ動作は待たされます。また、TAS 命令実行中のリードサイクルとライトサイクルの間や、DMAC のデュアルアドレス転送実行時のリードサイクルとライトサイクルの間も、リフレッシュ動作は待たされます。バスアービトラージ機能でバスを解放しているときにリフレッシュ要求が起きた場合、バスを獲得するまでリフレッシュの実行は待たされます。リフレッシュの実行を待たされている状態で RTCNT と RTCOR の一致が起こり、新たなリフレッシュ要求が生じた場合には、前のリフレッシュ要求は消滅してしまいます。リフレッシュを正常に行うためには、リフレッシュ間隔よりも長いバスサイクルやバス権の占有が起こらないよう注意が必要です。なお、リフレッシュ要求が発生すると  $\overline{\text{BACK}}$  端子が H レベルにネゲートされます。このため、バス権を要求する本 LSI 以外のバスマスタやバス調停回路で、 $\overline{\text{BACK}}$  端子を監視し、バス権を本 LSI に戻すことにより正常なリフレッシュが行えます。

## (10) パワーオンシーケンス

シンクロナス DRAM を使用するためには、パワーオン後、まずモードの設定を行う必要があります。シンクロナス DRAM の初期化を正しく行うためには、まず最初にバスステートコントローラのレジスタを設定した後、シンクロナス DRAM のモードレジスタに対する書き込みを行わなければなりません。シンクロナス DRAM のモードレジスタの設定は、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{RD}}/\overline{\text{WR}}$  信号の組み合わせで、その時点のアドレス信号の値が取り込まれます。バスステートコントローラは、設定したい値を X とすると、エリア 2 のシンクロナス DRAM に対しては H'FF900000 + X 番地に、またエリア 3 のシンクロナス DRAM に対しては H'FF940000 + X に書き込みを行うことによって、値 X がシンクロナス DRAM のモードレジスタに書き込まれるように動作します。この際データは無視されますが、モードの書き込みはバイトサイズで行います。本 LSI でサポートしているバーストリード/バーストライト、CAS レイテンシ 1~3、ラップタイプ=シーケンシャル、バースト長 4 を設定するには、以下のアドレスにバイトサイズで任意のデータを書き込みます。

バス幅	バースト長	CAS レイテンシ	エリア 2	エリア 3
32	4	1	H'FF900048	H'FF940048
		2	H'FF900088	H'FF940088
		3	H'FF9000C8	H'FF9400C8
32	8*	1	H'FF90004C	H'FF94004C
		2	H'FF90008C	H'FF94008C
		3	H'FF9000CC	H'FF9400CC

【注】 \* SH7751R のみ

MCR.MRSET に設定された値によって、全バンクプリチャージコマンドが発行されるか、モードレジスタ設定コマンドが発行されるかが、選択されます。全バンクプリチャージのタイミングを図 13.38 (1) に、またモードレジスタ設定タイミングを図 13.38 (2) に示します。

モードレジスタの設定に先立って、シンクロナス DRAM の要求する電源投入後 200  $\mu$ s のアイドル時間 (メモリーメーカーによって異なる) を保証しなければなりません。リセット信号のパルス幅がこのアイドル時間より長い

場合には、直ちに全バンクプリチャージの設定を行っても問題はありません。

まず、MCR.MRSET = 0 の状態で H'FF900000 + X もしくは H'FF940000 + X 番地への書き込みを行うことによって全バンクプリチャージコマンド (PALL) が TRp1 サイクルに発行されます。その後、ダミーのオートリフレッシュサイクルをメーカーの規定する回数 (通常 8 回) 以上実行する必要があります。これはオートリフレッシュの設定を行った後、種々の初期化を行っているうちに自然に実現されますが、より確実にを行うためには、このダミーサイクルを実行する間だけ RTCOR レジスタの値を変更して、リフレッシュ要求の発生する間隔を短かく設定しておく方法があります。単なるリードまたはライトアクセスではオートリフレッシュに使用するシンクロナス DRAM 内部のアドレスカウンタが初期化されないため、必ずオートリフレッシュサイクルでなければなりません。規定回数以上のオートリフレッシュが実行された後、MCR.MRSET = 1 に設定し、H'FF900000 + X もしくは H'FF940000 + X 番地への書き込みを行うことによって、TMw1 サイクルにモードレジスタ書き込みコマンドが発行されます。

シンクロナス DRAM のモードレジスタの設定はパワーオンリセット後、シンクロナス DRAM アクセス前に一度だけ実行し、設定した後は変更しないでください。

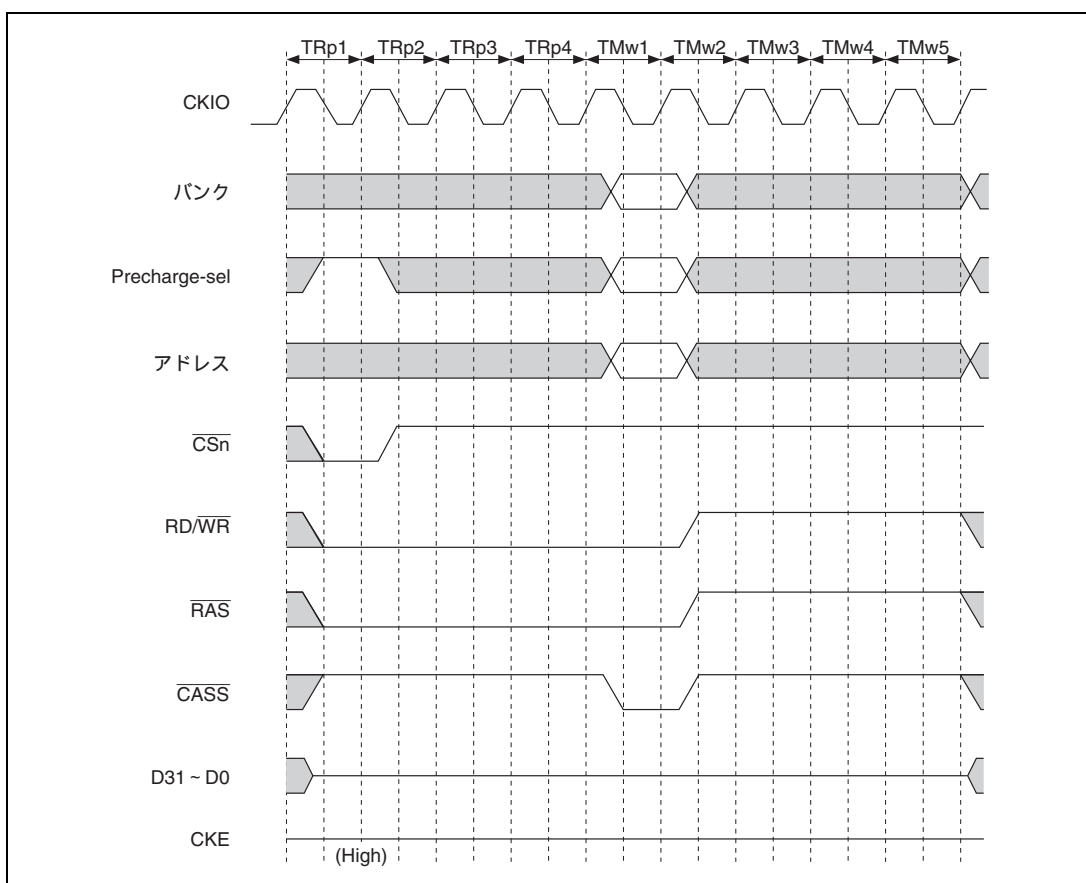


図 13.38 (1) シンクロナス DRAM モード書き込みタイミング (PALL)

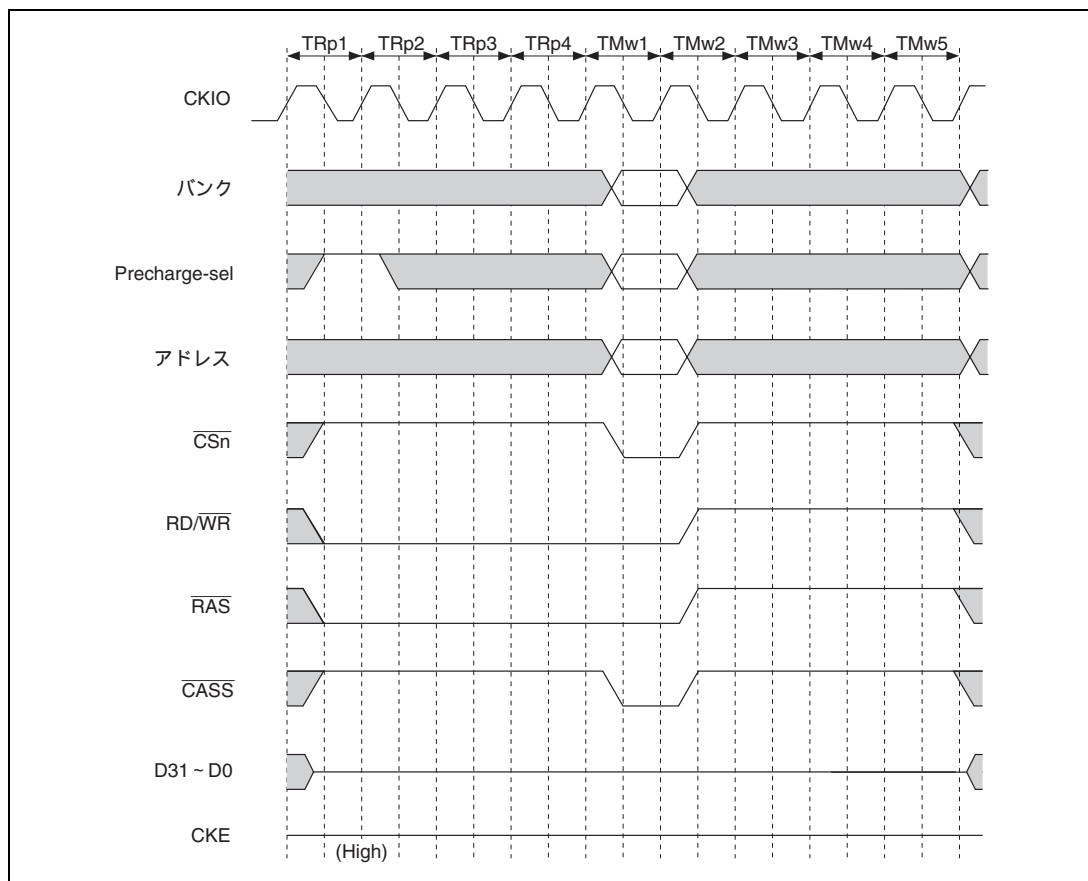


図 13.38 (2) シンクロナス DRAM モード書き込みタイミング (モードレジスタセット)

(11) バースト長切り替えについて (SH7751R のみ設定可)

SH7751R では、メモリバス幅 32 ビットでシンクロナス DRAM を接続したとき、バースト長を 4 または 8 に切り替えることができます。バースト長の切り替えは BCR3 レジスタの SDBL で設定します。詳細はレジスタの説明を参照してください。

(a) バーストリード

バーストリード時のタイミングチャートを図 13.39 に示します。以下の例では 512K x 16 ビット x 2 バンクのシンクロナス DRAM を 2 個接続し、データ幅 32 ビットで使用した場合を想定しており、バースト長は 8 となっています。ACTV コマンド出力を行う  $T_r$  サイクルに続いて、READA コマンドを  $T_{c1}$  サイクルに発行し、 $T_{d1}$  から  $T_{d8}$  のサイクルに外部コマンドクロック (CKIO) の立ち上がりでリードデータを受け取ります。 $T_{pc}$  はシンクロナス DRAM 内部で READA コマンドに基づくオートプリチャージが完了するのを待つサイクルであり、この間は同一バンクに対して新たなアクセスコマンドの発行は行えません。本 LSI では MCR の TPC2 ~ TPC0 ビットの指定によって  $T_{pc}$  のサイクル数を決定し、この間シンクロナス DRAM に対するコマンド発行を行いません。

図 13.39 の例は基本サイクルを表したものです。より低速なシンクロナス DRAM を接続するため、WCR2 および MCR のビットを設定することによってサイクルを延ばすことができます。ACTV コマンド出力サイクル  $T_r$  から READA コマンド出力サイクル  $T_{c1}$  までのサイクル数は、MCR の RCD1、RCD0 ビットによって指定することができます。0 ~ 3 のときそれぞれ 2 ~ 4 サイクルとなります。2 サイクル以上の場合、 $T_r$  サイクルと  $T_c$  サイクルの間にシンクロナス DRAM に対する NOP コマンド発行サイクル  $T_{rw}$  が挿入されます。READA コマンド出力サイクル  $T_{c1}$  から最初のリードデータ取り込みサイクル  $T_{d1}$  までのサイクル数は、WCR2 の A2W2 ~ A2W0 および A3W2 ~ A3W0 ビットによって、1 サイクルから 5 サイクルまでエリア 2、エリア 3 それぞれ独立に指定することができます。

このサイクル数はシンクロナス DRAM の CAS レイテンシサイクル数に相当します。

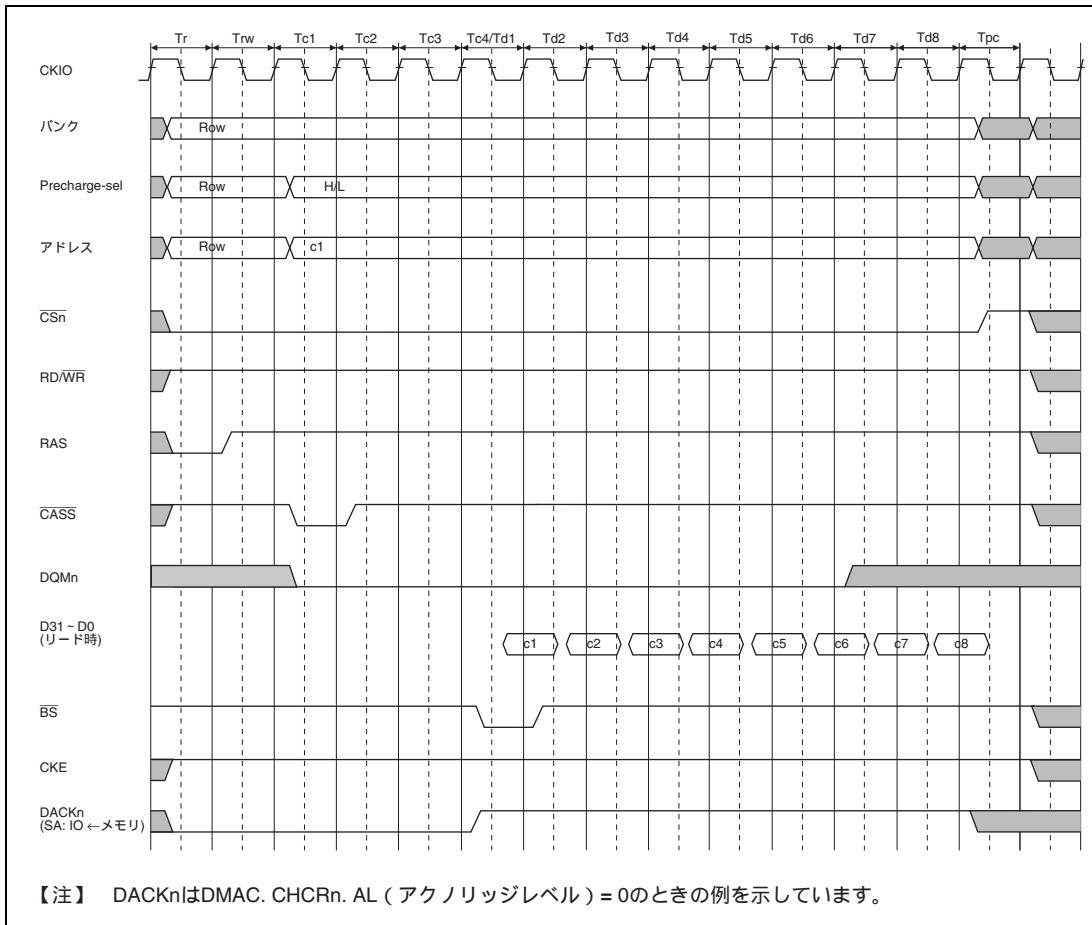


図 13.39 シンクロナス DRAM バーストリード基本タイミング (バースト長 8)

シンクロナス DRAM サイクルでは、バスサイクル開始時に、 $\overline{BS}$  信号が 1 サイクルアサートされます。アクセスの順は、キャッシュミス時のフィル動作では、ミスしたデータを含む 32 ビットバウンダリのデータが最初に読み込まれ、その後ミスしたデータを含む 32 バイトバウンダリのデータをラップアラウンドに読み込みます。



## (b) パーストライト

パースト長 8 のときのパーストライト時のタイミングチャートを図 13.40 に示します。本 LSI でパーストライトが発生するのは、キャッシュのコピーバック、または DMAC による 32 バイト転送が発生した場合です。パーストライトの動作は、ACTV コマンド出力を行う  $T_r$  サイクルに続いて、オートプリチャージを行う WRITA コマンドを  $T_{c1}$  サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンドの場合、シンクロナス DRAM の内部では、ライトコマンドの完了後、該当バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。このため、リードアクセス時のプリチャージ待ちサイクル  $T_{pc}$  に加え、ライトコマンド後、プリチャージが起動されるまでの時間を待つ  $T_{rwl}$  サイクルが加わり、この間同一のバンクに対する新たなコマンドの発行を遅らせます。 $T_{rwl}$  サイクルのサイクル数は MCR の TRWL2 ~ TRWL0 ビットによって指定可能です。32 バイトのバウンダリデータをラップアラウンドで書き込みます。

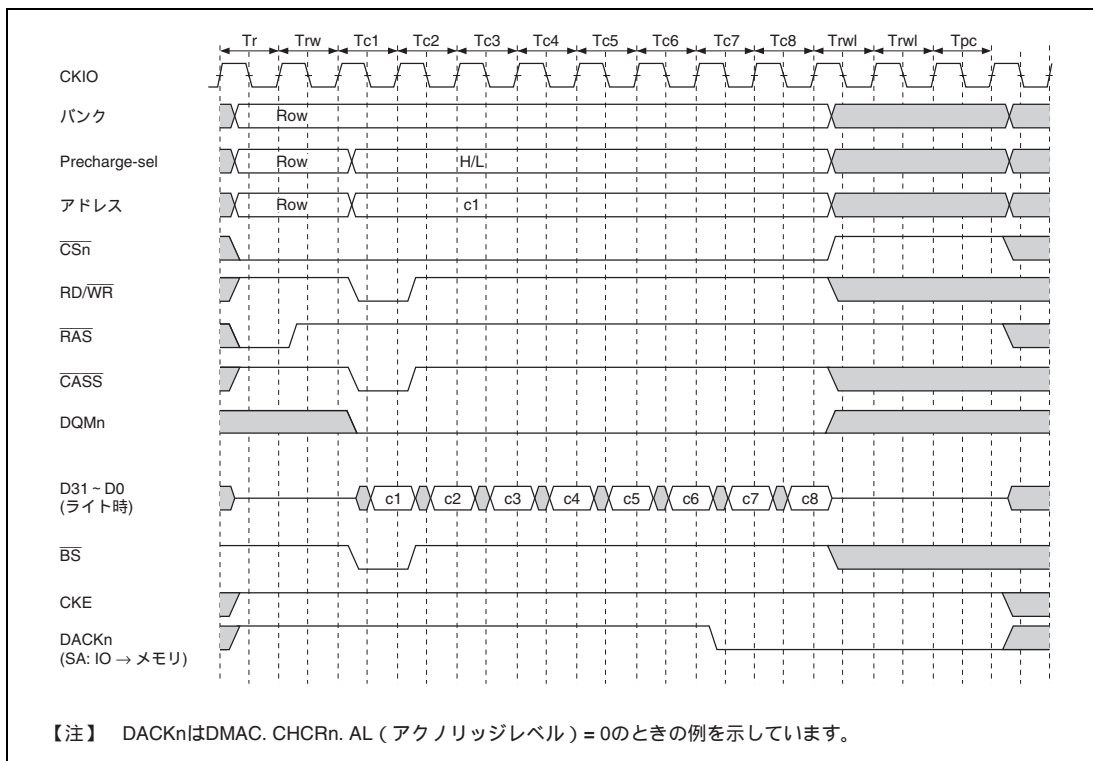


図 13.40 シンクロナス DRAM パーストライト基本タイミング

### 13.3.6 バースト ROM インタフェース

BCR1 の A0BST2 ~ A0BST0、A5BST2 ~ A5BST0、A6BST2 ~ A6BST0 ビットを各々 0 以外に設定することにより、エリア 0、エリア 5、エリア 6 にバースト ROM の接続が可能となります。バースト ROM インタフェースは、バーストアクセス機能を有する ROM に高速にアクセスするためのものです。バースト ROM に対するバーストアクセスのタイミングを図 13.41 に示します。ウェイトサイクルは 0 サイクルの設定です。基本的には SRAM インタフェースと同じようなアクセスを行います。最初のサイクルを終了する際、アドレスのみを切り替えて、次のアクセスを行います。8 ビット幅の ROM を接続する場合には A0BST2 ~ A0BST0、A5BST2 ~ A5BST0、A6BST2 ~ A6BST0 ビットによって連続アクセスの回数を 4 回、8 回、16 回、32 回に設定できます。16 ビット幅の ROM を接続する場合には同じく 4 回、8 回、16 回に設定でき、32 ビット幅の ROM を接続する場合は 4 回、8 回に設定できます。

ウェイトステートを 1 以上に設定した場合、常に  $\overline{\text{RDY}}$  端子のサンプリングを行います。

バースト ROM の設定を行いウェイト指定を 0 にした場合も 2 回目以降のアクセスサイクルは 2 サイクルとなります。この場合のタイミングを図 13.42 に示します。

バースト ROM インタフェースに対するライト動作は、SRAM インタフェースとして行われます。

32 バイト転送時は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この途中ではバス権を解放しません。

バースト ROM の設定を行い、WCR3 でセットアップ / ホールドを指定した場合のタイミングを図 13.43 に示します。

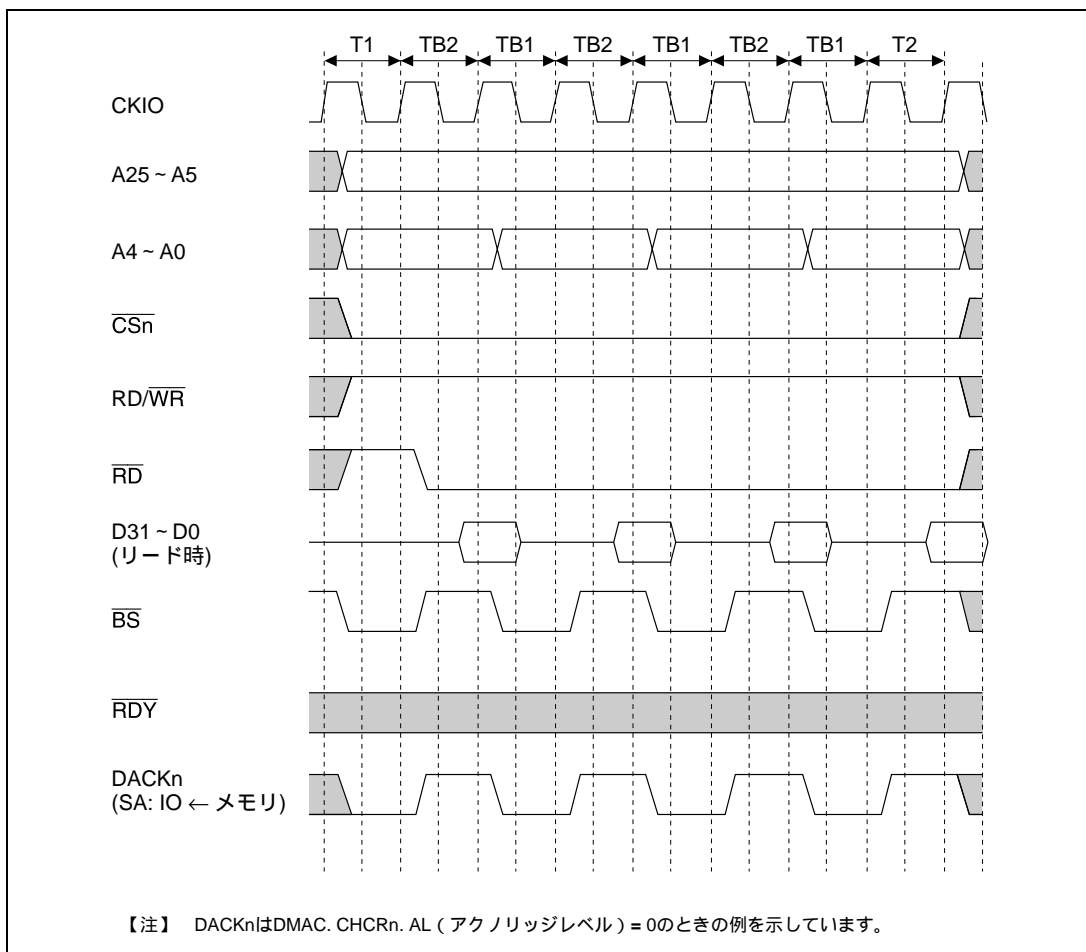


図 13.41 バースト ROM 基本アクセスタイミング

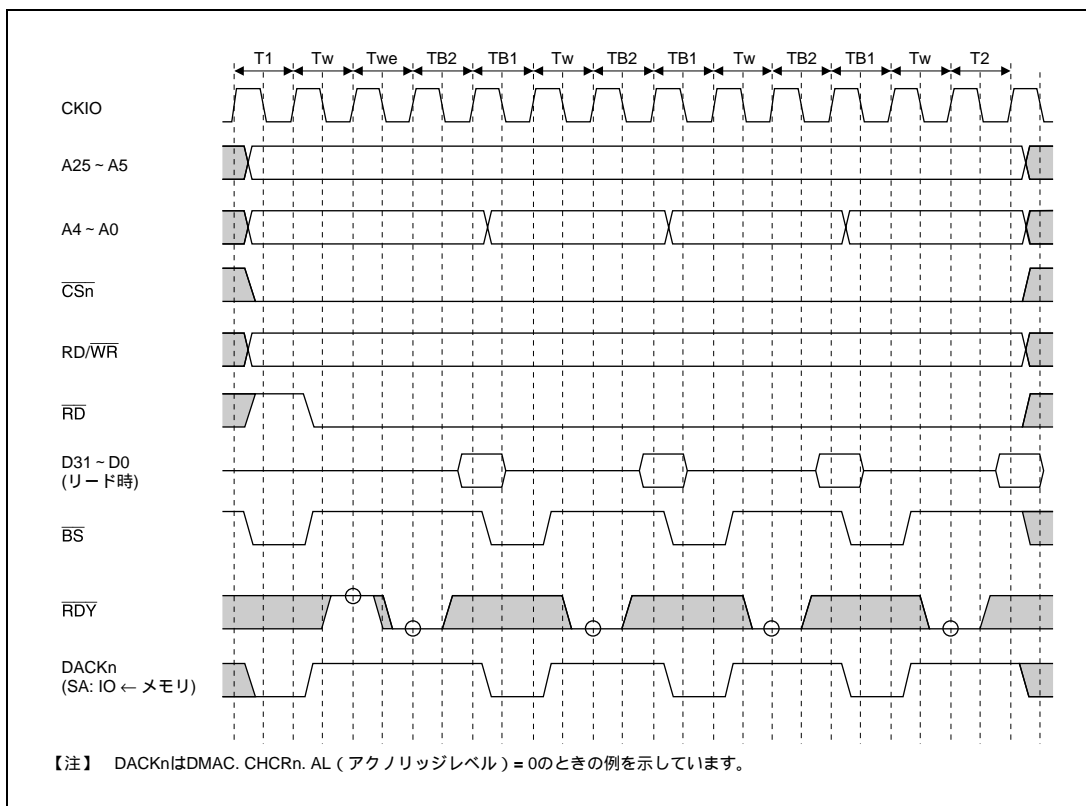


図 13.42 バースト ROM ウェイトアクセスタイミング

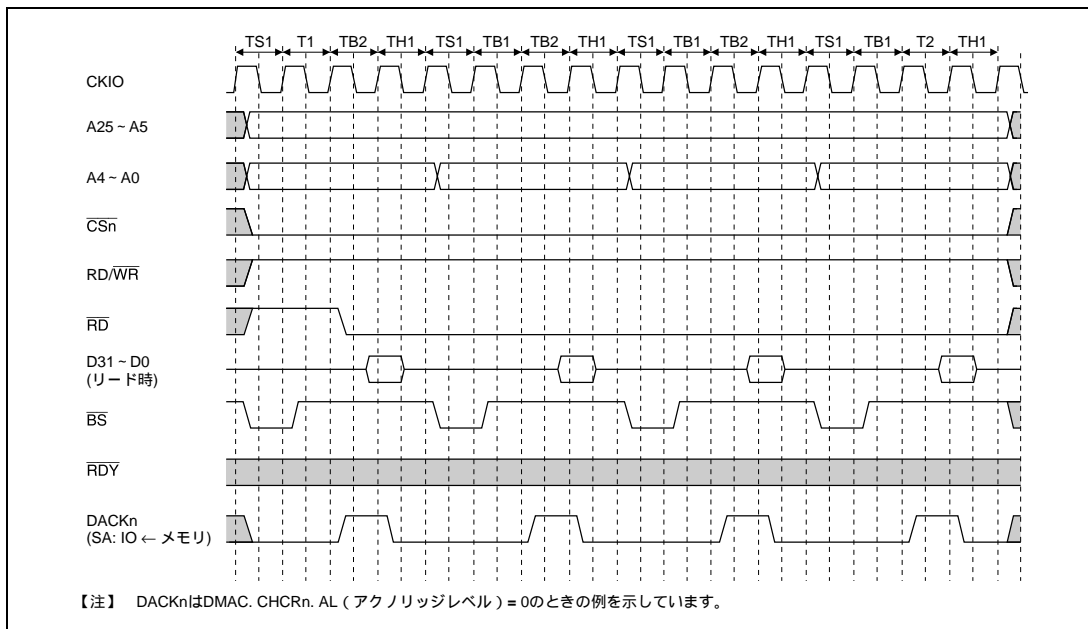


図 13.43 バーストROM ウェイトアクセスタイミング

### 13.3.7 PCMCIA インタフェース

本 LSI では BCR1 の A56PCM ビットを 1 に設定することにより、外部メモリ空間のエリア 5、6 のバスインタフェースが、JEIDA 仕様 Ver4.2 (PCMCIA2.1 以下略) で定める“IC メモリカードインタフェース”または“I/O カードインタフェース”になります。

図 13.44 に本 LSI と PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入 (システムの電源を供給中にカードの抜き差しを行うこと) を行えるようにするために、本 LSI のバスインタフェースと PCMCIA カードの間にスリーステートバッファを接続する必要があります。

JEIDA/PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI は、リトルエンディアンモードの設定でのみ、リトルエンディアンモードの PCMCIA インタフェースをサポートしています。

PCMCIA インタフェースの種類は、MMU がオンの場合は MMU ページ単位で設定でき、8 ビット共有メモリ、16 ビット共有メモリ、8 ビットアトリビュートメモリ、16 ビットアトリビュートメモリ、8 ビット I/O 空間、16 ビット I/O 空間、またはダイナミックバスサイジングが選択できます。設定方法の詳細は、「第 3 章 メモリマネジメントユニット (MMU)」を参照してください。MMU がオフの場合、PTEA の SA2 ~ SA0 ビットの設定で常にアクセスされます。

SA2	SA1	SA0	説明
0	0	0	予約 (設定禁止)
		1	ダイナミック I/O バスサイジング
	1	0	8 ビット I/O 空間
		1	16 ビット I/O 空間
1	0	0	8 ビット共有メモリ
		1	16 ビット共有メモリ
	1	0	8 ビットアトリビュートメモリ
		1	16 ビットアトリビュートメモリ

バスアクセス中のウェイトサイクルの設定は、MMU がオンの場合は MMU ページ単位で設定できます。設定方法の詳細は「第 3 章 メモリマネジメントユニット (MMU)」の章を参照してください。MMU がオフの場合は PTEA の TC ビットの設定で常にアクセスされます。TC ビットが 0 のときは、ウェイトコントロールレジスタ 2 (WCR2) の A5W2 ~ A5W0、および PCMCIA コントロールレジスタ (PCR) の A5PCW1 ~ A5PCW0、A5TED2 ~ A5TED0、A5TEH2 ~ A5TEH0 ビットが選択されます。TC が 1 にセットされると、ウェイトコントロールレジスタ 2 (WCR2) の A6W2 ~ A6W0、および PCMCIA コントロールレジスタ (PCR) の A6PCW1 ~ A6PCW0、A6TED2 ~ A6TED0、A6TEH2 ~ A6TEH0 ビットが選択されます。

DMAC による PCMCIA インタフェースのエリアへのアクセスは、常に DMAC の CHCRn.SSAn、CHCRn.DSAn、CHCRn.STC、および CHCRn.DTC で行われます。

低速バスサイクルに挿入するウェイトステート数は、AnPCW1、AnPCW0 ビットにより、0、15、30、または 50 に設定できます。この値は、WCR2 で指定された挿入ウェイトステート数に加算されます。 $\overline{RD}$  および  $\overline{WE1}$  信号のアドレス、 $\overline{CS}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 $\overline{REG}$  セットアップ時間は、AnTED2 ~ AnTED0 ビット (0 ~ 15 に設定可能) によ

り、保持することができます。また、 $\overline{RD}$  および  $\overline{WE1}$  信号のアドレス、 $\overline{CS}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 $\overline{REG}$  データホールド時間は、AnTEH2 ~ AnTEH0 ビット (0 ~ 15 に設定可能) により、保持することができます。

また、サイクル間ウェイトサイクルは、ウェイトコントロールレジスタ 1 (WCR1) の A5IW2 ~ A5IW0、A6IW2 ~ A6IW0 ビットにより設定します。選択されるサイクル間ウェイトサイクルは、アクセスされるエリア (エリア 5 またはエリア 6) のみに依存し、エリア 5 のアクセス時には、A5IW2 ~ A5IW0 ビットが、エリア 6 のアクセス時には、A6IW2 ~ A6IW0 ビットが、それぞれ選択されます。

32 バイト転送時は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。この途中ではバス権を解放しません。

表 13.17 PCMCIA インタフェース使用時のアドレスと CE の関係

バス (ビット)	リード/ ライト	アクセス サイズ (ビット)*1	奇数/ 偶数	IOIS16	アクセス	CE2	CE1	A0	D15-8	D7-0
8	リード	8	偶数	*	-	1	0	0	無効	リードデータ
			奇数	*	-	1	0	1	無効	リードデータ
		16	偶数	*	1 回目	1	0	0	無効	下位リードデータ
			偶数	*	2 回目	1	0	1	無効	上位リードデータ
		奇数	*	-	-	-	-	-	-	
	ライト	8	偶数	*	-	1	0	0	無効	ライトデータ
			奇数	*	-	1	0	1	無効	ライトデータ
		16	偶数	*	1 回目	1	0	0	無効	下位ライトデータ
			偶数	*	2 回目	1	0	1	無効	上位ライトデータ
		奇数	*	-	-	-	-	-	-	
16	リード	8	偶数	*	-	1	0	0	無効	リードデータ
			奇数	*	-	0	1	1	リードデータ	無効
		16	偶数	*	-	0	0	0	上位リードデータ	下位リードデータ
			奇数	*	-	-	-	-	-	-
	ライト	8	偶数	*	-	1	0	0	無効	ライトデータ
			奇数	*	-	0	1	1	ライトデータ	無効
		16	偶数	*	-	0	0	0	上位ライトデータ	下位ライトデータ
			奇数	*	-	-	-	-	-	-

バス (ビット)	リード/ ライト	アクセス サイズ (ビット)*1	奇数/ 偶数	IOIS16	アクセス	CE2	CE1	A0	D15-8	D7-0
ダイナミックバス サイジング ゲ*2	リード	8	偶数	0	-	1	0	0	無効	リードデータ
			奇数	0	-	0	1	1	リードデータ	無効
		16	偶数	0	-	0	0	0	上位リードデータ	下位リードデータ
			奇数	0	-	-	-	-	-	-
	ライト	8	偶数	0	-	1	0	0	無効	ライトデータ
			奇数	0	-	0	1	1	ライトデータ	無効
		16	偶数	0	-	0	0	0	上位ライトデータ	下位ライトデータ
			奇数	0	-	-	-	-	-	-
	リード	8	偶数	1	-	1	0	0	無効	リードデータ
			奇数	1	1回目	0	1	1	無視	無効
			奇数	1	2回目	1	0	1	無効	リードデータ
		16	偶数	1	1回目	0	0	0	無効	下位リードデータ
			偶数	1	2回目	1	0	1	無効	上位リードデータ
			奇数	1	-	-	-	-	-	-
	ライト	8	偶数	1	-	1	0	0	無効	ライトデータ
			奇数	1	1回目	0	1	1	無効	ライトデータ
			奇数	1	2回目	1	0	1	無効	ライトデータ
		16	偶数	1	1回目	0	0	0	上位ライトデータ	下位ライトデータ
偶数			1	2回目	1	0	1	無効	上位ライトデータ	
奇数			1	-	-	-	-	-	-	

【注】 \* Don't care

\*1 32ビット/64ビット/32バイト転送の場合、各転送における転送データサイズに達するまで、自動的にバス幅分のアドレスをインクリメントして上記アクセスを繰り返す。

\*2 PCMCIA I/O カードインタフェース時のみ



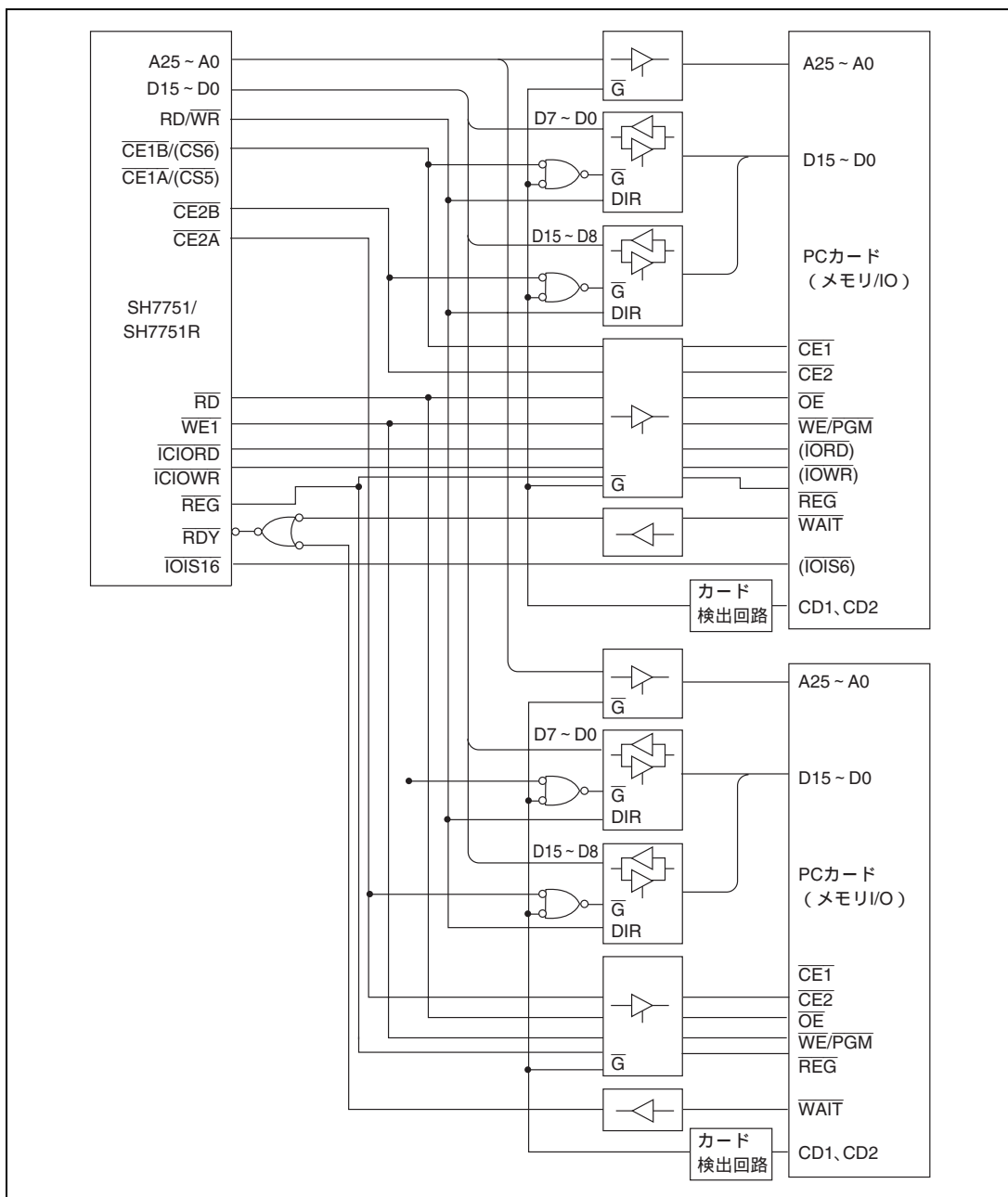


図 13.44 PCMCIA インタフェース例

## (1) メモリカードインタフェース基本タイミング

図 13.45 に PCMCIA の “ IC メモリカードインタフェース ” の基本タイミングを、図 13.46 に PCMCIA メモリカードインタフェースウェイトタイミングを、それぞれ示します。

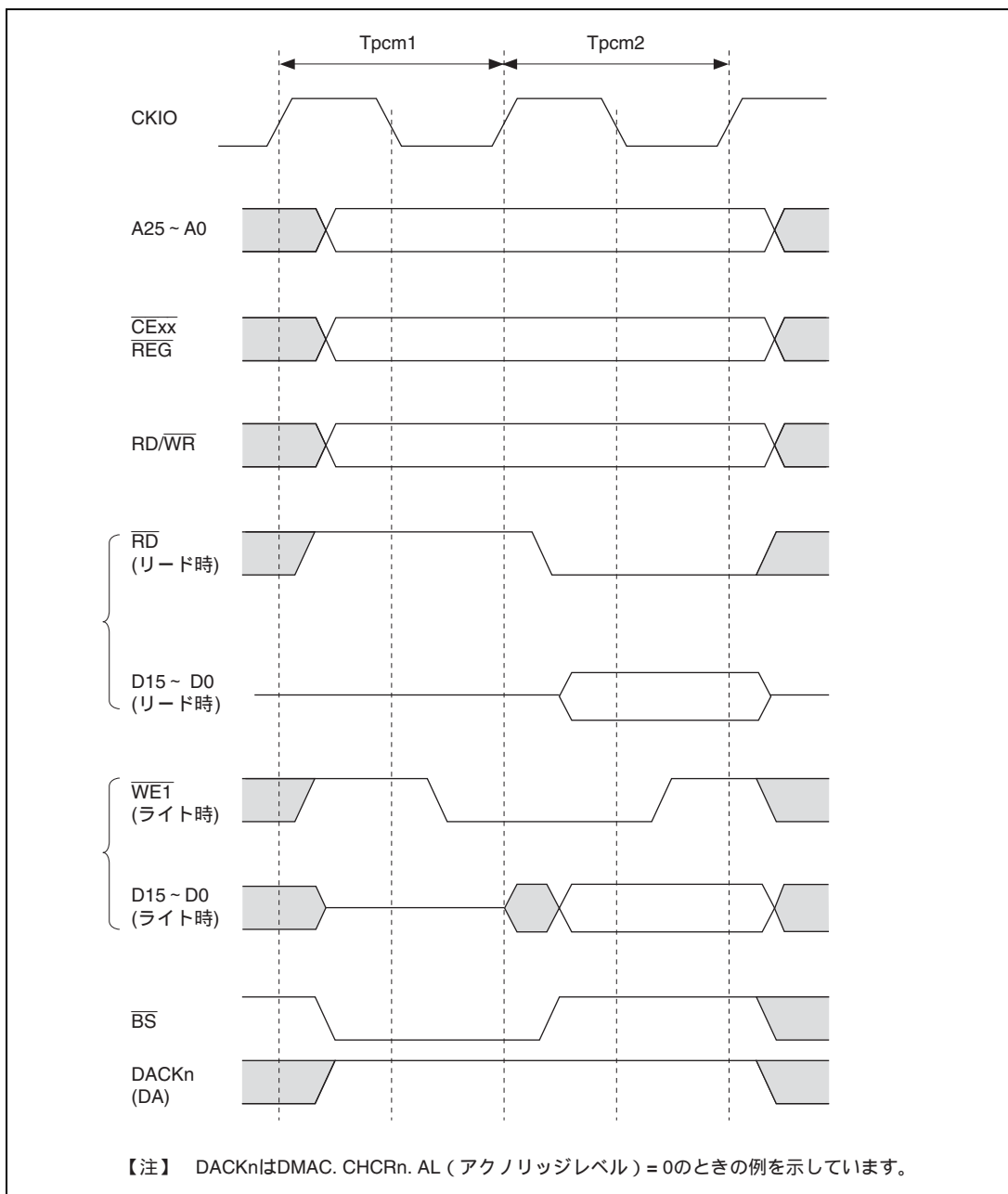


図 13.45 PCMCIA メモリカードインタフェース基本タイミング

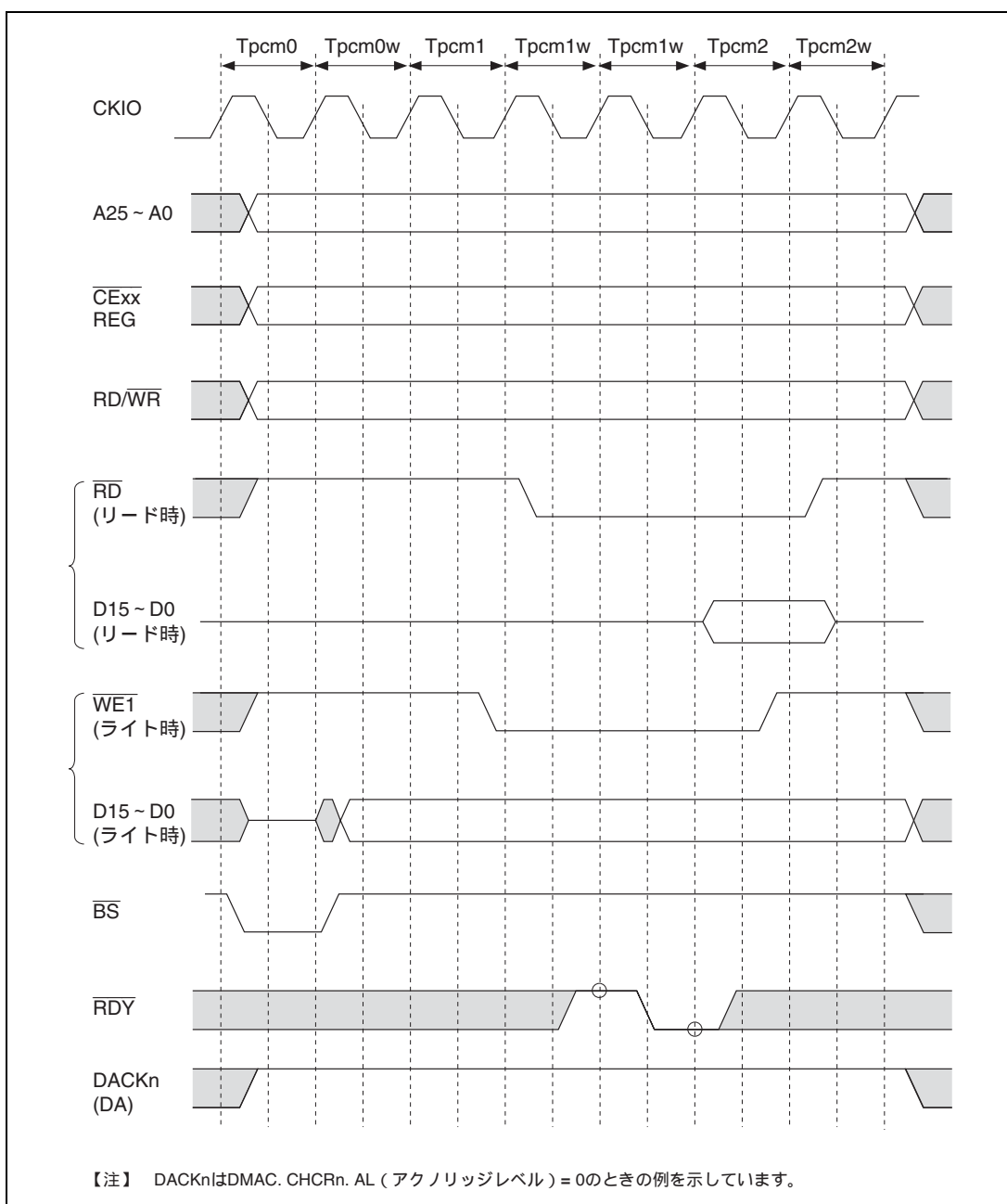


図 13.46 PCMCIA メモリカードインタフェースウェイトタイミング

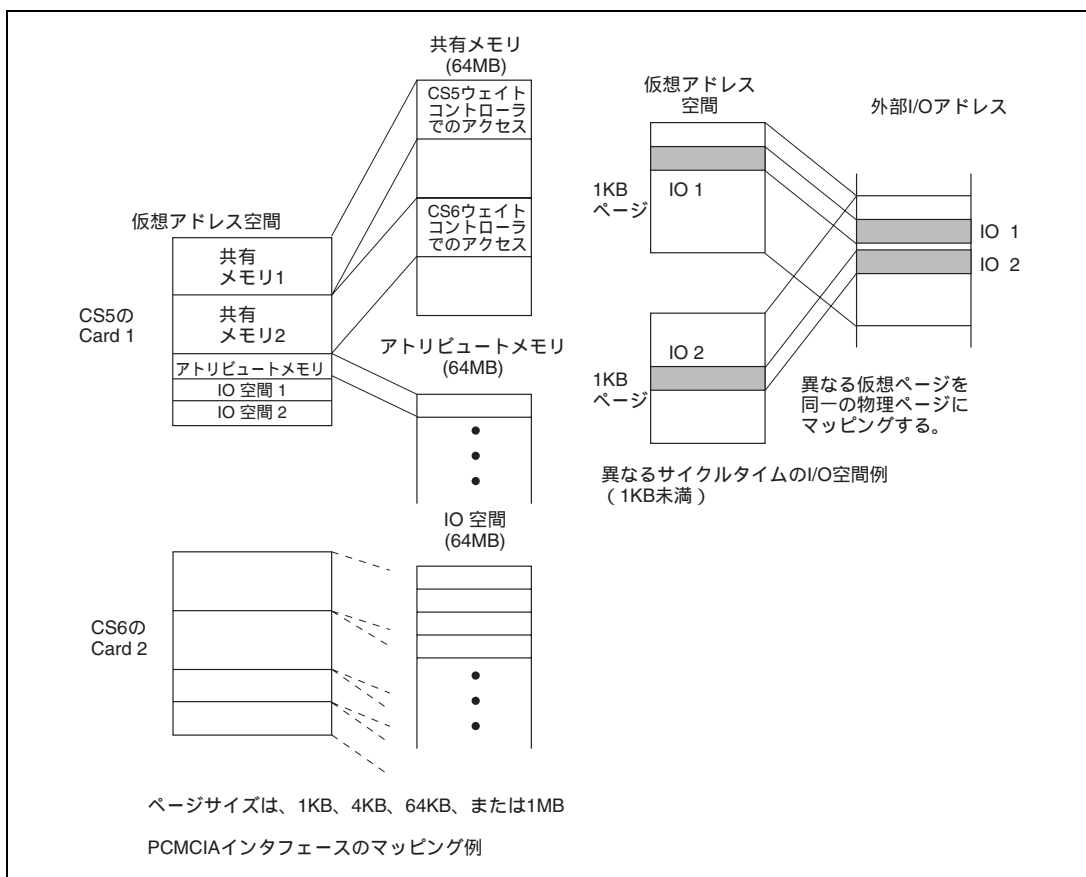


図 13.47 PCMCIA 空間割り付け

## (2) I/O カードインタフェースタイミング

図 13.48、図 13.49 に PCMCIA の “I/O カードインタフェース” のタイミングを示します。

PCMCIA カードを I/O カードインタフェースとしてアクセスする場合、 $\overline{\text{IOIS16}}$  端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。バス幅を 16 ビットに設定している場合に、ワードサイズの I/O バスサイクル中に  $\overline{\text{IOIS16}}$  信号が “H” の場合、その I/O ポートは 8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。また、アドレス  $2n+1$  に対するバイトサイズアクセスでもダイナミックバスサイジングが行われます。

ダイナミックバスサイジングの基本タイミングを図 13.50 に示します。

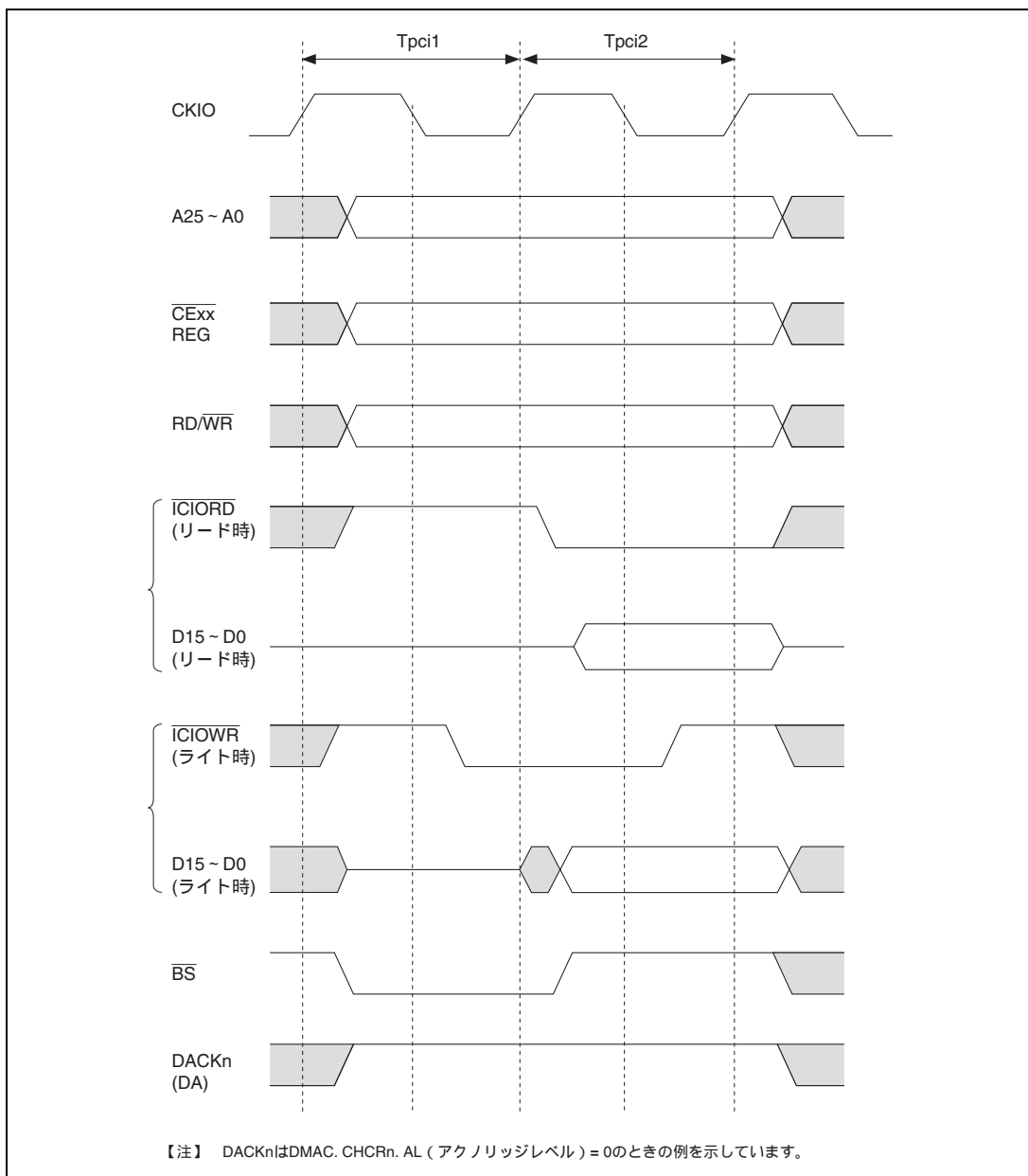


図 13.48 PCMCIA I/O カードインタフェース基本タイミング

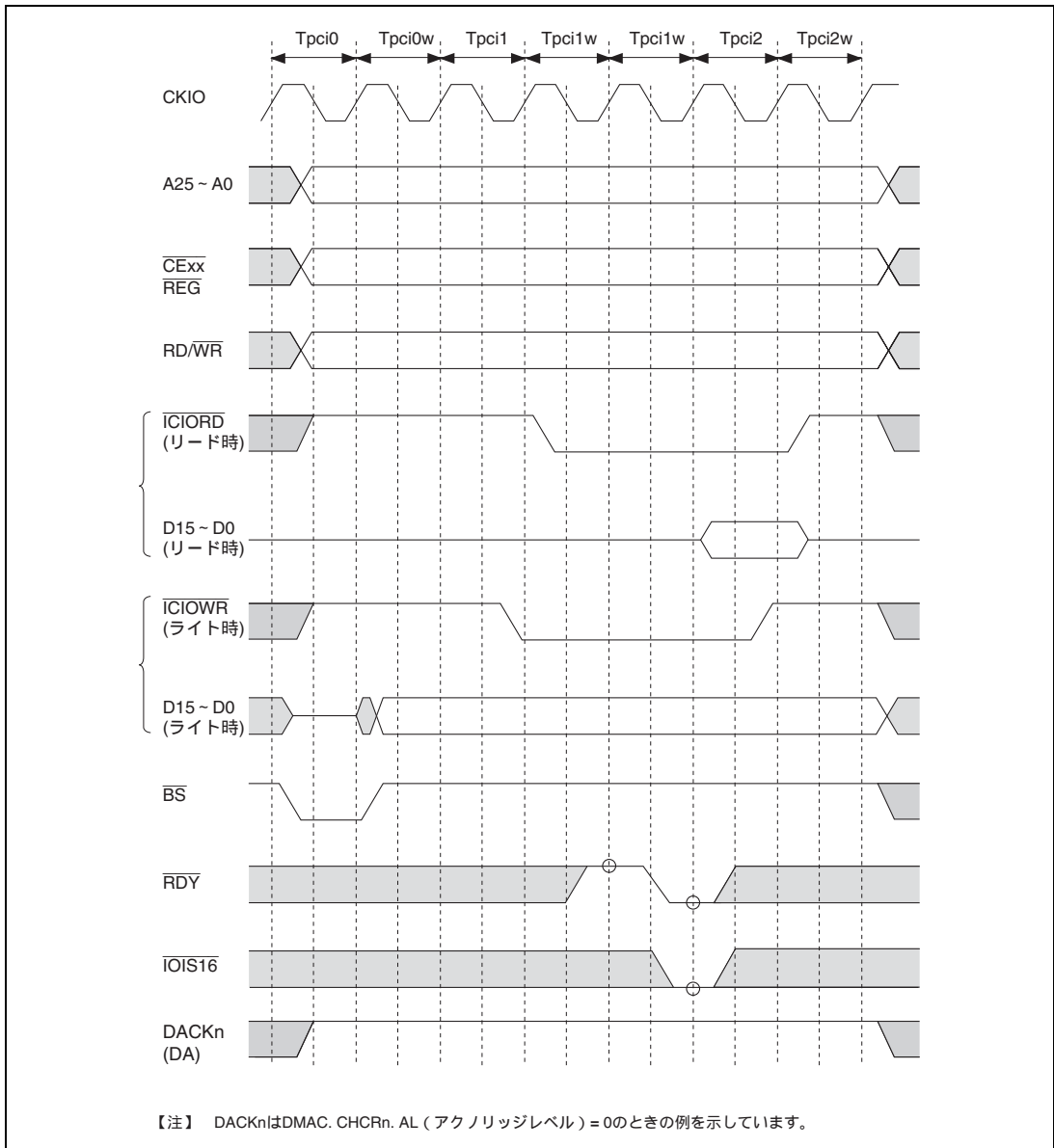


図 13.49 PCMCIA I/O カードインタフェースウェイトタイミング

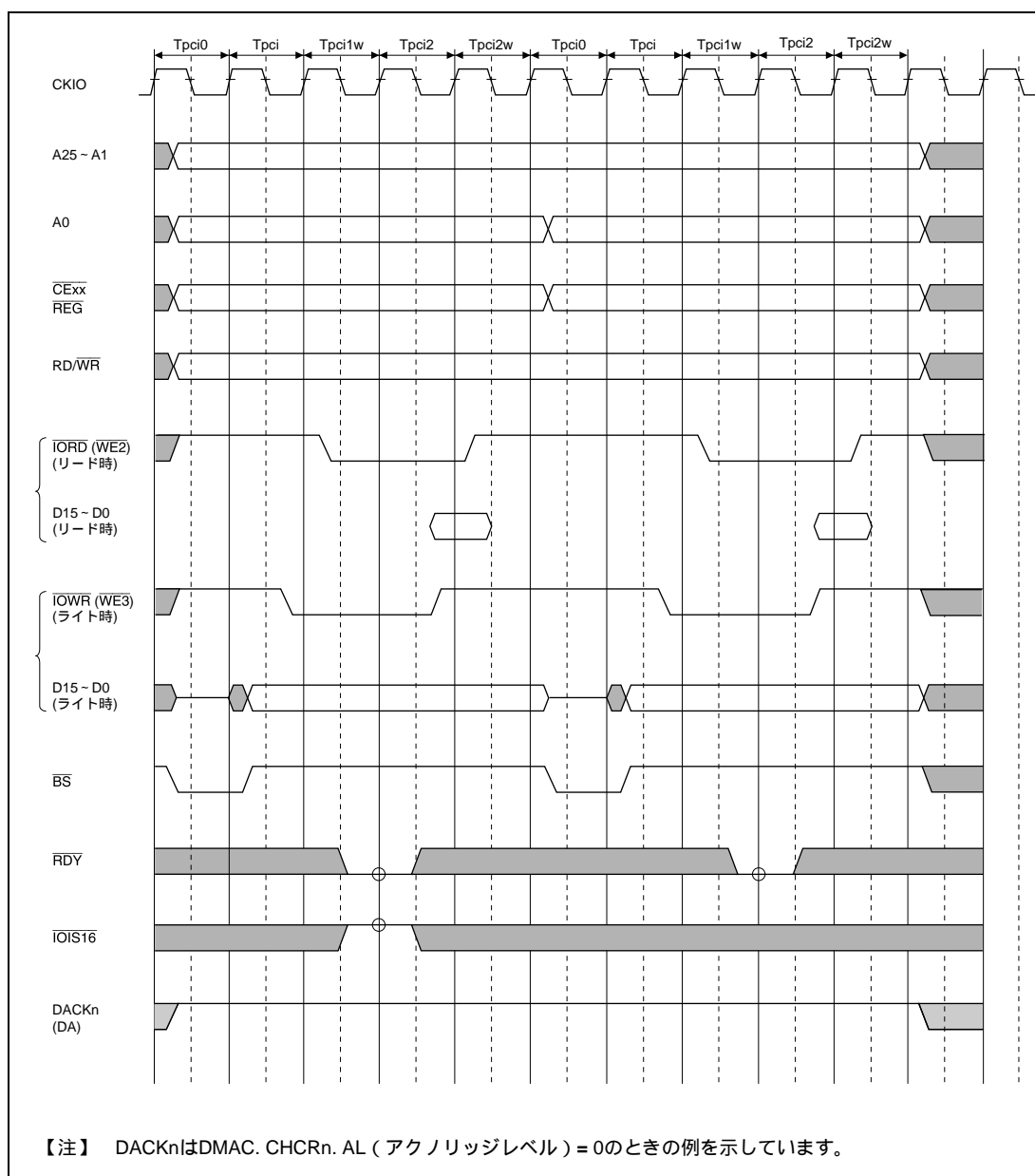


図 13.50 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング

### 13.3.8 MPX インタフェース

$\overline{\text{RESET}}$  端子によるパワーオンリセット時、MD6 端子を 0 に設定すると、エリア 0 は MPX インタフェースが選択されます。BCR1 の MPX ビットおよび BCR3 の MEMMODE、A4MPX、A1MPX により、エリア 1~6 に対して、MPX インタフェースが選択されます。MPX インタフェースは、アドレス/データマルチプレクス形式のバスプロトコルを提供し、アドレス/データマルチプレクス形式の 32 ビットシングルバスを使用した外部メモリコントローラチップとの接続を容易に行えます。バスサイクルはアドレスフェーズとデータフェーズからなり、アドレスフェーズにおいてアドレス情報は D25 ~ D0 に、アクセスサイズは D31 ~ D29 に出力されます。 $\overline{\text{BS}}$  信号はアドレスフェーズを示すため、1 サイクルアサートされます。 $\overline{\text{CSn}}$  信号は Tm1 の立ち上がりでアサートされ、データフェーズで最後のデータ転送終了後ネゲートされます。したがって最小ピッチでアクセスする場合はネゲート期間は生まれません。 $\overline{\text{FRAME}}$  信号は、Tm1 の立ち上がりでアサートされ、データフェーズで最後のデータ転送のサイクルが開始した時にネゲートされます。そのため、MPX インタフェースに対応する外部デバイスは、アドレスフェーズに出力されたアドレス情報およびアクセスサイズを外部デバイス内に保持し、データフェーズに対応したデータの出入力を行う必要があります。アクセスサイズとデータアライメントについては「13.3.1 エンディアノ/アクセスサイズとデータアライメント」を参照してください。

アドレス端子 A25 ~ A0 に出力される値は保証されません。

32 バイト転送は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この場合のようにアクセスサイズがバス幅よりも大きい場合、アドレスを 1 回出力した後、複数のデータサイクルが続くバーストアクセスが発生します。この途中ではバス権を解放しません。

D31	D30	D29	アクセスサイズ
0	0	0	バイト
		1	ワード
	1	0	ロングワード
		1	クワッドワード
1	x	x	32 バイトバースト

X : don't care

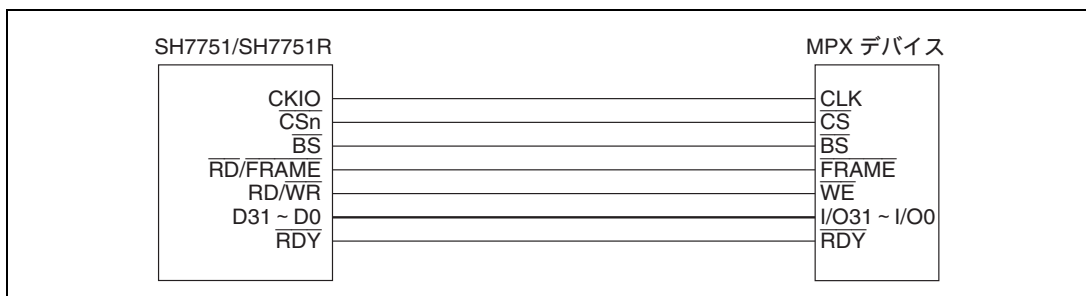


図 13.51 32 ビットデータ幅 MPX の接続例



次に MPX インタフェースタイミングを示します。

エリア1~6でMPXインタフェースを使用する場合、BCR2によるバスサイズ指定は32ビットとしてください。

なお、ウェイト制御はWCR2によるウェイトと $\overline{RDY}$ 端子によるウェイト挿入が可能です。

リード時はWCR2を0に設定していても、アドレス出力の次に自動的に1サイクルのウェイトが挿入されます。

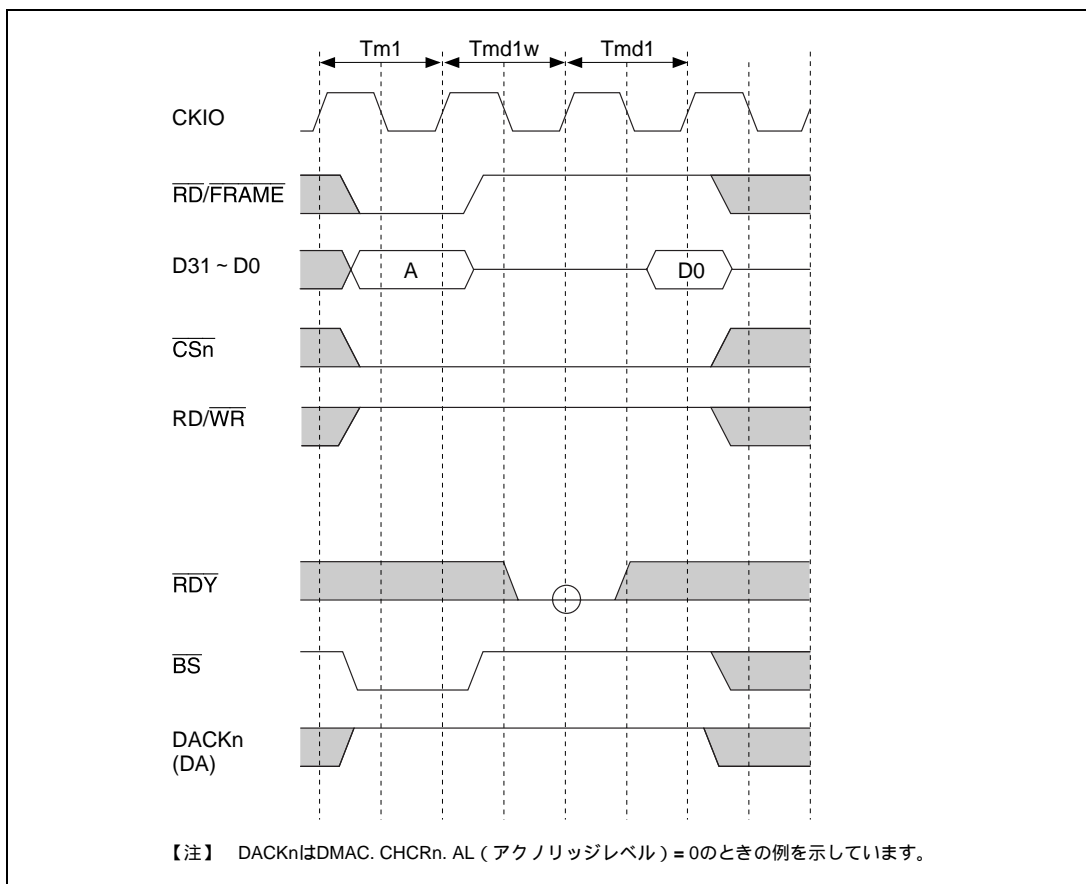


図 13.52 MPX インタフェースタイミング 1 (シングルリードサイクル、AnW=0、外部ウェイトなし)

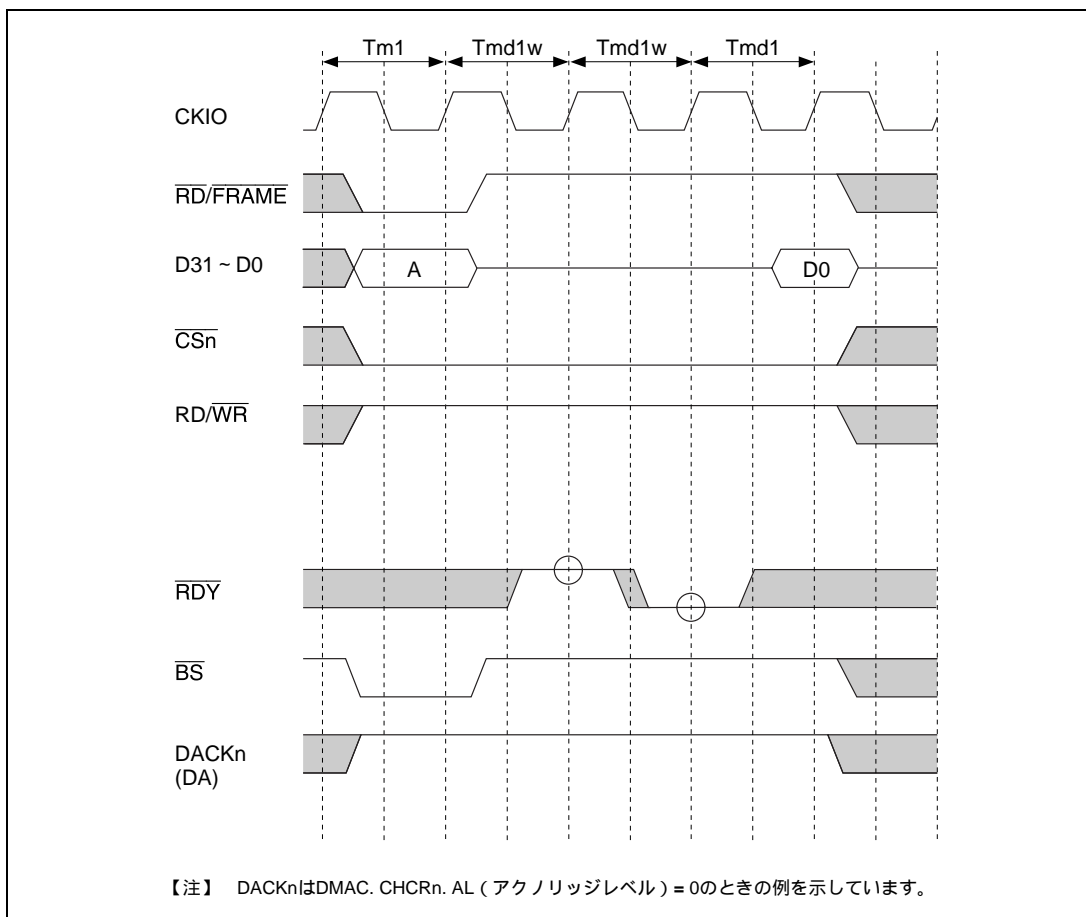


図 13.53 MPX インタフェースタイミング 2 (シングルリード、AnW=0、外部ウェイト 1 挿入)

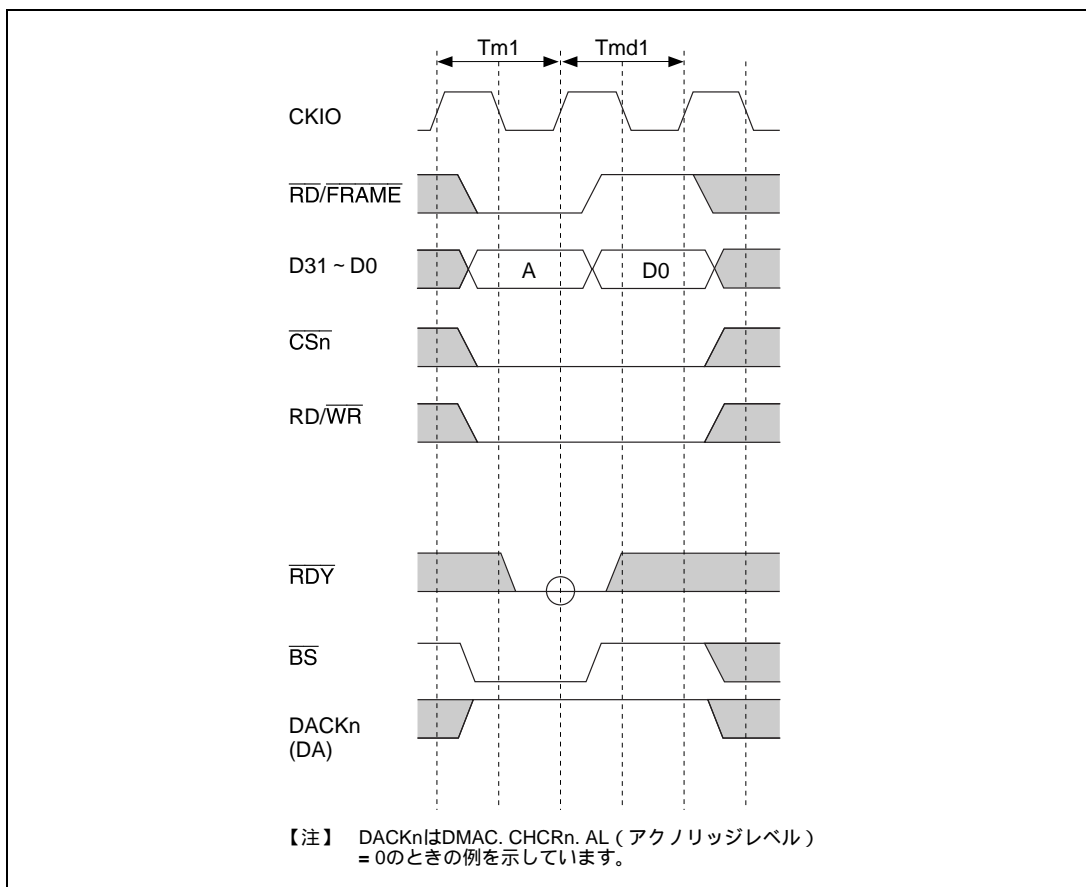


図 13.54 MPX インタフェースタイミング 3 (シングルライトサイクル、AnW=0、外部ウェイトなし)

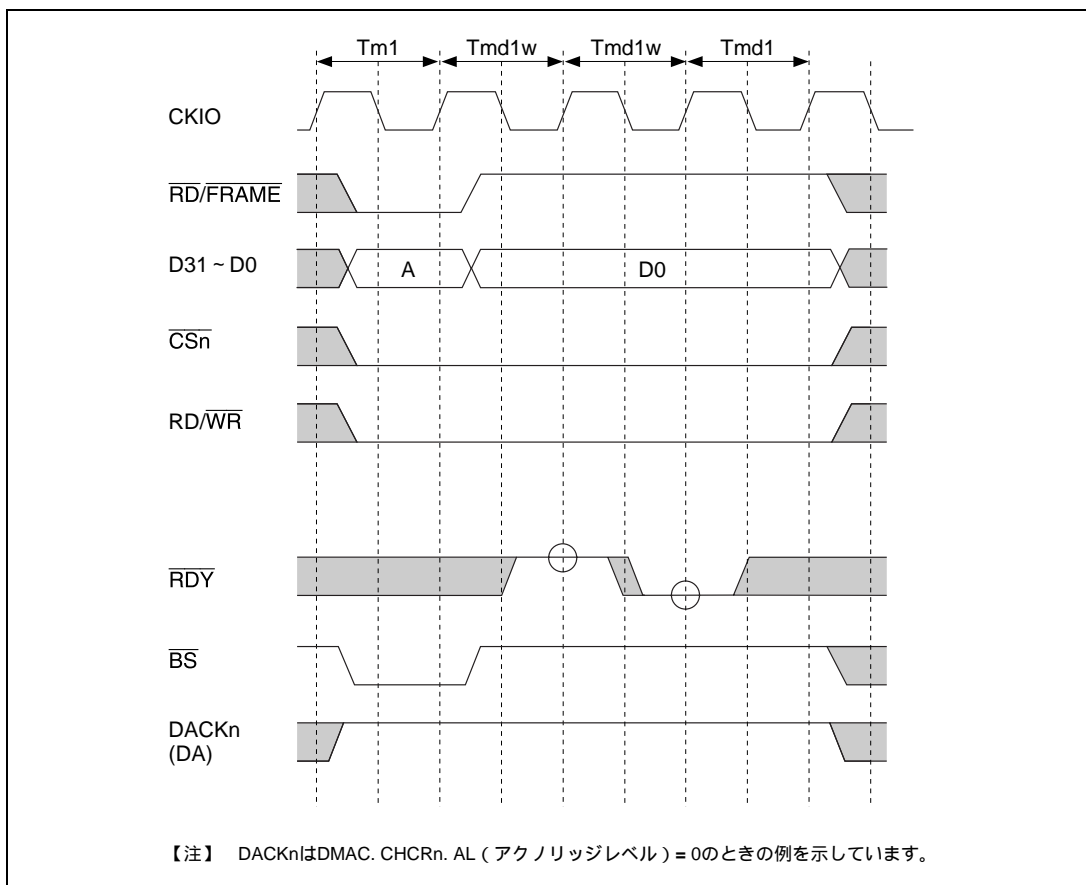


図 13.55 MPX インタフェースタイミング 4 (シングルライト、AnW=1、外部ウェイト 1 挿入)

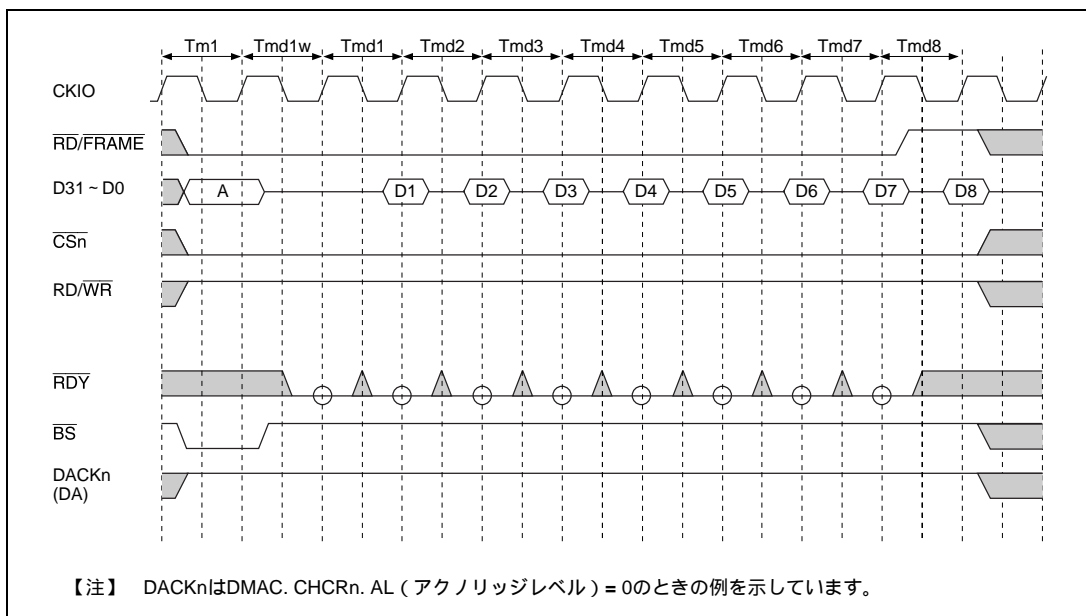


図 13.56 MPX インタフェースタイミング 5 (パーストリードサイクル、AnW=0、外部ウェイトなし)

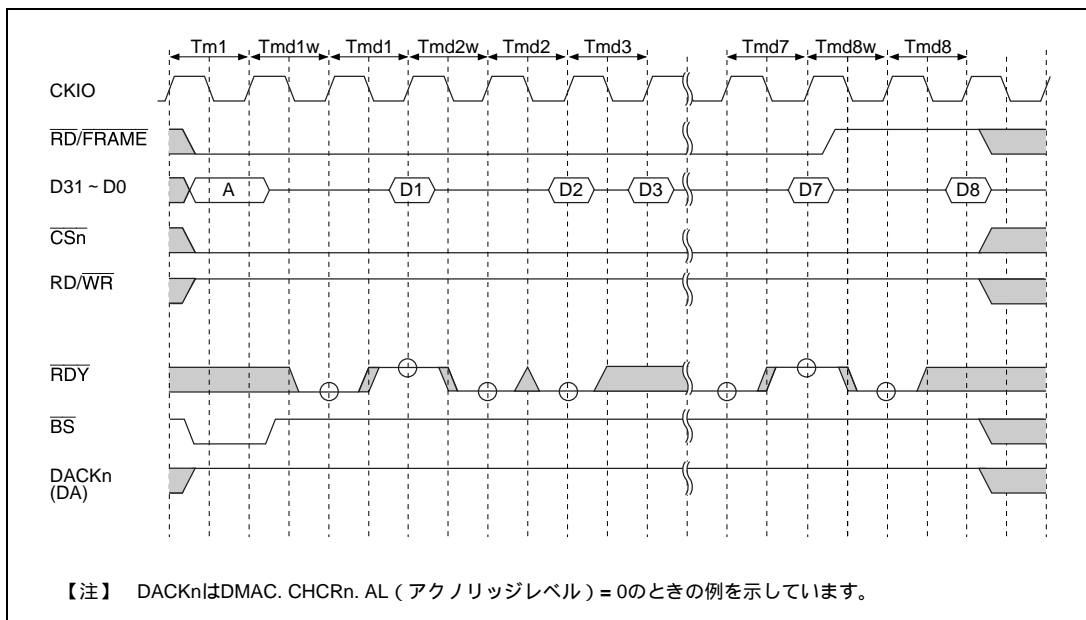


図 13.57 MPX インタフェースタイミング 6 (パーストリードサイクル、AnW=0、外部ウェイト制御)

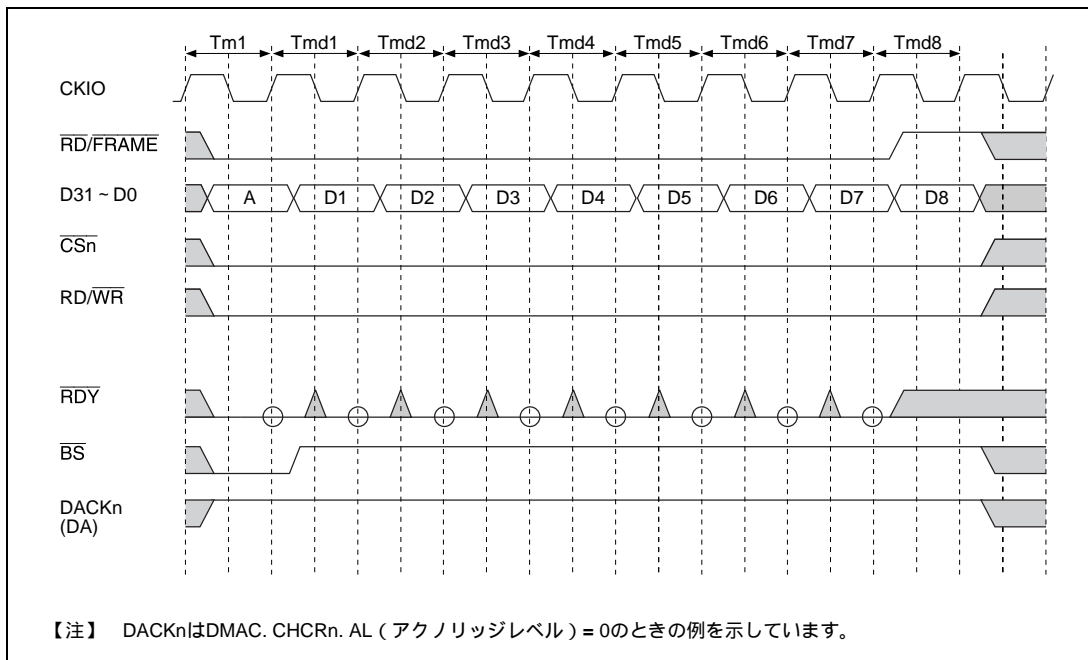


図 13.58 MPX インタフェースタイミング 7 (バーストライトサイクル、AnW=0、外部ウェイトなし)

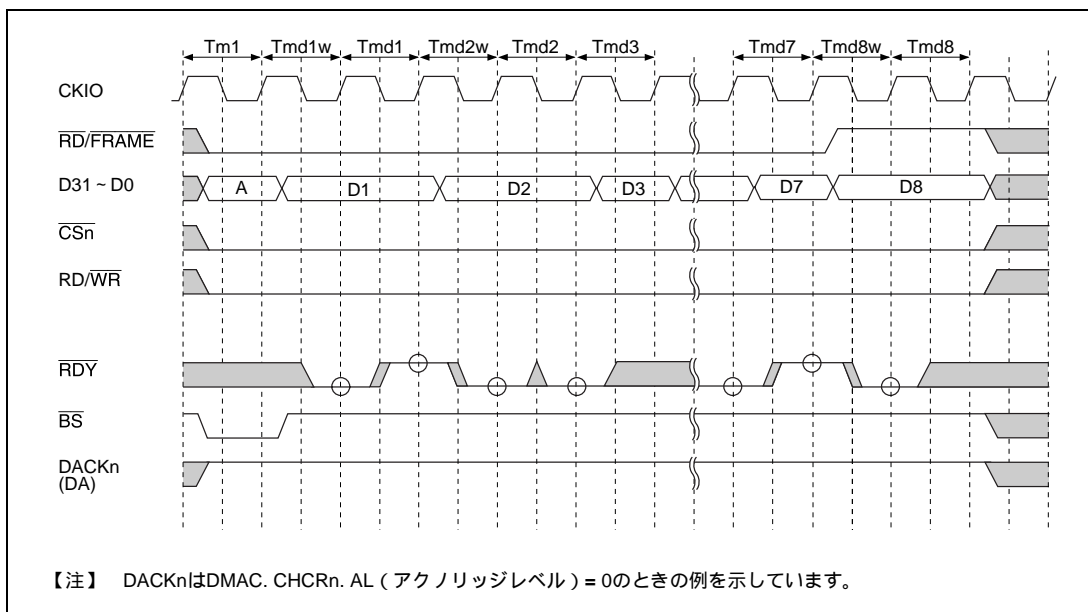


図 13.59 MPX インタフェースタイミング 8 (バーストライトサイクル、AnW=1、外部ウェイト制御)

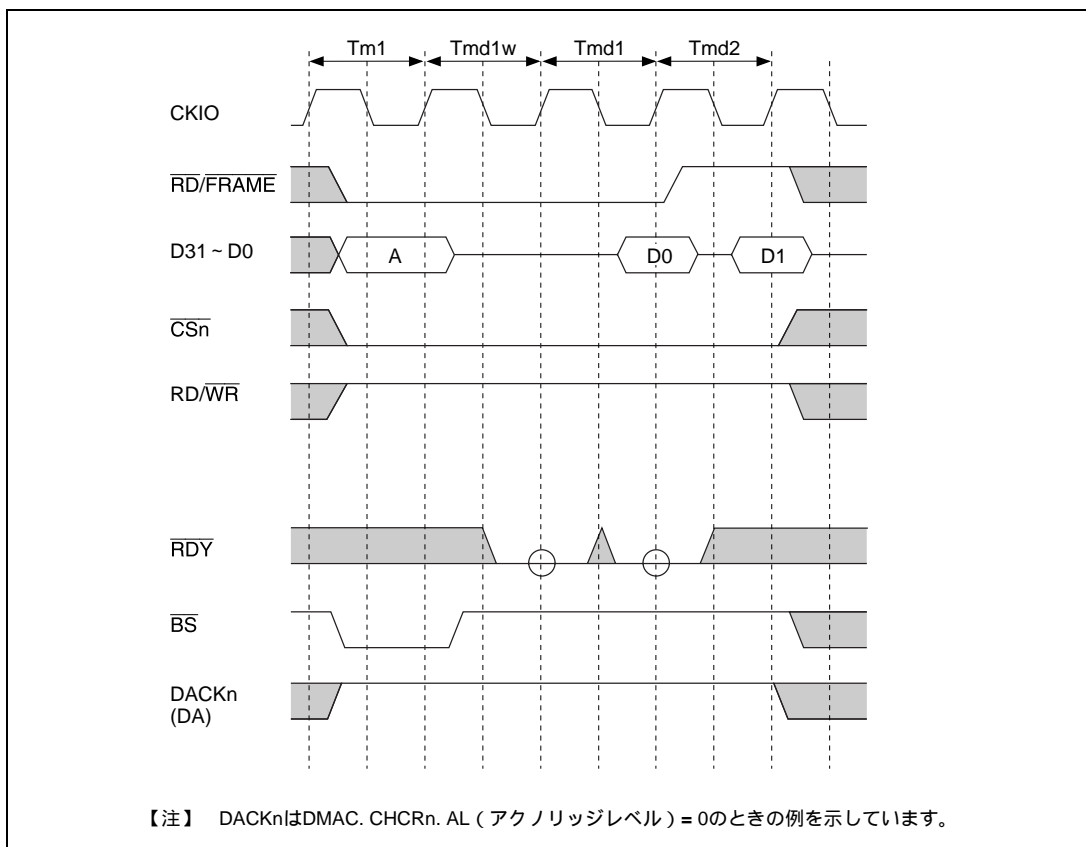


図 13.60 MPX インタフェースタイミング 9 (バーストリードサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 64 ビット)

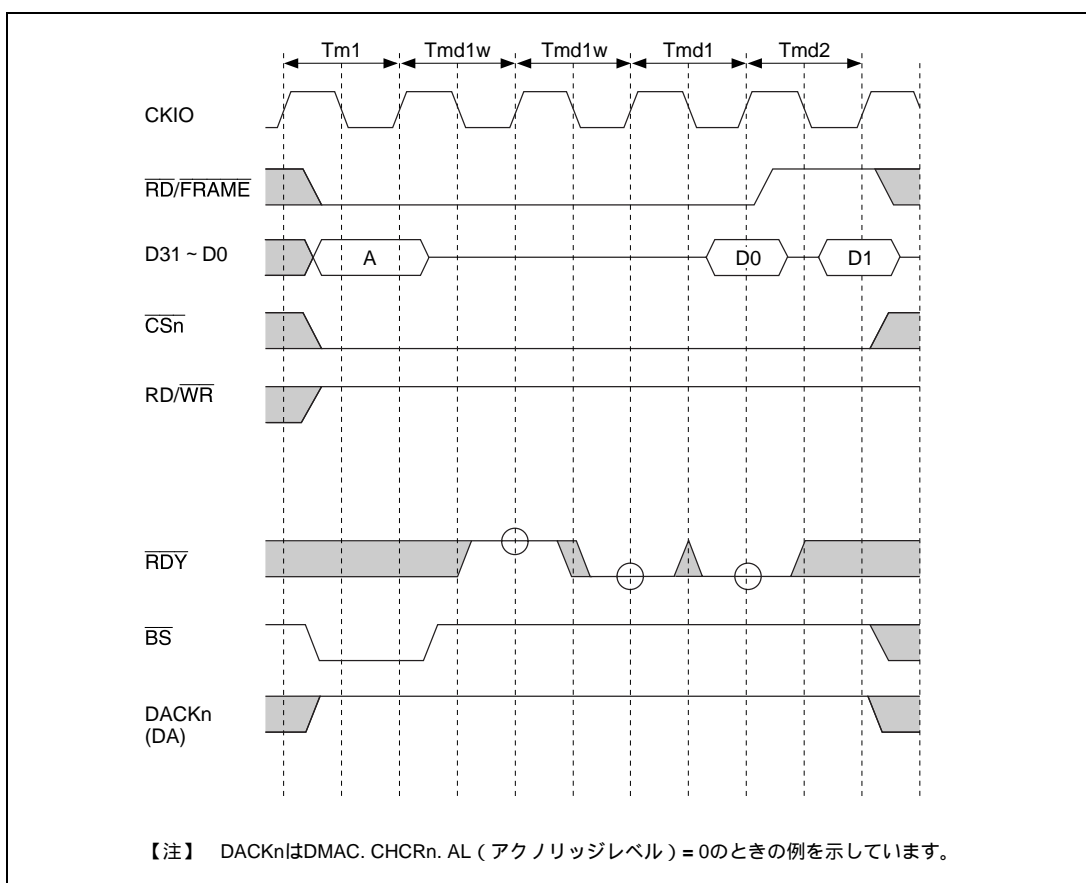


図 13.61 MPX インタフェースタイミング 10 (バーストリードサイクル、AnW=0、外部ウェイト 1 挿入、バス幅 32 ビット、転送データサイズ 64 ビット)



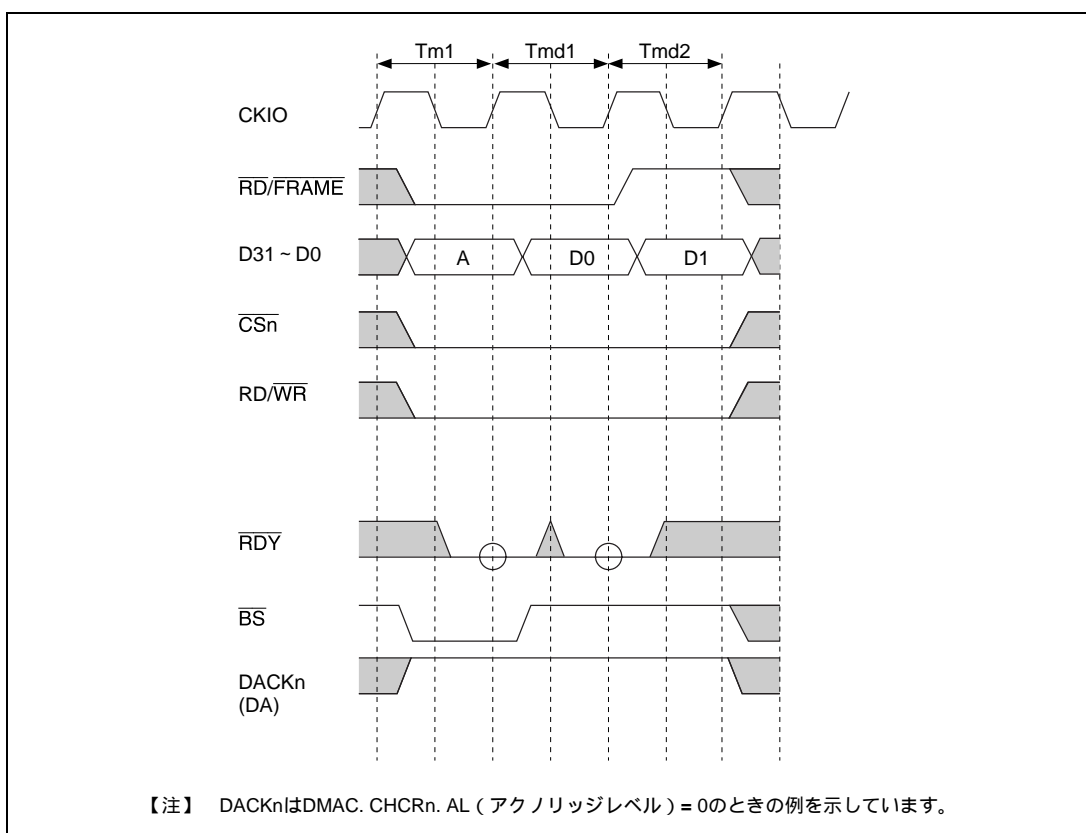


図 13.62 MPX インタフェースタイミング 11 (バーストライトサイクル、AnW=0、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 64 ビット)

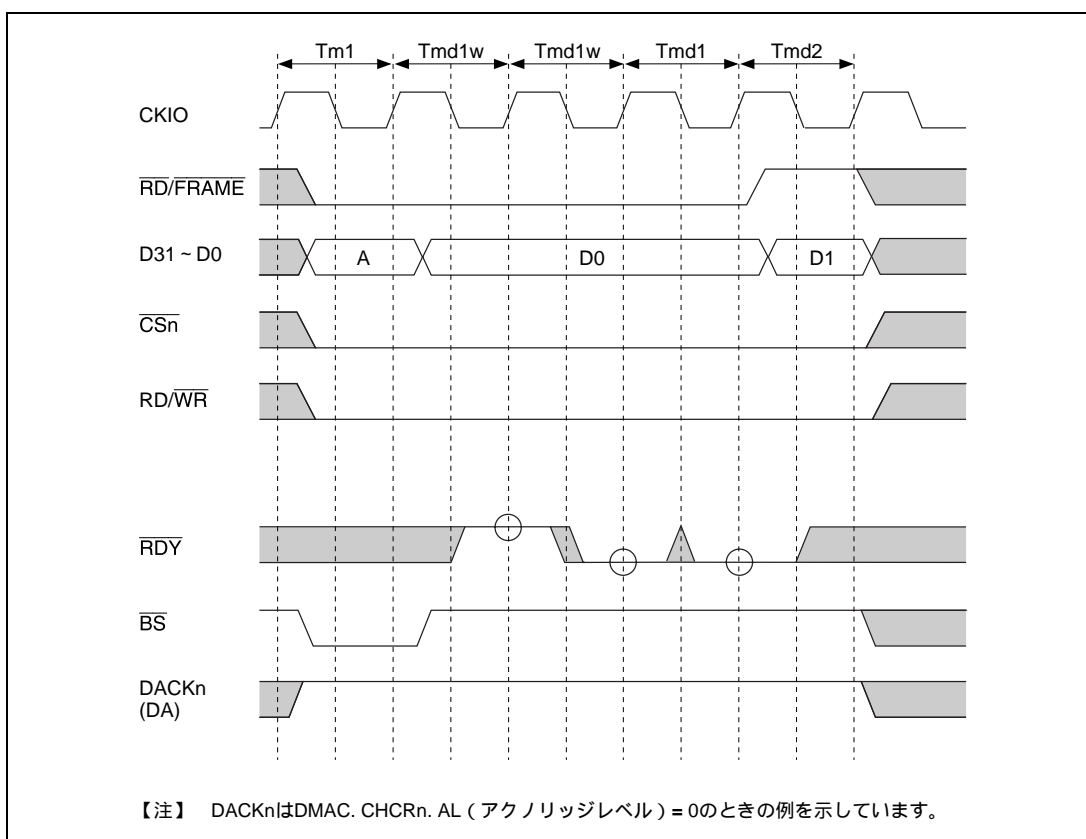


図 13.63 MPX インタフェースタイミング 12 (バーストライクサイクル、AnW=1、外部ウェイト 1 挿入、バス幅 32 ビット、転送データサイズ 64 ビット)

### 13.3.9 バイト制御 SRAM インタフェース

バイト制御 SRAM インタフェースは、リード/ライトいずれのバスサイクルでもバイトセレクトストロブ ( $\overline{WE}_n$ ) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子をもち、UB あるいは LB のような上位バイトセレクトストロブ、下位バイトセレクトストロブ機能のある SRAM に接続することができます。

エリア 1 および 4 が、バイト制御 SRAM インタフェースに指定できます。ただし、これらのエリアが MPX モードに設定されると、MPX モードに優先権があります。

バイト制御 SRAM インタフェースのライトタイミングは、通常の SRAM インタフェースと同じです。

一方、リード動作では、 $\overline{WE}_n$  端子のタイミングが異なります。リードアクセス時、読み込むバイトの  $\overline{WE}$  信号だけがアサートされます。アサートは  $\overline{WE}$  信号と同じく、CKIO クロックの立ち下がりに同期して行われますが、ネゲートは、CKIO クロックの立ち上がりに同期して行われ、これは、 $\overline{RD}$  信号と同じタイミングになります。

32 バイト転送は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドに行われます。この途中ではバス権を解放しません。

図 13.64 にバイト制御 SRAM の接続例を、図 13.65 ~ 図 13.67 にバイト制御 SRAM のリードサイクル例をそれぞれ示します。

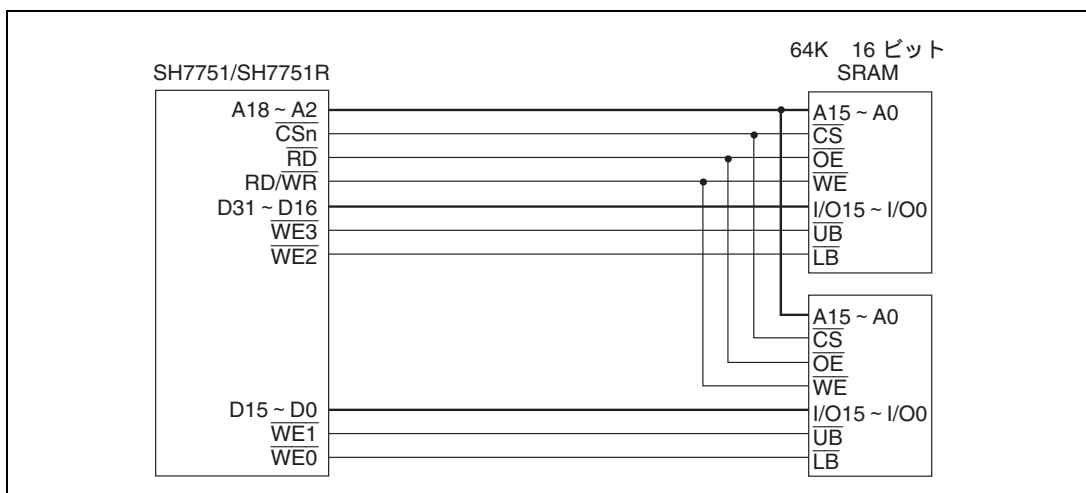


図 13.64 32 ビットデータ幅バイト制御 SRAM の例

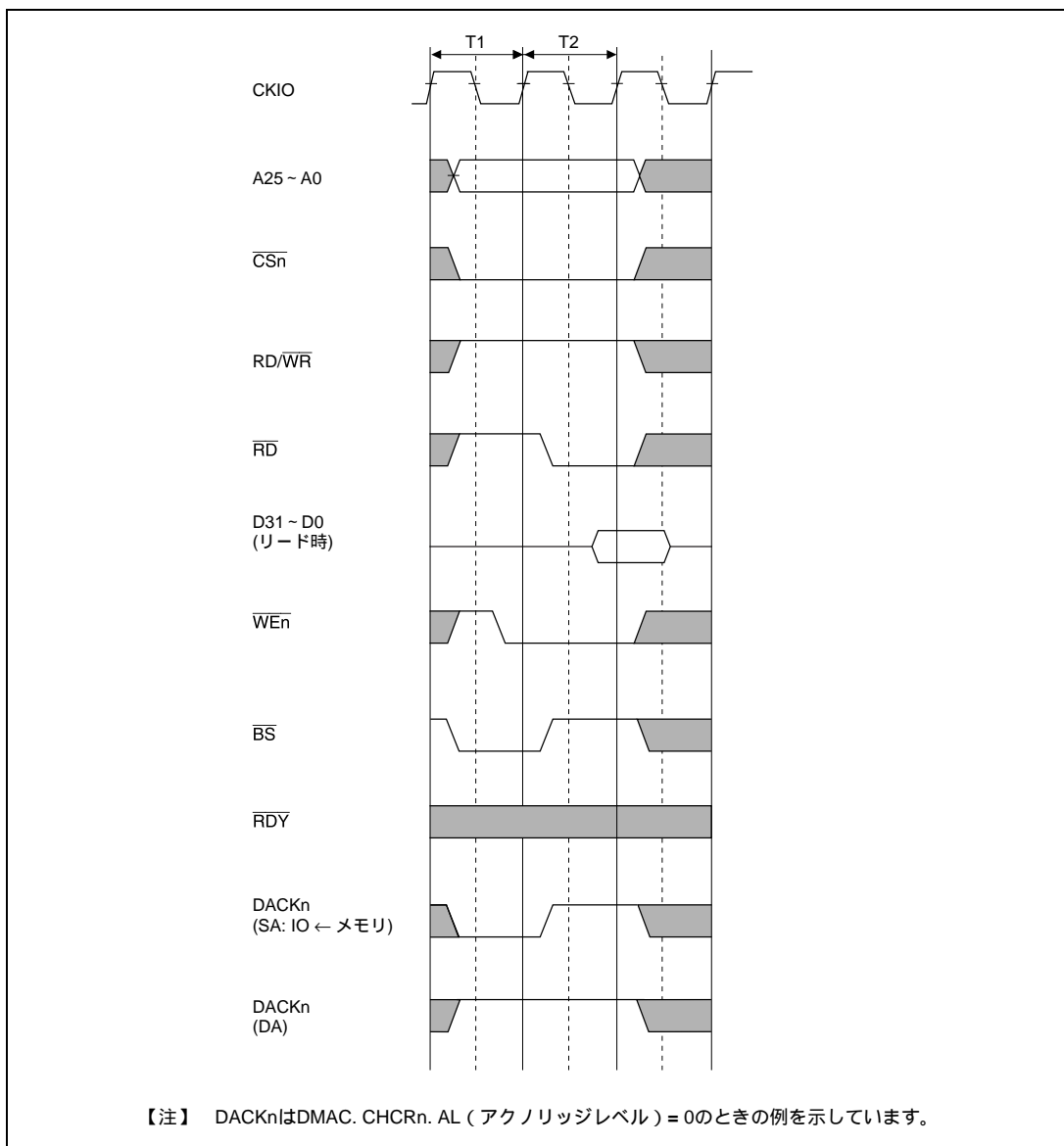


図 13.65 バイト制御 SRAM 基本リードサイクル (ウェイトなし)

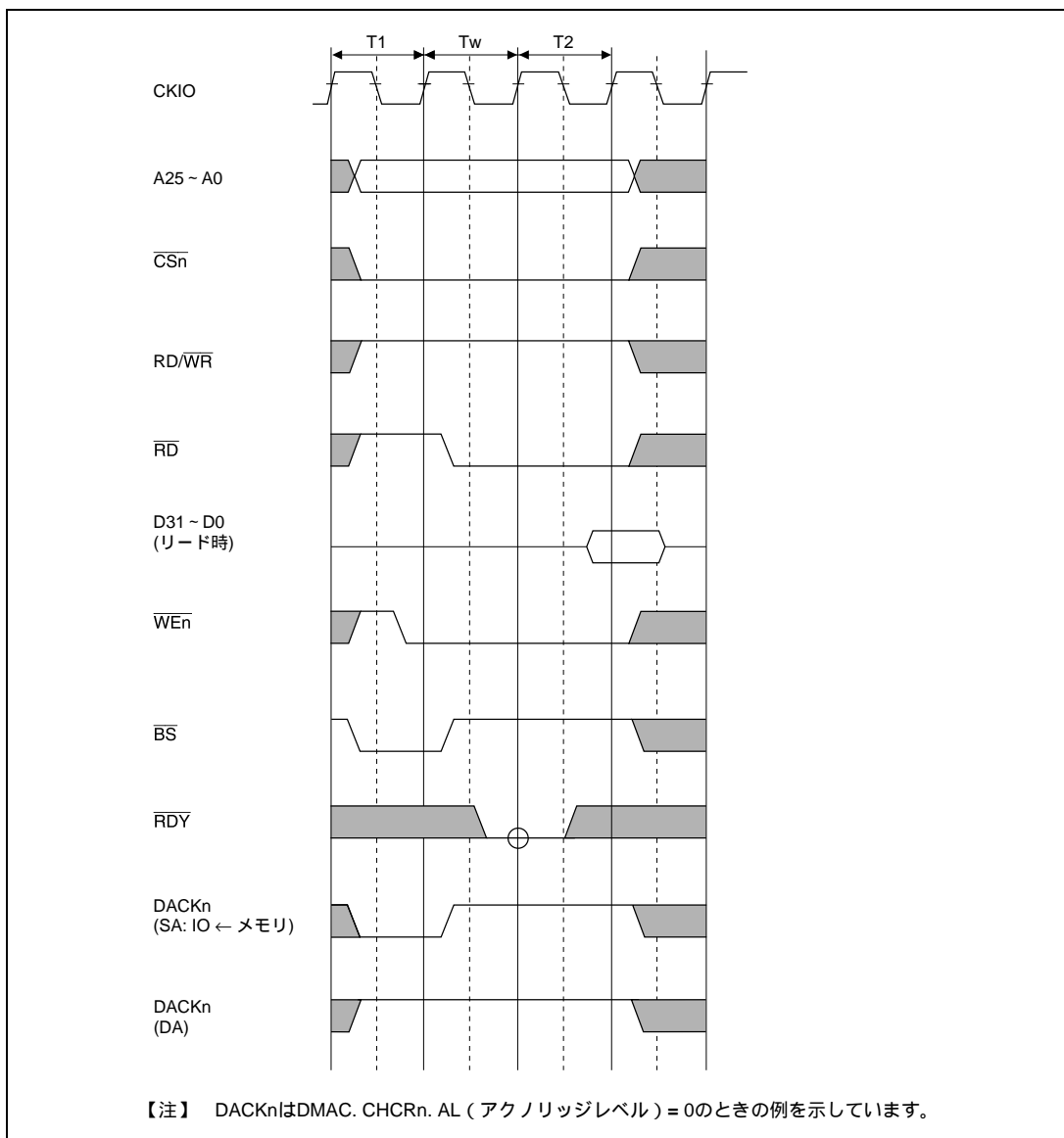


図 13.66 バイト制御 SRAM 基本リードサイクル (内部ウェイト 1 サイクル)

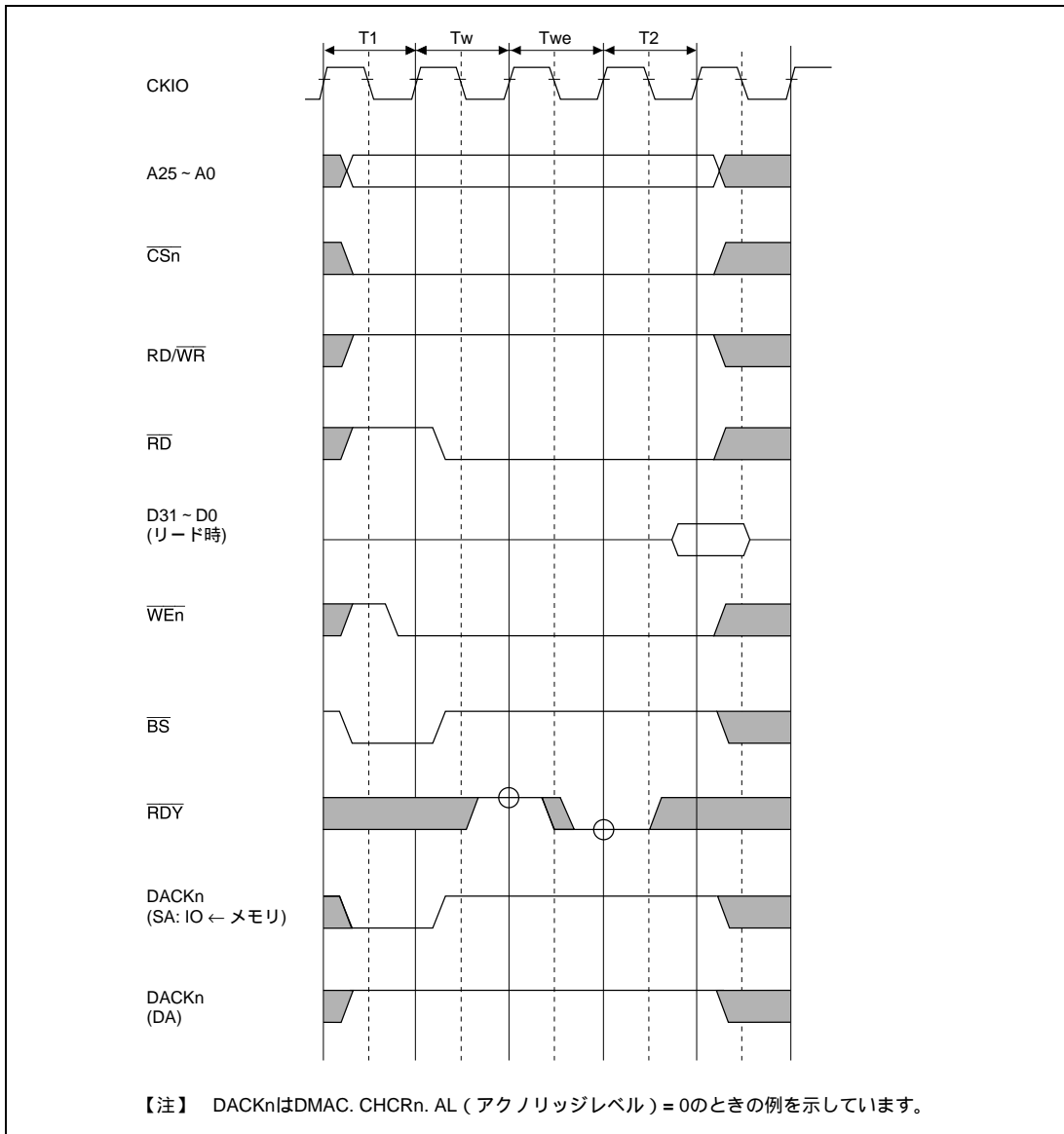


図 13.67 バイト制御 SRAM 基本リードサイクル (内部 1 ウェイト + 外部 1 ウェイト)

### 13.3.10 アクセスサイクル間ウェイト

外部メモリバスの動作周波数が高くなってきたため、低速なデバイスからの読み出しが完了した際のデータバッファのターンオフが間に合わず、次のアクセスのデータと衝突してデバイスの信頼度を低下させたり、誤動作を引き起こすという事象が起こるようになってきました。これを防止するため、直前のアクセスのエリアと読み出し/書き込みの種類を記憶しておき、次のアクセスを起動する際にバスが衝突する可能性があるケースではアクセスサイクルの前にウェイトサイクルを挿入して、データの衝突を回避する機能を設けました。ウェイトサイクル挿入のケースとしては、「13.2.5 ウェイトコントロールレジスタ 1 (WCR1)」に示されるように、アクセスサイクル間にアイドルサイクルが挿入されます。本 LSI がライトサイクルを連続している場合には、データの転送方向は常に本 LSI から他のメモリという形で統一されており、特に問題とはなりません。同一のエリアに対するリードアクセスも、原則として同一のデータバッファからデータが出力されるものとして、ウェイトサイクルの挿入は行いません。WCR1 の AnIW2 ~ AnIW0 ビット ( $n=0\sim 6$ ) によって、アクセス間に空きがある場合には、指定されたアイドル数からその空きサイクル数を除いたサイクルだけ、アイドルサイクルの挿入を行います。

バスアービトレーションを行う場合には、サイクル間ウェイトが挿入された後、バスが解放されます。

シングルアドレスモードの DMA 転送では、I/O デバイスからメモリへの転送時には、バス上のデータは、I/O デバイスのスピードによって決定されます。低速な I/O デバイスを使用する場合、出力バッファのターンオフ時間に相当するサイクル間ウェイトの挿入が必要になることがあります。また、高速なメモリを使用しても、DMA 転送を考慮すると、低速デバイスのスピードに合わせるためにサイクル間、ウェイトの挿入が必要になることがあります。そのメモリ本来のスピードが使用できないこともあります。

ウェイトコントロールレジスタ 1 (WCR1) の DMAIW2 ~ DMAIW0 ビットを使用すると、I/O デバイスからメモリへの DMA 転送をシングルアドレスモードで行うとき、サイクル間ウェイト挿入の設定を行うことができます。挿入できるウェイト数は 0 ~ 15 です。DMAIW2 ~ DMAIW0 ビットで指定されたウェイト数が、全エリアでのシングルアドレスモード DMA 転送時に挿入されます。

なお、デュアルアドレスモードでの DMA 転送の場合には、AnIW2 ~ AnIW0 ビット ( $n$  は 0 ~ 6) によって指定された通常のサイクル間ウェイトが挿入されます。

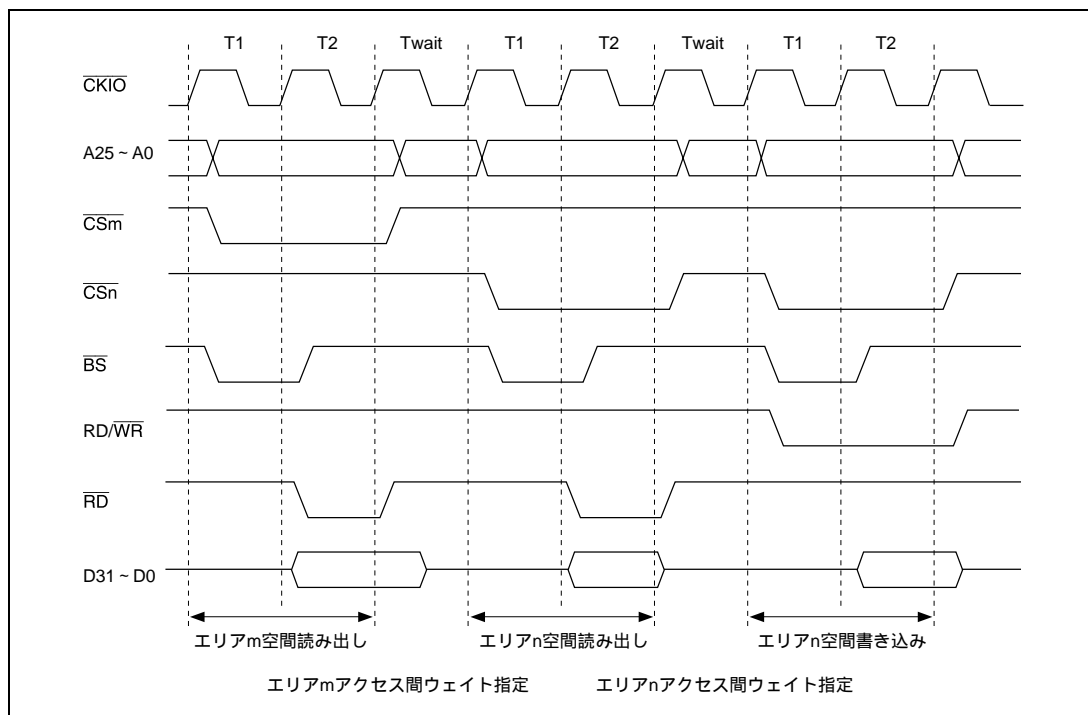


図 13.68 アクセスサイクル間ウェイト



### 13.3.11 バスアービトレーション

本 LSI には、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えるバスアービトレーション機能が備わっています。

バスアービトレーションには、マスタモード、スレーブモードの 2 つのモードがあります。マスタモードは定常状態でバス権を有し、他のデバイスからのバス権使用要求を受けてバスの解放を行い、バスの使用許諾を行うモードです。スレーブモードは定常状態でバス権を有しておらず、外部バスアクセスサイクルが発生することにバス権の要求を行い、アクセス終了後はバスを再び解放するモードです。

マスタモードとスレーブモードは外部モードピンの設定によって指定できます。外部モードピンの設定は「付録 C. モード端子の設定」を参照してください。マスタモードとスレーブモードでは、バス権を所有していないときにはバスをハイインピーダンス状態とします。以下の説明ではバス権要求を行う外部デバイスもスレーブと呼びます。

本 LSI の内部には CPU、DMAC、PCIC の 3 つのバスマスタがあります。また、シンクロナス DRAM、DRAM を接続して、リフレッシュ制御を行わせる場合、リフレッシュ要求は第 4 のバスマスタとなります。これらに加え、マスタモードのときには外部デバイスからのバス権要求が加わります。同時に要求が発生した場合のバス権要求に関する優先順位は、高い方から順に、外部デバイスによるバス権要求、PCIC、リフレッシュ要求、DMAC、CPU の順となります。「13.3.15 使用上の注意」も参照してください。

マスタとスレーブとの間でバスを受け渡す際、接続されているデバイスの誤動作を防ぐため、バス解放に先立ってすべてのバス制御信号はネゲート状態とします。バス権を受け取る場合にも、バス制御信号はネゲート状態からバスのドライブを開始します。バス権を受け渡すマスタとスレーブで同じ値に信号をドライブするので、出力バッファの衝突は回避できます。

バス権の委譲はバスサイクルの切れ目で行われます。

バス解放要求信号 ( $\overline{\text{BREQ}}$ ) がアサートされると、本 LSI は実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ( $\overline{\text{BACK}}$ ) を出力します。ただし、データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、例えば 8 ビットバス幅のメモリにロングワードアクセスを行う場合やキャッシュフィルやライトバックなどの 32 バイト転送の途中でバス権の解放を行いません。また、TAS 命令実行中のリードサイクルとライトサイクルの間や DMAC のデュアルアドレス転送実行時のリードサイクルとライトサイクルの間にもバス権の解放を行いません。 $\overline{\text{BREQ}}$  がネゲートされると  $\overline{\text{BACK}}$  をネゲートし、バスの使用を再開します。バス解放時の端子状態は、「付録 D. 端子機能」を参照してください。

また、リフレッシュ要求が発生すると、本 LSI は実行中のバスサイクルが終わり次第、リフレッシュ動作を行います。ただし、データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、例えば 8 ビットバス幅のメモリにロングワードアクセスを行う場合やキャッシュフィルやライトバックなどの 32 バイト転送の途中では、リフレッシュ動作は待たされます。また、TAS 命令実行中のリードサイクルとライトサイクルの間や DMAC のデュアルアドレス転送実行時のリードサイクルとライトサイクルの間も、リフレッシュ動作は待たされます。バス権解放状態でもリフレッシュ動作は待たされます。

シンクロナス DRAM インタフェースが RAS ダウンモードに設定されている場合、リフレッシュサイクルの前またはバスアービトレーションによるバス解放の前に PALL コマンドが発行されます。

本 LSI 内部の CPU は、キャッシュメモリとの間を専用の内部バスで接続されているため、LSI 内部または外部

他のバスマスタがバスを使用している場合、キャッシュメモリからの読み出しを行うことができます。CPUからの書き込みの場合、本 LSI のキャッシュでライトスルー方式を設定した場合または、キャッシュオフエリアへのアクセスを行った場合、外部に対する書き込みサイクルが生じます。このためバス権が返還されるまで待たされます。

内部でメモリリフレッシュ要求によりバス権を取り戻したい場合、本 LSI は  $\overline{\text{BACK}}$  をネゲートします。外部バス解放要求をアサートしているデバイスは、 $\overline{\text{BACK}}$  のネゲートを受けてバス権を解放するために  $\overline{\text{BREQ}}$  をネゲートします。これによりバス権の戻った本 LSI が処理を行います。

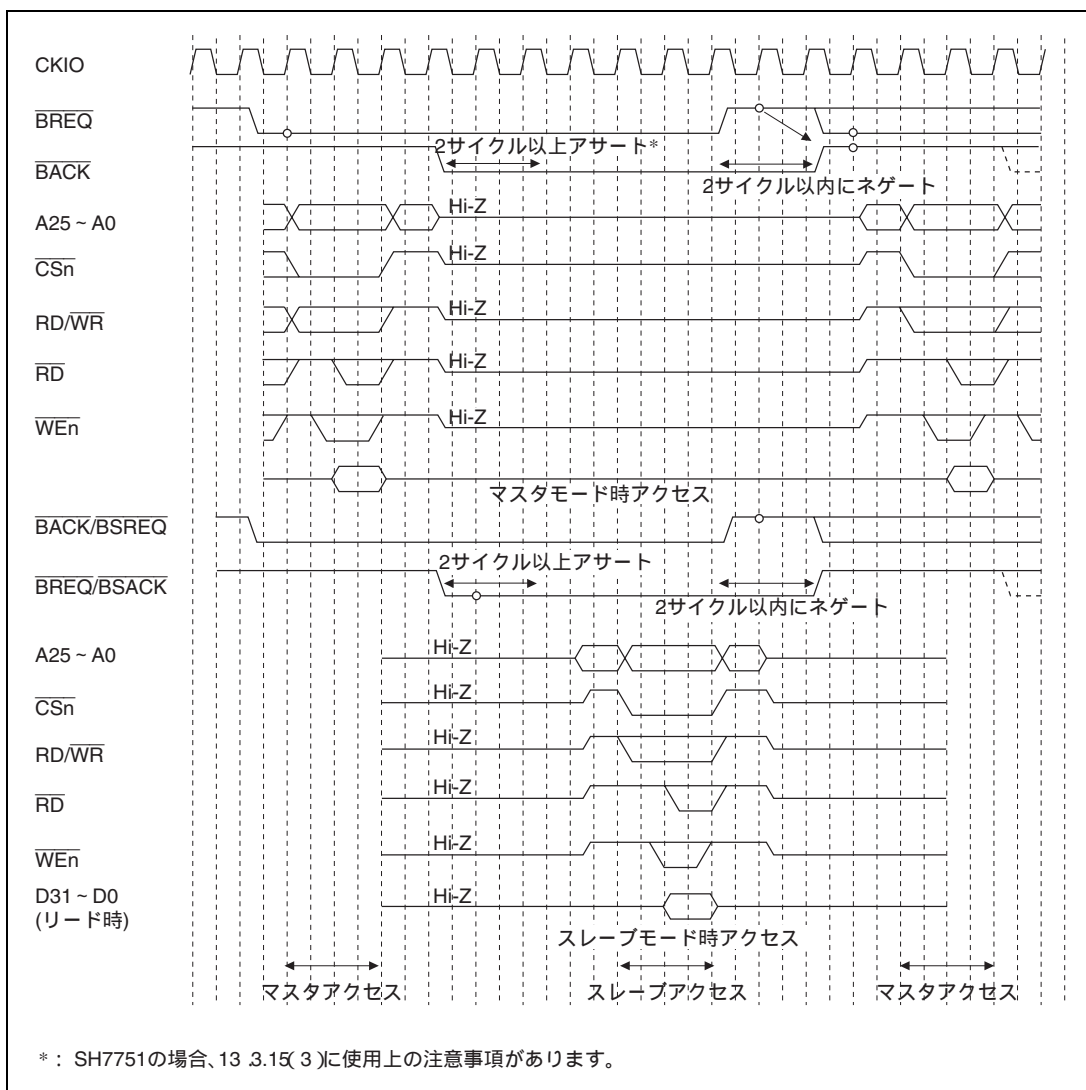


図 13.69 アービトレーションシーケンス

### 13.3.12 マスタモード

マスタモードのプロセッサは、バス権要求を受けない限り自分でバスを保有しています。

外部からのバス権要求 ( $\overline{\text{BREQ}}$ ) のアサート (L レベル) を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ( $\overline{\text{BACK}}$ ) をアサート (L レベル) にします。リフレッシュ要求によるバス権要求が出ていない場合は、スレーブがバスを解放したことを示す  $\overline{\text{BREQ}}$  のネゲート (H レベル) を受けて  $\overline{\text{BACK}}$  をネゲート (H レベル) し、バスの使用を再開します。

バス権解放状態でメモリリフレッシュ要求によるバス権要求が出た場合、バス使用許可 ( $\overline{\text{BACK}}$ ) をネゲートし、スレーブがバスを解放したことを示す  $\overline{\text{BREQ}}$  のネゲートを受けて、バスの使用を再開します。

バス解放時はシンクロナス DRAM インタフェースの CKE とバスアービトレーションの  $\overline{\text{BACK}}$ 、および DMA 転送を制御する DACK0、DACK1 を除き、バスインタフェースに関連するすべてのバス制御出力信号および入出力信号をハイインピーダンスとします。

DRAM はプリチャージを完了させてからバスを解放します。シンクロナス DRAM も、アクティブとなっているバンクに対してプリチャージコマンドを発行し、これを完了させた後バスの解放を行います。

具体的なバス解放シーケンスは次のとおりです。まず、バス使用許可信号をクロックの立ち上がりで同期してアサートします。この  $\overline{\text{BACK}}$  アサートに同期してアドレスバスおよびデータバスをハイインピーダンスにします。同時に、バス制御信号 ( $\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RAS1}}$ 、 $\overline{\text{WE1n}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{RD/WR}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ ) をハイインピーダンスにします。これらのバス制御信号は遅くともハイインピーダンスにする 1 サイクル前にはネゲートされています。バス権要求信号のサンプリングはクロックの立ち上がりで行います。

スレーブからバス権を再獲得するときのシーケンスは次のとおりです。

$\overline{\text{BREQ}}$  のネゲートをクロックの立ち上がりで検出すると、直ちに  $\overline{\text{BACK}}$  をネゲートし、次のクロックの立ち上がりから、バス制御信号のドライブを開始します。アドレスバスおよびデータバスのドライブを開始するのも、同相のクロックの立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはバス制御信号のドライブを開始した次のクロックの立ち上がりからです。

バス権を再獲得してリフレッシュ動作、バスアクセスの実行を開始するためには、2 サイクル以上の  $\overline{\text{BREQ}}$  信号のネゲートが必要です。

$\overline{\text{BACK}}$  をアサートしバスを解放している状態でリフレッシュ要求が発生した場合、バス権の放棄をスレーブに要求するために、 $\overline{\text{BREQ}}$  信号がアサートされている状態でも  $\overline{\text{BACK}}$  信号をネゲートします。本 LSI をマスタモードで使用し、ユーザが個別に設計したスレーブの場合、アービトレーションによるオーバーヘッドを減少させるため、連続して複数回のバスアクセスを発生しようとする場合があります。連続した複数回のアクセスの合計時間がリフレッシュ周期を超えるスレーブを接続する場合には、 $\overline{\text{BACK}}$  信号のネゲートを検出したとき、できるだけ速やかにバス権を解放するように設計を行ってください。

### 13.3.13 スレーブモード

スレーブモードでは通常、バスは解放状態となっており、バスアービトレーションシーケンスを行ってバス権を獲得しない限り、外部デバイスにアクセスすることはできません。リセット時もバス解放状態であり、リセットベクタのフェッチからバスアービトレーションシーケンスが開始されます。

バス権獲得のためにクロックの立ち上がりに同期して  $\overline{\text{BSREQ}}$  信号をアサート (L レベルに) します。バス使用許可である  $\overline{\text{BSACK}}$  信号のアサート (L レベル) をクロック立ち上がりでサンプリングします。 $\overline{\text{BSACK}}$  のアサートを検出すると、2 サイクル後にバス制御信号をネゲートレベルでドライブします。これに続くクロックの立ち上がりで、バスサイクルを開始します。アクセスサイクルの終了時に最後にネゲートされる信号は、クロック立ち上がりに同期しています。バスサイクル終了と同時に、 $\overline{\text{BSREQ}}$  信号をネゲートしバスの解放をマスタに通知します。次のクロックの立ち上がりで、制御信号をハイインピーダンスにします。

スレーブモードのプロセッサがアクセスを開始するためには、2 サイクル以上の  $\overline{\text{BSACK}}$  信号のアサートが必要です。

スレーブのアクセスサイクルが DRAM、シンクロナス DRAM の場合、マスタ同様にメモリのプリチャージが完了した時点でバス権の解放を行います。

リフレッシュ制御はマスタモードのデバイスに任せるため、スレーブモードでリフレッシュ制御の設定を行っても無視されます。

スレーブモードでは DRAM / シンクロナス DRAM の RAS ダウンモードは使用しないでください。

シンクロナス DRAM のモードレジスタ設定はマスタモードのデバイスで行ってください。

スレーブモードでは DMAC の DDT モードは使用しないでください。

### 13.3.14 マスタとスレーブの協調

マスタとスレーブで矛盾なくシステムリソースを制御するために、役割分担をきちんとする必要があります。DRAM、シンクロナス DRAM は使用に先立って初期化動作を行わなければなりません。また、低消費電力を実現するためのスタンバイ動作を行う場合にも分担を行わないといけません。

本 LSI の設計にあたっては初期化、リフレッシュ、スタンバイ制御などのすべての制御をマスタモードのデバイスが行うように考えてあります。

本 LSI は、パワーオンリセット時に、マスタ指定された場合、 $\overline{\text{BREQ}}$  イネーブルビット (BCR1.BREQEN) を 1 に設定するまで、スレーブからのバス権要求を受け付けません。

スレーブ側のプロセッサが DRAM、シンクロナス DRAM のように使用に先立って初期化が必要なメモリを初期化が完了する前にアクセスしないように、初期化終了後に、 $\overline{\text{BREQ}}$  イネーブルビットに 1 を書き込んでください。

スタンバイモードなどでセルフリフレッシュモードにする場合、事前に  $\overline{\text{BREQ}}$  イネーブルビットに 0 を書き込んで、スレーブからの  $\overline{\text{BREQ}}$  を無効化してください。 $\overline{\text{BREQ}}$  イネーブルビットに 1 を書き込むのは、リフレッシュの設定などセルフリフレッシュモードからの解除時に必要な処理を、マスタが行ってからにしてください。

### 13.3.15 使用上の注意

#### (1) リフレッシュ

スタンバイモード、ハードウェアスタンバイモード、ディープスリープモードに遷移させると、オートリフレッシュは実行されなくなります。リフレッシュが必要なメモリシステムの場合はメモリをセルフリフレッシュ状態にしてからスタンバイモード、ハードウェアスタンバイモード、ディープスリープモードに遷移してください。

#### (2) バスアービトレーション

スタンバイモード、ディープスリープモードに遷移させると、マスタモードのプロセッサはバス権を解放しなくなります。バスアービトレーションを行うシステムではマスタモードのプロセッサのバス権解放イネーブルビット (BCR1.BREQEN) を 0 に設定してからスタンバイモード、ディープスリープモードに遷移してください。バス権解放イネーブルビットを 1 に設定したままスタンバイ、ディープスリープモードに遷移した場合の動作は保証されません。

#### (3) バスアービトレーションとリフレッシュの同時使用 (SH7751 のみ)

SH7751 にて外部デバイスと  $\overline{\text{BREQ}}$  を使用して、バス権の授受を行う場合、次の 2 つの制限事項があります。

1. マスタモード (MD7=1) において、PCICのDMA転送またはターゲット転送を使用し、かつDRAM/シンクロナスDRAMをCASピフォRASリフレッシュ/オートリフレッシュ設定にした状態で、外部デバイスから  $\overline{\text{BREQ}}$  を入力する場合、バス権の調停が正しく行われなくなり、ハングアップする可能性があります。
2. マスタモード (MD7=1) において、DRAM/シンクロナスDRAMをCASピフォRASリフレッシュ/オートリフレッシュ設定した状態で、外部デバイスから  $\overline{\text{BREQ}}$  を入力する場合、その  $\overline{\text{BREQ}}$  に対する  $\overline{\text{BACK}}$  のアサート (ローレベル) が CKIO で 1 サイクルのみとなることがあります。

1、2 ともに、BREQ を使用しないことで本制限事項を回避できます。BREQ を使用する場合は、通常状態ではリフレッシュを禁止しておき、リフレッシュ必要時には BCR1.BREQEN=0 に設定した状態でリフレッシュをまとめて行うことで本制限事項を回避できます。

#### (4) シンクロナス DRAM モードレジスタ設定 (SH7751 のみ)

シンクロナス DRAM のモードレジスタを設定する場合、次の条件に従ってください。

- シンクロナスDRAMのモードレジスタ設定が終了するまでDMACの起動は行わないでください\*<sup>1</sup>
- シンクロナスDRAMのモードレジスタ設定が終了するまで内蔵周辺モジュール\*<sup>2</sup>のレジスタ設定は行わないでください\*<sup>3</sup>

【注】 \*1 シンクロナス DRAM のモードレジスタ設定と DMAC によるメモリアクセスが競合する場合、シンクロナス DRAM のモードレジスタ設定と DMAC によるメモリアクセスは保証されません。

\*2 該当周辺モジュールは CPG、RTC、INTC、TMU、SCI、SCIF、H-UDI です。

\*3 内蔵周辺モジュール (\*2) のレジスタへのライトアクセス直後にシンクロナス DRAM のモードレジスタ設定をした場合、内蔵周辺モジュールへのレジスタ値は保証されません。

なお、シンクロナス DRAM のモードレジスタの設定はパワーオン後、シンクロナス DRAM のアクセス前に実行し、設定した後は変更しないでください。



---

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

---

### 14.1 概要

SH7751 は、4 チャンネルのダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。SH7751R は、8 チャンネルの DMAC を内蔵しています。DMAC は、DACK (DMA 転送終了通知) 付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (TMU、RTC、SCI、SCIF、CPG、INTC) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI の動作効率を上げることができます。SH7751R を使用する場合は「14.6 SH7751R DMAC の構成」、「14.7 各レジスタの説明 (SH7751R)」、「14.8 動作説明 (SH7751R)」を参照してください。

#### 14.1.1 特長

DMAC には次のような特長があります。

- チャンネル数：4チャンネル (SH7751)、8チャンネル (SH7751R)
- アドレス空間：物理アドレス空間
- 転送データ長：8ビット、16ビット、32ビット、64ビット、32バイトの中から選択可能
- 最大転送回数：16M (16,777,216回)
- アドレスモード：デュアルアドレスモード、シングルアドレスモードの選択可能
  - シングルアドレスモード  
転送元か転送先の外部デバイスをDACK信号でアクセスし、もう一方をアドレスアクセスします。1回のデータ転送が1バスサイクルで終了します。
  - デュアルアドレスモード  
転送元、転送先双方をアドレスアクセスします。  
転送元、転送先とも、DMAC内部のレジスタに設定された値がアクセス対象のアドレスを指しています。1回のデータ転送に2バスサイクルを必要とします。
- バスモード：サイクルスチールモードとバーストモードの選択が可能です。
- 優先順位：DMACのチャンネル優先順位には以下の2つの種類があります。
  - 優先順位固定モード：チャンネル優先順位は常に固定
  - ラウンドロビンモード：実行要求を受け付けたチャンネルの優先順位を最低にします。
- 割り込み要求：指定した転送回数終了後、CPUに割り込み要求発生可能
- 転送要求：DMACの転送起動要求には以下の種類があります。
  - 外部リクエスト  
(1) ノーマルDMAモード：  
DREQ端子2本。ローレベル検出または立ち下がりエッジ検出の指定が可能。外部リクエスト要求が受け付けられるのはチャンネル0とチャンネル1の2チャンネルのみ

## (2) オンデマンドデータ転送モード (DDTモード) :

SH7751では、 $\overline{\text{DBREQ}}$ 、 $\overline{\text{BAVL}}$ 、 $\overline{\text{TR}}$ 、 $\overline{\text{TDACK}}$ 、ID[1:0]、D[31:0]端子を使用して、外部デバイスとDMAC間のインタフェースを行うものです。4チャンネルとも外部リクエスト受け付け可能です。SH7751Rでは、 $\overline{\text{DBREQ}}$ 、 $\overline{\text{BAVL}}$ 、 $\overline{\text{TR}}$ 、 $\overline{\text{TDACK}}$ 、ID[2:0]、D[31:0]端子を使用して外部デバイスとDMAC間のインタフェースを行うものです。8チャンネルとも外部リクエスト受け付け可能です。

チャンネル0はリクエストキューを持っていませんが、SH7751ではチャンネル1~3、SH7751Rではチャンネル1~7に、各4個のリクエストキューを持っています。

- チャンネルごとのリクエストキュークリア (SH7751Rのみ)

SH7751Rは、DDTモード時のリクエストキュークリアをチャンネルごとにできます。チャンネルごとのリクエストキュークリアには、次の2通りの方法があります。

- DTRフォーマットによるリクエストキュークリア

DTR.SZ=110、DTR.ID=00、DTR.MD=11、DTR.COUNT[7:4]\*=[1~8]を受け付けることで当該チャンネルのリクエストキューがクリアされます。

- ソフトウェアによるリクエストキュークリア

各チャンネルのCHCRn.QCL (リクエストキュークリアビット) に1を書き込むことで当該チャンネルのリクエストキューがクリアされます。

【注】 \* DTR.COUNT[7:4] (DTR[23:20]) : ポート未使用

DDTモード時は、SH7751では $\overline{\text{DBREQ}}$ 、 $\overline{\text{BAVL}}$ 、 $\overline{\text{TR}}$ 、 $\overline{\text{TDACK}}$ 、ID[1:0]、D[31:0]の信号を使用して、外部デバイスとDMACの間でハンドシェイクを行いながらデータ転送を行います。SH7751Rでは、 $\overline{\text{DBREQ}}$ 、 $\overline{\text{BAVL}}$ 、 $\overline{\text{TR}}$ 、 $\overline{\text{TDACK}}$ 、ID[2:0]、D[31:0]の信号を使用して、外部デバイスとDMAC間でハンドシェイクを行いながらデータ転送を行います。

- 内蔵周辺モジュールリクエスト

SCI、SCIF、TMUからの転送要求です。すべてのチャンネルが受け付け可能です。

- オートリクエスト

転送要求をDMAC内部で自動的に発生させます。

- チャンネル機能 : 各チャンネルごとに、設定可能な転送モードが異なります。

## (1) ノーマルDMAモード

- チャンネル0

デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能

- チャンネル1

デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能

- チャンネル2

デュアルアドレスモードのみ対応

- チャンネル3

デュアルアドレスモードのみ対応

- チャンネル4 (SH7751Rのみ)

デュアルアドレスモードのみ対応

- チャンネル5 (SH7751Rのみ)

デュアルアドレスモードのみ対応

- チャンネル6 (SH7751Rのみ)

デュアルアドレスモードのみ対応

- チャンネル7 (SH7751Rのみ)

デュアルアドレスモードのみ対応



## (2) DDTモードチャンネル機能：

- チャンネル0  
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
- チャンネル1  
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
- チャンネル2  
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
- チャンネル3  
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
- チャンネル4 (SH7751Rのみ)  
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
- チャンネル5 (SH7751Rのみ)  
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
- チャンネル6 (SH7751Rのみ)  
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
- チャンネル7 (SH7751Rのみ)  
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能

14.1.2 DMAC ブロック図 (SH7751)

図 14.1 に DMAC のブロック図を示します。

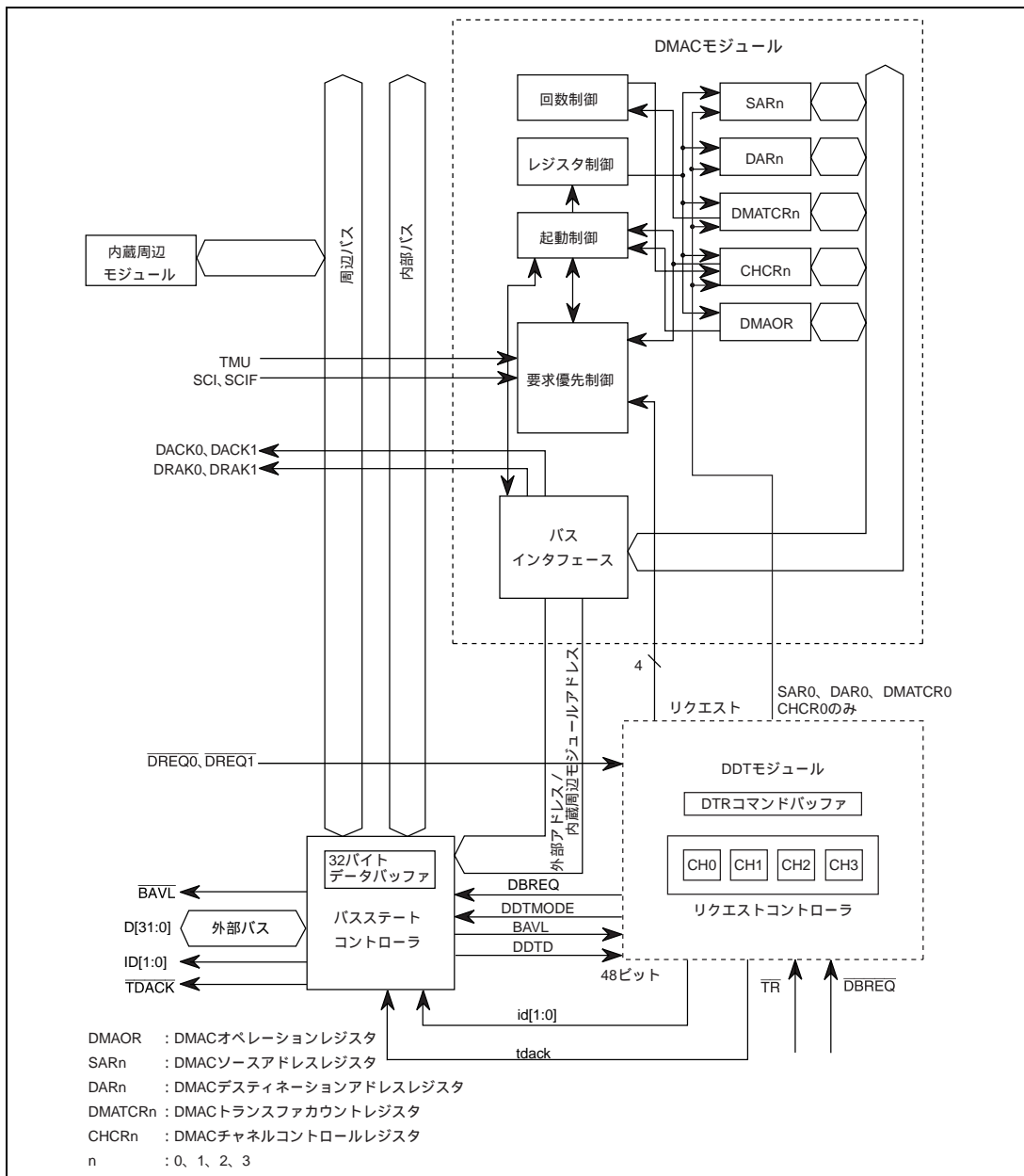


図 14.1 DMAC ブロック図

## 14.1.3 端子構成 (SH7751)

DMAC の端子構成を表 14.1、表 14.2 に示します。

表 14.1 DMAC 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル0へのDMA転送要求入力
	DREQ 受け付け確認	DRAK0	出力	チャンネル0から外部デバイスへのDMA転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	DACK0	出力	外部デバイスからチャンネル0へのDMA転送要求に対する外部デバイスへのストロープを出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル1へのDMA転送要求入力
	DREQ 受け付け確認	DRAK1	出力	チャンネル1から外部デバイスへのDMA転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	DACK1	出力	外部デバイスからチャンネル1へのDMA転送要求に対する外部デバイスへのストロープを出力

表 14.2 DDT モードにおける DMAC 端子構成

名称	略称	入出力	機能
データバス要求	DBREQ (DREQ0)	入力	外部デバイスからのDTRフォーマット入力のためのデータバス解放要求
データバス使用許可	BAVL (DRAK0)	出力	データバス解放通知。BAVLアサートの2サイクル後にデータバスを使用可能
転送要求信号	TR (DREQ1)	入力	BAVLアサートの2サイクル後アサートの場合、DTRフォーマット送出。TRのみアサートはDMAリクエスト。DBREQ、TR同時アサートの場合はチャンネル2への直接リクエスト
DMAC ストロープ	TDACK (DACK0)	出力	DMAC から外部デバイスに対する応答ストロープ信号
チャンネル番号通知	ID [1:0] (DRAK1、 DACK1)	出力	TDACK出力時にチャンネル番号を同時に外部デバイスへ通知 (ID[1]=DRAK1、ID[0]=DACK1)

## 14.1.4 レジスタ構成 (SH7751)

表 14.3 にレジスタ構成を示します。DMAC では 1 チャンネルにつき 4 本のレジスタが割り当てられているほか、DMAC 全体の制御用のレジスタが 1 本で、計 17 本のレジスタがあります。

表 14.3 レジスタ構成

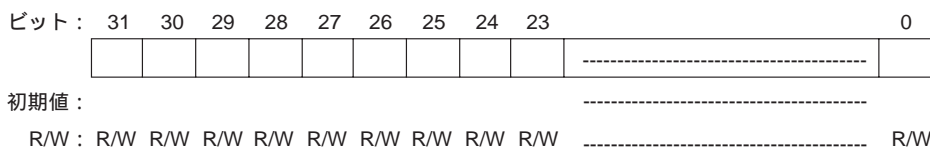
チャネル	名称	略称	R/W	初期値	P4 アドレス	エリア 7 アドレス	アクセス サイズ
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	不定	H'FFFA00000	H'1FA00000	32
	DMA デスティネーション アドレスレジスタ 0	DAR0	R/W	不定	H'FFFA00004	H'1FA00004	32
	DMA トランスファカウント レジスタ 0	DMATCR0	R/W	不定	H'FFFA00008	H'1FA00008	32
	DMA チャンネルコントロール レジスタ 0	CHCR0	R/W*	H'00000000	H'FFFA0000C	H'1FA0000C	32
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	不定	H'FFFA00010	H'1FA00010	32
	DMA デスティネーション アドレスレジスタ 1	DAR1	R/W	不定	H'FFFA00014	H'1FA00014	32
	DMA トランスファカウント レジスタ 1	DMATCR1	R/W	不定	H'FFFA00018	H'1FA00018	32
	DMA チャンネルコントロール レジスタ 1	CHCR1	R/W*	H'00000000	H'FFFA0001C	H'1FA0001C	32
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	不定	H'FFFA00020	H'1FA00020	32
	DMA デスティネーション アドレスレジスタ 2	DAR2	R/W	不定	H'FFFA00024	H'1FA00024	32
	DMA トランスファカウント レジスタ 2	DMATCR2	R/W	不定	H'FFFA00028	H'1FA00028	32
	DMA チャンネルコントロール レジスタ 2	CHCR2	R/W*	H'00000000	H'FFFA0002C	H'1FA0002C	32
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	不定	H'FFFA00030	H'1FA00030	32
	DMA デスティネーション アドレスレジスタ 3	DAR3	R/W	不定	H'FFFA00034	H'1FA00034	32
	DMA トランスファカウント レジスタ 3	DMATCR3	R/W	不定	H'FFFA00038	H'1FA00038	32
	DMA チャンネルコントロール レジスタ 3	CHCR3	R/W*	H'00000000	H'FFFA0003C	H'1FA0003C	32
共通	DMA オペレーションレジスタ	DMAOR	R/W*	H'00000000	H'FFFA00040	H'1FA00040	32

【注】 各制御レジスタへのアクセスは、すべてロングワードを指定してください。それ以外でアクセスした場合、リード時にはオール 0 が読み出されます。ライト時には書き込み不可になります。

\* CHCR0~3 のビット 1 および DMAOR のビット 2、1 は、フラグをクリアするための 1 リード後の 0 ライトのみ可能です。

## 14.2 各レジスタの説明

### 14.2.1 DMA ソースアドレスレジスタ 0~3 (SAR0~3)

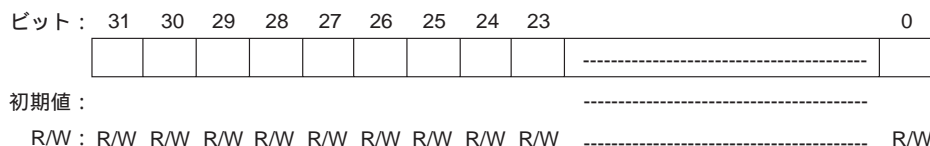


DMA ソースアドレスレジスタ 0~3 (SAR0~3) は読み出し / 書き込み可能な 32 ビットのレジスタで、転送元のアドレスを指定します。カウンタからのフィードバック機能を持ち、DMA 動作中は次の転送元アドレスを示しています。シングルアドレスモードにおいて、DACK 付きデバイスを転送元に指定した場合、SAR の値は無視されます。

16 ビット、32 ビット、64 ビット、32 バイト幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット、64 ビット、32 バイト境界のアドレスを指定してください。それ以外のアドレスを設定した場合は、アドレスエラーを検出して DMAC は停止します。

パワーオンリセット、マニュアルリセット時には、値は不定です。スタンバイモード、スリープモード、ディープスリープモード時には、値は保持されます。

### 14.2.2 DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3)



DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3) は読み出し / 書き込み可能な 32 ビットのレジスタで、転送先のアドレスを指定します。カウンタからのフィードバック機能を持ち、DMAC 動作中は次の転送先アドレスを示しています。シングルアドレスモードにおいて、DACK 付きデバイスを転送先に指定した場合、DAR の値は無視されます。

16 ビット、32 ビット、64 ビット、32 バイト幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット、64 ビット、32 バイト境界のアドレスを指定してください。それ以外のアドレスを設定した場合は、アドレスエラーを検出して DMAC は停止します。

パワーオンリセット、マニュアルリセット時には、値は不定です。スタンバイモード、スリープモード、ディープスリープモード時には、値は保持されます。

- 【注】
- 16 ビット、32 ビット、64 ビット、32 バイト境界のアドレス指定時には、各々ビット 0、ビット 1~0、ビット 2~0、ビット 4~0 の設定に注意してください。境界を無視したアドレス指定を行うと、DMAC はアドレスエラーを検出して全チャネル停止します (DMAOR : アドレスエラーフラグ AE = 1)。このほかに、外部バスデータ転送時にエリア 7 アドレスを指定した場合、存在しない内蔵周辺回路のアドレスを指定した場合にも DMAC はアドレスエラーを検出して停止します。
  - 外部アドレスは 29 ビットです。SAR[31:29]、DAR[31:29] は DMA 転送では使用されません。したがって、SAR[31:29] = 000、DAR[31:29] = 000 を設定することを推奨します。

## 14.2.3 DMA トランスファカウントレジスタ 0~3 (DMATCR0~3)

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0

R/W : R R R R R R R R R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 :

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

DMA トランスファカウントレジスタ 0~3 (DMATCR0~3) は読み出し / 書き込み可能な 32 ビットのレジスタで、そのチャンネルの転送回数 (バイト数、ワード数、ロングワード数、クワッドワード数、32 バイト数) を指定します。転送回数は H'000001 を設定した場合 1 回ですが、H'000000 を設定すると最大値を設定したことになり、16,777,216 回 (16M 回) 実行されます。DMAC 動作中は、残りの転送回数を示しています。

本レジスタのビット 31~24 は予約ビットです。読み出しは常に 0 です。書き込む値も常に 0 にしてください。パワーオンリセット、マニュアルリセット時には、値は不定です。スタンバイモード、スリープモード、ディープスリープモード時には、値は保持されます。

## 14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SSA2	SSA1	SSA0	STC	DSA2	DSA1	DSA0	DTC	—	—	—	—	DS	RL	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	(R/W)	R/W	(R/W)
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	TM	TS2	TS1	TS0	—	IE	TE	DE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/(W)	R/W

【注】 TEビットは、フラグをクリアするための1リード後の0ライトのみ可能です。  
RL、AM、AL、DSビットは、チャンネルにより存在しないビットがあります。

DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3) は読み出し / 書き込み可能な 32 ビットのレジスタで、各チャンネルの動作モード、転送方法などを指定します。ビット 31~28、ビット 27~24 は、それぞれソースアドレス、デスティネーションアドレスが、CS5 または CS6 空間でかつ当該空間が PCMCIA インタフェースに指定されているときのみ有効です。そうでない場合は、書き込む値は 0 にしてください。PCMCIA インタフェースについては、「13.3.7 PCMCIA インタフェース」を参照してください。

ビット 18、16 は CHCR2、3 には存在しません。CHCR2、3 の場合、このビットへの書き込みは無効ですが、書き込む値は常に 0 にしてください。読み出しは常に 0 です。

パワーオンリセット、マニュアルリセット時には、H'00000000 に初期化されます。スタンバイモード、スリープモード、ディープスリープモード時には値は保持されます。

ビット 31~29 : ソースアドレス側空間属性指定 (SSA2~SSA0)

PCMCIA インタフェースのエリアへのアクセス時に空間属性を指定するビットです。

ビット 31	ビット 30	ビット 29	説明
SSA2	SSA1	SSA0	
0	0	0	PCMCIA アクセス時、リザーブ (初期値)
		1	ダイナミックバスサイジング I/O 空間
	1	0	8 ビット I/O 空間
		1	16 ビット I/O 空間
1	0	0	8 ビット共通メモリ空間
		1	16 ビット共通メモリ空間
	1	0	8 ビットアトリビュートメモリ空間
		1	16 ビットアトリビュートメモリ空間

## ビット 28 : ソースアドレス側ウェイト制御セレクト (STC)

PCMCIA インタフェースのエリアへのアクセス時に CS5 または CS6 空間のウェイトサイクル制御を指定するビットです。このビットは、エリア 5、6 のウェイトサイクル制御を行う BSC 内のウェイトコントロールレジスタを選択します。

ビット 28	説 明
STC	
0	CS5 空間ウェイトサイクルセレクト (初期値) ウェイトコントロールレジスタ 2 (WCR2) の A5W2 ~ A5W0 ビット、および PCMCIA コントロールレジスタ (PCR) の A5PCW1 ~ A5PCW0、A5TED2 ~ A5TED0、A5TEH2 ~ A5TEH0 ビットの設定を選択します
1	CS6 空間ウェイトサイクルセレクト ウェイトコントロールレジスタ 2 (WCR2) の A6W2 ~ A6W0 ビット、および PCMCIA コントロールレジスタ (PCR) の A6PCW1 ~ A6PCW0、A6TED2 ~ A6TED0、A6TEH2 ~ A6TEH0 ビットの設定を選択します

【注】 詳細は、「13.3.7 PCMCIA インタフェース」を参照してください。

## ビット 27 ~ 25 : デスティネーションアドレス側空間属性指定 (DSA2 ~ DSA0)

PCMCIA インタフェースのエリアへのアクセス時に、空間属性を指定するビットです。

ビット 27	ビット 26	ビット 25	説 明
DSA2	DSA1	DSA0	
0	0	0	PCMCIA アクセス時、リザーブ (初期値)
		1	ダイナミックバスサイジング I/O 空間
	1	0	8 ビット I/O 空間
		1	16 ビット I/O 空間
1	0	0	8 ビット共通メモリ空間
		1	16 ビット共通メモリ空間
	1	0	8 ビットアトリビュートメモリ空間
		1	16 ビットアトリビュートメモリ空間



## ビット 24 : デスティネーションアドレス側ウェイト制御セレクト (DTC)

PCMCIA インタフェースのエリアへのアクセス時に、CS5 または CS6 空間のウェイトサイクル制御を指定するビットです。このビットは、エリア 5、6 のウェイトサイクル制御を行う BSC 内のウェイトコントロールレジスタを選択します。

ビット 24	説 明
DTC	
0	CS5 空間ウェイトサイクルセレクト (初期値) ウェイトコントロールレジスタ 2 (WCR2) の A5W2 ~ A5W0 ビット、および PCMCIA コントロールレジスタ (PCR) の A5PCW1 ~ A5PCW0、A5TED2 ~ A5TED0、A5TEH2 ~ A5TEH0 ビットの設定を選択します
1	CS6 空間ウェイトサイクルセレクト ウェイトコントロールレジスタ 2 (WCR2) の A6W2 ~ A6W0 ビット、および PCMCIA コントロールレジスタ (PCR) の A6PCW1 ~ A6PCW0、A6TED2 ~ A6TED0、A6TEH2 ~ A6TEH0 ビットの設定を選択します

【注】詳細は、「13.3.7 PCMCIA インタフェース」を参照してください。

## ビット 23 ~ 20 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 19 :  $\overline{\text{DREQ}}$  セレクト (DS)

外部リクエストモードで使用する  $\overline{\text{DREQ}}$  端子のサンプリング方法を、ローレベル検出にするか、立ち下がりエッジ検出にするかを指定するビットです。

このビットは、ノーマル DMA モードでは CHCR0、CHCR1 でのみ有効です。DDT モードでは、CHCR0 ~ 3 で有効です。

ビット 19	説 明
DS	
0	ローレベル検出 (初期値)
1	立ち下がりエッジ検出

【注】 TM = 1、DS = 0 の場合は、レベル検出バーストモード

TM = 1、DS = 1 の場合は、エッジ検出バーストモード

## ビット 18：リクエストチェックレベルビット (RL)

$\overline{\text{DREQ}}$  を受け取ったことを外部に知らせる信号 (DRAK) をハイアクティブで出力するか、ローアクティブで出力するかの選択ビットです。

このビットは、ノーマル DMA モードでは CHCR0、1 でのみ有効です。DDT モードでは無効です。

ビット 18	説 明	
RL		
0	DRAK をハイアクティブで出力	(初期値)
1	DRAK をローアクティブで出力	

## ビット 17：アクノリッジモードビット (AM)

デュアルアドレスモードで、DACK をデータの読み出しサイクルに出力するか、書き込みサイクルに出力するかを選択します。

シングルアドレスモードでは、このビットの指定に関係なく、DACK は常に出力されます。

このビットは、ノーマル DMA モードでは CHCR0、1 でのみ有効です。DDT モードでは、CHCR0~3 において有効です (DDT モード：TDACK)。

ビット 17	説 明	
AM		
0	読み出しサイクルで DACK を出力	(初期値)
1	書き込みサイクルで DACK を出力	

## ビット 16：アクノリッジレベル (AL)

DACK (アクノリッジ) 信号をハイアクティブにするかローアクティブにするかを指定します。

このビットは、ノーマル DMA モードでは CHCR0、1 でのみ有効です。DDT モードでは無効です。

ビット 16	説 明	
AL		
0	ハイアクティブで出力	(初期値)
1	ローアクティブで出力	

ビット 15、14 : デスティネーションアドレスモード 1、0 (DM1、DM0)

DMA 転送先アドレスの増減を指定します。シングルアドレスモードで外部メモリから外部デバイスにデータ転送する場合は、このビットの指定は無視されます。

ビット 15	ビット 14	説 明
DM1	DM0	
0	0	デスティネーションアドレスは固定 (初期値)
	1	デスティネーションアドレスは増加 (8 ビット転送時 + 1、16 ビット転送時 + 2、32 ビット転送時 + 4、 64 ビット転送時 + 8、32 バイトバースト転送時 + 32)
1	0	デスティネーションアドレスは減少 (8 ビット転送時 - 1、16 ビット転送時 - 2、32 ビット転送時 - 4、 64 ビット転送時 - 8、32 バイトバースト転送時 - 32)
	1	(設定禁止)

ビット 13、12 : ソースアドレスモード 1、0 (SM1、SM0)

DMA 転送元アドレスの増減を指定します。シングルアドレスモードで外部デバイスから外部メモリにデータ転送する場合は、このビットの指定は無視されます。

ビット 13	ビット 12	説 明
SM1	SM0	
0	0	ソースアドレスは固定 (初期値)
	1	ソースアドレスは増加 (8 ビット転送時 + 1、16 ビット転送時 + 2、32 ビット転送時 + 4、 64 ビット転送時 + 8、32 バイトバースト転送時 + 32)
1	0	ソースアドレスは減少 (8 ビット転送時 - 1、16 ビット転送時 - 2、32 ビット転送時 - 4、 64 ビット転送時 - 8、32 バイトバースト転送時 - 32)
	1	(設定禁止)

ビット 11~8 : リソースセレクト 3~0 (RS3~RS0)

転送要求元を指定します。

ビット 11	ビット 10	ビット 9	ビット 8	説 明
RS3	RS2	RS1	RS0	
0	0	0	0	外部リクエスト、デュアルアドレスモード <sup>*1*</sup> <sup>*3</sup> (外部アドレス空間同士) (初期値)
			1	(設定禁止)
		1	0	外部リクエスト、シングルアドレスモード 外部アドレス空間 外部デバイス <sup>*1*</sup> <sup>*3</sup>
			1	外部リクエスト、シングルアドレスモード 外部デバイス 外部アドレス空間 <sup>*1*</sup> <sup>*3</sup>
	1	0	0	オートリクエスト (外部アドレス空間同士) <sup>*2</sup>
			1	オートリクエスト (外部アドレス空間 内蔵周辺モジュール) <sup>*2</sup>
		1	0	オートリクエスト (内蔵周辺モジュール 外部アドレス空間) <sup>*2</sup>
			1	(設定禁止)
1	0	0	0	SCI の送信データエンpty割り込み転送要求 (外部アドレス空間 SCTDR1) <sup>*2</sup>
			1	SCI の受信データフル割り込み転送要求 ( SCRDR1 外部アドレス空間) <sup>*2</sup>
		1	0	SCIF の送信データエンpty割り込み転送要求 (外部アドレス空間 SCFTDR2) <sup>*2</sup>
			1	SCIF の受信データフル割り込み転送要求 ( SCFRDR2 外部アドレス空間) <sup>*2</sup>
	1	0	0	TMU チャンネル 2 (インプットキャプチャ割り込み、 外部アドレス空間同士) <sup>*2</sup>
			1	TMU チャンネル 2 (インプットキャプチャ割り込み) (外部アドレス空間 内蔵周辺モジュール) <sup>*2</sup>
		1	0	TMU チャンネル 2 (インプットキャプチャ割り込み) (内蔵周辺モジュール 外部アドレス空間) <sup>*2</sup>
			1	(設定禁止)

【注】 \*1 外部リクエストの指定はチャンネル 0、1 のみ有効です。チャンネル 2、3 の場合、ノーマル DMA モード時には要求は受け付けられません。

\*2 デュアルアドレスモード

\*3 DDT モードの場合、外部リクエストの指定はチャンネル 0、1、2、3 に設定可能です。

## ビット 7: トランスミットモード (TM)

転送時のバスモードを指定するビットです。

ビット 7	説 明
TM	
0	サイクルスチールモード (初期値)
1	バーストモード

## ビット 6~4: トランスミットサイズ 2~0 (TS2~TS0)

転送するデータのサイズを指定するビットです。

外部メモリへのアクセス時は、「13.3 動作説明」のアクセスサイズとして扱われます。

レジスタへのアクセス時は、レジスタへのアクセスサイズとして扱われます。

ビット 6	ビット 5	ビット 4	説 明
TS2	TS1	TS0	
0	0	0	クワッドワードサイズ (64 ビット) 指定 (初期値)
		1	バイトサイズ (8 ビット) 指定
	1	0	ワードサイズ (16 ビット) 指定
		1	ロングワードサイズ (32 ビット) 指定
1	0	0	32 バイトブロック転送指定

## ビット 3: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 2: インタラプトイネーブル (IE)

このビットに 1 をセットしておくとき、DMATCR に指定した回数のデータ転送が終了したとき (TE=1 のとき) 割り込み要求 (DMTE) を発生します。

ビット 2	説 明
IE	
0	DMATCR 指定転送回数終了時、割り込み要求を発生しない (初期値)
1	DMATCR 指定転送回数終了時、割り込み要求を発生する

## ビット 1 : トランスファエンド (TE)

DMATCR で指定した回数の転送が終了したとき 1 にセットされるビットです。このとき IE ビットが 1 にセットされている場合、割り込み要求 (DMTE) を発生します。

TE が 1 にセットされる前に NMI 割り込み、アドレスエラーの発生、DE ビットまたは DMAOR の DME ビットのクリアなどで転送が終了させられた場合は、TE ビットは 1 にセットされません。このビットが 1 にセットされた状態で DE ビットを 1 にセットしても、転送許可状態には入りません。

ビット 1	説 明
TE	
0	DMATCR 指定回数転送未終了 (初期値) [クリア条件] (1) TE=1 のリード後の 0 ライト (2) パワーオンリセット、マニュアルリセット、またはスタンバイモード時
1	DMATCR 指定回数転送終了

## ビット 0 : DMAC イネーブル (DE)

対応するチャンネルの動作を許可するビットです。

ビット 0	説 明
DE	
0	対応チャンネルの動作禁止 (初期値)
1	対応チャンネルの動作許可

オートリクエストを指定 (RS3 ~ RS0 で指定) した場合、このビットに 1 をセットすると転送に入ります。外部リクエスト、内蔵周辺モジュールリクエストではこのビットに 1 をセットした後に転送要求が発生すると転送に入ります。転送途中でこのビットをクリアすると、転送を中断できます。

DE ビットをセットしても、TE が 1 の場合、DMAOR の DME が 0 の場合、DMAOR の NMIF ビットまたは AE ビットが 1 の場合は、転送許可状態には入りません。

## 14.2.5 DMA オペレーションレジスタ (DMAOR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDT						PR1	PR0						AE	NMIF	DME
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/(W)	R/(W)	R/W

【注】 AE、NMIFビットは、フラグクリアのための1リード後の0ライトのみ可能です。

DMAOR は読み出し / 書き込み可能な 32 ビットのレジスタで、DMAC の転送モードを指定します。

パワーオンリセット、マニュアルリセット時には、H'00000000 に初期化されます。スタンバイモード、ディープスリープモード時には、値は保持されます。

## ビット 31～16：予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 15：オンデマンドデータ転スファ (DDT)

オンデマンドデータ転スファモードを指定するビットです。

ビット 15	説明
DDT	
0	ノーマル DMA モード (初期値)
1	オンデマンドデータ転スファモード

【注】  $\overline{\text{BAVL}}$  (DRAK0) は、ノーマル DMA モード時はアクティブハイ出力になります。DDT ビットが 1 のとき、 $\overline{\text{BAVL}}$  端子機能が有効となり、本端子はアクティブロー出力になります。

## ビット 14～10：予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 9、8：プライオリティモード 1、0 (PR1、PR0)

同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。

ビット 9	ビット 8	説明
PR1	PR0	
0	0	CH0 > CH1 > CH2 > CH3 (初期値)
0	1	CH0 > CH2 > CH3 > CH1
1	0	CH2 > CH0 > CH1 > CH3
1	1	ラウンドロビンモード

## ビット7~3: 予約ビット

読み出しは常に0です。書き込む値も常に0にしてください。

## ビット2: アドレスエラーフラグ (AE)

DMA 転送中にアドレスエラーが発生したことを示すフラグです。転送途中にこのビットがセットされると、全チャンネルの転送が中断され、同時に割り込み要求 (DMAE) を発生します。CPU から AE に 1 をライトすることはできません。クリアする場合は、一度 AE=1 を読み出した後、AE=0 を書き込んでください。

ビット2	説明
AE	
0	アドレスエラーなし。DMA 転送許可状態 [クリア条件] AE=1 リード後の AE=0 ライト (初期値)
1	アドレスエラーあり。DMA 転送禁止状態 [セット条件] DMAC によるアドレスエラーの発生

## ビット1: NMI フラグ (NMIF)

NMI が入力されたことを示すフラグです。このビットのセットは DMAC 動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から NMIF に 1 をライトすることはできません。クリアする場合は、一度 NMIF=1 を読み出した後、NMIF=0 を書き込んでください。

ビット1	説明
NMIF	
0	NMI 入力なし。DMA 転送許可状態 [クリア条件] NMIF=1 リード後の NMIF=0 ライト (初期値)
1	NMI 入力あり。DMA 転送禁止状態 [セット条件] NMI 割り込みの発生

## ビット0: DMAC マスタイネーブル (DME)

DMAC 全体の起動許可ビットです。DME ビットおよび各チャンネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャンネルの転送が許可されます。転送途中でこのビットをクリアすると、全チャンネルの転送を中断できます。

DME ビットをセットしても CHCR の TE が 1 または、DE が 0 の場合、DMAOR の NMI または AE ビットが 1 の場合は転送許可状態には入りません。

ビット0	説明
DME	
0	全チャンネルの動作禁止 (初期値)
1	全チャンネルの動作許可



## 14.3 動作説明

DMAC は、DMA 転送要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求には、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。DMA 転送には、シングルアドレスモードとデュアルアドレスモードがあります。バスモードは、バーストモードとサイクルスチールモードを選択することができます。

### 14.3.1 動作説明

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (DMATCR)、DMA チャネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR) に目的の転送条件設定後、DMAC は以下の手順でデータ転送を実行します。

1. 転送許可状態かどうか (DE = 1、DME = 1、TE = 0、NMIF = 0、AE = 0) をチェックします。
2. 転送許可状態で転送要求が発生すると、1 転送単位のデータ (TS2 ~ TS0 の設定により決定) を転送します。オートリクエストモードの場合は、DE および DME が 1 にセットされると自動的に転送を開始します。1 回の転送を行うごとに DMATCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の転送を終える (DMATCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR の IE ビットに 1 がセットしてあれば、CPU に DMTE 割り込みが発生します。
4. DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても、転送を中断します。アドレスエラーの場合は、強制的に CPU に DMAE 割り込みが発生します。

図 14.2 に上記のフローチャートを示します。

【注】 転送禁止状態で転送要求が発生すると、転送許可待ちの状態 (転送中断状態) になります。この後で転送許可 (DE = 1、DME = 1、TE = 0、NMIF = 0、AE = 0) に設定すると、転送を開始します。

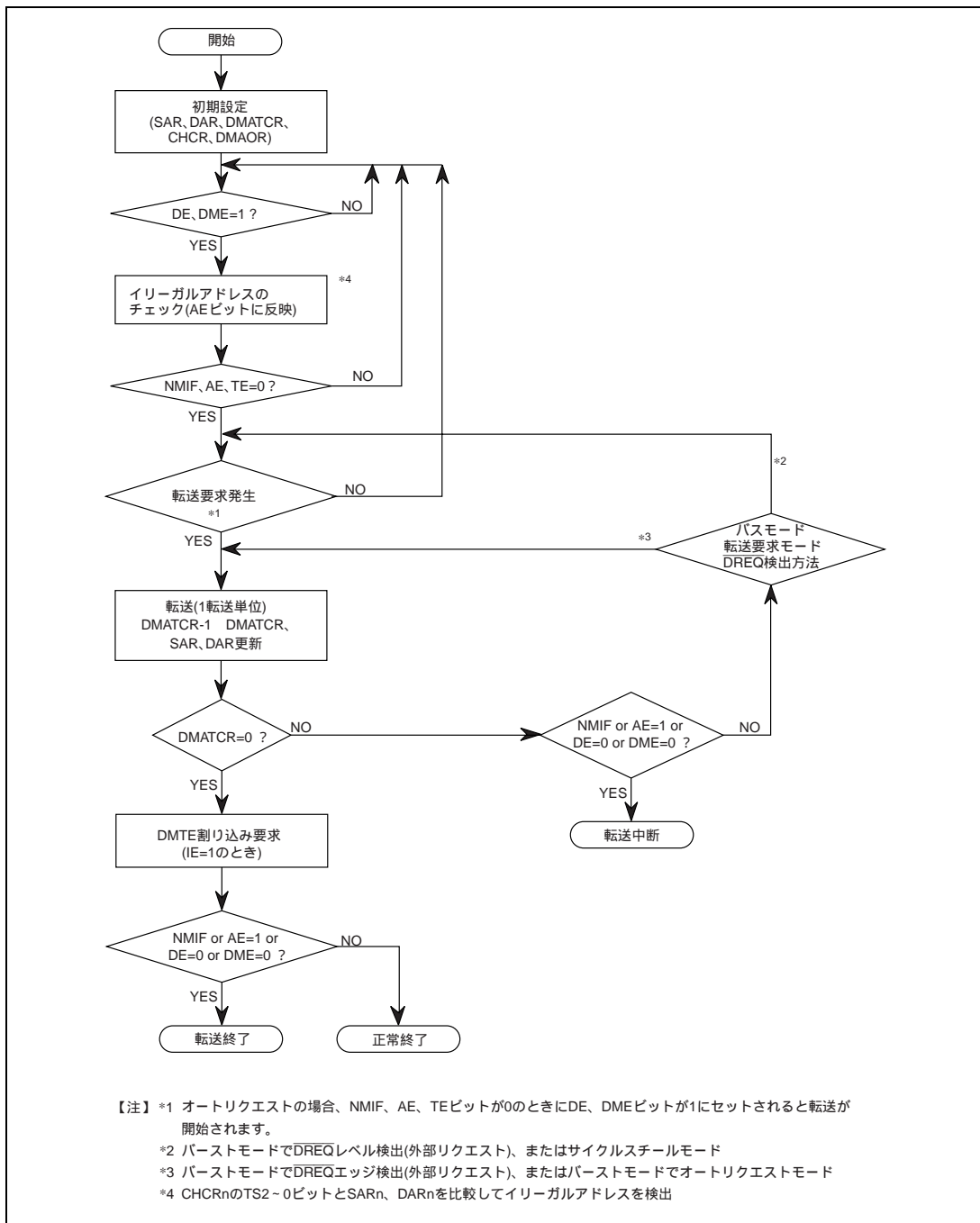


図 14.2 DMAC 転送フローチャート

### 14.3.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は DMA チャンネルコントロールレジスタ 0~3 (CHCR0~CHCR3) の RS3~RS0 ビットによって行います。

#### (1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリとの転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR0~CHCR3 の DE ビットおよび DMA オペレーションレジスタ (DMAOR) の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR0~CHCR3 の TE ビット、DMAOR の NMIF ビット、AE ビットがすべて 0 である必要があります。

#### (2) 外部リクエストモード

外部リクエストモードは本 LSI の外部デバイスからの転送要求信号 ( $\overline{\text{DREQ}}$ ) によって転送を開始させるモードです。応用システムに応じて、表 14.4 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、NMIF=0、AE=0) に  $\overline{\text{DREQ}}$  が入力されると DMA 転送が開始されます。 $\overline{\text{DREQ}}$  を立ち下がりエッジで検出するかローレベルで検出するかは、CHCR0、CHCR1 の DS ビットで選びます (DS=0 はレベル検出、DS=1 はエッジ検出)。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。

$\overline{\text{DREQ}}$  は、パワーオンリセット後 TE=0、NMIF=0、AE=0 であれば受け付けられますが、DMA 転送が不許可 (DE=0 または DME=0) のときは転送は実行されません。

この場合に、DMA 転送許可 (DE=1、DME=1) に設定されると DMA 転送が開始されます。

表 14.4 RS ビットによる外部リクエストモードの選択

RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	デュアル アドレスモード	外部メモリまたは、 メモリマップト外部 デバイスまたは、DACK 付 き外部デバイス	外部メモリまたは、 メモリマップト外部 デバイスまたは、DACK 付き外部デバイス
0	0	1	0	シングル アドレスモード	外部メモリまたはメモリマ ップト外部デバイス	DACK 付き外部デバイ ス
0	0	1	1	シングル アドレスモード	DACK 付き外部デバイス	外部メモリまたはメモ リマップト外部デバイ ス

## (a) 外部リクエスト受け付け条件

1. DMAOR.DMEとCHCR.DEのうち少なくとも一方が0でかつDMAOR.NMIFとDMAOR.AEとCHCR.TEがすべて0の状態であっても外部リクエスト ( $\overline{\text{DREQ}}$ : エッジ検出) が入力された場合は、DMA転送が実行されるかキャンセルされるまでリクエストをDMAC内部に保持します。この場合DMA転送の許可がない ( $\text{DME}=0$  または  $\text{DE}=0$ ) ため、DMA転送は起動されません。DMA転送が許可された ( $\text{DME}=1$ 、 $\text{DE}=1$ 、 $\text{DMAOR.NMIF}=0$ 、 $\text{DMAOR.AE}=0$ 、 $\text{CHCR.TE}=0$ ) 後にDMA転送を開始します。
2. DMA転送が許可された ( $\text{DME}=1$ 、 $\text{DE}=1$ 、 $\text{DMAOR.NMIF}=0$ 、 $\text{DMAOR.AE}=0$ 、 $\text{CHCR.TE}=0$ ) 状態の時に、外部リクエスト ( $\overline{\text{DREQ}}$ ) が入力されるとDMA転送が開始されます。
3.  $\text{CHCR.TE}=1$ 、 $\text{DMAOR.NMIF}=1$ 、 $\text{DMAOR.AE}=1$ 、パワーオンリセット、マニュアルリセット、ディープスリープモード、スタンバイモード、またはDMACがモジュールスタンバイ状態の期間中に入力された外部リクエスト ( $\overline{\text{DREQ}}$ ) は、無視されます。
4. NMI割り込み ( $\text{DMAOR.NMIF}=1$ )、またはアドレスエラー ( $\text{DMAOR.AE}=1$ ) が発生した場合、またはパワーオンリセット/マニュアルリセットにより、すでに入力された外部リクエストはキャンセルされます。

## (b) 使用上の注意

1. 外部リクエスト ( $\overline{\text{DREQ}}$ ) は、ローレベルまたは立ち下がりエッジで検出されます。パワーオンリセット/マニュアルリセット後は、外部デバイスからDMA転送要求がないときには外部リクエスト ( $\overline{\text{DREQ}}$ ) をハイレベルに保持するように注意してください。  
DMA転送を再開する場合、DMA転送リクエストが保持されているかどうか注意してください。
2.  $\overline{\text{DREQ}}$ エッジ検出の場合に一度受け付けられた外部リクエストをキャンセルするには、まず $\overline{\text{DREQ}}$ をネゲートして $\text{CHCR.DS}=1$ から $\text{DS}=0$ に設定することにより可能です。その後 $\text{CHCR.DS}=1$ に再設定してから $\overline{\text{DREQ}}$ をアサートしてください。

## (3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードは、本 LSI の内蔵周辺モジュールからの転送要求信号 (割り込み要求信号) によって転送を開始させるモードです。転送要求信号には表 14.5 に示すように、タイマユニット (TMU) からのインプットキャプチャ割り込み、2つのシリアルコミュニケーションインタフェース (SCI、SCIF) からの受信データフル要求 (RXI)、送信データエンプティ要求 (TXI)、の計7本があります。DMA転送が許可されているとき ( $\text{DE}=1$ 、 $\text{DME}=1$ 、 $\text{TE}=0$ 、 $\text{NMIF}=0$ 、 $\text{AE}=0$ ) に転送要求信号が入力されるとDMA転送が開始されます。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。しかし転送要求をRXI (SCI、SCIFの受信データフルによる転送要求) に設定した場合は転送元はSCI、SCIFのレシーブデータレジスタ (SCRDR1、SCFRDR2) でなければなりません。転送要求をTXI (SCI、SCIFの送信データエンプティによる転送要求) に設定した場合は、転送先はSCI、SCIFのトランスミットデータレジスタ (SCTDR1、SCFTDR2) でなければなりません。

表 14.5 RS ビットによる内蔵周辺モジュールリクエストモードの選択

RS3	RS2	RS1	RS0	DMAC 転送要求元	DMAC 転送要求信号	転送元	転送先	バスモード
1	0	0	0	SCI 送信部	SCTDR1( SCI 送信データエンブレイによる転送要求)	外部*	SCTDR1	サイクルスチールモード
			1	SCI 受信部	SCRDR1 ( SCI 受信データフルによる転送要求)	SCRDR1	外部*	サイクルスチールモード
		1	0	SCIF 送信部	SCFTDR2 ( SCIF 送信データエンブレイによる転送要求)	外部*	SCFTDR2	サイクルスチールモード
			1	SCIF 受信部	SCFRDR2 ( SCIF 受信データフルによる転送要求)	SCFRDR2	外部*	サイクルスチールモード
	1	0	0	TMU チャンネル 2	インプットキャプチャ発生	外部*	外部*	バースト/サイクルスチールモード
			1	TMU チャンネル 2	インプットキャプチャ発生	外部*	内蔵 周辺	バースト/サイクルスチールモード
		1	0	TMU チャンネル 2	インプットキャプチャ発生	内蔵 周辺	外部*	バースト/サイクルスチールモード

TMU : タイマユニット

SCI : シリアルコミュニケーションインタフェース

SCIF : FIFO 内蔵シリアルコミュニケーションインタフェース

【注】 \* 外部メモリ、メモリマップト外部デバイス

1. SCI、SCIF バースト転送設定禁止
2. 複数のチャンネルにインプットキャプチャ割り込みの受け付けを設定し各チャンネルの DE = 1 にした場合、1 回のインプットキャプチャ割り込みにより優先順位の最も高いチャンネルが実行されます。
3. インプットキャプチャ割り込みによる DMA 転送要求は、TMU の TCR2.ICPE1 = 0、ICPE0 = 0 に設定するとキャンセルすることができます。

内蔵周辺モジュールから転送要求を出力させるためには、その各モジュールの該当する DMA 転送要求許可ビットをセットして、転送要求信号を出力させてください。

詳細は、「第 12 章 タイマユニット (TMU)」、「第 15 章 シリアルコミュニケーションインタフェース (SCI)」、「第 16 章 FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)」を参照してください。

表 14.5 に示す内蔵周辺モジュールからの転送要求信号は、対応する DMA 転送が行われると、自動的に取り下げられます。これはサイクルスチールモードの場合 1 回の転送で、バーストモードの場合最後の転送時に行われます。

### 14.3.3 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの 2 つのモードから選べます。モードの選択は、DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットによって行います。

#### (1) 固定モード

固定モードでは、チャンネルの優先順位は決まっています。固定モードには以下に示す 3 種類があります。

- CH0 > CH1 > CH2 > CH3
- CH0 > CH2 > CH3 > CH1
- CH2 > CH0 > CH1 > CH3

これらの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

## (2) ラウンドロビンモード

ラウンドロビンモードでは、1つのチャンネルで、1転送単位(バイト、ワード、ロングワード、クワッドワード、または32バイト)の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 14.3 に示します。なお、リセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 です。

【注】 ラウンドロビンモードでは、DMAC があるチャンネルの DMA 転送の間にどのチャンネルに対しても転送要求を受け付けなかった場合、優先順位は CH0 > CH1 > CH2 > CH3 になります。

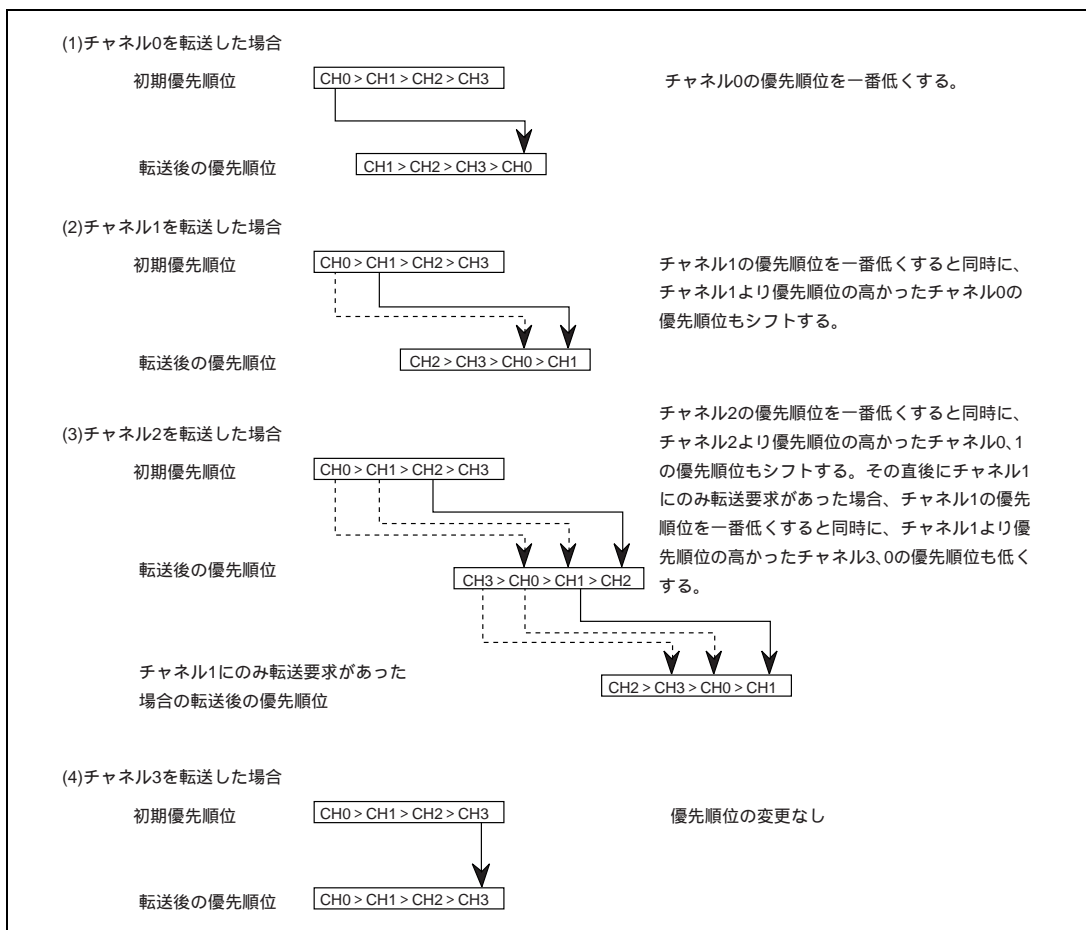


図 14.3 ラウンドロビンモード

図 14.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

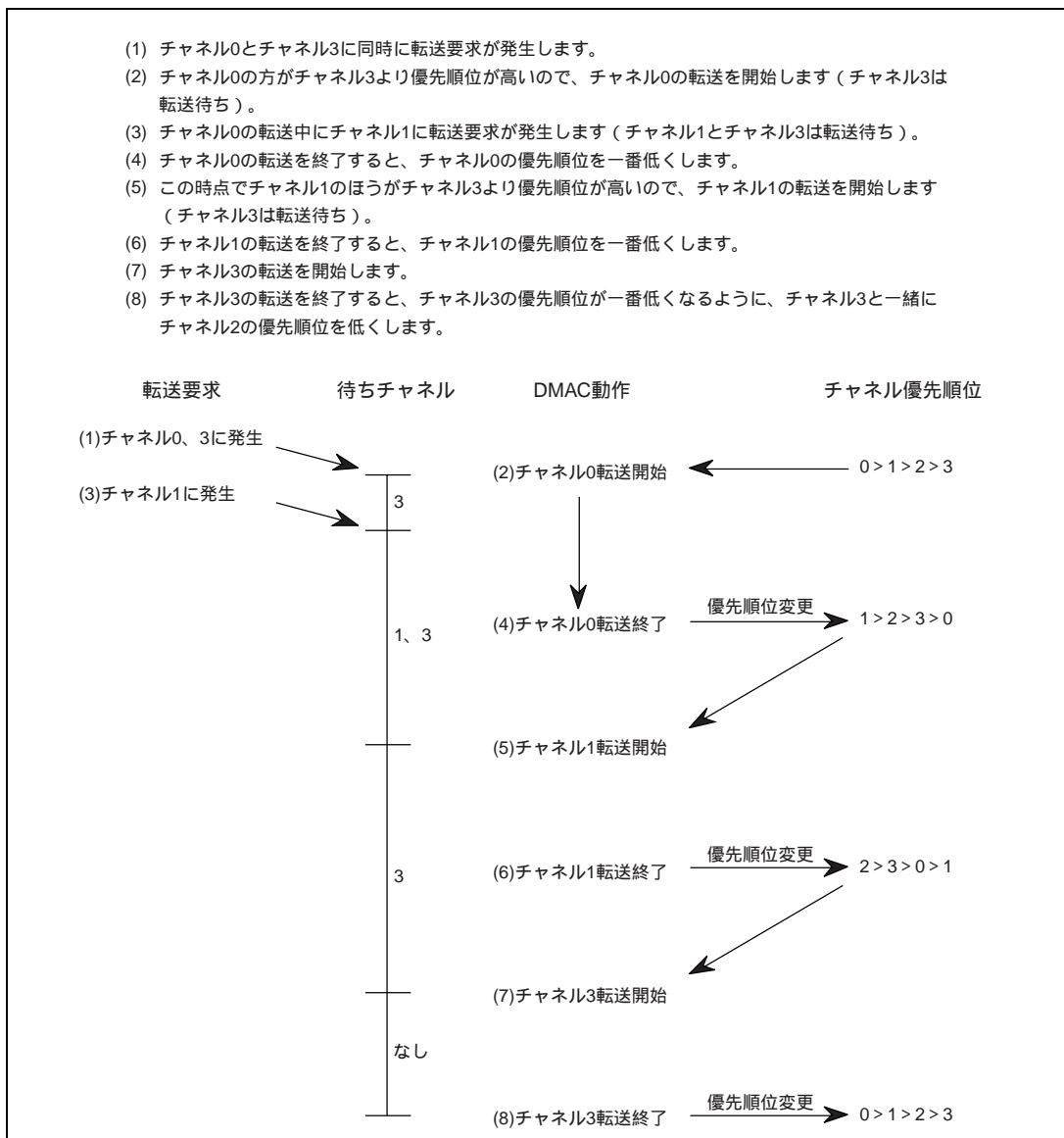


図 14.4 ラウンドロビンモードでのチャンネル優先順位変更例



### 14.3.4 DMA 転送の種類

DMAC がサポートできる転送は表 14.6 に示すとおりで、転送元か転送先いずれか一方をアクノリッジ信号でアクセスするシングルアドレスモードと、転送元と転送先の両方のアドレスを出力するデュアルアドレスモードに分類されます。具体的な転送動作タイミングはバスモードにより異なります。バスモードには、サイクルスチールモードとバーストモードがあります。

表 14.6 サポートできる DMA 転送

転送元	転送先			
	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール
DACK 付き外部デバイス	不可	シングル アドレスモード	シングル アドレスモード	不可
外部メモリ	シングル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
メモリマップト外部デバイス	シングル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
内蔵周辺モジュール	不可	デュアル アドレスモード	デュアル アドレスモード	不可

## (1) アドレスモード

## (a) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセスし、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは DMAC は、外部デバイスへのストローブ信号 (DACK) を、転送元か転送先いずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出してアクセスします。これにより、1 つのバスサイクルで DMA 転送を行うことができます。例えば図 14.5 に示すような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

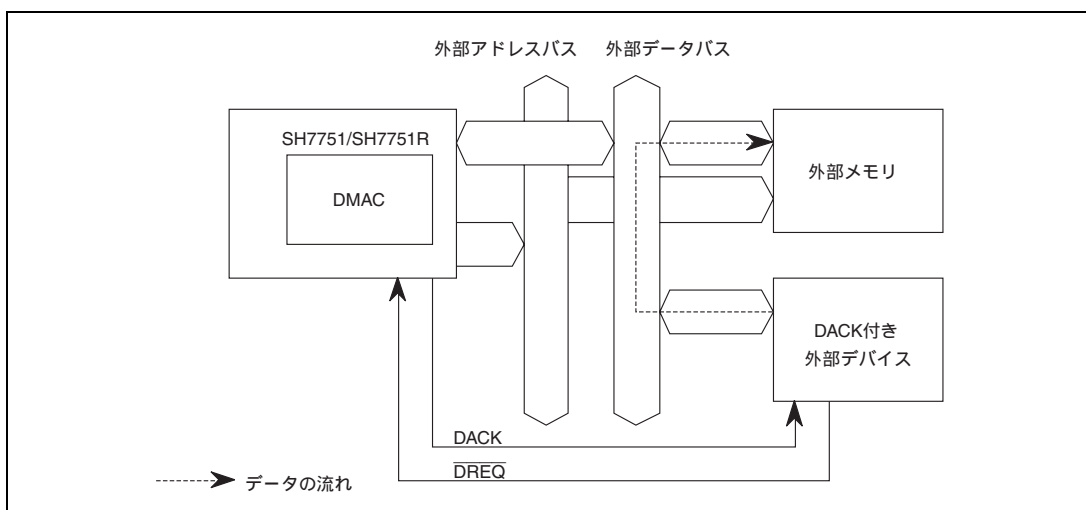


図 14.5 シングルアドレスモードでのデータの流れ

シングルアドレスモードで可能な転送は、

1. DACK付き外部デバイスとメモリマップト外部デバイス間転送
2. DACK付き外部デバイスと外部メモリ間転送

です。いずれの場合も転送要求は、外部リクエスト ( $\overline{DREQ}$ ) のみです。

図 14.6 にシングルアドレスモードでの DMA 転送タイミングを示します。

各種外部メモリごとにアクセスタイミングが異なります。詳細は、「第 13 章 バスステートコントローラ (BSC)」の各メモリインタフェースを参照してください。

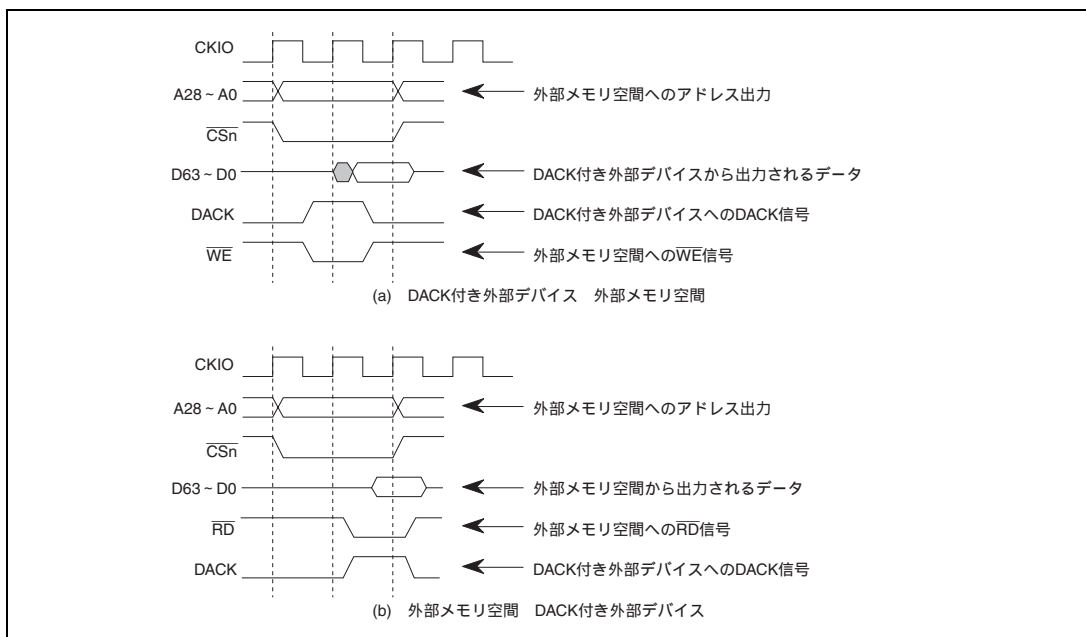


図 14.6 シングルアドレスモードでの DMA 転送タイミング

## (b) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は、内蔵周辺モジュールでも外部アドレスでも構いません。

デュアルアドレスモードでは、データ読み出しサイクルで転送元からデータを読み出し、データ書き込みサイクルで転送先にデータを書き込むため、2つのバスサイクルで転送を行います。このとき転送データは一時的にBSC内のデータバッファに格納されます。

図 14.7 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがBSC内のデータバッファに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。また、図 14.8 にこの場合のタイミング例を示します。

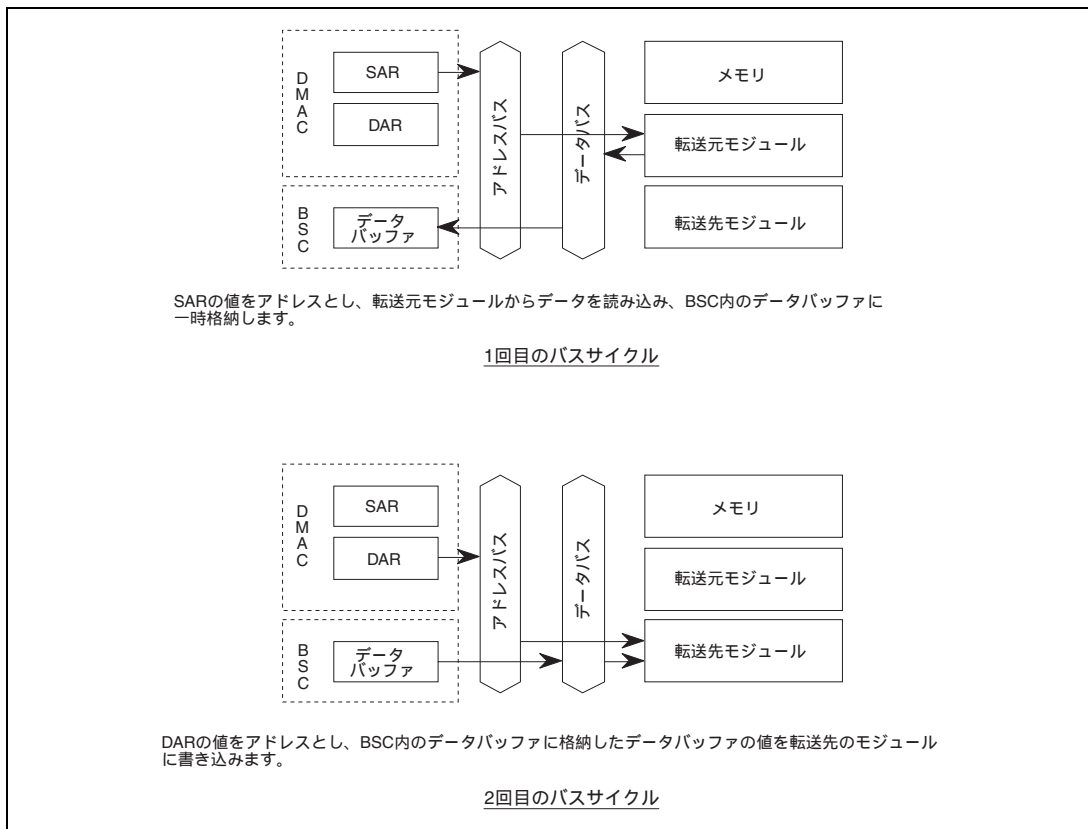


図 14.7 デュアルアドレスモードの動作説明

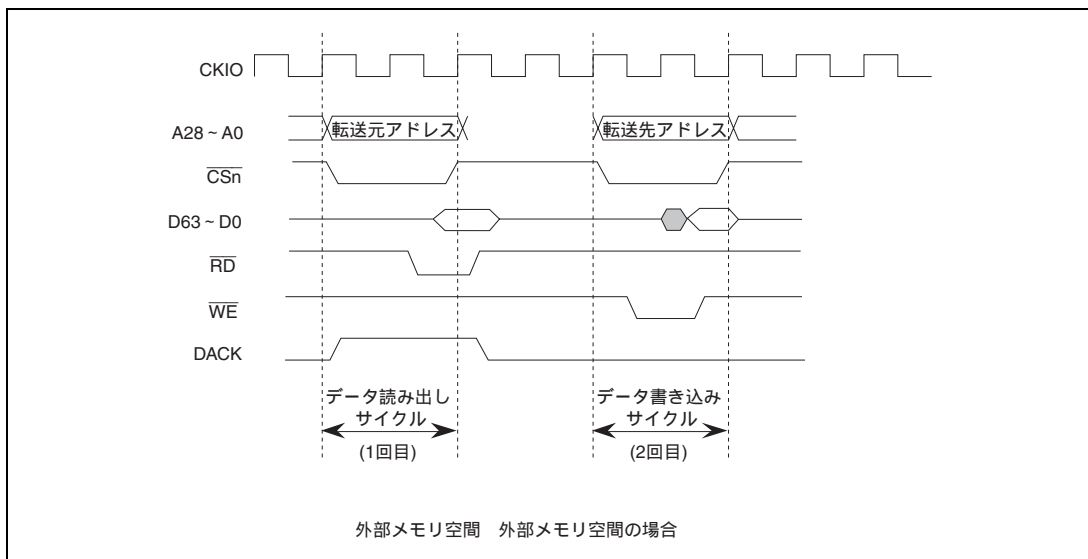


図 14.8 デュアルアドレスモードの転送タイミング例

## (2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR0 ~ CHCR3 の TM ビットによって行います。

## (a) サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位 (8 ビット、16 ビット、32 ビット、64 ビット、32 バイト) の転送を終了するたびにバス権を CPU に渡します。その後転送要求があれば、CPU からバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を CPU に渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、転送先の設定によって、転送可能領域が制限を受けることはありません。

図 14.9 にサイクルスチールモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- $\overline{\text{DREQ}}$  レベル検出

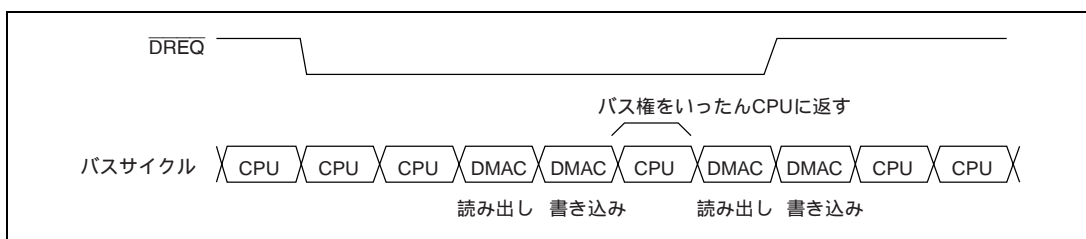


図 14.9 サイクルスチールモードでの DMA 転送例

## (b) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまで CPU にバス権を開放せずに転送を続けます。また、 $\overline{\text{BREQ}}$  によるバス権解放、リフレッシュ要求に関しては、バスコントロールレジスタ 1 の DMAC バーストモード転送優先指定 (BCRL.DMABST) に従います。ただし外部リクエストモードで、 $\overline{\text{DREQ}}$  をローレベルで検出する場合には、 $\overline{\text{DREQ}}$  がハイレベルになると、転送終了条件が満たされていない場合でも、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

図 14.10 にバーストモードでの DMA 転送タイミングを示します。図の例での転送条件は以下のとおりです。

- シングルアドレスモード
- $\overline{\text{DREQ}}$  レベル検出 (CHCRn.DS = 0、CHCRn.TM = 1)

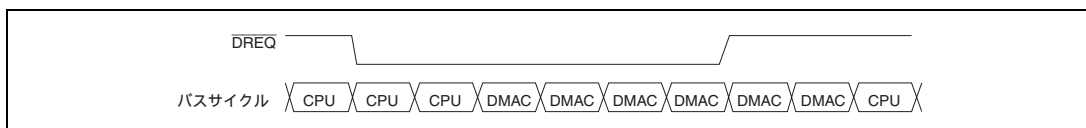


図 14.10 バーストモードでの DMA 転送例

【注】 転送サイズにかかわらず、バーストモードの設定が可能です (32 バイトブロック転送のバーストモードの設定も可能)。

## (3) DMA 転送区間とリクエストモード、バスモードの関係

表 14.7 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 14.7 DMA 転送区間とリクエストモード、バスモードなどの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/64/32B	0, 1 (2, 3) * <sup>6</sup>
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/64/32B	0, 1 (2, 3) * <sup>6</sup>
デュアル	外部メモリと外部メモリ	内部* <sup>1</sup> 、 外部* <sup>7</sup>	B/C	8/16/32/64/32B	0, 1, 2, 3 * <sup>5</sup> * <sup>6</sup>
	外部メモリとメモリマップト外部デバイス	内部* <sup>1</sup> 、 外部* <sup>7</sup>	B/C	8/16/32/64/32B	0, 1, 2, 3 * <sup>5</sup> * <sup>6</sup>
	メモリマップト外部デバイスとメモリマップト外部デバイス	内部* <sup>1</sup> 、 外部* <sup>7</sup>	B/C	8/16/32/64/32B	0, 1, 2, 3 * <sup>5</sup> * <sup>6</sup>
	外部メモリと内蔵周辺モジュール	内部* <sup>2</sup>	B/C* <sup>3</sup>	8/16/32/64* <sup>4</sup>	0, 1, 2, 3 * <sup>5</sup> * <sup>6</sup>
	メモリマップト外部デバイスと内蔵周辺モジュール	内部* <sup>2</sup>	B/C* <sup>3</sup>	8/16/32/64* <sup>4</sup>	0, 1, 2, 3 * <sup>5</sup> * <sup>6</sup>

32B : 32 バイトバースト転送

B : バースト

C : サイクルスチール

外部 : 外部リクエスト

内部 : オートリクエスト、内蔵周辺モジュールリクエスト

【注】 \*1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエスト (TMU インプットキャプチャ割り込み要求) のいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、SCI (SCIF) を転送要求元にして外部メモリ間データ転送を指定するのは不可。

\*2 オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元が SCI (SCIF) の場合には、転送元は SCRDR1 (SCFRDR2)、または転送先が SCTDR1 (SCFTDR2) である必要があります。

\*3 転送要求元が SCI (SCIF) の場合にはサイクルスチールのみ

\*4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ

\*5 転送要求が外部リクエストの場合にはチャンネル 0、1 のみ

\*6 DDT モードの場合、全チャンネルとも DTR フォーマットを出力可能な外部デバイスからの転送要求を受け付けることが可能です。

\*7 外部リクエストによる DMA 転送の転送元、転送先は表 14.8、表 14.9 を参照してください。

## (a) ノーマル DMA モードの場合

ノーマル DMA モード時、本 LSI でサポートする外部リクエストによる DMA 転送の転送元、転送先に指定可能なメモリインタフェースを表 14.8 に示します。

表 14.8 ノーマル DMA モード時の外部リクエストによる転送元、転送先一覧

	転送方向 (設定可能メモリインタフェース)		アドレス モード	DMAC 使用可能 チャンネル
	転送元	転送先		
1	シンクロナス DRAM	DACK 付き外部デバイス	シングル	0、1
2	DACK 付き外部デバイス	シンクロナス DRAM	シングル	0、1
3	SRAM 類、DRAM	DACK 付き外部デバイス	シングル	0、1
4	DACK 付き外部デバイス	SRAM 類、DRAM	シングル	0、1
5	シンクロナス DRAM	SRAM 類、MPX、PCMCIA	デュアル	0、1
6	SRAM 類、MPX、PCMCIA	シンクロナス DRAM	デュアル	0、1
7	SRAM 類、DRAM、PCMCIA、MPX	SRAM 類、MPX、PCMCIA	デュアル	0、1
8	SRAM 類、MPX、PCMCIA	SRAM 類、DRAM、PCMCIA、MPX	デュアル	0、1

: デュアルアドレスモード転送時の DACK 出力設定

表中の SRAM 類は SRAM、バイト制御 SRAM、バースト ROM いずれかの設定を示します。

- 【注】
1. シングルアドレスモードでの転送が可能なメモリインタフェースは SRAM、バイト制御 SRAM、バースト ROM、DRAM、シンクロナス DRAM です。
  2. デュアルアドレスモード転送を行う場合、DACK 出力設定は SRAM、バイト制御 SRAM、バースト ROM、PCMCIA、MPX のいずれかのインタフェースに対して行ってください。

## (b) DDT モードの場合

DDT モード時、本 LSI でサポートする外部リクエストによる DMA 転送の転送元、転送先に指定可能なメモリインタフェースを表 14.9 に示します。

表 14.9 DDT モード時の外部リクエストによる転送元、転送先一覧

	転送方向 (設定可能メモリインタフェース)		アドレス モード	DMAC 使用可能 チャンネル
	転送元	転送先		
1	シンクロナス DRAM	DACK 付き外部デバイス	シングル	0、1、2、3
2	DACK 付き外部デバイス	シンクロナス DRAM	シングル	0、1、2、3
3	シンクロナス DRAM	SRAM 類、MPX、PCMCIA	デュアル	1、2、3
4	SRAM 類、MPX、PCMCIA	シンクロナス DRAM	デュアル	1、2、3
5	SRAM 類、DRAM、PCMCIA、MPX	SRAM 類、MPX、PCMCIA	デュアル	1、2、3
6	SRAM 類、MPX、PCMCIA	SRAM 類、DRAM、PCMCIA、MPX	デュアル	1、2、3

: デュアルアドレスモード転送時の DACK 出力設定

表中の SRAM 類は SRAM、バイト制御 SRAM、バースト ROM いずれかの設定を示します。

- 【注】
1. DDT モードでのシングルアドレスモード転送が可能なメモリインタフェースはシンクロナス DRAM です。
  2. デュアルアドレスモード転送を行う場合、DACK 出力設定は SRAM、バイト制御 SRAM、バースト ROM、PCMCIA、MPX のいずれかのインタフェースに対して行ってください。

## (4) バスモードとチャンネルの優先順位

例えばチャンネル 1 がバーストモードで転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、直ちにチャンネル 0 の転送を開始します。

このとき優先順位の設定が固定モード (CH0 > CH1) の場合、チャンネル 0 の設定がサイクルスチールモードでもバーストモードでも、チャンネル 0 の転送がすべて終了してからチャンネル 1 の転送を続けます。

優先順位の設定がラウンドロビンモードの場合、チャンネル 0 の設定がサイクルスチールモードでもバーストモードであっても、チャンネル 0 が 1 転送単位の転送を行った後、チャンネル 1 が転送を再開します。その後もチャンネル 1 チャンネル 0 チャンネル 1 チャンネル 0 というようにチャンネル実行が交互に入れ替わります。

ラウンドロビンモードの場合の例を図 14.11 に示します。

優先順位の設定が固定モードでもラウンドロビンモードでも、チャンネル 1 がバーストモード (エッジセンスの場合) なので、チャンネル 1 の転送が終了するまでの間 CPU にはバス権は渡りません。

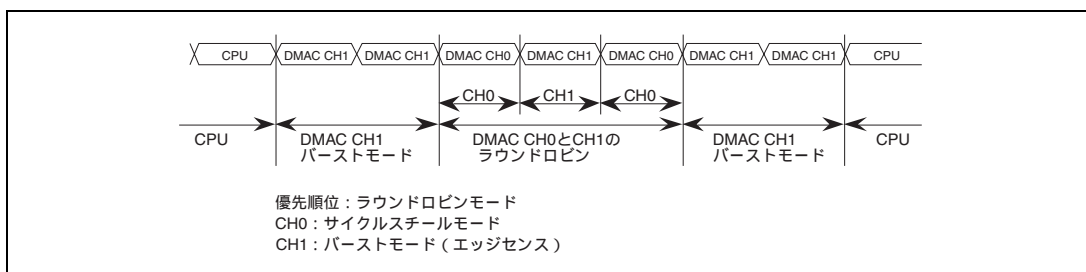


図 14.11 複数チャンネルが動作する場合のバス状態

【注】 図 14.11 の設定において CH1 がレベルセンスバーストモードの場合、リクエストが途切れている間は CPU へバス権を渡します。



### 14.3.5 バスサイクルのサイクル数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

#### (1) バスサイクルのサイクル数

DMAC がバスマスタのときのバスサイクルのサイクル数は、CPU がバスマスタのときと同様にバステートコントローラ (BSC) で制御されます。詳しくは、「第 13 章 バステートコントローラ (BSC)」を参照してください。

#### (2) $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

外部リクエストモードにおいて、 $\overline{\text{DREQ}}$  端子はクロックパルス (CKIO) の立ち上がりエッジでサンプリングされ、 $\overline{\text{DREQ}}$  入力が増出されると、最も早い場合で 4 サイクル (CKIO) 後に DMAC のバスサイクルが発生し、DMA 転送が行われます。

$\overline{\text{DREQ}}$  立ち下がりエッジ検出の場合は、非同期同期化回路を経由するため DMAC が  $\overline{\text{DREQ}}$  を認識するのは 2 サイクル (CKIO) 後になります (ローレベル検出の場合は 1 サイクル (CKIO) 後)。

2 回目以後の  $\overline{\text{DREQ}}$  サンプリングは、1 回目の DMAC 転送のバスサイクルが開始された、1 サイクル後に行われます (シングルアドレスモードの場合)。

なお DRAM は、転送モード、 $\overline{\text{DREQ}}$  検出方法によらず、 $\overline{\text{DREQ}}$  をサンプリングして検出 1 回につき、1 サイクルのみ出力されます。バーストモードでエッジ検出の場合は、 $\overline{\text{DREQ}}$  のサンプリングが最初の 1 回だけなので、DRAM も最初の 1 回だけ出力されます。

#### (3) 動作説明

図 14.12 ~ 図 14.22 に各モードのタイミングを示します。

##### (a) サイクルスチールモード

サイクルスチールモードの場合  $\overline{\text{DREQ}}$  サンプリングタイミングは、デュアルアドレスモード、シングルアドレスモード、また  $\overline{\text{DREQ}}$  検出方法がレベル検出、エッジ検出で違います。

例えば、図 14.12 (サイクルスチールモード、デュアルアドレス、レベル検出) の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 4 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送のライトサイクルが開始された 1 サイクル後に行われます。このとき  $\overline{\text{DREQ}}$  が検出できなかった場合は、以後毎サイクルサンプリングを実行します。

図 14.13 (サイクルスチールモード、デュアルアドレス、エッジ検出) の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 5 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送のリードサイクルが終了するサイクルから始まります。このとき  $\overline{\text{DREQ}}$  が検出できなかった場合は、以後毎サイクルサンプリングを実行します。

各種メモリアクセスの詳細なタイミングは、「第 13 章 バステートコントローラ (BSC)」を参照してください。

図 14.18 はサイクルスチールモード、シングルアドレス、レベル検出の場合です。この場合も 1 回目の  $\overline{\text{DREQ}}$  サンプリングから、最も早い場合で 4 サイクル (CKIO) 後に転送開始されます。2 回目のサンプリングは、1 回目の DMAC 転送のバスサイクルが開始された 1 サイクル後に行われます。

図 14.19 はサイクルスチールモード、シングルアドレス、エッジ検出の場合です。この場合は 1 回目の  $\overline{\text{DREQ}}$  サンプリングから、最も早い場合で 5 サイクル (CKIO) 後に転送開始されます。2 回目のサンプリングは、1 回

目の DRAM がアサートされた 1 サイクル後から始まります。

シングルアドレスモードでは、DACK 信号は DMAC 転送サイクルごとに出力されます。

(b) バーストモード、デュアルアドレス、レベル検出

バーストモード、デュアルアドレス、レベル検出の場合  $\overline{\text{DREQ}}$  サンプルングタイミングはサイクルスチールモードとほぼ同じです。

例えば図 14.14 の場合、1 回目のサンプルングが行われたタイミングから最も早い場合で 4 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプルングも、1 回目の DMAC 転送のライトサイクルが開始された 1 サイクル後から行われます。

外部リクエストによるデュアルアドレスモード転送の場合、CHCR の AM ビットで指定することにより DACK 信号を DMAC 転送のリードサイクルに出力したり、ライトサイクルに出力させることができます。

(c) バーストモード、シングルアドレス、レベル検出

バーストモード、シングルアドレス、レベル検出の場合の  $\overline{\text{DREQ}}$  サンプルングタイミングを図 14.20 に示します。

例えば図 14.20 の場合、1 回目のサンプルングが行われたタイミングから最も早い場合で 4 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプルングは、1 回目の DMAC 転送のバスサイクルが開始された 1 サイクル後から行われます。

シングルアドレスモードでは、DACK 信号は DMAC 転送サイクルごとに出力されます。

図 14.22 は、データサイズ 32 バイト、バス幅 32 ビット、SDRAM : row hit write の場合、1 回目のサンプルングが行われたタイミングから最も早い場合で 6 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプルングは、1 回目の DMAC 転送の DACK がアサートされた 1 サイクル後から行われます。

(d) バーストモード、デュアルアドレス、エッジ検出

バーストモード、デュアルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$  のサンプルングは最初の 1 回しか行いません。

例えば図 14.15 の場合、1 回目のサンプルングが行われたタイミングから最も早い場合で 5 サイクル (CKIO) 後に DMAC の転送が始まります。その後 DMATCR に設定した回数分データ転送が終了するまで、DMAC 転送が連続で実行されます。この間  $\overline{\text{DREQ}}$  のサンプルングは行われません。したがって DRAM も最初の 1 回出力されるだけで、以後は出力されません。外部リクエストによるデュアルアドレスモード転送の場合、CHCR の AM ビットで指定することにより DACK 信号を DMAC 転送のリードサイクルに出力したり、ライトサイクルに出力させることができます。

(e) バーストモード、シングルアドレス、エッジ検出

バーストモード、シングルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$  のサンプルングは最初の 1 回しか行いません。

例えば図 14.21 の場合、1 回目のサンプルングが行われたタイミングから最も早い場合で 5 サイクル後に DMAC の転送が始まります。その後 DMATCR に設定した回数分データ転送が終了するまで、DMAC 転送が連続で実行されます。この間  $\overline{\text{DREQ}}$  のサンプルングは行われません。したがって DRAM も最初の 1 回出力されるだけで以後は出力されません。

シングルアドレスモードでは、DACK 信号は DMAC 転送サイクルごとに出力されます。

(4)  $\overline{\text{DREQ}}$  レベル検出の場合の DMA 転送中断

バーストモードまたはサイクルスチールモード、デュアルアドレスモードまたはシングルアドレスモードで  $\overline{\text{DREQ}}$  レベル検出の場合に、DMA 転送中外部デバイスは DRAK がアサートされたことを CKIO の立ち上がりエッジで判定して  $\overline{\text{DREQ}}$  をネゲートすることにより DMA 転送を中断することが可能です。この場合には、次の DRAK は出力されません。

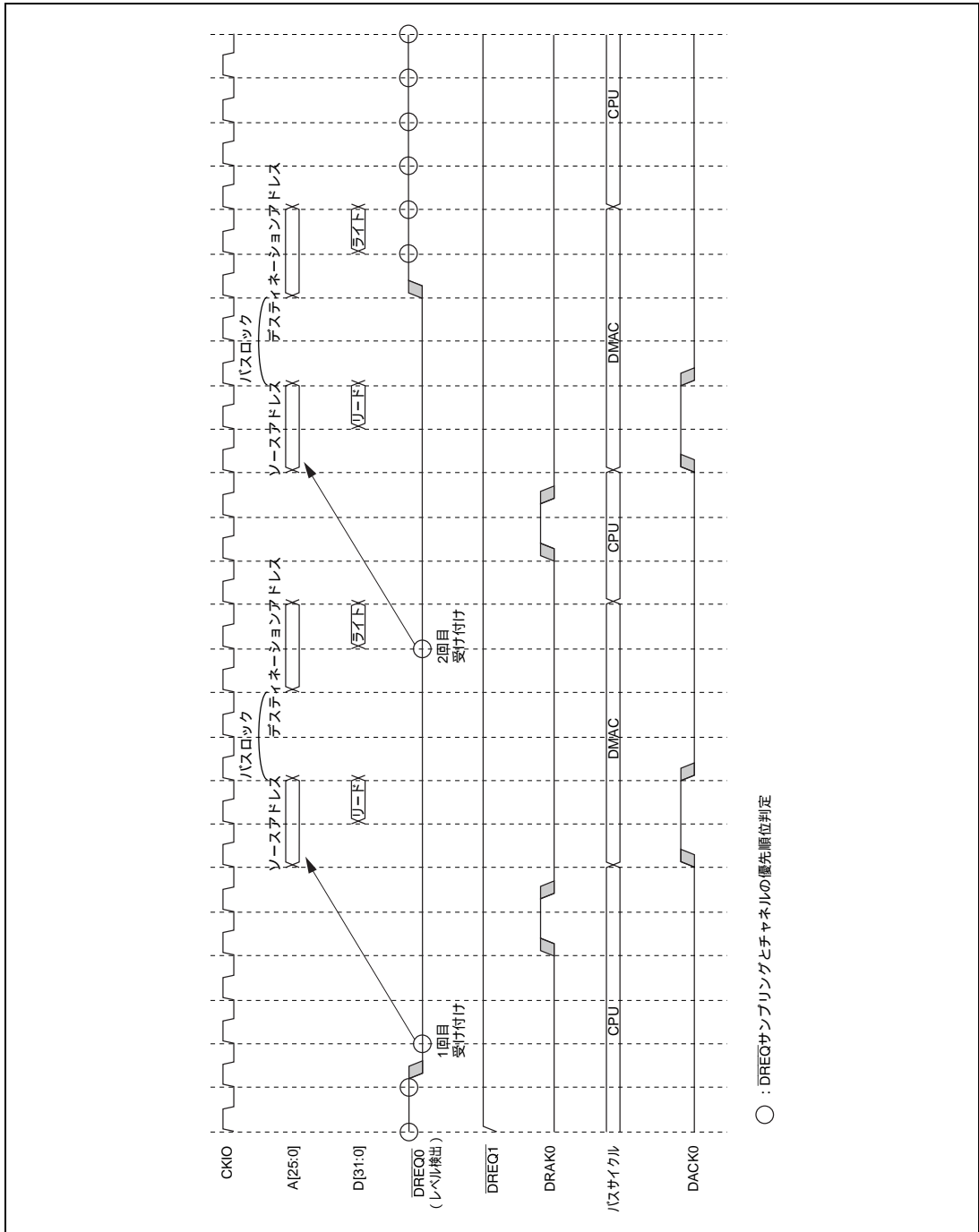


図 14.12 デュアルアドレスモード / サイクルスチールモード  
外部バス 外部バス / DREQ (レベル検出)、DACK (リードサイクル)

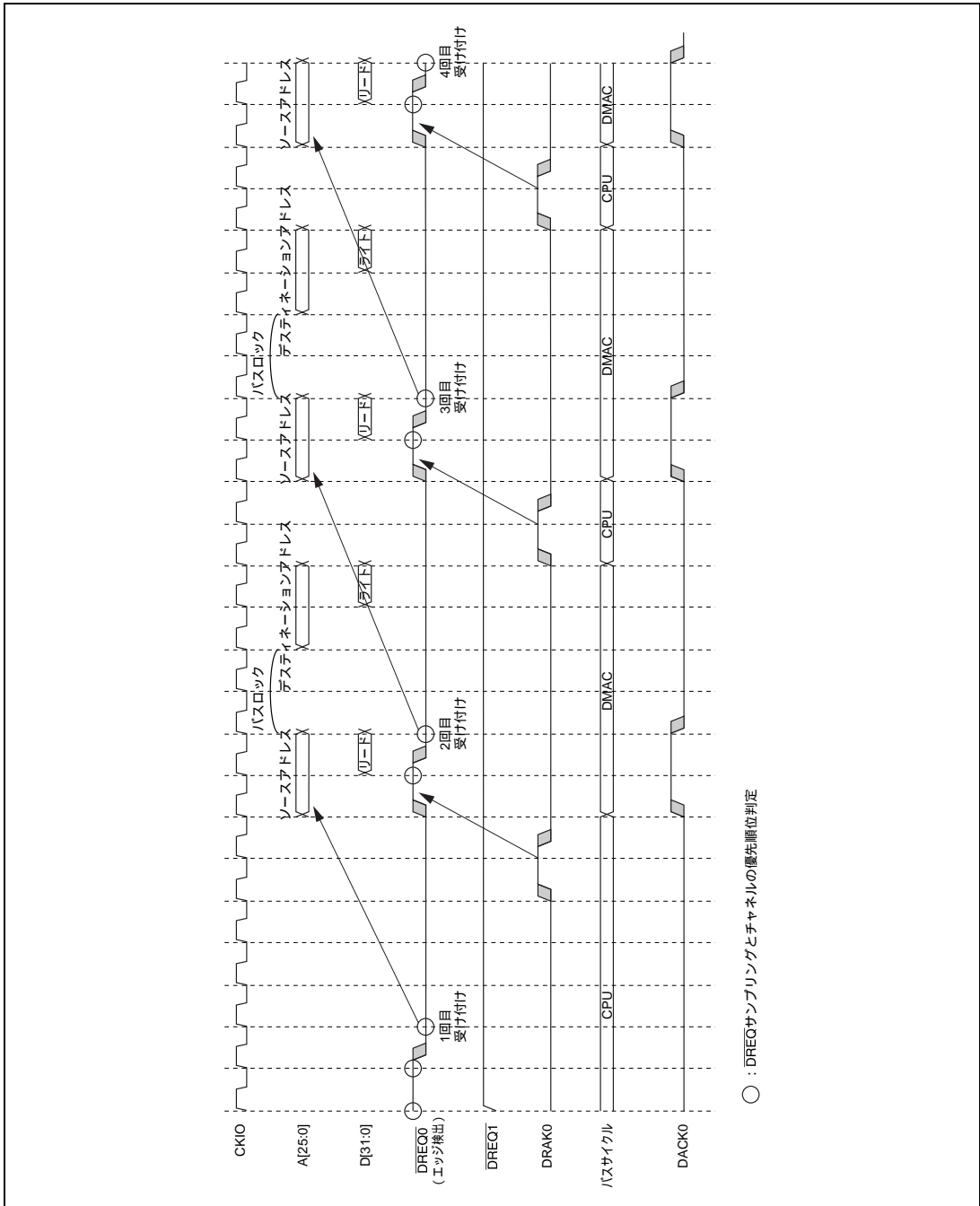


図 14.13 デュアルアドレスモード / サイクルスチールモード  
外部バス 外部バス /  $\overline{DREQ}$  (エッジ検出)、 $\overline{DACK}$  (リードサイクル)

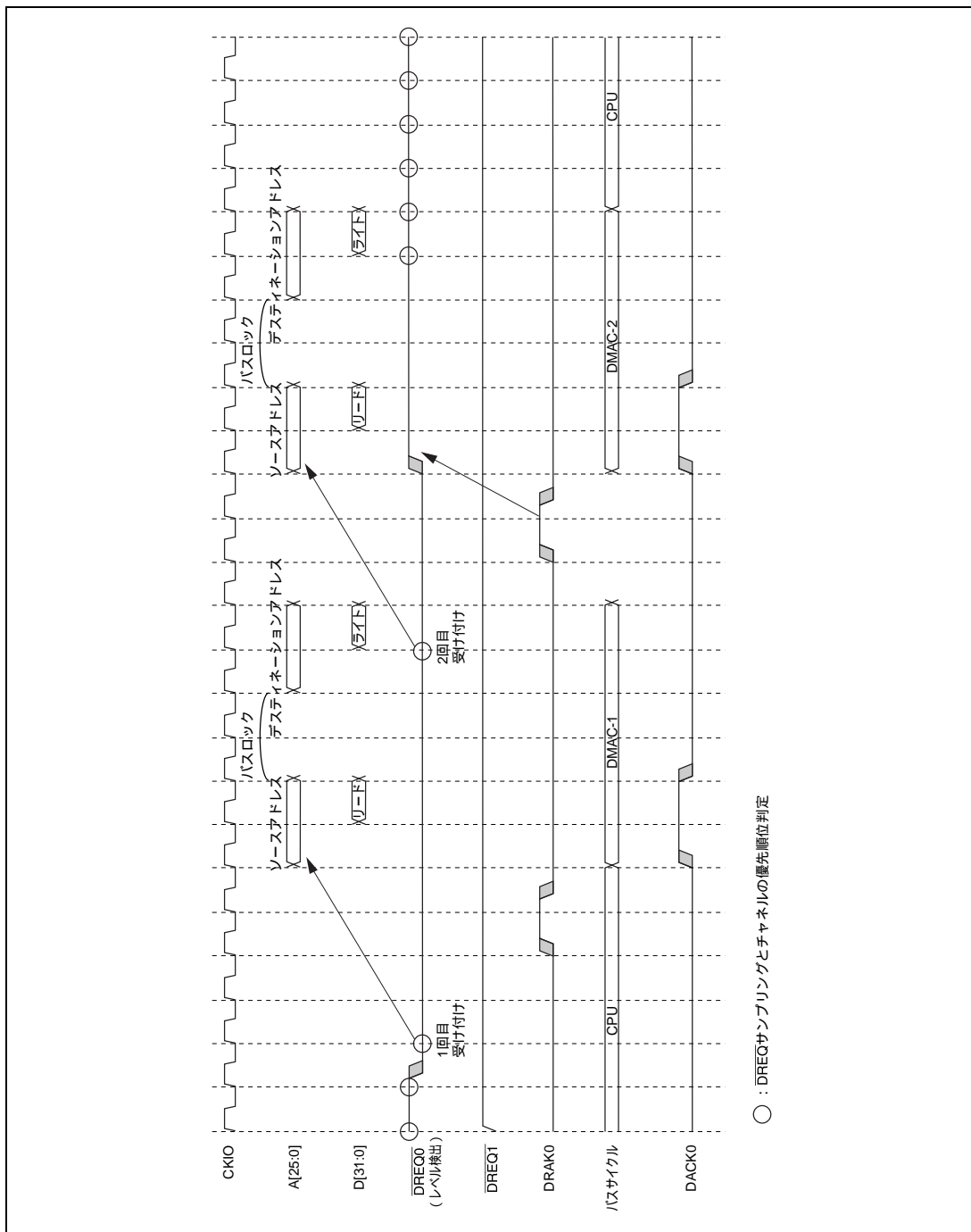


図 14.14 デュアルアドレスモード/バーストモード  
外部バス 外部バス / DREQ (レベル検出)、DACK (リードサイクル)

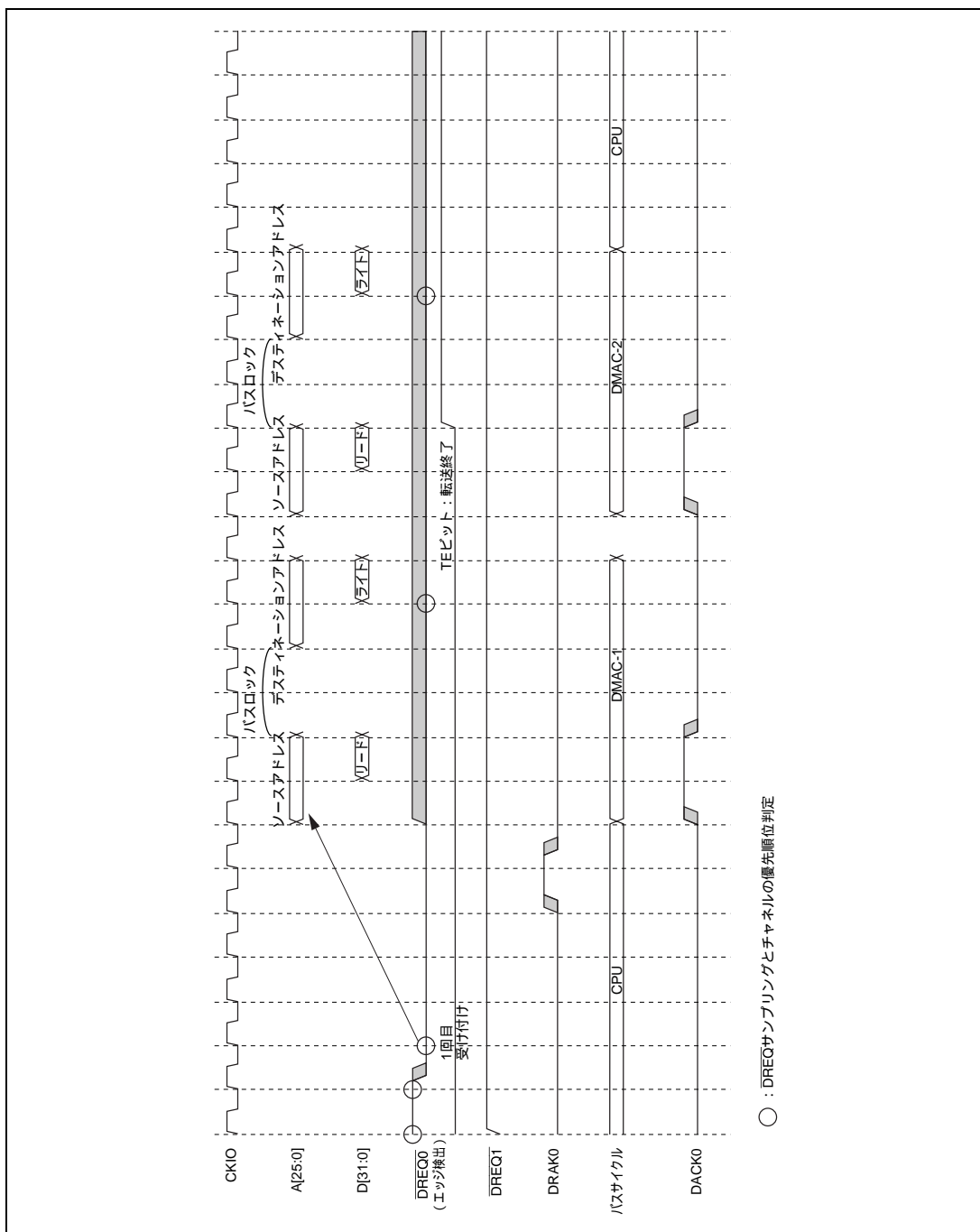


図 14.15 デュアルアドレスモード/バーストモード  
外部バス 外部バス/DREQ (エッジ検出)、DACK (リードサイクル)

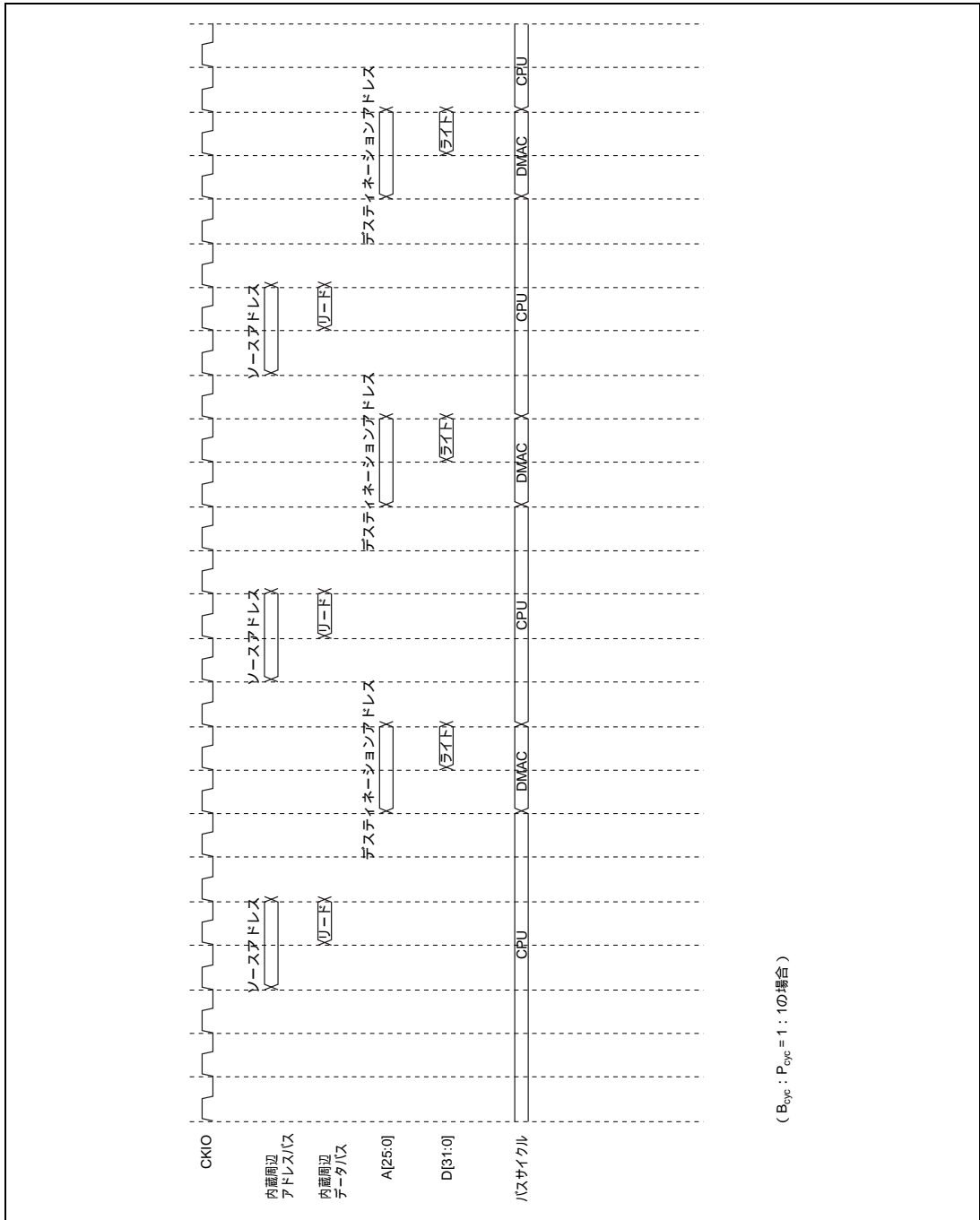


図 14.16 デュアルアドレスモード / サイクルスチールモード  
内蔵 SCI (レベル検出) 外部バス



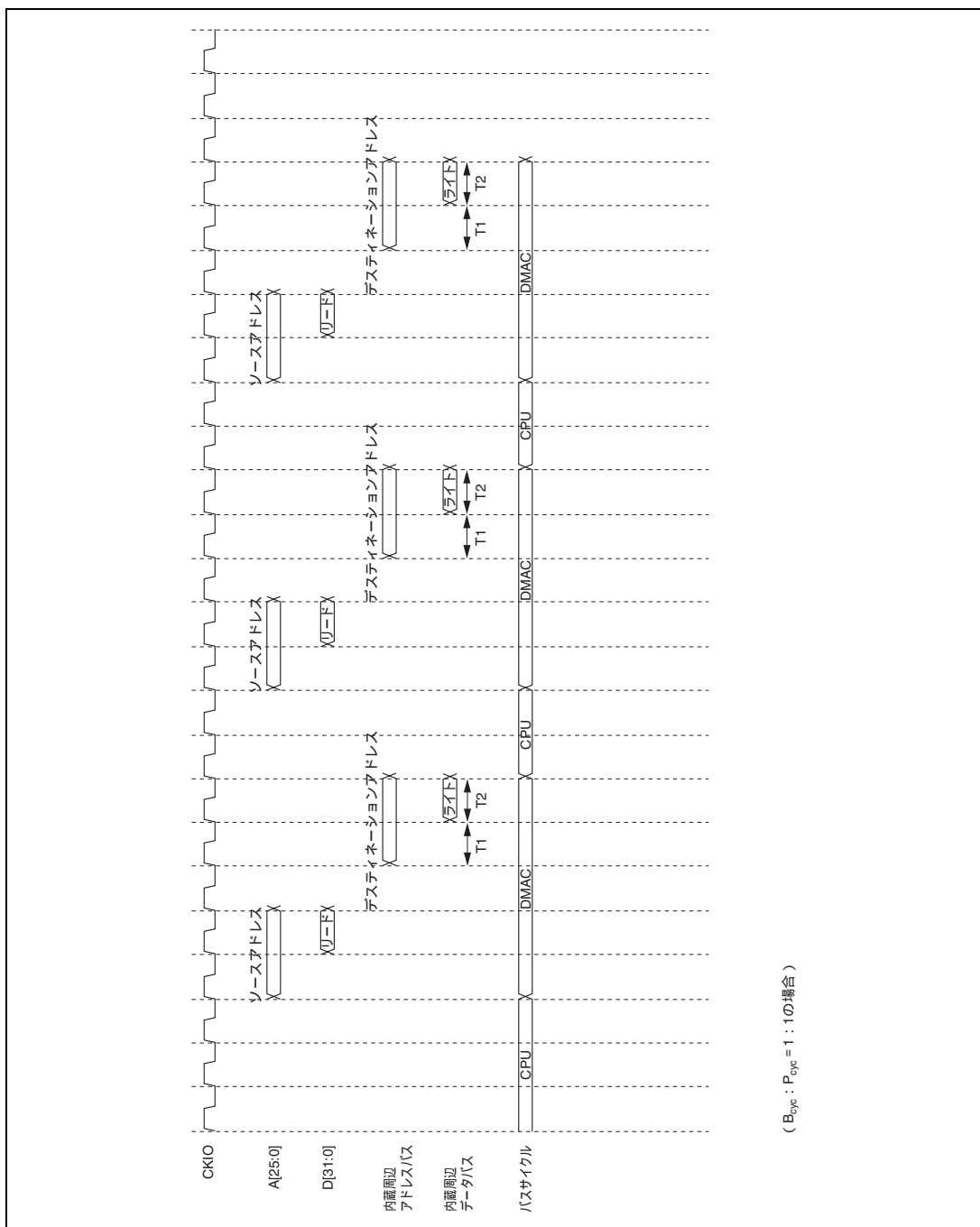


図 14.17 デュアルアドレスモード/サイクルスチールモード  
外部バス 内蔵 SCI (レベル検出)

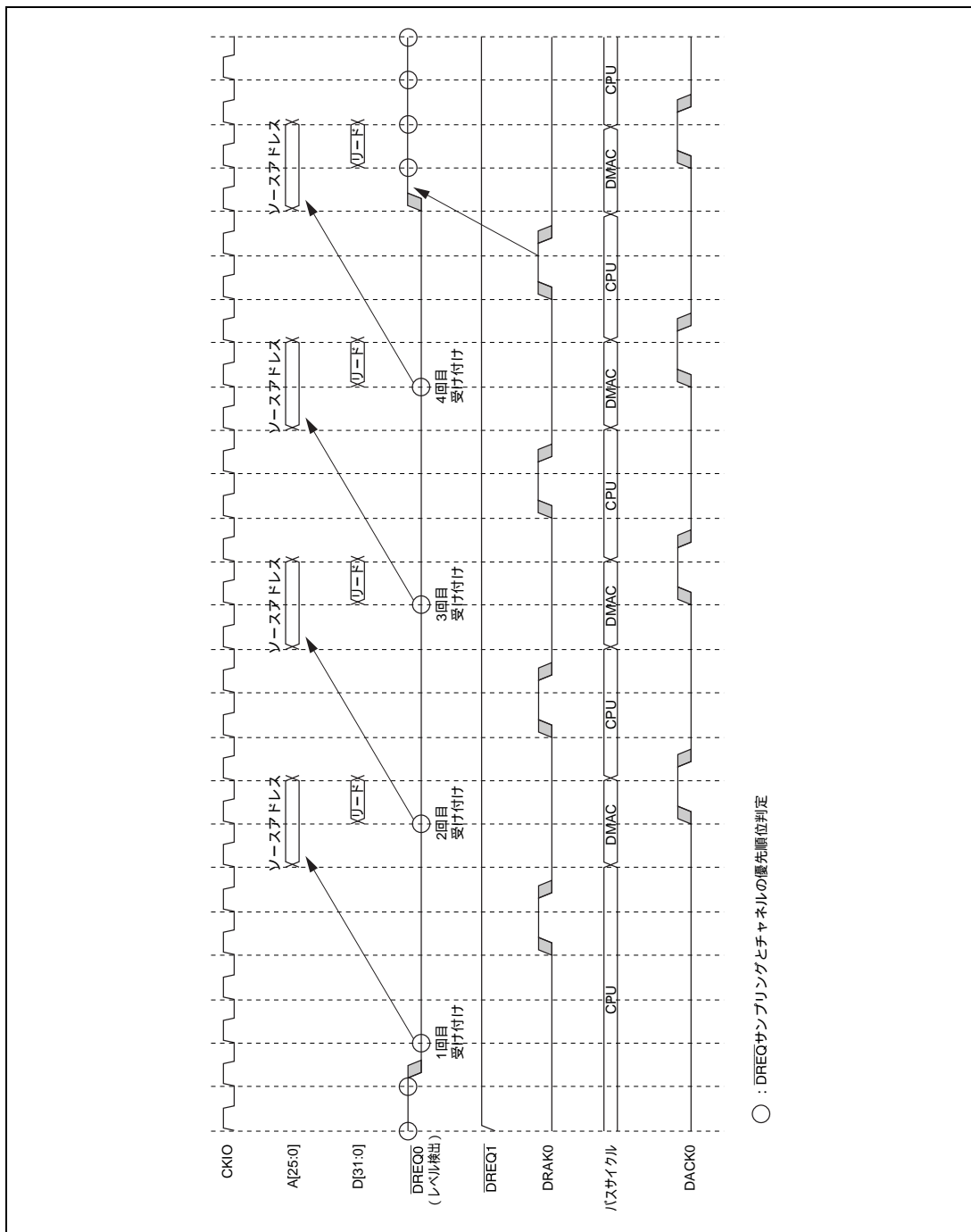


図 14.18 シングルアドレスモード/サイクルスチールモード  
外部バス 外部デバイス / DREQ (レベル検出)

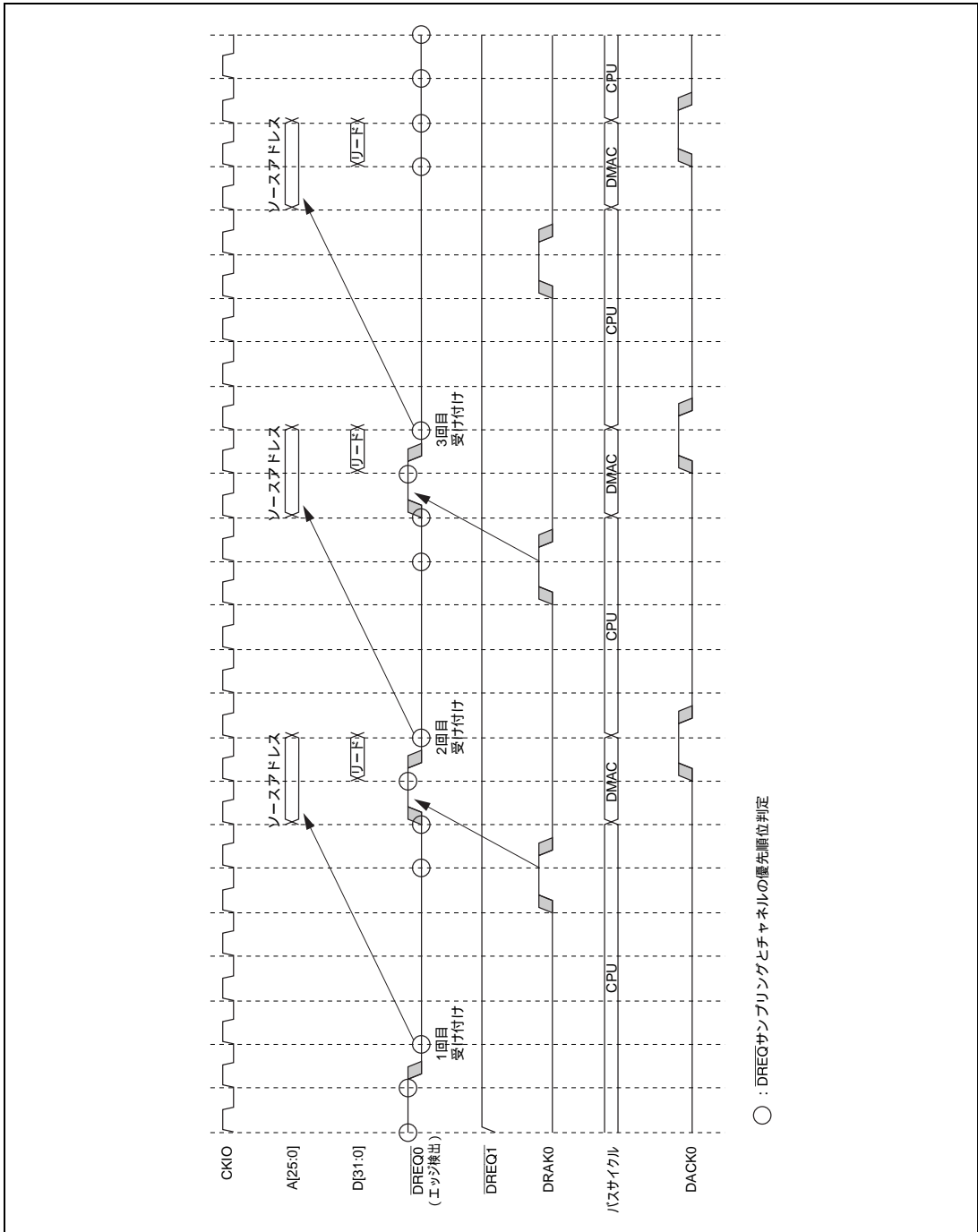


図 14.19 シングルアドレスモード/サイクルスチールモード  
外部バス 外部デバイス / DREQ (エッジ検出)

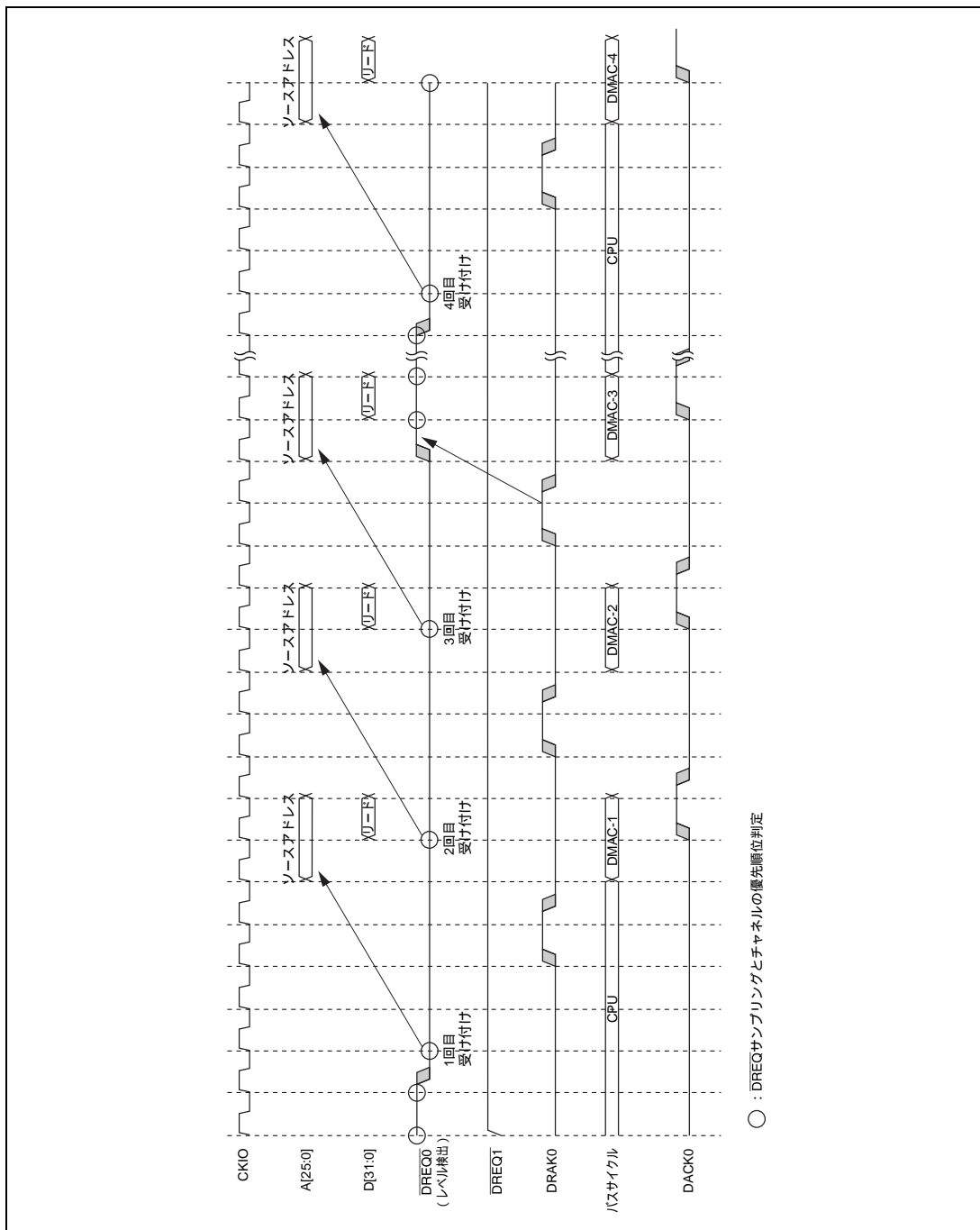


図 14.20 シングルアドレスモード / バーストモード  
外部バス 外部デバイス / DREQ (レベル検出)

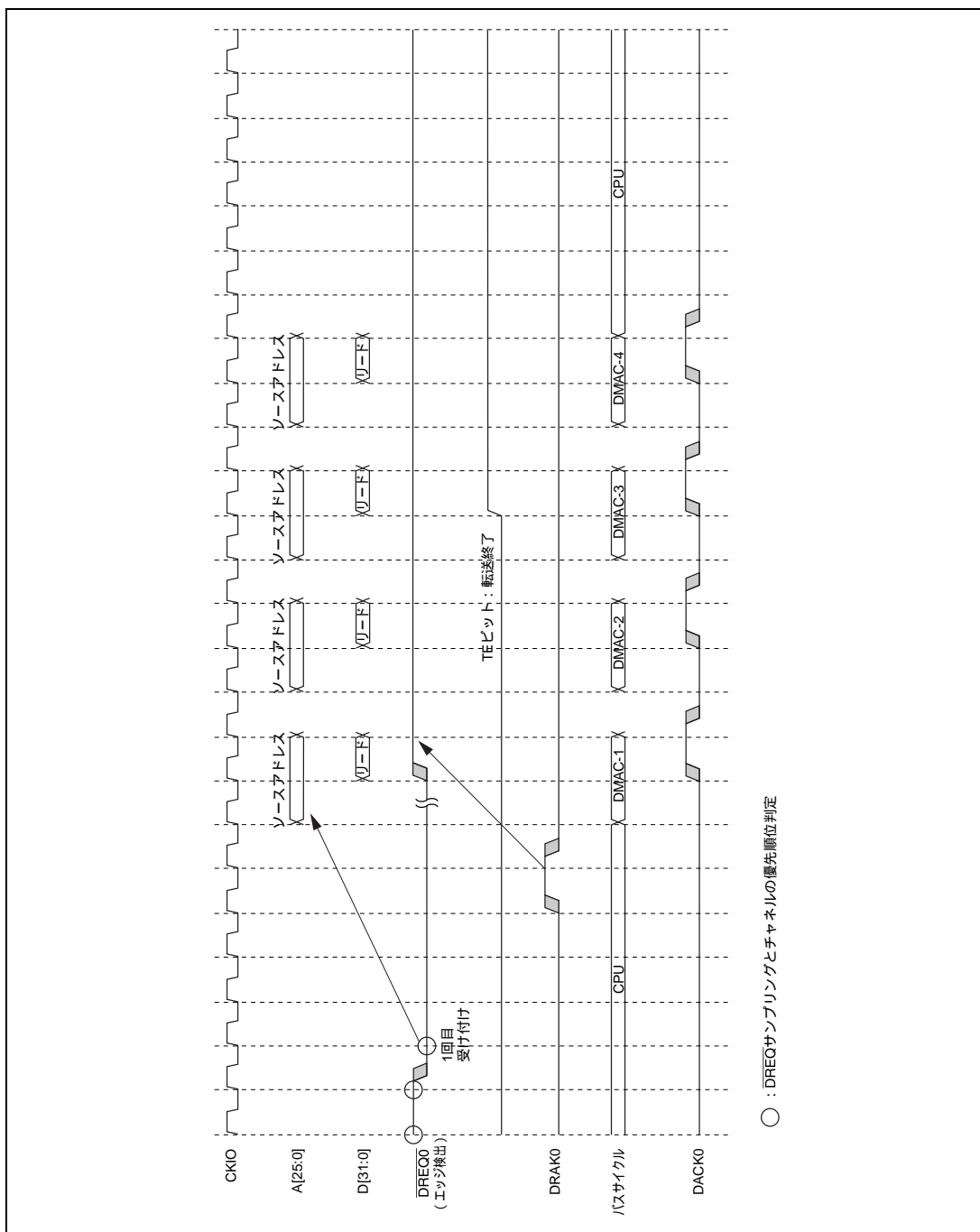


図 14.21 シングルアドレスモード/バーストモード  
外部バス 外部デバイス / DREQ (エッジ検出)

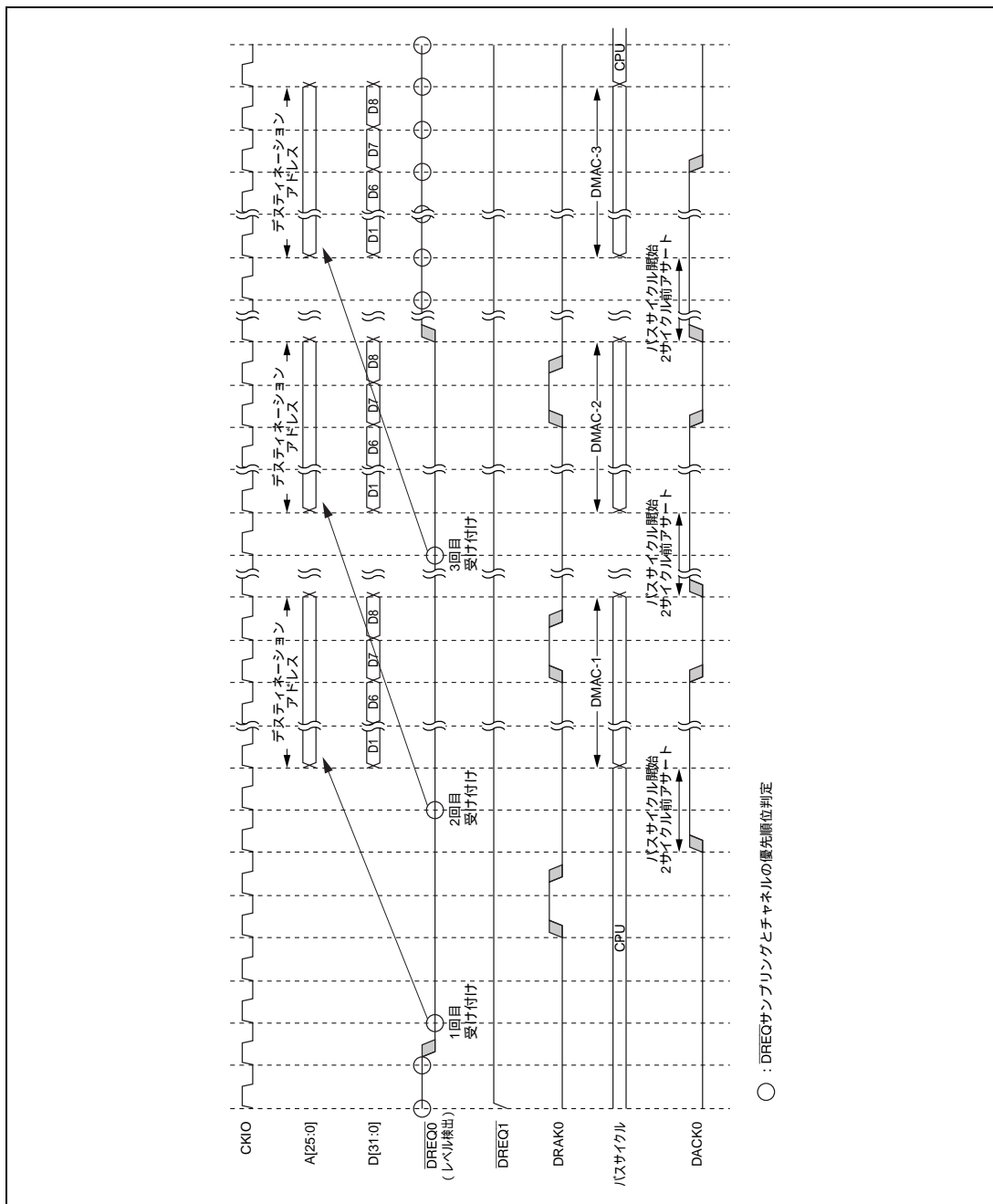


図 14.22 シングルアドレスモード / バーストモード  
 外部デバイス 外部バス / DREQ (レベル検出) / 32 バイトブロック転送  
 (バス幅 : 32 ビット、SDRAM : row ヒットライト)

### 14.3.6 DMA 転送終了

DMA 転送終了条件は、1 チャンネルずつの終了と全チャンネルの同時終了とで異なります。転送終了においては、DMA トランスファカウントレジスタ (DMATCR) の値が 0 になって終了する場合を除いて、以下の条件が適用されます。

#### (A) サイクルスチールモード (外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエスト)

転送終了条件が満たされると、DMACの転送要求の受け付けが中断されます。DMACは転送終了条件が満たされるまでに受け付けた分の転送要求分の動作を終了した後、動作を停止します。

サイクルスチールモードの場合、転送要求の検出方法がエッジでもレベルでも、動作は同じです。

#### (B) パーストモード、エッジ検出 (外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエスト)

転送終了条件が満たされてから実際にDMACが停止するまでのタイミングは、サイクルスチールモードの場合と同じです。パーストモード、エッジ検出の場合、DMACに起動をかけるための転送要求は最初の1回だけですが、停止要求 (CHCRのDE=0、DMAORのDME=0) のサンプリングを、「14.3.5(3)動作説明」の(d)、(e)に示した転送要求のサンプリングと同じタイミングでサンプリングしています。このため停止要求がサンプリングされなかった間は転送要求があったものとみなされ、この分の処理を実行した後停止します。

#### (C) パーストモード、レベル検出 (外部リクエスト)

転送終了条件が満たされてから実際にDMACが停止するまでのタイミングは、サイクルスチールモードの場合と同じです。パーストモード、エッジ検出の場合と同様に、停止要求 (CHCRのDE=0、DMAORのDME=0) のサンプリングを「14.3.5(3)動作説明」の(b)、(c)に示した転送要求のサンプリングと同じタイミングでサンプリングしています。このため停止要求がサンプリングされなかった間は転送要求があったものとみなされ、この分の処理を実行した後停止します。

#### (D) 転送中断が行われるバスタイミング

転送の中断は、DMAC転送のバスサイクル単位の処理が終了したところで発生します。デュアルアドレスモード転送の場合、リードサイクル中転送終了条件が満たされても、続くライトサイクル処理は実行されます、また上記(A)、(B)、(C)に当てはまる分の転送も実行した後動作が中断されます。

#### (1) チャンネルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- DMA トランスファカウントレジスタ (DMATCR) の値が 0 になる。
- DMA チャンネルコントロールレジスタ (CHCR) の DE ビットを 0 にクリアする。

##### 1. DMATCR = 0 による転送終了

DMATCRの値が0になると、対応するチャンネルのDMA転送が終了し、CHCRのトランスファエンドフラグビット (TE) がセットされます。このときインターラプトイネーブルビット (IE) がセットされていると、CPUに割り込み (DMTE) が要求されます。

DMATCR = 0 による転送終了の場合は、14.3.6の (A)、(B)、(C)、(D) には従いません。

##### 2. CHCRのDE = 0 による転送終了

CHCRのDMAイネーブルビット (DE) をクリアすると、対応するチャンネルのDMA転送が中断されます。こ

の場合にはTEビットはセットされません。この転送終了の場合は14.3.6の(A)、(B)、(C)、(D)に従います。

#### (2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャンネルが同時に転送終了します。

- DMAオペレーションレジスタ(DMAOR)のアドレスエラービット(AE)または、NMIフラグビット(NMIF)が1にセットされる。
- DMAORのDMAマスタイネーブルビット(DME)を0にクリアする。

##### 1. DMAORのAE = 1による転送終了

アドレスエラーが発生して、DMAORのAEビットが1になると、すべてのチャンネルのDMA転送が14.3.6(A)、(B)、(C)、(D)の条件に従って中断されバス権をCPUに渡します。したがって、AE = 1になったときには、DMAソースアドレスレジスタ(SAR)、DMAデスティネーションアドレスレジスタ(DAR)、DMAトランスファカウントレジスタ(DMATCR)の値は、次にDMA転送を行うアドレス、および残りの転送回数を示しています。この場合は、(TE)ビットはセットされません。転送を再開する前にアドレスエラーの原因となっているチャンネルの再設定を行った後、AE = 1をリードして、AE = 0をライトする必要があります。AE = 1の間は、外部リクエストの受け付けを中断しますので再開する場合は、DMA転送要求を再度出してください。内部リクエストの場合も受け付けを中断しますので、再開する場合は各内蔵周辺モジュールのDMA転送要求許可ビットを一度0にクリアして、再設定を行ってください。

##### 2. DMAORのNMIF = 1による転送終了

NMI割り込みが発生して、DMAORのNMIFビットが1になると、すべてのチャンネルのDMA転送が14.3.6(A)、(B)、(C)、(D)の条件に従って中断されバス権をCPUに渡します。したがって、NMIF = 1になったときには、DMAソースアドレスレジスタ(SAR)、DMAデスティネーションアドレスレジスタ(DAR)、DMAトランスファカウントレジスタ(DMATCR)の値は、次にDMA転送を行うアドレス、および残りの転送回数を示しています。この場合は、(TE)ビットはセットされません。NMI割り込み例外処理終了後に、転送を再開する場合はNMIF = 1をリードして、NMIF = 0をライトする必要があります。またAE = 1の場合と同様に、NMIF = 1の間は、外部リクエストの受け付けを中断しますので再開する場合は、DMA転送要求を再度出してください。内部リクエストの場合も受け付けを中断しますので、再開する場合は各内蔵周辺モジュールのDMA転送要求許可ビットを一度0にクリアして、再設定を行ってください。

##### 3. DMAORのDME = 0による転送終了

DMAORのDMEビットを0にクリアすると、すべてのチャンネルのDMA転送が14.3.6(A)、(B)、(C)、(D)の条件に従って中断され、バス権をCPUに渡します。この場合は、(TE)ビットはセットされません。DME = 0になったときには、DMAソースアドレスレジスタ(SAR)、DMAデスティネーションアドレスレジスタ(DAR)、DMAトランスファカウントレジスタ(DMATCR)の値は、次にDMA転送を行うアドレス、および残りの転送回数を示しています。再開する場合は、DME = 1をセットしてください。続きから転送を再開します。



## 14.4 使用例

### 14.4.1 外部メモリと DACK 付き外部デバイスとの転送例

外部メモリ上のデータを DMAC のチャンネル 1 を使用して DACK 付き外部デバイスに転送する例を考えます。

表 14.10 に転送条件と、各レジスタの設定値を示します。

表 14.10 外部メモリと DACK 付き外部デバイス間転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部メモリ	SAR1	H'0C000000
転送先：DACK 付き外部デバイス	DAR1	( DACK によりアクセス )
転送回数：32 回	DMATCR1	H'00000020
転送元アドレス：減少	CHCR1	H'000022A5
転送先アドレス：( 設定無効 )		
転送要求元：外部端子 ( DREQ1 ) エッジ検出		
バスモード：バースト		
転送単位：ワード		
転送終了時に割り込み要求なし		
チャンネル優先順位：2 > 0 > 1 > 3	DMAOR	H'00000201

## 14.5 オンデマンドデータ転送モード (DDT モード)

### 14.5.1 動作説明

DMAOR の DDT ビットを 1 に設定することによって、オンデマンドデータ転送モード (DDT モード) になります。DDT モードでは、外部デバイスと DMAC の間で  $\overline{DBREQ}$ 、 $\overline{BAVL}$ 、 $\overline{TR}$ 、 $\overline{TDACK}$ 、ID[1:0]、DTR.ID、DTR.MD 各信号を使ってデータバス、DDT モジュールを経由し、チャンネル 0~3 に転送要求を出すことができます。図 14.23 に DMAC、DDT、BSC と外部デバイス ( $\overline{DBREQ}$ 、 $\overline{BAVL}$ 、 $\overline{TR}$ 、 $\overline{TDACK}$ 、ID[1:0]、DTR.ID、DTR.MD 端子付き) のブロック図を示します。

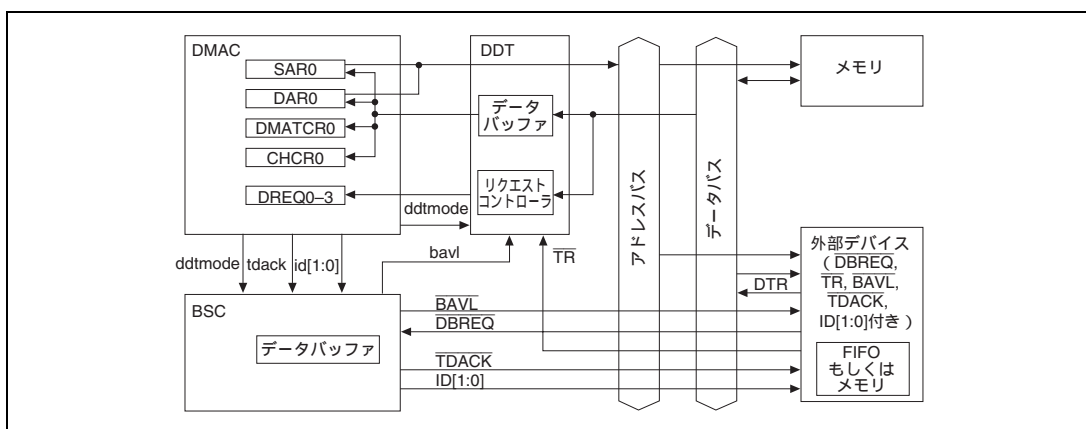


図 14.23 オンデマンドデータ転送モードのブロック図

最初に DMAC のチャンネル 0~3 に、CPU を使用して通常の DMA 転送の設定を行った後、外部デバイスから、 $\overline{DBREQ}$ 、 $\overline{BAVL}$ 、 $\overline{TR}$ 、 $\overline{TDACK}$ 、DTR.ID [1:0]、DTR.MD [1:0] の各信号を使用して転送要求を出力します (データバスを使用するハンドシェイクプロトコル)。さらに、外部バスを使用しないで  $\overline{TR}$  のみのアサートにより転送要求を出すこともできます (データバス不使用のハンドシェイクプロトコル)。チャンネル 2 に対しては、通常の方法で DMA 転送の設定を行った後、外部デバイス ( $\overline{DBREQ}$ 、 $\overline{BAVL}$ 、 $\overline{TR}$ 、 $\overline{TDACK}$ 、DTR.ID [1:0]、DTR.MD [1:0] 端子付き) から  $\overline{DBREQ}$ 、 $\overline{TR}$  を同時にアサートすることによって、直接転送要求を出すことが可能です。

DDT モードでは、5 種類のモードから選択して DMA 転送を行うことができます。

#### 1. 通常データ転送モード (チャンネル 0)

外部デバイスから  $\overline{DBREQ}$  (データバス要求信号) により、 $\overline{BAVL}$  (データバス使用許可信号) がアサートされます。 $\overline{BAVL}$  がアサートされてから、2 サイクル後 (CKIO 同期) に外部デバイスは、 $\overline{TR}$  (転送要求信号) と同期してデータ転送設定コマンド (DTR コマンド) をドライブします。この後、DMAC のチャンネル 0 の制御レジスタへの初期設定を行い DMA 転送を処理します。

## 2. 通常データ転送モード (チャンネル1~3)

CPUからデータ転送設定をDMACにしておき、DMA転送要求のみ外部デバイスから行うモードです。

1.と同様に外部デバイスから $\overline{\text{DBREQ}}$ をアサートし外部バス権を確保した後に、DTRコマンドをドライブします。

このとき、DTRコマンドのIDビット (2ビット) により、転送要求チャンネルを指定することができます。

## 3. データバスを使用するハンドシェイクプロトコル (チャンネル0のみ有効)

このモードは、チャンネル0のみに対して有効なモードです。

DMACのチャンネル0の制御レジスタに初期設定をした後、DTRコマンドのID=00、MD=00、SZ≠101、110に設定してDTRコマンドをドライブすることにより、DDTがDMACにデータ転送要求をアサートします。

## 4. データバス不使用のハンドシェイクプロトコル

DDTモジュールには、直前にアサートしたリクエストのチャンネルを記憶している機能があり、これを利用することにより、DMACの制御レジスタに初期設定 (DTRコマンドおよび、CPUによるデータ転送設定をDMACに設定) をしたチャンネルへ一度転送要求した後に、 $\overline{\text{TR}}$ のみを外部デバイスからアサートして直前にアサートしたリクエストのチャンネルへの転送要求をアサートすることができます。

## 5. ダイレクトデータ転送モード (チャンネル2のみ有効)

DMACのチャンネル2の制御レジスタに初期設定をした後、 $\overline{\text{DBREQ}}$ 、 $\overline{\text{TR}}$ を同時に外部デバイスからアサートすることにより、チャンネル2へデータ転送要求をアサートすることができます。

## 14.5.2 DDT モードにおける端子説明

図 14.24 に DDT モードにおけるシステム構成を示します。

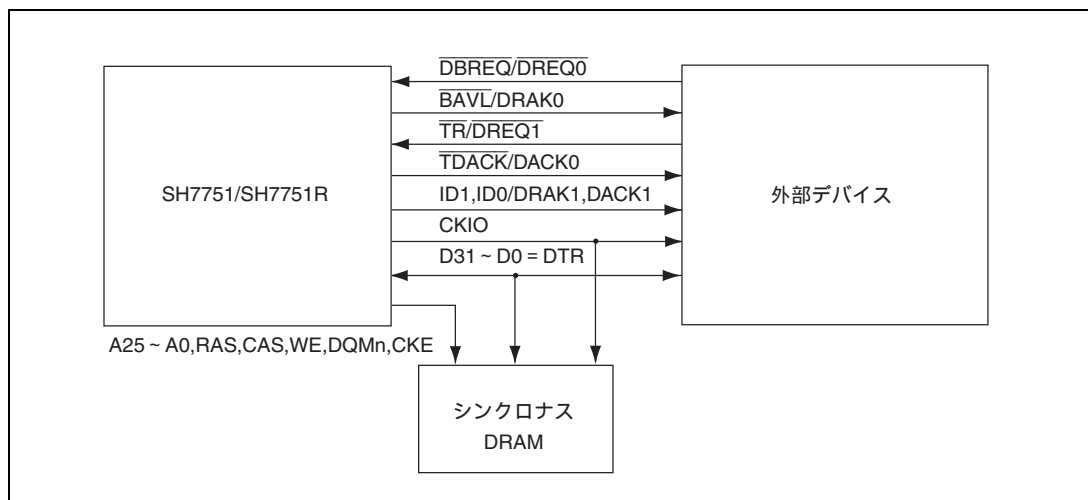


図 14.24 オンデマンドトランスファモードにおけるシステム構成

- $\overline{DBREQ}$  : 外部デバイスからDMACへ、データ転送要求フォーマット (DTRフォーマット) またはDMA要求を送信するためのデータバス解放要求信号

外部デバイスは、データバス解放待ちがある場合、 $\overline{DBREQ}$  をアサートすることによりデータバスを解放させることができます。 $\overline{DBREQ}$  を受け付けた場合、BSCは $\overline{BAVL}$  をアサートします。

- $\overline{BAVL}$  : データバスD31 ~ D0の解放信号  
 $\overline{BAVL}$  のアサートは、データバスが2サイクル後に解放されることを意味します。
- $\overline{TR}$  : 転送要求信号  
 $\overline{TR}$  のアサートは次の異なる意味を持ちます。
  - 通常データ転送モード (チャンネル0、チャンネル0以外) の場合は、 $\overline{BAVL}$  をアサートして、2サイクル後に $\overline{TR}$  をアサートと同時にDTRフォーマットを出力します。
  - データバス不使用のハンドシェイクプロトコルの場合は、 $\overline{TR}$  のみをアサートすることにより、直前に転送要求したチャンネルに対して転送要求を出すことができます。2サイクル前に $\overline{BAVL}$  がアサートされていないときのみ使用可能です。
  - ダイレクトデータ転送モード (チャンネル2のみ有効) の場合は、 $\overline{DBREQ}$ 、 $\overline{TR}$  を同時にアサートすることにより、チャンネル2へ直接転送要求を出すことができます。
- $\overline{TDACK}$  : DMACから外部デバイスに対する応答ストローブ信号  
アサートタイミングは、各メモリインタフェースの $DACK_n$ のアサートタイミングと同じです。ただし、本信号は、ローアクティブな信号です。
- ID1、ID0 : チャンネル番号通知信号
  - 00 : チャンネル0

- 01 : チャンネル1
- 10 : チャンネル2
- 11 : チャンネル3

## (1) データ転送要求フォーマット (DTR)

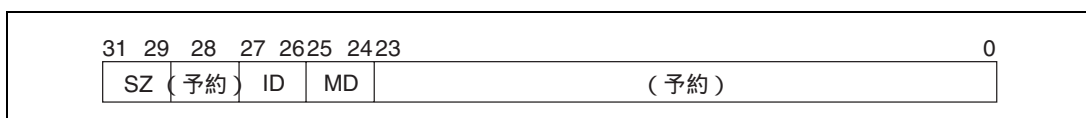


図 14.25 データ転送要求フォーマット

データ転送要求フォーマット (DTR フォーマット) は 32 ビットです。通常データ転送モード (チャンネル0、チャンネル0 以外) および、データバスを使用するハンドシェイクプロトコルの場合に、チャンネル番号、転送要求モードを指定します。D31 ~ 0 に接続します。

## ビット 31 ~ 29 : トランスミットサイズ (SZ2 ~ SZ0)

- 000 : DTRフォーマット設定時
- 001 : 設定禁止
- 010 : 設定禁止
- 011 : 設定禁止
- 100 : 設定禁止
- 101 : 設定禁止
- 110 : リクエストキュークリア指定
- 111 : 転送終了指定

## ビット 28 : 予約ビット

## ビット 27, 26 : チャンネル番号 (ID1, ID0)

- 00 : チャンネル0
- 01 : チャンネル1
- 10 : チャンネル2
- 11 : チャンネル3

## ビット 25, 24 : 転送要求モード (MD1, MD0)

- 00 : ハンドシェイクプロトコル (データバス使用)
- 01 : 設定禁止
- 10 : リクエストキュークリア指定
- 11 : 設定禁止

## ビット 23 ~ 0 : 予約ビット

- 【注】
1. チャンネル 1 ~ 3 の場合は、ID フィールドのみ有効です。
  2. チャンネル 0 の場合は、MD フィールドが有効です。MD=00 に設定してください。01、10、11 の場合はアドレスエラーで DMAC は停止します。
  3. エッジセンスバーストモードで、DMA 転送を連続して実行します。レベルセンスバーストモードおよびサイクルスチールモードは、各データを転送するためにハンドシェイクプロトコルを使用します。

4. チャンネル0へハンドシェイクプロトコルによる転送要求を指示する場合は、DTR フォーマットは、DTR.ID=00、DTR.MD=00、DTR.SZ≠101、110 に設定してください。DMAC の SAR0、DAR0、CHCR0、DMATCR0 への設定は MOV 命令を使用してください。転送モードは、シングルアドレスモード、デュアルアドレスモードが可能です。CHCR0.RS3 ~ RS0=0000、0010、0011 から選択してください。

DTR フォーマットを DTR.ID=00、DTR.MD=00、および DTR.SZ=101、110 に設定した場合、動作は保証されません。

#### (2) DDT モードにおける SZ、ID および MD の可能な組み合わせ

本LSIのDDTモードにおけるSZ、IDおよびMDの可能な組み合わせを表14.11に示します。

表 14.11 DDT モードにおける SZ、ID および MD の可能な組み合わせ

SZ[2:0]	ID[1:0]	MD[1:0]	機能
000	00	00	チャンネル0への転送要求
110	00	10	リクエストキュークリア
111	00	00	転送終了
	01		チャンネル1への転送要求
	10		チャンネル2への転送要求
	11		チャンネル3への転送要求

【注】 上記の表に示す以外の値を設定しないでください。

: Don't care

### 14.5.3 各チャンネルの転送要求受け付けについて

チャンネル 0 は、DTR フォーマットにより DMA データ転送要求が可能です。DTR フォーマット受け付け後からデータ転送終了までは、次の転送要求は受け付けられません。

チャンネル 1~3 は、ノーマル DMA モードと同様に DMAC の制御レジスタへの設定を行った後、DTR フォーマット (ID=01、10、11) により転送要求を外部デバイスから出力してください。チャンネル 1~3 は、最大 4 つまでの転送要求を受け付けるキュー (リクエストキュー) を各チャンネルが持っています。リクエストキューがいっぱいの場合、5 つ目以降の転送要求は無視されますので転送要求を出力しないことが必要です。リクエストキューに転送要求が残っている状態で、CHCR.TE=1 となり転送終了した場合、リクエストキューは保持されたままです。この時さらに転送要求があった場合、リクエストキューが空いていれば転送要求はリクエストキューに追加されます。

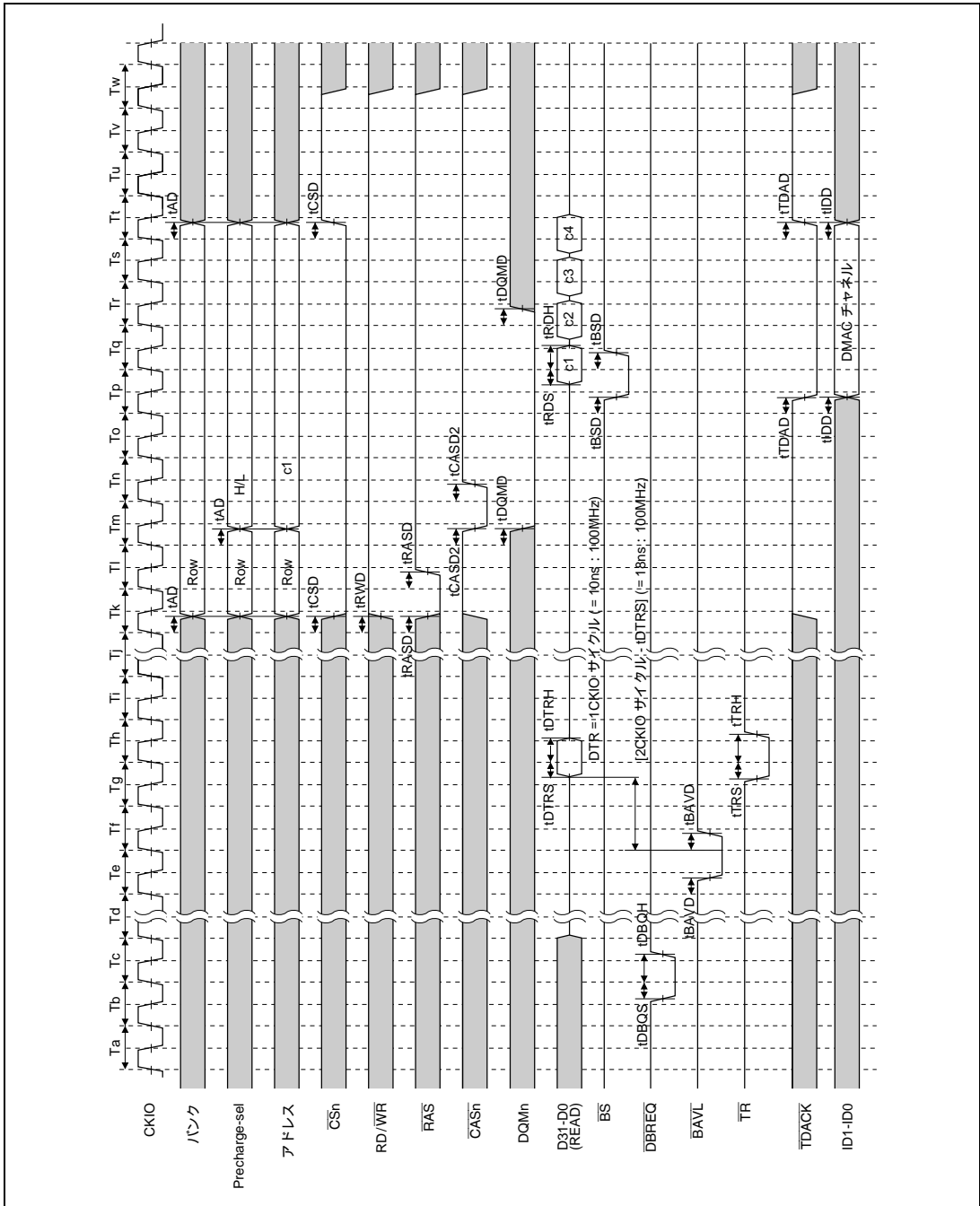


図 14.26 シングルアドレスモード/シンクロナス DRAM 外部デバイスロングワード転送 SDRAM オートプリチャージリードバスサイクル、バースト (RCD=1、CAS レイテンシ=3、TPC=3)



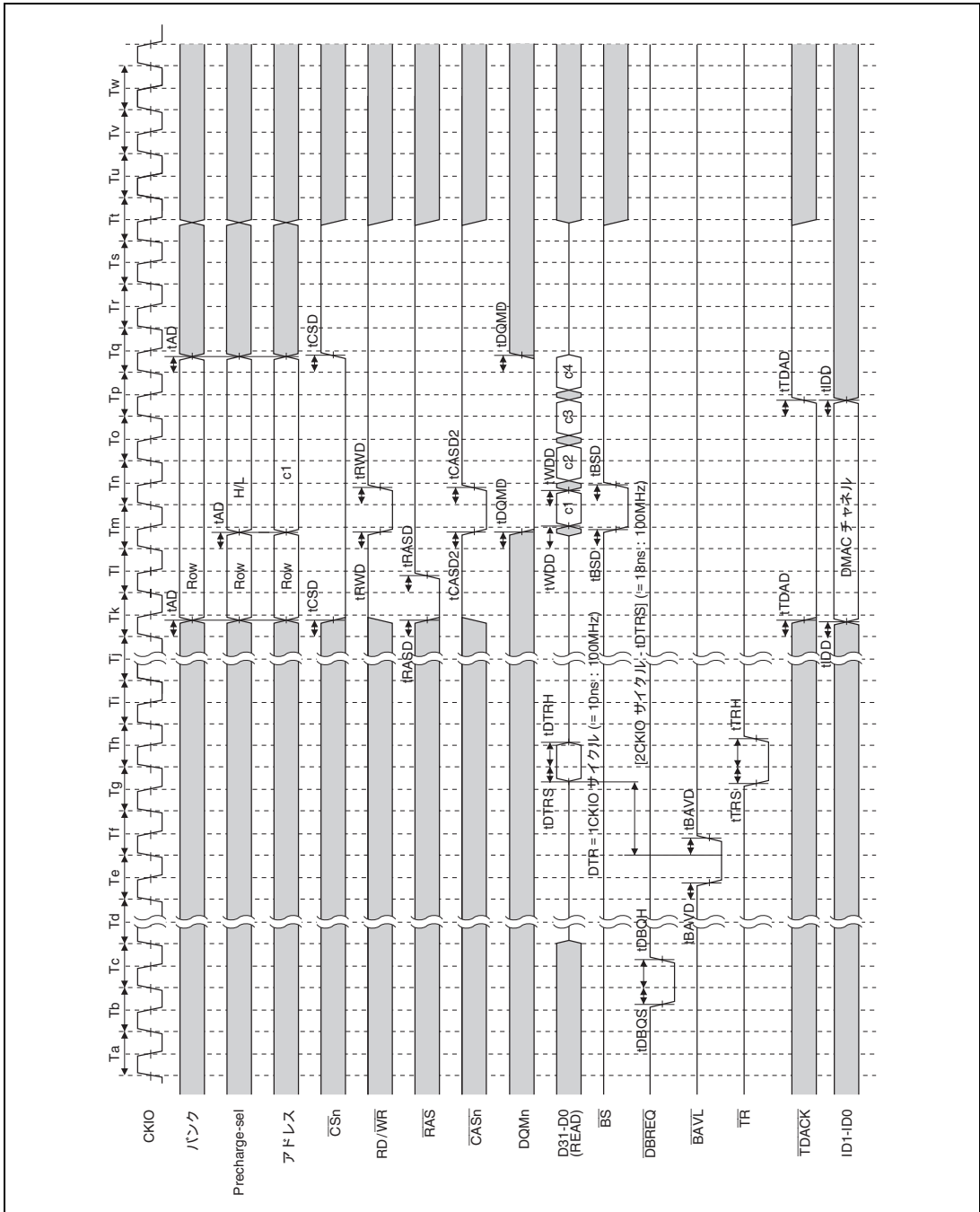


図 14.27 シングルアドレスモード/外部デバイス シンクロナス DRAM ロングワード転送 SDRAM オートプリチャージライトバスサイクル、バースト (RCD=1、TRWL=2、TPC=1)

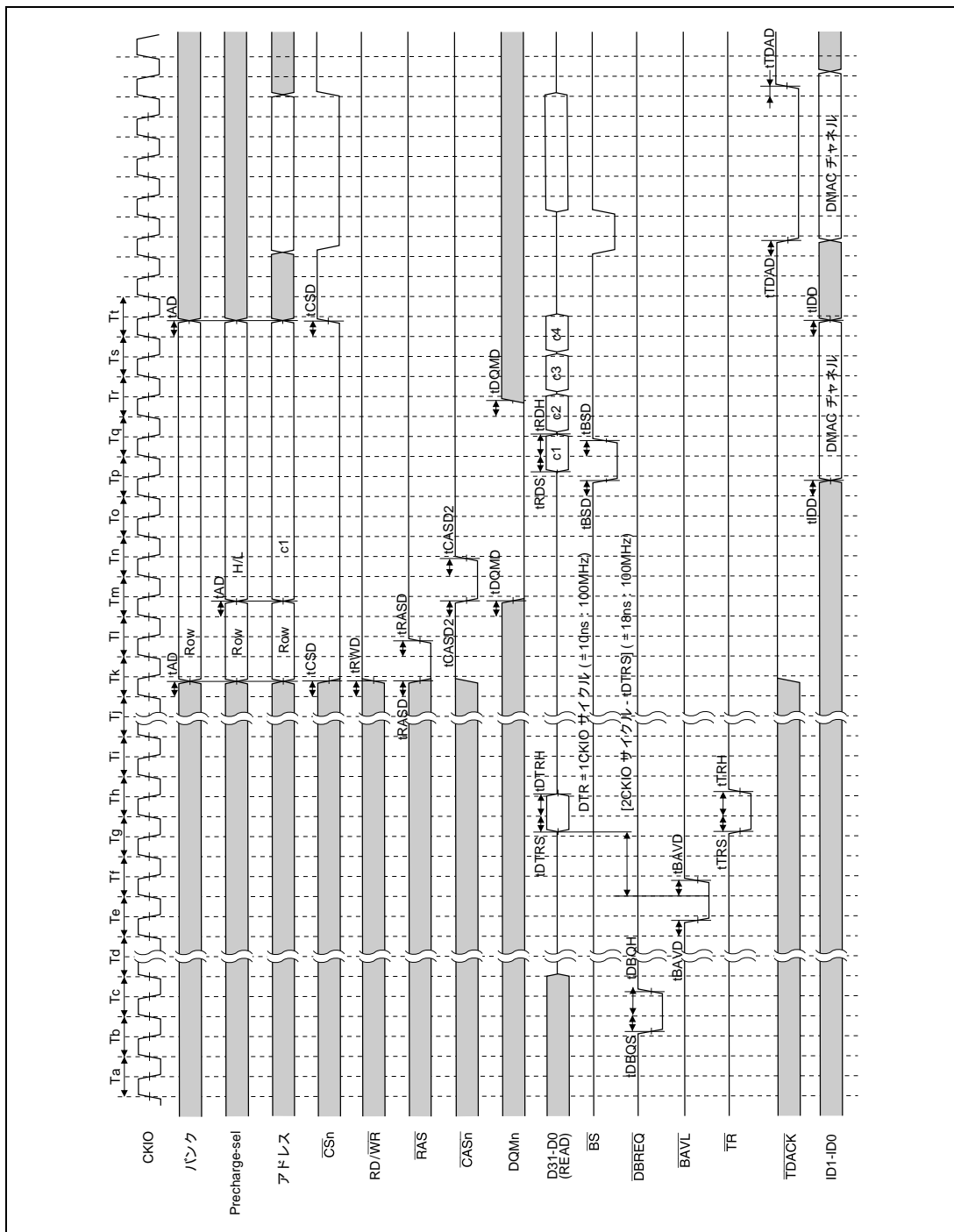


図 14.28 デュアルアドレスモード/シンクロナス DRAM SRAM 類ロングワード転送

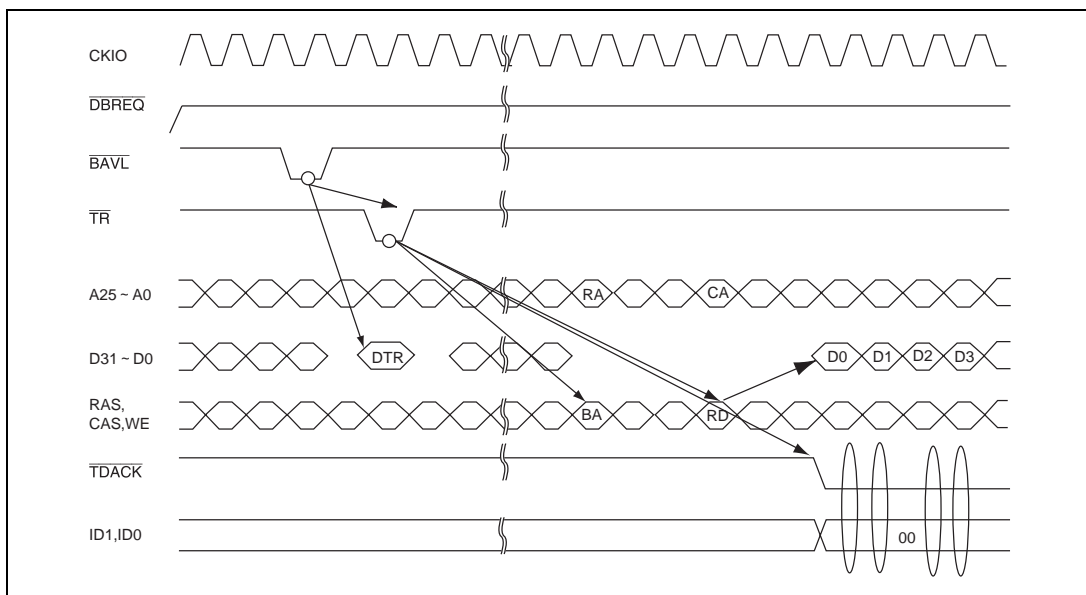


図 14.29 シングルアドレスモード/バーストモード/外部バス 外部デバイス  
32 バイトブロック転送/チャンネル0 オンデマンドデータ転送

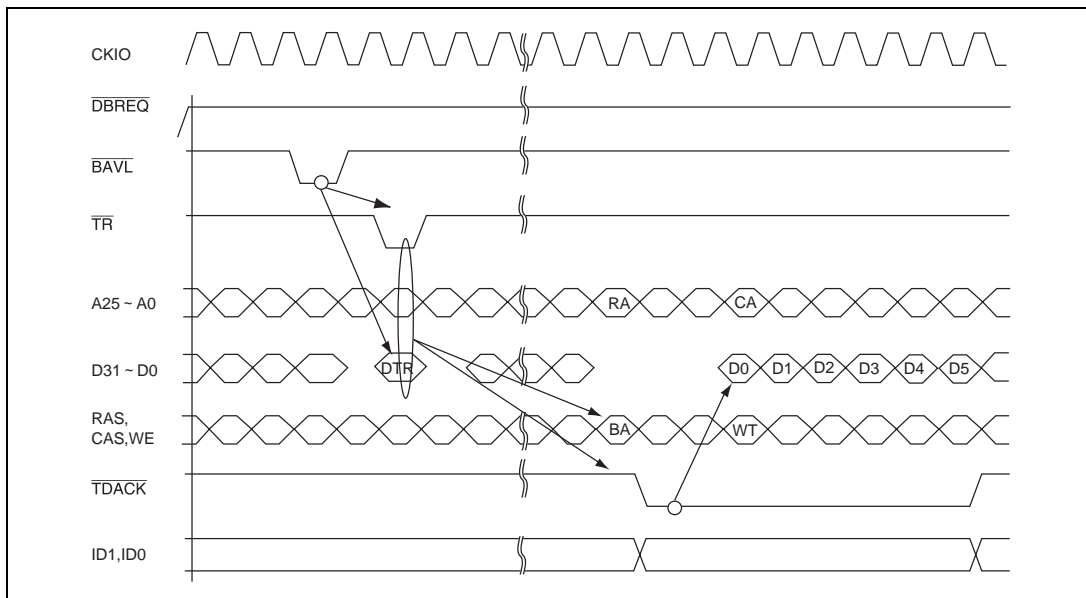


図 14.30 シングルアドレスモード/バーストモード/外部バス 外部バス  
32 バイトブロック転送/チャンネル0 オンデマンドデータ転送

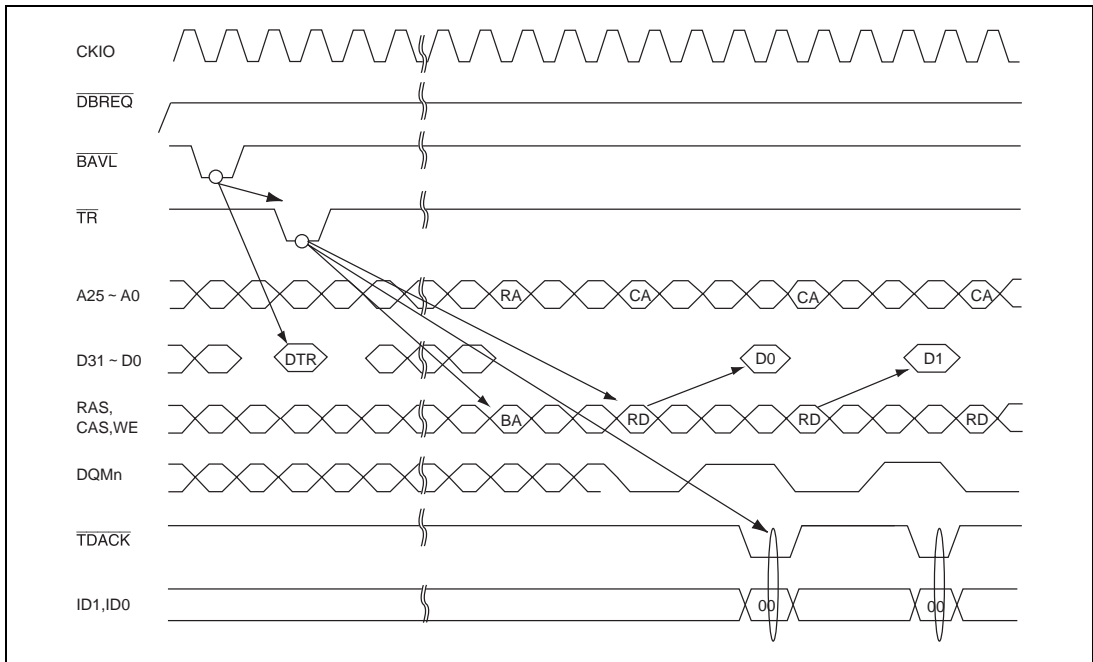


図 14.31 シングルアドレスモード/バーストモード/外部バス 外部デバイス  
32 ビット転送/チャンネル0 オンデマンドデータ転送

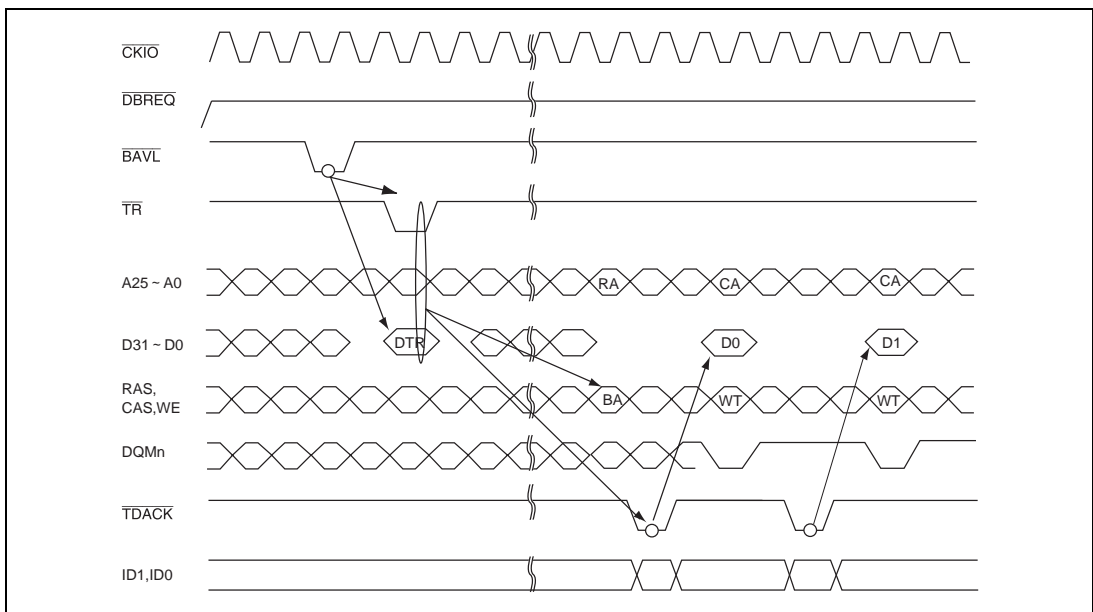


図 14.32 シングルアドレスモード/バーストモード/外部バス 外部バス  
32 ビット転送/チャンネル0 オンデマンドデータ転送

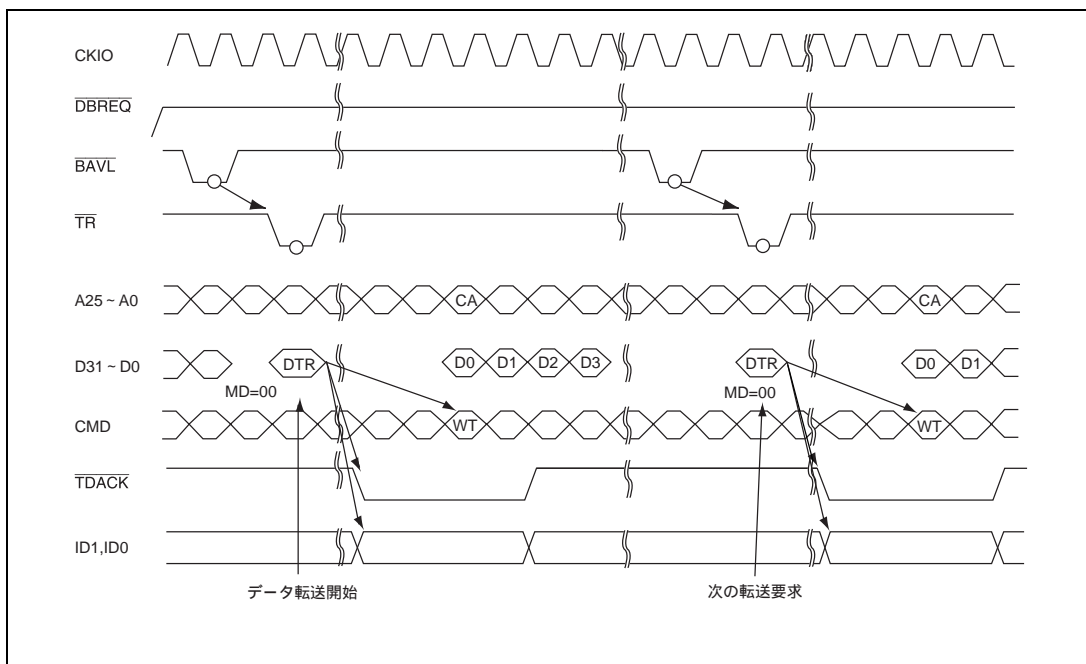


図 14.33 データバスを使用したハンドシェイクプロトコル  
(チャンネル0 オンデマンドデータ転送)

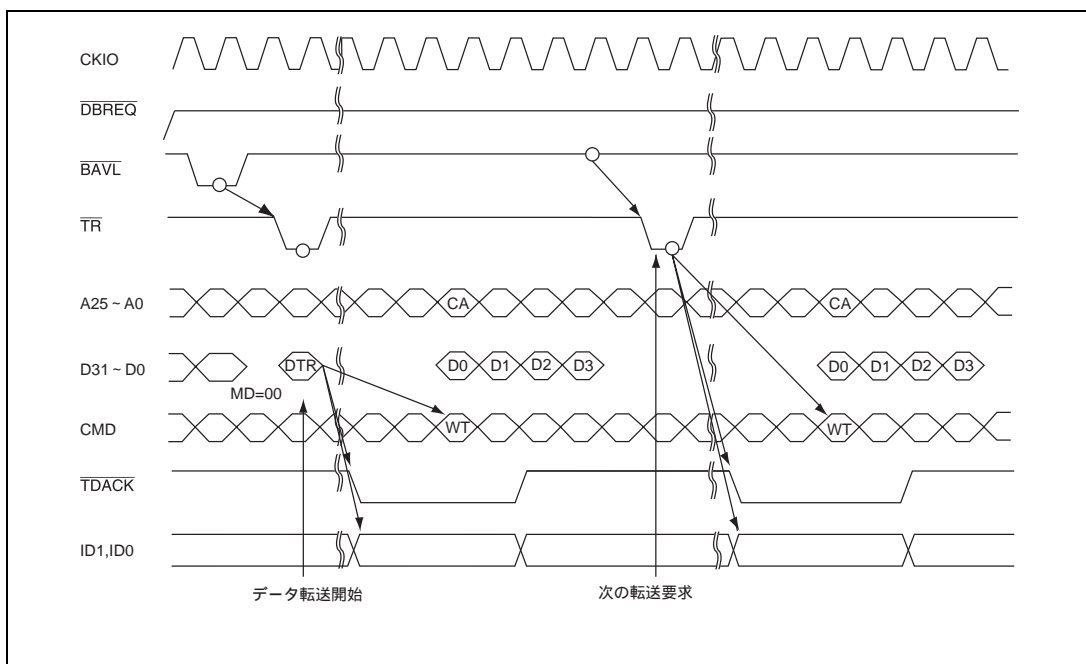


図 14.34 データバスを使用しないハンドシェイクプロトコル  
(チャンネル0 オンデマンドデータ転送)

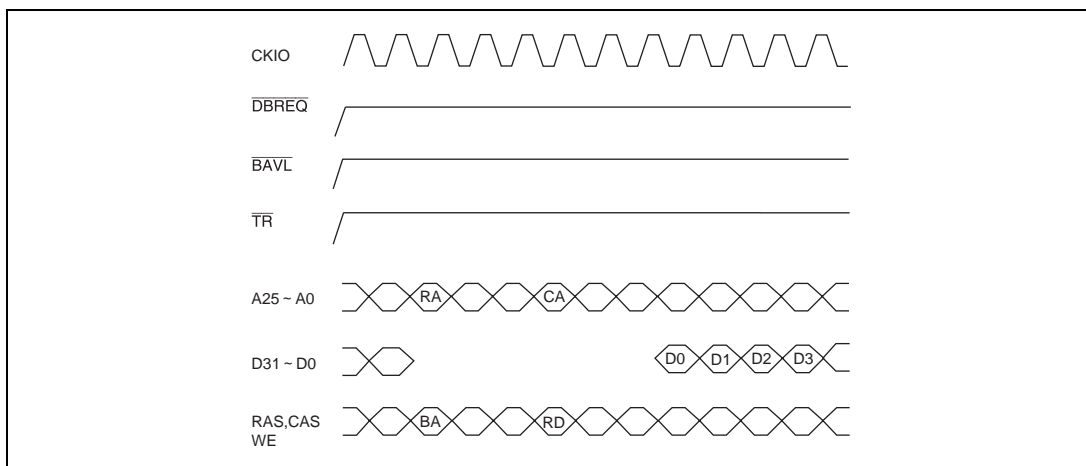


図 14.35 シンクロナス DRAM のプリチャージバンクからのリード

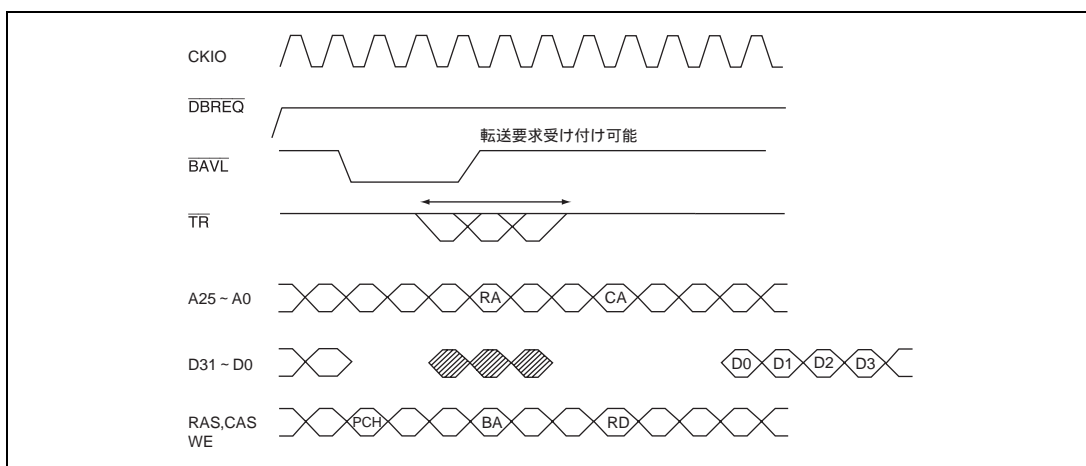


図 14.36 シンクロナス DRAM の非プリチャージバンクからのリード (row ミスの場合)

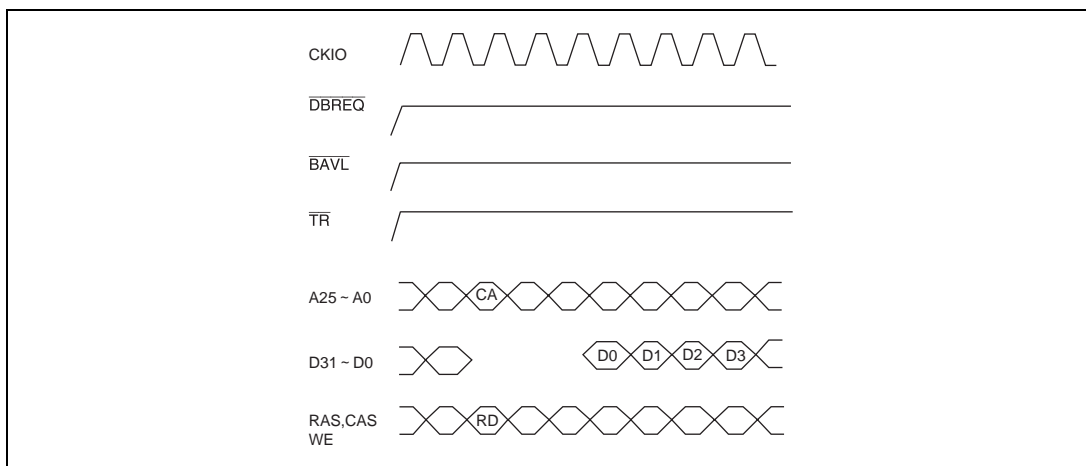


図 14.37 シンクロナス DRAM からのリード (row ヒットの場合)

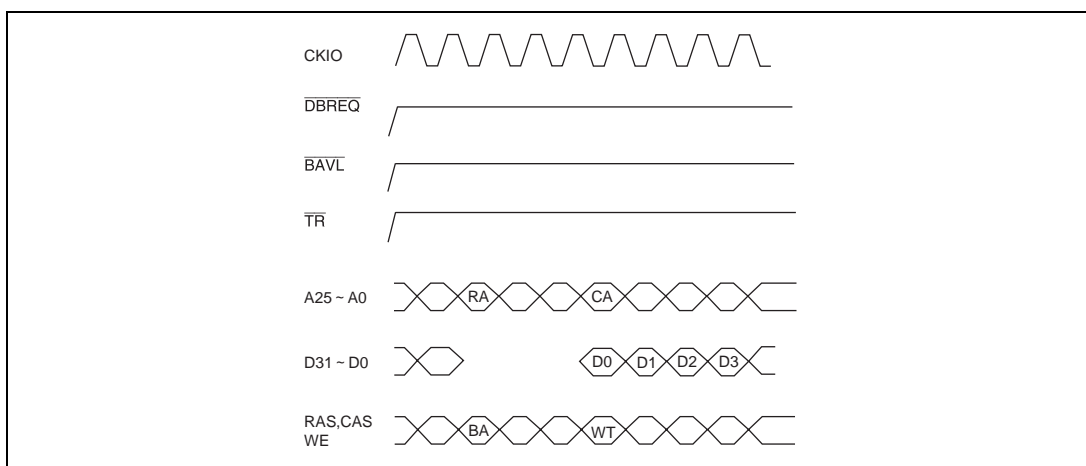


図 14.38 シンクロナス DRAM のプリチャージバンクへのライト

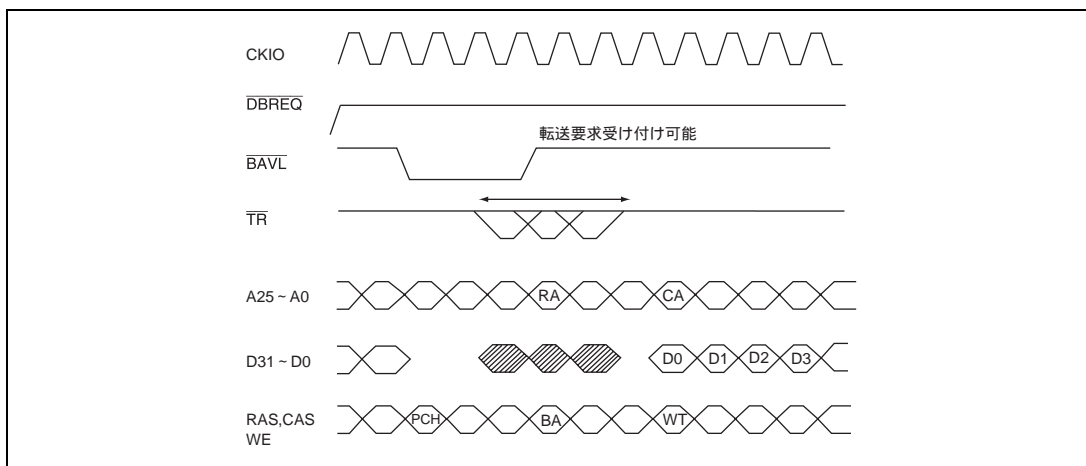


図 14.39 シンクロナス DRAM の非プリチャージバンクへのライト (row ミスの場合)

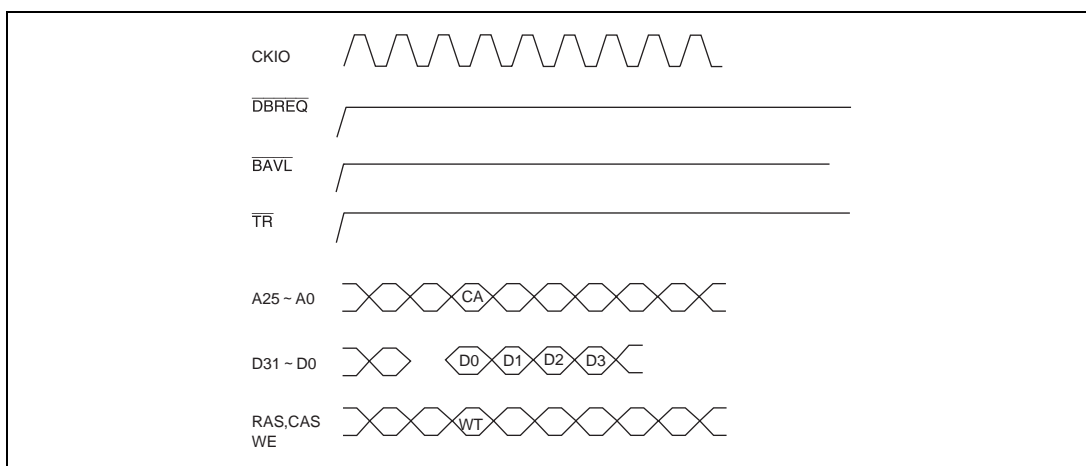


図 14.40 シンクロナス DRAM へのライト (row ヒットの場合)



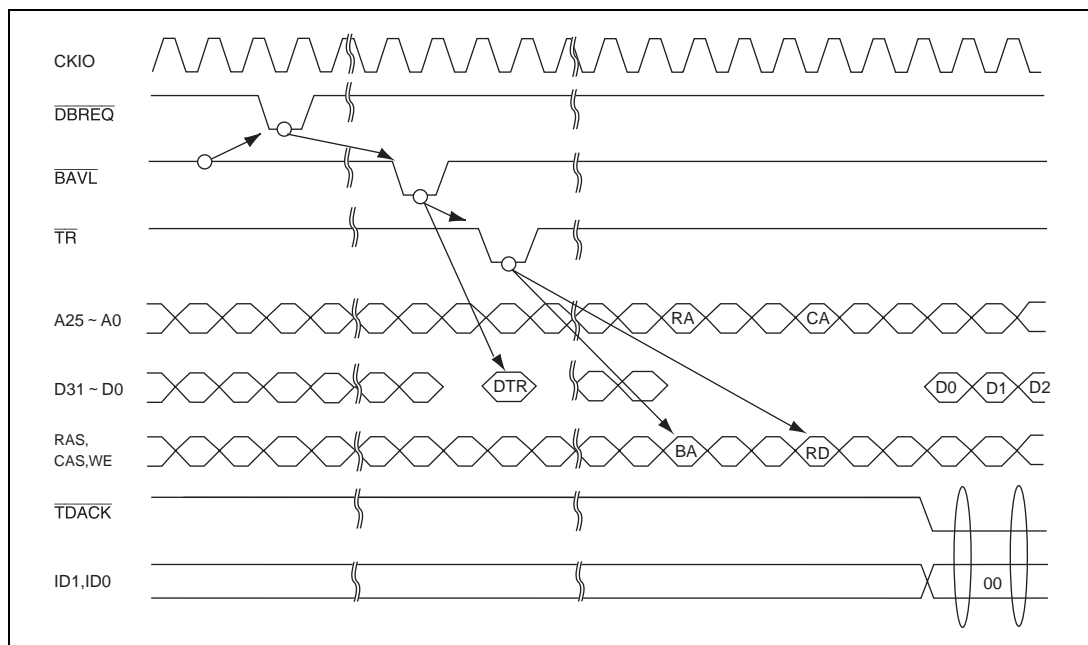


図 14.41 シングルアドレスモード/バーストモード/外部バス 外部デバイス  
32バイトブロック転送/チャンネル0 オンデマンドデータ転送

• DMAオペレーションレジスタ (DMAOR)

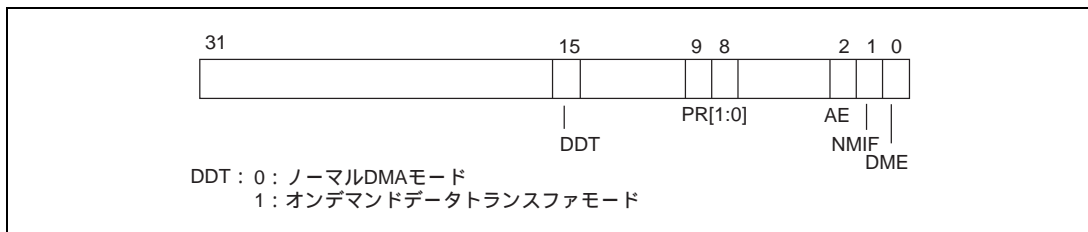


図 14.42 DDT モード設定

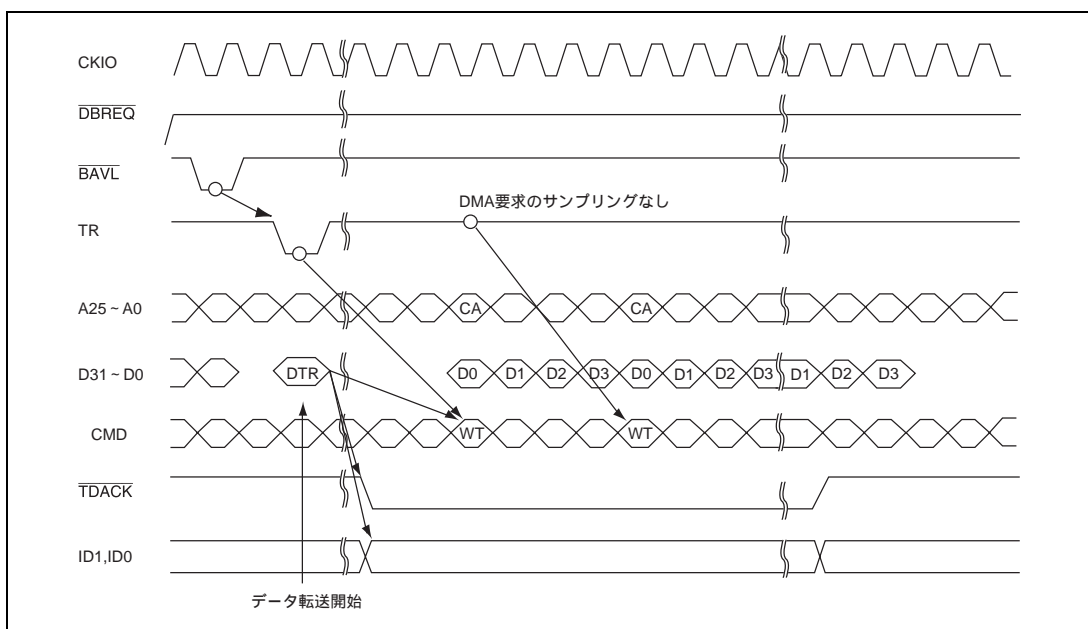


図 14.43 シングルアドレスモード / バーストモード / エッジ検出 / 外部デバイス 外部バスデータ転送

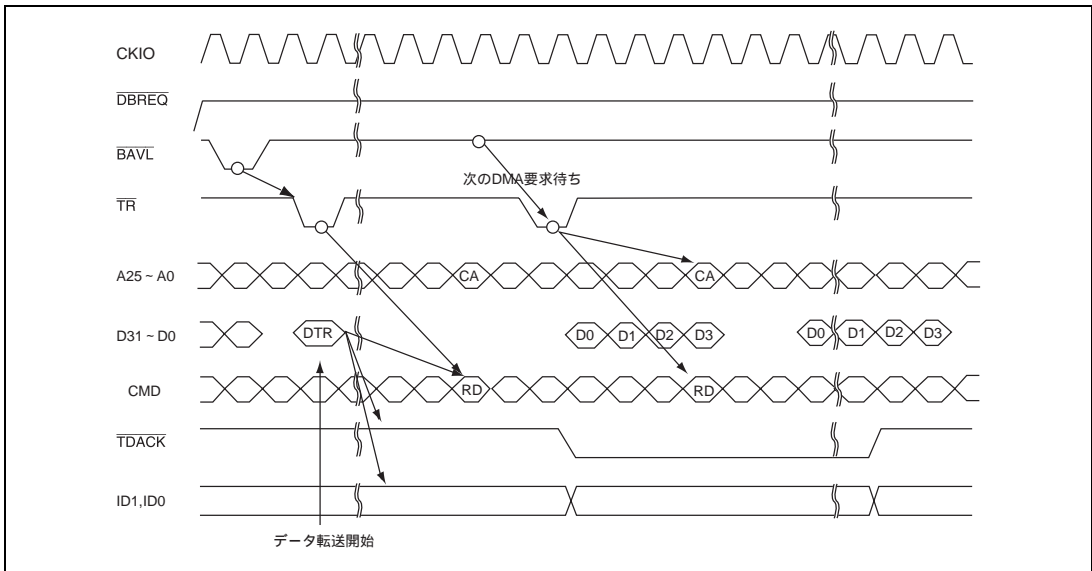


図 14.44 シングルアドレスモード/バーストモード/レベル検出/  
外部バス 外部デバイスデータ転送

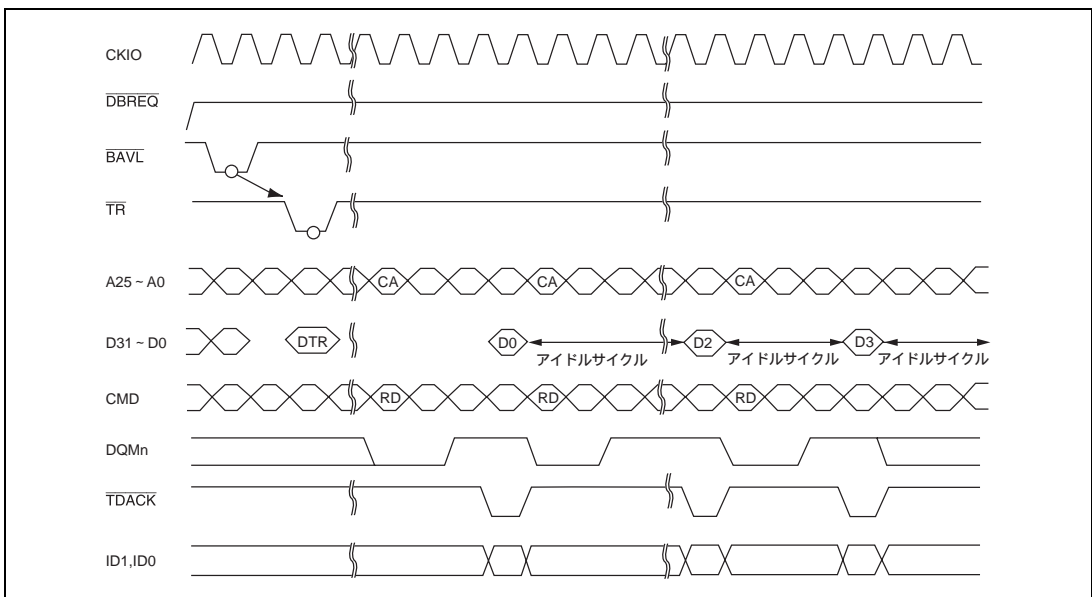


図 14.45 シングルアドレスモード/バーストモード/エッジ検出/バイト、ワード、  
ロングワード、クワッド/外部バス 外部デバイスデータ転送

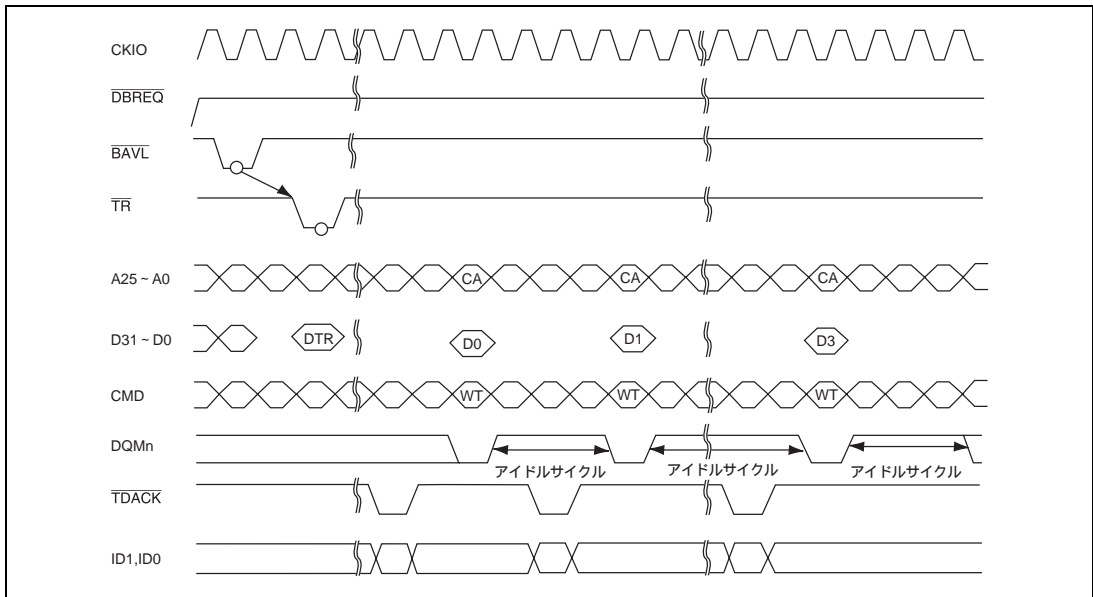


図 14.46 シングルアドレスモード/バーストモード/エッジ検出/バイト、ワード、ロングワード、クワッド/外部デバイス 外部バスデータ転送

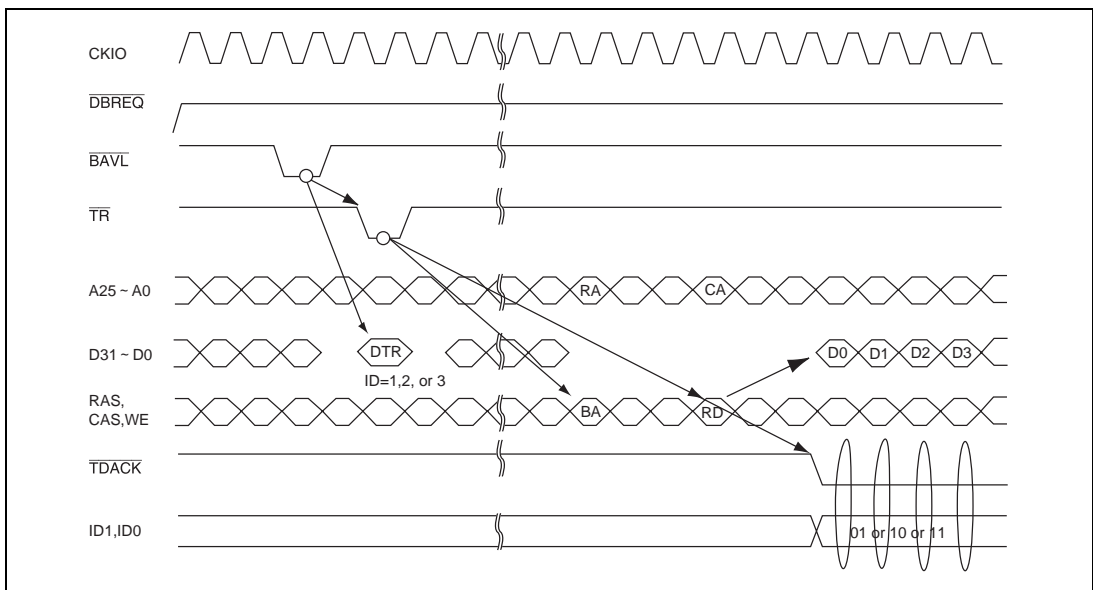


図 14.47 シングルアドレスモード/バーストモード/32 バイトブロック転送/データバスを用いたチャンネル 1~3 への DMA 転送要求

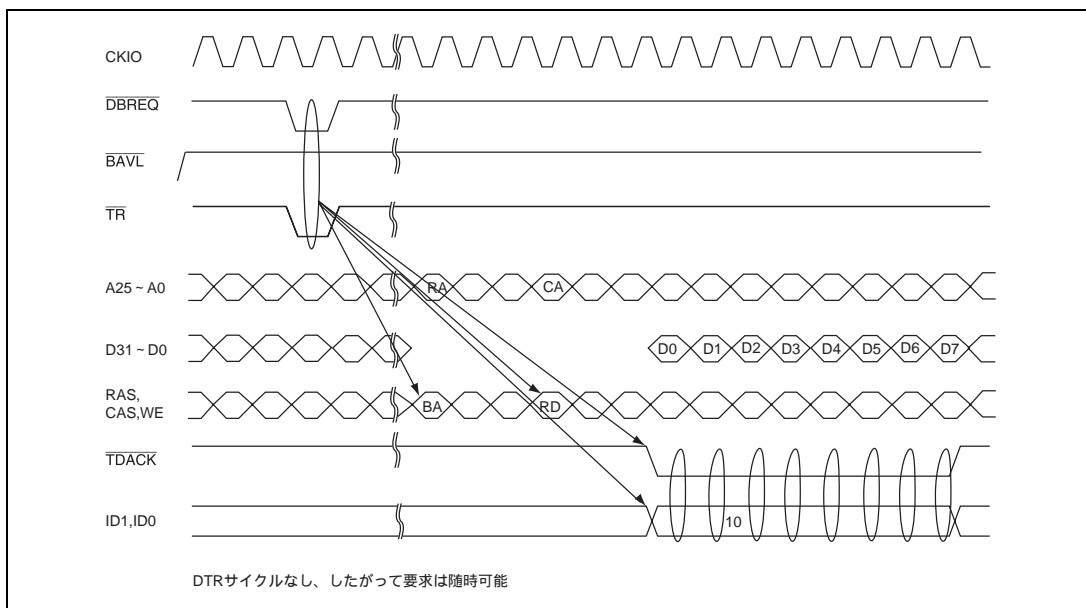


図 14.48 シングルアドレスモード / バーストモード / 32 バイトブロック転送 /  
外部バス 外部デバイスデータ転送 / データバス未使用チャンネル 2 への  
ダイレクトデータ転送要求

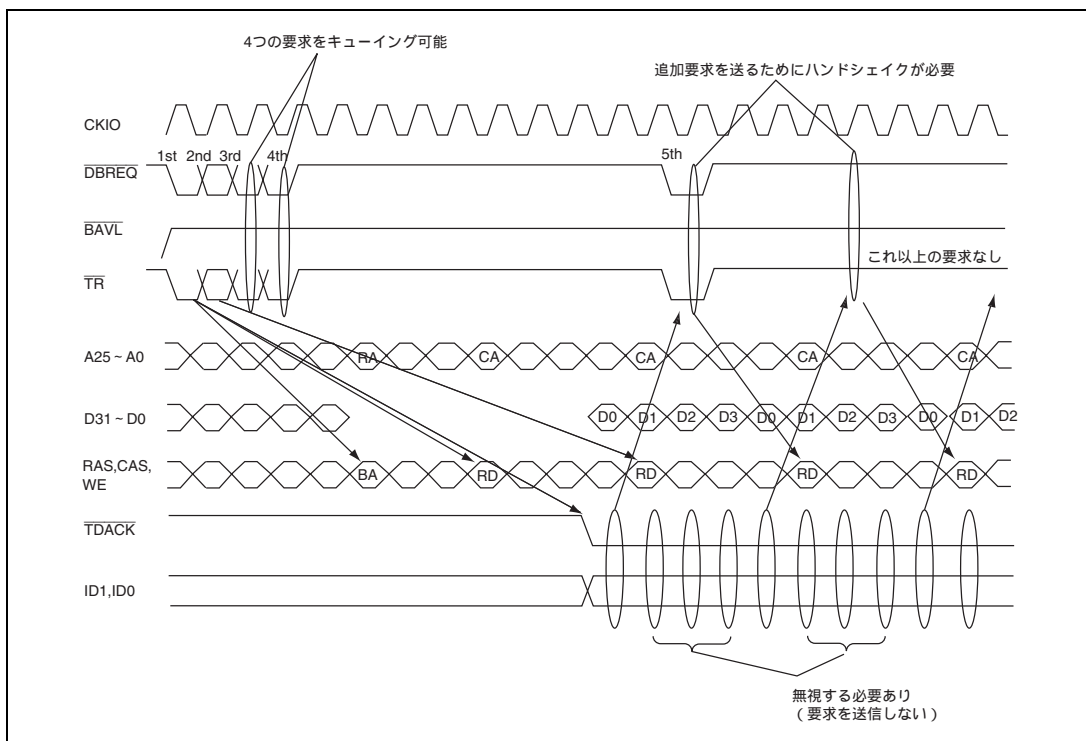


図 14.49 シングルアドレスモード/バーストモード/外部バス 外部デバイスデータ転送 /  
チャンネル2へのダイレクトデータ転送要求

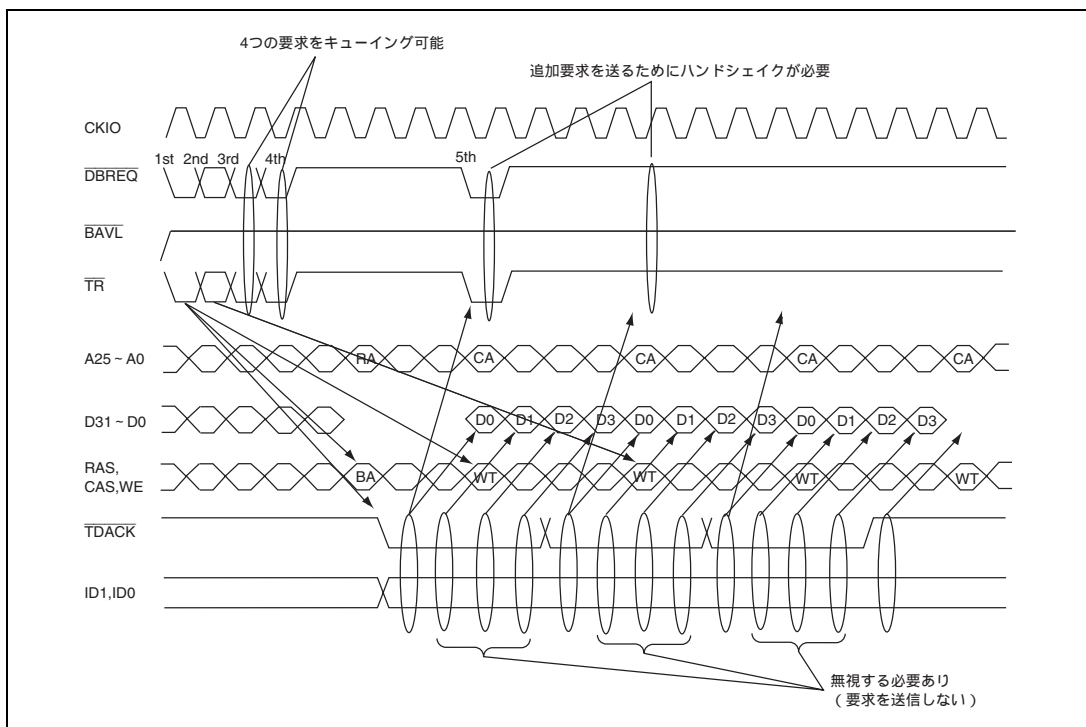


図 14.50 シングルアドレスモード / バーストモード / 外部デバイス 外部バスデータ転送 / チャンネル 2 へのダイレクトデータ転送要求

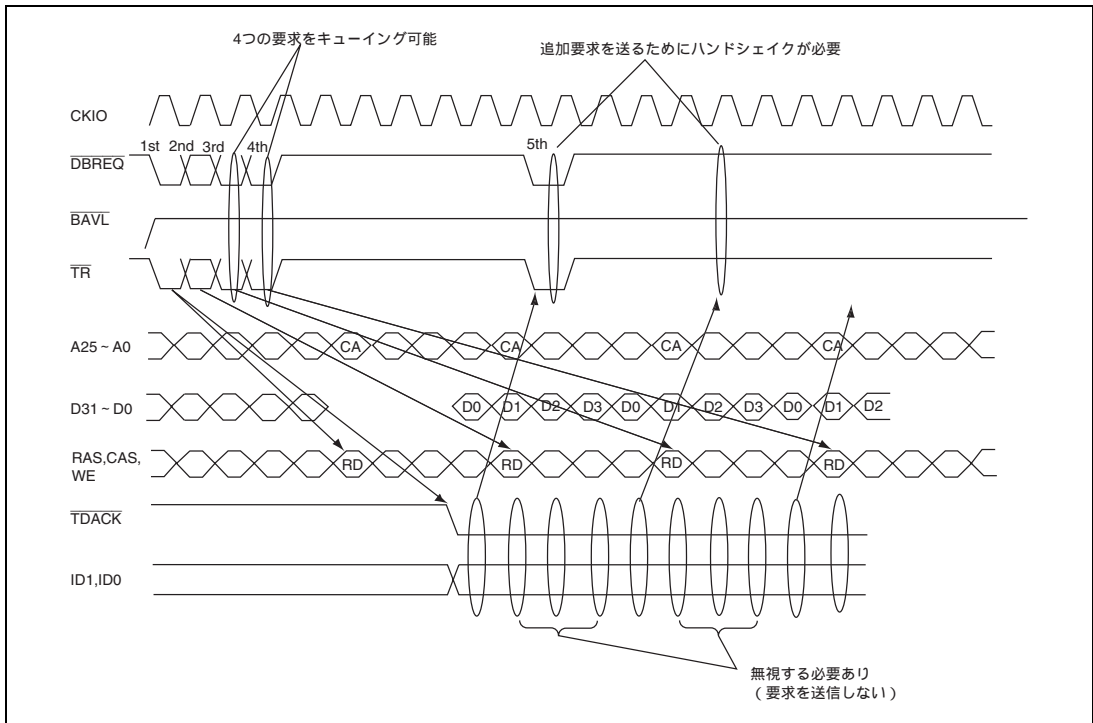


図 14.51 シングルアドレスモード/バーストモード/外部バス 外部デバイスデータ転送 (アクティブなバンクアドレス) /チャンネル2へのダイレクトデータ転送要求



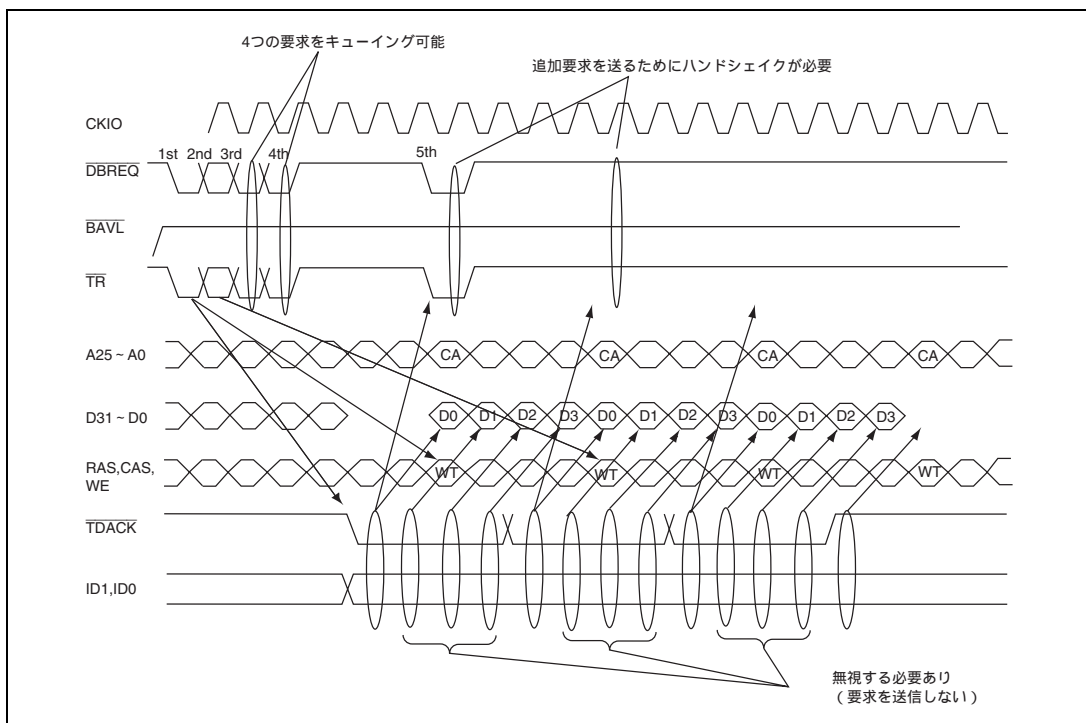


図 14.52 シングルアドレスモード/バーストモード/外部デバイス 外部バスデータ転送  
(アクティブなバンクアドレス)/チャンネル2へのダイレクトデータ転送要求

### 14.5.4 DDT 使用上の注意

#### (1) 通常データ転送モード (チャンネル0)

DTR.ID=00、DTR.MD=00に設定してください。MD=01、10、11に設定された場合にはアドレスエラーでDMACは停止します。この場合は、一度DMAOR.AE=1を読み出して、AE=0を書き込むことによりクリアされます。

#### (2) 通常データ転送モード (チャンネル1~3)

DTR.ID=01、10、11に設定した場合は、DTR.MDは無視されます。

#### (3) データバスを使用するハンドシェイクプロトコル (チャンネル0のみ有効)

(a) データバスを使用するハンドシェイクプロトコルは、チャンネル0のみで実行可能です。(DTR.ID=00、DTR.MD=00、DTR.SZ≠101、110に設定してください)

DTR.SZ=101、110に設定した場合、動作は保証されません。

(b) チャンネル0に対するデータバスを使用するハンドシェイクプロトコル実行中に、チャンネル1~3へのリクエストが入力され、そのDMA転送が実行された後に、データバスを使用するハンドシェイクプロトコルでDTR.ID=00、DTR.MD=00、DTR.SZ≠101、110が入力された場合にはチャンネル0への転送要求がアサートされます。

(c) チャンネル0のDMA転送が終了してCHCR0.TE=1の状態、データバス不使用のハンドシェイクプロトコルにより $\overline{TR}$ のみをアサートしてDMA転送要求が入力された場合にDMACはフリーズします。必ずCHCR0.TE=1を読み出した後に、CHCR0.TE=0を書き込んでTEフラグをクリアしてからDMA転送要求を発行してください。

#### (4) データバス不使用のハンドシェイクプロトコル

(a) データバス不使用のハンドシェイクプロトコルでは、直前にDMA転送要求されたチャンネルに対して $\overline{TR}$ のみをアサートすることにより、再度DMA転送要求をDMACに対して入力することができます。

(b) データバス不使用のハンドシェイクプロトコルで動作させるときは、DMACの各制御レジスタへの設定後に行ってください。

(c) データバス不使用のハンドシェイクプロトコル以外で動作させるときに、DTRを出力しないで $\overline{TR}$ のみアサートした場合は、直前にDMA転送要求されたチャンネルに対するリクエストになります。またパワーオンリセット後、初めてのDMA転送要求を $\overline{TR}$ のみアサートすることにより入力した場合は、無視されるためDMACは動作しません。

#### (5) ダイレクトデータ転送モード (チャンネル2のみ有効)

(a) データバス不使用のハンドシェイクプロトコルでDMA転送実行中に、 $\overline{DBREQ}$ 、 $\overline{TR}$ 同時アサートによるチャンネル2へのDMA転送要求が入力された場合は、DDT側のチャンネル2のリクエストキューに空きがある場合は受け付けます。

(b) ダイレクトデータ転送モード ( $\overline{DBREQ}$ 、 $\overline{TR}$ 同時アサート) の場合には、 $\overline{DBREQ}$ はバスアービトレーション信号として解釈されないため $\overline{BAVL}$ 信号がアサートされることはありません。

#### (6) リクエストキューの転送要求受け付けについて

(a) DDTにはチャンネル1~3ごとにリクエストキューが4つあります。このリクエストキューがいっぱいのときに、外部デバイスからDMA転送要求がアサートされた場合はその転送要求を無視します。

(b) チャンネル0に対するDMAバスサイクル実行中は、チャンネル0に対するDMA転送要求が入力されてもDDT

は無視します。チャンネル0のDMA転送終了(バーストモード)か、DMAバスサイクル(サイクルスタイルモード)中ではないことを確認してください。

#### (7) DTR フォーマット

- (a) DDTでは、DTR.ID、DTR.MD、DTR.SZを以下のように処理します。

DTR.ID=00のとき

- ・MD=00、SZ = 101、110 : データバスを使用するハンドシェイクプロトコル
- ・MD = 00、SZ=111 : CHCR0.DE = 0設定 (DMA転送終了要求)
- ・MD = 10、SZ=110 : DDTリクエストキュークリア

DTR.ID = 00のとき

- ・チャンネル1~3への転送要求 (ID以外は無視されます)

【注】 上記以外の値は設定しないでください。

#### (8) データ転送終了要求

- (a) データ転送終了要求 (DTR.ID = 00、MD = 00、SZ = 111) は、チャンネル0のDMA転送中は受け付けることはできません。したがってチャンネル0をエッジ検出、バーストモードに設定した場合は、途中で終了させることができません。
- (b) データ転送終了要求 (DTR.ID = 00、MD = 00、SZ = 111) を受け付けた場合にCHCR0、SAR0、DAR0、DMATCR0に設定してある値は保持されます。  
この場合には、外部デバイスからの実行再開はできません。再開する場合は、MOV命令でCHCR0.DE = 1を設定してください。

#### (9) リクエストキューのクリア方法

- (a) 通常データ転送モードによりDTR.ID = 00、DTR.MD = 10、SZ = 110をDDTが受け付けた場合は、DDT側のチャンネル0のリクエスト、チャンネル1~3のリクエストキューがすべてクリアされます。またDMAC側に保存された外部リクエストもすべてクリアされます。
- (b) (3)-(c)の場合にDMACがフリーズした状態を解除することができます。
- (c) (11)の場合にDMAOR.DDT = 1に設定し、DTR.ID = 00、DTR.MD = 10、SZ = 110をDDTが受け付けることでDMACがフリーズした状態を解除することができます。

#### (10) $\overline{\text{DBREQ}}$ アサートについて

- (a)  $\overline{\text{DBREQ}}$ アサート後、 $\overline{\text{BAVL}}$ がアサートされるまで、次の $\overline{\text{DBREQ}}$ はアサートしないでください。アサートした場合は、 $\overline{\text{DBREQ}}$ と $\overline{\text{BAVL}}$ のアサート回数が食い違ってきます。
- (b)  $\overline{\text{DBREQ}}$ のアサートによる $\overline{\text{BAVL}}$ のアサート期間は1サイクルです。  
シンクロナスDRAMアクセス中に非プリチャージバンクからのリード、またはライト時にロウアドレスミスが発生した場合は、BSC.MCR.TCPIに設定されたRASプリチャージ期間にしたがって $\overline{\text{BAVL}}$ が複数サイクルアサートされます。
- (c) 外部デバイスが $\overline{\text{DBREQ}}$ をアサートした1サイクル後にDMACが $\overline{\text{DBREQ}}$ を受け付けます。このときシンクロナスDRAMアクセス中に非プリチャージバンクからのリード、またはライトによるロウアドレスミスが発生して $\overline{\text{BAVL}}$ がアサートされていた場合は、外部デバイスがアサートした $\overline{\text{DBREQ}}$ は無視されます。このためこの $\overline{\text{DBREQ}}$ による $\overline{\text{BAVL}}$ が再度アサートされることはありません。

## (11) DDT モード解除について

DMAOR.DDTビットの設定は、すべてのチャンネルにおいてDMA転送中でないことを確認して行ってください。DDTモードでDMA転送中にDMAOR.DDT = 1から0へ設定を切り替えた場合、DMACはフリーズします。ノーマルDMAモード (DMAOR.DDT = 0) からDDTモードへ切り替えるときも同様です。

## (12) DMA 転送要求と転送実行回数の確認方法

各チャンネルへのDMA転送要求に対して、実行中のDMAバスサイクルが、どのチャンネルのものをTDACKアサート中に外部端子ID1、ID0をCKIOクロックの立ち上がりエッジで判定することにより確認が可能です。

(ID =00 : チャンネル0、ID =01 : チャンネル1、ID =10 : チャンネル2、ID =11 : チャンネル3)

## 14.6 SH7751R DMAC の構成

### 14.6.1 DMAC ブロック図

図 14.53 に DMAC のブロック図を示します。

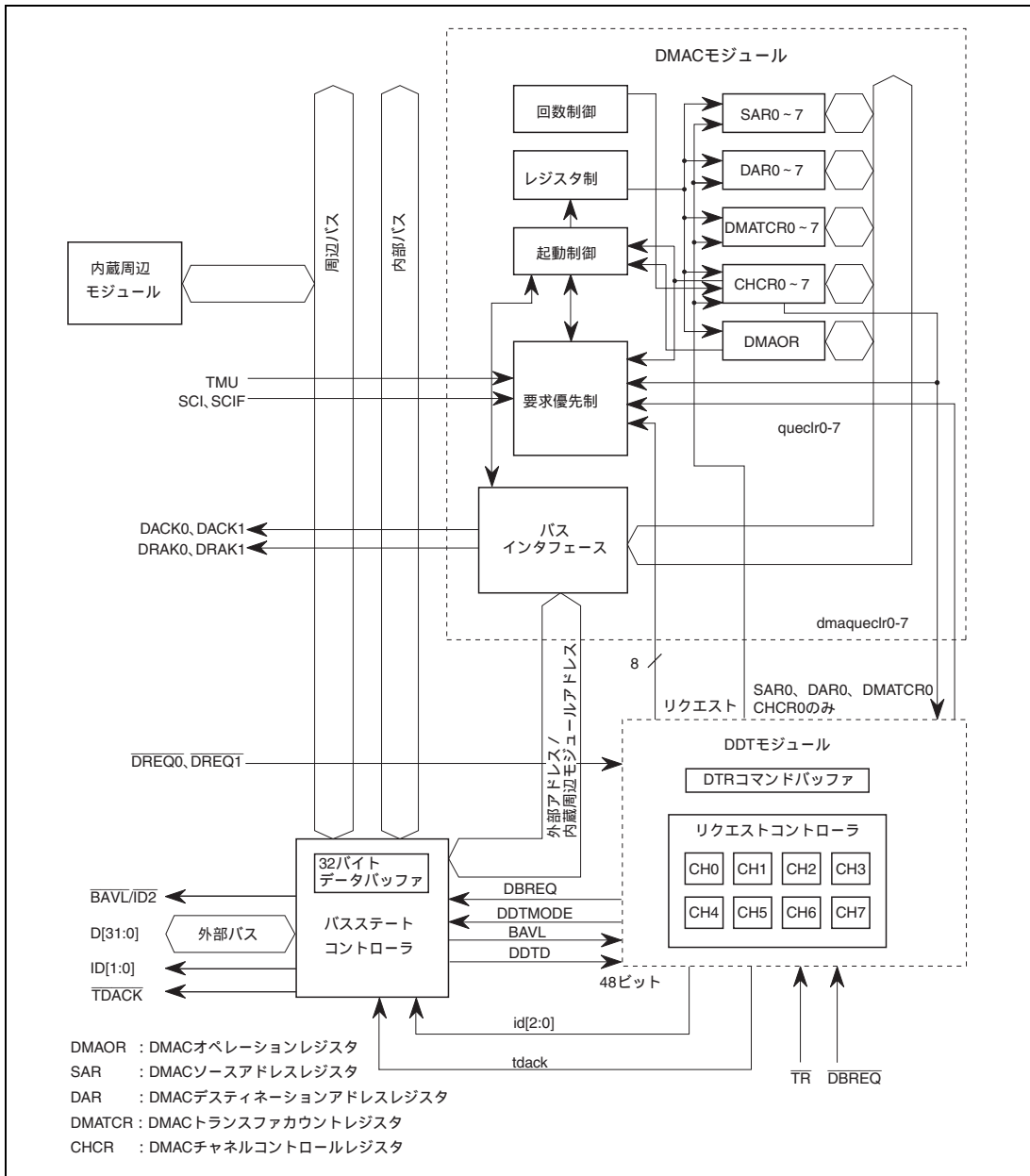


図 14.53 DMAC ブロック図

## 14.6.2 端子構成 (SH7751R)

SH7751R DMAC の端子構成を表 14.12、表 14.13 に示します。

表 14.12 DMAC 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	$\overline{\text{DREQ0}}$	入力	外部デバイスからチャンネル0へのDMA転送要求入力
	$\overline{\text{DREQ}}$ 受け付け確認	DRAK0	出力	チャンネル0から外部デバイスへのDMA転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	DACK0	出力	外部デバイスからチャンネル0へのDMA転送要求に対する外部デバイスへのストロープを出力
1	DMA 転送要求	$\overline{\text{DREQ1}}$	入力	外部デバイスからチャンネル1へのDMA転送要求入力
	$\overline{\text{DREQ}}$ 受け付け確認	DRAK1	出力	チャンネル1から外部デバイスへのDMA転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	DACK1	出力	外部デバイスからチャンネル1へのDMA転送要求に対する外部デバイスへのストロープを出力

表 14.13 DDT モードにおける DMAC 端子構成

名称	略称	入出力	機能
データバス要求	$\overline{\text{DBREQ}}$ ( $\overline{\text{DREQ0}}$ )	入力	外部デバイスからのDTRフォーマット入力のためのデータバス解放要求
データバス使用許可	$\overline{\text{BAVL/ID2}}$ (DRAK0)	出力	データバス解放通知。 $\overline{\text{BAVL}}$ アサートの2サイクル後にデータバスを使用可能 $\overline{\text{TDACK}}$ 出力時にチャンネル番号を同時に外部デバイスへ通知
転送要求信号	$\overline{\text{TR}}$ ( $\overline{\text{DREQ1}}$ )	入力	$\overline{\text{BAVL}}$ アサートの2サイクル後アサートの場合、DTRフォーマット送出。 $\overline{\text{TR}}$ のみアサートはDMAリクエスト。 $\overline{\text{DBREQ}}$ 、 $\overline{\text{TR}}$ 同時アサートの場合はチャンネル2への直接リクエスト
DMAC ストロープ	$\overline{\text{TDACK}}$ (DACK0)	出力	DMAC から外部デバイスに対する応答ストロープ信号
チャンネル番号通知	ID [1:0] (DRAK1、 DACK1)	出力	$\overline{\text{TDACK}}$ 出力時にチャンネル番号を同時に外部デバイスへ通知 (ID [1] = DRAK1、ID [0] = DACK1)

通常 DMA 転送時の外部リクエスト受け付けはチャンネル0 ( $\overline{\text{DREQ0}}$ )、チャンネル1 ( $\overline{\text{DREQ1}}$ ) のみです。また DDT モード時の  $\overline{\text{BAVL}}$  端子は、データバス使用許可とチャンネル番号通知 ( $\overline{\text{ID2}}$ ) の2通りの機能を持ちます。

### 14.6.3 レジスタ構成 (SH7751R)

表 14.14 にレジスタ構成を示します。SH7751R DMAC では 1 チャンネルにつき 4 本のレジスタが割り当てられているほか、DMAC 全体の制御用のレジスタが 1 本で、計 33 本のレジスタがあります。

表 14.14 レジスタ構成

チャネル	名称	略称	R/W	初期値	P4 アドレス	エリア 7 アドレス	アクセス サイズ
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	不定	H'FFFA0000	H'1FA00000	32
	DMA デスティネーション アドレスレジスタ 0	DAR0	R/W	不定	H'FFFA0004	H'1FA00004	32
	DMA トランスファカウント レジスタ 0	DMATCR0	R/W	不定	H'FFFA0008	H'1FA00008	32
	DMA チャンネルコントロール レジスタ 0	CHCR0	R/W*	H'00000000	H'FFFA000C	H'1FA0000C	32
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	不定	H'FFFA0010	H'1FA00010	32
	DMA デスティネーション アドレスレジスタ 1	DAR1	R/W	不定	H'FFFA0014	H'1FA00014	32
	DMA トランスファカウント レジスタ 1	DMATCR1	R/W	不定	H'FFFA0018	H'1FA00018	32
	DMA チャンネルコントロール レジスタ 1	CHCR1	R/W*	H'00000000	H'FFFA001C	H'1FA0001C	32
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	不定	H'FFFA0020	H'1FA00020	32
	DMA デスティネーション アドレスレジスタ 2	DAR2	R/W	不定	H'FFFA0024	H'1FA00024	32
	DMA トランスファカウント レジスタ 2	DMATCR2	R/W	不定	H'FFFA0028	H'1FA00028	32
	DMA チャンネルコントロール レジスタ 2	CHCR2	R/W*	H'00000000	H'FFFA002C	H'1FA0002C	32
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	不定	H'FFFA0030	H'1FA00030	32
	DMA デスティネーション アドレスレジスタ 3	DAR3	R/W	不定	H'FFFA0034	H'1FA00034	32
	DMA トランスファカウント レジスタ 3	DMATCR3	R/W	不定	H'FFFA0038	H'1FA00038	32
	DMA チャンネルコントロール レジスタ 3	CHCR3	R/W*	H'00000000	H'FFFA003C	H'1FA0003C	32
共通	DMA オペレーションレジスタ	DMAOR	R/W*	H'00000000	H'FFFA0040	H'1FA00040	32

チャネル	名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	アクセス サイズ
4	DMA ソースアドレスレジスタ 4	SAR4	R/W	不定	H'FFFA00050	H'1FA00050	32
	DMA デスティネーション アドレスレジスタ 4	DAR4	R/W	不定	H'FFFA00054	H'1FA00054	32
	DMA トランスファカウン トレジスタ 4	DMATCR4	R/W	不定	H'FFFA00058	H'1FA00058	32
	DMA チャネルコントロー ルレジスタ 4	CHCR4	R/W*	H'00000000	H'FFFA0005C	H'1FA0005C	32
5	DMA ソースアドレスレジスタ 5	SAR5	R/W	不定	H'FFFA00060	H'1FA00060	32
	DMA デスティネーション アドレスレジスタ 5	DAR5	R/W	不定	H'FFFA00064	H'1FA00064	32
	DMA トランスファカウン トレジスタ 5	DMATCR5	R/W	不定	H'FFFA00068	H'1FA00068	32
	DMA チャネルコントロー ルレジスタ 5	CHCR5	R/W*	H'00000000	H'FFFA0006C	H'1FA0006C	32
6	DMA ソースアドレスレジスタ 6	SAR6	R/W	不定	H'FFFA00070	H'1FA00070	32
	DMA デスティネーション アドレスレジスタ 6	DAR6	R/W	不定	H'FFFA00074	H'1FA00074	32
	DMA トランスファカウン トレジスタ 6	DMATCR6	R/W	不定	H'FFFA00078	H'1FA00078	32
	DMA チャネルコントロー ルレジスタ 6	CHCR6	R/W*	H'00000000	H'FFFA0007C	H'1FA0007C	32
7	DMA ソースアドレスレジスタ 7	SAR7	R/W	不定	H'FFFA00080	H'1FA00080	32
	DMA デスティネーション アドレスレジスタ 7	DAR7	R/W	不定	H'FFFA00084	H'1FA00084	32
	DMA トランスファカウン トレジスタ 7	DMATCR7	R/W	不定	H'FFFA00088	H'1FA00088	32
	DMA チャネルコントロー ルレジスタ 7	CHCR7	R/W*	H'00000000	H'FFFA0008C	H'1FA0008C	32

【注】 各制御レジスタへのアクセスは、すべてロングワードを指定してください。それ以外でアクセスした場合、リード時にはオール0が読み出されます。ライト時には書き込み不可になります。

\* CHCR0-7のビット1およびDMAORのビット2、1は、フラグをクリアするための1リード後の0ライトのみ可能です。





## 14.7.4 DMA チャンネルコントロールレジスタ 0~7 (CHCR0~7)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SSA2	SSA1	SSA0	STC	DSA2	DSA1	DSA0	DTC	—	—	—	—	DS	RL	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	(R/W)	R/W	(R/W)
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	TM	TS2	TS1	TS0	QCL	IE	TE	DE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA チャンネルコントロールレジスタ 0~7 (CHCR0~7) は読み出し / 書き込み可能な 32 ビットのレジスタで、各チャンネルの動作モード、転送方法などを指定します。ビット 31~28、ビット 27~24 は、それぞれソースアドレス、デスティネーションアドレスが、CS5 または CS6 空間でかつ当該空間が PCMCIA インタフェースに指定されているときのみ有効です。そうでない場合は、書き込む値は 0 にしてください。PCMCIA インタフェースについては、「13.3.7 PCMCIA インタフェース」を参照してください。

ビット 18、16 は CHCR2~7 には存在しません。CHCR2~7 の場合、このビットへの書き込みは無効ですが、書き込む値は常に 0 にしてください。読み出しは常に 0 です。

パワーオンリセット、マニュアルリセット時には、H'00000000 に初期化されます。スタンバイモード、スリープモード、ディープスリープモード時には値は保持されます。

ビット 31~29 : ソースアドレス側空間属性指定 (SSA2~SSA0)

PCMCIA へのアクセス時に空間属性を指定するビットです。本ビットは、エリア 5、6 に接続する PCMCIA にページマッピングする場合にのみ有効です。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の SSA2~SSA0 を参照してください。

ビット 28 : ソースアドレス側ウェイト制御セレクト (STC)

PCMCIA へのアクセス時に CS5 または CS6 空間のウェイトサイクル制御を指定するビットです。このビットは、エリア 5、6 のウェイトサイクル制御を行う BSC 内のウェイトコントロールレジスタを選択します。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の STC を参照してください。

ビット 27~25 : デスティネーションアドレス側空間属性指定 (DSA2~DSA0)

PCMCIA へのアクセス時に空間属性を指定するビットです。本ビットは、エリア 5、6 に接続する PCMCIA にページマッピングする場合にのみ有効です。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の DSA2~DSA0 を参照してください。

ビット 24 : デスティネーションアドレス側ウェイト制御セレクト (DTC)

PCMCIA へのアクセス時に CS5 または CS6 空間のウェイトサイクル制御を指定するビットです。このビットは、エリア 5、6 のウェイトサイクル制御を行う BSC 内のウェイトコントロールレジスタを選択します。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の DTC を参照してください。

ビット 23~20 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

**ビット 19:  $\overline{\text{DREQ}}$  セレクト (DS)**

外部リクエストモードで使用する  $\overline{\text{DREQ}}$  端子のサンプリング方法を、ローレベル検出にするか、立ち下がりエッジ検出にするかを指定するビットです。

このビットは、ノーマル DMA モードでは CHCR0、CHCR 1 でのみ有効です。DDT モードでは、CHCR0~7 で有効です。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~7)」の DS を参照してください。

**ビット 18: リクエストチェックレベルビット (RL)**

$\overline{\text{DREQ}}$  を受け取ったことを外部に知らせる信号 (DRAK) をハイアクティブで出力するか、ローアクティブで出力するかの選択ビットです。

このビットは、ノーマル DMA モードでは CHCR0、1 でのみ有効です。DDT モードでは無効です。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の RL を参照してください。

**ビット 17: アクノリッジモードビット (AM)**

デュアルアドレスモードで、DACK をデータの読み出しサイクルに出力するか、書き込みサイクルに出力するかを選択します。

シングルアドレスモードでは、このビットの指定に関係なく、DACK は常に出力されます。

このビットは、ノーマル DMA モードでは CHCR0、1 でのみ有効です。DDT モードでは、CHCR0~7 において有効です (DDT モード:  $\overline{\text{TDACK}}$ )。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の AM を参照してください。

**ビット 16: アクノリッジレベル (AL)**

DACK (アクノリッジ) 信号をハイアクティブにするかローアクティブにするかを指定します。

このビットは、ノーマル DMA モードでは CHCR0、1 でのみ有効です。DDT モードでは無効です。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の AL を参照してください。

**ビット 15、14: デスティネーションアドレスモード 1、0 (DM1、DM0)**

DMA 転送先アドレスの増減を指定します。シングルアドレスモードで外部メモリから外部デバイスにデータ転送する場合は、このビットの指定は無視されます。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の DM1、DM0 を参照してください。

**ビット 13、12: ソースアドレスモード 1、0 (SM1、SM0)**

DMA 転送元アドレスの増減を指定します。シングルアドレスモードで外部デバイスから外部メモリにデータ転送する場合は、このビットの指定は無視されます。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の SM1、SM0 を参照してください。

**ビット 11~8: リソースセレクト 3~0 (RS3~RS0)**

転送要求元を指定します。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の RS3~RS0 を参照してください。

**ビット 7: トランスミットモード (TM)**

転送時のバスモードを指定するビットです。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の TM を参照してください。

## ビット 6~4: トランスミットサイズ 2~0 (TS2~TS0)

転送するデータのサイズ (アクセスサイズ) を指定するビットです。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の TS2~TS0 を参照してください。

## ビット 3: リクエストキュークリア (QCL)

本ビットに 1 を書き込むことで該当するチャンネルのリクエストキューおよびすでに受け付けられた外部リクエストをクリアすることができます。本ビットの機能は、DMAOR.DDT = 1 かつ DMAOR.DBL = 1 の場合のみ有効です。

CHCR ビット 3	説 明
QCL	
0	本ビットは読み出しは常に 0 です (初期値) 本ビットに 0 を書き込んででも無効です
1	DMAOR.DBL = 1 の場合、本ビットに 1 を書き込むことで、DDT 側のリクエストキューおよび DMAC 側に保存された外部リクエストはクリアされます。書き込まれた値は保持しません

## ビット 2: インタラプトイネーブル (IE)

このビットに 1 をセットしておくで、DMATCR に指定した回数のデータ転送が終了したとき (TE = 1 のとき) 割り込み要求 (DMTE) を発生します。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の IE を参照してください。

## ビット 1: トランスファエンド (TE)

DMATCR で指定した回数の転送が終了したとき 1 にセットされるビットです。このとき IE ビットが 1 にセットされている場合、割り込み要求 (DMTE) を発生します。

TE が 1 にセットされる前に NMI 割り込み、アドレスエラーの発生、DE ビットまたは DMAOR の DME ビットのクリアなどで転送が終了させられた場合は、TE ビットは 1 にセットされません。このビットが 1 にセットされた状態で DE ビットを 1 にセットしても、転送許可状態には入りません。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の TE を参照してください。

## ビット 0: DMAC イネーブル (DE)

対応するチャンネルの動作を許可するビットです。設定についての説明は「14.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)」の DE を参照してください。

## 14.7.5 DMA オペレーションレジスタ (DMAOR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDT	DBL					PR1	PR0						AE	NMIF	DME
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R/(W)	R/(W)	R/W

DMAOR は読み出し / 書き込み可能な 32 ビットのレジスタで、DMAC の転送モードを指定します。

パワーオンリセット、マニュアルリセット時には、H'00000000 に初期化されます。スタンバイモード、ディープスリープモード時には、値は保持されます。

ビット 31 ~ 16 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 15 : オンデマンドデータ転送 (DDT)

オンデマンドデータ転送モードを指定するビットです。設定についての説明は「14.2.5 DMA オペレーションレジスタ (DMAOR)」の DDT を参照してください。

ビット 14 : DDT モード対応チャンネル数切り替えビット (DBL)

DDT モード時、外部リクエスト受け付け可能チャンネル数を切り替えます。

ビット 14	説明
DBL	
0	DDT 4ch 対応 (初期値)
1	DDT 8ch 対応

【注】 DMAOR.DBL = 0 時、チャンネル 4 ~ 7 は外部リクエストを受け付けません。

DMAOR.DBL = 1 に設定した場合、DTR フォーマット (図 14.54 参照) の DTR.SZ と DTR.ID の組み合わせでチャンネル 0 ~ 7 を選択できます。表 14.15 に DDT モード時の DTR フォーマットによるチャンネル選択を示します。

表 14.15 DTR フォーマットによるチャンネル選択 (DMAOR.DBL = 1)

DTR.ID[1:0]	DTR.SZ[2:0] 101	DTR.SZ[2:0] = 101
00	CH0	CH4
01	CH1	CH5
10	CH2	CH6
11	CH3	CH7

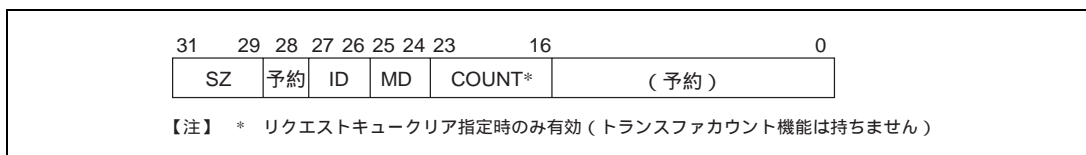


図 14.54 DTR フォーマット (転送要求フォーマット) (SH7751R)

## ビット 13~10: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 9, 8: プライオリティモード 1, 0 (PR1, PR0)

同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。

DMAOR ビット 9	DMAOR ビット 8	説 明
PR1	PR0	
0	0	CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7 (初期値)
0	1	CH0 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7 > CH1
1	0	CH2 > CH0 > CH1 > CH3 > CH4 > CH5 > CH6 > CH7
1	1	ラウンドロビンモード

## ビット 7~3: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 2: アドレスエラーフラグ (AE)

DMA 転送中にアドレスエラーが発生したことを示すフラグです。転送途中にこのビットがセットされると、全チャンネルの転送が中断され、同時に割り込み要求 (DMAE) を発生します。CPU から AE に 1 をライトすることはできません。クリアする場合は、一度 AE=1 を読み出した後、AE=0 を書き込んでください。設定についての説明は「14.2.5 DMA オペレーションレジスタ (DMAOR)」の AE を参照してください。

## ビット 1: NMI フラグ (NMIF)

NMI が入力されたことを示すフラグです。このビットのセットは DMAC 動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から NMIF に 1 をライトすることはできません。クリアする場合は、一度 NMIF=1 を読み出した後、NMIF=0 を書き込んでください。設定についての説明は「14.2.5 DMA オペレーションレジスタ (DMAOR)」の NMIF を参照してください。

## ビット 0: DMAC マスタイネーブル (DME)

DMAC 全体の起動許可ビットです。DME ビットおよび各チャンネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャンネルの転送が許可されます。転送途中でこのビットをクリアすると、全チャンネルの転送を中断できます。

DME ビットをセットしても CHCR の TE が 1 または、DE が 0 の場合、DMAOR の NMI または AE ビットが 1 の場合は転送許可状態には入りません。設定についての説明は「14.2.5 DMA オペレーションレジスタ (DMAOR)」の DME を参照してください。

## 14.8 動作説明 (SH7751R)

SH7751R 特有の動作を説明します。詳細動作は「14.3 動作説明」を参照してください。

### 14.8.1 ノーマル DMA 転送時のチャンネル指定

ノーマル DMA 転送モード時は、常時 8 チャンネル対応です。外部リクエストの受け付けは、チャンネル 0 ( $\overline{DREQ0}$ ) とチャンネル 1 ( $\overline{DREQ1}$ ) のみです。

使用するチャンネルの CHCR、SAR、DAR、DMATCR 等のレジスタ設定後、転送許可状態 ( $DE = 1$ 、 $DME = 1$ 、 $TE = 0$ 、 $NMIF = 0$ 、 $AE = 0$ ) で DMA 転送要求があると決められたチャンネルの優先順位に従って DMA 転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。DMA 転送には、シングルアドレスモードとデュアルアドレスモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

### 14.8.2 DDT モード DMA 転送時のチャンネル指定

DDT モード DMA 転送時は、DMAOR.DBL により 4 チャンネル対応、8 チャンネル対応の切り替えが可能です。外部リクエストの受け付けは、DMAOR.DBL = 0 のときチャンネル 0~3、DMAOR.DBL = 1 のときチャンネル 0~7 で可能になります。設定についての説明は「14.7.5 DMA オペレーションレジスタ (DMAOR)」の DBL を参照してください。

### 14.8.3 DDT モード時の転送チャンネル通知

DDT モードで外部リクエスト 4 チャンネル対応時 ( $DMAOR.DBL = 0$ ) は、ID[1:0]を用いて、DMAC 使用チャンネルを外部デバイスに通知します。詳しい説明は「14.5 オンデマンドトランスファモード (DDT モード)」を参照してください。

DDT モードで外部リクエスト 8 チャンネル対応時 ( $DMAOR.DBL = 1$ ) は、ID[1:0]と同時 ( $\overline{TDACK}$  アサートタイミング) に  $\overline{BAVL}$  (データバス使用許可) 端子から  $\overline{ID2}$  をアサートすることで、外部デバイスに対し DMAC の転送チャンネル通知を行います (表 14.16 参照)。

DDT モード外部リクエスト 8 チャンネル対応時 ( $DMAOR.DBL = 1$ ) には、 $\overline{BAVL}$  は表 14.17 に示す 2 通りの意味を持つこととなりますので、注意してください。

表 14.16 DDT モード 8 チャンネル対応時の転送チャンネル通知

BAVL/ID2	ID[1:0]	転送チャンネル
1	00	CH0
	01	CH1
	10	CH2
	11	CH3
0	00	CH4
	01	CH5
	10	CH6
	11	CH7

表 14.17  $\overline{\text{BAVL}}$  の機能

BAVL 機能	
$\overline{\text{TDACK}} = \text{High}$	データベース使用許可
$\overline{\text{TDACK}} = \text{Low}$	チャンネル番号通知 (ID2)

#### 14.8.4 DTR フォーマットによるリクエストキュークリア

DDT モード時、DTR フォーマットの DTR.ID、DTR.MD、DTR.SZ、DTR.COUNT[7:4]を用いて、チャンネルごとのリクエストキュークリアを指定できます。本機能は DMAOR.DBL = 1 の場合のみ可能です。表 14.18 にリクエストキュークリアの DTR フォーマットの設定を示します。

表 14.18 リクエストキュークリアの DTR フォーマット

DMAOR.DBL	DTR.ID	DTR.MD	DTR.SZ	DTR.COUNT[7:4]	説明
0	00	10	110	*	全チャンネル (1~7) のリクエストキュークリア
		11			CH0 リクエスト受け付けフラグクリア 設定禁止
1	00	10	110	*	全チャンネル (1~7) のリクエストキュークリア
		11			CH0 リクエスト受け付けフラグクリア
		0001		CH0 リクエスト受け付けフラグクリア	
		0010		CH1 リクエストキュークリア	
		0011		CH2 リクエストキュークリア	
		0100		CH3 リクエストキュークリア	
		0101		CH4 リクエストキュークリア	
		0110		CH5 リクエストキュークリア	
		0111		CH6 リクエストキュークリア	
1000	CH7 リクエストキュークリア				

【注】 (SH7751R) DTR.SZ = DTR[31:29]、DTR.ID = DTR[27:26]、DTR.MD = DTR[25:24]、DTR.COUNT[7:4] = DTR[23:20]



### 14.8.5 割り込み要求コード

DMATCR で指定した回数の転送が終了したとき、許可されていれば (CHCR.IE = 1) 転送終了割り込み要求を CPU に対し、各チャンネルごとに発生することができます。発生した転送終了割り込みを示す割り込み要求コードを表 14.19 に示します。

表 14.19 DMAC 割り込み要求コード

割り込み要因	意味	INTEVT コード	優先順位
DMTE0	CH0 転送終了割り込み	H'640	高 ↑ ↓ 低
DMTE1	CH1 転送終了割り込み	H'660	
DMTE2	CH2 転送終了割り込み	H'680	
DMTE3	CH3 転送終了割り込み	H'6A0	
DMTE4	CH4 転送終了割り込み	H'780	
DMTE5	CH5 転送終了割り込み	H'7A0	
DMTE6	CH6 転送終了割り込み	H'7C0	
DMTE7	CH7 転送終了割り込み	H'7E0	
DMAE	アドレスエラー割り込み	H'6C0	低

【注】 DMTE4~7 : SH7751 では未使用コード

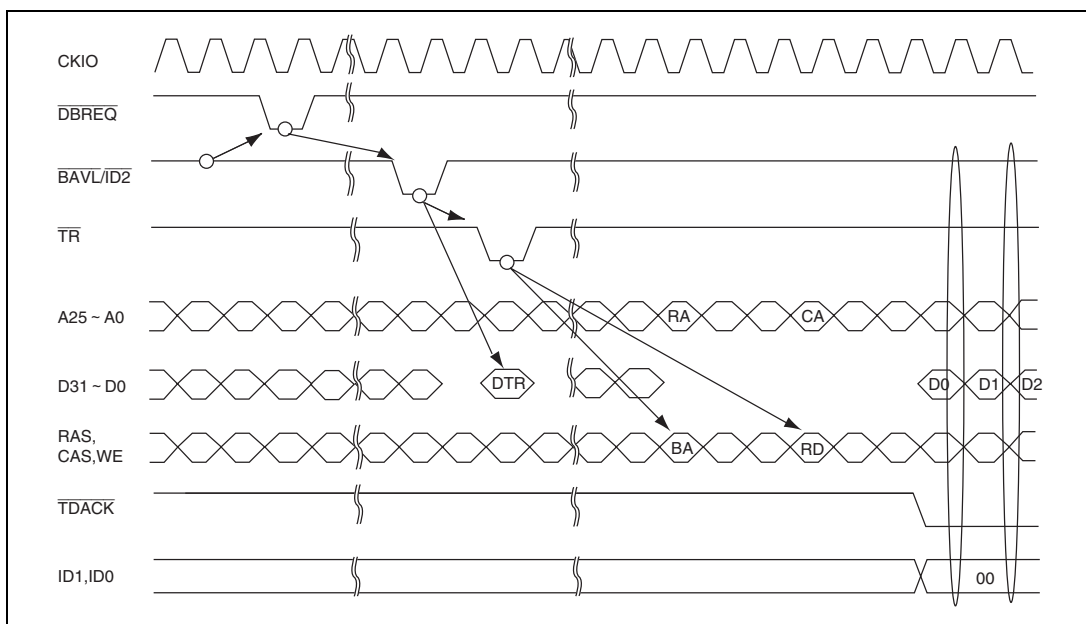


図 14.55 シングルアドレスモード/バーストモード/外部バス 外部デバイス 32 バイトブロック転送/チャンネル 0 オンデマンドデータ転送

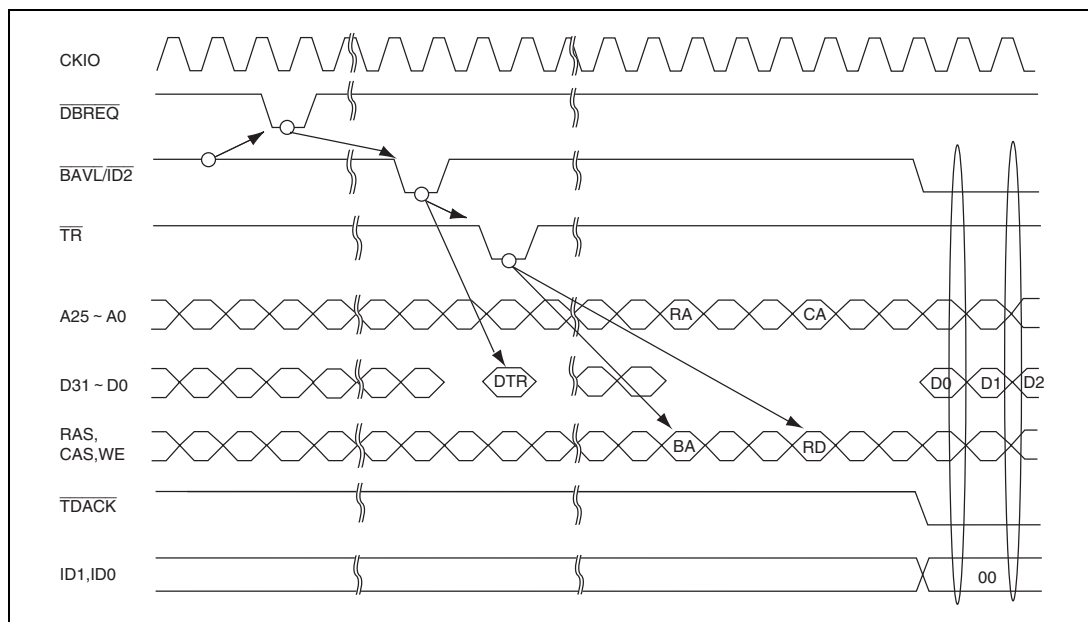


図 14.56 シングルアドレスモード / バーストモード / 外部バス 外部デバイス 32 バイトブロック転送 / チャンネル 4 オンデマンドデータ転送

## 14.9 使用上の注意

- SH7751でSAR0~3、DAR0~3、DMATCR0~3、CHCR0~3、SH7751RでSAR0~7、DAR0~7、DMATCR0~7、CHCR0~7を書き換える場合は、あらかじめ当該チャンネルのDEビットを0に設定した後、書き換えを行ってください。
- DMACが動作していないときにNMI割り込みが入力されても、DMAORのNMIFビットはセットされます。
  - DMA転送が正しく実行されない場合の確認方法  
SH7751ではDMAORのNMIF、AE、DMEビット、CHCR0~3のDE、TEビット、DMATCR0~3をリードしてください。  
SH7751RではDMAORのNMIF、AE、DMEビット、CHCR0~7のDE、TEビット、DMATCR0~7をリードしてください。  
転送前にNMIFがセットされた場合は、DMATCRの転送回数は設定値のままになっています。  
転送中にNMIFがセットされた場合、SH7751ではCHCR0~3、SH7751RではCHCR0~7のDEビットが1、TEビットが0のとき、DMATCRの値は残りの転送回数を示します。  
さらにSH7751でSAR0~3、DAR0~3、SH7751RでSAR0~7、DAR0~7をリードすると、次にアクセスするアドレスを知ることができます。  
AEビットがセットされていた場合は、アドレスエラーが起きています。CHCR、SAR、DARへの設定値を確認してください。
- モジュールスタンバイ、スタンバイモード、ディープスリープモードに遷移させる場合は、DMA転送中でないことを確認してください。

この場合、SH7751ではCHCR0~3、SH7751RではCHCR0~7のTE=1を確認するか、DMAORのDME=0をセットしてDMA転送を終了させてください。DMAORのDME=0をセットした場合、現在実行中のDMAバスサイクルが終了して停止します。したがって、転送データサイズによっては直ちに終了しませんので注意してください。DMA転送終了を確認せずに、モジュールスタンバイ、スタンバイモード、ディープスリープモードへ遷移させた場合、DMAの動作は保証されません。
- DMACの転送元、転送先にDMAC、CCN、BSC、UBC、PCICの制御レジスタを指定しないでください。
- DMACに起動をかける場合は、当該チャンネルのSAR、DAR、DMATCRの各レジスタの設定後CHCRのDE=1にするか、またはCHCRのDE=0のまま各レジスタの設定を行った後DE=1にしてください。DMAOR (DME=1)の設定は、最初でも最後でも構いません。当該チャンネルを動作させるにはDME=1かつDE=1である必要があります。SAR、DAR、DMATCR未設定の場合、正常に動作しません(シングルアドレスモード時に未使用のレジスタは除く)。
- DMATCRのカウン트가0となってDMA転送が正常終了した後、同じチャンネルで最大転送回数を実行する場合でも、必ずDMATCRに0書き込みを実行してください。
- 外部リクエストを立ち下がりエッジで検出する場合、DMACの設定を行うときには、外部リクエスト端子をハイレベルに保持しておいてください。

8. シングルアドレスモードで動作させる場合、アドレスは外部アドレスを設定してください。内蔵周辺モジュールのアドレスを設定するとアドレスエラーで全チャネル停止します。

---

## 15. シリアルコミュニケーションインタフェース (SCI)

---

### 15.1 概要

本 LSI には、シリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) および、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF : SCI with FIFO) が各々1チャンネル内蔵されています。SCI は、調歩同期式通信とクロック同期式通信の2方式でシリアル通信ができます。

スマートカードインタフェースをサポートしています。これは、"ISO/IEC7816-3 (Identification Card)"のサブセットをサポートしたシリアル通信機能です。詳しくは「第17章 スマートカードインタフェース」を参照してください。

SCIF は、送信、受信ともに16段のFIFOレジスタを内蔵した調歩同期式通信専用のシリアルインタフェースです。詳しくは「第16章 FIFO内蔵シリアルコミュニケーションインタフェース(SCIF)」を参照してください。

#### 15.1.1 特長

SCI には次のような特長があります。

- シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを12種類のフォーマットから選択できます。

データ長 : 7ビット、または8ビット

ストップビット長 : 1ビット、または2ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

マルチプロセッサビット : 1または0

受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラーを検出

ブレークの検出 : フレーミングエラー発生時にRxD端子のレベルをシリアルポートレジスタ (SCSPTR1) から直接読み出すことによりブレークを検出できます。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他のLSIとのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは1種類です。

データ長 : 8ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK端子からの外部クロックから選択可能
- 4種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ要求と受信データフル要求により、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。

- SCIを使用しないときは、消費電力低減のためSCIに対してクロックの供給を止めて動作を停止させることができます。

### 15.1.2 ブロック図

図 15.1 に SCI のブロック図を示します。

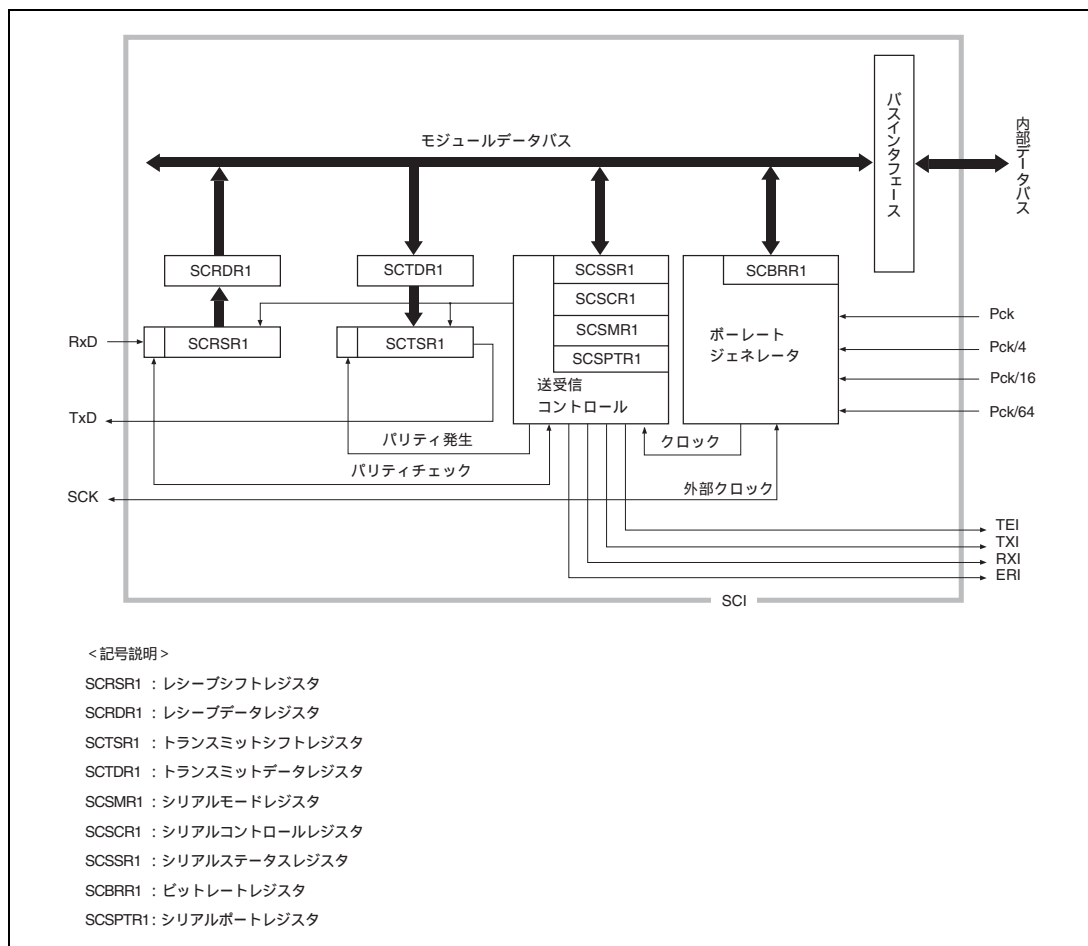


図 15.1 SCI のブロック図

### 15.1.3 端子構成

SCI の端子構成を表 15.1 に示します。

表 15.1 端子構成

名称	略称	入出力	機能
シリアルクロック端子	SCK	入出力	クロック入出力
レシーブデータ端子	RxD	入力	受信データ入力
トランスミットデータ端子	TxD	出力	送信データ出力

【注】 SCI の動作設定を SCSCR1 の TE、RE、CKEI、CKE0 ビット、および SCSMR1 の C/ $\bar{A}$  ビットで行うことにより、シリアル端子として機能します。ブレイク状態の送出、検出は、SCI の SCSPTR1 によって行うことができます。

### 15.1.4 レジスタ構成

SCI には、表 15.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード/クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部/受信部の制御を行うことができます。

SCI のレジスタはシリアルポートレジスタを除き、パワーオンリセット、マニュアルリセット時だけではなく、スタンバイモード時およびモジュールスタンバイ時にも初期化されます。スタンバイモード、モジュールスタンバイからの復帰時にはレジスタを再度設定し直す必要があります。

表 15.2 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	アクセス サイズ
シリアルモードレジスタ	SCSMR1	R/W	H'00	H'FFE00000	H'1FE00000	8
ビットレートレジスタ	SCBRR1	R/W	H'FF	H'FFE00004	H'1FE00004	8
シリアルコントロールレジスタ	SCSCR1	R/W	H'00	H'FFE00008	H'1FE00008	8
トランスミットデータレジスタ	SCTDR1	R/W	H'FF	H'FFE0000C	H'1FE0000C	8
シリアルステータスレジスタ	SCSSR1	R/(W)*1	H'84	H'FFE00010	H'1FE00010	8
レシーブデータレジスタ	SCRDR1	R	H'00	H'FFE00014	H'1FE00014	8
シリアルポートレジスタ	SCSPTR1	R/W	H'00*2	H'FFE0001C	H'1FE0001C	8

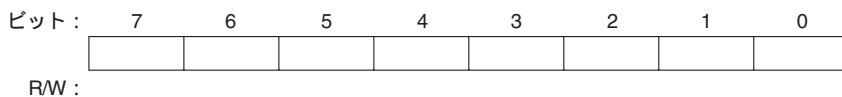
【注】 \*1 フラグをクリアするために 0 のみ書き込むことができます。

\*2 ビット 2、0 は不定



## 15.2 レジスタの説明

### 15.2.1 レシーブシフトレジスタ (SCRSR1)

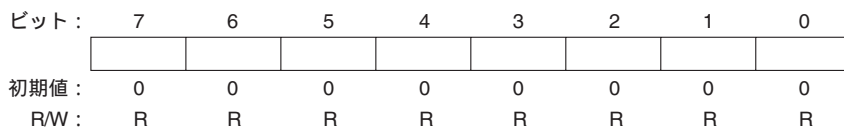


レシーブシフトレジスタ (SCRSR1) は、シリアルデータを受信するためのレジスタです。

SCI は、SCRSR1 に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCRDR1 へ転送されます。

CPU から直接 SCRSR1 の読み出し / 書き込みをすることはできません。

### 15.2.2 レシーブデータレジスタ (SCRDR1)



レシーブデータレジスタ (SCRDR1) は、受信したシリアルデータを格納するレジスタです。

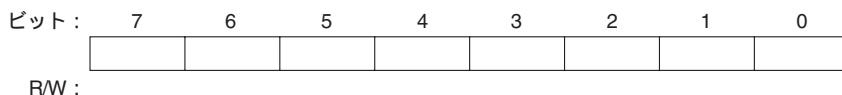
SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR1) から SCRDR1 へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR1 は受信可能になります。

このように、SCRSR1 と SCRDR1 はダブルバッファになっているため連続した受信動作が可能です。

SCRDR1 は、読み出し専用レジスタですので CPU から書き込むことはできません。

SCRDR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、およびモジュールスタンバイ時に H'00 に初期化されます。

### 15.2.3 トランスミットシフトレジスタ (SCTSR1)



トランスミットシフトレジスタ (SCTSR1) は、シリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ (SCTDR1) から送信データをいったん SCTSR1 に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCTDR1 から SCTSR1 へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SCSSR1) の TDRE フラグが 1 にセットされている場合には、SCTDR1 から SCTSR1 へのデータ転送は行いません。

CPU から、直接 SCTSR1 の読み出し / 書き込みをすることはできません。

### 15.2.4 トランスミットデータレジスタ (SCTDR1)

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

トランスミットデータレジスタ (SCTDR1) は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、トランスミットシフトレジスタ (SCTSR1) の空を検出すると、SCTDR1 に書き込まれた送信データを SCTSR1 に転送してシリアル送信を開始します。SCTSR1 のシリアルデータ送信中に SCTDR1 に次の送信データを書き込んでおくと、連続シリアル送信ができます。

SCTDR1 は、常に CPU による読み出し / 書き込みが可能です。

SCTDR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、およびモジュールスタンバイ時に H'FF に初期化されます。

### 15.2.5 シリアルモードレジスタ (SCSMR1)

ビット:	7	6	5	4	3	2	1	0
	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルモードレジスタ (SCSMR1) は、SCI のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SCSMR1 は、常に CPU による読み出し / 書き込みが可能です。

SCSMR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時に H'00 に初期化されます。

#### ビット 7: コミュニケーションモード (C/ $\bar{A}$ )

SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

ビット 7	説 明	
C/ $\bar{A}$		
0	調歩同期式モード	(初期値)
1	クロック同期式モード	

#### ビット 6: キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説 明	
CHR		
0	8 ビットデータ	(初期値)
1	7 ビットデータ*	

【注】 \* 7 ビットデータを選択した場合、トランスミットデータレジスタ (SCTDR1) の MSB (ビット 7) は送信されません。

## ビット 5: パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット 5	説 明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 \* PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

## ビット 4: パリティモード (O/E)

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。

ビット 4	説 明
O/E	
0	偶数パリティ* <sup>1</sup> (初期値)
1	奇数パリティ* <sup>2</sup>

【注】 \*<sup>1</sup> 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

\*<sup>2</sup> 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

## ビット 3: ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット 3	説 明	
STOP		
0	1 ストップビット* <sup>1</sup>	(初期値)
1	2 ストップビット* <sup>2</sup>	

【注】 \*1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。

\*2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

## ビット 2: マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、および O $\bar{E}$  ビットにおけるパリティの設定は無効になります。また、MP ビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MP ビットの設定は無効です。

マルチプロセッサ通信機能については、使用上の注意事項を含めて「15.3.3 マルチプロセッサ通信機能」を参照してください。

ビット 2	説 明	
MP		
0	マルチプロセッサ機能を禁止	(初期値)
1	マルチプロセッサフォーマットを選択	

## ビット 1、0: クロックセレクト 1、0 (CKS1、CKS0)

内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で Pck、Pck/4、Pck/16、Pck/64 の 4 種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「15.2.9 ビットレートレジスタ (SCBRR1)」を参照してください。

ビット 1	ビット 0	説 明	
CKS1	CKS0		
0	0	Pck クロック	(初期値)
	1	Pck/4 クロック	
1	0	Pck/16 クロック	
	1	Pck/64 クロック	

【注】 Pck: 周辺クロック

## 15.2.6 シリアルコントロールレジスタ (SCSCR1)

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルコントロールレジスタ (SCSCR1) は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR1 は、常に CPU による読み出し / 書き込みが可能です。

SCSCR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時に H'00 に初期化されます。

ビット 7: トランスミットインタラプトイネーブル (TIE)

トランスミットデータレジスタ (SCTDR1) からトランスミットシフトレジスタ (SCTSR1) へシリアル送信データが転送されシリアルステータスレジスタ (SCSSR1) の TDRE フラグが 1 にセットされたときに、送信データエンpty割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット 7	説明
TIE	
0	送信データエンpty割り込み (TXI) 要求を禁止* (初期値)
1	送信データエンpty割り込み (TXI) 要求を許可

【注】 \* TXI の解除は、TDRE フラグの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

ビット 6: レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (SCRSR1) からレシーブデータレジスタ (SCRDR1) へ転送されて SCSSR1 の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

ビット 6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 \* RXI、および ERI 割り込み要求の解除は、RDRF フラグ、または FER、PER、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

## ビット 5 : トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可 / 禁止します。

ビット 5	説明
TE	
0	送信動作を禁止* <sup>1</sup> (初期値)
1	送信動作を許可* <sup>2</sup>

【注】 \*1 SCSSR1 の TDRE フラグは 1 に固定されます。

\*2 この状態で、SCTDR1 に送信データを書き込んで、SCSSR1 の TDRE フラグを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR1) の設定を行い送信フォーマットを決定してください。

## ビット 4 : レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可 / 禁止します。

ビット 4	説明
RE	
0	受信動作を禁止* <sup>1</sup> (初期値)
1	受信動作を許可* <sup>2</sup>

【注】 \*1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。

\*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SCSMR1 の設定を行い、受信フォーマットを決定してください。

## ビット 3 : マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可 / 禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SCSMR1 の MP ビットが 1 に設定されている受信時のみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット 3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB=1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態*

【注】 \* MPB=1 を含む受信データを受信すると、MPIE ビットを自動的に 0 にクリアし、RXI、ERI の発生 (SCSCR1 の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

## ビット 2: トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが SCTDR1 がないとき、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。

ビット 2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 \* TEI の解除は、SCSSR1 の TDRE フラグの 1 を読み出した後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

## ビット 1、0: クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。また、SCSMR1 で SCI の動作モードを決定する前に、必ず CKE1、CKE0 ビットの設定をしてください。

SCI のクロックソースの選択についての詳細は「15.3 動作説明」の表 15.9 を参照してください。

ビット 1	ビット 0	説明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入力端子 (入力信号は無視)* <sup>1</sup>
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力* <sup>1</sup>
0	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力* <sup>2</sup>
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力* <sup>3</sup>
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
1	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力* <sup>3</sup>
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 \*<sup>1</sup> 初期値

\*<sup>2</sup> ビットレートと同じ周波数のクロックを出力

\*<sup>3</sup> ビットレートの 16 倍の周波数のクロックを入力



## 15.2.7 シリアルステータスレジスタ (SCSSR1)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1		0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】\* フラグをクリアするために0のみ書き込むことができます。

シリアルステータスレジスタ (SCSSR1) は、SCI の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した 8 ビットのレジスタです。

SCSSR1 は常に CPU から読み出し / 書き込みができます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出しておく必要があります。また、TEND フラグ、および MPB フラグは読み出し専用であり、書き込むことはできません。

SCSSR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時に H'84 に初期化されます。

ビット 7: トランスミットデータレジスタエンプティ (TDRE)

トランスミットデータレジスタ (SCTDR1) からトランスミットシフトレジスタ (SCTSR1) にデータ転送が行われ、SCTDR1 に次のシリアル送信データを書き込むことが可能になったことを示します。

ビット 7	説明
TDRE	
0	SCTDR1 に有効な送信データが書き込まれていることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、0 を書き込んだとき (2) DMAC で SCTDR1 へデータを書き込んだとき
1	SCTDR1 に有効な送信データがないことを表示 (初期値) [セット条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時 (2) SCSSR1 の TE ビットが 0 のとき (3) SCTDR1 から SCTSR1 にデータ転送が行われ SCTDR1 にデータの書き込みが可能になったとき

## ビット 6 : レシーブデータレジスタフル (RDRF)

受信したデータがレシーブデータレジスタ (SCRDR1) に格納されていることを示します。

ビット 6	説明
RDRF	
0	SCRDR1 に有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時 (2) RDRF = 1 の状態を読み出した後、0 を書き込んだとき (3) DMAC で SCRDR1 のデータを読み出したとき
1	SCRDR1 に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、SCRDR1 から SCRDR1 へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCSCR1) の RE ビットを 0 にクリアしたときには SCRDR1 および RDRF フラグは影響を受けず以前の状態を保持します。

RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。

## ビット 5 : オーバランエラー (ORER)

受信時にオーバーランエラーが発生して異常終了したことを示します。

ビット 5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示*1 (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時 (2) ORER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にオーバーランエラーが発生したことを表示*2 [セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき

【注】 \*1 SCSCR1 の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

\*2 SCRDR1 ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信を続けることもできません。

## ビット 4: フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット 4	説明
FER	
0	受信中、または正常に受信を完了したことを表示* <sup>1</sup> (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時 (2) FER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にフレーミングエラーが発生したことを表示 [セット条件] SCI が受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* <sup>2</sup>

【注】 \*<sup>1</sup> SCSCR1 の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。

\*<sup>2</sup> 2 ストップビットモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは SCRDR1 に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。

## ビット 3: パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット 3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* <sup>1</sup> (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時 (2) PER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にパリティエラーが発生したことを表示* <sup>2</sup> [セット条件] 受信時の受信データとパリティビットを合わせた 1 の数が、シリアルモードレジスタ (SCSMR1) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

【注】 \*<sup>1</sup> SCSCR1 の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。

\*<sup>2</sup> パリティエラーが発生したときの受信データは SCRDR1 に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。

## ビット 2: トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に SCTDR1 に有効なデータがなく、送信を終了したことを示します。

TEND フラグは読み出し専用ですので、書き込むことはできません。

ビット 2	説 明	
TEND		
0	送信中であることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき (2) DMAC で SCTDR1 へデータを書き込んだとき	
1	送信を終了したことを表示 [セット条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時 (2) SCSCR1 の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき	(初期値)

## ビット 1: マルチプロセッサビット (MPB)\*

本ビットは読み出し専用ですので、書き込むことはできません。読み出した値は不定です。

【注】 \* 本ビットは調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納するビットとして用意しましたが、本 LSI では正しく機能しません。本ビットの読み出した値を使用しないでください。

## ビット 0: マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときには MPBT ビットの設定は無効です。

MPBT ビットは送信データと異なり、ダブルバッファ構造でないため、値を変更する前に送信が完了していることを確認する必要があります。

ビット 0	説 明	
MPBT		
0	マルチプロセッサビットが 0 のデータを送信	(初期値)
1	マルチプロセッサビットが 1 のデータを送信	

### 15.2.8 シリアルポートレジスタ (SCSPTR1)

ビット:	7	6	5	4	3	2	1	0
	EIO				SPB1IO	SPB1DT	SPB0IO	SPB0DT
初期値:	0	0	0	0	0		0	
R/W:	R/W				R/W	R/W	R/W	R/W

シリアルポートレジスタ (SCSPTR1) は、シリアルコミュニケーションインタフェース (SCI) の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって RxD 端子から入力データを読み出し、TxD 端子へ出力データを書き込むことができ、シリアル送受信のブレイクを制御します。またビット 3 およびビット 2 で SCK 端子に対してデータの読み込みおよび出力データを書き込むことができます。ビット 7 は RXI 割り込みの許可 / 禁止を制御します。

SCSPTR1 レジスタは、8 ビットで、常に CPU による読み出し / 書き込みが可能です。パワーオンリセット、マニュアルリセット時にビット 2、0 を除いて H'00 に初期化されます。ビット 2、0 は、不定です。モジュールスタンバイ、スタンバイモード時には初期化されません。

#### ビット 7: エラー割り込みオンリー (EIO)

EIO ビットが 1 のとき、RIE ビットが 1 にセットされていても、CPU へ RXI 割り込みを要求しません。この設定で DMAC を使用した場合、CPU は ERI 割り込みのみを処理します。DMAC は読み出しデータをメモリまたは他の周辺モジュールに転送します。このビットは RXI 割り込みの許可 / 禁止を設定します。

ビット 7	説明
EIO	
0	RIE ビットが 1 のとき、RXI と ERI 割り込みが INTC へ送られる (初期値)
1	RIE ビットが 1 のとき、ERI 割り込みだけが INTC へ送られる

#### ビット 6~4: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

#### ビット 3: シリアルポートクロックポート入出力 (SPB1IO)

シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SPB1DT ビットで設定した値を出力する場合は、SCSMR1 の C/A ビットと SCSCR1 レジスタの CKE1、CKE0 ビットを 0 に設定してください。

ビット 3	説明
SPB1IO	
0	SCK 端子に SPB1DT ビットの値を出力しないことを示します (初期値)
1	SCK 端子に SPB1DT ビットの値を出力することを示します

## ビット 2 : シリアルポートクロックポートデータ (SPB1DT)

シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SPB1IO ビットで指定します (詳細はビット 3 : SPB1IO の説明参照)。出力の場合、SPB1DT ビットの値が SCK 端子に出力されます。SPB1IO ビットの値にかかわらず、SPB1DT ビットからは SCK 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 2	説 明
SPB1DT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

## ビット 1 : シリアルポートブレイク入出力 (SPB0IO)

シリアルポートの TxD 端子の出力条件を指定します。実際に TxD 端子をポート出力端子として SPB0DT ビットで設定した値を出力する場合は、SCSCR1 の TE ビットを 0 に設定してください。

ビット 1	説 明
SPB0IO	
0	TxD 端子に SPB0DT ビットの値を出力しないことを示します (初期値)
1	TxD 端子に SPB0DT ビットの値を出力することを示します

## ビット 0 : シリアルポートブレイクデータ (SPB0DT)

シリアルポートの RxD 端子の入力データおよび TxD 端子の出力データを指定します。TxD 端子の出力条件は SPB0IO ビットで指定します (詳細はビット 1 : SPB0IO の説明参照)。TxD 端子を出力に設定した場合、SPB0DT ビットの値が TxD 端子に出力されます。SPB0IO ビットの値にかかわらず、SPB0DT ビットからは RxD 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 0	説 明
SPB0DT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します



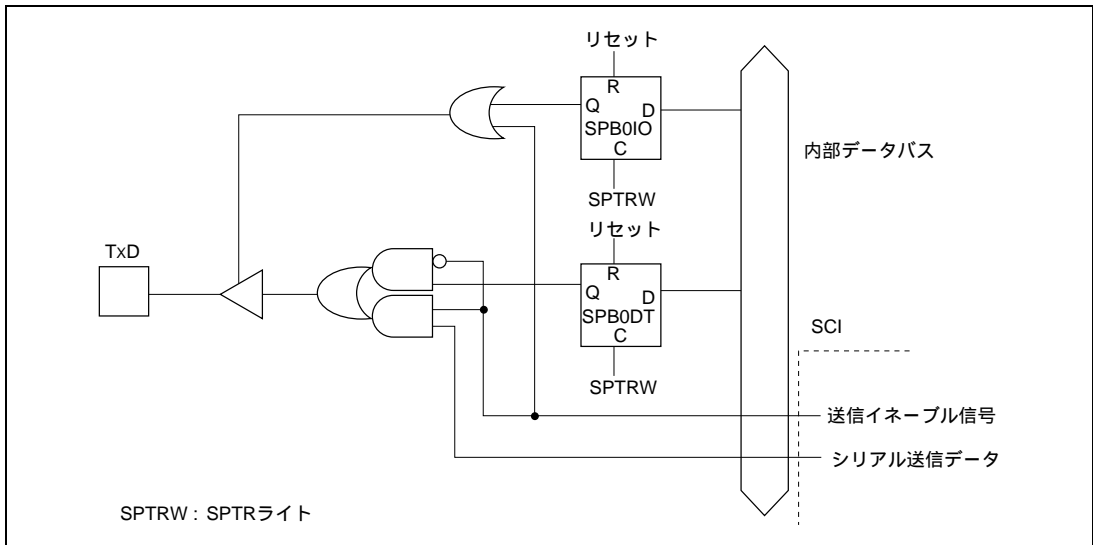


図 15.3 TxD 端子

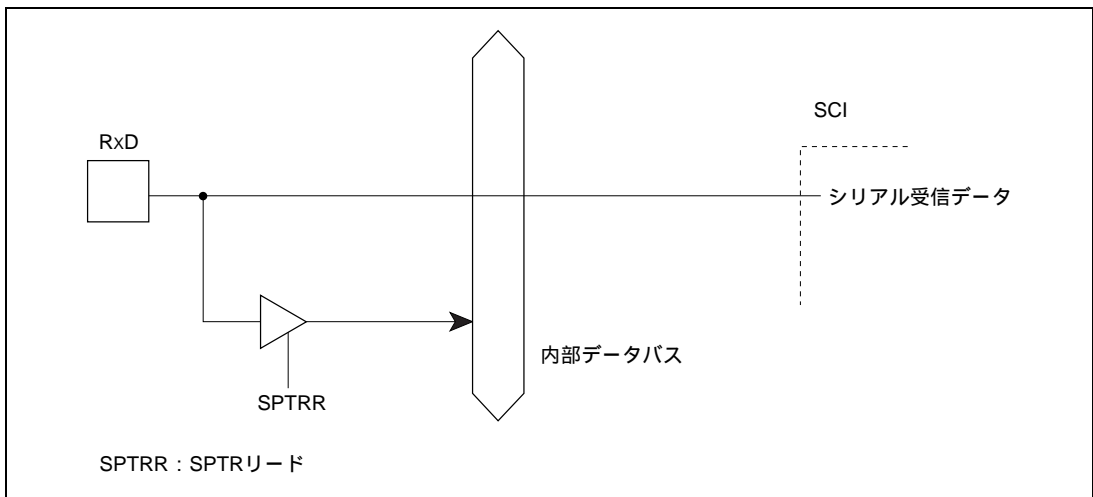
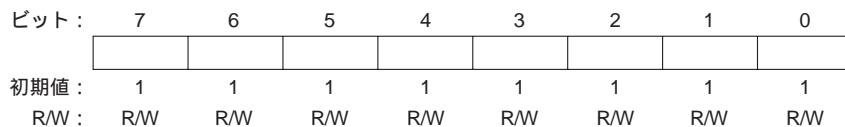


図 15.4 RxD 端子



### 15.2.9 ビットレートレジスタ (SCBRR1)



ビットレートレジスタ (SCBRR1) は、シリアルモードレジスタ (SCSMR1) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR1 は、常に CPU による読み出し / 書き込みが可能です。

SCBRR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時に H'FF に初期化されます。

SCBRR1 の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{Pck}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{Pck}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR1 の設定値 (0 N 255)

Pck : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、下表を参照してください)

n	クロック	SCSMR1 の設定値	
		CKS1	CKS0
0	Pck	0	0
1	Pck/4	0	1
2	Pck/16	1	0
3	Pck/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{Pck \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 15.3 に調歩同期式モードの SCBRR1 の設定例を、表 15.4 にクロック同期式モードの SCBRR1 の設定例を示します。

表 15.3 ビットレートに対する SCBRR1 の設定例 [ 調歩同期式モード ]

ビットレート (bit/s)	Pck (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	0	6	-6.99	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	-2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	-18.62	0	1	-14.67	0	1	0.00			

ビットレート (bit/s)	Pck (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	-6.99	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

ビットレート (bit/s)	Pck (MHz)											
	6			6.144			7.37288			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	0	6	-6.99

ビットレート (bit/s)	Pck (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	0.16	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビットレート (bit/s)	Pck (MHz)											
	14.7456			16			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	64	0.70	3	70	0.03	3	86	0.31	3	88	- 0.25
150	2	191	0.00	2	207	0.16	2	255	0.00	3	64	0.16
300	2	95	0.00	2	103	0.16	2	127	0.00	2	129	0.16
600	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
1200	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
2400	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
4800	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
9600	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
19200	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
31250	0	14	- 1.70	0	15	0.00	0	19	- 1.70	0	19	0.00
38400	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73

ビットレート (bit/s)	Pck (MHz)											
	24			24.576			28.7			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	106	- 0.44	3	108	0.08	3	126	0.31	3	132	0.13
150	3	77	0.16	3	79	0.00	3	92	0.46	3	97	- 0.35
300	2	155	0.16	2	159	0.00	2	186	- 0.08	2	194	0.16
600	2	77	0.16	2	79	0.00	2	92	0.46	2	97	- 0.35
1200	1	155	0.16	1	159	0.00	1	186	- 0.08	1	194	0.16
2400	1	77	0.16	1	79	0.00	1	92	0.46	1	97	- 0.35
4800	0	155	0.16	0	159	0.00	0	186	- 0.08	0	194	- 1.36
9600	0	77	0.16	0	79	0.00	0	92	0.46	0	97	- 0.35
19200	0	38	0.16	0	39	0.00	0	46	- 0.61	0	48	- 0.35
31250	0	23	0.00	0	24	- 1.70	0	28	- 1.03	0	29	0.00
38400	0	19	- 2.34	0	19	0.00	0	22	1.55	0	23	1.73

## 【記号説明】

空欄：設定できません。

-：設定可能ですが誤差が出ます。

表 15.4 ビットレートに対する SCBRR1 の設定例 [ クロック同期式モード ]

ビットレート (bit/s)	Pck (MHz)										
	4		8		16		28.7		30		
	n	N	n	N	n	N	n	N	n	N	
10	-	-	-	-	-	-	-	-	-	-	-
250	2	249	3	124	3	249	-	-	-	-	
500	2	124	2	249	3	124	3	223	3	233	
1K	1	249	2	124	2	249	3	111	3	116	
2.5K	1	99	1	199	2	99	2	178	2	187	
5K	0	199	1	99	1	199	2	89	2	93	
10K	0	99	0	199	1	99	1	178	1	187	
25K	0	39	0	79	0	159	1	71	1	74	
50K	0	19	0	39	0	79	0	143	0	149	
100K	0	9	0	19	0	39	0	71	0	74	
250K	0	3	0	7	0	15	-	-	0	29	
500K	0	1	0	3	0	7	-	-	0	14	
1M	0	0*	0	1	0	3	-	-	-	-	
2M			0	0*	0	1	-	-	-	-	

【注】 誤差は、なるべく 1%以内になるように設定してください。

空欄 : 設定できません。

- : 設定可能ですが誤差が出ます。

\* : 連続送信 / 受信はできません。

表 15.5 に、ボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 15.6 と表 15.7 に外部クロック入力時の最大ビットレートを示します。

表 15.5 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート  
(調歩同期式モード)

Pck (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
8	250000	0	0
9.8304	307200	0	0
12	375000	0	0
14.7456	460800	0	0
16	500000	0	0
19.6608	614400	0	0
20	625000	0	0
24	750000	0	0
24.576	768000	0	0
28.7	896875	0	0
30	937500	0	0

表 15.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

Pck (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
8	2.0000	125000
9.8304	2.4576	153600
12	3.0000	187500
14.7456	3.6864	230400
16	4.0000	250000
19.6608	4.9152	307200
20	5.0000	312500
24	6.0000	375000
24.576	6.1440	384000
28.7	7.1750	448436
30	7.5000	468750

表 15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

Pck (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3
16	2.6667	2666666.7
24	4.0000	4000000.0
28.7	4.7833	4783333.3
30	5.0000	5000000.0

## 15.3 動作説明

### 15.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SCSMR1) で行います。これを表 15.8 に示します。また、SCI のクロックソースは、SCSMR1 の  $C/\bar{A}$  ビットおよびシリアルコントロールレジスタ (SCSCR1) の CKE1、CKE0 ビットの組み合わせで決まります。これを表 15.9 に示します。

- 調歩同期式モード
  - データ長 : 7ビット / 8ビットから選択可能
  - パリティの付加、マルチプロセスビットの付加、および 1ビット / 2ビットのストップビットの付加を選択可能 (これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定)
  - 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
  - SCI のクロックソース : 内部クロック / 外部クロックから選択可能
    - 内部クロックを選択した場合 : SCI はポーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
    - 外部クロックを選択した場合 : ビットレートの 16 倍の周波数のクロックを入力することが必要 (内蔵ポーレートジェネレータを使用しない)
- クロック同期式モード
  - 送信 / 受信フォーマット : 8ビットデータ固定
  - 受信時にオーバランエラーの検出可能
  - SCI のクロックソース : 内部クロック / 外部クロックから選択可能
    - 内部クロックを選択した場合 : SCI はポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
    - 外部クロックを選択した場合 : 内部ポーレートジェネレータを使用せず、入力された同期クロックで動作



表 15.8 SCSMR1 の設定値とシリアル送信 / 受信フォーマット

SCSMR1 の設定値					モード	SCI の送信 / 受信フォーマット									
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセッサビット	パリティビット	ストップビット長						
C/ $\bar{A}$	CHR	MP	PE	STOP											
0	0	0	0	0	調歩同期式モード	8ビットデータ	なし	なし	1ビット						
				1					2ビット						
			1	0					0	あり	1ビット				
									1		2ビット				
			0	1					*	0	調歩同期式モード	8ビットデータ	あり	なし	1ビット
															1
	1	*	*	0	(マルチプロセッサフォーマット)	7ビットデータ	なし	なし	1ビット						
									1	2ビット					
	1	*	*	*	*	クロック同期式モード	8ビットデータ	なし	なし						

【注】 表中の \* は Don't care であることを示します。

表 15.9 SCSMR1、SCSCR1 の設定と SCI のクロックソースの選択

SCSMR1	SCSCR1 の設定		モード	SCI の送信 / 受信クロック		
	ビット7	ビット1		クロックソース	SCK 端子の機能	
	C/ $\bar{A}$	CKE1				ビット0
0	0	0	調歩同期式モード	内部	SCI は、SCK 端子を使用しません	
					ビットレートと同じ周波数のクロックを出力	
				外部	ビットレートの 16 倍の周波数のクロックを入力	
1	0	0	クロック同期式モード	内部	同期クロックを出力	
					1	
		1		0	外部	同期クロックを入力
						1

### 15.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 15.5 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCI は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

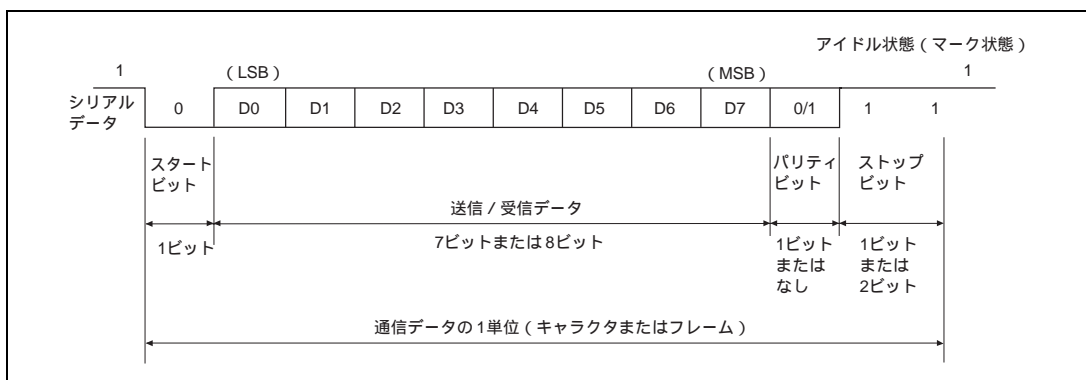


図 15.5 調歩同期式通信のデータフォーマット  
(8 ビットデータ / パリティあり / 2 ストップビットの例)

## (1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 15.10 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SCSMR1) の設定により選択できます。

表 15.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMR1の設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	*	1	0	S	8ビットデータ								MPB	STOP		
0	*	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	*	1	0	S	7ビットデータ							MPB	STOP			
1	*	1	1	S	7ビットデータ							MPB	STOP	STOP		

【注】 表中の \* は Don't care であることを示します。

<記号説明>

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセスビット

## (2) クロック

SCIの送受信クロックは、SCSMR1の $C/\bar{A}$ ビットとシリアルコントロールレジスタ(SCSCR1)のCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表15.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図15.6に示すように送信データの中央にクロックの立ち上がりエッジが来るようになります。

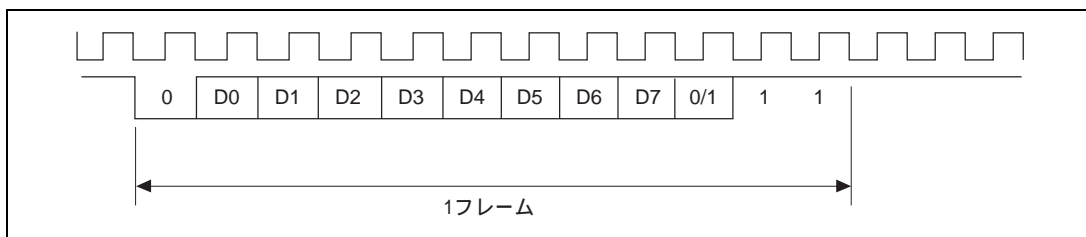


図 15.6 出力クロックと通信データの位相関係 (調歩同期式モード)

## (3) データの送信 / 受信動作

## • SCIの初期化 (調歩同期式)

データの送信 / 受信前には、まずSCSCR1のTEビット、およびREビットを0にクリアした後、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアするとTDREフラグは、1にセットされ、トランスミットシフトレジスタ (SCTSR1) が初期化されます。REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびレシブデータレジスタ (SCRDR1) の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図15.7にSCIの初期化フローチャートの例を示します。

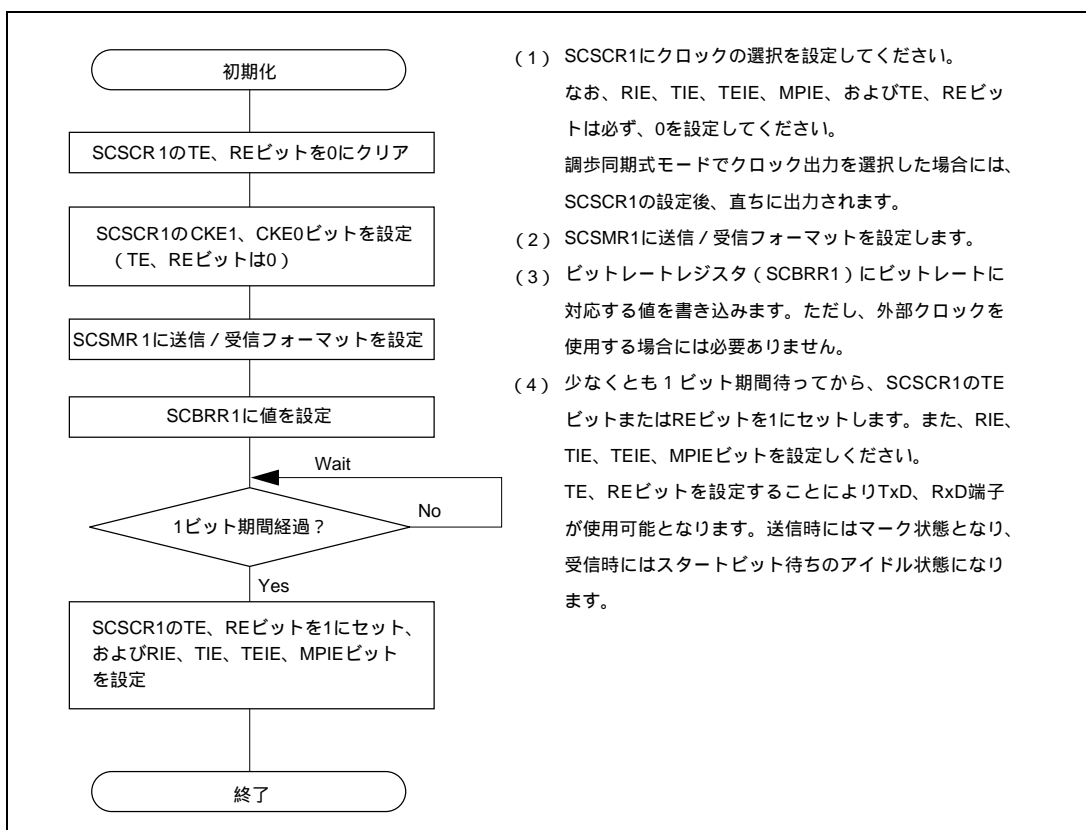
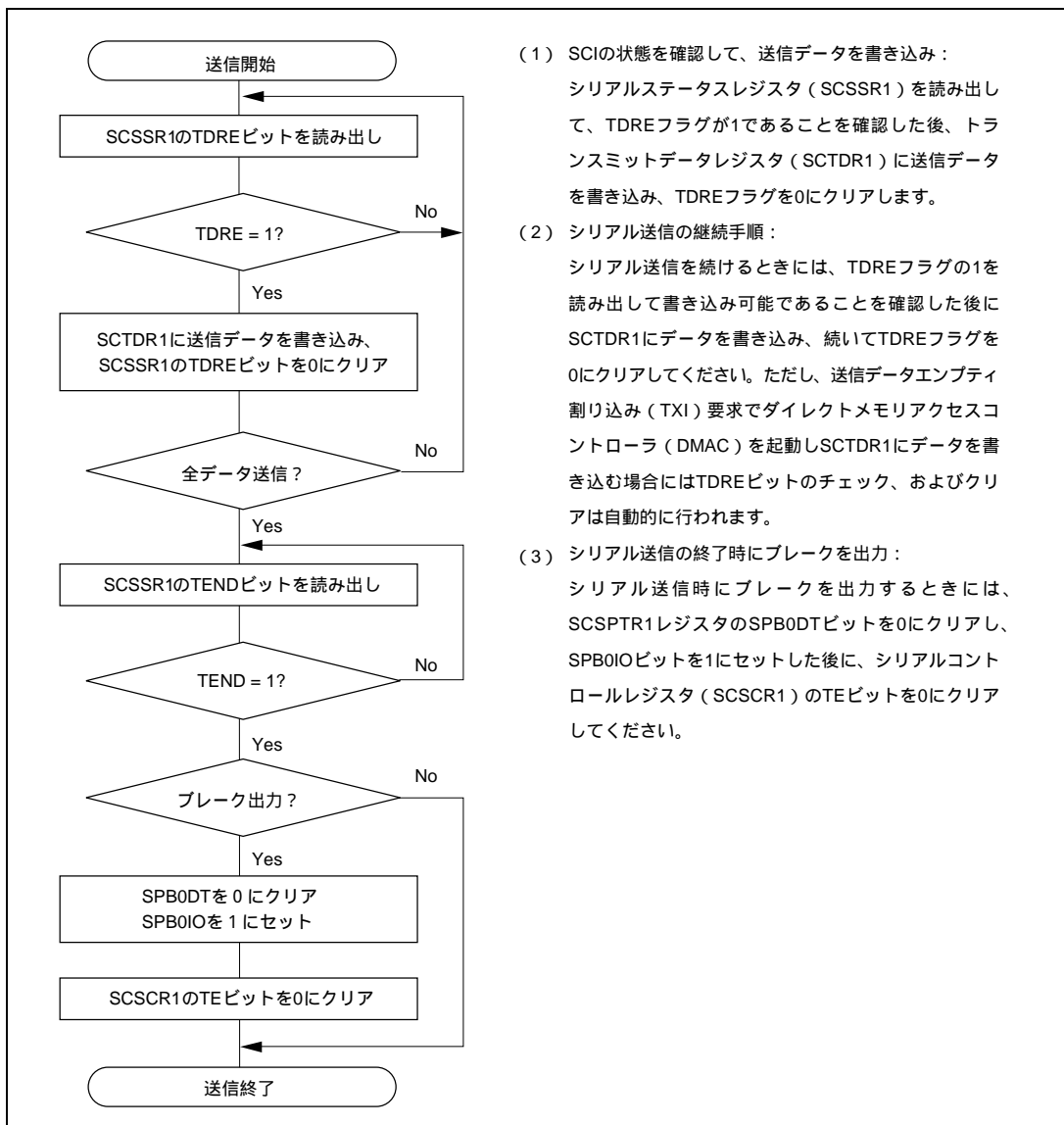


図 15.7 SCI の初期化フローチャートの例

- シリアルデータ送信 (調歩同期式)

図15.8にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIを送信動作可能状態に設定した後、以下の手順に従い行ってください。



(1) SCIの状態を確認して、送信データを書き込み：

シリアルステータスレジスタ (SCSSR1) を読み出し、TDREフラグが1であることを確認した後、トランスミットデータレジスタ (SCTDR1) に送信データを書き込み、TDREフラグを0にクリアします。

(2) シリアル送信の継続手順：

シリアル送信を続けるときには、TDREフラグの1を読み出して書き込み可能であることを確認した後にSCTDR1にデータを書き込み、続いてTDREフラグを0にクリアしてください。ただし、送信データエンティ割り込み (TXI) 要求でダイレクトメモリアクセスコントローラ (DMAC) を起動しSCTDR1にデータを書き込む場合にはTDREビットのチェック、およびクリアは自動的に行われます。

(3) シリアル送信の終了時にブレークを出力：

シリアル送信時にブレークを出力するときには、SCSPTR1レジスタのSPB0DTビットを0にクリアし、SPB0IOビットを1にセットした後、シリアルコントロールレジスタ (SCSCR1) のTEビットを0にクリアしてください。

図 15.8 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

1. SCIは、シリアルステータスレジスタ (SCSSR1) のTDREフラグを監視し、0であるとトランスミットデータレジスタ (SCTDR1) にデータが書き込まれたと認識し、SCTDR1からトランスミットシフトレジスタ (SCTSR1) にデータを転送します。
2. SCTDR1からSCTSR1へデータを転送した後にTDREフラグを1にセットし、送信を開始します。  
このとき、シリアルコントロールレジスタ (SCSCR1) のTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順にTxD端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
- (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
- (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。

なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。

- (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
  - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。  
TDREフラグが0であるとSCTDR1からSCTSR1にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。  
TDREフラグが1であるとシリアルステータスレジスタ (SCSSR1) のTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCSCR1のTEIEビットが1にセットされているとTEI要求を発生します。

調歩同期式モードでの送信時の動作例を図 15.9 に示します。

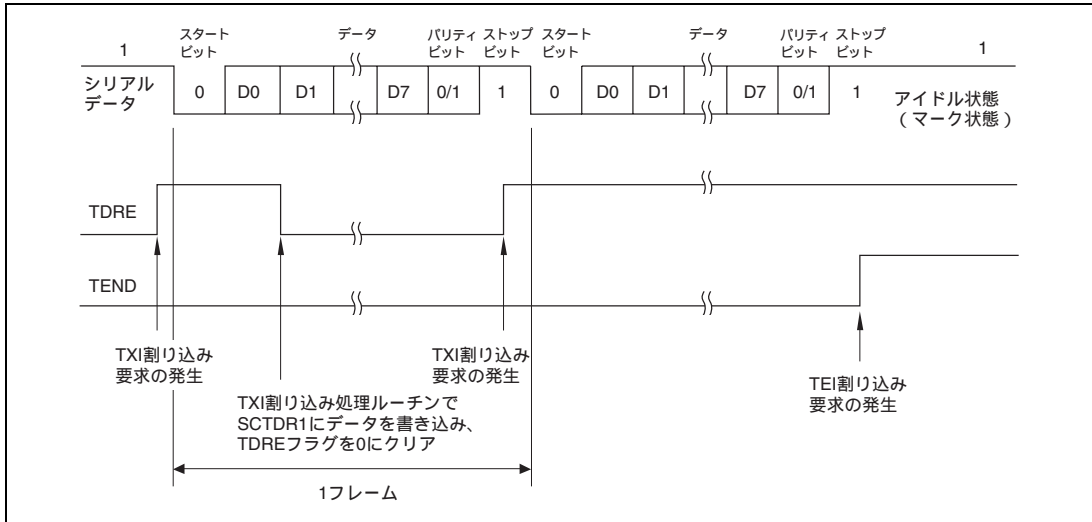


図 15.9 調歩同期式モードでの送信時の動作例  
(8ビットデータ/パリティあり/1ストップビットの例)



- シリアルデータ受信 (調歩同期式)

図15.10にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIを受信動作可能状態に設定した後、以下の手順に従い行ってください。

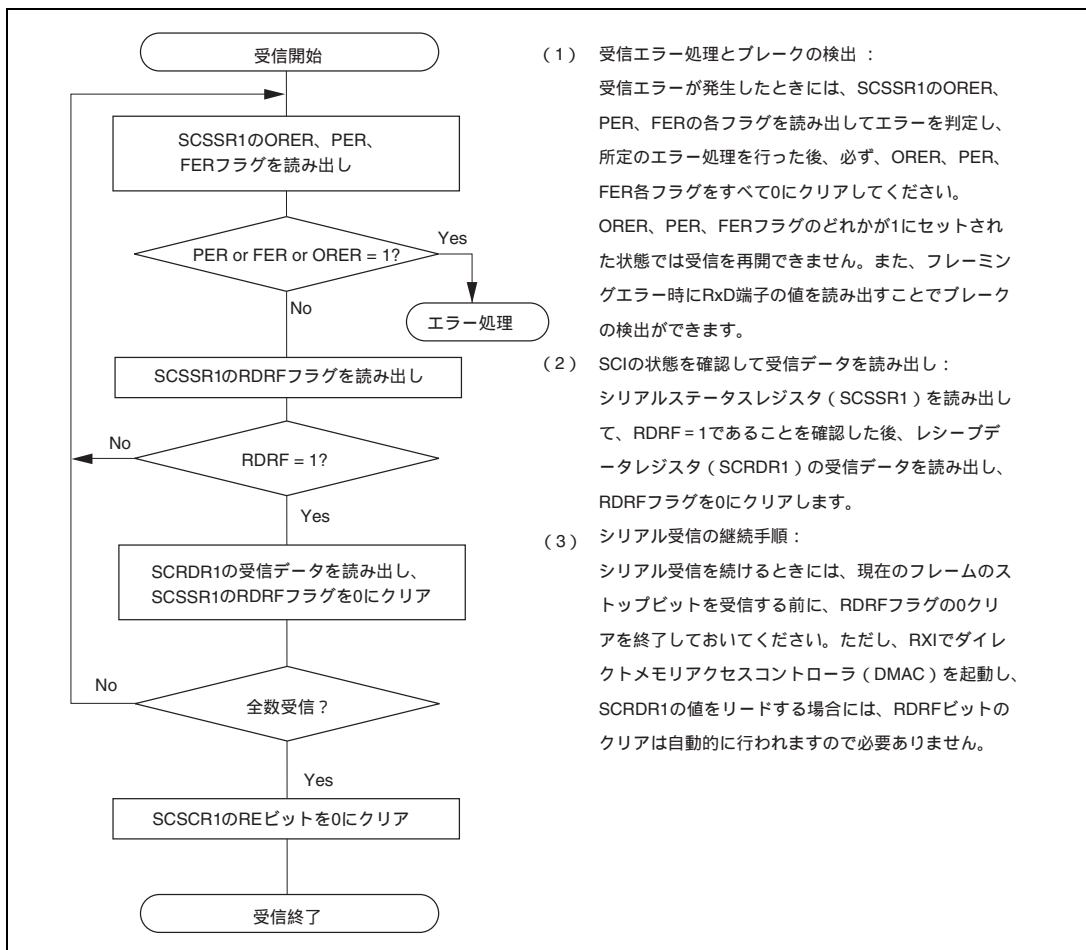


図 15.10 シリアル受信のフローチャートの例 (1)

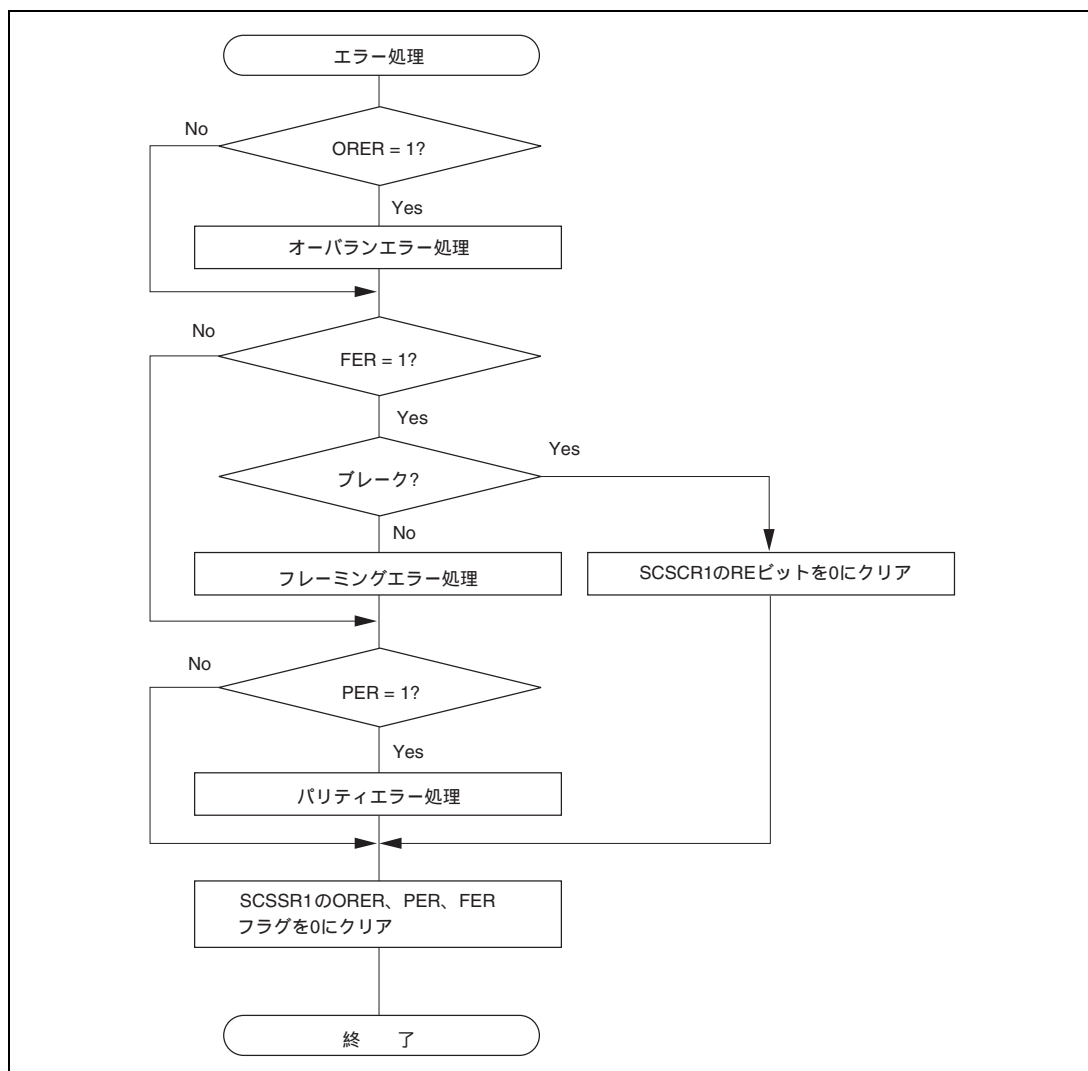


図 15.10 シリアル受信のフローチャートの例 (2)

SCI は受信時に以下のように動作します。

1. SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSR1のLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの1の数をチェックし、これがシリアルモードレジスタ (SCSMR1) の O/Eビットで設定した偶数 / 奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが1であるかをチェックします。  
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRFフラグが0であり、受信データをレシフシフトレジスタ (SCRSR1) から SCRDR1に転送できる状態であるかをチェックします。

以上のチェックをすべてパスしたとき、RDRF フラグが1にセットされ、SCRDR1 に受信データが格納されま  
す。

エラーチェックで受信エラーが発生すると表 15.11 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。

また、受信時に RDRF フラグが1にセットされませんので、必ずエラーフラグを0にクリアしてください。

4. RDRFフラグが1になったとき、SCSPTR1のEIOビットが0に、SCSCR1のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。  
また、ORER、PER、FERフラグのどれかが1になったとき、SCSCR1のRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。また、RDRFフラグが1になるとき、DMACに対して受信データフル要求が常に出力されます。

表 15.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SCRSR1 の RDRF フラグが1にセットされたまま次のデータ受信を完了したとき	SCRSR1 から SCRDR1 に受信データは転送されません
フレーミングエラー	FER	ストップビットが0のとき	SCRSR1 から SCRDR1 に受信データが転送されます
パリティエラー	PER	SCSMR1 で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	SCRSR1 から SCRDR1 に受信データが転送されます

調歩同期式モード受信時の動作例を図 15.11 に示します。

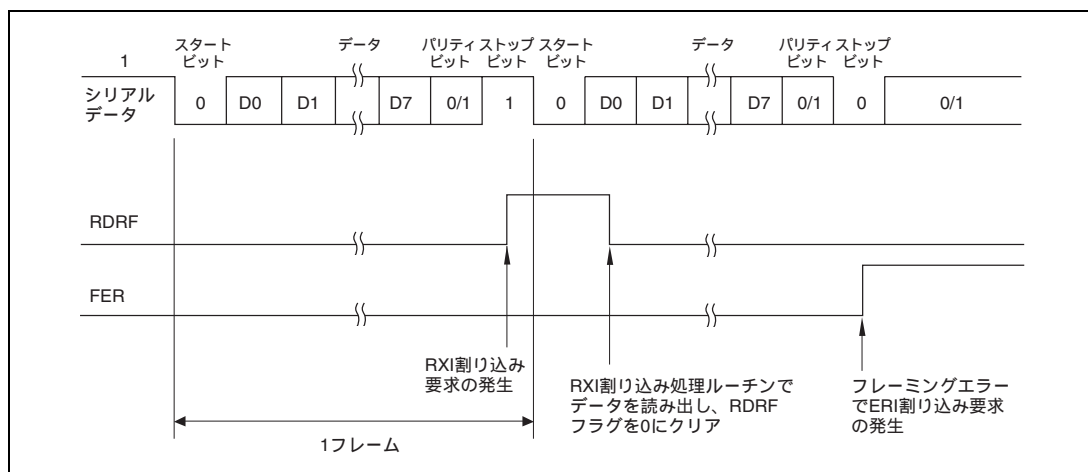


図 15.11 SCI の受信時の動作例  
(8 ビットデータ / パリティあり / 1 ストップビットの例)

### 15.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビットを 1 に設定したデータにして送信します。続いて、送信データを、マルチプロセッサビットを 0 にクリアしたデータにして送信します。

受信局は、マルチプロセッサビットが 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 15.12 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

【注】 \* 本 LSI では、他局宛に送信されたマルチプロセッサビットが 0 のデータを受信した場合も、SCSSR1 の RDRF フラグが 1 にセットされます。SCSSR1 の RDRF フラグが 1 にセットされた時、例外処理ルーチンによって SCSCR1 の MPIE ビットの状態を確認し、MPIE が 1 であればデータを読み飛ばすようにしてください。つまりデータの読み飛ばしは、例外処理ルーチンとの協調動作によって実現されます。

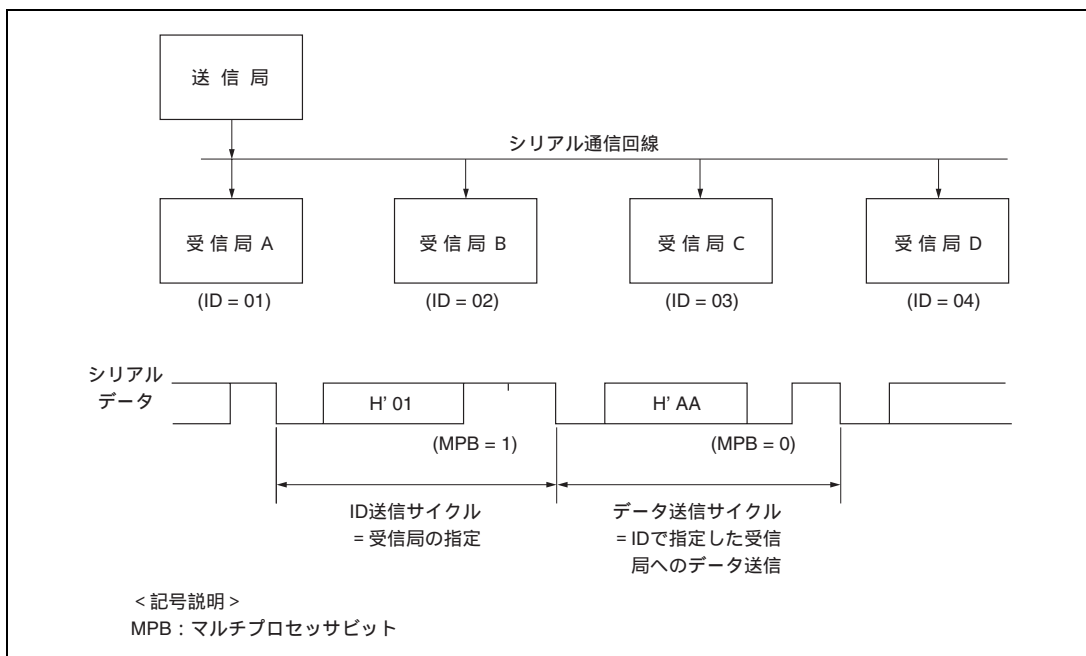


図 15.12 マルチプロセッサフォーマットを使用したプロセッサ間通信の例  
(受信局 A へのデータ H'AA の送信の例)

## (1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 15.10 を参照してください。

## (2) クロック

「15.3.2 (2) クロック」を参照してください。

## (3) データの送信 / 受信動作

- マルチプロセッサシリアルデータ送信

図15.13にマルチプロセッサシリアル送信のフローチャートの例を示します。

マルチプロセッサシリアルデータ送信は、SCIを送信動作可能状態に設定した後、以下の手順に従って行ってください。

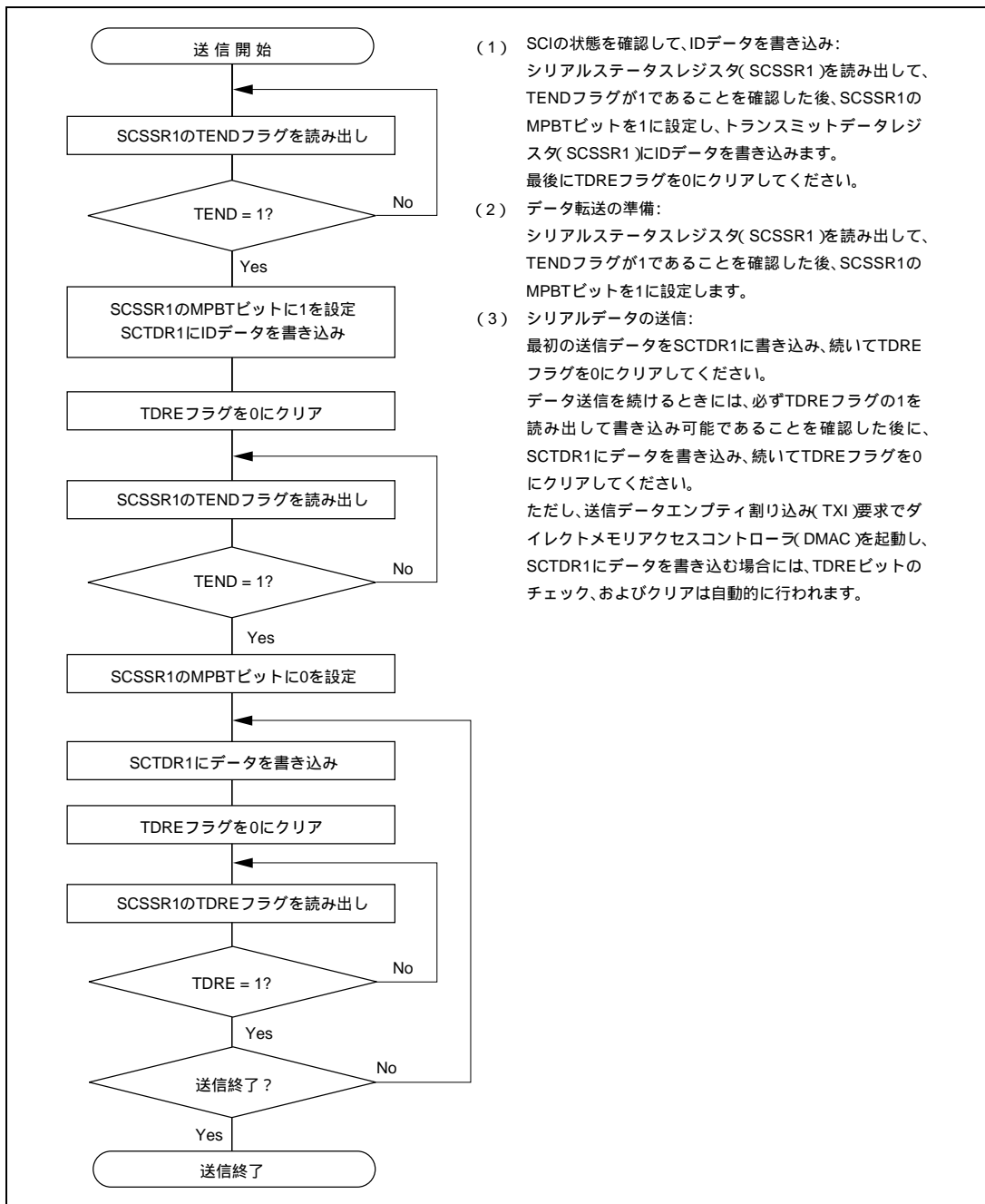


図 15.13 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

1. SCIは、SCSSR1のTDREフラグを監視し、0であるとSCTDR1にデータが書き込まれたと認識し、SCTDR1からトランスミットシフトレジスタ (SCTSR1) にデータを転送します。
2. SCTDR1からSCTSR1へデータを転送した後にTDREフラグを1にセットし、送信を開始します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
  - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
  - (c) マルチプロセッサビット：1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
  - (d) ストップビット：1ビット、または2ビットの1 (ストップビット) が出力されます。
  - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。  
TDREフラグが1であるのでSCSSR1のTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCSSR1の送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み (TEI) 要求を発生します。
  4. SCIはTDREビットを再び監視し、0であるとSCTDR1にデータが書き込まれたと認識し、SCTDR1からトランスミットシフトレジスタ (SCTSR1) にデータを転送します。
  5. SCTDR1からSCTSR1へデータを転送した後にTDREフラグを1にセットし、送信を開始します。  
このとき、SCSSR1の送信データエンプティ割り込みイネーブルビット (TIE) が1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。  
送信の順番は2と同様です。





ソフトウェアによる回避方法のフローチャートの例を図15.15に示します。

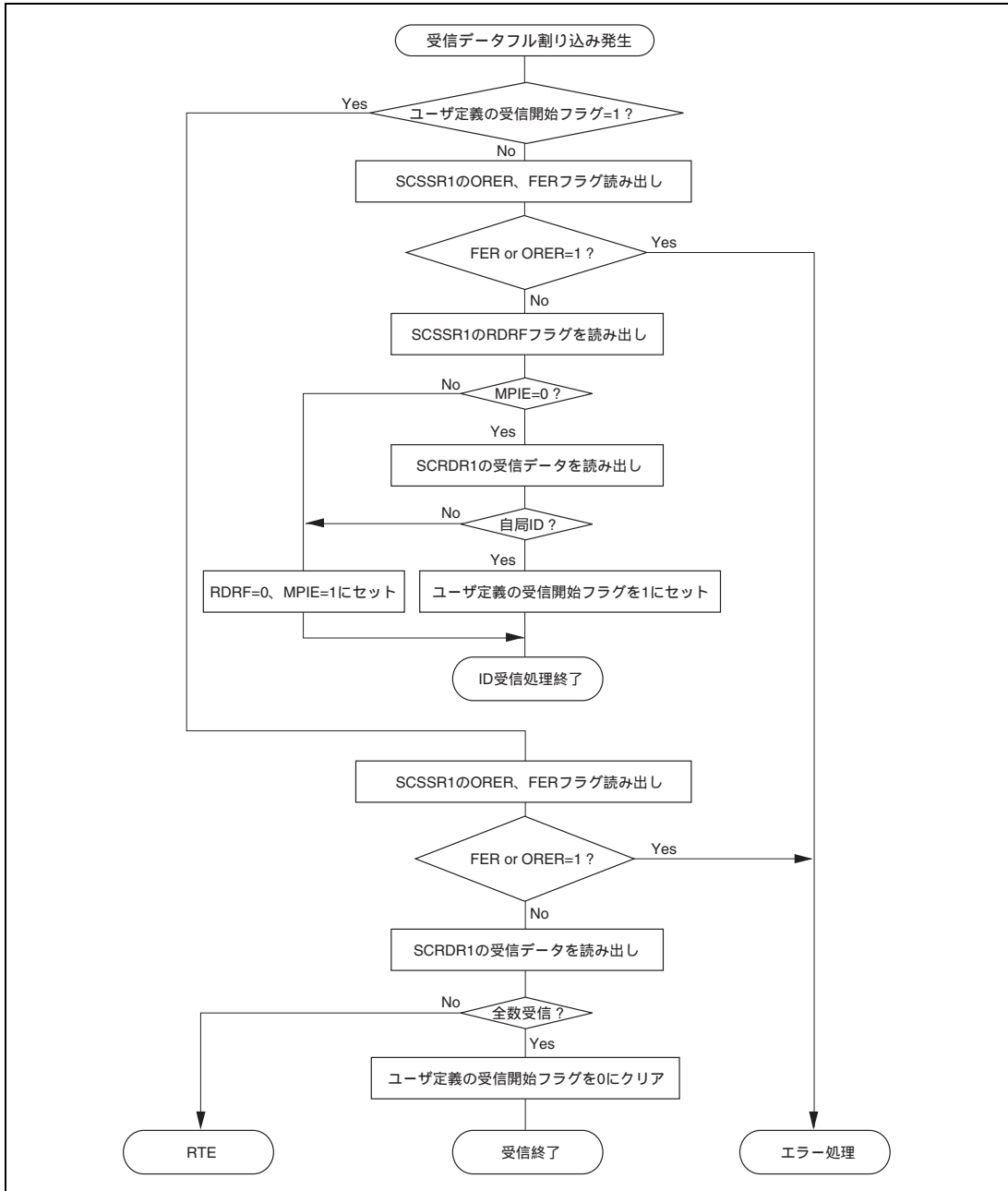


図 15.15 マルチプロセッサシリアル受信割り込み発生時のフローチャートの例

図15.16にマルチプロセッサシリアル受信のフローチャートの例を示します。

マルチプロセッサシリアルデータ受信は、SCIを受信動作可能状態に設定した後、以下の手順に従って行ってください。

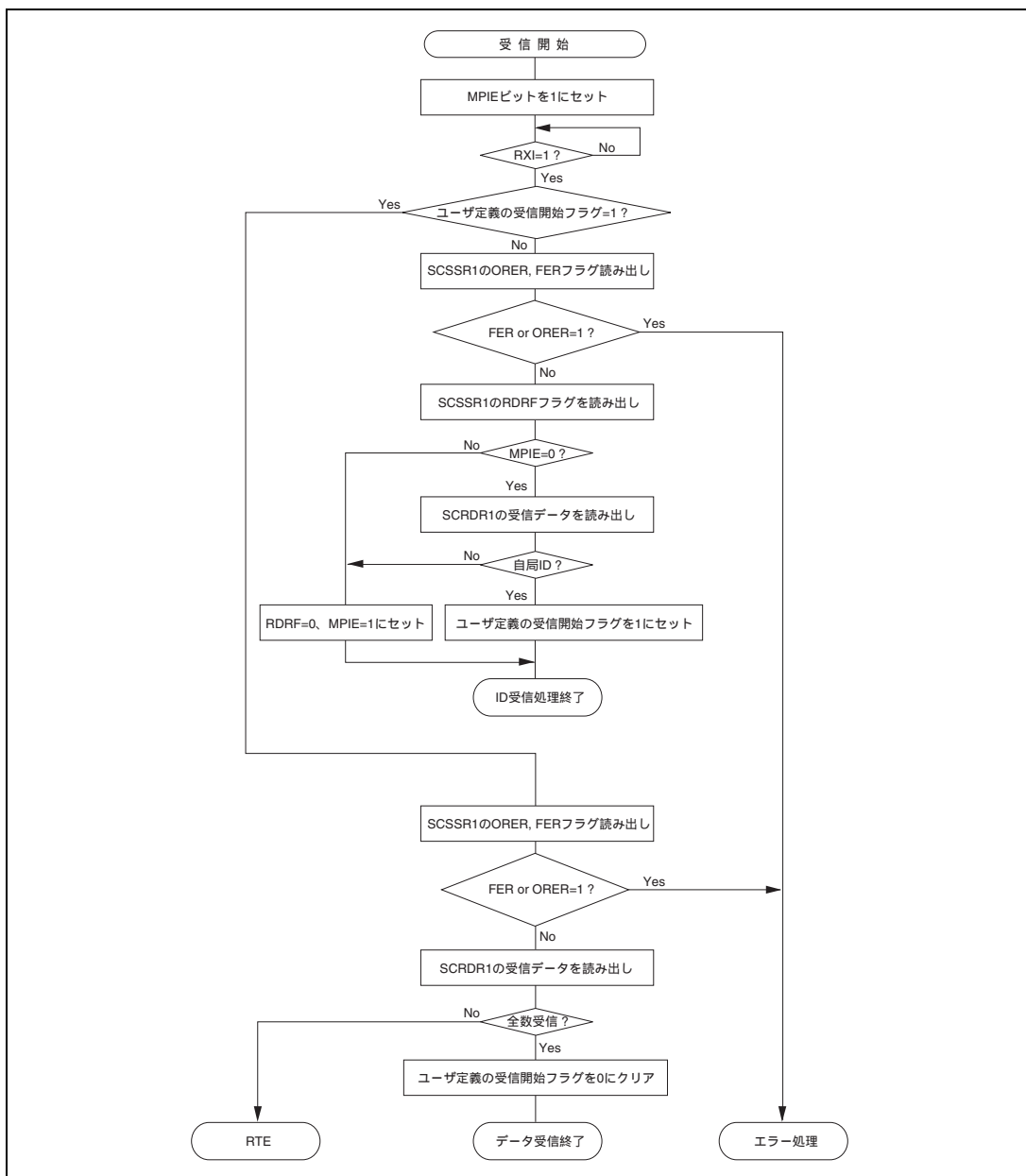


図 15.16 マルチプロセッサシリアル受信のフローチャートの例 (1)

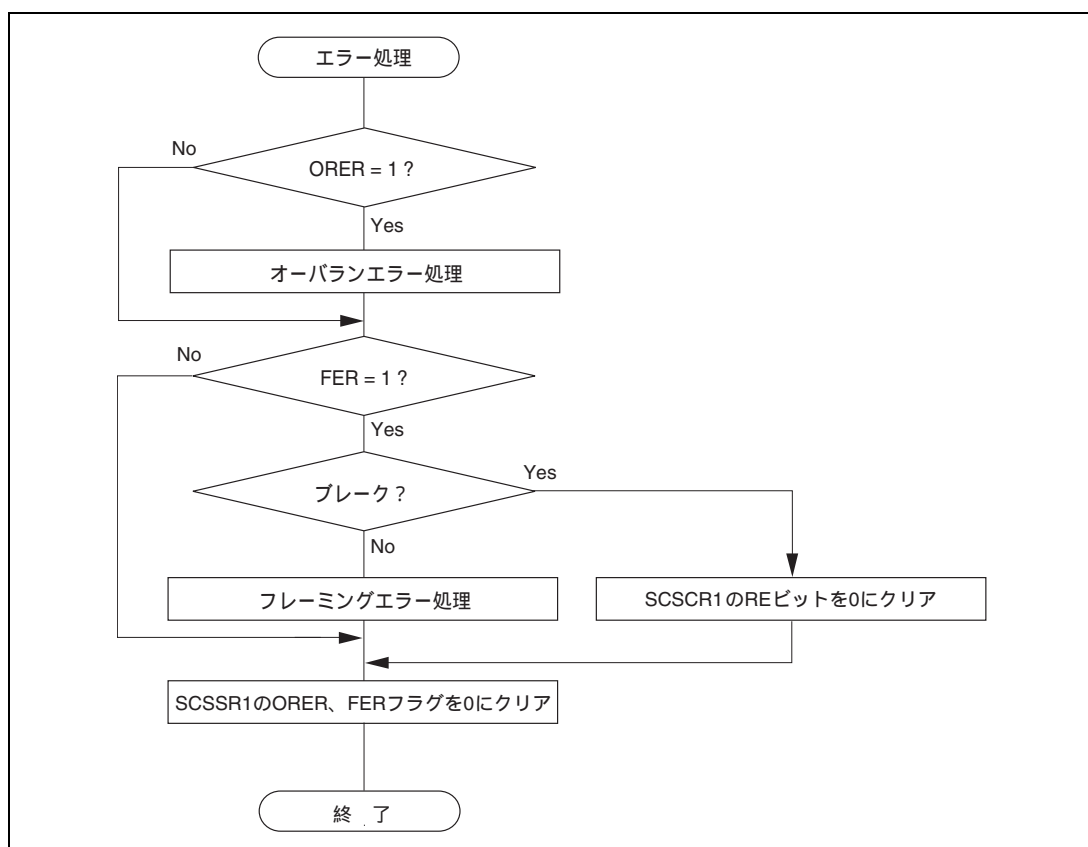


図 15.16 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 15.17 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

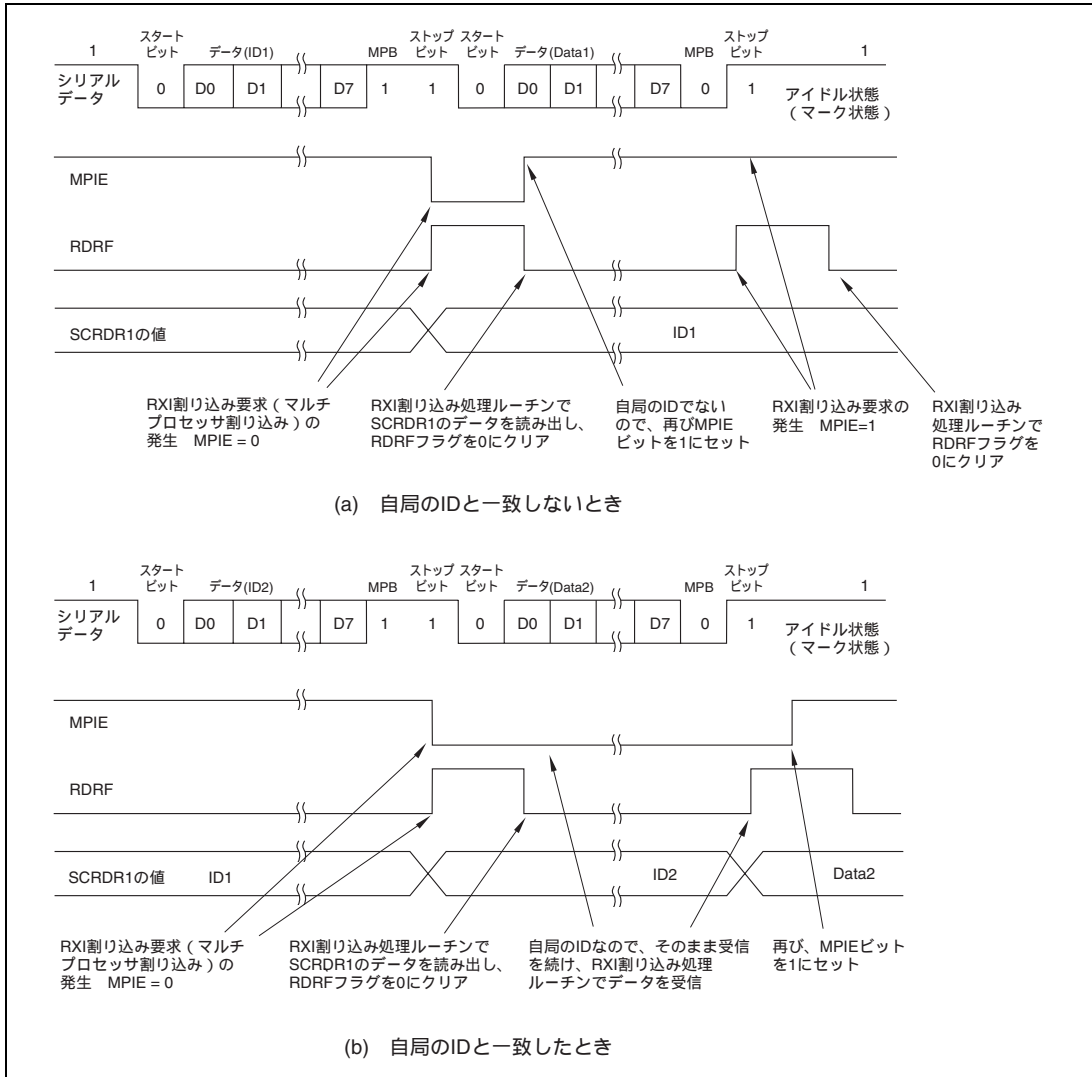


図 15.17 SCI の受信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

SCI はマルチプロセッサモードのシリアル受信時に以下のように動作します。

1. SCIは、通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSR1のLSBからMSBの順に格納します。
3. MPIEが1の場合、マルチプロセッサビットの位置で1を受信するとMPIEビットを0にクリアします。マルチプロセッサビットが0の場合にはMPIEビットは変化しません。
4. MPIEが0であれば、ストップビットの位置でRDRFを調べ、RDRFが1であるとオーバランエラーのビットを立てます。ストップビットが0でないとフレーミングエラーのビットを立てます。RDRFが0であればSCRDR1にSCRSR1の値を転送し、ストップビットが0であれば、RDRFを1に設定します。

### 15.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 15.18 に示します。

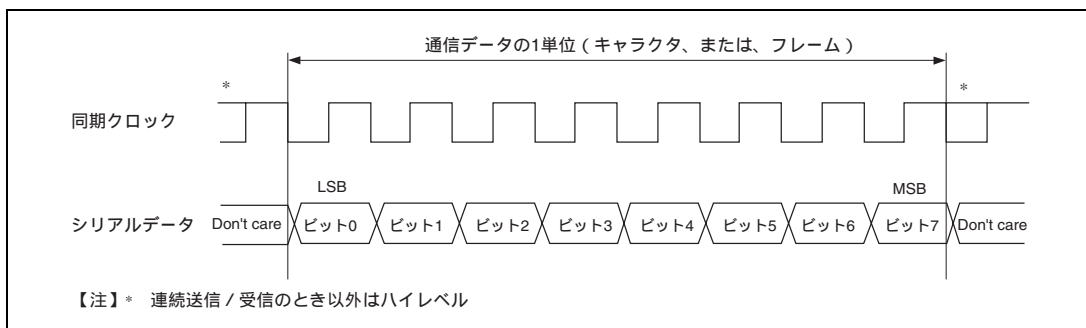


図 15.18 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCI は同期クロックの立ち上がりに同期してデータを受信します。

#### (1) 送信 / 受信フォーマット

8 ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

#### (2) クロック

SCSMR1 の  $C/\bar{A}$  ビットと SCSCR1 の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK 端子から入力された外部同期クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 15.9 を参照してください。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。

同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内蔵クロックソースを選択すると RE = 1 の間クロックパルスが出力されます。最後のデータを受信した場合、ビット 7 の終了よりも前に RE を 0 にしてください。

## (3) データの送信 / 受信動作

## • SCIの初期化 (クロック同期式)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR1) のTE、およびREビットを0にクリアした後、以下の手順でSCIを初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、およびREビットを0にクリアしてから下記手順で変更してください。TEビットを0にクリアするとTDREフラグは1にセットされ、トランスミットシフトレジスタ (SCTSR1) が初期化されます。

REビットを0にクリアしてもRDRF、PER、FER、ORERの各フラグ、およびレシーブデータレジスタ (SCRDR1) の内容は保持されますので注意してください。

図 15.19 に SCI の初期化フローチャートの例を示します。

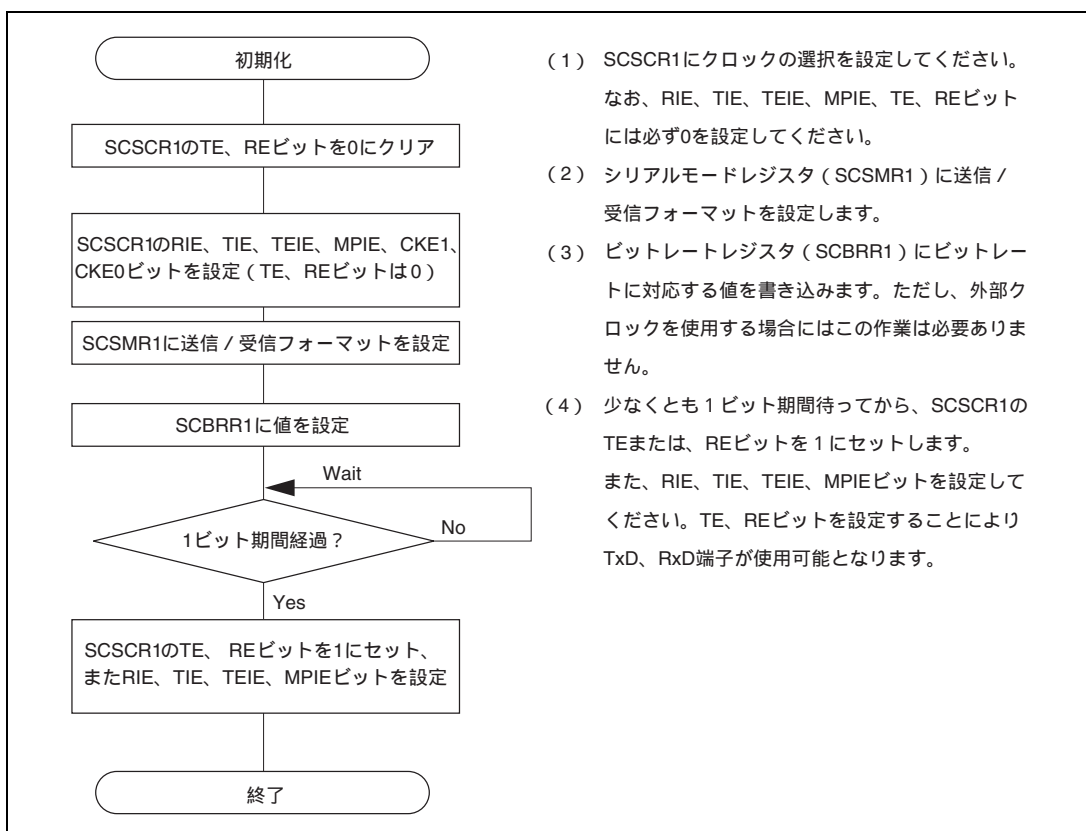


図 15.19 SCI の初期化フローチャートの例



- シリアルデータ送信 (クロック同期式)

図15.20にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIを送信動作可能状態に設定した後、以下の手順で行ってください。

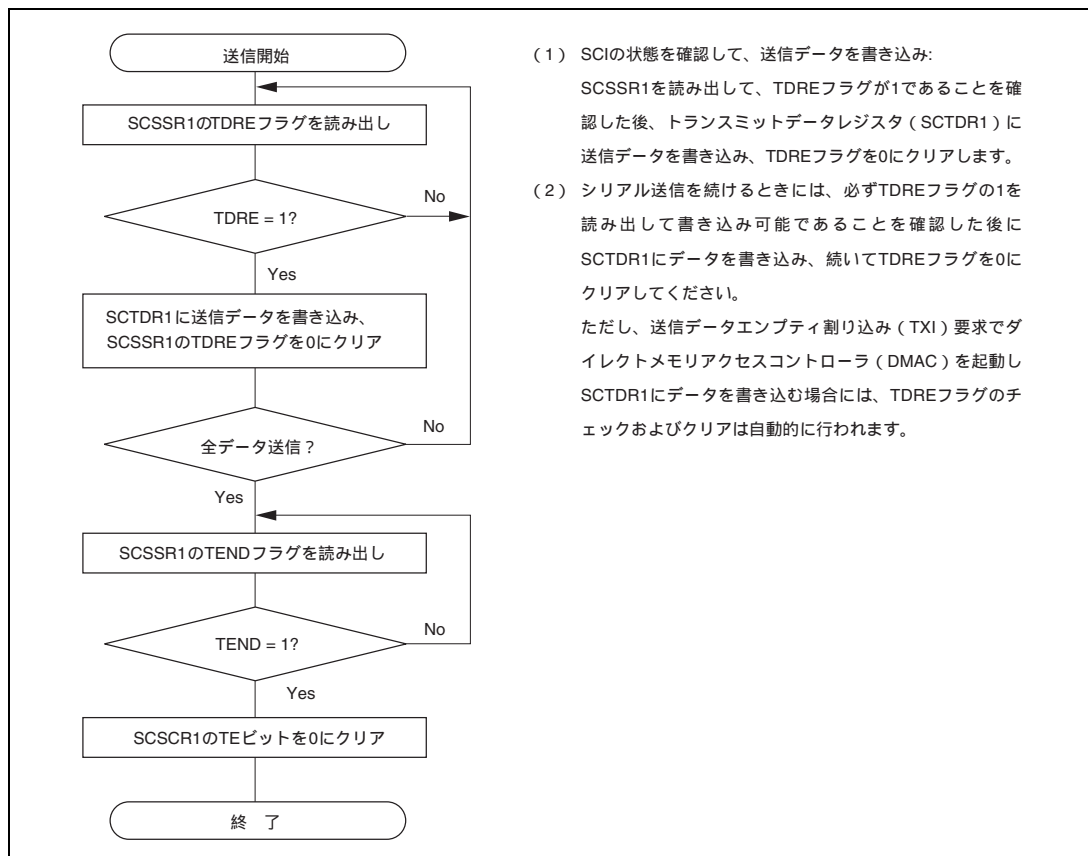


図 15.20 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- SCIは、シリアルステータスレジスタ (SCSSR1) のTDREフラグを監視し、0であるとトランスミットデータレジスタ (SCTDR1) にデータが書き込まれたと認識し、SCTDR1からトランスミットシフトレジスタ (SCTSR1) にデータを転送します。
- SCTDR1からSCTSR1へデータを転送した後にTDREフラグを1にセットし、送信を開始します。  
このとき、シリアルコントロールレジスタ (SCSCR1) の送信データエンpty割り込みイネーブルビット (TIE) が1にセットされていると送信データエンpty割り込み (TXI) 要求を発生します。  
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。  
外部クロックに設定したときには、入力クロックに同期してデータを出力します。  
シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTxD端子から送り出されます。

3. SCIは、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。

TDREフラグが0であるとSCTDR1からSCTSR1にデータを転送し、次フレームのシリアル送信を開始します。TDREフラグが1であるとシリアルステータスレジスタ (SCSSR1) のTENDフラグを1にセットし、MSB (ビット7) を送り出した後、トランスミットデータ端子 (TxD端子) は状態を保持します。このときSCSSR1の送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み要求 (TEI) を発生します。

4. シリアル送信終了後は、SCK端子はハイレベル固定になります。

図 15.21 に SCI の送信時の動作例を示します。

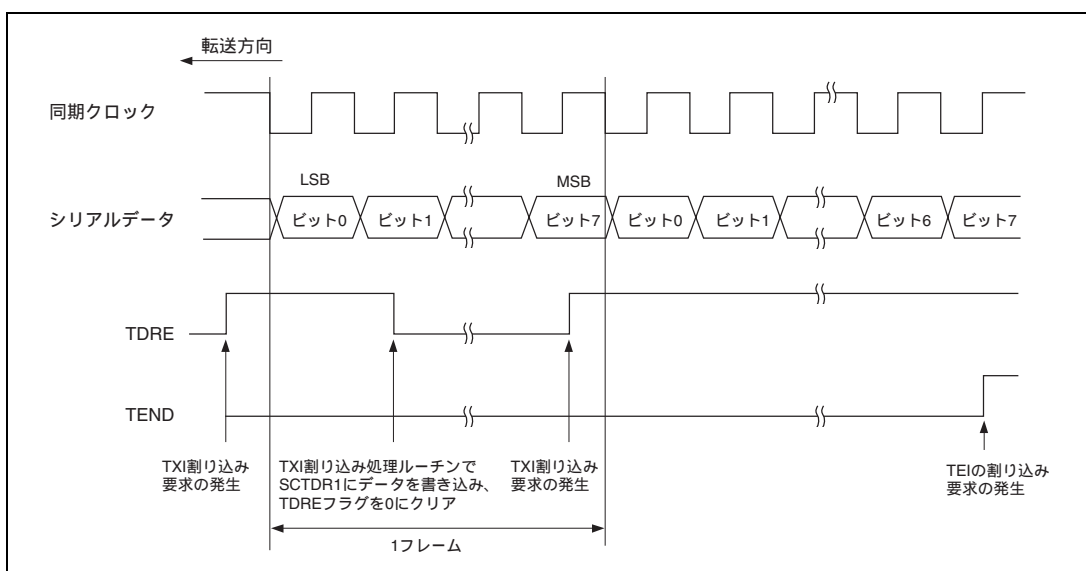


図 15.21 SCI の送信時の動作例

- シリアルデータ受信 (クロック同期式)

図15.22にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIを受信動作可能状態に設定した後、以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

FER、PERフラグが1にセットされているとRDRFフラグがセットされません。また、送信 / 受信動作が行えません。

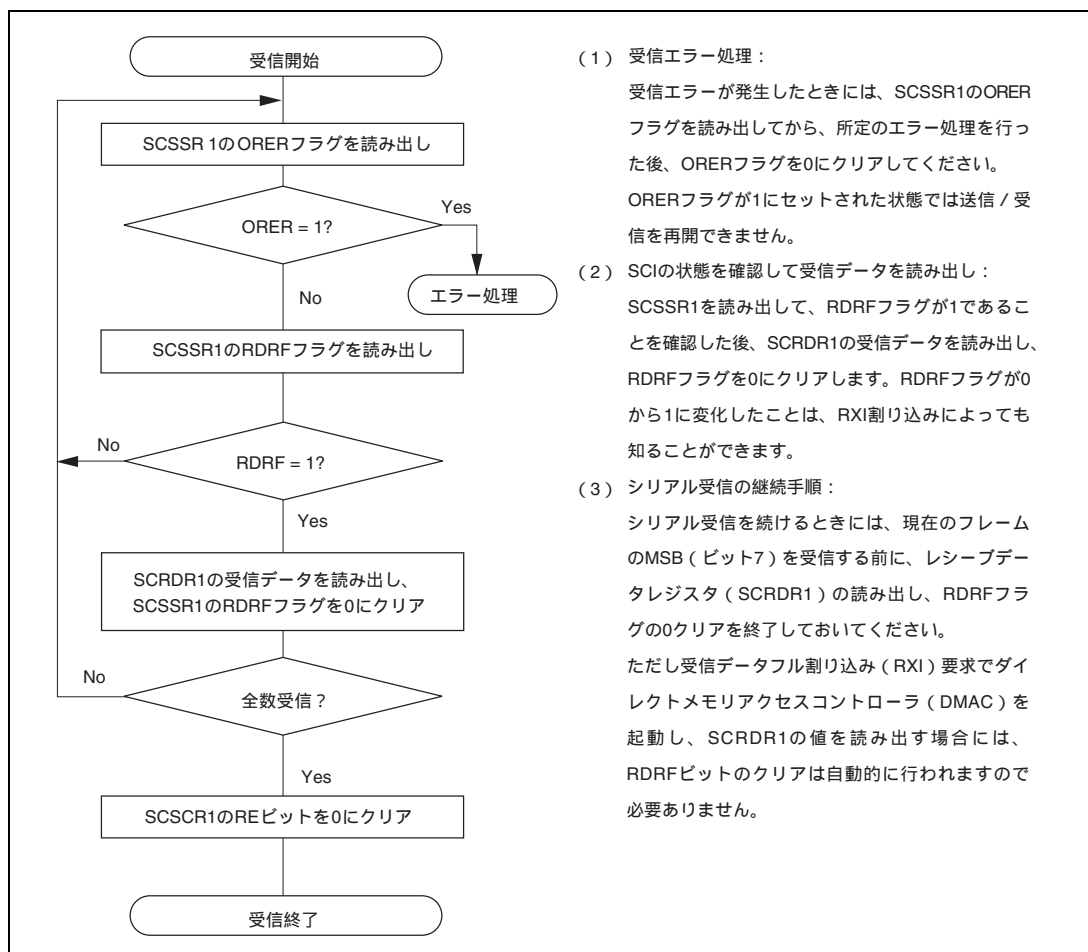


図 15.22 シリアルデータ受信フローチャートの例 (1)

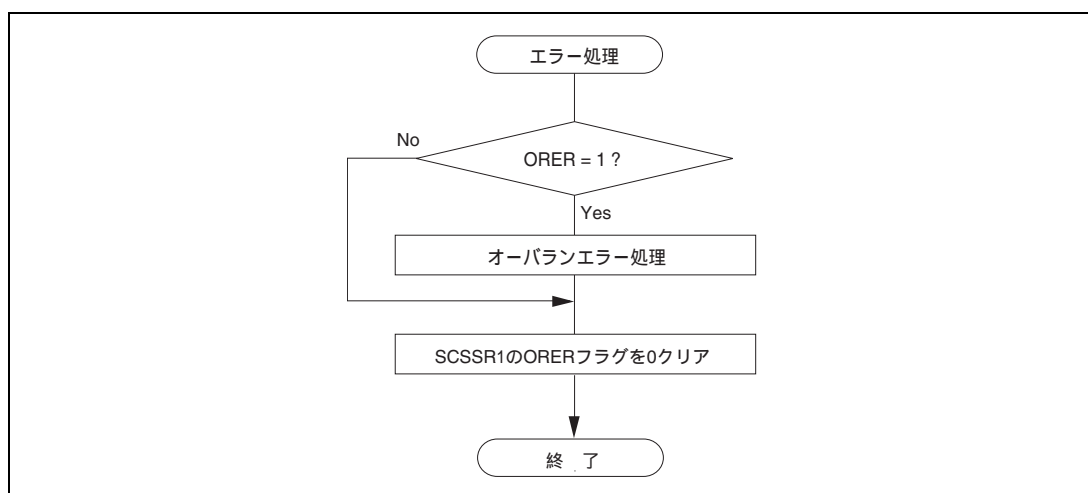


図 15.22 シリアルデータ受信フローチャートの例 (2)

SCIは受信時に以下のように動作します。

- SCIは同期クロックの入力または出力に同期して内部を初期化します。
- 受信したデータをレシーブシフトレジスタ (SCRSR1) のLSBからMSBの順に格納します。  
受信後、SCIはRDRFフラグが0であり、受信データをSCRSR1からレシーブデータレジスタ (SCRDR1) に転送できる状態であるかをチェックします。  
このチェックがパスしたときRDRFフラグが1にセットされ、SCRDR1に受信データが格納されます。  
エラーチェックで受信エラーが発生すると表15.11のように動作し、この状態では以後の送信、受信動作ができません。  
また、受信時にRDRFフラグが1にセットされませんので、必ずフラグを0にクリアしてください。
- RDRFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR1) のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。  
また、ORERフラグが1になったとき、SCSCR1のRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

図 15.23 に SCI の受信時の動作例を示します。

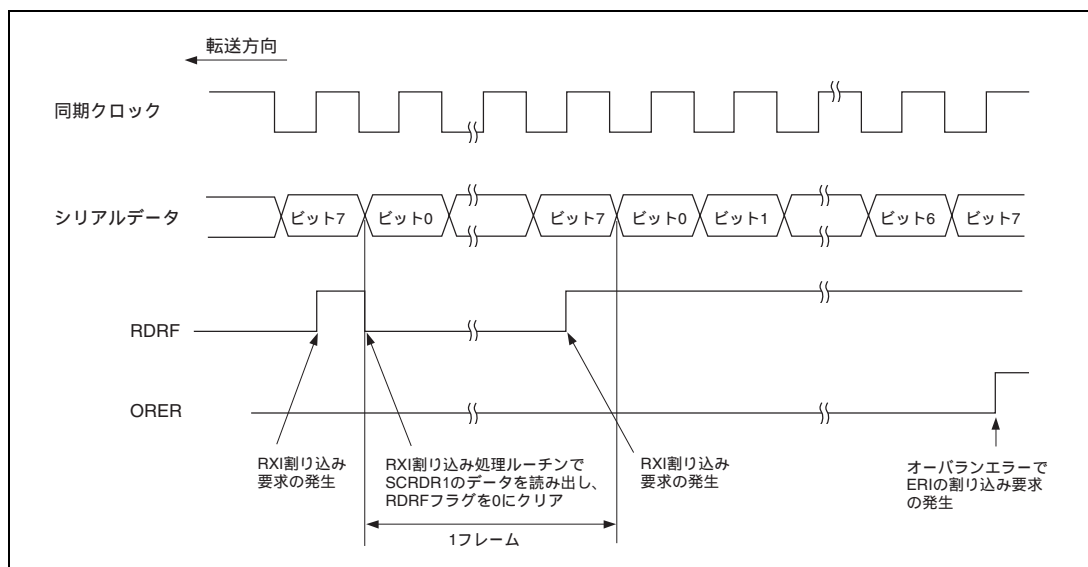


図 15.23 SCI の受信時の動作例

- シリアルデータ送受信同時動作 (クロック同期式)

図15.24にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、SCIを送受信動作可能状態に設定した後、以下の手順に従い行ってください。

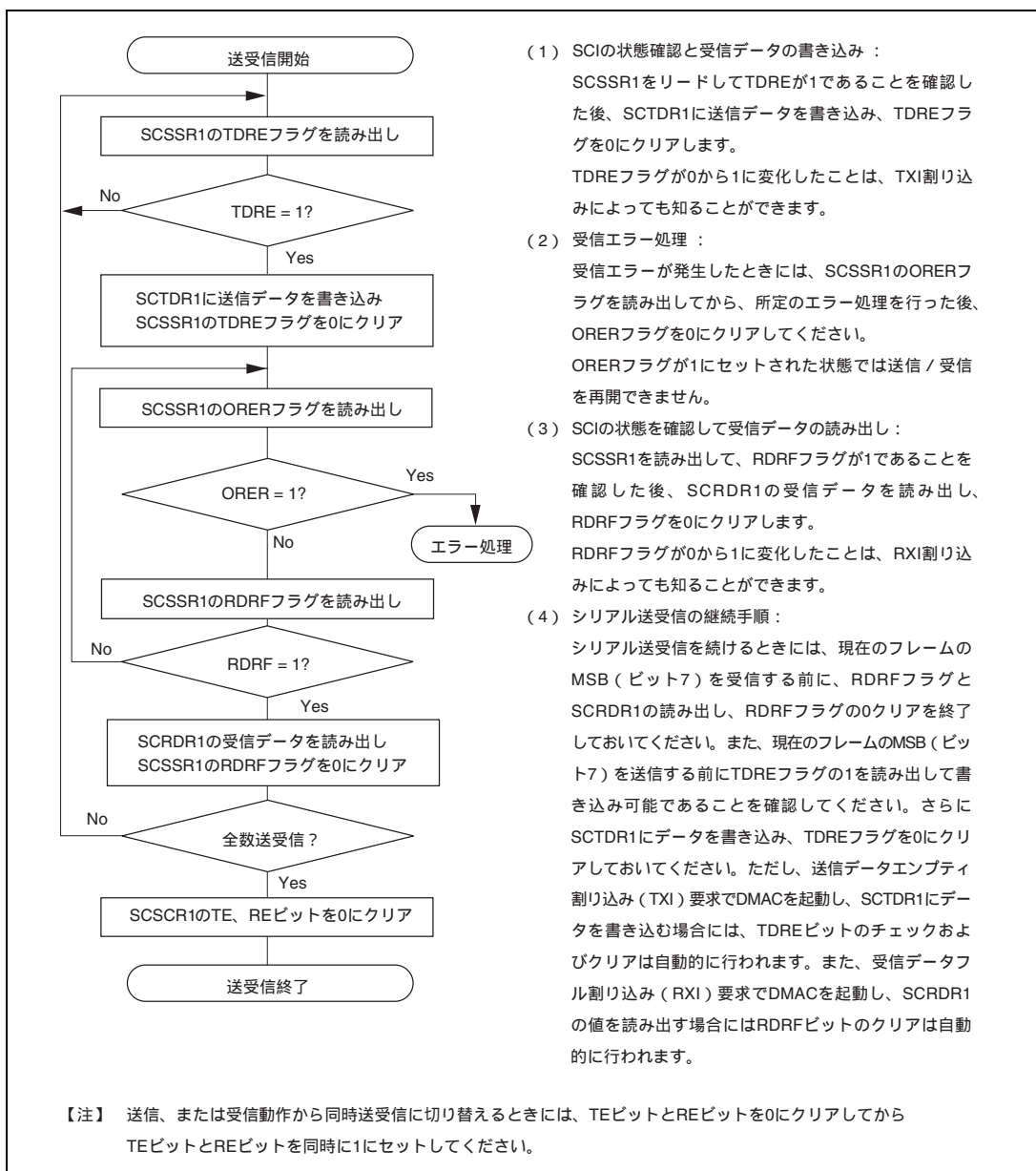


図 15.24 シリアルデータ送受信フローチャートの例

## 15.4 SCI の割り込み要因と DMAC

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 15.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSSR1 の TIE、RIE、TEIE ビット、および SCSPTR1 の EIO ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SCSSR1) の TDRE フラグが 1 にセットされると、割り込み要求とは別に TDR エンプティ要求が発生します。TDR エンプティ要求で、ダイレクトメモリアクセスコントローラ (DMAC) を起動してデータ転送を行うことができます。TDRE フラグは DMAC によるトランスミットデータレジスタ (SCTDR1) への書き込みが行われると自動的に 0 にクリアされます。

SCSSR1 の RDRF フラグが 1 にセットされると、割り込みとは別に RDR フル要求が発生します。RDR フル要求で、DMAC を起動して、データ転送を行うことができます。

RDRF フラグは DMAC によるレシーブデータレジスタ (SCRDR1) の読み出しが行われると、自動的に 0 にクリアされます。

また、SCSSR1 の ORER、FER フラグまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DMAC の起動はできません。DMAC で受信データの処理を行い、CPU への割り込みで受信エラー処理を行う場合、RIE ビットを 1 に設定するとともに、SCSPTR1 の EIO ビットを 1 にセットし受信エラーのみで割り込みエラーが発生するようにしてください。EIO ビットを 0 に設定しますと正常なデータ受信時にも CPU への割り込みが発生してしまいます。

さらに、SCSSR1 の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。この TEI 割り込み要求で DMAC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 15.12 SCI 割り込み要因

割り込み要因	内容	DMAC の起動	リセット解除時の優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	不可	高
RXI	受信データフル (RDRF) による割り込み	可	
TXI	送信データエンプティ (TDRE) による割り込み	可	低
TEI	送信終了 (TEND) による割り込み	不可	

優先順位、SCI 以外の割り込みとの関係は、「第 5 章 例外処理」を参照してください。

## 15.5 使用上の注意

SCI を使用する際は、以下のことに注意してください。

### 1. SCTDR1への書き込みとTDREフラグの関係について

シリアルステータスレジスタ (SCSSR1) のTDREフラグはトランスミットデータレジスタ (SCTDR1) からトランスミットシフトレジスタ (SCTSR1) に送信データの転送が行われたことを示すステータスフラグです。SCIがSCTDR1からSCTSR1にデータを転送すると、TDREフラグが1にセットされます。

SCTDR1へのデータの書き込みは、TDREフラグの状態にかかわらず行うことができます。しかし、TDREフラグが0の状態では新しいデータをSCTDR1に書き込むと、SCTDR1に格納されていたデータは、まだSCTSR1に転送されていないため失われてしまいます。したがってSCTDR1への送信データの書き込みは、必ずTDREフラグが1にセットされていることを確認してから行ってください。

### 2. 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SCSSR1の各ステータスフラグの状態は、表15.13のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (SCRDR1) からレシーブデータレジスタ (SCRDR1) へのデータ転送は行われず、受信データは失われます。

表 15.13 SCSSR1 のステータスフラグの状態と受信データの転送

受信エラーの状態	SCSSR1 のステータスフラグ				受信データ 転送 SCRSR1 SCRDR1
	RDRF	ORER	FER	PER	
オーバランエラー	1	1	0	0	x
フレーミングエラー	0	0	1	0	
パリティエラー	0	0	0	1	
オーバランエラー+フレーミングエラー	1	1	1	0	x
オーバランエラー+パリティエラー	1	1	0	1	x
フレーミングエラー+パリティエラー	0	0	1	1	
オーバランエラー+フレーミングエラー +パリティエラー	1	1	1	1	x

: SCRSR1 SCRDR1 に受信データを転送します。

x : SCRSR1 SCRDR1 に受信データを転送しません。

### 3. ブレークの検出と処理について

フレーミングエラー (FER) 検出時にRx端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、Rx端子からの入力値がすべて0になりますのでFERフラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIは、ブレークを受信した後も受信動作を続けますので、FERフラグを0にクリアしても再び1にセットされますので、注意してください。



#### 4. ブレークの送り出し

TxD端子は、シリアルポートレジスタ (SCSPTR1) のSPB0IO、SPB0DTビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化からTEビットを1にセット (送信可能) するまでは、TxD端子として機能しません。この間は、マーク状態はSPB0DTビットの値で代替えされます。このため、最初はSPB0IOとSPB0DTビットを1に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときはSPB0DTビットを0にクリア (ローレベル) した後、TEビットを0にクリア (送信停止) します。TEビットを0にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD端子からは0が出力されます。

#### 5. TENDフラグとTEビットの処理

TENDフラグは最終データのストップビット送信時に1にセットされます。TENDフラグのセットを確認した後、直ちにTEビットをクリアした場合、まだストップビットの送信処理を行っており、正常に送信できなくなる可能性があります。したがって、TENDフラグのセット確認後、少なくとも0.5シリアルロックサイクル (2ストップビットの場合は1.5サイクル) の間は、TEビットをクリアしないでください。

#### 6. 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が1にセットされた状態では、TDREフラグを1にセットしても送信を開始できません。必ず送信開始時には、受信エラーフラグを0にクリアしておいてください。

また、REビットを0にクリアしても受信エラーフラグは0にクリアできませんので注意してください。

#### 7. 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIは転送レートの16倍の周波数の基本クロックで動作しています。

受信時にSCIは、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。

また、受信データを基本クロックの8クロック目の立ち上がりエッジで内部に取り込みます。

これを図15.25に示します。

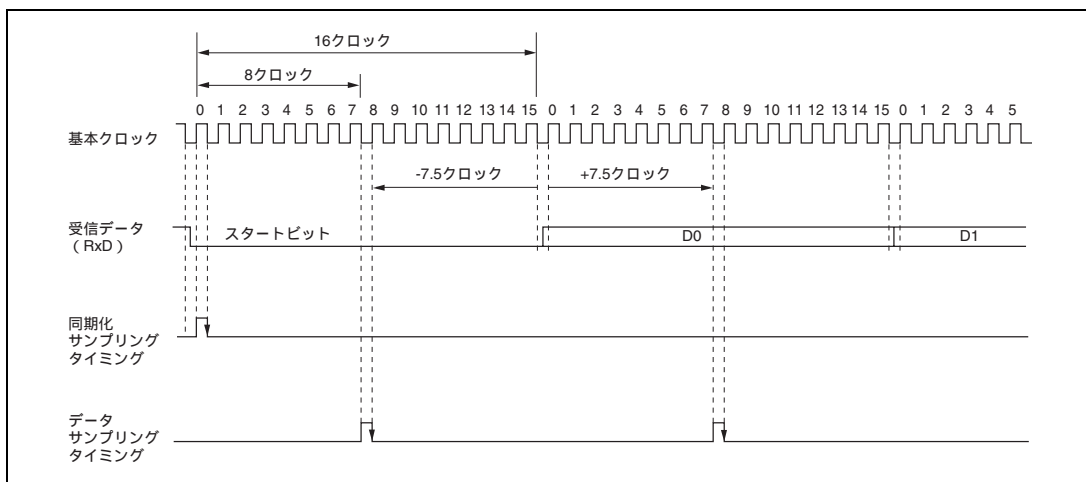


図 15.25 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \text{式 (1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F=0 のとき

$$M = (0.5 - 1/(2 \times 16)) \times 100\%$$

$$= 46.875\%$$

.....式 (2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30%の余裕を持たせてください。

- DMAC使用上の注意事項

- 同期クロックに外部クロックソースを使用する場合、DMACによるSCTDR1の更新後、周辺動作クロックで5サイクル以上経過した後に外部クロックを入力してください。SCTDR1の更新後4サイクル以内に送信クロックを入力すると誤動作することがあります（図15.26参照）。

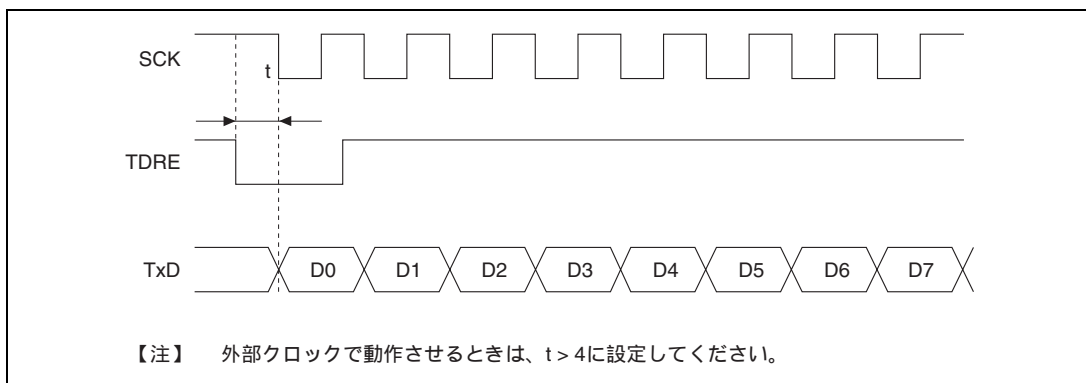


図 15.26 DMAC による同期クロック転送例

- DMACにより、SCRDR1の読み出しを行うときは必ずCHCRのRS3～RS0ビットで起動要因を当該SCIの受信データフル割り込みに設定してください。
8. クロック同期外部クロックモード時の注意事項
    - TE = 1、RE = 1に設定するのは、外部クロックSCKを0 → 1にしてから周辺動作クロック4クロック以上経過してからにしてください。
    - TE = RE = 1に設定するのは、必ず外部クロックSCKが1のときにしてください。
    - 受信時において、RxDのD7ビットのSCK入力の立ち上がりエッジから周辺動作クロック2.5～3.5クロック後にRE = 0にするとRDRF = 1になりますが、SCRDR1へのコピーができませんので注意してください。
  9. クロック同期内部クロックモード時の注意事項
 

受信時において、RxDのD7ビットのSCK出力の立ち上がりエッジから周辺動作クロック1.5クロック後にRE = 0にするとRDRF = 1になりますが、SCRDR1へのコピーができませんので注意してください。
  10. DMAC使用時
 

DMACを使って送受信を行う場合は、割り込みコントローラへRXI、TXI割り込み要求を出さない設定にしてください。割り込み要求を出さず設定にした場合でも、割り込みコントローラへの割り込み要求は、割り込み処理プログラムとは無関係にDMACによってクリアされます。



---

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

---

### 16.1 概要

FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF: Serial Communication Interface with FIFO) です。SCIF は、調歩同期式通信のシリアル通信ができます。

送受信に FIFO レジスタを各々16 段内蔵しており、効率のよい高速連続通信を行うことができます。

#### 16.1.1 特長

SCIF には次のような特長があります。

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用LSIとのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットを8種類のフォーマットから選択できます。

- データ長: 7ビット、または8ビット
- ストップビット長: 1ビット、または2ビット
- パリティ: 偶数パリティ、奇数パリティ、またはパリティなし
- 受信エラーの検出: パリティエラー、フレーミングエラー、オーバランエラーを検出
- ブレークの検出:  
フレーミングエラーが発生し、引き続き1フレーム長以上スペース0 (ローレベル) の場合、ブレークを検出します。また、フレーミングエラー発生時にRx/D2端子のレベルをシリアルポートレジスタ (SCSPTR2) から直接読み出すことによってもブレークを検出できます。

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部、および受信部ともに16段のFIFOバッファ構造になっていますのでシリアルデータの高速連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK2端子からの外部クロックから選択可能
- 4種類の割り込み要因

送信FIFOデータエンプティ、ブレーク、受信FIFOデータフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。

- 送信FIFOデータエンプティ時と受信FIFO内に受信データがあるとき、DMA転送要求を出すことにより、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- モデムコントロール機能 ( $\overline{\text{RTS2}}$ 、 $\overline{\text{CTS2}}$ ) を内蔵しています。
- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。
- 受信時、タイムアウトエラー (DR) を検出できます。

### 16.1.2 ブロック図

図 16.1 に SCIF のブロック図を示します。

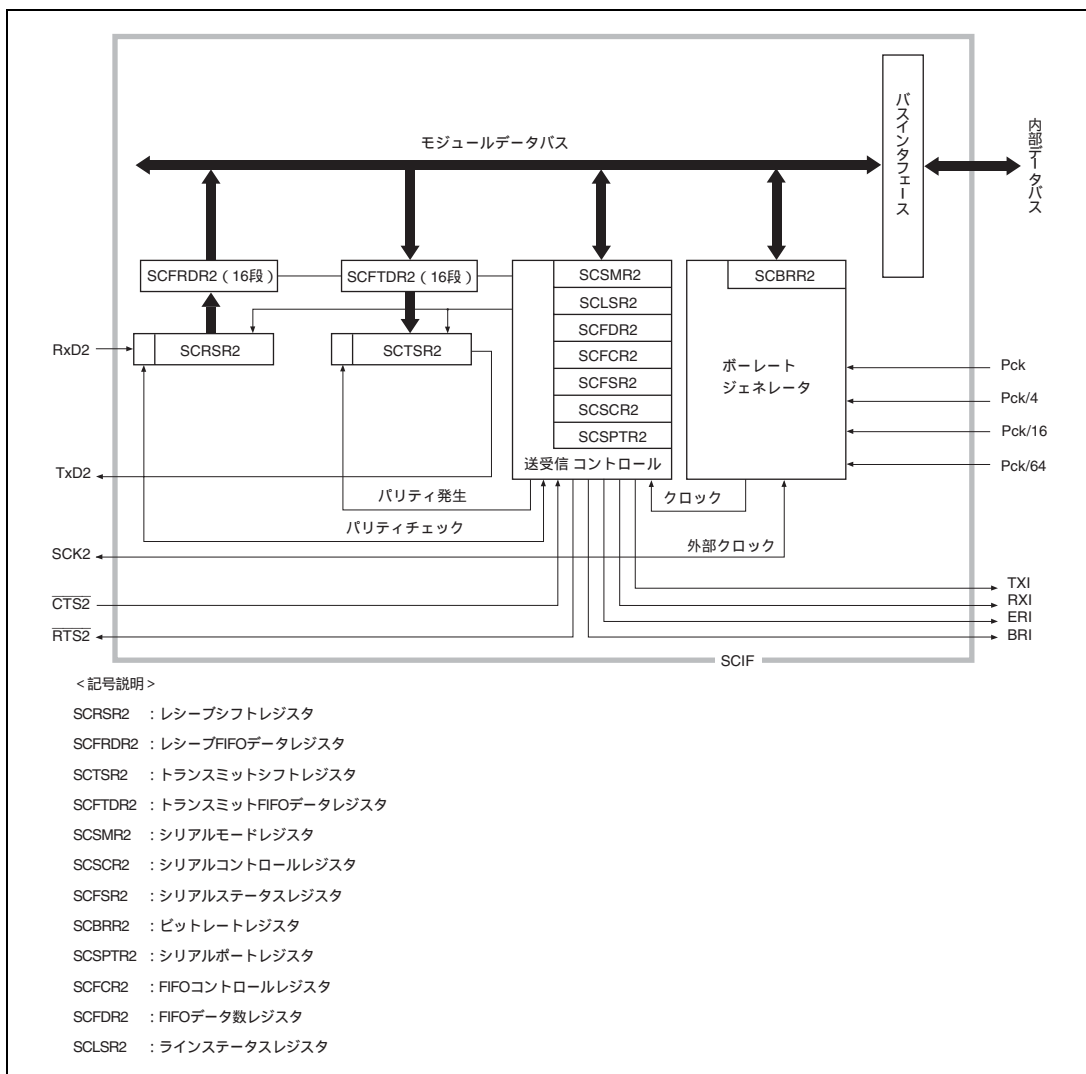


図 16.1 SCIF のブロック図

### 16.1.3 端子構成

SCIF の端子構成を表 16.1 に示します。

表 16.1 端子構成

名称	略称	入出力	機能
シリアルクロック端子	MD0/SCK2	入出力	クロック入出力
レシーブデータ端子	MD2/RxD2	入力	受信データ入力
トランスミットデータ端子	MD1/TxD2	出力	送信データ出力
モデムコントロール端子	MD7/ $\overline{\text{CTS2}}$	入出力	送信可
モデムコントロール端子	MD8/RTS2	入出力	送信要求

【注】 パワーオンリセット時には、モード入力端子 MD0、MD1、MD2、MD7、MD8 として機能します。

SCIF の動作設定を SCSCR2 の TE、RE、CKE1、CKE0 ビットおよび SCFCR2 の MCE ビットで行うことにより、シリアル端子として機能します。ブレイク状態の送出、検出は、SCIF の SCSPTR2 によって行うことができます。

### 16.1.4 レジスタ構成

SCIF には、表 16.2 に示す内部レジスタがあります。これらのレジスタによりデータフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

表 16.2 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア 7 アドレス	アクセスサイズ
シリアルモードレジスタ	SCSMR2	R/W	H'0000	H'FFE80000	H'1FE80000	16
ビットレートレジスタ	SCBRR2	R/W	H'FF	H'FFE80004	H'1FE80004	8
シリアルコントロールレジスタ	SCSCR2	R/W	H'0000	H'FFE80008	H'1FE80008	16
トランスミット FIFO データレジスタ	SCFTDR2	W	不定	H'FFE8000C	H'1FE8000C	8
シリアルステータスレジスタ	SCFSR2	R/(W) *1	H'0060	H'FFE80010	H'1FE80010	16
レシーブ FIFO データレジスタ	SCFRDR2	R	不定	H'FFE80014	H'1FE80014	8
FIFO コントロールレジスタ	SCFCR2	R/W	H'0000	H'FFE80018	H'1FE80018	16
FIFO データ数レジスタ	SCFDR2	R	H'0000	H'FFE8001C	H'1FE8001C	16
シリアルポートレジスタ	SCSPTR2	R/W	H'0000*2	H'FFE80020	H'1FE80020	16
ラインステータスレジスタ	SCLSR2	R/(W) *3	H'0000	H'FFE80024	H'1FE80024	16

【注】 \*1 フラグをクリアするために 0 のみ書き込むことができます。ビット 15 ~ 8、3、2 は読み出し専用であり書き込むことはできません。

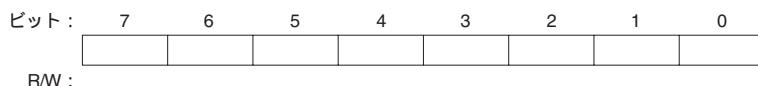
\*2 ビット 6、4、2、0 は不定です。

\*3 フラグをクリアするために 0 のみ書き込むことができます。ビット 15 ~ 1 は読み出し専用であり書き込むことはできません。



## 16.2 レジスタの説明

### 16.2.1 レシーブシフトレジスタ (SCRSR2)

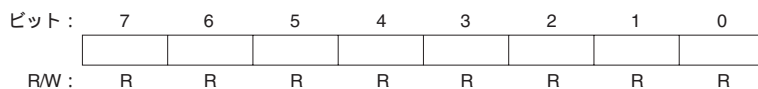


レシーブシフトレジスタ (SCRSR2) は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR2 に RxD2 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO レジスタである SCFRDR2 へ転送されます。

CPU から直接 SCRSR2 の読み出し / 書き込みをすることはできません。

### 16.2.2 レシーブ FIFO データレジスタ (SCFRDR2)



レシーブ FIFO データレジスタ (SCFRDR2) は、受信したシリアルデータを格納する 16 段の FIFO レジスタです。

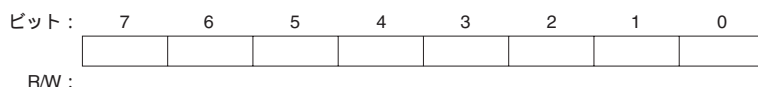
SCIF は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR2) から SCFRDR2 へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR2 は受信可能になり、レシーブ FIFO レジスタがいっぱいになる 16 データまで連続した受信動作が可能です。

SCFRDR2 は、読み出し専用レジスタですので CPU から書き込むことはできません。

また、レシーブ FIFO レジスタに受信データがない状態で読み出した値は不定値になります。レシーブ FIFO レジスタ内の受信データがいっぱいになると、以降のシリアルデータは失われます。

SCFRDR2 は、パワーオンリセット、マニュアルリセット時に不定となります。

### 16.2.3 トランスミットシフトレジスタ (SCTSR2)



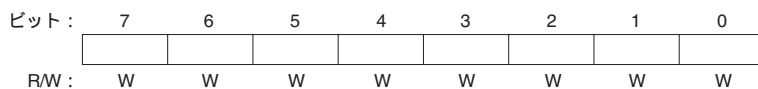
トランスミットシフトレジスタ (SCTSR2) は、シリアルデータを送信するためのレジスタです。

SCIF は、トランスミット FIFO データレジスタ (SCFTDR2) から送信データをいったん SCTSR2 に転送し、LSB (ビット 0) から順に TxD2 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCFTDR2 から SCTSR2 へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR2 の読み出し / 書き込みをすることはできません。

### 16.2.4 トランスミット FIFO データレジスタ (SCFTDR2)



トランスミット FIFO データレジスタ (SCFTDR2) は、シリアル送信するデータを格納する 8 ビット長の 16 段 FIFO レジスタです。

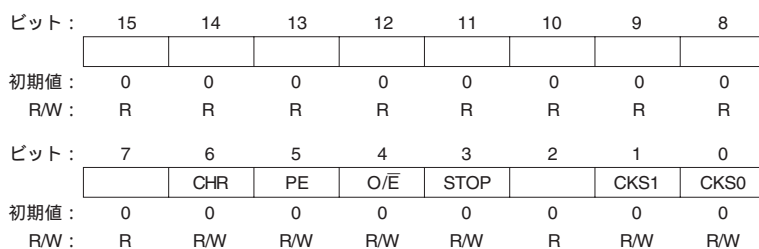
SCIF は、送信データが SCFTDR2 に書き込まれたとき、トランスミットシフトレジスタ (SCTSR2) が空ならば、SCFTDR2 に書き込まれた送信データを SCTSR2 に転送してシリアル送信を開始します。

SCFTDR2 は、書き込み専用レジスタですので CPU から読み出すことはできません。

SCFTDR2 内の送信データが 16 バイトでいっぱいときは次のデータを書き込むことはできません。書き込んだデータは無視されます。

SCFTDR2 は、パワーオンリセット、マニュアルリセット時に不定となります。

### 16.2.5 シリアルモードレジスタ (SCSMR2)



シリアルモードレジスタ (SCSMR2) は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。

SCSMR2 は、常に CPU による読み出し / 書き込みが可能です。

SCSMR2 は、パワーオンリセット、マニュアルリセット時に H'0000 に初期化されます。スタンバイモード、モジュールスタンバイ時には初期化されません。

ビット 15~7: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 6: キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。

ビット 6	説 明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 \* 7 ビットデータを選択した場合、トランスミット FIFO データレジスタ (SCFTDR2) の MSB (ビット 7) は送信されません。

## ビット 5: パリティイネーブル (PE)

送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。

ビット 5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 \* PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

## ビット 4: パリティモード (O/E)

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。パリティの付加やチェックを禁止している場合には、O/E ビットの設定は無効です。

ビット 4	説明
O/E	
0	偶数パリティ* <sup>1</sup> (初期値)
1	奇数パリティ* <sup>2</sup>

【注】 \*<sup>1</sup> 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。  
受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

\*<sup>2</sup> 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。  
受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

## ビット 3: ストップビットレングス (STOP)

ストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。

ビット 3	説明
STOP	
0	1 ストップビット* <sup>1</sup> (初期値)
1	2 ストップビット* <sup>2</sup>

【注】 \*<sup>1</sup> 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。

\*<sup>2</sup> 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

## ビット 2: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 1, 0: クロックセレクト 1, 0 (CKS1, CKS0)

内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で Pck、Pck/4、Pck/16、Pck/64 の 4 種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「16.2.8 ビットレートレジスタ (SCBRR2)」を参照してください。

ビット 1	ビット 0	説 明
CKS1	CKS0	
0	0	Pck クロック (初期値)
	1	Pck/4 クロック
1	0	Pck/16 クロック
	1	Pck/64 クロック

【注】 Pck: 周辺クロック

## 16.2.6 シリアルコントロールレジスタ (SCSCR2)

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	REIE		CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

シリアルコントロールレジスタ (SCSCR2) は、SCIF の送信 / 受信動作、シリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR2 は、常に CPU による読み出し / 書き込みが可能です。

SCSCR2 は、パワーオンリセット、マニュアルリセット時に H'0000 に初期化されます。スタンバイモード、モジュールスタンバイ時には初期化されません。

ビット 15~8、2: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 7: トランスミットインタラプトイネーブル (TIE)

トランスミット FIFO データレジスタ (SCFTDR2) からトランスミットシフトレジスタ (SCTSR2) へシリアル送信データが転送され、送信 FIFO レジスタ内のデータ数が送信トリガ設定数以下になり、シリアルステータスレジスタ (SCFSR2) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンpty 割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット 7	説明
TIE	
0	送信 FIFO データエンpty 割り込み (TXI) 要求を禁止* (初期値)
1	送信 FIFO データエンpty 割り込み (TXI) 要求を許可

【注】 \* TXI の解除は、TDFE フラグの 1 を読み出した後、SCFTDR2 に送信トリガ設定数より多い送信データを書き込み、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

## ビット 6 : レシーブインタラプトイネーブル (RIE)

SCFSR2 の RDF フラグまたは DR フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、SCFSR2 の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、SCFSR2 の BRK フラグまたは SCLSR2 の ORER フラグが 1 にセットされたときのブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。

ビット 6	説 明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可

【注】 \* RXI 割り込み要求の解除は、RDF、DR フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、ER、BRK、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。

## ビット 5 : トランスミットイネーブル (TE)

SCIF のシリアル送信動作の開始を許可 / 禁止します。

ビット 5	説 明
TE	
0	送信動作を禁止 (初期値)
1	送信動作を許可*

【注】 \* この状態で、SCFTDR2 に送信データを書き込むとシリアル送信を開始します。  
 なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR2)、FIFO コントロールレジスタ (SCFCR2) の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。

## ビット 4 : レシーブイネーブル (RE)

SCIF のシリアル受信動作の開始を許可 / 禁止します。

ビット 4	説 明
RE	
0	受信動作を禁止* <sup>1</sup> (初期値)
1	受信動作を許可* <sup>2</sup>

【注】 \*<sup>1</sup> RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。

\*<sup>2</sup> この状態でスタートビットを検出すると、シリアル受信を開始します。  
 なお、RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR2)、FIFO コントロールレジスタ (SCFCR2) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。

## ビット 3 : レシーブエラーインタラプトイネーブル (REIE)

受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。

ビット 3	説 明
REIE	
0	受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を禁止* (初期値)
1	受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を許可

【注】 \* 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の解除は、ER、BRK、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMAC 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。

## ビット 1、0 : クロックイネーブル 1、0 (CKE1、CKE0)

SCIF のクロックソースの選択、および SCK2 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK2 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は、内部クロック動作 (CKE1=0) のときのみ有効です。外部クロック動作 (CKE1=1) の場合は CKE0 ビットの設定は無効です。また、SCSMR2 で SCIF の動作モードを決定する前に、必ず CKE1、CKE0 ビットの設定をしてください。

ビット 1	ビット 0	説 明
CKE1	CKE0	
0	0	内部クロック / SCK2 端子はポート (初期値)
0	1	内部クロック / SCK2 端子はクロック出力*1
1	0	外部クロック / SCK2 端子はクロック入力*2
1	1	外部クロック / SCK2 端子はクロック入力*2

【注】 \*1 ビットレートの 16 倍の周波数のクロックを出力

\*2 ビットレートの 16 倍の周波数のクロックを入力

## 16.2.7 シリアルステータスレジスタ (SCFSR2)

ビット:	15	14	13	12	11	10	9	8
	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	1	1	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】 \* フラグをクリアするために0のみ書き込むことができます。

シリアルステータスレジスタ (SCFSR2) は 16 ビット長のレジスタです。下位 8 ビットは、SCIF の動作状態を示すステータスフラグを、上位 8 ビットはレシーブ FIFO レジスタ内のデータの受信エラー数を示します。

SCFSR2 は常に CPU から読み出し / 書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出しておく必要があります。また、FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。

SCFSR2 は、パワーオンリセット、マニュアルリセット時に H'0060 に初期化されます。スタンバイモード、モジュールスタンバイ時には初期化されません。

## ビット 15～12：パリティエラー数 (PER3～0)

レシーブ FIFO データレジスタ (SCFRDR2) に格納されている受信データでパリティエラーの発生しているデータ数を示します。

SCFSR2 の ER ビットがセットされた後、ビット 15～12 で示される値がパリティエラー発生データ数を表示します。

SCFRDR2 の 16 バイトの受信データすべてがパリティエラーを伴う場合、PER3～PER0 は 0 を表示します。

## ビット 11～8：フレーミングエラー数 (FER3～0)

レシーブ FIFO データレジスタ (SCFRDR2) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。

SCFSR2 の ER ビットがセットされた後、ビット 11～8 で示される値がフレーミングエラーの発生しているデータ数を表示します。

SCFRDR2 の 16 バイトの受信データすべてがフレーミングエラーを伴う場合、FER3～FER0 は 0 を表示します。



## ビット 7: レシーブエラー (ER)

受信時にフレーミングエラー、パリティエラーが発生したことを示します\*<sup>1</sup>。

ビット 7	説明
ER	
0	受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示 (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット時 (2) ER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にフレーミングエラーまたはパリティエラーが発生したことを表示 [セット条件] (1) 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* <sup>2</sup> (2) 受信時の受信データとパリティビットを合わせた 1 の数がシリアルモードレジスタ (SCSMR2) の O/E ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき

【注】 \*<sup>1</sup> SCSCR2 の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR2 に転送され、受信動作を続けます。  
SCFRDR2 から読み出したデータに受信エラーがあるかどうかは、SCFSR2 の FER、PER ビットで判定できます。

\*<sup>2</sup> 2 ストップモードのときは 1 ビット目のストップビットが 1 であるかどうかのみを判定し 2 ストップビット目のストップビットはチェックしません。

## ビット 6: トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に SCFTDR2 に有効なデータがなく、送信を終了したことを示します。

ビット 6	説明
TEND	
0	送信中であることを表示 [クリア条件] (1) SCFTDR2 に送信データを書き込み、TEND = 1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき (2) DMAC で SCFTDR2 ヘータを書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) パワーオンリセット、マニュアルリセット時 (2) SCSCR2 の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に SCFTDR2 に送信データがないとき

## ビット 5: トランスミット FIFO データエンプティ (TDFE)

トランスミット FIFO データレジスタ (SCFTDR2) からトランスミットシフトレジスタ (SCTSR2) にデータ転送が行われ、SCFTDR2 内のデータ数が FIFO コントロールレジスタ (SCFCR2) の TTRG1、TTRG0 ビットで設定した送信トリガデータ数以下になり、SCFTDR2 に送信データを書き込むことが可能になったことを示します。

ビット 5	説明
TDFE	
0	SCFTDR2 に送信トリガ設定数より多い送信データが書き込まれていることを表示 [クリア条件] (1) TDFE = 1 の状態を読み出した後、SCFTDR2 に送信トリガ設定数を超える送信データを書き込み、0 を書き込んだとき (2) DMAC で SCFTDR2 に送信トリガ設定数を超えるデータを書き込んだとき
1	SCFTDR2 の送信データ数が送信トリガ設定数以下であることを表示 (初期値) [セット条件] (1) パワーオンリセット、マニュアルリセット時 (2) SCFTDR2 の送信データ数が送信動作によって送信トリガ設定数以下になったとき*

【注】 \* SCFTDR2 は 16 バイトの FIFO レジスタですので TDFE = 1 で書き込むことができる最大データ数は、16 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR2 内のデータ数は SCFTDR2 の上位ビットに示されます。

## ビット 4: ブレーク検出 (BRK)

受信データのブレーク信号を検出して示します。

ビット 4	説明
BRK	
0	ブレーク信号を受信していないことを表示 (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット時 (2) BRK = 1 の状態を読み出した後、0 を書き込んだとき
1	ブレーク信号を受信したことを表示* [セット条件] フレーミングエラーを伴うデータを受信したとき、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合

【注】 \* ブレーク検出すると受信データ (H'00) の SCFTDR2 転送は停止します。ブレークが終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。

## ビット 3 : フレーミングエラー表示 (FER)

次にレシーブ FIFO データレジスタ (SCFRDR2) から読み出すデータのフレーミングエラーがあったかどうかを表示します。

ビット 3	説 明
FER	
0	次に SCFRDR2 から読み出す受信データにフレーミングエラーがないことを表示 [クリア条件] (初期値) (1) パワーオンリセット、マニュアルリセット時 (2) SCFRDR2 読み出しデータにフレーミングエラーなし
1	次に SCFRDR2 から読み出す受信データにフレーミングエラーが発生していることを表示 [セット条件] SCFRDR2 読み出しデータにフレーミングエラーあり

## ビット 2 : パリティエラー表示 (PER)

次にレシーブ FIFO データレジスタ (SCFRDR2) から読み出すデータにパリティエラーがあったかどうかを表示します。

ビット 2	説 明
PER	
0	次に SCFRDR2 から読み出す受信データにパリティエラーがないことを表示 [クリア条件] (初期値) (1) パワーオンリセット、マニュアルリセット時 (2) SCFRDR2 読み出しデータにパリティエラーなし
1	次に SCFRDR2 から読み出す受信データにパリティエラーが発生していることを表示 [セット条件] SCFRDR2 読み出しデータにパリティエラーあり

## ビット 1 : レシーブ FIFO データフル (RDF)

受信したデータがレシーブシフトレジスタ (SCRSR2) からレシーブ FIFO データレジスタ (SCFRDR2) に転送され、SCFRDR2 内の受信データ数が、FIFO コントロールレジスタ (SCFCR2) の RTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。

ビット 1	説明
RDF	
0	SCFRDR2 内の受信データ数が受信トリガ設定数より少ないことを表示 [クリア条件] (初期値) (1) パワーオンリセット、マニュアルリセット時 (2) RDF=1 を読み出した後、SCFRDR2 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR2 を読み出し、0 を書き込んだとき (3) DMAC で SCFRDR2 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR2 を読み出したとき
1	SCFRDR2 内の受信データ数が受信トリガ設定数以上であることを表示 [セット条件] SCFRDR2 に受信トリガ設定数以上の受信データが格納されたとき*

【注】 \* SCFRDR2 は 16 バイトの FIFO レジスタです。RDF = 1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR2 が空の状態ではデータを読み出すと不定値が読み出されます。なお SCFRDR2 内の受信データ数は SCFRDR2 の下位ビットに示されます。

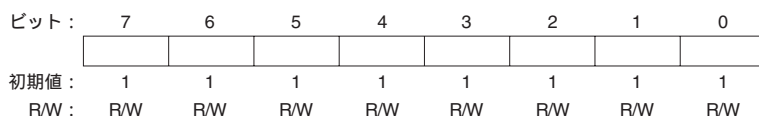
## ビット 0 : レシーブデータレディ (DR)

レシーブ FIFO データレジスタ (SCFRDR2) に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上、次のデータが来ないことを示します。

ビット 0	説明
DR	
0	受信中または正常に受信完了して SCFRDR2 に受信データが残っていないことを表示 [クリア条件] (初期値) (1) パワーオンリセット、マニュアルリセット時 (2) DR=1 を読み出した後、SCFRDR2 内の受信データをすべて読み出し、0 を書き込んだとき (3) DMAC で SCFRDR2 内の受信データをすべて読み出したとき
1	次の受信データが来ないことを表示 [セット条件] SCFRDR2 に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上次のデータが来ないとき*

【注】 \* 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。  
etu : Elementary Time Unit (1 ビットの転送期間)

## 16.2.8 ビットレートレジスタ (SCBRR2)



ビットレートレジスタ (SCBRR2) は、シリアルモードレジスタ (SCSMR2) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR2 は、常に CPU による読み出し / 書き込みが可能です。

SCBRR2 は、パワーオンリセット、マニュアルリセット時に H'FF に初期化されます。スタンバイモード、モジュールスタンバイ時には初期化されません。

SCBRR2 の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{Pck}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR2 の設定値 (0 N 255)

Pck : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、下表を参照してください)

n	クロック	SCSMR2 の設定値	
		CKS1	CKS0
0	Pck	0	0
1	Pck/4	0	1
2	Pck/16	1	0
3	Pck/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{Pck \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

## 16.2.9 FIFO コントロールレジスタ (SCFCR2)

ビット:	15	14	13	12	11	10	9	8
						RSTRG2	RSTRG1	RSTRG0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FIFO コントロールレジスタ (SCFCR2) は送信、受信各 FIFO レジスタのデータ数リセット、およびトリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR2 は、常に CPU による読み出し / 書き込みが可能です。

SCFCR2 は、パワーオンリセット、マニュアルリセット時に H'0000 に初期化されます。スタンバイモード、モジュールスタンバイ時には初期化されません。

ビット 15 ~ 11 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 10、ビット 9、ビット 8 :  $\overline{\text{RTS2}}$  出力アクティブトリガ (RSTRG2、1、0)

レシーブ FIFO データレジスタ (SCFRDR2) 内に格納された受信データ数が、下表に示すトリガ設定数以上になったとき、 $\overline{\text{RTS2}}$  信号にハイレベルを出力します。

ビット 10	ビット 9	ビット 8	RTS2 出力アクティブトリガ
RSTRG2	RSTRG1	RSTRG0	
0	0	0	15*
0	0	1	1
0	1	0	4
0	1	1	6
1	0	0	8
1	0	1	10
1	1	0	12
1	1	1	14

【注】 \* 初期値

ビット7、ビット6：レシーブ FIFO データ数トリガ (RTRG1、0)

シリアルステータスレジスタ (SCFSR2) のレシーブデータフル (RDF) フラグをセットする受信データ数を設定するビットです。

レシーブ FIFO データレジスタ (SCFRDR2) 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき RDF フラグをセットします。

ビット7	ビット6	受信トリガ数
RTRG1	RTRG0	
0	0	1*
0	1	4
1	0	8
1	1	14

【注】 \* 初期値

ビット5、ビット4：トランスミット FIFO データ数トリガ (TTRG1、0)

シリアルステータスレジスタ (SCFSR2) のトランスミット FIFO データレジスタエンプティ (TDFE) フラグをセットする残りの送信データ数を設定するビットです。

送信動作によりトランスミット FIFO データレジスタ (SCFTDR2) 内の送信データ数が、下表に示すトリガ設定数以下になったとき、TDFE フラグをセットします。

ビット5	ビット4	送信トリガ数
TTRG1	TTRG0	
0	0	8 (8) *
0	1	4 (12)
1	0	2 (14)
1	1	1 (15)

【注】 ( ) 内の値はフラグ発生時の SCFTDR2 の空き数を示します。

\* 初期値

ビット3：モデムコントロールイネーブル (MCE)

モデムコントロール信号  $\overline{\text{CTS2}}$ 、 $\overline{\text{RTS2}}$  を有効にします。

ビット3	説明
MCE	
0	モデム信号を無効* (初期値)
1	モデム信号を有効

【注】 \*  $\overline{\text{CTS2}}$  は入力値にかかわらず 0 アクティブに、 $\overline{\text{RTS2}}$  出力も 0 に固定します。

## ビット 2: トランスミット FIFO データレジスタリセット (TFRST)

トランスミット FIFO データレジスタ内の送信データを無効とし、空の状態にリセットします。

ビット 2	説 明	
TFRST		
0	リセット動作を禁止*	(初期値)
1	リセット動作を許可	

【注】 \* パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。

## ビット 1: レシーブ FIFO データレジスタリセット (RFRST)

レシーブ FIFO データレジスタ内の受信データを無効とし、空の状態にリセットします。

ビット 1	説 明	
RFRST		
0	リセット動作を禁止*	(初期値)
1	リセット動作を許可	

【注】 \* パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。

## ビット 0: ループバックテスト (LOOP)

送信出力端子 (TxD2) と受信入力端子 (RxD2)、RTS2 端子と CTS2 端子を内部で接続し、ループバックテストを可能にします。

ビット 0	説 明	
LOOP		
0	ループバックテストを禁止	(初期値)
1	ループバックテストを許可	



### 16.2.10 FIFO データ数レジスタ (SCFDR2)

トランスミット FIFO データレジスタ (SCFTDR2) および、レシーブ FIFO データレジスタ (SCFRDR2) 内に格納されているデータ数を示す 16 ビット長のレジスタです。

上位 8 ビットで SCFTDR2 内の送信データ数を、下位 8 ビットで SCFRDR2 内の受信データ数を示します。

SCFDR2 は常に CPU から読み出しができます。

ビット:	15	14	13	12	11	10	9	8
				T4	T3	T2	T1	T0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

SCFTDR2 内に格納されている未送信のデータ数を示します。

H'00 は送信データがないことを、H'10 は SCFTDR2 にいっぱい送信データが格納されていることを示します。

ビット:	7	6	5	4	3	2	1	0
				R4	R3	R2	R1	R0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

SCFRDR2 内に格納されている受信データ数を示します。

H'00 は受信データがないことを、H'10 は SCFRDR2 にいっぱい受信データが格納されていることを示します。

## 16.2.11 シリアルポートレジスタ (SCSPTR2)

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	RTSIO	RTS2DT	CTSIO	CTS2DT	SCKIO	SCK2DT	SPB2IO	SPB2DT
初期値:	0		0		0		0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルポートレジスタ (SCSPTR2) は、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって Rx/D2 端子から入力データを読み出し、Tx/D2 端子へ出力データを書き込むことができ、シリアル送受信のブレイクを制御します。またビット 3 およびビット 2 で、SCK2 端子に対してデータの読み込みおよび出力データを書き込むことができます。またビット 5 およびビット 4 で、 $\overline{\text{CTS2}}$  端子に対してデータの読み込みおよび出力データを書き込むことができます。またビット 7 およびビット 6 で  $\overline{\text{RTS2}}$  端子に対してデータの読み込みおよび出力データを書き込むことができます。

SCSPTR2 レジスタは、16 ビットで、常に CPU による読み出し / 書き込みが可能です。パワーオンリセット、マニュアルリセット時にビット 6、4、2、0 を除いたすべてのビットが 0 に初期化されます。ビット 6、4、2、0 は、不定です。スタンバイモード、モジュールスタンバイ時には初期化されません。

## ビット 15~8: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 7: シリアルポート RTS ポート入出力 (RTSIO)

シリアルポートの  $\overline{\text{RTS2}}$  端子の入出力を指定します。実際に  $\overline{\text{RTS2}}$  端子をポート出力端子として RTS2DT ビットで設定した値を出力する場合は、SCFCR2 の MCE ビットを 0 に設定してください。

ビット 7	説明	
RTSIO		
0	RTS2 端子に RTS2DT ビットの値を出力しないことを示します	(初期値)
1	RTS2 端子に RTS2DT ビットの値を出力することを示します	

## ビット 6 : シリアルポート RTS ポートデータ (RTSDT)

シリアルポートの  $\overline{\text{RTS2}}$  端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します (詳細はビット 7 : RTSIO の説明参照)。出力の場合、RTSDT ビットの値が  $\overline{\text{RTS2}}$  端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは  $\overline{\text{RTS2}}$  端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 6	説明
RTSDT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

## ビット 5 : シリアルポート CTS ポート入出力 (CTSIO)

シリアルポートの  $\overline{\text{CTS2}}$  端子の入出力を指定します。実際に  $\overline{\text{CTS2}}$  端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR2 の MCE ビットを 0 に設定してください。

ビット 5	説明
CTSIO	
0	$\overline{\text{CTS2}}$ 端子に CTSDT ビットの値を出力しないことを示します (初期値)
1	$\overline{\text{CTS2}}$ 端子に CTSDT ビットの値を出力することを示します

## ビット 4 : シリアルポート CTS ポートデータ (CTS DT)

シリアルポートの  $\overline{\text{CTS2}}$  端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します (詳細はビット 5 : CTSIO の説明参照)。出力の場合、CTS DT ビットの値が  $\overline{\text{CTS2}}$  端子に出力されます。CTSIO ビットの値にかかわらず、CTS DT ビットからは  $\overline{\text{CTS2}}$  端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 4	説明
CTS DT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

## ビット 3 : シリアルポートクロックポート入出力 (SCKIO)

シリアルポートの SCK2 端子の入出力を指定します。実際に SCK2 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR2 レジスタの CKE1、CKE0 ビットを 0 に設定してください。

ビット 3	説明
SCKIO	
0	SCK2 端子に SCKDT ビットの値を出力しないことを示します (初期値)
1	SCK2 端子に SCKDT ビットの値を出力することを示します

## ビット 2 : シリアルポートクロックポートデータ (SCKDT)

シリアルポートの SCK2 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します (詳細はビット 3 : SCKIO の説明参照)。出力の場合、SCKDT ビットの値が SCK2 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK2 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 2	説 明
SCKDT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

## ビット 1 : シリアルポートブレイク入出力 (SPB2IO)

シリアルポートの TxD2 端子の出力条件を指定します。実際に TxD2 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR2 の TE ビットを 0 に設定してください。

ビット 1	説 明
SPB2IO	
0	TxD2 端子に SPB2DT ビットの値を出力しないことを示します (初期値)
1	TxD2 端子に SPB2DT ビットの値を出力することを示します

## ビット 0 : シリアルポートブレイクデータ (SPB2DT)

シリアルポートの RxD2 端子の入力データおよび TxD2 端子の出力データを指定します。TxD2 端子の出力条件は SPB2IO ビットで指定します (詳細はビット 1 : SPB2IO の説明参照)。TxD2 端子を出力に設定した場合、SPB2DT ビットの値が TxD2 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは RxD2 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 0	説 明
SPB2DT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

SCIF の I/O ポートのブロック図を図 16.2 ~ 図 16.5 に示します

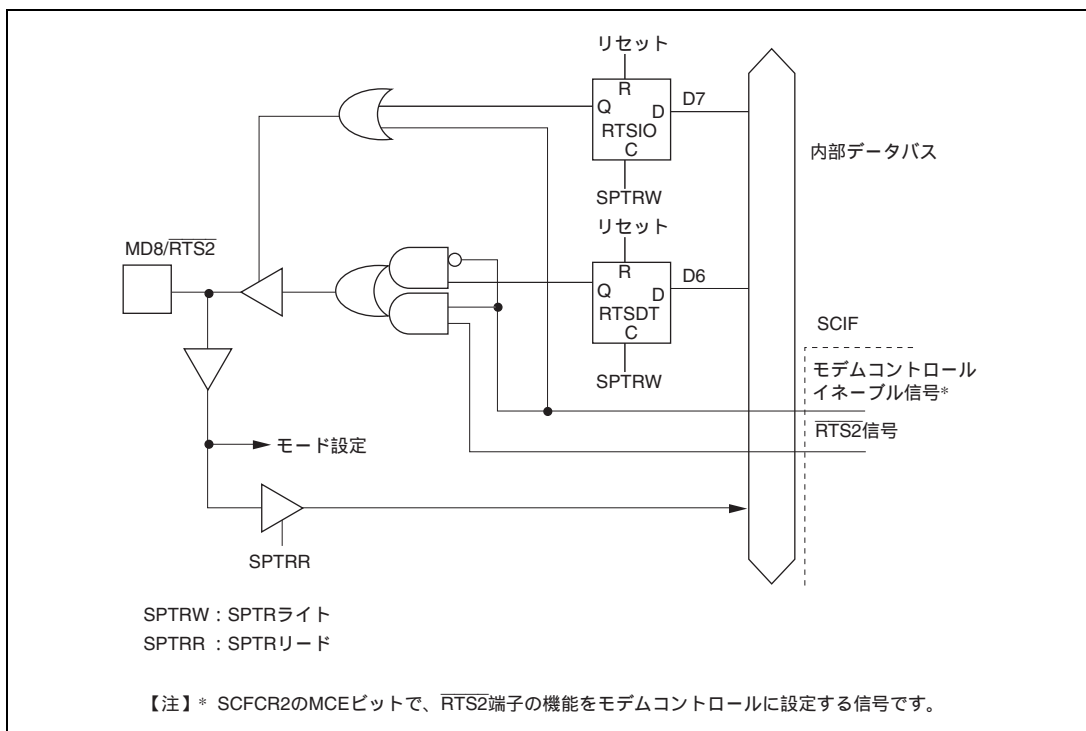


図 16.2 MD8/RTS2 端子

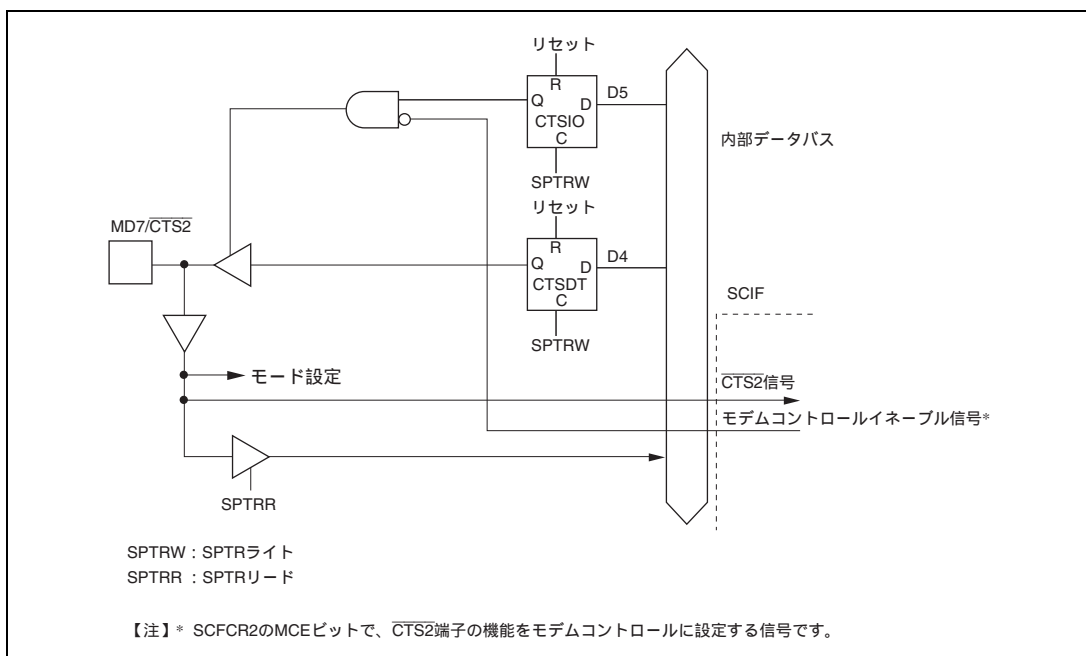


図 16.3 MD7/CTS2 端子

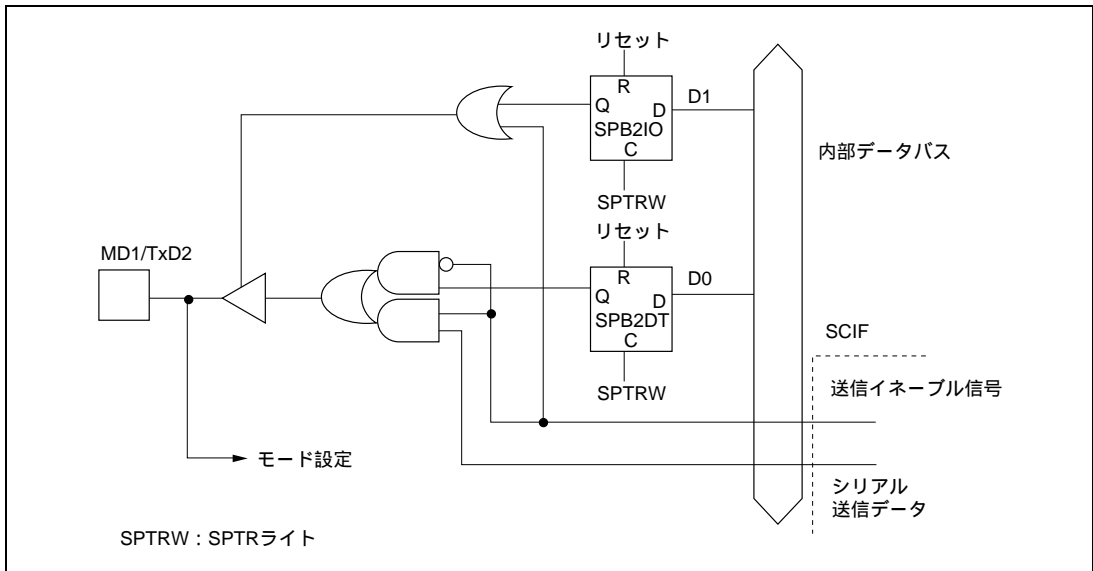


図 16.4 MD1/TxD2 端子

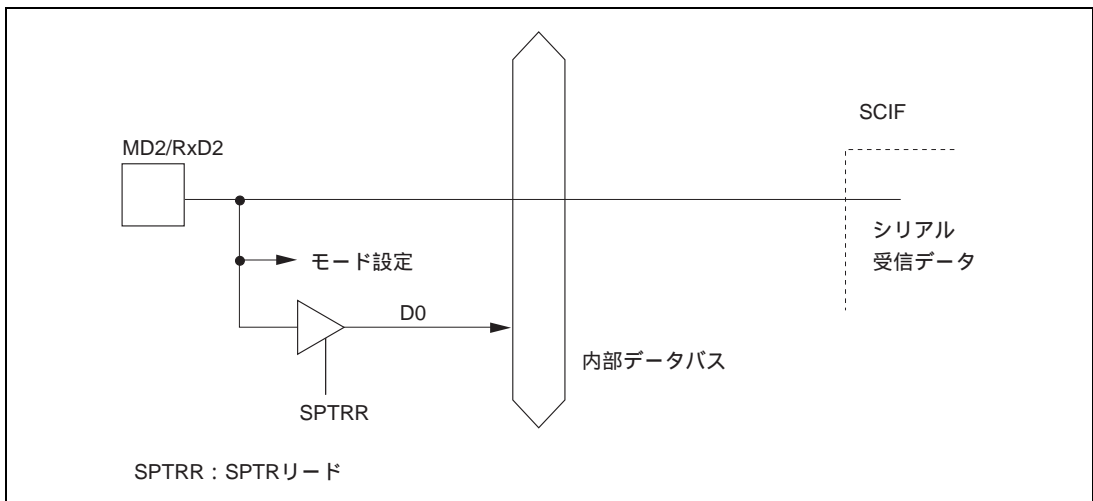


図 16.5 MD2/RxD2 端子

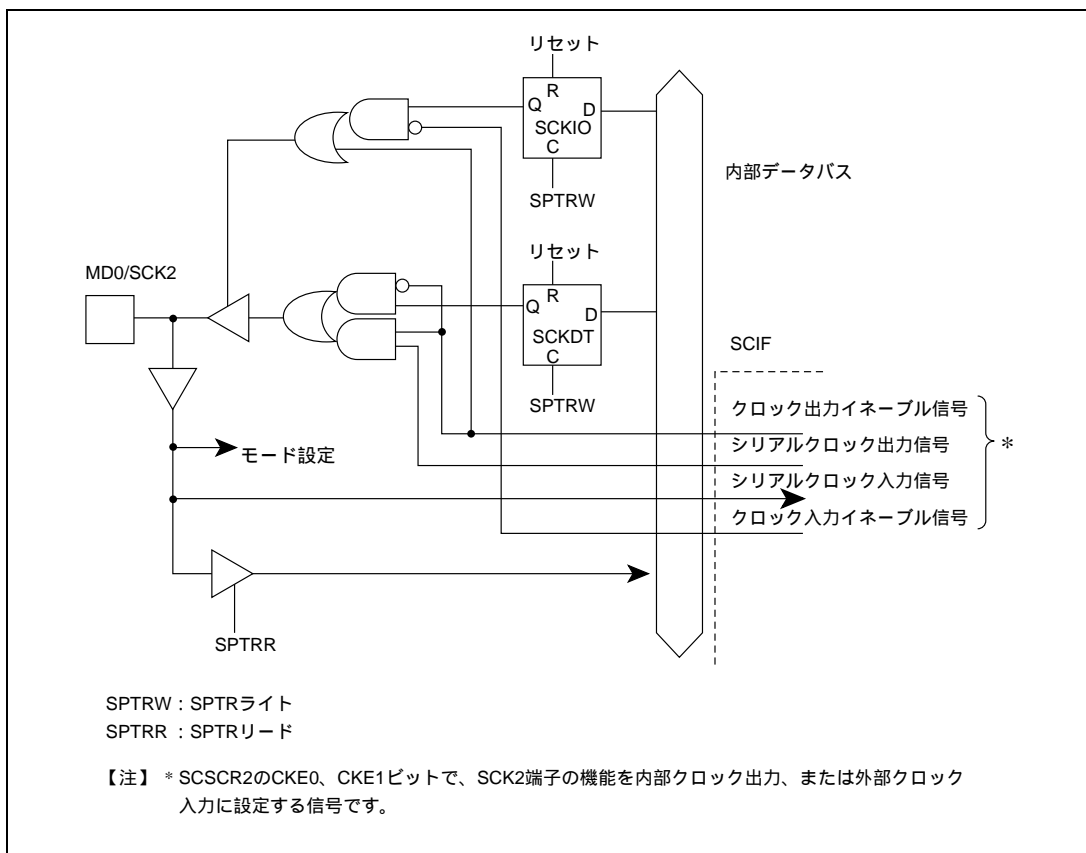


図 16.6 MD0/SCK2 端子

## 16.2.12 ラインステータスレジスタ (SCLSR2)

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
								ORER
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	(R/W)*

【注】 \* フラグをクリアするために0のみ書き込むことができます。

## ビット 15~1: 予約ビット

読み出しは常に0です。書き込む値も常に0にしてください。

## ビット 0: オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット 0	説明
ORER	
0	受信中、または正常に受信を完了したことを表示* <sup>1</sup> (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット時 (2) ORER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にオーバランエラーが発生したことを表示* <sup>2</sup> [セット条件] 受信 FIFO フルの状態で次のシリアル受信を完了したとき

【注】 \*<sup>1</sup> SCSER2 の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

\*<sup>2</sup> SCFRDR2 ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。



## 16.3 動作説明

### 16.3.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードで、シリアル通信ができます。調歩同期式モードの動作については「15.3.2 調歩同期式モード時の動作」を参照してください。

送受信各々に 16 段の FIFO バッファを内蔵しており、CPU のオーバーヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号として  $\overline{\text{RTS2}}$ 、 $\overline{\text{CTS2}}$  信号を内蔵しています。

送受信フォーマットの選択は、シリアルモードレジスタ (SCSMR2) で行います。これを表 16.3 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR2) の CKE1 で決まります。これを表 16.4 に示します。

- データ長：7ビット/8ビットから選択可能
- パリティの付加および1ビット/2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、レシーブFIFOデータフル、オーバランエラー、レシーブデータレディ、およびブレイクの検出が可能
- 送受信FIFOレジスタ各々の格納データ数を表示
- SCIFのクロックソース：内部クロック/外部クロックから選択可能
  - 内部クロックを選択した場合：
 

SCIFはボーレートジェネレータのクロックで動作し、ビットレートの16倍の周波数のクロックを出力することが可能
  - 外部クロックを選択した場合：
 

ビットレートの16倍の周波数のクロックを入力することが必要  
(内蔵ボーレートジェネレータを使用しない)

表 16.3 SCSMR2 の設定値とシリアル送信 / 受信フォーマット

SCSMR2 の設定値			モード	SCIF の送信 / 受信フォーマット			
ビット 6	ビット 5	ビット 3		データ長	マルチ プロセスビット	パリティ ビット	ストップ ビット長
CHR	PE	STOP					
0	0	0	調歩同期式 モード	8ビットデ ータ	なし	なし	1ビット
		1					2ビット
	1	0				あり	1ビット
		1					2ビット
1	0	0		7ビットデ ータ	なし	なし	1ビット
		1					2ビット
	1	0				あり	1ビット
		1					2ビット

表 16.4 SCSCR2 の設定と SCIF のクロックソースの選択

SCSCR2 の設定		モード	SCIF の送信 / 受信クロック	
ビット 1	ビット 0		クロックソース	SCK2 端子の機能
CKE1	CKE0	モード	クロックソース	SCK2 端子の機能
0	0	調歩同期式 モード	内部	SCIF は、SCK2 端子を使用しません
	1			ビットレートの 16 倍の周波数のクロックを出力
1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
	1			

### 16.3.2 シリアル動作

#### (1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 16.5 に示します。

送信 / 受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR2) の設定により選択できます。

表 16.5 シリアル送信 / 受信フォーマット

SCSMR2 の設定			シリアル送信 / 受信フォーマットとフレーム長													
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	S	8 ビットデータ								STOP				
0	0	1	S	8 ビットデータ								STOP		STOP		
0	1	0	S	8 ビットデータ								P	STOP			
0	1	1	S	8 ビットデータ								P	STOP		STOP	
1	0	0	S	7 ビットデータ							STOP					
1	0	1	S	7 ビットデータ							STOP		STOP			
1	1	0	S	7 ビットデータ							P	STOP				
1	1	1	S	7 ビットデータ							P	STOP		STOP		

<記号説明>

S : スタートビット

STOP : ストップビット

P : パリティビット

## (2) クロック

SCIF の送受信クロックは、シリアルコントロールレジスタ (SCSCR2) の CKE1 ビットの設定により、内蔵ボレーレートジェネレータの生成した内部クロックまたは、SCK2 端子から入力された外部クロックの 2 種類から選択できます。SCIF のクロックソースの選択については表 16.4 を参照してください。

外部クロックを SCK2 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK2 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16 倍です。

## (3) データの送信 / 受信動作

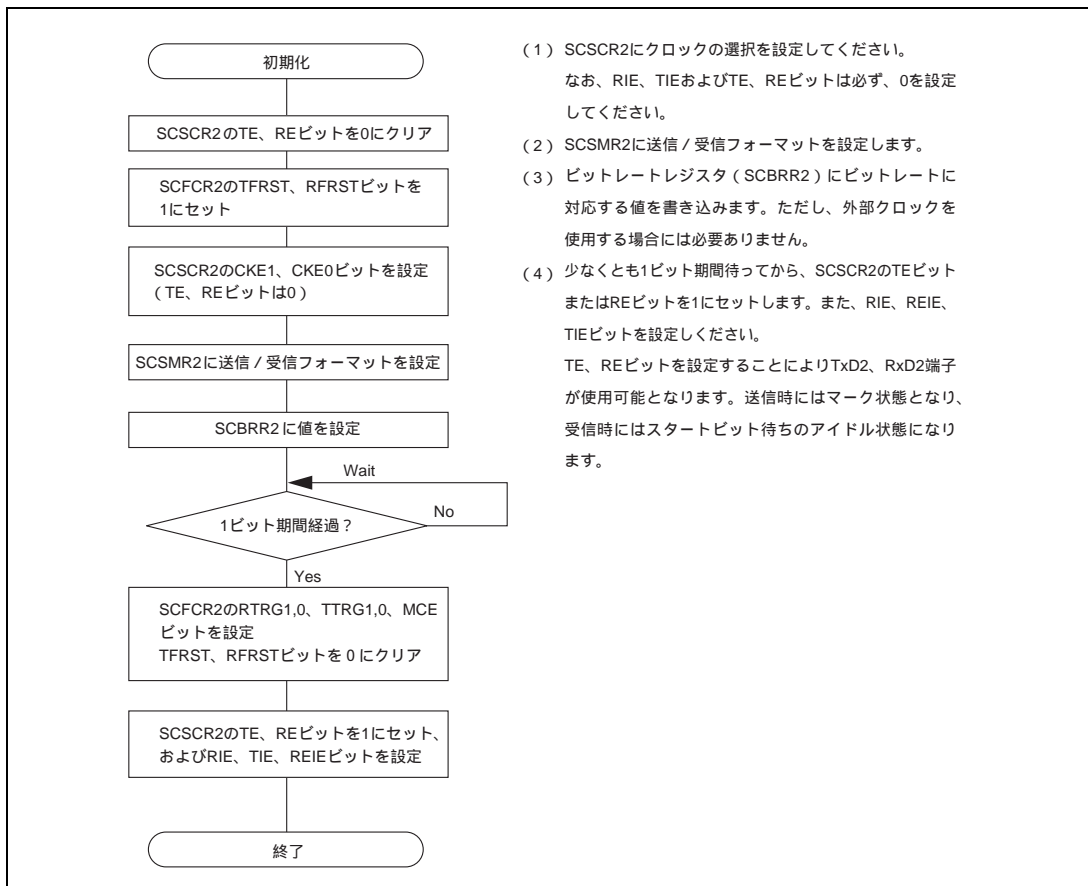
### • SCIFの初期化

データの送信 / 受信前には、まず SCSCR2 の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCIF を初期化してください。

通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると、トランスミットシフトレジスタ (SCTSR2) が初期化されます。TE、RE ビットを 0 にクリアしても、シリアルステータスレジスタ (SCFSR2)、トランスミット FIFO データレジスタ (SCFTDR2) および、レシーブ FIFO データレジスタ (SCFRDR2) の内容は保持されますので注意してください。TE ビットの 0 クリアは、送信データをすべて送信し SCFSR2 の TEND フラグがセットされた後に行ってください。送信中でも 0 クリア可能ですが、送信中のデータは 0 クリア後、マーク状態になります。また再度 TE ビットを 1 にセットして送信開始する前に SCFCR2 の TFRST ビットをいったん 1 にセットして SCFTDR2 をリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 16.7 に SCIF の初期化フローチャートの例を示します。



- (1) SCSCR2にクロックの選択を設定してください。  
なお、RIE、TIEおよびTE、REビットは必ず、0を設定してください。
- (2) SCSMR2に送信/受信フォーマットを設定します。
- (3) ビットレートレジスタ (SCBRR2) にビットレートに対応する値を書き込みます。ただし、外部クロックを使用する場合には必要ありません。
- (4) 少なくとも1ビット期間待ってから、SCSCR2のTEビットまたはREビットを1にセットします。また、RIE、REIE、TIEビットを設定してください。  
TE、REビットを設定することによりTxD2、RxD2端子が使用可能となります。送信時にはマーク状態となり、受信時にはスタートビット待ちのアイドル状態になります。

図 16.7 SCIF の初期化フローチャートの例

- シリアルデータ送信

図16.8にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFを送信動作可能状態に設定した後、以下の手順を参考に行ってください。

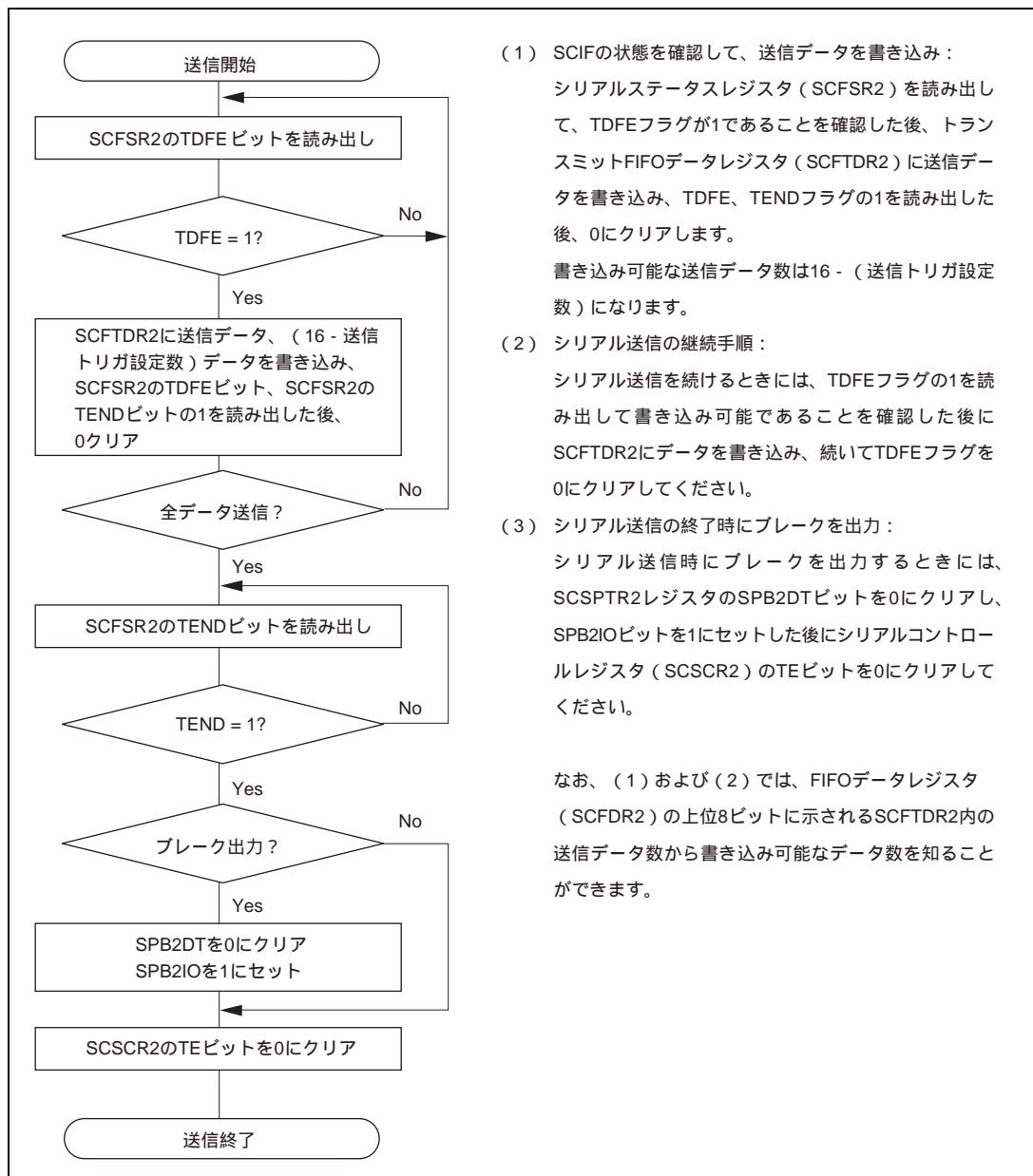


図 16.8 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、トランスミットFIFOデータレジスタ (SCFTDR2) にデータが書き込まれると、SCFTDR2からトランスミットシフトレジスタ (SCTSR2) にデータを転送し、送信を開始します。SCFTDR2にはシリアルステータスレジスタ (SCFSR2) のTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも16 - (送信トリガ設定数) です。
2. SCFTDR2からSCTSR2へデータが転送され、送信を開始すると、SCFTDR2に送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR2内の送信データ数がFIFOコントロールレジスタ (SCFCR2) で設定した送信トリガ数以下になったとき、TDFEフラグをセットします。

このとき、シリアルコントロールレジスタ (SCSCR2) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順にTxD2端子から送り出されます。

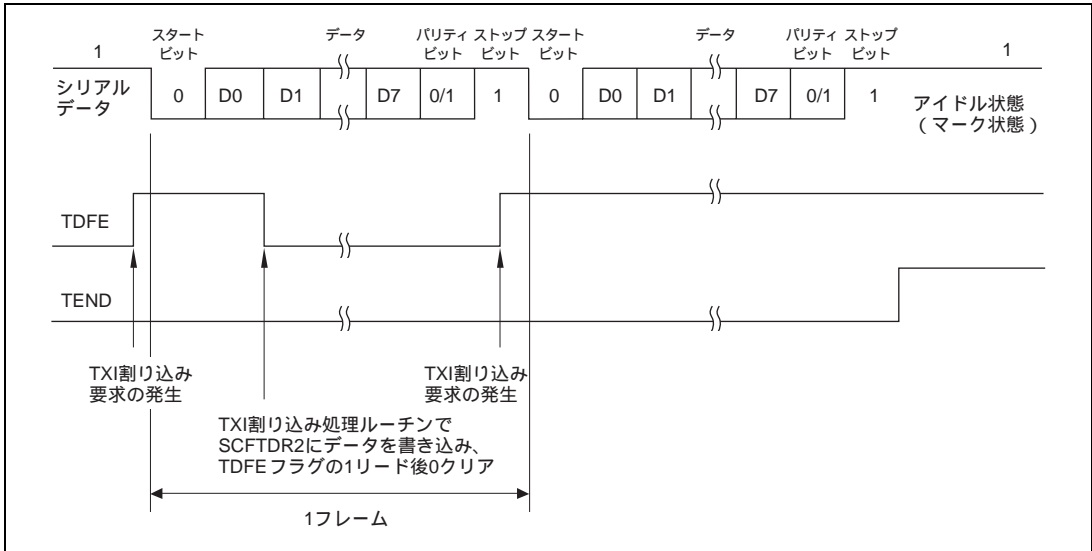
- (a) スタートビット：1ビットの0が出力されます。
  - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
  - (c) パリティビット (偶数パリティ、または奇数パリティ) が出力されます。
- なお、パリティビットを出力しないフォーマットも選択できます。
- (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
  - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。

3. SCIFは、ストップビットを送出するタイミングでSCFTDR2の送信データをチェックします。

データがあるとSCFTDR2からSCTSR2にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

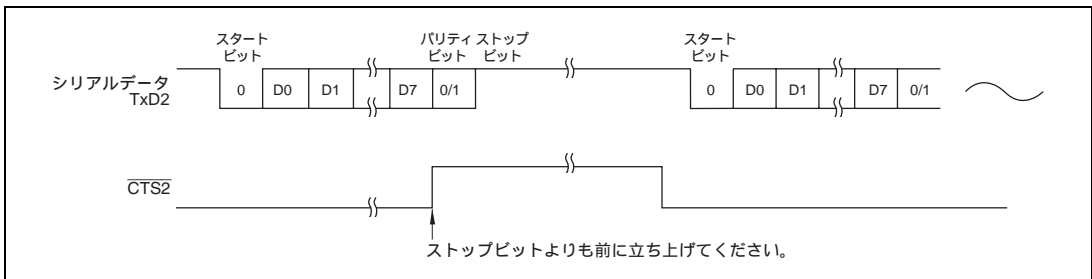
送信データがないとシリアルステータスレジスタ (SCFSR2) のTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図 16.9 に示します。



4. モデムコントロールイネーブル時は  $\overline{\text{CTS2}}$  入力値によって送信動作を停止 / 再開することができます。  $\overline{\text{CTS2}}$  が 1 になると現在送信中のときは 1 フレーム送信終了後マーク状態になります。  $\overline{\text{CTS2}}$  を 0 にすると再びスタートビットから次の送信データを出力します。

モデムコントロール時の動作例を図 16.10 に示します。



- シリアルデータ受信

図16.11にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、以下の手順に従って行ってください。

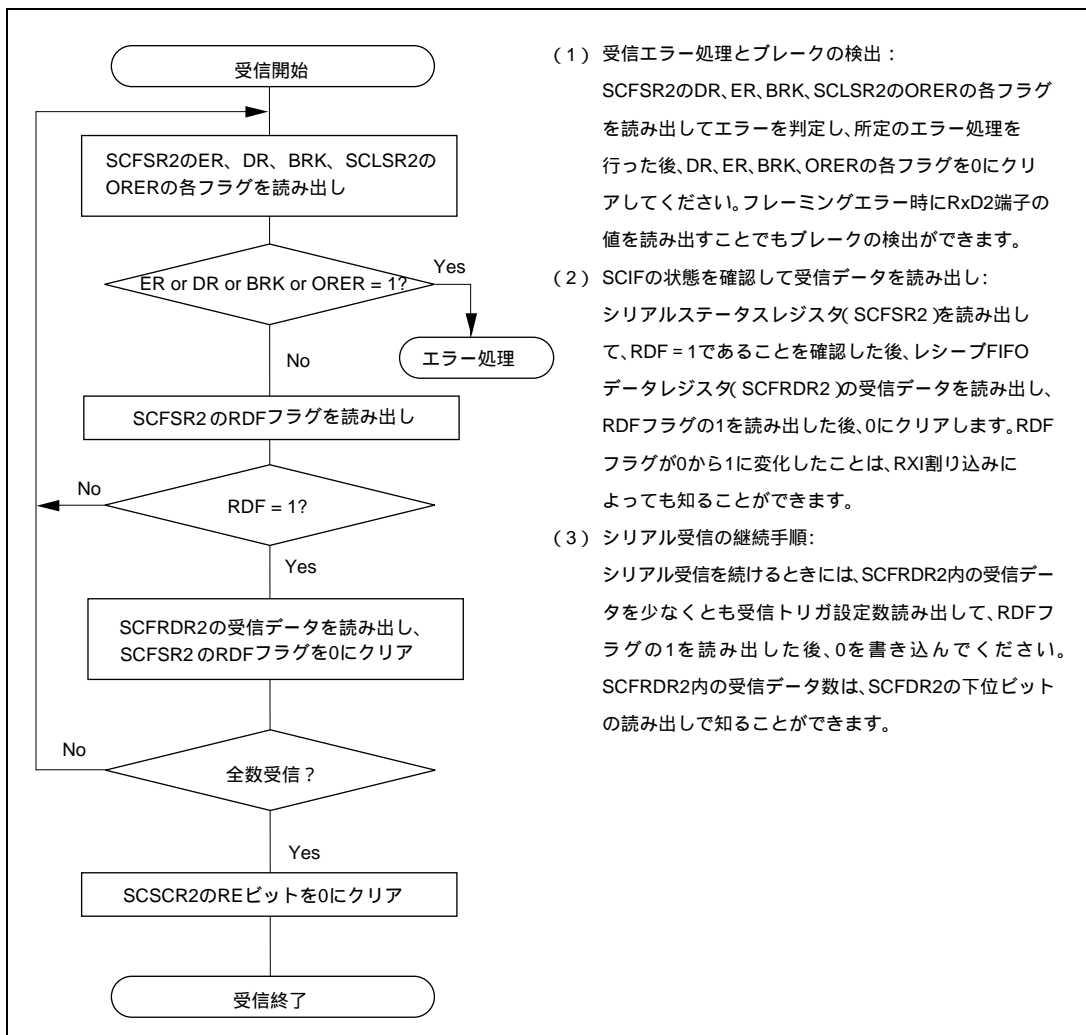


図 16.11 シリアル受信のフローチャートの例 (1)



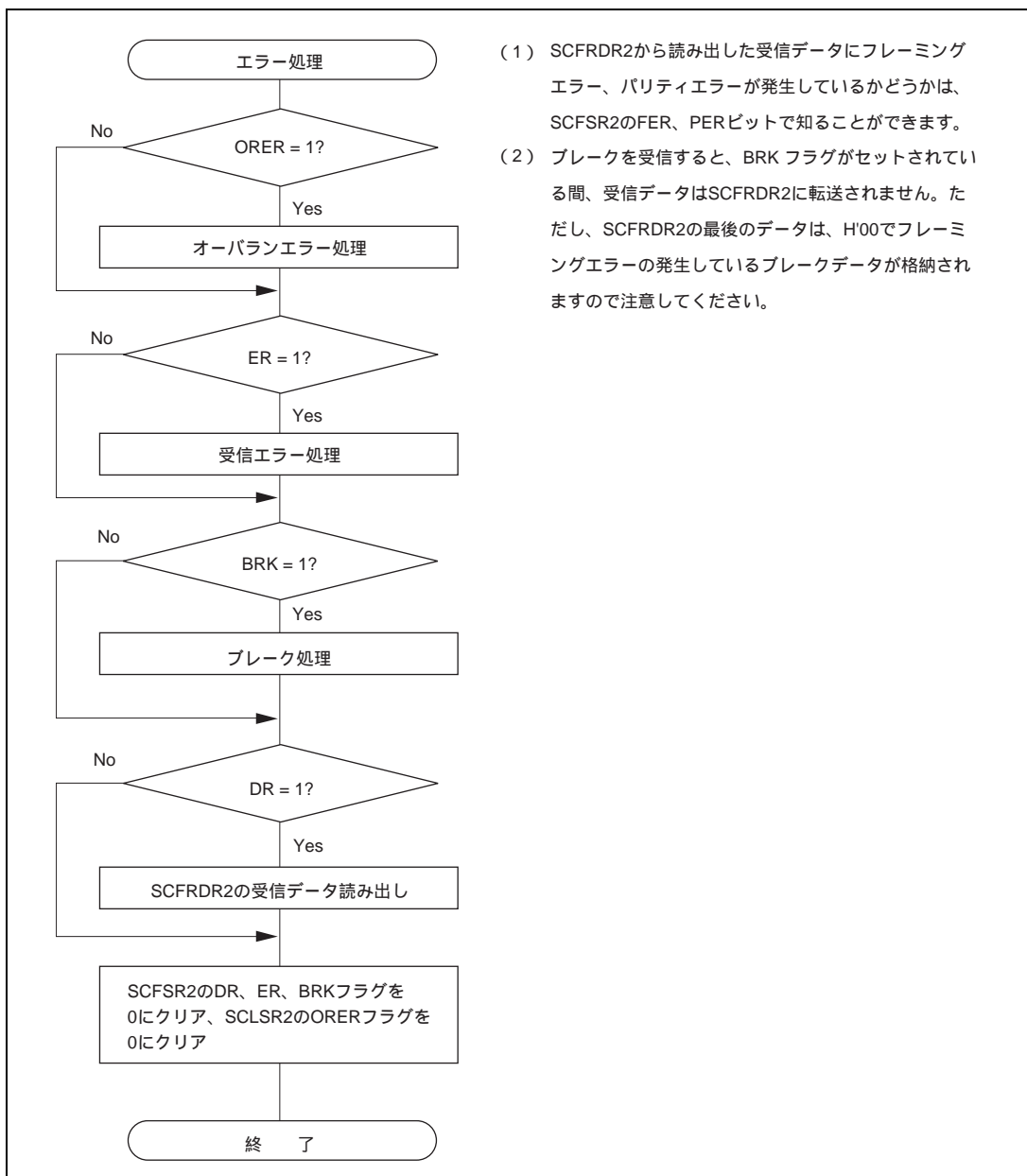


図 16.11 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSR2のLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。  
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
  - (b) 受信データをレシープシフトレジスタ (SCRSR2) からSCFRDR2に転送できる状態であるかをチェックします。
  - (c) オーバランエラーチェック：ORERフラグが0であり、オーバランエラーが発生していないことをチェックします。
  - (d) ブレークチェック：BRKフラグが0であり、ブレーク状態でないことをチェックします。
- (b) (c) (d) のチェックがパスしたとき、SCFRDR2に受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFフラグまたはDRフラグが1になったとき、SCSCR2のRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求が発生します。

また、ERフラグが1になったとき、SCSCR2のRIEビットまたはREIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

さらに、BRKフラグまたはORERフラグが1になったとき、SCSCR2のRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図 16.12 に示します。

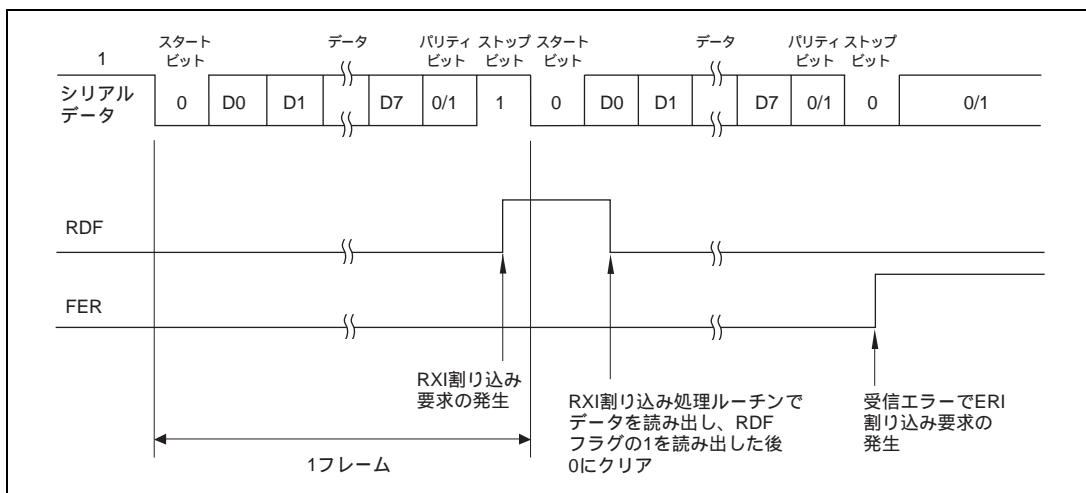


図 16.12 SCIF の受信時の動作例  
(8 ビットデータ / パリティあり / 1 ストップビットの例)

5. モデムコントロールイネーブル時は、SCFRDR2の空き状況によって $\overline{\text{RTS2}}$ 信号を出力します。

$\overline{\text{RTS2}}$ が0のときは受信可能状態です。

$\overline{\text{RTS2}}$ が1のときはSCFRDR2内のデータ数が、 $\overline{\text{RTS2}}$ 出力アクティブトリガ設定数以上であることを示します。  
 $\overline{\text{RTS2}}$ 出力アクティブトリガ値は、「16.2.9 FIFOコントロールレジスタ (SCFCR2)」のビット10~8で指定します。

また、SCSCR2のビット4 (RE) が0のときも $\overline{\text{RTS2}}$ が1になります。

モデムコントロール時の動作例を図16.13に示します。

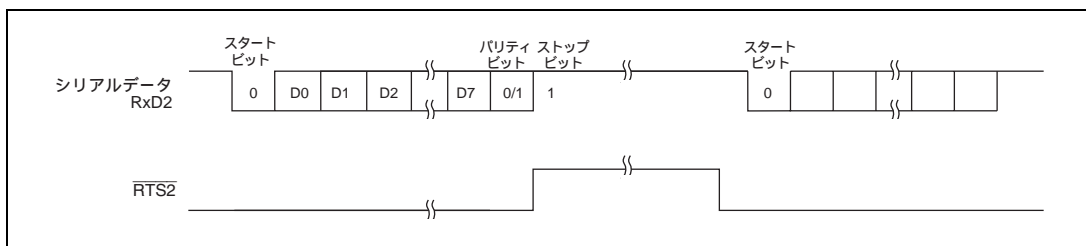


図 16.13 モデムコントロール ( $\overline{\text{RTS2}}$ ) の動作例

## 16.4 SCIF 割り込み要因と DMAC

SCIF は、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブレーク割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 16.6 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR2 の TIE、RIE、REIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

DMAC を使って送受信を行う場合は、SCSCR2 の RIE ビットを 0 に設定することにより、割り込みコントローラに割り込み要求を出さない設定にできます。この状態で REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求と BRI 割り込み要求だけを出すことができます。

SCFSR2 の TDFE フラグが 1 にセットされると、割り込み要求とは別に送信 FIFO データエンプティ要求が発生します。送信 FIFO データエンプティ要求で、DMAC を起動してデータ転送を行うことができます。

SCFSR2 の RDF フラグまたは DR フラグが 1 にセットされると、割り込み要求とは別に受信 FIFO データフル要求が発生します。受信 FIFO データフル要求で、DMAC を起動してデータ転送を行うことができます。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。DMAC の設定方法は「第 14 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

さらに、SCFSR2 の BRK フラグまたは SCLSR2 の ORER フラグが 1 にセットされると、BRI 割り込み要求が発生します。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは受信データが SCFRDR2 にあることを示しています。

表 16.6 SCIF 割り込み要因

割り込み要因	内容	DMAC の起動	リセット解除時の優先順位
ERI	受信エラー (ER) による割り込み	不可	高 ↑ ↓ 低
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可	
BRI	ブレーク (BRK) またはオーバランエラー (ORER) による割り込み	不可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	可	

優先順位、SCIF 以外の割り込みとの関係は、「第 5 章 例外処理」を参照してください。

## 16.5 使用上の注意

SCIF を使用する際は、以下のことに注意してください。

### (1) SCFTDR2 への書き込みと TDFE フラグについて

シリアルステータスレジスタ (SCFSR2) の TDFE フラグはトランスミット FIFO データレジスタ (SCFTDR2) 内に書き込んだ送信データ数が、FIFO コントロールレジスタ (SCFCR2) の TTRG1、0 ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされた後、SCFTDR2 の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし TDFE フラグは SCFTDR2 に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR2 に格納されたときに行ってください。

SCFTDR2 内の送信データ数は FIFO データ数レジスタ (SCFDR2) の上位 8 ビットで知ることができます。

### (2) SCFRDR2 の読み出しと RDF フラグについて

シリアルステータスレジスタ (SCFSR2) の RDF フラグは、レシーブ FIFO データレジスタ (SCFRDR2) 内の受信データ数が FIFO コントロールレジスタ (SCFCR2) の RTRG1、0 ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされた後、SCFRDR2 からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR2 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、すべての受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR2 内の受信データ数は FIFO データ数レジスタ (SCFDR2) の下位 8 ビットで知ることができます。

### (3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD2 端子の値を直接読み出すことによっても、ブレークを検出できます。ブレークでは、RxD2 端子からの入力が入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR2 への受信データの転送は停止しますが、受信動作は続けています。

### (4) ブレークの送り出し

TxD2 端子は、シリアルポートレジスタ (SCSPTR2) の SPB2IO、SPB2DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TxD2 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替えされます。このため、最初は SPB2IO と SPB2DT ビットを 1 に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは SPB2DT ビットを 0 (ローレベル) にクリアした後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD2 端子からは 0 が出力されます。

## (5) 受信データサンプリングタイミングと受信マージン

SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCIF は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 16.14 に示します。

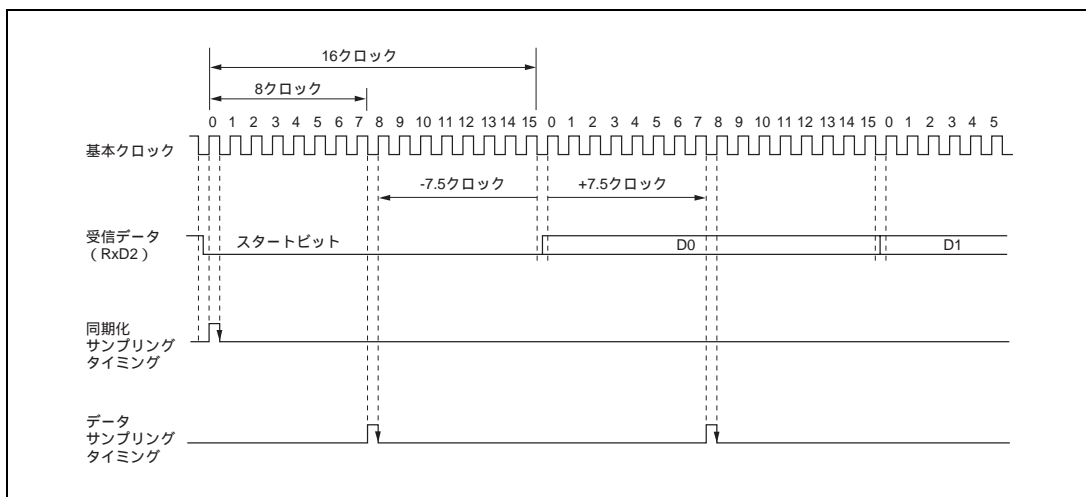


図 16.14 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \text{式 (1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F=0 のとき

$$M = (0.5 - 1/(2 \times 16)) \times 100\%$$

$$= 46.875\%$$

.....式 (2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(6) DMAC 使用時

DMAC を使って送受信を行う場合は、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出す設定にした場合でも、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

(7) シリアルポート

シリアルポートを使用して SCIF 端子の値を読み出す場合、周辺クロックの 2 サイクル前の値を読み出しますので注意してください。





---

## 17. スマートカードインタフェース

---

### 17.1 概要

シリアルコミュニケーションインタフェース (SCI) の拡張機能として、ISO/IEC7816-3 (Identification Card) の IC カード (スマートカード) インタフェースのサブセットもサポートしています。

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。

#### 17.1.1 特長

スマートカードインタフェースには次の特長があります。

- 調歩同期式モード
  - データ長 : 8ビット
  - パリティビットの生成およびチェック
  - 受信モードにおけるエラーシグナル (パリティエラー) の送出
  - 送信モードにおけるエラーシグナルの検出とデータの自動再送信
  - ダイレクトコンベンション / インバースコンベンションの両方をサポート
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 3種類の割り込み要因

送信データエンプティ、受信データフル、送受信エラーの3種類の割り込み要因があり、それぞれ独立に要求することができます。

送信データエンプティ要求と受信データフル要求により、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。

### 17.1.2 ブロック図

スマートカードインタフェースのブロック図を図 17.1 に示します。

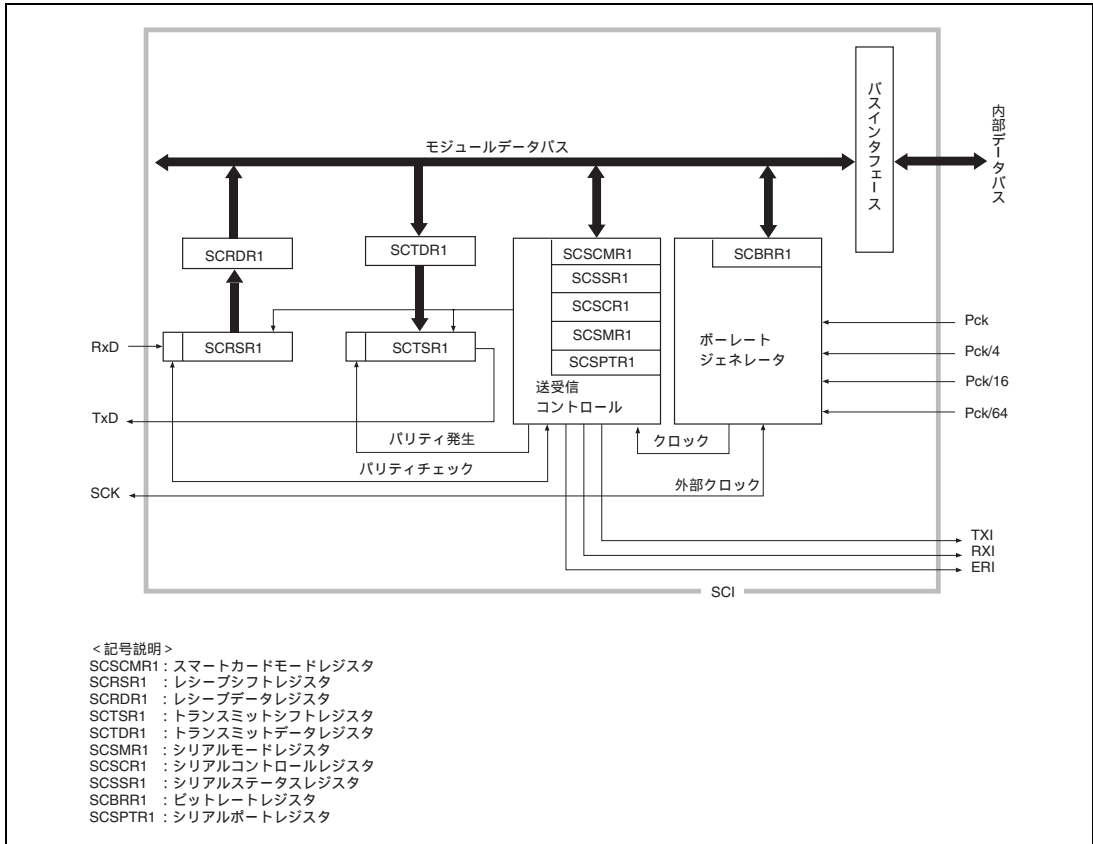


図 17.1 スマートカードインタフェース

### 17.1.3 端子構成

スマートカードインタフェースの端子構成を表 17.1 に示します。

表 17.1 端子構成

名称	略称	入出力	機能
シリアルクロック端子	SCK	入出力	クロック入出力
レシーブデータ端子	RxD	入力	受信データ入力
トランスミットデータ端子	TxD	出力	送信データ出力

### 17.1.4 レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を表 17.2 に示します。SCBRR1、SCTDR1、SCRDR1、SCSPTR1 については、通常の SCI の機能と同様ですので、「第 15 章 シリアルコミュニケーションインタフェース (SCI)」のレジスタの説明を参照してください。

スマートカードインタフェース用のレジスタはシリアルポートレジスタを除き、パワーオンリセット、マニュアルリセット時だけではなく、スタンバイモード、モジュールスタンバイ時にも初期化されます。スタンバイモード、モジュールスタンバイからの復帰時にはレジスタを再度設定し直す必要があります。

表 17.2 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア 7 アドレス	アクセスサイズ
シリアルモードレジスタ	SCSMR1	R/W	H'00	H'FFE00000	H'1FE00000	8
ビットレートレジスタ	SCBRR1	R/W	H'FF	H'FFE00004	H'1FE00004	8
シリアルコントロールレジスタ	SCSCR1	R/W	H'00	H'FFE00008	H'1FE00008	8
トランスミットレジスタ	SCTDR1	R/W	H'FF	H'FFE0000C	H'1FE0000C	8
シリアルステータスレジスタ	SCSSR1	R/(W) *1	H'84	H'FFE00010	H'1FE00010	8
レシーブデータレジスタ	SCRDR1	R	H'00	H'FFE00014	H'1FE00014	8
スマートカードモードレジスタ	SCSCMR1	R/W	H'00	H'FFE00018	H'1FE00018	8
シリアルポートレジスタ	SCSPTR1	R/W	H'00*2	H'FFE0001C	H'1FE0001C	8

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 ビット 2、0 は不定

## 17.2 各レジスタの説明

スマートカードインタフェースで追加されるレジスタおよび機能が変更されるビットについて説明します。

### 17.2.1 スマートカードモードレジスタ (SCSCMR1)

スマートカードモードレジスタ (SCSCMR1) は、スマートカードインタフェースの機能の選択を行います。8ビットの読み出し/書き込み可能なレジスタです。SCSCMR1 レジスタは、パワーオンリセット、マニュアルリセット、スタンバイモード、およびモジュールスタンバイ時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
					SDIR	SINV		SMIF
初期値:					0	0		0
R/W:					R/W	R/W		R/W

#### ビット7~4、1: 予約ビット

読み出しは常に0です。書き込む値も常に0にしてください。

#### ビット3: スマートカードデータトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。

ビット3	説明
SDIR	
0	SCTDR1 の内容を LSB ファーストで送信 (初期値) 受信データを LSB ファーストとして SCRDR1 に格納
1	SCTDR1 の内容を MSB ファーストで送信 受信データを MSB ファーストとして SCRDR1 に格納

#### ビット2: スマートカードデータインバート (SINV)

データのロジックレベルの反転を指定します。この機能は、ビット3の機能を組み合わせインバースコンベンションカードとの送受信に使用します。SINV は、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「17.3.4 レジスタ設定」を参照してください。

ビット2	説明
SINV	
0	SCTDR1 の内容をそのまま送信 (初期値) 受信データをそのまま SCRDR1 に格納
1	SCTDR1 の内容を反転してデータを送信 受信データを反転して SCRDR1 に格納

ビット 0 : スマートカードインタフェースモードセレクト (SMIF)

スマートカードインタフェース機能をイネーブルにするビットです。

ビット 0	説 明
SMIF	
0	スマートカードインタフェース機能を禁止 (初期値)
1	スマートカードインタフェース機能を許可

### 17.2.2 シリアルモードレジスタ (SCSMR1)

スマートカードインタフェースモードにおいては、SCSMR1 のビット 7 の機能が変更されます。

ビット :	7	6	5	4	3	2	1	0
	GM (C/ $\bar{A}$ )	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : GSM モード (GM)

スマートカードインタフェース機能を GSM モードに設定します。

通常のスマートカードインタフェース時は 0 に設定します。GSM モードは、本ビットを 1 に設定し、送信完了を示す TEND フラグのセットタイミングの前倒しと、クロック出力の制御モードの追加を行います。クロック出力の制御モードの追加内容は、シリアルコントロールレジスタ (SCSCR1) の CKE1 ビットと CKE0 ビットで指定します。GSM モードでは CKE1、CKE0 による SCK 起動、停止指定時にパルス幅が保証されます。

ビット 7	説 明
GM	
0	通常のスマートカードインタフェースモードの動作 (初期値) (1) TEND フラグが開始ビットの先頭から 12.5etu のタイミングで発生 (2) クロック出力の ON/OFF 制御のみ
1	GSM モードのスマートカードインタフェースモードの動作 (1) TEND フラグが開始ビットの先頭から 11.0etu のタイミングで発生 (2) クロック出力の ON/OFF のほか、High / Low 固定制御可能 (設定は SCSCR1)

etu : Elementary Time Unit (1 ビットの転送期間)

ビット 6~0 :

通常の SCI と同様の動作をします。詳細は「第 15 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。スマートカードインタフェースでは、CHR=0、PE=1、STOP=1、MP=0 に設定してください。

### 17.2.3 シリアルコントロールレジスタ (SCSCR1)

スマートカードインタフェースモードにおいては、SCSCR1 のビット 1 とビット 0 の機能が変更されます。

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	—	—	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7~4 :

通常の SCI と同様の動作をします。詳細は「第 15 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

ビット 3、2 : 予約ビット

スマートカードインタフェースでは使用しません。

ビット 1、0 : クロックイネーブル 1、0 (CKE1、0)

SCK 端子の機能の指定を行います。スマートカードインタフェースモードではクロックソースは常に内部クロックを用います。スマートカードインタフェースモードでは、通常のクロック出力の許可 / 禁止切り替えのほか、クロック出力の High レベル固定と Low レベル固定を指定することができます。

GM	CKE1	CKE0	SCK 端子の機能
0	0	0	ポート入出力端子として動作する
0	0	1	SCK 出力端子としてクロック出力する
0	1	0	設定無効。設定しないでください
0	1	1	設定無効。設定しないでください
1	0	0	出力端子として Low 出力固定
1	0	1	出力端子としてクロック出力する
1	1	0	出力端子として High 出力固定
1	1	1	出力端子としてクロック出力する

### 17.2.4 シリアルステータスレジスタ (SCSSR1)

スマートカードインタフェースモードにおいては、SCSSR1 のビット 4 の機能が変更されます。また、これに関連してビット 2 の TEND のセット条件が変更になります。

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER/ERS	PER	TEND	—	—
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 \* フラグをクリアするための0ライトのみ可能です。

ビット 7~5：

通常の SCI と同様の動作をします。詳細は「第 15 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

ビット 4：エラーシグナルステータス (ERS)

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット 4	説明
ERS	
0	正常に受信され、エラーシグナルがないことを表示 (初期値) [クリア条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時 (2) ERS = 1 の状態を読み出した後、0 を書き込んだとき
1	受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示 [セット条件] エラーシグナルローレベルをサンプリングしたとき

【注】 SCSSR1 の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。

ビット 3：パリティエラー (PER)

通常の SCI と同様の動作をします。詳細は「第 15 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

## ビット 2: トランスミットエンド (TEND)

ビット 2 のトランスミットエンド (TEND) のセット条件は次のようになります。

ビット 2	説明
TEND	
0	送信中であることを表示 [クリア条件] TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時 (2) SCSCR1 の TE ビットが 0 かつ FER/ERS ビットが 0 のとき (3) SCSMR1 の GM ビットが 0 で、1 バイトのシリアルキャラクタ送信後、2.5etu 後に TDRE = 1 かつ FER/ERS = 0 (正常送信) のとき (4) SCSMR1 の GM ビットが 1 で、1 バイトのシリアルキャラクタ送信後、1.0etu 後に TDRE = 1 かつ FER/ERS = 0 (正常送信) のとき

etu: Elementary Time Unit (1 ビットの転送期間)

## ビット 1、0: 予約ビット

スマートカードインタフェースでは使用しません。



## 17.3 動作説明

### 17.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- 1 フレームは、8ビットデータとパリティビットで構成されます。
- 2 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- 3 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後エラーシグナルローレベルを1etu期間出力します。
- 4 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを送信します。
- 5 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

### 17.3.2 端子接続

スマートカードインタフェースに関する端子接続概略図を図 17.2 に示します。

IC カードとの通信においては、1本のデータ伝送線で送信と受信が行われるので、LSI 外部で TxD 端子と RxD 端子とを結線してください。また、データ伝送線は、抵抗で電源  $V_{CC}$  側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグラウンドの接続が必要です。

【注】 IC カードを接続しないで、RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

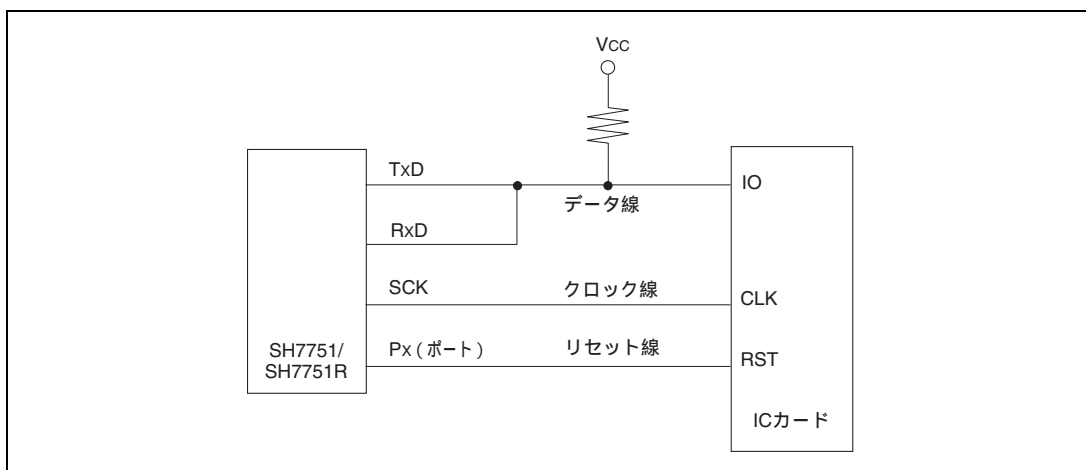


図 17.2 スマートカードインタフェース端子接続概略図

### 17.3.3 データフォーマット

図 17.3 にスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は 1 フレームごとにパリティチェックを行い、エラーが検出された場合、送信側に対してエラー信号を送り返し、データの再送信要求をします。送信時はエラー信号をサンプリングすると同じデータを再送信します。

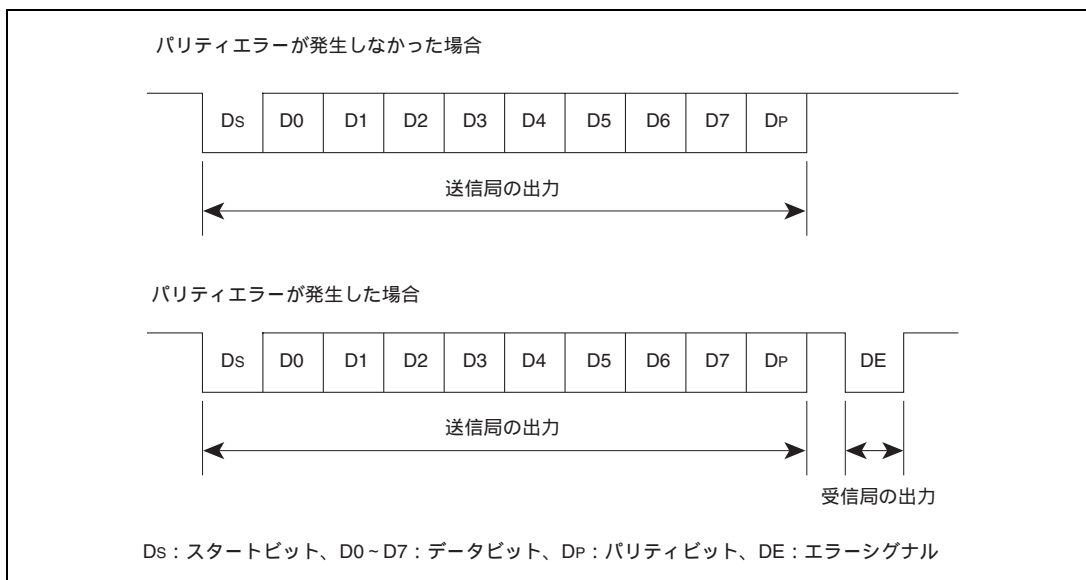


図 17.3 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

1. データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりハイレベルに固定されます。
2. 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds: ローレベル) から開始します。この後に、8ビットのデータビット (D0~D7) とパリティビット (Dp) が続きます。
3. スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりハイレベルになります。
4. 受信側は、パリティチェックを行います。  
パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。  
一方、パリティエラーが発生した場合は、エラーシグナル (DE: ローレベル) を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりハイレベルに戻ります。
5. 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。  
一方、エラーシグナルを受信した場合は、エラーとなったデータを2.に戻り再送信します。

### 17.3.4 レジスタ設定

スマートカードインタフェースで使用するレジスタのビットマップを表 17.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 17.3 スマートカードインタフェースでのレジスタ設定

レジスタ	ビット							
	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SCSMR1	GM	0	1	O/E	1	0	CKS1	CKS0
SCBRR1	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCSCR1	TIE	RIE	TE	RE	0	0	CKE1	CKE0
SCTDR1	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SCSSR1	TDRE	RDRF	ORER	FER/ERS	PER	TEND	0	0
SCRDR1	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCSCMR1					SDIR	SINV		SMIF
SCSPTR1	EIO				SPB1IO	SPB1DT	SPB0IO	SPB0DT

: 未使用ビットを示します。

#### (1) シリアルモードレジスタ (SCSMR1) の設定

GM ビットは TEND フラグのセットタイミングの選択、およびシリアルコントロールレジスタ (SCSCR1) の CKE1、CKE0 ビットとの組み合わせでクロック出力状態を選択します。

O/E ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インパースコンベンション時は 1 を設定します。

CKS1、CKS0 ビットは、内蔵ポーレートジェネレータのクロックソースを選択します。「17.3.5 クロック」を参照してください。

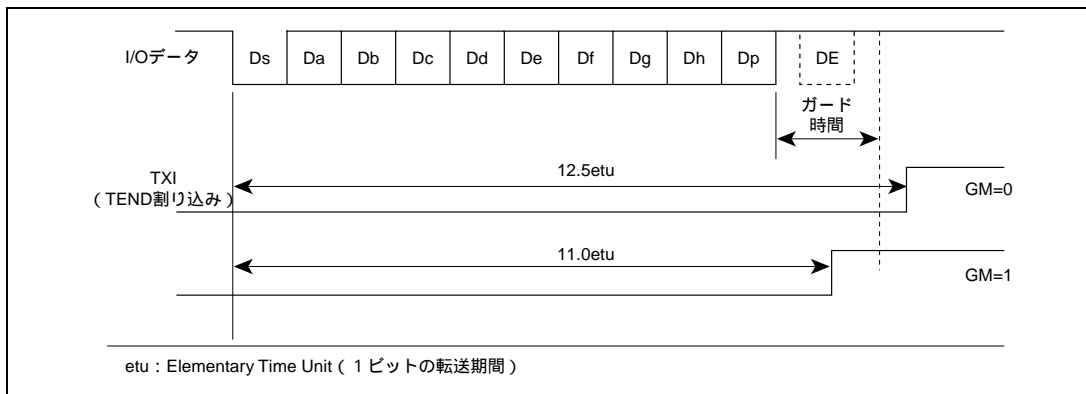


図 17.4 TEND 発生タイミング

## (2) ビットレートレジスタ (SCBRR1) の設定

ビットレートを設定します。設定値の算出方法は「17.3.5 クロック」を参照してください。

## (3) シリアルコントロールレジスタ (SCSCR1) の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 15 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

CKE1、CKE0 ビットはクロック出力状態を選択します。詳細は「17.3.5 クロック」を参照してください。

## (4) スマートカードモードレジスタ (SCSCMR1) の設定

SDIR ビットおよび SINV ビットは、IC カードのダイレクトコンベンション時はどちらも 0 を設定し、インバースコンベンション時はどちらも 1 を設定します。

SMIF ビットはスマートカードインタフェースの場合 1 を設定します。

以下に 2 種類の IC カード (ダイレクトコンベンションタイプとインバースコンベンションタイプ) に対するレジスタ設定値と開始キャラクタでの波形例を図 17.5 に示します。

ダイレクトコンベンションタイプでは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。パリティビットは、スマートカードの規程により偶数パリティで 1 となります。

インバースコンベンションタイプでは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。パリティビットは、スマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、SINV ビットによる反転はデータビット D7 ~ D0 のみとなっています。パリティビットの反転のために SCSCMR1 の O/E ビットを奇数パリティモードに設定します。送信、受信とも同様です。

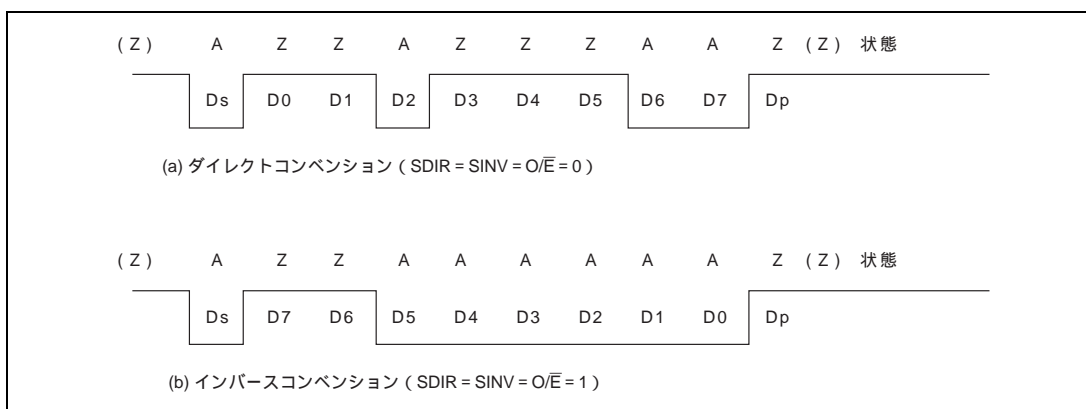


図 17.5 開始キャラクタの波形例

### 17.3.5 クロック

スマートカードインタフェースにおける送受信クロックは内蔵ボーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはビットレートレジスタ (SCBRR1) とシリアルモードレジスタ (SCSMR1) の CKS1、CKS0 ビットで設定され、以下に示す計算式になります。ビットレートの例を表 17.5 に示します。

このとき CKE0=1 でクロック出力を選択すると SCK 端子からはビットレートの 372 倍の周波数のクロックが出力されます。

$$B = \frac{Pck}{1488 \times 2^{2n-1} \times (N+1)} \times 10^6$$

ただし、N = SCBRR1 の設定値 (0 ≤ N ≤ 255)

B = ビットレート (bit/s)

Pck = 周辺モジュール用動作周波数 (MHz)

n = 0 ~ 3 (表 17.4 を参照)

表 17.4 n と CKS1、CKS0 の対応表

n	CKS1	CKS0
0	0	0
1	0	1
2	1	0
3	1	1

表 17.5 SCBRR1 の設定に対するビットレート B (bit/s) の例 (ただし、n=0 のとき)

N	Pck (MHz)						
	7.1424	10.00	10.7136	14.2848	25.0	33.0	50.0
0	9600.0	13440.9	14400.0	19200.0	33602.2	44354.8	67204.3
1	4800.0	6720.4	7200.0	9600.0	16801.1	22177.4	33602.2
2	3200.0	4480.3	4800.0	6400.0	11200.7	14784.9	22401.4

【注】 ビットレートは、小数点以下 2 桁目を四捨五入した数値です。

一方、周辺モジュール用動作周波数とビットレートからビットレートレジスタ (SCBRR1) の設定値を算出する式は次のようになります。ただし、N は整数値、0 ≤ N ≤ 255 であり、誤差の小さい方を指定します。

$$N = \frac{Pck}{1488 \times 2^{2n-1} \times B} \times 10^6 - 1$$

表 17.6 ビットレート B (bit/s) に対する SCBRR1 の設定例 (ただし、n=0 のとき)

bit/s	Pck (MHz)													
	7.1424		10.00		10.7136		14.2848		25.00		33.00		50.00	
	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差
9600	0	0.00	1	30.00	1	25.00	1	8.99	3	14.27	4	8.22	6	0.01

表 17.7 各周波数における最大ビットレート (スマートカードインタフェースモード時)

Pck (MHz)	最大ビットレート (bit/s)	N	n
7.1424	19200	0	0
10.00	26882	0	0
10.7136	28800	0	0
16.00	43010	0	0
20.00	53763	0	0
25.0	67204	0	0
30.0	80645	0	0
33.0	88710	0	0
50.0	67204	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\text{Pck}}{1488 \times 2^{2n-1} \times B \times (N+1)} \right\} \times 10^6 - 1 \times 100$$

スマートカードインタフェースにおける送受信クロックのレジスタ設定値と出力状態の関係を表 17.8 に示します。

表 17.8 レジスタ設定値と SCK 端子

設定	レジスタの値				SCK 端子	
	SMIF	GM	CKE1	CKE0	出力	状態
1* <sup>1</sup>	1	0	0	0	ポート	SCSPTR1 の SPB1IO、SPB1DT ビットの設定によって決まります。
	1	0	0	1		SCK (シリアルクロック) 出力状態
2* <sup>2</sup>	1	1	0	0	L 出力	Low レベル出力状態
	1	1	0	1		SCK (シリアルクロック) 出力状態
3* <sup>2</sup>	1	1	1	0	H 出力	High レベル出力状態
	1	1	1	1		SCK (シリアルクロック) 出力状態

【注】 \*1 SCK 出力状態は CKEO ビットを変更すると直ちに変化します。  
CKE1 ビットは 0 を設定してください。

\*2 CKEO ビットの変更によってクロックを停止、開始してもクロックのデューティは一定に保たれます。

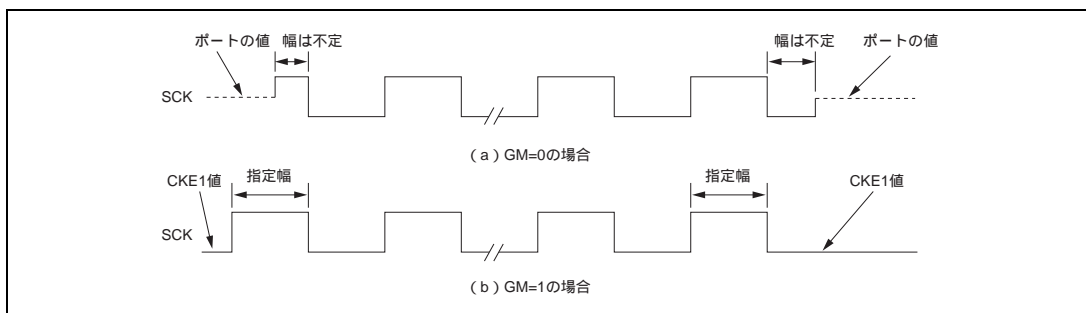


図 17.6 GM ビットの設定によるクロック出力の違い

### 17.3.6 データの送信 / 受信動作

#### (1) 初期化

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。初期化のフロー例を図 17.7 に示します。

- (a) シリアルコントロールレジスタ (SCSCR1) の TE、RE ビットを 0 にクリアします。
- (b) シリアルステータスレジスタ (SCSSR1) のエラーフラグ FER/ERS、PER、ORER を 0 にクリアしてください。
- (c) シリアルモードレジスタ (SCSMR1) の GM ビット、パリティビット (O/E ビット) とボーレートジェネレータの選択ビット (CKS1、CKS0 ビット) を設定してください。このとき、CHR、MP ビットは 0 に、STOP、PE ビットは 1 に設定してください。
- (d) スマートカードモードレジスタ (SCSCMR1) の SMIF、SDIR、SINV ビットを設定してください。SMIF ビットを 1 にセットすると、TxD 端子および RxD 端子はともにハイインピーダンス状態となります。
- (e) ビットレートに対応する値をビットレートレジスタ (SCBRR1) に設定します。
- (f) シリアルコントロールレジスタ (SCSCR1) のクロックソースの選択ビット (CKE1、CKE0 ビット) を設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIE ビットは、0 に設定してください。CKE0 ビットを 1 にセットした場合は、SCK 端子からクロック出力されます。
- (g) 少なくとも、1 ビット期間待ってから、SCSCR1 の TIE、RIE、TE、RE ビットを設定してください。自己診断以外は TE ビットと RE ビットを同時にセットしないでください。



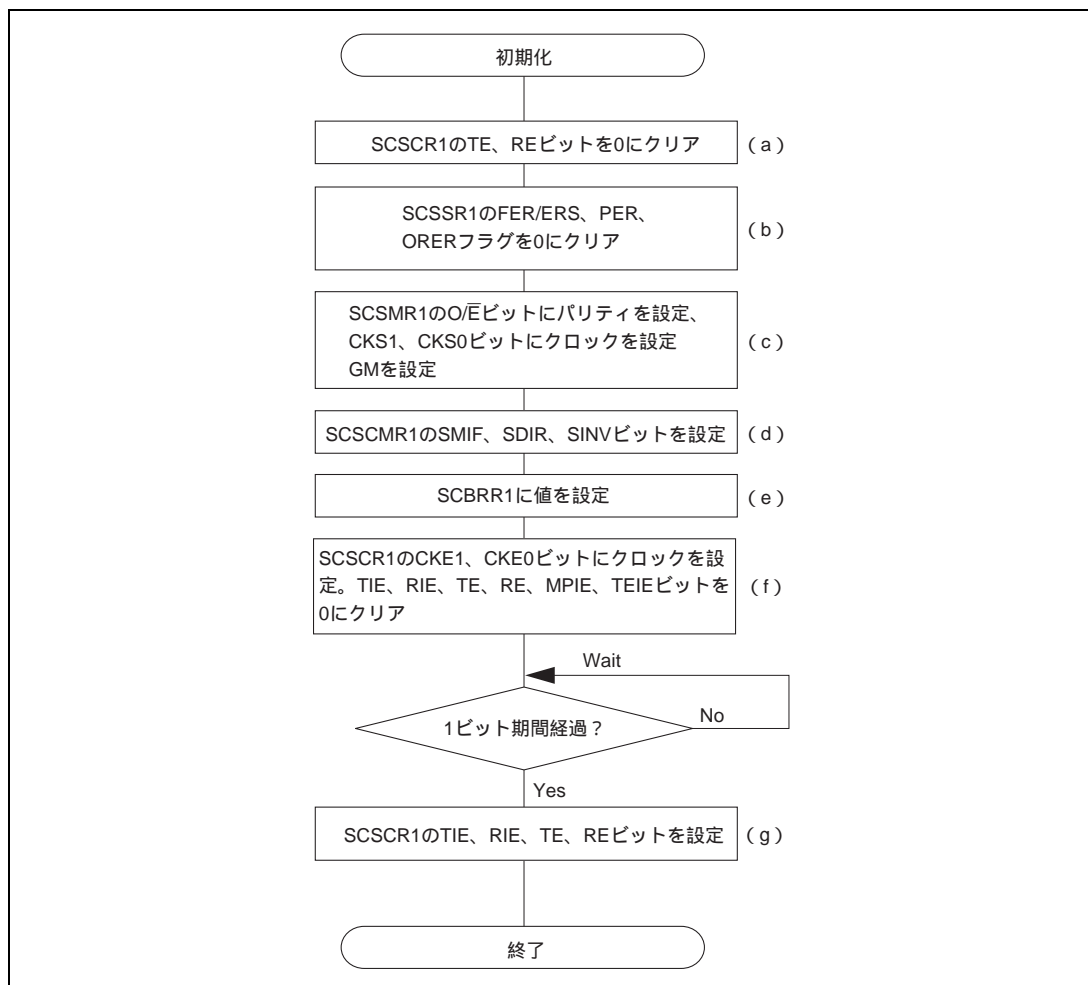


図 17.7 初期化のフロー例

## (2) シリアルデータ送信

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常の SCI とは処理手順が異なります。送信処理フローの例を図 17.8 に示します。

- (a) (1) の手順に従いスマートカードインタフェースモードに初期化します。
- (b) SCSSR1のエラーフラグFER/ERSビットが0にクリアされていることを確認してください。
- (c) SCSSR1のTENDフラグが1にセットされていることが確認できるまで、(b) ~ (c) を繰り返してください。
- (d) SCTDR1に送信データを書き込んで、TDREフラグを0にクリアし送信動作を行います。このとき、TENDフラグは0にクリアされます。
- (e) 連続してデータを送信する場合は、(b) に戻ってください。
- (f) 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割り込み処理が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンプティ割り込み (TXI) 要求が発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「17.3.6 (5) 割り込み動作」を参照してください。

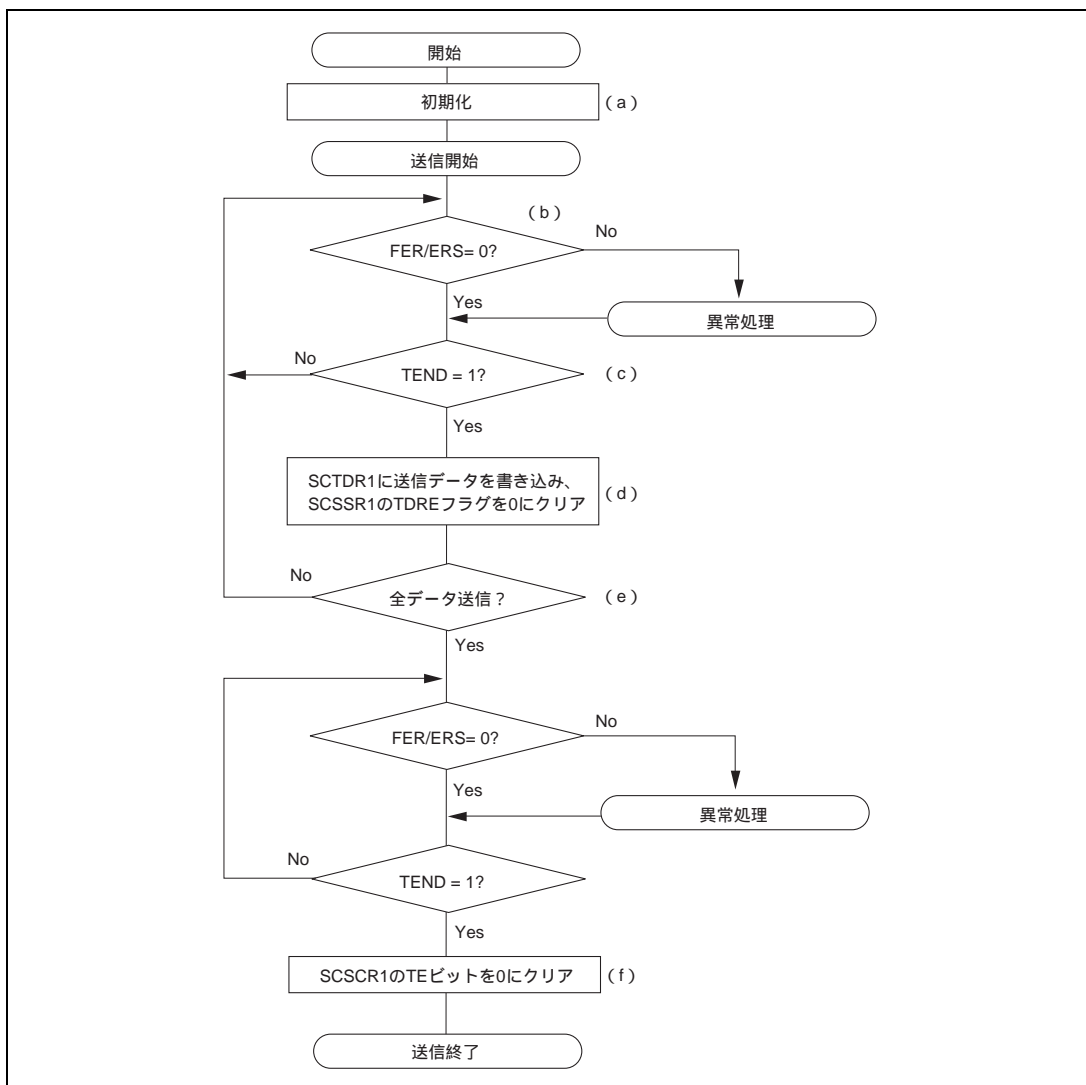


図 17.8 送信処理フローの例

### (3) シリアルデータ受信

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を図 17.9 に示します。

- (a) SCIを(1)に従いスマートカードインタフェースモードに初期化します。
- (b) SCSSR1のORERフラグとPERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORERとPERフラグをすべて0にクリアしてください。
- (c) RDRFフラグが1であることを確認できるまで(b)、(c)を繰り返してください。
- (d) SCRDR1から受信データを読み出してください。
- (e) 継続してデータを受信する場合は、RDRFフラグを0にクリアして(b)の手順に戻ってください。
- (f) 受信を終了する場合は、REビットを0にクリアします。

以上の一連の処理は、割り込み処理が可能です。

RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「17.3.6 (5) 割り込み動作」を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは SCRDR1 に転送されるのでこのデータを読み出すことは可能です。

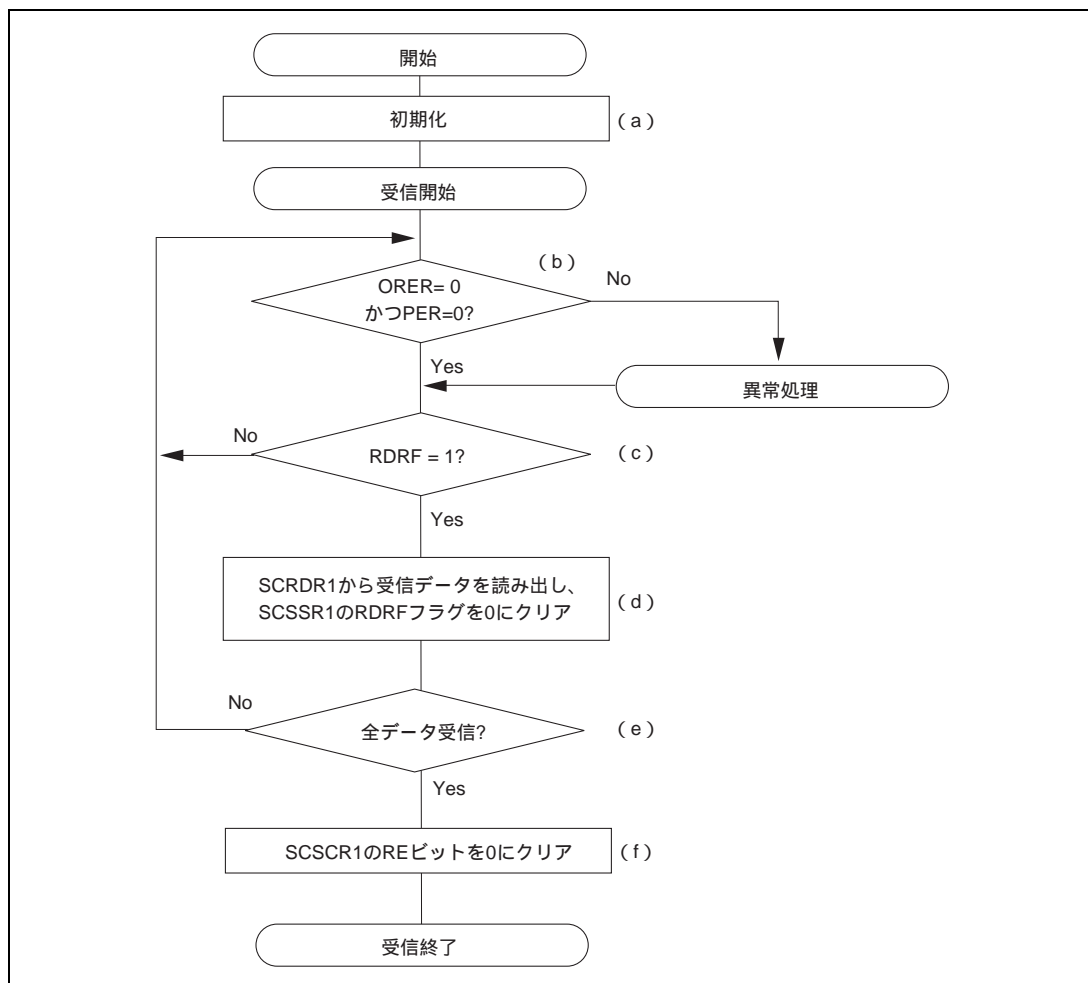


図 17.9 受信処理フローの例

#### (4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE = 0、TE = 1 に設定してください。受信動作の完了は RDRF フラグあるいはPER、ORER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE = 0、RE = 1 に設定してください。送信動作の完了は TEND フラグで確認できます。

## (5) 割り込み動作

スマートカードインタフェースモードでは、送信データエンプティ割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求の 3 種類の割り込み要因があります。なお、本モードでは、送信終了割り込み (TEI) 要求は使用できません。

SCSSR1 の TEND フラグが 1 にセットされると、TXI 割り込み要求が発生します。

SCSSR1 の RDRF フラグが 1 にセットされると、RXI 割り込み要求が発生します。

SCSSR1 の ORER、PER、FER/ERS フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。これらの関係を表 17.9 に示します。

表 17.9 スマートカードモードの動作状態と割り込み要因

動作状態		フラグ	マスクビット	割り込み要因
送信モード	正常動作	TEND	TIE	TXI
	エラー	FER/ERS	RIE	ERI
受信モード	正常動作	RDRF	RIE	RXI
	エラー	PER、ORER	RIE	ERI

## (6) DMAC によるデータ転送動作

スマートカードモードの場合も通常の SCI の場合と同様に、DMAC を使って送受信を行うことができます。送信動作では、SCSSR1 の TEND フラグが 1 にセットされると、TXI 要求が発生します。あらかじめ DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC が起動されて送信データの転送を行います。TEND フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は、SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC は起動されません。したがってエラー発生時の再送信を含め、SCI と DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時 ERS フラグは、自動的にクリアされませんので RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込みを発生させ、ERS をクリアしてください。

受信動作では、SCSSR1 の RDRF フラグが 1 にセットされると RXI 要求が発生します。あらかじめ DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求で DMAC が起動されて受信データの転送を行います。RDRF フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。DMAC は起動されず、代わりに CPU に対し ERI 割り込みを発生しますのでエラーフラグをクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、イネーブル状態にしてから SCI の設定を行ってください。DMAC の設定方法は「第 14 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

## 17.4 使用上の注意

SCI をスマートカードインタフェースとして使用する際は、以下のことに注意してください。

### (1) 調歩同期式モードの受信データタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 186 クロック目の立ち上がりエッジで内部に取り込みます。これを図 17.10 に示します。

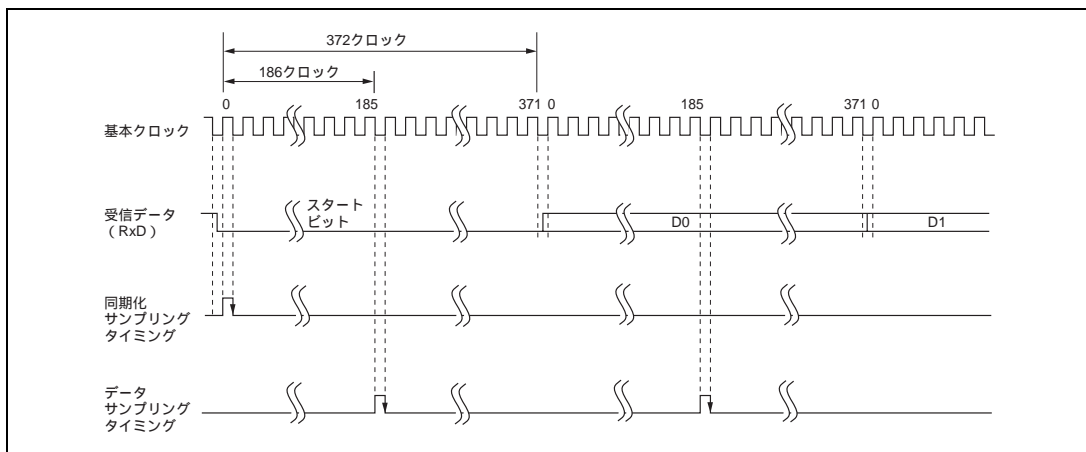


図 17.10 スマートカードモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。

スマートカードモード時の受信マージン式

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\%$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=372)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=10)

F : クロック周波数の偏差の絶対値

上式で、F=0、D=0.5 とすると、受信マージン式は次のようになります。

D=0.5、F=0 のとき、

$$M = (0.5 - 1/2 \times 372) \times 100\%$$

$$= 49.866\%$$

## (2) 再転送動作

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

## SCI が受信モードの場合の再転送動作

SCI受信モードの場合の再転送動作を図17.11に示します。

- (a) 受信したパリティビットをチェックした結果、エラーが検出されると、SCSSR1のPERビットが自動的に1にセットされます。このとき、SCSCR1のRIEビットがイネーブルになっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSR1のPERビットを0にクリアしてください。
- (b) 異常が発生したフレームでは、SCSSR1のRDRFビットはセットされません。
- (c) 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SCSSR1のPERビットはセットされません。
- (d) 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SCSSR1のRDRFビットが自動的に1にセットされます。このときSCSCR1のRIEビットが許可になっていれば、RXI割り込み要求が発生します。
- (e) 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はスリーステート状態を保持します。

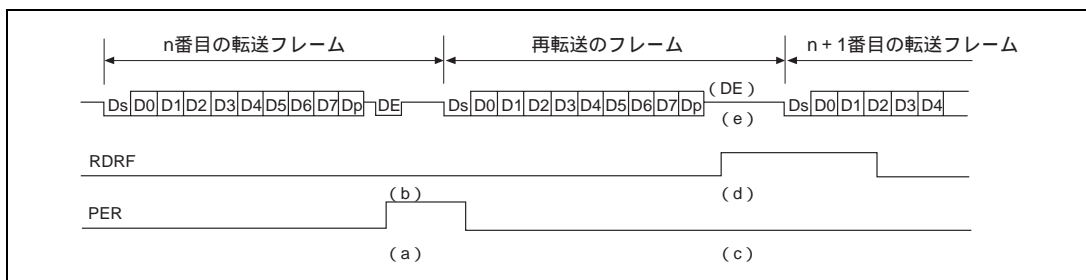


図 17.11 SCI 受信モードの場合の再転送動作

## SCI が送信モードの場合の再転送動作

SCI送信モードの場合の再転送動作を図17.12に示します。

- (a) 1フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SCSSR1のFER/ERSビットが1にセットされます。このとき、SCSCR1のRIEビットがイネーブルになっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSR1のFER/ERSビットを0にクリアしてください。
- (b) 異常を示すエラーシグナルを受信したフレームでは、SCSSR1のTENDビットはセットされません。
- (c) 受信側からエラーシグナルが返ってこない場合は、SCSSR1のFER/ERSビットはセットされません。
- (d) 受信側からエラーシグナルが返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SCSSR1のTENDビットが1にセットされます。このときSCSCR1のTIEビットがイネーブルになっていれば、TXI割り込み要求が発生します。



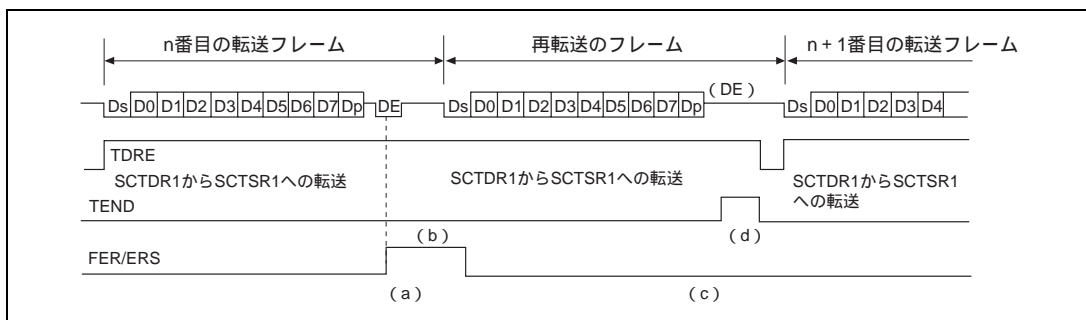


図 17.12 SCI 送信モードの場合の再転送動作

### (3) スタンバイモードとクロック

スマートカードインタフェースモードとスタンバイモード間でモード切り替えを行う際、クロックデューティを保持するため、下記の切り替え手順で処理してください。

スマートカードインタフェースモードからスタンバイモードに遷移するとき

- (a) SCSPTR1のSBP1IOビットとSBPIDTビットをスタンバイ時の出力固定状態の値に設定します。
- (b) シリアルコントロールレジスタ (SCSCR1) のTEビットとREビットに0を書き込み、送信 / 受信動作を停止させます。同時に、CKE1ビットをスタンバイモード時の出力固定状態の値に設定します。
- (c) SCSCR1のCKE0ビットに0を書き込み、クロックを停止させます。
- (d) シリアルクロックの1クロック周期の間待ちます。この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
- (e) シリアルモードレジスタ (SCSMR1) とスマートカードモードレジスタ (SCSCMR1) にH'00を書き込みます。
- (f) スタンバイ状態に遷移させます。

スタンバイモードからスマートカードインタフェースモードに戻るとき

- (g) スタンバイ状態を解除します。
- (h) シリアルコントロールレジスタ (SCSCR1) のCKE1ビットをスタンバイ開始時の出力固定状態 (現在のSCK端子の状態) の値に設定します。
- (i) スマートカードインタフェースモードに設定し、クロック出力させます。正常なデューティにてクロック信号発生を開始します。

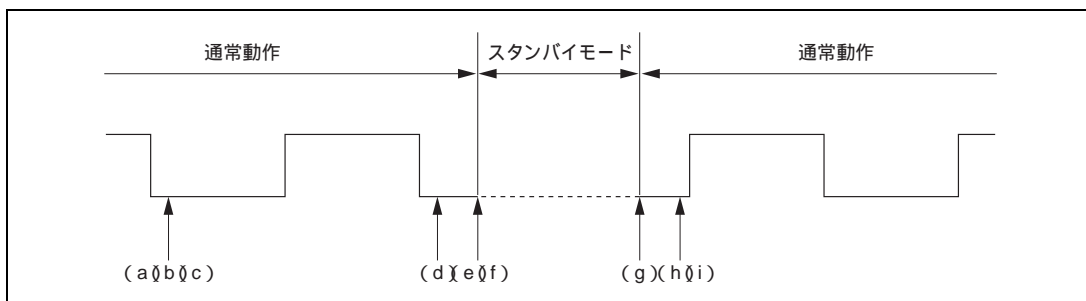


図 17.13 クロック停止、再起動手順

## (4) 電源投入とクロック

電源投入時からクロックデューティを確保するためには、下記の切り替え手順で処理をしてください。

- (a) 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用します。
- (b) シリアルコントロールレジスタ (SCSCR1) のCKE1ビットで指定の出力に固定します。
- (c) シリアルモードレジスタ (SCSMR1) とスマートカードモードレジスタ (SCSCMR1) を設定し、スマートカードモードの動作に切り替えます。
- (d) SCSCR1のCKE0ビットを1に設定して、クロック出力を開始します。

---

## 18. I/O ポート

---

### 18.1 概要

本 LSI は、32 ビットの汎用 I/O ポート、SCI 用 I/O ポート、SCIF 用 I/O ポートを内蔵しています。

#### 18.1.1 特長

汎用 I/O ポートには、次のような特長があります。

- PCI ディスエーブルモードでのみ使用可能
- 各ビットとも入出力方向が独立して設定できる32ビットのI/Oポートを搭載
- 各ビットとも独立してプルアップするか、しないか指定可能
- 汎用I/Oポート32ビットは16ビットポートAと16ビットポートBに分かれ、16ビットポートAに対して割り込み入力が可能
- バスコントロールレジスタ2 (BCR2) のPORTENビットにより、I/Oポートを使用するか、しないか選択可能 (PCI イネーブルモードのときは、PORTEN=1 に設定しないでください)

SCI 用の I/O ポートには、次のような特長があります。

- I/Oポートを出力に設定し、SCIのイネーブルが設定されていないとき、データを出力できます。これによりブレーク機能の送出ができます。
- 常時RxD端子の値を読むことができます。これによりブレーク状態の検出ができます。
- I/Oポートを出力に設定し、SCIのイネーブルが設定されていないとき、SCK端子の制御ができます。
- 常時SCK端子の値を読むことができます。

SCIF 用の I/O ポートには、次のような特長があります。

- I/Oポートを出力に設定し、SCIFのイネーブルが設定されていないとき、データを出力できます。これによりブレーク機能の送出ができます。
- 常時RxD2端子の値を読むことができます。これによりブレーク状態の検出ができます。
- I/Oポートを出力に設定し、SCIFのイネーブルが設定されていないとき、SCK2端子、 $\overline{\text{CTS2}}$ 端子および $\overline{\text{RTS2}}$ 端子の制御ができます。
- 常時SCK2端子、 $\overline{\text{CTS2}}$ 端子および $\overline{\text{RTS2}}$ 端子の値を読むことができます。

## 18.1.2 ブロック図

割り込み機能付き 16 ビット汎用 I/O ポート A のブロック図を、図 18.1 に示します。

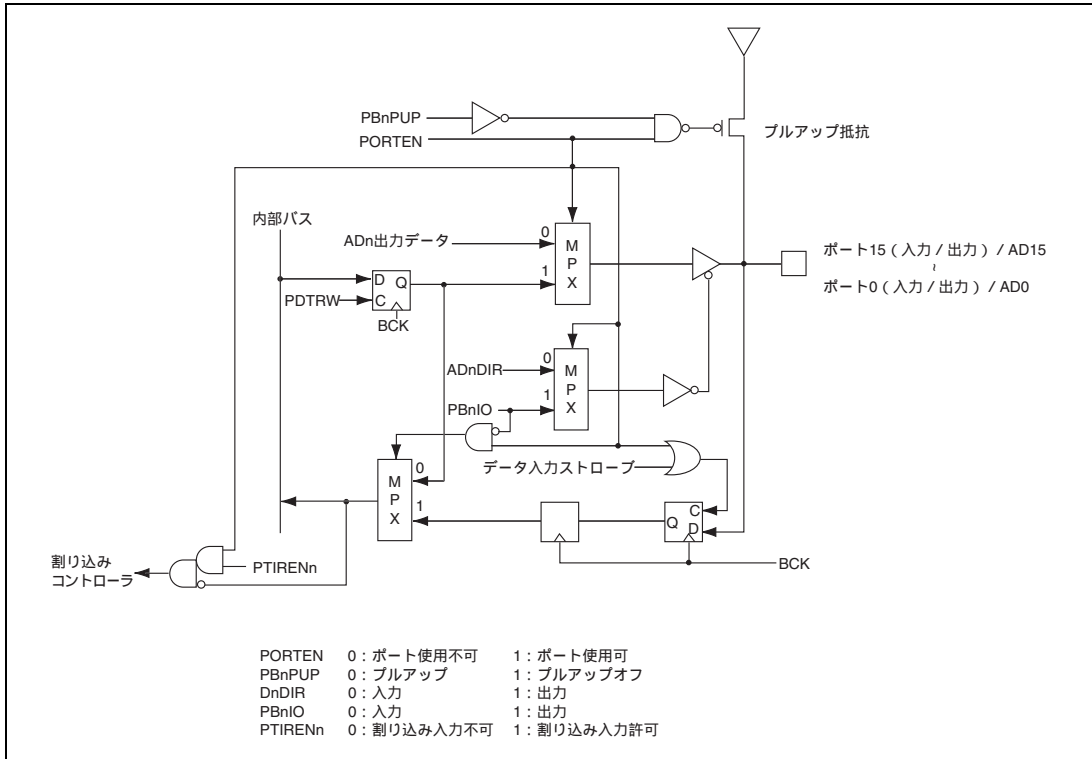


図 18.1 16 ビットポート A

割り込み機能なし 16 ビット汎用 I/O ポート B のブロック図を、図 18.2 に示します。

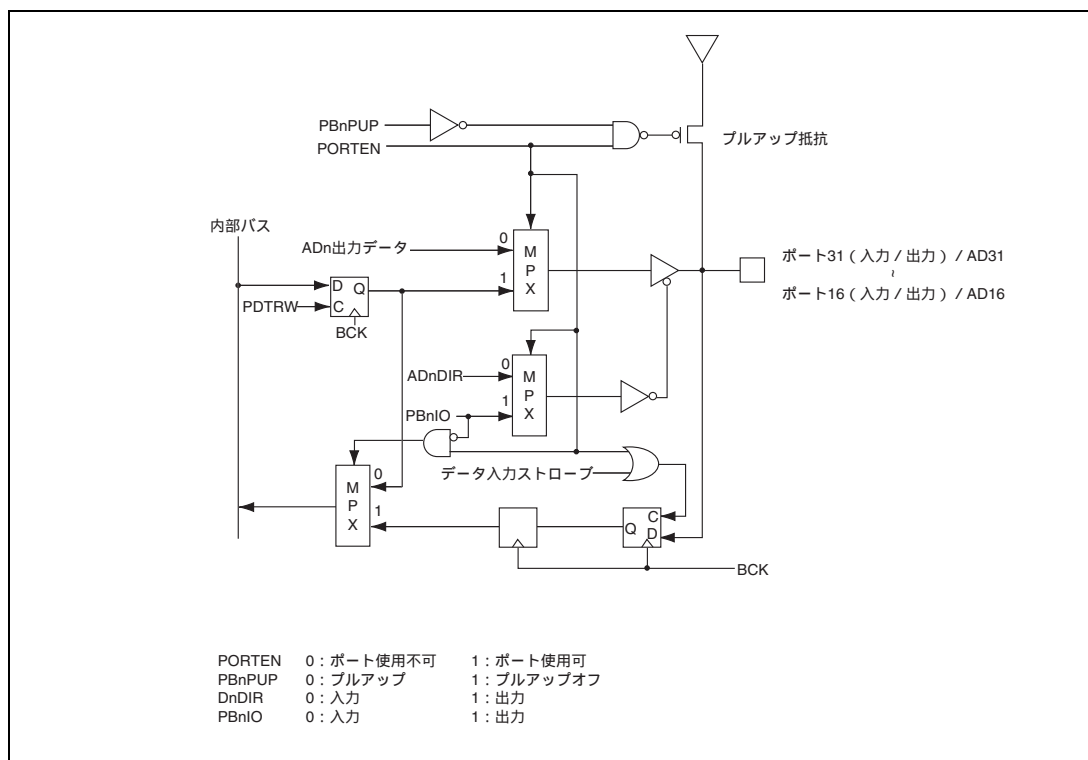


図 18.2 16 ビットポート B

SCI I/O ポートのブロック図を図 18.3 ~ 図 18.5 に示します。

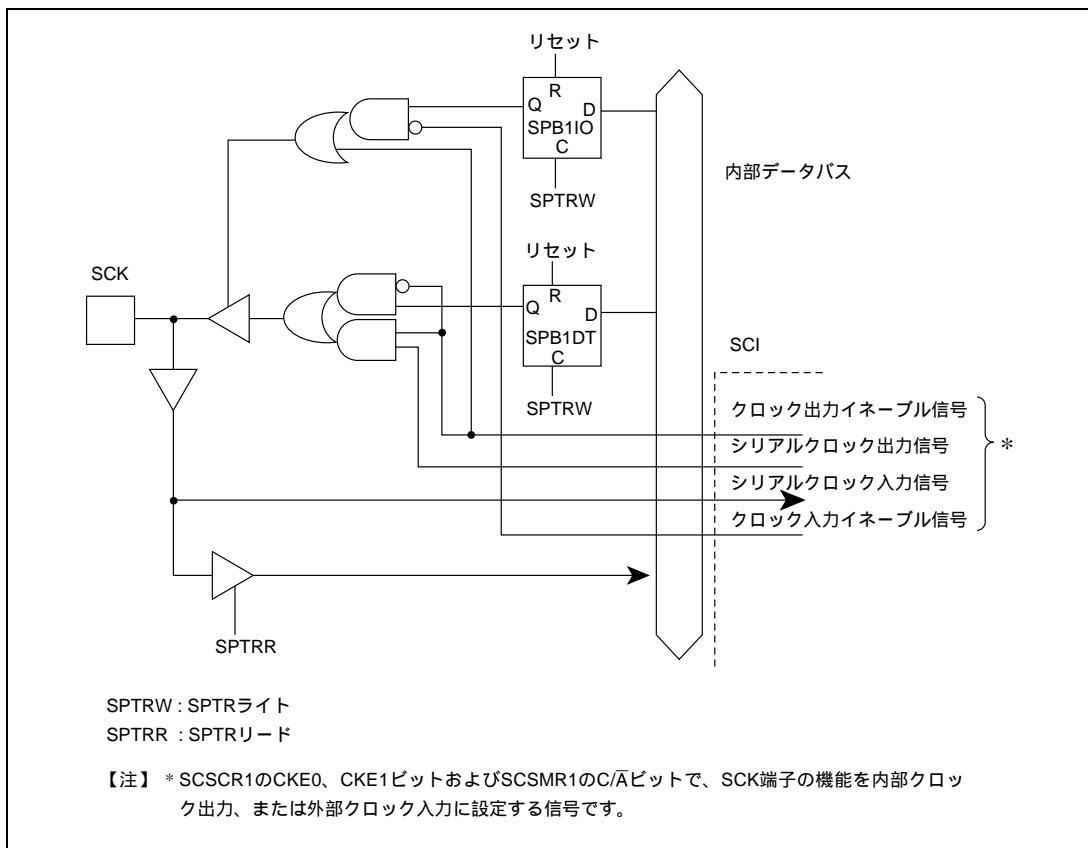


図 18.3 SCK 端子

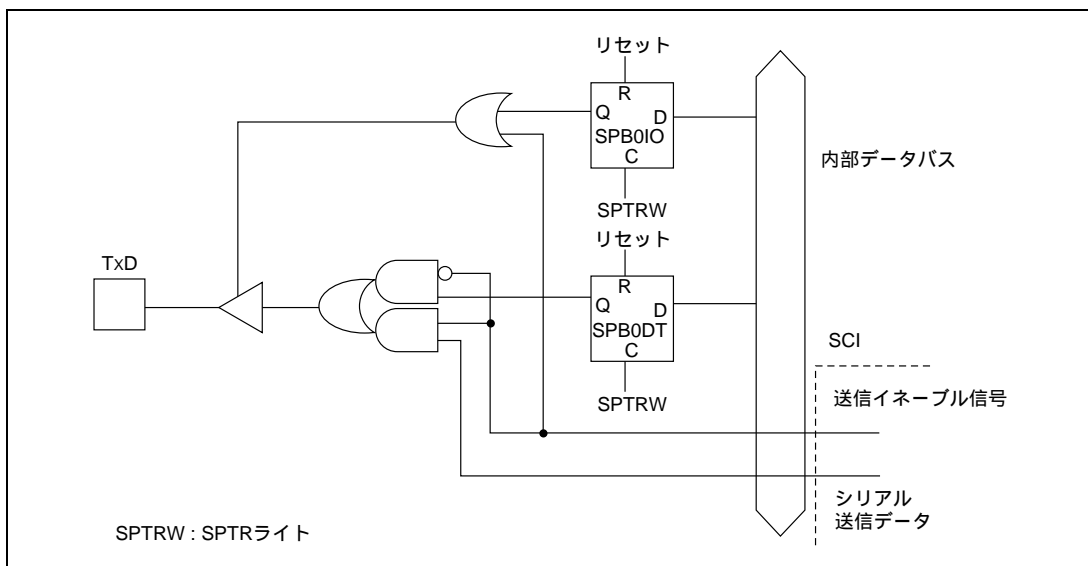


図 18.4 TxD 端子

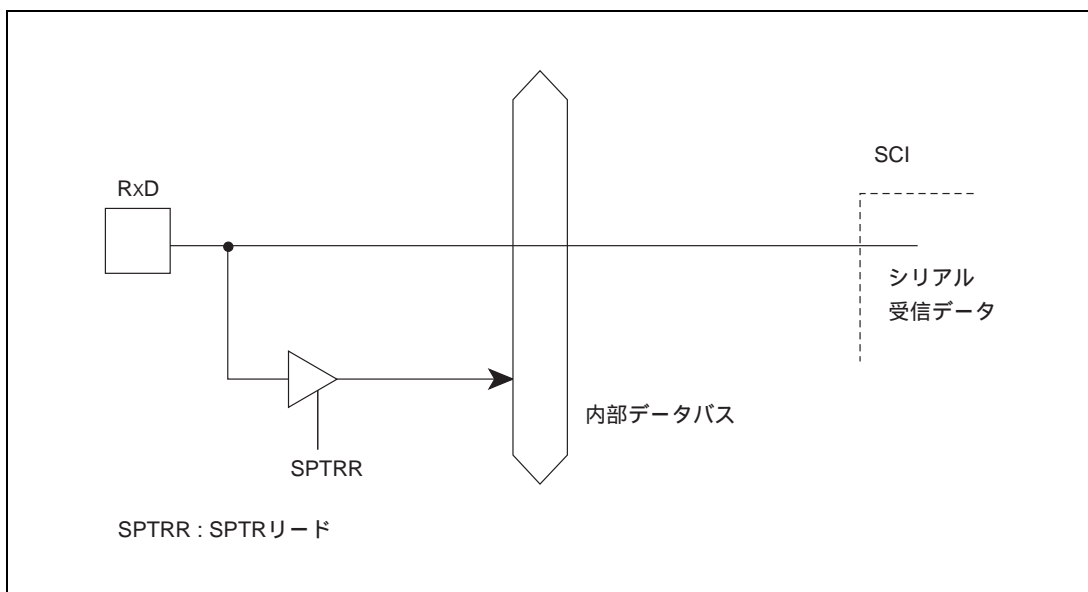


図 18.5 RxD 端子

SCIF I/O ポートのブロック図を図 18.6 ~ 図 18.10 に示します。

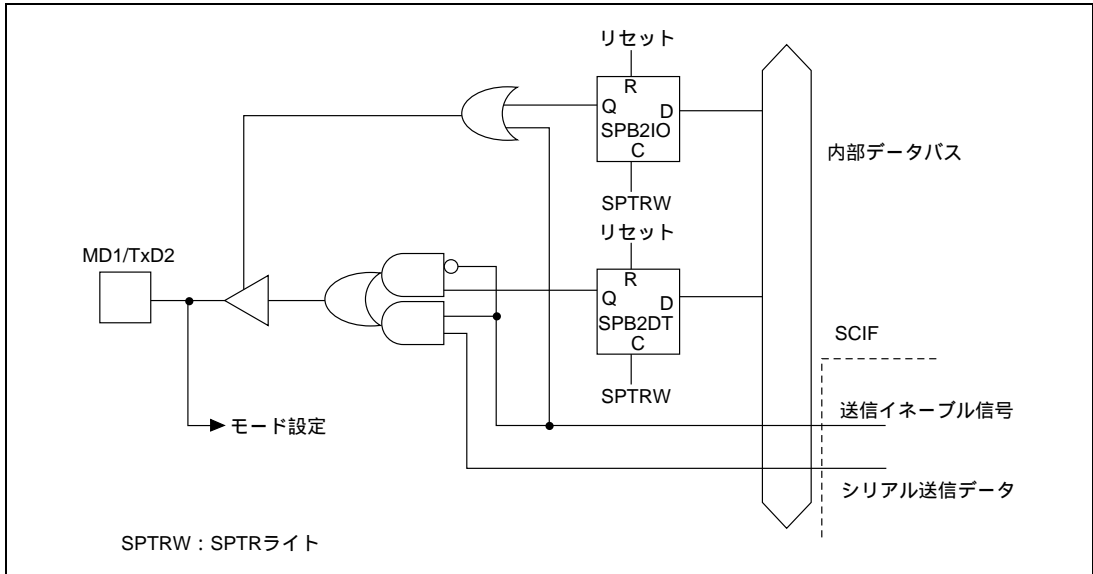


図 18.6 MD1/TxD2 端子

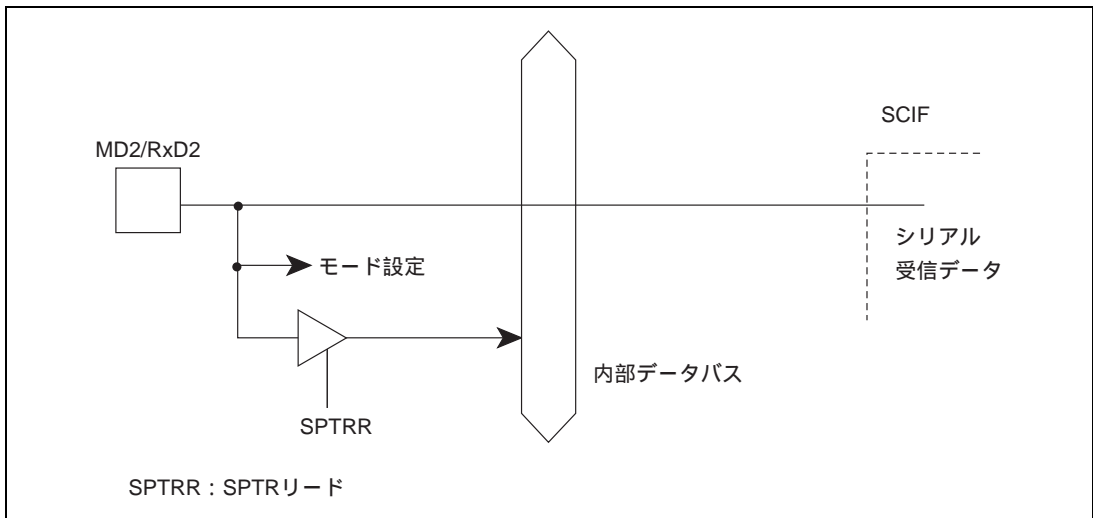


図 18.7 MD2/RxD2 端子



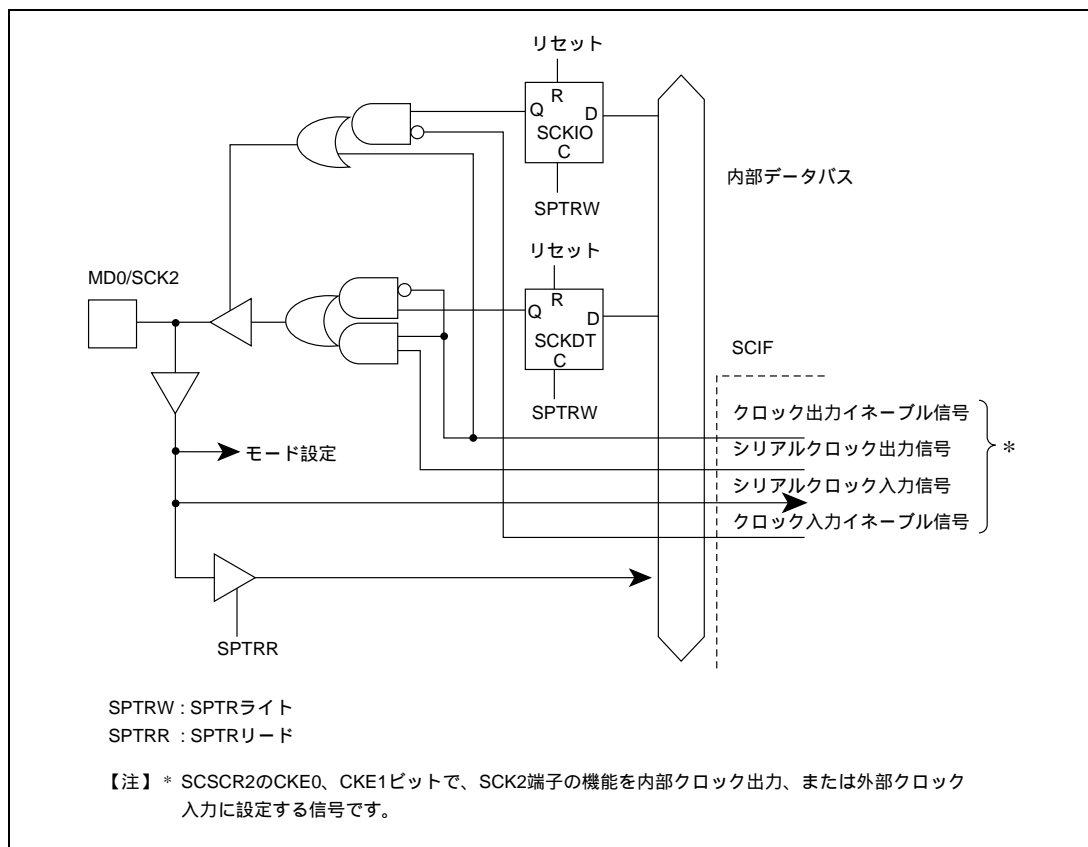
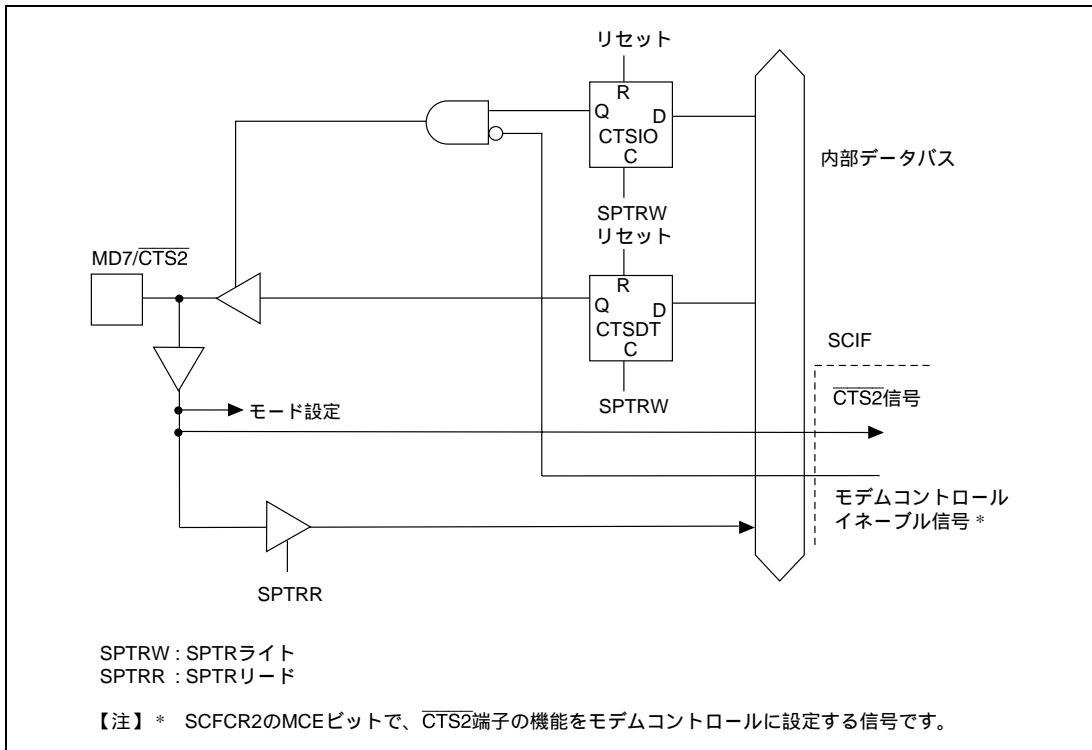


図 18.8 MD0/SCK2 端子

図 18.9 MD7/ $\overline{\text{CTS2}}$  端子

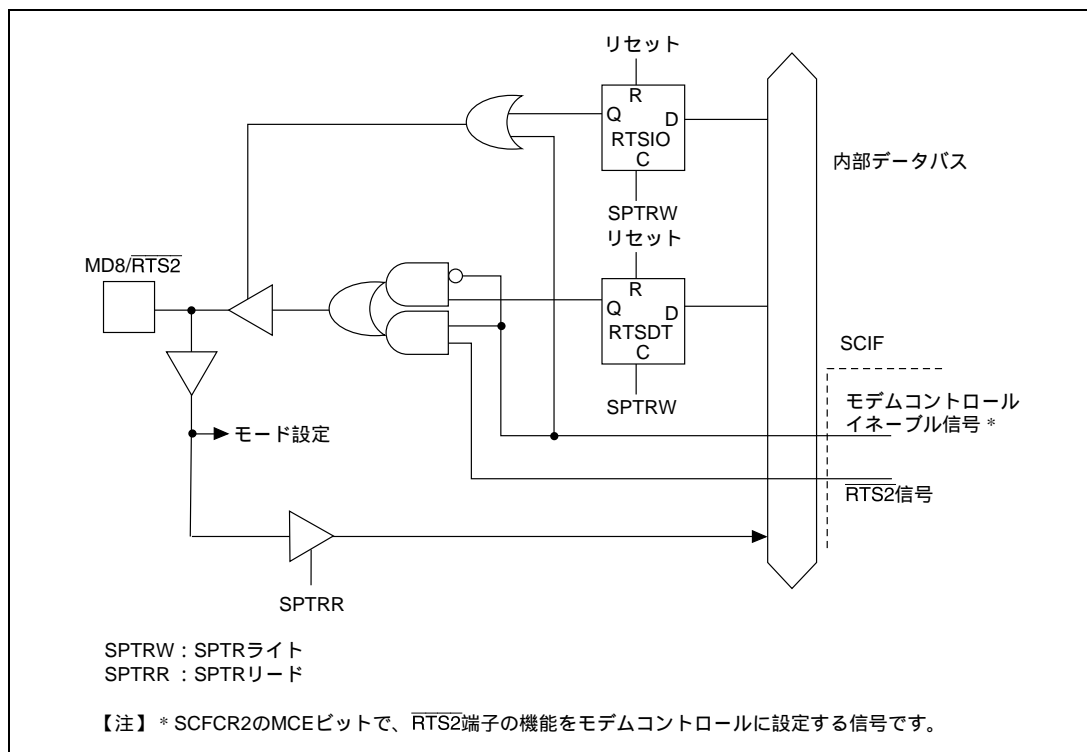


図 18.10 MD8/RTS2 端子

### 18.1.3 端子構成

32 ビット汎用 I/O ポートの端子構成を表 18.1 に示します。

表 18.1 32 ビット汎用 I/O ポートの端子構成

名称	略称	入出力	機能
ポート 31 端子	AD31/PORT31	入出力	I/O ポート
ポート 30 端子	AD30/PORT30	入出力	I/O ポート
ポート 29 端子	AD29/PORT29	入出力	I/O ポート
ポート 28 端子	AD28/PORT28	入出力	I/O ポート
ポート 27 端子	AD27/PORT27	入出力	I/O ポート
ポート 26 端子	AD26/PORT26	入出力	I/O ポート
ポート 25 端子	AD25/PORT25	入出力	I/O ポート
ポート 24 端子	AD24/PORT24	入出力	I/O ポート
ポート 23 端子	AD23/PORT23	入出力	I/O ポート
ポート 22 端子	AD22/PORT22	入出力	I/O ポート
ポート 21 端子	AD21/PORT21	入出力	I/O ポート
ポート 20 端子	AD20/PORT20	入出力	I/O ポート
ポート 19 端子	AD19/PORT19	入出力	I/O ポート
ポート 18 端子	AD18/PORT18	入出力	I/O ポート
ポート 17 端子	AD17/PORT17	入出力	I/O ポート
ポート 16 端子	AD16/PORT16	入出力	I/O ポート
ポート 15 端子	AD15/PORT15	入出力*	I/O ポート / GPIO 割り込み
ポート 14 端子	AD14/PORT14	入出力*	I/O ポート / GPIO 割り込み
ポート 13 端子	AD13/PORT13	入出力*	I/O ポート / GPIO 割り込み
ポート 12 端子	AD12/PORT12	入出力*	I/O ポート / GPIO 割り込み
ポート 11 端子	AD11/PORT11	入出力*	I/O ポート / GPIO 割り込み
ポート 10 端子	AD10/PORT10	入出力*	I/O ポート / GPIO 割り込み
ポート 9 端子	AD9/PORT9	入出力*	I/O ポート / GPIO 割り込み
ポート 8 端子	AD8/PORT8	入出力*	I/O ポート / GPIO 割り込み
ポート 7 端子	AD7/PORT7	入出力*	I/O ポート / GPIO 割り込み
ポート 6 端子	AD6/PORT6	入出力*	I/O ポート / GPIO 割り込み
ポート 5 端子	AD5/PORT5	入出力*	I/O ポート / GPIO 割り込み
ポート 4 端子	AD4/PORT4	入出力*	I/O ポート / GPIO 割り込み
ポート 3 端子	AD3/PORT3	入出力*	I/O ポート / GPIO 割り込み
ポート 2 端子	AD2/PORT2	入出力*	I/O ポート / GPIO 割り込み
ポート 1 端子	AD1/PORT1	入出力*	I/O ポート / GPIO 割り込み
ポート 0 端子	AD0/PORT0	入出力*	I/O ポート / GPIO 割り込み

【注】 \* ポート端子を GPIO 割り込みとして使用する場合は、入力にしてください。入力設定は、PCTRA レジスタによって行うことができます。

SCI I/O ポートの端子構成を表 18.2 に示します。

表 18.2 SCI I/O ポート端子構成

名称	略称	入出力	機能
シリアルクロック端子	SCK	入出力	クロック入出力
レシーブデータ端子	RxD	入力	受信データ入力
トランスミットデータ端子	TxD	出力	送信データ出力

【注】 SCI の動作設定を SCSCR1 の TE、RE、CKE1、CKE0 ビット、および SCSMR1 の C/A ビットで行うことにより、シリアル端子として機能します。ブレイク状態の送出、検出は、SCI の SCSPTR1 によって行うことができます。

SCIF I/O ポートの端子構成を表 18.3 に示します。

表 18.3 SCIF I/O ポート端子構成

名称	略称	入出力	機能
シリアルクロック端子	MD0/SCK2	入出力	クロック入出力
レシーブデータ端子	MD2/RxD2	入力	受信データ入力
トランスミットデータ端子	MD1/TxD2	出力	送信データ出力
モデムコントロール端子	MD7/CTS2	入出力	送信可
モデムコントロール端子	MD8/RTS2	入出力	送信要求

【注】 パワーオンリセット時には、モード入力端子 MD0、MD1、MD2、MD7、MD8 として機能します。

SCIF の動作設定を SCSCR2 の TE、RE、CKE1、CKE0 ビットおよび SCFCR2 の MCE ビットで行うことにより、シリアル端子として機能します。ブレイク状態の送出、検出は、SCIF の SCSPTR2 によって行うことができます。

### 18.1.4 レジスタ構成

32 ビット汎用 I/O ポート、SCI 用 I/O ポート、SCIF 用 I/O ポートには 7 本のレジスタがあります。レジスタ構成を表 18.4 に示します。

表 18.4 レジスタ構成

名称	略称	R/W	初期値*	P4 アドレス	エリア 7 アドレス	アクセス サイズ
ポートコントロールレジスタ A	PCTRA	R/W	H'00000000	H'FF80002C	H'1F80002C	32
ポートデータレジスタ A	PDTRA	R/W	不定	H'FF800030	H'1F800030	16
ポートコントロールレジスタ B	PCTRB	R/W	H'00000000	H'FF800040	H'1F800040	32
ポートデータレジスタ B	PDTRB	R/W	不定	H'FF800044	H'1F800044	16
GPIO 割り込みコントロールレジスタ	GPIOIC	R/W	H'00000000	H'FF800048	H'1F800048	16
シリアルポートレジスタ	SCSPTR1	R/W	不定	H'FFE0001C	H'1FE0001C	8
シリアルポートレジスタ	SCSPTR2	R/W	不定	H'FFE80020	H'1FE80020	16

【注】 \* パワーオンリセットで初期化されます。

## 18.2 レジスタの説明

### 18.2.1 ポートコントロールレジスタ A (PCTRA)

ポートコントロールレジスタ A (PCTRA) は、16 ビットポート A (ポート 15 端子～ポート 0 端子) の各ビットの入出力方向およびプルアップについて制御を行います。ポートデータレジスタ A (PDTRA) の初期値は、不定なので、PDTRA レジスタに値を書き込んでから、PCTRA で 16 ビットポート A の各ビットを出力に設定してください。

PCTRA レジスタは、読み出し / 書き込み可能な 32 ビットのレジスタです。パワーオンリセット時は H'00000000 に初期化されます。マニュアルリセット時およびスタンバイモード時は初期化されずに内容が保持されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PB15 PUP	PB15 IO	PB14 PUP	PB14 IO	PB13 PUP	PB13 IO	PB12 PUP	PB12 IO	PB11 PUP	PB11 IO	PB10 PUP	PB10 IO	PB9 PUP	PB9 IO	PB8 PUP	PB8 IO
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7 PUP	PB7 IO	PB6 PUP	PB6 IO	PB5 PUP	PB5 IO	PB4 PUP	PB4 IO	PB3 PUP	PB3 IO	PB2 PUP	PB2 IO	PB1 PUP	PB1 IO	PB0 PUP	PB0 IO
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット  $2n+1$  ( $n=0\sim 15$ ) : ポートプルアップコントロール (PBnPUP)

16 ビットポート A の各ビットを内蔵の抵抗でプルアップするかどうかを制御します。

ただし、PBnIO ビットで出力に設定されているポートは、自動的にプルアップオフになります。

ビット $2n+1$	説 明
PBnPUP	
0	16 ビットポート A のポート $m$ ( $m=0\sim 15$ ) をプルアップする (初期値)
1	16 ビットポート A のポート $m$ ( $m=0\sim 15$ ) をプルアップしない

ビット  $2n$  ( $n=0\sim 15$ ) : ポート入出力コントロール (PBnIO)

16 ビットポート A の各ビットを、入力とするか出力とするかを制御します。

ビット $2n$	説 明
PBnIO	
0	16 ビットポート A のポート $m$ ( $m=0\sim 15$ ) を入力とする (初期値)
1	16 ビットポート A のポート $m$ ( $m=0\sim 15$ ) を出力とする

## 18.2.2 ポートデータレジスタ A (PDTRA)

ポートデータレジスタ A (PDTRA) は、16 ビットポート A の各ビットのデータラッチとして使用します。

各ビットが出力に設定されている場合、PDTRA レジスタに書き込んだ値が、外部端子から出力されます。また、各ビットが入力設定のときに PDTRA レジスタから値を読み込むと、外部バスクロックでサンプリングされた外部端子の値が読み出されます。出力設定のときには、PDTRA レジスタに書き込まれていた値が読み出されます。

PDTRA レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されずに内容が保持されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 DT	PB14 DT	PB13 DT	PB12 DT	PB11 DT	PB10 DT	PB9 DT	PB8 DT	PB7 DT	PB6 DT	PB5 DT	PB4 DT	PB3 DT	PB2 DT	PB1 DT	PB0 DT

初期値 :

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

## 18.2.3 ポートコントロールレジスタ B (PCTRB)

ポートコントロールレジスタ B (PCTRB) は、16 ビットポート B (ポート 31 端子 ~ ポート 16 端子) の各ビットの入出力方向およびプルアップについて制御を行います。ポートデータレジスタ B (PDTRB) の初期値は、不定なので、PDTRB レジスタに値を書き込んでから、PCTRB で 16 ビットポート B の各ビットを出力に設定してください。

PCTRB レジスタは、読み出し / 書き込み可能な 32 ビットのレジスタです。パワーオンリセット時は H'00000000 に初期化されます。マニュアルリセット時およびスタンバイモード時は初期化されずに内容が保持されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PB31 PUP	PB31 IO	PB30 PUP	PB30 IO	PB29 PUP	PB29 IO	PB28 PUP	PB28 IO	PB27 PUP	PB27 IO	PB26 PUP	PB26 IO	PB25 PUP	PB25 IO	PB24 PUP	PB24 IO

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB23 PUP	PB23 IO	PB22 PUP	PB22 IO	PB21 PUP	PB21 IO	PB20 PUP	PB20 IO	PB19 PUP	PB19 IO	PB18 PUP	PB18 IO	PB17 PUP	PB17 IO	PB16 PUP	PB16 IO

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット  $2n+1$  ( $n=0\sim 15$ ) : ポートプルアップコントロール (PBnPUP)

16 ビットポート B の各ビットを内蔵の抵抗でプルアップするかどうかを制御します。

ただし、PBnIO ビットで出力に設定されているポートは、自動的にプルアップオフになります。

ビット $2n+1$	
PBnPUP	説 明
0	16 ビットポート B のポート $m$ ( $m=16\sim 31$ ) をプルアップする (初期値)
1	16 ビットポート B のポート $m$ ( $m=16\sim 31$ ) をプルアップしない

ビット 2n (n=0~15) : ポート入出力コントロール (PBnIO)

16 ビットポート B の各ビットを、入力とするか出力とするかを制御します。

ビット 2n	説明
PBnIO	
0	16 ビットポート B のポート m (m=16~31) を入力とする (初期値)
1	16 ビットポート B のポート m (m=16~31) を出力とする

### 18.2.4 ポートデータレジスタ B (PDTRB)

ポートデータレジスタ B (PDTRB) は、16 ビットポート B の各ビットのデータラッチとして使用します。

各ビットが出力に設定されている場合、PDTRB レジスタに書き込んだ値が、外部端子から出力されます。また、各ビットが入力設定のときに PDTRB レジスタから値を読み込むと、外部バスクロックでサンプリングされた外部端子の値が読み出されます。出力設定のときには、PDTRB レジスタに書き込まれていた値が読み出されます。

PDTRB レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されずに内容が保持されます。

ビット : 31 30 29 28 27 26 25 24 23 22 21 4 3 2 1 0

PB31	PB30	PB29	PB28	PB27	PB26	PB25	PB24	PB23	PB22	PB21	PB20	PB19	PB18	PB17	PB16
DT	DT	DT	DT	DT	DT	DT	DT	DT	DT	DT	DT	DT	DT	DT	DT

初期値 : - - - - - - - - - - - - - - - - - -

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

### 18.2.5 GPIO 割り込みコントロールレジスタ (GPIOIC)

GPIO 割り込みコントロールレジスタ (GPIOIC) は、16 ビットの割り込み入力の制御を行います。GPIOIC レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は、H'00000000 に初期化されます。マニュアルリセット時およびスタンバイモード時は初期化されずに内容が保持されます。

GPIO 割り込みは、ローアクティブなレベル割り込みです。また、1 ビットごとにマスク可能で、GPIO 割り込みに設定されたすべてのビットの OR で検出されます。どのビットに割り込みが入力されたかは、PDTRA レジスタをリードすることで識別することができます。

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PTIR	PTIR	PTIR	PTIR	PTIR	PTIR	PTIR	PTIR	PTIR	PTIR	PTIR	PTIR	PTIR	PTIR	PTIR	PTIR
EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W



ビット n (n=0~15) : ポート割り込みイネーブル (PTIRENn)

各ビットの割り込み入力を行うかどうかを制御します。

ビット n	説明
PTIRENn	
0	16 ビットポート A のポート m (m=0~15) を通常の入出力ポートとして使用 (初期値)
1	16 ビットポート A のポート m (m=0~15) を GPIO 割り込みとして使用*

【注】 \* 割り込みを使用する場合は、PCTRA レジスタで該当するポートを入力に設定した後、PTIRENn の設定を行ってください。

## 18.2.6 シリアルポートレジスタ (SCSPTR1)

ビット:	7	6	5	4	3	2	1	0
	EIO				SPB1IO	SPB1DT	SPB0IO	SPB0DT
初期値:	0	0	0	0	0		0	
R/W:	R/W				R/W	R/W	R/W	R/W

シリアルポートレジスタ (SCSPTR1) は、シリアルコミュニケーションインタフェース (SCI) の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって RxD 端子から入力データを読み出し、TxD 端子へ出力データを書き込むことができ、シリアル送受信のブレークを制御します。またビット 3 およびビット 2 で SCK 端子に対してデータの読み込みおよび出力データを書き込むことができます。ビット 7 は RXI 割り込みの許可 / 禁止を制御します。

SCSPTR1 レジスタは、8 ビットで、常に CPU による読み出し / 書き込みが可能です。パワーオンリセット、マニュアルリセット時にビット 2、0 を除いて H'00 に初期化されます。ビット 2、0 は、不定です。モジュールスタンバイ、スタンバイモード時には初期化されません。

ビット 7: エラー割り込みオンリー (EIO)

「15.2.8 シリアルポートレジスタ (SCSPTR1)」を参照してください。

ビット 6~4: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 3: シリアルポートクロックポート入出力 (SPB1IO)

シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SPB1DT ビットで設定した値を出力する場合は、SCSMR1 の C/A ビットと SCSCR1 レジスタの CKE1、CKE0 ビットを 0 に設定してください。

ビット 3	説明
SPB1IO	
0	SCK 端子に SPB1DT ビットの値を出力しないことを示します (初期値)
1	SCK 端子に SPB1DT ビットの値を出力することを示します

## ビット 2：シリアルポートクロックポートデータ (SPB1DT)

シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SPB1IO ビットで指定します（詳細はビット 3：SPB1IO の説明参照）。出力の場合、SPB1DT ビットの値が SCK 端子に出力されます。SPB1IO ビットの値にかかわらず、SPB1DT ビットからは SCK 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 2	説 明
SPB1DT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

## ビット 1：シリアルポートブレイク入出力 (SPB0IO)

シリアルポートの TxD 端子の出力条件を指定します。実際に TxD 端子をポート出力端子として SPB0DT ビットで設定した値を出力する場合は、SCSCR1 の TE ビットを 0 に設定してください。

ビット 1	説 明
SPB0IO	
0	TxD 端子に SPB0DT ビットの値を出力しないことを示します (初期値)
1	TxD 端子に SPB0DT ビットの値を出力することを示します

## ビット 0：シリアルポートブレイクデータ (SPB0DT)

シリアルポートの RxD 端子の入力データおよび TxD 端子の出力データを指定します。TxD 端子の出力条件は SPB0IO ビットで指定します（詳細はビット 1：SPB0IO の説明参照）。TxD 端子を出力に設定した場合、SPB0DT ビットの値が TxD 端子に出力されます。SPB0IO ビットの値にかかわらず、SPB0DT ビットからは RxD 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 0	説 明
SPB0DT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

## 18.2.7 シリアルポートレジスタ (SCSPTR2)

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルポートレジスタ (SCSPTR2) は、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって Rx/D2 端子から入力データを読み出し、Tx/D2 端子へ出力データを書き込むことができ、シリアル送受信のブレイクを制御します。また、ビット 3 およびビット 2 で、SCK2 端子に対してデータの読み込み、および出力データを書き込むことができます。また、ビット 5 およびビット 4 で、 $\overline{\text{CTS2}}$  端子に対してデータの読み込み、および出力データを書き込むことができます。また、ビット 7 およびビット 6 で、 $\overline{\text{RTS2}}$  端子に対してデータの読み込み、および出力データを書き込むことができます。

SCSPTR2 レジスタは、16 ビットで、常に CPU による読み出し / 書き込みが可能です。パワーオンリセット、マニュアルリセット時にビット 6、4、2、0 を除いたすべてのビットが 0 に初期化されます。ビット 6、4、2、0 は、不定です。スタンバイモード、モジュールスタンバイ時には初期化されません。

### ビット 15～8：予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

### ビット 7：シリアルポート RTS ポート入出力 (RTSIO)

シリアルポートの  $\overline{\text{RTS2}}$  端子の入出力を指定します。実際に  $\overline{\text{RTS2}}$  端子をポート出力端子として RTS/DT ビットで設定した値を出力する場合は、SCFCR2 の MCE ビットを 0 に設定してください。

ビット 7	説明
RTSIO	
0	$\overline{\text{RTS2}}$ 端子に RTS/DT ビットの値を出力しないことを示します (初期値)
1	$\overline{\text{RTS2}}$ 端子に RTS/DT ビットの値を出力することを示します

## ビット 6 : シリアルポート RTS ポートデータ (RTSDT)

シリアルポートの  $\overline{\text{RTS2}}$  端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します (詳細はビット 7 : RTSIO の説明参照)。出力の場合、RTSDT ビットの値が  $\overline{\text{RTS2}}$  端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは  $\overline{\text{RTS2}}$  端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 6	説 明
RTSDT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

## ビット 5 : シリアルポート CTS ポート入出力 (CTSIO)

シリアルポートの  $\overline{\text{CTS2}}$  端子の入出力を指定します。実際に  $\overline{\text{CTS2}}$  端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR2 の MCE ビットを 0 に設定してください。

ビット 5	説 明
CTSIO	
0	$\overline{\text{CTS2}}$ 端子に CTSDT ビットの値を出力しないことを示します (初期値)
1	$\overline{\text{CTS2}}$ 端子に CTSDT ビットの値を出力することを示します

## ビット 4 : シリアルポート CTS ポートデータ (CTSDT)

シリアルポートの  $\overline{\text{CTS2}}$  端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します (詳細はビット 5 : CTSIO の説明参照)。出力の場合、CTSDT ビットの値が  $\overline{\text{CTS2}}$  端子に出力されます。CTSIO ビットの値にかかわらず、CTSDT ビットからは  $\overline{\text{CTS2}}$  端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 4	説 明
CTSDT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

## ビット 3 : シリアルポートクロックポート入出力 (SCKIO)

シリアルポートの SCK2 端子の入出力を指定します。実際に SCK2 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR2 レジスタの CKE1、CKE0 ビットを 0 に設定してください。

ビット 3	説 明
SCKIO	
0	SCK2 端子に SCKDT ビットの値を出力しないことを示します (初期値)
1	SCK2 端子に SCKDT ビットの値を出力することを示します

## ビット 2 : シリアルポートクロックポートデータ (SCKDT)

シリアルポートの SCK2 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します (詳細はビット 3 : SCKIO の説明参照)。出力の場合、SCKDT ビットの値が SCK2 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK2 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 2	説 明
SCKDT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します

## ビット 1 : シリアルポートブ레이크入出力 (SPB2IO)

シリアルポートの TxD2 端子の出力条件を指定します。実際に TxD2 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR2 の TE ビットを 0 に設定してください。

ビット 1	説 明
SPB2IO	
0	TxD2 端子に SPB2DT ビットの値を出力しないことを示します (初期値)
1	TxD2 端子に SPB2DT ビットの値を出力することを示します

## ビット 0 : シリアルポートブ레이크データ (SPB2DT)

シリアルポートの RxD2 端子の入力データおよび TxD2 端子の出力データを指定します。TxD2 端子の出力条件は SPB2IO ビットで指定します (詳細はビット 1 : SPB2IO の説明参照)。TxD2 端子を出力に設定した場合、SPB2DT ビットの値が TxD2 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは RxD2 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

ビット 0	説 明
SPB2DT	
0	入出力データがローレベルであることを示します
1	入出力データがハイレベルであることを示します



---

## 19. 割り込みコントローラ (INTC)

---

### 19.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

#### 19.1.1 特長

INTC には、次のような特長があります。

- 割り込み優先順位を15レベル設定可能

5本の割り込み優先レベル設定レジスタにより、内蔵周辺モジュール割り込みの優先順位を要求別に15レベルまで設定することができます。

- NMIノイズキャンセラ機能

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外処理ルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

- SR.BLビットが1にセットされたときのNMI要求のマスク

SR.BLビットが1にセットされたとき、NMI要求をマスクするかどうかを選択できます。





### 19.1.3 端子構成

INTC の端子構成を表 19.1 に示します。

表 19.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み 入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み入力端子	IRL3 ~ IRL0	入力	割り込み要求信号を入力 (SR の IMASK でマスク可能)

### 19.1.4 レジスタ構成

INTC のレジスタ構成を表 19.2 に示します。

表 19.2 レジスタ構成

名称	略称	R/W	初期値*1	P4 アドレス	エリア 7 アドレス	アクセス サイズ
割り込みコントロール レジスタ	ICR	R/W	*2	H'FFD00000	H'1FD00000	16
割り込み優先レベル設定 レジスタ A	IPRA	R/W	H'0000	H'FFD00004	H'1FD00004	16
割り込み優先レベル設定 レジスタ B	IPRB	R/W	H'0000	H'FFD00008	H'1FD00008	16
割り込み優先レベル設定 レジスタ C	IPRC	R/W	H'0000	H'FFD0000C	H'1FD0000C	16
割り込み優先レベル設定 レジスタ D	IPRD	R/W	H'DA74	H'FFD00010	H'1FD00010	16
割り込み優先レベル設定 レジスタ 00	INTPRI00	R/W	H'00000000	H'FE080000	H'1E080000	32
割り込み要因レジスタ 00	INTREQ00	R	H'00000000	H'FE080020	H'1E080020	32
割り込みマスクレジスタ 00	INTMSK00	R/W	H'000003FF	H'FE080040	H'1E080040	32
割り込みマスククリア レジスタ 00	INTMSKCLR00	W		H'FE080060	H'1E080060	32

【注】 \*1 パワーオンリセット、マニュアルリセットで初期化されます。

\*2 NMI 端子がハイレベル : H'8000  
NMI 端子がローレベル : H'0000

## 19.2 割り込み要因

割り込み要因は、NMI、IRL、内蔵周辺モジュールの3つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル16が最高で、レベル1が最低です。レベル0に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

### 19.2.1 NMI 割り込み

NMI 割り込みは、レベル16の最優先の割り込みです。CPU内のステータスレジスタのBLビットが1にセットされていない限りいつでも受け付けられます。ただし、スリープモードまたはスタンバイモード中はBLビットが1でも受け付けられません。

また、設定によりBLビットが1でもNMIを受け付けることができます。

NMI端子からの入力エッジで検出されます。検出エッジは、割り込みコントロールレジスタ(ICR)のNMIエッジセレクトビット(NMIE)の設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。ICRレジスタのNMIEビットを書き換えた場合、書き換えてから最大6バスクロック期間、NMI割り込みを検出しません。

NMI割り込み例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(IMASK)が影響されることはありません。

### 19.2.2 IRL 割り込み

IRL 割り込みは、 $\overline{IRL3} \sim \overline{IRL0}$ 端子でレベルとして入力される割り込みです。

優先レベルは $\overline{IRL3} \sim \overline{IRL0}$ 端子で示されるレベルです。 $\overline{IRL3} \sim \overline{IRL0}$ が0(0000)のとき、最も高い割り込み要求(割り込み優先レベル15)を示します。15(1111)のとき、割り込み要求なし(割り込み優先レベル0)を示します。

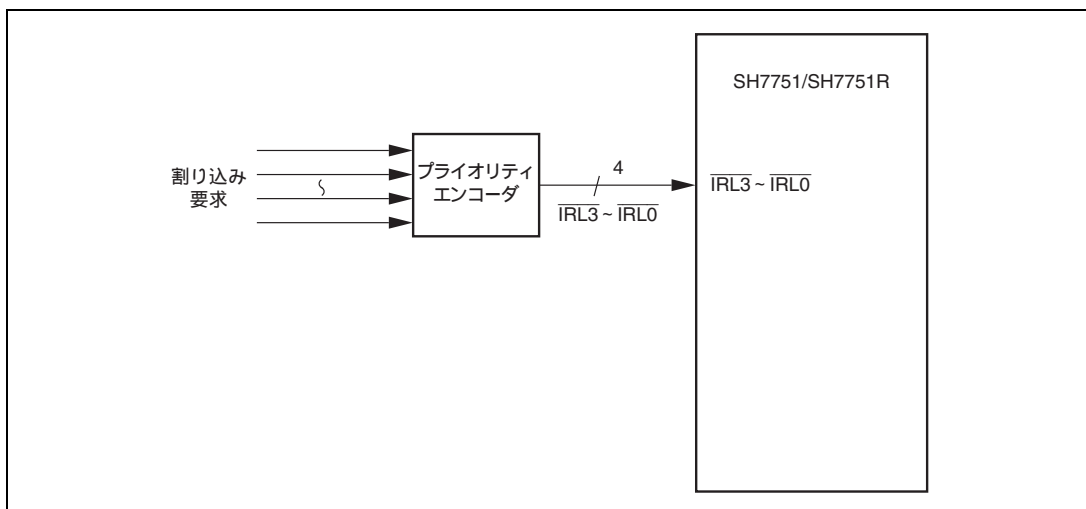


図 19.2 IRL 割り込みの接続例

表 19.3  $\overline{IRL3} \sim \overline{IRL0}$  端子と割り込みレベル

IRL3	IRL2	IRL1	IRL0	割り込み優先レベル	割り込み要求
0	0	0	0	15	レベル 15 割り込み要求
0	0	0	1	14	レベル 14 割り込み要求
0	0	1	0	13	レベル 13 割り込み要求
0	0	1	1	12	レベル 12 割り込み要求
0	1	0	0	11	レベル 11 割り込み要求
0	1	0	1	10	レベル 10 割り込み要求
0	1	1	0	9	レベル 9 割り込み要求
0	1	1	1	8	レベル 8 割り込み要求
1	0	0	0	7	レベル 7 割り込み要求
1	0	0	1	6	レベル 6 割り込み要求
1	0	1	0	5	レベル 5 割り込み要求
1	0	1	1	4	レベル 4 割り込み要求
1	1	0	0	3	レベル 3 割り込み要求
1	1	0	1	2	レベル 2 割り込み要求
1	1	1	0	1	レベル 1 割り込み要求
1	1	1	1	0	割り込み要求なし

IRL 割り込みの検出は、ノイズキャンセル機構が内蔵されており、毎バスクロックでサンプリングしたレベルが 3 サイクル続けて同一の値になったとき、初めて行います。これにより、 $\overline{IRL}$  端子の変化時の誤ったレベルを取り込むことを防止できます。また、スタンバイモード時はバスクロックが停止しているため、代わりに RTC 用の 32.768kHz のクロックを使用して、ノイズキャンセルの処理を行います。このため RTC を使用しない場合は、スタンバイモード中に IRL 割り込みによる割り込みは行えません。

IRL 割り込みの優先レベルは、割り込みを受け付けて割り込み処理を開始するまで、そのレベルを保持してください。ただし、より高い優先レベルに変化させることは構いません。

IRL 割り込み処理によって、ステータスレジスタ (SR) の割り込みマスクビット (IMASK) が影響されることはありません。

ICR レジスタの IRLM ビットを 1 にすることにより、 $\overline{IRL0} \sim \overline{IRL3}$  端子を 4 つの独立した割り込み要求のために使うことができます。

### 19.2.3 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す 10 の内蔵周辺モジュールで発生する割り込みです。

- ユーザデバッグインタフェース (H-UDI)
- ダイレクトメモリアクセスコントローラ (DMAC)
- タイマユニット (TMU)
- リアルタイムクロック (RTC)
- シリアルコミュニケーションインタフェース (SCI)
- FIFO内蔵シリアルコミュニケーションインタフェース (SCIF)
- バスステートコントローラ (BSC)
- ウォッチドッグタイマ (WDT)
- I/Oポート (GPIO)
- PCIバスコントローラ (PCIC)

要因ごとに異なる割り込みベクタは割り当てられてはませんが、要因は割り込み事象レジスタ (INTEVT) に反映されますので、例外処理ルーチン中で INTEVT レジスタの値をオフセットとして分岐することによって、容易に要因が判定できます。

優先順位は、割り込み優先順位設定レジスタ A~D (IPRA~IPRD)、00 (INTPRI00) によって、モジュールごとに優先順位 15~0 の範囲で設定できます。

内蔵周辺モジュール割り込み処理によって、ステータスレジスタ (SR) の割り込みマスクビット (IMASK) が影響されることはありません。

内蔵周辺モジュールの割り込み要因フラグおよび割り込み許可フラグの更新は、ステータスレジスタ (SR) の BL ビットが 1 のときに行ってください。なお、更新したはずの割り込み要因による誤った割り込みの受け付けを避けるために、いったん該当フラグを含む内蔵周辺レジスタを読み出してから BL ビットを 0 にしてください。さらに、PCIC、および TMU のチャンネル 3、4 の割り込みの場合は、割り込み要因レジスタ 00 (INTREQ00) を読み出してください。これにより、内部的に必要なタイミングが確保されます。複数のフラグを更新する場合は、最後のフラグの更新の後で、そのフラグを含むレジスタを読み出すだけで問題ありません。

BL ビットが 0 のときにフラグの更新を行うと INTEVT レジスタの値が 0 で割り込み処理ルーチンにジャンプすることがあります。これはフラグの更新と本 LSI 内部での割り込み要求の認識のタイミングの関係で割り込み処理が起動したためです。この場合は、RTE 命令を実行することにより、問題なく処理を続けることができます。

## 19.2.4 割り込み例外処理と優先順位

割り込み要因と割り込み事象レジスタ (INTEVT) のコード、割り込み優先順位を表 19.4 に示します。

各割り込み要因は、それぞれ異なる割り込み事象レジスタ (INTEVT) のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT レジスタの値を使って分岐させます。例えば INTEVT レジスタの値をオフセットにして分岐させます。

内蔵周辺モジュールの優先順位は、割り込み優先レベル設定レジスタ A~D (IPRA~IPRD)、00 (INTPRI00) によって、優先レベル 15~0 の範囲で任意に設定できます。リセットによって、内蔵周辺モジュールの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 19.4 に示す「デフォルト優先順位」に従って処理されます。

割り込み優先レベル設定レジスタ A~D、INTPRI00、の更新は、ステータスレジスタ (SR) の BL ビットが 1 のときに行ってください。なお、誤った割り込みの受け付けを避けるために、いったんいずれかの割り込み優先レベル設定レジスタを読み出してから BL ビットを 0 にしてください。これにより内部的に必要なタイミングが確保されます。



割り込み要因		INTEVT コード	割り込み優先順位 (初期値)	対応する IPR (ビット番号)	IPR 設定単位内の 優先順位	デフォルト 優先順位
PCIC	PCIDMA1	H'A60	15~0 (0)	INTPRI00 (7~4)	高 ↕ 低	↑ 高           ↓ 低
	PCIDMA2	H'A40				
	PCIDMA3	H'A20				
TMU3	TUNI3	H'B00	15~0 (0)	INTPRI00 (11~8)		
TMU4	TUNI4	H'B80	15~0 (0)	INTPRI00 (15~12)		
TMU0	TUNI0	H'400	15~0 (0)	IPRA (15~12)		
TMU1	TUNI1	H'420	15~0 (0)	IPRA (11~8)		
TMU2	TUNI2	H'440	15~0 (0)	IPRA (7~4)	高 低	
	TICPI2	H'460				
RTC	ATI	H'480	15~0 (0)	IPRA (3~0)	高 ↕ 低	
	PRI	H'4A0				
	CUI	H'4C0				
SCI	ERI	H'4E0	15~0 (0)	IPRB (7~4)	高 ↕ 低	
	RXI	H'500				
	TXI	H'520				
	TEI	H'540				
SCIF	ERI	H'700	15~0 (0)	IPRC (7~4)	高 ↕ 低	
	RXI	H'720				
	BRI	H'740				
	TXI	H'760				
WDT	ITI	H'560	15~0 (0)	IPRB (15~12)		
REF	RCMI	H'580	15~0 (0)	IPRB (11~8)	高 低	
	ROVI	H'5A0				

【注】 \* SH7751R のみ

- TUNI0 ~ TUNI4 : アンドフロー割り込み  
TICPI2 : インพุットキャプチャ割り込み  
ATI : アラーム割り込み  
PRI : 周期割り込み  
CUI : 桁上げ割り込み  
ERI : 受信エラー割り込み  
RXI : 受信データフル割り込み  
TXI : 送信データエンプティ割り込み  
TEI : 送信終了割り込み  
BRI : ブレーク割り込み要求  
ITI : インターバルタイマ割り込み  
RCMI : コンペアマッチ割り込み  
ROVI : リフレッシュカウンタオーバーフロー割り込み

H-UDI : H-UDI 割り込み

GPIOI : I/O ポート割り込み

DMTE0 ~ DMTE7 : DMAC 転送終了割り込み

DMAE : DMAC アドレスエラー割り込み

PCISERR : PCIC SERR エラー発生割り込み

PCIERR : PCIC エラー発生割り込み

PCIPWDWN : PCIC パワーダウン要求割り込み

PCIPWON : PCIC パワーオン要求割り込み

PCIDMA0 ~ 3 : PCIC DMA 転送終了割り込み



## 19.3 レジスタの説明

### 19.3.1 割り込み優先レベル設定レジスタ A～D (IPRA～IPRD)

割り込み優先レベル設定レジスタ A～D (IPRA～IPRD) は、内蔵周辺モジュール割り込みの優先順位 (レベル 15～0) を設定します。IPRA～IPRD レジスタは、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタです。リセット時は、IPRA～IPRC は H'0000 に初期化されます。IPRD は H'DA74 に初期化されます。スタンバイモード時は初期化されません。

#### IPRA～IPRC

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### IPRD

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	0	1	1	0	1	0	0	1	1	1	0	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込み要求元と IPRA～IPRD レジスタの各ビットの対応を表 19.5 に示します。

表 19.5 割り込み要求元と IPRA～IPRD レジスタ

レジスタ	ビット			
	15～12	11～8	7～4	3～0
割り込み優先レベル設定レジスタ A	TMU0	TMU1	TMU2	RTC
割り込み優先レベル設定レジスタ B	WDT	REF* <sup>1</sup>	SCI	予約* <sup>2</sup>
割り込み優先レベル設定レジスタ C	GPIO	DMAC	SCIF	H-UDI
割り込み優先レベル設定レジスタ D	IRL0	IRL1	IRL2	IRL3

【注】 \*1 REF: バスステートコントローラ内のメモリリフレッシュ制御部

詳細は「第 13 章 バスステートコントローラ (BSC)」を参照。

\*2 予約ビット: 読み出しは常に 0 です。書き込む値も常に 0 にしてください。

表 19.5 に示すように、1 本のレジスタに 4 組の内蔵周辺モジュールが割り当てられています。ビット 15～12、ビット 11～8、ビット 7～4、ビット 3～0 の各 4 ビットに H'F (1111) から H'0 (0000) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込みの優先順位は、H'F をセットすると優先レベル 15 (最高レベル) に、H'0 をセットすると優先レベル 0 (要求マスク) になります。

### 19.3.2 割り込みコントロールレジスタ (ICR)

割り込みコントロールレジスタ (ICR) は、外部割り込み入力端子 NMI の入力信号検出モードを設定し、NMI 端子への入力信号レベルを示します。ICR レジスタは 16 ビットのレジスタです。パワーオンリセット、マニュアルリセット時は初期化されます。スタンバイモード時は初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	MAI					NMIB	NMIE	IRLM							
初期値:	0/1*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W					R/W	R/W	R/W							

【注】 \* NMI 端子入力がハイレベルのとき 1、ローレベルのとき 0

#### ビット 15 : NMI 入力レベル (NMIL)

NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。

ビット 15	説明
NMIL	
0	NMI 端子にローレベルが入力されている
1	NMI 端子にハイレベルが入力されている

#### ビット 14 : NMI 割り込みマスク (MAI)

CPU の SR.BL ビットにかかわらず、NMI 端子の入力レベルが Low の期間、すべての割り込みをマスクするかどうかを指定します。

ビット 14	説明
MAI	
0	NMI 端子がローレベルでも、割り込み許可 (初期値)
1	NMI 端子がローレベルの間、割り込み禁止*

【注】 \* 通常動作時、および、スリープ時は NMI 割り込みは受け付けられます。  
スタンバイ時は NMI 端子が Low の間、すべての割り込みはマスクされ、スタンバイを解除しません。

#### ビット 9 : NMI ブロックモード (NMIB)

SR.BL ビットが 1 の間、NMI 要求を保留するか即時検出するかを選択します。

ビット 9	説明
NMIB	
0	SR.BL ビットが 1 の間、NMI 割り込み要求を保留する (初期値)
1	SR.BL ビットが 1 のとき、NMI 割り込み要求を検出する

【注】 1. SR.BL = 1 の間に割り込み要求が許可されると、以前の例外情報は失われますので、前もって保存しておく必要があります。

2. 本ビットは NMI の受け付けで自動的にクリアされます。

#### ビット 8 : NMI エッジセレクト (NMIE)

NMI 端子への割り込み要求信号を、立ち下がりエッジで検出するか、立ち上がりエッジで検出するかを選択します。

ビット 8	説 明
NMIE	
0	NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を検出

#### ビット 7 : IRL ピンモード (IRLM)

$\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$  端子がレベルエンコード割り込み要求として使われるか、4 つの独立した割り込み要求として使われるかを選択します。

ビット 7	説 明
IRLM	
0	$\overline{\text{IRL}}$ 端子はレベルエンコード割り込み要求として使われる (初期値)
1	$\overline{\text{IRL}}$ 端子は 4 つの独立した割り込み要求(レベルセンスの IRQ モード)として使われる

#### ビット 13~10、6~0 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 19.3.3 割り込み優先レベル設定レジスタ 00 (INTPRI00)

割り込み優先レベル設定レジスタ 00 (INTPRI00) は、内蔵周辺モジュール割り込みの優先順位 (レベル 15~0) を設定します。INTPRI00 レジスタは、読み出し / 書き込み可能な 32 ビットのレジスタです。リセットは H'00000000 に初期化されます。スタンバイモード時には初期化されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込み要求元と INTPRI00 レジスタの各ビットの対応を表 19.6 に示します。

表 19.6 割り込み要求元と INTPRI00 レジスタ

レジスタ	ビット							
	31~28	27~24	23~20	19~16	15~12	11~8	7~4	3~0
割り込み優先レベル設定レジスタ 00	予約	予約	予約	予約	TMU ch4	TMU ch3	PCI(1)	PCI(0)

【注】 表 19.6 に示すように、1 本のレジスタに 8 組の内蔵周辺モジュールが割り当てられています。各 4 ビットに H'F (1111) から H'0 (0000) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込みの優先順位は、H'F をセットすると優先レベル 15 (最高レベル) に、H'0 をセットすると優先レベル 0 (要求マスク) になります。

予約ビット: 読み出しは常に 0 です。書き込む値も常に 0 にしてください。

### 19.3.4 割り込み要因レジスタ 00 (INTREQ00)

割り込み要因レジスタ 00 (INTREQ00) は、INTC にどの割り込みが要求されているかを示すレジスタです。INTPRI00、INTMSK00 によって割り込みがマスクされても本レジスタのビットは影響を受けません。INTREQ00 レジスタは、32 ビットの読み出し専用レジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

#### ビット 31~0: 割り込みリクエスト

各ビットに対応する割り込み要求が存在することを示します。各ビットと割り込み要因の対応は「19.3.7 INTREQ00、INTMSK00、INTMSKCLR00 のビット割り付け」を参照してください。

ビット 31~0	機 能
0	対応する割り込み要求がないことを示します
1	対応する割り込み要求があることを示します

### 19.3.5 割り込みマスクレジスタ 00 (INTMSK00)

割り込みマスクレジスタ 00 (INTMSK 00) は、各割り込みが要求ごとにマスクするかどうかを設定するレジスタです。INTMSK 00 レジスタは 32 ビットのレジスタです。リセット時に H'000003FF に初期化されます。スタンバイ時には保持されます。

各割り込みマスクを解除するには INTMSKCLR00 レジスタの対応するビットに 1 を書き込みます。INTMSK00 に 0 を書き込んで値は変化しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### ビット 31~0: 割り込みマスク

各ビットに対応する割り込み要求をマスクするかどうかを設定します。各ビットと割り込み要因の対応は「19.3.7 INTREQ00、INTMSK00、INTMSKCLR00 のビット割り付け」を参照してください。

ビット 31~0	機 能
0	対応する割り込み要求を受け付けます
1	対応する割り込み要求をマスクします (初期値)

### 19.3.6 割り込みマスククリアレジスタ 00 (INTMSKCLR00)

割り込みマスククリアレジスタ 00 (INTMSKCLR 00) は、各割り込みが要求ごとのマスクをクリアするレジスタです。INTMSKCLR 00 レジスタは 32 ビットの書き込み専用レジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:																
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:																
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

#### ビット 31~0: 割り込みマスククリア

各ビットに対応する割り込み要求マスクをクリアするかどうかを設定します。各ビットと割り込み要因の対応は「19.3.7 INTREQ00、INTMSK00、INTMSKCLR00 のビット割り付け」を参照してください。

ビット 31~0	機 能
0	対応する割り込みマスクを変更しません
1	対応する割り込みマスクをクリアします

### 19.3.7 INTREQ00、INTMSK00、INTMSKCLR00 のビット割り付け

各レジスタビットと割り込み要因との関係は以下のとおりです。

表 19.7 ビット割り付け

ビット番号	モジュール	割り込み
31~10	予約	予約
9	TMU	TUNI4
8	TMU	TUNI3
7	PCI	PCIERR
6	PCI	PCIPWDWN
5	PCI	PCIPWON
4	PCI	PCIDMA0
3	PCI	PCIDMA1
2	PCI	PCIDMA2
1	PCI	PCIDMA3
0	PCI	PCISERR

## 19.4 動作説明

### 19.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 19.3 に割り込み動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から割り込み優先レベル設定レジスタ A ~ D (IPRA ~ IPRD)、00 (INTPRI00) に従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 19.4 に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (IMASK) とが比較されます。IMASK ビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
4. CPU は、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT) に割り込み要因コードがセットされます。
6. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれ SSR と SPC に退避されます。
7. SR のブロックビット (BL)、モードビット (MD)、レジスタバンクビット (RB) が 1 にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値と H'00000600 の和) にジャンプします。

例外処理ルーチンでは、割り込み要因を識別するために、例えば INTEVT レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. 本 LSI では、割り込みを受け付けても CPU のステータスレジスタ (SR) の割り込みマスクビット (IMASK) は変化しません。
  2. 割り込み要因フラグは、割り込み例外処理ルーチン中でクリアしてください。  
クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後、要因フラグをリードし、その後、表 19.8 の優先順位判定および SR のマスクビットとの比較時間で示される時間待ってから、BL ビットをクリアするか、RTE 命令を実行します。
  3. 割り込み要因によっては、INTMSKCLR00 レジスタを使用して、要因ごとの割り込みマスク (INTMSK00) をクリアする必要があります。詳細は、「19.3.5 割り込みマスクレジスタ 00 (INTMSK00)」、「19.3.6 割り込みマスククリアレジスタ 00 (INTMSKCLR00)」を参照してください。



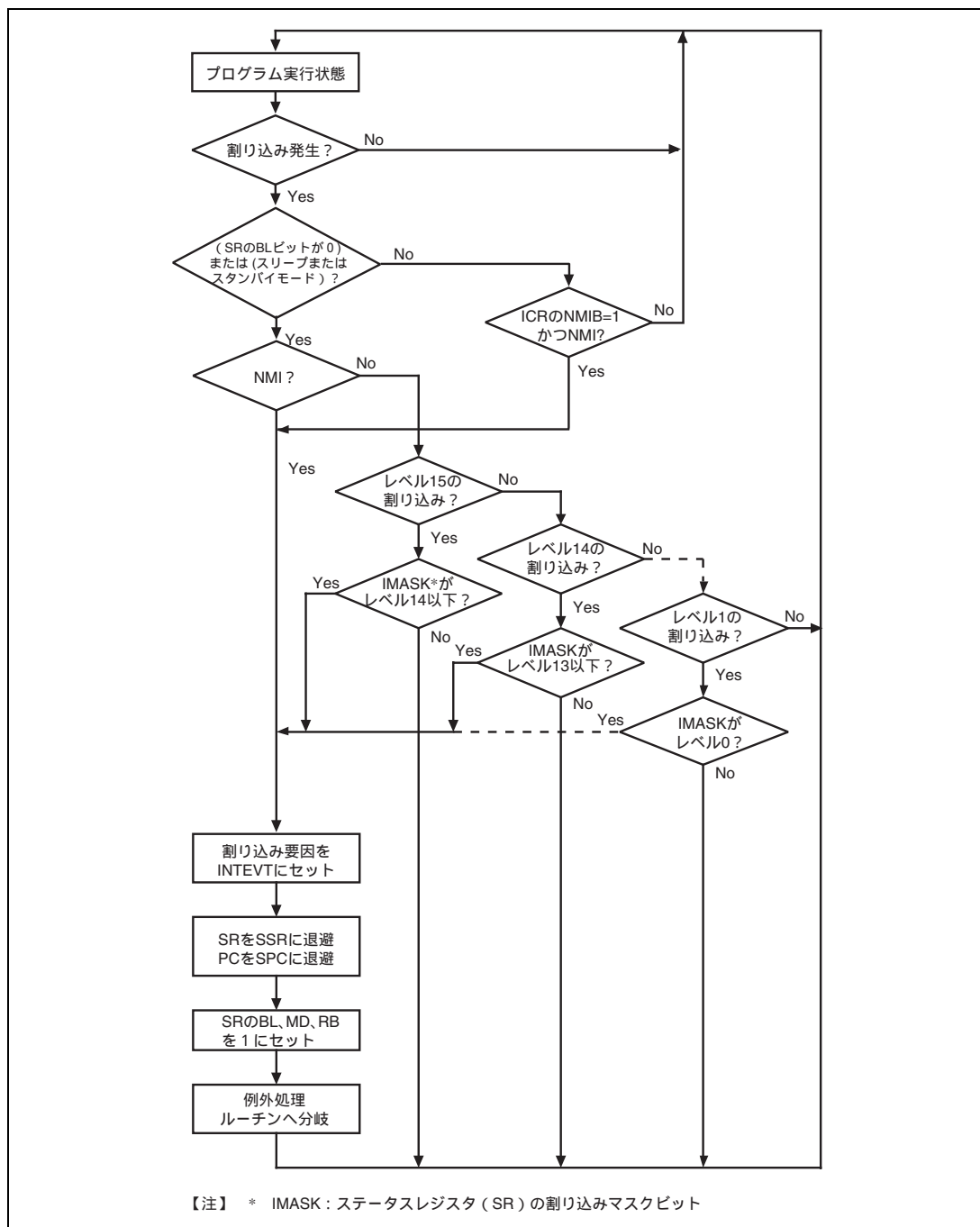


図 19.3 割り込み動作フロー

### 19.4.2 多重割り込み

多重割り込みを行う場合は、割り込み例外処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVTレジスタの値をオフセットとして、各割り込み要因の割り込み例外処理ルーチンに分岐します。
2. 各割り込み例外処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをスタックに退避します。
4. SRのBLビットをクリアします。このとき、SRの割り込みマスクビットも受け付けた割り込みレベルに設定します。
5. この後、実際に行いたい処理を書きます。
6. SRのBLビットを1にセットします。
7. SSRとSPCをメモリから復帰します。
8. RTE命令を実行します。

割り込み例外処理ルーチンを上記の構造にすることにより、4.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。

### 19.4.3 MAI ビットによる割り込みマスク

ICR レジスタの MAI ビットを 1 に設定することにより、NMI 端子がローレベルの間、SR レジスタの BL、IMASK ビットに関係なく割り込みをマスクすることができます。

- 通常動作時およびスリープモード時

NMI端子がローレベルの間、すべての割り込みをマスクします。ただし、NMI端子の変化によるNMI割り込みだけは発生します。

- スタンバイ時

NMI端子がローレベルの間、すべての割り込みをマスクします。また、NMI端子の変化によるNMI割り込みも発生しません。このため、MAIビットを1に設定した状態では、NMI割り込みによるスタンバイの解除は行えません。

## 19.5 割り込み応答時間

割り込み要求が発生してから\*、割り込み例外処理が行われ例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 19.8 に示します。

【注】 \* SH7751 では SR のマスクビット (IMASK) が変化し、新たな割り込みが発生する場合も含まれます。

表 19.8 割り込み応答時間

項目	ステート数			備考	
	NMI	IRL	周辺 モジュール		
優先順位判定および SR のマスクビットとの比較時間	1 lcy + 4 Bcyc	1 lcy + 7 Bcyc	1 lcy + 2 Bcyc		
CPU が実行中のシーケンス終了までの待ち時間	S - 1 ( 0 ) × lcy				
割り込み例外処理 (SR、PC の退避) から、例外処理ルーチンの先頭命令のフェッチを開始するまでの時間	4 × lcy				
応答時間	合計	5 lcy + 4 Bcyc + ( S - 1 ) lcy	5 lcy + 7 Bcyc + ( S - 1 ) lcy	5 lcy + 2 Bcyc + ( S - 1 ) lcy	
	最小時	13 lcy	19 lcy	9 lcy	lcy : Bcyc = 2 : 1 のとき
	最大時	36 + S lcy	60 + S lcy	20 + S lcy	lcy : Bcyc = 8 : 1 のとき

lcy : CPU 等に供給される内部クロックの 1 サイクル時間

Bcyc : CKI0 の 1 サイクル時間

S : 命令実行ステート数

## 19.6 使用上の注意

### 19.6.1 NMI 割り込み (SH7751 のみ)

NMI 端子から (CPU 内部、および外部バスの状態に依存する) 一定の期間に複数の NMI 割り込みが入った場合、それ以降の割り込みが受け付けられなくなる場合があります。

なお、NMI 割り込み入力の間隔が十分長い\*1 場合、および IRL などの NMI 以外の割り込みでは、本現象は発生しません。

【注】 \*1 2 つの NMI 割り込み処理間に SR.BL=0 にて 1 命令以上実行可能である場合。

[ 回避方法 ]

下記の 1.、2.または 3.の方法で本現象を回避することができます。

1. NMI割り込みを入力する場合には、上記【注】\*1の間隔をあけて入力してください。

また、NMIにハザードがのった場合には上記のNMIの入力間隔が確保されずに、誤動作する場合がありますので、NMIにはハザードが入らないように外部回路での対策をお願いします。\*2

【注】 \*2 NMI の High/Low のそれぞれの幅が 5CKIO 以上になるようにレベルを変化させ、レベル変化の前後にノイズパルスが入らないようにしてください。

2. NMI割り込みを使用せずに、IRL割り込みを用いる。

3. ソフトウェアによる回避方法

以下の命令列\*3\*4をNMI例外処理ルーチン内に挿入することで本不具合は回避することができます。

【注】 \*3 NMI 例外処理ルーチン内で SR.BL ビットを変更するプログラムにおいては、SR.BL ビットを変更する前に下記命令列を実行してください。

\*4 下記命令列中で用いているレジスタ R0-R3 は任意の汎用レジスタに変更可能です。  
また、該当レジスタの退避回復処理が必要な場合、下記命令列の前後にその処理を適宜加えてください。

```

////////////////////////////////////
;; R0 : tmp
;; R1 : Original SR
;; R2 : Original ICR
;; R3 : ICR Address

////////////////////////////////////
NMIH:
; (1) Set SR.IMASK = H'F
      stc      SR, R1          ;          SR 退避
      mov      R1, R0
      or       #H'F0, R0
      ldc      R0, SR

```





---

## 20. ユーザブレイクコントローラ

---

### 20.1 概要

ユーザブレイクコントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。UBC にブレイク条件を設定すると、CPU が発生するバスサイクルの内容に応じてユーザブレイク割り込みを発生します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。

#### 20.1.1 特長

ブレイクコントローラは、以下の特長があります。

- ブレイクコンペア条件として以下を設定可能

ブレイクチャンネル数：2チャンネル (チャンネルA、B)

チャンネルAおよびBについて単独条件、またはシーケンシャル条件でユーザブレイク割り込みを要求 (シーケンシャルブレイク設定：チャンネルA チャンネルB)

- (1) アドレス (32ビット仮想アドレスとASIDを比較対象として選択)

アドレス：全ビット比較 / 下位10ビットマスク / 下位12ビットマスク / 下位16ビットマスク / 下位20ビットマスク / 全ビットマスク

ASID：全ビット比較 / 全ビットマスク)

- (2) データ (チャンネルBのみ、32ビットマスク可能)
- (3) バスサイクル：命令アクセス / オペランドアクセス
- (4) リード / ライト
- (5) オペランドサイズ：バイト / ワード / ロングワード / クワッドワード

- 命令アクセスサイクルでのブレイクでは、命令の実行前に停止するか、実行後に停止するか選択できます。

## 20.1.2 ブロック図

ユーザブレイクコントローラのブロック図を図 20.1 に示します。

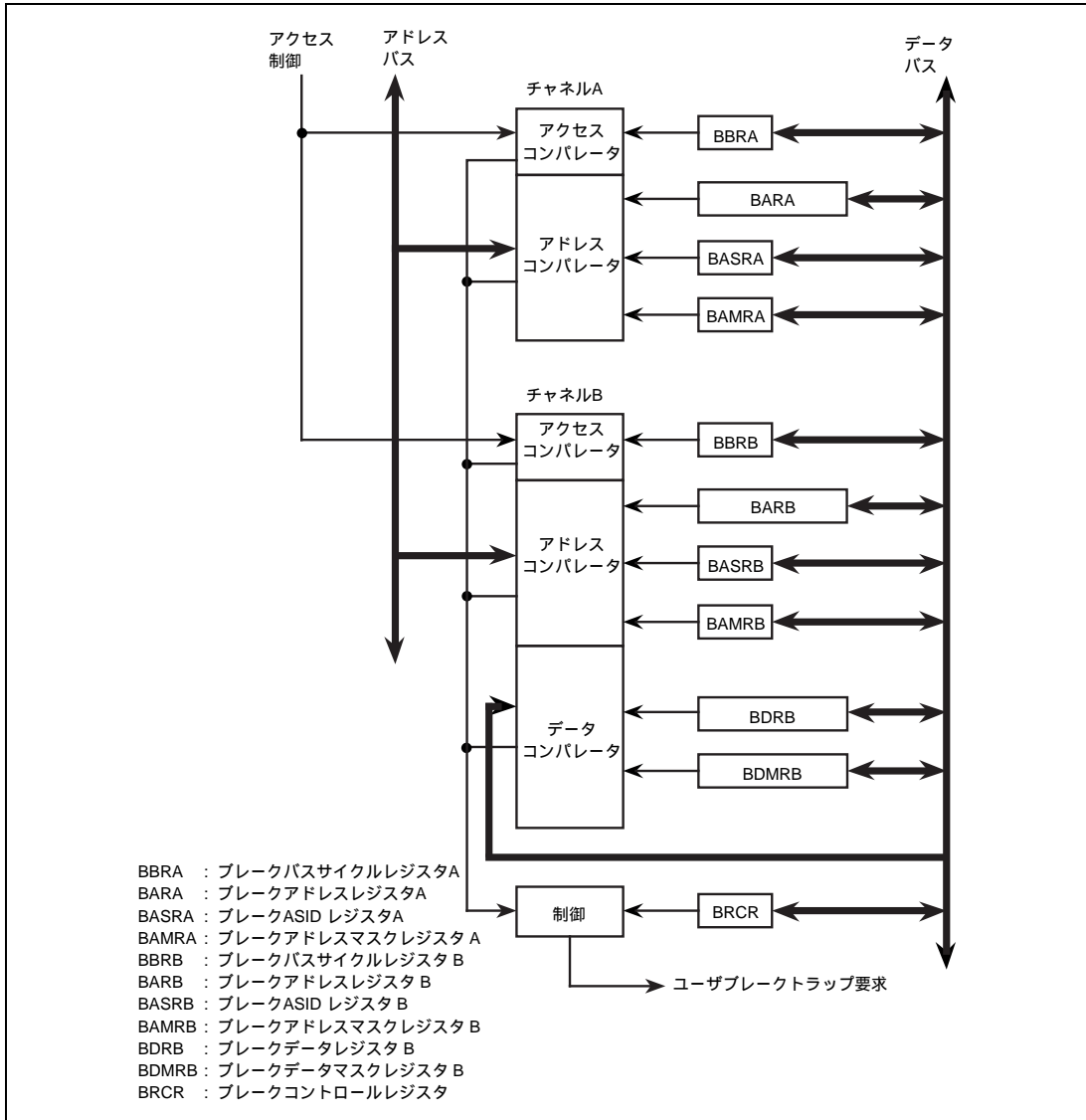


図 20.1 ユーザブレイクコントローラブロック図



表 20.1 にユーザブレイクコントローラのレジスタ構成を示します。

表 20.1 ユーザブレイクコントローラレジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	アクセス サイズ
ブレイクアドレスレジスタ A	BARA	R/W	不定	H'FF200000	H'1F200000	32
ブレイクアドレスマスクレジスタ A	BAMRA	R/W	不定	H'FF200004	H'1F200004	8
ブレイクバスサイクルレジスタ A	BBRA	R/W	H'0000	H'FF200008	H'1F200008	16
ブレイク ASID レジスタ A	BASRA	R/W	不定	H'FF000014	H'1F000014	8
ブレイクアドレスレジスタ B	BARB	R/W	不定	H'FF20000C	H'1F20000C	32
ブレイクアドレスマスクレジスタ B	BAMRB	R/W	不定	H'FF200010	H'1F200010	8
ブレイクバスサイクルレジスタ B	BBRB	R/W	H'0000	H'FF200014	H'1F200014	16
ブレイク ASID レジスタ B	BASRB	R/W	不定	H'FF000018	H'1F000018	8
ブレイクデータレジスタ B	BDRB	R/W	不定	H'FF200018	H'1F200018	32
ブレイクデータマスクレジスタ B	BDMRB	R/W	不定	H'FF20001C	H'1F20001C	32
ブレイクコントロールレジスタ	BRCR	R/W	H'0000*	H'FF200020	H'1F200020	16

【注】 \* 一部のビットは初期化されません。詳細は「20.2.12 ブレイクコントロールレジスタ (BRCR)」を参照してください。

## 20.2 各レジスタの説明

### 20.2.1 UBC レジスタへのアクセス

アクセスサイズはコントロールレジスタのサイズと同じでなければなりません。サイズが異なると、UBC レジスタの書き込み動作で書き込みが実行されず、読み出し動作は不定な値を返します。UBC レジスタの内容は、浮動小数点メモリロード命令で浮動小数点レジスタにアクセスすることはできません。

UBC レジスタを更新する場合、更新データを有効にするために次のいずれかの方法を用いてください。

1. レジスタを更新したメモリストア命令の後でRTE命令を実行します。更新データはRTE命令のジャンプ先以降有効になります。
2. レジスタを更新したメモリストア命令の後、実行に5ステートかかる命令を実行します。CPUは並行して2つの命令を実行し、1つの命令を実行するのに最低0.5ステートかかるので、11命令を挿入しなければなりません。更新データは第6ステート以降有効になります。

### 20.2.2 ブ레이크アドレスレジスタ A (BARA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 - : 不定

ブ레이크アドレスレジスタ A (BARA) は、読み出し / 書き込み可能な 32 ビットのレジスタで、チャンネル A のブ레이크条件とする仮想アドレスを指定します。BARA は、パワーオンリセット、マニュアルリセットで初期化されません。

ビット 31~0 : ブ레이크アドレス A31~0 (BAA31~0)

チャンネル A のブ레이크条件とする仮想アドレス (ビット 31~0) を格納します。

### 20.2.3 ブ레이크 ASID レジスタ A (BASRA)

ビット:	7	6	5	4	3	2	1	0
	BASA7	BASA6	BASA5	BASA4	BASA3	BASA2	BASA1	BASA0
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 - : 不定

ブ레이크 ASID レジスタ A (BASRA) は、読み出し / 書き込み可能な 8 ビットのレジスタで、チャンネル A のブ레이크条件とする ASID を指定します。BASRA は、パワーオンリセット、マニュアルリセットで初期化されません。

ビット 7~0 : ブ레이크 ASID A7~0 (BASA7~0)

チャンネル A のブ레이크条件とする ASID (ビット 7~0) を格納します。

## 20.2.4 ブ레이크アドレスマスクレジスタ A (BAMRA)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	BAMA2	BASMA	BAMA1	BAMA0
初期値:	0	0	0	0	-	-	-	-
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

【注】 - : 不定

ブ레이크アドレスマスクレジスタ A (BAMRA) は、読み出し / 書き込み可能な 8 ビットのレジスタです。BAMRA は、BASRA に設定されているブ레이크 ASID と BARA に設定されているブ레이크アドレスのうち、どのビットをマスクするかを指定します。BAMRA は、パワーオンリセット、マニュアルリセットで初期化されません。

### ビット 7~4 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

### ビット 2 : ブ레이크 ASID マスク A (BASMA)

BASRA に設定されているチャンネル A のブ레이크 ASID7~0 (BASA7~BASA0) の各ビットをマスクするかどうかを指定します。

ビット 2	説明
BASMA	
0	BASRA の全ビットをブ레이크条件に含める
1	BASRA の全ビットをブ레이크条件に含めない

### ビット 3、1、0 : ブ레이크アドレスマスク A2~0 (BAMA2~0)

BARA に設定されているチャンネル A のブ레이크アドレス 31~0 (BAA31~BAA0) の各ビットをマスクするかどうかを指定します。

ビット 3	ビット 1	ビット 0	説明
BAMA2	BAMA1	BAMA0	
0	0	0	BARA の全ビットをブ레이크条件に含める
0	0	1	BABA の下位 10 ビットをマスクし、条件に含めない
0	1	0	BABA の下位 12 ビットをマスクし、条件に含めない
0	1	1	BABA の全ビットをマスクし、条件に含めない
1	0	0	BABA の下位 16 ビットをマスクし、条件に含めない
1	0	1	BABA の下位 20 ビットをマスクし、条件に含めない
1	1	*	予約 (設定しないでください)

\* : Don't care

### 20.2.5 ブレークパスサイクルレジスタ A (BBRA)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	SZA2	IDA1	IDA0	RWA1	RWA0	SZA1	SZA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ブレークパスサイクルレジスタ A (BBRA) は、読み出し / 書き込み可能な 16 ビットレジスタで、チャンネル A のブレーク条件のうち (1) 命令アクセス / オペランドアクセス (2) リード / ライト (3) オペランドサイズの 3 条件を設定するレジスタです。

BBRA は、パワーオンリセット時に H'0000 に初期化されます。スタンバイモード時には値は保持されます。

#### ビット 15~7: リザーブビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

#### ビット 5、4: 命令アクセス / オペランドアクセスセレクト A (IDA1、IDA0)

チャンネル A のブレーク条件にするバスサイクルを命令アクセスサイクルにするかオペランドアクセスサイクルにするかを選択します。

ビット 5	ビット 4	説 明
IDA1	IDA0	
0	0	条件比較を行いません (初期値)
0	1	命令アクセスサイクルをブレーク条件とします
1	0	オペランドアクセスサイクルをブレーク条件とします
1	1	命令アクセスサイクルまたはオペランドアクセスサイクルをブレーク条件とします

#### ビット 3、2: リード / ライトセレクト A (RWA1、RWA0)

チャンネル A のブレーク条件にするバスサイクルをリードサイクルにするかライトサイクルにするかを選択します。

ビット 3	ビット 2	説 明
RWA1	RWA0	
0	0	条件比較を行いません (初期値)
0	1	リードサイクルをブレーク条件とします
1	0	ライトサイクルをブレーク条件とします
1	1	リードサイクルまたはライトサイクルをブレーク条件とします

ビット 6、1、0：オペランドサイズセレクト A ( SZA2、SZA1、SZA0 )

チャンネル A のブレイク条件にするバスサイクルのオペランドサイズを選択します。

ビット 6	ビット 1	ビット 0	説 明
SZA2	SZA1	SZA0	
0	0	0	ブレイク条件にオペランドサイズを含みません (初期値)
0	0	1	バイトアクセスをブレイク条件とします
0	1	0	ワードアクセスをブレイク条件とします
0	1	1	ロングワードアクセスをブレイク条件とします
1	0	0	クワッドワードアクセスをブレイク条件とします
1	0	1	予約 (設定しないでください)
1	1	*	予約 (設定しないでください)

\* : Don't care

## 20.2.6 ブレイクアドレスレジスタ B ( BARB )

チャンネル B のブレイクアドレスレジスタです。ビット構成は BARA と同様です。

## 20.2.7 ブレイク ASID レジスタ B ( BASRB )

チャンネル B のブレイク ASID レジスタです。ビット構成は BASRA と同様です。

## 20.2.8 ブレイクアドレスマスクレジスタ B ( BAMRB )

チャンネル B のブレイクアドレスマスクレジスタです。ビット構成は BAMRA と同様です。

## 20.2.9 ブレイクデータレジスタ B ( BDRB )

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDB31	BDB30	BDB29	BDB28	BDB27	BDB26	BDB25	BDB24	BDB23	BDB22	BDB21	BDB20	BDB19	BDB18	BDB17	BDB16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDB15	BDB14	BDB13	BDB12	BDB11	BDB10	BDB9	BDB8	BDB7	BDB6	BDB5	BDB4	BDB3	BDB2	BDB1	BDB0
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 - : 不定

ブレイクデータレジスタ B ( BDRB ) は、読み出し / 書き込み可能な 32 ビットのレジスタで、チャンネル B のブレイク条件とするデータ ( ビット 31 ~ 0 ) を指定します。BDRB は、パワーオンリセット、マニュアルリセットで初期化されません。

ビット 31 ~ 0 : ブレイクデータ B31 ~ 0 ( BDB31 ~ 0 )

ブレイクチャンネル B のブレイク条件とするデータ ( ビット 31 ~ 0 ) を格納します。

### 20.2.10 ブ레이크データマスクレジスタ B (BDMRB)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDMB31	BDMB30	BDMB29	BDMB28	BDMB27	BDMB26	BDMB25	BDMB24	BDMB23	BDMB22	BDMB21	BDMB20	BDMB19	BDMB18	BDMB17	BDMB16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDMB15	BDMB14	BDMB13	BDMB12	BDMB11	BDMB10	BDMB9	BDMB8	BDMB7	BDMB6	BDMB5	BDMB4	BDMB3	BDMB2	BDMB1	BDMB0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 - : 不定

ブ레이크データマスクレジスタ B (BDMRB) は、読み出し / 書き込み可能な 32 ビットのレジスタです。BDMRB は BDRB に設定されているブ레이크データのどのビットをマスクするかを指定します。BDMRB は、パワーオンリセット、マニュアルリセットで初期化されません。

ビット 31 ~ 0 : ブ레이크データマスク B31 ~ 0 (BDMB31 ~ 0)

BDRB に設定されているチャンネル B のブ레이크データ B31 ~ 0 (BDB31 ~ BDB0) の各ビットをマスクするかどうかを指定します。

ビット 31 ~ 0	説明
BDMBn	
0	チャンネル B のブ레이크アドレス BDB n をブ레이크条件に含める
1	チャンネル B のブ레이크アドレス BDB n をマスクし、条件に含めない

n=31 ~ 0

【注】 データバスの値をブ레이크条件に含めるときはオペランドサイズを指定してください。バイトサイズを指定するときは、BDRB および BDMRB のビット 15 ~ 8、7 ~ 0 に同じデータを設定してください。

### 20.2.11 ブ레이크バスサイクルレジスタ B (BBRB)

チャンネル B のバスブ레이크レジスタです。ビット構成は BBRA と同様です。

## 20.2.12 ブレイクコントロールレジスタ (BRCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMFA	CMFB	-	-	-	PCBA	-	-	DBEB	PCBB	-	-	SEQ	-	-	UBDE
初期値:	0	0	0	0	0	-	0	0	-	-	0	0	-	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R	R	R/W

【注】 - : 不定

ブレイクコントロールレジスタ (BRCR) は、読み出し / 書き込み可能な 16 ビットのレジスタです。

BRCR は、(1) チャンネル A、B を独立 2 チャンネルまたはシーケンシャル条件のどちらで使用するか、(2) 命令実行前 / 実行後のどちらでブレイクするか、(3) チャンネル B のブレイク条件に BDRB レジスタを含めるか、(4) ユーザブレイクデバッグ機能を使用するかを設定をします。また、条件一致フラグを持っています。BRCR の CMFA、CMFB、および UBDE ビットは、パワーオンリセット時に 0 に初期化されます。スタンバイモード時には、値は保持されます。PCBA、DBEB、PCBB、SEQ ビットは、パワーオンリセット、マニュアルリセット時に不定となりますので、必要に応じてソフトウェアで初期化してください。

ビット 15: コンディションマッチフラグ A (CMFA)

チャンネル A に設定したブレイク条件が成立したとき 1 にセットされます。0 クリアは行いません。一度セットされた後、再度フラグのセットを確認する場合は、書き込みでクリアしてください。

ビット 15	説 明	
CMFA		
0	チャンネル A のブレイク条件は一致していません	(初期値)
1	チャンネル A のブレイク条件の一致がありました	

ビット 14: コンディションマッチフラグ B (CMFB)

チャンネル B に設定したブレイク条件が成立したとき 1 にセットされます。0 クリアは行いません。一度セットされた後、再度フラグのセットを確認する場合は、書き込みでクリアしてください。

ビット 14	説 明	
CMFB		
0	チャンネル B のブレイク条件は一致していません	(初期値)
1	チャンネル B のブレイク条件の一致がありました	

ビット 13~11: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 10：命令アクセスブレイクセレクト A (PCBA)

チャンネル A の命令アクセスサイクルでのブレイクタイミングを、命令実行前か、命令実行後かを選択します。このビットはパワーオンリセット、マニュアルリセット時に初期化されません。

ビット 10	説 明
PCBA	
0	チャンネル A の PC ブレイクを命令実行前にします
1	チャンネル A の PC ブレイクを命令実行後にします

## ビット 9、8：予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 7：データブレイクイネーブル B (DBEB)

チャンネル B のブレイク条件にデータベースの条件を含めるかどうかを選択します。このビットはパワーオンリセット、マニュアルリセット時に初期化されません。

ビット 7	説 明
DBEB	
0	チャンネル B の条件にデータベースの条件を含めません
1	チャンネル B の条件にデータベースの条件を含めます

【注】 データバスをブレイク条件に含める場合、ブレイクバスサイクルレジスタ B (BBRB) の IDB1、0 ビットは 10 または 11 としてください。

## ビット 6：PC ブレイクセレクト B (PCBB)

チャンネル B の命令アクセスサイクルでのブレイクタイミングを、命令実行前か、命令実行後かを選択します。このビットはパワーオンリセット、マニュアルリセット時に初期化されません。

ビット 6	説 明
PCBB	
0	チャンネル B の PC ブレイクを命令実行前にします
1	チャンネル B の PC ブレイクを命令実行後にします

## ビット 5、4：予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。



## ビット 3 : シーケンス条件セレクト (SEQ)

チャンネル A、B の 2 本の条件を、独立かシーケンシャルかを選択します。このビットはパワーオンリセット、マニュアルリセット時に初期化されません。

ビット 3	説 明
SEQ	
0	チャンネル A、B を独立条件でコンペアします
1	チャンネル A、B をシーケンシャル条件でコンペアします (チャンネル A チャンネル B)

## ビット 2、1 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 0 : ユーザブレイクデバッグイネーブル (UBDE)

ユーザブレイクデバッグ機能 (「20.4 ユーザブレイクデバッグサポート機能」を参照) を使用するかどうかを選択します。

ビット 0	説 明
UBDE	
0	ユーザブレイクデバッグ機能を使用しない (初期値)
1	ユーザブレイクデバッグ機能を使用する

## 20.3 動作説明

### 20.3.1 アクセスに関する用語の説明

命令アクセスとは命令を取得するアクセスのことです。例えば、分岐命令の実行時、分岐先からの命令のフェッチは命令アクセスです。オペランドアクセスとは命令実行の目的のための任意のメモリアccessのことです。例えば、命令 MOV.W @(disp,PC),Rn のアドレス (PC+disp×2+4) に対するアクセスはオペランドアクセスです。「データ」という用語はデータとアドレスを区別するために使用するので、本章では「オペランドアクセス」という用語を使用します。

本 LSI では、すべてのオペランドアクセスを読み出しアクセスが書き込みアクセスとして扱います。次の命令は特別の注意が必要です。

- PREF、OCBPおよびOCBWB命令：読み出しアクセスとして扱います。
- MOVCA.LおよびOCBI命令：書き込みアクセスとして扱います。
- TAS.B命令：1つの読み出しアクセス、1つの書き込みアクセスとして扱います。

PREF、OCBP、OCBWB、OCBI 命令に対するオペランドアクセスはアクセスデータのないアクセスです。

本 LSI はすべてのオペランドアクセスをデータサイズを持つアクセスとして扱います。データサイズにはバイト、ワード、ロングワード、クワッドワードがあります。PREF、OCBP、OCBWB、MOVCA.L、OCBI 命令に対するオペランドデータサイズはロングワードとして扱います。

### 20.3.2 命令間隔に関する用語の説明

本章では、2つの命令間の距離を表す手段として「...後の1(2、3、...)命令」を次のように定義します。分岐は2つの命令の間隔として計算します。

#### 1. 分岐なしの命令のシーケンス例

- 100 命令A (命令Aの後の0命令)
- 102 命令B (命令Aの後の1命令)
- 104 命令C (命令Aの後の2命令)
- 106 命令D (命令Aの後の3命令)

#### 2. 分岐のある命令のシーケンス例 (ただし、遅延分岐命令の飛び先が自分自身+4のときには、分岐しない命令列の例を適用してください)

- 100 命令A : BT/S L200 (命令Aの後の0命令)
- 102 命令B : (命令Aの後の1命令、命令Bの後の0命令)
- L200 200 命令C : (命令Aの後の3命令、命令Bの後の2命令)
- 202 命令D : (命令Aの後の4命令、命令Bの後の3命令)

### 20.3.3 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作シーケンスを次に示します。

1. 命令アクセスの場合、実行前、実行後のブレイクのどちらかを指定し、オペランドアクセスの場合、データバス値をブレイク条件に加えるか否かを指定し、ブレイクコントロールレジスタ (BRCR) でチャンネルAブレイク条件とチャンネルBブレイク条件を独立して使用するかシーケンシャルで使用するかを指定します。各チャンネルに対するブレイクアドレスレジスタ (BARA、BARB) にブレイクアドレスを設定し、ブレイクASIDレジスタ (BASRA、BASRB) にブレイク空間に対応するASIDを設定し、ブレイクアドレスマスクレジスタ (BAMRA、BAMRB) にアドレスとASIDマスク方法を設定します。ブレイク条件にデータバス値を含める場合は、ブレイクデータレジスタ (BDRB) にブレイクデータを、ブレイクデータマスクレジスタ (BDMRB) にデータマスクも設定します。
2. ブレイクバスサイクルレジスタ (BBRA、BBRB) にブレイクバス条件を設定します。BBRA、BBRBの命令アクセス/オペランドアクセスセレクト (IDビット) およびリード/ライトセレクト (RWビット) グループのいずれかを00に設定すると、該当するチャンネルにユーザブレイク割り込みは発生しません。他のすべてのブレイク関連レジスタ設定が終了後、BBRAとBBRB設定を行ってください。リセット後、ブレイクアドレスまたはデータ、マスクレジスタ、またはブレイクコントロールレジスタが初期状態で、BBRA、BBRBでブレイクを有効にする場合、誤ってブレイクを生成してしまう場合があります。
3. ブレイク条件を満足した場合の動作は、(CPUのSRレジスタの) BLビットによって異なります。BLビットが0のとき、例外処理が開始し、該当するチャンネルに対する条件一致フラグ (CMFA、CMFB) が一致条件に対してセットされます。BLビットが1の場合、該当するチャンネルの条件一致フラグ (CMFA、CMFB) は一致条件に対してセットされますが、例外処理は開始しません。

条件一致フラグ (CMFA、CMFB) はブレイク条件一致でセットされますが、オートクリアされません。したがって、フラグを0にクリアするためにメモリストア命令をBRCRレジスタに対して使用してください。条件一致フラグの正確な設定条件については、「20.3.6 条件一致フラグの設定」を参照してください。

4. シーケンシャル条件モードを選択し、チャンネルA条件の一致後、チャンネルB条件が一致すると、チャンネルB条件が一致した命令でブレイクが実行されます。チャンネルA条件一致とチャンネルB条件一致が接近して発生する場合の動作については、「20.3.8 シーケンシャル条件に対応した隣接A、Bの設定」を参照してください。シーケンシャル条件では、チャンネルB条件一致フラグのみがセットされます。シーケンシャル条件モードを選択し、チャンネルA条件が一致し、しかもチャンネルB条件がまだ一致していないときにチャンネルA一致をクリアしたい場合、これはBRCRレジスタのSEQビットに0を書き込むことによって行うことができます。

### 20.3.4 命令アクセスサイクルブレイク

1. ブレイクバスサイクルレジスタ (BBRA、BBRB) で命令アクセス/リード/ワード設定を行うと、命令アクセスサイクルはブレイク条件として使用することができます。この場合、該当する命令の実行の前か後のどちらかでブレイクするかはブレイクコントロールレジスタ (BRCR) のPCBA、PCBBビットで選択できます。ブレイク条件として命令アクセスサイクルを使用する場合、ブレイクアドレスレジスタ (BARA、BARB) のLSBを0にクリアしてください。このビットが1にセットされているとブレイクは発生しません。
2. 実行前ブレイクを指定すると、命令をフェッチし実行することが確定した時点でブレイクが実行されます。したがって、オーバランフェッチした命令 (フェッチしても分岐または例外が発生すると実行されない命令) ではブレイクが発生しません。ただし、ブレイク対象の命令のフェッチ時にTLBミスまたはTLB保護違反例外が発生する場合、まずブレイク例外処理が実行されます。命令TLB例外処理は、命令が再実行されるときに実行されます (「5.4 例外の種類と優先順位」を参照)。また、遅延分岐命令と遅延スロット命令は1つの命令として実行されるので、遅延スロット命令に実行前ブレイクが指定される場合、遅延分岐命令の実行前にブレイクが実行されます。ただし、RTE命令の遅延スロット命令には実行前ブレイクを指定することはできません。
3. 実行後ブレイクでは、ブレイク条件として命令が実行された後、次の命令の実行前にブレイク割り込みが発生します。遅延分岐命令に実行後ブレイクを設定すると、遅延スロットが実行され、(分岐を行うとき) 分岐先の命令、または (分岐を行わないとき) 遅延スロット命令の次の命令の実行の前にブレイクが実行されます。
4. (チャネルBに命令アクセスサイクルを設定すると、命令アクセス一致があるかどうかを判断する際、ブレイクデータレジスタB (BDRB) は無視されます。したがって、BRCRのDBEBビットはブレイク条件を実行しません。

### 20.3.5 オペランドアクセスサイクルブレイク

1. オペランドアクセスサイクルブレイクの場合、アドレスバス比較に含まれるビットはブレイクバスサイクルレジスタ (BBRA、BBRB) のデータサイズ指定によって以下のように異なります。

データサイズ	比較アドレスビット
クワッドワード(100)	アドレスビット A31 ~ A3
ロングワード(011)	アドレスビット A31 ~ A2
ワード(010)	アドレスビット A31 ~ A1
バイト(001)	アドレスビット A31 ~ A0
条件には含まれない(000)	クワッドワードアクセス時のアドレスビット A31 ~ A3 ロングワードアクセス時のアドレスビット A31 ~ A2 ワードアクセス時のアドレスビット A31 ~ A1 バイトアクセス時のアドレスビット A31 ~ A0

2. データバスをチャンネルBのブレイク条件に含める場合

ブレイク条件にデータ値が含まれる場合は、ブレイクコントロールレジスタ (BRCR) のDBEBを1にセットします。アドレス条件のほかにブレイクデータレジスタ (BDRB) とブレイクデータマスクレジスタB (BDMRB) の設定が必要になります。アドレス、ASID、データの3つの条件がすべて一致すると、ユーザブレイク割り込みが発生します。クワッドワードアクセスが発生すると、64ビットアクセスデータは上位32ビットと下位32ビットに分割され、2つの32ビットデータ単位として解釈されます。32ビットデータ単位のいずれかがデータ一致条件を満足するとブレイクが発生します。

ブレイクバスサイクルレジスタB (BBRB) のIDB1、IDB0ビットを10または11に設定してください。バイトデータを指定するとき、同じデータをブレイクデータレジスタB (BDRB) とブレイクデータマスクレジスタB (BDMRB) のビット15 ~ 8とビット7 ~ 0からなる2つのバイトに設定しなければなりません。ワードまたはバイトを設定する場合、BDRBとBDMRBのビット31 ~ 16は無視されます。

3. ブレイクコントロールレジスタ (BRCR) のDBEBビットを1にセットすると、アクセスデータのないオペランドアクセス (PREF、OCBP、OCBWB、OCBI命令のオペランドアクセス) ではブレイクは発生しません。

### 20.3.6 条件一致フラグの設定

#### (1) 実行後条件付き命令アクセス、またはオペランドアクセス

ブレイクを発生させる命令の実行が完了するとフラグがセットされます。ただし、この例外として複数のオペランドアクセスを持つ命令の場合、命令の実行が完了するまで待つことなく一致条件の検出だけでフラグがセットされることがあります。

- 例1:

100	BT L200 (分岐実行)	
102	命令 (チャンネルA上のオペランドアクセスブレイク)	フラグはセットされない

- 例2:

110	FADD (FPU例外)	
112	命令 (チャンネルA上のオペランドアクセスブレイク)	フラグはセットされない

#### (2) 実行前条件付き命令アクセス

ブレイク一致条件の検出時にフラグはセットされます。

- 例1:

110	命令 (チャンネルA上の実行前ブレイク)	フラグはセットされる
112	命令 (チャンネルB上の実行前ブレイク)	フラグはセットされない

- 例2:

110	命令 (チャンネルB上の実行前ブレイク、命令アクセスTLBミス)	フラグはセットされる
-----	----------------------------------	------------

### 20.3.7 退避したプログラムカウンタ (PC) 値

1. 命令アクセス (実行前) をブレイク条件として設定する場合、ユーザブレイク割り込み処理でSPCに退避するプログラムカウンタ (PC) の値は、ブレイク条件一致が発生した命令のアドレスです。この場合、ユーザブレイク割り込みが発生し、フェッチした命令は実行されません。
2. 命令アクセス (実行後) をブレイク条件として設定する場合、ユーザブレイク割り込み処理でSPCに退避するプログラムカウンタ (PC) の値は、ブレイク条件一致が発生した命令の次に実行される命令のアドレスです。この場合、フェッチした命令は実行され、次の命令の実行前にユーザブレイク割り込みが発生します。
3. 命令アクセス (実行後) ブレイク条件を遅延分岐命令に設定する場合、遅延スロット命令が実行され、(分岐する場合) 分岐先の命令または (分岐しない場合) 遅延スロット命令の次の命令の実行の前にユーザブレイクが実行されます。この場合、SPCに退避するPCの値は、(分岐する場合) 分岐先、または (分岐しない場合) 遅延スロット命令の次の命令のアドレスです。
4. オペランドアクセス (アドレスのみ) をブレイク条件に設定した場合、条件が一致した命令の次に実行される命令のアドレスがSPCに退避されます。条件が一致した命令は実行され、次の命令の実行前にユーザブレイク割り込みが発生します。
5. オペランドアクセス (アドレス+データ) をブレイク条件として設定する場合、条件が一致した命令は実行を完了します。1命令後から4命令後まで命令の実行前にユーザブレイク割り込みが発生します。1命令後から

4命令後までのどの命令で割り込みが発生するかを指定することは不可能です。ユーザブレイク割り込み処理が開始した時点で実行を完了する命令の次の命令の先頭アドレスがSPCに退避されます。1命令後の命令と4命令後の命令の間にある命令が別の例外が発生するときのコントロールは次のように実行されます。ブレイクによって発生する例外を例外1、1命令後の命令と4命令後の命令の間にある命令によって発生する例外を例外2とすると、例外2によって実行できないメモリ更新とレジスタ更新は、例外1の存在には関係なく保証されます。退避したプログラムカウンタの値は、実行を抑制した最初の命令のアドレスです。例外ジャンプ先と例外レジスタ (EXPEVT、INTEVT) に書き込まれる値に例外1、例外2のどちらを使用するかは保証されません。ただし、例外2が命令に同期していないソースからの場合 (外部割り込みまたは周辺モジュール割り込み) 例外ジャンプ先と例外レジスタ (EXPEVT、INTEVT) に書き込まれる値には例外1が使用されます。

### 20.3.8 シーケンシャル条件に対応した隣接 A、B の設定

チャンネル A とチャンネル B の一致タイミングが接近している場合、シーケンシャルブレイクは保証されない場合があります。保証範囲に関する規約を下に示します。

#### 1. チャンネルA、チャンネルB両方における命令アクセス一致

命令 B は命令 A の 0 命令後	同じアドレスを設定するのと等価です。この設定は使用しないでください
命令 B は命令 A の 1 命令後	シーケンシャル動作は保証されません
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます

#### 2. チャンネルA上の命令アクセス一致、チャンネルB上のオペランドアクセス一致

命令 B は命令 A の 0 または 1 命令後	シーケンシャル動作は保証されません
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます

#### 3. チャンネルA上のオペランドアクセス一致、チャンネルB上の命令アクセス一致

命令 B は命令 A の 0~3 命令後	シーケンシャル動作は保証されません
命令 B は命令 A の 4 命令以上後	シーケンシャル動作は保証されます

#### 4. チャンネルA、チャンネルB両方におけるオペランドアクセス一致

単一オペランドアクセスがチャンネルA、チャンネルB両方のブレイク条件に一致するような設定はしないでください。それ以外の制限はありません。例えば、1つの命令中の2つのアクセスがチャンネルAとチャンネルBの条件に順番に一致したとしてもシーケンシャル動作は保証されます。

### 20.3.9 UBC 使用上の注意

1. SLEEP命令に対しては、実行後命令アクセスブレイクを実行しないでください。
2. SLEEP命令の1～3命令前では、オペランドアクセスブレイクの設定をしないでください。
3. ユーザブレイク例外で参照するBLビットの値は、ブレイク設定によって異なります。
  - (a) 実行前命令アクセスブレイク： 実行した命令の前のBLビット値を参照します。
  - (b) 実行後命令アクセスブレイク： 実行した命令の前後のBLビットのOR値を参照します。
  - (c) オペランドアクセスブレイク（アドレス/データ）： 実行した命令の後のBLビット値を参照します。
  - (d) BLビットを変更する命令の場合

SL:BL	実行前命令 アクセス	実行後命令 アクセス	実行前命令 アクセス	実行後命令 アクセス	オペランドアクセス (アドレス/データ)
0 0	A	A	A	A	A
1 0	M	M	M	M	A
0 1	A	M	A	M	M
1 1	M	M	M	M	M

(A：受け付け、 M：マスク)

- (e) RTEの遅延スロットの場合
 

遅延スロット命令の実行の前のBLビット値は、RTE命令の実行前のBLビット値と同じです。遅延スロット命令の実行の後のBLビット値は、RTE命令により復帰したときに最初に実行される命令の最初のBLビット値と同じ（RTEの実行の前のSSRのBLビット値と同じ）です。
  - (f) BLビットが0で割り込みまたは例外を受け付ける場合、例外処理ルーチンの最初の命令の実行前のBLビットの値は1です。
4. チャンネルA、B両方が同時に独立して一致し、またその結果SPC値が両方のユーザブレイク割り込みに対して同じ場合、ユーザブレイク割り込みは一度だけ発生しますが、CMFAビット、CMFBビットはともにセットされます。例えば、
 

110命令（チャンネルA上の実行後命令ブレイク） SPC=112、CMFA=1

112命令（チャンネルB上の実行前命令ブレイク） SPC=112、CMFB=1
  5. BRCCRのPCBAビットまたはPCBBビットは命令アクセスブレイクの設定に対して有効です。
  6. BRCCRのSEQビットが1の場合、内部シーケンシャルブレイクステートはチャンネルB条件一致によって初期化されます。例えば、A A B（ユーザブレイクの発生） B（何も発生しない）となります。
  7. マルチステップ命令において再実行型例外と実行後ブレイクが競合した場合、再実行型例外が発生します。このとき、ブレイク条件の成立に対して、CMFビットが1になる場合と、ならない場合があります。



8. 実行後ブレークは完了型例外に分類されています。そのため、同じ命令で完了型例外と実行後ブレークが競合した場合、それらの優先度により、実行後ブレークが抑止されます。例えば、TRAPA命令と実行後ブレークが競合した場合、ユーザブレークは抑止されます。ただし、このときブレーク条件成立によりCMFビットはセットされます。

## 20.4 ユーザブレイクデバッグサポート機能

ユーザブレイクデバッグサポート機能を用いることにより、ユーザブレイク例外発生時の処理を変更することができます。ユーザブレイク例外の発生時、BRCR レジスタの UBDE ビットが 1 にセットされている場合、DBR レジスタ値は[VBR+オフセット]の代わりに分岐先アドレスとして使用されます。BRCR レジスタの UBDE の値または例外要因の種類に関係なく R15 の値は SGR レジスタに退避されます。ユーザブレイクデバッグサポート機能のフローチャートを図 20.2 に示します。

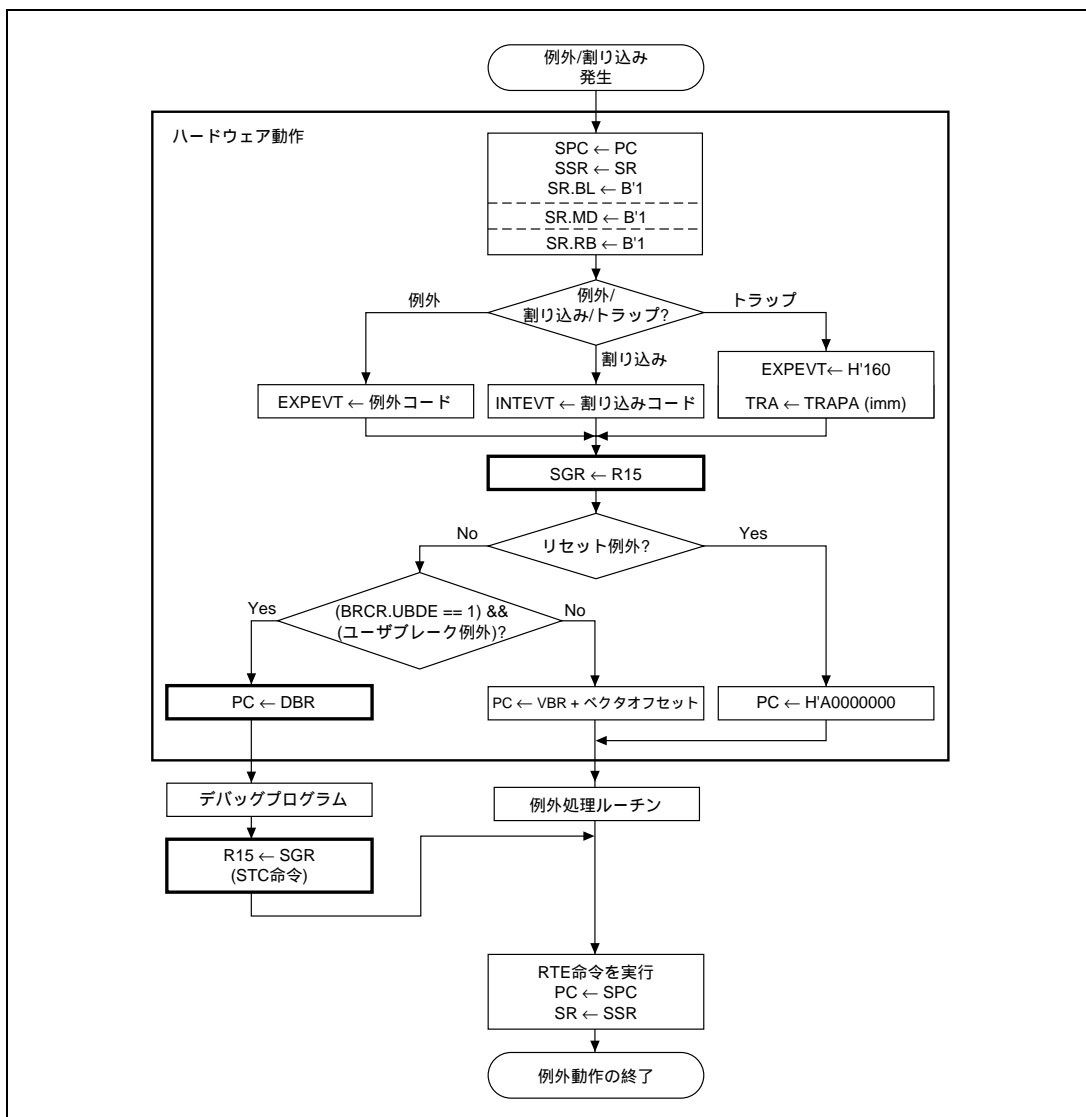


図 20.2 ユーザブレイクデバッグサポート機能のフローチャート

## 20.5 使用例

### (1) 命令アクセスサイクルへのブレイク条件設定

#### (a) レジスタ設定：

BASRA=H'80/BARA=H'00000404/BAMRA=H'00/BBRA=H'0014

BASRB=H'70/BARB=H'00008010/BAMRB=H'01/BBRB=H'0014

BDRB=H'00000000/BDMRB=H'00000000

BRCR=H'0400

- 設定された条件：Aチャンネル/Bチャンネル独立モード

- Aチャンネル

ASID H'80 / アドレス H'00000404 / アドレスマスク H'00

バスサイクル 命令アクセス (命令実行後)、リード (オペランドサイズは条件に含まれない)

- Bチャンネル

ASID H'70 / アドレス H'00008010 / アドレスマスク H'01

データ H'00000000 / データマスク H'00000000

バスサイクル 命令アクセス (命令実行前)、リード (オペランドサイズは条件に含まれない)

- ASID=H'80でアドレスH'00000404番地の命令の実行後、または、ASID=H'70でアドレスH'00008000～H'000083FE番地の命令の実行前にユーザブレイクが発生します。

#### (b) レジスタ設定：

BASRA=H'80/BARA=H'00037226/BAMRA=H'00/BBRA=H'0016

BASRB=H'70/BARB=H'0003722E/BAMRB=H'00/BBRB=H'0016

BDRB=H'00000000/BDMRB=H'00000000

BRCR=H'0008

- 設定された条件：Aチャンネル Bチャンネルシーケンシャルモード

- Aチャンネル：

ASID H'80 / アドレス H'00037226 / アドレスマスク H'00

バスサイクル 命令アクセス (命令実行前)、リード、ワード

- Bチャンネル：

ASID H'70 / アドレス H'0003722E / アドレスマスク H'00

データ H'00000000 / データマスク H'00000000

バスサイクル 命令アクセス (命令実行前)、リード、ワード

ASID=H'80 かつアドレス H'00037226 にある命令を実行して、その後 ASID=H'70 かつアドレス H'0003722E にある命令の実行前にユーザブレイクが発生します。

## (c) レジスタ設定：

BASRA=H'80/BARA=H'00027128/BAMRA=H'00/BBRA=H'001A

BASRB=H'70/BARB=H'00031415/BAMRB=H'00/BBRB=H'0014

BDRB=H'00000000 / BDMRB=H'00000000

BRCR=H'0000

- 設定された条件：Aチャンネル / Bチャンネル独立モード

## - Aチャンネル：

ASID H'80 / アドレス H'00027128 / アドレスマスク H'00

バスサイクル CPU、命令アクセス（命令実行前）、ライト、ワード

## - Bチャンネル：

ASID H'70 / アドレス H'00031415 / アドレスマスク H'00

データ H'00000000 / データマスク H'00000000

バスサイクル CPU、命令アクセス（命令実行前）

リード（オペランドサイズは条件に含まれない）

Aチャンネルは、命令アクセスはライトサイクルではないので、ユーザブレイク割り込みは発生しません。

Bチャンネルは、命令アクセスは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。

## (2) オペランドアクセスサイクルへのブレイク条件設定

- レジスタ設定：

BASRA=H'80/BARA=H'00123456/BAMRA=H'00/BBRA=H'0024

BASRB=H'70/BARB=H'000ABCDE/BAMRB=H'02/BBRB=H'002A

BDRB=H'0000A512/BDMRB=H'00000000

BRCR=H'0080

- 設定された条件：Aチャンネル / Bチャンネル独立モード

## - Aチャンネル：

ASID H'80 / アドレス H'00123456 / アドレスマスク H'00

バスサイクル オペランドアクセス、リード（オペランドサイズは条件に含まれない）

## - Bチャンネル：

ASID H'70 / アドレス H'000ABCDE / アドレスマスク H'02

データ H'0000A512 / データマスク H'00000000

バスサイクル オペランドアクセス、ライト、ワード、データブレイクイネーブル

Aチャンネルは、ASID=H'80 で H'00123454 番地にロングワードでリード / H'00123456 番地にワードでリード / H'00123456 番地にバイトでリードしたときに、ユーザブレイク割り込みが発生します。

Bチャンネルは、ASID=H'70 で H'000AB000 ~ H'000ABFFE 番地のどこかにワードで H'A512 をライトしたときにユーザブレイク割り込みが発生します。

## 20.6 ユーザブレイクコントローラ停止機能

本機能は、ユーザブレイクコントロール部に供給されるクロックを停止し、チップ動作時の消費電力を低減するために使用します。本機能を用いる場合は、ユーザブレイクコントローラを使用できなくなるため注意が必要です。

### 20.6.1 ユーザブレイクコントローラ停止状態への遷移

STBCR2 (CPG 内) の MSTP5 ビットに 1 を設定することで、クロック供給が停止し、ユーザブレイクコントロール部は停止状態へ遷移します。以下の (1) ~ (5) に示す手順に沿って MSTP5 ビットを 1 にして、停止状態へ遷移してください。

1. BBRA、BBRBを0で初期化
2. BRRCRを0で初期化
3. BRRCRをダミーリード
4. STBCR2リード後、MSTP5ビットに1をセットして書き戻す。
5. STBCR2を2回ダミーリード

上記 1. ~ 5. の処理を行う間に、例外 / 割り込みが発生した場合、その例外処理ルーチン内で上記レジスタの値を変更しないようにしてください。

ユーザブレイクコントローラのクロック停止期間中は、BARA、BAMRA、BBRA、BARB、BAMRB、BBRB、BDRB、BDMRB、BRRCR レジスタを読み書きしないでください。読み書きした場合、その値は保証されません。

### 20.6.2 ユーザブレイクコントローラ停止状態の解除

STBCR2 (CPG 内) の MSTP5 ビットに 0 を設定することで、クロック供給が再開し、ユーザブレイクコントローラは動作可能になります。以下の 6.、7. に示す手順に沿って MSTP5 ビットを 0 にクリアして、停止状態を解除してください。

6. STBCR2リード後、MSTP5ビットを0クリアして書き戻す
7. STBCR2を2回ダミーリード

停止状態への遷移と同様、上記 6.、7. の処理を行う間に、例外 / 割り込みが発生した場合、その例外処理ルーチン内で上記レジスタの値を変更しないようにしてください。

### 20.6.3 ユーザブレイクコントローラ停止状態の遷移および解除例

以下に、プログラム例を示します。

```
; ユーザブレイクコントローラ停止状態への遷移
; (1) BBRA, BBRB を 0 で初期化
      mov          #0, R0
      mov.l       #BBRA, R1
      mov.w       R0, @R1
      mov.l       #BBRB, R1
      mov.w       R0, @R1

; (2) BRCCR を 0 で初期化
      mov.l       #BRCCR, R1
      mov.w       R0, @R1

; (3) BRCCR をダミーリード
      mov.w       @R1, R0

; (4) STBCR2 リード後、MSTP5 ビットに 1 をセットして書き戻す
      mov.l       #STBCR2, R1
      mov.b       @R1, R0
      or          #H'1, R0
      mov.b       R0, @R1

; (5) STBCR2 を 2 回ダミーリード
      mov.b       @R1, R0
      mov.b       @R1, R0

; ユーザブレイクコントローラ停止状態の解除
; (6) STBCR2 リード後、MSTP5 ビットを 0 クリアして書き戻す
      mov.l       #STBCR2, R1
      mov.b       @R1, R0
      and         #H'FE, R0
      mov.b       R0, @R1

; (7) STBCR2 を 2 回ダミーリード
      mov.b       @R1, R0
      mov.b       @R1, R0
```

---

## 21. ユーザデバッグインタフェース (H-UDI)

---

### 21.1 概要

#### 21.1.1 特長

ユーザデバッグインタフェース(H-UDI)は JTAG, IEEE 1149.1, "IEEE Standard Test Access Port and Boundary-Scan Architecture" のサブセットをサポートしたシリアル入出力インタフェースです。本 LSI の H-UDI はバウンダリスキャンに対応しており、エミュレータの接続にも使用されます。エミュレータを使用する場合は本インタフェースの機能を使用しないでください。なお、エミュレータとの接続方法はエミュレータのマニュアルを参照してください。H-UDI は 6 本の端子(TCK、TMS、TDI、TDO、 $\overline{\text{TRST}}$ 、 $\overline{\text{ASEBRK/BRKACK}}$ )から成ります。本 LSI ではエミュレータ専用端子 6 本 (AUDSYNC、AUDCK、AUDATA3~0) がさらに追加になっています。端子機能や、シリアル転送プロトコルは JTAG の規格に準拠します。

#### 21.1.2 ブロック図

図 21.1 に H-UDI 部分の構成を示します。このうち TAP(Test Access Port)コントローラと制御レジスタはチップのリセット端子とは独立して、 $\overline{\text{TRST}}$  端子をローレベルにするか、TMS を 1 にし TCK を 5 サイクル以上かけることによりリセットがかかります。その他の回路は通常リセット期間にリセットがかかり初期化されます。H-UDI 回路は内部に SDBPR、SDBSR、SDIR、SDDR(SDDRH、SDDRL)、SDINT の計 6 本のレジスタを持ちます。SDBPR は JTAG のバイパスモードをサポートするためのレジスタ、SDBSR は JTAG のバウンダリスキャンを構成するシフトレジスタ、SDIR はコマンド用のレジスタ、SDDR はデータ用のレジスタ、SDINT は H-UDI 割り込み用のレジスタです。SDIR は TDI、TDO 端子から直接アクセスできます。

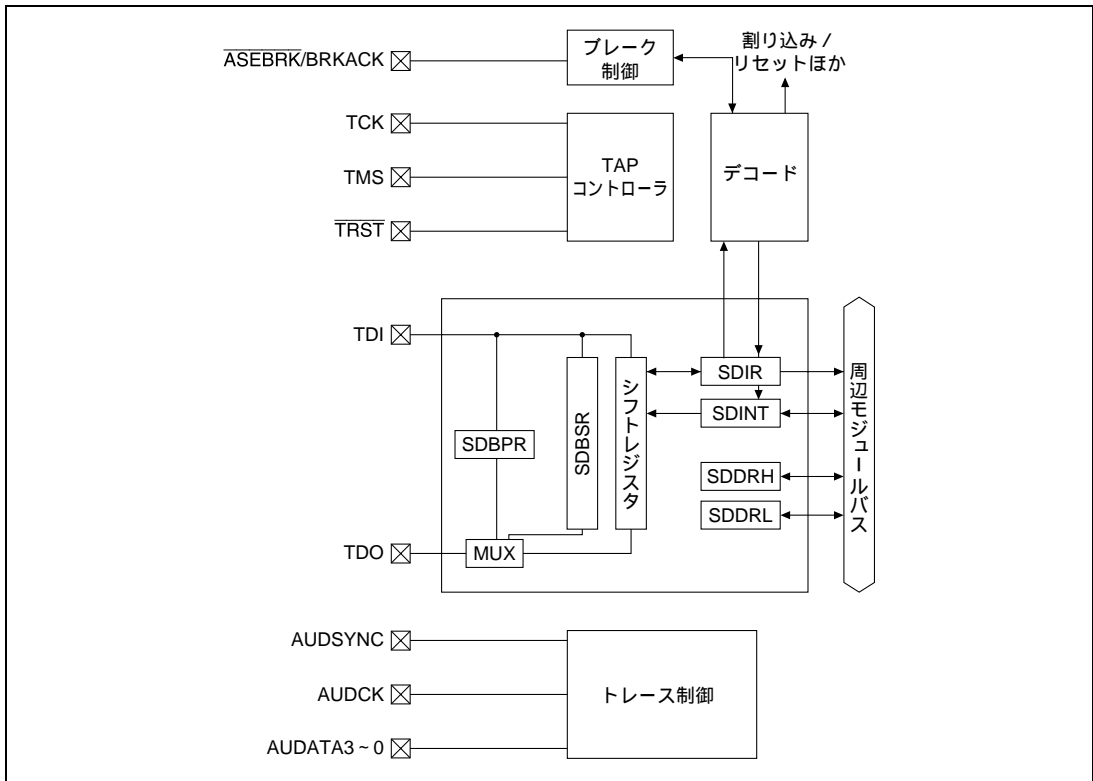


図 21.1 H-UDI 回路ブロック図



### 21.1.3 端子構成

H-UDI の端子構成を表 21.1 に示します。

表 21.1 端子構成

名称	略称	入出力	機能	未使用時
クロック端子	TCK	入力	JTAG のシリアルクロック入力端子と同じです。この信号に同期してデータ入力端子 TDI から H-UDI 回路にデータを与えるか、データ出力端子 TDO からデータを読み出します。	オープン* <sup>1</sup>
モード端子	TMS	入力	モードセレクト入力端子。TCK に同期してこの信号を変化させることで、TDI から入力するデータの意味を決定します。そのプロトコルは JTAG(IEEE Std 1149.1)規格に準拠します。	オープン* <sup>1</sup>
リセット端子	TRST	入力	H-UDI をリセットする入力端子。TCK とは非同期に受け付け、ローレベルで JTAG インタフェース回路に対するリセットがかかります。JTAG の利用の有無にかかわらず、電源投入時に TRST を一定期間ローレベルにしなければなりません。これは IEEE の規格と異なります。	* <sup>2</sup> * <sup>3</sup>
データ入力端子	TDI	入力	データ入力端子。TCK に同期してこの信号を変化させることで、H-UDI 回路にデータを送ります。	オープン* <sup>1</sup>
データ出力端子	TDO	出力	データ出力端子。TCK に同期してこの信号を読むことで、H-UDI 回路からデータを読み取ります。	オープン
エミュレータ用端子	ASEBRK/ BRKACK	入出力	エミュレータ専用の端子	オープン* <sup>1</sup>
	AUDSYNC AUDCK AUDATA3~0	出力	エミュレータ専用の端子	オープン

【注】 \*<sup>1</sup> チップ内でプルアップされています。エミュレータを使用可能なボードを設計する場合、あるいは H-UDI 経由で割り込み、リセットを利用する場合、外部にプルアップ抵抗を付けても問題ありません。

\*<sup>2</sup> エミュレータを使用可能なボードを設計する場合、あるいは H-UDI 経由で割り込み、リセットを利用する場合は、電源投入時に RESET と重複する期間 TRST をローレベルにし、なおかつ TRST 単独でも制御可能となるようにしてください。

\*<sup>3</sup> グランド固定または RESET と同じ（あるいは同じ挙動の）信号と接続する。ただし、グランド固定の場合には下記の問題があります。

TRST はチップ内でプルアップされているため外部からグランドに固定すると微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。

なお TCK(TMS、TDI、TDO)の最大周波数は 20MHz です。また、TCK の周波数が本 LSI の周辺モジュールクロックの周波数より低くなるように TCK あるいは本 LSI の CPG の設定を行ってください。

### 21.1.4 レジスタ構成

表 21.2 に H-UDI のレジスタ構成を示します。SDBPR と SDBSR 以外は制御レジスタ領域にマッピングされており CPU から参照できます。

表 21.2 H-UDI レジスタ構成

名称	略称	CPU 側					H-UDI 側		
		R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	初期値 (*1)	R/W	アクセス サイズ	初期値 (*1)
インストラクション レジスタ	SDIR	R	H'FFF0000	H'1FF0000	16	H'FFFF	R/W	32	H'FFFFFFFD (固定値*2)
データレジスタ H	SDDR/ SDDRH	R/W	H'FFF0008	H'1FF0008	32/16	不定			
データレジスタ L	SDDRL	R/W	H'FFF000A	H'1FF000A	16	不定			
バイパスレジスタ	SDBPR					不定	R/W	1	不定
割り込み要因 レジスタ	SDINT	R/W	H'FFF0014	H'1FF0014	16	H'0000	W*3	32	H'00000000
バウンダリスキャンレ ジスタ	SDBSR					不定	R/W		不定

- 【注】 \*1  $\overline{\text{TRST}}$  端子がローレベル、または TAP が Test-Logic-Reset 状態で初期化されます。  
 \*2 H-UDI からの読み出し値は常に固定値 (H'FFFFFFFD) となります。  
 \*3 H-UDI 割り込みコマンドにより最下位ビットへ 1 を書き込むことができます。

## 21.2 レジスタの説明

### 21.2.1 インストラクションレジスタ (SDIR)

インストラクションレジスタ(SDIR)は、CPU から読み出しのみ可能な 16 ビットのレジスタです。初期状態では BYPASS モードです。シリアル入力(TDI)から値(コマンド)をセットします。 $\overline{\text{TRST}}$  または TAP の Test-Logic-Reset 状態で初期化されます。H-UDI からの書き込みの場合、CPU のモードとは無関係に書き込みができます。またリザーブとなっているコマンドをセットした場合の動作は保証しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0	...	...	...	...	...	...	...	...
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット 15~8: テストインストラクションビット(TI7~TI0)

ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	説 明
TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0	
0	0	0	0	0	0	0	0	EXTEST
0	0	0	0	0	1	0	0	SAMPLE/PRELOAD
0	1	1	0	-	-	-	-	H-UDI・リセット・ネゲート
0	1	1	1	-	-	-	-	H-UDI・リセット・アサート
1	0	1	-	-	-	-	-	H-UDI 割り込み
1	1	1	1	1	1	1	1	BYPASS モード (初期値)
上記以外								予約

ビット 7~0: 予約ビット

読み出しは常に 1 です。書き込む値も常に 1 にしてください。

### 21.2.2 データレジスタ (SDDR)

データレジスタ(SDDR)は、SDDRH と SDDL の 2 本を連結した 32 ビットのレジスタで、各々CPU から読み出し / 書き込み可能な 16 ビットのレジスタです。このレジスタ値は、CPU のリセットでは初期化されませんが、 $\overline{\text{TRST}}$  では初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 - : 不定

ビット 31~0: DR データ

SDDR の値が格納されます

### 21.2.3 バイパスレジスタ (SDBPR)

バイパスレジスタ(SDBPR)は、1 ビットのレジスタで CPU からのアクセスはできません。SDIR に BYPASS モードがセットされると、H-UDI の TDI 端子と TDO 端子の間に SDBPR が接続されます。

### 21.2.4 割り込み要因レジスタ (SDINT)

割り込み要因レジスタは CPU から読み出し / 書き込み可能な 16 ビットのレジスタです。H-UDI 端子側からは、SDIR に「H-UDI 割り込み」コマンドをセットした (Update-IR) 場合に、INTREQ ビットが 1 になります。SDIR が「H-UDI 割り込み」コマンドの間、H-UDI 端子の TDI と TDO の間に SDINT レジスタが接続され、32 ビットのレジスタとして読み出しが可能です。その場合上位 16 ビットが 0 に、下位 16 ビットが SDINT になります。

CPU 側からは INTREQ ビットに 0 を書き込むことしかできません。このビットが 1 の間は割り込み要求が発行され続けますので、割り込みハンドラ内で必ず 0 にクリアするようにしてください。このレジスタ値は  $\overline{\text{TRST}}$  または TAP の Test-Logic-Reset 状態で初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	INTREQ
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット 15~1: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 0: 割り込み要求ビット (INTREQ)

「H-UDI 割り込み」コマンドによる割り込み要求の有無を示します。CPU からは本ビットに 0 を書き込むことにより割り込み要求をクリアすることができます。本ビットへ 1 を書き込んだ場合は直前の値を保持します。

### 21.2.5 バウンダリスキャンレジスタ (SDBSR)

バウンダリスキャンレジスタ (SDBSR) は、チップの入出力ピンの制御を行うために PAD 上に配置されたシフトレジスタであり、EXTEST と SAMPLE/PRELOAD コマンドを用いて JTAG (IEEE Std 1149.1) 規格相当のバウンダリスキャンテストを行うことができます。表 21.3 に本 LSI のピンとバウンダリスキャンレジスタの対応を示します。

表 21.3 バウンダリスキャンレジスタの構成

番号	ピン名称	タイプ	番号	ピン名称	タイプ	番号	ピン名称	タイプ
from TDI			384	D6	OUT	349	RD/WR	CTL
418	CS0	OUT	383	D6	CTL	348	RD/CASS/FRAME	OUT
417	CS0	CTL	382	D6	IN	347	RD/CASS/FRAME	CTL
416	CS1	OUT	381	D7	OUT	346	CKE	OUT
415	CS1	CTL	380	D7	CTL	345	CKE	CTL
414	CS4	OUT	379	D7	IN	344	RAS	OUT
413	CS4	CTL	378	D8	OUT	343	RAS	CTL
412	CS5	OUT	377	D8	CTL	342	CS2	OUT
411	CS5	CTL	376	D8	IN	341	CS2	CTL
410	CS6	OUT	375	D9	OUT	340	CS3	OUT
409	CS6	CTL	374	D9	CTL	339	CS3	CTL
408	BS	OUT	373	D9	IN	338	A0	OUT
407	BS	CTL	372	D10	OUT	337	A0	CTL
406	WE0/REG	OUT	371	D10	CTL	336	A1	OUT
405	WE0/REG	CTL	370	D10	IN	335	A1	CTL
404	WE1	OUT	369	D11	OUT	334	A2	OUT
403	WE1	CTL	368	D11	CTL	333	A2	CTL
402	D0	OUT	367	D11	IN	332	A3	OUT
401	D0	CTL	366	D12	OUT	331	A3	CTL
400	D0	IN	365	D12	CTL	330	A4	OUT
399	D1	OUT	364	D12	IN	329	A4	CTL
398	D1	CTL	363	D13	OUT	328	A5	OUT
397	D1	IN	362	D13	CTL	327	A5	CTL
396	D2	OUT	361	D13	IN	326	A6	OUT
395	D2	CTL	360	D14	OUT	325	A6	CTL
394	D2	IN	359	D14	CTL	324	A7	OUT
393	D3	OUT	358	D14	IN	323	A7	CTL
392	D3	CTL	357	D15	OUT	322	A8	OUT
391	D3	IN	356	D15	CTL	321	A8	CTL
390	D4	OUT	355	D15	IN	320	A9	OUT
389	D4	CTL	354	CAS0/DQM0	OUT	319	A9	CTL
388	D4	IN	353	CAS0/DQM0	CTL	318	A10	OUT
387	D5	OUT	352	CAS1/DQM1	OUT	317	A10	CTL
386	D5	CTL	351	CAS1/DQM1	CTL	316	A11	OUT
385	D5	IN	350	RD/WR	OUT	315	A11	CTL

番号	ピン名称	タイプ
314	A12	OUT
313	A12	CTL
312	A13	OUT
311	A13	CTL
310	A14	OUT
309	A14	CTL
308	A15	OUT
307	A15	CTL
306	A16	OUT
305	A16	CTL
304	A17	OUT
303	A17	CTL
302	CAS2/DQM2	OUT
301	CAS2/DQM2	CTL
300	CAS3/DQM3	OUT
299	CAS3/DQM3	CTL
298	D16	OUT
297	D16	CTL
296	D16	IN
295	D17	OUT
294	D17	CTL
293	D17	IN
292	D18	OUT
291	D18	CTL
290	D18	IN
289	D19	OUT
288	D19	CTL
287	D19	IN
286	D20	OUT
285	D20	CTL
284	D20	IN
283	D21	OUT
282	D21	CTL
281	D21	IN
280	D22	OUT
279	D22	CTL
278	D22	IN
277	D23	OUT
276	D23	CTL
275	D23	IN
274	D24	OUT

番号	ピン名称	タイプ
273	D24	CTL
272	D24	IN
271	D25	OUT
270	D25	CTL
269	D25	IN
268	D26	OUT
267	D26	CTL
266	D26	IN
265	D27	OUT
264	D27	CTL
263	D27	IN
262	D28	OUT
261	D28	CTL
260	D28	IN
259	D29	OUT
258	D29	CTL
257	D29	IN
256	D30	OUT
255	D30	CTL
254	D30	IN
253	D31	OUT
252	D31	CTL
251	D31	IN
250	A18	OUT
249	A18	CTL
248	A19	OUT
247	A19	CTL
246	A20	OUT
245	A20	CTL
244	A21	OUT
243	A21	CTL
242	A22	OUT
241	A22	CTL
240	A23	OUT
239	A23	CTL
238	A24	OUT
237	A24	CTL
236	A25	OUT
235	A25	CTL
234	WE2/ICIOR $\bar{D}$	OUT
233	WE2/ICIOR $\bar{D}$	CTL

番号	ピン名称	タイプ
232	WE3/ICIOR $\bar{R}$	OUT
231	WE3/ICIOR $\bar{R}$	CTL
230	SLEEP	IN
229	PCIGNT $\bar{4}$	OUT
228	PCIGNT $\bar{4}$	CTL
227	PCIGNT $\bar{3}$	OUT
226	PCIGNT $\bar{3}$	CTL
225	PCIGNT $\bar{2}$	OUT
224	PCIGNT $\bar{2}$	CTL
223	PCIREQ $\bar{4}$	OUT
222	PCIREQ $\bar{4}$	CTL
221	PCIREQ $\bar{4}$	IN
220	PCIREQ3/MD10	OUT
219	PCIREQ3/MD10	CTL
218	PCIREQ3/MD10	IN
217	PCIREQ2/MD9	OUT
216	PCIREQ2/MD9	CTL
215	PCIREQ2/MD9	IN
214	IDSEL	IN
213	INTA	OUT
212	INTA	CTL
211	PCIRST	OUT
210	PCIRST	CTL
209	PCICLK	IN
208	PCIGNT1/REQOUT	OUT
207	PCIGNT1/REQOUT	CTL
206	PCIREQ1/GNTIN	OUT
205	PCIREQ1/GNTIN	CTL
204	PCIREQ1/GNTIN	IN
203	SERR	OUT
202	SERR	CTL
201	SERR	IN
200	AD31	OUT
199	AD31	CTL
198	AD31	IN
197	AD30	OUT
196	AD30	CTL
195	AD30	IN
194	AD29	OUT
193	AD29	CTL
192	AD29	IN

番号	ピン名称	タイプ
191	AD28	OUT
190	AD28	CTL
189	AD28	IN
188	AD27	OUT
187	AD27	CTL
186	AD27	IN
185	AD26	OUT
184	AD26	CTL
183	AD26	IN
182	AD25	OUT
181	AD25	CTL
180	AD25	IN
179	AD24	OUT
178	AD24	CTL
177	AD24	IN
176	C/BE $\bar{3}$	OUT
175	C/BE $\bar{3}$	CTL
174	C/BE $\bar{3}$	IN
173	AD23	OUT
172	AD23	CTL
171	AD23	IN
170	AD22	OUT
169	AD22	CTL
168	AD22	IN
167	AD21	OUT
166	AD21	CTL
165	AD21	IN
164	AD20	OUT
163	AD20	CTL
162	AD20	IN
161	AD19	OUT
160	AD19	CTL
159	AD19	IN
158	AD18	OUT
157	AD18	CTL
156	AD18	IN
155	AD17	OUT
154	AD17	CTL
153	AD17	IN
152	AD16	OUT
151	AD16	CTL

番号	ピン名称	タイプ
150	AD16	IN
149	C/BE $\bar{2}$	OUT
148	C/BE $\bar{2}$	CTL
147	C/BE $\bar{2}$	IN
146	PCIFRAME	OUT
145	PCIFRAME	CTL
144	PCIFRAME	IN
143	IRDY	OUT
142	IRDY	CTL
141	IRDY	IN
140	TRDY	OUT
139	TRDY	CTL
138	TRDY	IN
137	DEVSEL	OUT
136	DEVSEL	CTL
135	DEVSEL	IN
134	PCISTOP	OUT
133	PCISTOP	CTL
132	PCISTOP	IN
131	PCILOCK	OUT
130	PCILOCK	CTL
129	PCILOCK	IN
128	PERR	OUT
127	PERR	CTL
126	PERR	IN
125	PAR	OUT
124	PAR	CTL
123	PAR	IN
122	C/BE $\bar{1}$	OUT
121	C/BE $\bar{1}$	CTL
120	C/BE $\bar{1}$	IN
119	AD15	OUT
118	AD15	CTL
117	AD15	IN
116	AD14	OUT
115	AD14	CTL
114	AD14	IN
113	AD13	OUT
112	AD13	CTL
111	AD13	IN
110	AD12	OUT

番号	ピン名称	タイプ
109	AD12	CTL
108	AD12	IN
107	AD11	OUT
106	AD11	CTL
105	AD11	IN
104	AD10	OUT
103	AD10	CTL
102	AD10	IN
101	AD9	OUT
100	AD9	CTL
99	AD9	IN
98	AD8	OUT
97	AD8	CTL
96	AD8	IN
95	C/BE $\bar{0}$	OUT
94	C/BE $\bar{0}$	CTL
93	C/BE $\bar{0}$	IN
92	AD7	OUT
91	AD7	CTL
90	AD7	IN
89	AD6	OUT
88	AD6	CTL
87	AD6	IN
86	AD5	OUT
85	AD5	CTL
84	AD5	IN
83	AD4	OUT
82	AD4	CTL
81	AD4	IN
80	AD3	OUT
79	AD3	CTL
78	AD3	IN
77	AD2	OUT
76	AD2	CTL
75	AD2	IN
74	AD1	OUT
73	AD1	CTL
72	AD1	IN
71	AD0	OUT
70	AD0	CTL
69	AD0	IN

番号	ピン名称	タイプ
68	IRL0	IN
67	IRL1	IN
66	IRL2	IN
65	IRL3	IN
64	NMI	IN
63	BACK/BSREQ	OUT
62	BACK/BSREQ	CTL
61	BREQ/BSACK	IN
60	MD6/IOIS16	IN
59	RDY	IN
58	TXD	OUT
57	TXD	CTL
56	TXD	IN
55	MD2/RXD2	IN
54	RXD	IN
53	TCLK	OUT
52	TCLK	CTL
51	TCLK	IN
50	RTS2/MD8	OUT
49	RTS2/MD8	CTL
48	RTS2/MD8	IN
47	SCK	OUT
46	SCK	CTL

番号	ピン名称	タイプ
45	SCK	IN
44	MD1/TXD2	OUT
43	MD1/TXD2	CTL
42	MD1/TXD2	IN
41	MD0/SCK2	OUT
40	MD0/SCK2	CTL
39	MD0/SCK2	IN
38	MD7/CTS2	OUT
37	MD7/CTS2	CTL
36	MD7/CTS2	IN
35	AUDSYNC	OUT
34	AUDSYNC	CTL
33	AUDCK	OUT
32	AUDCK	CTL
31	AUDATA0	OUT
30	AUDATA0	CTL
29	AUDATA1	OUT
28	AUDATA1	CTL
27	AUDATA2	OUT
26	AUDATA2	CTL
25	AUDATA3	OUT
24	AUDATA3	CTL
23	MD3/CE2A	OUT

番号	ピン名称	タイプ
22	MD3/CE2A	CTL
21	MD3/CE2A	IN
20	MD4/CE2B	OUT
19	MD4/CE2B	CTL
18	MD4/CE2B	IN
17	MD5	OUT
16	MD5	CTL
15	MD5	IN
14	DACK0	OUT
13	DACK0	CTL
12	DACK1	OUT
11	DACK1	CTL
10	DRAK0	OUT
9	DRAK0	CTL
8	DRAK1	OUT
7	DRAK1	CTL
6	STATUS0	OUT
5	STATUS0	CTL
4	STATUS1	OUT
3	STATUS1	CTL
2	DREQ0	IN
1	DREQ1	IN
to TDO		

【注】 CTLはローアクティブの信号。CTLをLOWにすることで、該当ピンをOUT値でドライブする。



## 21.3 動作説明

### 21.3.1 TAP 制御

図 21.2 に TAP 制御回路の内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

- 遷移条件はTCKの立ち上がりエッジにおけるTMS値です。
- TDI値はTCKの立ち上がりエッジでサンプリングし、TCKの立ち下がりエッジでシフトします。
- TDO値はTCKの立ち下がりエッジで変化します。またTDOはShift-DR、Shift-IRステート以外ではハイインピーダンス状態です。
- $\overline{\text{TRST}}=0$ への遷移でTCKとは非同期でTest-Logic-Reset状態へ遷移します。

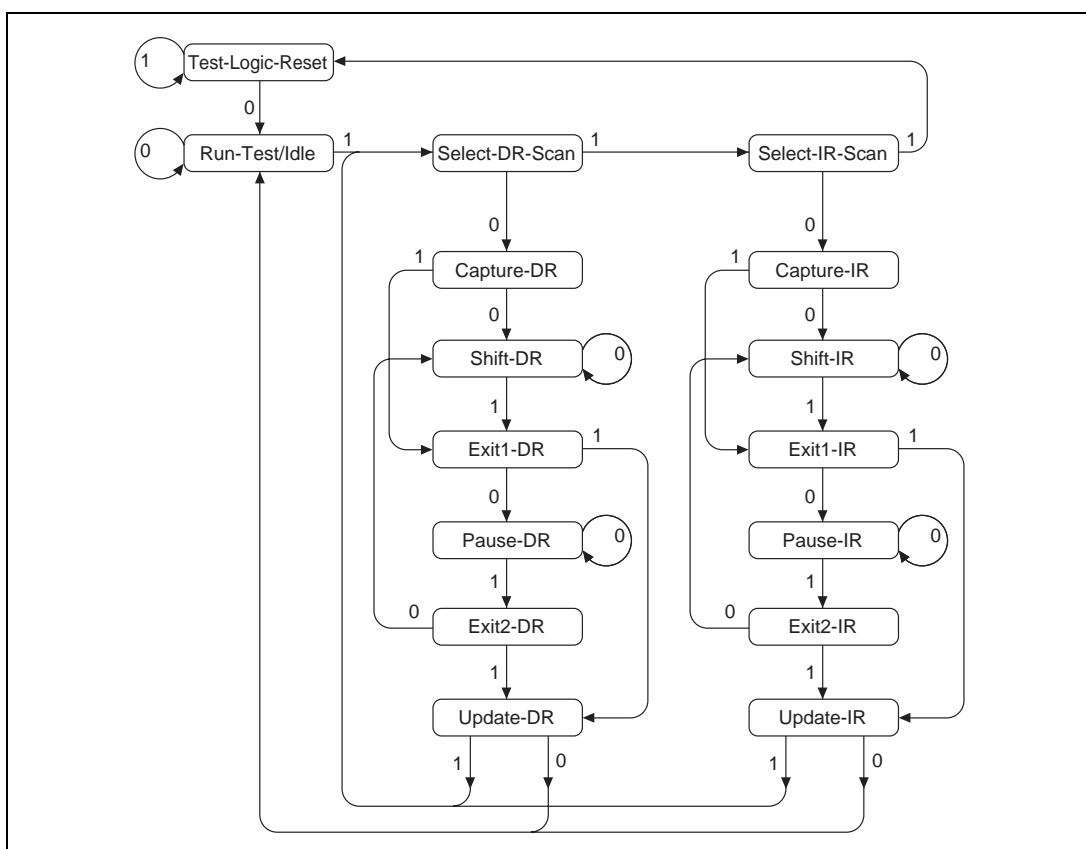


図 21.2 TAP 制御状態遷移図

### 21.3.2 H-UDI リセット

SDIR コマンドによりパワーオンリセットをかけられます。H-UDI の端子から H-UDI リセット・アサートコマンドを送り、さらに H-UDI リセット・ネゲートコマンドを送ることでリセットをかけます( 図 21.3 参照)。H-UDI リセット・アサートコマンドと H-UDI リセット・ネゲートコマンド間に必要な時間は、パワーオンリセットをかけるためにリセット端子をローレベルに保つ時間と同じです。

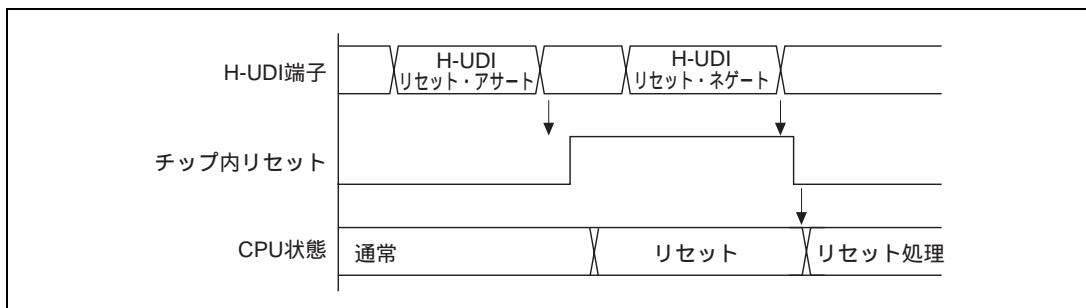


図 21.3 H-UDI リセット

### 21.3.3 H-UDI 割り込み

H-UDI 割り込み機能は、H-UDI から SDIR にコマンド値を設定することにより割り込みを発生させる機能です。H-UDI 割り込みは一般例外 / 割り込み動作であり、VBR に基づいたアドレスに分岐し、RTE 命令で復帰します。このとき、制御レジスタ INTEVT に格納される例外コードは H600 です。また制御レジスタ IPRC のビット 3~0 により H-UDI 割り込みの優先度を制御できます。

なお、H-UDI 割り込みの要求信号は、コマンドセット後 (Update-IR) に SDINT レジスタの INTREQ ビットが 1 になることによりアサートされます。ソフトウェアにより INTREQ ビットに 0 を書き込まない限り割り込み要求信号はネゲートされませんので、割り込み要求を取りこぼすことはありません。H-UDI 割り込みコマンドが SDIR にセットされている間は、TDI と TDO の間に SDINT レジスタが接続されます。

### 21.3.4 バウンダリスキャン (EXTEST、SAMPLE / PRELOAD、BYPASS)

H-UDI から SDIR にコマンドを設定することにより、H-UDI 端子をバウンダリスキャンモードに設定できます。ただし本 LSI の場合、以下の制限事項が存在します。

1. クロック関連信号 (EXTAL、EXTAL2、XTAL、XTAL2、CKIO) はバウンダリスキャンの対象から外れます。
2. リセット関連信号 ( $\overline{\text{RESET}}$ 、 $\overline{\text{MRESET}}$ 、CA) はバウンダリスキャンの対象から外れます。
3. H-UDI 関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$ ) はバウンダリスキャンの対象から外れます。
4. EXTEST 時には、 $\overline{\text{MRESET}}$  ピンをアサート (Low)、 $\overline{\text{RESET}}$  ピンをネゲート (High)、CA ピンをアサート (High) の状態に、SAMPLE/PRELOAD 時には、CA ピンをアサート (High) の状態にしてください。
5. バウンダリスキャン (EXTEST、SAMPLE/PRELOAD、BYPASS) 実行時には、EXTAL 端子へクロックを供給してください。入力クロックの周波数範囲は、1 ~ 33.3MHz です。パワーオン発振安定時間  $t_{\text{osci}}$  経過後にバウンダリスキャンを行ってください。

なお、 $t_{\text{osci}}$  経過後は EXTAL 端子へのクロック供給を停止しても構いません。

パワーオン発振安定時間  $t_{\text{osci}}$  の詳細は、「第23章 電気的特性」を参照してください。

## 21.4 注意事項

### 1. SDIRコマンド：

一度設定したSDIRコマンドは $\overline{\text{TRST}}$ のアサート、またはTAPをTest-Logic-Reset状態にすることによる初期化以外は、H-UDIから他のコマンドを書き込まない限り変化しません。

### 2. スリープモードでのSDIRコマンド：

スリープモードはH-UDI割り込み、H-UDIリセットにより解除され、それらの例外の要求を受け付けます。なお、スタンバイモードではH-UDI割り込み、H-UDIリセットとも受け付けません。

### 3. スタンバイモード時は、H-UDIの機能を使用できません。

また、スタンバイモードの前後でTAPの状態を保持するためには、スタンバイモードへ遷移の際、TCKをハイレベルにしておく必要があります。

### 4. ユーザデバッグインタフェース (H-UDI) は、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDIの機能は使用できません。

### 5. SH7751においてBYPASSモードでは、Capture-DR時にバイパスレジスタ (SDBPR) は不定となります。なお、SH7751Rでは0となります。

---

## 22. PCI コントローラ (PCIC)

---

### 22.1 概要

PCI コントローラ (PCIC) は、PCI バスを制御するコントローラで、外部バスに接続されるメモリと、PCI バスに接続される PCI デバイス間のデータ転送を行うことができます。PCI デバイスを直結できますので、PCI バスを用いたシステム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送が可能になります。

#### 22.1.1 特長

PCIC には、次のような特長があります。

- PCIのバージョン2.1サブセットをサポート
- PCIバスの動作周波数は33MHz/66MHzに対応
- PCIバスのバス幅は32ビットに対応
- 接続可能なPCIデバイスは、33MHz動作時はマスタデバイス4台、66MHz動作時は1台
- PCIのホスト機能として、アービトレーション制御可能
- PCIのマスタ、ターゲットで動作可能
- マスタとして動作する時、PIO転送、DMA転送可能
- DMA転送のチャンネル数は4チャンネル
- 内蔵FIFOは32ビット×16段を6本実装  
(ターゲットリード用1本、ターゲットライト用1本、DMA転送用4本)
- BSCのバスクロックとPCIバスクロックは非同期動作可能、また、CKIOからのフィードバック入力クロックをPCIバスクロックとして使用可能
- PCIバスとのデータ転送可能な外部メモリは、SRAM、DRAM、シンクロナスDRAMおよびMPX\*
- PCIバスとのデータ転送可能な外部メモリのデータバス幅は、32ビット、16ビット  
(ただし、シンクロナスDRAM接続時は、32ビットのみ)
- ローカルバスのエンディアンは、ビッグエンディアン/リトルエンディアンをサポート  
(ただし、PCIバスはリトルエンディアンで動作、周辺モジュール用内部バス(以下、周辺バス)はビッグエンディアンで動作)

【注】 \* MPX は SH7751R のみのサポートです。SH7751 ではサポートしていません。

## 22.1.2 ブロック図

PCIC のブロック図を図 22.1 に示します。

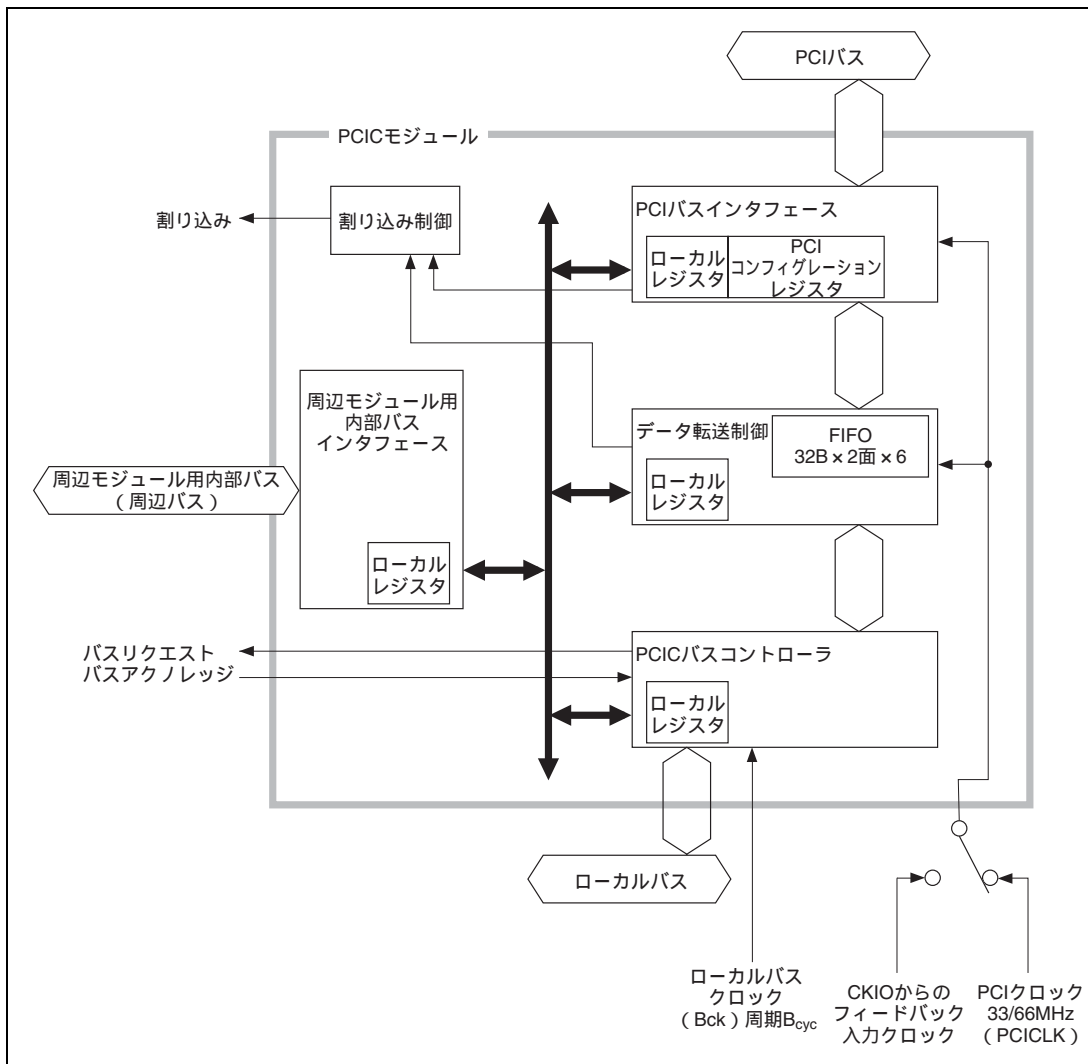


図 22.1 PCIC ブロック図

## 22.1.3 端子構成

PCIC が制御する端子構成を表 22.1 に示します。

表 22.1 端子構成

No	ピン名	PCI 規格 信号名	機能	I/O の 種類	プルアッ プ抵抗*1	各動作モードでの I/O 状態				備考
						ホスト		非ホスト		
						マスタ	ターゲット	マスタ	ターゲット	
1	PCICLK	CLK	PCI 入力クロック (33MHz/66MHz)	in		1	1	1	1	
2	PCIRST	-	リセット出力	out		0	0	-	-	
3	AD31 ~ AD0	AD[31:0]	アドレス / データ	t/s		I/O	I/O	I/O	I/O	リセット時 low レベル出力
4	C/BE3 ~ C/BE0	C/BE[3:0]	コマンド / バイトイネーブル	t/s		0	1	0	1	リセット時 low レベル出力
5	PAR	PAR	パリティ	t/s		I/O	I/O	I/O	I/O	リセット時 low レベル出力
6	PCIFRAME	FRAME	バスサイクル	s/t/s		0	1	0	1	
7	IRDY	IRDY	イニシエータレディ	s/t/s		0	1	0	1	
8	TRDY	TRDY	ターゲットレディ	s/t/s		1	0	1	0	
9	PCISTOP	STOP	トランザクション中止	s/t/s		1	0	1	0	
10	PCILOCK	LOCK	排他アクセス制御	s/t/s		0	1	0	1	
11	DEVSEL	DEVSEL	デバイス選択	s/t/s		1	0	1	0	
12	PCIREQ1/ GNTIN	REQ1	バスリクエスト (ホスト機能)	t/s		1	1	-	-	
		GNT	バスグラント	t/s		-	-	1		
13	PCIGNT1/ REQOUT	GNT1	バスグラント (ホスト機能)	t/s		0	0	-	-	
		REQ	バスリクエスト	t/s		-	-	0		
14	PERR	PERR	パリティエラー	s/t/s		I/O	0	I/O	0	
15	SERR	SERR	システムエラー	o/d		0	0	0	0	
16	INTA	INTA	割り込み (非同期)	o/d		-	-	0	0	
17	PCIREQ2/ MD9	REQ2	バスリクエスト (ホスト機能)	t/s		1	1	-	-	
			PCI クロック切り替え (BCLK/PCICLK)	in		1	1	1	1	*2
18	PCIREQ3/ MD10	REQ3	バスリクエスト (ホスト機能)	t/s		1	1	-	-	
			ホストブリッジ機能有 / 無	in		1	1	1	1	*2
19	PCIREQ4	REQ4	バスリクエスト (ホスト機能)	t/s		1	1	-	-	
20	PCIGNT4 ~ PCIGNT2	GNT4 ~ GNT2	バスグラント (ホスト機能)	t/s		0	0	-	-	
21	IDSEL	IDSEL	コンフィグデバイス選択	in		-	-	1	1	*3

in : 入力

out : 出力

t/s : トライステート

s/t/s : サステインド・トライステート

o/d : オープンドレイン

【注】 \*1 プルアップ抵抗が実装されている端子

\*2  $\overline{\text{RESET}}$  端子によるパワーオンリセット時に外部ピンの値をサンプリングします。

\*3 IDSEL 未使用時はプルダウンしてください。



### 22.1.4 レジスタ構成

PCIC には、表 22.2 および表 22.4 に示すような PCI のコンフィグレーションレジスタと PCI 制御用レジスタがあります。PCI コンフィグレーションレジスタの構造を表 22.3 に示します。また、周辺バスに PCI バスのアドレス空間が割り付けてあり、プログラム IO (PIO) で PCI バスをアクセスすることが可能です。これらのレジスタにより、PCI バスを制御するとともに、PCI デバイスと SH-4 の外部データバス (以下本章では、SH-4 の外部データバスを PCI バスと区別するためにローカルバスと呼びます) 上のメモリ間との高速なデータ転送を行えます。

表 22.2 PCI コンフィグレーションレジスタ構成

名称	略称	PCI R/W	周辺バス R/W	初期値	PCI コンフィグ レーション アドレス	P4 アドレス	エリア7 アドレス	アクセス サイズ
PCI コンフィグレーションレジスタ 0	PCICONF0	R	R	*2	H'00	H'FE200000	H'1E200000	32
PCI コンフィグレーションレジスタ 1	PCICONF1	R/W	R/W	H'02900080	H'04	H'FE200004	H'1E200004	32
PCI コンフィグレーションレジスタ 2	PCICONF2	R	R/W[31:8] R(その他)	H'xxxxxx*1	H'08	H'FE200008	H'1E200008	32
PCI コンフィグレーションレジスタ 3	PCICONF3	R/W[15:8] R(その他)	R/W[15:8] R(その他)	H'00000000	H'0C	H'FE20000C	H'1E20000C	32
PCI コンフィグレーションレジスタ 4	PCICONF4	R/W	R/W	H'00000001	H'10	H'FE200010	H'1E200010	32
PCI コンフィグレーションレジスタ 5	PCICONF5	R/W	R/W	H'00000000	H'14	H'FE200014	H'1E200014	32
PCI コンフィグレーションレジスタ 6	PCICONF6	R/W	R/W	H'00000000	H'18	H'FE200018	H'1E200018	32
PCI コンフィグレーションレジスタ 7	PCICONF7	R	R	H'00000000	H'1C	H'FE20001C	H'1E20001C	32
PCI コンフィグレーションレジスタ 8	PCICONF8	R	R	H'00000000	H'20	H'FE200020	H'1E200020	32
PCI コンフィグレーションレジスタ 9	PCICONF9	R	R	H'00000000	H'24	H'FE200024	H'1E200024	32
PCI コンフィグレーションレジスタ 10	PCICONF10	R	R	H'00000000	H'28	H'FE200028	H'1E200028	32
PCI コンフィグレーションレジスタ 11	PCICONF11	R	R/W	H'xxxxxxxx	H'2C	H'FE20002C	H'1E20002C	32
PCI コンフィグレーションレジスタ 12	PCICONF12	R	R	H'00000000	H'30	H'FE200030	H'1E200030	32
PCI コンフィグレーションレジスタ 13	PCICONF13	R	R	H'00000040	H'34	H'FE200034	H'1E200034	32
PCI コンフィグレーションレジスタ 14	PCICONF14	R	R	H'00000000	H'38	H'FE200038	H'1E200038	32

名称	略称	PCI R/W	周辺バス R/W	初期値	PCI コンフィグ レーション アドレス	P4 アドレス	エリア7 アドレス	アクセス サイズ
PCI コンフィグレーションレジスタ 15	PCICONF15	R/W[7:0] R(その他)	R/W[7:0] R(その他)	H'00000100	H'3C	H'FE20003C	H'1E20003C	32
PCI コンフィグレーションレジスタ 16	PCICONF16	R	R/W[18:16] R(その他)	H'00010001	H'40	H'FE200040	H'1E200040	32
PCI コンフィグレーションレジスタ 17	PCICONF17	R/W[1:0] R(その他)	R/W[1:0] R(その他)	H'00000000	H'44	H'FE200044	H'1E200044	32
予約	-	R	R	H'00000000	H'48 ~ H'FC	H'FE200048 ~ H'FE2000FC	H'1E200048 ~ H'1E2000FC	32

【注】 \*1 チップの論理バージョンにより異なります。

\*2 SH7751 は H'35051054、SH7751R は H'350E1054 です。

x: 不定を表します。

表 22.3 PCI コンフィグレーションレジスタの構造

PCI コンフィグレーションアドレス	P4 アドレス	エリア7 アドレス	PCI コンフィグレーションレジスタ								PCI R/W	周辺バス R/W
			31	24	23	16	15	8	7	0		
H'00	H'FE200000	H'1E200000	デバイス ID				ベンダ ID				R	R
H'04	H'FE200004	H'1E200004	ステータス				コマンド				R/W	R/W
H'08	H'FE200008	H'1E200008	クラスコード					レビジョン ID			R	R/W[31:8] R(その他)
H'0C	H'FE20000C	H'1E20000C	BIST	ヘッダ タイプ	レイテンシ タイマ	キャッシュ ライン サイズ	R/W[15:8] R(その他)		R/W[15:8] R(その他)			
H'10	H'FE200010	H'1E200010	ベースアドレス (I/O 空間)								R/W	R/W
H'14	H'FE200014	H'1E200014	ベースアドレス (ローカルアドレス空間 0)								R/W	R/W
H'18	H'FE200018	H'1E200018	ベースアドレス (ローカルアドレス空間 1)								R/W	R/W
H'1C	H'FE20001C	H'1E20001C	予約								R	R
H'20	H'FE200020	H'1E200020	予約								R	R
H'24	H'FE200024	H'1E200024	予約								R	R
H'28	H'FE200028	H'1E200028	予約								R	R
H'2C	H'FE20002C	H'1E20002C	サブシステム ID				サブシステムベンダ ID				R	R/W
H'30	H'FE200030	H'1E200030	予約								R	R
H'34	H'FE200034	H'1E200034	予約					拡張機能 ポインタ			R	R
H'38	H'FE200038	H'1E200038	予約								R	R
H'3C	H'FE20003C	H'1E20003C	最大 レイテンシ	最小 グラント	インタラプ トピン	インタラプ トライン	R/W[7:0] R(その他)		R/W[7:0] R(その他)			
H'40	H'FE200040	H'1E200040	パワーマネージメント関連								R	R/W[18:16] R(その他)
H'44	H'FE200044	H'1E200044	パワーマネージメント関連								R/W[1:0] R(その他)	R/W[1:0] R(その他)
H'48 ~ H'0FC	H'FE200048 ~ H'FE2000FC	H'1E200048 ~ H'1E2000FC	予約								R	R

表 22.4 PCIC ローカルレジスタ構成

名称	略称	PCI R/W	周辺 バス R/W	初期値	PCI I/O アドレス SH7751 /SH7751R	P4 アドレス	エリア7 アドレス	アクセ スサイ ズ
PCI コントロールレジスタ	PCICR	R	R/W	H'000000*0	H'100/H'00	H'FE200100	H'1E200100	32
PCI 用ローカルスペースレジスタ 0	PCILSR0	R	R/W	H'00000000	H'104/H'04	H'FE200104	H'1E200104	32
PCI 用ローカルスペースレジスタ 1	PCILSR1	R	R/W	H'00000000	H'108/H'08	H'FE200108	H'1E200108	32
PCI 用ローカルアドレスレジスタ 0	PCILAR0	R/W	R/W	H'00000000	H'10C/H'0C	H'FE20010C	H'1E20010C	32
PCI 用ローカルアドレスレジスタ 1	PCILAR1	R/W	R/W	H'00000000	H'110/H'10	H'FE200110	H'1E210110	32
PCI 割り込みレジスタ	PCIINT	R/W	R/W	H'00000000	H'114/H'14	H'FE200114	H'1E200114	32
PCI 割り込みマスクレジスタ	PCIINTM	R/W	R/W	H'00000000	H'118/H'18	H'FE200118	H'1E200118	32
PCI エラーアドレス情報レジスタ	PCIALR	R	R	H'xxxxxxx	H'11C/H'1C	H'FE20011C	H'1E20011C	32
PCI エラーコマンド情報レジスタ	PCICLR	R	R	H'0000000x	H'120/H'20	H'FE200120	H'1E200120	32
予約	-	-	-	H'00000000	H'124 ~ H'12C /H'24 ~ H'2C	H'FE200124 ~ H'FE20012C	H'1E200124 ~ H'1E20012C	32
PCI アービタ割り込みレジスタ	PCIAINT	R/W	R/W	H'00000000	H'130/H'30	H'FE200130	H'1E200130	32
PCI アービタ割り込みマスクレジスタ	PCIAINTM	R/W	R/W	H'00000000	H'134/H'34	H'FE200134	H'1E200134	32
PCI エラーバスマスタ情報レジスタ	PCIBMLR	R	R	H'00000000	H'138/H'38	H'FE200138	H'1E200138	32
予約	-	-	-	H'00000000	H'13C/H'3C	H'FE20013C	H'1E20013C	32
PCI 用 DMA 転送アービタレーションレジスタ	PCIDMAB T	R/W	R/W	H'00000000	H'140/H'40	H'FE200140	H'1E200140	32
予約	-	-	-	H'00000000	H'144 ~ H'17C /H'44 ~ H'7C	H'FE200144 ~ H'FE20017C	H'1E200144 ~ H'1E20017C	32
PCI 用 DMA 転送 PCI アドレスレジスタ 0	PCIDPA0	R/W	R/W	H'00000000	H'180/H'80	H'FE200180	H'1E200180	32
PCI 用 DMA 転送ローカルバス先頭アドレスレジスタ 0	PCIDLA0	R/W	R/W	H'00000000	H'184/H'84	H'FE200184	H'1E200184	32
PCI 用 DMA 転送カウンタレジスタ 0	PCIDTC0	R/W	R/W	H'00000000	H'188/H'88	H'FE200188	H'1E200188	32
PCI 用 DMA コントロールレジスタ 0	PCIDCR0	R/W	R/W	H'00000000	H'18C/H'8C	H'FE20018C	H'1E20018C	32

名称	略称	PCI R/W	周辺 バス R/W	初期値	PCI I/O アドレス SH7751 /SH7751R	P4 アドレス	エリア7 アドレス	アクセ スサイ ズ
PCI 用 DMA 転送 PCI アドレスレジスタ 1	PCIDPA1	R/W	R/W	H'00000000	H'190/H'90	H'FE200190	H'1E200190	32
PCI 用 DMA 転送ローカルバス先頭アドレスレジスタ 1	PCIDLA1	R/W	R/W	H'00000000	H'194/H'94	H'FE200194	H'1E200194	32
PCI 用 DMA 転送カウントレジスタ 1	PCIDTC1	R/W	R/W	H'00000000	H'198/H'98	H'FE200198	H'1E200198	32
PCI 用 DMA コントロールレジスタ 1	PCIDCR1	R/W	R/W	H'00000000	H'19C/H'9C	H'FE20019C	H'1E20019C	32
PCI 用 DMA 転送 PCI アドレスレジスタ 2	PCIDPA2	R/W	R/W	H'00000000	H'1A0/H'A0	H'FE2001A0	H'1E2001A0	32
PCI 用 DMA 転送ローカルバス先頭アドレスレジスタ 2	PCIDLA2	R/W	R/W	H'00000000	H'1A4/H'A4	H'FE2001A4	H'1E2001A4	32
PCI 用 DMA 転送カウントレジスタ 2	PCIDTC2	R/W	R/W	H'00000000	H'1A8/H'A8	H'FE2001A8	H'1E2001A8	32
PCI 用 DMA コントロールレジスタ 2	PCIDCR2	R/W	R/W	H'00000000	H'1AC/H'AC	H'FE2001A C	H'1E2001AC	32
PCI 用 DMA 転送 PCI アドレスレジスタ 3	PCIDPA3	R/W	R/W	H'00000000	H'1B0/H'B0	H'FE2001B0	H'1E2001B0	32
PCI 用 DMA 転送ローカルバス先頭アドレスレジスタ 3	PCIDLA3	R/W	R/W	H'00000000	H'1B4/H'B4	H'FE2001B4	H'1E2001B4	32
PCI 用 DMA 転送カウントレジスタ 3	PCIDTC3	R/W	R/W	H'00000000	H'1B8/H'B8	H'FE2001B8	H'1E2001B8	32
PCI 用 DMA コントロールレジスタ 3	PCIDCR3	R/W	R/W	H'00000000	H'1BC/H'BC	H'FE2001B C	H'1E2001BC	32
PIO アドレスレジスタ	PCIPAR	-	R/W	H'80xxxxxx	-	H'FE2001C0	H'1E2001C0	32
メモリ空間ベースレジスタ	PCIMBR	-	R/W	H'xx000000	-	H'FE2001C4	H'1E2001C4	32
IO 空間ベースレジスタ	PCIOBR	-	R/W	H'xxxx0000	-	H'FE2001C8	H'1E2001C8	32
PCI パワーマネージメント割り込みレジスタ	PCIPINT	-	R/W	H'00000000	-	H'FE2001C C	H'1E2001C C	32
PCI パワーマネージメント割り込みマスクレジスタ	PCIPINTM	-	R/W	H'00000000	-	H'FE2001D0	H'1E2001D0	32
PCI クロック制御レジスタ	PCICLKCR	-	R/W	H'00000000	-	H'FE2001D4	H'1E2001D4	32
予約	-			H'00000000	-	H'FE2001D8 ~ H'FE2001D C	H'1E2001D8 ~ H'1E2001D C	32
PCIC バスコントロールレジスタ 1	PCIBCR1	-	R/W	H'*00000000	-	H'FE2001E0	H'1E2001E0	32

名称	略称	PCI R/W	周辺 バス R/W	初期値	PCI I/O アドレス SH7751 /SH7751R	P4 アドレス	エリア7 アドレス	アクセ スサイ ズ
PCIC バスコントロールレジスタ 2	PCIBCR2	-	R/W	H'0000*FFC	-	H'FE2001E4	H'1E2001E4	32
PCIC ウェイトコントロールレジスタ 1	PCIWCR1	-	R/W	H'77777777	-	H'FE2001E8	H'1E2001E8	32
PCIC ウェイトコントロールレジスタ 2	PCIWCR2	-	R/W	H'FFFFFFF	-	H'FE2001EC	H'1E2001EC	32
PCIC ウェイトコントロールレジスタ 3	PCIWCR3	-	R/W	H'07777777	-	H'FE2001F0	H'1E2001F0	32
PCIC 個別メモリコントロールレジスタ	PCIMCR	-	R/W	H'00000000	-	H'FE2001F4	H'1E2001F4	32
PCIC バスコントロールレジスタ 3*1	PCIBCR3	-	R/W	H'00000001	-	H'FE2001F8	H'1E2001F8	32
予約	-			H'00000000	-	H'FE2001FC	H'1E2001FC	32
ポートコントロールレジスタ	PCIPCTR	-	R/W	H'00000000	-	H'FE200200	H'1E200200	32
ポートデータレジスタ	PCIPDTR	-	R/W	H'00000000	-	H'FE200204	H'1E200204	32
予約	-			H'00000000 ~ H'00000000	-	H'FE200208 ~ H'FE20021C	H'1E200208 ~ H'1E20021C	32
PIO データレジスタ	PCIPDR	-	R/W	H'xxxxxxx	-	H'FE200220	H'1E200220	32

【注】 x: 不定を表します。

\* 一部、RESET 端子によるパワーオンリセット時に外部ピンの値をサンプリングします。

\*1 PCIC バスコントロールレジスタ 3 は、SH7751R のみ実装されたレジスタです。SH7751 には実装されておらず、予約領域となります。

## 22.2 レジスタの説明

### 22.2.1 PCI コンフィグレーションレジスタ 0 (PCICONF0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DEVID	DEVID	DEVID	DEVID	DEVID	DEVID	DEVID	DEVID	DEVID	DEVID	DEVID	DEVID	DEVID	DEVID	DEVID	DEVID
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	1	1	0	1	0	1	0	0	0	0	0/1*	1	0/1*	1/0*
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VNDID	VNDID	VNDID	VNDID	VNDID	VNDID	VNDID	VNDID	VNDID	VNDID	VNDID	VNDID	VNDID	VNDID	VNDID	VNDID
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	1	0	0	0	0	0	1	0	1	0	1	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 \* SH7751/SH7751R で値が異なります。

PCI コンフィグレーションレジスタ 0 (PCICONF0) は、PCI ローカルバス仕様で規定されている PCI コンフィグレーションレジスタのデバイス ID レジスタとベンダ ID レジスタを実装する、読み出しのみの 32 ビットのレジスタです。ビット 31~16 からは SH7751 の ID (H'3505) または SH7751R の ID (H'350E) が、ビット 15~0 からはベンダの ID (H'1054\*) が読み出されます。

PCICONF0 レジスタのすべてのビットが、ハードウェアで固定されています。

ビット 31~16: DEVID15~0

PCI デバイスベンダによって割り当てられた SH7751 または SH7751R のデバイス ID を指定します。SH7751 の場合 H'3505 (ハードで固定)、SH7751R の場合 H'350E (ハードで固定) です。

ビット 15~0: VNDID15~0

PCI デバイスのメーカ (ベンダ ID) を示します (H'1054\*: ハードで固定)。

【注】 \* ベンダ ID H'1054 は (株) 日立製作所の ID ですが、現在 SH7751/SH7751R はルネサス エレクトロニクス (株) の製品です。本製品に関するお問い合わせは、ルネサス エレクトロニクス (株) にお願います。

## 22.2.2 PCI コンフィグレーションレジスタ 1 (PCICONF1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DPE	SSE	RMA	RTA	STA	DEV1	DEV0	DPD	FBBC	UDF	66M	PM	-	-	-	-
初期値:	0	0	0	0	0	0	1	0	1	0	0	1	0	0	0	0
PCI-R/W:	R/WC	R/WC	R/WC	R/WC	R/WC	R	R	R/WC	R	R	R	R	R	R	R	R
周辺バス-R/W:	R/WC	R/WC	R/WC	R/WC	R/WC	R	R	R/WC	R	R/W	R/W	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PBBE	SER	WCC	PER	VPS	MWIE	SPC	BUM	MES	IOS
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W
周辺バス-R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W

【注】 WC: 1 を書き込むとクリア (0 の書き込みは無視されます)

PCI コンフィグレーションレジスタ 1 (PCICONF1) は、PCI ローカルバスで規定されている PCI コンフィグレーションレジスタのステータスレジスタとコマンドレジスタを実装する、読み出し/一部書き込み可能な 32 ビットのレジスタです。ビット 31~16 (ステータスレジスタ) からは、PCI バス上でエラーが発生した際のステータスが読み出されます。ビット 15~0 (コマンドレジスタ) には、PCI バス上の転送を発生させる際に必要な設定を行います。

周辺バス/PCI バス両方から書き込み可能なビットは、31~27、24、8~6、2~0 です。ただし、ビット 31~27、24 は、1 を書き込むとそのビットがクリアされるライトクリアビットです。周辺バスからのみ書き込み可能なビットは、22、21 です。その他のビットは、ハードウェアで固定されています。

PCICONF1 レジスタは、パワーオンリセットおよびソフトウェアリセットで、H'02900080 に初期化されます。

PCI バス上の転送を発生させる前に、必ず本レジスタに書き込みを行ってください。

## ビット 31: パリティエラー検出ステータス (DPE)

PCIC がマスタ時のリードデータ、またはターゲット時のライトデータにパリティエラーが検出されたことを示します。パリティエラー応答ビット (ビット 6) の値に関係なく、本ビットはセットされます。

ビット 31	説 明
DPE	
0	デバイスは、パリティエラーを検出していない (初期値)
1	デバイスが、パリティエラーを検出した パリティエラー応答ビット (ビット 6) と関係なく、セットされる



## ビット 30 : システムエラー出力ステータス (SSE)

PCIC が  $\overline{SERR}$  をアサートしたことを示します。

ビット 30	説 明
SSE	
0	デバイスは $\overline{SERR}$ をアサートしていない (初期値)
1	デバイスが $\overline{SERR}$ をアサートした (クリアされるまで値を保持)

## ビット 29 : マスタアポート受信ステータス (RMA)

PCIC がマスタ時に、マスタアポートでトランザクションが終了したことを示します。

ビット 29	説 明
RMA	
0	マスタアポートを使用したトランザクションの終了はない (初期値)
1	バスマスタが、マスタアポートによるトランザクションの終了を検出した ただし、スペシャルサイクルでのマスタアポートでは、セットされない

## ビット 28 : ターゲットアポート受信ステータス (RTA)

PCIC がマスタ時に、ターゲットアポートでトランザクションが終了したことを示します。

ビット 28	説 明
RTA	
0	ターゲットアポートを使用したトランザクションの終了はない (初期値)
1	バスマスタが、ターゲットアポートによるトランザクションの終了を検出した

## ビット 27 : ターゲットアポート実行ステータス (STA)

PCIC がターゲット時に、ターゲットアポートでトランザクションを終了させたことを示します。

ビット 27	説 明
STA	
0	ターゲットデバイスは、ターゲットアポートを使用したトランザクションの終了を行っていない (初期値)
1	ターゲットデバイスが、ターゲットアポートによるトランザクションの終了を行った

ビット 26 ~ 25 :  $\overline{\text{DEVSEL}}$  タイミングステータス (DEV1 ~ 0)

ターゲット時の  $\overline{\text{DEVSEL}}$  応答タイミングを示します。

ビット 26	ビット 25	説 明
DEV1	DEV0	
0	0	高速 (未サポート)
	1	中速 (初期値)
1	0	低速 (未サポート)
	1	予約

ビット 24 : データパリティステータス (DPD)

PCIC がマスタ時、 $\overline{\text{PERR}}$  をアサート、または  $\overline{\text{PERR}}$  を検出したことを示します。パリティエラー応答ビット (ビット 6) が 1 のときのみ本ビットがセットされます。

ビット 24	説 明
DPD	
0	データパリティエラーが発生していない (初期値)
1	データパリティエラーが発生した

ビット 23 : 高速バックトゥバックステータス (FBBC)

ターゲット時に異なるターゲットに対する高速バックトゥバック転送が受けられるかを示します。

ビット 23	説 明
FBBC	
0	ターゲットは、異なるターゲットに対する高速バックトゥバックトランザクションに対応していない
1	ターゲットは、異なるターゲットに対する高速バックトゥバックトランザクションに対応している (初期値)

ビット 22 : ユーザ定義機能システム (UDF)

ユーザ機能をサポートしているかを示します。

ビット 22	説 明
UDF	
0	このデバイスは、ユーザ機能をサポートしていない (初期値)
1	このデバイスは、ユーザ機能をサポートしている

ビット 21 : 66MHz 動作可能ステータス (66M)

66MHz で動作可能であることを示します。

ビット 21	説 明
66M	
0	このデバイスは、33MHz 動作可能 (初期値)
1	このデバイスは、66MHz 動作可能

ビット 20 : PCI パワーマネージメント (PM) : 拡張機能

PCI パワーマネージメントをサポートしているかを示します。

ビット 20	説 明
PM	
0	パワーマネージメントは未サポート
1	パワーマネージメントをサポートする (初期値)

ビット 19~10 : 予約ビット

読み出しは 0 です。書き込む値も常に 0 にしてください。

ビット 9 : 高速バクトゥバック制御 (PBBE)

マスタ時に異なるターゲットに対する高速バクトゥバックを発行するかどうかを設定します。

ビット 9	説 明
PBBE	
0	高速バクトゥバック制御は同じターゲットのみ許可 (初期値)
1	異なるターゲットに対する高速バクトゥバック制御を許可 (未サポート)

ビット 8 :  $\overline{\text{SERR}}$  出力制御 (SER)

$\overline{\text{SERR}}$  の出力を制御します。

ビット 8	説 明
SER	
0	$\overline{\text{SERR}}$ 出力禁止 (Hi-Z) (初期値)
1	$\overline{\text{SERR}}$ 出力イネーブル

## ビット 7: ウェイトサイクル制御 (WCC)

アドレス・データステッピングを制御します。

WCC=1 のとき、マスタライト時はアドレスとデータ、マスタリード時はアドレスのみ、ターゲットリード時はデータのみを少なくとも 2 クロック間出力します。

ビット 7	説 明	
WCC		
0	アドレス/データステッピング制御を禁止する	
1	アドレス/データステッピング制御を許可する	(初期値)

## ビット 6: パリティエラー応答 (PER)

パリティエラーを検出、もしくはパリティエラー報告を受信した場合のデバイスの応答を制御します。PER=1 のときのみ、 $\overline{\text{PERR}}$  をアサートします。

ビット 6	説 明	
PER		
0	検出したパリティエラーを無視する	(初期値)
1	検出したパリティエラーに応答する	

## ビット 5: VGA パレットスヌープ制御 (VPS)

ビット 5	説 明	
VPS		
0	VGA 互換デバイスである	(初期値)
1	デバイスはパレットレジスタライトに応答しない (未サポート)	

## ビット 4: メモリライトアンドインバリデード制御 (MWIE)

マスタのとき、メモリアンドインバリデードコマンドの発行を制御します。

ビット 4	説 明	
MWIE		
0	デバイスはメモリライトを使用する	(初期値)
1	デバイスはメモリライトアンドインバリデードコマンドを実行可能 (未サポート)	

## ビット 3 : スペシャルサイクル制御 (SPC)

ターゲット時、スペシャルサイクルをサポートしているかを示します。

ビット 3	説 明	
SPC		
0	スペシャルサイクルを無視する	(初期値)
1	スペシャルサイクルを監視する (未サポート)	

## ビット 2 : PCI バスマスタ制御 (BUM)

バスマスタ動作を制御します。

ビット 2	説 明	
BUM		
0	バスマスタ動作不可	(初期値)
1	バスマスタとして動作可能	

## ビット 1 : メモリ空間制御 (MES)

ターゲット時、メモリ空間へのアクセスを制御します。本ビットが 0 のとき、PCIC に対するメモリ転送はすべてマスタアポートで終了します。

ビット 1	説 明	
MES		
0	メモリ空間へのアクセスを禁止する	(初期値)
1	メモリ空間へのアクセスを許可する	

## ビット 0 : I/O 空間制御 (IOS)

ターゲット時、I/O 空間へのアクセスを制御します。本ビットが 0 のとき、PCIC に対する I/O 転送はすべてマスタアポートで終了します。

ビット 0	説 明	
IOS		
0	I/O 空間へのアクセスを禁止する	(初期値)
1	I/O 空間へのアクセスを許可する	

## 22.2.3 PCI コンフィグレーションレジスタ 2 (PCICONF2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CLASS	CLASS	CLASS	CLASS	CLASS	CLASS	CLASS	CLASS	CLASS	CLASS	CLASS	CLASS	CLASS	CLASS	CLASS	CLASS
	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CLASS	CLASS	CLASS	CLASS	CLASS	CLASS	CLASS	REVID	REVID	REVID	REVID	REVID	REVID	REVID	REVID	REVID
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	*	*	*	*	*	*	*	*
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

【注】 \* 初期値はチップの論理バージョンにより異なります。

PCI コンフィグレーションレジスタ 2 (PCICONF2) は、PCI ローカルバスベックで規定されている PCI コンフィグレーションレジスタのクラスコードレジスタとレビジョン ID レジスタを実装する、読み出しノ一部書き込み可能な 32 ビットのレジスタです。ビット 31~8 (クラスコード) には、デバイスの機能を設定します。ビット 7~0 (レビジョン ID) からは、チップの論理バージョンが読み出されます。

ビット 31~8 は、周辺バスからのみ書き込み可能です。ビット 7~0 は、ハードウェアで固定されています。

PCICONF2 レジスタのクラスコードは、リセットで初期値は保証されません。PCI コントロールレジスタ (PCICR) の CFINIT (ビット 0) がクリアされている期間に必ず初期化してください。

ビット 31~24 : ベースクラスコード (CLASS23~16)

ベースクラスコードを示します。設定値の詳細は表 22.5 を参照してください。

表 22.5 CLASS23 ~ 16 ベースクラスコード一覧

CLASS23 ~ 16 ベースクラス	意 味
H'00	クラスコードが定義される前に作られたデバイス
H'01	大容量記憶装置コントローラ
H'02	ネットワークコントローラ
H'03	ディスプレイコントローラ
H'04	マルチメディアデバイス
H'05	メモリコントローラ
H'06	ブリッジデバイス
H'07	シンプルコミュニケーションデバイス
H'08	基本周辺装置
H'09	入力装置
H'0A	ドッキング・ステーション
H'0B	プロセッサ
H'0C	シリアルバスコントローラ
H'0D ~ H'FE	予約
H'FF	定義されたクラスに当てはまらないデバイス

ビット 23 ~ 16 : サブクラスコード (CLASS15 ~ 8)

サブクラスコードを示します。

設定値の詳細は「PCI ローカルバス仕様 Revision2.1」の「Appendix D. クラスコード」を参照してください。

ビット 15 ~ 8 : レジスタレベルプログラミングインタフェース (CLASS7 ~ 0)

レジスタレベルプログラミングインタフェースを示します。

設定値の詳細は「PCI ローカルバス仕様 Revision2.1」の「Appendix D. クラスコード」を参照してください。

ビット 7 ~ 0 : レビジョン ID (REVID7 ~ 0)

PCIC のレビジョンレベルを示します。

初期値はチップの論理バージョンにより異なります。

## 22.2.4 PCI コンフィグレーションレジスタ 3 (PCICONF3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BIST7	BIST6	BIST5	BIST4	BIST3	BIST2	BIST1	BIST0	HEAD7	HEAD6	HEAD5	HEAD4	HEAD3	HEAD2	HEAD1	HEAD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LAT7	LAT6	LAT5	LAT4	LAT3	LAT2	LAT1	LAT0	CACH E7	CACH E6	CACH E5	CACH E4	CACH E3	CACH E2	CACH E1	CACH E0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

PCI コンフィグレーションレジスタ 3 (PCICONF3) は、PCI ローカルバスで規定されている PCI コンフィグレーションレジスタの BIST 機能レジスタ、ヘッダタイプレジスタ、レイテンシタイムレジスタ、キャッシュラインサイズレジスタを実装する、読み出しノ一部書き込み可能な 32 ビットのレジスタです。ビット 31~24 からは BIST 機能が、ビット 23~16 からはヘッダタイプが、ビット 7~0 からはキャッシュラインサイズが読み出されます。ビット 15~8 (レイテンシタイム) には、PCIC がマスタ時に保証される、PCI バス占有時間を設定します。

書き込み可能なビットは、15~8 です。その他のビットはハードウェアで固定されています。

PCICONF3 レジスタは、パワーオンリセットおよびソフトウェアリセットで、H'00000000 に初期化されます。

## ビット 31 : BIST7

BIST 機能の制御とステータスに使用されます。

ビット 31	
BIST7	説 明
0	機能なし (初期値)
1	機能あり (未サポート)

## ビット 30 : BIST6

BIST の起動を制御するのに使用されます。

ビット 30	
BIST6	説 明
0	実行完了 (初期値)
1	実行中 (未サポート)



## ビット 29～28 : BIST5～4

予約ビットです。読み出すと 0 が読み出されます。

## ビット 27～24 : BIST3～0

BIST の動作完了ステータスを示します。

ビット 27～24	説 明	
BIST3～0		
H'0	テストでパスした	(初期値)
H'1～H'F	故障が発見された (未サポート)	

## ビット 23 : 多機能ステータス (HEAD7)

デバイスが多機能か単機能かを示します。

ビット 23	説 明	
HEAD7		
0	単機能デバイス	(初期値)
1	デバイスは 2 から 8 までの多機能デバイスを持っている (未サポート)	

## ビット 22～16 : コンフィグレーションレイアウトタイプ (HEAD6～0)

コンフィグレーションレジスタのレイアウトタイプを示します。

ビット 22～16	説 明	
HEAD6～0		
H'00	タイプ 00h のレイアウトをサポート	(初期値)
H'01	タイプ 01h のレイアウトをサポートする (未サポート)	
H'02～H'3F	予約	

## ビット 15～8 : レイテンシタイムレジスタ (LAT7～0)

PCIC がマスタ時の、PCI バスの最大獲得クロック数を指定します。

## ビット 7～0 : キャッシュラインサイズ (CACHE7～0) : 未サポート

メモリアーゲットはキャッシュ未サポートのため、SDONE、 $\overline{SBO}$  を無視します。

## 22.2.5 PCI コンフィグレーションレジスタ 4 (PCICONF4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W*	R/W*	R/W*	R/W*
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W*	R/W*	R/W*	R/W*
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE	BASE	-	ASI
	15	14	13	12	11	10	9	8	7	6	5	4	3	2		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
PCI-R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R	R	R	R	R	R	R	R
周辺バス-R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R	R	R	R	R	R	R	R

【注】 \* SH7751 では読み出しのみ可能、SH7751R では読み出し/書き込み可能です。

PCI コンフィグレーションレジスタ 4 (PCICONF4) は、PCI ローカルバスで規定されている PCI コンフィグレーションレジスタの I/O 空間ベースアドレスレジスタを実装する、読み出し/一部書き込み可能な 32 ビットのレジスタです。PCI バス上のデバイスが、I/O 転送コマンドを用いて PCIC 内のローカルレジスタにアクセスする際に使用するアドレス上位ビットを設定します。SH7751 では上位 12 ビット (ビット 31~20) を、SH7751R では上位 24 ビット (ビット 31~8) を設定します。PCI バスの I/O 空間として SH7751 の場合 1 メガバイトの空間を、SH7751R の場合 256 バイトの空間を割り当ててください。

SH7751 では書き込み可能なビットは、31~20 です。ビット 19~2、0 は、ハードウェアで固定されています。SH7751R では書き込み可能なビットは、31~8 です。ビット 7~2、0 は、ハードウェアで固定されています。

PCICONF4 レジスタは、パワーオンリセットおよびソフトウェアリセットで、H'00000001 に初期化されます。

PCI バスから、PCIC に対して I/O 転送 (PCIC 内のローカルレジスタにアクセス) をする前に、必ず本レジスタに書き込みを行ってください。

ビット 31~8: I/O 空間ベースアドレス (BASE31~8)

PCIC 内のローカルレジスタ (I/O 空間) のベースアドレスを指定します。

SH7751 ではビット 19~8 がハードウェアで H'000 に固定されています。

ビット 7~2: I/O 空間ベースアドレス (BASE7~2)

ハードウェアで H'00 に固定されています。

ビット 1: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 0 : アドレス空間インジケータ (ASI)

このレジスタが示すベースアドレスが、I/O 空間かメモリ空間かを示します。

ビット 0	説 明
ASI	
0	メモリ空間
1	I/O 空間 (初期値)

## 22.2.6 PCI コンフィグレーションレジスタ 5 (PCICONF5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	BASE0	LA0PR	LA0TY	LA0TY	LA0AS
	15	14	13	12	11	10	9	8	7	6	5	4	EF	PE1	PE0	I
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

PCI コンフィグレーションレジスタ 5 (PCICONF5) は、PCI ローカルバスで規定されている PCI コンフィグレーションレジスタのメモリ空間ベースアドレスレジスタを実装する、読み出し/一部書き込み可能な 32 ビットのレジスタです。PCI バス上のデバイスが、メモリ転送コマンドを用いて SH ローカルバス上のローカルメモリにアクセスする際に使用するアドレスの上位 (最大 12 ビット、ビット 31 ~ 20) を設定します。PCI バスのメモリ空間として、最低ローカルスペースレジスタ 0 (PCILSR0) で設定した容量分を割り当ててください。

ビット 19 ~ 0 は、ハードウェアで固定されています。書き込み可能なビット 31 ~ 20 のうち有効な値を持つビットは、PCILSR0 に設定される値によって異なります。

表 22.6 メモリ空間ベースアドレスレジスタ (BASE0)

PCILSR0[28:20] レジスタ値	必要とする アドレス空間	BASE0[31:20] 書き込み有効ビット
B'0_0000_0000	1MB	ビット 31 ~ 20
B'0_0000_0001	2MB	ビット 31 ~ 21
B'0_0000_0011	4MB	ビット 31 ~ 22
:	:	:
B'0_1111_1111	256MB	ビット 31 ~ 28
B'1_1111_1111	512MB	ビット 31 ~ 29

PCICONF5 レジスタは、パワーオンリセットおよびソフトウェアリセットで、H'00000000 に初期化されます。

PCI バスから、PCIC に対するメモリ転送をする前に、必ず本レジスタに書き込みを行ってください。

ビット 31 ~ 20 : メモリ空間ベースアドレス 0 (BASE0 31 ~ 20)

ローカルアドレス空間 0 (本 LSI 外部バス空間) のベースアドレスを指定します。

ビット 19 ~ 4 : メモリ空間ベースアドレス 0 (BASE0 19 ~ 4)

ハードウェアで H'0000 に固定されています。

## ビット 3 : プリフェッチ制御 (LA0PREF)

ローカルアドレス空間 0 がプリフェッチ可能かを示します。

ビット 3	説 明	
LA0PREF		
0	プリフェッチ不可能	(初期値)
1	プリフェッチ可能 (未サポート)	

## ビット 2~1 : メモリタイプ (LA0TYPE1~0)

ローカルアドレス空間 0 のメモリタイプを示します。

ビット 2	ビット 1	説 明
LA0TYPE1	LA0TYPE0	
0	0	ベースアドレスは 32 ビット幅、32 ビット空間に設定可能 (初期値)
	1	ベースアドレスは 32 ビット幅、ただし 1MB 未満に設定可能 (未サポート)
1	0	ベースアドレスは 64 ビット幅 (未サポート)
	1	予約

## ビット 0 : アドレス空間インジケータ (LA0ASI)

このレジスタが示すベースアドレスが、I/O 空間かメモリ空間かを示します。

ビット 0	説 明	
LA0ASI		
0	メモリ空間	(初期値)
1	I/O 空間	

## 22.2.7 PCI コンフィグレーションレジスタ 6 (PCICONF6)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	BASE1	LA1PR	LA1TY	LA1TY	LA1AS
	15	14	13	12	11	10	9	8	7	6	5	4	EF	PE1	PE0	I
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

PCI コンフィグレーションレジスタ 6 (PCICONF6) は、PCI ローカルバスで規定されている PCI コンフィグレーションレジスタのメモリ空間ベースアドレスレジスタを実装する、読み出し/一部書き込み可能な 32 ビットのレジスタです。PCI バス上のデバイスが、メモリ転送コマンドを用いて SH ローカルバス上のローカルメモリにアクセスする際に使用するアドレスの上位 (最大 12 ビット、ビット 31 ~ 20) を設定します。PCI バスのメモリ空間として、最低ローカルスペースレジスタ 1 (PCILSR1) で設定した容量分を割り当ててください。

ビット 19 ~ 0 は、ハードウェアで固定されています。書き込み可能なビット 31 ~ 20 のうち有効な値を持つビットは、PCILSR1 に設定される値によって異なります。

表 22.7 メモリ空間ベースアドレスレジスタ (BASE1)

PCILSR1[28:20] レジスタ値	必要とする アドレス空間	BASE1[31:20] 書き込み有効ビット
B'0_0000_0000	1MB	ビット 31 ~ 20
B'0_0000_0001	2MB	ビット 31 ~ 21
B'0_0000_0011	4MB	ビット 31 ~ 22
:	:	:
B'0_1111_1111	256MB	ビット 31 ~ 28
B'1_1111_1111	512MB	ビット 31 ~ 29

PCICONF6 レジスタは、パワーオンリセットおよびソフトウェアリセットで、H'00000000 に初期化されます。

PCI バスから、PCIC に対するメモリ転送をする前に、必ず本レジスタに書き込みを行ってください。

ビット 31 ~ 20 : メモリ空間ベースアドレス 1 (BASE1 31 ~ 20)

ローカルアドレス空間 1 (本 LSI 外部バス空間) のベースアドレスを指定します。

ビット 19 ~ 4 : メモリ空間ベースアドレス 1 (BASE1 19 ~ 4)

ハードウェアで H'0000 に固定されています。

## ビット 3 : プリフェッチ制御 (LA1PREF)

ローカルアドレス空間 1 がプリフェッチ可能かを示します。

ビット 3	説 明	
LA1PREF		
0	プリフェッチ不可能	(初期値)
1	プリフェッチ可能 (未サポート)	

## ビット 2~1 : メモリタイプ (LA1TYPE1~0)

ローカルアドレス空間 1 のメモリタイプを示します。

ビット 2	ビット 1	説 明
LA1TYPE1	LA1TYPE0	
0	0	ベースアドレスは 32 ビット幅、32 ビット空間に設定可能 (初期値)
	1	ベースアドレスは 32 ビット幅、ただし 1MB 未満に設定可能 (未サポート)
1	0	ベースアドレスは 64 ビット幅 (未サポート)
	1	予約

## ビット 0 : アドレス空間インジケータ (LA1ASI)

このレジスタが示すベースアドレスが、I/O 空間かメモリ空間かを示します。

ビット 0	説 明	
LA1ASI		
0	メモリ空間	(初期値)
1	I/O 空間	

## 22.2.8 PCI コンフィグレーションレジスタ 7 (PCICONF7) ~ PCI コンフィグレーションレジスタ 10 (PCICONF10)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット 31~0: 予約ビット

読み出しは常に 0 です。



## 22.2.9 PCI コンフィグレーションレジスタ 11 (PCICONF11)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SSID	SSID	SSID	SSID	SSID	SSID	SSID	SSID	SSID	SSID	SSID	SSID	SSID	SSID	SSID	SSID
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SVID	SVID	SVID	SVID	SVID	SVID	SVID	SVID	SVID	SVID	SVID	SVID	SVID	SVID	SVID	SVID
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCI コンフィグレーションレジスタ 11 (PCICONF11) は、PCI ローカルバス仕様で規定されている PCI コンフィグレーションレジスタのサブシステム ID とサブシステムベンダ ID を実装する、読み出し / 書き込み可能な 32 ビットのレジスタです。本 LSI が実装されているアドインボードやサブシステムの ID (ビット 31~16) とサブシステムのベンダ ID (ビット 15~0) を設定します。

全ビットが、周辺バスからのみ書き込み可能です。

PCICONF11 レジスタは、リセットで初期化されません。PCICR レジスタの CFINIT (ビット 0) がクリアされている期間に必ず初期化してください。

ビット 31~16: サブシステム ID (SSID15~0)

サブシステム ID を指定します。

ビット 15~0: サブシステムベンダ ID (SVID15~0)

PCI のサブシステムベンダ ID を指定します。

## 22.2.10 PCI コンフィグレーションレジスタ 12 (PCICONF12)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット 31~0: 予約ビット

読み出しは常に 0 です。

## 22.2.11 PCI コンフィグレーションレジスタ 13 (PCICONF13)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CAPPT R7	CAPPT R6	CAPPT R5	CAPPT R4	CAPPT R3	CAPPT R2	CAPPT R1	CAPPT R0
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

PCI コンフィグレーションレジスタ 13 (PCICONF13) は、PCI パワーマネジメント仕様で規定されている PCI コンフィグレーションレジスタの拡張機能ポインタレジスタを実装する、読み出しのみの 32 ビットのレジスタです。ビット 7~0 からは、拡張機能のアドレスオフセットが読み出されます。

全ビットが、ハードウェアで固定されています。

ビット 31~8: 予約ビット

読み出しは常に 0 です。

ビット 7~0: 拡張機能ポインタ (CAPPTR7~0)

拡張機能 (パワーマネジメント) レジスタのアドレスオフセットを示します (初期値: H'40)。

## 22.2.12 PCI コンフィグレーションレジスタ 14 (PCICONF14)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット 31~0: 予約ビット

読み出しは常に 0 です。

## 22.2.13 PCI コンフィグレーションレジスタ 15 (PCICONF15)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MLAT7	MLAT6	MLAT5	MLAT4	MLAT3	MLAT2	MLAT1	MLAT0	MGNT	MGNT	MGNT	MGNT	MGNT	MGNT	MGNT	MGNT
									7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IPIN7	IPIN6	IPIN5	IPIN4	IPIN3	IPIN2	IPIN1	IPIN0	ILIN7	ILIN6	ILIN5	ILIN4	ILIN3	ILIN2	ILIN1	ILIN0
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
周辺バス-R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCI コンフィグレーションレジスタ 15 (PCICONF15) は、PCI ローカルバス仕様で規定されている PCI コンフィグレーションレジスタの最大レイテンシレジスタ、最小グラントレジスタ、インタラプトピンレジスタ、インタラプトラインレジスタを実装する、読み出し/一部書き込み可能な 32 ビットのレジスタです。ビット 15~8 からは、本 LSI が使用している割り込みピンが読み出されます。ビット 7~0 には、割り込み線を割り込みコントローラのどの割り込み要求信号線に接続するかを設定します。

ビット 31~8 は、ハードウェアで固定されています。ビット 7~0 は、周辺バス/PCI バス両方から書き込み可能です。

PCICONF15 レジスタは、パワーオンリセットおよびソフトウェアリセットで、H'00000100 に初期化されます。

ビット 31~24: 最大レイテンシ指定 (MLAT7~0)

PCI マスタデバイスがバス権を要求してから獲得するまでの最大時間を指定します (未サポート)。

ビット 23~16: 最小グラント指定 (MGNT7~0)

PCI マスタデバイスが必要とするバースト期間を指定します (未サポート)。

ビット 15~8: インタラプトピン指定 (IPIN7~0)

ビット 15~8	説 明
IPIN7~0	
H'01	INTA を使用する (初期値)
H'02	INTB を使用する
H'03	INTC を使用する
H'04	INTD を使用する
H'05~H'FF	予約ビット

ビット 7~0: 割り込みライン指定 (ILIN7~0)

PCIC が使用している、インタラプト出力が接続されたシステムの、インタラプトラインを指定します。

## 22.2.14 PCI コンフィグレーションレジスタ 16 (PCICONF16)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMES PT4	PMES PT3	PMES PT2	PMES PT1	PMES PT0	D2SPT	D1SPT	-	-	-	DSI	-	PMEC LK	VER2	VER1	VER0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NIP7	NIP6	NIP5	NIP4	NIP3	NIP2	NIP1	NIP0	CAPID 7	CAPID 6	CAPID 5	CAPID 4	CAPID 3	CAPID 2	CAPID 1	CAPID 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

PCI コンフィグレーションレジスタ 16 (PCICONF16) は、PCI パワーマネジメントスペックで規定されているパワーマネジメントレジスタのパワーマネジメント機能 (PMC) レジスタ、ネクストアイテムポインタレジスタ、拡張機能 ID レジスタを実装する、読み出し/一部書き込み可能な 32 ビットのレジスタです。PCICONF16 は、PCIC が非ホストとして動作しているときのみ有効です。ビット 31~16 (PMC) からは、パワーマネジメント関連の機能が、ビット 15~8 (ネクストアイテムポインタ) からは、拡張機能リストの次の機能のアドレスオフセットが、ビット 7~0 (拡張機能 ID) からは、パワーマネジメントを示す ID (H'01) が、それぞれ読み出されます。

ビット 18~16 は、周辺バスからのみ書き込み可能です。それ以外のビットは、ハードウェアで固定されています。

PCICONF16 レジスタは、パワーオンリセットおよびソフトウェアリセットで、H'00010001 に初期化されます。

ビット 31~27: PME サポート (PMESPT4~0): 未サポート

$\overline{\text{PME}}$  出力をサポートするファンクションステートを定義します。

ビット 26: D2 サポート (D2SPT): 未サポート

D2 ステートをサポートするかどうかを指定します。

ビット 25: D1 サポート (D1SPT): 未サポート

D1 ステートをサポートするかどうかを指定します。

ビット 24~22: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 21: DSI

デバイス固有の初期化を必要とするかどうかを指定します。

ビット 20: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 19: PME クロック (PMECLK): 未サポート

$\overline{\text{PME}}$  をサポートするのにクロックが必要か否かを指定します。

ビット 18～16：バージョン (VER2～0)

パワーマネジメント仕様のバージョンを指定します。

ビット 15～8：ネクストアイテムポインタ (NIP7～0)

拡張機能の次のレジスタスへのオフセットを指定します。

ビット 7～0：拡張機能 ID (CAPID7～0)

拡張機能の ID を指定します。読み出すと H'01 が読み出されます。

## 22.2.15 PCI コンフィグレーションレジスタ 17 (PCICONF17)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PME ST	DTAT SCL1	DTAT SCL0	DATA SEL3	DATA SEL2	DATA SEL1	DATA SEL0	PME EN	-	-	-	-	-	-	PWR ST1	PWR ST0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

PCI コンフィグレーションレジスタ 17 (PCICONF17) は、PCI パワーマネジメント仕様で規定されているパワーマネジメントレジスタのパワーマネジメントコントロール/ステータスレジスタ (PMCSR)、ブリッジ対応 PMCSR 拡張レジスタ (PMCSR\_BSE)、データレジスタを実装する、読み出し/一部書き込み可能な 32 ビットのレジスタです。PCICONF17 は、PCIC が非ホストとして動作しているときのみ有効です。ビット 31~24 (データ) とビット 23~16 (PMCSR\_BSE) は、サポートしていません。ビット 15~0 (PMCSR) からは、パワーマネジメントのステータスが読み出せます。

ビット 1~0 は、周辺バス/PCI バス両方から書き込み可能です。それ以外のビットは、ハードウェアで固定されています。

PCICONF17 レジスタは、パワーオンリセットおよびソフトウェアリセットで、H'00000000 に初期化されます。

ビット 1~0 に B'11 が書き込まれ、パワーステートが D3 (消費電力モード) に移行すると、PCICONF17 のビット 2~0 (バスマスタ制御、メモリ・I/O 空間アクセス制御) の値にかかわらず、PCIC のマスタ・ターゲットとしての動作を禁止します (上記ビットをマスクします)。ビット 1~0 に B'00 が書き込まれ、パワーステートが D0 (通常動作モード) に移行すると、マスクは解除されます。

ビット 31~24 : データ (DATA7~0) : 未サポート

パワーマネジメント用のデータフィールドです。

ビット 23~16 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 15 : PME ステータス (PMEST) : 未サポート

PME ピンの状態を表示するビットです。

ビット 14~13 : データスケール (DATASCL1~0) : 未サポート

データフィールドの値のスケール値を指定します。

ビット 12~9 : データセレクト (DATASEL3~0) : 未サポート

データフィールドに出力する値の選択をします。

ビット 8 :  $\overline{\text{PME}}$  イネーブル (PMEEN) : 未サポート

$\overline{\text{PME}}$  信号出力制御を行います。

## ビット 7~2 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 1~0 : パワーステート (PWRST1~0)

パワーステートを指定します。

未サポートステートを指定しても、ステート遷移はしませんが、レジスタへの書き込みは正常終了し、エラー表示も行いません。

ビット 1	ビット 0	説明
PWRST1	PWRST0	
0	0	D0 ステート (初期値、通常状態)
	1	D1 ステート (未サポート)
1	0	D2 ステート (未サポート)
	1	D3 ステート (パワーダウンモード)

## 22.2.16 予約領域

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 PCI コンフィグレーションアドレスの H'48 ~ H'FC は予約領域です。

## ビット 31~0 : 予約ビット

読み出しは常に 0 です。



## 22.2.17 PCI コントロールレジスタ (PCICR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TRDS GL	BYTES WAP	PCIPU P	BMAB T	MD10	MD9	SERR	INTA	RSTCTL L	CFINIT
初期値:	0	0	0	0	0	0	0	0	0	0	0/1*	0/1*	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

【注】 \*  $\overline{\text{RESET}}$  端子によるパワーオンリセット時に外部ピンの値をサンプリングします。

PCI コントロールレジスタ (PCICR) は、初期化の時のモードピンの状態のモニタと、PCIC の基本的な動作を制御する 32 ビットのレジスタです。周辺バスからはビット 5 (MD10) と 4 (MD9) が読み出し専用で、これ以外には読み出し / 書き込み可能です。PCI バスからはビット 9 (TRDSGL) と 8 (BYTESWAP) が読み出し / 書き込み可能で、これ以外には読み出し専用です。

PCIC がホスト動作時、PCICR のビット 1 (RSTCTL) によって PCI バスにソフトウェアリセットをかけることができます。ソフトウェアリセットによって、 $\overline{\text{PCIRST}}$  端子がアサートされ、PCIC の内部状態が初期化されます。

PCICR レジスタは、パワーオンリセット時には H'000000\*0 (ビット 7、6 は B'00、ビット 5、4 はモードピン 9、10 の値をサンプリングします) に初期化されます。ソフトウェアリセット時にはビット 1 (RSTCTL) は初期化されません。これ以外のビットはソフトウェアリセットでも初期化されます。

本レジスタへの書き込みは、ビット 31 ~ 24 が H'A5 のときのみ有効です。

PCIC のレジスタの初期化が終了したとき、必ずビット 0 (CFINIT) を 1 に設定してください。

## ビット 31 ~ 10 : 予約ビット

読み出しは常に 0 です。書き込むときはビット 31 ~ 24 に H'A5 を、それ以外には 0 を書き込んでください。

## ビット 9 : ターゲットリード シングルバッファ (TRDSGL)

PCIC にターゲットメモリリードアクセスを行う際、ターゲットリード用バッファを 1 面 (32 バイト) だけ使用するか、2 面 (64 バイト) 使用するかを指定します。2 面を使用する場合は、ローカルバスから 2 面分のデータを先読みします。1 面のときは、1 面分のデータを先読みします。

ビット 9	
TRDSGL	説 明
0	ターゲットリード用バッファを 2 面使用 (初期値)
1	ターゲットリード用バッファを 1 面のみ使用

## ビット 8 : バイトスワップ (BYTESWAP)

PCIC が PIO 転送を行うとき、データのバイトを入れ替えるかを指定します。

ビット 8	説明
BYTESWAP	
0	データをそのまま転送 (初期値)
1	データのバイトを入れ替え転送

【注】 詳細は、「22.4 エンディアン」を参照してください。

## ビット 7 : PCI 信号プルアップ (PCIUP)

PCI 信号のプルアップ抵抗の制御を行います。どのピンがプルアップされるかは、表 22.1 を参照してください。また、 $\overline{\text{PCIREQ2}}/\text{MD9}$ 、 $\overline{\text{PCIREQ3}}/\text{MD10}$ 、 $\overline{\text{PCIREQ4}}$  をポートとして使用したときのプルアップ制御に関しては、ポートコントロールレジスタ (PCIPCTR) を参照してください。

ビット 7	説明
PCIUP	
0	プルアップ (初期値)
1	プルアップなし

## ビット 6 : バスマスタアービトレーション (BMABT)

PCIC がホスト動作時に、PCIC の PCI バスアービトレーションモードを制御します。PCIC が非ホスト動作時には本ビットの値は無視されます。

ビット 6	説明
BMABT	
0	優先順位固定 (デバイス 0 (PCIC) > デバイス 1 > デバイス 2 > デバイス 3 > デバイス 4) (初期値)
1	擬似ラウンドロビン (バス権を持つデバイスの優先度を、次のアクセスでは一番低く設定する)

## ビット 5 : モード 10 モニタ (MD10)

RESET 端子によるパワーオンリセット時の  $\overline{\text{PCIREQ3}}/\text{MD10}$  ピンの値をモニタします。

ビット 5	説明
MD10	
0	ホストブリッジ機能 (アービトレーション) が有効
1	ホストブリッジ機能無効

## ビット 4 : モード 9 モニタ (MD9)

RESET 端子によるパワーオンリセット時の PCIREQ2/MD9 ピンの値をモニタします。

ビット 4	説明
MD9	
0	PCICLK を PCI のクロックとして使用
1	CKIO からのフィードバック入力クロックを PCI のクロックとして使用

## ビット 3 : SERR 出力 (SERR)

SERR 出力のソフト制御を行います。

PCICONF1 レジスタのビット 8 (SER) が 1 の場合のみ有効です。1 が書き込まれたとき、SERR を 1 クロックアサートします。読み出し時は常に 0 が読み出されます。

PCIC が非ホスト時のみに使用してください。PCIC がホスト時に使用すると、CPU に対して SERR アサート割り込みが発生します。

ビット 3	説明
SERR	
0	SERR 端子は Hi-Z (プルアップ抵抗で High にドライブされる) (初期値)
1	SERR アサート (Low 出力)

## ビット 2 : INTA 出力 (INTA)

INTA 出力のソフト制御を行います。PCIC が非ホストのときのみ有効です。

ビット 2	説明
INTA	
0	INTA 端子は Hi-Z (プルアップ抵抗で High にドライブされる) (初期値)
1	INTA アサート (Low 出力)

## ビット 1 : PCIRST 出力制御 (RSTCTL)

PCIRST の出力を制御します。本フィールドはパワーオンリセット時のみリセットされます。非ホスト動作時には使用しないでください。

ビット 1	説明
RSTCTL	
0	PCIRST をネゲート (High 出力) (初期値)
1	PCIRST をアサート (Low 出力)

## ビット 0 : PCIC 内部レジスタ初期化制御 (CFINIT)

PCIC 内部レジスタの初期化終了後、このビットを 1 に設定してください。このビットをセットすることにより、PCI バスからのアクセスが可能となります。初期化中は、ホスト動作時には PCI バス上の他のデバイスにバス権を与えません。非ホスト動作時には PCI バスからのアクセスを受け付けず、リトライを返します。

ビット 0	説 明
CFINIT	
0	初期化中 (初期値)
1	初期化終了

## 22.2.18 PCI 用ローカルスペースレジスタ 0、1 (PCILSR0、1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	PLSR 28	PLSR 27	PLSR 26	PLSR 25	PLSR 24	PLSR 23	PLSR 22	PLSR 21	PLSR 20	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

PCI 用ローカルスペースレジスタ 0、1 (PCILSR0、1) は、PCI バス上のデバイスが PCIC に対するターゲット転送によりメモリリード/メモリライトを行う際にサポートする 2 つのローカルアドレス空間 (アドレス空間 0、アドレス空間 1) の容量を指定します。周辺バスからは読み出し/書き込み可能、PCI バスからは読み出しのみ可能な 32 ビットのレジスタです。

PCILSR0、1 レジスタは、パワーオンリセットおよびソフトウェアリセットで H'00000000 に初期化されます。

ターゲット転送を行う前に、必ず本レジスタに書き込みを行い、使用するアドレス空間に対応する容量を指定してください。指定値は、ビット 28 からビット 20 に「(容量 - 1) バイト」を指定してください。例えば、32M バイトの空間を確保したい場合には、H'01F00000 を設定します。オールゼロを指定すると、1M バイトの空間が確保されます。最大 512M バイトまでのアドレス空間が指定可能です。「22.2.6 PCI コンフィグレーションレジスタ 5 (PCICONF5)」の表 22.6 を参照してください。

## ビット 31 ~ 29 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 28 ~ 20 : ローカルアドレス空間 0、1 の容量 (PLSR28 ~ 20)

アドレス空間 0 およびアドレス空間 1 の容量をバイト数で指定します。

指定値は、(容量 - 1) バイトを指定してください。オール 0 を指定すると、1M バイトの空間が確保されます。

## ビット 19 ~ 0 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## 22.2.19 PCI 用ローカルアドレスレジスタ 0、1 (PCILAR0、1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	LAR28	LAR27	LAR26	LAR25	LAR24	LAR23	LAR22	LAR21	LAR20	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

PCI 用ローカルアドレスレジスタ 0、1 (PCILAR0、1) は、PCIC へのターゲット転送によりメモリリード/メモリライトを行なう際にサポートする 2 つのローカルアドレス空間 (アドレス空間 0、アドレス空間 1) のメモリの先頭アドレス (ローカルバスの外部アドレス) を指定します。本レジスタは 32 ビットで、周辺バスからは読み出し/書き込み可能、PCI バスからは読み出しのみ可能な 32 ビットのレジスタです。

PCILAR0、1 レジスタは、パワーオンリセットおよびソフトウェアリセットで H'00000000 に初期化されます。

PCILSR0、1 レジスタ設定されたアドレス空間の容量によって、本レジスタで指定できる先頭アドレスが制限されるので注意してください。つまり、PCILSR0、1 で設定された容量に相当する下位アドレスビットは 0 に設定し、上位アドレスビットのみ先頭アドレスを設定してください。例えば、ローカルアドレス空間の容量を 32M バイトに設定した場合 (PCILSR:H'01F00000)、PCILAR レジスタの有効ビットは 28 から 25 までです。これらのビットに設定された値のみが、ローカルアドレス空間の先頭アドレスとして採用されます。

ターゲット転送を行う前に、必ず本レジスタに書き込みを行い、使用するアドレス空間に対応してローカルバスに実装されるメモリの先頭アドレスを指定してください。PCI 用ローカルアドレスレジスタ 0、1 のビット 28 ~ 26 は、ローカルアドレスのエリア選択に使用され、ビット 25 ~ 20 はエリア内のアドレスを示します。

## ビット 31 ~ 29 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 28 ~ 20 : ローカルアドレス (LAR28 ~ 20)

ローカルアドレス空間の先頭アドレスのビット 28 ~ 20 を指定します。

## ビット 19 ~ 0 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## 22.2.20 PCI 割り込みレジスタ (PCIINT)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	M_LO CKON	T_TGT _ABO RT	-	-	-	-	TGT_R ETRY	MST_ DIS	ADRP ERR	SERR_ DET	T_DPE RR_W T	T_PER R_DET	M_TG T_ABO RT	M_MS T_ABO RT	M_DP ERR_ WT	M_DP ERR_ RD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R/WC	R/WC	R	R	R	R	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC
周辺バス-R/W:	R/WC	R/WC	R	R	R	R	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC

【注】 WC: 1 を書き込むとクリア (0 の書き込みは無視されます)

PCI 割り込みレジスタ (PCIINT) は、PCIC が PCI バス上に転送コマンドを発行しようとしたとき、または PCIC が PCI マスタが PCI ターゲット時に PCI バス上でエラーが発生した際に、そのエラー要因を保持する 32 ビットのレジスタです。周辺バスと PCI バスの両方から読み出しが可能です。また、1 を書き込むことで検出ビットを初期値に戻すライトクリアも周辺バスと PCI バスの両方から可能です。

PCIINT レジスタは、パワーオンリセットおよびソフトウェアリセットで H'00000000 に初期化されます。

エラーが検出されると、エラーの内容に対応するビットに 1 が立ちます。各割り込み検出ビットは、1 を書き込むことで初期状態 0 にクリアすることができます (ライトクリア)。

割り込みがマスクされていてもエラー検出ビットはセットされます。

エラー要因保持回路は 1 つのエラー要因しか保持できません。このため、エラーが連続して発生した場合、2 つ目以降のエラー要因は保持されません。

## ビット 31 ~ 16: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 15: 非ロック転送検出割り込み (M\_LOCKON)

PCIC がマスタ時、特定のターゲットをロック中に非ロック PIO 転送を行ったことを示します。

## ビット 14: ターゲット時のターゲットアポート割り込み (T\_TGT\_ABORT)

PCIC がターゲット時、ターゲットアポートによりトランザクションを終了させたことを示します。ターゲットアポートは、I/O 転送中にアドレスの下位 2 ビット (ビット 1、0) とバイトイネーブルの組み合わせが不正 (イリーガルバイトイネーブル) であったときに発生させます。

## ビット 13 ~ 10: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 9: ターゲットメモリリードリトライタイムアウト割り込み (TGT\_RETRY)

PCIC がターゲット時、所定の PCI バスクロック以内 ( $2^{15}$ ) にマスタがリトライ処理を行わなかったことを示します。メモリリード転送に対してのみ検出されます。

**ビット 8 : マスタ機能ディスエーブルエラー割り込み (MST\_DIS)**

PCICONF1 のビット 2 (BUM) が 0 に設定され、バスマスタとしての動作が禁止されているのにマスタ動作 (PIO 転送、DMA 転送) を行おうとしたことを示します。

**ビット 7 : アドレスパリティエラー検出割り込み (ADRPERR)**

アドレスパリティエラーを検出したことを示します。

PCICONF1 のビット 6 (PER) とビット 8 (SER) がともに 1 のときのみ検出します。

**ビット 6 :  $\overline{\text{SERR}}$  検出割り込み (SERR\_DET)**

PCIC がホスト時、 $\overline{\text{SERR}}$  信号がアサートされているのを検出したことを示します。

**ビット 5 : ターゲットライト時のデータパリティエラー割り込み (T\_DPERR\_WT)**

PCIC がターゲット時、ターゲットライト転送を受信したときにデータパリティエラーを検出したことを示します。PCICONF1 のビット 6 (PER) が 1 のときのみ検出します。

**ビット 4 : ターゲットリード時の  $\overline{\text{PERR}}$  検出割り込み (T\_PERR\_DET)**

PCIC がターゲット時、ターゲットリード転送を受信したときに  $\overline{\text{PERR}}$  を受信したことを示します。PCICONF1 のビット 6 (PER) が 1 のときのみ検出します。

**ビット 3 : マスタ時のターゲットアボート割り込み (M\_TGT\_ABORT)**

PCIC がマスタ時に、ターゲットアボートでトランザクションが終了したことを示します。

**ビット 2 : マスタ時のマスタアボート割り込み (M\_MST\_ABORT)**

PCIC がマスタ時に、マスタアボートでトランザクションが終了したことを示します。

**ビット 1 : マスタライト  $\overline{\text{PERR}}$  検出割り込み (M\_DPERR\_WT)**

PCIC がマスタ時に、ターゲットへのデータライト中に、ターゲットからの  $\overline{\text{PERR}}$  を受信したことを示します。PCICONF1 のビット 6 (PER) が 1 のときのみ検出します。

**ビット 0 : マスタリードデータパリティエラー割り込み (M\_DPERR\_RD)**

PCIC がマスタ時に、ターゲットからのデータリード中に、パリティエラーを検出したことを示します。PCICONF1 のビット 6 (PER) が 1 のときのみ検出します。



## 22.2.21 PCI 割り込みマスクレジスタ (PCIINTM)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	M_LO CKON	T_TGT _ABO RT	-	-	-	-	TGT_R ETRY	MST_ DIS	ADRP ERR	SERR_ DET	T_DPE RR_W	T_PER R_DET	M_TG T_ABO RT	M_MS T_ABO RT	M_DP ERR_ WT	M_DP ERR_ RD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
周辺バス-R/W:	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCI 割り込みマスクレジスタ (PCIINTM) は、PCI 転送時に発生したエラーによる割り込みに対して、個々に割り込みマスクを設定します。周辺バスと PCI バスの両方から読み出し / 書き込み可能な 32 ビットのレジスタです。各ビットともに、割り込み禁止の場合 0、割り込み許可の場合 1 をセットしてください。

PCIINTM レジスタは、パワーオンリセットおよびソフトウェアリセットで H'00000000 に初期化されます。

ビット 31 ~ 16 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 15 : 非ロック転送検出割り込みマスク (M\_LOCKON)

ビット 14 : ターゲット時のターゲットアボート割り込みマスク (T\_TGT\_ABORT)

ビット 13 ~ 10 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 9 : ターゲットリトライタイムアウト割り込みマスク (TGT\_RETRY)

ビット 8 : マスタ機能ディスエーブルエラー割り込みマスク (MST\_DIS)

ビット 7 : アドレスパリティエラー検出割り込みマスク (ADRPERR)

ビット 6 :  $\overline{\text{SERR}}$  検出割り込みマスク (SERR\_DET)

ビット 5 : ターゲットライト時のデータパリティエラー割り込みマスク (T\_DPERR\_WT)

ビット 4 : ターゲットリード時の  $\overline{\text{PERR}}$  検出割り込みマスク (T\_PERR\_DET)

ビット 3 : マスタ時のターゲットアボート割り込みマスク (M\_TGT\_ABORT)

ビット 2 : マスタ時のマスタアボート割り込みマスク (M\_MST\_ABORT)

ビット 1 : マスタライトデータパリティエラー割り込みマスク (M\_DPERR\_WT)

ビット 0 : マスタリードデータパリティエラー割り込みマスク (M\_DPERR\_RD)

## 22.2.22 PCI エラーアドレス情報レジスタ (PCIALR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス -R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG	ALOG
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス -R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

PCI エラーアドレス情報レジスタ (PCIALR) は、PCI バス上でエラーが発生した場合に、発生したエラーの PCI アドレス情報 (ALOG [31:0]) を保持するレジスタです。周辺バスと PCI バスの両方から読み出し可能な 32 ビットのレジスタです。

PCIALR レジスタは、パワーオンリセットおよびソフトウェアリセットによって初期化されず、初期値は不定です。PCIINT レジスタのいずれかのビットが 1 にセットされているときのみ、有効な値が保持されます。

エラー情報の保持回路は、1 つのエラー情報しか保持できません。このため、エラーが連続して発生した場合、2 つ目以降のエラー情報に関しては、保持されません。

ビット 31~0: アドレスログ (ALOG31~0)

エラー発生時の PCI アドレス情報 (AD 線の値) を保持します。

## 22.2.23 PCI エラーコマンド情報レジスタ (PCICLR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MSTPIO	MSTDMA0	MSTDMA1	MSTDMA2	MSTDMA3	TGT	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CMDLOG3	CMDLOG2	CMDLOG1	CMDLOG0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	-	-	-	-
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

PCI エラーコマンド情報レジスタ (PCICLR) は、PCI バス上でエラーが発生した場合に、エラー発生時の転送の種類 (MSTPIO、MSTDMA0、MSTDMA1、MSTDMA2、MSTDMA3、TGT) および PCI コマンド (CMDLOG[3:0]) を保持するレジスタです。周辺バスと PCI バスの両方から読み出し可能な 32 ビットのレジスタです。

PCICLR レジスタは、ビット 31~26 については、パワーオンリセットおよびソフトウェアリセットで初期化されますが、ビット 3~0 は初期化されません。エラー発生を検知すると、ビット 31~26 のいずれかのビットに 1 がセットされ、ビット 3~0 には、そのときのコマンド値が保持されます。

PCIINT レジスタのいずれかのビットが 1 にセットされているときのみ、有効な値が保持されます。

エラー情報の保持回路は、1 つのエラー情報しか保持できません。このため、エラーが連続して発生した場合、2 つ目以降のエラー情報に関しては、保持されません。

ビット 31: PIO エラー (MSTPIO)

PIO 転送時にエラーが発生したことを示します。

ビット 30: DMA0 エラー (MSTDMA0)

DMA のチャンネル 0 転送時にエラーが発生したことを示します。

ビット 29: DMA1 エラー (MSTDMA1)

DMA のチャンネル 1 転送時にエラーが発生したことを示します。

ビット 28: DMA2 エラー (MSTDMA2)

DMA のチャンネル 2 転送時にエラーが発生したことを示します。

ビット 27: DMA3 エラー (MSTDMA3)

DMA のチャンネル 3 転送時にエラーが発生したことを示します。

ビット 26: ターゲットエラー (TGT)

ターゲットリード、ターゲットライト転送時にエラーが発生したことを示します。

ビット 25~4 : 予約ビット

読み出しは常に 0 です。

ビット 3~0 : コマンドログ (CMDLOG3~0)

エラー発生時の PCI 転送コマンド情報 ( $\overline{C/BE}$  線の値) を保持します。

## 22.2.24 PCI アービタ割り込みレジスタ (PCIAINT)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	MST_B RKN	TGT_B USTO	MST_B USTO	-	-	-	-	-	-	-	TGT_A BORT	MST_A BORT	DPER R_WT	DPER R_RD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R/WC	R/WC	R/WC	R	R	R	R	R	R	R	R/WC	R/WC	R/WC	R/WC
周辺バス-R/W:	R	R	R/WC	R/WC	R/WC	R	R	R	R	R	R	R	R/WC	R/WC	R/WC	R/WC

【注】 WC: 1 を書き込むとクリア (0 の書き込みは無視されます)

PCI アービタ割り込みレジスタ (PCIAINT) は、PCIC がアービトレーション機能を持つホストとして動作するときに、PCI マスタデバイスが転送中に発生した PCI バスエラーの要因を保持する 32 ビットのレジスタです。周辺バスと PCI バスの両方から読み出しが可能です。また、1 を書き込むことで検出ビットを初期値に戻すライトクリアも周辺バスと PCI バスの両方から可能です。

PCIAINT レジスタは、パワーオンリセットおよびソフトウェアリセットで H'00000000 に初期化されます。

エラーが検出されると、エラーの内容に対応するビットに 1 が立ちます。各割り込み検出ビットは、1 を書き込むことで初期状態 0 にクリアすることができます (ライトクリア)。

割り込みがマスクされていてもエラー検出ビットはセットされます。

## ビット 31 ~ 14: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 13: マスタブローケン割り込み (MST\_BRKN)

PCIC を含むバス権を与えられたマスタが、16 クロック以内にトランザクションを開始しない ( $\overline{\text{FRAME}}$  をアサートしない) ときに検出されます。SH7751 の場合、「22.12 使用上の注意」を参照してください。

## ビット 12: ターゲットバスタイムアウト割り込み (TGT\_BUSTO)

PCIC を含むマスタが発行しているトランザクションにおいて、最初のデータ転送で  $\overline{\text{TRDY}}$  または  $\overline{\text{STOP}}$  が 16 クロック以内、2 つ目以降のデータ転送で  $\overline{\text{TRDY}}$  または  $\overline{\text{STOP}}$  が 8 クロック以内にアサートされないときに検出されます。SH7751 の場合、「22.12 使用上の注意」を参照してください。

## ビット 11: マスタバスタイムアウト割り込み (MST\_BUSTO)

PCIC を含むマスタが発行しているトランザクションにおいて、データ転送で  $\overline{\text{IRDY}}$  が 8 クロック以内にアサートされないときに検出されます。

## ビット 10 ~ 4: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

**ビット 3 : ターゲットアボート割り込み (TGT\_ABORT)**

PCIC 以外のデバイスがバスマスタとして動作しているときに、トランザクションがターゲットアボートで終了したことを示します。

**ビット 2 : マスタアボート割り込み (MST\_ABORT)**

PCIC 以外のデバイスがバスマスタとして動作しているときに、トランザクションがマスタアボートで終了したことを示します。

**ビット 1 : ライトデータパリティエラー割り込み (DPERR\_WT)**

PCIC 以外のデバイスがバスマスタとして動作しているときに、データライト時の  $\overline{\text{PERR}}$  アサートを検出したことを示します。

**ビット 0 : リードデータパリティエラー割り込み (DPERR\_RD)**

PCIC 以外のデバイスがバスマスタとして動作しているときに、データリード時の  $\overline{\text{PERR}}$  アサートを検出したことを示します。

## 22.2.25 PCI アービタ割り込みマスクレジスタ (PCIAINTM)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	MST_B RKN	TGT_B USTO	MST_B USTO	-	-	-	-	-	-	-	TGT_A BORT	MST_A BORT	DPER R_WT	DPER R_RD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
周辺バス-R/W:	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

PCI アービタ割り込みマスクレジスタ (PCIAINTM) は、PCIC がアービトレーション機能を持つホストとして動作するとき、他の PCI デバイスが、PCI 転送時に発生したエラーによる割り込みに対して、個々に割り込みマスクを設定します。周辺バスと PCI バスの両方から読み出し / 書き込み可能な 32 ビットのレジスタです。各ビットともに、割り込み禁止の場合 0、割り込み許可の場合 1 をセットしてください。

PCIAINTM レジスタは、パワーオンリセットおよびソフトウェアリセットで H'00000000 に初期化されます。

## ビット 31～14：予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 13：マスタブローケン割り込みマスク (MST\_BRKN)

## ビット 12：ターゲットバスタイムアウト割り込みマスク (TGT\_BUSTO)

## ビット 11：マスタバスタイムアウト割り込みマスク (MST\_BUSTO)

## ビット 10～4：予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 3：ターゲットアボート割り込みマスク (TGT\_ABORT)

## ビット 2：マスタアボート割り込みマスク (MST\_ABORT)

## ビット 1：リードデータパリティエラー割り込みマスク (DPERR\_WT)

## ビット 0：ライトデータパリティエラー割り込みマスク (DPERR\_RD)

## 22.2.26 PCI エラーバスマスタ情報レジスタ (PCIBMLR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	REQ 4ID	REQ 3ID	REQ 2ID	REQ 1ID	REQ 0ID
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

PCI エラーバスマスタ情報レジスタ (PCIBMLR) は、PCIC がアービトレーション機能を持つホストとして動作しているときに、他の PCI デバイスが PCI 転送時にエラーが発生した場合、エラー発生時のバスマスタのデバイス番号を保持するためのレジスタです。周辺バスと PCI バスの両方から読み出し可能な 32 ビットのレジスタです。

PCIINTM レジスタは、パワーオンリセットおよびソフトウェアリセットで H'00000000 に初期化されます。PCIAINT レジスタのいずれかのビットが 1 にセットされているときのみ、有効な値を保持します。

バスマスタ情報の保持回路は、1 つのマスタ情報しか保持できません。このため、エラーが連続して発生した場合、2 つ目以降のエラー発生時のバスマスタ情報は保持されません。

## ビット 31～5：予約ビット

読み出しは常に 0 です。書き込む値も 0 にしてください。

## ビット 4：REQ4 エラー (REQ4ID)

デバイス 4 (REQ4) のバスマスタ時にエラーが発生したことを示します。

## ビット 3：REQ3 エラー (REQ3ID)

デバイス 3 (REQ3) のバスマスタ時にエラーが発生したことを示します。

## ビット 2：REQ2 エラー (REQ2ID)

デバイス 2 (REQ2) のバスマスタ時にエラーが発生したことを示します。

## ビット 1：REQ1 エラー (REQ1ID)

デバイス 1 (REQ1) のバスマスタ時にエラーが発生したことを示します。

## ビット 0：REQ0 エラー (REQ0ID)

デバイス 0 (PCIC) のバスマスタ時にエラーが発生したことを示します。



## 22.2.27 PCI 用 DMA 転送アービトレーションレジスタ (PCIDMABT)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DMAB T
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

PCI 用 DMA 転送アービトレーションレジスタ (PCIDMABT) は、DMA 転送のアービトレーションモードを制御するレジスタです。DMA 転送のアービトレーションモードは、優先順位固定と擬似ラウンドロビンの 2 種類から選択可能です。周辺バスと PCI バスの両方から読み出し / 書き込み可能な 32 ビットのレジスタです。

PCIDMABT レジスタは、パワーオンリセットおよびソフトウェアリセットで H'00000000 に初期化されます。

DMA 転送を開始する前に、必ず本レジスタに書き込みを行い、DMA 転送のアービトレーションモードを指定してください。

## ビット 31 ~ 1: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 0: DMA アービトレーションモード (DMABT)

DMA のアービトレーションモードを制御します。

ビット 0	説明
DMABT	
0	優先順位固定 (チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3) (初期値)
1	擬似ラウンドロビン

## 22.2.28 PCI 用 DMA 転送 PCI アドレスレジスタ 0~3 (PCIDPA0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA	PDPA
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCI 用 DMA 転送 PCI アドレスレジスタ 0~3 (PCIDPA0~3) は、DMA 転送を行う際に PCI 側の先頭アドレスを指定します。周辺バスと PCI バスの両方から読み出し / 書き込み可能な 32 ビットのレジスタです。

PCIDPA レジスタは、パワーオンリセットおよびソフトウェアリセットで H'00000000 に初期化されます。

バイト境界、ワード境界の転送アドレスが設定できますが、本レジスタの下位 2 ビットは無視されて、ロングワード境界のデータ転送を行います。

DMA 転送を開始する前に、必ず本レジスタに書き込みを行ってください。DMA 転送開始後は、レジスタの値は保存されません。DMA 転送終了後、新たに DMA 転送を行う場合には、必ず本レジスタの値を再設定してください。

ビット 31~0: DMA 転送 PCI 先頭アドレス (PDPA31~0)

DMA 転送時の PCI 先頭アドレスの設定を行います。

## 22.2.29 PCI 用 DMA 転送ローカルバス先頭アドレスレジスタ 0~3 (PCIDLA0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	PDLA 28	PDLA 27	PDLA 26	PDLA 25	PDLA 24	PDLA 23	PDLA 22	PDLA 21	PDLA 20	PDLA 19	PDLA 18	PDLA 17	PDLA 16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
周辺バス-R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDLA 15	PDLA 14	PDLA 13	PDLA 12	PDLA 11	PDLA 10	PDLA 9	PDLA 8	PDLA 7	PDLA 6	PDLA 5	PDLA 4	PDLA 3	PDLA 2	PDLA 1	PDLA 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCI 用 DMA 転送ローカルバス先頭アドレスレジスタ 0~3 (PCIDLA0~3) は、DMA 転送を行う際にローカルバス側の先頭アドレスを指定します。周辺バスと PCI バスの両方から読み出し / 書き込み可能な 32 ビットのレジスタです。

PCIDLA レジスタは、パワーオンリセットおよびソフトウェアリセットで H'00000000 に初期化されます。

バイト境界、ワード境界の転送アドレスが設定できますが、本レジスタの下位 2 ビットは無視されて、ロングワード境界のデータ転送を行います。また、本レジスタに設定するローカルバスの先頭アドレスは、SH バスの外部アドレスであることに注意してください。

DMA 転送を開始する前に、必ず本レジスタに書き込みを行ってください。DMA 転送開始後は、レジスタの値は保存されません。DMA 転送終了後、新たに DMA 転送を行う場合には、必ず本レジスタの値を再設定してください。

ビット 31~29 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 28~0 : DMA 転送ローカルバス先頭アドレス (PDLA28~0)

DMA 転送時のローカルバス (SH バスの外部アドレス) の先頭アドレスの設定を行います。ビット 28~26 はローカルバスのエリアを示します。

## 22.2.30 PCI 用 DMA 転送カウントレジスタ 0~3 (PCIDTC0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	PTC 25	PTC 24	PTC 23	PTC 22	PTC 21	PTC 20	PTC 19	PTC 18	PTC 17	PTC 16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
周辺バス-R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTC 15	PTC 14	PTC 13	PTC 12	PTC 11	PTC 10	PTC 9	PTC 8	PTC 7	PTC 6	PTC 5	PTC 4	PTC 3	PTC 2	PTC 1	PTC 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCI 用 DMA 転送カウントレジスタ 0~3 (PCIDTC0~3) は、DMA 転送を行うバイト数を指定します。周辺バスと PCI バスの両方から読み出し / 書き込み可能な 32 ビットのレジスタです。DMA 転送中に読み出した場合、残りの転送バイト数が読み出されます。

PCIDTC レジスタは、パワーオンリセットおよびソフトウェアリセットで H'00000000 に初期化されます。

転送バイト数の指定にはビット 25~0 を用います。H'00000000 を設定した場合、最大転送バイト数 64M バイトの転送を行います。転送データサイズはロングワードのみなので、下位 2 ビットは無視されます。

DMA 転送を開始する前に、必ず本レジスタに書き込みを行ってください。DMA 転送終了後、新たに DMA 転送を行う場合には、必ず本レジスタの値を再設定してください。

ビット 31~26 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 25~0 : DMA 転送バイト数 (PTC25~0)

DMA 転送するバイト数を指定します。

最大転送バイト数は 64M バイトです (H'00000000 設定時)。

## 22.2.31 PCI 用 DMA コントロールレジスタ 0~3 (PCIDCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	ALNM	ALMM	DMAS	DMAIM	DMAIS	LAHOL	-	IOSEL	DIR	DMAS	DMAS
						D10	D9	T			D		0		TOP	TRT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	R	R	R	R	R	R/W	R/W	R	R/W	R/WC	R/W	R	R/W	R/W	R/W	R/W
周辺バス-R/W:	R	R	R	R	R	R/W	R/W	R	R/W	R/WC	R/W	R	R/W	R/W	R/W	R/W

【注】 WC: 1 を書き込むとクリア (0 の書き込みは無視されます)

PCI 用 DMA コントロールレジスタ 0~3 (PCIDCR0~3) は、各チャネルの動作モード、転送方法などを指定します。周辺バスと PCI バスの両方から読み出し / 書き込み可能な 32 ビットのレジスタです。

PCIDCR レジスタは、パワーオンリセットおよびソフトウェアリセットで H'00000000 に初期化されます。

ビット 0 (DMASTRT) に 1 を書き込むと DMA 転送が起動します。DMA 転送終了後、新たに DMA 転送を行う場合には、必ず本レジスタの値を再設定してください。

DMASTOP ビットをセットする場合、DMASTART ビットに 1 を書き込まないでください。また、DMAIM、DMAIS、LAHOLD、IOSEL、DIR ビットは、転送開始の時と同じ設定値を書き込んでください。

例)

PCIDCR=H'00000085 で転送開始

PCIDCR=H'00000086 で DMA 強制終了

転送中の設定と違った値で DMA 強制終了をした場合、転送データは保証されません。

ビット 31~11: 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 10~9: アラインメントモード (ALNMD)

ローカルバスがビッグエンディアン時のデータアラインメントを設定します。

ビット 10	ビット 9	説明
ALNMD10	ALNMD9	
0	0	バイト境界モード (初期値)
	1	W/LW 境界モード 1 (LW データをバイト×4 とみなして転送)
1	0	W/LW 境界モード 2 (LW データをワード×2 とみなして転送)
	1	W/LW 境界モード 3 (LW データをロングワードとみなして転送)

【注】 W: ワード、LW: ロングワード

詳細は「22.4 エンディアン」を参照してください。

## ビット 8 : DMA 転送終了ステータス (DMAST)

DMA 転送の終了ステータスを示します。

ビット 8	説 明	
DMAST		
0	正常終了	(初期値)
1	異常終了 (エラー検出または DMA 転送強制終了)	

## ビット 7 : DMA 転送終了割り込みマスク (DMAIM)

DMA 転送終了割り込みマスクの指定を行います。

ビット 7	説 明	
DMAIM		
0	割り込み禁止	(初期値)
1	割り込み許可	

## ビット 6 : DMA 転送終了割り込みステータス (DMAIS)

DMA 転送終了割り込みステータスを示します。

割り込みマスクがセットされていても割り込みステータスはセットされます。

ビット 6		説 明
DMAIS		
書き込み時	0	無視
	1	ステータスクリア
読み出し時	0	割り込み未検出 (初期値)
	1	割り込み検出

## ビット 5 : ローカルアドレス制御 (LAHOLD)

DMA 転送時のローカルアドレス制御方式を指定します。

ビット 5	説 明	
LAHOLD		
0	インクリメント	(初期値)
1	上位アドレス固定 (アドレスの A[4:0]はインクリメントされます)	

## ビット 4 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 3 : PCI アドレス空間種類 (IOSEL)

DMA 転送時の PCI アドレス空間の種類を指定します。

ビット 3	説 明	
IOSEL		
0	メモリ空間	(初期値)
1	I/O 空間	

## ビット 2 : 転送方向 (DIR)

DMA 転送の転送方向を指定します。

ビット 2	説 明	
DIR		
0	PCI バスからローカルバス (SH バス) へ転送	(初期値)
1	ローカルバス (SH バス) から PCI バスへ転送	

## ビット 1 : DMA 転送強制終了 (DMASTOP)

DMA 転送の強制終了を指定します。

ビット 1		説 明
DMASTOP		
書き込み時	0	0 の書き込みは無視されます
	1	DMA 転送強制終了
読み出し時		DMA 転送強制終了で DMA 転送が終了時に 1 がセットされます。次の DMA 転送の起動でクリアされます

## ビット 0 : DMA 転送起動制御 (DMASTRT)

DMA 転送時の起動制御を行います。

ビット 1		説 明
DMASTRT		
書き込み時	0	0 の書き込みは無視されます
	1	起動
読み出し時	0	転送終了 (初期値)
	1	転送中

## 22.2.32 PIO アドレスレジスタ (PCIPAR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFG EN	-	-	-	-	-	-	-	BUSN O23	BUSN O22	BUSN O21	BUSN O20	BUSN O19	BUSN O18	BUSN O17	BUSN O16
初期値:	1	0	0	0	0	0	0	0	-	-	-	-	-	-	-	-
PCI-R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
周辺バス-R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVN O15	DEVN O14	DEVN O13	DEVN O12	DEVN O11	FNCN O10	FNCN O9	FNCN O8	REGA DR7	REGA DR6	REGA DR5	REGA DR4	REGA DR3	REGA DR2	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0
PCI-R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

PIO アドレスレジスタ (PCIPAR) は、PCIC がホスト時に、PCI バス上でコンフィグレーションサイクルを発行する際に使用するレジスタです。PCIC は、PCI ローカルバススベックで規定されるコンフィグレーションメカニズム 1 をサポートしています。本レジスタは、コンフィグレーションメカニズム 1 の、CONFIG\_ADDRESS レジスタに相当します。PCI コンフィグレーションサイクルの発行許可を確認し、PCI コンフィグレーション空間にアクセスするため、PCI バス番号、デバイス番号、機能番号、およびコンフィグレーションレジスタの LW (ロングワード) 境界を設定します。周辺バスからのみ読み出し / 書き込み可能な 32 ビットのレジスタです。

PCIPAR レジスタは、ビット 31 (CFGGEN) がハードウェアで固定されている以外、パワーオンリセットおよびソフトウェアリセットによって初期化されません。

PCI コンフィグレーション空間にアクセスする前に、必ず本レジスタに書き込みを行ってください。本レジスタに値を設定した後、PIO データレジスタ (PCIPDR) の読み出し / 書き込みを行うことでコンフィグレーションサイクルを発行します。

また、本レジスタに H'8000FF00 を設定し、PCIPDR に書き込みを行うことで、スペシャルサイクルを発行します。

ビット 31 : コンフィグレーションサイクル発行イネーブル (CFGGEN)

コンフィグレーションサイクル発行イネーブルを示します。

ビット 30 ~ 24 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 23 ~ 16 : PCI バス番号 (BUSNO)

コンフィグレーションアクセスの対象となる PCI バスの番号を指定します。

バス番号 0 は PCIC が接続されているバスを示します。バス番号は 8 ビットで表され、最大値は 255 です。



## ビット 15～11：デバイス番号 (DEVNO)

コンフィグレーションアクセスの対象となるデバイスの番号を指定します。デバイス番号は5ビットで表され、0 から 31 の中の値を取ります。

本フィールドに設定されたデバイス番号に対応して、IDSEL の代わりに AD 線のビット 31～16 の 1 本だけを 1 にドライブします。デバイス番号と IDSEL (AD[31-16]) の関係は以下のとおりです。デバイス番号が H'10 以上の場合、AD[31-16]はすべて 0 にします。

DEVNO	IDSEL	DEVNO	IDSEL	DEVNO	IDSEL	DEVNO	IDSEL
H'0	AD[16]=1	H'4	AD[20]=1	H'8	AD[24]=1	H'C	AD[28]=1
H'1	AD[17]=1	H'5	AD[21]=1	H'9	AD[25]=1	H'D	AD[29]=1
H'2	AD[18]=1	H'6	AD[22]=1	H'A	AD[26]=1	H'E	AD[30]=1
H'3	AD[19]=1	H'7	AD[23]=1	H'B	AD[27]=1	H'F	AD[31]=1

## ビット 10～8：機能番号 (FNCNO)

コンフィグレーションアクセスの対象となる機能の番号を指定します。機能番号は 3 ビットで表され、0 から 7 までの値を取ります。

## ビット 7～2：コンフィグレーションレジスタアドレス (REGADR)

コンフィグレーションアクセスの対象となるレジスタをロングワード境界で設定します。

## ビット 1～0：予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## 22.2.33 メモリ空間ベースレジスタ (PCIMBR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MBR	MBR	MBR	MBR	MBR	MBR	MBR	MBR	-	-	-	-	-	-	-	-
	31	30	29	28	27	26	25	24								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LOCK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

メモリ空間ベースレジスタ (PCIMBR) は、PIO 転送によるメモリリード/メモリライトの際に、PCI メモリ空間のアドレス上位 8 ビットの指定と、ロック転送の指定を行います。周辺バスからのみ読み出し/書き込み可能な 32 ビットのレジスタです。

PCIMBR レジスタは、パワーオンリセット時にすべてのビットが 0 に初期化されます。ソフトウェアリセット時には初期化されません。

ビット 0 (LOCK) を 1 にセットすると、このビットがセットされている期間、PIO 転送を行うメモリ空間がロックされます。ロック転送は、リード転送とライト転送の 1 組で構成するようにしてください。1 組のロック転送中に他の PIO 転送を行わないようにしてください。

PIO 転送によるメモリリード/メモリライトを行う前に、必ず本レジスタに書き込みを行ってください。

ビット 31 ~ 24 : メモリ空間ベースアドレス (MBR31 ~ 24)

PIO 転送時の PCI のメモリ空間に対するベースアドレス設定を行います。

ビット 23 ~ 1 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 0 : ロック転送 (LOCK)

PIO 転送時のメモリ空間のロック指定を行います。

ビット 0	説 明	
LOCK		
0	ロックしない	(初期値)
1	ロックする	

## 22.2.34 I/O 空間ベースレジスタ (PCIOBR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IOBR	IOBR	IOBR	IOBR	IOBR	IOBR	IOBR	IOBR	IOBR	IOBR	IOBR	IOBR	IOBR	IOBR	-	-
	31	30	29	28	27	26	25	24	23	22	21	20	19	18		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LOCK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

I/O 空間ベースレジスタ (PCIOBR) は、PIO 転送による I/O 空間リード / I/O 空間ライトの際に、PCI の I/O 空間のアドレス上位 14 ビットの指定と、ロック転送の指定を行います。周辺バスからのみ読み出し / 書き込み可能な 32 ビットのレジスタです。

PCIOBR レジスタは、パワーオンリセット時にすべてのビットが 0 に初期化されます。ソフトウェアリセット時には初期化されません。

ビット 0 (LOCK) を 1 にセットすると、このビットがセットされている期間、PIO 転送を行う I/O 空間がロックされます。ロック転送は、リード転送とライト転送の 1 組で構成するようにしてください。1 組のロック転送中に他の PIO 転送を行わないようにしてください。

PIO 転送による I/O 空間リード / I/O 空間ライトを行う前に、必ず本レジスタに書き込みを行ってください。

ビット 31 ~ 18 : I/O 空間ベースアドレス (IOBR31 ~ 18)

PIO 転送時の PCI の I/O 空間に対するベースレジスタ設定を行います。

ビット 17 ~ 1 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 0 : ロック転送 (LOCK)

PIO 転送時の I/O 空間のロック指定を行います。

ビット 0	説明
LOCK	
0	ロックしない (初期値)
1	ロックする







ビット 0 : BCLK 停止制御 (BCLKSTOP)

Bck 入力クロックおよび CKIO 入力クロックの PCIC 内での停止制御を行います。

ビット 0	説 明
BCLKSTOP	
0	Bck 入力イネーブル (初期値)
1	Bck 入力停止

### 22.2.38 PCIC-BSC 用レジスタ

PCIC バスコントロールレジスタ 1 (PCIBCR1)

PCIC バスコントロールレジスタ 2 (PCIBCR2)

PCIC バスコントロールレジスタ 3 (PCIBCR3) \*<sup>1</sup>

PCIC ウェイトコントロールレジスタ 1 (PCIWCR1)

PCIC ウェイトコントロールレジスタ 2 (PCIWCR2)

PCIC ウェイトコントロールレジスタ 3 (PCIWCR3)

PCIC 個別メモリコントロールレジスタ (PCIMCR)

PCIC には、PCI バスのデータをローカルバス上のメモリに格納するために、バスコントローラ (PCIC-BSC) を内蔵しています。PCIC-BSC はバス制御コントローラ (BSC) のスレーブ機能と同等の制御を行います。ただし、PCIC-BSC は、最大 32 バイトのデータ転送ごとに BSC にバス権を返します。

PCIC-BSC に内蔵されるレジスタは、PCIBCR1 (BSC の BCR1 に相当)、PCIBCR2 (BSC の BCR2 に相当)、PCIBCR3 (BSC の BCR3 に相当) \*<sup>1</sup>、PCIWCR1 (BSC の WCR1 に相当)、PCIWCR2 (BSC の WCR2 に相当)、PCIWCR3 (BSC の WCR3 に相当)、PCIMCR (BSC の MCR に相当) です。各レジスタは、32 ビットのレジスタで、周辺バスからのみ読み出し / 書き込みが可能です。BCR2 および BCR3 は 16 ビットのレジスタですが、PCIBCR2 と PCIBCR3 はロングワードでアクセスしてください。PCIBCR2 と PCIBCR3 の下位 16 ビットがそれぞれ BCR2 および BCR3 に相当します。初期値など、詳細については、「第 13 章 バスステートコントローラ (BSC)」を参照し、これに準じた設定を行ってください。

- PCIC-BSC は、BSC のスレーブモードと同等の動作をします。このため、PCI バスコントロールレジスタ 1 (PCIBCR1) の MATER ビットは必ず、スレーブ状態を示します。
- PCIC-BSC はスレーブモードで動作するため、1 回のバスサイクルごとにバス権を BSC に返します。
- PCI バスとのデータ転送可能な外部メモリは、SRAM、DRAM、シンクロナス DRAM および MPX \*<sup>2</sup> です。
- メモリデータ幅は、32 ビット、16 ビット (シンクロナス DRAM、MPX 接続時は 32 ビットのみ) です。
- PCI バスとのデータ転送を行う外部メモリに関しては、その他の外部メモリ種 (バースト ROM、バイト制御 SRAM、PCMCIA) の設定を行わないでください。
- PCIC-BSC はスレーブモードで動作するため、DRAM、シンクロナス DRAM の RAS-down モードは使用禁止です。
- ローカルバスは、ビッグエンディアン / リトルエンディアンをサポートします。ただし、PCI バスはリトルエンディアンでのみ動作します。

PCIC-BSC は、シンクロナス DRAM のモードレジスタ設定、シンクロナス DRAM、DRAM のリフレッシュをサポートしていません。必ず、BSC で実行するようにしてください。

また、PCIBCR1 のビット 30 : マスタ / スレーブフラグ (MASTER) は、パワーオンリセット時のマスタ / スレーブ指定の外部ピン (MD7) の値にかかわらず Low に固定されており、PCIC-BSC がスレーブとして設定されます。PCIC-BSC 用レジスタにスレーブモードで禁止されている設定は行わないでください。



PCI バスとのデータ転送を行わない外部メモリについては、対応するバスステートコントローラ用のレジスタと同じ設定にしてください。

これらのレジスタはパワーオンリセットで初期化されますが、ソフトウェアリセットでは初期化されません。

【注】 \*1 SH7751R のみに実装されたレジスタです。SH7751 には実装されていません。

\*2 MPX は SH7751R のみのサポートです。SH7751 ではサポートしていません。

## 22.2.39 ポートコントロールレジスタ (PCIPCTR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	PORT2 EN	PORT1 EN	PORT0 EN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PB2PU P	PB2IO	PB1PU P	PB1IO	PB0PU P	PB0IO
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ポートコントロールレジスタ (PCIPCTR) は、PCIC が非ホストで動作する場合に、不要となる PCI バスのアービトレーション用の端子に対して、ポート機能の割り付けを有効 / 無効にするかどうかの選択と、端子のプルアップ抵抗のオン / オフ、入力 / 出力の切り替えについての指定を行うレジスタです。周辺バスからのみ読み出し / 書き込み可能な 32 ビットレジスタです。

PCIPCTR レジスタは、パワーオンリセットにより H'00000000 に初期化されます。ソフトウェアリセットでは初期化されません。

PCIC がホストとして動作し、アービトレーション機能が有効な場合には、ポート機能は使用できません。

ビット 31 ~ 19 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット 18 : ポート 2 イネーブル (PORT2EN)

ポート 2 のイネーブル制御を行います。

ビット 18	説 明
PORT2EN	
0	PCIGNT4、PCIREQ4 ピンをポートとして使用しない (初期値)
1	PCIGNT4、PCIREQ4 ピンをポートとして使用する

ビット 17 : ポート 1 イネーブル (PORT1EN)

ポート 1 のイネーブル制御を行います。

ビット 17	説 明
PORT1EN	
0	PCIGNT3、PCIREQ3 ピンをポートとして使用しない (初期値)
1	PCIGNT3、PCIREQ3 ピンをポートとして使用する

## ビット 16 : ポート 0 イネーブル (PORT0EN)

ポート 0 のイネーブル制御を行います。

ビット 16	説 明
PORT0EN	
0	PCIGNT2、PCIREQ2 ピンをポートとして使用しない (初期値)
1	PCIGNT2、PCIREQ2 ピンをポートとして使用する

## ビット 15~6 : 予約ビット

読み出しは常に 0 です。書き込む値も常に 0 にしてください。

## ビット 5 : ポート 2 ブルアップ抵抗制御 (PB2PUP)

PCIREQ4 ピンをポートとして使用したときのブルアップ抵抗の制御を行います。

ビット 5	説 明
PB2PUP	
0	PCIREQ4 ピンをブルアップする (初期値)
1	PCIREQ4 ピンをブルアップしない

## ビット 4 : ポート 2 入出力制御 (PB2IO)

PCIREQ4 ピンをポートとして使用したときの入出力の制御を行います。

ビット 4	説 明
PB2IO	
0	PCIREQ4 ピンを入力とする (初期値)
1	PCIREQ4 ピンを出力とする

## ビット 3 : ポート 1 ブルアップ抵抗制御 (PB1PUP)

PCIREQ3 ピンをポートとして使用したときのブルアップ抵抗の制御を行います。

ビット 3	説 明
PB1PUP	
0	PCIREQ3 ピンをブルアップする (初期値)
1	PCIREQ3 ピンをブルアップしない

## ビット 2 : ポート 1 入出力制御 (PB1IO)

$\overline{\text{PCIREQ3}}$  ピンをポートとして使用したときの入出力の制御を行います。

ビット 2	説 明
PB1IO	
0	$\overline{\text{PCIREQ3}}$ ピンを入力とする (初期値)
1	$\overline{\text{PCIREQ3}}$ ピンを出力とする

## ビット 1 : ポート 0 プルアップ抵抗制御 (PB0PUP)

$\overline{\text{PCIREQ2}}$  ピンをポートとして使用したときのプルアップ抵抗の制御を行います。

ビット 1	説 明
PB0PUP	
0	$\overline{\text{PCIREQ2}}$ ピンをプルアップする (初期値)
1	$\overline{\text{PCIREQ2}}$ ピンをプルアップしない

## ビット 0 : ポート 0 入出力制御 (PB0IO)

$\overline{\text{PCIREQ2}}$  ピンをポートとして使用したときの入出力の制御を行います。

ビット 0	説 明
PB0IO	
0	$\overline{\text{PCIREQ2}}$ ピンを入力とする (初期値)
1	$\overline{\text{PCIREQ2}}$ ピンを出力とする

## 22.2.40 ポートデータレジスタ (PCIPDTR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PCI-R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
周辺バス-R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ポートデータレジスタ (PCIPDTR) は、PCIC が非ホストで動作する場合に、不要となる PCI バスのアービトレーション用の端子に対して、ポート機能の割り付けを有効にしたときに、ポートデータの入力および出力を行うレジスタです。周辺バスからのみ読み出し / 書き込み可能な 32 ビットレジスタです。

PCIPDTR レジスタは、パワーオンリセット H'00000000 に初期化されます。ソフトウェアリセットでは初期化されません。

データ出力タイミングはローカルバスクロックに同期します。入力データは、ローカルバスクロックの立ち上がりエッジで取り込まれます。

ビット 31～6：予約ビット

読み出しは常に 0 です。書き込み値も常に 0 にしてください。

ビット 5：ポート 2 出力データ (PB5DT)

$\overline{\text{PCIGNT4}}$  ピンをポートとして使用したときの出力データを設定します。

$\overline{\text{PCIGNT4}}$  ピンは出力のみを行います。

ビット 4：ポート 2 入出力データ (PB4DT)

$\overline{\text{PCIREQ4}}$  ピンをポートとして使用したときの入力データの取り込みと、出力データの設定を行います。

ビット 3：ポート 1 出力データ (PB3DT)

$\overline{\text{PCIGNT3}}$  ピンをポートとして使用したときの出力データを設定します。

$\overline{\text{PCIGNT3}}$  ピンは出力のみを行います。

ビット 2：ポート 1 入出力データ (PB2DT)

$\overline{\text{PCIREQ3}}$  ピンをポートとして使用したときの入力データの取り込みと、出力データの設定を行います。

ビット 1：ポート 0 出力データ (PB1DT)

$\overline{\text{PCIGNT2}}$  ピンをポートとして使用したときの出力データを設定します。

$\overline{\text{PCIGNT2}}$  ピンは出力のみを行います。

ビット 0：ポート 0 入出力データ (PB0DT)

$\overline{\text{PCIREQ2}}$  ピンをポートとして使用したときの入力データの取り込みと出力データの設定を行います。

## 22.2.41 PIO データレジスタ (PCIPDR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PCI-R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA	PPDA
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PCI-R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
周辺バス-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PIO データレジスタ (PCIPDR) は、PCI コンフィグレーションサイクルにおいて、読み出し / 書き込みを行うデータを設定します。周辺バスからのみ読み出し / 書き込み可能な 32 ビットレジスタです。

PCIPDR レジスタは、パワーオンリセットおよびソフトウェアリセットによって初期化されません。初期値は不定です。

本レジスタの読み出し / 書き込みは、PIO アドレスレジスタ (PCIPAR) に値を設定した後に行ってください。

本レジスタの読み出し / 書き込みを行うことにより、PCI バス上でコンフィグレーションサイクルを発生させることができます。

ビット 31 ~ 0 : PIO 転送コンフィグレーションデータ (PPDA31 ~ 0)

PIO 転送時のコンフィグレーションデータの読み出し / 書き込みを行います。

本レジスタの読み出し / 書き込みを行うことにより、PCI バス上でコンフィグレーションサイクルを発生させることができます。

## 22.3 動作説明

### 22.3.1 動作モード

PCIC は外部のモード端子 (MD9、MD10) により、PCIC が PCI バスのホストとして動作するかどうか、また、PCI バスのバスクロックの選択ができます。外部モード端子から入力されるモード選択信号の取り込みタイミングは、パワーオンリセットのネゲートタイミングです。

表 22.8 動作モード

MD10	MD9	動作モード
0	0	PCIC のホスト機能が有効で、PCI バスの動作クロックとして PCICLK 端子からの外部入力クロックを選択
	1	PCIC のホスト機能が有効で、PCI バスの動作クロックとして本 LSI の CKIO 端子からのフィードバック入力クロックを選択
1	0	PCIC ホスト機能が無効 (非ホスト) で、PCI バスのクロックとして PCICLK 端子からの入力クロックを選択
	1	PCIC ディスエーブルモードです。このモードでは、PCIC の動作を禁止します

【注】 PCIC ディスエーブルモード時は、PCIC のローカルレジスタにアクセスしないでください。

本章では、上記モード切り替えで選択された後のクロックを PCI バスクロックと呼びます。

### 22.3.2 PCI コマンド

表 22.9 に PCI のコマンド一覧と PCIC でのサポート状況を示します。

表 22.9 PCI コマンドサポート一覧

コマンド	ホスト動作時		非ホスト動作時		備考
	マスタ	ターゲット	マスタ	ターゲット	
メモリアード					
メモリアードライン	×		×		ターゲット時、メモリアードとして動作
メモリアードマルチプル	×		×		ターゲット時、メモリアードとして動作
メモリライト					
メモリライトアンドインバリデート	×		×		ターゲット時、メモリライトとして動作
I/O リード					
I/O ライト					
コンフィグレーションリード		-	-		
コンフィグレーションライト		-	-		
インタラプトアクリッジサイクル	×	×	×	×	
スペシャルサイクル		-	-	×	
デュアルアドレスサイクル	×	×	×	×	

【注】 : サポート、 : 制限付きサポート

×、- : PCIC は、発行しない、または、応答しない

#### (1) PCIC がマスタとして動作する場合

PCIC は、メモリアードコマンド、メモリライトコマンド、I/O リードコマンド、I/O ライトコマンドをサポートします。ホスト機能が有効な場合（ホスト動作時）には、コンフィグレーションコマンドおよびスペシャルサイクルを発行することができます。

#### (2) PCIC がターゲットとして動作する場合

PCIC は、メモリアードコマンド、メモリライトコマンド、I/O リードコマンド、I/O ライトコマンドを受け付けます。また、メモリアードラインコマンド、メモリアードマルチプルコマンドはメモリアードとして動作し、メモリライトアンドインバリデートコマンドはメモリライトとして動作します。ホスト機能が有効でない場合（非ホスト動作時）には、コンフィグレーションコマンドを受け付けません。



### 22.3.3 PCIC の初期化

PCIC ではパワーオンリセット後に、PCI コントロールレジスタ (PCICR) のコンフィグレーションレジスタ初期化制御ビット (CFINIT) がクリアされます。この時、PCIC が PCI バスのホストとして動作する場合には PCI バス上のデバイスのアービトレーションは行われず、バス権は常に PCIC に与えられています。ホストとして動作しない場合には、PCI バスに接続されている PCI デバイスからのアクセスを受け付けず、必ずリトライを返します。

CFINIT ビットが 0 にクリアされている期間に、PCIC 内のコンフィグレーションレジスタおよび各ローカルレジスタを初期化する必要があります。初期化終了後、CFINIT ビットを 1 にセットしてください。ホスト動作時にはアービトレーションが有効になり、非ホスト動作時には PCI バスからのアクセスを受け付けるようになります。

ホスト動作時・非ホスト動作時いずれの場合も、CFINIT ビットが 0 にクリアされている期間内の PCIC から外部 PCI デバイスへのアクセスは禁止です。CFINIT ビットを 1 にセットしてから行ってください。

特に、PCI コンフィグレーションレジスタ 1、2、11 (PCICONF1、2、11)、PCI 用ローカルスペースレジスタ 0、1 (PCILSR0、1)、PCI 用ローカルアドレスレジスタ 0、1 (PCILAR0、1)、PCIC-BSC 用の PCIC バスコントロールレジスタ 1、2 (PCIBCR1、2)、PCIC ウェイトコントロールレジスタ 1、2、3 (PCIWCR1、2、3)、PCI 個別メモリコントロールレジスタ (PCIMCR) の 13 個のレジスタは、CFINIT ビットがクリアされている期間に必ず初期化してください。また、PCIC-BSC は、パワーオンリセット時にマスタ/スレーブ指定の外部ピン (MD7) の値にかかわらず固定的にスレーブモードとなりますので、PCIC-BSC 用のレジスタにスレーブモードで禁止されている設定を行わないでください。

また、BSC は外部リクエストと PCIC からのバスリクエストを受け付け可能とする BCR1.BREQEN ビットを持っていますので、PCIC を使用する場合は、BCR1.BREQEN に 1 をセットしてください。

CFINIT ビットが 1 にセットされている期間は、PCIC-BSC 用レジスタ (PCIBCR1、2、PCIWCR1、2、3、PCIMCR) への書き込みは禁止です。この期間に PCIC-BSC 用レジスタへ書き込みを行うと、PCI バスとローカルバス間のデータ転送が保証されません。

### 22.3.4 ローカルレジスタのアクセス

CPU から PCIC 内のローカルレジスタ、コンフィグレーションレジスタに対するアクセスはロングワードアクセス (32 ビット) のみサポートします。

(PIO 転送による PCI バスのメモリ空間、I/O 空間へのアクセスは、バイト、ワード、ロングワードのアクセスが可能です。)

規定されたアクセスサイズ以外のアクセスの場合には、読み出し時は、0 が読み出され、書き込み時は、書き込みが無視されます。PCIC 内のレジスタ領域で、予約領域へのアクセスも同様に動作します。

コンフィグレーションレジスタ、およびローカルレジスタの一部は、CPU と PCI デバイスの両方からアクセス可能です。このため、両方のアクセスに対して、アービトレーションが行われ、そのアクセスタイミングによって、CPU または PCI デバイスのアクセスが待たされます。

CPU からの読み出しバスサイクルでは、実際にデータが用意されるまで、周辺バスサイクルは待たされます。書き込みバスサイクルでは、周辺バスのインタフェースレジスタ (PCIC の入力直後に置かれたレジスタ) にデータが書き込まれた状態で、周辺バスのバスサイクルが終了しますが、実際のローカルレジスタおよび PCI バスへの書き込みは、その後のクロックサイクルで行われます。実際に書き込み終了の確認が必要な場合には、書き込みを行ったレジスタを読み出すことにより可能です。読み出しサイクルは、必ず書き込みサイクルの終了後に実行されるからです。

PCI デバイスからのアクセスの場合には、実際に読み出し / 書き込みが終了するまで、PCI のバスサイクルが待たされます。

CPU からの読み出し / 書き込みを行う周辺バスは、ビッグエンディアンでのみ動作します。

### 22.3.5 ホスト機能

PCIC は、PCI バスのホスト機能 (ホストデバイス) として以下の機能を持ちます。

- PCI デバイス間のアービトレーション機能
- コンフィグレーションレジスタのアクセス機能
- スペシャルサイクル発行機能
- リセット出力機能
- クロック出力機能

#### (1) PCI デバイス間のアービトレーション

PCIC がホストデバイスとして動作する場合には、PCIC 内の PCI バスアービトレーション回路を使用することができます。アービトレーション回路は、外部に最大 4 台まで、バス権を要求する PCI デバイス (マスタとして動作可能なデバイス) を接続できます。

PCI デバイスから同時に複数のバス権要求があった場合には、決められた優先順位に従ってバス権を解放します。優先順位に関しては、優先順位固定と擬似ラウンドロビンの 2 つのモードから選択可能です。モードの選択は、PCI コントロールレジスタ (PCICR) のバスマスタアービトレーションモード制御ビット (BMABT) によって行います。

#### (a) 優先順位固定モード (BMABT = 0)

優先順位固定モードでは、バス権要求の優先順位は決まっています。優先順位は、

PCIC (デバイス 0) > デバイス 1 > デバイス 2 > デバイス 3 > デバイス 4

となり、PCIC が最も優先順位が高く、デバイス 4 が最も低くなります。同時にバス権要求が発生した場合には、優先順位の高いデバイスが優先されます。ここで、デバイス 1 とは、アービトレーション端子  $\overline{\text{PCIREQ1}}$ 、 $\overline{\text{PCIGNT1}}$  を使用する PCI デバイスで、デバイス 2 は  $\overline{\text{PCIREQ2}}$ 、 $\overline{\text{PCIGNT2}}$  を、デバイス 3 は  $\overline{\text{PCIREQ3}}$ 、 $\overline{\text{PCIGNT3}}$  を、デバイス 4 は  $\overline{\text{PCIREQ4}}$ 、 $\overline{\text{PCIGNT4}}$  を使用する PCI デバイスです。なお、ホストデバイスとして動作している場合には、PCIC から PCI バスアービトレーション回路へのバス権要求信号は、端子には出力されません。

#### (b) 擬似ラウンドロビンモード (BMABT = 1)

擬似ラウンドロビンモードでは、1 つのデバイスがバス権を取ることにより、バス権を取ったデバイスの優先順位が最も低くなるように優先順位を変更します。

初期状態では、優先順位固定モードと同じ優先順位に設定されます。ここで、デバイス 1 がバス権要求を出し、バス権を取った後の優先順位は、

PCIC > デバイス 2 > デバイス 3 > デバイス 4 > デバイス 1

となります。

次に、PCIC がバス権要求を出し、バス権を取ったとすると、優先順位は、

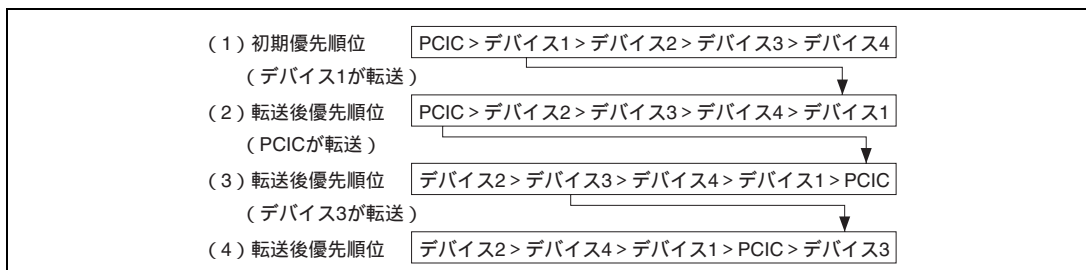
デバイス 2 > デバイス 3 > デバイス 4 > デバイス 1 > PCIC

となります。

さらに、デバイス 3 がバス権要求を出し、バス権を取ったとすると、優先順位は、

デバイス 2 > デバイス 4 > デバイス 1 > PCIC > デバイス 3

となります。このように、バス権を取ったマスタデバイスの優先順位が常に一番低くなるように制御されます。



PCIC がホストデバイスとして動作する場合の PCI バスのパーキング (未使用時のバスのドライブ) は PCIC が行います。

接続するマスタデバイスが 3 台以下の場合には、 $\overline{\text{PCIREQ}}[4:1]$  の中で未使用の端子は、ハイレベルに設定してください。

非ホスト時には、PCIC 内部の PCI バスアービトレーション機能はディスエーブルされます。その時の PCI バスアービトレーションは、外部に接続された PCI バスアービタの仕様に従います。詳しくは「22.3.6 非ホスト時の PCI バスアービトレーション」を参照してください。

#### (2) コンフィグレーションレジスタへのアクセス

PCIC がホストデバイスとして動作する場合には、外部 PCI デバイスのコンフィグレーションレジスタへのアクセスが可能になります。コンフィグレーションレジスタへのアクセスは、PIO アドレスレジスタ (PCIPAR) と、PIO データレジスタ (PCIPDR) を使用して、コンフィグレーションリード/ライト転送を発行することにより行います。

PCIC は、PCI ローカルバス仕様で規定されるコンフィグレーションメカニズム 1 をサポートしています。

まず、PCIPAR にアクセスすべき外部 PCI デバイスのコンフィグレーションレジスタのアドレスを指定します。PCIPAR の設定に関しては、「22.2 レジスタの説明」を参照してください。

その後、PCIPDR からデータの読み出し、または PCIPDR へのデータの書き込みを行います。PCIPDR へのアクセスはロングワード (32 ビット) アクセスのみ可能です。

#### (3) スペシャルサイクル発行

PCIC がホストデバイスとして動作する場合には、PCIPAR に H'8000FF00 を設定し、PCIPDR への書き込みを行うことでスペシャルサイクルを発行します。

#### (4) リセット出力

PCIC がホストデバイスとして動作する場合には、PCI バスのリセットとして、 $\overline{\text{PCIRST}}$  を使用することができます。 $\overline{\text{PCIRST}}$  の詳細に関しては、「22.5 リセット」を参照してください。

#### (5) クロック出力

PCIC がホストデバイスとして動作し、PCI バスのクロックとして、CKIO 端子を選択した場合には、PCIC の PCI バスクロックが CKIO クロックで動作するとともに、PCI バスのクロックとして、CKIO クロックを使用することができます。これにより、外部に PCI 専用のクロック発振回路が不要になります。

CKIO クロックを使用する場合には、CKIO クロックの周波数、安定度、CKIO 端子に接続可能な負荷容量等の制約がありますので、「第 10 章 クロック発振回路」および「第 23 章 電気的特性」を確認してから使用してください。

### 22.3.6 非ホスト時の PCI バスアービトレーション

非ホストで動作する場合には、PCIC 内部の PCI バスアービトレーション機能はディスエーブルされ、PCI バスアービトレーションは外部に接続された PCI バスアービタの仕様に従います。

この際、PCIC は PCI バスアービタ (通常システムのホストデバイス) に対して PCI バスのバス権を要求する必要があります。この場合、バスのリクエスト信号として、 $\overline{\text{PCIGNTI}}/\overline{\text{REQOUT}}$  端子を使用します。また、バスグラント信号には、 $\overline{\text{PCIREQI}}/\overline{\text{GNTIN}}$  端子を使用します。バスリクエスト信号をアサートしていない時にバスグラント信号がアサートされている場合には、PCIC はバスパーキングを行います。

また、PCIC をバス権を要求しないターゲットデバイスとしてのみ使用する場合には、 $\overline{\text{PCIREQI}}/\overline{\text{GNTIN}}$  端子をハイレベルに固定してください。

### 22.3.7 PIO 転送

PIO 転送は、周辺バスを使用して、PCI バスのメモリ空間および I/O 空間をアクセスするデータ転送モードです。

PIO 転送では、以下のコマンドをサポートします。

- メモリリード、メモリライト、I/Oリード、I/Oライト
- ロック転送

(高速バクトゥバック転送は未サポート)

PIO 転送の場合には、シングル転送のみサポートし、バースト転送はサポートしていません。

アクセスサイズは、メモリ転送、I/O 転送の場合にはバイト、ワード、ロングワード転送をサポートしており、それぞれのアクセスサイズに応じたバイトイネーブル信号 ( $\overline{BE}[3:0]$ ) を生成して PCI バス上に出力します。

ロック転送は、メモリ転送、I/O 転送の場合のみサポートします。

高速バクトゥバック転送はサポートしていません。

#### (1) メモリ転送

PIO 転送により、メモリ空間をアクセスする場合は説明します。PCI のメモリ空間として、P4 領域の H'FD000000 ~ H'FDFFFFFF (エリア 7 領域の H'1D000000 ~ H'1DFFFFFF) に 16M バイトが割り当てられています。この空間を、PCI アドレスの下位 24 ビットとして使用します。ただし、メモリ転送では、PCI アドレスの下位 2 ビットは無視され、PCI バス上には B'00 が出力されます。PCI アドレスの上位 8 ビットは、メモリ空間ベースレジスタ (PCIMBR) の上位 8 ビット (MBR [31:24]) を使用します。この 2 つのアドレスを合わせて、32 ビットの PCI アドレスを指定します。

メモリ空間への転送では、まず、PCIMBR に PCI アドレスの上位 8 ビットを指定し、PCI メモリ空間にアクセスしてください。16M バイトの空間内であれば、PCIMBR は最初に設定するだけで、連続して PCI のメモリ空間にアクセスできます。16M バイトを超えて、別のメモリ空間にアクセスが必要になったときには、再度 PCIMBR を設定してください。

メモリ転送時にロック転送を行う場合には、PCIMBR のメモリ空間ロック指定ビット (LOCK) をセットしてください。これにより、LOCK ビットがセットされている期間、メモリ空間がロックされます。

LOCK 転送を行う場合には以下の点に注意してください。

- LOCK 転送は 1 組のリード転送とライト転送で構成されます。必ずリード転送から開始してください。LOCK ライトから開始した場合でも正常動作しますが、リソース LOCK は確立されません。また、LOCK リード転送を 2 回行っても正常動作しますが、次の LOCK ライト転送で LOCK が解除されます。
- LOCK が保証される最小のリソースは 16 バイトブロックです。ただし LOCK を確立した場所以外のアドレスに LOCK 転送を行っても正常動作します。
- 1 つのターゲットを LOCK している間 (LOCK リード転送から LOCK ライト転送までの間) は他のターゲットに対するアクセスは禁止です。アクセスした場合には、次のようになります。
  - 他のターゲットに対する PIO LOCK アクセスは正常終了し、PCI バス上の転送も発生させます。
  - LOCK リード転送から LOCK ライト転送までの間に発生した非 LOCK の PIO 転送要求は正常終了しますが、PCI バス上での転送は発生させません。
  - DMA 転送は LOCK 転送が終わるまで待たされます。

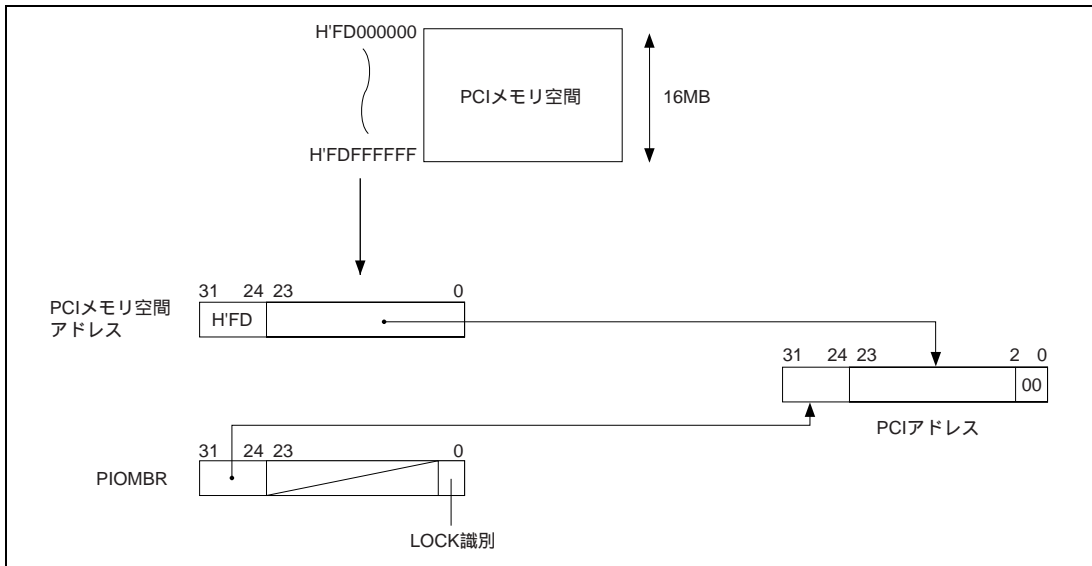


図 22.2 PIO メモリ空間アクセス

## (2) I/O 転送

PIO 転送により、I/O 空間をアクセスする場合は説明します。PCI の I/O 空間として、P4 領域の H'FE240000 ~ H'FE27FFFF (エリア 7 領域の H'1E240000 ~ H'1E27FFFF) に 256K バイトが割り当てられています。この空間を、PCI アドレスの下位 18 ビットとして使用します。PCI アドレスの上位 14 ビットは、I/O 空間ベースレジスタ (PCIOBR) の上位 14 ビット (IOBR [31:18]) を使用します。この 2 つのアドレスを合わせて、32 ビットの PCI アドレスを指定します。I/O 転送では、PCI アドレスの全ビットが有効で、下位 2 ビットを含め 32 ビットがそのまま PCI バス上に出力されます。

I/O 空間への転送では、まず、PCIOBR に PCI アドレスの上位 14 ビットを指定し、PCI の I/O 空間にアクセスしてください。256K バイトの空間内であれば、PCIOBR は最初に設定するだけで、連続して PCI の I/O 空間にアクセスできます。256K バイトを超えて、別の I/O 空間にアクセスが必要になったときには、再度 PCIOBR を設定してください。

I/O 転送時にロック転送を行う場合には、PCIOBR の I/O 空間ロック指定ビット (LOCK) をセットしてください。これにより、LOCK ビットがセットされている期間、I/O 空間がロックされます。LOCK 転送を行う場合には、メモリ転送時の LOCK 転送と同様の注意が必要です。

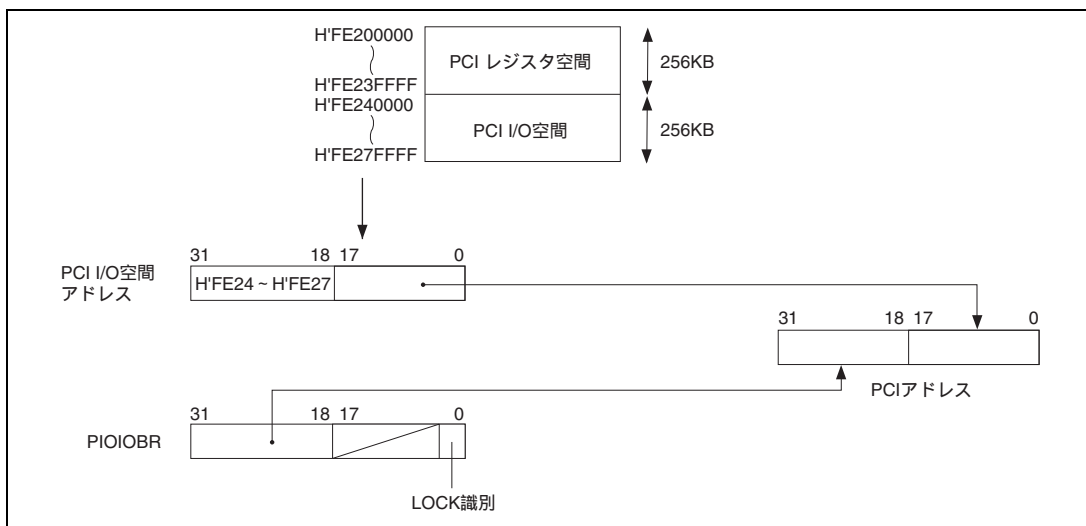


図 22.3 PIO I/O 空間アクセス

### (3) PIO 転送エラー

PIO ライト中はその転送で生じた PCI バス上のエラーを検出しません。PIO リード中にエラーが発生すると、PIO 転送のみを強制的に終了し、DMA 転送、ターゲット転送には影響を与えません。このとき読み出されたデータの内容は保証されません。



### 22.3.8 ターゲット転送

ターゲット転送では、外部 PCI デバイスから以下のコマンドを受け付けて、データ転送します。

- メモリリード、メモリライト
- I/Oリード、I/Oライト (PCICのローカルレジスタへのアクセス)
- コンフィグレーションリード、コンフィグレーションライト
- ロック転送
- 高速バックトゥバック転送

PCIC が非ホストで動作する場合に、スペシャルサイクルコマンドを受信した場合には、動作しません。

#### (1) メモリリード/メモリライトコマンド

メモリリードコマンド、メモリライトコマンドの場合には、PCI バス上でのシングル転送およびバースト転送をサポートします。PCI バス上のデータは、常にロングワードですが、 $\overline{BE}[3:0]$ により有効なバイトレーンを制御することができます。メモリリードの場合、ローカルバス側からは常にロングワードデータを読み出して、PCI バス上に出力します。メモリライトの場合、ローカルバス側へは有効なバイトレーンのデータのみを書き込むように内部で制御されます。バースト転送におけるアドレッシングは、リニアモードのみをサポートしており、PCI アドレス下位 2 ビットは B'00 とみなされます。

メモリリードラインコマンド、メモリリードマルチプルコマンドを受信すると、メモリリードとして動作します。また、メモリライトアンドインバリデイトコマンドを受信すると、メモリライトとして動作します。

メモリリード/メモリライトコマンドによるターゲット転送を行う前に、PCI コンフィグレーションレジスタ 5 (PCICONF5)、PCI コンフィグレーションレジスタ 6 (PCICONF6)、PCI 用ローカルスペースレジスタ 0 (PCILSR0)、PCI 用ローカルスペースレジスタ 1 (PCILSR1)、PCI 用ローカルアドレスレジスタ 0 (PCILAR0)、PCI 用ローカルアドレスレジスタ 1 (PCILAR1) にデータをセットしておく必要があります。

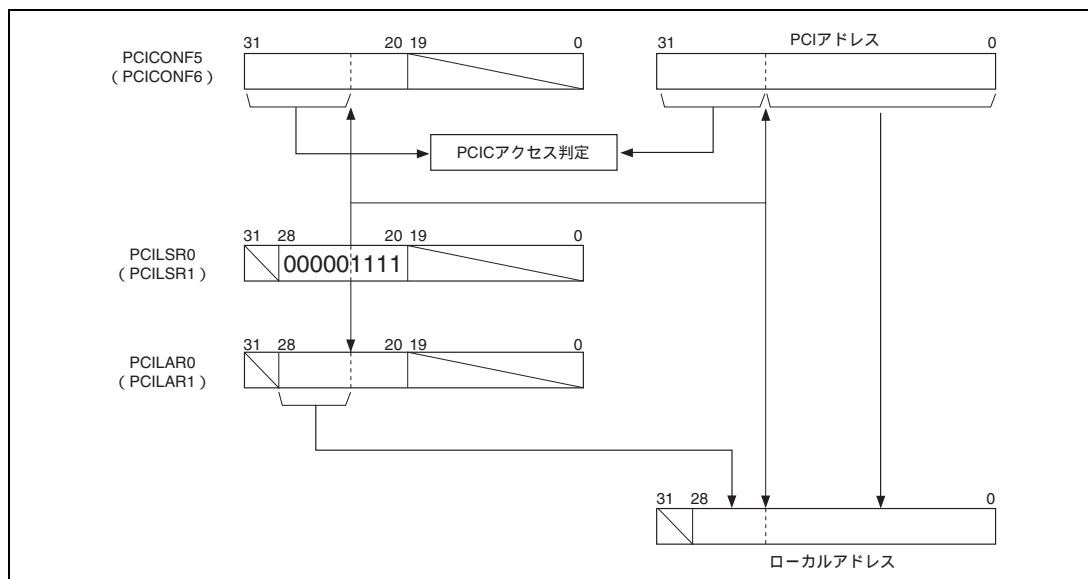


図 22.4 ローカルアドレス空間のアクセス方法

PCIC では、PCI バスからアクセスできるローカルバス上のアドレス空間を 2 つ設定することができます (ローカルアドレス空間 0、ローカルアドレス空間 1)。

PCI バス上のアドレス空間の一定の範囲がローカルアドレス空間に対応することになります。

ローカルアドレス空間 0 の制御を行うのが、PCICONF5、PCILAR0、PCILSR0 です。図 22.4 にローカルアドレス空間のアクセス方法について示します。

PCICONF5 は、PCI デバイスが使用するメモリ空間の先頭アドレスを表します。PCILAR0 は、ローカルアドレス空間 0 の先頭アドレスを表します。PCILSR0 は、PCI デバイスが使用するメモリサイズを表します。各レジスタの設定法については「22.2 レジスタの説明」を参照してください。

PCICONF5 と PCILAR0 は、PCILSR0 に設定されたメモリサイズ分より上位のアドレスビットが有効となります。PCICONF5 の上位アドレスビットと、外部 PCI デバイスが出力する PCI アドレスとが比較され、PCIC へのアクセスかどうかの判定が行われます。これらが一致した場合には、PCIC へのアクセスと判断され、PCILAR0 の上位アドレスビットと、外部 PCI デバイスが出力する PCI アドレスの下位アドレスビットによって、ローカルアドレスが生成されます。このローカルアドレスに対して PCI コマンドが実行されます。

外部 PCI デバイスが出力する PCI アドレスの上位アドレスビットが PCICONF5 の上位アドレスと一致しない場合には、PCIC は PCI コマンドに対して応答しません。

ローカルアドレス空間 1 は、PCICONF6、PCILSR1、PCILAR1 によって、ローカルアドレス空間 0 と同様に制御されます。

このようにローカルアドレス空間を 2 つ設定できるので、PCI バスからアクセスできるローカルバスのエリアが 2 つ以下のシステムでは、それぞれのエリアにアドレス空間を割り付けることができます。

PCI バスからローカルバス上の 2 つ以上のエリアにアクセスできるようにするには、複数のエリアをカバーするようにアドレス空間を設定してください。このようなアドレス空間の設定の場合には、メモリが実装されていない領域までアドレス空間内に含んでしまうことが考えられます。このような指定の場合、メモリが実装されてな

い領域へのターゲット転送を禁止できません。

【注】 「22.3.11 (2) ターゲットリード/ライトサイクルのタイミング」も参照してください。

#### (2) I/O リード / I/O ライトコマンド

I/O リード / I/O ライトコマンドによるターゲット転送により、PCIC のローカルレジスタへのアクセスを行うことができます。ローカルレジスタへのアクセスは、PCI コンフィグレーションレジスタ 4 (PCICONF4) に、SH7751 の場合、1M バイト分の I/O 空間ベースアドレス\*を設定することにより、I/O 転送でアクセスが可能です。SH7751R の場合、256 バイト分の I/O 空間ベースアドレスを設定してください。

I/O リード / I/O ライトコマンドでは、シングル転送のみをサポートします。また、バイトイネーブル ( $\overline{BE}[3:0]$ ) の値は無視され、内部でロングワードアクセスを行います。I/O リード / I/O ライトコマンドを行う際には、 $\overline{BE}[3:0]$  には B'0000 を指定してください。

また、ローカルレジスタの一部は、PCI バスからはアクセスできません。詳細に関しては「22.2 レジスタの説明」を参照してください。

【注】 \* PCI2.1 仕様では PCI デバイスの I/O 空間として 256 バイト以下と規定しています。このため、SH7751 をアドインカードなどの PCI 非ホストデバイスとして使用する場合、デバイス・コンフィグレーションの際に、256 バイトより大きな I/O 空間を要求するデバイスであるため、使用禁止のデバイスとして認識されることがあります。

#### (3) コンフィグレーションリード / コンフィグレーションライトコマンド

PCIC が非ホストで動作する場合には、コンフィグレーションリード / コンフィグレーションライトコマンドにより、PCIC 内のコンフィグレーションレジスタへのアクセスを行うことができます。

コンフィグレーションアクセスでは、シングル転送のみをサポートします。また、SH7751 の場合、バイトイネーブル ( $\overline{BE}[3:0]$ ) の値は無視され、内部でロングワードアクセスを行います\*。コンフィグレーションライトを行う際には、 $\overline{BE}[3:0]$  には B'0000 を指定してください。SH7751R では  $\overline{BE}[3:0]$  が有効となります。

【注】 \* PCI2.1 仕様では、コンフィグレーション・アクセスを受け付ける際に、バイトイネーブル信号 ( $\overline{BE}[3:0]$ ) の値のあらゆる組み合わせによるアクセスが可能でなければならないと規定しています。このため、コンフィグレーションアクセスが  $\overline{BE}[3:0]$  の組み合わせにより、バイト (BYTE) またはワード (WORD) 単位の書き込みアクセスを発生させる場合、残りの部分のデータを書き換えてしまいます。

#### (4) ロック転送

ロック転送はサポートされますが、ロックされる空間は、メモリ転送の場合には PCIC の持つ全メモリ空間となり、I/O 転送もしくはコンフィグレーション転送の場合には PCIC の持つ全レジスタ空間となります。メモリロック中は、他の PCI デバイスからの PCIC に対するメモリアクセスはすべてリトライで返されますが、レジスタアクセスは正常に受け付けられます。またレジスタロック中は、他の PCI デバイスからの PCIC に対する I/O アクセスもしくはコンフィグレーションアクセスはすべてリトライで返されますが、メモリアクセスは受け付けられません。

### 22.3.9 DMA 転送

DMA 転送は、PCIC がマスタとしてバス権を有したときに、ローカルバスと PCI バスに接続されたデバイス間での高速なデータ転送を実現します。DMA 転送では、以下の PCI コマンドをサポートします。

- メモリリード、メモリライト、I/Oリード、I/Oライト

(ロック転送は未サポート)

(高速バックトゥバック転送は未サポート)

DMA のチャンネル数は 4 チャンネルです。一度に設定できる転送バイト数は、各チャンネル最大 64M バイトで、ロングワード境界で転送バイト数、転送初期アドレスが設定できます。

DMA 転送では、転送されるデータはすべてロングワード単位で扱われるため、転送バイト数および転送初期アドレスの下位 2 ビットは無視され、 $\overline{BE}[3:0]$  は常に B'0000 が出力されます。また、DMA 転送では、リニアモードのアドレッシングによるバースト転送が行われるため、出力する PCI アドレスの下位 2 ビットは常に B'00 となります。

DMA 転送時には、ロック転送はサポートしていません。

#### (1) DMA 転送の開始

DMA 転送制御レジスタとしては、PCI 用 DMA 転送アービトレーションレジスタ (PCIDMABT) と 4 チャンネル分の PCI 用 DMA 転送 PCI アドレスレジスタ 0~3 (PCIDPA0~3)、PCI 用 DMA 転送ローカルバス先頭アドレスレジスタ 0~3 (PCIDLA0~3)、PCI 用 DMA 転送カウントレジスタ 0~3 (PCIDTC0~3)、PCI 用 DMA コントロールレジスタ 0~3 (PCIDCR0~3) があります。

DMA 転送を開始する前に、PCIDMABT にアービトレーションモードを設定します。また、使用する DMA のチャンネルを選択し、選択したチャンネルに対応した PCIDPA と PCIDLA にそれぞれ、PCI バスの先頭アドレスとローカルバスの先頭アドレスを設定し、PCIDTC に転送語数を設定し、PCIDCR に DMA 転送の転送モード設定と転送開始要求を指定します。

転送先頭アドレスおよび転送語数の指定は、バイト、ワード境界で設定できますが、これらのレジスタの下位 2 ビットは無視されて、ロングワード単位の転送を行います。また、PCIDLA に設定するローカルバスの先頭アドレスは、外部アドレスであることに注意してください。

PCIDPA、PCIDLA、PCIDTC はデータ転送の途中でそれぞれ更新されます。DMA 転送終了後、新たに DMA 転送を行う場合には、必ずこれらのレジスタの値を再設定してください。

DMA 転送を制御するレジスタは、CPU と PCI デバイスの両方から設定可能です。どの DMA チャンネルを CPU と PCI デバイスに割り当てるかは、システムを構成する場合に、事前に決めておく必要があります。

DMA 転送を行う場合には、ローカルバスのアドレスおよび転送データ設定数を 32 バイト境界に設定することにより、ローカルバス上でのデータ転送を最も効率よく行うことが可能です。

PCIDCR により、DMA 転送時の中止、DMA 転送時の転送方向、PCI コマンドの選択 (メモリ/I/O)、ローカルアドレスの更新の有無、転送終了割り込みの有無、ローカルバスがビッグエンディアン時のデータアライメント方法を指定できます。

図 22.5 に DMA 転送用制御レジスタの設定例を示します。

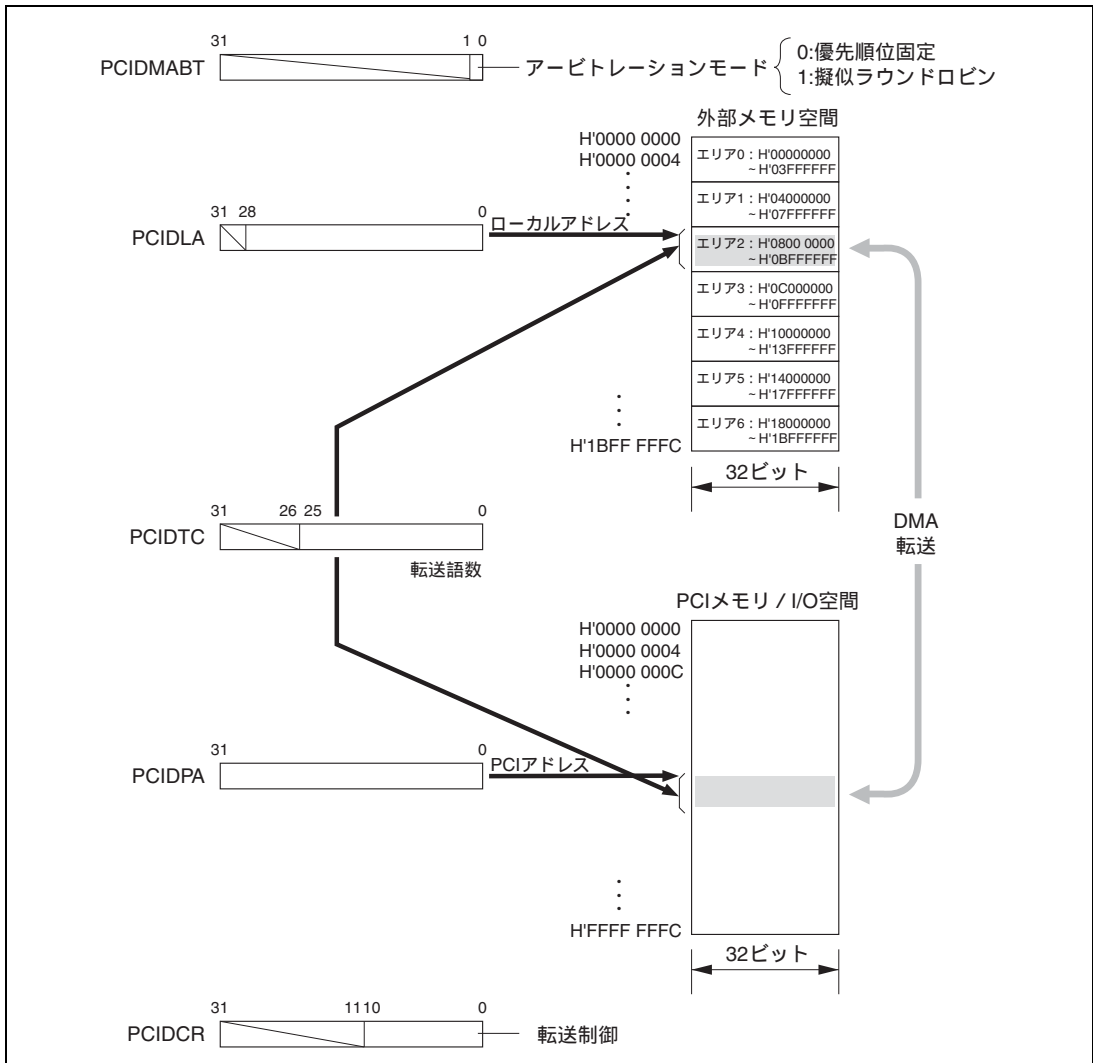


図 22.5 DMA 転送制御レジスタの設定例

## (2) DMA 転送の終了

DMA 転送が終了した場合の状態について説明します。

## (a) 正常終了

設定された転送語数のデータ転送が終了した後、DMA 転送が終了します。正常終了の場合には、PCIDCR の DMA 終了ステータスビット (DMAST)、DMA 転送時の起動制御ビット (DMASTART) はクリアされ、DMA 転送終了割り込みステータスビット (DMAIS) がセットされます。

DMA 転送割り込みマスクビット (DMAIM) が 1 にセットされていれば、DMA 転送終了割り込みが発生します。

なお、DMAIM ビットが 0 にセットされていても、DMAIS ビットはセットされます。DMAIS ビットは、このビットがクリアされるまで保持されます。このため、次の DMA 転送を開始する前に DMAIS ビットをクリアする必要があります。

## (b) 異常終了

DMA 転送時の異常終了には、データ転送中に PCI バス上のエラーを検出した場合と、DMA を強制的に終了させた場合があります。

## • データ転送中のエラー

データ転送中にエラーが発生すると、発生したデータ転送のチャンネルの DMA 転送のみ強制的に終了します。他のチャンネルのデータ転送には、影響はありません。

## • DMA 転送強制終了

各チャンネルに対応した PCIDCR の DMASTOP ビットをセットした場合に、そのチャンネルのデータ転送を強制終了します。ただし、DMASTOP ビットをセットする時には、DMASTRT ビットに 1 を書き込まないでください。また、DMASTOP ビット以外の制御ビットは、転送を開始したときの値を書き込んでください。

異常終了の場合には、異常終了の要因 (エラー検出または DMA 転送強制終了) が起こった時に、PCIDCR の DMA 終了ステータスビット (DMAST) がセットされ、データ転送終了後、DMA 転送時の起動制御ビット (DMASTART) はクリアされ、DMA 転送終了割り込みステータスビット (DMAIS) がセットされます。

DMA 転送割り込みマスクビット (DMAIM) が 1 にセットされていれば、DMA 転送終了割り込みが発生します。

異常終了の場合には、転送データは保証されません。

図 22.6 に DMA 転送のフローチャート例を示します。

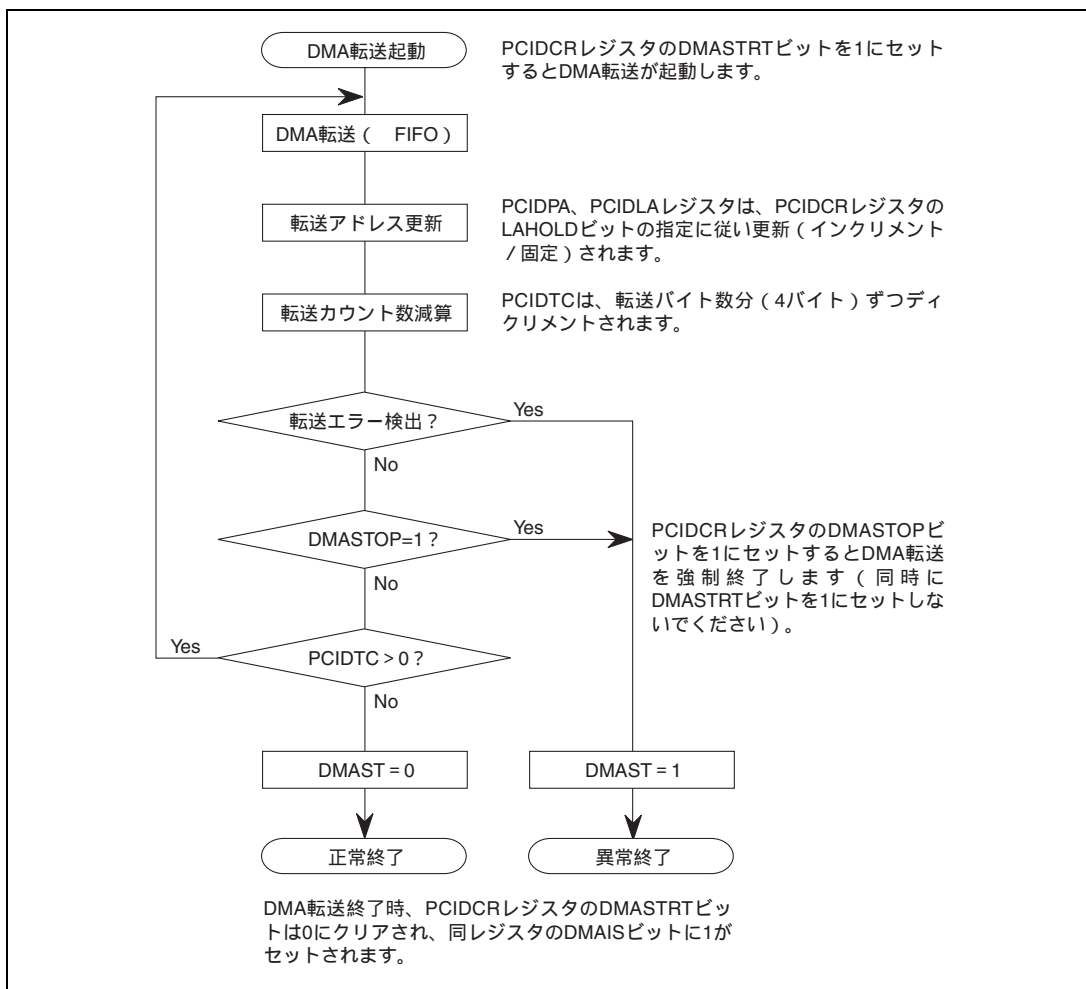


図 22.6 DMA 転送フローチャート例

## (c) ソフトリセットによる終了

PCICR の RSTCTL ビットがアサートされると、PCIC がリセットされ、DMA 転送が強制的に終了します。ただし、ソフトリセットによる転送終了の場合には、PCIDCR そのものもリセットされてしまうため、DMA 転送制御レジスタはすべてクリアされます。

### (3) DMA 転送アービトレーション

PCIC 内で同時に複数の DMA チャンネルに転送要求がある場合、これらの転送のアービトレーションが必要となります。4 チャンネルの DMA 転送の優先順位に関しては、優先順位固定と擬似ラウンドロビンの 2 つのモードが選択可能です。モードの選択は、PCI 用 DMA 転送アービトレーションレジスタ (PCIDMABT) の DMABT ビットによって行います。

データ転送を高速に行いつつアービトレーションを行うために、4 チャンネルの DMA 転送用として、4 個の FIFO (32 バイト×2 面構成) を実装しています。FIFO は 2 面バッファ構成になっており、一方のバッファをローカルバスからアクセスしている時に、もう一方のバッファを PCI バスからアクセスすることが可能です。DMA 転送用の FIFO は、転送方向の選択により、ローカルバスと PCI バスの間の両方向の転送が可能です。

アービトレーション回路は、4 チャンネルの DMA 転送のデータ転送要求 (FIFO がエンプティの時は、FIFO へのデータ書き込み要求、FIFO がフルの時は、FIFO からの読み出し要求) を監視し、データ転送を制御します。1 回のデータ転送要求に対して、最大 32 バイトまでのデータ転送を行います。

DMA 転送要求と同時に PIO 転送要求がある場合は、DMA 転送の優先順位モードにかかわらず、4 チャンネルの DMA 転送よりも PIO 転送の優先順位が最も高くなります。

#### (a) 優先順位固定モード (DMABT = 0)

優先順位固定モードでは、データ転送要求の優先順位は決まっています。優先順位は、

チャンネル 0 の DMA 転送 > チャンネル 1 の DMA 転送 > チャンネル 2 の DMA 転送  
> チャンネル 3 の DMA 転送

となり、チャンネル 0 の DMA 転送の優先順位が最も高く、チャンネル 3 の DMA 転送が最も低くなります。同時にデータ転送要求が発生した場合には、優先順位の高いデータ転送が優先されます。

優先順位固定モードで、ローカルバスから PCI バスへデータを転送する場合について説明します。アービトレーション回路は、各データ転送制御回路からの転送要求をモニタしており、エンプティでかつ優先順位の高いデータ転送用 FIFO に、ローカルバスから読み出したデータを書き込むように制御します。

一方、PCI バス側に対しては、各 FIFO に転送データが準備されているかどうかをチェックし、データが用意され、かつ優先順位の高いデータ転送用 FIFO からデータを読み出し、PCI バスにデータを転送します。

例えば、DMA チャンネル 1 の FIFO がエンプティの場合には、アービトレーション回路は、チャンネル 1 の FIFO に、ローカルバスからのデータを書き込むように制御します。そして、チャンネル 1 の FIFO に 32 バイト以上のデータが用意されれば、PCI バスにデータを出力するように制御します。

チャンネル 1 の FIFO の 2 面バッファの両方のバッファにデータが書き込まれていて、その一方から PCI バスにデータを出力している時は、チャンネル 1 の FIFO はビジー状態ですので、その次に優先順位の高い DMA チャンネル 2 の FIFO に、ローカルバスからのデータ書き込みを行うように制御します。チャンネル 1 の FIFO からのデータをすべて、PCI バスに出力した時には、チャンネル 2 の FIFO にデータが格納されているので、チャンネル 2 の FIFO から PCI バスにデータを出力します。

このように優先順位固定モードでは、FIFO のバッファリング制御によって優先順位の高い 2 つのデータ転送が繰り返し行われることとなります。

つまり、4 チャンネルの DMA 転送が同時に行われる場合、チャンネル 0 とチャンネル 1 のデータ転送が繰り返し行わ



れた後、チャンネル0のデータ転送が終了した時点で、チャンネル1とチャンネル2のデータ転送が繰り返し行われ、チャンネル1のデータ転送が終了後、チャンネル2とチャンネル3のデータ転送が繰り返し行われます。

PCIバスからローカルバスへのデータ転送も場合も同様です。

(b) 擬似ラウンドロビンモード (DMABT=1)

擬似ラウンドロビンモードでは、1つのデータ転送の転送が終了するごとに、転送が終了したデータ転送の優先順位が最も低くなるように優先順位を変更します。

擬似ラウンドロビンモードの動作については、「22.3.5 ホスト機能」を参照してください。

### 22.3.10 PCIC 内での転送の競合

CPUからのPIO転送要求と、ターゲット転送によるメモリリード/メモリライトがPCIC内部で競合することはありません。これは、PIO転送が周辺モジュール用内部バスを用いた転送であり、外部PCIデバイスがアクセスするメモリのあるローカルバスとは独立に動作するためです。また、CPUからのPIO転送要求と、ターゲット転送によるI/Oリード/I/Oライト(PCICローカルレジスタアクセス)がPCIC内部で競合することがありますが、この場合、PCIバスのバス権を持っている外部PCIデバイスのレジスタアクセスが優先されるよう、PCIC内部でアービトレーションが行われます。

### 22.3.11 PCI バス基本インタフェース

本 LSI の PCI インタフェースは PCI バージョン 2.1 の規格のサブセットをサポートしており、PCI バスインタフェースを持つデバイスを接続できます。

PCIC がホストモードに設定されている時と非ホストモードに設定されているときでは、バスパーキングを PCIC が無条件に行うか否か、PCI バスのアービトレーション機能が有効か無効かの 2 点について動作が異なります。

ホストモードにおいて、PCI バス上の転送が行われていないときには、AD、PAR、 $\overline{C/BE}$  の各信号線は PCIC がドライブします (バスパーキング)。その後 PCIC がマスタとして転送を開始するときには、最低でもアドレスフェーズが終了するまで、これらの信号線をドライブし続けます。一方、非ホストモード時には、パーキングを行うマスタは、外部のアービタによって出力される GNT によって決定されます。パーキングを行うマスタと、次に転送を始めるマスタが異なる場合、アドレスフェーズの前に最低 1 クロックのハイインピーダンス状態が生じます。

ホストモード時には、PCIC 内のアービタと PCIC 間の REQ および GNT は内部で接続されます。このとき、 $\overline{PCIREQ1/GNT1N}$ 、 $\overline{PCIREQ2/MD9}$ 、 $\overline{PCIREQ3/MD10}$ 、 $\overline{PCIREQ4}$  の各端子はそれぞれ外部のマスタ 1 ~ マスタ 4 からの REQ 入力として、 $\overline{PCIGNT1/REQOUT}$ 、 $\overline{PCIGNT2}$ 、 $\overline{PCIGNT3}$ 、 $\overline{PCIGNT4}$  の各端子はそれぞれ外部のマスタ 1 ~ マスタ 4 への GNT 出力として動作します。PCIC を含め最大 5 マスタのアービトレーションが可能です。

一方、非ホストモード時には、 $\overline{PCIREQ1/GNT1N}$  端子は PCIC の GNT 入力として、 $\overline{PCIGNT1/REQOUT}$  端子は PCIC の REQ 出力として動作します。

## (1) マスタリード/ライトサイクルのタイミング

図 22.7 にホストモードでのシングルライトサイクル例を、図 22.8 にホストモードでのシングルリードサイクル例を、図 22.9 に非ホストモード時のバーストライトサイクル例を、図 22.10 に非ホストモードでのバーストリードサイクル例を示します。ただし、 $\overline{\text{DEVSEL}}$  および  $\overline{\text{TRDY}}$  の応答速度は接続されたターゲットデバイスによって異なります。

PIO 転送では、必ずシングルリードライトサイクルになります。

コンフィグレーション転送の発行はホストモードでのみ可能です。

LOCK 転送は PIO 転送でのみ可能です。

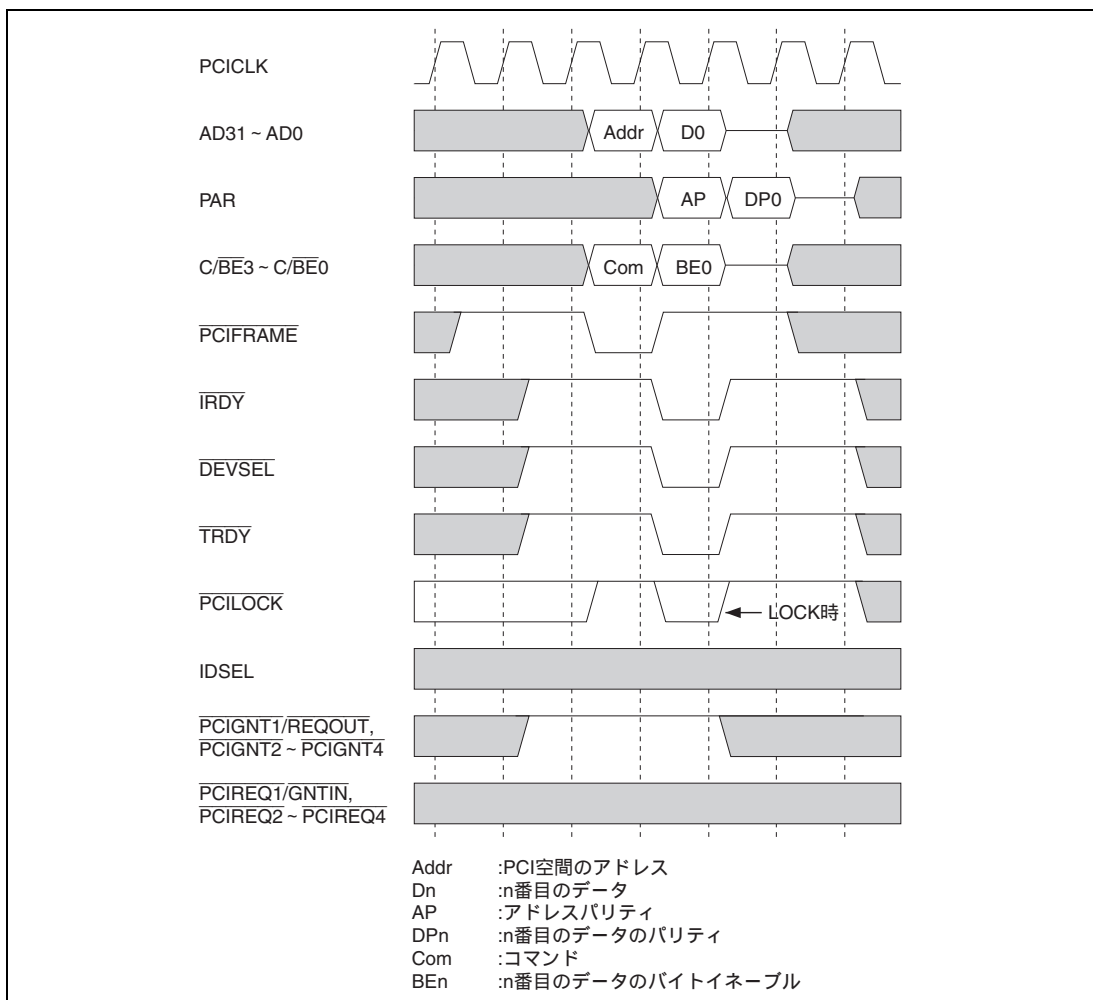


図 22.7 ホスト時マスタライトサイクル (シングル)

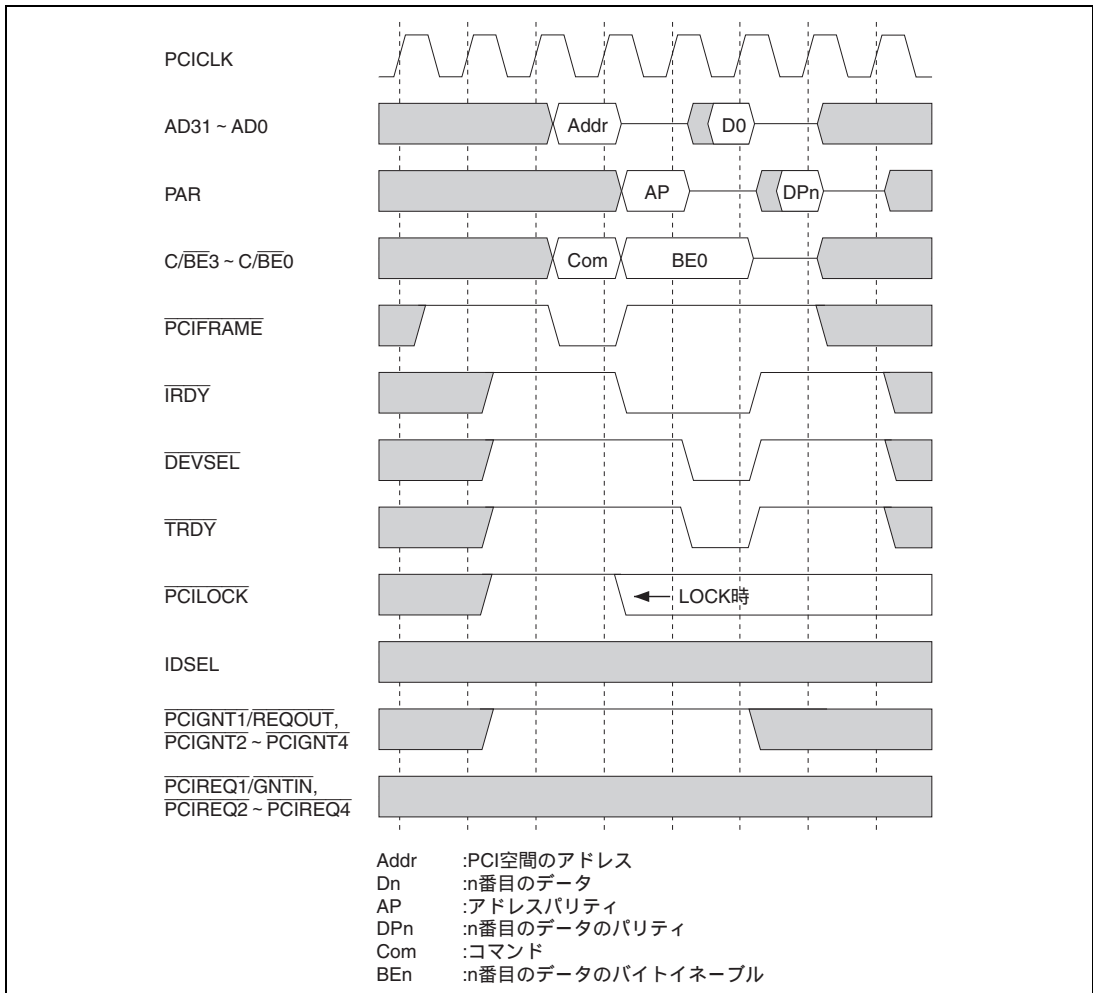


図 22.8 ホスト時マスターリードサイクル (シングル)

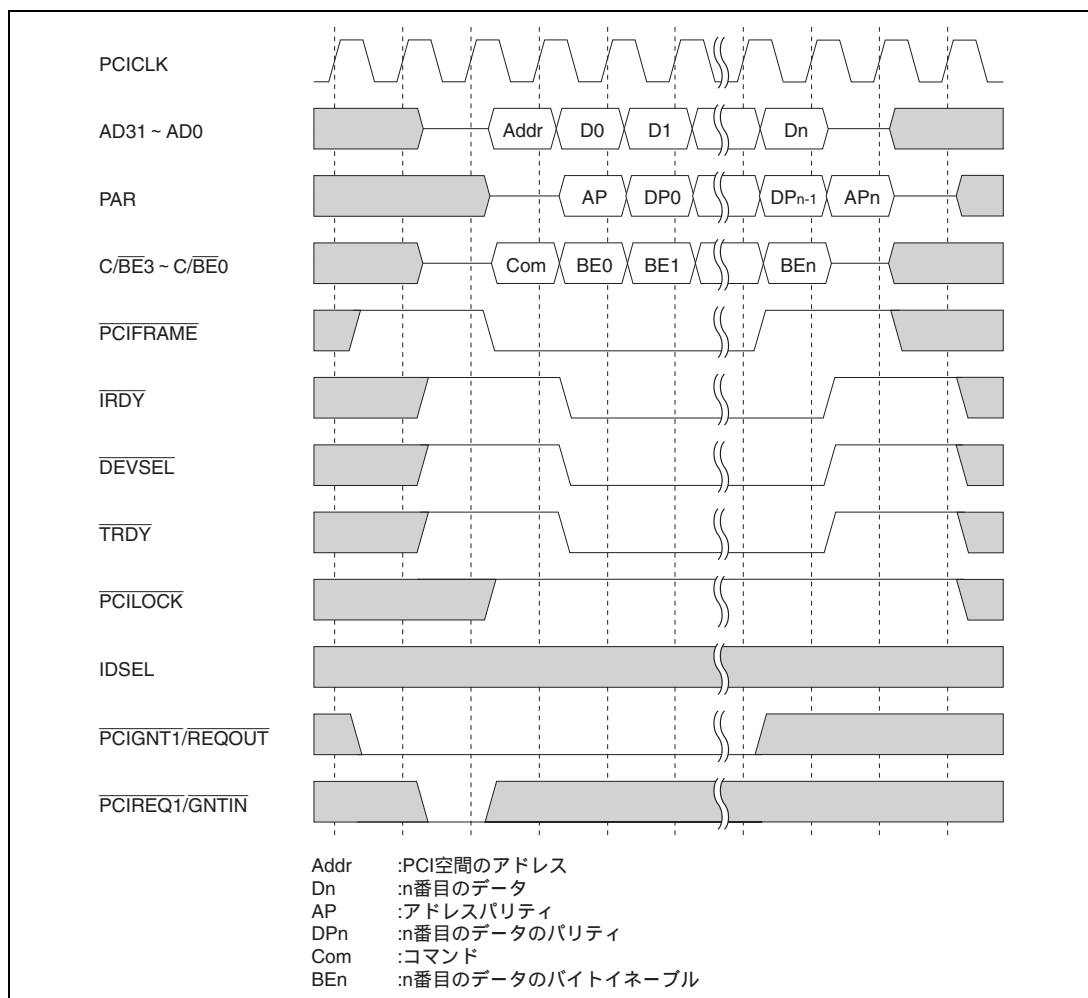


図 22.9 非ホスト時マスタライトサイクル (バースト)

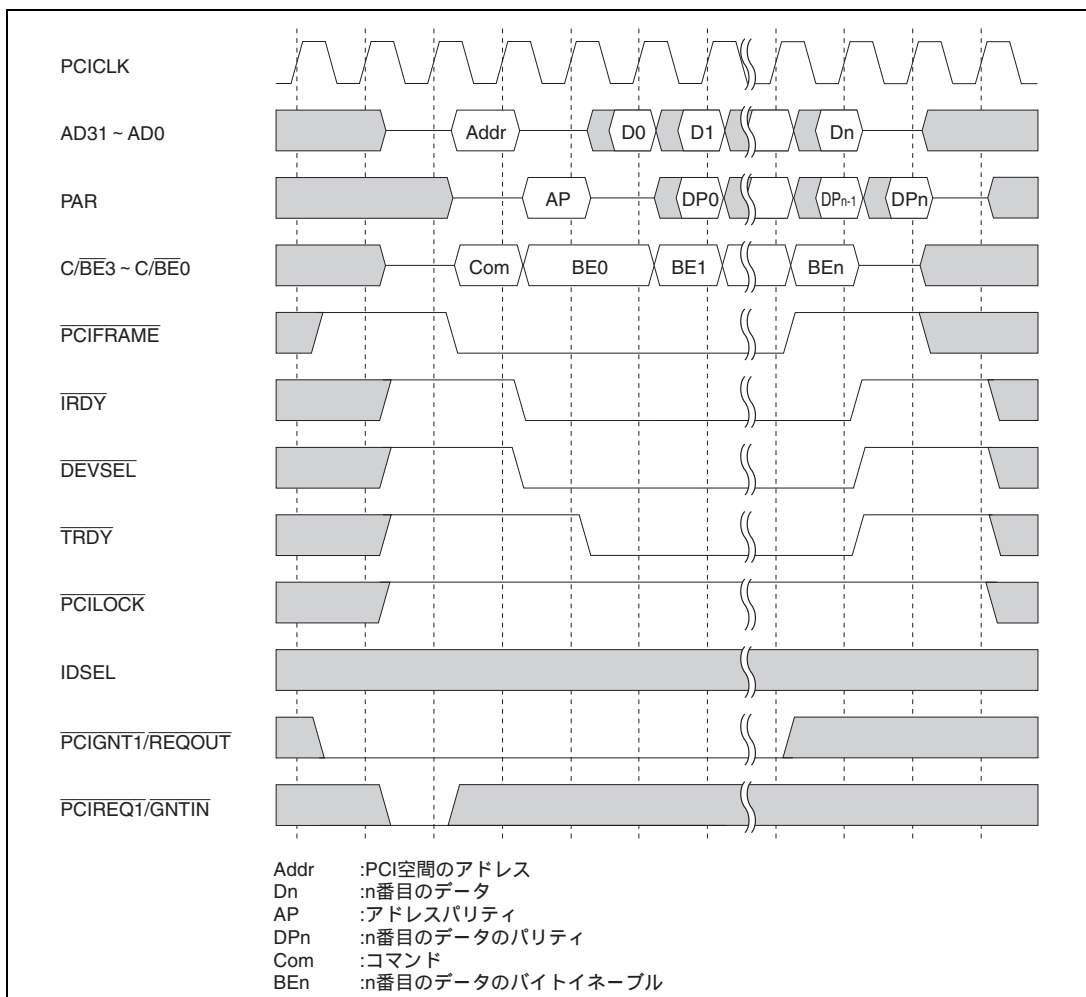


図 22.10 非ホスト時マスターリードサイクル (バースト)

### (2) ターゲットリード/ライトサイクルのタイミング

PCIC は、外部マスタからのターゲットメモリリードアクセスに対して、PCIC 内部の FIFO に 8 ロングワードのデータが準備できるまでリトライで応答します。つまり、初めてのターゲットリードには必ずリトライで応答します。

また、PCIC に対するターゲットメモリライトアクセスがあった場合、ライトされたデータがローカルメモリに完全に書き込まれるまでは、これに続くすべてのターゲットメモリアクセスにはリトライで応答します。これにより、ターゲットライトしたデータを直後にターゲットリードする場合、そのデータの内容は保証されます。

ただし、SH7751 では、以下の制限があります。SH7751R では下記のような場合、以前に異なる PCI デバイスが行ったターゲットリードデータを破棄するため、ターゲットライト直後のターゲットリードでデータの内容が保証されません。

#### [ 制限事項 ]

複数の PCI デバイスがローカルメモリ上の同じアドレス\*1 にメモリアクセスを行うようなシステムの場合、ターゲットライト直後のターゲットリードでも、そのデータの内容が保証されないことがあります。

これは、ターゲットライト以前に異なる PCI デバイスが行ったターゲットリードに対し、データが準備できたタイミングで、ターゲットライト直後のターゲットリードがバス権を取った場合に起きます。この場合、ターゲットライト以前のデータを読み込んでしまいます。

このような転送の起こる可能性がある場合、以下の 1. または 2. の対策を行ってください。

1. リードしたデータを使用する場合、ライト直後にリードしたデータではなく、2 回リードを行って後の方のデータを使用してください。
2. リードしたデータを使用しない場合 (ライトデータが実際にライト先に書き込まれるタイミングを知るためにリードを使用する場合)、ライト直後のリードアドレスを、ライトアドレスとは異なるアドレス\*2 にしてください。

【注】 \*1 アドレスフェーズの AD[31:2] が一致するアドレス

\*2 ロングワード境界のアドレス AD[31:2] が異なるもの

コンフィグレーション空間および I/O 空間に対するターゲットアクセスは、シングル転送のみです。バーストアクセス要求があった場合には、1 つ目の転送が終了した時点でディスコネクトします。

なお、PCIC に対するターゲットアクセスでは、 $\overline{\text{DEVSEL}}$  の応答速度は 2 クロック (Medium) に固定されています。

図 22.11 に非ホストモードでのターゲットシングルリードサイクル例を、図 22.12 に非ホストモードでのターゲットシングルライトサイクル例を、図 22.13 にホストモードでのターゲットバーストリードサイクル例を、図 22.14 にホストモードでのターゲットバーストライトサイクル例を示します。

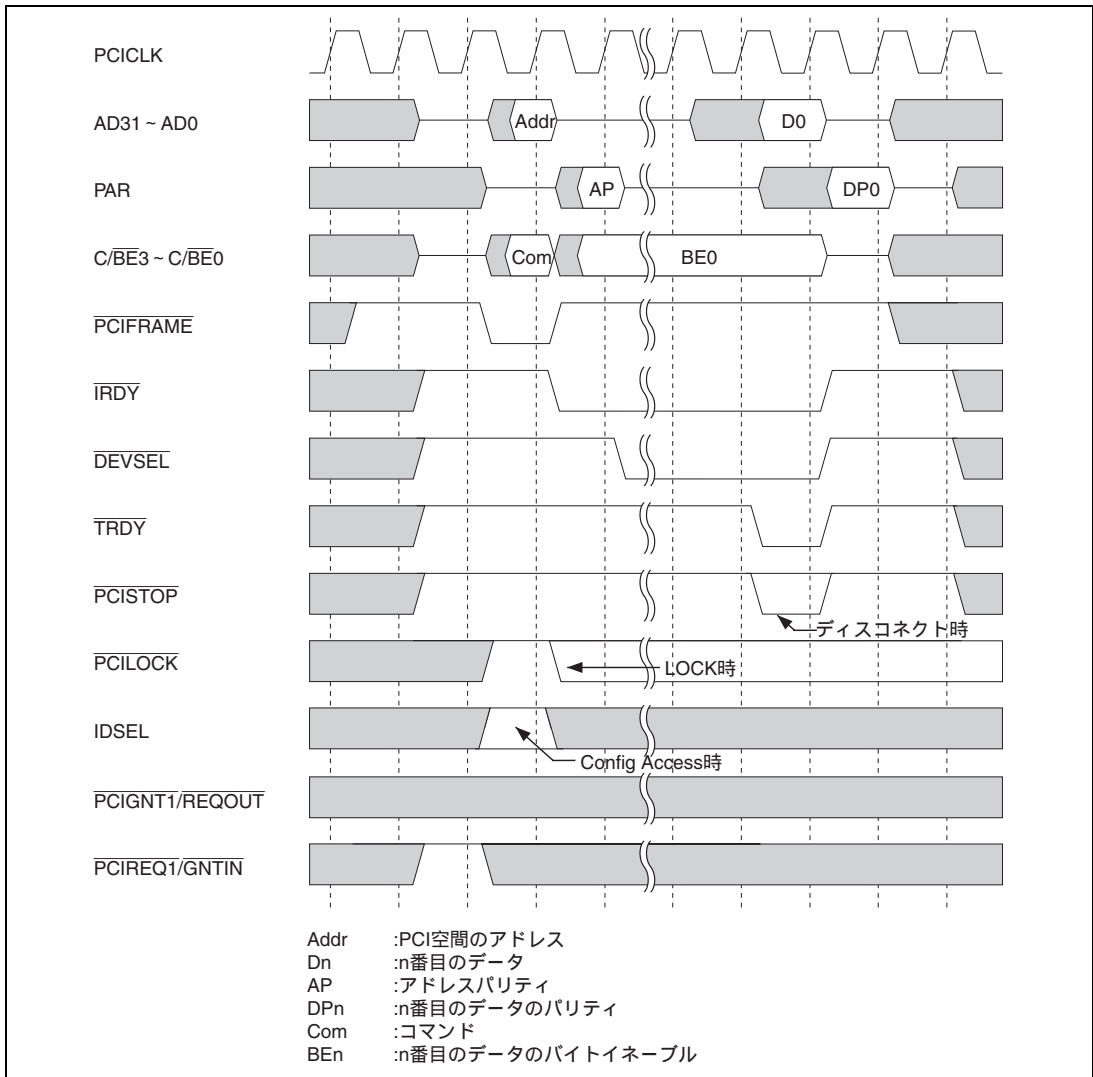


図 22.11 非ホスト時ターゲットリードサイクル (シングル)



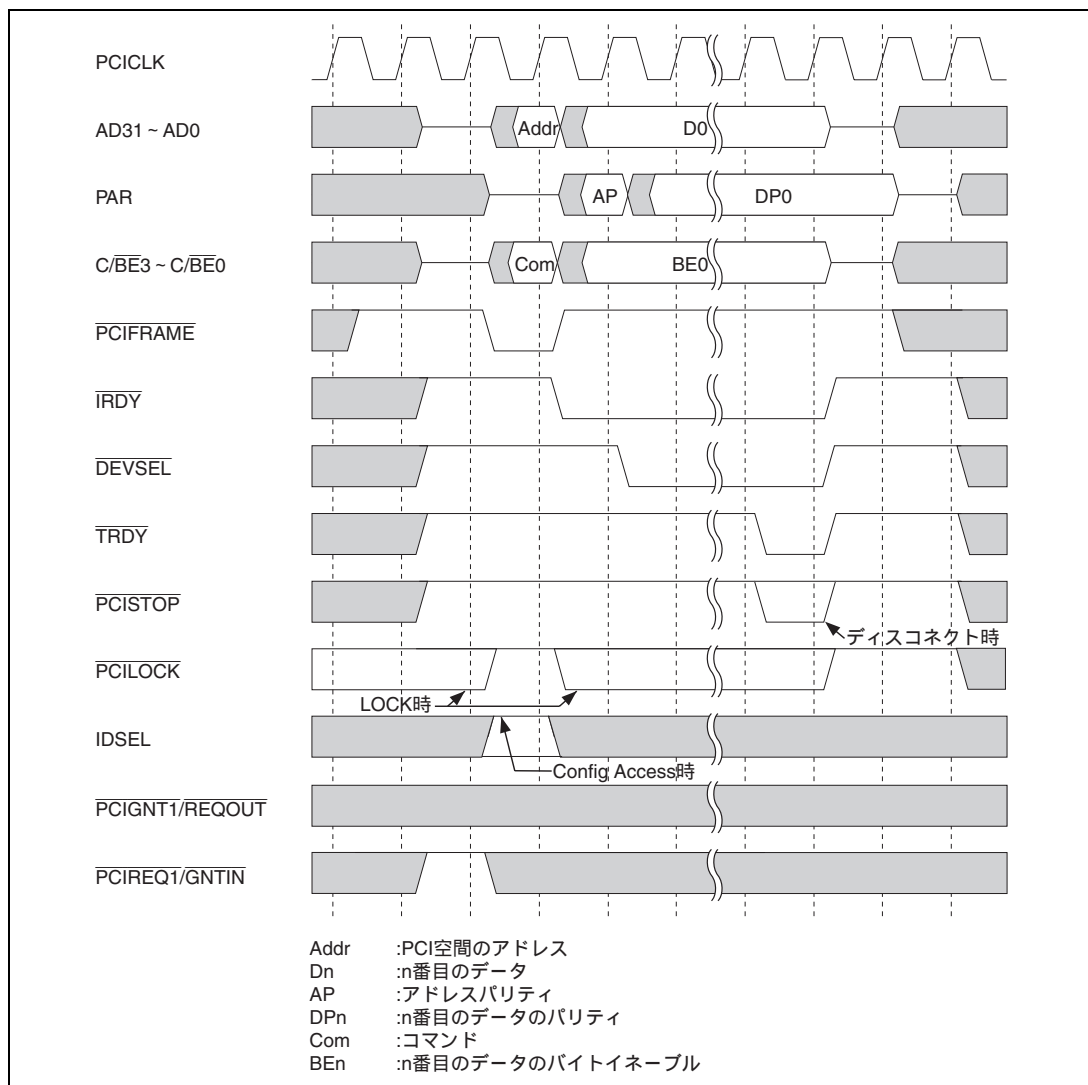


図 22.12 非ホスト時ターゲットライトサイクル (シングル)

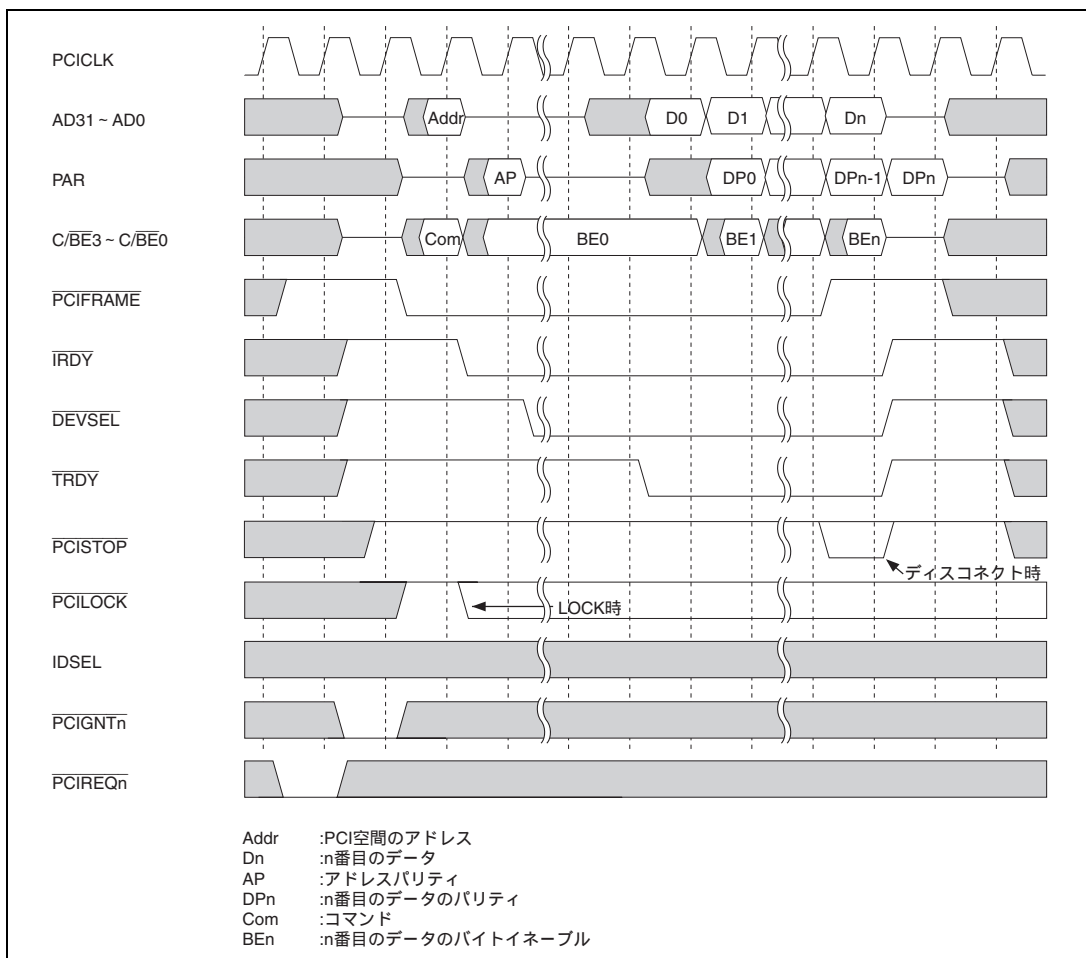


図 22.13 ホスト時ターゲットメモリリードサイクル (バースト)

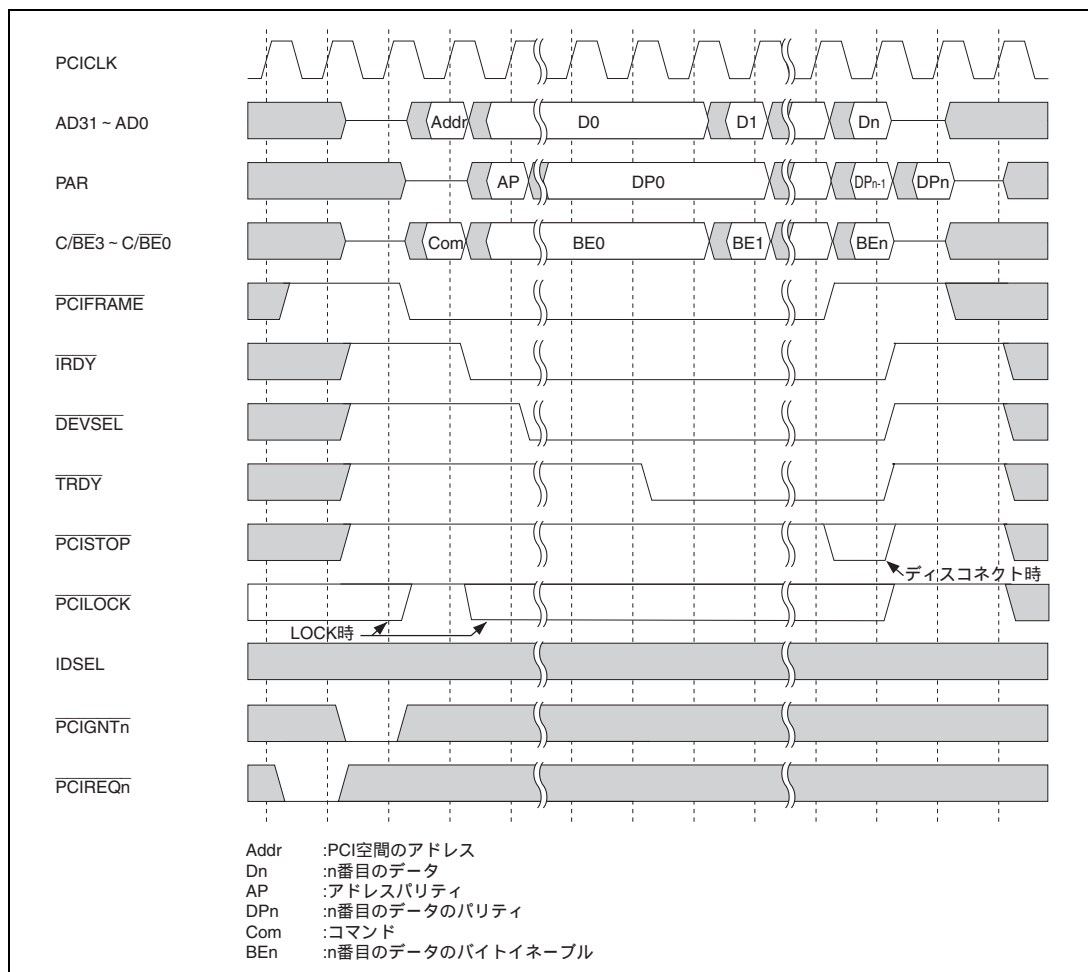


図 22.14 ホスト時ターゲットメモリアイトサイクル (バースト)

## (3) アドレス/データステッピングのタイミング

PCIC は、WCC ビット (PCICONF1 のビット 7) を 1 にすることにより、PCIC が AD バスをドライブする際、1 クロックのウェイト (ステッピング) を入れることができます。これにより、PCIC は 2 クロックかけて AD バスをドライブすることになります。PCI バスの負荷が重く、1 クロックで AD バスが規定の論理レベルに達しない環境で使用します。また、PCIC がホスト動作時、コンフィグレーション転送を発行する際にも、使用することを推奨します。

図 22.15 にステッピングありの場合のバーストメモリライトサイクル例を、図 22.16 にステッピングありの場合のターゲットバーストリードサイクル例を示します。

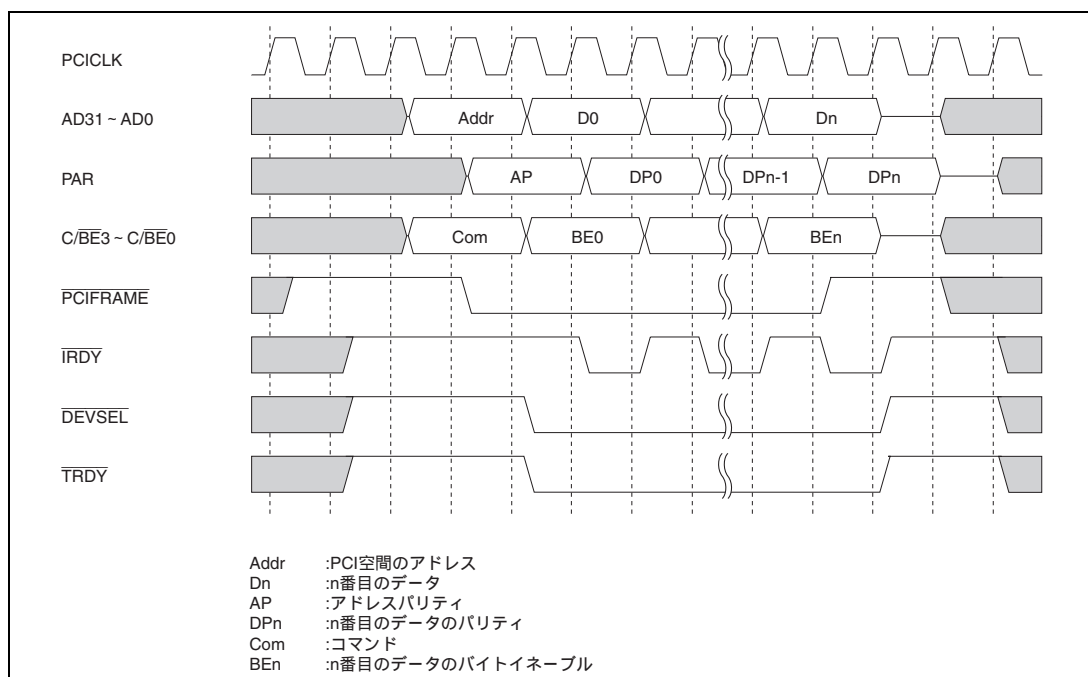


図 22.15 ホスト時マスタライトサイクル (バースト、ステッピングあり)

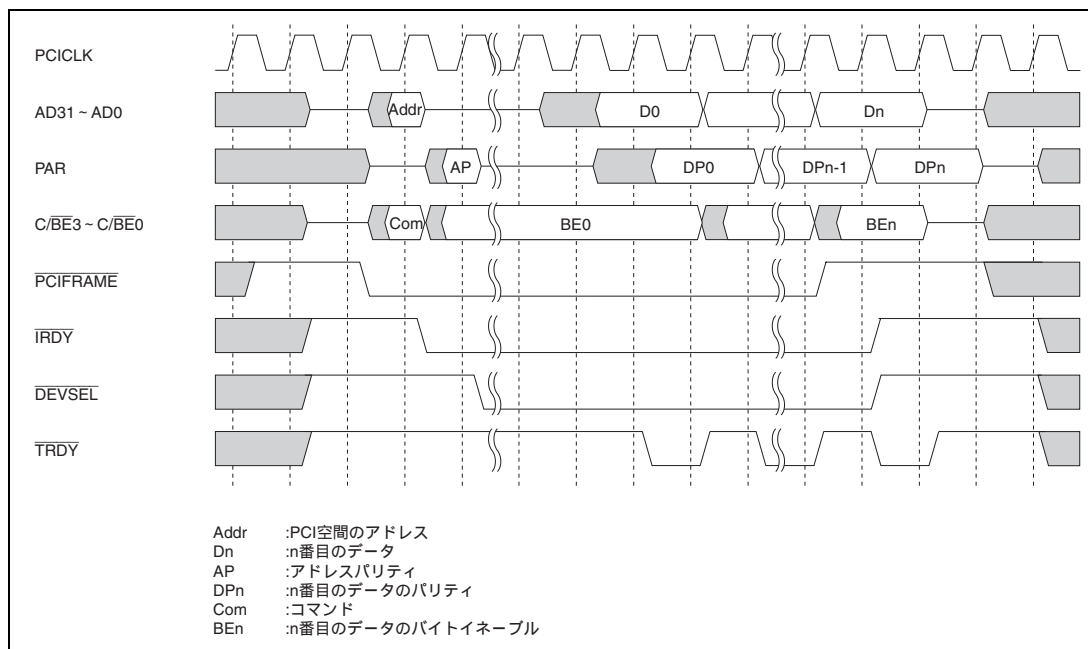


図 22.16 ホスト時ターゲットメモリリードサイクル (バースト、ステッピングあり)

## 22.4 エンディアン

### 22.4.1 周辺バスインタフェース

CPU から PCIC のレジスタにデータを書き込む周辺バスは、ビッグエンディアンで動作します。一方 PCI バスは、リトルエンディアンで動作します。このため、PIO 転送では、図 22.17 に示すようにビッグ/リトルのエンディアンの変換が必要になります。PCIC では、2 種類のエンディアン変換モードをサポートしています。変換モードの切り替えは、PCI コントロールレジスタ (PCICR) の BYTESWAP ビットの設定によって行います。

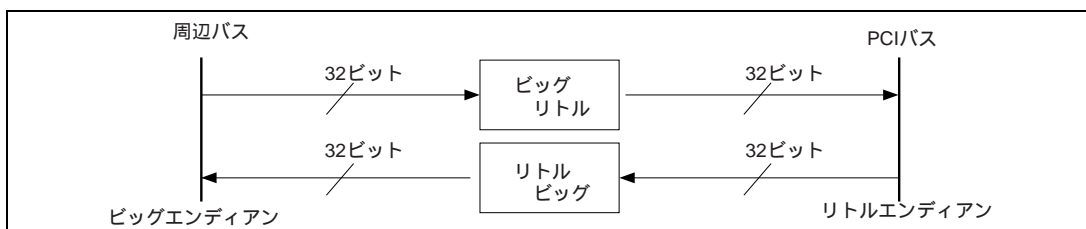


図 22.17 周辺バスのエンディアン制御

1. バイトデータ境界モード：すべてのデータがバイト境界と仮定してビッグ/リトルエンディアン変換を行います (BYTESWAP=1)。
2. ワード/ロングワード (W/LW) 境界モード：アクセスするデータサイズに応じてビッグ/リトルエンディアン変換を行います (BYTESWAP=0)。

周辺バスのアクセス先により、各変換モードでサポートするアクセスサイズは表 22.10 のようになります。PCIC 内のローカルレジスタは、転送モードにかかわらず、常にワード/ロングワード境界モードでアクセスされます。

周辺バスと PCI バス間の、各境界モードでのデータアライメントを図 22.18 に示します。

表 22.10 アクセスサイズ

アクセス先		アクセスサイズ	転送モード	
			W/LW 境界モード	バイトデータ境界モード
PCI 外部デバイス	メモリ空間	B、W、LW		
	I/O 空間	B、W、LW		
	コンフィグレジスタ	LW		
PCIC 内のローカルレジスタ		LW		W/LW 境界モード

【注】 B：バイト、W：ワード、LW：ロングワード

メモリ / I/O空間のアクセス (周辺バス PCIバス)

サイズ	周辺バス		PCIバス			BE[3:0]
	アドレス	データ	データ (W/LW境界モード)	データ (バイトデータ境界モード)	アドレス (メモリ / I/O)	
バイト	4n+0	B0	B0	B0	4n+0/4n+0	1110
	4n+1	B1	B1	B1	4n+0/4n+1	1101
	4n+2	B2	B2	B2	4n+0/4n+2	1011
	4n+3	B3	B3	B3	4n+0/4n+3	0111
ワード	4n+0	B0 B1	B0 B1	B1 B0	4n+0/4n+0	1100
	4n+2	B2 B3	B2 B3	B3 B2	4n+0/4n+2	0011
ロングワード	4n+0	B0 B1 B2 B3	B0 B1 B2 B3	B3 B2 B1 B0	4n+0/4n+0	0000

図 22.18 周辺バスと PCI バス間のデータアライメント

### 22.4.2 ローカルバスのエンディアン制御

ローカルバスのエンディアンは、ビッグ / リトルエンディアンをサポートしており、パワーオンリセット時に、エンディアン指定の外部ピン (MD5) により決定されます。このため、ローカルバスと PCI バスの間でデータを転送する場合、ローカルバスがビッグエンディアン時には、ビッグ / リトルのエンディアンの変換が必要になります。図 22.19 にローカルバスのエンディアン制御の構成図を示します。ローカルバスと FIFO の間にエンディアン変換回路が実装されています。

エンディアンの制御に関しては、「22.4.3 DMA 転送時のエンディアン制御」、「22.4.4 ターゲット転送時 (メモリリード / メモリライト) のエンディアン制御」を参照してください。

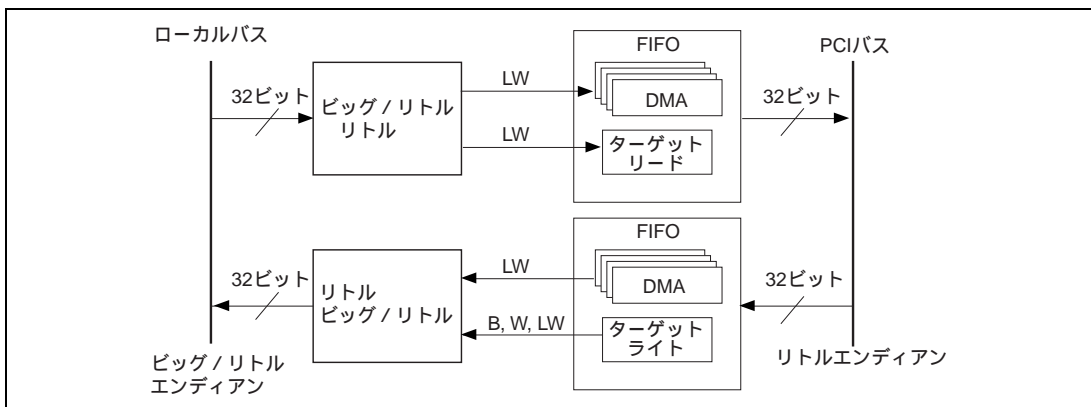


図 22.19 ローカルバスのエンディアン制御

### 22.4.3 DMA 転送時のエンディアン制御

DMA 転送でサポートするアクセスサイズはロングワードのみですが (表 22.11)、そのロングワードデータが 4 つのバイトデータか 2 つのワードデータかロングワードデータかによって、以下の 4 つのエンディアン変換モードを選択することができます。

変換モードの切り替えは、PCI 用 DMA コントロールレジスタ (PCIDCR0~3) のビット 10~9 (ALNMD) の設定によって行います。

1. バイトデータ境界モード：すべてのデータがバイト境界と仮定してビッグ/リトルエンディアン変換を行います (ALNMD=B'00)。
  2. ワード/ロングワード (W/LW) 境界モード1：ロングワードデータを4つのバイトデータとみなして転送します (ALNMD=B'01)。
  3. ワード/ロングワード (W/LW) 境界モード2：ロングワードデータを2つのワードデータとみなして転送します (ALNMD=B'10)。
  4. ワード/ロングワード (W/LW) 境界モード3：ロングワードデータを1つのロングワードデータとみなして転送します (ALNMD=B'11)。
- 1.と 2.は同じ変換を行います。

DMA 転送時の、各境界モードでのデータアライメントを図 22.20 に示します。

表 22.11 DMA 転送のアクセスサイズとエンディアン変換モード

ローカルバス エンディアン	データ転送方向	アクセス サイズ	エンディアン変換モード	
			W/LW 境界モード (1~3)	バイトデータ境界 モード
ビッグエンディアン	ローカルバス PCI バス	LW		
リトルエンディアン	ローカルバス PCI バス	LW	変換不要	

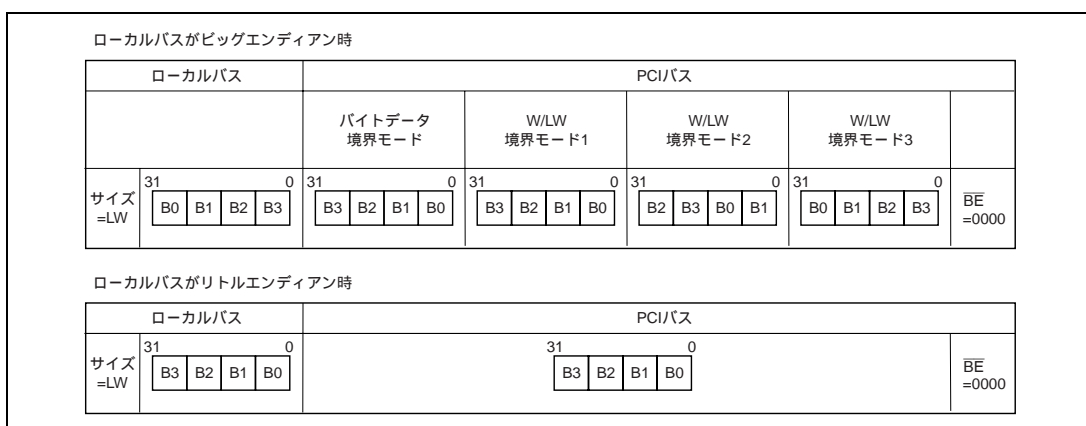


図 22.20 DMA 転送時のデータアライメント



#### 22.4.4 ターゲット転送時 (メモリリード/メモリライト) のエンディアン制御

ターゲット転送でも、ローカルバスと PCI バスの間でデータ転送を行うメモリリード/メモリライトに関しては、DMA 転送と同様に、ローカルバスがビッグエンディアン時には、ビッグ/リトルのエンディアンの変換が必要になります。ターゲット転送ではワード/ロングワード (W/LW) 境界モードをサポートしていません。表 22.12 に示すように、すべてバイトデータ境界モードになります。

ターゲット転送でサポートするローカルバスでのアクセスサイズは、ターゲットリード (ローカルバス PCI バス) 時がロングワードのみ、ターゲットライト (PCI バス ローカルバス) 時がロングワード/ワード/バイトです。ターゲットライトでは、図 22.21 に示すように、PCI バスのバイトイネーブル信号の種類により、PCIC 内でバイト、ワード、ロングワードの 1 回または 2 回の転送としてローカルバスへの転送が行われます。

例えば、 $C/\overline{BE}=B'1010$  の場合には、ローカルバスにバイトアクセスが 2 回発生します。また、 $C/\overline{BE}=B'1000$  の場合には、バイトアクセスとワードアクセスがそれぞれ 1 回発生します。

表 22.12 アクセスサイズとエンディアン変換モード

ローカルバス エンディアン	データ転送方向	アクセス サイズ	エンディアン変換モード	
			W/LW 境界モード (1~3)	バイトデータ境界 モード
ビッグエンディアン	ターゲットリード	LW	x	
	ターゲットライト	B、W、LW	x	
リトルエンディアン	ターゲットリード	LW	変換不要	
	ターゲットライト	B、W、LW	変換不要	

ローカルバスがビッグエンディアン時のターゲットメモリリード転送 (ローカルバス PCIバス)

サイズ	ローカルバス	PCIバス	BE
LW	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B0</div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px;">B3</div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B3</div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px;">B0</div> </div>	H'0 ~ H'F

ローカルバスがビッグエンディアン時のターゲットメモリライト転送 (ローカルバス PCIバス)

サイズ	ローカルバス	PCIバス	BE
B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B0</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B0</div> </div>	1110
B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div>	1101
B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div>	1011
B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B3</div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B3</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div>	0111
W	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B0</div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px;">B0</div> </div>	1100
W	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px;">B3</div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B3</div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div>	0011
B+B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B0</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div> <div style="margin: 0 10px;">+</div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B0</div> </div>	1010
B+B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div> <div style="margin: 0 10px;">+</div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B3</div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B3</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div>	0101
B+B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B0</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div> <div style="margin: 0 10px;">+</div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B3</div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B3</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B0</div> </div>	0110
B+B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div> <div style="margin: 0 10px;">+</div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div>	1001
W+B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B0</div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div> <div style="margin: 0 10px;">+</div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px;">B0</div> </div>	1000
W+B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B0</div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div> <div style="margin: 0 10px;">+</div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B3</div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B3</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px;">B0</div> </div>	0100
B+W	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B0</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div> <div style="margin: 0 10px;">+</div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px;">B3</div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B3</div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B0</div> </div>	0010
B+W	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div> <div style="margin: 0 10px;">+</div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px;">B3</div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B3</div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div>	0001
-	-	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> <div style="border: 1px solid black; padding: 2px; background-color: #ccc;"> </div> </div>	1111
LW	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B0</div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px;">B3</div> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span style="margin-left: 100px;">0</span> </div> <div style="display: flex; justify-content: center; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">B3</div> <div style="border: 1px solid black; padding: 2px;">B2</div> <div style="border: 1px solid black; padding: 2px;">B1</div> <div style="border: 1px solid black; padding: 2px;">B0</div> </div>	0000

図 22.21 ターゲットメモリ転送時のデータアライメント (1)  
(ローカルバスがビッグエンディアン)

ローカルバスがリトルエンディアン時のターゲットメモリリード転送 (ローカルバス PCIバス)

サイズ	ローカルバス	PCIバス	BE
LW	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> <span style="border: 1px solid black; padding: 2px;">B2</span> <span style="border: 1px solid black; padding: 2px;">B1</span> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> <span style="border: 1px solid black; padding: 2px;">B2</span> <span style="border: 1px solid black; padding: 2px;">B1</span> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div>	H'0 ~ H'F

ローカルバスがリトルエンディアン時のターゲットメモリライト転送 (ローカルバス PCIバス)

サイズ	ローカルバス	PCIバス	BE
B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div>	1110
B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B1</span> </div> <span>0</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B1</span> </div> <span>0</span> </div>	1101
B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B2</span> </div> <span>0</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B2</span> </div> <span>0</span> </div>	1011
B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> </div> <span>0</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> </div> <span>0</span> </div>	0111
W	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B1</span> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B1</span> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div>	1100
W	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> <span style="border: 1px solid black; padding: 2px;">B2</span> </div> <span>0</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> <span style="border: 1px solid black; padding: 2px;">B2</span> </div> <span>0</span> </div>	0011
B+B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div> <span style="margin: 0 10px;">+</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B2</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B2</span> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div>	1010
B+B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B1</span> </div> <span>0</span> </div> <span style="margin: 0 10px;">+</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> <span style="border: 1px solid black; padding: 2px;">B1</span> </div> <span>0</span> </div>	0101
B+B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div> <span style="margin: 0 10px;">+</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div>	0110
B+B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B1</span> </div> <span>0</span> </div> <span style="margin: 0 10px;">+</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B2</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B2</span> <span style="border: 1px solid black; padding: 2px;">B1</span> </div> <span>0</span> </div>	1001
W+B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B1</span> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div> <span style="margin: 0 10px;">+</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B2</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B2</span> <span style="border: 1px solid black; padding: 2px;">B1</span> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div>	1000
W+B	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B1</span> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div> <span style="margin: 0 10px;">+</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> <span style="border: 1px solid black; padding: 2px;">B1</span> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div>	0100
B+W	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div> <span style="margin: 0 10px;">+</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> <span style="border: 1px solid black; padding: 2px;">B2</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> <span style="border: 1px solid black; padding: 2px;">B2</span> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div>	0010
B+W	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B1</span> </div> <span>0</span> </div> <span style="margin: 0 10px;">+</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> <span style="border: 1px solid black; padding: 2px;">B2</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> <span style="border: 1px solid black; padding: 2px;">B2</span> <span style="border: 1px solid black; padding: 2px;">B1</span> </div> <span>0</span> </div>	0001
-	-	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div>	1111
LW	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> <span style="border: 1px solid black; padding: 2px;">B2</span> <span style="border: 1px solid black; padding: 2px;">B1</span> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div>	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <div style="border: 1px solid black; padding: 2px; display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">B3</span> <span style="border: 1px solid black; padding: 2px;">B2</span> <span style="border: 1px solid black; padding: 2px;">B1</span> <span style="border: 1px solid black; padding: 2px;">B0</span> </div> <span>0</span> </div>	0000

図 22.21 ターゲットメモリ転送時のデータアライメント (2)  
(ローカルバスがリトルエンディアン)

### 22.4.5 ターゲット転送時 (I/O リード / I/O ライト) のエンディアン制御

ターゲット I/O リード、I/O ライトコマンドにより PCIC のローカルレジスタへアクセスするときには、アクセスサイズはロングワード固定です。アドレスには 4 バイト境界のアドレスを指定し、 $\overline{BE}[3:0]$ には B'0000 を指定してください。

ターゲット転送時 (I/O リード / I/O ライト) のデータアライメントを図 22.22 に示します。

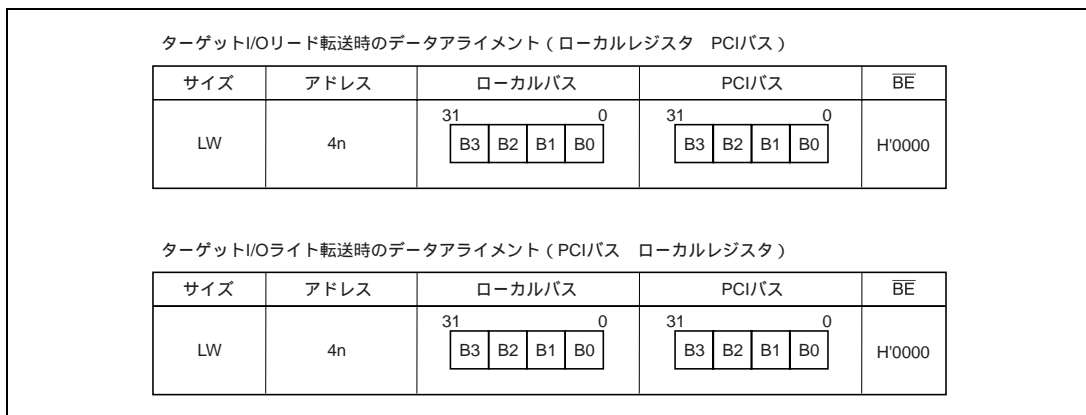


図 22.22 ターゲット I/O 転送時のデータアライメント  
(ビッグエンディアン / リトルエンディアンとも)

### 22.4.6 ターゲット転送時 (コンフィグレーションリード / コンフィグレーションライト) のエンディアン制御

ターゲットコンフィグレーションリード、コンフィグレーションライトコマンドにより PCIC のコンフィグレーションレジスタへアクセスするときのデータアライメントを図 22.23 に示します。

SH7751 では、アクセスサイズはロングワード固定です。 $\overline{BE}[3:0]$ の値は無視されます。SH7751R では、 $\overline{BE}$ のすべての組み合わせが有効です。

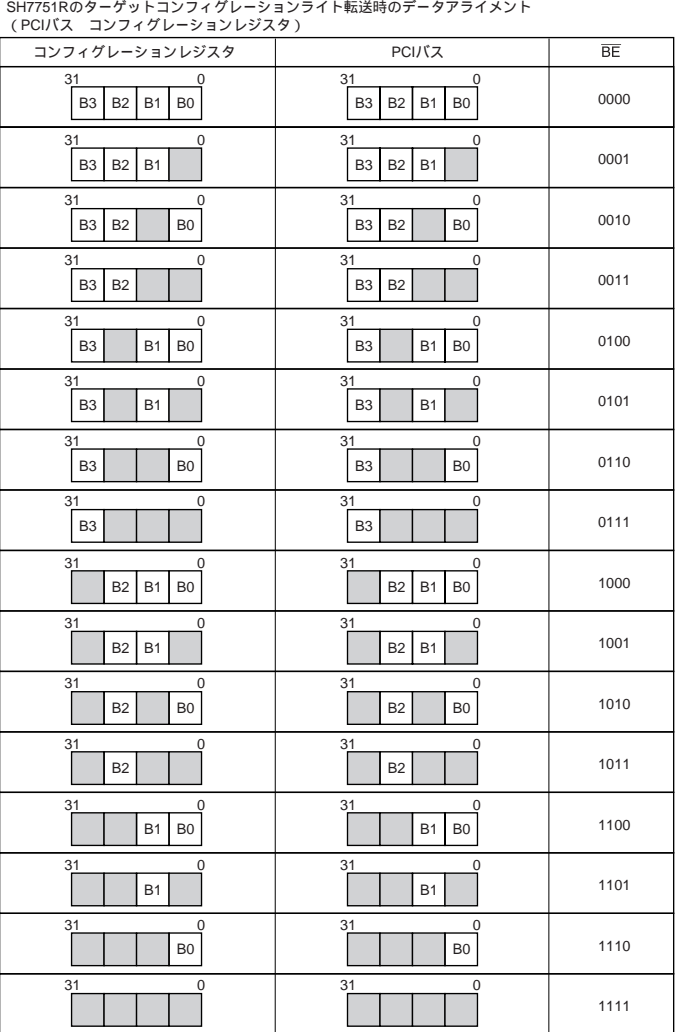
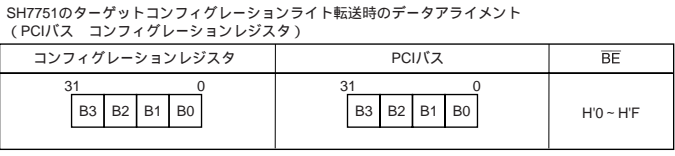
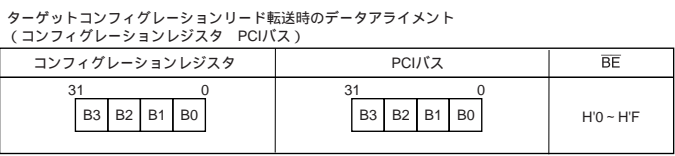


図 22.23 ターゲットコンフィグレーション転送時のデータアライメント  
(ビッグエンディアン/リトルエンディアンとも)

## 22.5 リセット

PCIC でサポートされるリセットについて説明します。

### (1) ホスト時のパワーオンリセット

PCIC がホスト時には、PCI バスにリセット ( $\overline{\text{PCIRST}}$ ) を出力することが可能です。 $\overline{\text{RESET}}$  端子によるパワーオンリセットと、PCI コントロールレジスタ (PCICR) の  $\overline{\text{PCIRST}}$  出力制御ビット ( $\text{RSTCTL}$ ) に 1 を設定することにより発生するソフトウェアリセットとのどちらか一方が発生することによって、 $\overline{\text{PCIRST}}$  はアサートされます。

### (2) 非ホスト時のリセット入力

PCIC には、PCIC 専用のリセット入力端子が用意されていません。 $\overline{\text{RESET}}$  端子に、PCI バスからのリセットを接続し、本 LSI にパワーオンリセットをかけることは可能ですが、次の点を考慮してください。

PCI の規格では、リセット ( $\overline{\text{RST}}$ ) 最小アサート期間が 1ms と規定されていますが、本 LSI のパワーオンリセットに必要な時間を確認 (「第 23 章 電気的特性」を参照) して両方のリセット期間を満足するように、パワーオンリセット時のタイミング設計を行ってください。

### (3) マニュアルリセット

PCIC は、 $\overline{\text{MRESET}}$  端子から入力されるマニュアルリセットをサポートしていません。このため、マニュアルリセットでは初期化されません。

### (4) ソフトウェアリセット

ソフトウェアリセットは、PCI コントロールレジスタ (PCICR) の  $\overline{\text{PCIRST}}$  出力制御ビット ( $\text{RSTCTL}$ ) に 1 を設定することにより、発生するリセットです。PCIC をリセットするとともに、 $\overline{\text{PCIRST}}$  端子がアサートされます。ソフトウェアリセットをアサートしている間は、PCICR レジスタ以外の PCIC のレジスタのアクセスは禁止です。アサート期間は、1ms 以上必要です。ソフトウェアリセットは、 $\text{RSTCTL}$  ビットに 0 を設定することにより、解除されます。

$\text{RSTCTL}$  ビットに 0 を設定することと PCICR のその他のビットの設定を同時に行うことはできません。 $\text{RSTCTL}$  ビットに 0 を設定後、PCICR のその他のビットを設定してください。

なお、ソフトウェアリセットにより、PCIC 内のすべてのレジスタがリセットされるわけではありません。どのレジスタがリセットされるかは、「22.2 レジスタの説明」を参照してください。クリアされないレジスタに関しては、必要に応じてソフトウェアでクリアしてください。

また、PCI バスクロックが停止している場合には、ソフトウェアリセットはアサートされませんので、PCI バスクロック ( $\text{PCICLK}$  または  $\text{CKIO}$ ) が入力されている状態でソフトウェアリセットをアサートしてください。

ソフトウェアリセットを使用した場合には、転送中のデータは保証されません。

## 22.6 割り込み

### 22.6.1 PCIC から CPU への割り込み

PCIC から CPU に対する割り込みは、以下の 8 種類あります。

また、割り込みコントローラでは、割り込みの優先レベルおよび割り込みマスク等を個別に制御できます。詳細は、「第 19 章 割り込みコントローラ (INTC)」を参照してください。

表 22.13 割り込み

割り込み要因	機能	INTPRI00	優先順位	
PCISERR	SERR エラー割り込み	[3:0]		高
PCIERR	ERR エラー割り込み	[7:4]	高	↑
PCIPWDWN	パワーダウン要求割り込み		↑	
PCIPWON	パワーオン要求割り込み			
PCIDMA0	DMA0 転送終了割り込み		↓	
PCIDMA1	DMA1 転送終了割り込み			
PCIDMA2	DMA2 転送終了割り込み			
PCIDMA3	DMA3 転送終了割り込み			低

#### (1) システムエラー ( $\overline{\text{SERR}}$ ) 割り込み (PCISERR)

PCI バス上のデバイス (PCIC も含む) によって  $\overline{\text{SERR}}$  端子がアサートされた時、これを検出したことを示します。PCIC がホストとして動作する時のみ、本割り込みを発生させます。

PCIC が非ホストで動作する場合に、ホストデバイスにシステムエラー ( $\overline{\text{SERR}}$  端子のアサート) を通知できるように、PCI コントロールレジスタ (PCICR) に SERR ビットを用意してあります。SERR ビットをアサートした場合、ターゲット転送においてアドレスパリティエラーを検出したときに、 $\overline{\text{SERR}}$  端子をアサートできます。

PCI コンフィグレーションレジスタ 1 (PCICONF1) の SER ビットが 0 にセットされている場合には、 $\overline{\text{SERR}}$  端子はアサートされません。

#### (2) エラー割り込み (PCIERR)

PCIC がエラーを検出したことを示します。エラー割り込みは、以下のエラーのどれか 1 つが検出された時に発生します。

1. PCI割り込みレジスタ (PCIINT) で検出される割り込み
2. PCIアービタ割り込みレジスタ (PCIAINT) で検出される割り込み

この 2 つのレジスタで検出できるそれぞれの割り込みに対して、割り込みをマスクすることが可能です。PCIINT に対する割り込みレジスタは、PCI 割り込みマスクレジスタ (PCIINTM)、PCIAINT に対する割り込みレジスタは、PCI アービタ割り込みマスクレジスタ (PCIAINTM) です。詳細は「22.2 レジスタの説明」を参照してください。

また、エラー割り込みに関連して、PCI コンフィグレーションレジスタ 1 (PCICONF1) のパリティエラー出力ステータス (DPE)、システムエラー出力ステータス (SSE)、マスタアポート受信ステータス (RMA)、ターゲットアポート受信ステータス (RTA)、ターゲットアポート実行ステータス (STA)、データパリティステータス

タス (DPD) がそれぞれセットされます。

(3) DMA チャンネル 0 の転送終了割り込み (PCIDMA0)

DMA コントロールレジスタ 0 (PCIDCR0) の DMA 終了割り込みステータス (DMAIS) ビットがセットされます。割り込みマスクは、同レジスタの DMA 終了割り込みマスク (DMAIM) ビットで設定されます。

(4) DMA チャンネル 1 の転送終了割り込み (PCIDMA1)

DMA コントロールレジスタ 1 (PCIDCR1) の DMA 終了割り込みステータス (DMAIS) ビットがセットされます。割り込みマスクは、同レジスタの DMA 終了割り込みマスク (DMAIM) ビットで設定されます。

(5) DMA チャンネル 2 の転送終了割り込み (PCIDMA2)

DMA コントロールレジスタ 2 (PCIDCR2) の DMA 終了割り込みステータス (DMAIS) ビットがセットされます。割り込みマスクは、同レジスタの DMA 終了割り込みマスク (DMAIM) ビットで設定されます。

(6) DMA チャンネル 3 の転送終了割り込み (PCIDMA3)

DMA コントロールレジスタ 3 (PCIDCR3) の DMA 終了割り込みステータス (DMAIS) ビットがセットされます。割り込みマスクは、同レジスタの DMA 終了割り込みマスク (DMAIM) ビットで設定されます。

(7) パワーマネージメント割り込み (通常状態への遷移要求) (PCIPWON)

PCI パワーマネージメント割り込みレジスタ (PCIPINT) のパワーステート D0 (PWRST\_D0) ビットがセットされます。パワーステート D0 の割り込みマスクは、PCI パワーマネージメント割り込みマスクレジスタ (PCIPINTM) のパワーステート D0 (PWRST\_D0) ビットで設定できます。

(8) パワーマネージメント割り込み (パワーダウンモードへの遷移要求) (PCIPWDWN)

PCI パワーマネージメント割り込みレジスタ (PCIPINT) のパワーステート D3 (PWRST\_D3) ビットがセットされます。パワーステート D3 の割り込みマスクは、PCI パワーマネージメント割り込みマスクレジスタ (PCIPINTM) のパワーステート D3 (PWRST\_D3) ビットで設定できます。

## 22.6.2 外部 PCI デバイスからの割り込み

PCIC がホストデバイスとして動作している時に、外部 PCI デバイス等からの割り込み信号を受け付ける場合には、 $\overline{IRL}$  [3:0] 端子を使用してください。PCIC には専用の外部割り込み入力端子は用意されていません。

## 22.6.3 $\overline{INTA}$

PCIC が非ホストデバイスとして動作する場合に、ホストデバイスに対する割り込みとして、 $\overline{INTA}$  出力が用意されています。 $\overline{INTA}$  は、PCI コントロールレジスタ (PCICR) の  $\overline{INTA}$  出力ソフト制御ビット (INTA) でアサート (Low 出力) / ネグート (High 出力) することができます。 $\overline{INTA}$  は、オープンコレクタ出力です。



## 22.7 エラー検出

PCIC では、PCI バス上で発生したエラー情報を保持しておくことができます。PCI エラーアドレス情報レジスタ (PCIALR) に、エラー発生時のアドレス情報 (ALOG [ 31:0 ]) が保持されます。PCI エラーコマンド情報レジスタ (PCICLR) に、エラー発生時の転送の種類 (MSTPIO、MSTDMA0、MSTDMA1、MSTDMA2、MSTDMA3、TGT) および PCI コマンド (CMDLOG [ 3:0 ]) が保持されます。また、PCIC がホストとして動作している時には、PCI エラーバスマスタ情報レジスタ (PCIBMLR) にエラー発生時のバスマスタ情報 (REQ4ID、REQ3ID、REQ2ID、REQ1ID、REQ0ID) が保持されます。

エラー情報の保持回路は、1 つのエラー情報しか保持できません。このため、エラーが連続して発生した場合、2 つ目以降のエラー情報に関しては、保持されません。

エラー情報はリセットによりクリアされます。

## 22.8 PCIC のクロック

PCIC では、次の 3 つのクロックが使われています。周辺モジュールクロック (Pck) は、PCIC のレジスタアクセスおよび PIO 転送に使用されます。バスクロック (Bck) は、ローカルバス制御用のクロックに使用されます。PCI バスクロックは PCI バス動作用クロックとして使用されます。

周辺モジュールクロックと PCI バスクロックは非同期でよく、その周波数比の制限は特にありません。ただし、PIO 転送、レジスタアクセス等では、周辺モジュールクロックで動作する回路と、PCI バスクロックで動作する回路と、2 つのクロックの同期化回路とを使用するので、データ転送速度は、周辺モジュールクロックと PCI バスクロックの周波数に依存します。

バスクロック (Bck) と PCI バスクロックは、非同期で構いません。ただし、PCI バスクロックは、バスクロック (Bck) と同じ周波数にするか、または、バスクロック (Bck) より周波数を低く設定してください。

PCI バスクロック周波数の最大値は 66MHz です。

PCI バスクロックは、MD9 により CKIO のフィードバック入力クロックと外部入力端子 (PCICLK) からの入力クロックを選択可能です。

### (1) 外部入力端子 (PCICLK) 動作モード

外部からの PCI バスクロックを入力するモードです。外部に PCI 用の発振モジュールが必要です。

### (2) CKIO 動作モード

CKIO 端子の出力クロックを PCI バスクロックとして使用するモードです。CKIO 端子からのフィードバック入力を PCI バスクロックとして使用しています。

本モードは、PCIC がホストモードで動作する時のみ使用できます。非ホストモードの場合には、使用できません。

本モードを使用する場合には、CKIO の負荷容量に注意し、マニュアルに記載されている所定の容量内で使用してください。また、CKIO は、パワーオンリセット時やクロック周波数切り替え時に、PLL の発振が安定するまで、クロック周波数が保証されません。また、スタンバイ時はクロックが停止します。これらがシステム構成上問題ないことを確認してから、このモードを使用してください。

CKIO 動作モードの場合には、Bck の最大周波数は、66MHz になります。

PCICLK 端子を使用しない場合には、この端子をハイレベルに固定してください。

### (3) 66MHz 動作対応

PCIC は、PCI の 66MHz バス規格に完全に準拠しているわけではありません。詳細は、「第 23 章 電気的特性」を参照してください。PCI バス関連の端子の電気的特性では、基板上で許容される遅延が非常に短くなっています。このため、ボード上での負荷容量やインピーダンスのマッチングを考慮した上で、66MHz 対応の PCI デバイスとの接続を行ってください。なお、接続できる PCI デバイスの台数は 1 台です。

PCI 規格では、PCI デバイスが 66MHz で動作可能かどうかを調べる手段が 2 つ用意されています。1 つは、コンフィグレーションレジスタ 1 の 66MHz 動作可能ステータスをチェックすること、もう 1 つは、PCI バス規格の  $\overline{M66ENB}$  端子をモニタすることです。PCIC では、コンフィグレーションレジスタ 1 (PCICONF1) の 66MHz 動作可能ステータス (66M) ビットをサポートしています。PCIC では、 $\overline{M66ENB}$  端子を直接モニタする専用端子を用意していません。また、外部発振器を使用した場合に、33MHz と 66MHz の発振を切り替えるための専用出力端子を用意していません。これらの制御をするためには、専用の外部回路が必要です。

## 22.9 パワー管理

### 22.9.1 パワー管理の概要

PCIC では、PCI のパワー管理 (バージョン 1.0 に準拠) したコンフィグレーションレジスタをサポートします。サポート内容は以下のとおりです。

- PCI のパワー管理制御用コンフィグレーションレジスタをサポート
- PCI バス上のホストからのパワーダウン / 復帰要求に応じた割り込みをサポート

PCI のパワー管理制御用コンフィグレーションレジスタとして、以下の 3 つのレジスタがあります。PCI コンフィグレーションレジスタ 13 は、パワー管理用コンフィグレーションレジスタに対するアドレスオフセット (CAPPTR) を示します。PCIC では、CAPPTR は H'40 (固定) です。PCI コンフィグレーションレジスタ 16、PCI コンフィグレーションレジスタ 17 がパワー管理レジスタで、パワー状態 D0 (通常状態)、パワー状態 D3 (パワーダウンモード) の 2 つの状態をサポートします。

PCIC は、PCI コンフィグレーションレジスタ 17 のパワー状態 (PWRST) ビットが変化したこと (外部 PCI デバイスからの書き込み) を検出して、パワー管理割り込みを発生します。パワー管理割り込みを制御するために、PCI パワー管理割り込みレジスタ (PCIPINT)、PCI パワー管理割り込みマスクレジスタ (PCIPINTM) が用意されています。パワー管理割り込みとしては、パワー状態 D0 から D3 への遷移を検出するパワー状態 D3 (PWRST\_D3) 割り込み、およびパワー状態 D3 から D0 への遷移を検出するパワー状態 D0 (PWRST\_D0) 割り込みが用意されていて、各割り込みごとに割り込みマスクを設定できます。

パワーオンリセット時は、パワー状態 D0 割り込みは発生しません。

PCIC が非ホストで動作し、ホストからパワーダウン割り込みを受け付ける場合には、以下の注意が必要です。

PCI のパワー管理 (バージョン 1.0 に準拠) では、ホストデバイスは、パワー状態 D3 への遷移を指示してから、最速 16 クロックで PCI バスクロックを停止してしまいます。このため、パワー状態 D3 (パワーダウン) 割り込みの検出後は、CPU と PCI バスからアクセス可能な PCIC 内のローカルレジスタに対して、読み出し / 書き込みはしないでください。これらのレジスタは、PCI バスクロックで動作しているため、このクロックが停止すると、レジスタの読み出し / 書き込みサイクルが終了しなくなります。

## 22.9.2 クロックの停止

PCIC で使用するバスクロックと、PCI バスクロックを PCIC 内部で停止させることにより、低消費電力化を図ることができます。PCIC のクロック制御をするために、PCI クロック制御レジスタ (PCICLKR) が用意されています。ただし、周辺モジュールクロック (Pck) を PCIC 内部で停止する制御レジスタについては、「第 9 章 低消費電力モード」を参照してください。

PCI バスクロックの動作モードによって表 22.14 のようにクロックの停止方法が異なります。

表 22.14 動作モードごとのクロックの停止方法

			本 LSI (PCIC 除く)	PCIC		
				マスタ		スレーブ
				PCICLK 動作モード	CKIO 動作モード	PCICLK 動作モード
クロック 動作状態	通常動作 スリープ	Bck	通常動作	通常動作	通常動作	通常動作
		Pck	通常動作	通常動作	通常動作	通常動作
		PCICLK	未使用	通常動作	未使用	通常動作
	ディープ スリープ	Bck	停止	停止	停止	停止
		Pck	通常動作	通常動作	通常動作	通常動作
		PCICLK	未使用	通常動作	未使用	通常動作
	スタンバイ	Bck	停止	停止	停止	停止
		Pck	停止	停止	停止	停止
		PCICLK	未使用	停止	未使用	停止
遷移 / 復帰	ディープ スリープ	遷移	スリープコマンド	本 LSI から Bck 停止	本 LSI から Bck、 PCICLK 停止	PCI コマンド + 割り込み (PCIC 本 LSI) + 本 LSI から Bck 停止
		復帰 1	未使用	PME 割り込み (IRL に接続) + 本 LSI から Bck 再開	PME 割り込み (IRL に接続) + 本 LSI から Bck、PCICLK 再開	PCI コマンド + 割り込み (PCIC 本 LSI) + 本 LSI から Bck 再開
		復帰 2	NMI、IRL、RESET 内蔵周辺割り込み	NMI、IRL、RESET + 本 LSI から Bck 再開	NMI、IRL、RESET + 本 LSI から Bck、 PCICLK 再開	NMI、IRL、RESET + 本 LSI から Bck 再開 + PCI コマンド (復帰) 待ち
	スタンバイ	遷移	スタンバイコマ ンド	スタンバイコマンド	本 LSI から PCICLK 停 止 + スタンバイコマ ンド	PCI コマンド + 割り込 み (PCIC 本 LSI) + スタンバイコマンド
		復帰 1	未使用	PME 割り込み (IRL に接続)	PME 割り込み (IRL に接続) + 本 LSI から PCICLK 再開	パワーオンリセット
		復帰 2	NMI、IRL、RESET 内蔵周辺割り込み	NMI、IRL、RESET	NMI、IRL、RESET + 本 LSI から PCICLK 再 開	NMI、IRL、RESET + PCI コマンド (復帰) 待ち

【注】 復帰 1 : PCI バスからの復帰

復帰 2 : PCI バス以外からの復帰

#### (1) 外部入力端子 (PCICLK) 動作モード

PCI バスクロックは、PCICLKSTOP ビットを 1 にすることにより PCIC 内部への入力を停止できます。Bck は、BCLKSTOP ビットを 1 にすることにより PCIC 内部への入力を停止できます。PCICLK への書き込み動作が完了 (PCICLKSTOP ビットを 1 にセット) してから、実際に PCIC 内部でクロックが停止するまで、PCI バスクロックで最低 2 クロック必要です。クロックを再開する場合にも同様のクロック期間が必要です。

#### (2) CKIO 動作モード

CKIO からの入力クロック、Bck とともに、BCLKSTOP ビットを 1 にすることにより PCIC 内部への入力を停止できます。PCICLK への書き込み動作が完了 (BCLKSTOP ビットを 1 にセット) してから、実際に PCIC 内部でクロックが停止するまで、Bck で最低 2 クロック必要です。クロックを再開する場合にも同様のクロック期間が必要です。

PCIC 内部で PCI バスクロックが停止している期間は、周辺バスと PCI バスの両方からアクセス可能な内部レジスタへのアクセスは禁止されます。書き込みも読み出しも正しく動作しません。

また、PCI バスを使用中に、CKIO と Bck を PCIC 内部で停止するためには、以下の注意が必要です。

##### (a) ホストデバイスとして動作している場合

PCI バスに接続されている外部 PCI デバイスの動作を停止させてからクロックを停止させる必要があります。外部デバイスを停止させる前にクロックを停止させると、外部デバイスからのアクセスがハングアップします。システム構成上問題ないことを確認して、クロックを停止してください。

外部 PCI デバイスの動作を停止させる方法の 1 つとして、PCI パワーマネージメントを使用する方法があります。外部 PCI デバイスをパワーステート D3 (パワーダウンモード) に遷移させた後、クロックを停止してください。この場合、すべての外部 PCI デバイスが PCI パワーマネージメントをサポートしていることが必要です。

##### (b) 非ホストとして動作している場合

非ホストとして動作する場合には、PCI バスクロックは必ず外部入力端子 (PCICLK) 動作モードになります。この場合には、ホストデバイスが PCI バスクロックの停止 / 再開を行うので、PCIC の PCICLK を使用して PCICLK の入力を停止する必要はありません。パワーマネージメントシーケンスに従い、CPU が割り込みを受け付けるようにしてください。

### 22.9.3 スタンバイとスリープへの対応

PCIC 内のすべてのクロックを停止するためには、SLEEP 命令でスタンバイモードに遷移させる必要があります。外部入力端子 (PCICLK) 動作モードの時は、PCICLKSTOP ビットを 1 にセットして、PCI バスクロックを停止後、スタンバイに遷移し、スタンバイから復帰後、PCICLKSTOP ビットを 0 にクリアすることにより、PCI バスクロックにハザードが発生するのを防ぐことができます。

PCI バスを使用するシステムにおいてスタンバイモードに遷移させる場合には、クロック停止によりシステムがハングアップしないことを確認して使用してください。

スリープモードに遷移した場合には、PCIC のクロックは停止しません。

## 22.10 ポート機能

PCIC では、非ホストで動作する場合に、PCI バスのアービトレーション端子をポートとして使用することが可能です。ホスト機能 (アービトレーション) を使用する場合には、ポート機能は使用できません。使用できる端子は、 $\overline{\text{PCIREQ2}}$ 、 $\overline{\text{PCIREQ3}}$ 、 $\overline{\text{PCIREQ4}}$ 、 $\overline{\text{PCIGNT2}}$ 、 $\overline{\text{PCIGNT3}}$ 、 $\overline{\text{PCIGNT4}}$  以下の 6 本です。 $\overline{\text{PCIREQ2}}$ 、 $\overline{\text{PCIREQ3}}$ 、 $\overline{\text{PCIREQ4}}$  の 3 ピンは、入出力ポートとして使用可能です。 $\overline{\text{PCIGNT2}}$ 、 $\overline{\text{PCIGNT3}}$ 、 $\overline{\text{PCIGNT4}}$  の 3 本は、出力ポートとして使用可能です。データ出力タイミングは CKIO に同期します。入力データは、CKIO の立ち上がりエッジで取り込まれます。

ポートの制御は、ポートコントロールレジスタ (PCIPCTR)、ポートデータレジスタ (PCIPDTR) で行います。PCIPCTR は、ポート機能の有効 / 無効、プルアップ抵抗のオン / オフ、入出力の切り替えを制御します。PCIPDTR は、ポートデータの入力および出力を行います。

## 22.11 バージョン管理

PCIC のバージョン管理は PCI のコンフィグレーションレジスタ 2 (PCICONF2) のレビジョン ID (8 ビット) に書き込まれています。

## 22.12 使用上の注意

### 22.12.1 アービタ割り込み使用時の注意事項 (SH7751 のみ)

SH7751 の PCIC 機能を、アービトレーション機能を持つホストとして用いる場合、PCI アービタ割り込みレジスタ (PCIAINT) のうちターゲットバスタイムアウト割り込み、またはマスタバスタイムアウト割り込みを使用する際に以下の注意が必要です。

#### [ 現象 ]

SH7751 では、外部 PCI デバイスにおける 16 クロックルール / 8 クロックルール (PCI2.1 仕様におけるターゲットレイテンシおよびマスタデータレイテンシのクロック数制限) の違反を、PCIC の PCI アービタ割り込みレジスタ (PCIAINT) のビット 12 (ターゲットバスタイムアウト割り込み) およびビット 11 (マスタバスタイムアウト割り込み) を立てることにより検知しています。ただし SH7751 では、これらの制限クロック数を、PCI2.1 仕様書の定義よりも 1 クロック小さく定義しています。

すなわち、外部 PCI デバイスのターゲットレイテンシ / マスタデータレイテンシが下記の 1.、2. のようなタイミングになった場合に、PCI2.1 仕様では 16 クロックルール / 8 クロックルール違反ではありませんが、SH7751 では 16 クロックルール / 8 クロックルール違反として扱い、PCI アービタ割り込みレジスタ (PCIAINT) ビット 12 (ターゲットバスタイムアウト割り込み) / ビット 11 (マスタバスタイムアウト割り込み) に 1 が立ちます。

1. ターゲットレイテンシ : ターゲットバスタイムアウト割り込み発生 (図22.24、図22.25参照)

ターゲットとなる外部 PCI デバイスが、マスタからの転送要求 ( $\overline{\text{FRAME}}$  アサート) から、最初のデータ転送で 16 クロック目に  $\overline{\text{TRDY}}$  または  $\overline{\text{STOP}}$  をアサートする。または、二つ目以降のデータ転送で、直前データフェーズから 8 クロック目に  $\overline{\text{TRDY}}$  または  $\overline{\text{STOP}}$  をアサートする。

2. マスタデータレイテンシ : マスタバスタイムアウト割り込み発生 (図22.26、図22.27参照)

マスタとなる外部 PCI デバイスが、バス権を獲得し  $\overline{\text{FRAME}}$  をアサートしてから、最初のデータ転送で 8 クロック目に  $\overline{\text{IRDY}}$  をアサートする。または、二つ目以降のデータ転送で直前データフェーズから 8 クロック目に  $\overline{\text{IRDY}}$  をアサートする。

#### [ 対応策 ]

SH7751 の PCIC 機能をアービトレーション機能を持つホストとして用いる場合に、16 クロックルール / 8 クロックルールに定められたクロック数制限を最大まで用いる外部 PCI デバイスを接続する場合、PCI アービタ割り込みマスクレジスタ (PCIAINTM) により、PCI アービタ割り込みレジスタ (PCIAINT) のバスタイムアウト割り込みをマスクして使用してください。

1. ターゲットレイテンシの場合、ターゲットバスタイムアウト割り込みをマスクするために、PCI アービタ割り込みマスクレジスタ (PCIAINTM) のビット 12 (ターゲットバスタイムアウト割り込みマスク) を 0 に設定してください。
2. マスタデータレイテンシの場合、マスタバスタイムアウト割り込みをマスクするために、PCI アービタ割り込みマスクレジスタ (PCIAINTM) のビット 11 (マスタバスタイムアウト割り込みをマスク) を 0 に設定してください。

ただし、割り込みをマスクした場合、PCI2.1仕様での16クロックルール/8クロックルール違反があった場合に、その違反を検出しても割り込みを発生させることができなくなることに注意してください。

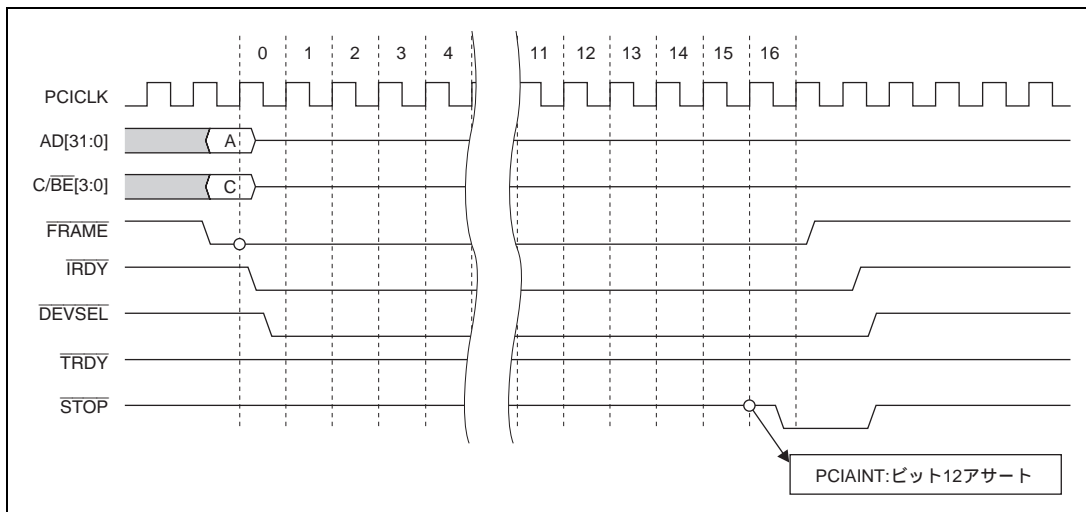


図 22.24 ターゲットバスタイムアウト割り込み発生例 1  
(ターゲットが FRAME アサートから 16 クロック目で STOP をアサートしてリトライを返した例)

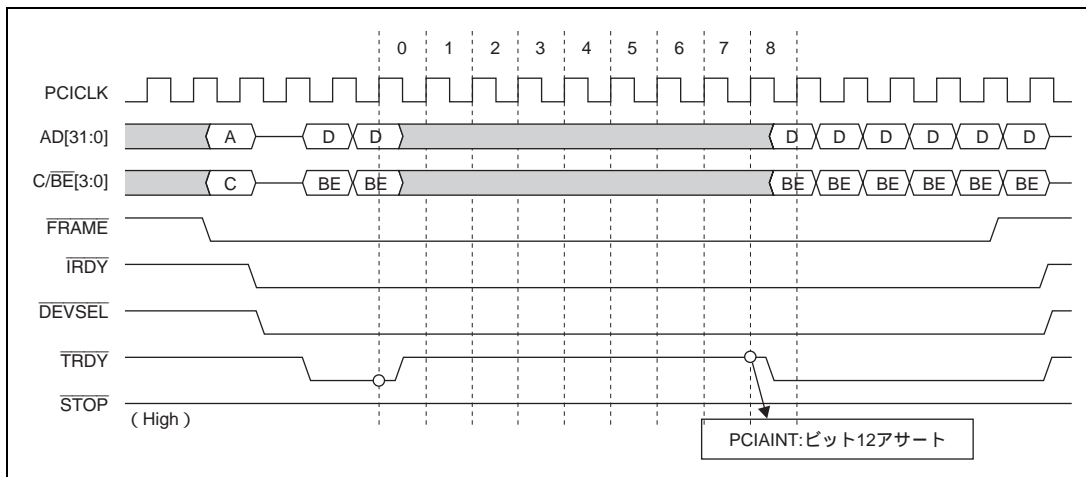


図 22.25 ターゲットバスタイムアウト割り込み発生例 2  
(ターゲットが 3 つ目のデータを準備するのに 2 つ目のデータフェーズから 8 クロックかかった例)



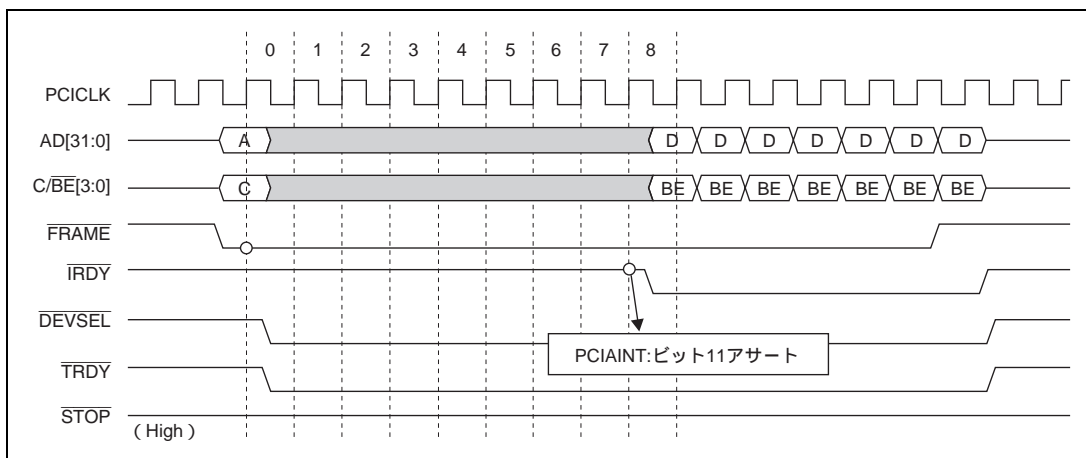


図 22.26 マスタバスタイムアウト割り込み発生例 1  
(マスタが FRAME のアサートから 8 クロック目にデータが準備できて IRDY をアサートした例)

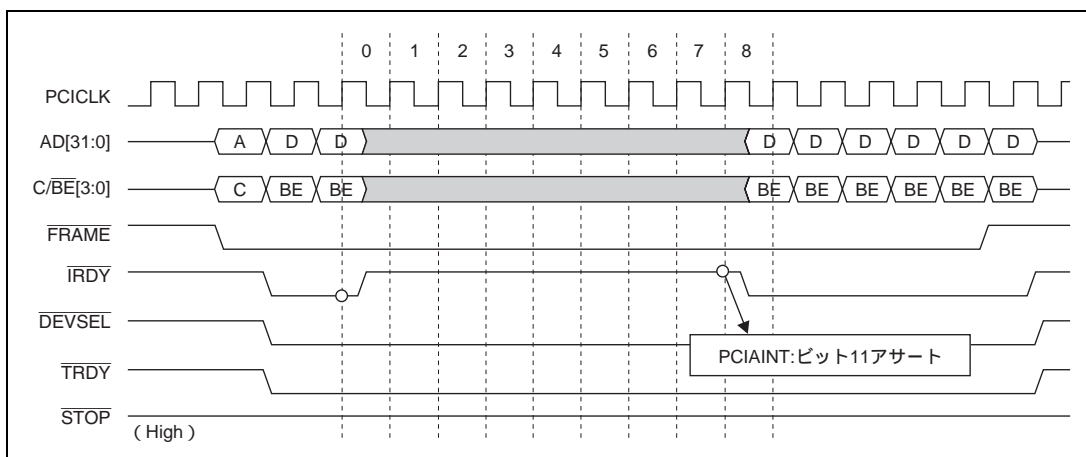


図 22.27 マスタバスタイムアウト割り込み発生例 2  
(マスタが 3 つ目のデータを準備するのに 2 つ目のデータフェーズから 8 クロックかかった例)

### 22.12.2 I/O リード / I/O ライト時の注意事項 (SH7751 のみ)

「22.3.8 (2) I/O リード / I/O ライトコマンド」を参照してください。

### 22.12.3 コンフィグレーションリード / コンフィグレーションライト時の注意事項 (SH7751 のみ)

「22.3.8 (3) コンフィグレーションリード / コンフィグレーションライトコマンド」を参照してください。

### 22.12.4 ターゲットリード / ライト時の注意事項 (SH7751 のみ)

「22.3.11 (2) ターゲットリード / ライトサイクルのタイミング」を参照してください。

### 22.12.5 マスタアクセス時のパリティエラー検出についての注意事項

PCIC がマスタリードアクセス時に  $\overline{\text{TRDY}}$  アサート中のデータパリティエラー検出ができない場合があります。

#### [ 現象 ]

下記条件すべてを満たすとき、データパリティエラー検出ができません。 $\overline{\text{PERR}}$  をアサートせず、検出ビットもたたないため、未検出と同じ動作となります。

- PCIC (マスタ) 動作条件
  - 1) PCIコンフィグレーションレジスタ1のPERビットに1を設定 (検出したパリティエラーに応答する)
  - 2) マスタメモリリードサイクル
- 外部PCIデバイス (ターゲット) 動作条件
  - ターゲット・イニシエーテッド・ディスコネクト (データ有り) :  $\overline{\text{STOP}}$ アサート

#### [ システムでの影響 ]

ターゲット・イニシエーテッド・ディスコネクト (データ有り) において、ディスコネクトされたデータフェーズのパリティエラーが検出されず、 $\overline{\text{PERR}}$  がアサートされません。上記条件のうち1つでも満たさない場合は、正常にパリティエラーを判定いたします。マスタリードアクセス時において本現象が問題になる場合があります (ターゲット・データ・パリティエラー)。

#### [ 回避策 ]

本不具合に対する PCIC による回避策はございません。

---

## 23. 電気的特性

---

### 23.1 絶対最大定格

表 23.1 絶対最大定格

項目	記号	定格値	単位
I/O、RTC、CPG 電源電圧	$V_{DDQ^*}$ $V_{DD-RTC^*}$ $V_{DD-CPG}$	-0.3 ~ 4.2 -0.3 ~ 4.6 <sup>*1</sup>	V
内部電源電圧	$V_{DD^*}$ $V_{DD-PLL1/2}$	-0.3 ~ 2.5、 -0.3 ~ 2.1 <sup>*1</sup>	V
入力電圧	$V_{in}$	-0.3 ~ $V_{DDQ}+0.3$	V
動作温度	$T_{opr}$	-20 ~ 75 -40 ~ 85 <sup>*2</sup>	
保存温度	$T_{stg}$	-55 ~ 125	

【注】 最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

すべての VSS を GND に接続しない場合、LSI の永久破壊となることがあります。

電源投入遮断手順については、「付録 G. 電源投入遮断手順について」を参照してください。

\*1 HD6417751R のみ

\*2 HD6417751RBA240HV のみ

## 23.2 DC 特性

表 23.2 HD6417751RBP240(V)、HD6417751RBG240(V)、HD6417751RBA240HV DC 特性  
( $T_a = -20 \sim 75$  \*<sup>3</sup>)

項目		記号	Min	Typ	Max	単位	測定条件
電源電圧		$V_{DDQ}$ $V_{DD-CPG}$ $V_{DD-RTC}$	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
		$V_{DD}$ $V_{DD-PLL1/2}$	1.4	1.5	1.6		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
消費電流	通常動作	$I_{DD}$	—	255	660	mA	lck= 240MHz
	スリープモード時		—	140	180		
	スタンバイモード時		—	—	400	$\mu$ A	Ta = 25 * <sup>1</sup>
			—	—	800		Ta > 50 * <sup>1</sup>
消費電流	通常動作	$I_{DDQ}$	—	100	145	mA	Bck= 120MHz
	スリープモード時		—	60	115		
	スタンバイモード時		—	—	400	$\mu$ A	Ta = 25 * <sup>1</sup>
			—	—	800		Ta > 50 * <sup>1</sup>
消費電流	スタンバイモード時	$I_{DD-RTC}$	—	15	25	$\mu$ A	RTC on* <sup>2</sup>
			—	3	5		RTC off
入力電圧	RESET、NMI、TRST、 ASEBRK / BRKACK、 MRESET、SLEEP、 CA	$V_{IH}$	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	PCICKL		$V_{DDQ} \times 0.6$	—	$V_{DDQ} + 0.3$		
	その他の PCI 入力端子		$V_{DDQ} \times 0.5$	—	$V_{DDQ} + 0.3$		
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST、 ASEBRK / BRKACK、 MRESET、SLEEP、 CA	$V_{IL}$	-0.3	—	$V_{DDQ} \times 0.1$		
	PCICKL		-0.3	—	$V_{DDQ} \times 0.2$		
	その他の PCI 入力端子		-0.3	—	$V_{DDQ} \times 0.3$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
入力リーク電流	全入力端子	$i_{in}$	—	—	1	$\mu$ A	$V_{in} = 0.5 \sim V_{DDQ} - 0.5V$

項目		記号	Min	Typ	Max	単位	測定条件
スリーステートリーク電流	入出力、全出力端子(オフ状態)	$ I_{sti} $	—	—	1	$\mu A$	$V_{IN}=0.5 \sim V_{DDQ}-0.5V$
出力電圧	PCI 端子	$V_{OH}$	2.4	—	—	V	$V_{DDQ}=3.0V, I_{OH}=-4mA$
	その他の出力端子		2.4	—	—		$V_{DDQ}=3.0V, I_{OH}=-2mA$
	PCI 端子	$V_{OL}$	—	—	0.55		$V_{DDQ}=3.0V, I_{OL}=4mA$
	その他の出力端子		—	—	0.55		$V_{DDQ}=3.0V, I_{OL}=2mA$
ブルアップ抵抗	全端子	$R_{pull}$	20	60	180	$k\Omega$	
端子容量	全端子	$C_L$	—	—	10	pF	

- 【注】 1. PLL や RTC の使用の有無にかかわらず、 $V_{DD-RTC}$ 、 $V_{DD-CPG}$  を  $V_{DDQ}$  に、 $V_{DD-PLL1/2}$  を  $V_{DD}$  に、 $V_{SS-CPG}$ 、 $V_{SS-PLL1/2}$ 、 $V_{SS-RTC}$  は GND に接続してください。
2. 消費電流値は  $V_{IH} \min = V_{DDQ} - 0.5 V$ 、 $V_{IL} \max = 0.5 V$  の条件で、すべての出力端子を無負荷状態にした場合の値です。
3.  $I_{DD}$  は  $V_{DD}$ 、 $V_{DD-PLL1/2}$  の電流の合計値です。
4.  $I_{DDQ}$  は  $V_{DDQ}$ 、 $V_{DD-RTC}$ 、 $V_{DD-CPG}$  の電流の合計値です。
- \*1 スタンバイモード時にリーク電流を下げるためには、RCR2.RTCEN=1 にする必要があります (EXTAL2 からクロックを入力する必要はありません)。
- \*2 RTC ON とは、RCR2.RTCEN=1 かつ EXTAL2 にクロックが入力されている状態です。
- \*3 HD6417751RBA240HV のみ、 $T_a = -40 \sim 85$  の範囲になります。

表 23.3 HD6417751RF240(V) DC 特性 (Ta = -20 ~ 75 )

項目	記号	Min	Typ	Max	単位	測定条件	
電源電圧	$V_{DDQ}$ $V_{DD-CPG}$ $V_{DD-RTC}$	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時	
	$V_{DD}$ $V_{DD-PLL1/2}$	1.4	1.5	1.6		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時	
消費電流	通常動作	$I_{DD}$	—	255	660	mA	Ick= 240MHz
			スリープモード時	—	140		
	スタンバイモード時	$I_{DD}$	—	—	400	$\mu A$	Ta = 25 * <sup>1</sup>
			—	—	800		Ta > 50 * <sup>1</sup>
消費電流	通常動作	$I_{DDQ}$	—	70	100	mA	Bck= 84MHz
			スリープモード時	—	42		
	スタンバイモード時	$I_{DDQ}$	—	—	400	$\mu A$	Ta = 25 * <sup>1</sup>
			—	—	800		Ta > 50 * <sup>1</sup>
消費電流	スタンバイモード時	$I_{DD-RTC}$	—	15	25	$\mu A$	RTC on* <sup>2</sup>
			—	3	5		RTC off
入力電圧	RESET、NMI、TRST、 ASEBRK / BRKACK、 MRESET、SLEEP、 CA	$V_{IH}$	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	PCICLK		$V_{DDQ} \times 0.6$	—	$V_{DDQ} + 0.3$		
	その他の PCI 入力端子		$V_{DDQ} \times 0.5$	—	$V_{DDQ} + 0.3$		
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST、 ASEBRK / BRKACK、 MRESET、SLEEP、 CA、	$V_{IL}$	-0.3	—	$V_{DDQ} \times 0.1$		
	PCICLK		-0.3	—	$V_{DDQ} \times 0.2$		
	その他の PCI 入力端子		-0.3	—	$V_{DDQ} \times 0.3$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
入力リーク電流	全入力端子	$ I_{in} $	—	—	1	$\mu A$	$V_{IN}=0.5 \sim V_{DDQ}-0.5V$
スリーステートリーク電流	入出力、全出力端子(オフ状態)	$ I_{sti} $	—	—	1	$\mu A$	$V_{IN}=0.5 \sim V_{DDQ}-0.5V$

項目		記号	Min	Typ	Max	単位	測定条件
出力電圧	PCI 端子	$V_{OH}$	2.4	—	—	V	$V_{DDQ}=3.0V$ 、 $I_{OH}=-4mA$
	その他の出力端子		2.4	—	—		$V_{DDQ}=3.0V$ 、 $I_{OH}=-2mA$
	PCI 端子	$V_{OL}$	—	—	0.55		$V_{DDQ}=3.0V$ 、 $I_{OL}=4mA$
	その他の出力端子		—	—	0.55		$V_{DDQ}=3.0V$ 、 $I_{OL}=2mA$
プルアップ抵抗	全端子	$R_{pull}$	20	60	180	k $\Omega$	
端子容量	全端子	$C_L$	—	—	10	pF	

- 【注】
- PLL や RTC の使用の有無にかかわらず、 $V_{DD-RTC}$ 、 $V_{DD-CPG}$  を  $V_{DDQ}$  に、 $V_{DD-PLL1/2}$  を  $V_{DD}$  に、 $V_{SS-CPG}$ 、 $V_{SS-PLL1/2}$ 、 $V_{SS-RTC}$  は GND に接続してください。
  - 消費電流値は  $V_{IH} \min = V_{DDQ} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件で、すべての出力端子を無負荷状態にした場合の値です。
  - $I_{DD}$  は  $V_{DD}$ 、 $V_{DD-PLL1/2}$  の電流の合計値です。
  - $I_{DDQ}$  は  $V_{DDQ}$ 、 $V_{DD-RTC}$ 、 $V_{DD-CPG}$  の電流の合計値です。
- \*1 スタンバイモード時にリーク電流を下げるためには、RCR2.RTCEN=1 する必要があります (EXTAL2 からクロックを入力する必要はありません)。
- \*2 RTC ON とは、RCR2.RTCEN=1 かつ EXTAL2 にクロックが入力されている状態です。

表 23.4 HD6417751RBP200(V)、HD6417751RBG200(V)、HD6417751RBA240HV\*<sup>3</sup>  
DC 特性 (Ta = -20 ~ 75 \*<sup>4</sup>)

項目		記号	Min	Typ	Max	単位	測定条件
電源電圧		$V_{DDQ}$ $V_{DD-CPG}$ $V_{DD-RTC}$	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
		$V_{DD}$ $V_{DD-PLL1/2}$	1.35	1.5	1.6		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
消費電流	通常動作	$I_{DD}$	—	210	550	mA	Ick= 200MHz
	スリープモード時		—	115	150		
	スタンバイモード時	$I_{DDQ}$	—	—	400	$\mu A$	Ta = 25 * <sup>1</sup>
			—	—	800		Ta > 50 * <sup>1</sup>
消費電流	通常動作	$I_{DDQ}$	—	85	120	mA	Bck= 100MHz
	スリープモード時		—	50	95		
	スタンバイモード時	$I_{DDQ}$	—	—	400	$\mu A$	Ta = 25 * <sup>1</sup>
			—	—	800		Ta > 50 * <sup>1</sup>
消費電流	スタンバイモード時	$I_{DD-RTC}$	—	15	25	$\mu A$	RTC on* <sup>2</sup>
			—	3	5		RTC off
入力電圧	RESET、NMI、TRST、 ASEBRK / BRKACK、 MRESET、SLEEP、 CA	$V_{IH}$	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	PCICKL		$V_{DDQ} \times 0.6$	—	$V_{DDQ} + 0.3$		
入力電圧	その他の PCI 入力端子	$V_{IH}$	$V_{DDQ} \times 0.5$	—	$V_{DDQ} + 0.3$	V	
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST、 ASEBRK / BRKACK、 MRESET、SLEEP、 CA	$V_{IL}$	-0.3	—	$V_{DDQ} \times 0.1$		
	PCICKL		-0.3	—	$V_{DDQ} \times 0.2$		
	その他の PCI 入力端子	$V_{IL}$	-0.3	—	$V_{DDQ} \times 0.3$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
入力リーク電流	全入力端子	$ I_{in} $	—	—	1	$\mu A$	$V_{IN} = 0.5 \sim V_{DDQ} - 0.5V$
スリーステートリーク電流	入出力、全出力端子 (オフ状態)	$ I_{st} $	—	—	1	$\mu A$	$V_{IN} = 0.5 \sim V_{DDQ} - 0.5V$



項目		記号	Min	Typ	Max	単位	測定条件
出力電圧	PCI 端子	$V_{OH}$	2.4	—	—	V	$V_{DDQ}=3.0V$ 、 $I_{OH}=-4mA$
	その他の出力端子		2.4	—	—		$V_{DDQ}=3.0V$ 、 $I_{OH}=-2mA$
	PCI 端子	$V_{OL}$	—	—	0.55		$V_{DDQ}=3.0V$ 、 $I_{OL}=4mA$
	その他の出力端子		—	—	0.55		$V_{DDQ}=3.0V$ 、 $I_{OL}=2mA$
ブルアップ抵抗	全端子	$R_{pull}$	20	60	180	k $\Omega$	
端子容量	全端子	$C_L$	—	—	10	pF	

- 【注】
- PLL や RTC の使用の有無にかかわらず、 $V_{DD-RTC}$ 、 $V_{DD-CPG}$  を  $V_{DDQ}$  に、 $V_{DD-PLL1/2}$  を  $V_{DD}$  に、 $V_{SS-CPG}$ 、 $V_{SS-PLL1/2}$ 、 $V_{SS-RTC}$  は GND に接続してください。
  - 消費電流値は  $V_{IH} \min = V_{DDQ} - 0.5 V$ 、 $V_{IL} \max = 0.5 V$  の条件で、すべての出力端子を無負荷状態にした場合の値です。
  - $I_{DD}$  は  $V_{DD}$ 、 $V_{DD-PLL1/2}$  の電流の合計値です。
  - $I_{DDQ}$  は  $V_{DDQ}$ 、 $V_{DD-RTC}$ 、 $V_{DD-CPG}$  の電流の合計値です。
- \*1 スタンバイモード時にリーク電流を下げるためには、RCR2.RTCEN=1 する必要があります (EXTAL2 からクロックを入力する必要はありません)。
- \*2 RTC ON とは、RCR2.RTCEN=1 かつ EXTAL2 にクロックが入力されている状態です。
- \*3 HD6417751RBA240HV を 200MHz の仕様で使用する場合になります。
- \*4 HD6417751RBA240HV のみ、 $T_a = -40 \sim 85$  の範囲になります。

表 23.5 HD6417751RF200(V) DC 特性 (Ta = -20 ~ 75 )

項目		記号	Min	Typ	Max	単位	測定条件
電源電圧		$V_{DDQ}$ $V_{DD-CPG}$ $V_{DD-RTC}$	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
		$V_{DD}$ $V_{DD-PLL1/2}$	1.35	1.5	1.6		ノーマルモード時 スリープモード時 ディープスリープモード時 スタンバイモード時
消費電流	通常動作	$I_{DD}$	—	210	550	mA	Ick= 200MHz
	スリープモード時		—	115	150		
	スタンバイモード時	$I_{DDQ}$	—	—	400	$\mu A$	Ta = 25 * <sup>1</sup>
			—	—	800		Ta > 50 * <sup>1</sup>
消費電流	通常動作	$I_{DDQ}$	—	70	100	mA	Bck= 84MHz
	スリープモード時		—	42	80		
	スタンバイモード時	$I_{DDQ}$	—	—	400	$\mu A$	Ta = 25 * <sup>1</sup>
			—	—	800		Ta > 50 * <sup>1</sup>
消費電流	スタンバイモード時	$I_{DD-RTC}$	—	15	25	$\mu A$	RTC on* <sup>2</sup>
			—	3	5		RTC off
入力電圧	RESET、NMI、TRST、 ASEBRK / BRKACK、 MRESET、SLEEP、 CA	$V_{IH}$	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	PCICLK		$V_{DDQ} \times 0.6$	—	$V_{DDQ} + 0.3$		
	その他の PCI 入力端子		$V_{DDQ} \times 0.5$	—	$V_{DDQ} + 0.3$		
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST、 TRST、ASEBRK / BRKACK、 MRESET、SLEEP、 CA	$V_{IL}$	-0.3	—	$V_{DDQ} \times 0.1$		
	PCICLK		-0.3	—	$V_{DDQ} \times 0.2$		
	その他の PCI 入力端子		-0.3	—	$V_{DDQ} \times 0.3$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
入力リーク 電流	全入力端子	Iin	—	—	1	$\mu A$	$V_{IN}=0.5 \sim V_{DDQ}-0.5V$
スリーステ ートリーク 電流	入出力、全出力端子(オ フ状態)	Isti	—	—	1	$\mu A$	$V_{IN}=0.5 \sim V_{DDQ}-0.5V$

項目		記号	Min	Typ	Max	単位	測定条件
出力電圧	PCI 端子	$V_{OH}$	2.4	—	—	V	$V_{DDQ}=3.0V$ 、 $I_{OH}=-4mA$
	その他の出力端子		2.4	—	—		$V_{DDQ}=3.0V$ 、 $I_{OH}=-2mA$
	PCI 端子	$V_{OL}$	—	—	0.55		$V_{DDQ}=3.0V$ 、 $I_{OL}=4mA$
	その他の出力端子		—	—	0.55		$V_{DDQ}=3.0V$ 、 $I_{OL}=2mA$
ブルアップ抵抗	全端子	$R_{pull}$	20	60	180	k $\Omega$	
端子容量	全端子	$C_L$	—	—	10	pF	

- 【注】
- PLL や RTC の使用の有無にかかわらず、 $V_{DD-RTC}$ 、 $V_{DD-CPG}$  を  $V_{DDQ}$  に、 $V_{DD-PLL1/2}$  を  $V_{DD}$  に、 $V_{SS-CPG}$ 、 $V_{SS-PLL1/2}$ 、 $V_{SS-RTC}$  は GND に接続してください。
  - 消費電流値は  $V_{IH} \min = V_{DDQ} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件で、すべての出力端子を無負荷状態にした場合の値です。
  - $I_{DD}$  は  $V_{DD}$ 、 $V_{DD-PLL1/2}$  の電流の合計値です。
  - $I_{DDQ}$  は  $V_{DDQ}$ 、 $V_{DD-RTC}$ 、 $V_{DD-CPG}$  の電流の合計値です。
- \*1 スタンバイモード時にリーク電流を下げるためには、RCR2.RTCEN=1 する必要があります (EXTAL2 からクロックを入力する必要はありません)。
- \*2 RTC ON とは、RCR2.RTCEN=1 かつ EXTAL2 にクロックが入力されている状態です。

表 23.6 DC 特性 (HD6417751BP167(V) : Ta = -20 ~ 75 )

項目		記号	Min	Typ	Max	単位	測定条件
電源電圧		$V_{DDQ}$	3.0	3.3	3.6	V	ノーマルモード時
		$V_{DD-CPG}$ $V_{DD-RTC}$					スリープモード時 スタンバイモード時
		$V_{DD}$ $V_{DD-PLL1/2}$	1.6	1.8	2.0		ノーマルモード時 スリープモード時 スタンバイモード時
消費電流	通常動作	$I_{DD}$	—	420	750	mA	lck=167MHz
	スリープモード時		—	100	130		
	スタンバイモード時		—	—	400	$\mu$ A	Ta = 25 (RTC on)* <sup>1</sup>
			—	—	800		Ta > 50 (RTC on)* <sup>1</sup>
消費電流	通常動作	$I_{DDQ}$	—	70	100	mA	lck=167MHz
	スリープモード時		—	40	80		
	スタンバイモード時		—	—	400	$\mu$ A	Ta = 25 (RTC on)* <sup>1</sup>
			—	—	800		Ta > 50 (RTC on)* <sup>1</sup>
消費電流	スタンバイモード時	$I_{DD-RTC}$	—	—	25	$\mu$ A	RTC on
			—	—	5		RTC off
入力電圧	RESET、NMI、TRST、 ASEBRK / BRKACK、 MRESET、SLEEP、 CA	$V_{IH}$	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	PCICLK		$V_{DDQ} \times 0.6$	—	$V_{DDQ} + 0.3$		
	その他の PCI 入力端子		$V_{DDQ} \times 0.5$	—	$V_{DDQ} + 0.3$		
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
	RESET、NMI、TRST、 ASEBRK / BRKACK、 MRESET、SLEEP、 CA	$V_{IL}$	-0.3	—	$V_{DDQ} \times 0.1$		
	PCICLK		-0.3	—	$V_{DDQ} \times 0.2$		
	その他の PCI 入力端子		-0.3	—	$V_{DDQ} \times 0.3$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
入力リーク電流	全入力端子	I <sub>in</sub>	—	—	1	$\mu$ A	$V_{IN}=0.5 - V_{DDQ}-0.5V$
スリーステートリーク電流	入出力、全出力端子(オフ状態)	I <sub>sti</sub>	—	—	1	$\mu$ A	$V_{IN}=0.5 - V_{DDQ}-0.5V$

項目		記号	Min	Typ	Max	単位	測定条件
出力電圧	PCI 端子	$V_{OH}$	2.4	—	—	V	$V_{DDQ}=3.0V$ 、 $I_{OH}=-4mA$
	その他の出力端子		2.4	—	—		$V_{DDQ}=3.0V$ 、 $I_{OH}=-2mA$
	PCI 端子	$V_{OL}$	—	—	0.55		$V_{DDQ}=3.0V$ 、 $I_{OL}=4mA$
	その他の出力端子		—	—	0.55		$V_{DDQ}=3.0V$ 、 $I_{OL}=2mA$
ブルアップ抵抗	全端子	$R_{pull}$	20	60	180	k $\Omega$	
端子容量	全端子	$C_L$	—	—	10	pF	

- 【注】
- PLL や RTC の使用の有無にかかわらず、 $V_{DD-RTC}$ 、 $V_{DD-CPG}$  を  $V_{DDQ}$  に、 $V_{DD-PLL1/2}$  を  $V_{DD}$  に、 $V_{SS-CPG}$ 、 $V_{SS-PLL1/2}$ 、 $V_{SS-RTC}$  は GND に接続してください。
  - 消費電流値は  $V_{IH} \min = V_{DDQ} - 0.5 V$ 、 $V_{IL} \max = 0.5 V$  の条件で、すべての出力端子を無負荷状態にした場合の値です。
  - $I_{DD}$  は  $V_{DD}$ 、 $V_{DD-PLL1/2}$  の電流の合計値です。
  - $I_{DDQ}$  は  $V_{DDQ}$ 、 $V_{DD-RTC}$ 、 $V_{DD-CPG}$  の電流の合計値です。
- \*1 スタンバイモード時にリーク電流を下げるためには、RTC をオン (RCR2.RTCEN=1 かつ EXTERNAL2 にクロックが入力されている) にする必要があります。

表 23.7 DC 特性 (HD6417751F167(V) : Ta = -20 ~ 75 )

項目		記号	Min	Typ	Max	単位	測定条件
電源電圧		$V_{DDQ}$	3.0	3.3	3.6	V	ノーマルモード時 スリープモード時 スタンバイモード時
		$V_{DD-CPG}$ $V_{DD-RTC}$					ノーマルモード時 スリープモード時 スタンバイモード時
消費電流	通常動作	$I_{DD}$	—	420	750	mA	I <sub>ck</sub> =167MHz
	スリープモード時		—	100	130		
	スタンバイモード時		—	—	400	μA	Ta = 25 (RTC on)* <sup>1</sup>
			—	—	800		Ta > 50 (RTC on)* <sup>1</sup>
消費電流	通常動作	$I_{DDQ}$	—	70	100	mA	I <sub>ck</sub> =167MHz B <sub>ck</sub> = 84MHz
	スリープモード時		—	40	80		
	スタンバイモード時		—	—	400	μA	Ta = 25 (RTC on)* <sup>1</sup>
			—	—	800		Ta > 50 (RTC on)* <sup>1</sup>
消費電流	スタンバイモード時	$I_{DD-RTC}$	—	—	25	μA	RTC on
			—	—	5		RTC off
入力電圧	RESET、NMI、TRST、 ASEBRK / BRKACK、 MRESET、SLEEP、 CA	$V_{IH}$	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	
	PCICLK		$V_{DDQ} \times 0.6$	—	$V_{DDQ} + 0.3$		
	その他の PCI 入力端子		$V_{DDQ} \times 0.5$	—	$V_{DDQ} + 0.3$		
	その他入力端子		2.0	—	$V_{DDQ} + 0.3$		
入力電圧	RESET、NMI、TRST、 ASEBRK / BRKACK、 MRESET、SLEEP、 CA	$V_{IL}$	-0.3	—	$V_{DDQ} \times 0.1$	V	
	PCICLK		-0.3	—	$V_{DDQ} \times 0.2$		
	その他の PCI 入力端子		-0.3	—	$V_{DDQ} \times 0.3$		
	その他入力端子		-0.3	—	$V_{DDQ} \times 0.2$		
入力リーク電流	全入力端子	I <sub>in</sub>	—	—	1	μA	V <sub>IN</sub> =0.5 ~ V <sub>DDQ</sub> -0.5V
スリーステートリーク電流	入出力、全出力端子(オフ状態)	I <sub>sti</sub>	—	—	1	μA	V <sub>IN</sub> =0.5 ~ V <sub>DDQ</sub> -0.5V

項目		記号	Min	Typ	Max	単位	測定条件
出力電圧	PCI 端子	$V_{OH}$	2.4	—	—	V	$V_{DDQ}=3.0V$ 、 $I_{OH}=-4mA$
	その他の出力端子		2.4	—	—		$V_{DDQ}=3.0V$ 、 $I_{OH}=-2mA$
	PCI 端子	$V_{OL}$	—	—	0.55		$V_{DDQ}=3.0V$ 、 $I_{OL}=4mA$
	その他の出力端子		—	—	0.55		$V_{DDQ}=3.0V$ 、 $I_{OL}=2mA$
ブルアップ抵抗	全端子	$R_{pull}$	20	60	180	k $\Omega$	
端子容量	全端子	$C_L$	—	—	10	pF	

- 【注】 1. PLL や RTC の使用の有無にかかわらず、 $V_{DD-RTC}$ 、 $V_{DD-CPG}$  を  $V_{DDQ}$  に、 $V_{DD-PLL1/2}$  を  $V_{DD}$  に、 $V_{SS-CPG}$ 、 $V_{SS-PLL1/2}$ 、 $V_{SS-RTC}$  は GND に接続してください。
2. 消費電流値は  $V_{IH} \min = V_{DDQ} - 0.5 V$ 、 $V_{IL} \max = 0.5 V$  の条件で、すべての出力端子を無負荷状態にした場合の値です。
3.  $I_{DD}$  は  $V_{DD}$ 、 $V_{DD-PLL1/2}$  の電流の合計値です。
4.  $I_{DDQ}$  は  $V_{DDQ}$ 、 $V_{DD-RTC}$ 、 $V_{DD-CPG}$  の電流の合計値です。
- \*1 スタンバイモード時にリーク電流を下げるためには、RTC をオン (RCR2.RTCEN=1 かつ EXTERNAL2 にクロックが入力されている) にする必要があります。

表 23.8 出力許容電流値

項目	記号	Min	Typ	Max	単位
出力ローレベル許容電流 (1 端子あたり (PCI 端子以外))	$I_{OL}$	—	—	2	mA
出力ローレベル許容電流 (1 端子あたり (PCI 端子))	$I_{OL}$	—	—	4	
出力ローレベル許容電流 (総和)	$\Sigma I_{OL}$	—	—	120	
出力ハイレベル許容電流 (1 端子あたり (PCI 端子以外))	$-I_{OH}$	—	—	2	
出力ハイレベル許容電流 (1 端子あたり (PCI 端子))	$-I_{OH}$	—	—	4	
出力ハイレベル許容電流 (総和)	$\Sigma(-I_{OH})$	—	—	40	

【注】 LSI の信頼性を確保するため、出力電流値は表 23.8 の値を超えないようにしてください。

## 23.3 AC 特性

本 LSI の入力は、原則としてクロック同期入力です。特に断りがない限り、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 23.9 クロックタイミング  
(HD6417751RBP240(V)、HD6417751RBG240(V)、HD6417751RBA240HV)

項目		記号	Min	Typ	Max	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	—	240	MHz
	外部バス		1	—	120	
	周辺モジュール		1	—	60	

表 23.10 クロックタイミング (HD6417751RF240(V))

項目		記号	Min	Typ	Max	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	—	240	MHz
	外部バス		1	—	84	
	周辺モジュール		1	—	60	

表 23.11 クロックタイミング  
(HD6417751RBP200(V)、HD6417751RBG200(V)、HD6417751RBA240HV\*<sup>1</sup>)

項目		記号	Min	Typ	Max	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	—	200	MHz
	外部バス		1	—	100	
	周辺モジュール		1	—	50	

【注】 \*1 HD6417751RBA240HV を 200MHz の仕様で使用する場合になります。

表 23.12 クロックタイミング (HD6417751RF200(V))

項目		記号	Min	Typ	Max	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	—	200	MHz
	外部バス		1	—	84	
	周辺モジュール		1	—	50	

表 23.13 クロックタイミング (HD6417751BP167(V)、HD6417751F167(V))

項目		記号	Min	Typ	Max	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	—	167	MHz
	外部バス		1	—	84	
	周辺モジュール		1	—	42	



## 23.3.1 クロック・制御信号タイミング

表 23.14 クロック・制御信号タイミング

(HD6417751RBP240(V)、HD6417751RBG240(V)、HD6417751RBA240HV :

 $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim +75$  \*<sup>2</sup>、 $C_i=30pF$ )

項目		記号	Min	Max	単位	参照図
EXTAL クロック入力周 波数	PLL1 6 逓倍 / PLL2 動作時	$f_{EX}$	16	34	MHz	
	PLL1 12 逓倍 / PLL2 動作時		14	20		
	PLL1 / PLL2 非動作時		1	34		
EXTAL クロックインプットサイクルタイム		$t_{EXCYC}$	30	1000	ns	23.1
EXTAL クロックインプットローレベルパルス幅		$t_{EXL}$	3.5	-	ns	23.1
EXTAL クロックインプットハイレベルパルス幅		$t_{EXH}$	3.5	-	ns	23.1
EXTAL クロック入力立ち上がり時間		$t_{EXr}$	-	4	ns	23.1
EXTAL クロック入力立ち下がり時間		$t_{EXf}$	-	4	ns	23.1
CKIO クロック出力	PLL1/PLL2 動作時	$f_{OP}$	25	120	MHz	
	PLL1/PLL2 非動作時		1	34	MHz	
CKIO クロック出力サイクルタイム		$t_{CYC}$	8.3	1000	ns	23.2 (1)
CKIO クロック出力ローレベルパルス幅		$t_{CKOL1}$	1	-	ns	23.2 (1)
CKIO クロック出力ハイレベルパルス幅		$t_{CKOH1}$	1	-	ns	23.2 (1)
CKIO クロック出力立ち上がり時間		$t_{CKOr}$	-	3	ns	23.2 (1)
CKIO クロック出力立ち下がり時間		$t_{CKOf}$	-	3	ns	23.2 (1)
CKIO クロック出力ローレベルパルス幅		$t_{CKOL2}$	3	-	ns	23.2 (2)
CKIO クロック出力ハイレベルパルス幅		$t_{CKOH2}$	3	-	ns	23.2 (2)
パワーオン発振安定時間		$t_{OSC1}$	10	-	ms	23.3、23.5
パワーオン発振安定時間 / モード安定		$t_{OSCMD}$	10	-	ms	23.3、23.5
MD リセットセットアップ時間		$t_{MDRS}$	3	-	$t_{CYC}$	
MD リセットホールド時間		$t_{MDRH}$	20	-	ns	23.3、23.5
RESET アサート時間		$t_{RESW}$	20	-	$t_{CYC}$	23.3、23.4、23.5、23.6
PLL 同期安定化時間		$t_{PLL}$	200	-	$\mu s$	23.9、23.10
スタンバイ復帰発振安定時間 1		$t_{OSC2}$	3	-	ms	23.4、23.6
スタンバイ復帰発振安定時間 2		$t_{OSC3}$	3	-	ms	23.7
スタンバイ復帰発振安定時間 3		$t_{OSC4}$	3	-	ms	23.8
スタンバイ復帰発振安定時間 1* <sup>1</sup>		$t_{OSC2}$	2	-	ms	
スタンバイ復帰発振安定時間 2* <sup>1</sup>		$t_{OSC3}$	2	-	ms	
スタンバイ復帰発振安定時間 3* <sup>1</sup>		$t_{OSC4}$	2	-	ms	
IRL 割り込み判定時間 (RTC 使用&スタンバイモード時)		$t_{IRLSTB}$	-	200	$\mu s$	23.10
TRST リセットホールド時間		$t_{TRSTRH}$	0	-	ns	23.3、23.5

【注】 1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバーターン水晶発振子を使用する場合には、外付け回路として、タンク回路が必要になります。

2. PLL2 動作時は、CKIO 端子からフィードバックがかかるため、CKIO 端子への接続負荷容量は、最大 50pF としてください。

\*1 水晶発振子の発振安定時間が 1ms 以下の場合

\*2 HD6417751RBA240HV のみ、 $T_a=-40\sim 85$  の範囲になります。

表 23.15 クロック・制御信号タイミング

(HD6417751RF240(V) :  $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim +75$ 、 $C_L=30pF$ )

項目		記号	Min	Max	単位	参照図
EXTAL クロック入力周 波数	PLL1 6 逓倍 / PLL2 動作時	$f_{EX}$	16	34	MHz	
	PLL1 12 逓倍 / PLL2 動作時		14	20		
	PLL1 / PLL2 非動作時		1	34		
EXTAL クロックインプットサイクルタイム		$t_{EXyc}$	30	1000	ns	23.1
EXTAL クロックインプットローレベルパルス幅		$t_{EXL}$	3.5	-	ns	23.1
EXTAL クロックインプットハイレベルパルス幅		$t_{EXH}$	3.5	-	ns	23.1
EXTAL クロック入力立ち上がり時間		$t_{EXr}$	-	4	ns	23.1
EXTAL クロック入力立ち下がり時間		$t_{EXf}$	-	4	ns	23.1
CKIO クロック出力	PLL1/PLL2 動作時	$f_{OP}$	25	84	MHz	
	PLL1/PLL2 非動作時		1	34	MHz	
CKIO クロック出力サイクルタイム		$t_{cyc}$	11.9	1000	ns	23.2 (1)
CKIO クロック出力ローレベルパルス幅		$t_{CKOL1}$	1	-	ns	23.2 (1)
CKIO クロック出力ハイレベルパルス幅		$t_{CKOH1}$	1	-	ns	23.2 (1)
CKIO クロック出力立ち上がり時間		$t_{CKOr}$	-	3	ns	23.2 (1)
CKIO クロック出力立ち下がり時間		$t_{CKOf}$	-	3	ns	23.2 (1)
CKIO クロック出力ローレベルパルス幅		$t_{CKOL2}$	3	-	ns	23.2 (2)
CKIO クロック出力ハイレベルパルス幅		$t_{CKOH2}$	3	-	ns	23.2 (2)
パワーオン発振安定時間		$t_{OSC1}$	10	-	ms	23.3、23.5
パワーオン発振安定時間 / モード安定		$t_{OSCMD}$	10	-	ms	23.3、23.5
MD リセットセットアップ時間		$t_{MDRS}$	3	-	$t_{cyc}$	
MD リセットホールド時間		$t_{MDRH}$	20	-	ns	23.3、23.5
RESET アサート時間		$t_{RESW}$	20	-	$t_{cyc}$	23.3、23.4、23.5、23.6
PLL 同期安定化時間		$t_{PLL}$	200	-	$\mu s$	23.9、23.10
スタンバイ復帰発振安定時間 1		$t_{OSC2}$	3	-	ms	23.4、23.6
スタンバイ復帰発振安定時間 2		$t_{OSC3}$	3	-	ms	23.7
スタンバイ復帰発振安定時間 3		$t_{OSC4}$	3	-	ms	23.8
スタンバイ復帰発振安定時間 1* <sup>1</sup>		$t_{OSC2}$	2	-	ms	
スタンバイ復帰発振安定時間 2* <sup>1</sup>		$t_{OSC3}$	2	-	ms	
スタンバイ復帰発振安定時間 3* <sup>1</sup>		$t_{OSC4}$	2	-	ms	
IRL 割り込み判定時間		$t_{IRLSTB}$	-	200	$\mu s$	23.10
TRST リセットホールド時間		$t_{TRSTRH}$	0	-	ns	23.3、23.5

【注】 1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバートーン水晶発振子を使用する場合には、外付け回路として、タンク回路が必要になります。

2. PLL2 動作時は、CKIO 端子からフィードバックがかかるため、CKIO 端子への接続負荷容量は、最大 50pF としてください。

\*1 水晶発振子の発振安定時間が 1ms 以下の場合

表 23.16 クロック・制御信号タイミング

(HD6417751RBP200(V)、HD6417751RBG200(V)、HD6417751RBA240HV)\*<sup>2</sup>:  $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim +75$  \*<sup>3</sup>、 $C_L=30pF$ )

項目		記号	Min	Max	単位	参照図
EXTAL クロック入力周 波数	PLL1 6 逓倍 / PLL2 動作時	$f_{EX}$	16	34	MHz	
	PLL1 12 逓倍 / PLL2 動作時		14	17		
	PLL1 / PLL2 非動作時		1	34		
EXTAL クロックインプットサイクルタイム		$t_{EXCyc}$	30	1000	ns	23.1
EXTAL クロックインプットローレベルパルス幅		$t_{EXL}$	3.5	-	ns	23.1
EXTAL クロックインプットハイレベルパルス幅		$t_{EXH}$	3.5	-	ns	23.1
EXTAL クロック入力立ち上がり時間		$t_{EXr}$	-	4	ns	23.1
EXTAL クロック入力立ち下がり時間		$t_{EXf}$	-	4	ns	23.1
CKIO クロック出力	PLL1/PLL2 動作時	$f_{OP}$	25	100	MHz	
	PLL1/PLL2 非動作時		1	34	MHz	
CKIO クロック出力サイクルタイム		$t_{Cyc}$	10	1000	ns	23.2 (1)
CKIO クロック出力ローレベルパルス幅		$t_{CKOL1}$	1	-	ns	23.2 (1)
CKIO クロック出力ハイレベルパルス幅		$t_{CKOH1}$	1	-	ns	23.2 (1)
CKIO クロック出力立ち上がり時間		$t_{CKOr}$	-	3	ns	23.2 (1)
CKIO クロック出力立ち下がり時間		$t_{CKOf}$	-	3	ns	23.2 (1)
CKIO クロック出力ローレベルパルス幅		$t_{CKOL2}$	3	-	ns	23.2 (2)
CKIO クロック出力ハイレベルパルス幅		$t_{CKOH2}$	3	-	ns	23.2 (2)
パワーオン発振安定時間		$t_{OSC1}$	10	-	ms	23.3、23.5
パワーオン発振安定時間 / モード安定		$t_{OSCMD}$	10	-	ms	23.3、23.5
MD リセットセットアップ時間		$t_{MDRS}$	3	-	$t_{Cyc}$	
MD リセットホールド時間		$t_{MDRH}$	20	-	ns	23.3、23.5
RESET アサート時間		$t_{RESW}$	20	-	$t_{Cyc}$	23.3、23.4、23.5、23.6
PLL 同期安定化時間		$t_{PLL}$	200	-	$\mu s$	23.9、23.10
スタンバイ復帰発振安定時間 1		$t_{OSC2}$	5	-	ms	23.4、23.6
スタンバイ復帰発振安定時間 2		$t_{OSC3}$	5	-	ms	23.7
スタンバイ復帰発振安定時間 3		$t_{OSC4}$	5	-	ms	23.8
スタンバイ復帰発振安定時間 1* <sup>1</sup>		$t_{OSC2}$	2	-	ms	
スタンバイ復帰発振安定時間 2* <sup>1</sup>		$t_{OSC3}$	2	-	ms	
スタンバイ復帰発振安定時間 3* <sup>1</sup>		$t_{OSC4}$	2	-	ms	
IRL 割り込み判定時間 (RTC 使用&スタンバイモード時)		$t_{IRLSTB}$	-	200	$\mu s$	23.10
TRST リセットホールド時間		$t_{TRSTRH}$	0	-	ns	23.3、23.5

【注】 1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバートーン水晶発振子を使用する場合には、外付け回路として、タンク回路が必要になります。

2. PLL2 動作時は、CKIO 端子からフィードバックがかかるため、CKIO 端子への接続負荷容量は、最大 50pF としてください。

\*1 水晶発振子の発振安定時間が 1ms 以下の場合

\*2 HD6417751RBA240HV を 200MHz の仕様で使用する場合になります。

\*3 HD6417751RBA240HV のみ、 $T_a=-40\sim 85$  の範囲になります。

表 23.17 クロック・制御信号タイミング

(HD6417751RF200(V) :  $V_{DD0} = 3.0 \sim 3.6V$ 、 $V_{DD} = 1.5V$ 、 $T_a = -20 \sim +75$ 、 $C_L = 30pF$ )

項目		記号	Min	Max	単位	参照図
EXTAL クロック入力周 波数	PLL1 6 逓倍 / PLL2 動作時	$f_{EX}$	16	34	MHz	
	PLL1 12 逓倍 / PLL2 動作時		14	17		
	PLL1 / PLL2 非動作時		1	34		
EXTAL クロックインプットサイクルタイム		$t_{EXCyc}$	30	1000	ns	23.1
EXTAL クロックインプットローレベルパルス幅		$t_{EXL}$	3.5	-	ns	23.1
EXTAL クロックインプットハイレベルパルス幅		$t_{EXH}$	3.5	-	ns	23.1
EXTAL クロック入力立ち上がり時間		$t_{EXr}$	-	4	ns	23.1
EXTAL クロック入力立ち下がり時間		$t_{EXf}$	-	4	ns	23.1
CKIO クロック出力	PLL1/PLL2 動作時	$f_{OP}$	25	84	MHz	
	PLL1/PLL2 非動作時		1	34	MHz	
CKIO クロック出力サイクルタイム		$t_{Cyc}$	11.9	1000	ns	23.2 (1)
CKIO クロック出力ローレベルパルス幅		$t_{CKOL1}$	1	-	ns	23.2 (1)
CKIO クロック出力ハイレベルパルス幅		$t_{CKOH1}$	1	-	ns	23.2 (1)
CKIO クロック出力立ち上がり時間		$t_{CKOr}$	-	3	ns	23.2 (1)
CKIO クロック出力立ち下がり時間		$t_{CKOf}$	-	3	ns	23.2 (1)
CKIO クロック出力ローレベルパルス幅		$t_{CKOL2}$	3	-	ns	23.2 (2)
CKIO クロック出力ハイレベルパルス幅		$t_{CKOH2}$	3	-	ns	23.2 (2)
パワーオン発振安定時間		$t_{OSC1}$	10	-	ms	23.3、23.5
パワーオン発振安定時間 / モード安定		$t_{OSCMD}$	10	-	ms	23.3、23.5
MD リセットセットアップ時間		$t_{MDRS}$	3	-	$t_{Cyc}$	
MD リセットホールド時間		$t_{MDRH}$	20	-	ns	23.3、23.5
RESET アサート時間		$t_{RESW}$	20	-	$t_{Cyc}$	23.3、23.4、23.5、23.6
PLL 同期安定化時間		$t_{PLL}$	200	-	$\mu s$	23.9、23.10
スタンバイ復帰発振安定時間 1		$t_{OSC2}$	5	-	ms	23.4、23.6
スタンバイ復帰発振安定時間 2		$t_{OSC3}$	5	-	ms	23.7
スタンバイ復帰発振安定時間 3		$t_{OSC4}$	5	-	ms	23.8
スタンバイ復帰発振安定時間 1*1		$t_{OSC2}$	2	-	ms	
スタンバイ復帰発振安定時間 2*1		$t_{OSC3}$	2	-	ms	
スタンバイ復帰発振安定時間 3*1		$t_{OSC4}$	2	-	ms	
IRL 割り込み判定時間 (RTC 使用&スタンバイモード時)		$t_{IRLSTB}$	-	200	$\mu s$	23.10
TRST リセットホールド時間		$t_{TRSTRH}$	0	-	ns	23.3、23.5

- 【注】 1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 34MHz になります。また、3 次オーバートーン水晶発振子を使用する場合には、外付け回路として、タンク回路が必要になります。
2. PLL2 動作時は、CKIO 端子からフィードバックがかかるため、CKIO 端子への接続負荷容量は、最大 50pF としてください。
- \*1 水晶発振子の発振安定時間が 1ms 以下の場合

表 23.18 クロック・制御信号タイミング

(HD6417751BP167(V)、HD6417751F167(V) :  $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ )

項目		記号	Min	Max	単位	参照図	
EXTAL クロック入力周 波数	PLL1 / PLL2 動作時	1/2 div. 動作時	$f_{EX}$	30	56	MHz	
		1/2 div. 非動作時		15	28		
	PLL1 / PLL2 非動作時	1/2 div. 動作時	2	56			
		1/2 div. 非動作時	1	28			
EXTAL クロックインプットサイクルタイム		$t_{EXCyc}$	17.8	1000	ns	23.1	
EXTAL クロックインプットローレベルパルス幅		$t_{EXL}$	3.5	-	ns	23.1	
EXTAL クロックインプットハイレベルパルス幅		$t_{EXH}$	3.5	-	ns	23.1	
EXTAL クロック入力立ち上がり時間		$t_{EXr}$	-	4	ns	23.1	
EXTAL クロック入力立ち下がり時間		$t_{EXf}$	-	4	ns	23.1	
CKIO クロック出力	PLL2 動作時	$f_{OP}$	30	84	MHz		
	PLL2 非動作時	$f_{OP}$	1	84	MHz		
CKIO クロック出力サイクルタイム		$t_{Cyc}$	11.9	1000	ns	23.2 (1)	
CKIO クロック出力ローレベルパルス幅		$t_{CKOL1}$	1	-	ns	23.2 (1)	
CKIO クロック出力ハイレベルパルス幅		$t_{CKOH1}$	1	-	ns	23.2 (1)	
CKIO クロック出力立ち上がり時間		$t_{CKOr}$	-	3	ns	23.2 (1)	
CKIO クロック出力立ち下がり時間		$t_{CKOf}$	-	3	ns	23.2 (1)	
CKIO クロック出力ローレベルパルス幅		$t_{CKOL2}$	3	-	ns	23.2 (2)	
CKIO クロック出力ハイレベルパルス幅		$t_{CKOH2}$	3	-	ns	23.2 (2)	
パワーオン発振安定時間		$t_{OSC1}$	10	-	ms	23.3、23.5	
パワーオン発振安定時間 / モード安定		$t_{OSCMD}$	10	-	ms	23.3、23.5	
MD リセットセットアップ時間		$t_{MDRS}$	3	-	$t_{Cyc}$		
MD リセットホールド時間		$t_{MDRH}$	20	-	ns	23.3、23.5	
RESET アサート時間		$t_{RESW}$	20	-	$t_{Cyc}$	23.3、23.4、23.5、23.6	
PLL 同期安定化時間		$t_{PLL}$	200	-	$\mu s$	23.9、23.10	
スタンバイ復帰発振安定時間 1		$t_{OSC2}$	10	-	ms	23.4、23.6	
スタンバイ復帰発振安定時間 2		$t_{OSC3}$	5	-	ms	23.7	
スタンバイ復帰発振安定時間 3		$t_{OSC4}$	5	-	ms	23.8	
IRL 割り込み判定時間 (RTC 使用&スタンバイモード時)		$t_{IRLSTB}$	-	200	$\mu s$	23.10	
TRST リセットホールド時間		$t_{TRSTRH}$	0	-	ns	23.3、23.5	

- 【注】
1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 28MHz になります。また、3 次オーバートーン水晶発振子を使用する場合には、外付け回路として、タンク回路が必要になります。
  2. PLL2 動作時は CKIO 端子からフィードバックがかかるため、CKIO 端子への接続負荷容量は最大 50pF としてください。

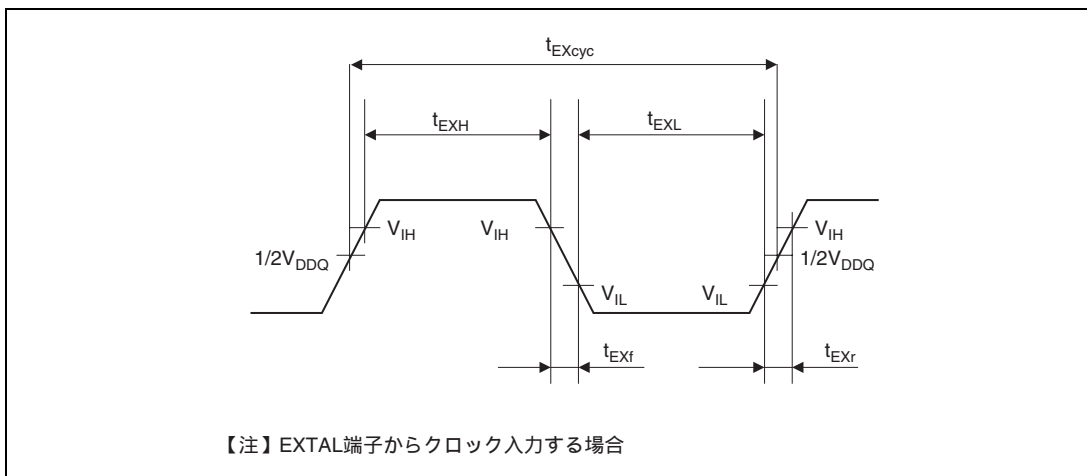


図 23.1 EXTERNAL クロック入力タイミング

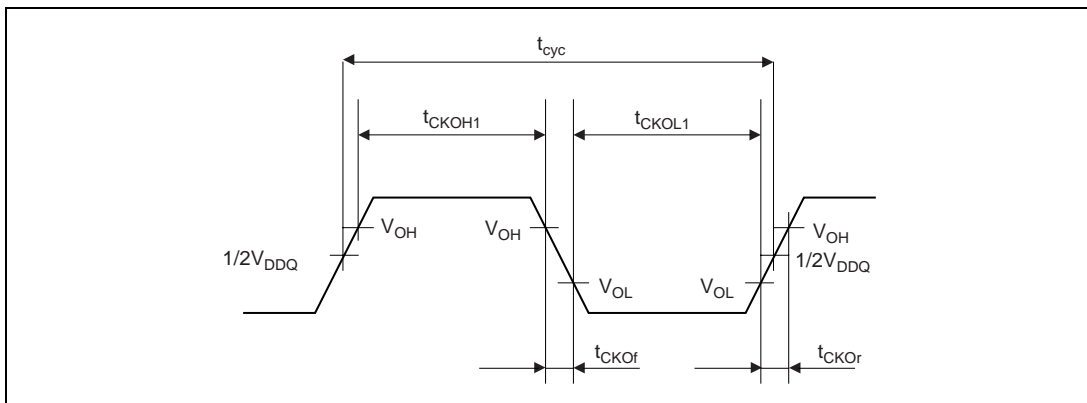


図 23.2 (1) CKIO クロック出力タイミング

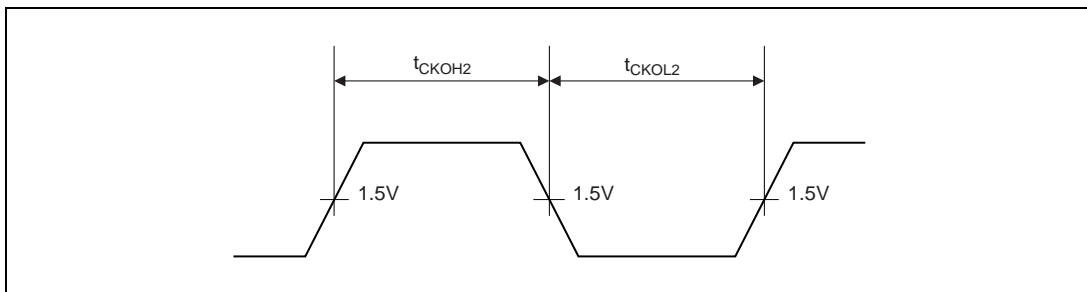


図 23.2 (2) CKIO クロック出力タイミング

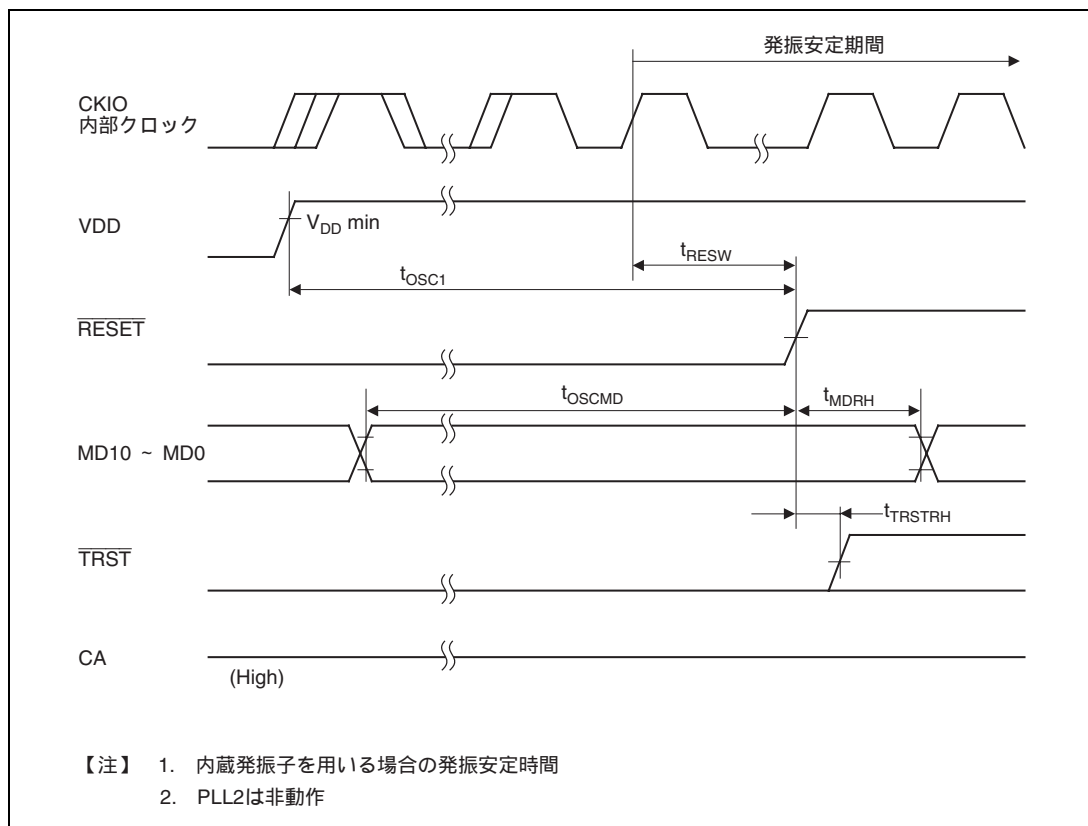


図 23.3 パワーオン発振安定時間

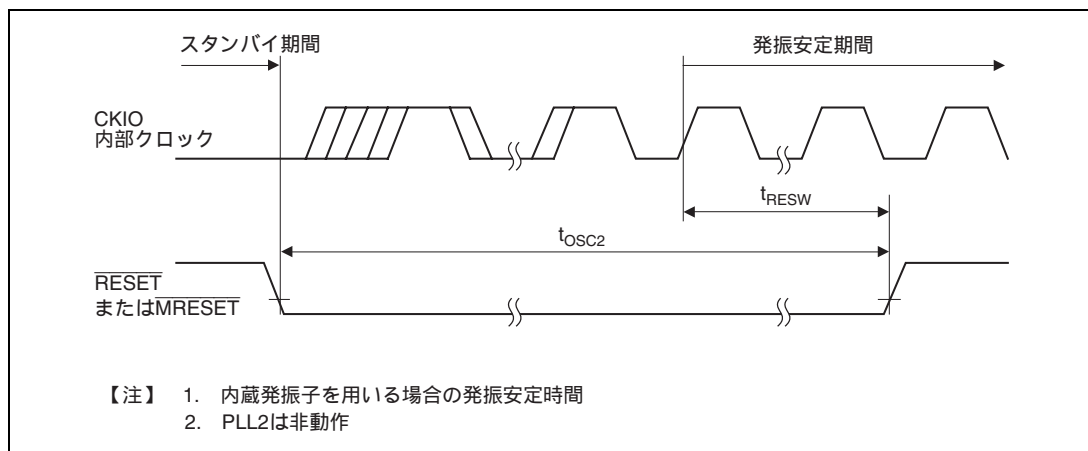


図 23.4 スタンバイ復帰時発振安定時間 (RESET または MRESET による復帰)

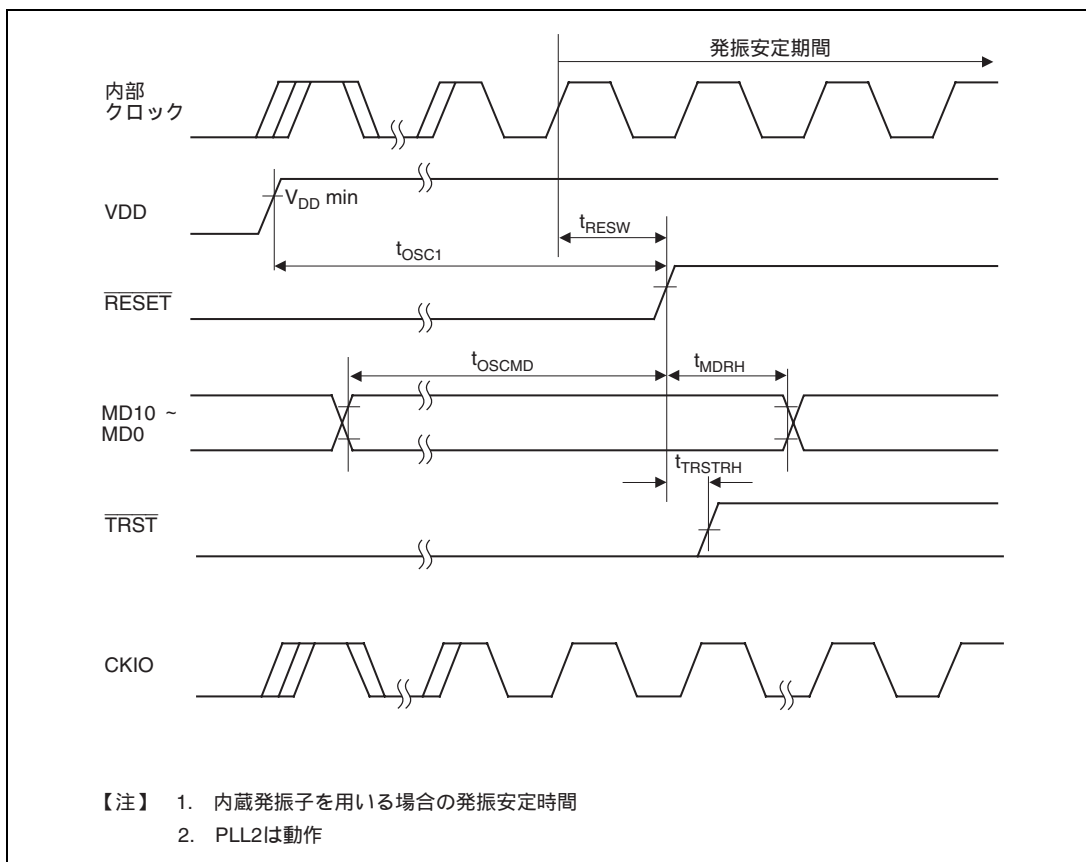


図 23.5 パワーオン時発振安定時間

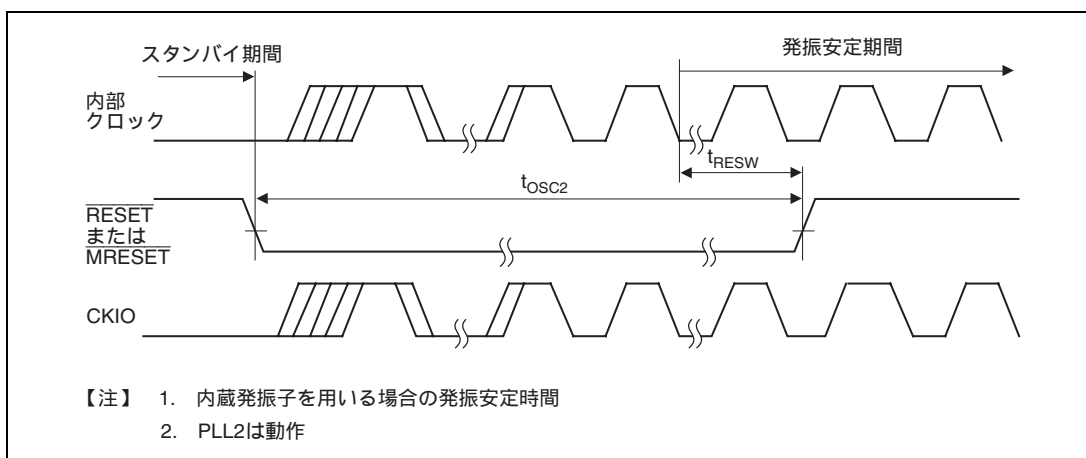


図 23.6 スタンバイ復帰時発振安定時間 (RESET または MRESET による復帰)



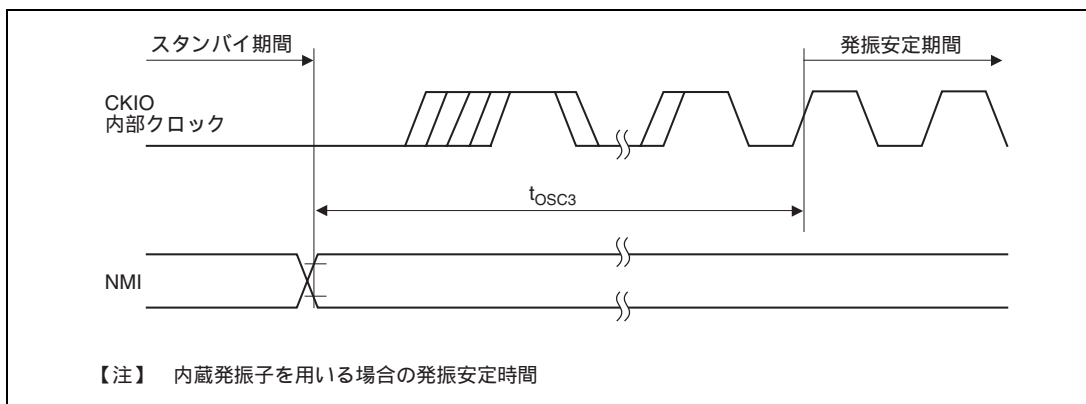
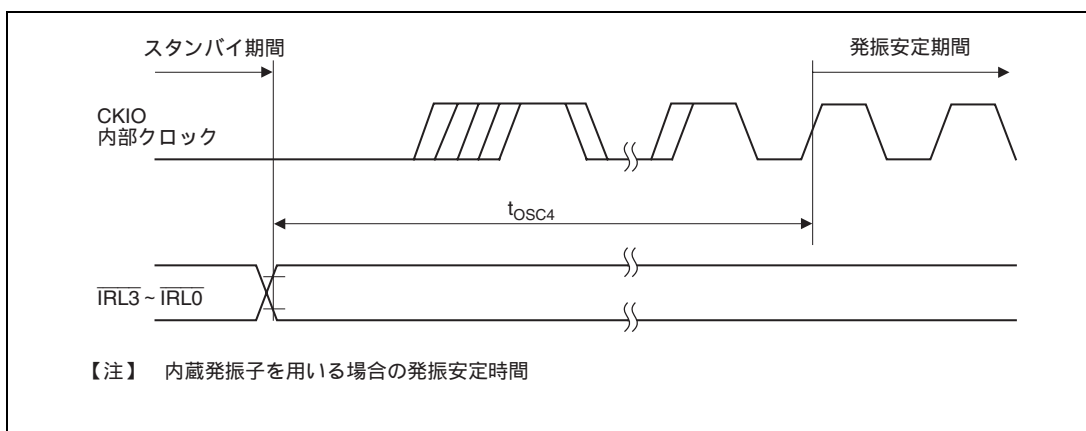


図 23.7 スタンバイ復帰時発振安定時間 (NMI による復帰)

図 23.8 スタンバイ復帰時発振安定時間 ( $\overline{IRL3} \sim \overline{IRL0}$  による復帰)

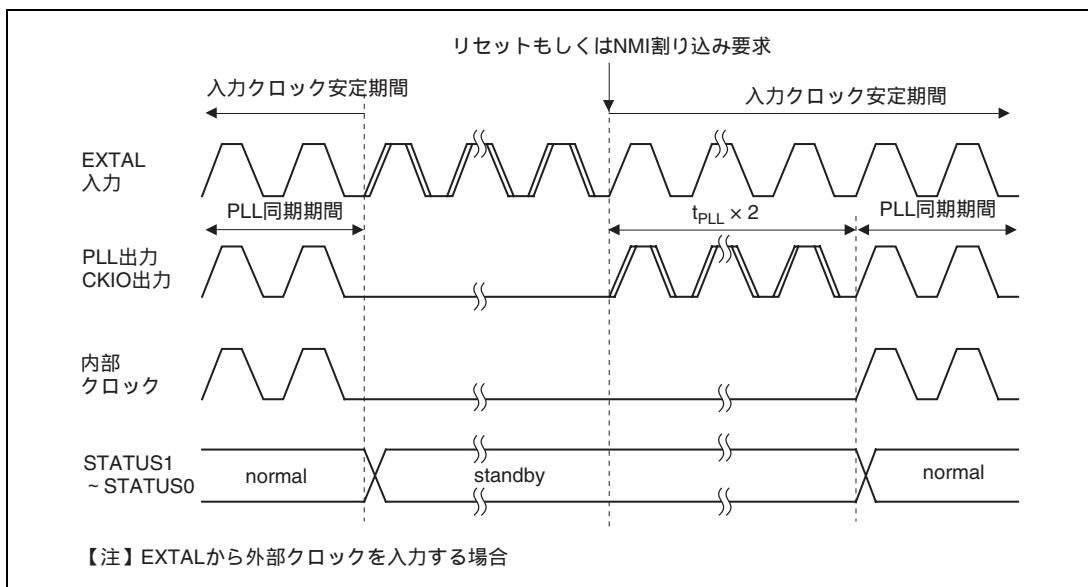


図 23.9 RESET または MRESET または NMI 割り込みによる PLL 同期安定時間

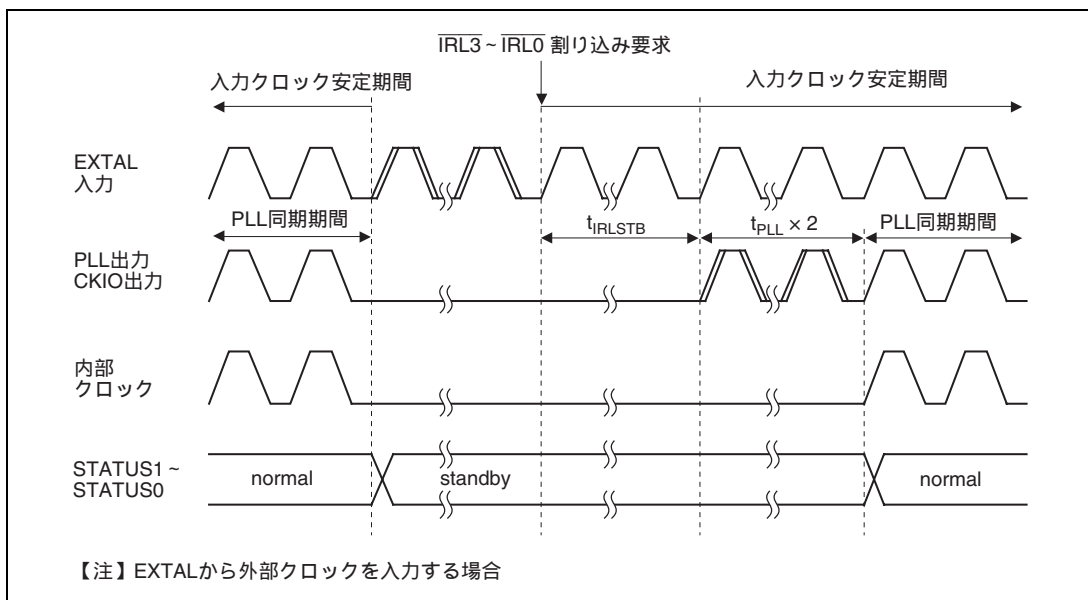


図 23.10 IRL 割り込みによる PLL 同期安定時間

## 23.3.2 制御信号タイミング

表 23.19 制御信号タイミング

項目	記号	HD6417751 RBP240(V)		HD6417751 RBP200(V)		HD6417751 RF240(V)		HD6417751 RF200(V)		単位	参照図
		HD6417751 RBG240(V)		HD6417751 RBG200(V)		HD6417751 RBA240HV*2		HD6417751 RBA240HV*2			
		Min	Max	Min	Max	Min	Max	Min	Max		
BREQ セットアップ時間	$t_{BREQS}$	2.0	-	2.5	-	3.5	-	3.5	-	ns	23.11
BREQ ホールド時間	$t_{BREQH}$	1.5	-	1.5	-	1.5	-	1.5	-	ns	23.11
BACK 遅延時間	$t_{BACKD}$	-	5.3	-	5.3	-	6	-	6	ns	23.11
バストライステート 遅延時間	$t_{BOFF1}$	-	12	-	12	-	12	-	12	ns	23.11
スタンバイモードへの バストライステート 遅延時間	$t_{BOFF2}$	-	2	-	2	-	2	-	2	$t_{cyc}$	23.12 (2)
バスバッファオンタイム	$t_{BON1}$	-	12	-	12	-	12	-	12	ns	23.11
スタンバイからのバス バッファオンタイム	$t_{BON2}$	-	2	-	2	-	2	-	2	$t_{cyc}$	23.12 (2)
STATUS 0、STATUS 1 遅延時間	$t_{STD1}$	-	6	-	6	-	6	-	6	ns	23.12 (1)
	$t_{STD2}$	-	2	-	2	-	2	-	2	$t_{cyc}$	23.12 (1) (2)
	$t_{STD3}$	-	2	-	2	-	2	-	2	$t_{cyc}$	23.12 (2)

【注】 \*1  $V_{DDG}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$  \*3、 $C_L=30pF$ 、PLL2 は on

\*2 HD6417751RBA240HV を 200MHz の仕様で使用する場合になります。

\*3 HD6417751RBA240HV のみ、 $T_a=-40\sim 85$  の範囲になります。

表 23.20 制御信号タイミング

項目	記号	HD6417751BP167(V) HD6417751F167(V)		単位	参照図
		*			
		Min	Max		
BREQ セットアップ時間	$t_{BREQS}$	3.5	-	ns	23.11
BREQ ホールド時間	$t_{BREQH}$	1.5	-	ns	23.11
BACK 遅延時間	$t_{BACKD}$	-	8	ns	23.11
バスタイステート遅延時間	$t_{BOFF1}$	-	12	ns	23.11
スタンバイモードへの バスタイステート遅延時間	$t_{BOFF2}$	-	2	$t_{cyc}$	23.12 (2)
バスパツファオンタイム	$t_{BON1}$	-	12	ns	23.11
スタンバイからのバス パツファオンタイム	$t_{BON2}$	-	2	$t_{cyc}$	23.12 (2)
STATUS 0、STATUS 1 遅延時間	$t_{STD1}$	-	6	ns	23.12 (1)
	$t_{STD2}$	-	2	$t_{cyc}$	23.12 (1) (2)
	$t_{STD3}$	-	2	$t_{cyc}$	23.12 (2)

【注】 \*  $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2はON

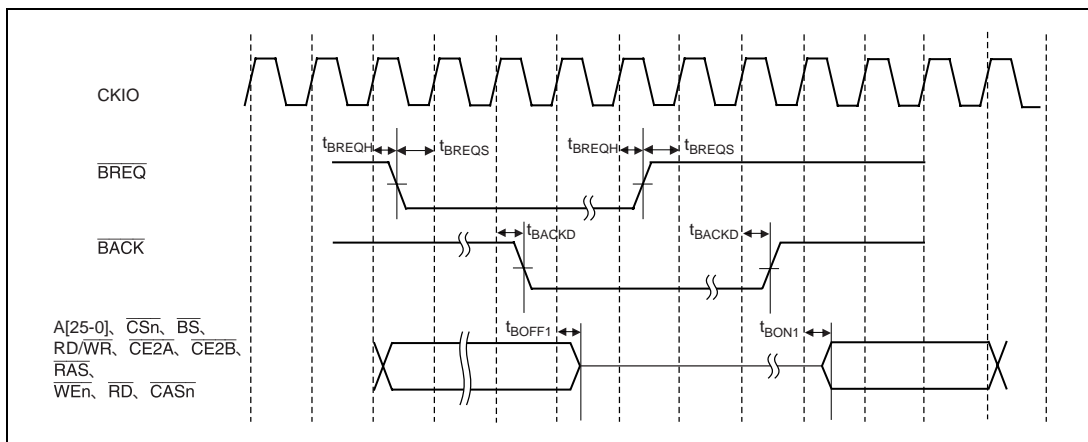


図 23.11 制御信号タイミング

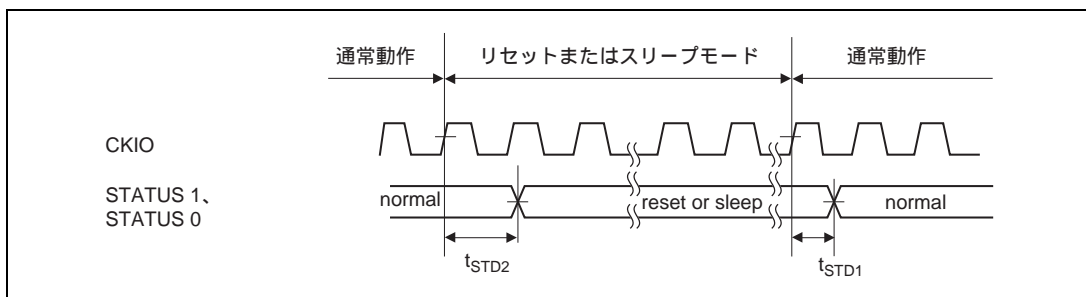
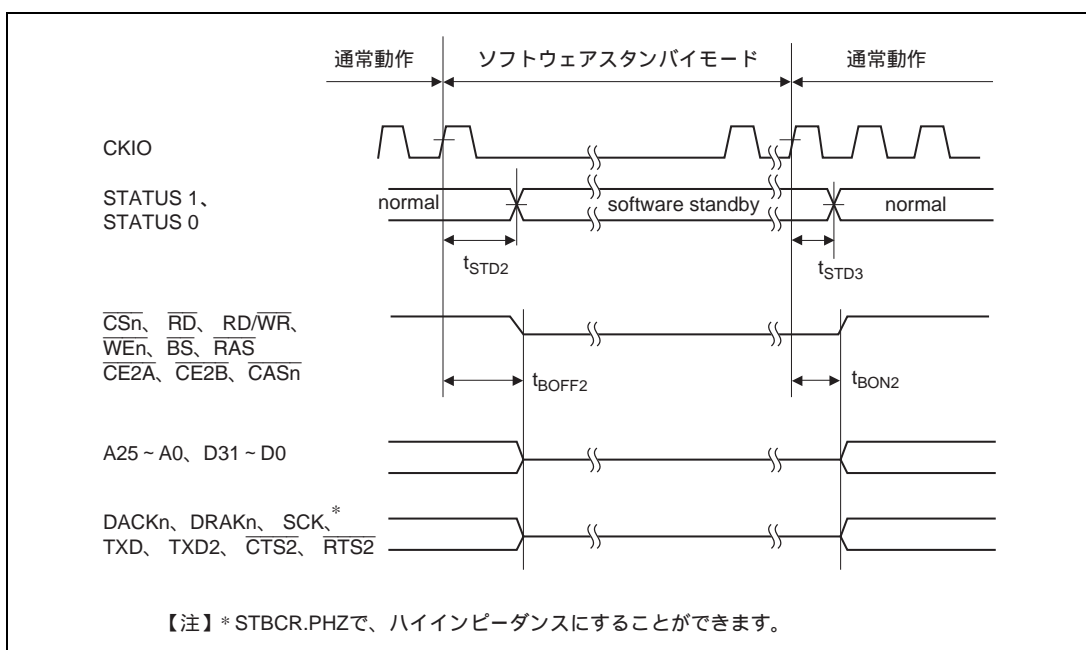


図 23.12 (1) リセットまたはスリープモード時のピンドライブタイミング



【注】\* STBCR.PHZで、ハイインピーダンスにすることができます。

図 23.12 (2) ソフトウェアスタンバイモード時のピンドライブタイミング

## 23.3.3 バスタイミング

表 23.21 バスタイミング

項目	記号	HD6417751 RBP240(V)		HD6417751 RBP200(V)		HD6417751RF 240(V)		HD6417751 RF200(V)		単位	備考
		HD6417751 RBG240(V)		HD6417751 RBG200(V)							
		HD6417751 RBA240HV		HD6417751 RBA240HV* <sup>2</sup>							
* <sup>1</sup>		* <sup>1</sup>		* <sup>1</sup>		* <sup>1</sup>					
		Min	Max	Min	Max	Min	Max	Min	Max		
アドレス遅延時間	$t_{AD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	
BS 遅延時間	$t_{BSD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	
CS 遅延時間	$t_{CSD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	
RW 遅延時間	$t_{RWD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	
RD 遅延時間	$t_{RSD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	
読み出しデータセットアップ時間	$t_{RDS}$	2.0	-	2.5	-	3.5	-	3.5	-	ns	
読み出しデータホールド時間	$t_{RDH}$	1.5	-	1.5	-	1.5	-	1.5	-	ns	
WE 遅延時間 (立ち下がりエッジ時)	$t_{WEDF}$	-	5.3	-	5.3	-	6	-	6	ns	CKIO の立ち下がりエッジに対して
WE 遅延時間	$t_{WED1}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	
書き込みデータ遅延時間	$t_{WDD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	
RDY セットアップ時間	$t_{RDYS}$	2.0	-	2.5	-	3.5	-	3.5	-	ns	
RDY ホールド時間	$t_{RDYH}$	1.5	-	1.5	-	1.5	-	1.5	-	ns	
RAS 遅延時間	$t_{RASD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	
CAS 遅延時間 1	$t_{CASD1}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	DRAM
CAS 遅延時間 2	$t_{CASD2}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	SDRAM
CKE 遅延時間	$t_{CKED}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	SDRAM
DQM 遅延時間	$t_{DQMD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	SDRAM
FRAME 遅延時間	$t_{FMD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	MPX
IOIS16 セットアップ時間	$t_{IO16S}$	2.0	-	2.5	-	3.5	-	3.5	-	ns	PCMCIA
IOIS16 ホールド時間	$t_{IO16H}$	1.5	-	1.5	-	1.5	-	1.5	-	ns	PCMCIA
ICIORR 遅延時間 (立ち下がりエッジ時)	$t_{ICWSDF}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	PCMCIA
ICIORD 遅延時間	$t_{ICRSDF}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	PCMCIA
DACK 遅延時間	$t_{DACD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	

項目	記号	HD6417751 RBP240(V)		HD6417751 RBP200(V)		HD6417751RF 240(V)		HD6417751 RF200(V)		単位	備考
		HD6417751 RBG240(V)		HD6417751 RBG200(V)							
		HD6417751 RBA240HV		HD6417751 RBA240HV*2							
*1		*1		*1		*1					
		Min	Max	Min	Max	Min	Max	Min	Max		
DACK 遅延時間 (立ち下がりエッジ時)	$t_{DACDF}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	CKIO の立ち下がりエッジに対して
DTR セットアップ時間	$t_{DTRS}$	2.0	-	2.5	-	3.5	-	3.5	-	ns	
DTR ホールド時間	$t_{DTRH}$	1.5	-	1.5	-	1.5	-	1.5	-	ns	
DBREQ セットアップ時間	$t_{DBQS}$	2.0	-	2.5	-	3.5	-	3.5	-	ns	
DBREQ ホールド時間	$t_{DBOH}$	1.5	-	1.5	-	1.5	-	1.5	-	ns	
TR セットアップ時間	$t_{TRS}$	2.0	-	2.5	-	3.5	-	3.5	-	ns	
TR ホールド時間	$t_{TRH}$	1.5	-	1.5	-	1.5	-	1.5	-	ns	
BAVL 遅延時間	$t_{BAVD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	
TDACK 遅延時間	$t_{TDAD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	
ID1、ID0 遅延時間	$t_{IDD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	

【注】 \*1  $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$  \*3、 $C_L=30pF$ 、PLL2 は on

\*2 HD6417751RBA240HV を 200MHz の仕様で使用する場合になります。

\*3 HD6417751RBA240HV のみ、 $T_a=-40\sim 85$  の範囲になります。

表 23.22 バスタイミング

項目	記号	HD6417751BP167(V) HD6417751F167(V)		単位	備考
		*			
		Min	Max		
アドレス遅延時間	$t_{AD}$	1.0	8	ns	
BS 遅延時間	$t_{BSD}$	1.0	8	ns	
CS 遅延時間	$t_{CSD}$	1.0	8	ns	
RW 遅延時間	$t_{RWD}$	1.0	8	ns	
RD 遅延時間	$t_{RSD}$	1.0	8	ns	
読み出しデータセットアップ時間	$t_{RDS}$	3.5	-	ns	
読み出しデータホールド時間	$t_{RDH}$	1.5	-	ns	
WE 遅延時間 (立ち下がりエッジ時)	$t_{WEDF}$	1.0	8	ns	CKIO の立ち下がりエッジに対して
WE 遅延時間	$t_{WED1}$	1.0	8	ns	
書き込みデータ遅延時間	$t_{WDD}$	1.0	8	ns	
RDY セットアップ時間	$t_{RDYS}$	3.5	-	ns	
RDY ホールド時間	$t_{RDYH}$	1.5	-	ns	
RAS 遅延時間	$t_{RASD}$	1.0	8	ns	
CAS 遅延時間 1	$t_{CASD1}$	1.0	8	ns	DRAM
CAS 遅延時間 2	$t_{CASD2}$	1.0	8	ns	SDRAM
CKE 遅延時間	$t_{CKED}$	1.0	8	ns	SDRAM
DQM 遅延時間	$t_{DQMD}$	1.0	8	ns	SDRAM
FRAME 遅延時間	$t_{FMD}$	1.0	8	ns	MPX
IOIS16 セットアップ時間	$t_{IO16S}$	3.5	-	ns	PCMCIA
IOIS16 ホールド時間	$t_{IO16H}$	1.5	-	ns	PCMCIA
ICIORW 遅延時間 (立ち下がりエッジ時)	$t_{ICWSDF}$	1.0	8	ns	PCMCIA
ICIORD 遅延時間	$t_{ICRSD}$	1.0	8	ns	PCMCIA
DACK 遅延時間	$t_{DACD}$	1.0	8	ns	
DACK 遅延時間 (立ち下がりエッジ時)	$t_{DACDF}$	1.0	8	ns	CKIO の立ち下がりエッジに対して
DTR セットアップ時間	$t_{DTRS}$	3.5	-	ns	
DTR ホールド時間	$t_{DTRH}$	1.5	-	ns	
DBREQ セットアップ時間	$t_{DBQS}$	3.5	-	ns	
DBREQ ホールド時間	$t_{DBQH}$	1.5	-	ns	
TR セットアップ時間	$t_{TRS}$	3.5	-	ns	
TR ホールド時間	$t_{TRH}$	1.5	-	ns	
BAVL 遅延時間	$t_{BAVD}$	1.0	8	ns	
TDACK 遅延時間	$t_{TDAD}$	1.0	8	ns	
ID1、ID0 遅延時間	$t_{IDD}$	1.0	8	ns	

【注】 \*  $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ 、PLL2 は ON



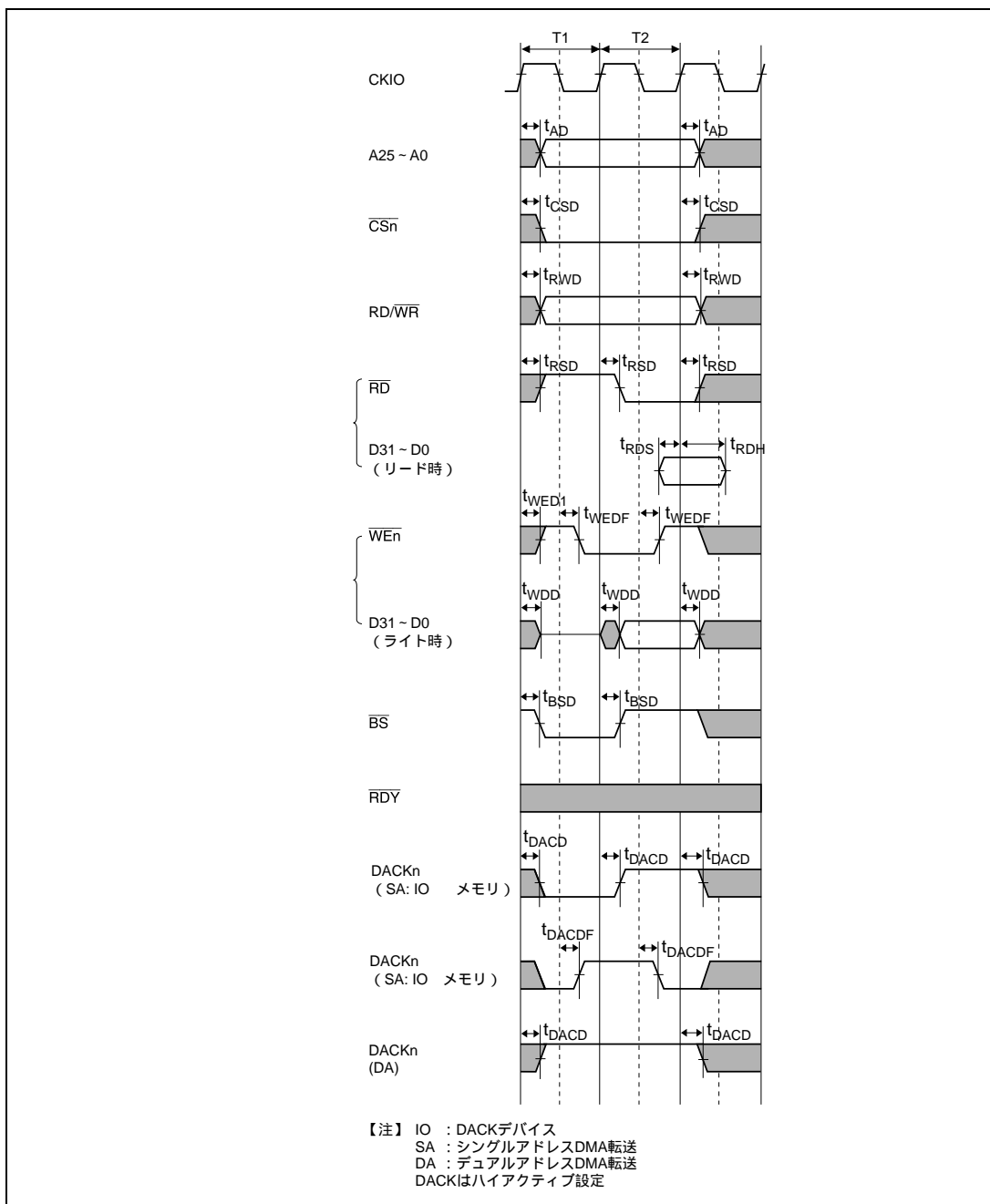


図 23.13 SRAM バスサイクル 基本バスサイクル (ノーウェイト)

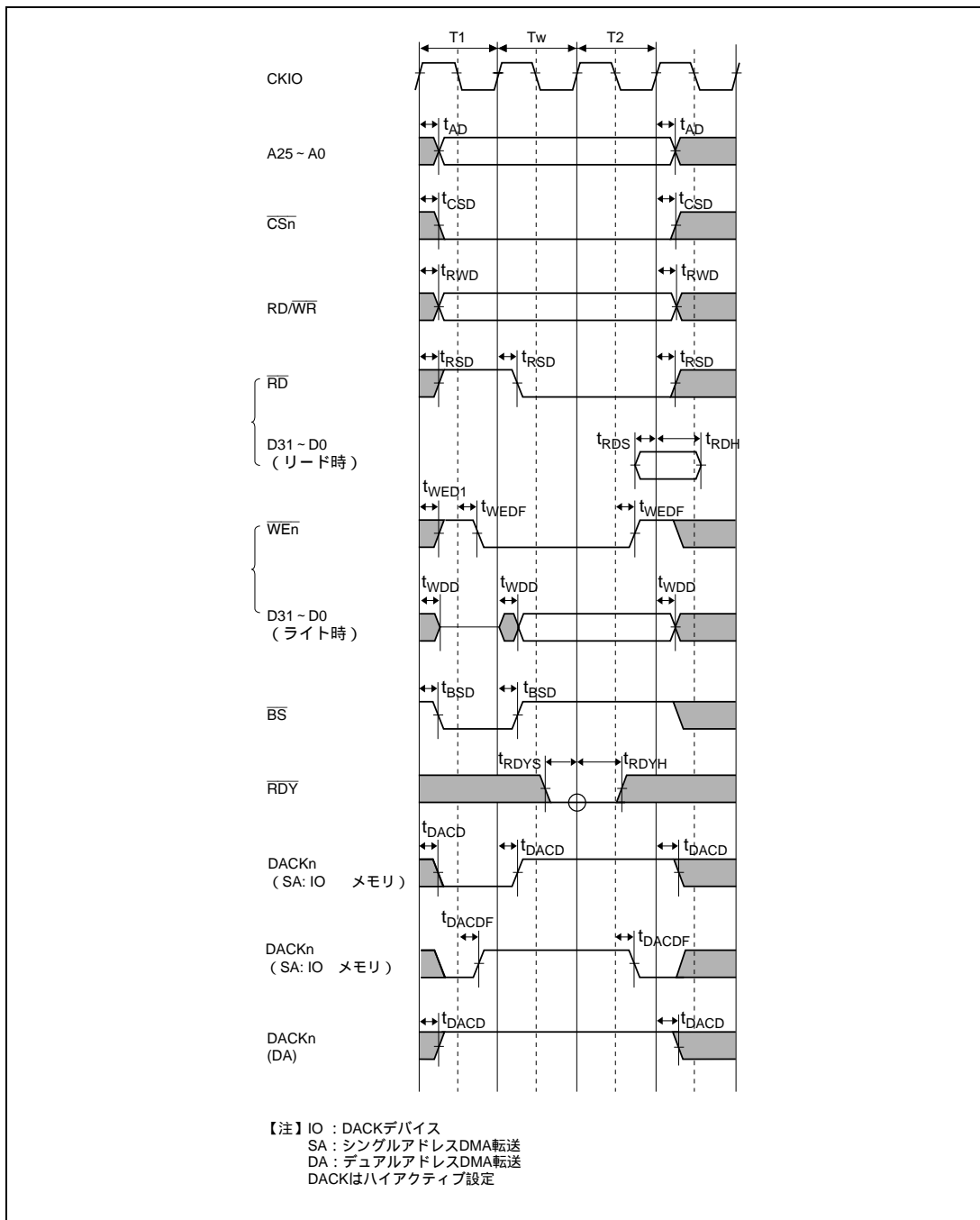


図 23.14 SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト)

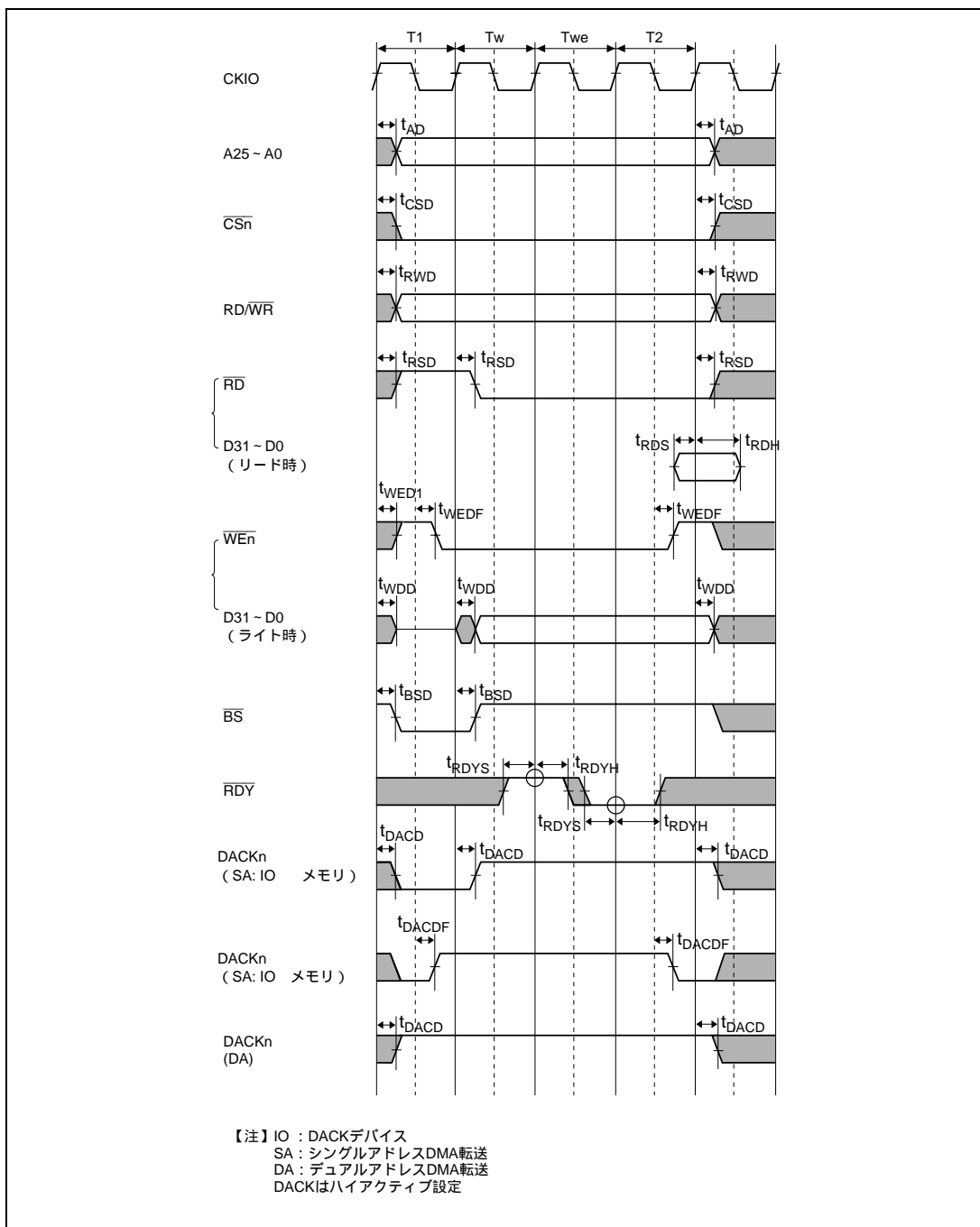


図 23.15 SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト + 外部 1 ウェイト)

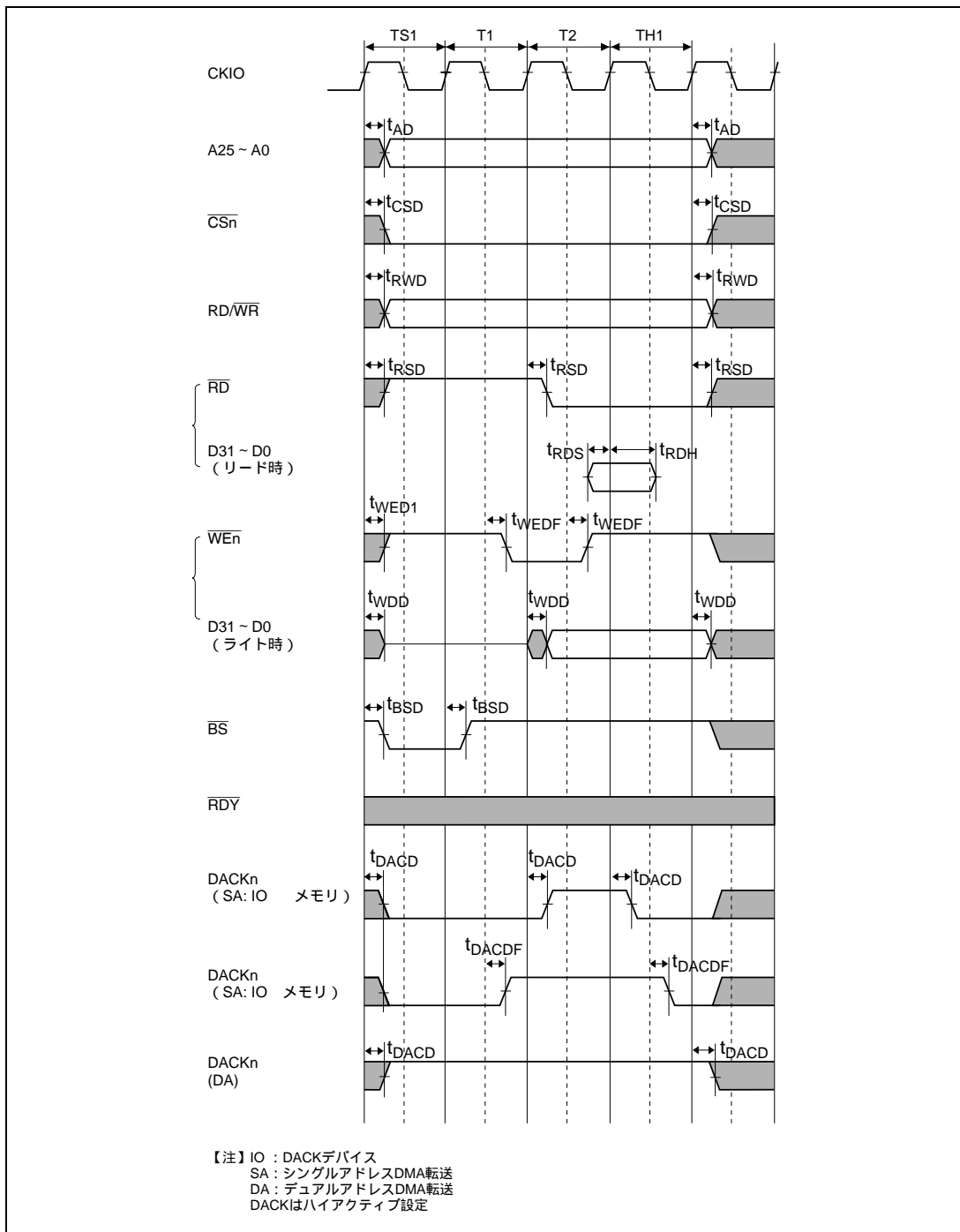


図 23.16 SRAM バスサイクル 基本バスサイクル(ノーウェイト、アドレスセットアップ、ホールドタイム挿入、AnS=1、AnH=1)

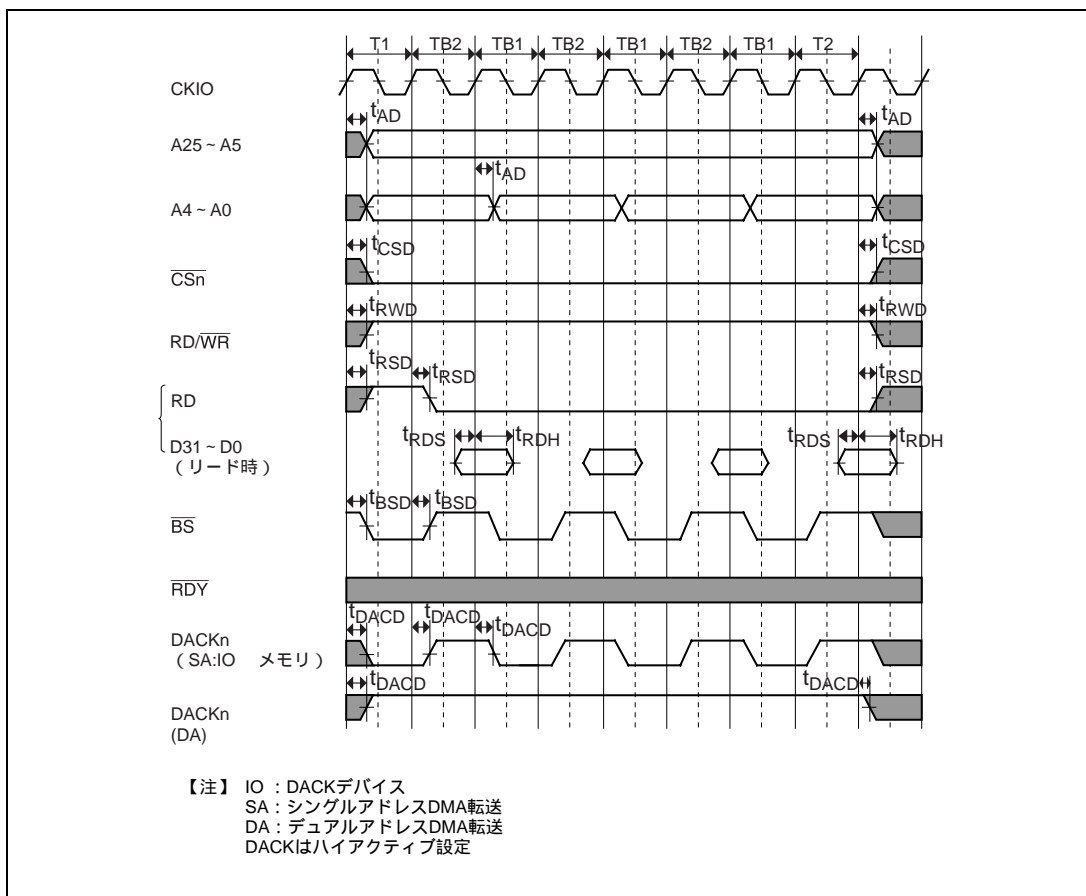


図 23.17 バースト ROM バスサイクル (ノーウェイト)

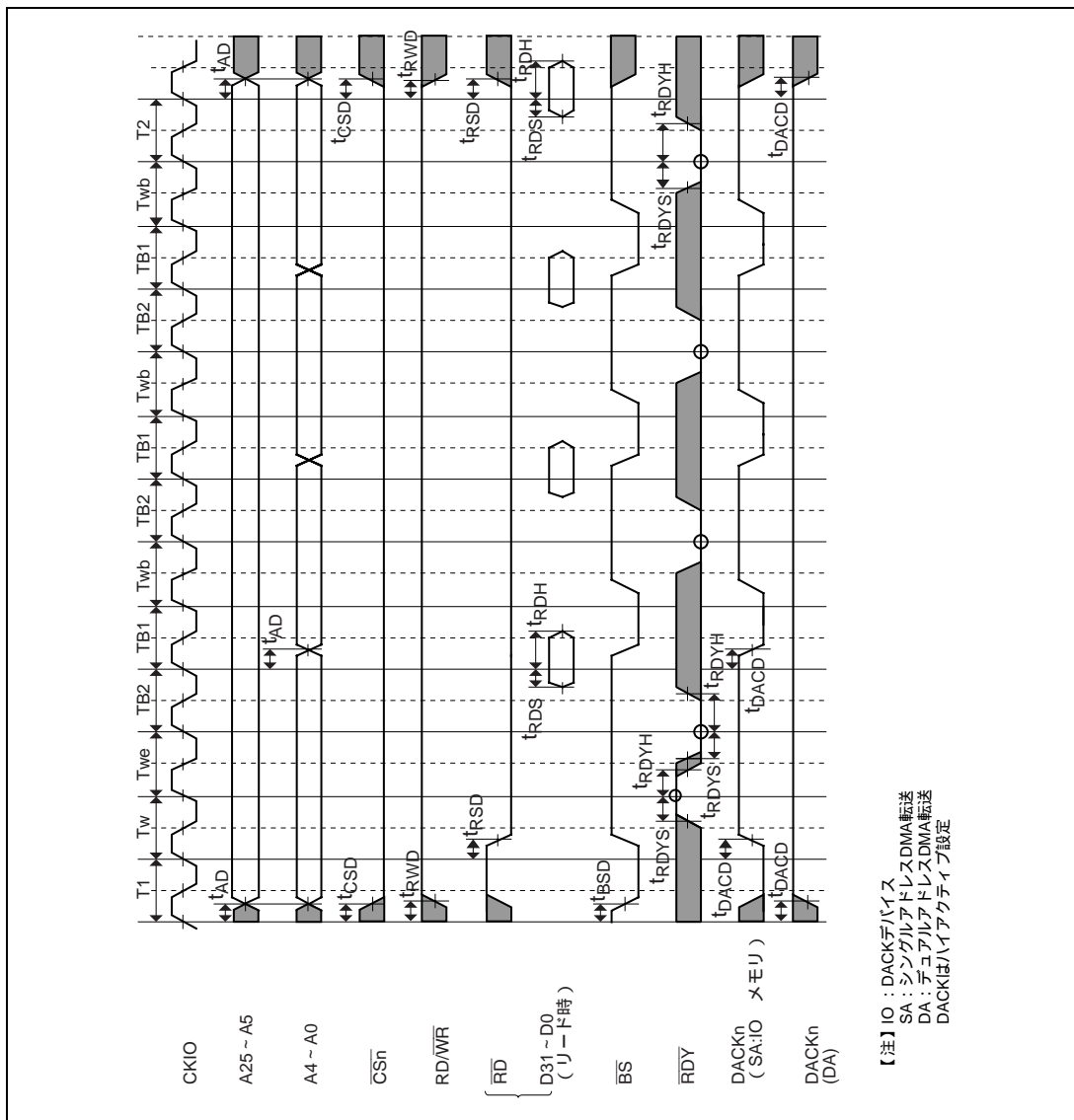
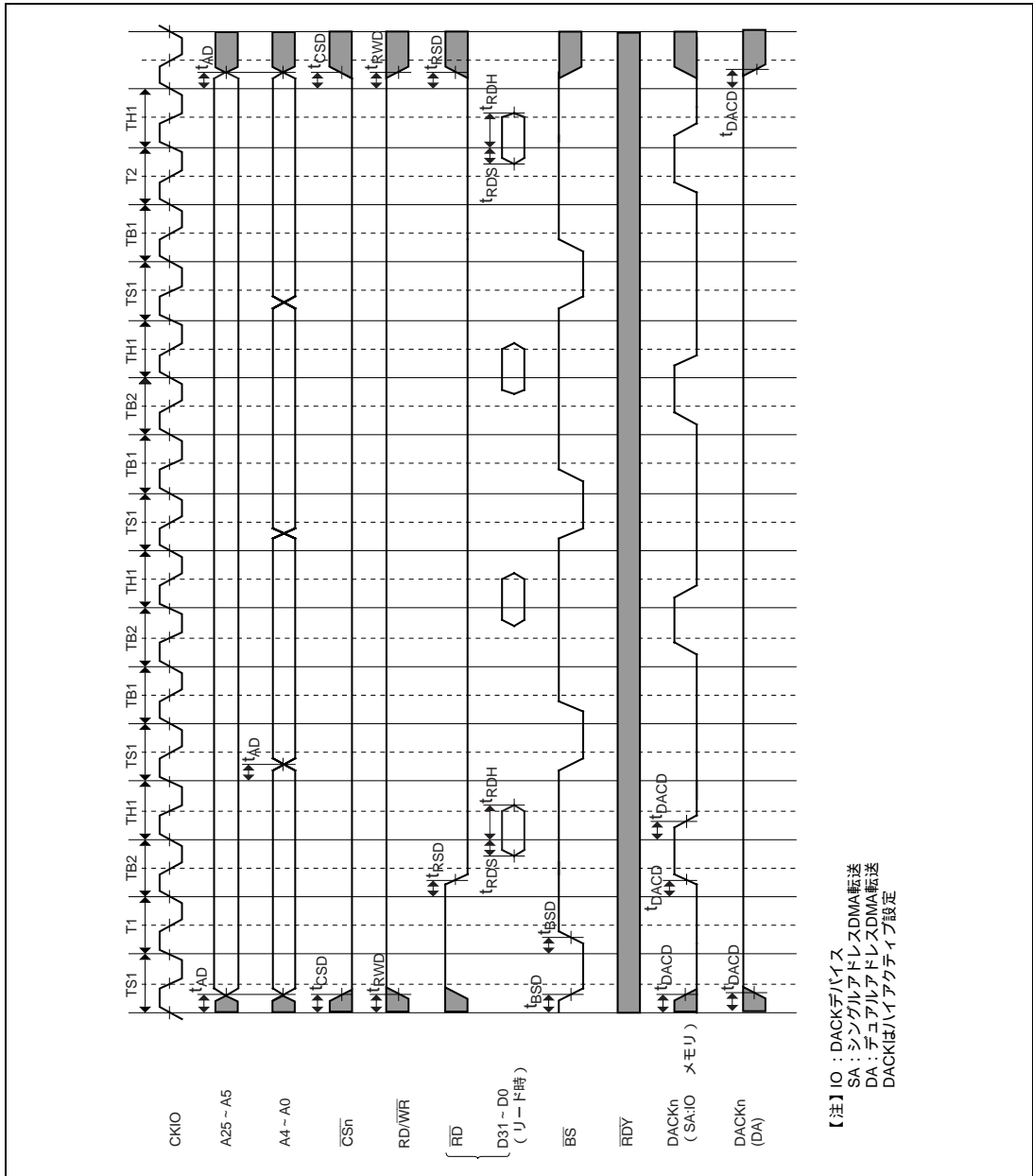


図 23.18 パーストROM パスサイクル (1番目のデータ: 内部1ウェイト+外部1ウェイト、  
2、3、4番目のデータ: 内部1ウェイト)

【注】 IO : DACKデバイス  
 SA : シングルアドレスDMA転送  
 DA : デュアルアドレスDMA転送  
 DACKはハイアクティブ設定



【注】IO : DACKデバイス  
 SA : シングルアドレスDMA転送  
 DA : デュアルアドレスDMA転送  
 DACKはハイアクティブ設定

図 23.19 バーストROMバスサイクル（ノーウェイト、アドレスセットアップ/ホールドタイム挿入、AnS=1、AnH=1）





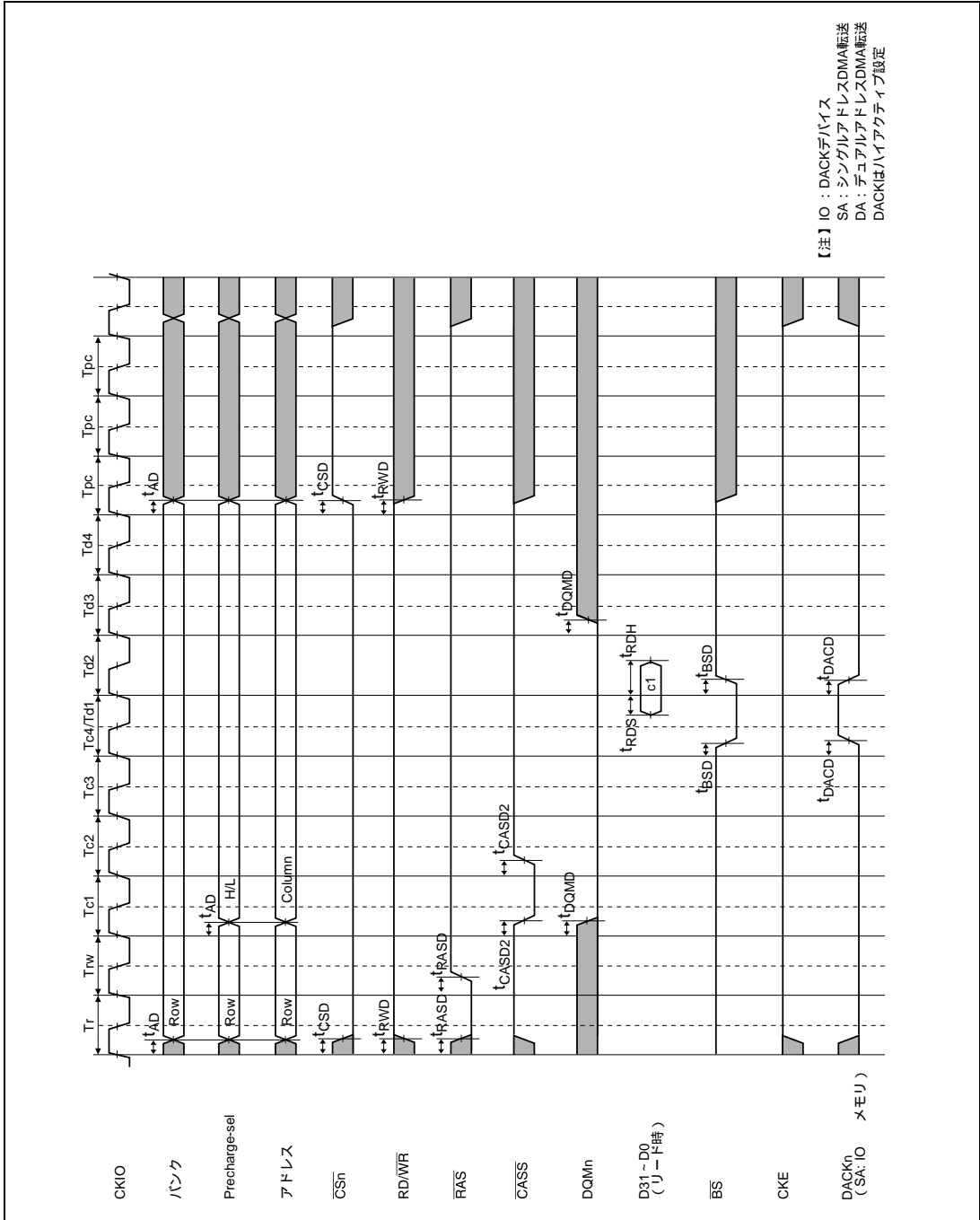


図 23.21 シンクロナス DRAM オートプリチャージリードバスサイクル、シングル (RCD[1:0]=01、CAS レイテンシ=3、TPC[2:0]=011)



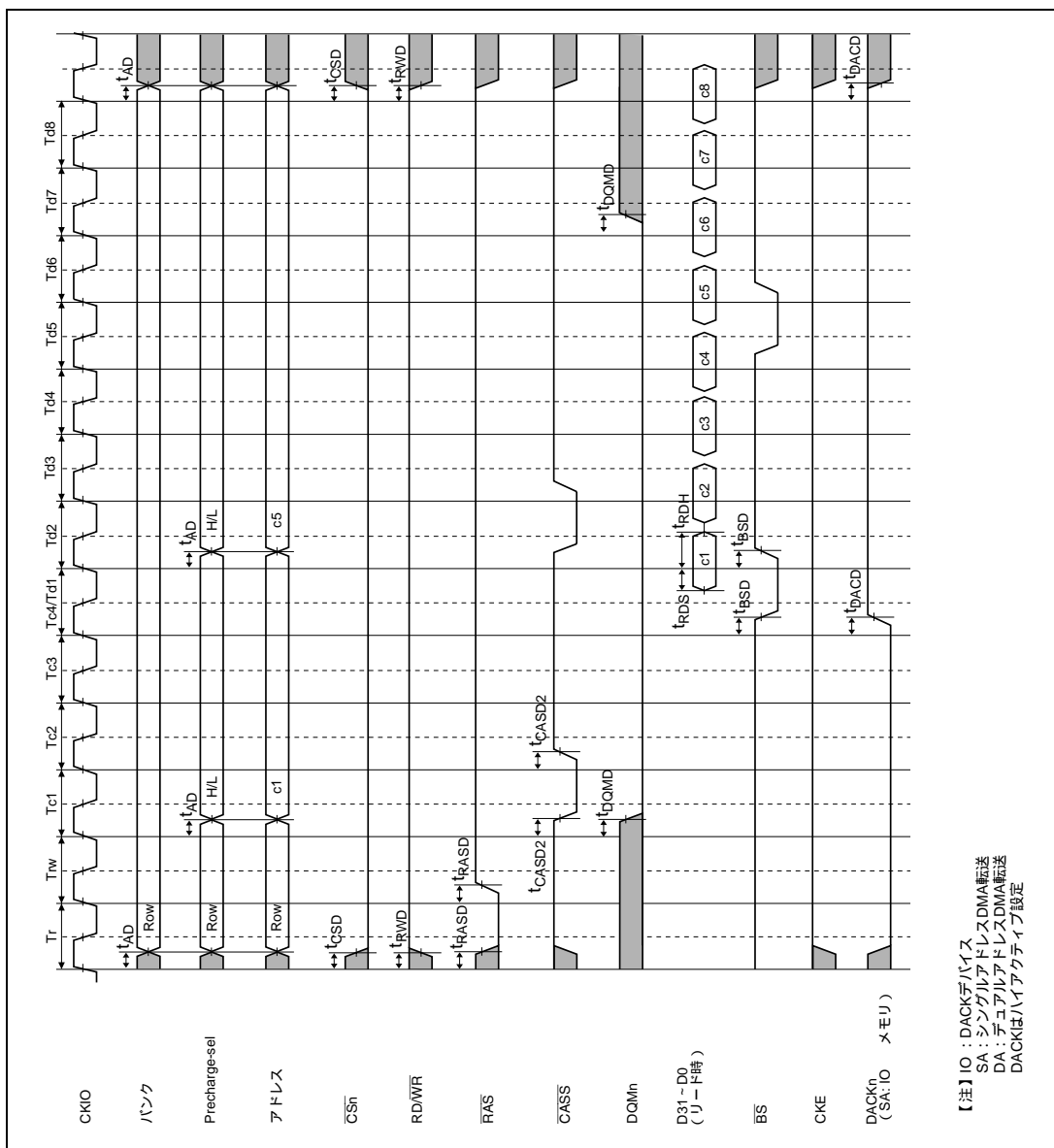


図 23.23 シンクロナス DRAM ノーマルリードバスサイクル：ACT+READ コマンド、バースト  
(RAS=1、RCD[1:0]=01、CAS レイテンシ=3)

【注】IO : DACKチバイス  
SA : シンクロナスアドレスDMA転送  
DA : デュアルアドレスDMA転送  
DACKはハイアクティブ設定



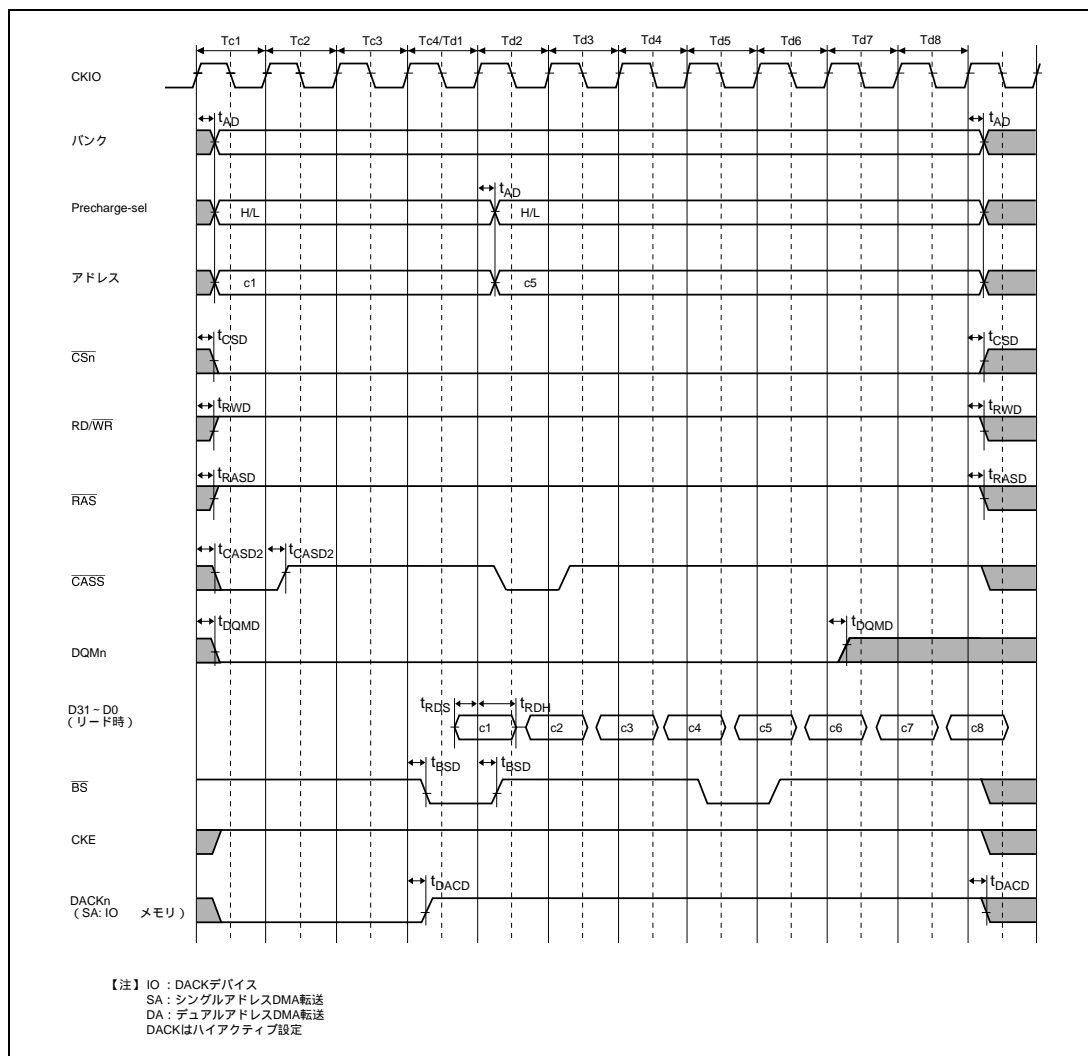


図 23.25 シンクロナス DRAM ノーマルリードバスサイクル : READ コマンド、バースト  
 (RASD=1、CAS レイテンシ=3)

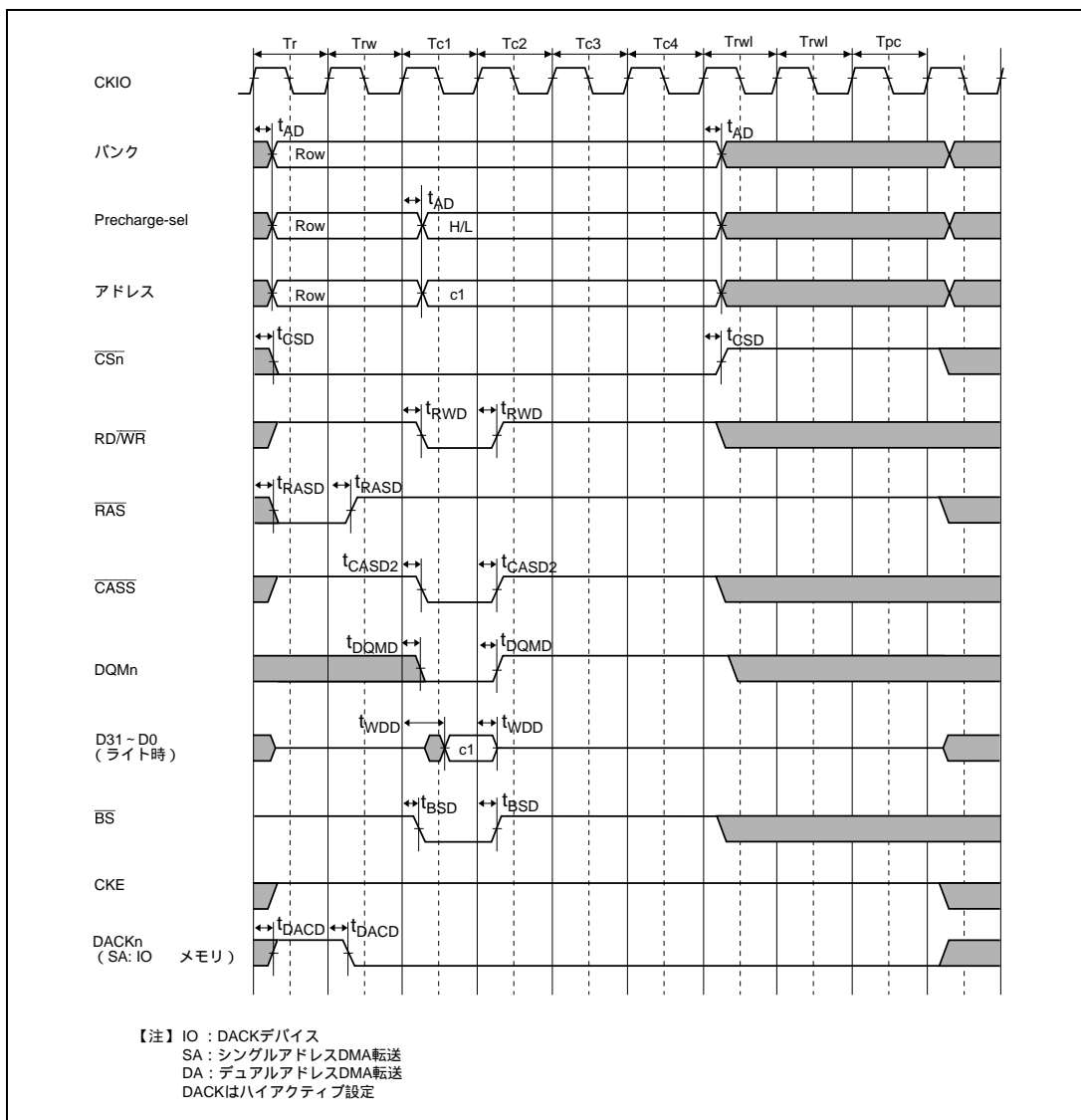


図 23.26 シンクロナス DRAM オートプリチャージライトバスサイクル、シングル  
 (RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)

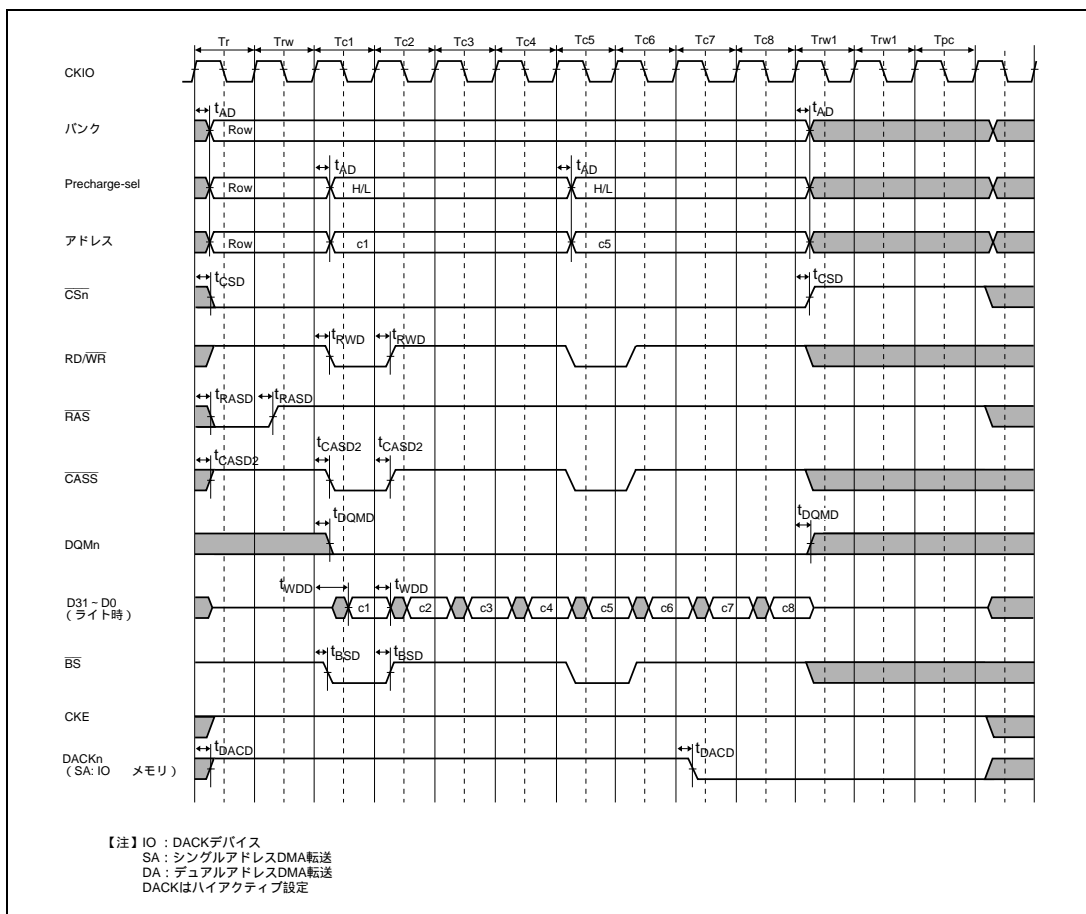


図 23.27 シンクロナス DRAM オートプリチャージライトバスサイクル、バースト  
 (RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)

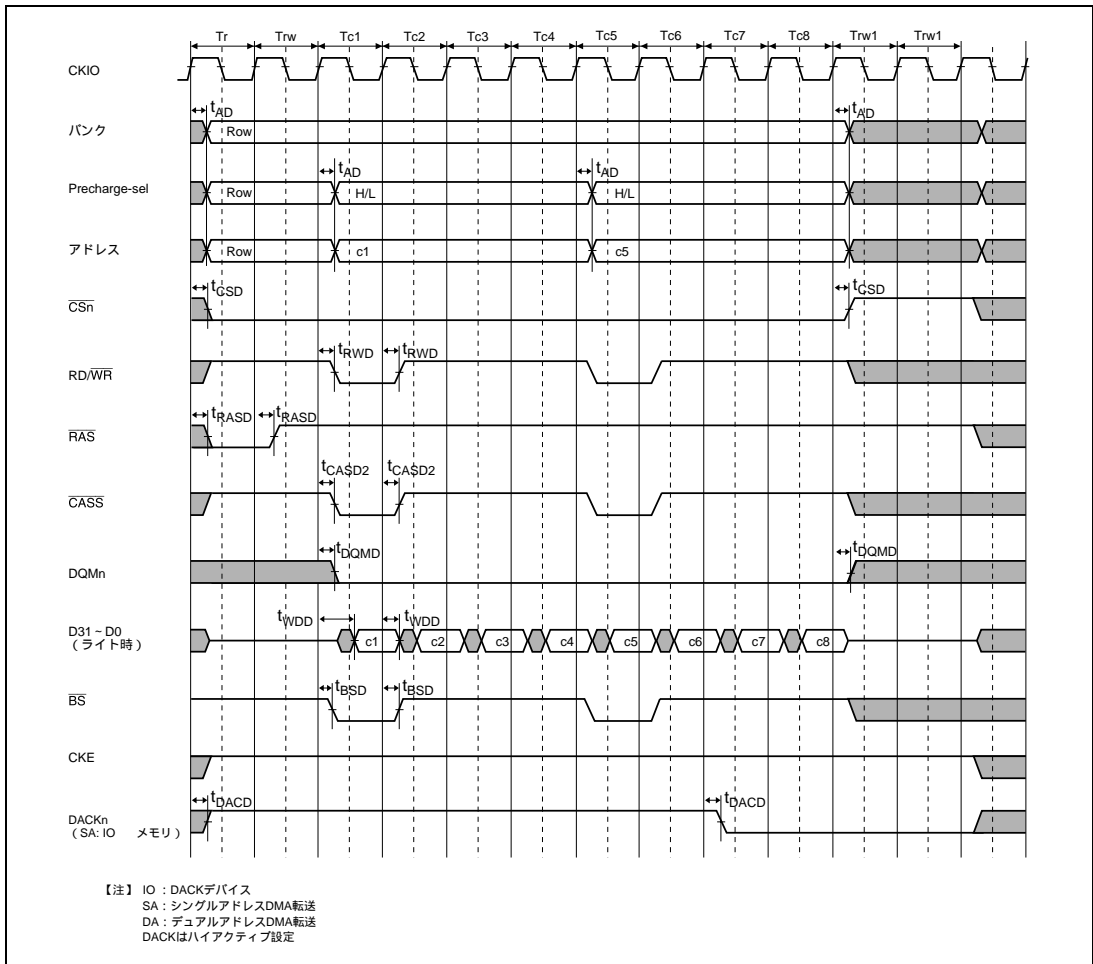


図 23.28 シンクロナス DRAM ノーマルライトバスサイクル : ACT+WRITE コマンド、バースト (RASD=1、RCD[1:0]=01、TRWL[2:0]=010)



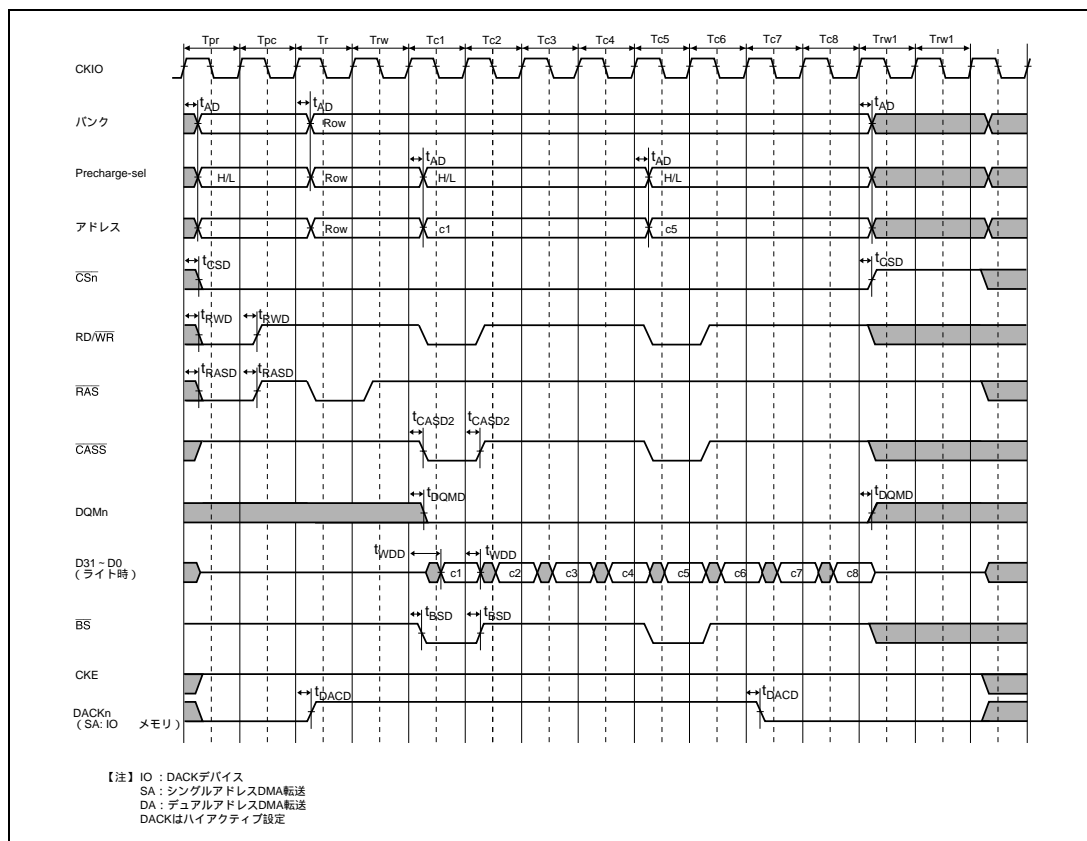


図 23.29 シンクロナス DRAM ノーマルライトバスサイクル :  
 PRE+ACT+WRITE コマンド、バースト  
 (RASD=1、RCD[1:0]=01、TPC[2:0]=001、TRWL[2:0]=010)

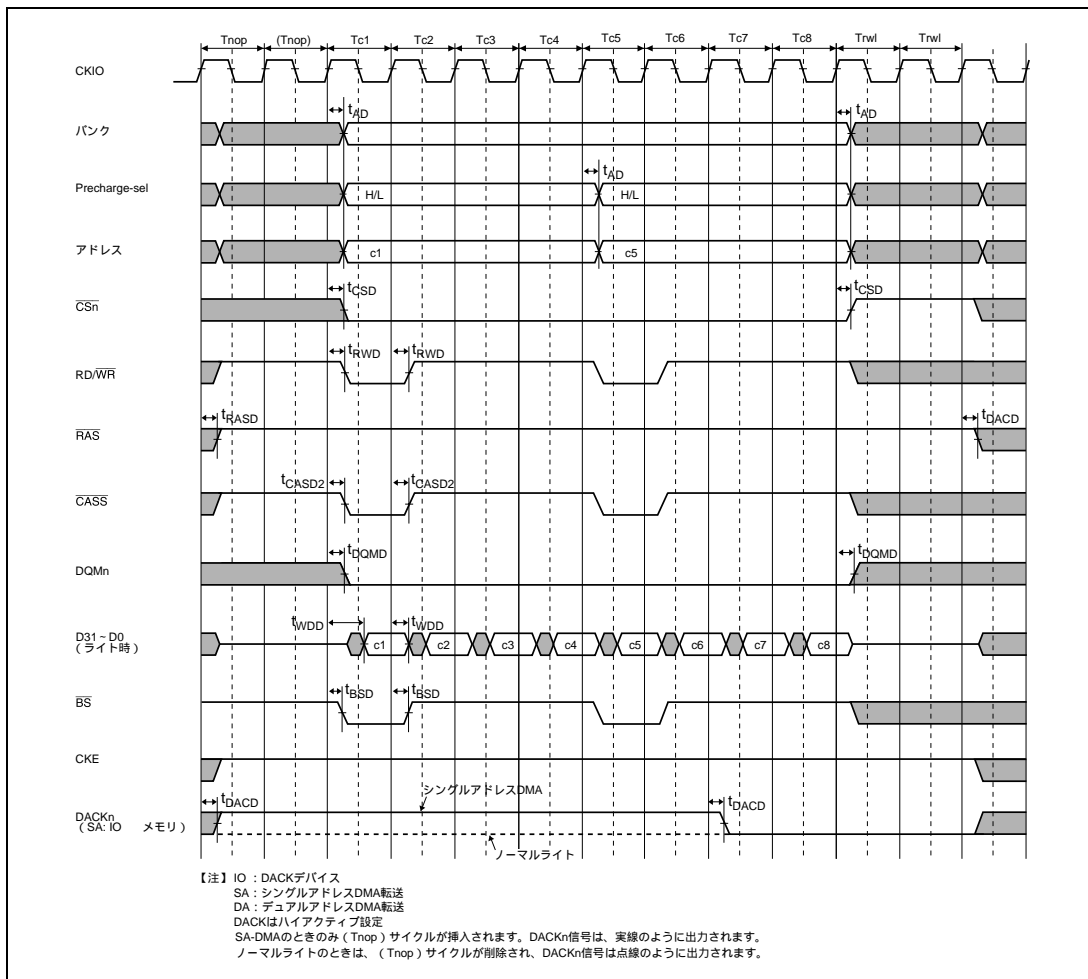


図 23.30 シンクロナス DRAM ノーマルライトバスサイクル : WRITE コマンド、バースト (RASD=1、TRWL[2:0]=010)

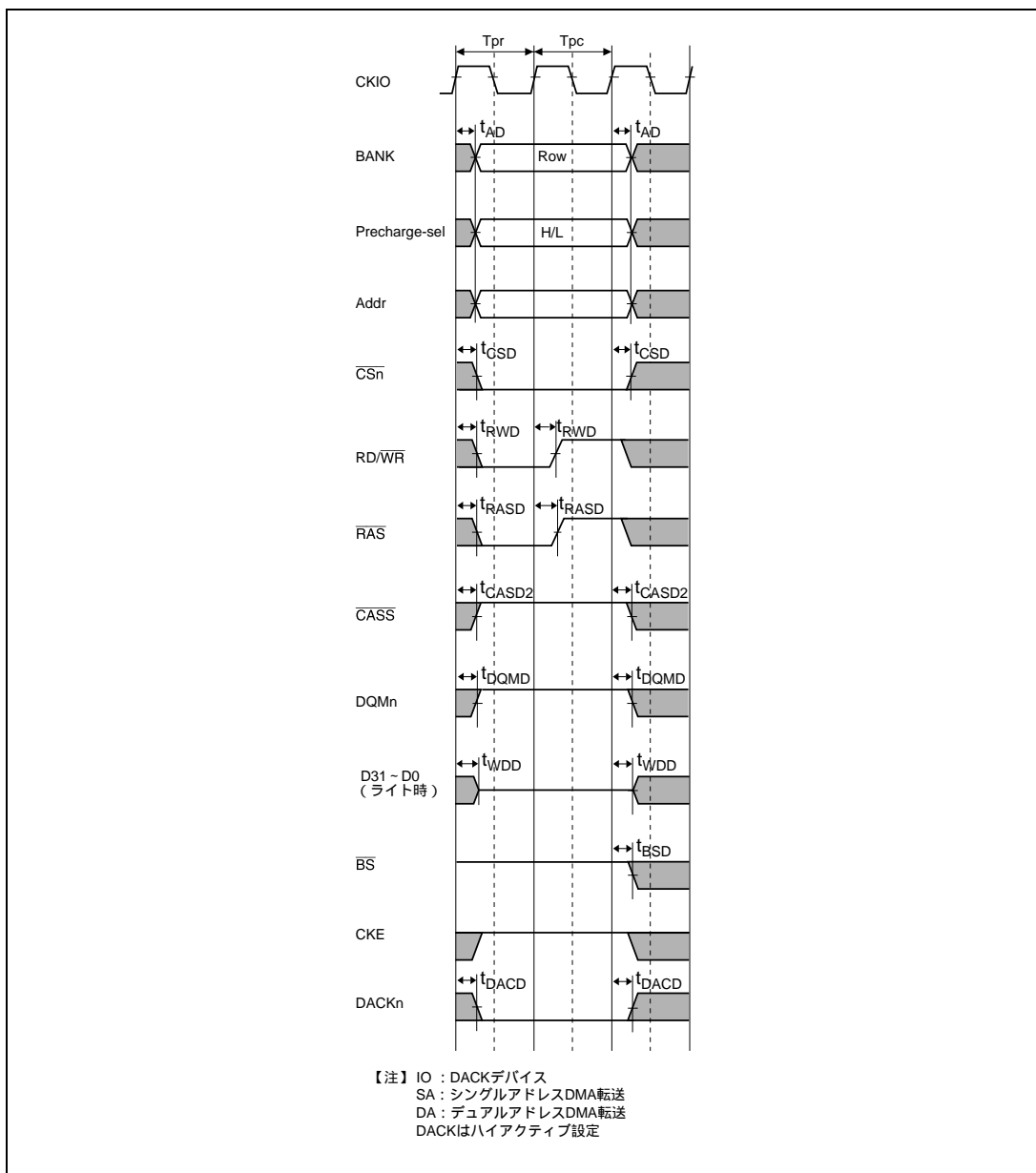


図 23.31 シンクロナス DRAM バスサイクル プリチャージコマンド (TPC[2:0]=001)

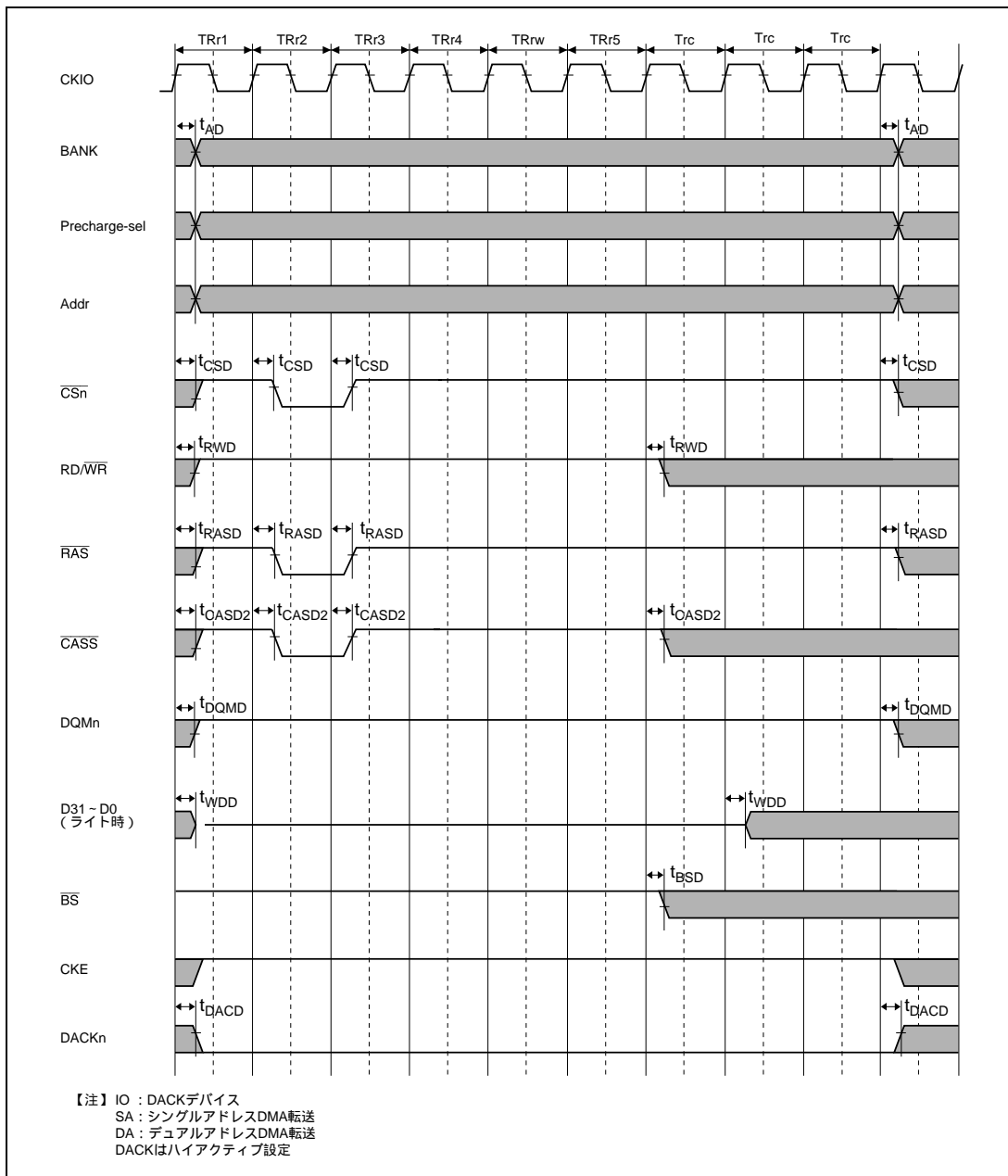


図 23.32 シンクロナス DRAM バスサイクル オートリフレッシュ (TRAS=1、TRC[2:0]=001)

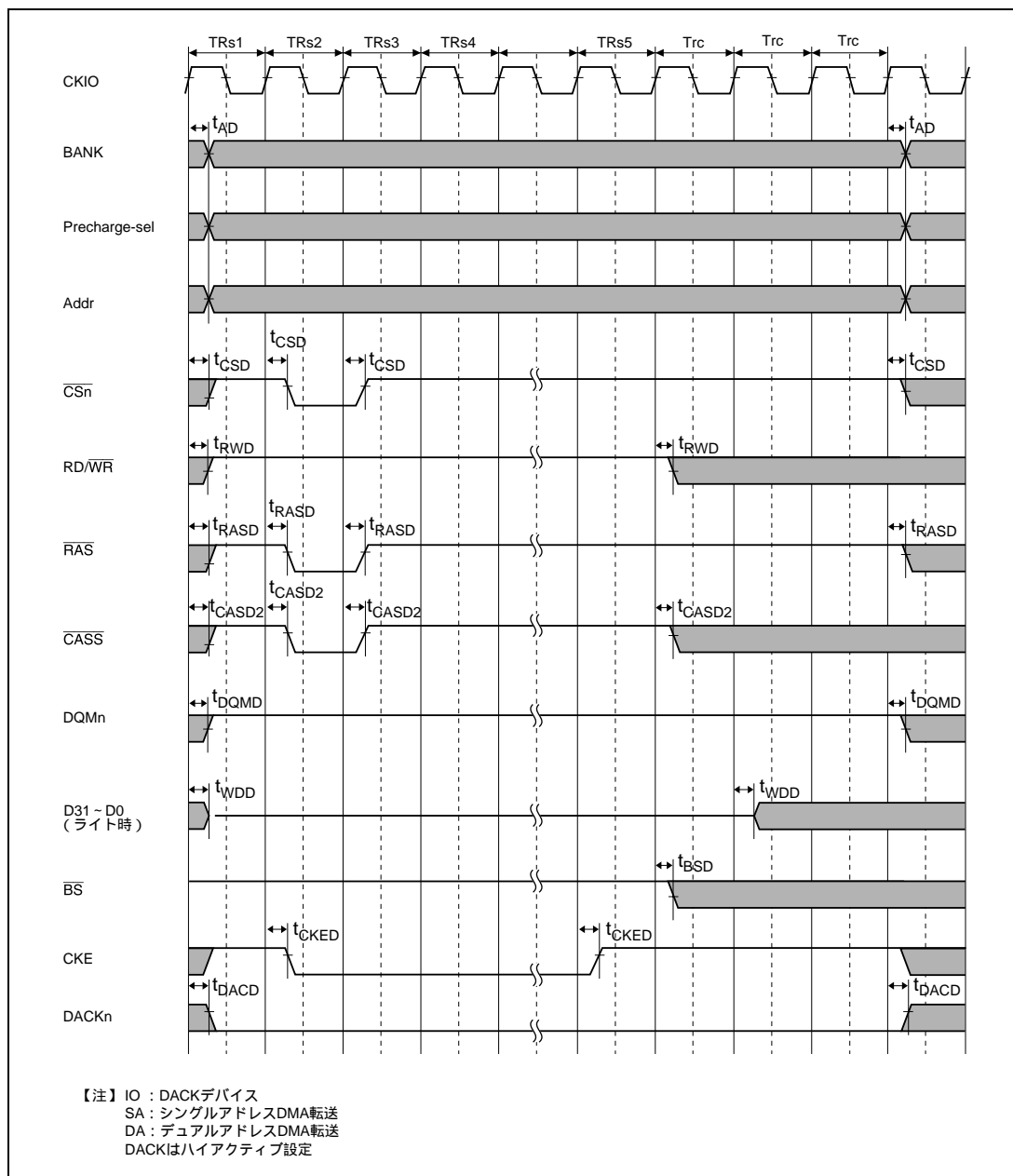


図 23.33 シンクロナス DRAM バスサイクル セルフリフレッシュ (TRC[2:0]=001)

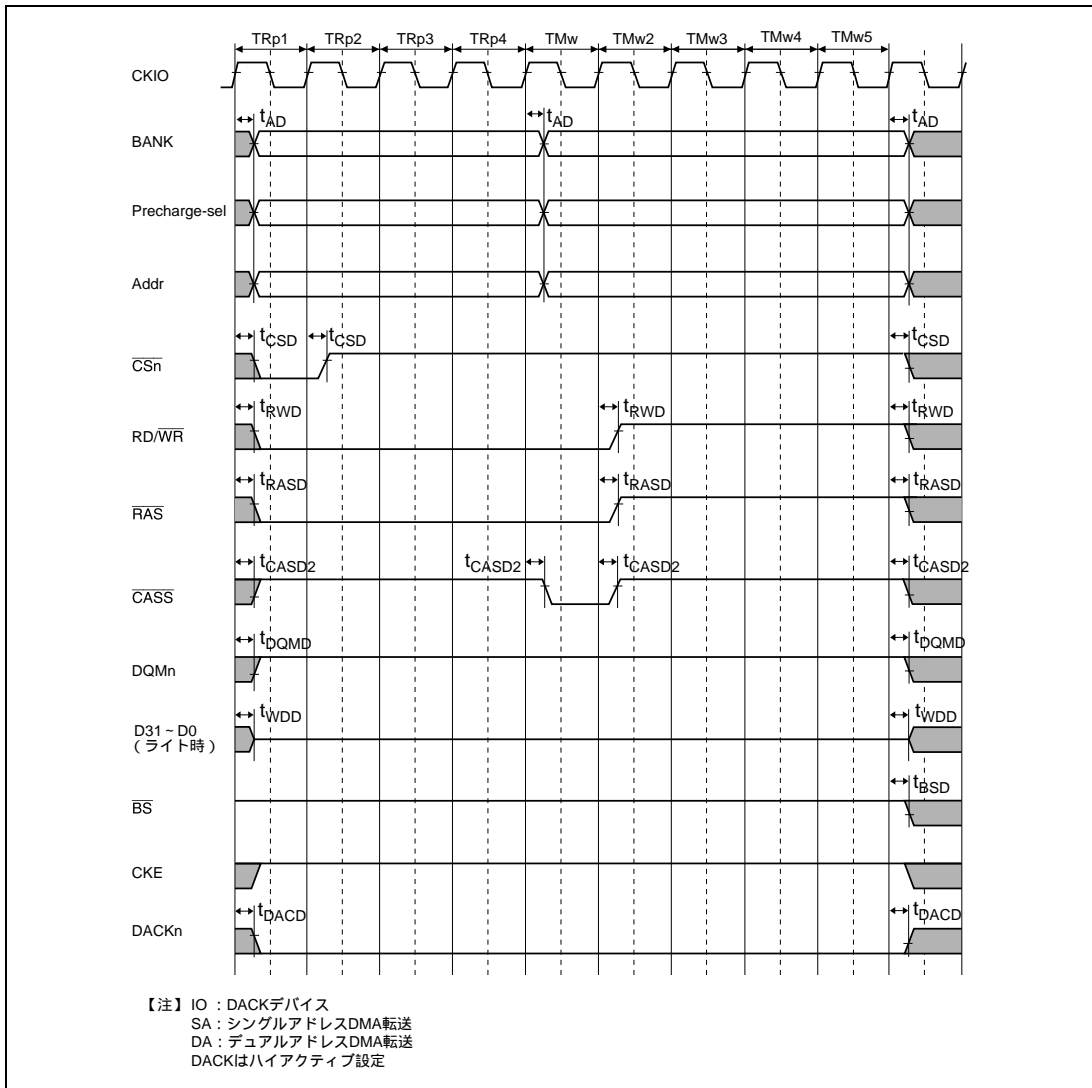


図 23.34 (a) シンクロナス DRAM バスサイクル モードレジスタセット (PALL)

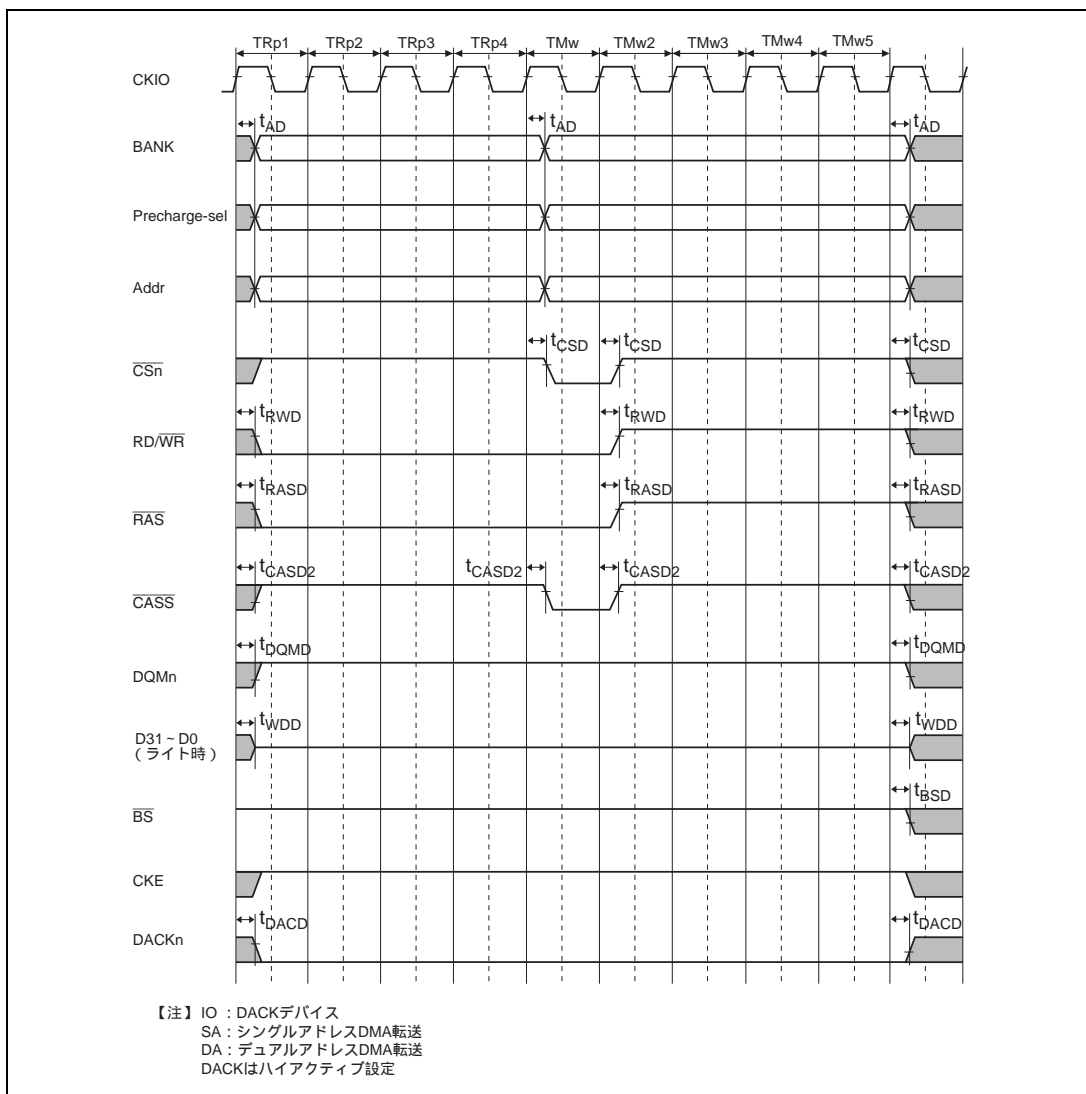


図 23.34 (b) シンクロナス DRAM バスサイクル モードレジスタセット (SET)

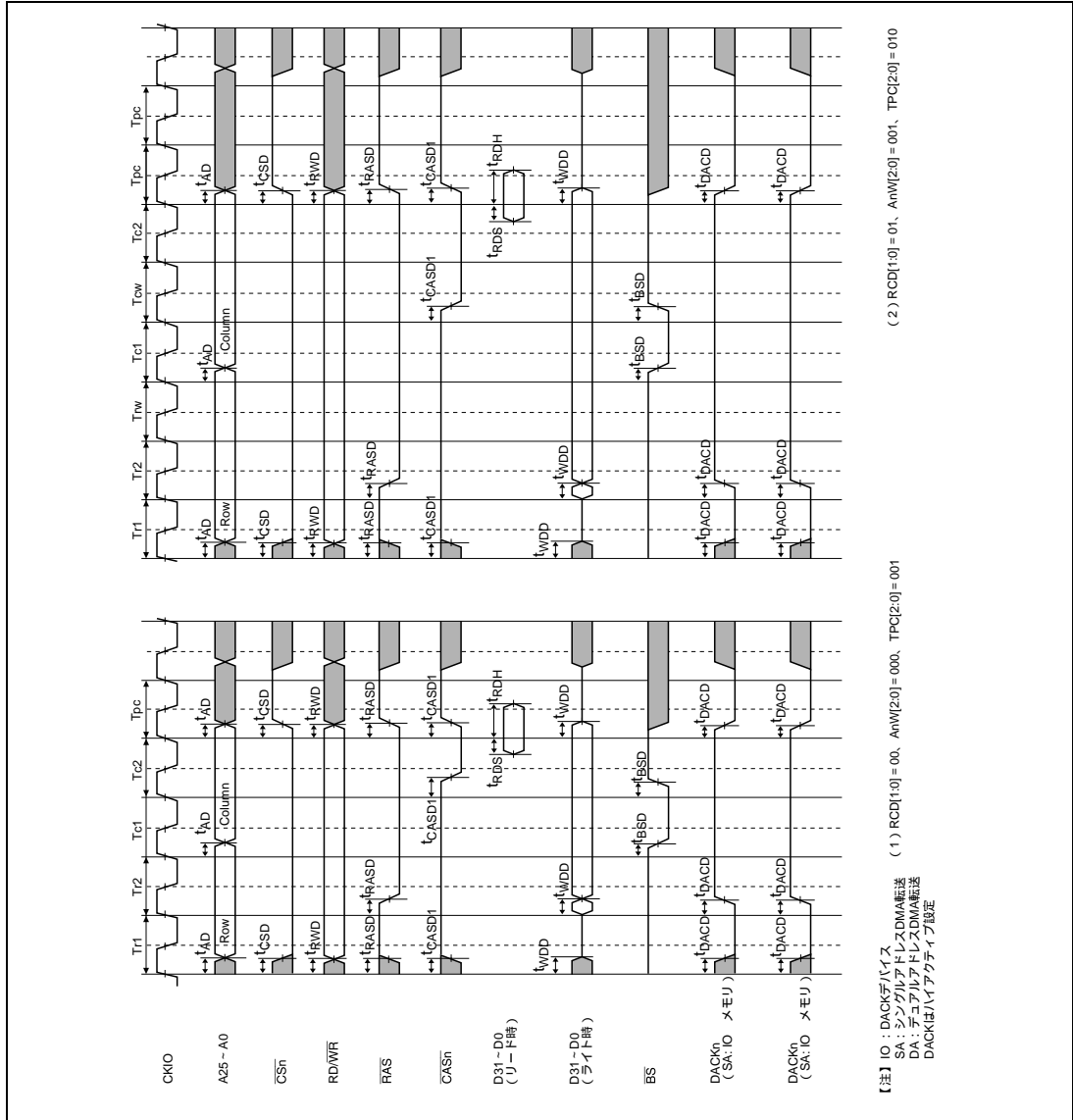


図 23.35 DRAM バスサイクル





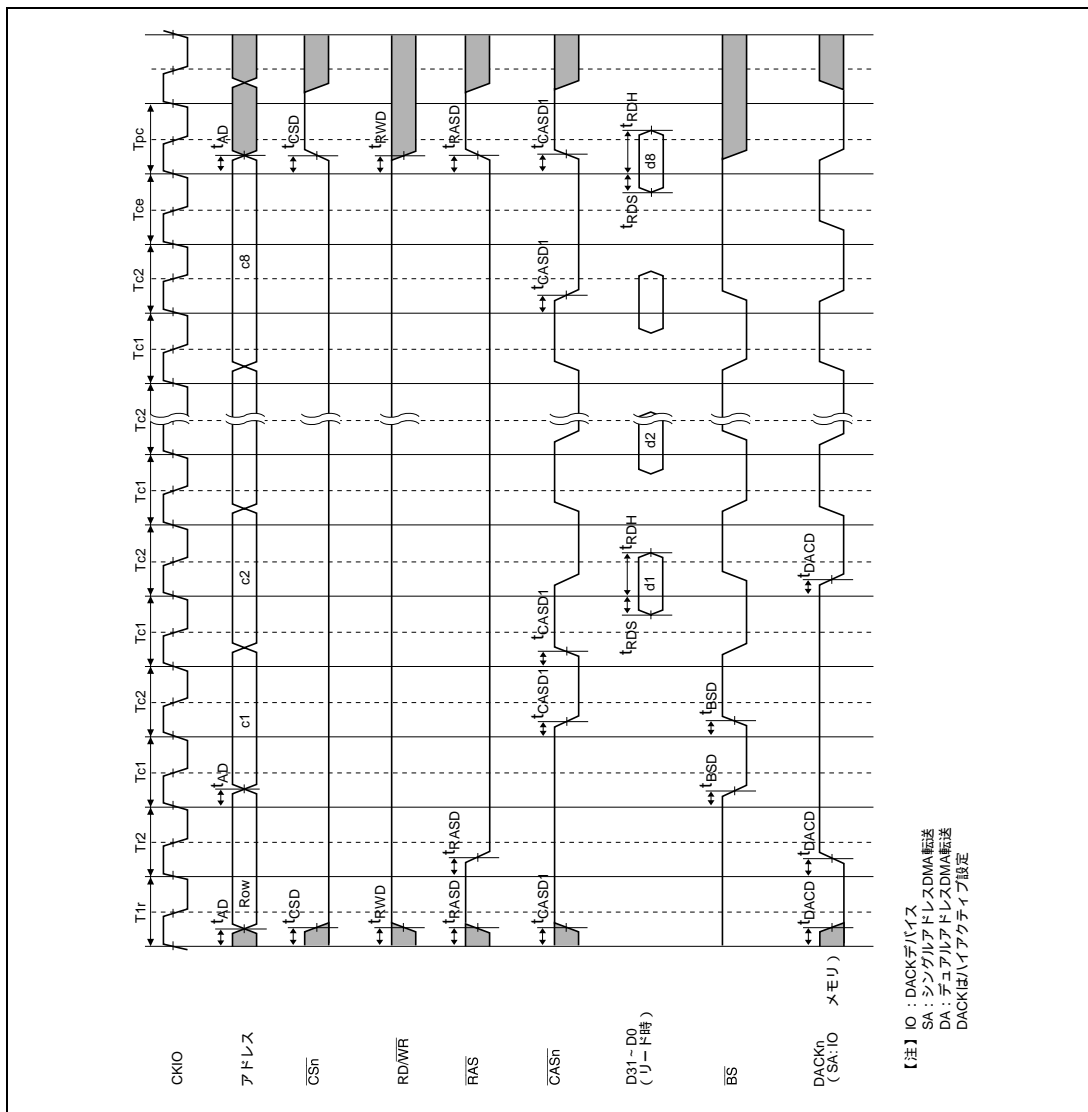


図 23.37 DRAM バーストバスサイクル (EDO モード、RCD[1:0]=00、AnW[2:0]=000、TPC[2:0]=001)

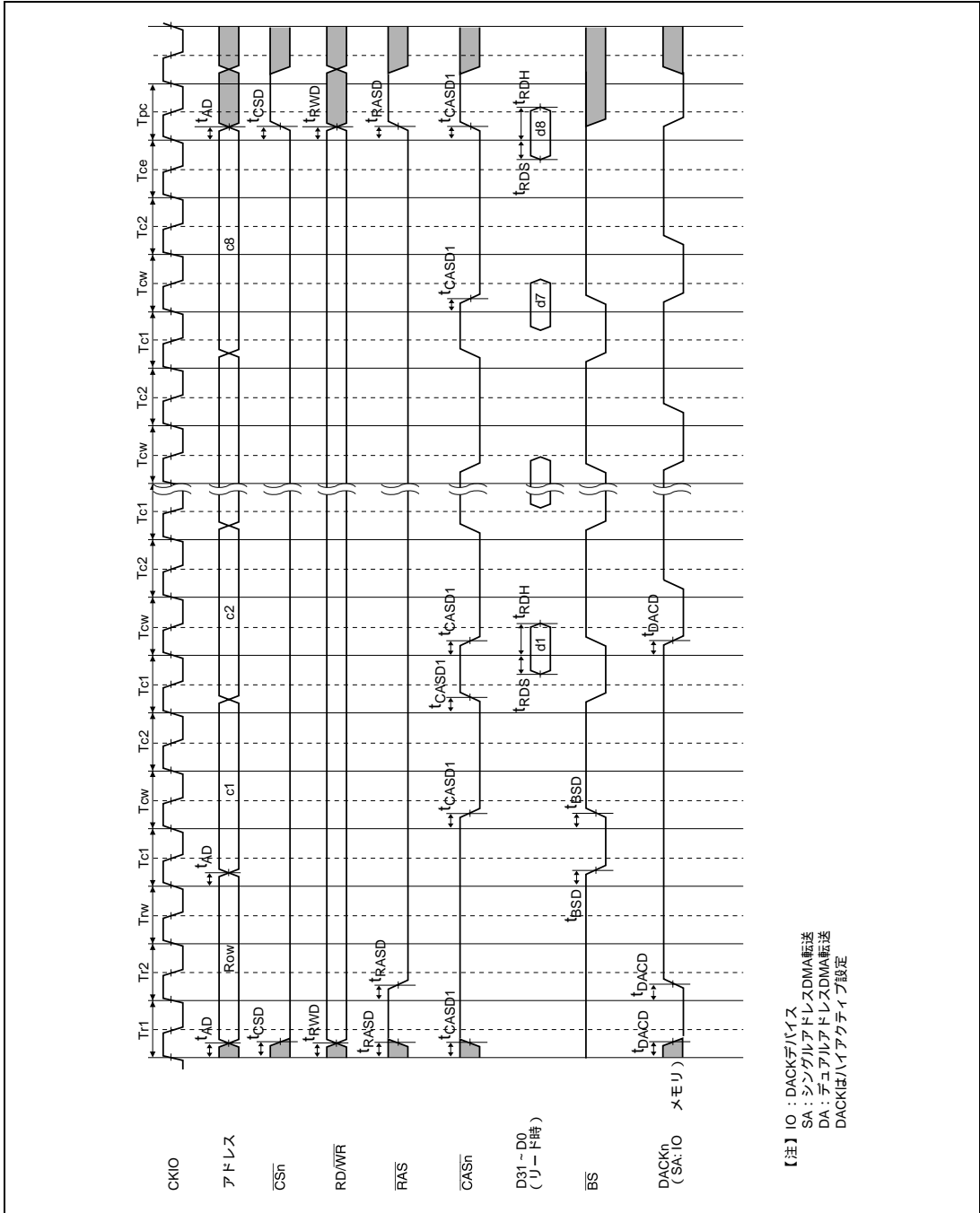


図 23.38 DRAM バーストバスサイクル (EDO モード、RCD[1:0]=01、AnW[2:0]=001、TPC[2:0]=001)

【注】 IO : DACKチャイブ  
 SA : シングルアドレスDMA転送  
 DA : デュアルアドレスDMA転送  
 DACKIはハイアクティブ設定

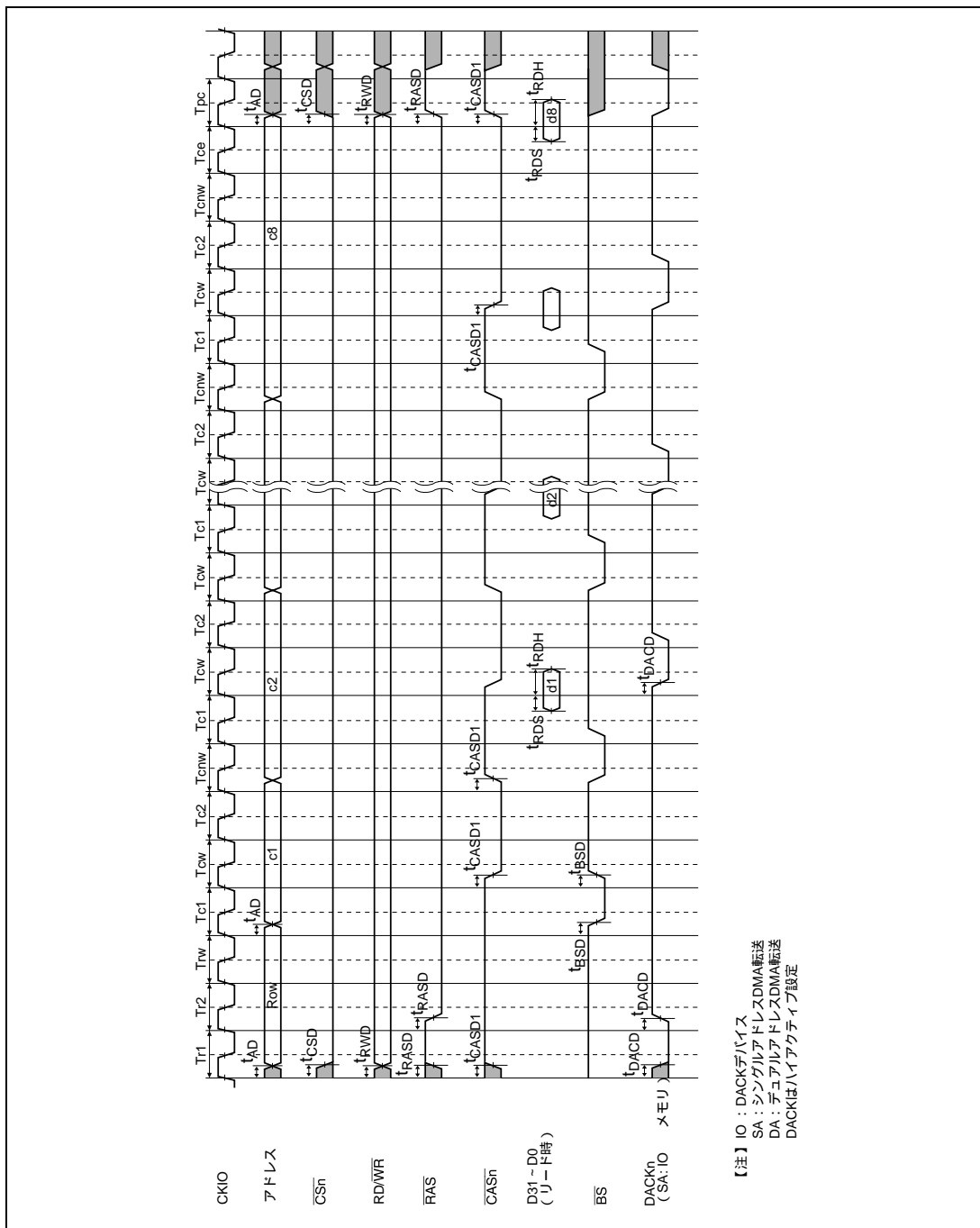


図 23.39 DRAM バーストバスサイクル (EDO モード、RCD[1:0]=01、AnW[2:0]=001、TPC[2:0]=001、CAS ネゲートパルス幅 2 サイクル)

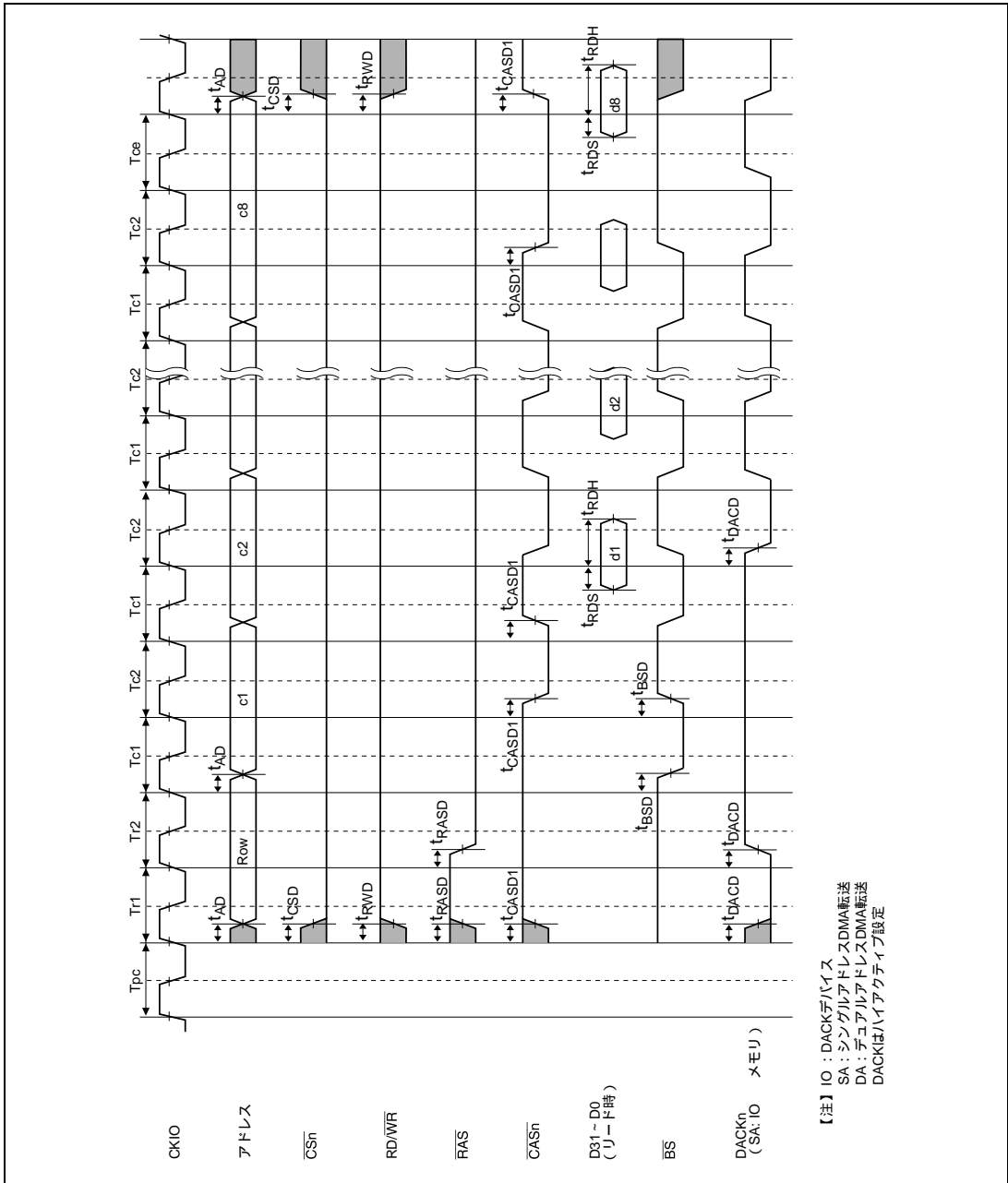


図 23.40 DRAM バーストバスサイクル、RAS ダウンモード状態 (EDO モード、RCD[1:0]=00、AnW[2:0]=000)

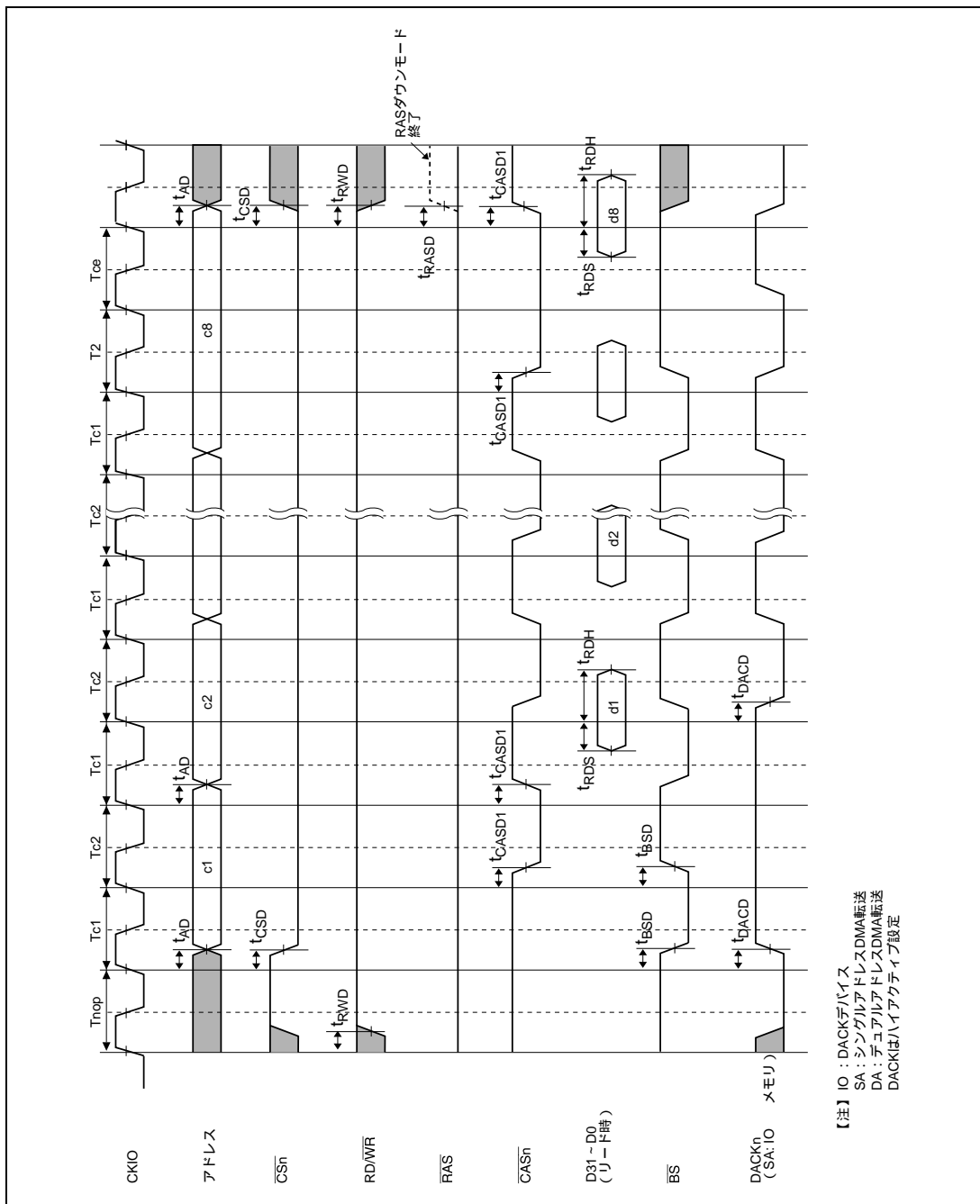
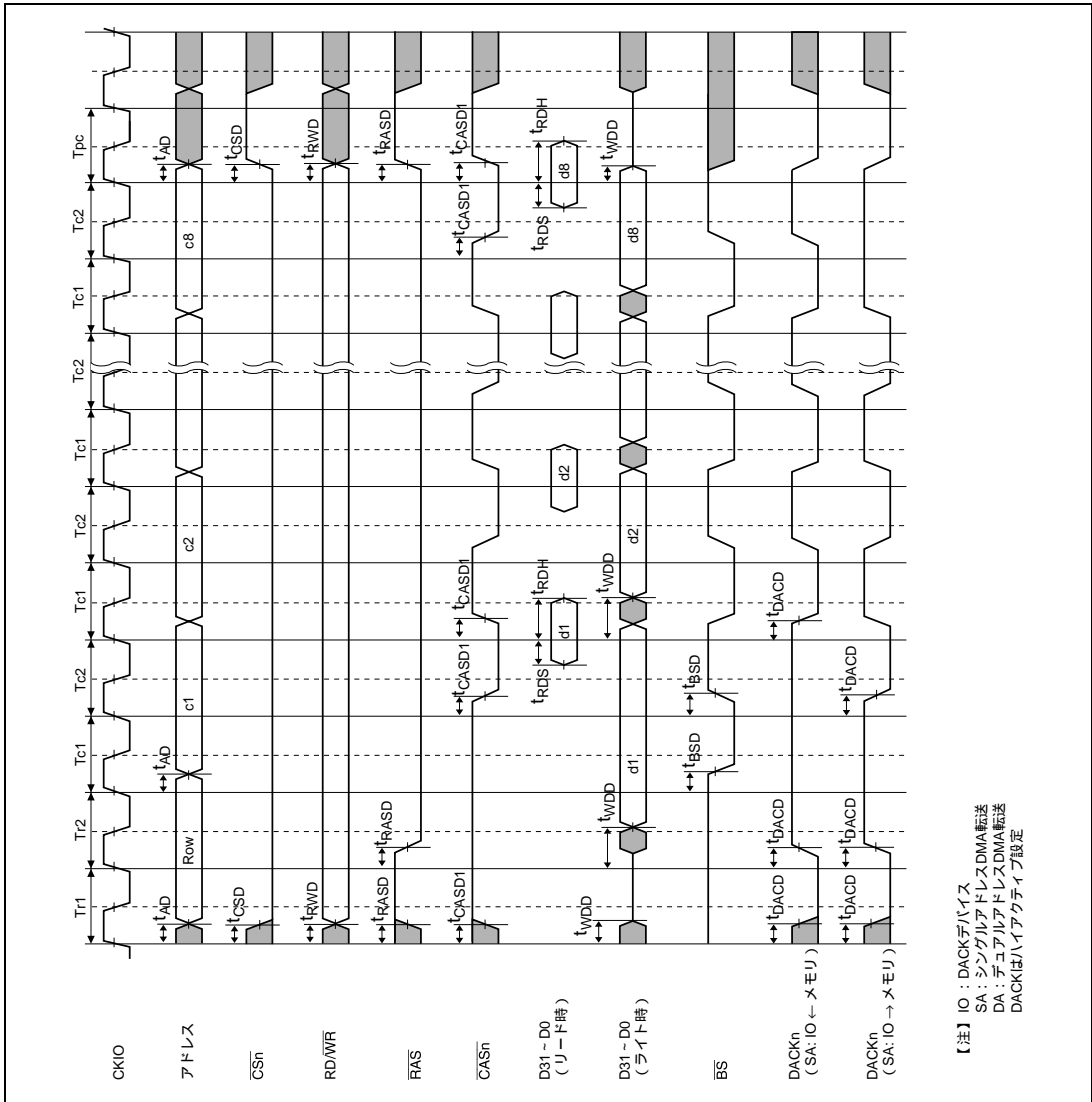


図 23.41 DRAM バーストアクセスサイクル、RAS ダウンモード継続 (EDO モード、RCD[1:0]=00、AnW[2:0]=000)



【注】 IO : DACKデバイス  
 SA : シングルアドレスDMA転送  
 DA : チェルアドレスDMA転送  
 DACKはハイアクティブ設定

図 23.42 DRAM バーストバスサイクル (高速ページモード、RCD[1:0]=00、AnW[2:0]=000、TPC[2:0]=001)

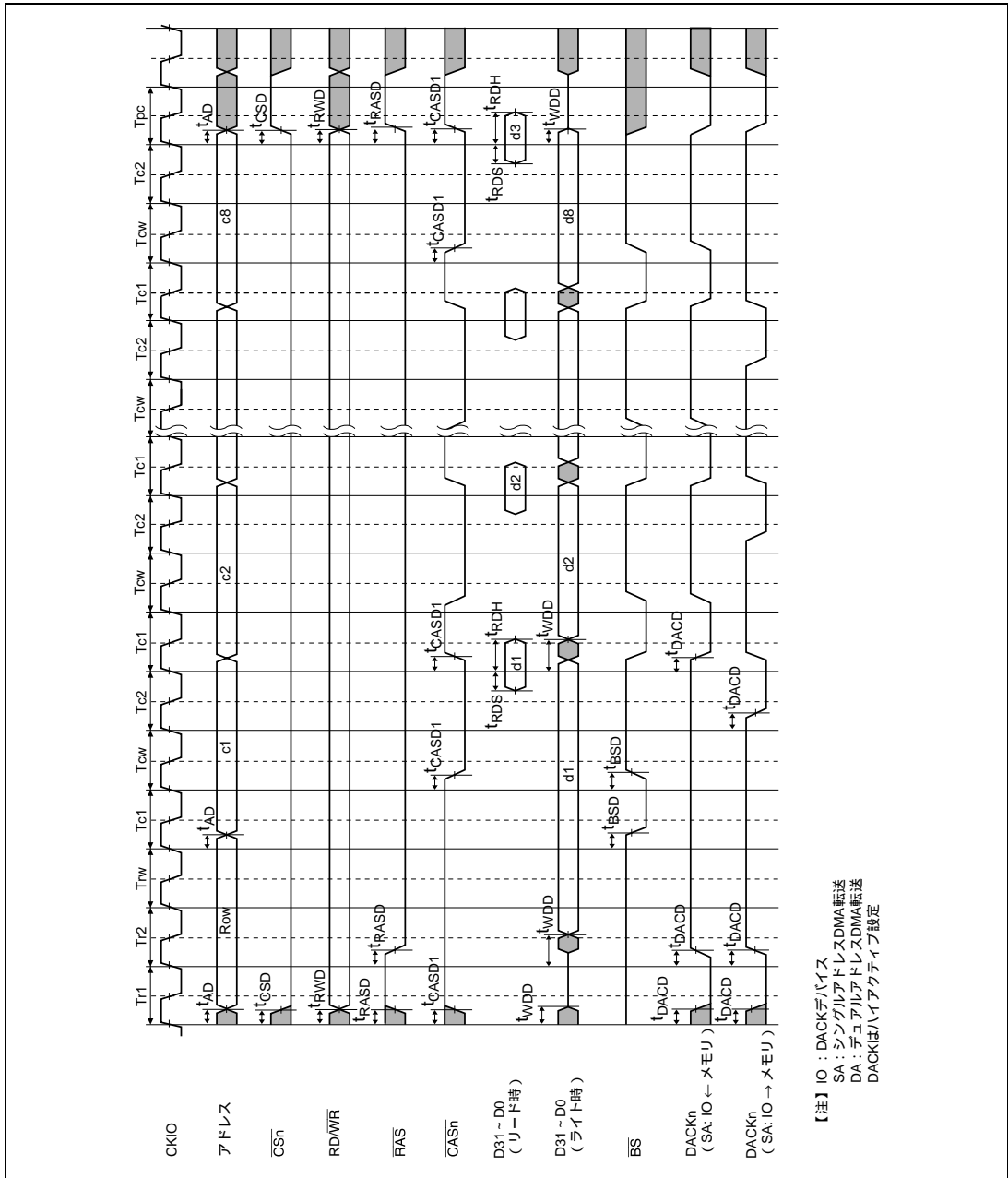


図 23.43 DRAM バーストバースサイクル (高速ページモード、RCD[1:0]=01、AnW[2:0]=001、TPC[2:0]=001)



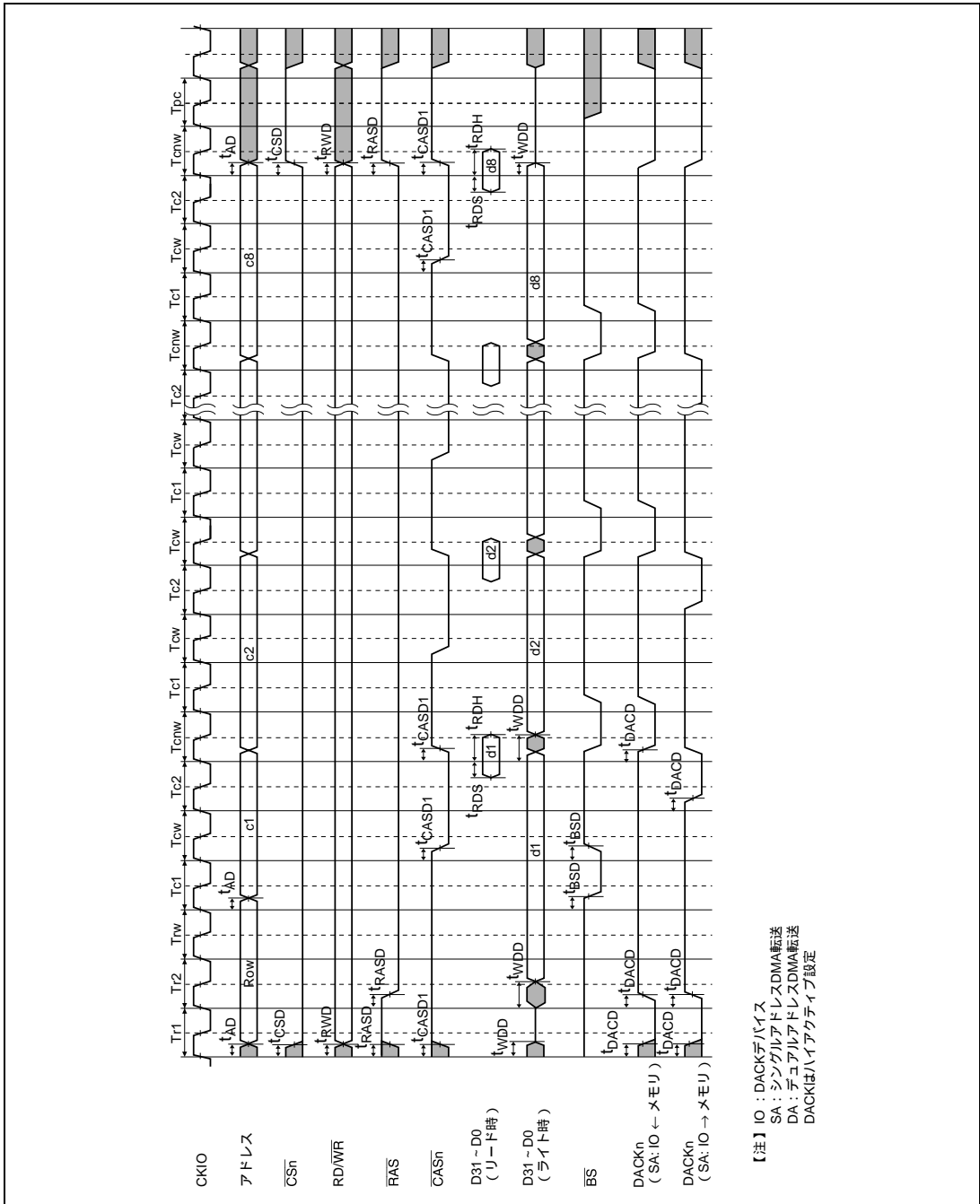


図 23.44 DRAM バーストバスサイクル (高速ページモード、RCD[1:0]=01、AnW[2:0]=001、TPC[2:0]=001、CASネゲートパルス幅 2 サイクル)

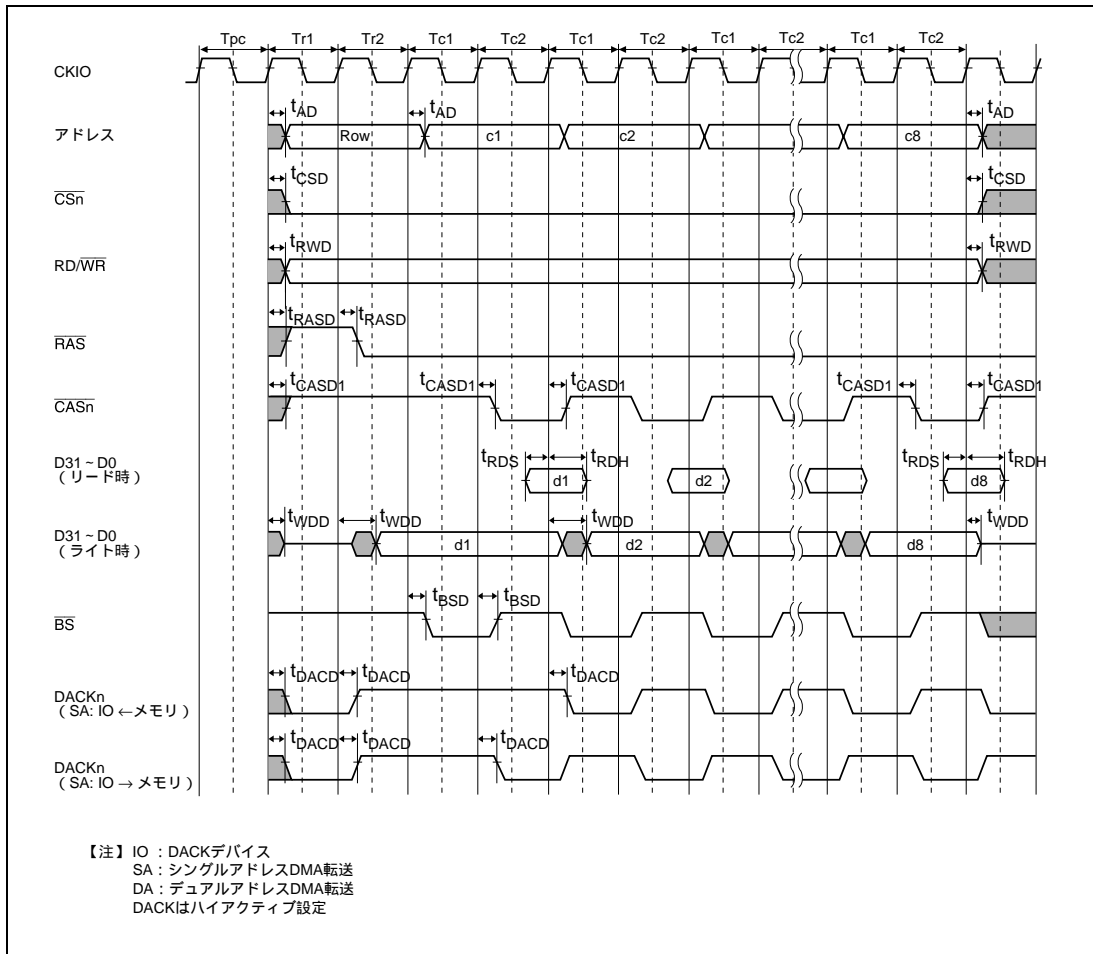


図 23.45 DRAM バーストバスサイクル、RAS ダウンモード状態  
 (高速ページモード、RCD[1:0]=00、AnW[2:0]=000)

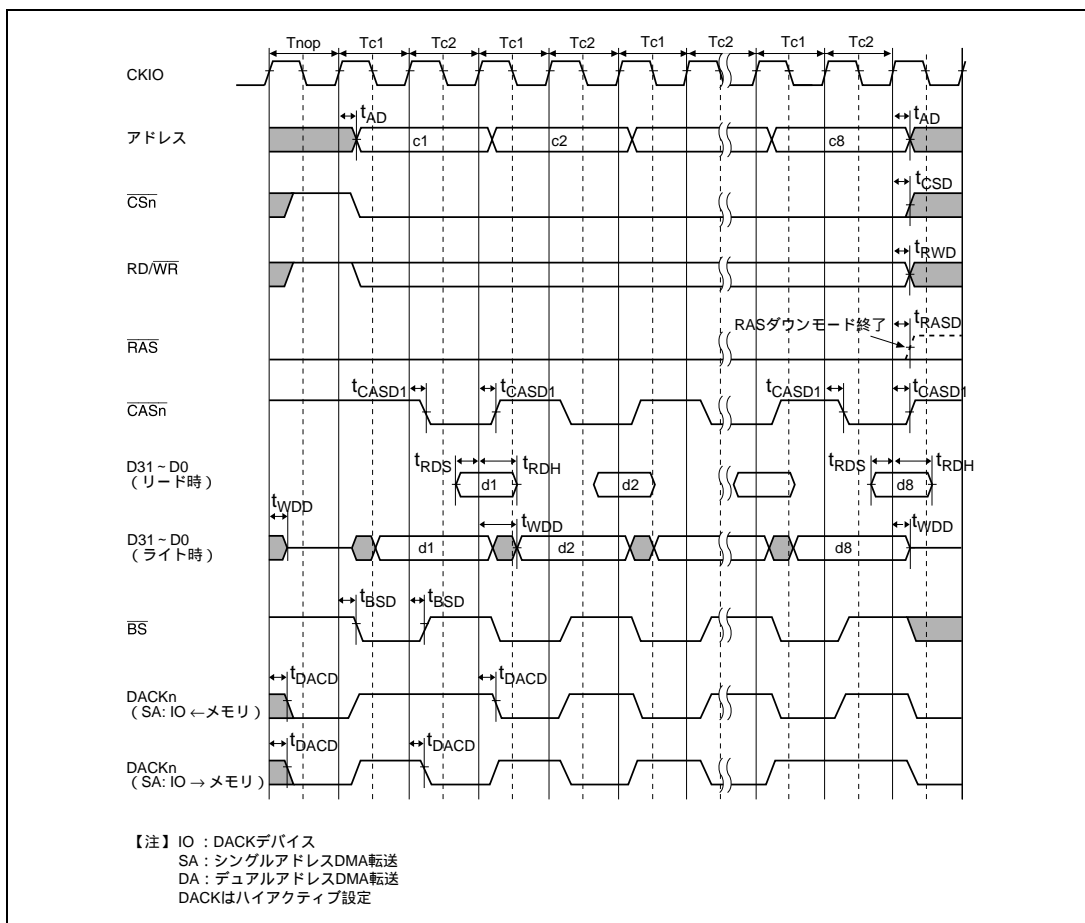


図 23.46 DRAM バーストバスサイクル、RAS ダウンモード継続  
 (高速ページモード、RCD[1:0]=00、AnW[2:0]=000)

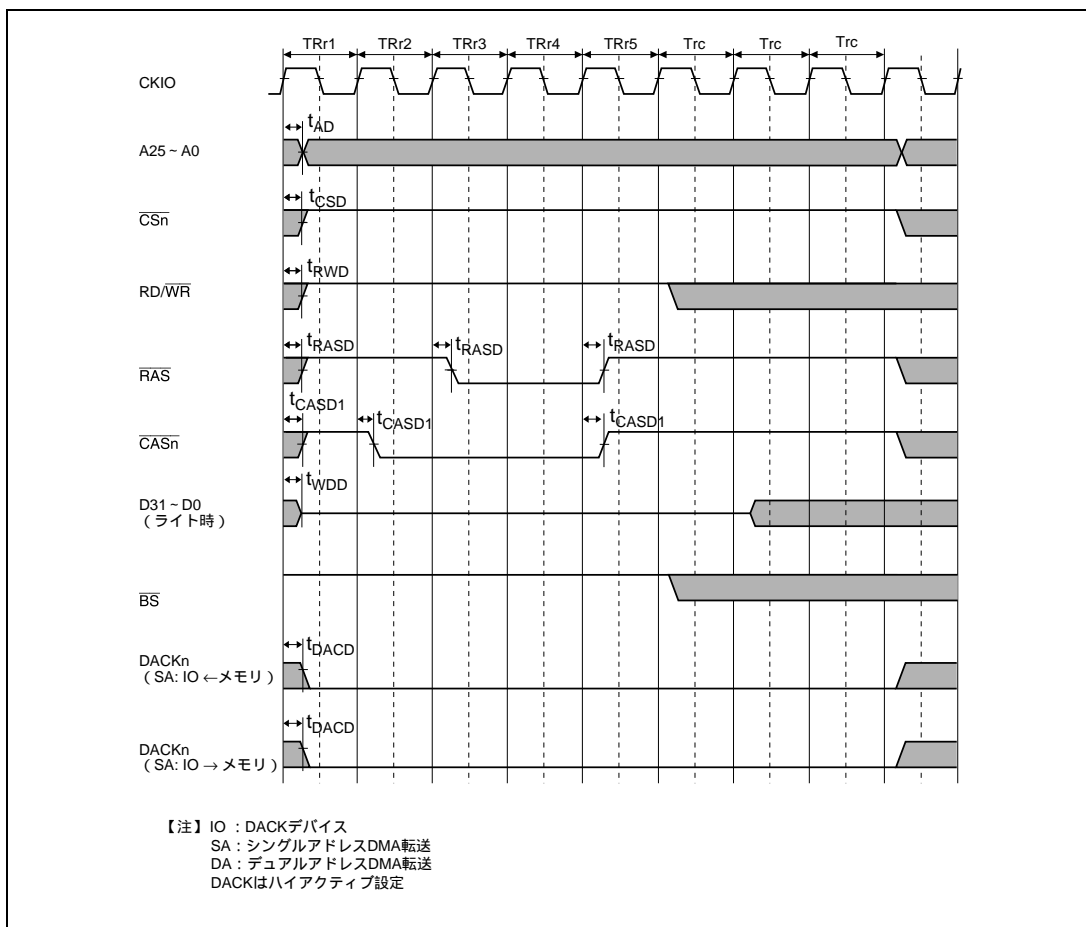


図 23.47 DRAM バスサイクル DRAM CAS ピフォ RAS リフレッシュ (TRAS[2:0]=000、TRC[2:0]=001)

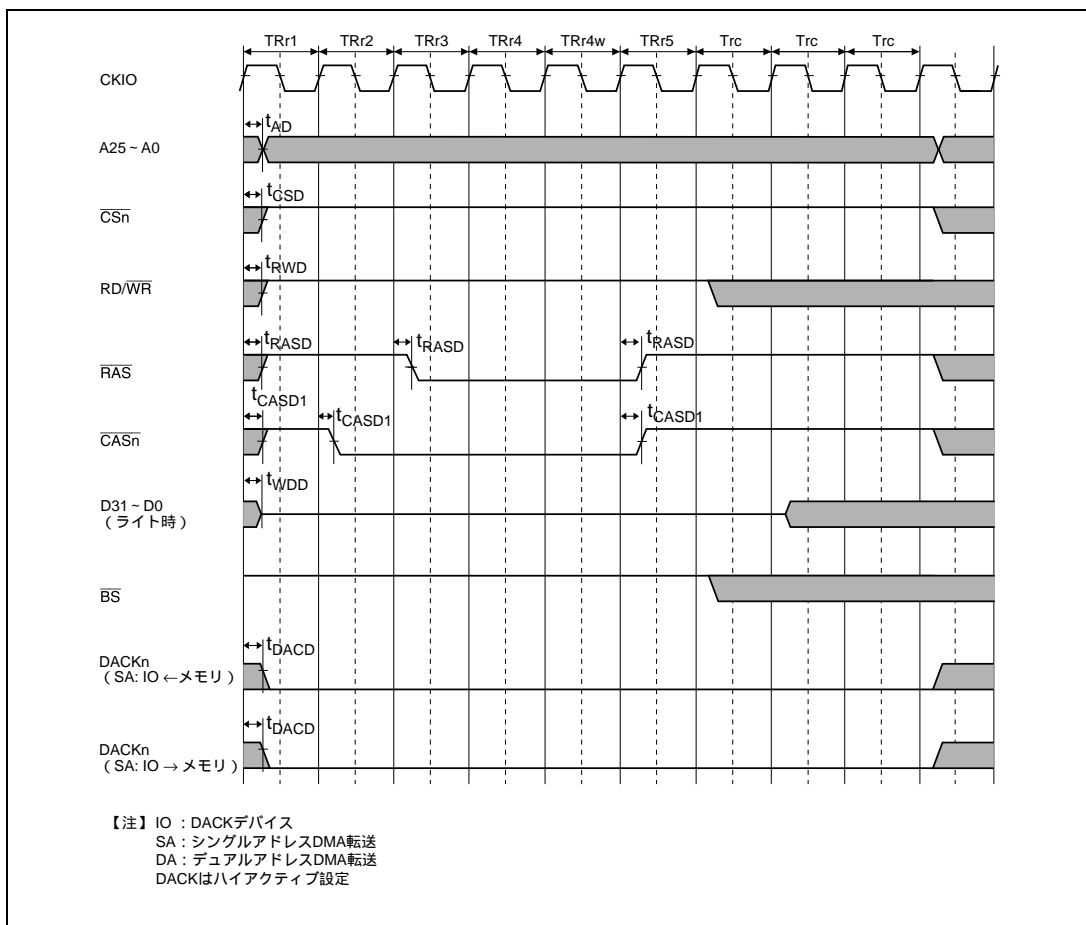


図 23.48 DRAM バスサイクル DRAM CAS ビフォ RAS リフレッシュ (  $TRAS[2:0]=001$ 、 $TRC[2:0]=001$  )

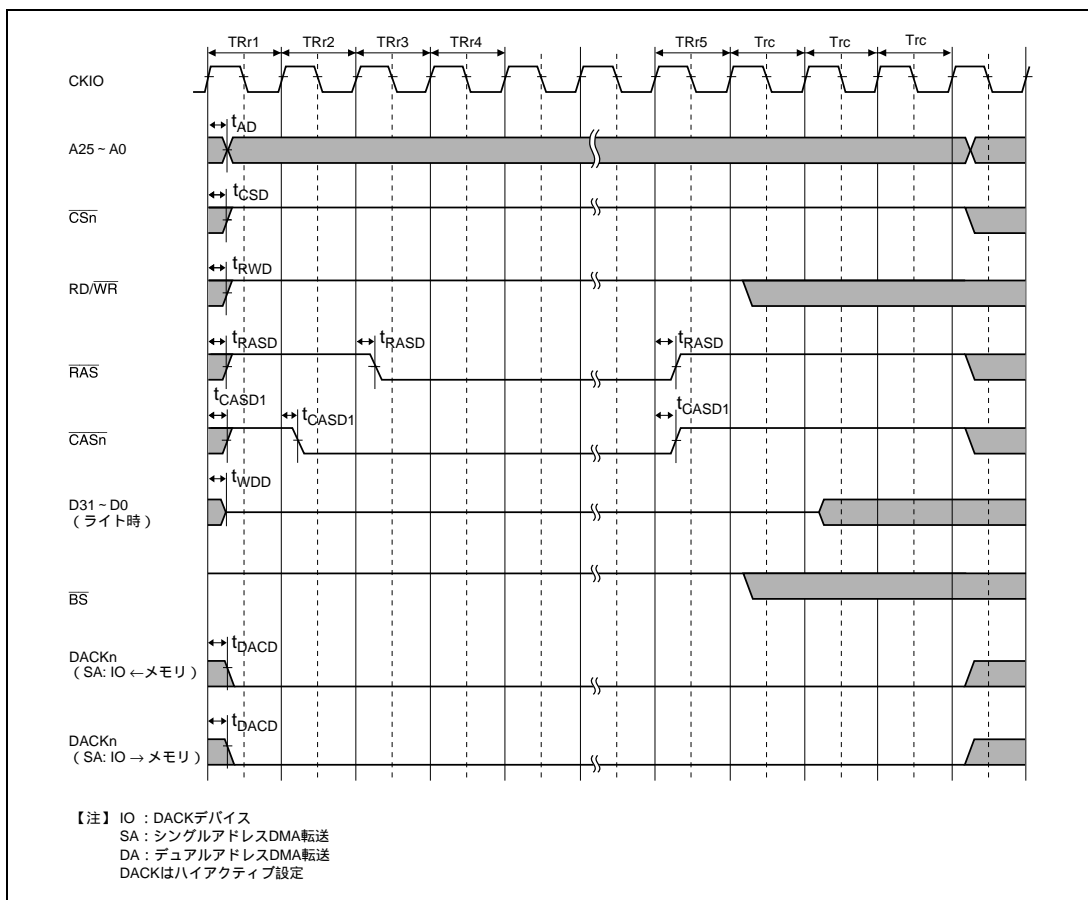


図 23.49 DRAM バスサイクル DRAM セルフリフレッシュ (TRC[2:0]=001)

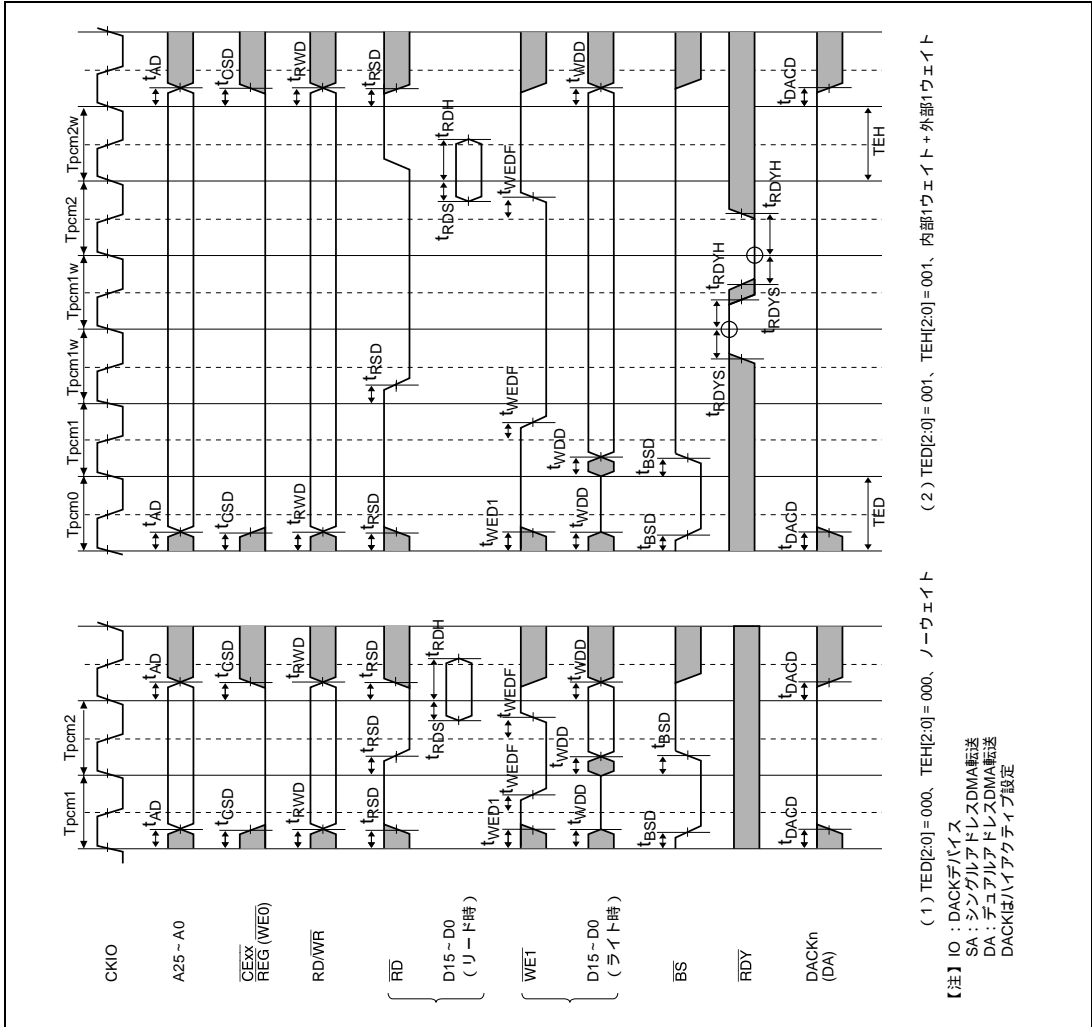


図 23.50 PCMCIA メモリバスサイクル

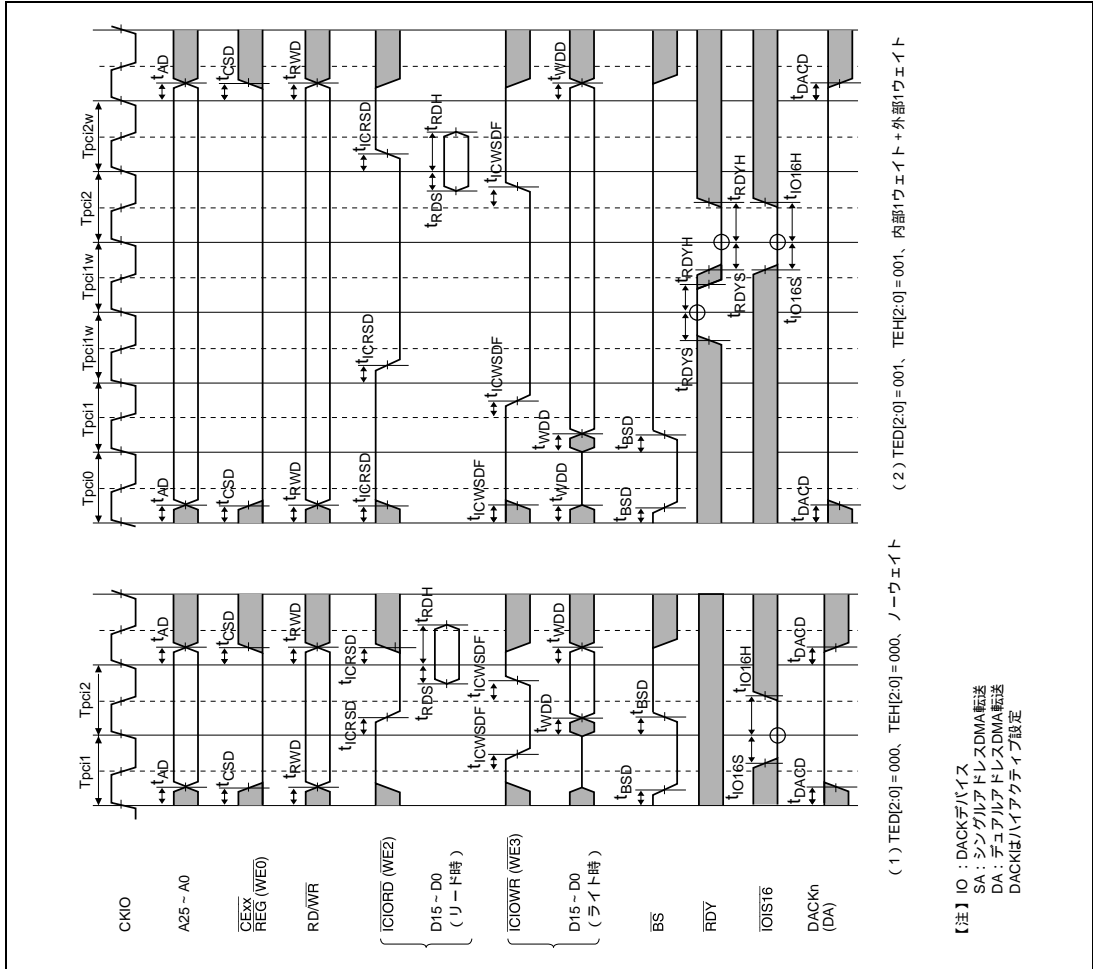


図 23.51 PCMCIA I/O バスサイクル



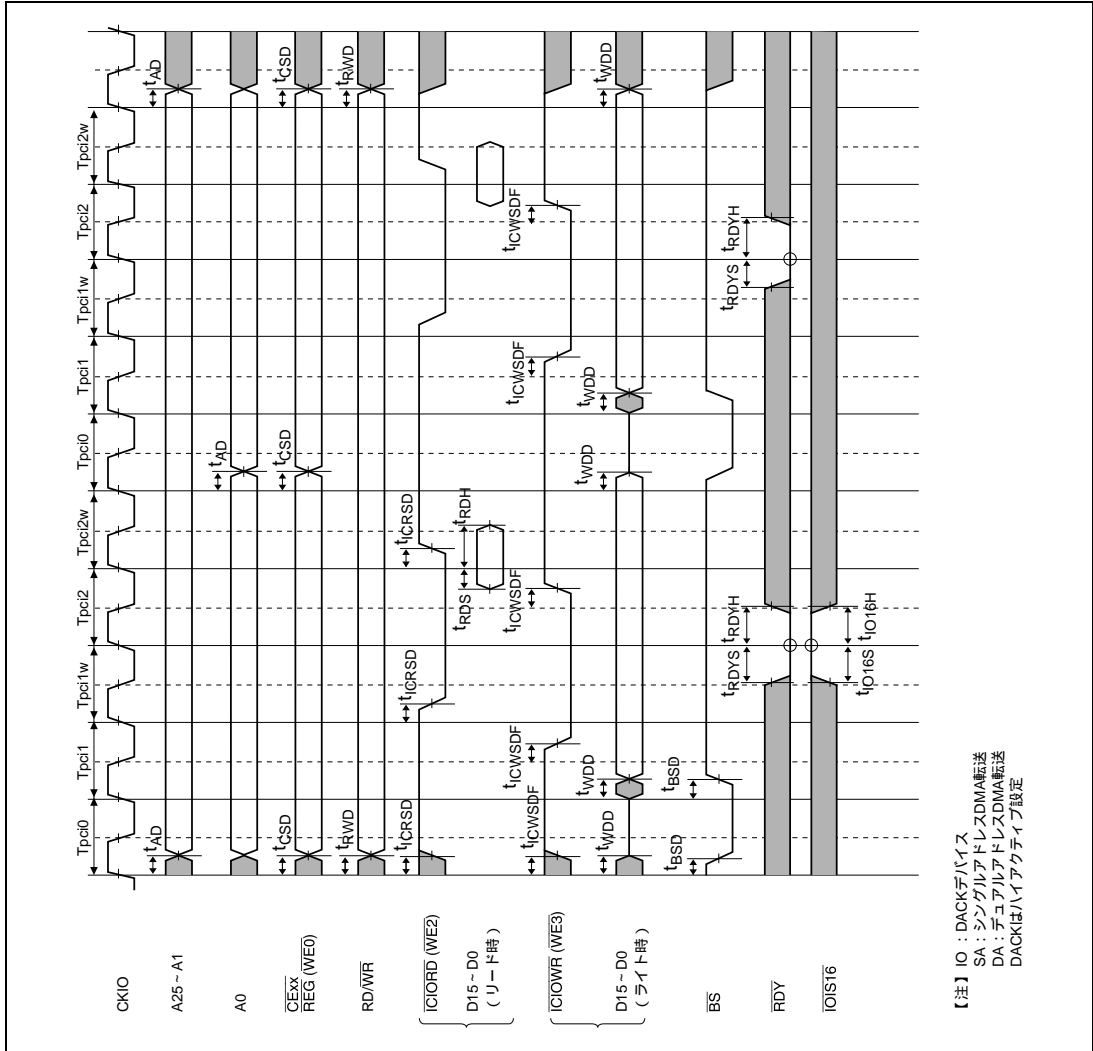


図 23.52 PCMCIA I/O バスサイクル (TED[2:0]=001、TEH[2:0]=001、内部 1 ウェイト、バスサイジング)

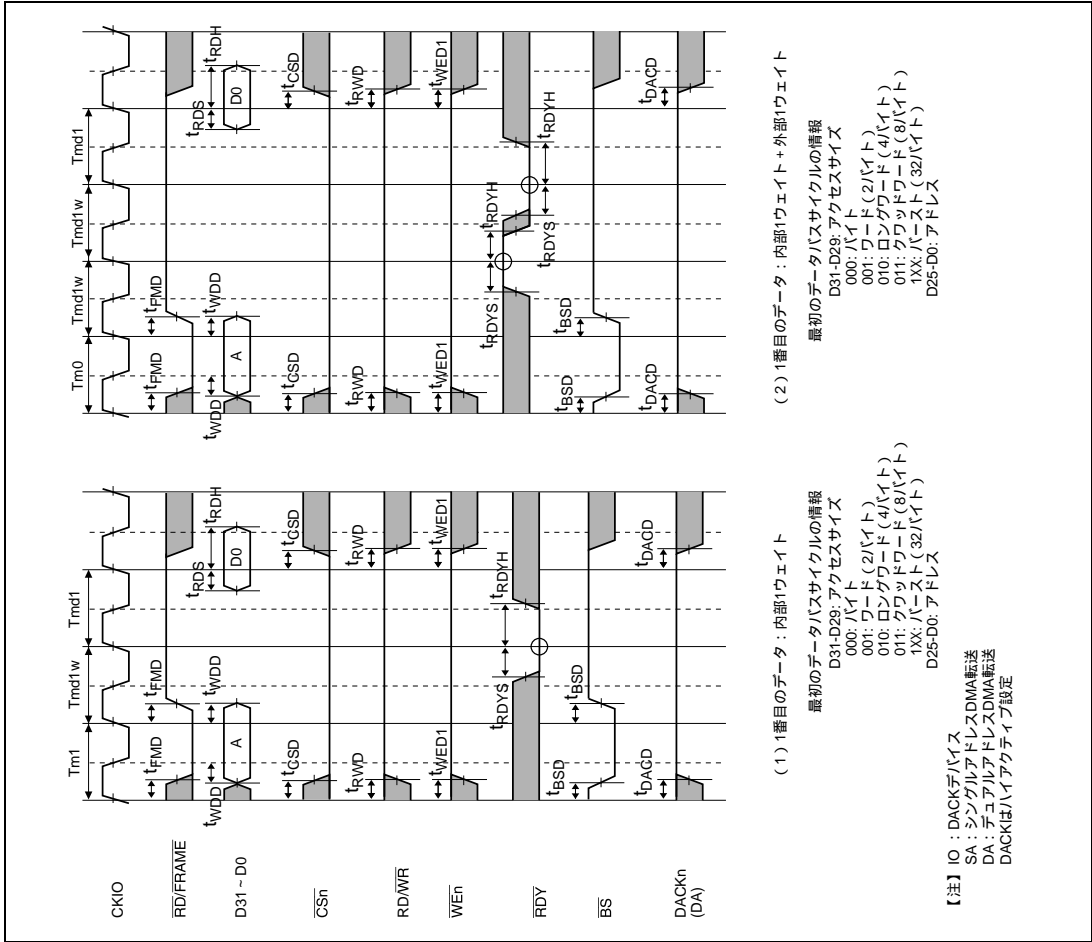


図 23.53 MPX 基本バスサイクル、リード

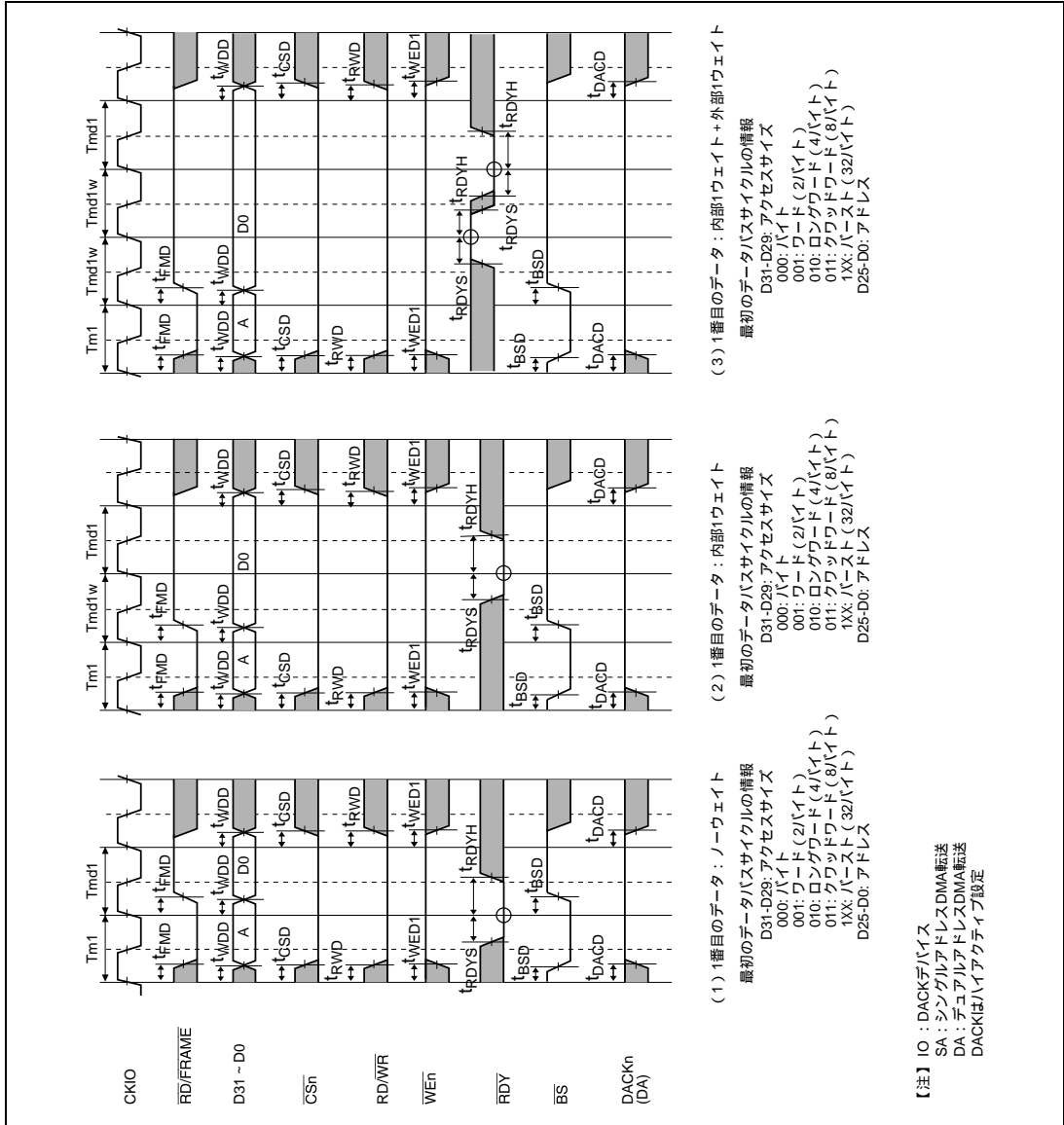


図 23.54 MPX 基本バスサイクル、ライト

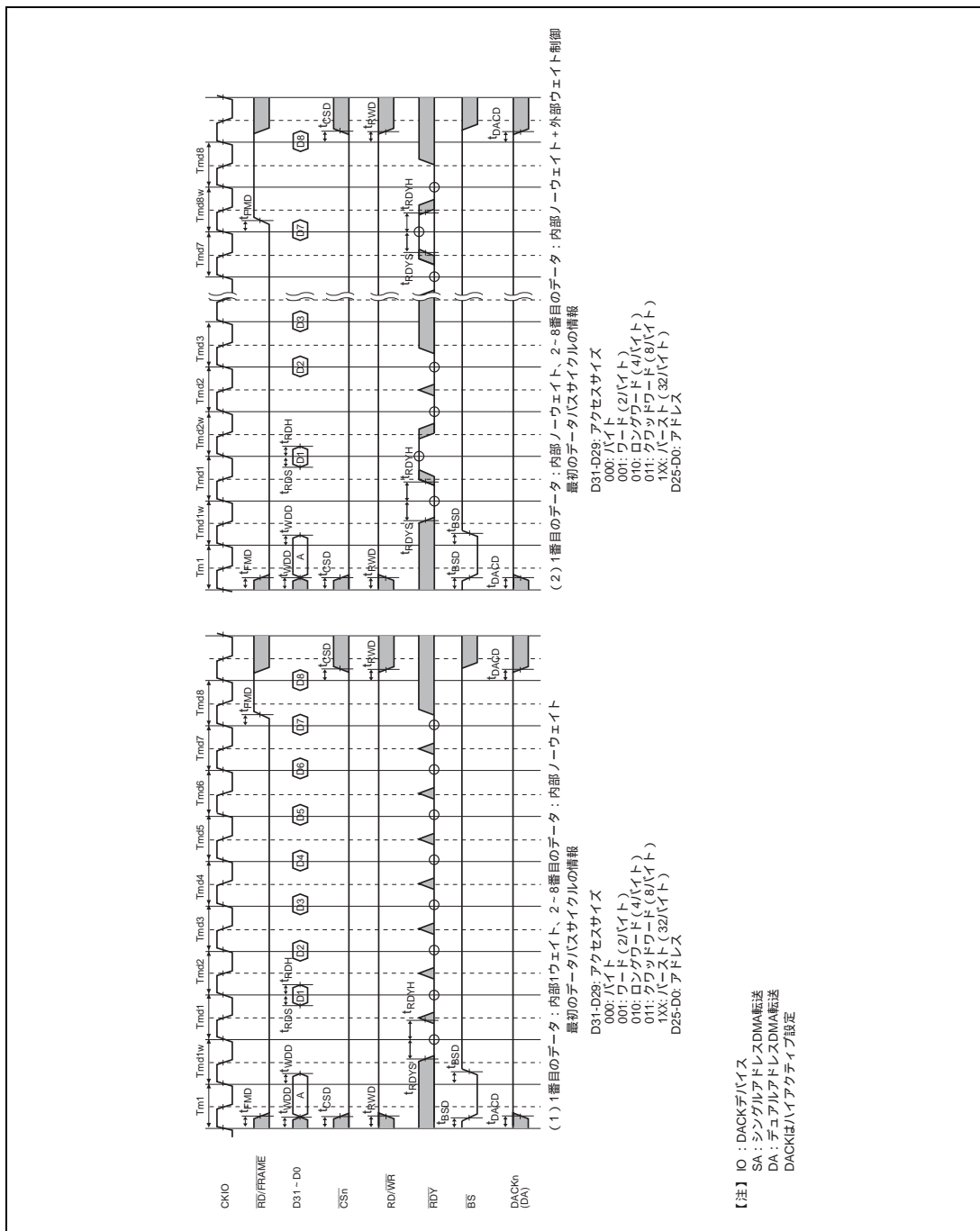


図 23.55 MPX バスサイクル、バーストリード

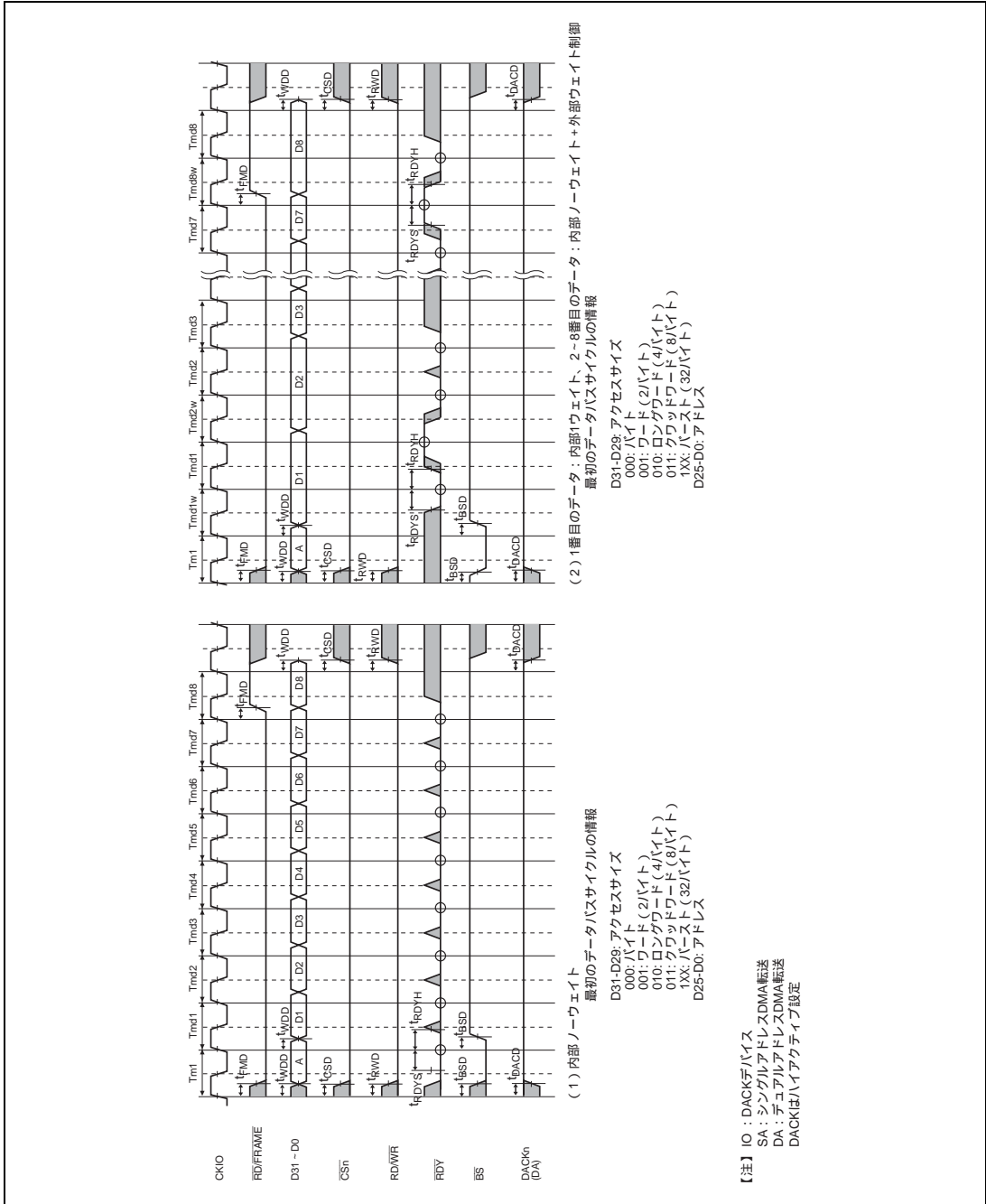


図 23.56 MPX バスサイクル、バーストライト

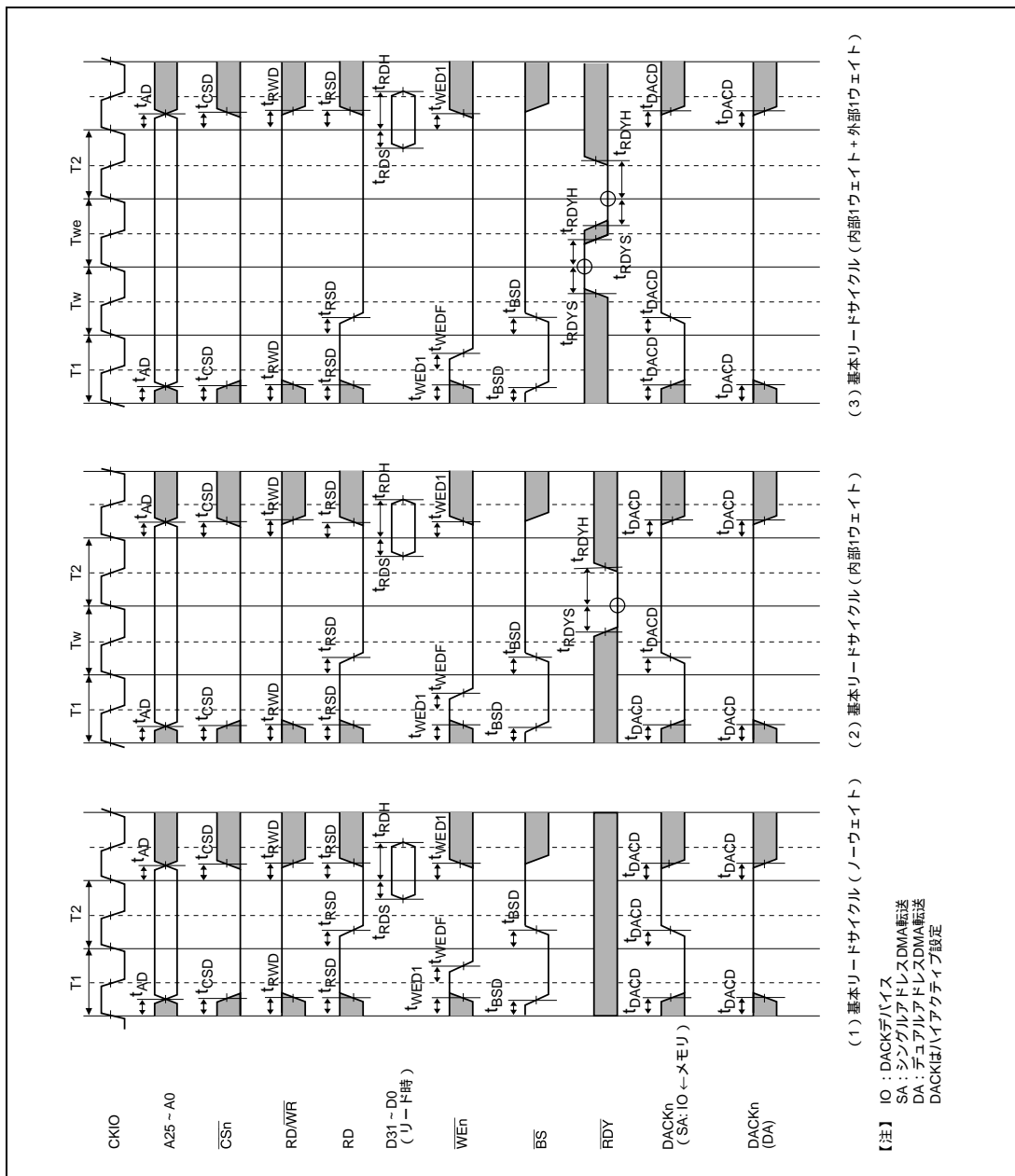


図 23.57 メモリバイト制御 SRAM バスサイクル

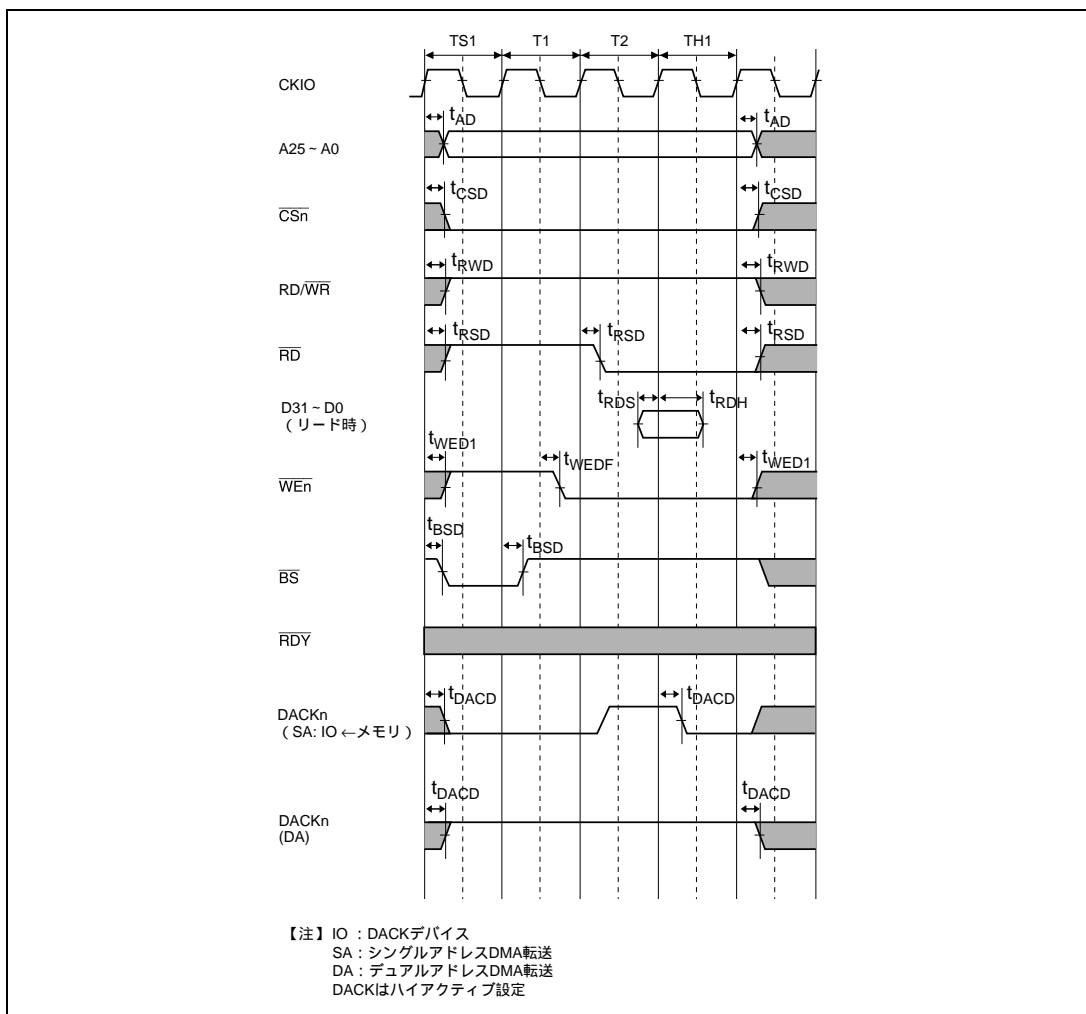


図 23.58 メモリバイト制御 SRAM バスサイクル 基本リードサイクル  
 (ノーウェイト、アドレスセットアップ/ホールド時間挿入、AnS[0]=1、AnH[1:0]=01)

## 23.3.4 周辺モジュール信号タイミング

表 23.23 周辺モジュール信号タイミング (1)

モジュール	項目	記号	HD6417751 RBP240(V)		HD6417751 RBP200(V)		HD6417751 RF240(V)		HD6417751 RF200(V)		単位	参照図	備考
			HD6417751 RBG240(V)		HD6417751 RBG200(V)								
			HD6417751 RBA240HV		HD6417751 RBA240HV* <sup>3</sup>								
* <sup>2</sup>		* <sup>2</sup>		* <sup>2</sup>		* <sup>2</sup>							
			Min	Max	Min	Max	Min	Max	Min	Max			
TMU、RTC	タイマクロックパルス幅 (High 時)	$t_{CLKWH}$	4	-	4	-	4	-	4	-	Pcyc * <sup>1</sup>	23.59	
	タイマクロックパルス幅 (Low 時)	$t_{CLKWL}$	4	-	4	-	4	-	4	-	Pcyc * <sup>1</sup>	23.59	
	タイマクロック立ち上がり時間	$t_{CLKr}$	-	0.8	-	0.8	-	0.8	-	0.8	Pcyc * <sup>1</sup>	23.59	
	タイマクロック立ち下がり時間	$t_{CLKf}$	-	0.8	-	0.8	-	0.8	-	0.8	Pcyc * <sup>1</sup>	23.59	
	発振安定期間	$t_{ROSC}$	-	3	-	3	-	3	-	3	s	23.60	
SCI	入カクロックサイクル (調歩同期)	$t_{Syc}$	4	-	4	-	4	-	4	-	Pcyc * <sup>1</sup>	23.61	
	入カクロックサイクル (クロック同期)		6	-	6	-	6	-	6	-	Pcyc * <sup>1</sup>	23.61	
	入カクロックパルス幅	$t_{SCKW}$	0.4	0.6	0.4	0.6	0.4	0.6	0.4	0.6	$t_{Syc}$	23.61	
	入カクロック立ち上がり時間	$t_{SCKr}$	-	0.8	-	0.8	-	0.8	-	0.8	Pcyc * <sup>1</sup>	23.61	
	入カクロック立ち下がり時間	$t_{SCKf}$	-	0.8	-	0.8	-	0.8	-	0.8	Pcyc * <sup>1</sup>	23.61	
	転送データ遅延時間	$t_{TXD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	23.62	
	受信データセットアップ時間 (クロック同期)	$t_{RXS}$	16	-	16	-	16	-	16	-	ns	23.62	
	受信データホールド時間 (クロック同期)	$t_{RXH}$	16	-	16	-	16	-	16	-	ns	23.62	



モジュール	項目	記号	HD6417751 RBP240(V)		HD6417751 RBP200(V)		HD6417751 RF240(V)		HD6417751 RF200(V)		単位	参照図	備考
			HD6417751 RBG240(V)		HD6417751 RBG200(V)								
			HD6417751 RBA240HV		HD6417751 RBA240HV* <sup>3</sup>								
			* <sup>2</sup>		* <sup>2</sup>								
		Min	Max	Min	Max	Min	Max	Min	Max				
I/O ポート	出力データ遅延時間	$t_{PORTD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	23.63	
	入力データ セットアップ時間	$t_{PORTS}$	2	-	2.5	-	3.5	-	3.5	-	ns	23.63	
	入力データ ホールド時間	$t_{PORTH}$	1.5	-	1.5	-	1.5	-	1.5	-	ns	23.63	
DMAC	$\overline{DREQn}$ セットアップ時間	$t_{DROS}$	2	-	2.5	-	3.5	-	3.5	-	ns	23.64	
	$\overline{DREQn}$ ホールド時間	$t_{DROH}$	1.5	-	1.5	-	1.5	-	1.5	-	ns	23.64	
	DRAKn 遅延時間	$t_{DRAKD}$	1.5	5.3	1.5	5.3	1.5	6	1.5	6	ns	23.64	
INTC	NMI パルス幅 (High 時)	$t_{NMIH}$	5	-	5	-	5	-	5	-	$t_{cyc}$	23.69	通常時 スリー プ時
			30	-	30	-	30	-	30	-	ns	23.69	スタン バイ時
	NMI パルス幅 (Low 時)	$t_{NMIL}$	5	-	5	-	5	-	5	-	$t_{cyc}$	23.69	通常時 スリー プ時
			30	-	30	-	30	-	30	-	ns	23.69	スタン バイ時
H-UDI	入カクロック サイクル	$t_{TCKcyc}$	50	-	50	-	50	-	50	-	ns	23.65, 23.67	
	入カクロック パルス幅 (High 時)	$t_{TCKH}$	15	-	15	-	15	-	15	-	ns	23.65	
	入カクロック パルス幅 (Low 時)	$t_{TCKL}$	15	-	15	-	15	-	15	-	ns	23.65	
	入カクロック 立ち上がり時間	$t_{TCKr}$	-	10	-	10	-	10	-	10	ns	23.65	
	入カクロック 立ち下がり時間	$t_{TCKf}$	-	10	-	10	-	10	-	10	ns	23.65	
	ASEBRK セットアップ時間	$t_{ASEBRKS}$	10	-	10	-	10	-	10	-	$t_{cyc}$	23.66	
	ASEBRK ホールド時間	$t_{ASEBRKH}$	10	-	10	-	10	-	10	-	$t_{cyc}$	23.66	

モジュール	項目	記号	HD6417751 RBP240(V)		HD6417751 RBP200(V)						単位	参照図	備考
			HD6417751 RBG240(V)		HD6417751 RBG200(V)								
			HD6417751 RBA240HV		HD6417751 RBA240HV* <sup>3</sup>		HD6417751 RF240(V)		HD6417751 RF200(V)				
* <sup>2</sup>		* <sup>2</sup>		* <sup>2</sup>		* <sup>2</sup>							
			Min	Max	Min	Max	Min	Max	Min	Max			
H-UDI	TDI/TMS セットアップ時間	$t_{TDIS}$	15	-	15	-	15	-	15	-	ns	23.67	
	TDI/TMS ホールド時間	$t_{TDIH}$	15	-	15	-	15	-	15	-	ns	23.67	
	TDO データ遅延時間	$t_{TDO}$	0	10	0	10	0	10	0	10	ns	23.67	
	ASE-PINBRK パルス幅	$t_{PINBRK}$	2	-	2	-	2	-	2	-	Pcyc * <sup>1</sup>	23.68	

【注】 \*1 Pcyc は P クロックサイクルを意味します。

\*2  $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$  \*<sup>4</sup>、 $C_L=30pF$ 、PLL2 は on

\*3 HD6417751RBA240HV を 200MHz の仕様で使用する場合になります。

\*4 HD6417751RBA240HV のみ、 $T_a=-40\sim 85$  の範囲になります。

表 23.24 周辺モジュール信号タイミング (2)

モジュール	項目	記号	HD6417751BP167(V) HD6417751F167(V)		単位	参照図	備考
			*2				
			Min	Max			
TMU、RTC	タイマクロック パルス幅 (High 時)	$t_{TCLKWH}$	4	-	Pcyc* <sup>1</sup>	23.59	
	タイマクロック パルス幅 (Low 時)	$t_{TCLKWL}$	4	-	Pcyc* <sup>1</sup>	23.59	
	タイマクロック 立ち上がり時間	$t_{TCLKr}$	-	0.8	Pcyc* <sup>1</sup>	23.59	
	タイマクロック 立ち下がり時間	$t_{TCLKf}$	-	0.8	Pcyc* <sup>1</sup>	23.59	
	発振安定期間	$t_{ROSC}$	-	3	s	23.60	
SCI	入力クロックサイクル (調歩同期)	$t_{Soyc}$	4	-	Pcyc* <sup>1</sup>	23.61	
	入力クロックサイクル (クロック同期)		6	-	Pcyc* <sup>1</sup>	23.61	
	入力クロックパルス幅	$t_{SCKW}$	0.4	0.6	$t_{Soyc}$	23.61	
	入力クロック 立ち上がり時間	$t_{SCKr}$	-	0.8	Pcyc* <sup>1</sup>	23.61	
	入力クロック 立ち下がり時間	$t_{SCKf}$	-	0.8	Pcyc* <sup>1</sup>	23.61	
	転送データ遅延時間	$t_{TXD}$	-	30	ns	23.62	
	受信データ セットアップ時間 (クロック同期)	$t_{RXS}$	0.8	-	Pcyc* <sup>1</sup>	23.62	
	受信データホールド時間 (クロック同期)	$t_{RXH}$	0.8	-	Pcyc* <sup>1</sup>	23.62	
I/O ポート	出力データ遅延時間	$t_{PORTD}$	-	8	ns	23.63	
	入力データ セットアップ時間	$t_{PORTS}$	3.5	-	ns	23.63	
	入力データホールド時間	$t_{PORTH}$	1.5	-	ns	23.63	
DMA	$\overline{DREQn}$ セットアップ時間	$t_{DROS}$	3.5	-	ns	23.64	
	$\overline{DREQn}$ ホールド時間	$t_{DRQH}$	1.5	-	ns	23.64	
	DRAKn 遅延時間	$t_{DRAKD}$	-	8	ns	23.64	
INTC	NMI パルス幅 (High 時)	$t_{NMIH}$	5	-	$t_{cyc}$	23.69	通常時
			30	-	ns	23.69	スリープ時 スタンバイ時

モジュール	項目	記号	HD6417751BP167(V) HD6417751F167(V)		単位	参照図	備考
			*2				
			Min	Max			
INTC	NMI パルス幅 (Low 時)	$t_{NMIL}$	5	-	$t_{cyc}$	23.69	通常時 スリープ時
			30	-	ns	23.69	スタンバイ時
H-UDI	入カクロックサイクル	$t_{TCKcyc}$	50	-	ns	23.65、 23.67	
	入カクロックパルス幅 (High 時)	$t_{TCKH}$	15	-	ns	23.65	
	入カクロックパルス幅 (Low 時)	$t_{TCKL}$	15	-	ns	23.65	
	入カクロック 立ち上がり時間	$t_{TCKr}$	-	10	ns	23.65	
	入カクロック 立ち下がり時間	$t_{TCKf}$	-	10	ns	23.65	
	ASEBRK セットアップ時間	$t_{ASEBRKs}$	10	-	$t_{cyc}$	23.66	
	ASEBRK ホールド時間	$t_{ASEBRKH}$	10	-	$t_{cyc}$	23.66	
	TDI/TMS セットアップ時間	$t_{TDIS}$	15	-	ns	23.67	
	TDI/TMS ホールド時間	$t_{TDIH}$	15	-	ns	23.67	
	TDO データ遅延時間	$t_{TDO}$	0	10	ns	23.67	
	ASE-PINBRK パルス幅	$t_{PINBRK}$	2	-	$Pcyc^{*1}$	23.68	

【注】 \*1  $Pcyc$  は P クロックサイクルを意味します。

\*2  $V_{DD0}=3.0 \sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20 \sim 75$ 、 $C_L=30pF$ 、PLL2 は ON

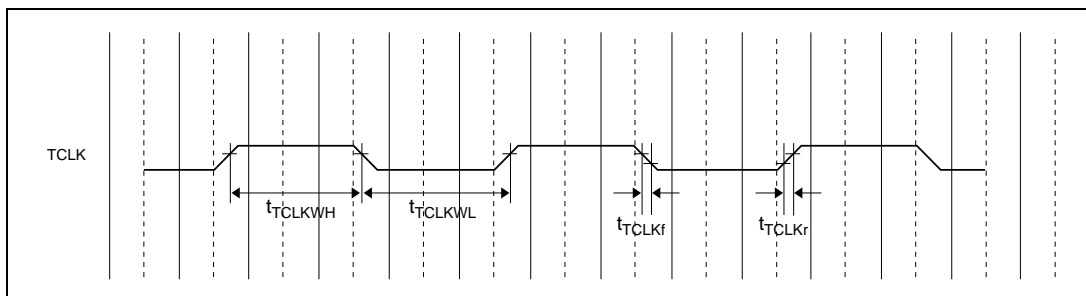


図 23.59 TCLK 入力タイミング

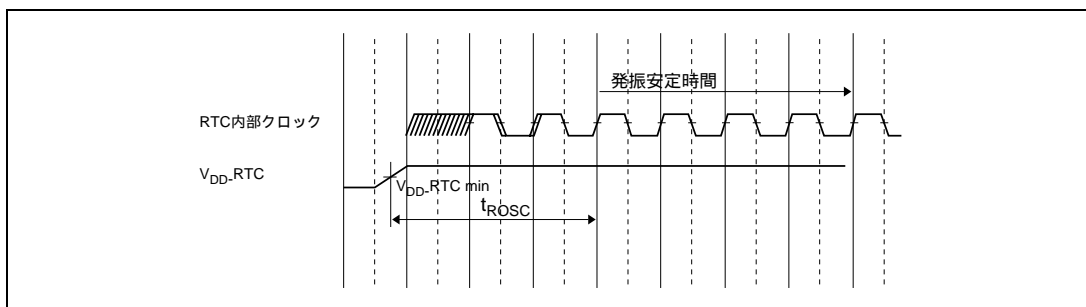


図 23.60 パワーオン RTC 発振安定時間

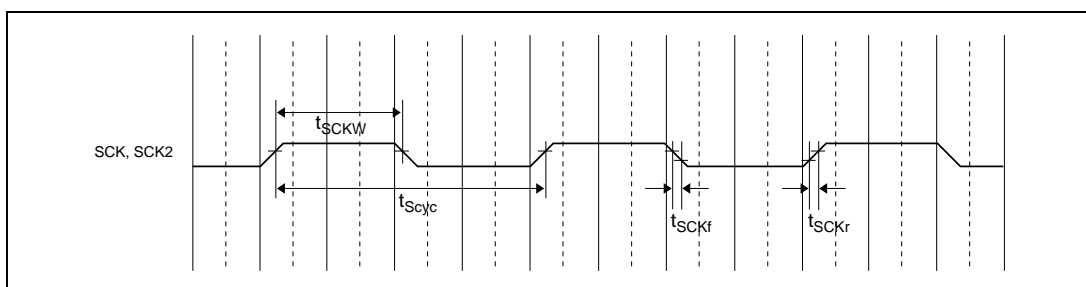


図 23.61 SCK 入力クロックタイミング

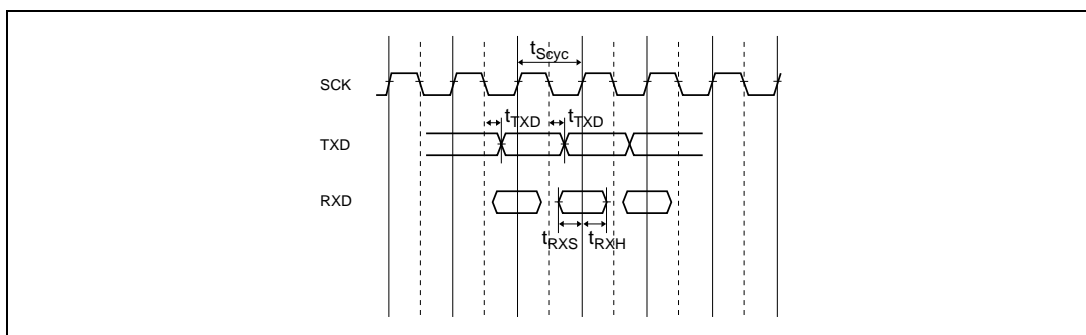


図 23.62 SCI I/O 同期モードクロックタイミング

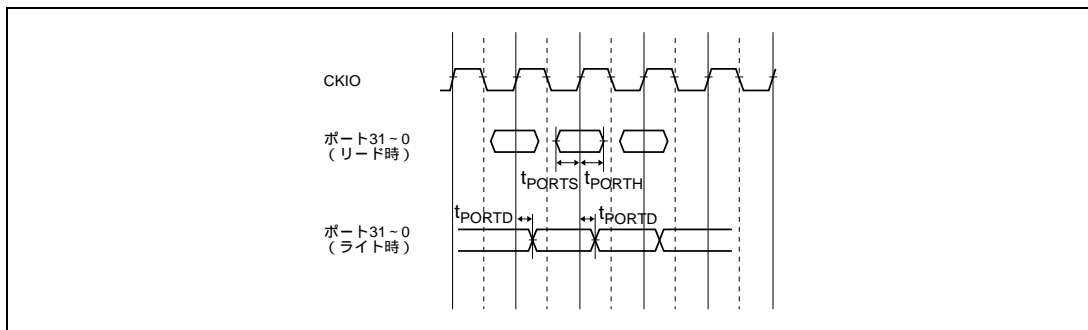


図 23.63 I/O ポート入出力タイミング

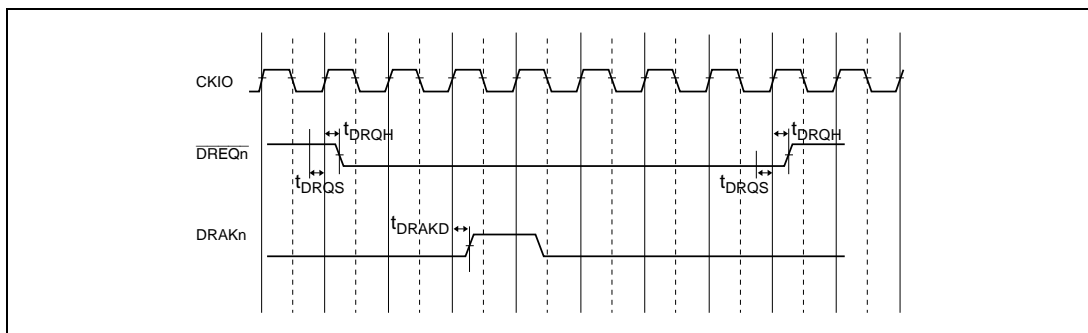


図 23.64 (a) DREQ/DRAK タイミング

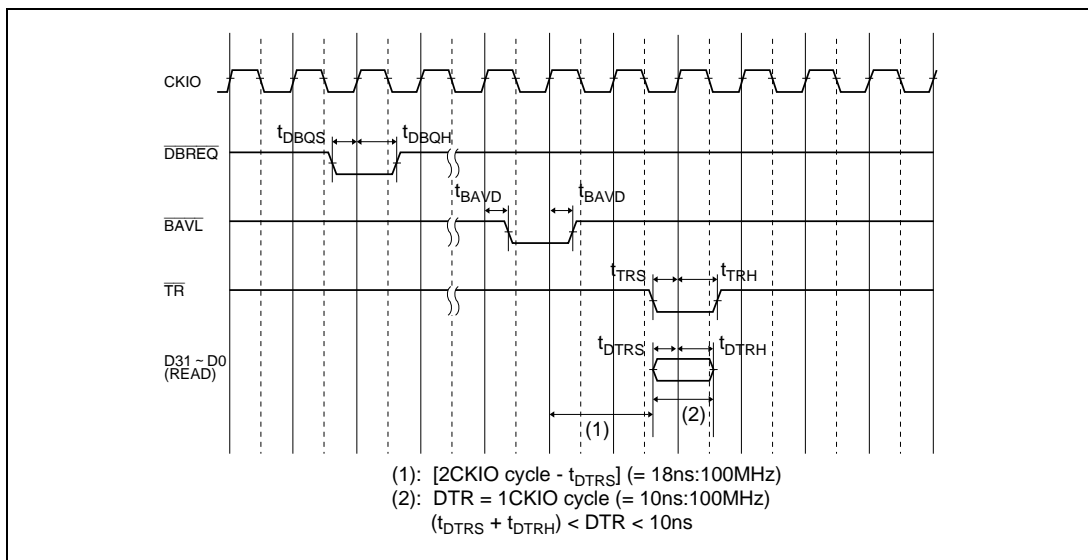


図 23.64 (b) DBREQ/TR 入力タイミング、BAVL 出力タイミング

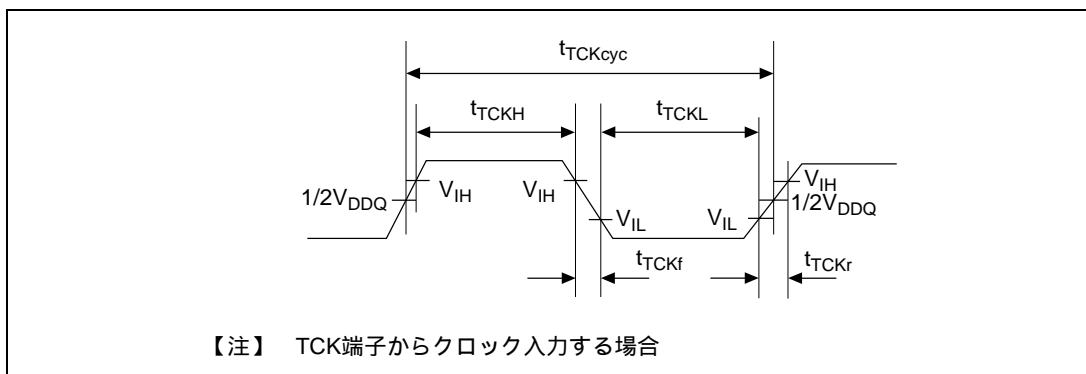


図 23.65 TCK 入力タイミング

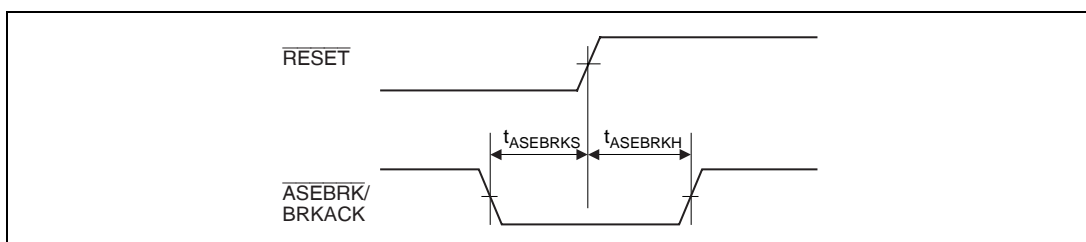


図 23.66 RESET ホールドタイミング

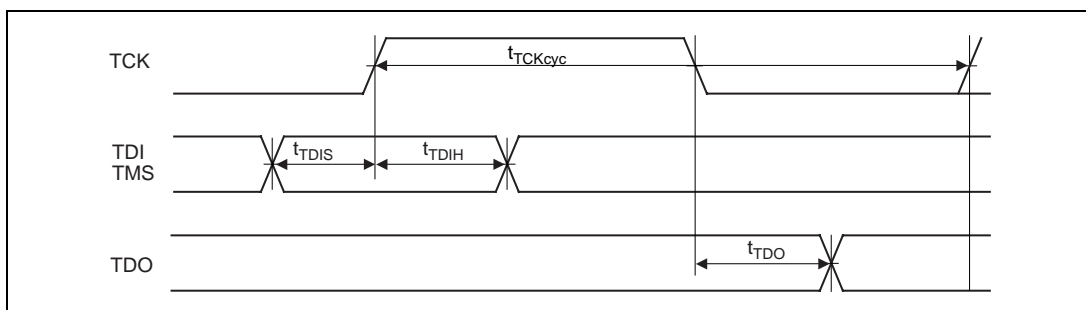


図 23.67 H-UDI データ転送タイミング

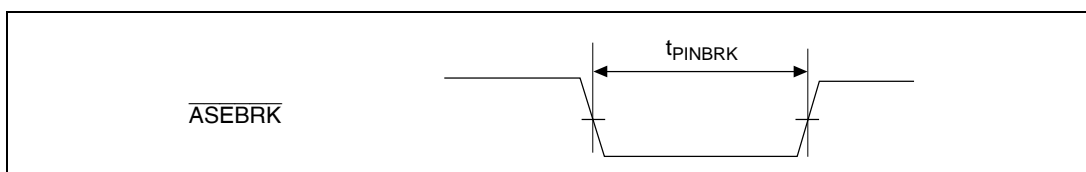


図 23.68 端子ブレークタイミング

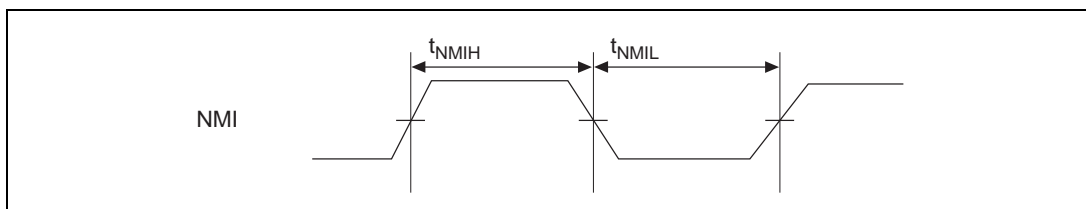


図 23.69 NMI 入力タイミング



表 23.25 PCIC 信号タイミング (PCIREQ / PCIGNT 非ポートモード時)

(HD6417751RBP240(V)、HD6417751RBP200(V)、HD6417751RBG240(V)、HD6417751RBG200(V)、HD6417751RBA240HV、  
HD6417751RF240(V)、HD6417751RF200(V) :

$V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$  \*<sup>2</sup>、 $C_L=30pF$ )

端子	項目	記号	33MHz		66MHz		単位	参照図
			Min	Max	Min	Max		
PCICLK	クロック周期	$t_{PCICYC}$	30	-	15	30	ns	23.70
	クロックパルス幅 (High)	$t_{PCIHIGH}$	11	-	6	-	ns	23.70
	クロックパルス幅 (Low)	$t_{PCILOW}$	11	-	6	-	ns	23.70
	クロック立ち上がり時間	$t_{PCIR}$	-	4	-	1.5	ns	23.70
	クロック立ち下がり時間	$t_{PCI}$	-	4	-	1.5	ns	23.70
PCIRST	出力データ遅延時間	$t_{PCIVAL}$	-	10	-	8	ns	23.71
IDSEL	入力ホールド時間	$t_{PCIH}$	1.5	-	1.5	-	ns	23.72
	入力セットアップ時間	$t_{PCISU}$	3.0(3.5* <sup>1</sup> )	-	3.0(3.5* <sup>1</sup> )	-	ns	23.72
AD31 ~ AD0、 C/BE3 ~ C/BE0、 PAR、 PCIFRAME、 IRDY、 TRDY、 PCISTOP、 PCILOCK、 DEVSEL、 PERR	出力データ遅延時間	$t_{PCIVAL}$	-	10	-	8	ns	23.71
	トリステート ドライブ遅延時間	$t_{PCION}$	-	10	-	10	ns	23.71
	トリステート ハイインピーダンス遅延時間	$t_{PCIOFF}$	-	12	-	12	ns	23.71
	入力ホールド時間	$t_{PCIH}$	1.5	-	1.5	-	ns	23.72
	入力セットアップ時間	$t_{PCISU}$	3.0(3.5* <sup>1</sup> )	-	3.0(3.5* <sup>1</sup> )	-	ns	23.72
PCIREQ1/ GNTIN、 PCIREQ2/ MD9、 PCIREQ3/ MD10、 PCIREQ4、 PCIGNT1/ REQOUT、 PCIGNT4 ~ PCIGNT1	出力データ遅延時間	$t_{PCIVAL}$	-	10	-	8	ns	23.71
	トリステート ドライブ遅延時間	$t_{PCION}$	-	10	-	10	ns	23.71
	トリステート ハイインピーダンス遅延時間	$t_{PCIOFF}$	-	12	-	12	ns	23.71
	入力ホールド時間	$t_{PCIH}$	1.5	-	1.5	-	ns	23.72
	入力セットアップ時間	$t_{PCISU}$	3.0(3.5* <sup>1</sup> )	-	3.0(3.5* <sup>1</sup> )	-	ns	23.72
SERR、 INTA	トリステート ドライブ遅延時間	$t_{PCION}$	-	10	-	10	ns	23.71
	トリステート ハイインピーダンス遅延時間	$t_{PCIOFF}$	-	12	-	12	ns	23.71

【注】 \*1 HD6417751RF240(V)、HD6417751RF200(V)

\*2 HD6417751RBA240HV のみ、 $T_a=-40\sim 85$  の範囲になります。

表 23.26 PCIC 信号タイミング (PCIREQ / PCIGNT 非ポートモード時)

(HD6417751BP167(V)、HD6417751F167(V) :  $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ )

端子	項目	記号	33MHz		66MHz		単位	参照図
			Min	Max	Min	Max		
PCICLK	クロック周期	$t_{PCICYC}$	30	-	15	30	ns	23.70
	クロックパルス幅 (High)	$t_{PCIHIGH}$	11	-	6	-	ns	23.70
	クロックパルス幅 (Low)	$t_{PCILOW}$	11	-	6	-	ns	23.70
	クロック立ち上がり時間	$t_{PCIR}$	-	4	-	1.5	ns	23.70
	クロック立ち下がり時間	$t_{PCIF}$	-	4	-	1.5	ns	23.70
PCIRST	出力データ遅延時間	$t_{PCIVAL}$	-	10	-	10	ns	23.71
IDSEL	入力ホールド時間	$t_{PCIH}$	1	-	1	-	ns	23.72
	入力セットアップ時間	$t_{PCISU}$	3.0(3.5*)	-	3.0(3.5*)	-	ns	23.72
AD31 ~ AD0、 C/BE3 ~ C/BE0、 PAR、 PCIFRAME、 IRDY、 TRDY、 PCISTOP、 PCIOCK、 DEVSEL、 PERR	出力データ遅延時間	$t_{PCIVAL}$	-	10	-	10	ns	23.71
	トライステート ドライブ遅延時間	$t_{PCION}$	-	10	-	10	ns	23.71
	トライステート ハイインピーダンス遅延時間	$t_{PCIOFF}$	-	12	-	12	ns	23.71
	入力ホールド時間	$t_{PCIH}$	1	-	1	-	ns	23.72
	入力セットアップ時間	$t_{PCISU}$	3.0(3.5*)	-	3.0(3.5*)	-	ns	23.72
	出力データ遅延時間	$t_{PCIVAL}$	-	10	-	10	ns	23.71
PCIREQ1/ GNTIN、 PCIREQ2/ MD9、 PCIREQ3/ MD10、 PCIREQ4、 PCIGNT1/ REQOUT、 PCIGNT4 ~ PCIGNT1	トライステート ドライブ遅延時間	$t_{PCION}$	-	10	-	10	ns	23.71
	トライステート ドライブ遅延時間	$t_{PCION}$	-	10	-	10	ns	23.71
	トライステート ハイインピーダンス遅延時間	$t_{PCIOFF}$	-	12	-	12	ns	23.71
	入力ホールド時間	$t_{PCIH}$	1	-	1	-	ns	23.72
	入力セットアップ時間	$t_{PCISU}$	3.0(3.5*)	-	3.0(3.5*)	-	ns	23.72
SERR、 INTA	トライステート ドライブ遅延時間	$t_{PCION}$	-	10	-	10	ns	23.71
	トライステート ハイインピーダンス遅延時間	$t_{PCIOFF}$	-	12	-	12	ns	23.71

【注】 \* HD6417751F167(V)

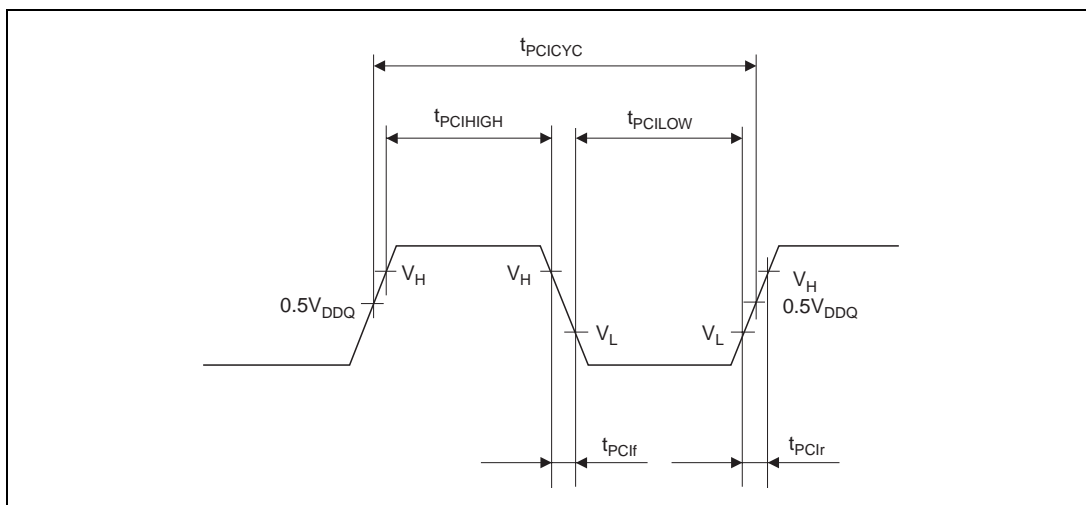


図 23.70 PCI クロック入力タイミング

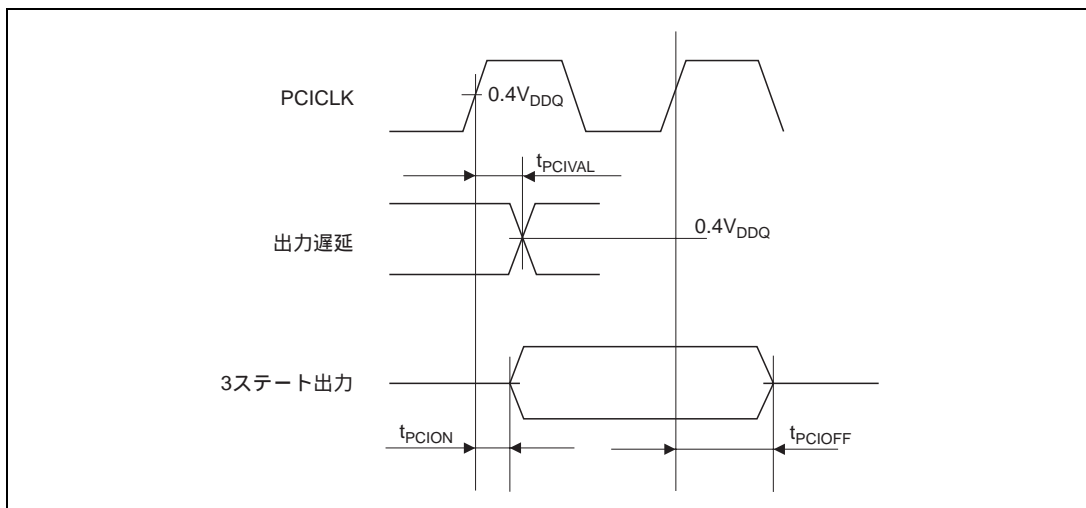


図 23.71 出力信号タイミング

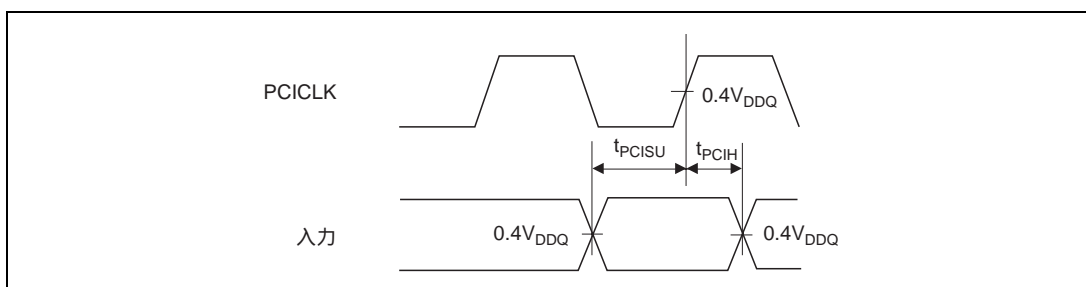


図 23.72 入力信号タイミング

表 23.27 PCIC 信号タイミング (非ホストモード時に PCIREQ / PCIGNT ポート設定時)

(HD6417751RBP240(V)、HD6417751RBP200(V)、HD6417751RBG240(V)、HD6417751RBG200(V)、HD6417751RBA240HV、  
HD6417751RF240(V)、HD6417751RF200(V) :

$V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.5V$ 、 $T_a=-20\sim 75$  \*<sup>1</sup>、 $C_L=30pF$ )

端子	項目	記号	Min	Max	単位	参照図
PCIREQ2/MD9	出力データ遅延時間	$t_{PCIPORTD}$	-	10	ns	23.73
PCIREQ3/MD10	入力ホールド時間	$t_{PCIPORTH}$	1.5	-	ns	23.73
PCIREQ4	入力セットアップ時間	$t_{PCIPORTS}$	3.5	-	ns	23.73
PCIGNT4 - PCIGNT2	出力データ遅延時間	$t_{PCIPORTD}$	-	10	ns	23.73

【注】 \*<sup>1</sup> HD6417751RBA240HV のみ、 $T_a=-40\sim 85$  の範囲になります。

表 23.28 PCIC 信号タイミング (非ホストモード時に PCIREQ / PCIGNT ポート設定時)

(HD6417751BP167(V)、HD6417751F167(V) :  $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.8V$ 、 $T_a=-20\sim 75$ 、 $C_L=30pF$ )

端子	項目	記号	Min	Max	単位	参照図
PCIREQ2/MD9	出力データ遅延時間	$t_{PCIPORTD}$	-	10	ns	23.73
PCIREQ3/MD10	入力ホールド時間	$t_{PCIPORTH}$	1.5	-	ns	23.73
PCIREQ4	入力セットアップ時間	$t_{PCIPORTS}$	3.5	-	ns	23.73
PCIGNT4 - PCIGNT2	出力データ遅延時間	$t_{PCIPORTD}$	-	10	ns	23.73

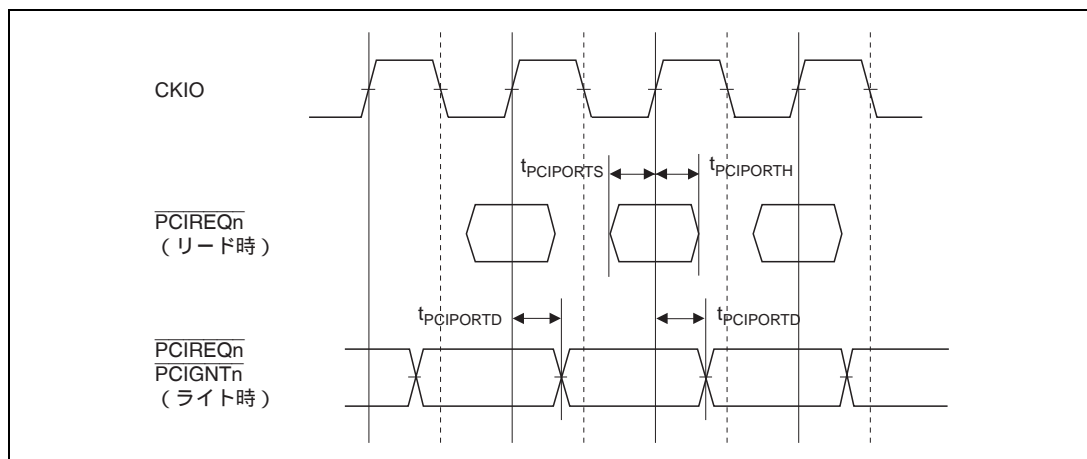


図 23.73 I/O ポート入出力タイミング

### 23.3.5 AC 特性測定条件

AC 特性測定条件は次のとおりです。

- 入出力信号参照レベル：1.5V ( $V_{DDQ} = 3.3 \pm 0.3V$ )
- 入力パルスレベル： $V_{SSQ} \sim 3.0V$   
(ただし、 $\overline{RESET}$ 、 $\overline{TRST}$ 、NMI、 $\overline{ASEBRK/BRKACK}$ は $V_{SSQ} \sim V_{DDQ}$ )
- 入力立ち上がり、立ち下がり時間：1ns

出力付加回路を図 23.74 に示します。

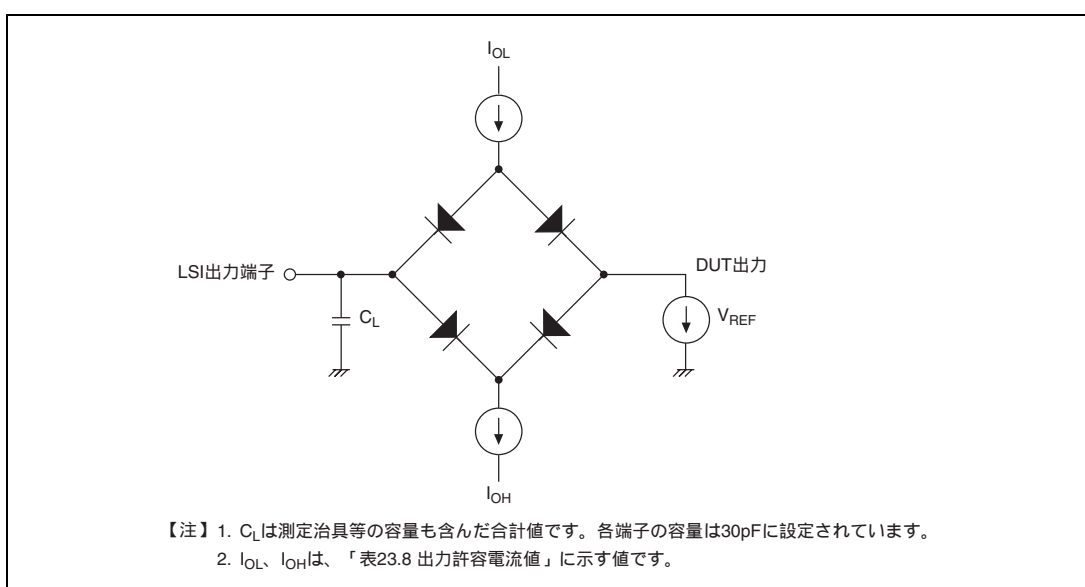


図 23.74 出力付加回路

### 23.3.6 負荷容量による遅延時間の変化

下記に、本 LSI の各端子に規定以上 (30pF) の負荷容量を接続した場合の、遅延時間の変化のグラフ (参考データ) を示します。規定容量を超えて、外部デバイスを接続される場合は、図 23.75 グラフを参考に設計してください。

なお、接続される負荷容量が図 23.75 の範囲を超える場合は、グラフは直線にはなりません。

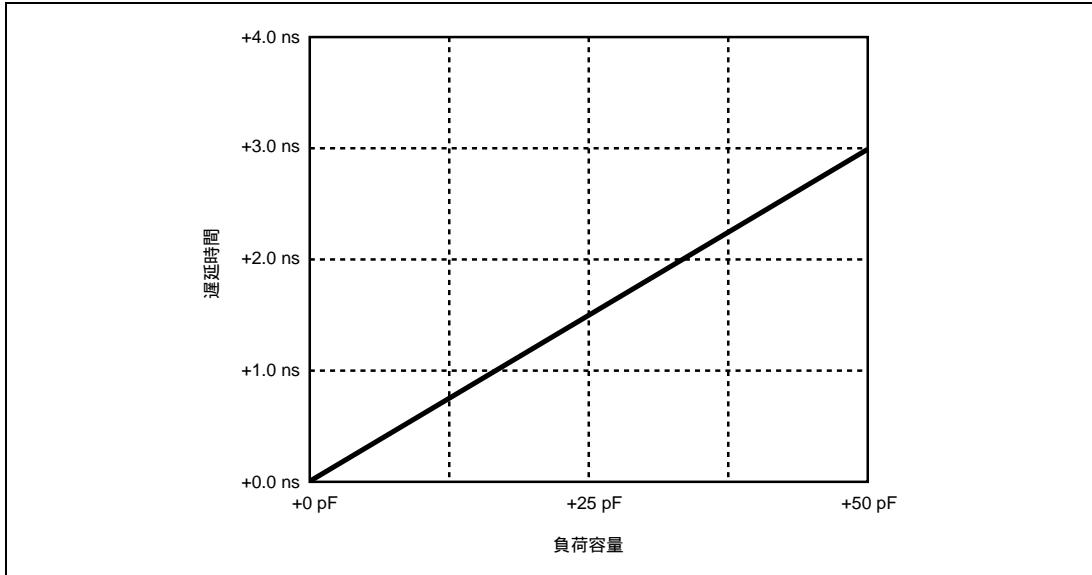


図 23.75 負荷容量 - 遅延時間

# 付録

## A. アドレス一覧

表 A.1 アドレス一覧

モジュール	レジスタ	P4 アドレス	エリア7 アドレス*1	サイズ	パワーオン リセット	マニュアル リセット	スリープ	スタン バイ	同期 クロック
PCIC	PCIMEM	H'FD00 0000 ~ H'FDFF FFFF	H'1D00 0000 ~ H'1DFF FFFF	8, 16, 32	PCI のメモリ空間による				Pck
INTC	INTPRI00	H'FE08 0000	H'1E08 0000	32	H'0000 0000	保持	保持	保持	Pck
INTC	INTREQ00	H'FE08 0020	H'1E08 0020	32	H'0000 0000	保持	保持	保持	Pck
INTC	INTMSK00	H'FE08 0040	H'1E08 0040	32	H'0000 03FF	保持	保持	保持	Pck
INTC	INTMSKCLR00	H'FE08 0060	H'1E08 0060	32	ライトオンリー				Pck
CPG	CLKSTP00	H'FE0A 0000	H'1E0A 0000	32	H'0000 0000	保持	保持	保持	Pck
CPG	CLKSTPCLR00	H'FE0A 0008	H'1E0A 0008	32	ライトオンリー				Pck
TMU	TSTR2	H'FE10 0004	H'1E10 0004	8	H'00	保持	保持	保持	Pck
TMU	TCOR3	H'FE10 0008	H'1E10 0008	32	H'FFFF FFFF	保持	保持	保持	Pck
TMU	TCNT3	H'FE10 000C	H'1E10 000C	32	H'FFFF FFFF	保持	保持	保持	Pck
TMU	TCR3	H'FE10 0010	H'1E10 0010	16	H'0000	保持	保持	保持	Pck
TMU	TCOR4	H'FE10 0014	H'1E10 0014	32	H'FFFF FFFF	保持	保持	保持	Pck
TMU	TCNT4	H'FE10 0018	H'1E10 0018	32	H'FFFF FFFF	保持	保持	保持	Pck
TMU	TCR4	H'FE10 001C	H'1E10 001C	16	H'0000	保持	保持	保持	Pck
PCIC	PCICONF0	H'FE20 0000	H'1E20 0000	32	H'35051054 (SH7751) / H'350E1054 (SH7751R)	保持	保持	保持	Pck
PCIC	PCICONF1	H'FE20 0004	H'1E20 0004	32	H'02900080	保持	保持	保持	Pck
PCIC	PCICONF2	H'FE20 0008	H'1E20 0008	32	不定	保持	保持	保持	Pck
PCIC	PCICONF3	H'FE20 000C	H'1E20 000C	32	H'00000000	保持	保持	保持	Pck
PCIC	PCICONF4	H'FE20 0010	H'1E20 0010	32	H'00000001	保持	保持	保持	Pck
PCIC	PCICONF5	H'FE20 0014	H'1E20 0014	32	H'00000000	保持	保持	保持	Pck

モジュール	レジスタ	P4 アドレス	エリア7 アドレス*1	サイズ	パワーオン リセット	マニュアル リセット	スリープ	スタン バイ	同期 クロック
PCIC	PCICONF6	H'FE20 0018	H'1E20 0018	32	H'00000000	保持	保持	保持	Pck
PCIC	PCICONF7	H'FE20 001C	H'1E20 001C	32	H'00000000	保持	保持	保持	Pck
PCIC	PCICONF8	H'FE20 0020	H'1E20 0020	32	H'00000000	保持	保持	保持	Pck
PCIC	PCICONF9	H'FE20 0024	H'1E20 0024	32	H'00000000	保持	保持	保持	Pck
PCIC	PCICONF10	H'FE20 0028	H'1E20 0028	32	H'00000000	保持	保持	保持	Pck
PCIC	PCICONF11	H'FE20 002C	H'1E20 002C	32	不定	保持	保持	保持	Pck
PCIC	PCICONF12	H'FE20 0030	H'1E20 0030	32	H'00000000	保持	保持	保持	Pck
PCIC	PCICONF13	H'FE20 0034	H'1E20 0034	32	H'00000040	保持	保持	保持	Pck
PCIC	PCICONF14	H'FE20 0038	H'1E20 0038	32	H'00000000	保持	保持	保持	Pck
PCIC	PCICONF15	H'FE20 003C	H'1E20 003C	32	H'00000100	保持	保持	保持	Pck
PCIC	PCICONF16	H'FE20 0040	H'1E20 0040	32	H'00010001	保持	保持	保持	Pck
PCIC	PCICONF17	H'FE20 0044	H'1E20 0044	32	H'00000000	保持	保持	保持	Pck
PCIC	PCICR	H'FE20 0100	H'1E20 0100	32	H'00000000*2	保持	保持	保持	Pck
PCIC	PCILSR0	H'FE20 0104	H'1E20 0104	32	H'00000000	保持	保持	保持	Pck
PCIC	PCILSR1	H'FE20 0108	H'1E20 0108	32	H'00000000	保持	保持	保持	Pck
PCIC	PCILAR0	H'FE20 010C	H'1E20 010C	32	H'00000000	保持	保持	保持	Pck
PCIC	PCILAR1	H'FE20 0110	H'1E20 0110	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIINT	H'FE20 0114	H'1E20 0114	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIINTM	H'FE20 0118	H'1E20 0118	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIALR	H'FE20 011C	H'1E20 011C	32	不定	保持	保持	保持	Pck
PCIC	PCICLR	H'FE20 0120	H'1E20 0120	32	不定	保持	保持	保持	Pck
PCIC	PCIAINT	H'FE20 0130	H'1E20 0130	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIAINTM	H'FE20 0134	H'1E20 0134	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIBMLR	H'FE20 0138	H'1E20 0138	32	不定	保持	保持	保持	Pck
PCIC	PCIDMABT	H'FE20 0140	H'1E20 0140	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIDPA0	H'FE20 0180	H'1E20 0180	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIDLA0	H'FE20 0184	H'1E20 0184	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIDTC0	H'FE20 0188	H'1E20 0188	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIDCR0	H'FE20 018C	H'1E20 018C	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIDPA1	H'FE20 0190	H'1E20 0190	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIDLA1	H'FE20 0194	H'1E20 0194	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIDTC1	H'FE20 0198	H'1E20 0198	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIDCR1	H'FE20 019C	H'1E20 019C	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIDPA2	H'FE20 01A0	H'1E20 01A0	32	H'00000000	保持	保持	保持	Pck



モジュール	レジスタ	P4 アドレス	エリア7 アドレス*1	サイズ	パワーオン リセット	マニュアル リセット	スリープ	スタン バイ	同期 クロック
PCIC	PCIDLA2	H'FE20 01A4	H'1E20 01A4	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIDTC2	H'FE20 01A8	H'1E20 01A8	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIDCR2	H'FE20 01AC	H'1E20 01AC	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIDPA3	H'FE20 01B0	H'1E20 01B0	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIDLA3	H'FE20 01B4	H'1E20 01B4	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIDTC3	H'FE20 01B8	H'1E20 01B8	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIDCR3	H'FE20 01BC	H'1E20 01BC	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIPAR	H'FE20 01C0	H'1E20 01C0	32	不定	保持	保持	保持	Pck
PCIC	PCIMBR	H'FE20 01C4	H'1E20 01C4	32	不定	保持	保持	保持	Pck
PCIC	PCIOBR	H'FE20 01C8	H'1E20 01C8	32	不定	保持	保持	保持	Pck
PCIC	PCIPINT	H'FE20 01CC	H'1E20 01CC	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIPINTM	H'FE20 01D0	H'1E20 01D0	32	H'00000000	保持	保持	保持	Pck
PCIC	PCICLKR	H'FE20 01D4	H'1E20 01D4	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIBCR1	H'FE20 01E0	H'1E20 01E0	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIBCR2	H'FE20 01E4	H'1E20 01E4	32	H'00003FFC	保持	保持	保持	Pck
PCIC	PCIBCR3	H'FE20 01F8	H'1E20 01F8	32	H'00000001	保持	保持	保持	Pck
PCIC	PCIWCR1	H'FE20 01E8	H'1E20 01E8	32	H'7777 7777	保持	保持	保持	Pck
PCIC	PCIWCR2	H'FE20 01EC	H'1E20 01EC	32	H'FFFE EFFF	保持	保持	保持	Pck
PCIC	PCIWCR3	H'FE20 01F0	H'1E20 01F0	32	H'0777 7777	保持	保持	保持	Pck
PCIC	PCIMCR	H'FE20 01F4	H'1E20 01F4	32	H'0000 0000	保持	保持	保持	Pck
PCIC	PCIPCTR	H'FE20 0200	H'1E20 0200	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIPDTR	H'FE20 0204	H'1E20 0204	32	H'00000000	保持	保持	保持	Pck
PCIC	PCIPDR	H'FE20 0220	H'1E20 0220	32	不定	保持	保持	保持	Pck
PCIC	PCIO	H'FE24 0000 ~ H'FE27 FFFF	H'1E24 0000 ~ H'1E27 FFFF	8, 16, 32	PCI の I/O 空間による				Pck
CCN	PTEH	H'FF00 0000	H'1F00 0000	32	不定	不定	保持	保持	lck
CCN	PTEL	H'FF00 0004	H'1F00 0004	32	不定	不定	保持	保持	lck
CCN	TTB	H'FF00 0008	H'1F00 0008	32	不定	不定	保持	保持	lck
CCN	TEA	H'FF00 000C	H'1F00 000C	32	不定	保持	保持	保持	lck
CCN	MMUCR	H'FF00 0010	H'1F00 0010	32	H'0000 0000	H'0000 0000	保持	保持	lck
CCN	BASRA	H'FF00 0014	H'1F00 0014	8	不定	保持	保持	保持	lck
CCN	BASRB	H'FF00 0018	H'1F00 0018	8	不定	保持	保持	保持	lck
CCN	CCR	H'FF00 001C	H'1F00 001C	32	H'0000 0000	H'0000 0000	保持	保持	lck

モジュール	レジスタ	P4 アドレス	エリア7 アドレス*1	サイズ	パワーオン リセット	マニュアル リセット	スリープ	スタン バイ	同期 クロック
CCN	TRA	H'FF00 0020	H'1F00 0020	32	不定	不定	保持	保持	lck
CCN	EXPEVT	H'FF00 0024	H'1F00 0024	32	H'0000 0000	H'0000 0020	保持	保持	lck
CCN	INTEVT	H'FF00 0028	H'1F00 0028	32	不定	不定	保持	保持	lck
CCN	PTEA	H'FF00 0034	H'1F00 0034	32	不定	不定	保持	保持	lck
CCN	QACR0	H'FF00 0038	H'1F00 0038	32	不定	不定	保持	保持	lck
CCN	QACR1	H'FF00 003C	H'1F00 003C	32	不定	不定	保持	保持	lck
UBC	BARA	H'FF20 0000	H'1F20 0000	32	不定	保持	保持	保持	lck
UBC	BAMRA	H'FF20 0004	H'1F20 0004	8	不定	保持	保持	保持	lck
UBC	BBRA	H'FF20 0008	H'1F20 0008	16	H'0000	保持	保持	保持	lck
UBC	BARB	H'FF20 000C	H'1F20 000C	32	不定	保持	保持	保持	lck
UBC	BAMRB	H'FF20 0010	H'1F20 0010	8	不定	保持	保持	保持	lck
UBC	BBRB	H'FF20 0014	H'1F20 0014	16	H'0000	保持	保持	保持	lck
UBC	BDRB	H'FF20 0018	H'1F20 0018	32	不定	保持	保持	保持	lck
UBC	BDMRB	H'FF20 001C	H'1F20 001C	32	不定	保持	保持	保持	lck
UBC	BRCR	H'FF20 0020	H'1F20 0020	16	H'0000 *2	保持	保持	保持	lck
BSC	BCR1	H'FF80 0000	H'1F80 0000	32	H'0000 0000	保持	保持	保持	Bck
BSC	BCR2	H'FF80 0004	H'1F80 0004	16	H'3FFC	保持	保持	保持	Bck
BSC	BCR3	H'FF80 0050	H'1F80 0050	16	H'0000	保持	保持	保持	Bck
BSC	BCR4	H'FE0A 00F0	H'1E0A 00F0	32	H'0000 0000	保持	保持	保持	Bck
BSC	WCR1	H'FF80 0008	H'1F80 0008	32	H'7777 7777	保持	保持	保持	Bck
BSC	WCR2	H'FF80 000C	H'1F80 000C	32	H'FFFE EFFF	保持	保持	保持	Bck
BSC	WCR3	H'FF80 0010	H'1F80 0010	32	H'0777 7777	保持	保持	保持	Bck
BSC	MCR	H'FF80 0014	H'1F80 0014	32	H'0000 0000	保持	保持	保持	Bck
BSC	PCR	H'FF80 0018	H'1F80 0018	16	H'0000	保持	保持	保持	Bck
BSC	RTCSR	H'FF80 001C	H'1F80 001C	16	H'0000	保持	保持	保持	Bck
BSC	RTCNT	H'FF80 0020	H'1F80 0020	16	H'0000	保持	保持	保持	Bck
BSC	RTCOR	H'FF80 0024	H'1F80 0024	16	H'0000	保持	保持	保持	Bck
BSC	RFCR	H'FF80 0028	H'1F80 0028	16	H'0000	保持	保持	保持	Bck
BSC	PCTRA	H'FF80 002C	H'1F80 002C	32	H'0000 0000	保持	保持	保持	Bck
BSC	PDTRA	H'FF80 0030	H'1F80 0030	16	不定	保持	保持	保持	Bck
BSC	PCTRB	H'FF80 0040	H'1F80 0040	32	H'0000 0000	保持	保持	保持	Bck
BSC	PDTRB	H'FF80 0044	H'1F80 0044	16	不定	保持	保持	保持	Bck
BSC	GPIOIC	H'FF80 0048	H'1F80 0048	16	H'0000 0000	保持	保持	保持	Bck

モジュール	レジスタ	P4 アドレス	エリア7 アドレス*1	サイズ	パワーオン リセット	マニュアル リセット	スリープ	スタン バイ	同期 クロック
BSC	SDMR2	H'FF90 xxxx	H'1F90 xxxx	8	ライトオンリー				Bck
BSC	SDMR3	H'FF94 xxxx	H'1F94 xxxx	8					Bck
DMAC	SAR0	H'FFA0 0000	H'1FA0 0000	32	不定	不定	保持	保持	Bck
DMAC	DAR0	H'FFA0 0004	H'1FA0 0004	32	不定	不定	保持	保持	Bck
DMAC	DMATCR0	H'FFA0 0008	H'1FA0 0008	32	不定	不定	保持	保持	Bck
DMAC	CHCR0	H'FFA0 000C	H'1FA0 000C	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	SAR1	H'FFA0 0010	H'1FA0 0010	32	不定	不定	保持	保持	Bck
DMAC	DAR1	H'FFA0 0014	H'1FA0 0014	32	不定	不定	保持	保持	Bck
DMAC	DMATCR1	H'FFA0 0018	H'1FA0 0018	32	不定	不定	保持	保持	Bck
DMAC	CHCR1	H'FFA0 001C	H'1FA0 001C	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	SAR2	H'FFA0 0020	H'1FA0 0020	32	不定	不定	保持	保持	Bck
DMAC	DAR2	H'FFA0 0024	H'1FA0 0024	32	不定	不定	保持	保持	Bck
DMAC	DMATCR2	H'FFA0 0028	H'1FA0 0028	32	不定	不定	保持	保持	Bck
DMAC	CHCR2	H'FFA0 002C	H'1FA0 002C	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	SAR3	H'FFA0 0030	H'1FA0 0030	32	不定	不定	保持	保持	Bck
DMAC	DAR3	H'FFA0 0034	H'1FA0 0034	32	不定	不定	保持	保持	Bck
DMAC	DMATCR3	H'FFA0 0038	H'1FA0 0038	32	不定	不定	保持	保持	Bck
DMAC	CHCR3	H'FFA0 003C	H'1FA0 003C	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	DMAOR	H'FFA0 0040	H'1FA0 0040	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	SAR4	H'FFA0 0050	H'1FA0 0050	32	不定	不定	保持	保持	Bck
DMAC	DAR4	H'FFA0 0054	H'1FA0 0054	32	不定	不定	保持	保持	Bck
DMAC	DMATCR4	H'FFA0 0058	H'1FA0 0058	32	不定	不定	保持	保持	Bck
DMAC	CHCR4	H'FFA0 005C	H'1FA0 005C	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	SAR5	H'FFA0 0060	H'1FA0 0060	32	不定	不定	保持	保持	Bck
DMAC	DAR5	H'FFA0 0064	H'1FA0 0064	32	不定	不定	保持	保持	Bck
DMAC	DMATCR5	H'FFA0 0068	H'1FA0 0068	32	不定	不定	保持	保持	Bck
DMAC	CHCR5	H'FFA0 006C	H'1FA0 006C	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	SAR6	H'FFA0 0070	H'1FA0 0070	32	不定	不定	保持	保持	Bck
DMAC	DAR6	H'FFA0 0074	H'1FA0 0074	32	不定	不定	保持	保持	Bck
DMAC	DMATCR6	H'FFA0 0078	H'1FA0 0078	32	不定	不定	保持	保持	Bck
DMAC	CHCR6	H'FFA0 007C	H'1FA0 007C	32	H'0000 0000	H'0000 0000	保持	保持	Bck
DMAC	SAR7	H'FFA0 0080	H'1FA0 0080	32	不定	不定	保持	保持	Bck
DMAC	DAR7	H'FFA0 0084	H'1FA0 0084	32	不定	不定	保持	保持	Bck
DMAC	DMATCR7	H'FFA0 0088	H'1FA0 0088	32	不定	不定	保持	保持	Bck
DMAC	CHCR7	H'FFA0 008C	H'1FA0 008C	32	H'0000 0000	H'0000 0000	保持	保持	Bck

モジュール	レジスタ	P4 アドレス	エリア7 アドレス*1	サイズ	パワーオン リセット	マニュアル リセット	スリープ	スタン バイ	同期 クロック
CPG	FRQCR	H'FFC0 0000	H'1FC0 0000	16	*2	保持	保持	保持	Pck
CPG	STBCR	H'FFC0 0004	H'1FC0 0004	8	H'00	保持	保持	保持	Pck
CPG	WTCNT	H'FFC0 0008	H'1FC0 0008	8/16*3	H'00	保持	保持	保持	Pck
CPG	WTCSR	H'FFC0 000C	H'1FC0 000C	8/16*3	H'00	保持	保持	保持	Pck
CPG	STBCR2	H'FFC0 0010	H'1FC0 0010	8	H'00	保持	保持	保持	Pck
RTC	R64CNT	H'FFC8 0000	H'1FC8 0000	8	保持	保持	保持	保持	Pck
RTC	RSECNT	H'FFC8 0004	H'1FC8 0004	8	保持	保持	保持	保持	Pck
RTC	RMINCNT	H'FFC8 0008	H'1FC8 0008	8	保持	保持	保持	保持	Pck
RTC	RHRCNT	H'FFC8 000C	H'1FC8 000C	8	保持	保持	保持	保持	Pck
RTC	RWKCNT	H'FFC8 0010	H'1FC8 0010	8	保持	保持	保持	保持	Pck
RTC	RDAYCNT	H'FFC8 0014	H'1FC8 0014	8	保持	保持	保持	保持	Pck
RTC	RMONCNT	H'FFC8 0018	H'1FC8 0018	8	保持	保持	保持	保持	Pck
RTC	RYRCNT	H'FFC8 001C	H'1FC8 001C	16	保持	保持	保持	保持	Pck
RTC	RSECAR	H'FFC8 0020	H'1FC8 0020	8	保持*2	保持	保持	保持	Pck
RTC	RMINAR	H'FFC8 0024	H'1FC8 0024	8	保持*2	保持	保持	保持	Pck
RTC	RHRAR	H'FFC8 0028	H'1FC8 0028	8	保持*2	保持	保持	保持	Pck
RTC	RWKAR	H'FFC8 002C	H'1FC8 002C	8	保持*2	保持	保持	保持	Pck
RTC	RDAYAR	H'FFC8 0030	H'1FC8 0030	8	保持*2	保持	保持	保持	Pck
RTC	RMONAR	H'FFC8 0034	H'1FC8 0034	8	保持*2	保持	保持	保持	Pck
RTC	RCR1	H'FFC8 0038	H'1FC8 0038	8	H'00*2	H'00*2	保持	保持	Pck
RTC	RCR2	H'FFC8 003C	H'1FC8 003C	8	H'09*2	H'00*2	保持	保持	Pck
RTC	RCR3	H'FFC8 0050	H'1FC8 0050	8	H'00	保持	保持	保持	Pck
RTC	RYRAR	H'FFC8 0054	H'1FC8 0054	16	不定	保持	保持	保持	Pck
INTC	ICR	H'FFD0 0000	H'1FD0 0000	16	H'0000*2	H'0000*2	保持	保持	Pck
INTC	IPRA	H'FFD0 0004	H'1FD0 0004	16	H'0000	H'0000	保持	保持	Pck
INTC	IPRB	H'FFD0 0008	H'1FD0 0008	16	H'0000	H'0000	保持	保持	Pck
INTC	IPRC	H'FFD0 000C	H'1FD0 000C	16	H'0000	H'0000	保持	保持	Pck
INTC	IPRD	H'FFD0 0010	H'1FD0 0010	16	H'DA74	H'DA74	保持	保持	Pck
TMU	TOCR	H'FFD8 0000	H'1FD8 0000	8	H'00	H'00	保持	保持	Pck
TMU	TSTR	H'FFD8 0004	H'1FD8 0004	8	H'00	H'00	保持	H'00*2	Pck
TMU	TCOR0	H'FFD8 0008	H'1FD8 0008	32	H'FFFF FFFF	H'FFFF FFFF	保持	保持	Pck
TMU	TCNT0	H'FFD8 000C	H'1FD8 000C	32	H'FFFF FFFF	H'FFFF FFFF	保持	保持	Pck
TMU	TCR0	H'FFD8 0010	H'1FD8 0010	16	H'0000	H'0000	保持	保持	Pck
TMU	TCOR1	H'FFD8 0014	H'1FD8 0014	32	H'FFFF FFFF	H'FFFF FFFF	保持	保持	Pck

モジュール	レジスタ	P4 アドレス	エリア7 アドレス*1	サイズ	パワーオン リセット	マニュアル リセット	スリープ	スタン バイ	同期 クロック
TMU	TCNT1	H'FFD8 0018	H'1FD8 0018	32	H'FFFF FFFF	H'FFFF FFFF	保持	保持	Pck
TMU	TCR1	H'FFD8 001C	H'1FD8 001C	16	H'0000	H'0000	保持	保持	Pck
TMU	TCOR2	H'FFD8 0020	H'1FD8 0020	32	H'FFFF FFFF	H'FFFF FFFF	保持	保持	Pck
TMU	TCNT2	H'FFD8 0024	H'1FD8 0024	32	H'FFFF FFFF	H'FFFF FFFF	保持	保持	Pck
TMU	TCR2	H'FFD8 0028	H'1FD8 0028	16	H'0000	H'0000	保持	保持	Pck
TMU	TCPR2	H'FFD8 002C	H'1FD8 002C	32	保持	保持	保持	保持	Pck
SCI	SCSMR1	H'FFE0 0000	H'1FE0 0000	8	H'00	H'00	保持	H'00	Pck
SCI	SCBRR1	H'FFE0 0004	H'1FE0 0004	8	H'FF	H'FF	保持	H'FF	Pck
SCI	SCSCR1	H'FFE0 0008	H'1FE0 0008	8	H'00	H'00	保持	H'00	Pck
SCI	SCTDR1	H'FFE0 000C	H'1FE0 000C	8	H'FF	H'FF	保持	H'FF	Pck
SCI	SCSSR1	H'FFE0 0010	H'1FE0 0010	8	H'84	H'84	保持	H'84	Pck
SCI	SCRDR1	H'FFE0 0014	H'1FE0 0014	8	H'00	H'00	保持	H'00	Pck
SCI	SCSCMR1	H'FFE0 0018	H'1FE0 0018	8	H'00	H'00	保持	H'00	Pck
SCI	SCSPTR1	H'FFE0 001C	H'1FE0 001C	8	H'00*2	H'00*2	保持	H'00*2	Pck
SCIF	SCSMR2	H'FFE8 0000	H'1FE8 0000	16	H'0000	H'0000	保持	保持	Pck
SCIF	SCBRR2	H'FFE8 0004	H'1FE8 0004	8	H'FF	H'FF	保持	保持	Pck
SCIF	SCSCR2	H'FFE8 0008	H'1FE8 0008	16	H'0000	H'0000	保持	保持	Pck
SCIF	SCFTDR2	H'FFE8 000C	H'1FE8 000C	8	不定	不定	保持	保持	Pck
SCIF	SCFSR2	H'FFE8 0010	H'1FE8 0010	16	H'0060	H'0060	保持	保持	Pck
SCIF	SCFRDR2	H'FFE8 0014	H'1FE8 0014	8	不定	不定	保持	保持	Pck
SCIF	SCFCR2	H'FFE8 0018	H'1FE8 0018	16	H'0000	H'0000	保持	保持	Pck
SCIF	SCFDR2	H'FFE8 001C	H'1FE8 001C	16	H'0000	H'0000	保持	保持	Pck
SCIF	SCSPTR2	H'FFE8 0020	H'1FE8 0020	16	H'0000*2	H'0000*2	保持	保持	Pck
SCIF	SCLSR2	H'FFE8 0024	H'1FE8 0024	16	H'0000	H'0000	保持	保持	Pck
H-UDI	SDIR	H'FFF0 0000	H'1FF0 0000	16	H'FFFF*2	保持	保持	保持	Pck
H-UDI	SDDR	H'FFF0 0008	H'1FF0 0008	32	不定	保持	保持	保持	Pck
H-UDI	SDINT	H'FFF0 0014	H'1FF0 0014	16	H'0000	保持	保持	保持	Pck

【注】 \*1 コントロールレジスタは TLB の物理ページ番号フィールドに上記アドレスを設定することでアクセスできます。  
TLB を使わずにこれらのアドレスを直接設定した場合の動作は保証しません。

\*2 不定ビットが含まれています。各モジュールの説明を参照してください。

\*3 書き込みは、ワードサイズで行ってください。上位バイトをそれぞれ H'5A、H'A 5 にして書き込んでください。バイトまたはロングワードサイズでは書き込むことができません。  
読み出しは、バイトサイズで行ってください。

B. 外形寸法図

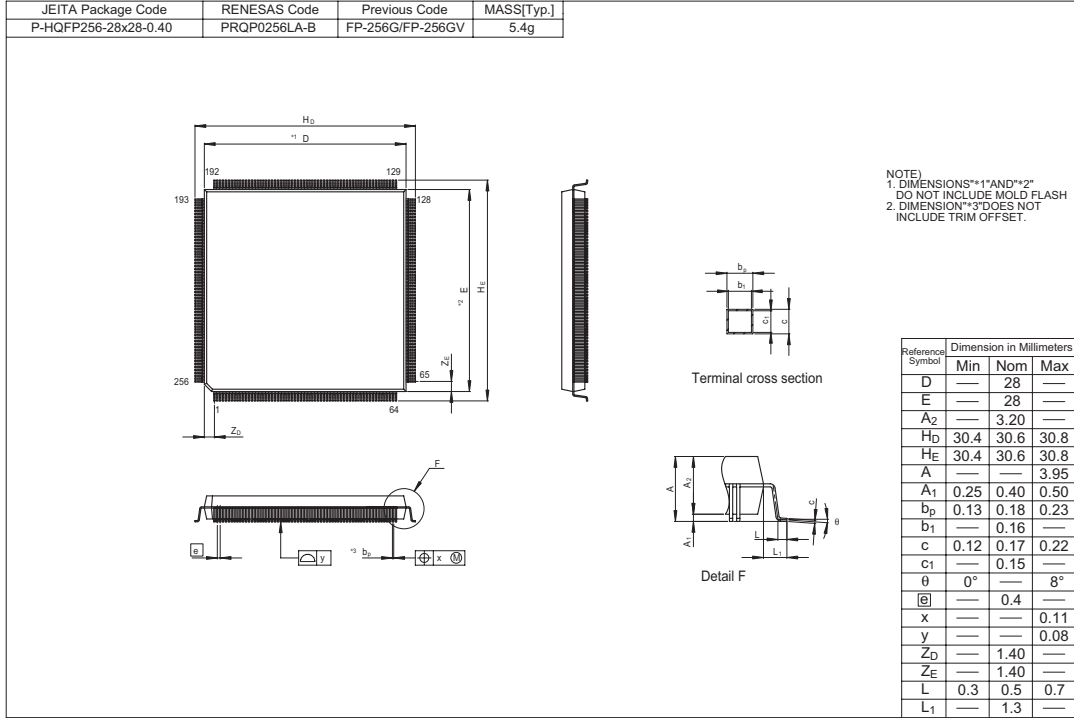


図 B.1 外形寸法図 (256 ピン QFP)

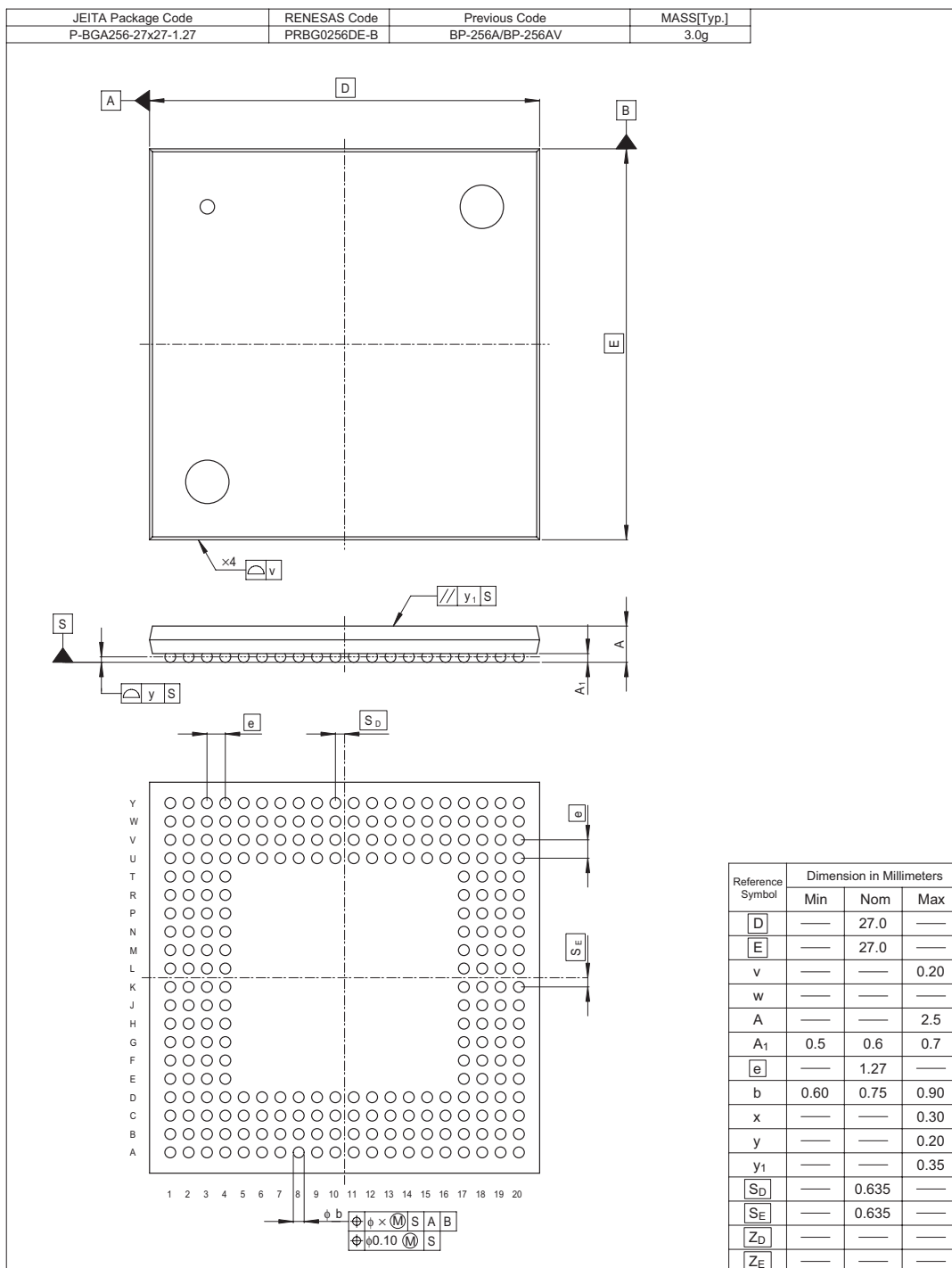


図 B.2 外形寸法図 (256 ピン BGA : HD6417751RBA240HV を除く)

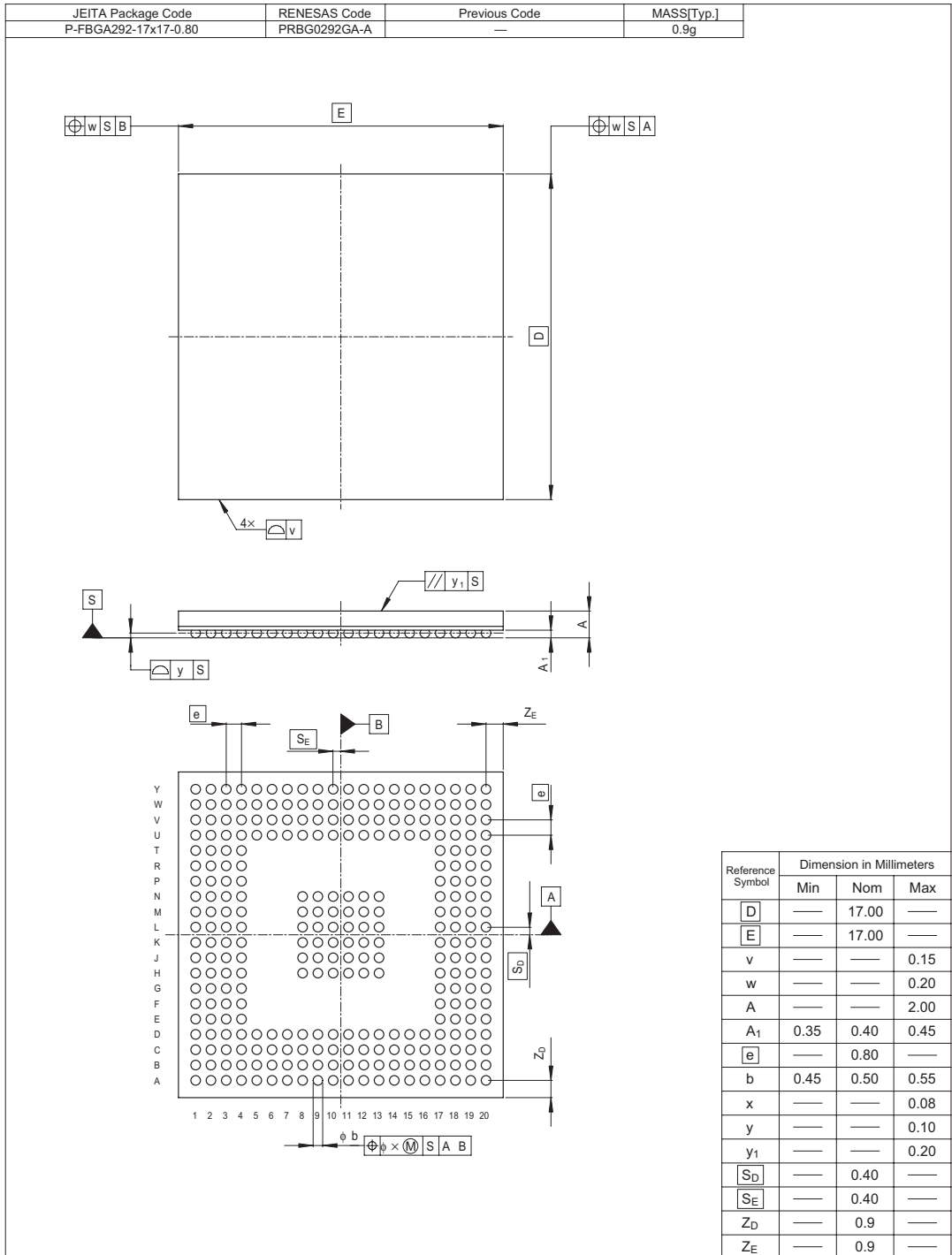


図 B.3 外形寸法図 ( 292 ピン BGA )



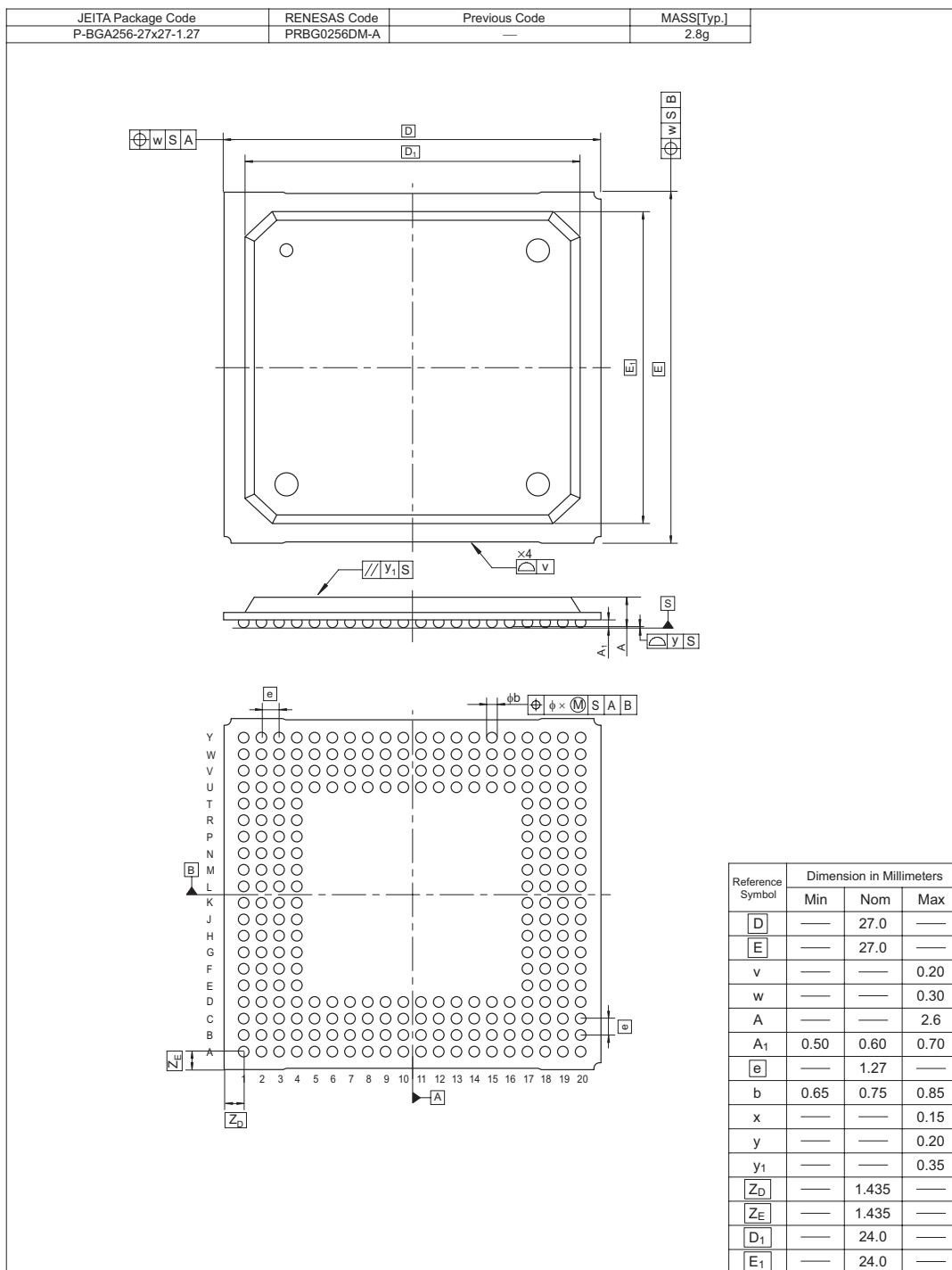


図 B.4 外形寸法図 (256 ピン BGA : HD6417751RBA240HV)

## C. モード端子の設定

MD10～MD0 端子の値は、RESET 端子によるパワーオンリセット時に入力されます。

表 C.1 SH7751 のクロック動作モード

クロック 動作 モード	外部端子組み合わせ			1/2 分 周器	PLL1	PLL2	周波数 (対入力クロック)			FRQCR 初期値
	MD2	MD1	MD0				CPU クロック	バス クロック	周辺 モジュール クロック	
0	0	0	0	Off	On	On	6	3/2	3/2	H'0E1A
1	0	0	1	Off	On	On	6	1	1	H'0E23
2	0	1	0	On	On	On	3	1	1/2	H'0E13
3	0	1	1	Off	On	On	6	2	1	H'0E13
4	1	0	0	On	On	On	3	3/2	3/4	H'0E0A
5	1	0	1	Off	On	On	6	3	3/2	H'0E0A
6	1	1	0	Off	Off	Off	1	1/2	1/2	H'0808

- 【注】 1. 1/2 分周器の ON/OFF はクロック動作モードのみで決まります。
2. 入力クロックの周波数範囲は、「23.3.1 クロック・制御信号タイミング」の EXTAL クロック入力周波数 ( $f_{ex}$ ) および CKIO クロック出力 ( $f_{op}$ ) を参照してください。

表 C.2 SH7751R のクロック動作モード

クロック 動作 モード	外部端子組み合わせ			PLL1	PLL2	周波数 (対入力クロック)			FRQCR 初期値
	MD2	MD1	MD0			CPU クロック	バス クロック	周辺 モジュール クロック	
0	0	0	0	On ( × 12 )	On	12	3	3	H'0E1A
1	0	0	1	On ( × 12 )	On	12	3/2	3/2	H'0E2C
2	0	1	0	On ( × 6 )	On	6	2	1	H'0E13
3	0	1	1	On ( × 12 )	On	12	4	2	H'0E13
4	1	0	0	On ( × 6 )	On	6	3	3/2	H'0E0A
5	1	0	1	On ( × 12 )	On	12	6	3	H'0E0A
6	1	1	0	Off ( × 6 )	Off	1	1/2	1/2	H'0808

- 【注】 1. PLL1 の通倍率は、クロック動作モードのみで決まります。
2. 入力クロックの周波数範囲は、「23.3.1 クロック・制御信号タイミング」の EXTAL クロック入力周波数 ( $f_{ex}$ ) および CKIO クロック出力 ( $f_{op}$ ) を参照してください。

表 C.3 エリア 0 のメモリアイプ・バス幅

端子の値			メモリアイプ	バス幅
MD6	MD4	MD3		
0	0	0	予約（設定禁止）	予約（設定禁止）
0	0	1	予約（設定禁止）	予約（設定禁止）
0	1	0	予約（設定禁止）	予約（設定禁止）
0	1	1	MPX インタフェース	32 ビット
1	0	0	予約（設定禁止）	予約（設定禁止）
1	0	1	SRAM インタフェース	8 ビット
1	1	0	SRAM インタフェース	16 ビット
1	1	1	SRAM インタフェース	32 ビット

表 C.4 エンディアン

端子の値	エンディアン
MD5	
0	ビッグエンディアン
1	リトルエンディアン

表 C.5 マスタ/スレーブ

端子の値	マスタ/スレーブ
MD7	
0	スレーブ
1	マスタ

表 C.6 クロック入力

端子の値	クロック入力
MD8	
0	外部入力クロック
1	水晶発振子

表 C.7 PCI モード

モード	端子の値		PCI モード
	MD10	MD9	
0	0	0	PCI ホスト・外部入力クロック
1	0	1	PCI ホスト・CKIO フィードバック入力クロック
2	1	0	PCI 非ホスト・外部入力クロック
3	1	1	PCI ディスエーブル

【注】 スタンバイモード、ハードウェアスタンバイモードをパワーオンリセットにより解除する場合、PCI モードを変更しないでください。

## D. 端子機能

## D.1 端子の状態

表 D.1 リセット、低消費電力状態、バス解放状態での端子状態  
(PCI イネーブル、ディスエーブル共通)

端子名	I/O	RESET ( Power on )		RESET ( Manual )		スタンバイ	バス権解放	ハードウェア スタンバイ	備考
		マスタ	スレーブ	マスタ	スレーブ				
D0 ~ D31	I/O	Z	Z	Z* <sup>14</sup>	Z* <sup>14</sup>	Z* <sup>14</sup>	Z* <sup>14</sup>	Z	
A2 ~ A17 A0 ~ A25	O	PZ	PZ	Z* <sup>13</sup> O* <sup>7</sup>	Z* <sup>13</sup>	Z* <sup>13</sup> O* <sup>5</sup>	Z* <sup>13</sup>	Z	
RESET	I	I	I	I	I	I	I	I	
BACK/BSREQ	O	H	H	H	H	H	O	Z	
BREQ/BSACK	I	PI	PI	I* <sup>12</sup>	I* <sup>12</sup>	I* <sup>12</sup>	I	I	
BS	O	H	PZ	H	Z* <sup>13</sup>	Z* <sup>13</sup> H* <sup>5</sup>	Z* <sup>13</sup>	Z	
CKE	O	H	H	O* <sup>4</sup>	H	L	O* <sup>4</sup>	Z	
CS6 ~ CS0	O	H	PZ	H	Z* <sup>13</sup>	Z* <sup>13</sup> H* <sup>5</sup>	Z* <sup>13</sup>	Z	
RAS	O	H	PZ	O* <sup>4</sup>	Z* <sup>13</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z	
RD/CASS/ FRAME	O	H	PZ	O* <sup>4</sup>	Z	Z* <sup>13</sup> O* <sup>3</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z	
RD/WR	O	H	PZ	H	Z* <sup>13</sup>	Z* <sup>13</sup> H* <sup>5</sup>	Z* <sup>13</sup>	Z	
RDY	I	PI	PI	I* <sup>12</sup>	I* <sup>12</sup>	I* <sup>12</sup>	I* <sup>12</sup>	I	
CAS3/DQM3	O	H	PZ	O* <sup>4</sup>	Z* <sup>13</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z	
CAS2/DQM2	O	H	PZ	O* <sup>4</sup>	Z* <sup>13</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z	
CAS1/DQM1	O	H	PZ	O* <sup>4</sup>	Z* <sup>13</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z	
CAS0/DQM0	O	H	PZ	O* <sup>4</sup>	Z* <sup>13</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z	
WE3/IOICWR	O	H	PZ	O* <sup>4</sup>	Z* <sup>13</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z	
WE2/IOICRD	O	H	PZ	O* <sup>4</sup>	Z* <sup>13</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z	
WE1	O	H	PZ	O* <sup>4</sup>	Z* <sup>13</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z	
WE0/REG	O	H	PZ	O* <sup>4</sup>	Z* <sup>13</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z* <sup>13</sup> O* <sup>3</sup>	Z	
DACK1 ~ DACK0	O	L	L	L	L	Z* <sup>11</sup> O* <sup>6</sup>	O	Z	DMAC
MD7/CTS2	I/O	I* <sup>17</sup>	I* <sup>17</sup>	I* <sup>11</sup>	I* <sup>11</sup>	I* <sup>11</sup> O	I* <sup>11</sup> O	Z	SCIF
MD6/IOIS16	I	I* <sup>17</sup>	I* <sup>17</sup>	I* <sup>12</sup>	I* <sup>12</sup>	I* <sup>12</sup>	I* <sup>12</sup>	I	PCMCIA ( I/O )
MD5	I	I* <sup>17</sup>	I* <sup>17</sup>	Z* <sup>13</sup>	Z* <sup>13</sup>	Z* <sup>13</sup>	Z* <sup>13</sup>	Z	
MD4/CE2B	I/O* <sup>1</sup>	I* <sup>17</sup>	I* <sup>17</sup>	Z* <sup>13</sup> H	Z* <sup>13</sup>	Z* <sup>13</sup> H* <sup>5</sup>	Z* <sup>13</sup>	Z	PCMCIA
MD3/CE2A	I/O* <sup>2</sup>	I* <sup>17</sup>	I* <sup>17</sup>	Z* <sup>13</sup> H	Z* <sup>13</sup>	Z* <sup>13</sup> H* <sup>5</sup>	Z* <sup>13</sup>	Z	PCMCIA

端子名	I/O	RESET ( Power on )		RESET ( Manual )		スタンバイ	バス権解放	ハードウェア スタンバイ	備考
		マスタ	スレーブ	マスタ	スレーブ				
CKIO	O	O	O	ZO* <sup>8</sup>	ZO* <sup>8</sup>	ZO* <sup>8</sup>	ZO* <sup>8</sup>	Z	
STATUS1 ~ STATUS0	O	O	O	O	O	O	O	ZO* <sup>9</sup>	
IRL3 - IRL0	I	PI	PI	I* <sup>12</sup>	I* <sup>12</sup>	I* <sup>12</sup>	I* <sup>12</sup>	I	INTC
NMI	I	PI	PI	I* <sup>12</sup>	I* <sup>12</sup>	I* <sup>12</sup>	I* <sup>12</sup>	I	INTC
DREQ1 ~ DREQ0	I	PI	PI	I* <sup>11</sup>	I* <sup>11</sup>	I* <sup>11</sup>	I* <sup>11</sup>	I	DMAC
DRAK1 ~ DRAK0	O	L	L	L	L	Z* <sup>11</sup> O* <sup>6</sup>	O	Z	DMAC
MD0/SCK2	I/O	I* <sup>17</sup>	I* <sup>17</sup>	I* <sup>11</sup>	I* <sup>11</sup>	I* <sup>11</sup> Z* <sup>11</sup> O* <sup>6</sup>	I* <sup>11</sup> O	I	SCIF
RXD	I	PI	PI	I* <sup>11</sup>	I* <sup>11</sup>	I* <sup>11</sup>	I* <sup>11</sup>	I	SCI
SCK	I/O	PI	PI	I* <sup>11</sup>	I* <sup>11</sup>	I* <sup>11</sup> Z* <sup>11</sup> O* <sup>6</sup>	I* <sup>11</sup> O	Z	SCI
MD1/TXD2	I/O	I* <sup>17</sup>	I* <sup>17</sup>	Z* <sup>11</sup>	Z* <sup>11</sup>	Z* <sup>11</sup> O* <sup>6</sup>	Z* <sup>11</sup> O	Z	SCIF
MD2/RXD2	I	I* <sup>17</sup>	I* <sup>17</sup>	I* <sup>11</sup>	I* <sup>11</sup>	I* <sup>11</sup>	I* <sup>11</sup>	I	SCIF
TXD	O	PI	PI	Z* <sup>11</sup> O	Z* <sup>11</sup> O	Z* <sup>11</sup> O* <sup>6</sup>	O	Z	SCI
MD8/RTS2	I/O	I* <sup>17</sup>	I* <sup>17</sup>	I* <sup>11</sup>	I* <sup>11</sup>	I* <sup>11</sup> Z* <sup>11</sup> O* <sup>6</sup>	I* <sup>11</sup> O	Z	SCIF
TCLK	I/O	PI	PI	I* <sup>11</sup>	I* <sup>11</sup>	I* <sup>11</sup> O	I* <sup>11</sup> O	Z	TMU
TDO	O	O	O	O	O	O	O	Z	H-UDI
TMS	I	PI	PI	PI	PI	PI	PI	I	H-UDI
TCK	I	PI	PI	PI	PI	PI	PI	I	H-UDI
TDI	I	PI	PI	PI	PI	PI	PI	I	H-UDI
TRST	I	PI	PI	PI	PI	PI	PI	I	H-UDI
MRESET	I	PI	PI	PI	PI	PI	PI	I	
SLEEP	I	PI	PI	I* <sup>12</sup>	I* <sup>12</sup>	I* <sup>12</sup>	I* <sup>12</sup>	I	
CA	I	I	I	I	I	I	I	I	

表 D.2 リセット、低消費電力状態、バス解放状態での端子状態 (PCI イネーブル)

端子名	I/O	RESET (Power on)		RESET (Manual)		スタンバイ		RESET (Software)		ハードウェア スタンバイ	備考
		ホスト	非 ホスト	ホスト	非 ホスト	ホスト	非 ホスト	ホスト	非 ホスト		
AD31 ~ AD0	I/O	L	Z	IOZ	IOZ	K	Z	L	Z	Z	
CBE3 ~ CBE0	I/O	L	Z	IOZ	IOZ	K	Z	L	Z	Z	
PAR	I/O	L	Z	IOZ	IOZ	K	Z	L	Z	Z	
SERR	I/O	PZ	PZ	IOZ <sup>*10</sup>	IOZ <sup>*10</sup>	Z <sup>*10</sup>	Z <sup>*10</sup>	PZ	PZ	Z	
PERR	I/O	PZ	PZ	IOZ <sup>*10</sup>	IOZ <sup>*10</sup>	Z <sup>*10</sup>	Z <sup>*10</sup>	PZ	PZ	Z	
PCLOCK	I/O	PZ	PZ	IZ <sup>*10</sup>	IZ <sup>*10</sup>	Z <sup>*10</sup>	Z <sup>*10</sup>	PZ	PZ	Z	
PCISTOP	I/O	PZ	PZ	IOZ <sup>*10</sup>	IOZ <sup>*10</sup>	Z <sup>*10</sup>	Z <sup>*10</sup>	PZ	PZ	Z	
DEVSEL	I/O	PZ	PZ	IOZ <sup>*10</sup>	IOZ <sup>*10</sup>	Z <sup>*10</sup>	Z <sup>*10</sup>	PZ	PZ	Z	
TRDY	I/O	PZ	PZ	IOZ <sup>*10</sup>	IOZ <sup>*10</sup>	Z <sup>*10</sup>	Z <sup>*10</sup>	PZ	PZ	Z	
IRDY	I/O	PZ	PZ	IOZ <sup>*10</sup>	IOZ <sup>*10</sup>	Z <sup>*10</sup>	Z <sup>*10</sup>	PZ	PZ	Z	
PCIFRAME	I/O	PZ	PZ	IOZ <sup>*10</sup>	IOZ <sup>*10</sup>	Z <sup>*10</sup>	Z <sup>*10</sup>	PZ	PZ	Z	
PCIREQ4	I/O	PI	PZ	Z <sup>*10</sup>	Z <sup>*10</sup> (IO <sup>*11</sup> IO <sup>*16</sup> )	I <sup>*10</sup>	Z <sup>*10</sup> (IO <sup>*10</sup> IO <sup>*16</sup> )	PI	PZ (IO <sup>*10</sup> IO <sup>*16</sup> )	Z	( ) は PORT 使用時
PCIREQ2/ MD9	I/O	I <sup>*17</sup>	I <sup>*17</sup>	Z <sup>*10</sup>	Z <sup>*10</sup> (IO <sup>*11</sup> IO <sup>*16</sup> )	I <sup>*10</sup>	Z <sup>*10</sup> (IO <sup>*10</sup> IO <sup>*16</sup> )	PI	PZ (IO <sup>*10</sup> IO <sup>*16</sup> )	Z	( ) は PORT 使用時
PCIREQ3/ MD10	I/O	I <sup>*17</sup>	I <sup>*17</sup>	Z <sup>*10</sup>	Z <sup>*10</sup> (IO <sup>*11</sup> IO <sup>*16</sup> )	I <sup>*10</sup>	Z <sup>*10</sup> (IO <sup>*10</sup> IO <sup>*16</sup> )	PI	PZ (IO <sup>*10</sup> IO <sup>*16</sup> )	Z	( ) は PORT 使用時
PCIREQ1/ GNTIN	I	PI	PI	I <sup>*10</sup>	I <sup>*10</sup>	I <sup>*10</sup>	I <sup>*10</sup>	PI	PI	Z	
PCIGNT4 ~ PCIGNT2	O	Z	Z	O	Z (K)	K	Z (K)	Z	Z (K)	Z	( ) は PORT 使用時
PCIGNT1/ REQOUT	O	Z	Z	O	O	K	K	Z	H	Z	
PCICK	I	I	I	I	I	I	I	I	I	Z	
PCIRST	O	L	L	K	K	K	K	L	L	Z	
IDSEL	I	PI	I	PI	I	PI	I	PI	I	Z	
INTA	O	PZ	PZ	ODK <sup>*10</sup>	ODK <sup>*10</sup>	ODK <sup>*10</sup>	ODK <sup>*10</sup>	PZ	PZ	Z	

表 D.3 リセット、低消費電力状態、バス解放状態での端子状態 (PCI ディスエーブル)

端子名	I/O	RESET ( Power on )		RESET ( Manual )		スタンバイ	バス権解放	ハードウェア スタンバイ	備考
		マスタ	スレーブ	マスタ	スレーブ				
AD31 ~ AD0	I/O	Z	Z	Z (K)	Z (K)	Z* <sup>15</sup> (K)	Z* <sup>15</sup> (K)	Z	( ) は PORT 使用時
CBE3 ~ CBE0	—	Z	Z	Z	Z	Z	Z	Z	
PAR	O	Z	Z	Z	Z	Z	Z	Z	
SERR	—	Z	Z	Z	Z	Z	Z	Z	
PERR	—	Z	Z	Z	Z	Z	Z	Z	
PCICLK	—	Z	Z	Z	Z	Z	Z	Z	
PCISTOP	—	Z	Z	Z	Z	Z	Z	Z	
DEVSEL	—	Z	Z	Z	Z	Z	Z	Z	
TRDY	—	Z	Z	Z	Z	Z	Z	Z	
IRDY	—	Z	Z	Z	Z	Z	Z	Z	
PCIFRAME	—	Z	Z	Z	Z	Z	Z	Z	
PCIREQ4	—	Z	Z	Z	Z	Z	Z	Z	
PCIREQ2/ MD9	I/O	I* <sup>17</sup>	I* <sup>17</sup>	Z	Z	Z	Z	Z	
PCIREQ3/ MD10	I/O	I* <sup>17</sup>	I* <sup>17</sup>	Z	Z	Z	Z	Z	
PCIREQ1	—	Z	Z	Z	Z	Z	Z	Z	
PCIGNT4 ~ PCIGNT2	O	Z	Z	Z	Z	Z	Z	Z	
PCIGNT1	O	Z	Z	Z	Z	Z	Z	Z	
PCICLK	—	Z	Z	Z	Z	Z	Z	Z	
PCIRST	O	Z	Z	Z	Z	Z	Z	Z	
IDSEL	—	Z	Z	Z	Z	Z	Z	Z	
INTA	—	Z	Z	Z	Z	Z	Z	Z	

- 【注】 I : 入力  
O : 出力  
H : ハイレベル出力  
L : ローレベル出力  
Z : ハイインピーダンス  
K : 出力状態保持  
IZ/IOZ : PCI からのアクセスに対して応答する  
PZ : 内蔵プルアップ抵抗によりプルアップ  
PI : 内蔵プルアップ抵抗によりプルアップされた入力  
ODK : オープンドレインの出力状態保持

- \*1 エリア 5 - PCMCIA 使用時出力
- \*2 エリア 6 - PCMCIA 使用時出力
- \*3 レジスタ設定 (BCR1.HIZCNT) により Z (I) または O (リフレッシュ)
- \*4 リフレッシュ動作により変化
- \*5 レジスタ設定 (BCR1.HIZMEM) により Z (I) または H (状態保持)
- \*6 レジスタ設定 (STBCR. PHZ) により Z か O
- \*7 リフレッシュ設定時出力
- \*8 レジスタ設定 (FRQCR. CKOEN) により Z または O
- \*9 レジスタ設定 (STBCR2.STHZ) により Z または O
- \*10 レジスタ設定 (PCICR.PCIPUP) によりプルアップ
- \*11 レジスタ設定 (STBCR.PPU) によりプルアップ
- \*12 レジスタ設定 (BCR1.IPUP) によりプルアップ
- \*13 レジスタ設定 (BCR1.OPUP) によりプルアップ
- \*14 レジスタ設定 (BCR1.DPUP) によりプルアップ
- \*15 レジスタ設定 (BCR2.PORTEN) によりプルアップ
- \*16 レジスタ設定 (PCIPCTR.PB2PUP ~ PCIPCTR.PB4PUP) によりプルアップ
- \*17 内蔵プルアップ抵抗によりプルアップ  
ただし、パワーオンリセット時のモード端子のプルアップとしては使用できません。本 LSI の外部でプルアップまたはプルダウンしてください。

## D.2 未使用端子の処理

- RTC を使用しない場合

EXTAL2 : 3.3Vにプルアップ

XTAL2 : 何も接続しない

VDD-RTC : 電源

VSS-RTC : 電源

- PLL1 を使用しない場合

VDD-PLL1 : 電源

VSS-PLL1 : 電源

- PLL2 を使用しない場合

VDD-PLL2 : 電源

VSS-PLL2 : 電源

- 内蔵水晶発振器を使用しない場合

XTAL : 何も接続しない

VDD-CPG : 電源

VSS-CPG : 電源



表 D.4 PCI 未使用時の端子の処理

端子名	I/O	処理方法
AD31 ~ AD0	I/O	3.3V にプルアップ*
$\overline{\text{CBE3}} \sim \overline{\text{CBE0}}$	I/O	3.3V にプルアップ
PAR	I/O	3.3V にプルアップ
$\overline{\text{SERR}}$	I/O	3.3V にプルアップ
$\overline{\text{PERR}}$	I/O	3.3V にプルアップ
$\overline{\text{PCILOCK}}$	I/O	3.3V にプルアップ
$\overline{\text{PCISTOP}}$	I/O	3.3V にプルアップ
$\overline{\text{DEVSEL}}$	I/O	3.3V にプルアップ
$\overline{\text{TRDY}}$	I/O	3.3V にプルアップ
$\overline{\text{IRDY}}$	I/O	3.3V にプルアップ
$\overline{\text{PCIFRAME}}$	I/O	3.3V にプルアップ
$\overline{\text{PCIREQ4}} \sim \overline{\text{PCIREQ2}}$	I/O	3.3V にプルアップ
$\overline{\text{PCIREQ1}}$	I	3.3V にプルアップ
$\overline{\text{PCIGNT4}} \sim \overline{\text{PCIGNT2}}$	O	3.3V にプルアップ
$\overline{\text{PCIGNT1}}$	O	3.3V にプルアップ
$\overline{\text{PCICLK}}$	I	3.3V にプルアップ
$\overline{\text{PCIRST}}$	O	何も接続しない
IDSEL	I	IDSEL 未使用時はプルダウンしてください。
INTA	O	何も接続しない

【注】\* 汎用 I/O ポートとして使用しない場合

### D.3 端子処理の注意点

外部抵抗で端子をプルアップ / プルダウンする場合、他の端子からの影響を避けるために、単独でプルアップ / プルダウンしてください。

## E. シンクロナス DRAM のアドレスマルチプレクス表

(1) BUS 32 (16M : 512K × 16b × 2) × 2\*

AMX 0 AMXEXT 016M, column-addr-8bit4MB

	本 LSI アドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A14				
A13	A21	A21	A11	BANK はバンクアドレスを選択
A12	A20	H/L	A10	アドレスプリチャージ設定
A11	A19	0	A9	アドレス
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

## (2) BUS 32 (16M : 512K × 16b × 2) × 2\*

AMX 0 AMXEXT 116M, column-addr-8bit4MB

	本 LSI アドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A14				
A13	A20	A20	A11	BANK はバンクアドレスを選択
A12	A21	H/L	A10	アドレスプリチャージ設定
A11	A19	0	A9	アドレス
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

## (3) BUS 32 (16M : 1M × 8b × 2) × 4\*

AMX 1 AMXEXT 016M, column-addr-9bit8MB

	本 LSI アドレス端子		シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A14				
A13	A22	A22	A11	BANK はバンクアドレスを選択
A12	A21	H/L	A10	アドレスプリチャージ設定
A11	A20	0	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	未使用			
A0	未使用			

(4) BUS 32 (16M : 1M × 8b × 2) × 4\*

AMX 1 AMXEXT 116M, column-addr-9bit8MB

	本 LSI アドレス端子		シンクロナス DRAM	機能
	RAS サイクル	CAS サイクル	アドレス端子	
A14				
A13	A21	A21	A11	BANK はバンクアドレスを選択
A12	A22	H/L	A10	アドレスプリチャージ設定
A11	A20	0	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	未使用			
A0	未使用			

(5) BUS 32 (64M : 1M × 16b × 4) × 2\*  
 AMX 2 64M, column-addr-8bit16MB

	本 LSI アドレス端子		シンクロナス DRAM	機能
	RAS サイクル	CAS サイクル	アドレス端子	
A16				
A15	A23	A23	A13	BANK はバンクアドレスを選択
A14	A22	A22	A12	
A13	A21	0	A11	
A12	A20	H/L	A10	アドレスプリチャージ設定
A11	A19	0	A9	
A10	A18	0	A8	アドレス
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

(6) BUS 32 (64M : 2M × 8b × 4) × 4\*

AMX 3 64M, column-addr-9bit32MB

本 LSI アドレス端子			シンクロナス DRAM アドレス端子	機能
	RAS サイクル	CAS サイクル		
A16				
A15	A24	A24	A13	BANK はバンクアドレスを選択
A14	A23	A23	A12	
A13	A22	0	A11	
A12	A21	H/L	A10	アドレスプリチャージ設定
A11	A20	0	A9	
A10	A19	A10	A8	アドレス
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	未使用			
A0	未使用			

(7) BUS 32 (64M : 512K × 32b × 4) × 1\*  
 AMX 4 64M, column-addr-8bit8MB

	本 LSI アドレス端子		シンクロナス DRAM	機能
	RAS サイクル	CAS サイクル	アドレス端子	
A15				
A14	A22	A22	A12	BANK はバンクアドレスを選択
A13	A21	A21	A11	
A12	A20	H/L	A10	
A11	A19	0	A9	アドレス
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

(8) BUS 32 (64M : 1M × 32b × 2) × 1\*  
 AMX 5 64M, column-addr-8bit8MB

	本 LSI アドレス端子		シンクロナス DRAM	機能
	RAS サイクル	CAS サイクル	アドレス端子	
A15				
A14	A22	A22	A12	BANK はバンクアドレスを選択
A13	A21	0	A11	
A12	A20	H/L	A10	アドレスプリチャージ設定
A11	A19	0	A9	アドレス
A10	A18	0	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			



(9) BUS 32 (64M : 4M×4b×4) × 8\*

(128M : 4M×8b×4) × 4

AMX 6 AMXEXT 064M, column-addr-10bit64MB

	本 LSI アドレス端子		シンクロナス DRAM	機能
	RAS サイクル	CAS サイクル	アドレス端子	
A15	A25	A25	A13	BANK はバンクアドレスを選択
A14	A24	A24	A12	
A13	A23	0	A11	
A12	A22	H/L	A10	アドレスプリチャージ設定
A11	A21	A11	A9	アドレス
A10	A20	A10	A8	
A9	A19	A9	A7	
A8	A18	A8	A6	
A7	A17	A7	A5	
A6	A16	A6	A4	
A5	A15	A5	A3	
A4	A14	A4	A2	
A3	A13	A3	A1	
A2	A12	A2	A0	
A1	未使用			
A0	未使用			

(10) BUS 32 (256M : 4M × 16b × 4) × 2\*

AMX 6 AMXEXT 1256M, column-addr-9bit64MB

	本 LSI アドレス端子		シンクロナス DRAM	機能
	RAS サイクル	CAS サイクル	アドレス端子	
A16	A25	A25	A14	BANK はバンクアドレスを選択
A15	A24	A24	A13	
A14	A23	0	A12	
A13	A22	0	A11	
A12	A21	H/L	A10	アドレスプリチャージ設定
A11	A20	0	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	未使用			
A0	未使用			

(11) BUS 32 (16M : 256K × 32b × 2) × 1\*

AMX 7 16M, column-addr-8bit2MB

	本 LSI アドレス端子		シンクロナス DRAM	機能
	RAS サイクル	CAS サイクル	アドレス端子	
A13				
A12	A20	A20	A10	BANK はバンクアドレスを選択
A11	A19	H/L	A9	アドレスプリチャージ設定
A10	A18	0	A8	アドレス
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	未使用			
A0	未使用			

【注】 \* シンクロナス DRAM の構成例

## F. 命令のプリフェッチとその副作用について

SH7751 グループは、先読みした命令を保持するためのバッファを内部に設けており、常に命令の先読みを行っています。したがって、各メモリ空間の最終 20 バイト領域にプログラムを配置しないでください。もし、その領域にプログラムを配置した場合、メモリアreaを超えて、命令の先読みのためのバスアクセスが発生する場合があります。以下にこれが問題となるケースを示します。

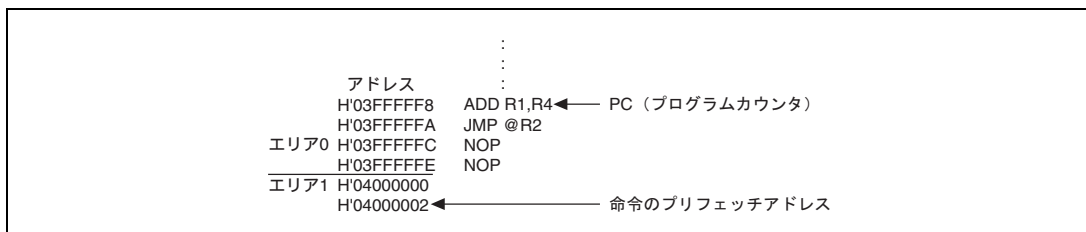


図 F.1 命令のプリフェッチ

図 F.1 では、PC (プログラムカウンタ) が指し示す命令 (ADD) と、H'04000002 番地の命令フェッチが同時に行われるケースを想定しています。また、プログラムは、後続の JMP 命令、ディレイスロット命令の実行後、エリア 1 以外の領域に分岐するものと仮定します。

この場合、プログラムのフローから想定し得ない、エリア 1 へのバスアクセス (命令のプリフェッチ) が発生する可能性があります。

### (1) 命令のプリフェッチの副作用

1. 命令プリフェッチが引き起こす外部バスアクセスが原因でその領域に接続されたFIFOなどの外部デバイスが誤動作する場合があります。
2. 命令プリフェッチが引き起こす外部バス要求に応答するデバイスが存在しない場合、ハングアップの原因になります。

### (2) 回避方法

1. MMUを用いることで、これら不当な命令フェッチを回避することが可能です。
2. 各エリア最終20バイトの領域にプログラムを配置しないことで、回避することが可能です。

## G. 電源投入遮断手順について

### G.1 電源投入時の規定

1. I/O、RTC、CPG、PLL1/2の電源は、電源VDDQと同じタイミングで投入してください。
2. 電源VDDQを投入後または同時に、信号線 ( $\overline{\text{RESET}}$ 、 $\overline{\text{MRESET}}$ 、MD0 ~ MD10、外部クロックなど) の入力を行ってください。電源VDDQを投入する前に信号線に入力を与えると、製品が破壊される可能性があります。
  - 電源VDDQの投入時 $\overline{\text{RESET}}$ 信号は、Lowレベルにしてください。
3. 電源VDDQの電圧が2Vに達するまでは電源VDDの電圧が $VDD < 1.2V$ となるように電源を投入してください。この条件を守らない場合、内蔵のPLL回路 (PLL2) が正しく動作しない場合がありますので、ご注意ください。
4. 電源の投入は、電源VDDQを先、電源VDDを後に行うことを推奨します。
5. 上記1.、2.、3.、4.に加えてG.3の規定に従ってください。さらに、以下のことにご注意ください。
  - 本LSI単体の場合、電源VDDQおよび電源VDDの電源投入シーケンスに時間的な制約はありません。図G.1を参照ください。なお、電源投入はできるだけ短い時間に行うことを推奨します。
  - 本LSIが実装ボードなどで他の素子と結線されている場合、 $-0.3V < V_{in} < VDDQ + 0.3V$ に従ってください。また図G.2に示すように、電源VDDQおよび電源VDDのどちらか一方が $VDDQ = 1.0V$ 、 $VDD = 0.5V$ となったときから本LSIの動作保証電圧範囲の最小電圧値{ $VDDQ(\min)$ 、 $VDD(\min)$ }以上に2電源とも上昇するまでの制約時間は100ms(max)です。これを超えた場合は製品が破壊される可能性があります。なお、電源投入はできるだけ短い時間に行うことを推奨します。

### G.2 電源遮断時の規定

1. I/O、RTC、CPG、PLL1/2の電源は、電源VDDQと同じタイミングで遮断してください。
2. 信号線 ( $\overline{\text{RESET}}$ 、 $\overline{\text{MRESET}}$ ) 電源遮断時のタイミング規定はありません。
3. 信号線 ( $\overline{\text{RESET}}$ 、 $\overline{\text{MRESET}}$ ) 以外の入力信号線のレベルは電源VDDQと同じシーケンスで遮断してください。
4. 電源の遮断は、電源VDDを先、電源VDDQを後に行うことを推奨します。
5. 上記1.、2.、3.、4.に加えてG.3の規定に従ってください。さらに、以下のことにご注意ください。
  - 本LSI単体の場合、電源VDDQおよび電源VDDの電源遮断シーケンスに時間的な制約はありません。図G.2を参照ください。なお、電源遮断はできるだけ短い時間に行うことを推奨します。
  - 本LSIが実装ボードなどでほかの素子と結線されている場合、 $-0.3V < V_{in} < VDDQ + 0.3V$ に従ってください。また図G.3に示すように、電源VDDQおよび電源VDDが本LSIの動作保証電圧範囲の最小電圧値{ $VDDQ(\min)$ 、 $VDD(\min)$ }より下降したときから $VDDQ < 1.0V$ 、 $VDD < 0.5V$ まで2電源とも下降するまでの制約時間は150ms(max)です。これを超えた場合は製品が破壊される可能性があります。なお、電源投入はできるだけ短

い時間に行うことを推奨します。

【注】 1. 電源投入時の注意点

電源投入時、下記条件 (A) が守られていない場合、PLL2 が異常発振し、CKIO が正しく出力されない場合があります。

条件 (A) :

VDD (VDD, VDD-PLL 1/2) が 1.2V 以上の時に、  
VDDQ (VDDQ, VDD-CPG, VDD-RTC) が 2.0V 以上である。

2. 回避方法

以下 (1) ~ (3) のいずれかの方法で、いったん PLL2 の発振を止めることにより、本問題を回避できます。

- (1) 図 G.1 に示すように、パワーオン直後はクロック動作モード 6\*<sup>1</sup> に設定し、条件 (A) を満たした時点で所望のクロックモードに設定し、パワーオンリセットを解除します。
- (2) クロック動作モード 6\*<sup>1</sup> に設定して起動した後、FRQCR を変更して所望の周波数クロックに設定します。  
(注：この方法を用いた場合、分周器 1 を使用することはできません。)
- (3) FRQCR.PLL2EN に 0 を書き込み、PLL2 をいったん停止させます。1 $\mu$ s 以上 FRQCR.PLL2EN を 0 に保った後に、FRQCR.PLL2EN に 1 を書き込み PLL2 を再起動させます。  
(注：この方法では、上記操作が終了するまで CKIO から出力されるクロックは保証されません。異常発振をした場合には、通常より高い周波数の信号が出力されます。このため、クロックラインから不要なノイズが発生したり、本 LSI の CKIO を他のデバイスへのクロック供給源としているような場合には、クロックが正しく外部デバイスに供給されないなどの可能性があります。この方法を用いる場合は、実システムでの十分な検証を行うことを推奨します。)

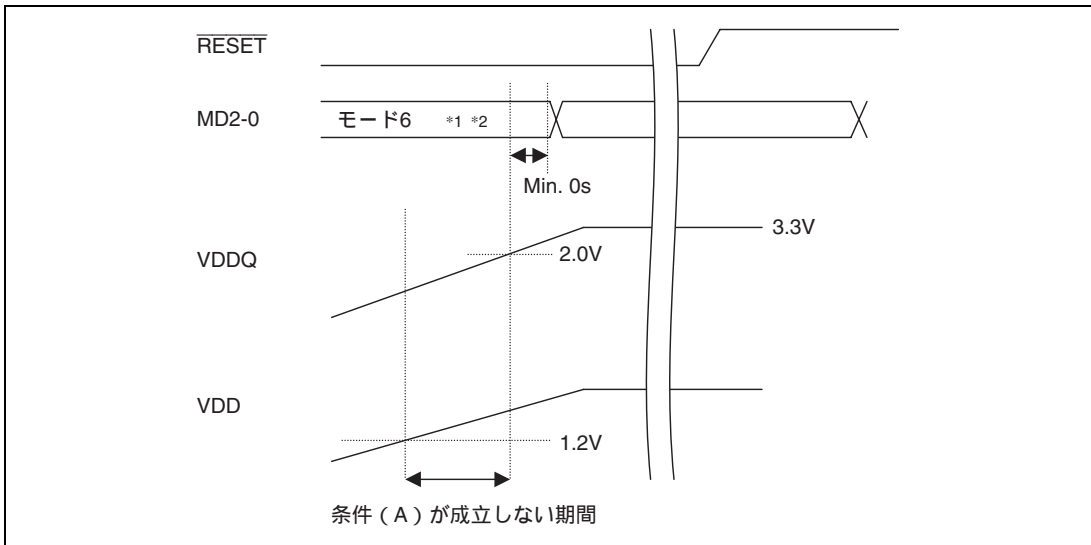


図 G.1 クロック動作モードをいったんモード 6 に設定する方法

## 【注】 \*1 クロック動作モード 6 の動作

## (I) SH7751 の場合

- (1) 外部端子組み合わせ：MD0=Low、MD1=High、MD2=High
- (2) 1/2 分周器=Off，PLL1=Off，PLL2=Off
- (3) 周波数（対入力クロック）：  
CPU クロック=1  
バスクロック=1/2  
周辺モジュールクロック=1/2
- (4) 入力クロック周波数範囲：1～66.7MHz

## (II) SH7751R の場合

- (1) 外部端子組み合わせ：MD0=Low、MD1=High、MD2=High
- (2) PLL1=OFF(x6)，PLL2=Off
- (3) 周波数（対入力クロック）：  
CPU クロック=1  
バスクロック=1/2  
周辺モジュールクロック=1/2
- (4) 入力クロック周波数範囲：1～34MHz

\*2 MD 端子への入力、I/O、PLL、RTC、CPG 電源の電圧レベルに従って、High レベルを入力してください。

### G.3 電源投入時、遮断時共通の規定

1. 常時  $VDDQ = VDD-CPG = VDD-RTC$ 、 $VDD = VDD-PLL1/2$ としてください。  
 ハードウェアスタンバイモード時のVDD-RTCは、「9.9.5 ハードウェアスタンバイモードのタイミング」に従ってください。
  2.  $-0.3V < VDD < VDDQ + 0.3V$ としてください。
  3.  $VSS = VSSQ = VSS-PLL1/2 = VSS-CPG = VSS-RTC = GND[0V]$ としてください。
- 以上1.、2.、3.の条件を満足しない場合、製品が破壊される可能性があります。

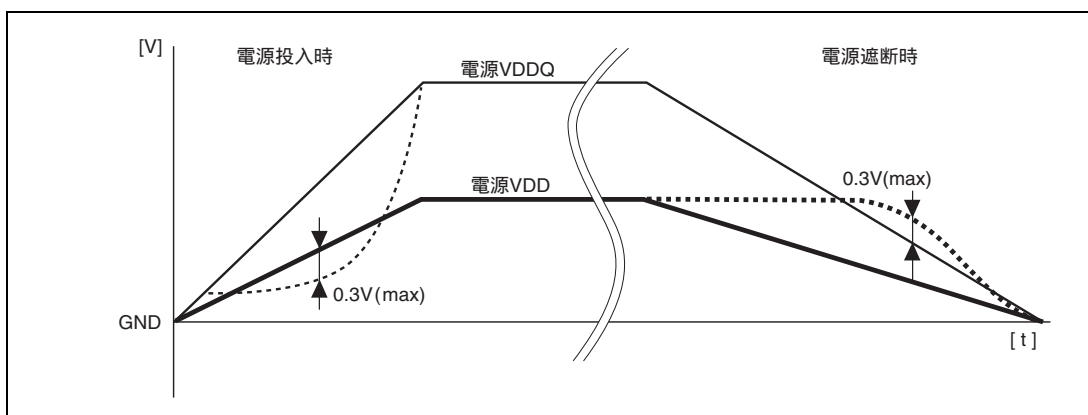


図 G.2 電源投入手順 1

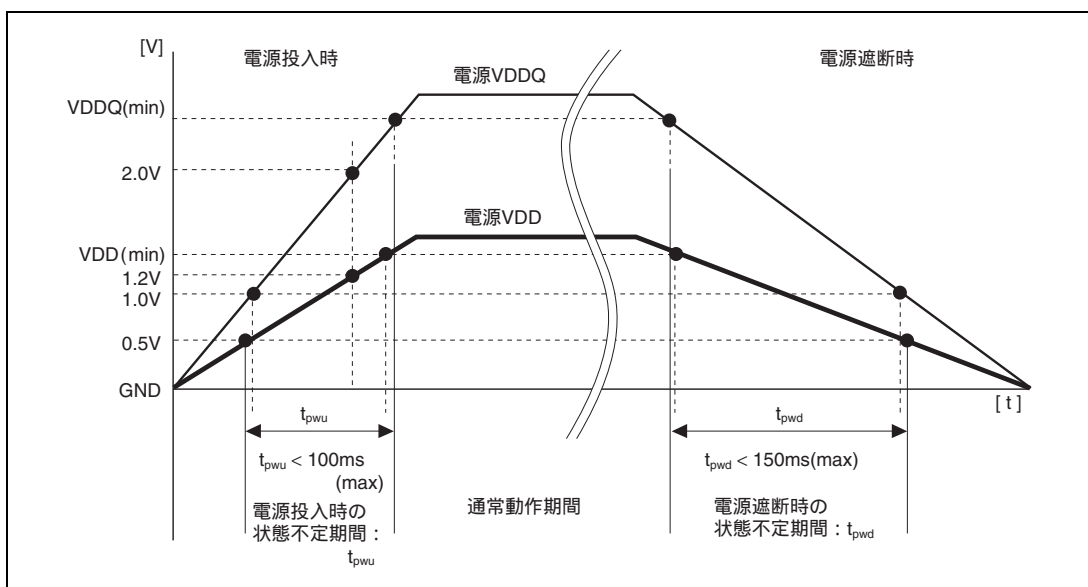


図 G.3 電源投入手順 2



## H. 型名一覧

表 H.1 SH7751/SH7751R 型名一覧

製品分類	電圧	動作周波数	動作温度範囲*1	製品型名*2	パッケージ
SH7751	1.8V	167MHz	- 20 ~ 75	HD6417751BP167(V)	BGA 256 ピン
				HD6417751F167(V)	QFP 256 ピン
SH7751R	1.5V	240MHz	- 20 ~ 75	HD6417751RBP240(V)	BGA 256 ピン
				HD6417751RF240(V)	QFP 256 ピン
				HD6417751RBG240(V)	BGA 292 ピン
				HD6417751RBA240HV	BGA 256 ピン
		200MHz		HD6417751RBP200(V)	BGA 256 ピン
		HD6417751RF200(V)		QFP 256 ピン	
		HD6417751RBG200(V)		BGA 292 ピン	

【注】 \*1 広温度範囲 ( - 40 ~ + 85 ) 仕様製品につきましては、弊社営業窓口へご照会ください。なお、HD6417751RBA240HV につきましては、標準で広温度範囲 ( - 40 ~ + 85 ) 仕様です。

\*2 すべて鉛フリー対応可。鉛フリー対応製品は製品型名の最後に "V" が付きます。

## I. バージョンレジスタ

製品バージョンに関するレジスタ構成を以下に示します。

表 I.1 レジスタ構成

名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	アクセスサイズ
プロセッサバージョンレジスタ	PVR	R	*	H'FF000030	H'1F000030	32
プロダクトレジスタ	PRR	R	*	H'FF000044	H'1F000044	32

【注】 \* 以下の表を参照してください。

PVR/PRR の初期値

製品分類	PVR	PRR
SH7751	H'041100xx	H'xxxxxxxx
SH7751R	H'040500xx	H'0000011x

【記号説明】 x : 不定

プロセッサバージョンレジスタ (PVR) 初期値は SH7751R の例

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	バージョン情報															
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	バージョン情報															
初期値:	0	0	0	0	0	0	0	0								
R/W:	R	R	R	R	R	R	R	R								

プロダクトレジスタ (PRR) 初期値は SH7751R の例

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	バージョン情報															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	バージョン情報															
初期値:	0	0	0	0	0	0	0	1	0	0	0	1				
R/W:	R	R	R	R	R	R	R	R	R	R	R	R				

---

ルネサス32ビットRISCマイクロコンピュータ  
SH7751グループ、SH7751Rグループ  
ユーザーズマニュアル ハードウェア編

発行年月日 1999年11月 Rev.1.00  
2013年9月10日 Rev.3.01

発行 ルネサス エレクトロニクス株式会社  
〒211-8668 神奈川県川崎市中原区下沼部1753

---



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/contact/>



SH7751 グループ、SH7751R グループ  
ユーザーズマニュアル ハードウェア編