

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μPD780058,780058Y サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD780053	μPD780053Y
μPD780054	μPD780054Y
μPD780055	μPD780055Y
μPD780056	μPD780056Y
μPD780058	μPD780058BY
μPD780058B	μPD78F0058Y
μPD78F0058	μPD780053Y(A)
μPD780053(A)	μPD780054Y(A)
μPD780054(A)	μPD780055Y(A)
μPD780055(A)	μPD780056Y(A)
μPD780056(A)	μPD780058BY(A)
μPD780058B(A)	

[× ㊦]

目次要約

第1章	概 説(μPD780058サブシリーズ)	… 39
第2章	概 説(μPD780058Yサブシリーズ)	… 49
第3章	端子機能(μPD780058サブシリーズ)	… 59
第4章	端子機能(μPD780058Yサブシリーズ)	… 76
第5章	CPUアーキテクチャ	… 93
第6章	ポート機能	… 129
第7章	クロック発生回路	… 158
第8章	16ビット・タイマ/イベント・カウンタ	… 173
第9章	8ビット・タイマ/イベント・カウンタ	… 218
第10章	時計用タイマ	… 243
第11章	ウォッチドッグ・タイマ	… 249
第12章	クロック出力制御回路	… 257
第13章	ブザー出力制御回路	… 261
第14章	A/Dコンバータ	… 265
第15章	D/Aコンバータ	… 285
第16章	シリアル・インタフェース・チャンネル0(μPD780058サブシリーズ)	… 291
第17章	シリアル・インタフェース・チャンネル0(μPD780058Yサブシリーズ)	… 347
第18章	シリアル・インタフェース・チャンネル1	… 405
第19章	シリアル・インタフェース・チャンネル2	… 454
第20章	リアルタイム出力ポート	… 498
第21章	割り込み機能とテスト機能	… 503
第22章	外部デバイス拡張機能	… 531
第23章	スタンバイ機能	… 543
第24章	リセット機能	… 553
第25章	ROMコレクション	… 557
第26章	μPD78F0058, 78F0058Y	… 567
第27章	命令セットの概要	… 584
第28章	電気的特性(マスクROM製品)	… 600
第29章	電気的特性(フラッシュ・メモリ製品)	… 631
第30章	電気的特性(フラッシュ・メモリ製品(V _{DD} = 2.2 V対応))	… 663
第31章	特性曲線(参考値)	… 696
第32章	外形図	… 698
第33章	半田付け推奨条件	… 700
付録A	μPD78054, 78058F, 780058サブシリーズ間の違い	… 705
付録B	開発ツール	… 707
付録C	レジスタ索引	… 724
付録D	改版履歴	… 732

CMOSデバイスの一般的注意事項

① 静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

② 未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIP, IEBusは、NECエレクトロニクス株式会社の登録商標です。

EEPROMは、NECエレクトロニクス株式会社の商標です。

WindowsおよびWindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品：μPD78F0058, 78F0058Y

ユーザ判定品：μPD780053, 780054, 780055, 780056, 780058, 780058B, 780053(A), 780054(A), 780055(A), 780056(A), 780058B(A), 780053Y, 780054Y, 780055Y, 780056Y, 780058BY, 780053Y(A), 780054Y(A), 780055Y(A), 780056Y(A), 780058BY(A)

注意：μPD780058YサブシリーズはI²Cバス・インタフェース回路を内蔵しています。

I²Cバス・インタフェースを使用される場合には、カスタム・コードをご発注いただく時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。

当社のI²Cバス対応部品をご購入いただくことにより、これらの部品をI²Cシステムに使用する実施権がフィリップス社I²C特許に基づき許諾されることになります。ただし、これらのI²Cシステムはフィリップス社によって設定されたI²C標準規格に合致しているものとします。

Purchase of NEC Electronics I²C components conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

- 本資料に記載されている内容は2003年 1月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

本版で改訂された主な箇所(1/3)

箇 所	内 容
全般	次の製品を削除 ・ μ PD780058Y
	次の製品を追加 ・ μ PD780058B, 780058BY, 780053(A), 780053Y(A), 780054(A), 780054Y(A), 780055(A), 780055Y(A), 780056(A), 780056Y(A), 780058B(A), 780058BY(A)
	次のパッケージを削除 ・ 80ピン・プラスチックQFP(GC-3B9タイプ) ・ 80ピン・プラスチックQFP(GK-BE9タイプ)
	次のパッケージを追加 ・ 80ピン・プラスチックQFP(GK-9EUタイプ)
p.39, 40, 46, 47	1.1 特徴, 1.7 機能概要 ・ μ PD780058, 78F0058のA/DコンバータおよびD/Aコンバータの動作電圧範囲を変更 ・ μ PD78F0058の電源電圧を変更
p.48	1.9 標準品と(A)製品との違いを追加
p.49, 50, 56, 57	2.1 特徴, 2.7 機能概要 ・ μ PD78F0058YのA/DコンバータおよびD/Aコンバータの動作電圧範囲を変更 ・ μ PD78F0058Yの電源電圧を変更
p.58	2.9 標準品と(A)製品との違いを追加
p.72, 73	表3-1 各端子の入出力回路タイプで未使用時の推奨接続方法およびV _{PP} 端子の端子処理を変更
p.89, 90	表4-1 各端子の入出力回路タイプで未使用時の推奨接続方法およびV _{PP} 端子の端子処理を変更
p.144	6.2.8 ポート6の注意2を修正
p.161	図7-3 プロセッサ・クロック・コントロール・レジスタのフォーマットでフィードバック抵抗の注釈を追加
p.178	表8-5 INTP1/TI01端子の有効エッジとCR00のキャプチャ・トリガの有効エッジを追加
p.179	表8-6 INTP0/TI00端子の有効エッジとCR01のキャプチャ・トリガの有効エッジを追加
p.188	図8-8 外部割り込みモード・レジスタ0のフォーマットのINTP0/TI00/P00, INTP1/TI01/P01端子の有効エッジについての注意を修正
p.196	図8-17 PPG出力の構成図を追加 図8-18 PPG出力動作のタイミングを追加

本版で改訂された主な箇所(2/3)

箇 所	内 容
p.214~217	<p>8.5 16ビット・タイマ/イベント・カウンタの注意事項</p> <p>(5)有効エッジの設定にTI01/P01/INTP1端子の記述を追加</p> <p>(6)ワン・ショット・パルスの再トリガに(c)ワンショット・パルス出力機能についてを追加</p> <p>(8)競合動作を追加</p> <p>(9)タイマ動作を追加</p> <p>(10)キャプチャ動作を追加</p> <p>(11)コンペア動作を追加</p> <p>(12)エッジ検出を追加</p>
p.246	<p>図10-2 タイマ・クロック選択レジスタ2のフォーマットのカウント・クロックの変更についての注意を修正</p>
p.253	<p>図11-2 タイマ・クロック選択レジスタ2のフォーマットのカウント・クロックの変更についての注意を修正</p>
p.263	<p>図13-2 タイマ・クロック選択レジスタ2のフォーマットのTCL2の書き換えについての注意を追加</p>
p.273	<p>図14-5 A/Dコンバータの基本動作を修正</p> <p>表14-2 A/Dコンバータのサンプリング時間とA/D変換開始遅延時間を追加</p>
p.277, 278	<p>14.5 A/Dコンバータ特性表の読み方を追加</p>
p.279, 280, 282~284	<p>14.6 A/Dコンバータの注意事項</p> <p>(3)競合動作についてを追加</p> <p>(6)ANI0-ANI7端子の入力インピーダンスについてを追加</p> <p>(10)A/D変換結果が不定になるタイミングを追加</p> <p>(11)ボード設計上の注意を追加</p> <p>(12)AVREF0端子を追加</p> <p>(13)ANI0-ANI7端子内部等価回路と許容信号源インピーダンスを追加</p>
p.402	<p>17.4.7 I²Cバス・モード使用時の制限事項2を追加</p>
p.497	<p>19.4.5 UARTモード使用時の制限事項2を追加</p>
p.509	<p>図21-2 割り込み要求フラグ・レジスタのフォーマットの割り込みが受け付けられた場合の注意を追加</p>
p.512	<p>図21-5 外部割り込みモード・レジスタ0のフォーマットの注意にTI01/P01/INTP1端子の記述を追加</p>
p.567	<p>表26-1 μ PD78F0058, 78F0058YとマスクROM製品の違いを修正</p>
p.570~583	<p>フラッシュ・メモリ・プログラミングに関する内容を、26.3 フラッシュ・メモリの特徴として全面改訂</p>
p.600~630	<p>第28章 電気的特性(マスクROM製品)を追加</p>

本版で改訂された主な箇所(3/3)

箇所	内容
p.631～662	第29章 電気的特性(フラッシュ・メモリ製品)を追加
p.663～695	第30章 電気的特性(フラッシュ・メモリ製品(V _{DD} = 2.2 V対応))を追加
p.696, 697	第31章 特性曲線(参考値)を追加
p.698, 699	第32章 外形図を追加
p.700～704	第33章 半田付け推奨条件を追加
p.705, 706	付録A μ PD78054, 78058F, 780058サブシリーズ間の違いを修正
p.707～723	付録B 開発ツールの内容を全面改訂 組み込み用ソフトウェアの記述を付録B 開発ツールに移動
修正版 (U12013JJ3V1UD00) で改版された主な箇所	
p.178, 179	表 8-5 INTP1/TI01端子の有効エッジとCR00のキャプチャ・トリガの有効エッジ, 表 8-6 INTP0/TI00端子の有効エッジとCR01のキャプチャ・トリガの有効エッジの 記述を修正
p.557	25.1 ROMコレクションの機能に注意文を追加
p.578～583	26.3.4 フラッシュ書き込み用アダプタの接続の図を修正
修正版 (U12013JJ3V2UD00) で改版された主な箇所	
p.70, 87	3.2.11, 4.2.11 AV _{REF0} の未使用時の処理を変更
p.73, 90	表 3-1, 表 4-1 各端子の入出力回路タイプで, P60-P63とAV _{REF1} の未使用時の 処理を変更
p.279	14.6 A/Dコンバータの注意事項の(1)スタンバイ・モード時の消費電流について の内容を変更
p.290	15.5 D/Aコンバータの注意事項の(3) AV _{REF1} について, 未使用時の処理の記述 を追加
p.705	付録A μ PD78054, 78058F, 780058サブシリーズ間の違いに, 「A/D変換スタート直 後の注意事項」の項目を追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

はじめに

対象者 このマニュアルは、 μ PD780058, 780058Yサブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示すサブシリーズの各製品です。

・ μ PD780058サブシリーズ：

μ PD780053, 780054, 780055, 780056, 780058, 780058B, 78F0058,
780053(A), 780054(A), 780055(A), 780056(A), 780058B(A)

・ μ PD780058Yサブシリーズ：

μ PD780053Y, 780054Y, 780055Y, 780056Y, 780058BY, 78F0058Y,
780053Y(A), 780054Y(A), 780055Y(A), 780056Y(A), 780058BY(A)

このマニュアルでは全対象製品を総称して「 μ PD780058, 780058Yサブシリーズ」と記載しております。

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD780058, 780058Yサブシリーズのマニュアルは、このマニュアルと命令編(78K/0シリーズ共通)の2冊に分かれています。

μ PD780058, 780058Yサブシリーズ
ユーザーズ・マニュアル
(このマニュアル)

- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性

78K/0シリーズ
ユーザーズ・マニュアル
命令編

- CPU機能
- 命令セット
- 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

□ μ PD780053(A), 780054(A), 780055(A), 780056(A), 780058B(A), 780053Y(A), 780054Y(A), 780055Y(A), 780056Y(A), 780058BY(A)のマニュアルとしてお使いになる方へ
→ μ PD780053, 780054, 780055, 780056, 780058B, 780053Y, 780054Y, 780055Y, 780056Y, 780058BYとの違いは、品質水準だけです。(1.9 標準水準品と(A)製品との違い, 2.9 標準水準品と(A)製品との違い参照)。第6章 ポート機能～第27章 命令セットの概要の(A)製品については、品名を次のように読み替えてください。

μ PD780053 → μ PD780053(A)	μ PD780053Y → μ PD780053Y(A)
μ PD780054 → μ PD780054(A)	μ PD780054Y → μ PD780054Y(A)
μ PD780055 → μ PD780055(A)	μ PD780055Y → μ PD780055Y(A)
μ PD780056 → μ PD780056(A)	μ PD780056Y → μ PD780056Y(A)
μ PD780058B → μ PD780058B(A)	μ PD780058BY → μ PD780058BY(A)

□ 一通りの機能を理解しようとするとき

→ 目次に従って読んでください。

□ μ PD780058, 780058Yサブシリーズの命令機能の詳細を知りたいとき

→ 別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください。

□ レジスタ・フォーマットの見方

→ ビット番号を○で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

□ レジスタ名が分かっている、レジスタの詳細を確認するとき

→ 付録C レジスタ索引を利用してください。

□ μ PD780058, 780058Yサブシリーズの各種機能の応用例を知りたいとき

→ 別冊の78K/0シリーズ アプリケーション・ノート 基礎編(Ⅲ)(U10182J)を参照してください。

□ μ PD780058, 780058Yサブシリーズの電気的特性を知りたいとき

→ 第28章 電気的特性(マスクROM製品), 第29章 電気的特性(フラッシュ・メモリ製品), 第30章 電気的特性(フラッシュ・メモリ製品(V_{DD} = 2.2 V対応))を参照してください。

注意 このマニュアル中の使用例は、一般電子機器用の『標準』品質水準品質用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部品および回路について、その品質水準についてご検討のうえご使用ください。

章 構成 このマニュアルは、 μ PD780058サブシリーズと μ PD780058Yサブシリーズで機能の異なる箇所については章を分けて記載しています。各サブシリーズに対応する章は次のとおりです。
それぞれのサブシリーズのマニュアルとしてお使いになる場合は、○印の章のみお読みください。

章	μ PD780058サブシリーズ	μ PD780058Yサブシリーズ
第1章 概 説(μ PD780058サブシリーズ)	○	—
第2章 概 説(μ PD780058Yサブシリーズ)	—	○
第3章 端子機能(μ PD780058サブシリーズ)	○	—
第4章 端子機能(μ PD780058Yサブシリーズ)	—	○
第5章 CPUアーキテクチャ	○	○
第6章 ポート機能	○	○
第7章 クロック発生回路	○	○
第8章 16ビット・タイマ/イベント・カウンタ	○	○
第9章 8ビット・タイマ/イベント・カウンタ	○	○
第10章 時計用タイマ	○	○
第11章 ウォッチドッグ・タイマ	○	○
第12章 クロック出力制御回路	○	○
第13章 ブザー出力制御回路	○	○
第14章 A/Dコンバータ	○	○
第15章 D/Aコンバータ	○	○
第16章 シリアル・インタフェース・チャンネル0 (μ PD780058サブシリーズ)	○	—
第17章 シリアル・インタフェース・チャンネル0 (μ PD780058Yサブシリーズ)	—	○
第18章 シリアル・インタフェース・チャンネル1	○	○
第19章 シリアル・インタフェース・チャンネル2	○	○
第20章 リアルタイム出力ポート	○	○
第21章 割り込み機能とテスト機能	○	○
第22章 外部デバイス拡張機能	○	○
第23章 スタンバイ機能	○	○
第24章 リセット機能	○	○
第25章 ROMコレクション	○	○
第26章 μ PD78F0058, 78F0058Y	○	○
第27章 命令セットの概要	○	○
第28章 電気的特性(マスクROM製品)	○	○
第29章 電気的特性(フラッシュ・メモリ製品)	○	○
第30章 電気的特性(フラッシュ・メモリ製品 ($V_{DD} = 2.2$ V対応))	○	○
第31章 特性曲線(参考値)	○	○
第32章 外形図	○	○
第33章 半田付け推奨条件	○	○

μPD780058サブシリーズとμPD780058Yサブシリーズの違い

μPD780058サブシリーズとμPD780058Yサブシリーズは、シリアル・インタフェース・チャンネル0の一部が異なります。

シリアル・インタフェース・チャンネル0のモード	μPD780058サブシリーズ	μPD780058Yサブシリーズ
3線式シリアルI/Oモード	○	○
2線式シリアルI/Oモード	○	○
SBI(シリアル・バス・インタフェース)モード	○	—
I ² C(Inter IC)バス・モード	—	○

○：対応可

—：対応不可

凡 例	データ表記の重み	：左が上位桁，右が下位桁
	アクティブ・ロウの表記	： $\overline{\text{XXXX}}$ (端子，信号名称に上線)
	注	：本文中につけた注の説明
	注意	：気をつけて読んでいただきたい内容
	備考	：本文の補足説明
	数の表記	：2進数… XXXX または $\text{XXXX} \times \text{B}$ 10進数… XXXX 16進数… $\text{XXXX} \times \text{H}$

関連資料 関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

★ デバイスの関連資料

資 料 名	資 料 番 号	
	和 文	英 文
μPD780058, 780058Yサブシリーズ ユーザーズ・マニュアル	このマニュアル	U12013E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K/0シリーズ アプリケーション・ノート 基礎編 (III)	U10182J	U10182E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

★ 開発ツール(ソフトウェア)の関連資料 (ユーザーズ・マニュアル)

資 料 名		資 料 番 号	
		和 文	英 文
RA78K0 アセンブラ・パッケージ	操作編	U14445J	U14445E
	アセンブリ言語編	U14446J	U14446E
	構造化アセンブリ言語編	U11789J	U11789E
CC78K0 Cコンパイラ	操作編	U14297J	U14297E
	言語編	U14298J	U14298E
SM78Kシリーズ システム・シミュレータ Ver.2.30以上	操作編 (Windows®ベース)	U15373J	U15373E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78Kシリーズ 統合ディバッガ Ver.2.30以上 Windowsベース	操作編	U15185J	U15185E
ID78K0 統合ディバッガ EWSベース	レファレンス編	U11151J	—
RX78K0 リアルタイムOS	基礎編	U11537J	U11537E
	インストール編	U11536J	U11536E
プロジェクト・マネージャ Ver.3.12以上 (Windowsベース)		U14610J	U14610E

開発ツール(ハードウェア)の資料 (ユーザーズ・マニュアル)

資 料 名		資 料 番 号	
		和 文	英 文
IE-78K0-NS インサーキット・エミュレータ		U13731J	U13731E
IE-78K0-NS-A インサーキット・エミュレータ		U14889J	U14889E
IE-780308-NS-EM1 エミュレーション・ボード		U13304J	U13304E
IE-78001-R-A インサーキット・エミュレータ		U14142J	U14142E
IE-780308-R-EM エミュレーション・ボード		U11362J	U11362E

フラッシュ・メモリ書き込み用の資料

資 料 名		資 料 番 号	
		和 文	英 文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル		U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル		U15260J	U15260E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

その他の資料

	資料名	資料番号	
		和文	英文
★	半導体総合セレクション・ガイド ー製品・パッケージ情報ー	X13769J	X13769E
★	半導体デバイス 実装マニュアル	注	C10535E
	NEC半導体デバイスの品質水準	C11531J	C11531E
	NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
	静電気放電(ESD)破壊対策ガイド	C11892J	C11892E
	半導体 品質/信頼性ハンドブック	C12769J	—
	マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	—

注 「半導体デバイス実装マニュアル」のホーム・ページ参照(<http://www.necel.com/pkg/ja/jissou/index.html>)

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

目 次

第1章 概 説(μ PD780058サブシリーズ) … 39

- 1.1 特 徴 … 39
- 1.2 応用分野 … 40
- 1.3 オーダ情報 … 40
- 1.4 端子接続図(Top View) … 41
- 1.5 78K/0シリーズの展開 … 43
- 1.6 ブロック図 … 45
- 1.7 機能概要 … 46
- 1.8 マスク・オプションについて … 48
- ★ 1.9 標準品と(A)製品との違い … 48

第2章 概 説(μ PD780058Yサブシリーズ) … 49

- 2.1 特 徴 … 49
- 2.2 応用分野 … 50
- 2.3 オーダ情報 … 50
- 2.4 端子接続図(Top View) … 51
- 2.5 78K/0シリーズの展開 … 53
- 2.6 ブロック図 … 55
- 2.7 機能概要 … 56
- 2.8 マスク・オプションについて … 58
- ★ 2.9 標準品と(A)製品との違い … 58

第3章 端子機能(μ PD780058サブシリーズ) … 59

- 3.1 端子機能一覧 … 59
- 3.2 端子機能の説明 … 64
 - 3.2.1 P00-P05, P07 (Port0) … 64
 - 3.2.2 P10-P17 (Port1) … 65
 - 3.2.3 P20-P27 (Port2) … 65
 - 3.2.4 P30-P37 (Port3) … 66
 - 3.2.5 P40-P47 (Port4) … 67
 - 3.2.6 P50-P57 (Port5) … 67
 - 3.2.7 P60-P67 (Port6) … 67
 - 3.2.8 P70-P72 (Port7) … 68
 - 3.2.9 P120-P127 (Port12) … 69
 - 3.2.10 P130, P131 (Port13) … 69
 - 3.2.11 AV_{REF0} … 70
 - 3.2.12 AV_{REF1} … 70
 - 3.2.13 AV_{SS} … 70
 - 3.2.14 \overline{RESET} … 70
 - 3.2.15 X1, X2 … 70

3.2.16	XT1, XT2	…	70
3.2.17	VDD0, VDD1	…	70
3.2.18	VSS0, VSS1	…	70
3.2.19	VPP(フラッシュ・メモリ製品のみ)	…	71
3.2.20	IC(マスクROM製品のみ)	…	71
3.3	端子の入出力回路と未使用端子の処理	…	72
第4章 端子機能(μPD780058Yサブシリーズ) … 76			
4.1	端子機能一覧	…	76
4.2	端子機能の説明	…	81
4.2.1	P00-P05, P07(Port0)	…	81
4.2.2	P10-P17(Port1)	…	82
4.2.3	P20-P27(Port2)	…	82
4.2.4	P30-P37(Port3)	…	83
4.2.5	P40-P47(Port4)	…	84
4.2.6	P50-P57(Port5)	…	84
4.2.7	P60-P67(Port6)	…	84
4.2.8	P70-P72(Port7)	…	85
4.2.9	P120-P127(Port12)	…	86
4.2.10	P130, P131(Port13)	…	86
4.2.11	AVREF0	…	87
4.2.12	AVREF1	…	87
4.2.13	AVSS	…	87
4.2.14	RESET	…	87
4.2.15	X1, X2	…	87
4.2.16	XT1, XT2	…	87
4.2.17	VDD0, VDD1	…	87
4.2.18	VSS0, VSS1	…	87
4.2.19	VPP(フラッシュ・メモリ製品のみ)	…	88
4.2.20	IC(マスクROM製品のみ)	…	88
4.3	端子の入出力回路と未使用端子の処理	…	89
第5章 CPUアーキテクチャ … 93			
5.1	メモリ空間	…	93
5.1.1	内部プログラム・メモリ空間	…	99
5.1.2	内部データ・メモリ空間	…	100
5.1.3	特殊機能レジスタ(SFR: Special Function Register)領域	…	100
5.1.4	外部メモリ空間	…	100
5.1.5	データ・メモリ・アドレッシング	…	101
5.2	プロセッサ・レジスタ	…	107
5.2.1	制御レジスタ	…	107
5.2.2	汎用レジスタ	…	110
5.2.3	特殊機能レジスタ(SFR: Special Function Register)	…	112
5.3	命令アドレスのアドレッシング	…	116
5.3.1	レラティブ・アドレッシング	…	116
5.3.2	イミディエト・アドレッシング	…	117

5.3.3	テーブル・インダイレクト・アドレッシング	…	118
5.3.4	レジスタ・アドレッシング	…	119
5.4	オペランド・アドレスのアドレッシング	…	120
5.4.1	インプライド・アドレッシング	…	120
5.4.2	レジスタ・アドレッシング	…	121
5.4.3	ダイレクト・アドレッシング	…	122
5.4.4	ショート・ダイレクト・アドレッシング	…	123
5.4.5	特殊機能レジスタ(SFR)アドレッシング	…	125
5.4.6	レジスタ・インダイレクト・アドレッシング	…	126
5.4.7	ベースト・アドレッシング	…	127
5.4.8	ベースト・インデクスト・アドレッシング	…	128
5.4.9	スタック・アドレッシング	…	128

第6章 ポート機能 … 129

6.1	ポートの機能	…	129
6.2	ポートの構成	…	134
6.2.1	ポート0	…	134
6.2.2	ポート1	…	136
6.2.3	ポート2 (μ PD780058サブシリーズ)	…	137
6.2.4	ポート2 (μ PD780058Yサブシリーズ)	…	139
6.2.5	ポート3	…	141
6.2.6	ポート4	…	142
6.2.7	ポート5	…	143
6.2.8	ポート6	…	144
6.2.9	ポート7	…	146
6.2.10	ポート12	…	148
6.2.11	ポート13	…	149
6.3	ポート機能を制御するレジスタ	…	150
6.4	ポート機能の動作	…	156
6.4.1	入出力ポートへの書き込み	…	156
6.4.2	入出力ポートからの読み出し	…	156
6.4.3	入出力ポートでの演算	…	157
6.5	マスク・オプションの選択	…	157

第7章 クロック発生回路 … 158

7.1	クロック発生回路の機能	…	158
7.2	クロック発生回路の構成	…	158
7.3	クロック発生回路を制御するレジスタ	…	160
7.4	システム・クロック発振回路	…	164
7.4.1	メイン・システム・クロック発振回路	…	164
7.4.2	サブシステム・クロック発振回路	…	165
7.4.3	発振子の接続の悪い例	…	166
7.4.4	分周回路	…	167
7.4.5	サブシステム・クロックを使用しない場合	…	167
7.5	クロック発生回路の動作	…	168
7.5.1	メイン・システム・クロックの動作	…	169

7.5.2	サブシステム・クロックの動作	…	170
7.6	システム・クロックとCPUクロックの設定の変更	…	170
7.6.1	システム・クロックとCPUクロックの切り替えに要する時間	…	170
7.6.2	システム・クロックとCPUクロックの切り替え手順	…	172
第8章	16ビット・タイマ/イベント・カウンタ	…	173
8.1	16ビット・タイマ/イベント・カウンタの機能	…	173
8.2	16ビット・タイマ/イベント・カウンタの構成	…	175
8.3	16ビット・タイマ/イベント・カウンタを制御するレジスタ	…	180
8.4	16ビット・タイマ/イベント・カウンタの動作	…	190
8.4.1	インターバル・タイマとしての動作	…	190
8.4.2	PWM出力としての動作	…	192
8.4.3	PPG出力としての動作	…	195
8.4.4	パルス幅測定としての動作	…	197
8.4.5	外部イベント・カウンタとしての動作	…	204
8.4.6	方形波出力としての動作	…	206
8.4.7	ワンショット・パルス出力としての動作	…	208
8.5	16ビット・タイマ/イベント・カウンタの注意事項	…	213
第9章	8ビット・タイマ/イベント・カウンタ	…	218
9.1	8ビット・タイマ/イベント・カウンタの機能	…	218
9.1.1	8ビット・タイマ/イベント・カウンタ・モード	…	218
9.1.2	16ビット・タイマ/イベント・カウンタ・モード	…	221
9.2	8ビット・タイマ/イベント・カウンタの構成	…	223
9.3	8ビット・タイマ/イベント・カウンタを制御するレジスタ	…	226
9.4	8ビット・タイマ/イベント・カウンタの動作	…	231
9.4.1	8ビット・タイマ/イベント・カウンタ・モード	…	231
9.4.2	16ビット・タイマ/イベント・カウンタ・モード	…	237
9.5	8ビット・タイマ/イベント・カウンタの注意事項	…	241
第10章	時計用タイマ	…	243
10.1	時計用タイマの機能	…	243
10.2	時計用タイマの構成	…	244
10.3	時計用タイマを制御するレジスタ	…	244
10.4	時計用タイマの動作	…	248
10.4.1	時計用タイマとしての動作	…	248
10.4.2	インターバル・タイマとしての動作	…	248
第11章	ウォッチドッグ・タイマ	…	249
11.1	ウォッチドッグ・タイマの機能	…	249
11.2	ウォッチドッグ・タイマの構成	…	250
11.3	ウォッチドッグ・タイマを制御するレジスタ	…	252
11.4	ウォッチドッグ・タイマの動作	…	255

- 11.4.1 ウォッチドッグ・タイマとしての動作 … 255
- 11.4.2 インターバル・タイマとしての動作 … 256

第12章 クロック出力制御回路 … 257

- 12.1 クロック出力制御回路の機能 … 257
- 12.2 クロック出力制御回路の構成 … 258
- 12.3 クロック出力機能を制御するレジスタ … 258

第13章 ブザー出力制御回路 … 261

- 13.1 ブザー出力制御回路の機能 … 261
- 13.2 ブザー出力制御回路の構成 … 261
- 13.3 ブザー出力機能を制御するレジスタ … 262

第14章 A/Dコンバータ … 265

- 14.1 A/Dコンバータの機能 … 265
- 14.2 A/Dコンバータの構成 … 265
- 14.3 A/Dコンバータを制御するレジスタ … 268
- 14.4 A/Dコンバータの動作 … 272
 - 14.4.1 A/Dコンバータの基本動作 … 272
 - 14.4.2 入力電圧と変換結果 … 274
 - 14.4.3 A/Dコンバータの動作モード … 275
- ★ 14.5 A/Dコンバータ特性表の読み方 … 277
- 14.6 A/Dコンバータの注意事項 … 279

第15章 D/Aコンバータ … 285

- 15.1 D/Aコンバータの機能 … 285
- 15.2 D/Aコンバータの構成 … 285
- 15.3 D/Aコンバータを制御するレジスタ … 287
- 15.4 D/Aコンバータの動作 … 288
- 15.5 D/Aコンバータの注意事項 … 289

第16章 シリアル・インタフェース・チャンネル0 (μ PD780058サブシリーズ) … 291

- 16.1 シリアル・インタフェース・チャンネル0の機能 … 292
- 16.2 シリアル・インタフェース・チャンネル0の構成 … 294
- 16.3 シリアル・インタフェース・チャンネル0を制御するレジスタ … 298
- 16.4 シリアル・インタフェース・チャンネル0の動作 … 306
 - 16.4.1 動作停止モード … 306
 - 16.4.2 3線式シリアルI/Oモードの動作 … 307
 - 16.4.3 SBIモードの動作 … 312
 - 16.4.4 2線式シリアルI/Oモードの動作 … 341
 - 16.4.5 SCK0/P27端子出力の操作 … 346

第17章	シリアル・インタフェース・チャンネル0 (μ PD780058Yサブシリーズ) …	347
17.1	シリアル・インタフェース・チャンネル0の機能 …	348
17.2	シリアル・インタフェース・チャンネル0の構成 …	350
17.3	シリアル・インタフェース・チャンネル0を制御するレジスタ …	355
17.4	シリアル・インタフェース・チャンネル0の動作 …	363
17.4.1	動作停止モード …	363
17.4.2	3線式シリアルI/Oモードの動作 …	364
17.4.3	2線式シリアルI/Oモードの動作 …	370
17.4.4	I ² Cバス・モードの動作 …	375
17.4.5	I ² Cバス・モード使用時の注意事項 …	397
17.4.6	I ² Cバス・モード使用時の制限事項1 …	400
17.4.7	I ² Cバス・モード使用時の制限事項2 …	402
17.4.8	SCK0/SCL/P27端子出力の操作 …	403
第18章	シリアル・インタフェース・チャンネル1 …	405
18.1	シリアル・インタフェース・チャンネル1の機能 …	405
18.2	シリアル・インタフェース・チャンネル1の構成 …	406
18.3	シリアル・インタフェース・チャンネル1を制御するレジスタ …	409
18.4	シリアル・インタフェース・チャンネル1の動作 …	419
18.4.1	動作停止モード …	419
18.4.2	3線式シリアルI/Oモードの動作 …	420
18.4.3	自動送受信機能付き3線式シリアルI/Oモードの動作 …	424
第19章	シリアル・インタフェース・チャンネル2 …	454
19.1	シリアル・インタフェース・チャンネル2の機能 …	454
19.2	シリアル・インタフェース・チャンネル2の構成 …	455
19.3	シリアル・インタフェース・チャンネル2を制御するレジスタ …	459
19.4	シリアル・インタフェース・チャンネル2の動作 …	470
19.4.1	動作停止モード …	470
19.4.2	アシンクロナス・シリアル・インタフェース(UART)モード (時分割転送機能付き) …	472
19.4.3	3線式シリアルI/Oモード …	487
19.4.4	UARTモード使用時の制限事項1 …	494
★ 19.4.5	UARTモード使用時の制限事項2 …	497
第20章	リアルタイム出力ポート …	498
20.1	リアルタイム出力ポートの機能 …	498
20.2	リアルタイム出力ポートの構成 …	498
20.3	リアルタイム出力ポートを制御するレジスタ …	500
第21章	割り込み機能とテスト機能 …	503
21.1	割り込み機能の種類 …	503

21.2	割り込み要因と構成	…	503
21.3	割り込み機能を制御するレジスタ	…	508
21.4	割り込み処理動作	…	517
21.4.1	ノンマスカブル割り込み要求の受け付け動作	…	517
21.4.2	マスカブル割り込み要求の受け付け動作	…	520
21.4.3	ソフトウェア割り込み要求の受け付け動作	…	522
21.4.4	多重割り込み処理	…	523
21.4.5	割り込み要求の保留	…	526
21.5	テスト機能	…	528
21.5.1	テスト機能を制御するレジスタ	…	528
21.5.2	テスト入力信号の受け付け動作	…	530
第22章	外部デバイス拡張機能	…	531
22.1	外部デバイス拡張機能	…	531
22.2	外部デバイス拡張機能を制御するレジスタ	…	535
22.3	外部デバイス拡張機能のタイミング	…	537
22.4	メモリとの接続例	…	542
第23章	スタンバイ機能	…	543
23.1	スタンバイ機能と構成	…	543
23.1.1	スタンバイ機能	…	543
23.1.2	スタンバイ機能を制御するレジスタ	…	544
23.2	スタンバイ機能の動作	…	545
23.2.1	HALTモード	…	545
23.2.2	STOPモード	…	549
第24章	リセット機能	…	553
24.1	リセット機能	…	553
第25章	ROMコレクション	…	557
25.1	ROMコレクションの機能	…	557
25.2	ROMコレクションの構成	…	557
25.3	ROMコレクションを制御するレジスタ	…	559
25.4	ROMコレクションの使用法	…	560
25.5	ROMコレクションの使用例	…	563
25.6	プログラム実行フロー	…	564
25.7	ROMコレクションの注意事項	…	566
第26章	μPD78F0058, 78F0058Y	…	567
26.1	メモリ・サイズ切り替えレジスタ	…	568
26.2	内部拡張RAMサイズ切り替えレジスタ	…	569
26.3	フラッシュ・メモリの特徴	…	570
26.3.1	プログラミング環境	…	570

- 26.3.2 通信方式 … 571
- 26.3.3 オンボード上の端子処理 … 575
- 26.3.4 フラッシュ書き込み用アダプタの接続 … 578

第27章 命令セットの概要 … 584

- 27.1 凡 例 … 585
 - 27.1.1 オペランドの表現形式と記述方法 … 585
 - 27.1.2 オペレーション欄の説明 … 586
 - 27.1.3 フラグ動作欄の説明 … 586
- 27.2 オペレーション一覧 … 587
- 27.3 アドレッシング別命令一覧 … 596

- ★ 第28章 電気的特性(マスクROM製品) … 600
- ★ 第29章 電気的特性(フラッシュ・メモリ製品) … 631
- ★ 第30章 電気的特性(フラッシュ・メモリ製品(V_{DD} = 2.2 V対応)) … 663
- ★ 第31章 特性曲線(参考値) … 696
- ★ 第32章 外形図 … 698
- ★ 第33章 半田付け推奨条件 … 700

付録A μPD78054, 78058F, 780058サブシリーズ間の違い … 705

付録B 開発ツール … 707

- B.1 ソフトウェア・パッケージ … 709
- B.2 言語処理用ソフトウェア … 709
- B.3 制御ソフトウェア … 710
- B.4 フラッシュ・メモリ書き込み用ツール … 710
- B.5 ディバグ用ツール(ハードウェア) … 711
 - B.5.1 インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合 … 711
 - B.5.2 インサーキット・エミュレータ IE-78001-R-Aを使用する場合 … 712
- B.6 ディバグ用ツール(ソフトウェア) … 713
- B.7 組み込み用ソフトウェア … 714
- B.8 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法 … 715
- B.9 変換ソケット(EV-9200GC-80)の外形図と基板取り付け推奨パターン … 716
- B.10 変換アダプタ(TGK-080SDW, TGC-080SBP)の外形図 … 718
- ★ B.11 ターゲット・システム設計上の注意 … 720

付録C レジスタ索引 … 724

- C.1 レジスタ索引(50音順) … 724

C.2	レジスタ索引(アルファベット順)	…	728
付録D	改版履歴	…	732

図の目次(1/10)

図番号	タイトル, ページ
3-1	端子の入出力回路一覧 … 74
4-1	端子の入出力回路一覧 … 91
5-1	メモリ・マップ(μ PD780053, 780053(A), 780053Y, 780053Y(A)) … 93
5-2	メモリ・マップ(μ PD780054, 780054(A), 780054Y, 780054Y(A)) … 94
5-3	メモリ・マップ(μ PD780055, 780055(A), 780055Y, 780055Y(A)) … 95
5-4	メモリ・マップ(μ PD780056, 780056(A), 780056Y, 780056Y(A)) … 96
5-5	メモリ・マップ(μ PD780058, 780058B, 780058B(A), 780058BY, 780058BY(A)) … 97
5-6	メモリ・マップ(μ PD78F0058, 78F0058Y) … 98
5-7	データ・メモリのアドレッシング(μ PD780053, 780053(A), 780053Y, 780053Y(A)) … 101
5-8	データ・メモリのアドレッシング(μ PD780054, 780054(A), 780054Y, 780054Y(A)) … 102
5-9	データ・メモリのアドレッシング(μ PD780055, 780055(A), 780055Y, 780055Y(A)) … 103
5-10	データ・メモリのアドレッシング(μ PD780056, 780056(A), 780056Y, 780056Y(A)) … 104
5-11	データ・メモリのアドレッシング(μ PD780058, 780058B, 780058B(A), 780058BY, 780058BY(A)) … 105
5-12	データ・メモリのアドレッシング(μ PD78F0058, 78F0058Y) … 106
5-13	プログラム・カウンタの構成 … 107
5-14	プログラム・ステータス・ワードの構成 … 107
5-15	スタック・ポインタの構成 … 109
5-16	スタック・メモリへ退避されるデータ … 109
5-17	スタック・メモリから復帰されるデータ … 110
5-18	汎用レジスタの構成 … 111
6-1	ポートの種類 … 129
6-2	P00, P07のブロック図 … 135
6-3	P01-P05のブロック図 … 135
6-4	P10-P17のブロック図 … 136
6-5	P20, P21, P23-P26のブロック図 … 137
6-6	P22, P27のブロック図 … 138
6-7	P20, P21, P23-P26のブロック図 … 139
6-8	P22, P27のブロック図 … 140
6-9	P30-P37のブロック図 … 141
6-10	P40-P47のブロック図 … 142
6-11	立ち下がリエッジ検出回路のブロック図 … 142
6-12	P50-P57のブロック図 … 143
6-13	P60-P63のブロック図 … 145

図の目次(2/10)

図番号	タイトル, ページ
6-14	P64-P67のブロック図 … 145
6-15	P70のブロック図 … 146
6-16	P71, P72のブロック図 … 147
6-17	P120-P127のブロック図 … 148
6-18	P130, P131のブロック図 … 149
6-19	ポート・モード・レジスタのフォーマット … 152
6-20	ブルアップ抵抗オプション・レジスタのフォーマット … 153
6-21	メモリ拡張モード・レジスタのフォーマット … 154
6-22	キー・リターン・モード・レジスタのフォーマット … 155
7-1	クロック発生回路のブロック図 … 159
7-2	サブシステム・クロックのフィードバック抵抗 … 160
7-3	プロセッサ・クロック・コントロール・レジスタのフォーマット … 161
7-4	発振モード選択レジスタのフォーマット … 163
7-5	OSMS書き込み時のメイン・システム・クロック … 163
7-6	メイン・システム・クロック発振回路の外付け回路 … 164
7-7	サブシステム・クロック発振回路の外付け回路 … 165
7-8	発振子の接続の悪い例 … 166
7-9	メイン・システム・クロックの停止機能 … 169
7-10	システム・クロックとCPUクロックの切り替え … 172
8-1	16ビット・タイマ/イベント・カウンタのブロック図 … 176
8-2	16ビット・タイマ/イベント・カウンタ出力制御回路のブロック図 … 177
8-3	タイマ・クロック選択レジスタ0のフォーマット … 181
8-4	16ビット・タイマ・モード・コントロール・レジスタのフォーマット … 183
8-5	キャプチャ/コンペア・コントロール・レジスタ0のフォーマット … 184
8-6	16ビット・タイマ出力コントロール・レジスタのフォーマット … 186
8-7	ポート・モード・レジスタ3のフォーマット … 187
8-8	外部割り込みモード・レジスタ0のフォーマット … 188
8-9	サンプリング・クロック選択レジスタのフォーマット … 189
8-10	インターバル・タイマ動作時の制御レジスタ設定内容 … 190
8-11	インターバル・タイマの構成図 … 191
8-12	インターバル・タイマ動作のタイミング … 191
8-13	PWM出力動作時の制御レジスタ設定内容 … 193
8-14	PWM出力によるD/Aコンバータ構成例 … 194
8-15	TVチューナへの応用回路例 … 194

図の目次(3/10)

図番号	タイトル, ページ
8-16	PPG出力動作時の制御レジスタ設定内容 … 195
8-17	PPG出力の構成図 … 196
8-18	PPG出力動作のタイミング … 196
8-19	フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 … 197
8-20	フリーランニング・カウンタによるパルス幅測定の構成図 … 198
8-21	フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング(両エッジ指定時) … 198
8-22	フリーランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容 … 199
8-23	フリーランニング・カウンタによるパルス幅測定動作のタイミング(両エッジ指定時) … 200
8-24	フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容 … 201
8-25	フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング(立ち上がりエッジ指定時) … 202
8-26	リスタートによるパルス幅測定時の制御レジスタ設定内容 … 203
8-27	リスタートによるパルス幅測定動作のタイミング(立ち上がりエッジ指定時) … 204
8-28	外部イベント・カウンタ・モード時の制御レジスタ設定内容 … 205
8-29	外部イベント・カウンタの構成図 … 205
8-30	外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時) … 206
8-31	方形波出力モード時の制御レジスタ設定内容 … 207
8-32	方形波出力動作のタイミング … 207
8-33	ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 … 209
8-34	ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング … 210
8-35	外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 … 211
8-36	外部トリガによるワンショット・パルス出力動作のタイミング(立ち上がりエッジ指定時) … 212
8-37	16ビット・タイマ・レジスタのスタート・タイミング … 213
8-38	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング … 213
8-39	キャプチャ・レジスタのデータ保持タイミング … 214
8-40	OVF0フラグの動作のタイミング … 215
9-1	8ビット・タイマ/イベント・カウンタのブロック図 … 224
9-2	8ビット・タイマ/イベント・カウンタ出力制御回路1のブロック図 … 225
9-3	8ビット・タイマ/イベント・カウンタ出力制御回路2のブロック図 … 225
9-4	タイマ・クロック選択レジスタ1のフォーマット … 227
9-5	8ビット・タイマ・モード・コントロール・レジスタのフォーマット … 228
9-6	8ビット・タイマ出力コントロール・レジスタのフォーマット … 229
9-7	ポート・モード・レジスタ3のフォーマット … 230

図の目次(4/10)

図番号	タイトル, ページ
9-8	インターバル・タイマ動作のタイミング … 231
9-9	外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時) … 234
9-10	方形波出力動作のタイミング … 236
9-11	インターバル・タイマ動作のタイミング … 237
9-12	外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時) … 239
9-13	方形波出力動作のタイミング … 241
9-14	8ビット・タイマ・レジスタのスタート・タイミング … 241
9-15	外部イベント・カウンタとして動作時のタイミング … 242
9-16	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング … 242
10-1	時計用タイマのブロック図 … 245
10-2	タイマ・クロック選択レジスタ2のフォーマット … 246
10-3	時計用タイマ・モード・コントロール・レジスタのフォーマット … 247
11-1	ウォッチドッグ・タイマのブロック図 … 251
11-2	タイマ・クロック選択レジスタ2のフォーマット … 253
11-3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット … 254
12-1	リモコン出力応用例 … 257
12-2	クロック出力制御回路のブロック図 … 258
12-3	タイマ・クロック選択レジスタ0のフォーマット … 259
12-4	ポート・モード・レジスタ3のフォーマット … 260
13-1	ブザー出力制御回路のブロック図 … 261
13-2	タイマ・クロック選択レジスタ2のフォーマット … 263
13-3	ポート・モード・レジスタ3のフォーマット … 264
14-1	A/Dコンバータのブロック図 … 266
14-2	A/Dコンバータ・モード・レジスタのフォーマット … 269
14-3	A/Dコンバータ入力選択レジスタのフォーマット … 270
14-4	外部割り込みモード・レジスタ1のフォーマット … 271
14-5	A/Dコンバータの基本動作 … 273
14-6	アナログ入力電圧とA/D変換結果の関係 … 274
14-7	ハードウェア・スタートによるA/D変換動作 … 275
14-8	ソフトウェア・スタートによるA/D変換動作 … 276
14-9	総合誤差 … 278
14-10	量子化誤差 … 278

図の目次(5/10)

図番号	タイトル, ページ
14-11	スタンバイ・モード時の消費電流を低減させる方法例 … 279
14-12	アナログ入力端子の処理 … 280
14-13	A/D変換終了割り込み要求発生タイミング … 281
14-14	変換結果を読み出すタイミング(変換結果が不定値の場合) … 282
14-15	変換結果を読み出すタイミング(変換結果が正常値の場合) … 282
14-16	AV _{REF0} 端子とコンデンサの接続例 … 283
14-17	ANI0-ANI7端子内部等価回路 … 284
14-18	信号源インピーダンスが高い場合の回路例 … 284
15-1	D/Aコンバータのブロック図 … 286
15-2	D/Aコンバータ・モード・レジスタのフォーマット … 287
15-3	バッファ・アンプの挿入例 … 289
16-1	シリアル・バス・インタフェース(SBI)のシステム構成例 … 293
16-2	シリアル・インタフェース・チャンネル0のブロック図 … 295
16-3	タイマ・クロック選択レジスタ3のフォーマット … 299
16-4	シリアル動作モード・レジスタ0のフォーマット … 301
16-5	シリアル・バス・インタフェース・コントロール・レジスタのフォーマット … 303
16-6	割り込みタイミング指定レジスタのフォーマット … 305
16-7	3線式シリアルI/Oモードのタイミング … 310
16-8	RELT, CMDTの動作 … 311
16-9	転送ビット順切り替え回路 … 311
16-10	SBIによるシリアル・バス構成例 … 313
16-11	SBI転送のタイミング … 315
16-12	バス・リリース信号 … 316
16-13	コマンド信号 … 316
16-14	アドレス … 317
16-15	アドレスによるスレーブの選択 … 317
16-16	コマンド … 318
16-17	データ … 318
16-18	アクノリッジ信号 … 319
16-19	ビジィ信号, レディ信号 … 320
16-20	RELT, CMDT, RELD, CMDDの動作(マスタ) … 325
16-21	RELD, CMDDの動作(スレーブ) … 325
16-22	ACKTの動作 … 326
16-23	ACKEの動作 … 327
16-24	ACKDの動作 … 328

図の目次(6/10)

図番号	タイトル, ページ
16-25	BSYEの動作 … 329
16-26	端子構成図 … 332
16-27	マスタ・デバイスからスレーブ・デバイス(WUP = 1)へのアドレス送信動作 … 335
16-28	マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作 … 336
16-29	マスタ・デバイスからスレーブ・デバイスへのデータ送信動作 … 337
16-30	スレーブ・デバイスからマスタ・デバイスへのデータ送信動作 … 338
16-31	2線式シリアルI/Oによるシリアル・バス構成例 … 341
16-32	2線式シリアルI/Oモードのタイミング … 344
16-33	RELT, CMDTの動作 … 345
16-34	$\overline{SCK0}/P27$ 端子の構成 … 346
17-1	I ² Cバスによるシリアル・バス構成例 … 349
17-2	シリアル・インタフェース・チャンネル0のブロック図 … 351
17-3	タイマ・クロック選択レジスタ3のフォーマット … 356
17-4	シリアル動作モード・レジスタ0のフォーマット … 357
17-5	シリアル・バス・インタフェース・コントロール・レジスタのフォーマット … 359
17-6	割り込みタイミング指定レジスタのフォーマット … 361
17-7	3線式シリアルI/Oモードのタイミング … 367
17-8	RELT, CMDTの動作 … 368
17-9	転送ビット順切り替え回路 … 368
17-10	2線式シリアルI/Oによるシリアル・バス構成例 … 370
17-11	2線式シリアルI/Oモードのタイミング … 373
17-12	RELT, CMDTの動作 … 374
17-13	I ² Cバスによるシリアル・バス構成例 … 375
17-14	I ² Cバスのシリアル・データ転送タイミング … 376
17-15	スタート・コンディション … 377
17-16	アドレス … 378
17-17	転送方向指定 … 378
17-18	アクノリッジ信号 … 379
17-19	ストップ・コンディション … 379
17-20	ウェイト信号 … 380
17-21	端子構成図 … 388
17-22	マスタ→スレーブ通信例(マスタ, スレーブとも9クロック・ウェイト選択時) … 390
17-23	スレーブ→マスタ通信例(マスタ, スレーブとも9クロック・ウェイト選択時) … 393
17-24	スタート・コンディションの出力 … 397
17-25	スレーブのウェイト解除(送信時) … 398
17-26	スレーブのウェイト解除(受信時) … 399

図の目次(7/10)

図番号	タイトル, ページ
17-27	$\overline{\text{SCK0}}/\text{SCL}/\text{P27}$ 端子の構成 … 403
17-28	$\overline{\text{SCK0}}/\text{SCL}/\text{P27}$ 端子の構成 … 404
17-29	SCL信号の論理回路 … 404
18-1	シリアル・インタフェース・チャンネル1のブロック図 … 407
18-2	タイマ・クロック選択レジスタ3のフォーマット … 410
18-3	シリアル動作モード・レジスタ1のフォーマット … 411
18-4	自動データ送受信コントロール・レジスタのフォーマット … 413
18-5	自動データ送受信間隔指定レジスタのフォーマット … 414
18-6	3線式シリアルI/Oモードのタイミング … 422
18-7	転送ビット順切り替え回路 … 423
18-8	基本送受信モードの動作タイミング … 433
18-9	基本送受信モードのフロー・チャート … 434
18-10	6バイト分送受信するときの内部バッファRAMの動作(基本送受信モード時) … 435
18-11	基本送信モードの動作タイミング … 437
18-12	基本送信モードのフロー・チャート … 438
18-13	6バイト分送信するときの内部バッファRAMの動作(基本送信モード時) … 439
18-14	繰り返し送信モードの動作タイミング … 441
18-15	繰り返し送信モードのフロー・チャート … 442
18-16	6バイト分送信するときの内部バッファRAMの動作(繰り返し送信モード時) … 443
18-17	自動送受信の中断と再開 … 445
18-18	ビジィ制御オプション使用時のシステム構成 … 446
18-19	ビジィ制御オプションを使用したときの動作タイミング(BUSY0 = 0のとき) … 447
18-20	ビジィ信号とウェイトの解除(BUSY0 = 0のとき) … 448
18-21	ビジィ&ストローブ制御オプションを使用したときの動作タイミング(BUSY0 = 0のとき) … 449
18-22	ビジィ信号によるビットずれ検出機能の動作タイミング(BUSY0 = 1のとき) … 450
18-23	自動送受信のインターバル時間 … 451
18-24	自動送受信機能を内部クロックで動作させる場合の動作タイミング … 453
19-1	シリアル・インタフェース・チャンネル2のブロック図 … 456
19-2	ポー・レート・ジェネレータのブロック図 … 457
19-3	シリアル動作モード・レジスタ2のフォーマット … 459
19-4	アシンクロナス・シリアル・インタフェース・モード・レジスタのフォーマット … 460
19-5	アシンクロナス・シリアル・インタフェース・ステータス・レジスタのフォーマット … 464
19-6	ポー・レート・ジェネレータ・コントロール・レジスタのフォーマット … 465
19-7	シリアル・インタフェース端子選択レジスタのフォーマット … 469
19-8	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット … 481

図の目次(8/10)

図番号	タイトル, ページ
19-9	アシンクロナス・シリアル・インタフェース送信完了割り込み要求発生タイミング … 483
19-10	アシンクロナス・シリアル・インタフェース受信完了割り込み要求発生タイミング … 484
19-11	受信エラー・タイミング … 485
19-12	受信中断時の受信バッファ・レジスタ(RXB)の状態と割り込み要求(INTSR)の発生の有無 … 486
19-13	3線式シリアルI/Oモードのタイミング … 492
19-14	転送ビット順切り替え回路 … 493
19-15	受信完了割り込み要求の発生タイミング(ISRM = 1のとき) … 494
19-16	受信バッファ・レジスタの読み出し禁止期間 … 495
19-17	P23の出力切り替え回路 … 497
20-1	リアルタイム出力ポートのブロック図 … 499
20-2	リアルタイム出力バッファ・レジスタの構成 … 500
20-3	ポート・モード・レジスタ12のフォーマット … 501
20-4	リアルタイム出力ポート・モード・レジスタのフォーマット … 501
20-5	リアルタイム出力ポート・コントロール・レジスタのフォーマット … 502
21-1	割り込み機能の基本構成 … 506
21-2	割り込み要求フラグ・レジスタのフォーマット … 509
21-3	割り込みマスク・フラグ・レジスタのフォーマット … 510
21-4	優先順位指定フラグ・レジスタのフォーマット … 511
21-5	外部割り込みモード・レジスタ0のフォーマット … 512
21-6	外部割り込みモード・レジスタ1のフォーマット … 513
21-7	サンプリング・クロック選択レジスタのフォーマット … 514
21-8	ノイズ除去回路の入出力タイミング(立ち上がりエッジ検出時) … 515
21-9	プログラム・ステータス・ワードの構成 … 516
21-10	ノンマスクブル割り込みの要求発生から受け付けまでのフロー・チャート … 518
21-11	ノンマスクブル割り込み要求の受け付けタイミング … 518
21-12	ノンマスクブル割り込み要求の受け付け動作 … 519
21-13	割り込み要求受け付け処理アルゴリズム … 521
21-14	割り込み要求の受け付けタイミング(最小時間) … 522
21-15	割り込み要求の受け付けタイミング(最大時間) … 522
21-16	多重割り込みの例 … 524
21-17	割り込み要求の保留 … 527
21-18	テスト機能の基本構成 … 528
21-19	割り込み要求フラグ・レジスタ1Lのフォーマット … 529
21-20	割り込みマスク・フラグ・レジスタ1Lのフォーマット … 529
21-21	キー・リターン・モード・レジスタのフォーマット … 530

図の目次(9/10)

図番号	タイトル, ページ
22-1	外部デバイス拡張機能を使用時のメモリ・マップ … 532
22-2	メモリ拡張モード・レジスタのフォーマット … 535
22-3	メモリ・サイズ切り替えレジスタのフォーマット … 536
22-4	外部メモリからの命令フェッチ … 538
22-5	外部メモリのリード・タイミング … 539
22-6	外部メモリのライト・タイミング … 540
22-7	外部メモリのリード・モディファイ・ライト・タイミング … 541
22-8	μPD780054とメモリの接続例 … 542
23-1	発振安定時間選択レジスタのフォーマット … 544
23-2	HALTモードの割り込み要求発生による解除 … 547
23-3	HALTモードのRESET入力による解除 … 548
23-4	STOPモードの割り込み要求発生による解除 … 551
23-5	STOPモードのRESET入力による解除 … 552
24-1	リセット機能のブロック図 … 553
24-2	RESET入力によるリセット・タイミング … 554
24-3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング … 554
24-4	STOPモード中のRESET入力によるリセット・タイミング … 554
25-1	ROMコレクションのブロック図 … 558
25-2	コレクション・アドレス・レジスタ0, 1のフォーマット … 558
25-3	コレクション・コントロール・レジスタのフォーマット … 559
25-4	EEPROMへの格納例(修正箇所が1つの場合) … 560
25-5	初期設定ルーチン … 561
25-6	ROMコレクションの動作 … 562
25-7	ROMコレクションの使用例 … 563
25-8	プログラム遷移図(修正箇所が1つの場合) … 564
25-9	プログラム遷移図(修正箇所が2つの場合) … 565
26-1	メモリ・サイズ切り替えレジスタのフォーマット … 568
26-2	内部拡張RAMサイズ切り替えレジスタのフォーマット … 569
26-3	フラッシュ・メモリにプログラムを書き込むための環境 … 570
26-4	通信方式選択フォーマット … 571
26-5	専用フラッシュ・ライタとの接続例 … 572
26-6	V _{PP} 端子の接続例 … 575
26-7	信号の衝突(シリアル・インタフェースの入力端子) … 576

図の目次(10/10)

図番号	タイトル, ページ
26-8	ほかのデバイスの異常動作 … 576
26-9	信号の衝突(RESET端子) … 577
26-10	3線式シリアルI/O(SIO ch-0)でのフラッシュ書き込み用アダプタ配線例 … 578
26-11	3線式シリアルI/O(SIO ch-1)でのフラッシュ書き込み用アダプタ配線例 … 579
26-12	3線式シリアルI/O(SIO ch-2)でのフラッシュ書き込み用アダプタ配線例 … 580
26-13	UART(UART ch-0)でのフラッシュ書き込み用アダプタ配線例 … 581
26-14	UART(UART ch-1)でのフラッシュ書き込み用アダプタ配線例 … 582
26-15	疑似3線式でのフラッシュ書き込み用アダプタ配線例 … 583
B-1	開発ツール構成 … 708
B-2	EV-9200GC-80 外形図(参考)(単位:mm) … 716
B-3	EV-9200GC-80 基板取り付け推奨パターン(参考)(単位:mm) … 717
B-4	TGK-080SDW 外形図(参考)(単位:mm) … 718
B-5	TGC-080SBP 外形図(参考)(単位:mm) … 719
B-6	インサーキット・エミュレータから変換ソケットまでの距離(80GCの場合) … 720
B-7	ターゲット・システムの接続条件(NP-80GC-TQの場合) … 721
B-8	インサーキット・エミュレータから変換アダプタまでの距離(80GKの場合) … 722
B-9	ターゲット・システムの接続条件(NP-80GKの場合) … 723

表の目次(1/4)

表番号	タイトル, ページ
1-1	マスクROM製品のマスク・オプション … 48
1-2	標準品と(A)製品との違い … 48
2-1	マスクROM製品のマスク・オプション … 58
2-2	標準品と(A)製品との違い … 58
3-1	各端子の入出力回路タイプ … 72
4-1	各端子の入出力回路タイプ … 89
5-1	ベクタ・テーブル … 99
5-2	特殊機能レジスタ一覧 … 113
6-1	ポートの機能(μPD780058サブシリーズ) … 130
6-2	ポートの機能(μPD780058Yサブシリーズ) … 132
6-3	ポートの構成 … 134
6-4	ポート6のプルアップ抵抗 … 144
6-5	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 … 151
6-6	マスクROM製品のマスク・オプションとフラッシュ・メモリ製品との比較 … 157
7-1	クロック発生回路の構成 … 158
7-2	CPUクロックと最小命令実行時間の関係 … 162
7-3	CPUクロックの切り替えに要する最大時間 … 171
8-1	16ビット・タイマ/イベント・カウンタのインターバル時間 … 174
8-2	16ビット・タイマ/イベント・カウンタの方形波出力範囲 … 175
8-3	16ビット・タイマ/イベント・カウンタの構成 … 175
8-4	INTP0/TI00端子の有効エッジとCR00のキャプチャ・トリガの有効エッジ … 178
8-5	INTP1/TI01端子の有効エッジとCR00のキャプチャ・トリガの有効エッジ … 178
8-6	INTP0/TI00端子の有効エッジとCR01のキャプチャ・トリガの有効エッジ … 179
8-7	16ビット・タイマ/イベント・カウンタのインターバル時間 … 192
8-8	16ビット・タイマ/イベント・カウンタの方形波出力範囲 … 208
9-1	8ビット・タイマ/イベント・カウンタのインターバル時間 … 219
9-2	8ビット・タイマ/イベント・カウンタの方形波出力範囲 … 220
9-3	8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間 … 221

表の目次(2/4)

表番号	タイトル, ページ
9-4	8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタとして使用したとき の方形波出力範囲 … 222
9-5	8ビット・タイマ/イベント・カウンタの構成 … 223
9-6	8ビット・タイマ/イベント・カウンタ1のインターバル時間 … 232
9-7	8ビット・タイマ/イベント・カウンタ2のインターバル時間 … 233
9-8	8ビット・タイマ/イベント・カウンタの方形波出力範囲 … 235
9-9	2チャンネルの8ビット・タイマ/イベント・カウンタ(TM1, TM2)を16ビット・タイマ/イベント・カ ウンタとして使用したときのインターバル時間 … 238
9-10	2チャンネルの8ビット・タイマ/イベント・カウンタ(TM1, TM2)を16ビット・タイマ/イベント・カ ウンタとして使用したときの方形波出力範囲 … 240
10-1	インターバル・タイマのインターバル時間 … 244
10-2	時計用タイマの構成 … 244
10-3	インターバル・タイマのインターバル時間 … 248
11-1	ウォッチドッグ・タイマの暴走検出時間 … 249
11-2	インターバル時間 … 250
11-3	ウォッチドッグ・タイマの構成 … 250
11-4	ウォッチドッグ・タイマの暴走検出時間 … 255
11-5	インターバル・タイマのインターバル時間 … 256
12-1	クロック出力制御回路の構成 … 258
13-1	ブザー出力制御回路の構成 … 261
14-1	A/Dコンバータの構成 … 265
14-2	A/Dコンバータのサンプリング時間とA/D変換開始遅延時間 … 273
14-3	等価回路の各抵抗と容量値(参考値) … 284
15-1	D/Aコンバータの構成 … 285
16-1	チャンネル0, チャンネル1, チャンネル2の違い … 291
16-2	シリアル・インタフェース・チャンネル0の構成 … 294
16-3	SBIモードにおける各種の信号 … 330
17-1	チャンネル0, チャンネル1, チャンネル2の違い … 347
17-2	シリアル・インタフェース・チャンネル0の構成 … 350
17-3	シリアル・インタフェース・チャンネル0の割り込み要求信号の発生 … 354

表の目次(3/4)

表番号	タイトル, ページ
17-4	PCバス・モードにおける各種の信号 … 387
18-1	シリアル・インタフェース・チャンネル1の構成 … 406
18-2	CPU処理によるインターバル時間(内部クロック動作時) … 452
18-3	CPU処理によるインターバル時間(外部クロック動作時) … 453
19-1	シリアル・インタフェース・チャンネル2の構成 … 455
19-2	シリアル・インタフェース・チャンネル2の動作モードの設定一覧 … 462
19-3	メイン・システム・クロックとポー・レートの関係 … 467
19-4	ASCK端子入力周波数とポー・レートの関係(BRGC = 00H設定時) … 468
19-5	メイン・システム・クロックとポー・レートの関係 … 478
19-6	ASCK端子入力周波数とポー・レートの関係(BRGC = 00H設定時) … 479
19-7	受信エラーの要因 … 485
20-1	リアルタイム出力ポートの構成 … 498
20-2	リアルタイム出力バッファ・レジスタに対する操作時の動作 … 500
20-3	リアルタイム出力ポートの動作モードと出力トリガ … 502
21-1	割り込み要因一覧 … 504
21-2	割り込み要求ソースに対する各種フラグ … 508
21-3	マスクブル割り込み要求発生から処理までの時間 … 520
21-4	割り込み処理中に多重割り込み可能な割り込み要求 … 523
21-5	テスト入力要因一覧 … 528
21-6	テスト入力信号に対する各種フラグ … 528
22-1	外部メモリ拡張モード時の端子機能 … 531
22-2	外部メモリ拡張モード時のポート4-6の端子の状態 … 531
22-3	メモリ・サイズ切り替えレジスタのリセット時の値 … 536
23-1	HALTモード時の動作状態 … 546
23-2	HALTモードの解除後の動作 … 548
23-3	STOPモード時の動作状態 … 550
23-4	STOPモードの解除後の動作 … 552
24-1	各ハードウェアのリセット後の状態 … 555
25-1	ROMコレクションの構成 … 557

表の目次(4/4)

表番号	タイトル, ページ
26-1	μPD78F0058, 78F0058YとマスクROM製品の違い … 567
26-2	メモリ・サイズ切り替えレジスタの設定値 … 568
26-3	内部拡張RAMサイズ切り替えレジスタの設定値 … 569
26-4	通信方式一覧 … 571
26-5	端子接続一覧 … 574
27-1	オペランドの表現形式と記述方法 … 585
33-1	表面実装タイプの半田付け条件 … 701
A-1	μPD78054, 78058F, 780058サブシリーズ間の主な違い … 705
B-1	78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法 … 715

第1章 概 説(μPD780058サブシリーズ)

1.1 特 徴

- ★ ○大容量ROM, RAM内蔵

品名	プログラム・メモリ		データ・メモリ		
	マスクROM	フラッシュ・メモリ	内部高速RAM	内部バッファRAM	内部拡張RAM
μPD780053, 780053(A)	24 Kバイト	—	1024バイト	32バイト	なし
μPD780054, 780054(A)	32 Kバイト	—			
μPD780055, 780055(A)	40 Kバイト	—			
μPD780056, 780056(A)	48 Kバイト	—			
μPD780058, 780058B, 780058B(A)	60 Kバイト	—			1024バイト
μPD78F0058	—	60 Kバイト ^{注1}			1024バイト ^{注2}

注1. メモリ・サイズ切り替えレジスタ(IMS)により, フラッシュ・メモリ容量の変更可能。

2. 内部拡張RAMサイズ切り替えレジスタ(IXS)により, 内部拡張RAM容量の変更可能。

- 外部メモリ拡張空間: 64 Kバイト
- 高速(0.4 μs: メイン・システム・クロック5.0 MHz動作時)から超低速(122 μs: サブシステム・クロック32.768 kHz動作時)まで最小命令実行時間変更可能
- システム制御に適した命令セット
 - ・全アドレス空間でビット処理可能
 - ・乗除算命令内蔵
- I/Oポート: 68本(N-chオープン・ドレイン: 4本)
- ★ ○8ビット分解能A/Dコンバータ: 8チャンネル($V_{DD} = 1.8 \sim 5.5$ V^注)
- ★ ○8ビット分解能D/Aコンバータ: 2チャンネル($V_{DD} = 1.8 \sim 5.5$ V^注)
- シリアル・インタフェース: 3チャンネル
 - ・3線式シリアルI/O/SBI/2線式シリアルI/Oモード : 1チャンネル
 - ・3線式シリアルI/Oモード(自動送受信機能内蔵) : 1チャンネル
 - ・3線式シリアルI/O/UARTモード(時分割転送機能内蔵): 1チャンネル
- タイマ: 5チャンネル
 - ・16ビット・タイマ/イベント・カウンタ: 1チャンネル
 - ・8ビット・タイマ/イベント・カウンタ: 2チャンネル
 - ・時計用タイマ : 1チャンネル
 - ・ウォッチドッグ・タイマ : 1チャンネル

- ★ 注 μPD780058は, A/DコンバータおよびD/Aコンバータの動作電圧範囲は $V_{DD} = 2.7 \sim 5.5$ Vになります。

○ベクタ割り込み要因：21

○テスト入力：2本

○2種類のクロック発振回路内蔵(メイン・システム・クロックとサブシステム・クロック)

★ ○電源電圧： $V_{DD} = 1.8 \sim 5.5 \text{ V}$ (マスクROM製品)

★ $V_{DD} = 2.7^{\text{注}} \sim 5.5 \text{ V}$ (μPD78F0058)

注 μPD78F0058は $V_{DD} = 2.2 \text{ V}$ 対応で供給することもできます。当社販売員にご相談ください。

1.2 応用分野

車載オーディオ、携帯電話、ページャ、プリンタ、AV機器、カメラ、PPC、自動販売機、自動車電装など

★ 1.3 オーダ情報

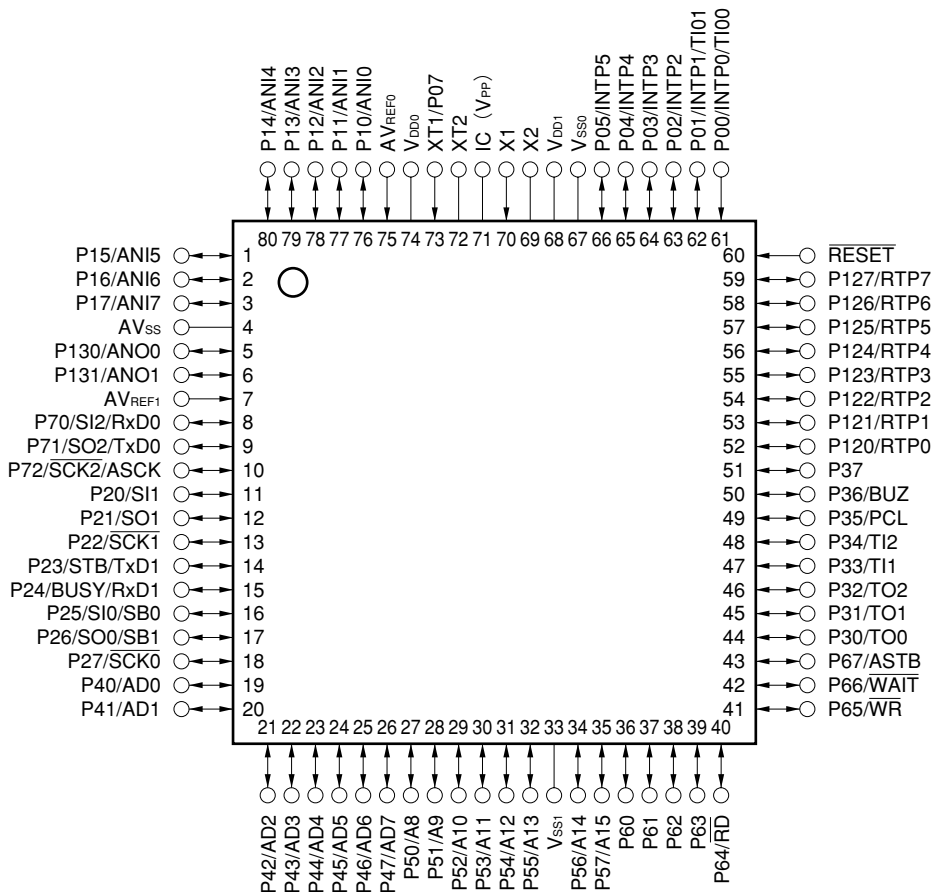
オーダ名称	パッケージ	内部ROM
μPD780053GC-XXX-8BT	80ピン・プラスチックQFP(14x14)	マスクROM
μPD780053GK-XXX-9EU	80ピン・プラスチックTQFP(ファインピッチ)(12x12)	〃
μPD780054GC-XXX-8BT	80ピン・プラスチックQFP(14x14)	〃
μPD780054GK-XXX-9EU	80ピン・プラスチックTQFP(ファインピッチ)(12x12)	〃
μPD780055GC-XXX-8BT	80ピン・プラスチックQFP(14x14)	〃
μPD780055GK-XXX-9EU	80ピン・プラスチックTQFP(ファインピッチ)(12x12)	〃
μPD780056GC-XXX-8BT	80ピン・プラスチックQFP(14x14)	〃
μPD780056GK-XXX-9EU	80ピン・プラスチックTQFP(ファインピッチ)(12x12)	〃
μPD780058GC-XXX-8BT	80ピン・プラスチックQFP(14x14)	〃
μPD780058GK-XXX-9EU	80ピン・プラスチックTQFP(ファインピッチ)(12x12)	〃
★ μPD780058BGC-XXX-8BT	80ピン・プラスチックQFP(14x14)	〃
★ μPD780058BGK-XXX-9EU	80ピン・プラスチックTQFP(ファインピッチ)(12x12)	〃
μPD780053GC(A)-XXX-8BT	80ピン・プラスチックQFP(14x14)	特別(高信頼度電子機器用)
μPD780054GC(A)-XXX-8BT	〃	〃
μPD780055GC(A)-XXX-8BT	〃	〃
μPD780056GC(A)-XXX-8BT	〃	〃
μPD780058BGC(A)-XXX-8BT	〃	〃
μPD78F0058GC-8BT	80ピン・プラスチックQFP(14x14)	フラッシュ・メモリ
μPD78F0058GK-9EU	80ピン・プラスチックTQFP(ファインピッチ)(12x12)	〃

備考 XXXはROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

★ 1.4 端子接続図(Top View)

- 80ピン・プラスチックQFP (14 x14)
 - μPD780053GC-XXX-8BT, 780054GC-XXX-8BT, 780055GC-XXX-8BT,
 - μPD780056GC-XXX-8BT, 780058GC-XXX-8BT, 780058BGC-XXX-8BT,
 - μPD780053GC(A)-XXX-8BT, 780054GC(A)-XXX-8BT, 780055GC(A)-XXX-8BT,
 - μPD780056GC(A)-XXX-8BT, 780058BGC(A)-XXX-8BT, 78F0058GC-8BT
- 80ピン・プラスチックTQFP(ファインピッチ)(12x12)
 - μPD780053GK-XXX-9EU, 780054GK-XXX-9EU, 780055GK-XXX-9EU,
 - μPD780056GK-XXX-9EU, 780058GK-XXX-9EU, 780058BGK-XXX-9EU, 78F0058GK-9EU



注意 1. 通常動作モード時は、IC(Internally Connected)端子はVSS0またはVSS1に直接接続してください。

2. AVSS端子はVSS0に接続してください。

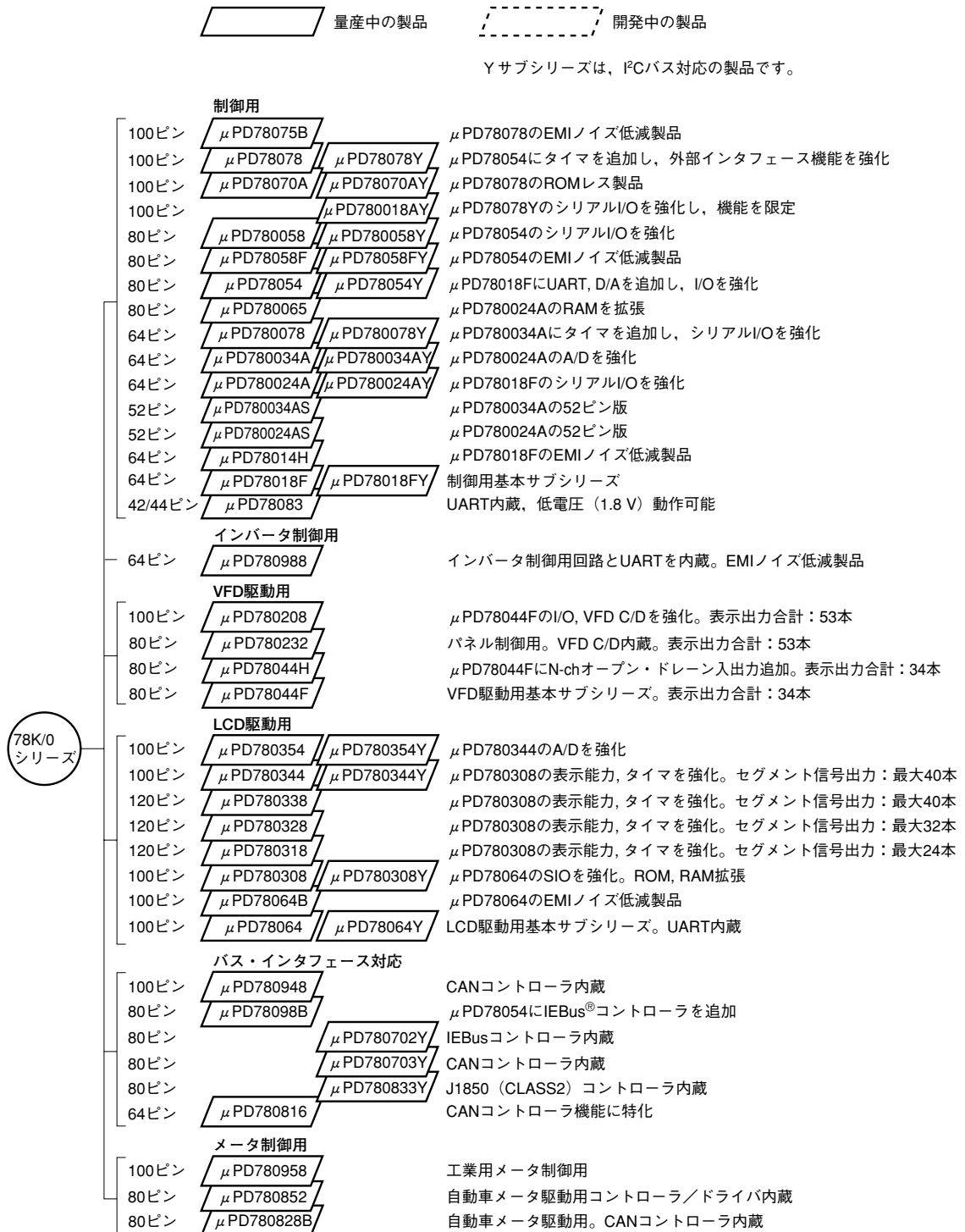
備考 1. ()内は μPD78F0058のとき

2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDD0とVDD1に個別の電源を供給し、VSS0とVSS1を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

A8-A15	: Address Bus	PCL	: Programmable Clock
AD0-AD7	: Address/Data Bus	\overline{RD}	: Read Strobe
ANI0-ANI7	: Analog Input	\overline{RESET}	: Reset
ANO0, ANO1	: Analog Output	RTP0-RTP7	: Real-Time Output Port
ASCK	: Asynchronous Serial Clock	RxD0, RxD1	: Receive Data
ASTB	: Address Strobe	SB0, SB1	: Serial Bus
AV _{REF0} , AV _{REF1}	: Analog Reference Voltage	$\overline{SCK0}$ - $\overline{SCK2}$: Serial Clock
AV _{SS}	: Analog Ground	SI0-SI2	: Serial Input
BUSY	: Busy	SO0-SO2	: Serial Output
BUZ	: Buzzer Clock	STB	: Strobe
IC	: Internally Connected	TI00, TI01	: Timer Input
INTP0-INTP6	: Interrupt from Peripherals	TI1, TI2	: Timer Input
P00-P05, P07	: Port0	TO0-TO2	: Timer Output
P10-P17	: Port1	TxD0, TxD1	: Transmit Data
P20-P27	: Port2	V _{DD0} , V _{DD1}	: Power Supply
P30-P37	: Port3	V _{PP}	: Programming Power Supply
P40-P47	: Port4	V _{SS0} , V _{SS1}	: Ground
P50-P57	: Port5	\overline{WAIT}	: Wait
P60-P67	: Port6	\overline{WR}	: Write Strobe
P70-P72	: Port7	X1, X2	: Crystal (Main System Clock)
P120-P127	: Port12	XT1, XT2	: Crystal (Subsystem Clock)
P130, P131	: Port13		

★ 1.5 78K/0シリーズの展開

78K/0シリーズの製品展開を示します。枠内はサブシリーズ名称です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP[®] (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

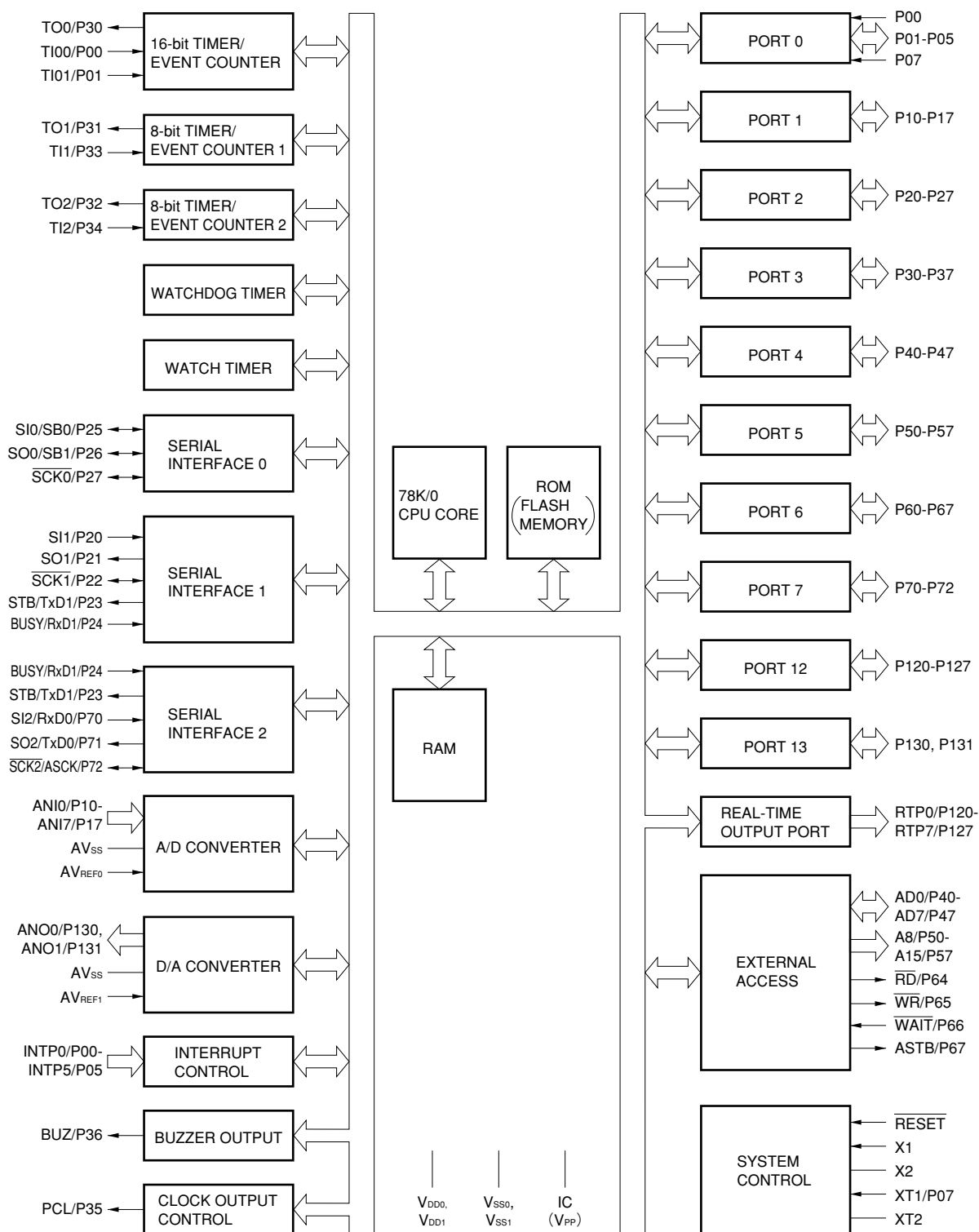
・ Yなしサブシリーズ

サブシリーズ名	機能	ROM容量 (バイト)	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張		
			8-bit	16-bit	時計	WDT	A/D	A/D	D/A						
制御用	μPD78075B	32 K-40 K	4ch	1ch	1ch	1ch	8ch	—	2ch	3ch(UART:1ch)	88本	1.8 V	○		
	μPD78078	48 K-60 K									61本	2.7 V			
	μPD78070A	—													
	μPD780058	24 K-60 K	2ch	—	—	—	—	—	3ch(時分割UART:1ch)	68本	1.8 V				
	μPD78058F	48 K-60 K							3ch(UART:1ch)	69本	2.7 V				
	μPD78054	16 K-60 K							60本	2.7 V					
	μPD780065	40 K-48 K													
	μPD780078	48 K-60K							2ch	—	8ch	3ch(UART:2ch)		52本	1.8 V
	μPD780034A	8 K-32 K							1ch	8ch	—	3ch(UART:1ch)		51本	
	μPD780024A														
	μPD780034AS														
	μPD780024AS	—							4ch	—	39本	—			
	μPD78014H	—							8ch	—	53本	○			
	μPD78018F	8 K-60 K							—	—	—	—		—	2ch
μPD78083	8 K-16 K														
インバータ 制御用	μPD780988	16 K-60 K	3ch	注	—	1ch	—	8ch	—	3ch(UART:2ch)	47本	4.0 V	○		
VFD 駆動用	μPD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	—	—	2ch	74本	2.7 V	—		
	μPD780232	16 K-24 K	3ch	—	—	—	4ch	—	—	—	40本	4.5 V			
	μPD78044H	32 K-48 K	2ch	1ch	1ch	—	8ch	—	—	1ch	68本	2.7 V			
	μPD78044F	16 K-40 K	—	—	—	—	—	—	—	2ch	—	—			
LCD 駆動用	μPD780354	24K-32 K	4ch	1ch	1ch	1ch	—	8ch	—	3ch(UART:1ch)	66本	1.8 V	—		
	μPD780344						8ch	—							
	μPD780338	48 K-60 K	3ch	2ch	—	10ch	1ch	—	—	2ch(UART:1ch)	54本				
	μPD780328										62本				
	μPD780318										70本				
	μPD780308	48 K-60 K	2ch	1ch	—	—	—	8ch	—	—	3ch(時分割UART:1ch)	57本		2.0 V	
	μPD78064B	32 K									2ch(UART:1ch)				
μPD78064	16 K-32 K														
バス・イン タフェース 対応	μPD780948	60 K	2ch	2ch	1ch	1ch	8ch	—	—	3ch(UART:1ch)	79本	4.0 V	○		
	μPD78098B	40 K-60 K		1ch							2ch	69本	2.7 V	—	
	μPD780816	32 K-60 K		2ch							—	12ch	—	2ch(UART:1ch)	46本
メータ 制御用	μPD780958	48 K-60 K	4ch	2ch	—	1ch	—	—	—	2ch(UART:1ch)	69本	2.2 V	—		
ダッシュ ボード制御用	μPD780852	32 K-40 K	3ch	1ch	1ch	1ch	5ch	—	—	3ch(UART:1ch)	56本	4.0 V	—		
	μPD780828B	32 K-60 K									59本				

注 16ビット・タイマ：2チャンネル

10ビット・タイマ：1チャンネル

1.6 ブロック図



備考1. 内部ROM, RAM容量は製品によって異なります。

2. ()内はμPD78F0058のとき

1.7 機能概要

★ 項 目		品 名						
		μPD780053, 780053(A)	μPD780054, 780054(A)	μPD780055, 780055(A)	μPD780056, 780056(A)	μPD780058B, 780058B(A)	μPD780058	μPD78F0058
内部メモリ	ROM	マスクROM					フラッシュ・メモリ	
		24 Kバイト	32 Kバイト	40 Kバイト	48 Kバイト	60 Kバイト		60 Kバイト ^{注1}
	高速RAM	1024バイト						
	バッファRAM	32バイト						
	拡張RAM	なし				1024バイト		1024バイト ^{注2}
メモリ空間		64 Kバイト						
汎用レジスタ		8ビット×8×4バンク						
最小命令実行時間		最小命令実行時間の可変機能内蔵						
	メイン・システム・ クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs(5.0 MHz動作時)						
	サブシステム・ クロック選択時	122 μs(32.768 kHz動作時)						
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算(8ビット×8ビット, 16ビット÷8ビット) ・ビット操作(セット, リセット, テスト, ブール演算) ・BCD補正 など 						
I/Oポート		合計 : 68本 ・CMOS入力 : 2本 ・CMOS入出力 : 62本 ・N-chオープン・ドレイン入出力 : 4本						
A/Dコンバータ		8ビット分解能×8チャンネル						
★	動作電圧範囲	V _{DD} = 1.8~5.5 V				V _{DD} = 2.7~5.5 V		
D/Aコンバータ		8ビット分解能×2チャンネル						
★	動作電圧範囲	V _{DD} = 1.8~5.5 V				V _{DD} = 2.7~5.5 V		
シリアル・インタフェース		<ul style="list-style-type: none"> ・3線式シリアルI/O/SBI/2線式シリアルI/Oモード選択可能 : 1チャンネル ・3線式シリアルI/Oモード(最大32バイト自動送受信機能内蔵) : 1チャンネル ・3線式シリアルI/O/UARTモード(時分割転送機能内蔵)選択可能 : 1チャンネル 						
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ/イベント・カウンタ : 1チャンネル ・8ビット・タイマ/イベント・カウンタ : 2チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 						
タイマ出力		3本(14ビットPWM出力可能: 1本)						
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック: 5.0 MHz動作時) 32.768 kHz(サブシステム・クロック: 32.768 kHz動作時)						

注1. メモリ・サイズ切り替えレジスタ(IMS)により, フラッシュ・メモリ容量の変更可能。

2. 内部拡張RAMサイズ切り替えレジスタ(IXS)により, 内部拡張RAM容量の変更可能。

★ 項目	品名		μPD780053,	μPD780054,	μPD780055,	μPD780056,	μPD780058B,	μPD780058	μPD78F0058
			780053(A)	780054(A)	780055(A)	780056(A)	780058B(A)		
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz(メイン・システム・クロック: 5.0 MHz動作時)							
★	ベクタ	マスカブル	内部: 13, 外部: 6						
	割り込み	ノンマスカブル	内部: 1						
★	要因	ソフトウェア	1						
テスト入力		内部: 1本, 外部: 1本							
電源電圧		V _{DD} = 1.8~5.5 V							V _{DD} = 2.7 ^注 ~5.5 V
動作周囲温度		T _A = -40~+85 °C							
★ パッケージ		・ 80ピン・プラスチックQFP(14x14) ・ 80ピン・プラスチックTQFP(ファインピッチ)(12x12)							

注 V_{DD} = 2.2 V対応で供給することも可能です。当社販売員にご相談ください。

次にタイマの概要を示します。

		16ビット・タイマ/イベント・カウンタ	8ビット・タイマ/イベント・カウンタ	時計用タイマ	ウォッチドッグ・タイマ
動作	インターバル・タイマ	2チャンネル ^{注3}	2チャンネル	1チャンネル ^{注1}	1チャンネル ^{注2}
モード	外部イベント・カウンタ	○	○	—	—
機能	タイマ出力	○	○	—	—
	PWM出力	○	—	—	—
	パルス幅測定	○	—	—	—
	方形波出力	○	○	—	—
	ワンショット・パルス出力	○	—	—	—
	割り込み要求	○	○	○	○
	テスト入力	—	—	○	—

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。
3. キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01)をとともにコンペア・レジスタに指定したとき。

1.8 マスク・オプションについて

マスクROM製品(μPD780053, 780053(A), 780054, 780054(A), 780055, 780055(A), 780056, 780056(A), 780058, 780058B, 780058B(A))には、マスク・オプションがあります。オーダーの際にマスク・オプションを指定することにより、表1-1に示すプルアップ抵抗を内蔵できます。プルアップ抵抗が必要なとき、マスク・オプションを利用すると、部品点数の削減と実装面積の縮小ができます。

μPD780058サブシリーズで用意されているマスク・オプションを表1-1に示します。

表1-1 マスクROM製品のマスク・オプション

端子名	マスク・オプション
P60-P63	1ビット単位でプルアップ抵抗を内蔵できます。

1.9 標準品と(A)製品との違い

μPD780058サブシリーズの(A)製品(μPD780053(A), 780054(A), 780055(A), 780056(A), 780058B(A))は、標準品(μPD780053, 780054, 780055, 780056, 780058B)より検査項目を増やして、信頼性を上げた製品です。(A)製品の機能や電気的特性は、標準品と同じです。

表1-2 標準品と(A)製品との違い

品名	標準品	(A)製品
項目		
品質水準	標準(一般電子機器用)	特別(高信頼度電子機器用)

第2章 概 説 (μ PD780058Yサブシリーズ)

2.1 特 徴

- ★ ○大容量ROM, RAM内蔵

項 目 品 名	プログラム・メモリ		データ・メモリ		
	マスクROM	フラッシュ・メモリ	内部高速RAM	内部バッファRAM	内部拡張RAM
μ PD780053Y, 780053Y(A)	24 Kバイト	—	1024バイト	32バイト	なし
μ PD780054Y, 780054Y(A)	32 Kバイト	—			
μ PD780055Y, 780055Y(A)	40 Kバイト	—			
μ PD780056Y, 780056Y(A)	48 Kバイト	—			
μ PD780058BY, 780058BY(A)	60 Kバイト	—			1024バイト
μ PD78F0058Y	—	60 Kバイト ^{注1}			1024バイト ^{注2}

注1. メモリ・サイズ切り替えレジスタ(IMS)により, フラッシュ・メモリ容量の変更可能。

2. 内部拡張RAMサイズ切り替えレジスタ(IXS)により, 内部拡張RAM容量の変更可能。

○外部メモリ拡張空間: 64 Kバイト

○高速(0.4 μ s: メイン・システム・クロック5.0 MHz動作時)から超低速(122 μ s: サブシステム・クロック32.768 kHz動作時)まで最小命令実行時間変更可能

○システム制御に適した命令セット

- ・全アドレス空間でビット処理可能
- ・乗除算命令内蔵

○I/Oポート: 68本(N-chオープン・ドレイン: 4本)

- ★ ○8ビット分解能A/Dコンバータ: 8チャンネル($V_{DD} = 1.8 \sim 5.5$ V)

- ★ ○8ビット分解能D/Aコンバータ: 2チャンネル($V_{DD} = 1.8 \sim 5.5$ V)

○シリアル・インタフェース: 3チャンネル

- ・3線式シリアルI/O / 2線式シリアルI/O / I²Cバス・モード: 1チャンネル
- ・3線式シリアルI/Oモード(自動送受信機能内蔵): 1チャンネル
- ・3線式シリアルI/O / UARTモード(時分割転送機能内蔵): 1チャンネル

○タイマ: 5チャンネル

- ・16ビット・タイマ/イベント・カウンタ: 1チャンネル
- ・8ビット・タイマ/イベント・カウンタ: 2チャンネル
- ・時計用タイマ: 1チャンネル
- ・ウォッチドッグ・タイマ: 1チャンネル

- ベクタ割り込み要因：21
- テスト入力：2本
- 2種類のクロック発振回路内蔵
(メイン・システム・クロックとサブシステム・クロック)

- ★ ○電源電圧： $V_{DD} = 1.8 \sim 5.5 \text{ V}$ (マスクROM製品)
- ★ $V_{DD} = 2.7^{\text{注}} \sim 5.5 \text{ V}$ (μPD78F0058Y)

注 μPD78F0058Yは $V_{DD} = 2.2 \text{ V}$ 対応で供給することもできます。当社販売員にご相談ください。

2.2 応用分野

車載オーディオ、携帯電話、ページャ、プリンタ、AV機器、カメラ、PPC、自動販売機、自動車電装など

★ 2.3 オーダ情報

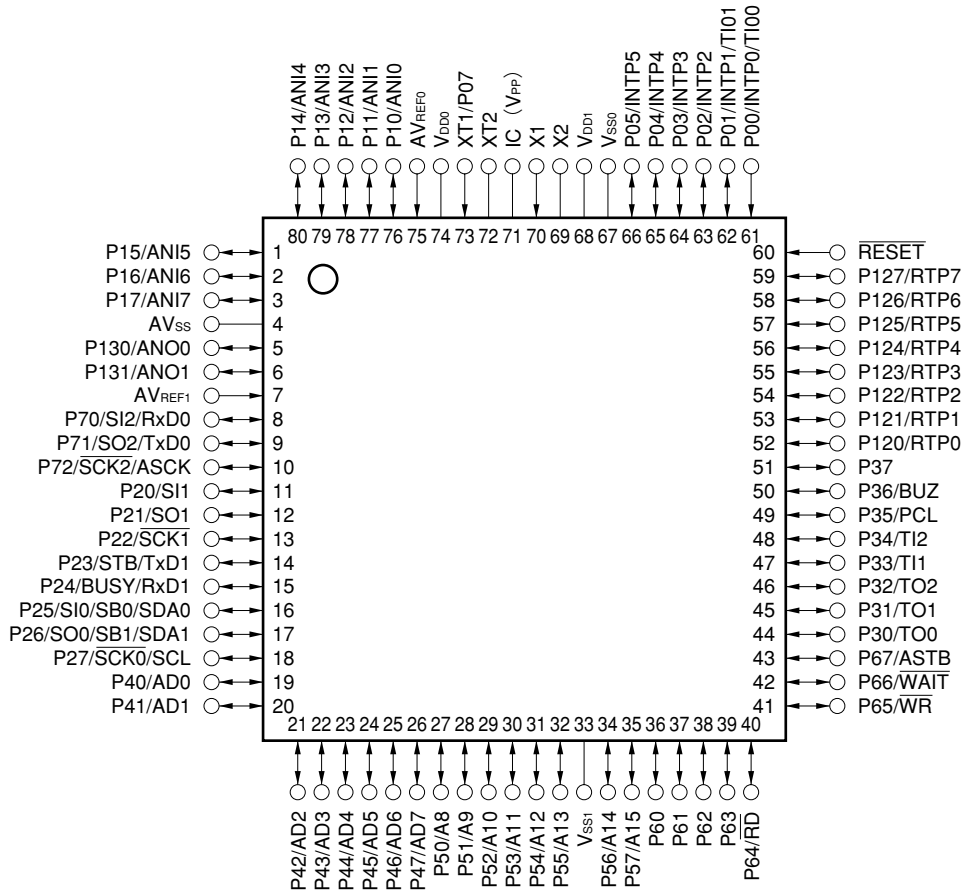
オーダ名称	パッケージ	内部ROM
μPD780053YGC-XXX-8BT	80ピン・プラスチックQFP(14x14)	マスクROM
μPD780053YGK-XXX-9EU	80ピン・プラスチックTQFP(ファインピッチ)(12x12)	〃
μPD780054YGC-XXX-8BT	80ピン・プラスチックQFP(14x14)	〃
μPD780054YGK-XXX-9EU	80ピン・プラスチックTQFP(ファインピッチ)(12x12)	〃
μPD780055YGC-XXX-8BT	80ピン・プラスチックQFP(14x14)	〃
μPD780055YGK-XXX-9EU	80ピン・プラスチックTQFP(ファインピッチ)(12x12)	〃
μPD780056YGC-XXX-8BT	80ピン・プラスチックQFP(14x14)	〃
μPD780056YGK-XXX-9EU	80ピン・プラスチックTQFP(ファインピッチ)(12x12)	〃
★ μPD780058BYGC-XXX-8BT	80ピン・プラスチックQFP(14x14)	〃
★ μPD780058BYGK-XXX-9EU	80ピン・プラスチックTQFP(ファインピッチ)(12x12)	〃
μPD780053YGC(A)-XXX-8BT	80ピン・プラスチックQFP(14x14)	特別(高信頼度電子機器用)
μPD780054YGC(A)-XXX-8BT	〃	〃
μPD780055YGC(A)-XXX-8BT	〃	〃
μPD780056YGC(A)-XXX-8BT	〃	〃
μPD780058BYGC(A)-XXX-8BT	〃	〃
μPD78F0058YGC-8BT	80ピン・プラスチックQFP(14x14)	フラッシュ・メモリ
μPD78F0058YGK-9EU	80ピン・プラスチックTQFP(ファインピッチ)(12x12)	〃

備考 XXXはROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

★ 2.4 端子接続図(Top View)

- 80ピン・プラスチックQFP (14x14)
 - μPD780053YGC-XXX-8BT, 780054YGC-XXX-8BT, 780055YGC-XXX-8BT,
 - μPD780056YGC-XXX-8BT, 780058BYGC-XXX-8BT, 780053YGC(A)-XXX-8BT,
 - μPD780054YGC(A)-XXX-8BT, 780055YGC(A)-XXX-8BT, 780056YGC(A)-XXX-8BT,
 - μPD780058BYGC(A)-XXX-8BT, 78F0058YGC-8BT
- 80ピン・プラスチックTQFP(ファインピッチ)(12x12)
 - μPD780053YGK-XXX-9EU, 780054YGK-XXX-9EU, 780055YGK-XXX-9EU,
 - μPD780056YGK-XXX-9EU, 780058BYGK-XXX-9EU, 78F0058YGK-9EU



注意 1. 通常動作モード時は、IC (Internally Connected) 端子はV_{SS0}に直接接続してください。

2. AV_{SS}端子はV_{SS0}に接続してください。

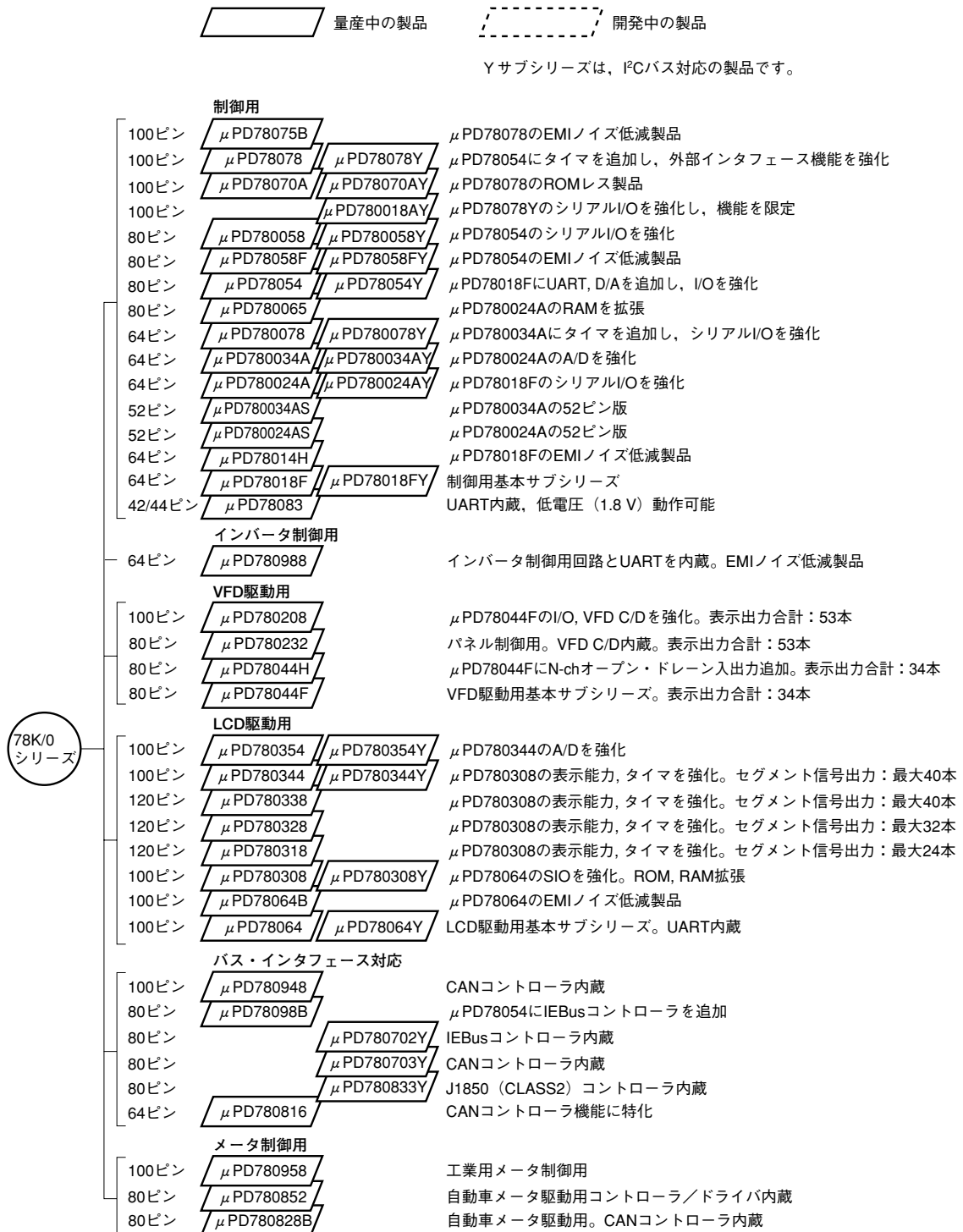
備考 1. ()内は μPD78F0058Yのとき

2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD0}とV_{DD1}に個別の電源を供給し、V_{SS0}とV_{SS1}を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

A8-A15	: Address Bus	\overline{RD}	: Read Strobe
AD0-AD7	: Address/Data Bus	\overline{RESET}	: Reset
ANI0-ANI7	: Analog Input	RTP0-RTP7	: Real-Time Output Port
ANO0, ANO1	: Analog Output	RxD0, RxD1	: Receive Data
ASCK	: Asynchronous Serial Clock	SB0, SB1	: Serial Bus
ASTB	: Address Strobe	$\overline{SCK0}$ - $\overline{SCK2}$: Serial Clock
AV _{REF0} , AV _{REF1}	: Analog Reference Voltage	SCL	: Serial Clock
AV _{SS}	: Analog Ground	SDA0, SDA1	: Serial Data
BUSY	: Busy	SI0-SI2	: Serial Input
BUZ	: Buzzer Clock	SO0-SO2	: Serial Output
IC	: Internally Connected	STB	: Strobe
INTP0-INTP6	: Interrupt from Peripherals	TI00, TI01	: Timer Input
P00-P05, P07	: Port0	TI1, TI2	: Timer Input
P10-P17	: Port1	TO0-TO2	: Timer Output
P20-P27	: Port2	TxD0, TxD1	: Transmit Data
P30-P37	: Port3	V _{DD0} , V _{DD1}	: Power Supply
P40-P47	: Port4	V _{PP}	: Programming Power Supply
P50-P57	: Port5	V _{SS0} , V _{SS1}	: Ground
P60-P67	: Port6	\overline{WAIT}	: Wait
P70-P72	: Port7	\overline{WR}	: Write Strobe
P120-P127	: Port12	X1, X2	: Crystal (Main System Clock)
P130, P131	: Port13	XT1, XT2	: Crystal (Subsystem Clock)
PCL	: Programmable Clock		

★ 2.5 78K/0シリーズの展開

78K/0シリーズの製品展開を示します。枠内はサブシリーズ名称です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

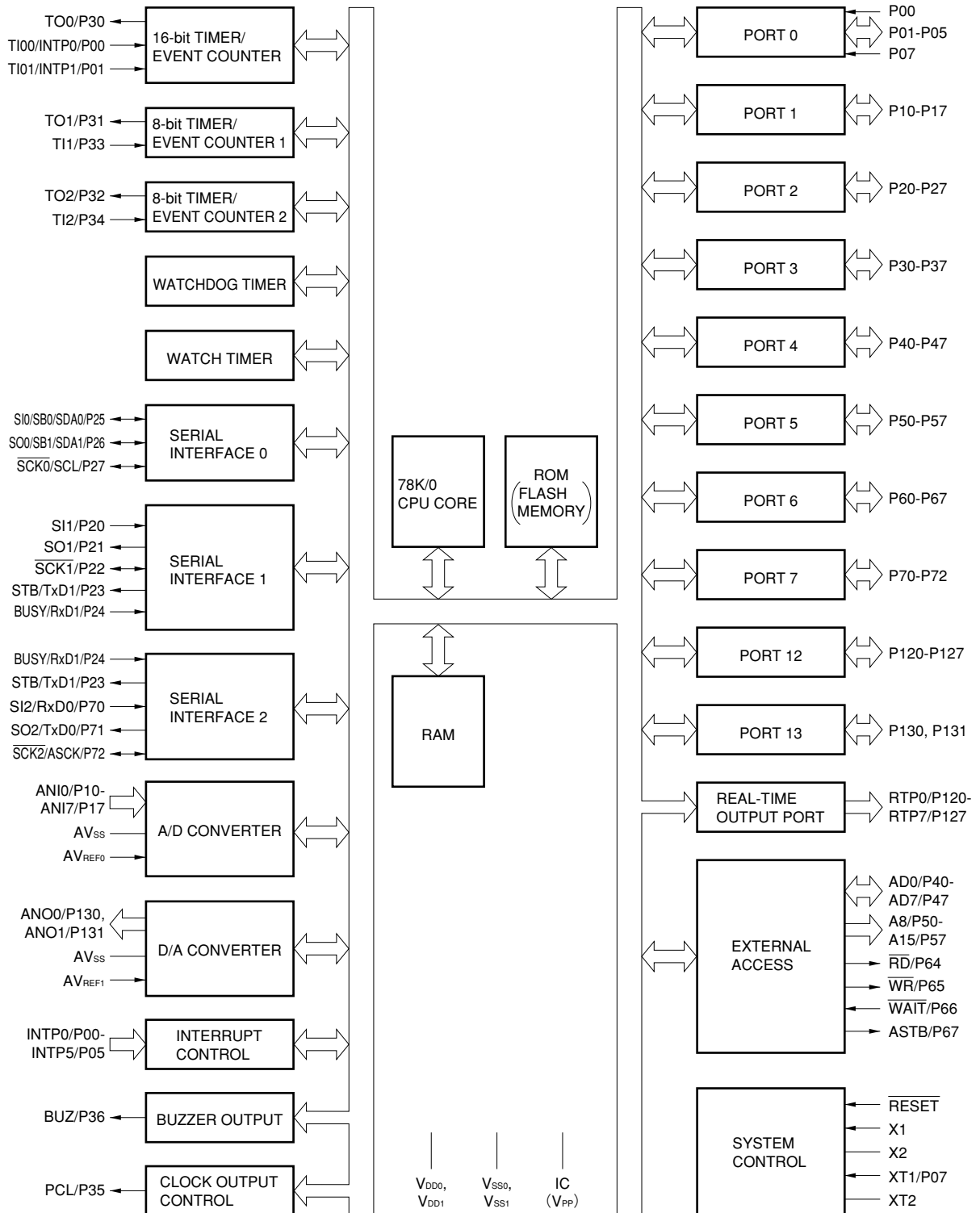
Yサブシリーズ間の主な機能の違いを次に示します。

・ Yサブシリーズ

サブシリーズ名	機能	ROM容量 (バイト)	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張						
			8-bit	16-bit	時計	WDT	A/D	A/D	D/A										
制御用	μPD78078Y	48 K-60 K	4ch	1ch	1ch	1ch	8ch	—	2ch	3ch (UART:1ch, I ² C:1ch)	88本	1.8 V	○						
	μPD78070AY	—									61本	2.7 V							
	μPD780018AY	48 K-60 K									88本	—							
	μPD780058Y	24 K-60 K	2ch	—	—	—	8ch	—	2ch	3ch (時分割UART: 1ch, I ² C:1ch)	68本	1.8 V							
	μPD78058FY	48 K-60 K									69本	2.7 V							
	μPD78054Y	16 K-60 K									—	2.0 V							
	μPD780078Y	48 K-60 K									2ch	—		—	—	—	4ch (UART:2ch, I ² C:1ch)	52本	1.8 V
	μPD780034AY	8 K-32 K									1ch	—		—	—	—	3ch (UART:1ch, I ² C:1ch)	51本	—
	μPD780024AY	—									—	—		—	—	—	—	—	—
μPD78018FY	8 K-60 K	—	—	—	—	—	—	2ch (I ² C:1ch)	53本	—									
LCD 駆動用	μPD780354Y	24 K-32 K	4ch	1ch	1ch	1ch	—	8ch	—	4ch (UART:1ch, I ² C:1ch)	66本	1.8 V	—						
	μPD780344Y	—					8ch	—	—										
	μPD780308Y	48 K-60 K	2ch	—	—	—	—	—	3ch (時分割UART: 1ch, I ² C:1ch)	57本	2.0 V								
	μPD78064Y	16 K-32 K								—	—	—		—	2ch (UART:1ch, I ² C:1ch)	—	—		
バス・イン タフェース 対応	μPD780701Y	60 K	3ch	2ch	1ch	1ch	16ch	—	—	4ch (UART:1ch, I ² C:1ch)	67本	3.5 V	—						
	μPD780703Y										—	—							
	μPD780833Y										—	65本		4.5 V					

備考 YなしサブシリーズとYサブシリーズは、シリアル・インタフェース以外の機能は共通です(Yなしサブシリーズがある場合)。

2.6 ブロック図



備考1. 内部ROM, RAM容量は製品によって異なります。

2. ()内はμPD78F0058Yのとき

2.7 機能概要

★ 項 目	品 名	μPD780053Y,	μPD780054Y,	μPD780055Y,	μPD780056Y,	μPD780058BY,	μPD78F0058Y	
		780053Y(A)	780054Y(A)	780055Y(A)	780056Y(A)	780058BY(A)		
内部メモリ	ROM	マスクROM					フラッシュ・メモリ	
		24 Kバイト	32 Kバイト	40 Kバイト	48 Kバイト	60 Kバイト	60 Kバイト注1	
	高速RAM	1024バイト						
	バッファRAM	32バイト						
	拡張RAM	なし				1024バイト	1024バイト注2	
メモリ空間	64 Kバイト							
汎用レジスタ	8ビット×8×4バンク							
最小命令実行時間	最小命令実行時間の可変機能内蔵							
	メイン・システム・ クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)						
	サブシステム・ クロック選択時	122 μs (32.768 kHz動作時)						
命令セット	<ul style="list-style-type: none"> ・16ビット演算 ・乗除算(8ビット×8ビット, 16ビット÷8ビット) ・ビット操作(セット, リセット, テスト, ブール演算) ・BCD補正 など 							
I/Oポート	合計 : 68本 <ul style="list-style-type: none"> ・CMOS入力 : 2本 ・CMOS入出力 : 62本 ・N-chオープン・ドレイン入出力 : 4本 							
A/Dコンバータ	8ビット分解能×8チャンネル							
★	動作電圧範囲	V _{DD} = 1.8~5.5 V					V _{DD} = 2.7~5.5 V	
D/Aコンバータ	8ビット分解能×2チャンネル							
★	動作電圧範囲	V _{DD} = 1.8~5.5 V					V _{DD} = 2.7~5.5 V	
シリアル・インタフェース	<ul style="list-style-type: none"> ・3線式シリアルI/O/2線式シリアルI/O/I²Cバス・モード選択可能 : 1チャンネル ・3線式シリアルI/Oモード(最大32バイト自動送受信機能内蔵) : 1チャンネル ・3線式シリアルI/O/UARTモード(時分割転送機能内蔵)選択可能 : 1チャンネル 							
タイマ	<ul style="list-style-type: none"> ・16ビット・タイマ/イベント・カウンタ : 1チャンネル ・8ビット・タイマ/イベント・カウンタ : 2チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 							
タイマ出力	3本(14ビットPWM出力可能: 1本)							
クロック出力	19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック: 5.0 MHz動作時) 32.768 kHz(サブシステム・クロック: 32.768 kHz動作時)							

注1. メモリ・サイズ切り替えレジスタ(IMS)により, フラッシュ・メモリ容量の変更可能。

2. 内部拡張RAMサイズ切り替えレジスタ(IXS)により, 内部拡張RAM容量の変更可能。

項目		品名					
		μPD780053Y, 780053Y(A)	μPD780054Y, 780054Y(A)	μPD780055Y, 780055Y(A)	μPD780056Y, 780056Y(A)	μPD780058BY, 780058BY(A)	μPD78F0058Y
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz(メイン・システム・クロック: 5.0 MHz動作時)					
ベクタ 割り込み	マスカブル	内部: 13, 外部: 6					
	ノンマスカブル	内部: 1					
要因	ソフトウェア	1					
テスト入力		内部: 1本, 外部: 1本					
電源電圧		V _{DD} = 1.8~5.5 V					V _{DD} = 2.7 ^注 ~5.5 V
動作周囲温度		T _A = -40~+85 °C					
パッケージ		・ 80ピン・プラスチックQFP(14x14) ・ 80ピン・プラスチックTQFP(ファインピッチ)(12x12)					

注 V_{DD} = 2.2 V対応で供給することも可能です。当社販売員にご相談ください。

次にタイマの概要を示します。

		16ビット・タイマ/イベント・カウンタ	8ビット・タイマ/イベント・カウンタ	時計用タイマ	ウォッチドッグ・タイマ
動作	インターバル・タイマ	2チャンネル ^{注3}	2チャンネル	1チャンネル ^{注1}	1チャンネル ^{注2}
モード	外部イベント・カウンタ	○	○	—	—
機能	タイマ出力	○	○	—	—
	PWM出力	○	—	—	—
	パルス幅測定	○	—	—	—
	方形波出力	○	○	—	—
	ワンショット・パルス出力	○	—	—	—
	割り込み要求	○	○	○	○
	テスト入力	—	—	○	—

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。
3. キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01)をとともにコンペア・レジスタに指定したとき。

2.8 マスク・オプションについて

マスクROM製品(μPD780053Y, 780053Y(A), 780054Y, 780054Y(A), 780055Y, 780055Y(A), 780056Y, 780056Y(A), 780058BY, 780058BY(A))には、マスク・オプションがあります。オーダーの際にマスク・オプションを指定することにより、表2-1に示すプルアップ抵抗を内蔵できます。プルアップ抵抗が必要なとき、マスク・オプションを利用すると、部品点数の削減と実装面積の縮小ができます。

μPD780058Yサブシリーズで用意されているマスク・オプションを表2-1に示します。

表2-1 マスクROM製品のマスク・オプション

端子名	マスク・オプション
P60-P63	1ビット単位でプルアップ抵抗を内蔵できます。

2.9 標準品と(A)製品との違い

μPD780058Yサブシリーズの(A)製品(μPD780053Y(A), 780054Y(A), 780055Y(A), 780056Y(A), 780058BY(A))は、標準品(μPD780053Y, 780054Y, 780055Y, 780056Y, 780058BY)より検査項目を増やして、信頼性を上げた製品です。(A)製品の機能や電気的特性は、標準品と同じです。

表2-2 標準品と(A)製品との違い

項目	品名	標準品	(A)製品
品質水準		標準(一般電子機器用)	特別(高信頼度電子機器用)

第3章 端子機能(μPD780058サブシリーズ)

3.1 端子機能一覧

(1) ポート端子(1/3)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入力	ポート0。	入力専用。	入力	INTP0/TI00
P01	入出力	7ビット入出力ポート。	1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	INTP1/TI01
P02					INTP2
P03					INTP3
P04					INTP4
P05					INTP5
P07 ^{注1}	入力		入力専用。	入力	XT1
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 ^{注2}		入力	ANI0-ANI7
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	SI1
P21					SO1
P22					SCK1
P23					STB/TxD1
P24					BUSY/RxD1
P25					SI0/SB0
P26					SO0/SB1
P27					SCK0

注1. P07/XT1端子を入力ポートとして使用するとき、プロセッサ・クロック・コントロール・レジスタ(PCC)のビット6(FRC)に1を設定してください(サブシステム・クロック発振回路の内蔵フィードバック抵抗は使用しないでください)。

2. P10/ANI0-P17/ANI7端子をA/Dコンバータのアナログ入力として使用するとき、ポート1を入力モードにしてください。なお、内蔵プルアップ抵抗は自動的に使用されなくなります。

(1) ポート端子(2/3)

端子名称	入出力	機 能		リセット時	兼用端子
P30	入出力	ポート3。		入力	TO0
P31		8ビット入出力ポート。			TO1
P32		1ビット単位で入力/出力の指定可能。			TO2
P33		入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			TI1
P34					TI2
P35					PCL
P36					BUZ
P37					—
P40-P47	入出力	ポート4。 8ビット入出力ポート。 8ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、テスト入力フラグ(KRIF)を1にセット。		入力	AD0-AD7
P50-P57	入出力	ポート5。 8ビット入出力ポート。 LEDを直接駆動可能。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	A8-A15
P60	入出力	ポート6。		入力	—
P61		8ビット入出力ポート。			
P62		1ビット単位で入力/出力の指定可能。			
P63		N-chオープン・ドレイン入出力ポート。マスクROM製品のみ、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。LEDを直接駆動可能。			
P64		入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			RD
P65					WR
P66					WAIT
P67					ASTB
P70	入出力	ポート7。		入力	SI2/RxD0
P71		3ビット入出力ポート。			SO2/TxD0
P72		1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			SCK2/ASCK

(1) ポート端子(3/3)

端子名称	入出力	機能	リセット時	兼用端子
P120-P127	入出力	ポート12。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	RTP0-RTP7
P130, P131	入出力	ポート13。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	ANO0, ANO1

(2) ポート以外の端子(1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ(立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ)指定可能な外部割り込み要求入力。	入力	P00/TI00
INTP1				P01/TI01
INTP2				P02
INTP3				P03
INTP4				P04
INTP5				P05
SI0	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P25/SB0
SI1				P20
SI2				P70/RxD
SO0	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P26/SB1
SO1				P21
SO2				P71/TxD
SB0	入出力	シリアル・インタフェースのシリアル・データ入力/出力。	入力	P25/SI0
SB1				P26/SO0
SCK0	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入力	P27
SCK1				P22
SCK2				P72/ASCK
STB	出力	シリアル・インタフェース自動送受信ストロブ出力。	入力	P23/TxD1
BUSY	入力	シリアル・インタフェース自動送受信ビジー入力。	入力	P24/RxD1
RxD0	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P70/SI2
RxD1				P24/BUSY
TxD0	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P71/SO2
TxD1				P23/STB
ASCK	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P72/SCK2
TI00	入力	16ビット・タイマ(TM0)への外部カウント・クロック入力。	入力	P00/INTP0
TI01		キャプチャ・レジスタ(CR00)へのキャプチャ・トリガ信号入力。		P01/INTP1
TI1		8ビット・タイマ(TM1)への外部カウント・クロック入力。		P33
TI2		8ビット・タイマ(TM2)への外部カウント・クロック入力。		P34
TO0	出力	16ビット・タイマ(TM0)出力(14ビットPWM出力と兼用)。	入力	P30
TO1		8ビット・タイマ(TM1)出力。		P31
TO2		8ビット・タイマ(TM2)出力。		P32
PCL	出力	クロック出力(メイン・システム・クロック, サブシステム・クロックのトリミング用)。	入力	P35
BUZ	出力	ブザー出力。	入力	P36
RTP0-RTP7	出力	トリガに同期してデータを出力するリアルタイム出力ポート。	入力	P120-P127
AD0-AD7	入出力	外部にメモリを拡張する場合の, 下位アドレス/データ・バス。	入力	P40-P47
A8-A15	出力	外部にメモリを拡張する場合の, 上位アドレス・バス。	入力	P50-P57

(2) ポート以外の端子(2/2)

端子名称	入出力	機能	リセット時	兼用端子
\overline{RD}	出力	外部メモリのリード動作用ストロブ信号出力。	入力	P64
\overline{WR}		外部メモリのライト動作用ストロブ信号出力。		P65
\overline{WAIT}	入力	外部メモリ・アクセス時のウエイト挿入。	入力	P66
ASTB	出力	外部メモリをアクセスするために、ポート4、ポート5に出力されるアドレス情報を外部でラッチするストロブ出力。	入力	P67
ANI0-ANI7	入力	A/Dコンバータのアナログ入力。	入力	P10-P17
ANO0, ANO1	出力	D/Aコンバータのアナログ出力。	入力	P130, P131
AV _{REF0}	入力	A/Dコンバータの基準電圧入力(アナログ電源と兼用)。	—	—
AV _{REF1}	入力	D/Aコンバータの基準電圧入力。	—	—
AV _{SS}	—	A/Dコンバータ、D/Aコンバータのグラウンド電位。V _{SS0} と同電位で使用してください。	—	—
\overline{RESET}	入力	システム・リセット入力。	—	—
X1	入力	メイン・システム・クロック発振用クリスタル接続。	—	—
X2	—		—	—
XT1	入力	サブシステム・クロック発振用クリスタル接続。	入力	P07
XT2	—		—	—
V _{DD0}	—	ポート部の正電源。	—	—
V _{SS0}	—	ポート部のグラウンド電位。	—	—
V _{DD1}	—	正電源(ポート、アナログ部を除く)。	—	—
V _{SS1}	—	グラウンド電位(ポート、アナログ部を除く)。	—	—
V _{PP}	—	プログラム書き込み/ベリファイ時の高電圧印加。	—	—
IC	—	内部接続されています。V _{SS0} に直接接続してください。	—	—

3.2 端子機能の説明

3.2.1 P00-P05, P07 (Port0)

7ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、タイマへの外部カウント・クロック入力、キャプチャ・トリガ信号入力、サブシステム・クロック発振用クリスタル接続機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P00, P07は入力専用ポート, P01-P05は入出力ポートとして機能します。

P01-P05はポート・モード・レジスタ0 (PM0)により, 1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタL (PUOL)により, 内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力, タイマへの外部カウント・クロック入力, サブシステム・クロック発振用クリスタル接続として機能します。

(a) INTP0-INTP5

INTP0-INTP5は, 有効エッジ(立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下りの両エッジ)指定可能な外部割り込み要求入力端子です。また, INTP0, INTP1は, 有効エッジの入力により, 16ビット・タイマ/イベント・カウンタのキャプチャ・トリガ信号入力端子にもなります。

(b) TI00

16ビット・タイマ/イベント・カウンタへの外部カウント・クロック入力端子です。

(c) TI01

16ビット・タイマ/イベント・カウンタのキャプチャ・レジスタ(CR00)へのキャプチャ・トリガ信号入力端子です。

(d) XT1

サブシステム・クロック発振用クリスタル接続端子です。

3.2.2 P10-P17(Port1)

8ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。
1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1)により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7)として機能します。アナログ入力として指定した端子は、内蔵プルアップ抵抗が自動的に使用されなくなります。

3.2.3 P20-P27(Port2)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力、自動送受信用ビジィ入力、ストローブ出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2)により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、自動送受信用ビジィ入力、ストローブ出力として機能します。

(a) SI0, SI1, SO0, SO1

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) SB0, SB1

NEC標準シリアル・バス・インタフェース用入出力端子です。

(d) BUSY

シリアル・インタフェース自動送受信用ビジィ入力端子です。

(e) STB

シリアル・インタフェース自動送受信用ストローブ出力端子です。

(f) RxD1, TxD1

アシンクロナス・シリアル・インタフェースのシリアル・データの入出力端子です。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図16-4 シリアル動作モード・レジスタ0のフォーマット、図18-3 シリアル動作モード・レジスタ1のフォーマット、表19-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

3.2.4 P30-P37 (Port3)

8ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、クロック出力、ブザー出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3)により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、クロック出力、ブザー出力として機能します。

(a) TI1, TI2

8ビット・タイマ/イベント・カウンタへの外部カウント・クロック入力端子です。

(b) T00-T02

タイマ出力端子です。

(c) PCL

クロック出力端子です。

(d) BUZ

ブザー出力端子です。

3.2.5 P40-P47(Port4)

8ビットの入出力ポートです。入出力ポートのほかにアドレス/データ・バス機能があります。立ち下がリエッジの検出により、テスト入力フラグ(KRIF)を1にセットできます。8ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。メモリ拡張モード・レジスタ(MM)により、8ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL(PUOL)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の下位アドレス/データ・バス端子(AD0-AD7)として機能します。アドレス/データ・バスとして使用した端子は、内蔵プルアップ抵抗が自動的に使用されなくなります。

3.2.6 P50-P57(Port5)

8ビットの入出力ポートです。入出力ポートのほかにアドレス・バス機能があります。LEDを直接駆動可能です。1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ5(PM5)により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL(PUOL)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の上位アドレス・バス端子(A8-A15)として機能します。アドレス・バスとして使用した端子は、内蔵プルアップ抵抗が自動的に使用されなくなります。

3.2.7 P60-P67(Port6)

8ビットの入出力ポートです。入出力ポートのほかに外部メモリ拡張モード時の制御機能があります。P60-P63はLEDを直接駆動可能です。1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6)により、1ビット単位で入力ポートまたは出力ポートに指定できます。

P60-P63はN-chオープン・ドレインになっています。マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵ができます。

P64-P67を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の制御信号出力端子(\overline{RD} , \overline{WR} , \overline{WAIT} , \overline{ASTB})として機能します。制御信号出力として使用した端子は、内蔵プルアップ抵抗が自動的に使用されなくなります。

注意 外部メモリ拡張モード時で外部ウエイトを使用しないときは、P66を入出力ポートとして使用できます。

3.2.8 P70-P72 (Port7)

3ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7)により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI2, SO2

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{SCK2}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) RxD0, TxD0

アシンクロナス・シリアル・インタフェースのシリアル・データの入出力端子です。

(d) ASCK

アシンクロナス・シリアル・インタフェースのシリアル・クロックの入力端子です。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表19-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

3.2.9 P120-P127 (Port12)

8ビットの入出力ポートです。入出力ポートのほかにリアルタイム出力ポート機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ12(PM12)により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタH(PUOH)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

トリガに同期してデータを出力するリアルタイム出力ポート(RTP0-RTP7)として機能します。

3.2.10 P130, P131 (Port13)

2ビットの入出力ポートです。入出力ポートのほかにD/Aコンバータのアナログ出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ13(PM13)により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタH(PUOH)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

D/Aコンバータのアナログ出力(ANO0, ANO1)として機能します。

注意 $AV_{REF1} < V_{DD0}$ でD/Aコンバータを1チャンネルのみで使用しているときは、アナログ出力として使用していない端子に、次に示すいずれかの処置をしてください。

- ・ポート・モード・レジスタ13(PM13)のPM13×ビットに1(入力モード)を設定して、 V_{SS0} に接続する。
- ・ポート・モード・レジスタ13(PM13)のPM13×ビットに0(出力モード)、出力ラッチに0を設定して、ロウ・レベルを出力する。

3.2.11 AVREF0

A/Dコンバータの基準電圧入力端子です。また、アナログ電源の機能を兼用していますので、A/Dコンバータを使用する場合は電源を供給してください。

- ★ A/Dコンバータを使用しない場合は、V_{DD0}またはV_{SS0}端子と同電位で使用してください。

3.2.12 AVREF1

D/Aコンバータの基準電圧入力端子です。

D/Aコンバータを使用しない場合は、V_{DD0}端子と同電位で使用してください。

3.2.13 AVSS

A/Dコンバータ、D/Aコンバータのグラウンド電位端子です。A/Dコンバータ、D/Aコンバータを使用しないときでも、常にV_{SS0}端子と同電位で使用してください。

3.2.14 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

3.2.15 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

3.2.16 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

3.2.17 VDD0, VDD1

V_{DD0}は、ポート部の正電源供給端子です。

V_{DD1}は、ポート、アナログ部以外の正電源供給端子です。

3.2.18 VSS0, VSS1

V_{SS0}は、ポート部のグラウンド電位端子です。

V_{SS1}は、ポート、アナログ部以外のグラウンド電位端子です。

3.2.19 VPP(フラッシュ・メモリ製品のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

★

以下のどちらかの端子処理をしてください。

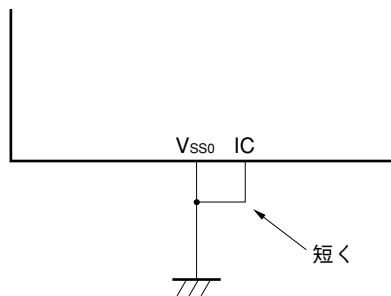
- 個別に10 kΩのプルダウン抵抗を接続する
- ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライターに、通常動作モード時はV_{SS0}に直接接続するように切り替える

3.2.20 IC(マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時に μPD780058サブシリーズを検査するテスト・モードに設定するための端子です。通常動作モード時には、IC端子をV_{SS0}端子に直接接続し、その配線長を極力短くしてください。

IC端子とV_{SS0}端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とV_{SS0}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

○IC端子をV_{SS0}端子に直接接続してください。



3.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表3-1に示します。

また、各タイプの入出力回路の構成は、図3-1を参照してください。

★

表3-1 各端子の入出力回路タイプ(1/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法	
P00/INTP0/TI00	2	入力	V _{SS0} に接続してください。	
P01/INTP1/TI01	8-C	入出力	入力時：個別に抵抗を介して、V _{SS0} に接続してください。 出力時：オープンにしてください。	
P02/INTP2				
P03/INTP3				
P04/INTP4				
P05/INTP5				
P07/XT1	16	入力	V _{DD0} に接続してください。	
P10/ANI0-P17/ANI7	11-D	入出力	入力時：個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。 出力時：オープンにしてください。	
P20/SI1	8-C	入出力		
P21/SO1	5-H			
P22/SCK1	8-C			
P23/STB/TxD1	5-H			
P24/BUSY/RxD1	8-C			
P25/SI0/SB0	10-B			
P26/SO0/SB1				
P27/SCK0				
P30/TO0	5-H			入出力
P31/TO1				
P32/TO2				
P33/TI1	8-C			入出力
P34/TI2				
P35/PCL	5-H			
P36/BUZ				
P37				
P40/AD0-P47/AD7	5-N	入出力	入力時：個別に抵抗を介して、V _{DD0} に接続してください。 出力時：オープンにしてください。	
P50/A8-P57/A15	5-H	入出力	入力時：個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。 出力時：オープンにしてください。	

★

表3-1 各端子の入出力回路タイプ(2/2)

★

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P60-P63(マスクROM製品)	13-J	入出力	入力時：個別に抵抗を介して、V _{DD0} に接続してください。 出力時：ポートに0を設定して、ロウ・レベル出力でオープンにしてください。
P60-P63(フラッシュ・メモリ製品)	13-K		
P64/ \overline{RD}	5-H	入出力	入力時：個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。 出力時：オープンにしてください。
P65/ \overline{WR}			
P66/ \overline{WAIT}			
P67/ \overline{ASTB}			
P70/SI2/RxD0	8-C	入出力	入力時：個別に抵抗を介して、V _{SS0} に接続してください。 出力時：オープンにしてください。
P71/SO2/TxD0	5-H		
P72/ $\overline{SCK2}$ / \overline{ASCK}	8-C		
P120/RTP0-P127/RTP7	5-H		
P130/ANO0, P131/ANO1	12-C		
\overline{RESET}	2	入力	—
XT2	16	—	オープンにしてください。
AV _{REF0}	—		V _{DD0} またはV _{SS0} に接続してください。
AV _{REF1}			V _{DD0} に接続してください。
AV _{SS}			V _{SS0} に接続してください。
IC(マスクROM製品)			V _{SS0} に直接接続してください。
V _{PP} (フラッシュ・メモリ製品)			個別に10 kΩのプルダウン抵抗を接続するか、V _{SS0} またはV _{SS1} に直接接続してください。

★

図3-1 端子の入出力回路一覧(1/2)

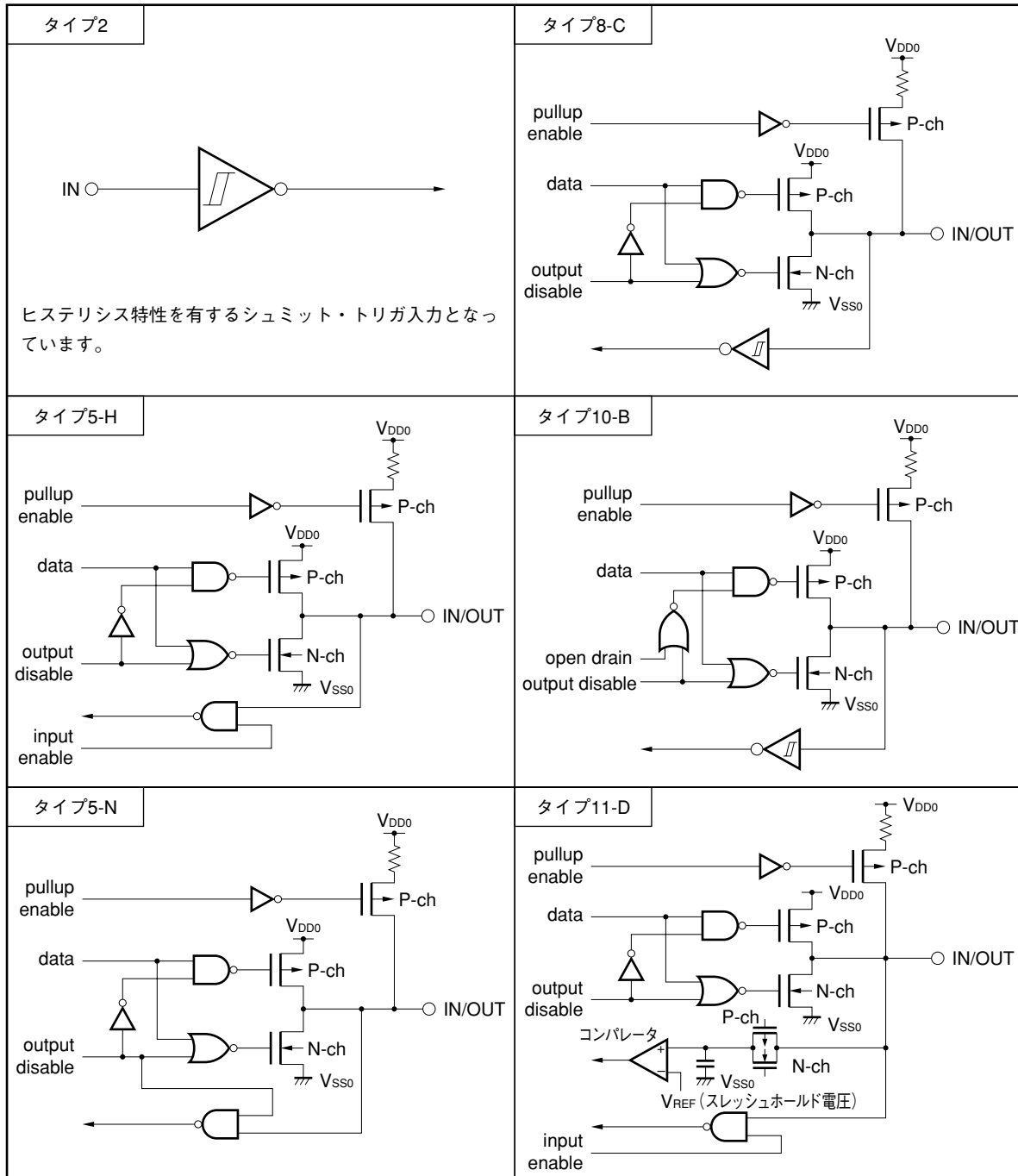
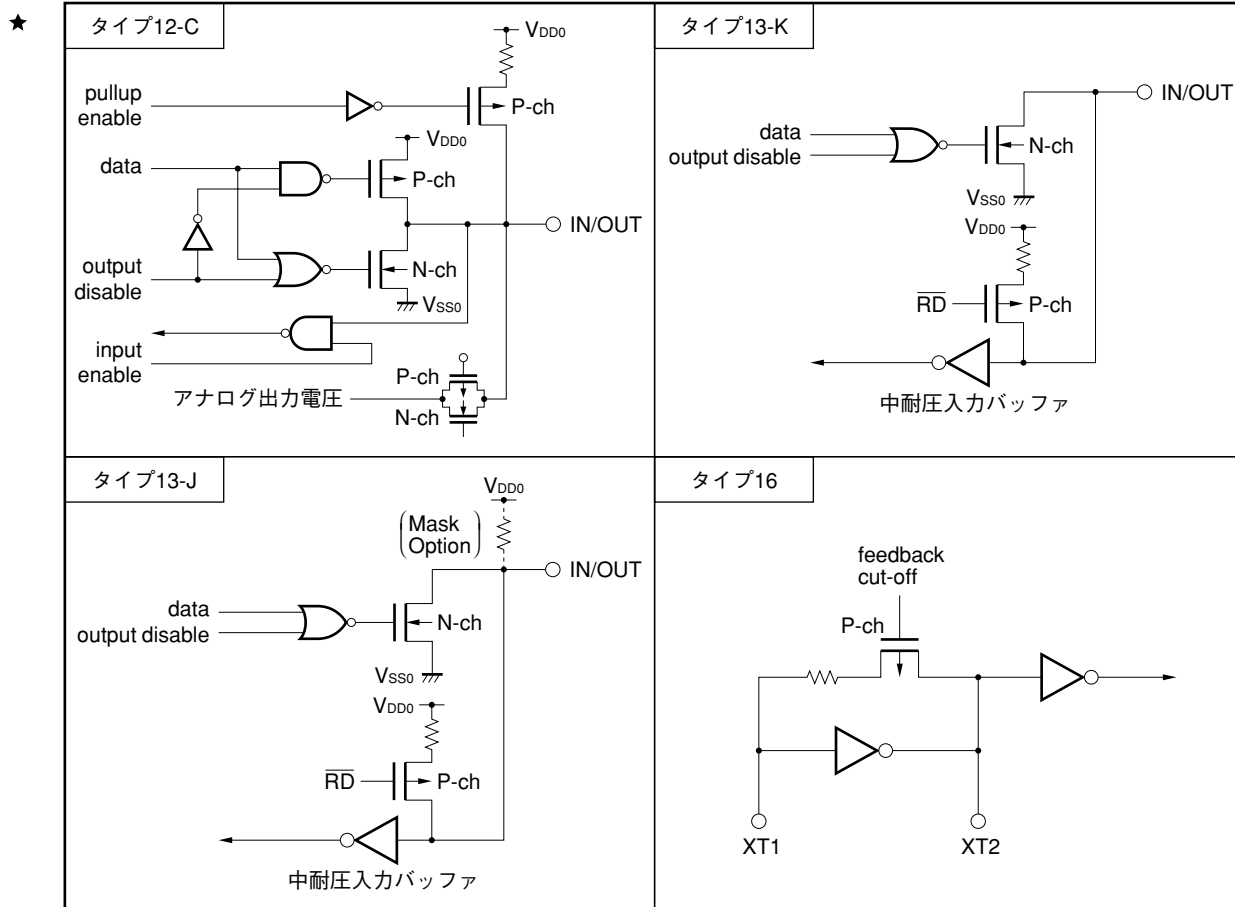


図3-1 端子の入出力回路一覧(2/2)



第4章 端子機能(μPD780058Yサブシリーズ)

4.1 端子機能一覧

(1) ポート端子(1/3)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入力	ポート0。	入力専用。	入力	INTP0/TI00
P01	入出力	7ビット入出力ポート。	1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	INTP1/TI01
P02					INTP2
P03					INTP3
P04					INTP4
P05					INTP5
P07 ^{注1}	入力		入力専用。	入力	XT1
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 ^{注2}		入力	ANI0-ANI7
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	SI1
P21					SO1
P22					SCK1
P23					STB/TxD1
P24					BUSY/RxD1
P25					SI0/SB0/SDA0
P26					SO0/SB1/SDA1
P27					SCK0/SCL

注1. P07/XT1端子を入力ポートとして使用するときは、プロセッサ・クロック・コントロール・レジスタ(PCC)のビット6(FRC)に1を設定してください(サブシステム・クロック発振回路の内蔵フィードバック抵抗は使用しないでください)。

2. P10/ANI0-P17/ANI7端子をA/Dコンバータのアナログ入力として使用する時、ポート1を入力モードにしてください。なお、内蔵プルアップ抵抗は自動的に使用されなくなります。

(1) ポート端子(2/3)

端子名称	入出力	機 能		リセット時	兼用端子
P30	入出力	ポート3。		入力	TO0
P31		8ビット入出力ポート。			TO1
P32		1ビット単位で入力/出力の指定可能。			TO2
P33		入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			TI1
P34					TI2
P35					PCL
P36					BUZ
P37					—
P40-P47	入出力	ポート4。 8ビット入出力ポート。 8ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、テスト入力フラグ(KRIF)を1にセット。		入力	AD0-AD7
P50-P57	入出力	ポート5。 8ビット入出力ポート。 LEDを直接駆動可能。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	A8-A15
P60	入出力	ポート6。		入力	—
P61		8ビット入出力ポート。			
P62		1ビット単位で入力/出力の指定可能。			
P63		N-chオープン・ドレイン入出力ポート。 マスクROM製品のみ、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。 LEDを直接駆動可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			RD
P64					WR
P65					WAIT
P66					ASTB
P67					
P70	入出力	ポート7。		入力	SI2/RxD0
P71		3ビット入出力ポート。			SO2/TxD0
P72		1ビット単位で入力/出力の指定可能。			$\overline{\text{SCK2/ASCK}}$
		入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			

(1) ポート端子(3/3)

端子名称	入出力	機能	リセット時	兼用端子
P120-P127	入出力	ポート12。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	RTP0-RTP7
P130, P131	入出力	ポート13。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	ANO0, ANO1

(2) ポート以外の端子(1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ(立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ)指定可能な外部割り込み要求入力。	入力	P00/TI00
INTP1				P01/TI01
INTP2				P02
INTP3				P03
INTP4				P04
INTP5				P05
SI0	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P25/SB0/SDA0
SI1				P20
SI2				P70/RxD
SO0	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P26/SB1/SDA1
SO1				P21
SO2				P71/TxD
SB0	入出力	シリアル・インタフェースのシリアル・データ入力/出力。	入力	P25/SI0/SDA0
SB1				P26/SO0/SDA1
SDA0				P25/SI0/SB0
SDA1				P26/SO0/SB1
$\overline{\text{SCK0}}$	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入力	P27/SCL
$\overline{\text{SCK1}}$				P22
$\overline{\text{SCK2}}$				P72/ASCK
SCL				P27/ $\overline{\text{SCK0}}$
STB	出力	シリアル・インタフェース自動送受信用ストローブ出力。	入力	P23/TxD1
BUSY	入力	シリアル・インタフェース自動送受信用ビジー入力。	入力	P24/RxD1
RxD0	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P70/SI2
RxD1				P24/BUSY
TxD0	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P71/SO2
TxD1				P23/STB
ASCK	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P72/SCK2
TI00	入力	16ビット・タイマ(TM0)への外部カウント・クロック入力。	入力	P00/INTP0
TI01		キャプチャ・レジスタ(CR00)へのキャプチャ・トリガ信号入力。		P01/INTP1
TI1		8ビット・タイマ(TM1)への外部カウント・クロック入力。		P33
TI2		8ビット・タイマ(TM2)への外部カウント・クロック入力。		P34
TO0	出力	16ビット・タイマ(TM0)出力(14ビットPWM出力と兼用)。	入力	P30
TO1		8ビット・タイマ(TM1)出力。		P31
TO2		8ビット・タイマ(TM2)出力。		P32
PCL	出力	クロック出力(メイン・システム・クロック, サブシステム・クロックのトリミング用)。	入力	P35

(2) ポート以外の端子(2/2)

端子名称	入出力	機能	リセット時	兼用端子
BUZ	出力	ブザー出力。	入力	P36
RTP0-RTP7	出力	トリガに同期してデータを出力するリアルタイム出力ポート。	入力	P120-P127
AD0-AD7	入出力	外部にメモリを拡張する場合の、下位アドレス/データ・バス。	入力	P40-P47
A8-A15	出力	外部にメモリを拡張する場合の、上位アドレス・バス。	入力	P50-P57
RD	出力	外部メモリのリード動作用ストロブ信号出力。	入力	P64
\overline{WR}		外部メモリのライト動作用ストロブ信号出力。		P65
\overline{WAIT}	入力	外部メモリ・アクセス時のウエイト挿入。	入力	P66
ASTB	出力	外部メモリをアクセスするために、ポート4、ポート5に出力されるアドレス情報を外部でラッチするストロブ出力。	入力	P67
ANI0-ANI7	入力	A/Dコンバータのアナログ入力。	入力	P10-P17
ANO0, ANO1	出力	D/Aコンバータのアナログ出力。	入力	P130, P131
AVREF0	入力	A/Dコンバータの基準電圧入力(アナログ電源と兼用)。	—	—
AVREF1	入力	D/Aコンバータの基準電圧入力。	—	—
AVSS	—	A/Dコンバータ、D/Aコンバータのグランド電位。V _{SS0} と同電位で使用してください。	—	—
\overline{RESET}	入力	システム・リセット入力。	—	—
X1	入力	メイン・システム・クロック発振用クリスタル接続。	—	—
X2	—		—	—
XT1	入力	サブシステム・クロック発振用クリスタル接続。	入力	P07
XT2	—		—	—
V _{DD0}	—	ポート部の正電源。	—	—
V _{SS0}	—	ポート部のグランド電位。	—	—
V _{DD1}	—	正電源(ポート、アナログ部を除く)。	—	—
V _{SS1}	—	グランド電位(ポート、アナログ部を除く)。	—	—
V _{PP}	—	プログラム書き込み/ベリファイ時の高電圧印加。	—	—
V _{SS}	—	グランド電位。	—	—
IC	—	内部接続されています。V _{SS0} に直接接続してください。	—	—

4.2 端子機能の説明

4.2.1 P00-P05, P07 (Port0)

7ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、タイマへの外部カウント・クロック入力、キャプチャ・トリガ信号入力、サブシステム・クロック発振用クリスタル接続機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P00, P07は入力専用ポート、P01-P05は入出力ポートとして機能します。

P01-P05はポート・モード・レジスタ0 (PM0)により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマへの外部カウント・クロック入力、サブシステム・クロック発振用クリスタル接続として機能します。

(a) INTP0-INTP5

INTP0-INTP5は、有効エッジ(立ち上がりエッジ、立ち下がりエッジ、立ち上がりおよび立ち下がりの両エッジ)指定可能な外部割り込み要求入力端子です。また、INTP0, INTP1は、有効エッジの入力により、16ビット・タイマ/イベント・カウンタのキャプチャ・トリガ信号入力端子にもなります。

(b) TI00

16ビット・タイマ/イベント・カウンタへの外部カウント・クロック入力端子です。

(c) TI01

16ビット・タイマ/イベント・カウンタのキャプチャ・レジスタ(CR00)へのキャプチャ・トリガ信号入力端子です。

(d) XT1

サブシステム・クロック発振用クリスタル接続端子です。

4.2.2 P10-P17(Port1)

8ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1)により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子(ANI0-ANI7)として機能します。アナログ入力として指定した端子は、内蔵プルアップ抵抗が自動的に使用されなくなります。

4.2.3 P20-P27(Port2)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力、自動送受信用ビジィ入力、ストロープ出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2)により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、自動送受信用ビジィ入力、ストロープ出力として機能します。

(a) SI0, SI1, SO0, SO1, SB0, SB1, SDA0, SDA1

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$, SCL

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) BUSY

シリアル・インタフェース自動送受信用ビジィ入力端子です。

(d) STB

シリアル・インタフェース自動送受信ストローブ出力端子です。

(e) RxD1, TxD1

アシンクロナス・シリアル・インタフェースのシリアル・データの入出力端子です。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図17-4 シリアル動作モード・レジスタ0のフォーマット、図18-3 シリアル動作モード・レジスタ1のフォーマット、表19-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

4.2.4 P30-P37 (Port3)

8ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、クロック出力、ブザー出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3)により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、クロック出力、ブザー出力として機能します。

(a) TI1, TI2

8ビット・タイマ/イベント・カウンタへの外部カウント・クロック入力端子です。

(b) TO0-TO2

タイマ出力端子です。

(c) PCL

クロック出力端子です。

(d) BUZ

ブザー出力端子です。

4.2.5 P40-P47 (Port4)

8ビットの入出力ポートです。入出力ポートのほかにアドレス/データ・バス機能があります。

立ち下がりエッジの検出により、テスト入力フラグ(KRIF)を1にセットできます。

8ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。メモリ拡張モード・レジスタ(MM)により、8ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL(PUOL)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の下位アドレス/データ・バス端子(AD0-AD7)として機能します。アドレス/データ・バスとして使用した端子は、内蔵プルアップ抵抗が自動的に使用されなくなります。

4.2.6 P50-P57 (Port5)

8ビットの入出力ポートです。入出力ポートのほかにアドレス・バス機能があります。

LEDを直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ5(PM5)により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL(PUOL)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の上位アドレス・バス端子(A8-A15)として機能します。アドレス・バスとして使用した端子は、内蔵プルアップ抵抗が自動的に使用されなくなります。

4.2.7 P60-P67 (Port6)

8ビットの入出力ポートです。入出力ポートのほかに外部メモリ拡張モード時の制御機能があります。

P60-P63はLEDを直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6)により、1ビット単位で入力ポートまたは出力ポートに指定できます。

P60-P63はN-chオープン・ドレインになっています。マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵ができます。

P64-P67を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の制御信号出力端子(\overline{RD} , \overline{WR} , \overline{WAIT} , ASTB)として機能します。制御信号出力として使用した端子は、内蔵プルアップ抵抗が自動的に使用されなくなります。

注意 外部メモリ拡張モード時で外部ウエイトを使用しないときは、P66を入力ポートとして使用できます。

4.2.8 P70-P72 (Port7)

3ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7)により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI2, SO2

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{SCK2}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) RxD0, TxD0

アシンクロナス・シリアル・インタフェースのシリアル・データの入出力端子です。

(d) ASCK

アシンクロナス・シリアル・インタフェースのシリアル・クロックの入力端子です。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表19-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

4.2.9 P120-P127 (Port12)

8ビットの入出力ポートです。入出力ポートのほかにリアルタイム出力ポート機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ12(PM12)により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタH(PUOH)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

トリガに同期してデータを出力するリアルタイム出力ポート(RTP0-RTP7)として機能します。

4.2.10 P130, P131 (Port13)

2ビットの入出力ポートです。入出力ポートのほかにD/Aコンバータのアナログ出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ13(PM13)により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタH(PUOH)により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

D/Aコンバータのアナログ出力(ANO0, ANO1)として機能します。

注意 $AV_{REF1} < V_{DD0}$ でD/Aコンバータを1チャンネルのみで使用しているときは、アナログ出力として使用していない端子に、次に示すいずれかの処置をしてください。

- ・ポート・モード・レジスタ13(PM13)のPM13×ビットに1(入力モード)を設定して、 V_{SS0} に接続する。
- ・ポート・モード・レジスタ13(PM13)のPM13×ビットに0(出力モード)、出力ラッチに0を設定して、ロウ・レベルを出力する。

4.2.11 AVREF0

A/Dコンバータの基準電圧入力端子です。また、アナログ電源の機能を兼用していますので、A/Dコンバータを使用する場合は電源を供給してください。

★ A/Dコンバータを使用しない場合は、VDD0またはVSS0端子と同電位で使用してください。

4.2.12 AVREF1

D/Aコンバータの基準電圧入力端子です。

D/Aコンバータを使用しない場合は、VDD0端子と同電位で使用してください。

4.2.13 AVSS

A/Dコンバータ、D/Aコンバータのグランド電位端子です。A/Dコンバータ、D/Aコンバータを使用しないときでも、常にVSS0端子と同電位で使用してください。

4.2.14 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

4.2.15 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

4.2.16 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

4.2.17 VDD0, VDD1

VDD0は、ポート部の正電源供給端子です。

VDD1は、ポート、アナログ部以外の正電源供給端子です。

4.2.18 VSS0, VSS1

VSS0は、ポート部のグランド電位端子です。

VSS1は、ポート、アナログ部以外のグランド電位端子です。

4.2.19 VPP(フラッシュ・メモリ製品のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

★

以下のどちらかの端子処理をしてください。

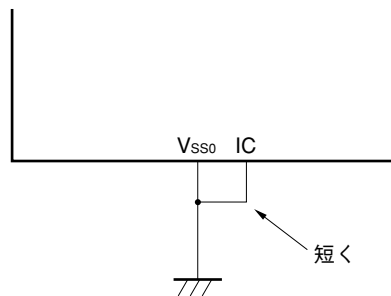
- 個別に10 kΩのプルダウン抵抗を接続する
- ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライターに、通常動作モード時はV_{SS0}に直接接続するように切り替える

4.2.20 IC(マスクROM製品のみ)

IC(Internally Connected)端子は、当社出荷時にμPD780058Yサブシリーズを検査するテスト・モードに設定するための端子です。通常動作モード時には、IC端子をV_{SS0}端子に直接接続し、その配線長を極力短くしてください。

IC端子とV_{SS0}端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とV_{SS0}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

○IC端子をV_{SS0}端子に直接接続してください。



4.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表4-1に示します。

また、各タイプの入出力回路の構成は、図4-1を参照してください。

★

表4-1 各端子の入出力回路タイプ(1/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法		
P00/INTP0/TI00	2	入力	V _{SS0} に接続してください。		
P01/INTP1/TI01	8-C	入出力	入力時：個別に抵抗を介して、V _{SS0} に接続してください。 出力時：オープンにしてください。		
P02/INTP2					
P03/INTP3					
P04/INTP4					
P05/INTP5					
P07/XT1	16	入力	V _{DD0} に接続してください。		
P10/ANI0-P17/ANI7	11-D	入出力	入力時：個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。 出力時：オープンにしてください。		
P20/SI1	8-C	入出力			
P21/SO1	5-H	入出力			
P22/SCK1	8-C				
P23/STB/TxD1	5-H				
P24/BUSY/RxD1	8-C				
P25/SI0/SB0/SDA0	10-B				
P26/SO0/SB1/SDA1					
P27/SCK0/SCL					
P30/TO0	5-H				
P31/TO1					
P32/TO2					
P33/TI1	8-C				
P34/TI2					
P35/PCL	5-H				
P36/BUZ					
P37					
P40/AD0-P47/AD7	5-N			入出力	入力時：個別に抵抗を介して、V _{DD0} に接続してください。 出力時：オープンにしてください。
P50/A8-P57/A15	5-H			入出力	入力時：個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。 出力時：オープンにしてください。

表4-1 各端子の入出力回路タイプ(2/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
★ P60-P63(マスクROM製品)	13-J	入出力	入力時：個別に抵抗を介して、V _{DD0} に接続してください。 出力時：ポートに0を設定し、ロウ・レベル出力でオープンにしてください。
P60-P63(フラッシュ・メモリ製品)	13-K		
P64/ $\overline{\text{RD}}$	5-H	入出力	入力時：個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。 出力時：オープンにしてください。
P65/ $\overline{\text{WR}}$			
P66/ $\overline{\text{WAIT}}$			
P67/ $\overline{\text{ASTB}}$			
P70/SI2/RxD0	8-C		
P71/SO2/TxD0	5-H		
P72/ $\overline{\text{SCK2}}$ /ASCK	8-C		
P120/RTP0-P127/RTP7	5-H		
P130/ANO0, P131/ANO1	12-C	入出力	入力時：個別に抵抗を介して、V _{SS0} に接続してください。 出力時：オープンにしてください。
$\overline{\text{RESET}}$	2	入力	—
XT2	16	—	オープンにしてください。
★ AV _{REF0}	—		V _{DD0} またはV _{SS0} に接続してください。
AV _{REF1}			V _{DD0} に接続してください。
AV _{SS}			V _{SS0} に接続してください。
IC(マスクROM製品)			V _{SS0} に直接接続してください。
V _{PP} (フラッシュ・メモリ製品)			個別に10 kΩのプルダウン抵抗を接続するか、V _{SS0} またはV _{SS1} に直接接続してください。

図4-1 端子の入出力回路一覧(1/2)

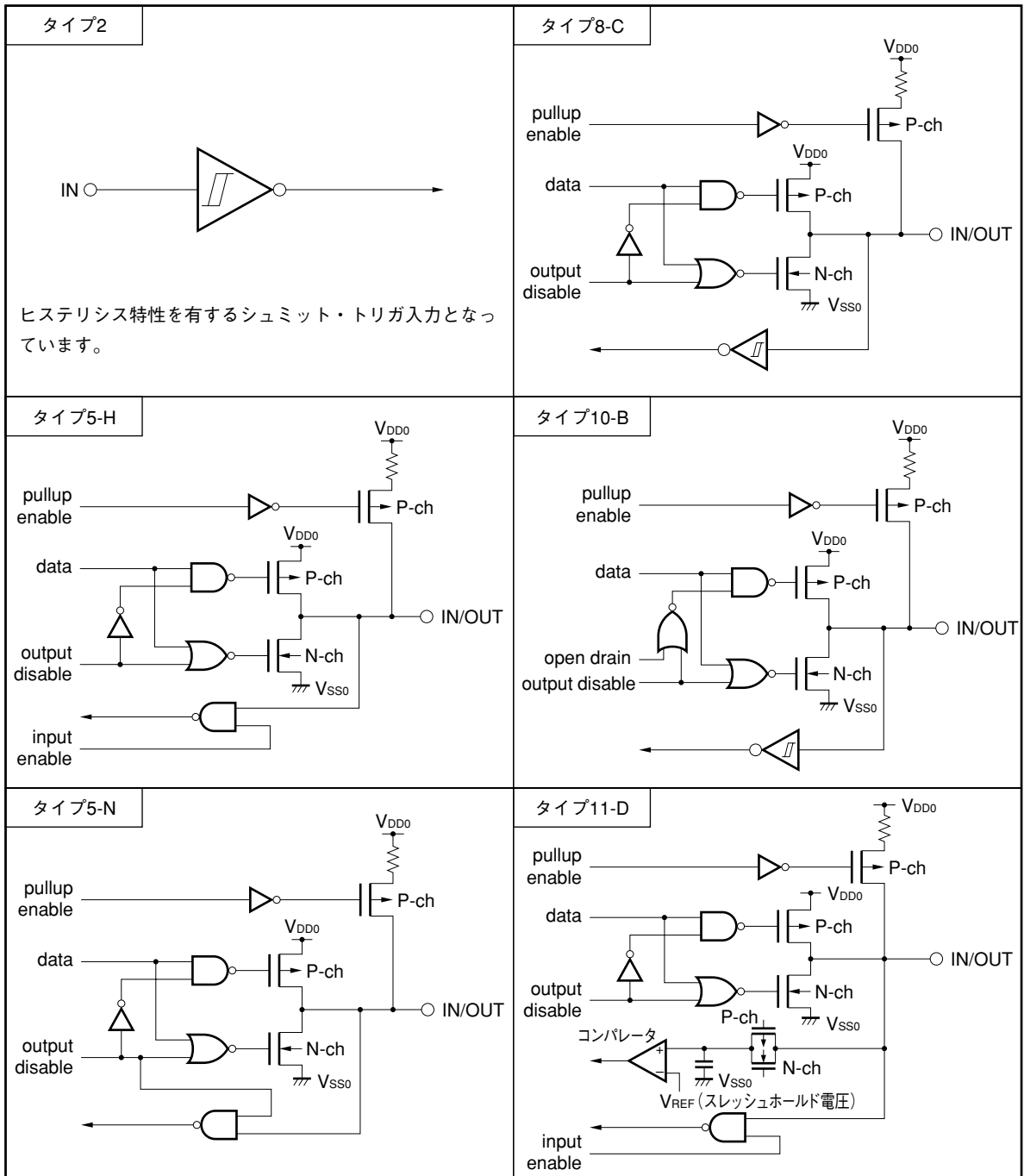
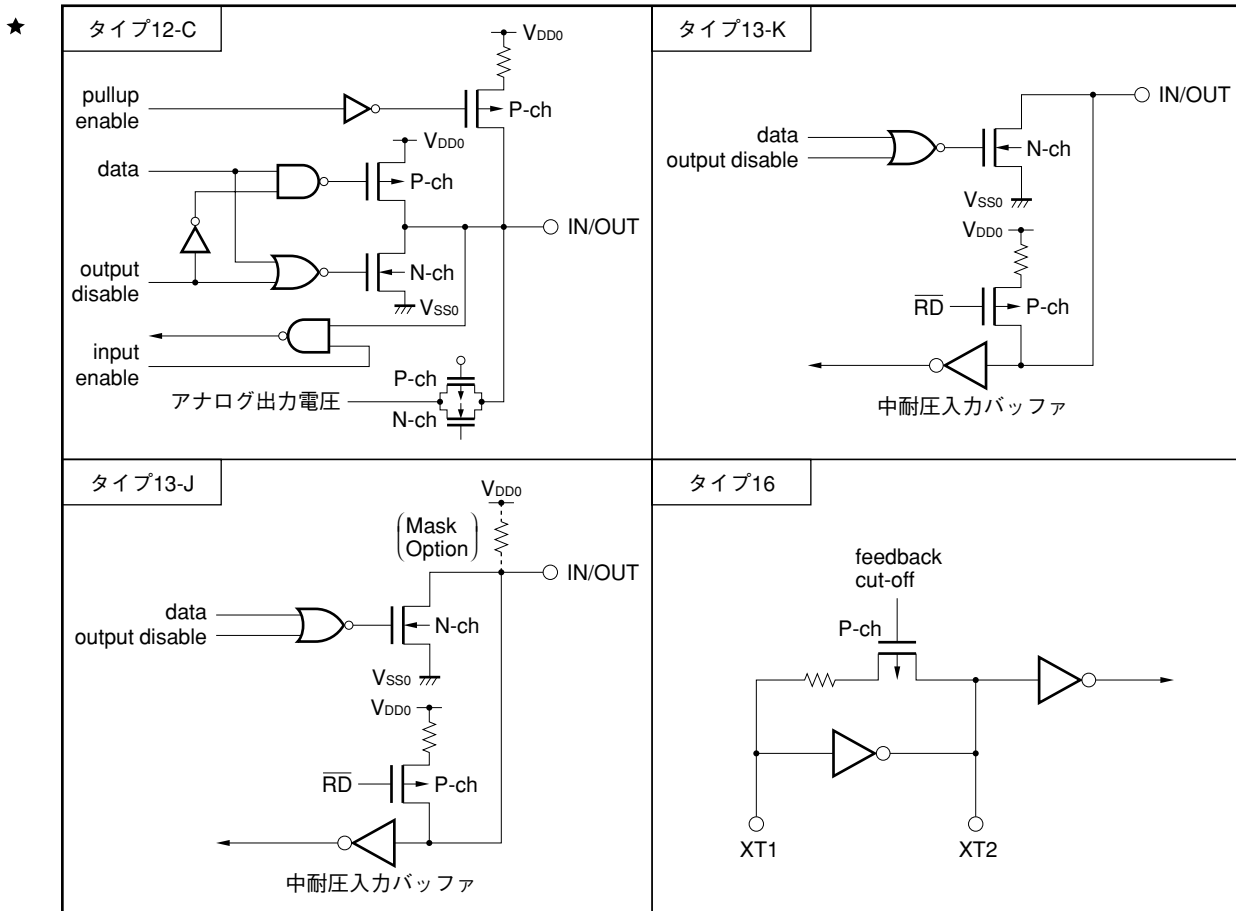


図4-1 端子の入出力回路一覧(2/2)



第5章 CPUアーキテクチャ

5.1 メモリ空間

図5-1から図5-6に、メモリ・マップを示します。

図5-1 メモリ・マップ(μ PD780053, 780053(A), 780053Y, 780053Y(A))

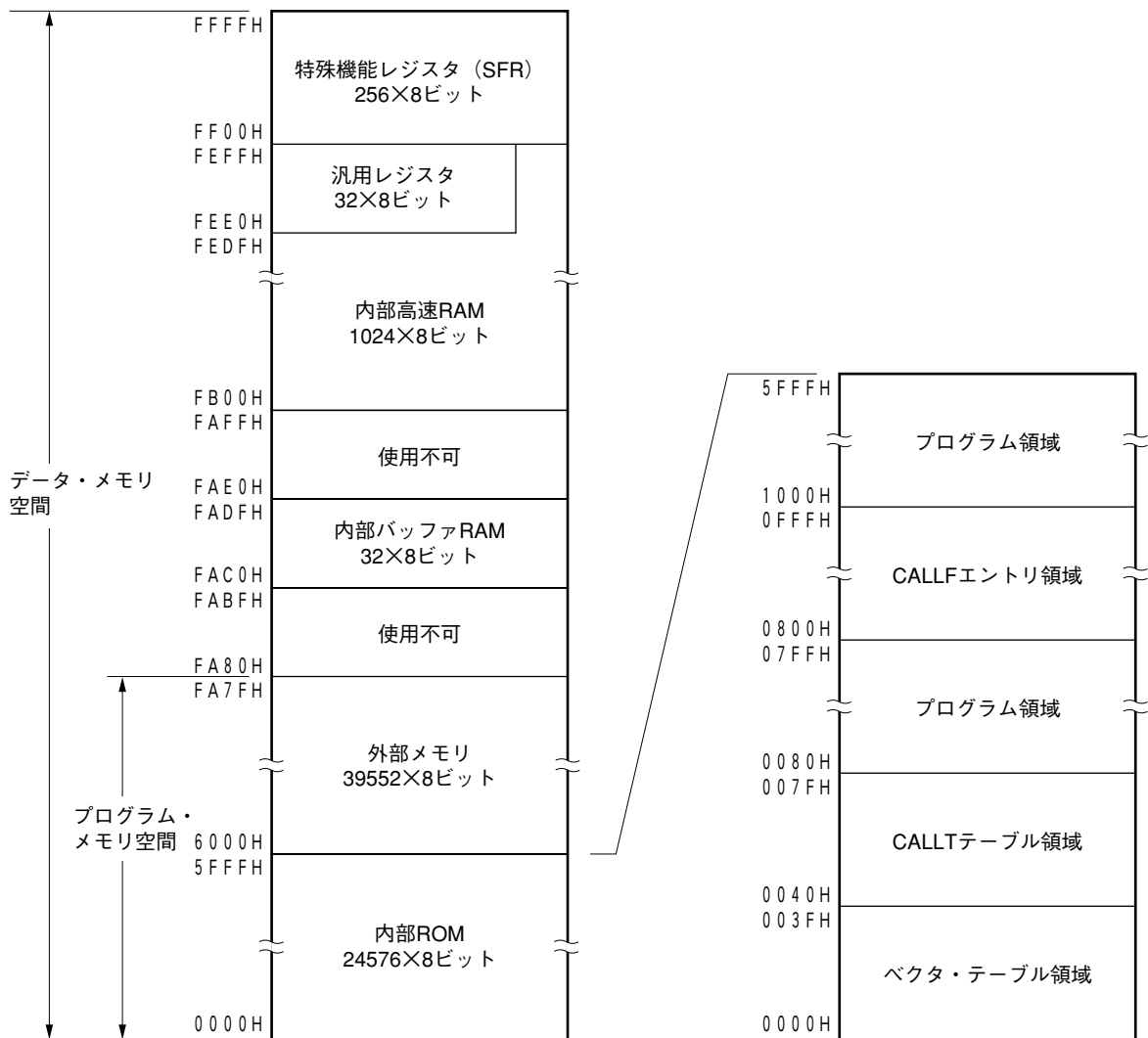


図5-2 メモリ・マップ(μPD780054, 780054(A), 780054Y, 780054Y(A))

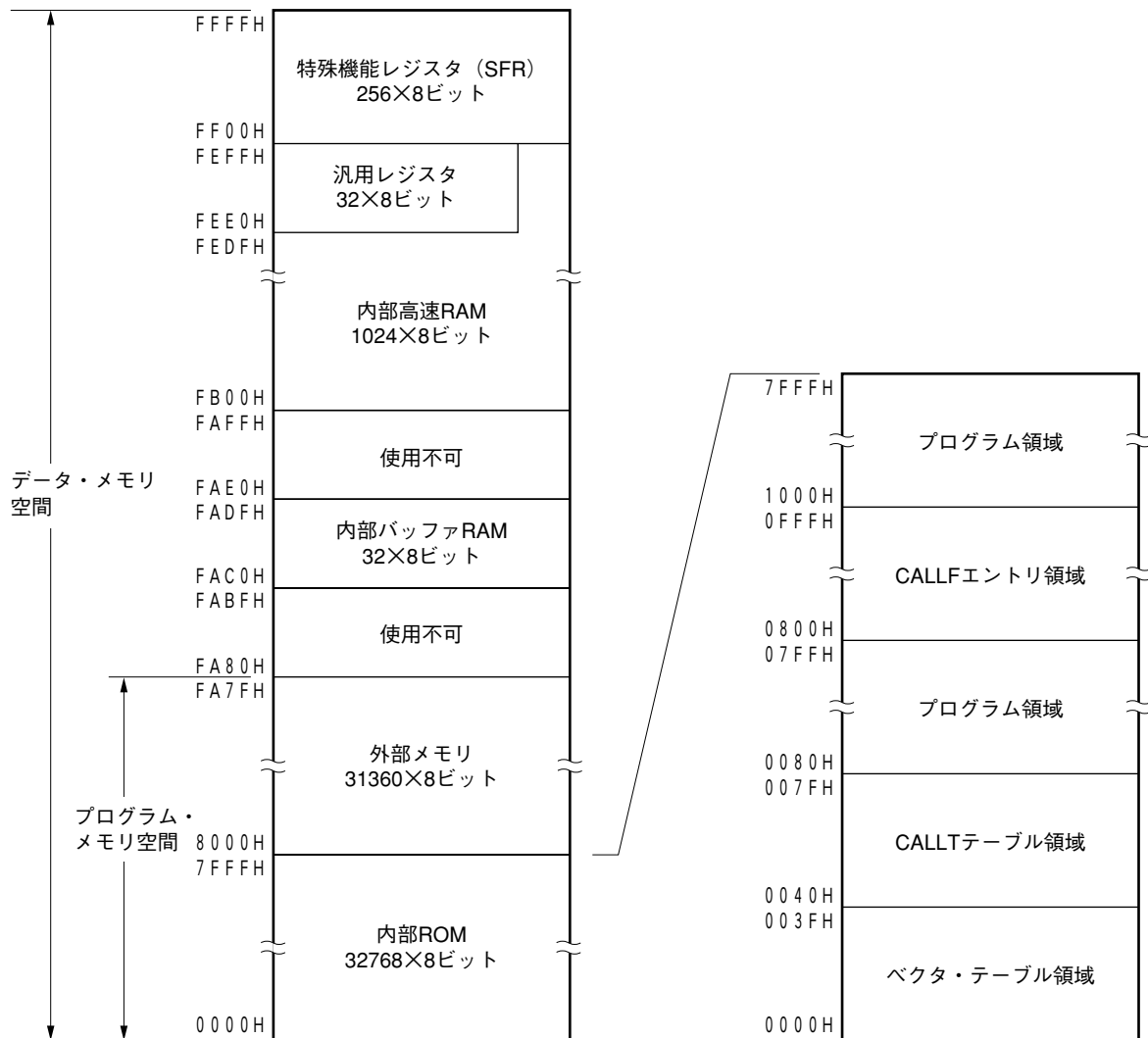


図5-3 メモリ・マップ(μPD780055, 780055(A), 780055Y, 780055Y(A))

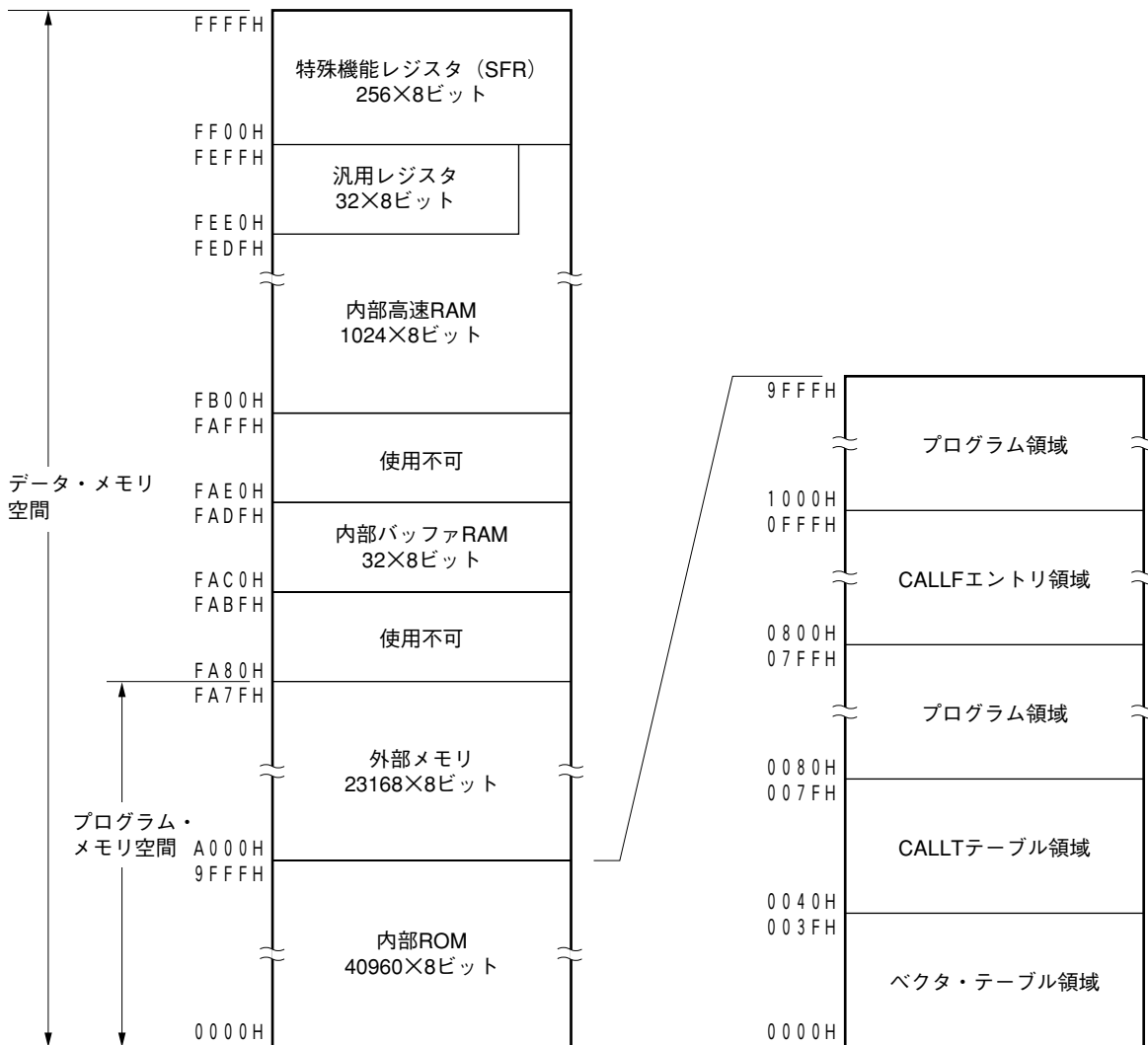


図5-4 メモリ・マップ(μPD780056, 780056(A), 780056Y, 780056Y(A))

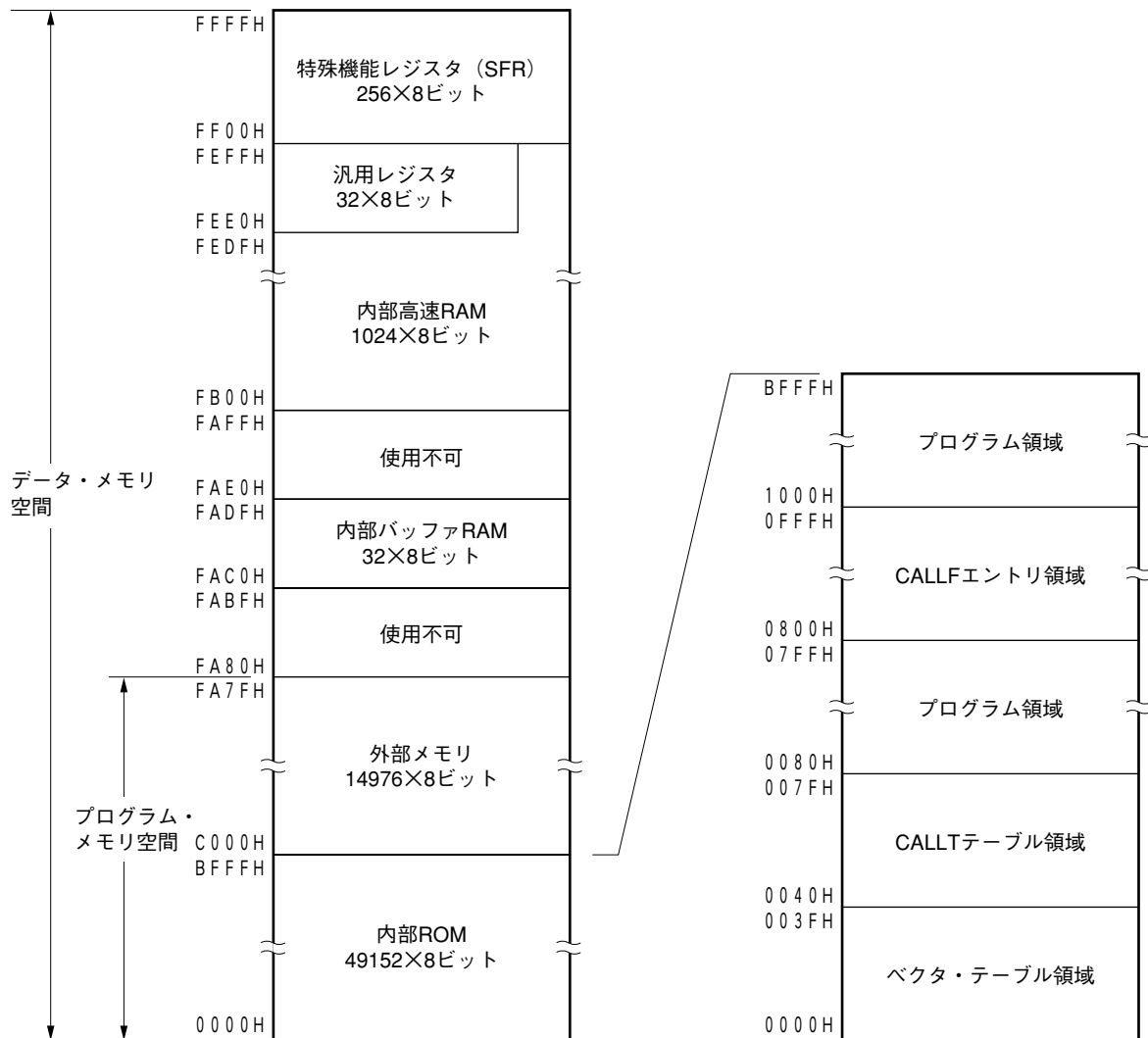
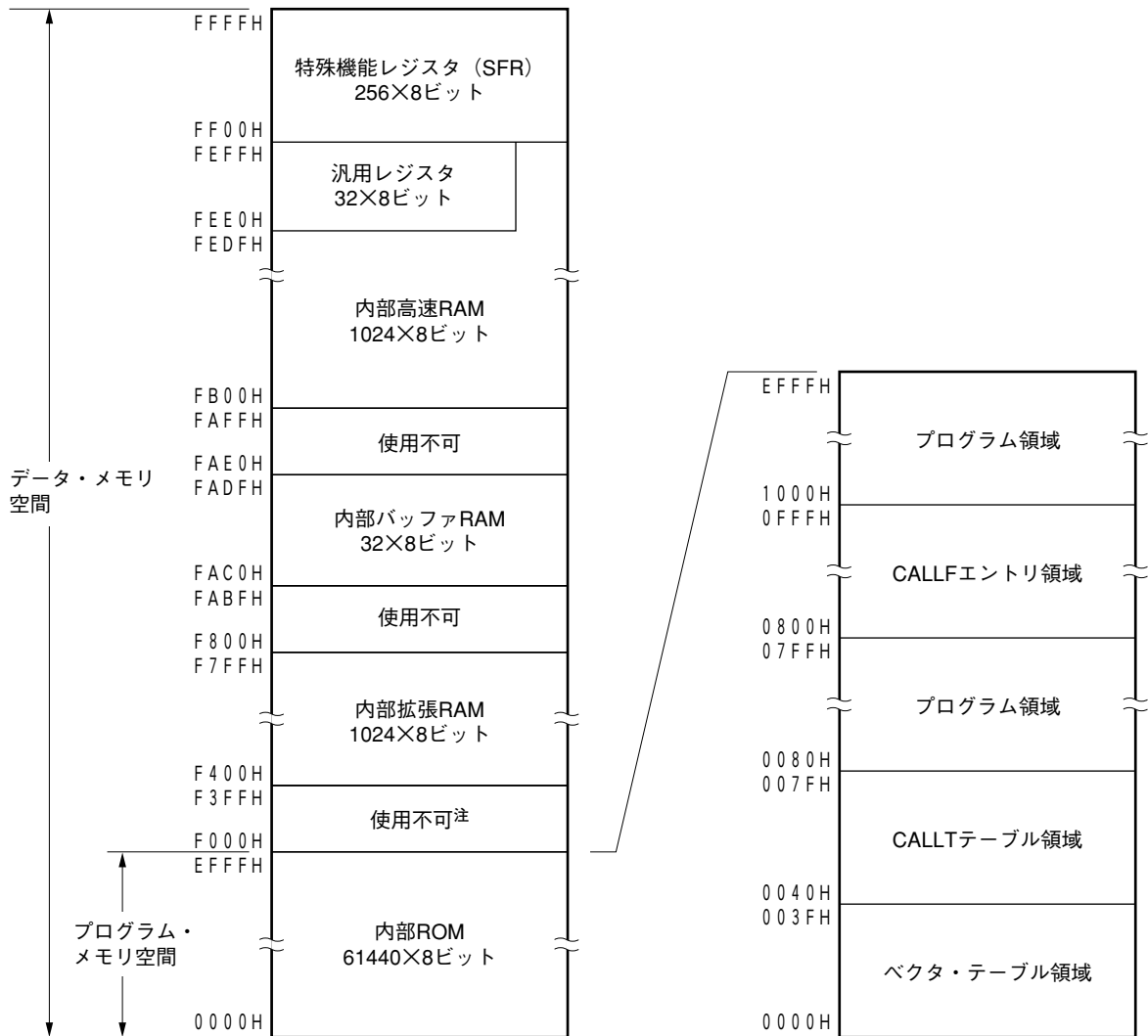
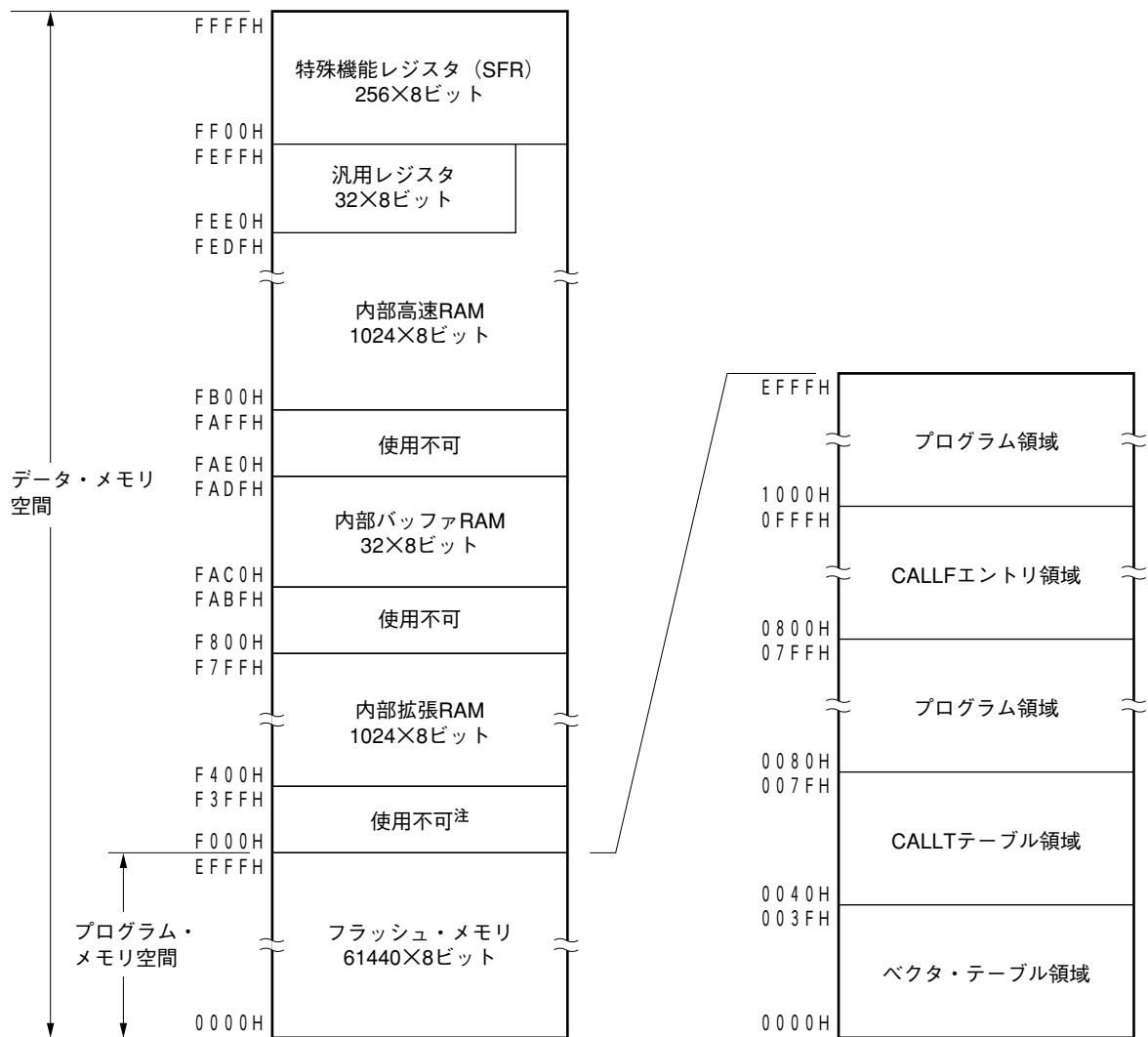


図5-5 メモリ・マップ(μPD780058, 780058B, 780058B(A), 780058BY, 780058BY(A))



注 内部ROMが60 Kバイトのとき、F000H-F3FFHの領域は使用できません。メモリ・サイズ切り替えレジスタ(IMS)で内部ROMを56 Kバイト以下に設定することにより、F000H-F3FFHを外部メモリとして使用できます。

図5-6 メモリ・マップ(μPD78F0058, 78F0058Y)



注 フラッシュ・メモリが60 Kバイトのとき、F000H-F3FFHの領域は使用できません。メモリ・サイズ切り替えレジスタ(IMS)でフラッシュ・メモリを56 Kバイト以下に設定することにより、F000H-F3FFHを外部メモリとして使用できます。

5.1.1 内部プログラム・メモリ空間

μ PD780053, 780053(A), 780053Y, 780053Y(A)は24576×8ビット、 μ PD780054, 780054(A), 780054Y, 780054Y(A)は32768×8ビット、 μ PD780055, 780055(A), 780055Y, 780055Y(A)は40960×8ビット、 μ PD780056, 780056(A), 780056Y, 780056Y(A)は49152×8ビット、 μ PD780058, 780058B, 780058B(A), 780058BY, 780058BY(A)は61440×8ビット構成のマスクROM、 μ PD78F0058, 78F0058Yは61440×8ビット構成のフラッシュ・メモリとなっています。プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、 $\overline{\text{RESET}}$ 入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうちの下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表5-1 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因
0000H	$\overline{\text{RESET}}$ 入力
0004H	INTWDT
0006H	INTP0
0008H	INTP1
000AH	INTP2
000CH	INTP3
000EH	INTP4
0010H	INTP5
0014H	INTCSI0
0016H	INTCSI1
0018H	INTSER
001AH	INTSR/INTCSI2
001CH	INTST
001EH	INTTM3
0020H	INTTM00
0022H	INTTM01
0024H	INTTM1
0026H	INTTM2
0028H	INTAD
003EH	BRK

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令(CALLT)のサブルーチン・エントリ・アドレスを格納できます。

(3) CALLF命令エントリ領域

0800H-0FFFFHの領域は、2バイト・コール命令(CALLF)で直接サブルーチン・コールできます。

5.1.2 内部データ・メモリ空間

μPD780058, 780058Yサブシリーズは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

FB00H-FEFFFHの1024×8ビット構成となっています。このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられています。

また、内部高速RAMはスタック・メモリ領域としても使用できます。

(2) 内部バッファRAM

FAC0H-FADFHの32バイトの領域には、内部バッファRAMが割り付けられています。内部バッファRAMは、シリアル・インタフェース・チャンネル1(自動送受信機能付き3線式シリアルI/Oモード)の送信/受信データを格納するために使用します。自動送受信機能付き3線式シリアルI/Oモードで使用しない場合は、内部バッファRAMは通常のRAMとしても使用できます。

(3) 内部拡張RAM

μPD780058, 780058B, 780058B(A), 780058BY, 780058BY(A), 78F0058, 78F0058Yのみ、F400H-F7FFFHの1024バイトの領域に、内部拡張RAMが割り付けられています。

5.1.3 特殊機能レジスタ(SFR: Special Function Register)領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ(SFR)が割り付けられています(5.2.3 特殊機能レジスタ(SFR: Special Function Register)の表5-2 特殊機能レジスタ一覧参照)。

注意 SFRを割り付けていないアドレスをアクセスしないでください。

5.1.4 外部メモリ空間

メモリ拡張モード・レジスタ(MM)の設定によりアクセスが可能な外部メモリ空間です。プログラム、テーブル・データなどの格納、および周辺デバイスを割り付けることができます。

5.1.5 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

次に実行する命令のアドレスはプログラム・カウンタ(PC)によりアドレスされます(詳細については、5.3 命令アドレスのアドレッシングを参照してください)。

一方、命令を実行する際に操作対象となるメモリのアドレッシングについて、 μ PD780058, 780058Yサブシリーズでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域(FB00H-FFFFH)では、特殊機能レジスタ(SFR)や汎用レジスタなど、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図5-7から図5-12にデータ・メモリのアドレッシングを示します。各アドレッシングの詳細については、5.4 オペランド・アドレスのアドレッシングを参照してください。

図5-7 データ・メモリのアドレッシング(μ PD780053, 780053(A), 780053Y, 780053Y(A))

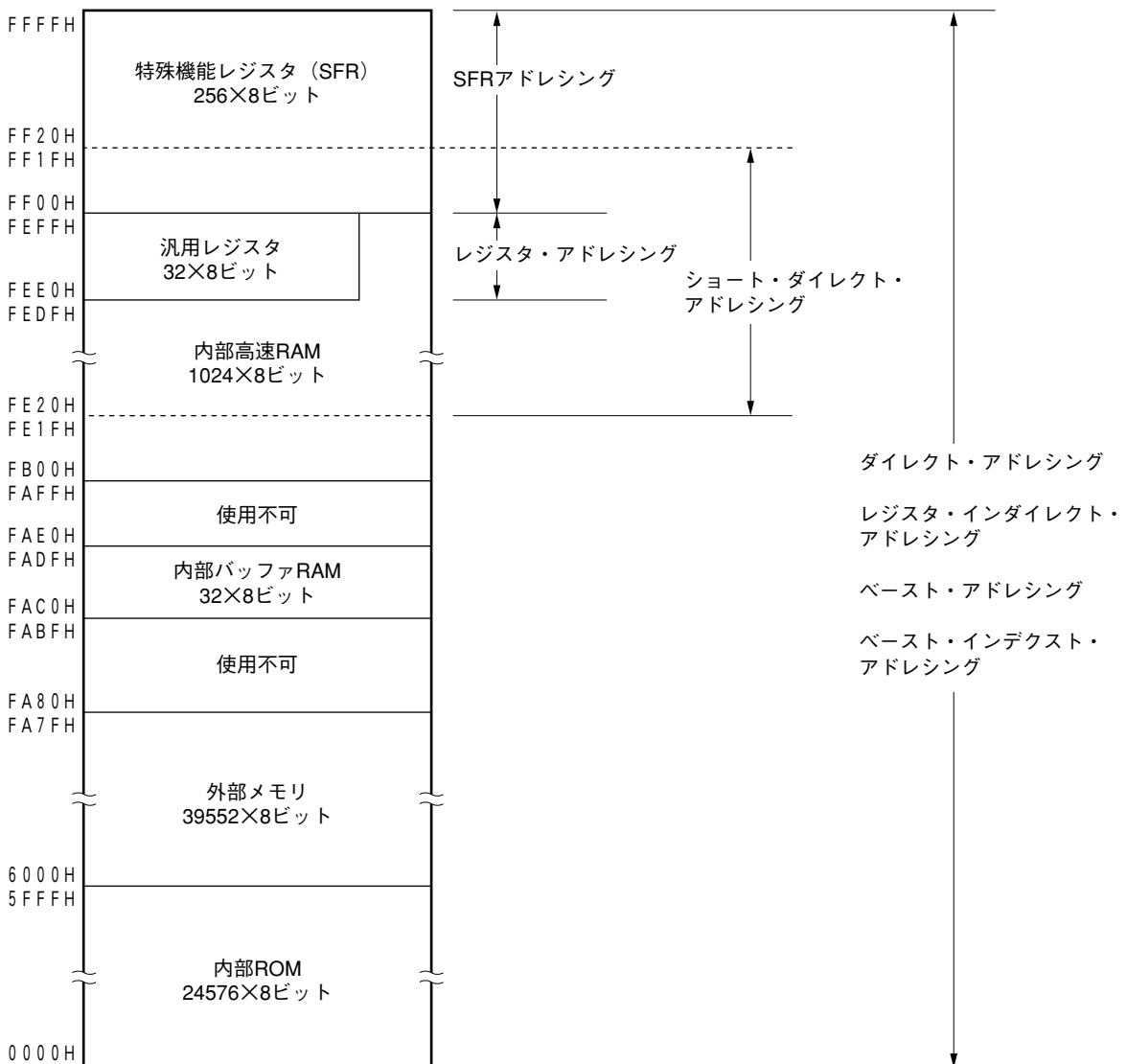


図5-8 データ・メモリのアドレッシング(μPD780054, 780054(A), 780054Y, 780054Y(A))

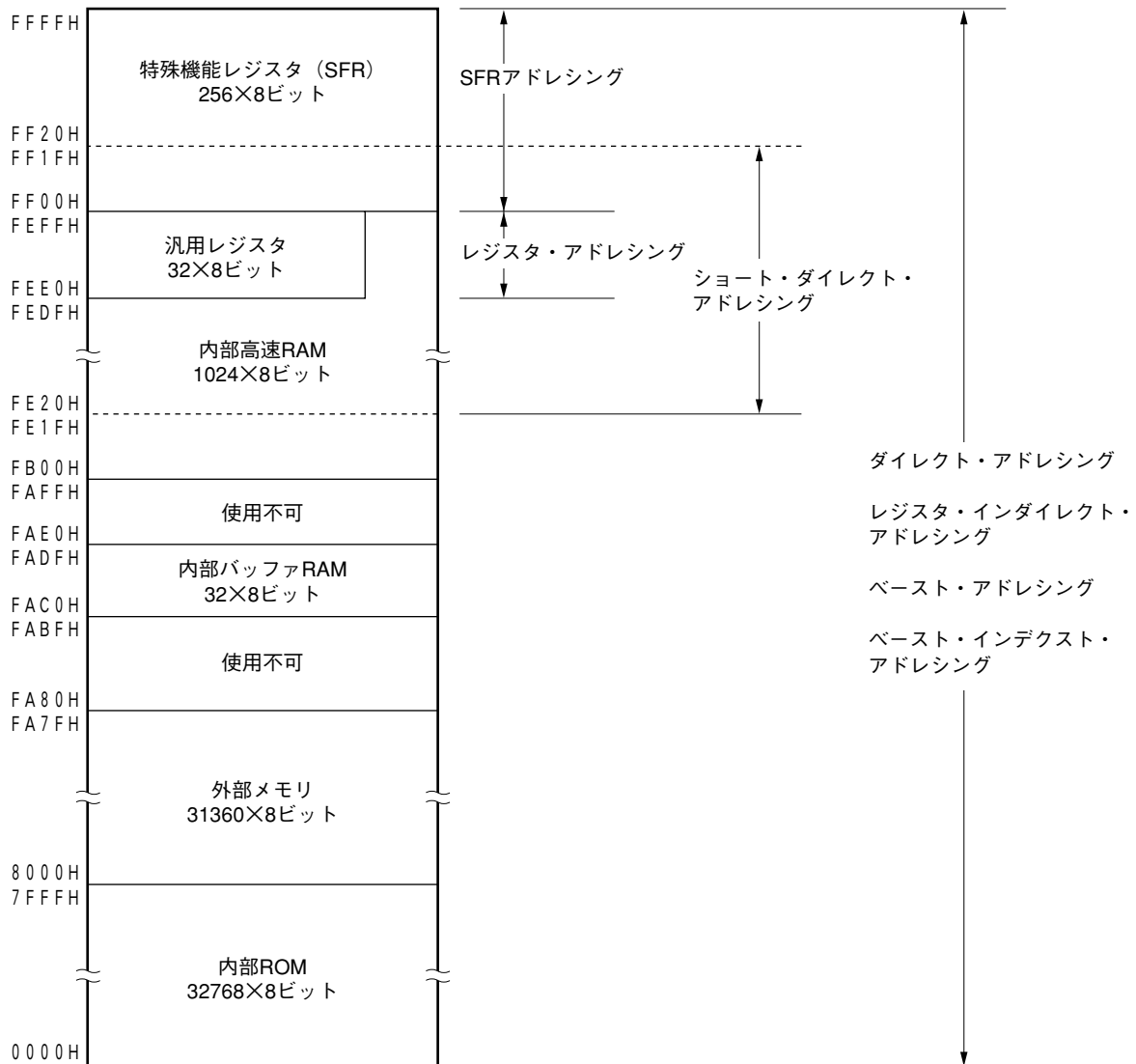


図5-9 データ・メモリのアドレッシング(μPD780055, 780055(A), 780055Y, 780055Y(A))

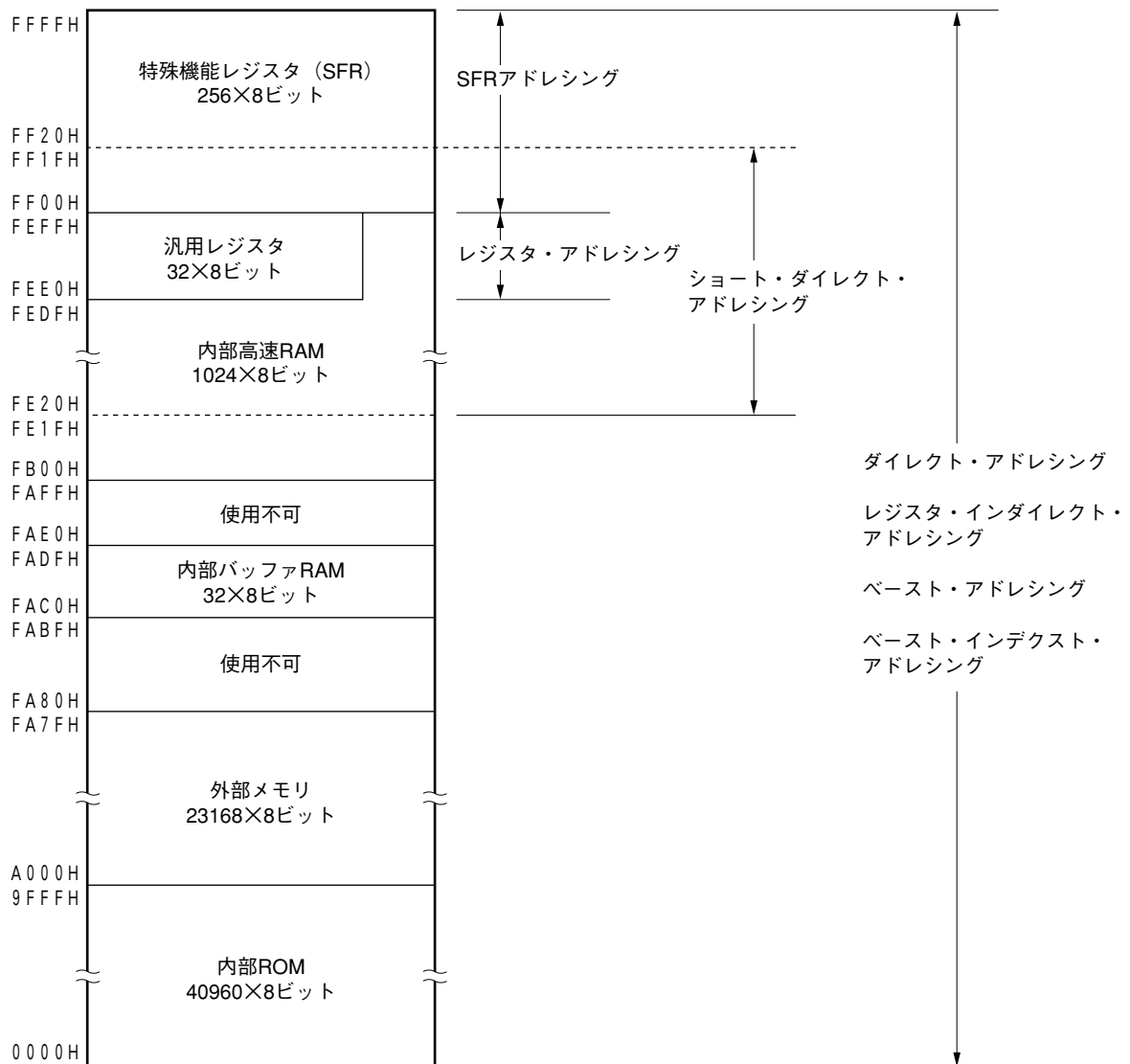


図5-10 データ・メモリのアドレッシング(μPD780056, 780056(A), 780056Y, 780056Y(A))

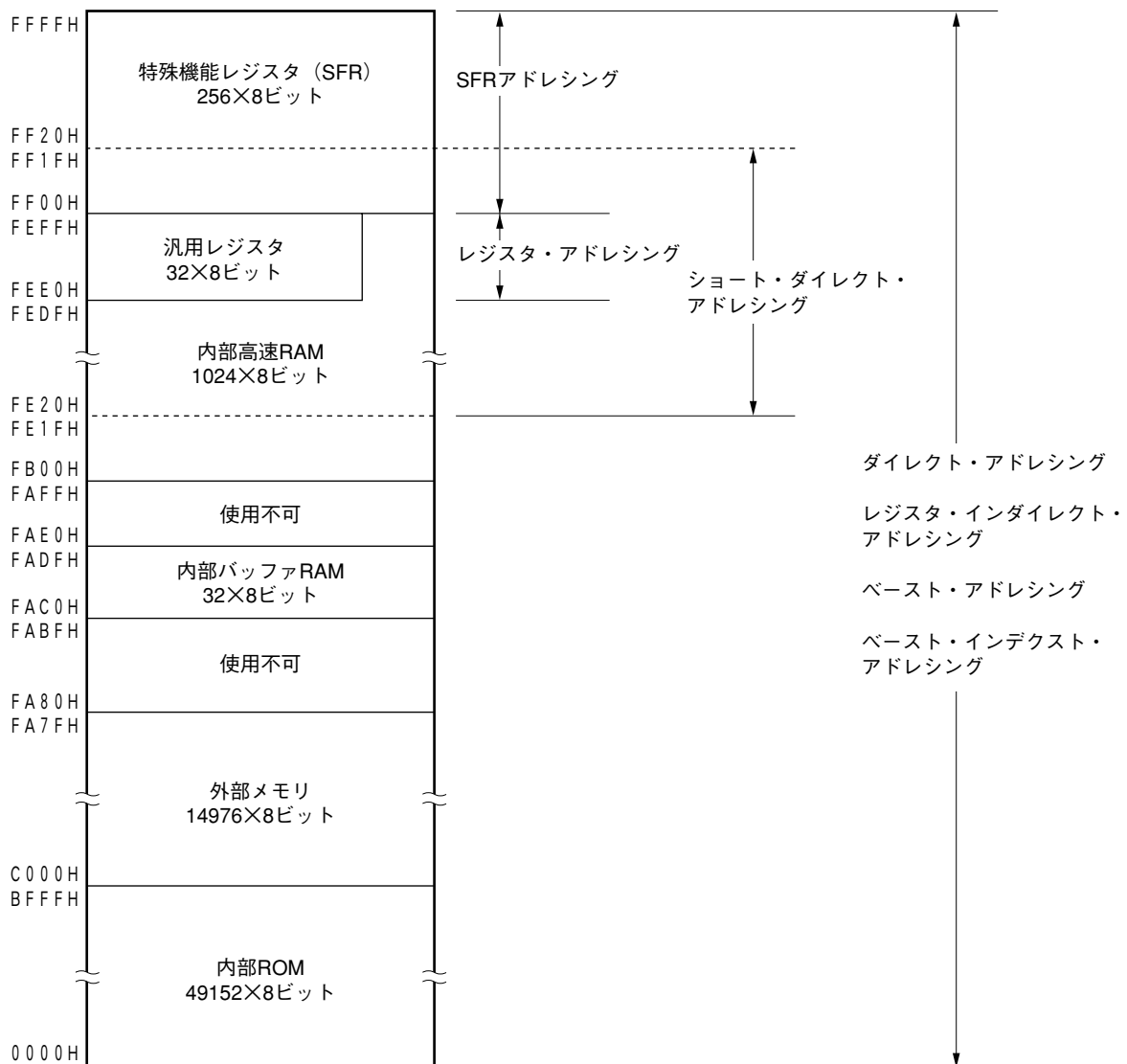
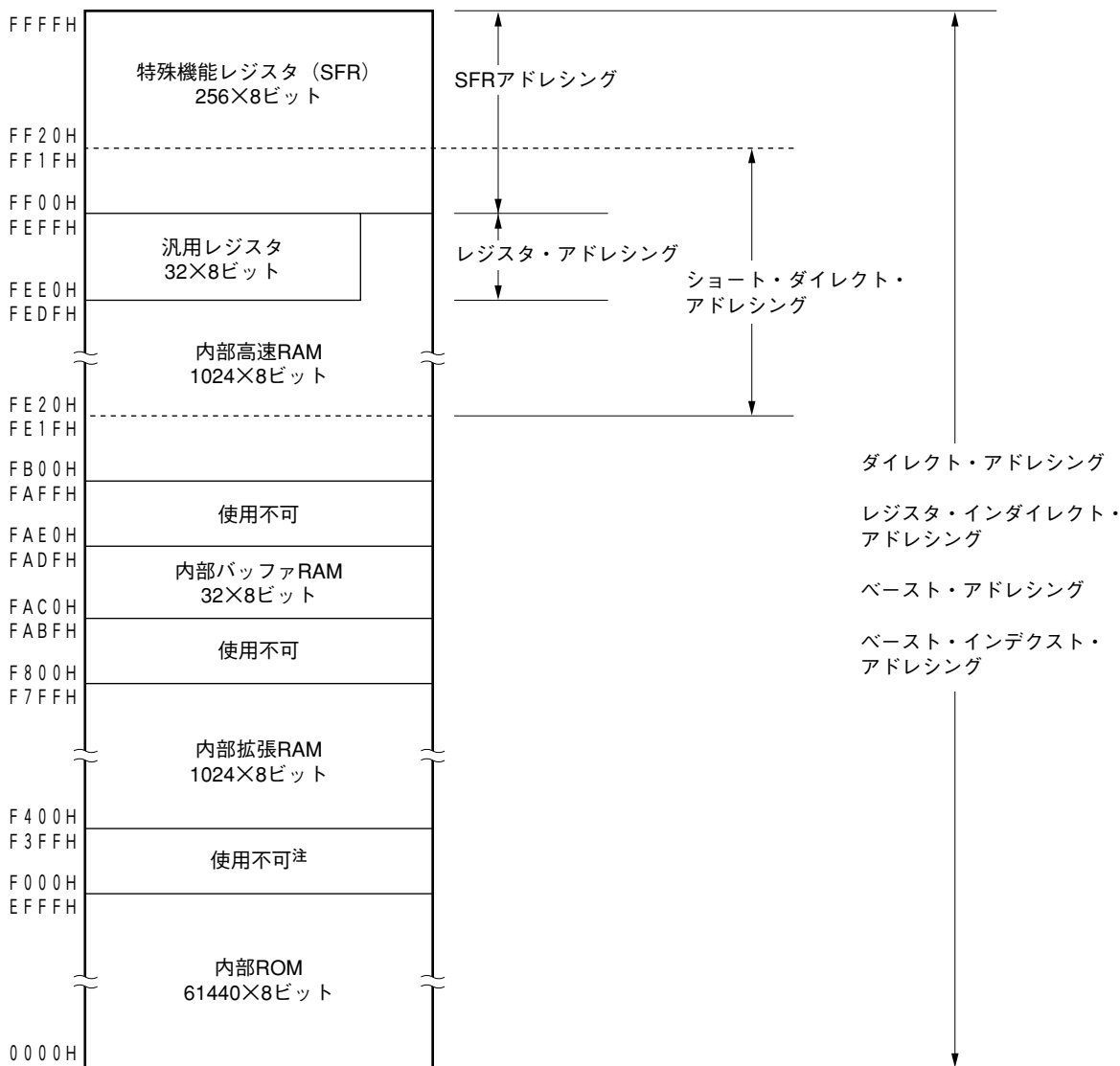
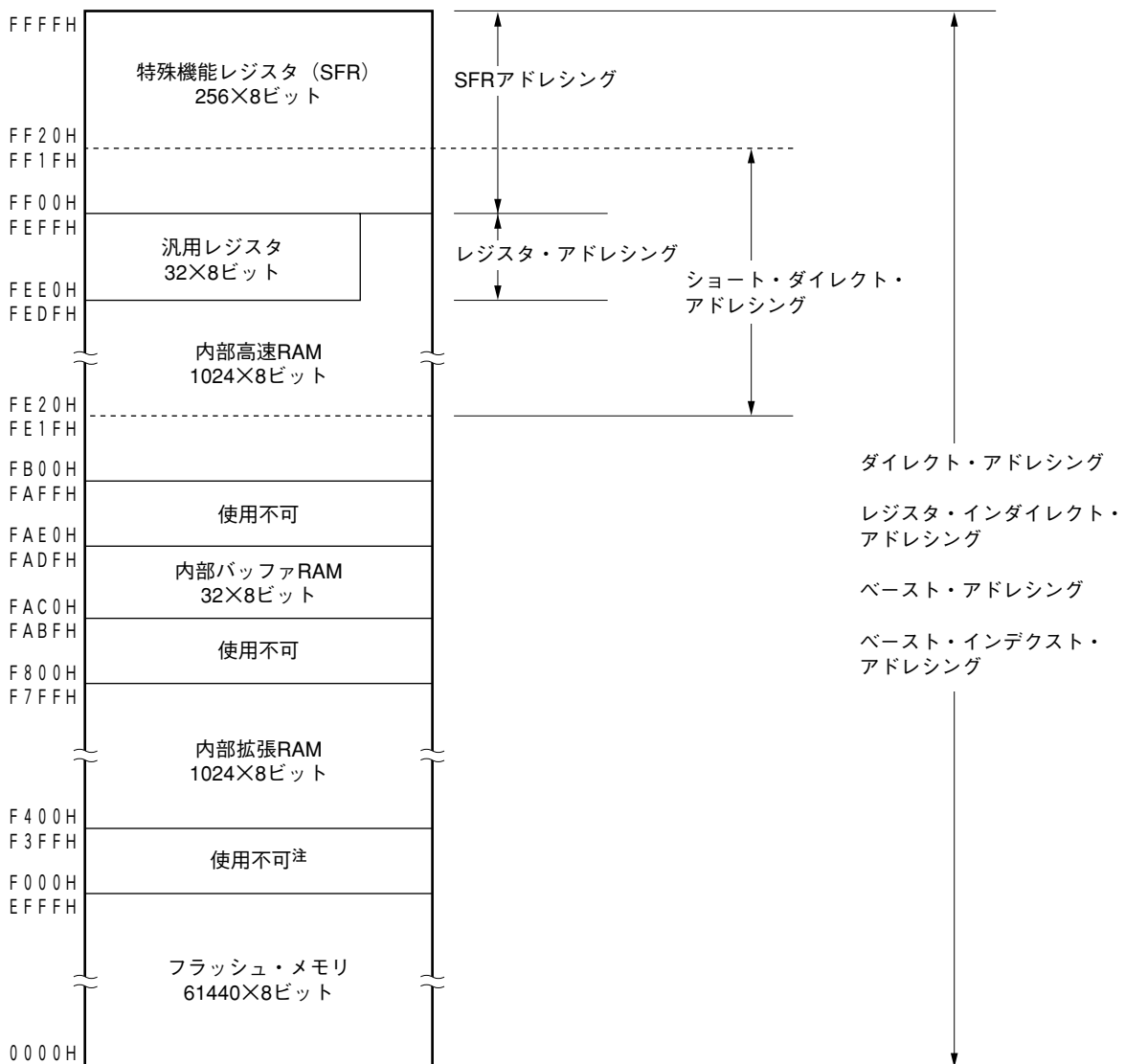


図5-11 データ・メモリのアドレッシング(μPD780058, 780058B, 780058B(A), 780058BY, 780058BY(A))



注 内部ROMが60 Kバイトのとき、F000H-F3FFHの領域は使用できません。メモリ・サイズ切り替えレジスタ (IMS) で内部ROMを56 Kバイト以下に設定することにより、F000H-F3FFHを外部メモリとして使用できます。

図5-12 データ・メモリのアドレッシング(μPD78F0058, 78F0058Y)



注 フラッシュ・メモリが60 Kバイトのとき、F000H-F3FFHの領域は使用できません。メモリ・サイズ切り替えレジスタ(IMS)でフラッシュ・メモリを56 Kバイト以下に設定することにより、F000H-F3FFHを外部メモリとして使用できます。

5.2 プロセッサ・レジスタ

μ PD780058, 780058Yサブシリーズは、次のプロセッサ・レジスタを内蔵しています。

5.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)、スタック・ポインタ(SP)があります。

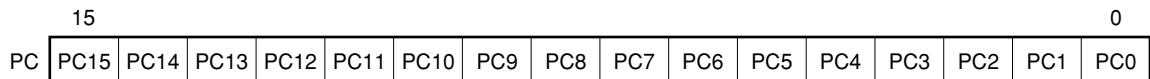
(1) プログラム・カウンタ(PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図5-13 プログラム・カウンタの構成



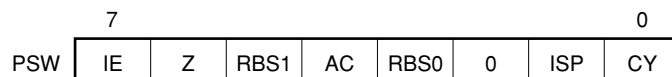
(2) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB, RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図5-14 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ(IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止(DI)状態となり、ノンマスクابل割り込み以外の割り込み要求はすべて禁止されます。

IE = 1のときは割り込み許可(EI)状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ(ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込み要求の受け付けでリセット(0)され、EI命令の実行によりセット(1)されます。

(b) ゼロ・フラグ(Z)

演算結果がゼロのときセット(1)され、それ以外のときにリセット(0)されるフラグです。

(c) レジスタ・バンク選択フラグ(RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBN命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ(AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット(1)され、それ以外のときリセット(0)されるフラグです。

(e) インサービス・プライオリティ・フラグ(ISP)

受け付け可能なマスクابل・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ(PR0L, PR0H, PR1L) (21.3 (3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) 参照) で低位に指定されたベクタ割り込みは受け付け禁止となります。なお、実際に割り込みが受け付けられるかどうかは、割り込み許可フラグ(IE)の状態により制御されません。

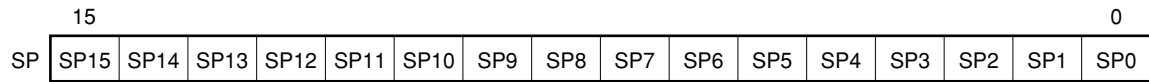
(f) キャリー・フラグ(CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ(SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域(FB00H-FEFFFH)のみ設定可能です。

図5-15 スタック・ポインタの構成



スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ、スタック・メモリからの読み取り(復帰)動作のあとインクリメントされます。

各スタック動作によって退避/復帰されるデータは図5-16、図5-17のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図5-16 スタック・メモリへ退避されるデータ

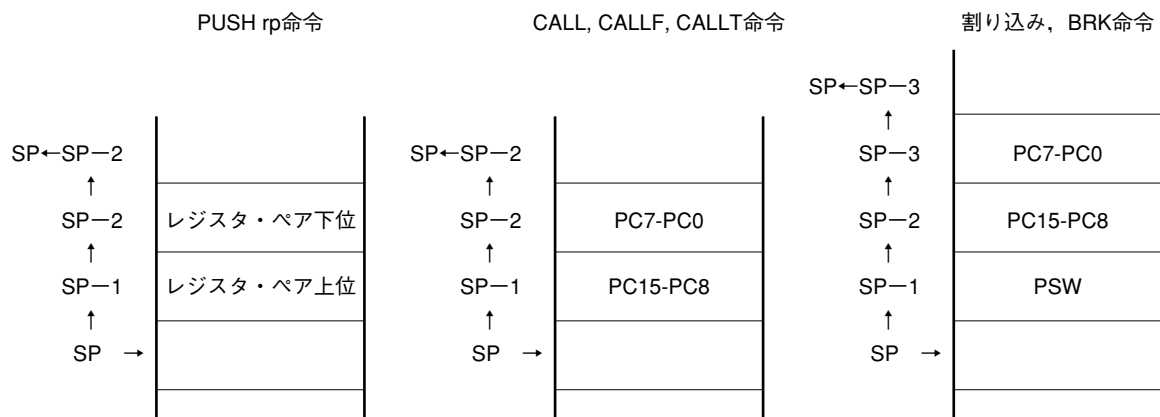
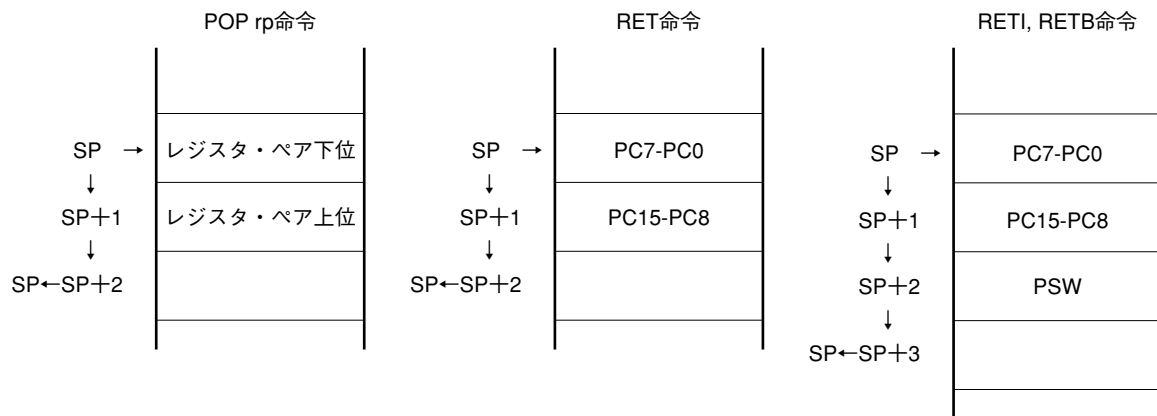


図5-17 スタック・メモリから復帰されるデータ



5.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地(FEE0H-FEFFFH)にマッピングされており、8ビット・レジスタ8個(X, A, C, B, E, D, L, H)を1バンクとして4バンクのレジスタで構成されています。

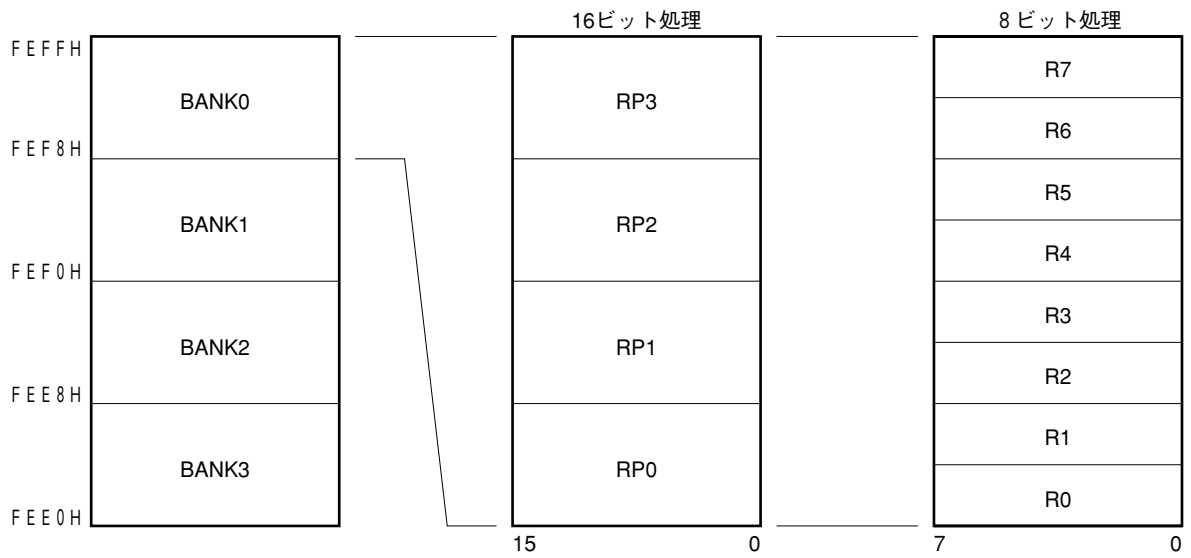
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます(Ax, BC, DE, HL)。

また、機能名称(X, A, C, B, E, D, L, H, Ax, BC, DE, HL)のほか、絶対名称(R0-R7, RP0-RP3)でも記述できます。

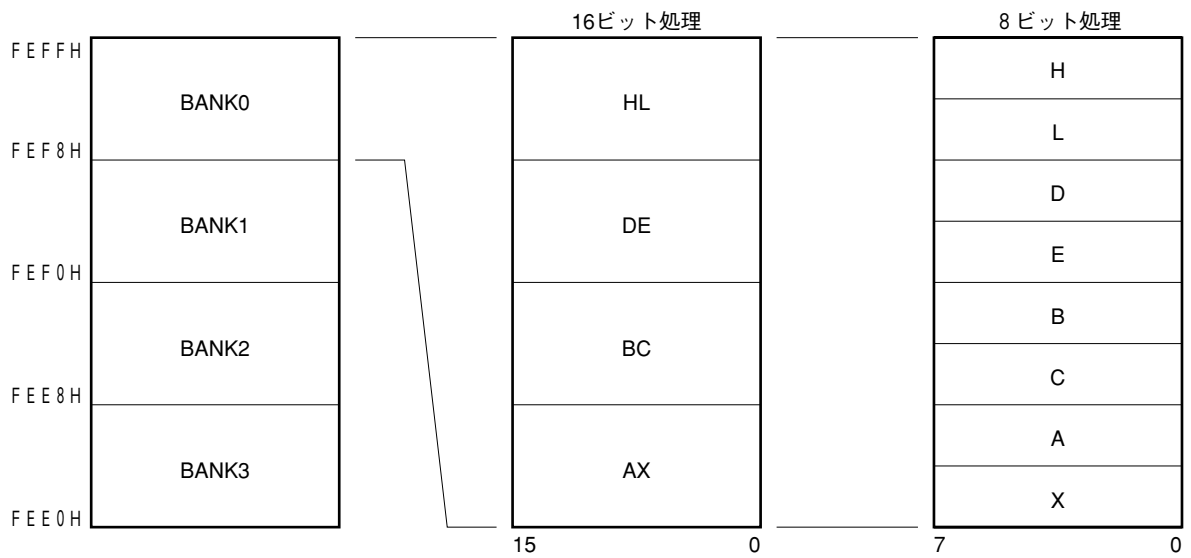
命令実行時に使用するレジスタ・バンクは、CPU制御命令(SEL Rbn)によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み要求時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図5-18 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



5.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(sfr.bit)にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 8ビット操作

8ビット操作命令のオペランド(str)にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(sfrp)にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表5-2に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。RA78K/0で予約語に、CC78K/0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。RA78K/0, ID78K0-NS, ID78K0およびSM78K0使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。－は操作できないビット単位であることを示します。

- リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表5-2 特殊機能レジスタ一覧(1/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット単位			リセット時	
					1ビット	8ビット	16ビット		
FF00H	ポート0	P0		R/W	○	○	—	00H	
FF01H	ポート1	P1			○	○	—		
FF02H	ポート2	P2			○	○	—		
FF03H	ポート3	P3			○	○	—		
FF04H	ポート4	P4			○	○	—	不定	
FF05H	ポート5	P5			○	○	—		
FF06H	ポート6	P6			○	○	—		
FF07H	ポート7	P7			○	○	—	00H	
FF0CH	ポート12	P12			○	○	—		
FF0DH	ポート13	P13			○	○	—		
FF10H FF11H	キャプチャ/コンペア・レジスタ00	CR00		R/W	—	—	○	不定	
FF12H FF13H	キャプチャ/コンペア・レジスタ01	CR01			—	—	○		
FF14H FF15H	16ビット・タイマ・レジスタ	TM0		R	—	—	○	0000H	
FF16H	コンペア・レジスタ10	CR10		R/W	—	○	—	不定	
FF17H	コンペア・レジスタ20	CR20			—	○	—		
FF18H	8ビット・タイマ・レジスタ1	TMS	TM1	R	—	○	○	00H	
FF19H	8ビット・タイマ・レジスタ2		TM2		—	○			
FF1AH	シリアル/IOシフト・レジスタ0	SIO0		R/W	—	○	—	不定	
FF1BH	シリアル/IOシフト・レジスタ1	SIO1			—	○	—		
FF1FH	A/D変換結果レジスタ	ADCR		R	—	○	—		
FF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	—	FFH	
FF21H	ポート・モード・レジスタ1	PM1			○	○	—		
FF22H	ポート・モード・レジスタ2	PM2			○	○	—		
FF23H	ポート・モード・レジスタ3	PM3			○	○	—		
FF25H	ポート・モード・レジスタ5	PM5			○	○	—		
FF26H	ポート・モード・レジスタ6	PM6			○	○	—		
FF27H	ポート・モード・レジスタ7	PM7			○	○	—		
FF2CH	ポート・モード・レジスタ12	PM12			○	○	—		
FF2DH	ポート・モード・レジスタ13	PM13			○	○	—		
FF30H	リアルタイム出力バッファ・レジスタL	RTBL			—	○	—		00H
FF31H	リアルタイム出力バッファ・レジスタH	RTBH			—	○	—		
FF34H	リアルタイム出力ポート・モード・レジスタ	RTPM			○	○	—		
FF36H	リアルタイム出力ポート・コントロール・レジスタ	RTPC		○	○	—			

表5-2 特殊機能レジスタ一覧(2/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット単位			リセット時	
					1ビット	8ビット	16ビット		
FF38H FF39H	コレクション・アドレス・レジスタ0 ^注	CORAD0		R/W	—	—	○	0000H	
FF3AH FF3BH	コレクション・アドレス・レジスタ1 ^注	CORAD1			—	—	○		
FF40H	タイマ・クロック選択レジスタ0	TCL0		R/W	○	○	—	00H	
FF41H	タイマ・クロック選択レジスタ1	TCL1			—	○	—		
FF42H	タイマ・クロック選択レジスタ2	TCL2			—	○	—		
FF43H	タイマ・クロック選択レジスタ3	TCL3		R/W	—	○	—	88H	
FF47H	サンプリング・クロック選択レジスタ	SCS			—	○	—		
FF48H	16ビット・タイマ・モード・コントロール・レジスタ	TMC0			○	○	—		
FF49H	8ビット・タイマ・モード・コントロール・レジスタ	TMC1			○	○	—		
FF4AH	時計用タイマ・モード・コントロール・レジスタ	TMC2			○	○	—		
FF4CH	キャプチャ/コンペア・コントロール・レジスタ0	CRC0			○	○	—		04H
FF4EH	16ビット・タイマ出力コントロール・レジスタ	TOC0			○	○	—		
FF4FH	8ビット・タイマ出力コントロール・レジスタ	TOC1			○	○	—		00H
FF60H	シリアル動作モード・レジスタ0	CSIM0			○	○	—		
FF61H	シリアル・バス・インタフェース・コントロール・レジスタ	SBIC			○	○	—		
FF62H	スレーブ・アドレス・レジスタ	SVA		—	○	—	不定		
FF63H	割り込みタイミング指定レジスタ	SINT		R/W	○	○	—	00H	
FF68H	シリアル動作モード・レジスタ1	CSIM1			○	○	—		
FF69H	自動データ送受信コントロール・レジスタ	ADTC			○	○	—		
FF6AH	自動データ送受信アドレス・ポインタ	ADTP			—	○	—		
FF6BH	自動データ送受信間隔指定レジスタ	ADTI			○	○	—		
FF70H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM			○	○	—		
FF71H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS			R	○	○		—
FF72H	シリアル動作モード・レジスタ2	CSIM2			○	○	—		
FF73H	ポーレート・ジェネレータ・コントロール・レジスタ	BRGC			—	○	—		
FF74H	送信シフト・レジスタ	TXS	SIO2		W	—	○		—
	受信バッファ・レジスタ	RXB		R					
FF75H	シリアル・インタフェース端子選択レジスタ	SIPS		R/W	○	○	—	00H	
FF80H	A/Dコンバータ・モード・レジスタ	ADM			○	○	—		01H
FF84H	A/Dコンバータ入力選択レジスタ	ADIS			—	○	—		
FF8AH	コレクション・コントロール・レジスタ ^注	CORCN			○	○	—		00H
FF90H	D/A変換値設定レジスタ0	DACS0			—	○	—		
FF91H	D/A変換値設定レジスタ1	DACS1			—	○	—		
FF98H	D/Aコンバータ・モード・レジスタ	DAM			○	○	—		

注 μPD780058, 780058B, 780058B(A), 780058BY, 780058BY(A), 78F0058, 78F0058Yのみ内蔵しています。

表5-2 特殊機能レジスタ一覧(3/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FFD0H FFDFH	外部アクセス領域 ^{注1}			R/W	○	○	—	不定
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L		○	○	○	00H
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H		○	○	○	
FFE2H	割り込み要求フラグ・レジスタ1L	IF1L			○	○	—	FFH
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L		○	○	○	
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H		○	○	○	
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L			○	○	—	
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L		○	○	○	
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H		○	○	○	
FFEAH	優先順位指定フラグ・レジスタ1L	PR1L			○	○	—	00H
FFECH	外部割り込みモード・レジスタ0	INTM0			—	○	—	
FFEDH	外部割り込みモード・レジスタ1	INTM1			—	○	—	
FFF0H	メモリ・サイズ切り替えレジスタ	IMS			—	○	—	注2
FFF2H	発振モード選択レジスタ	OSMS		W	—	○	—	00H
FFF3H	プルアップ抵抗オプション・レジスタH	PUOH		R/W	○	○	—	
FFF4H	内部拡張RAMサイズ切り替えレジスタ ^{注3}	IXS		W	—	○	—	0AH
FFF6H	キー・リターン・モード・レジスタ	KRM		R/W	○	○	—	02H
FFF7H	プルアップ抵抗オプション・レジスタL	PUOL			○	○	—	00H
FFF8H	メモリ拡張モード・レジスタ	MM			○	○	—	10H
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM			○	○	—	00H
FFFAH	発振安定時間選択レジスタ	OSTS			—	○	—	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC			○	○	—	

注1. 外部アクセス領域は、SFRアドレッシングではアクセスできません。ダイレクト・アドレッシングでアクセスしてください。

2. リセット時の値は製品により異なります。

μPD780053, 780053(A), 780053Y, 780053Y(A) : C6H

μPD780054, 780054(A), 780054Y, 780054Y(A) : C8H

μPD780055, 780055(A), 780055Y, 780055Y(A) : CAH

μPD780056, 780056(A), 780056Y, 780056Y(A) : CCH

μPD780058, 780058B, 780058B(A), 780058BY, 780058BY(A) : CFH

μPD78F0058, 78F0058Y : CFH

3. μPD780058, 780058B, 780058B(A), 780058BY, 780058BY(A), 78F0058, 78F0058Yのみ内蔵していません。

5.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ(PC)の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント(1バイトに対して+1)されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します(各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください)。

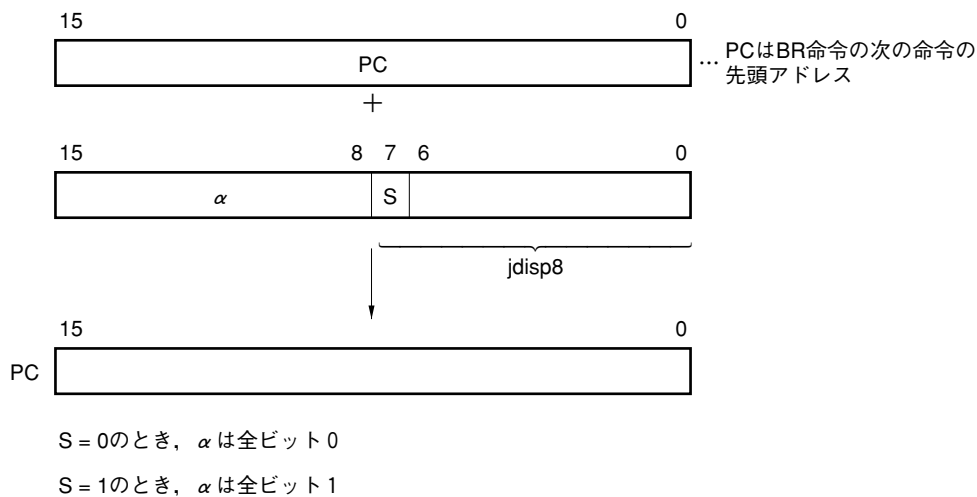
5.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミューディエト・データ(ディスプレイメント値: $jdisp8$)を加算した値が、プログラム・カウンタ(PC)に転送されて分岐します。ディスプレイメント値は、符号付きの2の補数データ(-128~+127)として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128~+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



5.3.2 イミディエト・アドレッシング

【機能】

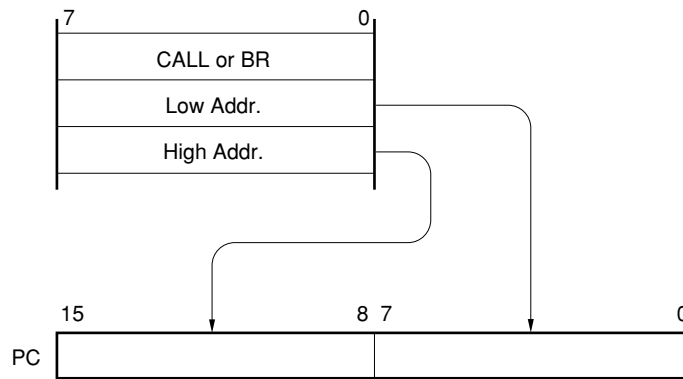
命令語中のイミディエト・データがプログラム・カウンタ(PC)に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

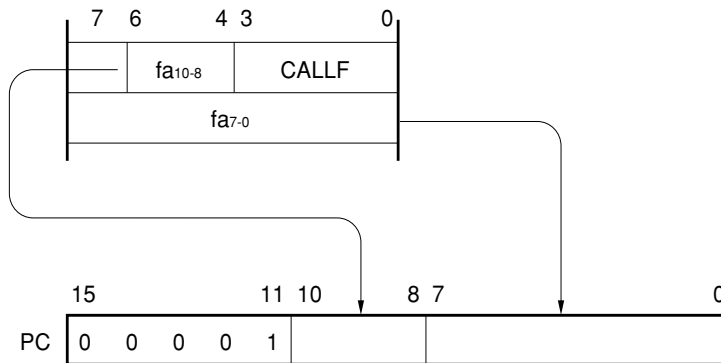
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



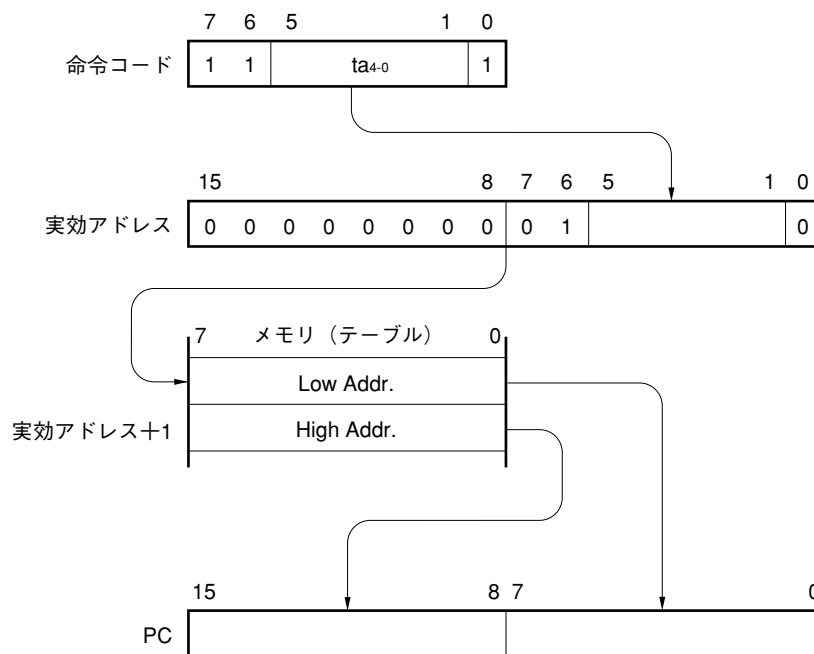
5.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容(分岐先アドレス)がプログラム・カウンタ(PC)に転送され、分岐します。

CALLT [addr5]命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】

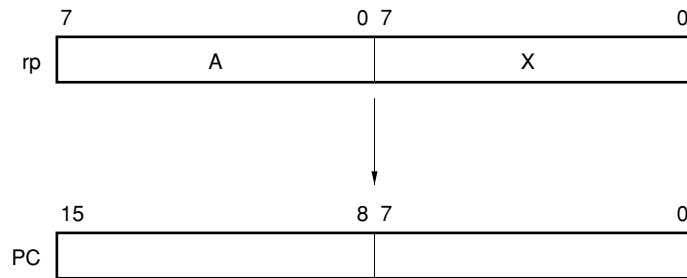


5.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア (AX) の内容がプログラム・カウンタ (PC) に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】

5.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法(アドレッシング)として次に示すいくつかの方法があります。

5.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ(A, AX)として機能するレジスタを自動的に(暗黙的)にアドレスするアドレッシングです。

μ PD780058, 780058Yサブシリーズの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ, 積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため、特定のオペランド形式を持ちません。

【記述例】

MULU Xの場合

8ビット×8ビットの乗算命令において、AレジスタとXレジスタの積をAXに格納する。ここで、A, AXレジスタがインプライド・アドレッシングで指定されている。

5.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ(RBS0, RBS1)および、命令コード中のレジスタ指定コード(Rn, RPn)により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

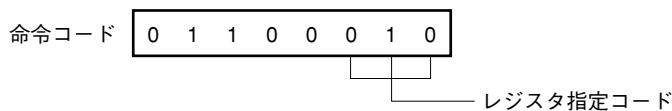
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

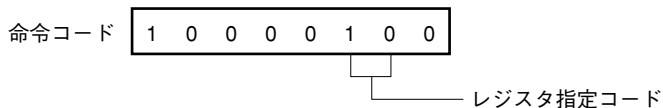
r, rpは、機能名称(X, A, C, B, E, D, L, H, AX, BC, DE, HL)のほかに絶対名称(R0-R7, RP0-RP3)で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



5.4.3 ダイレクト・アドレッシング

【機能】

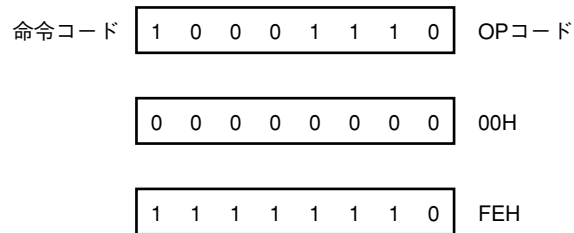
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

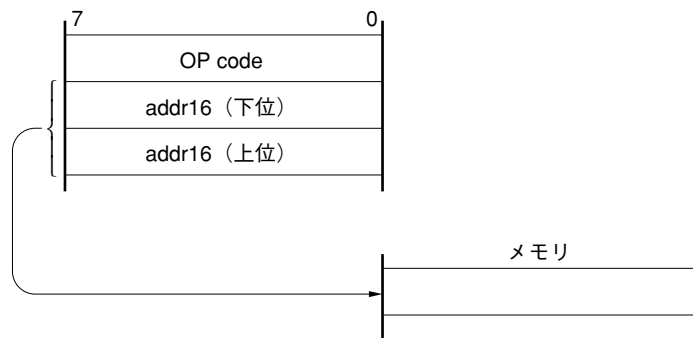
表現形式	記述方法
addr16	レーベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



【図解】



5.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ(SFR)がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域(FF00H-FF1FH)は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

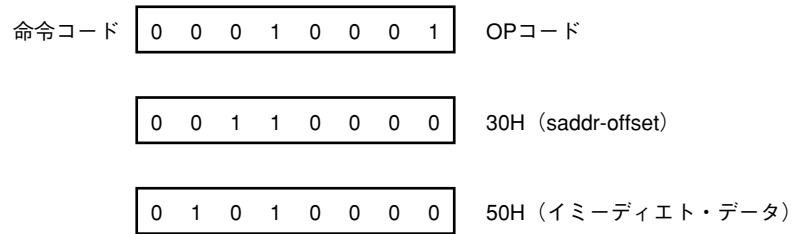
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次頁の【図解】を参照してください。

【オペランド形式】

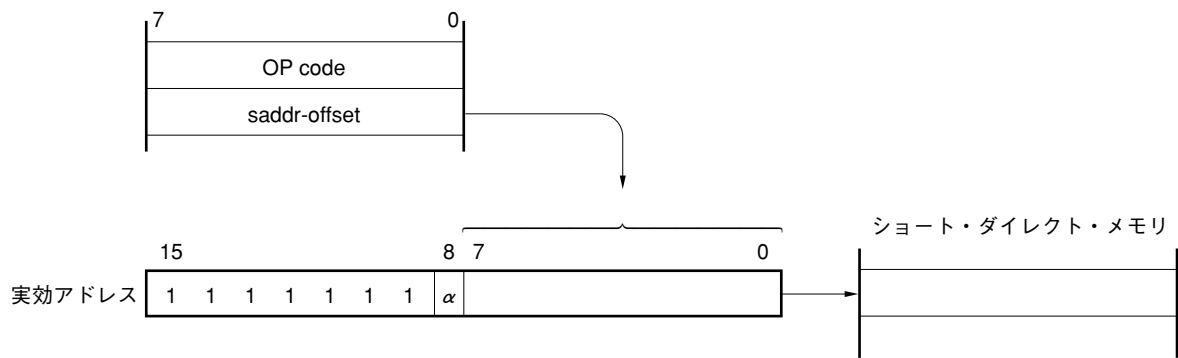
表現形式	記述方法
saddr	レーベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	レーベルまたはFE20H-FF1FHのイミディエト・データ(偶数アドレスのみ)

【記述例】

MOV 0FE30H, #50H ; saddrをFE30H, イミディエト・データを50Hとする場合



【図解】



8ビット・イミディエト・データが20H-FFHのとき, $\alpha = 0$

8ビット・イミディエト・データが00H-1FHのとき, $\alpha = 1$

5.4.5 特殊機能レジスタ(SFR)アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ(SFR)をアドレスするアドレッシングです。

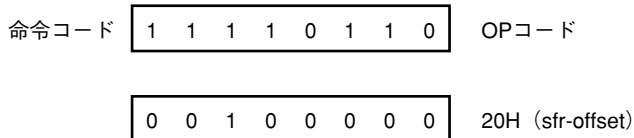
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし、FF00H-FF1FHにマッピングされているSFRは、ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

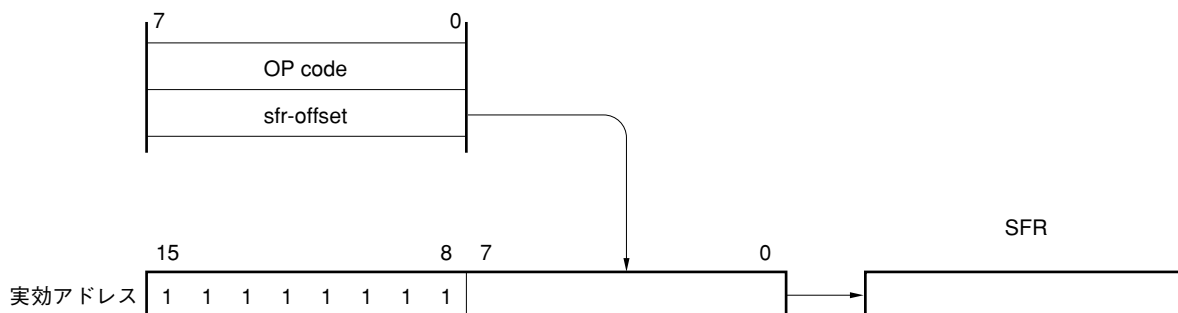
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名(偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



5.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ(RBS0, RBS1)および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL]

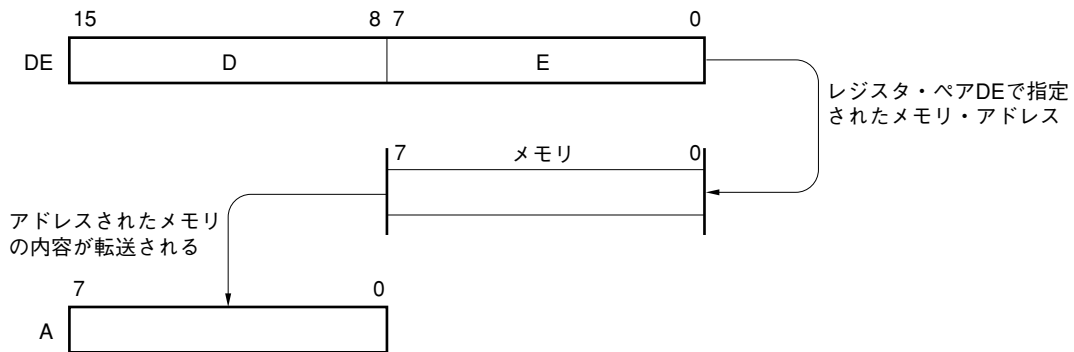
【記述例】

MOV A, [DE] ; レジスタ・ペアに[DE]を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



5.4.7 ベースト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中のものです。オフセット・データを正の数として16ビットに拡張して加算します。16ビット目からの桁上がりは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[HL+byte]

【記述例】

MOV A, [HL+10H] ; byteを10Hとする場合

命令コード

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

5.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中のレジスタです。BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して加算します。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[HL+B], [HL+C]

【記述例】

MOV A, [HL+B]の場合

命令コード

1 0 1 0 1 0 1 1

5.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。スタック・アドレッシングは、内部高速RAM領域のみアクセスできます。

【記述例】

PUSH DEの場合

命令コード

1 0 1 1 0 1 0 1

第6章 ポート機能

6.1 ポートの機能

μ PD780058, 780058Yサブシリーズは、2本の入力ポートと66本の入出力ポートを内蔵しています。図6-1にポートの種類を示します。いずれのポートも1ビット操作、8ビット操作が可能で、きわめて多様な制御が行えます。また、ポートとしての機能のほかに、内蔵ハードウェアの入出力端子としての機能を持っています。

図6-1 ポートの種類

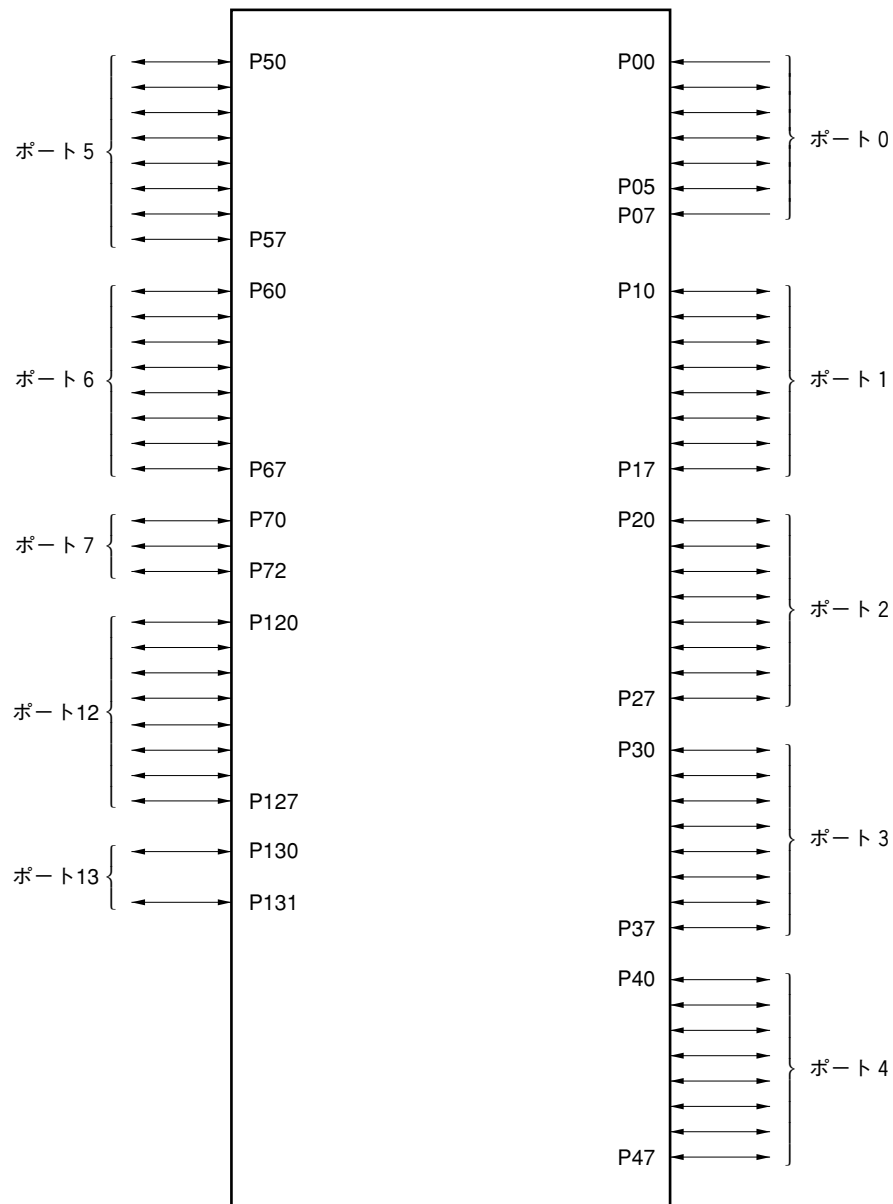


表6-1 ポートの機能(μPD780058サブシリーズ)(1/2)

端子名称	機 能		兼用端子
P00	ポート0。	入力専用。	INTP0/TI00
P01	7ビット入出力ポート。	1ビット単位で入力/出力の指定可能。	INTP1/TI01
P02		入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	INTP2
P03			INTP3
P04			INTP4
P05			INTP5
P07		入力専用。	XT1
P10-P17	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		ANI0-ANI7
P20	ポート2。		SI1
P21	8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		SO1
P22		$\overline{\text{SCK}}1$	
P23		STB/TxD1	
P24		BUSY/RxD1	
P25		SI0/SB0	
P26		SO0/SB1	
P27		$\overline{\text{SCK}}0$	
P30	ポート3。		TO0
P31	8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		TO1
P32		TO2	
P33		TI1	
P34		TI2	
P35		PCL	
P36		BUZ	
P37		—	
P40-P47		ポート4。 8ビット入出力ポート。 8ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 立ち下がリエッジの検出により、テスト入力フラグ(KRIF)を1にセット。	

表6-1 ポートの機能(μPD780058サブシリーズ)(2/2)

端子名称	機能		兼用端子
P50-P57	ポート5。 8ビット入出力ポート。 LEDを直接駆動可能。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		A8-A15
P60	ポート6。	N-chオープン・ドレイン入出力ポート。 マスクROM製品のみ、マスク・オプションによりプルアップ抵抗の内蔵を指定可能。 LEDを直接駆動可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	—
P61	8ビット入出力ポート。		
P62	1ビット単位で入力/出力の指定可能。		
P63			
P64			
P65			
P66			
P67			
P70	ポート7。		SI2/RxD0
P71	3ビット入出力ポート。		SO2/TxD0
P72	1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		SCK2/ASCK
P120-P127	ポート12。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		RTP0-RTP7
P130, P131	ポート13。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		ANO0, ANO1

表6-2 ポートの機能(μPD780058Yサブシリーズ)(1/2)

端子名称	機 能		兼用端子
P00	ポート0。 7ビット入出力ポート。	入力専用。	INTP0/TI00
P01		1ビット単位で入力/出力の指定可能。	INTP1/TI01
P02		入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	INTP2
P03			INTP3
P04			INTP4
P05			INTP5
P07		入力専用。	XT1
P10-P17	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		ANI0-ANI7
P20	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		SI1
P21		SO1	
P22		$\overline{\text{SCK}}1$	
P23		STB/TxD1	
P24		BUSY/RxD1	
P25		SI0/SB0/SDA0	
P26		SO0/SB1/SDA1	
P27		$\overline{\text{SCK}}0/\text{SCL}$	
P30	ポート3。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		TO0
P31		TO1	
P32		TO2	
P33		TI1	
P34		TI2	
P35		PCL	
P36		BUZ	
P37		—	
P40-P47	ポート4。 8ビット入出力ポート。 8ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 立ち下がリエッジの検出により、テスト入力フラグ(KRIF)を1にセット。		AD0-AD7

表 6-2 ポートの機能(μPD780058Yサブシリーズ)(2/2)

端子名称	機 能		兼用端子
P50-P57	ポート 5。 8ビット入出力ポート。 LEDを直接駆動可能。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		A8-A15
P60	ポート 6。	N-chオープン・ドレイン入出力ポート。 マスクROM製品のみ、マスク・オプションによりプルアップ抵抗の内蔵を指定可能。 LEDを直接駆動可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	—
P61	8ビット入出力ポート。		
P62	1ビット単位で入力／出力の指定可能。		
P63			
P64			
P65			
P66			
P67			
P70	ポート 7。		SI2/RxD0
P71	3ビット入出力ポート。		SO2/TxD0
P72	1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		SCK2/ASCK
P120-P127	ポート 12。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		RTP0-RTP7
P130, P131	ポート 13。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		ANO0, ANO1

6.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表 6-3 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PMm : m = 0-3, 5-7, 12, 13) プルアップ抵抗オプション・レジスタ (PUOH, PUOL) メモリ拡張モード・レジスタ (MM) ^注 キー・リターン・モード・レジスタ (KRM)
ポート	合計：68本(入力：2本, 入出力：66本)
プルアップ抵抗	・マスクROM製品 合計：66本(ソフトウェア制御：62本, マスク・オプション制御：4本) ・フラッシュ・メモリ製品 合計：62本

注 MMは、ポート4の入力/出力の指定を行います。

6.2.1 ポート0

出力ラッチ付き7ビット入出力ポートです。P01-P05端子は、ポート・モード・レジスタ0 (PM0)により、1ビット単位で入力モード/出力モードの指定ができます。P00, P07端子は、入力専用ポートです。P01-P05端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、6ビット単位で内蔵プルアップ抵抗を使用できます。

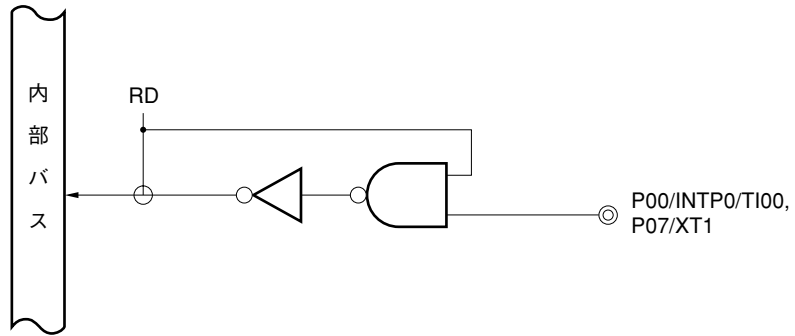
また、兼用機能として外部割り込み要求入力、タイマへの外部カウント・クロック入力、サブシステム・クロック発振用クリスタル接続があります。

RESET入力により、入力モードになります。

図6-2, 6-3にポート0のブロック図を示します。

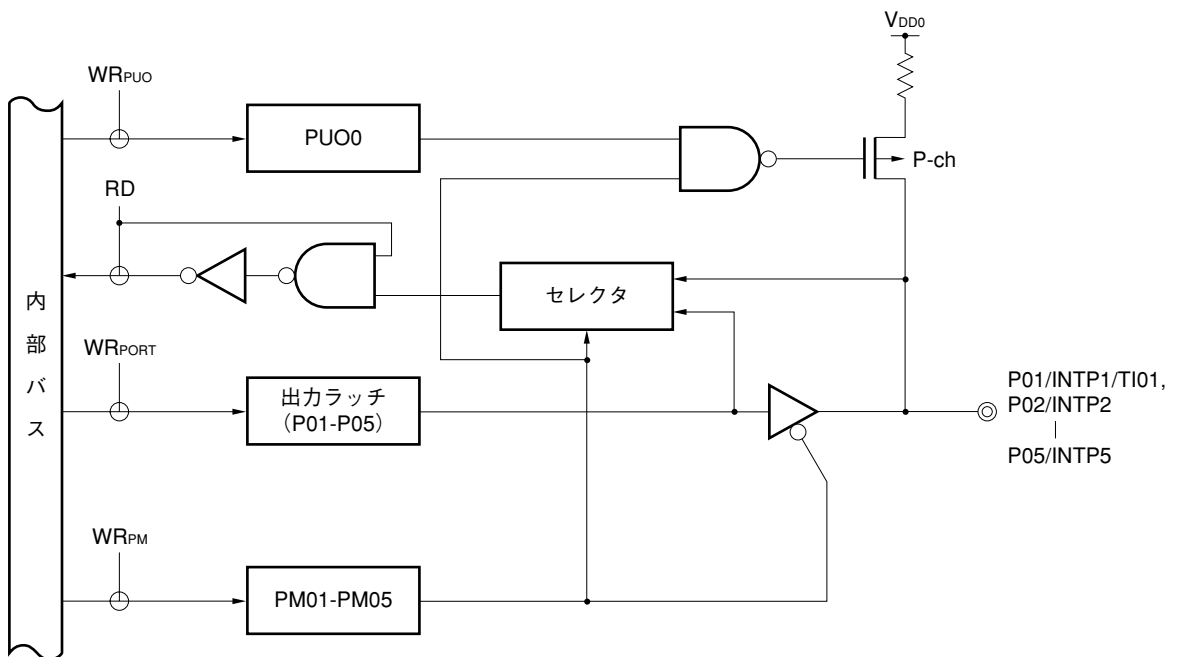
注意 ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされます。したがって、出力モードを使用するとき、割り込みマスク・フラグに1を設定してください。

図6-2 P00, P07のブロック図



RD : ポート0のリード信号

図6-3 P01-P05のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

6.2.2 ポート1

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ1 (PM1)により、1ビット単位で入力モード/出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、8ビット単位で内蔵プルアップ抵抗を使用できます。

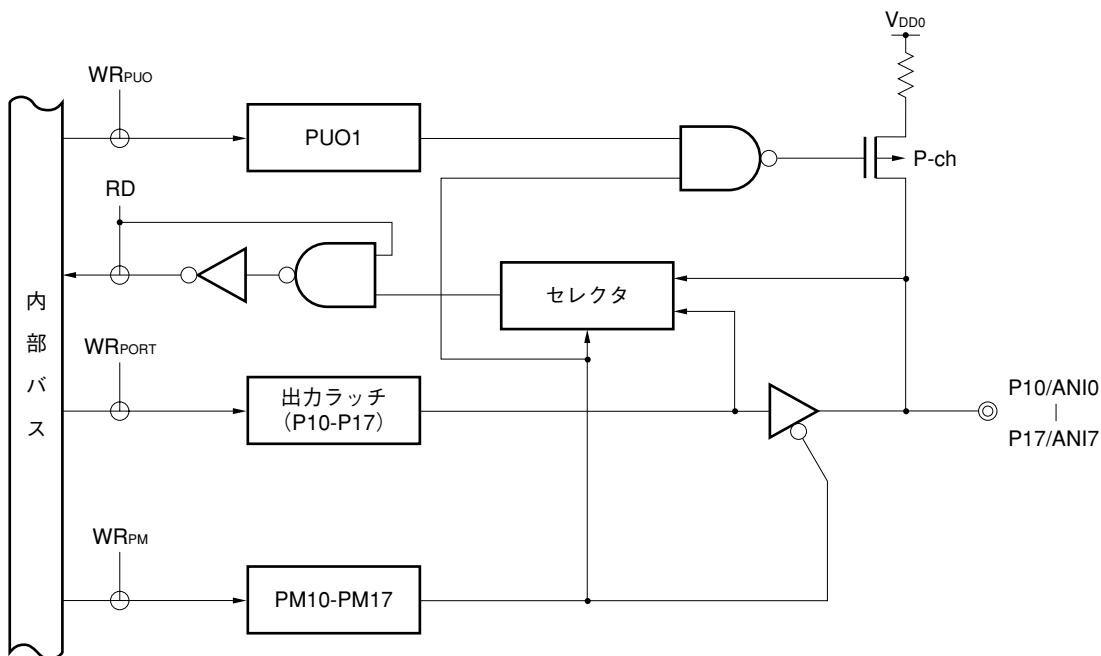
また、兼用機能としてA/Dコンバータのアナログ入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6-4にポート1のブロック図を示します。

注意 A/Dコンバータのアナログ入力として使用する端子には、内蔵プルアップ抵抗は使用できません。

図6-4 P10-P17のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

6.2.3 ポート2 (μ PD780058サブシリーズ)

出力ラッチ付き8ビット入出力ポートです。P20-P27端子は、ポート・モード・レジスタ2 (PM2)により、1ビット単位で入力モード/出力モードの指定ができます。P20-P27端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、8ビット単位で内蔵プルアップ抵抗を使用できます。

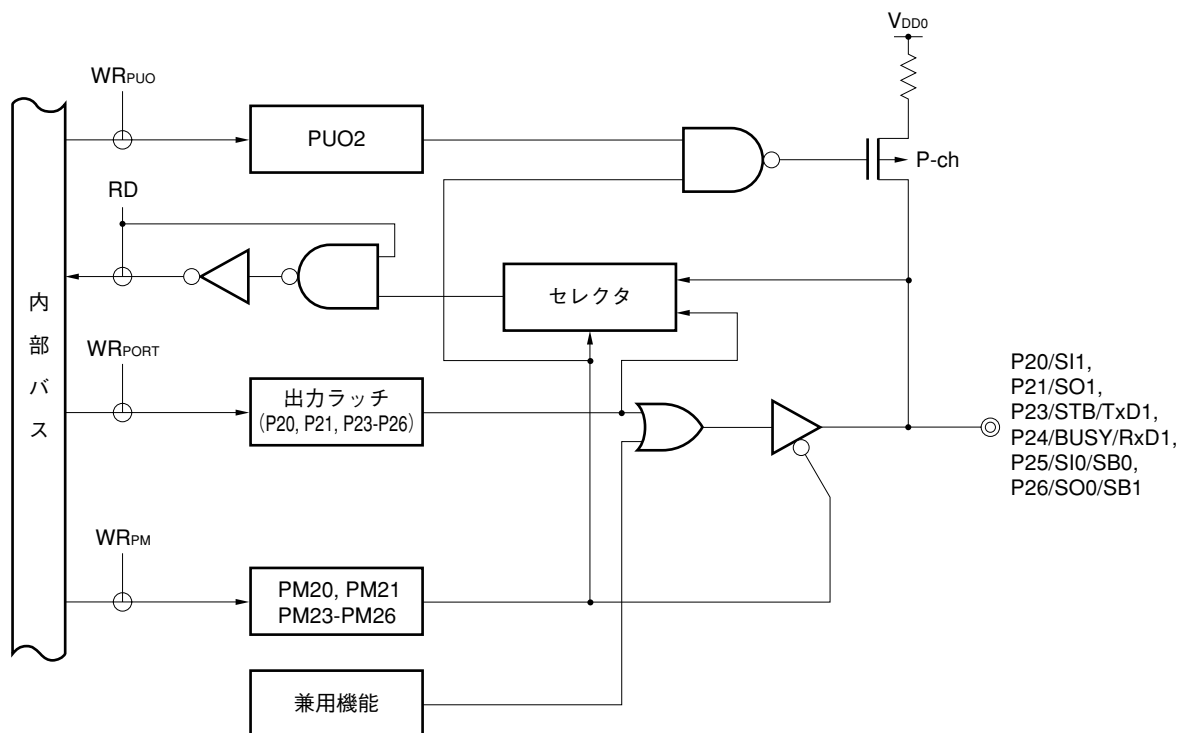
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、自動送受信用ビジー入力、ストロブ出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6-5、図6-6にポート2のブロック図を示します。

- 注意1. シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図16-4 シリアル動作モード・レジスタ0のフォーマット、図18-3 シリアル動作モード・レジスタ1のフォーマット、表19-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。
2. SBIモード時で、端子の状態を読み出すときは、PM2のPM2nビットに1を設定してください (n=5, 6) (16.4.3 (10) スレーブのビジー状態の判別方法を参照)。

図6-5 P20, P21, P23-P26のブロック図



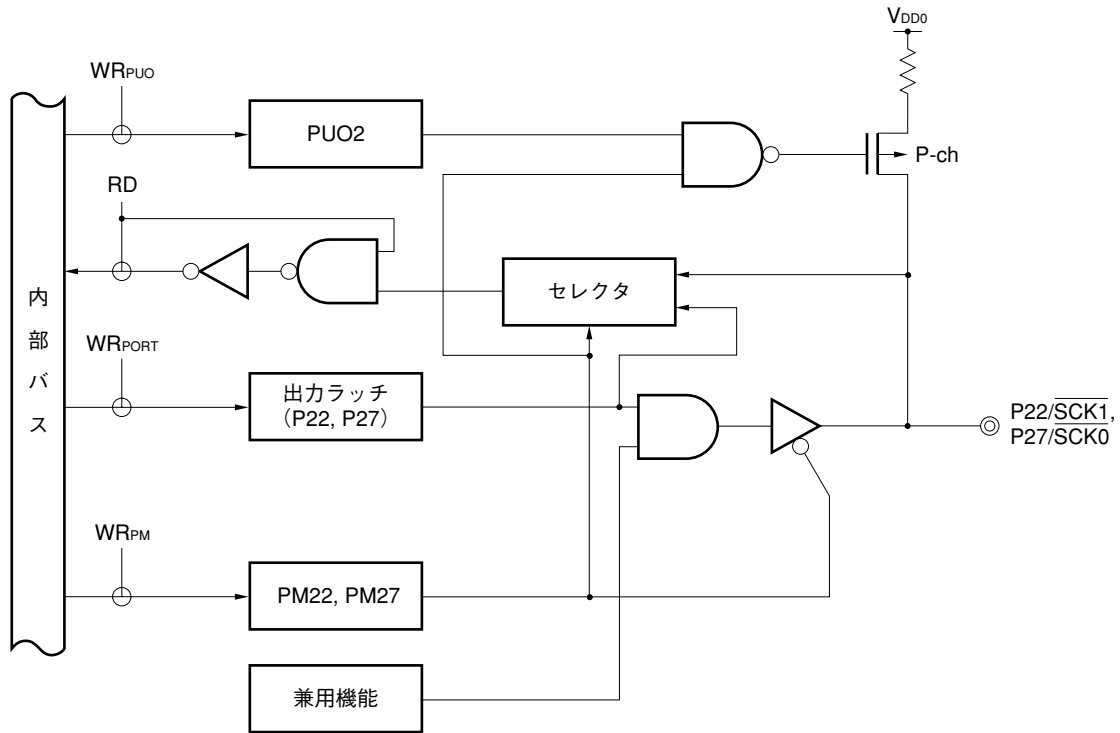
PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図6-6 P22, P27のブロック図



- PUO : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート2のリード信号
- WR : ポート2のライト信号

6.2.4 ポート2 (μ PD780058Yサブシリーズ)

出力ラッチ付き8ビット入出力ポートです。P20-P27端子は、ポート・モード・レジスタ2 (PM2)により、1ビット単位で入力モード/出力モードの指定ができます。P20-P27端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、8ビット単位で内蔵プルアップ抵抗を使用できます。

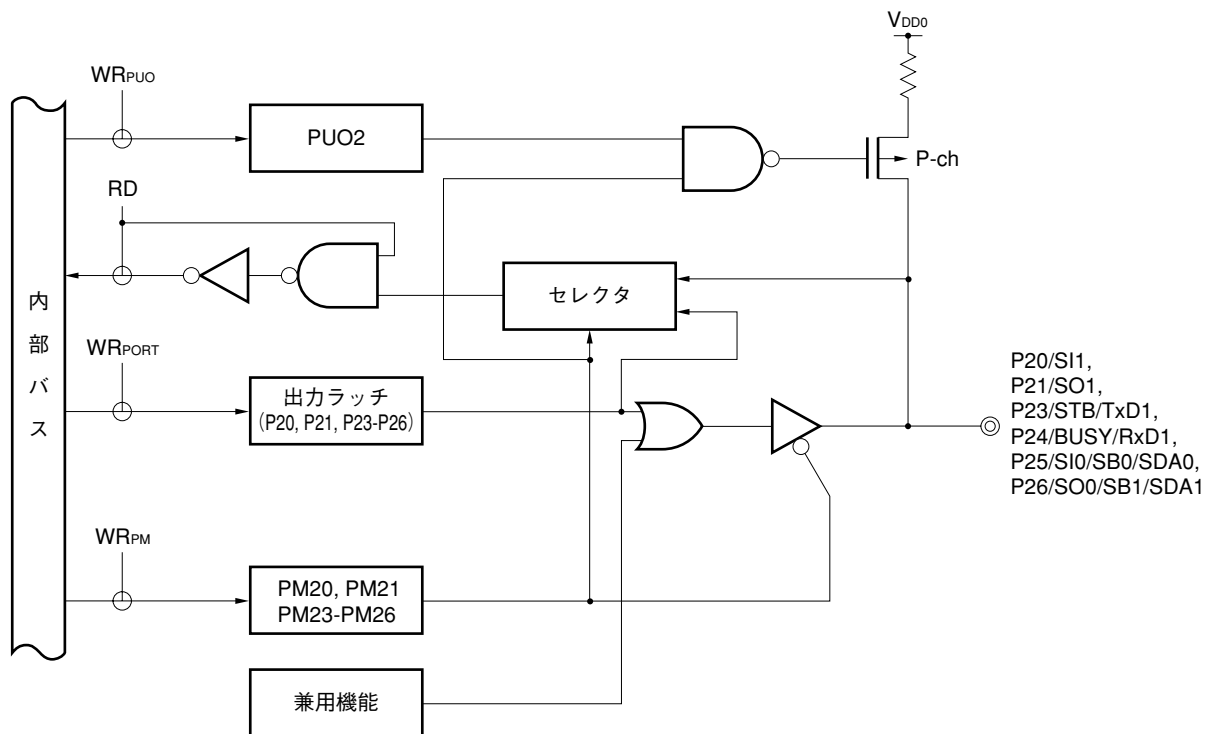
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、自動送受信用ビジー入力、ストローブ出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6-7、図6-8にポート2のブロック図を示します。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図17-4 シリアル動作モード・レジスタ0のフォーマット、図18-3 シリアル動作モード・レジスタ1のフォーマット、表19-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

図6-7 P20, P21, P23-P26のブロック図



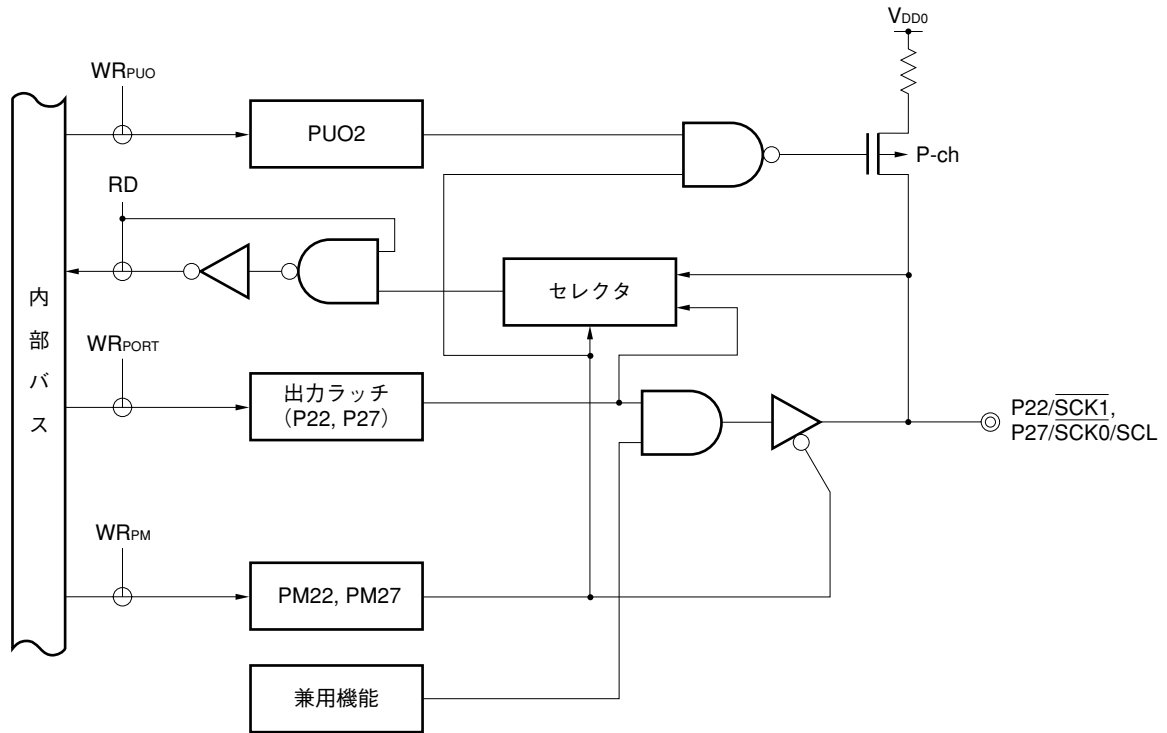
PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図6-8 P22, P27のブロック図



- PUO : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート2のリード信号
- WR : ポート2のライト信号

6.2.5 ポート3

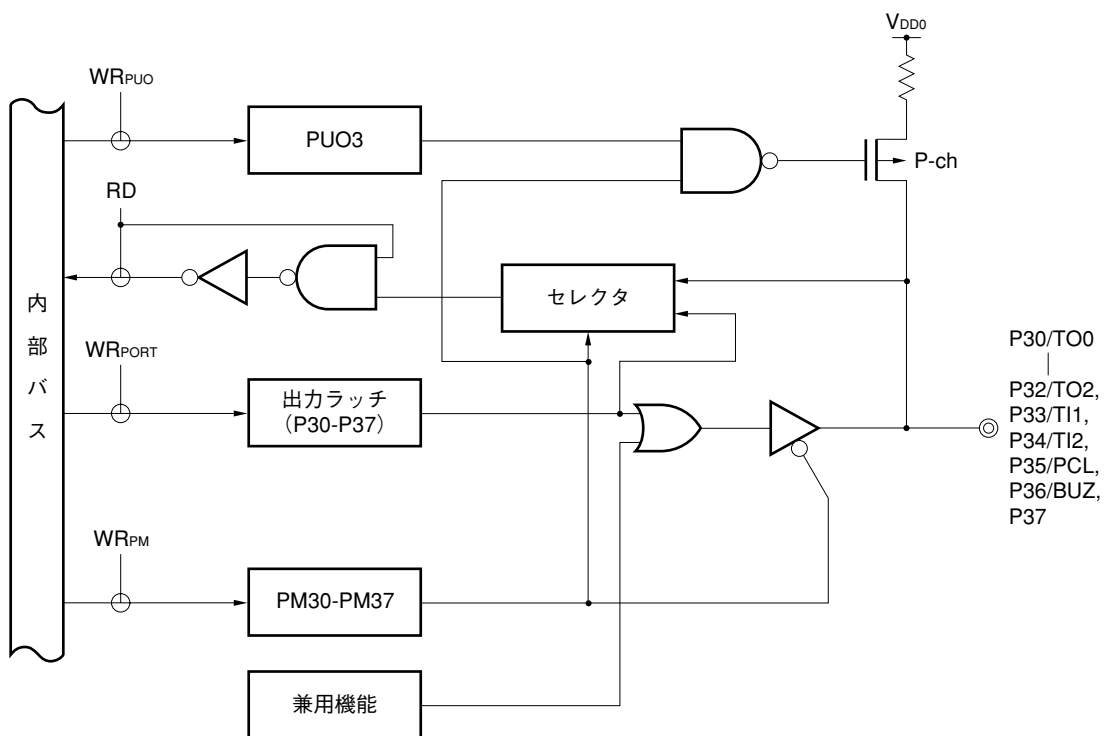
出力ラッチ付き8ビット入出力ポートです。P30-P37端子は、ポート・モード・レジスタ3 (PM3)により、1ビット単位で入力モード/出力モードの指定ができます。P30-P37端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、8ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力、クロック出力、ブザー出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6-9にポート3のブロック図を示します。

図6-9 P30-P37のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

6.2.6 ポート4

出力ラッチ付き8ビット入出力ポートです。P40-P47端子は、メモリ拡張モード・レジスタ(MM)により、8ビット単位で入力モード/出力モードの指定ができます。P40-P47端子を入力ポートとして使用する時、プルアップ抵抗オプション・レジスタL(PUOL)により、8ビット単位で内蔵プルアップ抵抗を使用できます。

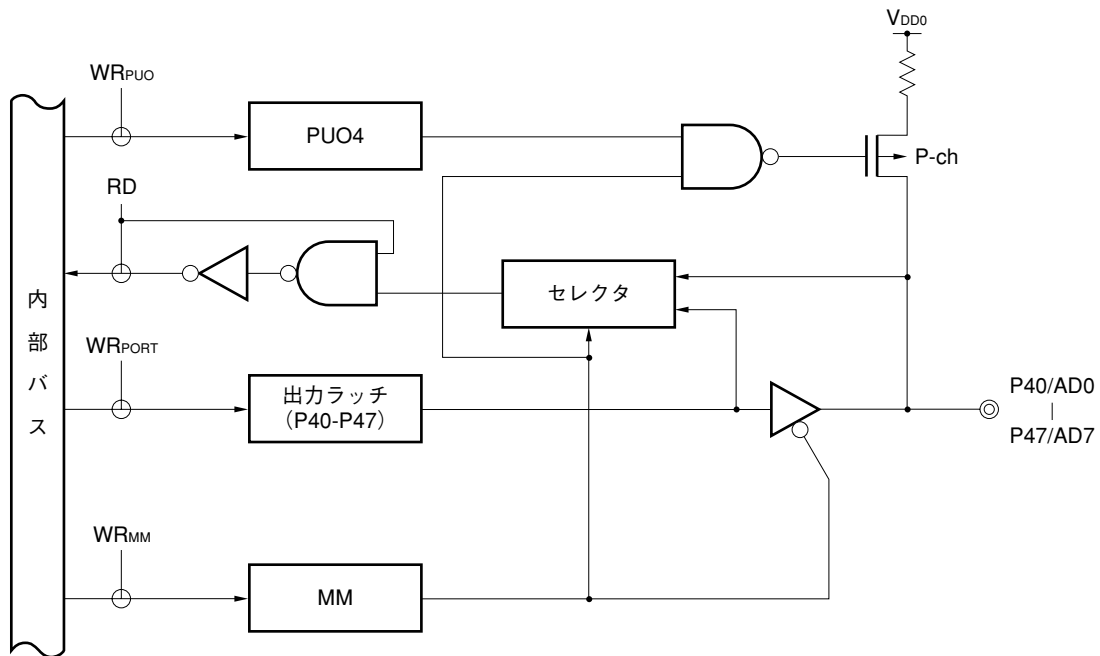
立ち下がりエッジの検出により、テスト入力フラグ(KRIF)を1にセットできます。

また、兼用機能として外部メモリ拡張モード時のアドレス/データ・バス機能があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6-10にポート4のブロック図、図6-11に立ち下がりエッジ検出回路のブロック図を示します。

図6-10 P40-P47のブロック図



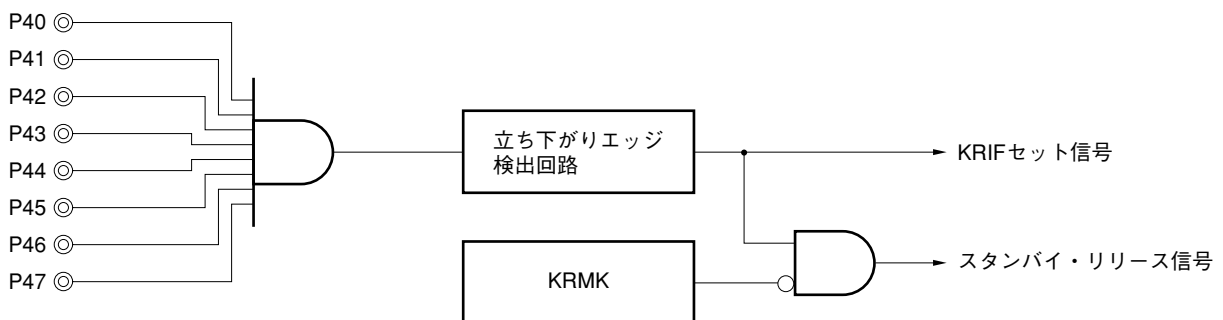
PUO : プルアップ抵抗オプション・レジスタ

MM : メモリ拡張モード・レジスタ

RD : ポート4のリード信号

WR : ポート4のライト信号

図6-11 立ち下がりエッジ検出回路のブロック図



6.2.7 ポート5

出力ラッチ付き8ビット入出力ポートです。P50-P57端子は、ポート・モード・レジスタ5 (PM5)により、1ビット単位で入力モード/出力モードの指定ができます。P50-P57端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、8ビット単位で内蔵プルアップ抵抗を使用できます。

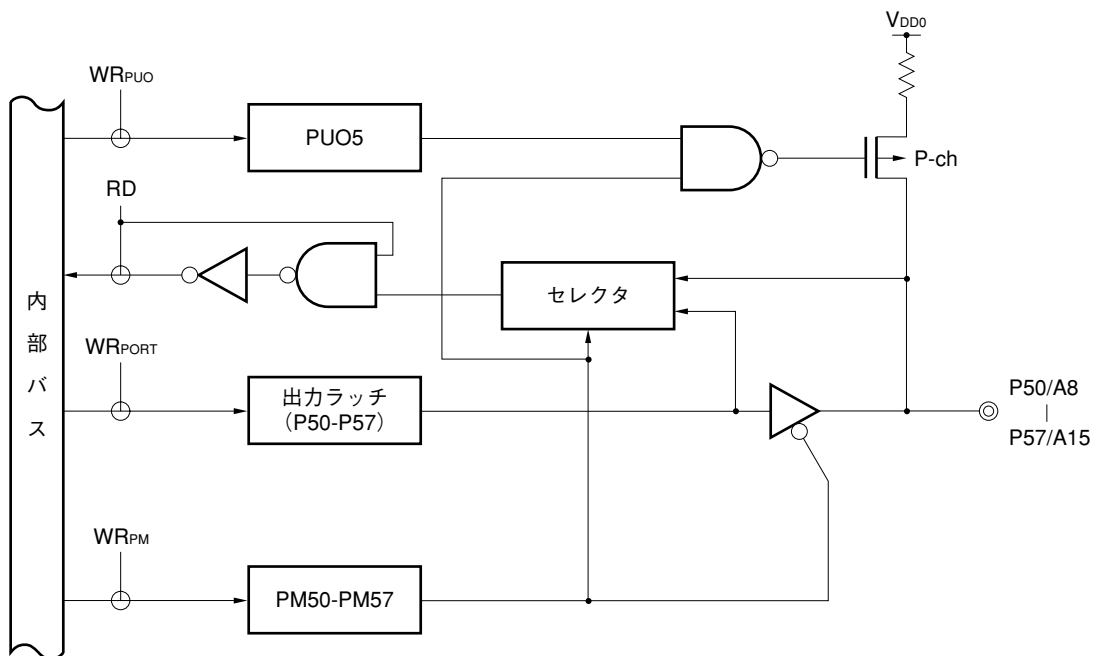
ポート5はLEDを直接駆動可能です。

また、兼用機能として外部メモリ拡張モード時のアドレス・バス機能があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6-12にポート5のブロック図を示します。

図6-12 P50-P57のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

6.2.8 ポート6

出力ラッチ付き8ビット入出力ポートです。P60-P67端子は、ポート・モード・レジスタ6 (PM6) により、1ビット単位で入力モード/出力モードの指定ができます。

このポートには次に示すようなプルアップ抵抗に関する機能があります。これらの機能は、ポートの上位4ビット/下位4ビット、およびマスクROM製品/フラッシュ・メモリ製品によって異なります。

表6-4 ポート6のプルアップ抵抗

	上位4ビット (P64-P67端子)	下位4ビット (P60-P63端子)
マスクROM製品	PUO6により、4ビット単位で内蔵プルアップ抵抗の接続指定可能	マスク・オプションにより1ビット単位でプルアップ抵抗内蔵可能
フラッシュ・メモリ製品		プルアップ抵抗を内蔵していない

PUO6：プルアップ抵抗オプション・レジスタL (PUOL) のビット6

P60-P63端子はLEDを直接駆動可能です。

また、P64-P67端子には、兼用機能として外部メモリ拡張モード時の制御信号出力機能があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6-13、図6-14にポート6のブロック図を示します。

注意1. 外部メモリ拡張モード時で外部ウエイトを使用しないときは、P66を入出力ポートとして使用できます。

2. P60-P63端子に流れるロウ・レベル入力リーク電流は、次に示す条件により値が異なります。

[マスクROM製品]

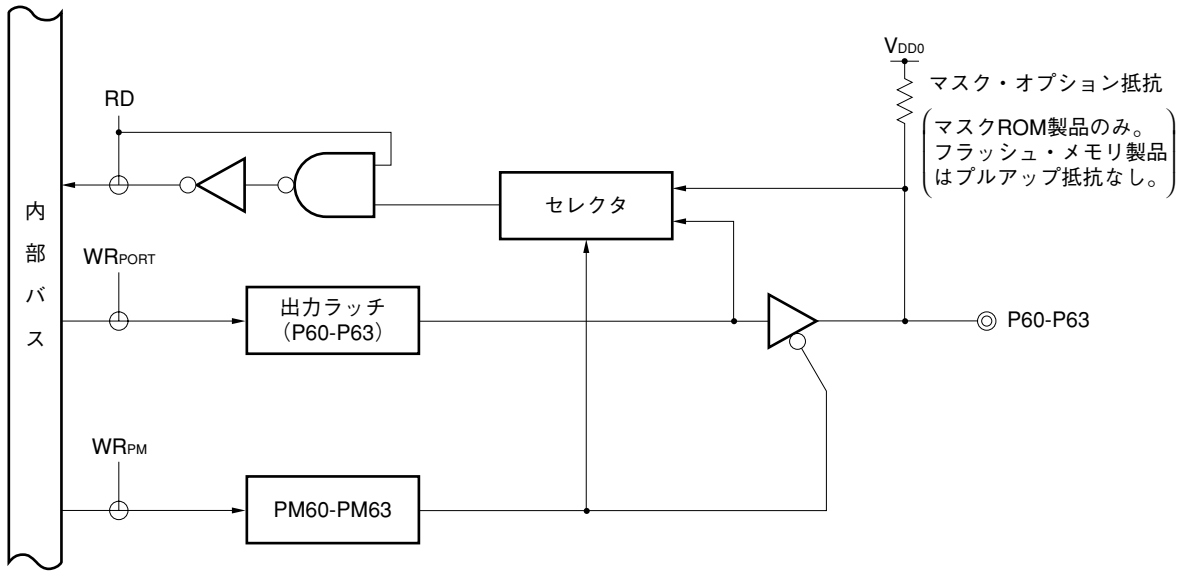
- ・プルアップ抵抗を内蔵しているとき：常に $-3\ \mu\text{A}$ (MAX.)
- ・プルアップ抵抗を内蔵していないとき
 - ・ポート6 (P6), ポート・モード・レジスタ6 (PM6) に対して
MOV命令等の読み出し命令を実行したときの1.5クロック間
(ノー・ウエイト時)^注 : $-200\ \mu\text{A}$ (MAX.)
 - ・上記以外 : $-3\ \mu\text{A}$ (MAX.)

[フラッシュ・メモリ製品]

- ・ポート6 (P6), ポート・モード・レジスタ6 (PM6) に対して
MOV命令等の読み出し命令を実行したときの1.5クロック間
(ノー・ウエイト時)^注 : $-200\ \mu\text{A}$ (MAX.)
- ・上記以外 : $-3\ \mu\text{A}$ (MAX.)

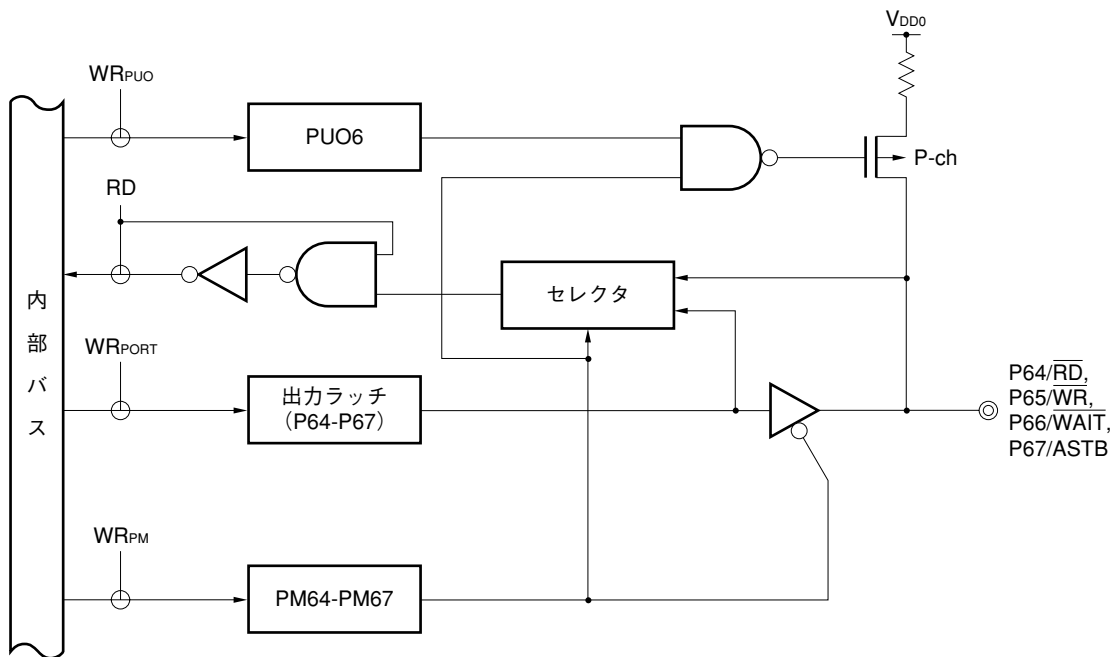
★ 注 このとき、内部プルアップ抵抗は有効となっています。

図 6-13 P60-P63のブロック図



PM : ポート・モード・レジスタ
 RD : ポート6のリード信号
 WR : ポート6のライト信号

図 6-14 P64-P67のブロック図



PUO : プルアップ抵抗オプション・レジスタ
 PM : ポート・モード・レジスタ
 RD : ポート6のリード信号
 WR : ポート6のライト信号

6.2.9 ポート7

出力ラッチ付き3ビット入出力ポートです。ポート・モード・レジスタ7 (PM7)により、1ビット単位で入力モード/出力モードの指定ができます。P70-P72端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタL (PUOL)により、3ビット単位で内蔵プルアップ抵抗を使用できます。

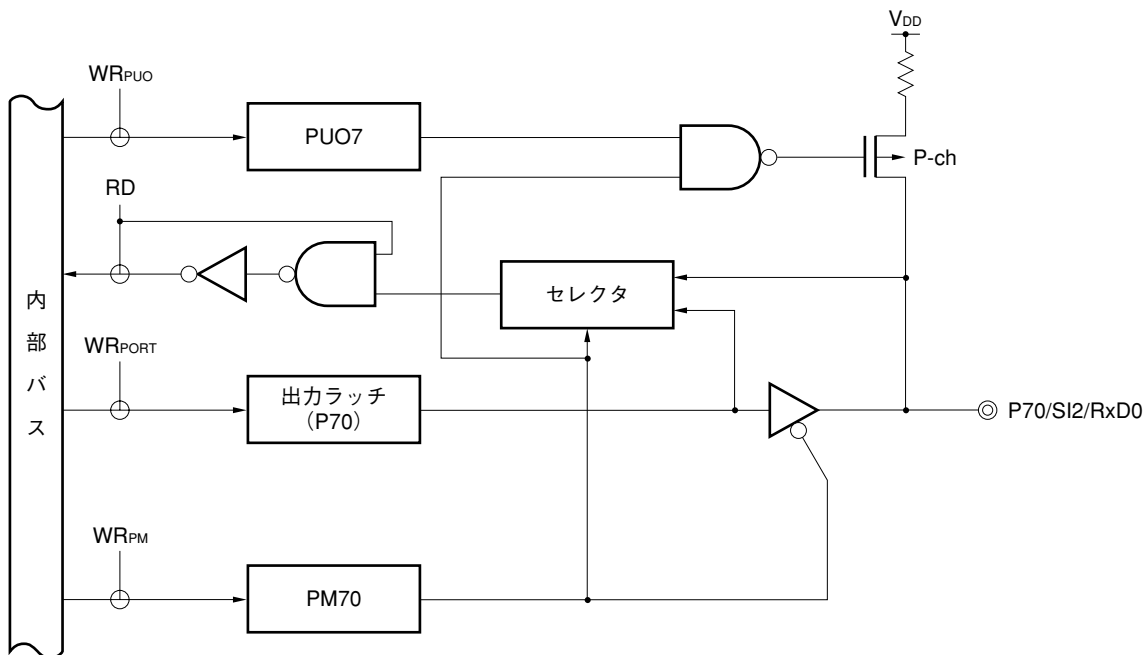
また、兼用機能としてシリアル・インタフェース・チャンネル2のデータ入出力、クロック入出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6-15、図6-16にポート7のブロック図を示します。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表19-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

図6-15 P70のブロック図



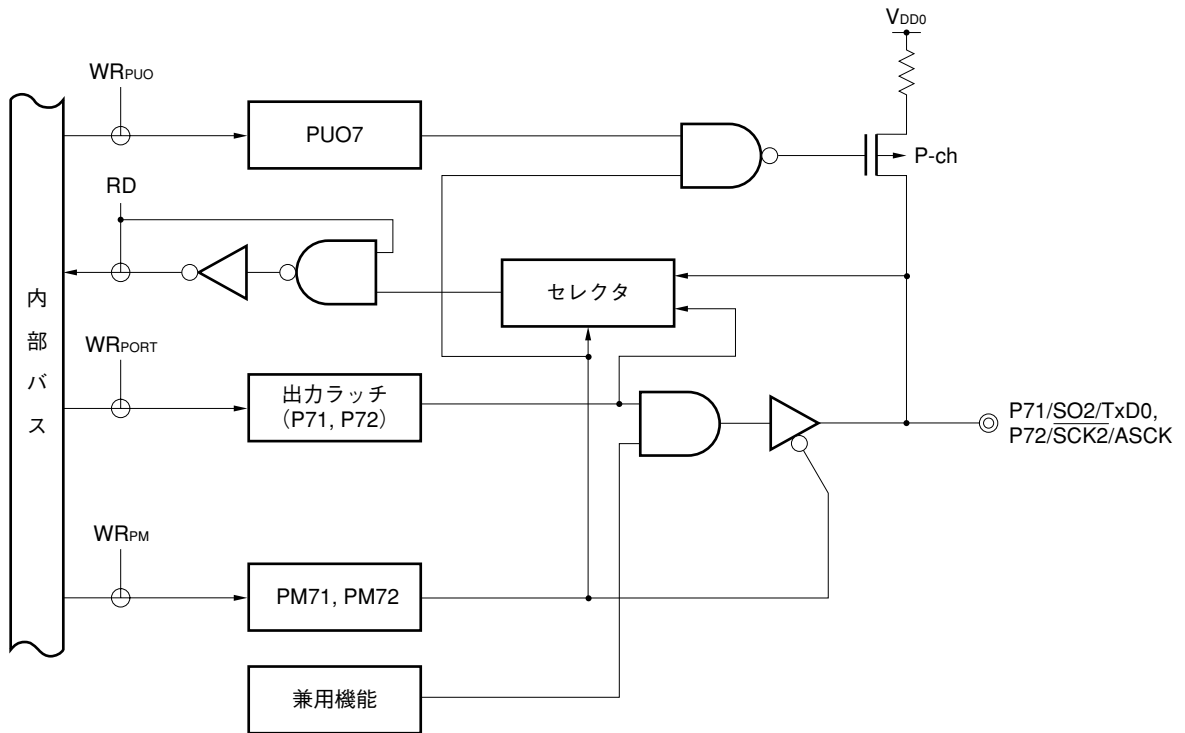
PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート7のリード信号

WR : ポート7のライト信号

図6-16 P71, P72のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート7のリード信号

WR : ポート7のライト信号

6.2.10 ポート12

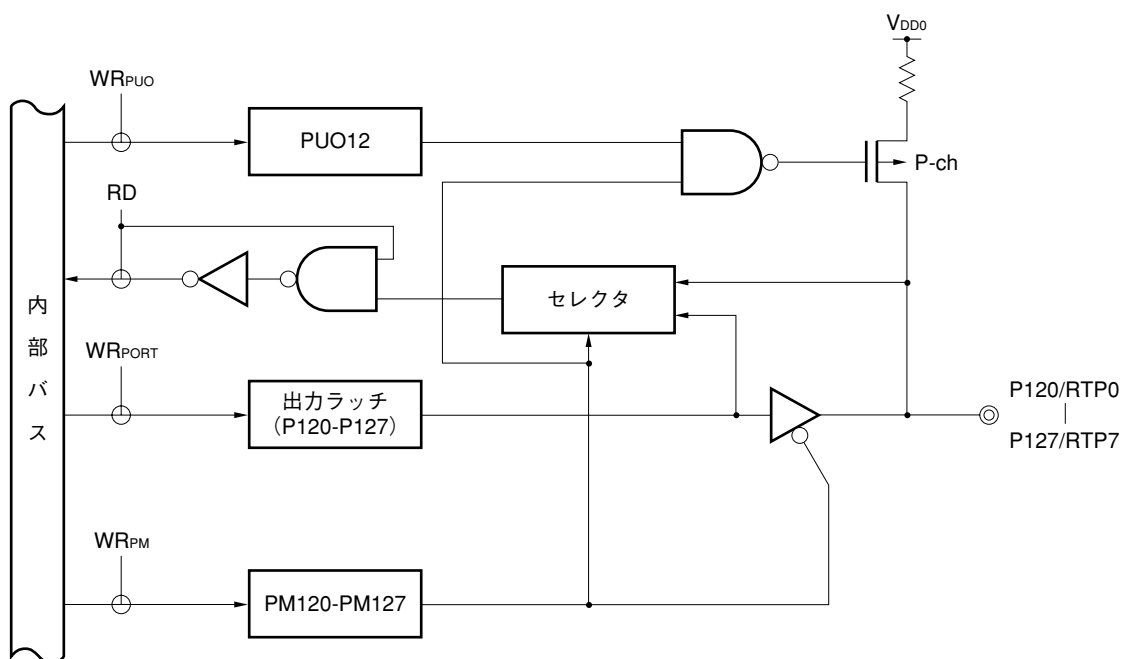
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ12(PM12)により、1ビット単位で入力モード/出力モードの指定ができます。P120-P127端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタH(PUOH)により、8ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてリアルタイム出力機能があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6-17にポート12のブロック図を示します。

図6-17 P120-P127のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート12のリード信号

WR : ポート12のライト信号

6.2.11 ポート13

出力ラッチ付き2ビット入出力ポートです。ポート・モード・レジスタ13(PM13)により、1ビット単位で入力モード/出力モードの指定ができます。P130, P131端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタH(PUOH)により、2ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてD/Aコンバータのアナログ出力があります。

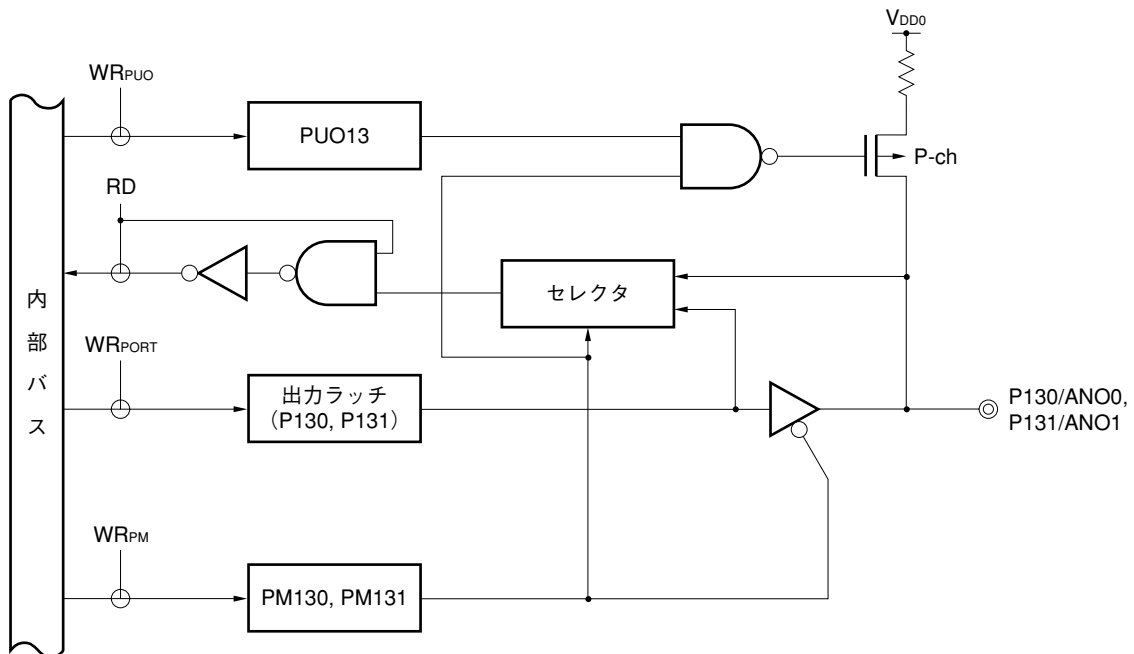
$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6-18にポート13のブロック図を示します。

注意 $\text{AV}_{\text{REF}1} < \text{V}_{\text{DD}0}$ でD/Aコンバータを1チャンネルのみで使用しているときは、アナログ出力として使用していない端子に、次に示すいずれかの処置をしてください。

- ・ポート・モード・レジスタ13(PM13)のPM13×ビットに1(入力モード)を設定して、 $\text{V}_{\text{SS}0}$ に接続する。
- ・ポート・モード・レジスタ13(PM13)のPM13×ビットに0(出力モード)、出力ラッチに0を設定して、ロウ・レベルを出力する。

図6-18 P130, P131のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート13のリード信号

WR : ポート13のライト信号

6.3 ポート機能を制御するレジスタ

ポートは、次の4種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0, PM1, PM2, PM3, PM5, PM6, PM7, PM12, PM13)
- ・プルアップ抵抗オプション・レジスタ (PUOH, PUOL)
- ・メモリ拡張モード・レジスタ (MM)
- ・キー・リターン・モード・レジスタ (KRM)

(1) ポート・モード・レジスタ (PM0, PM1, PM2, PM3, PM5, PM6, PM7, PM12, PM13)

ポートの入力/出力を1ビット単位で設定するレジスタです。

PM0, PM1, PM2, PM3, PM5, PM6, PM7, PM12, PM13は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表6-5のように設定してください。

注意1. P00, P07端子は、入力専用端子です。

2. ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. P40-P47端子の入力/出力は、メモリ拡張モード・レジスタ (MM) で指定します。

表 6-5 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定

端子名称	兼用機能		PM××	P××
	名称	入出力		
P00	INTP0	入力	1 (固定)	なし
	TI00	入力	1 (固定)	なし
P01	INTP1	入力	1	×
	TI01	入力	1	×
P02-P05	INTP2-INTP5	入力	1	×
P07 ^{注1}	XT1	入力	1 (固定)	なし
P10-P17 ^{注1}	ANI0-ANI7	入力	1	×
P30-P32	TO0-TO2	出力	0	0
P33, P34	TI1, TI2	入力	1	×
P35	PCL	出力	0	0
P36	BUZ	出力	0	0
P40-P47	AD0-AD7	入出力	× ^{注2}	
P50-P57	A8-A15	出力	× ^{注2}	
P64	\overline{RD}	出力	× ^{注2}	
P65	\overline{WR}	出力	× ^{注2}	
P66	\overline{WAIT}	入力	× ^{注2}	
P67	ASTB	出力	× ^{注2}	
P120-P127	RTP0-RTP7	出力	0	任意
P130, P131 ^{注1}	ANO0, ANO1	出力	1	×

注1. 兼用機能の端子として使用しているときに、これらのポートに対して読み出し命令を実行した場合、読み出したデータは不定になります。

2. P40-P47, P50-P57, P64-P67端子を兼用機能の端子として使用するときは、メモリ拡張モード・レジスタ(MM)で機能を設定します。

注意1. メモリ拡張モード時で外部ウエイトを使用しないときは、P66端子を入出力ポートとして使用できます。

2. ポート 2, ポート 7 をシリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図16-4 シリアル動作モード・レジスタ0のフォーマット、図17-4 シリアル動作モード・レジスタ0のフォーマット、図18-3 シリアル動作モード・レジスタ1のフォーマット、表19-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

図6-19 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	PM05	PM04	PM03	PM02	PM01	1	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FF26H	FFH	R/W
PM7	1	1	1	1	1	PM72	PM71	PM70	FF27H	FFH	R/W
PM12	PM127	PM126	PM125	PM124	PM123	PM122	PM121	PM120	FF2CH	FFH	R/W
PM13	1	1	1	1	1	1	PM131	PM130	FF2DH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-3, 5-7, 12, 13 : n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) プルアップ抵抗オプション・レジスタ(PUOH, PUOL)

各ポートの内蔵プルアップ抵抗を使用するか、使用しないかを設定するレジスタです。PUOH, PUOLで内蔵プルアップ抵抗の使用を指定したポートで、入力モードに設定したビットにのみ、内部でプルアップ抵抗が使用できます。出力モードに設定したビットおよびアナログ入力端子として使用するビットは、PUOH, PUOLの設定にかかわらず、内蔵プルアップ抵抗を使用できません。

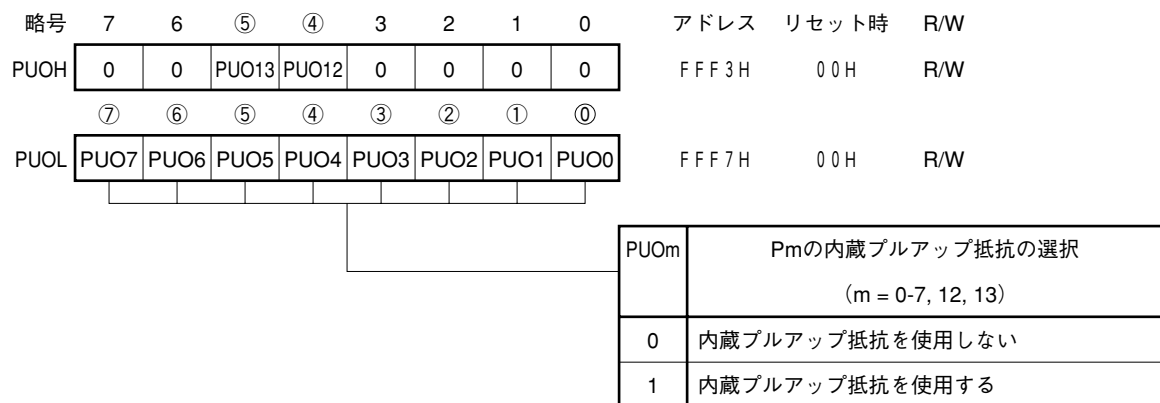
PUOH, PUOLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

注意 1. P00, P07端子は、プルアップ抵抗を内蔵していません。

2. ポート 1, 4, 5, P64-P67端子を兼用機能の端子として使用するとき、PUOH, PUOLのPUOmビットに1を設定しても内蔵プルアップ抵抗を使用できません(m = 1, 4-6)。

3. P60-P63端子は、マスクROM製品のみマスク・オプションによりプルアップ抵抗を内蔵できます。

図 6-20 プルアップ抵抗オプション・レジスタのフォーマット



注意 PUOHのビット0-3, 6, 7には、0を設定してください。

(3) メモリ拡張モード・レジスタ(MM)

ポート4の入力/出力を設定するレジスタです。

MMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、10Hになります。

図6-21 メモリ拡張モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MM	0	0	PW1	PW0	0	MM2	MM1	MM0	FFF8H	10H	R/W

MM2	MM1	MM0	シングルチップ/ メモリ拡張モードの選択		P40-P47, P50-P57, P64-P67端子の状態					
					P40-P47	P50-P53	P54, P55	P56, P57	P64-P67	
0	0	0	シングルチップ・モード		ポート・ モード	入力	ポート・モード			
0	0	1								
0	1	1	メモリ拡張 モード	256バイト・ モード	AD0-AD7	ポート・モード			P64 = $\overline{\text{RD}}$ P65 = $\overline{\text{WR}}$ P66 = $\overline{\text{WAIT}}$ P67 = $\overline{\text{ASTB}}$	
1	0	0		4 Kバイト・ モード						A8-A11
1	0	1		16 Kバイト・ モード		A12, A13	ポート・ モード			
1	1	1		フルアドレス・ モード ^注			A14, A15	ポート・ モード		
上記以外			設定禁止							

PW1	PW0	ウエイトの制御
0	0	ウエイトなし
0	1	ウエイトあり(1ウエイト・ステート挿入)
1	0	設定禁止
1	1	外部ウエイト端子によるウエイト制御

注 フルアドレス・モードとは、64 Kアドレス空間のうち、内部ROM, RAM, SFR領域および使用不可領域を除く、すべての領域に外部拡張できるモードです。

備考1. P60-P63端子は、シングルチップ・モード、メモリ拡張モードにかかわらずポート・モードになります。

2. MMは、ポート4の入力/出力の設定以外に、ウエイト数、外部拡張領域を設定する機能があります。

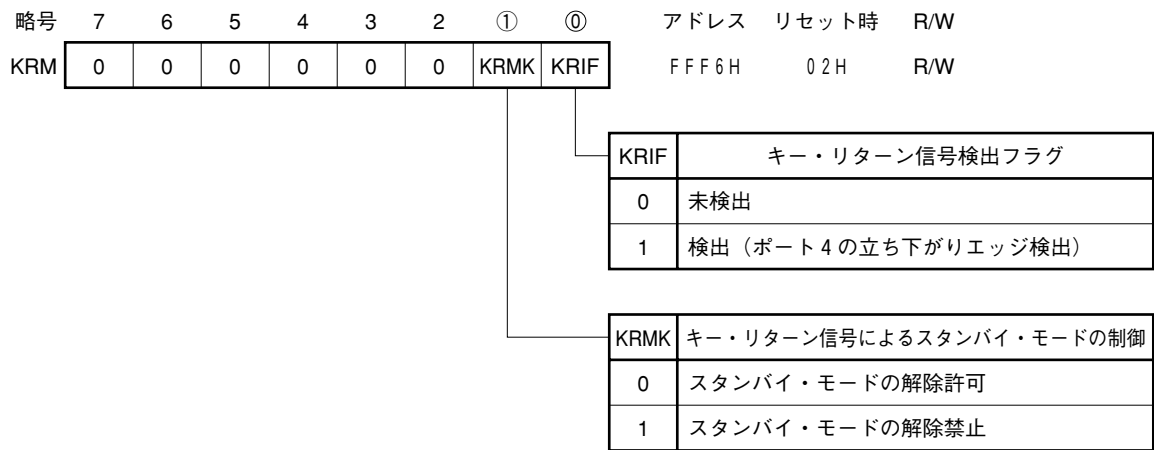
(4) キー・リターン・モード・レジスタ(KRM)

キー・リターン信号(ポート4の立ち下がりエッジ検出)によるスタンバイ・モードの解除の許可/禁止を設定するレジスタです。

KRMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図6-22 キー・リターン・モード・レジスタのフォーマット



注意 ポート4で立ち下がりエッジ検出を使用するとき、必ずKRIFを0にクリアしてください (KRIFは自動的に0にクリアされません)。

6.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

6.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

6.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

6.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力／出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

6.5 マスク・オプションの選択

マスクROM製品には、次のマスク・オプションがあります。フラッシュ・メモリ製品には、マスク・オプションはありません。

表6-6 マスクROM製品のマスク・オプションとフラッシュ・メモリ製品との比較

端子名	マスクROM製品	フラッシュ・メモリ製品
P60-P63端子のマスク・オプション	1ビット単位でプルアップ抵抗を内蔵できます。	プルアップ抵抗を内蔵していません。

第7章 クロック発生回路

7.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロック発振回路には、次の2種類があります。

(1) メイン・システム・クロック発振回路

1～5.0 MHzの周波数を発振します。STOP命令の実行およびプロセッサ・クロック・コントロール・レジスタ(PCC)の設定により、発振を停止できます。

(2) サブシステム・クロック発振回路

32.768 kHzの周波数を発振します。発振の停止はできません。サブシステム・クロック発振回路を使用しないとき、プロセッサ・クロック・コントロール・レジスタ(PCC)により、内蔵フィードバック抵抗を使用しない設定ができます。これによって、STOPモード時の消費電力を低減できます。

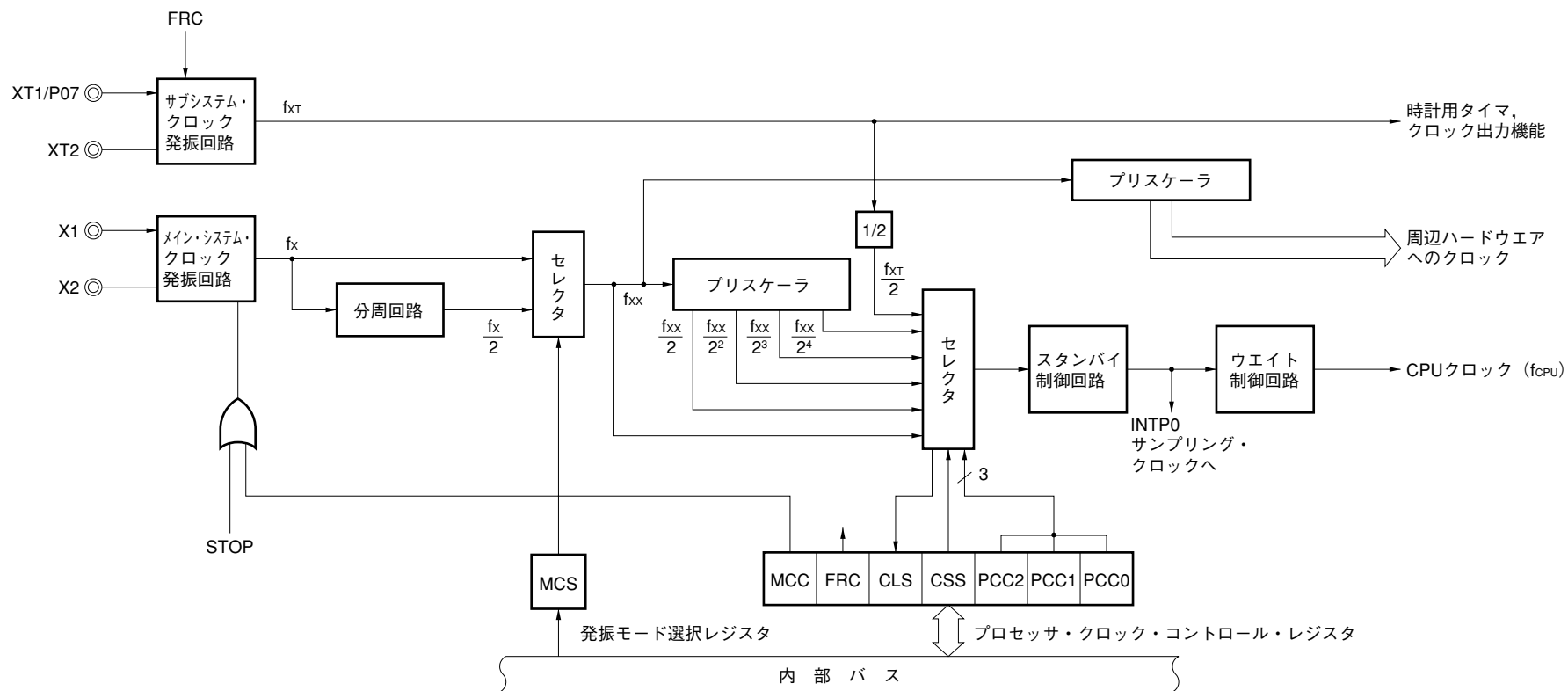
7.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表7-1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ(PCC) 発振モード選択レジスタ(OSMS)
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック発振回路

図 7-1 クロック発生回路のブロック図



7.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の2種類のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ(PCC)
- ・発振モード選択レジスタ(OSMS)

(1) プロセッサ・クロック・コントロール・レジスタ(PCC)

CPUクロックの選択、分周比、メイン・システム・クロック発振回路の動作/停止、サブシステム・クロック発振回路の内蔵フィードバック抵抗^注を使用するか、しないかを設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。

- ★ 注 フィードバック抵抗は発振波形のバイアス点を電源電圧の中間付近に調整するために必要なものです。サブシステム・クロックを使用しない場合のみ、PCCのビット6 (FRC)に1を設定することでSTOPモード時の消費電流をさらに抑えることが可能です。

図7-2 サブシステム・クロックのフィードバック抵抗

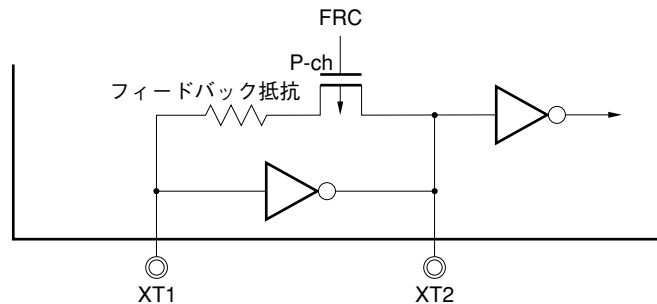


図7-3 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	⑦	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
PCC	MCC	FRC	CLS	CSS	0	PCC2	PCC1	PCC0	FFFBH	04H	R/W ^{注1}

R/W	CSS	PCC2	PCC1	PCC0	CPUクロック (f _{cpu}) の選択		
					MCS = 1		MCS = 0
0	0	0	0	f _{xx}	f _x	f _x /2	
	0	0	1	f _{xx} /2	f _x /2	f _x /2 ²	
	0	1	0	f _{xx} /2 ²	f _x /2 ²	f _x /2 ³	
	0	1	1	f _{xx} /2 ³	f _x /2 ³	f _x /2 ⁴	
	1	0	0	f _{xx} /2 ⁴	f _x /2 ⁴	f _x /2 ⁵	
1	0	0	0	f _{xT} /2			
	0	0	1				
	0	1	0				
	0	1	1				
	1	0	0				
上記以外				設定禁止			

R	CLS	CPUクロックのステータス
0	メイン・システム・クロック	
1	サブシステム・クロック	

R/W	FRC	サブシステム・クロックのフィードバック抵抗の選択
0	内蔵フィードバック抵抗を使用する	
1	内蔵フィードバック抵抗を使用しない ^{注2}	

R/W	MCC	メイン・システム・クロックの発振の制御 ^{注3}
0	発振可能	
1	発振停止	

注1. ビット5は、Read Onlyです。

★

2. サブシステム・クロックを使用しない場合のみ、1に設定可能です。

3. CPUがサブシステム・クロックで動作しているとき、メイン・システム・クロックの発振の停止は、MCCを使用してください。STOP命令は使用しないでください。

注意 ビット3には、必ず0を設定してください。

備考1. f_{xx} : メイン・システム・クロック周波数 (f_xまたはf_x/2)

2. f_x : メイン・システム・クロック発振周波数

3. f_{xT} : サブシステム・クロック発振周波数

4. MCS : 発振モード選択レジスタ(OSMS)のビット0

μ PD780058, 780058Yサブシリーズの一番速い命令は、CPUクロック2クロックで実行されます。したがって、CPUクロック (f_{CPU}) と最小命令実行時間の関係は、表7-2のようになります。

表7-2 CPUクロックと最小命令実行時間の関係

CPUクロック (f_{CPU})	最小命令実行時間: $2/f_{CPU}$
f_x	$0.4 \mu s$
$f_x/2$	$0.8 \mu s$
$f_x/2^2$	$1.6 \mu s$
$f_x/2^3$	$3.2 \mu s$
$f_x/2^4$	$6.4 \mu s$
$f_x/2^5$	$12.8 \mu s$
$f_{XT}/2$	$122 \mu s$

$f_x = 5.0 \text{ MHz}$, $f_{XT} = 32.768 \text{ kHz}$

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

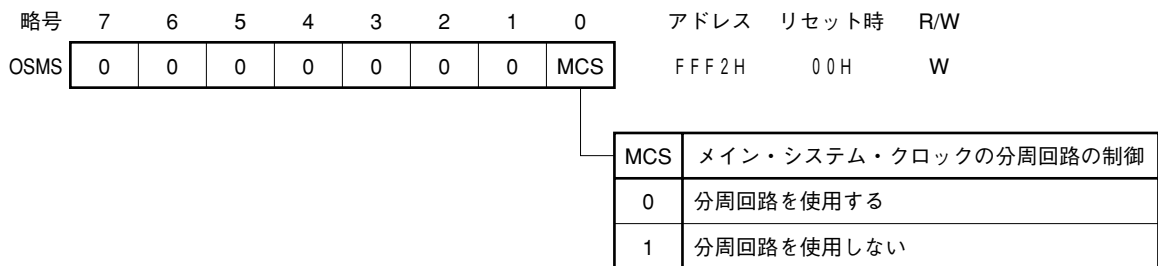
(2) 発振モード選択レジスタ(OSMS)

メイン・システム・クロック発振回路から分周回路を通さずに出力したクロックをメイン・システム・クロックとするか、分周回路を通して出力したクロックをメイン・システム・クロックとするかを設定するレジスタです。

OSMSは、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図7-4 発振モード選択レジスタのフォーマット



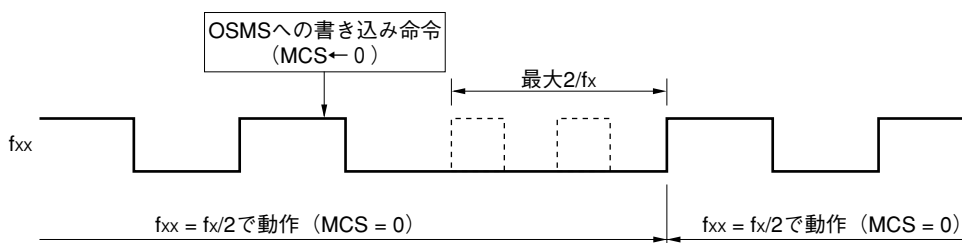
注意1. OSMSへの書き込み命令(同じ値を書き込む場合を含みます)を実行すると、書き込み命令実行時のみ、メイン・システム・クロック周期が最大 $2/f_x$ 長くなります(図7-5参照)。

このため、周辺ハードウェアのうち、メイン・システム・クロックで動作しているハードウェアでは、タイマなどのカウント・クロック周期に一時的な誤差が生じます。

また、発振モードの切り替えを行った場合、CPUに供給されるクロックだけでなく、周辺ハードウェアへ供給されるクロックも切り替わります。

したがって、OSMSへの書き込み命令は、リセット解除後、周辺ハードウェアを動作させる前に、一度だけ実行することを推奨します。

図7-5 OSMS書き込み時のメイン・システム・クロック



2. MCSに1を設定する場合は、 $V_{DD} \geq 2.7V$ になってから行ってください。

備考 f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

f_x : メイン・システム・クロック発振周波数

7.4 システム・クロック発振回路

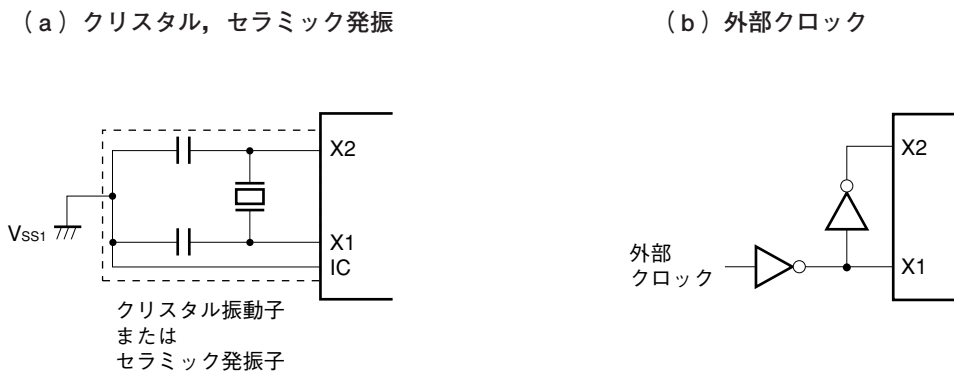
7.4.1 メイン・システム・クロック発振回路

メイン・システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子(標準: 5.0 MHz)によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

図7-6にメイン・システム・クロック発振回路の外付け回路を示します。

図7-6 メイン・システム・クロック発振回路の外付け回路



注意1. 外部クロックを入力しているとき、STOP命令の実行およびMCC(プロセッサ・クロック・コントロール・レジスタ(PCC)のビット7)に1を設定しないでください。STOP命令の実行およびMCCに1を設定するとメイン・システム・クロックの動作が停止され、X2端子がV_{DD1}にプルアップされます。

2. メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図7-6、図7-7の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常にV_{SS1}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- 発振回路から信号を取り出さない。

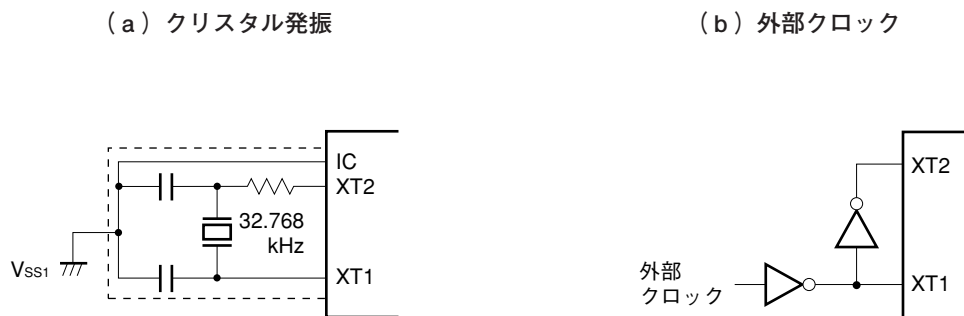
7.4.2 サブシステム・クロック発振回路

サブシステム・クロック発振回路はXT1, XT2端子に接続されたクリスタル振動子(標準: 32.768 kHz)によって発振します。

また、外部クロックを入力することもできます。その場合、XT1端子にクロック信号を入力し、XT2端子には、その反転した信号を入力してください。

図7-7にサブシステム・クロック発振回路の外付け回路を示します。

図7-7 サブシステム・クロック発振回路の外付け回路



注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図7-6、図7-7の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常にV_{SS1}と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

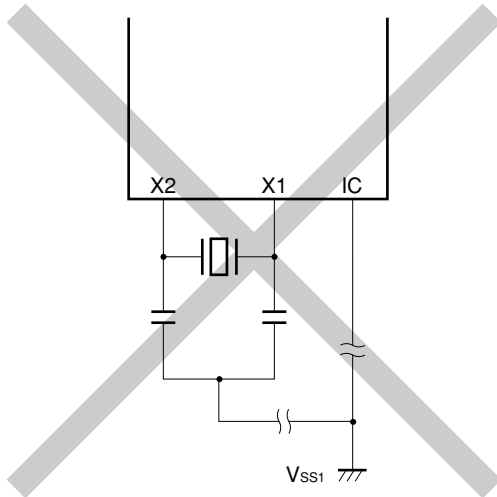
特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

7.4.3 発振子の接続の悪い例

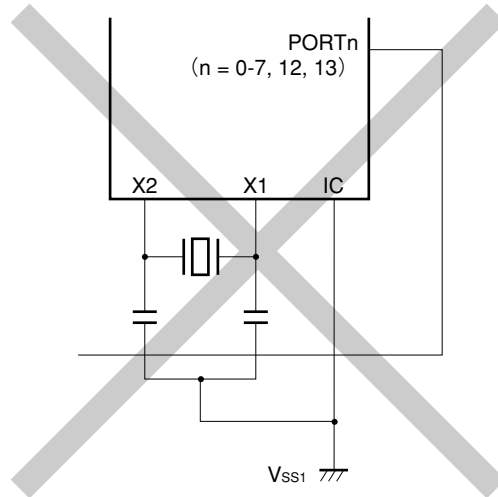
図7-8に発振子の接続の悪い例を示します。

図7-8 発振子の接続の悪い例(1/2)

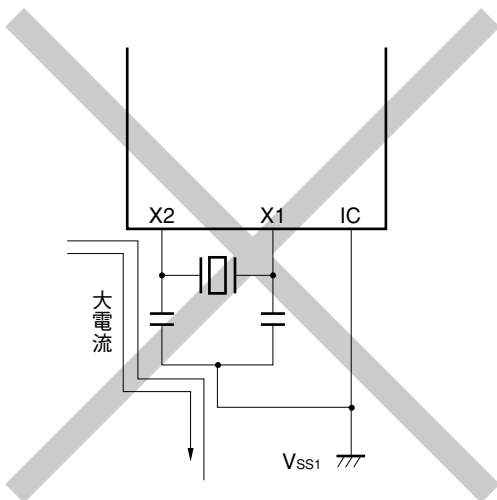
(a) 接続回路の配線が長い



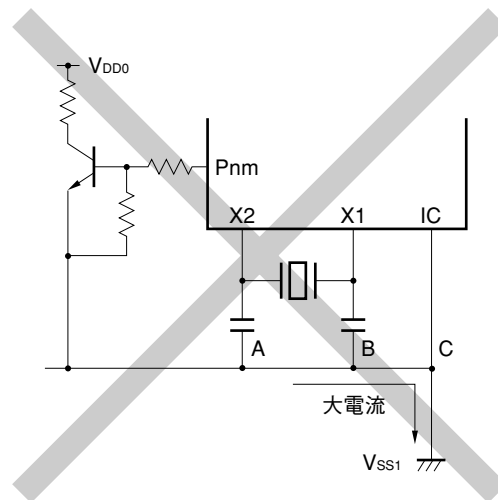
(b) 信号線が交差している



(c) 変化する大電流が信号線に近接している



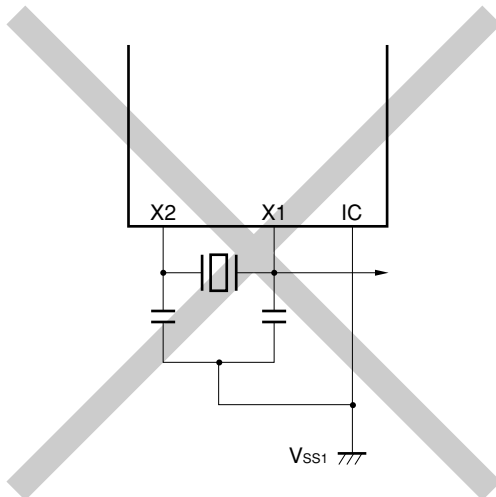
(d) 発振回路部のグラウンド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図7-8 発振子の接続の悪い例(2/2)

(e) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

注意 XT2とX1が平行に配線されている場合、X1のクロストーク・ノイズがXT2に相乗し誤動作を引き起こすことがあります。

これを避けるために、XT2とX1の配線を平行にしないとともに、XT2, X1の間にあるIC端子をVSS1に直接接続してください。

7.4.4 分周回路

分周回路は、メイン・システム・クロック発振回路出力(f_{xx})を分周して、各種クロックを生成します。

7.4.5 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1, XT2端子を次のように処置してください。

XT1: VDD0に接続してください。

XT2: オープンにしてください。

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを抑えるには、プロセッサ・クロック・コントロール・レジスタ(PCC)のビット6 (FRC)に1を設定して、内蔵フィードバック抵抗を使用しない設定にしてください。このときも、XT1, XT2端子の処理は上記と同じです。

7.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_{XX}
- ・サブシステム・クロック f_{XT}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ(PCC)、発振モード選択レジスタ(OSMS)により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりメイン・システム・クロックの最低速モード(12.8 μs : 5.0 MHz動作時)が選択されます(PCC = 04H, OSMS = 00H)。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- (b) メイン・システム・クロックを選択した状態でPCC, OSMSの設定により6段階の最小命令実行時間(0.4 μs , 0.8 μs , 1.6 μs , 3.2 μs , 6.4 μs , 12.8 μs : 5.0 MHz動作時)を選択できます。
- (c) メイン・システム・クロックを選択した状態でSTOPモード、HALTモードの2つのスタンバイ・モードが使用できます。また、サブシステム・クロックを使用していないシステムの場合、PCCのビット6(FRC)で内蔵フィードバック抵抗を使用しない設定をすることにより、STOPモード時の消費電流をさらに低減できます。
- (d) PCCにより、サブシステム・クロックを選択し、低消費電流で動作(122 μs : 32.768 kHz動作時)でできます。
- (e) サブシステム・クロックを選択した状態で、PCCによりメイン・システム・クロックの発振を停止できます。また、HALTモードを使用できます。しかし、STOPモードを使用することはできません(サブシステム・クロックの発振を停止させることはできません)。
- (f) 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、16ビット・タイマ/イベント・カウンタ、時計用タイマ、クロック出力機能にのみサブシステム・クロックを供給しています。このため、スタンバイ状態でも16ビット・タイマ/イベント・カウンタ(サブシステム・クロック動作時でカウント・クロックに時計用タイマ出力を選択したとき)、時計機能、クロック出力機能は、継続して使用できます。しかし、そのほかの周辺ハードウェアはメイン・システム・クロックによって動作していますので、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します(ただし、外部からの入力クロック動作は除く)。

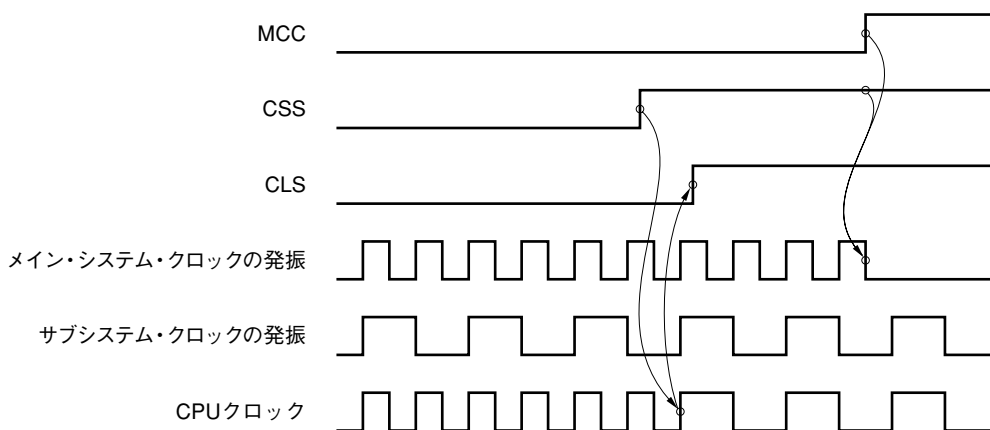
7.5.1 メイン・システム・クロックの動作

メイン・システム・クロック動作時(プロセッサ・クロック・コントロール・レジスタ(PCC)のビット5 (CLS)が0のとき)、PCCの設定により次のように動作します。

- (a) 電源電圧により動作保証命令実行速度が異なるため、PCCのビット0-2(PCC0-PCC2)により最小命令実行時間を変更できます。
- (b) メイン・システム・クロックで動作しているときPCCのビット7 (MCC)を1に設定してもメイン・システム・クロックの発振は停止しません。そのあとPCCのビット4 (CSS)を1に設定し、サブシステム・クロック動作に切り替わったあと(CLS = 1)、メイン・システム・クロックの発振が停止します(図7-9参照)。

図7-9 メイン・システム・クロックの停止機能(1/2)

(a) メイン・システム・クロック動作時にCSSをセットしたあと、MCCをセットしたときの動作



(b) メイン・システム・クロック動作時にMCCをセットしたときの動作

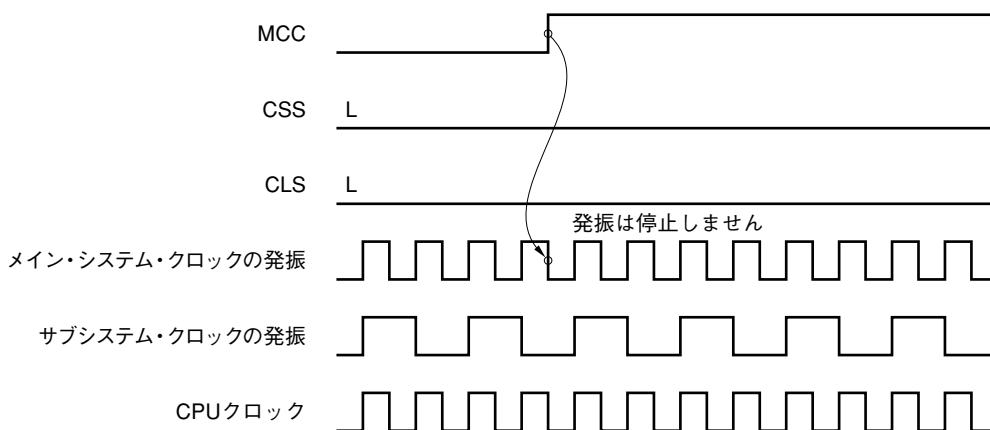
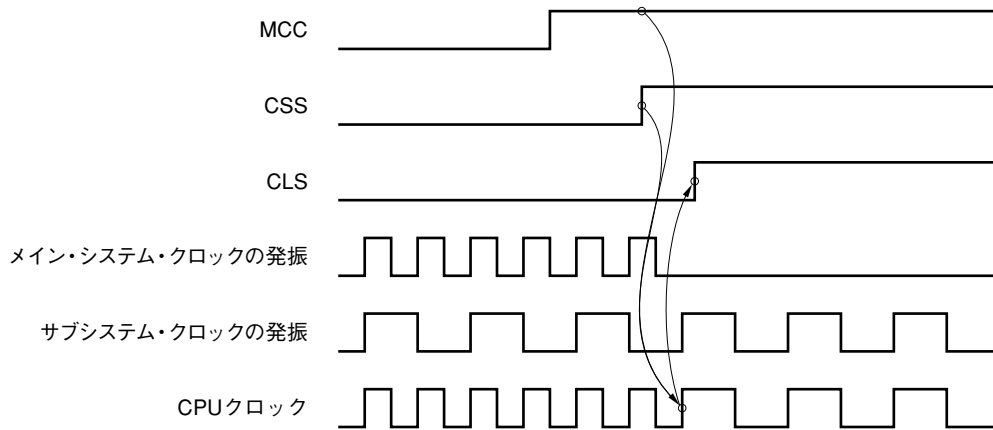


図7-9 メイン・システム・クロックの停止機能(2/2)

(c) メイン・システム・クロック動作時にMCCをセットしたあと、CSSをセットしたときの動作



7.5.2 サブシステム・クロックの動作

サブシステム・クロック動作時(プロセッサ・クロック・コントロール・レジスタ(PCC)のビット5 (CLS)が1のとき)、次のように動作します。

- (a) PCCのビット0-2 (PCC0-PCC2) に関係なく最小命令実行時間は一定 (122 μ s : 32.768 kHz動作時) です。
- (b) ウォッチドッグ・タイマのカウントが停止します。

注意 サブシステム・クロック動作中はSTOP命令を実行しないでください。

7.6 システム・クロックとCPUクロックの設定の変更

7.6.1 システム・クロックとCPUクロックの切り替えに要する時間

システム・クロックとCPUクロックは、プロセッサ・クロック・コントロール・レジスタ(PCC)のビット0-2(PCC0-PCC2)とビット4 (CSS)により切り替えができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します(表7-3参照)。

メイン・システム・クロックで動作しているのか、サブシステム・クロックで動作しているのかは、PCCのビット5 (CLS)で判定できます。

表 7-3 CPUクロックの切り替えに要する最大時間

切り替え前の設定値				切り替え後の設定値																											
CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	MCS = 1				MCS = 0			
																								CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0
				0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	×	×	×	1	×	×	×
0	0	0	0	/				16命令				16命令				16命令				16命令				fx/2fxT命令 (77命令)				fx/4fxT命令 (39命令)			
	0	0	1					8命令				8命令				8命令				8命令				fx/4fxT命令 (39命令)				fx/8fxT命令 (20命令)			
	0	1	0					4命令				4命令				4命令				4命令				fx/8fxT命令 (20命令)				fx/16fxT命令 (10命令)			
	0	1	1					2命令				2命令				2命令				2命令				fx/16fxT命令 (10命令)				fx/32fxT命令 (5命令)			
	1	0	0					1命令				1命令				1命令				1命令				fx/32fxT命令 (5命令)				fx/64fxT命令 (3命令)			
1	×	×	×	1命令				1命令				1命令				1命令				1命令				/							

備考 1. 1 命令は、切り替え前のCPUクロックの最小命令実行時間となります。

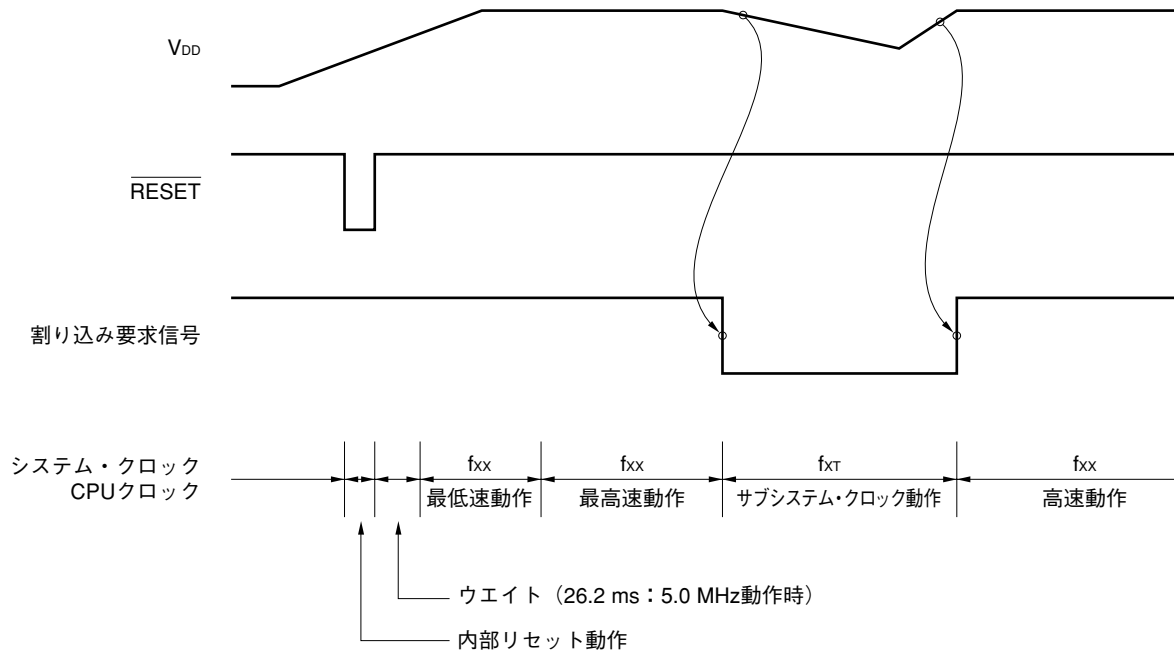
- 2. MCS : 発振モード選択レジスタ(OSMS)のビット 0
- 3. ()内はfx = 5.0 MHz, fxT = 32.768 kHz時。

注意 CPUクロックの分周の選択(PCC0-PCC2)とメイン・システム・クロックからサブシステム・クロックへの切り替え(CSSを0→1)を同時に行わないでください。
ただし、CPUクロックの分周の選択(PCC0-PCC2)とサブシステム・クロックからメイン・システム・クロックへの切り替え(CSSを1→0)は同時に設定可能です。

7.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図7-10 システム・クロックとCPUクロックの切り替え



- ① 電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間($2^{17}/f_x$)を確保します。
その後、CPUはメイン・システム・クロックの最低速(12.8 μs : 5.0 MHz動作時)で命令の実行を開始します。
- ② V_{DD}電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ(PCC)、発振モード選択レジスタ(OSMS)を書き換えて最高速動作を行います。
- ③ V_{DD}電圧が低下したことを割り込み要求信号などにより検出し、サブシステム・クロックに切り替えます(このとき、サブシステム・クロックが発振安定状態になっていなければなりません)。
- ④ V_{DD}電圧が復帰したことを割り込み要求信号などにより検出し、PCCのビット7(MCC)に0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCC、OSMSを書き換えて最高速動作に戻します。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

第8章 16ビット・タイマ／イベント・カウンタ

8.1 16ビット・タイマ／イベント・カウンタの機能

16ビット・タイマ／イベント・カウンタ(TMO)には、次のような機能があります。

- ・インターバル・タイマ
- ・PWM出力
- ・パルス幅測定
- ・外部イベント・カウンタ
- ・方形波出力
- ・ワンショット・パルス出力

PWM出力とパルス幅測定は同時に使用できます。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

表8-1 16ビット・タイマ/イベント・カウンタのインターバル時間

最小インターバル時間		最大インターバル時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
2×TI00入力周期		2 ¹⁶ ×TI00入力周期		TI00入力エッジ周期	
—	2×1/fx (400 ns)	—	2 ¹⁶ ×1/fx (13.1 ms)	—	1/fx (200 ns)
2×1/fx (400 ns)	2 ² ×1/fx (800 ns)	2 ¹⁶ ×1/fx (13.1 ms)	2 ¹⁷ ×1/fx (26.2 ms)	1/fx (200 ns)	2×1/fx (400 ns)
2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)	2 ¹⁷ ×1/fx (26.2 ms)	2 ¹⁸ ×1/fx (52.4 ms)	2×1/fx (400 ns)	2 ² ×1/fx (800 ns)
2 ³ ×1/fx (1.6 μs)	2 ⁴ ×1/fx (3.2 μs)	2 ¹⁸ ×1/fx (52.4 ms)	2 ¹⁹ ×1/fx (104.9 ms)	2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)
2×時計用タイマ出力周期		2 ¹⁶ ×時計用タイマ出力周期		時計用タイマ出力エッジ周期	

備考1. fx : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタ(OSMS)のビット0

3. ()内は、fx = 5.0 MHz動作時。

(2) PWM出力

14ビット分解能のPWM出力ができます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

表8-2 16ビット・タイマ/イベント・カウンタの方形波出力範囲

最小パルス時間		最大パルス時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
2×TI00入力周期		2 ¹⁶ ×TI00入力周期		TI00入力エッジ周期	
—	2×1/fx (400 ns)	—	2 ¹⁶ ×1/fx (13.1 ms)	—	1/fx (200 ns)
2×1/fx (400 ns)	2 ² ×1/fx (800 ns)	2 ¹⁶ ×1/fx (13.1 ms)	2 ¹⁷ ×1/fx (26.2 ms)	1/fx (200 ns)	2×1/fx (400 ns)
2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)	2 ¹⁷ ×1/fx (26.2 ms)	2 ¹⁸ ×1/fx (52.4 ms)	2×1/fx (400 ns)	2 ² ×1/fx (800 ns)
2 ³ ×1/fx (1.6 μs)	2 ⁴ ×1/fx (3.2 μs)	2 ¹⁸ ×1/fx (52.4 ms)	2 ¹⁹ ×1/fx (104.9 ms)	2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)
2×時計用タイマ出力周期		2 ¹⁶ ×時計用タイマ出力周期		時計用タイマ出力エッジ周期	

備考1. fx :メイン・システム・クロック発振周波数

2. MCS :発振モード選択レジスタ(OSMS)のビット0

3. ()内は、fx = 5.0 MHz動作時。

(6) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

8.2 16ビット・タイマ/イベント・カウンタの構成

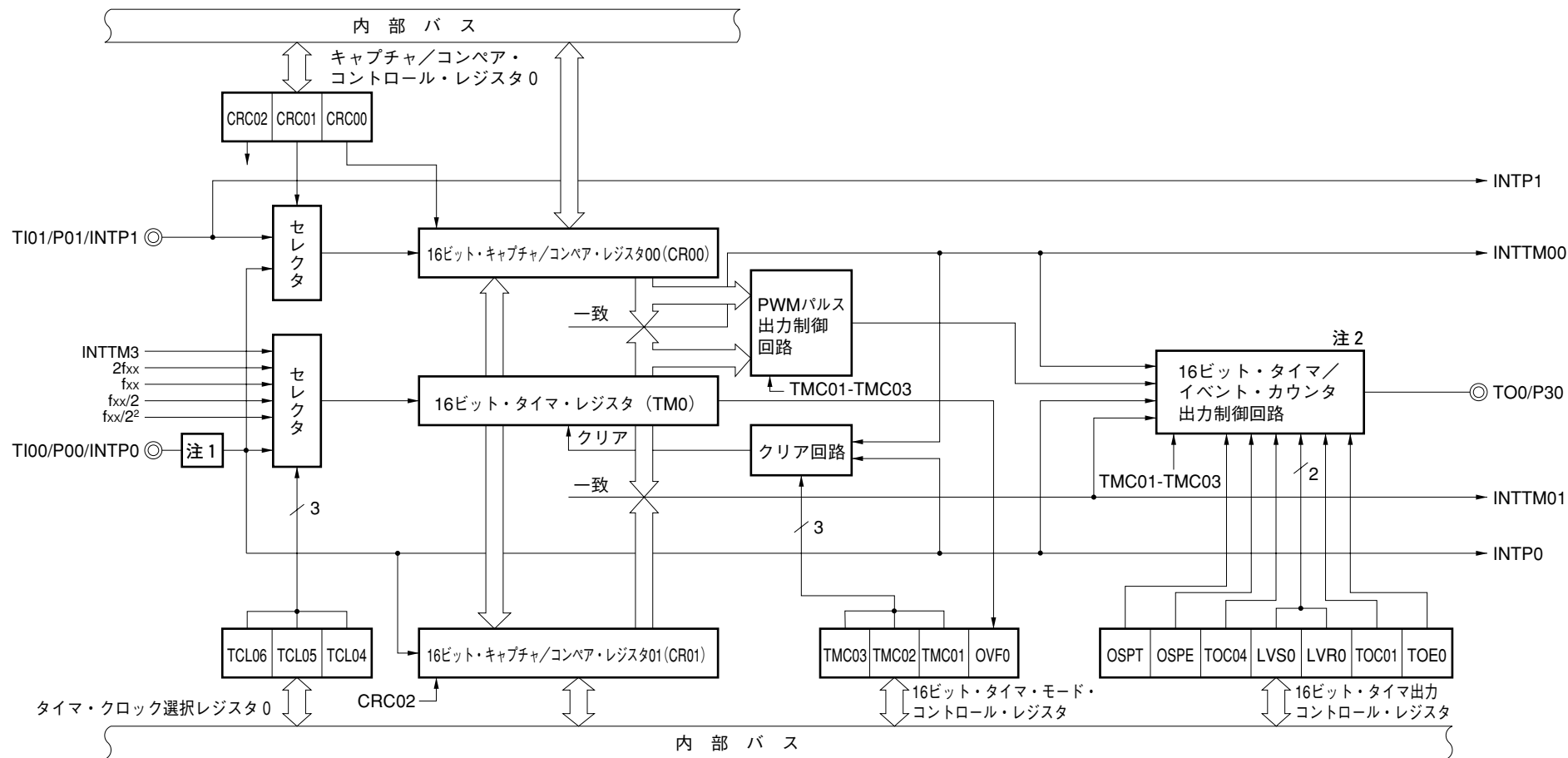
16ビット・タイマ/イベント・カウンタは、次のハードウェアで構成しています。

表8-3 16ビット・タイマ/イベント・カウンタの構成

項目	構成
タイマ・レジスタ	16ビット×1本(TM0)
レジスタ	キャプチャ/コンペア・レジスタ:16ビット×2本(CR00, CR01)
タイマ出力	1本(TO0)
制御レジスタ	タイマ・クロック選択レジスタ0 (TCL0) 16ビット・タイマ・モード・コントロール・レジスタ(TMCO) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) 16ビット・タイマ出力コントロール・レジスタ(TOCO) ポート・モード・レジスタ3 (PM3) 外部割り込みモード・レジスタ0 (INTM0) サンプリング・クロック選択レジスタ(SCS) ^注

注 図21-1 割り込み機能の基本構成を参照してください。

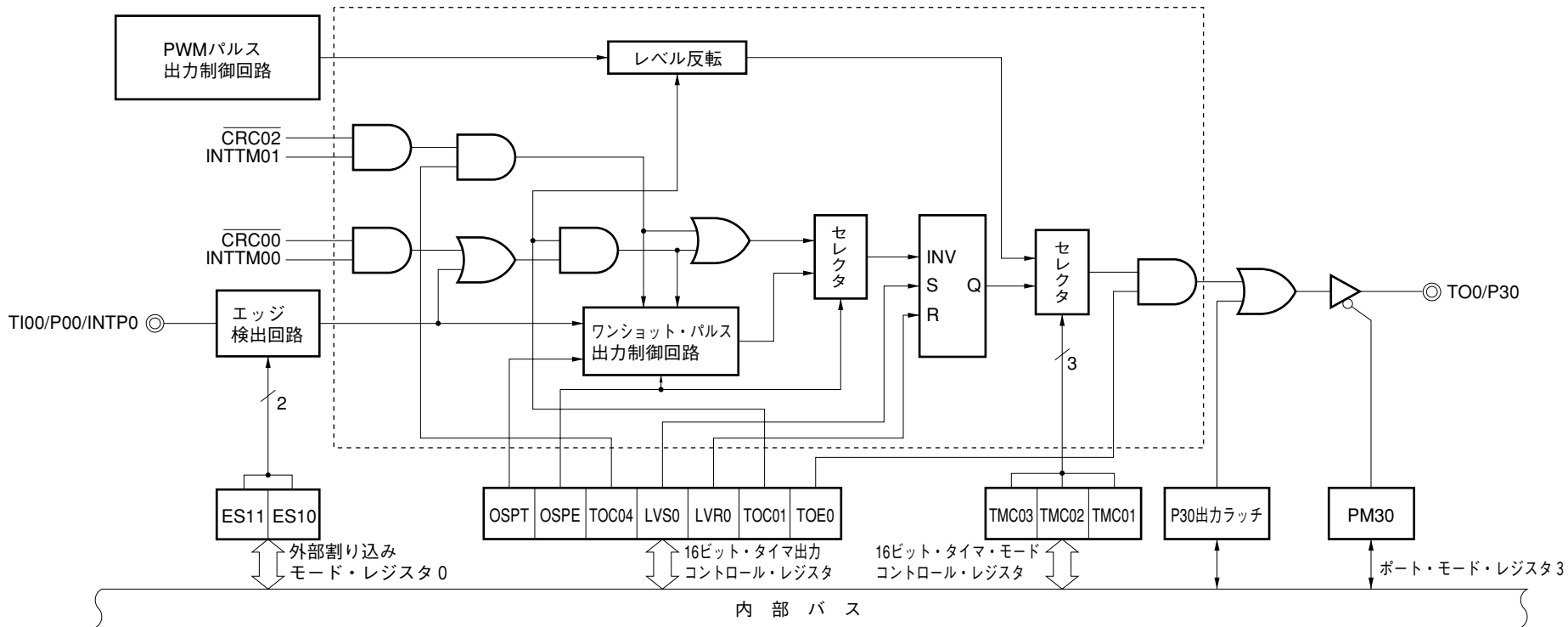
図 8-1 16ビット・タイマ/イベント・カウンタのブロック図



注 1. エッジ検出回路

2. 16ビット・タイマ/イベント・カウンタの出力制御回路の構成は、図 8-2 を参照してください。

図 8-2 16ビット・タイマ/イベント・カウンタ出力制御回路のブロック図



備考 破線部内が出力制御回路です。

★ (1) キャプチャ/コンペア・レジスタ00(CR00)

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0のビット0(CRC00)により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

(a) CR00をコンペア・レジスタとして使用するとき

CR00に設定した値と16ビット・タイマ・レジスタ(TM0)のカウント値を常に比較し、一致したときに割り込み要求(INTTM00)を発生します。TM0をインターバル・タイマ動作に設定したときには、インターバル時間を保持するレジスタとして、また、PWM出力動作に設定したときには、パルス幅を設定するレジスタとして使用します。

(b) CR00をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてINTP0/TI00端子、またはINTP1/TI01端子の有効エッジが選択できます。INTP0/TI00、INTP1/TI01の有効エッジは外部割り込みモード・レジスタ0(INTMO)で設定しません。

ただし、CR00をキャプチャ・レジスタとして指定し、キャプチャ・トリガをINTP0/TI00端子の有効エッジに指定したときは、表8-4、キャプチャ・トリガをINTP1/TI01端子の有効エッジに指定したときは表8-5のようになります。

表8-4 INTP0/TI00端子の有効エッジとCR00のキャプチャ・トリガの有効エッジ

ES11	ES10	INTP0/TI00端子の有効エッジ	CR00のキャプチャ・トリガの有効エッジ
0	0	立ち下がりエッジ	立ち上がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ	キャプチャ動作しない

表8-5 INTP1/TI01端子の有効エッジとCR00のキャプチャ・トリガの有効エッジ

ES21	ES20	INTP1/TI01端子の有効エッジ	CR00のキャプチャ・トリガの有効エッジ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ	立ち上がり、立ち下がりの両エッジ

★

CR00は、16ビット・メモリ操作命令で設定します。

RESET入力により、不定になります。

注意 1. PWMのデータ（14ビット）は、CR00の上位14ビットに設定してください。このとき、下位2ビットには00を設定してください。

★

2. TM0とCR00の一致でクリア&スタートするモードを選択した場合、CR00には0000H以外の値を設定してください。ただし、フリー・ランニング・モードおよびTI00の有効エッジのクリア・モードにおいて、CR00に0000Hを設定した場合は、オーバフロー（FFFFH）後に割り込み要求（INTTM00）を発生します。
3. CR00の変更後の値が16ビット・タイマ・レジスタ（TM0）の値よりも小さいとき、TM0はカウントを継続しオーバフローして0から再カウントします。したがって、CR00の変更後の値が変更前の値より小さいときは、CR00を変更後、タイマを再スタートさせる必要があります。

(2) キャプチャ/コンペア・レジスタ01 (CR01)

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0のビット2 (CRC02)により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

(a) CR01をコンペア・レジスタとして使用するとき

CR01に設定した値と16ビット・タイマ・レジスタ (TM0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM01) を発生します。

(b) CR01をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてINTP0/TI00端子の有効エッジが選択できます。INTP0/TI00の有効エッジは外部割り込みモード・レジスタ0 (INTM0) で設定します。

表 8-6 INTP0/TI00端子の有効エッジとCR01のキャプチャ・トリガの有効エッジ

ES11	ES10	INTP0/TI00端子の有効エッジ	CR01のキャプチャ・トリガの有効エッジ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ	立ち上がり、立ち下がりの両エッジ

★

CR01は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 TM0とCR00の一致でクリア&スタートするモードを選択した場合、CR01には0000H以外の値を設定してください。ただし、フリー・ランニング・モードおよびTI00の有効エッジのクリア・モードにおいてCR01に0000Hを設定した場合は、オーバフロー (FFFFH)後に割り込み要求 (INTTM01) を発生します。

(3) 16ビット・タイマ・レジスタ(TM0)

カウント・パルスをカウントする16ビットのレジスタです。

TM0は、16ビット・メモリ操作命令で読み出します。TM0を読み出す場合にはキャプチャ/コンペア・レジスタ01(CR01)をキャプチャ・レジスタに設定したのちに読み出してください。

$\overline{\text{RESET}}$ 入力により、0000Hになります。

注意 TM0はCR01を介して読み出しますので、CR01の値を破壊します。

8.3 16ビット・タイマ/イベント・カウンタを制御するレジスタ

16ビット・タイマ/イベント・カウンタは、次の7種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ0 (TCL0)
- ・16ビット・タイマ・モード・コントロール・レジスタ(TMC0)
- ・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)
- ・16ビット・タイマ出力コントロール・レジスタ(TOC0)
- ・ポート・モード・レジスタ3 (PM3)
- ・外部割り込みモード・レジスタ0 (INTM0)
- ・サンプリング・クロック選択レジスタ(SCS)

(1) タイマ・クロック選択レジスタ0 (TCL0)

16ビット・タイマ・レジスタのカウント・クロックを設定するレジスタです。

TCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 TCL0は、16ビット・タイマ・レジスタのカウント・クロックの設定以外に、PCL出力のクロックを設定する機能があります。

図8-3 タイマ・クロック選択レジスタ0のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL0	CLOE	TCL06	TCL05	TCL04	TCL03	TCL02	TCL01	TCL00	FF40H	00H	R/W

TCL03	TCL02	TCL01	TCL00	PCL出力のクロックの選択		
				MCS = 1		MCS = 0
0	0	0	0	f _{XT} (32.768 kHz)		
0	1	0	1	f _{XX}	f _X (5.0 MHz)	f _X /2 (2.5 MHz)
0	1	1	0	f _{XX} /2	f _X /2 (2.5 MHz)	f _X /2 ² (1.25 MHz)
0	1	1	1	f _{XX} /2 ²	f _X /2 ² (1.25 MHz)	f _X /2 ³ (625 kHz)
1	0	0	0	f _{XX} /2 ³	f _X /2 ³ (625 kHz)	f _X /2 ⁴ (313 kHz)
1	0	0	1	f _{XX} /2 ⁴	f _X /2 ⁴ (313 kHz)	f _X /2 ⁵ (156 kHz)
1	0	1	0	f _{XX} /2 ⁵	f _X /2 ⁵ (156 kHz)	f _X /2 ⁶ (78.1 kHz)
1	0	1	1	f _{XX} /2 ⁶	f _X /2 ⁶ (78.1 kHz)	f _X /2 ⁷ (39.1 kHz)
1	1	0	0	f _{XX} /2 ⁷	f _X /2 ⁷ (39.1 kHz)	f _X /2 ⁸ (19.5 kHz)
上記以外				設定禁止		

TCL06	TCL05	TCL04	16ビット・タイマ・レジスタのカウンタ・クロックの選択		
			MCS = 1		MCS = 0
0	0	0	TI00 (有効エッジ指定可能)		
0	0	1	2f _{XX}	設定禁止	f _X (5.0 MHz)
0	1	0	f _{XX}	f _X (5.0 MHz)	f _X /2 (2.5 MHz)
0	1	1	f _{XX} /2	f _X /2 (2.5 MHz)	f _X /2 ² (1.25 MHz)
1	0	0	f _{XX} /2 ²	f _X /2 ² (1.25 MHz)	f _X /2 ³ (625 kHz)
1	1	1	時計用タイマ出力 (INTTM3)		
上記以外			設定禁止		

CLOE	PCL出力の制御
0	出力禁止
1	出力許可

- 注意1. TI00/INTP0端子の有効エッジは、外部割り込みモード・レジスタ0 (INTM0)で設定します。また、サンプリング・クロック周波数は、サンプリング・クロック選択レジスタ (SCS)で選択します。
2. PCL出力を許可するときは、TCL00-TCL03を設定したのち、1ビット・メモリ操作命令でCLOEに1を設定してください。
 3. TM0のカウント・クロックにTI00を指定しているとき、カウント値を読み出す場合には、16ビット・キャプチャ/コンペア・レジスタ01 (CR01)からではなく、TM0から読み出してください。
 4. TCL0を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに書き換えてください。

- 備考1. f_{XX} :メイン・システム・クロック周波数(f_x または $f_x/2$)
2. f_x :メイン・システム・クロック発振周波数
3. f_{XT} :サブシステム・クロック発振周波数
4. TI00 :16ビット・タイマ/イベント・カウンタの入力端子
5. TM0 :16ビット・タイマ・レジスタ
6. MCS :発振モード選択レジスタ(OSMS)のビット0
7. ()内は, $f_x = 5.0$ MHzまたは $f_{XT} = 32.768$ kHz動作時。

(2) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)

16ビット・タイマの動作モード, 16ビット・タイマ・レジスタのクリア・モード, 出力タイミングの設定, オーバフローを検出するレジスタです。

TMC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

注意 16ビット・タイマ・レジスタは, TMC01-TMC03に0, 0, 0(動作停止モード)以外の値を設定した時点で動作を開始します。動作を停止させるには, TMC01-TMC03に0, 0, 0を設定してください。

図8-4 16ビット・タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
TMC0	0	0	0	0	TMC03	TMC02	TMC01	OVF0	FF48H	00H	R/W

OVF0	16ビット・タイマ・レジスタのオーバフロー検出
0	オーバフローなし
1	オーバフローあり

TMC03	TMC02	TMC01	動作モードおよび クリア・モードの選択	TO0の出力 タイミングの選択	割り込み要求の発生
0	0	0	動作停止 (TM0は0にクリア)	変化なし	発生しない
0	0	1	PWMモード (フリーランニング)	PWMパルス出力	TM0とCR00の一致 または
0	1	0	フリーランニング・モード	TM0とCR00の一致または TM0とCR01の一致	TM0とCR01の一致 で発生
0	1	1		TM0とCR00の一致, TM0とCR01の一致または TI00の有効エッジ	
1	0	0	TI00の有効エッジで クリア&スタート	TM0とCR00の一致または TM0とCR01の一致	
1	0	1		TM0とCR00の一致, TM0とCR01の一致または TI00の有効エッジ	
1	1	0	TM0とCR00の一致で クリア&スタート	TM0とCR00の一致または TM0とCR01の一致	
1	1	1		TM0とCR00の一致, TM0とCR01の一致または TI00の有効エッジ	

注意1. クリア・モードおよびTO0の出力タイミングは、タイマ動作を停止(TMC01-TMC03に、0, 0, 0を設定)させたのちに切り替えてください。

2. TI00/INTP0端子の有効エッジは、外部割り込みモード・レジスタ0 (INTM0)で設定します。また、サンプリング・クロック周波数は、サンプリング・クロック選択レジスタ(SCS)で選択します。

3. PWMモードを使用するときは、PWMモード設定後、CR00にデータを設定してください。

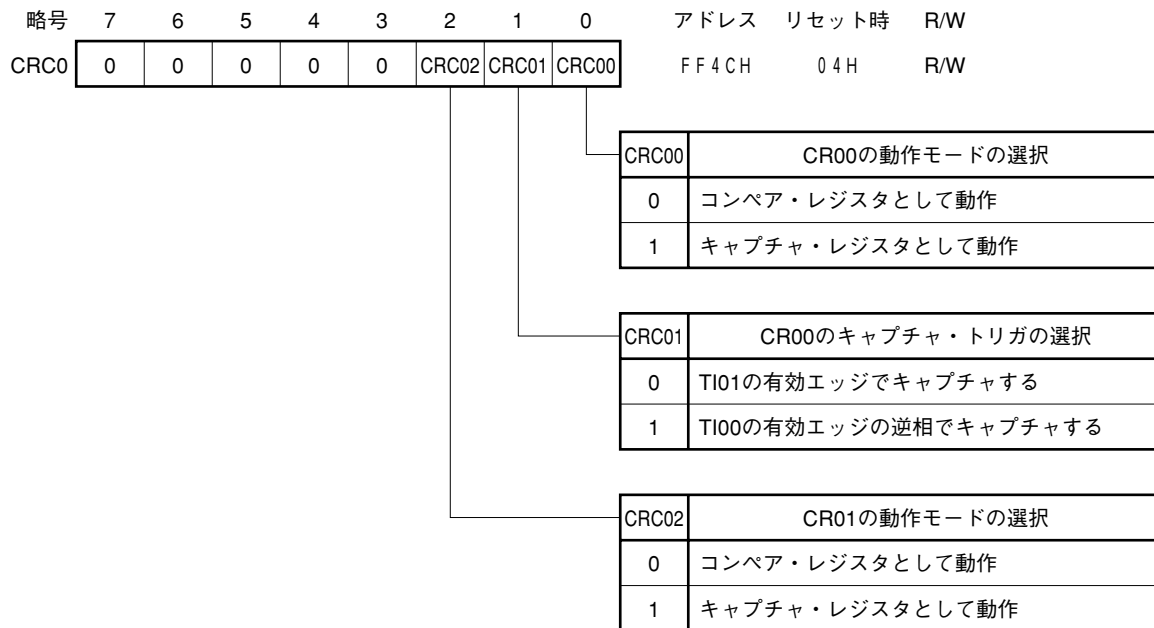
4. TM0とCR00の一致でクリア&スタートするモードを選択した場合、CR00の設定値がFFFFHで、TM0の値がFFFFHから0000Hに変化するときに、OVF0フラグが1に設定されます。

- 備考 TO0 : 16ビット・タイマ/イベント・カウンタの出力端子
 TI00 : 16ビット・タイマ/イベント・カウンタの入力端子
 TM0 : 16ビット・タイマ・レジスタ
 CR00 : コンペア・レジスタ00
 CR01 : コンペア・レジスタ01

(3) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01)の動作を制御するレジスタです。
 CRC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、04Hになります。

図8-5 キャプチャ/コンペア・コントロール・レジスタ0のフォーマット



- 注意1. CRC0は、必ずタイマ動作を停止させたのちに設定してください。
2. 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)で、TM0とCR00の一致でクリア&スタート・モードを選択したとき、CR00をキャプチャ・レジスタに指定しないでください。

(4) 16ビット・タイマ出力コントロール・レジスタ (TOC0)

16ビット・タイマ/イベント・カウンタ出力制御回路の動作を制御するレジスタです。R-S型フリップ・フロップ(LV0)のセット/リセット, PWMモード時のアクティブ・レベル, PWMモード時以外の出力の反転許可/禁止, 16ビット・タイマ/イベント・カウンタのタイマ出力許可/禁止, ワンショット・パルス出力動作の許可/禁止, ソフトウェアによるワンショット・パルスの出力トリガを設定します。

TOC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図8-6 16ビット・タイマ出力コントロール・レジスタのフォーマット



- 注意 1. TOC0は、必ずタイマ動作を停止させたのちに設定してください (ただし、OSPTを除く)。
2. LVS0, LVR0は、データ設定後に読み出すと0になっています。
3. OSPTは、データ設定後自動的にクリアされますので、読み出すと0になっています。
4. OSPTは、OSPE = 1のときのみ設定可能です。

(5) ポート・モード・レジスタ3 (PM3)

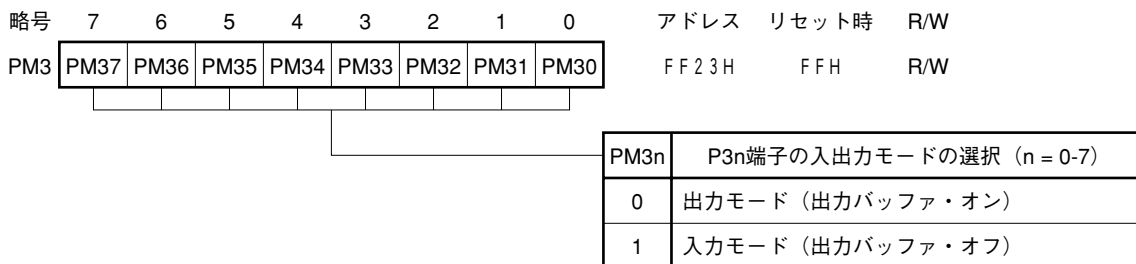
ポート3の入力/出力を1ビット単位で設定するレジスタです。

P30/TO0端子をタイマ出力として使用するとき、PM30およびP30の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図8-7 ポート・モード・レジスタ3のフォーマット



★ (6) 外部割り込みモード・レジスタ0 (INTM0)

INTP0-INTP2, TI00, TI01の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図8-8 外部割り込みモード・レジスタ0のフォーマット



★ 注意 INTP0/TI00/P00, INTP1/TI01/P01端子をタイマ入力 (TI00, TI01) として使う場合, TI00, TI01の有効エッジの設定は, 16ビット・タイマ・モード・コントロール・レジスタ (TMC0) のビット1-3 (TMC01-TMC03) に0, 0, 0を設定し, 16ビット・タイマ0の動作を停止させたのちに行ってください。なお, INTP0/TI00/P00, INTP1/TI01/P01端子を外部割り込み入力 (INTP0, INTP1) として使う場合は, 16ビット・タイマ0動作中に設定してもかまいません。

(7) サンプリング・クロック選択レジスタ(SCS)

INTP0に入力される有効エッジのクロック・サンプリングを行うクロックを設定するレジスタです。INTP0を使ってリモコン受信をするとき、サンプリング・クロックによりデジタル・ノイズを除去します。

SCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図8-9 サンプリング・クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCS	0	0	0	0	0	0	SCS1	SCS0	FF47H	00H	R/W

SCS1	SCS0	INTP0のサンプリング・クロックの選択		
		MCS = 1		MCS = 0
0	0	$f_{xx}/2^N$		
0	1	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	$f_{xx}/2^5$	$f_x/2^5$ (156.3 kHz)	$f_x/2^6$ (78.1 kHz)
1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)

注意 $f_{xx}/2^N$ はCPUへ供給されるクロック、 $f_{xx}/2^5$, $f_{xx}/2^6$, $f_{xx}/2^7$ は周辺ハードウェアへ供給されるクロックです。 $f_{xx}/2^N$ はHALTモード中は停止します。

- 備考1. N : プロセッサ・クロック・コントロール・レジスタ(PCC)のビット0-2(PCC0-PCC2)に設定した値(N=0-4)。
2. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
3. f_x : メイン・システム・クロック発振周波数
4. MCS : 発振モード選択レジスタ(OSMS)のビット0
5. ()内は、 $f_x = 5.0$ MHz動作時。

8.4 16ビット・タイマ/イベント・カウンタの動作

8.4.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ(TMC0)と、キャプチャ/コンペア・コントロール・レジスタ0(CRC0)を図8-10のように設定することにより、インターバル・タイマとして動作します。16ビット・キャプチャ/コンペア・レジスタ0(CR0)にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

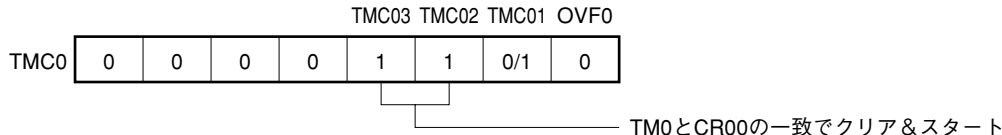
16ビット・タイマ・レジスタ(TM0)のカウント値がCR0に設定した値と一致したとき、TM0の値を0にクリアしてカウントを継続するとともに割り込み要求信号(INTTM0)を発生します。

タイマ・クロック選択レジスタ0(TCL0)のビット4-6(TCL04-TCL06)で16ビット・タイマ/イベント・カウンタのカウント・クロックを選択できます。

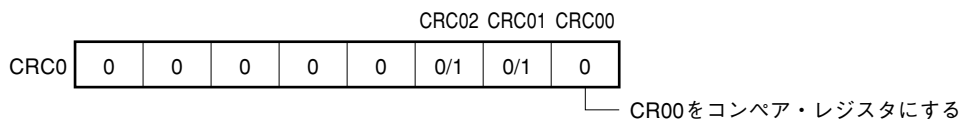
なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、8.6(3)タイマ・カウント動作中のコンペア・レジスタの変更後の動作を参照してください。

図8-10 インターバル・タイマ動作時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0(CRC0)



備考 0/1：0または1を設定することにより、インターバル・タイマと同時にほかの機能を使用することができます。詳細は、各制御レジスタの説明を参照してください。

図8-11 インターバル・タイマの構成図

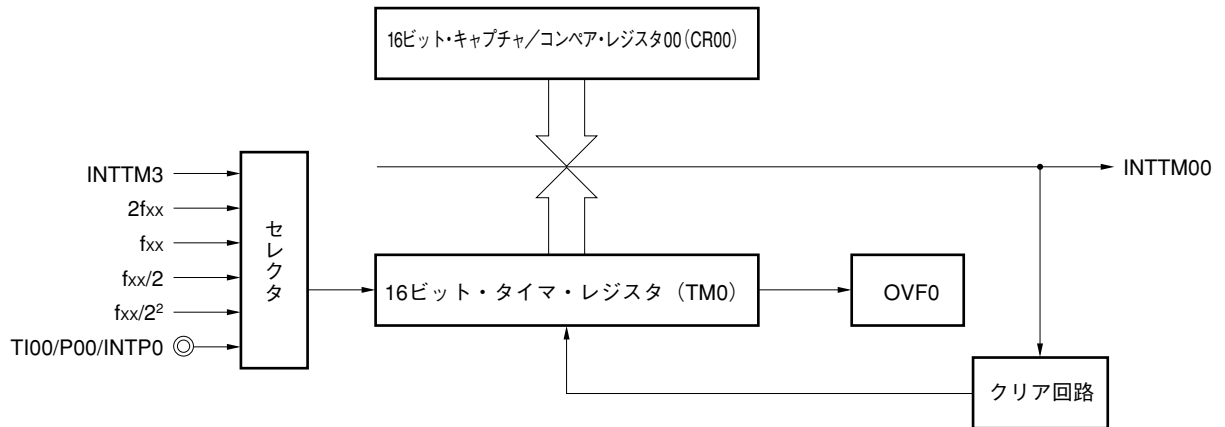
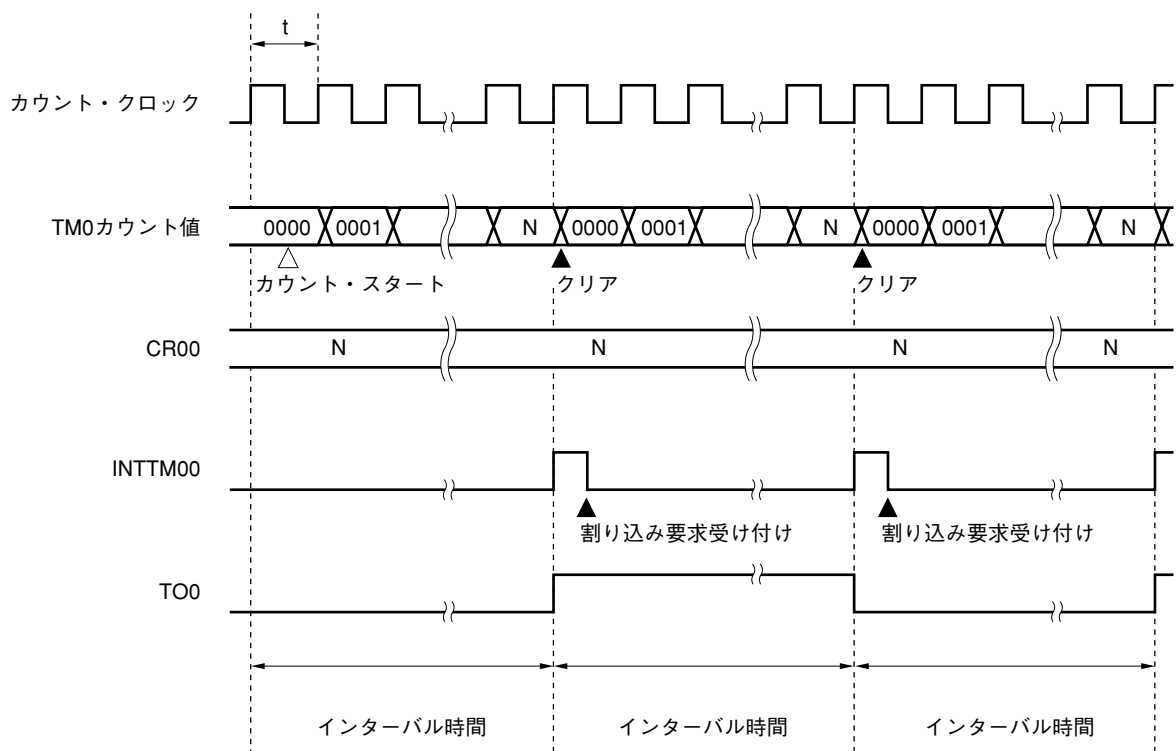


図8-12 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N+1) \times t$: $N = 0001H-FFFFH$

表8-7 16ビット・タイマ/イベント・カウンタのインターバル時間

TCL06	TCL05	TCL04	最小インターバル時間		最大インターバル時間		分解能	
			MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	0	2×TI00入力周期		2 ¹⁶ ×TI00入力周期		TI00入力エッジ周期	
0	0	1	設定禁止	2×1/fx (400 ns)	設定禁止	2 ¹⁶ ×1/fx (13.1 ms)	設定禁止	1/fx (200 ns)
0	1	0	2×1/fx (400 ns)	2 ² ×1/fx (800 ns)	2 ¹⁶ ×1/fx (13.1 ms)	2 ¹⁷ ×1/fx (26.2 ms)	1/fx (200 ns)	2×1/fx (400 ns)
0	1	1	2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)	2 ¹⁷ ×1/fx (26.2 ms)	2 ¹⁸ ×1/fx (52.4 ms)	2×1/fx (400 ns)	2 ² ×1/fx (800 ns)
1	0	0	2 ³ ×1/fx (1.6 μs)	2 ⁴ ×1/fx (3.2 μs)	2 ¹⁸ ×1/fx (52.4 ms)	2 ¹⁹ ×1/fx (104.9 ms)	2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)
1	1	1	2×時計用タイマ出力周期		2 ¹⁶ ×時計用タイマ出力周期		時計用タイマ出力エッジ周期	
上記以外			設定禁止					

備考 1. fx : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタ (OSMS) のビット 0
3. TCL04-TCL06 : タイマ・クロック選択レジスタ 0 (TCL0) のビット 4-6
4. () 内は, fx = 5.0 MHz 動作時。

8.4.2 PWM出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ (TMC0) と, キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0), 16ビット・タイマ出力コントロール・レジスタ (TOC0) を図 8-13 のように設定することにより, PWM出力として動作します。16ビット・キャプチャ/コンペア・レジスタ 00 (CR00) に設定した値で決まるデューティ比のパルスを, TO0/P30端子から出力します。

PWMパルスのアクティブ・レベルの幅は, CR00の上位14ビットに設定してください。また, アクティブ・レベルは, 16ビット・タイマ出力コントロール・レジスタ (TOC0) のビット 1 (TOC01) により選択します。

このPWMパルスは, 14ビット分解能のパルスです。PWMパルスを外付けロウ・パス・フィルタ (LPF) で積分することによりアナログ電圧に変換できます。2⁹/Φで決まる基本周期と2¹⁴/Φで決まる副周期を組み合わせて作られており, 外付けのLPFの時定数を短くできるよう工夫されています。カウント・クロックΦはタイマ・クロック選択レジスタ 0 (TCL0) のビット4-6 (TCL04-TCL06) で選択できます。

TOC0のビット 0 (TOE0) により, PWM出力の許可/禁止が選択できます。

- 注意 1. CR00は, PWM動作モードを選択後に設定してください。
2. CR00のビット 0, 1 には必ず 0 を書き込んでください。
 3. TI00/P00/INTP0端子からの外部クロック入力するとき, PWM動作モードを選択しないでください。

14ビット分解能のPWMパルスを外付けのロウ・パス・フィルタで積分することによって、アナログ電圧に変換し、電子チューニングやD/Aコンバータなどに応用できます。

図8-14に示すような構成で、D/A変換に使用した場合のアナログ出力電圧(V_{AN})は次のようになります。

$$V_{AN} = V_{REF} \times \frac{\text{キャプチャ/コンペア・レジスタ00(CR00)の値}}{2^{16}}$$

V_{REF}：外部スイッチング回路の基準電圧

図8-14 PWM出力によるD/Aコンバータ構成例

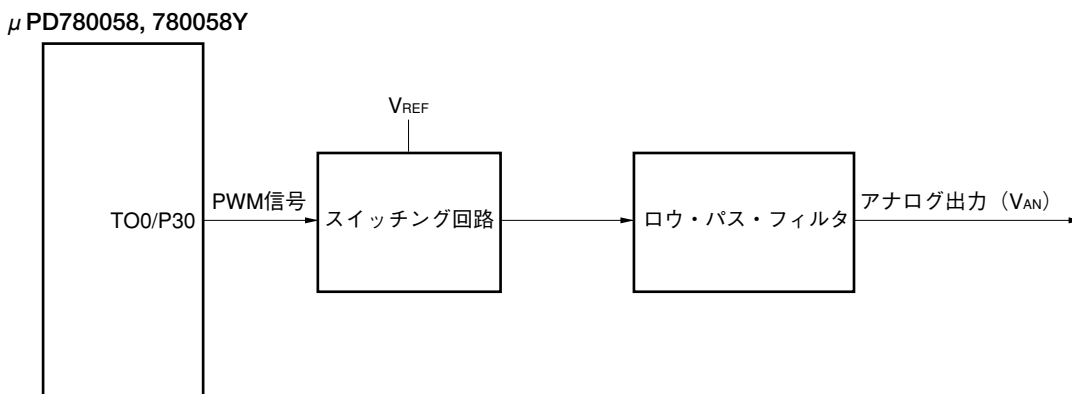
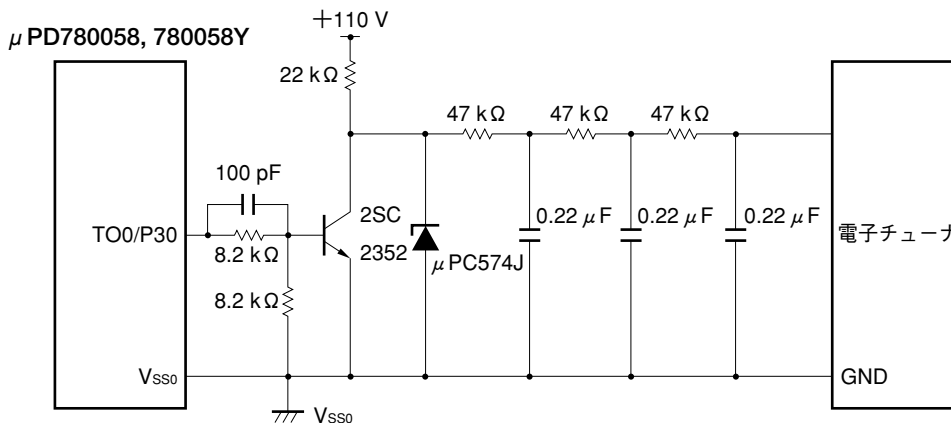


図8-15にPWM出力をアナログ電圧に変換し、ボルテージ・シンセサイザ方式のTVチューナに応用した例を示します。

図8-15 TVチューナへの応用回路例



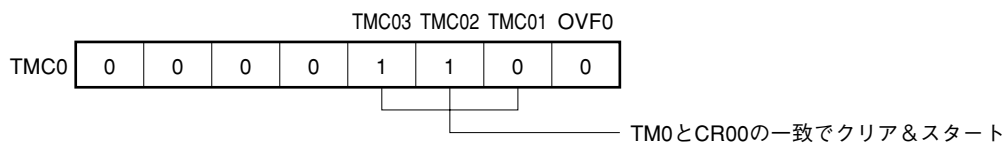
8.4.3 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ(TMC0)と、キャプチャ/コンペア・コントロール・レジスタ0(CRC0)を図8-16のように設定することにより、PPG(Programmable Pulse Generator)出力として動作します。

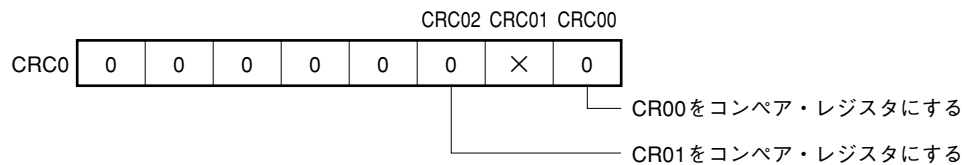
PPG出力パルスは、16ビット・キャプチャ/コンペア・レジスタ00(CR00)にあらかじめ設定したカウント値を1周期とし、16ビット・キャプチャ/コンペア・レジスタ01(CR01)にあらかじめ設定したカウント値をパルス幅とする矩形波をTO0/P30端子から出力します。

図8-16 PPG出力動作時の制御レジスタ設定内容

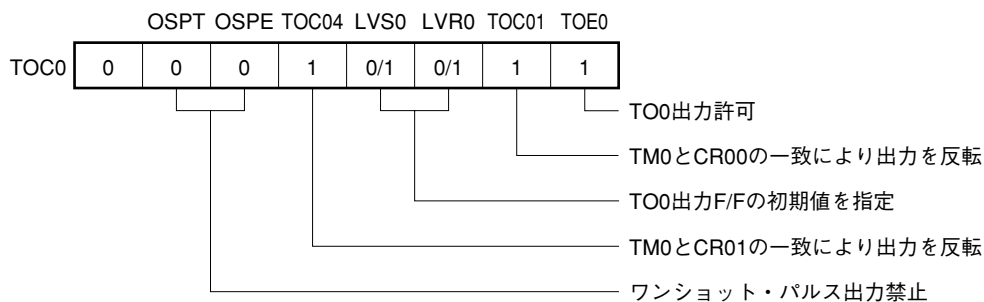
(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0(CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ(TOC0)



備考 X : don't care

★ 注意 1. CR00とCR01には次の範囲の値を設定してください。

$$0000H \leq CR01 < CR00 \leq FFFFH$$

2. PPG出力によって生成されるパルスの周期は(CR00の設定値+1)、デューティは(CR01の設定値+1)/(CR00の設定値+1)になります。

図8-17 PPG出力の構成図

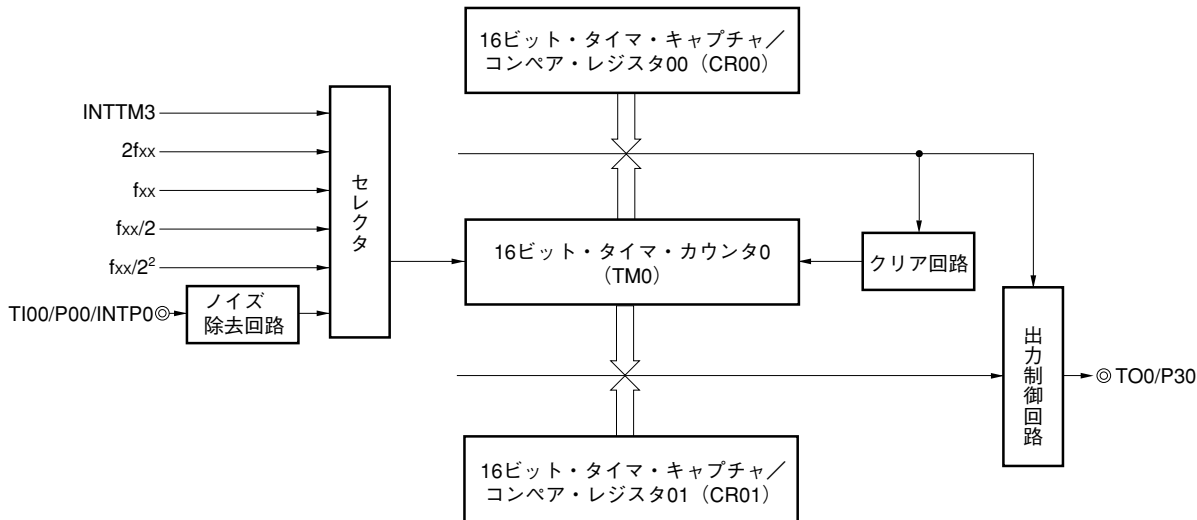
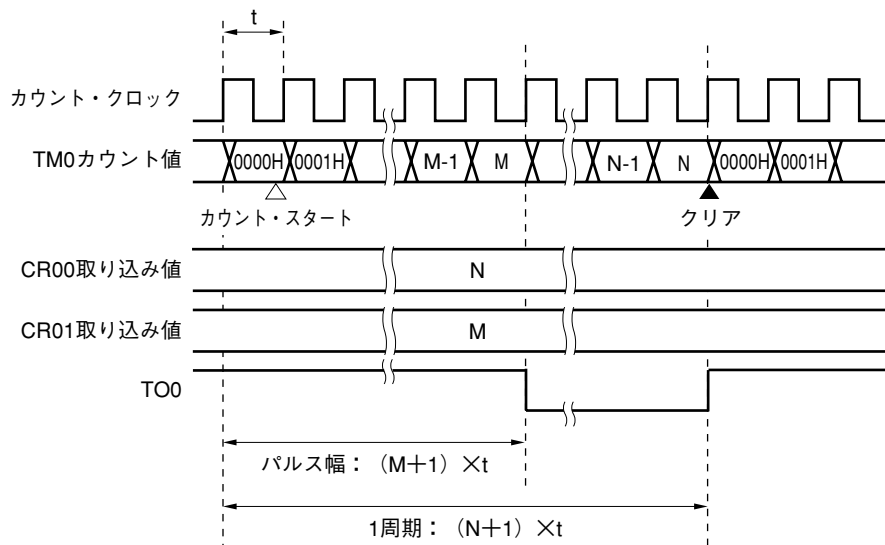


図8-18 PPG出力動作のタイミング



備考 0000H < M < N ≤ FFFFH

8.4.4 パルス幅測定としての動作

16ビット・タイマ・レジスタ (TM0) を使用し、TI00/P00端子およびTI01/P01端子に入力される信号のパルス幅を測定できます。

測定方法は、TM0をフリーランニングさせて測定する方法とTI00/P00端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

(1) フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

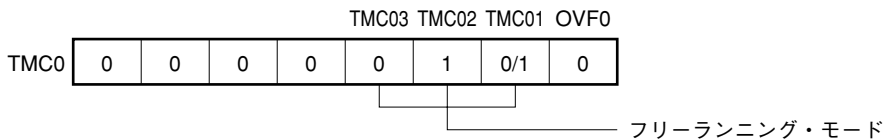
16ビット・タイマ・レジスタ (TM0) をフリーランニングで動作させているとき (図8-17のレジスタの設定参照)、TI00/P00端子に外部割り込みモード・レジスタ0 (INTM0) で指定したエッジが入力されるとTM0の値を16ビット・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み、外部割り込み要求信号 (INTP0) をセットします。

エッジ指定はINTM0のビット2, 3 (ES10, ES11) により、立ち上がり、立ち下がり、両エッジの3種類から選択ができます。

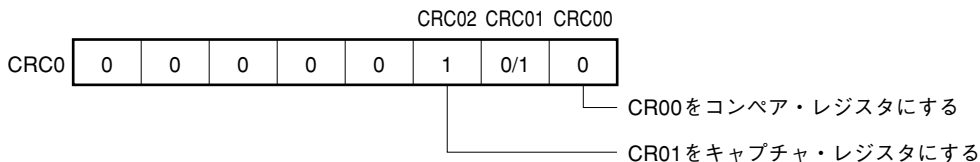
有効エッジの検出は、サンプリング・クロック選択レジスタ (SCS) で選択した周期でサンプリングを行い、2回有効レベルを検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図8-19 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1: 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図8-20 フリーランニング・カウンタによるパルス幅測定構成図

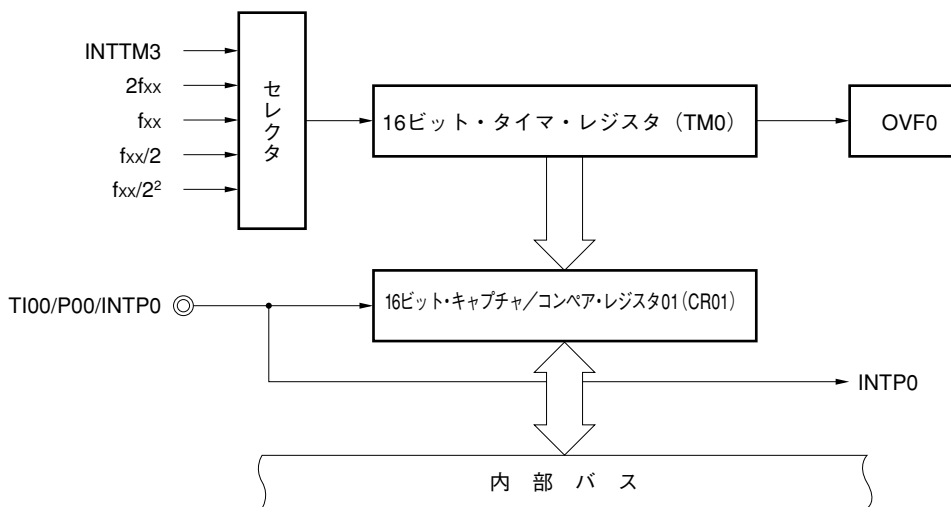
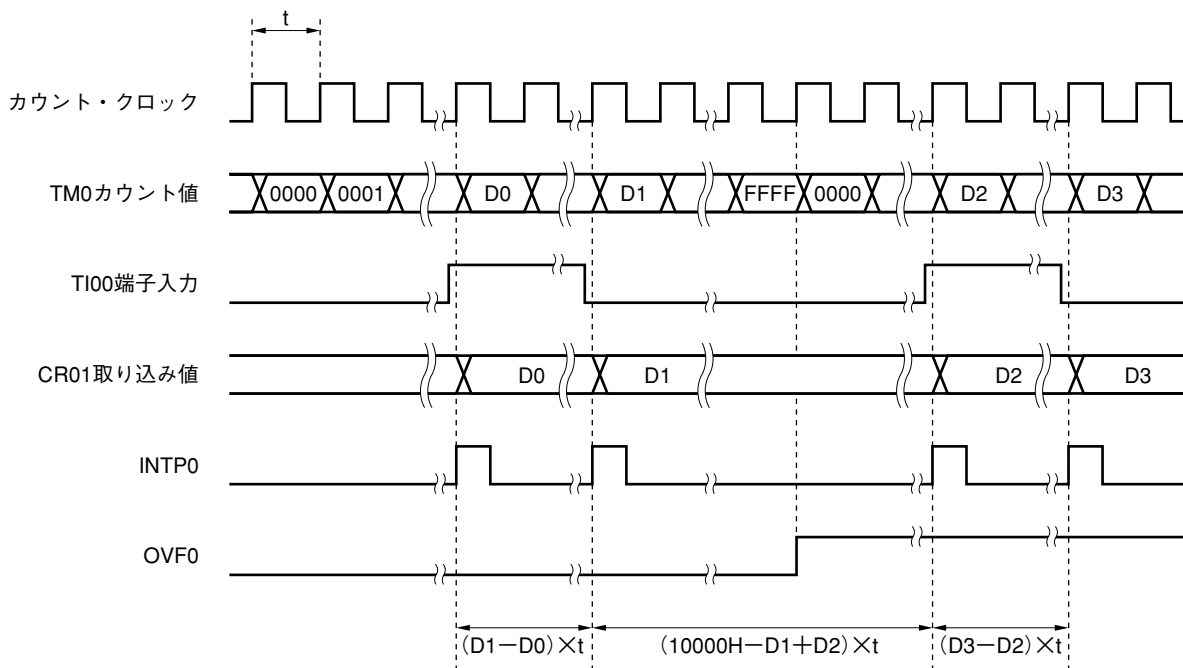


図8-21 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング(両エッジ指定時)



(2) フリーランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・レジスタ(TM0)をフリーランニングで動作させているとき(図8-20のレジスタの設定参照), TI00/P00端子およびTI01/P01端子に入力される2つの信号のパルス幅を同時に測定できます。

TI00/P00端子に外部割り込みモード・レジスタ0(INTM0)のビット2, 3(ES10, ES11)で指定したエッジが入力されるとTM0の値を16ビット・キャプチャ/コンペア・レジスタ01(CR01)に取り込み, 外部割り込み要求信号(INTP0)をセットします。

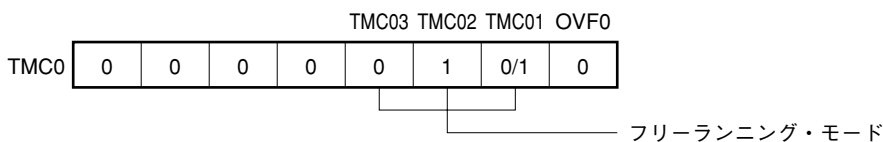
また, TI01/P01端子にINTM0のビット4, 5(ES20, ES21)で指定したエッジが入力されるとTM0の値を16ビット・キャプチャ/コンペア・レジスタ00(CR00)に取り込み, 外部割り込み要求信号(INTP1)をセットします。

TI00/P00端子とTI01/P01端子のエッジ指定は, INTM0のビット2, 3(ES10, ES11)およびビット4, 5(ES20, ES21)でそれぞれ行い, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

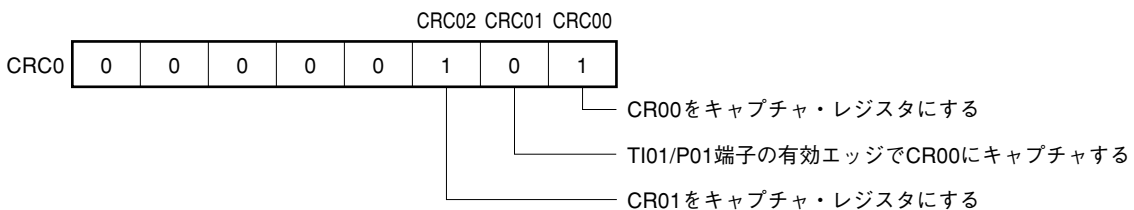
TI00/P00端子の有効エッジの検出は, サンプリング・クロック選択レジスタ(SCS)で選択した周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

図8-22 フリーランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)

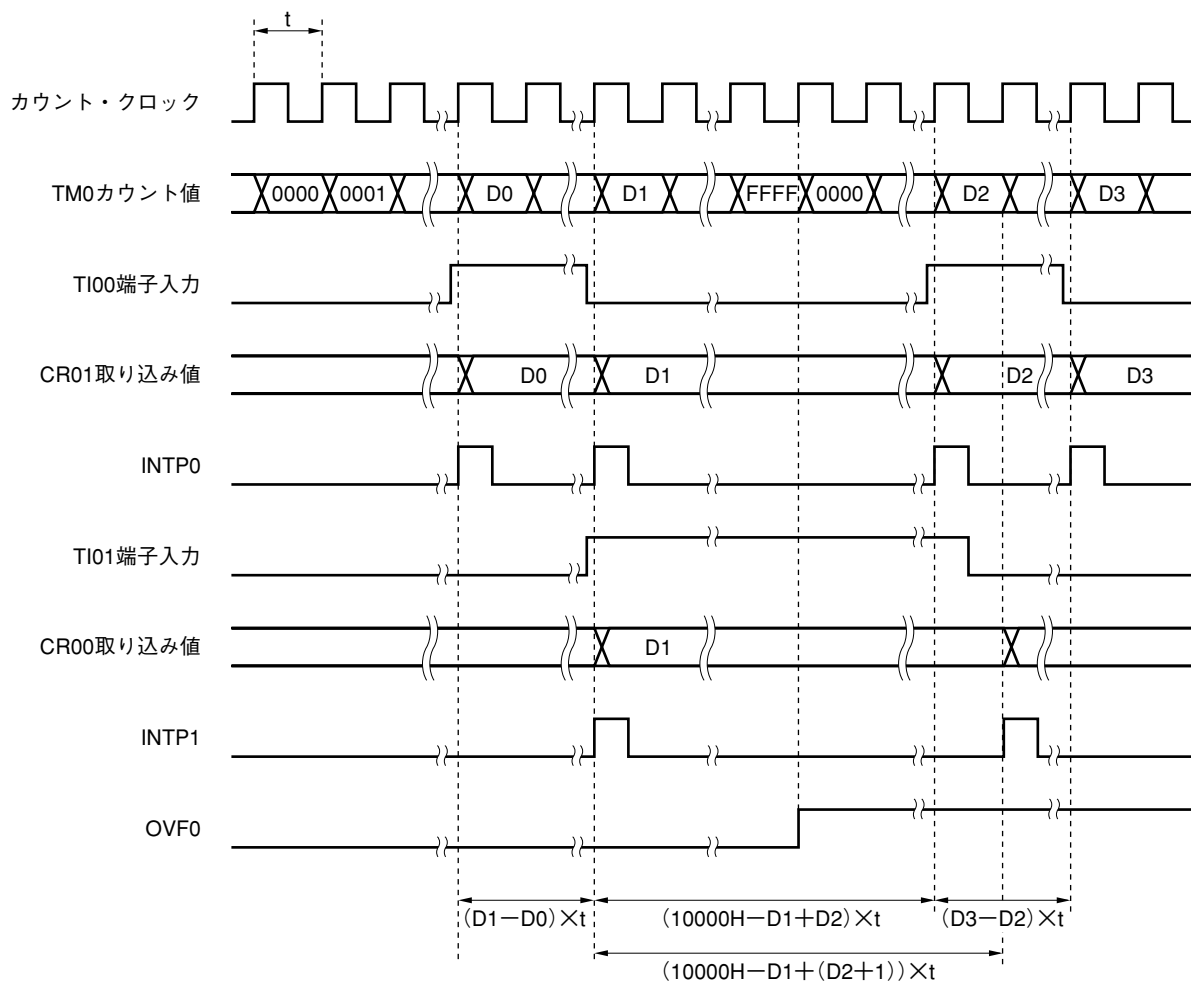


(b) キャプチャ/コンペア・コントロール・レジスタ0(CRC0)



備考 0/1: 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 各制御レジスタの説明を参照してください。

図8-23 フリーランニング・カウンタによるパルス幅測定動作のタイミング(両エッジ指定時)



(3) フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・レジスタ(TM0)をフリーランニングで動作させているとき(図8-22のレジスタの設定参照), TI00/P00端子に入力する信号のパルス幅を測定できます。

TI00/P00端子に外部割り込みモード・レジスタ0(INTM0)のビット2, 3(ES10, ES11)で指定したエッジが入力されるとTM0の値を16ビット・キャプチャ/コンペア・レジスタ01(CR01)に取り込み, 外部割り込み要求信号(INTP0)をセットします。

また, CR01へのキャプチャ動作と逆のエッジ入力でTM0の値を16ビット・キャプチャ/コンペア・レジスタ00(CR00)に取り込みます。

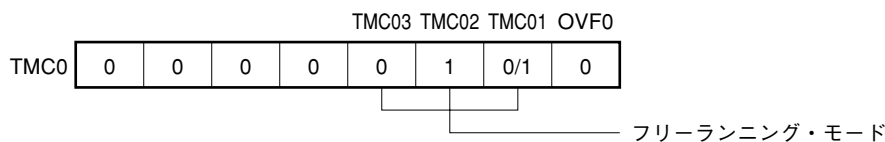
TI00/P00端子のエッジ指定は, INTM0のビット2, 3(ES10, ES11)により, 立ち上がり, 立ち下がりエッジの2種類から選択ができます。

TI00/P00端子の有効エッジの検出は, サンプリング・クロック選択レジスタ(SCS)で選択した周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

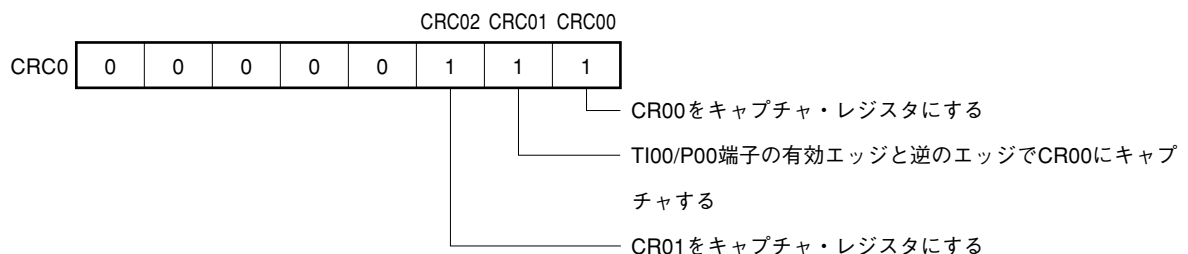
注意 TI00/P00端子の有効エッジを, 立ち上がり, 立ち下がり両エッジに指定した場合, CR00はキャプチャ動作を行えません。

図8-24 フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)

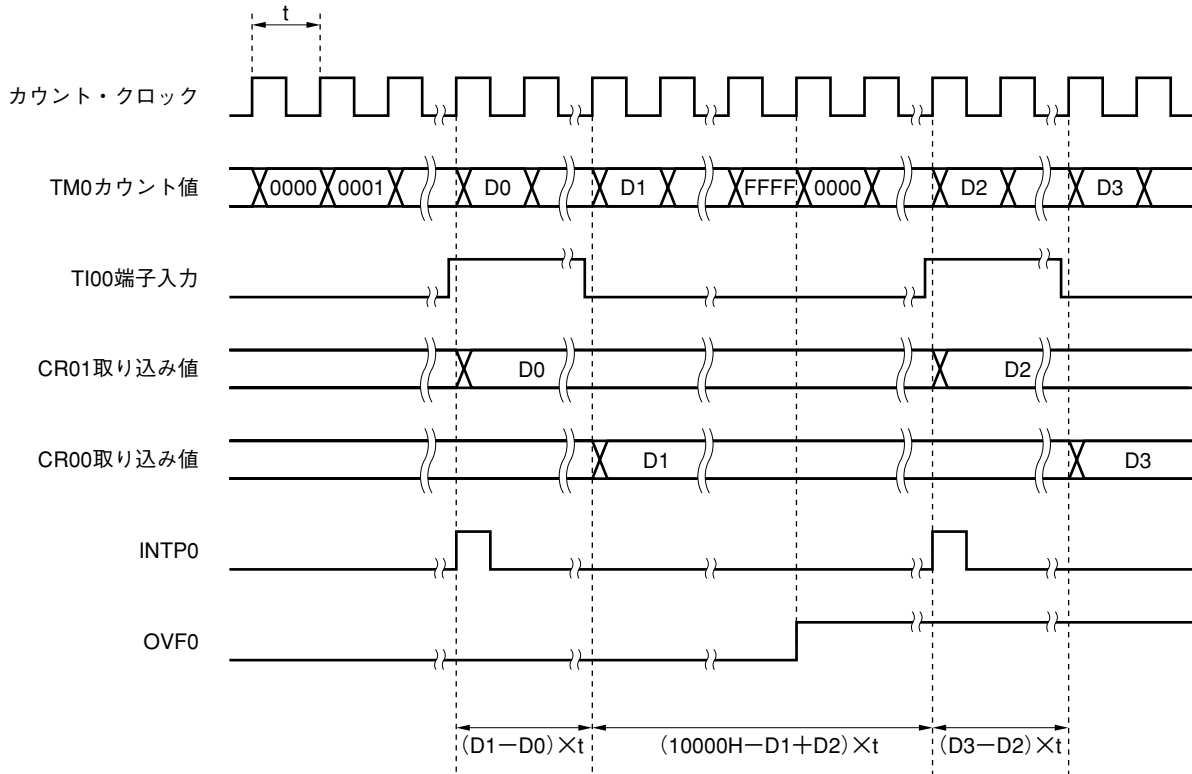


(b) キャプチャ/コンペア・コントロール・レジスタ0(CRC0)



備考 0/1: 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 各制御レジスタの説明を参照してください。

図8-25 フリーランニング・カウンタとキャプチャ・レジスタ2本による
パルス幅測定動作のタイミング(立ち上がりエッジ指定時)



(4) リスタートによるパルス幅測定

TI00/P00端子への有効エッジを検出したとき、16ビット・タイマ・レジスタ(TM0)のカウント値を16ビット・キャプチャ/コンペア・レジスタ01(CR01)に取り込んだのち、TM0をクリアしてカウントを再開することによりTI00/P00端子に入力された信号のパルス幅を測定します(図8-24のレジスタの設定参照)。

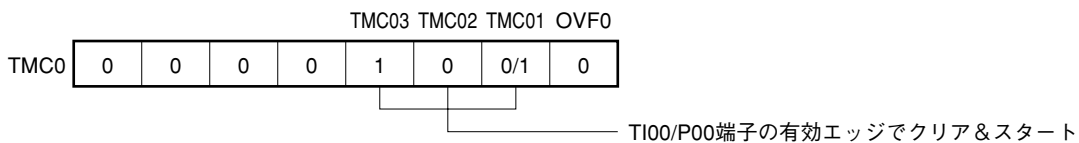
エッジ指定は外部割り込みモード・レジスタ0(INTM0)のビット2, 3(ES10, ES11)により、立ち上がり、立ち下がりエッジの2種類から選択できます。

有効エッジの検出は、サンプリング・クロック選択レジスタ(SCS)で選択した周期でサンプリングを行い、2回有効レベルを検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

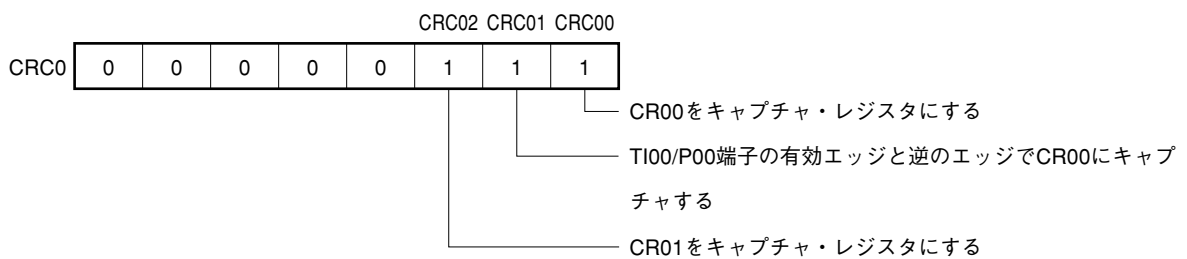
注意 TI00/P00端子の有効エッジを、立ち上がり、立ち下がりの両エッジに指定した場合、16ビット・キャプチャ/コンペア・レジスタ00(CR00)はキャプチャ動作を行えません。

図8-26 リスタートによるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)

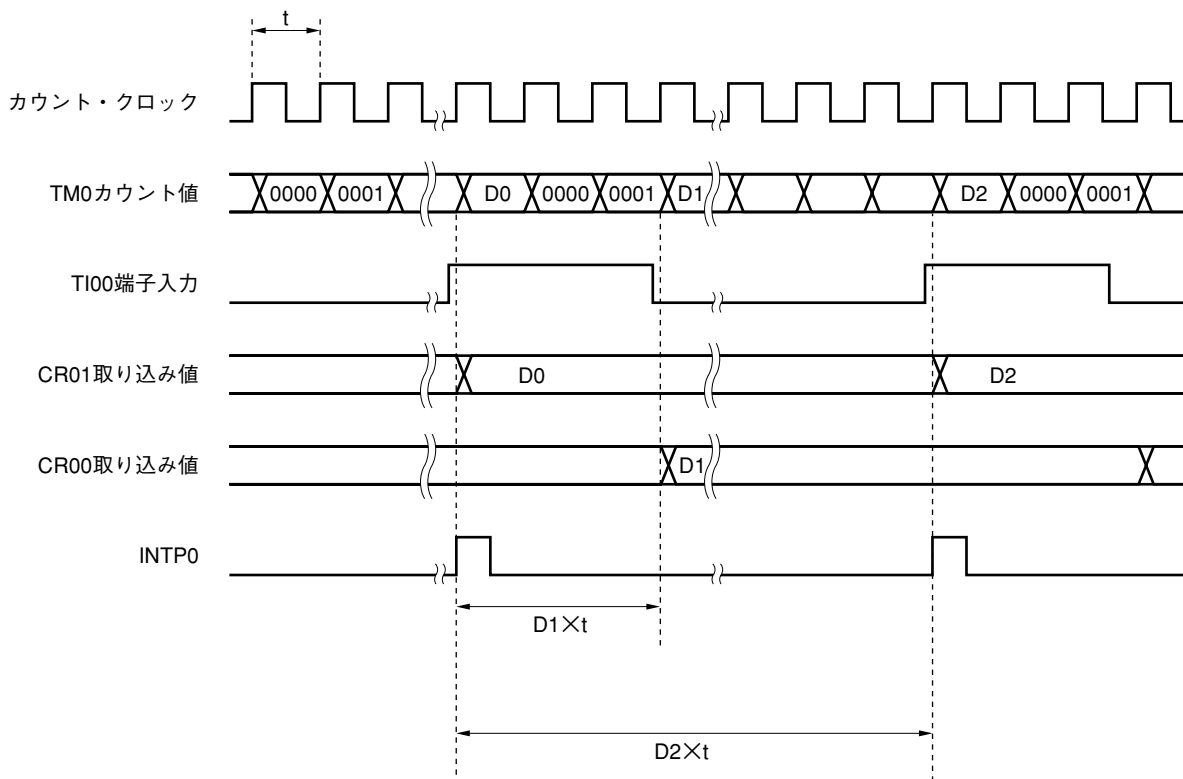


(b) キャプチャ/コンペア・コントロール・レジスタ0(CRC0)



備考 0/1: 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図8-27 リスタートによるパルス幅測定動作のタイミング(立ち上がりエッジ指定時)



8.4.5 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI00/P00端子に入力される外部からのクロック・パルス数を16ビット・タイマ・レジスタ(TM0)でカウントするものです。

外部割り込みモード・レジスタ0 (INTM0)で指定した有効エッジが入力されるたびに、TM0がインクリメントされます。

TM0の計数値が16ビット・キャプチャ/コンペア・レジスタ00(CR00)の値と一致すると、TM0は0にクリアされ、割り込み要求信号(INTTM00)が発生します。

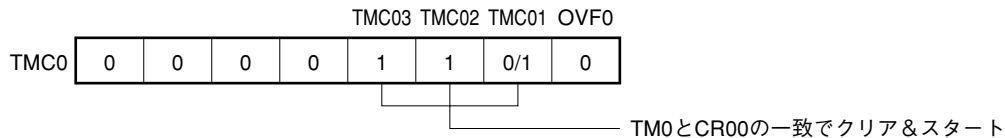
なお、CR00には0000H以外の値を設定してください(1パルスのカウント動作はできません)。

エッジ指定はINTM0のビット2, 3 (ES10, ES11)により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

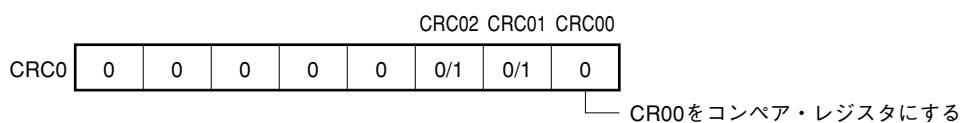
有効エッジの検出は、サンプリング・クロック選択レジスタ(SCS)で選択した周期でサンプリングを行い、2回有効レベルを検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

図8-28 外部イベント・カウンタ・モード時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1：0または1を設定することにより、外部イベント・カウンタと同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図8-29 外部イベント・カウンタの構成図

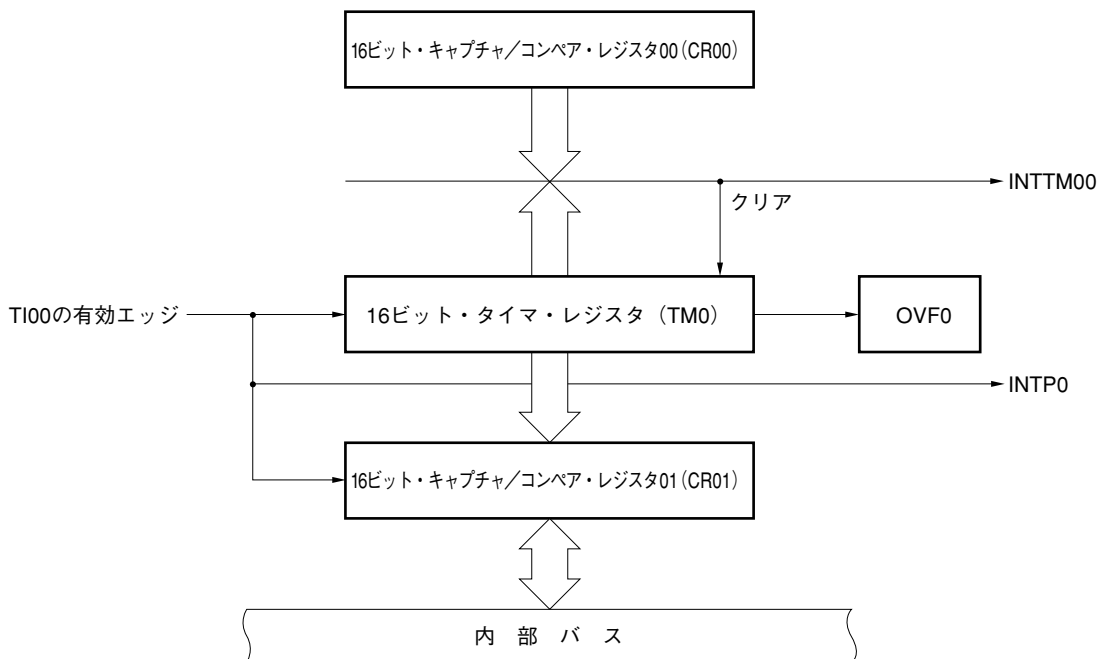
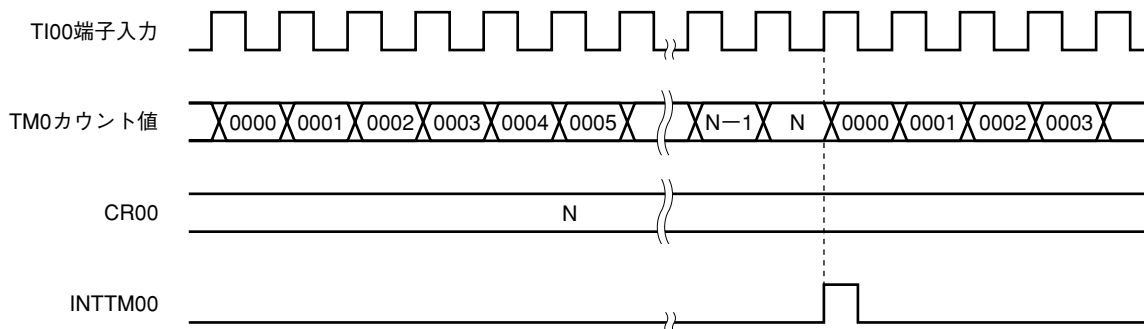


図8-30 外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時)



注意 外部イベント・カウンタのカウント値を読み出す場合は、TMOを読み出してください。

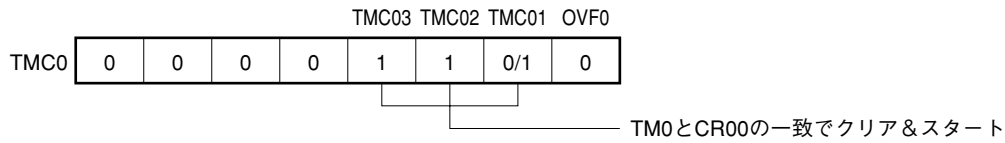
8.4.6 方形波出力としての動作

16ビット・キャプチャ/コンペア・レジスタ00(CR00)にあらかじめ設定したカウント値をインターバルとする、任意の周波数の方形波出力として動作します。

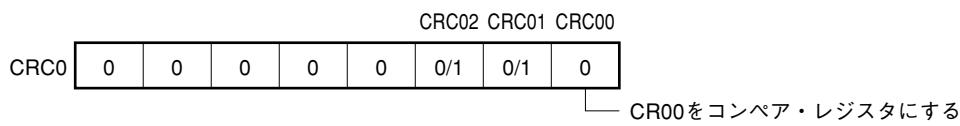
16ビット・タイマ出力コントロール・レジスタ(TOC0)のビット0(TOE0)とビット1(TOC01)に1を設定することにより、CR00にあらかじめ設定したカウント値をインターバルとしてTO0/P30端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

図8-31 方形波出力モード時の制御レジスタ設定内容

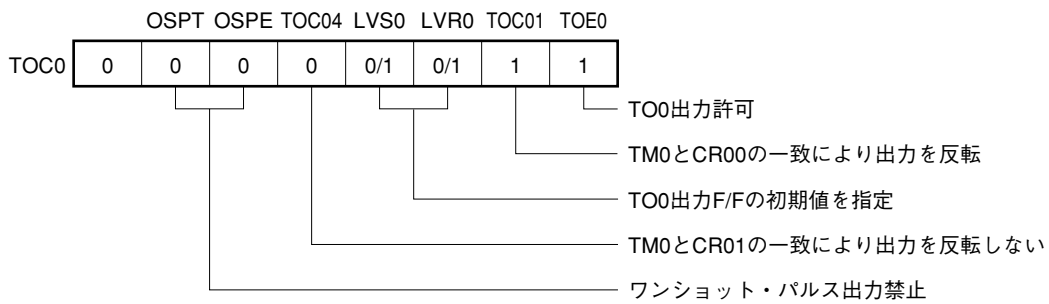
(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ(TOC0)



備考 0/1 : 0または1を設定することにより、方形波出力と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図8-32 方形波出力動作のタイミング

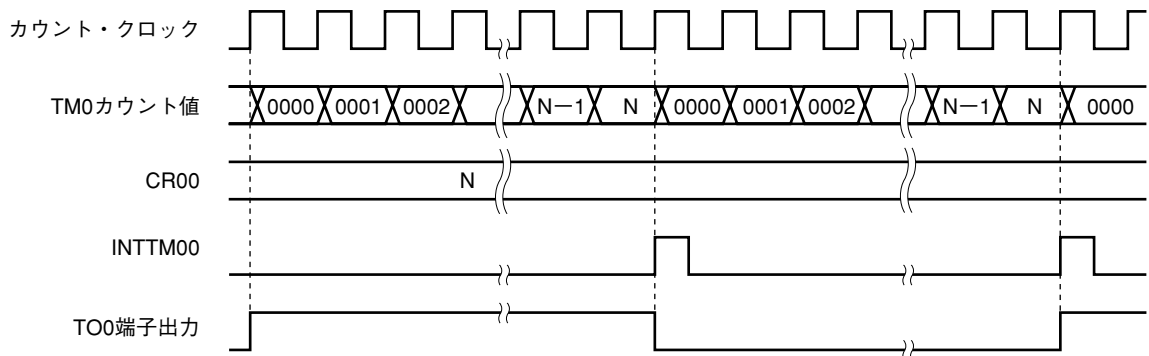


表 8-8 16ビット・タイマ/イベント・カウンタの方形波出力範囲

最小パルス時間		最大パルス時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
2×TI00入力周期		2 ¹⁶ ×TI00入力周期		TI00入力エッジ周期	
—	2×1/fx (400 ns)	—	2 ¹⁶ ×1/fx (13.1 ms)	—	1/fx (200 ns)
2×1/fx (400 ns)	2 ² ×1/fx (800 ns)	2 ¹⁶ ×1/fx (13.1 ms)	2 ¹⁷ ×1/fx (26.2 ms)	1/fx (200 ns)	2×1/fx (400 ns)
2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)	2 ¹⁷ ×1/fx (26.2 ms)	2 ¹⁸ ×1/fx (52.4 ms)	2×1/fx (400 ns)	2 ² ×1/fx (800 ns)
2 ³ ×1/fx (1.6 μs)	2 ⁴ ×1/fx (3.2 μs)	2 ¹⁸ ×1/fx (52.4 ms)	2 ¹⁹ ×1/fx (104.9 ms)	2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)
2×時計用タイマ出力周期		2 ¹⁶ ×時計用タイマ出力周期		時計用タイマ出力エッジ周期	

備考 1. fx : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタ(OSMS)のビット 0

3. ()内は、fx = 5.0 MHz動作時。

8.4.7 ワンショット・パルス出力としての動作

ソフトウェア・トリガおよび外部トリガ(TI00/P00端子入力)に同期してスタートしTM0のオーバフローで終了するワンショット・パルスを出力できます。

(1) ソフトウェア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ(TMC0)、キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)および16ビット・タイマ出力コントロール・レジスタ(TOC0)を図 8-31のように設定し、ソフトウェアでTOC0のビット 6 (OSPT)を 1 にセットすることにより、ワンショット・パルスをTO0/P30端子から出力します。

OSPTを 1 にセットすることにより、16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・キャプチャ/コンペア・レジスタ01(CR01)にあらかじめ設定したカウント値(N)で出力がアクティブになります。その後、16ビット・キャプチャ/コンペア・レジスタ00(CR00)にあらかじめ設定したカウント値(M)で出力がインアクティブとなります^注。

ワンショット・パルス出力後も、TM0は動作を続けています。TM0を停止させるためには、TMC0に00Hを設定する必要があります。

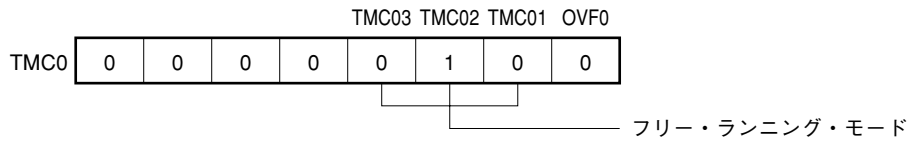
★ 注 ここではN<Mの場合の例です。N>MのときはCR00で出力がアクティブになり、CR01でインアクティブとなります。

★ 注意 1. ソフトウェア・トリガでワンショット・パルス出力をするときには、TI00/P00端子をハイ・レベルかロウ・レベルのどちらか一方に固定してください。

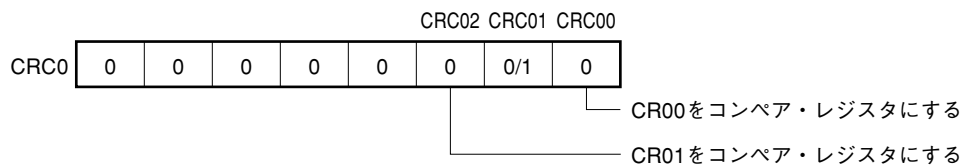
2. ワンショット・パルスを出力しているときは、OSPTを 1 にセットしないでください。再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したのちに出力してください。

図8-33 ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

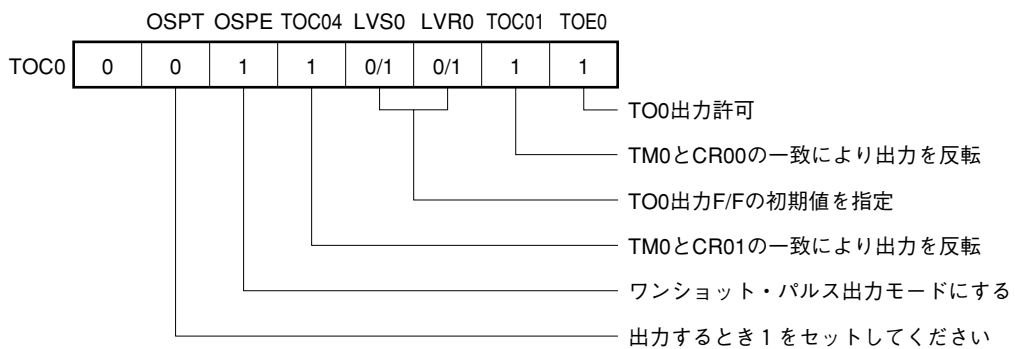
(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



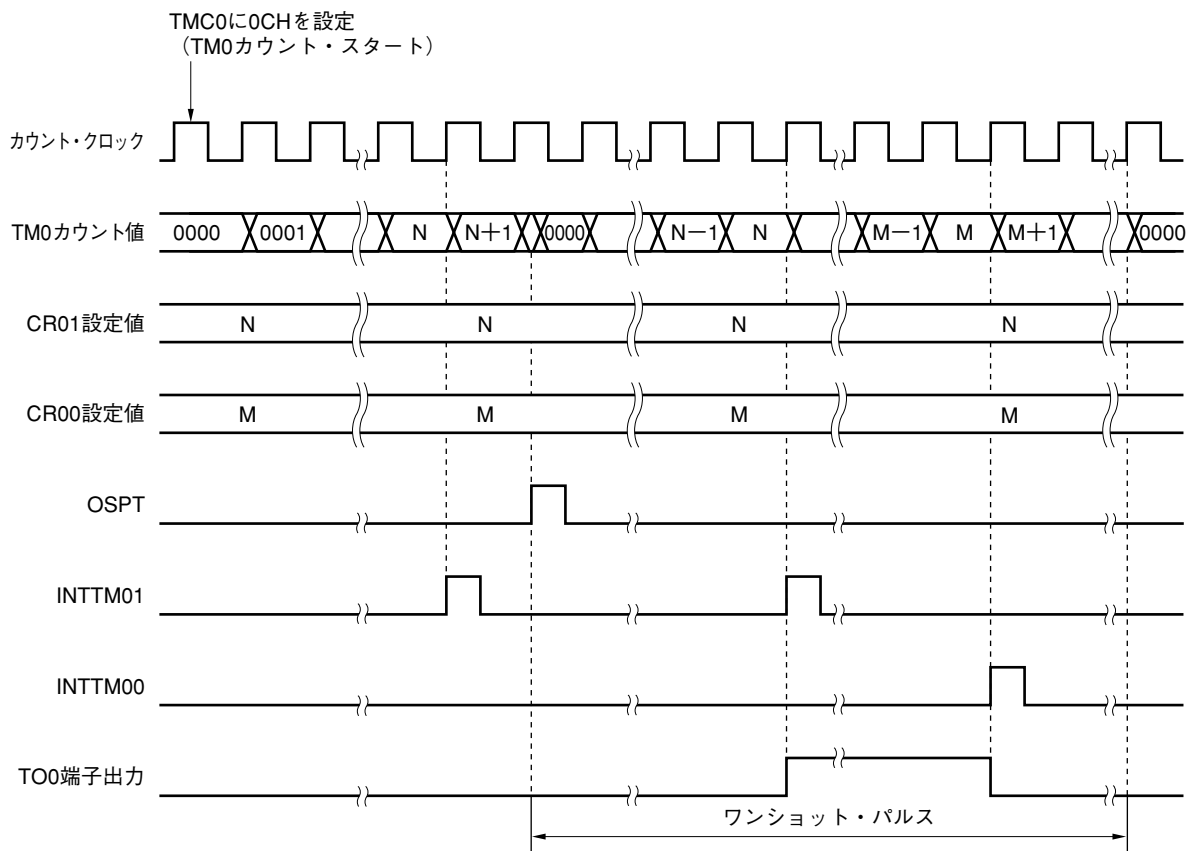
(c) 16ビット・タイマ出力コントロール・レジスタ(TOC0)



備考 0/1：0または1を設定することにより、ワンショット・パルス出力と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

★ 注意 CR00とCR01に0000Hを設定しないでください。

★ 図8-34 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング



注意 16ビット・タイマ・レジスタは、TMC01-TMC03に0, 0, 0(動作停止モード)以外の値を設定した時点で動作を開始します。

備考 $N < M$

(2) 外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ(TMC0)、キャプチャ/コンペア・コントロール・レジスタ0(CRC0)および16ビット・タイマ出力コントロール・レジスタ(TOC0)を図8-33のように設定し、TI00/P00の端子の有効エッジを外部トリガとしてワンショット・パルスをTO0/P30端子から出力します。

TI00/P00端子の有効エッジ指定は外部割り込みモード・レジスタ0(INTM0)のビット2, 3(ES10, ES11)により、立ち上がり、立ち下がり、両エッジの3種類から選択ができます。

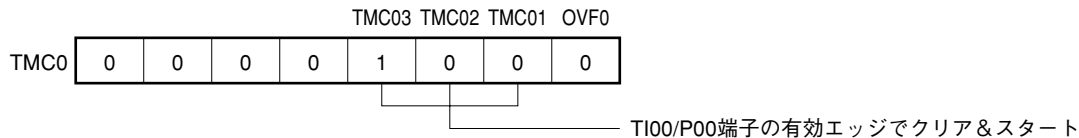
TI00/P00端子への有効エッジで16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・キャプチャ/コンペア・レジスタ01(CR01)にあらかじめ設定したカウント値(N)で出力がアクティブになります。その後、16ビット・キャプチャ/コンペア・レジスタ00(CR00)にあらかじめ設定したカウント値(M)で出力がインアクティブとなります注。

★ 注 ここでは $N < M$ の場合の例です。 $N > M$ のときはCR00で出力がアクティブになり、CR01でインアクティブとなります。

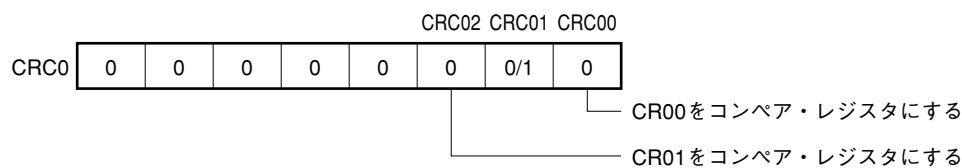
注意 ワンショット・パルスを出力しているときに、再び外部トリガが発生しても無視されます。

図 8-35 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

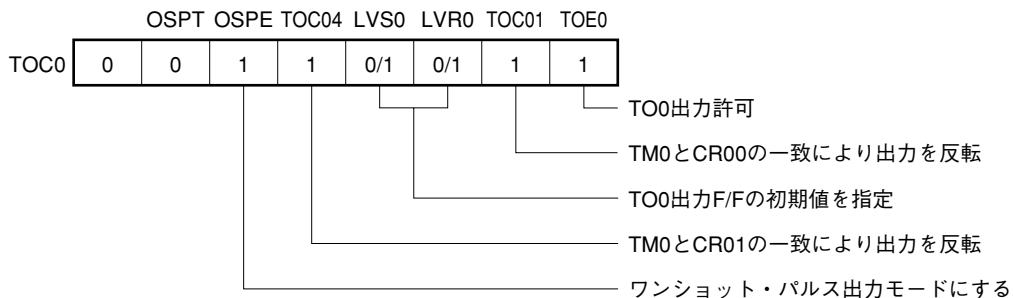
(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)



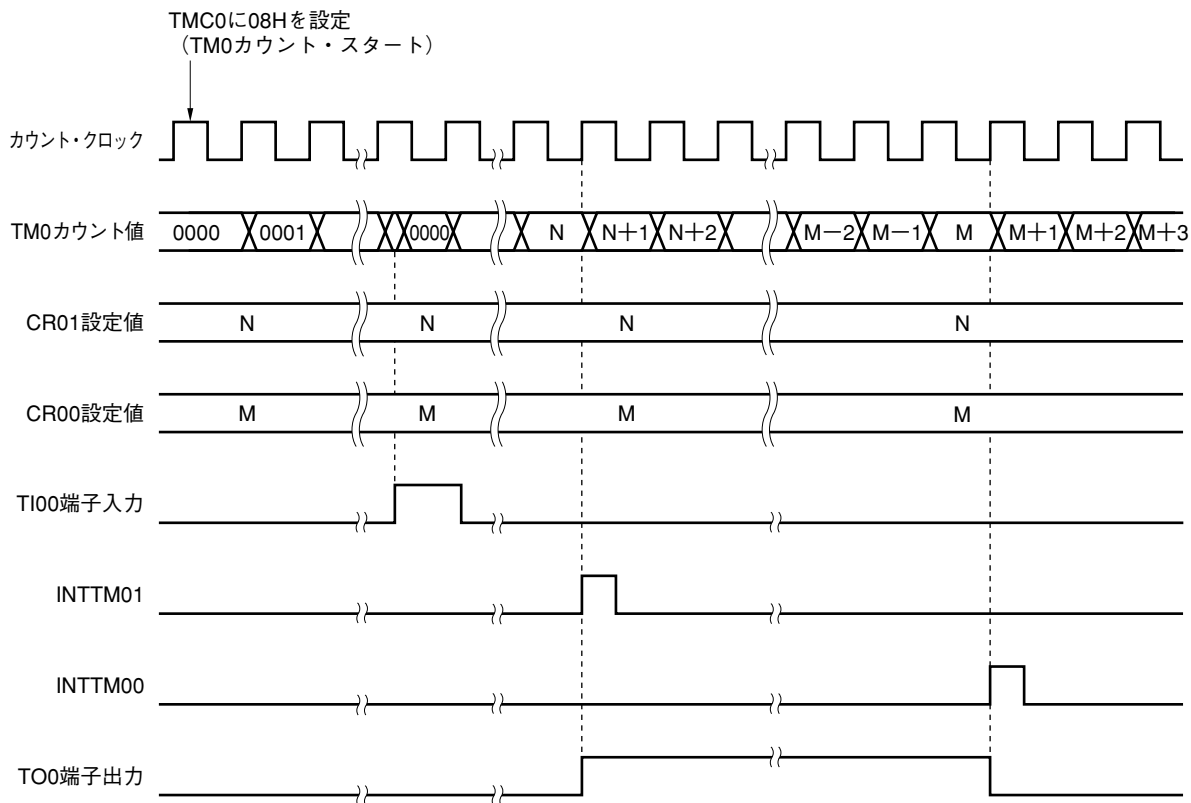
(c) 16ビット・タイマ出力コントロール・レジスタ(TOC0)



備考 0/1 : 0 または 1 を設定することにより、ワンショット・パルス出力と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

★ 注意 CR00とCR01に0000Hを設定しないでください。

図8-36 外部トリガによるワンショット・パルス出力動作のタイミング(立ち上がりエッジ指定時)



注意 16ビット・タイマ・レジスタは、TMC01-TMC03に0, 0, 0(動作停止モード)以外の値を設定した時点で動作を開始します。

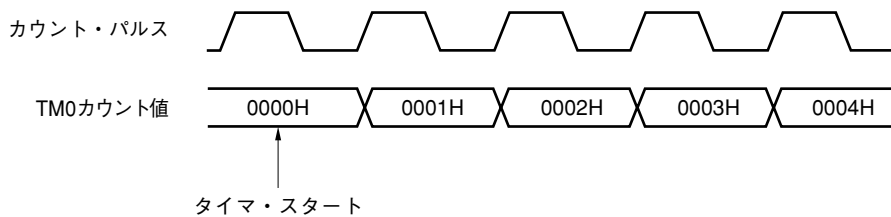
備考 $N < M$

8.5 16ビット・タイマ/イベント・カウンタの注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して16ビット・タイマ・レジスタ(TM0)が非同期でスタートされるためです。

図8-37 16ビット・タイマ・レジスタのスタート・タイミング



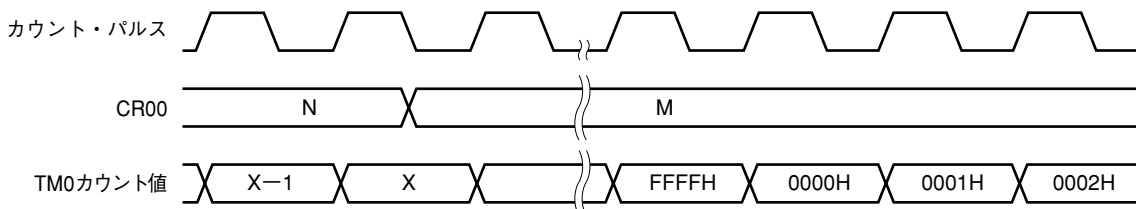
(2) 16ビット・コンペア・レジスタの設定 (TM0とCR00一致でクリア&スタート・モードを選択した場合)

16ビット・キャプチャ/コンペア・レジスタ00(CR00)には、0000H以外の値を設定してください。したがって、イベント・カウンタとして使用時、1パルスのカウント動作はできません。

(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・キャプチャ/コンペア・レジスタ00(CR00)の変更後の値が、16ビット・タイマ・レジスタ(TM0)の値よりも小さいとき、TM0はカウントを継続しオーバーフローして0から再カウントします。したがって、CR00の変更後の値(M)が変更前の値(N)より小さいときは、CR00を変更後、タイマをリセットし再スタートさせる必要があります。

図8-38 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング

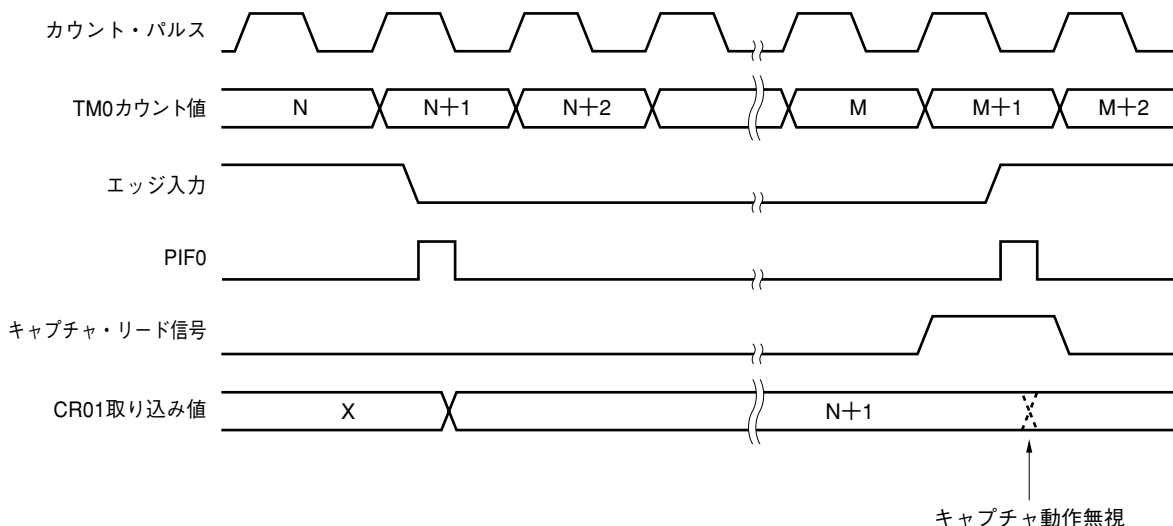


備考 $N > X > M$

(4) キャプチャ・レジスタのデータ保持タイミング

16ビット・キャプチャ/コンペア・レジスタ01 (CR01)の読み出し中にTI00/P00端子の有効エッジが入力されたとき、CR01はキャプチャ動作を行わず、データを保持します。ただし、有効エッジの検出による割り込み要求信号(PIF0)はセットされます。

図8-39 キャプチャ・レジスタのデータ保持タイミング



★ (5) 有効エッジの設定

TI00/P00/INTP0, TI01/P01/INTP1端子をタイマ入力(TI00, TI01)として使う場合、TI00, TI01の有効エッジの設定は、16ビット・タイマ・モード・コントロール・レジスタ(TMC0)のビット1-3 (TMC01-TMC03)に0, 0, 0を設定し、16ビット・タイマ0の動作を停止させたのちに行ってください。有効エッジは、外部割り込みモード・レジスタ0 (INTM0)のビット2, 3 (ES10, ES11)で設定します。なお、TI00/P00/INTP0, TI01/P01/INTP1端子を外部割り込み入力(INTP0, INTP1)として使う場合は、16ビット・タイマ0動作中に設定してもかまいません。

(6) ワンショット・パルスの再トリガ

(a) ソフトウェアによるワンショット・パルス出力

ワンショット・パルスを出力しているときは、OSPTを1にセットしないでください。再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したのちに出力してください。

(b) 外部トリガによるワンショット・パルス出力

ワンショット・パルスを出力しているときに、再び外部トリガが発生しても無視されます。

★ (c) ワンショット・パルス出力機能について

ワンショット・パルス出力をソフトウェア・トリガで使用する場合、TI00/P00/INTP0, TI01/P01/INTP1端子のレベルはハイカロウのどちらかに固定してください。さもないと、ソフトウェア・トリガで使用する場合でも外部トリガは有効となっているので、TI00/P00/INTP0, TI01/P01/INTP1端子のレベルの変化でもタイマがクリア&スタートしてしまい、意図しないタイミングでパルスが出力されてしまいます。

(7) OVFOフラグの動作

(a) OVFOフラグのセット

OVFOフラグは次のとき、1に設定されます。

TM0とCR00の一致でクリア&スタートするモード、TI00の有効エッジでクリア&スタート、フリー・ランニング・モードのいずれかを選択

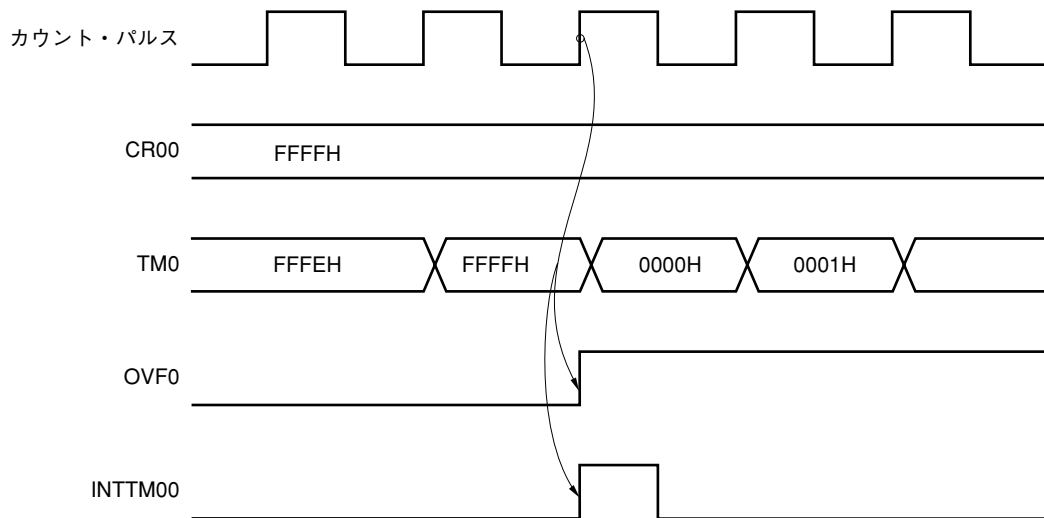


CR00をFFFFHに設定



TM0がFFFFHから0000Hにカウント・アップするとき

図8-40 OVFOフラグの動作のタイミング



(b) OVFOフラグのクリア

TM0がオーバーフロー後、次のカウント・クロックがカウントされる(TM0が0001Hになる)前にOVFOフラグをクリアしても、再度セットされクリアは無効となります。

(8) 競合動作

(a) リード期間とキャプチャ・トリガ入力競合した場合

16ビット・キャプチャ/コンペア・レジスタ00,01(CR00,CR01)をキャプチャ・レジスタとして使用しているとき、リード期間とキャプチャ・トリガ入力競合した場合は、キャプチャ動作を行わず、データを保持します。ただし、有効エッジの検出による割り込み要求フラグ(PIF0)はセットされます。

(b) ライト期間とTM0との一致タイミング競合した場合

16ビット・キャプチャ/コンペア・レジスタ00,01(CR00,CR01)をコンペア・レジスタとして使用しているとき、ライト期間と16ビット・タイマ・レジスタ0(TM0)との一致タイミング競合した場合は、一致判別は正常に行われません。一致タイミング付近でCR00,CR01のライト動作は行わないでください。

(9) タイマ動作

(a) CR01のキャプチャ

16ビット・タイマ・レジスタ0(TM0)をリードしても、16ビット・キャプチャ/コンペア・レジスタ01(CR01)にはキャプチャしません。

(b) TI00, TI01端子の受け付け

CPUの動作モードに関係なくタイマが停止していると、TI00, TI01端子への入力信号は受け付けられません。

(10) キャプチャ動作

(a) カウント・クロックにTI00の有効エッジを指定した場合

カウント・クロックにTI00の有効エッジを指定した場合、TI00をトリガに指定したキャプチャ・レジスタは正常に動作しません。

(b) TI00の有効エッジに立ち上がり、立ち下がりの両エッジを選択した場合

TI00の有効エッジに立ち上がり、立ち下がりの両エッジを選択した場合、CR00はTI00をキャプチャ・トリガとしたキャプチャ動作をすることはできません。

(c) TI00からの信号をキャプチャ・トリガとする場合

確実にキャプチャ動作するためには、キャプチャ・トリガはサンプリング・クロック選択レジスタ(SCS)で選択したカウント・クロックの2回分より長いパルスが必要とします。

(11) コンペア動作

(a) タイマ動作中にCR00, CR01を書き換えたとき

タイマ動作中に16ビット・タイマ・キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01)を書き換えたとき、その値がタイマ値に近く、かつタイマ値より大きい場合、一致割り込み要求の発生やクリア動作が正常に行われない可能性があります。

(b) CR00, CR01をコンペア・モードに設定したとき

コンペア・モードに設定したCR00, CR01は、キャプチャ・トリガが入力されていてもキャプチャ動作を行いません。

(12) エッジ検出

(a) システム・リセット直後にTI00端子またはTI01端子がハイ・レベルの場合

システム・リセット直後にTI00端子またはTI01端子がハイ・レベルの場合、TI00端子またはTI01端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ/カウンタ0(TM0)の動作を許可すると、その直後に立ち上がりエッジを検出します。TI00端子またはTI01端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止したあとの再動作許可時には、立ち上がり/立ち下がりエッジは検出されません。

第9章 8ビット・タイマ/イベント・カウンタ

9.1 8ビット・タイマ/イベント・カウンタの機能

μPD780058, 780058Yサブシリーズが内蔵している8ビット・タイマ/イベント・カウンタには、2チャンネルの8ビット・タイマ/イベント・カウンタを別個に使用するモード(8ビット・タイマ/イベント・カウンタ・モード)と、あわせて16ビット・タイマ/イベント・カウンタとして使用するモード(16ビット・タイマ/イベント・カウンタ・モード)があります。

9.1.1 8ビット・タイマ/イベント・カウンタ・モード

8ビット・タイマ/イベント・カウンタ1, 2(TM1, TM2)には、次のような機能があります。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力

(1) 8ビット・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

表9-1 8ビット・タイマ/イベント・カウンタのインターバル時間

最小インターバル時間		最大インターバル時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

備考1. f_x :メイン・システム・クロック発振周波数

2. MCS:発振モード選択レジスタ(OSMS)のビット0

3. ()内は、 $f_x = 5.0$ MHz動作時。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

表9-2 8ビット・タイマ/イベント・カウンタの方形波出力範囲

最小パルス時間		最大パルス時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

- 備考 1. f_x : メイン・システム・クロック発振周波数
 2. MCS : 発振モード選択レジスタ(OSMS)のビット0
 3. ()内は、 $f_x = 5.0$ MHz動作時。

9.1.2 16ビット・タイマ/イベント・カウンタ・モード

(1) 16ビット・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生できます。

表9-3 8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間

最小インターバル時間		最大インターバル時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^{23} \times 1/f_x$ (1.7 s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{23} \times 1/f_x$ (1.7 s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^{26} \times 1/f_x$ (13.4 s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{27} \times 1/f_x$ (26.8 s)	$2^{28} \times 1/f_x$ (53.7 s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

備考 1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタ(OSMS)のビット0

3. ()内は、 $f_x = 5.0$ MHz動作時。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

表9-4 8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタとして使用したときの方形波出力範囲

最小パルス時間		最大パルス時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^{23} \times 1/f_x$ (1.7 s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{23} \times 1/f_x$ (1.7 s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^{26} \times 1/f_x$ (13.4 s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{27} \times 1/f_x$ (26.8 s)	$2^{28} \times 1/f_x$ (53.7 s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

- 備考 1. f_x : メイン・システム・クロック発振周波数
 2. MCS : 発振モード選択レジスタ(OSMS)のビット 0
 3. ()内は, $f_x = 5.0$ MHz動作時。

9.2 8ビット・タイマ/イベント・カウンタの構成

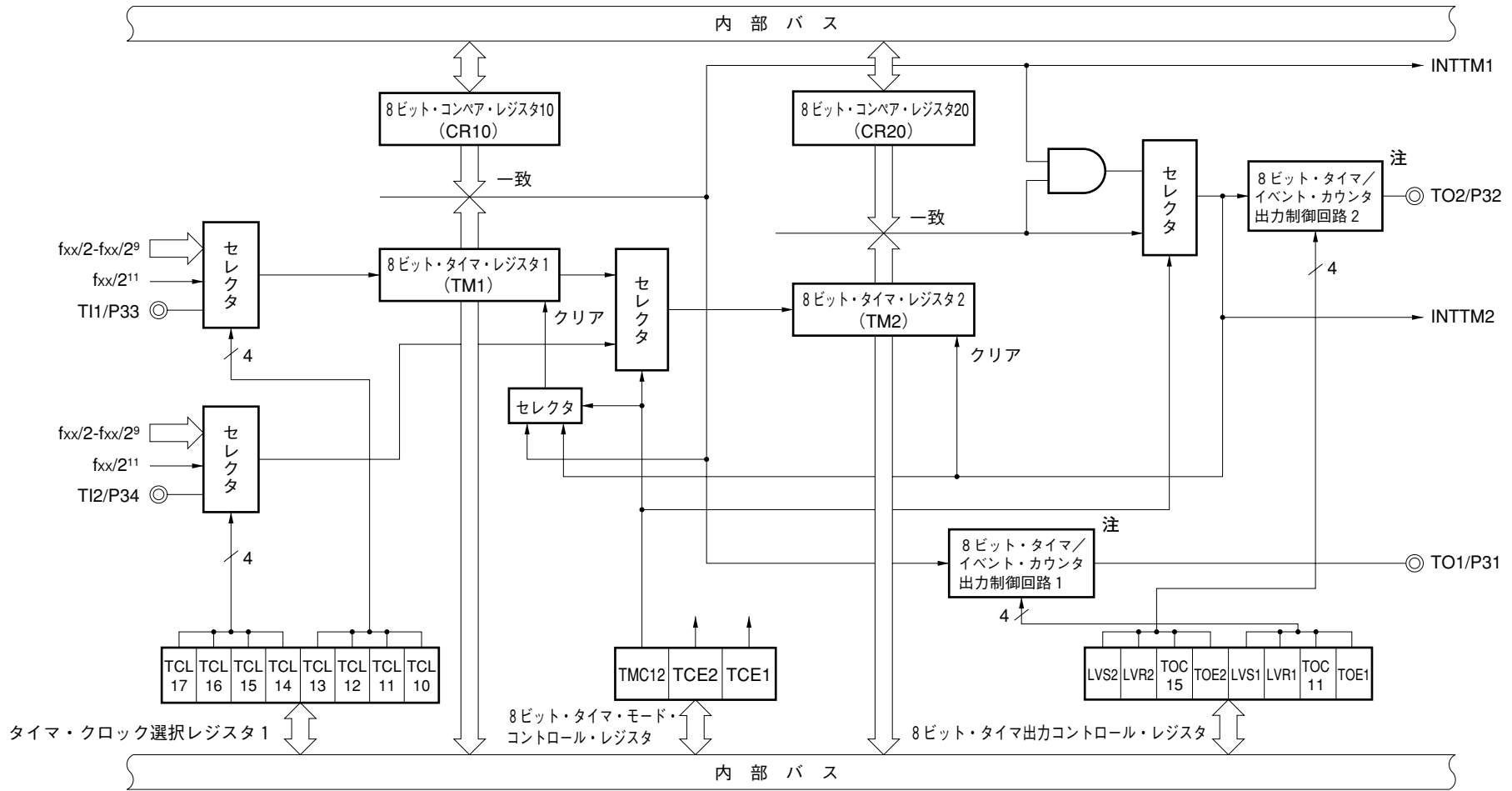
8ビット・タイマ/イベント・カウンタは、次のハードウェアで構成しています。

表9-5 8ビット・タイマ/イベント・カウンタの構成

項 目	構 成
タイマ・レジスタ	8ビット×2本(TM1, TM2)
レジスタ	コンペア・レジスタ：8ビット×2本(CR10, CR20)
タイマ出力	2本(TO1, TO2)
制御レジスタ	タイマ・クロック選択レジスタ1 (TCL1) 8ビット・タイマ・モード・コントロール・レジスタ(TMC1) 8ビット・タイマ出力コントロール・レジスタ(TOC1) ポート・モード・レジスタ3 (PM3) ^注

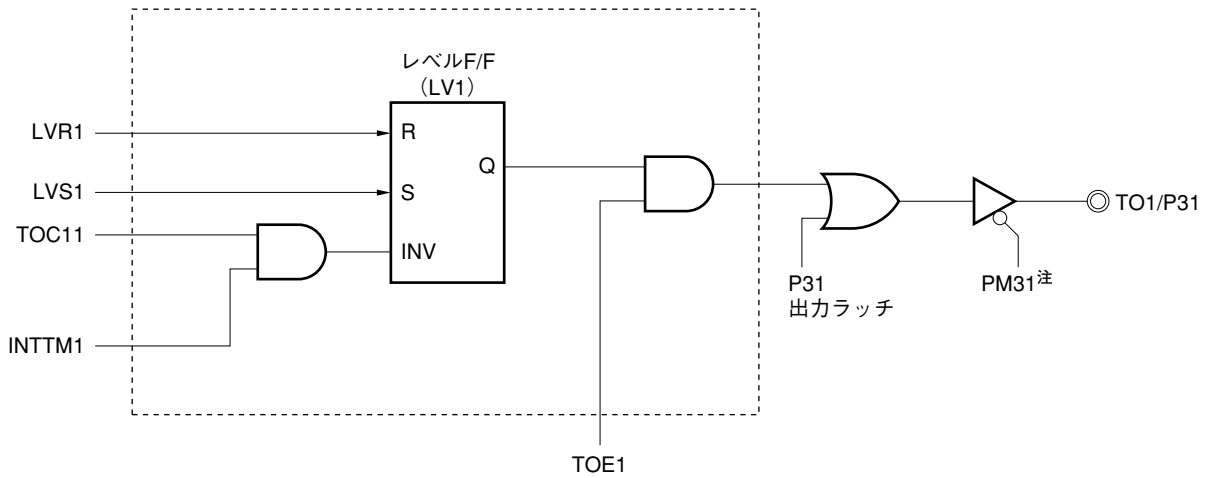
注 図6-9 P30-P37のブロック図を参照してください。

図9-1 8ビット・タイマ/イベント・カウンタのブロック図



注 8ビット・タイマ/イベント・カウンタの出力制御回路1, 2の構成は, 図9-2, 9-3を参照してください。

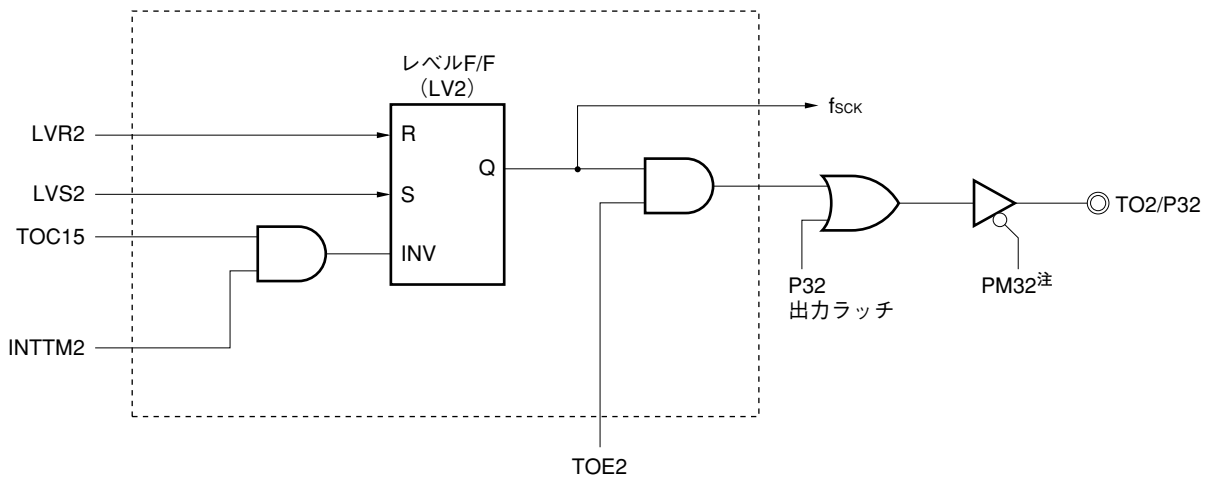
図9-2 8ビット・タイマ/イベント・カウンタ出力制御回路1のブロック図



注 ポート・モード・レジスタ3 (PM3)のビット1

備考 破線部内が出力制御回路です。

図9-3 8ビット・タイマ/イベント・カウンタ出力制御回路2のブロック図



注 ポート・モード・レジスタ3 (PM3)のビット2

- 備考 1. 破線部内が出力制御回路です。
 2. fscck：シリアル・クロック周波数

(1) コンペア・レジスタ10, 20(CR10, CR20)

CR10に設定した値と8ビット・タイマ・レジスタ1(TM1)のカウンタ値, CR20に設定した値と8ビット・タイマ・レジスタ2(TM2)のカウンタ値を常に比較し、一致したときにそれぞれ割り込み要求(INTTM1, INTTM2)を発生する8ビットのレジスタです。

CR10, CR20は、8ビット・メモリ操作命令で設定します。16ビット・メモリ操作命令では設定できません。8ビット・タイマ/イベント・カウンタとして使用時は、00H-FFHの値が、16ビット・タイマ/イベント・カウンタとして使用時は、0000H-FFFFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により、不定になります。

★

注意1. 16ビット・タイマ/イベント・カウンタとして使用時に8ビット・コンペア・レジスタ10, 20(CR10, CR20)の設定値を変更する場合、8ビット・タイマ/イベント・カウンタの各タイマ動作を停止させてから変更してください。

2. CR10, CR20の変更後の値が、8ビット・タイマ・レジスタ(TM1, TM2)の値よりも小さいとき、TM1, TM2はカウントを継続しオーバフローして0から再カウントします。したがって、CR10, CR20の変更後の値が変更前の値よりも小さいときは、CR10, CR20を変更後、タイマを再スタートさせる必要があります。

(2) 8ビット・タイマ・レジスタ1, 2(TM1, TM2)

カウント・パルスのカウントする8ビットのレジスタです。

TM1, TM2を8ビット・タイマ×2チャンネル・モードとして使用するときは、8ビット・メモリ操作命令で読み出します。16ビット・タイマ×1チャンネル・モードとして使用するときは、16ビット・タイマ・レジスタ(TMS)を16ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、それぞれ00Hになります。

9.3 8ビット・タイマ/イベント・カウンタを制御するレジスタ

8ビット・タイマ/イベント・カウンタは、次の4種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ1(TCL1)
- ・8ビット・タイマ・モード・コントロール・レジスタ(TMC1)
- ・8ビット・タイマ出力コントロール・レジスタ(TOC1)
- ・ポート・モード・レジスタ3(PM3)

(1) タイマ・クロック選択レジスタ1(TCL1)

8ビット・タイマ・レジスタ1, 2のカウント・クロックを設定するレジスタです。

TCL1は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9-4 タイマ・クロック選択レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL1	TCL17	TCL16	TCL15	TCL14	TCL13	TCL12	TCL11	TCL10	FF41H	00H	R/W

TCL13	TCL12	TCL11	TCL10	8ビット・タイマ・レジスタ1のカウンタ・クロックの選択		
				MCS = 1		MCS = 0
0	0	0	0	TI1の立ち下がりエッジ		
0	0	0	1	TI1の立ち上がりエッジ		
0	1	1	0	$f_{xx}/2$	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
上記以外				設定禁止		

TCL17	TCL16	TCL15	TCL14	8ビット・タイマ・レジスタ2のカウンタ・クロックの選択		
				MCS = 1		MCS = 0
0	0	0	0	TI2の立ち下がりエッジ		
0	0	0	1	TI2の立ち上がりエッジ		
0	1	1	0	$f_{xx}/2$	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
上記以外				設定禁止		

注意 TCL1を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに書き換えてください。

- 備考1. f_{xx} :メイン・システム・クロック周波数(f_x または $f_x/2$)
 2. f_x :メイン・システム・クロック発振周波数
 3. T11 : 8ビット・タイマ・レジスタ1の入力端子
 4. T12 : 8ビット・タイマ・レジスタ2の入力端子
 5. MCS : 発振モード選択レジスタ(OSMS)のビット0
 6. ()内は、 $f_x = 5.0$ MHz動作時。

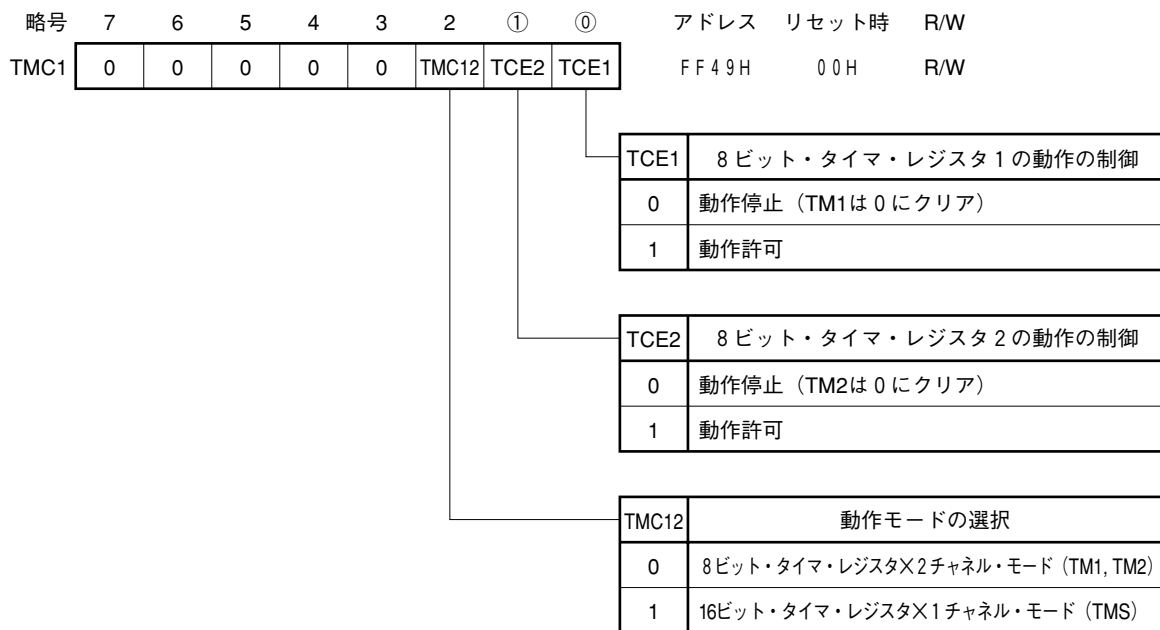
(2) 8ビット・タイマ・モード・コントロール・レジスタ(TMC1)

8ビット・タイマ・レジスタ1, 2の動作許可/停止および8ビット・タイマ・レジスタ1, 2の動作モードを設定するレジスタです。

TMC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9-5 8ビット・タイマ・モード・コントロール・レジスタのフォーマット



注意1. 動作モードは、タイマ動作を停止させたのちに切り替えてください。

2. 16ビット・タイマ・レジスタ (TMS) として使用する場合、動作許可/停止はTCE1で設定してください。

(3) 8ビット・タイマ出力コントロール・レジスタ(TOC1)

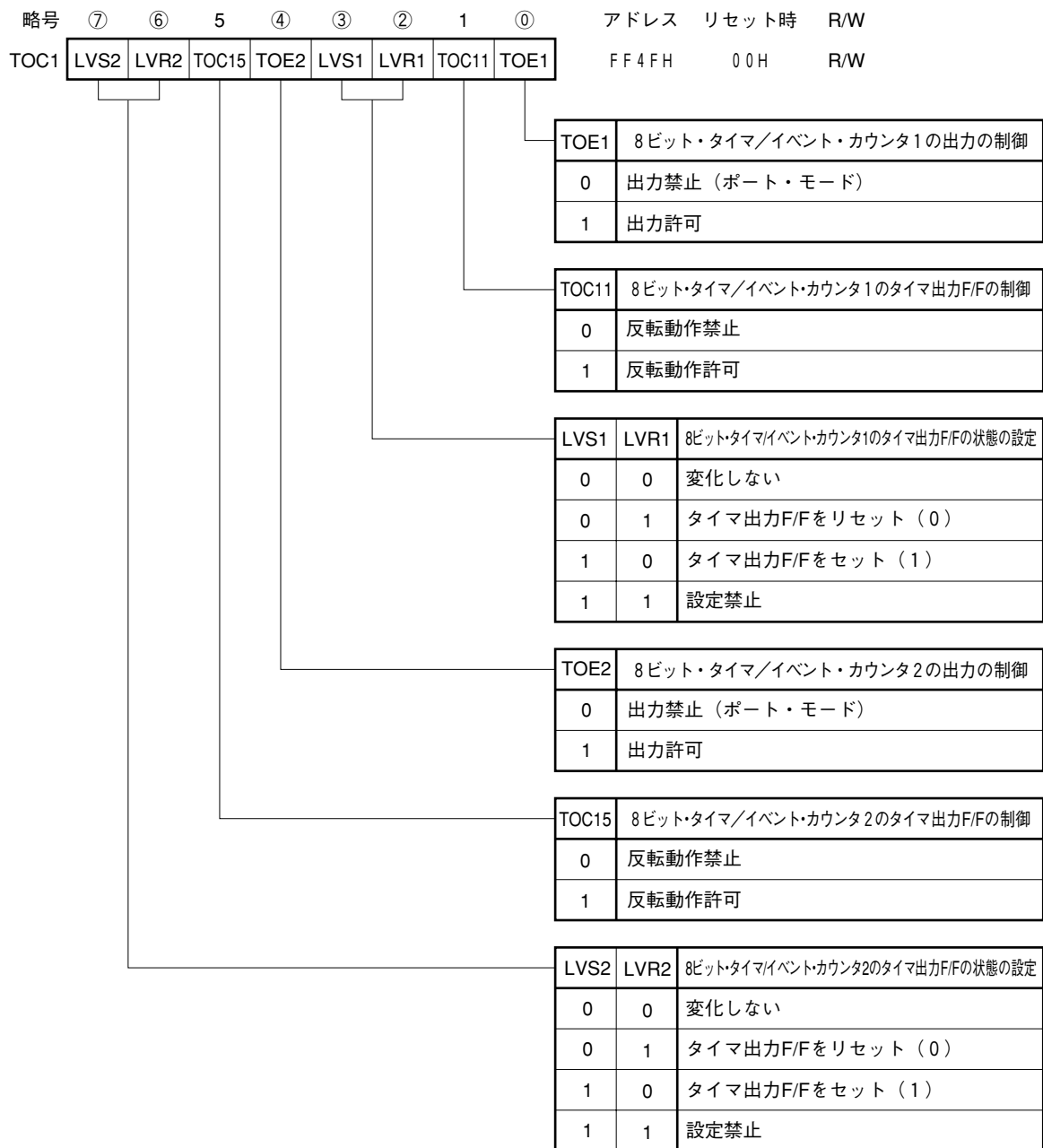
8ビット・タイマ/イベント・カウンタ出力制御回路1, 2の動作を制御するレジスタです。

R-S型フリップ・フロップ(LV1, LV2)のセット/リセット, 反転許可/禁止, 8ビット・タイマ・レジスタ1, 2のタイマ出力許可/禁止を設定します。

TOC1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図9-6 8ビット・タイマ出力コントロール・レジスタのフォーマット



注意1. TOC1は, 必ずタイマ動作を停止させたのちに設定してください。

2. LVS1, LVS2, LVR1, LVR2は, データ設定後に読み出すと0が読み出せます。

(4) ポート・モード・レジスタ3 (PM3)

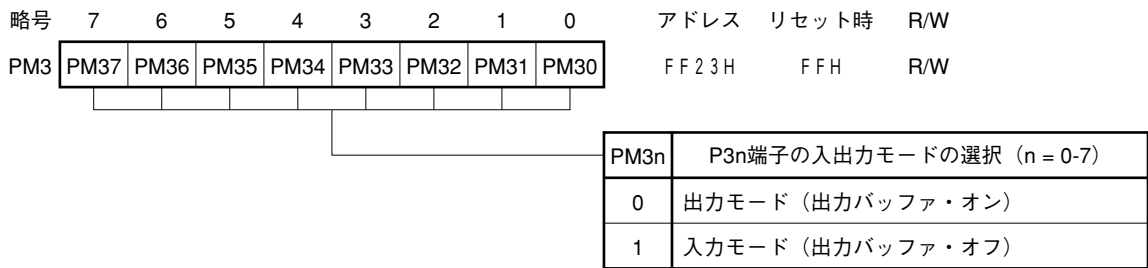
ポート3の入力/出力を1ビット単位で設定するレジスタです。

P31/TO1, P32/TO2端子をタイマ出力として使用するとき、PM31, PM32およびP31, P32の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図9-7 ポート・モード・レジスタ3のフォーマット



9.4 8ビット・タイマ/イベント・カウンタの動作

9.4.1 8ビット・タイマ/イベント・カウンタ・モード

(1) インターバル・タイマとしての動作

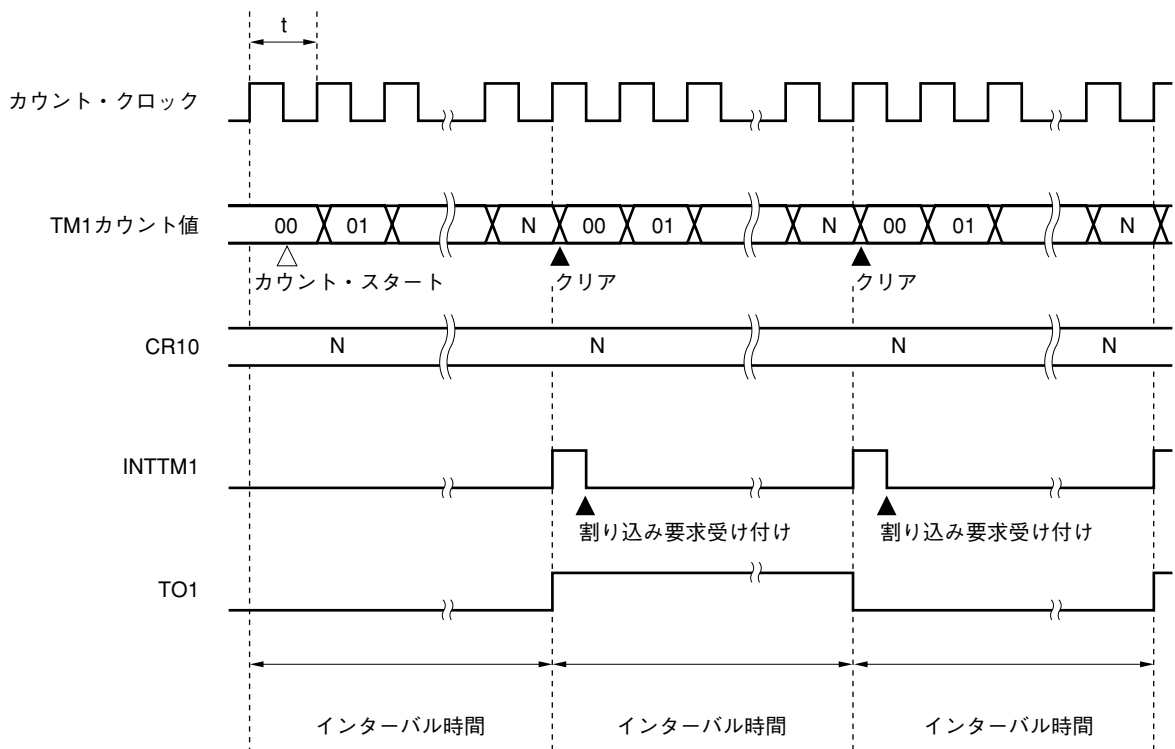
8ビット・コンペア・レジスタ10, 20(CR10, CR20)にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・レジスタ1, 2(TM1, TM2)のカウント値がCR10, CR20に設定した値と一致したとき、TM1, TM2の値を0にクリアしてカウントを継続するとともに割り込み要求信号(INTTM1, INTTM2)を発生します。

タイマ・クロック選択レジスタ1(TCL1)のビット0-3(TCL10-TCL13)でTM1のカウント・クロックを、またビット4-7(TCL14-TCL17)でTM2のカウント・クロックを選択できます。

なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、9.5(3)タイマ・カウント動作中のコンペア・レジスタの変更後の動作を参照してください。

図9-8 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N + 1) \times t$: N = 00H-FFH

表9-6 8ビット・タイマ/イベント・カウンタ1のインターバル時間

TCL13	TCL12	TCL11	TCL10	最小インターバル時間		最大インターバル時間		分解能	
				MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	0	0	TI1入力周期		$2^8 \times \text{TI1}$ 入力周期		TI1入力エッジ周期	
0	0	0	1	TI1入力周期		$2^8 \times \text{TI1}$ 入力周期		TI1入力エッジ周期	
0	1	1	0	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^9 \times 1/f_x$ (102.4 μs)	$2^{10} \times 1/f_x$ (204.8 μs)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
0	1	1	1	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μs)	$2^{10} \times 1/f_x$ (204.8 μs)	$2^{11} \times 1/f_x$ (409.6 μs)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μs)
1	0	0	0	$2^3 \times 1/f_x$ (1.6 μs)	$2^4 \times 1/f_x$ (3.2 μs)	$2^{11} \times 1/f_x$ (409.6 μs)	$2^{12} \times 1/f_x$ (819.2 μs)	$2^3 \times 1/f_x$ (1.6 μs)	$2^4 \times 1/f_x$ (3.2 μs)
1	0	0	1	$2^4 \times 1/f_x$ (3.2 μs)	$2^5 \times 1/f_x$ (6.4 μs)	$2^{12} \times 1/f_x$ (819.2 μs)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^4 \times 1/f_x$ (3.2 μs)	$2^5 \times 1/f_x$ (6.4 μs)
1	0	1	0	$2^5 \times 1/f_x$ (6.4 μs)	$2^6 \times 1/f_x$ (12.8 μs)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^5 \times 1/f_x$ (6.4 μs)	$2^6 \times 1/f_x$ (12.8 μs)
1	0	1	1	$2^6 \times 1/f_x$ (12.8 μs)	$2^7 \times 1/f_x$ (25.6 μs)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^6 \times 1/f_x$ (12.8 μs)	$2^7 \times 1/f_x$ (25.6 μs)
1	1	0	0	$2^7 \times 1/f_x$ (25.6 μs)	$2^8 \times 1/f_x$ (51.2 μs)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^7 \times 1/f_x$ (25.6 μs)	$2^8 \times 1/f_x$ (51.2 μs)
1	1	0	1	$2^8 \times 1/f_x$ (51.2 μs)	$2^9 \times 1/f_x$ (102.4 μs)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^8 \times 1/f_x$ (51.2 μs)	$2^9 \times 1/f_x$ (102.4 μs)
1	1	1	0	$2^9 \times 1/f_x$ (102.4 μs)	$2^{10} \times 1/f_x$ (204.8 μs)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^9 \times 1/f_x$ (102.4 μs)	$2^{10} \times 1/f_x$ (204.8 μs)
1	1	1	1	$2^{11} \times 1/f_x$ (409.6 μs)	$2^{12} \times 1/f_x$ (819.2 μs)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{11} \times 1/f_x$ (409.6 μs)	$2^{12} \times 1/f_x$ (819.2 μs)
上記以外				設定禁止					

- 備考 1. f_x : メイン・システム・クロック発振周波数
2. MCS : 発振モード選択レジスタ(OSMS)のビット0
 3. TCL10-TCL13 : タイマ・クロック選択レジスタ1 (TCL1)のビット0-3
 4. ()内は, $f_x = 5.0 \text{ MHz}$ 動作時。

表9-7 8ビット・タイマ/イベント・カウンタ2のインターバル時間

TCL17	TCL16	TCL15	TCL14	最小インターバル時間		最大インターバル時間		分解能	
				MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	0	0	TI2入力周期		2 ⁹ ×TI2入力周期		TI2入力エッジ周期	
0	0	0	1	TI2入力周期		2 ⁹ ×TI2入力周期		TI2入力エッジ周期	
0	1	1	0	2×1/f _x (400 ns)	2 ² ×1/f _x (800 ns)	2 ⁹ ×1/f _x (102.4 μs)	2 ¹⁰ ×1/f _x (204.8 μs)	2×1/f _x (400 ns)	2 ² ×1/f _x (800 ns)
0	1	1	1	2 ² ×1/f _x (800 ns)	2 ³ ×1/f _x (1.6 μs)	2 ¹⁰ ×1/f _x (204.8 μs)	2 ¹¹ ×1/f _x (409.6 μs)	2 ² ×1/f _x (800 ns)	2 ³ ×1/f _x (1.6 μs)
1	0	0	0	2 ³ ×1/f _x (1.6 μs)	2 ⁴ ×1/f _x (3.2 μs)	2 ¹¹ ×1/f _x (409.6 μs)	2 ¹² ×1/f _x (819.2 μs)	2 ³ ×1/f _x (1.6 μs)	2 ⁴ ×1/f _x (3.2 μs)
1	0	0	1	2 ⁴ ×1/f _x (3.2 μs)	2 ⁵ ×1/f _x (6.4 μs)	2 ¹² ×1/f _x (819.2 μs)	2 ¹³ ×1/f _x (1.64 ms)	2 ⁴ ×1/f _x (3.2 μs)	2 ⁵ ×1/f _x (6.4 μs)
1	0	1	0	2 ⁵ ×1/f _x (6.4 μs)	2 ⁶ ×1/f _x (12.8 μs)	2 ¹³ ×1/f _x (1.64 ms)	2 ¹⁴ ×1/f _x (3.28 ms)	2 ⁵ ×1/f _x (6.4 μs)	2 ⁶ ×1/f _x (12.8 μs)
1	0	1	1	2 ⁶ ×1/f _x (12.8 μs)	2 ⁷ ×1/f _x (25.6 μs)	2 ¹⁴ ×1/f _x (3.28 ms)	2 ¹⁵ ×1/f _x (6.55 ms)	2 ⁶ ×1/f _x (12.8 μs)	2 ⁷ ×1/f _x (25.6 μs)
1	1	0	0	2 ⁷ ×1/f _x (25.6 μs)	2 ⁸ ×1/f _x (51.2 μs)	2 ¹⁵ ×1/f _x (6.55 ms)	2 ¹⁶ ×1/f _x (13.1 ms)	2 ⁷ ×1/f _x (25.6 μs)	2 ⁸ ×1/f _x (51.2 μs)
1	1	0	1	2 ⁸ ×1/f _x (51.2 μs)	2 ⁹ ×1/f _x (102.4 μs)	2 ¹⁶ ×1/f _x (13.1 ms)	2 ¹⁷ ×1/f _x (26.2 ms)	2 ⁸ ×1/f _x (51.2 μs)	2 ⁹ ×1/f _x (102.4 μs)
1	1	1	0	2 ⁹ ×1/f _x (102.4 μs)	2 ¹⁰ ×1/f _x (204.8 μs)	2 ¹⁷ ×1/f _x (26.2 ms)	2 ¹⁸ ×1/f _x (52.4 ms)	2 ⁹ ×1/f _x (102.4 μs)	2 ¹⁰ ×1/f _x (204.8 μs)
1	1	1	1	2 ¹¹ ×1/f _x (409.6 μs)	2 ¹² ×1/f _x (819.2 μs)	2 ¹⁹ ×1/f _x (104.9 ms)	2 ²⁰ ×1/f _x (209.7 ms)	2 ¹¹ ×1/f _x (409.6 μs)	2 ¹² ×1/f _x (819.2 μs)
上記以外				設定禁止					

備考1. f_x :メイン・システム・クロック発振周波数

2. MCS :発振モード選択レジスタ(OSMS)のビット0

3. TCL14-TCL17 :タイマ・クロック選択レジスタ1(TCL1)のビット4-7

4. ()内は、f_x = 5.0 MHz動作時。

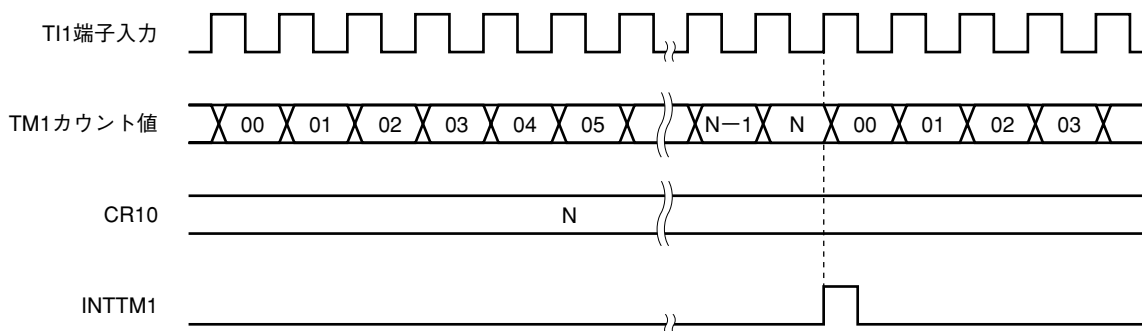
(2) 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI1/P33, TI2/P34端子に入力される外部からのクロック・パルス数を8ビット・タイマ・レジスタ1, 2 (TM1, TM2)でカウントするものです。

タイマ・クロック選択レジスタ1 (TCL1)で指定した有効エッジが入力されるたびに、TM1, TM2がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM1, TM2の計数値が8ビット・コンペア・レジスタ10, 20 (CR10, CR20)の値と一致すると、TM1, TM2は0にクリアされ、割り込み要求信号 (INTTM1, INTTM2)が発生します。

図9-9 外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時)



備考 N = 00H-FFH

(3) 方形波出力としての動作

8ビット・コンペア・レジスタ10, 20(CR10, CR20)にあらかじめ設定した値をインターバルとする、任意の周波数の方形波出力として動作します。

8ビット・タイマ出力コントロール・レジスタ(TOC1)のビット0 (TOE1), またはビット4 (TOE2)に1を設定することにより、CR10, またはCR20にあらかじめ設定したカウント値をインターバルとしてTO1/P31あるいはTO2/P32端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

表9-8 8ビット・タイマ/イベント・カウンタの方形波出力範囲

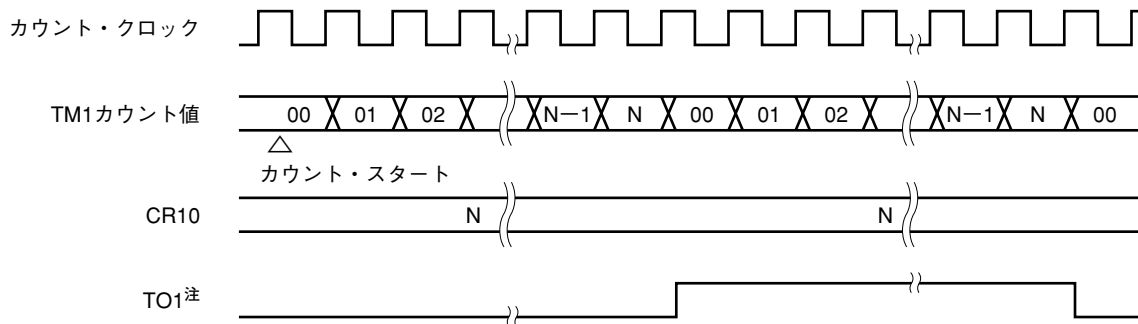
最小パルス時間		最大パルス時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタ(OSMS)のビット0

3. ()内は、 $f_x = 5.0$ MHz動作時。

図9-10 方形波出力動作のタイミング



注 TO1出力の初期値は、8ビット・タイマ出力コントロール・レジスタ(TOC1)のビット2, 3 (LVS1, LVR1)で設定できます。

9.4.2 16ビット・タイマ/イベント・カウンタ・モード

8ビット・タイマ・モード・コントロール・レジスタ(TMC1)のビット2(TMC12)に1を設定すると、16ビット・タイマ/イベント・カウンタ・モードとなります。

このモードでは、カウント・クロックはタイマ・クロック選択レジスタ(TCL1)のビット0-3(TCL10-TCL13)で選択します。そして、8ビット・タイマ/イベント・カウンタ1(TM1)のオーバーフロー信号が8ビット・タイマ/イベント・カウンタ2(TM2)のカウント・クロックとなります。

また、このモードでのカウント動作の禁止/許可は、TMC1のビット0(TCE1)で選択します。

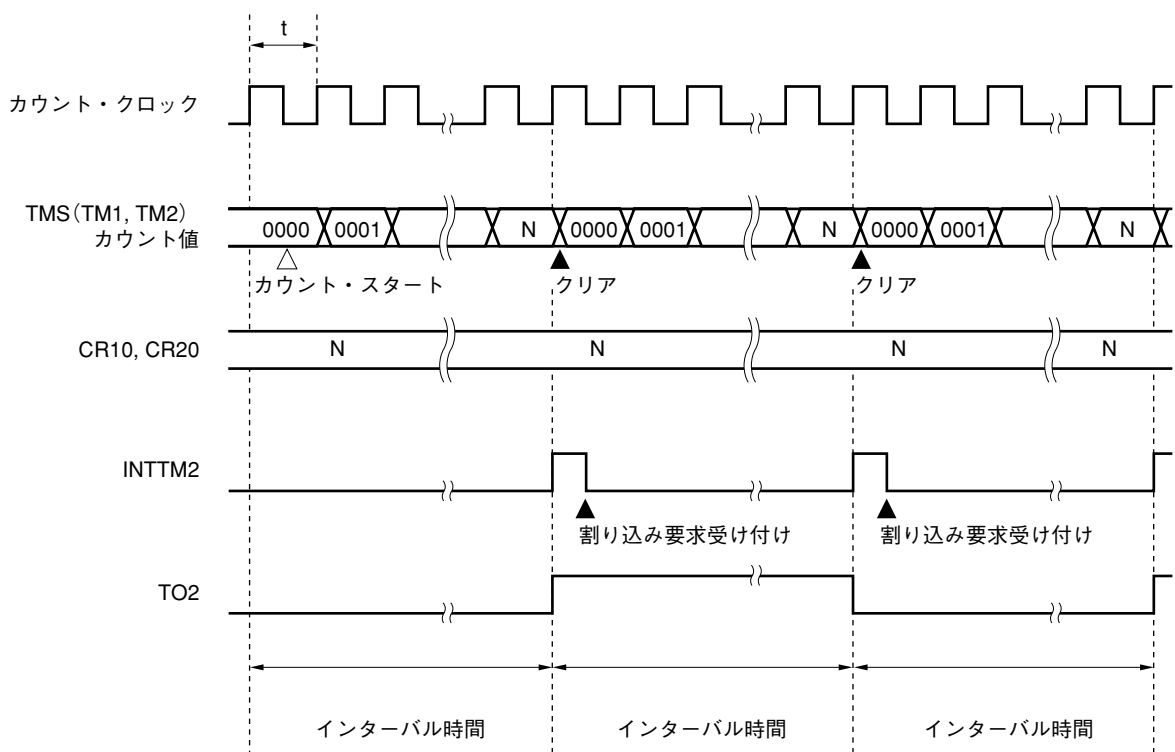
(1) インターバル・タイマとしての動作

2チャンネルの8ビット・コンペア・レジスタ(CR10, CR20)にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。カウント値を設定する際には、上位8ビットの値をCR20に、下位8ビットの値をCR10に設定します。設定可能なカウント値(インターバル時間)については、表9-9を参照してください。

8ビット・タイマ・レジスタ1(TM1)とCR10が一致し、かつ8ビット・タイマ・レジスタ2(TM2)とCR20が一致したとき、TM1およびTM2の値を0にクリアしてカウントを継続するとともに割り込み要求信号(INTTM2)を発生します。インターバル・タイマの動作タイミングについては、図9-11を参照してください。

カウント・クロックは、タイマ・クロック選択レジスタ1(TCL1)のビット0-3(TCL10-TCL13)で選択します。そして、TM1のオーバーフロー信号がTM2のカウント・クロックになります。

図9-11 インターバル・タイマ動作のタイミング



備考 インターバル時間 = (N + 1) × t : N = 0000H-FFFFH

注意 16ビット・タイマ/イベント・カウンタ・モードを使用している場合でも、TM1のカウンタ値がCR10の値と一致すると、割り込み要求 (INTTM1) を発生し、8ビット・タイマ/イベント・カウンタ出力制御回路1のF/Fが反転します。したがって、16ビットのインターバル・タイマとして使用するときには、INTTM1の受け付けを禁止するためのマスク・フラグTMMK1に1を設定してください。

また、タイマのカウンタ値を読み出す場合には、16ビット・タイマ・レジスタ (TMS) を16ビット・メモリ操作命令で読み出してください。

表9-9 2チャンネルの8ビット・タイマ/イベント・カウンタ(TM1, TM2)を16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間

TCL13	TCL12	TCL11	TCL10	最小インターバル時間		最大インターバル時間		分解能	
				MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	0	0	TI1入力周期		$2^8 \times \text{TI1}$ 入力周期		TI1入力エッジ周期	
0	0	0	1	TI1入力周期		$2^8 \times \text{TI1}$ 入力周期		TI1入力エッジ周期	
0	1	1	0	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
0	1	1	1	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μs)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μs)
1	0	0	0	$2^3 \times 1/f_x$ (1.6 μs)	$2^4 \times 1/f_x$ (3.2 μs)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^3 \times 1/f_x$ (1.6 μs)	$2^4 \times 1/f_x$ (3.2 μs)
1	0	0	1	$2^4 \times 1/f_x$ (3.2 μs)	$2^5 \times 1/f_x$ (6.4 μs)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^4 \times 1/f_x$ (3.2 μs)	$2^5 \times 1/f_x$ (6.4 μs)
1	0	1	0	$2^5 \times 1/f_x$ (6.4 μs)	$2^6 \times 1/f_x$ (12.8 μs)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^5 \times 1/f_x$ (6.4 μs)	$2^6 \times 1/f_x$ (12.8 μs)
1	0	1	1	$2^6 \times 1/f_x$ (12.8 μs)	$2^7 \times 1/f_x$ (25.6 μs)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^{23} \times 1/f_x$ (1.7 s)	$2^6 \times 1/f_x$ (12.8 μs)	$2^7 \times 1/f_x$ (25.6 μs)
1	1	0	0	$2^7 \times 1/f_x$ (25.6 μs)	$2^8 \times 1/f_x$ (51.2 μs)	$2^{23} \times 1/f_x$ (1.7 s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^7 \times 1/f_x$ (25.6 μs)	$2^8 \times 1/f_x$ (51.2 μs)
1	1	0	1	$2^8 \times 1/f_x$ (51.2 μs)	$2^9 \times 1/f_x$ (102.4 μs)	$2^{24} \times 1/f_x$ (3.4 s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^8 \times 1/f_x$ (51.2 μs)	$2^9 \times 1/f_x$ (102.4 μs)
1	1	1	0	$2^9 \times 1/f_x$ (102.4 μs)	$2^{10} \times 1/f_x$ (204.8 μs)	$2^{25} \times 1/f_x$ (6.7 s)	$2^{26} \times 1/f_x$ (13.4 s)	$2^9 \times 1/f_x$ (102.4 μs)	$2^{10} \times 1/f_x$ (204.8 μs)
1	1	1	1	$2^{11} \times 1/f_x$ (409.6 μs)	$2^{12} \times 1/f_x$ (819.2 μs)	$2^{27} \times 1/f_x$ (26.8 s)	$2^{28} \times 1/f_x$ (53.7 s)	$2^{11} \times 1/f_x$ (409.6 μs)	$2^{12} \times 1/f_x$ (819.2 μs)
上記以外				設定禁止					

- 備考1. f_x : メイン・システム・クロック発振周波数
2. MCS : 発振モード選択レジスタ(OSMS)のビット0
 3. TCL10-TCL13 : タイマ・クロック選択レジスタ(TCL1)のビット0-3
 4. ()内は、 $f_x = 5.0 \text{ MHz}$ 動作時。

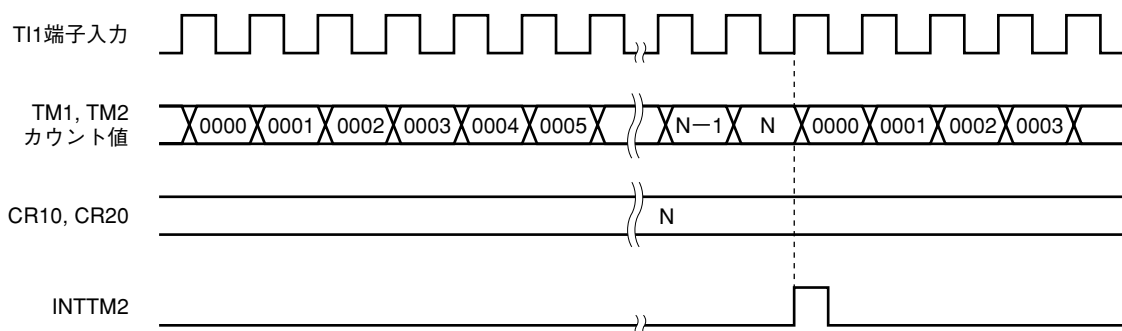
(2) 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI1/P33端子に入力される外部からのクロック・パルス数を2チャンネルの8ビット・タイマ・レジスタ1, 2 (TM1, TM2)でカウントするものです。

タイマ・クロック選択レジスタ1 (TCL1)で指定した有効エッジが入力されるたびに、TM1がインクリメントされます。そしてTM1がオーバーフローすると、そのオーバーフロー信号をカウント・クロックとしてTM2がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下りのいずれかを選択できます。

TM1, TM2の計数値が8ビット・コンペア・レジスタ10, 20 (CR10, CR20)の値と一致すると、TM1, TM2は0にクリアされ、割り込み要求信号 (INTTM2)が発生します。

図9-12 外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時)



注意 16ビット・タイマ/イベント・カウンタ・モードを使用している場合でも、TM1のカウント値がCR10の値と一致すると、割り込み要求 (INTTM1) を発生し、8ビット・タイマ/イベント・カウンタ出力制御回路1のF/Fが反転します。したがって、16ビットのインターバル・タイマとして使用するときには、INTTM1の受け付けを禁止するためのマスク・フラグTMMK1に1を設定してください。

また、タイマのカウント値を読み出す場合には、16ビット・タイマ・レジスタ (TMS) を16ビット・メモリ操作命令で読み出してください。

(3) 方形波出力としての動作

8ビット・コンペア・レジスタ10, 20(CR10, CR20)にあらかじめ設定した値をインターバルとする、任意の周波数の方形波出力として動作します。カウント値を設定する際には、上位8ビットの値をCR20に、下位8ビットの値をCR10に設定します。

8ビット・タイマ出力コントロール・レジスタ(TOC1)のビット4(TOE2)に1を設定することにより、CR10, CR20にあらかじめ設定したカウント値をインターバルとしてTO2/P32端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

表9-10 2チャンネルの8ビット・タイマ/イベント・カウンタ(TM1, TM2)を16ビット・タイマ/イベント・カウンタとして使用したときの方形波出力範囲

最小パルス時間		最大パルス時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^{23} \times 1/f_x$ (1.7 s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{23} \times 1/f_x$ (1.7 s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^{26} \times 1/f_x$ (13.4 s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{27} \times 1/f_x$ (26.8 s)	$2^{28} \times 1/f_x$ (53.7 s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

- 備考 1. f_x : メイン・システム・クロック発振周波数
 2. MCS : 発振モード選択レジスタ(OSMS)のビット 0
 3. ()内は、 $f_x = 5.0$ MHz動作時。

図9-13 方形波出力動作のタイミング

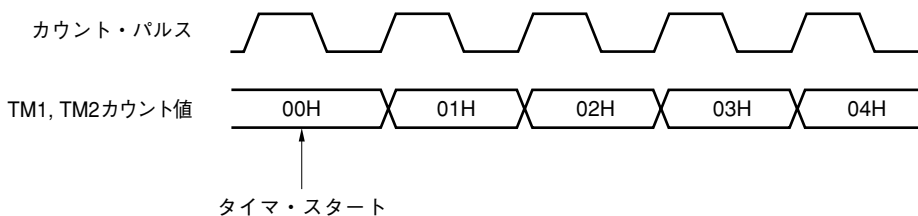


9.5 8ビット・タイマ/イベント・カウンタの注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・レジスタ1, 2 (TM1, TM2)が非同期でスタートされるためです。

図9-14 8ビット・タイマ・レジスタのスタート・タイミング



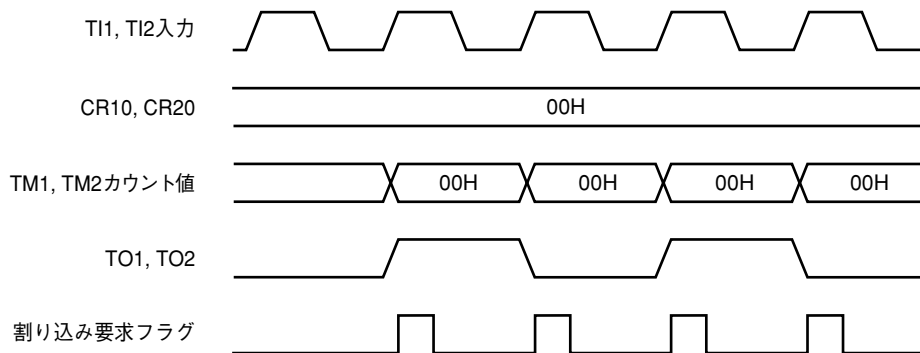
(2) 8ビット・コンペア・レジスタ10, 20の設定

8ビット・コンペア・レジスタ10, 20(CR10, CR20)には、00Hの設定が可能です。

したがって、イベント・カウンタとして使用时、1パルスのカウント動作が可能です。

また、16ビット・タイマ/イベント・カウンタとして使用时、CR10, CR20は、8ビット・タイマ・モード・コントロール・レジスタ(TMC1)のビット0(TCE1)に0を設定し、タイマ動作を停止させたのちに書き込んでください。

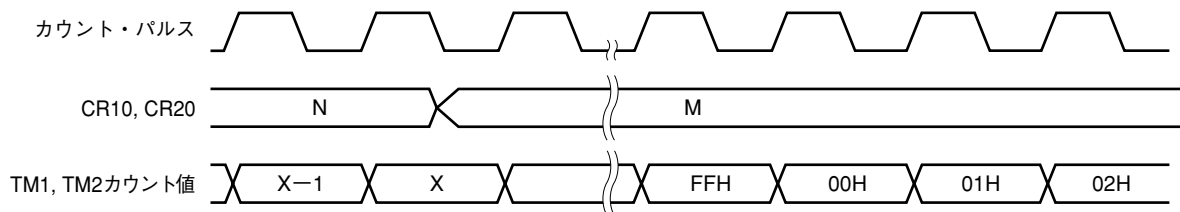
図9-15 外部イベント・カウンタとして動作時のタイミング



(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・コンペア・レジスタ10, 20(CR10, CR20)の変更後の値が、8ビット・タイマ・レジスタ(TM1, TM2)の値よりも小さいとき、TM1, TM2はカウントを継続しオーバーフローして0から再カウントします。したがって、CR10, CR20の変更後の値(M)が変更前の値(N)より小さいときは、CR10, CR20を変更後、タイマを再スタートさせる必要があります。

図9-16 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

第10章 時計用タイマ

10.1 時計用タイマの機能

時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

(1) 時計用タイマ

32.768 kHzのサブシステム・クロックを使用することにより、0.5秒または0.25秒の時間間隔でフラグ(WTIF)をセットします。

また、4.19 MHz(標準：4.194304 MHz)のメイン・システム・クロックを使用することにより、0.5秒または0.25秒の時間間隔でフラグ(WTIF)をセットします。

注意 5.0 MHzのメイン・システム・クロックでは、0.5秒の時間間隔を作ることができません。
32.768 kHzのサブシステム・クロックに切り替え、0.5秒の時間間隔を作ってください。

備考 f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$ または f_{XT})

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

(2) インターバル・タイマ

あらかじめ設定した時間間隔で割り込み要求(INTTM3)を発生します。

表10-1 インターバル・タイマのインターバル時間

インターバル時間	$f_{xx} = 5.0 \text{ MHz}$ 動作時	$f_{xx} = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
$2^4 \times 1/f_w$	410 μs	488 μs	488 μs
$2^5 \times 1/f_w$	819 μs	977 μs	977 μs
$2^6 \times 1/f_w$	1.64 ms	1.95 ms	1.95 ms
$2^7 \times 1/f_w$	3.28 ms	3.91 ms	3.91 ms
$2^8 \times 1/f_w$	6.55 ms	7.81 ms	7.81 ms
$2^9 \times 1/f_w$	13.1 ms	15.6 ms	15.6 ms

備考 f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

f_w : 時計用タイマ・クロック周波数 ($f_{xx}/2^7$ または f_{XT})

10.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成しています。

表10-2 時計用タイマの構成

項目	構成
カウンタ	5ビット×1本
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) 時計用タイマ・モード・コントロール・レジスタ (TMC2)

10.3 時計用タイマを制御するレジスタ

時計用タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・時計用タイマ・モード・コントロール・レジスタ (TMC2)

(1) タイマ・クロック選択レジスタ2 (TCL2) (図10-2 参照)

時計用タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

備考 TCL2は、時計用タイマのカウント・クロックの設定以外に、ウォッチドッグ・タイマのカウント・クロックおよびブザー出力の周波数を設定する機能があります。

図10-1 時計用タイマのブロック図

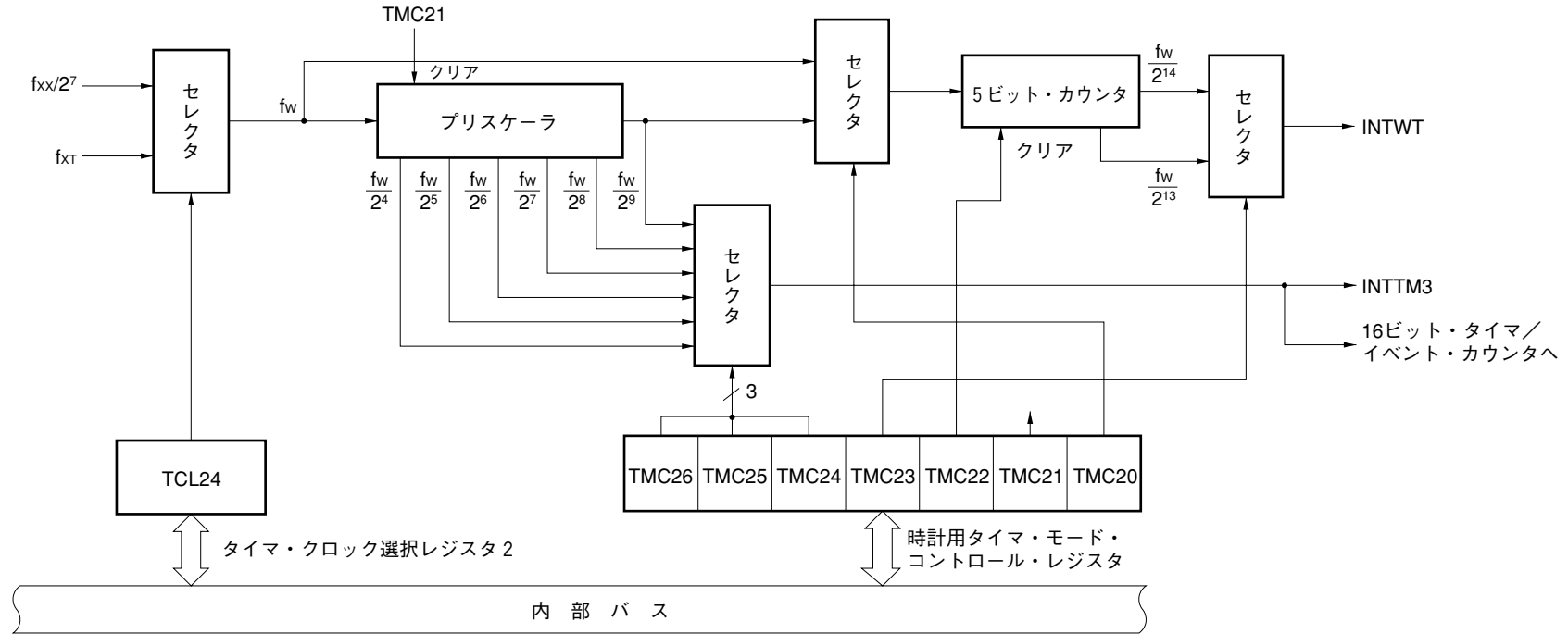


図10-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	TCL24	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウンタ・クロックの選択(第11章 ウォッチドッグ・タイマ参照)		
				MCS = 1	MCS = 0
0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)

TCL24	時計用タイマのカウンタ・クロックの選択		
		MCS = 1	MCS = 0
0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	f_{xT} (32.768 kHz)		

TCL27	TCL26	TCL25	ブザー出力の周波数の選択(第13章 ブザー出力制御回路参照)		
				MCS = 1	MCS = 0
0	×	×	ブザー出力禁止		
1	0	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	0	1	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)
1	1	0	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
1	1	1	設定禁止		

★ 注意 時計用タイマのカウンタ・クロックを変更する場合は、いったん時計用タイマの動作を停止させたのちにTCL2を書き換えてください(同一データの上書きでは停止不要)。

- 備考 1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
 2. f_x : メイン・システム・クロック発振周波数
 3. f_{xT} : サブシステム・クロック発振周波数
 4. × : don't care
 5. MCS : 発振モード選択レジスタ(OSMS)のビット0
 6. ()内は、 $f_x = 5.0$ MHzまたは $f_{xT} = 32.768$ kHz動作時。

(2) 時計用タイマ・モード・コントロール・レジスタ (TMC2)

時計用タイマの動作モード、時計用フラグのセット時間、プリスケアラおよび5ビット・カウンタの動作許可/禁止、プリスケアラのインターバル時間を設定するレジスタです。

TMC2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10-3 時計用タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC2	0	TMC26	TMC25	TMC24	TMC23	TMC22	TMC21	TMC20	FF4AH	00H	R/W

TMC20	時計動作モードの選択		
0	通常動作モード ($f_w/2^{14}$ でフラグをセット)		
1	早送り動作モード ($f_w/2^5$ でフラグをセット)		

TMC21	プリスケアラの動作の制御		
0	動作停止後クリア		
1	動作許可		

TMC22	5ビット・カウンタの動作の制御		
0	動作停止後クリア		
1	動作許可		

TMC23	時計用フラグのセット時間の選択		
	$f_{xx} = 5.0 \text{ MHz}$ 動作時	$f_{xx} = 4.19 \text{ MHz}$ 動作時	$f_{xT} = 32.768 \text{ kHz}$ 動作時
0	$2^{14}/f_w$ (0.4 sec)	$2^{14}/f_w$ (0.5 sec)	$2^{14}/f_w$ (0.5 sec)
1	$2^{13}/f_w$ (0.2 sec)	$2^{13}/f_w$ (0.25 sec)	$2^{13}/f_w$ (0.25 sec)

TMC26	TMC25	TMC24	プリスケアラのインターバル時間の選択		
			$f_{xx} = 5.0 \text{ MHz}$ 動作時	$f_{xx} = 4.19 \text{ MHz}$ 動作時	$f_{xT} = 32.768 \text{ kHz}$ 動作時
0	0	0	$2^4/f_w$ (410 μs)	$2^4/f_w$ (488 μs)	$2^4/f_w$ (488 μs)
0	0	1	$2^5/f_w$ (819 μs)	$2^5/f_w$ (977 μs)	$2^5/f_w$ (977 μs)
0	1	0	$2^6/f_w$ (1.64 ms)	$2^6/f_w$ (1.95 ms)	$2^6/f_w$ (1.95 ms)
0	1	1	$2^7/f_w$ (3.28 ms)	$2^7/f_w$ (3.91 ms)	$2^7/f_w$ (3.91 ms)
1	0	0	$2^8/f_w$ (6.55 ms)	$2^8/f_w$ (7.81 ms)	$2^8/f_w$ (7.81 ms)
1	0	1	$2^9/f_w$ (13.1 ms)	$2^9/f_w$ (15.6 ms)	$2^9/f_w$ (15.6 ms)
上記以外			設定禁止		

注意 時計用タイマを使用するときは、ひんばんにプリスケアラをクリアしないでください。

備考 f_w : 時計用タイマ・クロック周波数 ($f_{xx}/2^7$ または f_{xT})

f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

f_x : メイン・システム・クロック発振周波数

f_{xT} : サブシステム・クロック発振周波数

10.4 時計用タイマの動作

10.4.1 時計用タイマとしての動作

32.768 kHzのサブシステム・クロックまたは4.19 MHzのメイン・システム・クロックを使用することで、0.5秒または0.25秒の時間間隔の時計用タイマとして動作します。

時計用タイマは、一定の時間間隔ごとに、テスト入力フラグ(WTIF)を1にセットします。WTMK = 0のときはWTIFが1にセットされることにより、スタンバイ状態(STOPモード/HALTモード)を解除できません。

時計用タイマ・モード・コントロール・レジスタ(TMC2)のビット2(TMC22)に0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させるときは、TMC22に0を設定することにより、ゼロ秒スタートができます(最大誤差26.2 ms : $f_{xx} = 5.0$ MHz動作時)。

10.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

時計用タイマ・モード・コントロール・レジスタ(TMC2)のビット4-6(TMC24-TMC26)により、インターバル時間を選択できます。

表10-3 インターバル・タイマのインターバル時間

TMC26	TMC25	TMC24	インターバル時間	$f_{xx} = 5.0$ MHz動作時	$f_{xx} = 4.19$ MHz動作時	$f_{XT} = 32.768$ kHz動作時
0	0	0	$2^4 \times 1/f_w$	410 μ s	488 μ s	488 μ s
0	0	1	$2^5 \times 1/f_w$	819 μ s	977 μ s	977 μ s
0	1	0	$2^6 \times 1/f_w$	1.64 ms	1.95 ms	1.95 ms
0	1	1	$2^7 \times 1/f_w$	3.28 ms	3.91 ms	3.91 ms
1	0	0	$2^8 \times 1/f_w$	6.55 ms	7.81 ms	7.81 ms
1	0	1	$2^9 \times 1/f_w$	13.1 ms	15.6 ms	15.6 ms
上記以外			設定禁止			

備考 f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

f_w : 時計用タイマ・クロック周波数($f_{xx}/2^7$ または f_{XT})

TMC24-TMC26 : 時計用タイマ・モード・コントロール・レジスタ(TMC2)のビット4-6

第11章 ウォッチドッグ・タイマ

11.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ(WDTM)で選択してください（ウォッチドッグ・タイマとインターバル・タイマは同時に使用できません）。

(1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスクブル割り込み要求または $\overline{\text{RESET}}$ を発生できます。

表11-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	MCS = 1	MCS = 0
$2^{11} \times 1/f_{xx}$	$2^{11} \times 1/f_x$ (410 μ s)	$2^{12} \times 1/f_x$ (819 μ s)
$2^{12} \times 1/f_{xx}$	$2^{12} \times 1/f_x$ (819 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)
$2^{13} \times 1/f_{xx}$	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)
$2^{14} \times 1/f_{xx}$	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)
$2^{15} \times 1/f_{xx}$	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)
$2^{16} \times 1/f_{xx}$	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)
$2^{17} \times 1/f_{xx}$	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)
$2^{19} \times 1/f_{xx}$	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)

備考 1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)

2. f_x : メイン・システム・クロック発振周波数

3. MCS : 発振モード選択レジスタ(OSMS)のビット0

4. ()内は、 $f_x = 5.0$ MHz動作時。

(2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で割り込み要求を発生します。

表11-2 インターバル時間

インターバル時間	MCS = 1	MCS = 0
$2^{11} \times 1/f_{xx}$	$2^{11} \times 1/f_x (410 \mu s)$	$2^{12} \times 1/f_x (819 \mu s)$
$2^{12} \times 1/f_{xx}$	$2^{12} \times 1/f_x (819 \mu s)$	$2^{13} \times 1/f_x (1.64 ms)$
$2^{13} \times 1/f_{xx}$	$2^{13} \times 1/f_x (1.64 ms)$	$2^{14} \times 1/f_x (3.28 ms)$
$2^{14} \times 1/f_{xx}$	$2^{14} \times 1/f_x (3.28 ms)$	$2^{15} \times 1/f_x (6.55 ms)$
$2^{15} \times 1/f_{xx}$	$2^{15} \times 1/f_x (6.55 ms)$	$2^{16} \times 1/f_x (13.1 ms)$
$2^{16} \times 1/f_{xx}$	$2^{16} \times 1/f_x (13.1 ms)$	$2^{17} \times 1/f_x (26.2 ms)$
$2^{17} \times 1/f_{xx}$	$2^{17} \times 1/f_x (26.2 ms)$	$2^{18} \times 1/f_x (52.4 ms)$
$2^{19} \times 1/f_{xx}$	$2^{19} \times 1/f_x (104.9 ms)$	$2^{20} \times 1/f_x (209.7 ms)$

備考 1. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

2. f_x : メイン・システム・クロック発振周波数

3. MCS : 発振モード選択レジスタ (OSMS) のビット 0

4. () 内は, $f_x = 5.0 \text{ MHz}$ 動作時。

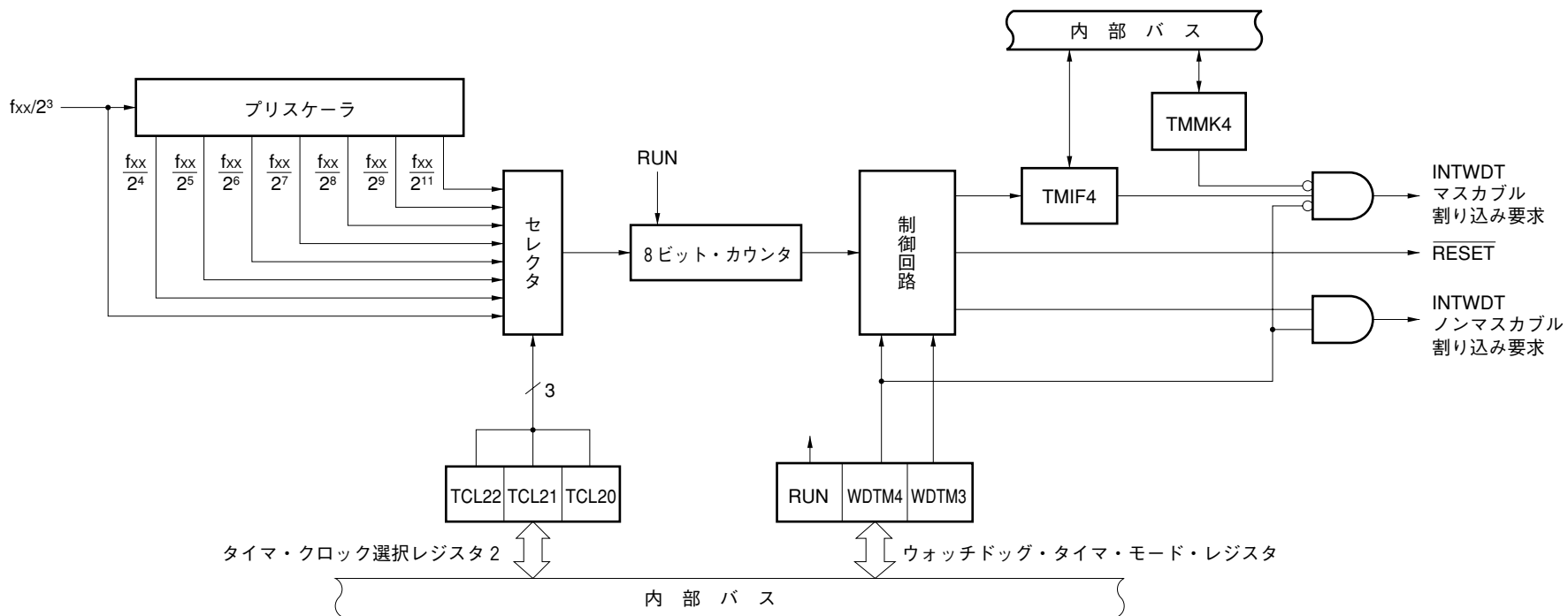
11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは, 次のハードウェアで構成しています。

表11-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	タイマ・クロック選択レジスタ 2 (TCL2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図11-1 ウォッチドッグ・タイマのブロック図



11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) タイマ・クロック選択レジスタ2 (TCL2)

ウォッチドッグ・タイマのカウンタ・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 TCL2は、ウォッチドッグ・タイマのカウンタ・クロックの設定以外に、時計用タイマのカウンタ・クロックおよびブザー出力の周波数を設定する機能があります。

図11-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	TCL24	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウンタ・クロックの選択		
				MCS = 1	MCS = 0
0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)

TCL24	時計用タイマのカウンタ・クロックの選択 (第10章 時計用タイマ参照)		
		MCS = 1	MCS = 0
0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	f_{xT} (32.768 kHz)		

TCL27	TCL26	TCL25	ブザー出力の周波数の選択 (第13章 ブザー出力制御回路参照)		
				MCS = 1	MCS = 0
0	×	×	ブザー出力禁止		
1	0	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	0	1	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)
1	1	0	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
1	1	1	設定禁止		

★ 注意 ウォッチドッグ・タイマは、動作開始後にカウンタ・クロックを変更 (TCL20-TCL22の書き換え) することは禁止です。

- 備考1. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
2. f_x : メイン・システム・クロック発振周波数
3. f_{xT} : サブシステム・クロック発振周波数
4. × : don't care
5. MCS : 発振モード選択レジスタ (OSMS) のビット 0
6. ()内は、 $f_x = 5.0$ MHzまたは $f_{xT} = 32.768$ kHz動作時。

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可/禁止を設定するレジスタです。
 WDTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図11-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット



注1. WDTM3, WDTM4は、一度1にセットされると、ソフトウェアで0にクリアできません。

2. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

3. RUNは、一度1にセットされると、ソフトウェアで0にクリアできません。

したがって、カウントを開始すると、 $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

注意1. RUNに1をセットし、ウォッチドッグ・タイマをクリアしたとき、実際のオーバーフロー時間は、
 タイマ・クロック選択レジスタ2 (TCL2) で設定した時間より最大0.5%短くなります。

2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は、割り込み要求フラグ (TMIF4) が0
 になっていることを確認してからWDTM4を1にセットしてください。

TMIF4が1の状態ではWDTM4を1にセットすると、WDTM3の内容にかかわらず、ノンマスカブル
 割り込み要求が発生します。

備考 ×: don't care

11.4 ウォッチドッグ・タイマの動作

11.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のビット4(WDTM4)に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ2(TCL2)のビット0-2(TCL20-TCL22)でウォッチドッグ・タイマのカウント・クロック(暴走検出時間間隔)を選択できます。WDTMのビット7(RUN)に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3(WDTM3)の値により、システム・リセットまたはノンマスクابل割り込み要求が発生します。

RUNを1に設定することにより、ウォッチドッグ・タイマをクリアできます。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意 1. 実際の暴走検出時間は設定時間に対して最大0.5%短くなる場合があります。

2. CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表11-4 ウォッチドッグ・タイマの暴走検出時間

TCL22	TCL21	TCL20	暴走検出時間	MCS = 1	MCS = 0
0	0	0	$2^{11} \times 1/f_{xx}$	$2^{11} \times 1/f_x (410 \mu s)$	$2^{12} \times 1/f_x (819 \mu s)$
0	0	1	$2^{12} \times 1/f_{xx}$	$2^{12} \times 1/f_x (819 \mu s)$	$2^{13} \times 1/f_x (1.64 ms)$
0	1	0	$2^{13} \times 1/f_{xx}$	$2^{13} \times 1/f_x (1.64 ms)$	$2^{14} \times 1/f_x (3.28 ms)$
0	1	1	$2^{14} \times 1/f_{xx}$	$2^{14} \times 1/f_x (3.28 ms)$	$2^{15} \times 1/f_x (6.55 ms)$
1	0	0	$2^{15} \times 1/f_{xx}$	$2^{15} \times 1/f_x (6.55 ms)$	$2^{16} \times 1/f_x (13.1 ms)$
1	0	1	$2^{16} \times 1/f_{xx}$	$2^{16} \times 1/f_x (13.1 ms)$	$2^{17} \times 1/f_x (26.2 ms)$
1	1	0	$2^{17} \times 1/f_{xx}$	$2^{17} \times 1/f_x (26.2 ms)$	$2^{18} \times 1/f_x (52.4 ms)$
1	1	1	$2^{19} \times 1/f_{xx}$	$2^{19} \times 1/f_x (104.9 ms)$	$2^{20} \times 1/f_x (209.7 ms)$

備考 1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)

2. f_x : メイン・システム・クロック発振周波数

3. MCS : 発振モード選択レジスタ(OSMS)のビット0

4. TCL20-TCL22 : タイマ・クロック選択レジスタ2(TCL2)のビット0-2

5. ()内は、 $f_x = 5.0 \text{ MHz}$ 動作時。

11.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のビット4 (WDTM4)に0を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2)のビット0-2 (TCL20-TCL22)でカウント・クロック(インターバル時間)を選択できます。WDTMのビット7 (RUN)に1を設定することにより、インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき、割り込みマスク・フラグ(TMMK4)と優先順位指定フラグ(TMPR4)が有効となり、マスカブル割り込み要求(INTWDT)を発生させることができます。INTWDTのデフォルトの優先順位は、マスカブル割り込み要求の中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にWDTMのビット7 (RUN)を1に設定し、インターバル・タイマをクリアしたあと、STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4)に1をセットする(ウォッチドッグ・タイマ・モードを選択する)とRESET入力されないかぎり、インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は、設定時間に対して最大0.5%短くなるときがあります。
 3. CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表11-5 インターバル・タイマのインターバル時間

TCL22	TCL21	TCL20	インターバル時間	MCS = 1	MCS = 0
0	0	0	$2^{11} \times 1/f_{xx}$	$2^{11} \times 1/f_x (410 \mu s)$	$2^{12} \times 1/f_x (819 \mu s)$
0	0	1	$2^{12} \times 1/f_{xx}$	$2^{12} \times 1/f_x (819 \mu s)$	$2^{13} \times 1/f_x (1.64 ms)$
0	1	0	$2^{13} \times 1/f_{xx}$	$2^{13} \times 1/f_x (1.64 ms)$	$2^{14} \times 1/f_x (3.28 ms)$
0	1	1	$2^{14} \times 1/f_{xx}$	$2^{14} \times 1/f_x (3.28 ms)$	$2^{15} \times 1/f_x (6.55 ms)$
1	0	0	$2^{15} \times 1/f_{xx}$	$2^{15} \times 1/f_x (6.55 ms)$	$2^{16} \times 1/f_x (13.1 ms)$
1	0	1	$2^{16} \times 1/f_{xx}$	$2^{16} \times 1/f_x (13.1 ms)$	$2^{17} \times 1/f_x (26.2 ms)$
1	1	0	$2^{17} \times 1/f_{xx}$	$2^{17} \times 1/f_x (26.2 ms)$	$2^{18} \times 1/f_x (52.4 ms)$
1	1	1	$2^{19} \times 1/f_{xx}$	$2^{19} \times 1/f_x (104.9 ms)$	$2^{20} \times 1/f_x (209.7 ms)$

- 備考1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
2. f_x : メイン・システム・クロック発振周波数
 3. MCS : 発振モード選択レジスタ(OSMS)のビット0
 4. TCL20-TCL22 : タイマ・クロック選択レジスタ2 (TCL2)のビット0-2
 5. ()内は、 $f_x = 5.0 \text{ MHz}$ 動作時。

第12章 クロック出力制御回路

12.1 クロック出力制御回路の機能

リモコン送信時のキャリア出力や周辺LSIに供給するクロックを出力する機能です。タイマ・クロック選択レジスタ0 (TCL0)で選択したクロックをPCL/P35端子から出力します。

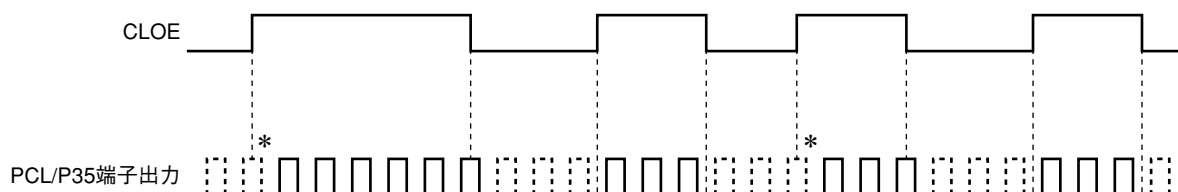
クロック・パルスは、次の手順で出力します。

- ① TCL0のビット0-3 (TCL00-TCL03)でクロック・パルスの出力周波数を選択する(クロック・パルスの出力は禁止の状態)。
- ② P35の出力ラッチに0を設定する。
- ③ ポート・モード・レジスタ3 (PM3)のビット5 (PM35)に0を設定する(出力モードに設定)。
- ④ タイマ・クロック選択レジスタ0 (TCL0)のビット7 (CLOE)に1を設定する。

注意 P35の出力ラッチに1を設定すると、クロック出力は使用できません。

備考 クロック出力制御回路は、クロック出力の許可/禁止を切り替えるときに、幅の狭いパルスは出力されないようになっています(図12-1 *印参照)。

図12-1 リモコン出力応用例



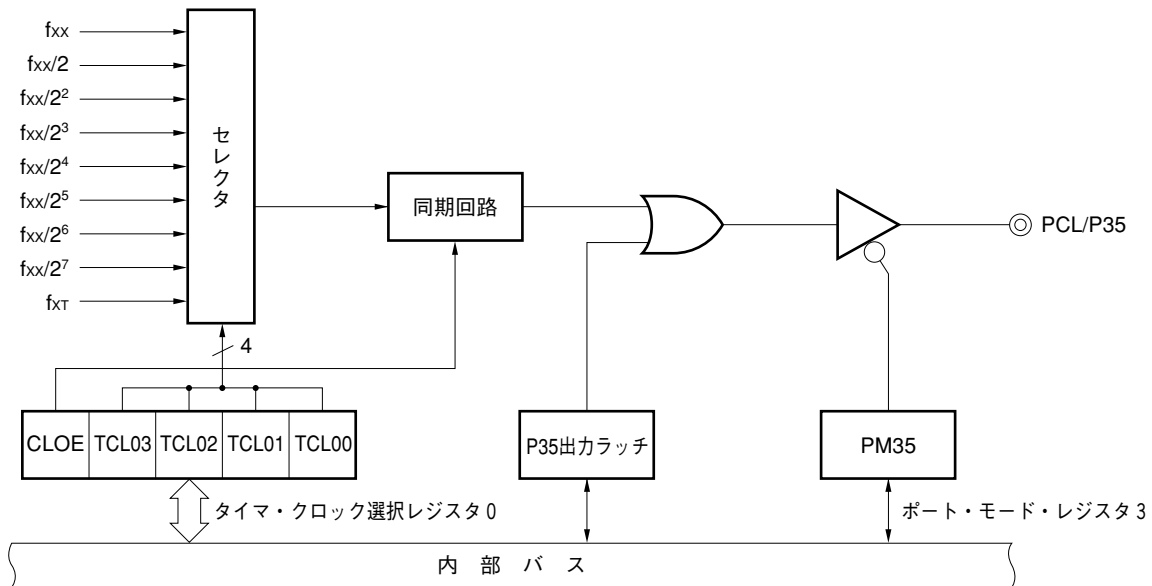
12.2 クロック出力制御回路の構成

クロック出力制御回路は、次のハードウェアで構成しています。

表12-1 クロック出力制御回路の構成

項目	構成
制御レジスタ	タイマ・クロック選択レジスタ 0 (TCL0)
	ポート・モード・レジスタ 3 (PM3)

図12-2 クロック出力制御回路のブロック図



12.3 クロック出力機能を制御するレジスタ

クロック出力機能は、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ 0 (TCL0)
- ・ポート・モード・レジスタ 3 (PM3)

(1) タイマ・クロック選択レジスタ 0 (TCL0)

PCL出力のクロックを設定するレジスタです。

TCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

備考 TCL0は、PCL出力のクロックの設定以外に、16ビット・タイマ・レジスタのカウント・クロックを設定する機能があります。

図12-3 タイマ・クロック選択レジスタ0のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL0	CLOE	TCL06	TCL05	TCL04	TCL03	TCL02	TCL01	TCL00	FF40H	00H	R/W

TCL03	TCL02	TCL01	TCL00	PCL出力のクロックの選択		
				MCS = 1		MCS = 0
0	0	0	0	f _{XT} (32.768 kHz)		
0	1	0	1	f _{XX}	f _X (5.0 MHz)	f _X /2 (2.5 MHz)
0	1	1	0	f _{XX} /2	f _X /2 (2.5 MHz)	f _X /2 ² (1.25 MHz)
0	1	1	1	f _{XX} /2 ²	f _X /2 ² (1.25 MHz)	f _X /2 ³ (625 kHz)
1	0	0	0	f _{XX} /2 ³	f _X /2 ³ (625 kHz)	f _X /2 ⁴ (313 kHz)
1	0	0	1	f _{XX} /2 ⁴	f _X /2 ⁴ (313 kHz)	f _X /2 ⁵ (156 kHz)
1	0	1	0	f _{XX} /2 ⁵	f _X /2 ⁵ (156 kHz)	f _X /2 ⁶ (78.1 kHz)
1	0	1	1	f _{XX} /2 ⁶	f _X /2 ⁶ (78.1 kHz)	f _X /2 ⁷ (39.1 kHz)
1	1	0	0	f _{XX} /2 ⁷	f _X /2 ⁷ (39.1 kHz)	f _X /2 ⁸ (19.5 kHz)
上記以外				設定禁止		

TCL06	TCL05	TCL04	16ビット・タイマ・レジスタのカウント・クロックの選択		
			MCS = 1		MCS = 0
0	0	0	TI00 (有効エッジ指定可能)		
0	0	1	2f _{XX}	設定禁止	f _X (5.0 MHz)
0	1	0	f _{XX}	f _X (5.0 MHz)	f _X /2 (2.5 MHz)
0	1	1	f _{XX} /2	f _X /2 (2.5 MHz)	f _X /2 ² (1.25 MHz)
1	0	0	f _{XX} /2 ²	f _X /2 ² (1.25 MHz)	f _X /2 ³ (625 kHz)
1	1	1	時計用タイマ出力 (INTTM3)		
上記以外			設定禁止		

CLOE	PCL出力の制御
0	出力禁止
1	出力許可

- 注意 1. TI00/P00/INTP0端子の有効エッジは、外部割り込みモード・レジスタ0 (INTM0)で設定します。
また、サンプリング・クロック周波数は、サンプリング・クロック選択レジスタ(SCS)で選択します。
2. PCL出力を許可するときは、TCL00-TCL03を設定したのち、1ビット・メモリ操作命令でCLOEに1を設定してください。
 3. TM0のカウント・クロックにTI00を指定しているとき、カウント値を読み出す場合には、16ビット・キャプチャ/コンペア・レジスタ(CR01)からではなく、TM0から読み出してください。
 4. TCL0を同一データ以外に書き換える場合は、いったんクロック動作を停止させたのちに書き換えてください。

- 備考1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
2. f_x : メイン・システム・クロック発振周波数
3. f_{xT} : サブシステム・クロック発振周波数
4. TI00 : 16ビット・タイマ/イベント・カウンタの入力端子
5. TM0 : 16ビット・タイマ・レジスタ
6. MCS : 発振モード選択レジスタ(OSMS)のビット0
7. ()内は, $f_x = 5.0$ MHzまたは $f_{xT} = 32.768$ kHz動作時。

(2) ポート・モード・レジスタ3 (PM3)

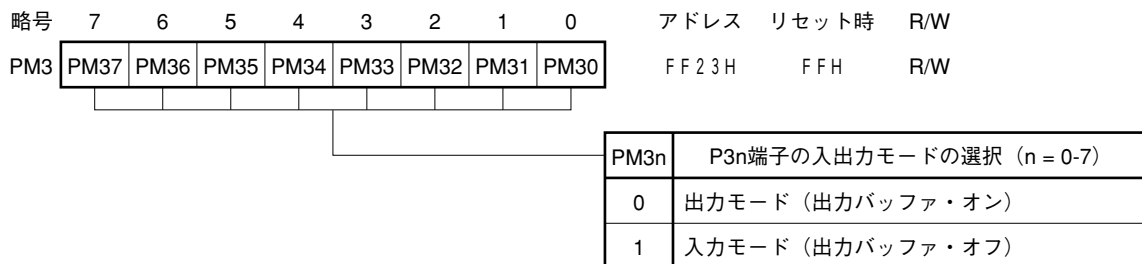
ポート3の入力/出力を1ビット単位で設定するレジスタです。

P35/PCL端子をクロック出力機能として使用するとき, PM35およびP35の出力ラッチに0を設定してください。

PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, FFHになります。

図12-4 ポート・モード・レジスタ3のフォーマット



第13章 ブザー出力制御回路

13.1 ブザー出力制御回路の機能

1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHzの周波数の方形波を出力する機能です。タイマ・クロック選択レジスタ 2 (TCL2)で選択したブザー周波数をBUZ/P36端子から出力します。

ブザー周波数は、次の手順で出力します。

- ① TCL2のビット 5-7 (TCL25-TCL27)でブザー出力周波数を選択する。
- ② P36の出力ラッチに 0 を設定する。
- ③ ポート・モード・レジスタ 3 (PM3)のビット 6 (PM36)に 0 を設定する(出力モードに設定)。

注意 P36の出力ラッチに 1 を設定すると、ブザー出力は使用できません。

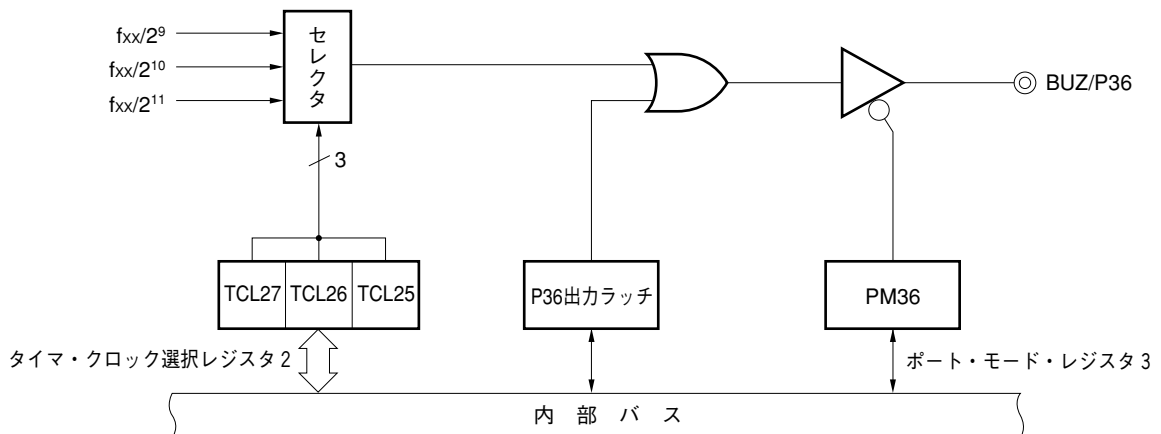
13.2 ブザー出力制御回路の構成

ブザー出力制御回路は、次のハードウェアで構成しています。

表13-1 ブザー出力制御回路の構成

項目	構成
制御レジスタ	タイマ・クロック選択レジスタ 2 (TCL2) ポート・モード・レジスタ 3 (PM3)

図13-1 ブザー出力制御回路のブロック図



13.3 ブザー出力機能を制御するレジスタ

ブザー出力機能は、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ポート・モード・レジスタ3 (PM3)

(1) タイマ・クロック選択レジスタ2 (TCL2)

ブザー出力の周波数を設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 TCL2は、ブザー出力の周波数の設定以外に、時計用タイマのカウント・クロックおよびウォッチドッグ・タイマのカウント・クロックを設定する機能があります。

図13-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	TCL24	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウンタ・クロックの選択(第11章 ウォッチドッグ・タイマ参照)		
				MCS = 1	MCS = 0
0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)

TCL24	時計用タイマのカウンタ・クロックの選択(第10章 時計用タイマ参照)		
		MCS = 1	MCS = 0
0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	f_{xt} (32.768 kHz)		

TCL27	TCL26	TCL25	ブザー出力の周波数の選択		
				MCS = 1	MCS = 0
0	×	×	ブザー出力禁止		
1	0	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	0	1	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)
1	1	0	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
1	1	1	設定禁止		

- ★ 注意1. TCL2の書き換えは、変更対象の時計用タイマまたはブザーの動作を停止させて行ってください(同一データの上書きでは停止不要)。
停止方法は次のとおりです。
 - ・ブザー出力： TCLのビット7 (TCL27)に0を入力
 - ・時計用タイマ：時計用タイマ・モード・コントロール・レジスタ2 (TMC2)のビット2 (TMC22)に0を入力
- ★ 2. ウォッチドッグ・タイマ動作開始後、カウンタ・クロックの変更(TCL20-TCL22の書き換え)は禁止です。

- 備考 1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
2. f_x : メイン・システム・クロック発振周波数
3. f_{xT} : サブシステム・クロック発振周波数
4. \times : don't care
5. MCS : 発振モード選択レジスタ(OSMS)のビット0
6. ()内は、 $f_x = 5.0$ MHzまたは $f_{xT} = 32.768$ kHz動作時。

(2) ポート・モード・レジスタ3 (PM3)

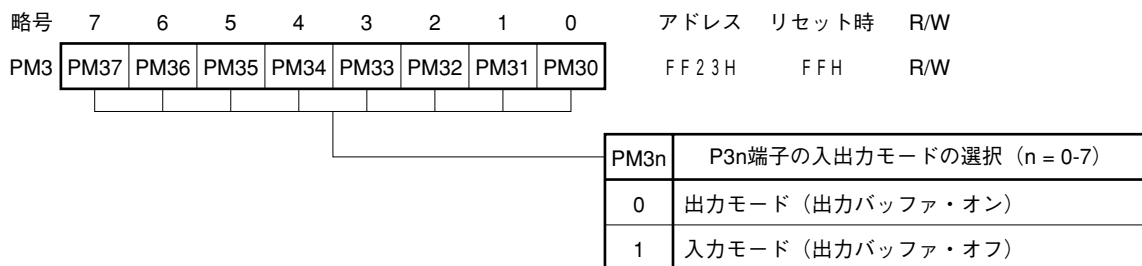
ポート3の入力/出力を1ビット単位で設定するレジスタです。

P36/BUZ端子をブザー出力機能として使用するとき、PM36およびP36の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図13-3 ポート・モード・レジスタ3のフォーマット



第14章 A/Dコンバータ

14.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、8ビット分解能8チャンネル(ANI0-ANI7)の構成になっています。

変換方式は逐次比較方式で、変換結果を8ビットのA/D変換結果レジスタ(ADCR)に保持します。

A/D変換動作の起動方法には、次の2種類があります。

(1) ハードウェア・スタート

トリガ入力(INTP3)により変換開始。

(2) ソフトウェア・スタート

A/Dコンバータ・モード・レジスタ(ADM)を設定することにより変換開始。

アナログ入力をANI0-ANI7から1チャンネル選択し、A/D変換を行ってください。A/D変換の動作は、ハードウェア・スタート時ではA/D変換動作終了後停止し、割り込み要求(INTAD)が発生されます。ソフトウェア・スタート時では、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに、割り込み要求(INTAD)が発生されます。

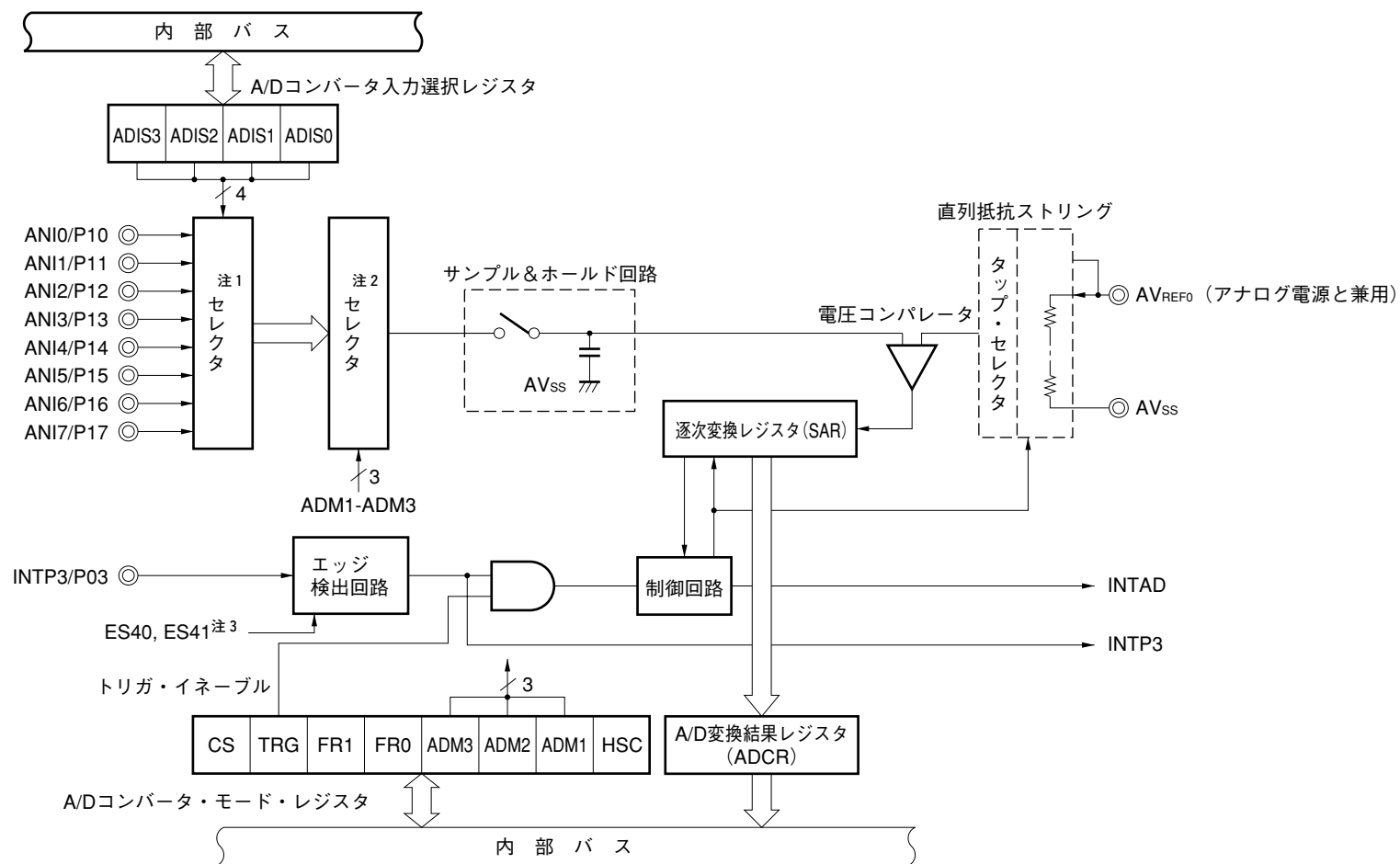
14.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表14-1 A/Dコンバータの構成

項 目	構 成
アナログ入力	8チャンネル(ANI0-ANI7)
制御レジスタ	A/Dコンバータ・モード・レジスタ(ADM) A/Dコンバータ入力選択レジスタ(ADIS) 外部割り込みモード・レジスタ1(INTM1)
レジスタ	逐次変換レジスタ(SAR) A/D変換結果レジスタ(ADCR)

図14-1 A/Dコンバータのブロック図



注1. アナログ入力として使用するチャンネル数を選択するセレクタ。

2. A/D変換するチャンネルを選択するセレクタ。

3. ES40, ES41: 外部割り込みモード・レジスタ1 (INTM1) のビット0, 1

(1) 逐次変換レジスタ(SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ(比較電圧)の値を比較し、その結果を最上位(MSB)ビットから保持するレジスタです。

最下位ビット(LSB)まで保持すると(A/D変換終了)、SARの内容はA/D変換結果レジスタ(ADCR)に転送されます。

(2) A/D変換結果レジスタ(ADCR)

A/D変換結果を保持します。A/D変換が終了するたびに、逐次変換レジスタ(SAR)から変換結果がロードされます。

ADCRは、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力信号を1つ1つサンプリングし電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは、 $\text{AV}_{\text{REF0}}-\text{AV}_{\text{SS}}$ 間に接続されており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。A/Dコンバータ入力選択レジスタ(ADIS)でアナログ入力として選択した端子以外は、入出力ポートとして使用できます。

注意 1. ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF0} 以上、 AV_{SS} 以下(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

2. アナログ入力(ANI0-ANI7)端子は入出力ポート(ポート1)端子と兼用になっています。ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート1に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルス印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(7) AV_{REF0}端子

A/Dコンバータの基準電圧を入力する端子です。

AV_{REF0}、AV_{SS}間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をデジタル信号に変換します。

スタンバイ・モード時には、AV_{REF0}端子に入力する電圧をAV_{SS}レベルとすることにより直列抵抗ストリングに流れる電流を低減できます。

また、AV_{REF0}端子はA/Dコンバータのアナログ電源の機能を兼用しています。A/Dコンバータを使用するときは、必ずAV_{REF0}端子に電源を供給してください。

注意 AV_{REF0}端子とAV_{SS}端子の間には約10 kΩの直列抵抗ストリングが接続されています。したがって、基準電圧源の出カインピーダンスが高い場合、AV_{REF0}端子とAV_{SS}端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

(8) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS0}端子と同電位で使用してください。

14.3 A/Dコンバータを制御するレジスタ

A/Dコンバータは、次の3種類のレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ (ADM)
- ・ A/Dコンバータ入力選択レジスタ (ADIS)
- ・ 外部割り込みモード・レジスタ 1 (INTM1)

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力のチャンネル、変換時間、変換動作の開始/停止、外部トリガを設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、01Hになります。

図14-2 A/Dコンバータ・モード・レジスタのフォーマット

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM	CS	TRG	FR1	FR0	ADM3	ADM2	ADM1	HSC	FF80H	01H	R/W

ADM3	ADM2	ADM1	アナログ入力チャネルの選択
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

FR1	FR0	HSC	A/D変換時間の選択 ^{注1}			
			fx = 5.0 MHz動作時		fx = 4.19 MHz動作時	
			MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	1	80/fx (16.0 μs)	160/fx (32.0 μs)	80/fx (19.1 μs)	160/fx (38.1 μs)
0	1	1	40/fx (設定禁止 ^{注2})	80/fx (16.0 μs)	40/fx (設定禁止 ^{注2})	80/fx (19.1 μs)
1	0	0	50/fx (設定禁止 ^{注2})	100/fx (20.0 μs)	50/fx (設定禁止 ^{注2})	100/fx (23.8 μs)
1	0	1	100/fx (20.0 μs)	200/fx (40.0 μs)	100/fx (23.8 μs)	200/fx (47.7 μs)
上記以外			設定禁止			

TRG	外部トリガの選択
0	外部トリガなし(ソフトウェア・スタート)
1	外部トリガにより変換開始(ハードウェア・スタート)

CS	A/D変換動作の制御
0	動作停止
1	動作開始

注1. A/D変換時間が16 μs以上になるように設定してください。

2. この条件のfxではA/D変換時間が16 μs未満となりますので、設定禁止です。

注意1. スタンバイ機能使用時にA/Dコンバータ部の消費電力を低減させるためには、ビット7 (CS)を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

2. 停止しているA/D変換動作を再開するときは、割り込み要求フラグ(ADIF)を0にクリアしたのちにA/D変換動作を開始してください。

備考 fx : メイン・システム・クロック発振周波数

MCS : 発振モード選択レジスタ(OSMS)のビット0

(2) A/Dコンバータ入力選択レジスタ(ADIS)

ANI0/P10-ANI7/P17端子をアナログ入力のチャンネルとして使用するか、ポートとして使用するかを設定するレジスタです。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

ADISは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意1. アナログ入力のチャンネルは、次の順序で設定してください。

- ① ADISでアナログ入力のチャンネル数を設定します。
 - ② ADISでアナログ入力として設定したチャンネルのうち、A/D変換するチャンネルをA/Dコンバータ・モード・レジスタ(ADM)で1チャンネル選択します。
2. ADISでアナログ入力として設定したチャンネルでは、プルアップ抵抗オプション・レジスタL(PUOL)のビット1(PUO1)の値にかかわらず、内蔵プルアップ抵抗が使用されません。

図14-3 A/Dコンバータ入力選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADIS	0	0	0	0	ADIS3	ADIS2	ADIS1	ADIS0	FF84H	00H	R/W

ADIS3	ADIS2	ADIS1	ADIS0	アナログ入力チャンネル数の選択
0	0	0	0	アナログ入力チャンネルなし(P10-P17)
0	0	0	1	1チャンネル(ANI0, P11-P17)
0	0	1	0	2チャンネル(ANI0, ANI1, P12-P17)
0	0	1	1	3チャンネル(ANI0-ANI2, P13-P17)
0	1	0	0	4チャンネル(ANI0-ANI3, P14-P17)
0	1	0	1	5チャンネル(ANI0-ANI4, P15-P17)
0	1	1	0	6チャンネル(ANI0-ANI5, P16, P17)
0	1	1	1	7チャンネル(ANI0-ANI6, P17)
1	0	0	0	8チャンネル(ANI0-ANI7)
上記以外				設定禁止

(3) 外部割り込みモード・レジスタ1 (INTM1)

INTP3-INTP5の有効エッジを設定するレジスタです。

INTM1は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図14-4 外部割り込みモード・レジスタ1のフォーマット



14.4 A/Dコンバータの動作

14.4.1 A/Dコンバータの基本動作

- ① A/Dコンバータ入力選択レジスタ(ADIS)でアナログ入力のチャンネル数を設定してください。
- ② ADISでアナログ入力として設定したチャンネルのうち、A/D変換するチャンネルをA/Dコンバータ・モード・レジスタ(ADM)で1チャンネル選択してください。
- ③ 選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路がサンプリングします。
- ④ 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。
- ⑤ 逐次変換レジスタ(SAR)のビット7がセットされます。タップ・セレクトタにより直列抵抗ストリングの電圧タップが $(1/2)AV_{REF0}$ にされます。
- ⑥ 直列抵抗ストリングの電圧タップとアナログ入力との電圧差が電圧コンパレータで比較されます。もし、アナログ入力電圧が $(1/2)AV_{REF0}$ よりも大きければ、SARのMSBはセットされたままです。また、 $(1/2)AV_{REF0}$ よりも小さければ、MSBはリセットされます。
- ⑦ 次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ビット7=1： $(3/4)AV_{REF0}$

- ・ビット7=0： $(1/4)AV_{REF0}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。

- ・アナログ入力電圧 \geq 電圧タップ：ビット6=1

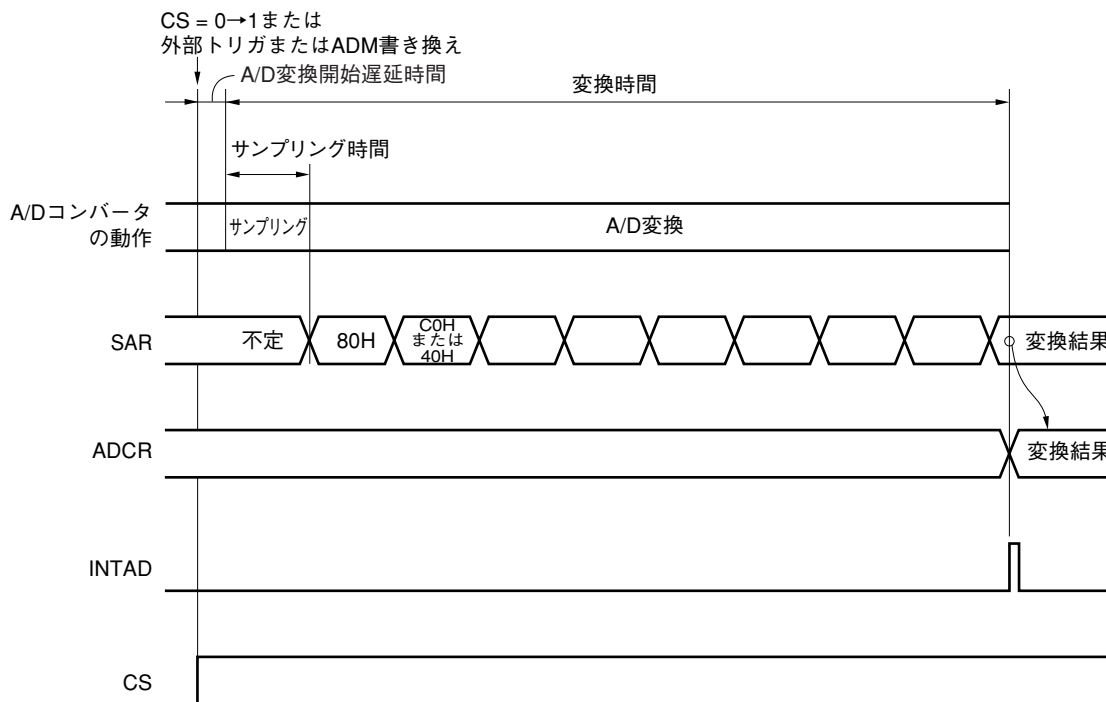
- ・アナログ入力電圧 $<$ 電圧タップ：ビット6=0

- ⑧ このような比較をSARのビット0まで続けます。
- ⑨ 8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ(ADCR)に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求(INTAD)を発生させることができます。

★

図14-5 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ(ADM)のビット7 (CS)をリセット(0)するまで連続的に行われます。

ADCRは、 $\overline{\text{RESET}}$ により不定となります。

A/D変換終了は、A/D変換終了割り込み要求フラグ(ADIF)で確認してください。

表14-2 A/Dコンバータのサンプリング時間とA/D変換開始遅延時間

FR01	FR00	HS0C	変換時間 ^{注1}		サンプリング時間		A/D変換開始遅延時間	
			MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	1	80/fx (16.0 μs)	160/fx (32.0 μs)	9/fx	18/fx	6/fx	12/fx
0	1	1	40/fx (設定禁止 ^{注2})	80/fx (16.0 μs)	4.5/fx	9/fx	3/fx	6/fx
1	0	0	50/fx (設定禁止 ^{注2})	100/fx (20.0 μs)	5.25/fx	10.5/fx	4.5/fx	9/fx
1	0	1	100/fx (20.0 μs)	200/fx (40.0 μs)	10.5/fx	21/fx	9/fx	18/fx
上記以外			設定禁止		—		—	

注1. A/D変換時間が16 μs以上になるように設定してください。

2. この条件のfxではA/D変換時間が16 μs未満となりますので、設定禁止です。

備考1. fx : メイン・システム・クロック発振周波数

2. ()内は、fx = 5.0 MHz動作時

14.4.2 入力電圧と変換結果

アナログ入力端子(ANI0-ANI7)に入力されたアナログ入力電圧とA/D変換結果(A/D変換結果レジスタ(ADCR)に格納された値)には次式に示す関係があります。

$$ADCR = \text{INT}\left(\frac{V_{IN}}{AV_{REF0}} \times 256 + 0.5\right)$$

または、

$$(ADCR - 0.5) \times \frac{AV_{REF0}}{256} \leq V_{IN} < (ADCR + 0.5) \times \frac{AV_{REF0}}{256}$$

備考 INT() : ()内の値の整数部を返す関数

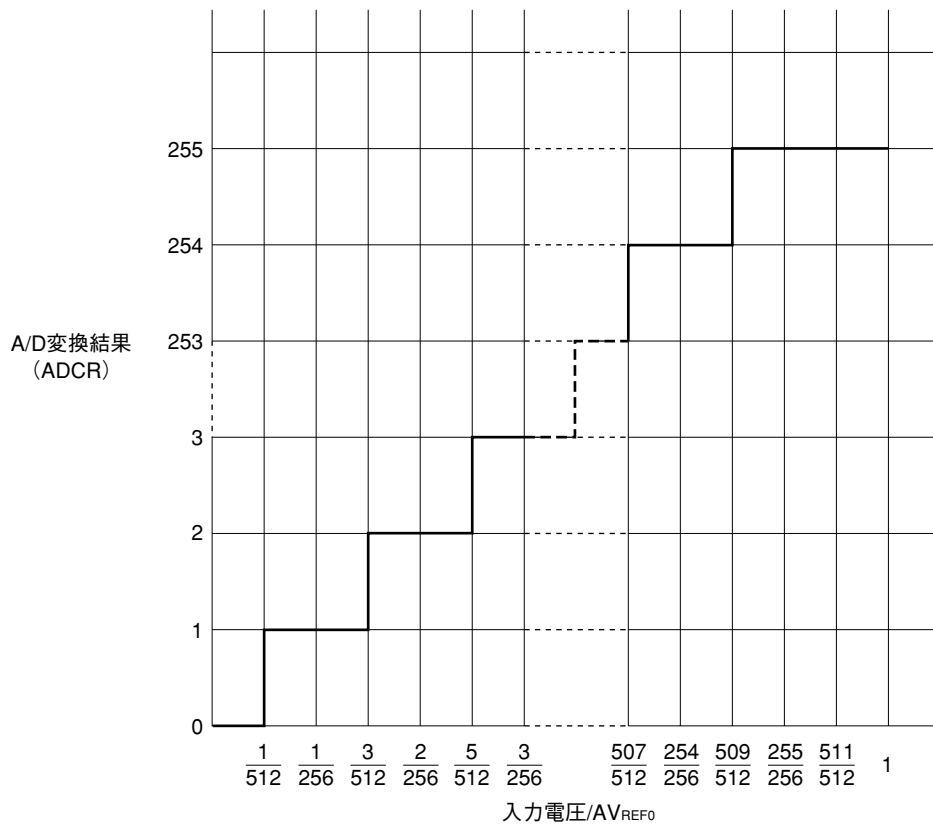
V_{IN} : アナログ入力電圧

AV_{REF0} : AV_{REF0} 端子電圧

ADCR : A/D変換結果レジスタ(ADCR)の値

図14-6 にアナログ入力電圧とA/D変換結果の関係を図示します。

図14-6 アナログ入力電圧とA/D変換結果の関係



14.4.3 A/Dコンバータの動作モード

A/Dコンバータ入力選択レジスタ (ADIS) およびA/Dコンバータ・モード・レジスタ (ADM) によってANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を開始させてください。

A/D変換動作の起動方法には、次の2種類があります。

- ・ハードウェア・スタート：トリガ入力 (INTP3) により変換開始
- ・ソフトウェア・スタート：ADMを設定することにより変換開始

また、A/D変換結果は、A/D変換結果レジスタ (ADCR) に格納され、同時に割り込み要求信号 (INTAD) が発生されます。

(1) ハードウェア・スタートによるA/D変換動作

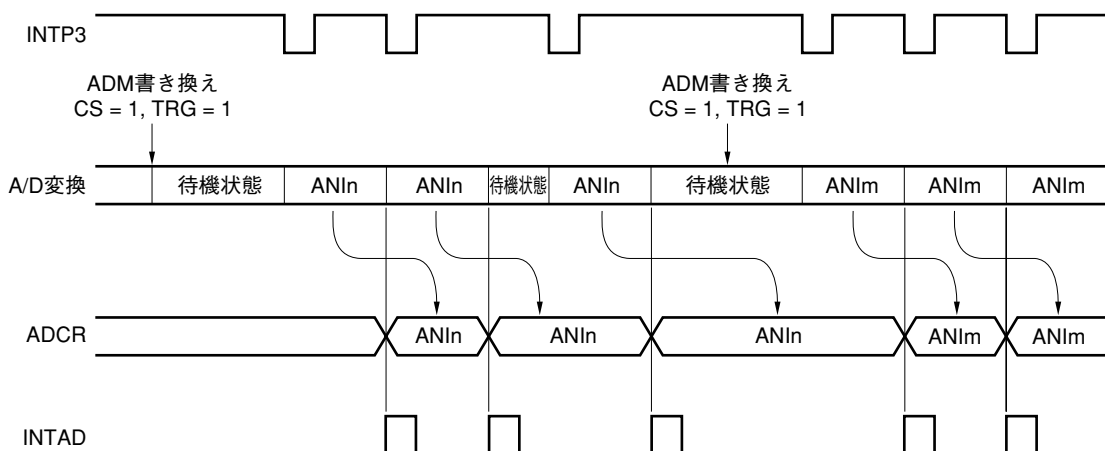
A/Dコンバータ・モード・レジスタ (ADM) のビット6 (TRG) に1、ビット7 (CS) に1を設定することによってA/D変換動作の待機状態になります。外部トリガ信号 (INTP3) が入力されると、ADMのビット1-3 (ADM1-ADM3) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、割り込み要求信号 (INTAD) が発生されます。A/D変換動作が一度起動し、1回のA/D変換が終了すると、新たに外部トリガ信号が入力されないかぎり、A/D変換動作は開始しません。

A/D変換動作中に、再度CSが1であるデータをADMに書き込むと、そのとき行っていたA/D変換動作を中断し、新たに外部トリガ信号が入力されるまで待機します。外部トリガ入力信号が再度入力されると、A/D変換動作を最初から行います。

また、A/D変換動作中に、CSが0であるデータをADMに書き込むと、ただちにA/D変換動作を停止します。

図14-7 ハードウェア・スタートによるA/D変換動作



備考 n = 0, 1, …, 7

m = 0, 1, …, 7

(2) ソフトウェア・スタートによるA/D変換動作

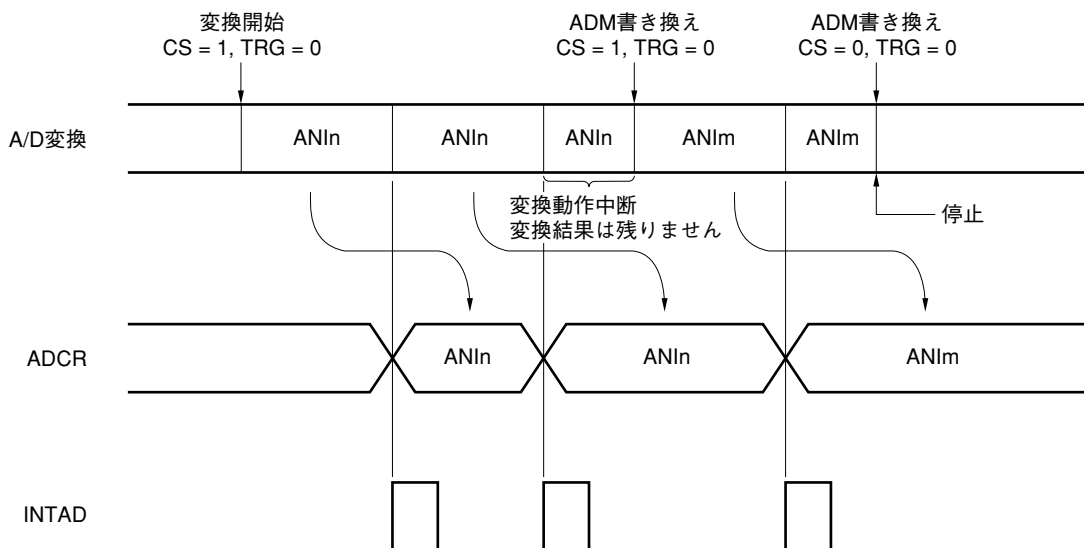
A/Dコンバータ・モード・レジスタ(ADM)のビット6 (TRG)に0, ビット7 (CS)に1を設定することにより, ADMのビット1-3 (ADM1-ADM3)で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ(ADCR)に格納し, 割り込み要求信号(INTAD)が発生します。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, ただちに次のA/D変換動作を開始します。新たなデータをADMに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に, 再度CSが1であるデータをADMに書き込むと, そのとき行っていたA/D変換動作は中断し, 新たに書き込んだデータのA/D変換動作を開始します。

また, A/D変換動作中に, CSが0であるデータをADMに書き込むと, ただちにA/D変換動作を停止します。

図14-8 ソフトウェア・スタートによるA/D変換動作



備考 n = 0, 1, …… , 7

m = 0, 1, …… , 7

★ 14.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB(Least Significant Bit)といいます。1LSBのフルスケールに対する比率を%FSR(Full Scale Range)で表します。

分解能8ビットのとき

$$\begin{aligned} 1\text{LSB} &= 1/2^8 = 1/256 \\ &= 0.4\%FSR \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール・オフセット、フルスケール・オフセット、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール・オフセット、フルスケール・オフセット、積分直線性誤差、微分直線性誤差には含まれていません。

図14-9 総合誤差

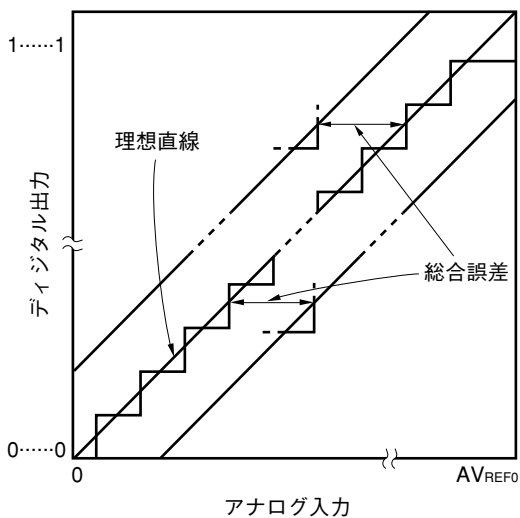
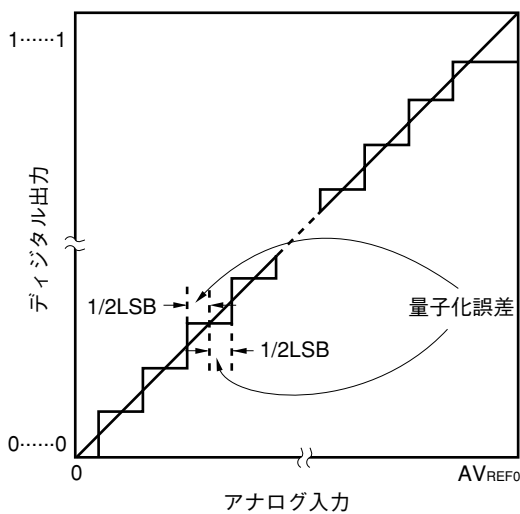


図14-10 量子化誤差

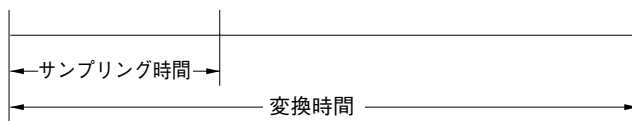


(4) 変換時間

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。
 特性表の変換時間にはサンプリング時間が含まれています。

(5) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



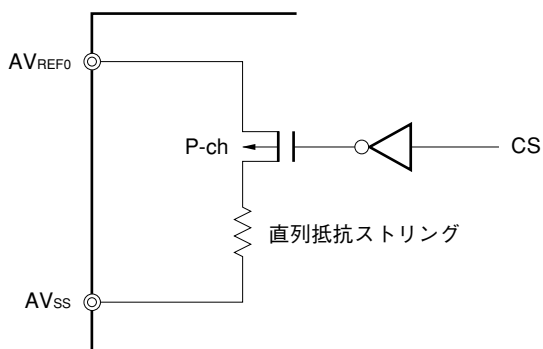
14.6 A/Dコンバータの注意事項

★ (1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このとき変換動作停止 (A/Dコンバータ・モード・レジスタ (ADM) のビット7 (CS) = 0) にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図14-11に示します。

図14-11 スタンバイ・モード時の消費電流を低減させる方法例



(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に、 AV_{REF0} 以上、 AV_{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

★ (3) 競合動作について

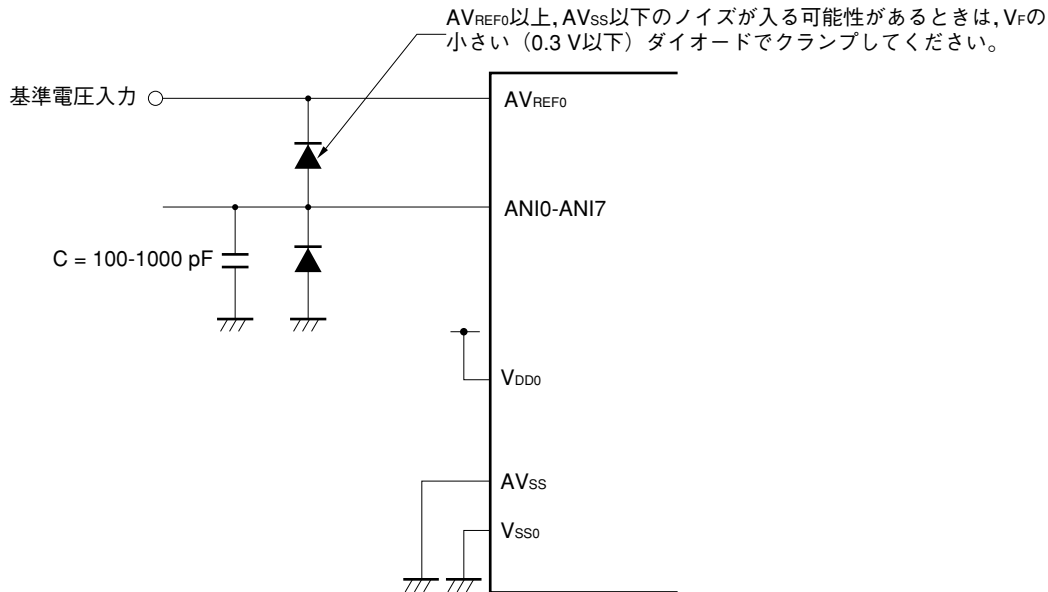
- ① 変換終了時のA/D変換結果レジスタ (ADCR) ライトと命令によるADCRリードとの競合
ADCRリードが優先されます。リードしたあと、新しい変換結果がADCRにライトされます。
- ② 変換終了時のADCRライトと外部トリガ信号入力の競合
A/D変換中の外部トリガ信号は受け付けません。したがってADCRライト中の外部トリガ信号も受け付けません。
- ③ 変換終了時のADCRライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、またはA/Dコンバータ入力選択レジスタ (ADIS) ライトの競合
ADMまたはADISへのライトが優先されます。ADCRへのライトはされません。また、変換終了割り込み要求信号 (INTAD) も発生しません。

(4) ノイズ対策について

8ビット分解能を保つためには、 AV_{REF0} 、 $ANI0$ - $ANI7$ 端子へのノイズに注意する必要があります。アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図14-12のように、Cを外付けすることを推奨します。

★

図14-12 アナログ入力端子の処理



(5) ANI0/P10-ANI7/P17

アナログ入力($ANI0$ - $ANI7$)端子は入出力ポート(ポート1)端子と兼用になっています。

$ANI0$ - $ANI7$ のいずれかを選択してA/D変換をする場合、変換中にポート1に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) ANI0-ANI7端子の入カインピーダンスについて

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出カインピーダンスを10 k Ω 以下にするか、 $ANI0$ - $ANI7$ 端子に100 pF程度のコンデンサを付けることを推奨します(図14-12参照)。

(7) AV_{REF0}端子の入力インピーダンスについて

AV_{REF0}端子とAV_{SS}端子の間には約10 kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出カインピーダンスが高い場合、AV_{REF0}端子とAV_{SS}端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

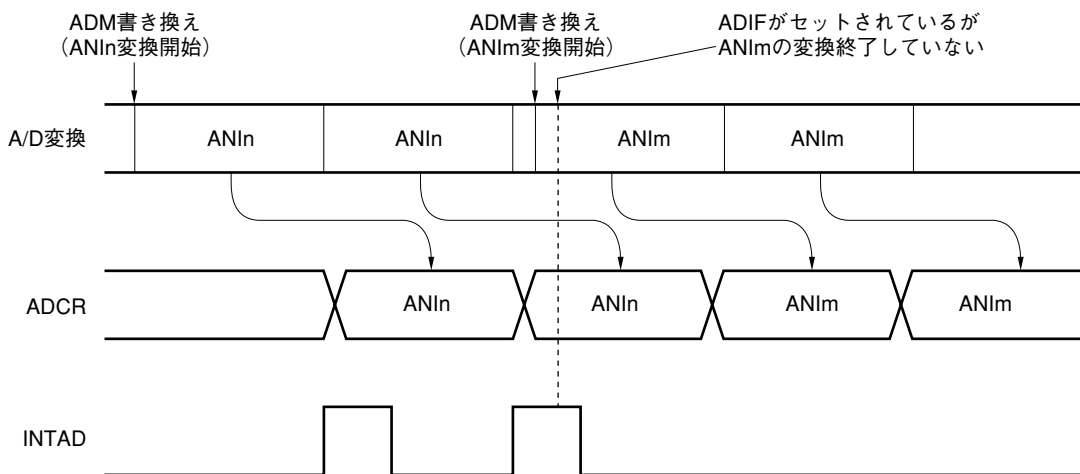
(8) 割り込み要求フラグ(ADIF)について

A/Dコンバータ・モード・レジスタ(ADM)を変更しても割り込み要求フラグ(ADIF)はクリアされません。

したがって、A/D変換中にアナログ入力端子を変更した場合、ADM書き換え直前に変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。このとき、ADM書き換え直後にADIFを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図14-13 A/D変換終了割り込み要求発生タイミング



備考 n = 0, 1, ..., 7

m = 0, 1, ..., 7

(9) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後の最初のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求(INTAD)をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

★ (10) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。またA/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図14-14、図14-15に示します。

図14-14 変換結果を読み出すタイミング(変換結果が不定値の場合)

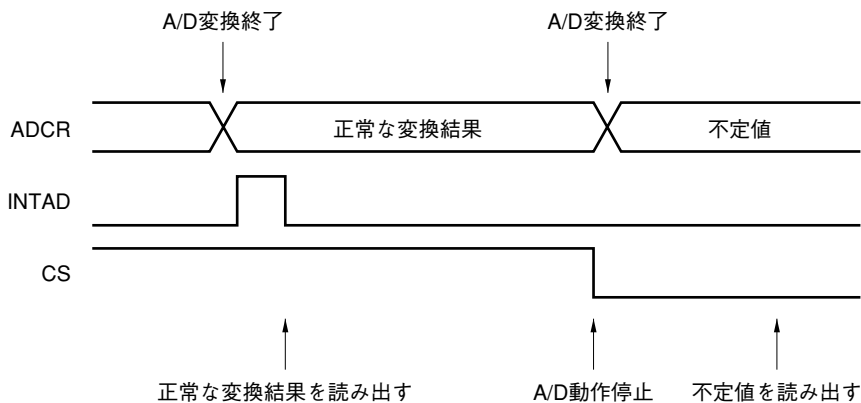
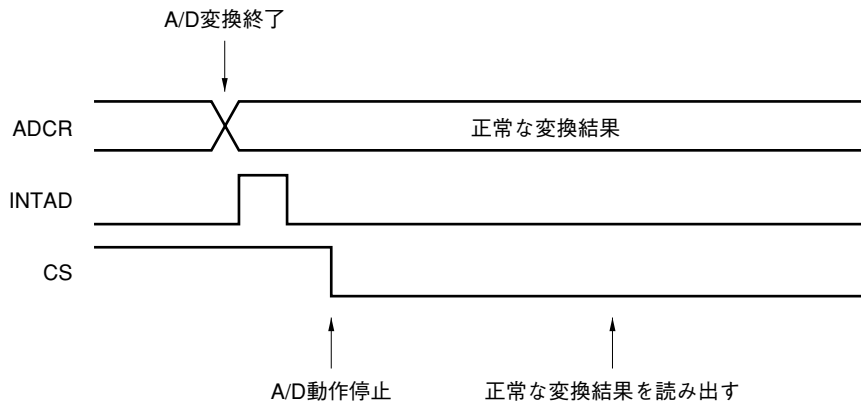


図14-15 変換結果を読み出すタイミング(変換結果が正常値の場合)



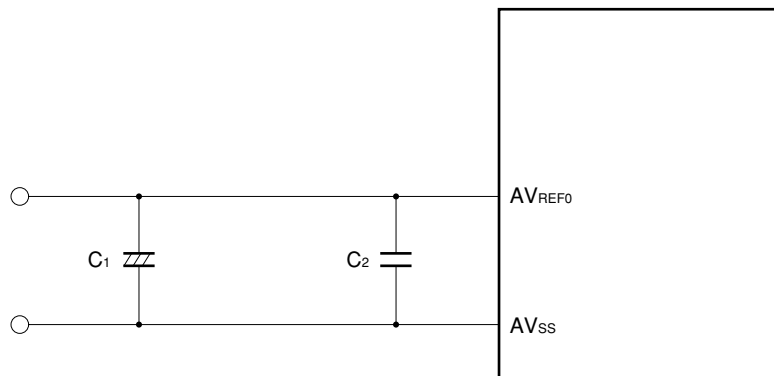
★ (11) ボード設計上の注意

ボード上でのデジタル回路ノイズの影響を避けるために、アナログ回路はデジタル回路とできるだけ離して配置してください。特にアナログ信号線とデジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによってA/D変換特性が悪化する恐れがあります。

AV_{SS}とV_{SS0}はボード上で安定しているところで1箇所、接続してください。

★ (12) AV_{REF0}端子

ノイズによる変換誤差を小さく抑えるため、AV_{REF0}端子にコンデンサを接続してください。またA/D変換動作を停止した状態から動作開始した直後は、AV_{REF0}端子にかかる電圧が不安定になり、A/D変換精度の悪化が生じる場合があります。このような場合にもAV_{REF0}端子にコンデンサを接続してください。コンデンサの接続例を図14-16に示します。コンデンサC1は低周波のノイズに、コンデンサC2は高周波のノイズに効果があります。

図14-16 AV_{REF0}端子とコンデンサの接続例

備考 C1 : 4.7 μ F ~ 10 μ F (参考値)

C2 : 0.01 μ F ~ 0.1 μ F (参考値)

C2は端子のできるだけ近くに接続してください。

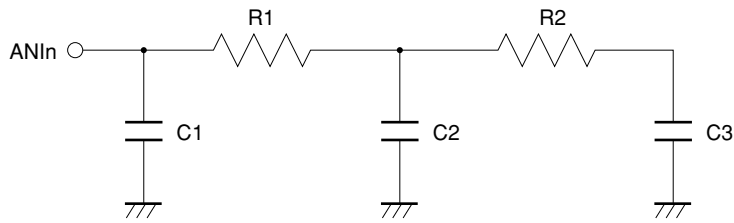
★ (13) ANI0-ANI7端子内部等価回路と許容信号源インピーダンス

サンプリング時間内にサンプリングを完了し、十分なA/D変換精度を得るにはセンサなどの信号源のインピーダンスが十分に低い必要があります。図14-17にANI0-ANI7端子のマイコン内部の等価回路を示します。

信号源のインピーダンスが高い場合には、ANI0-ANI7端子に大きな容量を接続することで見かけ上インピーダンスを低くすることができます。図14-18に回路例を示します。この場合にはロウ・パス・フィルタを構成しますので、微分係数の大きなアナログ信号には追従できなくなります。

高速なアナログ信号を変換する場合やスキャン・モードで変換する場合にはロウ・インピーダンスのバッファを挿入してください。

図14-17 ANI0-ANI7端子内部等価回路



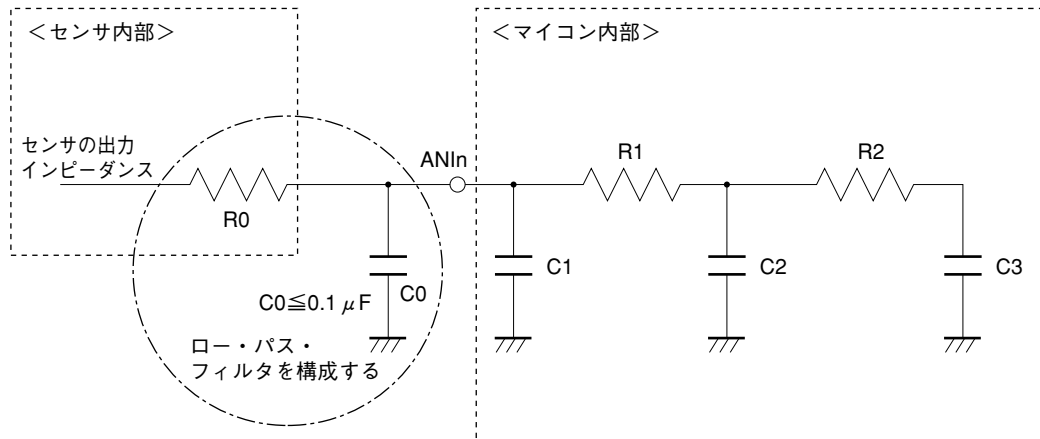
備考 n = 0-7

表14-3 等価回路の各抵抗と容量値(参考値)

AV_{REF0}	R1	R2	C1	C2	C3
1.8 V	75 k Ω	30 k Ω	8 pF	4 pF	2 pF
2.7 V	12 k Ω	8 k Ω	8 pF	3 pF	2 pF
4.5 V	4 k Ω	2.7 k Ω	8 pF	1.4 pF	2 pF

注意 表14-3の各抵抗と容量値は保証値ではありません。

図14-18 信号源インピーダンスが高い場合の回路例



備考 n = 0-7

第15章 D/Aコンバータ

15.1 D/Aコンバータの機能

D/Aコンバータは、デジタル入力をアナログ値に変換するコンバータで、8ビット分解能の電圧出力型D/Aコンバータ2チャンネルの構成になっています。

変換方式は、R-2R抵抗ラダー方式です。

D/Aコンバータ・モード・レジスタ(DAM)のビット0, 1(DACE0, DACE1)をセットすることにより、D/A変換動作を開始します。

D/Aコンバータには、次の2種類のモードがあります。

(1) 通常モード

D/A変換後、ただちにアナログ電圧を出力します。

(2) リアルタイム出力モード

D/A変換後、出力トリガに同期してアナログ電圧を出力します。

このモードを使用すれば正弦波を作成できるため、コードレス電話機におけるMSK方式のモデムを容易に実現できます。

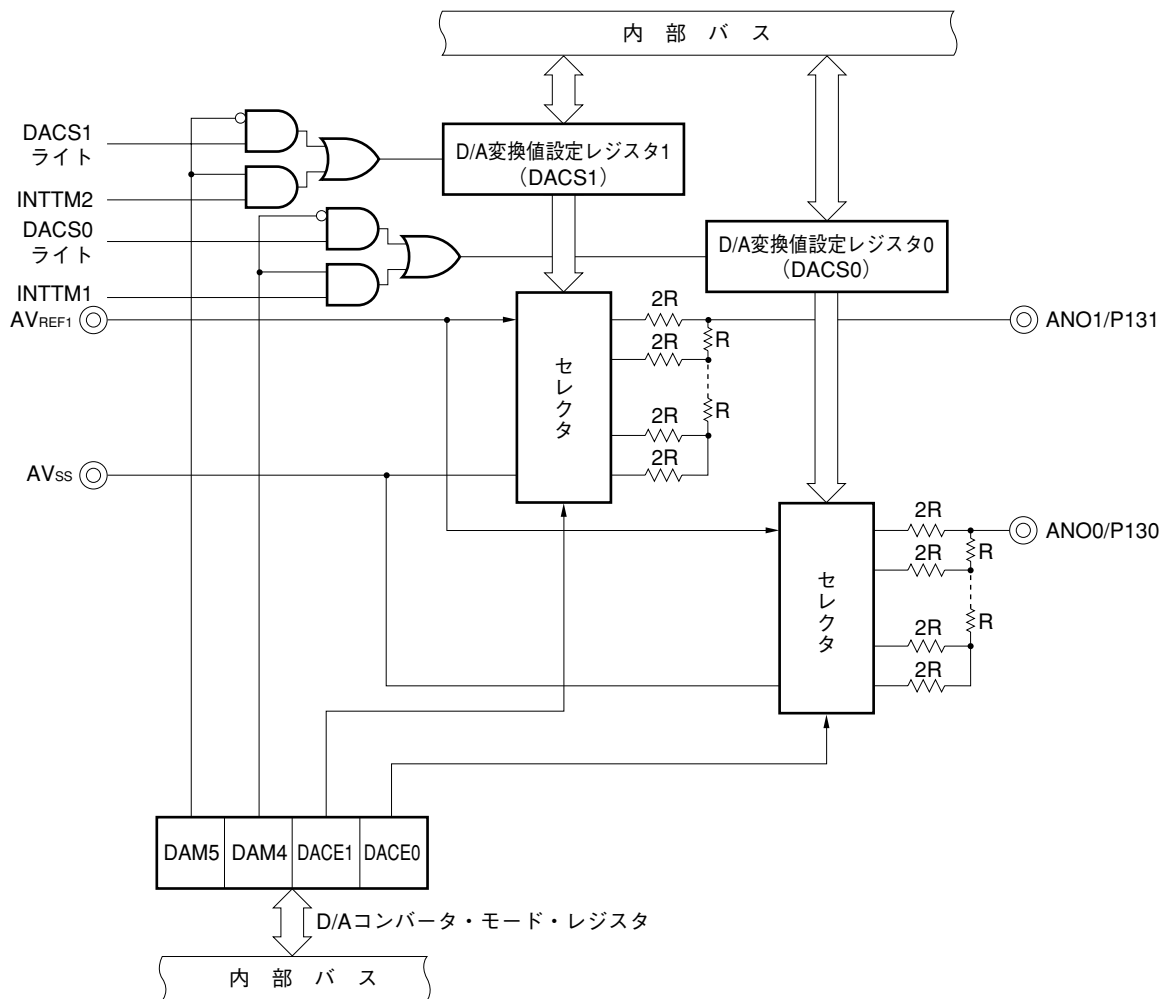
15.2 D/Aコンバータの構成

D/Aコンバータは、次のハードウェアで構成しています。

表15-1 D/Aコンバータの構成

項 目	構 成
レジスタ	D/A変換値設定レジスタ0 (DACS0) D/A変換値設定レジスタ1 (DACS1)
制御レジスタ	D/Aコンバータ・モード・レジスタ(DAM)

図15-1 D/Aコンバータのブロック図



(1) D/A変換値設定レジスタ 0, 1 (DACS0, DACS1)

DACS0, DACS1は、それぞれにANO0, ANO1端子に出力するアナログ電圧を決定するために使用する値を設定するレジスタです。

DACS0, DACS1は、それぞれ8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

ANO0, ANO1端子に出力されるアナログ電圧は次の式で決定されます。

$$\text{ANO}n\text{出力電圧} = \text{AV}_{\text{REF}1} \times \frac{\text{DACS}n}{256}$$

備考 n = 0, 1

注意 1. リアルタイム出力モードで、出力トリガ発生前にDACS0, DACS1に設定したデータを読み出したとき、設定したデータを読み出さず、前のデータを読み出します。

2. リアルタイム出力モードで、DACS0, DACS1へのデータの設定は、出力トリガが発生してから次の出力トリガが発生するまでに設定してください。

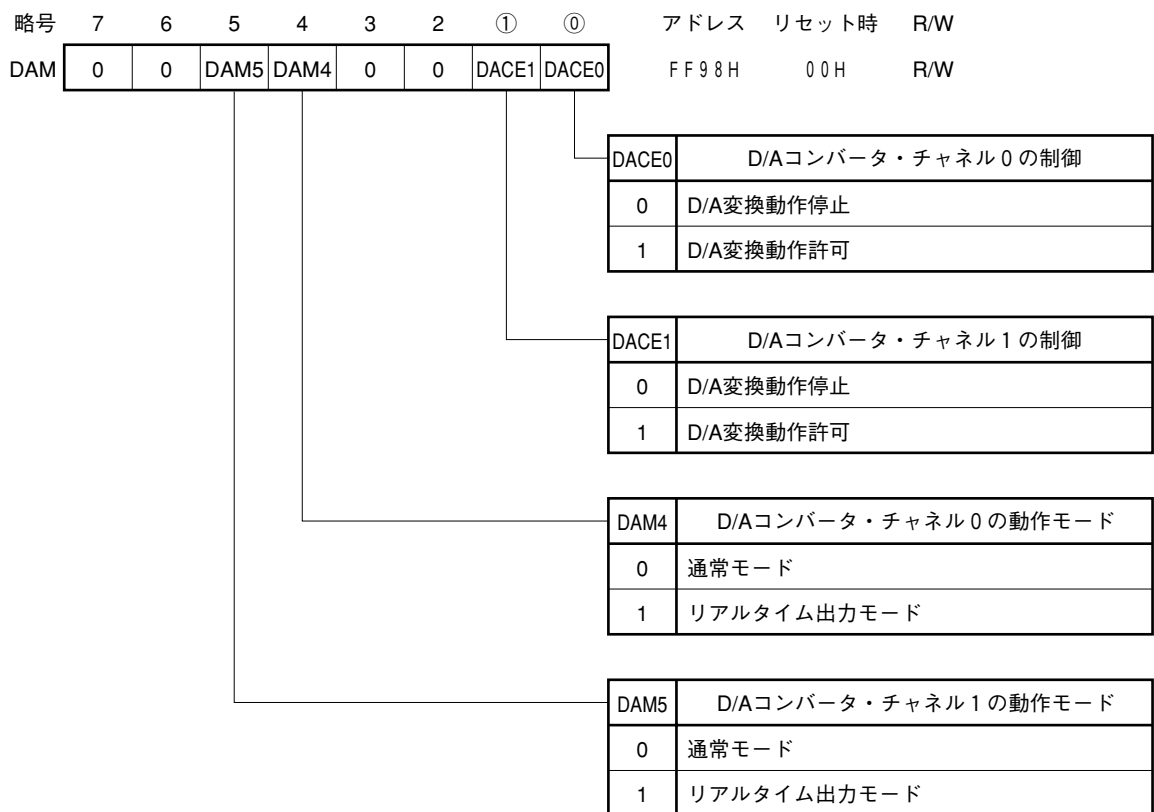
15.3 D/Aコンバータを制御するレジスタ

D/Aコンバータは、D/Aコンバータ・モード・レジスタ(DAM)で制御します。D/Aコンバータの動作の許可/停止を設定するレジスタです。

DAMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図15-2 D/Aコンバータ・モード・レジスタのフォーマット



- 注意 1. D/Aコンバータを使用するときには、兼用ポート端子を入力モードに設定するとともに、プルアップ抵抗を切断してください。
2. ビット2, 3, 6, 7には、必ず0を設定してください。
3. D/A変換動作停止時の出力は、ハイ・インピーダンス状態になります。
4. リアルタイム出力モード時の出力トリガは、チャンネル0ではINTTM1, チャンネル1ではINTTM2です。

15.4 D/Aコンバータの動作

- ① D/Aコンバータ・モード・レジスタ(DAM)のビット4(DAM4)でチャンネル0の動作モードを、ビット5(DAM5)でチャンネル1の動作モードを選択してください。
- ② D/A変換値設定レジスタ0, 1(DACS0, DACS1)に、それぞれANO0/P130, ANO1/P131端子に出力するアナログ電圧値に対応するデータを設定してください。
- ③ DAMのビット0, 1(DACE0, DACE1)をセットすることにより、それぞれチャンネル0, チャンネル1のD/A変換動作を開始できます。
- ④ D/A変換後、通常モード時では、ただちにANO0/P130, ANO1/P131端子にアナログ電圧が出力されます。リアルタイム出力モード時では、出力トリガに同期してアナログ電圧が出力されます。
- ⑤ 出力するアナログ電圧値は、通常モード時ではDACS0, DACS1に新しいデータを設定するまで保持されます。リアルタイム出力モード時ではDACS0, DACS1に新しいデータを設定したのち、次の出力トリガが発生するまで保持されます。

注意 DACE0, DACE1はDACS0, DACS1にデータを設定したのちにセットしてください。

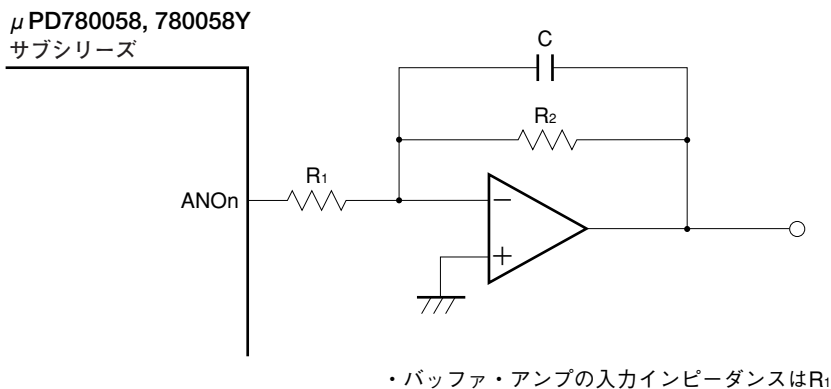
15.5 D/Aコンバータの注意事項

(1) D/Aコンバータの出力インピーダンスについて

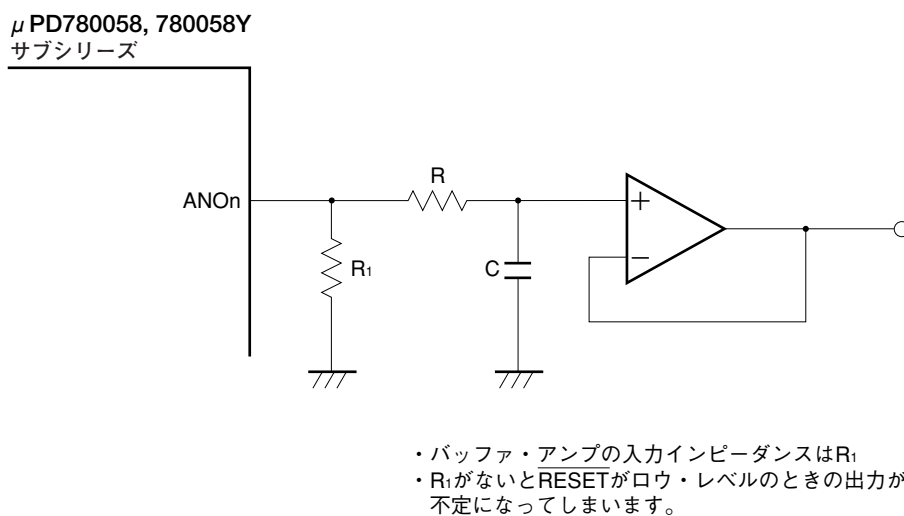
D/Aコンバータの出力インピーダンスが高いため、ANOn端子($n = 0, 1$)から電流を取り出すことはできません。負荷の入インピーダンスが低い場合には、負荷とANOn端子の間にバッファ・アンプを挿入して使用してください。また、バッファ・アンプや負荷までの配線は極力短くするようにしてください(出力インピーダンスが高いため)。配線が長くなるような場合は、グラウンド・パターンで囲むなどの処理してください。

図15-3 バッファ・アンプの挿入例

(a) インバーティング・アンプ



(b) ボルテージ・フォロワ



(2) D/Aコンバータの出力電圧について

D/Aコンバータの出力電圧は階段状に変化しますので、一般的にはD/Aコンバータの出力する信号はロウ・パス・フィルタを通してから使用するようになっています。

(3) AVREF1端子について

$AV_{REF1} < V_{DD0}$ でD/Aコンバータを1チャンネルのみで使用しているときは、アナログ出力として使用していない端子に、次に示すいずれかの処置をしてください。

- ・ポート・モード・レジスタ13(PM13)のPM13×ビットに1を設定して(入力モード)、 V_{SS0} に接続する。
- ・ポート・モード・レジスタ13(PM13)のPM13×ビットに0(出力モード)、出力ラッチに0を設定して、ロウ・レベルを出力する。

★ また、D/Aコンバータを使用しない場合は、 AV_{REF1} は V_{DD0} 端子と同電位で使用してください。

第16章 シリアル・インタフェース・チャンネル0 (μ PD780058サブシリーズ)

μ PD780058サブシリーズは、シリアル・インタフェースを3チャンネル内蔵しています。チャンネル0、チャンネル1、チャンネル2の違いは次のとおりです(シリアル・インタフェース・チャンネル1の詳細は、第18章 シリアル・インタフェース・チャンネル1を、シリアル・インタフェース・チャンネル2の詳細は、第19章 シリアル・インタフェース・チャンネル2を参照してください)。

表16-1 チャンネル0, チャンネル1, チャンネル2の違い

シリアル転送モード		チャンネル0	チャンネル1	チャンネル2
3線式シリアルI/O	クロック選択	$f_{xx}/2, f_{xx}/2^2, f_{xx}/2^3, f_{xx}/2^4, f_{xx}/2^5, f_{xx}/2^6, f_{xx}/2^7, f_{xx}/2^8,$ 外部クロック, TO2出力	$f_{xx}/2, f_{xx}/2^2, f_{xx}/2^3, f_{xx}/2^4, f_{xx}/2^5, f_{xx}/2^6, f_{xx}/2^7, f_{xx}/2^8,$ 外部クロック, TO2出力	外部クロック, ボー・レート・ジェネ レータ出力
	転送方式	MSB先頭/LSB先頭の 切り替え可能	MSB先頭/LSB先頭の 切り替え可能 自動送受信機能内蔵	MSB先頭/LSB先頭の 切り替え可能
	転送終了フラグ	シリアル転送終了割り込 み要求フラグ(CSIF0)	シリアル転送終了割り込 み要求フラグ(CSIF1)	シリアル転送終了割り込 み要求フラグ(SRIF)
SBI(シリアル・バス・インタフェース)	使用可能	なし	なし	
2線式シリアルI/O				
UART (アシンクロナス・シリアル・インタフェース)	なし		使用可能 時分割転送機能内蔵	

16.1 シリアル・インタフェース・チャンネル0の機能

シリアル・インタフェース・チャンネル0には、次の4種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・SBI(シリアル・バス・インタフェース)モード
- ・2線式シリアルI/Oモード

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード(3線式シリアルI/O/2線式シリアルI/O/SBI)を切り替えしないでください。動作モードは、いったんシリアル動作を停止させたのちに切り替えてください。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) 3線式シリアルI/Oモード(MSB/LSB先頭切り替え可能)

シリアル・クロック($\overline{\text{SCK0}}$)、シリアル出力(SO0)、シリアル入力(SI0)の3本のラインにより、8ビット・データを転送するモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

(3) SBI(シリアル・バス・インタフェース)モード(MSB先頭)

シリアル・クロック($\overline{\text{SCK0}}$)と、シリアル・データ・バス(SB0またはSB1)の2本のラインにより、複数のデバイスと8ビット・データを転送するモードです(図16-1参照)。

SBIモードは、NECシリアル・バス・フォーマットに準拠し、転送データを“アドレス”、“コマンド”、“データ”の3種類に識別して送受信します。

- ・アドレス：シリアル通信の対象デバイスを選択するためのデータ
- ・コマンド：対象デバイスに対して指令を与えるデータ
- ・データ：実際に転送するデータ

実際の転送は、まず、マスタ・デバイスがシリアル・バス上に“アドレス”を出力して、複数のデバイスのうち通信対象となるスレーブ・デバイスを選択します。その後、マスタ・デバイスとスレーブ・デ

バースとの間で“コマンド”、“データ”を送受信することにより、シリアル転送が実現します。受信側は、受信したデータをハードウェアにより自動的に“アドレス”、“コマンド”、“データ”に判別できます。

この機能により、入出力ポートの有効活用ができるほか、さらに応用プログラムのシリアル・インタフェースの制御部分を簡単にできます。

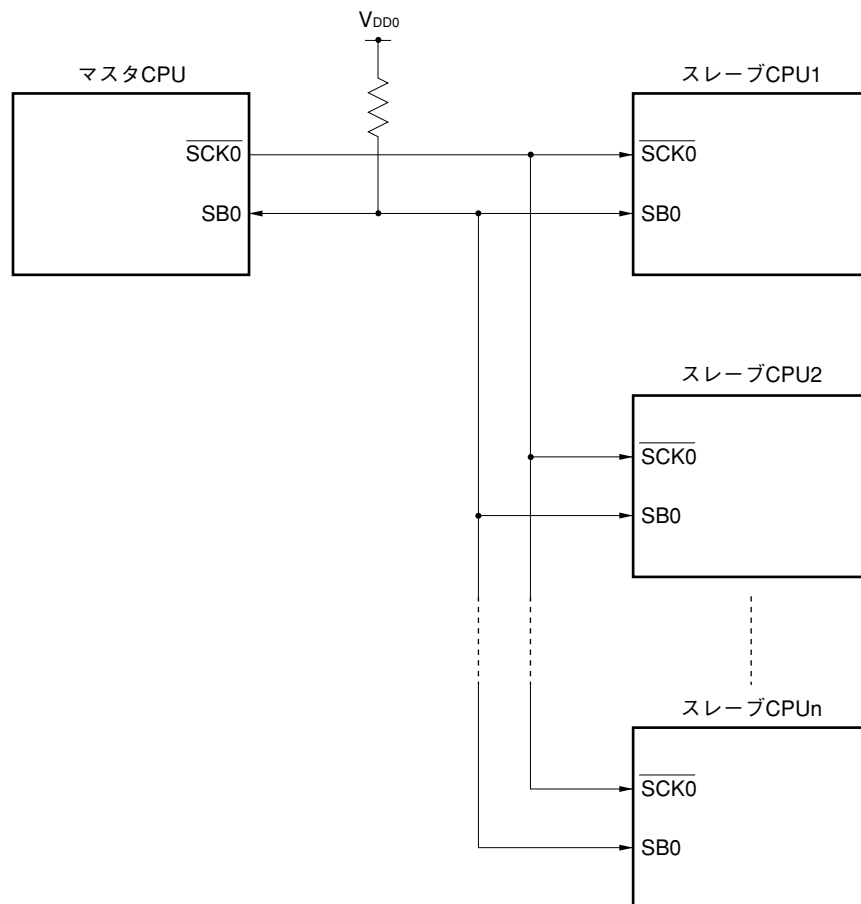
また、ハンドシェイクのためのウエイク・アップ機能、アクノリッジ信号、ビジー信号出力機能も使用できます。

(4) 2線式シリアルI/Oモード(MSB先頭)

シリアル・クロック($\overline{\text{SCK0}}$)と、シリアル・データ・バス(SB0またはSB1)の2本のラインにより、8ビット・データを転送するモードです。

$\overline{\text{SCK0}}$ と、SB0またはSB1の出力レベルをソフトウェアで制御することにより、任意のデータ転送のフォーマットに対応できます。したがって、従来、複数デバイスを接続するときに必要なハンドシェイクのためのラインを削除でき、入出力ポートの有効活用ができます。

図16-1 シリアル・バス・インタフェース(SBI)のシステム構成例



16.2 シリアル・インタフェース・チャンネル0の構成

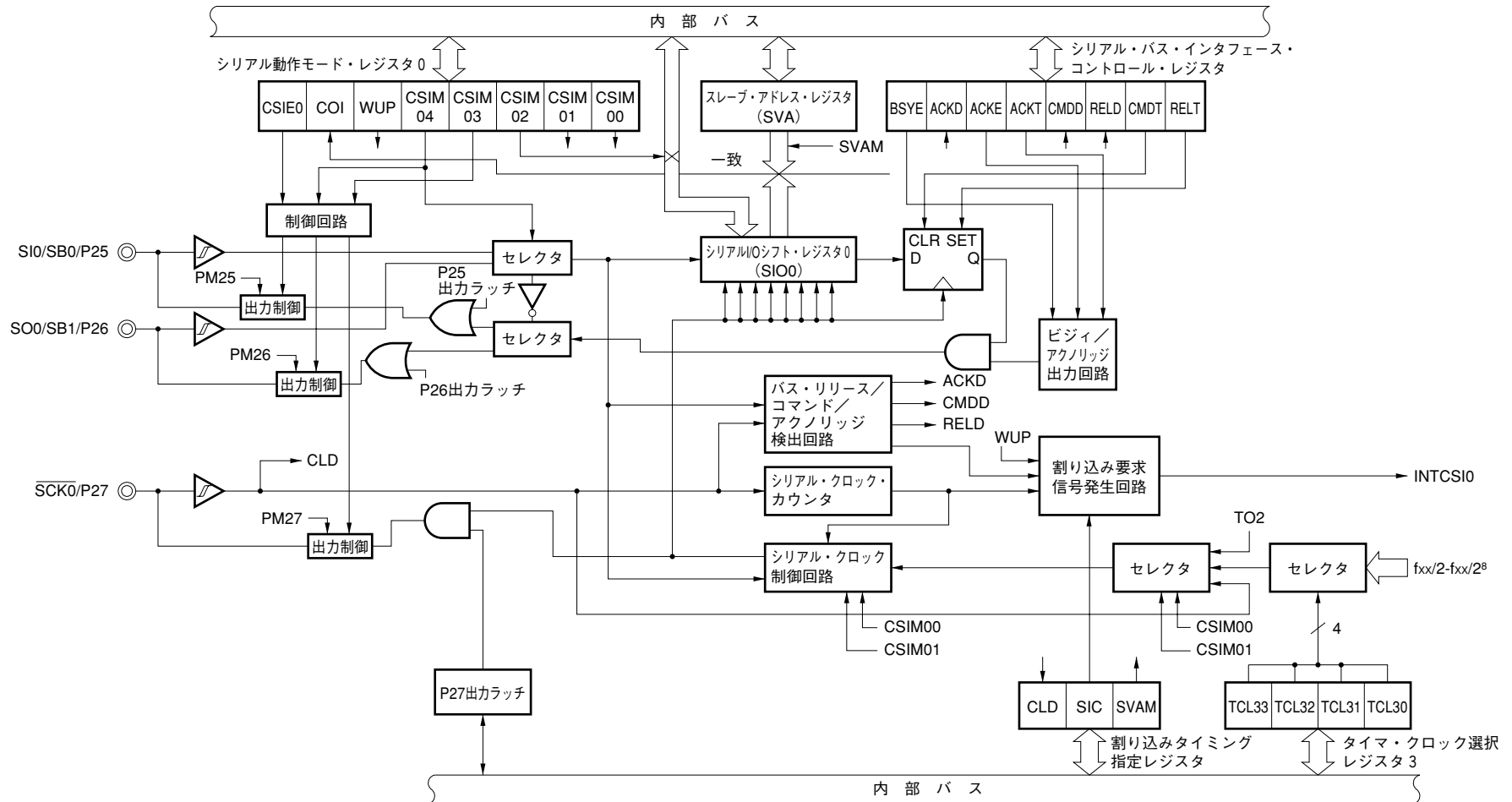
シリアル・インタフェース・チャンネル0は、次のハードウェアで構成しています。

表16-2 シリアル・インタフェース・チャンネル0の構成

項目	構成
レジスタ	シリアルI/Oシフト・レジスタ0 (SIO0) スレーブ・アドレス・レジスタ (SVA)
制御レジスタ	タイマ・クロック選択レジスタ3 (TCL3) シリアル動作モード・レジスタ0 (CSIM0) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) 割り込みタイミング指定レジスタ (SINT) ポート・モード・レジスタ2 (PM2) ^注

注 図6-5 P20, P21, P23-P26のブロック図, 図6-6 P22, P27のブロック図を参照してください。

図16-2 シリアル・インタフェース・チャンネル0のブロック図



備考 出力制御は、CMOS出力にするか、N-chオープン・ドレイン出力にするかを選択します。

(1) シリアルI/Oシフト・レジスタ0 (SIO0)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信(シフト動作)を行う8ビット・レジスタです。

SIO0は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ0 (CSIM0)のビット7 (CSIE0)が1のとき、SIO0にデータを書き込むことにより、シリアル動作が開始されます。

送信時は、SIO0に書き込まれたデータが、シリアル出力(SO0)またはシリアル・データ・バス(SB0/SB1)に出力されます。受信時は、データがシリアル入力(SI0)またはSB0/SB1からSIO0に読み込まれます。

なお、SBIモード、2線式シリアルI/Oモードのバス構成は、入力端子と出力端子が兼用です。したがって、これから受信を行おうとするデバイスは、あらかじめSIO0にFFHを書き込んでください(ただし、CSIM0のビット5 (WUP)に1を設定してアドレスを受信するときを除く)。

また、SBIモード時は、SIO0への書き込みにより、ビジー解除ができます。この場合、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット7 (BSYE)は、0にクリアされません。

SIO0は、 $\overline{\text{RESET}}$ 入力により、不定になります。

(2) スレーブ・アドレス・レジスタ(SVA)

スレーブ・デバイスとしてシリアル・バスに接続するときに、そのスレーブ・アドレス値をセットするための8ビット・レジスタです。3線式シリアルI/Oモードでは使用されません。

SVAは、8ビット・メモリ操作命令で設定します。

マスタは接続されているスレーブに対して、特定のスレーブを選択するためのスレーブ・アドレスを出力します。アドレス・コンパレータによりこれらの2つのデータ(マスタから出力されたスレーブ・アドレスとSVAの値)を比較して、一致すると、そのスレーブが選択されたことになります。このとき、シリアル動作モード・レジスタ0 (CSIM0)のビット6 (COI)が1になります。

また、割り込みタイミング指定レジスタ(SINT)のビット4 (SVAM)をセット(1)することにより、LSBをマスクした上位7ビットのデータで、アドレスを比較することもできます。

アドレス受信時に一致が検出されなければ、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット2 (RELD)は0にクリアされます。なお、SBIモード時、CSIM0のビット5 (WUP)をセット(1)することにより、ウエイク・アップ機能を使用できます。この場合、マスタから出力されたスレーブ・アドレスとSVAの値が一致したときのみ、割り込み要求信号(INTCSI0)が発生します。この割り込み要求によりマスタから通信要求があったことを知ることができます。なお、割り込みタイミング指定レジスタ(SINT)のビット5 (SIC)がセット(1)されていると、WUPをセット(1)しても、ウエイク・アップ機能が動作しません(バス・リリース検出時に割り込み要求信号が発生します)。ウエイク・アップ機能使用時はSICを0にクリアしておいてください。

さらに、SBIモード時または2線式シリアルI/Oモード時で、マスタまたはスレーブとして送信するとき、SVAを利用してエラーを検出できます。

SVAは、 $\overline{\text{RESET}}$ 入力により、不定になります。

(3) SO0ラッチ

SI0/SB0/P25, SO0/SB1/P26端子レベルを保持するラッチです。ソフトウェアにより直接制御することもできます。SBIモード時は、シリアル・クロックの8回目のクロック終了時にセットされます。

(4) シリアル・クロック・カウンタ

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8ビット・データが送受信されたことを調べます。

(5) シリアル・クロック制御回路

シリアルI/Oシフト・レジスタ0 (SIO0)へのシリアル・クロックの供給を制御します。また、内部システム・クロック使用時は、 $\overline{\text{SCK0}}$ /P27端子へ出力するクロックも制御します。

(6) 割り込み要求信号発生回路

割り込み要求信号の発生を制御します。次のときに割り込み要求信号を発生します。

- ・ 3線式シリアルI/Oモードおよび2線式シリアルI/Oモード時

シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します。

- ・ SBIモード時

WUP^注が0のとき…シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します。

WUP^注が1のとき…アドレス受信後、シリアルI/Oシフト・レジスタ0 (SIO0)とスレーブ・アドレス・レジスタ(SVA)の値が一致したとき、割り込み要求信号を発生します。

注 WUPは、ウエイク・アップ機能指定ビット。シリアル動作モード・レジスタ0 (CSIM0)のビット5。ウエイク・アップ機能を使用(WUP=1)するときは、割り込みタイミング指定レジスタ(SINT)のビット5 (SIC)を0にクリアしておいてください。

(7) ビジィ/アクノリッジ出力回路, バス・リリース/コマンド/アクノリッジ検出回路

SBIモード時に各種制御信号の出力および検出を行います。

3線式シリアルI/Oモードおよび2線式シリアルI/Oモード時には、動作しません。

16.3 シリアル・インタフェース・チャンネル0を制御するレジスタ

シリアル・インタフェース・チャンネル0は、次の4種類のレジスタで制御します。

- ・ タイマ・クロック選択レジスタ3 (TCL3)
- ・ シリアル動作モード・レジスタ0 (CSIM0)
- ・ シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)
- ・ 割り込みタイミング指定レジスタ (SINT)

(1) タイマ・クロック選択レジスタ3 (TCL3)

シリアル・インタフェース・チャンネル0のシリアル・クロックを設定するレジスタです。

TCL3は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、88Hになります。

図16-3 タイマ・クロック選択レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL3	TCL37	TCL36	TCL35	TCL34	TCL33	TCL32	TCL31	TCL30	FF43H	88H	R/W

TCL33	TCL32	TCL31	TCL30	シリアル・インタフェース・チャンネル0のシリアル・クロックの選択		
					MCS = 1	MCS = 0
0	1	1	0	$f_{xx}/2$	設定禁止	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
上記以外				設定禁止		

TCL37	TCL36	TCL35	TCL34	シリアル・インタフェース・チャンネル1のシリアル・クロックの選択		
					MCS = 1	MCS = 0
0	1	1	0	$f_{xx}/2$	設定禁止	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
上記以外				設定禁止		

注意 TCL3を同一データ以外に書き換える場合は、いったんシリアル転送を停止させたのちに書き換えてください。

- 備考1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
2. f_x : メイン・システム・クロック発振周波数
3. MCS : 発振モード選択レジスタ(OSMS)のビット0
4. ()内は、 $f_x = 5.0$ MHz動作時。

(2) シリアル動作モード・レジスタ0 (CSIM0)

シリアル・インタフェース・チャンネル0のシリアル・クロック、動作モード、動作の許可/停止、ウェイク・アップ機能の設定とアドレス・コンパレータの一致信号を表示するレジスタです。

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード（3線式シリアルI/O/2線式シリアルI/O/SBI）を切り替えないでください。動作モードは、いったんシリアル動作を停止させたのちに切り替えてください。

図16-4 シリアル動作モード・レジスタ0のフォーマット(1/2)

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	×	SCK0端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2(TM2)の出力
	1	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-3で指定されたクロック

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25 端子の機能	SO0/SB1/P26 端子の機能	SCK0/P27 端子の機能
	0	×	0	注2	注2	0	0	0	1	3線式シリアル I/Oモード	MSB	SI0 ^{注2} (入力)	SO0 (CMOS出力)	SCK0 (CMOS入出力)
			1	×	×				LSB					
	1	0	0	注3	注3	0	0	0	1	SBIモード	MSB	P25 (CMOS入出力)	SB1 [N-chオープン・ ドレイン入出力]	SCK0 (CMOS入出力)
			1	×	×	注3	注3	0	1					
	1	1	0	注3	注3	0	0	0	1	2線式シリアル I/Oモード	MSB	P25 (CMOS入出力)	SB1 [N-chオープン・ ドレイン入出力]	SCK0 [N-chオープン・ ドレイン入出力]
			1	×	×	注3	注3	0	1					

(続く)

- 注1. ビット6 (COI)は、Read Onlyです。
2. 送信のみ使用するとき、P25(CMOS入出力)として使用できます。
3. ポート機能として自由に使用できます。

備考 × : don't care
 PM×× : ポート・モード・レジスタ
 P×× : ポートの出力ラッチ

図16-4 シリアル動作モード・レジスタ0のフォーマット(2/2)

R/W	WUP	ウェイク・アップ機能の制御 ^{注1}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	SBIモード時、バス・リリース後(CMDD = RELD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタ(SVA)のデータと一致したとき、割り込み要求信号を発生
R	COI	スレーブ・アドレス比較結果フラグ ^{注2}
	0	スレーブ・アドレス・レジスタ(SVA)とシリアルI/Oシフト・レジスタ0(SIO0)のデータが一致しない
	1	スレーブ・アドレス・レジスタ(SVA)とシリアルI/Oシフト・レジスタ0(SIO0)のデータが一致する
R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

注1. ウェイク・アップ機能を使用(WUP = 1)するときは、割り込みタイミング指定レジスタ(SINT)のビット5(SIC)に0を設定してください。

2. CSIE0 = 0のとき、COIは0になります。

(3) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)

シリアル・バス・インタフェースの動作の設定とステータスを表示するレジスタです。
SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図16-5 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット(1/2)

略号	⑦	⑥	⑤	④	③	②	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W ^注
R/W	RELT	バス・リリース信号出力のために使用する。 RELT = 1により、SO0ラッチがセット(1)される。SO0ラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。									
R/W	CMDT	コマンド信号出力のために使用する。 CMDT = 1により、SO0ラッチがクリア(0)される。SO0ラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。									
R	RELD	バス・リリース検出									
		クリアされる条件(RELD = 0)					セットされる条件(RELD = 1)				
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・アドレス受信時にSIO0とSVAの値が一致しないとき ・CSIE0 = 0のとき ・$\overline{\text{RESET}}$入力時 					<ul style="list-style-type: none"> ・バス・リリース信号(REL)検出時 				
R	CMDD	コマンド検出									
		クリアされる条件(CMDD = 0)					セットされる条件(CMDD = 1)				
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・バス・リリース信号(REL)検出時 ・CSIE0 = 0のとき ・$\overline{\text{RESET}}$入力時 					<ul style="list-style-type: none"> ・コマンド信号(CMD)検出時 				
R/W	ACKT	セット(1)する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力し、出力後、自動的にクリア(0)される。ACKE = 0として使用する。 また、シリアル・インタフェースの転送開始、CSIE0 = 0のときもクリア(0)される。									

注 ビット2, 3, 6 (RELD, CMDD, ACKD)は、Read Onlyです。

備考1. ビット0, 1, 4 (RELT, CMDT, ACKT)は、データ設定後に読み出すと0になっています。

2. CSIE0: シリアル動作モード・レジスタ(CSIM0)のビット7

図16-5 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット(2/2)

R/W	ACKE	ACKノリッジ信号の自動出力の制御	
	0	ACKノリッジ信号の自動出力禁止(ACKTによる出力は可能)	
	1	転送完了前	SCK0の9クロック目の立ち下がりエッジに同期してACKノリッジ信号を出力する(ACKE = 1により、自動出力される)。
		転送完了後	セット(1)する命令実行直後のSCK0のクロックの立ち下がりエッジに同期してACKノリッジ信号を出力する(ACKE = 1により、自動出力される)。ただし、ACKノリッジ信号を出力後、自動的にクリア(0)されない。

R	ACKD	ACKノリッジ検出	
		クリアされる条件(ACKD = 0)	セットされる条件(ACKD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行後、ビジー・モードを解除した直後のSCK0のクロックの立ち下がり時 ・CSIE0 = 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・転送完了後のSCK0のクロックの立ち上がりエッジでACKノリッジ信号(ACK)検出時

R/W	BSYE ^注	同期ビジー信号出力の制御	
	0	クリア(0)する命令実行直後のSCK0のクロックの立ち下がりエッジに同期した、ビジー信号の出力を禁止する。	
	1	ACKノリッジ信号に続くSCK0のクロックの立ち下がりエッジからビジー信号を出力する。	

注 シリアル・インタフェースの転送開始によって、ビジー・モードを解除できます。ただし、BSYEフラグは0にクリアされません。

備考 CSIE0: シリアル動作モード・レジスタ0(CSIM0)のビット7

(4) 割り込みタイミング指定レジスタ(SINT)

バス・リリース割り込み、アドレス・マスク機能の設定と $\overline{\text{SCK0}}$ /P27端子のレベルの状態を表示するレジスタです。

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図16-6 割り込みタイミング指定レジスタのフォーマット



注1. ビット6 (CLD)は、Read Onlyです。

2. SBIモードでウエイク・アップ機能を使用するときは、SICに0を設定してください。

3. CSIE0 = 0のとき、CLDは0になります。

注意 ビット0-3には、必ず0を設定してください。

備考 SVA :スレーブ・アドレス・レジスタ

CSIF0 :INTCSI0に対応する割り込み要求フラグ

CSIE0 :シリアル動作モード・レジスタ0 (CSIM0)のビット7

16.4 シリアル・インタフェース・チャンネル0の動作

シリアル・インタフェース・チャンネル0の動作モードには、次の4種類があります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・SBIモード
- ・2線式シリアルI/Oモード

16.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。

また、シリアルI/Oシフト・レジスタ0 (SIO0)もシフト動作を行いませんので、通常の8ビット・レジスタとして使用できます。

また、動作停止モードでは、P25/SI0/SB0、P26/SO0/SB1、P27/SCK0端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードは、シリアル動作モード・レジスタ0 (CSIM0)で設定します。

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

16.4.2 3線式シリアルI/Oモードの動作

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック(SCK0)、シリアル出力(SO0)、シリアル入力(SI0)の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードは、シリアル動作モード・レジスタ0(CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)で設定します。

(a) シリアル動作モード・レジスタ0(CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択								
	0	×	SCK0端子への外部からの入力クロック								
	1	0	8ビット・タイマ・レジスタ2(TM2)の出力								
	1	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-3で指定されたクロック								

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25	SO0/SB1/P26	SCK0/P27
	0	×	0	注2	注2	0	0	0	1	3線式シリアル	MSB	端子の機能	端子の機能	端子の機能
			1	1	×					I/Oモード	LSB	SI0 ^{注2} (入力)	SO0 (CMOS出力)	SCK0 (CMOS入出力)
	1	0	SBIモード(16.4.3 SBIモードの動作参照)											
	1	1	2線式シリアルI/Oモード(16.4.4 2線式シリアルI/Oモードの動作参照)											

R/W	WUP	ウエイク・アップ機能の制御 ^{注3}									
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生									
	1	SBIモード時、バス・リリース後(CMDD = RELD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生									

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御									
	0	動作停止									
	1	動作許可									

注1. ビット6(COI)は、Read Onlyです。

2. 送信のみ使用するとき、P25(CMOS入出力)として使用できます。
3. 3線式シリアルI/Oモード使用時は必ずWUPに0を設定してください。

備考 × : don't care
 PM×× : ポート・モード・レジスタ
 P×× : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

略号	⑦	⑥	⑤	④	③	②	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W

R/W	RELT	RELT = 1により、SO0ラッチがセット(1)される。SO0ラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R/W	CMDT	CMDT = 1により、SO0ラッチがクリア(0)される。SO0ラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

CSIE0：シリアル動作モード・レジスタ0 (CSIM0) のビット7

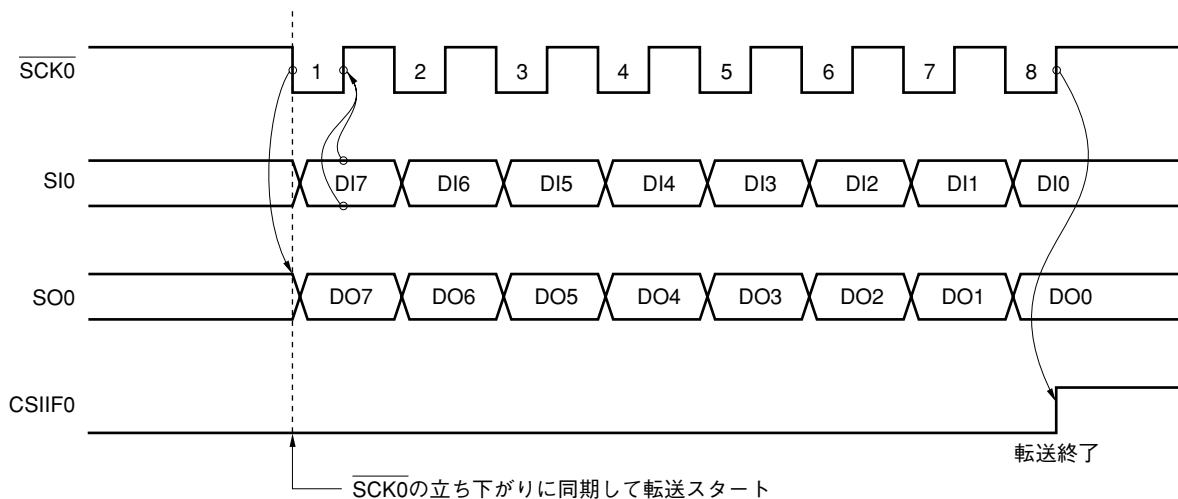
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータを送受信します。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアルI/Oシフト・レジスタ0 (SIO0)のシフト動作は、シリアル・クロック($\overline{\text{SCK0}}$)の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SO0端子から出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりで、SI0端子に入力された受信データがSIO0にラッチされます。

8ビット転送終了により、SIO0の動作は自動的に停止し、割り込み要求フラグ(CSIIF0)がセットされます。

図16-7 3線式シリアルI/Oモードのタイミング



SO0端子はCMOS出力となり、SO0ラッチの状態を出力しますので、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット0 (RELT)、ビット1 (CMDT)のセットによって、SO0端子出力状態を操作できます。

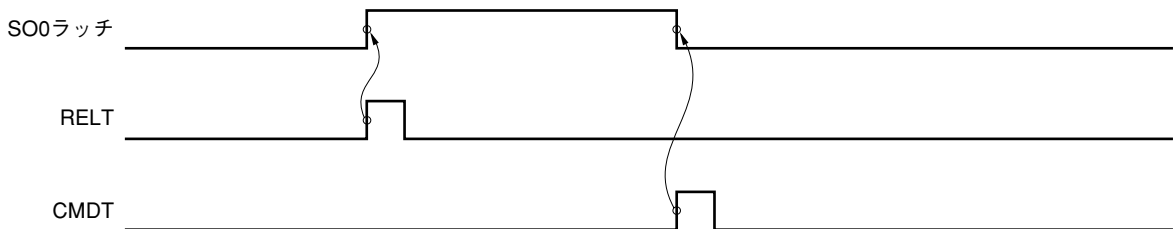
ただし、シリアル転送中にはこの操作を行わないでください。

$\overline{\text{SCK0}}$ 端子の出力レベルは、出力モード(内部システム・クロックのモード)時に、P27出力ラッチを操作して制御します(16.4.5 $\overline{\text{SCK0}}$ /P27端子出力の操作を参照)。

(3) 各種信号

図16-8にRELT, CMDTの動作を示します。

図16-8 RELT, CMDTの動作



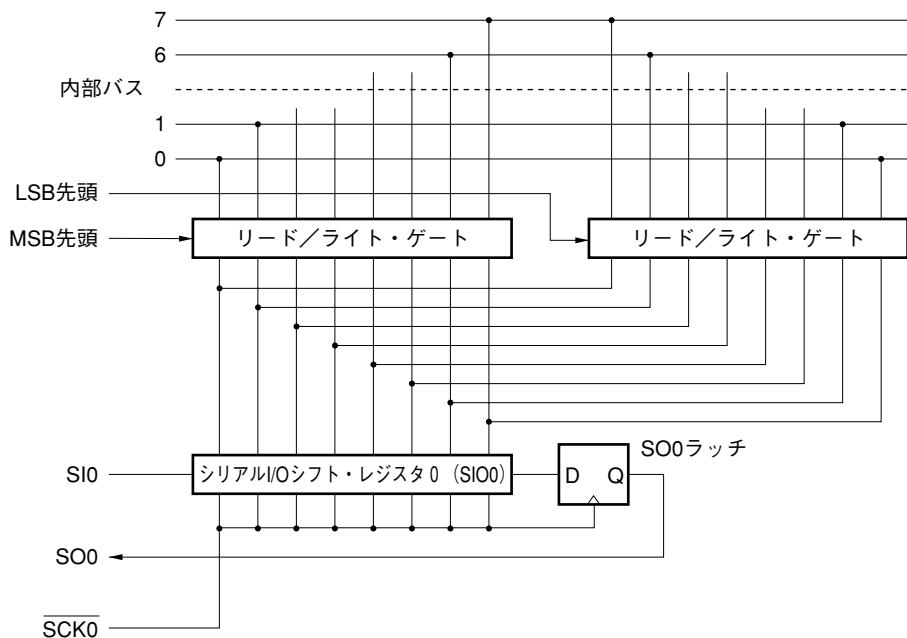
(4) MSB/LSB先頭の切り替え

3線式シリアルI/Oモードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図16-9にシリアルI/Oソフト・レジスタ0 (SIO0), および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し/書き込みができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ0 (CSIM0)のビット2 (CSIM02)により指定できます。

図16-9 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO0へのデータ書き込みのビット順を切り替えることによって実現されています。SIO0のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットは、SIO0にデータを書き込む前に切り替えてください。

(5) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意 SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIIF0)をセットします。

16.4.3 SBIモードの動作

SBI(シリアル・バス・インタフェース)は、NECシリアル・バス・フォーマット準拠の高速シリアル・インタフェース方式です。

SBIは、シングルマスタの高速シリアル・バスで、2本の信号線で複数のデバイスとの通信ができるように、クロック同期式のシリアルI/O方式に、バス構成のための機能が追加されたフォーマットになっています。そのため複数のマイコンや周辺ICでシリアル・バスを構成する場合に、使用するポート数や基板上の配線数を削減できます。

また、マスタは、スレーブに対してシリアル・データ・バス上に、シリアル通信の対象デバイス選択のための“アドレス”，対象デバイスに対して指令を与える“コマンド”，および実際の“データ”を出力できます。スレーブは、受信したデータをハードウェアにより，“アドレス”，“コマンド”，“データ”に判別できます。この機能により、シリアル・インタフェース・チャンネル0を制御する応用プログラムを簡略化できます。

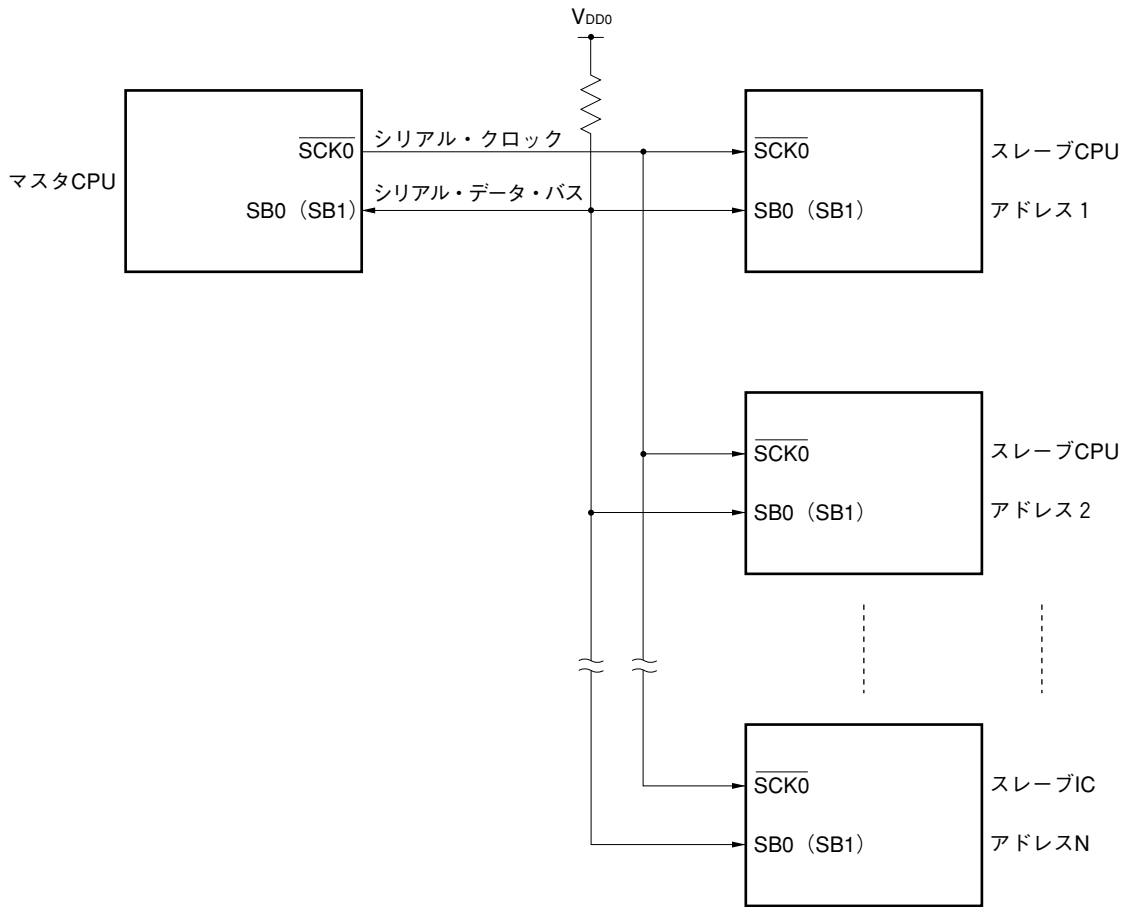
SBI機能は、75X/XLシリーズ、78Kシリーズなどの数種のデバイスに内蔵されています。

SBIに準拠するシリアル・インタフェースを有するCPUや、周辺ICを使用した場合のシリアル・バス構成例を図16-10に示します。

SBIでは、シリアル・データ・バス端子SB0(SB1)は、オープン・ドレイン出力になっているため、シリアル・データ・バス・ラインは、ワイアード・オア状態になります。また、シリアル・データ・バス・ラインには、プルアップ抵抗が必要です。

SBIモード使用時には、後述の(11) SBIモードの注意事項(d)を参照してください。

図16-10 SBIによるシリアル・バス構成例



注意 マスタ/スレーブの交換処理を行う場合は、シリアル・クロック・ライン($\overline{\text{SCK0}}$)の入力/出力がマスタ、スレーブ間で非同期に切り替えられるため、シリアル・クロック・ライン($\overline{\text{SCK0}}$)にもプルアップ抵抗が必要となります。

(1) SBIの機能

従来のシリアルI/O方式では、データ転送機能しか有していないために、複数のデバイスを接続してシリアル・バスを構成した場合に、チップ・セレクト信号やコマンド/データの区別、ビジー状態の判断などのため多くのポートや配線が必要となります。また、これらの制御をソフトウェアで行おうとすると、ソフトウェアの負担が大きくなってしまいます。

SBIでは、シリアル・クロック $\overline{\text{SCK0}}$ と、シリアル・データ・バスSB0(SB1)の2本の信号線でシリアル・バスを構成できます。そのため、マイコンのポート数の削減や、基板内の配線や引き回しの減少に有効となります。

SBIの機能について次に示します。

(a) アドレス/コマンド/データの判断機能

シリアル・データを、アドレス、コマンド、およびデータの3種類に区別します。

(b) アドレスによるチップ・セレクト状態

マスタは、アドレスの送信により、スレーブのチップ・セレクト(選択)を行います。

(c) ウェイク・アップ機能

スレーブは、ウェイク・アップ機能(ソフトウェアで設定/解除が可能)により、容易にアドレス受信の判断(チップ・セレクトの判断)ができます。

ウェイク・アップ機能を設定した場合、一致アドレス受信時に割り込み要求信号(INTCSI0)が発生します。

そのため、複数のデバイスと通信する場合も、選択されたスレーブ以外のCPUはシリアル通信に関係なく動作できます。

(d) アクノリッジ信号 ($\overline{\text{ACK}}$) 制御機能

シリアル・データの受信確認のための、アクノリッジ信号を制御します。

(e) ビジー信号 ($\overline{\text{BUSY}}$) 制御機能

スレーブのビジー状態を知らせるための、ビジー信号を制御します。

(2) SBIの定義

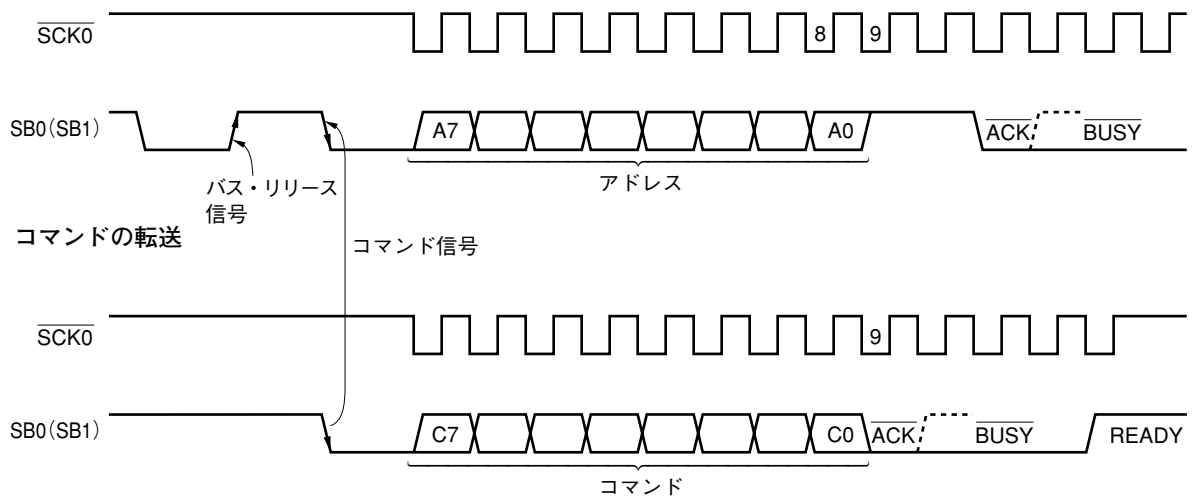
SBIのシリアル・データのフォーマットおよび、使用する信号の意味について説明します。

SBIで転送されるシリアル・データは、「アドレス」、「コマンド」、「データ」の3種類に区別されます。

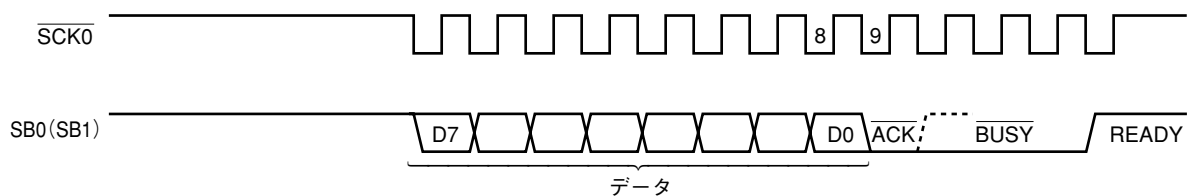
図16-11に、アドレス、コマンド、およびデータの転送タイミングを示します。

図16-11 SBI転送のタイミング

アドレスの転送



データの転送



備考 破線はREADY状態を示します。

バス・リリース信号およびコマンド信号はマスタが出力します。また $\overline{\text{BUSY}}$ はスレーブが出力します。 $\overline{\text{ACK}}$ はマスタ、スレーブのどちらでも出力できます(通常、8ビット・データの受信側が出力します)。

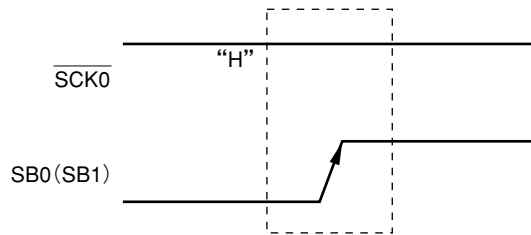
シリアル・クロックは、8ビット・データ転送開始から、 $\overline{\text{BUSY}}$ が解除されるまで、マスタが出力し続けます。

(a) バス・リリース信号(REL)

バス・リリース信号は、 $\overline{\text{SCK0}}$ ラインがハイ・レベルのとき(シリアル・クロックが出力されていない場合)に、SB0(SB1)ラインがロウ・レベルからハイ・レベルに変化した信号です。

この信号は、マスタが出力します。

図16-12 バス・リリース信号



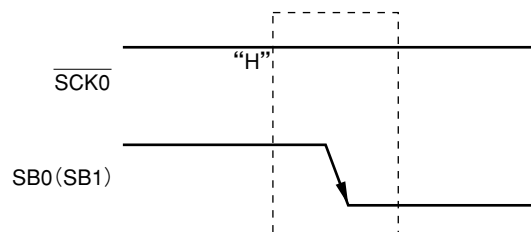
バス・リリース信号は、これからマスタがスレーブに対してアドレスを送信することを示すものです。スレーブは、バス・リリース信号を検出するハードウェアを内蔵しています。

注意 $\overline{\text{SCK0}}$ ラインがハイ・レベルのときに、SB0 (SB1) ラインがロウ・レベル→ハイ・レベルに変化すると、バス・リリース信号と認識されます。したがって、基板容量などの影響でバスの変化タイミングにずれが生じると、データを送信しているにもかかわらず、バス・リリース信号と判断されてしまうことがあります。配線の引き回しには十分注意してください。

(b) コマンド信号(CMD)

コマンド信号は、 $\overline{\text{SCK0}}$ ラインが、ハイ・レベルのとき(シリアル・クロックが出力されていない場合)に、SB0(SB1)ラインがハイ・レベルからロウ・レベルに変化した信号です。この信号は、マスタが出力します。

図16-13 コマンド信号



コマンド信号は、これからマスタがスレーブに対してコマンドを送信することを示すものです(ただし、バス・リリース信号に続くコマンド信号は、アドレスを送信することを示します)。

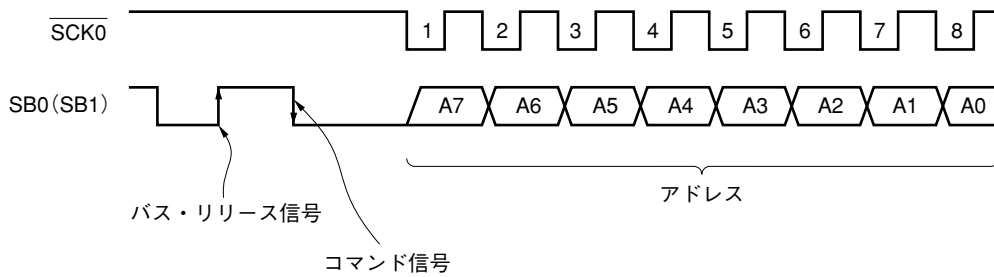
スレーブは、コマンド信号を検出するハードウェアを内蔵しています。

注意 $\overline{\text{SCK0}}$ ラインがハイ・レベルのときに、SB0 (SB1) ラインがハイ・レベル→ロウ・レベルに変化すると、コマンド信号と認識されます。したがって、基板容量などの影響でバスの変化タイミングにずれが生じると、データを送信しているにもかかわらず、コマンド信号と判断されてしまうことがあります。配線の引き回しには十分注意してください。

(c) アドレス

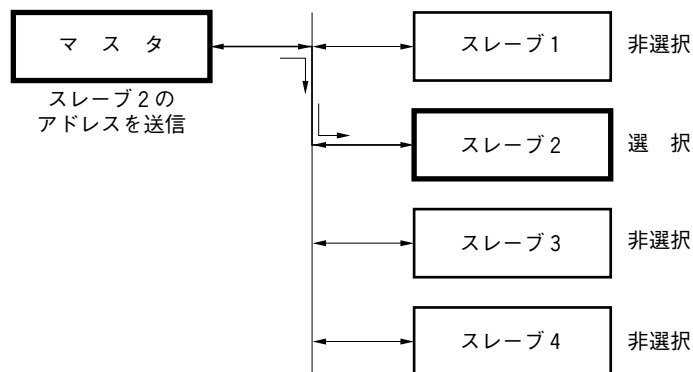
アドレスは、マスタがバス・ラインに接続されているスレーブに対して、特定のスレーブを選択するために出力する8ビット・データです。

図16-14 アドレス



バス・リリース信号、コマンド信号に続く8ビット・データはアドレスと定義されています。スレーブでは、ハードウェアでこの条件を検出し、8ビット・データが自分の指定番号(スレーブ・アドレス)と一致しているかをハードウェアでチェックします。このとき、8ビット・データと、スレーブ・アドレスが一致すると、そのスレーブが選択されたことになり、以後、マスタから切り離し指示があるまで、マスタと通信します。

図16-15 アドレスによるスレーブの選択



(d) コマンド、データ

アドレスの送信により選択したスレーブに対して、マスタはコマンドの送信や、データの送受信を行います。

図16-16 コマンド

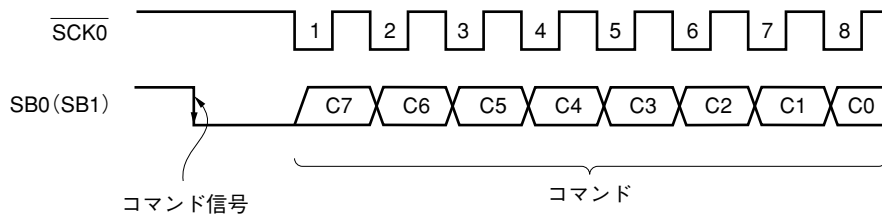
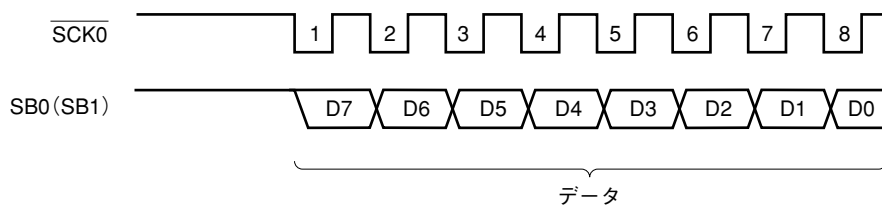


図16-17 データ



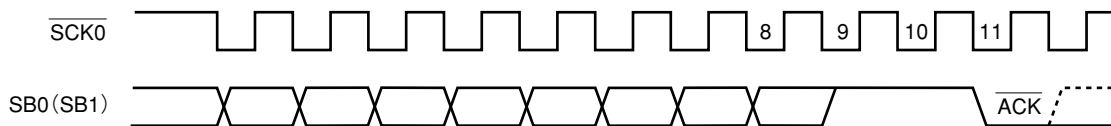
コマンド信号の次の8ビット・データはコマンドと定義されています。コマンド信号なしの8ビット・データはデータと定義されています。コマンド、データの使用方法は、通信の仕様によって任意に決定できます。

(e) アクノリッジ信号($\overline{\text{ACK}}$)

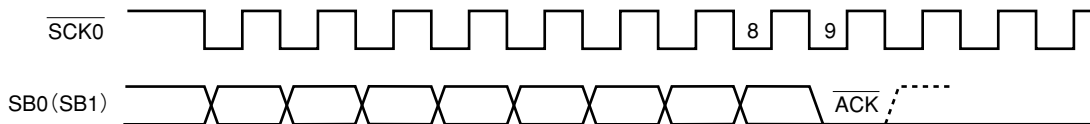
アクノリッジ信号は、送信側と受信側の間における、シリアル・データ受信の確認のための信号です。

図16-18 アクノリッジ信号

[11クロック目の $\overline{\text{SCK0}}$ に同期して出力した場合]



[9クロック目の $\overline{\text{SCK0}}$ に同期して出力した場合]



備考 破線はREADY状態を示します。

アクノリッジ信号は、8ビット・データ転送後の $\overline{\text{SCK0}}$ の立ち下がりに同期したワンショット・パルスで、その位置は任意で何クロック目の $\overline{\text{SCK0}}$ に同期させてもかまいません。

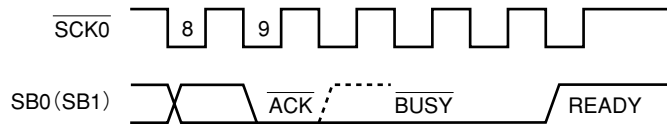
送信側は、8ビット・データ送信後、受信側がアクノリッジ信号を返したかをチェックします。データ送信後、一定時間、アクノリッジ信号が返らない場合は、正しく受信されなかったものと判断できます。

(f) ビジィ信号($\overline{\text{BUSY}}$), レディ信号(READY)

ビジィ信号は、スレーブがデータの送受信のための準備中であることをマスタに知らせるための信号です。

レディ信号は、スレーブがデータの送受信が可能であることをマスタに知らせるための信号です。

図16-19 ビジィ信号, レディ信号



SBIでは、スレーブが、SB0(SB1)ラインをロウ・レベルにすることにより、マスタにビジィ状態を知らせます。

ビジィ信号は、マスタ、またはスレーブの出力したアクノリッジ信号に引き続いて出力させます。ビジィ信号は、 $\overline{\text{SCK0}}$ の立ち下がりに同期して、設定/解除を行います。マスタは、ビジィ信号が解除されると自動的にシリアル・クロック $\overline{\text{SCK0}}$ の出力を終了します。

マスタは、ビジィ信号が解除され、レディ信号の状態になると次の転送を開始できます。

注意 SBIでは、 $\overline{\text{BUSY}}$ の解除指示後、次のシリアル・クロックの立ち上がりまで $\overline{\text{BUSY}}$ 信号が出力されます。もし、誤ってこの期間にWUP=1とすると、 $\overline{\text{BUSY}}$ が解除されなくなってしまいます。したがって、 $\overline{\text{BUSY}}$ を解除したのちに、必ずSB0 (SB1) 端子がハイ・レベルになったことを確認してからWUP=1としてください。

(3) レジスタの設定

SBIモードは、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)、割り込みタイミング指定レジスタ(SINT)で設定します。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択								
	0	×	SCK0端子への外部からの入力クロック								
	1	0	8ビット・タイマ・レジスタ2(TM2)の出力								
	1	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-3で指定されたクロック								

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SIO/SB0/P25	SO0/SB1/P26	SCK0/P27
												端子の機能	端子の機能	端子の機能
	0	×	3線式シリアル/I/Oモード(16.4.2 3線式シリアル/I/Oモードの動作参照)											
	1	0	0	注2 ×	注2 ×	0	0	0	1	SBIモード	MSB	P25 (CMOS入出力)	SB1 [N-chオープン・ ドレイン入出力]	SCK0 (CMOS入出力)
			1	0	0	注2 ×	注2 ×	0	1			SB0 [N-chオープン・ ドレイン入出力]	P26 (CMOS入出力)	
	1	1	2線式シリアル/I/Oモード(16.4.4 2線式シリアル/I/Oモードの動作参照)											

R/W	WUP	ウェイク・アップ機能の制御 ^{注3}									
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生									
	1	SBIモード時、バス・リリース後(CMDD = RELD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタ(SVA)のデータと一致したとき、割り込み要求信号を発生									

R	COI	スレーブ・アドレス比較結果フラグ ^{注4}									
	0	スレーブ・アドレス・レジスタ(SVA)とシリアル/I/Oソフト・レジスタ0(SIO0)のデータが一致しない									
	1	スレーブ・アドレス・レジスタ(SVA)とシリアル/I/Oソフト・レジスタ0(SIO0)のデータが一致する									

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御									
	0	動作停止									
	1	動作許可									

- 注1. ビット6(COI)は、Read Onlyです。
2. ポート機能として自由に使用できます。
3. ウェイク・アップ機能を使用(WUP = 1)するときは、割り込みタイミング指定レジスタ(SINT)のビット5(SIC)に0を設定してください。
4. CSIE0 = 0のとき、COIは0になります。

備考 × : don't care
 PM×× : ポート・モード・レジスタ
 P×× : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	④	③	②	①	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT			FF61H	00H	R/W ^注

R/W	RELT	バス・リリース信号出力のために使用する。 RELT = 1により、SO0ラッチがセット(1)される。SO0ラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R/W	CMDT	コマンド信号出力のために使用する。 CMDT = 1により、SO0ラッチがクリア(0)される。SO0ラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	--

R	RELD	バス・リリース検出	
		クリアされる条件(RELD = 0)	セットされる条件(RELD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・アドレス受信時にSIO0とSVAの値が一致しないとき (WUP = 1のときのみ) ・CSIE0 = 0のとき ・$\overline{\text{RESET}}$入力時 	<ul style="list-style-type: none"> ・バス・リリース信号(REL)検出時

R	CMDD	コマンド検出	
		クリアされる条件(CMDD = 0)	セットされる条件(CMDD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・バス・リリース信号(REL)検出時 ・CSIE0 = 0のとき ・$\overline{\text{RESET}}$入力時 	<ul style="list-style-type: none"> ・コマンド信号(CMD)検出時

(続く)

注 ビット2, 3, 6 (RELD, CMDD, ACKD)は、Read Onlyです。

備考1. ビット0, 1, 4 (RELT, CMDT, ACKT)はデータ設定後に読み出すと0になっています。

2. CSIE0: シリアル動作モード・レジスタ0 (CSIM0)のビット7

R/W	ACKT	セット(1)する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力し、出力後、自動的にクリア(0)される。ACKE = 0として使用する。 また、シリアル・インタフェースの転送開始、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R/W	ACKE	アクノリッジ信号の自動出力の制御	
	0	アクノリッジ信号の自動出力禁止(ACKTによる出力は可能)	
	1	転送完了前	$\overline{\text{SCK0}}$ の9クロック目の立ち下がりエッジに同期してアクノリッジ信号を出力する(ACKE = 1により、自動出力される)。
		転送完了後	セット(1)する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力する(ACKE = 1により、自動出力される)。ただし、アクノリッジ信号を出力後、自動的にクリア(0)されない。

R	ACKD	アクノリッジ検出	
		クリアされる条件(ACKD = 0)	セットされる条件(ACKD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行後、ビジー・モードを解除した直後の$\overline{\text{SCK0}}$のクロックの立ち下がり時 ・CSIE0 = 0のとき ・$\overline{\text{RESET}}$入力時 	<ul style="list-style-type: none"> ・転送完了後の$\overline{\text{SCK0}}$のクロックの立ち上がりエッジでアクノリッジ信号($\overline{\text{ACK}}$)検出時

R/W	BSYE ^注	同期ビジー信号出力の制御
	0	クリア(0)する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジに同期した、ビジー信号の出力を禁止する(READY状態にする)。
	1	アクノリッジ信号に続く $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジからビジー信号を出力する。

注 シリアル・インタフェースの転送開始によって、ビジー・モードを解除できます。ただし、BSYEフラグは0にクリアされません。

備考 CSIE0：シリアル動作モード・レジスタ0(CSIM0)のビット7

(c) 割り込みタイミング指定レジスタ(SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	7	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	0	0	0	0	FF63H	00H	R/W ^{注1}

R/W	SVAM	説明
0	SVAM	スレーブ・アドレスとして使用するSVAのビット
0		ビット0-7
1		ビット1-7

R/W	SIC	説明
	SIC	INTCSI0の割り込み要因の選択 ^{注2}
0		シリアル・インタフェース・チャンネル0の転送終了時にCSIF0をセットする
1		シリアル・インタフェース・チャンネル0の転送終了時またはバス・リリース検出時にCSIF0をセットする

R	CLD	説明
	CLD	$\overline{\text{SCK0/P27}}$ 端子のレベル ^{注3}
0		ロウ・レベル
1		ハイ・レベル

注意 ビット0-3には、必ず0を設定してください。

注1. ビット6 (CLD)は、Read Onlyです。

2. SBIモードでウェイク・アップ機能を使用するときは、SICに0を設定してください。

3. CSIE0 = 0のとき、CLDは0になります。

備考 SVA :スレーブ・アドレス・レジスタ

CSIF0 :INTCSI0に対応する割り込み要求フラグ

CSIE0 :シリアル動作モード・レジスタ0 (CSIM0)のビット7

(4) 各種信号

SBIにおける、各種の信号と、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)上のフラグの動作について図16-20から図16-25に示します。また、SBIの各種の信号の一覧を表16-3に示します。

図16-20 RELT, CMDT, RELD, CMDDの動作(マスタ)

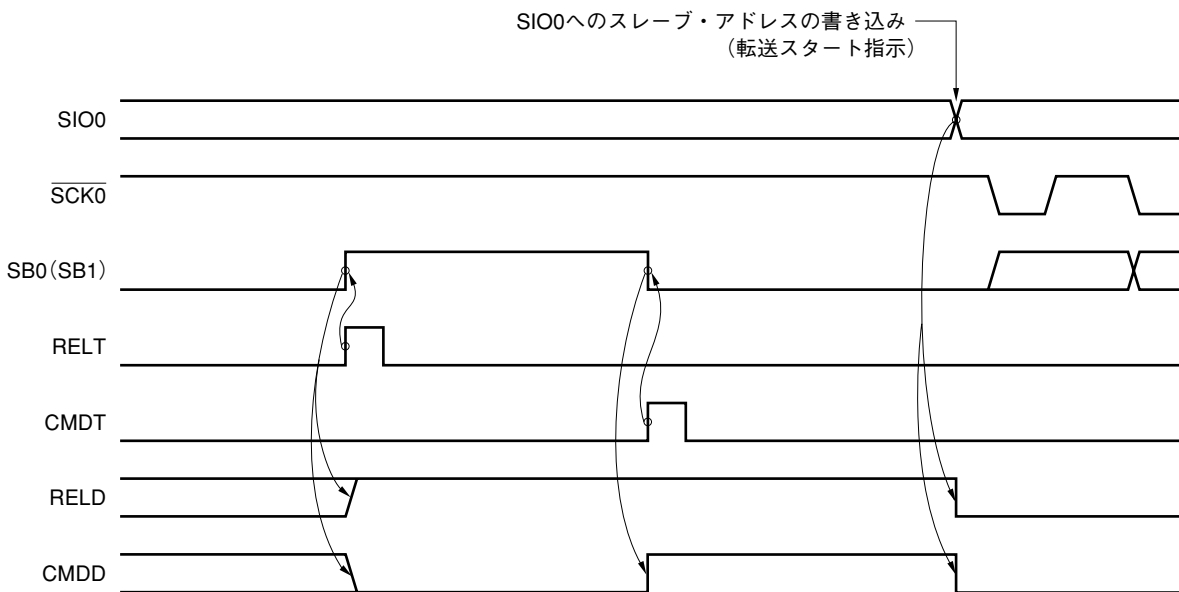


図16-21 RELD, CMDDの動作(スレーブ)

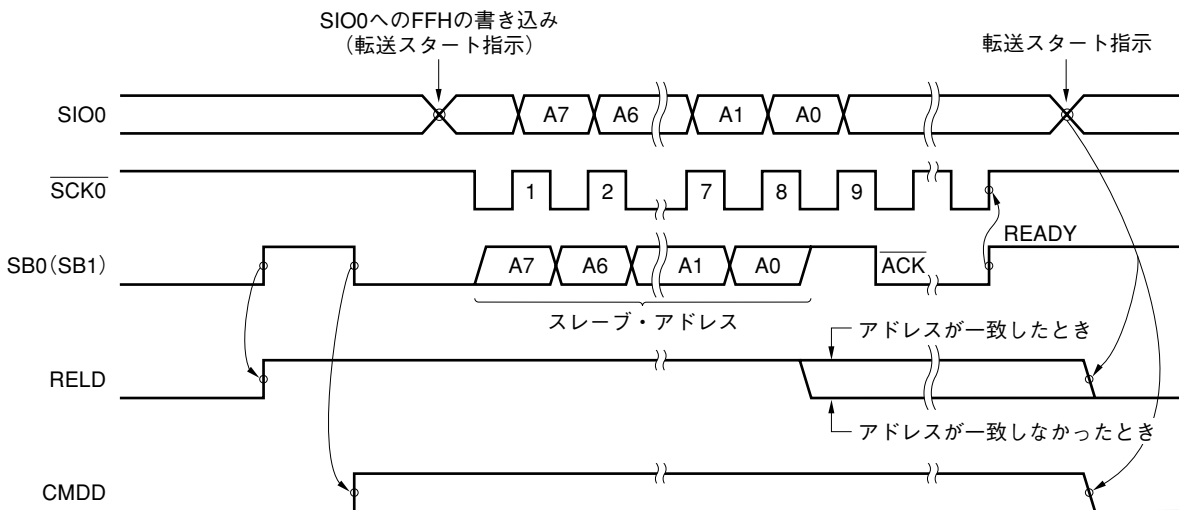
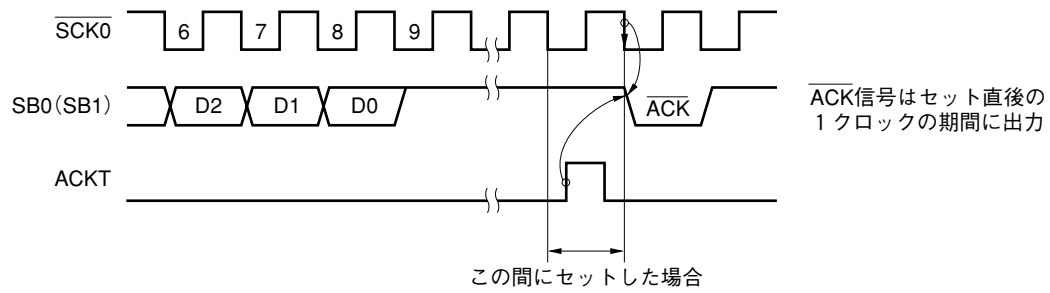


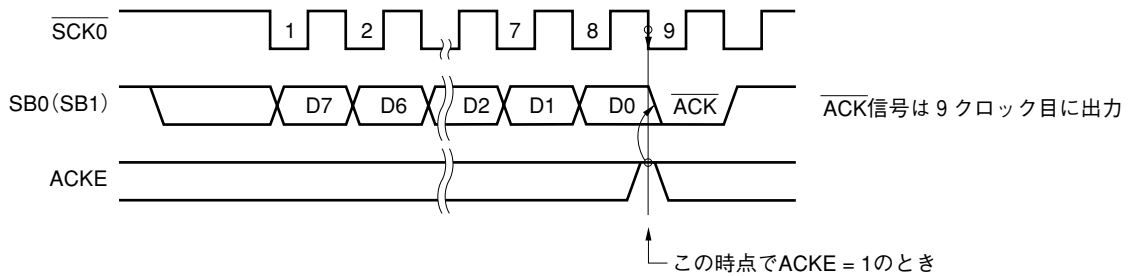
図16-22 ACKTの動作



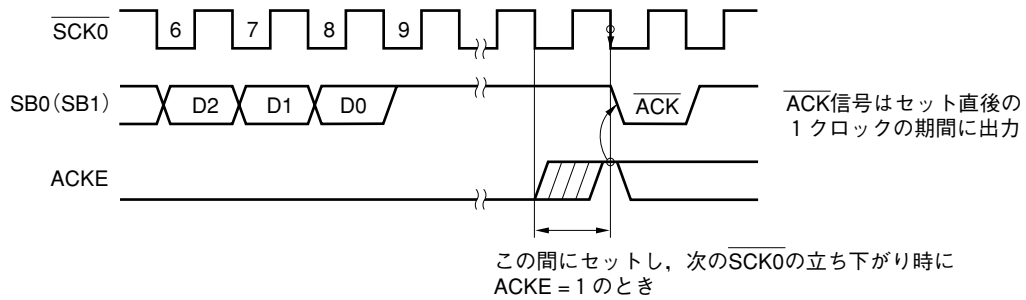
注意 ACKTは転送終了前にはセットしないでください。

図16-23 ACKEの動作

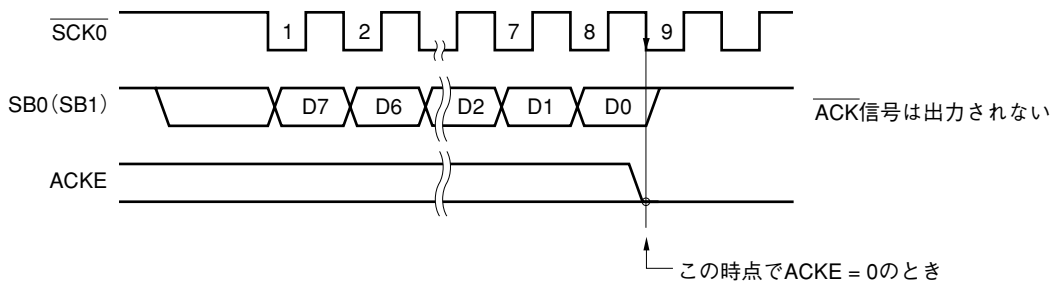
(a) 転送完了時にACKE = 1の場合



(b) 転送完了後にセットした場合



(c) 転送完了時にACKE = 0の場合



(d) ACKE = 1の期間が短い場合

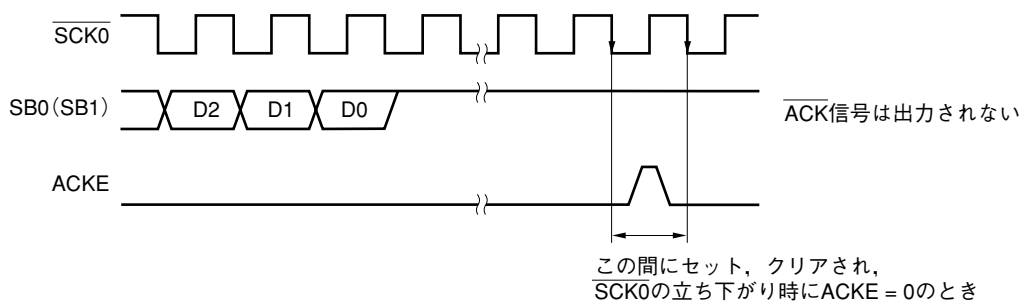
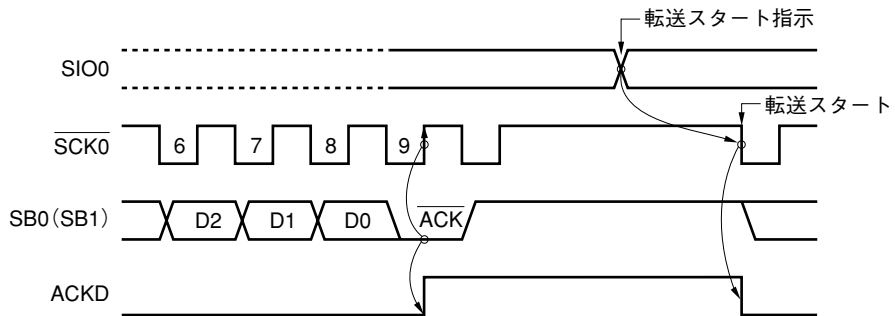
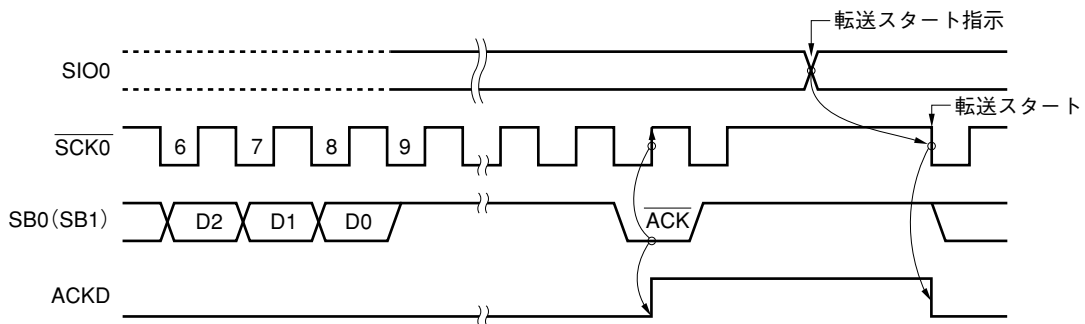


図16-24 ACKDの動作

(a) $\overline{\text{SCK0}}$ の9クロック目の期間に $\overline{\text{ACK}}$ 信号が出力された場合



(b) $\overline{\text{SCK0}}$ の9クロック目以降に $\overline{\text{ACK}}$ 信号が出力された場合



(c) BUSY中に転送スタート指示した場合のクリアのタイミング

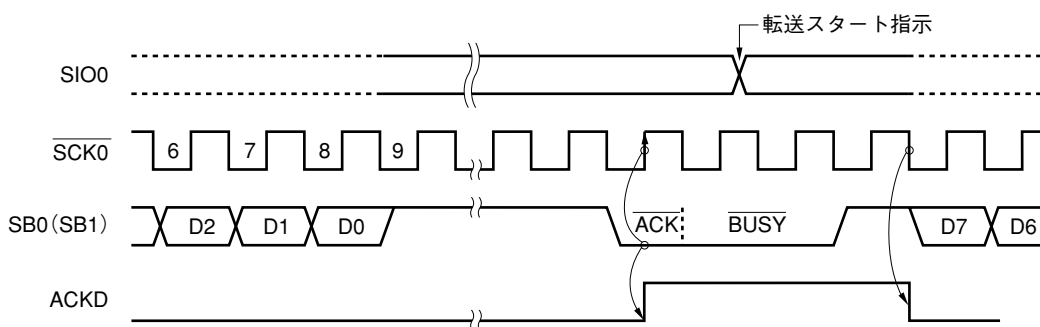


図16-25 BSYEの動作

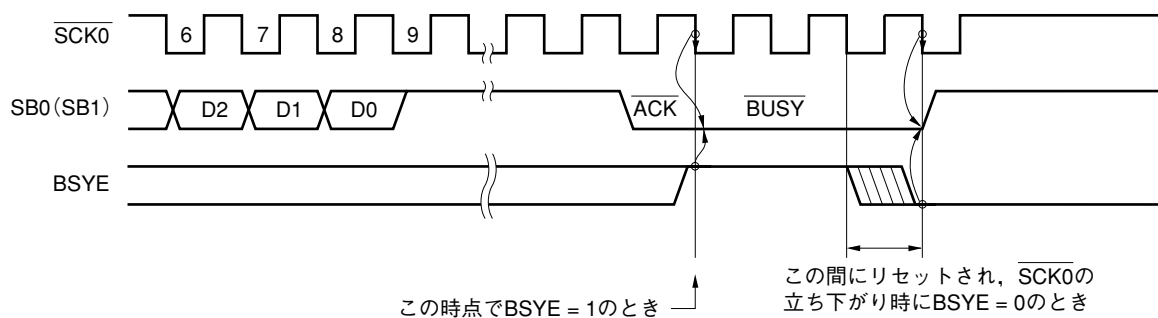


表16-3 SBIモードにおける各種の信号(1/2)

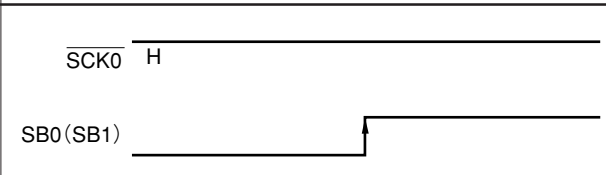
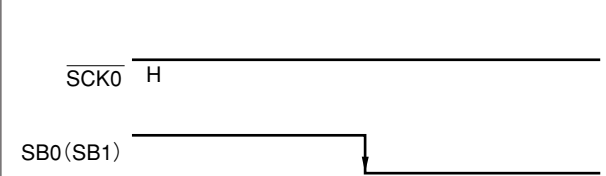
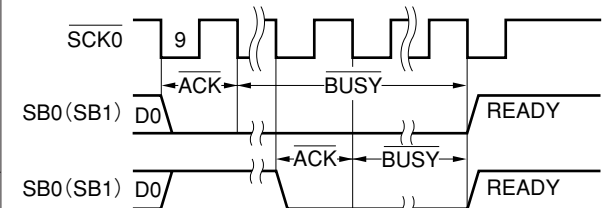
信号名称	出力するデバイス	定義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
バス・リリース 信号 (REL)	マスタ	$\overline{SCK0} = 1$ のときの、 SB0(SB1)の立ち上がり エッジ		• RELTのセット	• RELDをセット • CMDDをクリア	続いてCMD信号を出 かし、送信データがア ドレスであることを示 す
コマンド信号 (CMD)	マスタ	$\overline{SCK0} = 1$ のときの、 SB0(SB1)の立ち下がり エッジ		• CMDTのセット	• CMDDをセット	i) REL信号出力後 送信データはアドレス ii) REL信号出力なし 送信データはコマ ンド
アクノリッジ 信号 (ACK)	マスタ/ スレーブ	シリアル受信完了後、 $\overline{SCK0}$ の1クロックの期間 SB0(SB1)に出力される ロウ・レベルの信号	〔同期ビジー出力〕 	①ACKE = 1 ②ACKTのセット	• ACKDをセット	受信完了
ビジー信号 (BUSY)	スレーブ	〔同期ビジー信号〕 アクノリッジ信号に続いて SB0(SB1)に出力される ロウ・レベルの信号		• BSYE = 1	—	処理中のため、シリ アル受信不可能状態
レディ信号 (READY)	スレーブ	シリアル転送開始前、完了後 SB0(SB1)に出力される ハイ・レベルの信号		①BSYE = 0 ②SIO0へのデータ 書き込み命令実行 (転送開始指示)	—	シリアル受信可能状 態

表16-3 SBIモードにおける各種の信号(2/2)

信号名称	出力するデバイス	定義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
シリアル・クロック (SCK0)	マスタ	アドレス/コマンド/データ, ACK信号, 同期BUSY信号等の出力のための同期クロック。最初の8個でアドレス/コマンド/データを転送する。		CSIE0 = 1のときの、SIO0へのデータ書き込み命令実行(シリアル転送のスタート指示) ^{注2}	CSIF0をセット (SCK0の9クロック目の立ち上がり) ^{注1}	シリアル・データ・バスへの信号出力のタイミング
アドレス (A7-A0)	マスタ	REL信号, CMD信号出力後に、SCK0に同期して転送される8ビット・データ				シリアル・バス上のスレーブ・デバイスのアドレス値
コマンド (C7-C0)	マスタ	REL信号は出力されず、CMD信号のみ出力された後、SCK0に同期して転送される8ビット・データ				スレーブ・デバイスへの指示メッセージ
データ (D7-D0)	マスタ/スレーブ	REL信号, CMD信号ともに出力されず、SCK0に同期して転送される8ビット・データ				スレーブ、またはマスタ・デバイスが処理する数値

注1. WUP = 0のとき、常に9クロック目のSCK0の立ち上がりでCSIF0をセットする。

WUP = 1のとき、アドレスを受信し、そのアドレスがスレーブ・アドレス・レジスタ(SVA)の値と一致したときのみ、CSIF0をセットする(一致しなかったときは、RELDがクリアされる)。

2. BUSY状態のときは、READY状態になったあと、転送スタートする。

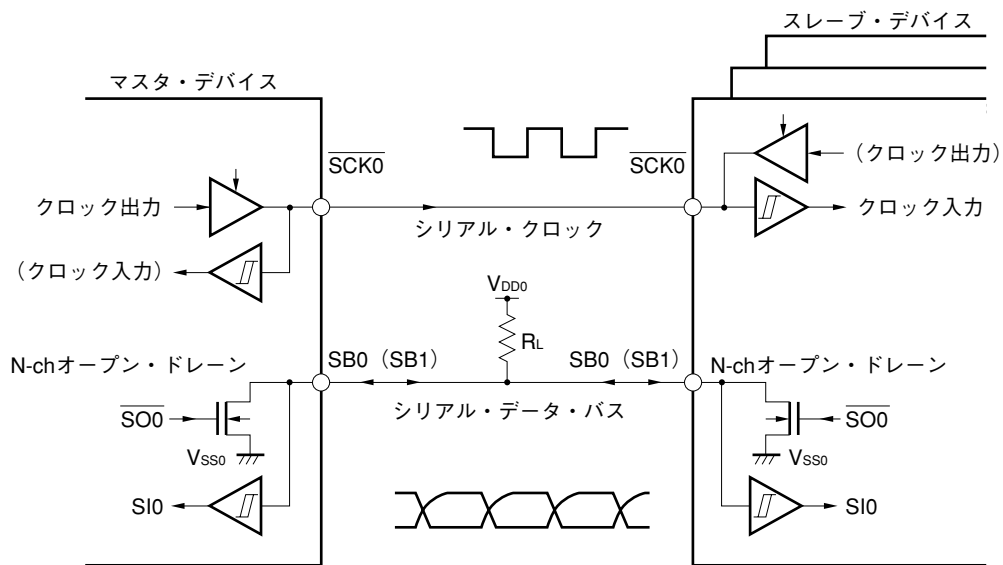
(5) 端子構成

シリアル・クロック端子 $\overline{\text{SCK0}}$ と、シリアル・データ・バス端子SB0(SB1)の構成は、次のようになっています。

- (a) $\overline{\text{SCK0}}$ …………… シリアル・クロックを入出力するための端子
- ① マスタ …… CMOS, プッシュプル出力
 - ② スレーブ … シュミット入力
- (b) SB0(SB1) …………… シリアル・データの入出力兼用端子
- マスタ, スレーブともに出力はN-chオープン・ドレイン, 入力はシュミット入力

シリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図16-26 端子構成図



注意 データ受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にする必要がありますので、シリアルI/Oシフト・レジスタ0 (SIO0)にはあらかじめFFHを書き込んでおいてください。転送中は常にハイ・インピーダンス状態にすることができます。

ただし、ウエイク・アップ機能指定ビット(WUP)=1の場合は、N-chオープン・ドレイン出力は常にハイ・インピーダンス状態となりますので、受信前に、SIO0にFFHを書き込む必要はありません。

(6) アドレスの一致検出方法

SBIモードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。スレーブ・アドレス・レジスタ(SVA)を備え、ウエイク・アップ機能指定ビット(WUP) = 1のとき、マスタから送信されたスレーブ・アドレスとSVAに設定したアドレスが一致したときのみ、CSIF0がセットされます。

なお、割り込みタイミング指定レジスタ(SINT)のビット5(SIC)がセット(1)されていると、WUPをセット(1)しても、ウエイク・アップ機能が動作しません(バス・リリース検出時に割り込み要求信号が発生します)。ウエイク・アップ機能使用時はSICを0にクリアしておいてください。

注意 1. スレーブの選択、非選択状態の検出は、バス・リリース(RELD = 1の状態)のあとに受信したスレーブ・アドレスの一致検出により行います。

この一致検出は、通常、WUP = 1の状態が発生するアドレスの一致割り込み要求(INTCSIO)を使用します。したがって、スレーブ・アドレスによる選択、非選択は、WUP = 1の状態で検出してください。

2. WUP = 0で、割り込み要求を使用せずに選択、非選択を検出する場合には、アドレスの一致検出による方法を使用せず、あらかじめプログラムで設定したコマンドの送受信で検出してください。

(7) エラーの検出

SBIモードでは、送信中のシリアル・バスSB0(SB1)の状態が送信しているデバイスのシリアルI/Oシフト・レジスタ0(SIO0)にも取り込まれるため、次の方法によって送信エラーを検出できます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したと判断します。

(b) スレーブ・アドレス・レジスタ(SVA)を利用する方法

送信データをSIO0とSVAにもセットし、送信を行います。送信終了後に、シリアル動作モード・レジスタ0(CSIM0)のCOIビット(アドレス・コンパレータからの一致信号)をテストし、“1”ならば正常な送信、“0”ならば送信エラーと判断します。

(8) 通信動作

SBIモードでは、マスタがシリアル・バス上に「アドレス」を出力することで複数のデバイスのうち、通信対象となるスレーブ・デバイスを通常1つ選択します。

通信対象デバイスを決定したのちに、マスタ・デバイスとスレーブ・デバイスとの間で、コマンド、データを送受信し、シリアル通信を実現します。

各データ通信のタイミング・チャートを図16-27から図16-30に示します。

シリアル・クロック ($\overline{\text{SCK0}}$) の立ち下がりに同期してシリアルI/Oシフト・レジスタ0 (SIO0) のシフト動作が行われます。そして送信データがSO0ラッチに、SB0/P25端子または、SB1/P26端子からMSBを先頭にして出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりでSB0(またはSB1)端子に入力された受信データがSIO0にラッチされます。

図16-27 マスタ・デバイスからスレーブ・デバイス(WUP = 1)へのアドレス送信動作

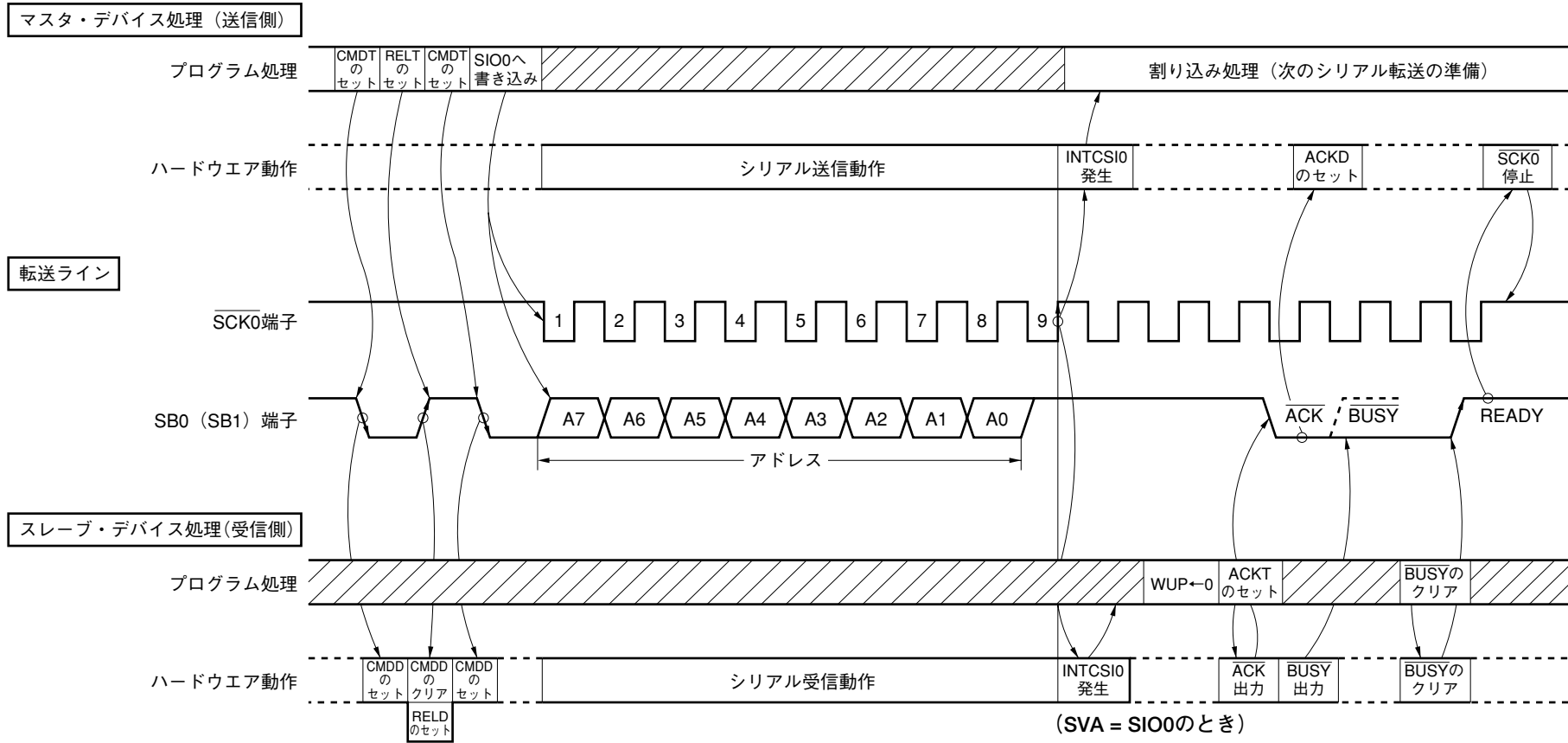


図16-28 マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作

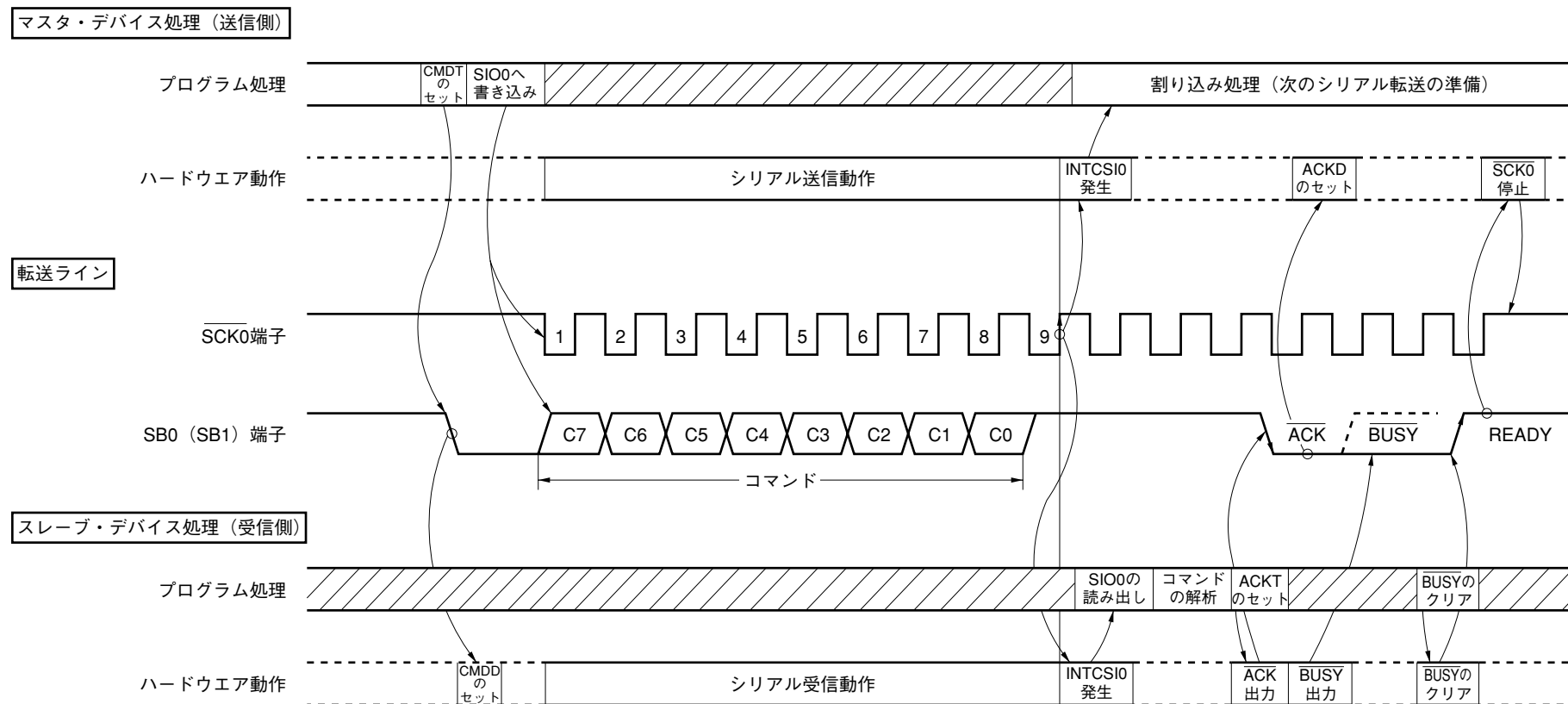


図16-29 マスタ・デバイスからスレーブ・デバイスへのデータ送信動作

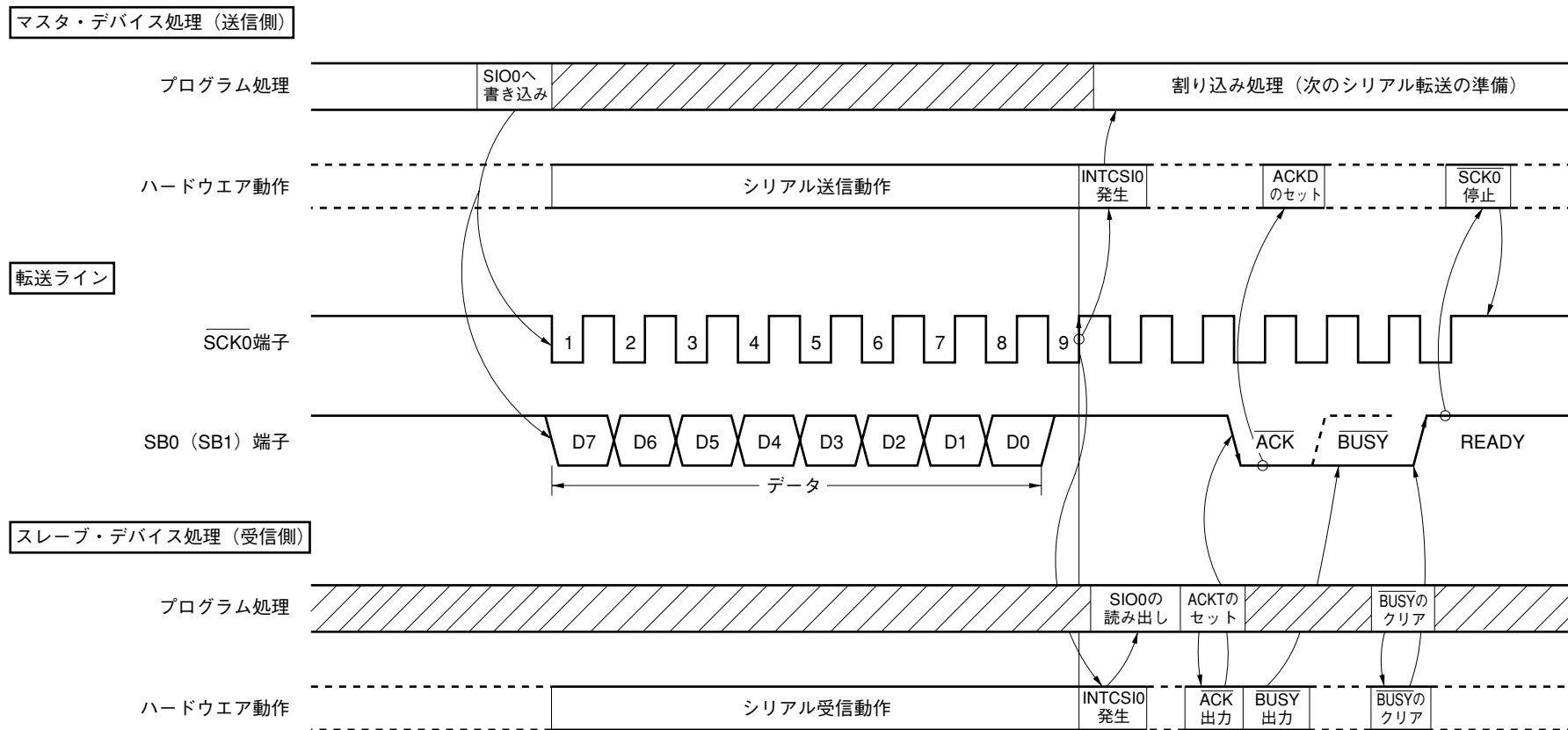
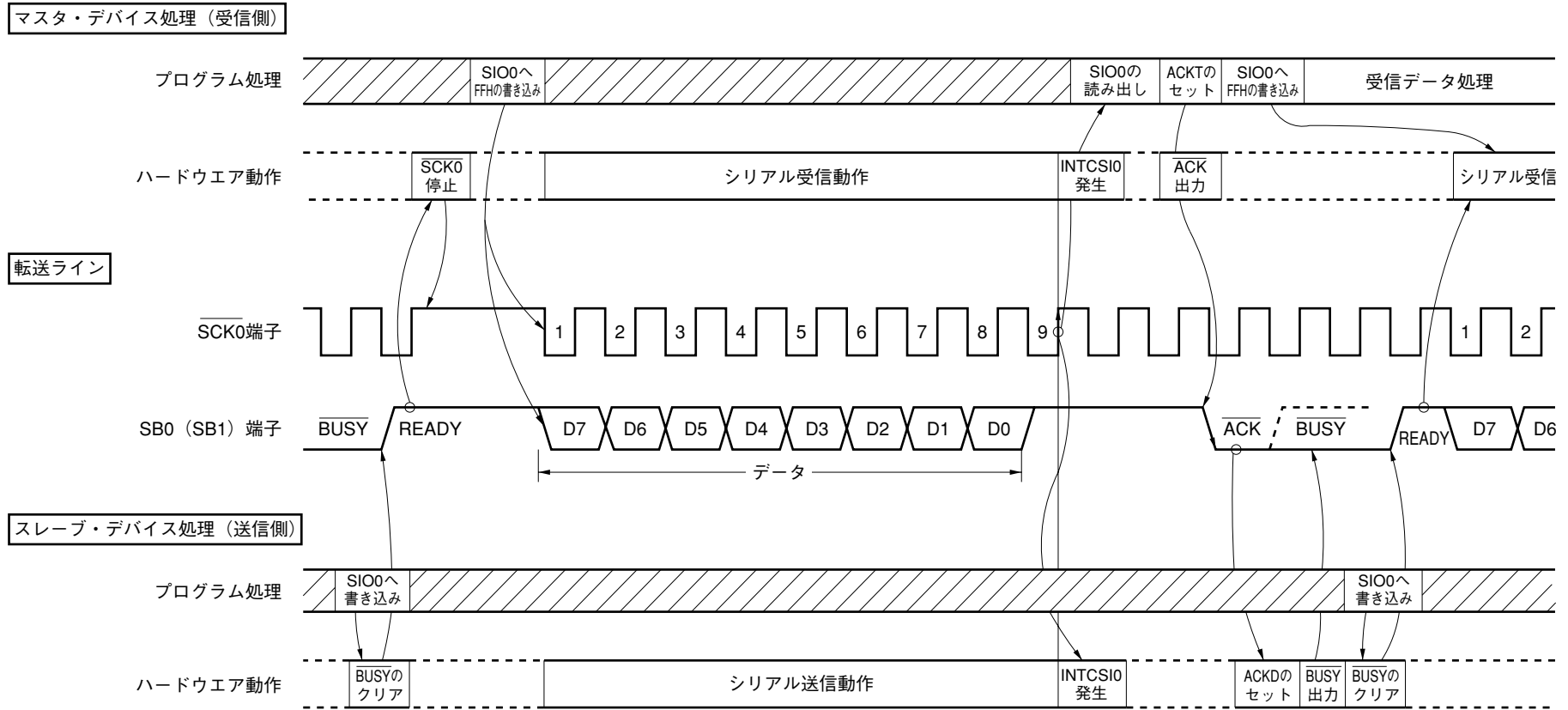


図16-30 スレーブ・デバイスからマスタ・デバイスへのデータ送信動作



(9) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0)=1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意1. SIO0にデータを書き込んだあと、CSIE0を“1”にしてもスタートはしません。

2. データ受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にする必要がありますので、SIO0にはあらかじめFFHを書き込んでおいてください。

ただし、ウエイク・アップ機能指定ビット(WUP)=1の場合は、N-chオープン・ドレイン出力は常にハイ・インピーダンス状態となりますので、受信前に、SIO0にFFHを書き込む必要はありません。

3. スレーブがビジー状態のときに、SIO0にデータを書き込んだ場合、そのデータは失われません。

ビジー状態が解除されて、SB0(またはSB1)入力がハイ・レベル(レディ)状態になったときに転送がスタートします。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIF0)をセットします。

なお、データの入出力として使用する端子には、 $\overline{\text{RESET}}$ 入力後、1バイト目のシリアル転送の前に、必ず次の設定をしてください。

- ① P25, P26の出力ラッチに1を設定する。
- ② シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット0 (RELT)に1を設定する。
- ③ 1を設定したP25, P26の出力ラッチに今度は0を設定する。

(10) スレーブのビジー状態の判別方法

デバイスがマスタ・モードのとき、スレーブがビジー状態かどうかは、次の手順で判断してください。

- ① アクノリッジ信号($\overline{\text{ACK}}$)または割り込み要求信号発生を検出する。
- ② SB0/P25(またはSB1/P26)端子のポート・モード・レジスタPM25(またはPM26)を入力モードにする。
- ③ 端子の状態を読み出す(端子の状態がハイ・レベルならば、レディ状態となっています)。

レディ状態検出後は、ポート・モード・レジスタに0を設定し、出力モードに戻してください。

(11) SBIモードの注意事項

(a) スレーブの選択、非選択状態の検出は、バス・リリース(RELD = 1の状態)のあとに受信したスレーブ・アドレスの一致検出により行います。

この一致検出は、通常、WUP = 1の状態が発生するアドレスの一致割り込み要求(INTCSI0)を使用します。したがって、スレーブ・アドレスによる選択、非選択の検出は、WUP = 1の状態を検出してください。

(b) WUP = 0で、割り込みを使用せずに選択、非選択を検出する場合には、アドレスの一致検出による方法を使用せず、あらかじめプログラムで設定したコマンドの送受信で検出してください。

(c) SBIでは、 $\overline{\text{BUSY}}$ の解除指示後、次のシリアル・クロックの立ち下がりまで $\overline{\text{BUSY}}$ 信号が出力されます。もし、誤ってこの期間にWUP = 1とすると、 $\overline{\text{BUSY}}$ が解除されなくなってしまいます。したがって、 $\overline{\text{BUSY}}$ を解除した後に、必ずSB0(SB1)端子がハイ・レベルになったことを確認してからWUP = 1としてください。

(d) データの入出力として使用する端子には、 $\overline{\text{RESET}}$ 入力後、1バイト目のシリアル転送の前に、必ず次の設定をしてください。

- ① P25, P26の出力ラッチに1を設定する。
- ② シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット0 (RELT)に1を設定する。
- ③ 1を設定したP25, P26の出力ラッチに今度は0を設定する。

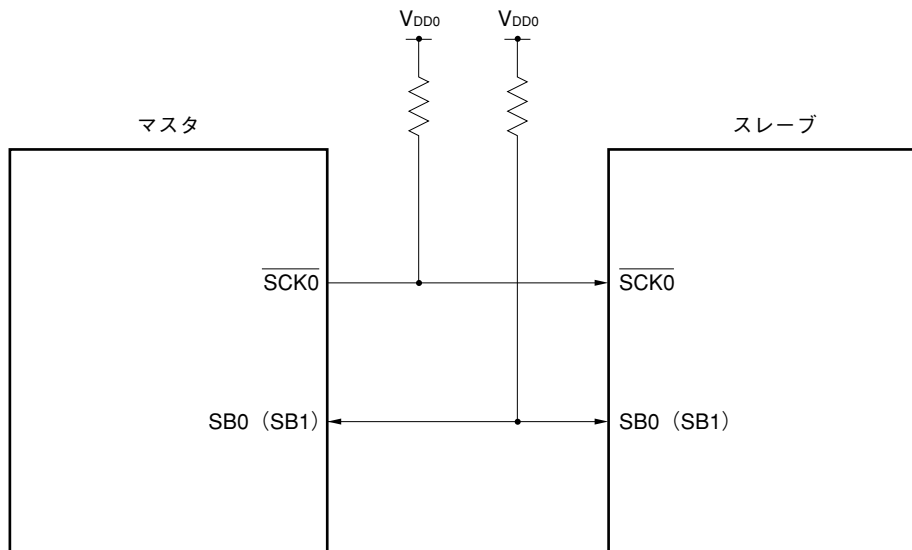
(e) $\overline{\text{SCK0}}$ ラインがハイ・レベルのときに、SB0(SB1)ラインがロウ・レベル→ハイ・レベル、あるいはハイ・レベル→ロウ・レベルに変化すると、バス・リリース信号あるいはコマンド信号と認識されます。したがって、基板容量などの影響でバスの変化タイミングにずれが生じると、データを送信しているにもかかわらず、バス・リリース信号(あるいはコマンド信号)と判断されてしまうことがあります。配線の引き直しには十分注意してください。

16.4.4 2線式シリアルI/Oモードの動作

2線式シリアルI/Oモードは、プログラムにより任意の通信フォーマットに対応できます。

基本的にはシリアル・クロック($\overline{\text{SCK0}}$)、シリアル・データ入力/出力(SB0またはSB1)の2本のラインで通信を行います。

図16-31 2線式シリアルI/Oによるシリアル・バス構成例



(1) レジスタの設定

2線式シリアルI/Oモードは、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)、割り込みタイミング指定レジスタ (SINT) で設定します。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択								
	0	×	SCK0端子への外部からの入力クロック								
	1	0	8ビット・タイマ・レジスタ2(TM2)の出力								
	1	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-3で指定されたクロック								

R/W	CSIM04	CSIM03	CSIM02	PM25	PM26	PM27	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25 端子の機能	SO0/SB1/P26 端子の機能	SCK0/P27 端子の機能	
	0	×	3線式シリアルI/Oモード(16.4.2 3線式シリアルI/Oモードの動作参照)											
	1	0	SBIモード(16.4.3 SBIモードの動作参照)											
	1	1	0	注2 ×	注2 ×	0	0	0	1	2線式シリアル I/Oモード	MSB	P25 (CMOS入出力)	SB1 [N-chオープン・ ドレイン入出力]	SCK0 [N-chオープン・ ドレイン入出力]
			1	0	0	注2 ×	注2 ×	0	1			SB0 [N-chオープン・ ドレイン入出力]	P26 (CMOS入出力)	

R/W	WUP	ウエイク・アップ機能の制御 ^{注3}									
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生									
	1	SBIモード時、バス・リリース後(CMDD = RELD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタ(SVA)のデータと一致したとき、割り込み要求信号を発生									

R	COI	スレーブ・アドレス比較結果フラグ ^{注4}									
	0	スレーブ・アドレス・レジスタ(SVA)とシリアルI/Oシフト・レジスタ0(SIO0)のデータが一致しない									
	1	スレーブ・アドレス・レジスタ(SVA)とシリアルI/Oシフト・レジスタ0(SIO0)のデータが一致する									

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御									
	0	動作停止									
	1	動作許可									

注1. ビット6(COI)は、Read Onlyです。

2. ポート機能として自由に使用できます。

3. 2線式シリアルI/Oモード使用時は必ずWUPに0を設定してください。

4. CSIE0 = 0のとき、COIは0になります。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	④	③	②	①	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT			FF61H	00H	R/W

R/W	RELT	RELT = 1により、SO0ラッチがセット(1)される。SO0ラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R/W	CMDT	CMDT = 1により、SO0ラッチがクリア(0)される。SO0ラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

CSIE0：シリアル動作モード・レジスタ0 (CSIM0)のビット7

(c) 割り込みタイミング指定レジスタ(SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

略号	7	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	0	0	0	0	FF63H	00H	R/W ^{注1}

R/W	SIC	INTCSI0の割り込み要因の選択
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIF0をセットする
	1	シリアル・インタフェース・チャンネル0の転送終了時またはバス・リリース検出時にCSIF0をセットする

R	CLD	$\overline{\text{SCK0/P27}}$ 端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

注意 ビット0-3には、必ず0を設定してください。

注1. ビット6 (CLD)は、Read Onlyです。

2. CSIE0 = 0のとき、CLDは0になります。

備考 CSIF0：INTCSI0に対応する割り込み要求フラグ

CSIE0：シリアル動作モード・レジスタ0 (CSIM0)のビット7

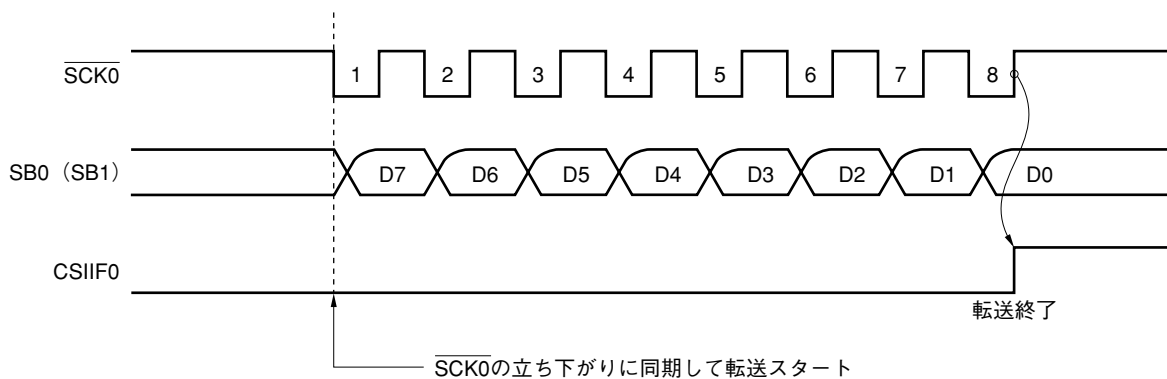
(2) 通信動作

2線式シリアルI/Oモードは、8ビット単位でデータを送受信します。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアルI/Oシフト・レジスタ0 (SIO0)のシフト動作は、シリアル・クロック($\overline{\text{SCK0}}$)の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SB0/P25(またはSB1/P26)端子からMSBを先頭にして出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりで、SB0(またはSB1)端子から入力された受信データがSIO0にラッチされます。

8ビット転送終了により、SIO0の動作は自動的に停止し、割り込み要求フラグ(CSIF0)がセットされます。

図16-32 2線式シリアルI/Oモードのタイミング



シリアル・データ・バスに指定されたSB0(SB1)端子は、N-chオープン・ドレイン入出力となりますので、外部でプルアップする必要があります。また、データの受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にさせる必要があるため、SIO0にはあらかじめFFHを書き込んでおきます。

SB0(またはSB1)端子は、SO0ラッチの状態を出力しますので、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット0 (RELT)、ビット1 (CMDT)のセットによって、SB0(またはSB1)端子の出力状態を操作できます。

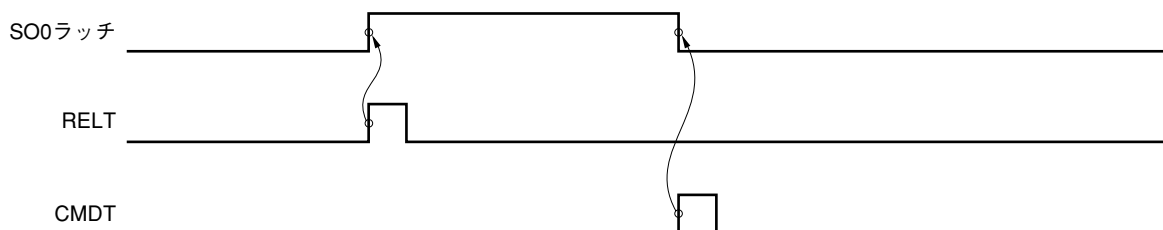
ただし、シリアル転送中にはこの操作を行わないでください。

$\overline{\text{SCK0}}$ 端子の出力レベルは、出力モード(内部システム・クロックのモード)時に、P27出力ラッチを操作して制御します(16.4.5 $\overline{\text{SCK0}}$ /P27端子出力の操作を参照)。

(3) 各種信号

図16-33にRELT, CMDTの動作を示します。

図16-33 RELT, CMDTの動作



(4) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアル/I/Oシフト・レジスタ0 (SIO0)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0)=1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意1. SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

2. データ受信時にはN-chオープン・ドレインをハイ・インピーダンス状態にする必要がありますので、SIO0にはあらかじめFFHを書き込んでおいてください。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIF0)をセットします。

(5) エラーの検出

2線式シリアル/I/Oモードでは、送信中のシリアル・バスSB0(SB1)の状態が送信しているデバイスのシリアル/I/Oシフト・レジスタ0 (SIO0)にも取り込まれるため、次の方法によって送信エラーを検出できます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したと判断します。

(b) スレーブ・アドレス・レジスタ(SVA)を利用する方法

送信データをSIO0とSVAにもセットし、送信を行います。送信終了後に、シリアル動作モード・レジスタ0 (CSIM0)のCOIビット(アドレス・コンパレータからの一致信号)をテストし、“1”ならば正常な送信、“0”ならば送信エラーと判断します。

16.4.5 $\overline{\text{SCK0}}$ /P27端子出力の操作

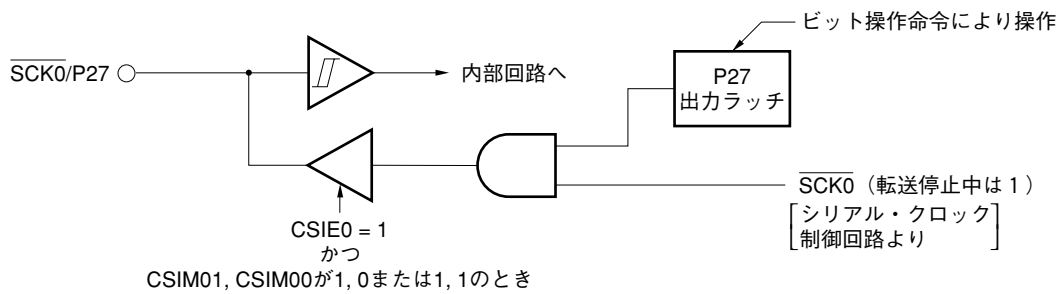
$\overline{\text{SCK0}}$ /P27端子には、出力ラッチが内蔵されているため、通常のシリアル・クロック以外に、ソフトウェア操作によりスタティック出力も可能です。

また、P27出力ラッチの操作により $\overline{\text{SCK0}}$ の値をソフトウェアで任意に設定できます(SI0/SB0, SO0/SB1端子はシリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット0, 1 (RELT, CMDT)によって制御します)。

次に、 $\overline{\text{SCK0}}$ /P27端子出力の操作方法を示します。

- ① シリアル動作モード・レジスタ0 (CSIM0)を設定します($\overline{\text{SCK0}}$ 端子：出力モード、シリアル動作：可能状態)。シリアル転送停止中では $\overline{\text{SCK0}} = 1$ となっています。
- ② P27出力ラッチを、ビット操作命令により操作します。

図16-34 $\overline{\text{SCK0}}$ /P27端子の構成



第17章 シリアル・インタフェース・チャンネル0 (μ PD780058Yサブシリーズ)

μ PD780058Yサブシリーズは、シリアル・インタフェースを3チャンネル内蔵しています。チャンネル0、チャンネル1、チャンネル2の違いは次のとおりです(シリアル・インタフェース・チャンネル1の詳細は、第18章 シリアル・インタフェース・チャンネル1を、シリアル・インタフェース・チャンネル2の詳細は、第19章 シリアル・インタフェース・チャンネル2を参照してください)。

表17-1 チャンネル0, チャンネル1, チャンネル2の違い

シリアル転送モード		チャンネル0	チャンネル1	チャンネル2
3線式シリアルI/O	クロック選択	$f_{xx}/2, f_{xx}/2^2, f_{xx}/2^3, f_{xx}/2^4, f_{xx}/2^5, f_{xx}/2^6, f_{xx}/2^7, f_{xx}/2^8,$ 外部クロック, TO2出力	$f_{xx}/2, f_{xx}/2^2, f_{xx}/2^3, f_{xx}/2^4, f_{xx}/2^5, f_{xx}/2^6, f_{xx}/2^7, f_{xx}/2^8,$ 外部クロック, TO2出力	外部クロック, ポーレート・ジェネレータ出力
	転送方式	MSB先頭/LSB先頭の 切り替え可能	MSB先頭/LSB先頭の 切り替え可能 自動送受信機能内蔵	MSB先頭/LSB先頭の 切り替え可能
	転送終了フラグ	シリアル転送終了割り込み 要求フラグ(CSIF0)	シリアル転送終了割り込み 要求フラグ(CSIF1)	シリアル転送終了割り込み 要求フラグ(SRIF)
2線式シリアルI/O		使用可能	なし	なし
I ² Cバス(Inter IC Bus)				
UART (アシンクロナス・シリアル・インタフェース)		なし		使用可能 時分割転送機能内蔵

17.1 シリアル・インタフェース・チャンネル0の機能

シリアル・インタフェース・チャンネル0には、次の4種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・2線式シリアルI/Oモード
- ・I²C (Inter IC)バス・モード

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード（3線式シリアルI/O／2線式シリアルI/O／I²Cバス）を切り替えしないでください。動作モードは、いったんシリアル動作を停止させたのちに切り替えてください。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{\text{SCK0}}$)、シリアル出力 (SO0)、シリアル入力 (SI0) の3本のラインにより、8ビット・データを転送するモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

(3) 2線式シリアルI/Oモード (MSB先頭)

シリアル・クロック ($\overline{\text{SCK0}}$) と、シリアル・データ・バス (SB0またはSB1) の2本のラインにより、8ビット・データを転送するモードです。

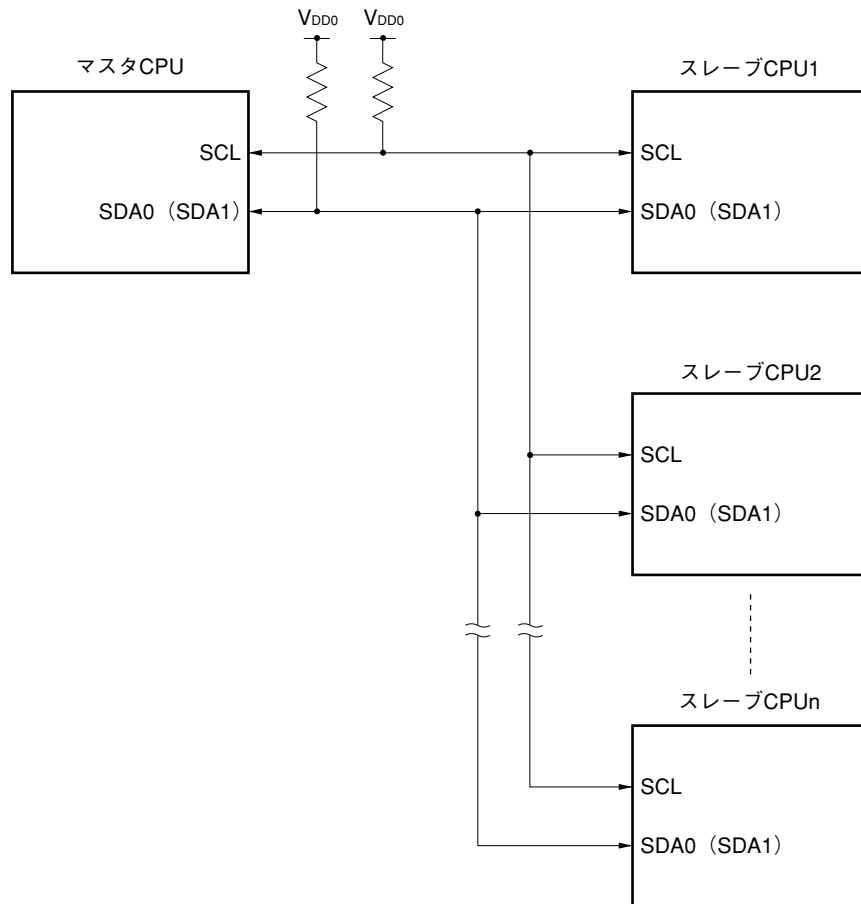
$\overline{\text{SCK0}}$ と、SB0またはSB1の出力レベルをソフトウェアで制御することにより、任意のデータ転送のフォーマットに対応できます。したがって、従来、複数デバイスを接続するときに必要になったハンドシェイクのためのラインを削除でき、入出力ポートの有効活用ができます。

(4) I²Cバス・モード (MSB先頭)

シリアル・クロック(SCL)と、シリアル・データ・バス(SDA0またはSDA1)の2本のラインにより、複数のデバイスと8ビット・データを転送するモードです。

I²Cバス・フォーマットに準拠しており、送信時、シリアル・データ・バス上に“スタート・コンディション”、“データ”、および“ストップ・コンディション”を出力できます。また、受信時には、これらのデータをハードウェアにより自動的に検出します。

図17-1 I²Cバスによるシリアル・バス構成例



17.2 シリアル・インタフェース・チャンネル0の構成

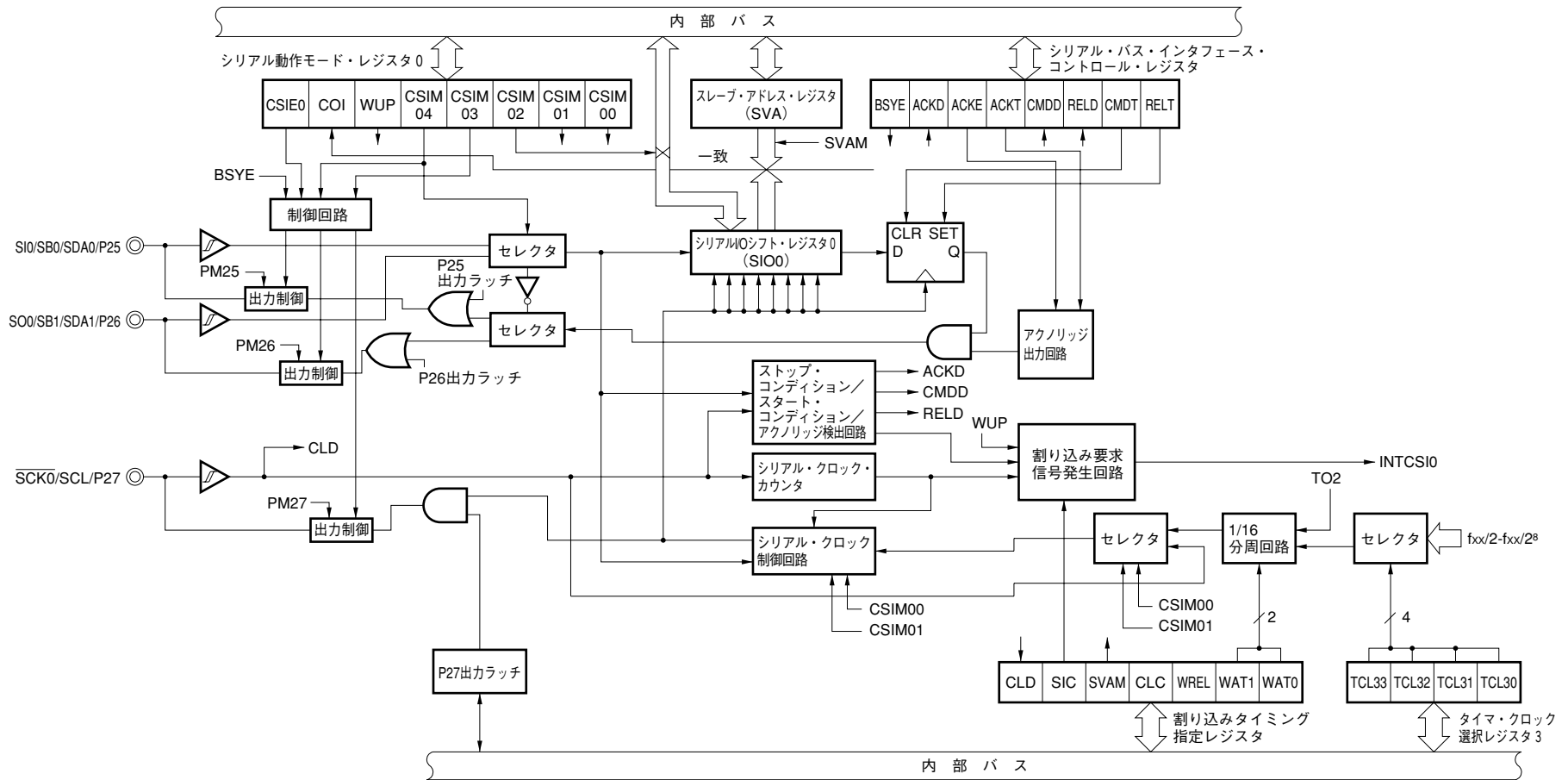
シリアル・インタフェース・チャンネル0は、次のハードウェアで構成しています。

表17-2 シリアル・インタフェース・チャンネル0の構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ0 (SIO0) スレーブ・アドレス・レジスタ(SVA)
制御レジスタ	タイマ・クロック選択レジスタ3 (TCL3) シリアル動作モード・レジスタ0 (CSIM0) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC) 割り込みタイミング指定レジスタ(SINT) ポート・モード・レジスタ2 (PM2) ^注

注 図6-7 P20, P21, P23-P26のブロック図, 図6-8 P22, P27のブロック図を参照してください。

図17-2 シリアル・インタフェース・チャンネル0のブロック図



備考 出力制御は、CMOS出力にするか、N-chオープン・ドレイン出力にするかを選択します。

(1) シリアルI/Oシフト・レジスタ0 (SIO0)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信(シフト動作)を行う8ビット・レジスタです。

SIO0は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ0 (CSIM0)のビット7 (CSIE0)が1のとき、SIO0にデータを書き込むことにより、シリアル動作が開始されます。

送信時は、SIO0に書き込まれたデータが、シリアル出力(SO0)またはシリアル・データ・バス(SB0/SB1)に出力されます。受信時は、データがシリアル入力(SI0)またはSB0/SB1からSIO0に読み込まれます。

なお、2線式シリアルI/Oモード、I²Cバス・モードのバス構成は、入力端子と出力端子が兼用です。したがって、これから受信を行おうとするデバイスは、あらかじめ送信用N-chトランジスタをオフさせる必要があります。このため、2線式シリアルI/Oモードでは、SIO0にFFHを書き込んでおいてください。I²Cバス・モードでは、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット7 (BSYE)に1を設定し、SIO0にFFHを書き込んでおいてください。

SIO0は、 $\overline{\text{RESET}}$ 入力により、不定になります。

注意 I²Cバス・モード時、WUP (シリアル動作モード・レジスタ0 (CSIM0)のビット5) = 1の期間にSIO0への書き込み命令を実行しないでください。SIO0への書き込み命令を実行しなくても、ウエイク・アップ機能使用時 (WUP = 1) にデータ受信は可能です。ウエイク・アップ機能については、17.4.4 (1) (c) ウエイク・アップ機能を参照してください。

(2) スレーブ・アドレス・レジスタ (SVA)

スレーブ・デバイスとしてシリアル・バスに接続するときに、そのスレーブ・アドレス値をセットするための8ビット・レジスタです。3線式シリアルI/Oモードでは使用できません。

SVAは、8ビット・メモリ操作命令で設定します。

マスタは接続されているスレーブに対して、特定のスレーブを選択するためのスレーブ・アドレスを出力します。アドレス・コンパレータによりこれらの2つのデータ(マスタから出力されたスレーブ・アドレスとSVAの値)を比較して、一致すると、そのスレーブが選択されたこととなります。このとき、シリアル動作モード・レジスタ0 (CSIM0)のビット6 (COI)が1になります。

また、割り込みタイミング指定レジスタ(SINT)のビット4 (SVAM)をセット(1)することにより、LSBをマスクした上位7ビットのデータで、アドレスを比較することもできます。

アドレス受信時に一致が検出されなければ、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット2 (RELD)は0にクリアされます。なお、I²Cバス・モード時、CSIM0のビット5 (WUP)をセット(1)することにより、ウエイク・アップ機能が使用できます。この場合、マスタから出力されたスレーブ・アドレスとSVAの値が一致したとき、割り込み要求信号(INTCSIO)が発生します(ストップ・コンディション検出時にも割り込み要求信号が発生します)。この割り込み要求によりマスタから通信要求があったことを知ることができます。なお、ウエイク・アップ機能使用時はSICを1にセットしておいてください。

さらに、2線式シリアルI/Oモード時またはI²Cバス・モード時で、マスタまたはスレーブとして送信するとき、SVAを利用してエラーを検出できます。。

SVAは、 $\overline{\text{RESET}}$ 入力により、不定になります。

(3) SO0ラッチ

SI0/SB0/SDA0/P25, SO0/SB1/SDA1/P26端子レベルを保持するラッチです。ソフトウェアにより、直接制御することもできます。

(4) シリアル・クロック・カウンタ

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8ビット・データが送受信されたことを調べます。

(5) シリアル・クロック制御回路

シリアルI/Oシフト・レジスタ0 (SIO0)へのシリアル・クロックの供給を制御します。また、内部システム・クロック使用時は、 $\overline{\text{SCK0/SCL/P27}}$ 端子へ出力するクロックも制御します。

(6) 割り込み要求信号発生回路

割り込み要求信号の発生を制御します。割り込みタイミング指定レジスタ(SINT)のビット0, 1 (WAT0, WAT1), シリアル動作モード・レジスタ0 (CSIM0)のビット5 (WUP)の設定により、表17-3のように割り込み要求信号を発生します。

(7) アクノリッジ出力回路, ストップ・コンディション/スタート・コンディション/アクノリッジ検出回路

I²Cバス・モード時に各種制御信号の出力および検出を行います。

3線式シリアルI/Oモード時および2線式シリアルI/Oモード時には、動作しません。

表17-3 シリアル・インタフェース・チャンネル0の割り込み要求信号の発生

シリアル転送モード	BSYE	WUP	WAT1	WAT0	ACKE	説明
3線式シリアルI/Oモード または 2線式シリアルI/Oモード	0	0	0	0	0	シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します。
	上記以外					設定禁止
I ² Cバス・モード(送信時)	0	0	1	0	0	シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します(8クロック・ウエイト)。 通常、送信時にWAT1, WAT0 = 1, 0とする設定は使用しません。ソフトウェアで受信時と処理を体系的にそろえたい場合にのみ使用します。 ACK情報は受信側が生成するため、ACKEは0(禁止)の設定にします。
			1	1	0	シリアル・クロックを9回カウントするごとに割り込み要求信号を発生します(9クロック・ウエイト)。 ACK情報は受信側が生成するため、ACKEは0(禁止)の設定にします。
	上記以外					設定禁止
I ² Cバス・モード(受信時)	1	0	1	0	0	シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します(8クロック・ウエイト)。 ACK情報は、割り込み要求信号発生後にソフトウェアでACKTを操作して出力します。
			1	1	0/1	シリアル・クロックを9回カウントするごとに割り込み要求信号を発生します(9クロック・ウエイト)。 ACK情報を自動的に生成するため、転送開始前にACKEに1(許可)を設定しておきます。ただしマスタの場合、最後のデータを受信する前に0(禁止)にします。
	1	1	1	1	1	アドレス受信後、シリアルI/Oシフト・レジスタ0(SIO0)とスレーブ・アドレス・レジスタ(SVA)の値が一致したとき、およびストップ・コンディション検出時に割り込み要求信号を発生します。 ACK情報を自動的に生成するため、転送開始前にACKEを1(許可)に設定しておきます。
	上記以外					設定禁止

備考 BSYE：シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット7

ACKE：シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット5

17.3 シリアル・インタフェース・チャンネル0を制御するレジスタ

シリアル・インタフェース・チャンネル0は、次の4種類のレジスタで制御します。

- ・ タイマ・クロック選択レジスタ3 (TCL3)
- ・ シリアル動作モード・レジスタ0 (CSIM0)
- ・ シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)
- ・ 割り込みタイミング指定レジスタ (SINT)

(1) タイマ・クロック選択レジスタ3 (TCL3)

シリアル・インタフェース・チャンネル0のシリアル・クロックを設定するレジスタです。

TCL3は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、88Hになります。

図17-3 タイマ・クロック選択レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL3	TCL37	TCL36	TCL35	TCL34	TCL33	TCL32	TCL31	TCL30	FF43H	88H	R/W

TCL33	TCL32	TCL31	TCL30	シリアル・インタフェース・チャンネル0のシリアル・クロックの選択					
				I ² Cバス・モード時のシリアル・クロック		3線式シリアルI/Oモード時または2線式シリアルI/Oモード時のシリアル・クロック			
					MCS = 1	MCS = 0		MCS = 1	MCS = 0
0	1	1	0	$f_{xx}/2^5$	設定禁止	$f_x/2^6$ (78.1 kHz)	$f_{xx}/2$	設定禁止	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.77 kHz)	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.77 kHz)	$f_x/2^{10}$ (4.88 kHz)	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.88 kHz)	$f_x/2^{11}$ (2.44 kHz)	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.44 kHz)	$f_x/2^{12}$ (1.22 kHz)	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^{12}$	$f_x/2^{12}$ (1.22 kHz)	$f_x/2^{13}$ (0.61 kHz)	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
上記以外				設定禁止					

TCL37	TCL36	TCL35	TCL34	シリアル・インタフェース・チャンネル1のシリアル・クロックの選択		
					MCS = 1	MCS = 0
0	1	1	0	$f_{xx}/2$	設定禁止	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
上記以外				設定禁止		

注意 TCL3を同一データ以外に書き換える場合は、いったんシリアル転送を停止させたのちに書き換えてください。

- 備考1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
 2. f_x : メイン・システム・クロック発振周波数
 3. MCS : 発振モード選択レジスタ(OSMS)のビット0
 4. ()内は、 $f_x = 5.0$ MHz動作時。

(2) シリアル動作モード・レジスタ0 (CSIM0)

シリアル・インタフェース・チャンネル0のシリアル・クロック、動作モード、動作の許可/停止、ウェイク・アップ機能の設定とアドレス・コンパレータの一致信号を表示するレジスタです。

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード（3線式シリアルI/O/2線式シリアルI/O/I²Cバス）を切り替えないでください。動作モードは、いったんシリアル動作を停止させたのちに切り替えてください。

図17-4 シリアル動作モード・レジスタ0のフォーマット(1/2)

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	×	SCK0/SCL端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2(TM2)の出力 ^{注2}
	1	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-3で指定されたクロック

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/ P25端子の機能	SO0/SB1/SDA1/ P26端子の機能	$\overline{\text{SCK0/SCL}}$ / P27端子の機能
	0	×	0	^{注3} 1	^{注3} ×	0	0	0	1	3線式シリアル I/Oモード	MSB LSB	SI0 ^{注3} (入力)	SO0 (CMOS出力)	$\overline{\text{SCK0}}$ (CMOS入出力)
	1	1	0	^{注4} ×	^{注4} ×	0	0	0	1	2線式シリアル I/Oモード または I ² Cバス・モード	MSB	P25 (CMOS入出力)	SB1/SDA1 (Nchオープン・ ドレイン入出力)	$\overline{\text{SCK0/SCL}}$ (Nchオープン・ ドレイン入出力)
			1	0	0	^{注4} ×	^{注4} ×	0	1			SB0/SDA0 (Nchオープン・ ドレイン入出力)	P26 (CMOS入出力)	

注1. ビット6 (COI)は、Read Onlyです。

2. I²Cバス・モード時、クロックはTO2が出力するクロック周波数の1/16となります。

3. 送信のみ使用するときは、P25(CMOS入出力)として使用できます。

4. ポート機能として自由に使用できます。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

図17-4 シリアル動作モード・レジスタ0のフォーマット(2/2)

R/W	WUP	ウェイク・アップ機能の制御 ^{注1}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	I ² Cバス・モード時、スタート・コンディション検出後(CMDD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタ(SVA)のデータと一致したとき、割り込み要求信号を発生
R	COI	スレーブ・アドレス比較結果フラグ ^{注2}
	0	スレーブ・アドレス・レジスタ(SVA)とシリアルI/Oシフト・レジスタ0(SIO0)のデータが一致しない
	1	スレーブ・アドレス・レジスタ(SVA)とシリアルI/Oシフト・レジスタ0(SIO0)のデータが一致する
R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

注1. ウェイク・アップ機能を使用(WUP = 1)するときは、割り込みタイミング指定レジスタ(SINT)のビット5(SIC)に1を設定してください。また、WUP = 1の期間にシリアルI/Oシフト・レジスタ0(SIO0)への書き込み命令を実行しないでください。

2. CSIE0 = 0のとき、COIは0になります。

(3) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

シリアル・バス・インタフェースの動作の設定とステータスを表示するレジスタです。
 SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 RESET入力により、00Hになります。

図17-5 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット(1/2)

略号	⑦	⑥	⑤	④	③	②	①	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT			FF61H	00H	R/W ^注
R/W	RELT	ストップ・コンディション出力のために使用する。 RELT = 1により、SO0ラッチがセット(1)される。SO0ラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。											
R/W	CMDT	スタート・コンディション出力のために使用する。 CMDT = 1により、SO0ラッチがクリア(0)される。SO0ラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。											
R	RELD	ストップ・コンディション検出											
		クリアされる条件(RELD = 0)						セットされる条件(RELD = 1)					
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・アドレス受信時にSIO0とSVAの値が一致しないとき ・CSIE0 = 0のとき ・RESET入力時 						<ul style="list-style-type: none"> ・ストップ・コンディション検出時 					
R	CMDD	スタート・コンディション検出											
		クリアされる条件(CMDD = 0)						セットされる条件(CMDD = 1)					
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・ストップ・コンディション検出時 ・CSIE0 = 0のとき ・RESET入力時 						<ul style="list-style-type: none"> ・スタート・コンディション検出時 					
R/W	ACKT	セット命令(ACKT = 1)実行直後から次のSCLの立ち下がりまでSDA0(SDA1)をロウ・レベルにする。 8クロック・ウェイト選択時に、ソフトウェアでACK信号を生成するために使用する。 シリアル・インタフェースの転送開始、CSIE0 = 0のときクリア(0)される。											

注 ビット2, 3, 6 (RELD, CMDD, ACKD)は、Read Onlyです。

備考 CSIE0：シリアル動作モード・レジスタ0 (CSIM0)のビット7

図17-5 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット(2/2)

R/W	ACKE	アクノリッジ信号の自動出力の制御 ^{注1}	
	0	アクノリッジ信号の自動出力禁止(ACKTによる出力は可能)。 送信時または8クロック・ウェイト選択時で受信の場合に使用する。 ^{注2}	
	1	アクノリッジ信号の自動出力許可。 SCLの9クロック目の立ち下がりエッジに同期して、アクノリッジ信号を出力する(ACKE = 1により、自動出力される)。出力後、自動的にクリア(0)されない。 9クロック・ウェイト選択時で受信の場合に使用する。	
R	ACKD	アクノリッジ検出	
		クリアされる条件(ACKD = 0)	セットされる条件(ACKD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・CSIE0 = 0のとき ・$\overline{\text{RESET}}$入力時 	<ul style="list-style-type: none"> ・転送完了後のSCLのクロックの立ち上がりエッジでアクノリッジ信号検出時
R/W	BSYE ^{注3}	I ² Cバス・モード時の送信用N-chオープン・ドレイン出力の制御 ^{注4}	
	0	出力許可(送信)	
	1	出力禁止(受信)	

注1. 転送開始前に設定してください。

2. 8クロック・ウェイト選択時では、受信時のアクノリッジ信号はACKTを用いて出力してください。
3. シリアル・インタフェースの転送開始、またはアドレス信号受信によってウェイト状態を解除できません。ただし、BSYEはクリア(0)されません。
4. ウェイク・アップ機能を使用するときには、必ずBSYEに1を設定してください。

備考 CSIE0: シリアル動作モード・レジスタ0(CSIM0)のビット7

(4) 割り込みタイミング指定レジスタ (SINT)

割り込み、ウエイト、クロック・レベルの制御、アドレス・マスク機能の設定および $\overline{\text{SCK0}}$ /SCL端子のレベルの状態を表示するレジスタです。

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図17-6 割り込みタイミング指定レジスタのフォーマット(1/2)

略号	7	⑥	⑤	④	③	②	1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	CLC	WREL	WAT1	WAT0	FF63H	00H	R/W ^{注1}

R/W	WAT1	WAT0	ウエイトおよび割り込みの制御
	0	0	$\overline{\text{SCK0}}$ の8クロック目の立ち上がりで割り込み処理要求を発生する(クロック出力はハイ・インピーダンス)。
	0	1	設定禁止
	1	0	I ² Cバス・モード時に使用する(8クロック・ウエイト)。 SCLの8クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、8クロック出力後、SCL出力をロウ・レベルにしてウエイトする。スレーブの場合、8クロック入力後、SCL端子をロウ・レベルにしてウエイト要求する)。
	1	1	I ² Cバス・モード時に使用する(9クロック・ウエイト)。 SCLの9クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、9クロック出力後、SCL出力をロウ・レベルにしてウエイトする。スレーブの場合、9クロック入力後、SCL端子をロウ・レベルにしてウエイト要求する)。

R/W	WREL	ウエイト解除の制御
	0	ウエイト解除状態
	1	ウエイト状態を解除する。 解除後自動的にクリア(0)される(WAT0, WAT1によるウエイト状態の解除に使用する)。

R/W	CLC	クロック・レベルの制御 ^{注2}
	0	I ² Cバス・モード時に使用する。 シリアル転送時以外の場合、SCL端子の出力レベルをロウ・レベルにする。
	1	I ² Cバス・モード時に使用する。 シリアル転送時以外の場合、SCL端子の出力レベルをハイ・インピーダンスにする(クロック・ラインはハイ・レベル)。 マスタがスタート/ストップ・コンディションを生成するために使用する。

注1. ビット6 (CLD)は、Read Onlyです。

2. I²Cバス・モードを使用しない場合は、CLCに0を設定してください。

図17-6 割り込みタイミング指定レジスタのフォーマット(2/2)

R/W	SVAM	スレーブ・アドレスとして使用するSVAのビット
	0	ビット0-7
	1	ビット1-7
R/W	SIC	INTCSI0の割り込み要因の選択 ^{注1}
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIIF0をセット(1)する。
	1	シリアル・インタフェース・チャンネル0の転送終了時、またはストップ・コンディション検出時にCSIIF0をセット(1)する。
R	CLD	$\overline{\text{SCK0/SCL}}$ 端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

注1. I²Cバス・モードでウェイク・アップ機能を使用するときは、SICに1を設定してください。

2. CSIE0 = 0のとき、CLDは0になります。

備考 SVA : スレーブ・アドレス・レジスタ

CSIIF0 : INTCSI0に対応する割り込み要求フラグ

CSIE0 : シリアル動作モード・レジスタ0 (CSIM0)のビット7

17.4 シリアル・インタフェース・チャンネル0の動作

シリアル・インタフェース・チャンネル0の動作モードには、次の4種類があります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・2線式シリアルI/Oモード
- ・I²C (Inter IC)バス・モード

17.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。また、シリアルI/Oシフト・レジスタ0 (SIO0)もシフト動作を行いませんので、通常の8ビット・レジスタとして使用できます。

また、動作停止モードでは、P25/SI0/SB0/SDA0, P26/SO0/SB1/SDA1, P27/ $\overline{\text{SCK0}}$ /SCL端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードは、シリアル動作モード・レジスタ0 (CSIM0)で設定します。

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

17.4.2 3線式シリアルI/Oモードの動作

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック($\overline{\text{SCK0}}$)、シリアル出力(SO0)、シリアル入力(SI0)の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードは、シリアル動作モード・レジスタ0(CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)で設定します。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択								
	0	×	SCK0端子への外部からの入力クロック								
	1	0	8ビット・タイマ・レジスタ2(TM2)の出力								
	1	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-3で指定されたクロック								

R/W	CSIM04	CSIM03	CSIM02	PM25	PM25	PM26	PM26	PM27	PM27	動作モード	先頭ビット	SIO/SB0/SDA0/ P25端子の機能	SO0/SB1/SDA1/ P26端子の機能	SCK0/SCL/ P27端子の機能
	0	×	0	注2 1	注2 ×	0	0	0	1	3線式シリアル I/Oモード	MSB LSB	SIO ^{注2} (入力)	SO0 (CMOS出力)	SCK0 (CMOS入出力)
	1	1	2線式シリアルI/Oモード(17.4.3 2線式シリアルI/Oモードの動作参照) または I ² Cバス・モード(17.4.4 I ² Cバス・モードの動作参照)											

R/W	WUP	ウエイク・アップ機能の制御 ^{注3}									
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生									
	1	I ² Cバス・モード時、スタート・コンディション検出後(CMDD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタ(SVA)のデータと一致したとき、割り込み要求信号を発生									

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御									
	0	動作停止									
	1	動作許可									

注1. ビット6(COI)は、Read Onlyです。

2. 送信のみ使用するときは、P25(CMOS入出力)として使用できます。

3. 3線式シリアルI/Oモード使用時は必ずWUPに0を設定してください。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	④	③	②	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT		FF61H	00H	R/W

R/W	RELT	RELT = 1により、SO0ラッチがセット(1)される。SO0ラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R/W	CMDT	CMDT = 1により、SO0ラッチがクリア(0)される。SO0ラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

CSIE0：シリアル動作モード・レジスタ0 (CSIM0)のビット7

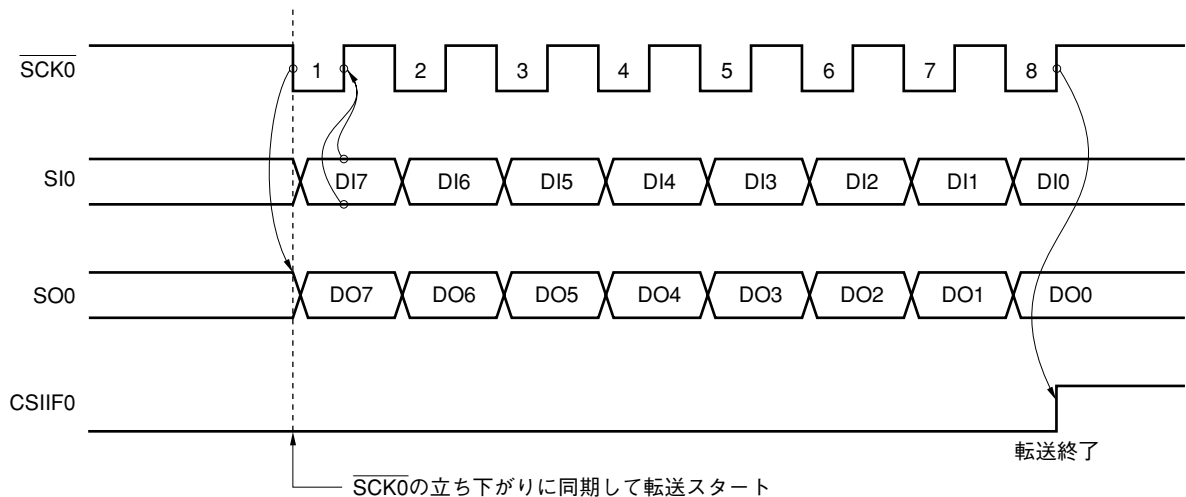
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアルI/Oシフト・レジスタ0 (SIO0)のシフト動作は、シリアル・クロック($\overline{\text{SCK0}}$)の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SO0端子から出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりで、SIO0端子に入力された受信データがSIO0にラッチされます。

8ビット転送終了により、SIO0の動作は自動的に停止し、割り込み要求フラグ(CSIIF0)がセットされます。

図17-7 3線式シリアルI/Oモードのタイミング



SO0端子はCMOS出力となり、SO0ラッチの状態を出力しますので、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット0 (RELT)、ビット1 (CMDT)のセットによって、SO0端子出力状態を操作できます。

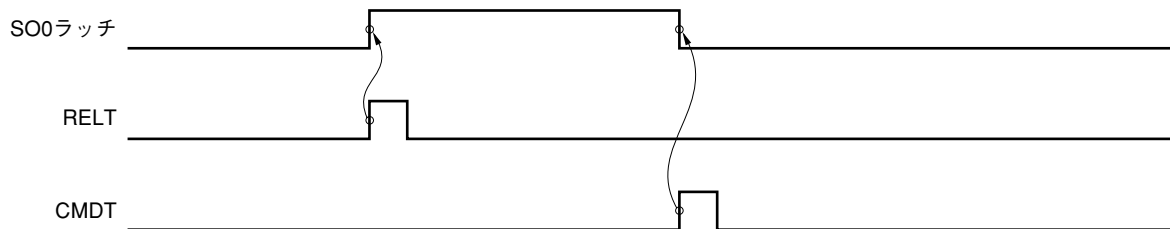
ただし、シリアル転送中にはこの操作を行わないでください。

$\overline{\text{SCK0}}$ 端子の出力レベルは、出力モード(内部システム・クロックのモード)時に、P27出力ラッチを操作して制御します(17.4.8 $\overline{\text{SCK0}}$ /SCL/P27端子出力の操作を参照)。

(3) 各種信号

図17-8にRELT, CMDTの動作を示します。

図17-8 RELT, CMDTの動作



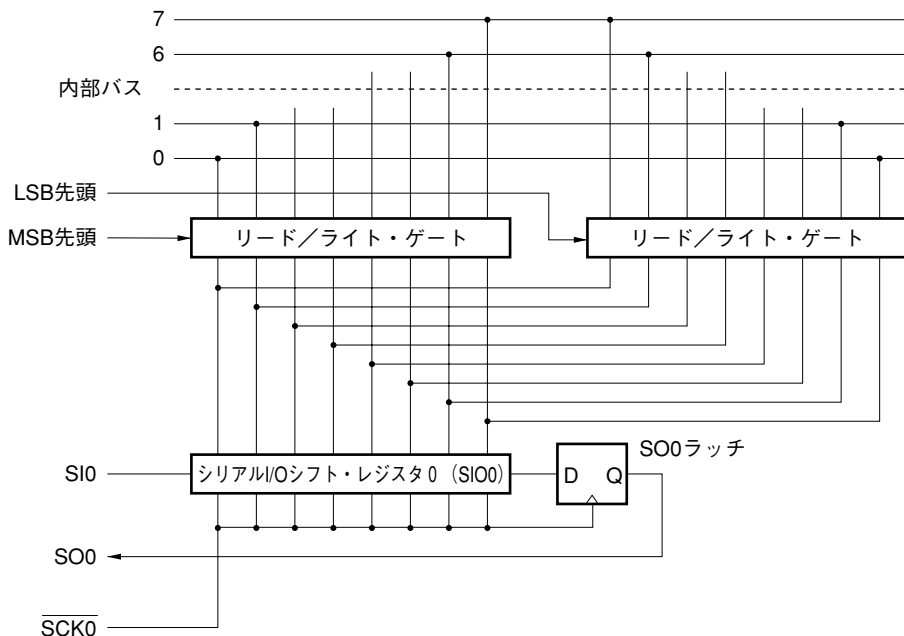
(4) MSB/LSB先頭の切り替え

3線式シリアルI/Oモードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図17-9にシリアルI/Oシフト・レジスタ0 (SIO0)、および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し/書き込みを行うことができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ0 (CSIM0)のビット2 (CSIM02)により指定できます。

図17-9 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO0へのデータ書き込みのビット順を切り替えることによって実現されています。SIO0のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットは、SIO0にデータを書き込む前に切り替えてください。

(5) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意 SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

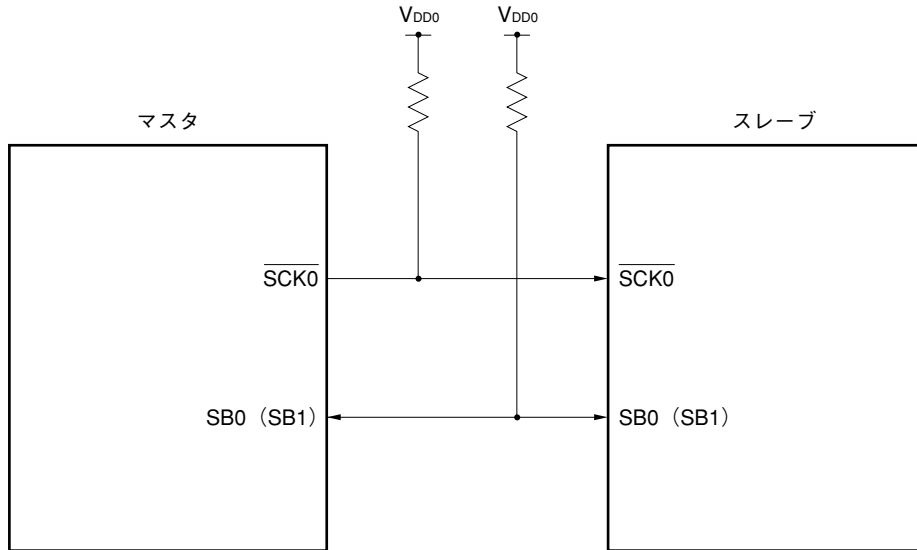
8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIF0)をセットします。

17.4.3 2線式シリアルI/Oモードの動作

2線式シリアルI/Oモードは、プログラムにより任意の通信フォーマットに対応できます。

基本的にはシリアル・クロック ($\overline{\text{SCK0}}$)、シリアル・データ入力/出力 (SB0またはSB1)の2本のラインで通信を行います。

図17-10 2線式シリアルI/Oによるシリアル・バス構成例



(1) レジスタの設定

2線式シリアルI/Oモードは、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)、割り込みタイミング指定レジスタ (SINT)で設定します。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択								
	0	×	SCK0端子への外部からの入力クロック								
	1	0	8ビット・タイマ・レジスタ2(TM2)の出力								
	1	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-3で指定されたクロック								

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/ P25端子の機能	SO0/SB1/SDA1/ P26端子の機能	$\overline{\text{SCK0/SCL}}$ / P27端子の機能
	0	×	3線式シリアルI/Oモード(17.4.2 3線式シリアルI/Oモードの動作参照)											
	1	1	0	注2 ×	注2 ×	0	0	0	1	2線式シリアル I/Oモード または	MSB	P25 (CMOS入出力)	SB1/SDA1 (Nchオープン・ ドレイン入出力)	$\overline{\text{SCK0/SCL}}$ (Nchオープン・ ドレイン入出力)
			1	0	0	注2 ×	注2 ×	0	1	PCバス・モード		SB0/SDA0 (Nchオープン・ ドレイン入出力)	P26 (CMOS入出力)	

R/W	WUP	ウェイク・アップ機能の制御 ^{注3}									
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生									
	1	PCバス・モード時、スタート・コンディション検出後(CMDD=1のとき)に受信したアドレスがスレーブ・アドレス・レジスタ(SVA)のデータと一致したとき、割り込み要求信号を発生									

R	COI	スレーブ・アドレス比較結果フラグ ^{注4}									
	0	スレーブ・アドレス・レジスタ(SVA)とシリアルI/Oシフト・レジスタ0(SIO0)のデータが一致しない									
	1	スレーブ・アドレス・レジスタ(SVA)とシリアルI/Oシフト・レジスタ0(SIO0)のデータが一致する									

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御									
	0	動作停止									
	1	動作許可									

- 注1. ビット6(COI)は、Read Onlyです。
- ポート機能として自由に使用できます。
 - 2線式シリアルI/Oモード使用時は必ずWUPに0を設定してください。
 - CSIE0=0のとき、COIは0になります。

備考 × : don't care
 PM×× : ポート・モード・レジスタ
 P×× : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	④	③	②	①	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT			FF61H	00H	R/W

R/W	RELT	RELT = 1により、SO0ラッチがセット(1)される。SO0ラッチをセット後、自動的にクリア(0)される。また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R/W	CMDT	CMDT = 1により、SO0ラッチがクリア(0)される。SO0ラッチをクリア後、自動的にクリア(0)される。また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

CSIE0：シリアル動作モード・レジスタ0 (CSIM0)のビット7

(c) 割り込みタイミング指定レジスタ (SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	7	⑥	⑤	④	③	②	1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	CLC	WREL	WAT1	WAT0	FF63H	00H	R/W ^{注1}

R/W	SIC	INTCSI0の割り込み要因の選択
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIF0をセット(1)する。
	1	シリアル・インタフェース・チャンネル0の転送終了時または、ストップ・コンディション検出時にCSIF0をセット(1)する。

R	CLD	SCK0端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

注1. ビット6 (CLD) は、Read Onlyです。

2. CSIE0 = 0のとき、CLDは0になります。

注意 2線式シリアル/Oモード使用時は、必ずビット0-3に0を設定してください。

備考 CSIF0：INTCSI0に対応する割り込み要求フラグ

CSIE0：シリアル動作モード・レジスタ0 (CSIM0)のビット7

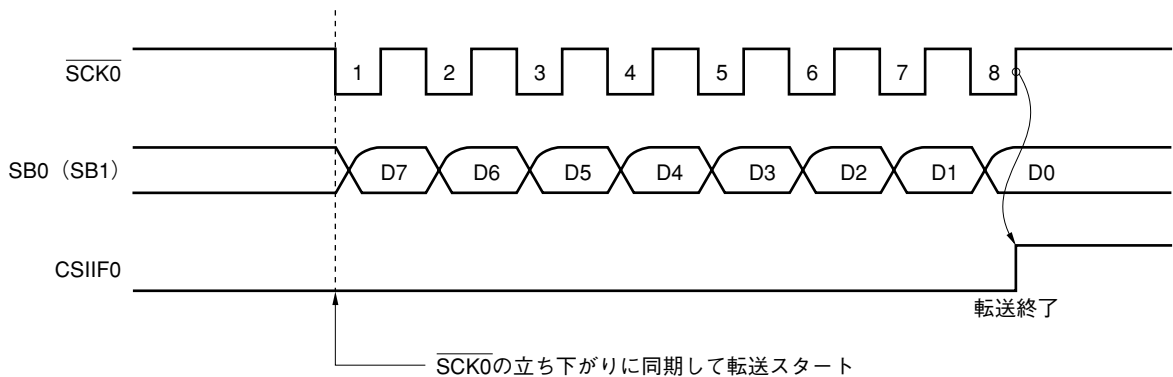
(2) 通信動作

2線式シリアルI/Oモードは、8ビット単位でデータを送受信します。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアルI/Oシフト・レジスタ0 (SIO0)のシフト動作は、シリアル・クロック ($\overline{\text{SCK0}}$)の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SB0/SDA0/P25(またはSB1/SDA1/P26)端子からMSBを先頭にして出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりで、SB0(またはSB1)端子から入力された受信データがSIO0にラッチされます。

8ビット転送終了により、SIO0の動作は自動的に停止し、割り込み要求フラグ(CSIIF0)がセットされます。

図17-11 2線式シリアルI/Oモードのタイミング



シリアル・データ・バスに指定されたSB0(SB1)端子は、N-chオープン・ドレイン入出力となりますので、外部でプルアップする必要があります。また、データの受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にさせる必要があるため、SIO0にはあらかじめFFHを書き込んでおきます。

SB0(またはSB1)端子は、SO0ラッチの状態を出力しますので、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット0 (RELT)、ビット1 (CMDT)のセットによって、SB0(またはSB1)端子の出力状態を操作できます。

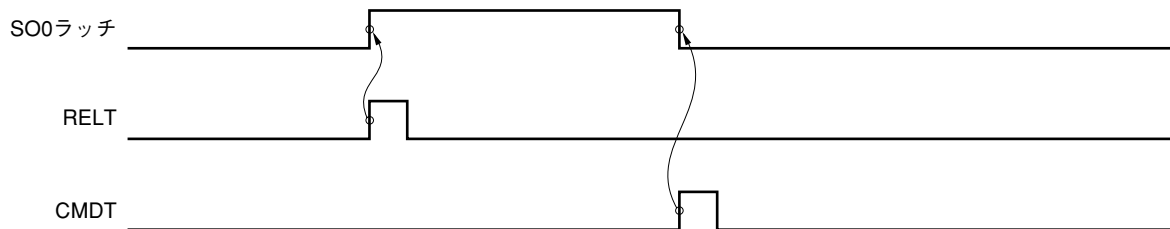
ただし、シリアル転送中にはこの操作を行わないでください。

$\overline{\text{SCK0}}$ 端子の出力レベルは、出力モード(内部システム・クロックのモード)時に、P27出力ラッチを操作して制御します(17.4.8 $\overline{\text{SCK0/SCL/P27}}$ 端子出力の操作を参照)。

(3) 各種信号

図17-12にRELT, CMDTの動作を示します。

図17-12 RELT, CMDTの動作



(4) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意1. SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

2. データ受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にする必要がありますので、SIO0にはあらかじめFFHを書き込んでおいてください。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIIF0)をセットします。

(5) エラーの検出

2線式シリアルI/Oモードでは、送信中のシリアル・バスSB0(SB1)の状態が送信しているデバイスのシリアルI/Oシフト・レジスタ0 (SIO0)にも取り込まれるため、次の方法によって送信エラーを検出できます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したと判断します。

(b) スレーブ・アドレス・レジスタ (SVA) を利用する方法

送信データをSIO0とSVAにもセットし、送信を行います。送信終了後に、シリアル動作モード・レジスタ0 (CSIM0)のCOIビット(アドレス・コンパレータからの一致信号)をテストし、“1”ならば正常な送信、“0”ならば送信エラーと判断します。

17.4.4 I²Cバス・モードの動作

I²Cバス・モードは、I²Cバスのシングルマスタおよびスレーブ動作を行う場合に使用します。I²Cバス・モードは、シングルマスタのシリアル・バスで、シリアル・クロック(SCL)と、シリアル・データ・バス(SDA0またはSDA1)の2本の信号線で複数のデバイス(スレーブ)との通信ができるように、クロック同期式のシリアルI/O方式に、バス構成のための機能が追加されたフォーマットになっています。そのため、複数のマイコンや周辺ICでシリアル・バスを構成する場合に、使用するポート数や基板上の配線数を削減できます。

マスタは、スレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“データ”、および“ストップ・コンディション”を出力できます。

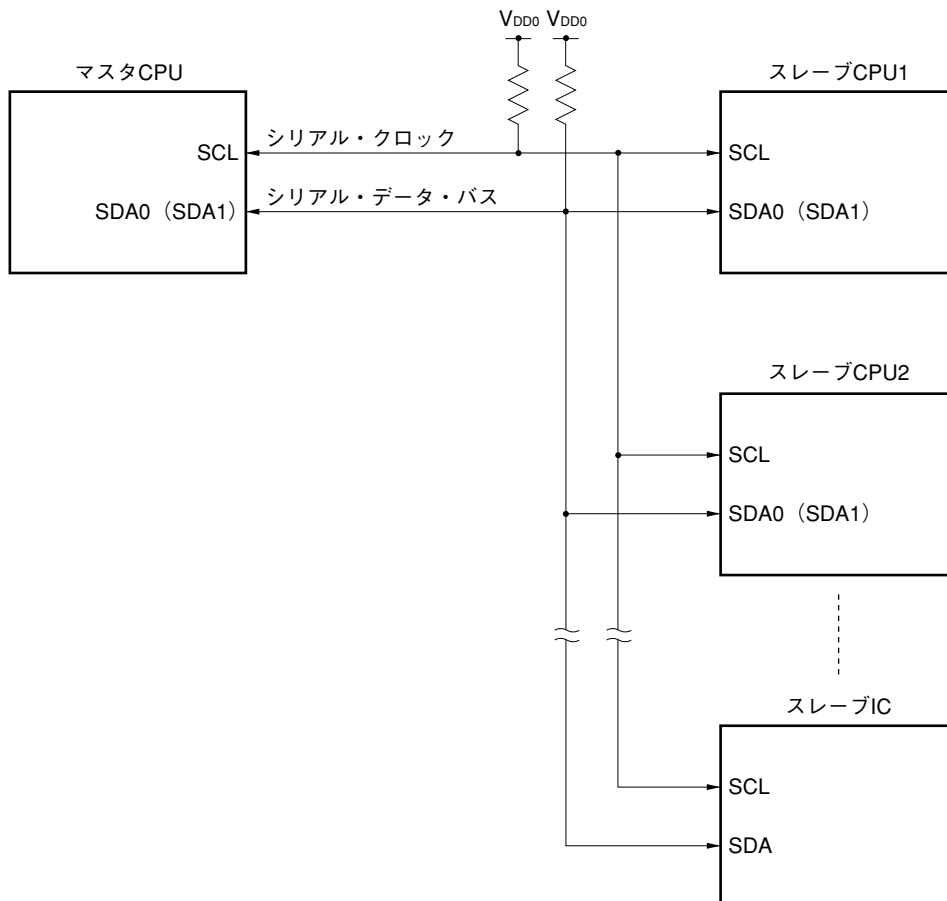
スレーブは、受信したこれらのデータをハードウェアにより自動的に検出します。この機能により、I²Cバスを制御する応用プログラムを簡略化できます。

I²Cバスに準拠するシリアル・インタフェースを持つCPUや、周辺ICを使用した場合のシリアル・バス構成例を図17-13に示します。

I²Cバスでは、シリアル・クロック端子(SCL)と、シリアル・データ・バス端子(SDA0またはSDA1)は、N-chオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

I²Cバス・モードにおける各種信号の説明の一覧が表17-4にありますので参照してください。

図17-13 I²Cバスによるシリアル・バス構成例



(1) I²Cバス・モードの機能

I²Cバス・モードの機能について次に示します。

(a) シリアル・データの自動判別機能

シリアル・データ・バス上の“スタート・コンディション”, “データ”および“ストップ・コンディション”を自動的に検出します。

(b) アドレスによるチップ・セレクト

マスタ動作時は、スレーブ・アドレスを送信することにより、I²Cバスに接続した特定のスレーブ・デバイスを選択し、通信できます。

(c) ウェイク・アップ機能

スレーブ動作時は、受信したアドレスがスレーブ・アドレス・レジスタ(SVA)の値と一致した場合に割り込み要求を発生します(ストップ・コンディション検出時にも割り込み要求が発生します)。したがって、I²Cバス上の選択されたスレーブ以外のCPUはシリアル通信に関係なく動作できます。

(d) アクノリッジ信号 (ACK) 制御機能

マスタ/スレーブ動作時に、シリアル通信が正常に実行されたことを確認するためのアクノリッジ信号を制御できます。

(e) ウェイト信号 (WAIT) 制御機能

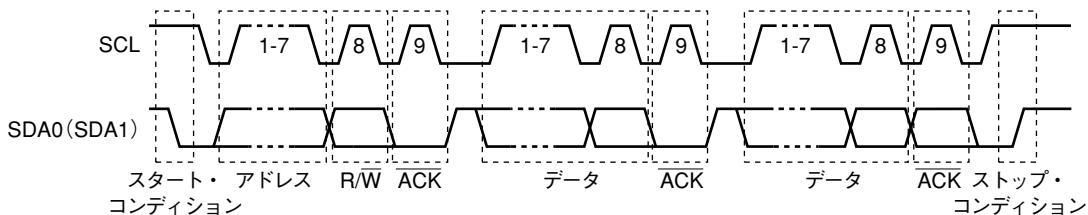
スレーブ・デバイスは、ウェイト状態を知らせるためのウェイト信号を制御できます。

(2) I²Cバスの定義

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力される“スタート・コンディション”, “データ”, および“ストップ・コンディション”の各転送タイミングを図17-14に示します。

図17-14 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが出力します。

アクノリッジ信号($\overline{\text{ACK}}$)は、マスタ、スレーブのどちらでも出力できます(通常、8ビット・データの受信側が出力します)。

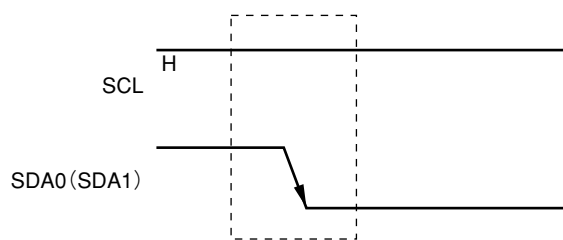
シリアル・クロック(SCL)は、マスタが出力し続けます。

(a) スタート・コンディション

SCL端子がハイ・レベルのときに、SDA0(SDA1)端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。したがって、SCL, SDA0(SDA1)端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スタート・コンディションの出力については17.4.5 I²Cバス・モード使用時の注意事項を参照してください。

スレーブはスタート・コンディションを検出するハードウェアを内蔵しています。

図17-15 スタート・コンディション



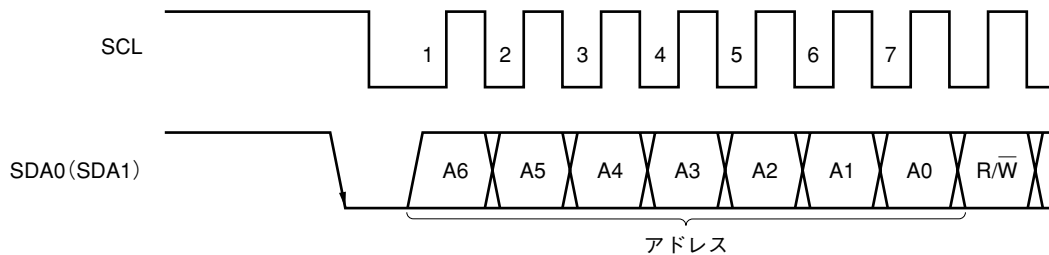
(b) アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブはすべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアによってこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ(SVA)と一致しているかを調べます。このとき、7ビット・データとスレーブ・アドレス・レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

図17-16 アドレス

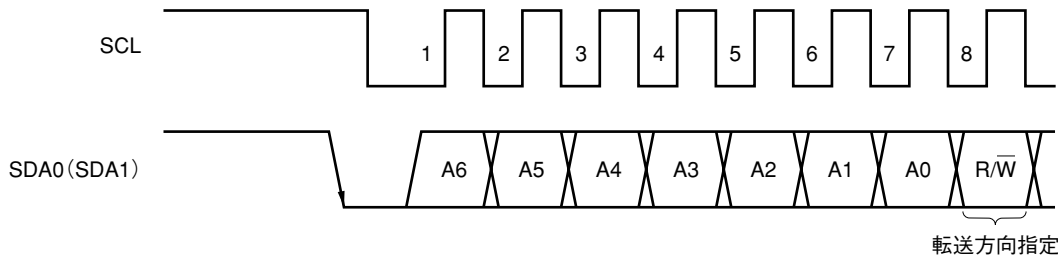


(c) 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するため1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図17-17 転送方向指定



(d) アクノリッジ信号 ($\overline{\text{ACK}}$)

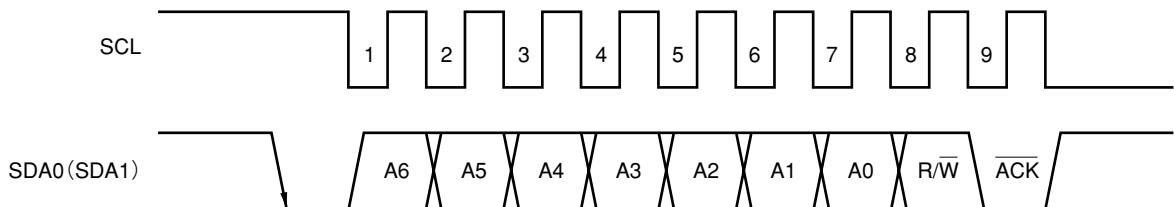
アクノリッジ信号は、送信側と受信側における、シリアル・データ受信の確認のための信号です。受信側は、8ビット・データを受信するごとにアクノリッジ信号を返します。

受信側は、通常、8ビット・データ受信後、アクノリッジ信号を出力します。

ただしマスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。

送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたかを検出します。アクノリッジ信号が返されたとき、正しく受信されたものとして次の処理をします。また、スレーブからアクノリッジ信号が返らない場合は、正しく受信されていないので、マスタは、ストップ・コンディションを出力し送信を中止します。

図17-18 アクノリッジ信号



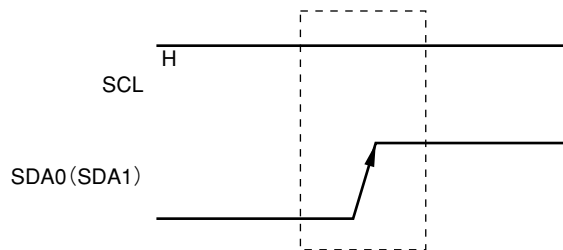
(e) ストップ・コンディション

SCL端子がハイ・レベルのときに、SDA0(SDA1)端子がロウ・レベルからハイ・レベルに変化するとストップ・コンディションとなります。

ストップ・コンディションはマスタがスレーブに対してシリアル転送が終了したときに出力する信号です。

スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図17-19 ストップ・コンディション



(f) ウェイト信号 ($\overline{\text{WAIT}}$)

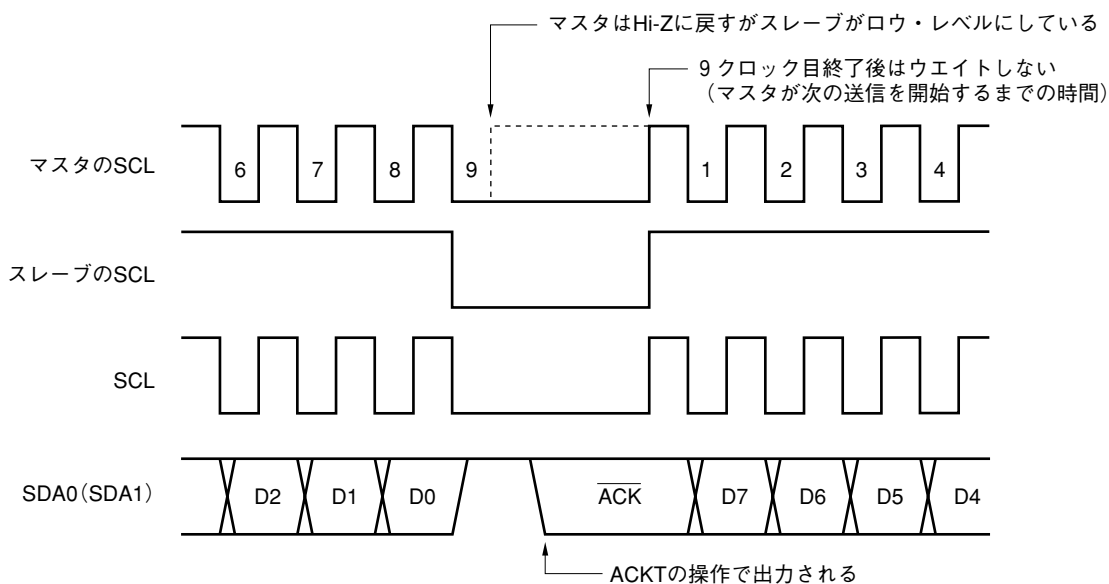
ウェイト信号は、スレーブがデータの送受信のための準備中(ウェイト状態)であることをマスタに知らせるための信号です。

スレーブは、SCL端子をロウ・レベルにすることにより、マスタにウェイト状態を知らせます。

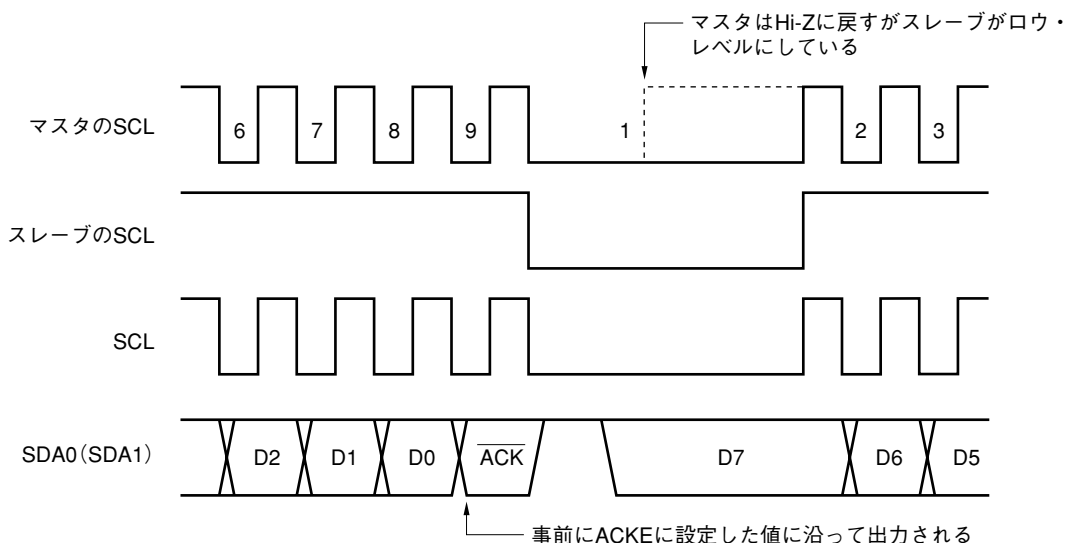
マスタは、ウェイト状態が解除されると、次の転送を開始することができます。スレーブのウェイト解除については、17.4.5 I²Cバス・モード使用時の注意事項を参照してください。

図17-20 ウェイト信号

(a) 8クロック・ウェイト時



(b) 9クロック・ウェイト時



(3) レジスタの設定

I²Cバス・モードは、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)、割り込みタイミング指定レジスタ (SINT) で設定します。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択								
	0	×	SCL端子への外部からの入力クロック								
	1	0	8ビット・タイマ・レジスタ2 (TM2)の出力 ^{注2}								
	1	1	タイマ・クロック選択レジスタ3 (TCL3)のビット0-3で指定されたクロック								

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/ P25端子の機能	SO0/SB1/SDA1/ P26端子の機能	SCK0/SCL/ P27端子の機能
	0	×	3線式シリアルI/Oモード(17.4.2 3線式シリアルI/Oモードの動作参照)											
	1	1	0	^{注3} ×	^{注3} ×	0	0	0	1	2線式シリアル I/Oモード または I ² Cバス・モード	MSB	P25 (CMOS入出力)	SB1/SDA1 (N-chオープン・ ドレイン入出力)	SCK0/SCL (N-chオープン・ ドレイン入出力)
			1	0	0	^{注3} ×	^{注3} ×	0	1			SB0/SDA0 (N-chオープン・ ドレイン入出力)	P26 (CMOS入出力)	

R/W	WUP	ウエイク・アップ機能の制御 ^{注4}									
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生									
	1	I ² Cバス・モード時、スタート・コンディション検出後(CMDD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタ(SVA)のデータと一致したとき、割り込み要求信号を発生									

R	COI	スレーブ・アドレス比較結果フラグ ^{注5}									
	0	スレーブ・アドレス・レジスタ(SVA)とシリアルI/Oシフト・レジスタ0(SIO0)のデータが一致しない									
	1	スレーブ・アドレス・レジスタ(SVA)とシリアルI/Oシフト・レジスタ0(SIO0)のデータが一致する									

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御									
	0	動作停止									
	1	動作許可									

注1. ビット6 (COI)は、Read Onlyです。

2. I²Cバス・モード時、クロックはTO2が出力するクロック周波数の1/16となります。

3. ポート機能として自由に使用できます。

4. ウエイク・アップ機能を使用(WUP = 1)するときは、割り込みタイミング指定レジスタ(SINT)のビット5 (SIC)に1を設定してください。また、WUP = 1の期間にシリアルI/Oシフト・レジスタ0 (SIO0)への書き込み命令を実行しないでください。

5. CSIE0 = 0のとき、COIは0になります。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	④	③	②	①	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT			FF61H	00H	R/W ^注

R/W	RELT	ストップ・コンディション出力のために使用する。 RELT = 1により、SO0ラッチがセット(1)される。SO0ラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	--

R/W	CMDT	スタート・コンディション出力のために使用する。 CMDT = 1により、SO0ラッチがクリア(0)される。SO0ラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	--

R	RELD	ストップ・コンディション検出	
		クリアされる条件(RELD = 0)	セットされる条件(RELD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・アドレス受信時にSIO0とSVAの値が一致しないとき ・CSIE0 = 0のとき ・$\overline{\text{RESET}}$入力時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

R	CMDD	スタート・コンディション検出	
		クリアされる条件(CMDD = 0)	セットされる条件(CMDD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・ストップ・コンディション検出時 ・CSIE0 = 0のとき ・$\overline{\text{RESET}}$入力時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時

R/W	ACKT	セット命令(ACKT = 1)実行直後から次のSCLの立ち下がりまでSDA0(SDA1)をロウ・レベルにする。 8クロック・ウェイト選択時に、ソフトウェアで $\overline{\text{ACK}}$ 信号を生成するために使用する。 シリアル・インタフェースの転送開始、CSIE0 = 0のときクリア(0)される。
-----	------	---

(続く)

注 ビット2, 3, 6 (RELD, CMDD, ACKD)は、Read Onlyです。

備考 CSIE0：シリアル動作モード・レジスタ0 (CSIM0)のビット7

R/W	ACKE	アクノリッジ信号の自動出力の制御 ^{注1}
	0	アクノリッジ信号の自動出力禁止 (ACKTによる出力は可能)。 送信時または8クロック・ウェイト選択時で受信の場合に使用する。 ^{注2}
	1	アクノリッジ信号の自動出力許可。 SCLの9クロック目の立ち下がりエッジに同期して、アクノリッジ信号を出力する (ACKE = 1により、自動出力される)。出力後、自動的にクリア(0)されない。 9クロック・ウェイト選択時で受信の場合に使用する。

R	ACKD	アクノリッジ検出	
		クリアされる条件 (ACKD = 0)	セットされる条件 (ACKD = 1)
		<ul style="list-style-type: none"> ・ 転送スタート命令実行時 ・ CSIE0 = 0のとき ・ $\overline{\text{RESET}}$入力時 	<ul style="list-style-type: none"> ・ 転送完了後のSCLのクロックの立ち上がりエッジでアクノリッジ信号検出時

R/W	BSYE ^{注3}	I ² Cバス・モード時の送信用N-chオープン・ドレイン出力の制御 ^{注4}
	0	出力許可 (送信)
	1	出力禁止 (受信)

注1. 転送開始前に設定してください。

2. 8クロック・ウェイト選択時では、受信時のアクノリッジ信号はACKTを用いて出力してください。
3. シリアル・インタフェースの転送開始、またはアドレス信号受信によってウェイト状態を解除できません。ただし、BSYEはクリア(0)されません。
4. ウェイク・アップ機能を使用するときには、必ずBSYEに1を設定してください。

備考 CSIE0: シリアル動作モード・レジスタ0 (CSIM0)のビット7

(c) 割り込みタイミング指定レジスタ (SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	7	⑥	⑤	④	③	②	1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	CLC	WREL	WAT1	WAT0	FF63H	00H	R/W ^{注1}

R/W	WAT1	WAT0	ウエイトおよび割り込みの制御 ^{注2}
	0	0	$\overline{\text{SCK0}}$ の8クロック目の立ち上がりで割り込み処理要求を発生する(クロック出力はハイ・インピーダンス)。
	0	1	設定禁止
	1	0	I ² Cバス・モード時に使用する(8クロック・ウエイト)。 SCLの8クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、8クロック出力後、SCL出力をロウ・レベルにしてウエイトする。スレーブの場合、8クロック入力後、SCL端子をロウ・レベルにしてウエイト要求する)。
	1	1	I ² Cバス・モード時に使用する(9クロック・ウエイト)。 SCLの9クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、9クロック出力後、SCL出力をロウ・レベルにしてウエイトする。スレーブの場合、9クロック入力後、SCL端子をロウ・レベルにしてウエイト要求する)。

R/W	WREL	ウエイト解除の制御
	0	ウエイト解除状態
	1	ウエイト状態を解除する。 解除後自動的にクリア(0)される(WAT0, WAT1によるウエイト状態の解除に使用する)。

R/W	CLC	クロック・レベルの制御
	0	I ² Cバス・モード時に使用する。 シリアル転送時以外の場合、SCL端子の出力レベルをロウ・レベルにする。
	1	I ² Cバス・モード時に使用する。 シリアル転送時以外の場合、SCL端子の出力レベルをハイ・インピーダンスにする(クロック・ラインはハイ・レベル)。 マスタがスタート/ストップ・コンディションを生成するために使用する。

(続く)

注1. ビット6 (CLD)は、Read Onlyです。

2. I²Cバス・モード使用時は、WAT1, WAT0に1, 0または1, 1を設定してください。

R/W	SVAM	スレーブ・アドレスとして使用するSVAのビット
	0	ビット0-7
	1	ビット1-7

R/W	SIC	INTCSI0の割り込み要因の選択 ^{注1}
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIIF0をセット(1)する。
	1	シリアル・インタフェース・チャンネル0の転送終了時、またはストップ・コンディション検出時にCSIIF0をセット(1)する。

R	CLD	SCL端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

注1. I²Cバス・モードでウェイク・アップ機能を使用するときは、SICに1を設定してください。

2. CSIE0 = 0のとき、CLDは0になります。

備考 SVA : スレーブ・アドレス・レジスタ

CSIIF0 : INTCSI0に対応する割り込み要求フラグ

CSIE0 : シリアル動作モード・レジスタ0 (CSIM0)のビット7

(4) 各種信号

I²Cバス・モードにおける各種の信号の一覧を表17-4に示します。

表17-4 I²Cバス・モードにおける各種の信号

信号名称	出力するデバイス	定義	出力される条件	フラグへの影響	信号の意味
スタート・コンディション	マスタ	SCLがハイ・レベルのときのSDA0(SDA1)の立ち下がりエッジ ^{注1}	CMDTのセット	CMDDをセット	次にアドレスを送信し、シリアル通信を開始することを示す
ストップ・コンディション	マスタ	SCLがハイ・レベルのときのSDA0(SDA1)の立ち上がりエッジ ^{注1}	RELTのセット	RELDをセット CMDDをクリア	シリアル送信の終了を示す
アクノリッジ信号(ACK)	マスタ/ スレーブ	シリアル受信完了後、SCLの1クロック期間に出力されるSDA0(SDA1)のロウ・レベル信号	・ ACKE = 1 ・ ACKTのセット	ACKDをセット	1バイトの受信が完了したことを示す
ウエイト(WAIT)	スレーブ	SCLに出力されるロウ・レベル信号	WAT1, WAT0 = 1×	—	シリアル受信が不可能な状態を示す
シリアル・クロック(SCL)	マスタ	各種信号出力のための同期クロック	CSIE0 = 1のときの、SIO0	CSIIF0をセット ^{注3}	シリアル通信の同期信号
アドレス(A6-A0)	マスタ	スタート・コンディション出力後に、SCLに同期して出力される7ビット・データ	へのデータ書き込み命令実行(シリアル		シリアル・バス上のスレーブを指定するためのアドレス値を示す
転送方向(R/W)	マスタ	アドレス出力後に、SCLに同期して出力される1ビット・データ	転送のスタート指示) ^{注2}		データの送信あるいは受信のどちらを行うかを示す
データ(D7-D0)	マスタ/ スレーブ	スタート・コンディション直後でない、SCLに同期して出力される8ビット・データ			実際に通信するデータを示す

注1. シリアル・クロックのレベルは、割り込みタイミング指定レジスタ(SINT)のビット3 (CLC)で制御できます。

2. ウエイト状態のときは、ウエイト状態が解除されたあと、シリアル転送を開始します。

3. WUP = 0で8クロック・ウエイトを選択したとき、SCLの8クロック目の立ち上がりでCSIIF0をセットします。WUP = 0で9クロック・ウエイトを選択したとき、SCLの9クロック目の立ち上がりでCSIIF0をセットします。

WUP = 1のとき、アドレスを受信し、そのアドレスがスレーブ・アドレス・レジスタ(SVA)の値と一致したとき、およびストップ・コンディション検出時にCSIIF0をセットします。

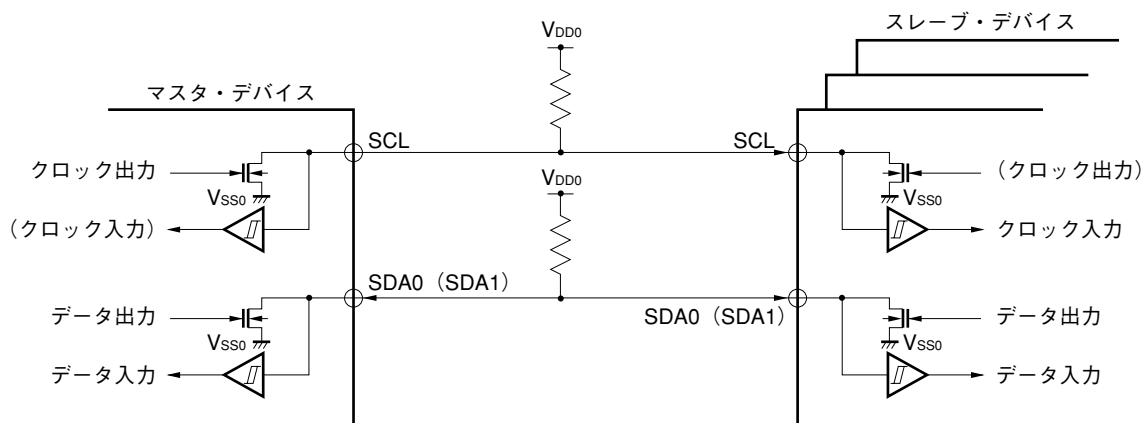
(5) 端子構成

シリアル・クロック端子SCLと、シリアル・データ・バス端子SDA0(SDA1)の構成は次のようになっています。

- (a) SCL …………… シリアル・クロックを入出力するための端子
 - ① マスタ ……… N-chオープン・ドレイン出力
 - ② スレーブ …… シュミット入力
- (b) SDA0(SDA1) ……… シリアル・データの入出力兼用端子
 - マスタ、スレーブともにN-chオープン・ドレイン出力、シュミット入力

シリアル・クロックおよびシリアル・データ・バスはともにN-chオープン・ドレインで出力されるため、外部にプルアップ抵抗が必要となります。

図17-21 端子構成図



注意 データ受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にする必要がありますので、あらかじめシリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット7 (BSYE) に1を設定し、シリアルI/Oシフト・レジスタ0 (SIO0) にFFHを書き込んでおいてください。

ただし、ウエイク・アップ機能使用時 (シリアル動作モード・レジスタ0 (CSIM0) のビット5 (WUP) をセット) は、受信前にSIO0にFFHを書き込まないでください。SIO0にFFHを書き込まなくても、N-chオープン・ドレイン出力は常にハイ・インピーダンス状態となります。

(6) アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。スレーブ・アドレス・レジスタ(SVA)を備え、ウエイク・アップ機能指定ビット(WUP) = 1のとき、マスタから送信されたスレーブ・アドレスとSVAに設定したアドレスが一致したときにCSIF0がセットされます(ストップ・コンディション検出時にもセットされます)。

なお、ウエイク・アップ機能使用時はSICを1にセットしておいてください。

注意 スレーブの選択、非選択の状態は、スタート・コンディションのあとに受信したデータ(アドレス)の一致により検出します。

この一致検出は、通常WUP = 1の状態が発生するアドレスの一致検出割り込み要求(INTCSI0)を使用します。したがって、スレーブ・アドレスによる選択、非選択はWUP = 1の状態で検出してください。

(7) エラーの検出

I²Cバス・モードでは、送信中のシリアル・バスSDA0(SDA1)の状態が送信しているデバイスのシリアル/Oシフト・レジスタ0(SIO0)レジスタにも取り込まれるため、次の方法によって送信エラーを検出できます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

(b) スレーブ・アドレス・レジスタ(SVA)を使用する方法

送信データをSIO0とSVAにセットし、送信を行います。送信終了後にシリアル動作モード・レジスタ0(CSIM0)のCOIビット(アドレス・コンパレータからの一致信号)をテストし、“1”なら正常な送信、“0”なら送信エラーと判断します。

(8) 通信動作

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次に、データの転送方向を示すR/Wビットを送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図17-22および図17-23に示します。

シリアル・クロック(SCL)の立ち下がりに同期してシリアル/Oシフト・レジスタ0(SIO0)のシフト動作が行われます。そして、送信データがSO0ラッチに転送され、SDA0またはSDA1端子からMSBを先頭にして出力されます。

また、SCLの立ち上がりでSDA0またはSDA1端子に入力されたデータがSIO0に取り込まれます。

図17-22 マスタ→スレーブ通信例(マスタ, スレーブとも9クロック・ウエイト選択時)(1/3)

(a) スタート・コンディション～アドレス

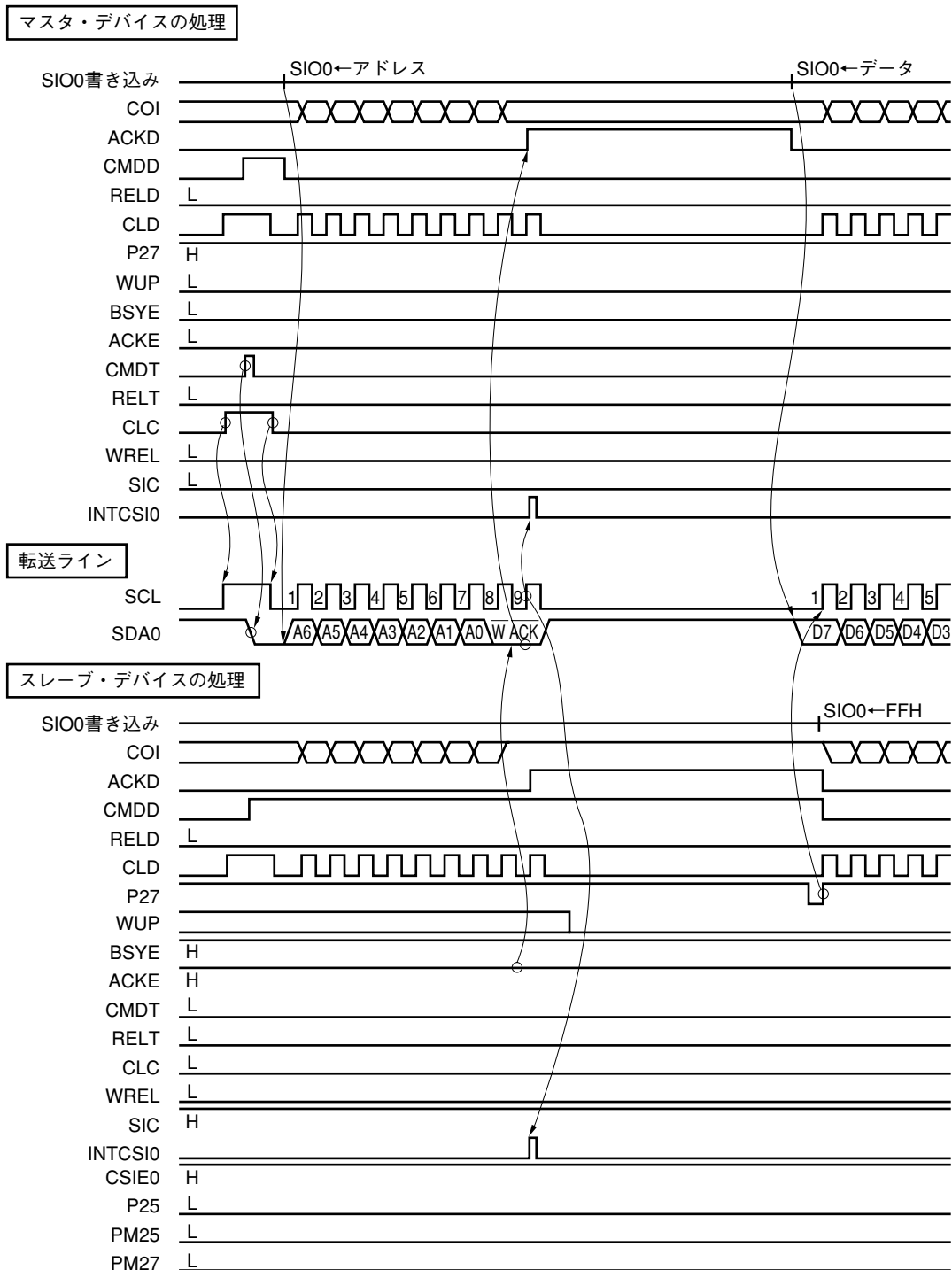


図17-22 マスタ→スレーブ通信例(マスタ, スレーブとも9クロック・ウエイト選択時)(2/3)

(b) データ

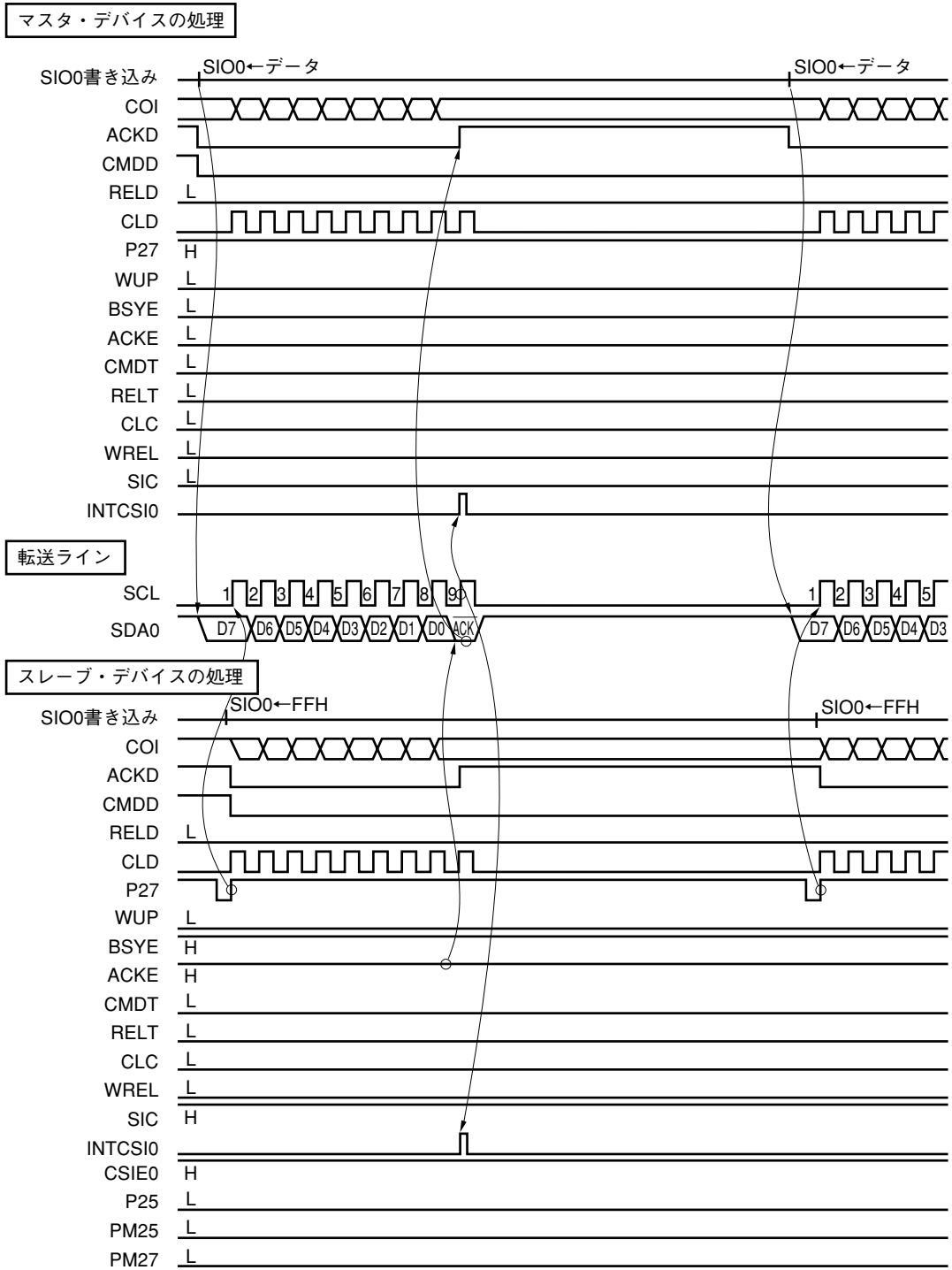


図17-22 マスタ→スレーブ通信例(マスタ, スレーブとも9クロック・ウエイト選択時)(3/3)

(c) ストップ・コンディション

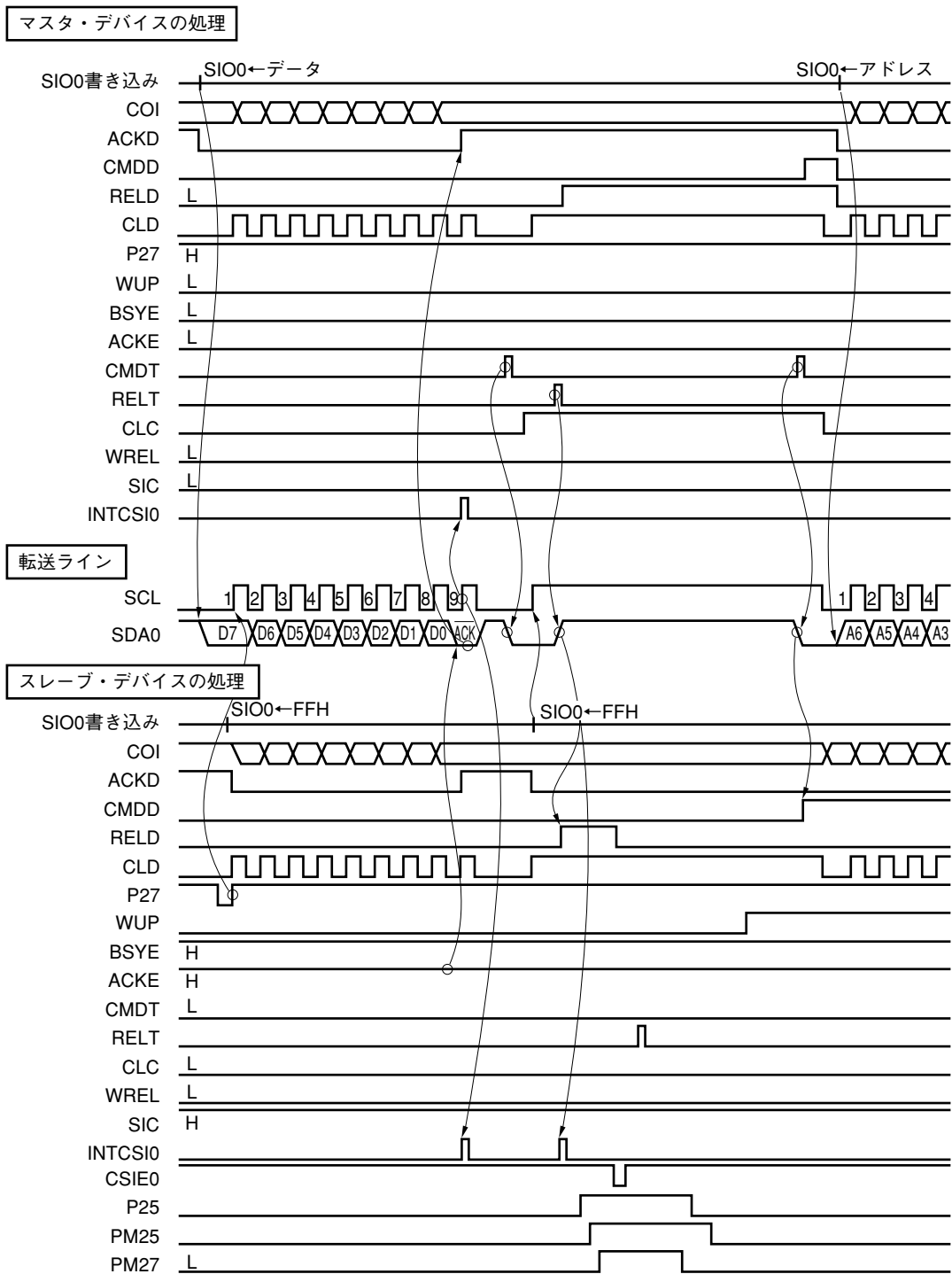


図17-23 スレーブ→マスタ通信例(マスタ、スレーブとも9クロック・ウエイト選択時)(1/3)

(a) スタート・コンディション～アドレス

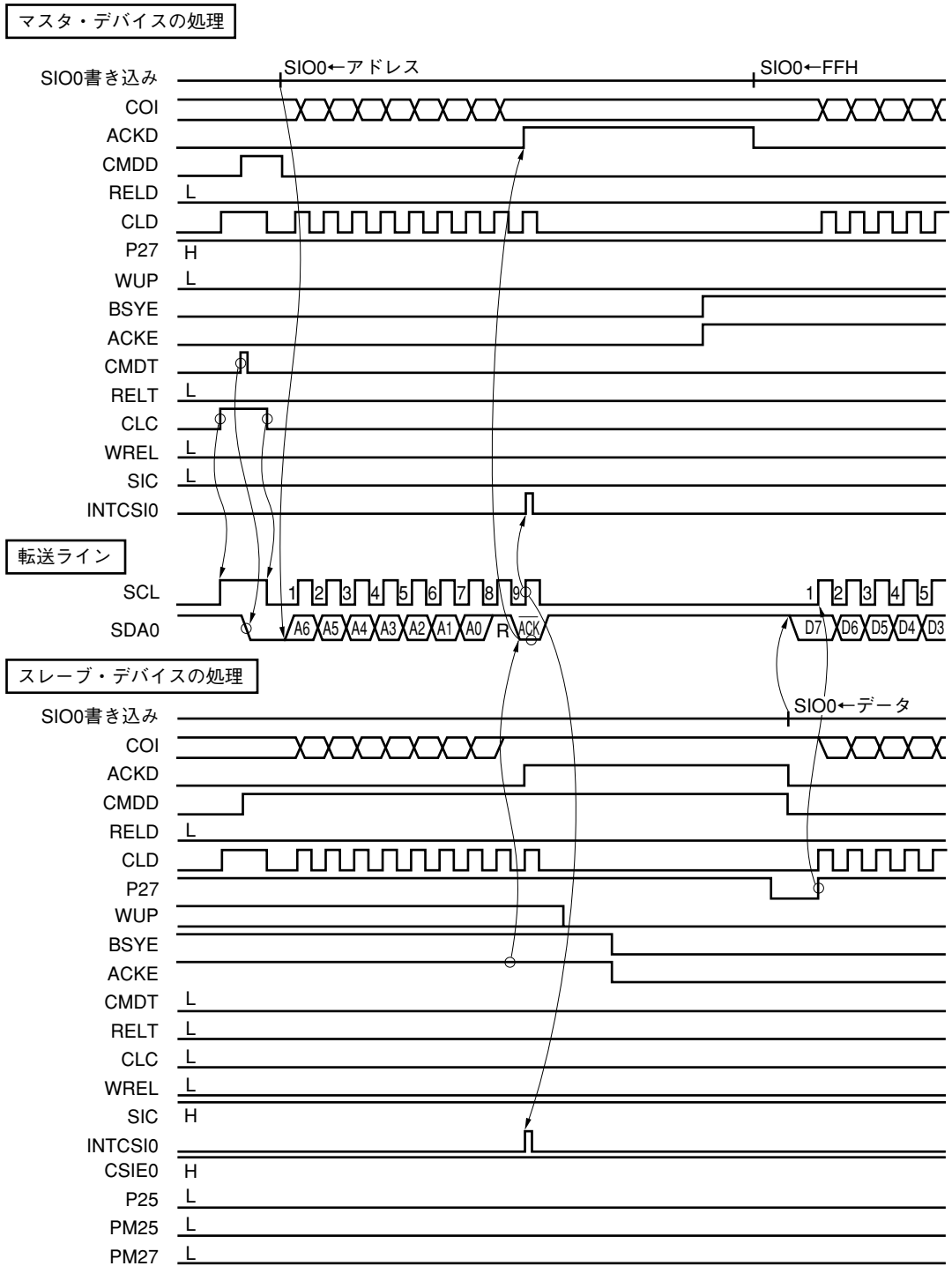


図17-23 スレーブ→マスタ通信例(マスタ, スレーブとも9クロック・ウエイト選択時)(2/3)

(b) データ

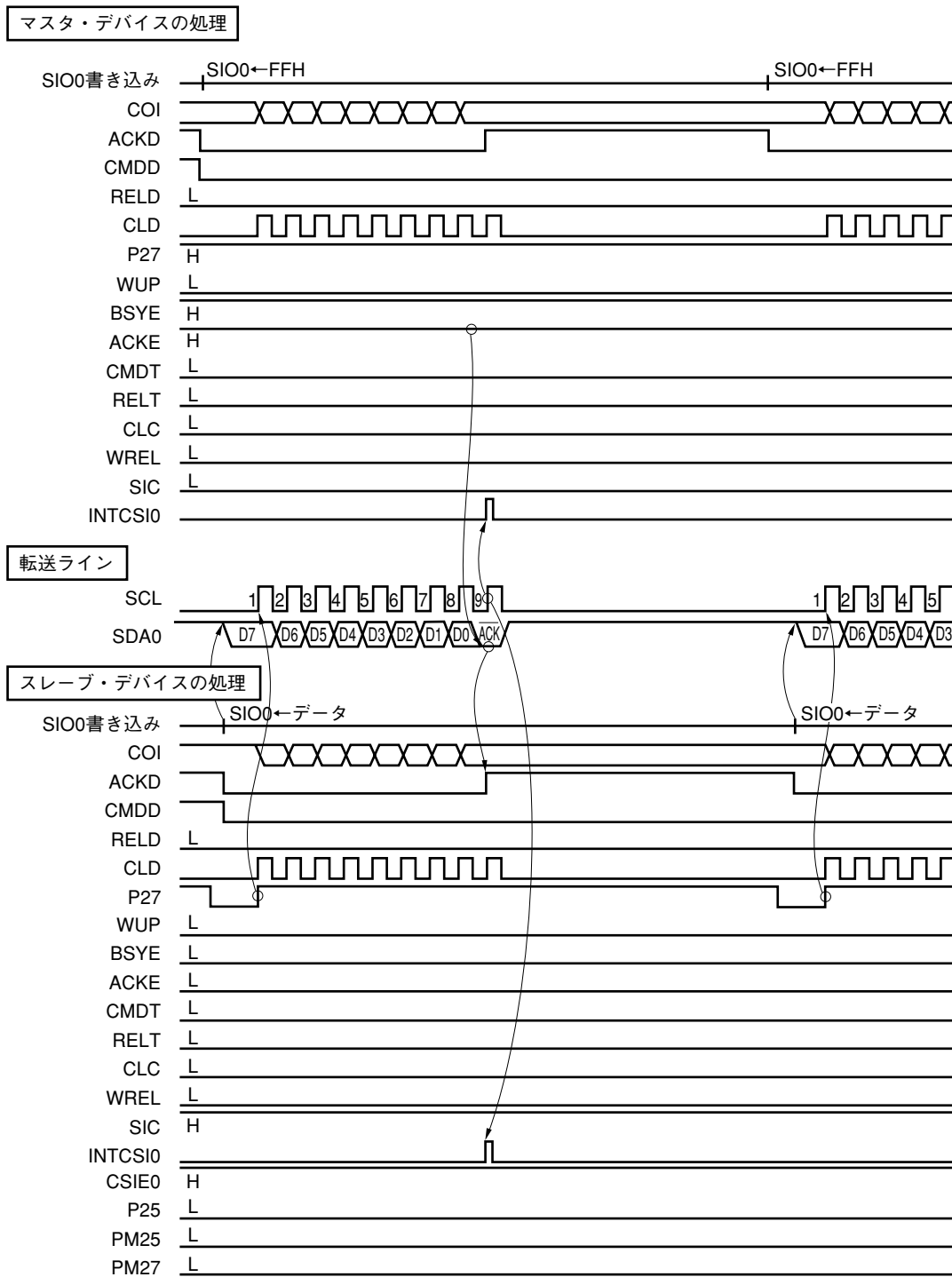
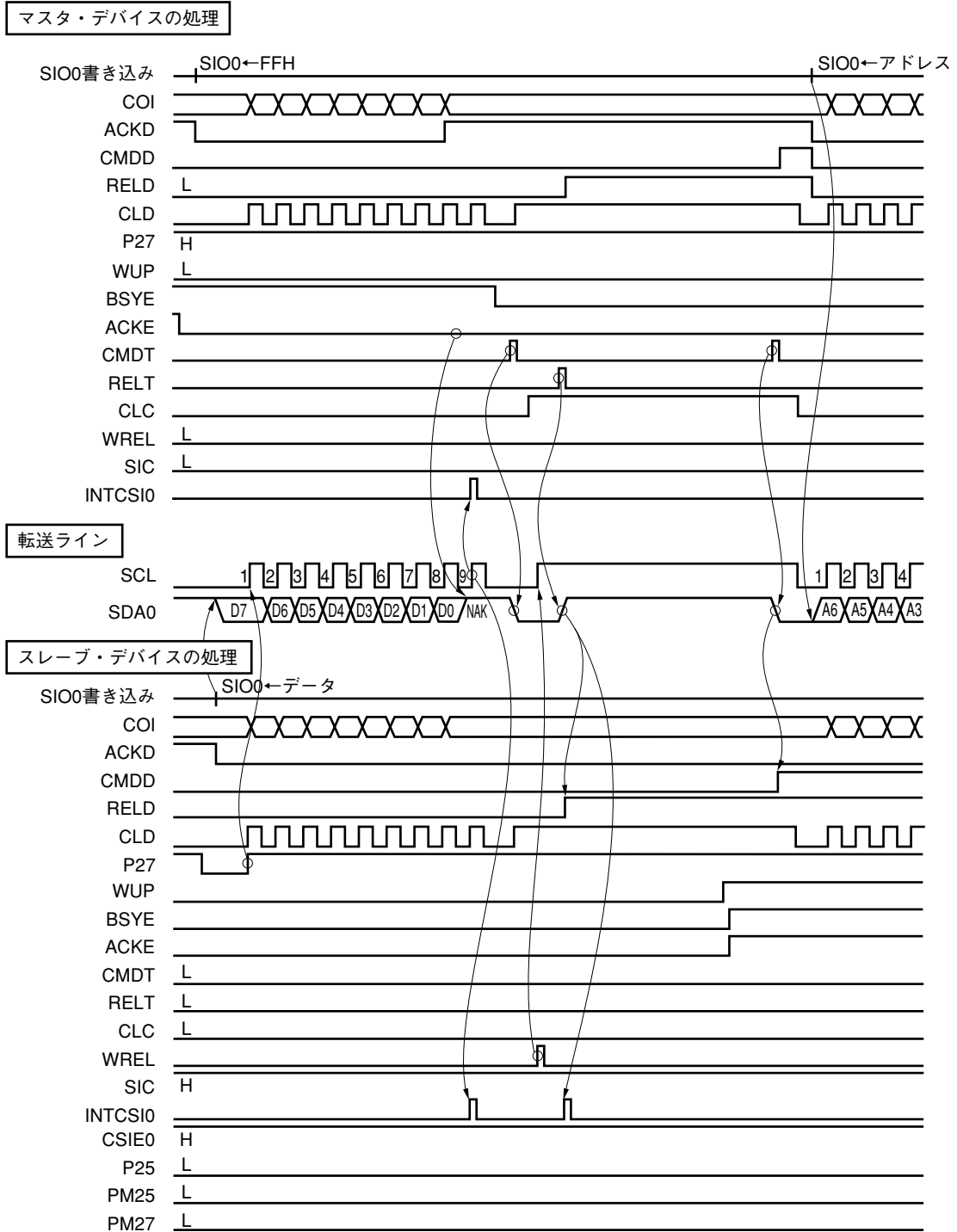


図17-23 スレーブ→マスタ通信例(マスタ, スレーブとも9クロック・ウエイト選択時)(3/3)

(c) ストップ・コンディション



(9) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0)=1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCLがロウ・レベルの状態

注意1. SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

2. データ受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にする必要がありますので、あらかじめ、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット7 (BSYE)に1を設定し、SIO0にFFHを書き込んでおいてください。

ただし、ウェイク・アップ機能使用時(シリアル動作モード・レジスタ0 (CSIM0)のビット5 (WUP)をセット)は、受信前にSIO0にFFHを書き込まないでください。SIO0にFFHを書き込まなくても、N-chオープン・ドレイン出力は常にハイ・インピーダンス状態となります。

3. スレーブがウェイト状態のときにSIO0にデータを書き込んだ場合、そのデータは失われません。ウェイト状態が解除されて、SCLが出力されたときに転送が開始します。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIIF0)をセットします。

17.4.5 I²Cバス・モード使用時の注意事項

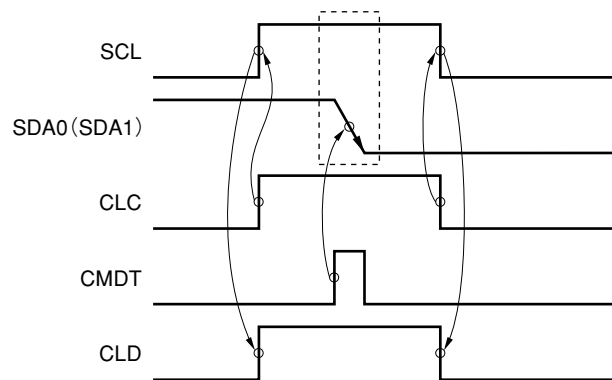
(1) スタート・コンディションの出力 (マスタ)

SCL端子は、シリアル・クロックが出力されていないときには通常、ロウ・レベルを出力しています。スタート・コンディションを出力するためには一度SCL端子をハイ・レベルに変化させる必要があります。SCL端子をハイ・レベルにするには、割り込みタイミング指定レジスタ(SINT)のCLCに1を設定してください。

CLCをセットしたあとはCLCを0にクリアし、SCL端子をロウ・レベルに戻してください。CLCが1のままの場合、シリアル・クロックが出力されません。

マスタがスタート・コンディションおよびストップ・コンディションを出力する場合には、CLCに1を設定したあと、CLDが1であることを確認してから出力してください。これは、スレーブがSCLをロウ・レベル(ウエイト状態)にしている可能性があるためです。

図17-24 スタート・コンディションの出力



(2) スレーブのウェイト解除 (スレーブ送信)

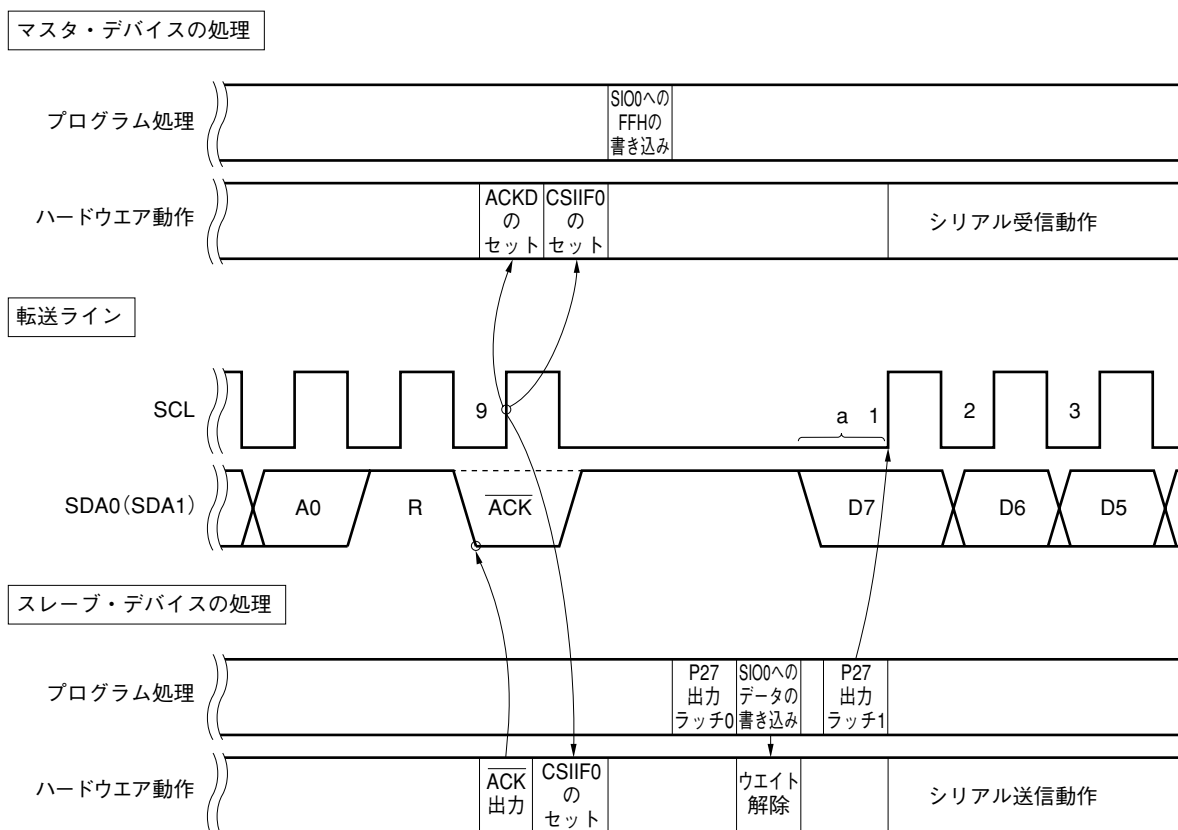
スレーブのウェイト状態は、WRELフラグ(割り込みタイミング指定レジスタ(SINT)のビット2)のセットまたは、シリアル/Oシフト・レジスタ0(SIO0)への書き込み命令実行により解除されます。

スレーブがデータ送信をする場合、SIO0への書き込み命令実行により、すぐにウェイトが解除され、データ・ラインに先頭の送信ビットが出力されないままクロックが立ち上がってしまいます。そのため、図17-25に示すように、P27の出力ラッチをプログラムで操作することにより、データ送信をする必要があります。このとき、1回目のシリアル・クロックのロウ・レベル幅(図17-25のaの部分)は、SIO0への書き込み命令実行後のP27出力ラッチを1に設定するときのタイミングで制御してください。

また、マスタからのアクノリッジ信号が出力されなかった場合(スレーブからのデータ送信が終了した場合は、SINTのWRELフラグに1を設定し、ウェイトを解除してください。

これらのタイミングについては、図17-23を参照してください。

図17-25 スレーブのウェイト解除(送信時)



(3) スレーブのウェイト解除 (スレーブ受信)

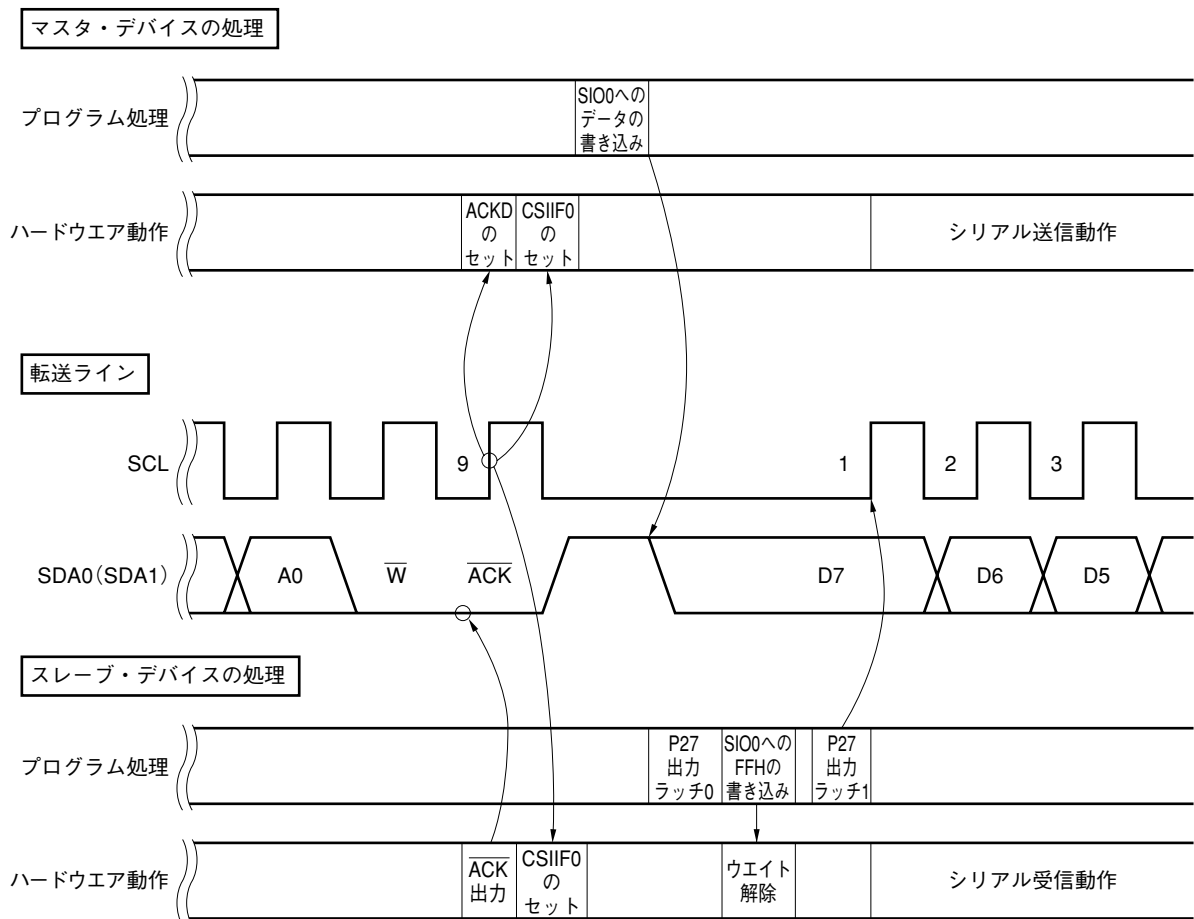
スレーブのウェイト状態は、WRELフラグ(割り込みタイミング指定レジスタ(SINT)のビット2)のセットまたは、シリアルI/Oシフト・レジスタ0 (SIO0)への書き込み命令実行により解除されます。

スレーブがデータ受信をする場合、SIO0への書き込み命令実行により、すぐにSCLラインがハイ・インピーダンス状態になると、マスタからの1ビット目のデータを受信できないことがあります。これは、SIO0への書き込み命令実行中(次の命令が実行されるまでの期間)にSCLラインがハイ・インピーダンス状態になっていると、SIO0が動作を開始しないためです。

そのため、図17-26に示すように、P27の出力ラッチをプログラムで操作することにより、データ受信をしてください。

これらのタイミングについては、図17-22を参照してください。

図17-26 スレーブのウェイト解除(受信時)



(4) スレーブの受信完了処理

スレーブの受信完了処理(割り込み処理など)では、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット3(CMDD)とシリアル動作モード・レジスタ0(CSIM0)のビット6(COI)(CMDD=1のとき)を確認するようにしてください。不特定数のデータをマスタから受信する場合、スタート・コンディションとデータのどちらが次にくるのかをスレーブが判断できず、ウエイク・アップ機能が使用できなくなるのを避けるためです。

17.4.6 I²Cバス・モード使用時の制限事項 1

μPD780058Yサブシリーズには、次の制限事項があります。

・I²Cバス・モードのスレーブ・デバイスとして使用する場合の制限事項

対象製品：μPD780053Y, 780054Y, 780055Y, 780056Y, 780058BY, 78F0058Y,
IE-780308-R-EM, IE-780308-NS-EM1

内 容：シリアル転送状態^注でウエイク・アップ機能を実行(WUPフラグ(シリアル動作モード・レジスタ0(CSIM0)のビット5)をセット(1)することにより実行)すると、他のスレーブ・デバイスとマスタ・デバイス間のデータに対してアドレス判定を行ってしまいます。したがって、そのときのデータがμPD780058Yサブシリーズのスレーブ・アドレスと一致すると、μPD780058Yサブシリーズが通信に参加し、通信データを破壊してしまいます。

注 シリアル転送状態とは、シリアルI/Oシフト・レジスタ0(SIO0)の書き込み後、シリアル転送終了により割り込み要求フラグ(CSIF0)がセット(1)されるまでの状態を示します。

回避策：この制限事項はプログラムを変更することによって回避できます。

ウエイク・アップ機能を実行する前に、次に示すシリアル転送状態を解除するプログラムを実行してください。また、ウエイク・アップ機能を実行するときは、SIO0への書き込み命令を実行しないでください。SIO0への書き込み命令を実行しなくても、ウエイク・アップ機能実行時にデータ受信は可能です。

このプログラムは、シリアル転送状態を解除するためのプログラムです。シリアル転送状態を解除するためには、一度シリアル・インタフェース・チャンネル0を動作停止状態(CSIE0フラグ(シリアル動作モード・レジスタ(CSIM0)のビット7)をクリア(0))にする必要があります。ただし、I²Cバス・モードでシリアル・インタフェース・チャンネル0を動作停止状態にすると、SCL端子からはハイ・レベルを、SDA0(SDA1)端子からはロウ・レベルを出力してしまい、I²Cバスの通信に影響を与える可能性があります。そのためこのプログラムは、I²Cバスへの影響を避けるためにSCL端子およびSDA0(SDA1)端子をハイ・インピーダンス状態にしています。

また、この例ではシリアル・データ入力/出力端子をSDA0(/P25)として説明しています。シリアル・データ入力/出力端子をSDA1(/P26)にしている場合は、プログラム中のP2.5、PM2.5をそれぞれP2.6、PM2.6に読み替えてください。

このプログラムを実行したときの各信号のタイミングについては、図17-22を参照してください。

・シリアル転送状態を解除するプログラム例

```
SET1 P2.5 ; ①
SET1 PM2.5 ; ②
SET1 PM2.7 ; ③
CLR1 CSIE0 ; ④
SET1 CSIE0 ; ⑤
SET1 RELT ; ⑥
CLR1 PM2.7 ; ⑦
CLR1 P2.5 ; ⑧
CLR1 PM2.5 ; ⑨
```

- ① ⑤の命令でI²Cバス・モードに復帰したときに、SDA0端子からロウ・レベルを出力しないようにします。SDA0端子の出力はハイ・インピーダンス状態になります。
- ② ④の命令でポート・モードに移行したときに、SDA0ラインに影響を与えないようにするために、P25(/SDA0)端子を入力モードにします。入力モードに変化するタイミングは②の命令実行時です。
- ③ ④の命令でポート・モードに移行したときに、SCLラインに影響を与えないようにするために、P27(/SCL)端子を入力モードにします。入力モードに変化するタイミングは③の命令実行時です。
- ④ I²Cバス・モードからポート・モードに移行します。
- ⑤ ポート・モードからI²Cバス・モードに復帰します。
- ⑥ ⑧の命令でSDA0端子からロウ・レベルを出力しないようにします。
- ⑦ I²Cバス・モードでは、P27端子を出力モードにする必要がありますので、P27端子を出力モードにします。
- ⑧ I²Cバス・モードでは、P25端子を出力ラッチに0を設定する必要がありますので、P25端子の出力ラッチに0を設定します。
- ⑨ I²Cバス・モードでは、P25端子を出力モードにする必要がありますので、P25端子を出力モードにします。

備考 RELT：シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット0

★ 17.4.7 I²Cバス・モード使用時の制限事項 2

次に示す条件でI²Cバス・モードを使用する場合、CSIE0を0→1に変化させたときにSTOPコンディションの検出およびそれに伴う割り込みが発生します。そのため、動作許可(CSIE0を0→1)する際は以下の処理で行ってください。

適用条件：P26/SDA1をSDAラインとして使用し、かつP25/SDA0を入力ポートとして使用してCSIE0を0→1のタイミングでロウ・レベルを入力しているとき

(1) 動作許可時

SET1	CSIMK0	; INTCSIO割り込み禁止
SET1	CSIE0	; IIC動作許可
CLR1	CSIIF0	; INTCSIO割り込み要求フラグをクリア
CLR1	CSIMK0	; INTCSIO割り込み許可

注意 1. 以降、自局スレーブ・アドレス(SVA)と不一致のデータ受信をするまで、RELD = 1(ストップ・コンディション検出状態)となります。

2. RELD = 1(ストップ・コンディション検出状態)でスタート・コンディションが発生した場合でも、割り込み許可状態であれば割り込みは発生し、CMDD = 1(スタート・コンディション検出状態)となります。

(2) I²Cバス・モードのスレーブ・デバイスとして使用時 (17.4.6の制限事項に該当するとき)

シリアル転送状態を解除するプログラム例

SET1	CSIMK0	; INTCSIO割り込み禁止
SET1	P2.6	
SET1	PM2.6	
SET1	PM2.7	
CLR1	CSIE0	; IIC動作停止
SET1	CSIE0	; IIC動作許可
CLR1	CSIIF0	; INTCSIO割り込み要求フラグをクリア
CLR1	CSIMK0	; INTCSIO割り込み許可
SET1	RELT	
CLR1	PM2.7	
CLR1	P2.6	
CLR1	PM2.6	

注意 1. 以降、自局スレーブ・アドレス(SVA)と不一致のデータ受信をするまで、RELD = 1(ストップ・コンディション検出状態)となります。

2. RELD = 1(ストップ・コンディション検出状態)でスタート・コンディションが発生した場合でも、割り込み許可状態であれば割り込みは発生し、CMDD = 1(スタート・コンディション検出状態)となります。

17.4.8 SCK0/SCL/P27端子出力の操作

SCK0/SCL/P27端子は、通常のシリアル・クロック以外に、ソフトウェア操作によりスタティック出力が可能です。

また、シリアル・クロックの値をソフトウェアで任意に設定できます(SI0/SB0/SDA0, SO0/SB1/SDA1端子は、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット0 (RELT), ビット1 (CMDT)によって制御します)。

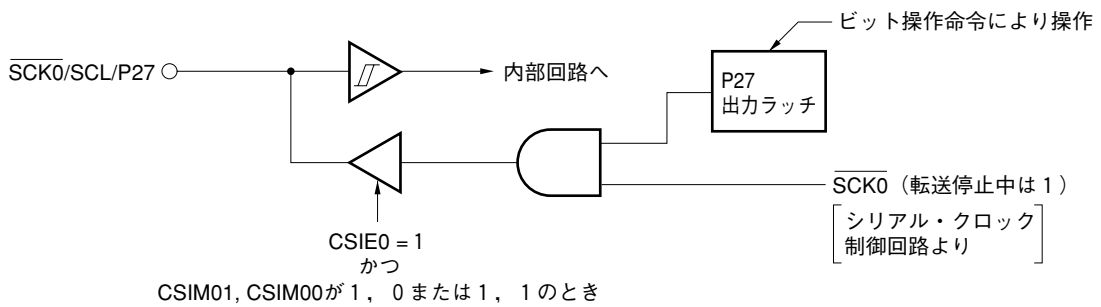
次に、SCK0/SCL/P27端子出力の操作方法を示します。

(1) 3線式シリアルI/Oモードおよび2線式シリアルI/Oモードの場合

P27出力ラッチにより、SCK0/SCL/P27端子の出力レベルを操作します。

- ① シリアル動作モード・レジスタ0 (CSIM0)を設定します(SCK0端子：出力モード、シリアル動作：可能状態)。シリアル転送停止中ではSCK0 = 1 となっています。
- ② P27出力ラッチを、ビット操作命令により操作します。

図17-27 SCK0/SCL/P27端子の構成

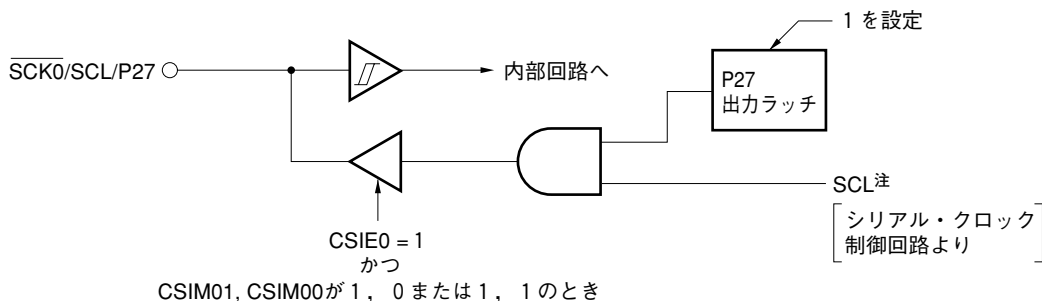


(2) I²Cバス・モードの場合

割り込みタイミング指定レジスタ(SINT)のCLCビットにより、 $\overline{\text{SCK0/SCL/P27}}$ 端子の出力レベルを操作します。

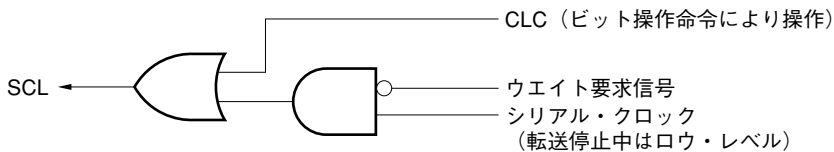
- ① シリアル動作モード・レジスタ0 (CSIM0)を設定します(SCL端子：出力モード，シリアル動作：可能状態)。P27出力ラッチには1を設定します。シリアル転送停止中ではSCL = 0 となります。
- ② SINTのCLCビットを，ビット操作命令により操作します。

図17-28 $\overline{\text{SCK0/SCL/P27}}$ 端子の構成



注 SCL信号のレベルは，図17-29に示す論理回路の内容に従います。

図17-29 SCL信号の論理回路



備考1. この図は各信号の関連を示すもので，内部回路を示すものではありません。

2. CLC：割り込みタイミング指定レジスタ(SINT)のビット3

第18章 シリアル・インタフェース・チャンネル1

18.1 シリアル・インタフェース・チャンネル1の機能

シリアル・インタフェース・チャンネル1には、次の3種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・自動送受信機能付き3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{\text{SCK1}}$)、シリアル出力(SO1)、シリアル入力(SI1)の3本のラインにより、8ビット・データを転送するモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

(3) 自動送受信機能付き3線式シリアルI/Oモード

(2)3線式シリアルI/Oモードと同じ機能に、自動送受信機能を付加したモードです。

自動送受信機能は、最大32バイトのデータを送受信する機能です。この機能によって、CPU独立にOSD(On Screen Display)用のデバイスや表示コントローラ/ドライバを内蔵したデバイスへのデータ送受信がハードウェアで行えますので、ソフトウェアの負担を軽減できます。

注意 シリアル・インタフェース・チャンネル2のアシクロナス・シリアル・インタフェース (UART) モードでP23/STB/TxD1, P24/BUSY/RxD1端子を使用する場合は、ビジィ制御オプション、ビジィ&ストローブ制御オプションは無効になります。

18.2 シリアル・インタフェース・チャンネル1の構成

シリアル・インタフェース・チャンネル1は、次のハードウェアで構成しています。

表18-1 シリアル・インタフェース・チャンネル1の構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ1 (SIO1) 自動データ送受信アドレス・ポインタ (ADTP)
制御レジスタ	タイマ・クロック選択レジスタ3 (TCL3) シリアル動作モード・レジスタ1 (CSIM1) 自動データ送受信コントロール・レジスタ (ADTC) 自動データ送受信間隔指定レジスタ (ADTI) ポート・モード・レジスタ2 (PM2) ^注

注 図6-5および図6-7 P20, P21, P23-P26のブロック図, 図6-6および図6-8 P22, P27のブロック図を参照してください。

(1) シリアル/I/Oシフト・レジスタ 1 (SIO1)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信(シフト動作)を行う8ビット・レジスタです。

SIO1は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ 1 (CSIM1)のビット7 (CSIE1)が1のとき、SIO1にデータを書き込むことにより開始されます。

送信時は、SIO1に書き込まれたデータが、シリアル出力(SO1)に出力されます。受信時は、データがシリアル入力(SI1)からSIO1に読み込まれます。

SIO1は、 $\overline{\text{RESET}}$ 入力により、不定になります。

注意 自動送受信機能が動作しているとき、SIO1にデータを書き込まないでください。

(2) 自動データ送受信アドレス・ポインタ(ADTP)

自動送受信機能動作時、(送信データ・バイト数-1)の値を格納するレジスタです。データ送受信に伴い、自動的にデクリメントされます。

ADTPは、8ビット・メモリ操作命令で設定します。このとき、上位3ビットには、0を設定してください。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 自動送受信機能が動作しているとき、ADTPにデータを書き込まないでください。

(3) シリアル・クロック・カウンタ

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8ビット・データが送受信されたことを調べます。

18.3 シリアル・インタフェース・チャンネル1を制御するレジスタ

シリアル・インタフェース・チャンネル1を制御するレジスタには、次の4種類があります。

- ・ タイマ・クロック選択レジスタ3 (TCL3)
- ・ シリアル動作モード・レジスタ1 (CSIM1)
- ・ 自動データ送受信コントロール・レジスタ (ADTC)
- ・ 自動データ送受信間隔指定レジスタ (ADTI)

(1) タイマ・クロック選択レジスタ3 (TCL3)

シリアル・インタフェース・チャンネル1のシリアル・クロックを設定するレジスタです。

TCL3は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、88Hになります。

備考 TCL3は、シリアル・インタフェース・チャンネル1のシリアル・クロックの設定以外に、シリアル・インタフェース・チャンネル0のシリアル・クロックを設定する機能があります。

図18-2 タイマ・クロック選択レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL3	TCL37	TCL36	TCL35	TCL34	TCL33	TCL32	TCL31	TCL30	FF43H	88H	R/W

TCL37	TCL36	TCL35	TCL34	シリアル・インタフェース・チャンネル1のシリアル・クロックの選択		
				MCS = 1		MCS = 0
0	1	1	0	$f_{xx}/2$	設定禁止	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
上記以外				設定禁止		

注意 TCL3を同一データ以外に書き換える場合は、いったんシリアル転送を停止させたのちに書き換えてください。

- 備考 1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
 2. f_x : メイン・システム・クロック発振周波数
 3. MCS : 発振モード選択レジスタ(OSMS)のビット0
 4. ()内は、 $f_x = 5.0$ MHz動作時。

(2) シリアル動作モード・レジスタ1 (CSIM1)

シリアル・インタフェース・チャンネル1のシリアル・クロック、動作モード、動作の許可/停止、自動送受信動作の許可/停止を設定するレジスタです。

CSIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図18-3 シリアル動作モード・レジスタ1のフォーマット

略号	⑦	6	⑤	4	3	2	1	0	アドレス	リセット時	R/W		
CSIM1	CSIE1	DIR	ATE	0	0	0	CSIM11	CSIM10	FF68H	00H	R/W		
CSIM11	CSIM10	シリアル・インタフェース・チャンネル1のクロックの選択											
0	×	$\overline{\text{SCK1}}$ 端子への外部クロック入力 ^{注1}											
1	0	8ビット・タイマ・レジスタ2 (TM2)の出力											
1	1	タイマ・クロック選択レジスタ3 (TCL3)のビット4-7で指定されたクロック											
ATE	シリアル・インタフェース・チャンネル1の動作モードの選択												
0	3線式シリアルI/Oモード												
1	自動送受信機能付き3線式シリアルI/Oモード												
DIR	先頭ビット				SI1端子の機能				SO1端子の機能				
0	MSB				SI1/P20				SO1				
1	LSB				(入力)				(CMOS出力)				
CSIE1	CSIM11	PM20	P20	PM21	P21	PM22	P22	シフト・レジスタ1の動作	シリアル・クロックカウンタの動作の制御	SI1/P20端子の機能	SO1/P21端子の機能	$\overline{\text{SCK1}}$ /P22端子の機能	
0	×	×	×	×	×	×	×	×	動作停止	クリア	P20 (CMOS入出力)	P21 (CMOS入出力)	P22 (CMOS入出力)
1	0	1	×	0	0	1	×	動作許可	カウント動作	SI1 ^{注3} (入力)	SO1 (CMOS出力)	$\overline{\text{SCK1}}$ (入力)	
	1					0	1					$\overline{\text{SCK1}}$ (CMOS出力)	

注1. CSIM11を0にして外部クロック入力を選択したとき、自動データ送受信コントロール・レジスタ (ADTC)のビット1 (BUSY1)、ビット2 (STRB)を0, 0に設定してください。

2. ポート機能として自由に使用できます。

3. 送信のみ使用するときは、P20 (CMOS入出力)として使用できます (ADTCのビット7 (RE)に0を設定してください)。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

(3) 自動データ送受信コントロール・レジスタ(ADTC)

自動送受信の受信の許可/禁止、動作モード、ストローブ出力の許可/禁止、ビジィ入力の許可/禁止、エラー・チェックの許可/禁止の設定と自動送受信の実行、エラー検出を表示するレジスタです。

ADTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(4) 自動データ送受信間隔指定レジスタ (ADTI)

自動送受信機能のデータ転送のインターバル時間を設定するレジスタです。

ADTIは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図18-5 自動データ送受信間隔指定レジスタのフォーマット(1/4)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI7	データ転送のインターバル時間の制御
0	ADTIによるインターバル時間の制御なし ^{注1}
1	ADTI (ADTI0-ADTI4)によるインターバル時間の制御あり

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (f _{xx} = 5.0 MHz動作時)	
					最小値 ^{注2}	最大値 ^{注2}
0	0	0	0	0	18.4 μs + 0.5/f _{sck}	20.0 μs + 1.5/f _{sck}
0	0	0	0	1	31.2 μs + 0.5/f _{sck}	32.8 μs + 1.5/f _{sck}
0	0	0	1	0	44.0 μs + 0.5/f _{sck}	45.6 μs + 1.5/f _{sck}
0	0	0	1	1	56.8 μs + 0.5/f _{sck}	58.4 μs + 1.5/f _{sck}
0	0	1	0	0	69.6 μs + 0.5/f _{sck}	71.2 μs + 1.5/f _{sck}
0	0	1	0	1	82.4 μs + 0.5/f _{sck}	84.0 μs + 1.5/f _{sck}
0	0	1	1	0	95.2 μs + 0.5/f _{sck}	96.8 μs + 1.5/f _{sck}
0	0	1	1	1	108.0 μs + 0.5/f _{sck}	109.6 μs + 1.5/f _{sck}
0	1	0	0	0	120.8 μs + 0.5/f _{sck}	122.4 μs + 1.5/f _{sck}
0	1	0	0	1	133.6 μs + 0.5/f _{sck}	135.2 μs + 1.5/f _{sck}
0	1	0	1	0	146.4 μs + 0.5/f _{sck}	148.0 μs + 1.5/f _{sck}
0	1	0	1	1	159.2 μs + 0.5/f _{sck}	160.8 μs + 1.5/f _{sck}
0	1	1	0	0	172.0 μs + 0.5/f _{sck}	173.6 μs + 1.5/f _{sck}
0	1	1	0	1	184.8 μs + 0.5/f _{sck}	186.4 μs + 1.5/f _{sck}
0	1	1	1	0	197.6 μs + 0.5/f _{sck}	199.2 μs + 1.5/f _{sck}
0	1	1	1	1	210.4 μs + 0.5/f _{sck}	212.0 μs + 1.5/f _{sck}

- 注1. インターバル時間は、CPU処理にのみ依存します。
2. データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます(n: ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が $2/f_{sck}$ よりも小さい場合、インターバル時間の最小値は $2/f_{sck}$ となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{sck}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{sck}}$$

- 注意1. 自動送受信 (ADTCレジスタのビット3 (TRF) = 1) の間中は、ADTIへの書き込みを行わないでください。
2. ビット5, 6には、必ず0を設定してください。
3. ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジィ制御 (18.4.3 (4) (a) ビジィ制御オプション参照) は無効になります。

備考 f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

f_x : メイン・システム・クロック発振周波数

f_{sck} : シリアル・クロック周波数

図18-5 自動データ送受信間隔指定レジスタのフォーマット(2/4)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (f _{xx} = 5.0 MHz動作時)	
					最小値 ^注	最大値 ^注
1	0	0	0	0	223.2 μs + 0.5/f _{sck}	224.8 μs + 1.5/f _{sck}
1	0	0	0	1	236.0 μs + 0.5/f _{sck}	237.6 μs + 1.5/f _{sck}
1	0	0	1	0	248.8 μs + 0.5/f _{sck}	250.4 μs + 1.5/f _{sck}
1	0	0	1	1	261.6 μs + 0.5/f _{sck}	263.2 μs + 1.5/f _{sck}
1	0	1	0	0	274.4 μs + 0.5/f _{sck}	276.0 μs + 1.5/f _{sck}
1	0	1	0	1	287.2 μs + 0.5/f _{sck}	288.8 μs + 1.5/f _{sck}
1	0	1	1	0	300.0 μs + 0.5/f _{sck}	301.6 μs + 1.5/f _{sck}
1	0	1	1	1	312.8 μs + 0.5/f _{sck}	314.4 μs + 1.5/f _{sck}
1	1	0	0	0	325.6 μs + 0.5/f _{sck}	327.2 μs + 1.5/f _{sck}
1	1	0	0	1	338.4 μs + 0.5/f _{sck}	340.0 μs + 1.5/f _{sck}
1	1	0	1	0	351.2 μs + 0.5/f _{sck}	352.8 μs + 1.5/f _{sck}
1	1	0	1	1	364.0 μs + 0.5/f _{sck}	365.6 μs + 1.5/f _{sck}
1	1	1	0	0	376.8 μs + 0.5/f _{sck}	378.4 μs + 1.5/f _{sck}
1	1	1	0	1	389.6 μs + 0.5/f _{sck}	391.2 μs + 1.5/f _{sck}
1	1	1	1	0	402.4 μs + 0.5/f _{sck}	404.0 μs + 1.5/f _{sck}
1	1	1	1	1	415.2 μs + 0.5/f _{sck}	416.8 μs + 1.5/f _{sck}

注 データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます (n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が2/f_{sck}よりも小さい場合、インターバル時間の最小値は2/f_{sck}となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{sck}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{sck}}$$

- 注意 1. 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。
- ビット5, 6には、必ず0を設定してください。
 - ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジィ制御(18.4.3 (4) (a) ビジィ制御オプション参照)は無効になります。

備考 f_{xx} : メイン・システム・クロック周波数 (fxまたはfx/2)
 fx : メイン・システム・クロック発振周波数
 f_{sck} : シリアル・クロック周波数

図18-5 自動データ送受信間隔指定レジスタのフォーマット(3/4)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI7	データ転送のインターバル時間の制御
0	ADTIによるインターバル時間の制御なし ^{注1}
1	ADTI(ADTI0-ADTI4)によるインターバル時間の制御あり

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (f _{xx} = 2.5 MHz動作時)	
					最小値 ^{注2}	最大値 ^{注2}
0	0	0	0	0	36.8 μs + 0.5/f _{sck}	40.0 μs + 1.5/f _{sck}
0	0	0	0	1	62.4 μs + 0.5/f _{sck}	65.6 μs + 1.5/f _{sck}
0	0	0	1	0	88.0 μs + 0.5/f _{sck}	91.2 μs + 1.5/f _{sck}
0	0	0	1	1	113.6 μs + 0.5/f _{sck}	116.8 μs + 1.5/f _{sck}
0	0	1	0	0	139.2 μs + 0.5/f _{sck}	142.4 μs + 1.5/f _{sck}
0	0	1	0	1	164.8 μs + 0.5/f _{sck}	168.0 μs + 1.5/f _{sck}
0	0	1	1	0	190.4 μs + 0.5/f _{sck}	193.6 μs + 1.5/f _{sck}
0	0	1	1	1	216.0 μs + 0.5/f _{sck}	219.2 μs + 1.5/f _{sck}
0	1	0	0	0	241.6 μs + 0.5/f _{sck}	244.8 μs + 1.5/f _{sck}
0	1	0	0	1	267.2 μs + 0.5/f _{sck}	270.4 μs + 1.5/f _{sck}
0	1	0	1	0	292.8 μs + 0.5/f _{sck}	296.0 μs + 1.5/f _{sck}
0	1	0	1	1	318.4 μs + 0.5/f _{sck}	321.6 μs + 1.5/f _{sck}
0	1	1	0	0	344.0 μs + 0.5/f _{sck}	347.2 μs + 1.5/f _{sck}
0	1	1	0	1	369.6 μs + 0.5/f _{sck}	372.8 μs + 1.5/f _{sck}
0	1	1	1	0	395.2 μs + 0.5/f _{sck}	398.4 μs + 1.5/f _{sck}
0	1	1	1	1	420.8 μs + 0.5/f _{sck}	424.0 μs + 1.5/f _{sck}

注1. インターバル時間は、CPU処理にのみ依存します。

- データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます (n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が2/f_{sck}よりも小さい場合、インターバル時間の最小値は2/f_{sck}となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{sck}} \quad \text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{sck}}$$

注意1. 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

- ビット5, 6には、必ず0を設定してください。
- ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジー制御(18.4.3(4)(a) ビジー制御オプション参照)は無効になります。

備考 f_{xx} : メイン・システム・クロック周波数 (fxまたはfx/2)

fx : メイン・システム・クロック発振周波数

f_{sck} : シリアル・クロック周波数

図18-5 自動データ送受信間隔指定レジスタのフォーマット(4/4)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (f _{xx} = 2.5 MHz動作時)	
					最小値 ^注	最大値 ^注
1	0	0	0	0	446.4 μs + 0.5/f _{sck}	449.6 μs + 1.5/f _{sck}
1	0	0	0	1	472.0 μs + 0.5/f _{sck}	475.2 μs + 1.5/f _{sck}
1	0	0	1	0	497.6 μs + 0.5/f _{sck}	500.8 μs + 1.5/f _{sck}
1	0	0	1	1	523.2 μs + 0.5/f _{sck}	526.4 μs + 1.5/f _{sck}
1	0	1	0	0	548.8 μs + 0.5/f _{sck}	552.0 μs + 1.5/f _{sck}
1	0	1	0	1	574.4 μs + 0.5/f _{sck}	577.6 μs + 1.5/f _{sck}
1	0	1	1	0	600.0 μs + 0.5/f _{sck}	603.2 μs + 1.5/f _{sck}
1	0	1	1	1	625.6 μs + 0.5/f _{sck}	628.8 μs + 1.5/f _{sck}
1	1	0	0	0	651.2 μs + 0.5/f _{sck}	654.4 μs + 1.5/f _{sck}
1	1	0	0	1	676.8 μs + 0.5/f _{sck}	680.0 μs + 1.5/f _{sck}
1	1	0	1	0	702.4 μs + 0.5/f _{sck}	705.6 μs + 1.5/f _{sck}
1	1	0	1	1	728.0 μs + 0.5/f _{sck}	731.2 μs + 1.5/f _{sck}
1	1	1	0	0	753.6 μs + 0.5/f _{sck}	756.8 μs + 1.5/f _{sck}
1	1	1	0	1	779.2 μs + 0.5/f _{sck}	782.4 μs + 1.5/f _{sck}
1	1	1	1	0	804.8 μs + 0.5/f _{sck}	808.0 μs + 1.5/f _{sck}
1	1	1	1	1	830.4 μs + 0.5/f _{sck}	833.6 μs + 1.5/f _{sck}

注 データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます(n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が2/f_{sck}よりも小さい場合、インターバル時間の最小値は2/f_{sck}となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{sck}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{sck}}$$

- 注意 1. 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。
2. ビット5, 6には、必ず0を設定してください。
3. ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジー制御(18.4.3 (4) (a) ビジー制御オプション参照)は無効になります。

備考 f_{xx} : メイン・システム・クロック周波数 (fxまたはfx/2)
 fx : メイン・システム・クロック発振周波数
 f_{sck} : シリアル・クロック周波数

18.4 シリアル・インタフェース・チャンネル1の動作

シリアル・インタフェース・チャンネル1の動作モードには、次の3種類があります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・自動送受信機能付き3線式シリアルI/Oモード

18.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。また、シリアルI/Oシフト・レジスタ1(SIO1)もシフト動作を行いませんので、通常の8ビット・レジスタとして使用できます。

また、動作停止モードでは、P20/SI1, P21/SO1, P22/ $\overline{\text{SCK1}}$, P23/STB/TxD1, P24/BUSY/RxD1端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードは、シリアル動作モード・レジスタ1(CSIM1)で設定します。

CSIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	6	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM1	CSIE1	DIR	ATE	0	0	0	CSIM11	CSIM10	FF68H	00H	R/W

CSIE1	CSIM11	PM20	P20	PM21	P21	PM22	P22	シフト・レジスタ1の動作	シリアル・クロック・カウンタの動作の制御	SI1/P20端子の機能	SO1/P21端子の機能	$\overline{\text{SCK1}}$ /P22端子の機能
0	×	×注1	×注1	×注1	×注1	×注1	×注1	動作停止	クリア	P20 (CMOS入出力)	P21 (CMOS入出力)	P22 (CMOS入出力)
1	0	1注2	×注2	0	0	1	×	動作許可	カウント動作	SI1注2 (入力)	SO1 (CMOS出力)	$\overline{\text{SCK1}}$ (入力)
	1				0	1	$\overline{\text{SCK1}}$ (CMOS出力)					

注1. ポート機能として自由に使用できます。

2. 送信のみ使用するときは、P20(CMOS入出力)になります(自動データ送受信コントロール・レジスタ(ADTC)のビット7(RE)に0を設定してください)。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

18.4.2 3線式シリアルI/Oモードの動作

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック($\overline{\text{SCK1}}$)、シリアル出力(SO1)、シリアル入力(SI1)の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードは、シリアル動作モード・レジスタ1 (CSIM1)で設定します。

CSIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	6	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM1	CSIE1	DIR	ATE	0	0	0	CSIM11	CSIM10	FF68H	00H	R/W

CSIM11	CSIM10	シリアル・インタフェース・チャンネル1のクロックの選択
0	×	$\overline{\text{SCK1}}$ 端子への外部クロック入力 ^注
1	0	8ビット・タイマ・レジスタ2 (TM2)の出力
1	1	タイマ・クロック選択レジスタ3 (TCL3)のビット4-7で指定されたクロック

ATE	シリアル・インタフェース・チャンネル1の動作モードの選択
0	3線式シリアルI/Oモード
1	自動送受信機能付き3線式シリアルI/Oモード

DIR	先頭ビット	SI1端子の機能	SO1端子の機能
0	MSB	SI1/P20	SO1
1	LSB	(入力)	(CMOS出力)

(続く)

注 CSIM11を0にして外部クロック入力を選択したとき、自動データ送受信コントロール・レジスタ (ADTC)のビット1 (BUSY1)、ビット2 (STRB)を0, 0に設定してください。

備考 × : don't care

CSIE1	CSIM11	PM20	P20	PM21	P21	PM22	P22	シフト・レジスタ1の動作	シリアル・クロック・カウンタの動作の制御	SI1/P20端子の機能	SO1/P21端子の機能	$\overline{\text{SCK1}}$ /P22端子の機能
0	×	×注1	×注1	×注1	×注1	×注1	×注1	動作停止	クリア	P20 (CMOS入出力)	P21 (CMOS入出力)	P22 (CMOS入出力)
1	0	1注2	×注2	0	0	1	×	動作許可	カウント動作	SI1注2 (入力)	SO1 (CMOS出力)	$\overline{\text{SCK1}}$ (入力)
	1						0					1

注1. ポート機能として自由に使用できます。

- 送信のみ使用するときは、P20(CMOS入出力)として使用できます(ADTCのビット7(RE)に0を設定してください)。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

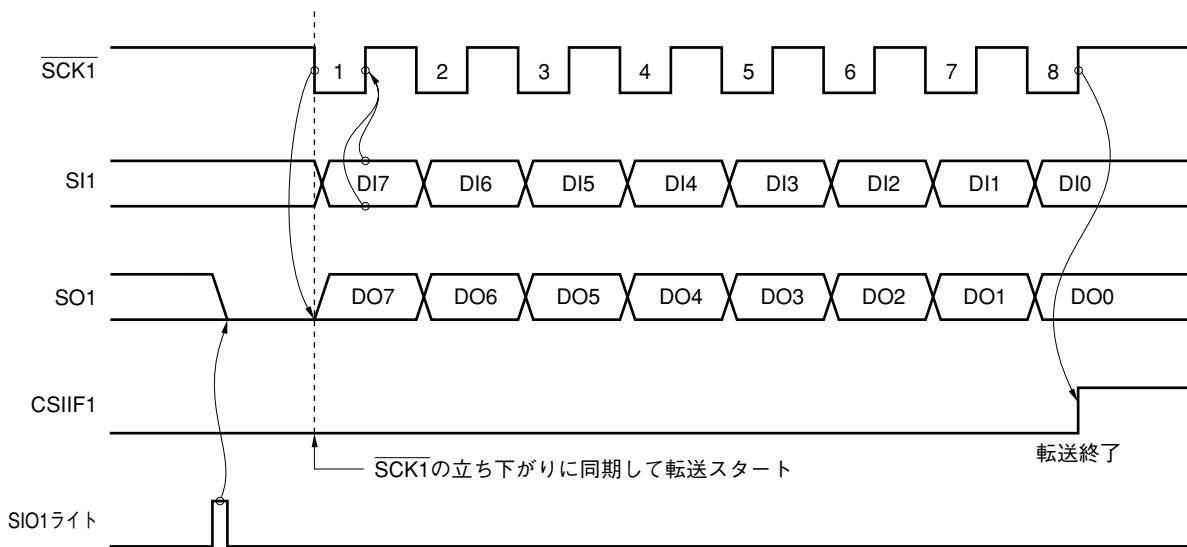
(2) 通信動作

3線式シリアル/Oモードは、8ビット単位でデータを送受信します。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル/Oシフト・レジスタ1(SIO1)のシフト動作は、シリアル・クロック($\overline{\text{SCK1}}$)の立ち下がりに同期して行われます。そして、送信データがSO1ラッチに保持され、SO1端子から出力されます。また、 $\overline{\text{SCK1}}$ の立ち上がりで、SI1端子に入力された受信データがSIO1にラッチされます。

8ビット転送終了により、SIO1の動作は自動的に停止し、割り込み要求フラグ(CSIIF1)がセットされます。

図18-6 3線式シリアルI/Oモードのタイミング



注意 SIO1ライトにより、SO1端子はロウ・レベルになります。

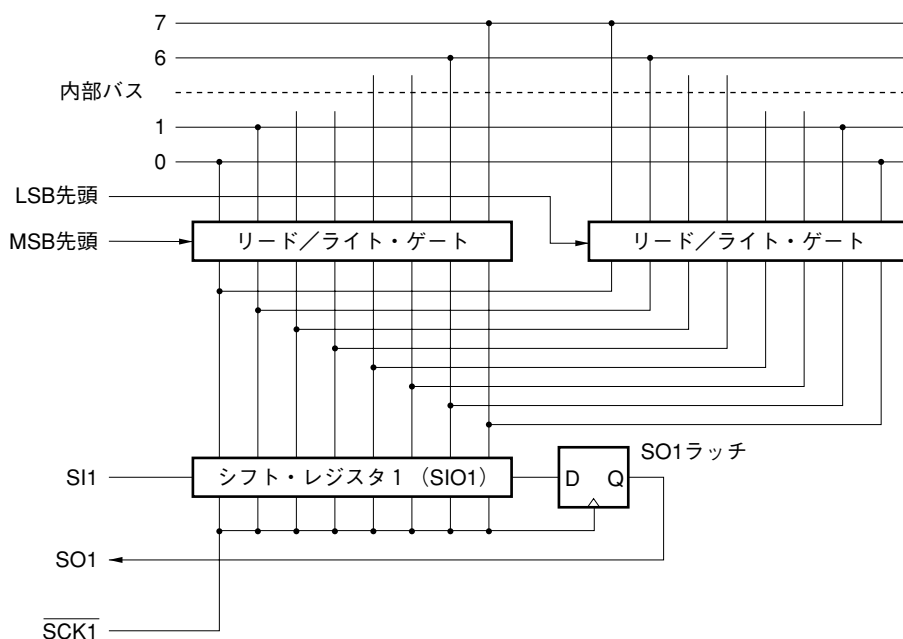
(3) MSB/LSB先頭の切り替え

3線式シリアルI/Oモードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図18-7にシリアルI/Oシフト・レジスタ1 (SIO1)、および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し／書き込みができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ1 (CSIM1)のビット6 (DIR)により指定できます。

図18-7 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO1へのデータ書き込みのビット順を切り替えることによって実現されています。SIO1のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットは、シフト・レジスタにデータを書き込む前に切り替えてください。

(4) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ1 (SIO1)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル1の動作の制御ビット(CSIE1) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK1}}$ がハイ・レベルの状態

注意 SIO1にデータを書き込んだあと、CSIE1を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIF1)をセットします。

18.4.3 自動送受信機能付き3線式シリアルI/Oモードの動作

最大32バイトのデータを、ソフトウェアの介在なしに送受信を行う3線式シリアルI/Oモードです。転送を開始させると、あらかじめRAMに格納しておいたデータを設定したバイト数だけ送信させたり、設定したバイト数だけデータを受信しRAMに格納させることができます。

また、連続してデータを送受信するために、ハードウェアによるハンドシェイク信号(STB, BUSY)をサポートしており、OSD(On Screen Display)用LSIやLCDコントローラ/ドライバなどの周辺LSIとの接続が容易に実現できます。

(1) レジスタの設定

自動送受信機能付き3線式シリアルI/Oモードは、シリアル動作モード・レジスタ1(CSIM1)と自動データ送受信コントロール・レジスタ(ADTC)、自動データ送受信間隔指定レジスタ(ADTI)で設定します。

(a) シリアル動作モード・レジスタ1(CSIM1)

CSIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	6	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM1	CSIE1	DIR	ATE	0	0	0	CSIM11	CSIM10	FF68H	00H	R/W

CSIM11	CSIM10	シリアル・インタフェース・チャンネル1のクロックの選択
0	×	SCK1端子への外部クロック入力 ^{注1}
1	0	8ビット・タイマ・レジスタ2(TM2)の出力
1	1	タイマ・クロック選択レジスタ3(TCL3)のビット4-7で指定されたクロック

ATE	シリアル・インタフェース・チャンネル1の動作モードの選択
0	3線式シリアルI/Oモード
1	自動送受信機能付き3線式シリアルI/Oモード

DIR	先頭ビット	SI1端子の機能	SO1端子の機能
0	MSB	SI1/P20	SO1
1	LSB	(入力)	(CMOS出力)

CSIE1	CSIM11	PM20	P20	PM21	P21	PM22	P22	シフト・レジスタ1の動作	シリアル・クロックカウンタの動作の制御	SI1/P20端子の機能	SO1/P21端子の機能	SCK1/P22端子の機能
0	×	×	×	×	×	×	×	動作停止	クリア	P20 (CMOS入出力)	P21 (CMOS入出力)	P22 (CMOS入出力)
1	0	1	×	0	0	1	×	動作許可	カウント動作	SI1 ^{注3} (入力)	SO1 (CMOS出力)	SCK1 (入力)
	1					0	1					SCK1 (CMOS出力)

注1. CSIM11を0にして外部クロック入力を選択したとき、自動データ送受信コントロール・レジスタ(ADTC)のビット1(BUSY1)、ビット2(STRB)を0,0に設定してください。

2. ポート機能として自由に使用できます。

3. 送信のみ使用するとき、P20(CMOS入出力)として使用できます(ADTCのビット7(RE)に0を設定してください)。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

(b) 自動データ送受信コントロール・レジスタ(ADTC)

ADTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	④	③	②	①	①	①	①	アドレス	リセット時	R/W
ADTC	RE	ARLD	ERCE	ERR	TRF	STRB	BUSY1	BUSY0			FF69H	00H	R/W ^{注1}
									R/W	BUSY1	BUSY0	ビジィ入力の制御	
										0	×	ビジィ入力を使用しない	
										1	0	ビジィ入力許可 (ハイ・アクティブ)	
										1	1	ビジィ入力許可 (ロウ・アクティブ)	
									R/W	STRB	ストローブ出力の制御		
										0	ストローブ出力禁止		
										1	ストローブ出力許可		
									R	TRF	自動送受信機能のステータス ^{注2}		
										0	自動送受信の終了を検出 (自動送受信の中断またはARLD = 0のとき, 0になります)		
										1	自動送受信中 (SIO1に書き込むことによって, 1になります)		
									R	ERR	自動送受信機能のエラー検出		
										0	自動送受信時, エラーなし (SIO1に書き込むことによって, 0になります)		
										1	自動送受信時, エラーあり		
									R/W	ERCE	自動送受信機能のエラー・チェックの制御		
										0	自動送受信時, エラー・チェック禁止		
										1	自動送受信時, エラー・チェック許可 (BUSY1 = 1のときのみ)		
									R/W	ARLD	自動送受信機能の動作モードの選択		
										0	単発モード		
										1	繰り返しモード		
									R/W	RE	自動送受信機能の受信の制御		
										0	受信禁止		
										1	受信許可		

注1. ビット3, 4 (TRF, ERR) は、Read Onlyです。

2. 自動送受信の終了はCSIF1 (割り込み要求フラグ) ではなくTRFで判定してください。

注意 シリアル動作モード・レジスタ1 (CSIM1)のビット1 (CSIM11)を0にして外部クロック入力を選択したとき、ADTCのSTRB, BUSY1を0, 0に設定してください(外部クロックを入力したとき、ハンドシェイク制御はできません)。

備考 × : don't care

(c) 自動データ送受信間隔指定レジスタ(ADTI)

自動送受信機能のデータ転送のインターバル時間を設定するレジスタです。

ADTIは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI7	データ転送のインターバル時間の制御
0	ADTIによるインターバル時間の制御なし ^{注1}
1	ADTI(ADTI0-ADTI4)によるインターバル時間の制御あり

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (f _{xx} = 5.0 MHz動作時)	
					最小値 ^{注2}	最大値 ^{注2}
0	0	0	0	0	18.4 μs + 0.5/f _{sck}	20.0 μs + 1.5/f _{sck}
0	0	0	0	1	31.2 μs + 0.5/f _{sck}	32.8 μs + 1.5/f _{sck}
0	0	0	1	0	44.0 μs + 0.5/f _{sck}	45.6 μs + 1.5/f _{sck}
0	0	0	1	1	56.8 μs + 0.5/f _{sck}	58.4 μs + 1.5/f _{sck}
0	0	1	0	0	69.6 μs + 0.5/f _{sck}	71.2 μs + 1.5/f _{sck}
0	0	1	0	1	82.4 μs + 0.5/f _{sck}	84.0 μs + 1.5/f _{sck}
0	0	1	1	0	95.2 μs + 0.5/f _{sck}	96.8 μs + 1.5/f _{sck}
0	0	1	1	1	108.0 μs + 0.5/f _{sck}	109.6 μs + 1.5/f _{sck}
0	1	0	0	0	120.8 μs + 0.5/f _{sck}	122.4 μs + 1.5/f _{sck}
0	1	0	0	1	133.6 μs + 0.5/f _{sck}	135.2 μs + 1.5/f _{sck}
0	1	0	1	0	146.4 μs + 0.5/f _{sck}	148.0 μs + 1.5/f _{sck}
0	1	0	1	1	159.2 μs + 0.5/f _{sck}	160.8 μs + 1.5/f _{sck}
0	1	1	0	0	172.0 μs + 0.5/f _{sck}	173.6 μs + 1.5/f _{sck}
0	1	1	0	1	184.8 μs + 0.5/f _{sck}	186.4 μs + 1.5/f _{sck}
0	1	1	1	0	197.6 μs + 0.5/f _{sck}	199.2 μs + 1.5/f _{sck}
0	1	1	1	1	210.4 μs + 0.5/f _{sck}	212.0 μs + 1.5/f _{sck}

注1. インターバル時間は、CPU処理にのみ依存します。

2. データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます(n: ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が $2/f_{sck}$ よりも小さい場合、インターバル時間の最小値は $2/f_{sck}$ となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{sck}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{sck}}$$

注意1. 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2. ビット5, 6には、必ず0を設定してください。
3. ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジィ制御(18.4.3 (4)(a) ビジィ制御オプション参照)は無効になります。

備考 f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)

f_x : メイン・システム・クロック発振周波数

f_{sck} : シリアル・クロック周波数

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (f _{xx} = 5.0 MHz動作時)	
					最小値 ^注	最大値 ^注
1	0	0	0	0	223.2 μs + 0.5/f _{sck}	224.8 μs + 1.5/f _{sck}
1	0	0	0	1	236.0 μs + 0.5/f _{sck}	237.6 μs + 1.5/f _{sck}
1	0	0	1	0	248.8 μs + 0.5/f _{sck}	250.4 μs + 1.5/f _{sck}
1	0	0	1	1	261.6 μs + 0.5/f _{sck}	263.2 μs + 1.5/f _{sck}
1	0	1	0	0	274.4 μs + 0.5/f _{sck}	276.0 μs + 1.5/f _{sck}
1	0	1	0	1	287.2 μs + 0.5/f _{sck}	288.8 μs + 1.5/f _{sck}
1	0	1	1	0	300.0 μs + 0.5/f _{sck}	301.6 μs + 1.5/f _{sck}
1	0	1	1	1	312.8 μs + 0.5/f _{sck}	314.4 μs + 1.5/f _{sck}
1	1	0	0	0	325.6 μs + 0.5/f _{sck}	327.2 μs + 1.5/f _{sck}
1	1	0	0	1	338.4 μs + 0.5/f _{sck}	340.0 μs + 1.5/f _{sck}
1	1	0	1	0	351.2 μs + 0.5/f _{sck}	352.8 μs + 1.5/f _{sck}
1	1	0	1	1	364.0 μs + 0.5/f _{sck}	365.6 μs + 1.5/f _{sck}
1	1	1	0	0	376.8 μs + 0.5/f _{sck}	378.4 μs + 1.5/f _{sck}
1	1	1	0	1	389.6 μs + 0.5/f _{sck}	391.2 μs + 1.5/f _{sck}
1	1	1	1	0	402.4 μs + 0.5/f _{sck}	404.0 μs + 1.5/f _{sck}
1	1	1	1	1	415.2 μs + 0.5/f _{sck}	416.8 μs + 1.5/f _{sck}

注 データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます (n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が2/f_{sck}よりも小さい場合、インターバル時間の最小値は2/f_{sck}となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{sck}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{sck}}$$

注意1. 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2. ビット5, 6には、必ず0を設定してください。

3. ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジー制御(18.4.3 (4)(a) ビジー制御オプション参照)は無効になります。

備考 f_{xx} : メイン・システム・クロック周波数 (fxまたはfx/2)

fx : メイン・システム・クロック発振周波数

f_{sck} : シリアル・クロック周波数

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI7	データ転送のインターバル時間の制御
0	ADTIによるインターバル時間の制御なし ^{注1}
1	ADTI(ADTI0-ADTI4)によるインターバル時間の制御あり

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (f _{xx} = 2.5 MHz動作時)	
					最小値 ^{注2}	最大値 ^{注2}
0	0	0	0	0	36.8 μs + 0.5/f _{sck}	40.0 μs + 1.5/f _{sck}
0	0	0	0	1	62.4 μs + 0.5/f _{sck}	65.6 μs + 1.5/f _{sck}
0	0	0	1	0	88.0 μs + 0.5/f _{sck}	91.2 μs + 1.5/f _{sck}
0	0	0	1	1	113.6 μs + 0.5/f _{sck}	116.8 μs + 1.5/f _{sck}
0	0	1	0	0	139.2 μs + 0.5/f _{sck}	142.4 μs + 1.5/f _{sck}
0	0	1	0	1	164.8 μs + 0.5/f _{sck}	168.0 μs + 1.5/f _{sck}
0	0	1	1	0	190.4 μs + 0.5/f _{sck}	193.6 μs + 1.5/f _{sck}
0	0	1	1	1	216.0 μs + 0.5/f _{sck}	219.2 μs + 1.5/f _{sck}
0	1	0	0	0	241.6 μs + 0.5/f _{sck}	244.8 μs + 1.5/f _{sck}
0	1	0	0	1	267.2 μs + 0.5/f _{sck}	270.4 μs + 1.5/f _{sck}
0	1	0	1	0	292.8 μs + 0.5/f _{sck}	296.0 μs + 1.5/f _{sck}
0	1	0	1	1	318.4 μs + 0.5/f _{sck}	321.6 μs + 1.5/f _{sck}
0	1	1	0	0	344.0 μs + 0.5/f _{sck}	347.2 μs + 1.5/f _{sck}
0	1	1	0	1	369.6 μs + 0.5/f _{sck}	372.8 μs + 1.5/f _{sck}
0	1	1	1	0	395.2 μs + 0.5/f _{sck}	398.4 μs + 1.5/f _{sck}
0	1	1	1	1	420.8 μs + 0.5/f _{sck}	424.0 μs + 1.5/f _{sck}

注1. インターバル時間は、CPU処理にのみ依存します。

2. データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます(n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が2/f_{sck}よりも小さい場合、インターバル時間の最小値は2/f_{sck}となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{sck}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{sck}}$$

注意1. 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2. ビット5, 6には、必ず0を設定してください。

3. ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジー制御(18.4.3 (4)(a) ビジー制御オプション参照)は無効になります。

備考 f_{xx} : メイン・システム・クロック周波数(f_xまたはf_x/2)

f_x : メイン・システム・クロック発振周波数

f_{sck} : シリアル・クロック周波数

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (f _{xx} = 2.5 MHz動作時)	
					最小値 ^注	最大値 ^注
1	0	0	0	0	446.4 μs + 0.5/f _{sck}	449.6 μs + 1.5/f _{sck}
1	0	0	0	1	472.0 μs + 0.5/f _{sck}	475.2 μs + 1.5/f _{sck}
1	0	0	1	0	497.6 μs + 0.5/f _{sck}	500.8 μs + 1.5/f _{sck}
1	0	0	1	1	523.2 μs + 0.5/f _{sck}	526.4 μs + 1.5/f _{sck}
1	0	1	0	0	548.8 μs + 0.5/f _{sck}	552.0 μs + 1.5/f _{sck}
1	0	1	0	1	574.4 μs + 0.5/f _{sck}	577.6 μs + 1.5/f _{sck}
1	0	1	1	0	600.0 μs + 0.5/f _{sck}	603.2 μs + 1.5/f _{sck}
1	0	1	1	1	625.6 μs + 0.5/f _{sck}	628.8 μs + 1.5/f _{sck}
1	1	0	0	0	651.2 μs + 0.5/f _{sck}	654.4 μs + 1.5/f _{sck}
1	1	0	0	1	676.8 μs + 0.5/f _{sck}	680.0 μs + 1.5/f _{sck}
1	1	0	1	0	702.4 μs + 0.5/f _{sck}	705.6 μs + 1.5/f _{sck}
1	1	0	1	1	728.0 μs + 0.5/f _{sck}	731.2 μs + 1.5/f _{sck}
1	1	1	0	0	753.6 μs + 0.5/f _{sck}	756.8 μs + 1.5/f _{sck}
1	1	1	0	1	779.2 μs + 0.5/f _{sck}	782.4 μs + 1.5/f _{sck}
1	1	1	1	0	804.8 μs + 0.5/f _{sck}	808.0 μs + 1.5/f _{sck}
1	1	1	1	1	830.4 μs + 0.5/f _{sck}	833.6 μs + 1.5/f _{sck}

注 データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます (n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が2/f_{sck}よりも小さい場合、インターバル時間の最小値は2/f_{sck}となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{sck}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{sck}}$$

注意1. 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2. ビット5, 6には、必ず0を設定してください。

3. ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジー制御(18.4.3 (4)(a) ビジー制御オプション参照)は無効になります。

備考 f_{xx} : メイン・システム・クロック周波数 (fxまたはfx/2)

fx : メイン・システム・クロック発振周波数

f_{sck} : シリアル・クロック周波数

(2) 自動送受信データの設定

(a) 送信データの設定

- ① バッファRAMの最下位アドレスFAC0Hから送信データを書き込む(最大FADFHまで)。ただし、送信データ順は、上位アドレスから下位アドレスです。
- ② 自動データ送受信アドレス・ポインタ(ADTP)に、送信データ・バイト数から1を引いた値を設定する。

(b) 自動送受信モードの設定

- ① シリアル動作モード・レジスタ1(CSIM1)のCSIE1に1, ATEに1を設定する。
- ② 自動データ送受信コントロール・レジスタ(ADTC)のREに1を設定する。
- ③ 自動データ送受信間隔指定レジスタ(ADTI)にデータ送受信の転送間隔を設定する。
- ④ シリアルI/Oシフト・レジスタ1(SIO1)に任意の値を書き込む(転送開始トリガ)。

注意 SIO1への任意の値の書き込みは、自動送受信動作の開始を指示するものであり、書き込んだ値には意味がありません。

(a), (b)を行うことによって、次の動作が自動的に行われます。

- ・ADTPで指定したバッファRAMのデータをSIO1に転送後、送信を行います(自動送受信動作の開始)。
- ・受信したデータは、ADTPで指定したバッファRAMのアドレスへ書き込まれます。
- ・ADTPがデクリメントされ、次のデータの送受信を行います。データの送受信は、ADTPのデクリメント出力が00Hになり、FAC0H番地のデータを出力するまで行われます(自動送受信動作の終了)。
- ・自動送受信動作が終了するとTRFが0にクリアされます。

(3) 通信動作

(a) 基本送受信モード

3線式シリアル/Oモードと同じ8ビット単位のデータ送受信を指定回数だけ実行する送受信モードです。

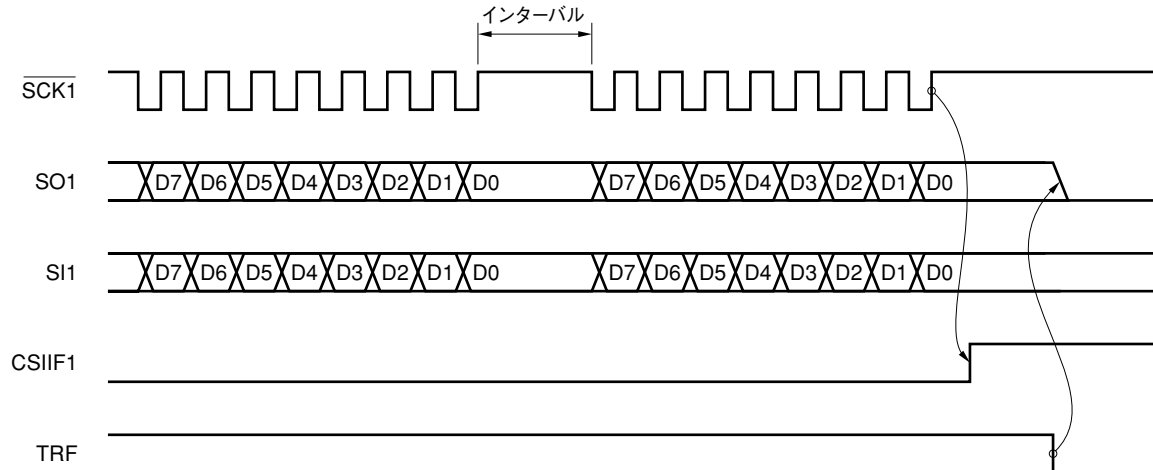
シリアル転送は、シリアル動作モード・レジスタ1 (CSIM1)のビット7 (CSIE1)が1にセットされているとき、シリアル/Oシフト・レジスタ1 (SIO1)へ任意のデータを書き込むことによって開始します。

最終バイト送信完了時には割り込み要求フラグ(CSIF1)がセットされます。ただし、自動送受信の終了はCSIF1ではなく、自動データ送受信コントロール・レジスタ(ADTC)のビット3 (TRF)で判定してください。

なお、ビジー制御、ストローブ制御を行わない場合は、P23/STB/TxD1, P24/BUSY/RxD1端子を通常の入出力ポートとして使用できます。

基本送受信モードの動作タイミングを図18-8に、動作フロー・チャートを図18-9に示します。また、6バイト分送受信するときの内部バッファRAMの動作を図18-10に示します。

図18-8 基本送受信モードの動作タイミング



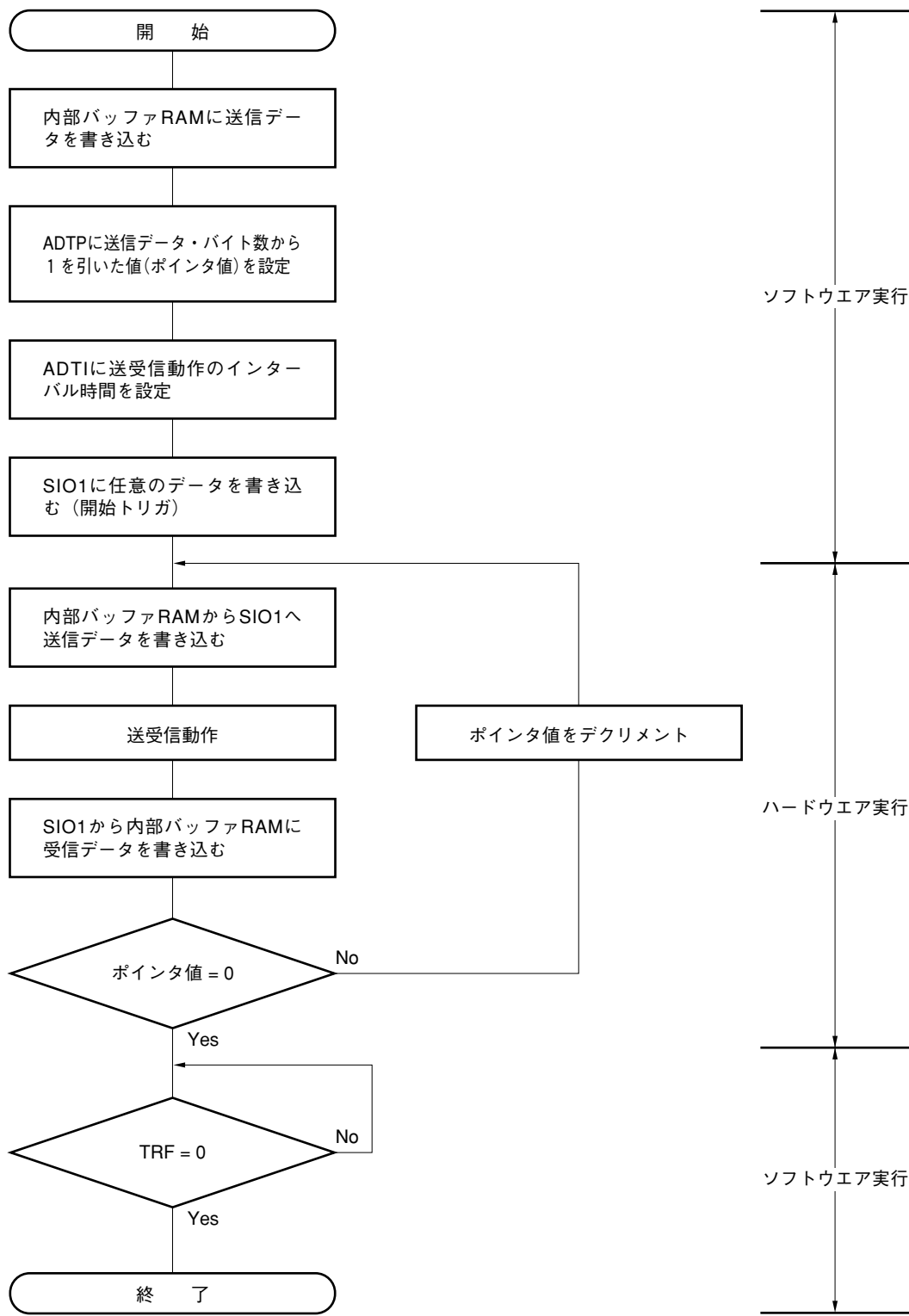
注意1. 基本送受信モードでは、1バイト送受信後、内部バッファRAMへの書き込み/読み出しを行うため、次の送受信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMへの書き込み/読み出しを行っていますので、最大インターバル時間はCPU処理と自動データ送受信間隔指定レジスタ(ADTI)の値に依存します((5) 自動送受信のインターバル時間参照)。

2. TRFがクリアされると、SO1端子はロウ・レベルになります。

備考 CSIF1：割り込み要求フラグ

TRF：自動データ送受信コントロール・レジスタ(ADTC)のビット3

図18-9 基本送受信モードのフロー・チャート



- ADTP : 自動データ送受信アドレス・ポインタ
- ADTI : 自動データ送受信間隔指定レジスタ
- SIO1 : シリアルI/Oシフト・レジスタ1
- TRF : 自動データ送受信コントロール・レジスタ (ADTC) のビット3

基本送受信モードで6バイト分送受信するとき (ARLD = 0, RE = 1), 内部バッファRAMは次のような動作をします。

(i) 送受信動作前 (図18-10 (a) 参照)

シリアル/Oシフト・レジスタ1 (SIO1)に任意のデータを書き込んだあと(開始トリガ:このデータは転送されません), 内部バッファRAMから送信データ1 (T1)がSIO1へ転送されます。1バイト目の送信が完了すると, SIO1からバッファRAMへ受信データ1 (R1)が転送され, 自動データ送受信アドレス・ポインタ (ADTP)がデクリメントされます。続いて内部バッファRAMから送信データ2 (T2)がSIO1へ転送されます。

(ii) 4バイト目送受信動作時点 (図18-10 (b) 参照)

3バイト目の送受信が完了し, 内部バッファRAMから送信データ4 (T4)がSIO1へ転送されます。4バイト目の送信が完了すると, SIO1から内部バッファRAMへ受信データ4 (R4)が転送され, ADTPがデクリメントされます。

(iii) 送受信完了 (図18-10 (c) 参照)

6バイト目の送信が完了すると, SIO1から内部バッファRAMへ受信データ6 (R6)が転送され, 割り込み要求フラグ (CSIF1)がセットされます (INTCSI1発生)。

図18-10 6バイト分送受信するときの内部バッファRAMの動作(基本送受信モード時) (1/2)

(a) 送受信動作前

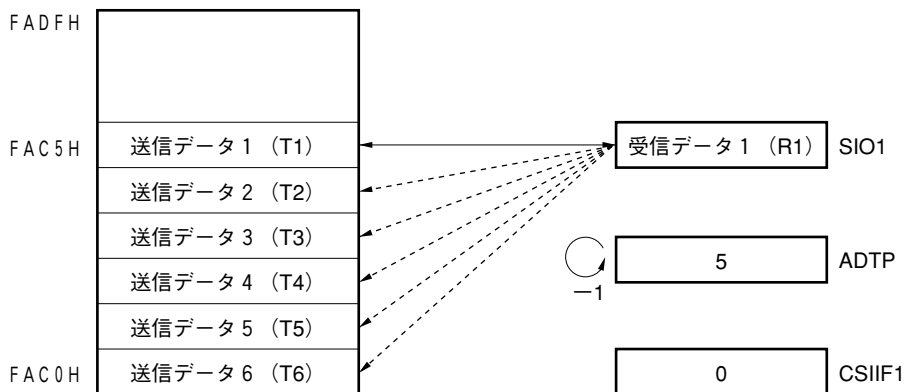
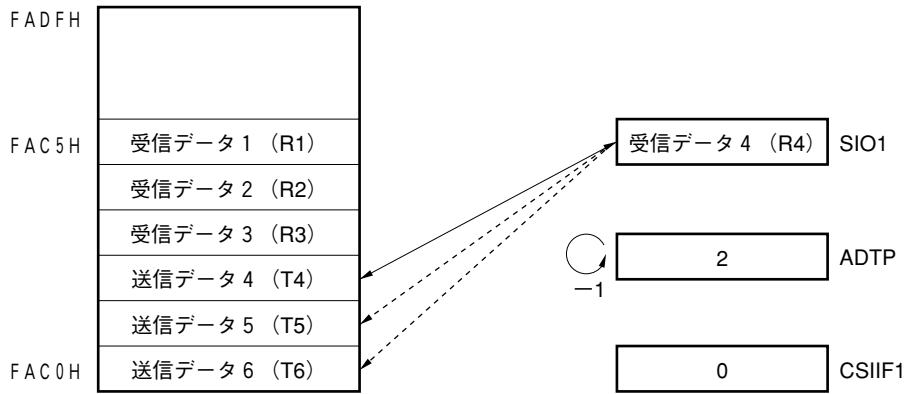
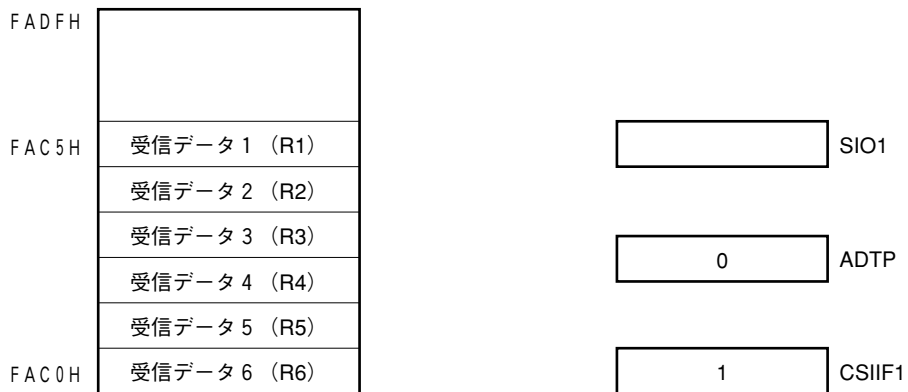


図18-10 6バイト分送受信するときの内部バッファRAMの動作(基本送受信モード時)(2/2)

(b) 4バイト目送受信動作時点



(c) 送受信完了



(b) 基本送信モード

8ビット単位のデータ送信を指定回数だけ実行する送信モードです。

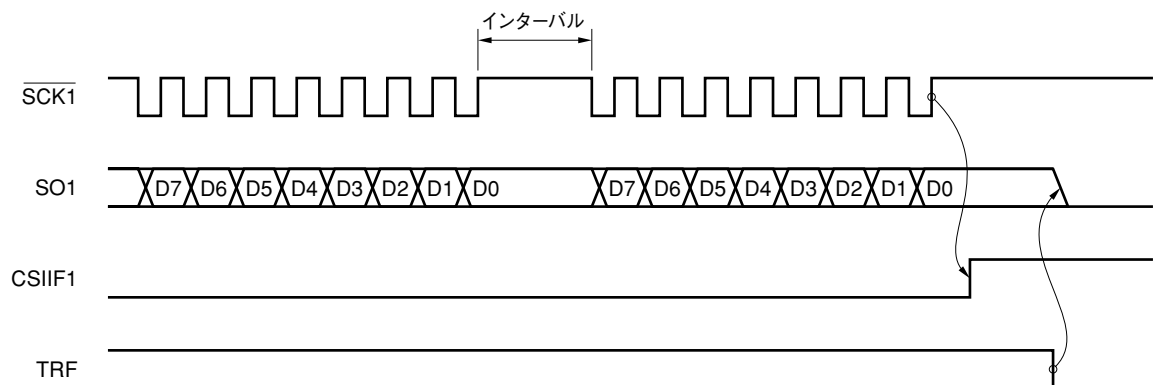
シリアル転送は、シリアル動作モード・レジスタ1 (CSIM1)のビット7 (CSIE1)が1にセットされているとき、シリアルI/Oシフト・レジスタ1 (SIO1)へ任意のデータを書き込むことによって開始します。

最終バイト送信完了時には割り込み要求フラグ(CSIIF1)がセットされます。ただし、自動送受信の終了は、CSIIF1ではなく、自動データ送受信コントロール・レジスタ(ADTC)のビット3 (TRF)で判定してください。

なお、受信動作、ビジー制御、ストローブ制御を行わない場合は、P20/SI1, P23/STB/TxD1, P24/BUSY/RxD1端子を通常の入出力ポートとして使用できます。

基本送信モードの動作タイミングを図18-11に、動作フロー・チャートを図18-12に示します。また、6バイト分送信するときの内部バッファRAMの動作を図18-13に示します。

図18-11 基本送信モードの動作タイミング



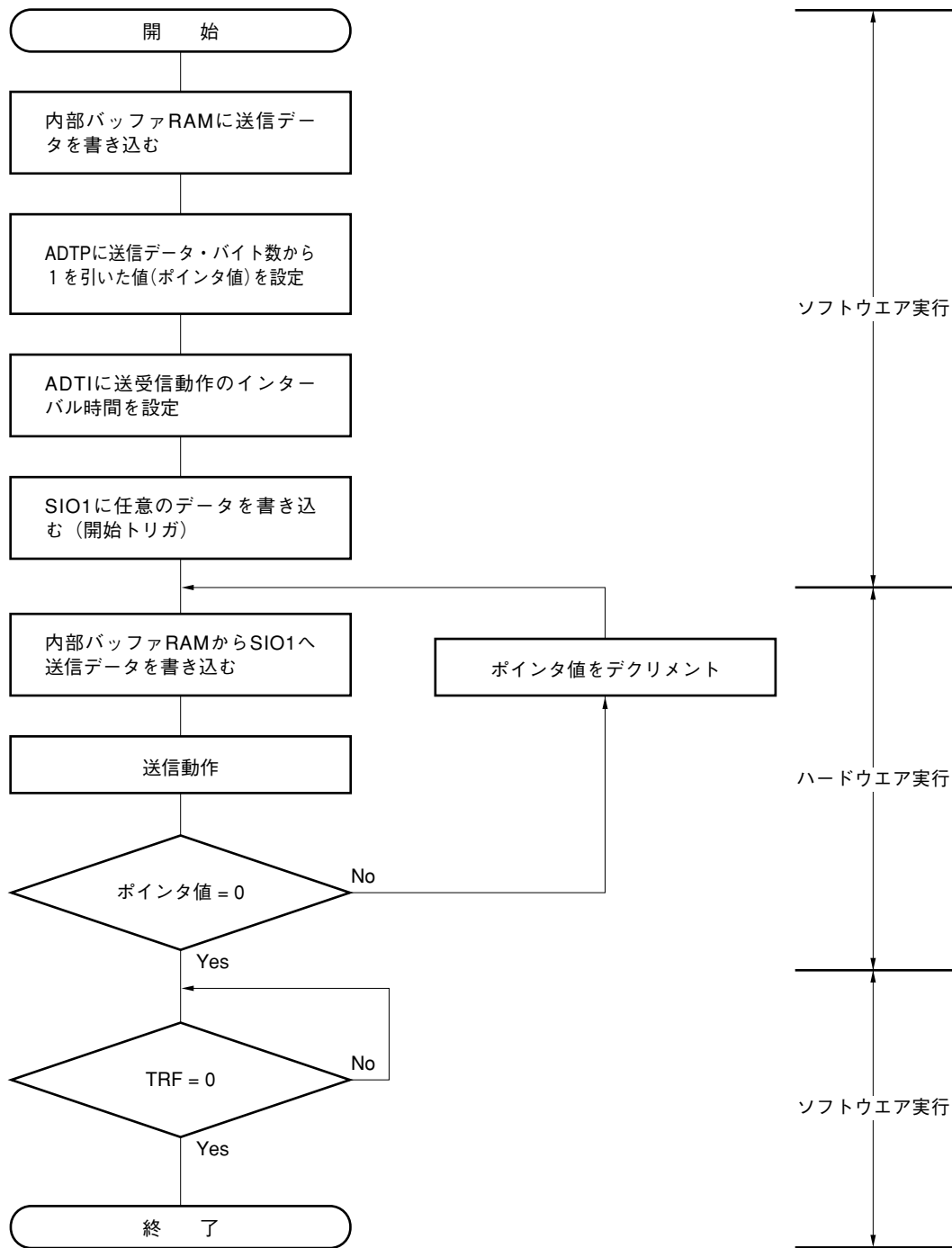
注意 1. 基本送信モードでは、1バイト送信後、内部バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので、最大インターバル時間はCPU処理と自動データ送受信間隔指定レジスタ(ADTI)の値に依存します((5) 自動送受信のインターバル時間参照)。

2. TRFがクリアされると、SO1端子はロウ・レベルになります。

備考 CSIIF1 : 割り込み要求フラグ

TRF : 自動データ送受信コントロール・レジスタ(ADTC)のビット3

図18-12 基本送信モードのフロー・チャート



- ADTP : 自動データ送受信アドレス・ポインタ
- ADTI : 自動データ送受信間隔指定レジスタ
- SIO1 : シリアルI/Oシフト・レジスタ1
- TRF : 自動データ送受信コントロール・レジスタ (ADTC) のビット3

基本送信モードで6バイト分送信するとき (ARLD = 0, RE = 0), 内部バッファRAMは次のような動作をします。

(i) 送信動作前 (図18-13 (a) 参照)

シリアル/Oシフト・レジスタ1 (SIO1)に任意のデータを書き込んだあと (開始トリガ: このデータは転送されません), 内部バッファRAMから送信データ1 (T1)がSIO1へ転送されます。1バイト目の送信が完了すると, 自動データ送受信アドレス・ポインタ (ADTP)がデクリメントされます。続いて内部バッファRAMから送信データ2 (T2)がSIO1へ転送されます。

(ii) 4バイト目送信動作時点 (図18-13 (b) 参照)

3バイト目の送信が完了し, 内部バッファRAMから送信データ4 (T4)がSIO1へ転送されます。4バイト目の送信が完了すると, ADTPがデクリメントされます。

(iii) 送信完了 (図18-13 (c) 参照)

6バイト目の送信が完了すると, 割り込み要求フラグ (CSIF1)がセットされます (INTCSI1発生)。

図18-13 6バイト分送信するときの内部バッファRAMの動作 (基本送信モード時) (1/2)

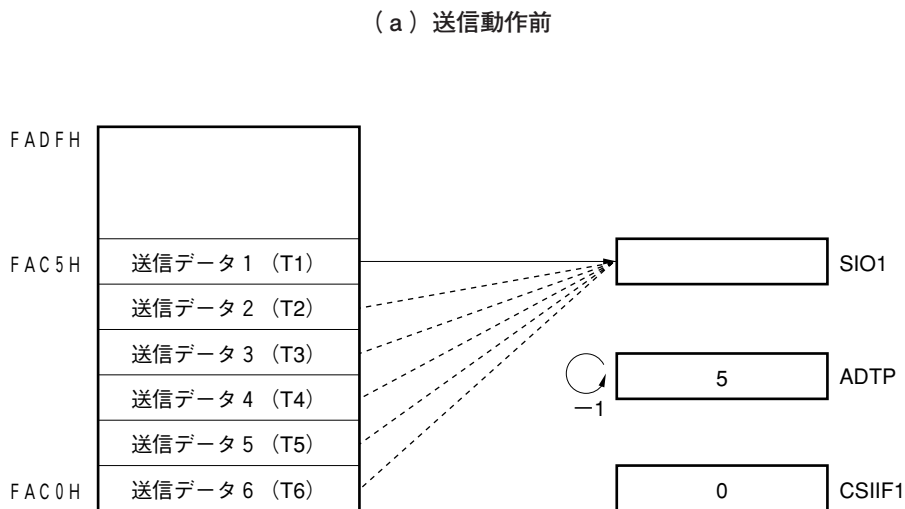
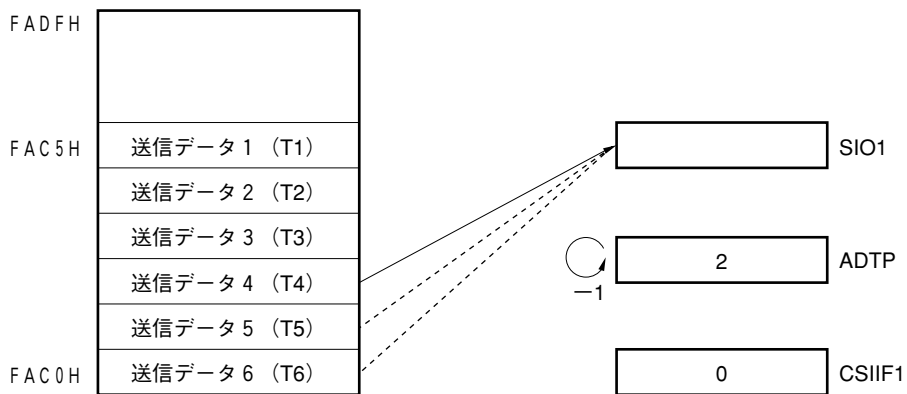
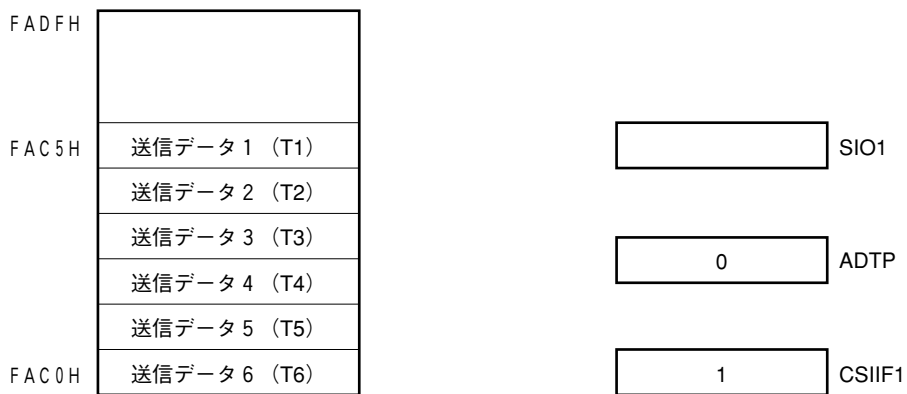


図18-13 6バイト分送信するときの内部バッファRAMの動作(基本送信モード時)(2/2)

(b) 4バイト目送信動作時点



(c) 送信完了



(c) 繰り返し送信モード

内部バッファRAMに格納したデータを繰り返し送信するモードです。

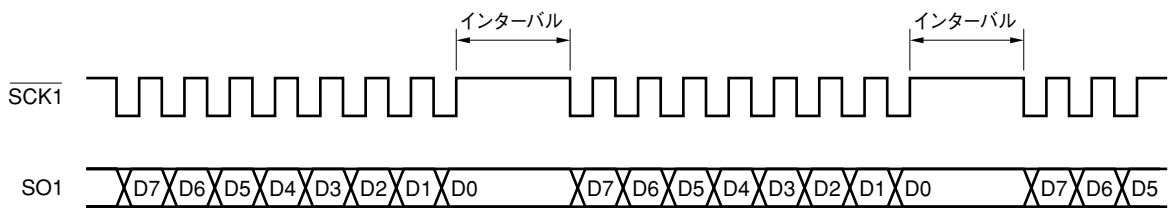
シリアル転送は、シリアル動作モード・レジスタ1 (CSIM1)のビット7 (CSIE1)が1にセットされているとき、シリアル/Oシフト・レジスタ1 (SIO1)へ任意のデータを書き込むことによって開始します。

基本送信モードの場合とは異なり、最終バイト(FAC0H番地のデータ)を送信したあと、割り込み要求フラグ(CSIIF1)はセットされず、自動データ送受信アドレス・ポインタ(ADTP)に送信を開始したときの値が再設定され、内部バッファRAMの内容が再送信されます。

なお、受信動作、ビジー制御、ストロブ制御を行わない場合には、P20/SI1、P23/STB/TxD1、P24/BUSY/RxD1端子を通常の入出力ポートとして使用できます。

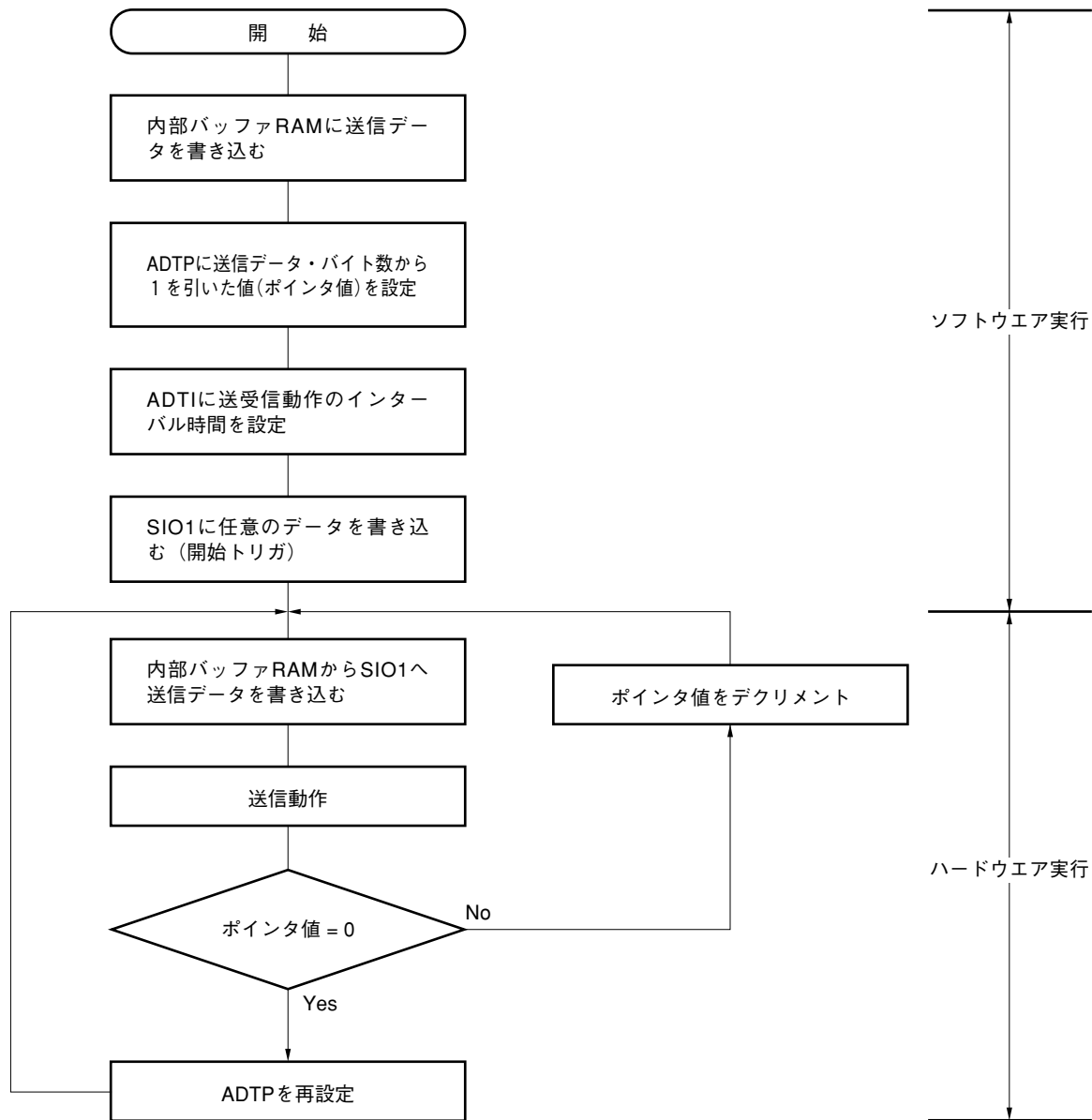
繰り返し送信モードの動作タイミングを図18-14に、動作フロー・チャートを図18-15に示します。また、繰り返し送信モードで6バイト分送信するときの内部バッファRAMの動作を図18-16に示します。

図18-14 繰り返し送信モードの動作タイミング



注意 繰り返し送信モードでは、1バイト送信後、バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので、最大インターバル時間はCPU処理と自動データ送受信間隔指定レジスタ(ADTI)の値に依存します((5) 自動送受信のインターバル時間参照)。

図18-15 繰り返し送信モードのフロー・チャート



ADTP : 自動データ送受信アドレス・ポインタ

ADTI : 自動データ送受信間隔指定レジスタ

SIO1 : シリアル/I/Oシフト・レジスタ1

繰り返し送信モードで6バイト分送信するとき (ARLD = 1, RE = 0), 内部バッファRAMは次のような動作をします。

(i) 送信動作前 (図18-16 (a) 参照)

シリアル/Oシフト・レジスタ 1 (SIO1)に任意のデータを書き込んだあと (開始トリガ: このデータは転送されません), 内部バッファRAMから送信データ 1 (T1)がSIO1へ転送されます。1バイト目の送信が完了すると, 自動データ送受信アドレス・ポインタ (ADTP)がデクリメントされます。続いて内部バッファRAMから送信データ 2 (T2)がSIO1へ転送されます。

(ii) 6バイト分送信完了時点 (図18-16 (b) 参照)

6バイト目の送信が完了しても, 割り込み要求フラグ (CSIF1)はセットされません。ADTPには, 再び最初のポインタ値が設定されます。

(iii) 7バイト目送信動作時点 (図18-16 (c) 参照)

再び内部バッファRAMから送信データ 1 (T1)がSIO1へ転送されます。1バイト目の送信が完了すると, ADTPがデクリメントされます。続いて内部バッファRAMから送信データ 2 (T2)がSIO1へ転送されます。

図18-16 6バイト分送信するときの内部バッファRAMの動作 (繰り返し送信モード時) (1/2)

(a) 送信動作前

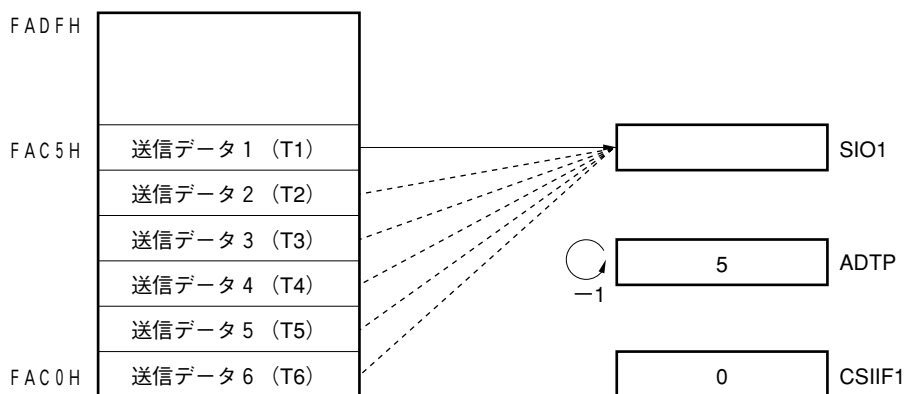
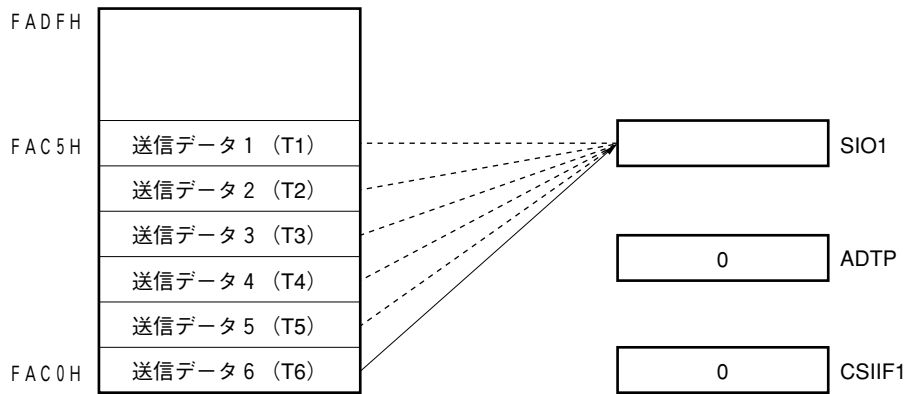
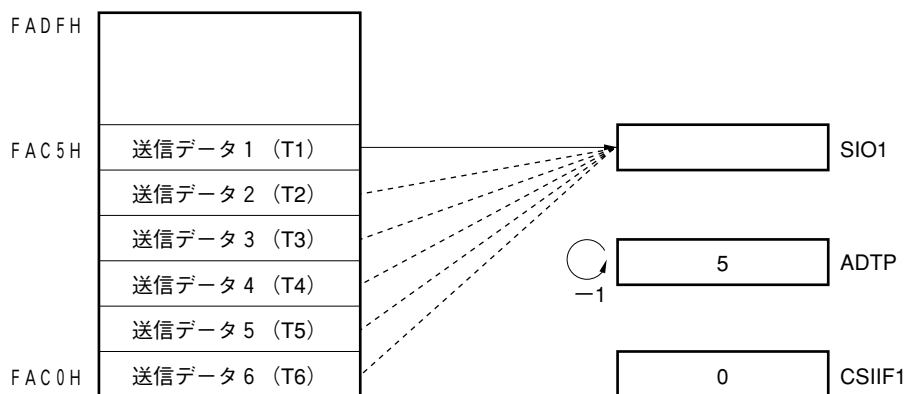


図18-16 6バイト分送信するときの内部バッファRAMの動作(繰り返し送信モード時)(2/2)

(b) 6バイト分送信完了時点



(c) 7バイト目送信動作時点



(d) 自動送受信の中断と再開

自動送受信中に送受信動作を一時的に中断したい場合、シリアル動作モード・レジスタ1 (CSIM1)のビット7 (CSIE1)を0にリセットすることにより動作の中断ができます。

このとき、8ビット・データ転送の途中では中断せず、必ず8ビット・データ転送が完了した時点で中断します。

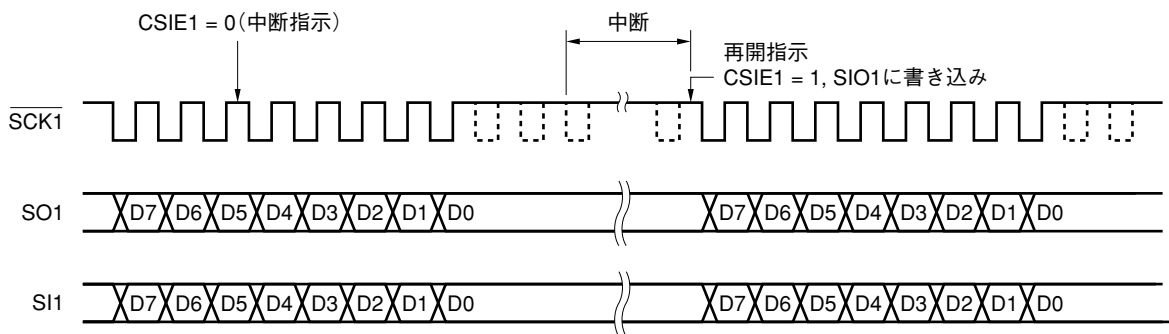
中断時には、8ビット目のデータを転送したあと、自動データ送受信コントロール・レジスタ (ADTC)のビット3 (TRF)が0になり、シリアル・インタフェース用端子と兼用しているポート端子(P20/SI1, P21/SO1, P22/SCK1, P23/STB/TxD1, P24/BUSY/RxD1)がすべてポート・モードになります。

自動送受信を再開するには、CSIE1を1にセットし、シリアルI/Oソフト・レジスタ1 (SIO1)に任意の値を書き込みます。これにより、残りのデータを転送できます。

注意1. 自動送受信中にHALT命令を実行すると、8ビット・データ転送の途中でも転送を中断し、HALTモードになります。また、HALTモードを解除すると、自動送受信動作を中断箇所より再開します。

2. 自動送受信動作を中断したとき、TRF = 1の間は動作モードを3線式シリアルI/Oモードに変更しないでください。

図18-17 自動送受信の中断と再開



CSIE1：シリアル動作モード・レジスタ1 (CSIM1)のビット7

(4) 同期制御

ビジー制御およびストロープ制御は、マスタ・デバイスとスレーブ・デバイス間の送受信の同期をとるための機能です。

これらの機能を使用することにより、送受信中のビットずれの検出などが可能となります。

(a) ビジー制御オプション

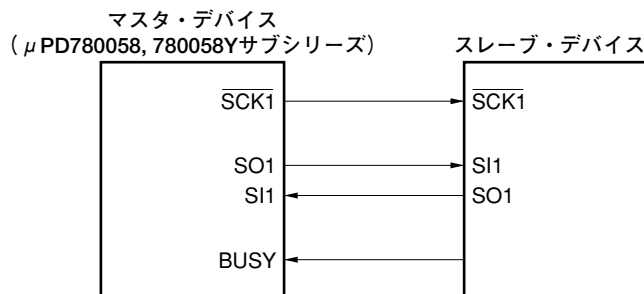
ビジー制御は、スレーブ・デバイスがマスタ・デバイスにビジー信号を出力することにより、そのビジー信号がアクティブな期間、マスタ・デバイスのシリアル送受信をウエイトさせることができる機能です。

ビジー制御オプションを使用する場合には、次に示す条件が必要です。

- ・シリアル動作モード・レジスタ1 (CSIM1)のビット5 (ATE)をセット(1)
- ・自動データ送受信コントロール・レジスタ (ADTC)のビット1 (BUSY1)をセット(1)

ビジー制御オプションを使用した場合のマスタ・デバイスとスレーブ・デバイスとのシステム構成を図18-18に示します。

図18-18 ビジー制御オプション使用時のシステム構成



マスタ・デバイスは、スレーブ・デバイスが出力するビジー信号をBUSY/P24端子に入力します。マスタ・デバイスはシリアル・クロックの立ち下がりに同期して、入力したビジー信号をサンプリングします。8ビット・データの送受信中にビジー信号がアクティブになっても、ウエイトはかかりません。8ビット・データの送受信が終了してから2クロック後のシリアル・クロックの立ち上がり時にビジー信号がアクティブであれば、その時点ではじめてビジー入力が有効となり、それ以降、ビジー信号がアクティブな期間は送受信にウエイトがかかります。

ビジー信号のアクティブ・レベルはADTCのビット0 (BUSY0)で設定します。

BUSY0 = 0 : アクティブ・ハイ

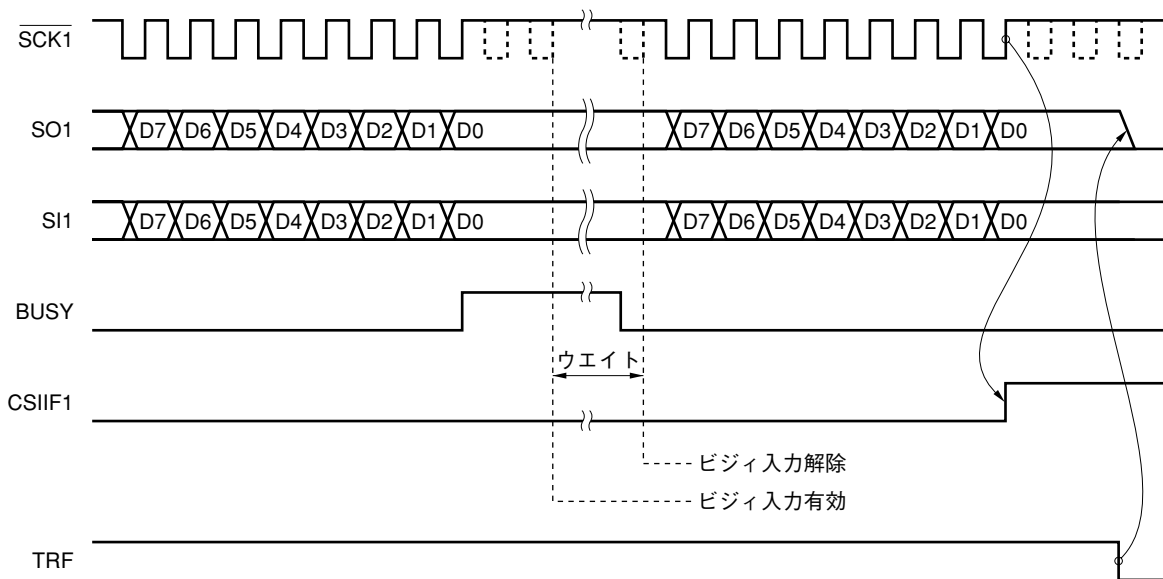
BUSY0 = 1 : アクティブ・ロウ

なお、ビジー制御オプションを使用する場合、シリアル・クロックには内部クロックを選択してください。外部クロックでは、ビジー信号による制御はできません。

ビジー制御オプションを使用したときの動作タイミングを図18-19に示します。

注意 ビジー制御は、自動データ送受信間隔指定レジスタ (ADTI) によるインターバル時間の制御とは同時に使用できません。同時に使用すると、ビジー制御が無効になります。

図18-19 ビジー制御オプションを使用したときの動作タイミング (BUSY0 = 0のとき)



注意 TRFがクリアされると、SO1端子はロウ・レベルになります。

備考 CSIF1：割り込み要求フラグ

TRF：自動データ送受信コントロール・レジスタ (ADTC) のビット 3

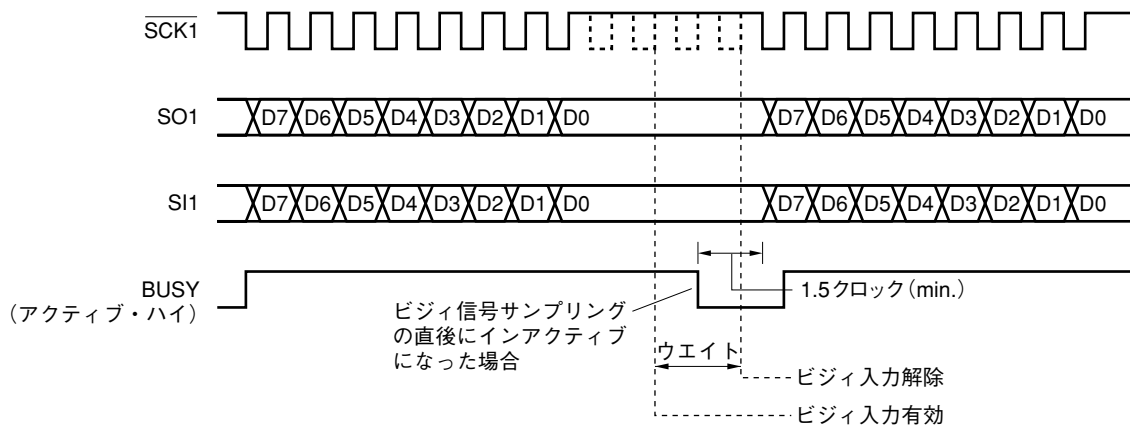
ビジー信号がインアクティブになると、ウエイトは解除されます。サンプリングされたビジー信号がインアクティブな場合、その次のシリアル・クロックの立ち下がりから、次の8ビット・データの送受信が開始されます。

なお、ビジー信号はシリアル・クロックとは非同期ですので、スレーブ側がビジー信号をインアクティブにしても、それがサンプリングされるまでには最大で1クロック近くかかります。また、サンプリングされてからデータ転送が開始されるまでには0.5クロックかかります。

したがって、ウエイトを確実に解除するためには、スレーブ側がビジー信号を最低1.5クロック間、インアクティブに保持する必要があります。

図18-20にビジー信号とウエイト解除についてのタイミングを示します。この図では、送受信の開始とともにビジー信号をアクティブにした場合の例を示しています。

図18-20 ビジィ信号とウェイトの解除(BUSY0 = 0のとき)



(b) ビジィ & ストローブ制御オプション

ストローブ制御は、マスタ・デバイスとスレーブ・デバイスとのデータ送受信の同期をとるための機能です。8ビット送受信終了時に、マスタ・デバイスがSTB/P23端子からストローブ信号を出力します。これにより、スレーブ・デバイスはデータ送信終了タイミングを知ることができます。したがって、シリアル・クロックにノイズがのってビットずれが発生した場合でも同期がとれ、ビットずれが次のバイト送信に影響しません。

ストローブ制御オプションを使用する場合には、次に示す条件が必要です。

- ・シリアル動作モード・レジスタ1 (CSIM1)のビット5 (ATE)をセット(1)
- ・自動データ送受信コントロール・レジスタ (ADTC)のビット2 (STRB)をセット(1)

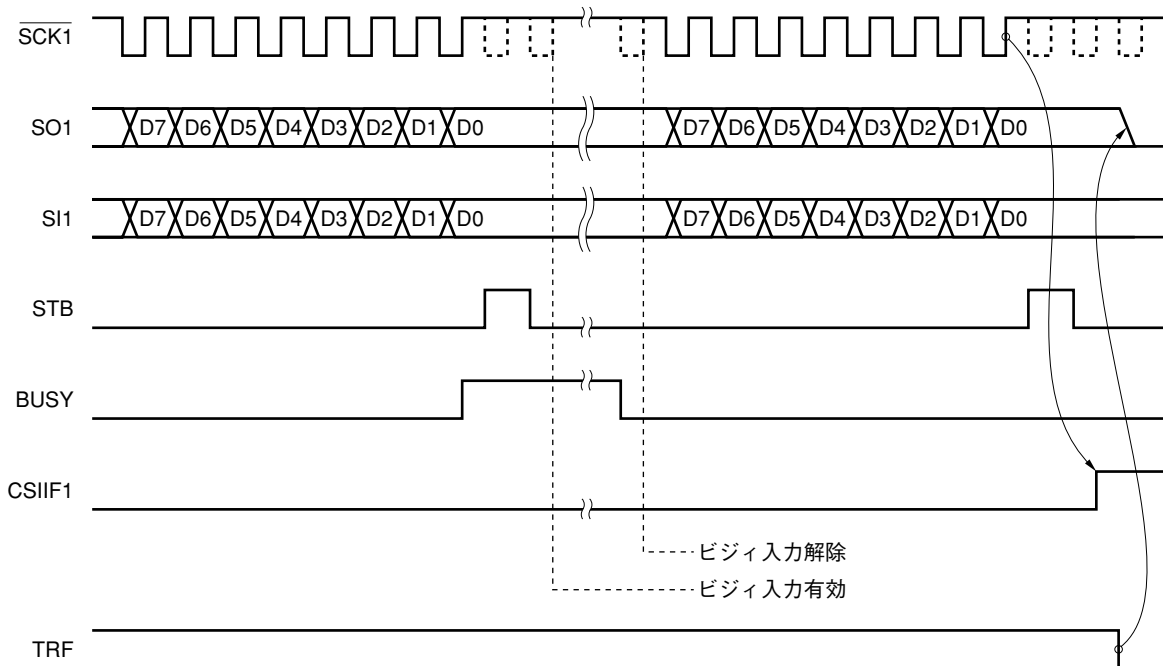
通常、ビジィ制御とストローブ制御はハンドシェイク用の信号として同時に使用します。この場合、STB/P23端子からストローブ信号を出力するとともに、BUSY/P24端子をサンプリングし、ビジィ信号が入力されている間、送受信をウェイトさせることができます。

ストローブ制御を行わない場合、P23/STB端子は通常の入出力ポートとして使用できます。

ビジィ & ストローブ制御を使用したときの動作タイミングを図18-21に示します。

なお、ストローブ制御を使用した場合、送受信完了時にセットされる割り込み要求フラグ (CSIF1)は、ストローブ信号の出力後にセットされます。

図18-21 ビジィ&ストロブ制御オプションを使用したときの動作タイミング(BUSY0 = 0のとき)



注意 TRFがクリアされると、SO1端子はロウ・レベルになります。

備考 CSIF1：割り込み要求フラグ

TRF : 自動データ送受信コントロール・レジスタ(ADTC)のビット3

(c) ビジィ信号によるビットずれ検出機能

自動送受信動作中、マスタ・デバイスの出力するシリアル・クロック信号にノイズがのり、スレーブ・デバイス側のシリアル・クロックでビットずれが発生する場合があります。このとき、ストローブ制御オプションを使用していないと、ビットずれが次のバイト送信に影響してしまいます。このような場合、マスタ側はビジィ制御オプションを使用して送信中にビジィ信号をチェックすることにより、ビットずれを検出できます。

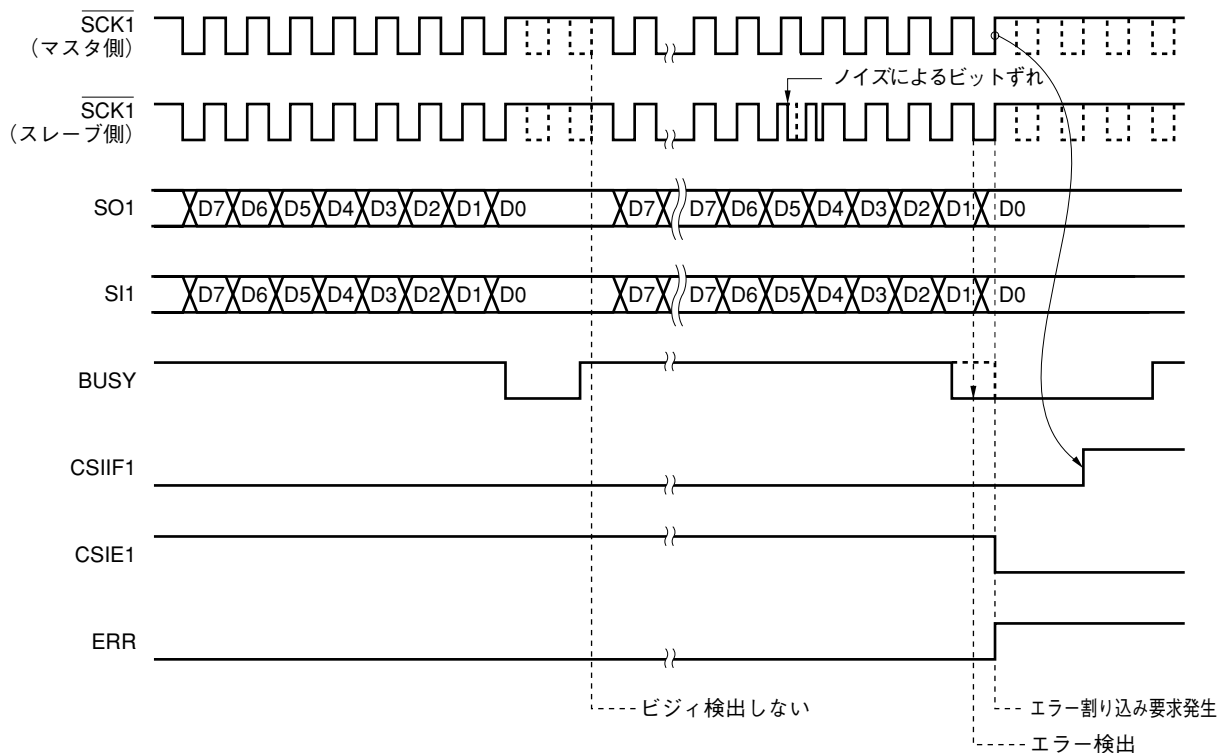
ビジィ信号によるビットずれは、次のように検出します。

スレーブ側は、データ送受信の8回目のシリアル・クロックの立ち上がりのあとにビジィ信号を出力します(このとき、ビジィ信号によるウェイトをかけたくない場合には、2クロック以内にビジィ信号をインアクティブにします)。

マスタ側は、シリアル・クロックの前側の立ち下がりに同期してビジィ信号をサンプリングします。ビットずれが発生していなければ、8回のサンプリングはすべてインアクティブになります。サンプリングして、アクティブであればビットずれが発生したとみなし、エラー処理(自動データ送受信コントロール・レジスタ(ADTC)のビット4(ERR)を1にセット)を行います。

ビジィ信号によるビットずれ検出機能の動作タイミングを図18-22に示します。

図18-22 ビジィ信号によるビットずれ検出機能の動作タイミング(BUSY0 = 1のとき)



CSIIF1 : 割り込み要求フラグ

CSIE1 : シリアル動作モード・レジスタ1 (CSIM1)のビット7

ERR : 自動データ送受信コントロール・レジスタ(ADTC)のビット4

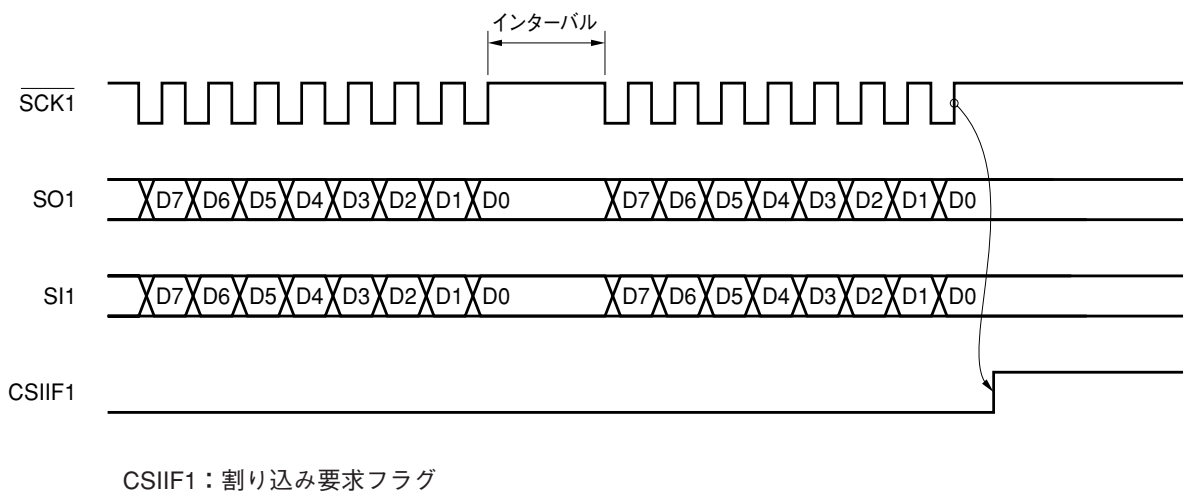
(5) 自動送受信のインターバル時間

自動送受信機能を使用する場合、1バイト送受信後、内部バッファRAMからの書き込み/読み出しを行うため、次の送受信までの期間にインターバル時間が入ります。

自動送受信機能を内部クロックで動作させる場合、CPU処理と並行してバッファRAMとの書き込み/読み出しを行うため、インターバル時間は、シリアル・クロックの8発目の立ち上がりタイミングにおけるCPU処理と自動データ送受信間隔指定レジスタ(ADTI)の設定値に依存します。ADTIに依存するかしないかは、ADTIのビット7(ADTI7)の設定により、選択できます。ADTI7に0を設定したとき、インターバル時間はCPU処理にのみ依存します。ADTI7に1を設定したとき、インターバル時間は、ADTIに設定した内容で決定されるインターバル時間とCPU処理によるインターバル時間のどちらか大きい方となります。

自動送受信機能を外部クロックで動作させる場合、インターバル時間が(b)に示す時間以上になるような外部クロックを入力する必要があります。

図18-23 自動送受信のインターバル時間



(a) 自動送受信機能を内部クロックで動作させる場合

シリアル動作モード・レジスタ1 (CSIM1)のビット1 (CSIM11)が1にセットされていると、内部クロック動作となります。

自動送受信機能を内部クロックで動作させる場合、CPU処理によるインターバル時間は次のようになります。

自動データ送受信間隔指定レジスタ (ADTI)のビット7 (ADTI7)に0を設定したとき、インターバル時間はCPU処理によるインターバル時間となります。ADTI7に1を設定したとき、インターバル時間は、ADTIに設定した内容で決定されるインターバル時間とCPU処理によるインターバル時間のどちらか大きい方となります。

ADTIによるインターバル時間については、図18-5 自動データ送受信間隔指定レジスタのフォーマットを参照してください。

表18-2 CPU処理によるインターバル時間(内部クロック動作時)

CPU処理	インターバル時間
乗算命令を使用時	MAX.(2.5T _{SCK} , 13T _{CPU})
除算命令を使用時	MAX.(2.5T _{SCK} , 20T _{CPU})
外部アクセス1ウェイト・モード	MAX.(2.5T _{SCK} , 9T _{CPU})
上記以外	MAX.(2.5T _{SCK} , 7T _{CPU})

T_{SCK} : 1/f_{SCK}

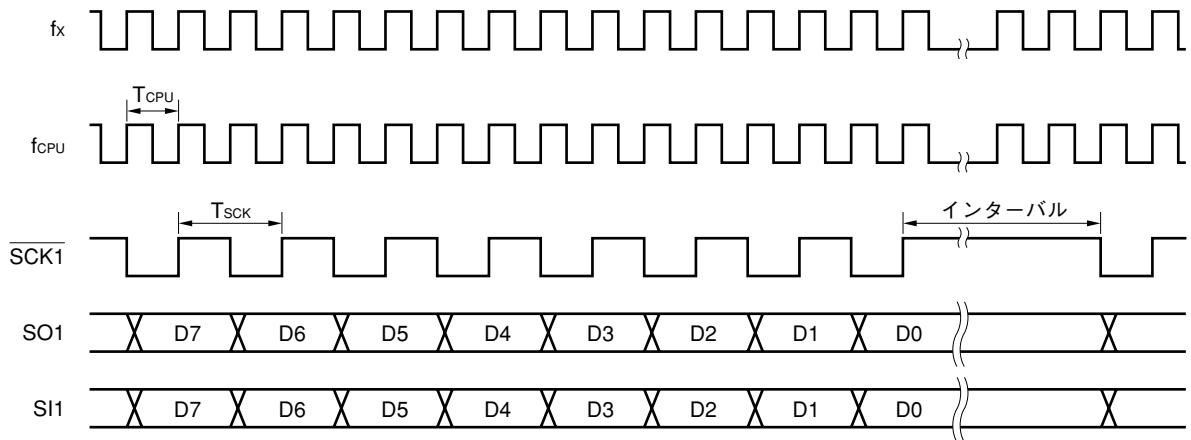
f_{SCK} : シリアル・クロック周波数

T_{CPU} : 1/f_{CPU}

f_{CPU} : CPUクロック(プロセッサ・クロック・コントロール・レジスタ(PCC)のビット0-2 (PCC0-PCC2), 発振モード選択レジスタ(OSMS)のビット0 (MCS)で設定)

MAX.(a, b) : a, bどちらか大きい方の値

図18-24 自動送受信機能を内部クロックで動作させる場合の動作タイミング



fx : メイン・システム・クロック発振周波数
 fCPU : CPUクロック(プロセッサ・クロック・コントロール・レジスタ(PCC)のビット0-2 (PCC0-PCC2)で設定)
 $T_{CPU} : 1/f_{CPU}$
 $T_{SCK} : 1/f_{SCK}$
 fSCK : シリアル・クロック周波数

(b) 自動送受信機能を外部クロックで動作させる場合

シリアル動作モード・レジスタ1 (CSIM1)のビット1 (CSIM11)が0にクリアされていると、外部クロック動作となります。

自動送受信機能を外部クロックで動作させる場合、インターバル時間が次に示す時間以上になるような外部クロックを入力する必要があります。

表18-3 CPU処理によるインターバル時間(外部クロック動作時)

CPU処理	インターバル時間
乗算命令を使用時	13 T_{CPU} 以上
除算命令を使用時	20 T_{CPU} 以上
外部アクセス1ウエイト・モード	9 T_{CPU} 以上
上記以外	7 T_{CPU} 以上

$T_{CPU} : 1/f_{CPU}$
 fCPU : CPUクロック(プロセッサ・クロック・コントロール・レジスタ(PCC)のビット0-2 (PCC0-PCC2), 発振モード選択レジスタ(OSMS)のビット0 (MCS)で設定)

第19章 シリアル・インタフェース・チャンネル2

19.1 シリアル・インタフェース・チャンネル2の機能

シリアル・インタフェース・チャンネル2は、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース(UART)モード(時分割転送機能付き)
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) アシンクロナス・シリアル・インタフェース(UART)モード(時分割転送機能付き)

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。また、ASCK端子への入力クロックを分周してボー・レートを定義することもできます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート(31.25 kbps)を使用することもできます。

データ入出力端子(RxD, TxD)を2系統内蔵しており、ソフトウェアにより使用する端子を選択できます(時分割転送機能)。一度に使用できる端子は1系統のみです。

注意1. データ入出力端子を切り替える必要がない場合は、RxD0/SI2/P70, TxD0/SO2/P71を使用することを推奨します。ポート2 (RxD1/BUSY/P24, TxD1/STB/P23)のみをデータ入出力端子として使用すると、ポート7の機能が制限されます。

2. シリアル・インタフェース・チャンネル1の自動送受信機能付き3線式シリアルI/Oモードでビジィ制御オプション、ビジィ&ストローブ制御オプションを使用する場合は、RxD1/BUSY/P24, TxD1/STB/P23をデータ入出力端子として使用できません。

(3) 3線式シリアルI/Oモード(MSB/LSB先頭切り替え可能)

シリアル・クロック($\overline{\text{SCK2}}$)と、シリアル・データ(SI2, SO2)の3本のラインにより、8ビット・データを転送するモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

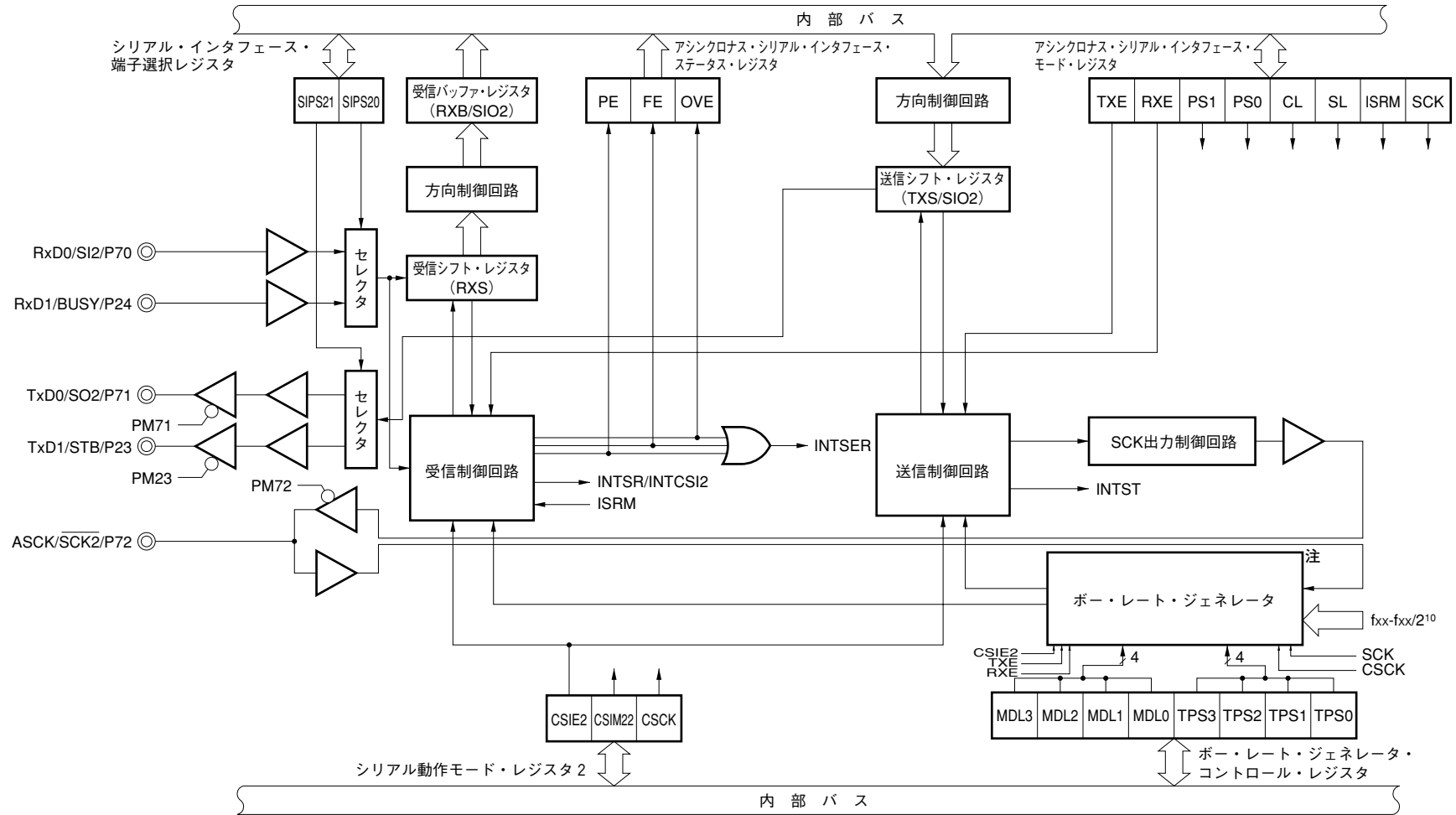
19.2 シリアル・インタフェース・チャンネル2の構成

シリアル・インタフェース・チャンネル2は、次のハードウェアで構成しています。

表19-1 シリアル・インタフェース・チャンネル2の構成

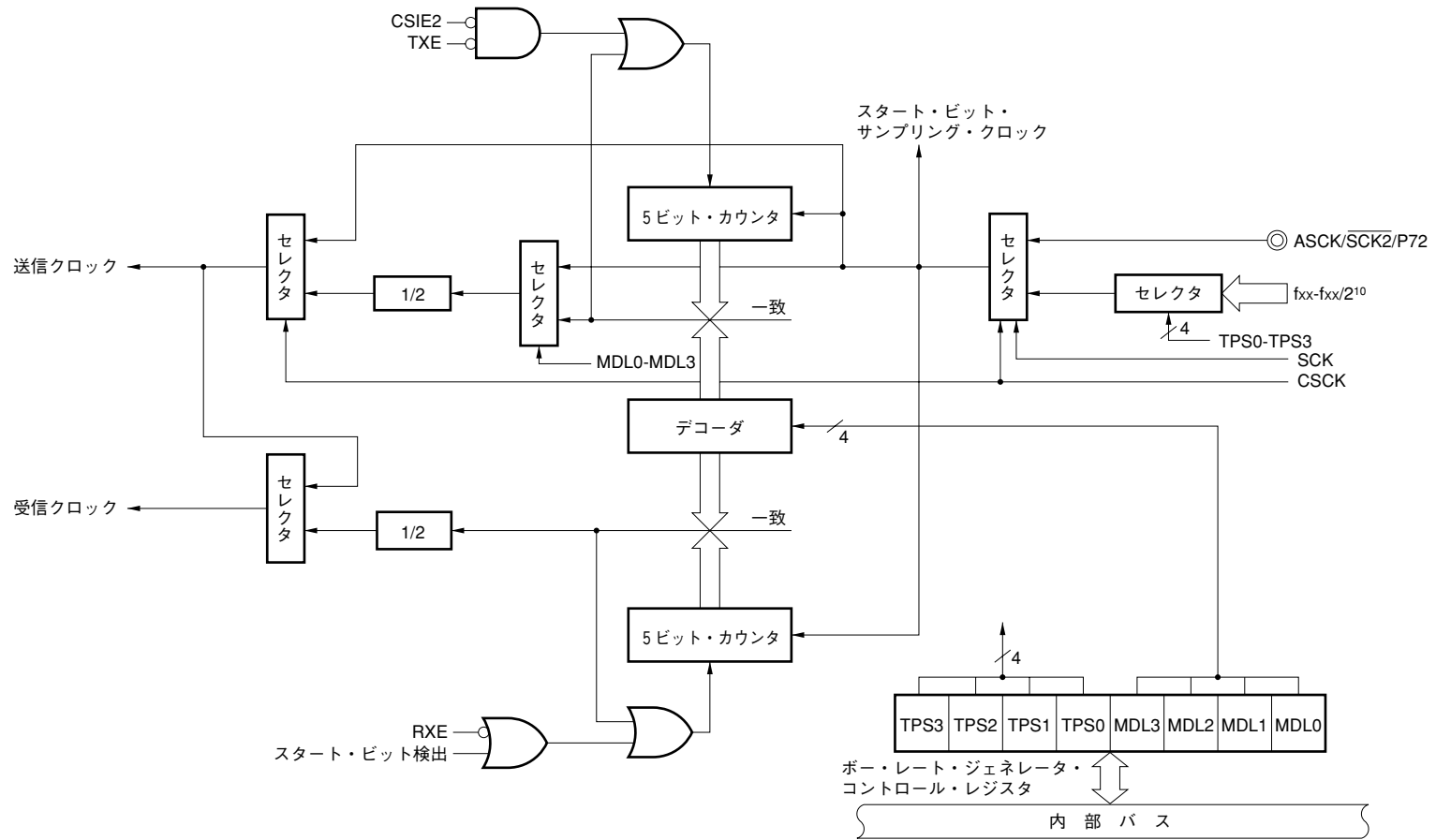
項 目	構 成
レジスタ	送信シフト・レジスタ (TXS) 受信シフト・レジスタ (RXS) 受信バッファ・レジスタ (RXB)
制御レジスタ	シリアル動作モード・レジスタ2 (CSIM2) アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) シリアル・インタフェース端子選択レジスタ (SIPS)

図19-1 シリアル・インタフェース・チャンネル2のブロック図



注 ボー・レート・ジェネレータの構成は、図19-2を参照してください。

図19-2 ポー・レート・ジェネレータのブロック図



(1) 送信シフト・レジスタ(TXS)

送信データを設定するレジスタです。TXSに書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXSに書き込んだデータのビット0-6が送信データとして転送されます。TXSにデータを書き込むことにより、送信動作を開始します。

TXSは、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXSへの書き込みを行わないでください。

TXSと受信バッファ・レジスタ(RXB)は同一アドレスに割り当てられており、読み出しを行った場合にはRXBの値が読み出されます。

(2) 受信シフト・レジスタ(RXS)

RxD0(RxD1)端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ(RXB)へ転送します。

RXSはプログラムで直接操作できません。

(3) 受信バッファ・レジスタ(RXB)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ(RXS)から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXBのビット0-6に転送され、RXBのMSBは必ず0になります。

RXBは、8ビット・メモリ操作命令で読み出します。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 RXBと送信シフト・レジスタ(TXS)は同一アドレスに割り当てられており、書き込みを行った場合にはTXSに値が書き込まれます。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)に設定された内容に従って、送信シフト・レジスタ(TXS)に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作を制御します。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS)にセットします。

19.3 シリアル・インタフェース・チャンネル2を制御するレジスタ

シリアル・インタフェース・チャンネル2は、次の5種類のレジスタで制御します。

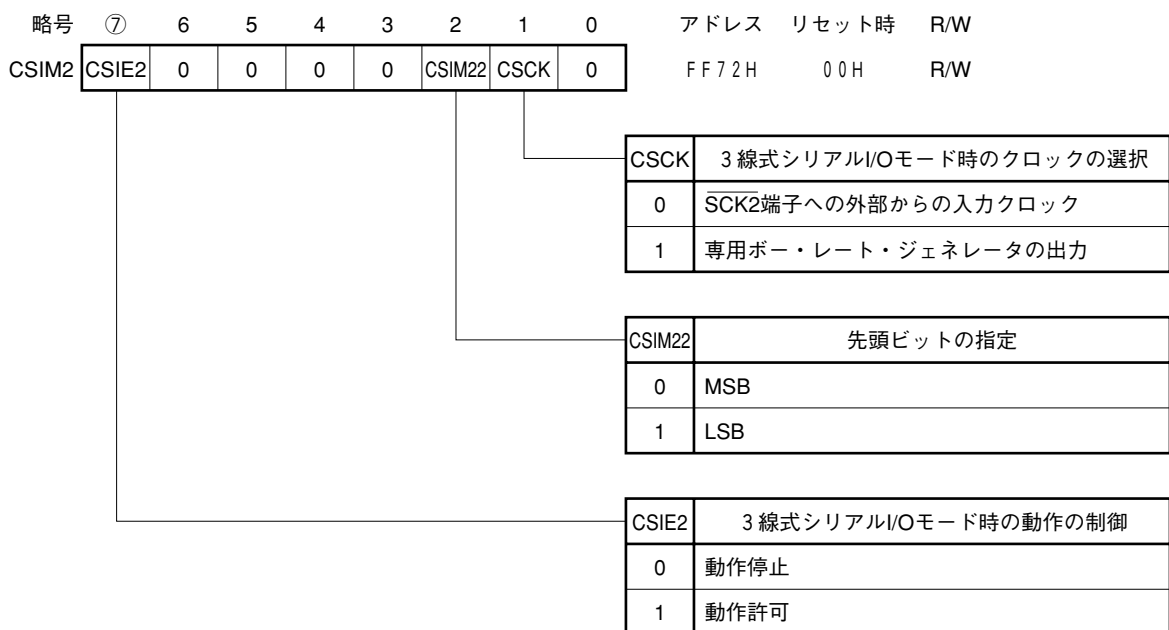
- ・シリアル動作モード・レジスタ2 (CSIM2)
- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC)
- ・シリアル・インタフェース端子選択レジスタ (SIPS)

(1) シリアル動作モード・レジスタ2 (CSIM2)

シリアル・インタフェース・チャンネル2を3線式シリアルI/Oモードで使用するときには設定するレジスタです。

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図19-3 シリアル動作モード・レジスタ2のフォーマット



注意1. ビット0, 3-6には、必ず0を設定してください。

2. UARTモード選択時は、CSIM2に00Hを設定してください。

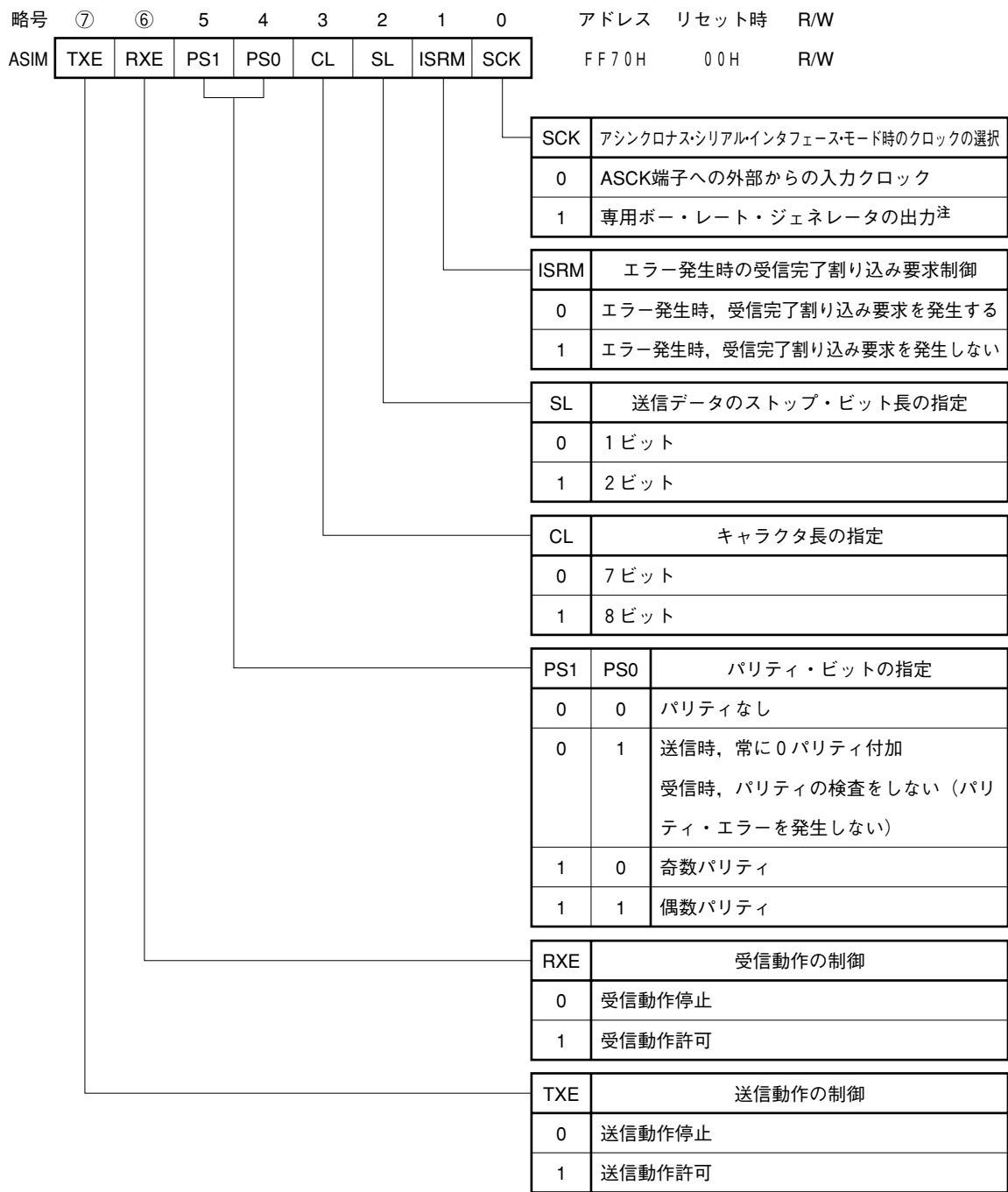
(2) アシクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)

シリアル・インタフェース・チャンネル2をアシクロナス・シリアル・インタフェース・モードで使用するときには設定するレジスタです。

ASIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図19-4 アシクロナス・シリアル・インタフェース・モード・レジスタのフォーマット



注 SCKを1にしてポー・レート・ジェネレータ出力を選択したとき、ASCK端子は入出力ポートとして使用できます。

注意1. 3線式シリアル/Oモード選択時は、ASIMに00Hを設定してください。

2. 動作モードは、シリアル送受信動作を停止させたのちに切り替えてください。

表19-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧 (1/2)

(1) 動作停止モード

ASIM			CSIM2			SIPS		PM70	P70	PM71	P71	PM23	P23	PM24	P24	PM72	P72	先頭ビット	ソフト・クロック	P70/SI2/RxD0	P71/SO2/TxD0	P23/STB/TxD1	P24/BUSY/RxD1	P72/SCK2/ASCK	
TXE	RXE	SCK	CSIE2	CSIM22	CSCK	SIPS21	SIPS20													端子の機能	端子の機能	端子の機能	端子の機能	端子の機能	
0	0	×	0	×	×	×	×	×	注1	×	注1	×	注1	×	注1	×	注1	×	注1	×	注1	×	注1	×	注1
上記以外																		設定禁止							

(2) 3線式シリアルI/Oモード

ASIM			CSIM2			SIPS		PM70	P70	PM71	P71	PM23	P23	PM24	P24	PM72	P72	先頭ビット	ソフト・クロック	P70/SI2/RxD0	P71/SO2/TxD0	P23/STB/TxD1	P24/BUSY/RxD1	P72/SCK2/ASCK
TXE	RXE	SCK	CSIE2	CSIM22	CSCK	SIPS21	SIPS20													端子の機能	端子の機能	端子の機能	端子の機能	端子の機能
0	0	0	1	0	0	×	×	1注2	×	注2	0	1	×	注1	×	注1	×	注1	×	注1	×	注1	×	注1
																		MSB	外部クロック	SI2注2	SO2	P23/STB	P24/BUSY	SCK2入力
																			内部クロック		(CMOS出力)			SCK2出力
																		LSB	外部クロック	SI2注2	SO2	P23/STB	P24/BUSY	SCK2入力
																			内部クロック		(CMOS出力)			SCK2出力
上記以外																		設定禁止						

注1. ポート機能として自由に使用できます。

2. 送信のみ使用する場合は、P70(CMOS入出力)として使用できます。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

表19-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧(2/2)

(3) アシクロナス・シリアル・インタフェース・モード

ASIM			CSIM2			SIPS		PM70	P70	PM71	P71	PM23	P23	PM24	P24	PM72	P72	先頭ビット	シフト・クロック	P70/SI2/RxD0	P71/SO2/TxD0	P23/STB/TxD1	P24/BUSY/RxD1	P72/SCK2/ASCK
TXE	RXE	SCK	CSIE2	CSIM22	CSCK	SIPS21	SIPS20												端子の機能	端子の機能	端子の機能	端子の機能	端子の機能	
1	0	0 1	0	0	0	0	0	×注1	×注1	0	1	×注1	×注1	×注1	×注1	1	×	LSB	外部クロック	P70	TxD0	P23/STB	P24/BUSY	ASCK入力
																×注1	×注1		内部クロック		(CMOS出力)			P72
0	1	0 1	0	0	0	0	0	1	×	×注1	×注1	×注1	×注1	×注1	×注1	1	×		外部クロック	RxD0	P71			ASCK入力
																×注1	×注1		内部クロック					P72
1	1	0 1	0	0	0	0	0	1	×	0	1	×注1	×注1	×注1	×注1	1	×		外部クロック		TxD0			ASCK入力
																×注1	×注1		内部クロック		(CMOS出力)			P72
1	0	0 1	0	0	0	1	0	×注1	×注1	0	1	0	注2	×注1	×注1	1	×		外部クロック	P70	ハイ出力	TxD1	P24/BUSY	ASCK入力
																×注1	×注1		内部クロック					P72
0	1	0 1	0	0	0	0	1	1	×	×注1	×注1	×注1	×注1	1	×	1	×		外部クロック	P70	P71	P23/STB	RxD1	ASCK入力
																×注1	×注1		内部クロック	(入力)				P72
1	1	0 1	0	0	0	1	1	1	×	0	1	0	注2	1	×	1	×		外部クロック	P70	ハイ出力	TxD1	RxD1	ASCK入力
																×注1	×注1		内部クロック	(入力)				P72
上記以外																		設定禁止						

注1. ポート機能として自由に使用できます。

2. 実デバイスでの動作時と、インサーキット・エミュレータでのエミュレーション時とで設定値が異なります。詳しくは19.4.5 UARTモード使用時の制限事項2を参照してください。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

(3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS)

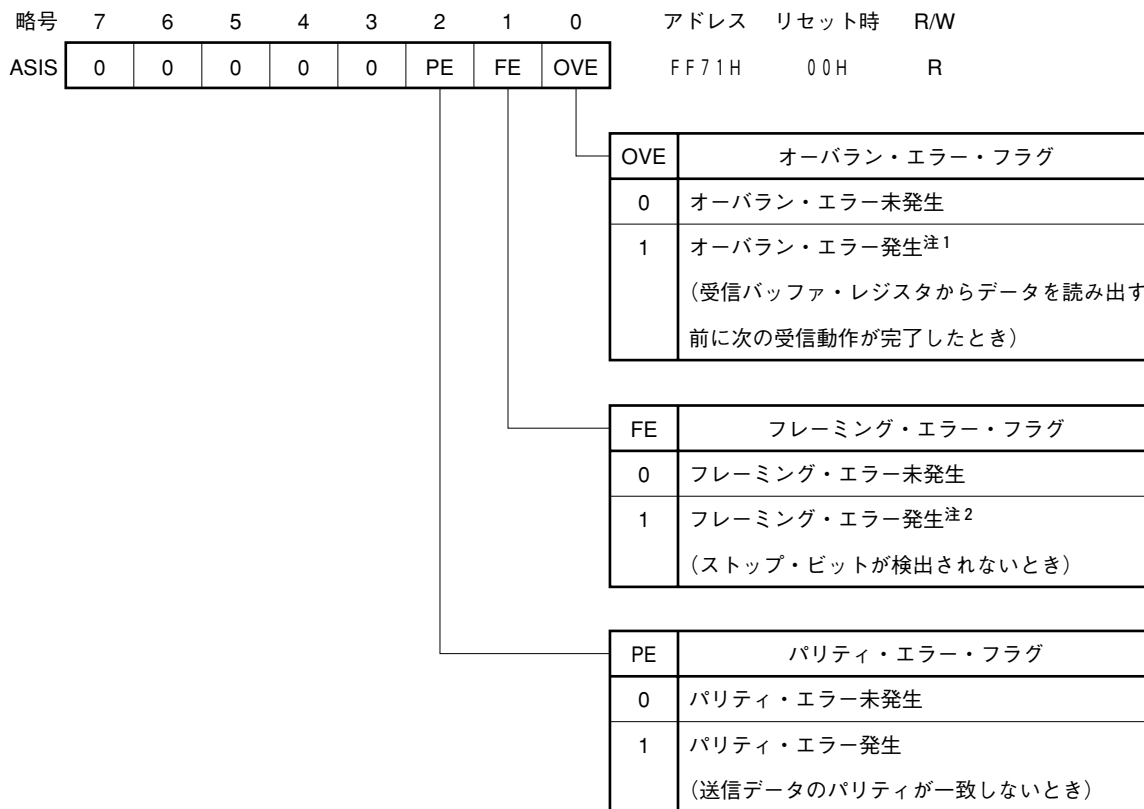
アシクロナス・シリアル・インタフェース・モードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

3線式シリアルI/Oモードでは、ASISの内容は不定となります。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図19-5 アシクロナス・シリアル・インタフェース・ステータス・レジスタのフォーマット



- 注1. オーバーラン・エラーが発生したとき、受信バッファ・レジスタ(RXB)を必ず読み出してください。
RXBを読み出すまで、データ受信のたびにオーバーラン・エラーが発生し続けます。
2. アシクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)のビット2(SL)でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

(4) ボー・レート・ジェネレータ・コントロール・レジスタ(BRGC)

シリアル・インタフェース・チャンネル2のシリアル・クロックを設定するレジスタです。

BRGCは、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図19-6 ボー・レート・ジェネレータ・コントロール・レジスタのフォーマット(1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0	FF73H	00H	R/W

MDL3	MDL2	MDL1	MDL0	ボー・レート・ジェネレータの入カクロックの選択	k
0	0	0	0	fscck/16	0
0	0	0	1	fscck/17	1
0	0	1	0	fscck/18	2
0	0	1	1	fscck/19	3
0	1	0	0	fscck/20	4
0	1	0	1	fscck/21	5
0	1	1	0	fscck/22	6
0	1	1	1	fscck/23	7
1	0	0	0	fscck/24	8
1	0	0	1	fscck/25	9
1	0	1	0	fscck/26	10
1	0	1	1	fscck/27	11
1	1	0	0	fscck/28	12
1	1	0	1	fscck/29	13
1	1	1	0	fscck/30	14
1	1	1	1	fscck ^注	—

注 3線式シリアルI/Oモード時にのみ使用できます。

備考 fscck : 5ビット・カウンタのソース・クロック

k : MDL0-MDL3で設定した値(0 ≤ k ≤ 14)

図19-6 ボー・レート・ジェネレータ・コントロール・レジスタのフォーマット(2/2)

TPS3	TPS2	TPS1	TPS0	5ビット・カウンタのソース・クロックの選択			n
					MCS = 1	MCS = 0	
0	0	0	0	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)	11
0	1	0	1	f_{xx}	f_x (5.0 MHz)	$f_x/2$ (2.5 MHz)	1
0	1	1	0	$f_{xx}/2$	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)	2
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)	3
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)	4
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)	5
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)	6
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)	7
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)	8
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)	9
1	1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)	10
上記以外				設定禁止			

注意 通信動作中にBRGCへ書き込むと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。

したがって、通信動作中にはBRGCへ書き込まないでください。

- 備考 1. f_x : メイン・システム・クロック発振周波数
 2. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 3. MCS : 発振モード選択レジスタ (OSMS) のビット 0
 4. n : TPS0-TPS3 で設定した値 ($1 \leq n \leq 11$)
 5. () 内は、 $f_x = 5.0$ MHz 動作時。

生成するボー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号か、ASCK端子から入力したクロックを分周した信号になります。

(a) メイン・システム・クロックによるボー・レート用の送受信クロックの生成

メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{xx}}{2^n \times (k+16)} \text{ [Hz]}$$

- 備考 f_x : メイン・システム・クロック発振周波数
 f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
 n : TPS0-TPS3で設定した値($1 \leq n \leq 11$)
 k : MDL0-MDL3で設定した値($0 \leq k \leq 14$)

表19-3 メイン・システム・クロックとボー・レートの関係

ボー・レート (bps)	$f_x = 5.0 \text{ MHz}$				$f_x = 4.19 \text{ MHz}$			
	MCS = 1		MCS = 0		MCS = 1		MCS = 0	
	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)
75	—		00H	1.73	0BH	1.14	EBH	1.14
110	06H	0.88	E6H	0.88	03H	-2.01	E3H	-2.01
150	00H	1.73	E0H	1.73	EBH	1.14	DBH	1.14
300	E0H	1.73	D0H	1.73	DBH	1.14	CBH	1.14
600	D0H	1.73	C0H	1.73	CBH	1.14	BBH	1.14
1200	C0H	1.73	B0H	1.73	BBH	1.14	ABH	1.14
2400	B0H	1.73	A0H	1.73	ABH	1.14	9BH	1.14
4800	A0H	1.73	90H	1.73	9BH	1.14	8BH	1.14
9600	90H	1.73	80H	1.73	8BH	1.14	7BH	1.14
19200	80H	1.73	70H	1.73	7BH	1.14	6BH	1.14
31250	74H	0	64H	0	71H	-1.31	61H	-1.31
38400	70H	1.73	60H	1.73	6BH	1.14	5BH	1.14
76800	60H	1.73	50H	1.73	5BH	1.14	—	—

備考 MCS : 発振モード選択レジスタ(OSMS)のビット0

(b) ASCK端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK端子から入力したクロックを分周して送受信クロックを生成します。ASCK端子から入力したクロックから生成するボー・レートは次の式により求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{2 \times (k+16)} \text{ [Hz]}$$

備考 f_{ASCK} : ASCK端子に入力したクロックの周波数

k : MDL0-MDL3で設定した値 ($0 \leq k \leq 14$)

表19-4 ASCK端子入力周波数とボー・レートの関係(BRGC = 00H設定時)

ボー・レート (bps)	ASCK端子入力周波数
75	2.4 kHz
110	3.52 kHz
150	4.8 kHz
300	9.6 kHz
600	19.2 kHz
1200	38.4 kHz
2400	76.8 kHz
4800	153.6 kHz
9600	307.2 kHz
19200	614.4 kHz
31250	1000.0 kHz
38400	1228.8 kHz

(5) シリアル・インタフェース端子選択レジスタ (SIPS)

シリアル・インタフェース・チャンネル2をアシンクロナス・シリアル・インタフェース・モード（時分割転送機能付き）で使用するとき、使用する入出力端子を選択するレジスタです。

SIPSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

入出力端子を選択する場合、ポート・モード・レジスタおよびポートの出力ラッチを設定する必要があります。詳細については、表19-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

図19-7 シリアル・インタフェース端子選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SIPS	0	0	SIPS21	SIPS20	0	0	0	0	FF75H	00H	R/W

SIPS21	SIPS20	アシンクロナス・シリアル・インタフェースの入出力端子の選択
0	0	入力端子：RxD0/SI2/P70 出力端子：TxD0/SO2/P71
0	1	入力端子：RxD1/BUSY/P24 出力端子：TxD0/SO2/P71
1	0	入力端子：RxD0/SI2/P70 出力端子：TxD1/STB/P23
1	1	入力端子：RxD1/BUSY/P24 出力端子：TxD1/STB/P23

- 注意 1. 入出力端子は、シリアル送受信動作を停止させたのちに切り替えてください。
- シリアル・インタフェース・チャンネル1の自動送受信機能付き3線式シリアル/Oモードでビジー制御オプション、ビジー&ストロブ制御オプションを使用する場合は、RxD1/BUSY/P24、TxD1/STB/P23をデータ入出力端子として使用できません。
 - SIPS21はTXEフラグが“1”，SIPS20はRXEフラグが“1”のときのみ有効となります。
 - SIPS21 = 1で使用（TxD1端子をUART送信の出力端子として使用）する場合には制限事項があります。詳しくは、19.4.5 UARTモード使用時の制限事項2を参照してください。

19.4 シリアル・インタフェース・チャンネル2の動作

シリアル・インタフェース・チャンネル2の動作モードには、次の3種類があります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース(UART)モード(時分割転送機能付き)
- ・3線式シリアルI/Oモード

19.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。

また、動作停止モードでは、P70/SI2/RxD0, P71/SO2/TxD0, P72/ $\overline{\text{SCK2}}$ /ASCK端子を通常の入出力ポートとして、P23/STB/TxD1, P24/BUSY/RxD1端子を通常の入出力ポート、またはシリアル・インタフェース自動送受信用のストローブ出力、ビジー入力として使用できます。

(1) レジスタの設定

動作停止モードは、シリアル動作モード・レジスタ2 (CSIM2)とアシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)で設定します。

(a) シリアル動作モード・レジスタ2 (CSIM2)

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM2	CSIE2	0	0	0	0	CSIM22	CSCK	0	FF72H	00H	R/W

CSIE2	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

注意 ビット0, 3-6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)

ASIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。



19.4.2 アシクロナス・シリアル・インタフェース(UART)モード(時分割転送機能付き)

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。また、ASCK端子への入力クロックを分周してボー・レートを定義することもできます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート(31.25 kbps)を使用することもできます。

データ入出力端子(RxD, TxD)を2系統内蔵しており、ソフトウェアにより使用する端子を選択できます(時分割転送機能)。一度に使用できる端子は1系統のみです。

注意1. データ入出力端子を切り替える必要がない場合は、RxD0/SI2/P70, TxD0/SO2/P71を使用することを推奨します。ポート2 (RxD1/BUSY/P24, TxD1/STB/P23)のみをデータ入出力端子として使用すると、ポート7の機能が制限されます。

2. シリアル・インタフェース・チャンネル1の自動送受信機能付き3線式シリアル/Oモードでビジー制御オプション、ビジー&ストローブ制御オプションを使用する場合は、RxD1/BUSY/P24, TxD1/STB/P23をデータ入出力端子として使用できません。

(1) レジスタの設定

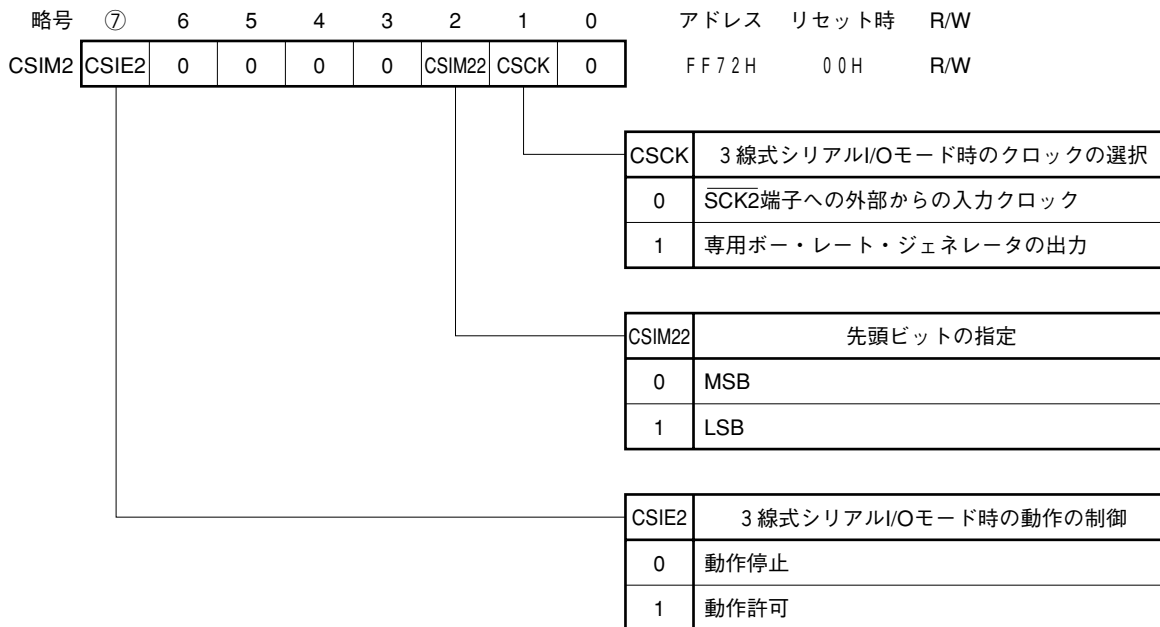
UARTモード(時分割転送機能付き)は、シリアル動作モード・レジスタ2 (CSIM2)、アシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS)、ポー・レート・ジェネレータ・コントロール・レジスタ(BRGC)、シリアル・インタフェース端子選択レジスタ(SIPS)で設定します。

(a) シリアル動作モード・レジスタ2 (CSIM2)

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

UARTモード選択時は、CSIM2に00Hを設定してください。

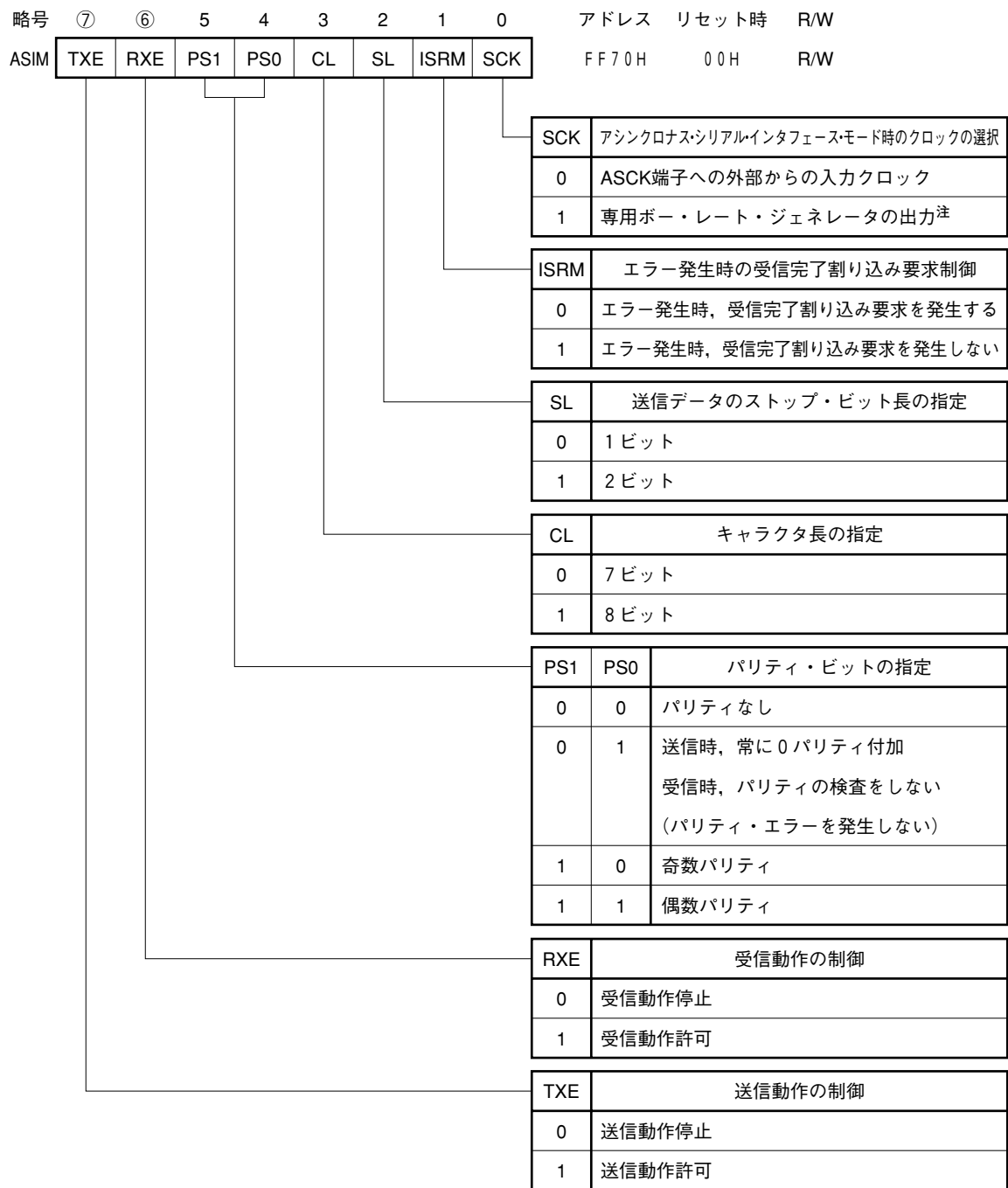


注意 ビット0, 3-6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)

ASIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。



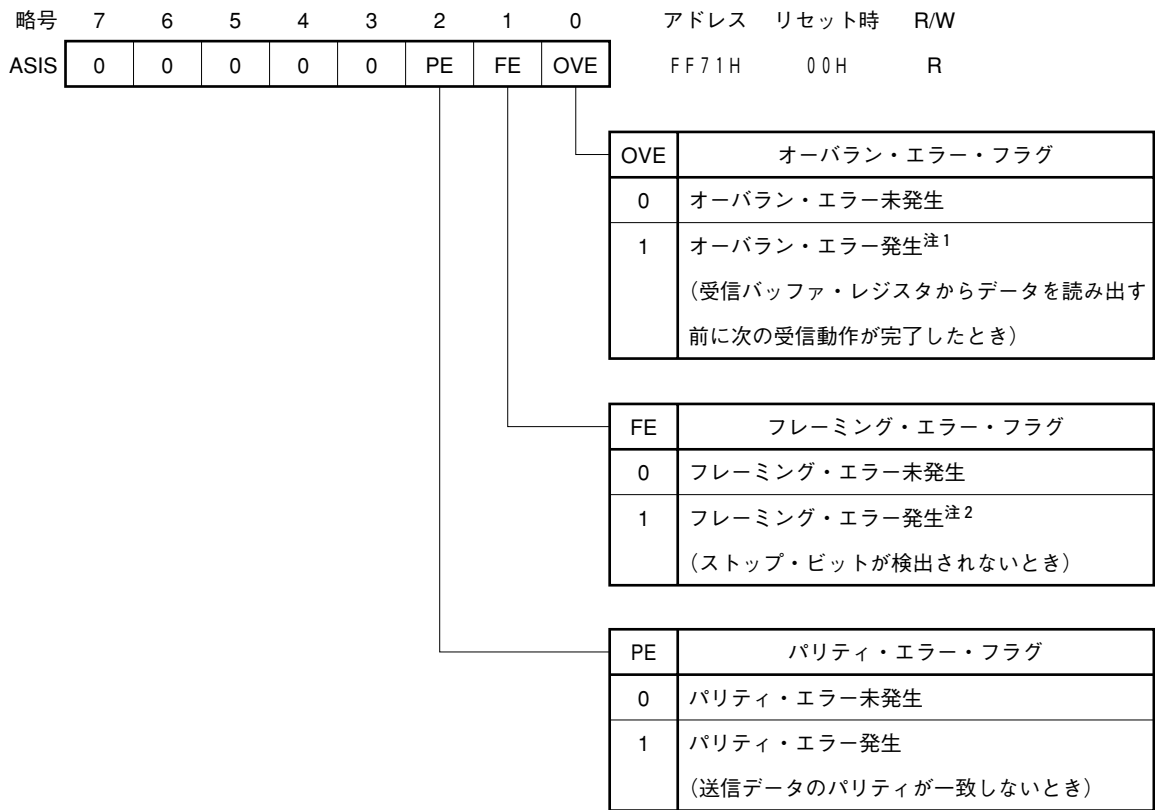
注 SCKを1にしてポー・レート・ジェネレータ出力を選択したとき、ASCK端子は入出力ポートとして使用できます。

注意 動作モードは、シリアル送受信動作を停止させたのちに切り替えてください。

(c) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)

ASISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。



注1. オーバラン・エラーが発生したとき、受信バッファ・レジスタ (RXB) を必ず読み出してください。

RXBを読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

2. アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット2 (SL) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

(d) ボー・レート・ジェネレータ・コントロール・レジスタ(BRGC)

BRGCは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0	FF73H	00H	R/W

MDL3	MDL2	MDL1	MDL0	ボー・レート・ジェネレータの入カクロックの選択	k
0	0	0	0	fscck/16	0
0	0	0	1	fscck/17	1
0	0	1	0	fscck/18	2
0	0	1	1	fscck/19	3
0	1	0	0	fscck/20	4
0	1	0	1	fscck/21	5
0	1	1	0	fscck/22	6
0	1	1	1	fscck/23	7
1	0	0	0	fscck/24	8
1	0	0	1	fscck/25	9
1	0	1	0	fscck/26	10
1	0	1	1	fscck/27	11
1	1	0	0	fscck/28	12
1	1	0	1	fscck/29	13
1	1	1	0	fscck/30	14

(続く)

備考 fscck : 5ビット・カウンタのソース・クロック

k : MDL0-MDL3で設定した値(0 ≤ k ≤ 14)

TPS3	TPS2	TPS1	TPS0	5ビット・カウンタのソース・クロックの選択			n
					MCS = 1	MCS = 0	
0	0	0	0	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)	11
0	1	0	1	f_{xx}	f_x (5.0 MHz)	$f_x/2$ (2.5 MHz)	1
0	1	1	0	$f_{xx}/2$	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)	2
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)	3
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)	4
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)	5
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)	6
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)	7
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)	8
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)	9
1	1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)	10
上記以外				設定禁止			

注意 通信動作中にBRGCへ書き込むと、ポー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。

したがって、通信動作中にはBRGCへ書き込まないでください。

- 備考 1. f_x : メイン・システム・クロック発振周波数
 2. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 3. MCS : 発振モード選択レジスタ (OSMS) のビット 0
 4. n : TPS0-TPS3 で設定した値 ($1 \leq n \leq 11$)
 5. () 内は、 $f_x = 5.0$ MHz 動作時。

生成するボー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号か、ASCK端子から入力したクロックを分周した信号になります。

(i) メイン・システム・クロックによるボー・レート用の送受信クロックの生成

メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{xx}}{2^n \times (k+16)} \text{ [Hz]}$$

- 備考 f_x : メイン・システム・クロック発振周波数
 f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 n : TPS0-TPS3で設定した値 ($1 \leq n \leq 11$)
 k : MDL0-MDL3で設定した値 ($0 \leq k \leq 14$)

表19-5 メイン・システム・クロックとボー・レートの関係

ボー・レート (bps)	$f_x = 5.0 \text{ MHz}$				$f_x = 4.19 \text{ MHz}$			
	MCS = 1		MCS = 0		MCS = 1		MCS = 0	
	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)
75	—		00H	1.73	0BH	1.14	EBH	1.14
110	06H	0.88	E6H	0.88	03H	-2.01	E3H	-2.01
150	00H	1.73	E0H	1.73	EBH	1.14	DBH	1.14
300	E0H	1.73	D0H	1.73	DBH	1.14	CBH	1.14
600	D0H	1.73	C0H	1.73	CBH	1.14	BBH	1.14
1200	C0H	1.73	B0H	1.73	BBH	1.14	ABH	1.14
2400	B0H	1.73	A0H	1.73	ABH	1.14	9BH	1.14
4800	A0H	1.73	90H	1.73	9BH	1.14	8BH	1.14
9600	90H	1.73	80H	1.73	8BH	1.14	7BH	1.14
19200	80H	1.73	70H	1.73	7BH	1.14	6BH	1.14
31250	74H	0	64H	0	71H	-1.31	61H	-1.31
38400	70H	1.73	60H	1.73	6BH	1.14	5BH	1.14
76800	60H	1.73	50H	1.73	5BH	1.14	—	—

備考 MCS : 発振モード選択レジスタ(OSMS)のビット0

(ii) ASCK端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK端子から入力したクロックを分周して送受信クロックを生成します。ASCK端子から入力したクロックから生成するボー・レートは次の式により求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{2 \times (k+16)} \text{ [Hz]}$$

備考 f_{ASCK} : ASCK端子に入力したクロックの周波数

k : MDL0-MDL3で設定した値 ($0 \leq k \leq 14$)

表19-6 ASCK端子入力周波数とボー・レートの関係(BRGC = 00H設定時)

ボー・レート (bps)	ASCK端子入力周波数
75	2.4 kHz
110	3.52 kHz
150	4.8 kHz
300	9.6 kHz
600	19.2 kHz
1200	38.4 kHz
2400	76.8 kHz
4800	153.6 kHz
9600	307.2 kHz
19200	614.4 kHz
31250	1000.0 kHz
38400	1228.8 kHz

(e) シリアル・インタフェース端子選択レジスタ (SIPS)

SIPSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

入出力端子を選択する場合、ポート・モード・レジスタおよびポートの出力ラッチを設定する必要があります。詳細については、表19-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SIPS	0	0	SIPS21	SIPS20	0	0	0	0	FF75H	00H	R/W

SIPS21	SIPS20	アシンクロナス・シリアル・インタフェースの入出力端子の選択
0	0	入力端子：RxD0/SI2/P70 出力端子：TxD0/SO2/P71
0	1	入力端子：RxD1/BUSY/P24 出力端子：TxD0/SO2/P71
1	0	入力端子：RxD0/SI2/P70 出力端子：TxD1/STB/P23
1	1	入力端子：RxD1/BUSY/P24 出力端子：TxD1/STB/P23

注意1. 入出力端子は、シリアル送受信動作を停止させたのちに切り替えてください。

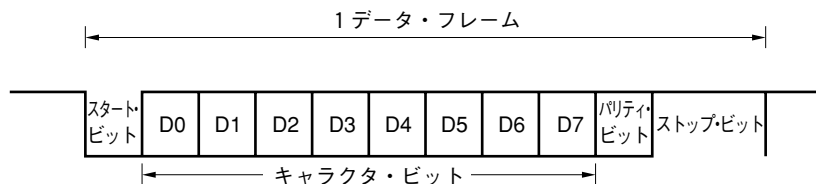
- シリアル・インタフェース・チャンネル1の自動送受信機能付き3線式シリアルI/Oモードでビジー制御オプション、ビジー&ストロブ制御オプションを使用する場合は、RxD1/BUSY/P24, TxD1/STB/P23をデータ入出力端子として使用できません。
- SIPS21はTXEフラグが“1”，SIPS20はRXEフラグが“1”のときのみ有効となります。
- SIPS21 = 1で使用（TxD1端子をUART送信の出力端子として使用）する場合には制限事項があります。詳しくは、19.4.5 UARTモード使用時の制限事項2を参照してください。

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットを図19-8に示します。

図19-8 アシクロナス・シリアル・インタフェースの送受信データのフォーマット



1 データ・フレームは、次に示す各ビットで構成されています。

- ・スタート・ビット……1ビット
- ・キャラクタ・ビット…7ビット/8ビット
- ・パリティ・ビット……偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット……1ビット/2ビット

1 データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) によって設定します。

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット(ビット0-6)のみが有効となり、送信の場合は最上位ビット(ビット7)は無視され、受信の場合は必ず最上位ビット(ビット7)は“0”になります。

シリアル転送レートは、ASIMとボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) によって設定します。

また、シリアルデータの受信エラーが発生した場合、アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の状態を読むことによって受信エラーの内容を判定できます。

(b) パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のものを使用します。偶数パリティと奇数パリティでは、1ビット(奇数個)の誤りを検出できます。0パリティとパリティなしでは、誤りを検出できません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーが発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットを検査しません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーが発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

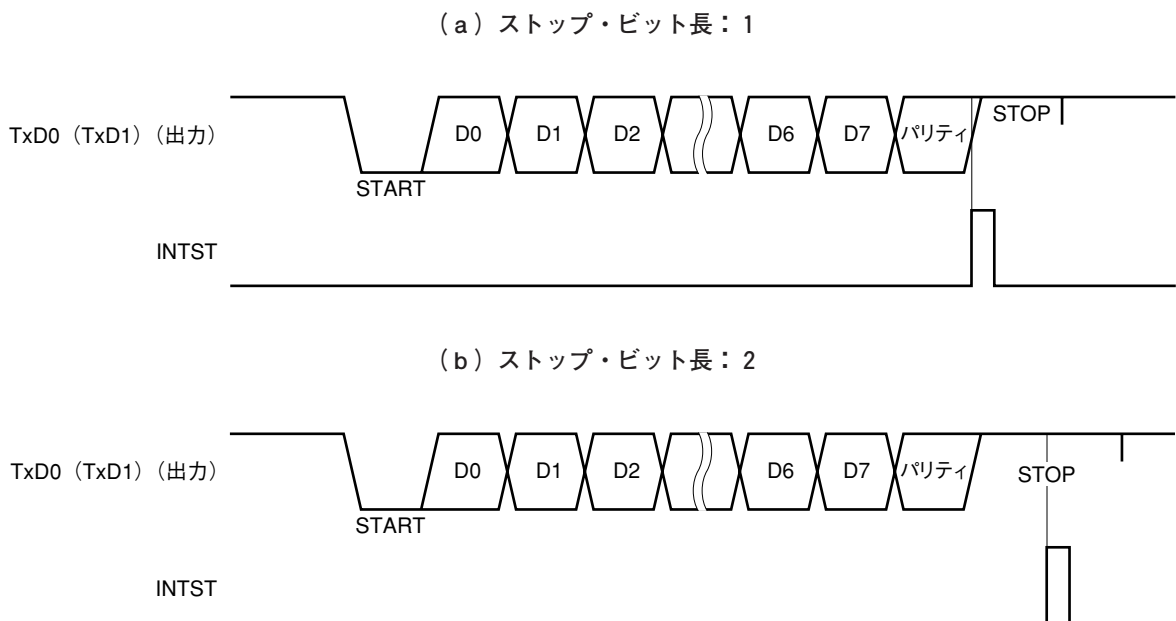
受信時にもパリティ・ビットがないものとして受信します。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

送信シフト・レジスタ(TXS)に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、送信シフト・レジスタ(TXS)内のデータがシフト・アウトされ、送信シフト・レジスタ(TXS)が空になると送信完了割り込み要求(INTST)が発生します。

図19-9 アシクロナス・シリアル・インタフェース送信完了割り込み要求発生タイミング



注意 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)を書き換えしないでください。送信中にASIMを書き換えると、それ以降の送信動作ができなくなる場合があります(RESSET入力により、正常になります)。

送信中かどうかは、送信完了割り込み要求(INTST)またはINTSTによりセットされる割り込み要求フラグ(STIF)を用いて、ソフトウェアにより判断できます。

(d) 受信

受信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のRXEビットがセット(1)されると許可状態となり、RxD0(RxD1)端子入力のサンプリングを開始します。

ASIMで指定したシリアル・クロックでRxD0(RxD1)端子入力をサンプリングします。

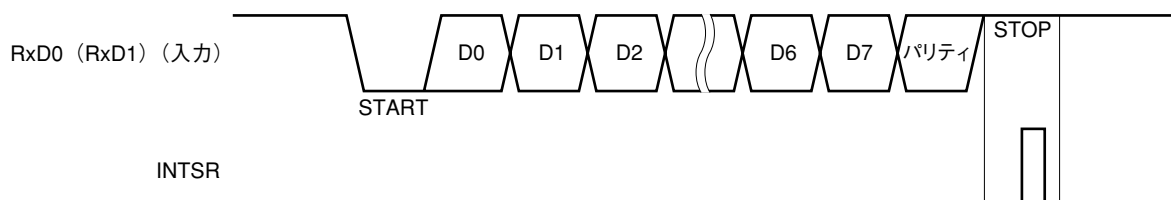
RxD0(RxD1)端子入力がロウ・レベルになると、ポー・レート・ジェネレータの5ビット・カウンタ(図19-2参照)がカウントを開始し、設定したポー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD0(RxD1)端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、5ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ (RXB) に転送し、受信完了割り込み要求 (INTSR) を発生します。

また、エラーが発生しても、RXBにエラーの発生した受信データを転送します。エラー発生時、ASIMのビット1 (ISRM) がクリア(0)されている場合は、INTSRを発生します。

なお、受信動作中にRXEビットをリセット(0)すると、ただちに受信動作を停止します。このとき、RXBおよびアシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の内容は変化せず、また、INTSR、INTSERも発生しません。

図19-10 アシンクロナス・シリアル・インタフェース受信完了割り込み要求発生タイミング



注意 受信エラー発生時にも、受信バッファ・レジスタ (RXB) は必ず読み出してください。RXBを読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)内に立つと、受信エラー割り込み要求 (INTSER) を発生します。受信エラー割り込みは、受信完了割り込み (INTSR) より先に発生します。受信エラーの要因を表19-7に示します。

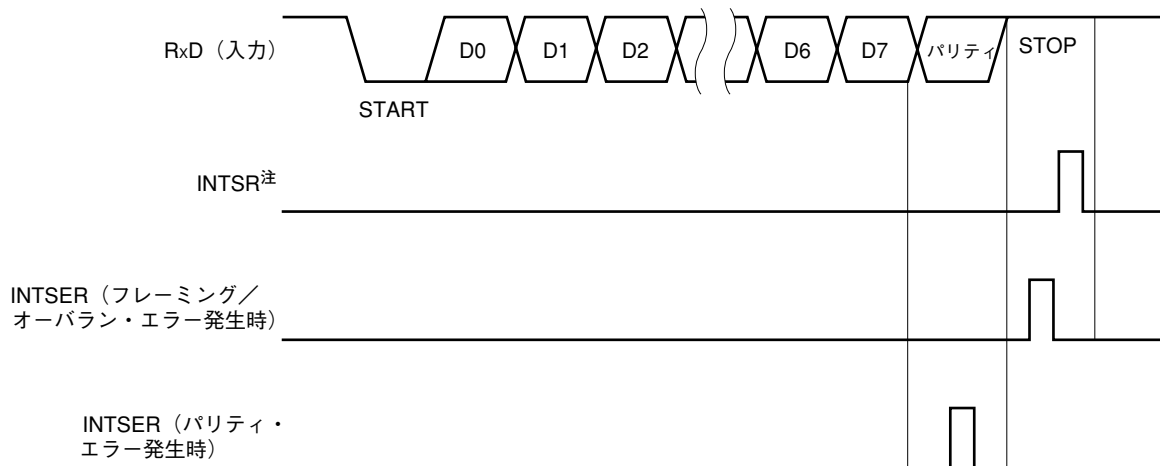
受信エラー割り込み処理内で、ASISの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます (図19-10, 図19-11参照)。

ASISの内容は、受信バッファ・レジスタ (RXB) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表19-7 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了

図19-11 受信エラー・タイミング



注 アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット 1 (ISRM) がセット (1) されている場合に受信エラーが発生したときは、INTSRは発生しません。

注意 1. アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の内容は、受信バッファ・レジスタ (RXB) を読み出すか、次のデータを受信することにより、リセット (0) されます。エラーの内容が知りたい場合には、必ず RXB を読み出す前に ASIS を読み出してください。

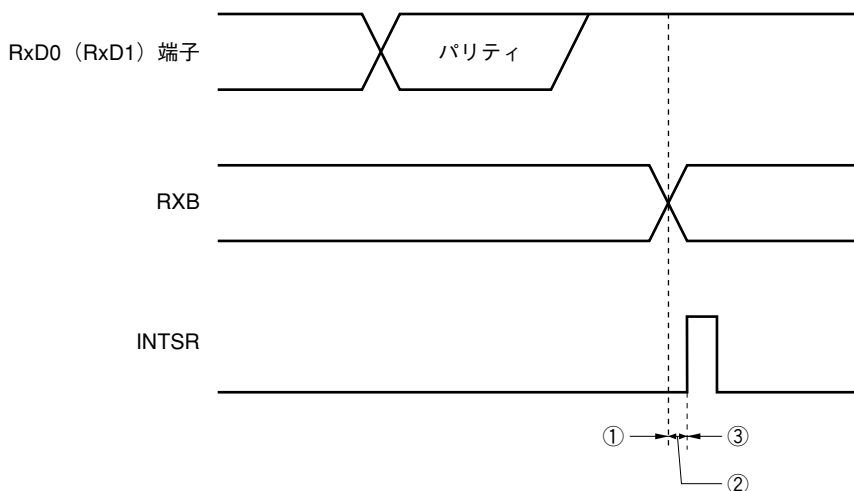
2. 受信エラー発生時にも、受信バッファ・レジスタ (RXB) は必ず読み出してください。RXB を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(3) UARTモードの注意事項

(a) 送信中にアシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット 7 (TXE) をクリアして送信動作を停止した場合、次の送信を行う前に、必ず送信シフト・レジスタ (TXS) に FFH を設定したのちに、TXE に 1 を設定してください。

(b) 受信中にアシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット 6 (RXE) をクリア (0) して受信動作を停止した場合、そのタイミングにより受信バッファ・レジスタ (RXB) の状態、受信完了割り込み要求 (INTSR) の発生の有無が異なります。図19-12にそのタイミングを示します。

図19-12 受信中断時の受信バッファ・レジスタ (RXB) の状態と割り込み要求 (INTSR) の発生の有無



- ①の区間でRXEに0を設定した場合、RXBは前のデータを保持し、INTSRも発生しません。
- ②の区間でRXEに0を設定した場合、RXBはデータを更新し、INTSRは発生しません。
- ③の区間でRXEに0を設定した場合、RXBはデータを更新し、INTSRも発生します。

19.4.3 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック(SCK2)、シリアル出力(SO2)、シリアル入力(SI2)の3本のラインで通信を行います。

また、3線式シリアルI/Oモードでは、P23/STB/TxD1、P24/BUSY/RxD1端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

3線式シリアルI/Oモードは、シリアル動作モード・レジスタ2 (CSIM2)、アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)、ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) で設定します。

(a) シリアル動作モード・レジスタ2 (CSIM2)

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM2	CSIE2	0	0	0	0	CSIM22	CSCK	0	FF72H	00H	R/W

CSCK	3線式シリアルI/Oモード時のクロックの選択
0	SCK2端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

CSIM22	先頭ビットの指定
0	MSB
1	LSB

CSIE2	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

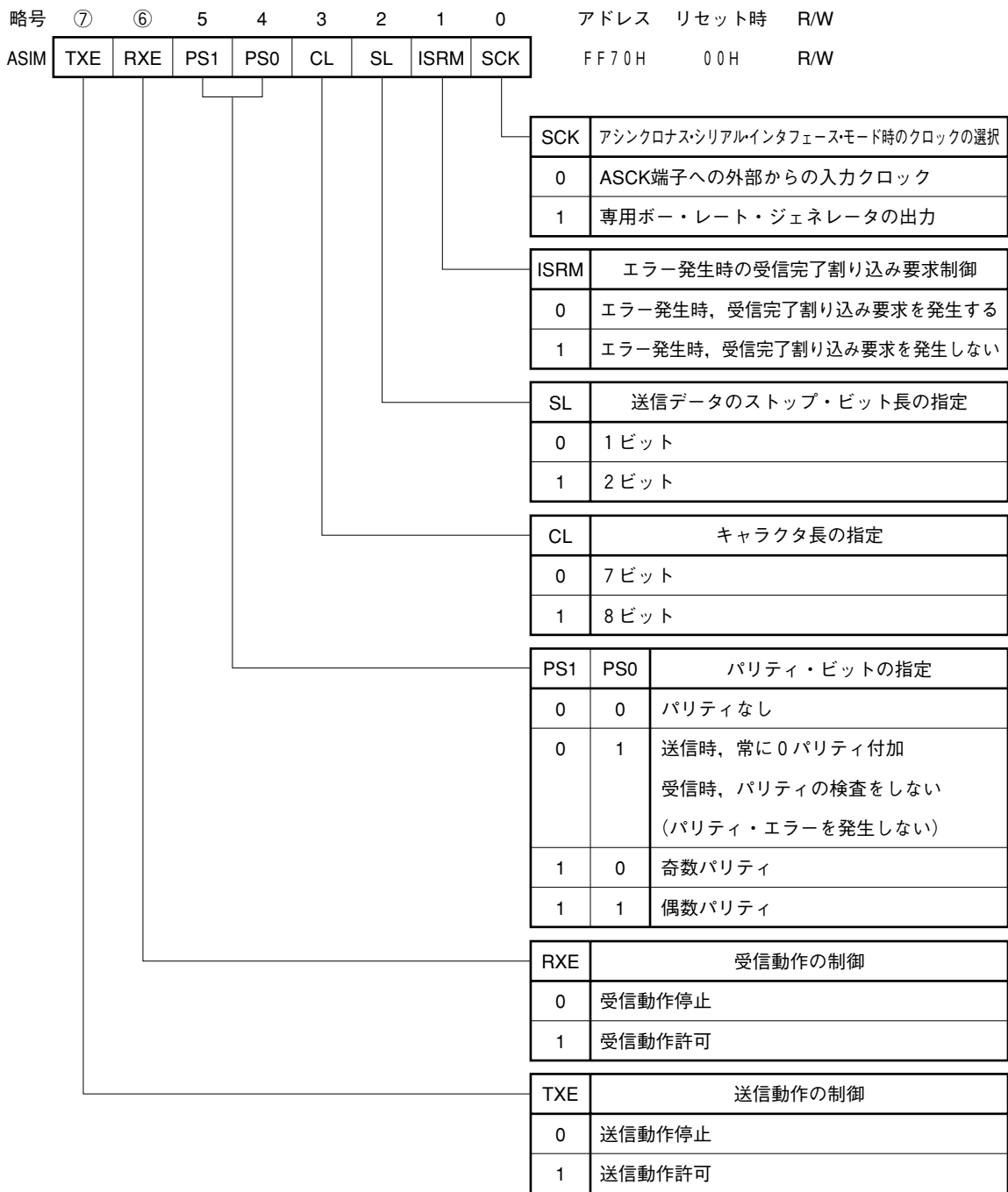
注意 ビット0、3-6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)

ASIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

3線式シリアルI/Oモード選択時は、ASIMに00Hを設定してください。



(c) ボー・レート・ジェネレータ・コントロール・レジスタ(BRGC)

BRGCは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0	FF73H	00H	R/W

MDL3	MDL2	MDL1	MDL0	ボー・レート・ジェネレータの入カクロックの選択	k
0	0	0	0	fscck/16	0
0	0	0	1	fscck/17	1
0	0	1	0	fscck/18	2
0	0	1	1	fscck/19	3
0	1	0	0	fscck/20	4
0	1	0	1	fscck/21	5
0	1	1	0	fscck/22	6
0	1	1	1	fscck/23	7
1	0	0	0	fscck/24	8
1	0	0	1	fscck/25	9
1	0	1	0	fscck/26	10
1	0	1	1	fscck/27	11
1	1	0	0	fscck/28	12
1	1	0	1	fscck/29	13
1	1	1	0	fscck/30	14
1	1	1	1	fscck	—

(続く)

備考 fscck : 5ビット・カウンタのソース・クロック

k : MDL0-MDL3で設定した値(0 ≤ k ≤ 14)

TPS3	TPS2	TPS1	TPS0	5ビット・カウンタのソース・クロックの選択			n
					MCS = 1	MCS = 0	
0	0	0	0	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)	11
0	1	0	1	f_{xx}	f_x (5.0 MHz)	$f_x/2$ (2.5 MHz)	1
0	1	1	0	$f_{xx}/2$	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)	2
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)	3
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)	4
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)	5
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)	6
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)	7
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)	8
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)	9
1	1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)	10
上記以外				設定禁止			

注意 通信動作中にBRGCへ書き込むと、ポー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。

したがって、通信動作中にはBRGCへ書き込まないでください。

- 備考 1. f_x : メイン・システム・クロック発振周波数
 2. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 3. MCS : 発振モード選択レジスタ (OSMS) のビット 0
 4. n : TPS0-TPS3 で設定した値 ($1 \leq n \leq 11$)
 5. () 内は、 $f_x = 5.0$ MHz 動作時。

3線式シリアルI/Oモードのシリアル・クロックに内部クロックを使用する場合、BRGCは次のように設定してください。外部からシリアル・クロックを入力する場合はBRGCの設定は必要ありません。

(i) ボー・レート・ジェネレータを使用しないとき

TPS0-TPS3でシリアル・クロック周波数を設定します。

MDL0-MDL3には1, 1, 1, 1を設定してください。

シリアル・クロック周波数は、5ビット・カウンタのソース・クロック周波数の1/2になります。

(ii) ボー・レート・ジェネレータを使用するとき

MDL0-MDL3, TPS0-TPS3でシリアル・クロック周波数を設定します。

MDL0-MDL3には1, 1, 1, 1以外の値を設定してください。

シリアル・クロック周波数は、次の式によって求められます。

$$\text{シリアル・クロック周波数} = \frac{f_{xx}}{2^n \times (k+16)} \text{ [Hz]}$$

備考 f_x : メイン・システム・クロック発振周波数

f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)

n : TPS0-TPS3で設定した値($1 \leq n \leq 11$)

k : MDL0-MDL3で設定した値($0 \leq k \leq 14$)

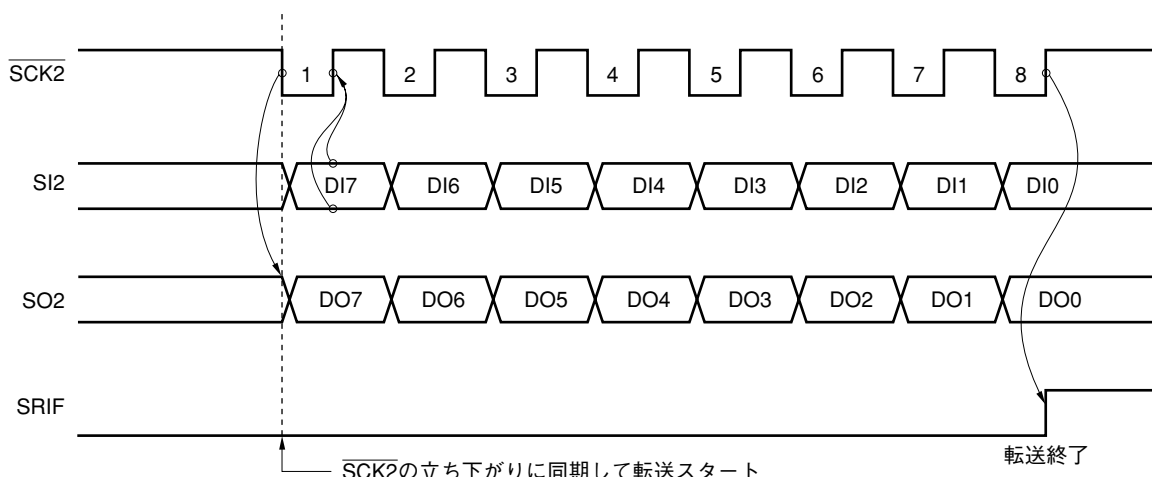
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータを送受信します。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

送信シフト・レジスタ(TXS/SIO2)、受信シフト・レジスタ(RXS)のシフト動作は、シリアル・クロック(SCK2)の立ち下がりに同期して行われます。そして、送信データがSO2ラッチに保持され、SO2端子から出力されます。また、SCK2の立ち上がりで、SI2端子に入力された受信データが受信バッファ・レジスタ(RXB/SIO2)にラッチされます。

8ビット転送終了により、TXS/SIO2, RXSの動作は自動的に停止し、割り込み要求フラグ(SRIF)がセットされます。

図19-13 3線式シリアルI/Oモードのタイミング



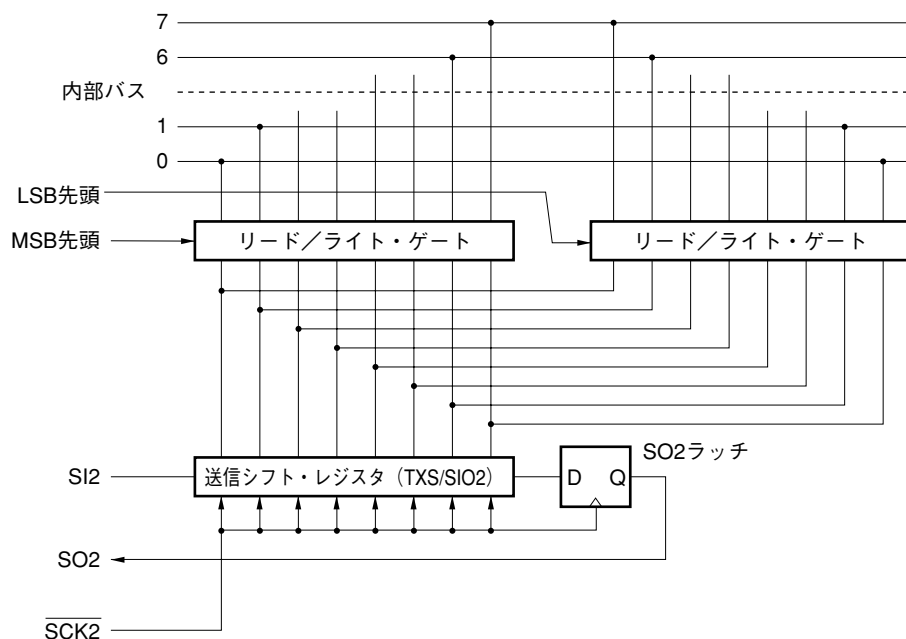
(3) MSB/LSB先頭の切り替え

3線式シリアルI/Oモードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図19-14に送信シフト・レジスタ(TXS/SIO2)、および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し/書き込みを行うことができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ2(CSIM2)のビット2(CSIM22)により指定できます。

図19-14 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO2へのデータ書き込みのビット順を切り替えることによって実現されています。SIO2のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットは、シフト・レジスタにデータを書き込む前に切り替えてください。

(4) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、送信シフト・レジスタ(TXS/SIO2)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル2の動作の制御ビット(CSIE2)=1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK2がハイ・レベルの状態

注意 TXS/SIO2にデータを書き込んだあと、CSIE2を“1”にしても、転送はスタートしません。

備考 CSIE2：シリアル動作モード・レジスタ2(CSIM2)のビット7

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(SRIF)をセットします。

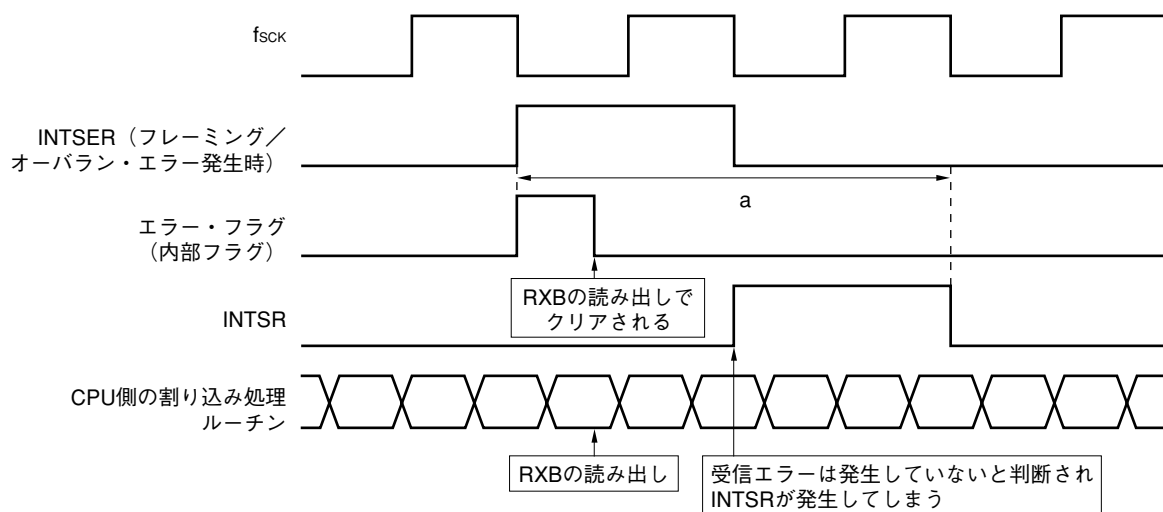
19.4.4 UARTモード使用時の制限事項 1

UARTモードでは、受信完了割り込み(INTSR)は、受信エラー割り込み要求(INTSER)が発生し、クリアされてから一定時間遅れて発生します。これにより、次に示す現象が起こることがあります。

●内容

アシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)のビット1(ISRM)を1にセットした場合、受信エラー発生時に受信完了割り込み要求(INTSR)が発生しない設定になります。しかし、受信エラー割り込み(INTSER)処理において、あるタイミング(図19-15のa)で受信バッファ・レジスタ(RXB)を読み出すと、内部のエラー・フラグがクリア(0)されてしまいます。したがって、受信エラーは発生していないと判断され、発生するはずのないINTSRが発生します。上記の動作について、図19-15に示します。

図19-15 受信完了割り込み要求の発生タイミング(ISRM = 1のとき)



備考 ISRM : アシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)のビット1

fscck : ボー・レート・ジェネレータの5ビット・カウンタのソース・クロック

RXB : 受信バッファ・レジスタ

この現象を回避するために、次の回避策を行ってください。

●回避策

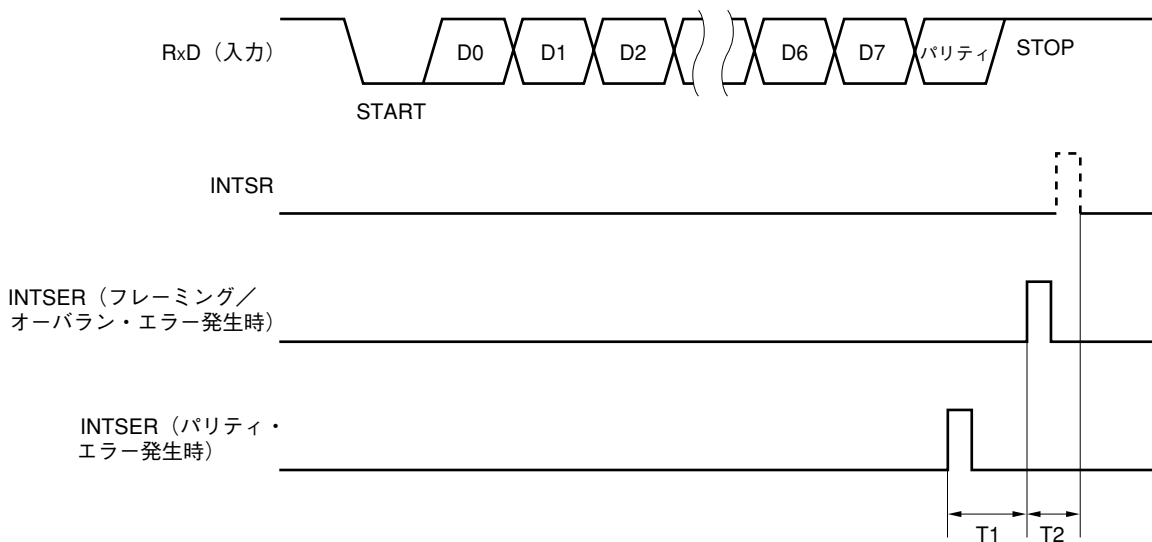
・フレーミング・エラー，オーバラン・エラーの場合

受信エラー割り込み要求(INTSER)が発生してから一定の期間(図19-16のT2)，受信バッファ・レジスタ(RXB)の読み出しを禁止する。

・パリティ・エラーの場合

受信エラー割り込み要求(INTSER)が発生してから一定の期間(図19-16のT1+T2)、受信バッファ・レジスタ(RXB)の読み出しを禁止する。

図19-16 受信バッファ・レジスタの読み出し禁止期間



T1：ボー・レート・ジェネレータ・コントロール・レジスタ(BRGC)で選択したボー・レートの1データ分の時間(1/ボー・レート)

T2：BRGCで選択した5ビット・カウンタのソース・クロック(f_{sck})の2クロック分の時間

●回避策の例

回避策の例を次に示します。

【条 件】

f_x = 5.0 MHz

プロセッサ・クロック・コントロール・レジスタ(PCC) = 00H

発振モード選択レジスタ(OSMS) = 01H

ボー・レート・ジェネレータ・コントロール・レジスタ(BRGC) = B0H(ボー・レートに2400 bpsを選択)

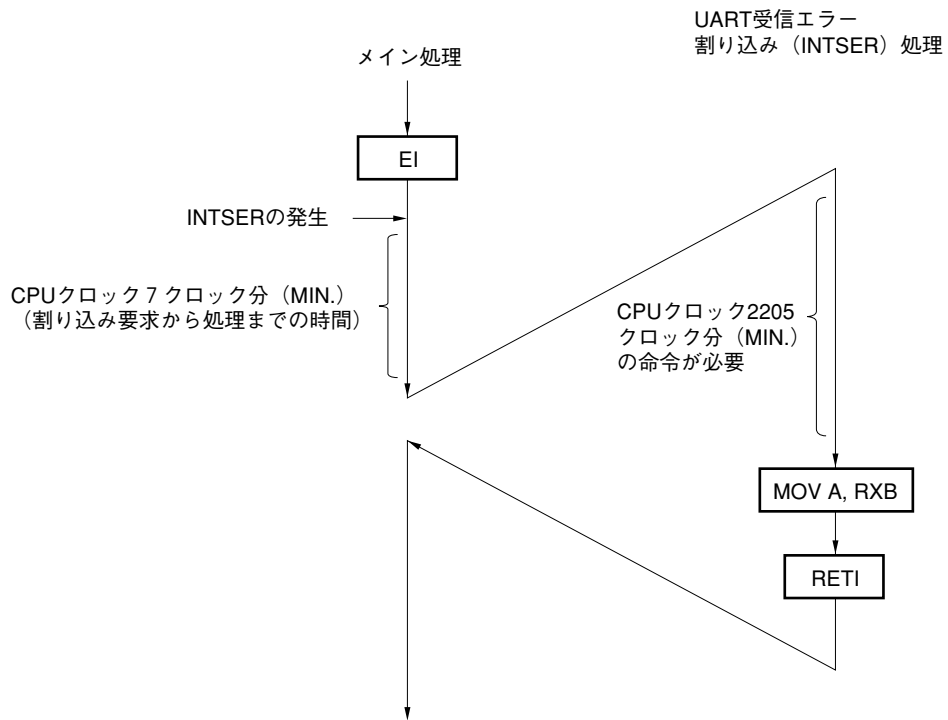
T_{cy} = 0.4 μs (t_{cy} = 0.2 μs)

T1 = $\frac{1}{2400}$ = 416.7 μs

T2 = 12.8 × 2 = 25.6 μs

$\frac{T1+T2}{t_{cy}}$ = 2212(クロック)

【例】



★ 19.4.5 UARTモード使用時の制限事項 2

時分割転送機能を使用して、TxD1/STB/P23端子をUARTのデータ出力端子とする場合には、送信動作許可の際、または送信動作停止の際に、それぞれ以下の処理で行ってください。

なおこのTxD1/STB/P23端子は、兼用機能の出力回路が実デバイスとインサーキット・エミュレータで異なります(図19-17参照)。そのため、下線部分の行はインサーキット・エミュレータ(IE)でのエミュレーション時には削除してください。

適用条件：シリアル・インタフェース端子選択レジスタ(SIPS)= 20H or 30H

(UART送信の出力端子としてTxD1端子を使用する場合)

(1) 送信動作許可時

CLR1	PM2.3	; P23(TXD1)端子を出力モードに設定
SET1	P2.3	; P23の出力ラッチに“1”を設定
SET1	ASIM.7	; 送信許可(TXE = 1)
CLR1	P2.3	; ←この行は実デバイス動作時のみ必要。IE動作時には削除する。
MOV	TXS, #BYTE	; 送信データ(#BYTE)を送信シフト・レジスタ(TXS)へ

注意 1. TxD1端子を出力端子として送信動作許可する場合は、毎回この処理を行ってください。

2. TxD0端子からTxD1端子に出力端子を切り替える場合も、いったん送信を動作停止させてから再び動作許可する必要があるので、毎回この処理を行ってください。

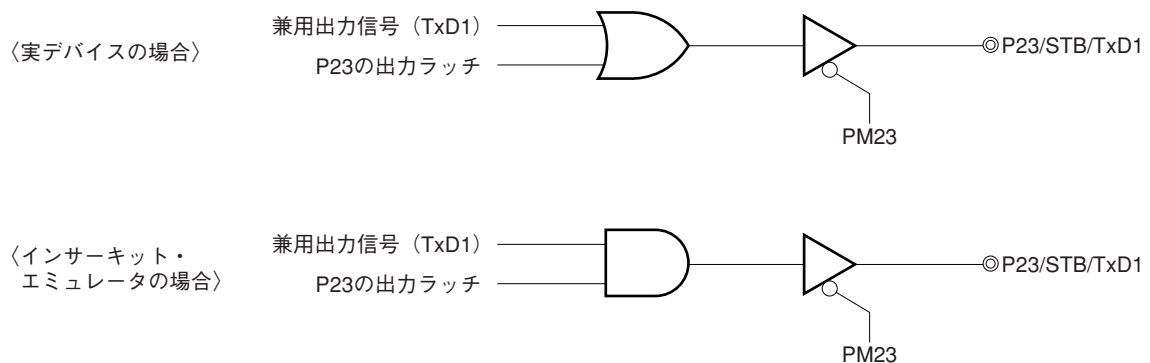
(2) 送信動作停止時

SET1	P2.3	; ←この行は実デバイス動作時のみ必要。IE動作時には削除する。
CLR1	ASIM.7	; 送信停止(TXE = 0)

注意 1. TxD1端子を出力端子として送信動作停止する場合は、毎回この処理を行ってください。

2. TxD0端子からTxD1端子に出力端子を切り替える場合も、いったん送信を動作停止させてから再び動作許可する必要があるので、毎回この処理を行ってください。

図19-17 P23の出力切り替え回路



第20章 リアルタイム出力ポート

20.1 リアルタイム出力ポートの機能

リアルタイム出力バッファ・レジスタにあらかじめ設定したデータを、タイマ割り込み要求または外部割り込み要求の発生と同時にハードウェアで出力ラッチに転送して、外部に出力することをリアルタイム出力機能といいます。また、外部へ出力する端子をリアルタイム出力ポートと呼びます。

リアルタイム出力ポートを使用することにより、ジッタのない信号が出力できますので、ステップング・モータなどの制御に最適です。

1ビット単位でポート・モード／リアルタイム出力ポート・モードの指定ができます。

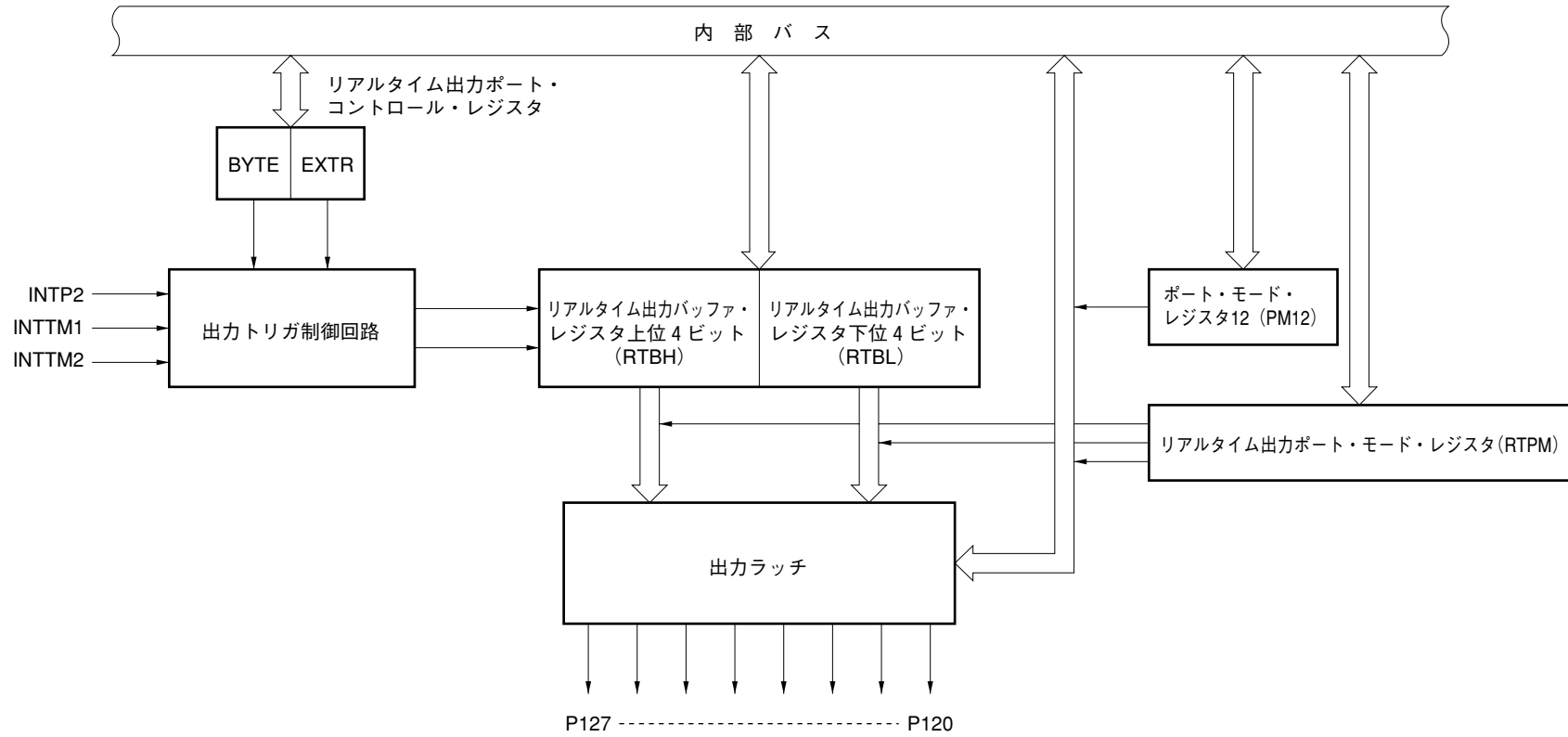
20.2 リアルタイム出力ポートの構成

リアルタイム出力ポートは、次のハードウェアで構成しています。

表20-1 リアルタイム出力ポートの構成

項 目	構 成
レジスタ	リアルタイム出力バッファ・レジスタ (RTBL, RTBH)
制御レジスタ	ポート・モード・レジスタ12 (PM12) リアルタイム出力ポート・モード・レジスタ (RTPM) リアルタイム出力ポート・コントロール・レジスタ (RTPC)

図20-1 リアルタイム出力ポートのブロック図



(1) リアルタイム出力バッファ・レジスタ(RTBL, RTBH)

RTBL, RTBHは、図20-2に示すように特殊機能レジスタ(SFR)領域内でそれぞれ独立したアドレスにマッピングされています。

4ビット×2チャンネルの動作モードを指定したときは、RTBL, RTBHはそれぞれ独立にデータを設定できます。

8ビット×1チャンネルの動作モードを指定したときは、RTBL, RTBHのどちらか一方に8ビット・データを書き込むことにより、RTBL, RTBHそれぞれにデータを設定できます。

表20-2に、RTBL, RTBHに対する操作時の動作を示します。

図20-2 リアルタイム出力バッファ・レジスタの構成



表20-2 リアルタイム出力バッファ・レジスタに対する操作時の動作

動作モード	操作対象レジスタ	リード時 ^{注1}		ライト時 ^{注2}	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×2チャンネル	RTBL	RTBH	RTBL	無効	RTBL
	RTBH	RTBH	RTBL	RTBH	無効
8ビット×1チャンネル	RTBL	RTBH	RTBL	RTBH	RTBL
	RTBH	RTBH	RTBL	RTBH	RTBL

注1. リアルタイム出力ポート・モードに指定したビットのみ読み出しができます。ポート・モードに指定したビットに対してリードした場合は、0を読み出します。

2. リアルタイム出力ポートに設定後、リアルタイム出力トリガが発生するまでにRTBL, RTBHに出力データを設定してください。

20.3 リアルタイム出力ポートを制御するレジスタ

リアルタイム出力ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ12(PM12)
- ・リアルタイム出力ポート・モード・レジスタ(RTPM)
- ・リアルタイム出力ポート・コントロール・レジスタ(RTPC)

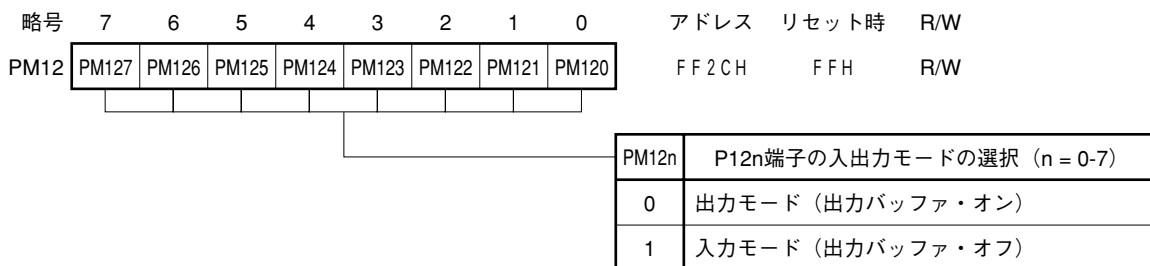
(1) ポート・モード・レジスタ12 (PM12)

リアルタイム出力端子(RTP0-RTP7)の兼用端子であるポート12端子(P120-P127)の入出力モードを設定するレジスタです。ポート12をリアルタイム出力ポートとして使用するためには、リアルタイム出力を行うポートの入出力モードを出力モード(PM12n = 0 : n = 0-7)にする必要があります。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図20-3 ポート・モード・レジスタ12のフォーマット



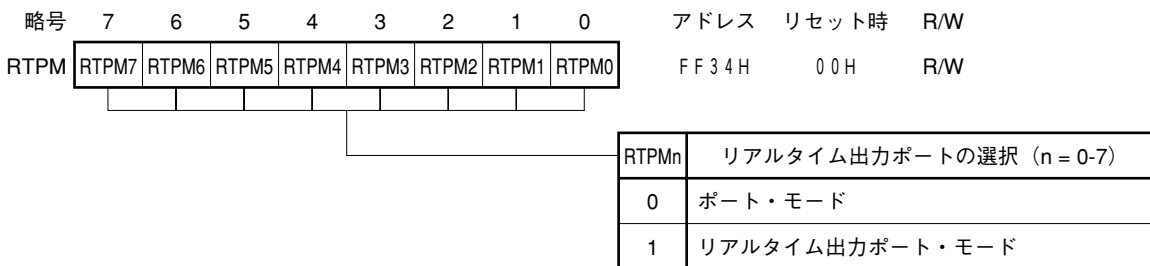
(2) リアルタイム出力ポート・モード・レジスタ(RTPM)

リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。

RTPMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図20-4 リアルタイム出力ポート・モード・レジスタのフォーマット



注意 1. リアルタイム出力ポートとして使用する場合、リアルタイム出力を行うポートは出力モード (ポート・モード・レジスタ12(PM12)の該当ビットに0を設定)にしてください。

2. リアルタイム出力ポートに指定したポートは、出力ラッチにデータを設定できません。したがって、初期値を設定する場合には、リアルタイム出力ポート・モードにする前に出力ラッチにデータを設定してください。

(3) リアルタイム出力ポート・コントロール・レジスタ(RTPC)

リアルタイム出力ポートの動作モードおよび出力トリガを設定するレジスタです。

リアルタイム出力ポートの動作モードと出力トリガについては、表20-3に示すような関係があります。

RTPCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図20-5 リアルタイム出力ポート・コントロール・レジスタのフォーマット

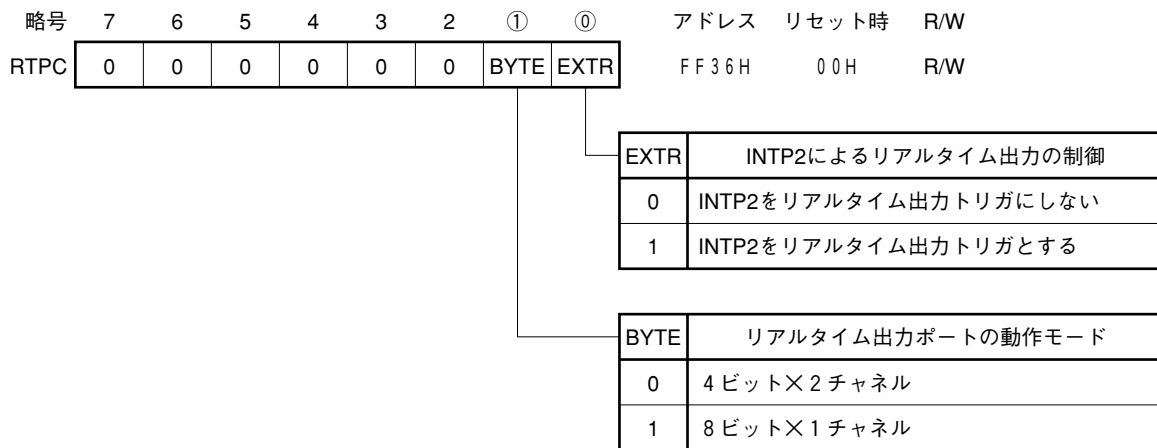


表20-3 リアルタイム出力ポートの動作モードと出力トリガ

BYTE	EXTR	動作モード	RTBH → ポート出力	RTBL → ポート出力
0	0	4ビット×2チャンネル	INTTM2	INTTM1
	1		INTTM1	INTP2
1	0	8ビット×1チャンネル	INTTM1	
	1		INTP2	

第21章 割り込み機能とテスト機能

21.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みには、ウォッチドッグ・タイマからの割り込み要求が1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています(表21-1 参照)。

スタンバイ・リリース信号を発生します。

マスカブル割り込みには、外部割り込み要求が6要因、内部割り込み要求が13要因あります。

(3) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

21.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計21要因あります(表21-1 参照)。

表21-1 割り込み要因一覧(1/2)

割り込みの種類	デフォルト・注1 プライオリティ	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成注2 タイプ
		名 称	トリガ			
ノンマスクابل	—	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1 選択時)	内部	0004H	(A)
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTP1			0008H	(D)
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTP4			000EH	
	6	INTP5			0010H	
	7	INTCSI0			シリアル・インタフェース・チャンネル0の 転送終了	内部
	8	INTCSI1	シリアル・インタフェース・チャンネル1の 転送終了	0016H		
	9	INTSER	シリアル・インタフェース・チャンネル2の UART受信エラー発生	0018H		
	10	INTSR	シリアル・インタフェース・チャンネル2の UART受信終了	001AH		
		INTCSI2	シリアル・インタフェース・チャンネル2の 3線式転送終了			
	11	INTST	シリアル・インタフェース・チャンネル2の UART送信終了	001CH		

注1. デフォルト・プライオリティは、複数のマスクابل割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位、17が最低順位です。

2. 基本構成タイプの(A)-(E)は、それぞれ図21-1の(A)-(E)に対応しています。

表21-1 割り込み要因一覧(2/2)

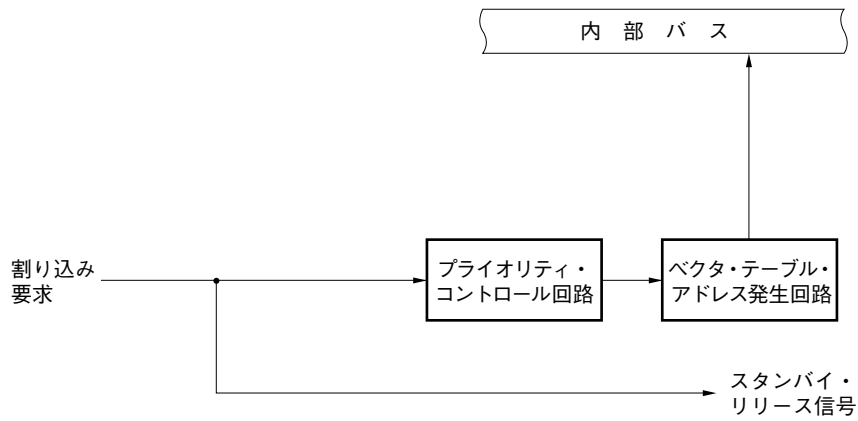
割り込みの種類	デフォルト・注1 プライオリティ	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成注2 タイプ
		名 称	トリガ			
マスクブル	12	INTTM3	時計用タイマからの基準時間間隔信号	内部	001EH	(B)
	13	INTTM00	16ビット・タイマ・レジスタとキャプチャ/ コンペア・レジスタ00(CR00)の一致信号発生		0020H	
	14	INTTM01	16ビット・タイマ・レジスタとキャプチャ/ コンペア・レジスタ01(CR01)の一致信号発生		0022H	
	15	INTTM1	8ビット・タイマ/イベント・カウンタ1 の一致信号発生		0024H	
	16	INTTM2	8ビット・タイマ/イベント・カウンタ2 の一致信号発生		0026H	
	17	INTAD	A/Dコンバータの変換終了		0028H	
ソフトウェア	—	BRK	BRK命令の実行	—	003EH	(E)

注1. デフォルト・プライオリティは、複数のマスクブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位、17が最低順位です。

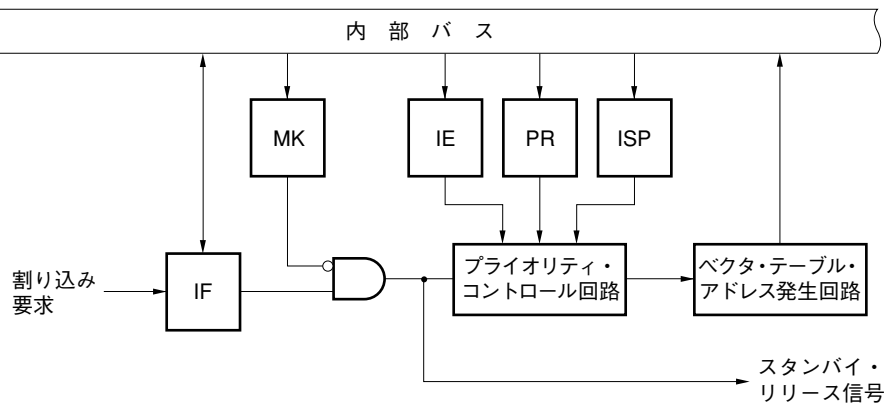
2. 基本構成タイプの(A)-(E)は、それぞれ図21-1の(A)-(E)に対応しています。

図21-1 割り込み機能の基本構成(1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み (INTP0)

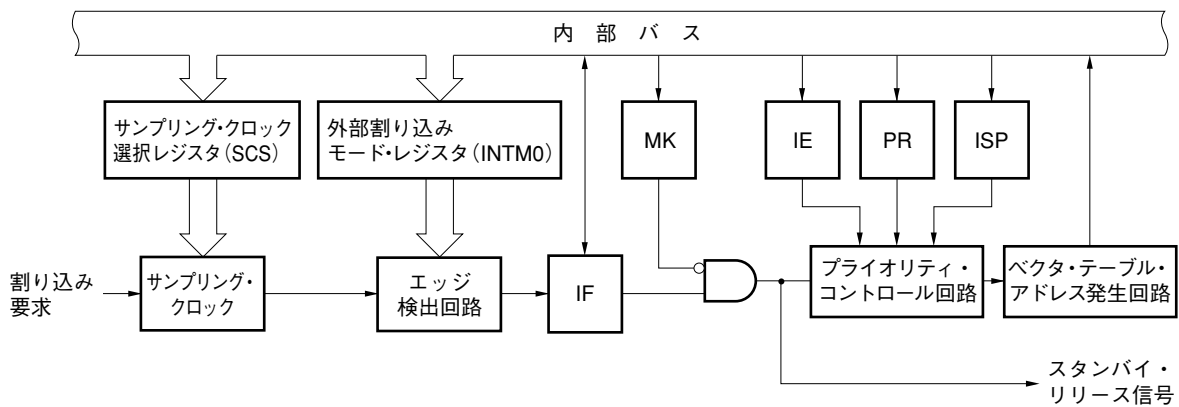
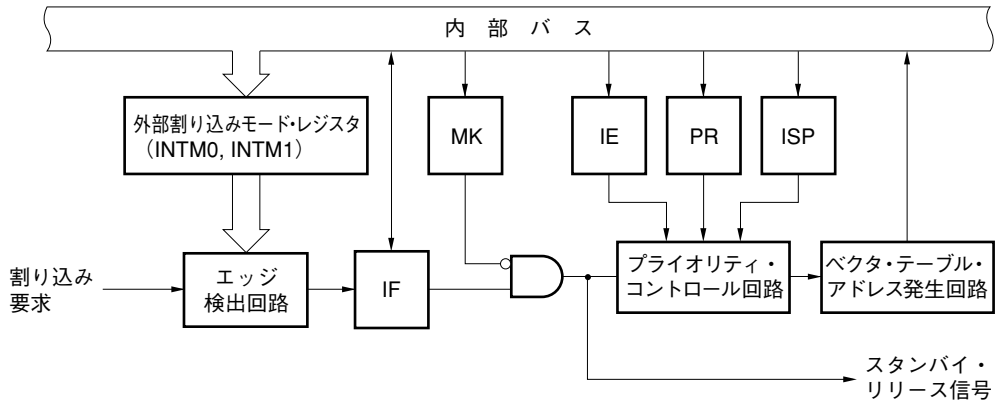
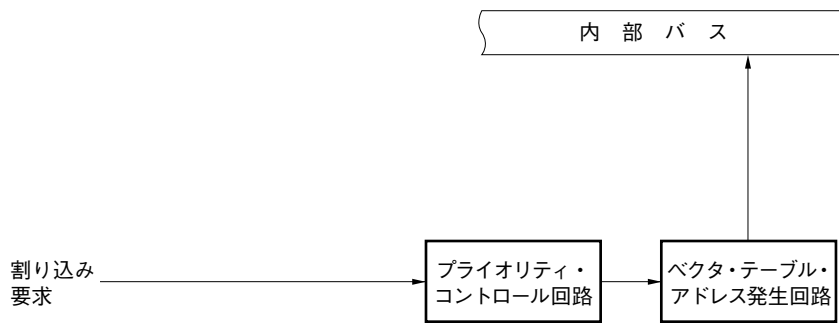


図21-1 割り込み機能の基本構成(2/2)

(D) 外部マスカブル割り込み(INTP0を除く)



(E) ソフトウェア割り込み



- 備考 IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP : インサービス・プライオリティ・フラグ
 MK : 割り込みマスク・フラグ
 PR : 優先順位指定フラグ

21.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)
- ・外部割り込みモード・レジスタ (INTM0, INTM1)
- ・サンプリング・クロック選択レジスタ (SCS)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を、表21-2に示します。

表21-2 割り込み要求ソースに対する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDT	TMIF4	IF0L	TMMK4	MK0L	TMPR4	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTP4	PIF4		PMK4		PPR4	
INTP5	PIF5	PMK5	PPR5			
INTCSI0	CSIF0	IF0H	CSIMK0	MK0H	CSIPR0	PR0H
INTCSI1	CSIF1		CSIMK1		CSIPR1	
INTSER	SERIF		SERMK		SERPR	
INTSR/INTCSI2	SRIF		SRMK		SRPR	
INTST	STIF		STMK		STPR	
INTTM3	TMIF3		TMMK3		TMPR3	
INTTM00	TMIF00		TMMK00		TMPR00	
INTTM01	TMIF01		TMMK01		TMPR01	
INTTM1	TMIF1	IF1L	TMMK1	MK1L	TMPR1	PR1L
INTTM2	TMIF2		TMMK2		TMPR2	
INTAD	ADIF		ADMK		ADPR	

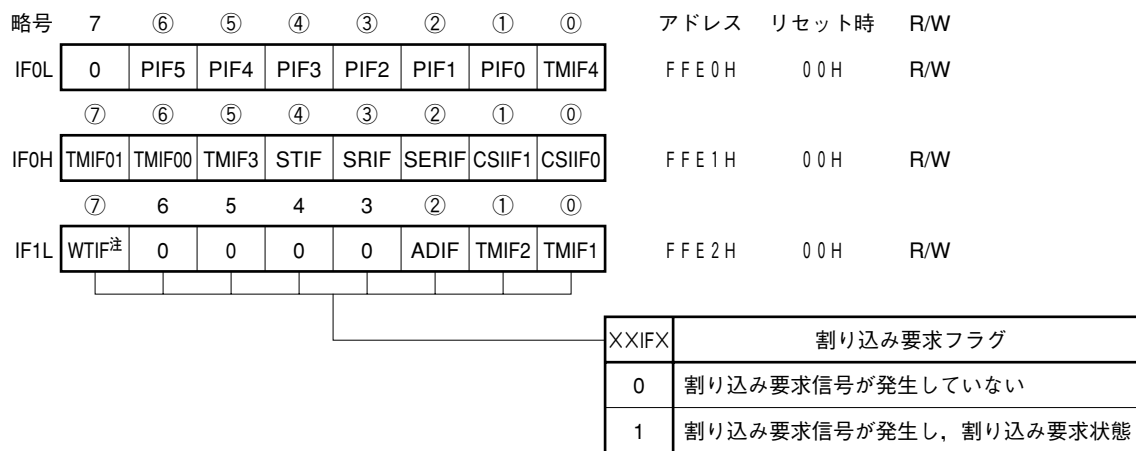
(1) 割り込み要求フラグ・レジスタ(IF0L, IF0H, IF1L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時、 $\overline{\text{RESET}}$ 入力時、命令の実行によりクリア(0)されるフラグです。

IF0L, IF0H, IF1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0Hをあわせて16ビット・レジスタIF0として使用するとき、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図21-2 割り込み要求フラグ・レジスタのフォーマット



注 WTIFは、テスト入力フラグです。ベクタ割り込み要求は発生しません。

注意1. TMIF4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1で使用する場合は、TMIF4フラグに0を設定してください。

2. IF0Lのビット7, IF1Lのビット3-6には、必ず0を設定してください。

★ 3. 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ(MK0L, MK0H, MK1L)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0Hをあわせて16ビット・レジスタMK0として使用するときは、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図21-3 割り込みマスク・フラグ・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MK0L	1	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	TMMK4	FFE4H	FFH	R/W
MK0H	TMMK01	TMMK00	TMMK3	STMK	SRMK	SERMK	CSIMK1	CSIMK0	FFE5H	FFH	R/W
MK1L	WTMK ^注	1	1	1	1	ADMK	TMMK2	TMMK1	FFE6H	FFH	R/W

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 WTMKは、スタンバイ・モード解除の許可/禁止を制御しています。割り込み機能は制御していません。

- 注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、TMMK4フラグを読み出すと不定になっています。
2. ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. MK0Lのビット7, MK1Lのビット3-6には、必ず1を設定してください。

(4) 外部割り込みモード・レジスタ(INTM0, INTM1)

INTP0-INTP5, TI00, TI01の有効エッジを設定するレジスタです。

INTM0でINTP0-INTP2とTI00, TI01, INTM1でINTP3-INTP5の各割り込み端子の有効エッジを設定します。

INTM0, INTM1は、それぞれ8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図21-5 外部割り込みモード・レジスタ0のフォーマット



- ★ 注意 TI00/P00/INTP0, TI01/P01/INTP1端子をタイマ入力 (TI00, TI01) として使う場合、TI00, TI01の有効エッジの設定は、16ビット・タイマ・モード・コントロール・レジスタ (TMC0) のビット1-3 (TMC01-TMC03) に0, 0, 0を設定し、16ビット・タイマ0の動作を停止させたのちに行ってください。有効エッジは、外部割り込みモード・レジスタ0 (INTM0) のビット2, 3 (ES10, ES11) で設定します。なお、TI00/P00/INTP0, TI01/P01/INTP1端子を外部割り込み入力 (INTP0, INTP1) として使う場合は、16ビット・タイマ0動作中に設定してもかまいません。

図21-6 外部割り込みモード・レジスタ1のフォーマット



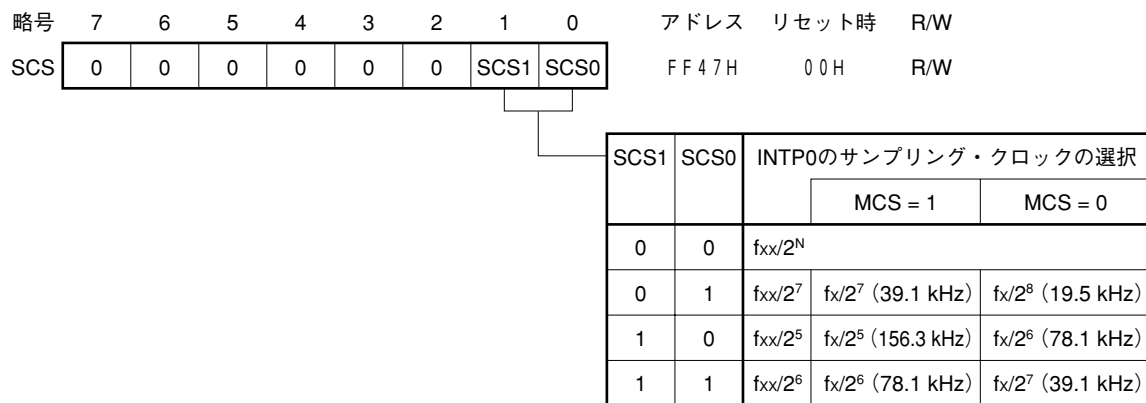
(5) サンプリング・クロック選択レジスタ(SCS)

INTP0に入力される有効エッジのクロック・サンプリングを行うクロックを設定するレジスタです。INTP0を使ってリモコン受信をするとき、サンプリング・クロックによりデジタル・ノイズを除去します。

SCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図21-7 サンプリング・クロック選択レジスタのフォーマット



注意 $f_{xx}/2^N$ はCPUへ供給されるクロック、 $f_{xx}/2^5$ 、 $f_{xx}/2^6$ 、 $f_{xx}/2^7$ は周辺ハードウェアへ供給されるクロックです。 $f_{xx}/2^N$ はHALTモード中は停止します。

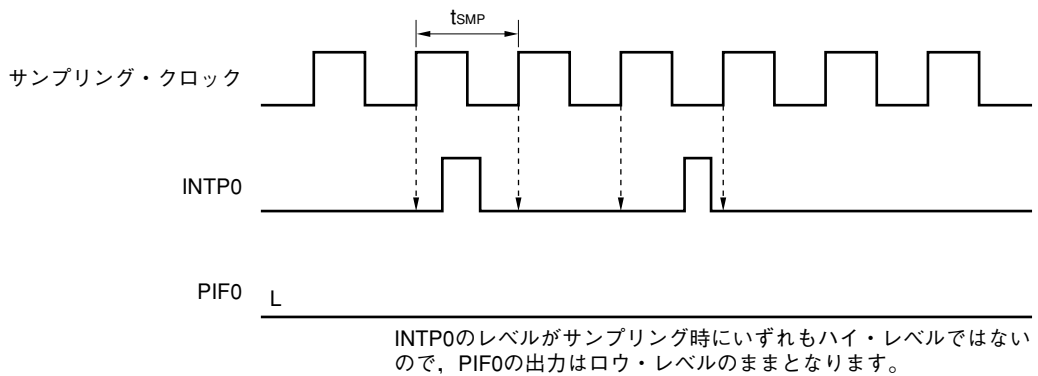
- 備考1. N : プロセッサ・クロック・コントロール・レジスタ(PCC)のビット0-2(PCC0-PCC2)に設定した値(N = 0-4)。
2. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
3. f_x : メイン・システム・クロック発振周波数
4. MCS : 発振モード選択レジスタ(OSMS)のビット0
5. ()内は、 $f_x = 5.0$ MHz動作時。

ノイズ除去回路は、サンプリングしたINTP0の入力レベルが2回連続してアクティブ・レベルであるとき、割り込み要求フラグ (PIF0) を1にセットします。

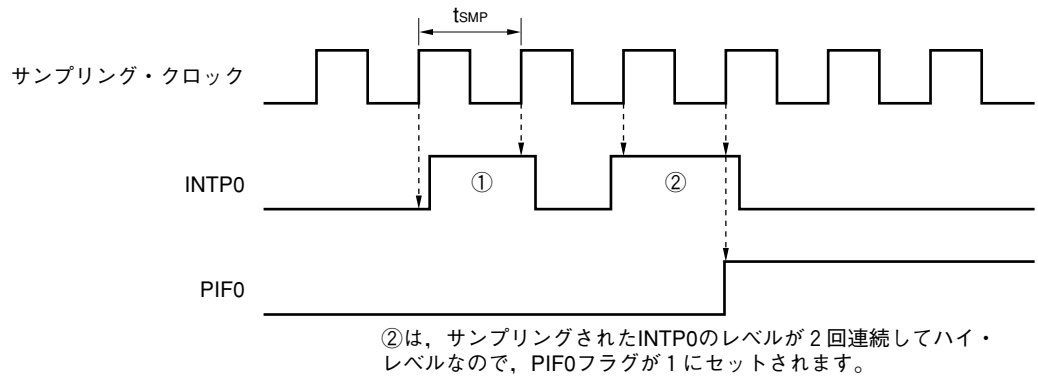
図21-8にノイズ除去回路の入出力タイミングを示します。

図21-8 ノイズ除去回路の入出力タイミング(立ち上がりエッジ検出時)

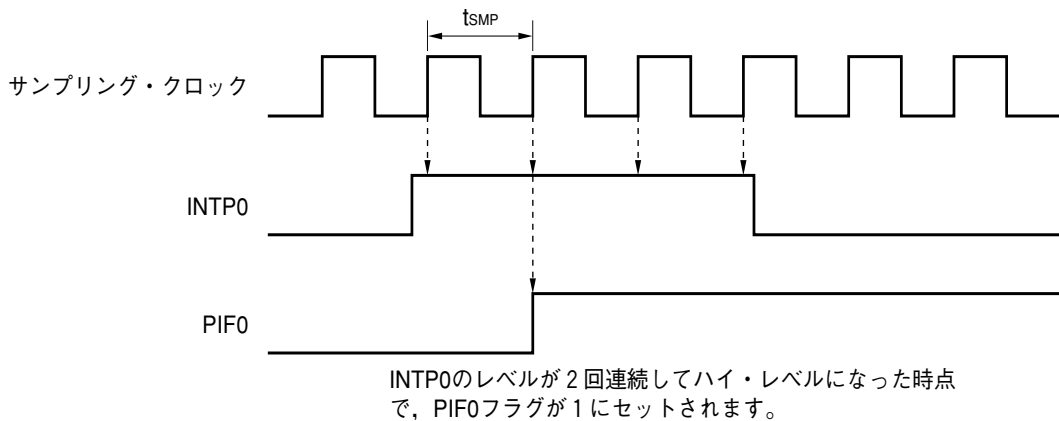
(a) 入力がサンプリング周期(t_{SMP})以下のとき



(b) 入力がサンプリング周期(t_{SMP})の1-2倍のとき



(c) 入力がサンプリング周期(t_{SMP})の2倍以上のとき



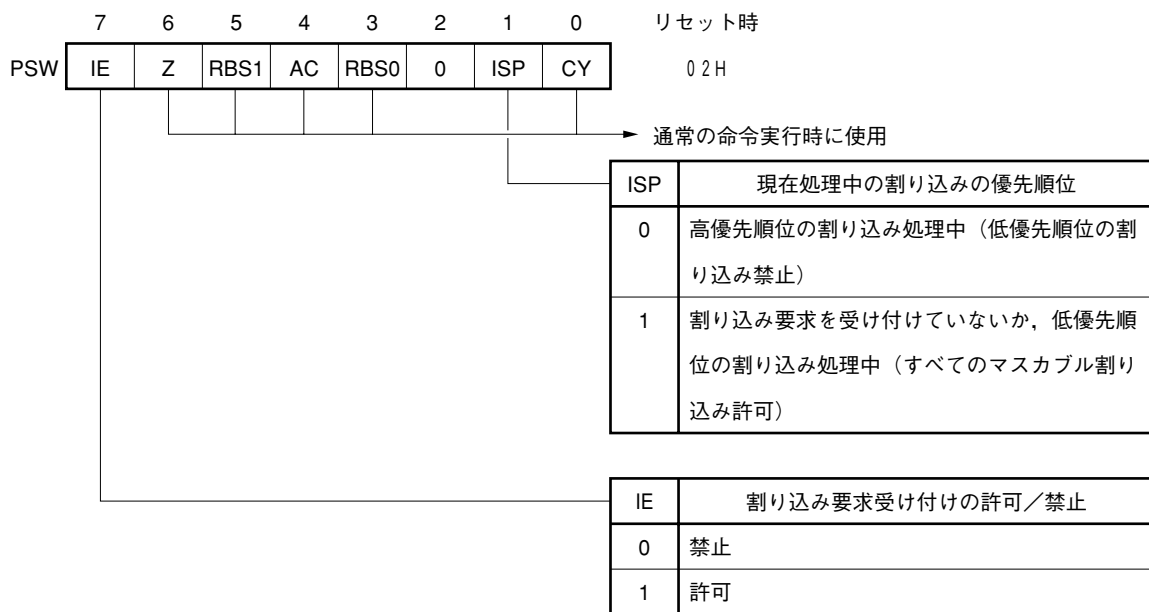
(6) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグと多重割り込み処理を制御するISPフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令(EI, DI)により操作ができます。また、ベクタ割り込み要求受け付け時、およびBRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスクブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

RESET入力により、PSWは02Hとなります。

図21-9 プログラム・ステータス・ワードの構成



21.4 割り込み処理動作

21.4.1 ノンマスカブル割り込み要求の受け付け動作

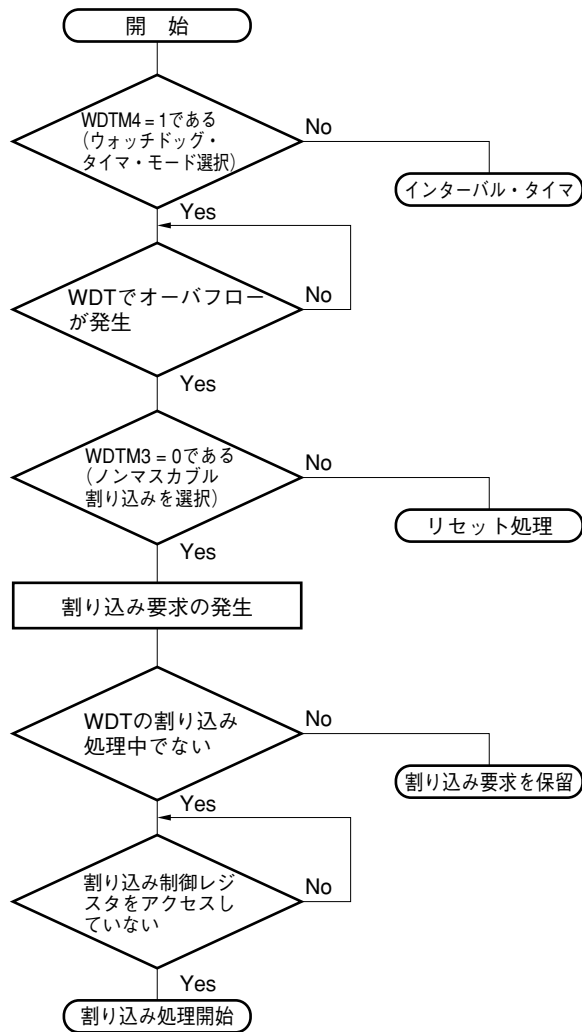
ノンマスカブル割り込み要求は、割り込要求受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW、PCの順に内容をスタックに退避し、IEフラグ、ISPフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスカブル割り込みサービス・プログラム実行中に発生した新たなノンマスカブル割り込み要求は、現在処理中のノンマスカブル割り込みサービス・プログラムの実行が終了(RETI命令実行後)し、メイン・ルーチンを1命令実行したあと受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求が2回以上発生しても、そのノンマスカブル割り込みサービス・プログラム実行終了後に受け付けられるノンマスカブル割り込み要求は1回分だけになります。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図21-10に、ノンマスカブル割り込み要求の受け付けタイミングを図21-11に、ノンマスカブル割り込み要求が多重に発生した場合の受け付け動作を図21-12に示します。

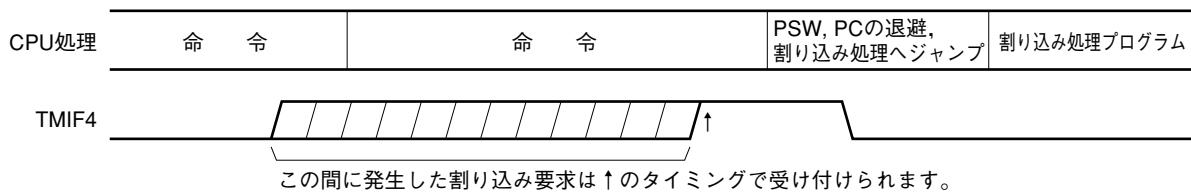
図21-10 ノンマスカブル割り込みの要求発生から受け付けまでのフロー・チャート



WDTM：ウォッチドッグ・タイマ・モード・レジスタ

WDT：ウォッチドッグ・タイマ

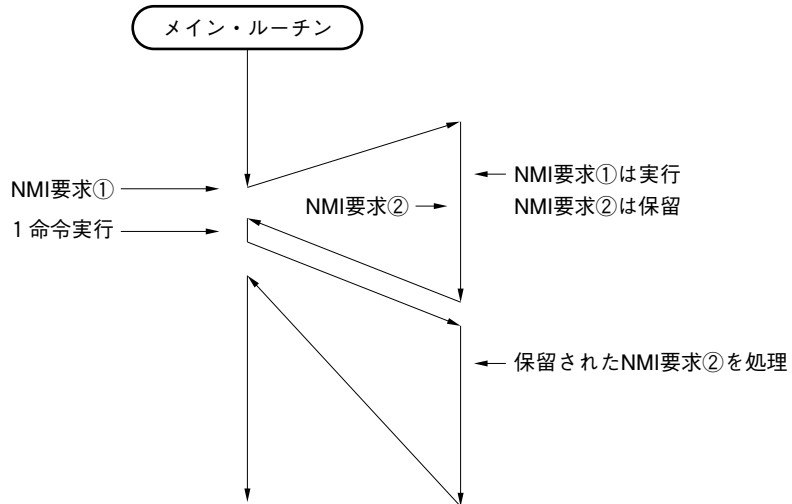
図21-11 ノンマスカブル割り込み要求の受け付けタイミング



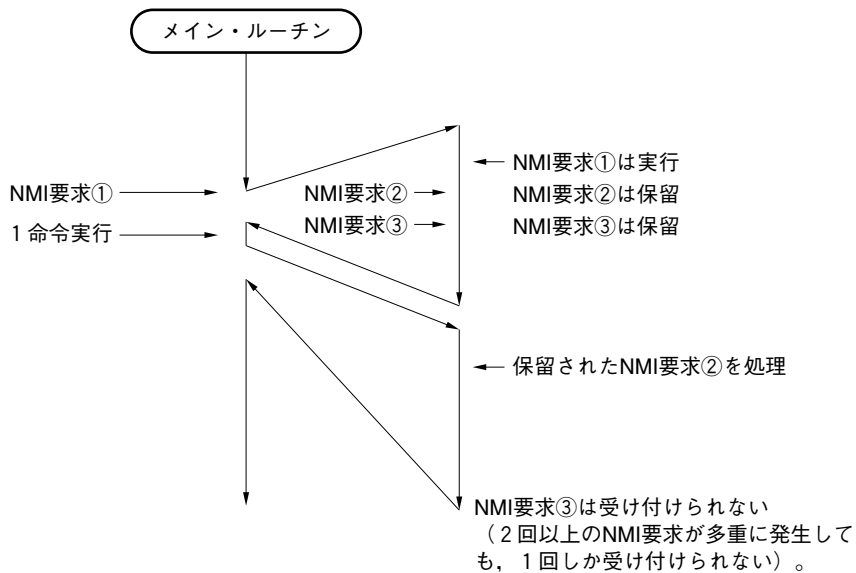
TMIF4：ウォッチドッグ・タイマ割り込み要求フラグ

図21-12 ノンマスクابل割り込み要求の受け付け動作

(a) ノンマスクابل割り込みサービス・プログラム実行中に
新たなノンマスクابل割り込み要求が発生した場合



(b) ノンマスクابل割り込みサービス・プログラム実行中に
新たに2回のノンマスクابل割り込み要求が発生した場合



21.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込みのマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IE)フラグがセット(1)されているときに受け付けます。ただし、優先順位の高い割り込みを処理中(ISPフラグがリセット(0)されているときに低い優先順位に指定されている割り込みの要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表21-3のようになります。

割り込み要求の受け付けタイミングについては、図21-14、図21-15を参照してください。

表21-3 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
××PR=0のとき	7クロック	32クロック
××PR=1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック：1/fCPU (fCPU：CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込み要求から受け付けられます。

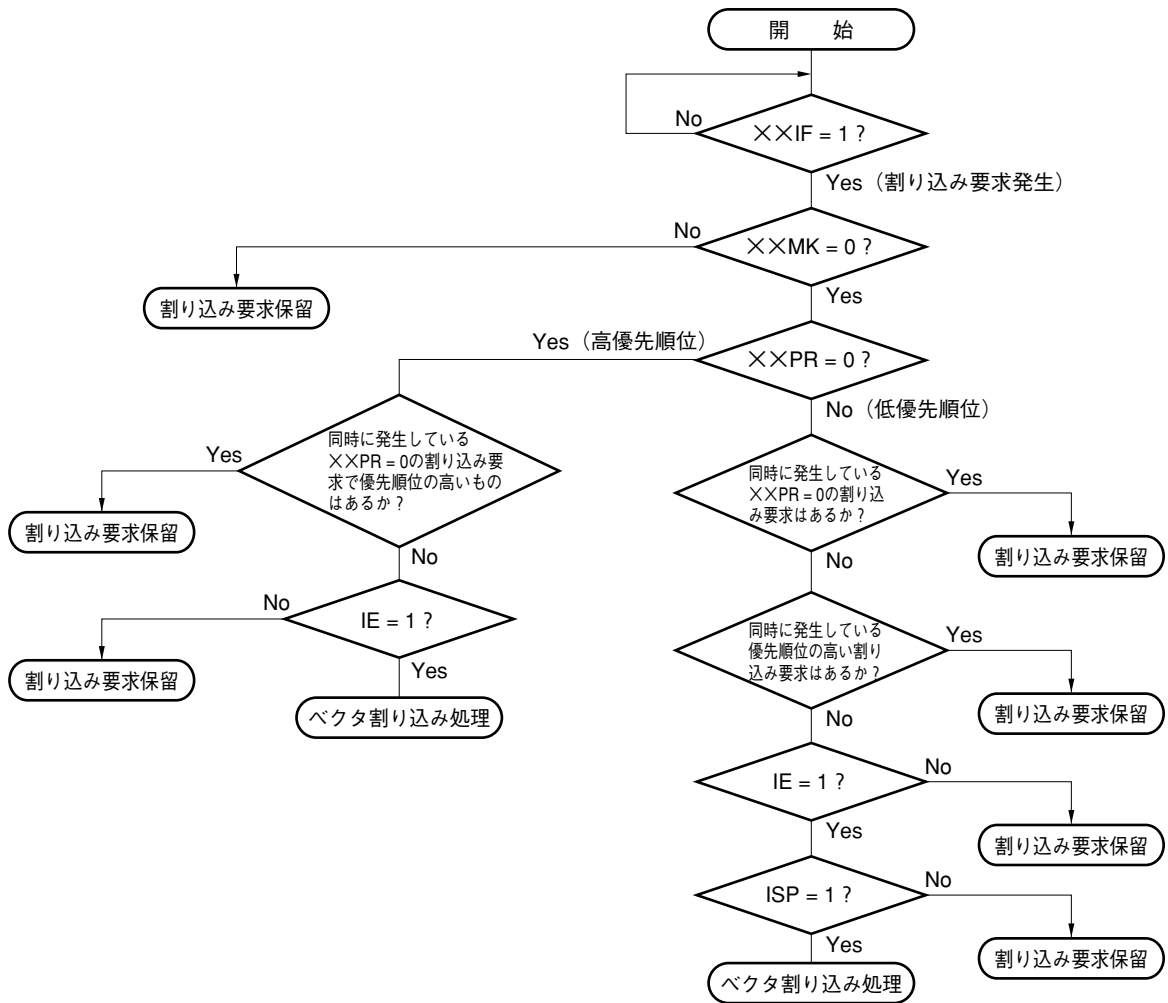
保留された割り込み要求は、受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図21-13に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図21-13 割り込み要求受け付け処理アルゴリズム



××IF : 割り込み要求フラグ

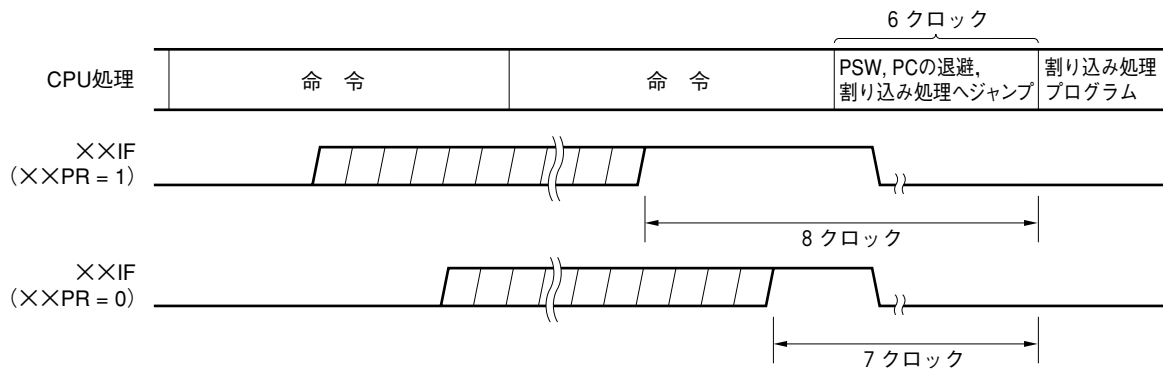
××MK : 割り込みマスク・フラグ

××PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

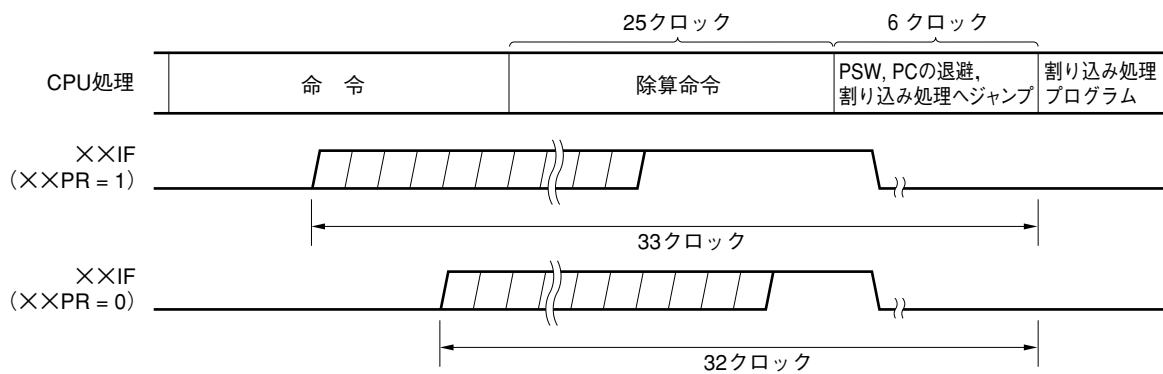
ISP : 現在処理中の割り込みの優先順位を示すフラグ(0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図21-14 割り込み要求の受け付けタイミング(最小時間)



備考 1クロック：1/f_{CPU}(f_{CPU}：CPUクロック)

図21-15 割り込み要求の受け付けタイミング(最大時間)



備考 1クロック：1/f_{CPU}(f_{CPU}：CPUクロック)

21.4.3 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(003EH, 003FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

21.4.4 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態(IE = 1)になっていなければ発生しません(ノンマスクブル割り込みを除く)。また、割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態(IE = 0)になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット(1)して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を1命令実行後に受け付けられます。

なお、ノンマスクブル割り込み処理中には、多重割り込みは許可されません。

表21-4に多重割り込み可能な割り込み要求を、図21-16に多重割り込みの例を示します。

表21-4 割り込み処理中に多重割り込み可能な割り込み要求

多重割り込み要求 処理中の割り込み		ノンマスクブル 割り込み要求	マスクブル割り込み要求			
			PR = 0		PR = 1	
			IE = 1	IE = 0	IE = 1	IE = 0
ノンマスクブル割り込み		×	×	×	×	×
マスクブル割り込み	ISP = 0	○	○	×	×	×
	ISP = 1	○	○	×	○	×
ソフトウェア割り込み		○	○	×	○	×

備考1. ○：多重割り込み可能。

2. ×：多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

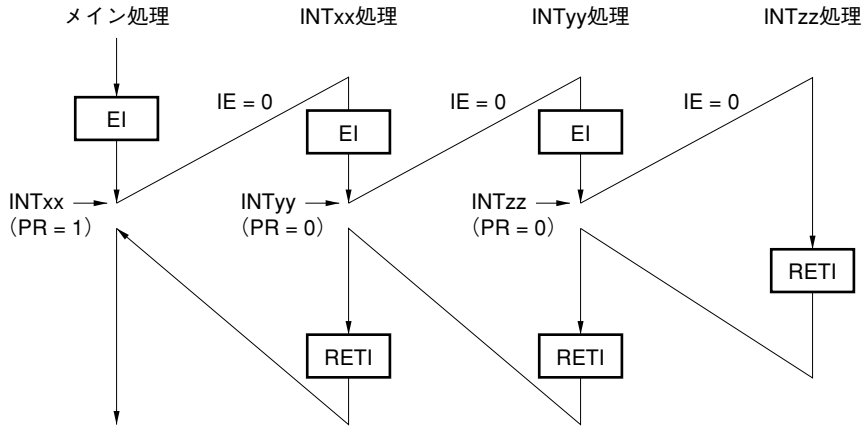
4. PRはPR0L, PR0H, PR1Lに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

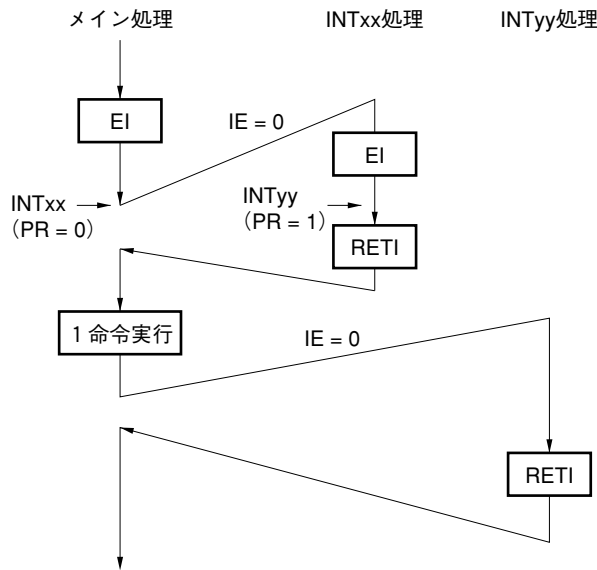
図21-16 多重割り込みの例(1/2)

例 1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例 2. 優先順位制御により、多重割り込みが発生しない例

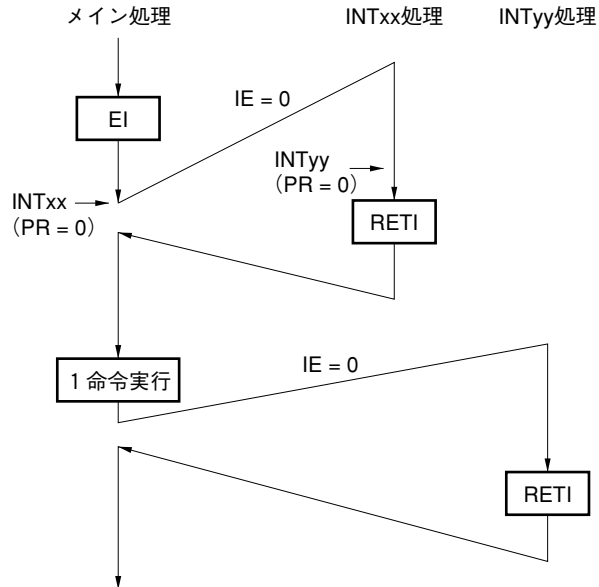


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- PR = 1 : 低優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

図21-16 多重割り込みの例(2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

21.4.5 割り込み要求の保留

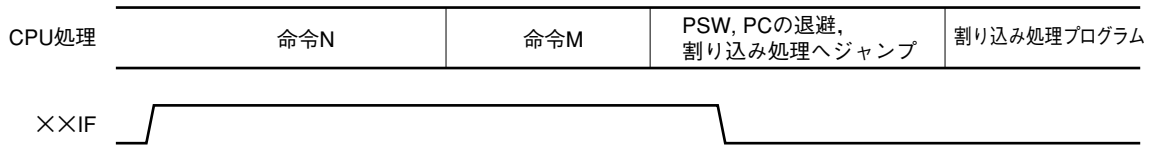
命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令(割り込み要求の保留命令)を以下に示します。

- MOV PSW, #byte
- MOV A, PSW
- MOV PSW, A
- MOV1 PSW. bit, CY
- MOV1 CY, PSW. bit
- AND1 CY, PSW. bit
- OR1 CY, PSW. bit
- XOR1 CY, PSW. bit
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- PUSH PSW
- POP PSW
- BT PSW. bit, \$addr16
- BF PSW. bit, \$addr16
- BTCLR PSW. bit, \$addr16
- EI
- DI
- IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR0L, PR0H, PR1L, INTM0, INTM1の各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスクブル割り込み要求が発生しても、割り込み要求を受け付けません。ただし、ノンマスクブル割り込み要求は受け付けます。

割り込み要求が保留されるタイミングを図21-17に示します。

図21-17 割り込み要求の保留



備考1. 命令N：割り込み要求の保留命令

2. 命令M：割り込み要求の保留命令以外の命令

3. XXIF(割り込み要求)の動作は、XXPR(優先順位レベル)の値の影響を受けません。

21.5 テスト機能

時計用タイマのオーバーフロー発生時およびポート4の立ち下がりエッジ検出時に、対応するテスト入力フラグをセット(1)し、スタンバイ・リリース信号を発生します。

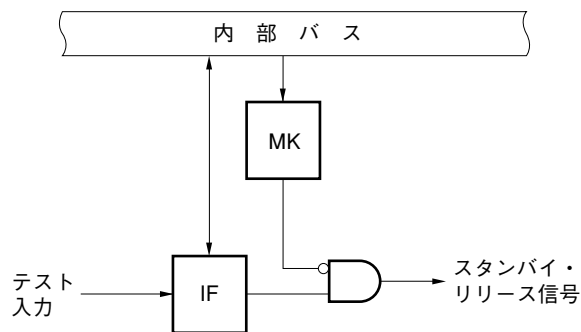
割り込み機能とは異なり、ベクタ処理は行いません。

テスト入力要因には、表21-5に示す2本があります。また、基本構成は図21-18のようになっています。

表21-5 テスト入力要因一覧

テスト入力要因		内部/外部
名称	トリガ	
INTWT	時計用タイマのオーバーフロー	内部
INTPT4	ポート4の立ち下がりエッジ検出	外部

図21-18 テスト機能の基本構成



備考 IF : テスト入力フラグ

MK : テスト・マスク・フラグ

21.5.1 テスト機能を制御するレジスタ

テスト機能は、次の3種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ1L (IF1L)
- ・割り込みマスク・フラグ・レジスタ1L (MK1L)
- ・キー・リターン・モード・レジスタ (KRM)

各テスト入力信号に対応するテスト入力フラグ、テスト・マスク・フラグの名称を表21-6に示します。

表21-6 テスト入力信号に対する各種フラグ

テスト入力信号名	テスト入力フラグ	テスト・マスク・フラグ
INTWT	WTIF	WTMK
INTPT4	KRIF	KRMK

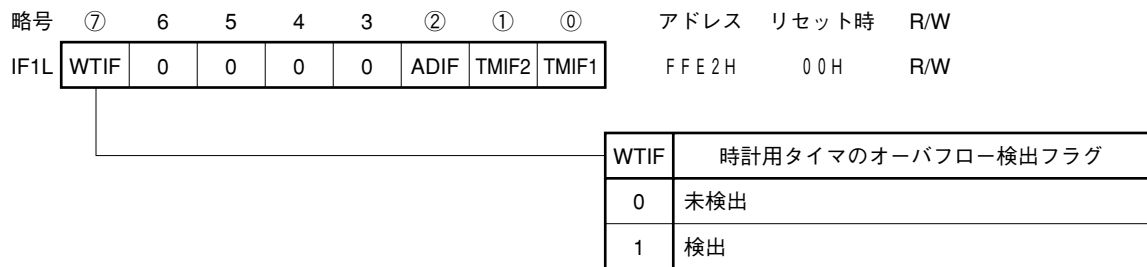
(1) 割り込み要求フラグ・レジスタ1L(IF1L)

時計用タイマのオーバーフローの検出／未検出を表示するレジスタです。

IF1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図21-19 割り込み要求フラグ・レジスタ1Lのフォーマット



注意 ビット3-6には必ず0を設定してください。

(2) 割り込みマスク・フラグ・レジスタ1L(MK1L)

時計用タイマによるスタンバイ・モードの解除の許可／禁止を設定するレジスタです。

MK1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図21-20 割り込みマスク・フラグ・レジスタ1Lのフォーマット



注意 ビット3-6には必ず1を設定してください。

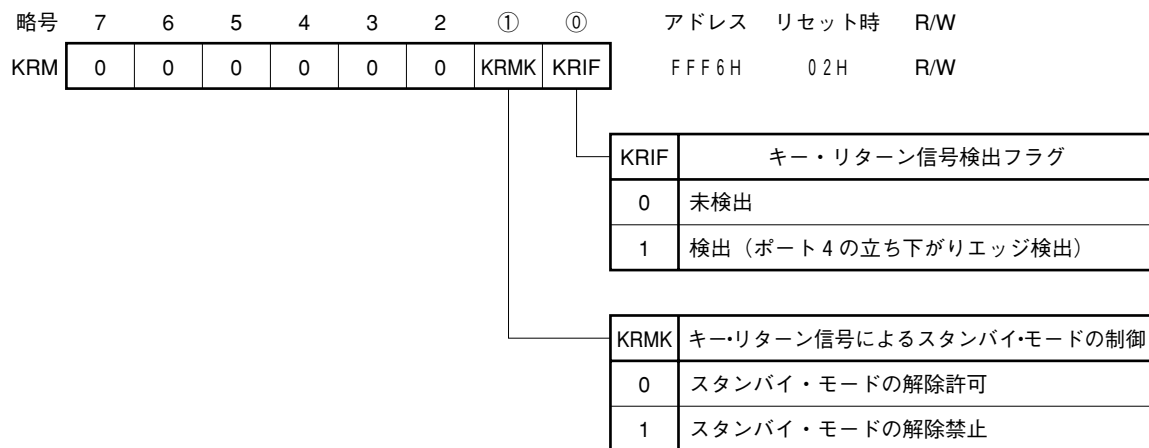
(3) キー・リターン・モード・レジスタ(KRM)

キー・リターン信号(ポート4の立ち下がりエッジ検出)によるスタンバイ・モードの解除の許可/禁止を設定するレジスタです。

KRMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図21-21 キー・リターン・モード・レジスタのフォーマット



注意 ポート4で立ち下がりエッジ検出を使用するとき、必ずKRIFを0にクリアしてください(KRIFは自動的に0にクリアされません)。

21.5.2 テスト入力信号の受け付け動作

(1) 内部テスト入力信号 (INTWT)

INTWTは、時計用タイマのオーバフローにより発生し、これによりWTIFフラグがセットされます。このとき、割り込みマスク・フラグ(WTMK)によりマスクされていない場合は、スタンバイ・リリース信号が発生します。

時計用タイマのオーバフロー周期より短い周期でWTIFフラグをチェックすることにより、時計機能が実現できます。

(2) 外部テスト入力信号 (INTPT4)

INTPT4は、ポート4 (P40-P47)の端子に立ち下がりエッジが入力されたときに発生し、これによりKRIFがセットされます。このとき、割り込みマスク・フラグ(KRMK)によりマスクされていない場合は、スタンバイ・リリース信号が発生します。

ポート4をキー・マトリクス of キー・リターン信号入力として使用することにより、キー入力の有無をKRIFの状態をチェックできます。

第22章 外部デバイス拡張機能

22.1 外部デバイス拡張機能

外部デバイス拡張機能は、内部ROM, RAM, SFR以外の領域に、外部デバイスを接続する機能です。外部デバイスの接続は、ポート4-6を使用します。ポート4-6は、アドレス/データ、リード/ライト・ストロブ、ウエイト、アドレス・ストロブなどを制御します。

表22-1 外部メモリ拡張モード時の端子機能

外部デバイス接続時の端子機能		兼用端子
名称	機能	
AD0-AD7	マルチプレクスト・アドレス/データ・バス	P40-P47
A8-A15	アドレス・バス	P50-P57
\overline{RD}	リード・ストロブ信号	P64
\overline{WR}	ライト・ストロブ信号	P65
\overline{WAIT}	ウエイト信号	P66
ASTB	アドレス・ストロブ信号	P67

表22-2 外部メモリ拡張モード時のポート4-6の端子の状態

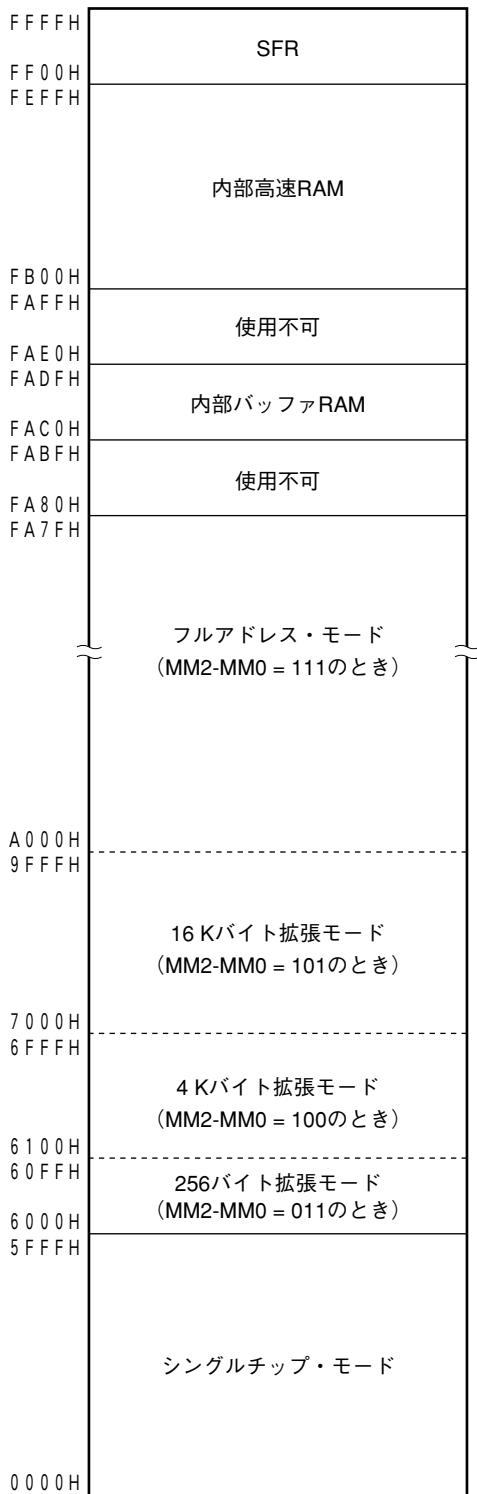
ポート	ポート4	ポート5							ポート6								
	0-7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
外部拡張モード																	
シングルチップ・モード	ポート	ポート							ポート								
256バイト拡張モード	アドレス/データ	ポート							ポート			RD, WR, WAIT, ASTB					
4 Kバイト拡張モード	アドレス/データ	アドレス			ポート				ポート			\overline{RD} , \overline{WR} , \overline{WAIT} , ASTB					
16 Kバイト拡張モード	アドレス/データ	アドレス				ポート			ポート			\overline{RD} , \overline{WR} , \overline{WAIT} , ASTB					
フルアドレス・モード	アドレス/データ	アドレス							ポート			RD, WR, WAIT, ASTB					

注意 外部ウエイト機能を使用しないとき、すべてのモードでWAIT端子をポートとして使用できます。

外部デバイス拡張機能を使用したときのメモリ・マップは、次のようになります。

図22-1 外部デバイス拡張機能を使用時のメモリ・マップ(1/3)

(a) μ PD780053, 780053Yおよび、内部ROM（フラッシュ・メモリ）を24 Kバイトにしたときの
 μ PD780058, 780058B, 780058BY, 78F0058, 78F0058Yのメモリ・マップ



(b) μ PD780054, 780054Yおよび、内部ROM（フラッシュ・メモリ）を32 Kバイトにしたときの
 μ PD780058, 780058B, 780058BY, 78F0058, 78F0058Yのメモリ・マップ

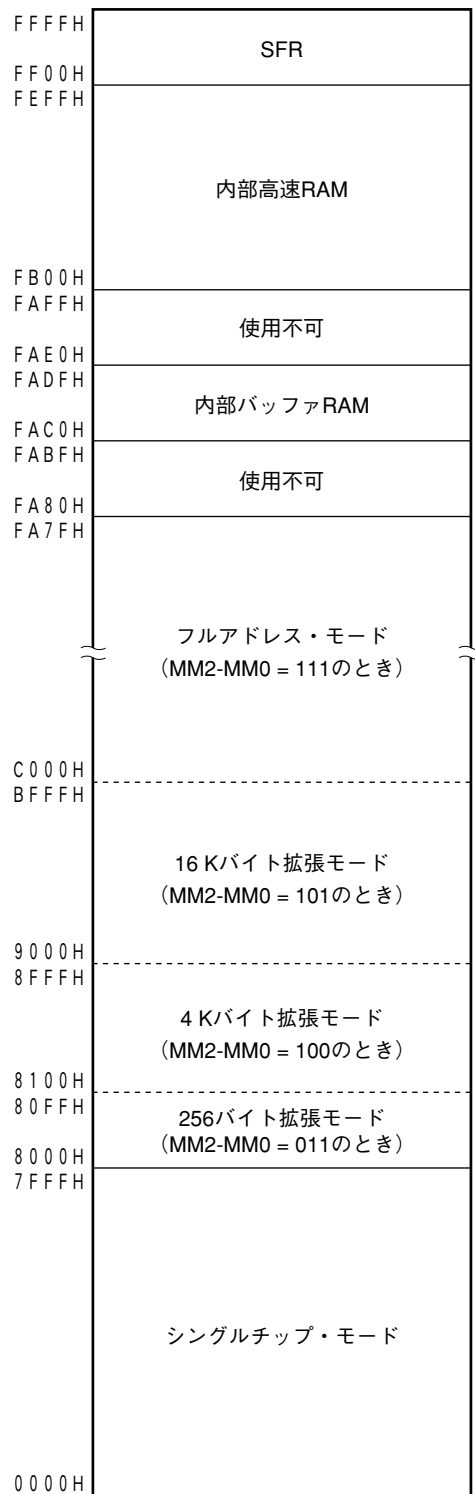


図22-1 外部デバイス拡張機能を使用時のメモリ・マップ(2/3)

(c) μ PD780055, 780055Yおよび、内部ROM（フラッシュ・メモリ）を40 Kバイトにしたときの
 μ PD780058, 780058B, 780058BY, 78F0058, 78F0058Yのメモリ・マップ

(d) μ PD780056, 780056Yおよび、内部ROM（フラッシュ・メモリ）を48 Kバイトにしたときの
 μ PD780058, 780058B, 780058BY, 78F0058, 78F0058Yのメモリ・マップ

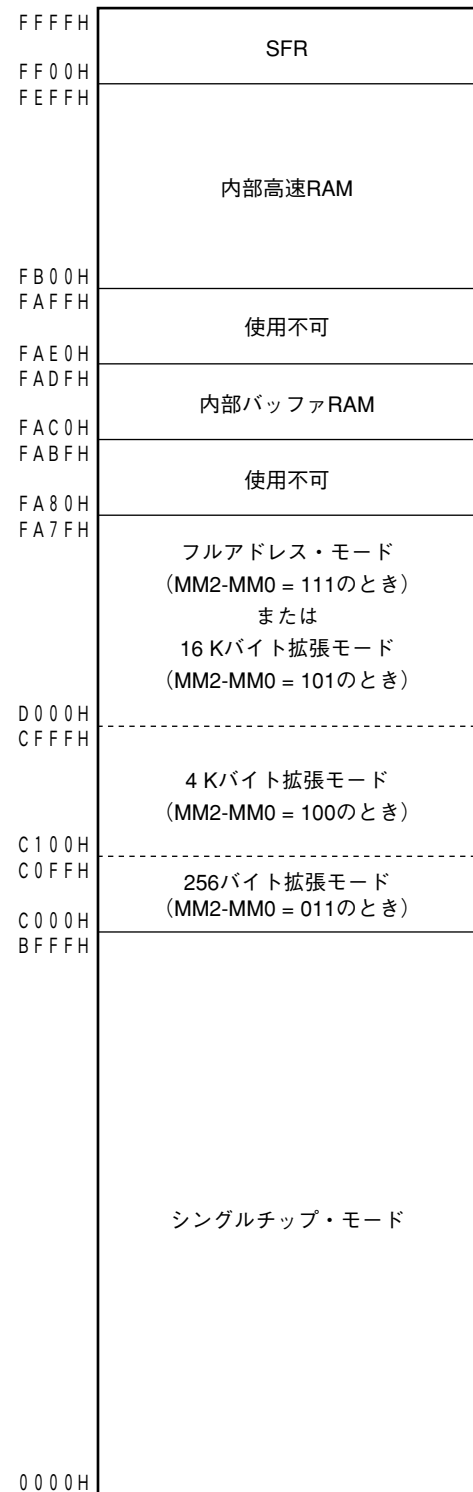
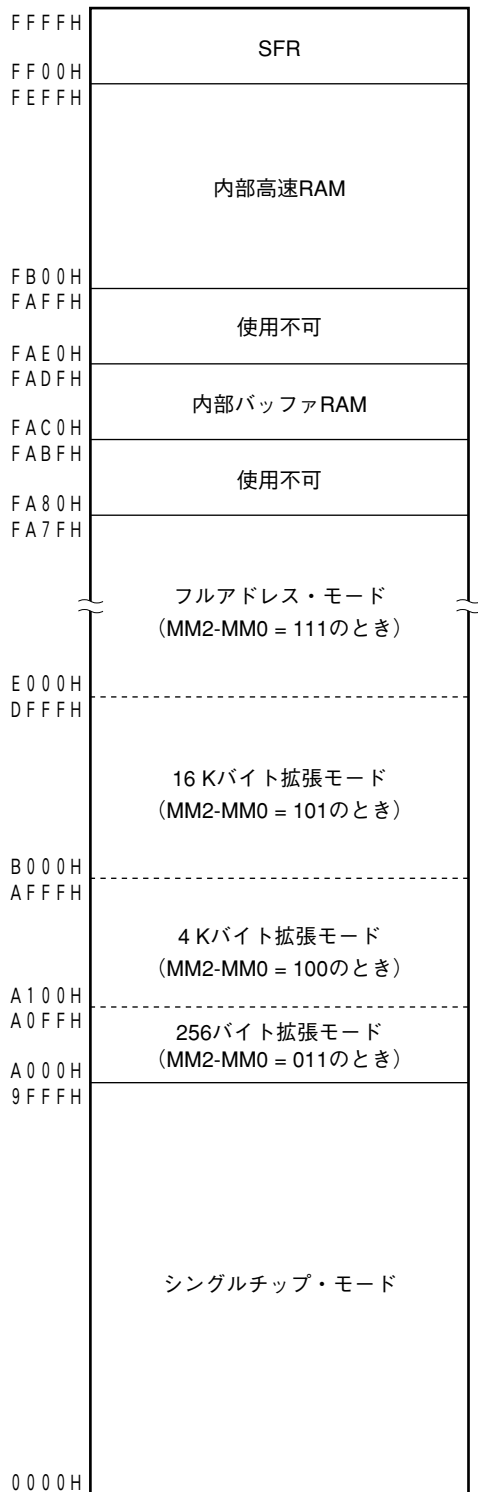


図22-1 外部デバイス拡張機能を使用時のメモリ・マップ(3/3)

(e) 内部ROM (フラッシュ・メモリ) を56 Kバイトにしたときの μ PD780058, 780058B, 780058BY, 78F0058, 78F0058Yのメモリ・マップ

FFFFH	SFR
FF00H FEFFH	
	内部高速RAM
FB00H FAFFH	使用不可
FAE0H FADFH	内部バッファRAM
FAC0H FABFH	使用不可
F800H F7FFH	内部拡張RAM
F400H F3FFH	フルアドレス・モード (MM2-MM0 = 111のとき) または 16 Kバイト拡張モード (MM2-MM0 = 101のとき)
F000H EFFFH	
E100H F0FFH	4 Kバイト拡張モード (MM2-MM0 = 100のとき)
E000H DFFFH	256バイト拡張モード (MM2-MM0 = 011のとき)
0000H	シングルチップ・モード

(f) 内部ROM (フラッシュ・メモリ) を60 Kバイトにしたときの μ PD780058, 780058B, 780058BY, 78F0058, 78F0058Yのメモリ・マップ

FFFFH	SFR
FF00H FEFFH	
	内部高速RAM
FB00H FAFFH	使用不可
FAE0H FADFH	内部バッファRAM
FAC0H FABFH	使用不可
F800H F7FFH	内部拡張RAM
F400H F3FFH	使用不可
F000H EFFFH	シングルチップ・モード
0000H	

注意 内部ROM (フラッシュ・メモリ) が60 Kバイトのとき、F000H-F3FFHの領域は使用できません。メモリ・サイズ切り替えレジスタ (IMS) で内部ROM (フラッシュ・メモリ) を56 Kバイト以下に設定することにより、F000H-F3FFHを外部メモリとして使用できます。

22.2 外部デバイス拡張機能を制御するレジスタ

外部デバイス拡張機能は、メモリ拡張モード・レジスタ(MM)とメモリ・サイズ切り替えレジスタ(IMS)で制御します。

(1) メモリ拡張モード・レジスタ(MM)

MMは、ウェイト数および外部拡張領域を指定するレジスタです。また、ポート4の入力/出力を設定する機能があります。

MMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、10Hになります。

図22-2 メモリ拡張モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MM	0	0	PW1	PW0	0	MM2	MM1	MM0	FFF8H	10H	R/W

MM2	MM1	MM0	シングルチップ/ メモリ拡張モードの選択		P40-P47, P50-P57, P64-P67端子の状態					
					P40-P47		P50-P53	P54, P55	P56, P57	P64-P67
0	0	0	シングルチップ・ モード	ポート・ モード	入力 出力	ポート・モード				
0	0	1								
0	1	1	メモリ 拡張 モード	256バイト・ モード	AD0-AD7	ポート・モード				P64 = $\overline{\text{RD}}$
1	0	0				A8-A11	ポート・モード		P65 = $\overline{\text{WR}}$	
1	0	1					A12, A13	ポート・モード		P66 = $\overline{\text{WAIT}}$
1	1	1				A14, A15		ポート・モード		P67 = $\overline{\text{ASTB}}$
上記以外			設定禁止							

PW1	PW0	ウェイトの制御
0	0	ウェイトなし
0	1	ウェイトあり(1ウェイト・ステート挿入)
1	0	設定禁止
1	1	外部ウェイト端子によるウェイト制御

注 フルアドレス・モードとは、64 Kアドレス空間のうち、内部ROM, RAM, SFR領域および使用不可領域を除く、すべての領域に外部拡張できるモードです。

備考 P60-P63端子は、シングルチップ・モード、メモリ拡張モードにかかわらずポート・モードになります。

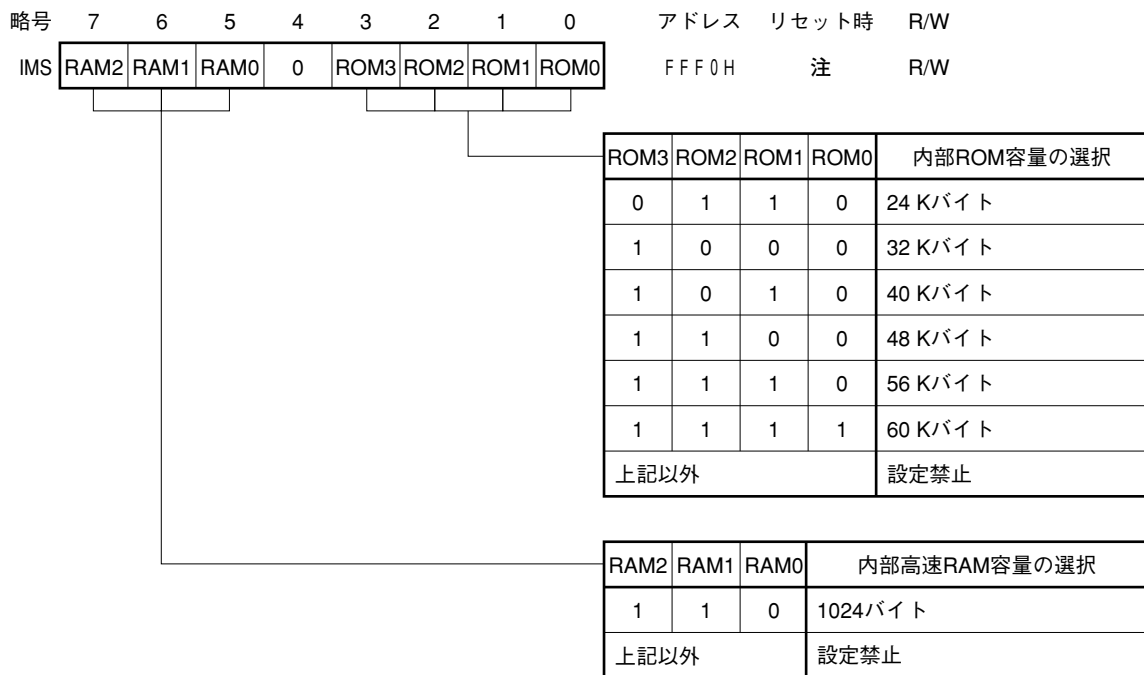
(2) メモリ・サイズ切り替えレジスタ(IMS)

内部ROM容量、内部高速RAM容量を設定するレジスタです。IMSには、リセット時の値を設定してください。ただし、 μ PD780058, 780058B, 780058BYで外部デバイス拡張機能を使用する場合は、内部ROM容量を56 Kバイト以下に設定してください。

IMSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、表22-3に示す値になります。

図22-3 メモリ・サイズ切り替えレジスタのフォーマット



注 リセット時の値は製品により異なります。(表22-3 参照)

表22-3 メモリ・サイズ切り替えレジスタのリセット時の値

製品名	IMSの設定値
μ PD780053, 780053Y	C6H
μ PD780054, 780054Y	C8H
μ PD780055, 780055Y	CAH
μ PD780056, 780056Y	CCH
μ PD780058, 780058B, 780058BY	CFH

22.3 外部デバイス拡張機能のタイミング

外部メモリ拡張モード時のタイミング・コントロール信号出力端子を以下に示します。

(1) $\overline{\text{RD}}$ 端子(兼用機能：P64)

リード・ストロブ信号を出力する端子です。外部メモリからの命令フェッチ、データ・アクセス時に出力します。

内部メモリ・アクセス時には、リード・ストロブ信号は出力されません(ハイ・レベルを保持します)。

(2) $\overline{\text{WR}}$ 端子(兼用機能：P65)

ライト・ストロブ信号を出力する端子です。外部メモリへのデータ・アクセス時に出力します。

内部メモリ・アクセス時には、ライト・ストロブ信号は出力されません(ハイ・レベルを保持します)。

(3) $\overline{\text{WAIT}}$ 端子(兼用機能：P66)

外部ウエイト信号を入力する端子です。

外部ウエイトを使用しないときは、 $\overline{\text{WAIT}}$ 端子を入出力ポートとして使用できます。

内部メモリ・アクセス時には、外部ウエイト信号は無視されます。

(4) ASTB 端子(兼用機能：P67)

アドレス・ストロブ信号を出力する端子です。外部メモリからの命令フェッチ、データ・アクセスにかかわらず、必ず出力します。

内部メモリ・アクセス時にも、アドレス・ストロブ信号が出力されます。

(5) AD0-AD7, A8-A15 端子(兼用機能：P40-P47, P50-P57)

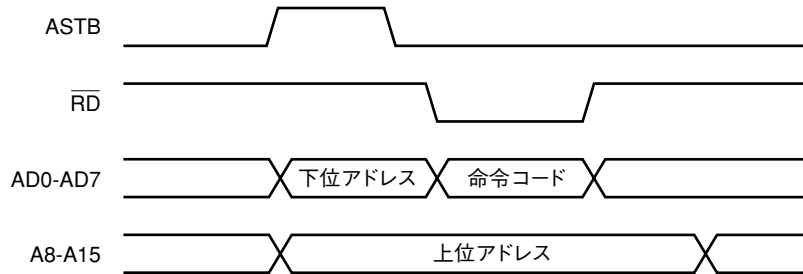
アドレス信号およびデータ信号を出力する端子です。外部メモリからの命令フェッチ、データ・アクセス時に有効信号が出力あるいは入力されます。

内部メモリ・アクセス時にも信号が変化します(出力内容は不定です)。

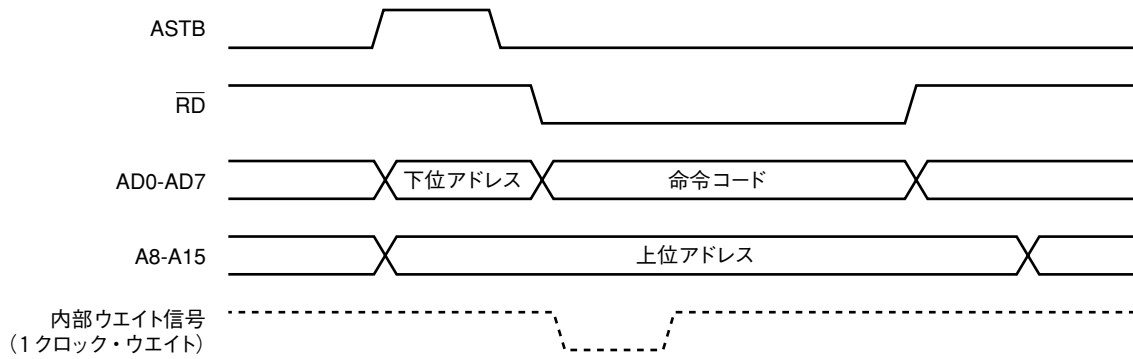
タイミング・チャートを図22-4から図22-7に示します。

図22-4 外部メモリからの命令フェッチ

(a) ウェイトなし(PW1, PW0 = 0, 0)設定時



(b) ウェイトあり(PW1, PW0 = 0, 1)設定時



(c) 外部ウェイト(PW1, PW0 = 1, 1)設定時

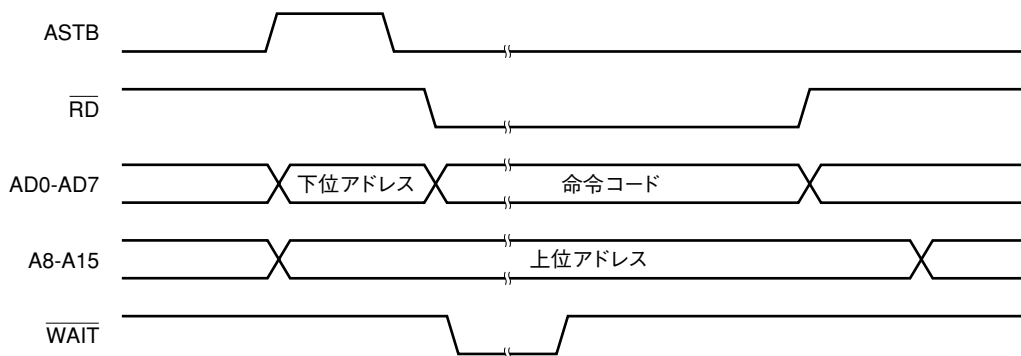
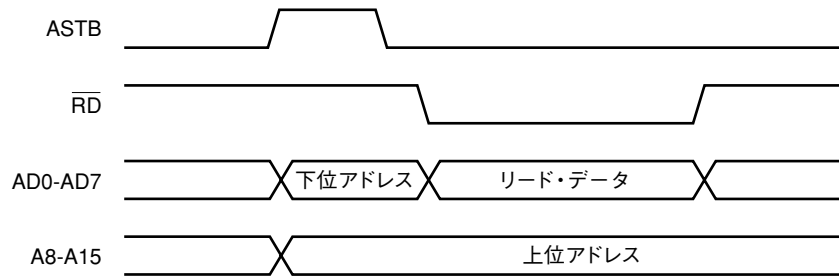
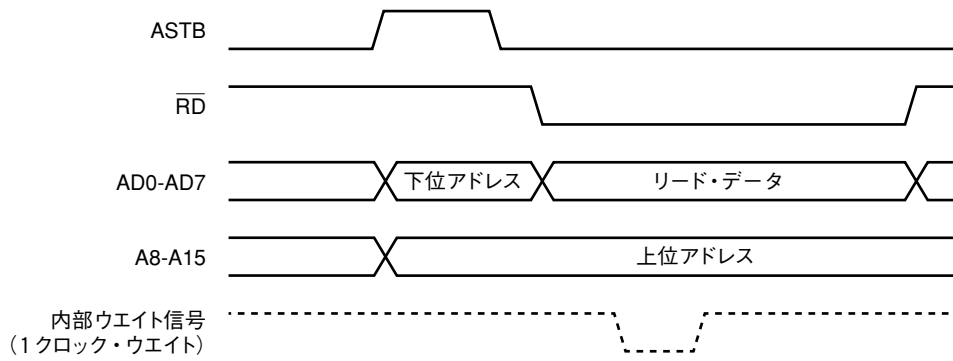


図22-5 外部メモリのリード・タイミング

(a) ウェイトなし ($PW1, PW0 = 0, 0$) 設定時



(b) ウェイトあり ($PW1, PW0 = 0, 1$) 設定時



(c) 外部ウェイト ($PW1, PW0 = 1, 1$) 設定時

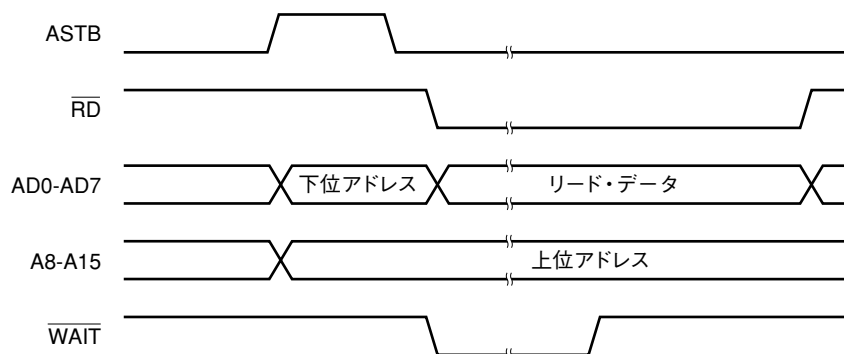
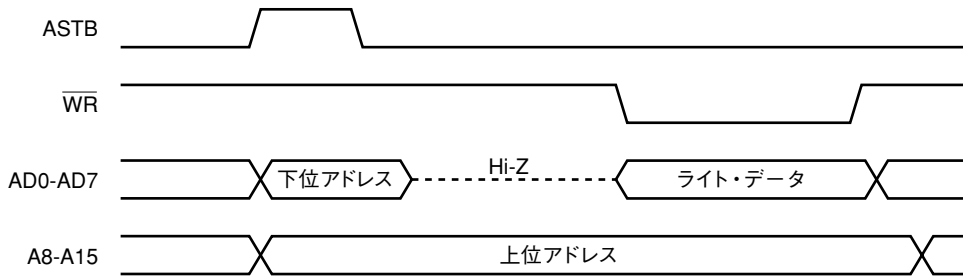
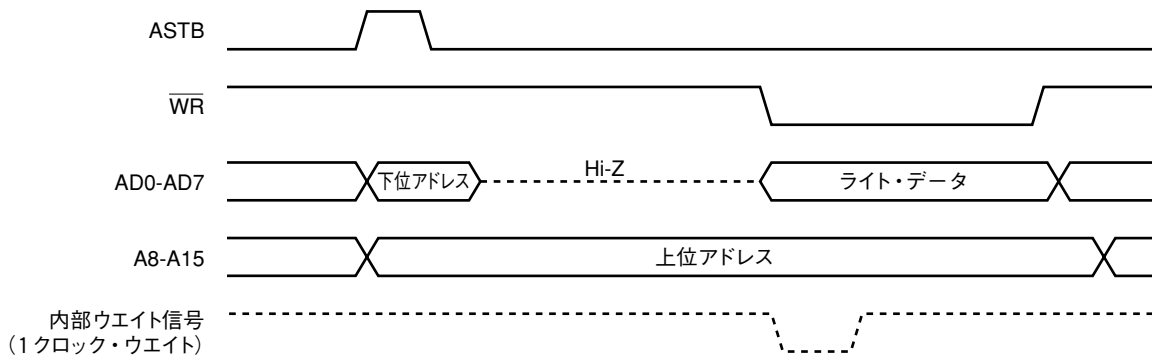


図22-6 外部メモリのライト・タイミング

(a) ウェイトなし (PW1, PW0 = 0, 0) 設定時



(b) ウェイトあり (PW1, PW0 = 0, 1) 設定時



(c) 外部ウェイト (PW1, PW0 = 1, 1) 設定時

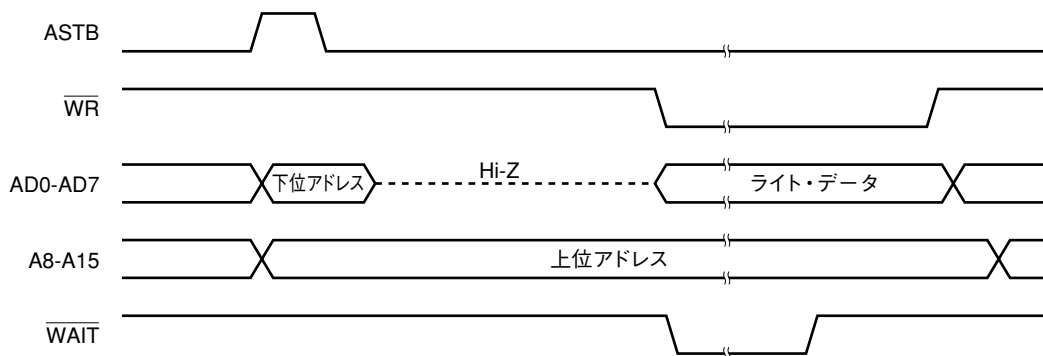
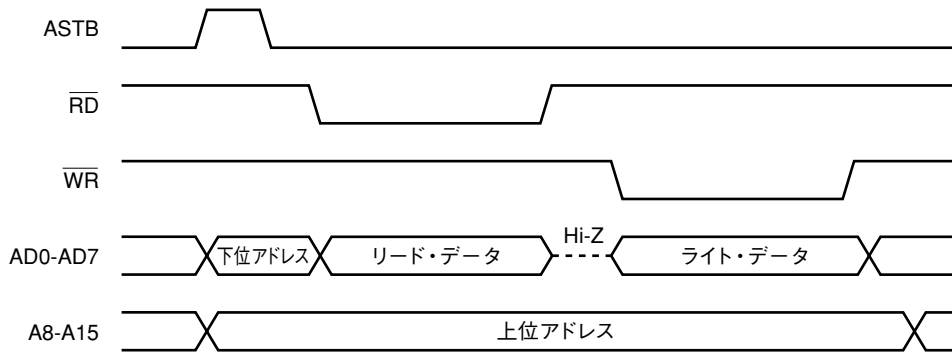
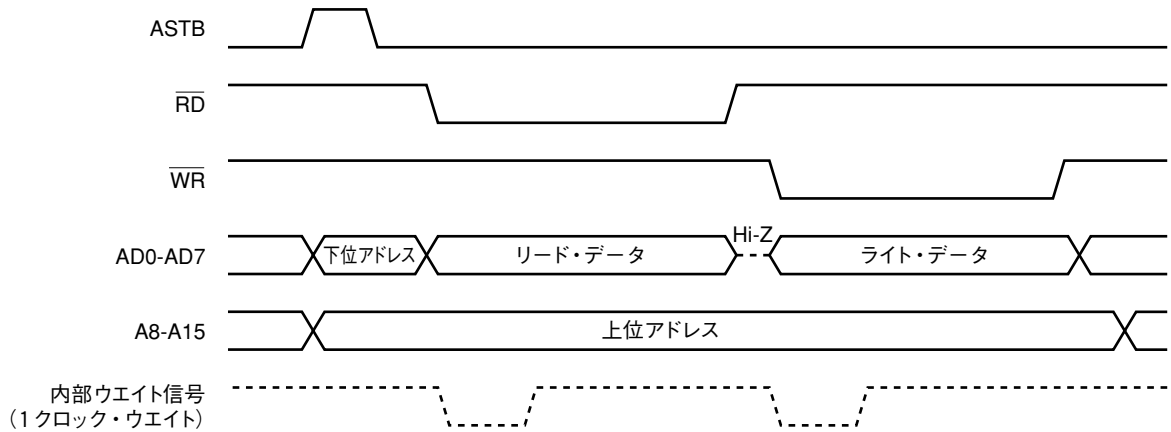


図22-7 外部メモリのリード・モディファイ・ライト・タイミング

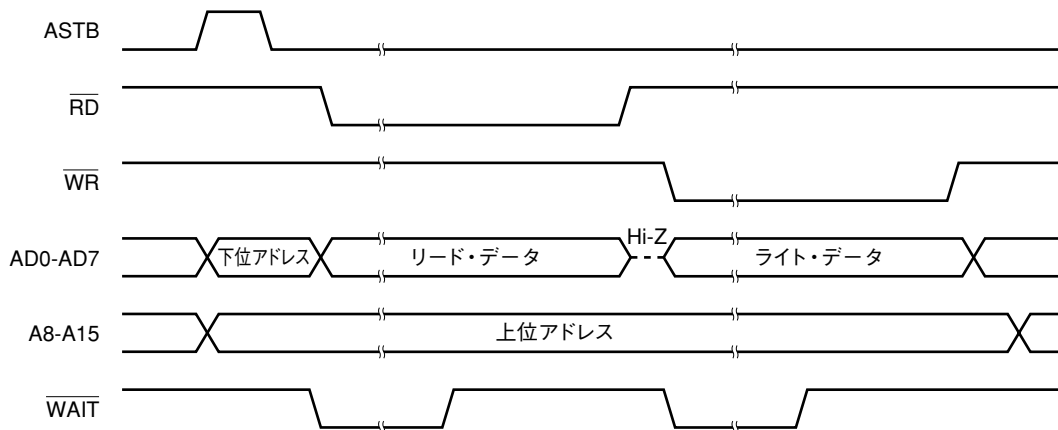
(a) ウェイトなし (PW1, PW0 = 0, 0) 設定時



(b) ウェイトあり (PW1, PW0 = 0, 1) 設定時



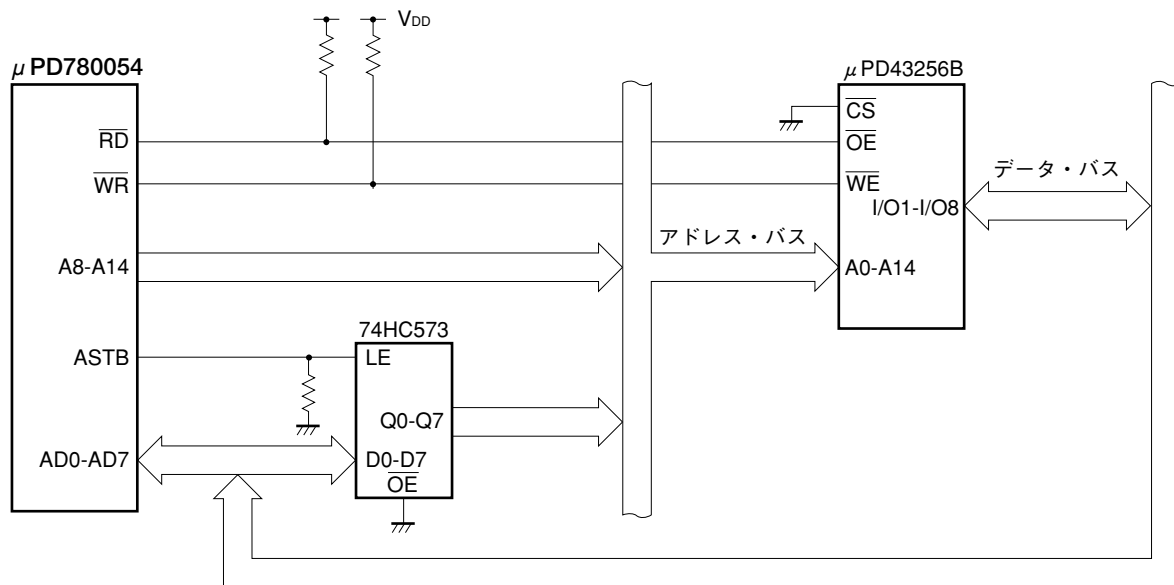
(c) 外部ウェイト (PW1, PW0 = 1, 1) 設定時



22.4 メモリとの接続例

μ PD780054と外部メモリとの接続例を図22-8に示します。この応用例ではSRAMを接続しています。また、外部デバイス拡張機能をフルアドレス・モードで使用し、0000H-7FFFHの32 Kバイトを内部ROM、8000H以降をSRAMに割り当てています。

図22-8 μ PD780054とメモリの接続例



第23章 スタンバイ機能

23.1 スタンバイ機能と構成

23.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、時計動作のような間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減できます。

また、データ・メモリの低電圧($V_{DD} = 1.8$ Vまで)保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1. STOPモードは、メイン・システム・クロックで動作しているときだけ使用できます(サブシステム・クロックの発振を停止させることができません)。HALTモードは、メイン・システム・クロック、サブシステム・クロックのどちらの動作状態でも使用できます。
2. STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。
 3. A/Dコンバータ部の消費電力を低減させるためには、A/Dコンバータ・モード・レジスタ(ADM)のビット7(CS)を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

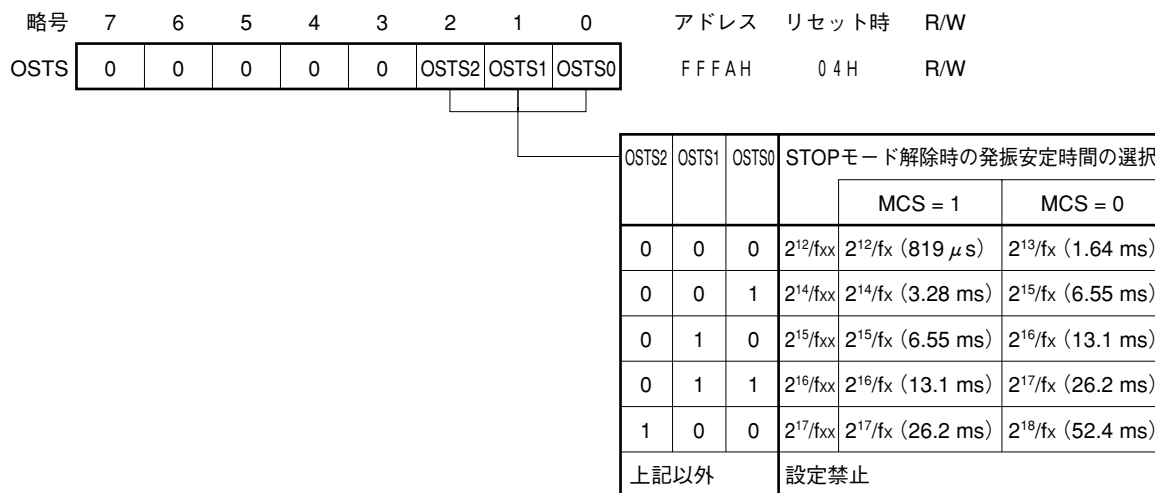
23.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ(OSTS)で制御します。

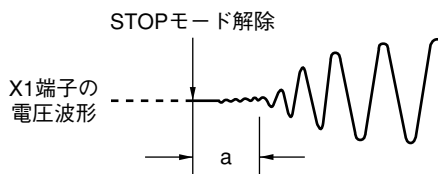
OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。ただし、 $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、解除までの時間は $2^{18}/f_x$ ではなく、 $2^{17}/f_x$ となります。

図23-1 発振安定時間選択レジスタのフォーマット



注意 STOPモード解除時のウェイト時間には、STOPモード解除後にクロックが発振を開始するまでの時間(下図a)は含みません。これは、 $\overline{\text{RESET}}$ 入力による場合も、割り込み要求発生による場合も同様です。



- 備考1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
- 2. f_x : メイン・システム・クロック発振周波数
- 3. MCS : 発振モード選択レジスタ(OSMS)のビット0
- 4. ()内は、 $f_x = 5.0$ MHz動作時。

23.2 スタンバイ機能の動作

23.2.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。設定時のシステム・クロックは、メイン・システム・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表23-1 HALTモード時の動作状態

項目	HALTモードの設定		サブシステム・クロック動作中のHALT命令実行時	
	メイン・システム・クロック動作中のHALT命令実行時 サブシステム・クロックがない場合 ^{注1}	サブシステム・クロックがある場合 ^{注2}	メイン・システム・クロック発振継続時	メイン・システム・クロック発振停止時
クロック発生回路	メイン・システム・クロック、サブシステム・クロックとも発振可能 CPUへのクロック供給は停止			
CPU	動作停止			
ポート(出力ラッチ)	HALTモード設定前の状態を保持			
16ビット・タイマ/イベント・カウンタ	動作可能		カウント・クロックに時計用タイマ出力選択時(時計用タイマのカウント・クロックにはf _{xt} を選択)、TI00選択時、動作可能	
8ビット・タイマ/イベント・カウンタ	動作可能		カウント・クロックにTI1、TI2選択時、動作可能	
時計用タイマ	カウント・クロックにf _{xx} /2 ⁷ 選択時、動作可能	動作可能		カウント・クロックにf _{xt} 選択時、動作可能
ウォッチドッグ・タイマ	動作可能		動作停止	
A/Dコンバータ	動作可能			動作停止
D/Aコンバータ	動作可能			
リアルタイム出力ポート	動作可能			
シリアル・インタフェース	自動送受信機能以外	動作可能		外部SCK時は、動作可能
	自動送受信機能	動作停止		
外部割り込み要求	INTP0	サンプリング・クロックに周辺ハードウェアへのクロック(f _{xx} /2 ⁵ , f _{xx} /2 ⁶ , f _{xx} /2 ⁷)選択時、動作可能		動作停止
	INTP1-INTP5	動作可能		
外部拡張時のバス・ライン	AD0-AD7	ハイ・インピーダンス		
	A0-A15	HALTモード設定前の状態を保持		
	ASTB	ロウ・レベル		
	\overline{WR} , \overline{RD}	ハイ・レベル		
	\overline{WAIT}	ハイ・インピーダンス		

注1. 外部クロックを供給しない場合を含む。

2. 外部クロックを供給する場合を含む。

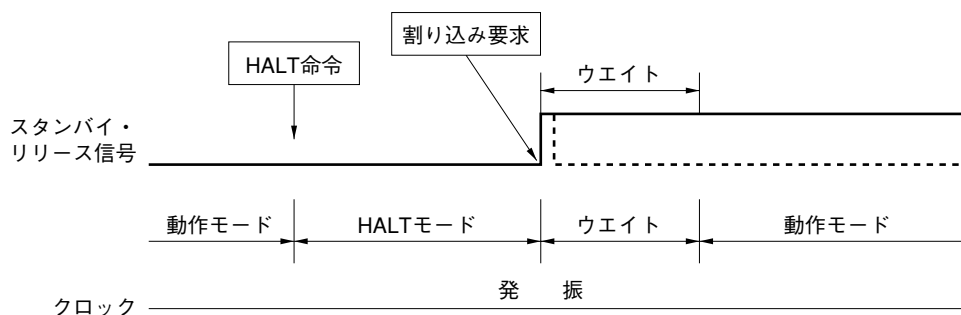
(2) HALTモードの解除

HALTモードは、次の4種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み要求受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み要求受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図23-2 HALTモードの割り込み要求発生による解除



備考 1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

- ・ベクタに分岐した場合 : 8～9クロック
- ・ベクタに分岐しなかった場合 : 2～3クロック

(b) ノンマスカブル割り込み要求による解除

ノンマスカブル割り込み要求が発生すると、割り込み要求受け付け許可、禁止の状態に関係なく、HALTモードは解除され、ベクタ割り込み処理が行われます。

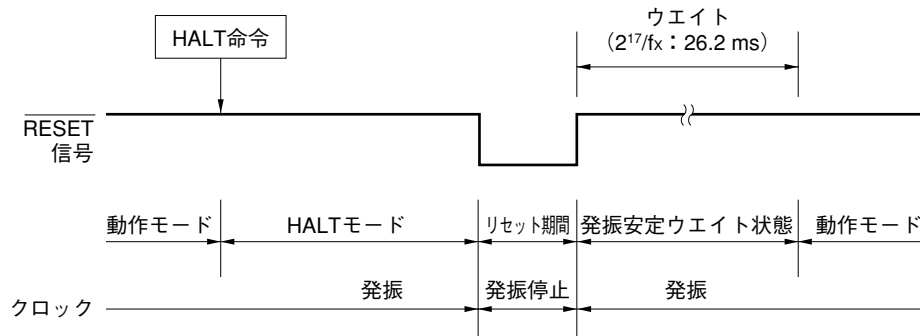
(c) マスクされていないテスト入力による解除

マスクされていないテスト信号の入力があると、HALTモードは解除され、HALT命令の次のアドレスの命令が実行されます。

(d) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図23-3 HALTモードの $\overline{\text{RESET}}$ 入力による解除



備考 1. f_x : メイン・システム・クロック発振周波数

2. ()内は $f_x = 5.0 \text{ MHz}$ 動作時

表23-2 HALTモードの解除後の動作

解除ソース	MK××	PR××	IE	ISP	動作
マスカブル 割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	HALTモード保持
ノンマスカブル 割り込み要求	—	—	×	×	割り込み処理実行
	0	—	×	×	次アドレス命令実行
テスト入力	1	—	×	×	HALTモード保持
$\overline{\text{RESET}}$ 入力	—	—	×	×	リセット処理

備考 ×: don't care

23.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定時のシステム・クロックは、メイン・システム・クロックの場合のみ設定可能です。

注意 1. STOPモードに設定すると、クリスタル発振回路部のリークを抑えるためにX2端子が内部でV_{DD1}にプルアップされます。したがって、メイン・システム・クロックに外部クロックを使用するシステムでは、STOPモードは使用しないでください。

2. スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ(OSTS)による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表23-3 STOPモード時の動作状態

STOPモードの設定		サブシステム・クロックがある場合	サブシステム・クロックがない場合
項目			
クロック発生回路		メイン・システム・クロックのみ発振停止	
CPU		動作停止	
ポート(出力ラッチ)		STOPモード設定前の状態を保持	
16ビット・タイマ/イベント・カウンタ		カウント・クロックに時計用タイマ出力選択時、動作可能(時計用タイマのカウント・クロックにはfxtを選択)	動作停止
8ビット・タイマ/イベント・カウンタ		カウント・クロックにTI1, TI2選択時のみ動作可能	
時計用タイマ		カウント・クロックにfxt選択時のみ、動作可能	動作停止
ウォッチドッグ・タイマ		動作停止	
A/Dコンバータ			
D/Aコンバータ		動作可能	
リアルタイム出力ポート		外部トリガを使用時または、8ビット・タイマ/イベント・カウンタのカウント・クロックにTI1, TI2選択時、動作可能	
シリアル・インタフェース	自動送受信機能, UART以外	シリアル・クロックに外部からの入クロック選択時のみ、動作可能	
	自動送受信機能, UART	動作停止	
外部割り込み要求	INTP0	動作不可能	
	INTP1-INTP5	動作可能	
外部拡張時のバス・ライン	AD0-AD7	ハイ・インピーダンス	
	A0-A15	STOPモード設定前の状態を保持	
	ASTB	ロウ・レベル	
	\overline{WR} , \overline{RD}	ハイ・レベル	
	\overline{WAIT}	ハイ・インピーダンス	

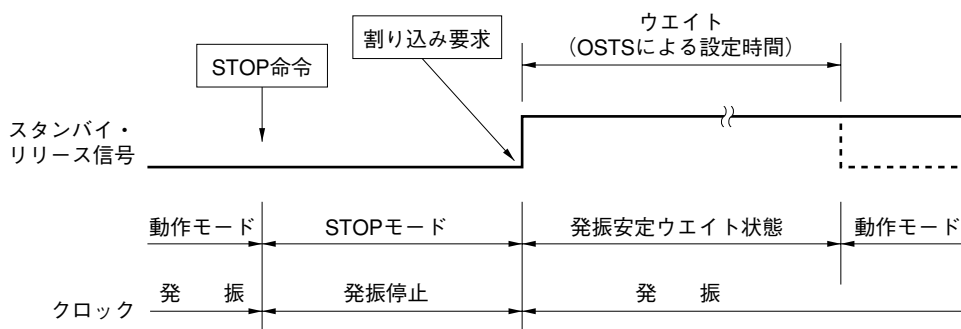
(2) STOPモードの解除

STOPモードは、次の3種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードは解除されます。発振安定時間経過後、割り込み要求受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み要求受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図23-4 STOPモードの割り込み要求発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

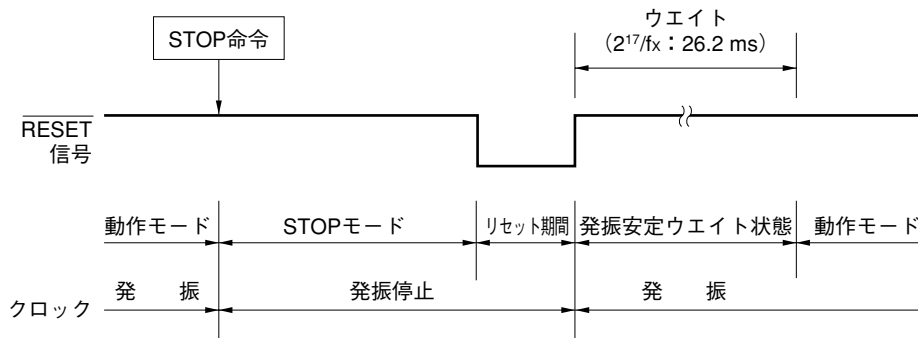
(b) マスクされていないテスト入力による解除

マスクされていないテスト信号の入力があると、STOPモードは解除されます。そして、発振安定時間経過後、STOP命令の次のアドレスの命令が実行されます。

(c) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、STOPモードは解除されます。そして、発振安定時間経過後リセット動作が行われます。

図23-5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



備考 1. f_x : メイン・システム・クロック発振周波数

2. ()内は $f_x = 5.0 \text{ MHz}$ 動作時

表23-4 STOPモードの解除後の動作

解除ソース	MK××	PR××	IE	ISP	動作
マスクブル	0	0	0	×	次アドレス命令実行
割り込み要求	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	STOPモード保持
テスト入力	0	—	×	×	次アドレス命令実行
	1	—	×	×	STOPモード保持
$\overline{\text{RESET}}$ 入力	—	—	×	×	リセット処理

備考 × : don't care

第24章 リセット機能

24.1 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、 $\overline{\text{RESET}}$ 入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生することによってリセットがかかり、各ハードウェアは表24-1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後($2^{17}/f_x$)プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後($2^{17}/f_x$)プログラムの実行を開始します(図24-2から図24-4参照)。

- 注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に $10\mu\text{s}$ 以上のロウ・レベルを入力してください。
2. リセット入力中は、メイン・システム・クロックの発振が停止しますが、サブシステム・クロックの発振は停止せず、発振状態になっています。
 3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図24-1 リセット機能のブロック図

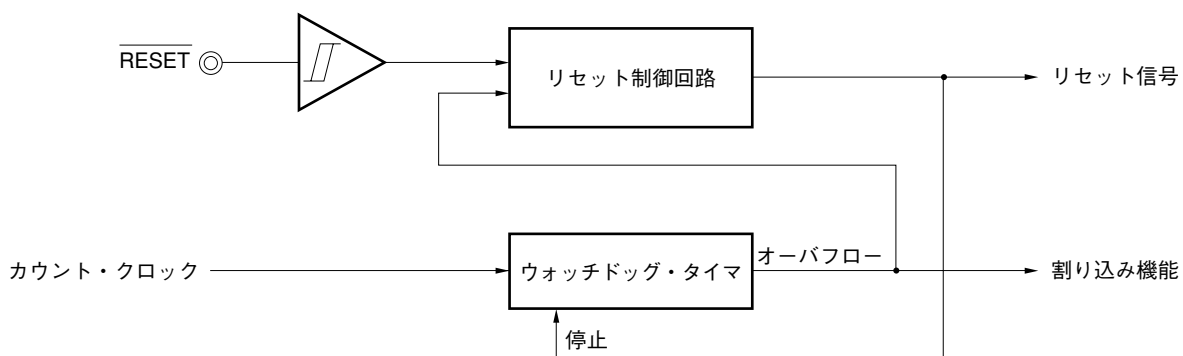


図24-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

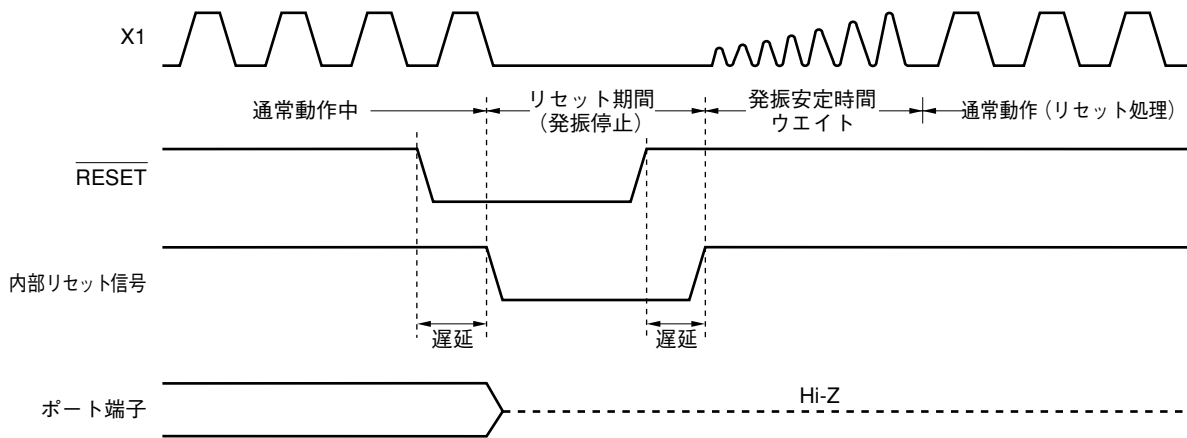


図24-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

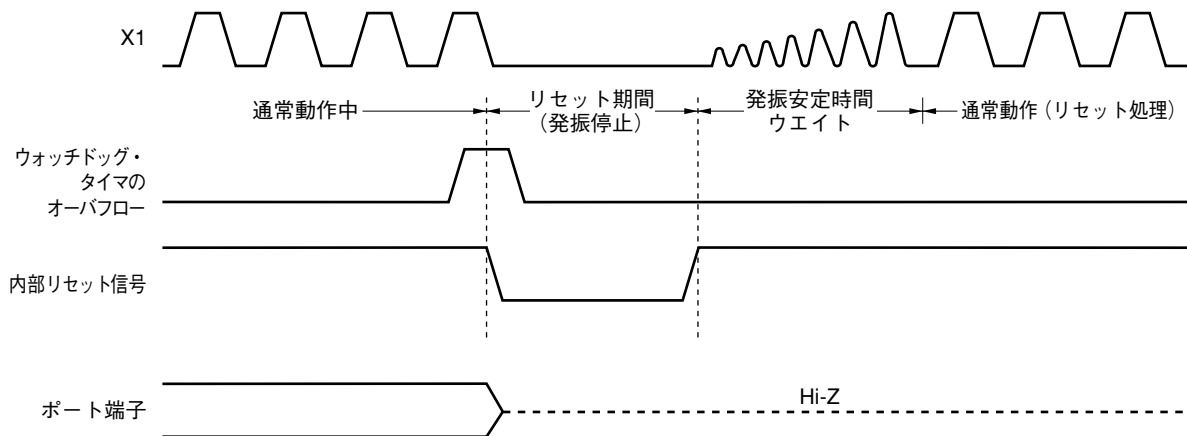


図24-4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング

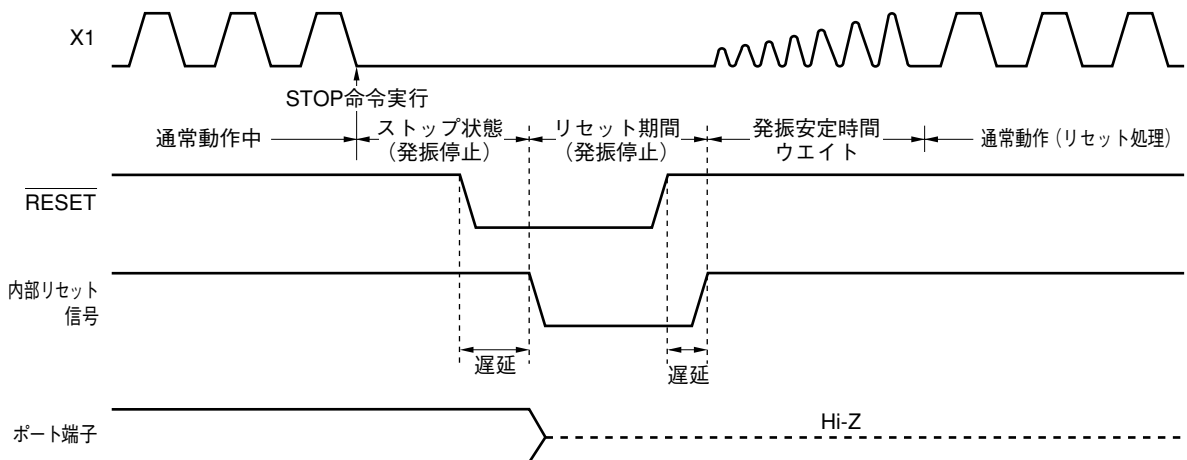


表24-1 各ハードウェアのリセット後の状態(1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ(PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H)の内容がセット される。
スタック・ポインタ(SP)		不 定
プログラム・ステータス・ワード(PSW)		02H
RAM	データ・メモリ	不 定 ^{注2}
	汎用レジスタ	不 定 ^{注2}
ポート(出力ラッチ)	ポート0-3, ポート7, ポート12, ポート13(P0- P3, P7, P12, P13)	00H
	ポート4-6 (P4-P6)	不 定
ポート・モード・レジスタ(PM0-PM3, PM5-PM7, PM12, PM13)		FFH
プルアップ抵抗オプション・レジスタ(PUOH, PUOL)		00H
プロセッサ・クロック・コントロール・レジスタ(PCC)		04H
発振モード選択レジスタ(OSMS)		00H
メモリ・サイズ切り替えレジスタ(IMS)		注 3
内部拡張RAMサイズ切り替えレジスタ(IXS) ^{注4}		0AH
メモリ拡張モード・レジスタ(MM)		10H
発振安定時間選択レジスタ(OSTS)		04H
16ビット・タイマ/ イベント・カウンタ	タイマ・レジスタ(TM0)	00H
	キャプチャ/コンペア・レジスタ(CR00, CR01)	不 定
	クロック選択レジスタ(TCLO)	00H
	モード・コントロール・レジスタ(TMC0)	00H
	キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)	04H
	出力コントロール・レジスタ(TOC0)	00H
8ビット・タイマ/ イベント・カウンタ	タイマ・レジスタ(TM1, TM2)	00H
	コンペア・レジスタ(CR10, CR20)	不 定
	クロック選択レジスタ(TCL1)	00H
	モード・コントロール・レジスタ(TMC1)	00H
	出力コントロール・レジスタ(TOC1)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時にリセットがかかった場合には、リセット前の状態がリセット後も保持されます。

3. リセット時の値は製品により異なります。

μPD780053, 780053Y : C6H, μPD780054, 780054Y : C8H, μPD780055, 780055Y : CAH,
μPD780056, 780056Y : CCH, μPD780058, 780058B, 780058BY : CFH,
μPD78F0058, 78F0058Y : CFH

4. μPD780058, 780058B, 780058BY, 78F0058, 78F0058Yのみ内蔵しています。

表24-1 各ハードウェアのリセット後の状態(2/2)

ハードウェア		リセット後の状態
時計用タイマ	モード・コントロール・レジスタ(TMC2)	00H
	クロック選択レジスタ(TCL2)	00H
ウォッチドッグ・タイマ	モード・レジスタ(WDTM)	00H
	シリアル・インタフェース	88H
シリアル・インタフェース	シフト・レジスタ(SIO0, SIO1)	不 定
	モード・レジスタ(CSIM0, CSIM1, CSIM2)	00H
	シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)	00H
	スレーブ・アドレス・レジスタ(SVA)	不 定
	自動データ送受信コントロール・レジスタ(ADTC)	00H
	自動データ送受信アドレス・ポインタ(ADTP)	00H
	自動データ送受信間隔指定レジスタ(ADTI)	00H
	アシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS)	00H
	ポーレート・ジェネレータ・コントロール・レジスタ(BRGC)	00H
	シリアル・インタフェース端子選択レジスタ(SIPS)	00H
	送信シフト・レジスタ(TXS)	FFH
	受信バッファ・レジスタ(RXB)	
	割り込みタイミング指定レジスタ(SINT)	00H
	A/Dコンバータ	モード・レジスタ(ADM)
変換結果レジスタ(ADCR)		不 定
入力選択レジスタ(ADIS)		00H
D/Aコンバータ	モード・レジスタ(DAM)	00H
	変換値設定レジスタ(DACS0, DACS1)	00H
リアルタイム出力ポート	モード・レジスタ(RTPM)	00H
	コントロール・レジスタ(RTPC)	00H
	バッファ・レジスタ(RTBL, RTBH)	00H
ROMコレクション	コレクション・アドレス・レジスタ(CORAD0, CORAD1) ^注	0000H
	コレクション・コントロール・レジスタ(CORCN) ^注	00H
割り込み	要求フラグ・レジスタ(IF0L, IF0H, IF1L)	00H
	マスク・フラグ・レジスタ(MK0L, MK0H, MK1L)	FFH
	優先順位指定フラグ・レジスタ(PR0L, PR0H, PR1L)	FFH
	外部割り込みモード・レジスタ(INTM0, INTM1)	00H
	キー・リターン・モード・レジスタ(KRM)	02H
	サンプリング・クロック選択レジスタ(SCS)	00H

注 μPD780058, 780058B, 780058BY, 78F0058, 78F0058Yのみ内蔵しています。

第25章 ROMコレクション

25.1 ROMコレクションの機能

- ★ μ PD780058, 780058B, 780058BY, 78F0058, 78F0058Yは、マスクROMまたはフラッシュ・メモリ内のプログラムの一部を内部拡張RAM内のプログラムに置き換えて実行できます。
ROMコレクションを使用することにより、マスクROMまたはフラッシュ・メモリで発見された命令バグを回避したり、プログラムの流れを変更したりできます。
ROMコレクションは内部ROMまたはフラッシュ・メモリ(プログラム)中、最大2箇所使用できます。

- ★ 注意1. ROMコレクションは、 μ PD780058, 780058B, 780058BY, 78F0058, 780058Yのみ使用できません。
2. ROMコレクションはインサーキット・エミュレータ(IE-78000-R, IE-78000-R-A, IE-78K0-NS, IE-78K0-NS-A, IE-78001-R-A)でエミュレーションできません。あらかじめご了承ください。

25.2 ROMコレクションの構成

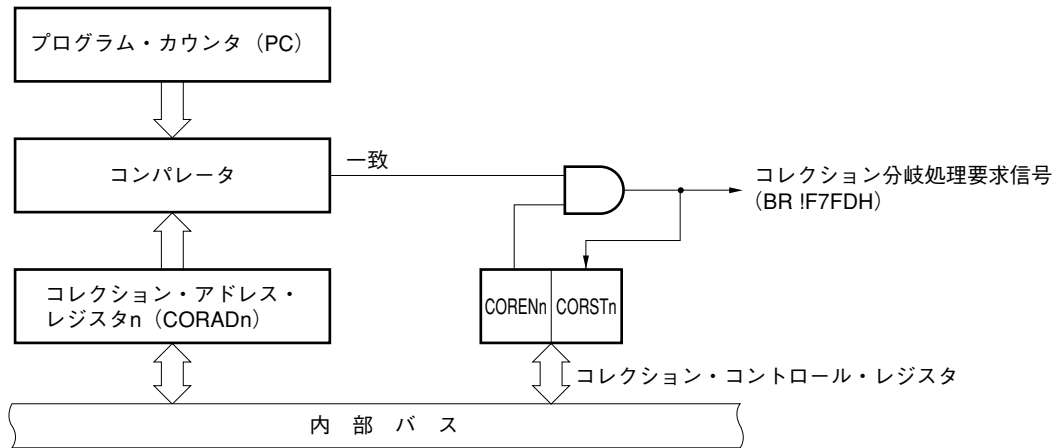
ROMコレクションは、次のハードウェアで構成しています。

表25-1 ROMコレクションの構成

項目	構成
レジスタ	コレクション・アドレス・レジスタ 0, 1 (CORAD0, CORAD1)
制御レジスタ	コレクション・コントロール・レジスタ (CORCN)

図25-1にROMコレクションのブロック図を示します。

図25-1 ROMコレクションのブロック図



備考 n=0, 1

(1) コレクション・アドレス・レジスタ 0, 1 (CORAD0, CORAD1)

マスクROMまたはフラッシュ・メモリ中の修正したい命令の先頭アドレス(修正アドレス)を設定するレジスタです。

ROMコレクションでは、プログラムを最大2箇所修正できます。アドレスは、CORAD0とCORAD1の2箇所を設定できます。1箇所だけ修正したい場合はどちらかにアドレスを設定してください。

CORAD0, CORAD1は、16ビット・メモリ操作命令で設定します。

RESET入力により、0000Hになります。

図25-2 コレクション・アドレス・レジスタ 0, 1のフォーマット

略号	15	0	アドレス	リセット時	R/W
CORAD0	[]		FF38H/FF39H	0000H	R/W
CORAD1	[]		FF3AH/FF3BH	0000H	R/W

注意1. CORAD0, CORAD1は、コレクション・コントロール・レジスタ(CORCN : 図25-3 参照)

のビット1 (COREN0), ビット3 (COREN1)が0のときに設定してください。

2. CORAD0, CORAD1には、命令コードのアドレスのみ設定可能です。

3. 次のアドレスをCORAD0, CORAD1に設定しないでください。

- ・ テーブル参照命令(CALLT命令)のテーブル領域のアドレス値 : 0040H-007FH
- ・ ベクタ・テーブル領域のアドレス値 : 0000H-003FH

(2) コンパレータ

コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1)に設定した修正アドレス値とフェッチ・アドレス値を常に比較します。コレクション・コントロール・レジスタ(CORCN)のビット1 (COREN0)またはビット3 (COREN1)が1のとき、修正アドレスとフェッチ・アドレスの値が一致すると、ROMコレクション回路からコレクション分岐処理要求信号(BR !F7FDH)が発生されます。

25.3 ROMコレクションを制御するレジスタ

ROMコレクションはコレクション・コントロール・レジスタ(CORCN)で制御します。

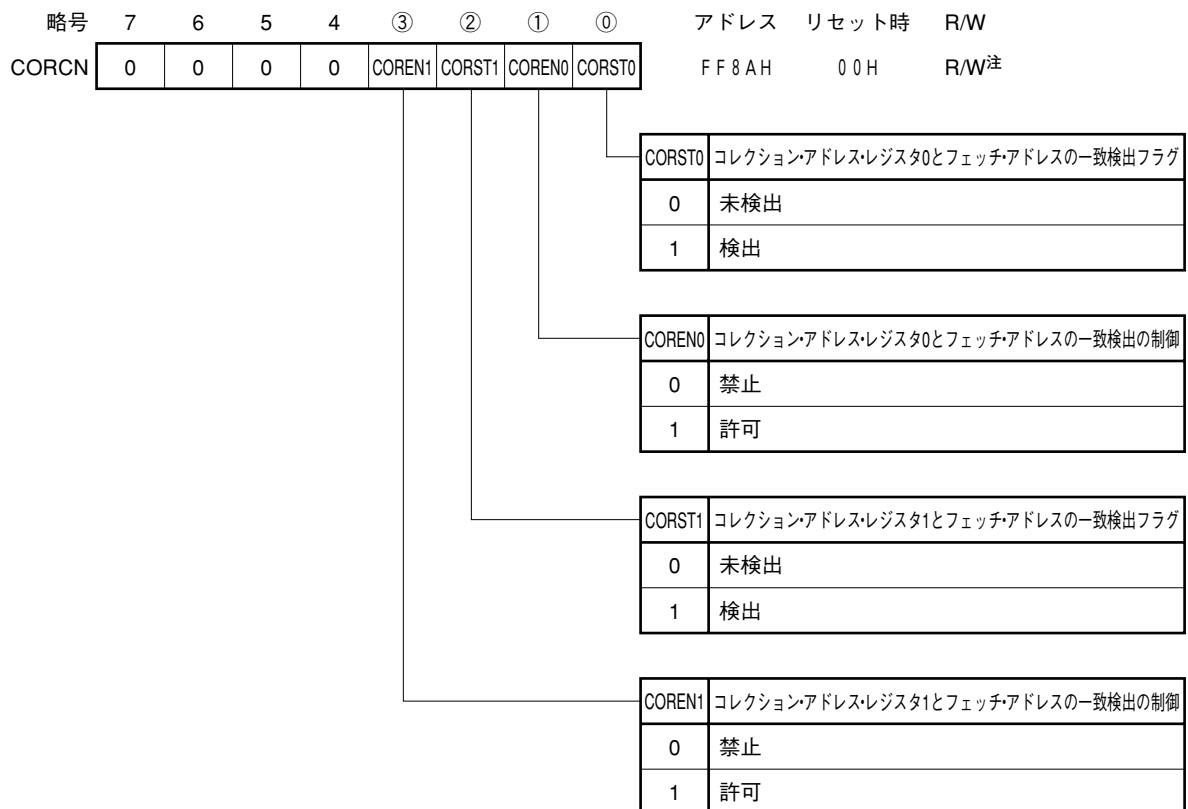
(1) コレクション・コントロール・レジスタ(CORCN)

コレクション・アドレス・レジスタ0, 1に設定した修正アドレスとフェッチ・アドレスが一致したときに、コレクション分岐処理要求信号を発生するかどうかを制御するレジスタです。コンパレータでの一致検出の許可/禁止を設定するコレクション・イネーブル・フラグ(COREN0, COREN1)と、一致したことを表示するコレクション・ステータス・フラグ(CORST0, CORST1)で構成されています。

CORCNは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図25-3 コレクション・コントロール・レジスタのフォーマット

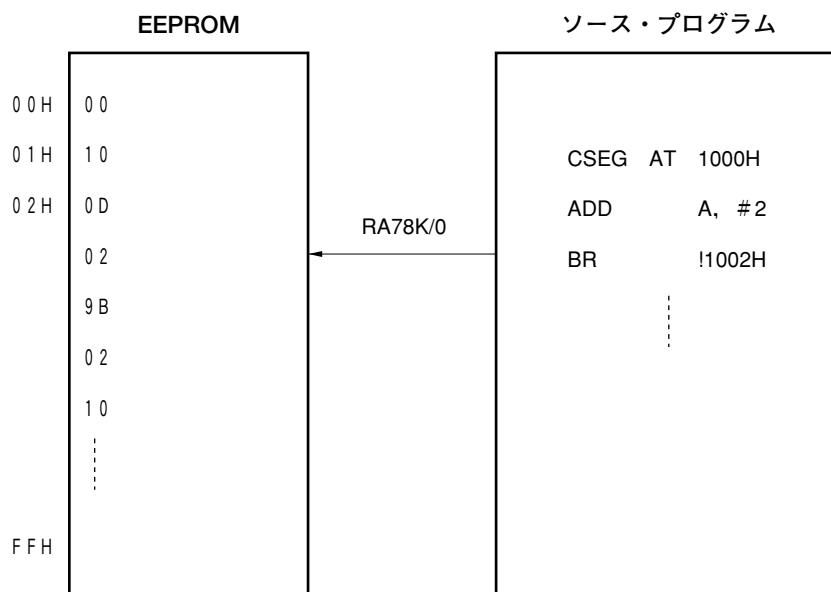


25.4 ROMコレクションの使用方法

- ① マイコン外部の不揮発性メモリ (EEPROM™など) に、修正アドレスおよび修正後の命令 (修正プログラム) を格納します。

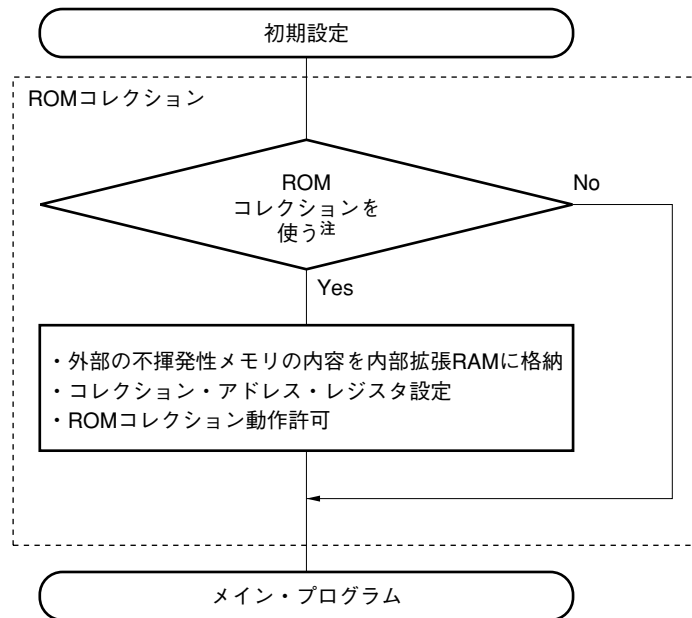
修正箇所が2つの場合は、コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) に設定したアドレスのうち、どちらでコレクション分岐処理が発生したかチェックする分岐先判断プログラムも格納します。

図25-4 EEPROMへの格納例 (修正箇所が1つの場合)



- ② プログラムの修正ができるように、あらかじめ図25-5のような初期ルーチンを組んでおいてください。

図25-5 初期設定ルーチン

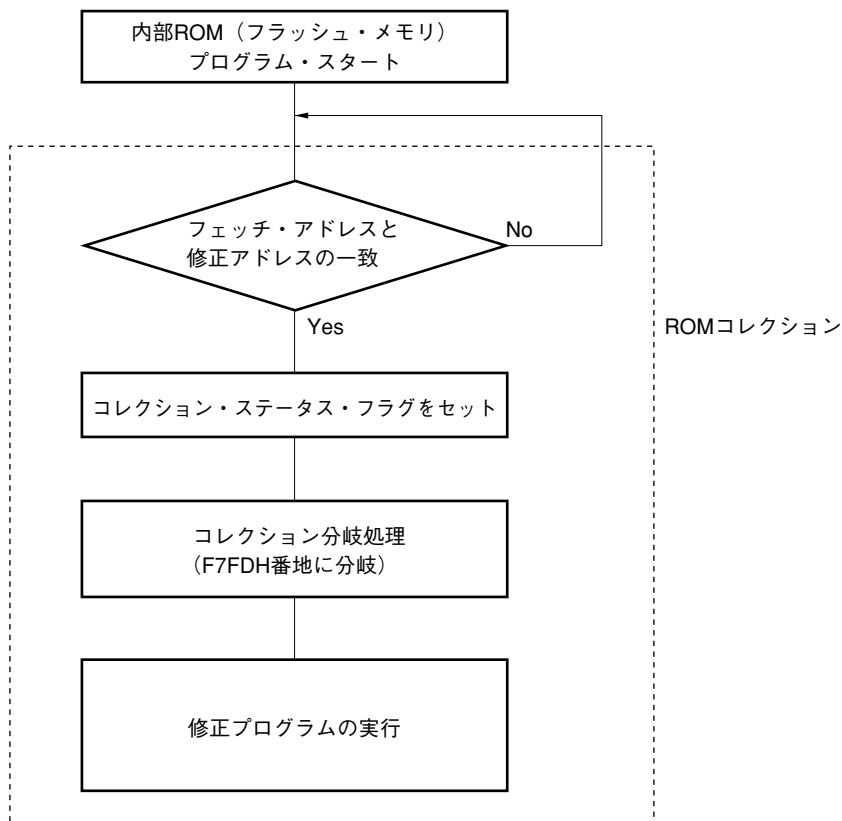


注 ROMコレクションを使用するかどうかは、ポートの入力レベルで判断するなどの方法をとります。
たとえば、P20の入力レベルが「ハイ・レベルなら使用する／ロウ・レベルなら使用しない」とします。

- ③ リセット後、あらかじめユーザのROMコレクション用初期ルーチンで外部の不揮発性メモリなどに格納しておいた内容を内部拡張RAMに格納します(図25-5参照)。
また、修正したい命令の先頭アドレスをCORAD0, CORAD1に設定し、コレクション・コントロール・レジスタ(CORCN)のビット1, ビット3(COREN0, COREN1)を1にセットします。
- ④ メイン・プログラムで内部拡張RAMの所定アドレス(F7FDH)に全空間分岐命令(BR !addr16)を設定します。
- ⑤ メイン・プログラムのスタート後は、ROMコレクション回路内のコンパレータで、CORAD0, CORAD1に設定した値とフェッチ・アドレス値が常に比較され、一致するとコレクション分岐処理要求信号が発生されます。同時にコレクション・ステータス・フラグ(CORST0, CORST1)が1にセットされます。

- ⑥ コレクション分岐処理要求信号によりF7FDH番地に分岐します。
- ⑦ F7FDH番地の全空間分岐命令により、メイン・プログラムで設定した内部拡張RAMのアドレスに分岐します。
- ⑧ 修正箇所が1つの場合は、そのまま修正プログラムを実行します。
修正箇所が2つの場合は、分岐先判断プログラムでコレクション・ステータス・フラグをチェックして修正プログラムに分岐します。

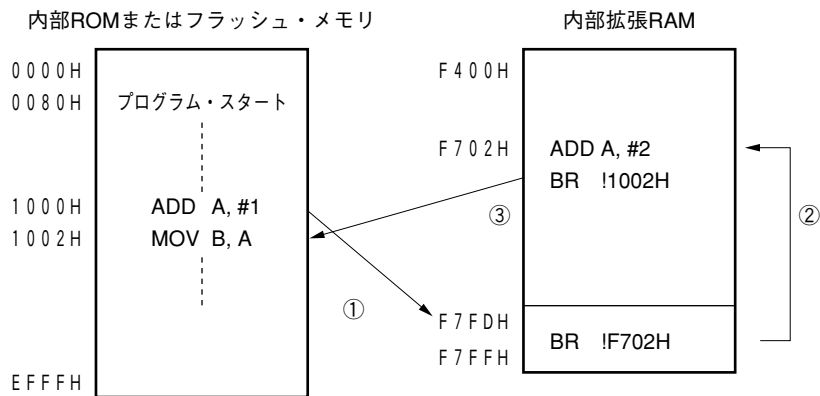
図25-6 ROMコレクションの動作



25.5 ROMコレクションの使用例

1000H番地の命令“ADD A, #1”を“ADD A, #2”に変更する場合のROMコレクションの使用例を次に示します。

図25-7 ROMコレクションの使用例

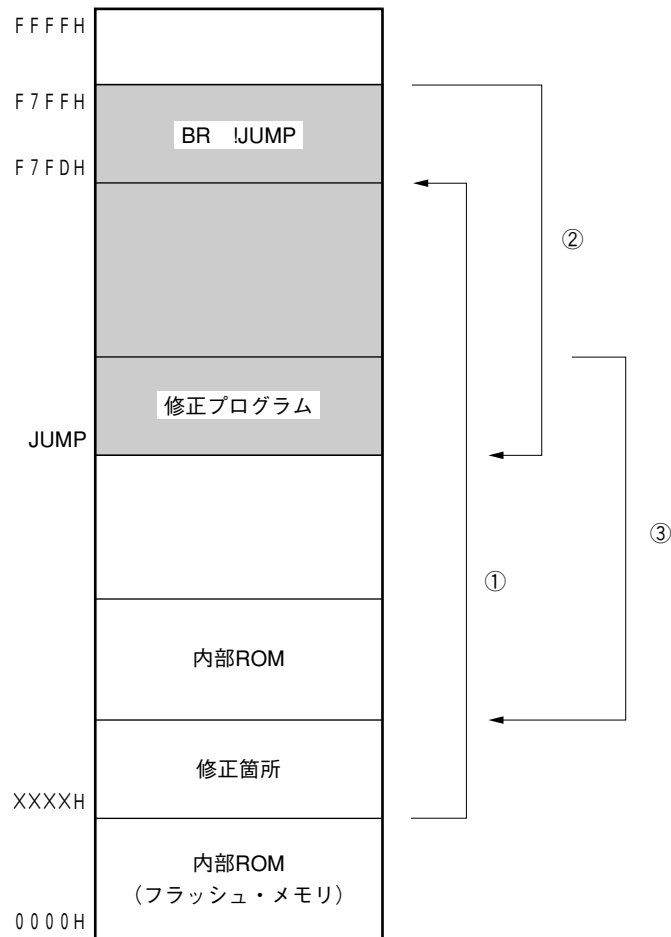


- ① メイン・プログラム・スタート後、コレクション・アドレス・レジスタにあらかじめ設定しておいた1000Hとフェッチ・アドレスの値が一致したとき、F7FDH番地に分岐します。
- ② F7FDH番地に全空間分岐命令(BR !addr16)をメイン・プログラムで設定しておくことにより任意のアドレス(この例ではF702H番地)に分岐します。
- ③ 代替命令ADD A, #2を実行したあと、内部ROM(フラッシュ・メモリ)プログラムに復帰します。

25.6 プログラム実行フロー

図25-8、図25-9にROMコレクションを使用する場合のプログラム遷移図を示します。

図25-8 プログラム遷移図(修正箇所が1つの場合)

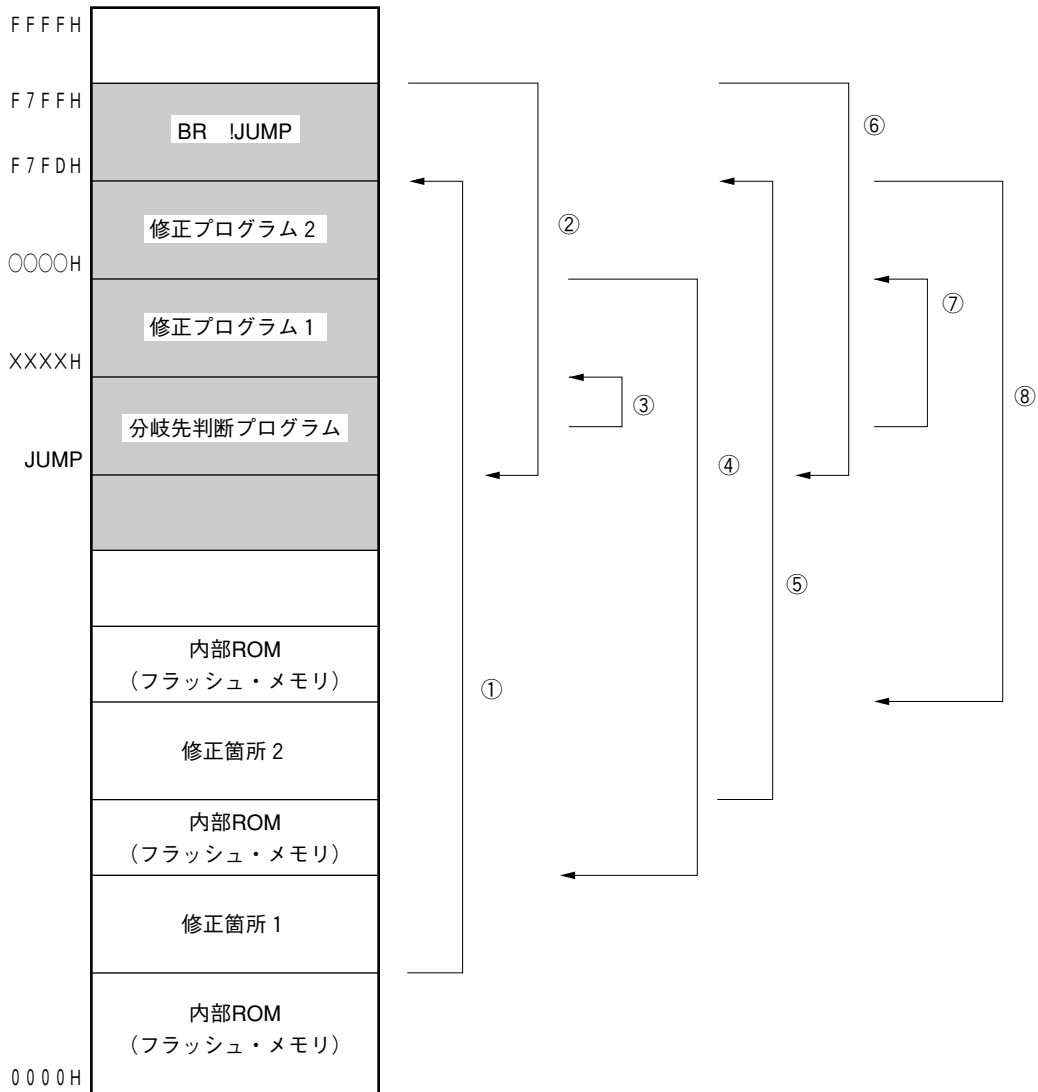


- ① フェッチ・アドレスと修正アドレスの一致によりF7FDH番地に分岐
- ② 修正プログラムに分岐
- ③ 内部ROM(フラッシュ・メモリ)プログラムに復帰

備考 : 内部拡張RAM

JUMP : 修正プログラム・スタート・アドレス

図25-9 プログラム遷移図(修正箇所が2つの場合)



- ① フェッチ・アドレスと修正アドレスの一致によりF7FDH番地に分岐
- ② 分岐先判断プログラムに分岐
- ③ 分岐先判断プログラム(BTCLR !CORST0, \$XXXXH)により修正プログラム 1 に分岐
- ④ 内部ROM(フラッシュ・メモリ)プログラムに復帰
- ⑤ フェッチ・アドレスと修正アドレスの一致によりF7FDH番地に分岐
- ⑥ 分岐先判断プログラムに分岐
- ⑦ 分岐先判断プログラム(BTCLR !CORST1, \$0000H)により修正プログラム 2 に分岐
- ⑧ 内部ROM(フラッシュ・メモリ)プログラムに復帰

備考 : 内部拡張RAM

JUMP : 分岐先判断プログラム・スタート・アドレス

25.7 ROMコレクションの注意事項

- (1) コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1)に設定するアドレス値は、必ず命令コードが格納してあるアドレス値にしてください。
- (2) コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1)は、コレクション・イネーブル・フラグ(COREN0, COREN1)が0のときに設定してください(コレクション分岐処理禁止状態のときに設定してください)。COREN0, COREN1が1のとき(コレクション分岐処理許可状態のとき)にCORAD0, CORAD1にアドレスを設定すると、設定したアドレス値とは異なるアドレスでコレクション分岐処理が起動される可能性があります。
- (3) コレクション・イネーブル・フラグ(COREN0, COREN1)を1にセットする命令の直後にある命令のアドレス値をコレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1)に設定しないでください(コレクション分岐処理が起動されない場合があります)。
- (4) テーブル参照命令(CALLT命令)のテーブル領域のアドレス値(0040H-007FH)、ベクタ・テーブル領域のアドレス値(0000H-003FH)をコレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1)に設定しないでください。
- (5) 以下に示す命令の直後の2アドレスを、コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1)に設定しないでください(これらの命令がマッピングされている終端アドレスをNとすると、N+1, N+2のアドレス値は設定しないでください)。

- RET
- RETI
- RETB
- BR \$addr16
- STOP
- HALT

第26章 μ PD78F0058, 78F0058Y

μ PD78F0058, 78F0058Yは、基板に実装した状態でプログラムの書き込み、消去、再書き込みが可能なフラッシュ・メモリを内蔵した製品です。フラッシュ・メモリ製品(μ PD78F0058, 78F0058Y)とマスクROM製品(μ PD780053, 780054, 780055, 780056, 780058, 780058B, 780053Y, 780054Y, 780055Y, 780056Y, 780058BY)との違いを表26-1に示します。

表26-1 μ PD78F0058, 78F0058YとマスクROM製品の違い

項目	μ PD78F0058	μ PD78F0058Y	マスクROM製品	
			μ PD780058 サブシリーズ	μ PD780058Y サブシリーズ
内部ROM構造	フラッシュ・メモリ		マスクROM	
内部ROM容量	60 Kバイト		μ PD780053, 780053Y : 24 Kバイト μ PD780054, 780054Y : 32 Kバイト μ PD780055, 780055Y : 40 Kバイト μ PD780056, 780056Y : 48 Kバイト μ PD780058, 780058B, 780058BY : 60 Kバイト	
内部拡張RAM容量	1024バイト		μ PD780053, 780053Y : なし μ PD780054, 780054Y : なし μ PD780055, 780055Y : なし μ PD780056, 780056Y : なし μ PD780058, 780058B, 780058BY : 1024バイト	
メモリ・サイズ切り替えレジスタ (IMS) による内部ROM容量の変更	可 ^{注1}		不可	
内部拡張RAMサイズ切り替えレジスタ (IXS) による内部拡張RAM容量の変更	可 ^{注2}		不可	
★ 電源電圧	$V_{DD} = 2.7^{\text{注3}} \sim 5.5 \text{ V}$		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	
IC端子	なし		あり	
V_{PP} 端子	あり		なし	
P60-P63端子のプルアップ抵抗内蔵のマスク・オプション	なし		あり	
★ シリアル・インタフェース (SBI)	あり	なし	あり	なし
★ シリアル・インタフェース (I ² C)	なし	あり	なし	あり

注1. $\overline{\text{RESET}}$ 入力により、フラッシュ・メモリは60 Kバイトになります。

2. $\overline{\text{RESET}}$ 入力により、内部拡張RAMは1024バイトになります。

3. $V_{DD} = 2.2 \text{ V}$ 対応も可能です。当社販売員にご相談ください。

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品でなく) で十分な評価をしてください。

備考 内部拡張RAMサイズ切り替えレジスタは、 μ PD780058, 780058B, 78F0058, 780058BY, 78F0058Yのみ内蔵しています。

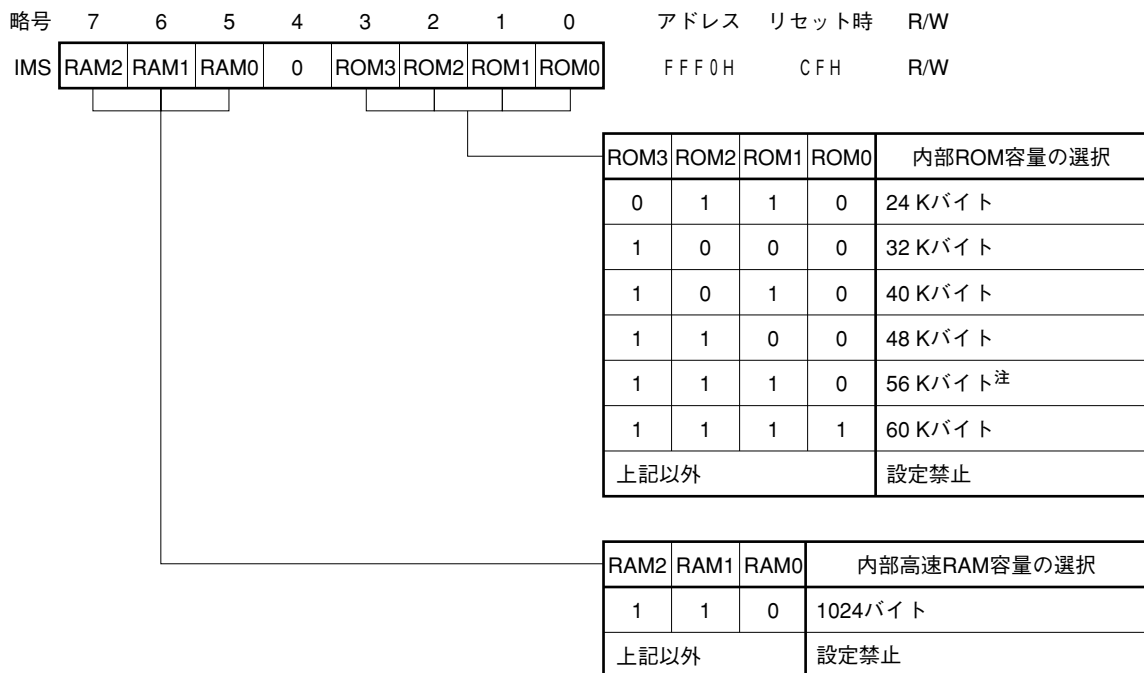
26.1 メモリ・サイズ切り替えレジスタ

μPD78F0058, 78F0058Yは、メモリ・サイズ切り替えレジスタ(IMS)により、内部ROM容量を選択できます。IMSの設定により、マスクROM製品と同一の内部ROM容量にできます。

IMSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、CFHになります。

図26-1 メモリ・サイズ切り替えレジスタのフォーマット



注 μPD780058, 780058B, 780058BY, 78F0058, 78F0058Yで外部デバイス拡張機能を使用する場合、内部ROM容量を56 Kバイト以下に設定してください。

マスクROM製品と同一の内部ROM容量にするIMSの設定値を表26-2に示します。

表26-2 メモリ・サイズ切り替えレジスタの設定値

対象のマスクROM製品	IMSの設定値
μPD780053, 780053Y	C6H
μPD780054, 780054Y	C8H
μPD780055, 780055Y	CAH
μPD780056, 780056Y	CCH
μPD780058, 780058B, 780058BY	CFH

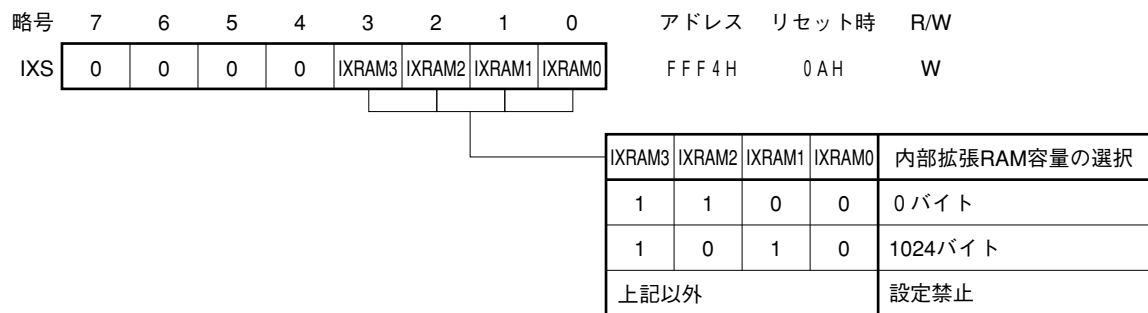
26.2 内部拡張RAMサイズ切り替えレジスタ

μ PD78F0058, 78F0058Yは、内部拡張RAMサイズ切り替えレジスタ(IXS)により、内部拡張RAM容量を選択できます。IXSの設定により、マスクROM製品と同一の内部拡張RAM容量にできます。

IXSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、0AHになります。

図26-2 内部拡張RAMサイズ切り替えレジスタのフォーマット



マスクROM製品と同一の内部拡張RAM容量にするIXSの設定値を表26-3に示します。

表26-3 内部拡張RAMサイズ切り替えレジスタの設定値

対象のマスクROM製品	IXSの設定値
μ PD780053, 780053Y	0CH
μ PD780054, 780054Y	
μ PD780055, 780055Y	
μ PD780056, 780056Y	
μ PD780058, 780058B, 780058BY	0AH

備考 MOV IXS, #0CHが記述された μ PD78F0058, 78F0058Y用のプログラムを μ PD780053, 780053Y, 780054, 780054Y, 780055, 780055Y, 780056, 780056Yで実行しても動作に影響を与えません。

★ 26.3 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、ターゲット・システムに実装した状態（オンボード）で、専用のフラッシュ・ライター（Flashpro III（型番 FL-PR3, PG-FP3）/Flashpro IV（型番 FL-PR4, PG-FP4））をターゲット・システムに接続して行います。またプログラミング専用のターゲット・ボードであるフラッシュ書き込み用アダプタ（プログラム・アダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

- ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

26.3.1 プログラミング環境

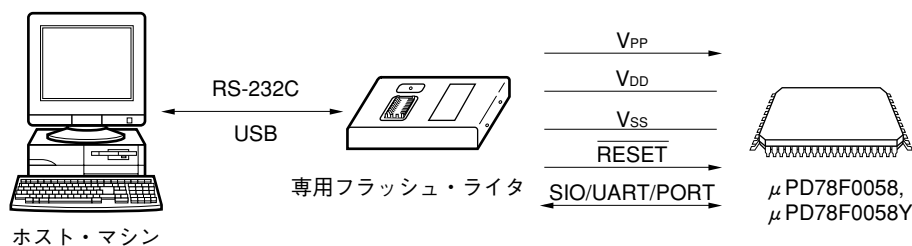
μ PD78F0058, 78F0058Yのフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライターとしてFlashpro III（型番 FL-PR3, PG-FP3）/Flashpro IV（型番 FL-PR4, PG-FP4）を使用した場合、専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライター間の通信は、RS-232C/USB(Rev1.1)で行います。

詳細はFlashpro III/Flashpro IVのマニュアルを参照してください。

備考 USBはFlashpro IVのみ対応

図26-3 フラッシュ・メモリにプログラムを書き込むための環境



26.3.2 通信方式

専用フラッシュ・ライタと μ PD78F0058, 78F0058Yとの通信は、表26-4に示す通信方式から選択して行います。

表26-4 通信方式一覧

通信方式	TYPE設定 ^{注1}					使用端子	V _{PP} パルス数
	COMM PORT	SIOクロック	CPU CLOCK	Flash Clock	Multiple Rate		
3線式シリアルI/O	SIO ch-0 (3 wired, sync.)	100 Hz- 1.25 MHz ^{注2}	任意	1-5 MHz ^{注2}	1.0	P27/SCK0/SCL P26/SO0/SB1/SDA1 P25/SI0/SB0/SDA0	0
	SIO ch-1 (3 wired, sync.)					P22/SCK1 P21/SO1 P20/SI1	1
	SIO ch-2 (3 wired, sync.)					P72/SCK2/ASCK P71/SO2/TxD0 P70/SI2/RxD0	2
UART (UART0)	UART ch-0 (Async.)	4800- 76800 bps ^{注2, 3}	任意	1-5 MHz ^{注2}	1.0	P71/SO2/TxD0 P70/SI2/RxD0	8
	UART ch-1 (Async.)					P23/TxD1 P24/RxD1	9
疑似3線式	Port A (Pseudo-3 wired)	100 Hz- 1 kHz	任意	1-5 MHz ^{注2}	1.0	P32/TO2 (シリアル・クロック入出力) P31/TO1 (シリアル・データ出力) P30/TO0 (シリアル・データ入力)	12

- 注1. 専用フラッシュ・ライタ (Flashpro III (型番 FL-PR3, PG-FP3)/Flashpro IV (型番 FL-PR4, PG-FP4)) 上のTYPE設定における選択項目です。
2. 電圧により設定可能な範囲が異なります。詳細は第29章 電気的特性(フラッシュ・メモリ製品)、第30章 電気的特性(フラッシュ・メモリ製品 (V_{DD} = 2.2 V対応))を参照してください。
3. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

図26-4 通信方式選択フォーマット

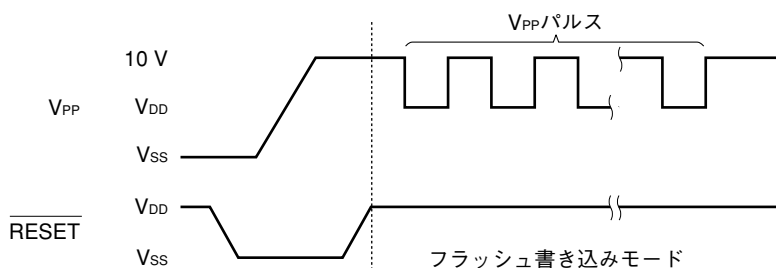
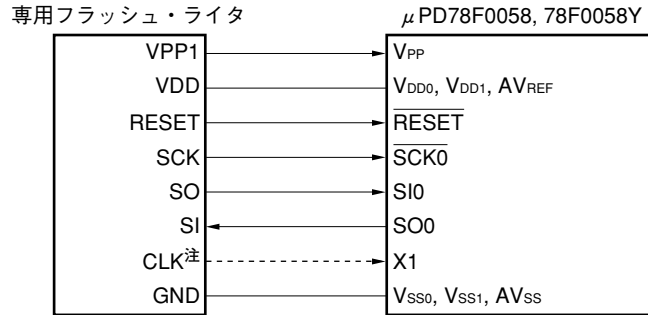
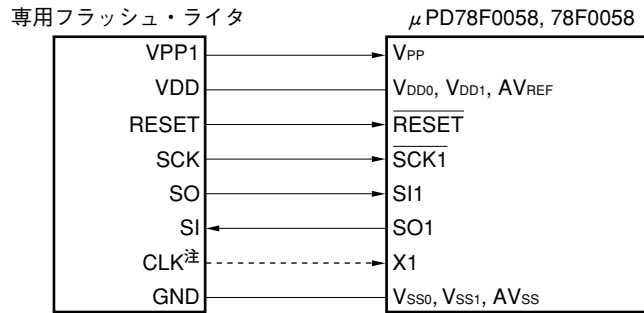


図26-5 専用フラッシュ・ライタとの接続例(1/2)

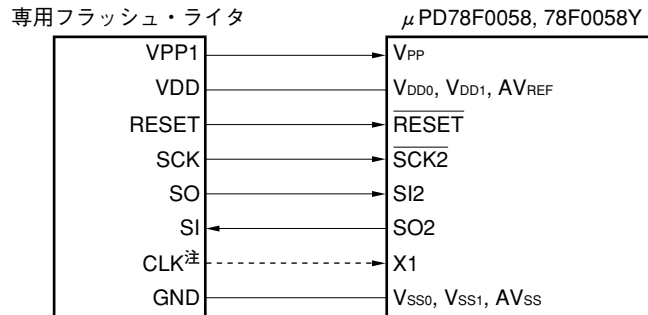
(a) 3線式シリアルI/O(SIO ch-0)



(b) 3線式シリアルI/O(SIO ch-1)



(c) 3線式シリアルI/O(SIO ch-2)

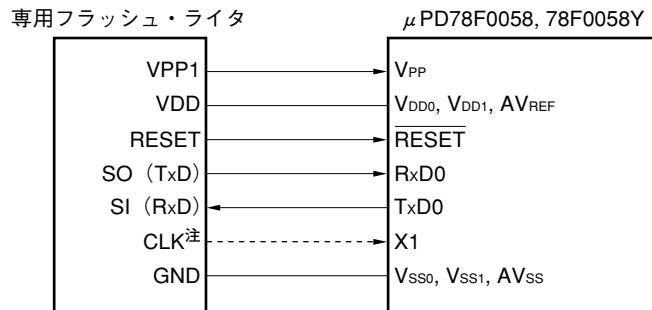


注 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続する必要はありません。

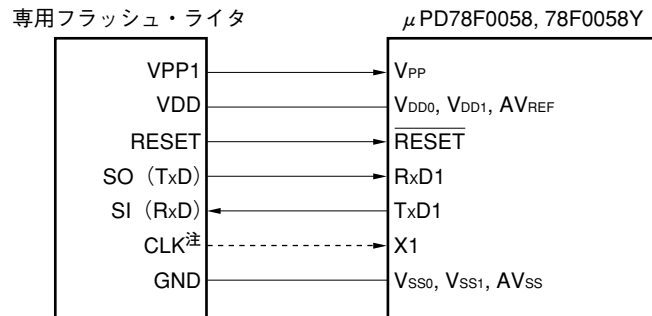
注意 VDD0, VDD1端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのVDD端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

図26-5 専用フラッシュ・ライタとの接続例(2/2)

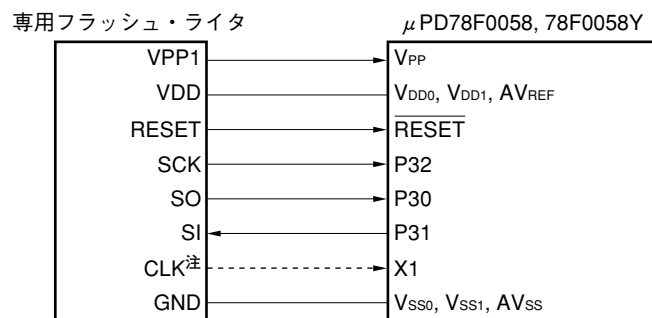
(d) UART(UART ch-0)



(e) UART(UART ch-1)



(f) 疑似3線式



注 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続する必要はありません。

注意 VDD0, VDD1端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのVDD端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライターとしてFlashpro III (型番 FL-PR3, PG-FP3) / Flashpro IV を使用した場合、 μ PD78F0058, 78F0058Y に対して次の信号を生成します。詳細はFlashpro III/Flashpro IV のマニュアルを参照してください。

表26-5 端子接続一覧

信号名	入出力	端子機能	端子名	3線式シリアル/O	UART	疑似3線式
VPP1	出力	書き込み電圧	V _{PP}	◎	◎	◎
VPP2	—	—	—	×	×	×
VDD	入出力	V _{DD} 電圧生成/電圧監視	V _{DD0} , V _{DD1} , AV _{REF}	◎注	◎注	◎注
GND	—	グラウンド	V _{SS0} , V _{SS1} , AV _{SS}	◎	◎	◎
CLK	出力	クロック出力	X1	○	×	○
RESET	出力	リセット信号	RESET	◎	◎	◎
SI(RxD)	入力	受信信号	SO0/SO1/SO2/TxD0/ TxD1/P31	◎	◎	◎
SO(TxD)	出力	送信信号	SI0/SI1/SI2/RxD0/RxD1/ P30	◎	◎	◎
SCK	出力	転送クロック	SCK0/SCK1/SCK2/P32	◎	×	◎
HS	入力	ハンドシェイク信号	—	×	×	×

注 V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 ◎：必ず接続してください。

○：ターゲット・ボード上で供給されていれば、接続の必要はありません。

×：接続の必要はありません。

26.3.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

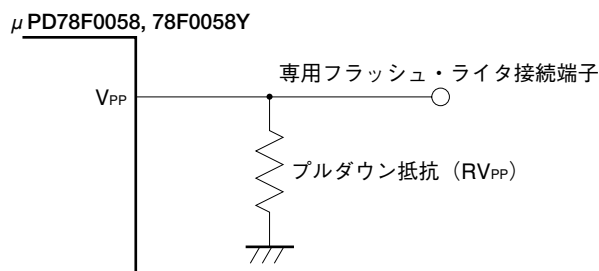
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V(TYP.)の書き込み電圧を供給しますので、次の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗RV_{PP} = 10 k Ω を接続してください
- (2) ボード上のジャンパで、V_{PP}端子の入力をライター側または直接GNDのどちらかに切り替えてください

V_{PP}端子の接続例を次に示します。

図26-6 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

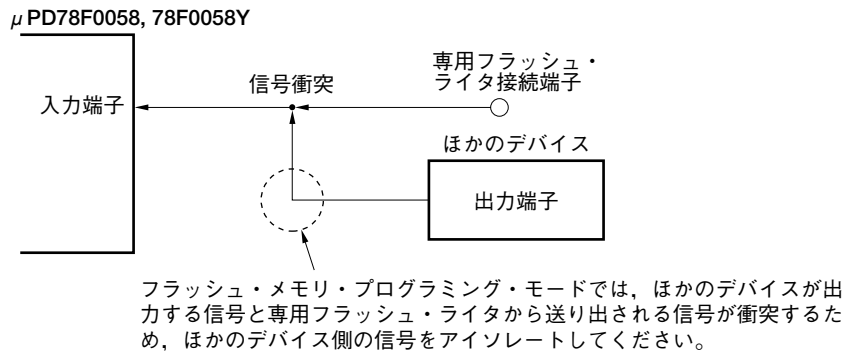
シリアル・インタフェース	使用端子
3線式シリアルI/O	SI0, SO0, SCK0
	SI1, SO1, SCK1,
	SI2, SO2, SCK2
UART	RxD0, TxD0
	RxD1, TxD1
疑似3線式	P30, P31, P32

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス(出力)と接続しているシリアル・インタフェース用の端子(入力)に、専用フラッシュ・ライタ(出力)を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

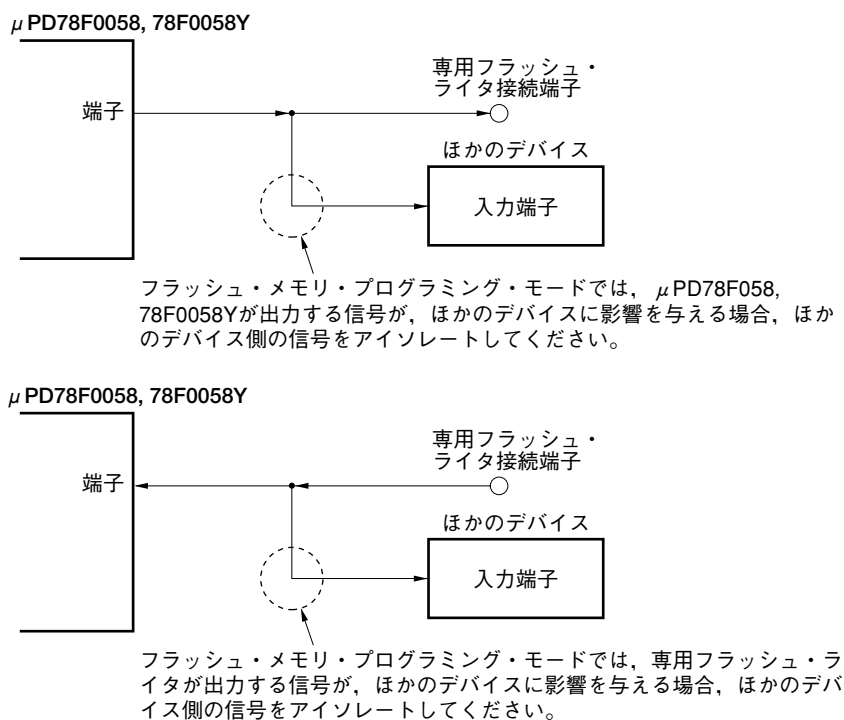
図26-7 信号の衝突(シリアル・インタフェースの入力端子)



(2) ほかのデバイスの異常動作

ほかのデバイス(入力)と接続しているシリアル・インタフェース用の端子(入力または出力)に、専用フラッシュ・ライタ(出力または入力)を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図26-8 ほかのデバイスの異常動作

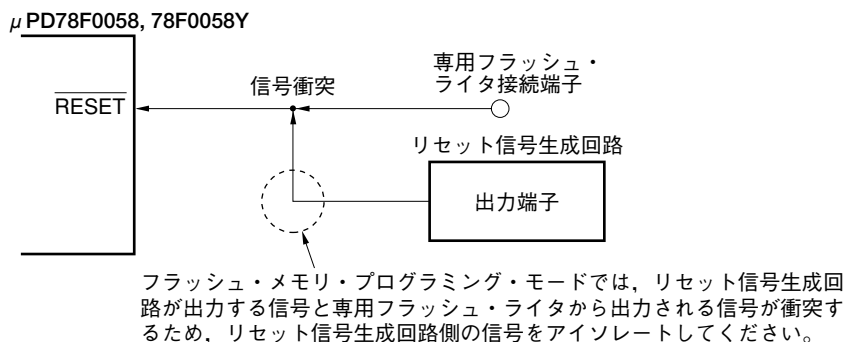


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図26-9 信号の衝突(RESET端子)

**<ポート端子>**

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介して V_{DD0} に接続する、または抵抗を介して V_{SS0} に接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1, X2, XT1, XT2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。サブクロックに関しては通常動作モードに準拠します。

<電源>

フラッシュ・ライタの電源出力を使用する場合は、 V_{DD0} , V_{DD1} 端子はフラッシュ・ライタのVDDに、 V_{SS0} , V_{SS1} 端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのVDDは必ず接続してください。

その他の電源(AV_{REF0} , AV_{REF1} , AV_{SS})は、通常動作モード時と同じ電源を供給してください。

★ 26.3.4 フラッシュ書き込み用アダプタの接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図26-10 3線式シリアルI/O(SIO ch-0)でのフラッシュ書き込み用アダプタ配線例

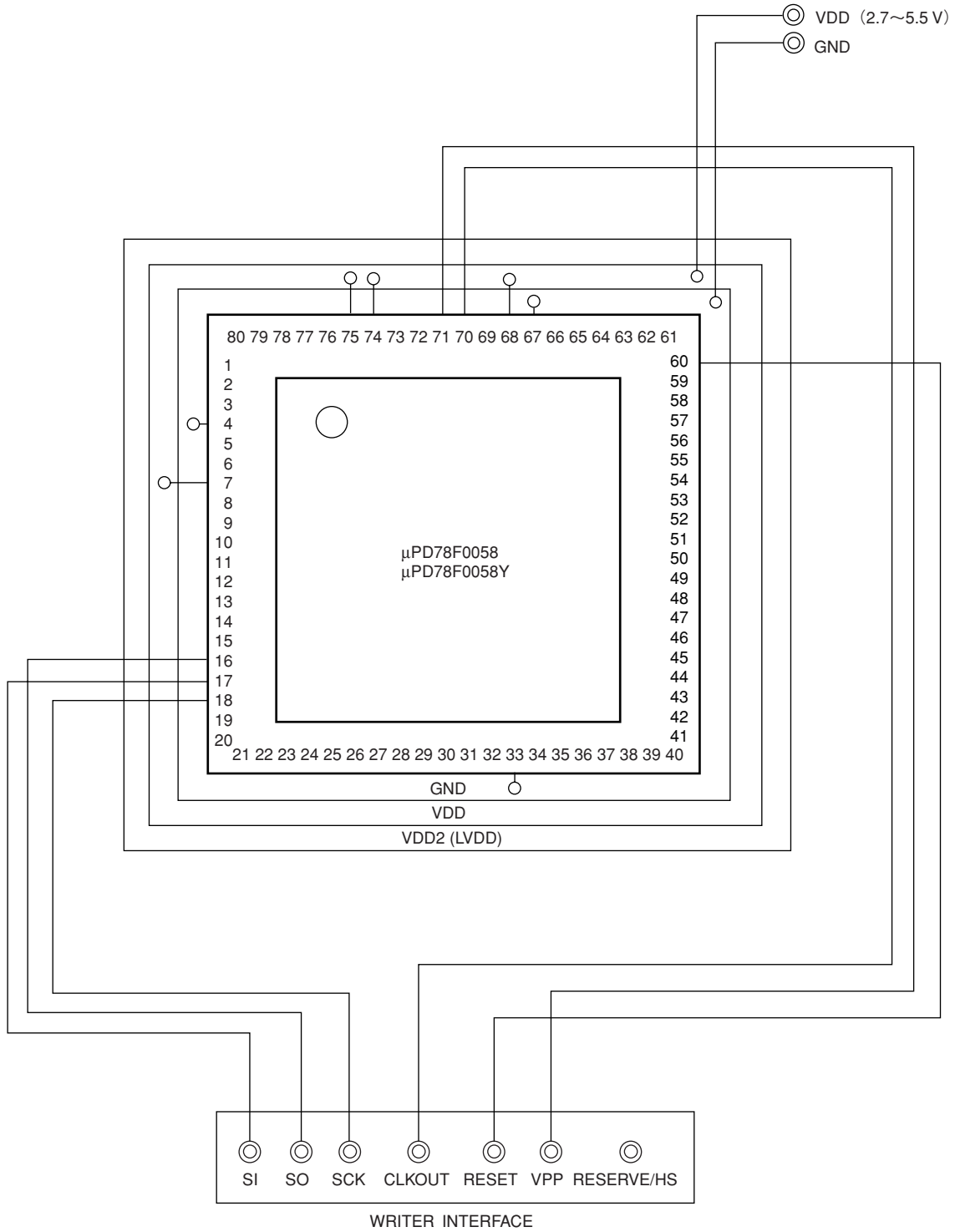


図26-11 3線式シリアルI/O(SIO ch-1)でのフラッシュ書き込み用アダプタ配線例

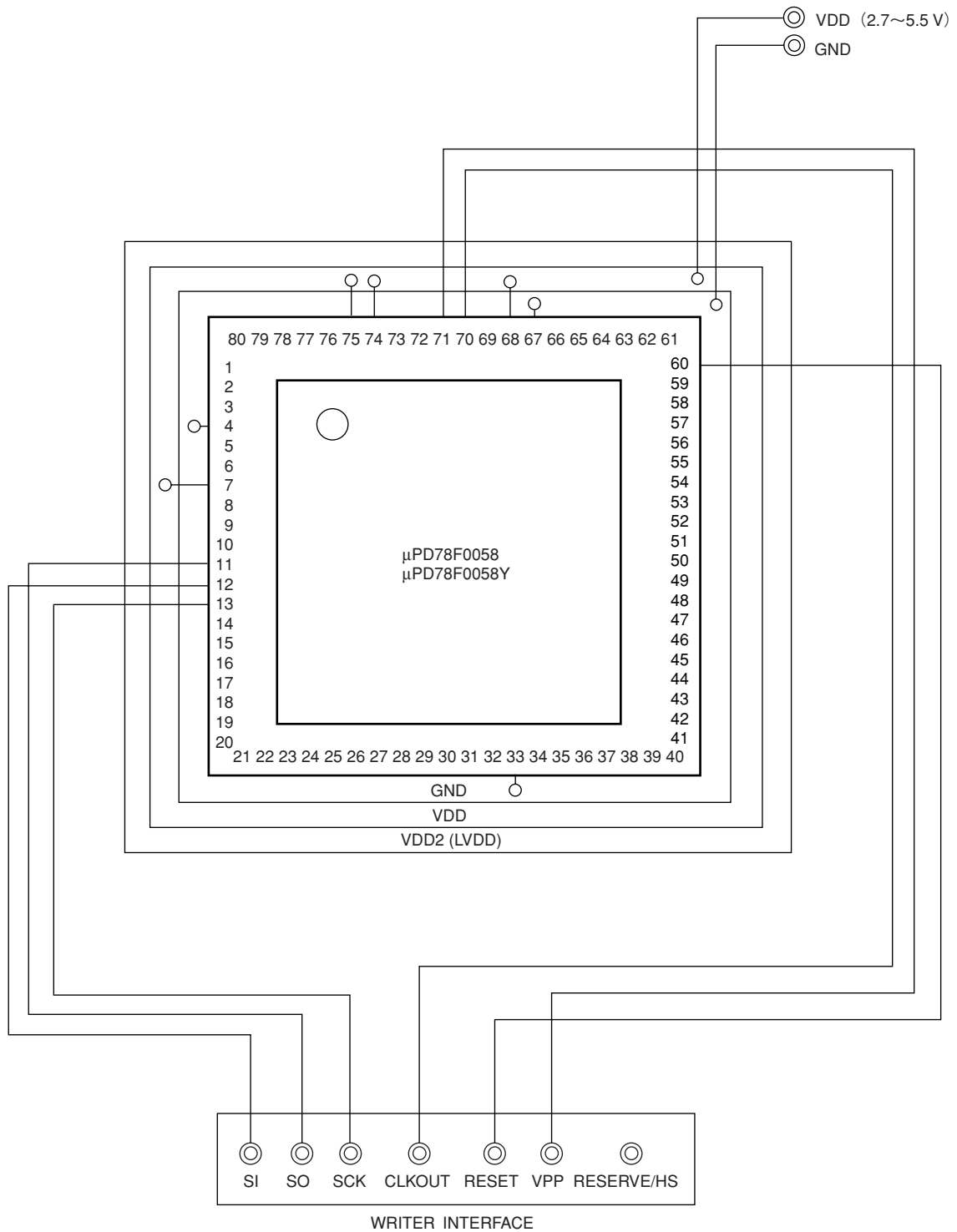


図26-12 3線式シリアルI/O(SIO ch-2)でのフラッシュ書き込み用アダプタ配線例

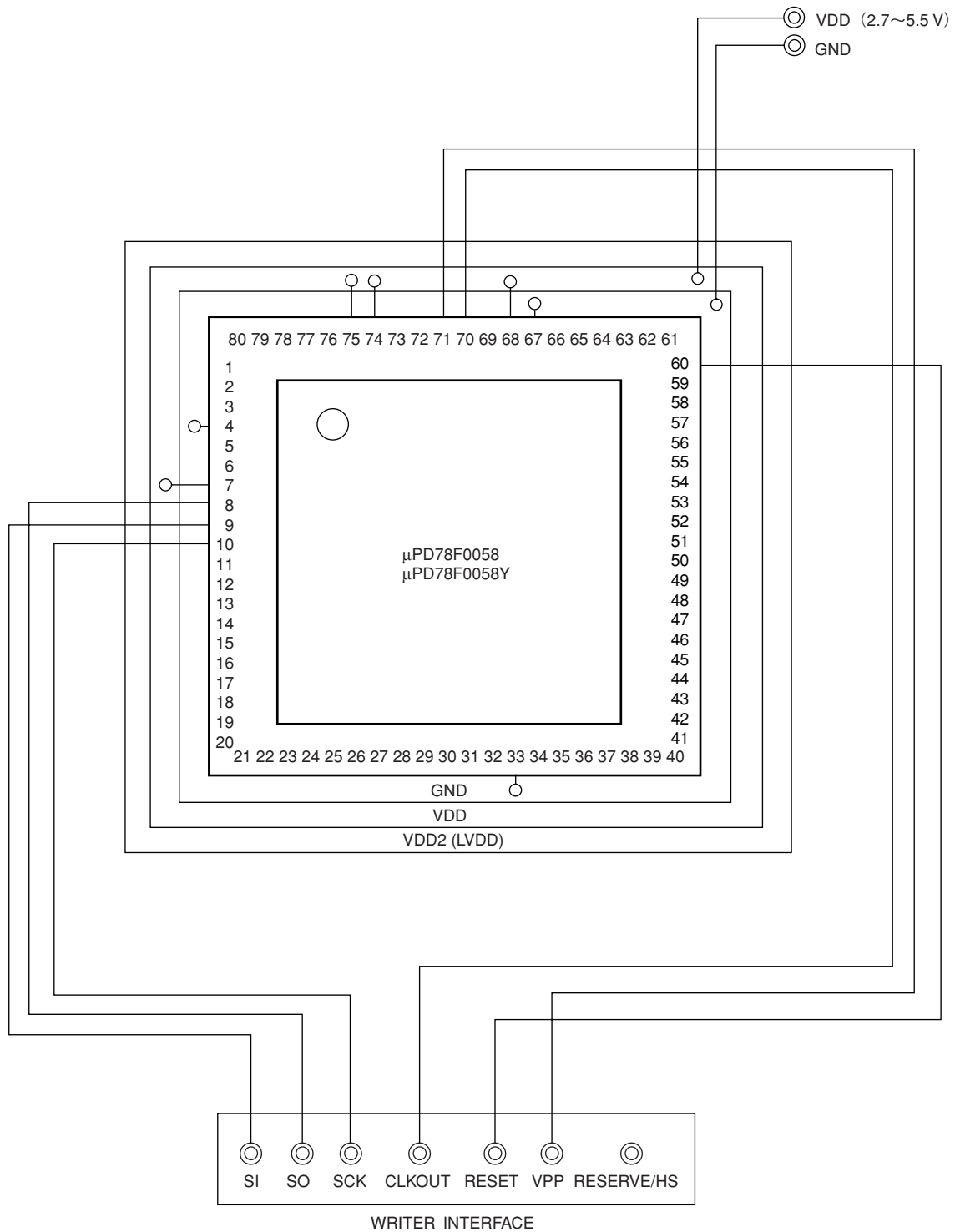


図26-13 UART (UART ch-0)でのフラッシュ書き込み用アダプタ配線例

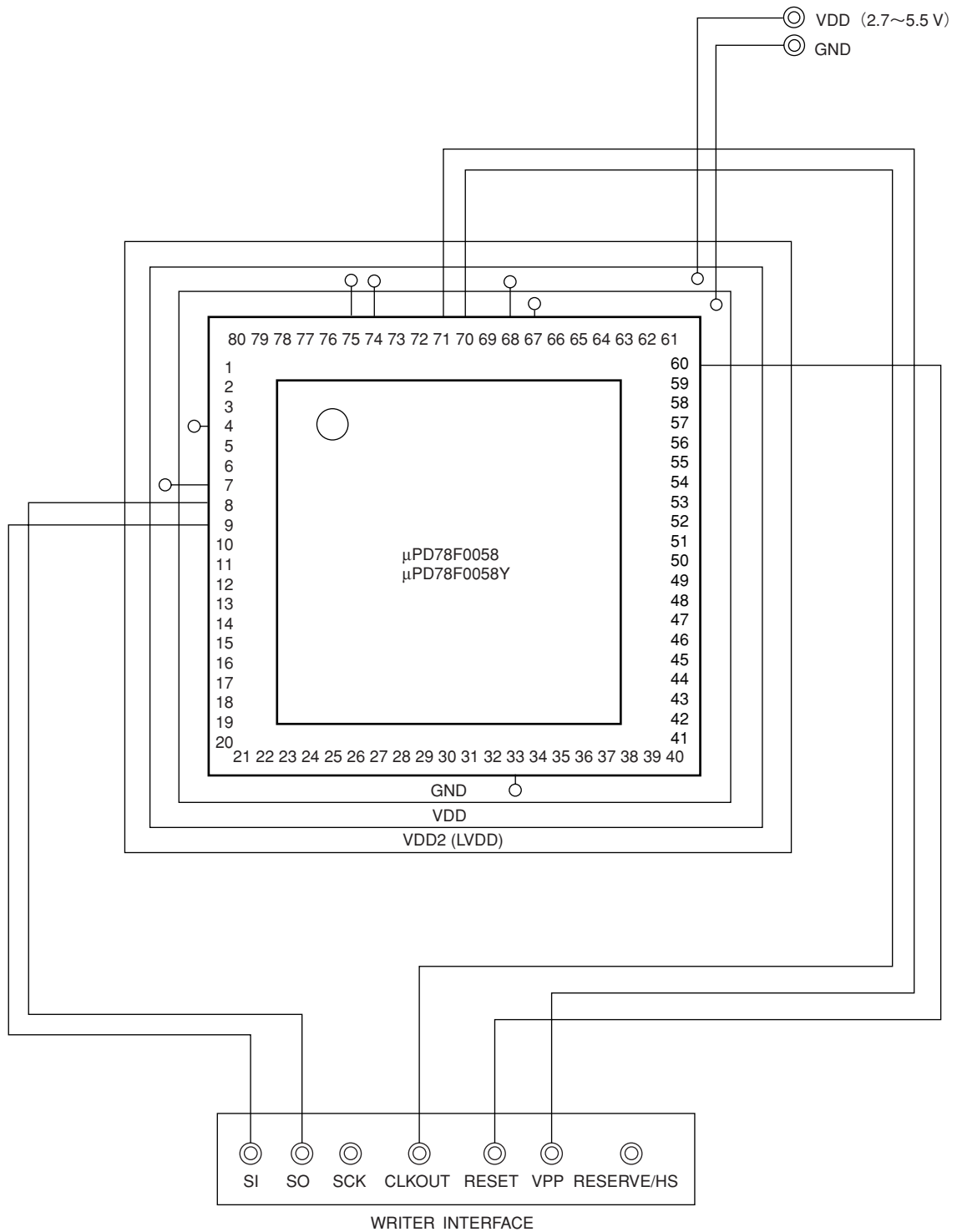


図26-14 UART (UART ch-1)でのフラッシュ書き込み用アダプタ配線例

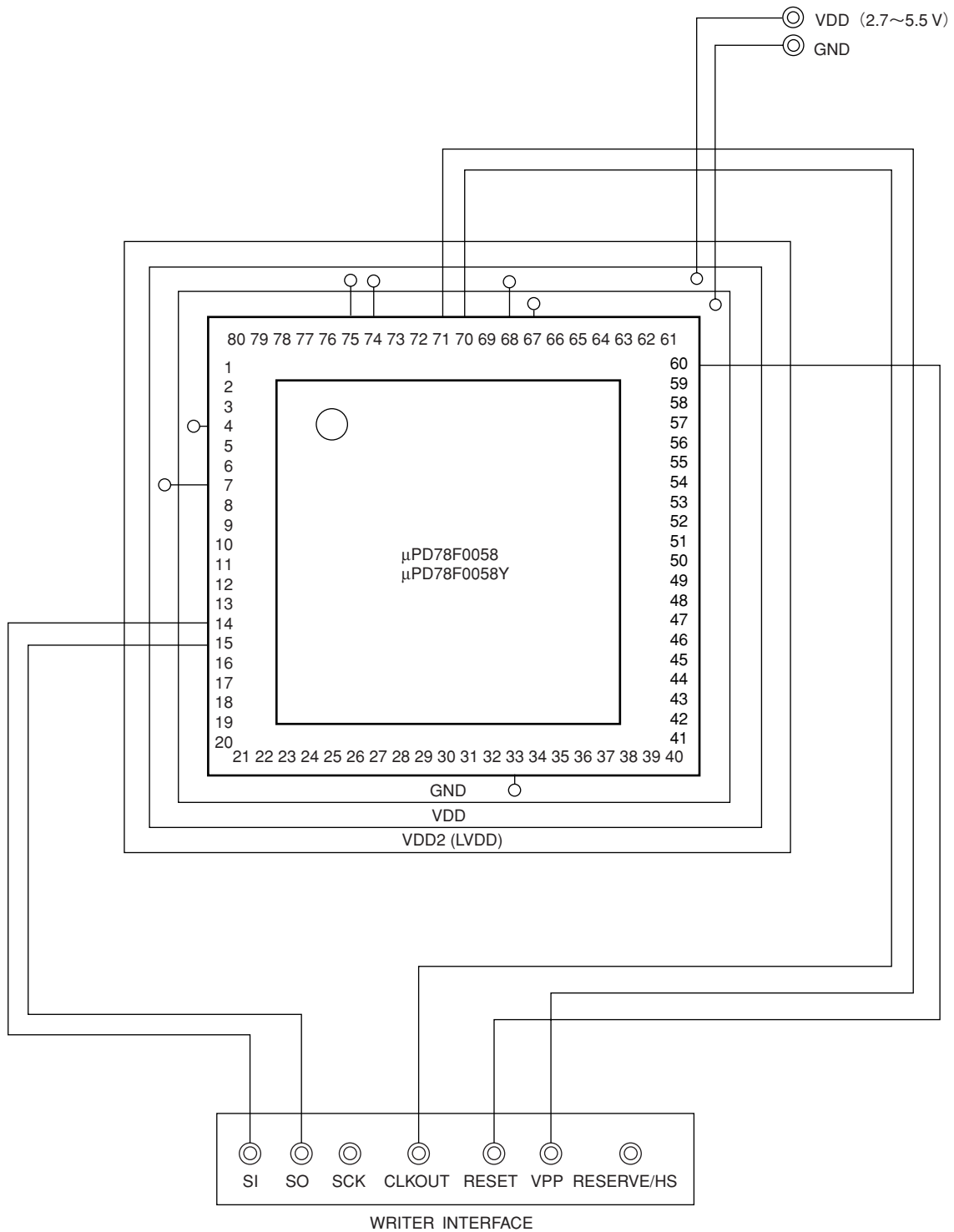
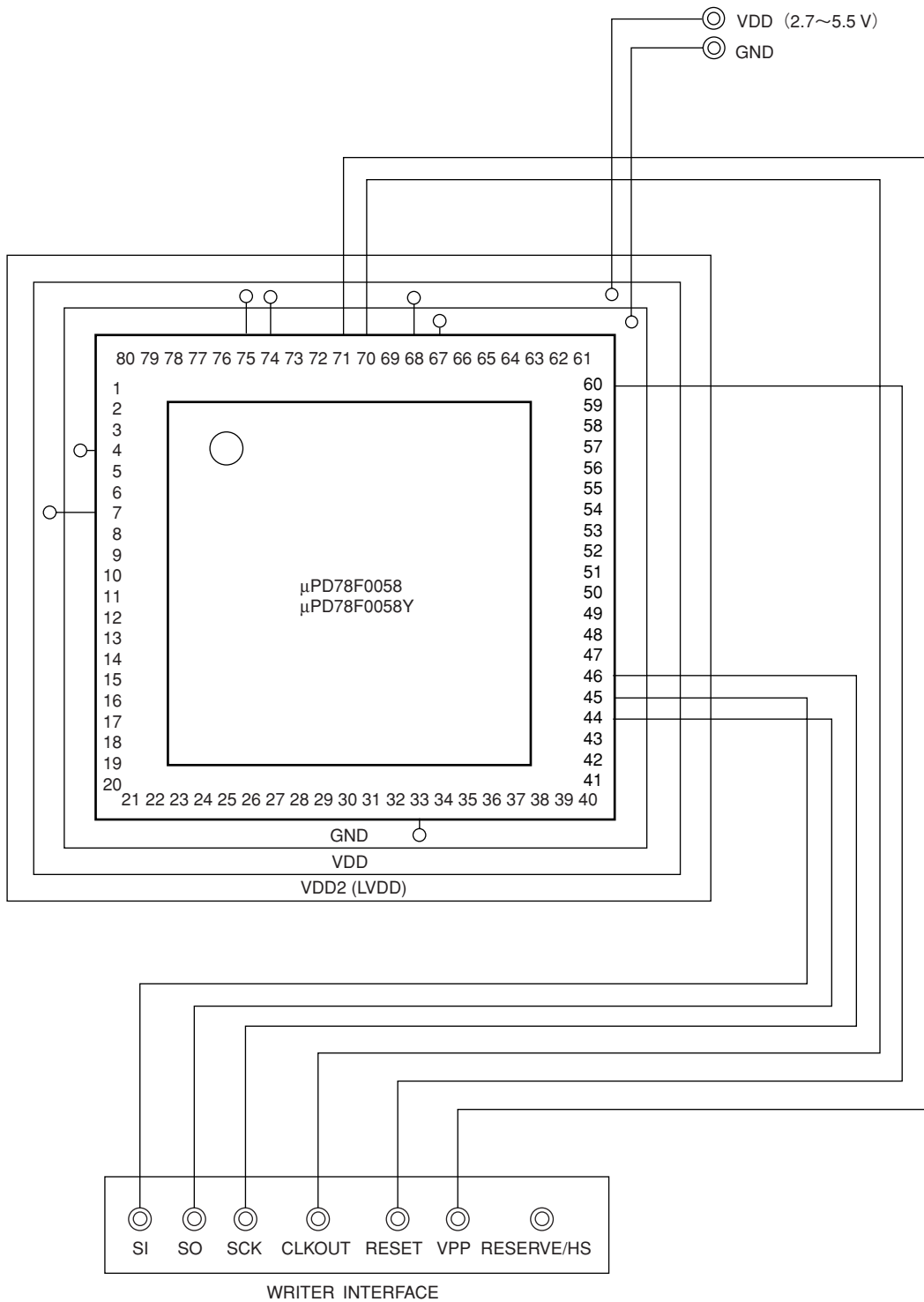


図26-15 疑似3線式でのフラッシュ書き込み用アダプタ配線例



第27章 命令セットの概要

μ PD780058, 780058Yサブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、78K/0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください。

27.1 凡 例

27.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています(詳細は、アセンブラ仕様による)。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・! : 絶対アドレス指定
- ・\$: 相対アドレス指定
- ・[] : 間接アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称(X、A、Cなど)、絶対名称(下表の中のカッコ内の名称、R0、R1、R2など)のいずれの形式でも記述可能です。

表27-1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号(16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミーディエト・データまたはラベル
saddrp	FE20H-FF1FH イミーディエト・データまたはラベル(偶数アドレスのみ)
addr16	0000H-FFFFH イミーディエト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミーディエト・データまたはラベル
addr5	0040H-007FH イミーディエト・データまたはラベル(偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表5-2 特殊機能レジスタ一覧を参照してください。

27.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積(AND)
∨	: 論理和(OR)
⊕	: 排他的論理和(exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ(ディスプレイメント値)

27.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
X	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

27.2 オペレーション一覧

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	—	r←byte			
		saddr, #byte	3	6	7	(saddr)←byte			
		sfr, #byte	3	—	7	sfr←byte			
		A, r <small>注3</small>	1	2	—	A←r			
		r, A <small>注3</small>	1	2	—	r←A			
		A, saddr	2	4	5	A←(saddr)			
		saddr, A	2	4	5	(saddr)←A			
		A, sfr	2	—	5	A←sfr			
		sfr, A	2	—	5	sfr←A			
		A, laddr16	3	8	9+n	A←(addr16)			
		laddr16, A	3	8	9+m	(addr16)←A			
		PSW, #byte	3	—	7	PSW←byte	×	×	×
		A, PSW	2	—	5	A←PSW			
		PSW, A	2	—	5	PSW←A	×	×	×
		A, [DE]	1	4	5+n	A←(DE)			
		[DE], A	1	4	5+m	(DE)←A			
		A, [HL]	1	4	5+n	A←(HL)			
		[HL], A	1	4	5+m	(HL)←A			
		A, [HL+byte]	2	8	9+n	A←(HL+byte)			
		[HL+byte], A	2	8	9+m	(HL+byte)←A			
		A, [HL+B]	1	6	7+n	A←(HL+B)			
		[HL+B], A	1	6	7+m	(HL+B)←A			
A, [HL+C]	1	6	7+n	A←(HL+C)					
[HL+C], A	1	6	7+m	(HL+C)←A					

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (fCPU)の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウェイト数です。
4. mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	ニモニック	オペラント	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	XCH	A, r ^{注3}	1	2	—	A ↔ r			
		A, saddr	2	4	6	A ↔ (saddr)			
		A, sfr	2	—	6	A ↔ sfr			
		A, !addr16	3	8	10+n+m	A ↔ (addr16)			
		A, [DE]	1	4	6+n+m	A ↔ (DE)			
		A, [HL]	1	4	6+n+m	A ↔ (HL)			
		A, [HL+byte]	2	8	10+n+m	A ↔ (HL+byte)			
		A, [HL+B]	2	8	10+n+m	A ↔ (HL+B)			
		A, [HL+C]	2	8	10+n+m	A ↔ (HL+C)			
16ビット・データ転送	MOVW	rp, #word	3	6	—	rp ← word			
		saddrp, #word	4	8	10	(saddrp) ← word			
		sfrp, #word	4	—	10	sfrp ← word			
		AX, saddrp	2	6	8	AX ← (saddrp)			
		saddrp, AX	2	6	8	(saddrp) ← AX			
		AX, sfrp	2	—	8	AX ← sfrp			
		sfrp, AX	2	—	8	sfrp ← AX			
		AX, rp ^{注4}	1	4	—	AX ← rp			
		rp, AX ^{注4}	1	4	—	rp ← AX			
		AX, !addr16	3	10	12+2n	AX ← (addr16)			
		!addr16, AX	3	10	12+2m	(addr16) ← AX			
	XCHW	AX, rp ^{注4}	1	4	—	AX ↔ rp			
8ビット演算	ADD	A, #byte	2	4	—	A, CY ← A + byte	×	×	×
		saddr, #byte	3	6	8	(saddr), CY ← (saddr) + byte	×	×	×
		A, r ^{注3}	2	4	—	A, CY ← A + r	×	×	×
		r, A	2	4	—	r, CY ← r + A	×	×	×
		A, saddr	2	4	5	A, CY ← A + (saddr)	×	×	×
		A, !addr16	3	8	9 + n	A, CY ← A + (addr16)	×	×	×
		A, [HL]	1	4	5 + n	A, CY ← A + (HL)	×	×	×
		A, [HL+byte]	2	8	9 + n	A, CY ← A + (HL+byte)	×	×	×
		A, [HL+B]	2	8	9 + n	A, CY ← A + (HL+B)	×	×	×
		A, [HL+C]	2	8	9 + n	A, CY ← A + (HL+C)	×	×	×

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

4. rp = BC, DE, HLのときのみ。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (fcPU)の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

3. nは外部メモリ拡張領域をリードしたときのウエイト数です。

4. mは外部メモリ拡張領域をライトしたときのウエイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	4	—	A, CY←A+byte+CY	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)+byte+CY	×	×	×
		A, r <small>注3</small>	2	4	—	A, CY←A+r+CY	×	×	×
		r, A	2	4	—	r, CY←r+A+CY	×	×	×
		A, saddr	2	4	5	A, CY←A+(saddr)+CY	×	×	×
		A, !addr16	3	8	9+n	A, CY←A+(addr16)+CY	×	×	×
		A, [HL]	1	4	5+n	A, CY←A+(HL)+CY	×	×	×
		A, [HL+byte]	2	8	9+n	A, CY←A+(HL+byte)+CY	×	×	×
		A, [HL+B]	2	8	9+n	A, CY←A+(HL+B)+CY	×	×	×
		A, [HL+C]	2	8	9+n	A, CY←A+(HL+C)+CY	×	×	×
	SUB	A, #byte	2	4	—	A, CY←A-byte	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)-byte	×	×	×
		A, r <small>注3</small>	2	4	—	A, CY←A-r	×	×	×
		r, A	2	4	—	r, CY←r-A	×	×	×
		A, saddr	2	4	5	A, CY←A-(saddr)	×	×	×
		A, !addr16	3	8	9+n	A, CY←A-(addr16)	×	×	×
		A, [HL]	1	4	5+n	A, CY←A-(HL)	×	×	×
		A, [HL+byte]	2	8	9+n	A, CY←A-(HL+byte)	×	×	×
		A, [HL+B]	2	8	9+n	A, CY←A-(HL+B)	×	×	×
		A, [HL+C]	2	8	9+n	A, CY←A-(HL+C)	×	×	×
	SUBC	A, #byte	2	4	—	A, CY←A-byte-CY	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)-byte-CY	×	×	×
		A, r <small>注3</small>	2	4	—	A, CY←A-r-CY	×	×	×
		r, A	2	4	—	r, CY←r-A-CY	×	×	×
		A, saddr	2	4	5	A, CY←A-(saddr)-CY	×	×	×
		A, !addr16	3	8	9+n	A, CY←A-(addr16)-CY	×	×	×
		A, [HL]	1	4	5+n	A, CY←A-(HL)-CY	×	×	×
		A, [HL+byte]	2	8	9+n	A, CY←A-(HL+byte)-CY	×	×	×
		A, [HL+B]	2	8	9+n	A, CY←A-(HL+B)-CY	×	×	×
		A, [HL+C]	2	8	9+n	A, CY←A-(HL+C)-CY	×	×	×

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r=Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (fcPU)の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

3. nは外部メモリ拡張領域をリードしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	AND	A, #byte	2	4	—	$A \leftarrow A \wedge \text{byte}$	×		
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \wedge \text{byte}$	×		
		A, r <small>注3</small>	2	4	—	$A \leftarrow A \wedge r$	×		
		r, A	2	4	—	$r \leftarrow r \wedge A$	×		
		A, saddr	2	4	5	$A \leftarrow A \wedge (\text{saddr})$	×		
		A, laddr16	3	8	9+n	$A \leftarrow A \wedge (\text{addr16})$	×		
		A, [HL]	1	4	5+n	$A \leftarrow A \wedge (\text{HL})$	×		
		A, [HL+byte]	2	8	9+n	$A \leftarrow A \wedge (\text{HL}+\text{byte})$	×		
		A, [HL+B]	2	8	9+n	$A \leftarrow A \wedge (\text{HL}+B)$	×		
		A, [HL+C]	2	8	9+n	$A \leftarrow A \wedge (\text{HL}+C)$	×		
	OR	A, #byte	2	4	—	$A \leftarrow A \vee \text{byte}$	×		
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×		
		A, r <small>注3</small>	2	4	—	$A \leftarrow A \vee r$	×		
		r, A	2	4	—	$r \leftarrow r \vee A$	×		
		A, saddr	2	4	5	$A \leftarrow A \vee (\text{saddr})$	×		
		A, laddr16	3	8	9+n	$A \leftarrow A \vee (\text{addr16})$	×		
		A, [HL]	1	4	5+n	$A \leftarrow A \vee (\text{HL})$	×		
		A, [HL+byte]	2	8	9+n	$A \leftarrow A \vee (\text{HL}+\text{byte})$	×		
		A, [HL+B]	2	8	9+n	$A \leftarrow A \vee (\text{HL}+B)$	×		
		A, [HL+C]	2	8	9+n	$A \leftarrow A \vee (\text{HL}+C)$	×		
	XOR	A, #byte	2	4	—	$A \leftarrow A \nabla \text{byte}$	×		
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$	×		
		A, r <small>注3</small>	2	4	—	$A \leftarrow A \nabla r$	×		
		r, A	2	4	—	$r \leftarrow r \nabla A$	×		
		A, saddr	2	4	5	$A \leftarrow A \nabla (\text{saddr})$	×		
		A, laddr16	3	8	9+n	$A \leftarrow A \nabla (\text{addr16})$	×		
		A, [HL]	1	4	5+n	$A \leftarrow A \nabla (\text{HL})$	×		
		A, [HL+byte]	2	8	9+n	$A \leftarrow A \nabla (\text{HL}+\text{byte})$	×		
		A, [HL+B]	2	8	9+n	$A \leftarrow A \nabla (\text{HL}+B)$	×		
		A, [HL+C]	2	8	9+n	$A \leftarrow A \nabla (\text{HL}+C)$	×		

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (fcPU)の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

3. nは外部メモリ拡張領域をリードしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	4	—	A-byte	×	×	×
		saddr, #byte	3	6	8	(saddr)-byte	×	×	×
		A, r <small>注3</small>	2	4	—	A-r	×	×	×
		r, A	2	4	—	r-A	×	×	×
		A, saddr	2	4	5	A-(saddr)	×	×	×
		A, laddr16	3	8	9+n	A-(addr16)	×	×	×
		A, [HL]	1	4	5+n	A-(HL)	×	×	×
		A, [HL+byte]	2	8	9+n	A-(HL+byte)	×	×	×
		A, [HL+B]	2	8	9+n	A-(HL+B)	×	×	×
A, [HL+C]	2	8	9+n	A-(HL+C)	×	×	×		
16ビット演算	ADDW	AX, #word	3	6	—	AX, CY←AX+word	×	×	×
	SUBW	AX, #word	3	6	—	AX, CY←AX-word	×	×	×
	CMPW	AX, #word	3	6	—	AX-word	×	×	×
乗除算	MULU	X	2	16	—	AX←A×X			
	DIVUW	C	2	25	—	AX(商), C(余り)←AX÷C			
増減	INC	r	1	2	—	r←r+1	×	×	
		saddr	2	4	6	(saddr)←(saddr)+1	×	×	
	DEC	r	1	2	—	r←r-1	×	×	
		saddr	2	4	6	(saddr)←(saddr)-1	×	×	
	INCW	rp	1	4	—	rp←rp+1			
DECW	rp	1	4	—	rp←rp-1				
ローテート	ROR	A, 1	1	2	—	(CY, A7←A0, Am-1←Am)×1回			×
	ROL	A, 1	1	2	—	(CY, A0←A7, Am+1←Am)×1回			×
	RORC	A, 1	1	2	—	(CY←A0, A7←CY, Am-1←Am)×1回			×
	ROLC	A, 1	1	2	—	(CY←A7, A0←CY, Am+1←Am)×1回			×
	ROR4	[HL]	2	10	12+n+m	A3-0←(HL)3-0, (HL)7-4←A3-0, (HL)3-0←(HL)7-4			
	ROL4	[HL]	2	10	12+n+m	A3-0←(HL)7-4, (HL)3-0←A3-0, (HL)7-4←(HL)3-0			
BCD補正	ADJBA		2	4	—	Decimal Adjust Accumulator after Addition	×	×	×
	ADJBS		2	4	—	Decimal Adjust Accumulator after Subtract	×	×	×

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (fCPU)の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウエイト数です。
4. mは外部メモリ拡張領域をライトしたときのウエイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY←(saddr.bit)			×
		CY, sfr.bit	3	—	7	CY←sfr.bit			×
		CY, A.bit	2	4	—	CY←A.bit			×
		CY, PSW.bit	3	—	7	CY←PSW.bit			×
		CY, [HL].bit	2	6	7+n	CY←(HL).bit			×
		saddr.bit, CY	3	6	8	(saddr.bit)←CY			
		sfr.bit, CY	3	—	8	sfr.bit←CY			
		A.bit, CY	2	4	—	A.bit←CY			
		PSW.bit, CY	3	—	8	PSW.bit←CY	×	×	
		[HL].bit, CY	2	6	8+n+m	(HL).bit←CY			
	AND1	CY, saddr.bit	3	6	7	CY←CY ∧ (saddr.bit)			×
		CY, sfr.bit	3	—	7	CY←CY ∧ sfr.bit			×
		CY, A.bit	2	4	—	CY←CY ∧ A.bit			×
		CY, PSW.bit	3	—	7	CY←CY ∧ PSW.bit			×
		CY, [HL].bit	2	6	7+n	CY←CY ∧ (HL).bit			×
	OR1	CY, saddr.bit	3	6	7	CY←CY ∨ (saddr.bit)			×
		CY, sfr.bit	3	—	7	CY←CY ∨ sfr.bit			×
		CY, A.bit	2	4	—	CY←CY ∨ A.bit			×
		CY, PSW.bit	3	—	7	CY←CY ∨ PSW.bit			×
		CY, [HL].bit	2	6	7+n	CY←CY ∨ (HL).bit			×
	XOR1	CY, saddr.bit	3	6	7	CY←CY ⊕ (saddr.bit)			×
		CY, sfr.bit	3	—	7	CY←CY ⊕ sfr.bit			×
		CY, A.bit	2	4	—	CY←CY ⊕ A.bit			×
		CY, PSW.bit	3	—	7	CY←CY ⊕ PSW.bit			×
		CY, [HL].bit	2	6	7+n	CY←CY ⊕ (HL).bit			×
	SET1	saddr.bit	2	4	6	(saddr.bit)← 1			
		sfr.bit	3	—	8	sfr.bit← 1			
		A.bit	2	4	—	A.bit← 1			
		PSW.bit	2	—	6	PSW.bit← 1	×	×	×
		[HL].bit	2	6	8+n+m	(HL).bit← 1			

注 1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考 1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (fCPU)の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

3. nは外部メモリ拡張領域をリードしたときのウェイト数です。

4. mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	CLR1	saddr.bit	2	4	6	(saddr.bit) ← 0			
		sfr.bit	3	—	8	sfr.bit ← 0			
		A.bit	2	4	—	A.bit ← 0			
		PSW.bit	2	—	6	PSW.bit ← 0	×	×	×
		[HL].bit	2	6	8+n+m	(HL).bit ← 0			
	SET1	CY	1	2	—	CY ← 1			1
	CLR1	CY	1	2	—	CY ← 0			0
NOT1	CY	1	2	—	CY ← \overline{CY}			×	
コール・リターン	CALL	laddr16	3	7	—	(SP-1) ← (PC+3) _H , (SP-2) ← (PC+3) _L , PC ← addr16, SP ← SP-2			
	CALLF	laddr11	2	5	—	(SP-1) ← (PC+2) _H , (SP-2) ← (PC+2) _L , PC ₁₅₋₁₁ ← 00001, PC ₁₀₋₀ ← addr11, SP ← SP-2			
	CALLT	[addr5]	1	6	—	(SP-1) ← (PC+1) _H , (SP-2) ← (PC+1) _L , PC _H ← (00000000, addr5+1), PC _L ← (00000000, addr5), SP ← SP-2			
	BRK		1	6	—	(SP-1) ← PSW, (SP-2) ← (PC+1) _H , (SP-3) ← (PC+1) _L , PC _H ← (003FH), PC _L ← (003EH), SP ← SP-3, IE ← 0			
	RET		1	6	—	PC _H ← (SP+1), PC _L ← (SP), SP ← SP+2			
	RETI		1	6	—	PC _H ← (SP+1), PC _L ← (SP), PSW ← (SP+2), SP ← SP+3, NMIS ← 0	R	R	R
	RETB		1	6	—	PC _H ← (SP+1), PC _L ← (SP), PSW ← (SP+2), SP ← SP+3	R	R	R
スタック操作	PUSH	PSW	1	2	—	(SP-1) ← PSW, SP ← SP-1			
		rp	1	4	—	(SP-1) ← rp _H , (SP-2) ← rp _L , SP ← SP-2			
	POP	PSW	1	2	—	PSW ← (SP), SP ← SP+1	R	R	R
		rp	1	4	—	rp _H ← (SP+1), rp _L ← (SP), SP ← SP+2			
	MOVW	SP, #word	4	—	10	SP ← word			
		SP, AX	2	—	8	SP ← AX			
AX, SP		2	—	8	AX ← SP				

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (fcPU)の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

3. nは外部メモリ拡張領域をリードしたときのウェイト数です。

4. mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注 1	注 2		Z	AC	CY	
無条件分岐	BR	laddr16	3	6	—	PC←addr16				
		\$addr16	2	6	—	PC←PC+2+jdisp8				
		AX	2	8	—	PC _H ←A, PC _L ←X				
条件付き分岐	BC	\$addr16	2	6	—	PC←PC+2+jdisp8 if CY = 1				
	BNC	\$addr16	2	6	—	PC←PC+2+jdisp8 if CY = 0				
	BZ	\$addr16	2	6	—	PC←PC+2+jdisp8 if Z = 1				
	BNZ	\$addr16	2	6	—	PC←PC+2+jdisp8 if Z = 0				
	BT	saddr.bit, \$addr16	3	8	9	—	PC←PC+3+jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	—	11	—	PC←PC+4+jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	—	—	PC←PC+3+jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	—	9	—	PC←PC+3+jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11+n	—	PC←PC+3+jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	—	PC←PC+4+jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	—	11	—	PC←PC+4+jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	—	—	PC←PC+3+jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	—	11	—	PC←PC+4+jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11+n	—	PC←PC+3+jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	—	PC←PC+4+jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	—	12	—	PC←PC+4+jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	—	—	PC←PC+3+jdisp8 if A.bit = 1 then reset A.bit			
PSW.bit, \$addr16		4	—	12	—	PC←PC+4+jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×	
[HL].bit, \$addr16		3	10	12+n+m	—	PC←PC+3+jdisp8 if (HL).bit = 1 then reset (HL).bit				

注 1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考 1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(fCPU)の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

3. nは外部メモリ拡張領域をリードしたときのウエイト数です。

4. mは外部メモリ拡張領域をライトしたときのウエイト数です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	—	B←B-1, then PC←PC+2+jdisp8 if B ≠ 0			
		C, \$addr16	2	6	—	C←C-1, then PC←PC+2+jdisp8 if C ≠ 0			
		saddr, \$addr16	3	8	10	(saddr)←(saddr)-1, then PC←PC+3+jdisp8 if (saddr) ≠ 0			
CPU制御	SEL	RBn	2	4	—	RBS1, 0←n			
	NOP		1	2	—	No Operation			
	EI		2	—	6	IE←1 (Enable Interrupt)			
	DI		2	—	6	IE←0 (Disable Interrupt)			
	HALT		2	6	—	Set HALT Mode			
	STOP		2	6	—	Set STOP Mode			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (fcPU)の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

27.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	laddr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
laddr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL+byte] [HL+B] [HL+C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	laddr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
laddr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令/分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド 第1オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第28章 電気的特性(マスクROM製品)

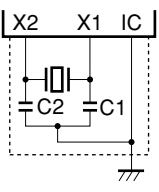
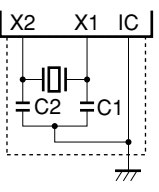
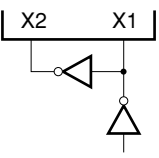
絶対最大定格 (T_A = 25 °C)

項目	略号	条件		定格	単位
電源電圧	V _{DD}			-0.3~+6.5	V
	AV _{REF0}			-0.3~V _{DD} +0.3	V
	AV _{REF1}			-0.3~V _{DD} +0.3	V
	AV _{SS}			-0.3~+0.3	V
入力電圧	V _{I1}	P00-P05, P07, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131, X1, X2, XT2, RESET		-0.3~V _{DD} +0.3	V
	V _{I2}	P60-P63	N-chオープン・ドレイン	-0.3~+16	V
出力電圧	V _O			-0.3~V _{DD} +0.3	V
アナログ入力電圧	V _{AN}	P10-P17	アナログ入力端子	AV _{SS} -0.3~AV _{REF0} +0.3	V
ハイ・レベル出力電流	I _{OH}	1端子		-10	mA
		P01-P05, P30-P37, P56, P57, P60-P67, P120-P127合計		-15	mA
		P10-P17, P20-P27, P40-P47, P50-P55, P70-P72, P130, P131合計		-15	mA
ロウ・レベル出力電流	I _{OL} ^注	P50-P57, P60-P63以外 1端子	ピーク値	20	mA
			実効値	15	mA
		P50-P57, P60-P63 1端子	ピーク値	30	mA
			実効値	10	mA
		P50-P55合計	ピーク値	100	mA
			実効値	70	mA
		P56, P57, P60-P63合計	ピーク値	100	mA
			実効値	70	mA
		P10-P17, P20-P27, P40-P47, P70-P72, P130, P131合計	ピーク値	50	mA
			実効値	20	mA
		P01-P05, P30-P37, P64-P67, P120-P127合計	ピーク値	50	mA
			実効値	20	mA
動作周囲温度	T _A			-40~+85	°C
保存温度	T _{stg}			-65~+150	°C

注 実効値は[実効値] = [ピーク値]×√デューティで計算してください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

メイン・システム・クロック発振回路特性 (TA = -40~+85 °C, VDD = 1.8~5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 発振電圧範囲	1.0		5.0	MHz
		発振安定時間注2	VDDが発振電圧範囲のMIN. に達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		1.0		5.0	MHz
		発振安定時間注2	VDD = 4.5~5.5 V			10	ms
			VDD = 1.8~5.5 V			30	
外部 クロック		X1入力周波数 (fx) 注1		1.0		5.0	MHz
		X1入力ハイ、ロウ・ レベル幅 (txH, txL)		85		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。

2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

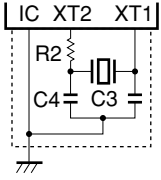
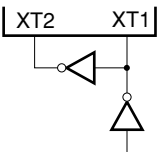
注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常にVSS1と同電位になるようにする。
- 大電流が流れるグラウンド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

サブシステム・クロック発振回路特性 (TA = -40~+85 °C, VDD = 1.8~5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f _{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}	V _{DD} = 4.5~5.5 V		1.2	2	s
			V _{DD} = 1.8~5.5 V			10	
外部 クロック		XT1入力周波数 (f _{XT}) ^{注1}		32		35	kHz
		XT1入力ハイ、ロウ・ レベル幅 (t _{XTH} , t _{XTL})		12		15	μs

注1. 発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。

2. V_{DD}が発振電圧範囲のMIN. に達したあと、発振が安定するのに必要な時間です。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常にV_{SS1}と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズによる誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

容 量 (TA = 25 °C, VDD = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
入力容量	C _{IN}	f = 1 MHz 被測定端子以外は0 V			15	pF	
入出力容量	C _{IO}	f = 1 MHz 被測定端子以外は0 V	P01-P05, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131			15	pF
			P60-P63			20	pF

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40~+85 °C, VDD = 1.8~5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル 入力電圧	VIH1	P10-P17, P21, P23, P30- P32, P35-P37, P40-P47, P50-P57, P64-P67, P71, P120-P127, P130, P131	VDD = 2.7~5.5 V	0.7 VDD		VDD	V
			VDD = 1.8~5.5 V	0.8 VDD		VDD	V
	VIH2	P00-P05, P20, P22, P24- P27, P33, P34, P70, P72, $\overline{\text{RESET}}$	VDD = 2.7~5.5 V	0.8 VDD		VDD	V
			VDD = 1.8~5.5 V	0.85 VDD		VDD	V
	VIH3	P60-P63 (N-chオープン・ドレイン)	VDD = 2.7~5.5 V	0.7 VDD		15	V
			VDD = 1.8~5.5 V	0.8 VDD		15	V
	VIH4	X1, X2	VDD = 2.7~5.5 V	VDD-0.5		VDD	V
			VDD = 1.8~5.5 V	VDD-0.2		VDD	V
	VIH5	XT1/P07, XT2	4.5 V ≤ VDD ≤ 5.5 V	0.8 VDD		VDD	V
			2.7 V ≤ VDD < 4.5 V	0.9 VDD		VDD	V
			1.8 V ≤ VDD < 2.7 V ^注	0.9 VDD		VDD	V
	ロウ・レベル 入力電圧	VIL1	P10-P17, P21, P23, P30- P32, P35-P37, P40-P47, P50-P57, P64-P67, P71, P120-P127, P130, P131	VDD = 2.7~5.5 V	0		0.3 VDD
VDD = 1.8~5.5 V				0		0.2 VDD	V
VIL2		P00-P05, P20, P22, P24- P27, P33, P34, P70, P72, $\overline{\text{RESET}}$	VDD = 2.7~5.5 V	0		0.2 VDD	V
			VDD = 1.8~5.5 V	0		0.15 VDD	V
VIL3		P60-P63	4.5 V ≤ VDD ≤ 5.5 V	0		0.3 VDD	V
			2.7 V ≤ VDD < 4.5 V	0		0.2 VDD	V
			1.8 V ≤ VDD < 2.7 V	0		0.1 VDD	V
VIL4		X1, X2	VDD = 2.7~5.5 V	0		0.4	V
			VDD = 1.8~5.5 V	0		0.2	V
VIL5		XT1/P07, XT2	4.5 V ≤ VDD ≤ 5.5 V	0		0.2 VDD	V
			2.7 V ≤ VDD < 4.5 V	0		0.1 VDD	V
			1.8 V ≤ VDD < 2.7 V ^注	0		0.1 VDD	V
ハイ・レベル 出力電圧	VOH	VDD = 4.5~5.5 V, IOH = -1 mA	VDD-1.0			V	
		VDD = 1.8~5.5 V, IOH = -100 μA	VDD-0.5			V	

注 P07/XT1端子をP07として使用する場合は、インバータを用いてXT2端子にP07の逆相を入力してください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40~+85 °C, VDD = 1.8~5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル 出力電圧	VOL1	P50-P57, P60-P63	VDD = 4.5~5.5 V, IOL = 15 mA		0.4	2.0	V
		P01-P05, P10-P17, P20-P27, P30-P37, P40-P47, P64-P67, P70-P72, P120-P127, P130, P131	VDD = 4.5~5.5 V, IOL = 1.6 mA			0.4	V
	VOL2	SB0, SB1, SCK0	VDD = 4.5~5.5 V, オープン・ドレイン, プルアップ時(R = 1 kΩ)			0.2 VDD	V
	VOL3	IOL = 400 μA				0.5	V
ハイ・レベル 入力リーク電流	LIH1	VIN = VDD	P00-P05, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, P70-P72, P120-P127, P130, P131, RESET			3	μA
	LIH2		X1, X2, XT1/P07, XT2			20	μA
	LIH3	VIN = 15 V	P60-P63			80	μA
ロウ・レベル 入力リーク電流	LI L1	VIN = 0 V	P00-P05, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131, RESET			-3	μA
	LI L2		X1, X2, XT1/P07, XT2			-20	μA
	LI L3		P60-P63			-3 ^注	μA
マスク・オプション・ プルアップ抵抗	R1	VIN = 0 V, P60-P63		20	40	120	kΩ
ソフトウェア・ プルアップ抵抗	R2	VIN = 0 V, P01-P05, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131		15	30	90	kΩ

注 P60-P63にプルアップ抵抗を内蔵しない場合(マスク・オプションにより指定), ポート6 (P6), ポート・モード・レジスタ6 (PM6)に対して読み出し命令を実行したときの1.5クロック間(ノー・ウエイト時)のみ, ロウ・レベル入力リーク電流が-200 μA(MAX.)流れます。読み出し命令実行時の1.5クロック間以外では-3 μA(MAX.)です。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40~+85 °C, VDD = 1.8~5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル 出力電流	I _{OH}	1 端子			-1	mA
		全端子			-15	mA
ロウ・レベル 出力電流	I _{OL}	P01-P05, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131 1 端子			10	mA
		P50-P57, P60-P63 1 端子			15	mA
		P10-P17, P20-P27, P40-P47, P70-P72, P130, P131 合計			10	mA
		P01-P05, P30-P37, P64-P67, P120-P127 合計			10	mA
		P50-P57, P60-P63 合計			70	mA

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40~+85 °C, VDD = 1.8~5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位			
電源電流 ^{注5}	I _{DD1}	5.0 MHz水晶発振動作モード (f _{xx} = 2.5 MHz) ^{注3}	V _{DD} = 5.0 V ± 10 % ^{注1}		3.5	7.7	mA		
			V _{DD} = 3.0 V ± 10 % ^{注2}		0.92	2.2	mA		
			V _{DD} = 2.0 V ± 10 % ^{注2}		0.47	1.2	mA		
		5.0 MHz水晶発振動作モード (f _{xx} = 5.0 MHz) ^{注4}	V _{DD} = 5.0 V ± 10 % ^{注1}		6.1	12.3	mA		
			V _{DD} = 3.0 V ± 10 % ^{注2}		1.6	3.5	mA		
	I _{DD2}	5.0 MHz水晶発振HALTモード (f _{xx} = 2.5 MHz) ^{注3}	V _{DD} = 5.0 V ± 10 %	周辺機能動作時			5.5	mA	
				周辺機能非動作時		0.97	2.4	mA	
			V _{DD} = 3.0 V ± 10 %	周辺機能動作時			2.1	mA	
				周辺機能非動作時		0.38	0.92	mA	
			V _{DD} = 2.0 V ± 10 %	周辺機能動作時			1.1	mA	
				周辺機能非動作時		0.19	0.46	mA	
		5.0 MHz水晶発振HALTモード (f _{xx} = 5.0 MHz) ^{注4}	V _{DD} = 5.0 V ± 10 %	周辺機能動作時			7.5	mA	
				周辺機能非動作時		1.2	2.9	mA	
			V _{DD} = 3.0 V ± 10 %	周辺機能動作時			3.3	mA	
				周辺機能非動作時		0.48	1.2	mA	
			I _{DD3}	32.768 kHz 水晶発振動作モード ^{注6}	V _{DD} = 5.0 V ± 10 %		46	92	μA
					V _{DD} = 3.0 V ± 10 %		25	50	μA
	V _{DD} = 2.0 V ± 10 %				12.5	25	μA		
	I _{DD4}	32.768 kHz 水晶発振HALTモード ^{注6}	V _{DD} = 5.0 V ± 10 %		22.5	50	μA		
V _{DD} = 3.0 V ± 10 %				3.2	13.2	μA			
V _{DD} = 2.0 V ± 10 %				1.5	11.5	μA			
I _{DD5}	XT1 = V _{DD} STOPモード フィードバック抵抗使用時	V _{DD} = 5.0 V ± 10 %		1.0	30	μA			
		V _{DD} = 3.0 V ± 10 %		0.5	10	μA			
		V _{DD} = 2.0 V ± 10 %		0.3	10	μA			
I _{DD6}	XT1 = V _{DD} STOPモード フィードバック抵抗非使用時	V _{DD} = 5.0 V ± 10 %		0.1	30	μA			
		V _{DD} = 3.0 V ± 10 %		0.05	10	μA			
		V _{DD} = 2.0 V ± 10 %		0.05	10	μA			

- 注1. 高速モード動作時(プロセッサ・クロック・コントロール・レジスタ(PCC)を00Hに設定したとき)。
 2. 低速モード動作時(PCCを04Hに設定したとき)。
 3. メイン・システム・クロックf_{xx} = f_x/2動作時(発振モード選択レジスタ(OSMS)を00Hに設定したとき)。
 4. メイン・システム・クロックf_{xx} = f_x動作時(OSMSを01Hに設定したとき)。
 5. V_{DD0}およびV_{DD1}端子に流れる電流です。ただし、A/Dコンバータ、D/Aコンバータおよび内蔵プルアップ抵抗に流れる電流は含みません。
 6. メイン・システム・クロックの動作を停止させたとき。

AC特性

(1) 基本動作 (TA = -40~+85 °C, VDD = 1.8~5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	TCY	メイン・システム・クロックで動作 (fxx = 2.5 MHz)注1	VDD = 2.7~5.5 V	0.8		64	μs
			VDD = 1.8~5.5 V	2.0		64	μs
	メイン・システム・クロックで動作 (fxx = 5.0 MHz)注2	3.5 V ≤ VDD ≤ 5.5 V	0.4		32	μs	
		2.7 V ≤ VDD < 3.5 V	0.8		32	μs	
		サブシステム・クロックで動作		40注3	122	125	μs
TI00入力 ハイ、ロウ・レベル幅	tTIH00	3.5 V ≤ VDD ≤ 5.5 V		2/fsam+0.1注4			μs
	tTIL00	2.7 V ≤ VDD < 3.5 V		2/fsam+0.2注4			μs
		1.8 V ≤ VDD < 2.7 V		2/fsam+0.5注4			μs
TI01入力 ハイ、ロウ・レベル幅	tTIH01	VDD = 2.7~5.5 V		10			μs
	tTIL01	VDD = 1.8~5.5 V		20			μs
TI1, TI2入力周波数	fTI1	VDD = 4.5~5.5 V		0		4	MHz
		VDD = 1.8~5.5 V		0		275	kHz
TI1, TI2 ハイ、ロウ・レベル幅	tTIH1	VDD = 4.5~5.5 V		100			ns
	tTIL1	VDD = 1.8~5.5 V		1.8			μs
割り込み要求入力 ハイ、ロウ・レベル幅	tINTH	INTP0	3.5 V ≤ VDD ≤ 5.5 V	2/fsam+0.1注4			μs
			2.7 V ≤ VDD < 3.5 V	2/fsam+0.2注4			μs
			1.8 V ≤ VDD < 2.7 V	2/fsam+0.5注4			μs
	tINTL	INTP1-INTP5, P40-P47	VDD = 2.7~5.5 V	10			μs
			VDD = 1.8~5.5 V	20			μs
RESET ロウ・レベル幅	tRSL	VDD = 2.7~5.5 V		10			μs
		VDD = 1.8~5.5 V		20			μs

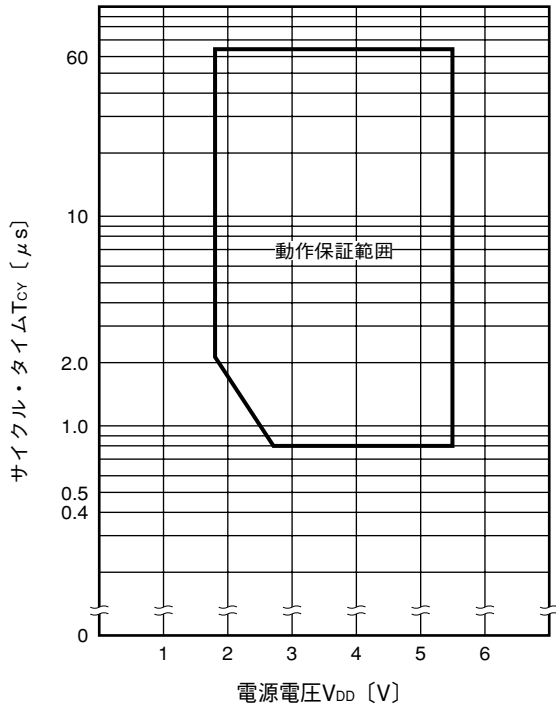
注1. メイン・システム・クロック fxx = fx/2動作時(発振モード選択レジスタ(OSMS)を00Hに設定したとき)

2. メイン・システム・クロック fxx = fx動作時(OSMSを01Hに設定したとき)

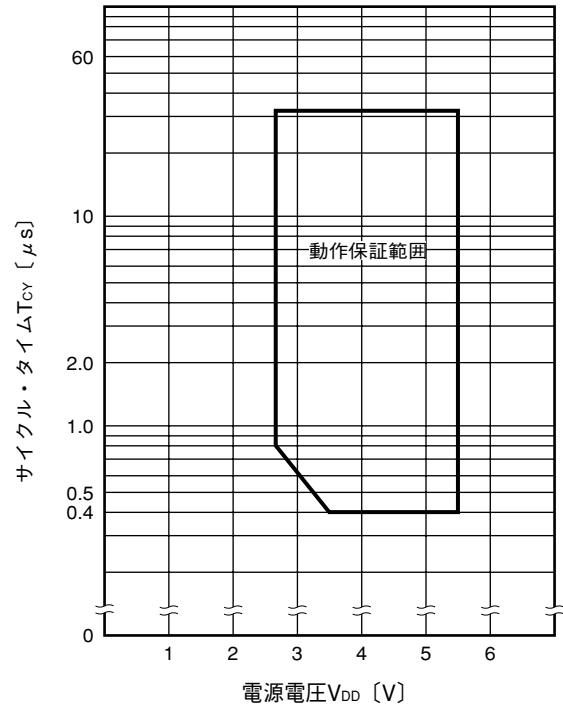
3. 外部クロック使用時の値です。水晶振動子使用時は114 μs(MIN.)です。

4. サンプリング・クロック選択レジスタ(SCS)のビット0, 1(SCS0, SCS1)により, fsam = fxx/2^N, fxx/32, fxx/64, fxx/128の選択が可能です(N = 0-4)。

T_{CY} vs V_{DD} (メイン・システム・クロック $f_{XX} = f_X/2$ 動作時)



T_{CY} vs V_{DD} (メイン・システム・クロック $f_{XX} = f_X$ 動作時)



(2) リード/ライト・オペレーション

(a) MCS = 1, PCC2-PCC0 = 000Bのとき ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 3.5 \sim 5.5 \text{ V}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
ASTBハイ・レベル幅	t _{ASTH}		0.85t _{cy} -50		ns
アドレス・セットアップ時間	t _{ADS}		0.85t _{cy} -50		ns
アドレス・ホールド時間	t _{ADH}		50		ns
アドレス→データ入力時間	t _{ADD1}			(2.85+2n)t _{cy} -80	ns
	t _{ADD2}			(4+2n)t _{cy} -100	ns
$\overline{\text{RD}} \downarrow \rightarrow$ データ入力時間	t _{RDD1}			(2+2n)t _{cy} -100	ns
	t _{RDD2}			(2.85+2n)t _{cy} -100	ns
リード・データ・ホールド時間	t _{RDH}		0		ns
$\overline{\text{RD}}$ ロウ・レベル幅	t _{RDL1}		(2+2n)t _{cy} -60		ns
	t _{RDL2}		(2.85+2n)t _{cy} -60		ns
$\overline{\text{RD}} \downarrow \rightarrow \overline{\text{WAIT}} \downarrow$ 入力時間	t _{RDWT1}			0.85t _{cy} -50	ns
	t _{RDWT2}			2t _{cy} -60	ns
$\overline{\text{WR}} \downarrow \rightarrow \overline{\text{WAIT}} \downarrow$ 入力時間	t _{WRWT}			2t _{cy} -60	ns
$\overline{\text{WAIT}}$ ロウ・レベル幅	t _{WTL}		(1.15+2n)t _{cy}	(2+2n)t _{cy}	ns
ライト・データ・セットアップ時間	t _{WDS}		(2.85+2n)t _{cy} -100		ns
ライト・データ・ホールド時間	t _{WDH}		20		ns
$\overline{\text{WR}}$ ロウ・レベル幅	t _{WRL}		(2.85+2n)t _{cy} -60		ns
ASTB $\downarrow \rightarrow \overline{\text{RD}} \downarrow$ 遅延時間	t _{ASTRD}		25		ns
ASTB $\downarrow \rightarrow \overline{\text{WR}} \downarrow$ 遅延時間	t _{ASTWR}		0.85t _{cy} +20		ns
外部フェッチ時 $\overline{\text{RD}} \uparrow \rightarrow \text{ASTB} \uparrow$ 遅延時間	t _{RDAST}		0.85t _{cy} -10	1.15t _{cy} +20	ns
外部フェッチ時 $\overline{\text{RD}} \uparrow \rightarrow$ アドレス・ホールド時間	t _{RDADH}		0.85t _{cy} -50	1.15t _{cy} +50	ns
$\overline{\text{RD}} \uparrow \rightarrow$ ライト・データ出力時間	t _{RDWD}		40		ns
$\overline{\text{WR}} \downarrow \rightarrow$ ライト・データ出力時間	t _{WRWD}		0	50	ns
$\overline{\text{WR}} \uparrow \rightarrow$ アドレス・ホールド時間	t _{WRADH}		0.85t _{cy}	1.15t _{cy} +40	ns
$\overline{\text{WAIT}} \uparrow \rightarrow \overline{\text{RD}} \uparrow$ 遅延時間	t _{WTRD}		1.15t _{cy} +40	3.15t _{cy} +40	ns
$\overline{\text{WAIT}} \uparrow \rightarrow \overline{\text{WR}} \uparrow$ 遅延時間	t _{WTWR}		1.15t _{cy} +30	3.15t _{cy} +30	ns

備考1. MCS：発振モード選択レジスタ(OSMS)のビット0

2. PCC2-PCC0：プロセッサ・クロック・コントロール・レジスタ(PCC)のビット2-0

3. t_{cy} = T_{cy}/4

4. nはウエイト数を示します。

(b) MCS = 0またはPCC2-PCC0≠000Bのとき (TA = -40~+85 °C, VDD = 2.7~5.5 V)

項 目	略 号	条 件	MIN.	MAX.	単 位
ASTBハイ・レベル幅	t _{ASTH}		t _{cy} -80		ns
アドレス・セットアップ時間	t _{ADS}		t _{cy} -80		ns
アドレス・ホールド時間	t _{ADH}		0.4t _{cy} -10		ns
アドレス→データ入力時間	t _{ADD1}			(3+2n)t _{cy} -160	ns
	t _{ADD2}			(4+2n)t _{cy} -200	ns
\overline{RD} ↓ →データ入力時間	t _{RD1}			(1.4+2n)t _{cy} -70	ns
	t _{RD2}			(2.4+2n)t _{cy} -70	ns
リード・データ・ホールド時間	t _{RDH}		0		ns
\overline{RD} ロウ・レベル幅	t _{RDL1}		(1.4+2n)t _{cy} -20		ns
	t _{RDL2}		(2.4+2n)t _{cy} -20		ns
\overline{RD} ↓ → \overline{WAIT} ↓ 入力時間	t _{RDWT1}			t _{cy} -100	ns
	t _{RDWT2}			2t _{cy} -100	ns
\overline{WR} ↓ → \overline{WAIT} ↓ 入力時間	t _{WRWT}			2t _{cy} -100	ns
\overline{WAIT} ロウ・レベル幅	t _{WTL}		(1+2n)t _{cy}	(2+2n)t _{cy}	ns
ライト・データ・セットアップ時間	t _{WDS}		(2.4+2n)t _{cy} -60		ns
ライト・データ・ホールド時間	t _{WDH}		20		ns
\overline{WR} ロウ・レベル幅	t _{WRL}		(2.4+2n)t _{cy} -20		ns
ASTB ↓ → \overline{RD} ↓ 遅延時間	t _{ASTRD}		0.4t _{cy} -30		ns
ASTB ↓ → \overline{WR} ↓ 遅延時間	t _{ASTWR}		1.4t _{cy} -30		ns
外部フェッチ時 \overline{RD} ↑ →ASTB ↑ 遅延時間	t _{RDAST}		t _{cy} -10	t _{cy} +20	ns
外部フェッチ時 \overline{RD} ↑ →アドレス・ホールド時間	t _{RDADH}		t _{cy} -50	t _{cy} +50	ns
\overline{RD} ↑ →ライト・データ出力時間	t _{RDWD}		0.4t _{cy} -20		ns
\overline{WR} ↓ →ライト・データ出力時間	t _{WRWD}		0	60	ns
\overline{WR} ↑ →アドレス・ホールド時間	t _{WRADH}		t _{cy}	t _{cy} +60	ns
\overline{WAIT} ↑ → \overline{RD} ↑ 遅延時間	t _{WTRD}		0.6t _{cy} +180	2.6t _{cy} +180	ns
\overline{WAIT} ↑ → \overline{WR} ↑ 遅延時間	t _{WTWR}		0.6t _{cy} +120	2.6t _{cy} +120	ns

備考 1. MCS : 発振モード選択レジスタ(OSMS)のビット 0

2. PCC2-PCC0 : プロセッサ・クロック・コントロール・レジスタ(PCC)のビット 2 - 0
3. t_{cy} = T_{cy}/4
4. n はウエイト数を示します。

(c) MCS = 0またはPCC2-PCC0≠000Bのとき (TA = -40~+85 °C, VDD = 1.8~2.7 V)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	t _{ASTH}		t _{cy} -150		ns
アドレス・セットアップ時間	t _{ADS}		t _{cy} -150		ns
アドレス・ホールド時間	t _{ADH}		0.37t _{cy} -40		ns
アドレス→データ入力時間	t _{ADD1}			(3+2n)t _{cy} -320	ns
	t _{ADD2}			(4+2n)t _{cy} -300	ns
RD↓→データ入力時間	t _{RDD1}			(1.37+2n)t _{cy} -120	ns
	t _{RDD2}			(2.37+2n)t _{cy} -120	ns
リード・データ・ホールド時間	t _{RDH}		0		ns
RDロウ・レベル幅	t _{RDL1}		(1.37+2n)t _{cy} -20		ns
	t _{RDL2}		(2.37+2n)t _{cy} -20		ns
RD↓→WAIT↓入力時間	t _{RDWT1}			t _{cy} -200	ns
	t _{RDWT2}			2t _{cy} -200	ns
WR↓→WAIT↓入力時間	t _{WRWT}			2t _{cy} -200	ns
WAITロウ・レベル幅	t _{WTL}		(1+2n)t _{cy}	(2+2n)t _{cy}	ns
ライト・データ・セットアップ時間	t _{WDS}		(2.37+2n)t _{cy} -100		ns
ライト・データ・ホールド時間	t _{WDH}		20		ns
WRロウ・レベル幅	t _{WRL}		(2.37+2n)t _{cy} -20		ns
ASTB↓→RD↓遅延時間	t _{ASTRD}		0.37t _{cy} -50		ns
ASTB↓→WR↓遅延時間	t _{ASTWR}		1.37t _{cy} -50		ns
外部フェッチ時RD↑→ASTB遅延時間	t _{RDAST}		t _{cy} -10	t _{cy} +20	ns
外部フェッチ時RD↑→アドレス・ホールド時間	t _{RDADH}		t _{cy} -50	t _{cy} +50	ns
RD↑→ライト・データ出力時間	t _{RDWD}		0.37t _{cy} -40		ns
WR↓→ライト・データ出力時間	t _{WRWD}		0	120	ns
WR↑→アドレス・ホールド時間	t _{WRADH}		t _{cy}	t _{cy} +120	ns
WAIT↑→RD↑遅延時間	t _{WTRD}		0.63t _{cy} +350	2.63t _{cy} +350	ns
WAIT↑→WR↑遅延時間	t _{WTWR}		0.63t _{cy} +240	2.63t _{cy} +240	ns

備考1. MCS：発振モード選択レジスタ(OSMS)のビット0

2. PCC2-PCC0：プロセッサ・クロック・コントロール・レジスタ(PCC)のビット2-0

3. t_{cy} = T_{cy}/4

4. nはウエイト数を示します。

(3) シリアル・インタフェース (TA = -40~+85 °C, VDD = 1.8~5.5 V)

(a) シリアル・インタフェース・チャンネル0

(i) 3線式シリアルI/Oモード (SCK0...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t _{KCY1}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
		2.0 V ≤ V _{DD} < 2.7 V	3200			ns
		1.8 V ≤ V _{DD} < 2.0 V	4800			ns
SCK0ハイ、ロウ・レベル幅	t _{KH1}	V _{DD} = 4.5~5.5 V	t _{KCY1} /2-50			ns
	t _{KL1}	V _{DD} = 1.8~5.5 V	t _{KCY1} /2-100			ns
SIOセットアップ時間 (対SCK0↑)	t _{SIK1}	4.5 V ≤ V _{DD} ≤ 5.5 V	100			ns
		2.7 V ≤ V _{DD} < 4.5 V	150			ns
		2.0 V ≤ V _{DD} < 2.7 V	300			ns
		1.8 V ≤ V _{DD} < 2.0 V	400			ns
SIOホールド時間 (対SCK0↑)	t _{KSI1}		400			ns
SCK0↓→SO0 出力遅延時間	t _{KSO1}	C = 100 pF ^注			300	ns

注 Cは、SCK0, SO0出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK0...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t _{KCY2}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
		2.0 V ≤ V _{DD} < 2.7 V	3200			ns
		1.8 V ≤ V _{DD} < 2.0 V	4800			ns
SCK0ハイ、ロウ・レベル幅	t _{KH2} t _{KL2}	4.5 V ≤ V _{DD} ≤ 5.5 V	400			ns
		2.7 V ≤ V _{DD} < 4.5 V	800			ns
		2.0 V ≤ V _{DD} < 2.7 V	1600			ns
		1.8 V ≤ V _{DD} < 2.0 V	2400			ns
SIOセットアップ時間 (対SCK0↑)	t _{SIK2}	2.0 V ≤ V _{DD} ≤ 5.5 V	100			ns
		1.8 V ≤ V _{DD} < 2.0 V	150			ns
SIOホールド時間 (対SCK0↑)	t _{KSI2}		400			ns
SCK0↓→SO0 出力遅延時間	t _{KSO2}	C = 100 pF ^注 V _{DD} = 2.0~5.5 V			300	ns
		V _{DD} = 1.8~5.5 V			500	ns
SCK0立ち上がり、 立ち下がり時間	t _{R2}	外部デバイス拡張機能使用時			160	ns
	t _{F2}	外部デバイス拡張機能未使用時			1000	ns

注 Cは、SO0出力ラインの負荷容量です。

(iii) 2線式シリアルI/Oモード ($\overline{\text{SCK0}}$ …内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t_{KCY3}	$R = 1 \text{ k}\Omega,$ $C = 100 \text{ pF}$ 注	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	1600		ns
		$2.0 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	3200		ns	
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.0 \text{ V}$	4800		ns	
SCK0ハイ・レベル幅	t_{KH3}	$V_{\text{DD}} = 2.7 \sim 5.5 \text{ V}$	$t_{\text{KCY3}}/2 - 160$			ns
		$V_{\text{DD}} = 1.8 \sim 5.5 \text{ V}$	$t_{\text{KCY3}}/2 - 190$			ns
SCK0ロウ・レベル幅	t_{KL3}	$V_{\text{DD}} = 4.5 \sim 5.5 \text{ V}$	$t_{\text{KCY3}}/2 - 50$			ns
		$V_{\text{DD}} = 1.8 \sim 5.5 \text{ V}$	$t_{\text{KCY3}}/2 - 100$			ns
SB0, SB1セットアップ 時間(対SCK0↑)	t_{SIK3}	$4.5 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	300			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.5 \text{ V}$	350		ns	
		$2.0 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	400		ns	
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.0 \text{ V}$	500		ns	
SB0, SB1ホールド時間 (対SCK0↑)	t_{SI3}		600			ns
SCK0↓→SB0, SB1 出力遅延時間	t_{KS03}		0		300	ns

注 R, Cは、 $\overline{\text{SCK0}}$, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(iv) 2線式シリアルI/Oモード ($\overline{\text{SCK0}}$ …外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t_{KCY4}	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	1600			ns
		$2.0 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	3200		ns	
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.0 \text{ V}$	4800		ns	
SCK0ハイ・レベル幅	t_{KH4}	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	650			ns
		$2.0 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	1300		ns	
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.0 \text{ V}$	2100		ns	
SCK0ロウ・レベル幅	t_{KL4}	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	800			ns
		$2.0 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	1600		ns	
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.0 \text{ V}$	2400		ns	
SB0, SB1セットアップ 時間(対SCK0↑)	t_{SIK4}	$V_{\text{DD}} = 2.0 \sim 5.5 \text{ V}$	100			ns
		$V_{\text{DD}} = 1.8 \sim 5.5 \text{ V}$	150		ns	
SB0, SB1ホールド時間 (対SCK0↑)	t_{KS4}		$t_{\text{KCY4}}/2$			ns
SCK0↓→SB0, SB1 出力遅延時間	t_{KS04}	$R = 1 \text{ k}\Omega,$ $C = 100 \text{ pF}$ 注	$4.5 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	0		300
		$2.0 \text{ V} \leq V_{\text{DD}} < 4.5 \text{ V}$	0		500	
		$1.8 \text{ V} \leq V_{\text{DD}} < 2.0 \text{ V}$	0		800	
SCK0立ち上がり, 立ち下がり時間	t_{R4}	外部デバイス拡張機能使用時			160	ns
	t_{F4}	外部デバイス拡張機能未使用時			1000	ns

注 R, Cは、SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(v) SBIモード ($\overline{\text{SCK0}}$ …内部クロック出力) ($\mu\text{PD78005x}$ のみ)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
$\overline{\text{SCK0}}$ サイクル・タイム	t_{KCY5}	$4.5\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$		800			ns
		$2.0\text{ V} \leq V_{\text{DD}} < 4.5\text{ V}$		3200			ns
		$1.8\text{ V} \leq V_{\text{DD}} < 2.0\text{ V}$		4800			ns
$\overline{\text{SCK0}}$ ハイ、ロウ・レベル幅	t_{KH5} t_{KL5}	$4.5\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$		$t_{\text{KCY5}}/2-50$			ns
		$1.8\text{ V} \leq V_{\text{DD}} < 4.5\text{ V}$		$t_{\text{KCY5}}/2-150$			ns
SB0, SB1セットアップ時間(対 $\overline{\text{SCK0}}$ ↑)	t_{SIK5}	$4.5\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$		100			ns
		$2.0\text{ V} \leq V_{\text{DD}} < 4.5\text{ V}$		300			ns
		$1.8\text{ V} \leq V_{\text{DD}} < 2.0\text{ V}$		400			ns
SB0, SB1ホールド時間(対 $\overline{\text{SCK0}}$ ↑)	t_{KS15}			$t_{\text{KCY5}}/2$			ns
$\overline{\text{SCK0}}$ ↓→SB0, SB1出力遅延時間	t_{KSO5}	R = 1 k Ω , C = 100 pF ^注	$V_{\text{DD}} = 4.5 \sim 5.5\text{ V}$	0		250	ns
			$V_{\text{DD}} = 1.8 \sim 5.5\text{ V}$	0		1000	ns
$\overline{\text{SCK0}}$ ↑→SB0, SB1↓	t_{KSB}			t_{KCY5}			ns
SB0, SB1↓→ $\overline{\text{SCK0}}$ ↓	t_{SBK}			t_{KCY5}			ns
SB0, SB1ハイ・レベル幅	t_{SBH}			t_{KCY5}			ns
SB0, SB1ロウ・レベル幅	t_{SBL}			t_{KCY5}			ns

注 R, Cは、 $\overline{\text{SCK0}}$, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vi) SBIモード ($\overline{\text{SCK0}}$ …外部クロック入力) ($\mu\text{PD78005x}$ のみ)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
$\overline{\text{SCK0}}$ サイクル・タイム	t_{KCY6}	$4.5\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$		800			ns
		$2.0\text{ V} \leq V_{\text{DD}} < 4.5\text{ V}$		3200			ns
		$1.8\text{ V} \leq V_{\text{DD}} < 2.0\text{ V}$		4800			ns
$\overline{\text{SCK0}}$ ハイ、ロウ・レベル幅	t_{KH6} t_{KL6}	$4.5\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$		400			ns
		$2.0\text{ V} \leq V_{\text{DD}} < 4.5\text{ V}$		1600			ns
		$1.8\text{ V} \leq V_{\text{DD}} < 2.0\text{ V}$		2400			ns
SB0, SB1セットアップ時間(対 $\overline{\text{SCK0}}$ ↑)	t_{SIK6}	$4.5\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$		100			ns
		$2.0\text{ V} \leq V_{\text{DD}} < 4.5\text{ V}$		300			ns
		$1.8\text{ V} \leq V_{\text{DD}} < 2.0\text{ V}$		400			ns
SB0, SB1ホールド時間(対 $\overline{\text{SCK0}}$ ↑)	t_{KS16}			$t_{\text{KCY6}}/2$			ns
$\overline{\text{SCK0}}$ ↓→SB0, SB1出力遅延時間	t_{KSO6}	R = 1 k Ω , C = 100 pF ^注	$V_{\text{DD}} = 4.5 \sim 5.5\text{ V}$	0		300	ns
			$V_{\text{DD}} = 1.8 \sim 5.5\text{ V}$	0		1000	ns
$\overline{\text{SCK0}}$ ↑→SB0, SB1↓	t_{KSB}			t_{KCY6}			ns
SB0, SB1↓→ $\overline{\text{SCK0}}$ ↓	t_{SBK}			t_{KCY6}			ns
SB0, SB1ハイ・レベル幅	t_{SBH}			t_{KCY6}			ns
SB0, SB1ロウ・レベル幅	t_{SBL}			t_{KCY6}			ns
$\overline{\text{SCK0}}$ 立ち上がり, 立ち下がり時間	t_{R6} t_{F6}	外部デバイス拡張機能使用時				160	ns
		外部デバイス拡張機能未使用時				1000	ns

注 R, Cは、SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vii) I²Cバス・モード (SCL…内部クロック出力) (μPD78005xYのみ)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLサイクル・タイム	t _{KCY7}	R = 1 kΩ, C = 100 pF ^注	2.7 V ≤ V _{DD} ≤ 5.5 V	10		μs
			2.0 V ≤ V _{DD} < 2.7 V	20		μs
			1.8 V ≤ V _{DD} < 2.0 V	30		μs
SCLハイ・レベル幅	t _{KH7}		V _{DD} = 2.7~5.5 V	t _{KCY7} - 160		ns
			V _{DD} = 1.8~5.5 V	t _{KCY7} - 190		ns
SCLロウ・レベル幅	t _{KL7}		V _{DD} = 4.5~5.5 V	t _{KCY7} - 50		ns
			V _{DD} = 1.8~5.5 V	t _{KCY7} - 100		ns
SDA0, SDA1セットアップ時間(対SCL↑)	t _{SIK7}		2.7 V ≤ V _{DD} ≤ 5.5 V	200		ns
			2.0 V ≤ V _{DD} < 2.7 V	300		ns
			1.8 V ≤ V _{DD} < 2.0 V	400		ns
SDA0, SDA1ホールド時間(対SCL↓)	t _{KSI7}		0			ns
SCL ↓ → SDA0, SDA1 出力遅延時間	t _{KSO7}		4.5 V ≤ V _{DD} ≤ 5.5 V	0	300	ns
			2.0 V ≤ V _{DD} < 4.5 V	0	500	ns
			1.8 V ≤ V _{DD} < 2.0 V	0	600	ns
SCL ↑ → SDA0, SDA1 ↓ またはSCL ↓ → SDA0, SDA1 ↑	t _{KSB}		200			ns
SDA0, SDA1 ↓ → SCL ↓	t _{SBK}		V _{DD} = 2.0~5.5 V	400		ns
			V _{DD} = 1.8~5.5 V	500		ns
SDA0, SDA1ハイ・レベル幅	t _{SBH}		500			ns

注 R, Cは、SCL, SDA0, SDA1出力ラインの負荷抵抗、負荷容量です。

(viii) I²Cバス・モード (SCL…外部クロック入力) (μPD78005xYのみ)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLサイクル・タイム	t _{KCY8}		1000			ns
SCLハイ, ロウ・レベル幅	t _{KH8}	V _{DD} = 2.0~5.5 V	400			ns
	t _{KL8}	V _{DD} = 1.8~5.5 V	600			ns
SDA0, SDA1セットアップ時間(対SCL↑)	t _{SIK8}	V _{DD} = 2.0~5.5 V	200			ns
		V _{DD} = 1.8~5.5 V	300			ns
SDA0, SDA1ホールド時間(対SCL↓)	t _{KSI8}		0			ns
SCL ↓ → SDA0, SDA1 出力遅延時間	t _{KSO8}	R = 1 kΩ, C = 100 pF ^注	4.5 V ≤ V _{DD} ≤ 5.5 V	0	300	ns
			2.0 V ≤ V _{DD} < 4.5 V	0	500	ns
			1.8 V ≤ V _{DD} < 2.0 V	0	600	ns
SCL ↑ → SDA0, SDA1 ↓ またはSCL ↑ → SDA0, SDA1 ↑	t _{KSB}		200			ns
SDA0, SDA1 ↓ → SCL ↓	t _{SBK}		V _{DD} = 2.0~5.5 V	400		ns
			V _{DD} = 1.8~5.5 V	500		ns
SDA0, SDA1ハイ・レベル幅	t _{SBH}		V _{DD} = 2.0~5.5 V	500		ns
			V _{DD} = 1.8~5.5 V	800		ns
SCL立ち上がり, 立ち下がり時間	t _{r8} ,	外部デバイス拡張機能使用時			160	ns
	t _{f8}	外部デバイス拡張機能未使用時			1	μs

注 R, Cは、SDA0, SDA1出力ラインの負荷抵抗、負荷容量です。

(b) シリアル・インタフェース・チャンネル1

(i) 3線式シリアルI/Oモード (SCK1…内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	t _{KCY9}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
		2.0 V ≤ V _{DD} < 2.7 V	3200			ns
		1.8 V ≤ V _{DD} < 2.0 V	4800			ns
SCK1ハイ、ロウ・レベル幅	t _{KH9} ,	V _{DD} = 4.5~5.5 V	t _{KCY9} /2-50			ns
	t _{KL9}	V _{DD} = 1.8~5.5 V	t _{KCY9} /2-100			ns
SI1セットアップ時間 (対SCK1↑)	t _{SIK9}	4.5 V ≤ V _{DD} ≤ 5.5 V	100			ns
		2.7 V ≤ V _{DD} < 4.5 V	150			ns
		2.0 V ≤ V _{DD} < 2.7 V	300			ns
		1.8 V ≤ V _{DD} < 2.0 V	400			ns
SI1ホールド時間 (対SCK1↑)	t _{KS9}		400			ns
SCK1↓→SO1 出力遅延時間	t _{KSO9}	C = 100 pF ^注			300	ns

注 Cは、SCK1, SO1出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK1…外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	t _{KCY10}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
		2.0 V ≤ V _{DD} < 2.7 V	3200			ns
		1.8 V ≤ V _{DD} < 2.0 V	4800			ns
SCK1ハイ、ロウ・レベル幅	t _{KH10} , t _{KL10}	4.5 V ≤ V _{DD} ≤ 5.5 V	400			ns
		2.7 V ≤ V _{DD} < 4.5 V	800			ns
		2.0 V ≤ V _{DD} < 2.7 V	1600			ns
		1.8 V ≤ V _{DD} < 2.0 V	2400			ns
SI1セットアップ時間 (対SCK1↑)	t _{SIK10}	V _{DD} = 2.0~5.5 V	100			ns
		V _{DD} = 1.8~5.5 V	150			ns
SI1ホールド時間 (対SCK1↑)	t _{KS10}		400			ns
SCK1↓→SO1 出力遅延時間	t _{KSO10}	C = 100 pF ^注			300	ns
			V _{DD} = 2.0~5.5 V			ns
					500	ns
SCK1立ち上がり, 立ち下がり時間	t _{R10} , t _{F10}	外部デバイス拡張機能使用時			160	ns
		外部デバイス拡張機能未使用時			1000	ns

注 Cは、SO1出力ラインの負荷容量です。

(iii) 自動送受信機能付き 3 線式シリアルI/Oモード (SCK1…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK1 サイクル・タイム	t _{KCY11}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
		2.0 V ≤ V _{DD} < 2.7 V	3200			ns
		1.8 V ≤ V _{DD} < 2.0 V	4800			ns
SCK1ハイ, ロウ・レベル幅	t _{KH11} ,	V _{DD} = 4.5~5.5 V	t _{KCY11} /2-50			ns
	t _{KL11}	V _{DD} = 1.8~5.5 V	t _{KCY11} /2-100			ns
SI1セットアップ時間(対SCK1↑)	t _{SIK11}	4.5 V ≤ V _{DD} ≤ 5.5 V	100			ns
		2.7 V ≤ V _{DD} < 4.5 V	150			ns
		2.0 V ≤ V _{DD} < 2.7 V	300			ns
		1.8 V ≤ V _{DD} < 2.0 V	400			ns
SI1ホールド時間(対SCK1↑)	t _{KSI11}		400			ns
SCK1↓→SO1出力遅延時間	t _{KSO11}	C = 100 pF ^注			300	ns
SCK1↑→STB↑	t _{SB} D		t _{KCY11} /2-100		t _{KCY11} /2+100	ns
ストロブ信号ハイ・レベル幅	t _{SBW}	2.7 V ≤ V _{DD} < 5.5 V	t _{KCY11} -30		t _{KCY11} +30	ns
		2.0 V ≤ V _{DD} < 2.7 V	t _{KCY11} -60		t _{KCY11} +60	ns
		1.8 V ≤ V _{DD} < 2.0 V	t _{KCY11} -90		t _{KCY11} +90	ns
ビジィ信号セットアップ時間 (対ビジィ信号検出タイミング)	t _{BYS}		100			ns
ビジィ信号ホールド時間 (対ビジィ信号検出タイミング)	t _{BYH}	4.5 V ≤ V _{DD} ≤ 5.5 V	100			ns
		2.7 V ≤ V _{DD} < 4.5 V	150			ns
		2.0 V ≤ V _{DD} < 2.7 V	200			ns
		1.8 V ≤ V _{DD} < 2.0 V	300			ns
ビジィ・インアクティブ→SCK1↓	t _{SPS}				2t _{KCY11}	ns

注 Cは、SCK1, SO1出力ラインの負荷容量です。

(iv) 自動送受信機能付き 3 線式シリアル/Oモード (SCK1…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK1サイクル・タイム	t _{KCY12}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
		2.0 V ≤ V _{DD} < 2.7 V	3200			ns
		1.8 V ≤ V _{DD} < 2.0 V	4800			ns
SCK1ハイ、ロウ・レベル幅	t _{KH12} ,	4.5 V ≤ V _{DD} ≤ 5.5 V	400			ns
		2.7 V ≤ V _{DD} < 4.5 V	800			ns
	t _{KL12}	2.0 V ≤ V _{DD} < 2.7 V	1600			ns
		1.8 V ≤ V _{DD} < 2.0 V	2400			ns
SI1セットアップ時間(対SCK1↑)	t _{SIK12}	V _{DD} = 2.0~5.5 V	100			ns
		V _{DD} = 1.8~5.5 V	150			ns
SI1ホールド時間(対SCK1↑)	t _{KSI12}		400			ns
SCK1↓→SO1出力遅延時間	t _{KSO12}	C = 100 pF ^注	V _{DD} = 2.0~5.5 V		300	ns
			V _{DD} = 1.8~5.5 V		500	ns
SCK1立ち上がり、立ち下がり時間	t _{R12} ,	外部デバイス拡張機能使用時			160	ns
	t _{F12}	外部デバイス拡張機能未使用時			1000	ns

注 Cは、SO1出力ラインの負荷容量です。

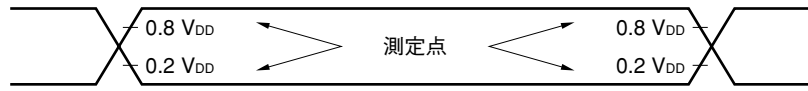
(iii) UARTモード (専用ポー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			78125	bps
		$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$			39063	bps
		$2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$			19531	bps
		$1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$			9766	bps

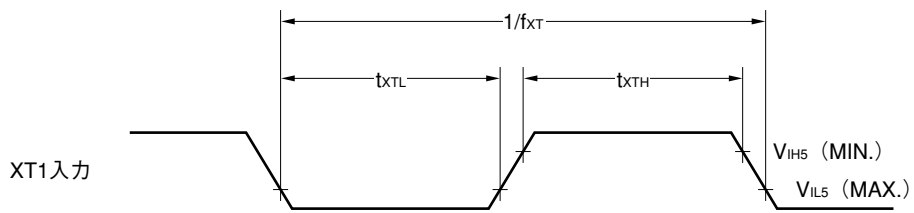
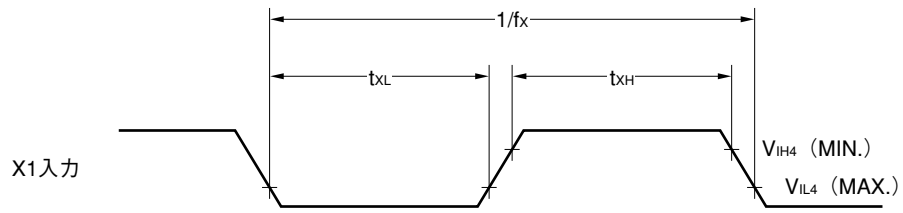
(iv) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCKサイクル・タイム	t _{KCY15}	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	800			ns
		$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$	1600			ns
		$2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$	3200			ns
		$1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$	4800			ns
ASCKハイ、ロウ・レベル幅	t _{KH15} ,	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	400			ns
	t _{KL15}	$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$	800			ns
		$2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$	1600			ns
		$1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$	2400			ns
転送レート		$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			39063	bps
		$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$			19531	bps
		$2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$			9766	bps
		$1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$			6510	bps
ASCK立ち上がり, 立ち下がり時間	t _{R15} ,	V _{DD} = 4.5~5.5 V, 外部デバイス拡張機能未使用時			1000	ns
	t _{F15}				160	ns
		上記以外				

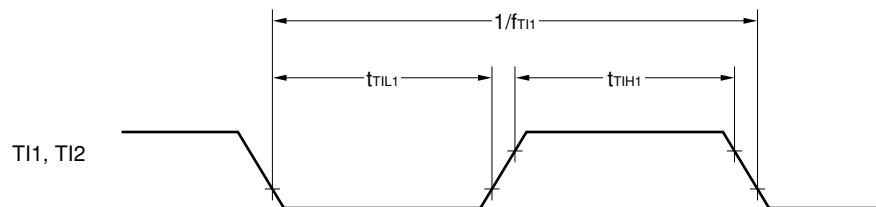
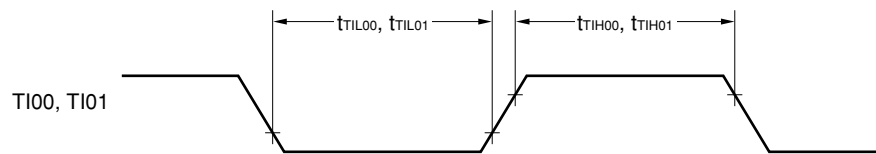
ACタイミング測定点 (X1, XT1入力を除く)



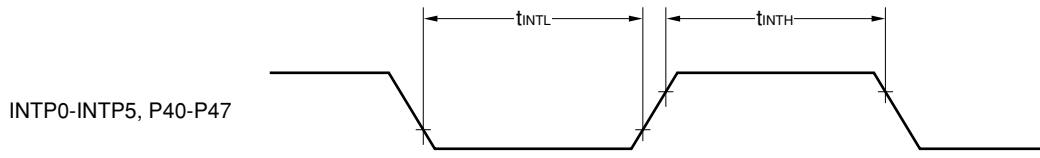
クロック・タイミング



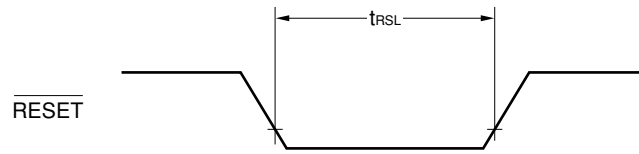
TIタイミング



割り込み要求入力タイミング

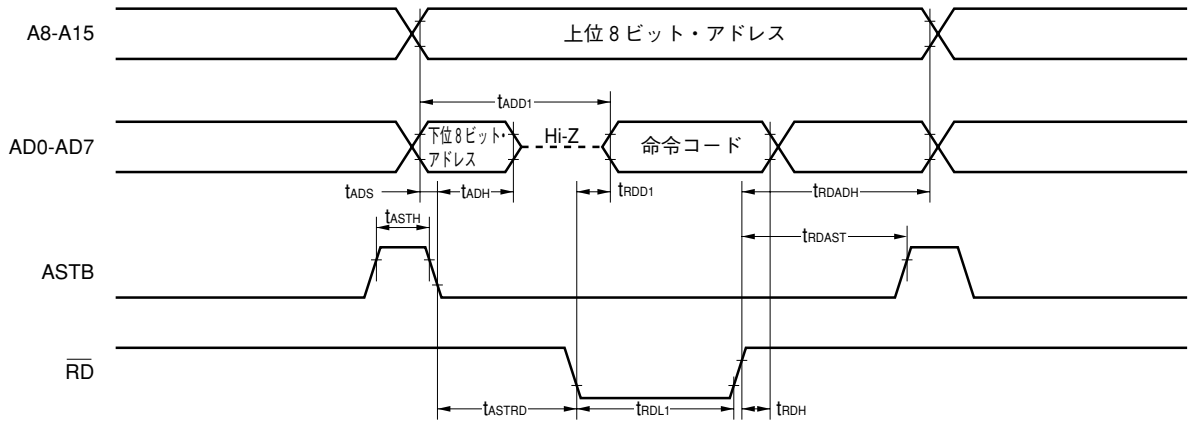


RESET入力タイミング

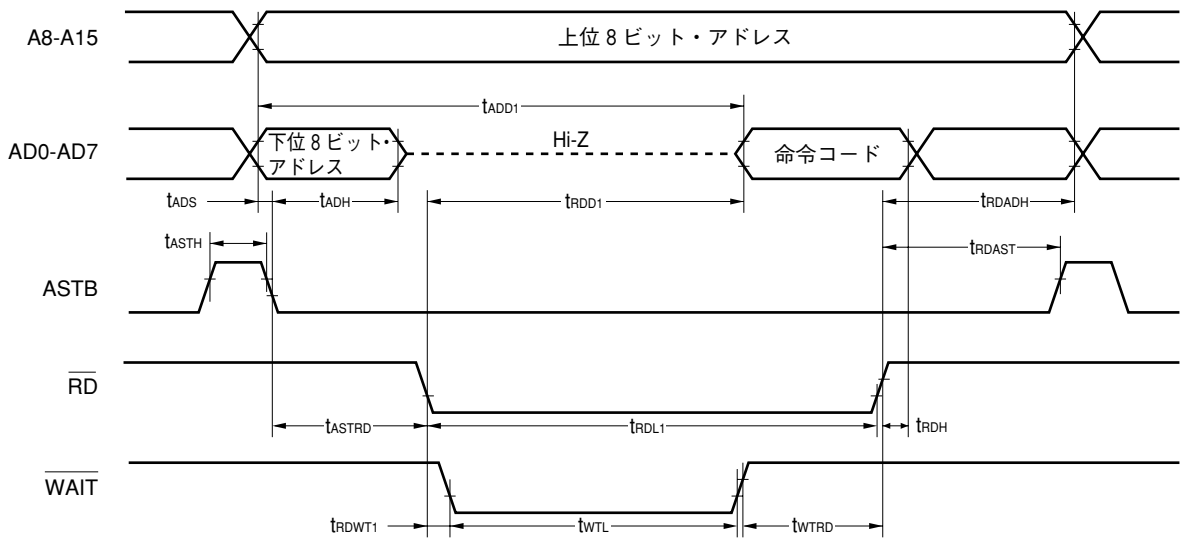


リード/ライト・オペレーション

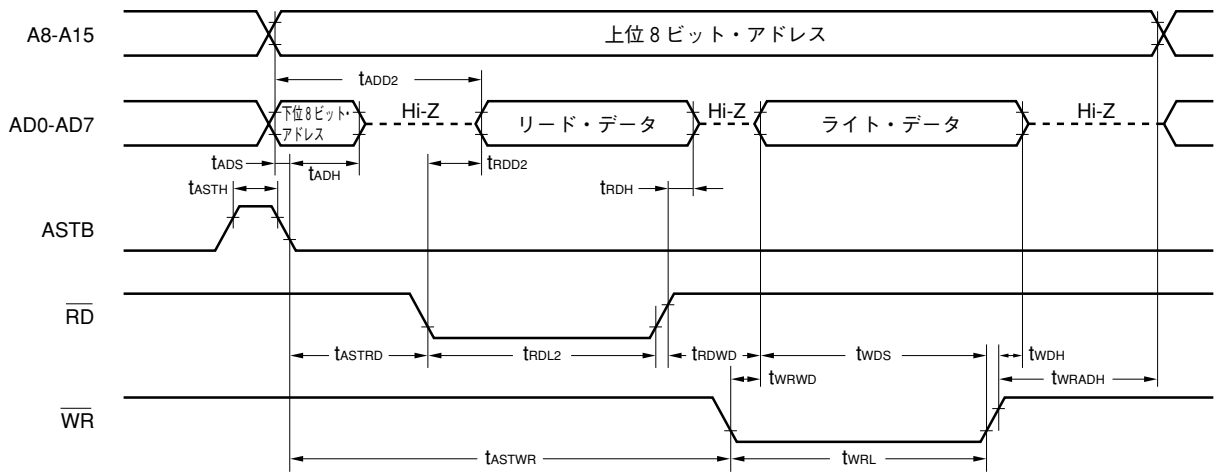
外部フェッチ (ノー・ウエイト時) :



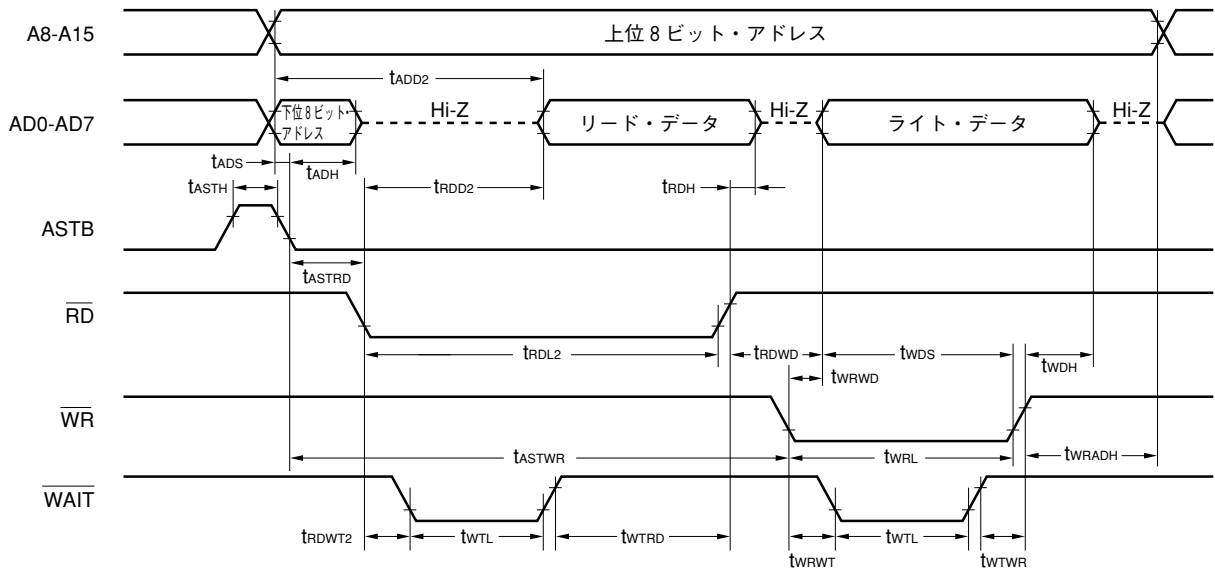
外部フェッチ (ウエイト挿入時) :



外部データ・アクセス（ノー・ウエイト時）：

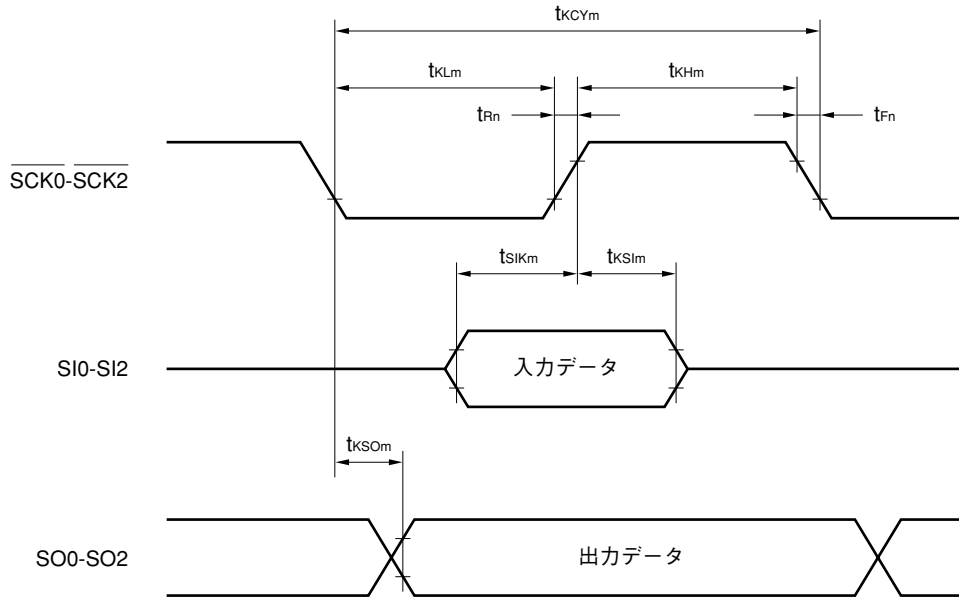


外部データ・アクセス（ウエイト挿入時）：



シリアル転送タイミング

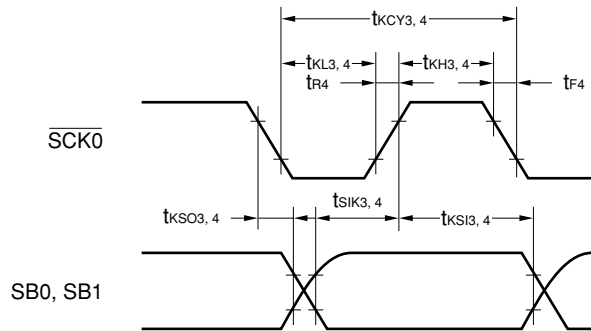
3線式シリアルI/Oモード：



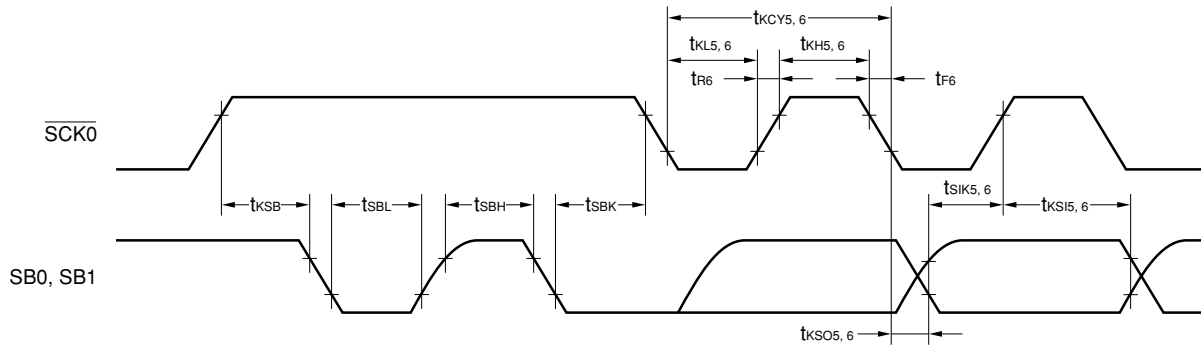
$m = 1, 2, 9, 10, 13, 14$

$n = 2, 10, 14$

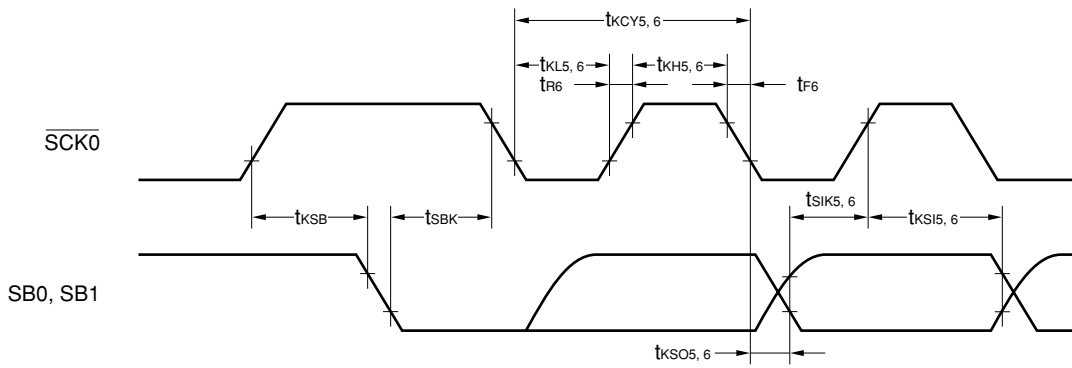
2線式シリアルI/Oモード：



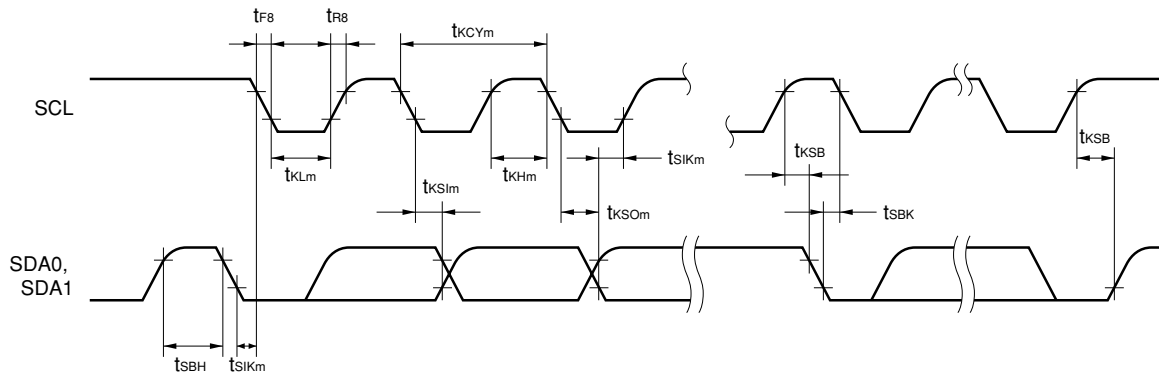
SBIモード (バス・リリース信号転送) :



SBIモード (コマンド信号転送) :

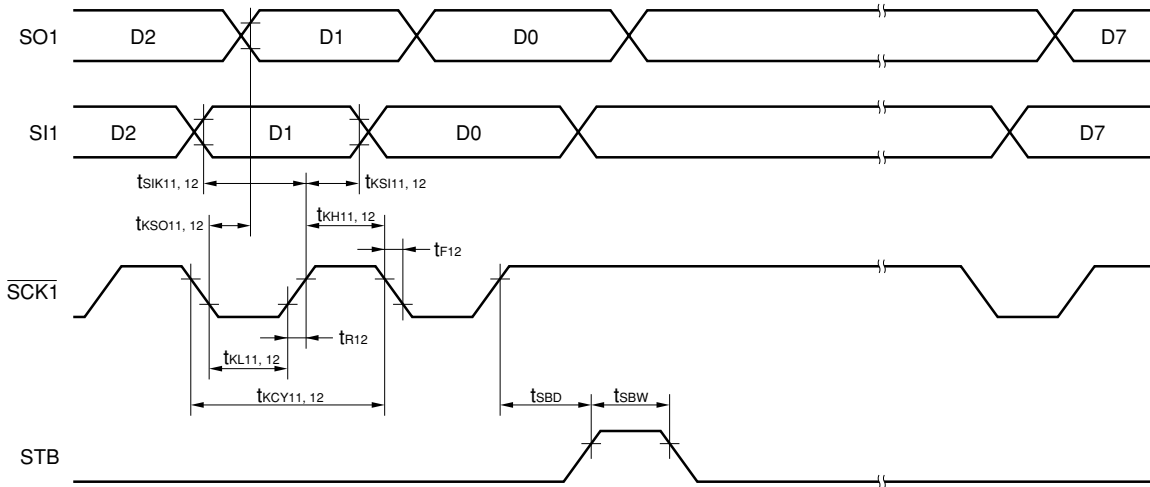


I²Cバス・モード :

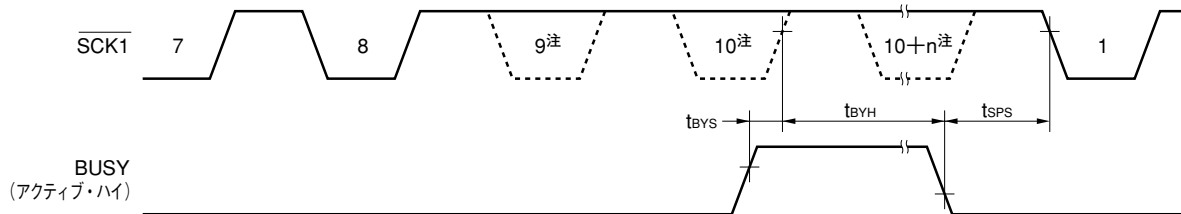


m = 7, 8

自動送受信機能付き 3 線式シリアル/Oモード :

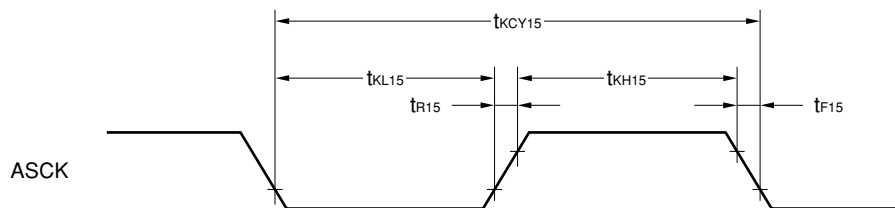


自動送受信機能付き 3 線式シリアル/Oモード (ビジィ処理) :



注 ここでは実際にはロウ・レベルになりませんが、タイミング規定のためこのように表記してあります。

UARTモード (外部クロック入力) :



A/Dコンバータ特性

(μ PD780053, 780053(A), 780054, 780054(A), 780055, 780055(A), 780056, 780056(A), 780058B, 780058B(A), 780053Y, 780053Y(A), 780054Y, 780054Y(A), 780055Y, 780055Y(A), 780056Y, 780056Y(A), 780058BY, 780058BY(A))

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $AV_{SS} = V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^{注1}		$1.8 \text{ V} \leq AV_{REF0} < 2.7 \text{ V}$			± 1.4	%FSR
		$2.7 \text{ V} \leq AV_{REF0} \leq 5.5 \text{ V}$			± 0.6	%FSR
変換時間	T_{CONV1}	$1.8 \text{ V} \leq AV_{REF0} < 2.7 \text{ V}$	40		100	μs
	T_{CONV2}	$2.7 \text{ V} \leq AV_{REF0} \leq 5.5 \text{ V}$	16		100	μs
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{REF0}	V
基準電圧	AV_{REF0}		1.8		V_{DD}	V
AV_{REF0} 電流	I_{REF0}	A/Dコンバータ動作時 ^{注2}		500	1500	μA
		A/Dコンバータ非動作時 ^{注3}		0	3	μA

注1. 量子化誤差($\pm 1/2\text{LSB}$)を含みません。フルスケール値に対する比率(%FSR)で表しています。

2. A/Dコンバータ・モード・レジスタ(ADM)のビット7(CS)が1のときに、 AV_{REF0} 端子に流れる電流です。

3. A/Dコンバータ・モード・レジスタ(ADM)のビット7(CS)が0のときに、 AV_{REF0} 端子に流れる電流です。

A/Dコンバータ特性 (μ PD780058)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 2.7 \sim 5.5 \text{ V}$, $AV_{SS} = V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^{注1}					± 0.6	%FSR
変換時間	T_{CONV}		16		100	μs
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{REF0}	V
基準電圧	AV_{REF0}		2.7		V_{DD}	V
AV_{REF0} 電流	I_{REF0}	A/Dコンバータ動作時 ^{注2}		500	1500	μA
		A/Dコンバータ非動作時 ^{注3}		0	3	μA

注1. 量子化誤差($\pm 1/2\text{LSB}$)を含みません。フルスケール値に対する比率(%FSR)で表しています。

2. A/Dコンバータ・モード・レジスタ(ADM)のビット7(CS)が1のときに、 AV_{REF0} 端子に流れる電流です。

3. A/Dコンバータ・モード・レジスタ(ADM)のビット7(CS)が0のときに、 AV_{REF0} 端子に流れる電流です。

注意 μ PD780058は、A/DコンバータおよびD/Aコンバータの動作電圧範囲は $V_{DD} = 2.7 \sim 5.5 \text{ V}$ になります。

D/Aコンバータ特性

(μ PD780053, 780053(A), 780054, 780054(A), 780055, 780055(A), 780056, 780056(A), 780058B, 780058B(A), 780053Y, 780053Y(A), 780054Y, 780054Y(A), 780055Y, 780055Y(A), 780056Y, 780056Y(A), 780058BY, 780058BY(A))

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $AV_{SS} = V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差		$R = 2 \text{ M}\Omega$ 注1			± 1.2	%
		$R = 4 \text{ M}\Omega$ 注1			± 0.8	%
		$R = 10 \text{ M}\Omega$ 注1			± 0.6	%
セットリング・タイム		$C = 30 \text{ pF}$ 注1	$AV_{REF1} = 1.8 \sim 2.7 \text{ V}$		10	μs
			$AV_{REF1} = 1.8 \sim 5.5 \text{ V}$		15	μs
出力抵抗	R_O	注2		8		$\text{k}\Omega$
アナログ基準電圧	AV_{REF1}		1.8		V_{DD}	V
AV_{REF1} 電流	I_{REF1}	注2			2.5	mA
AV_{REF1} - AV_{SS} 間抵抗	R_{AIREF1}	$DACS0, DACS1 = 55\text{H}$ 注2	4	8		$\text{k}\Omega$

注1. R, CはD/Aコンバータ出力端子の負荷抵抗, 負荷容量です。

2. D/Aコンバータ1チャンネル分の値です。

備考 DACS0, DACS1 : D/A変換値設定レジスタ0, 1

D/Aコンバータ特性 (μ PD780058)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 2.7 \sim 5.5 \text{ V}$, $AV_{SS} = V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差		$R = 2 \text{ M}\Omega$ 注1			1.2	%
		$R = 4 \text{ M}\Omega$ 注1			0.8	%
		$R = 10 \text{ M}\Omega$ 注1			0.6	%
セットリング・タイム		$C = 30 \text{ pF}$ 注1			15	μs
出力抵抗	R_O	注2		8		$\text{k}\Omega$
アナログ基準電圧	AV_{REF1}		2.7		V_{DD}	V
AV_{REF1} 電流	I_{REF1}	注2			2.5	mA
AV_{REF1} - AV_{SS} 間抵抗	R_{AIREF1}	$DACS0, DACS1 = 55\text{H}$ 注2	4	8		$\text{k}\Omega$

注1. R, CはD/Aコンバータ出力端子の負荷抵抗, 負荷容量です。

2. D/Aコンバータ1チャンネル分の値です。

備考 DACS0, DACS1 : D/A変換値設定レジスタ0, 1

注意 μ PD780058は, A/DコンバータおよびD/Aコンバータの動作電圧範囲は $V_{DD} = 2.7 \sim 5.5 \text{ V}$ になります。

データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40~+85 °C)

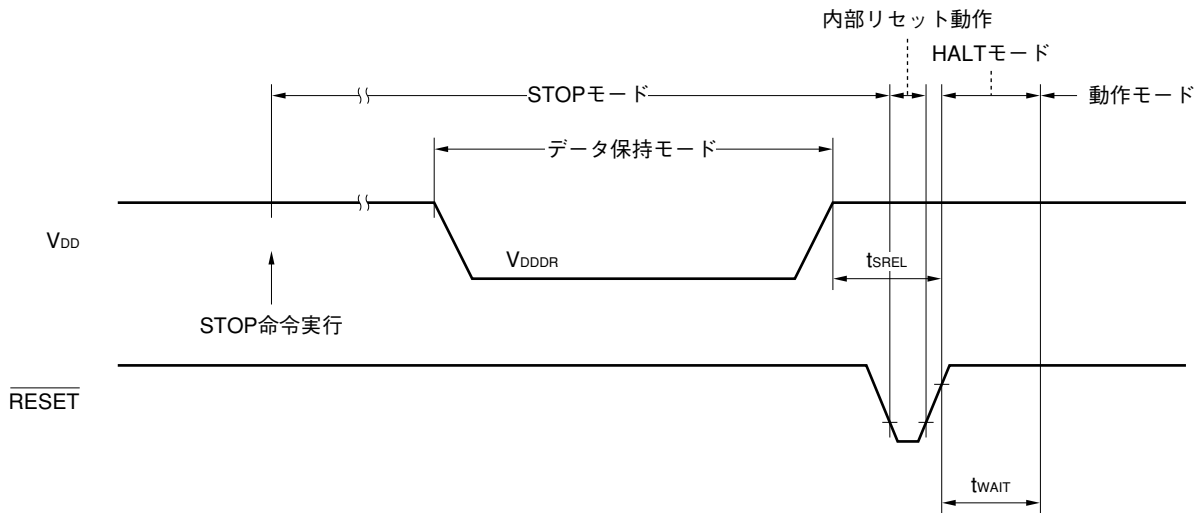
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.8		5.5	V
データ保持電源電流	I _{DDDR}	V _{DDDR} = 1.8 V サブシステム・クロック停止, フィードバック抵抗切断時		0.1	10	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _x		ms
		割り込み要求による解除		注		ms

注 発振安定時間選択レジスタ (OSTS) のビット 0-2 (OSTS0-OSTS2) により, 2¹²/f_{xx}, 2¹⁴/f_{xx}-2¹⁷/f_{xx} の選択が可能です。

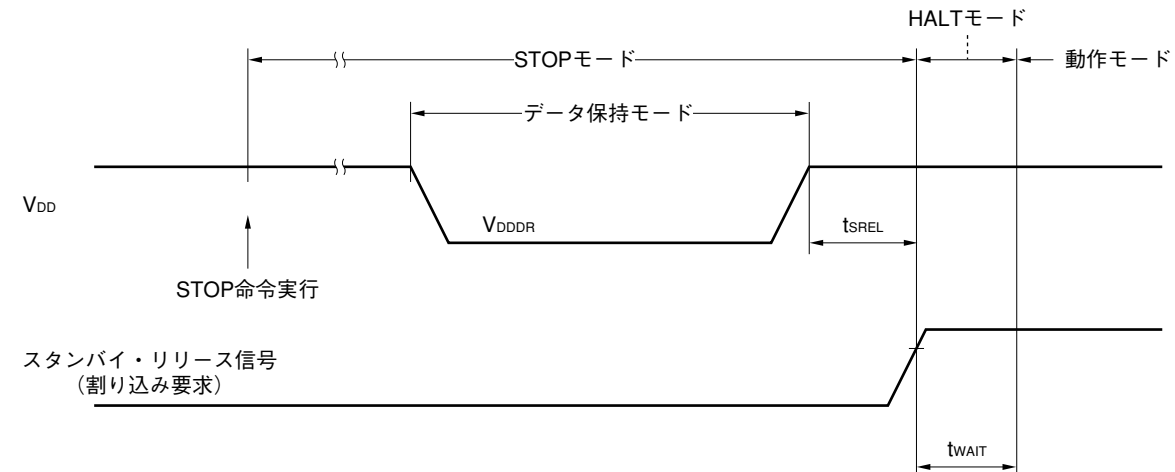
備考 f_{xx} : メイン・システム・クロック周波数 (f_x または f_x/2)

f_x : メイン・システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み要求信号によるSTOPモード解除)



★ 第29章 電気的特性(フラッシュ・メモリ製品)

絶対最大定格 (T_A = 25 °C)

項目	略号	条件		定格	単位
電源電圧	V _{DD}			-0.3~+6.5	V
	V _{PP}	注 1		-0.3~+10.5	V
	AV _{REF0}			-0.3~V _{DD} +0.3	V
	AV _{REF1}			-0.3~V _{DD} +0.3	V
	AV _{SS}			-0.3~+0.3	V
入力電圧	V _{I1}	P00-P05, P07, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131, X1, X2, XT2, RESET		-0.3~V _{DD} +0.3	V
	V _{I2}	P60-P63	N-chオープン・ドレイン	-0.3~+16	V
出力電圧	V _O			-0.3~V _{DD} +0.3	V
アナログ入力電圧	V _{AN}	P10-P17	アナログ入力端子	AV _{SS} -0.3~AV _{REF0} +0.3	V
ハイ・レベル出力電流	I _{OH}	1 端子		-10	mA
		P01-P05, P30-P37, P56, P57, P60-P67, P120-P127合計		-15	mA
		P10-P17, P20-P27, P40-P47, P50-P55, P70-P72, P130, P131合計		-15	mA
ロウ・レベル出力電流	I _{OL} ^{注2}	P50-P57, P60-P63以外 1 端子	ピーク値	20	mA
			実効値	10	mA
		P50-P57, P60-P63 1 端子	ピーク値	30	mA
			実効値	15	mA
		P50-P55合計	ピーク値	100	mA
			実効値	70	mA
		P56, P57, P60-P63合計	ピーク値	100	mA
			実効値	70	mA
		P10-P17, P20-P27, P40-P47, P70-P72, P130, P131合計	ピーク値	50	mA
			実効値	20	mA
		P01-P05, P30-P37, P64-P67, P120-P127合計	ピーク値	50	mA
			実効値	20	mA
動作周囲温度	T _A	通常動作時		-40~+85	°C
		フラッシュ・メモリ・プログラミング時		10~40	°C
保存温度	T _{stg}			-65~+125	°C

(注の説明は次頁にあります。)

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

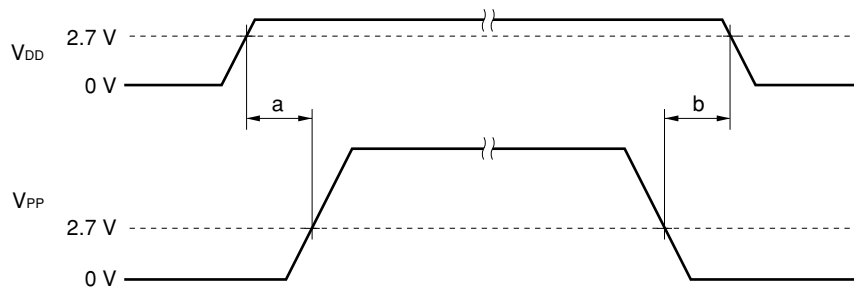
注1. フラッシュ・メモリ書き込み時、 V_{PP} の電圧印加タイミングについては、必ず次の条件を満たしてください。

- ・電源電圧立ち上がり時

V_{DD} が動作電圧範囲の下限電圧(2.7 V)に達してから10 μ s以上経過後、 V_{PP} が V_{DD} を越えること(下図のa)。

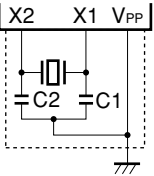
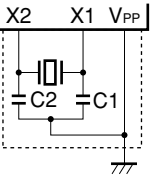
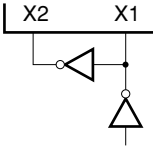
- ・電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧(2.7 V)を下回ってから10 μ s以上経過後、 V_{DD} を立ち下げること(下図のb)。



2. 実効値は[実効値] = [ピーク値] $\times \sqrt{\text{デューティ}}$ で計算してください。

メイン・システム・クロック発振回路特性 (TA = -40~+85 °C, VDD = 2.7~5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 発振電圧範囲	1.0		5.0	MHz
		発振安定時間注2	VDDが発振電圧範囲のMIN. に達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		1.0		5.0	MHz
		発振安定時間注2	VDD = 4.5~5.5 V			10	ms
			VDD = 2.7~5.5 V			30	
外部 クロック		X1入力周波数 (fx) 注1		1.0		5.0	MHz
		X1入力ハイ、ロウ・ レベル幅 (txH, txL)		85		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。

2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

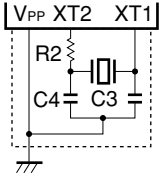
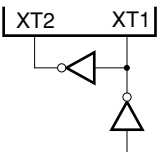
注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常にVssと同電位になるようにする。
- 大電流が流れるグラウンド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

サブシステム・クロック発振回路特性 (TA = -40~+85 °C, VDD = 2.7~5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (fXT) 注1		32	32.768	35	kHz
		発振安定時間注2	VDD = 4.5~5.5 V		1.2	2	s
			VDD = 2.7~5.5 V			10	
外部 クロック		XT1入力周波数 (fXT) 注1		32		35	kHz
		XT1入力ハイ、ロウ・ レベル幅 (tXTH, tXTL)		12		15	μs

注1. 発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。

2. VDDが発振電圧範囲のMIN. に達したあと、発振が安定するのに必要な時間です。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常にVSS1と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズによる誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

容 量 (TA = 25 °C, VDD = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
入力容量	CIN	f = 1 MHz 被測定端子以外は0 V			15	pF	
入出力容量	Cio	f = 1 MHz 被測定端子以外は0 V	P01-P05, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131			15	pF
			P60-P63			20	pF

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40~+85 °C, VDD = 2.7~5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル 入力電圧	V _{IH1}	P10-P17, P21, P23, P30- P32, P35-P37, P40-P47, P50-P57, P64-P67, P71, P120-P127, P130, P131	V _{DD} = 2.7~5.5 V	0.7 V _{DD}		V _{DD}	V
	V _{IH2}	P00-P05, P20, P22, P24- P27, P33, P34, P70, P72, $\overline{\text{RESET}}$	V _{DD} = 2.7~5.5 V	0.8 V _{DD}		V _{DD}	V
	V _{IH3}	P60-P63 (N-chオープン・ドレイン)	V _{DD} = 2.7~5.5 V	0.7 V _{DD}		15	V
	V _{IH4}	X1, X2	V _{DD} = 2.7~5.5 V	V _{DD} -0.5		V _{DD}	V
	V _{IH5}	XT1/P07, XT2	4.5 V ≤ V _{DD} ≤ 5.5 V	0.8 V _{DD}		V _{DD}	V
		2.7 V ≤ V _{DD} < 4.5 V	0.9 V _{DD}		V _{DD}	V	
ロウ・レベル 入力電圧	V _{IL1}	P10-P17, P21, P23, P30- P32, P35-P37, P40-P47, P50-P57, P64-P67, P71, P120-P127, P130, P131	V _{DD} = 2.7~5.5 V	0		0.3 V _{DD}	V
	V _{IL2}	P00-P05, P20, P22, P24- P27, P33, P34, P70, P72, $\overline{\text{RESET}}$	V _{DD} = 2.7~5.5 V	0		0.2 V _{DD}	V
	V _{IL3}	P60-P63	4.5 V ≤ V _{DD} ≤ 5.5 V	0		0.3 V _{DD}	V
			2.7 V ≤ V _{DD} < 4.5 V	0		0.2 V _{DD}	V
	V _{IL4}	X1, X2	V _{DD} = 2.7~5.5 V	0		0.4	V
V _{IL5}	XT1/P07, XT2	4.5 V ≤ V _{DD} ≤ 5.5 V	0		0.2 V _{DD}	V	
		2.7 V ≤ V _{DD} < 4.5 V	0		0.1 V _{DD}	V	
ハイ・レベル 出力電圧	V _{OH}	V _{DD} = 4.5~5.5 V, I _{OH} = -1 mA	V _{DD} -1.0			V	
		V _{DD} = 2.7~5.5 V, I _{OH} = -100 μA	V _{DD} -0.5			V	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40~+85 °C, VDD = 2.7~5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル 出力電圧	VOL1	P50-P57, P60-P63	VDD = 4.5~5.5 V, IOL = 15 mA		0.4	2.0	V
		P01-P05, P10-P17, P20-P27, P30-P37, P40-P47, P64-P67, P70-P72, P120-P127, P130, P131	VDD = 4.5~5.5 V, IOL = 1.6 mA			0.4	V
	VOL2	SB0, SB1, SCK0	VDD = 4.5~5.5 V, オープン・ドレイン, プルアップ時 (R = 1kΩ)			0.2 VDD	V
	VOL3	IOL = 400 μA				0.5	V
ハイ・レベル 入力リーク電流	I _{LH1}	V _{IN} = V _{DD}	P00-P05, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, P70-P72, P120-P127, P130, P131, RESET			3	μA
	I _{LH2}		X1, X2, XT1/P07, XT2			20	μA
	I _{LH3}	V _{IN} = 15 V	P60-P63			80	μA
ロウ・レベル 入力リーク電流	I _{LIL1}	V _{IN} = 0 V	P00-P05, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131, RESET			-3	μA
	I _{LIL2}		X1, X2, XT1/P07, XT2			-20	μA
	I _{LIL3}		P60-P63			-3 ^注	μA
ソフトウェア・ プルアップ抵抗	R	V _{IN} = 0 V, P01-P05, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131		15	30	90	kΩ

注 ポート6 (P6)、ポート・モード・レジスタ6 (PM6)に対して読み出し命令を実行したときの1.5クロック間(ノー・ウエイト時)のみ、ロウ・レベル入力リーク電流が-200 μA (MAX.)流れます。読み出し命令実行時の1.5クロック間以外では-3 μA (MAX.)です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 2.7 \sim 5.5 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル 出力電流	I _{OH}	1 端子			-1	mA
		全端子			-15	mA
ロウ・レベル 出力電流	I _{OL}	P01-P05, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131 1 端子			10	mA
		P50-P57, P60-P63 1 端子			15	mA
		P10-P17, P20-P27, P40-P47, P70-P72, P130, P131 合計			10	mA
		P01-P05, P30-P37, P64-P67, P120-P127 合計			10	mA
		P50-P57, P60-P63 合計			70	mA

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40~+85 °C, VDD = 2.7~5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
電源電流	IDD1 ^{注5}	5.0 MHz水晶発振動作モード (f _{XX} = 2.5 MHz) ^{注3}	V _{DD} = 5.0 V ± 10 % ^{注1}		6.2	12.5	mA	
			V _{DD} = 3.0 V ± 10 % ^{注2}		1.3	3.1	mA	
		5.0 MHz水晶発振動作モード (f _{XX} = 5.0 MHz) ^{注4}	V _{DD} = 5.0 V ± 10 % ^{注1}		13.1	25.7	mA	
			V _{DD} = 3.0 V ± 10 % ^{注2}		2.1	4.9	mA	
	IDD2	5.0 MHz水晶発振HALTモード (f _{XX} = 2.5 MHz) ^{注3}	V _{DD} = 5.0 V ± 10 %					
			周辺機能動作時			5.6	mA	
			周辺機能非動作時		1.0	2.8	mA	
			V _{DD} = 3.0 V ± 10 %					
		5.0 MHz水晶発振HALTモード (f _{XX} = 5.0 MHz) ^{注4}	周辺機能動作時			2.9	mA	
			周辺機能非動作時		0.44	1.1	mA	
			V _{DD} = 5.0 V ± 10 %					
			周辺機能動作時			8.4	mA	
	IDD3 ^{注5}	32.768 kHz 水晶発振動作モード ^{注6}	V _{DD} = 5.0 V ± 10 %		110	220	μA	
			V _{DD} = 3.0 V ± 10 %		86	172	μA	
		IDD4 ^{注5}	32.768 kHz 水晶発振HALTモード ^{注6}	V _{DD} = 5.0 V ± 10 %		22.5	50	μA
				V _{DD} = 3.0 V ± 10 %		3.2	13.2	μA
	IDD5 ^{注5}	XT1 = V _{DD} STOPモード フィードバック抵抗使用時	V _{DD} = 5.0 V ± 10 %		1.0	30	μA	
			V _{DD} = 3.0 V ± 10 %		0.5	10	μA	
IDD6 ^{注5}	XT1 = V _{DD} STOPモード フィードバック抵抗非使用時	V _{DD} = 5.0 V ± 10 %		0.1	30	μA		
		V _{DD} = 3.0 V ± 10 %		0.05	10	μA		

- 注1. 高速モード動作時(プロセッサ・クロック・コントロール・レジスタ(PCC)を00Hに設定したとき)。
 2. 低速モード動作時(PCCを04Hに設定したとき)。
 3. メイン・システム・クロックf_{XX} = f_X/2動作時(発振モード選択レジスタ(OSMS)を00Hに設定したとき)。
 4. メイン・システム・クロックf_{XX} = f_X動作時(OSMSを01Hに設定したとき)。
 5. V_{DD0}およびV_{DD1}端子に流れる電流です。ただし、A/Dコンバータ、D/Aコンバータおよび内蔵プルアップ抵抗に流れる電流は含みません。
 6. メイン・システム・クロックの動作を停止させたとき。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 2.7 \sim 5.5 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロックで動作 ($f_{XX} = 2.5 \text{ MHz}$) 注1	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.8		64	μs
		メイン・システム・クロックで動作 ($f_{XX} = 5.0 \text{ MHz}$) 注2	$3.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	0.4		32	μs
			$2.7 \text{ V} \leq V_{DD} < 3.5 \text{ V}$	0.8		32	μs
		サブシステム・クロックで動作		40 注3	122	125	μs
Ti00入力	t_{TIH00}	$3.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$2/f_{sam} + 0.1$ 注4			μs
ハイ、ロウ・レベル幅	t_{TIL00}	$2.7 \text{ V} \leq V_{DD} < 3.5 \text{ V}$		$2/f_{sam} + 0.2$ 注4			μs
Ti01入力	t_{TIH01}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$		10			μs
ハイ、ロウ・レベル幅	t_{TIL01}						
Ti1, Ti2入力周波数	f_{Ti1}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$		0		4	MHz
		$V_{DD} = 2.7 \sim 5.5 \text{ V}$		0		275	kHz
Ti1, Ti2 ハイ、ロウ・レベル幅	t_{TIH1}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$		100			ns
	t_{TIL1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$		1.8			μs
割り込み要求入力 ハイ、ロウ・レベル幅	t_{INTL}	INTP0	$3.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$2/f_{sam} + 0.1$ 注4			μs
			$2.7 \text{ V} \leq V_{DD} < 3.5 \text{ V}$	$2/f_{sam} + 0.2$ 注4			μs
		INTP1-INTP5, P40-P47	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	10			μs
RESET ロウ・レベル幅	t_{RSL}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$		10			μs

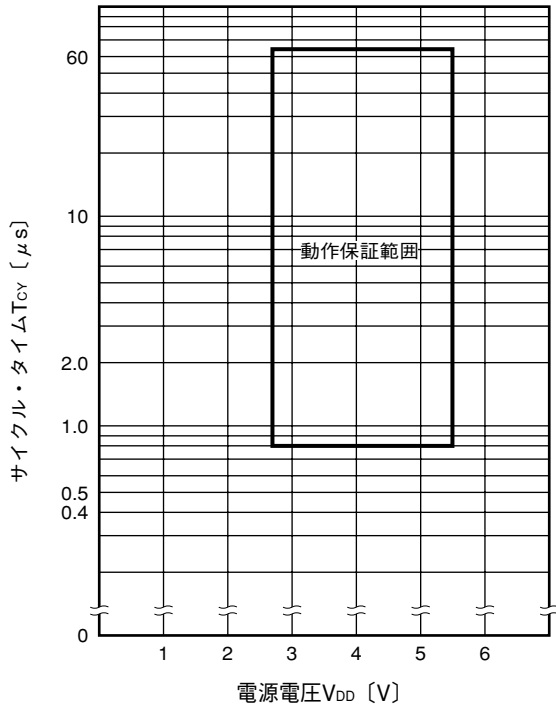
注1. メイン・システム・クロック $f_{XX} = f_x/2$ 動作時(発振モード選択レジスタ(OSMS)を00Hに設定したとき)

2. メイン・システム・クロック $f_{XX} = f_x$ 動作時(OSMSを01Hに設定したとき)

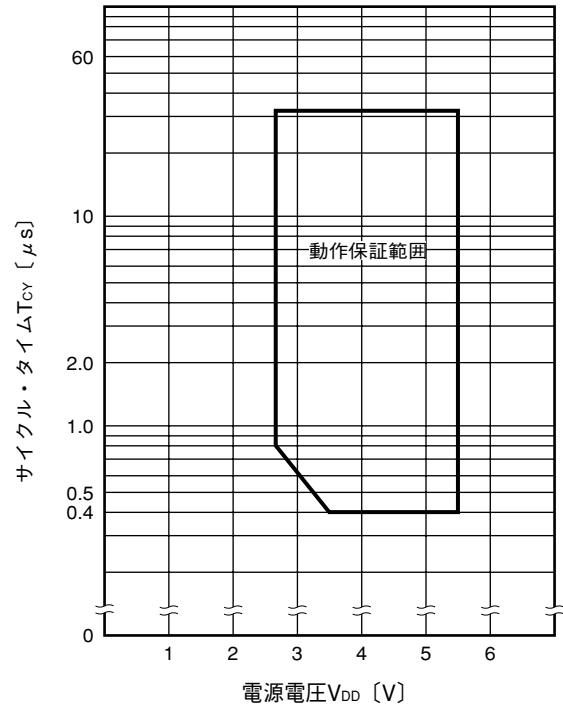
3. 外部クロック使用時の値です。水晶振動子使用時は114 μs (MIN.)です。

4. サンプリング・クロック選択レジスタ(SCS)のビット0, 1(SCS0, SCS1)により, $f_{sam} = f_{XX}/2^N$, $f_{XX}/32$, $f_{XX}/64$, $f_{XX}/128$ の選択が可能です($N = 0-4$)。

T_{CY} vs V_{DD} (メイン・システム・クロック $f_{XX} = f_X/2$ 動作時)



T_{CY} vs V_{DD} (メイン・システム・クロック $f_{XX} = f_X$ 動作時)



(2) リード/ライト・オペレーション

(a) MCS = 1, PCC2-PCC0 = 000Bのとき (TA = -40~+85 °C, VDD = 3.5~5.5 V)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	tASTH		0.85tcy-50		ns
アドレス・セットアップ時間	tADS		0.85tcy-50		ns
アドレス・ホールド時間	tADH		50		ns
アドレス→データ入力時間	tADD1			(2.85+2n) tcy-80	ns
	tADD2			(4+2n) tcy-100	ns
RD↓→データ入力時間	trDD1			(2+2n) tcy-100	ns
	trDD2			(2.85+2n) tcy-100	ns
リード・データ・ホールド時間	trDH		0		ns
RDロウ・レベル幅	trDL1		(2+2n) tcy-60		ns
	trDL2		(2.85+2n) tcy-60		ns
RD↓→WAIT↓入力時間	trDWT1			0.85tcy-50	ns
	trDWT2			2tcy-60	ns
WR↓→WAIT↓入力時間	trRWT			2tcy-60	ns
WAITロウ・レベル幅	tWTL		(1.15+2n) tcy	(2+2n) tcy	ns
ライト・データ・セットアップ時間	twDS		(2.85+2n) tcy-100		ns
ライト・データ・ホールド時間	twDH		20		ns
WRロウ・レベル幅	twRL		(2.85+2n) tcy-60		ns
ASTB↓→RD↓遅延時間	tASTRD		25		ns
ASTB↓→WR↓遅延時間	tASTWR		0.85tcy+20		ns
外部フェッチ時RD↑→ASTB↑遅延時間	trDAST		0.85tcy-10	1.15tcy+20	ns
外部フェッチ時RD↑→アドレス・ホールド時間	trDADH		0.85tcy-50	1.15tcy+50	ns
RD↑→ライト・データ出力時間	trDWD		40		ns
WR↓→ライト・データ出力時間	trRWD		0	50	ns
WR↑→アドレス・ホールド時間	trRADH		0.85tcy	1.15tcy+40	ns
WAIT↑→RD↑遅延時間	tWTRD		1.15tcy+40	3.15tcy+40	ns
WAIT↑→WR↑遅延時間	tWTWR		1.15tcy+30	3.15tcy+30	ns

備考1. MCS : 発振モード選択レジスタ(OSMS)のビット0

2. PCC2-PCC0 : プロセッサ・クロック・コントロール・レジスタ(PCC)のビット2-0

3. tcy = Tcy/4

4. n はウエイト数を示します。

(b) MCS = 0またはPCC2-PCC0≠000Bのとき (TA = -40~+85 °C, VDD = 2.7~5.5 V)

項 目	略 号	条 件	MIN.	MAX.	単 位
ASTBハイ・レベル幅	tASTH		t _{cy} -80		ns
アドレス・セットアップ時間	tADS		t _{cy} -80		ns
アドレス・ホールド時間	tADH		0.4t _{cy} -10		ns
アドレス→データ入力時間	tADD1			(3+2n) t _{cy} -160	ns
	tADD2			(4+2n) t _{cy} -200	ns
RD↓→データ入力時間	tRDD1			(1.4+2n) t _{cy} -70	ns
	tRDD2			(2.4+2n) t _{cy} -70	ns
リード・データ・ホールド時間	tRDH		0		ns
RDロウ・レベル幅	tRDL1		(1.4+2n) t _{cy} -20		ns
	tRDL2		(2.4+2n) t _{cy} -20		ns
RD↓→WAIT↓入力時間	tRDWT1			t _{cy} -100	ns
	tRDWT2			2t _{cy} -100	ns
WR↓→WAIT↓入力時間	tWRWT			2t _{cy} -100	ns
WAITロウ・レベル幅	tWTL		(1+2n) t _{cy}	(2+2n) t _{cy}	ns
ライト・データ・セットアップ時間	tWDS		(2.4+2n) t _{cy} -60		ns
ライト・データ・ホールド時間	tWDH		20		ns
WRロウ・レベル幅	tWRL		(2.4+2n) t _{cy} -20		ns
ASTB↓→RD↓遅延時間	tASTRD		0.4t _{cy} -30		ns
ASTB↓→WR↓遅延時間	tASTWR		1.4t _{cy} -30		ns
外部フェッチ時RD↑→ASTB↑遅延時間	tRDAST		t _{cy} -10	t _{cy} +20	ns
外部フェッチ時RD↑→アドレス・ホールド時間	tRDADH		t _{cy} -50	t _{cy} +50	ns
RD↑→ライト・データ出力時間	tRDWD		0.4t _{cy} -20		ns
WR↓→ライト・データ出力時間	tWRWD		0	60	ns
WR↑→アドレス・ホールド時間	tWRADH		t _{cy}	t _{cy} +60	ns
WAIT↑→RD↑遅延時間	tWTRD		0.6t _{cy} +180	2.6t _{cy} +180	ns
WAIT↑→WR↑遅延時間	tWTWR		0.6t _{cy} +120	2.6t _{cy} +120	ns

備考 1. MCS：発振モード選択レジスタ(OSMS)のビット0

2. PCC2-PCC0：プロセッサ・クロック・コントロール・レジスタ(PCC)のビット2-0

3. t_{cy} = T_{cy}/4

4. nはウエイト数を示します。

(3) シリアル・インタフェース ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 2.7 \sim 5.5 \text{ V}$)

(a) シリアル・インタフェース・チャンネル 0

(i) 3線式シリアルI/Oモード ($\overline{\text{SCK0}}$ …内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t_{KCY1}	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	800			ns
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	1600			ns
SCK0ハイ, ロウ・レベル幅	t_{KH1}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	$t_{\text{KCY1}}/2 - 50$			ns
	t_{KL1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	$t_{\text{KCY1}}/2 - 100$			ns
SIOセットアップ時間 (対 $\overline{\text{SCK0}}$ ↑)	t_{SIK1}	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	100			ns
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	150			ns
SIOホールド時間 (対 $\overline{\text{SCK0}}$ ↑)	t_{KSI1}		400			ns
$\overline{\text{SCK0}} \downarrow \rightarrow \text{SO0}$ 出力遅延時間	t_{KSO1}	$C = 100 \text{ pF}$ ^注			300	ns

注 Cは、 $\overline{\text{SCK0}}$, SO0出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード ($\overline{\text{SCK0}}$ …外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t_{KCY2}	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	800			ns
		$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	1600			ns
SCK0ハイ, ロウ・レベル幅	t_{KH2}	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	400			ns
	t_{KL2}	$2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	800			ns
SIOセットアップ時間 (対 $\overline{\text{SCK0}}$ ↑)	t_{SIK2}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	100			ns
SIOホールド時間 (対 $\overline{\text{SCK0}}$ ↑)	t_{KSI2}		400			ns
$\overline{\text{SCK0}} \downarrow \rightarrow \text{SO0}$ 出力遅延時間	t_{KSO2}	$C = 100 \text{ pF}$ ^注			300	ns
SCK0立ち上がり, 立ち下がり時間	t_{R2}	外部デバイス拡張機能使用時			160	ns
	t_{F2}	外部デバイス拡張機能未使用時			1000	ns

注 Cは、SO0出力ラインの負荷容量です。

(iii) 2線式シリアル/Oモード ($\overline{\text{SCK0}}$ …内部クロック出力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCK0}}$ サイクル・タイム	t_{KCY3}	$R = 1 \text{ k}\Omega,$ $C = 100 \text{ pF}$ ^注	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	1600			ns
$\overline{\text{SCK0}}$ ハイ・レベル幅	t_{KH3}		$V_{\text{DD}} = 2.7 \sim 5.5 \text{ V}$	$t_{\text{KCY3}}/2 - 160$			ns
$\overline{\text{SCK0}}$ ロウ・レベル幅	t_{KL3}		$V_{\text{DD}} = 4.5 \sim 5.5 \text{ V}$	$t_{\text{KCY3}}/2 - 50$			ns
			$V_{\text{DD}} = 2.7 \sim 5.5 \text{ V}$	$t_{\text{KCY3}}/2 - 100$			ns
SB0, SB1セットアップ 時間 (対 $\overline{\text{SCK0}}$ ↑)	t_{SIK3}		$4.5 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	300			ns
			$2.7 \text{ V} \leq V_{\text{DD}} < 4.5 \text{ V}$	350			ns
SB0, SB1ホールド時間 (対 $\overline{\text{SCK0}}$ ↑)	t_{KS3}			600			ns
$\overline{\text{SCK0}}$ ↓→SB0, SB1 出力遅延時間	t_{KSO3}		0		300	ns	

注 R, Cは、 $\overline{\text{SCK0}}$, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(iv) 2線式シリアル/Oモード ($\overline{\text{SCK0}}$ …外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCK0}}$ サイクル・タイム	t_{KCY4}	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$		1600			ns
$\overline{\text{SCK0}}$ ハイ・レベル幅	t_{KH4}	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$		650			ns
$\overline{\text{SCK0}}$ ロウ・レベル幅	t_{KL4}	$2.7 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$		800			ns
SB0, SB1セットアップ 時間 (対 $\overline{\text{SCK0}}$ ↑)	t_{SIK4}	$V_{\text{DD}} = 2.7 \sim 5.5 \text{ V}$		100			ns
SB0, SB1ホールド時間 (対 $\overline{\text{SCK0}}$ ↑)	t_{KS4}			$t_{\text{KCY4}}/2$			ns
$\overline{\text{SCK0}}$ ↓→SB0, SB1 出力遅延時間	t_{KSO4}	$R = 1 \text{ k}\Omega,$ $C = 100 \text{ pF}$ ^注	$4.5 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	0		300	ns
			$2.7 \text{ V} \leq V_{\text{DD}} < 4.5 \text{ V}$	0		500	ns
$\overline{\text{SCK0}}$ 立ち上がり, 立ち下がり時間	t_{R4}	外部デバイス拡張機能使用時				160	ns
	t_{F4}	外部デバイス拡張機能未使用時				1000	ns

注 R, Cは、SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(v) SBIモード ($\overline{\text{SCK0}}$ …内部クロック出力) ($\mu\text{PD78F0058}$ のみ)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
SCK0サイクル・タイム	t_{KCY5}	$4.5\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$	800			ns	
		$2.7\text{ V} \leq V_{\text{DD}} < 4.5\text{ V}$	3200			ns	
SCK0ハイ, ロウ・レベル幅	t_{KH5} ,	$4.5\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$	$t_{\text{KCY5}}/2-50$			ns	
	t_{KL5}	$2.7\text{ V} \leq V_{\text{DD}} < 4.5\text{ V}$	$t_{\text{KCY5}}/2-150$			ns	
SB0, SB1セットアップ時間 (対 $\overline{\text{SCK0}}$ ↑)	t_{SIK5}	$4.5\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$	100			ns	
		$2.7\text{ V} \leq V_{\text{DD}} < 4.5\text{ V}$	300			ns	
SB0, SB1ホールド時間 (対 $\overline{\text{SCK0}}$ ↑)	t_{KSI5}		$t_{\text{KCY5}}/2$			ns	
SCK0↓→SB0, SB1出力遅延時間	t_{KSO5}	$R = 1\text{ k}\Omega$, $C = 100\text{ pF}$ 注	$V_{\text{DD}} = 4.5 \sim 5.5\text{ V}$	0		250	ns
			$V_{\text{DD}} = 2.7 \sim 5.5\text{ V}$	0		1000	ns
SCK0↑→SB0, SB1↓	t_{KSB}		t_{KCY5}			ns	
SB0, SB1↓→ $\overline{\text{SCK0}}$ ↓	t_{SBK}		t_{KCY5}			ns	
SB0, SB1ハイ・レベル幅	t_{SBH}		t_{KCY5}			ns	
SB0, SB1ロウ・レベル幅	t_{SBL}		t_{KCY5}			ns	

注 R, Cは, SCK0, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vi) SBIモード ($\overline{\text{SCK0}}$ …外部クロック入力) ($\mu\text{PD78F0058}$ のみ)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
SCK0サイクル・タイム	t_{KCY6}	$4.5\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$	800			ns	
		$2.7\text{ V} \leq V_{\text{DD}} < 4.5\text{ V}$	3200			ns	
SCK0ハイ, ロウ・レベル幅	t_{KH6} ,	$4.5\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$	400			ns	
	t_{KL6}	$2.7\text{ V} \leq V_{\text{DD}} < 4.5\text{ V}$	1600			ns	
SB0, SB1セットアップ時間 (対 $\overline{\text{SCK0}}$ ↑)	t_{SIK6}	$4.5\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$	100			ns	
		$2.7\text{ V} \leq V_{\text{DD}} < 4.5\text{ V}$	300			ns	
SB0, SB1ホールド時間 (対 $\overline{\text{SCK0}}$ ↑)	t_{KSI6}		$t_{\text{KCY6}}/2$			ns	
SCK0↓→SB0, SB1出力遅延時間	t_{KSO6}	$R = 1\text{ k}\Omega$, $C = 100\text{ pF}$ 注	$V_{\text{DD}} = 4.5 \sim 5.5\text{ V}$	0		300	ns
			$V_{\text{DD}} = 2.7 \sim 5.5\text{ V}$	0		1000	ns
SCK0↑→SB0, SB1↓	t_{KSB}		t_{KCY6}			ns	
SB0, SB1↓→ $\overline{\text{SCK0}}$ ↓	t_{SBK}		t_{KCY6}			ns	
SB0, SB1ハイ・レベル幅	t_{SBH}		t_{KCY6}			ns	
SB0, SB1ロウ・レベル幅	t_{SBL}		t_{KCY6}			ns	
SCK0立ち上がり, 立ち下がり時間	t_{r6} ,	外部デバイス拡張機能使用時			160	ns	
	t_{f6}	外部デバイス拡張機能未使用時			1000	ns	

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vii) I²Cバス・モード (SCL…内部クロック出力) (μPD78F0058Yのみ)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
SCLサイクル・タイム	t _{KCY7}	R = 1 kΩ, C = 100 pF ^注	2.7 V ≤ V _{DD} < 5.5 V	10			μs
SCLハイ・レベル幅	t _{KH7}		2.7 V ≤ V _{DD} < 5.5 V	t _{KCY7} - 160			μs
SCLロウ・レベル幅	t _{KL7}		4.5 V ≤ V _{DD} < 5.5 V	t _{KCY7} - 50			ns
			2.7 V ≤ V _{DD} < 4.5 V	t _{KCY7} - 100			ns
SDA0, SDA1セット・アップ 時間 (対SCL↑)	t _{SIK7}		2.7 V ≤ V _{DD} < 5.5 V	200			ns
SDA0, SDA1ホールド時 間 (対SCL↓)	t _{KSI7}			0			ns
SCL ↓ → SDA0, SDA1 出力遅延時間	t _{KSO7}		4.5 V ≤ V _{DD} < 5.5 V	0		300	ns
			2.7 V ≤ V _{DD} < 4.5 V	0		500	ns
SCL ↑ → SDA0, SDA1 ↓ または SCL ↑ → SDA0, SDA1 ↑	t _{KSB}			200			ns
SDA0, SDA1 ↓ → SCL ↓	t _{SBK}			400			ns
SDA0, SDA1ハイ・レベル幅	t _{SBH}		500			ns	

注 R, Cは, SCL, SDA0, SDA1出力ラインの負荷抵抗, 負荷容量です。

(viii) I²Cバス・モード (SCL…外部クロック入力) (μPD78F0058Yのみ)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
SCLサイクル・タイム	t _{KCY8}			1			μs
SCLハイ・レベル幅	t _{KH8}			400			ns
SDA0, SDA1セット・アップ 時間 (対SCL↑)	t _{SIK8}			200			ns
SDA0, SDA1ホールド時 間 (対SCL↓)	t _{KSI8}			0			ns
SCL ↓ → SDA0, SDA1 出力遅延時間	t _{KSO8}	R = 1 kΩ, C = 100 pF ^注	4.5 V ≤ V _{DD} < 5.5 V	0		300	ns
			2.7 V ≤ V _{DD} < 4.5 V	0		500	ns
SCL ↑ → SDA0, SDA1 ↓ または SCL ↑ → SDA0, SDA1 ↑	t _{KSB}			200			ns
SDA0, SDA1 ↓ → SCL ↓	t _{SBK}			400			ns
SDA0, SDA1ハイ・レベル幅	t _{SBH}			500			ns

注 R, Cは, SDA0, SDA1出力ラインの負荷抵抗, 負荷容量です。

(b) シリアル・インタフェース・チャンネル 1

(i) 3線式シリアルI/Oモード (SCK1…内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	t _{KCY9}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
SCK1ハイ、ロウ・レベル幅	t _{KH9} ,	V _{DD} = 4.5~5.5 V	t _{KCY9} /2-50			ns
	t _{KL9}	V _{DD} = 2.7~5.5 V	t _{KCY9} /2-100			ns
SI1セットアップ時間 (対SCK1↑)	t _{SIK9}	4.5 V ≤ V _{DD} ≤ 5.5 V	100			ns
		2.7 V ≤ V _{DD} < 4.5 V	150			ns
SI1ホールド時間 (対SCK1↑)	t _{KS19}		400			ns
SCK1↓→SO1 出力遅延時間	t _{KSO9}	C = 100 pF ^注			300	ns

注 Cは、SCK1, SO1出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK1…外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	t _{KCY10}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
SCK1ハイ、ロウ・レベル幅	t _{KH10} ,	4.5 V ≤ V _{DD} ≤ 5.5 V	400			ns
	t _{KL10}	2.7 V ≤ V _{DD} < 4.5 V	800			ns
SI1セットアップ時間 (対SCK1↑)	t _{SIK10}	V _{DD} = 2.7~5.5 V	100			ns
SI1ホールド時間 (対SCK1↑)	t _{KS10}		400			ns
SCK1↓→SO1 出力遅延時間	t _{KSO10}	C = 100 pF ^注 V _{DD} = 2.7~5.5 V			300	ns
SCK1立ち上がり, 立ち下がり時間	t _{R10} ,	外部デバイス拡張機能使用時			160	ns
	t _{F10}	外部デバイス拡張機能未使用時			1000	ns

注 Cは、SO1出力ラインの負荷容量です。

(iii) 自動送受信機能付き 3 線式シリアルI/Oモード ($\overline{\text{SCK1}}$ …内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{\text{SCK1}}$ サイクル・タイム	t_{KCY11}	$4.5 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	800			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.5 \text{ V}$	1600			ns
$\overline{\text{SCK1}}$ ハイ、ロウ・レベル幅	t_{KH11} ,	$V_{\text{DD}} = 4.5 \sim 5.5 \text{ V}$	$t_{\text{KCY11}}/2 - 50$			ns
	t_{KL11}	$V_{\text{DD}} = 2.7 \sim 5.5 \text{ V}$	$t_{\text{KCY11}}/2 - 100$			ns
SI1セットアップ時間 (対 $\overline{\text{SCK1}} \uparrow$)	t_{SIK11}	$4.5 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	100			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.5 \text{ V}$	150			ns
SI1ホールド時間 (対 $\overline{\text{SCK1}} \uparrow$)	t_{KSI11}		400			ns
$\overline{\text{SCK1}} \downarrow \rightarrow \text{SO1}$ 出力遅延時間	t_{KSO11}	$C = 100 \text{ pF}$ ^注			300	ns
$\overline{\text{SCK1}} \uparrow \rightarrow \text{STB} \uparrow$	t_{SBD}		$t_{\text{KCY11}}/2 - 100$		$t_{\text{KCY11}}/2 + 100$	ns
ストローブ信号ハイ・レベル幅	t_{SBW}	$2.7 \text{ V} \leq V_{\text{DD}} < 5.5 \text{ V}$	$t_{\text{KCY11}} - 30$		$t_{\text{KCY11}} + 30$	ns
ビジー信号セットアップ時間 (対ビジー信号検出タイミング)	t_{BYS}		100			ns
ビジー信号ホールド時間 (対ビジー信号検出タイミング)	t_{BYH}	$4.5 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	100			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.5 \text{ V}$	150			ns
ビジー・インアクティブ $\rightarrow \overline{\text{SCK1}} \downarrow$	t_{SPS}				$2t_{\text{KCY11}}$	ns

注 Cは、 $\overline{\text{SCK1}}$, SO1出力ラインの負荷容量です。

(iv) 自動送受信機能付き 3 線式シリアルI/Oモード ($\overline{\text{SCK1}}$ …外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK1 サイクル・タイム	t _{KCY12}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
SCK1 ハイ, ロウ・レベル幅	t _{KH12} ,	4.5 V ≤ V _{DD} ≤ 5.5 V	400			ns
	t _{KL12}	2.7 V ≤ V _{DD} < 4.5 V	800			ns
SI1 セットアップ時間 (対 $\overline{\text{SCK1}}$ ↑)	t _{SIK12}	V _{DD} = 2.7~5.5 V	100			ns
SI1 ホールド時間 (対 $\overline{\text{SCK1}}$ ↑)	t _{KSI12}		400			ns
$\overline{\text{SCK1}}$ ↓ → SO1 出力遅延時間	t _{KSO12}	C = 100 pF ^注 V _{DD} = 2.7~5.5 V			300	ns
SCK1 立ち上がり, 立ち下がり時間	t _{R12} ,	外部デバイス拡張機能使用時			160	ns
	t _{F12}	外部デバイス拡張機能未使用時			1000	ns

注 Cは、SO1出力ラインの負荷容量です。

(c) シリアル・インタフェース・チャンネル2

(i) 3線式シリアルI/Oモード (SCK2…内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	t _{KCY13}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
SCK2ハイ、ロウ・レベル幅	t _{KH13} ,	V _{DD} = 4.5~5.5 V	t _{KCY13} /2-50			ns
	t _{KL13}	V _{DD} = 2.7~5.5 V	t _{KCY13} /2-100			ns
SI2セットアップ時間 (対SCK2↑)	t _{SIK13}	4.5 V ≤ V _{DD} ≤ 5.5 V	100			ns
		2.7 V ≤ V _{DD} < 4.5 V	150			ns
SI2ホールド時間 (対SCK2↑)	t _{KS13}		400			ns
SCK2↓→SO2 出力遅延時間	t _{KSO13}	C = 100 pF ^注			300	ns

注 Cは、SO2出カラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK2…外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	t _{KCY14}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
SCK2ハイ、ロウ・レベル幅	t _{KH14} ,	4.5 V ≤ V _{DD} ≤ 5.5 V	400			ns
	t _{KL14}	2.7 V ≤ V _{DD} < 4.5 V	800			ns
SI2セットアップ時間 (対SCK2↑)	t _{SIK14}	V _{DD} = 2.7~5.5 V	100			ns
SI2ホールド時間 (対SCK2↑)	t _{KS14}		400			ns
SCK2↓→SO2 出力遅延時間	t _{KSO14}	C = 100 pF ^注 V _{DD} = 2.7~5.5 V			300	ns
SCK2立ち上がり時間, または立ち下がり時間	t _{r14} ,	下記以外			160	ns
	t _{f14}	V _{DD} = 4.5~5.5 V 外部デバイス拡張機能未使用時			1	μs

注 Cは、SO2出カラインの負荷容量です。

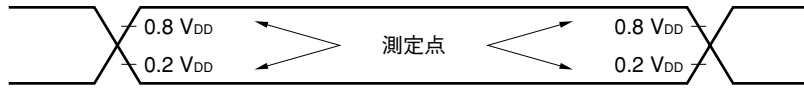
(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			78125	bps
		$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$			39063	bps

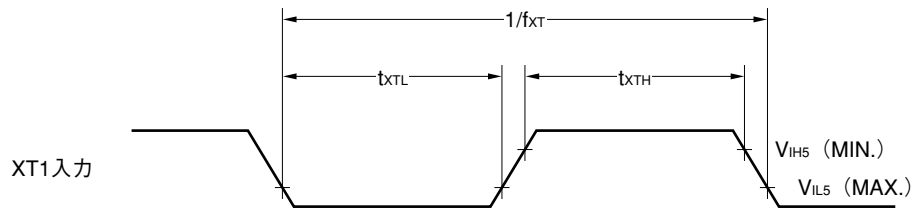
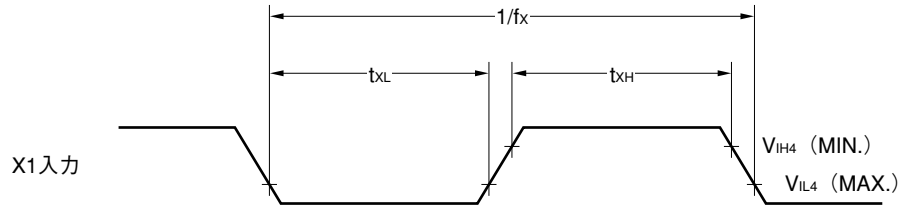
(iv) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCKサイクル・タイム	t _{KCY15}	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	800			ns
		$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$	1600			ns
ASCKハイ、ロウ・レベル幅	t _{KH15} ,	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	400			ns
	t _{KL15}	$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$	800			ns
転送レート		$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			39063	bps
		$2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$			19531	bps
ASCK立ち上がり、立ち下がり時間	t _{R15} ,	V _{DD} = 4.5~5.5 V,			1000	ns
	t _{F15}	外部デバイス拡張機能未使用時 上記以外			160	ns

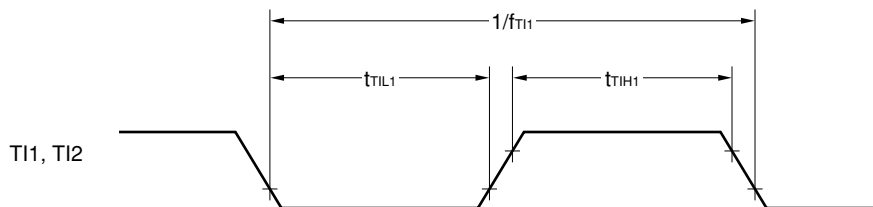
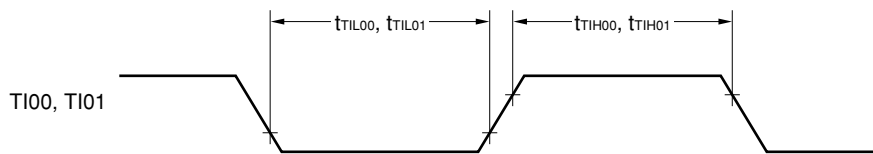
ACタイミング測定点 (X1, XT1入力を除く)



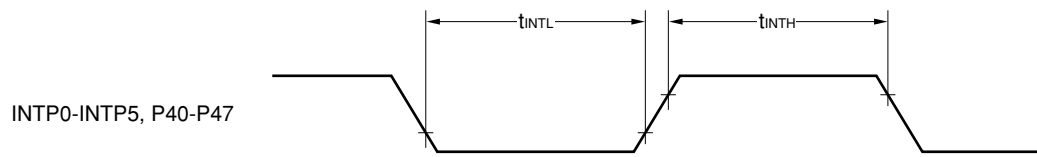
クロック・タイミング



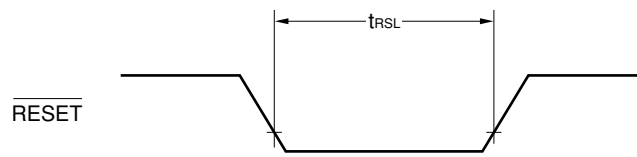
TIタイミング



割り込み要求入力タイミング

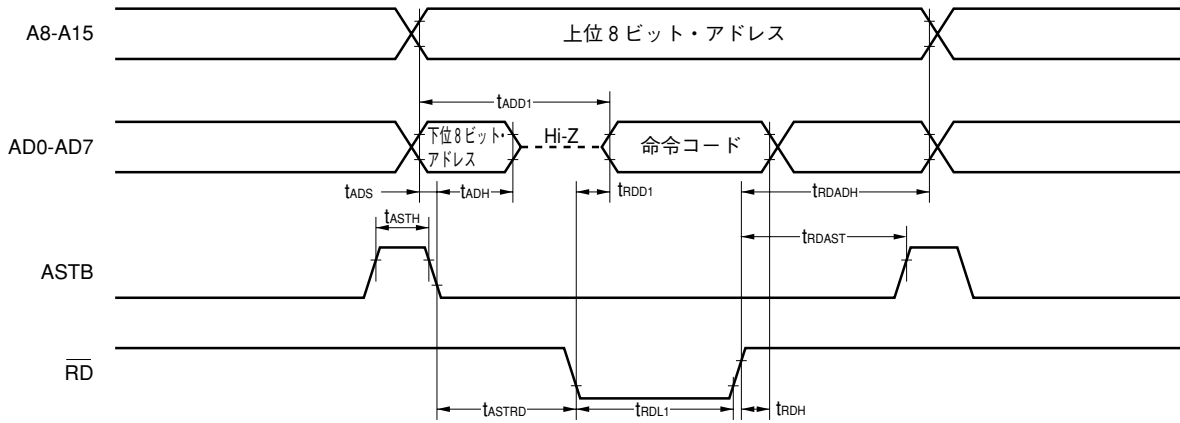


RESET入力タイミング

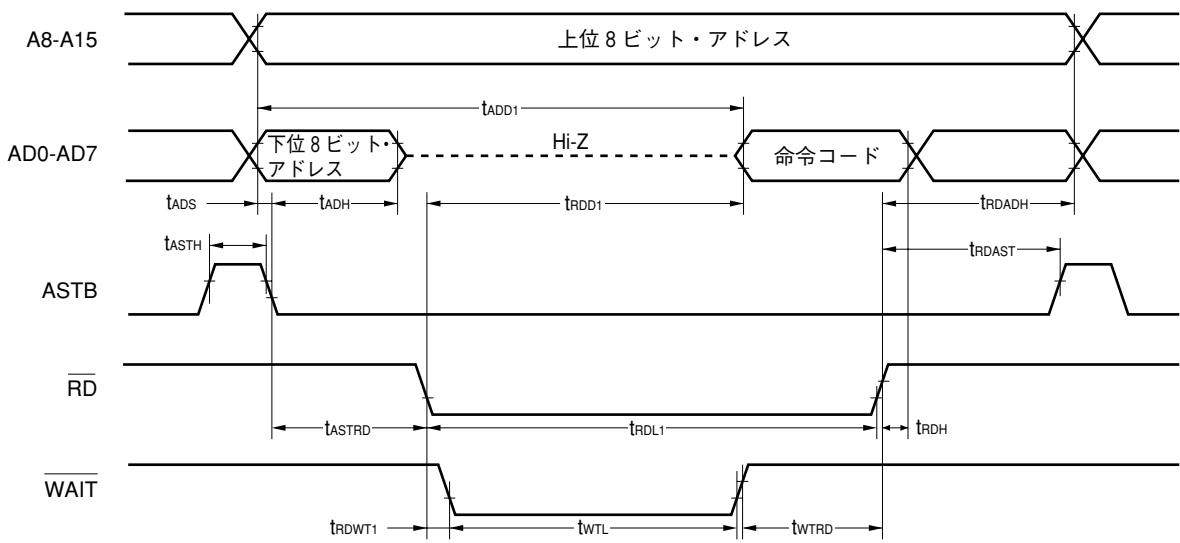


リード/ライト・オペレーション

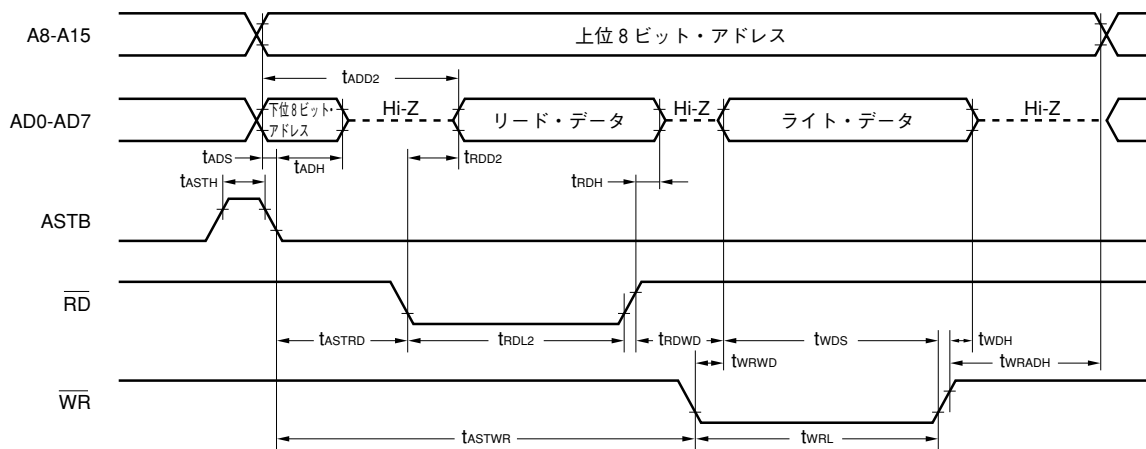
外部フェッチ（ノー・ウエイト時）：



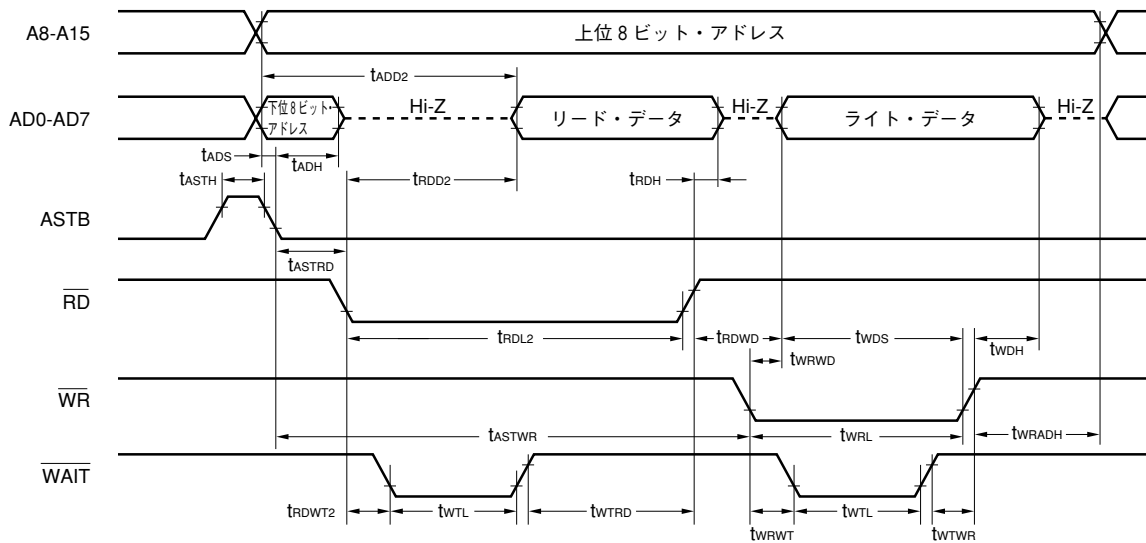
外部フェッチ（ウエイト挿入時）：



外部データ・アクセス（ノー・ウエイト時）：

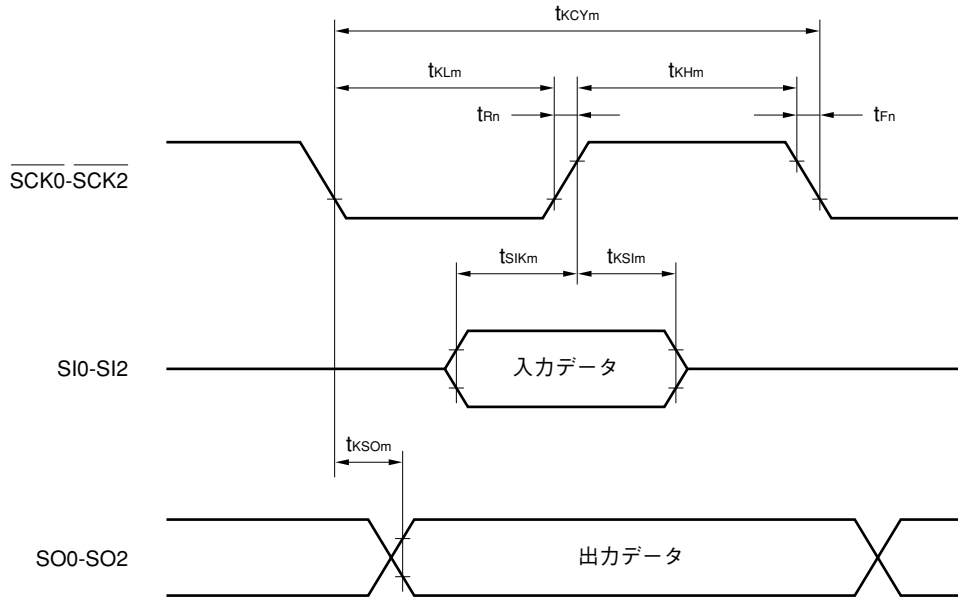


外部データ・アクセス（ウエイト挿入時）：



シリアル転送タイミング

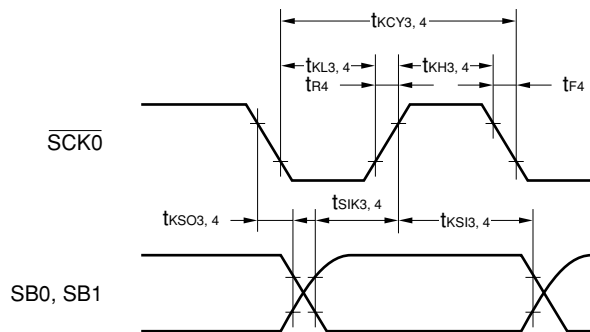
3線式シリアルI/Oモード：



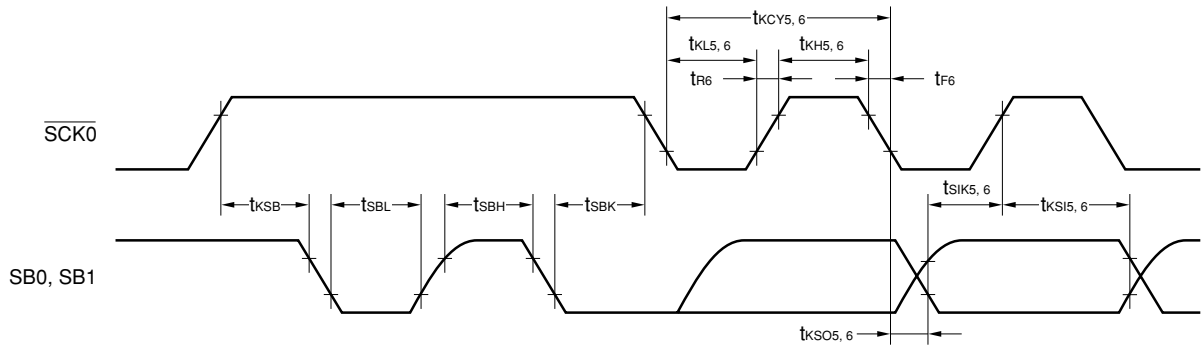
$m = 1, 2, 9, 10, 13, 14$

$n = 2, 10, 14$

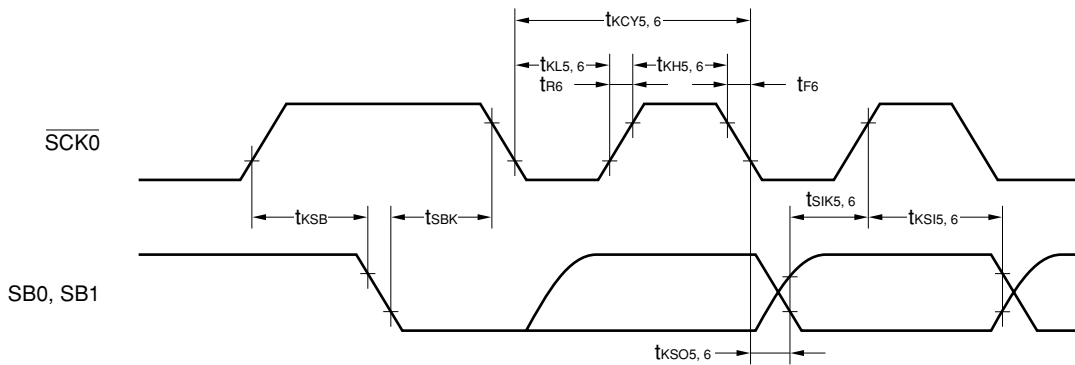
2線式シリアルI/Oモード：



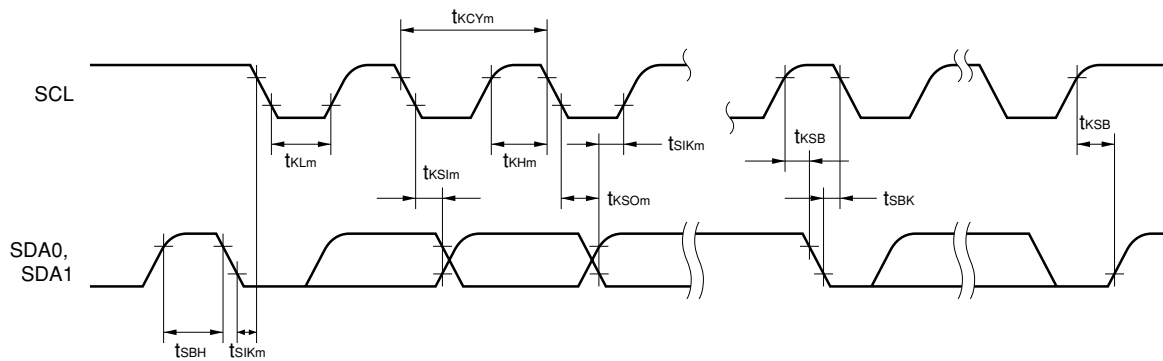
SBIモード (バス・リリース信号転送) :



SBIモード (コマンド信号転送) :

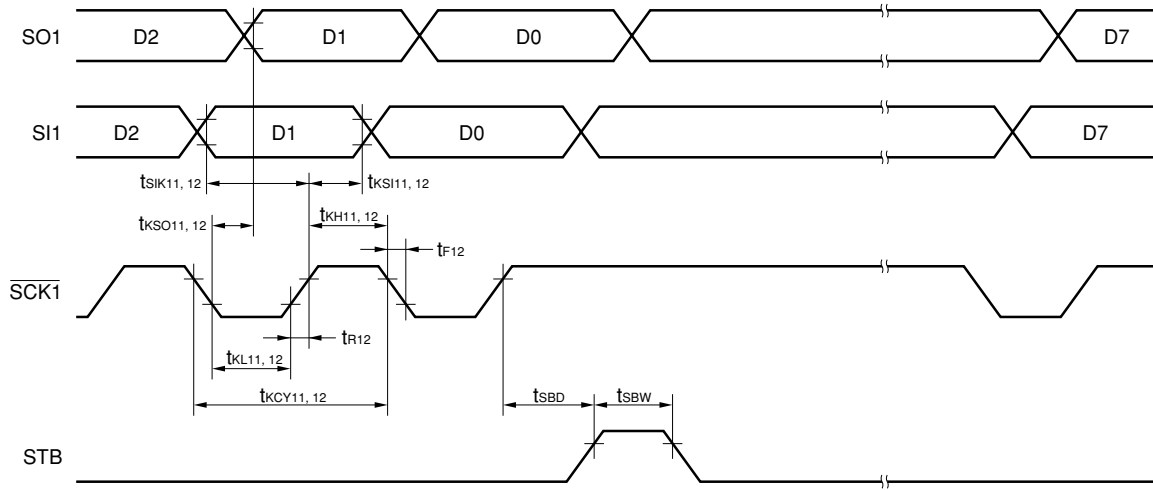


I²Cバス・モード :

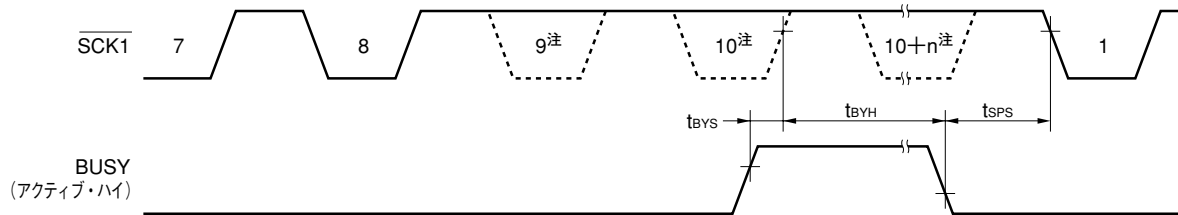


m = 7, 8

自動送受信機能付き 3 線式シリアル I/O モード :

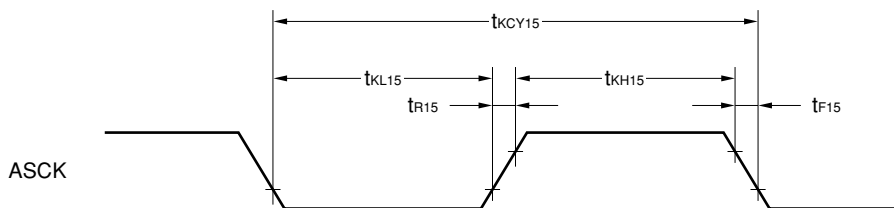


自動送受信機能付き 3 線式シリアル I/O モード (ビジー処理) :



注 ここでは実際にはロウ・レベルになりませんが、タイミング規定のためこのように表記してあります。

UARTモード (外部クロック入力) :



A/Dコンバータ特性 (TA = -40~+85 °C, VDD = 2.7~5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^{注1}		2.7 V ≤ AVREF0 < 4.5 V			±1.0	%FSR
		4.5 V ≤ AVREF0 ≤ 5.5 V			±0.6	%FSR
変換時間	TCONV	2.7 V ≤ AVREF0 ≤ 5.5 V	16		100	μs
アナログ入力電圧	VIAN		AVSS		AVREF0	V
基準電圧	AVREF0		2.7		VDD	V
AVREF0電流	IREF0	A/Dコンバータ動作時 ^{注2}		500	1500	μA
		A/Dコンバータ非動作時 ^{注3}		0	3	μA

注1. 量子化誤差(±1/2LSB)を含みません。フルスケール値に対する比率(%FSR)で表しています。

2. A/Dコンバータ・モード・レジスタ(ADM)のビット7(CS)が1のときに、AVREF0端子に流れる電流です。
3. A/Dコンバータ・モード・レジスタ(ADM)のビット7(CS)が0のときに、AVREF0端子に流れる電流です。

D/Aコンバータ特性 (TA = -40~+85 °C, VDD = 2.7~5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差		R = 2 MΩ ^{注1}			±1.2	%
		R = 4 MΩ ^{注1}			±0.8	%
		R = 10 MΩ ^{注1}			±0.6	%
セットリング・タイム		C = 30 pF ^{注1}			15	μs
出力抵抗	RO	注2		8		kΩ
アナログ基準電圧	AVREF1		1.8		VDD	V
AVREF1電流	IREF1	注2			2.5	mA
AVREF1-AVSS間抵抗	RAIREF1	DACS0, DACS1 = 55H ^{注2}	4	8		kΩ

注1. R, CはD/Aコンバータ出力端子の負荷抵抗, 負荷容量です。

2. D/Aコンバータ1チャンネル分の値です。

備考 DACS0, DACS1 : D/A変換値設定レジスタ 0, 1

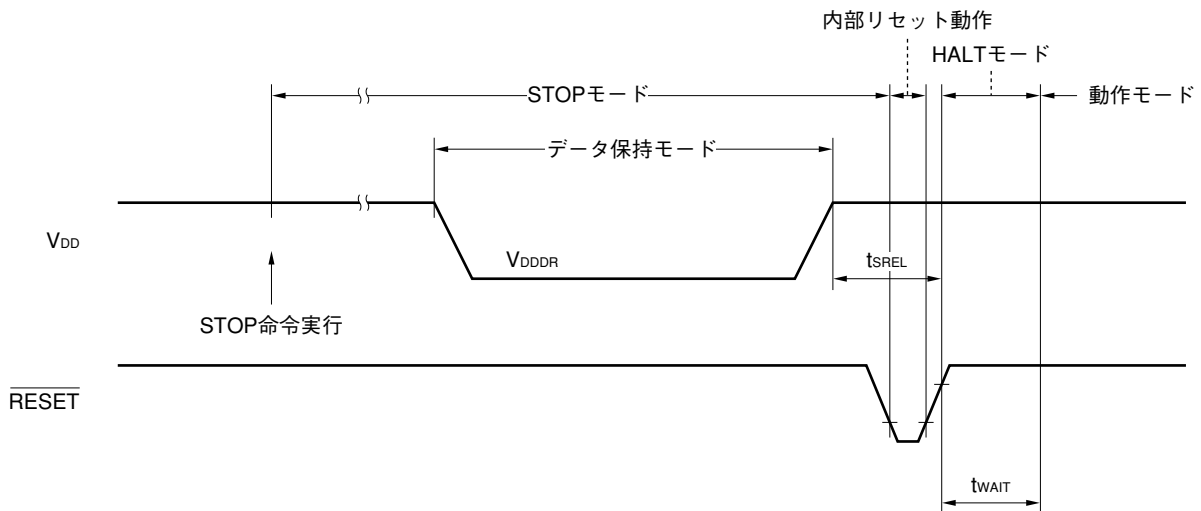
データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40~+85 °C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.8		5.5	V
データ保持電源電流	I _{DDDR}	V _{DDDR} = 1.8 V サブシステム・クロック停止, フィードバック抵抗切断時		0.1	10	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _x		ms
		割り込み要求による解除		注		ms

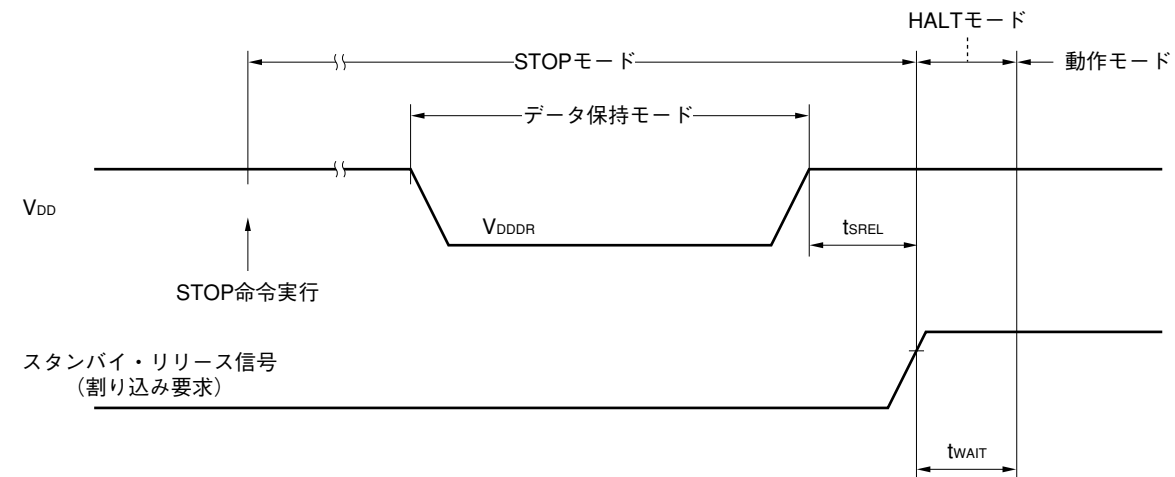
注 発振安定時間選択レジスタ(OSTS)のビット0-2 (OSTS0-OSTS2)により, 2¹²/f_{xx}, 2¹⁴/f_{xx}-2¹⁷/f_{xx}の選択が可能です。

備考 f_{xx} : メイン・システム・クロック周波数(f_xまたはf_x/2)
f_x : メイン・システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み要求信号によるSTOPモード解除)



フラッシュ・メモリ・プログラミング特性 (V_{DD} = 2.7~5.5 V, T_A = 10~40 °C)

(1) 書き込み消去特性

項目	略号	条件	MIN.	TYP.	MAX.	単位	
書き込み電流 (V _{DD} 端子) 注1	IDDW	V _{PP} = V _{PP1} 時	5.0 MHz水晶発振動作モード (f _{XX} = 2.5 MHz) 注2			15.5	mA
			5.0 MHz水晶発振動作モード (f _{XX} = 5.0 MHz) 注3			28.7	mA
書き込み電流 (V _{PP} 端子) 注1	IPPW	V _{PP} = V _{PP1} 時	5.0 MHz水晶発振動作モード (f _{XX} = 2.5 MHz) 注2			19.5	mA
			5.0 MHz水晶発振動作モード (f _{XX} = 5.0 MHz) 注3			32.7	mA
消去電流 (V _{DD} 端子) 注1	IDDE	V _{PP} = V _{PP1} 時	5.0 MHz水晶発振動作モード (f _{XX} = 2.5 MHz) 注2			15.5	mA
			5.0 MHz水晶発振動作モード (f _{XX} = 5.0 MHz) 注3			28.7	mA
消去電流 (V _{PP} 端子) 注1	IPPE	V _{PP} = V _{PP1} 時			100	mA	
単位消去時間	t _{ER}		0.5	1	1	s	
Total消去時間	t _{ERA}				20	s	
書き換え回数	C _{WRT}	消去/書き込みを1サイクルとする			20	回	
V _{PP} 電源電圧	V _{PP0}	通常モード時	0		0.2 V _{DD}	V	
	V _{PP1}	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V	

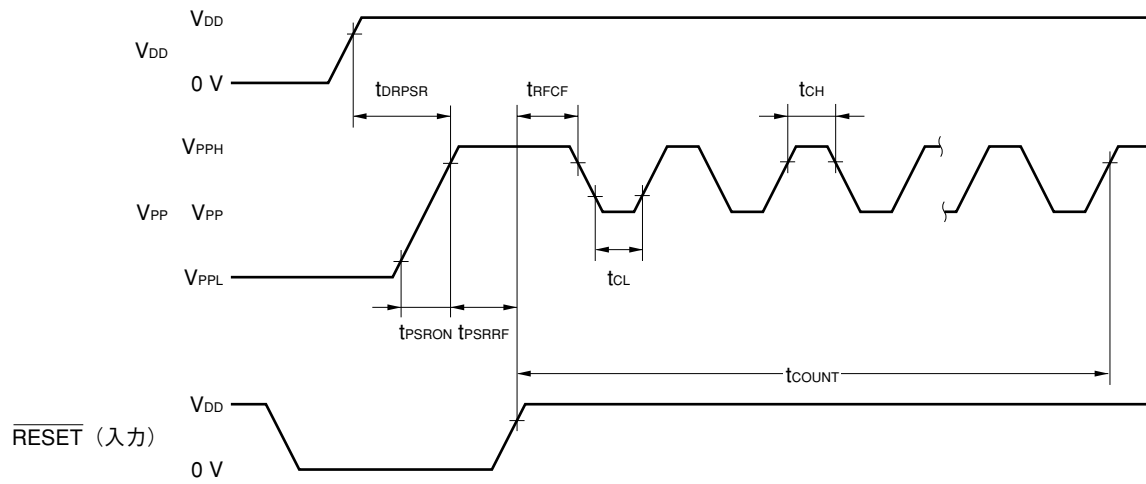
注1. AV_{REF}電流およびポート電流(内蔵プルアップ抵抗に流れる電流)は含みません。

2. メイン・システム・クロックf_{XX} = f_{XX}/2動作時(発振モード選択レジスタ(OSMS)を00Hに設定したとき)
3. メイン・システム・クロックf_{XX} = f_{XX}動作時(OSMSを01Hに設定したとき)

(2) シリアル書き込みオペレーション特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{PP} セット時間	t _{PSRON}	V _{PP} 高電圧	1.0			μs
V _{DD} ↑ → V _{PP} ↑ セット時間	t _{DRPSR}	V _{PP} 高電圧	10			μs
V _{PP} ↑ → $\overline{\text{RESET}}$ ↑ セット時間	t _{PSRRF}	V _{PP} 高電圧	1.0			μs
$\overline{\text{RESET}}$ ↑ → V _{PP} カウンタ開始時間	t _{RFCF}		1.0			μs
カウンタ実行時間	t _{COUNT}				2.0	ms
V _{PP} カウンタ・ハイ・レベル幅	t _{CH}		8.0			μs
V _{PP} カウンタ・ロウ・レベル幅	t _{CL}		8.0			μs
V _{PP} カウンタ・ノイズ除去幅	t _{NFW}			40		ns

フラッシュ書き込みモード設定タイミング



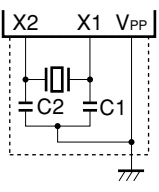
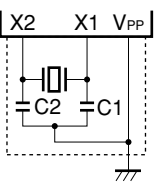
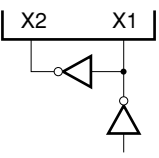
絶対最大定格 (T_A = 25 °C)

項目	略号	条件	定格	単位	
ハイ・レベル出力電流	I _{OH}	1 端子	-10	mA	
		P01-P05, P30-P37, P56, P57, P60-P67, P120-P127合計	-15	mA	
		P10-P17, P20-P27, P40-P47, P50-P55, P70-P72, P130, P131合計	-15	mA	
ロウ・レベル出力電流	I _{OL} ^注	P50-P57, P60-P63以外 1 端子	ピーク値	20	mA
			実効値	10	mA
		P50-P57, P60-P63 1 端子	ピーク値	30	mA
			実効値	15	mA
		P50-P55合計	ピーク値	100	mA
			実効値	70	mA
		P56, P57, P60-P63合計	ピーク値	100	mA
			実効値	70	mA
		P10-P17, P20-P27, P40-P47, P70-P72, P130, P131合計	ピーク値	50	mA
			実効値	20	mA
		P01-P05, P30-P37, P64-P67, P120-P127合計	ピーク値	50	mA
			実効値	20	mA
動作周囲温度	T _A	通常動作時	-40~+85	°C	
		フラッシュ・メモリ・プログラミング時	10~40	°C	
保存温度	T _{stg}		-65~+125	°C	

注 実効値は[実効値] = [ピーク値] × √デューティで計算してください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

メイン・システム・クロック発振回路特性 (T_A = -40~+85 °C, V_{DD} = 2.2~5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f _x) 注1	V _{DD} = 発振電圧範囲	1.0		5.0	MHz
		発振安定時間注2	V _{DD} が発振電圧範囲のMIN. に達したあと			4	ms
水晶振動子		発振周波数 (f _x) 注1		1.0		5.0	MHz
		発振安定時間注2	V _{DD} = 4.5~5.5 V			10	ms
			V _{DD} = 2.2~5.5 V			30	
外部 クロック		X1入力周波数 (f _x) 注1		1.0		5.0	MHz
		X1入力ハイ、ロウ・ レベル幅 (t _{xH} , t _{xL})		85		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。

2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

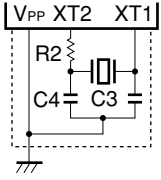
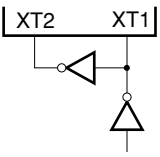
注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

サブシステム・クロック発振回路特性 (T_A = -40~+85 °C, V_{DD} = 2.2~5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f _{XT}) 注1		32	32.768	35	kHz
		発振安定時間注2	V _{DD} = 4.5~5.5 V		1.2	2	s
			V _{DD} = 2.2~5.5 V			10	
外部 クロック		XT1入力周波数 (f _{XT}) 注1		32		35	kHz
		XT1入力ハイ、ロウ・ レベル幅 (t _{XTH} , t _{XTL})		12		15	μs

注1. 発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。

2. V_{DD}が発振電圧範囲のMIN. に達したあと、発振が安定するのに必要な時間です。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常にV_{SS1}と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズによる誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

容 量 (T_A = 25 °C, V_{DD} = V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
入力容量	C _{IN}	f = 1 MHz 被測定端子以外は0 V			15	pF	
入出力容量	C _{IO}	f = 1 MHz 被測定端子以外は0 V	P01-P05, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131			15	pF
			P60-P63			20	pF

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40~+85 °C, V_{DD} = 2.2~5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位			
ハイ・レベル 入力電圧	V _{IH1}	P10-P17, P21, P23, P30- P32, P35-P37, P40-P47, P50-P57, P64-P67, P71, P120-P127, P130, P131	V _{DD} = 2.7~5.5 V	0.7 V _{DD}		V _{DD}	V		
			V _{DD} = 2.2~5.5 V	0.8 V _{DD}		V _{DD}	V		
		V _{IH2}	P00-P05, P20, P22, P24- P27, P33, P34, P70, P72, $\overline{\text{RESET}}$	V _{DD} = 2.7~5.5 V	0.8 V _{DD}		V _{DD}	V	
				V _{DD} = 2.2~5.5 V	0.85 V _{DD}		V _{DD}	V	
		V _{IH3}	P60-P63 (N-chオープン・ドレイン)	V _{DD} = 2.7~5.5 V	0.7 V _{DD}		15	V	
				V _{DD} = 2.2~5.5 V	0.8 V _{DD}		15	V	
	V _{IH4}	X1, X2	V _{DD} = 2.7~5.5 V	V _{DD} -0.5		V _{DD}	V		
			V _{DD} = 2.2~5.5 V	V _{DD} -0.2		V _{DD}	V		
	V _{IH5}	XT1/P07, XT2	4.5 V ≤ V _{DD} ≤ 5.5 V	0.8 V _{DD}		V _{DD}	V		
			2.7 V ≤ V _{DD} < 4.5 V	0.9 V _{DD}		V _{DD}	V		
			2.2 V ≤ V _{DD} < 2.7 V	0.9 V _{DD}		V _{DD}	V		
	ロウ・レベル 入力電圧	V _{IL1}	P10-P17, P21, P23, P30- P32, P35-P37, P40-P47, P50-P57, P64-P67, P71, P120-P127, P130, P131	V _{DD} = 2.7~5.5 V	0		0.3 V _{DD}	V	
				V _{DD} = 2.2~5.5 V	0		0.2 V _{DD}	V	
			V _{IL2}	P00-P05, P20, P22, P24- P27, P33, P34, P70, P72, $\overline{\text{RESET}}$	V _{DD} = 2.7~5.5 V	0		0.2 V _{DD}	V
					V _{DD} = 2.2~5.5 V	0		0.15 V _{DD}	V
V _{IL3}			P60-P63	4.5 V ≤ V _{DD} ≤ 5.5 V	0		0.3 V _{DD}	V	
				2.7 V ≤ V _{DD} < 4.5 V	0		0.2 V _{DD}	V	
		2.2 V ≤ V _{DD} < 2.7 V		0		0.1 V _{DD}	V		
V _{IL4}		X1, X2	V _{DD} = 2.7~5.5 V	0		0.4	V		
			V _{DD} = 2.2~5.5 V	0		0.2	V		
V _{IL5}		XT1/P07, XT2	4.5 V ≤ V _{DD} ≤ 5.5 V	0		0.2 V _{DD}	V		
			2.7 V ≤ V _{DD} < 4.5 V	0		0.1 V _{DD}	V		
			2.2 V ≤ V _{DD} < 2.7 V	0		0.1 V _{DD}	V		
ハイ・レベル 出力電圧		V _{OH}	V _{DD} = 4.5~5.5 V, I _{OH} = -1 mA	V _{DD} -1.0			V		
			V _{DD} = 2.2~5.5 V, I _{OH} = -100 μA	V _{DD} -0.5			V		

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40~+85 °C, V_{DD} = 2.2~5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル 出力電圧	V _{OL1}	P50-P57, P60-P63	V _{DD} = 4.5~5.5 V, I _{OL} = 15 mA		0.4	2.0	V
		P01-P05, P10-P17, P20-P27, P30-P37, P40-P47, P64-P67, P70-P72, P120-P127, P130, P131	V _{DD} = 4.5~5.5 V, I _{OL} = 1.6 mA			0.4	V
	V _{OL2}	SB0, SB1, $\overline{\text{SCK0}}$	V _{DD} = 4.5~5.5 V, オープン・ドレイン, プルアップ時 (R = 1 k Ω)			0.2 V _{DD}	V
	V _{OL3}	I _{OL} = 400 μ A				0.5	V
ハイ・レベル 入力リーク電流	I _{LIH1}	V _{IN} = V _{DD}	P00-P05, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, P70-P72, P120-P127, P130, P131, $\overline{\text{RESET}}$			3	μ A
	I _{LIH2}		X1, X2, XT1/P07, XT2			20	μ A
	I _{LIH3}	V _{IN} = 15 V	P60-P63			80	μ A
ロウ・レベル 入力リーク電流	I _{LIL1}	V _{IN} = 0 V	P00-P05, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131, $\overline{\text{RESET}}$			-3	μ A
	I _{LIL2}		X1, X2, XT1/P07, XT2			-20	μ A
	I _{LIL3}		P60-P63			-3 ^注	μ A
ソフトウェア・ プルアップ抵抗	R	V _{IN} = 0 V, P01-P05, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131		15	30	90	k Ω

注 ポート6 (P6)、ポート・モード・レジスタ6 (PM6)に対して読み出し命令を実行したときの1.5クロック間(ノー・ウエイト時)のみ、ロウ・レベル入力リーク電流が-200 μ A (MAX.)流れます。読み出し命令実行時の1.5クロック間以外では-3 μ A (MAX.)です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40~+85 °C, V_{DD} = 2.2~5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル 出力電流	I _{OH}	1 端子			-1	mA
		全端子			-15	mA
ロウ・レベル 出力電流	I _{OL}	P01-P05, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131 1 端子			10	mA
		P50-P57, P60-P63 1 端子			15	mA
		P10-P17, P20-P27, P40-P47, P70-P72, P130, P131 合計			10	mA
		P01-P05, P30-P37, P64-P67, P120-P127 合計			10	mA
		P50-P57, P60-P63 合計			70	mA

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40~+85 °C, V_{DD} = 2.2~5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位			
電源電流	I _{DD1} ^{注5}	5.0 MHz水晶発振動作モード (f _{xx} = 2.5 MHz) ^{注3}	V _{DD} = 5.0 V ± 10 % ^{注1}		6.2	12.5	mA		
			V _{DD} = 3.0 V ± 10 % ^{注2}		1.3	3.1	mA		
			V _{DD} = 2.2 V ^{注2}		0.68	1.6	mA		
		5.0 MHz水晶発振動作モード (f _{xx} = 5.0 MHz) ^{注4}	V _{DD} = 5.0 V ± 10 % ^{注1}		13.1	25.7	mA		
			V _{DD} = 3.0 V ± 10 % ^{注2}		2.1	4.9	mA		
	I _{DD2}	5.0 MHz水晶発振HALTモード (f _{xx} = 2.5 MHz) ^{注3}	V _{DD} = 5.0 V ± 10 %	周辺機能動作時			5.6	mA	
				周辺機能非動作時		1.0	2.8	mA	
			V _{DD} = 3.0 V ± 10 %	周辺機能動作時			2.9	mA	
				周辺機能非動作時	0.44	1.1	mA		
			V _{DD} = 2.2 V	周辺機能動作時			1.5	mA	
				周辺機能非動作時	0.25	0.6	mA		
		5.0 MHz水晶発振HALTモード (f _{xx} = 5.0 MHz) ^{注4}	V _{DD} = 5.0 V ± 10 %	周辺機能動作時			8.4	mA	
				周辺機能非動作時	1.3	3.1	mA		
			V _{DD} = 3.0 V ± 10 %	周辺機能動作時			4.5	mA	
				周辺機能非動作時	0.6	1.5	mA		
			I _{DD3} ^{注5}	32.768 kHz 水晶発振動作モード ^{注6}	V _{DD} = 5.0 V ± 10 %		110	220	μA
					V _{DD} = 3.0 V ± 10 %		86	172	μA
V _{DD} = 2.2 V		70			140	μA			
I _{DD4} ^{注5}	32.768 kHz 水晶発振HALTモード ^{注6}	V _{DD} = 5.0 V ± 10 %		22.5	56	μA			
		V _{DD} = 3.0 V ± 10 %		3.2	13.2	μA			
		V _{DD} = 2.2 V		1.5	11.5	μA			
I _{DD5} ^{注5}	XT1 = V _{DD} STOPモード フィードバック抵抗使用時	V _{DD} = 5.0 V ± 10 %		1.0	30	μA			
		V _{DD} = 3.0 V ± 10 %		0.5	10	μA			
		V _{DD} = 2.2 V		0.3	10	μA			
I _{DD6} ^{注5}	XT1 = V _{DD} STOPモード フィードバック抵抗非使用時	V _{DD} = 5.0 V ± 10 %		0.1	30	μA			
		V _{DD} = 3.0 V ± 10 %		0.05	10	μA			
		V _{DD} = 2.2 V		0.05	10	μA			

- 注1. 高速モード動作時(プロセッサ・クロック・コントロール・レジスタ(PCC)を00Hに設定したとき)。
- 2. 低速モード動作時(PCCを04Hに設定したとき)。
- 3. メイン・システム・クロックf_{xx} = f_x/2動作時(発振モード選択レジスタ(OSMS)を00Hに設定したとき)。
- 4. メイン・システム・クロックf_{xx} = f_x動作時(OSMSを01Hに設定したとき)。
- 5. V_{DD0}およびV_{DD1}端子に流れる電流です。ただし、A/Dコンバータ、D/Aコンバータおよび内蔵プルアップ抵抗に流れる電流は含みません。
- 6. メイン・システム・クロックの動作を停止させたとき。

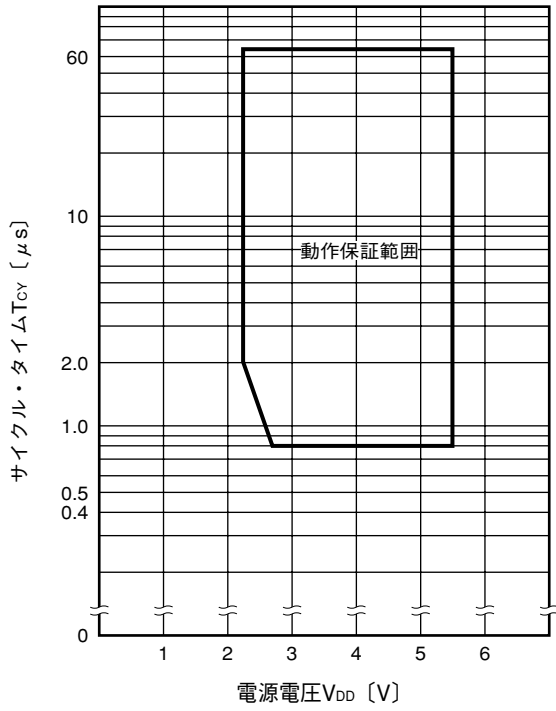
AC特性

(1) 基本動作 (T_A = -40~+85 °C, V_{DD} = 2.2~5.5 V)

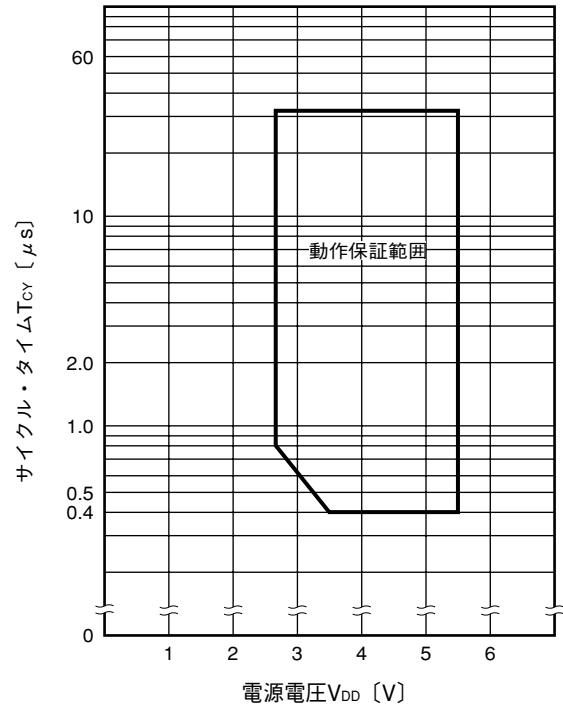
項目	略号	条件		MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T _{CY}	メイン・システム・クロックで動作 (f _{XX} = 2.5 MHz) 注1	V _{DD} = 2.7~5.5 V	0.8		64	μs
			V _{DD} = 2.2~5.5 V	2.0		64	μs
	メイン・システム・クロックで動作 (f _{XX} = 5.0 MHz) 注2	3.5 V ≤ V _{DD} ≤ 5.5 V	0.4		32	μs	
		2.7 V ≤ V _{DD} < 3.5 V	0.8		32	μs	
		サブシステム・クロックで動作		40注3	122	125	μs
TI00入力 ハイ、ロウ・レベル幅	t _{TIH00}	3.5 V ≤ V _{DD} ≤ 5.5 V		2f _{sam} +0.1注4			μs
	t _{TIL00}	2.7 V ≤ V _{DD} < 3.5 V		2f _{sam} +0.2注4			μs
		2.2 V ≤ V _{DD} < 2.7 V		2f _{sam} +0.5注4			μs
TI01入力 ハイ、ロウ・レベル幅	t _{TIH01}	V _{DD} = 2.7~5.5 V		10			μs
	t _{TIL01}	V _{DD} = 2.2~5.5 V		20			μs
TI1, TI2入力周波数	f _{TI1}	V _{DD} = 4.5~5.5 V		0		4	MHz
		V _{DD} = 2.2~5.5 V		0		275	kHz
TI1, TI2 ハイ、ロウ・レベル幅	t _{TIH1}	V _{DD} = 4.5~5.5 V		100			ns
	t _{TIL1}	V _{DD} = 2.2~5.5 V		1.8			μs
割り込み要求入力 ハイ、ロウ・レベル幅	t _{INTH}	INTP0	3.5 V ≤ V _{DD} ≤ 5.5 V	2f _{sam} +0.1注4			μs
			2.7 V ≤ V _{DD} < 3.5 V	2f _{sam} +0.2注4			μs
			2.2 V ≤ V _{DD} < 2.7 V	2f _{sam} +0.5注4			μs
	t _{INTL}	INTP1-INTP5, P40-P47	V _{DD} = 2.7~5.5 V	10			μs
			V _{DD} = 2.2~5.5 V	20			μs
RESET ロウ・レベル幅	t _{RSL}	V _{DD} = 2.7~5.5 V		10			μs
		V _{DD} = 2.2~5.5 V		20			μs

- 注1. メイン・システム・クロック f_{XX} = f_X/2動作時(発振モード選択レジスタ(OSMS)を00Hに設定したとき)
2. メイン・システム・クロック f_{XX} = f_X動作時(OSMSを01Hに設定したとき)
3. 外部クロック使用時の値です。水晶振動子使用時は114 μs(MIN.)です。
4. サンプリング・クロック選択レジスタ(SCS)のビット0, 1(SCS0, SCS1)により, f_{sam} = f_{XX}/2^N, f_{XX}/32, f_{XX}/64, f_{XX}/128の選択が可能です(N = 0-4)。

T_{CY} vs V_{DD} (メイン・システム・クロックf_{XX} = f_X/2動作時)



T_{CY} vs V_{DD} (メイン・システム・クロックf_{XX} = f_X動作時)



(2) リード/ライト・オペレーション

(a) MCS = 1, PCC2-PCC0 = 000Bのとき (T_A = -40~+85 °C, V_{DD} = 3.5~5.5 V)

項 目	略 号	条 件	MIN.	MAX.	単 位
ASTBハイ・レベル幅	t _{ASTH}		0.85t _{cy} -50		ns
アドレス・セットアップ時間	t _{ADS}		0.85t _{cy} -50		ns
アドレス・ホールド時間	t _{ADH}		50		ns
アドレス→データ入力時間	t _{ADD1}			(2.85+2n) t _{cy} -80	ns
	t _{ADD2}			(4+2n) t _{cy} -100	ns
RD↓→データ入力時間	t _{RDD1}			(2+2n) t _{cy} -100	ns
	t _{RDD2}			(2.85+2n) t _{cy} -100	ns
リード・データ・ホールド時間	t _{RDH}		0		ns
RDロウ・レベル幅	t _{RDL1}		(2+2n) t _{cy} -60		ns
	t _{RDL2}		(2.85+2n) t _{cy} -60		ns
RD↓→WAIT↓入力時間	t _{RDWT1}			0.85t _{cy} -50	ns
	t _{RDWT2}			2t _{cy} -60	ns
WR↓→WAIT↓入力時間	t _{WRWT}			2t _{cy} -60	ns
WAITロウ・レベル幅	t _{WTL}		(1.15+2n) t _{cy}	(2+2n) t _{cy}	ns
ライト・データ・セットアップ時間	t _{WDS}		(2.85+2n) t _{cy} -100		ns
ライト・データ・ホールド時間	t _{WDH}		20		ns
WRロウ・レベル幅	t _{WRL}		(2.85+2n) t _{cy} -60		ns
ASTB↓→RD↓遅延時間	t _{ASTRD}		25		ns
ASTB↓→WR↓遅延時間	t _{ASTWR}		0.85t _{cy} +20		ns
外部フェッチ時RD↑→ASTB↑遅延時間	t _{RDAST}		0.85t _{cy} -10	1.15t _{cy} +20	ns
外部フェッチ時RD↑→アドレス・ホールド時間	t _{RDADH}		0.85t _{cy} -50	1.15t _{cy} +50	ns
RD↑→ライト・データ出力時間	t _{RDWD}		40		ns
WR↓→ライト・データ出力時間	t _{WRWD}		0	50	ns
WR↑→アドレス・ホールド時間	t _{WRADH}		0.85t _{cy}	1.15t _{cy} +40	ns
WAIT↑→RD↑遅延時間	t _{WTRD}		1.15t _{cy} +40	3.15t _{cy} +40	ns
WAIT↑→WR↑遅延時間	t _{WTWR}		1.15t _{cy} +30	3.15t _{cy} +30	ns

備考1. MCS：発振モード選択レジスタ(OSMS)のビット0

2. PCC2-PCC0：プロセッサ・クロック・コントロール・レジスタ(PCC)のビット2-0

3. t_{cy} = T_{cy}/4

4. nはウエイト数を示します。

(b) MCS = 0またはPCC2-PCC0≠000Bのとき (T_A = -40~+85 °C, V_{DD} = 2.7~5.5 V)

項 目	略 号	条 件	MIN.	MAX.	単 位
ASTBハイ・レベル幅	t _{ASTH}		t _{cy} -80		ns
アドレス・セットアップ時間	t _{ADS}		t _{cy} -80		ns
アドレス・ホールド時間	t _{ADH}		0.4t _{cy} -10		ns
アドレス→データ入力時間	t _{ADD1}			(3+2n) t _{cy} -160	ns
	t _{ADD2}			(4+2n) t _{cy} -200	ns
$\overline{\text{RD}}$ ↓→データ入力時間	t _{RD1}			(1.4+2n) t _{cy} -70	ns
	t _{RD2}			(2.4+2n) t _{cy} -70	ns
リード・データ・ホールド時間	t _{RDH}		0		ns
$\overline{\text{RD}}$ ロウ・レベル幅	t _{RDL1}		(1.4+2n) t _{cy} -20		ns
	t _{RDL2}		(2.4+2n) t _{cy} -20		ns
$\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ ↓入力時間	t _{RDWT1}			t _{cy} -100	ns
	t _{RDWT2}			2t _{cy} -100	ns
$\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ ↓入力時間	t _{WRWT}			2t _{cy} -100	ns
$\overline{\text{WAIT}}$ ロウ・レベル幅	t _{WTL}		(1+2n) t _{cy}	(2+2n) t _{cy}	ns
ライト・データ・セットアップ時間	t _{WDS}		(2.4+2n) t _{cy} -60		ns
ライト・データ・ホールド時間	t _{WDH}		20		ns
$\overline{\text{WR}}$ ロウ・レベル幅	t _{WRL}		(2.4+2n) t _{cy} -20		ns
ASTB↓→ $\overline{\text{RD}}$ ↓遅延時間	t _{ASTRD}		0.4t _{cy} -30		ns
ASTB↓→ $\overline{\text{WR}}$ ↓遅延時間	t _{ASTWR}		1.4t _{cy} -30		ns
外部フェッチ時 $\overline{\text{RD}}$ ↑→ASTB↑遅延時間	t _{RDAST}		t _{cy} -10	t _{cy} +20	ns
外部フェッチ時 $\overline{\text{RD}}$ ↑→アドレス・ホールド時間	t _{RDADH}		t _{cy} -50	t _{cy} +50	ns
$\overline{\text{RD}}$ ↑→ライト・データ出力時間	t _{RDWD}		0.4t _{cy} -20		ns
$\overline{\text{WR}}$ ↓→ライト・データ出力時間	t _{WRWD}		0	60	ns
$\overline{\text{WR}}$ ↑→アドレス・ホールド時間	t _{WRADH}		t _{cy}	t _{cy} +60	ns
$\overline{\text{WAIT}}$ ↑→ $\overline{\text{RD}}$ ↑遅延時間	t _{WTRD}		0.6t _{cy} +180	2.6t _{cy} +180	ns
$\overline{\text{WAIT}}$ ↑→ $\overline{\text{WR}}$ ↑遅延時間	t _{WTWR}		0.6t _{cy} +120	2.6t _{cy} +120	ns

備考 1. MCS：発振モード選択レジスタ(OSMS)のビット0

2. PCC2-PCC0：プロセッサ・クロック・コントロール・レジスタ(PCC)のビット2-0
3. t_{cy} = T_{cy}/4
4. nはウエイト数を示します。

(c) MCS = 0またはPCC2-PCC0≠000Bのとき (T_A = -40~+85 °C, V_{DD} = 2.2~5.5 V)

項 目	略 号	条 件	MIN.	MAX.	単 位
ASTBハイ・レベル幅	t _{ASTH}		t _{cy} -150		ns
アドレス・セットアップ時間	t _{ADS}		t _{cy} -150		ns
アドレス・ホールド時間	t _{ADH}		0.37t _{cy} -40		ns
アドレス→データ入力時間	t _{ADD1}			(3+2n) t _{cy} -320	ns
	t _{ADD2}			(4+2n) t _{cy} -300	ns
RD↓→データ入力時間	t _{RDD1}			(1.37+2n) t _{cy} -120	ns
	t _{RDD2}			(2.37+2n) t _{cy} -120	ns
リード・データ・ホールド時間	t _{RDH}		0		ns
RDロウ・レベル幅	t _{RDL1}		(1.37+2n) t _{cy} -20		ns
	t _{RDL2}		(2.37+2n) t _{cy} -20		ns
RD↓→WAIT↓入力時間	t _{RDWT1}			t _{cy} -200	ns
	t _{RDWT2}			2t _{cy} -200	ns
WR↓→WAIT↓入力時間	t _{WRWT}			2t _{cy} -200	ns
WAITロウ・レベル幅	t _{WTL}		(1+2n) t _{cy}	(2+2n) t _{cy}	ns
ライト・データ・セットアップ時間	t _{WDS}		(2.37+2n) t _{cy} -100		ns
ライト・データ・ホールド時間	t _{WDH}		20		ns
WRロウ・レベル幅	t _{WRL}		(2.37+2n) t _{cy} -20		ns
ASTB↓→RD↓遅延時間	t _{ASTRD}		0.37t _{cy} -50		ns
ASTB↓→WR↓遅延時間	t _{ASTWR}		1.37t _{cy} -50		ns
外部フェッチ時RD↑→ASTB↑遅延時間	t _{RDAST}		t _{cy} -10	t _{cy} +20	ns
外部フェッチ時RD↑→アドレス・ホールド時間	t _{RDADH}		t _{cy} -50	t _{cy} +50	ns
RD↑→ライト・データ出力時間	t _{RDWD}		0.37t _{cy} -40		ns
WR↓→ライト・データ出力時間	t _{WRWD}		0	120	ns
WR↑→アドレス・ホールド時間	t _{WRADH}		t _{cy}	t _{cy} +120	ns
WAIT↑→RD↑遅延時間	t _{WTRD}		0.63t _{cy} +350	2.63t _{cy} +350	ns
WAIT↑→WR↑遅延時間	t _{WTWR}		0.63t _{cy} +240	2.63t _{cy} +240	ns

備考1. MCS: 発振モード選択レジスタ(OSMS)のビット0

2. PCC2-PCC0: プロセッサ・クロック・コントロール・レジスタ(PCC)のビット2-0

3. t_{cy} = T_{cy}/4

4. nはウエイト数を示します。

(3) シリアル・インタフェース (T_A = -40~+85 °C, V_{DD} = 2.2~5.5 V)

(a) シリアル・インタフェース・チャンネル 0

(i) 3線式シリアルI/Oモード (SCK0…内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK0サイクル・タイム	t _{KCY1}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
		2.2 V ≤ V _{DD} < 2.7 V	3200			ns
SCK0ハイ、ロウ・レベル幅	t _{KH1} ,	V _{DD} = 4.5~5.5 V	t _{KCY1} /2-50			ns
	t _{KL1}	V _{DD} = 2.2~5.5 V	t _{KCY1} /2-100			ns
SIOセットアップ時間 (対SCK0↑)	t _{SIK1}	4.5 V ≤ V _{DD} ≤ 5.5 V	100			ns
		2.7 V ≤ V _{DD} < 4.5 V	150			ns
		2.2 V ≤ V _{DD} < 2.7 V	300			ns
SIOホールド時間 (対SCK0↑)	t _{KS1}		400			ns
SCK0↓→SO0 出力遅延時間	t _{KSO1}	C = 100 pF ^注			300	ns

注 Cは、SCK0, SO0出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK0…外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
SCK0サイクル・タイム	t _{KCY2}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns	
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns	
		2.2 V ≤ V _{DD} < 2.7 V	3200			ns	
SCK0ハイ、ロウ・レベル幅	t _{KH2} ,	4.5 V ≤ V _{DD} ≤ 5.5 V	400			ns	
		t _{KL2}	2.7 V ≤ V _{DD} < 4.5 V	800			ns
			2.2 V ≤ V _{DD} < 2.7 V	1600			ns
SIOセットアップ時間 (対SCK0↑)	t _{SIK2}		100			ns	
SIOホールド時間 (対SCK0↑)	t _{KS2}		400			ns	
SCK0↓→SO0 出力遅延時間	t _{KSO2}	C = 100 pF ^注			300	ns	
SCK0立ち上がり, 立ち下がり時間	t _{R2} ,	外部デバイス拡張機能使用時			160	ns	
		外部デバイス拡張機能未使用時			1000	ns	

注 Cは、SO0出力ラインの負荷容量です。

(iii) 2線式シリアル/Oモード ($\overline{\text{SCK0}}$ …内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK0サイクル・タイム	t _{KCV3}	R = 1 kΩ, C = 100 pF ^注	2.7 V ≤ V _{DD} ≤ 5.5 V	1600		ns
		2.2 V ≤ V _{DD} < 2.7 V	3200		ns	
SCK0ハイ・レベル幅	t _{KH3}	V _{DD} = 2.7~5.5 V	t _{KCV3} /2-160			ns
		V _{DD} = 2.2~5.5 V	t _{KCV3} /2-190			ns
SCK0ロウ・レベル幅	t _{KL3}	V _{DD} = 4.5~5.5 V	t _{KCV3} /2-50			ns
		V _{DD} = 2.2~5.5 V	t _{KCV3} /2-100			ns
SB0, SB1セットアップ 時間 (対SCK0↑)	t _{SIK3}	4.5 V ≤ V _{DD} ≤ 5.5 V	300			ns
		2.7 V ≤ V _{DD} < 4.5 V	350			ns
		2.2 V ≤ V _{DD} < 2.7 V	400			ns
SB0, SB1ホールド時間 (対 $\overline{\text{SCK0}}$ ↑)	t _{KSI3}		600			ns
$\overline{\text{SCK0}}$ ↓ → SB0, SB1 出力遅延時間	t _{KSO3}		0		300	ns

注 R, Cは、 $\overline{\text{SCK0}}$, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(iv) 2線式シリアル/Oモード ($\overline{\text{SCK0}}$ …外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK0サイクル・タイム	t _{KCV4}	2.7 V ≤ V _{DD} ≤ 5.5 V	1600			ns
	t _{KH4}	2.2 V ≤ V _{DD} < 2.7 V	3200			ns
SCK0ハイ・レベル幅	t _{KL4}	2.7 V ≤ V _{DD} ≤ 5.5 V	650			ns
	t _{SIK4}	2.2 V ≤ V _{DD} < 2.7 V	1300			ns
SCK0ロウ・レベル幅	t _{KSI4}	2.7 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.2 V ≤ V _{DD} < 2.7 V	1600			ns
SB0, SB1セットアップ 時間 (対SCK0↑)	t _{KSO4}		100			ns
SB0, SB1ホールド時間 (対SCK0↑)	t _{R4}		t _{KCV4} /2			ns
SCK0 ↓ → SB0, SB1 出力遅延時間	t _{F4}	R = 1 kΩ, C = 100 pF ^注	4.5 V ≤ V _{DD} ≤ 5.5 V	0	300	ns
		2.2 V ≤ V _{DD} < 4.5 V	0	500	ns	
SCK0立ち上がり, 立ち下がり時間		外部デバイス拡張機能使用時			160	ns
		外部デバイス拡張機能未使用時			1000	ns

注 R, Cは、SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(v) SBIモード ($\overline{\text{SCK0}}$ …内部クロック出力) ($\mu\text{PD78F0058}$, 78F0058Yのみ)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
$\overline{\text{SCK0}}$ サイクル・タイム	t _{KCY5}	4.5 V ≤ V _{DD} ≤ 5.5 V		800			ns
		2.2 V ≤ V _{DD} < 4.5 V		3200			ns
$\overline{\text{SCK0}}$ ハイ、ロウ・レベル幅	t _{KH5} ,	4.5 V ≤ V _{DD} ≤ 5.5 V		t _{KCY5} /2-50			ns
	t _{KL5}	2.2 V ≤ V _{DD} < 4.5 V		t _{KCY5} /2-150			ns
SB0, SB1セットアップ時間 (対 $\overline{\text{SCK0}}$ ↑)	t _{SIK5}	4.5 V ≤ V _{DD} ≤ 5.5 V		100			ns
		2.2 V ≤ V _{DD} < 4.5 V		300			ns
SB0, SB1ホールド時間 (対 $\overline{\text{SCK0}}$ ↑)	t _{KSI5}			t _{KCY5} /2			ns
$\overline{\text{SCK0}}$ ↓→SB0, SB1出力遅延時間	t _{KSO5}	R = 1 kΩ, C = 100 pF ^注	V _{DD} = 4.5~5.5 V	0		250	ns
			V _{DD} = 2.2~5.5 V	0		1000	ns
$\overline{\text{SCK0}}$ ↑→SB0, SB1↓	t _{KSB}			t _{KCY5}			ns
SB0, SB1↓→ $\overline{\text{SCK0}}$ ↓	t _{SBK}			t _{KCY5}			ns
SB0, SB1ハイ・レベル幅	t _{SBH}			t _{KCY5}			ns
SB0, SB1ロウ・レベル幅	t _{SBL}			t _{KCY5}			ns

注 R, Cは、 $\overline{\text{SCK0}}$, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vi) SBIモード ($\overline{\text{SCK0}}$ …外部クロック入力) ($\mu\text{PD78F0058}$, 78F0058Yのみ)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
$\overline{\text{SCK0}}$ サイクル・タイム	t _{KCY6}	4.5 V ≤ V _{DD} ≤ 5.5 V		800			ns
		2.2 V ≤ V _{DD} < 4.5 V		3200			ns
$\overline{\text{SCK0}}$ ハイ、ロウ・レベル幅	t _{KH6} ,	4.5 V ≤ V _{DD} ≤ 5.5 V		400			ns
	t _{KL6}	2.2 V ≤ V _{DD} < 4.5 V		1600			ns
SB0, SB1セットアップ時間 (対 $\overline{\text{SCK0}}$ ↑)	t _{SIK6}	4.5 V ≤ V _{DD} ≤ 5.5 V		100			ns
		2.2 V ≤ V _{DD} < 4.5 V		300			ns
SB0, SB1ホールド時間 (対 $\overline{\text{SCK0}}$ ↑)	t _{KSI6}			t _{KCY6} /2			ns
$\overline{\text{SCK0}}$ ↓→SB0, SB1出力遅延時間	t _{KSO6}	R = 1 kΩ, C = 100 pF ^注	V _{DD} = 4.5~5.5 V	0		300	ns
			V _{DD} = 2.2~5.5 V	0		1000	ns
$\overline{\text{SCK0}}$ ↑→SB0, SB1↓	t _{KSB}			t _{KCY6}			ns
SB0, SB1↓→ $\overline{\text{SCK0}}$ ↓	t _{SBK}			t _{KCY6}			ns
SB0, SB1ハイ・レベル幅	t _{SBH}			t _{KCY6}			ns
SB0, SB1ロウ・レベル幅	t _{SBL}			t _{KCY6}			ns
$\overline{\text{SCK0}}$ 立ち上がり, 立ち下がり時間	t _{r6} ,	外部デバイス拡張機能使用時				160	ns
	t _{f6}	外部デバイス拡張機能未使用時				1000	ns

注 R, Cは、SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vii) I²Cバス・モード (SCL…内部クロック出力) (μPD78F0058Yのみ)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCLサイクル・タイム	t _{KCY7}	R = 1 kΩ, C = 100 pF ^注	2.7 V ≤ V _{DD} < 5.5 V	10			μs
			2.2 V ≤ V _{DD} < 2.7 V	20			ns
SCLハイ・レベル幅	t _{KH7}		V _{DD} = 2.7~5.5 V	t _{KCY7} - 160			ns
			V _{DD} = 2.2~5.5 V	t _{KCY7} - 190			ns
SCLロウ・レベル幅	t _{KL7}		V _{DD} = 4.5~5.5 V	t _{KCY7} - 50			ns
			V _{DD} = 2.2~5.5 V	t _{KCY7} - 100			ns
SDA0, SDA1セット・アップ 時間 (対SCL↑)	t _{SIK7}		2.7 V ≤ V _{DD} ≤ 5.5 V	200			ns
			2.2 V ≤ V _{DD} < 2.7 V	300			ns
SDA0, SDA1ホールド時 間 (対SCL↓)	t _{KSI7}			0			ns
SCL↓→SDA0, SDA1 出力遅延時間	t _{KSO7}		4.5 V ≤ V _{DD} ≤ 5.5 V	0		300	ns
			2.2 V ≤ V _{DD} < 4.5 V	0		500	ns
SCL↑→SDA0, SDA1↓または SCL↑→SDA0, SDA1↑	t _{KSB}			200			ns
SDA0, SDA1↓→SCL↓	t _{SBK}			400			ns
SDA0, SDA1ハイ・レベル幅	t _{SBH}			500			ns

注 R, Cは、SCL, SDA0, SDA1出力ラインの負荷抵抗, 負荷容量です。

(viii) I²Cバス・モード (SCL…外部クロック入力) (μPD78F0058Yのみ)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCLサイクル・タイム	t _{KCY8}			1			μs
SCLハイ・レベル幅	t _{KH8}			400			ns
SDA0, SDA1セット・アップ 時間 (対SCL↑)	t _{SIK8}			200			ns
SDA0, SDA1ホールド時 間 (対SCL↓)	t _{KSI8}			0			ns
SCL↓→SDA0, SDA1 出力遅延時間	t _{KSO8}	R = 1 kΩ, C = 100 pF ^注	4.5 V ≤ V _{DD} ≤ 5.5 V	0		300	ns
			2.2 V ≤ V _{DD} < 4.5 V	0		500	ns
SCL↑→SDA0, SDA1↓または SCL↑→SDA0, SDA1↑	t _{KSB}			200			ns
SDA0, SDA1↓→SCL↓	t _{SBK}			400			ns
SDA0, SDA1ハイ・レベル幅	t _{SBH}			500			ns

注 R, Cは、SDA0, SDA1出力ラインの負荷抵抗, 負荷容量です。

(b) シリアル・インタフェース・チャンネル1

(i) 3線式シリアルI/Oモード (SCK1…内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	t _{KCY9}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
		2.2 V ≤ V _{DD} < 2.7 V	3200			ns
SCK1ハイ、ロウ・レベル幅	t _{KH9} ,	V _{DD} = 4.5~5.5 V	t _{KCY9} /2-50			ns
	t _{KL9}	V _{DD} = 2.2~5.5 V	t _{KCY9} /2-100			ns
SI1セットアップ時間 (対SCK1↑)	t _{SIK9}	4.5 V ≤ V _{DD} ≤ 5.5 V	100			ns
		2.7 V ≤ V _{DD} < 4.5 V	150			ns
		2.2 V ≤ V _{DD} < 2.7 V	300			ns
SI1ホールド時間 (対SCK1↑)	t _{KS9}		400			ns
SCK1↓→SO1 出力遅延時間	t _{KSO9}	C = 100 pF ^注			300	ns

注 Cは、SCK1, SO1出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK1…外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	t _{KCY10}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
		2.2 V ≤ V _{DD} < 2.7 V	3200			ns
SCK1ハイ、ロウ・レベル幅	t _{KH10} ,	4.5 V ≤ V _{DD} ≤ 5.5 V	400			ns
	t _{KL10}	2.7 V ≤ V _{DD} < 4.5 V	800			ns
		2.2 V ≤ V _{DD} < 2.7 V	1600			ns
SI1セットアップ時間 (対SCK1↑)	t _{SIK10}		100			ns
SI1ホールド時間 (対SCK1↑)	t _{KS10}		400			ns
SCK1↓→SO1 出力遅延時間	t _{KSO10}	C = 100 pF ^注			300	ns
SCK1立ち上がり, 立ち下がり時間	t _{R10} ,	外部デバイス拡張機能使用時			160	ns
	t _{F10}	外部デバイス拡張機能未使用時			1000	ns

注 Cは、SO1出力ラインの負荷容量です。

(iii) 自動送受信機能付き 3 線式シリアルI/Oモード ($\overline{\text{SCK1}}$ …内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK1 サイクル・タイム	t _{KCY11}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
		2.2 V ≤ V _{DD} < 2.7 V	3200			ns
$\overline{\text{SCK1}}$ ハイ、ロウ・レベル幅	t _{KH11} ,	V _{DD} = 4.5~5.5 V	t _{KCY11} /2-50			ns
	t _{KL11}	V _{DD} = 2.2~5.5 V	t _{KCY11} /2-100			ns
SI1 セットアップ時間 (対 $\overline{\text{SCK1}}$ ↑)	t _{SIK11}	4.5 V ≤ V _{DD} ≤ 5.5 V	100			ns
		2.7 V ≤ V _{DD} < 4.5 V	150			ns
		2.2 V ≤ V _{DD} < 2.7 V	300			ns
SI1 ホールド時間 (対 $\overline{\text{SCK1}}$ ↑)	t _{SI11}		400			ns
$\overline{\text{SCK1}}$ ↓ → SO1 出力遅延時間	t _{KSO11}	C = 100 pF ^注			300	ns
$\overline{\text{SCK1}}$ ↑ → STB ↑	t _{SBD}		t _{KCY11} /2-100		t _{KCY11} /2+100	ns
ストロープ信号ハイ・レベル幅	t _{SBW}	2.7 V ≤ V _{DD} < 5.5 V	t _{KCY11} -30		t _{KCY11} +30	ns
		2.2 V ≤ V _{DD} < 2.7 V	t _{KCY11} -60		t _{KCY11} +60	ns
ビジィ信号セットアップ時間 (対ビジィ信号検出タイミング)	t _{BYS}		100			ns
ビジィ信号ホールド時間 (対ビジィ信号検出タイミング)	t _{BYH}	4.5 V ≤ V _{DD} ≤ 5.5 V	100			ns
		2.7 V ≤ V _{DD} < 4.5 V	150			ns
		2.2 V ≤ V _{DD} < 2.7 V	200			ns
ビジィ・インアクティブ→ $\overline{\text{SCK1}}$ ↓	t _{SPS}				2t _{KCY11}	ns

注 Cは、 $\overline{\text{SCK1}}$, SO1出力ラインの負荷容量です。

(iv) 自動送受信機能付き 3 線式シリアル/Oモード ($\overline{\text{SCK1}}$ …外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{\text{SCK1}}$ サイクル・タイム	t_{KCY12}	$4.5 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	800			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.5 \text{ V}$	1600			ns
		$2.2 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	3200			ns
$\overline{\text{SCK1}}$ ハイ, ロウ・レベル幅	$t_{\text{KH12}},$ t_{KL12}	$4.5 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$	400			ns
		$2.7 \text{ V} \leq V_{\text{DD}} < 4.5 \text{ V}$	800			ns
		$2.2 \text{ V} \leq V_{\text{DD}} < 2.7 \text{ V}$	1600			ns
SI1セットアップ時間 (対 $\overline{\text{SCK1}}$ ↑)	t_{SIK12}		100		300	ns
SI1ホールド時間 (対 $\overline{\text{SCK1}}$ ↑)	t_{KSI12}		400		160	ns
$\overline{\text{SCK1}}$ ↓→SO1出力遅延時間	t_{KSO12}	$C = 100 \text{ pF}$ ^注			1000	ns
$\overline{\text{SCK1}}$ 立ち上がり, 立ち下がり時間	$t_{\text{R12}},$ t_{F12}	外部デバイス拡張機能使用時				ns
		外部デバイス拡張機能未使用時				ns

注 Cは, SO1出力ラインの負荷容量です。

(c) シリアル・インタフェース・チャンネル 2

(i) 3線式シリアルI/Oモード (SCK2…内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	t _{KCY13}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
		2.2 V ≤ V _{DD} < 2.7 V	3200			ns
SCK2ハイ, ロウ・レベル幅	t _{KH13} ,	V _{DD} = 4.5~5.5 V	t _{KCY13} /2-50			ns
	t _{KL13}	V _{DD} = 2.2~5.5 V	t _{KCY13} /2-100			ns
SI2セットアップ時間 (対SCK2↑)	t _{SIK13}	4.5 V ≤ V _{DD} ≤ 5.5 V	100			ns
		2.7 V ≤ V _{DD} < 4.5 V	150			ns
		2.2 V ≤ V _{DD} < 2.7 V	300			ns
SI2ホールド時間 (対SCK2↑)	t _{KSH13}		400			ns
SCK2↓→SO2 出力遅延時間	t _{KSO13}	C = 100 pF ^注			300	ns

注 Cは、SO2出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK2…外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	t _{KCY14}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
		2.2 V ≤ V _{DD} < 2.7 V	3200			ns
SCK2ハイ, ロウ・レベル幅	t _{KH14} ,	4.5 V ≤ V _{DD} ≤ 5.5 V	400			ns
	t _{KL14}	2.7 V ≤ V _{DD} < 4.5 V	800			ns
		2.2 V ≤ V _{DD} < 2.7 V	1600			ns
SI2セットアップ時間 (対SCK2↑)	t _{SIK14}		100			ns
SI2ホールド時間 (対SCK2↑)	t _{KSH14}		400			ns
SCK2↓→SO2 出力遅延時間	t _{KSO14}	C = 100 pF ^注			300	ns
SCK2立ち上がり時間, または立ち下がり時間	t _{R14} ,	下記以外			160	ns
	t _{F14}	V _{DD} = 4.5~5.5 V 外部デバイス拡張機能未使用時			1	μs

注 Cは、SO2出力ラインの負荷容量です。

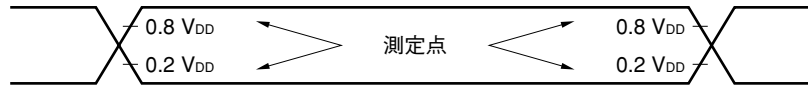
(iii) UARTモード (専用ポー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		4.5 V ≤ V _{DD} ≤ 5.5 V			78125	bps
		2.7 V ≤ V _{DD} < 4.5 V			39063	bps
		2.2 V ≤ V _{DD} < 2.7 V			19531	bps

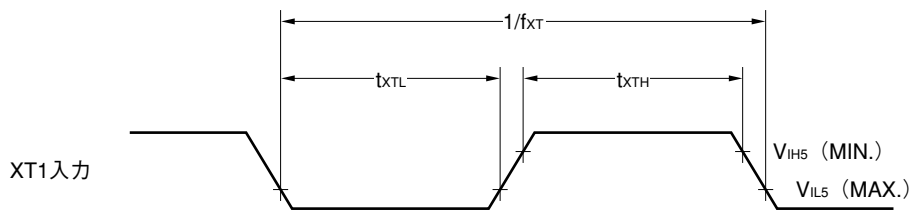
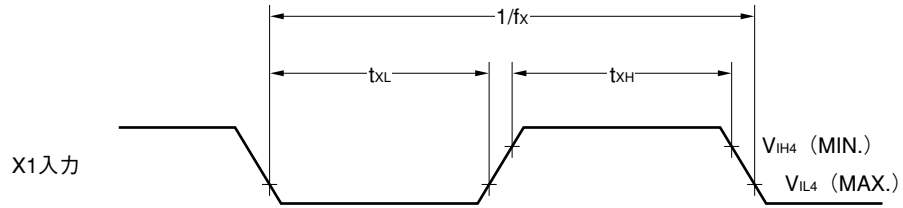
(iv) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCKサイクル・タイム	t _{KCY15}	4.5 V ≤ V _{DD} ≤ 5.5 V	800			ns
		2.7 V ≤ V _{DD} < 4.5 V	1600			ns
		2.2 V ≤ V _{DD} < 2.7 V	3200			ns
ASCKハイ, ロウ・レベル幅	t _{KH15} ,	4.5 V ≤ V _{DD} ≤ 5.5 V	400			ns
	t _{KL15}	2.7 V ≤ V _{DD} < 4.5 V	800			ns
		2.2 V ≤ V _{DD} < 2.7 V	1600			ns
転送レート		4.5 V ≤ V _{DD} ≤ 5.5 V			39063	bps
		2.7 V ≤ V _{DD} < 4.5 V			19531	bps
		2.2 V ≤ V _{DD} < 2.7 V			9766	bps
ASCK立ち上がり, 立ち下がり時間	t _{R15} ,	V _{DD} = 4.5~5.5 V,			1000	ns
	t _{F15}	外部デバイス拡張機能未使用時				
		上記以外			160	ns

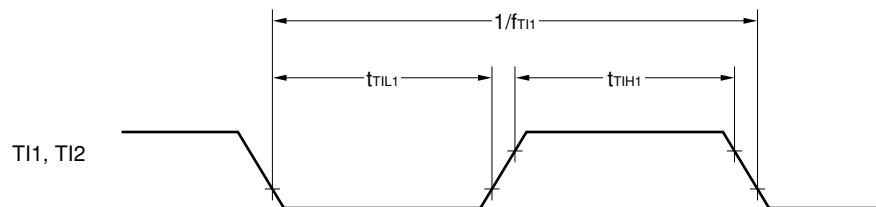
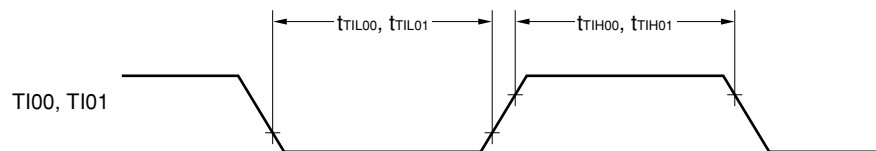
ACタイミング測定点 (X1, XT1入力を除く)



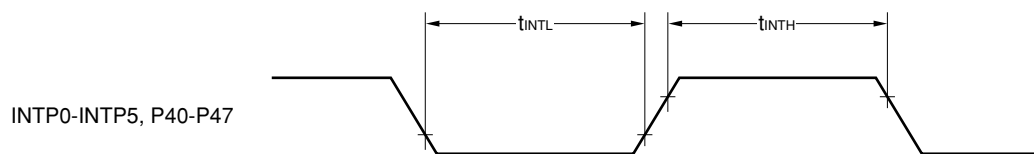
クロック・タイミング



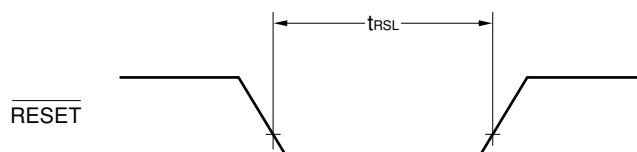
TIタイミング



割り込み要求入力タイミング

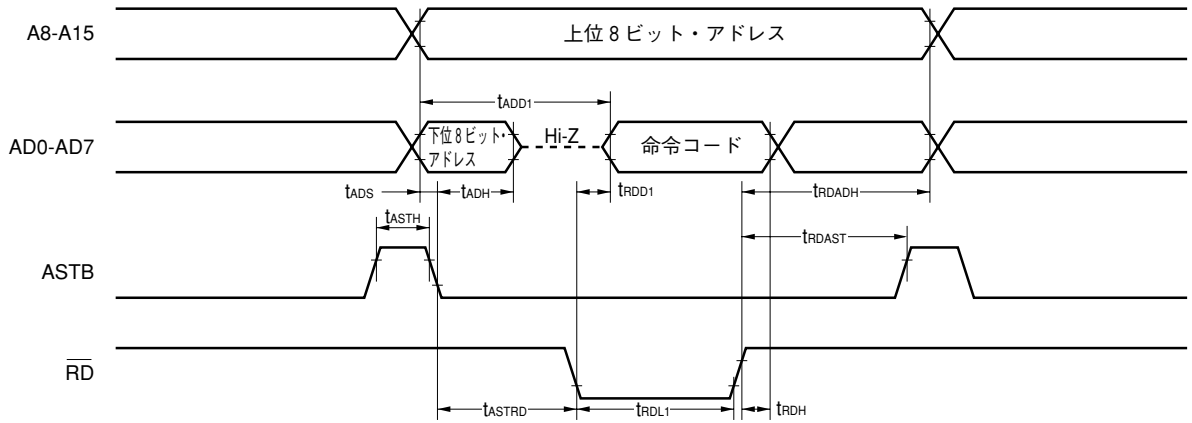


RESET入力タイミング

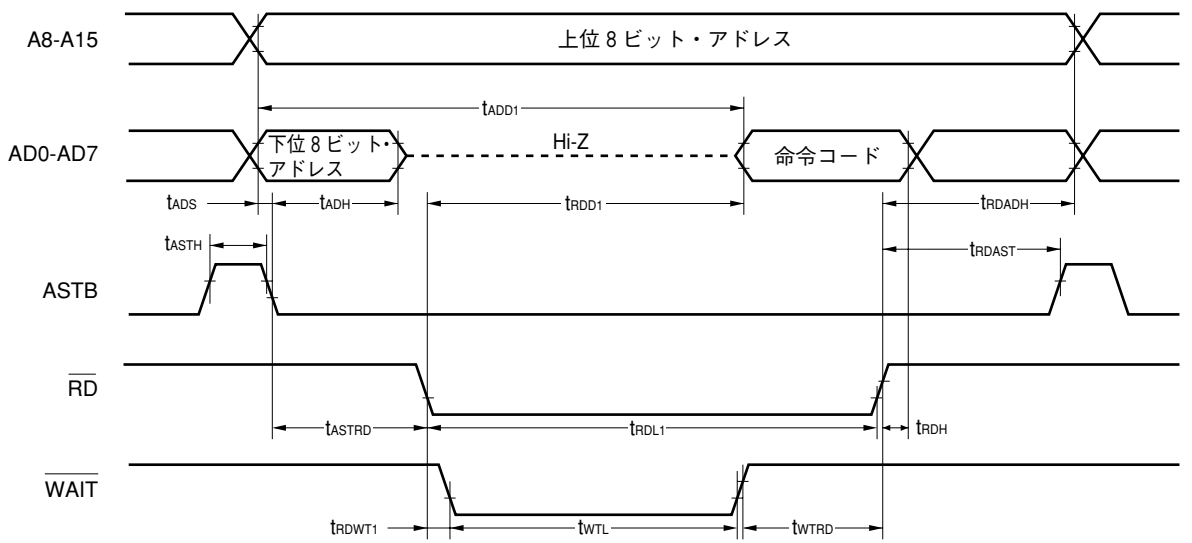


リード/ライト・オペレーション

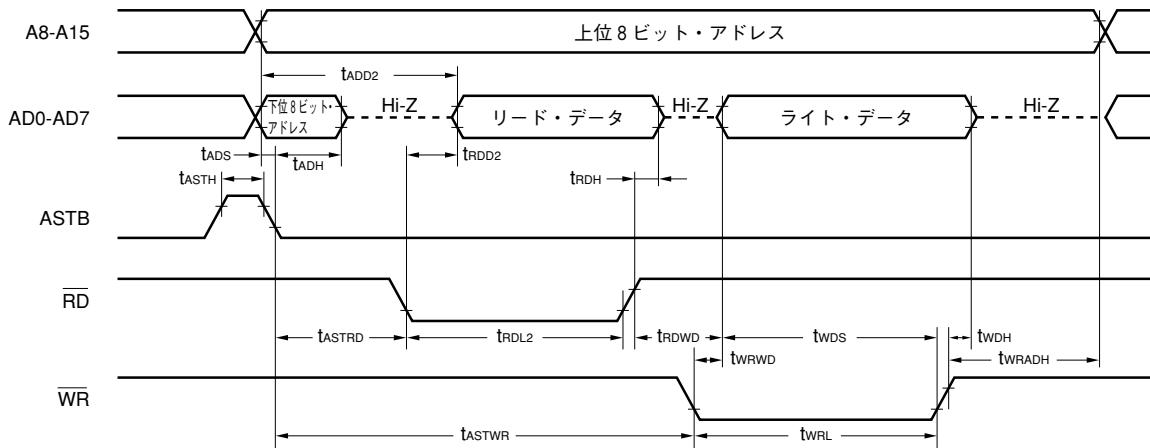
外部フェッチ (ノー・ウエイト時) :



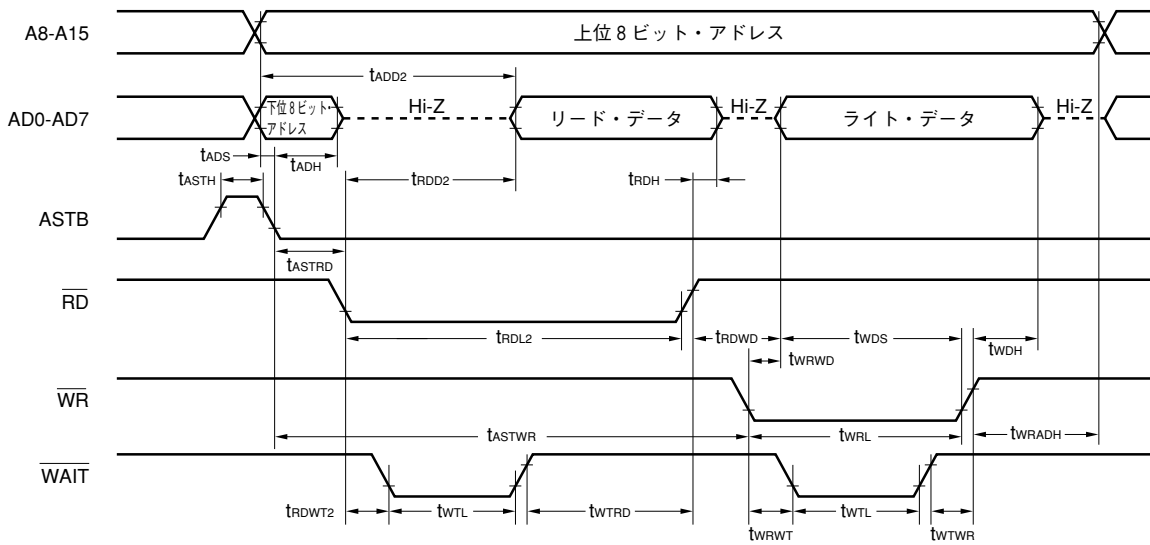
外部フェッチ (ウエイト挿入時) :



外部データ・アクセス（ノー・ウエイト時）：

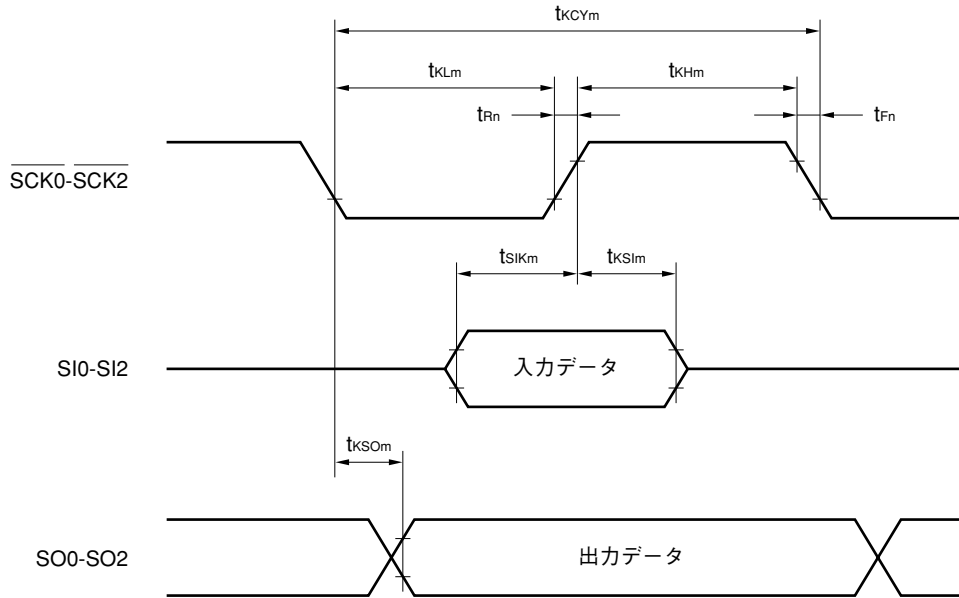


外部データ・アクセス（ウエイト挿入時）：



シリアル転送タイミング

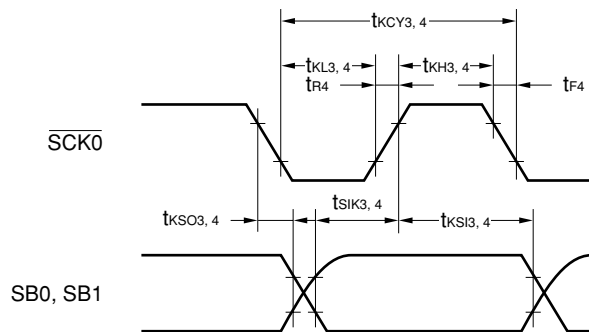
3線式シリアルI/Oモード：



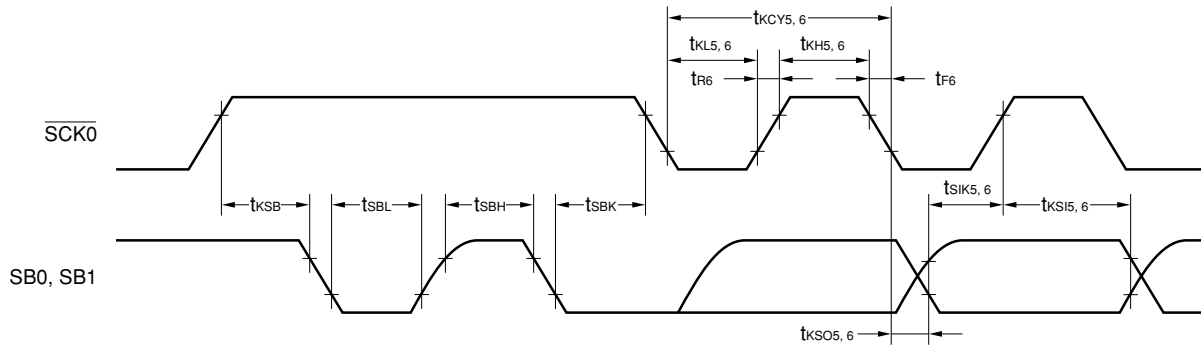
$m = 1, 2, 9, 10, 13, 14$

$n = 2, 10, 14$

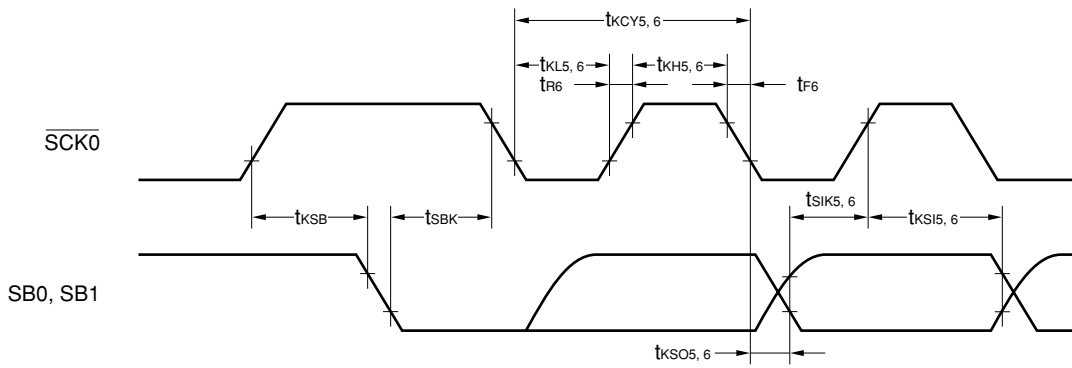
2線式シリアルI/Oモード：



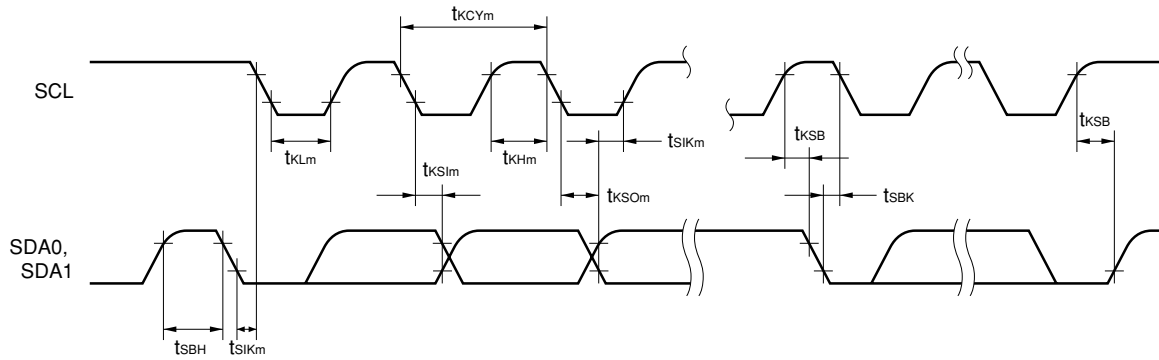
SBIモード (バス・リリース信号転送) :



SBIモード (コマンド信号転送) :

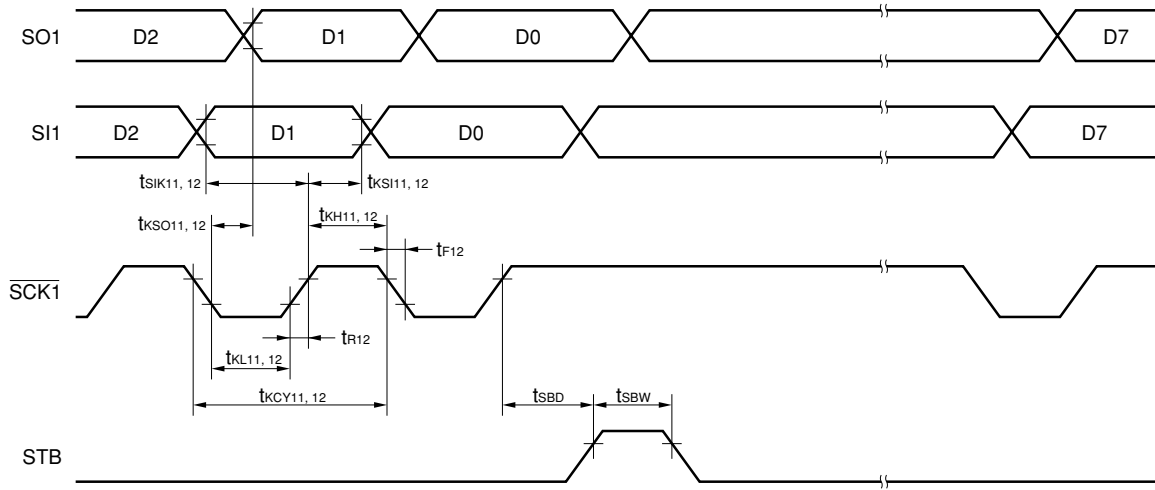


I²Cバス・モード :

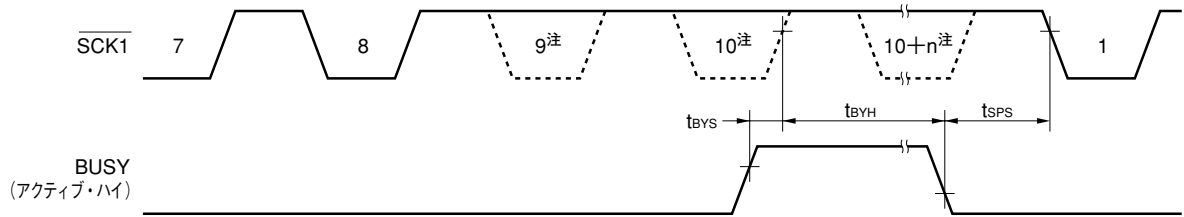


m = 7, 8

自動送受信機能付き 3 線式シリアルI/Oモード :

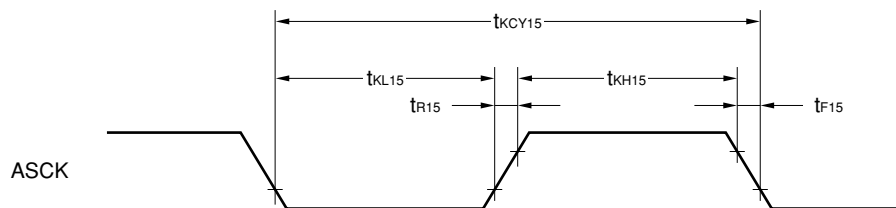


自動送受信機能付き 3 線式シリアルI/Oモード (ビジー処理) :



注 ここでは実際にはロウ・レベルになりませんが、タイミング規定のためこのように表記してあります。

UARTモード (外部クロック入力) :



A/Dコンバータ特性 (T_A = -40~+85 °C, V_{DD} = 2.2~5.5 V, AV_{SS} = V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^{注1}		2.7 V ≤ AV _{REF0} ≤ 5.5 V			±0.6	%FSR
		2.2 V ≤ AV _{REF0} < 2.7 V			±1.4	%FSR
変換時間	T _{CONV1}	2.2 V ≤ AV _{REF0} < 2.7 V	40		100	μs
	T _{CONV2}	2.7 V ≤ AV _{REF0} ≤ 5.5 V	16		100	μs
アナログ入力電圧	V _{IAN}		AV _{SS}		AV _{REF0}	V
基準電圧	AV _{REF0}		2.2		V _{DD}	V
AV _{REF0} 電流	I _{REF0}	A/Dコンバータ動作時 ^{注2}		500	1500	μA
		A/Dコンバータ非動作時 ^{注3}		0	3.0	μA

注1. 量子化誤差(±1/2LSB)を含みません。フルスケール値に対する比率(%FSR)で表しています。

- A/Dコンバータ・モード・レジスタ(ADM)のビット7(CS)が1のときに、AV_{REF0}端子に流れる電流です。
- A/Dコンバータ・モード・レジスタ(ADM)のビット7(CS)が0のときに、AV_{REF0}端子に流れる電流です。

D/Aコンバータ特性 (T_A = -40~+85 °C, V_{DD} = 2.2~5.5 V, AV_{SS} = V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差		R = 2 MΩ ^{注1}			±1.2	%
		R = 4 MΩ ^{注1}			±0.8	%
		R = 10 MΩ ^{注1}			±0.6	%
セットリング・タイム		C = 30 pF ^{注1}	AV _{REF1} = 2.2~2.7V		10	μs
			AV _{REF1} = 2.2~5.5V		15	μs
出力抵抗	R _O	注2		8		kΩ
アナログ基準電圧	AV _{REF1}		1.8		V _{DD}	V
AV _{REF1} 電流	I _{REF1}	注2			2.5	mA
AV _{REF1} -AV _{SS} 間抵抗	R _{AIREF1}	DACS0, DACS1 = 55H ^{注2}	4	8		kΩ

注1. R, CはD/Aコンバータ出力端子の負荷抵抗, 負荷容量です。

- D/Aコンバータ1チャンネル分の値です。

備考 DACS0, DACS1: D/A変換値設定レジスタ 0, 1

データ・メモリSTOPモード低電源電圧データ保持特性 (T_A = -40~+85 °C)

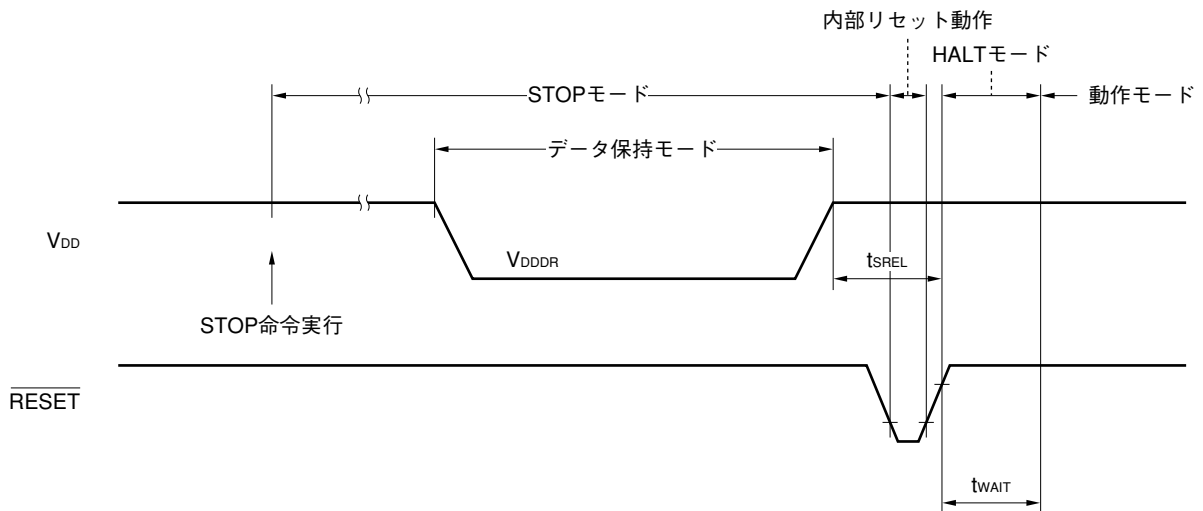
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.8		5.5	V
データ保持電源電流	I _{DDDR}	V _{DDDR} = 1.8 V サブシステム・クロック停止、 フィードバック抵抗切断時		0.1	10	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウェイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _x		ms
		割り込み要求による解除		注		ms

注 発振安定時間選択レジスタ (OSTS) のビット 0-2 (OSTS0-OSTS2) により、2¹²/f_{xx}、2¹⁴/f_{xx}-2¹⁷/f_{xx} の選択が可能です。

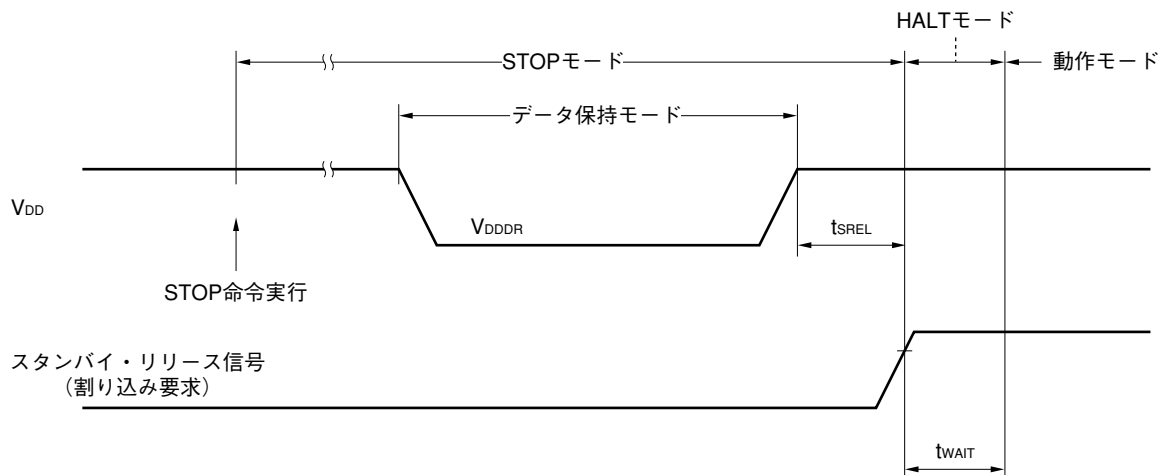
備考 f_{xx} : メイン・システム・クロック周波数 (f_x または f_x/2)

f_x : メイン・システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み要求信号によるSTOPモード解除)



フラッシュ・メモリ・プログラミング特性 (V_{DD} = 2.7~5.5 V, T_A = 10~40 °C)

(1) 書き込み消去特性

項目	略号	条件		MIN.	TYP.	MAX.	単位
書き込み電流(V _{DD} 端子)注1	IDDW	V _{PP} = V _{PP1} 時	5.0 MHz水晶発振動作モード (f _{XX} = 2.5 MHz)注2			15.5	mA
			5.0 MHz水晶発振動作モード (f _{XX} = 5.0 MHz)注3			28.7	mA
書き込み電流(V _{PP} 端子)注1	IPPW	V _{PP} = V _{PP1} 時	5.0 MHz水晶発振動作モード (f _{XX} = 2.5 MHz)注2			19.5	mA
			5.0 MHz水晶発振動作モード (f _{XX} = 5.0 MHz)注3			32.7	mA
消去電流(V _{DD} 端子)注1	IDDE	V _{PP} = V _{PP1} 時	5.0 MHz水晶発振動作モード (f _{XX} = 2.5 MHz)注2			15.5	mA
			5.0 MHz水晶発振動作モード (f _{XX} = 5.0 MHz)注3			28.7	mA
消去電流(V _{PP} 端子)注1	IPPE	V _{PP} = V _{PP1} 時				100	mA
単位消去時間	t _{ER}			0.5	1	1	s
Total消去時間	t _{ERA}					20	s
書き換え回数	C _{WRT}	消去/書き込みを1サイクルとする				20	回
V _{PP} 電源電圧	V _{PP0}	通常モード時		0		0.2 V _{DD}	V
	V _{PP1}	フラッシュ・メモリ・プログラミング時		9.7	10.0	10.3	V

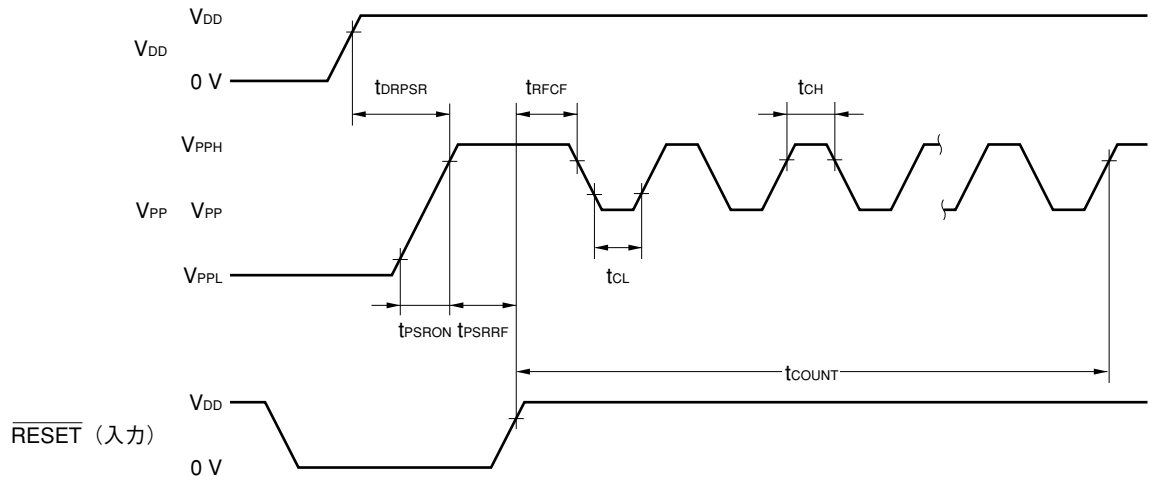
注1. AV_{REF}電流およびポート電流(内蔵プルアップ抵抗に流れる電流)は含みません。

- 2. メイン・システム・クロックf_{XX} = f_{XX}/2動作時(発振モード選択レジスタ(OSMS)を00Hに設定したとき)
- 3. メイン・システム・クロックf_{XX} = f_{XX}動作時(OSMSを01Hに設定したとき)

(2) シリアル書き込みオペレーション特性

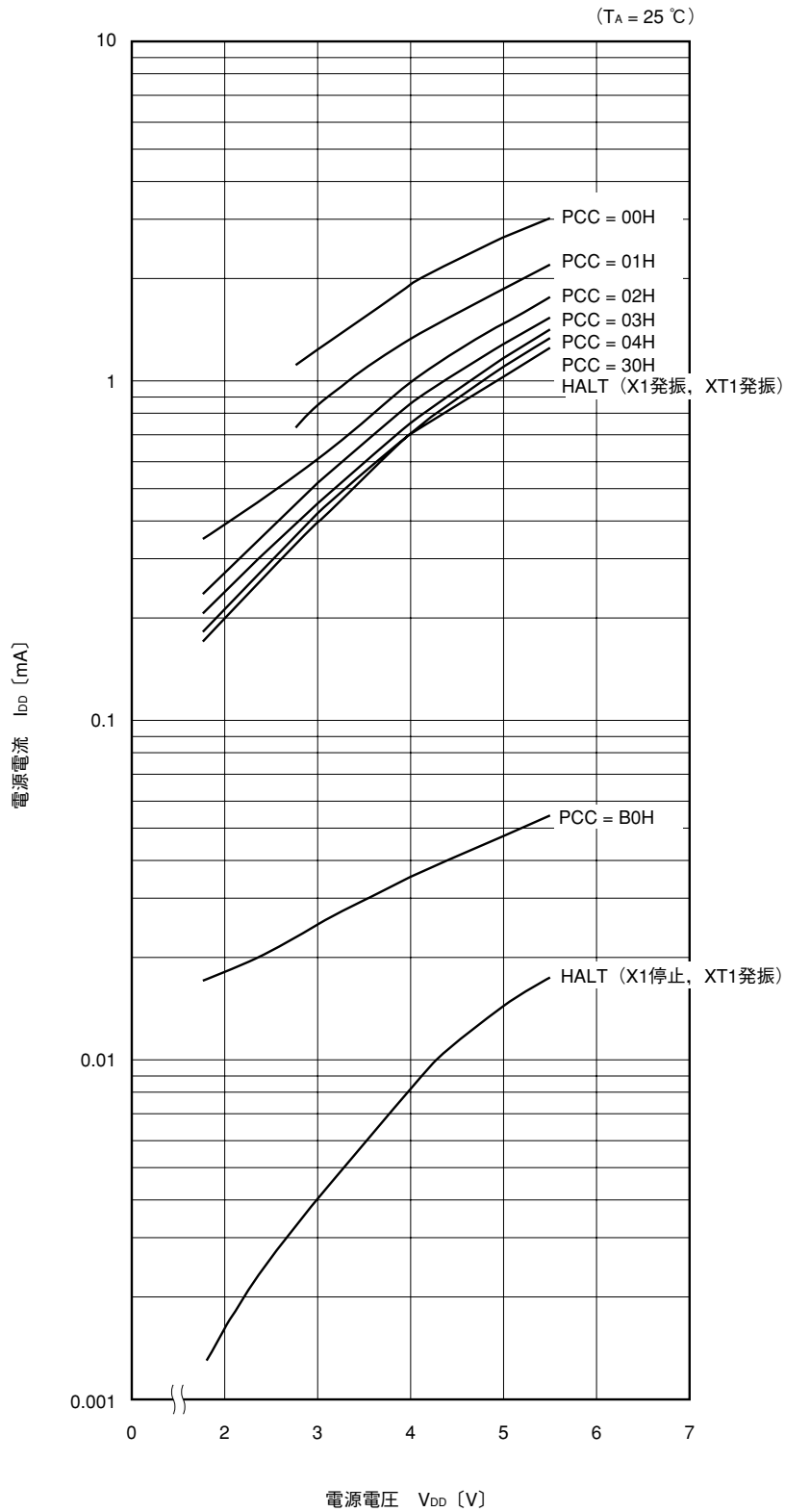
項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{PP} セット時間	t _{PSRON}	V _{PP} 高電圧	1.0			μs
V _{DD} ↑→V _{PP} ↑セット時間	t _{DRPSR}	V _{PP} 高電圧	10			μs
V _{PP} ↑→ $\overline{\text{RESET}}$ ↑セット時間	t _{PSRRF}	V _{PP} 高電圧	1.0			μs
$\overline{\text{RESET}}$ ↑→V _{PP} カウント開始時間	t _{RFCF}		1.0			μs
カウント実行時間	t _{COUNT}				2.0	ms
V _{PP} カウンタ・ハイ・レベル幅	t _{CH}		8.0			μs
V _{PP} カウンタ・ロウ・レベル幅	t _{CL}		8.0			μs
V _{PP} カウンタ・ノイズ除去幅	t _{NFW}			40		ns

フラッシュ書き込みモード設定タイミング

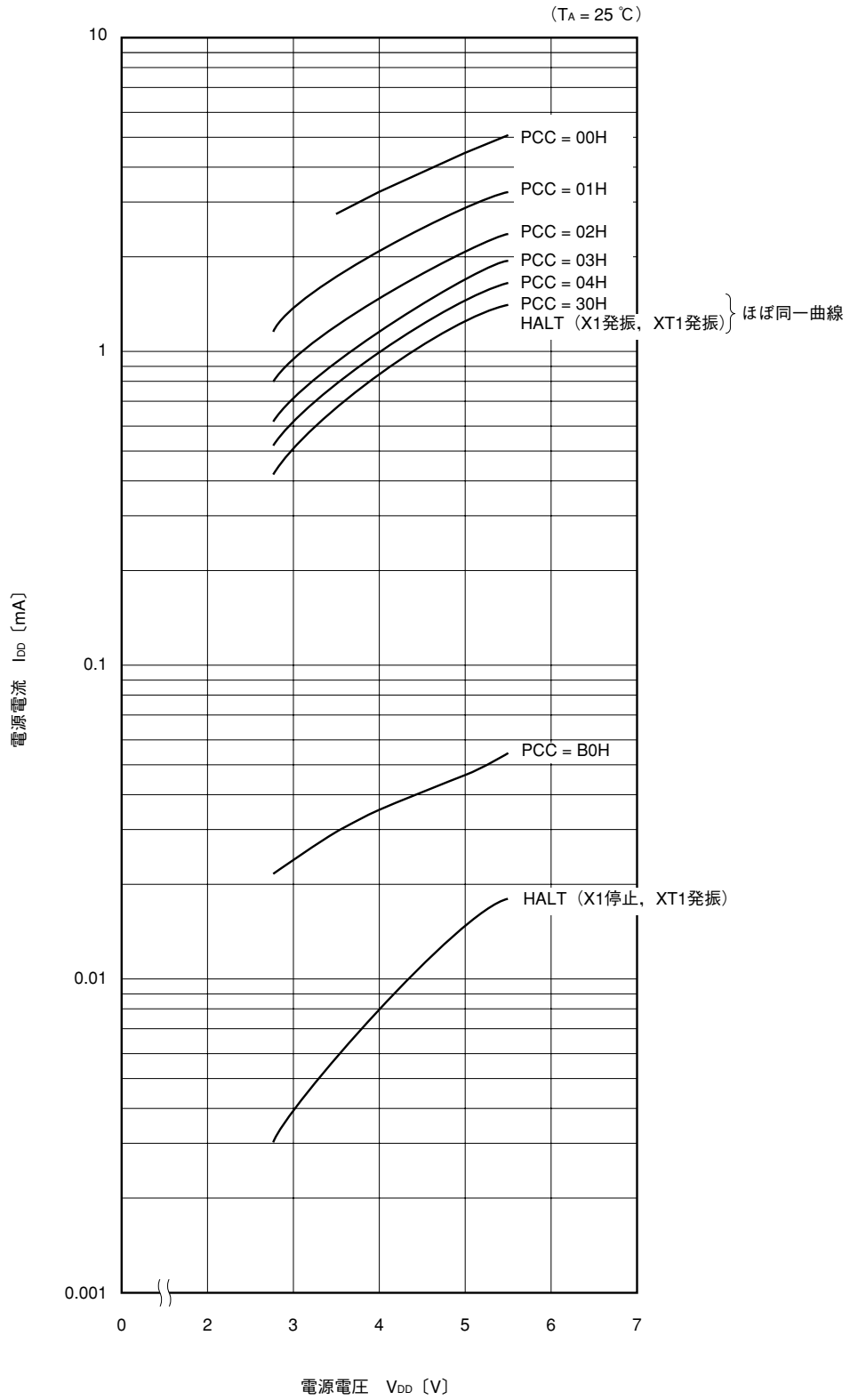


第31章 特性曲線(参考値)

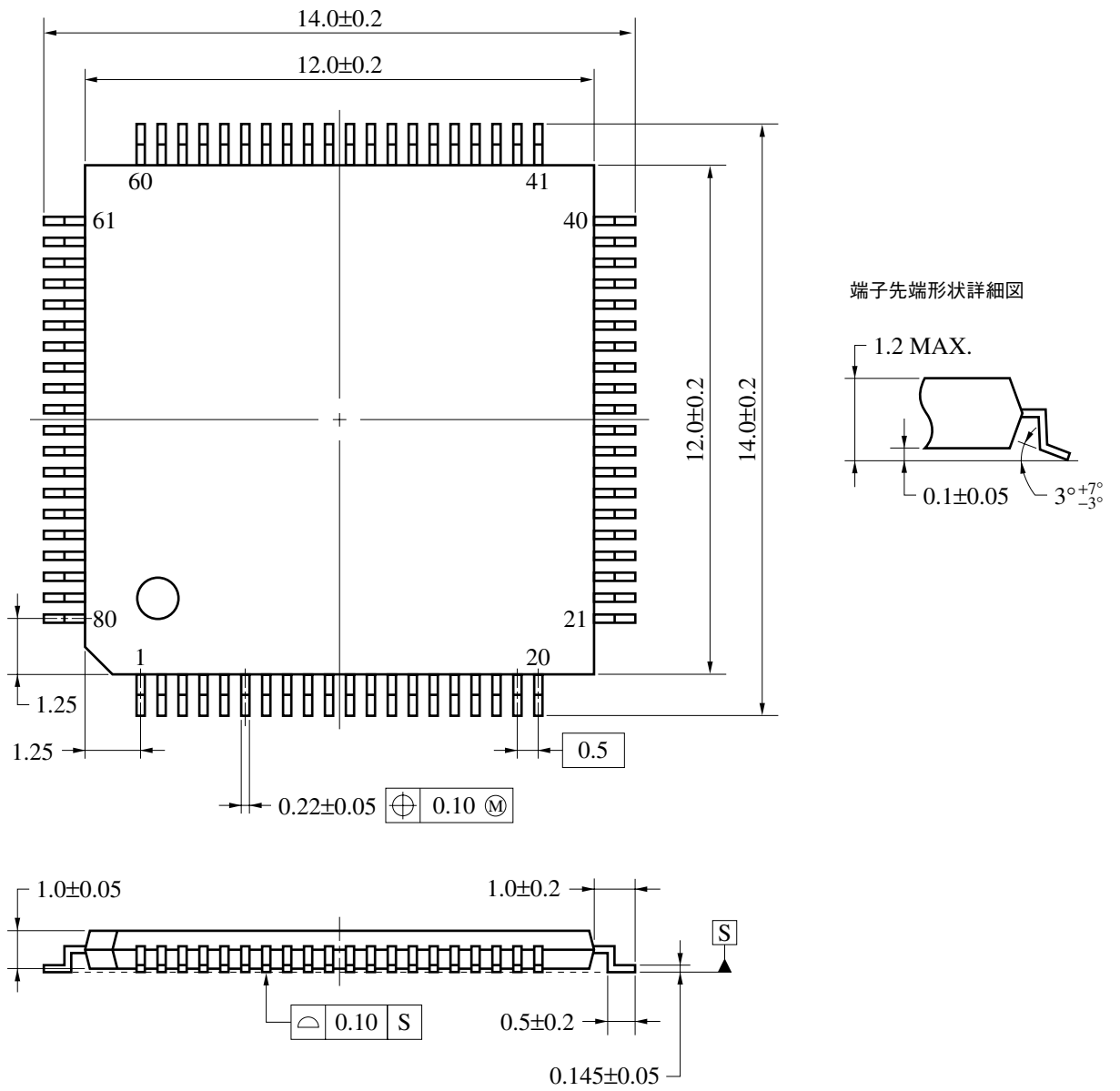
V_{DD} vs I_{DD} (マスクROM製品, f_x = 5.0 MHz, f_{xx} = 2.5 MHz)



V_{DD} vs I_{DD} (マスクROM製品, $f_x = f_{XX} = 5.0$ MHz)



80ピン・プラスチック TQFP (ファインピッチ) (12x12) 外形図 (単位: mm)



S80GK-50-9EU-1

★

第33章 半田付け推奨条件

μPD780058, 780058Yサブシリーズの半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表33-1 表面実装タイプの半田付け条件 (1/4)

- (1) μ PD780053GC-XXX-8BT : 80ピン・プラスチックQFP (14x14)
- μ PD780054GC-XXX-8BT : ”
- μ PD780055GC-XXX-8BT : ”
- μ PD780056GC-XXX-8BT : ”
- μ PD780058GC-XXX-8BT : ”
- μ PD780058BGC-XXX-8BT : ”
- μ PD780053YGC-XXX-8BT : ”
- μ PD780054YGC-XXX-8BT : ”
- μ PD780055YGC-XXX-8BT : ”
- μ PD780056YGC-XXX-8BT : ”
- μ PD780058BYGC-XXX-8BT : ”
- μ PD780053GC(A)-XXX-8BT : ”
- μ PD780054GC(A)-XXX-8BT : ”
- μ PD780055GC(A)-XXX-8BT : ”
- μ PD780056GC(A)-XXX-8BT : ”
- μ PD780058BGC(A)-XXX-8BT : ”
- μ PD780053YGC(A)-XXX-8BT : ”
- μ PD780054YGC(A)-XXX-8BT : ”
- μ PD780055YGC(A)-XXX-8BT : ”
- μ PD780056YGC(A)-XXX-8BT : ”
- μ PD780058BYGC(A)-XXX-8BT : ”

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内(210℃以上)，回数：2回 以内	IR35-00-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)，回数：2回 以内	VP15-00-2
ウエーブ・ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃ MAX.(パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内(デバイス一辺当たり)	—

注意 半田付け方式の併用は避けください(ただし，端子部分加熱方式は除く)。

表33-1 表面実装タイプの半田付け条件 (2/4)

(2) μ PD78F0058GC-8BT : 80ピン・プラスチックQFP (14x14)

μ PD78F0058YGC-8BT : ”

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内(210℃以上)， 回数：2回以内，制限日数：7日間 ^注 (以降は125℃プリベーク10時間必要) 〈留意事項〉 耐熱トレイ以外(マガジン，テーピング，非耐熱トレイ)は，包装状態でのベーク キングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)， 回数：2回以内，制限日数：7日間 ^注 (以降は125℃プリベーク10時間必要) 〈留意事項〉 耐熱トレイ以外(マガジン，テーピング，非耐熱トレイ)は，包装状態でのベーク キングができません。	VP15-107-2
ウェーブ・ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃ MAX. (パッケージ表面温度)， 制限日数：7日間 ^注 (以降は125℃プリベーク10時間必要)	WS60-107-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内(デバイス一辺当たり)	—

注 ドライパック開封後の保存制限日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください(ただし，端子部分加熱方式は除く)。

表33-1 表面実装タイプの半田付け条件 (3/4)

- (3) μ PD780053GK-XXX-9EU : 80ピン・プラスチックTQFP (12x12)
- μ PD780054GK-XXX-9EU : ”
- μ PD780055GK-XXX-9EU : ”
- μ PD780056GK-XXX-9EU : ”
- μ PD780058GK-XXX-9EU : ”
- μ PD780058BGK-XXX-9EU : ”
- μ PD780053YGK-XXX-9EU : ”
- μ PD780054YGK-XXX-9EU : ”
- μ PD780055YGK-XXX-9EU : ”
- μ PD780056YGK-XXX-9EU : ”
- μ PD780058BYGK-XXX-9EU : ”

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内(210℃以上)、 回数：2回以内、制限日数：7日間 ^注 (以降は125℃プリベーク10時間必要) 〈留意事項〉 耐熱トレイ以外(マガジン、テーピング、非耐熱トレイ)は、包装状態でのベーク キングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内(200℃以上)、 回数：2回以内、制限日数：7日間 ^注 (以降は125℃プリベーク10時間必要) 〈留意事項〉 耐熱トレイ以外(マガジン、テーピング、非耐熱トレイ)は、包装状態でのベーク キングができません。	VP15-107-2
ウエーブ・ソルダーリング	—	—
端子部分加熱	端子温度：300℃以下、時間：3秒以内(デバイス一辺当たり)	—

注 ドライパック開封後の保存制限日数で、保管条件は25℃、65%RH以下。

注意 半田付け方式の併用はお避けください(ただし、端子部分加熱方式は除く)。

表33-1 表面実装タイプの半田付け条件 (4/4)

(4) μ PD78F0058GK-9EU : 80ピン・プラスチックTQFP (12x12)

μ PD78F0058YGK-9EU : ”

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内(210℃以上)、 回数：2回以内、制限日数：3日間 ^注 (以降は125℃プリベーク10時間必要) 〈留意事項〉 耐熱トレイ以外(マガジン、テーピング、非耐熱トレイ)は、包装状態でのベーク キングができません。	IR35-103-2
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内(200℃以上)、 回数：2回以内、制限日数：3日間 ^注 (以降は125℃プリベーク10時間必要) 〈留意事項〉 耐熱トレイ以外(マガジン、テーピング、非耐熱トレイ)は、包装状態でのベーク キングができません。	VP15-103-2
ウエーブ・ソルダーリング	—	—
端子部分加熱	端子温度：300℃以下、時間：3秒以内(デバイス一辺当たり)	—

注 ドライパック開封後の保存制限日数で、保管条件は25℃、65%RH以下。

注意 半田付け方式の併用はお避けください(ただし、端子部分加熱方式は除く)。

付録 A μ PD78054, 78058F, 780058サブシリーズ間の違い

μ PD78054, 78058F, 780058サブシリーズ間の主な違いを表A-1に示します。

表A-1 μ PD78054, 78058F, 780058サブシリーズ間の主な違い(1/2)

項目	品名	μ PD78054サブシリーズ	μ PD78058Fサブシリーズ	μ PD780058サブシリーズ
EMIノイズ対策		なし	あり	あり
電源電圧		$V_{DD} = 2.0 \sim 6.0 \text{ V}$	$V_{DD} = 2.7 \sim 6.0 \text{ V}$	$V_{DD} = 1.8 \sim 5.5 \text{ V}^{\text{注}}$
PROM製品		μ PD78P054, 78P058	μ PD78P058F	なし
フラッシュ・メモリ製品		なし	なし	μ PD78F0058
内部ROMサイズ		μ PD78052 : 16 Kバイト μ PD78053 : 24 Kバイト μ PD78054 : 32 Kバイト μ PD78P054 : 32 Kバイト μ PD78056 : 48 Kバイト μ PD78058 : 60 Kバイト μ PD78P058 : 60 Kバイト	μ PD78056F : 48 Kバイト μ PD78058F : 60 Kバイト μ PD78P058F : 60 Kバイト	μ PD780053 : 24 Kバイト μ PD780054 : 32 Kバイト μ PD780055 : 40 Kバイト μ PD780056 : 48 Kバイト μ PD780058B : 60 Kバイト μ PD780058 : 60 Kバイト μ PD78F0058 : 60 Kバイト
内部高速RAMサイズ		μ PD78052 : 512バイト μ PD78053, 78054, 78P054, 78056, 78058, 78P058 : 1024バイト	1024バイト	1024バイト
I/Oポート		合計 : 69本 ・CMOS入力 : 2本 ・CMOS入出力 : 63本 ・N-chオープン・ドレイン入出力 : 4本		合計 : 68本 ・CMOS入力 : 2本 ・CMOS入出力 : 62本 ・N-chオープン・ドレイン入出力 : 4本
AV _{DD} 端子		A/Dコンバータ用供給電源	A/Dコンバータおよびポート出力バッファ用供給電源	なし(ポート出力バッファ用供給電源はV _{DD0})
AV _{REF0} 端子		A/Dコンバータの基準電圧入力		A/Dコンバータの基準電圧入力およびアナログ電源
A/D変換スタート直後の注意事項		—	—	A/D変換動作スタート(CSをセット(1))直後の最初のA/D変換結果は、定格を満たさないことがあるので、廃棄するなどの対策を行ってください。

★ 注 フラッシュ品(μ PD78F0058)は $V_{DD} = 2.7 \sim 5.5 \text{ V}$

表A-1 μPD78054, 78058F, 780058サブシリーズ間の主な違い(2/2)

項目	品名 μPD78054サブシリーズ	μPD78058Fサブシリーズ	μPD780058サブシリーズ
シリアル・インタフェース・チャンネル2	3線式シリアルI/O/UARTモード内蔵		3線式シリアルI/O/時分割機能付きUARTモード内蔵
外部マスカブル割り込み	7本		6本
★ エミュレーション・プローブ	EP-78230GC-R, EP-78054GK-R		NP-80GC, NP-80GK, EP-78230GC-R, EP-78054GK-R
デバイス・ファイル	DF78054		DF780058
★ パッケージ	<ul style="list-style-type: none"> ・ 80ピン・プラスチックQFP (14x14) ・ 80ピン・プラスチックQFP (14x14) ・ 80ピン・セラミックWQFN (14x14) (μPD78P054, 78P058のみ) 	<ul style="list-style-type: none"> ・ 80ピン・プラスチックQFP (14x14) ・ 80ピン・プラスチックQFP (14x14) ・ 80ピン・プラスチックTQFP (ファインピッチ) (12x12) (μPD78058Fのみ) 	<ul style="list-style-type: none"> ・ 80ピン・プラスチックQFP (14x14) ・ 80ピン・プラスチックTQFP (ファインピッチ) (12x12)
★ 電気的特性 半田付け推奨条件	個別の製品のデータ・シートを参照してください。		第28～30章 電気的特性, 第33章 半田付け推奨条件を参照してください。

★

付録B 開発ツール

μPD780058, 780058Yサブシリーズを使用するシステム開発のために次のような開発ツールを用意しています。

図B-1に開発ツール構成を示します。

●PC98-NXシリーズへの対応について

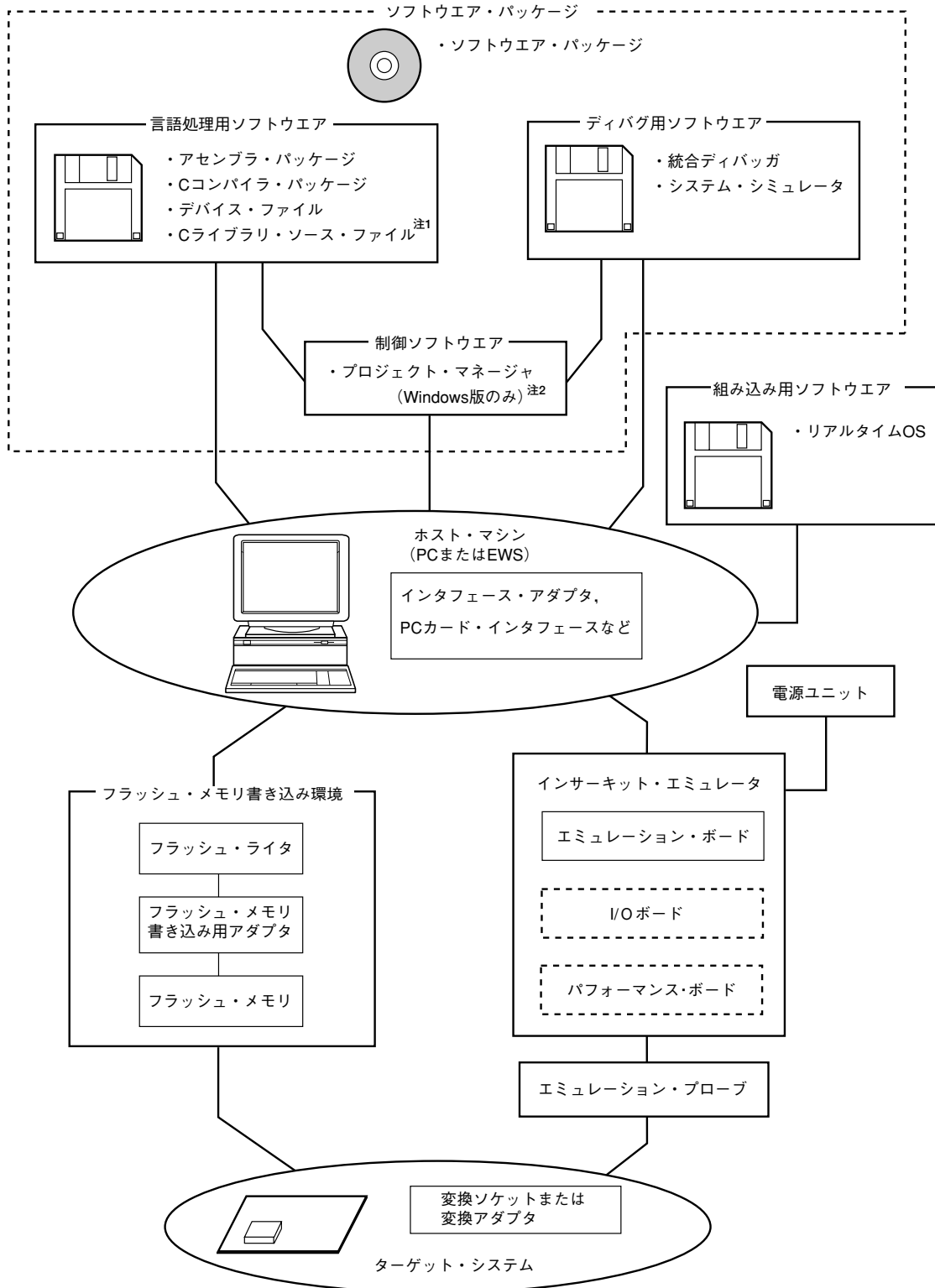
特に断りのないかぎり、IBM PC/AT™互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

●Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 3.1
- Windows 95
- Windows 98
- Windows 2000
- Windows NT™ Ver.4.0

図B-1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。

また、Windows以外ではプロジェクト・マネージャは使用しません。

B.1 ソフトウェア・パッケージ

SP78K0 ソフトウェア・パッケージ	78K0シリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 以下のツールが入っています。 RA78K0, CC78K0, ID78K0-NS, SM78K0, デバイス・ファイル各種
	オーダ名称: μ SXXXXSP78K0

備考 オーダ名称のXXXXは、使用するOSにより異なります。

μ SXXXXSP78K0

XXXX	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

B.2 言語処理用ソフトウェア

RA78K0 アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル (DF780058) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: μ SXXXXRA78K0
CC78K0 Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: μ SXXXXCC78K0
DF780058 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール (RA78K0, CC78K0, SM78K0, ID78K0-NS, ID78K0, RX78K0) と組み合わせて使用します。 対応OS, ホスト・マシンは組み合わせられる各ツールに依存します。 オーダ名称: μ SXXXXDF780058
CC78K0-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: μ SXXXXCC78K0-L

注1. DF780058は、RA78K0, CC78K0, SM78K0, ID78K0-NS, ID78K0, RX78K0のすべての製品に共通に使用できます。

2. CC78K0-Lは、ソフトウェア・パッケージ (SP78K0) には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0

μS××××CC78K0

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UJ™ (Rel.10.10)	
3K17		SPARCstation™	

μS××××DF780058

μS××××CC78K0-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UJ (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel. 4.1.4) ,	3.5インチ2HD FD
3K15		Solaris (Rel. 2.5.1)	1/4インチCGMT

B.3 制御ソフトウェア

プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0) の中に入っています。Windows以外の環境では使用できません。
--------------	---

B.4 フラッシュ・メモリ書き込み用ツール

Flashpro III (型番 FL-PR3, PG-FP3) Flashpro IV (型番 FL-PR4, PG-FP4) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライターです。
FA-80GC-8BT FA-80GK-9EU フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro III/Flashpro IVに接続して使用します。 ・FA-80GC-8BT: 80ピン・プラスチックQFP (GC-8BTタイプ) 用 ・FA-80GK-9EU: 80ピン・プラスチックTQFP (GK-9EUタイプ) 用

備考 FL-PR3, FL-PR4, FA-80GC-8EU, FA-80GK-9EUは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先: 株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

B.5 ディバグ用ツール（ハードウェア）

B.5.1 インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合

IE-78K0-NS インサーキット・エミュレータ	78K0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバガ（ID78K0-NS）に対応しています。電源ユニット、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0-NS-PA パフォーマンス・ボード	IE-78K0-NSの機能を拡張するためのボードです。IE-78K0-NS-PAを追加することにより、カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されます。
IE-78K0-NS-A インサーキット・エミュレータ	IE-78K0-NSとIE-78K0-NS-PAを組み合わせたもの
IE-70000-MC-PS-B 電源ユニット	AC100～240 Vのコンセントから電源を供給するためのアダプタです。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタです（Cバス対応）。
IE-70000-CD-IF-A PCカード・インタフェース	IE-78K0-NSのホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです（PCMCIAソケット対応）。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです（ISAバス対応）。
IE-70000-PCI-IF-A インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-780308-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです（ μ PD780308サブシリーズと共通）。インサーキット・エミュレータと組み合わせて使用します。
NP-80GC-TQ NP-H80GC-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックQFP（GC-8BTタイプ）用です。TGC-080SBPと組み合わせて使用します。
TGC-080SBP 変換アダプタ (図B-2参照)	80ピン・プラスチックQFP（GC-8BTタイプ）を実装できるように作られたターゲット・システムの基板と、NP-80GC-TQまたはNP-H80GC-TQを接続するための変換ソケットです。
NP-80GC エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックQFP（GC-8BTタイプ）用です。
EV-9200GC-80 変換ソケット (図B-2参照)	80ピン・プラスチックQFP（GC-8BTタイプ）を実装できるように作られたターゲット・システムの基板と、NP-80GCを接続するための変換ソケットです。
NP-80GK エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックTQFP（GK-9EUタイプ）用です。
TGK-080SDW 変換アダプタ (図B-3参照)	80ピン・プラスチックTQFP（GK-9EUタイプ）を実装できるように作られたターゲット・システムの基板と、TGK-080SDWを接続するための変換アダプタです。

備考1. NP-80GC, NP-80GC-TQ, NP-H80GC-TQ, NP-80GKは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

2. TGC-080SBP, TGK-080SDWは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部（TEL（03）3820-7112）

大阪電子部（TEL（06）6244-6672）

B.5.2 インサーキット・エミュレータ IE-78001-R-Aを使用する場合

IE-78001-R-A インサーキット・エミュレータ	78K0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッグ (ID78K0) に対応しています。エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです (Cバス対応)。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてIBM PC/ATおよびその互換機を使用するときに必要なアダプタです (ISAバス対応)。
IE-780308-R-EM エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
EP-78230GC-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックQFP (GC-8BTタイプ) 用です。
EV-9200GC-80 変換ソケット (図B-2参照)	80ピン・プラスチックQFP (GC-8BTタイプ) を実装できるように作られたターゲット・システムの基板と、EP-78230GC-Rを接続するための変換ソケットです。
EP-78054GK-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックTQFP (GK-9EUタイプ) 用です。
TGK-080SDW 変換アダプタ (図B-3参照)	80ピン・プラスチックTQFP (GK-9EUタイプ) を実装できるように作られたターゲット・システムの基板と、EP-78054GK-Rを接続するための変換アダプタです。

備考1. TGK-080SDWは、東京エレテック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

2. EV-9200GC-80は5個を1組として1組単位で販売しています。
3. TGK-080SDWは、1個単位で販売しています。

B.6 ディバグ用ツール（ソフトウェア）

SM78K0 システム・シミュレータ	78K0シリーズ用のシステム・シミュレータです。SM78K0は、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。 SM78K0を使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル（DF780058）と組み合わせて使用します。 オーダ名称：μS××××SM78K0
ID78K0-NS 統合ディバグ （インサーキット・エミュレータIE-78K0-NS, IE-78K0-NS-A対応）	78K0シリーズ用のインサーキット・エミュレータに対応したディバグです。ID78K0-NSは、Windowsベースのソフトウェアです。 C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイルと組み合わせて使用します。 オーダ名称：μS××××ID78K0-NS
ID78K0 統合ディバグ （インサーキット・エミュレータIE-78001-R-A対応）	μS××××ID78K0

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××SM78K0
 μS××××ID78K0-NS
 μS××××ID78K0

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

B.7 組み込み用ソフトウェア

RX78K0 リアルタイムOS	<p>μITRON仕様に準拠したリアルタイムOSです。</p> <p>RX78K0のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。</p> <p>別売のアセンブラ・パッケージ（RA78K0）およびデバイス・ファイル（DF780058）と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>リアルタイムOSはDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。</p> <p>オーダ名称：μS××××RX78013-△△△△</p>
--------------------	--

注意 RX78K0を購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の××××および△△△△は、使用するホスト・マシン、OSなどにより異なります。

μS××××RX78013-△△△△

△△△△	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows	
BB13		英語Windows	

B.8 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法

すでに78K/0シリーズ用の旧タイプのインサーキット・エミュレータ（IE-78000-RまたはIE-78000-R-A）をお持ちの場合、本体内部のブレイク・ボードをIE-78001-R-BKに交換することにより、お持ちのインサーキット・エミュレータをIE-78001-R-Aと同等に使用できます。

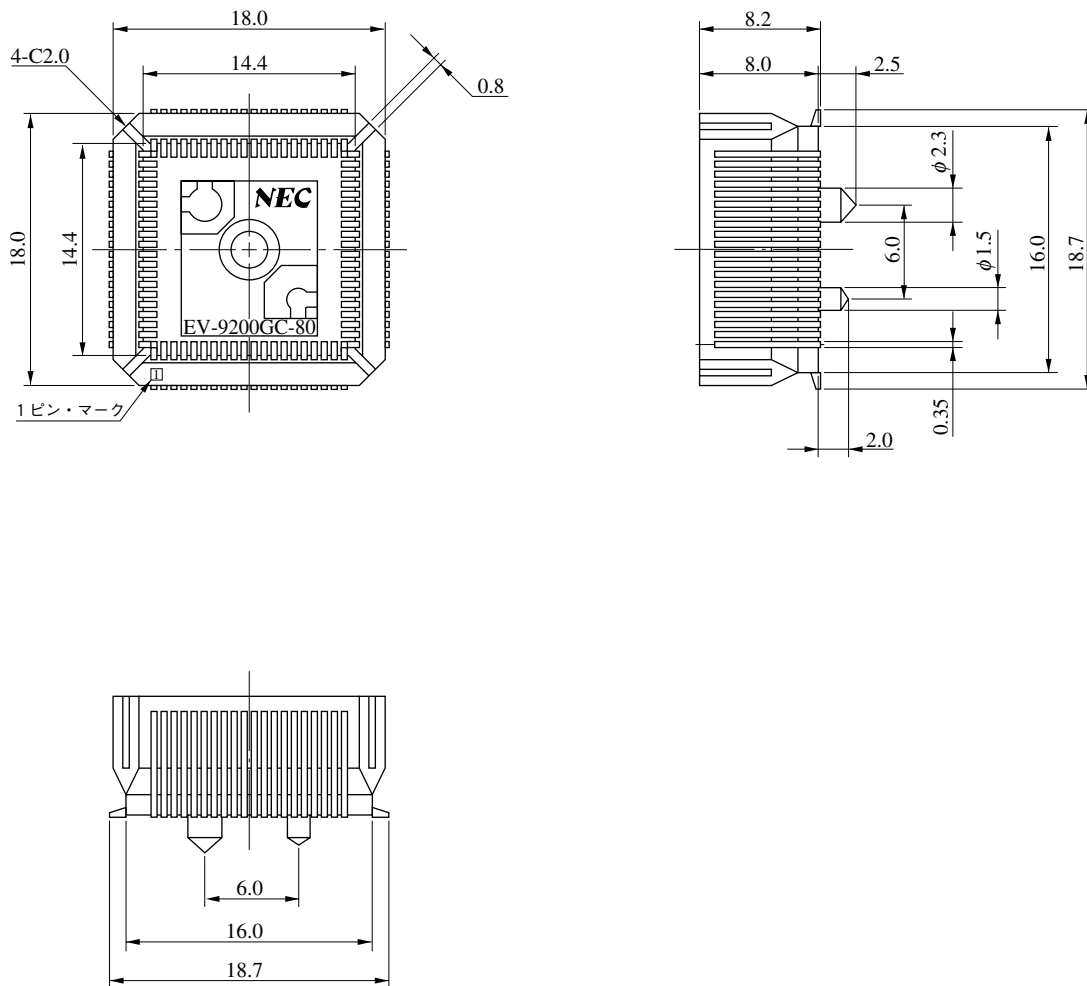
表B-1 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法

お持ちのインサーキット・エミュレータ	筐体のシステム・アップ ^注	ご購入の必要なボード
IE-78000-R	必要	IE-78001-R-BK
IE-78000-R-A	不要	

注 筐体をシステム・アップするためには、当社への持ち込みが必要となります。

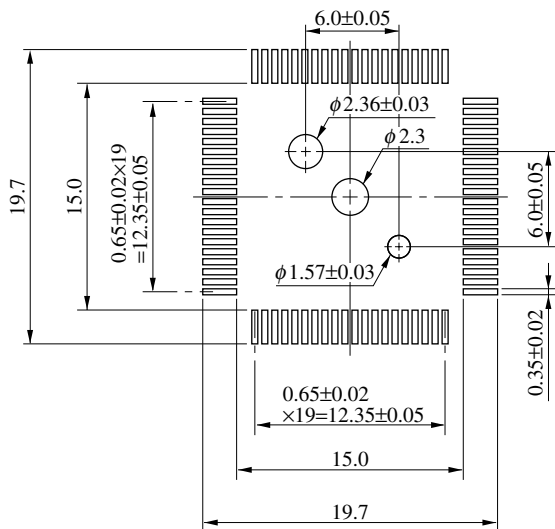
B.9 変換ソケット (EV-9200GC-80) の外形図と基板取り付け推奨パターン

図B-2 EV-9200GC-80 外形図 (参考) (単位: mm)



EV-9200GC-80-G0

図B-3 EV-9200GC-80 基板取り付け推奨パターン(参考)(単位: mm)

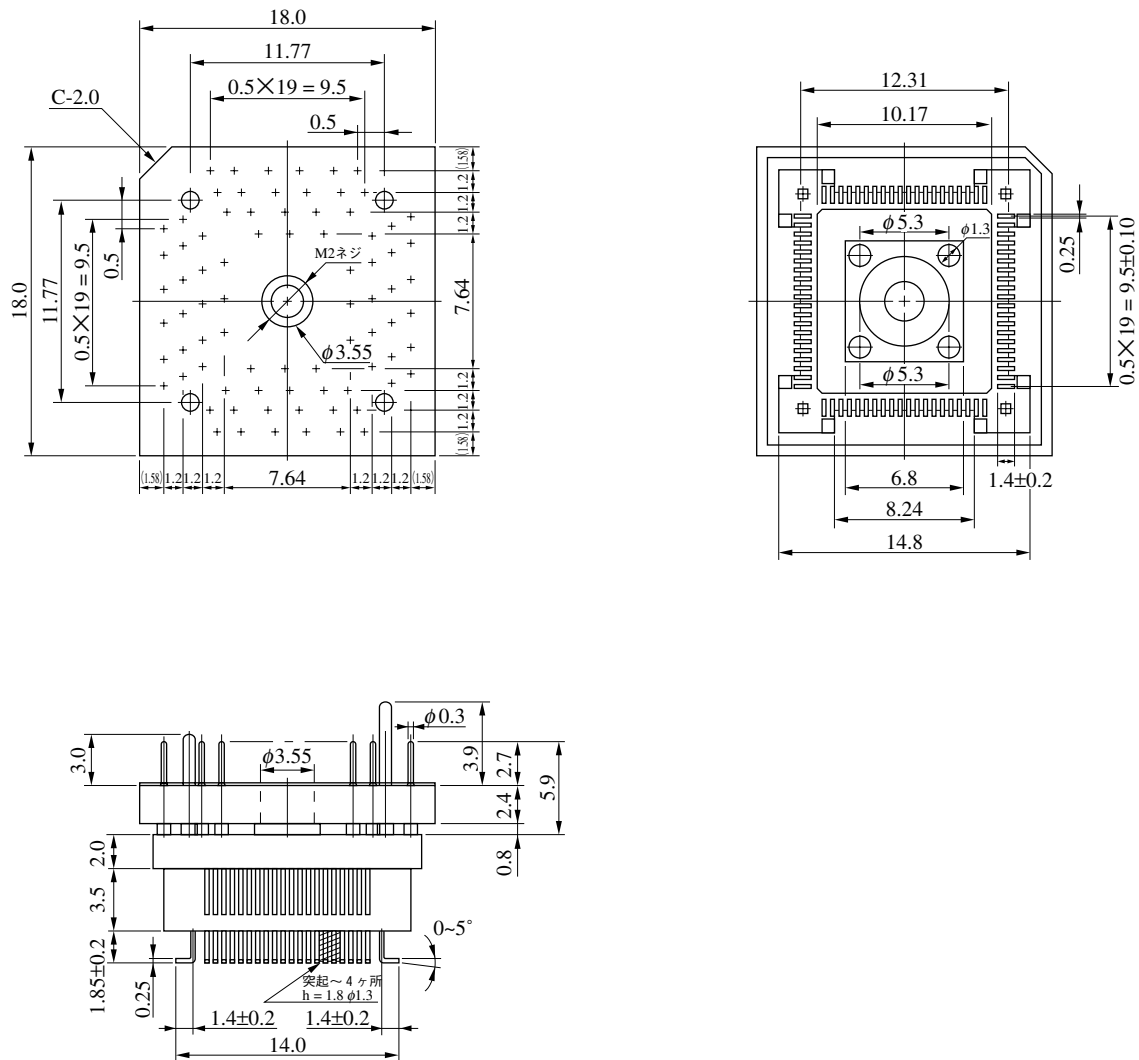


EV-9200GC-80-P1

注意 EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法(QFP用)は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス 実装マニュアルのホーム・ページ (<http://www.necel.com/pkg/ja/jissou/index.html>) をご参照ください。

B.10 変換アダプタ (TGK-080SDW, TGC-080SBP) の外形図

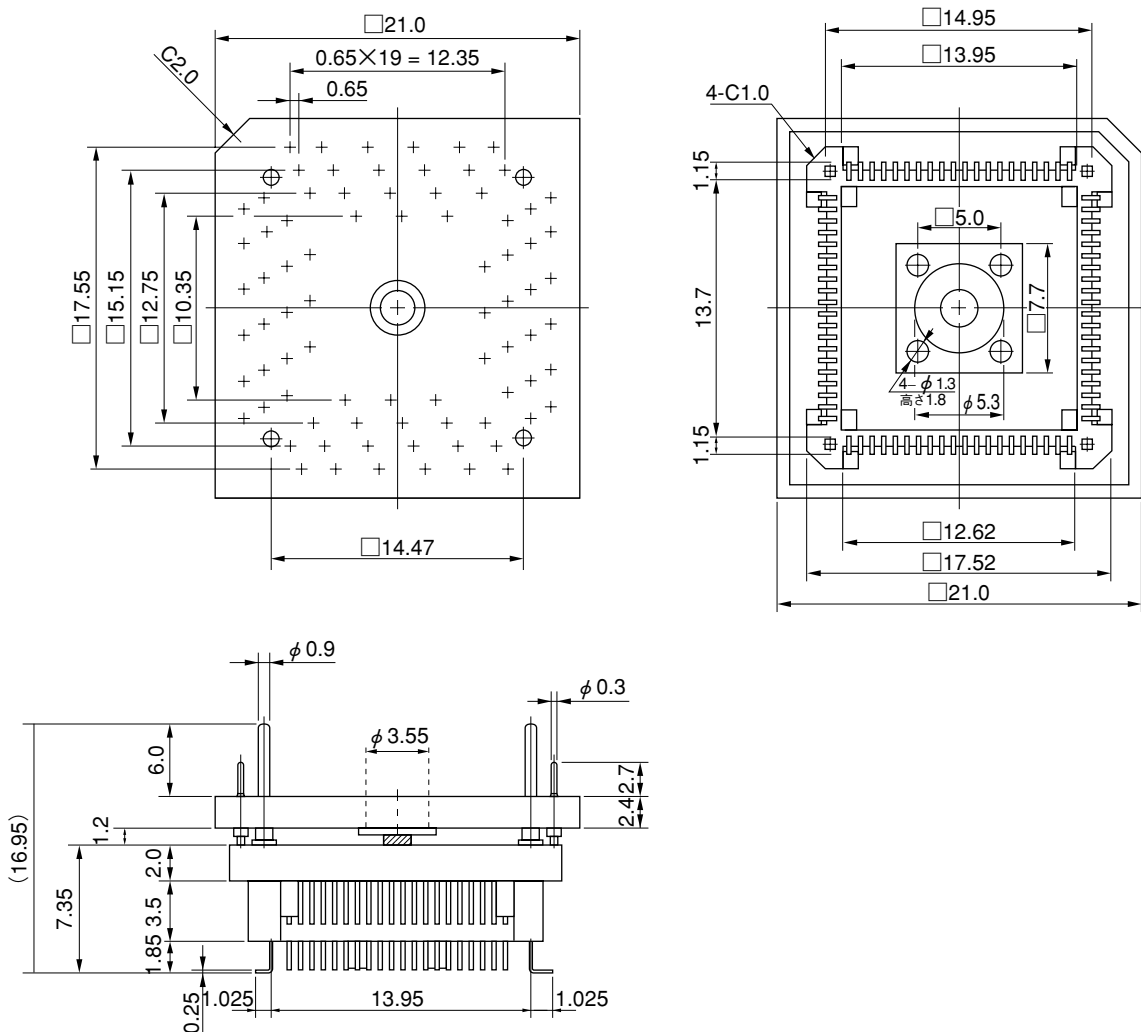
図B-4 TGK-080SDW 外形図 (参考) (単位: mm)



TGK-080SDW-G1

注: 東京エレクトック (株) 製

図B-5 TGC-080SBP 外形図(参考) (単位:mm)



注：東京エレクトック(株)製

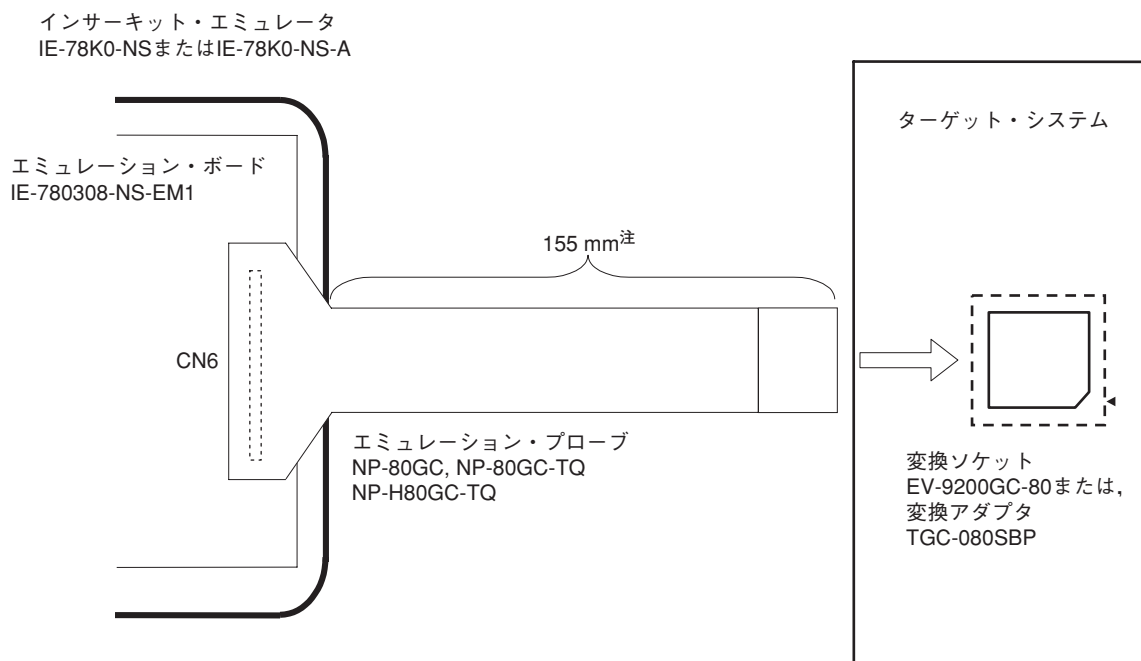
TGC-080SBP-G0

B.11 ターゲット・システム設計上の注意

エミュレーション・プローブと変換ソケット、変換アダプタとの接続条件図を次に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計を行ってください。

(1) NP-80GC, NP-80GC-TQ, およびNP-H80GC-TQの場合

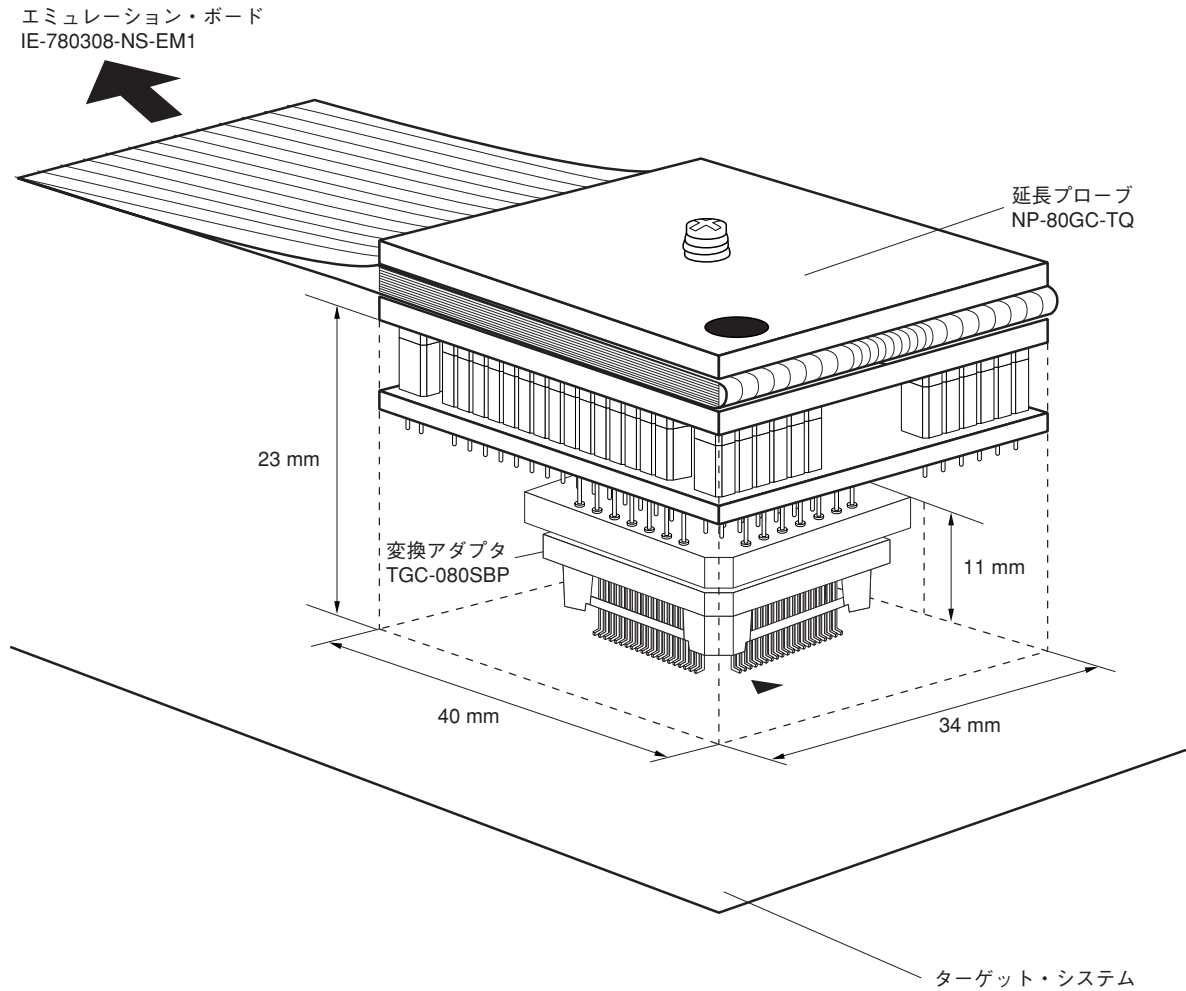
図B-6 インサーキット・エミュレータから変換ソケットまでの距離 (80GCの場合)



注 NP-H80GC-TQでは355 mmになります。

備考 NP-80GC, NP-80GC-TQおよびNP-H80GC-TQは、株式会社内藤電誠町田製作所の製品です。
TGC-080SBPは、東京エレテック株式会社の製品です。

図B-7 ターゲット・システムの接続条件 (NP-80GC-TQの場合)

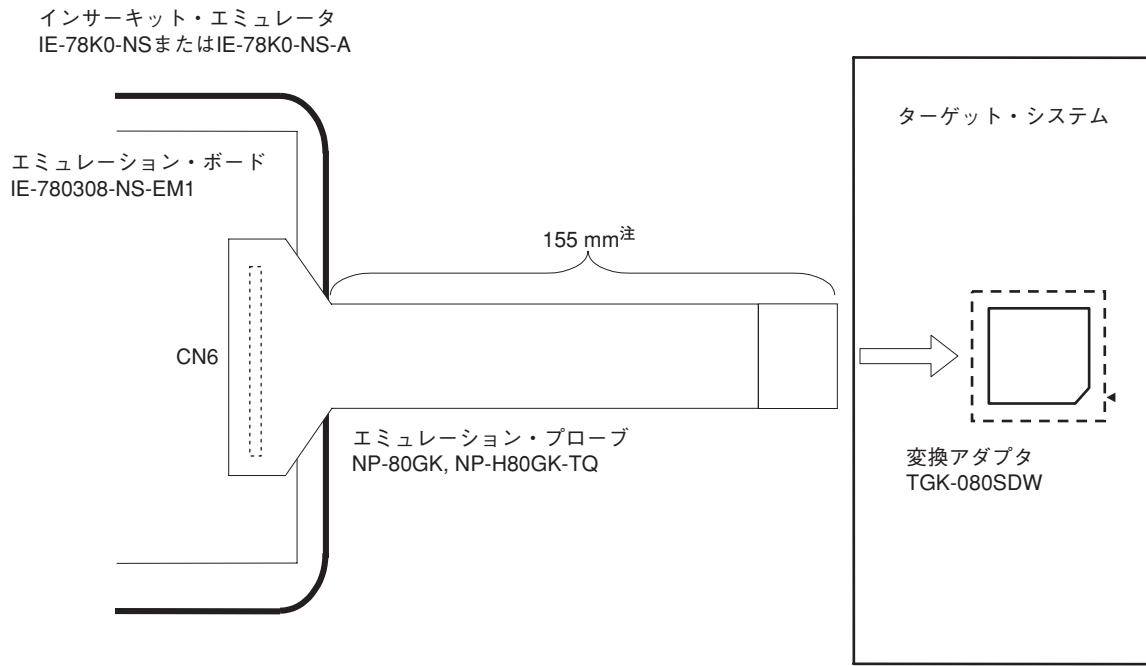


備考 NP-80GC-TQは、株式会社内藤電誠町田製作所の製品です。

TGC-080SBPは、東京エレテック株式会社の製品です。

(2) NP-80GK, NP-H80GK-TQの場合

図B-8 インサーキット・エミュレータから変換アダプタまでの距離 (80GKの場合)

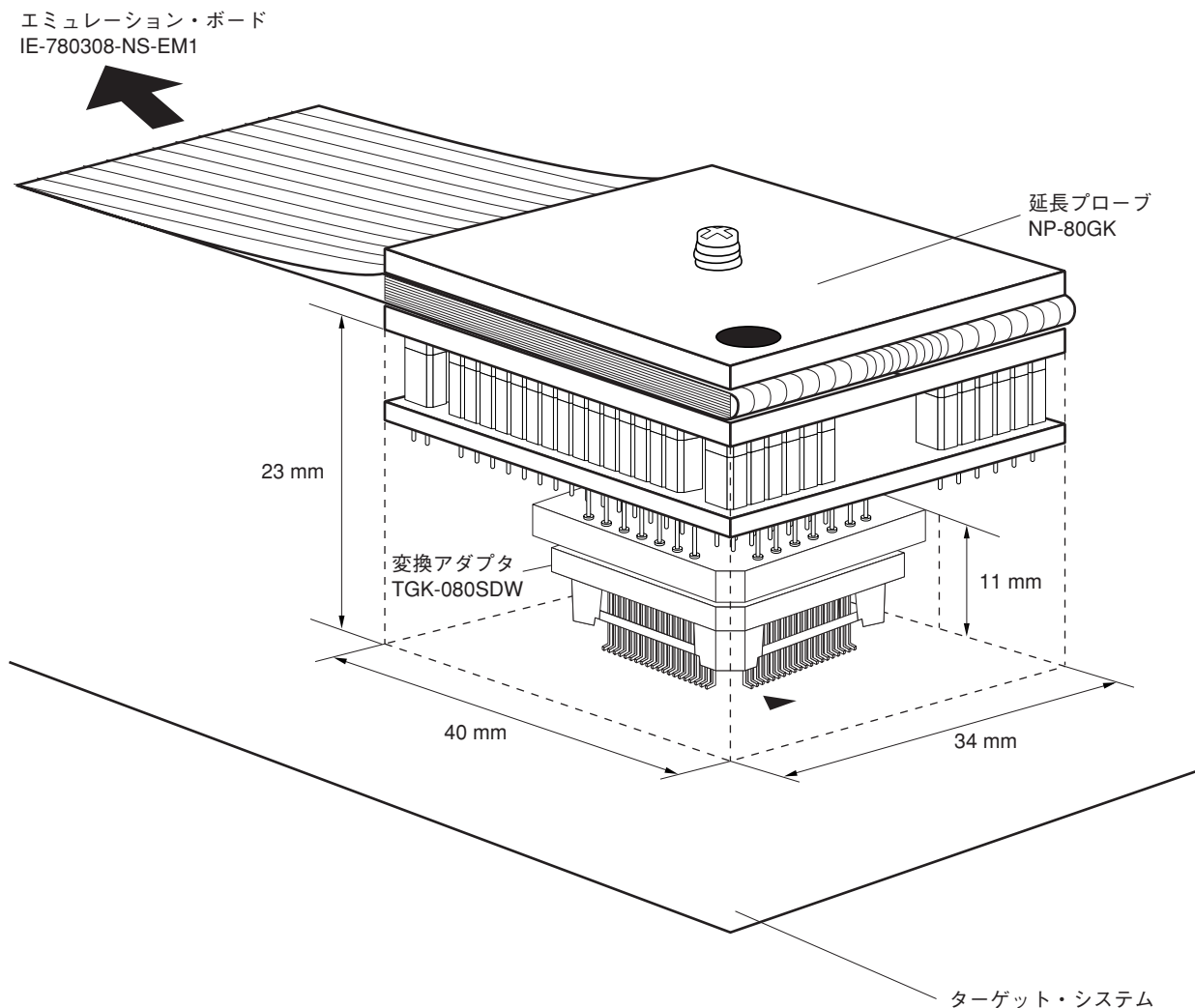


注 NP-H80GK-TQでは、355 mmになります。

備考 NP-80GKおよびNP-H80GK-TQは、株式会社内藤電誠町田製作所の製品です。

TKG-080SDWは、東京エレテック株式会社の製品です。

図B-9 ターゲット・システムの接続条件 (NP-80GKの場合)



備考 NP-80GKは、株式会社内藤電誠町田製作所の製品です。
TGW-080SDWは、東京エレテック株式会社の製品です。

付録C レジスタ索引

C.1 レジスタ索引(50音順)

[あ行]

- アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) … 464
- アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) … 460
- ウォッチドッグ・タイマ・モード・レジスタ (WDTM) … 254
- A/Dコンバータ入力選択レジスタ (ADIS) … 270
- A/Dコンバータ・モード・レジスタ (ADM) … 268
- A/D変換結果レジスタ (ADCR) … 267

[か行]

- 外部割り込みモード・レジスタ0 (INTM0) … 188, 512
- 外部割り込みモード・レジスタ1 (INTM1) … 271, 512
- キー・リターン・モード・レジスタ (KRM) … 155, 530
- キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) … 184
- キャプチャ/コンペア・レジスタ00 (CR00) … 178
- キャプチャ/コンペア・レジスタ01 (CR01) … 179
- コレクション・アドレス・レジスタ0 (CORAD0) … 558
- コレクション・アドレス・レジスタ1 (CORAD1) … 558
- コレクション・コントロール・レジスタ (CORCN) … 559
- コンペア・レジスタ10 (CR10) … 226
- コンペア・レジスタ20 (CR20) … 226

[さ行]

- サンプリング・クロック選択レジスタ (SCS) … 189, 514
- 自動データ送受信アドレス・ポインタ (ADTP) … 408
- 自動データ送受信間隔指定レジスタ (ADTI) … 414
- 自動データ送受信コントロール・レジスタ (ADTC) … 412
- 16ビット・タイマ出力コントロール・レジスタ (TOC0) … 185
- 16ビット・タイマ・モード・コントロール・レジスタ (TMC0) … 182
- 16ビット・タイマ・レジスタ (TM0) … 180
- 受信シフト・レジスタ (RXS) … 458
- 受信バッファ・レジスタ (RXB) … 458
- シリアルI/Oシフト・レジスタ0 (SIO0) … 296, 352

シリアルI/Oシフト・レジスタ1 (SIO1) … 408
シリアル・インタフェース端子選択レジスタ(SIPS) … 469
シリアル動作モード・レジスタ0 (CSIM0) … 300, 357
シリアル動作モード・レジスタ1 (CSIM1) … 411
シリアル動作モード・レジスタ2 (CSIM2) … 459
シリアル・バス・インタフェース・コントロール・レジスタ(SBIC) … 303, 359
スレーブ・アドレス・レジスタ(SVA) … 296, 352
送信シフト・レジスタ(TXS) … 458

[た行]

タイマ・クロック選択レジスタ0 (TCL0) … 180, 258
タイマ・クロック選択レジスタ1 (TCL1) … 226
タイマ・クロック選択レジスタ2 (TCL2) … 244, 252, 262
タイマ・クロック選択レジスタ3 (TCL3) … 298, 355, 409
D/Aコンバータ・モード・レジスタ(DAM) … 287
D/A変換値設定レジスタ0 (DACS0) … 286
D/A変換値設定レジスタ1 (DACS1) … 286
時計用タイマ・モード・コントロール・レジスタ(TMC2) … 247

[な行]

内部拡張RAMサイズ切り替えレジスタ(IXS) … 569

[は行]

8ビット・タイマ出力コントロール・レジスタ(TOC1) … 229
8ビット・タイマ・モード・コントロール・レジスタ(TMC1) … 228
8ビット・タイマ・レジスタ1 (TM1) … 226
8ビット・タイマ・レジスタ2 (TM2) … 226
発振安定時間選択レジスタ(OSTS) … 544
発振モード選択レジスタ(OSMS) … 163
プルアップ抵抗オプション・レジスタH (PUOH) … 153
プルアップ抵抗オプション・レジスタL (PUOL) … 153
プログラム・ステータス・ワード(PSW) … 107, 516
プロセッサ・クロック・コントロール・レジスタ(PCC) … 160
ポート0 (P0) … 134
ポート1 (P1) … 136
ポート2 (P2) … 137, 139
ポート3 (P3) … 141
ポート4 (P4) … 142

ポート 5 (P5) …	143
ポート 6 (P6) …	144
ポート 7 (P7) …	146
ポート12(P12) …	148
ポート13(P13) …	149
ポート・モード・レジスタ 0 (PM0) …	150
ポート・モード・レジスタ 1 (PM1) …	150
ポート・モード・レジスタ 2 (PM2) …	150
ポート・モード・レジスタ 3 (PM3) …	150, 187, 230, 260, 264
ポート・モード・レジスタ 5 (PM5) …	150
ポート・モード・レジスタ 6 (PM6) …	150
ポート・モード・レジスタ 7 (PM7) …	150
ポート・モード・レジスタ12(PM12) …	150, 501
ポート・モード・レジスタ13(PM13) …	150
ポー・レート・ジェネレータ・コントロール・レジスタ(BRGC) …	465

[ま行]

メモリ・サイズ切り替えレジスタ(IMS) …	536, 568
メモリ拡張モード・レジスタ(MM) …	154, 535

[や行]

優先順位指定フラグ・レジスタ0H(PR0H) …	511
優先順位指定フラグ・レジスタ0L(PR0L) …	511
優先順位指定フラグ・レジスタ1L(PR1L) …	511

[ら行]

リアルタイム出力バッファ・レジスタH(RTBH) …	500
リアルタイム出力バッファ・レジスタL(RTBL) …	500
リアルタイム出力ポート・コントロール・レジスタ(RTPC) …	502
リアルタイム出力ポート・モード・レジスタ(RTPM) …	501

[わ行]

割り込みタイミング指定レジスタ(SINT) …	305, 361
割り込みマスク・フラグ・レジスタ0H(MK0H) …	510
割り込みマスク・フラグ・レジスタ0L(MK0L) …	510
割り込みマスク・フラグ・レジスタ1L(MK1L) …	510, 529
割り込み要求フラグ・レジスタ0H(IF0H) …	509
割り込み要求フラグ・レジスタ0L(IF0L) …	509

割り込み要求フラグ・レジスタ1L (IF1L) … 509, 529

C.2 レジスタ索引(アルファベット順)

[A]

ADCR	: A/D変換結果レジスタ	…	267
ADIS	: A/Dコンバータ入力選択レジスタ	…	270
ADM	: A/Dコンバータ・モード・レジスタ	…	268
ADTC	: 自動データ送受信コントロール・レジスタ	…	412
ADTI	: 自動データ送受信間隔指定レジスタ	…	414
ADTP	: 自動データ送受信アドレス・ポインタ	…	408
ASIM	: アシンクロナス・シリアル・インタフェース・モード・レジスタ	…	460
ASIS	: アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	…	464

[B]

BRGC	: ボー・レート・ジェネレータ・コントロール・レジスタ	…	465
------	-----------------------------	---	-----

[C]

CORAD0	: コレクション・アドレス・レジスタ0	…	558
CORAD1	: コレクション・アドレス・レジスタ1	…	558
CORCN	: コレクション・コントロール・レジスタ	…	559
CR00	: キャプチャ/コンペア・レジスタ00	…	178
CR01	: キャプチャ/コンペア・レジスタ01	…	179
CR10	: コンペア・レジスタ10	…	226
CR20	: コンペア・レジスタ20	…	226
CRC0	: キャプチャ/コンペア・コントロール・レジスタ0	…	184
CSIM0	: シリアル動作モード・レジスタ0	…	300, 357
CSIM1	: シリアル動作モード・レジスタ1	…	411
CSIM2	: シリアル動作モード・レジスタ2	…	459

[D]

DACS0	: D/A変換値設定レジスタ0	…	286
DACS1	: D/A変換値設定レジスタ1	…	286
DAM	: D/Aコンバータ・モード・レジスタ	…	287

[I]

IF0H	: 割り込み要求フラグ・レジスタ0H	…	509
IF0L	: 割り込み要求フラグ・レジスタ0L	…	509
IF1L	: 割り込み要求フラグ・レジスタ1L	…	509, 529
IMS	: メモリ・サイズ切り替えレジスタ	…	536, 568
INTM0	: 外部割り込みモード・レジスタ0	…	188, 512
INTM1	: 外部割り込みモード・レジスタ1	…	271, 512
IXS	: 内部拡張RAMサイズ切り替えレジスタ	…	569

[K]

KRM	: キー・リターン・モード・レジスタ	…	155, 530
-----	--------------------	---	----------

[M]

MK0H	: 割り込みマスク・フラグ・レジスタ0H	…	510
MK0L	: 割り込みマスク・フラグ・レジスタ0L	…	510
MK1L	: 割り込みマスク・フラグ・レジスタ1L	…	510, 529
MM	: メモリ拡張モード・レジスタ	…	154, 535

[O]

OSMS	: 発振モード選択レジスタ	…	163
OSTS	: 発振安定時間選択レジスタ	…	544

[P]

P0	: ポート0	…	134
P1	: ポート1	…	136
P2	: ポート2	…	137, 139
P3	: ポート3	…	141
P4	: ポート4	…	142
P5	: ポート5	…	143
P6	: ポート6	…	144
P7	: ポート7	…	146
P12	: ポート12	…	148
P13	: ポート13	…	149
PCC	: プロセッサ・クロック・コントロール・レジスタ	…	160
PM0	: ポート・モード・レジスタ0	…	150
PM1	: ポート・モード・レジスタ1	…	150
PM2	: ポート・モード・レジスタ2	…	150

PM3	: ポート・モード・レジスタ 3	… 150, 187, 230, 260, 264
PM5	: ポート・モード・レジスタ 5	… 150
PM6	: ポート・モード・レジスタ 6	… 150
PM7	: ポート・モード・レジスタ 7	… 150
PM12	: ポート・モード・レジスタ12	… 150, 501
PM13	: ポート・モード・レジスタ13	… 150
PR0H	: 優先順位指定フラグ・レジスタ0H	… 511
PR0L	: 優先順位指定フラグ・レジスタ0L	… 511
PR1L	: 優先順位指定フラグ・レジスタ1L	… 511
PSW	: プログラム・ステータス・ワード	… 107, 516
PUOH	: プルアップ抵抗オプション・レジスタH	… 153
PUOL	: プルアップ抵抗オプション・レジスタL	… 153

[R]

RTBH	: リアルタイム出力バッファ・レジスタH	… 500
RTBL	: リアルタイム出力バッファ・レジスタL	… 500
RTPC	: リアルタイム出力ポート・コントロール・レジスタ	… 502
RTPM	: リアルタイム出力ポート・モード・レジスタ	… 501
RXB	: 受信バッファ・レジスタ	… 458
RXS	: 受信シフト・レジスタ	… 458

[S]

SBIC	: シリアル・バス・インタフェース・コントロール・レジスタ	… 303, 359
SCS	: サンプリング・クロック選択レジスタ	… 189, 514
SINT	: 割り込みタイミング指定レジスタ	… 305, 361
SIO0	: シリアルI/Oシフト・レジスタ 0	… 296, 352
SIO1	: シリアルI/Oシフト・レジスタ 1	… 408
SIPS	: シリアル・インタフェース端子選択レジスタ	… 469
SVA	: スレーブ・アドレス・レジスタ	… 296, 352

[T]

TCL0	: タイマ・クロック選択レジスタ 0	… 180, 258
TCL1	: タイマ・クロック選択レジスタ 1	… 226
TCL2	: タイマ・クロック選択レジスタ 2	… 244, 252, 262
TCL3	: タイマ・クロック選択レジスタ 3	… 298, 355, 409
TM0	: 16ビット・タイマ・レジスタ	… 180
TM1	: 8ビット・タイマ・レジスタ 1	… 226

TM2	: 8ビット・タイマ・レジスタ 2	…	226
TMC0	: 16ビット・タイマ・モード・コントロール・レジスタ	…	182
TMC1	: 8ビット・タイマ・モード・コントロール・レジスタ	…	228
TMC2	: 時計用タイマ・モード・コントロール・レジスタ	…	247
TOC0	: 16ビット・タイマ出力コントロール・レジスタ	…	185
TOC1	: 8ビット・タイマ出力コントロール・レジスタ	…	229
TXS	: 送信シフト・レジスタ	…	458

[W]

WDTM	: ウォッチドッグ・タイマ・モード・レジスタ	…	254
------	------------------------	---	-----

付録D 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/4)

版数	前版からの主な改版内容	適用箇所
第2版	次のポートのブロック図を変更 図6-5, 図6-7 P20, P21, P23-P26のブロック図, 図6-6, 図6-8 P22, P27のブロック図, 図6-9 P30-P37のブロック図, 図6-16 P71, P72 のブロック図	第6章 ポート機能
	表7-2 CPUクロックと最小命令実行時間の関係を追加	第7章 クロック発生回路
	図9-10, 図9-13 方形波出力動作のタイミングを追加	第9章 8ビット・タイマ ／イベント・カウンタ
	14.5 A/Dコンバータの注意事項に(7)A/D変換スタート直後の変換結果について を追加	第14章 A/Dコンバータ
	図16-5 シリアル・バス・インタフェース・コントロール・レジスタのフォー マットのBSYEに関する注を修正	第16章 シリアル・イン タフェース・チャンネル0 (μ PD780058サブシリー ズ)
	16.4.3(2)(a)バス・リリース信号(REL), (b)コマンド信号(CMD)に注意を追 加	
	18.4.2 3線式シリアルI/Oモードの動作に(3)MSB/LSB先頭の切り替えを追加 旧版の18.4.3(3)(d)ビジィ制御オプション, (e)ビジィ&ストロープ制御オブ ション, (f)ビットずれ検出機能を(4)同期制御に変更して説明を改善	第18章 シリアル・イン タフェース・チャンネル1
	図19-11 受信エラー・タイミングを修正	第19章 シリアル・イン タフェース・チャンネル2
	19.4.3 3線式シリアルI/Oモードに(3)MSB/LSB先頭の切り替えを追加	
	19.4.4 UARTモード使用時の制限事項を追加	
	26.1 メモリ・サイズ切り替えレジスタに注意事項を追加	第26章 μ PD78F0058, 78F005Y
	26.3 フラッシュ・メモリ・プログラミング フラッシュ・ライタの品名をFlashpro→Flashpro IIに変更	
	付録A μ PD78054, 78058F, 780058サブシリーズ間の違いを追加	付録A μ PD78054, 78058F, 780058サブシ リーズ間の違い
	全面改訂: インサーキット・エミュレータ IE-78K0-NS, IE-78001-R-Aに対応	付録B 開発ツール
	全面改訂: ファジィ推論開発支援システムを削除	付録C 組み込み用ソフト ウェア

版 数	前版からの主な改版内容	適用箇所
第3版	次の製品を削除 ・ μ PD780058Y	全般
	次の製品を追加 ・ μ PD780058B, 780058BY, 780053(A), 780053Y(A), 780054(A), 780054Y(A), 780055(A), 780055Y(A), 780056(A), 780056Y(A), 780058B(A), 780058BY(A)	
	次のパッケージを削除 ・ 80ピン・プラスチックQFP(GC-3B9タイプ) ・ 80ピン・プラスチックTQFP(GK-BE9タイプ)	
	次のパッケージを追加 ・ 80ピン・プラスチックTQFP(GK-9EUタイプ)	
	1.1 特徴, 1.7 機能概要 ・ μ PD780058, 78F0058のA/DコンバータおよびD/Aコンバータの動作電圧範囲を変更 ・ μ PD78F0058の電源電圧を変更	第1章 概説 (μ PD780058サブシリーズ)
	1.9 標準品と(A)製品との違いを追加	
	2.1 特徴, 2.7 機能概要 ・ μ PD78F0058YのA/DコンバータおよびD/Aコンバータの動作電圧範囲を変更 ・ μ PD78F0058Yの電源電圧を変更	第2章 概説 (μ PD780058Yサブシリーズ)
	2.9 標準品と(A)製品との違いを追加	
	表3-1 各端子の入出力回路タイプで未使用時の推奨接続方法およびV _{PP} 端子の端子処理を変更	第3章 端子機能 (μ PD780058サブシリーズ)
	表4-1 各端子の入出力回路タイプで未使用時の推奨接続方法およびV _{PP} 端子の端子処理を変更	第4章 端子機能 (μ PD780058Yサブシリーズ)
	6.2.8 ポート6の注意2を修正	第6章 ポート機能
	図7-3 プロセッサ・クロック・コントロール・レジスタのフォーマットでフィードバック抵抗の注釈を追加	第7章 クロック発生回路
	表8-5 INTP1/TI01端子の有効エッジとCR00のキャプチャ・トリガの有効エッジを追加	第8章 16ビット・タイマ/イベント・カウンタ
	表8-6 INTP0/TI00端子の有効エッジとCR01のキャプチャ・トリガの有効エッジを追加	
	図8-8 外部割り込みモード・レジスタ0のフォーマットのINTP0/TI00/P00, INTP1/TI01/P01端子の有効エッジについての注意を修正	
	図8-17 PPG出力の構成図を追加 図8-18 PPG出力動作のタイミングを追加	

版 数	前版からの主な改版内容	適用箇所
第3版	8.5 16ビット・タイマ/イベント・カウンタの注意事項 (5)有効エッジの設定にTI01/P01/INTP1端子の記述を追加 (6)ワン・ショット・パルスの再トリガに(c)ワンショット・パルス出力機能についてを追加 (8)競合動作を追加 (9)タイマ動作を追加 (10)キャプチャ動作を追加 (11)コンペア動作を追加 (12)エッジ検出を追加	第8章 16ビット・タイマ/イベント・カウンタ
	図10-2 タイマ・クロック選択レジスタ2のフォーマットのカウンタ・クロックの変更についての注意を修正	第10章 時計用タイマ
	図11-2 タイマ・クロック選択レジスタ2のフォーマットのカウンタ・クロックの変更についての注意を修正	第11章 ウォッチドッグ・タイマ
	図13-2 タイマ・クロック選択レジスタ2のフォーマットのTCL2の書き換えについての注意を追加	第13章 ブザー出力制御回路
	図14-5 A/Dコンバータの基本動作を修正 表14-2 A/Dコンバータのサンプリング時間とA/D変換開始遅延時間を追加	第14章 A/Dコンバータ
	14.5 A/Dコンバータ特性表の読み方を追加	
	14.6 A/Dコンバータの注意事項 (3)競合動作についてを追加 (6)ANI0-ANI7端子の入カインピーダンスについてを追加 (10)A/D変換結果が不定になるタイミングを追加 (11)ボード設計上の注意を追加 (12)AV _{REF0} 端子を追加 (13)ANI0-ANI7端子内部等価回路と許容信号源インピーダンスを追加	
	17.4.7 I ² Cバス・モード使用時の制限事項2を追加	
	19.4.5 UARTモード使用時の制限事項2を追加	第17章 シリアル・インタフェース・チャンネル0 (μ PD780058Yサブシリーズ)
	図21-2 割り込み要求フラグ・レジスタのフォーマットの割り込みが受け付けられた場合の注意を追加	第19章 シリアル・インタフェース・チャンネル2
	図21-5 外部割り込みモード・レジスタ0のフォーマットの注意にTI01/P01/INTP1端子の記述を追加	第21章 割り込み機能とテスト機能
	表26-1 μ PD78F0058, 78F0058YとマスクROM製品の違いを修正 フラッシュ・メモリ・プログラミングに関する内容を、26.3 フラッシュ・メモリの特徴として全面改訂	第26章 μ PD78F0058, 78F0058Y

版 数	前版からの主な改版内容	適用箇所
第3版	第28章 電気的特性(マスクROM製品)を追加	第28章 電気的特性(マスクROM製品)
	第29章 電気的特性(フラッシュ・メモリ製品)を追加	第29章 電気的特性(フラッシュ・メモリ製品)
	第30章 電気的特性(フラッシュ・メモリ製品(V _{DD} = 2.2 V対応))を追加	第30章 電気的特性(フラッシュ・メモリ製品(V _{DD} = 2.2 V対応))
	第31章 特性曲線(参考値)を追加	第31章 特性曲線(参考値)
	第32章 外形図を追加	第32章 外形図
	第33章 半田付け推奨条件を追加	第33章 半田付け推奨条件
	付録A μ PD78054, 78058F, 780058サブシリーズ間の違いを修正	付録A μ PD78054, 78058F, 780058サブシリーズ間の違い
付録B 開発ツールの内容を全面改訂 組み込み用ソフトウェアの記述を付録B 開発ツールに移動	付録B 開発ツール	
第3版 (修正1版)	表8-5 INTP1/TI01端子の有効エッジとCR00のキャプチャ・トリガの有効エッジ、表8-6 INTP0/TI00端子の有効エッジとCR01のキャプチャ・トリガの有効エッジの記述を修正	第8章 16ビット・タイム/イベント・カウンタ
	25.1 ROMコレクションの機能に注意文を追加	第25章 ROMコレクション
	26.3.4 フラッシュ書き込み用アダプタの接続の図を修正	第26章 μ PD78F0058, 78F0058Y
第3版 (修正2版)	3.2.11, 4.2.11 AV _{REF0} の未使用時の処理を変更	第3章 端子機能
	表3-1, 表4-1 各端子の入出力回路タイプで、P60-P63とAV _{REF1} の未使用時の処理を変更	(μ PD780058サブシリーズ), 第4章 端子機能 (μ PD780058Yサブシリーズ)
	14.6 A/Dコンバータの注意事項の(1)スタンバイ・モード時の消費電流についての内容を変更	第14章 A/Dコンバータ
	15.5 D/Aコンバータの注意事項の(3) AV _{REF1} について、未使用時の処理の記述を追加	第15章 D/Aコンバータ
	「A/D変換スタート直後の注意事項」の項目を追加	付録A μ PD78054, 78058F, 780058サブシリーズ間の違い

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係お問い合わせ先】

下記のページに最新版のお問い合わせ先が記載されています。

URL(アドレス) http://www.necel.com/ja/contact/contact_j.html

【技術的なお問い合わせ先】

半導体テクニカルホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電 話 : 044-435-9494
FAX : 044-435-9608
E-mail : info@lsi.nec.co.jp

【資料請求先】

NECエレクトロニクス特約店または上記ホームページ記載の営業関係お問い合わせ先へお申し付けください。
