

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

V850E/IA3, V850E/IA4

32ビット・シングルチップ・マイクロコントローラ

ハードウェア編

V850E/IA3 :

μPD703183

μPD70F3184

V850E/IA4 :

μPD703185

μPD703186

μPD70F3186

〔メモ〕

目次要約

第1章	イントロダクション	...	18
第2章	端子機能	...	38
第3章	CPU機能	...	50
第4章	ポート機能	...	84
第5章	クロック・ジェネレータ	...	163
第6章	16ビット・タイマ/イベント・カウンタP (TMP)	...	177
第7章	16ビット・タイマ/イベント・カウンタQ (TMQ)	...	277
第8章	16ビット・2相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (タイマENC1n)	...	386
第9章	16ビット・インターバル・タイマM (TMM)	...	416
第10章	モータ制御機能	...	425
第11章	ウォッチドッグ・タイマ機能	...	489
第12章	A/Dコンバータ0, 1	...	493
第13章	A/Dコンバータ2	...	556
第14章	アシンクロナス・シリアル・インタフェースA (UARTA)	...	580
第15章	クロック同期式シリアル・インタフェースB (CSIB)	...	608
第16章	DMA機能 (DMAコントローラ)	...	653
第17章	割り込み/例外処理機能	...	679
第18章	スタンバイ機能	...	717
第19章	リセット機能	...	727
第20章	ROMコレクション機能	...	732
第21章	オンチップ・デバッグ機能 (オンチップ・デバッグ・ユニット)	...	737
第22章	フラッシュ・メモリ	...	748
第23章	電気的特性 (V850E/IA3)	...	773
第24章	電気的特性 (V850E/IA4)	...	791
第25章	外形図	...	810
第26章	半田付け推奨条件	...	813
付録A	注意事項	...	814
付録B	レジスタ索引	...	815
付録C	命令セット一覧	...	824
付録D	改版履歴	...	833

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご注意ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2008年1月現在のものです。今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っていません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

はじめに

対象者 このマニュアルは、V850E/IA3(μ PD703183, 70F3184)、V850E/IA4(μ PD703185, 703186, 70F3186)の機能を理解し、それをを用いた応用システムを設計するユーザを対象とします。

目的 このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。

構成 V850E/IA3, V850E/IA4のユーザズ・マニュアルは、ハードウェア編(このマニュアル)と、アーキテクチャ編(V850E1 ユーザズ・マニュアル アーキテクチャ編)の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

読み方 このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

一通りV850E/IA3, V850E/IA4の機能を理解しようとするとき
目次に従ってお読みください。

レジスタ名が分かっている、レジスタの詳細を確認するとき
付録B レジスタ索引を利用してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるビットは、そのビット名称がデバイス・ファイルで予約語として定義されています。

命令機能の詳細を理解しようとするとき

別冊のV850E1 **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

V850E/IA3, V850E/IA4の電気的特性を知りたいとき

第23章 電気的特性 (V850E/IA3)、**第24章 電気的特性 (V850E/IA4)**を参照してください。

このマニュアルでは、「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ/アセンブラでは正しく認識できませんので、注意してください。

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この“ ”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

- 凡 例**
- データ表記の重み：左が上位桁，右が下位桁
 - アクティブ・ロウの表記：xxx（端子，信号名称に上線）
 - メモリ・マップのアドレス：上部 - 上位，下部 - 下位
 - 注：本文中に付けた注の説明
 - 注意：気を付けて読んでいただきたい内容
 - 備考：本文の補足説明
 - 数の表記：2進数 ... xxxxまたはxxxxB
 - 10進数 ... xxxx
 - 16進数 ... xxxxH
 - 2のべき数を示す接頭語（アドレス空間，メモリ容量）：
 - K（キロ）... $2^{10} = 1024$
 - M（メガ）... $2^{20} = 1024^2$
 - G（ギガ）... $2^{30} = 1024^3$
 - データ・タイプ：ワード ... 32ビット
 - ハーフワード ... 16ビット
 - バイト ... 8ビット

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850E/IA3, V850E/IA4に関する資料

資料名	資料番号
V850E1 ユーザーズ・マニュアル アーキテクチャ編	U14559J
V850E/IA3, V850E/IA4 ユーザーズ・マニュアル ハードウェア編	このマニュアル
V850シリーズによるインバータ制御 アプリケーション・ノート ホール・センサによるベクトル制御編	U17338J
V850シリーズによるインバータ制御 アプリケーション・ノート エンコーダによるベクトル制御編	U17324J
V850シリーズによるインバータ制御 アプリケーション・ノート ゼロクロス検出による120度通電方式制御編	U17209J

開発ツールに関する資料（ユーザーズ・マニュアル）

資料名	資料番号	
QB-V850EIA4（インサーキット・エミュレータ）	U17167J	
QB-V850MINI（オンチップ・デバッグ・エミュレータ）	U17638J	
QB-MINI2（プログラミング機能付きオンチップ・デバッグ・エミュレータ）	U18371J	
CA850（Ver.3.20） （Cコンパイラ・パッケージ）	操作編	U18512J
	C言語編	U18513J
	アセンブリ言語編	U18514J
	リンク・ディレクティブ編	U18515J
PM+（Ver.6.30）（プロジェクト・マネージャ）	U18416J	
ID850QB（Ver.3.40）（統合デバッガ）	操作編	U18604J
TW850（Ver.2.00）（性能解析チューニング・ツール）		U17241J
RX850（Ver.3.20）（リアルタイムOS）	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro（Ver.3.21）（リアルタイムOS）	基礎編	U18165J
	インストレーション編	U17421J
	テクニカル編	U13772J
	タスク・デバッガ編	U17422J
RX-NET（Ver.1.30）（TCP/IPライブラリ）		U15083J
AZ850（Ver.3.30）（システム・パフォーマンス・アナライザ）		U17423J
PG-FP4 フラッシュ・メモリ・プログラマ		U15260J
PG-FP5 フラッシュ・メモリ・プログラマ		U18865J

目 次

第1章 イン트로ダクション ... 18

- 1.1 概 説 ... 18
- 1.2 V850E/IA3 ... 20
 - 1.2.1 特 徴 (V850E/IA3) ... 20
 - 1.2.2 応用分野 (V850E/IA3) ... 22
 - 1.2.3 オーダ情報 (V850E/IA3) ... 22
 - 1.2.4 端子接続図 (V850E/IA3) ... 23
 - 1.2.5 機能ブロック構成 (V850E/IA3) ... 25
- 1.3 V850E/IA4 ... 28
 - 1.3.1 特 徴 (V850E/IA4) ... 28
 - 1.3.2 応用分野 (V850E/IA4) ... 30
 - 1.3.3 オーダ情報 (V850E/IA4) ... 30
 - 1.3.4 端子接続図 (V850E/IA4) ... 31
 - 1.3.5 機能ブロック構成 (V850E/IA4) ... 34

第2章 端子機能 ... 38

- 2.1 端子機能一覧 ... 38
- 2.2 端子の入出力回路タイプと未使用時の処理 ... 46
- 2.3 端子の入出力回路 ... 49

第3章 CPU機能 ... 50

- 3.1 特 徴 ... 50
- 3.2 CPUレジスタ・セット ... 51
 - 3.2.1 プログラム・レジスタ・セット ... 52
 - 3.2.2 システム・レジスタ・セット ... 53
- 3.3 動作モード ... 59
 - 3.3.1 動作モード ... 59
 - 3.3.2 動作モード指定 ... 59
- 3.4 アドレス空間 ... 60
 - 3.4.1 CPUアドレス空間 ... 60
 - 3.4.2 イメージ ... 61
 - 3.4.3 CPUアドレス空間のラップ・アラウンド ... 62
 - 3.4.4 メモリ・マップ ... 63
 - 3.4.5 領 域 ... 64
 - 3.4.6 アドレス空間の推奨使用方法 ... 68
 - 3.4.7 内蔵周辺I/Oレジスタ ... 70
 - 3.4.8 特定レジスタ ... 79
 - 3.4.9 システム・ウエイト・コントロール・レジスタ (VSWC) ... 83
 - 3.4.10 注意事項 ... 83

第4章 ポート機能 ... 84

- 4.1 特 徴 ... 84
 - 4.1.1 V850E/IA3 ... 84
 - 4.1.2 V850E/IA4 ... 84
- 4.2 ポートの基本構成 ... 85
 - 4.2.1 V850E/IA3 ... 85
 - 4.2.2 V850E/IA4 ... 86
- 4.3 ポートの構成 ... 87
 - 4.3.1 ポート0 ... 93
 - 4.3.2 ポート1 ... 100
 - 4.3.3 ポート2 (V850E/IA4のみ) ... 109
 - 4.3.4 ポート3 ... 115
 - 4.3.5 ポート4 ... 126
 - 4.3.6 ポート5 (V850E/IA4のみ) ... 133
 - 4.3.7 ポート7 ... 138
 - 4.3.8 ポートDL ... 142
- 4.4 各設定時の出力データとポート・リード値 ... 145
- 4.5 兼用機能使用時のポートのレジスタ設定 ... 151
- 4.6 ノイズ除去回路 ... 157
- 4.7 注意事項 ... 161
 - 4.7.1 ポート端子設定上の注意事項 ... 161
 - 4.7.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項 ... 162

第5章 クロック・ジェネレータ ... 163

- 5.1 概 要 ... 163
- 5.2 構 成 ... 164
- 5.3 制御レジスタ ... 166
- 5.4 PLL機能 ... 172
 - 5.4.1 概 要 ... 172
 - 5.4.2 PLLの出力周波数の設定 ... 172
 - 5.4.3 PLLモード ... 172
 - 5.4.4 クロック・スルー・モード ... 172
- 5.5 動 作 ... 173
 - 5.5.1 各クロックの動作 ... 173
 - 5.5.2 動作タイミング ... 174
- 5.6 クロック・モニタ ... 176

第6章 16ビット・タイマ/イベント・カウンタP (TMP) ... 177

- 6.1 概 要 ... 177
- 6.2 機 能 ... 177
- 6.3 構 成 ... 178
- 6.4 レジスタ ... 184
- 6.5 タイマ出力動作説明 ... 197
- 6.6 動 作 ... 198
 - 6.6.1 インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000) ... 205
 - 6.6.2 外部イベント・カウント・モード (TPkMD2-TPkMD0ビット = 001) ... 217

6.6.3	外部トリガ・パルス出力モード (TPmMD2-TPmMD0ビット = 010)	...	226
6.6.4	ワンショット・パルス出力モード (TPmMD2-TPmMD0ビット = 011)	...	238
6.6.5	PWM出力モード (TPmMD2-TPmMD0ビット = 100)	...	245
6.6.6	フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101)	...	254
6.6.7	パルス幅測定モード (TPkMD2-TPkMD0ビット = 110)	...	271

第7章 16ビット・タイマ/イベント・カウンタQ (TMQ) ... 277

7.1	概要	...	277
7.2	機能	...	278
7.3	構成	...	278
7.4	レジスタ	...	282
7.5	タイマ出力動作説明	...	296
7.6	動作	...	297
7.6.1	インターバル・タイマ・モード (TQnMD2-TQnMD0ビット = 000)	...	305
7.6.2	外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット = 001)	...	316
7.6.3	外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0ビット = 010)	...	326
7.6.4	ワンショット・パルス出力モード (TQ0MD2-TQ0MD0ビット = 011)	...	339
7.6.5	PWM出力モード (TQ0MD2-TQ0MD0ビット = 100)	...	348
7.6.6	フリー・ランニング・タイマ・モード (TQnMD2-TQnMD0ビット = 101)	...	359
7.6.7	パルス幅測定モード (TQ0MD2-TQ0MD0ビット = 110)	...	380

第8章 16ビット・2相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (タイマENC1n) ... 386

8.1	機能	...	386
8.2	特徴	...	386
8.3	構成	...	387
8.4	制御レジスタ	...	391
8.5	動作	...	404
8.5.1	汎用タイマ・モードでの動作	...	404
8.5.2	UDCモードでの動作	...	406
8.6	内部動作補足説明	...	413
8.6.1	UDCモードBでのカウント値クリア動作について	...	413
8.6.2	転送動作について	...	414
8.6.3	コンペアー一致による割り込み要求信号出力について	...	415
8.6.4	TM1UBDnフラグ (STATUS1nレジスタのビット0) の動作について	...	415

第9章 16ビット・インターバル・タイマM (TMM) ... 416

9.1	概要	...	416
9.2	構成	...	417
9.3	制御レジスタ	...	419
9.4	動作	...	420
9.4.1	インターバル・タイマ・モード	...	420
9.5	注意事項	...	424

第10章 モータ制御機能 ... 425

- 10.1 機能概要 ... 425
- 10.2 構成 ... 426
- 10.3 制御レジスタ ... 430
- 10.4 動作 ... 443
 - 10.4.1 システム概要説明 ... 443
 - 10.4.2 デッド・タイム制御（逆相波信号の生成） ... 448
 - 10.4.3 割り込み間引き機能 ... 455
 - 10.4.4 転送機能付きレジスタの書き換え操作 ... 462
 - 10.4.5 A/D変換開始トリガ信号出力用TMPnの同調動作 ... 480
 - 10.4.6 A/D変換開始トリガ出力機能 ... 484

第11章 ウォッチドッグ・タイマ機能 ... 489

- 11.1 機能 ... 489
- 11.2 構成 ... 490
- 11.3 制御レジスタ ... 491
- 11.4 動作 ... 492
- 11.5 注意事項 ... 492

第12章 A/Dコンバータ0, 1 ... 493

- 12.1 特徴 ... 493
- 12.2 構成 ... 495
- 12.3 制御レジスタ ... 502
- 12.4 動作 ... 513
 - 12.4.1 基本動作 ... 513
 - 12.4.2 動作モードとトリガ・モード ... 515
- 12.5 ソフトウェア・トリガ・モード時の動作 ... 531
 - 12.5.1 連続セレクト・モードの動作 ... 531
 - 12.5.2 連続スキャン・モードの動作 ... 534
 - 12.5.3 ワンショット・セレクト・モードの動作 ... 535
 - 12.5.4 ワンショット・スキャン・モードの動作 ... 537
- 12.6 タイマ・トリガ・モード0, 1時の動作 ... 538
 - 12.6.1 連続セレクト・モード/ワンショット・セレクト・モードの動作 ... 539
 - 12.6.2 連続スキャン・モード/ワンショット・スキャン・モードの動作 ... 541
- 12.7 外部トリガ・モード時の動作 ... 542
 - 12.7.1 連続セレクト・モード/ワンショット・セレクト・モードの動作 ... 543
 - 12.7.2 連続スキャン・モード/ワンショット・スキャン・モードの動作 ... 545
- 12.8 内部等価回路 ... 546
- 12.9 動作上の注意事項 ... 548
 - 12.9.1 変換動作の停止 ... 548
 - 12.9.2 タイマ/外部トリガの間隔 ... 548
 - 12.9.3 スタンバイ・モード時の動作 ... 549
 - 12.9.4 タイマ・トリガ・モード0, 1時のタイマ割り込み要求信号 ... 550
 - 12.9.5 安定時間中の再変換起動トリガ入力 ... 550
 - 12.9.6 A/D変換結果のばらつき ... 550
 - 12.9.7 A/D変換のヒステリシス特性 ... 550

12.9.8	ワンショット・モードかつソフトウェア・トリガ・モード設定時の制限事項	...	551
12.10	A/Dコンバータ特性表の読み方	...	552

第13章 A/Dコンバータ2 ... 556

13.1	特 徴	...	556
13.2	構 成	...	557
13.3	制御レジスタ	...	560
13.4	動 作	...	569
13.4.1	基本動作	...	569
13.4.2	バッファ・モードと動作モード	...	570
13.4.3	動作タイミング	...	572
13.5	内部等価回路	...	577
13.6	A/Dコンバータ特性表の読み方	...	577
13.7	注意事項	...	578
13.7.1	変換動作中のADA2CTL1, ADA2CTL3レジスタへの書き込み	...	578
13.7.2	変換結果レジスタへの格納タイミングの競合	...	578

第14章 アシンクロナス・シリアル・インタフェースA (UARTA) ... 580

14.1	UARTA1とCSIB1のモード切り替え	...	580
14.2	特 徴	...	581
14.3	構 成	...	582
14.4	制御レジスタ	...	584
14.5	割り込み要求信号	...	590
14.6	動 作	...	591
14.6.1	データ・フォーマット	...	591
14.6.2	UART送信	...	593
14.6.3	連続送信の手順説明	...	594
14.6.4	UART受信	...	596
14.6.5	受信エラー	...	597
14.6.6	パリティの種類と動作	...	598
14.6.7	受信データのノイズ・フィルタ	...	599
14.7	専用ポー・レート・ジェネレータ	...	600
14.8	注意事項	...	607

第15章 クロック同期式シリアル・インタフェースB (CSIB) ... 608

15.1	UARTA1とCSIB1のモード切り替え	...	608
15.2	特 徴	...	609
15.3	構 成	...	610
15.4	制御レジスタ	...	612
15.5	動 作	...	619
15.5.1	シングル転送モード (マスタ・モード, 送信モード)	...	619
15.5.2	シングル転送モード (マスタ・モード, 受信モード)	...	621
15.5.3	シングル転送モード (マスタ・モード, 送受信モード)	...	623
15.5.4	シングル転送モード (スレーブ・モード, 送信モード)	...	625
15.5.5	シングル転送モード (スレーブ・モード, 受信モード)	...	627
15.5.6	シングル転送モード (スレーブ・モード, 送受信モード)	...	629

15.5.7	連続転送モード(マスタ・モード,送信モード)	...	631
15.5.8	連続転送モード(マスタ・モード,受信モード)	...	633
15.5.9	連続転送モード(マスタ・モード,送受信モード)	...	636
15.5.10	連続転送モード(スレーブ・モード,送信モード)	...	640
15.5.11	連続転送モード(スレーブ・モード,受信モード)	...	642
15.5.12	連続転送モード(スレーブ・モード,送受信モード)	...	645
15.5.13	受信エラー	...	649
15.5.14	クロック・タイミング	...	650
15.6	出力端子	...	652

第16章 DMA機能(DMAコントローラ) ... 653

16.1	特 徴	...	653
16.2	構 成	...	654
16.3	制御レジスタ	...	655
16.3.1	DMAソース・アドレス・レジスタ0-3(DSA0-DSA3)	...	655
16.3.2	DMAデスティネーション・アドレス・レジスタ0-3(DDA0-DDA3)	...	657
16.3.3	DMA転送カウント・レジスタ0-3(DBC0-DBC3)	...	659
16.3.4	DMAアドレッシング・コントロール・レジスタ0-3(DADC0-DADC3)	...	660
16.3.5	DMAチャンネル・コントロール・レジスタ0-3(DCHC0-DCHC3)	...	661
16.3.6	DMAトリガ要因レジスタ0-3(DTFR0-DTFR3)	...	663
16.4	転送モード	...	667
16.4.1	シングル転送モード	...	667
16.4.2	シングルステップ転送モード	...	669
16.4.3	ブロック転送モード	...	670
16.5	転送タイプ	...	671
16.5.1	2サイクル転送	...	671
16.6	転送対象	...	672
16.6.1	転送の種類と転送対象	...	672
16.7	DMAチャンネルの優先順位	...	673
16.8	ネクスト・アドレス設定機能	...	673
16.9	DMA転送起動要因	...	675
16.10	強制終了	...	676
16.11	DMA転送に関する各種時間	...	677
16.12	注意事項	...	677
16.13	DMA転送の終了	...	678

第17章 割り込み/例外処理機能 ... 679

17.1	特 徴	...	679
17.2	ノンマスカブル割り込み	...	683
17.2.1	動 作	...	684
17.2.2	復 帰	...	686
17.2.3	ノンマスカブル割り込みステータス・フラグ(NP)	...	687
17.3	マスカブル割り込み	...	688
17.3.1	動 作	...	688
17.3.2	復 帰	...	690
17.3.3	マスカブル割り込みの優先順位	...	691
17.3.4	割り込み制御レジスタ(xxlCn)	...	695

17.3.5	割り込みマスク・レジスタ0-3 (IMR0-IMR3) ...	699
17.3.6	インサースビス・プライオリティ・レジスタ (ISPR) ...	701
17.3.7	マスクブル割り込みステータス・フラグ (ID) ...	702
17.4	外部割り込み要求入力端子 (INTP0-INTP7) ...	703
17.4.1	ノイズ除去 ...	703
17.4.2	エッジ検出 ...	704
17.5	ソフトウェア例外 ...	706
17.5.1	動作 ...	706
17.5.2	復帰 ...	707
17.5.3	例外ステータス・フラグ (EP) ...	708
17.6	例外トラップ ...	709
17.6.1	不正命令コード ...	709
17.6.2	デバッグ・トラップ ...	711
17.7	多重割り込み処理制御 ...	713
17.8	CPUの割り込み応答時間 ...	715
17.9	CPUが割り込みを受け付けない期間 ...	716
17.10	注意事項 ...	716

第18章 スタンバイ機能 ... 717

18.1	概要 ...	717
18.2	制御レジスタ ...	719
18.3	HALTモード ...	720
18.3.1	設定および動作状態 ...	720
18.3.2	HALTモードの解除 ...	720
18.4	IDLEモード ...	722
18.4.1	設定および動作状態 ...	722
18.4.2	IDLEモードの解除 ...	722
18.5	STOPモード ...	724
18.5.1	設定および動作状態 ...	724
18.5.2	STOPモードの解除 ...	724
18.6	発振安定時間の確保 ...	726

第19章 リセット機能 ... 727

19.1	概要 ...	727
19.2	構成 ...	727
19.3	制御レジスタ ...	728
19.4	動作 ...	729

第20章 ROMコレクション機能 ... 732

20.1	概要 ...	732
20.2	制御レジスタ ...	733
20.3	ROMコレクションの動作とプログラムの流れ ...	735

第21章 オンチップ・デバッグ機能 (オンチップ・デバッグ・ユニット) ... 737

21.1	機能概要 ...	737
------	----------	-----

- 21.1.1 オンチップ・デバッグ・ユニットの種類 ... 737
- 21.1.2 デバッグ機能 ... 737
- 21.1.3 ROMセキュリティ機能 ... 739
- 21.2 オンチップ・デバッグ機能とポート機能（兼用機能含む）の切り替え ... 741
- 21.3 オンチップ・デバッグ・エミュレータとの接続 ... 742
 - 21.3.1 KEL社製コネクタ ... 743
- 21.4 注意事項 ... 747

第22章 フラッシュ・メモリ ... 748

- 22.1 特 徴 ... 748
- 22.2 メモリ構成 ... 749
- 22.3 機能概要 ... 750
- 22.4 専用フラッシュ・メモリ・プログラマでの書き換え ... 754
 - 22.4.1 プログラミング環境 ... 754
 - 22.4.2 通信方式 ... 755
 - 22.4.3 フラッシュ・メモリ制御 ... 759
 - 22.4.4 通信方式の選択 ... 760
 - 22.4.5 通信コマンド ... 761
 - 22.4.6 端子処理 ... 762
- 22.5 セルフ・プログラミングによる書き換え ... 768
 - 22.5.1 概 要 ... 768
 - 22.5.2 特 徴 ... 769
 - 22.5.3 標準セルフ・プログラミング・フロー ... 770
 - 22.5.4 フラッシュ関数一覧 ... 771
 - 22.5.5 端子処理 ... 771
 - 22.5.6 使用する内部資源 ... 772

第23章 電気的特性（V850E/IA3） ... 773

第24章 電気的特性（V850E/IA4） ... 791

第25章 外形図 ... 810

第26章 半田付け推奨条件 ... 813

付録A 注意事項 ... 814

- A.1 sld命令と割り込み競合に関する制限事項 ... 814
 - A.1.1 内 容 ... 814
 - A.1.2 回避策 ... 814

付録B レジスタ索引 ... 815

付録C 命令セット一覧 ... 824

- C.1 凡 例 ... 824
- C.2 インストラクション・セット（アルファベット順） ... 827

付録D 改版履歴 ...	833
D.1 本版で改訂された主な箇所 ...	833
D.2 前版までの改版履歴 ...	836

第1章 イントロダクション

V850E/IA3, V850E/IA4は, NECエレクトロニクスのシングルチップ・マイクロコントローラ「V850マイコン」の1製品です。この章では, V850E/IA3, V850E/IA4の概要を簡単に説明します。

1.1 概 説

V850E/IA3, V850E/IA4は, システム・オン・チップ時代のシステムLSIの核となるCPUコアとして新たに開発したASIC用32ビットRISC型CPUコア「V850E1 CPU」を搭載した32ビット・シングルチップ・マイクロコントローラです。ROM, RAM, および, DMAコントローラ, タイマ/カウンタ, ウォッチドッグ・タイマ, シリアル・インタフェース, A/Dコンバータ, 一次 $\Delta\Sigma$ 変換方式A/Dコンバータ, ROMコレクション, オンチップ・デバッグなどの周辺機能を内蔵し, 大容量データ処理と高度なリアルタイム制御を実現します。

(1) 「V850E1 CPU」搭載

「V850E1 CPU」は, V850マイコン搭載のCPUコア「V850 CPU」に対し, C言語のswitch文処理, テーブル・ルックアップの分岐, スタック・フレームの生成/削除, データ変換など, 主に高級言語に対応した命令などを追加することにより, 制御系だけではなく, データ処理系にも対応したCPUコアです。

なお, 命令コードは, V850 CPUに対して, オブジェクト・コード・レベルでの上位互換性を持たせているため, V850 CPU搭載システムのソフトウェア資産をそのまま使用できます。

(2) フラッシュ・メモリ内蔵 (μ PD70F3184 (V850E/IA3), μ PD70F3186 (V850E/IA4))

フラッシュ・メモリ内蔵品 (μ PD70F3184 (V850E/IA3), μ PD70F3186 (V850E/IA4)) は, 高速アクセス可能なフラッシュ・メモリを内蔵しており, アプリケーション・システム上にV850E/IA3, V850E/IA4を実装したままプログラムの書き換えが行えるため, システム開発期間の短縮が実現できます。また, システム出荷後のメンテナンス性を飛躍的に向上させることができます。

(3) 充実したミドルウェア, 開発環境製品群

V850E/IA3, V850E/IA4はJPEG, JBIG, MH/MR/MMRなどのミドルウェアを高速実行できます。また, 音声認識, 音声合成などの処理を実現するミドルウェアも用意されているので, これらのミドルウェアと組み合わせることにより, マルチメディア・システムを容易に実現できます。

また, 最適化Cコンパイラ, デバッガ, オンチップ・デバッグ・エミュレータ (μ PD70F3186 (V850E/IA4)のみ), システム・パフォーマンス・アナライザなどの統合された開発環境も用意しています。

表1 - 1にV850E/IA3とV850E/IA4の機能の違いを示します。

表1 - 1 V850E/IA3とV850E/IA4の機能の違い

項 目		V850E/IA3	V850E/IA4
内蔵ROM/RAM (マスクROM製品)		128 Kバイト / 6 Kバイト	128 Kバイト / 6 Kバイト 256 Kバイト / 12 Kバイト
ポート機能	入出力	44本	56本
	入力	6本	8本
	内蔵プルアップ抵抗	あり (ポート0, 1, 3, 4, DLのみ)	あり (ポート0-5, DLのみ)
割り込み要因		外部割り込み : 7本 (NMIなし) 内部割り込み : 48本	外部割り込み : 8本 (NMIなし) 内部割り込み : 52本
タイマQ0, Q1		タイマQ0 タイマQ1 (出力なし)	タイマQ0 タイマQ1
タイマP0-P3		タイマP0 タイマP1 (出力なし) タイマP2 タイマP3 (出力なし)	タイマP0 タイマP1 (出力なし) タイマP2 タイマP3
タイマENC10, ENC11		タイマENC10	タイマENC10 タイマENC11
モータ制御機能	6相PWMモード用出力端子	TMQ0 + TMQOP0 (+ TMP0)	TMQ0 + TMQOP0 (+ TMP0) TMQ1 + TMQOP1 (+ TMP1)
A/Dコンバータ0, 1	アナログ入力	2回路合計 : 6 ch A/Dコンバータ0 : 2 ch A/Dコンバータ1 : 4 ch	2回路合計 : 8 ch A/Dコンバータ0 : 4 ch A/Dコンバータ1 : 4 ch
	入力レベル増幅用オペアンプ	2回路合計 : 5ch A/Dコンバータ0 : 2 ch (ANI00, ANI01) A/Dコンバータ1 : 3 ch (ANI10-ANI12)	2回路合計 : 6 ch A/Dコンバータ0 : 3 ch (ANI00-ANI02) A/Dコンバータ1 : 3 ch (ANI10-ANI12)
	過電圧検出用コンパレータ	2回路合計 : 5ch A/Dコンバータ0 : 2 ch (ANI00, ANI01) A/Dコンバータ1 : 3 ch (ANI10-ANI12)	2回路合計 : 6 ch A/Dコンバータ0 : 3 ch (ANI00-ANI02) A/Dコンバータ1 : 3 ch (ANI10-ANI12)
A/Dコンバータ2	アナログ入力	6 ch	8 ch
オンチップ・デバッグ機能		なし	あり (μ PD70F3186のみ)
パッケージ		80ピン・プラスチックQFP	100ピン・プラスチックLQFP 100ピン・プラスチックQFP

1.2 V850E/IA3

1.2.1 特徴 (V850E/IA3)

最小命令実行時間 15.6 ns (内部64 MHz動作時)

汎用レジスタ 32ビット×32本

CPUの特徴 符号付き乗算 (16ビット×16ビット 32ビット, または32ビット×32ビット 64ビット)
 : 1-2クロック
 飽和演算命令 (オーバフロー/アンダフロー検出機能付き)
 32ビット・シフト命令 : 1クロック
 ビット操作命令
 ロング/ショート形式を持つロード/ストア命令
 符号付きロード命令

内蔵メモリ

製品名	内蔵ROM / フラッシュ・メモリ	内蔵RAM
μPD703183	128 Kバイト (マスクROM)	6 Kバイト
μPD70F3184	256 Kバイト (フラッシュ・メモリ)	12 Kバイト

ROMコレクション 4箇所修正可能

割り込み / 例外

ノンマスカブル割り込み : 1要因 (内部 : 1要因, 外部 : なし)
 マスカブル割り込み : 55要因 (外部 : 7要因, 内部 : 48要因)
 ソフトウェア例外 : 32要因
 例外トラップ : 2要因

DMAコントローラ

4チャンネル構成
 転送単位 : 8ビット / 16ビット
 最大転送回数 : 65536 (2^{16}) 回
 転送タイプ : 2サイクル転送
 転送モード : シングル転送 / シングルステップ転送 / ブロック転送
 転送対象 : 内蔵周辺I/O 内蔵RAM, 内蔵周辺I/O 内蔵周辺I/O
 転送要求 : 内蔵周辺I/O / ソフトウェア
 ネクスト・アドレス設定機能

I/Oライン

合計 : 50 (入力専用ポート : 6, 入出力ポート : 44)

タイマ/カウンタ機能

2相エンコーダ入力用16ビット・アップ/ダウン・カウンタ/タイマ (TMENC) : 1 ch
 16ビット・インターバル・タイマM (TMM) : 1 ch
 16ビット・タイマ/イベント・カウンタQ (TMQ) : 2 ch
 16ビット・タイマ/イベント・カウンタP (TMP) : 4 ch
 モータ制御機能 (使用タイマ TMQ : 1 ch (TMQ0), TMP : 1 ch (TMP0))
 16ビット精度のデッド・タイム付き6相PWM機能 : 1 ch
 ハイ・インピーダンス出力制御機能
 タイマ同調動作機能
 任意の周期設定機能
 任意のデッド・タイム設定機能
 ウォッチドッグ・タイマ : 1 ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェースA (UARTA)
 クロック同期式シリアル・インタフェースB (CSIB)
 CSIB0 : 1 ch
 UARTA0 : 1 ch
 CSIB1/UARTA1 : 1 ch

A/Dコンバータ

10ビット分解能A/Dコンバータ (A/Dコンバータ0, 1) : 2 ch + 4 ch (2ユニット)
 A/Dコンバータ0の2 ch, A/Dコンバータ1の4 chのうち3 chには入力レベル増幅用オペアンプ (ゲイン = 2.5倍, 5倍) と過電圧検出用コンパレータ (入力電圧範囲 = 0.1 AV_{DD} ~ 0.5 AV_{DD}) を内蔵
 一次 $\Delta\Sigma$ 変換方式A/Dコンバータ (A/Dコンバータ2) : 6 ch

クロック・ジェネレータ

4 ~ 8 MHzの発振子を接続可能 (外部クロック入力禁止)
 PLLクロック・シンセサイザによる逡倍機能 (8逡倍固定, f_{xx} = 32 ~ 64 MHz)
 PLLSIN端子でPLL動作指定
 CPUクロック分周機能 (f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8)

パワー・セーブ機能 HALT/IDLE/STOPモード

パッケージ 80ピン・プラスチックQFP (14 × 14)

動作電源電圧 内部ユニット : V_{DD} = 2.3 ~ 2.7 V
 発振部 : CV_{DD} = 2.3 ~ 2.7 V
 外部端子 : EV_{DD} = 4.0 ~ 5.5 V (A/Dコンバータ0-2使用時は4.5 ~ 5.5 V)
 A/Dコンバータ部 : AV_{DD} = 4.5 ~ 5.5 V

動作周囲温度 T_A = -40 ~ +85

1.2.2 応用分野 (V850E/IA3)

- ・民生機器 (インバータ・エアコン, 洗濯機, 洗濯乾燥機, 冷蔵庫など)
- ・産業機器 (モータ制御, 汎用インバータなど)

1.2.3 オーダ情報 (V850E/IA3)

品 名	パッケージ	内蔵ROM/フラッシュ・メモリ
μPD703183GC-xxx-8BT-A	80ピン・プラスチックQFP (14×14)	マスクROM (128 Kバイト)
μPD70F3184GC-8BT-A	"	フラッシュ・メモリ (256 Kバイト)

備考1. xxxはROMコード番号です。

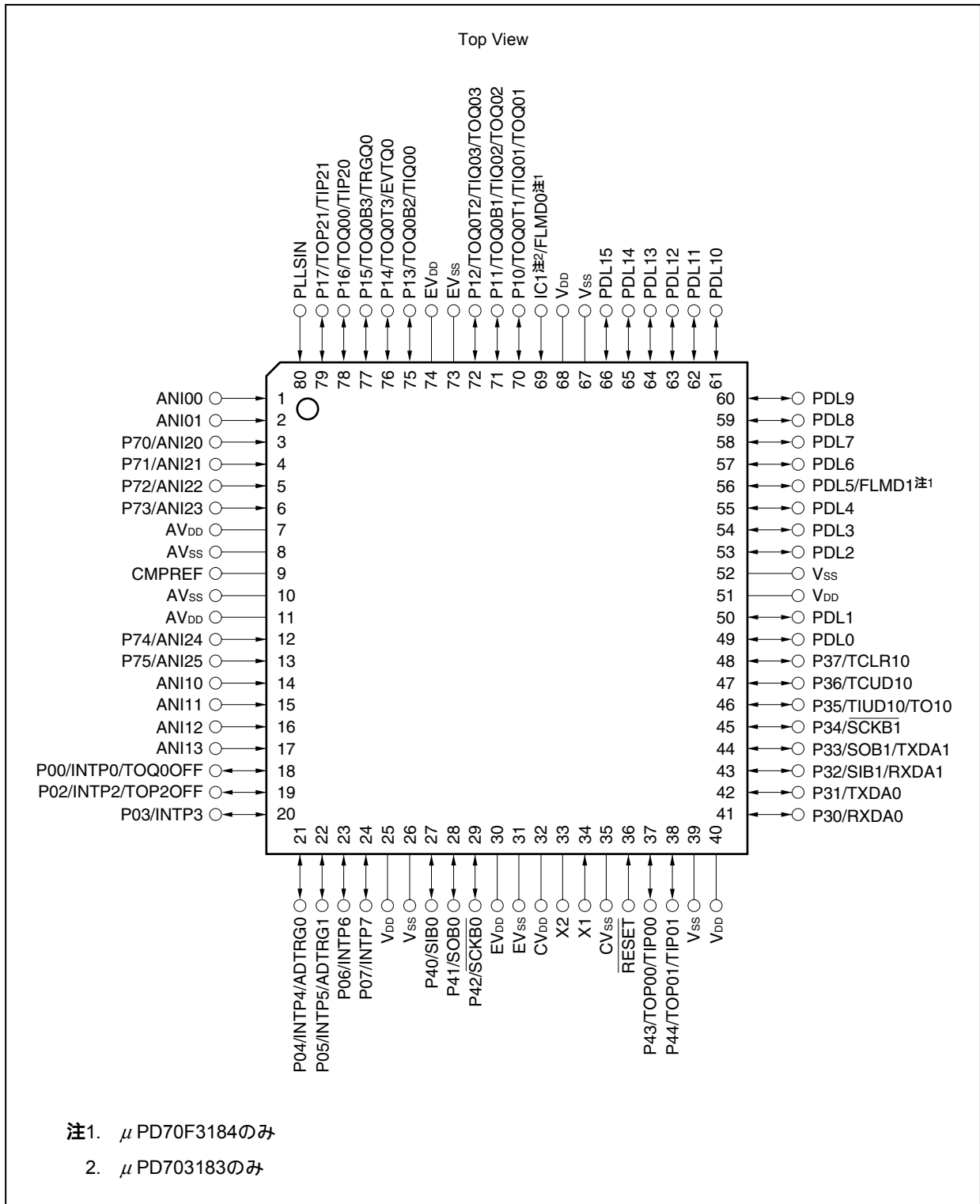
2. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

1.2.4 端子接続図 (V850E/IA3)

・ 80ピン・プラスチックQFP (14×14)

μ PD703183GC-xxx-8BT-A

μ PD70F3184GC-8BT-A

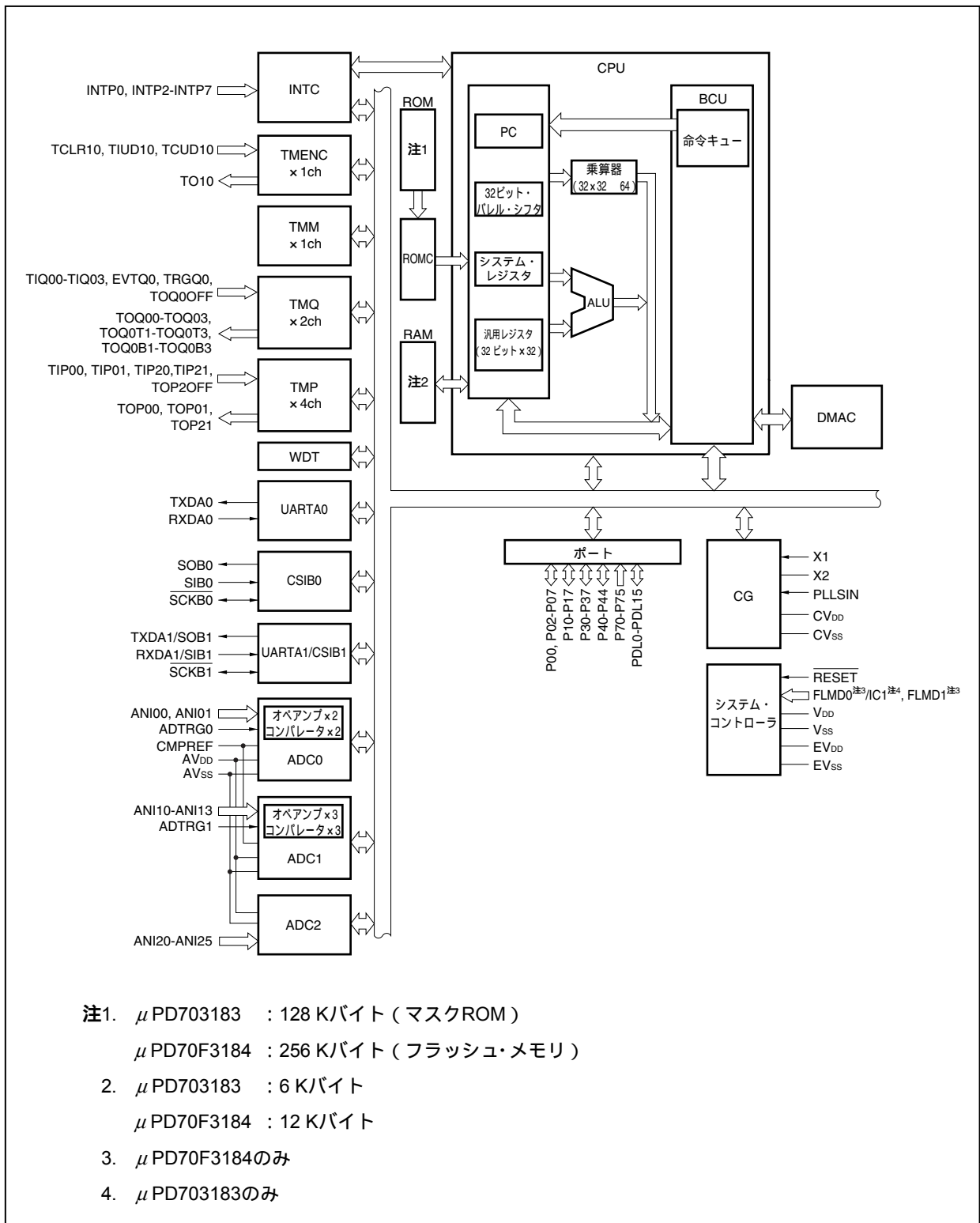


端子名称 (V850E/IA3)

ADTRG0, ADTRG1	: A/D Trigger Input	TOP2OFF, TOQ0OFF	: Timer Output Off
ANI00, ANI01,	: Analog Input	TRGQ0	: Timer Trigger Input
ANI10-ANI13,		TXDA0, TXDA1	: Transmit Data
ANI20-ANI25		V _{DD}	: Power Supply
AV _{DD}	: Analog Power Supply	V _{SS}	: Ground
AV _{SS}	: Analog Ground	X1, X2	: Clock Oscillator Pin
CMPREF	: Comparator Reference Voltage		
CV _{DD}	: Power Supply for Clock Generator		
CV _{SS}	: Ground for Clock Generator		
EV _{DD}	: Power Supply for Port		
EV _{SS}	: Ground for Port		
EVTQ0	: Timer Event Count Input		
FLMD0, FLMD1	: Flash Programming Mode		
IC1	: Internally Connected		
INTP0, INTP2-INTP7	: External Interrupt Input		
P00, P02-P07	: Port 0		
P10-P17	: Port 1		
P30-P37	: Port 3		
P40-P44	: Port 4		
P70-P75	: Port 7		
PDL0-PDL15	: Port DL		
PLLSIN	: PLL Select Input		
RESET	: Reset		
RXDA0, RXDA1	: Receive Data		
SCKB0, SCKB1	: Serial Clock		
SIB0, SIB1	: Serial Input		
SOB0, SOB1	: Serial Output		
TCLR10	: Timer Clear		
TCUD10	: Timer Control Pulse Input		
TIP00, TIP01,	: Timer Trigger Input		
TIP20, TIP21,			
TIQ00-TIQ03			
TIUD10	: Timer Count Pulse Input		
TO10,	: Timer Output		
TOP00, TOP01,			
TOP21,			
TOQ0B1-TOQ0B3,			
TOQ0T1-TOQ0T3,			
TOQ00-TOQ03			

1.2.5 機能ブロック構成 (V850E/IA3)

(1) 内部ブロック図



(2) 内部ユニット

(a) CPU

アドレス計算, 算術論理演算, データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器 (32ビット×32ビット 64ビット), バレル・シフタ (32ビット) などの専用ハードウェアを内蔵し, 複雑な処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

内部バスを制御します。

(i) DMAコントローラ (DMAC)

CPUの代わりに, 内蔵周辺I/O 内蔵RAM, 内蔵周辺I/O 内蔵周辺I/O間でのデータの転送を行います。

転送タイプには, 2サイクル転送があります。転送モードには, シングル転送, シングルステップ転送, ブロック転送の3種類があります。

(c) ROM

00000000H番地からマッピングされるマスクROMまたはフラッシュ・メモリです。

命令フェッチ時にCPUから1クロックでアクセスできます。製品によって次のように異なります。

製品名	内蔵ROM容量	内蔵ROM領域
μ PD703183	128 Kバイト (マスクROM)	x0000000H-x001FFFFH
μ PD70F3184	256 Kバイト (フラッシュ・メモリ)	x0000000H-x003FFFFH

(d) RAM

製品によって, 内蔵RAM容量, 内蔵RAM領域が次のように異なります。

命令フェッチ時, データ・アクセス時にCPUから1クロックでアクセスできます。

製品名	内蔵RAM容量	内蔵RAM領域
μ PD703183	6 Kバイト	xFFFD800H-xFFFEFFFFH
μ PD70F3184	12 Kバイト	xFFFC000H-xFFFEFFFFH

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア, および外部からのハードウェア割り込み要求 (INTP0, INTP2-INTP7) を処理します。これらの割り込み要求は, 8レベルの割り込み優先順位が指定でき, 多重処理制御ができます。

(f) クロック・ジェネレータ (CG)

クロック・ジェネレータの基本動作として, PLLモード (8逓倍固定) とクロック・スルー・モードの2種類を備えています。4種類 (f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8) のクロックを生成して, そのうちの1つをCPUの動作クロック (f_{cpu}) として供給します。

(g) タイマ/カウンタ

2相エンコーダ入力用16ビット・アップ/ダウン・カウンタ/タイマ (TMENC1) を1チャンネル, 16ビット・インターバル・タイマ (TMM) を1チャンネル, 16ビット・タイマ/イベント・カウンタ (TMQ) を2チャンネル, 16ビット・タイマ/イベント・カウンタ (TMP) を4チャンネル内蔵しています。パルス間隔や周波数の計測, モータ制御用インバータ機能, プログラマブルなパルスの出力ができます。

(h) ウォッチドッグ・タイマ (WDT)

プログラムの暴走, システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。オーバーフローでノンマスクابل割り込み要求信号 (INTWDT) か内部リセット信号 (WDTRES) を発生します。

(i) シリアル・インタフェース

シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA (UARTA) を2チャンネル, クロック同期式シリアル・インタフェースB (CSIB) を2チャンネル内蔵しています。このうちUARTA1とCSIB1は, 端子を兼用しています。

UARTAは, TXDAn, RXDAn端子によりデータ転送を行います (n = 0, 1)。

CSIBは, SOBn, SIBn, $\overline{\text{SCKBn}}$ 端子によりデータ転送を行います (n = 0, 1)。

(j) A/Dコンバータ (ADC)

2本, 4本のアナログ入力端子を持つ高速, 高分解能の10ビットA/Dコンバータ (ADC0, ADC1) を1チャンネルずつ計2チャンネル, 6本のアナログ入力端子を持つ低速, 一次 $\Delta\Sigma$ 変換方式8または10ビットA/Dコンバータ (ADC2) を1チャンネル内蔵しています。

ADC0, ADC1にはそれぞれオペアンプとコンパレータを, ADC0の場合は2回路ずつ, ADC1の場合は3回路ずつ内蔵しており, アナログ入力電圧の増幅と過電圧入力の検出が可能です。

(k) ROMコレクション

マスクROMまたはフラッシュ・メモリ内のプログラムの一部を内蔵RAMのプログラムで置き換えて実行する機能です。4箇所修正可能です。

(l) ポート

次に示すように, 汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
ポート0	7ビット入出力	タイマ/カウンタ入力, 外部割り込み入力, A/Dコンバータ0, 1の外部トリガ入力
ポート1	8ビット入出力	タイマ/カウンタ入出力
ポート3	8ビット入出力	シリアル・インタフェース入出力, タイマ/カウンタ入出力
ポート4	5ビット入出力	シリアル・インタフェース入出力, タイマ/カウンタ入出力
ポート7	6ビット入力	A/Dコンバータ2入力
ポートDL	16ビット入出力	-

1.3 V850E/IA4

1.3.1 特徴 (V850E/IA4)

最小命令実行時間 15.6 ns (内部64 MHz動作時)

汎用レジスタ 32ビット×32本

CPUの特徴 符号付き乗算 (16ビット×16ビット 32ビット, または32ビット×32ビット 64ビット)
: 1-2クロック
飽和演算命令 (オーバフロー/アンダフロー検出機能付き)
32ビット・シフト命令 : 1クロック
ビット操作命令
ロング/ショート形式を持つロード/ストア命令
符号付きロード命令

内蔵メモリ

製品名	内蔵ROM / フラッシュ・メモリ	内蔵RAM
μPD703185	128 Kバイト (マスクROM)	6 Kバイト
μPD703186	256 Kバイト (マスクROM)	12 Kバイト
μPD70F3186	256 Kバイト (フラッシュ・メモリ)	12 Kバイト

ROMコレクション 4箇所修正可能

オンチップ・デバッグ機能 JTAGインタフェース (μPD70F3186のみ)

割り込み / 例外

ノンマスクابل割り込み : 1要因 (内部 : 1要因, 外部 : なし)
マスクابل割り込み : 60要因 (外部 : 8要因, 内部 : 52要因)
ソフトウェア例外 : 32要因
例外トラップ : 2要因

DMAコントローラ 4チャンネル構成

転送単位 : 8ビット / 16ビット
最大転送回数 : 65536 (2^{16}) 回
転送タイプ : 2サイクル転送
転送モード : シングル転送 / シングルステップ転送 / ブロック転送
転送対象 : 内蔵周辺I/O 内蔵RAM, 内蔵周辺I/O 内蔵周辺I/O
転送要求 : 内蔵周辺I/O / ソフトウェア
ネクスト・アドレス設定機能

I/Oライン 合計 : 64 (入力専用ポート : 8, 入出力ポート : 56)

タイマ/カウンタ機能

2相エンコーダ入力用16ビット・アップ/ダウン・カウンタ/タイマ (TMENC) : 2 ch
 16ビット・インターバル・タイマ (TMM) : 1 ch
 16ビット・タイマ/イベント・カウンタ (TMQ) : 2 ch
 16ビット・タイマ/イベント・カウンタ (TMP) : 4 ch
 モータ制御機能 (使用タイマ TMQ : 2 ch (TMQ0, TMQ1), TMP : 2 ch (TMP0, TMP1))
 16ビット精度のデッド・タイム付き6相PWM機能 : 2 ch
 ハイ・インピーダンス出力制御機能
 タイマ同調動作機能
 任意の周期設定機能
 任意のデッド・タイム設定機能
 ウォッチドッグ・タイマ : 1 ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェースA (UARTA)
 クロック同期式シリアル・インタフェースB (CSIB)
 CSIB0 : 1 ch
 UARTA0 : 1 ch
 CSIB1/UARTA1 : 1 ch

A/Dコンバータ

10ビット分解能A/Dコンバータ (A/Dコンバータ0, 1) : 4 ch + 4 ch (2ユニット)
 4 chのうち3 chには入力レベル増幅用オペアンプ (ゲイン = 2.5倍, 5倍) と過電圧検出用コンパレータ (入力電圧範囲 = 0.1 AV_{DD} ~ 0.5 AV_{DD}) を内蔵 (2ユニット)
 一次 $\Delta\Sigma$ 変換方式A/Dコンバータ (A/Dコンバータ2) : 8 ch

クロック・ジェネレータ

4 ~ 8 MHzの発振子を接続可能 (外部クロック入力禁止)
 PLLクロック・シンセサイザによる逡倍機能 (8逡倍固定, f_{xx} = 32 ~ 64 MHz)
 PLLSIN端子でPLL動作指定
 CPUクロック分周機能 (f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8)

パワー・セーブ機能 HALT/IDLE/STOPモード

パッケージ

100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)
 100ピン・プラスチックQFP (14 × 20)

動作電源電圧

内部ユニット : V_{DD} = 2.3 ~ 2.7 V
 発振部 : CV_{DD} = 2.3 ~ 2.7 V
 外部端子 : EV_{DD} = 4.0 ~ 5.5 V (A/Dコンバータ0-2使用時は4.5 ~ 5.5 V)
 A/Dコンバータ部 : AV_{DD} = 4.5 ~ 5.5 V

動作周囲温度

T_A = -40 ~ +85

1.3.2 応用分野 (V850E/IA4)

- ・民生機器 (インバータ・エアコン, 洗濯機, 洗濯乾燥機, 冷蔵庫など)
- ・産業機器 (モータ制御, 汎用インバータなど)

1.3.3 オーダ情報 (V850E/IA4)

品 名	パッケージ	内蔵ROM/フラッシュ・メモリ
μPD703185GC-xxx-8EU-A	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	マスクROM (128 Kバイト)
μPD703185GF-xxx-3BA-A	100ピン・プラスチックQFP (14×20)	"
μPD703186GC-xxx-8EU-A	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μPD703186GF-xxx-3BA-A	100ピン・プラスチックQFP (14×20)	"
μPD70F3186GC-8EU-A	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	フラッシュ・メモリ (256 Kバイト)
μPD70F3186GF-3BA-A	100ピン・プラスチックQFP (14×20)	"

備考1. xxxはROMコード番号です。

2. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

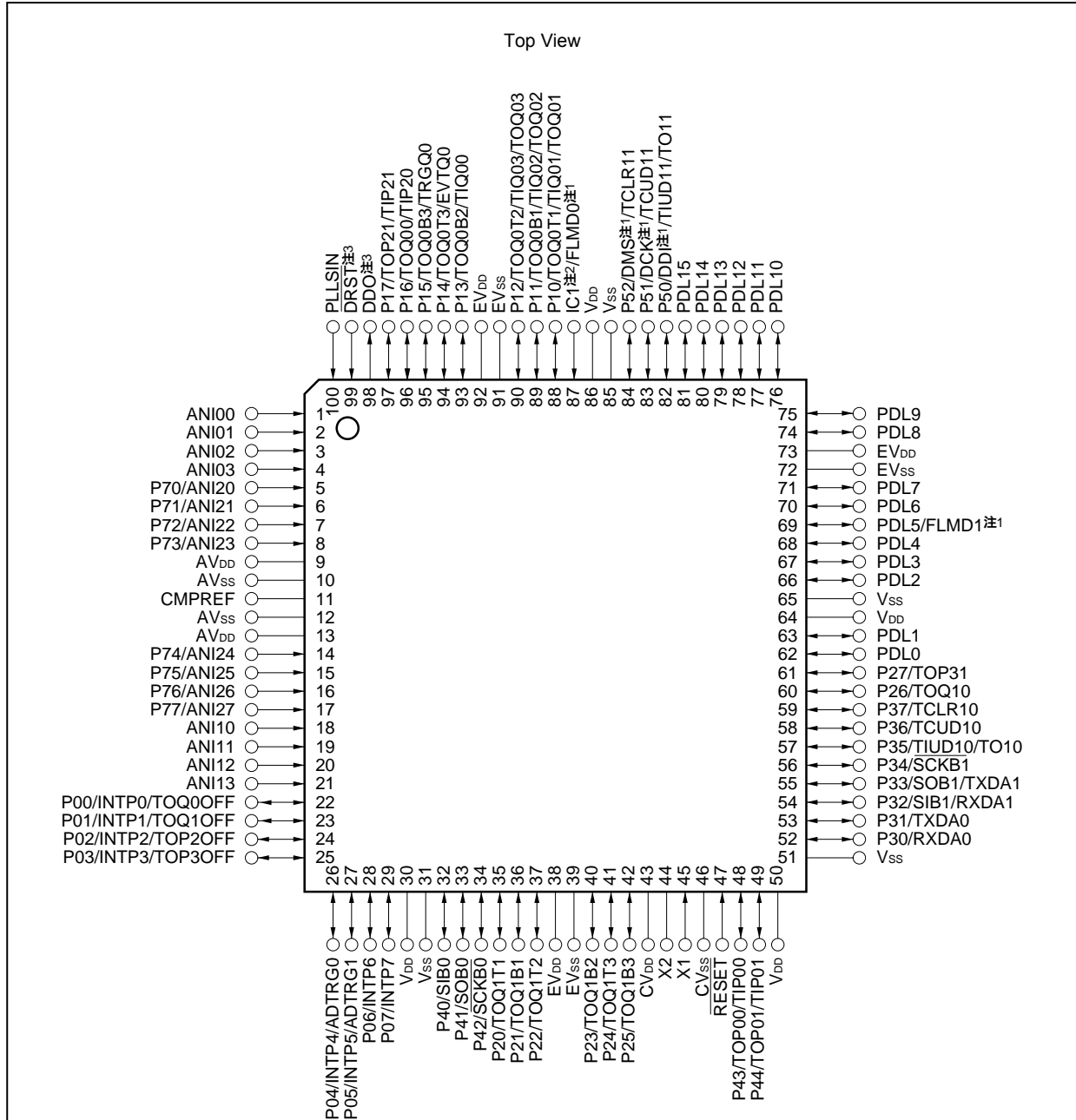
1.3.4 端子接続図 (V850E/IA4)

・ 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

μ PD703185GC-xxx-8EU-A

μ PD703186GC-xxx-8EU-A

μ PD70F3186GC-8EU-A



注1. μ PD70F3186のみ

2. μ PD703185, 703186のみ

3. μ PD70F3186のみ

μ PD703185, 703186の場合は次のようになります。

DDO : IC2, DRST : IC3

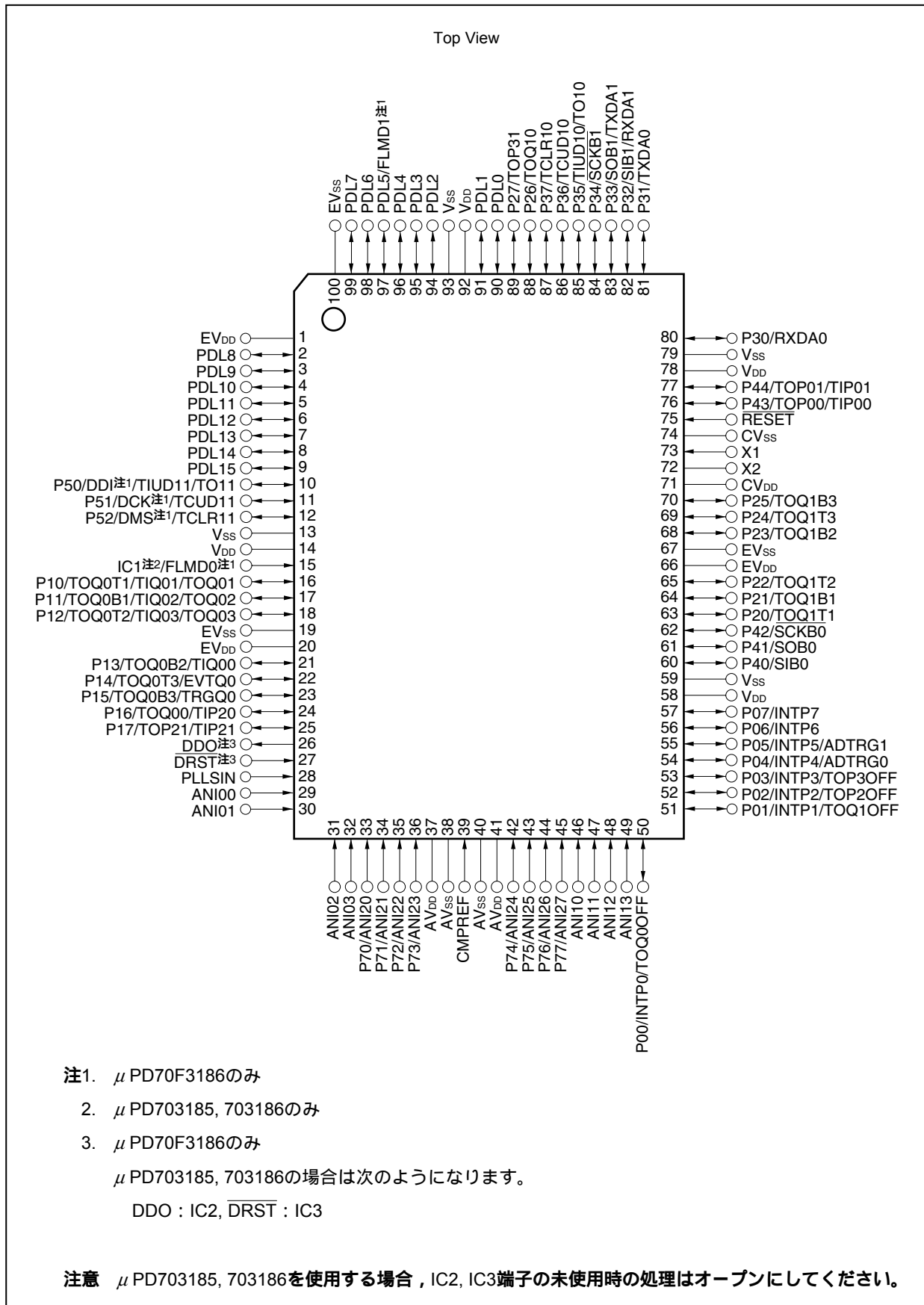
注意 μ PD703185, 703186を使用する場合, IC2, IC3端子の未使用時の処理はオープンにしてください。

・ 100ピン・プラスチックQFP (14×20)

μ PD703185GF-xxx-3BA-A

μ PD703186GF-xxx-3BA-A

μ PD70F3186GF-3BA-A

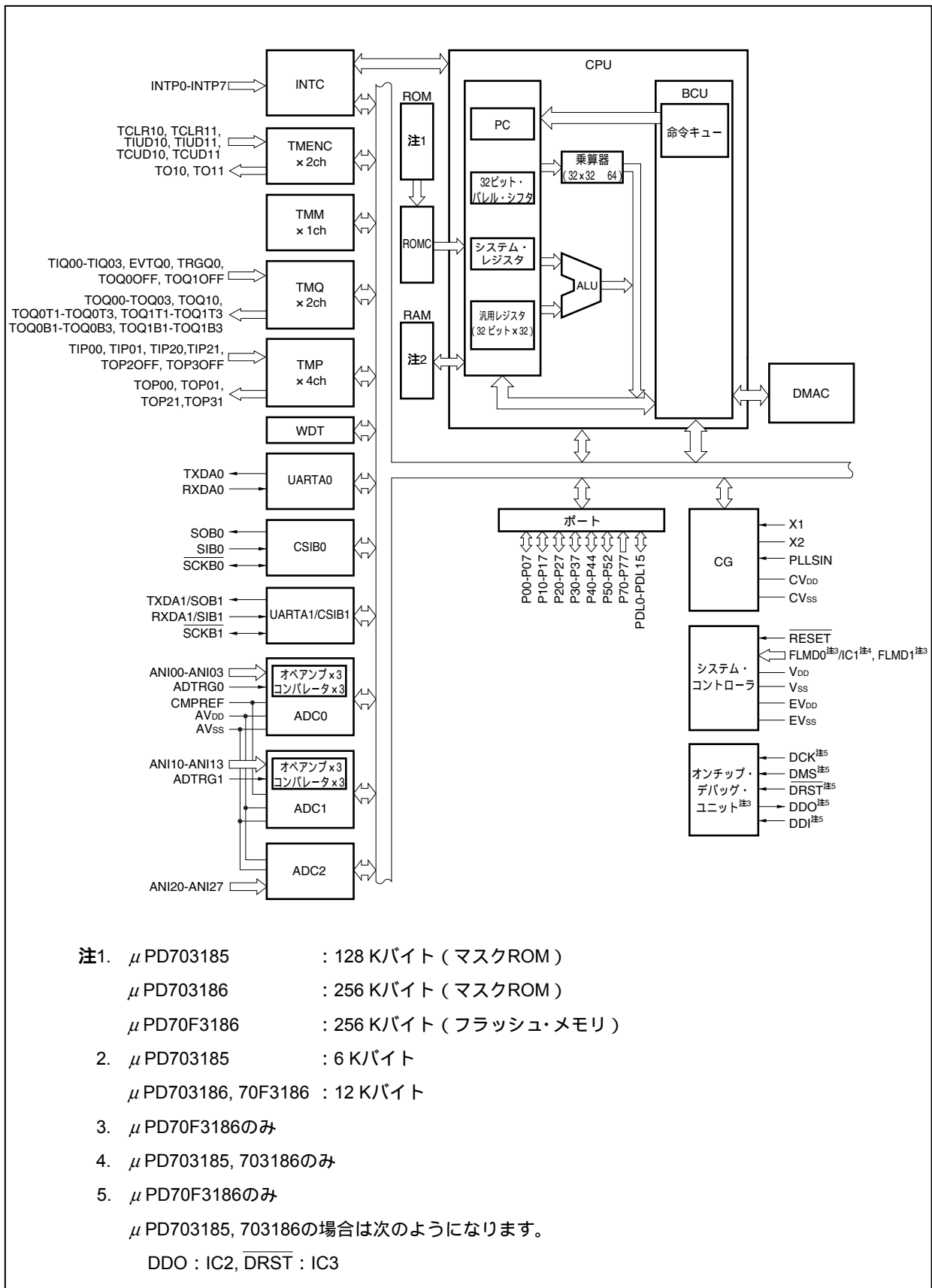


端子名称 (V850E/IA4)

ADTRG0, ADTRG1	: A/D Trigger Input	TO10, TO11,	: Timer Output
ANI00-ANI03,	: Analog Input	TOP00, TOP01,	
ANI10-ANI13,		TOP21, TOP31,	
ANI20-ANI27		TOQ0B1-TOQ0B3,	
AV _{DD}	: Analog Power Supply	TOQ0T1-TOQ0T3,	
AV _{SS}	: Analog Ground	TOQ00-TOQ03,	
CMPREF	: Comparator Reference Voltage	TOQ1B1-TOQ1B3,	
CV _{DD}	: Power Supply for Clock Generator	TOQ1T1-TOQ1T3,	
CV _{SS}	: Ground for Clock Generator	TOQ10	
DCK	: Debug Clock	TOP2OFF, TOP3OFF,	: Timer Output Off
DDI	: Debug Data Input	TOQ0OFF, TOQ1OFF	
DDO	: Debug Data Output	TRGQ0	: Timer Trigger Input
DMS	: Debug Mode Select	TXDA0, TXDA1	: Transmit Data
$\overline{\text{DRST}}$: Debug Reset	V _{DD}	: Power Supply
EV _{DD}	: Power Supply for Port	V _{SS}	: Ground
EV _{SS}	: Ground for Port	X1, X2	: Clock Oscillator Pin
EVTQ0	: Timer Event Count Input		
FLMD0, FLMD1	: Flash Programming Mode		
IC1-IC3	: Internally Connected		
INTP0-INTP7	: External Interrupt Input		
P00-P07	: Port 0		
P10-P17	: Port 1		
P20-P27	: Port 2		
P30-P37	: Port 3		
P40-P44	: Port 4		
P50-P52	: Port 5		
P70-P77	: Port 7		
PDL0-PDL15	: Port DL		
PLLSIN	: PLL Select Input		
$\overline{\text{RESET}}$: Reset		
RXDA0, RXDA1	: Receive Data		
$\overline{\text{SCKB0}}$, $\overline{\text{SCKB1}}$: Serial Clock		
SIB0, SIB1	: Serial Input		
SOB0, SOB1	: Serial Output		
TCLR10, TCLR11	: Timer Clear		
TCUD10, TCUD11	: Timer Control Pulse Input		
TIP00, TIP01,	: Timer Trigger Input		
TIP20, TIP21,			
TIQ00-TIQ03			
TIUD10, TIUD11	: Timer Count Pulse Input		

1.3.5 機能ブロック構成 (V850E/IA4)

(1) 内部ブロック図



(2) 内部ユニット

(a) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（32ビット×32ビット 64ビット），バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し，複雑な処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

内部バスを制御します。

(i) DMAコントローラ (DMAC)

CPUの代わりに，内蔵周辺I/O 内蔵RAM，内蔵周辺I/O 内蔵周辺I/O間でのデータの転送を行います。

転送タイプには，2サイクル転送があります。転送モードには，シングル転送，シングルステップ転送，ブロック転送の3種類があります。

(c) ROM

00000000H番地からマッピングされるマスクROMまたはフラッシュ・メモリです。

命令フェッチ時にCPUから1クロックでアクセスできます。製品によって次のように異なります。

製品名	内蔵ROM容量	内蔵ROM領域
μ PD703185	128 Kバイト (マスクROM)	x0000000H-x001FFFFH
μ PD703186	256 Kバイト (マスクROM)	x0000000H-x003FFFFH
μ PD70F3186	256 Kバイト (フラッシュ・メモリ)	x0000000H-x003FFFFH

(d) RAM

製品によって，内蔵RAM容量，内蔵RAM領域が次のように異なります。

命令フェッチ時，データ・アクセス時にCPUから1クロックでアクセスできます。

製品名	内蔵RAM容量	内蔵RAM領域
μ PD703185	6 Kバイト	xFFFD800H-xFFFEFFFFH
μ PD703186	12 Kバイト	xFFFC000H-xFFFEFFFFH
μ PD70F3186	12 Kバイト	xFFFC000H-xFFFEFFFFH

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア，および外部からのハードウェア割り込み要求 (INTP0-INTP7) を処理します。これらの割り込み要求は，8レベルの割り込み優先順位が指定でき，多重処理制御ができます。

(f) クロック・ジェネレータ (CG)

クロック・ジェネレータの基本動作として，PLLモード（8逓倍固定）とクロック・スルー・モードの2種類を備えています。4種類（ f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$ ）のクロックを生成して，そのうちの1つをCPUの動作クロック（ f_{CPU} ）として供給します。

(g) タイマ/カウンタ

2相エンコーダ入力用16ビット・アップ/ダウン・カウンタ/タイマ (TMENC1) を2チャンネル, 16ビット・インターバル・タイマ (TMM) を1チャンネル, 16ビット・タイマ/イベント・カウンタ (TMQ) を2チャンネル, 16ビット・タイマ/イベント・カウンタ (TMP) を4チャンネル内蔵しています。パルス間隔や周波数の計測, モータ制御用インバータ機能, プログラマブルなパルスの出力ができます。

(h) ウォッチドッグ・タイマ (WDT)

プログラムの暴走, システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。オーバフローでノンマスクابل割り込み要求信号 (INTWDT) か内部リセット信号 (WDTRES) を発生します。

(i) シリアル・インタフェース

シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA (UARTA) を2チャンネル, クロック同期式シリアル・インタフェースB (CSIB) を2チャンネル内蔵しています。このうちUARTA1とCSIB1は, 端子を兼用しています。

UARTAは, TXDAn, RXDAn端子によりデータ転送を行います ($n = 0, 1$)。

CSIBは, SOBn, SIBn, $\overline{\text{SCKBn}}$ 端子によりデータ転送を行います ($n = 0, 1$)。

(j) A/Dコンバータ (ADC)

4本のアナログ入力端子を持つ高速, 高分解能の10ビットA/Dコンバータ (ADC0, ADC1) を2チャンネル, 8本のアナログ入力端子を持つ低速, 一次 $\Delta\Sigma$ 変換方式8または10ビットA/Dコンバータ (ADC2) を1チャンネル内蔵しています。

ADC0, ADC1には, それぞれオペアンプとコンパレータを3回路ずつ内蔵しており, アナログ入力電圧の増幅と過電圧入力の検出が可能です。

(k) ROMコレクション

マスクROMまたはフラッシュ・メモリ内のプログラムの一部を内蔵RAMのプログラムで置き換えて実行する機能です。4箇所修正可能です。

(l) オンチップ・デバッグ機能 (μ PD70F3186のみ)

JTAGインタフェースを用いたオンチップ・デバッグ・エミュレータを介したオンチップ・デバッグ機能を内蔵しています。

(m) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
ポート0	8ビット入出力	タイマ/カウンタ入力, 外部割り込み入力, A/Dコンバータ0, 1の外部トリガ入力
ポート1	8ビット入出力	タイマ/カウンタ入出力
ポート2	8ビット入出力	タイマ/カウンタ出力
ポート3	8ビット入出力	シリアル・インタフェース入出力, タイマ/カウンタ入出力
ポート4	5ビット入出力	シリアル・インタフェース入出力, タイマ/カウンタ入出力
ポート5	3ビット入出力	タイマ/カウンタ入出力, デバッグ入出力
ポート7	8ビット入力	A/Dコンバータ2入力
ポートDL	16ビット入出力	-

第2章 端子機能

V850E/IA3, V850E/IA4の端子の名称と機能を次に示します。これらの端子は、機能別にポート端子とそれ以外の端子に分けることができます。

2.1 端子機能一覧

端子の入出力バッファ電源には、AV_{DD}, EV_{DD}の2系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

(a) V850E/IA3の場合

電源	対応する端子
AV _{DD}	P70-P75
EV _{DD}	P00, P02-P07, P10-P17, P30-P37, P40-P44, PDL0-PDL15, RESET

(b) V850E/IA4の場合

電源	対応する端子
AV _{DD}	P70-P77
EV _{DD}	P00-P07, P10-P17, P20-P27, P30-P37, P40-P44, P50-P52, PDL0-PDL15, RESET, DCK ^注 , DMS ^注 , DDI ^注 , DDO ^注 , DRST ^注

注 μ PD70F3186のみ

(1) ポート端子

(1/3)

端子名称	ピン番号			入出力	機 能	兼用端子
	IA3	IA4				
	GC	GC	GF			
P00	18	22	50	入出力	ポート0 V850E/IA3 : 7ビット入出力ポート V850E/IA4 : 8ビット入出力ポート 1ビット単位で入力データのリード / 出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合, および兼用機能の場合のみ内蔵プルアップ抵抗の接続が可能)	INTP0/TOQ0OFF
P01 ^注	-	23	51			INTP1 ^注 /TOQ1OFF ^注
P02	19	24	52			INTP2/TOP2OFF
P03	20	25	53			INTP3/TOP3OFF ^注
P04	21	26	54			INTP4/ADTRG0
P05	22	27	55			INTP5/ADTRG1
P06	23	28	56			INTP6
P07	24	29	57			INTP7
P10	70	88	16	入出力	ポート1 8ビット入出力ポート 1ビット単位で入力データのリード / 出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合, 兼用機能時に入力端子の場合, 兼用機能時に出力端子であるTOQ0T1-TOQ0T3, TOQ0B1-TOQ0B3, TOP21端子が, ハイ・インピーダンス状態になった場合のみ内蔵プルアップ抵抗の接続が可能)	TOQ0T1/TIQ01/TOQ01
P11	71	89	17			TOQ0B1/TIQ02/TOQ02
P12	72	90	18			TOQ0T2/TIQ03/TOQ03
P13	75	93	21			TOQ0B2/TIQ00
P14	76	94	22			TOQ0T3/EVTQ0
P15	77	95	23			TOQ0B3/TRGQ0
P16	78	96	24			TOQ00/TIP20
P17	79	97	25			TOP21/TIP21
P20 ^注	-	35	63	入出力	ポート2 (V850E/IA4のみ) 8ビット入出力ポート 1ビット単位で入力データのリード / 出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合, 兼用機能時に出力端子であるTOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3, TOP31端子が, ハイ・インピーダンス状態になった場合のみ内蔵プルアップ抵抗の接続が可能)	TOQ1T1 ^注
P21 ^注	-	36	64			TOQ1B1 ^注
P22 ^注	-	37	65			TOQ1T2 ^注
P23 ^注	-	40	68			TOQ1B2 ^注
P24 ^注	-	41	69			TOQ1T3 ^注
P25 ^注	-	42	70			TOQ1B3 ^注
P26 ^注	-	60	88			TOQ10 ^注
P27 ^注	-	61	89			TOP31 ^注

注 V850E/IA4のみ

備考 IA3 : V850E/IA3

IA4 : V850E/IA4

GC (V850E/IA3) : 80ピン・プラスチックQFP (14×14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14×20)

端子名称	ピン番号			入出力	機能	兼用端子
	IA3	IA4				
	GC	GC	GF			
P30	41	52	80	入出力	ポート3 8ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能(ポート・モード時に入力モードの場合、および兼用機能時に入力端子の場合(SCKB1端子のスレーブ・モード時も含む)のみ内蔵プルアップ抵抗の接続が可能)	RXDA0
P31	42	53	81			TXDA0
P32	43	54	82			SIB1/RXDA1
P33	44	55	83			SOB1/TXDA1
P34	45	56	84			SCKB1
P35	46	57	85			TIUD10/TO10
P36	47	58	86			TCUD10
P37	48	59	87			TCLR10
P40	27	32	60	入出力	ポート4 5ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能(ポート・モード時に入力モードの場合、および兼用機能時に入力端子の場合(SCKB0端子のスレーブ・モード時も含む)のみ内蔵プルアップ抵抗の接続が可能)	SIB0
P41	28	33	61			SOB0
P42	29	34	62			SCKB0
P43	37	48	76			TOP00/TIP00
P44	38	49	77			TOP01/TIP01
P50 ^{注1}	-	82	10	入出力	ポート5 (V850E/IA4のみ) 3ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能(ポート・モード時に入力モードの場合、および兼用機能時に入力端子の場合のみ内蔵プルアップ抵抗の接続が可能)	DDI ^{注2} /TIUD11 ^{注1} /TO11 ^{注1}
P51 ^{注1}	-	83	11			DCK ^{注2} /TCUD11 ^{注1}
P52 ^{注1}	-	84	12			DMS ^{注2} /TCLR11 ^{注1}
P70	3	5	33	入力	ポート7 V850E/IA3 : 6ビット入力専用ポート V850E/IA4 : 8ビット入力専用ポート	ANI20
P71	4	6	34			ANI21
P72	5	7	35			ANI22
P73	6	8	36			ANI23
P74	12	14	42			ANI24
P75	13	15	43			ANI25
P76 ^{注1}	-	16	44			ANI26 ^{注1}
P77 ^{注1}	-	17	45			ANI27 ^{注1}

注1. V850E/IA4のみ

2. μ PD70F3186 (V850E/IA4) のみ

備考 IA3 : V850E/IA3

IA4 : V850E/IA4

GC (V850E/IA3) : 80ピン・プラスチックQFP (14×14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14×20)

端子名称	ピン番号			入出力	機 能	兼用端子
	IA3		IA4			
	GC	GC	GF			
PDL0	49	62	90	入出力	ポートDL 16ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能(ポート・モード時に入力モードの場合のみ内蔵プルアップ抵抗の接続が可能)	-
PDL1	50	63	91			-
PDL2	53	66	94			-
PDL3	54	67	95			-
PDL4	55	68	96			-
PDL5	56	69	97			FLMD1 ^注
PDL6	57	70	98			-
PDL7	58	71	99			-
PDL8	59	74	2			-
PDL9	60	75	3			-
PDL10	61	76	4			-
PDL11	62	77	5			-
PDL12	63	78	6			-
PDL13	64	79	7			-
PDL14	65	80	8			-
PDL15	66	81	9			-

注 μ PD70F3184 (V850E/IA3) , μ PD70F3186 (V850E/IA4) のみ

備考 IA3 : V850E/IA3

IA4 : V850E/IA4

GC (V850E/IA3) : 80ピン・プラスチックQFP (14×14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14×20)

(2) ポート以外の端子

(1/4)

端子名称	ピン番号			入出力	機能	兼用端子		
	IA3		IA4					
	GC	GC	GF					
ADTRG0	21	26	54	入力	A/Dコンバータ0, 1の外部トリガ入力	INTP4/P04		
ADTRG1	22	27	55			INTP5/P05		
ANI00	1	1	29	入力	A/Dコンバータ0, 1へのアナログ入力	-		
ANI01	2	2	30			-		
ANI02 ^{注1}	-	3	31			-		
ANI03 ^{注1}	-	4	32			-		
ANI10	14	18	46			-		
ANI11	15	19	47			-		
ANI12	16	20	48			-		
ANI13	17	21	49			-		
ANI20	3	5	33			入力	A/Dコンバータ2へのアナログ入力	P70
ANI21	4	6	34					P71
ANI22	5	7	35	P72				
ANI23	6	8	36	P73				
ANI24	12	14	42	P74				
ANI25	13	15	43	P75				
ANI26 ^{注1}	-	16	44	P76 ^{注1}				
ANI27 ^{注1}	-	17	45	P77 ^{注1}				
AV _{DD}	注2	注2	注2	-	A/Dコンバータ0-2用正電源供給 (5 V系電源供給端子) ^{注4}	-		
AV _{SS}	注3	注3	注3	-	A/Dコンバータ0-2用グランド電位 ^{注4}	-		
CMPREF	9	11	39	-	A/Dコンバータ0, 1用コンパレータ基準電圧供給	-		
CV _{DD}	32	43	71	-	発振器およびPLL用電源供給 (2.5 V系電源供給端子)	-		
CV _{SS}	35	46	74	-	発振器およびPLL用グランド電位	-		

注1. V850E/IA4のみ

2. GC (V850E/IA3) : 7, 11
GC (V850E/IA4) : 9, 13
GF (V850E/IA4) : 37, 41
3. GC (V850E/IA3) : 8, 10
GC (V850E/IA4) : 10, 12
GF (V850E/IA4) : 38, 40
4. 電源接続仕様の詳細については, 12.2 構成を参照してください。

備考 IA3 : V850E/IA3

IA4 : V850E/IA4

GC (V850E/IA3) : 80ピン・プラスチックQFP (14×14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14×20)

端子名称	ピン番号			入出力	機能	兼用端子
	IA3	IA4				
	GC	GC	GF			
DCK ^{注1}	-	83	11	入力	オンチップ・デバッグ・エミュレータ用デバッグ・クロック入力	TCUD11 ^{注2} /P51 ^{注2}
DDI ^{注1}	-	82	10	入力	オンチップ・デバッグ・エミュレータ用デバッグ・データ入力	TIUD11 ^{注2} /TO11 ^{注2} /P50 ^{注2}
DDO ^{注1}	-	98	26	出力	オンチップ・デバッグ・エミュレータ用デバッグ・データ出力	-
DMS ^{注1}	-	84	12	入力	オンチップ・デバッグ・エミュレータ用デバッグ・モード・セレクト	TCLR11 ^{注2} /P52 ^{注2}
DRST ^{注1}	-	99	27	入力	オンチップ・デバッグ・エミュレータ用デバッグ・リセット入力	-
EV _{DD}	注3	注3	注3	-	外部端子用正電源供給 (5V系電源供給端子)	-
EV _{SS}	注4	注4	注4	-	外部端子用グランド電位	-
EVTQ0	76	94	22	入力	TMQ0の外部イベント・カウント入力	TOQ0T3/P14
FLMD0	69	87	15	入力	フラッシュ・メモリ・プログラミング・モード引き込み用端子	-
FLMD1	56	69	97	入力	(μ PD70F3184 (V850E/IA3), μ PD70F3186 (V850E/IA4) のみ)	PDL5
IC1	69	87	15	-	内部接続端子 (μ PD703183 (V850E/IA3), μ PD703185 (V850E/IA4), μ PD703186 (V850E/IA4) のみ)	-
IC2	-	98	26	-	内部接続端子 (μ PD703185 (V850E/IA4), μ PD703186 (V850E/IA4) のみ)	-
IC3	-	99	27	-	(V850E/IA4) のみ)	-
INTP0	18	22	50	入力	外部マスカブル割り込み要求入力	TOQ0OFF/P00
INTP1 ^{注2}	-	23	51			TOQ1OFF ^{注2} /P01 ^{注2}
INTP2	19	24	52			TOP2OFF/P02
INTP3	20	25	53			TOP3OFF ^{注2} /P03
INTP4	21	26	54			ADTRG0/P04
INTP5	22	27	55			ADTRG1/P05
INTP6	23	28	56			P06
INTP7	24	29	57			P07

注1. μ PD70F3186 (V850E/IA4) のみ

2. V850E/IA4のみ

3. GC (V850E/IA3) : 30, 74

GC (V850E/IA4) : 38, 73, 92

GF (V850E/IA4) : 1, 20, 66

4. GC (V850E/IA3) : 31, 73

GC (V850E/IA4) : 39, 72, 91

GF (V850E/IA4) : 19, 67, 100

備考 IA3 : V850E/IA3

IA4 : V850E/IA4

GC (V850E/IA3) : 80ピン・プラスチックQFP (14×14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14×20)

端子名称	ピン番号			入出力	機 能	兼用端子
	IA3	IA4				
	GC	GC	GF			
PLLSIN	80	100	28	入力	PLLモード時の出力周波数選択信号入力	-
RESET	36	47	75	入力	システム・リセット入力	-
RXDA0	41	52	80	入力	UARTA0, UARTA1のシリアル受信データ入力	P30
RXDA1	43	54	82			SIB1/P32
SCKB0	29	34	62	入出力	CSIB0, CSIB1のシリアル・クロック入出力	P42
SCKB1	45	56	84			P34
SIB0	27	32	60	入力	CSIB0, CSIB1のシリアル受信データ入力	P40
SIB1	43	54	82			RXDA1/P32
SOB0	28	33	61	出力	CSIB0, CSIB1のシリアル送信データ出力	P41
SOB1	44	55	83			TXDA1/P33
TCLR10	48	59	87	入力	TMENC10, TMENC11のクリア信号入力	P37
TCLR11 ^{注1}	-	84	12			DMS ^{注2} /P52 ^{注1}
TCUD10	47	58	86	入力	TMENC10, TMENC11のカウント動作切り替え信号	P36
TCUD11 ^{注1}	-	83	11			DCK ^{注2} /P51 ^{注1}
TIP00	37	48	76	入力	TMP0の外部イベント・カウント入力 / 外部トリガ入力 / キャブチャ・トリガ入力	TOP00/P43
TIP01	38	49	77		TMP0のキャブチャ・トリガ入力	TOP01/P44
TIP20	78	96	24		TMP2の外部イベント・カウント入力 / 外部トリガ入力 / キャブチャ・トリガ入力	TOQ00/P16
TIP21	79	97	25		TMP2のキャブチャ・トリガ入力	TOP21/P17
TIQ00	75	93	21	入力	TMQ0のキャブチャ・トリガ入力	TOQ0B2/P13
TIQ01	70	88	16			TOQ01/TOQ0T1/P10
TIQ02	71	89	17			TOQ02/TOQ0B1/P11
TIQ03	72	90	18			TOQ03/TOQ0T2/P12
TIUD10	46	57	85	入力	TMENC10, TMENC11の外部カウント・クロック入力	TO10/P35
TIUD11 ^{注1}	-	82	10			TO11 ^{注1} /DDI ^{注2} /P50 ^{注1}
TO10	46	57	85	出力	TMENC10, TMENC11のパルス信号出力	TIUD10/P35
TO11 ^{注1}	-	82	10			DDI ^{注2} /TIUD11 ^{注1} /P50 ^{注1}
TOP00	37	48	76	出力	TMP0, TMP2のパルス信号出力	TIP00/P43
TOP01	38	49	77			TIP01/P44
TOP21	79	97	25			TIP21/P17
TOP2OFF	19	24	52	入力	ハイ・インピーダンス出力制御信号入力	INTP2/P02
TOP31 ^{注1}	-	61	89	出力	TMP3のパルス信号出力	P27 ^{注1}
TOP3OFF ^{注1}	-	25	53	入力	ハイ・インピーダンス出力制御信号入力	INTP3/P03

注1. V850E/IA4のみ

2. μPD70F3186 (V850E/IA4) のみ

備考 IA3 : V850E/IA3

IA4 : V850E/IA4

GC (V850E/IA3) : 80ピン・プラスチックQFP (14×14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14×20)

端子名称	ピン番号			入出力	機 能	兼用端子
	IA3	IA4				
	GC	GC	GF			
TOQ00	78	96	24	出力	TMQ0のパルス信号出力	TIP20/P16
TOQ01	70	88	16			TOQ0T1/TIQ01/P10
TOQ02	71	89	17			TOQ0B1/TIQ02/P11
TOQ03	72	90	18			TOQ0T2/TIQ03/P12
TOQ0B1	71	89	17	出力	6相PWM0用パルス信号出力	TIQ02/TOQ02/P11
TOQ0B2	75	93	21			TIQ00/P13
TOQ0B3	77	95	23			TRGQ0/P15
TOQ0OFF	18	22	50	入力	ハイ・インピーダンス出力制御信号入力	INTP0/P00
TOQ0T1	70	88	16	出力	6相PWM0用パルス信号出力	TIQ01/TOQ01/P10
TOQ0T2	72	90	18			TIQ03/TOQ03/P12
TOQ0T3	76	94	22			EVTQ0/P14
TOQ10 ^{注1}	-	60	88	出力	TMQ1のパルス信号出力	P26 ^{注1}
TOQ1B1 ^{注1}	-	36	64	出力	6相PWM1用パルス信号出力	P21 ^{注1}
TOQ1B2 ^{注1}	-	40	68			P23 ^{注1}
TOQ1B3 ^{注1}	-	42	70			P25 ^{注1}
TOQ1OFF ^{注1}	-	23	51	入力	ハイ・インピーダンス出力制御信号入力	INTP1 ^{注1} /P01 ^{注1}
TOQ1T1 ^{注1}	-	35	63	出力	6相PWM1用パルス信号出力	P20 ^{注1}
TOQ1T2 ^{注1}	-	37	65			P22 ^{注1}
TOQ1T3 ^{注1}	-	41	69			P24 ^{注1}
TRGQ0	77	95	23	入力	TMQ0の外部トリガ入力	TOQ0B3/P15
TXDA0	42	53	81	出力	UARTA0, UARTA1のシリアル送信データ出力	P31
TXDA1	44	55	83			SOB1/P33
V _{DD}	注2	注2	注2	-	内部ユニット用正電源供給 (2.5 V系電源供給端子)	-
V _{SS}	注3	注3	注3	-	内部ユニット用グランド電位	-
X1	34	45	73	入力	システム・クロック用発振子接続端子	-
X2	33	44	72	-		-

注1. V850E/IA4のみ

2. GC (V850E/IA3) : 25, 40, 51, 68
GC (V850E/IA4) : 30, 50, 64, 86
GF (V850E/IA4) : 14, 58, 78, 92
3. GC (V850E/IA3) : 26, 39, 52, 67
GC (V850E/IA4) : 31, 51, 65, 85
GF (V850E/IA4) : 13, 59, 79, 93

備考 IA3 : V850E/IA3

IA4 : V850E/IA4

GC (V850E/IA3) : 80ピン・プラスチックQFP (14 × 14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14 × 20)

2.2 端子の入出力回路タイプと未使用時の処理

抵抗を介してEV_{DD}またはEV_{SS}に接続する場合、1～10 kΩの抵抗を接続することをお勧めします。

(1/3)

端子	兼用端子名	ピン番号			入出力回路 タイプ	推奨接続方法
		IA3		IA4		
		GC	GC	GF		
P00	INTP0/TOQ0OFF	18	22	50	5-AH	入力状態：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続してください。 出力状態：オープンにしてください。
P01 ^注	INTP1 ^注 /TOQ1OFF ^注	-	23	51		
P02	INTP2/TOP2OFF	19	24	52		
P03	INTP3/TOP3OFF ^注	20	25	53		
P04	INTP4/ADTRG0	21	26	54		
P05	INTP5/ADTRG1	22	27	55		
P06	INTP6	23	28	56		
P07	INTP7	24	29	57		
P10	TOQ0T1/TIQ01/TOQ01	70	88	16		
P11	TOQ0B1/TIQ02/TOQ02	71	89	17		
P12	TOQ0T2/TIQ03/TOQ03	72	90	18		
P13	TOQ0B2/TIQ00	75	93	21		
P14	TOQ0T3/EVTQ0	76	94	22		
P15	TOQ0B3/TRGQ0	77	95	23		
P16	TOQ00/TIP20	78	96	24		
P17	TOP21/TIP21	79	97	25		
P20 ^注	TOQ1T1 ^注	-	35	63		
P21 ^注	TOQ1B1 ^注	-	36	64		
P22 ^注	TOQ1T2 ^注	-	37	65		
P23 ^注	TOQ1B2 ^注	-	40	68		
P24 ^注	TOQ1T3 ^注	-	41	69		
P25 ^注	TOQ1B3 ^注	-	42	70		
P26 ^注	TOQ10 ^注	-	60	88		
P27 ^注	TOP31 ^注	-	61	89		
P30	RXDA0	41	52	80	5-AH	
P31	TXDA0	42	53	81	5-AG	
P32	SIB1/RXDA1	43	54	82	5-AH	
P33	SOB1/TXDA1	44	55	83	5-AG	
P34	SCKB1	45	56	84	5-AH	
P35	TIUD10/TO10	46	57	85		
P36	TCUD10	47	58	86		
P37	TCLR10	48	59	87		

注 V850E/IA4のみ

備考 IA3 : V850E/IA3

IA4 : V850E/IA4

GC (V850E/IA3) : 80ピン・プラスチックQFP (14×14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14×20)

端子	兼用端子名	ピン番号			入出力回路 タイプ	推奨接続方法
		IA3	IA4			
		GC	GC	GF		
P40	SIB0	27	32	60	5-AH	入力状態：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続してください。 出力状態：オープンにしてください。
P41	SOB0	28	33	61	5-AG	
P42	SCKB0	29	34	62	5-AH	
P43	TOP00/TIP00	37	48	76		
P44	TOP01/TIP01	38	49	77		
P50 ^{注1}	DDI ^{注2} /TIUD11 ^{注1} /TO11 ^{注1}	-	82	10		
P51 ^{注1}	DCK ^{注2} /TCUD11 ^{注1}	-	83	11		
P52 ^{注1}	DMS ^{注2} /TCLR11 ^{注1}	-	84	12		
P70	ANI20	3	5	33	9	
P71	ANI21	4	6	34		
P72	ANI22	5	7	35		
P73	ANI23	6	8	36		
P74	ANI24	12	14	42		
P75	ANI25	13	15	43		
P76 ^{注1}	ANI26 ^{注1}	-	16	44		
P77 ^{注1}	ANI27 ^{注1}	-	17	45		
PDL0	-	49	62	90	5-AG	入力状態：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続してください。 出力状態：オープンにしてください。
PDL1	-	50	63	91		
PDL2	-	53	66	94		
PDL3	-	54	67	95		
PDL4	-	55	68	96		
PDL5	FLMD1 ^{注3}	56	69	97		
PDL6	-	57	70	98		
PDL7	-	58	71	99		
PDL8	-	59	74	2		
PDL9	-	60	75	3		
PDL10	-	61	76	4		
PDL11	-	62	77	5		
PDL12	-	63	78	6		
PDL13	-	64	79	7		
PDL14	-	65	80	8		
PDL15	-	66	81	9		

注1. V850E/IA4のみ

2. μ PD70F3186 (V850E/IA4) のみ

3. μ PD70F3184 (V850E/IA3) , μ PD70F3186 (V850E/IA4) のみ

備考 IA3 : V850E/IA3

IA4 : V850E/IA4

GC (V850E/IA3) : 80ピン・プラスチックQFP (14×14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14×20)

端子	兼用端子名	ピン番号			入出力回路 タイプ	推奨接続方法	
		IA3	IA4				
		GC	GC	GF			
ANI00	-	1	1	29	7-C	AV _{DD} またはAV _{SS} に接続してください。	
ANI01	-	2	2	30			
ANI02 ^{注1}	-	-	3	31			
ANI03 ^{注1}	-	-	4	32	7		
ANI10	-	14	18	46	7-C		
ANI11	-	15	19	47			
ANI12	-	16	20	48			
ANI13	-	17	21	49	7		
DDO ^{注2}	-	-	98	26	3-C		オープンにしてください(リセット中も常時レベル出力)。
DRST ^{注2}	-	-	99	27	2-M		オープンにしてください(プルダウン抵抗内蔵)。
RESET	-	36	47	75	2	-	
FLMD0 ^{注3} /IC1 ^{注4}	-	69	87	15		-	
PLLSIN	-	80	100	28		-	
CMPREF	-	9	11	39	-	AV _{SS} に接続してください。 OPnCTL1レジスタ = 00H (動作禁止) に設定してください。	

注1. V850E/IA4のみ

2. μ PD70F3186 (V850E/IA4) のみ
3. μ PD70F3184 (V850E/IA3) , μ PD70F3186 (V850E/IA4) のみ
4. μ PD703183 (V850E/IA3) , μ PD703185 (V850E/IA4) , μ PD703186 (V850E/IA4) のみ

備考1. IA3 : V850E/IA3

IA4 : V850E/IA4

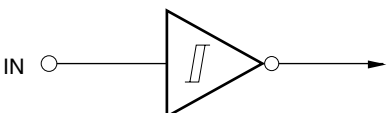
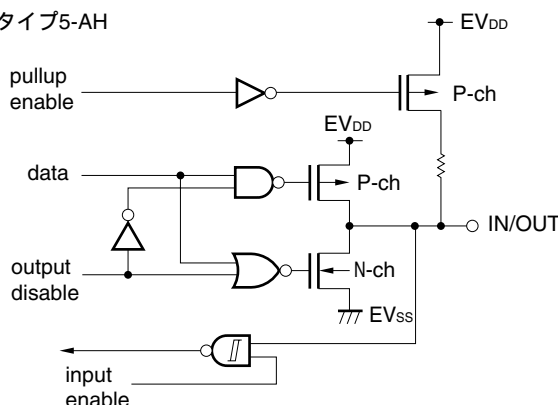
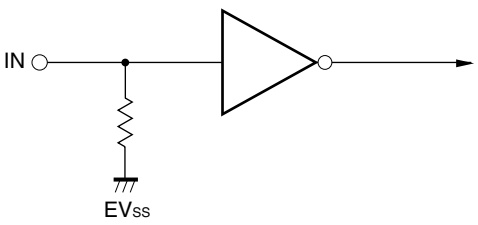
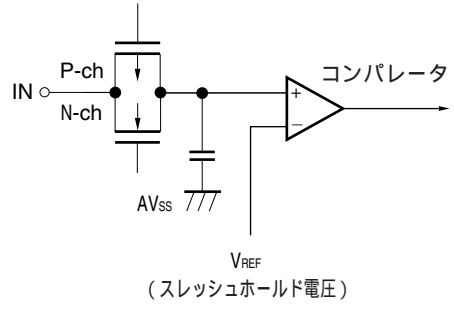
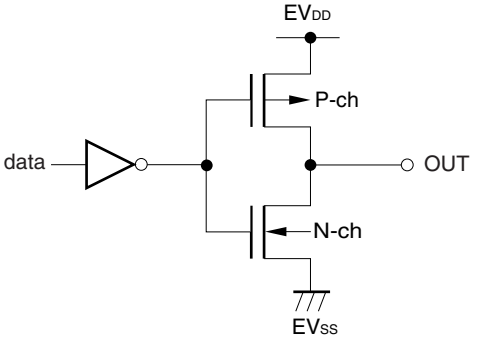
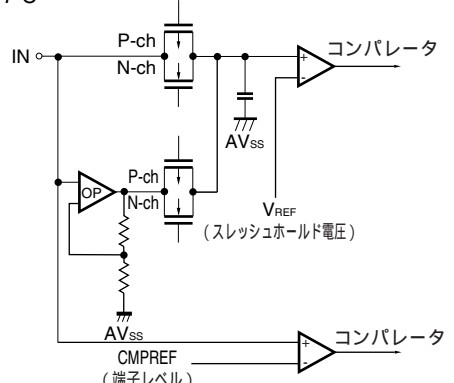
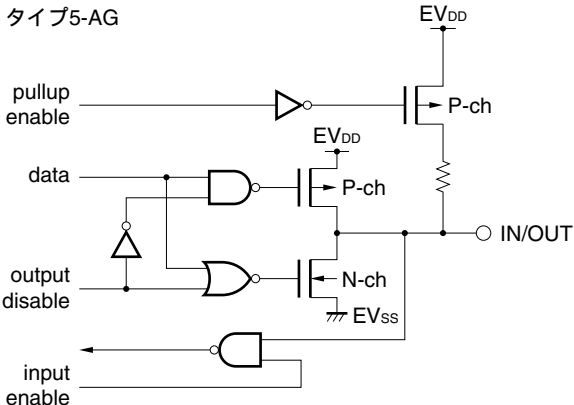
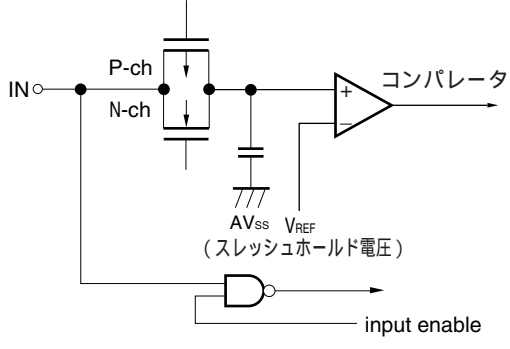
GC (V850E/IA3) : 80ピン・プラスチックQFP (14×14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14×20)

2. n = 0, 1

2.3 端子の入出力回路

<p>タイプ2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>タイプ5-AH</p> 
<p>タイプ2-M</p> 	<p>タイプ7</p> 
<p>タイプ3-C</p> 	<p>タイプ7-C</p> 
<p>タイプ5-AG</p> 	<p>タイプ9</p> 

第3章 CPU機能

V850E/IA3, V850E/IA4のCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

最小命令実行時間：15.6 ns (内部64 MHz動作時)

汎用レジスタ：32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令：1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

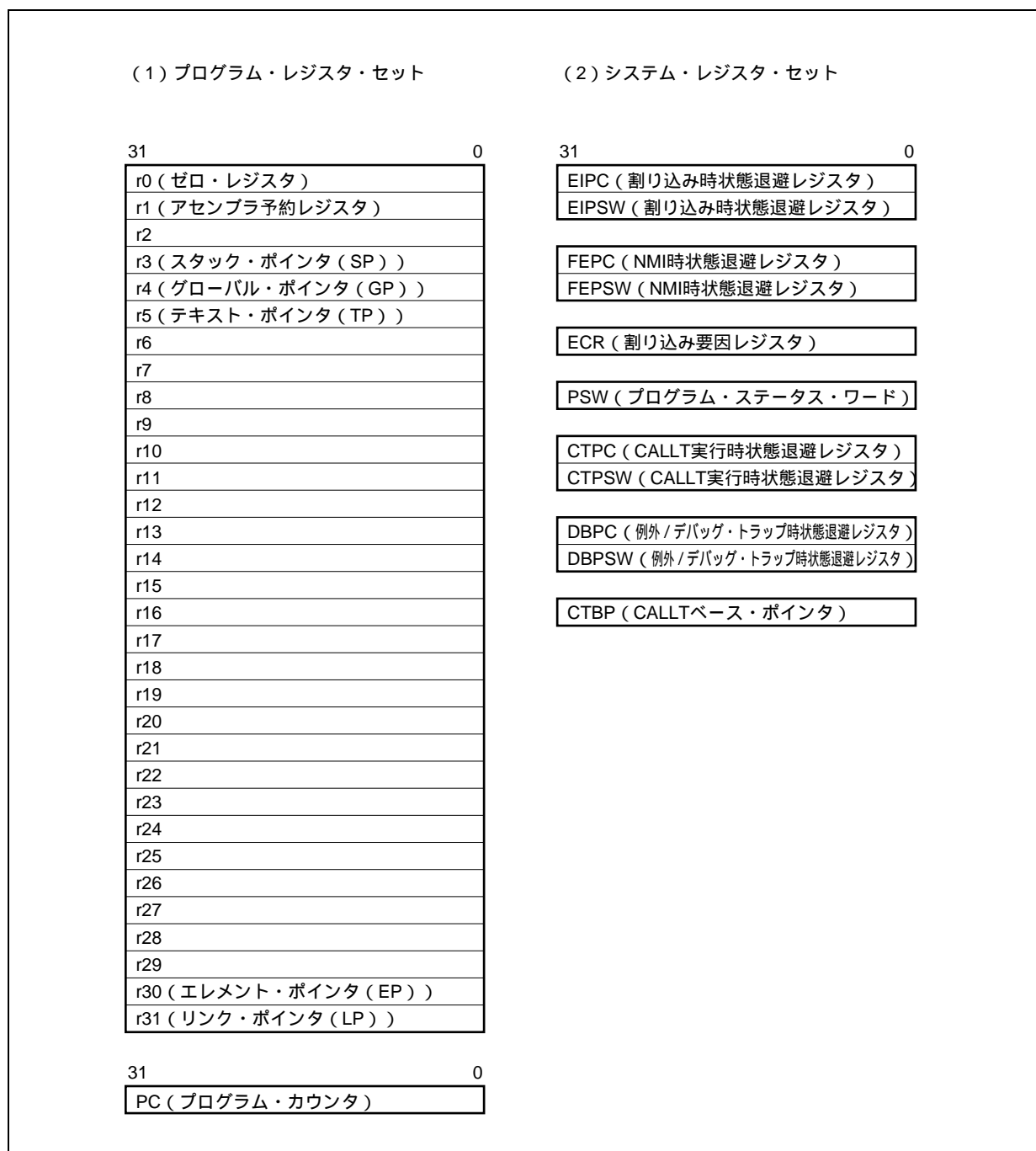
- ・SET1
- ・CLR1
- ・NOT1
- ・TST1

3.2 CPUレジスタ・セット

V850E/IA3, V850E/IA4のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850E1 **ユーザーズ・マニュアル アーキテクチャ編**を参照してください。

図3 - 1 CPUレジスタ・セット



3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1, r3-r5, r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

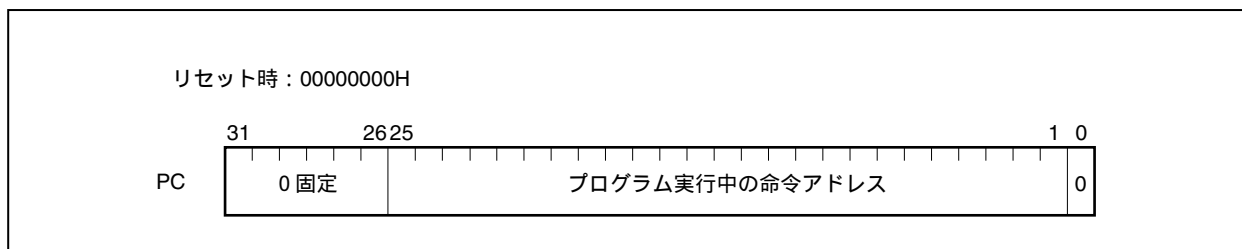
表3 - 1 汎用レジスタ一覧

名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス/データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス/データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) ^{注1}		
1	割り込み時状態退避レジスタ (EIPSW) ^{注1}		
2	NMI時状態退避レジスタ (FEPC)		
3	NMI時状態退避レジスタ (FEPSW)		
4	割り込み要因レジスタ (ECR)	x	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/デバッグ・トラップ時状態退避レジスタ (DBPC)	注2	注2
19	例外/デバッグ・トラップ時状態退避レジスタ (DBPSW)	注2	注2
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x

注1. このレジスタは1組しかないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

注意 LDSR命令によりEIPCかFEPC, またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます (PCのビット0を0固定してあるため)。EIPC, FEPC, CTPCに値を設定する場合は、偶数値 (ビット0 = 0) を設定してください。

備考 : アクセス可能

x : アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスクابل割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスクابل割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

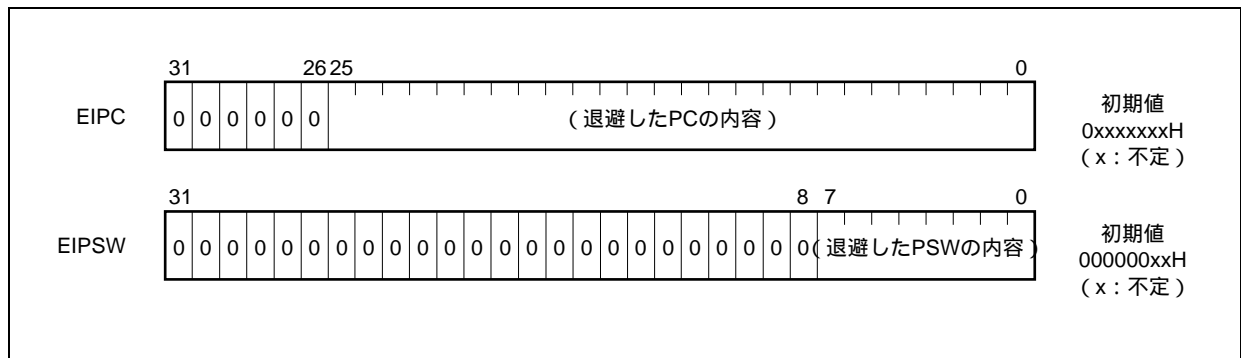
EIPCには、一部の命令 (17.9 CPUが割り込みを受け付けない期間参照) を除き、ソフトウェア例外やマスクابل割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

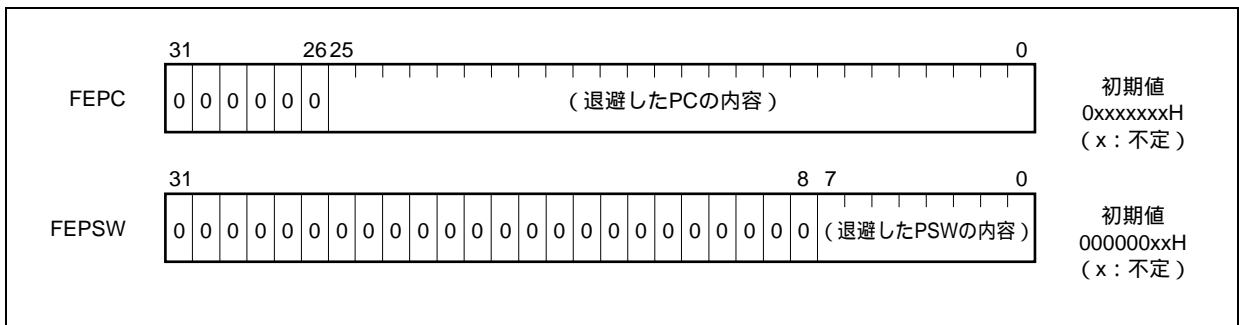
ノンマスクابل割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSW に退避されます。

FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

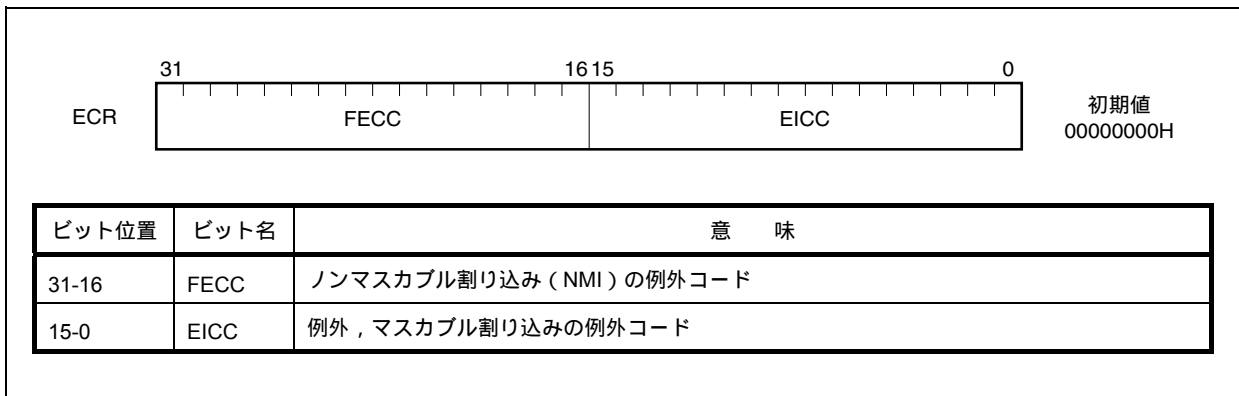
なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。

LDSR命令によるPSWのライト命令実行中は、割り込み要求の受け付けを保留します。

なお、ビット31-8は、将来の機能拡張のために予約されています (0に固定)。

(1/2)

ビット位置	フラグ名	意 味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスクابل割り込み (NMI) 処理中であることを示します。NMI要求が受け付けられるとセット“1”され、多重割り込みを禁止します。 0: NMI処理中でない。 1: NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスクابل割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み許可 (EI) 1: 割り込み禁止 (DI)
4	SAT ^注	飽和演算命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV ^注	演算中にオーバフローが発生したかどうかを示します。 0: オーバフローは発生していない。 1: オーバフローが発生した。
1	S ^注	演算の結果が負かどうかを示します。 0: 演算の結果は、正または0であった。 1: 演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0: 演算の結果は0でなかった。 1: 演算の結果は0であった。

備考 注の説明は次ページに記載しています。

注 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また、飽和演算時にOVフラグがセット(1)された場合だけ、SATフラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負(最大値を越えない)	保持		1	

(5) CALLT実行時状態退避レジスタ(CTPC, CTPSW)

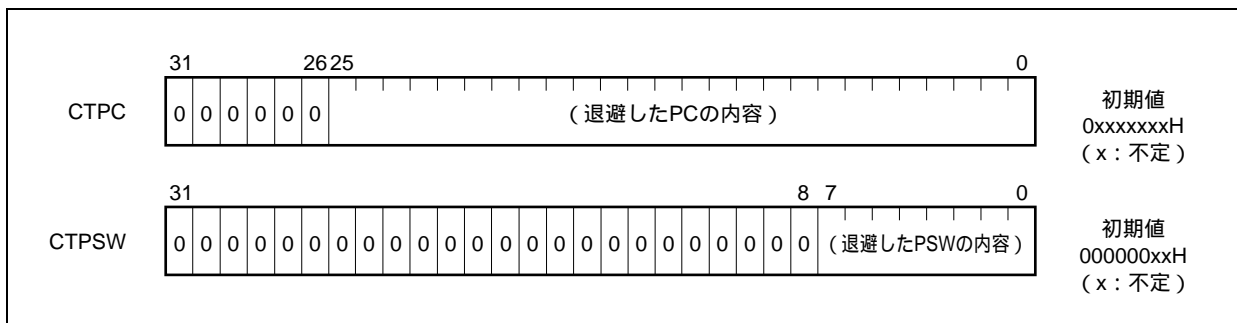
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ(PC)の内容がCTPCに、プログラム・ステータス・ワード(PSW)の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。



(6) 例外/デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外/デバッグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

例外トラップ,またはデバッグ・トラップが発生すると、プログラム・カウンタ(PC)の内容がDBPCに、プログラム・ステータス・ワード(PSW)の内容がDBPSWに退避されます。

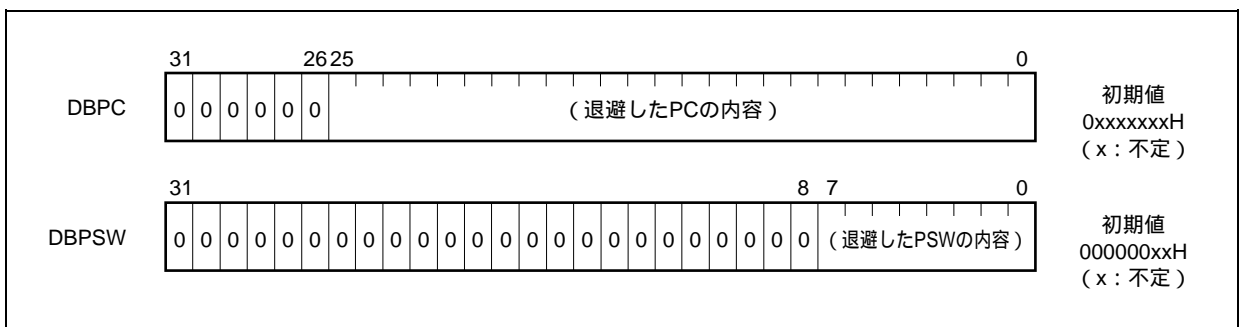
DBPCに退避される内容は、例外トラップ,またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには、現在のPSWの内容が退避されます。

このレジスタへのリード/ライトは、DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

なお、DBPCのビット31-26とDBPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。

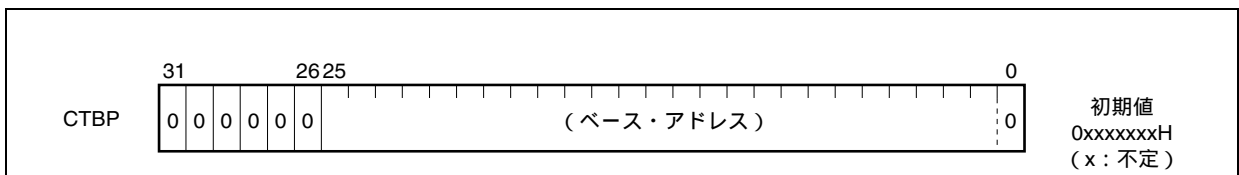
DBRET命令により、DBPCの値はPCへ、DBPSWの値はPSWへ復帰します。



(7) CALLTベース・ポインタ (CTBP)

CALLTベース・ポインタ (CTBP) は、テーブル・アドレスの指定、ターゲット・アドレスの生成に使用されます (ビット0は“0”に固定)。

なお、ビット31-26は、将来の機能拡張のために予約されています (“0”に固定)。



3.3 動作モード

3.3.1 動作モード

V850E/IA3, V850E/IA4は次に示す動作モードを備えます。モードの指定はFLMD0, FLMD1端子により行います。

(1) 通常動作モード

このモードでは、システム・リセット解除後、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。

(2) フラッシュ・メモリ・プログラミング・モード(μ PD70F3184 (V850E/IA3), μ PD70F3186 (V850E/IA4) のみ)

このモードを指定すると、フラッシュ・メモリ・プログラマによる内蔵フラッシュ・メモリへのプログラミングが可能になります。

3.3.2 動作モード指定

FLMD0, FLMD1端子の状態により、動作モードを指定します。

FLMD1	FLMD0	動作モード	備考
x	L	通常動作モード	内蔵ROM領域を000000Hから配置
L	H	フラッシュ・メモリ・プログラミング・モード ^注	-
上記以外		設定禁止	

注 μ PD70F3184 (V850E/IA3), μ PD70F3186 (V850E/IA4) のみ有効

備考 L: ロウ・レベル入力
H: ハイ・レベル入力

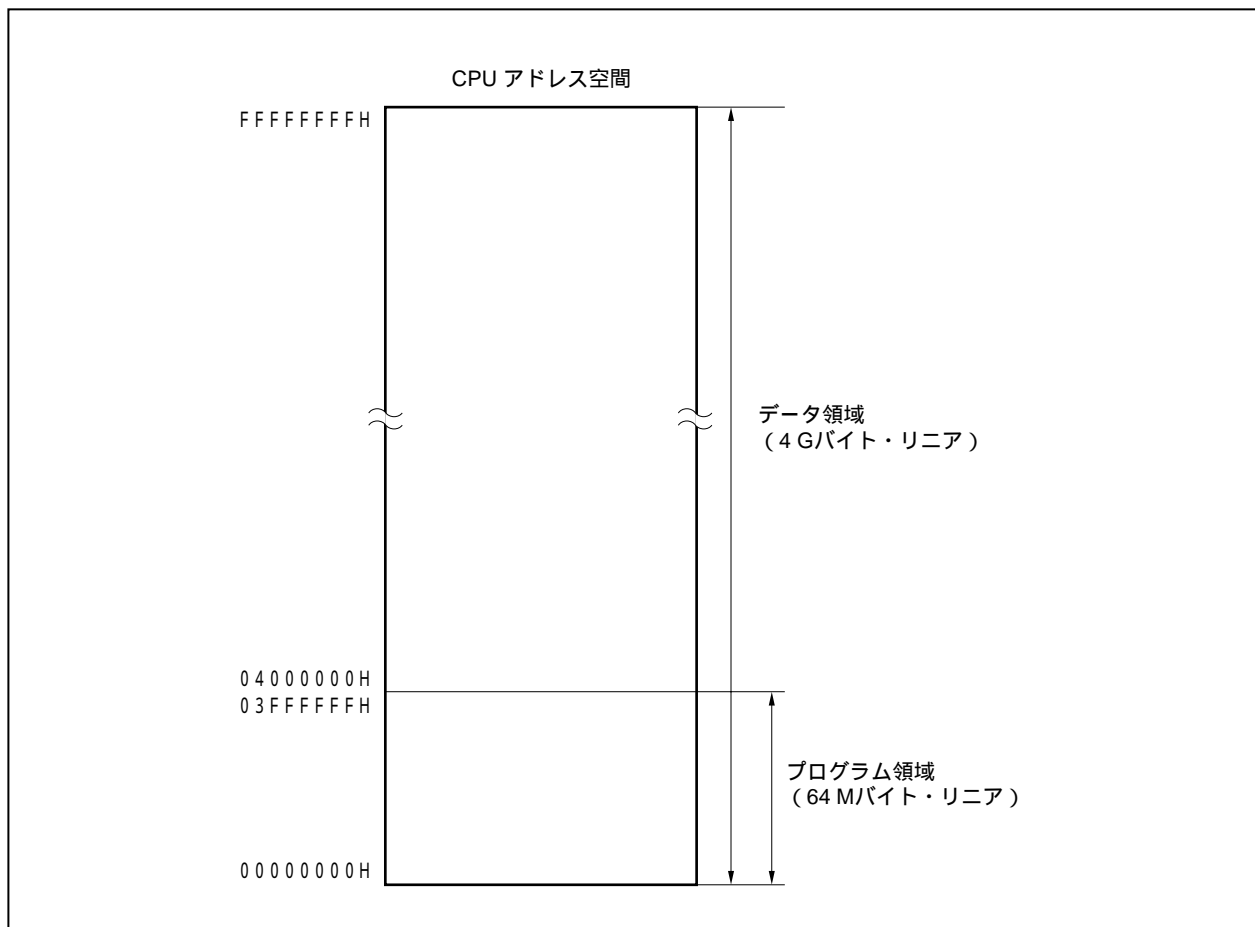
3.4 アドレス空間

3.4.1 CPUアドレス空間

V850E/IA3, V850E/IA4のCPUは、32ビット・アーキテクチャであり、オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。また、命令アドレスのアドレッシングにおいては、最大64 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

図3 - 2にCPUアドレス空間を示します。

図3 - 2 CPUアドレス空間

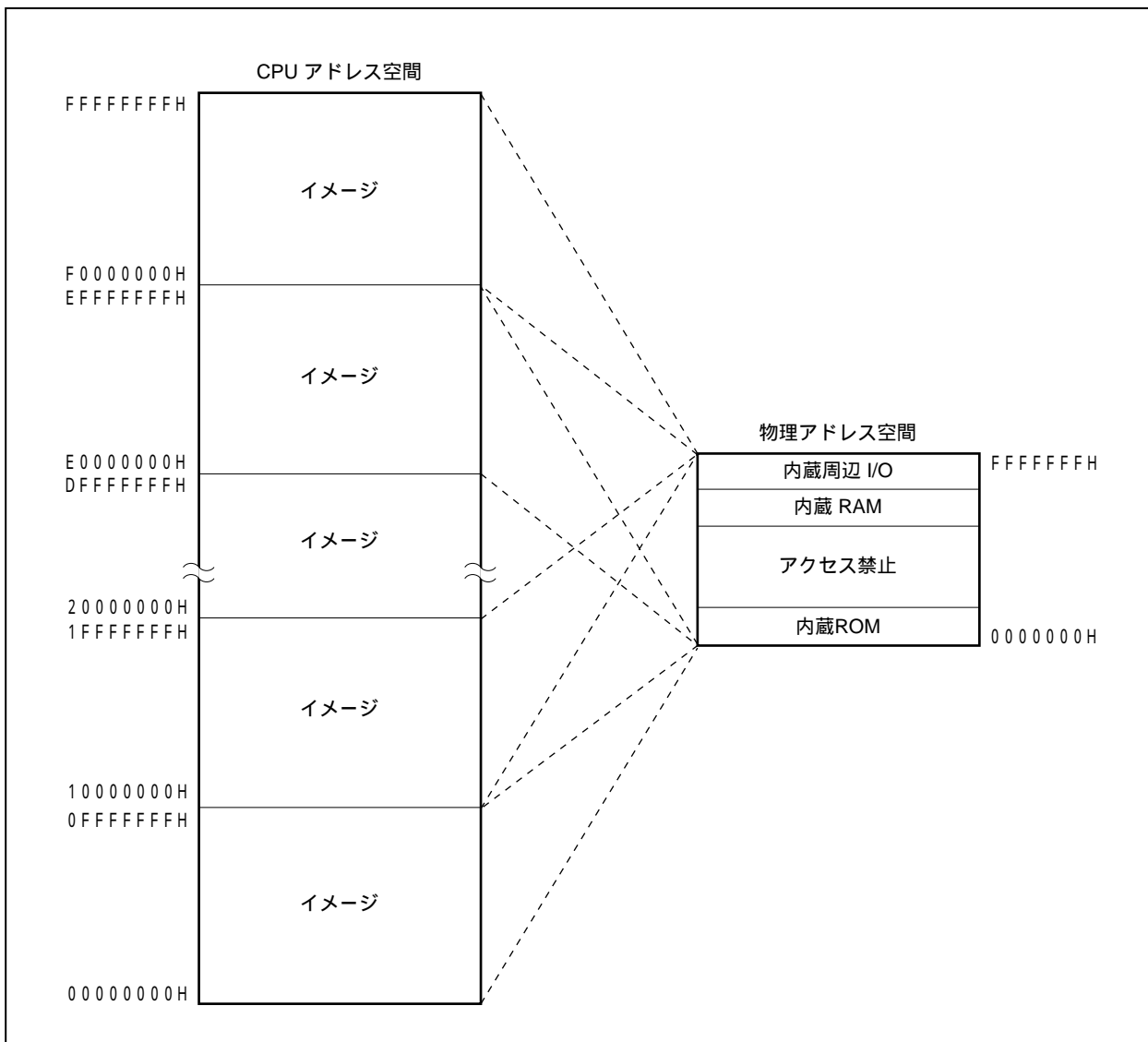


3.4.2 イメージ

4 GバイトのCPUアドレス空間には、256 Mバイトの物理アドレス空間が16個のイメージとして見えます。つまり、CPUアドレスのビット31-ビット28がどのような値でも、同じ256 Mバイトの物理アドレス空間をアクセスします。図3 - 3にアドレス空間上のイメージを示します。

物理アドレスのx0000000H番地が、CPUアドレスの00000000H番地のほかに、10000000H番地、20000000H番地、...、E0000000H番地、F0000000H番地に見えます。

図3 - 3 アドレス空間上のイメージ



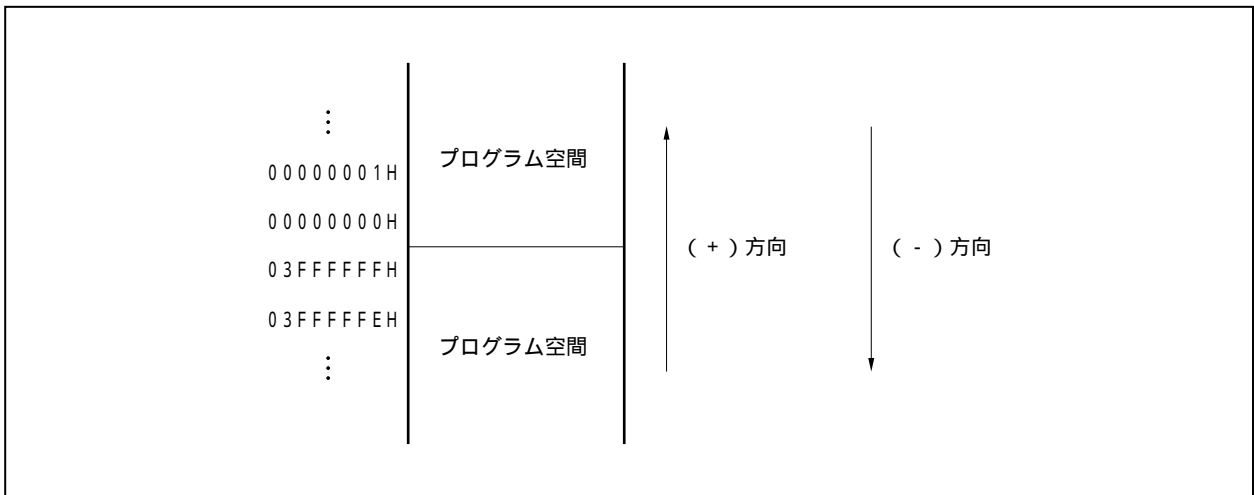
3.4.3 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の上限の03FFFFFFH番地と、下限である00000000H番地は連続したアドレスとなります。このようにメモリ空間の上限と下限が連続したアドレスになることをラップ・アラウンドといいます。

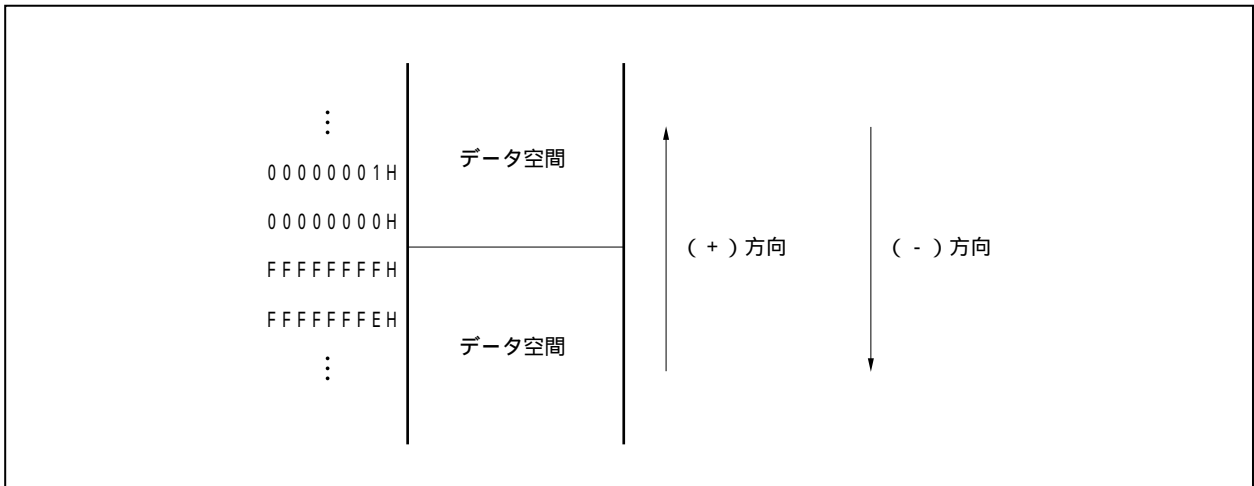
注意 03FFF000H-03FFFFFFHの4 Kバイトの領域は、0FFFFFF00H-0FFFFFFFHのイメージが見えます。この領域はアクセス禁止です。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

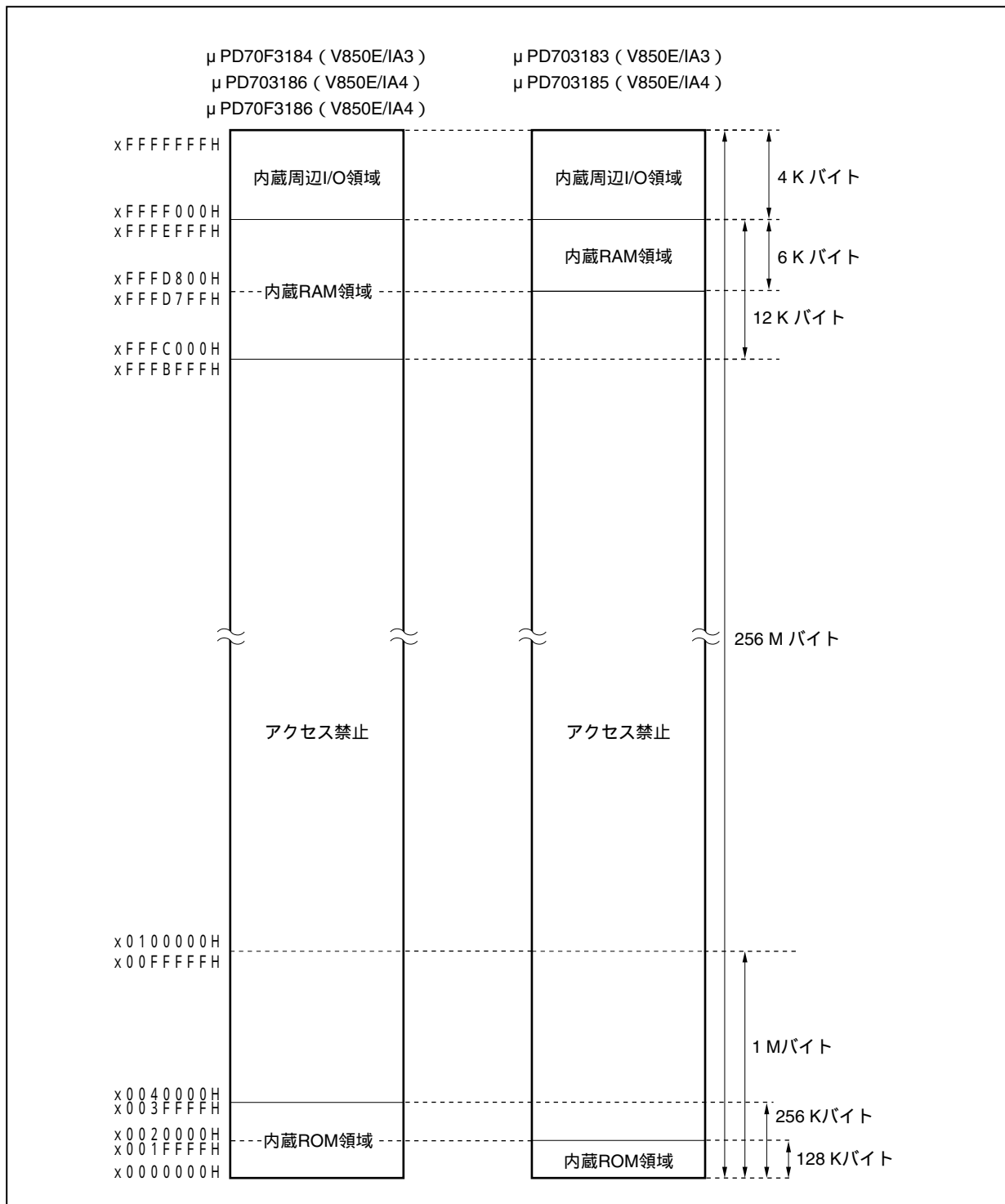
したがって、データ空間の上限のFFFFFFFFH番地と、下限である00000000H番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.4 メモリ・マップ

V850E/IA3, V850E/IA4では, 図3 - 4に示すように各領域を予約しています。

図3 - 4 メモリ・マップ



3.4.5 領域

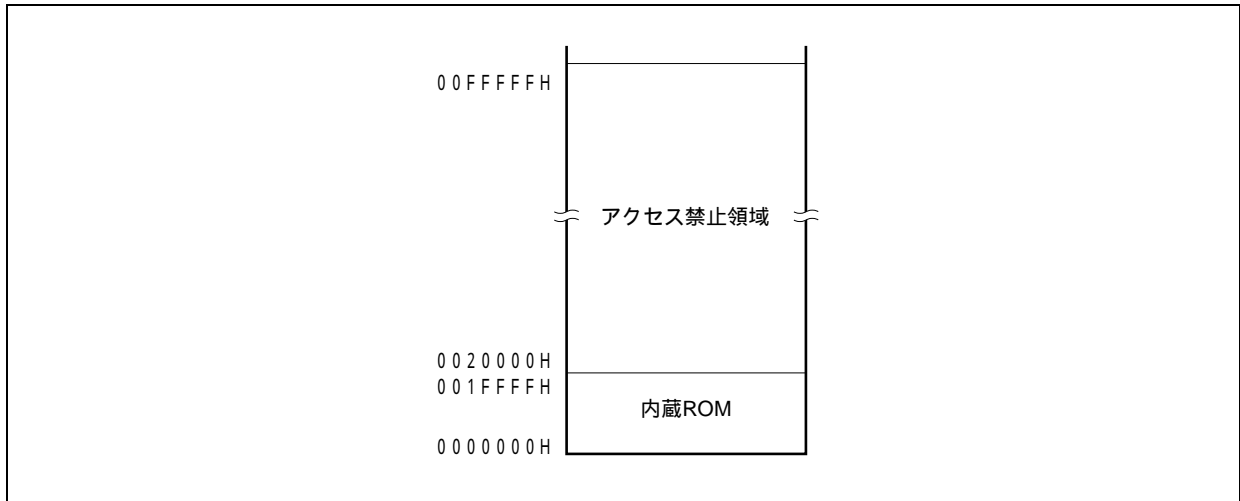
(1) 内蔵ROM領域

内蔵ROM領域としては、00000H-FFFFFFH番地の1 Mバイトが予約されています。

(a) μ PD703183 (V850E/IA3) , μ PD703185 (V850E/IA4)

物理内蔵ROMとして000000H-01FFFFH番地に128 Kバイトを実装しています。

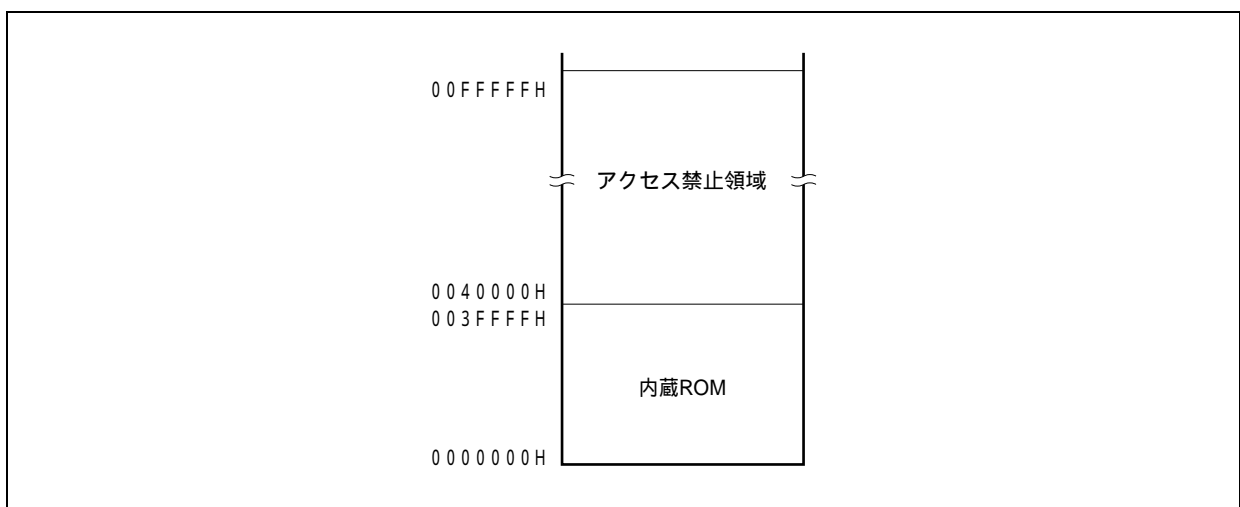
図3 - 5 内蔵ROM領域 (128 Kバイト)



(b) μ PD70F3184 (V850E/IA3) , μ PD703186 (V850E/IA4) , μ PD70F3186 (V850E/IA4)

物理内蔵ROMとして000000H-03FFFFH番地に256 Kバイトを実装しています。

図3 - 6 内蔵ROM領域 (256 Kバイト)



(2) 内蔵RAM領域

内蔵RAM領域としては、FFFC000H-FFFEFFFFH番地の12 Kバイトが予約されています。

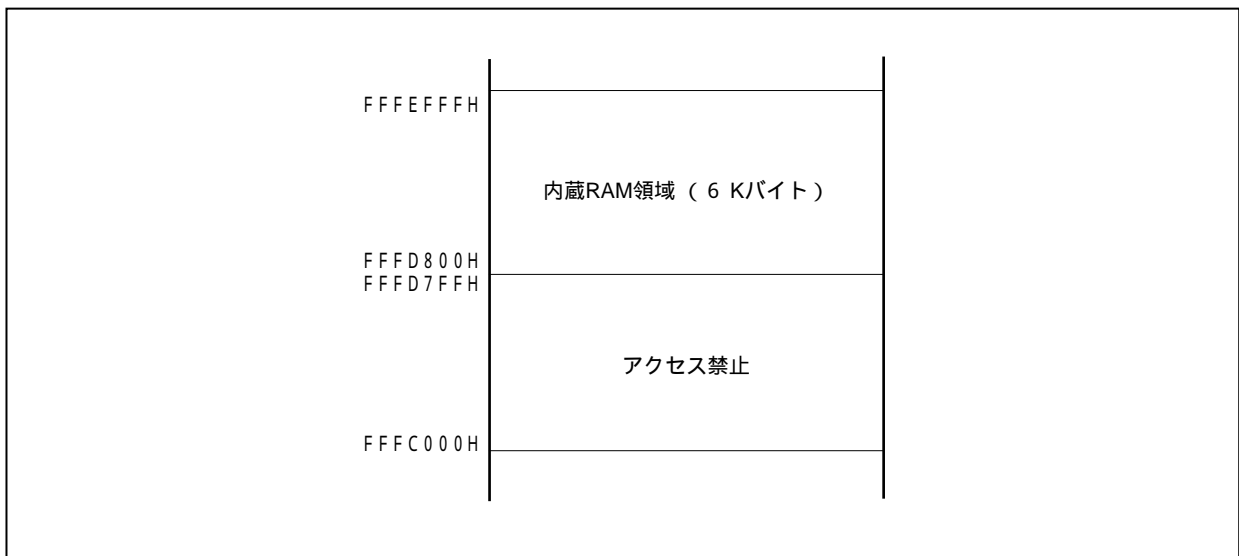
(a) μ PD703183 (V850E/IA3) , μ PD703185 (V850E/IA4)

物理内蔵RAMとしてFFFD800H-FFFEFFFFH番地の6 Kバイトを実装しています。

注意 次に示す領域はアクセス禁止です。

FFFC000H-FFFD7FFH番地

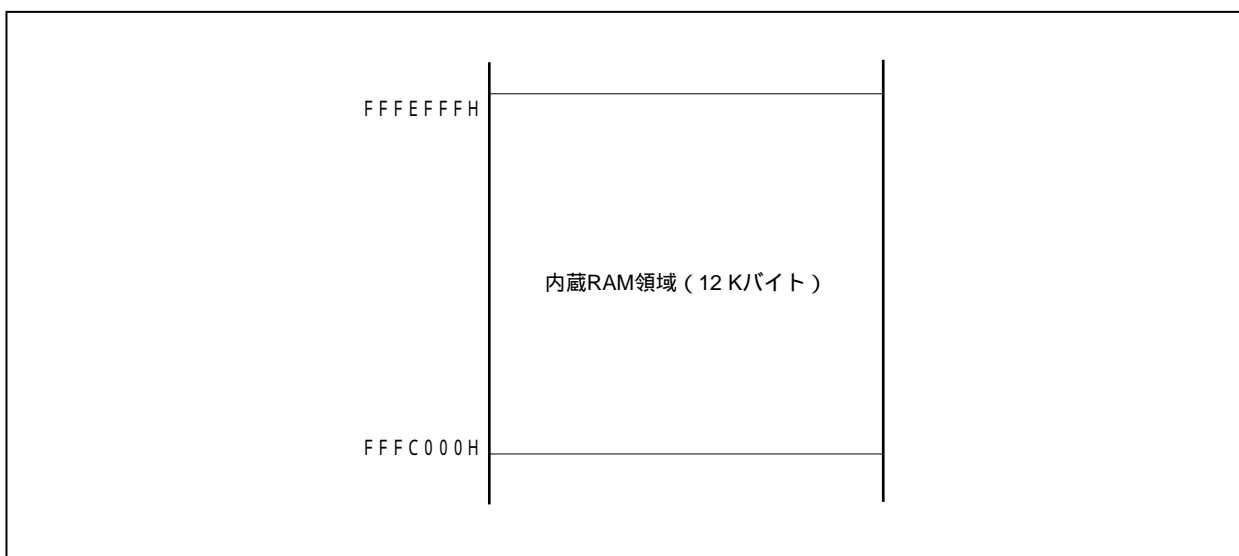
図3 - 7 内蔵RAM領域 (6 Kバイト)



(b) μ PD70F3184 (V850E/IA3) , μ PD703186 (V850E/IA4) , μ PD70F3186 (V850E/IA4)

物理内蔵RAMとしてFFFC000H-FFFEFFFFH番地の12 Kバイトを実装しています。

図3 - 8 内蔵RAM領域 (12 Kバイト)



(c) 内部メモリ・サイズ切り替えレジスタ (IMS)

IMSレジスタは、V850E/IA3 (μ PD70F3184)、V850E/IA4 (μ PD70F3186) の12 Kバイトの内蔵RAMを使って、V850E/IA3 (μ PD703183)、V850E/IA4 (μ PD703185) の6 Kバイトの内蔵RAM向けプログラムの動作確認を行う場合に、V850E/IA3 (μ PD70F3184)、V850E/IA4 (μ PD70F3186) とV850E/IA3 (μ PD703183)、V850E/IA4 (μ PD703185) の内蔵RAM領域を同一にするレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意1. IMSレジスタへのライトは、内蔵RAMアクセス前に行ってください。また、リセット解除後、1回のみライトができます。6 Kバイトの内蔵RAMを選択した場合、FFFC000H-FFFD7FFH番地までをアクセスすると、ライトはできず、リードするとCPUは不定値を読み出します。

2. IMSレジスタはフラッシュ・メモリ内蔵品のV850E/IA3 (μ PD70F3184)、V850E/IA4 (μ PD70F3186) のみです。

マスクROM内蔵品のV850E/IA3 (μ PD703183)、V850E/IA4 (μ PD703185, 703186) にはIMSレジスタはありませんが、IMSレジスタへライトしても内蔵RAMサイズは変更されません。

3. CA850に付属するサンプルのスタートアップ・ルーチンには、内蔵RAM領域を0クリアするコードが含まれています。そのため、0クリア・ルーチンを実行する前にIMSレジスタの設定が必要になります。

サンプルのスタートアップ・ルーチンを使用する場合、スタートアップ・ルーチン内の `__START` ラベルの直後に、下記の記述例に示す - の命令を追加してください。

なお、`0x13` の命令の「0x13」はVSWCレジスタの設定値、`0x01` の命令の「0x01」はIMSレジスタの設定値です。IMSレジスタの設定値は、必ず設定する内蔵RAMサイズに応じた値を設定してください(注意2参照)。

[記述例]

```

__START:
mov    0x13,    r13
st.b   r13,    VSWC
mov    0x01,    r12
st.b   r12,    IMS
mov    #_tp_TEXT, tp
:
:

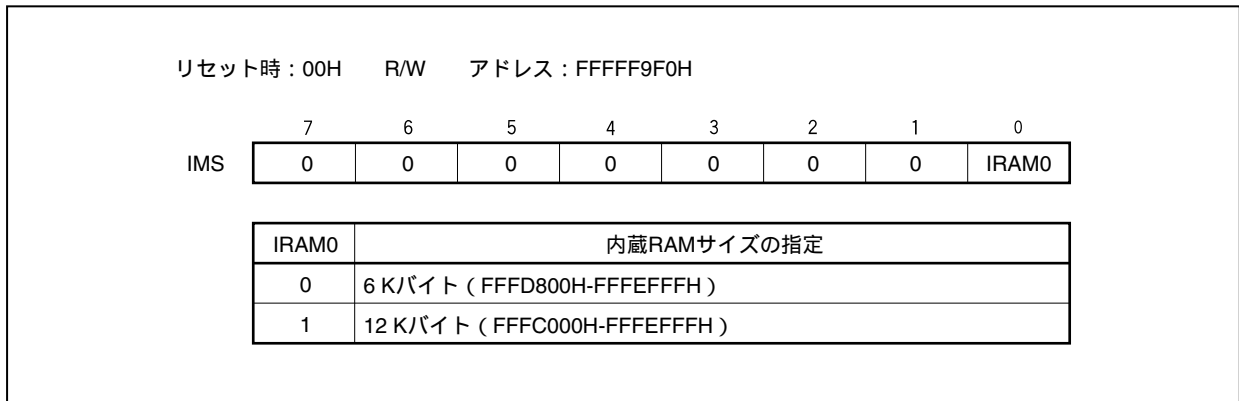
```

} 追加

備考 パートナー製ツールを使用する場合は、注意1から注意3までの内容に相当する設定を行ってください。

また、IMSレジスタを定義するために、次に示す記述を行ってください。

```
#define IMS (*(volatile unsigned char *)0xfffff9f0)
```



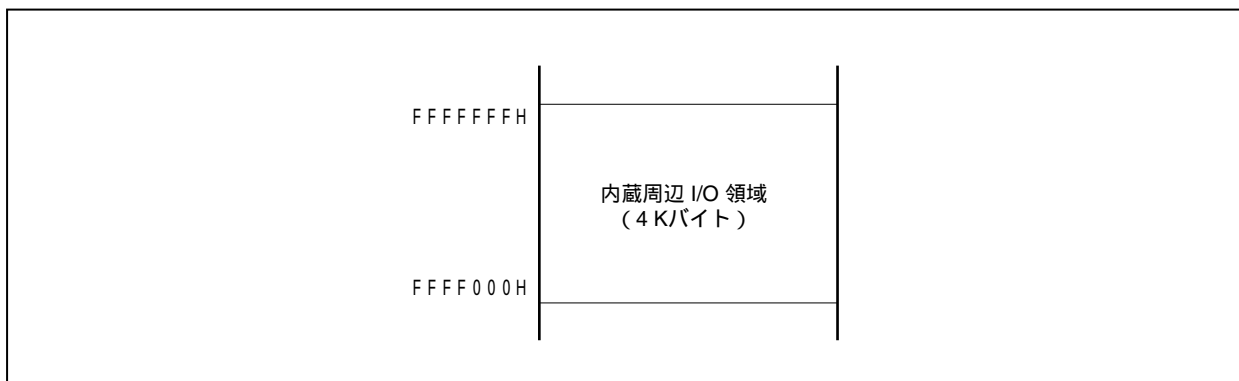
(3) 内蔵周辺I/O領域

内蔵周辺I/O領域としてFFFFFF00H-FFFFFFFH番地の4 Kバイトを実装しています。

3FFF000H-3FFFFFFFH番地[※]には、FFFFFF00H-FFFFFFFH番地のイメージが見えます。

注 3FFF000H-3FFFFFFFH番地はアクセス禁止です。内蔵周辺I/OをアクセスするときにはFFFFFF00H-FFFFFFFH番地を指定してください。

図3 - 9 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた内蔵周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** V850E/IA3, V850E/IA4では、レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。
- DMA転送の転送元、転送先のアドレスに3FFF000H-3FFFFFFFHを指定することができません。転送元、転送先のアドレスには、必ずFFFFFF00H-FFFFFFFHのアドレスを指定してください。

3.4.6 アドレス空間の推奨使用方法

V850E/IA3, V850E/IA4のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトの領域には、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

(1) プログラム空間

プログラム・カウンタ(PC)は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

(2) データ空間

V850E/IA3, V850E/IA4では、4 GバイトのCPUアドレス空間に256 Mバイトの物理アドレス空間が16個のイメージとして見えるため、この26ビット・アドレスの最上位ビット(ビット25)を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例

LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地±32 Kバイトの範囲がアドレッシング可能です。

ゼロ・レジスタ(r0)はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

例 μPD70F3186 (V850E/IA4) の場合

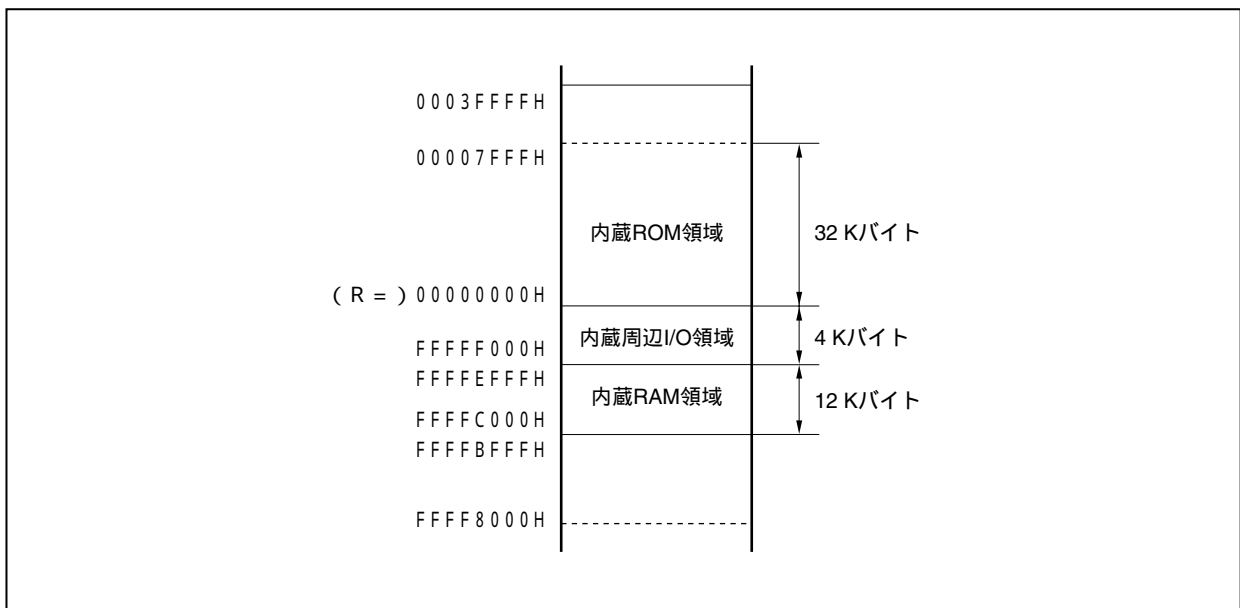
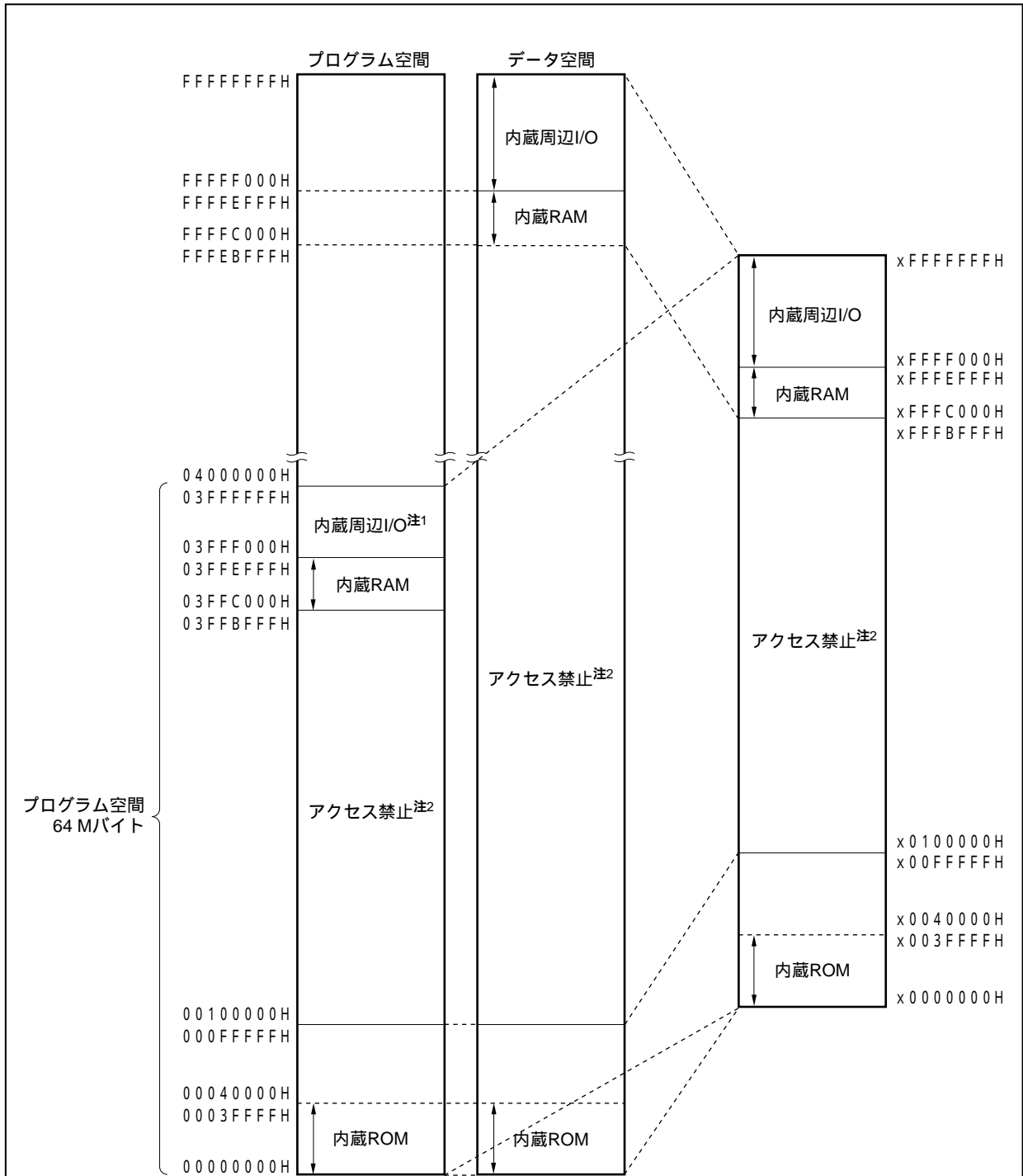


図3 - 10 推奨メモリ・マップ



注1. この領域はアクセス禁止です。内蔵周辺I/OをアクセスするときにはFFFFF000H-FFFFFFFH番地を指定してください。

2. アクセス禁止領域にアクセスした場合の動作は保証しません。

備考1. ↓ は推奨使用領域です。

2. この図はμ PD70F3186 (V850E/IA4) を通常動作モードに設定した場合の推奨メモリ・マップです。

3.4.7 内蔵周辺I/Oレジスタ

(1/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF004H	ポートDLレジスタ	PDL	R/W				不定
FFFFF004H	ポートDLレジスタL	PDLL					不定
FFFFF005H	ポートDLレジスタH	PDLH					不定
FFFFF024H	ポートDLモード・レジスタ	PMDL					FFFFH
FFFFF024H	ポートDLモード・レジスタL	PMDLL					FFH
FFFFF025H	ポートDLモード・レジスタH	PMDLH					FFH
FFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC					77H
FFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L					不定
FFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H					不定
FFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L					不定
FFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H					不定
FFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L					不定
FFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H					不定
FFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L					不定
FFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H					不定
FFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L					不定
FFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H					不定
FFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L					不定
FFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H					不定
FFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L					不定
FFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H					不定
FFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L					不定
FFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H					不定
FFFFF0C0H	DMA転送カウント・レジスタ0	DBC0					不定
FFFFF0C2H	DMA転送カウント・レジスタ1	DBC1					不定
FFFFF0C4H	DMA転送カウント・レジスタ2	DBC2					不定
FFFFF0C6H	DMA転送カウント・レジスタ3	DBC3					不定
FFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0					0000H
FFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1					0000H
FFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2					0000H
FFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3					0000H
FFFFF0E0H	DMAチャンネル・コントロール・レジスタ0	DCHC0					00H
FFFFF0E2H	DMAチャンネル・コントロール・レジスタ1	DCHC1					00H
FFFFF0E4H	DMAチャンネル・コントロール・レジスタ2	DCHC2				00H	
FFFFF0E6H	DMAチャンネル・コントロール・レジスタ3	DCHC3				00H	
FFFFF100H	割り込みマスク・レジスタ0	IMR0				FFFFH	
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L				FFH	
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H				FFH	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF102H	割り込みマスク・レジスタ1	IMR1	R/W				FFFFH
FFFFFF102H	割り込みマスク・レジスタ1L	IMR1L					FFH
FFFFFF103H	割り込みマスク・レジスタ1H	IMR1H					FFH
FFFFFF104H	割り込みマスク・レジスタ2	IMR2					FFFFH
FFFFFF104H	割り込みマスク・レジスタ2L	IMR2L					FFH
FFFFFF105H	割り込みマスク・レジスタ2H	IMR2H					FFH
FFFFFF106H	割り込みマスク・レジスタ3	IMR3					FFFFH
FFFFFF106H	割り込みマスク・レジスタ3L	IMR3L					FFH
FFFFFF107H	割り込みマスク・レジスタ3H	IMR3H					FFH
FFFFFF110H	割り込み制御レジスタ	PIC0					47H
FFFFFF112H	割り込み制御レジスタ	PIC1 ^注					47H
FFFFFF114H	割り込み制御レジスタ	PIC2					47H
FFFFFF116H	割り込み制御レジスタ	PIC3					47H
FFFFFF118H	割り込み制御レジスタ	PIC4					47H
FFFFFF11AH	割り込み制御レジスタ	PIC5					47H
FFFFFF11CH	割り込み制御レジスタ	PIC6					47H
FFFFFF11EH	割り込み制御レジスタ	PIC7					47H
FFFFFF120H	割り込み制御レジスタ	CMPIC0					47H
FFFFFF122H	割り込み制御レジスタ	CMPIC1					47H
FFFFFF124H	割り込み制御レジスタ	TQ0OVIC					47H
FFFFFF126H	割り込み制御レジスタ	TQ0CCIC0					47H
FFFFFF128H	割り込み制御レジスタ	TQ0CCIC1					47H
FFFFFF12AH	割り込み制御レジスタ	TQ0CCIC2					47H
FFFFFF12CH	割り込み制御レジスタ	TQ0CCIC3					47H
FFFFFF12EH	割り込み制御レジスタ	TQ1OVIC					47H
FFFFFF130H	割り込み制御レジスタ	TQ1CCIC0					47H
FFFFFF132H	割り込み制御レジスタ	TQ1CCIC1					47H
FFFFFF134H	割り込み制御レジスタ	TQ1CCIC2					47H
FFFFFF136H	割り込み制御レジスタ	TQ1CCIC3					47H
FFFFFF138H	割り込み制御レジスタ	CC0IC0					47H
FFFFFF13AH	割り込み制御レジスタ	CC0IC1					47H
FFFFFF13CH	割り込み制御レジスタ	CM0IC0					47H
FFFFFF13EH	割り込み制御レジスタ	CM0IC1					47H
FFFFFF140H	割り込み制御レジスタ	CC1IC0 ^注				47H	
FFFFFF142H	割り込み制御レジスタ	CC1IC1 ^注				47H	
FFFFFF144H	割り込み制御レジスタ	CM1IC0 ^注				47H	
FFFFFF146H	割り込み制御レジスタ	CM1IC1 ^注				47H	
FFFFFF148H	割り込み制御レジスタ	TP0OVIC				47H	
FFFFFF14AH	割り込み制御レジスタ	TP0CCIC0				47H	
FFFFFF14CH	割り込み制御レジスタ	TP0CCIC1				47H	
FFFFFF14EH	割り込み制御レジスタ	TP1OVIC				47H	
FFFFFF150H	割り込み制御レジスタ	TP1CCIC0				47H	

注 V850E/IA4のみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFF152H	割り込み制御レジスタ	TP1CCIC1	R/W				47H	
FFFFF154H	割り込み制御レジスタ	TP2OVIC					47H	
FFFFF156H	割り込み制御レジスタ	TP2CCIC0					47H	
FFFFF158H	割り込み制御レジスタ	TP2CCIC1					47H	
FFFFF15AH	割り込み制御レジスタ	TP3OVIC					47H	
FFFFF15CH	割り込み制御レジスタ	TP3CCIC0					47H	
FFFFF15EH	割り込み制御レジスタ	TP3CCIC1					47H	
FFFFF160H	割り込み制御レジスタ	DMAIC0					47H	
FFFFF162H	割り込み制御レジスタ	DMAIC1					47H	
FFFFF164H	割り込み制御レジスタ	DMAIC2					47H	
FFFFF166H	割り込み制御レジスタ	DMAIC3					47H	
FFFFF168H	割り込み制御レジスタ	UA0REIC					47H	
FFFFF16AH	割り込み制御レジスタ	UA0RIC					47H	
FFFFF16CH	割り込み制御レジスタ	UA0TIC					47H	
FFFFF16EH	割り込み制御レジスタ	CB0REIC					47H	
FFFFF170H	割り込み制御レジスタ	CB0RIC					47H	
FFFFF172H	割り込み制御レジスタ	CB0TIC					47H	
FFFFF174H	割り込み制御レジスタ	UA1REIC					47H	
FFFFF176H	割り込み制御レジスタ	UA1RIC					47H	
FFFFF178H	割り込み制御レジスタ	UA1TIC					47H	
FFFFF17AH	割り込み制御レジスタ	CB1REIC					47H	
FFFFF17CH	割り込み制御レジスタ	CB1RIC					47H	
FFFFF17EH	割り込み制御レジスタ	CB1TIC					47H	
FFFFF180H	割り込み制御レジスタ	AD0IC					47H	
FFFFF182H	割り込み制御レジスタ	AD1IC					47H	
FFFFF184H	割り込み制御レジスタ	AD2IC					47H	
FFFFF186H	割り込み制御レジスタ	TM0EQIC0					47H	
FFFFF1FAH	インサース・プライオリティ・レジスタ	ISPR		R				00H
FFFFF1FCH	コマンド・レジスタ	PRCMD	W				不定	
FFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H	
FFFFF200H	A/Dコンバータ0モード・レジスタ0	ADA0M0					00H	
FFFFF201H	A/Dコンバータ0モード・レジスタ1	ADA0M1					00H	
FFFFF202H	A/Dコンバータ0チャンネル指定レジスタ	ADA0S					00H	
FFFFF203H	A/Dコンバータ0モード・レジスタ2	ADA0M2					00H	
FFFFF210H	A/D0変換結果レジスタ0	ADA0CR0		R				不定
FFFFF211H	A/D0変換結果レジスタ0H	ADA0CR0H						不定
FFFFF212H	A/D0変換結果レジスタ1	ADA0CR1						不定
FFFFF213H	A/D0変換結果レジスタ1H	ADA0CR1H					不定	
FFFFF214H	A/D0変換結果レジスタ2	ADA0CR2					不定	
FFFFF215H	A/D0変換結果レジスタ2H	ADA0CR2H					不定	
FFFFF216H	A/D0変換結果レジスタ3	ADA0CR3					不定	
FFFFF217H	A/D0変換結果レジスタ3H	ADA0CR3H					不定	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF218H	A/D0変換結果レジスタ4	ADA0CR4	R				不定
FFFFFF219H	A/D0変換結果レジスタ4H	ADA0CR4H					不定
FFFFFF21AH	A/D0変換結果レジスタ5	ADA0CR5					不定
FFFFFF21BH	A/D0変換結果レジスタ5H	ADA0CR5H					不定
FFFFFF21CH	A/D0変換結果レジスタ6	ADA0CR6					不定
FFFFFF21DH	A/D0変換結果レジスタ6H	ADA0CR6H					不定
FFFFFF21EH	A/D0変換結果レジスタ7	ADA0CR7					不定
FFFFFF21FH	A/D0変換結果レジスタ7H	ADA0CR7H					不定
FFFFFF220H	A/Dコンバータ1モード・レジスタ0	ADA1M0	R/W				00H
FFFFFF221H	A/Dコンバータ1モード・レジスタ1	ADA1M1					00H
FFFFFF222H	A/Dコンバータ1チャンネル指定レジスタ	ADA1S					00H
FFFFFF223H	A/Dコンバータ1モード・レジスタ2	ADA1M2					00H
FFFFFF230H	A/D1変換結果レジスタ0	ADA1CR0	R				不定
FFFFFF231H	A/D1変換結果レジスタ0H	ADA1CR0H					不定
FFFFFF232H	A/D1変換結果レジスタ1	ADA1CR1					不定
FFFFFF233H	A/D1変換結果レジスタ1H	ADA1CR1H					不定
FFFFFF234H	A/D1変換結果レジスタ2	ADA1CR2					不定
FFFFFF235H	A/D1変換結果レジスタ2H	ADA1CR2H					不定
FFFFFF236H	A/D1変換結果レジスタ3	ADA1CR3					不定
FFFFFF237H	A/D1変換結果レジスタ3H	ADA1CR3H					不定
FFFFFF238H	A/D1変換結果レジスタ4	ADA1CR4					不定
FFFFFF239H	A/D1変換結果レジスタ4H	ADA1CR4H					不定
FFFFFF23AH	A/D1変換結果レジスタ5	ADA1CR5					不定
FFFFFF23BH	A/D1変換結果レジスタ5H	ADA1CR5H					不定
FFFFFF23CH	A/D1変換結果レジスタ6	ADA1CR6					不定
FFFFFF23DH	A/D1変換結果レジスタ6H	ADA1CR6H					不定
FFFFFF23EH	A/D1変換結果レジスタ7	ADA1CR7					不定
FFFFFF23FH	A/D1変換結果レジスタ7H	ADA1CR7H					不定
FFFFFF240H	A/Dコンバータ2制御レジスタ0	ADA2CTL0	R/W				00H
FFFFFF241H	A/Dコンバータ2制御レジスタ1	ADA2CTL1					00H
FFFFFF242H	A/Dコンバータ2制御レジスタ2	ADA2CTL2					00H
FFFFFF243H	A/Dコンバータ2制御レジスタ3	ADA2CTL3					00H
FFFFFF246H	A/Dコンバータ2ステータス・レジスタ	ADA2STR	R				00H
FFFFFF250H	A/D2変換結果レジスタ0	ADA2CR0					0000H
FFFFFF251H	A/D2変換結果レジスタ0H	ADA2CR0H					00H
FFFFFF252H	A/D2変換結果レジスタ1	ADA2CR1					0000H
FFFFFF253H	A/D2変換結果レジスタ1H	ADA2CR1H					00H
FFFFFF254H	A/D2変換結果レジスタ2	ADA2CR2					0000H
FFFFFF255H	A/D2変換結果レジスタ2H	ADA2CR2H					00H
FFFFFF256H	A/D2変換結果レジスタ3	ADA2CR3					0000H
FFFFFF257H	A/D2変換結果レジスタ3H	ADA2CR3H					00H
FFFFFF258H	A/D2変換結果レジスタ4	ADA2CR4					0000H
FFFFFF259H	A/D2変換結果レジスタ4H	ADA2CR4H					00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFFF25AH	A/D2変換結果レジスタ5	ADA2CR5	R				0000H	
FFFFFF25BH	A/D2変換結果レジスタ5H	ADA2CR5H					00H	
FFFFFF25CH	A/D2変換結果レジスタ6	ADA2CR6					0000H	
FFFFFF25DH	A/D2変換結果レジスタ6H	ADA2CR6H					00H	
FFFFFF25EH	A/D2変換結果レジスタ7	ADA2CR7					0000H	
FFFFFF25FH	A/D2変換結果レジスタ7H	ADA2CR7H					00H	
FFFFFF260H	オペアンプ0制御レジスタ0	OP0CTL0		R/W				00H
FFFFFF261H	オペアンプ0制御レジスタ1	OP0CTL1					00H	
FFFFFF268H	オペアンプ1制御レジスタ0	OP1CTL0					00H	
FFFFFF269H	オペアンプ1制御レジスタ1	OP1CTL1					00H	
FFFFFF310H	外部割り込みノイズ除去制御レジスタ	INTPNRC					00H	
FFFFFF400H	ポート0レジスタ	P0					不定	
FFFFFF402H	ポート1レジスタ	P1					不定	
FFFFFF404H	ポート2レジスタ	P2 ^注					不定	
FFFFFF406H	ポート3レジスタ	P3					不定	
FFFFFF408H	ポート4レジスタ	P4					不定	
FFFFFF40AH	ポート5レジスタ	P5 ^注					不定	
FFFFFF40EH	ポート7レジスタ	P7	R					不定
FFFFFF420H	ポート0モード・レジスタ	PM0	R/W					FFH
FFFFFF422H	ポート1モード・レジスタ	PM1						FFH
FFFFFF424H	ポート2モード・レジスタ	PM2 ^注						FFH
FFFFFF426H	ポート3モード・レジスタ	PM3					FFH	
FFFFFF428H	ポート4モード・レジスタ	PM4					FFH	
FFFFFF42AH	ポート5モード・レジスタ	PM5 ^注					FFH	
FFFFFF440H	ポート0モード・コントロール・レジスタ	PMC0					00H	
FFFFFF442H	ポート1モード・コントロール・レジスタ	PMC1					00H	
FFFFFF444H	ポート2モード・コントロール・レジスタ	PMC2 ^注					00H	
FFFFFF446H	ポート3モード・コントロール・レジスタ	PMC3					00H	
FFFFFF448H	ポート4モード・コントロール・レジスタ	PMC4					00H	
FFFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5 ^注					00H	
FFFFFF44EH	ポート7モード・コントロール・レジスタ	PMC7					00H	
FFFFFF462H	ポート1ファンクション・コントロール・レジスタ	PFC1					00H	
FFFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3					00H	
FFFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4					00H	
FFFFFF46AH	ポート5ファンクション・コントロール・レジスタ	PFC5 ^注					00H	
FFFFFF540H	TMM0制御レジスタ0	TM0CTL0				00H		
FFFFFF544H	TMM0コンペア・レジスタ0	TM0CMP0				0000H		
FFFFFF580H	タイマENC10	TMENC10				0000H		
FFFFFF582H	コンペア・レジスタ100	CM100				0000H		
FFFFFF584H	コンペア・レジスタ101	CM101				0000H		
FFFFFF586H	キャプチャ/コンペア・レジスタ100	CC100				0000H		
FFFFFF588H	キャプチャ/コンペア・レジスタ101	CC101				0000H		

注 V850E/IA4のみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF58AH	キャプチャ/コンペア・コントロール・レジスタ10	CCR10	R/W				00H
FFFFF58BH	タイマ・ユニット・モード・レジスタ10	TUM10					00H
FFFFF58CH	タイマ・コントロール・レジスタ10	TMC10					00H
FFFFF58DH	有効エッジ選択レジスタ10	SESA10					00H
FFFFF58EH	プリスケアラ・モード・レジスタ10	PRM10					07H
FFFFF58FH	ステータス・レジスタ10	STATUS10	R				00H
FFFFF596H	CC101キャプチャ入力選択レジスタ	CSL10	R/W				00H
FFFFF598H	ノイズ除去時間選択レジスタ10	NRC10					00H
FFFFF5A0H	タイマENC11	TMENC11 ^注					0000H
FFFFF5A2H	コンペア・レジスタ110	CM110 ^注					0000H
FFFFF5A4H	コンペア・レジスタ111	CM111 ^注					0000H
FFFFF5A6H	キャプチャ/コンペア・レジスタ110	CC110 ^注					0000H
FFFFF5A8H	キャプチャ/コンペア・レジスタ111	CC111 ^注					0000H
FFFFF5AAH	キャプチャ/コンペア・コントロール・レジスタ11	CCR11 ^注					00H
FFFFF5ABH	タイマ・ユニット・モード・レジスタ11	TUM11 ^注					00H
FFFFF5ACH	タイマ・コントロール・レジスタ11	TMC11 ^注					00H
FFFFF5ADH	有効エッジ選択レジスタ11	SESA11 ^注					00H
FFFFF5AEH	プリスケアラ・モード・レジスタ11	PRM11 ^注					07H
FFFFF5AFH	ステータス・レジスタ11	STATUS11 ^注	R				00H
FFFFF5B6H	CC111キャプチャ入力選択レジスタ	CSL11 ^注	R/W				00H
FFFFF5B8H	ノイズ除去時間選択レジスタ11	NRC11 ^注					00H
FFFFF5C0H	TMQ0制御レジスタ0	TQ0CTL0					00H
FFFFF5C1H	TMQ0制御レジスタ1	TQ0CTL1					00H
FFFFF5C2H	TMQ0I/O制御レジスタ0	TQ0IOC0					00H
FFFFF5C3H	TMQ0I/O制御レジスタ1	TQ0IOC1					00H
FFFFF5C4H	TMQ0I/O制御レジスタ2	TQ0IOC2					00H
FFFFF5C5H	TMQ0オプション・レジスタ0	TQ0OPT0					00H
FFFFF5C6H	TMQ0キャプチャ/コンペア・レジスタ0	TQ0CCR0					0000H
FFFFF5C8H	TMQ0キャプチャ/コンペア・レジスタ1	TQ0CCR1					0000H
FFFFF5CAH	TMQ0キャプチャ/コンペア・レジスタ2	TQ0CCR2					0000H
FFFFF5CCH	TMQ0キャプチャ/コンペア・レジスタ3	TQ0CCR3					0000H
FFFFF5CEH	TMQ0カウンタ・リード・バッファ・レジスタ	TQ0CNT	R				0000H
FFFFF5E0H	TMQ0オプション・レジスタ1	TQ0OPT1	R/W				00H
FFFFF5E1H	TMQ0オプション・レジスタ2	TQ0OPT2					00H
FFFFF5E2H	TMQ0I/O制御レジスタ3	TQ0IOC3					A8H
FFFFF5E3H	TMQ0オプション・レジスタ3	TQ0OPT3					00H
FFFFF5E4H	TMQ0デッド・タイム・コンペア・レジスタ	TQ0DTC					0000H
FFFFF5F0H	ハイ・インピーダンス出力制御レジスタ00	HZA0CTL0					00H
FFFFF5F1H	ハイ・インピーダンス出力制御レジスタ01	HZA0CTL1					00H
FFFFF600H	TMQ1制御レジスタ0	TQ1CTL0					00H
FFFFF601H	TMQ1制御レジスタ1	TQ1CTL1					00H
FFFFF602H	TMQ1I/O制御レジスタ0	TQ1IOC0 ^注					00H

注 V850E/IA4のみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF605H	TMQ1オプション・レジスタ0	TQ1OPT0	R/W				00H
FFFFFF606H	TMQ1キャプチャ/コンペア・レジスタ0	TQ1CCR0					0000H
FFFFFF608H	TMQ1キャプチャ/コンペア・レジスタ1	TQ1CCR1					0000H
FFFFFF60AH	TMQ1キャプチャ/コンペア・レジスタ2	TQ1CCR2					0000H
FFFFFF60CH	TMQ1キャプチャ/コンペア・レジスタ3	TQ1CCR3					0000H
FFFFFF60EH	TMQ1カウンタ・リード・バッファ・レジスタ	TQ1CNT	R				0000H
FFFFFF620H	TMQ1オプション・レジスタ1	TQ1OPT1 ^注	R/W				00H
FFFFFF621H	TMQ1オプション・レジスタ2	TQ1OPT2 ^注					00H
FFFFFF622H	TMQ1I/O制御レジスタ3	TQ1IOC3 ^注					A8H
FFFFFF623H	TMQ1オプション・レジスタ3	TQ1OPT3 ^注					00H
FFFFFF624H	TMQ1デッド・タイム・コンペア・レジスタ	TQ1DTC ^注					0000H
FFFFFF630H	ハイ・インピーダンス出力制御レジスタ10	HZA1CTL0 ^注					00H
FFFFFF631H	ハイ・インピーダンス出力制御レジスタ11	HZA1CTL1 ^注					00H
FFFFFF638H	ハイ・インピーダンス出力制御レジスタ20	HZA2CTL0					00H
FFFFFF639H	ハイ・インピーダンス出力制御レジスタ21	HZA2CTL1					00H
FFFFFF640H	TMP0制御レジスタ0	TP0CTL0					00H
FFFFFF641H	TMP0制御レジスタ1	TP0CTL1					00H
FFFFFF642H	TMP0I/O制御レジスタ0	TP0IOC0					00H
FFFFFF643H	TMP0I/O制御レジスタ1	TP0IOC1					00H
FFFFFF644H	TMP0I/O制御レジスタ2	TP0IOC2					00H
FFFFFF645H	TMP0オプション・レジスタ0	TP0OPT0					00H
FFFFFF646H	TMP0キャプチャ/コンペア・レジスタ0	TP0CCR0				0000H	
FFFFFF648H	TMP0キャプチャ/コンペア・レジスタ1	TP0CCR1				0000H	
FFFFFF64AH	TMP0カウンタ・リード・バッファ・レジスタ	TP0CNT	R				0000H
FFFFFF660H	TMP1制御レジスタ0	TP1CTL0	R/W				00H
FFFFFF661H	TMP1制御レジスタ1	TP1CTL1					00H
FFFFFF665H	TMP1オプション・レジスタ0	TP1OPT0					00H
FFFFFF666H	TMP1キャプチャ/コンペア・レジスタ0	TP1CCR0					0000H
FFFFFF668H	TMP1キャプチャ/コンペア・レジスタ1	TP1CCR1					0000H
FFFFFF66AH	TMP1カウンタ・リード・バッファ・レジスタ	TP1CNT	R				0000H
FFFFFF680H	TMP2制御レジスタ0	TP2CTL0	R/W				00H
FFFFFF681H	TMP2制御レジスタ1	TP2CTL1					00H
FFFFFF682H	TMP2I/O制御レジスタ0	TP2IOC0					00H
FFFFFF683H	TMP2I/O制御レジスタ1	TP2IOC1					00H
FFFFFF684H	TMP2I/O制御レジスタ2	TP2IOC2					00H
FFFFFF685H	TMP2オプション・レジスタ0	TP2OPT0					00H
FFFFFF686H	TMP2キャプチャ/コンペア・レジスタ0	TP2CCR0					0000H
FFFFFF688H	TMP2キャプチャ/コンペア・レジスタ1	TP2CCR1					0000H
FFFFFF68AH	TMP2カウンタ・リード・バッファ・レジスタ	TP2CNT	R				0000H
FFFFFF6A0H	TMP3制御レジスタ0	TP3CTL0	R/W				00H
FFFFFF6A1H	TMP3制御レジスタ1	TP3CTL1					00H
FFFFFF6A2H	TMP3I/O制御レジスタ0	TP3IOC0 ^注					00H

注 V850E/IA4のみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFF6A5H	TMP3オプション・レジスタ0	TP3OPT0	R/W					00H
FFFFF6A6H	TMP3キャプチャ/コンペア・レジスタ0	TP3CCR0						0000H
FFFFF6A8H	TMP3キャプチャ/コンペア・レジスタ1	TP3CCR1						0000H
FFFFF6AAH	TMP3カウンタ・リード・バッファ・レジスタ	TP3CNT	R					0000H
FFFFF6C0H	発振安定時間選択レジスタ	OSTS	R/W					04H
FFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM						67H
FFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE						1AH
FFFFF702H	ポート1ファンクション・コントロール拡張レジスタ	PFCE1						00H
FFFFF802H	システム・ステータス・レジスタ	SYS						00H
FFFFF810H	DMAトリガ要因レジスタ0	DTFR0						00H
FFFFF812H	DMAトリガ要因レジスタ1	DTFR1						00H
FFFFF814H	DMAトリガ要因レジスタ2	DTFR2						00H
FFFFF816H	DMAトリガ要因レジスタ3	DTFR3					00H	
FFFFF820H	パワー・セーブ・モード・レジスタ	PSMR						00H
FFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC						03H
FFFFF82CH	PLLコントロール・レジスタ	PLLCTL						01H
FFFFF840H	コレクション・アドレス・レジスタ0	CORAD0						00000000H
FFFFF840H	コレクション・アドレス・レジスタ0L	CORAD0L						0000H
FFFFF842H	コレクション・アドレス・レジスタ0H	CORAD0H						0000H
FFFFF844H	コレクション・アドレス・レジスタ1	CORAD1						00000000H
FFFFF844H	コレクション・アドレス・レジスタ1L	CORAD1L						0000H
FFFFF846H	コレクション・アドレス・レジスタ1H	CORAD1H						0000H
FFFFF848H	コレクション・アドレス・レジスタ2	CORAD2						00000000H
FFFFF848H	コレクション・アドレス・レジスタ2L	CORAD2L						0000H
FFFFF84AH	コレクション・アドレス・レジスタ2H	CORAD2H						0000H
FFFFF84CH	コレクション・アドレス・レジスタ3	CORAD3						00000000H
FFFFF84CH	コレクション・アドレス・レジスタ3L	CORAD3L						0000H
FFFFF84EH	コレクション・アドレス・レジスタ3H	CORAD3H						0000H
FFFFF870H	クロック・モニタ・モード・レジスタ	CLM						00H
FFFFF880H	コレクション・コントロール・レジスタ	CORCN						00H
FFFFF888H	リセット要因フラグ・レジスタ	RESF						00H/10H
FFFFF9F0H	内部メモリ・サイズ切り換えレジスタ	IMS ^注						00H
FFFFFA00H	UARTA0制御レジスタ0	UA0CTL0						10H
FFFFFA01H	UARTA0制御レジスタ1	UA0CTL1						00H
FFFFFA02H	UARTA0制御レジスタ2	UA0CTL2						FFH
FFFFFA03H	UARTA0オプション制御レジスタ0	UA0OPT0						14H
FFFFFA04H	UARTA0状態レジスタ	UA0STR						00H
FFFFFA06H	UARTA0受信データ・レジスタ	UA0RX	R					FFH
FFFFFA07H	UARTA0送信データ・レジスタ	UA0TX	R/W					FFH
FFFFFA10H	UARTA1制御レジスタ0	UA1CTL0						10H
FFFFFA11H	UARTA1制御レジスタ1	UA1CTL1						00H
FFFFFA12H	UARTA1制御レジスタ2	UA1CTL2						FFH

注 μPD70F3184 (V850E/IA3) , μPD70F3186 (V850E/IA4) のみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFA13H	UARTA1オプション制御レジスタ0	UA1OPT0	R/W				14H
FFFFFFA14H	UARTA1状態レジスタ	UA1STR					00H
FFFFFFA16H	UARTA1受信データ・レジスタ	UA1RX	R				FFH
FFFFFFA17H	UARTA1送信データ・レジスタ	UA1TX	R/W				FFH
FFFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0					00H
FFFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0					00H
FFFFFFC40H	ブルアップ抵抗オプション・レジスタ0	PU0					00H
FFFFFFC42H	ブルアップ抵抗オプション・レジスタ1	PU1					00H
FFFFFFC44H	ブルアップ抵抗オプション・レジスタ2	PU2 ^注					00H
FFFFFFC46H	ブルアップ抵抗オプション・レジスタ3	PU3					00H
FFFFFFC48H	ブルアップ抵抗オプション・レジスタ4	PU4					00H
FFFFFFC4AH	ブルアップ抵抗オプション・レジスタ5	PU5 ^注					00H
FFFFFFD00H	CSIB0制御レジスタ0	CB0CTL0					01H
FFFFFFD01H	CSIB0制御レジスタ1	CB0CTL1					00H
FFFFFFD02H	CSIB0制御レジスタ2	CB0CTL2					00H
FFFFFFD03H	CSIB0状態レジスタ	CB0STR					00H
FFFFFFD04H	CSIB0受信データ・レジスタ	CB0RX	R				0000H
FFFFFFD04H	CSIB0受信データ・レジスタL	CB0RXL					00H
FFFFFFD06H	CSIB0送信データ・レジスタ	CB0TX	R/W				0000H
FFFFFFD06H	CSIB0送信データ・レジスタL	CB0TXL					00H
FFFFFFD10H	CSIB1制御レジスタ0	CB1CTL0					01H
FFFFFFD11H	CSIB1制御レジスタ1	CB1CTL1					00H
FFFFFFD12H	CSIB1制御レジスタ2	CB1CTL2					00H
FFFFFFD13H	CSIB1状態レジスタ	CB1STR					00H
FFFFFFD14H	CSIB1受信データ・レジスタ	CB1RX	R				0000H
FFFFFFD14H	CSIB1受信データ・レジスタL	CB1RXL					00H
FFFFFFD16H	CSIB1送信データ・レジスタ	CB1TX	R/W				0000H
FFFFFFD16H	CSIB1送信データ・レジスタL	CB1TXL					00H
FFFFFFF44H	ブルアップ抵抗オプション・レジスタDL	PUDL					0000H
FFFFFFF44H	ブルアップ抵抗オプション・レジスタDLL	PUDLL					00H
FFFFFFF45H	ブルアップ抵抗オプション・レジスタDLH	PUDLH					00H

注 V850E/IA4のみ

3.4.8 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850E/IA3, V850E/IA4には次の4つの特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・リセット要因フラグ・レジスタ (RESF)
- ・クロック・モニタ・モード・レジスタ (CLM)

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、コマンド・レジスタ (PRCMD) があり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はシステム・ステータス・レジスタ (SYS) に報告されます。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

コマンド・レジスタに で用意したデータを書き込む。

特定レジスタに設定データを書き込む（次の命令で行う）。

- ・ストア命令（ST/SST命令）
- ・ビット操作命令（SET1/CLR1/NOT1命令）

（ - NOP命令を挿入する（5命令）。）[※]

[記述例] PSCレジスタの場合（スタンバイ・モードの設定）

```
ST.B r11, PSMR [ r0 ] ;PSMRレジスタ設定 (IDLE, STOPモードの設定)
```

```
MOV 0x02, r10
```

```
ST.B r10, PRCMD [ r0 ] ;PRCMDレジスタ書き込み
```

```
ST.B r10, PSC [ r0 ] ;PSCレジスタ設定
```

```
NOP※ ;ダミー命令
```

```
NOP※ ;ダミー命令
```

```
NOP※ ;ダミー命令
```

```
NOP※ ;ダミー命令
```

```
NOP※ ;ダミー命令
```

(next instruction)

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

注 IDLE, STOPモードに移行する場合（PSC.STBビット = 1）には、直後にNOP命令を5命令以上挿入する必要があります。

- 注意1.** コマンド・レジスタに対するストア命令では、割り込みを受け付けません。これはプログラムで上記 `MOV` を連続したストア命令で行うことを前提としているためです。 `MOV` の間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となります。
- 2.** コマンド・レジスタへ書き込むデータはダミーですが、ストア命令により特定レジスタへの設定（例 `ST.B`）で使用する汎用レジスタと同じレジスタをコマンド・レジスタ書き込み（例 `MOV`）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。また、ビット操作命令により特定レジスタへの設定（例 `CLR1`）の場合の例を次に示します。

```
CLR1 4, RESF[r0]
```

- 3.** この処理を行う前に、すべてのDMA転送を終了させてください。

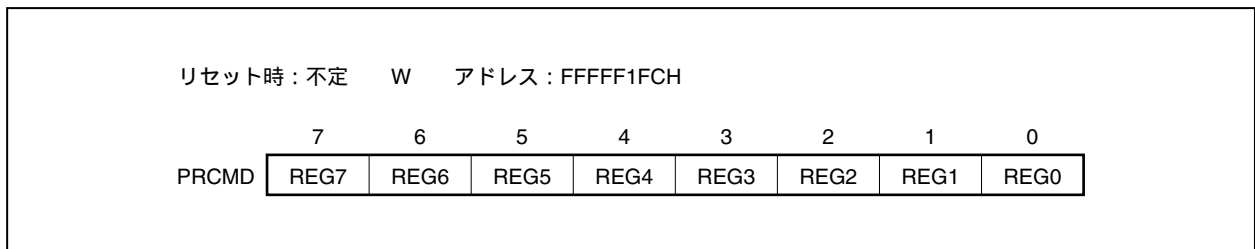
(2) コマンド・レジスタ (PRCMD)

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタへの書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

特定レジスタへの不正な書き込み動作の発生は、SYS.PRERRビットでチェックできます。

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセットにより不定になります。



(3) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。

PRCMDレジスタへのアクセスを含む正しいシーケンスで書き込みをしなかった場合に、対象レジスタへの書き込みが行なわれず、プロテクション・エラーが発生し、PRERRフラグがセットされます。CPUからの命令により“0”をライトすることでクリアされます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF802H							
	7	6	5	4	3	2	1	①								
SYS	0	0	0	0	0	0	0	PRERR								
	PRERR								プロテクション・エラーの検出							
	0								プロテクション・エラーは発生していない							
	1								プロテクション・エラーが発生している							

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERRフラグ = 1)

- ・PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき (3.4.8(1) 特定レジスタへのデータ設定で示す を行わずに を行なったとき)。
- ・PRCMDレジスタへの書き込み動作後、特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作(ビット操作命令を含む)を行なったとき (3.4.8(1) 特定レジスタへのデータ設定で示す が特定レジスタでなかったとき)。

備考 特定レジスタは、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作(ビット操作命令を除く)など(内蔵RAMへのアクセスなど)を行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

(b) クリア条件 (PRERRフラグ = 0)

- (i) SYS.PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意1.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります(ライト優先)。
- 2.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

3.4.9 システム・ウエイト・コントロール・レジスタ (VSWC)

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウエイトを制御するレジスタです。

V850E1 CPUコアの内蔵周辺I/Oレジスタへのアクセスは基本的に3クロックですが、V850E/IA3、V850E/IA4ではその3クロックに加えてVSWCレジスタで設定したウエイトが必要です。VSWCには13H (ウエイトを4クロック設定) を設定してください。

8ビット単位でリード/ライト可能です (アドレス : FFFFF06EH, 初期値 : 77H)。

CPUクロック周波数 (f _{CPU})	VSWCの設定値
500 kHz f _{CPU} 64 MHz	13H

注意 V850E/IA3, V850E/IA4を使用する際には、必ず最初にVSWCレジスタを設定してください。

VSWCレジスタを設定後、必要に応じてその他の各レジスタを設定してください。

備考 内蔵周辺機能の状態を示すステータス・フラグを含んだレジスタ (STATUS1nなど) やタイマのカウント値を示すレジスタ (TMENC1nなど) などへのアクセスにおいてフラグやカウント値の変化タイミングとレジスタ・アクセス・タイミングが重なった場合、レジスタ・アクセスへのリトライ動作が発生します。このため、通常より内蔵周辺I/Oレジスタへのアクセスに時間がかかる場合があります。

3.4.10 注意事項

μPD70F3184 (V850E/IA3) , μPD70F3186 (V850E/IA4) において、内蔵RAMのサイズを6 Kバイトに設定する場合は、次に示すどちらかの対応を行ってください。

(1) DF703183 (V850E/IA3) , DF703185 (V850E/IA4) のデバイス・ファイルを使用してコンパイルする。

(2) リンク・ディレクティブ・ファイル内のSIDATAラベル, DATAラベルの直後のアドレスの記述を、下記の記述例のように修正する。

[記述例]

```
SIDATA : !LOAD ?RW V0fffd800 ← V0fffd800は内蔵RAMの先頭アドレス
      :
      :
DATA   : !LOAD ?RW V0fffd900 ← V0fffd900は内蔵RAMの先頭アドレス+100番地
```

備考 パートナー製ツール使用の場合は、リンク・ディレクティブ・ファイルに相当するファイル内で内蔵RAMの使用領域がFFFD800H-FFFEFFFHの領域を越えないように定義を行ってください。

第4章 ポート機能

4.1 特 徴

4.1.1 V850E/IA3

入力専用ポート : 6本

入出力ポート : 44本

1ビット単位で入力データのリード/出力データのライトが可能

1ビット単位で内蔵プルアップ抵抗の接続指定が可能 (ポート0, 1, 3, 4, DLのみ)

ただし, ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合に内蔵プルアップ抵抗の接続が可能です。さらに, 兼用機能時に出力端子であるTOQ0T1-TOQ0T3, TOQ0B1-TOQ0B3, TOP21端子は, TOQ0OFF, TOP2OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合に, 内蔵プルアップ抵抗の接続が可能です。

4.1.2 V850E/IA4

入力専用ポート : 8本

入出力ポート : 56本

1ビット単位で入力データのリード/出力データのライトが可能

1ビット単位で内蔵プルアップ抵抗の接続指定が可能 (ポート0-5, DLのみ)

ただし, ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合に内蔵プルアップ抵抗の接続が可能です。さらに, 兼用機能時に出力端子であるTOQ0T1-TOQ0T3, TOQ0B1-TOQ0B3, TOP21, TOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3, TOP31端子は, TOQ0OFF, TOP2OFF, TOQ1OFF, TOP3OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合に, 内蔵プルアップ抵抗の接続が可能です。

4.2 ポートの基本構成

4.2.1 V850E/IA3

V850E/IA3は、ポート0, 1, 3, 4, 7, DLの合計50本の入力 / 出力ポート（うち6本は入力専用ポート）を内蔵しています。ポートの構成を図4 - 1に示します。

端子の入出力バッファ電源には、 AV_{DD} , EV_{DD} の2系統があります。それぞれの電源と端子の関係を表4 - 1に示します。

図4 - 1 ポートの構成図 (V850E/IA3)

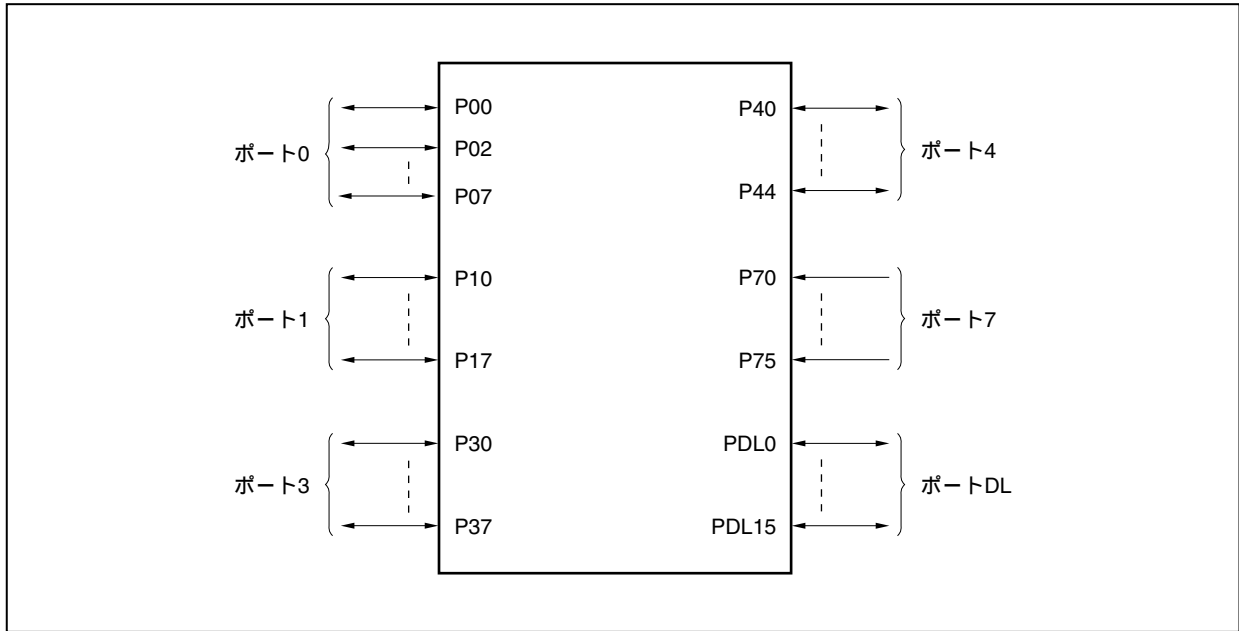


表4 - 1 各端子の入出力バッファ電源 (V850E/IA3)

電 源	対応する端子
AV_{DD}	P70-P75
EV_{DD}	P00, P02-P07, P10-P17, P30-P37, P40-P44, PDL0-PDL15, \overline{RESET}

4.2.2 V850E/IA4

V850E/IA4は、ポート0-5, 7, DLの合計64本の入力 / 出力ポート(うち8本は入力専用ポート)を内蔵しています。ポートの構成を図4 - 2に示します。

端子の入出力バッファ電源には、AV_{DD}、EV_{DD}の2系統があります。それぞれの電源と端子の関係を表4 - 2に示します。

図4 - 2 ポートの構成図 (V850E/IA4)

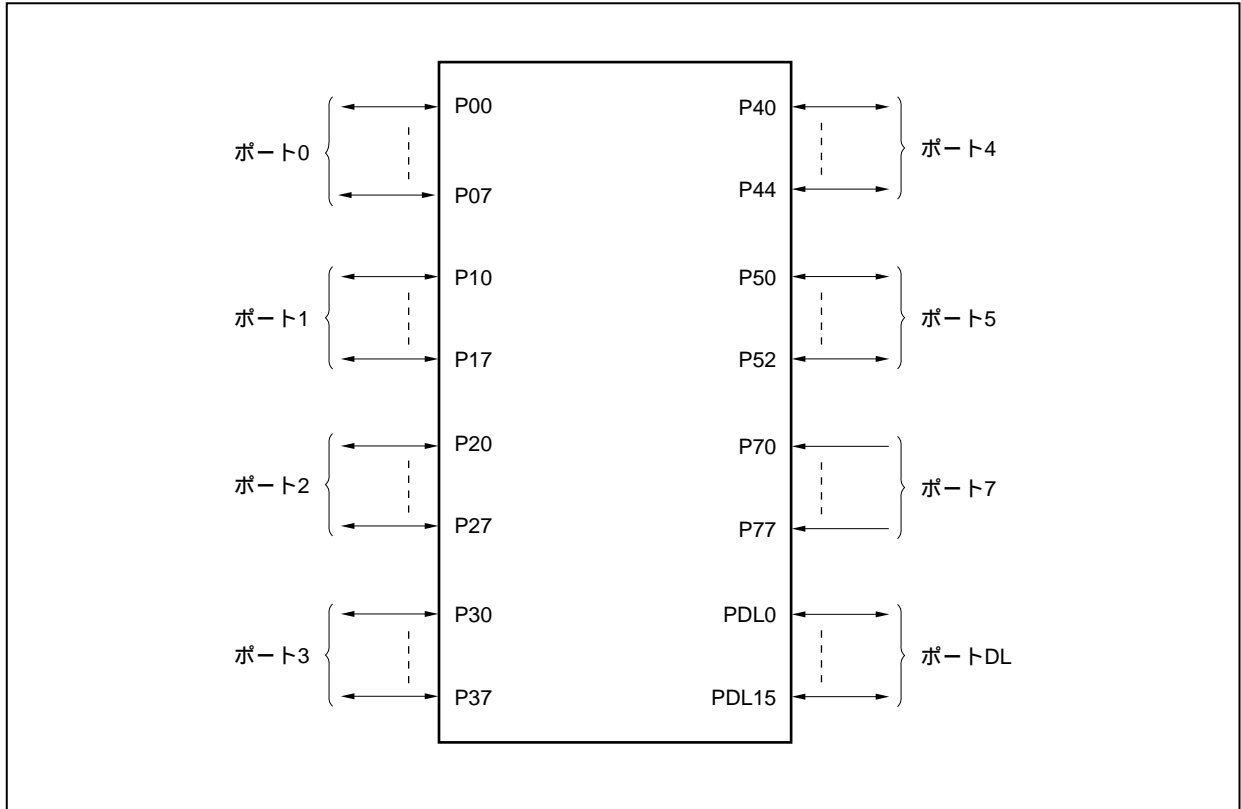


表4 - 2 各端子の入出力バッファ電源 (V850E/IA4)

電 源	対応する端子
AV _{DD}	P70-P77
EV _{DD}	P00-P07, P10-P17, P20-P27, P30-P37, P40-P44, P50-P52, PDL0-PDL15, RESET, DCK ^注 , DMS ^注 , DDI ^注 , DDO ^注 , DRST ^注

注 μ PD70F3186 (V850E/IA4) のみ

4.3 ポートの構成

表4 - 3 ポートの構成 (V850E/IA3)

項 目	構 成
制御レジスタ	ポートnレジスタ (Pn : n = 0, 1, 3, 4, 7, DL) ポートnモード・レジスタ (PMn : n = 0, 1, 3, 4, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0, 1, 3, 4, 7) ポートnファンクション・コントロール・レジスタ (PFCn : n = 1, 3, 4) ポート1ファンクション・コントロール拡張レジスタ (PFCE1) プルアップ抵抗オプション・レジスタ (PUn : n = 0, 1, 3, 4, DL)
ポート	入力専用 : 6本, 入出力 : 44本
プルアップ抵抗	ソフトウェア制御 : 44本

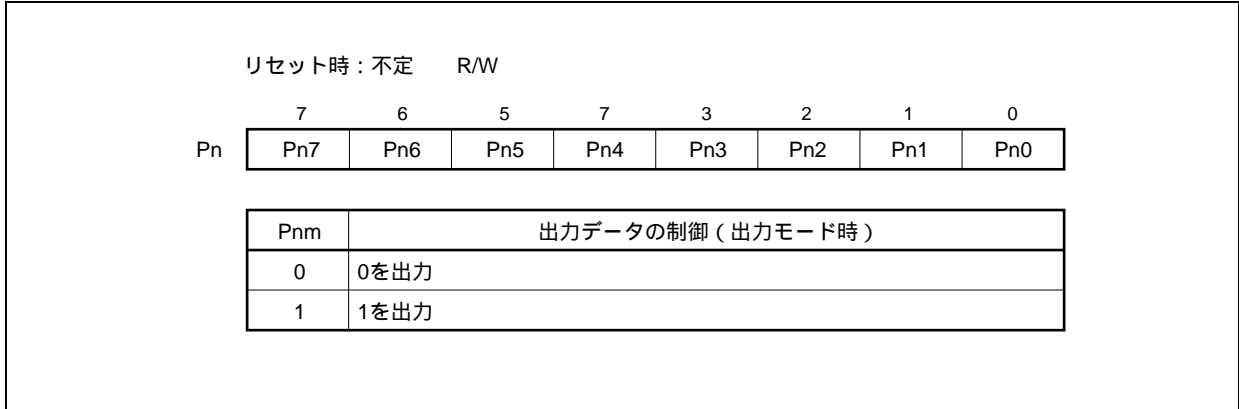
表4 - 4 ポートの構成 (V850E/IA4)

項 目	構 成
制御レジスタ	ポートnレジスタ (Pn : n = 0-5, 7, DL) ポートnモード・レジスタ (PMn : n = 0-5, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0-5, 7) ポートnファンクション・コントロール・レジスタ (PFCn : n = 1, 3-5) ポート1ファンクション・コントロール拡張レジスタ (PFCE1) プルアップ抵抗オプション・レジスタ (PUn : n = 0-5, DL)
ポート	入力専用 : 8本, 入出力 : 56本
プルアップ抵抗	ソフトウェア制御 : 56本

(1) ポートnレジスタ (Pn)

外部とのデータ入出力は、Pnレジスタへの書き込み、および読み出しによって行います。Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位でリード/ライト可能です。



PMcnレジスタの設定によらず、Pnレジスタへの書き込みや読み出しは次のようになります。

表4 - 5 Pnレジスタへの書き込み / 読み出しについて

PMnレジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
出力モード (PMnm = 0)	出力ラッチに対して書き込みます ^{注1} 。 ポート・モード (PMcn = 0) の場合、出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します ^{注2} 。
入力モード (PMnm = 1)	出力ラッチに対して書き込みます。 端子の状態には影響ありません ^{注1} 。	端子状態を読み出します ^{注3} 。

- 注1. 出力ラッチに書き込まれた値は、再度出力ラッチに値を書き込まれるまで保持されます。
2. 兼用機能時に、PMnレジスタが出力モードの場合もPnレジスタの値を読み出します。
3. 兼用機能時に、PMnレジスタが入力モードの場合、兼用機能が入力か出力かにかかわらず、そのときの端子状態を読み出します。

(2) ポートnモード・レジスタ (PMn)

ポートの入力モード/出力モードを指定します。

PMnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: FFH R/W								
	7	6	5	4	3	2	1	0
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
PMnm	入出力モードの制御							
0	出力モード							
1	入力モード							

(3) ポートnモード・コントロール・レジスタ (PMcn)

ポート・モード/兼用機能を指定します。

PMcnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: 00H R/W								
	7	6	5	4	3	2	1	0
PMcn	PMcn7	PMcn6	PMcn5	PMcn4	PMcn3	PMcn2	PMcn1	PMcn0
PMcnm	動作モードの指定							
0	ポート・モード							
1	兼用機能							

(4) ポートnファンクション・コントロール・レジスタ (PFCn)

1本の端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCnm	兼用機能の指定
0	兼用機能1
1	兼用機能2

(5) ポートnファンクション・コントロール拡張レジスタ (PFCEn)

1本の端子に兼用機能が3つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCEnm	PFCnm	兼用機能の指定
0	0	兼用機能1
0	1	兼用機能2
1	0	兼用機能3
1	1	兼用機能4

(6) プルアップ抵抗オプション・レジスタ (PUn)

内蔵プルアップ抵抗の接続を指定するレジスタです。

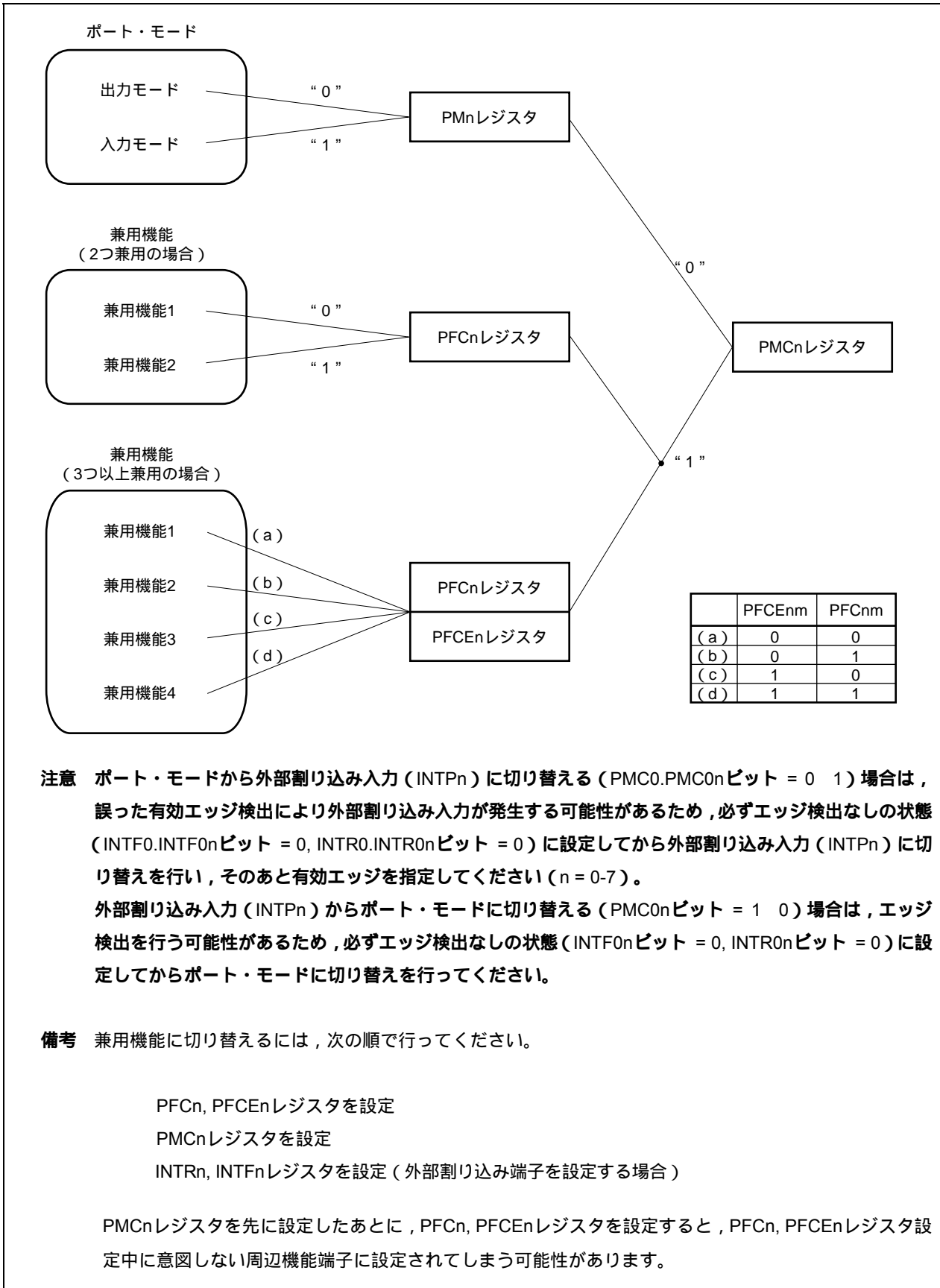
プルアップ抵抗オプション・レジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H		R/W						
	7	6	5	4	3	2	1	0
PUn	PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0
PUnm	内蔵プルアップ抵抗接続制御							
0	接続しない							
1	接続する							

(7) ポートの設定

ポートの設定は、次のように設定してください。

図4-3 各レジスタの設定と端子の機能



注意 ポート・モードから外部割り込み入力 (INTPn) に切り替える (PMC0.PMC0nビット = 0 1) 場合は、誤った有効エッジ検出により外部割り込み入力が発生する可能性があるため、必ずエッジ検出なしの状態 (INTF0.INTF0nビット = 0, INTR0.INTR0nビット = 0) に設定してから外部割り込み入力 (INTPn) に切り替えを行い、そのあと有効エッジを指定してください (n = 0-7)。

外部割り込み入力 (INTPn) からポート・モードに切り替える (PMC0nビット = 1 0) 場合は、エッジ検出を行う可能性があるため、必ずエッジ検出なしの状態 (INTF0nビット = 0, INTR0nビット = 0) に設定してからポート・モードに切り替えを行ってください。

備考 兼用機能に切り替えるには、次の順で行ってください。

PFCn, PFCEnレジスタを設定

PMCnレジスタを設定

INTRn, INTFnレジスタを設定 (外部割り込み端子を設定する場合)

PMCnレジスタを先に設定したあとに、PFCn, PFCEnレジスタを設定すると、PFCn, PFCEnレジスタ設定中に意図しない周辺機能端子に設定されてしまう可能性があります。

4.3.1 ポート0

ポート0は、1ビット単位で入出力を制御できます。

各製品間で入出力ポート数が異なります。

愛称	入出力ポート数
V850E/IA3	7ビット入出力ポート
V850E/IA4	8ビット入出力ポート

ポート0は、次に示す端子と兼用しています。

表4-6 ポート0の兼用端子

端子名	ピン番号			兼用端子名	入出力	プルアップ ^{注1}
	IA3		IA4			
	GC	GC	GF			
P00	18	22	50	INTP0/TOQ0OFF ^{注2}	入力	あり
P01 ^{注3}	-	23	51	INTP1 ^{注3} /TOQ1OFF ^{注2,3}	入力	
P02	19	24	52	INTP2/TOP2OFF ^{注2}	入力	
P03	20	25	53	INTP3/TOP3OFF ^{注2,3}	入力	
P04	21	26	54	INTP4/ADTRG0 ^{注2}	入力	
P05	22	27	55	INTP5/ADTRG1 ^{注2}	入力	
P06	23	28	56	INTP6	入力	
P07	24	29	57	INTP7	入力	

備考 IA3 : V850E/IA3

IA4 : V850E/IA4

GC (V850E/IA3) : 80ピン・プラスチックQFP (14×14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14×20)

注1. ソフトウェア・プルアップ機能

- TOQ0OFF, TOQ1OFF, TOP2OFF, TOP3OFF (V850E/IA4のみ), ADTRG0, ADTRG1信号は、ポートでノイズ除去(アナログ・ディレイ)されたあと、ハイ・インピーダンス出力制御回路(第10章 モータ制御機能参照), A/Dコンバータ0, 1(第12章 A/Dコンバータ0, 1参照)へ入力されます。さらにエッジ検出を行った信号がINTPn (V850E/IA3 : n = 0, 2-5, V850E/IA4 : n = 0-5)信号として割り込みコントローラ(INTC)へ入力されます。エッジ検出は、ハイ・インピーダンス出力制御回路, A/Dコンバータ0, 1でそれぞれ行います。
- V850E/IA4のみ

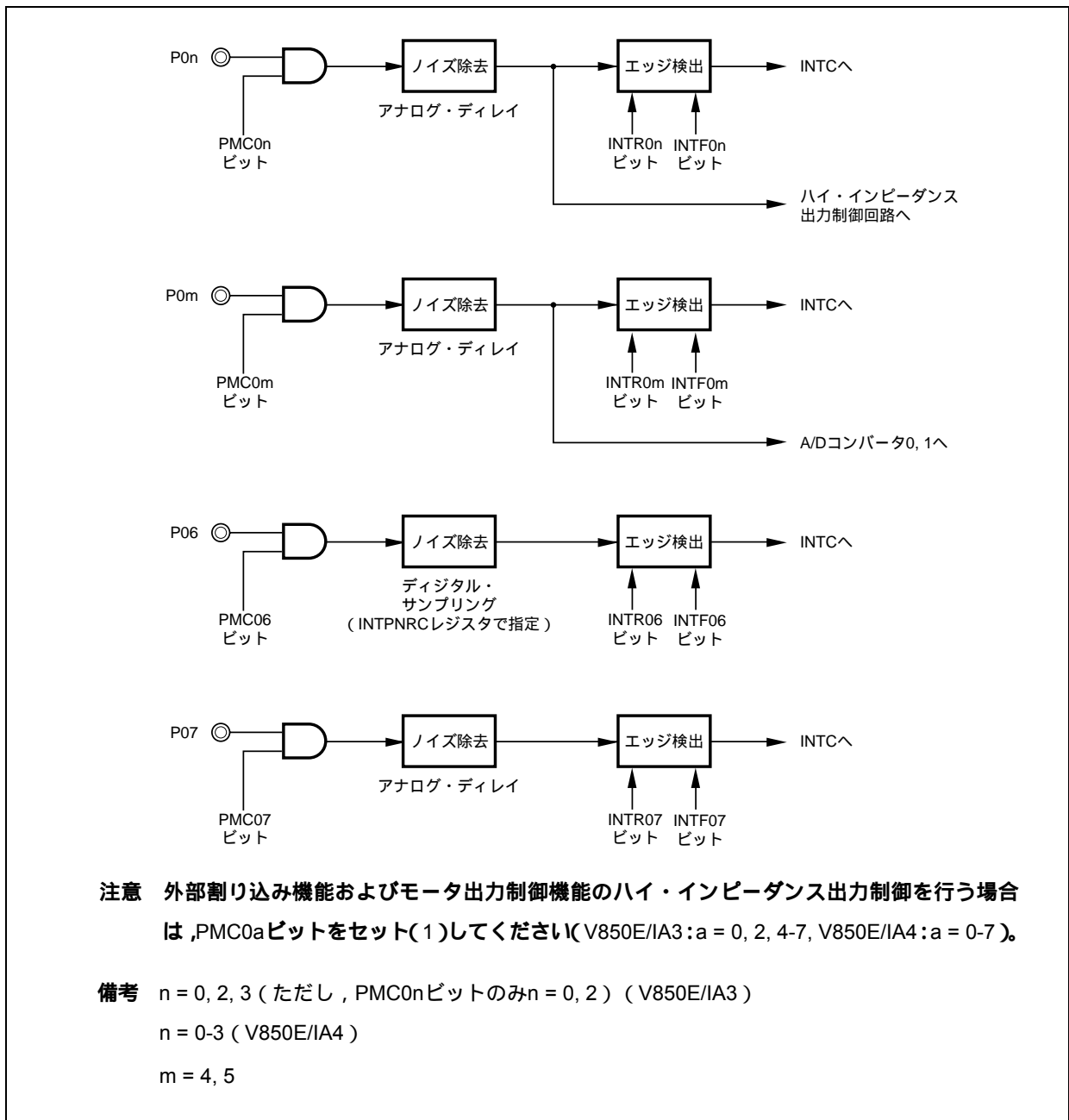
注意1. モータ制御用タイマのハイ・インピーダンス出力制御を行う場合は、誤った有効エッジ検出によりモータ制御用タイマ出力をハイ・インピーダンス状態にする可能性があるため、必ずPMC0.PMC0nビット = 1を設定してから、ハイ・インピーダンス出力制御回路のエッジ検出指定と動作許可を行ってください(V850E/IA3 : n = 0, 2, V850E/IA4 : n = 0-3)。

注意2. A/Dコンバータ0, 1でA/Dトリガ入力を行う場合は、誤った有効エッジ検出によりトリガ入力する可能性があるため、必ずPMC0.PMC0nビット = 1を設定してから、A/Dコンバータ0, 1のエッジ検出指定と動作許可を行ってください (n = 4, 5)。

3. ポート・モードから外部割り込み入力 (INTPn) に切り替える (PMC0.PMC0nビット = 0 1) 場合は、誤った有効エッジ検出により外部割り込み入力が発生する可能性があるため、必ずエッジ検出なしの状態 (INTF0n.INTF0nビット = 0, INTR0n.INTR0nビット = 0) に設定してから外部割り込み入力 (INTPn) に切り替えを行い、そのあと有効エッジを指定してください (n = 0-7)。

外部割り込み入力 (INTPn) からポート・モードに切り替える (PMC0nビット = 1 0) 場合は、エッジ検出を行う可能性があるため、必ずエッジ検出なしの状態 (INTF0nビット = 0, INTR0nビット = 0) に設定してからポート・モードに切り替えを行ってください。

また、ポート0にはノイズ除去機能が内蔵されています。



注意 外部割り込み機能およびモータ出力制御機能のハイ・インピーダンス出力制御を行う場合は、PMC0aビットをセット(1)してください (V850E/IA3 : a = 0, 2, 4-7, V850E/IA4 : a = 0-7)。

備考 n = 0, 2, 3 (ただし、PMC0nビットのみn = 0, 2) (V850E/IA3)

n = 0-3 (V850E/IA4)

m = 4, 5

(1) レジスタ

(a) ポート0レジスタ (P0)

リセット時：不定 R/W アドレス：FFFFFF400H

	7	6	5	4	3	2	1	0
P0	P07	P06	P05	P04	P03	P02	P01 ^注	P00

P0n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

注 V850E/IA4のみ有効です。
V850E/IA3では、リード時は不定です。

備考 V850E/IA3 : n = 0, 2-7
V850E/IA4 : n = 0-7

(b) ポート0モード・レジスタ (PM0)

リセット時：FFH R/W アドレス：FFFFFF420H

	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01 ^注	PM00

PM0n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

注 V850E/IA4のみ有効です。
V850E/IA3では必ず1を設定してください。

備考 V850E/IA3 : n = 0, 2-7
V850E/IA4 : n = 0-7

(c) ポート0モード・コントロール・レジスタ (PMC0)

リセット時：00H R/W アドレス：FFFFFF440H

	7	6	5	4	3	2	1	0
PMC0	PMC07	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01 ^{注1}	PMC00
	P07端子の動作モードの指定							
	0	入出力ポート						
	1	INTP7入力						
	P06端子の動作モードの指定							
	0	入出力ポート						
	1	INTP6入力						
	P05端子の動作モードの指定							
	0	入出力ポート						
	1	INTP5入力 / ADTRG1入力						
	P04端子の動作モードの指定							
	0	入出力ポート						
	1	INTP4入力 / ADTRG0入力						
	P03端子の動作モードの指定							
	0	入出力ポート						
	1	INTP3入力 / TOP3OFF ^{注2} 入力						
	P02端子の動作モードの指定							
	0	入出力ポート						
	1	INTP2入力 / TOP2OFF入力						
	P01端子の動作モードの指定							
	0	入出力ポート						
	1	INTP1入力 / TOQ1OFF入力						
	P00端子の動作モードの指定							
	0	入出力ポート						
	1	INTP0入力 / TOQ0OFF入力						

注1. V850E/IA4のみ有効です。

V850E/IA3では必ず0を設定してください。

2. V850E/IA4のみ

(d) プルアップ抵抗オプション・レジスタ0 (PU0)

リセット時：00H R/W アドレス：FFFFFFC40H

	7	6	5	4	3	2	1	0
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01 ^{注1}	PU00

PU0n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する ^{注2}

注1. V850E/IA4のみ有効です。

V850E/IA3では必ず0を設定してください。

2. 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能の場合のみです。端子が出力状態のときは接続できません。

備考 V850E/IA3 : n = 0, 2-7

V850E/IA4 : n = 0-7

(2) ブロック図

図4-4 P00-P05, P07端子のブロック図

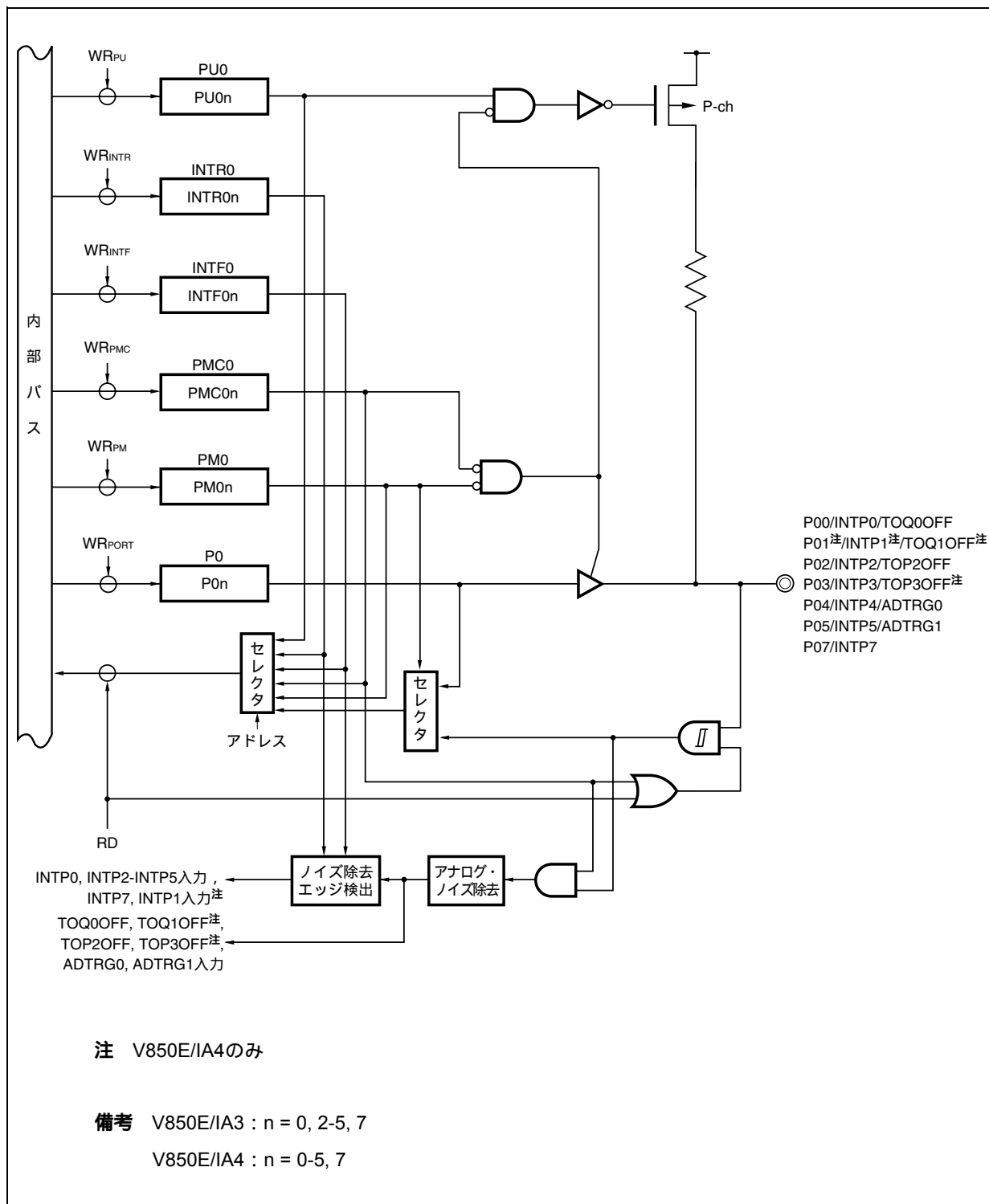
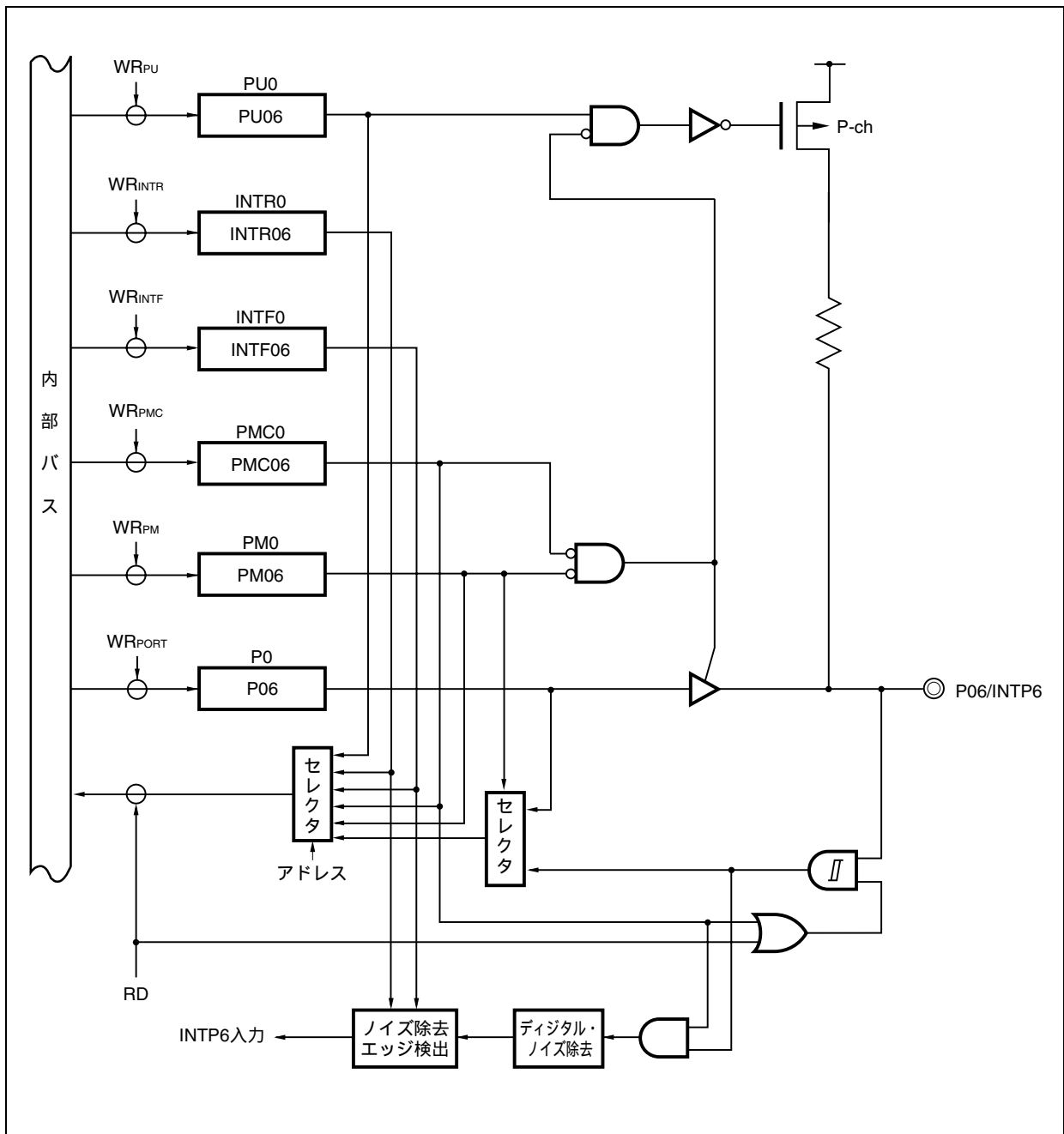


図4 - 5 P06端子のブロック図



4.3.2 ポート1

ポート1は、1ビット単位で入出力を制御できます。

ポート1は、次に示す端子と兼用しています。

表4-7 ポート1の兼用端子

端子名	ピン番号			兼用端子名	入出力	プルアップ ^{注1}
	IA3		IA4			
	GC	GC	GF			
P10	70	88	16	TOQ0T1/TIQ01/TOQ01	入出力	あり
P11	71	89	17	TOQ0B1/TIQ02/TOQ02	入出力	
P12	72	90	18	TOQ0T2/TIQ03/TOQ03	入出力	
P13	75	93	21	TOQ0B2/TIQ00	入出力	
P14	76	94	22	TOQ0T3/EVTQ0	入出力	
P15	77	95	23	TOQ0B3/TRGQ0	入出力	
P16	78	96	24	TOQ00/TIP20	入出力	
P17	79	97	25	TOP21/TIP21	入出力	

注 ソフトウェア・プルアップ機能

注意 P10-P15, P17をTOQ0T1-TOQ0T3, TOQ0B1-TOQ0B3, TOP21として使用している場合は、次の信号がアクティブになると出力停止状態になります。

- ・ハイ・インピーダンス出力制御回路からのハイ・インピーダンス設定信号出力
- ・クロック・モニタからのクロック停止検出信号出力

備考 IA3 : V850E/IA3

IA4 : V850E/IA4

GC (V850E/IA3) : 80ピン・プラスチックQFP (14×14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14×20)

(1) レジスタ

(a) ポート1レジスタ (P1)

リセット時：不定 R/W アドレス：FFFFFF402H

	7	6	5	4	3	2	1	0
P1	P17	P16	P15	P14	P13	P12	P11	P10

P1n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

備考 n = 0-7

(b) ポート1モード・レジスタ (PM1)

リセット時：FFH R/W アドレス：FFFFFF422H

	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

備考 n = 0-7

(c) ポート1モード・コントロール・レジスタ (PMC1)

リセット時：00H R/W アドレス：FFFFFF442H

	7	6	5	4	3	2	1	0
PMC1	PMC17	PMC16	PMC15	PMC14	PMC13	PMC12	PMC11	PMC10
	P17端子の動作モードの指定							
	0	入出力ポート						
	1	TOP21出力 / TIP21入力						
	P16端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ00出力 / TIP20入力						
	P15端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ0B3出力 / TRGQ0入力						
	P14端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ0T3出力 / EVTQ0入力						
	P13端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ0B2出力 / TIQ00入力						
	P12端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ0T2出力 / TIQ03入力 / TOQ03出力						
	P11端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ0B1出力 / TIQ02入力 / TOQ02出力						
	P10端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ0T1出力 / TIQ01入力 / TOQ01出力						

(d) ポート1ファンクション・コントロール・レジスタ (PFC1)

リセット時 : 00H R/W アドレス : FFFFF462H

	7	6	5	4	3	2	1	0
PFC1	PFC17	PFC16	PFC15	PFC14	PFC13	PFC12	PFC11	PFC10

備考 兼用機能の指定については、4.3.2(1)(f) **ポート1の兼用機能の設定**を参照してください。

(e) ポート1ファンクション・コントロール拡張レジスタ (PFCE1)

リセット時 : 00H R/W アドレス : FFFFF702H

	7	6	5	4	3	2	1	0
PFCE1	0	0	0	0	0	PFCE12	PFCE11	PFCE10

備考 兼用機能の指定については、4.3.2(1)(f) **ポート1の兼用機能の設定**を参照してください。

(f) ポート1の兼用機能の設定

PFC17	P17端子の兼用機能の指定
0	TOP21出力
1	TIP21入力

PFC16	P16端子の兼用機能の指定
0	TOQ00出力
1	TIP20入力

PFC15	P15端子の兼用機能の指定
0	TOQ0B3出力
1	TRGQ0入力

PFC14	P14端子の兼用機能の指定
0	TOQ0T3出力
1	EVTQ0入力

PFC13	P13端子の兼用機能の指定
0	TOQ0B2出力
1	TIQ00入力

PFCE12	PFC12	P12端子の兼用機能の指定
0	0	TOQ0T2出力
0	1	TIQ03入力
1	0	TOQ03出力
1	1	設定禁止

PFCE11	PFC11	P11端子の兼用機能の指定
0	0	TOQ0B1出力
0	1	TIQ02入力
1	0	TOQ02出力
1	1	設定禁止

PFCE10	PFC10	P10端子の兼用機能の指定
0	0	TOQ0T1出力
0	1	TIQ01入力
1	0	TOQ01出力
1	1	設定禁止

(g) プルアップ抵抗オプション・レジスタ1 (PU1)

リセット時：00H R/W アドレス：FFFFFFC42H

	7	6	5	4	3	2	1	0
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10

PU1n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する ^注

注 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合、および兼用機能時に出力端子であるTOQ0T1-TOQ0T3, TOQ0B1-TOQ0B3, TOP21端子がTOQ0OFF, TOP2OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合のみです。端子が出力状態のときは接続できません。

備考 n = 0-7

(2) ブロック図

図4 - 6 P10-P12端子のブロック図

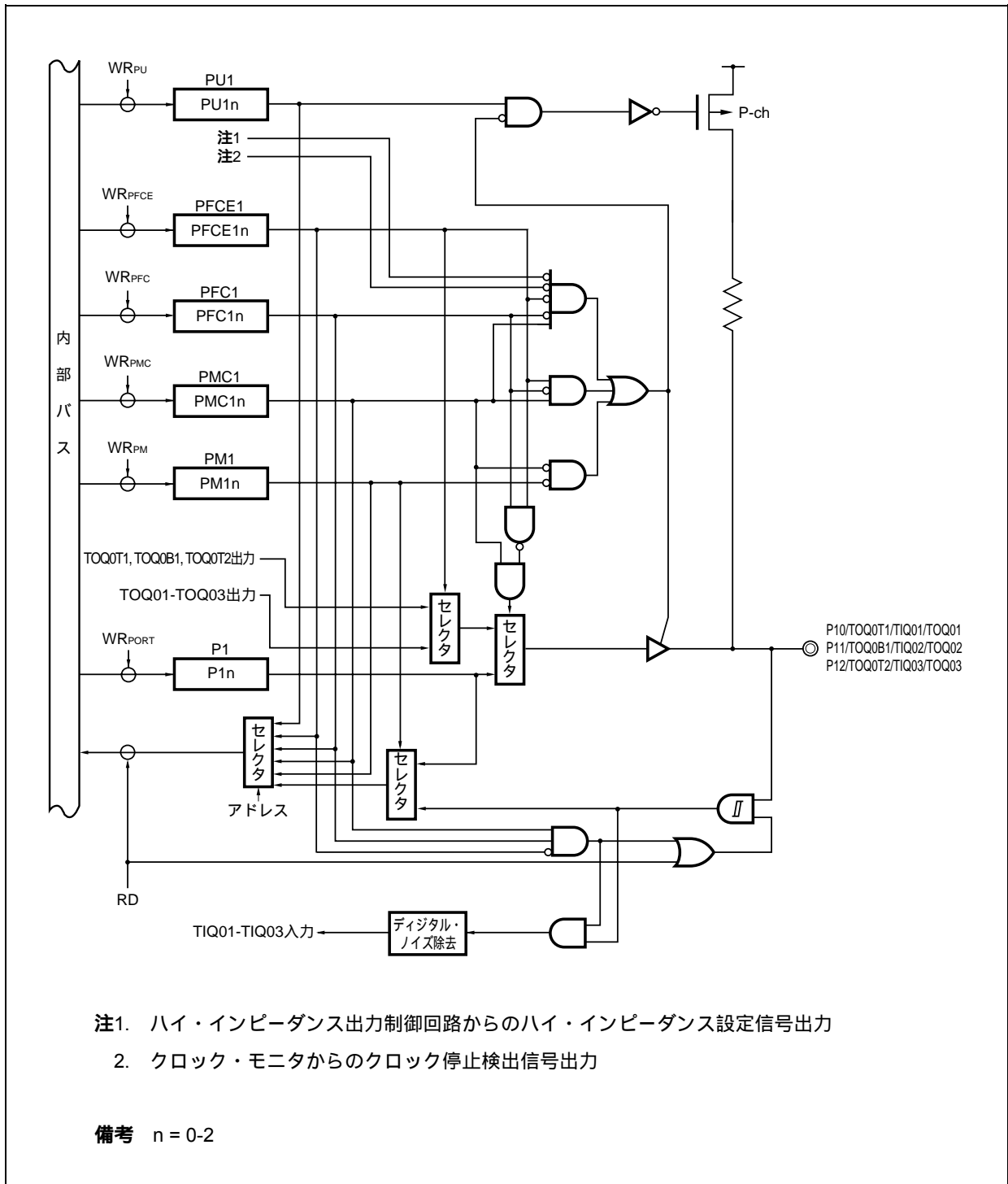


図4-7 P13-P15, P17端子のブロック図

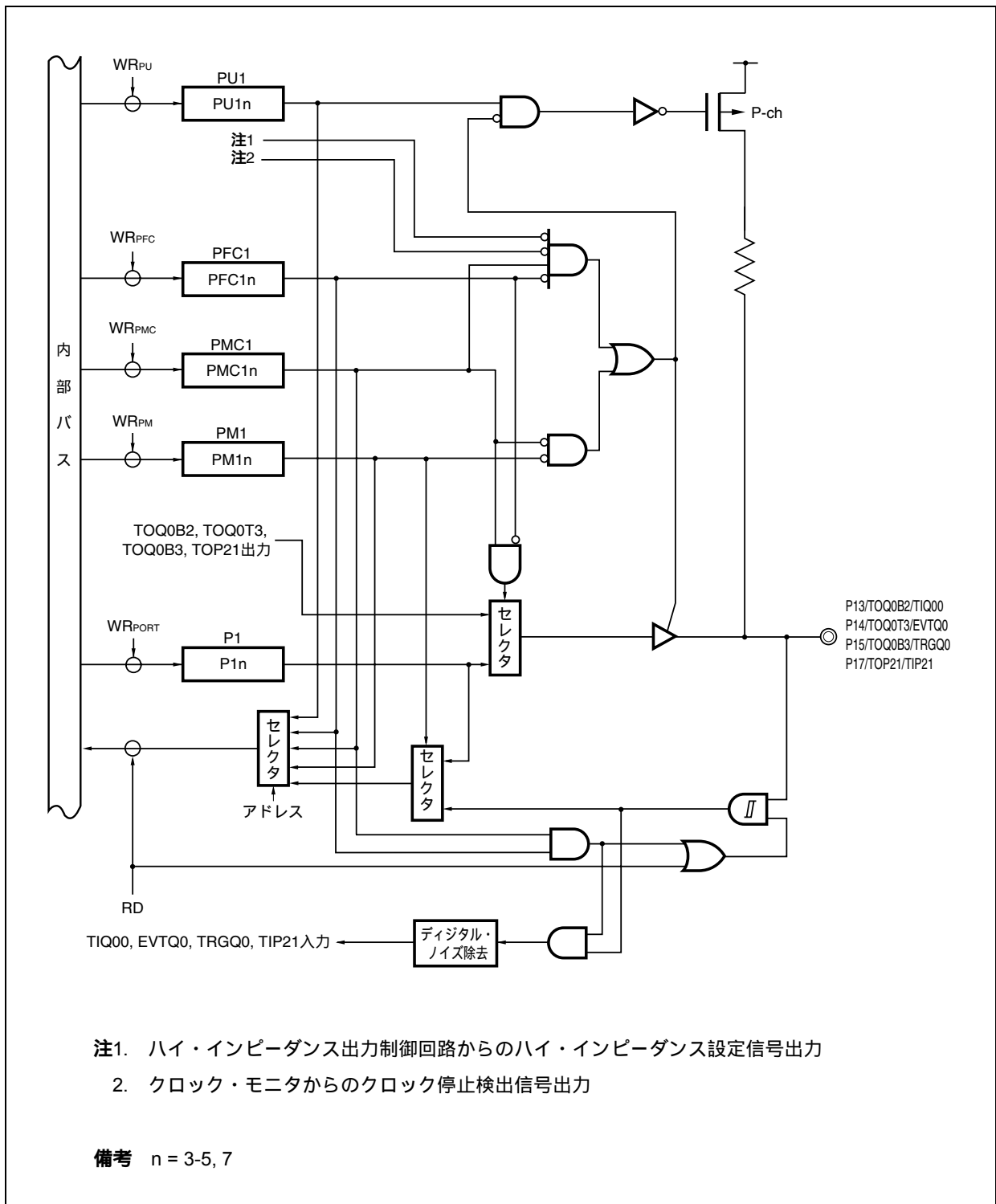
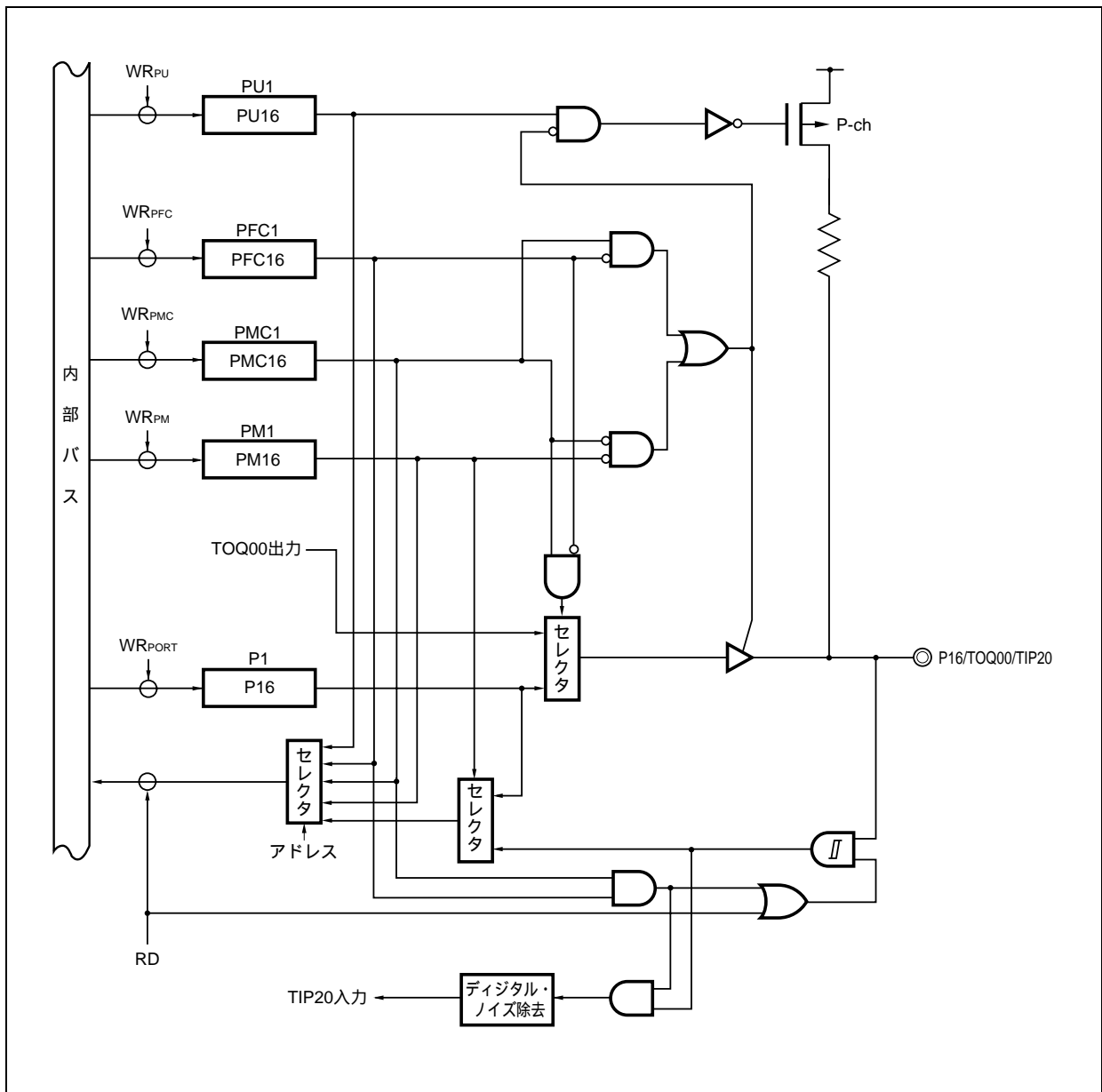


図4 - 8 P16端子のブロック図



4.3.3 ポート2 (V850E/IA4のみ)

ポート2は、1ビット単位で入出力を制御できます。

ポート2は、次に示す端子と兼用しています。

表4 - 8 ポート2の兼用端子

端子名	ピン番号		兼用端子名	入出力	プルアップ ^{注1}
	GC	GF			
P20	35	63	TOQ1T1	出力	あり
P21	36	64	TOQ1B1	出力	
P22	37	65	TOQ1T2	出力	
P23	40	68	TOQ1B2	出力	
P24	41	69	TOQ1T3	出力	
P25	42	70	TOQ1B3	出力	
P26	60	88	TOQ10	出力	
P27	61	89	TOP31	出力	

注 ソフトウェア・プルアップ機能

注意 P20-P25, P27をTOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3, TOP31として使用している場合は、次の信号がアクティブになると出力停止状態になります。

- ・ハイ・インピーダンス出力制御回路からのハイ・インピーダンス設定信号出力
- ・クロック・モニタからのクロック停止検出信号出力

備考 GC : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF : 100ピン・プラスチックQFP (14×20)

(1) レジスタ

(a) ポート2レジスタ (P2)

リセット時：不定 R/W アドレス：FFFFFF404H

	7	6	5	4	3	2	1	0
P2	P27	P26	P25	P24	P23	P22	P21	P20

P2n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

備考 n = 0-7

(b) ポート2モード・レジスタ (PM2)

リセット時：FFH R/W アドレス：FFFFFF424H

	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

備考 n = 0-7

(c) ポート2モード・コントロール・レジスタ (PMC2)

リセット時：00H R/W アドレス：FFFFFF444H

	7	6	5	4	3	2	1	0
PMC2	PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20
	P27端子の動作モードの指定							
	0	入出力ポート						
	1	TOP31出力						
	P26端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ10出力						
	P25端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ1B3出力						
	P24端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ1T3出力						
	P23端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ1B2出力						
	P22端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ1T2出力						
	P21端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ1B1出力						
	P20端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ1T1出力						

(d) プルアップ抵抗オプション・レジスタ2 (PU2)

リセット時：00H R/W アドレス：FFFFFFC44H

	7	6	5	4	3	2	1	0
PU2	PU27	PU26	PU25	PU24	PU23	PU22	PU21	PU20

PU2n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する ^注

注 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合、および兼用機能時に出力端子であるTOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3, TOP31端子がTOQ1OFF, TOP3OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合のみです。端子が出力状態のときは接続できません。

備考 n = 0-7

(2) ブロック図

図4 - 9 P20-P25, P27端子のブロック図

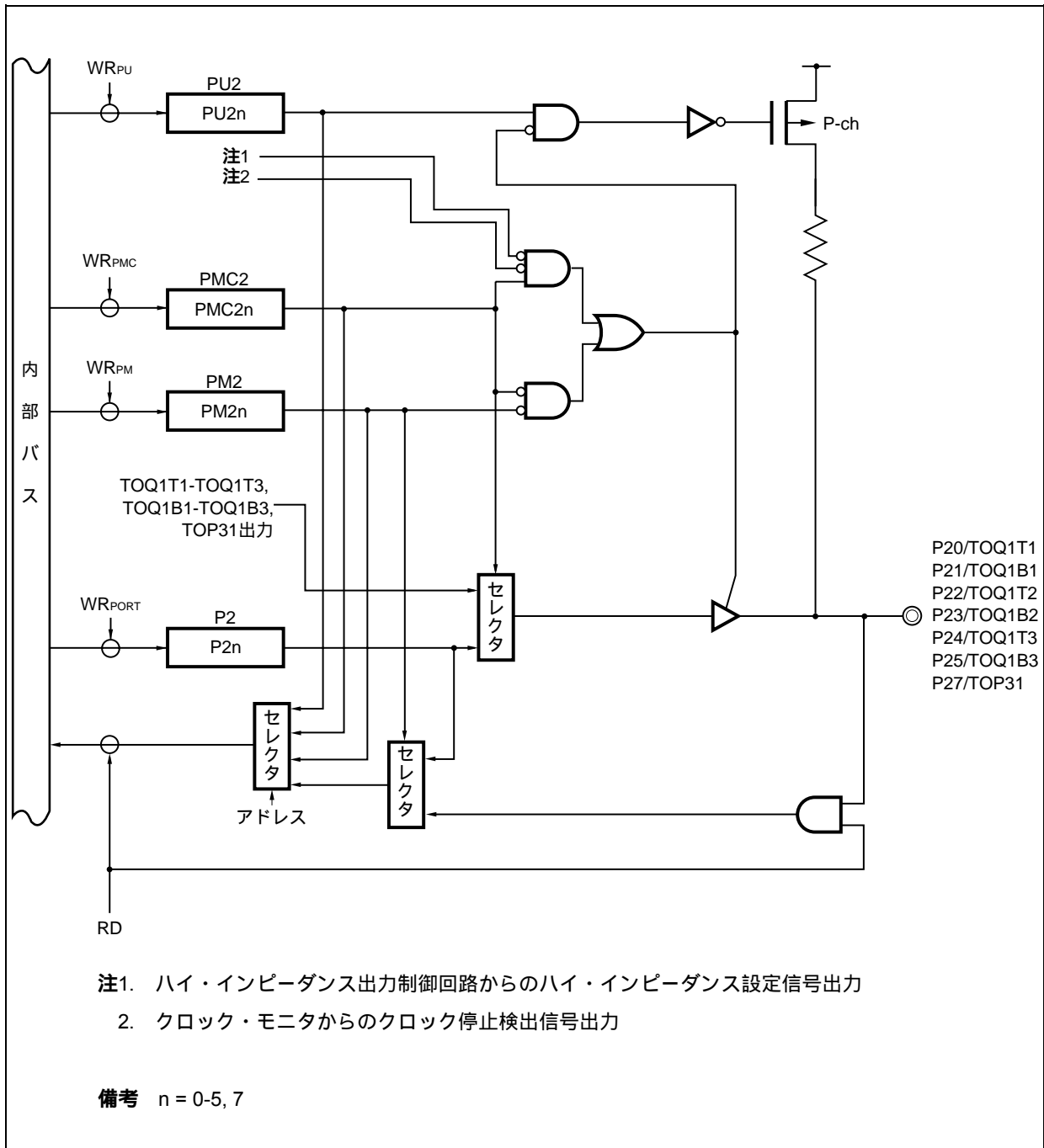
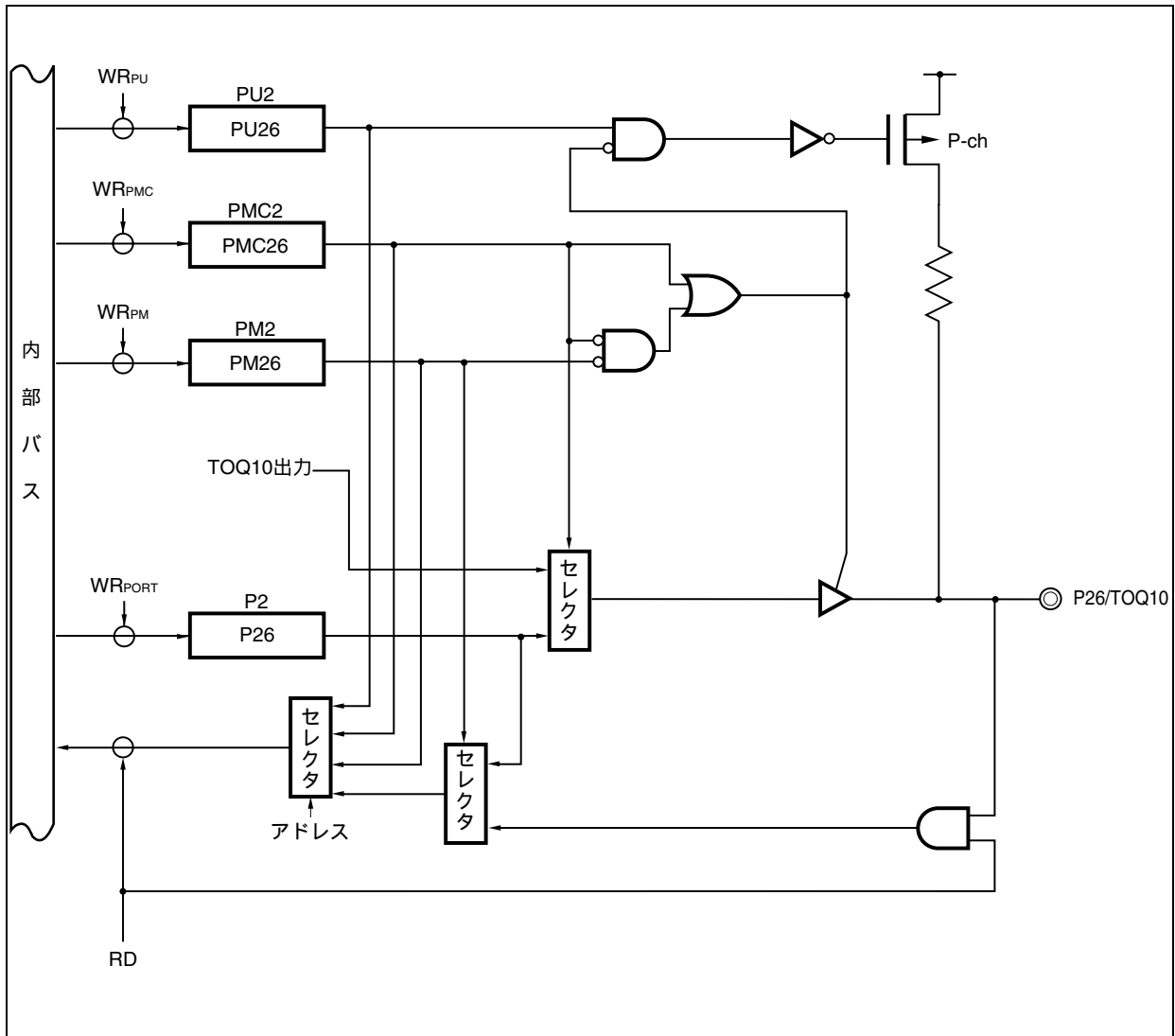


図4 - 10 P26端子のブロック図



4.3.4 ポート3

ポート3は、1ビット単位で入出力を制御できます。

ポート3は、次に示す端子と兼用しています。

表4 - 9 ポート3の兼用端子

端子名	ピン番号			兼用端子名	入出力	プルアップ ^{注1}
	IA3		IA4			
	GC	GC	GF			
P30	41	52	80	RXDA0	入力	あり
P31	42	53	81	TXDA0	出力	
P32	43	54	82	SIB1/RXDA1	入力	
P33	44	55	83	SOB1/TXDA1	出力	
P34	45	56	84	SCKB1	入出力	
P35	46	57	85	TIUD10/TO10	入出力	
P36	47	58	86	TCUD10	入力	
P37	48	59	87	TCLR10	入力	

注 ソフトウェア・プルアップ機能

備考 IA3 : V850E/IA3

IA4 : V850E/IA4

GC (V850E/IA3) : 80ピン・プラスチックQFP (14×14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14×20)

(1) レジスタ

(a) ポート3レジスタ (P3)

リセット時：不定 R/W アドレス：FFFFFF406H

	7	6	5	4	3	2	1	0
P3	P37	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

備考 n = 0-7

(b) ポート3モード・レジスタ (PM3)

リセット時：FFH R/W アドレス：FFFFFF426H

	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

備考 n = 0-7

(c) ポート3モード・コントロール・レジスタ (PMC3)

リセット時：00H R/W アドレス：FFFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
	P37端子の動作モードの指定							
	0	入出力ポート						
	1	TCLR10入力						
	P36端子の動作モードの指定							
	0	入出力ポート						
	1	TCUD10入力						
	P35端子の動作モードの指定							
	0	入出力ポート						
	1	TIUD10入力 / TO10出力						
	P34端子の動作モードの指定							
	0	入出力ポート						
	1	SCKB1入出力						
	P33端子の動作モードの指定							
	0	入出力ポート						
	1	SOB1出力 / TXDA1出力						
	P32端子の動作モードの指定							
	0	入出力ポート						
	1	SIB1入力 / RXDA1入力						
	P31端子の動作モードの指定							
	0	入出力ポート						
	1	TXDA0出力						
	P30端子の動作モードの指定							
	0	入出力ポート						
	1	RXDA0入力						

(d) ポート3ファンクション・コントロール・レジスタ (PFC3)

リセット時 : 00H R/W アドレス : FFFFF466H

	7	6	5	4	3	2	1	0
PFC3	0	0	PFC35	0	PFC33	PFC32	0	0

PFC35	P35端子の兼用機能の指定	
0	TIUD10入力	
1	TO10出力	

PFC33	P33端子の兼用機能の指定	
0	SOB1出力	
1	TXDA1出力	

PFC32	P32端子の兼用機能の指定	
0	SIB1入力	
1	RXDA1入力	

(e) プルアップ抵抗オプション・レジスタ3 (PU3)

リセット時 : 00H R/W アドレス : FFFFC46H

	7	6	5	4	3	2	1	0
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	内蔵プルアップ抵抗接続制御	
0	接続しない	
1	接続する ^注	

注 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合（ $\overline{\text{SCKB1}}$ 端子のスレーブ・モード時も含む）のみです。端子が出力状態のときは接続できません。

備考 n = 0-7

(2) ブロック図

図4 - 11 P30端子のブロック図

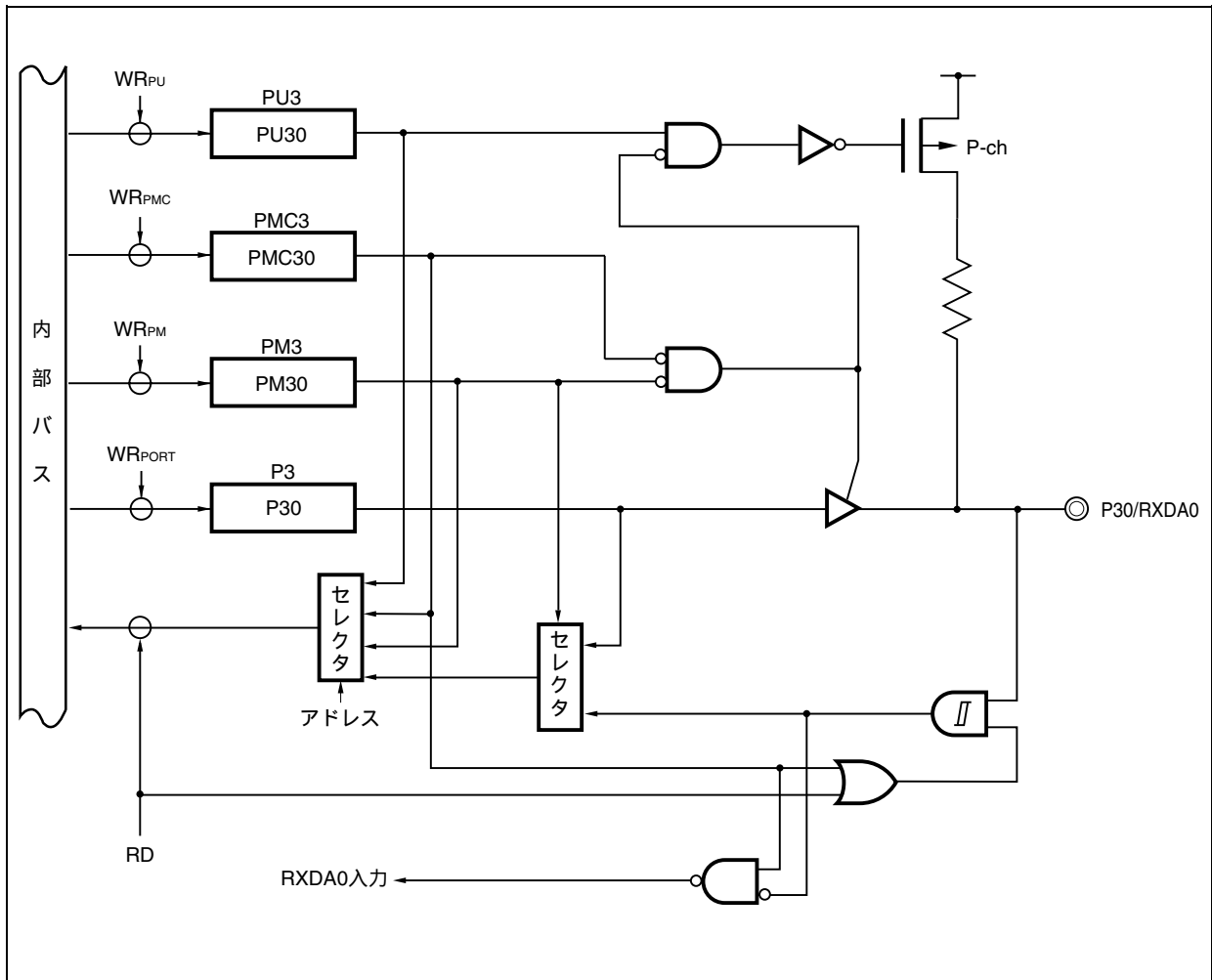


図4 - 12 P31端子のブロック図

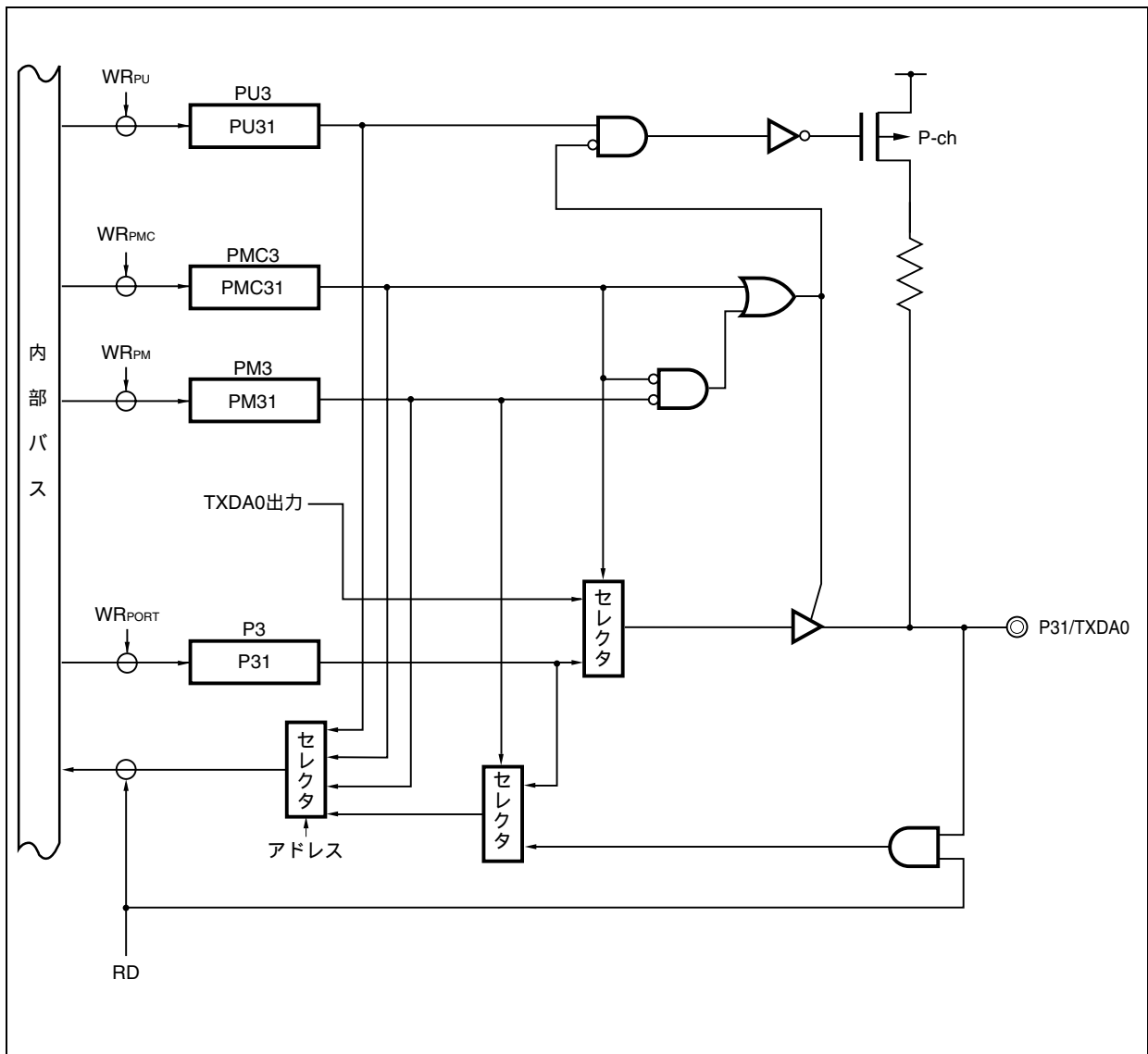


図4 - 13 P32端子のブロック図

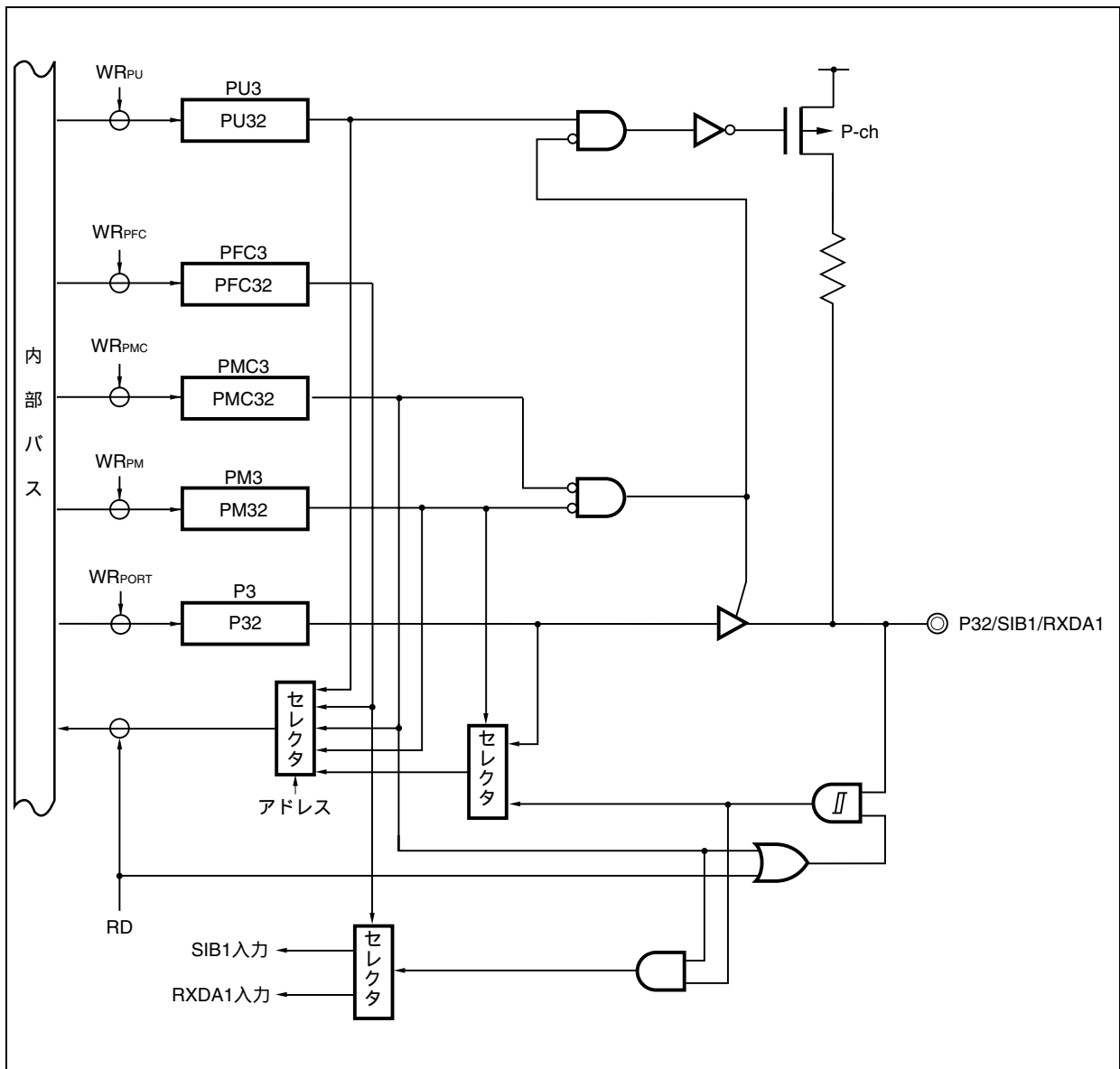


図4 - 14 P33端子のブロック図

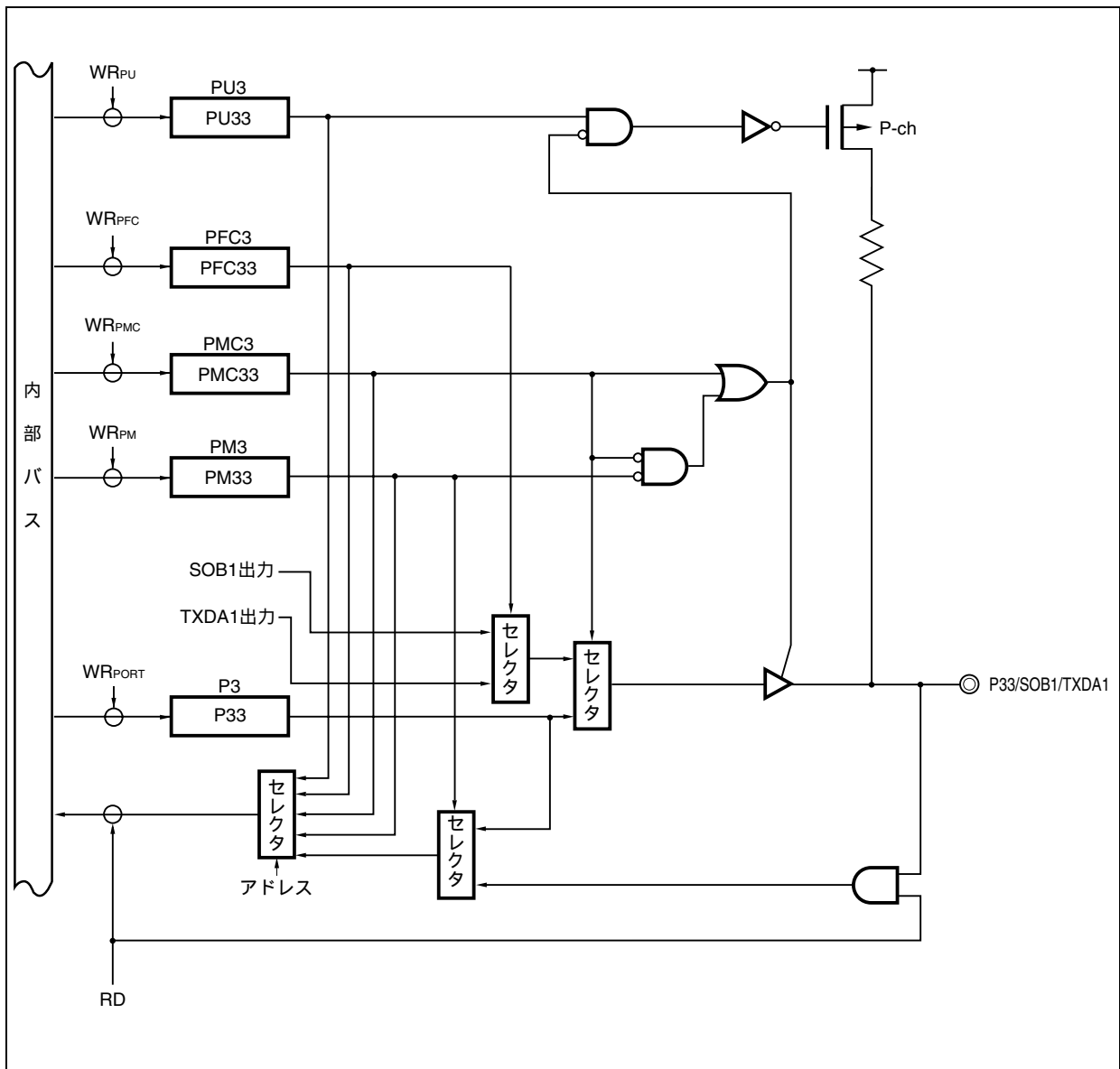


図4 - 15 P34端子のブロック図

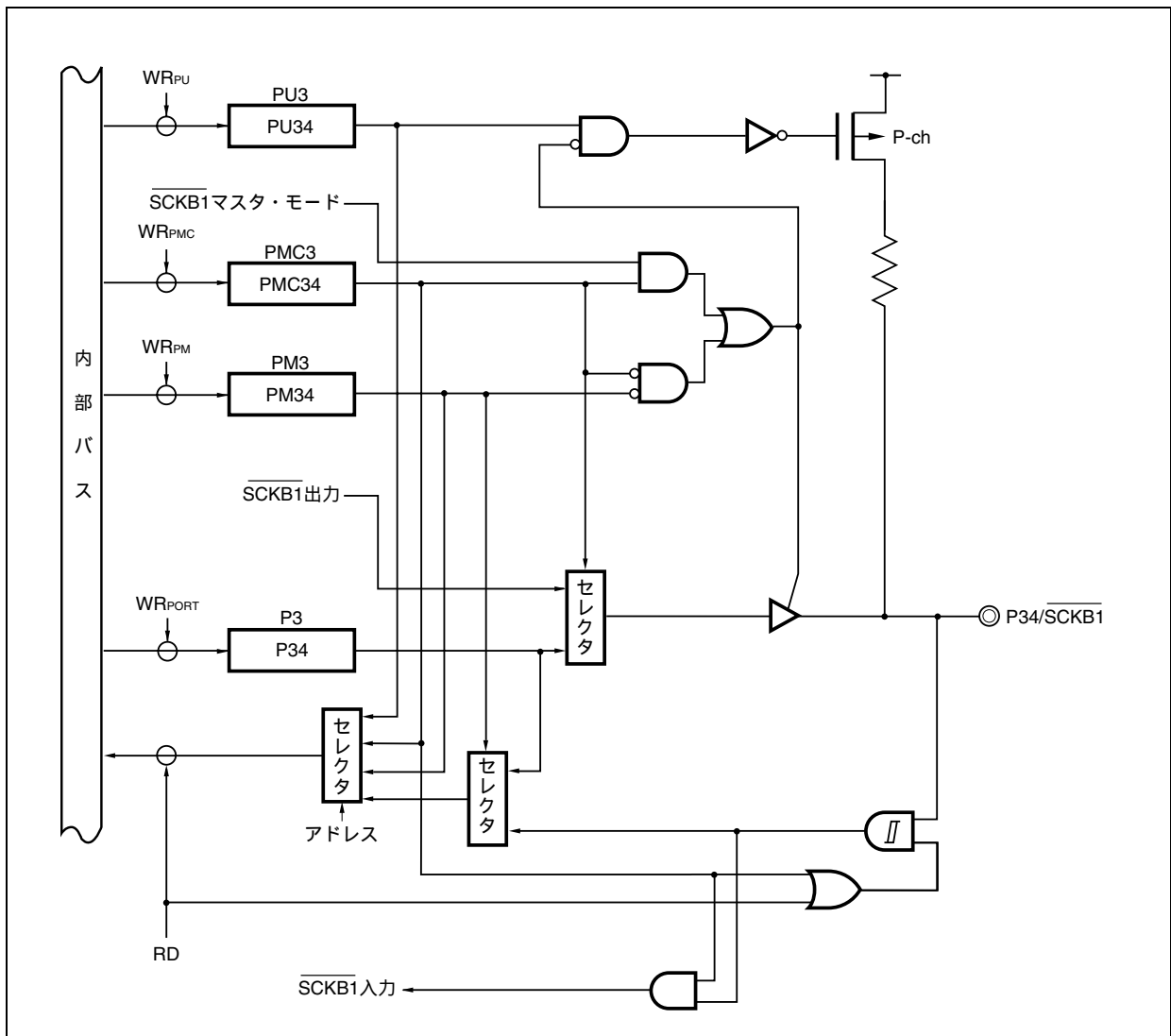


図4 - 16 P35端子のブロック図

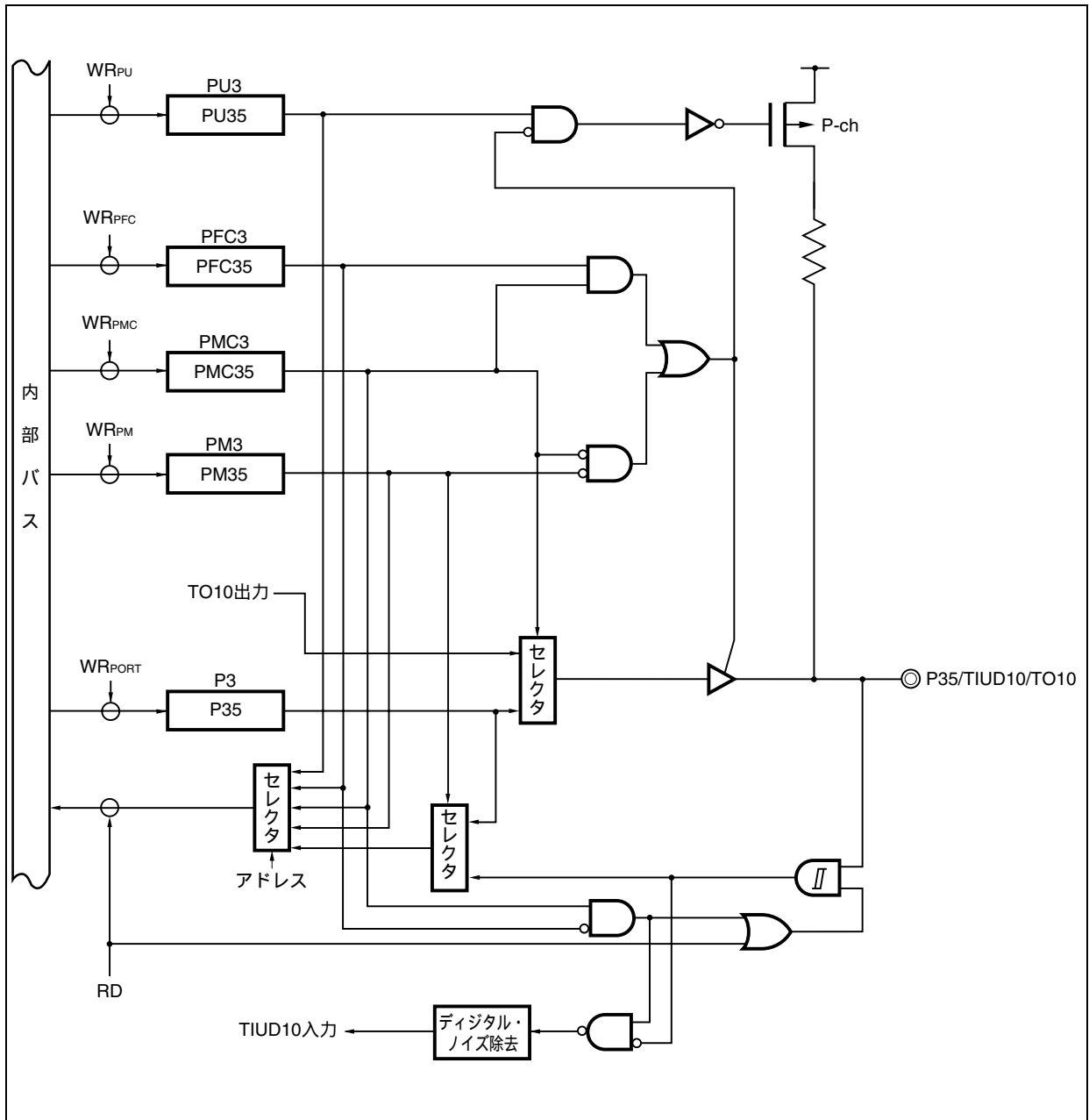
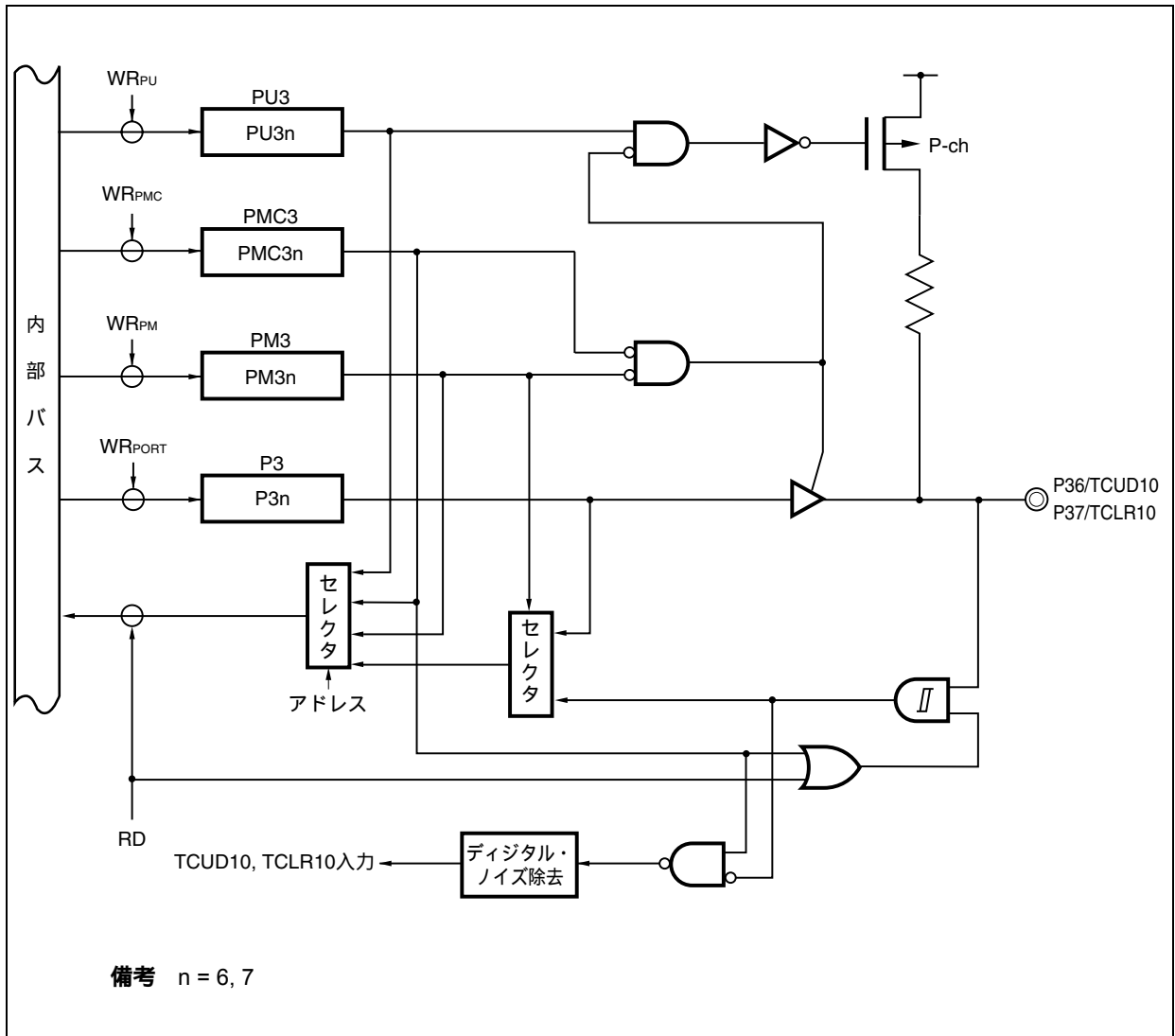


図4 - 17 P36, P37端子のブロック図



4.3.5 ポート4

ポート4は、1ビット単位で入出力を制御できます。

ポート4は、次に示す端子と兼用しています。

表4 - 10 ポート4の兼用端子

端子名	ピン番号			兼用端子名	入出力	プルアップ ^{注1}
	IA3	IA4				
	GC	GC	GF			
P40	27	32	60	SIB0	入力	あり
P41	28	33	61	SOB0	出力	
P42	29	34	62	SCKB0	入出力	
P43	37	48	76	TOP00/TIP00	入出力	
P44	38	49	77	TOP01/TIP01	入出力	

注 ソフトウェア・プルアップ機能

備考 IA3 : V850E/IA3

IA4 : V850E/IA4

GC (V850E/IA3) : 80ピン・プラスチックQFP (14×14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14×20)

(1) レジスタ

(a) ポート4レジスタ (P4)

リセット時 : 不定 R/W アドレス : FFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	0	P44	P43	P42	P41	P40

P4n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

備考 n = 0-4

(b) ポート4モード・レジスタ (PM4)

リセット時：FFH R/W アドレス：FFFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	1	1	PM44	PM43	PM42	PM41	PM40

PM4n	入出力モードの制御 (ポート・モード時)	
0	出力モード	
1	入力モード	

備考 n = 0-4

(c) ポート4モード・コントロール・レジスタ (PMC4)

リセット時：00H R/W アドレス：FFFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	PMC44	PMC43	PMC42	PMC41	PMC40

PMC44	P44端子の動作モードの指定	
0	入出力ポート	
1	TOP01出力 / TIP01入力	

PMC43	P43端子の動作モードの指定	
0	入出力ポート	
1	TOP00出力 / TIP00入力	

PMC42	P42端子の動作モードの指定	
0	入出力ポート	
1	SCKB0入出力	

PMC41	P41端子の動作モードの指定	
0	入出力ポート	
1	SOB0出力	

PMC40	P40端子の動作モードの指定	
0	入出力ポート	
1	SIB0入力	

(d) ポート4ファンクション・コントロール・レジスタ (PFC4)

リセット時 : 00H R/W アドレス : FFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	PFC44	PFC43	0	0	0

PFC44	P44端子の兼用機能の指定	
0	TOP01出力	
1	TIP01入力	

PFC43	P43端子の兼用機能の指定	
0	TOP00出力	
1	TIP00入力	

(e) プルアップ抵抗オプション・レジスタ4 (PU4)

リセット時 : 00H R/W アドレス : FFFFFC48H

	7	6	5	4	3	2	1	0
PU4	0	0	0	PU44	PU43	PU42	PU41	PU40

PU4n	内蔵プルアップ抵抗接続制御	
0	接続しない	
1	接続する注	

注 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合（SCKB0端子のスレーブ・モード時も含む）のみです。端子が出力状態のときは接続できません。

備考 n = 0-4

(2) ブロック図

図4 - 18 P40端子のブロック図

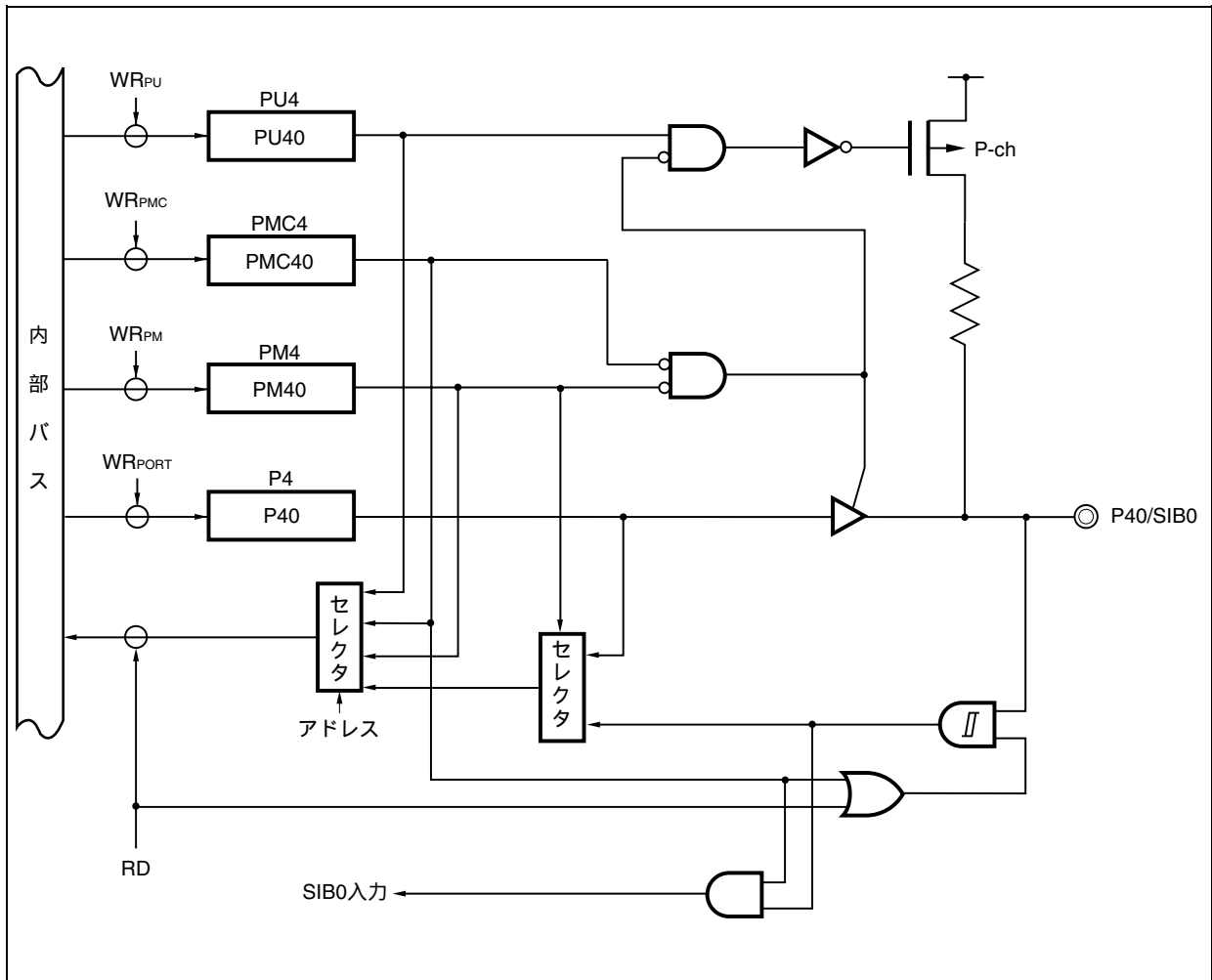


図4 - 19 P41端子のブロック図

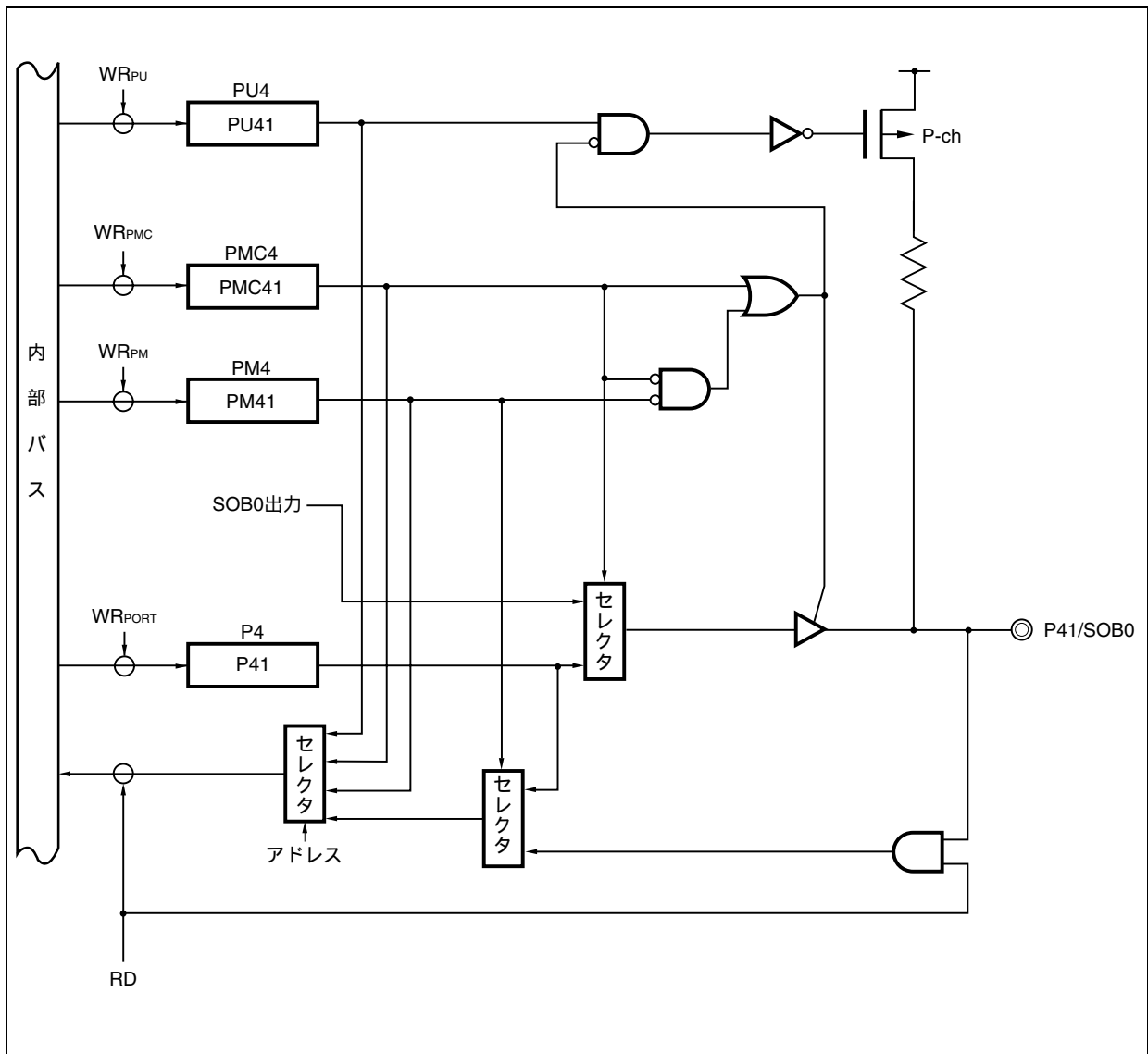


図4 - 20 P42端子のブロック図

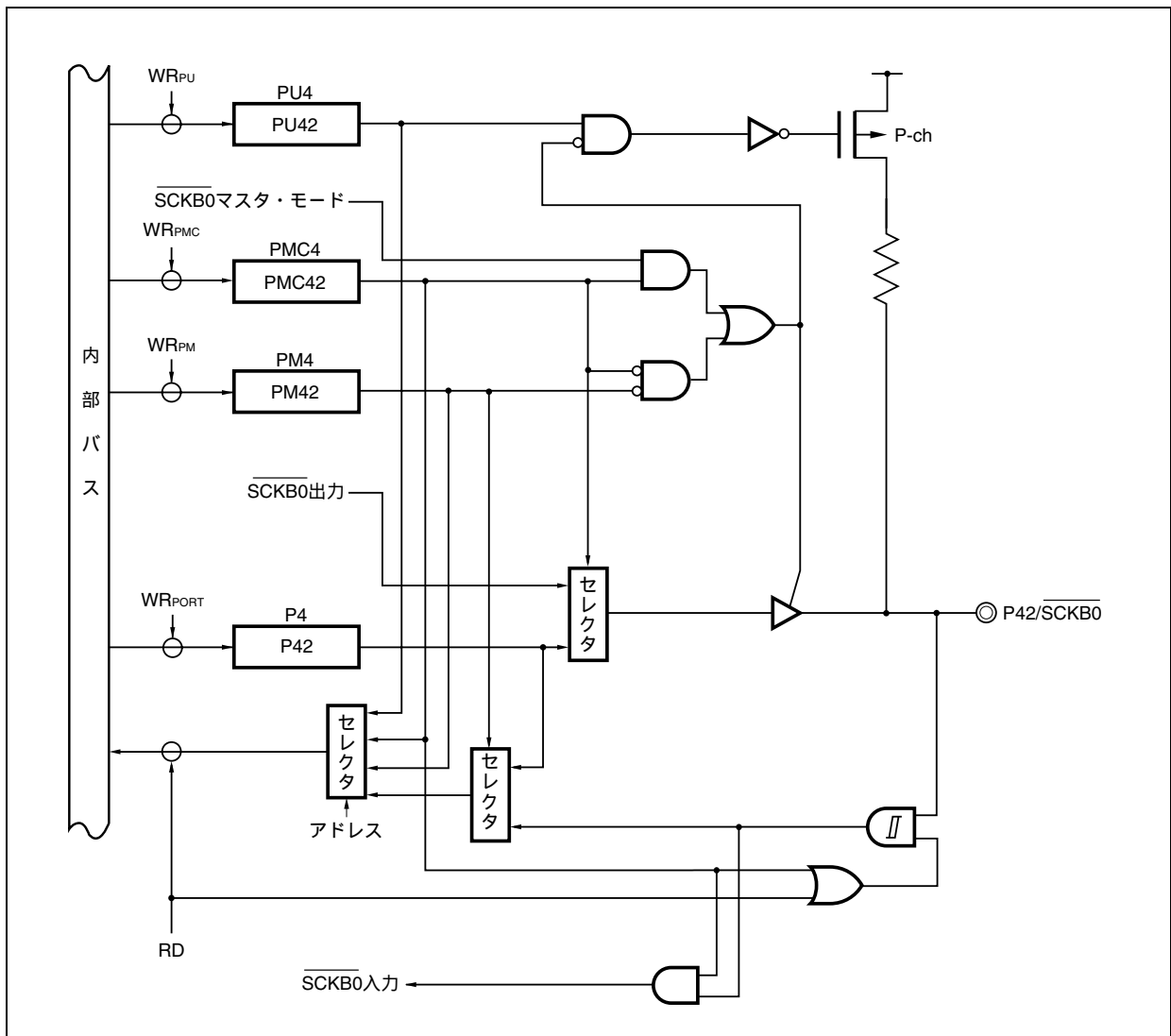
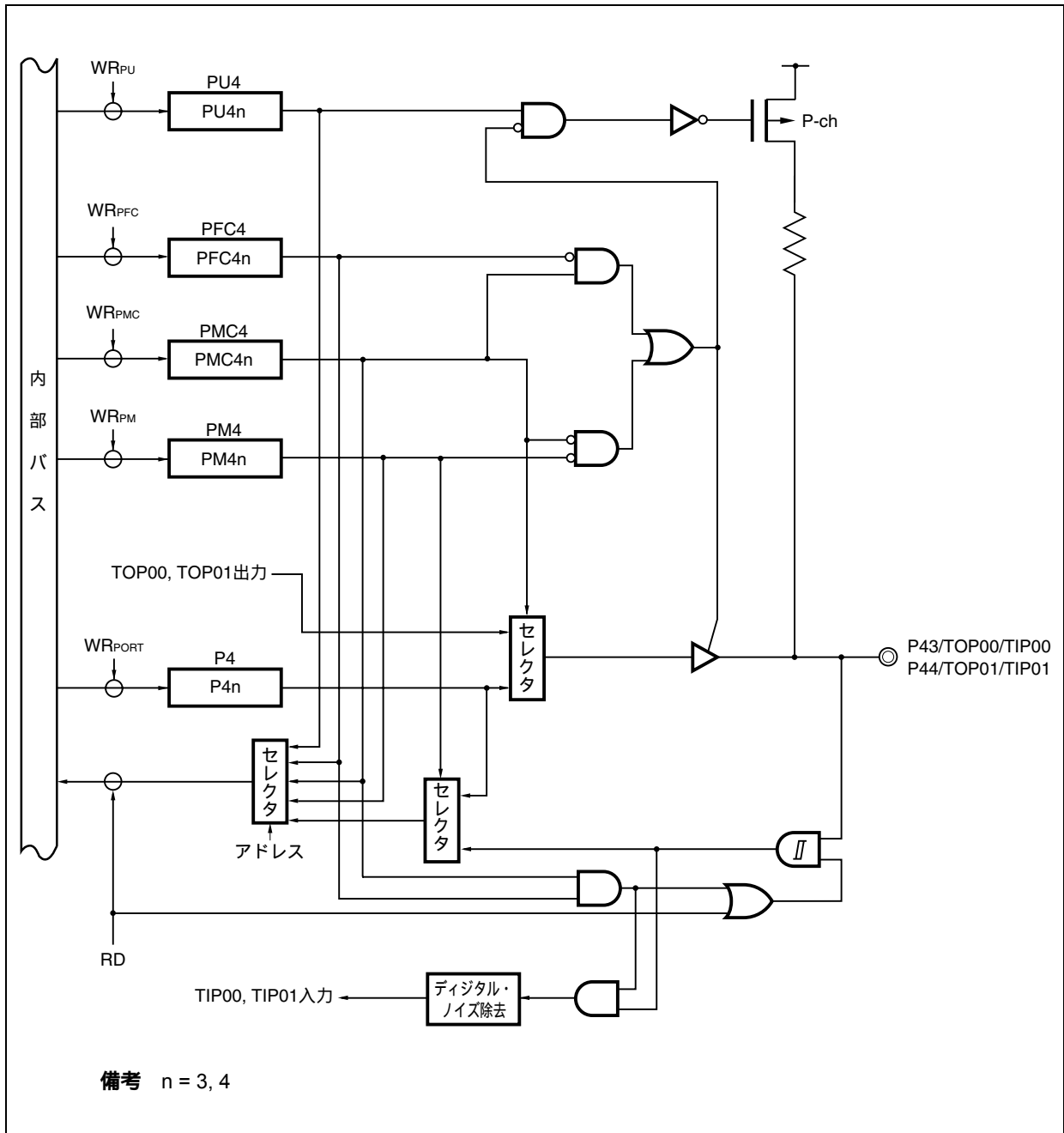


図4 - 21 P43, P44端子のブロック図



4.3.6 ポート5 (V850E/IA4のみ)

ポート5は、1ビット単位で入出力を制御できます。

ポート5は、次に示す端子と兼用しています。

表4-11 ポート5の兼用端子

端子名	ピン番号		兼用端子名	入出力	プルアップ ^{注1}
	GC	GF			
P50	82	10	DDI ^{注2,3} /TIUD11/TO11	入出力	あり
P51	83	11	DCK ^{注2,3} /TCUD11	入力	
P52	84	12	DMS ^{注2,3} /TCLR11	入力	

注1. ソフトウェア・プルアップ機能

2. μ PD70F3186のみ

3. P50-P52端子はオンチップ・デバッグ用の端子を兼用しています。オンチップ・デバッグ機能とポート機能（兼用機能含む）の切り替えは $\overline{\text{DRST}}$ 端子レベルで設定します。次に設定方法を示します。

ポート5の機能	
$\overline{\text{DRST}}$ 端子にロウ・レベル入力	$\overline{\text{DRST}}$ 端子にハイ・レベル入力
P50/TIUD11/TO11	DDI
P51/TCUD11	DCK
P52/TCLR11	DMS

備考 QC : 100ピン・プラスチックLQFP（ファインピッチ）（14×14）

GF : 100ピン・プラスチックQFP（14×20）

(1) レジスタ

(a) ポート5レジスタ (P5)

リセット時：不定 R/W アドレス：FFFFFF40AH

	7	6	5	4	3	2	1	0
P5	不定	0	0	0	0	P52	P51	P50

P5n	出力データの制御（出力モード時）
0	0を出力
1	1を出力

備考 n = 0-2

(b) ポート5モード・レジスタ (PM5)

リセット時：FFH R/W アドレス：FFFFFF42AH

	7	6	5	4	3	2	1	0
PM5	1	1	1	1	1	PM52	PM51	PM50

PM5n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

備考 n = 0-2

(c) ポート5モード・コントロール・レジスタ (PMC5)

リセット時：00H R/W アドレス：FFFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	0	0	0	PMC52	PMC51	PMC50

PMC52	P52端子の動作モードの指定
0	入出力ポート
1	TCLR11入力

PMC51	P51端子の動作モードの指定
0	入出力ポート
1	TCUD11入力

PMC50	P50端子の動作モードの指定
0	入出力ポート
1	TIUD11入力 / TO11出力

(d) ポート5ファンクション・コントロール・レジスタ (PFC5)

リセット時 : 00H R/W アドレス : FFFFF46AH

	7	6	5	4	3	2	1	0
PFC5	0	0	0	0	0	0	0	PFC50

PFC50	P50端子の兼用機能の指定
0	TIUD11入力
1	TO11出力

(e) ブルアップ抵抗オプション・レジスタ5 (PU5)

リセット時 : 00H R/W アドレス : FFFFFC4AH

	7	6	5	4	3	2	1	0
PU5	0	0	0	0	0	PU52	PU51	PU50

PU5n	内蔵ブルアップ抵抗接続制御
0	接続しない
1	接続する注

注 内蔵ブルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合のみです。端子が出力状態のときは接続できません。

備考 n = 0-2

(2) ブロック図

図4 - 22 P50端子のブロック図

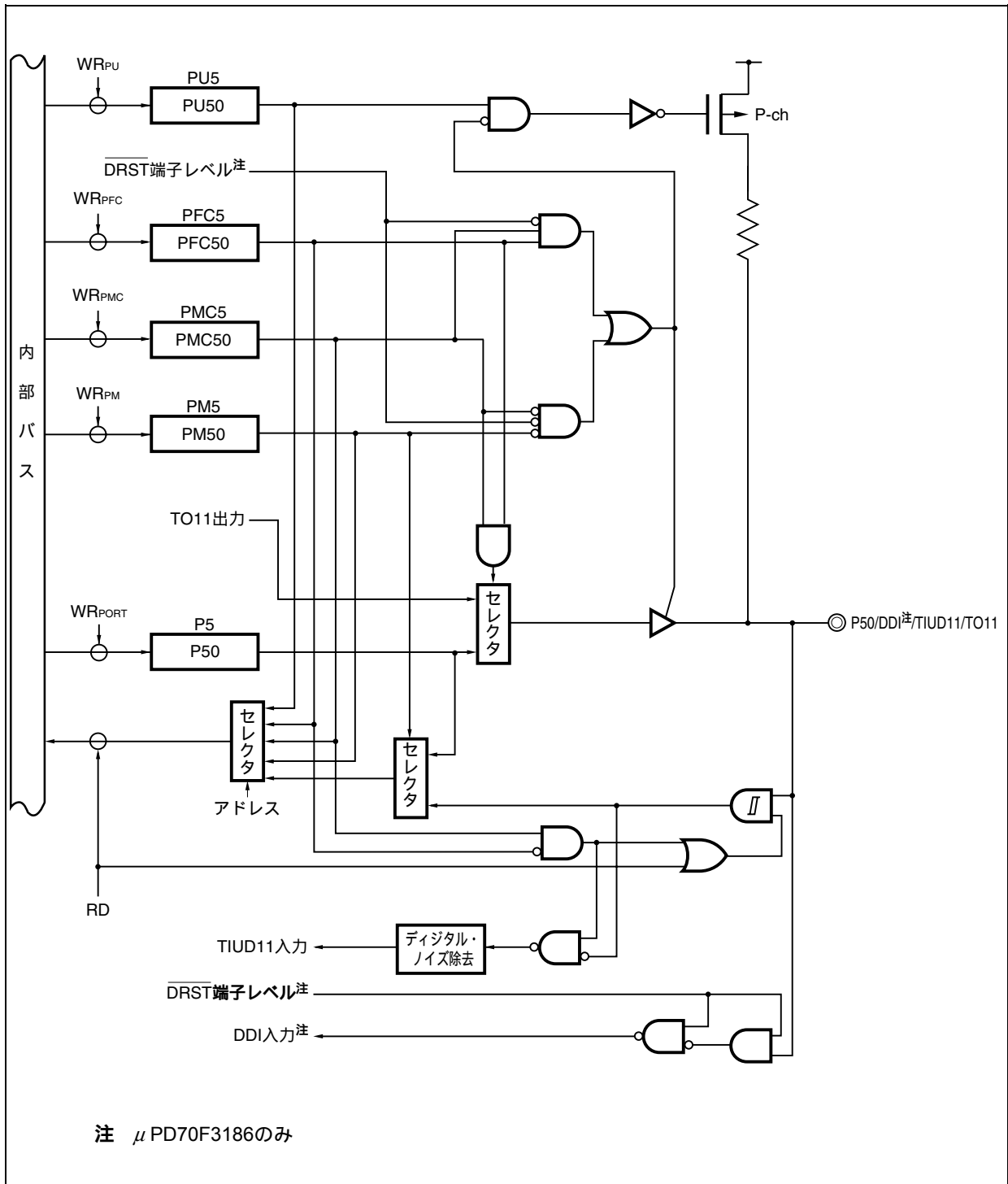
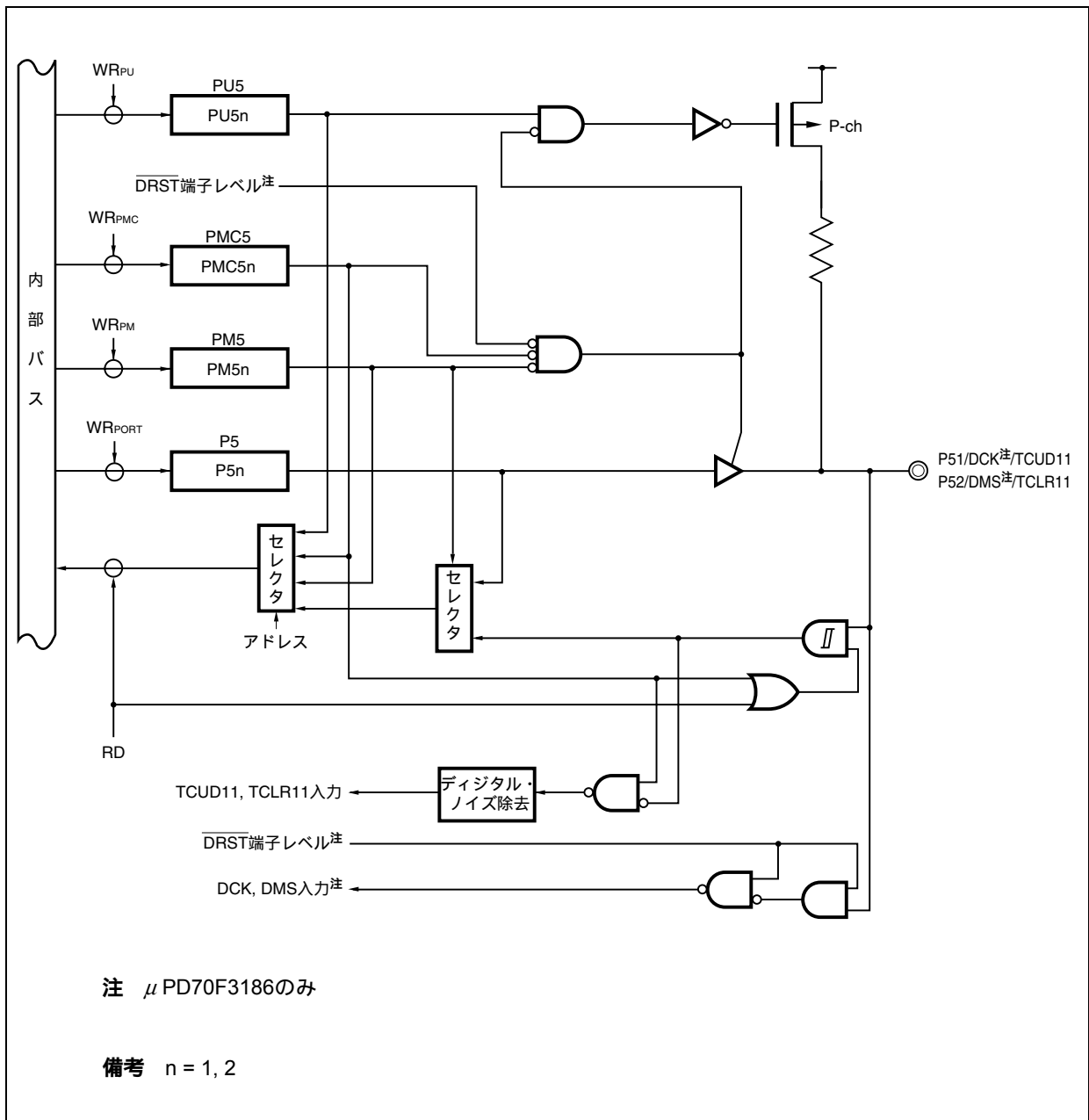


図4 - 23 P51, P52端子のブロック図



4.3.7 ポート7

ポート7は、全端子が入力に固定の入力専用ポートです。

各製品間で入力ポート数が異なります。

愛称	入出力ポート数
V850E/IA3	6ビット入力専用ポート
V850E/IA4	8ビット入力専用ポート

ポート7は、次に示す端子と兼用しています。

表4 - 12 ポート7の兼用端子

端子名	ピン番号			兼用端子名	入出力	プルアップ ^{注1}
	IA3		IA4			
	GC	GC	GF			
P70	3	5	33	ANI20	入力	なし
P71	4	6	34	ANI21	入力	
P72	5	7	35	ANI22	入力	
P73	6	8	36	ANI23	入力	
P74	12	14	42	ANI24	入力	
P75	13	15	43	ANI25	入力	
P76 ^{注2}	-	16	44	ANI26 ^{注2}	入力	
P77 ^{注2}	-	17	45	ANI27 ^{注2}	入力	

注1. ソフトウェア・プルアップ機能

2. V850E/IA4のみ

備考 IA3 : V850E/IA3

IA4 : V850E/IA4

GC (V850E/IA3) : 80ピン・プラスチックQFP (14×14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14×20)

(1) レジスタ

(a) ポート7レジスタ (P7)

リセット時：不定 R アドレス：FFFFFF40EH

	7	6	5	4	3	2	1	0
P7	P77 ^注	P76 ^注	P75	P74	P73	P72	P71	P70

P7n	入力データの読み出し
0	ロウ・レベルを入力
1	ハイ・レベルを入力

注 V850E/IA4のみ有効です。
V850E/IA3では、リード時は不定です。

注意 ポート入力とアナログ入力端子 (ANI2n) を混在して使用する場合には、必ずPMC7レジスタのANI2n端子として使用するビット (PMC7n) をセット (1) してください。

備考 V850E/IA3 : n = 0-5
V850E/IA4 : n = 0-7

(b) ポート7モード・コントロール・レジスタ (PMC7)

リセット時 : 00H R/W アドレス : FFFFF44EH

	7	6	5	4	3	2	1	0
PMC7	PMC77 ^注	PMC76 ^注	PMC75	PMC74	PMC73	PMC72	PMC71	PMC70

PMC7n	P7n端子の動作モードの指定
0	入力ポート (P7nのリードを許可する。リード時, 入力バッファはオンする)
1	ANI2n入力 (P7nのリードを禁止する。リード時, 入力バッファはオフのまま)

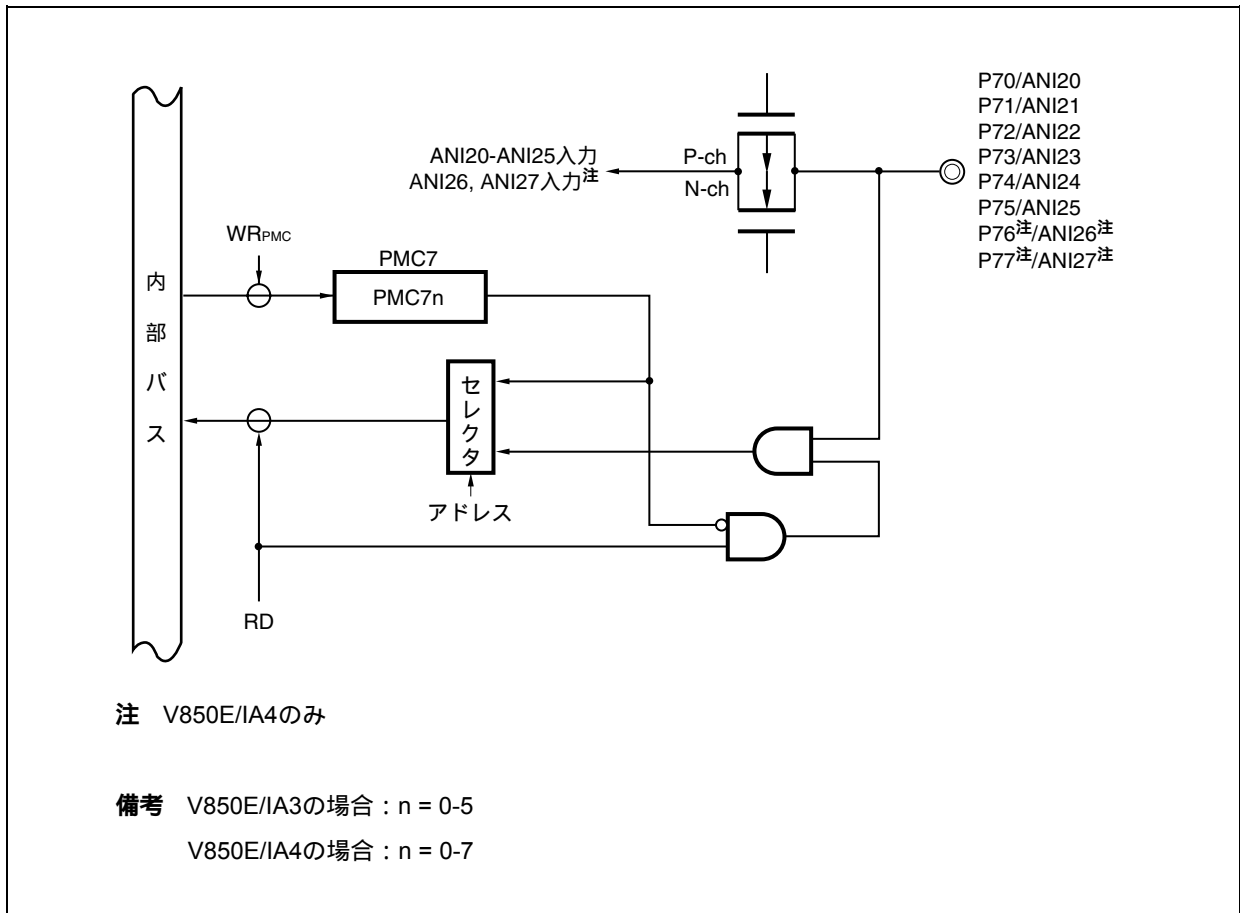
注 V850E/IA4のみ有効です。
V850E/IA3では必ず0を設定してください。

- 注意1.** A/Dコンバータ2でA/D変換中の場合には, ポート・モードに変更しないでください。
2. PMC7レジスタは, P7レジスタのリードの許可/禁止を制御します。PMC7nビット = 1の場合, P7レジスタをリードしても入力バッファをオンしません。この場合, P7nビットのリード値はロウ・レベル固定となります (V850E/IA3 : n = 0-5, V850E/IA4 : n = 0-7)。これはANI2n入力 (中間レベル) のリードによる貫通電流を防ぐためです。

備考 V850E/IA3 : n = 0-5
V850E/IA4 : n = 0-7

(2) ブロック図

図4 - 24 P70-P77端子のブロック図



4.3.8 ポートDL

ポートDLは、1ビット単位で入出力を制御できます。

ポートDLは、次に示す端子と兼用しています。

表4 - 13 ポートDLの兼用端子

端子名	ピン番号			兼用端子名	入出力	ブルアップ ^{注1}
	IA3	IA4				
	GC	GC	GF			
PDL0	49	62	90	-	-	あり
PDL1	50	63	91	-	-	
PDL2	53	66	94	-	-	
PDL3	54	67	95	-	-	
PDL4	55	68	96	-	-	
PDL5	56	69	97	FLMD1 ^{注2, 3}	入力	
PDL6	57	70	98	-	-	
PDL7	58	71	99	-	-	
PDL8	59	74	2	-	-	
PDL9	60	75	3	-	-	
PDL10	61	76	4	-	-	
PDL11	62	77	5	-	-	
PDL12	63	78	6	-	-	
PDL13	64	79	7	-	-	
PDL14	65	80	8	-	-	
PDL15	66	81	9	-	-	

注1. ソフトウェア・ブルアップ機能

- フラッシュ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第22章 **フラッシュ・メモリ**を参照してください。
- μ PD70F3184 (V850E/IA3) , μ PD70F3186 (V850E/IA4) のみ

備考 IA3 : V850E/IA3

IA4 : V850E/IA4

GC (V850E/IA3) : 80ピン・プラスチックQFP (14×14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14×20)

(1) レジスタ

(a) ポートDLレジスタ (PDL)

リセット時：不定 R/W アドレス：PDL FFFFF004H
PDLL FFFFF004H, PDLH FFFFF005H

	15	14	13	12	11	10	9	8
PDL (PDLH ^注)	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8
	7	6	5	4	3	2	1	0
(PDLL)	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0

PDLn	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

注 PDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PDLHレジスタのビット0-7として指定してください。

備考1. PDLレジスタは、16ビット単位でリード/ライト可能です。
ただし、PDLレジスタの上位8ビットをPDLHレジスタ、下位8ビットをPDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. n = 0-15

(b) ポートDLモード・レジスタ (PMDL)

リセット時：FFFFH R/W アドレス：PMDL FFFFF024H
PMDLL FFFFF024H, PMDLH FFFFF025H

	15	14	13	12	11	10	9	8
PMDL (PMDLH ^注)	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8
	7	6	5	4	3	2	1	0
(PMDLL)	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0

PMDLn	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

注 PMDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMDLHレジスタのビット0-7として指定してください。

備考1. PMDLレジスタは、16ビット単位でリード/ライト可能です。
ただし、PMDLレジスタの上位8ビットをPMDLHレジスタ、下位8ビットをPMDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. n = 0-15

(c) プルアップ抵抗オプション・レジスタDL (PUDL)

リセット時 : 0000H R/W アドレス : PUDL FFFFFFF44H
PUDLL FFFFFFF44H, PUDLH FFFFFFF45H

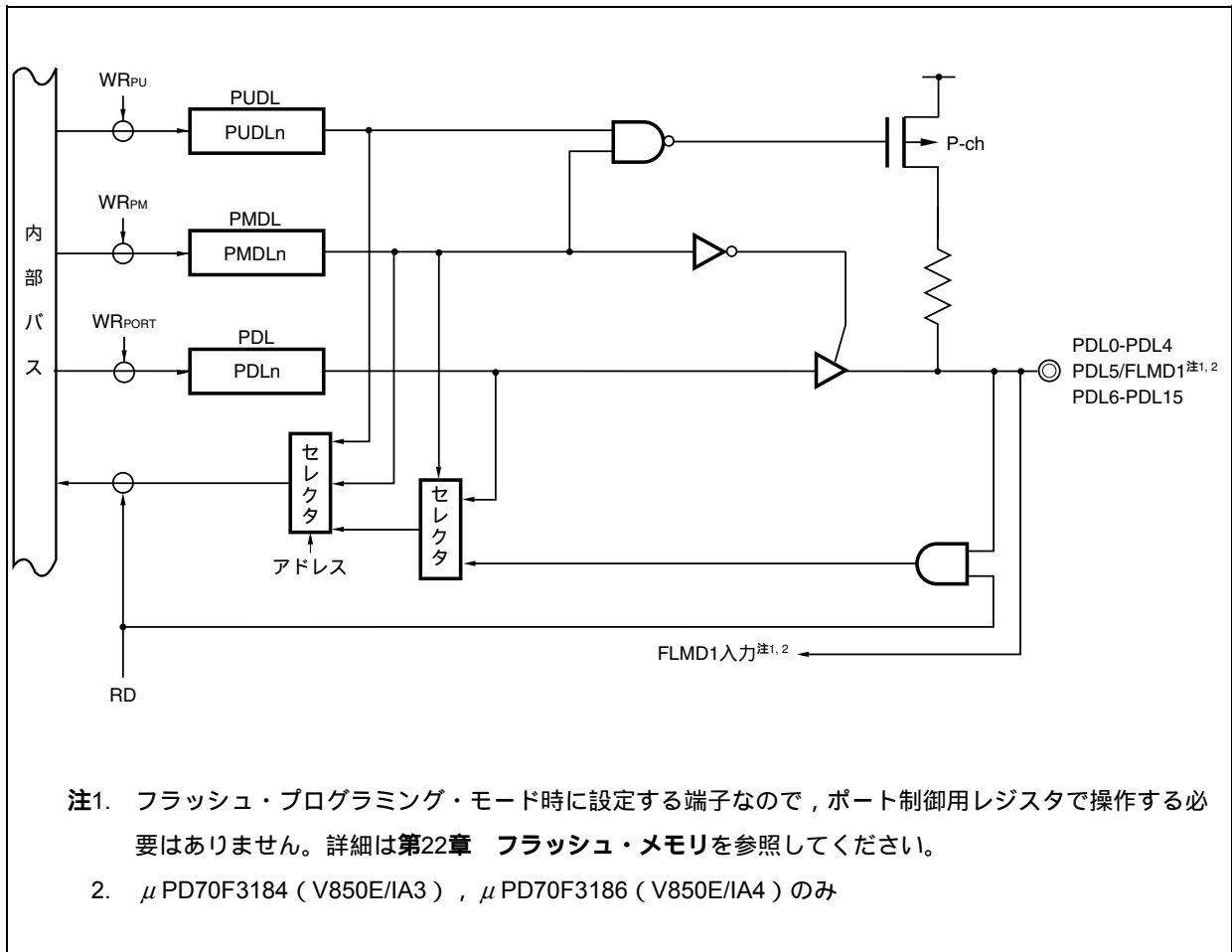
	15	14	13	12	11	10	9	8
PUDL (PUDLH ^{注1})	PUDL15	PUDL14	PUDL13	PUDL12	PUDL11	PUDL10	PUDL9	PUDL8
	7	6	5	4	3	2	1	0
(PUDLL)	PUDL7	PUDL6	PUDL5	PUDL4	PUDL3	PUDL2	PUDL1	PUDL0
PUDLn	内蔵プルアップ抵抗接続制御							
0	接続しない							
1	接続する ^{注2}							

- 注1. PUDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PUDLHレジスタのビット0-7として指定してください。
2. 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合のみです。端子が出力状態のときは接続できません。

- 備考1. PUDLレジスタは、16ビット単位でリード/ライト可能です。
ただし、PUDLレジスタの上位8ビットをPUDLHレジスタ、下位8ビットをPUDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
2. n = 0-15

(2) ブロック図

図4 - 25 PDL0-PDL15端子のブロック図



4.4 各設定時の出力データとポート・リード値

次に兼用端子に切り替える設定値とともに各設定時の出力データとポート・リード値を示します。なお、次の設定以外に各周辺機能の制御レジスタの設定も必要です。

表4 - 14 各設定時の出力データとポート・リード値 (1/5)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考
P00, P02-P07 P01 ^{注1}	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	INTP0, INTP2-INTP7 ^{注2} , INTP1 ^{注1}	1	なし	なし	0 1	-	ポート・ラッチ 端子レベル	
P10-P12	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	TOQ0T1, TOQ0B1, TOQ0T2	1	0	0	0	兼用出力1 (タイマ出力)	ポート・ラッチ	
					1		端子レベル	
	TIQ01-TIQ03	1	0	1	0	-	ポート・ラッチ	兼用入力 (タイマ入力)
1					端子レベル			
TOQ01-TOQ03	1	1	0	0	兼用出力2 (タイマ出力)	ポート・ラッチ		
				1		端子レベル		
P13-P17	出力ポート	0	なし	×	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	TOQ0B2, TOQ0T3, TOQ0B3, TOQ00, TOP21	1	なし	0	0	兼用出力1 (タイマ出力)	ポート・ラッチ	
					1		端子レベル	
TIQ00, EVTQ0, TRGQ0 TIP20, TIP21	1	なし	1	0	-	ポート・ラッチ	兼用入力 (タイマ入力)	
				1		端子レベル		

注1. V850E/IA4のみ

2. TOQ0OFF, TOQ1OFF (V850E/IA4のみ), TOP2OFF, TOP3OFF (V850E/IA4のみ), ADTRG0, ADTRG1も含まれます。

備考 × : 任意

表4 - 14 各設定時の出力データとポート・リード値 (2/5)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P20-P27 ^注	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOQ1T1 ^注 , TOQ1B1 ^注 , TOQ1T2 ^注 , TOQ1B2 ^注 , TOQ1T3 ^注 , TOQ1B3 ^注 , TOQ10 ^注 , TOP31 ^注	1	なし	なし	0	兼用出力 (タイマ出力)	ポート・ラッチ		端子レベル
					1				
P30, P36,P37	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	RXDA0, TCUD10,TCLR10	1	なし	なし	0	-	ポート・ラッチ		兼用入力 (シリアル入力, タイマ入力)
					1		端子レベル		
P31	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TXDA0	1	なし	なし	0	兼用出力 (シリアル出力)	ポート・ラッチ		端子レベル
					1				
P32	出力ポート	0	なし	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SIB1	1	なし	0	0	-	ポート・ラッチ		兼用入力 (シリアル入力)
					1		端子レベル		
	RXDA1	1	なし	1	0	-	ポート・ラッチ		兼用入力 (シリアル入力)
					1		端子レベル		

注 V850E/IA4のみ

備考 × : 任意

表4 - 14 各設定時の出力データとポート・リード値 (3/5)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P33	出力ポート	0	なし	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SOB1	1	なし	0	0	兼用出力1	ポート・ラッチ		
					1	(シリアル出力)	端子レベル		
TXDA1	1	なし	1	0	兼用出力2	ポート・ラッチ			
				1	(シリアル出力)	端子レベル			
P34	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SCKB1	1	なし	なし	0	兼用入出力	ポート・ラッチ		マスタ時は出力 スレーブ時は入力
1					(シリアル)	端子レベル			
P35	出力ポート	0	なし	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TIUD10	1	なし	0	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
					1	端子レベル			
TO10	1	なし	1	0	兼用出力	ポート・ラッチ			
				1	(タイマ出力)	端子レベル			
P40	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SIB0	1	なし	なし	0	-	ポート・ラッチ		兼用入力 (シリアル入力)
1					端子レベル				
P41	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SOB0	1	なし	なし	0	兼用出力	ポート・ラッチ		
1					(シリアル出力)	端子レベル			

備考 × : 任意

表4 - 14 各設定時の出力データとポート・リード値 (4/5)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P42	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SCKB0	1	なし	なし	0	兼用入出力 (シリアル)	ポート・ラッチ		マスタ時は出力
					1		端子レベル		スレーブ時は入力
P43,P44	出力ポート	0	なし	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOP00,TOP01	1	なし	0	0	兼用出力 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
	TIP00,TIP01	1	なし	1	0	-	ポート・ラッチ		兼用入力(タイマ入力)
					1		端子レベル		
P50 ^{注1,2}	出力ポート	0	なし	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TIUD11 ^{注1}	1	なし	0	0	-	ポート・ラッチ		兼用入力(タイマ入力)
					1		端子レベル		
	TO11 ^{注1}	1	なし	1	0	兼用出力 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		

注1. V850E/IA4のみ

2. P50端子はオンチップ・デバッグ用の端子を兼用しています(μ PD70F3186のみ)。オンチップ・デバッグ機能とポート機能(兼用機能含む)の切り替えはDRST端子レベルで設定します。次に設定方法を示します。

ポート5の機能	
DRST端子にロウ・レベル入力	DRST端子にハイ・レベル入力
P50/TIUD11/TO11	DDI

備考 × : 任意

表4 - 14 各設定時の出力データとポート・リード値 (5/5)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考
P51 ^{注1,2} , P52 ^{注1,2}	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	TCUD11,TCLR11	1	なし	なし	0	-	ポート・ラッチ	
	1				端子レベル			
P70-P77	入力ポート	0	なし	なし	なし	-	端子レベル	入力専用ポート
	ANI20-ANI27	1				-	ロウレベル	
PDL0- PDL15 ^{注3}	出力ポート	なし	なし	なし	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	

注1. V850E/IA4のみ

2. P51, P52端子はオンチップ・デバッグ用の端子を兼用しています (μ PD70F3186のみ)。オンチップ・デバッグ機能とポート機能 (兼用機能含む) の切り替えは $\overline{\text{DRST}}$ 端子レベルで設定します。次に設定方法を示します。

ポート5の機能	
$\overline{\text{DRST}}$ 端子にロウ・レベル入力	$\overline{\text{DRST}}$ 端子にハイ・レベル入力
P51/TCUD11	DCK
P52/TCLR11	DMS

3. PDL5端子はフラッシュ・プログラミング・モード時に設定する端子を兼用しています (μ PD70F3184 (V850E/IA3), μ PD70F3186 (V850E/IA4) のみ)。この端子は、ポート制御用レジスタで操作する必要はありません。詳細は第22章 フラッシュ・メモリを参照してください。

4.5 兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を次に示します。
兼用端子として使用する場合は各機能を参照してください。

表4 - 15 ポート端子を兼用端子として使用する場合 (1/5)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P00	INTP0	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	-	-	
	TOQ0OFF	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	-	-	
P01 ^注	INTP1 ^注	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	-	-	
	TOQ1OFF ^注	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	-	-	
P02	INTP2	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	-	-	
	TOP2OFF	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	-	-	
P03	INTP3	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	-	-	
	TOP3OFF ^注	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	-	-	
P04	INTP4	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	-	-	
	ADTRG0	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	-	-	
P05	INTP5	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	-	-	
	ADTRG1	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	-	-	
P06	INTP6	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	-	-	
P07	INTP7	入力	P07 = 設定不要	PM07 = 設定不要	PMC07 = 1	-	-	
P10	TOQ0T1	出力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 0	PFC10 = 0	
	TIQ01	入力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 0	PFC10 = 1	
	TOQ01	出力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 1	PFC10 = 0	
P11	TOQ0B1	出力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 0	PFC11 = 0	
	TIQ02	入力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 0	PFC11 = 1	
	TOQ02	出力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 1	PFC11 = 0	
P12	TOQ0T2	出力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 0	PFC12 = 0	
	TIQ03	入力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 0	PFC12 = 1	
	TOQ03	出力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 1	PFC12 = 0	

注 V850E/IA4のみ

表4 - 15 ポート端子を兼用端子として使用する場合 (2/5)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P13	TOQ0B2	出力	P13 = 設定不要	PM13 = 設定不要	PMC13 = 1	-	PFC13 = 0	
	TIQ00	入力	P13 = 設定不要	PM13 = 設定不要	PMC13 = 1	-	PFC13 = 1	
P14	TOQ0T3	出力	P14 = 設定不要	PM14 = 設定不要	PMC14 = 1	-	PFC14 = 0	
	EVTQ0	入力	P14 = 設定不要	PM14 = 設定不要	PMC14 = 1	-	PFC14 = 1	
P15	TOQ0B3	出力	P15 = 設定不要	PM15 = 設定不要	PMC15 = 1	-	PFC15 = 0	
	TRGQ0	入力	P15 = 設定不要	PM15 = 設定不要	PMC15 = 1	-	PFC15 = 1	
P16	TOQ00	出力	P16 = 設定不要	PM16 = 設定不要	PMC16 = 1	-	PFC16 = 0	
	TIP20	入力	P16 = 設定不要	PM16 = 設定不要	PMC16 = 1	-	PFC16 = 1	
P17	TOP21	出力	P17 = 設定不要	PM17 = 設定不要	PMC17 = 1	-	PFC17 = 0	
	TIP21	入力	P17 = 設定不要	PM17 = 設定不要	PMC17 = 1	-	PFC17 = 1	
P20 ^注	TOQ1T1 ^注	出力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	-	-	
P21 ^注	TOQ1B1 ^注	出力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	-	-	
P22 ^注	TOQ1T2 ^注	出力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	-	-	
P23 ^注	TOQ1B2 ^注	出力	P23 = 設定不要	PM23 = 設定不要	PMC23 = 1	-	-	
P24 ^注	TOQ1T3 ^注	出力	P24 = 設定不要	PM24 = 設定不要	PMC24 = 1	-	-	
P25 ^注	TOQ1B3 ^注	出力	P25 = 設定不要	PM25 = 設定不要	PMC25 = 1	-	-	
P26 ^注	TOQ10 ^注	出力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	-	-	
P27 ^注	TOP31 ^注	出力	P27 = 設定不要	PM27 = 設定不要	PMC27 = 1	-	-	
P30	RXDA0	入力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	-	-	
P31	TXDA0	出力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	-	
P32	SIB1	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	-	PFC32 = 0	
	RXDA1	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	-	PFC32 = 1	

注 V850E/IA4のみ

表4 - 15 ポート端子を兼用端子として使用する場合 (3/5)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P33	SOB1	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	PFC33 = 0	
	TXDA1	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	PFC33 = 1	
P34	SCKB1	入出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	-	-	
P35	TIUD10	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 0	
	TO10	出力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 1	
P36	TCUD10	入力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	-	-	
P37	TCLR10	入力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	-	-	
P40	SIB0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	-	
P41	SOB0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	-	
P42	SCKB0	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	-	
P43	TOP00	出力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	-	PFC43 = 0	
	TIP00	入力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	-	PFC43 = 1	
P44	TOP01	出力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	-	PFC44 = 0	
	TIP01	入力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	-	PFC44 = 1	

表4 - 15 ポート端子を兼用端子として使用する場合 (4/5)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P50 ^{注1}	DDI ^{注2, 3}	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 設定不要	-	-	
	TIUD11 ^{注1}	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	-	PFC50 = 0	
	TO11 ^{注1}	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	-	PFC50 = 1	
P51 ^{注1}	DCK ^{注2, 3}	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 設定不要	-	-	
	TCUD11 ^{注1}	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	-	-	
P52 ^{注1}	DMS ^{注2, 3}	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 設定不要	-	-	
	TCLR11 ^{注1}	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	-	-	
P70	ANI20	入力	P70 = 設定不要	-	PMC70 = 1	-	-	
P71	ANI21	入力	P71 = 設定不要	-	PMC71 = 1	-	-	
P72	ANI22	入力	P72 = 設定不要	-	PMC72 = 1	-	-	
P73	ANI23	入力	P73 = 設定不要	-	PMC73 = 1	-	-	
P74	ANI24	入力	P74 = 設定不要	-	PMC74 = 1	-	-	
P75	ANI25	入力	P75 = 設定不要	-	PMC75 = 1	-	-	

注1. V850E/IA4のみ

2. μ PD70F3186 (V850E/IA4) のみ

3. P50-P52端子はオンチップ・デバッグ用の端子を兼用しています (μ PD70F3186のみ)。オンチップ・デバッグ機能とポート機能 (兼用機能含む) の切り替えは $\overline{\text{DRST}}$ 端子レベルで設定します。次に設定方法を示します。

ポート5の機能	
$\overline{\text{DRST}}$ 端子にロウ・レベル入力	$\overline{\text{DRST}}$ 端子にハイ・レベル入力
P50/TIUD11/TO11	DDI
P51/TCUD11	DCK
P52/TCLR11	DMS

表4 - 15 ポート端子を兼用端子として使用する場合 (5/5)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P76 ^{注1}	ANI26 ^{注1}	入力	P76 = 設定不要	-	PMC76 = 1	-	-	
P77 ^{注1}	ANI27 ^{注1}	入力	P77 = 設定不要	-	PMC77 = 1	-	-	
PDL0	-	-	PDL0 = 設定不要	PMDL0 = 設定不要	-	-	-	
PDL1	-	-	PDL1 = 設定不要	PMDL1 = 設定不要	-	-	-	
PDL2	-	-	PDL2 = 設定不要	PMDL2 = 設定不要	-	-	-	
PDL3	-	-	PDL3 = 設定不要	PMDL3 = 設定不要	-	-	-	
PDL4	-	-	PDL4 = 設定不要	PMDL4 = 設定不要	-	-	-	
PDL5	FLMD1 ^{注2,3}	入力	PDL5 = 設定不要	PMDL5 = 設定不要	-	-	-	
PDL6	-	-	PDL6 = 設定不要	PMDL6 = 設定不要	-	-	-	
PDL7	-	-	PDL7 = 設定不要	PMDL7 = 設定不要	-	-	-	
PDL8	-	-	PDL8 = 設定不要	PMDL8 = 設定不要	-	-	-	
PDL9	-	-	PDL9 = 設定不要	PMDL9 = 設定不要	-	-	-	
PDL10	-	-	PDL10 = 設定不要	PMDL10 = 設定不要	-	-	-	
PDL11	-	-	PDL11 = 設定不要	PMDL11 = 設定不要	-	-	-	
PDL12	-	-	PDL12 = 設定不要	PMDL12 = 設定不要	-	-	-	
PDL13	-	-	PDL13 = 設定不要	PMDL13 = 設定不要	-	-	-	
PDL14	-	-	PDL14 = 設定不要	PMDL14 = 設定不要	-	-	-	
PDL15	-	-	PDL15 = 設定不要	PMDL15 = 設定不要	-	-	-	

注1. V850E/IA4のみ

- PDL5端子はフラッシュ・プログラミング・モード時に設定する端子 (FLMD1) を兼用しています (μ PD70F3184 (V850E/IA3) , μ PD70F3186 (V850E/IA4) のみ)。この端子は、ポート制御用レジスタで操作する必要はありません。詳細は第22章 **フラッシュ・メモリ**を参照してください。
- μ PD70F3184 (V850E/IA3) , μ PD70F3186 (V850E/IA4) のみ

4.6 ノイズ除去回路

次に示す端子には、ノイズ除去時間確保のためのタイミング制御回路が付加されています。これらの除去時間未満で変化する信号入力は内部で受け付けられません。

表4 - 16 ノイズ除去回路

ユニット	対象端子	ディレイ・タイプ	ノイズ除去幅	サンプリング・クロック
リセット	RESET	アナログ・ディレイ	数10 ns (TYP.)	-
オンチップ・デバッグ	DRST ^{注1}			
モード端子	FLMD0 ^{注2} /IC1 ^{注3}			
クロック・ジェネレータ(CG)	PLLSIN		約10 ns (TYP.)	
・割り込み (INTC) ^{注4} ・モータ制御用タイマのハイ・インピーダンス出力制御機能 ・A/Dコンバータ (ADC)	INTP0/TOQ0OFF	デジタル・ディレイ	500 ns (MIN.)	
	INTP1 ^{注5} /TOQ1OFF ^{注5} INTP2/TOP2OFF INTP3/TOP3OFF ^{注5} INTP4/ADTRG0 INTP5/ADTRG1 INTP7			
タイマENC (TMENC)	TIUD11 ^{注5} TCUD11 ^{注5} TCLR11 ^{注5} TIUD10 TCUD10 TCLR10		4-5クロック (250 ns (64 MHz時)) (500 ns (64 MHz時)) (1 μ s (64 MHz時)) (2 μ s (64 MHz時))	f _{xx} /4 (62.5 ns (64 MHz時)) f _{xx} /8 (125 ns (64 MHz時)) f _{xx} /16 (250 ns (64 MHz時)) f _{xx} /32 (500 ns (64 MHz時)) より選択可能
タイマQ (TMQ)	TIQ01 TIQ02 TIQ03 TIQ00 EVTQ0 TRGQ0		4-5クロック (125 ns (64 MHz時))	f _{xx} /2 (31.25 ns (64 MHz時))
タイマP (TMP)	TIP20 TIP21 TIP00 TIP01			

注1. μ PD70F3186 (V850E/IA4) のみ

2. μ PD70F3184 (V850E/IA3) , μ PD70F3186 (V850E/IA4) のみ

3. μ PD703183 (V850E/IA3) , μ PD703185 (V850E/IA4) , μ PD703186 (V850E/IA4) のみ

4. INTP6以外のマスカブル割り込み入力は、IDLE, STOPモードの解除要因として使用できます。

5. V850E/IA4のみ

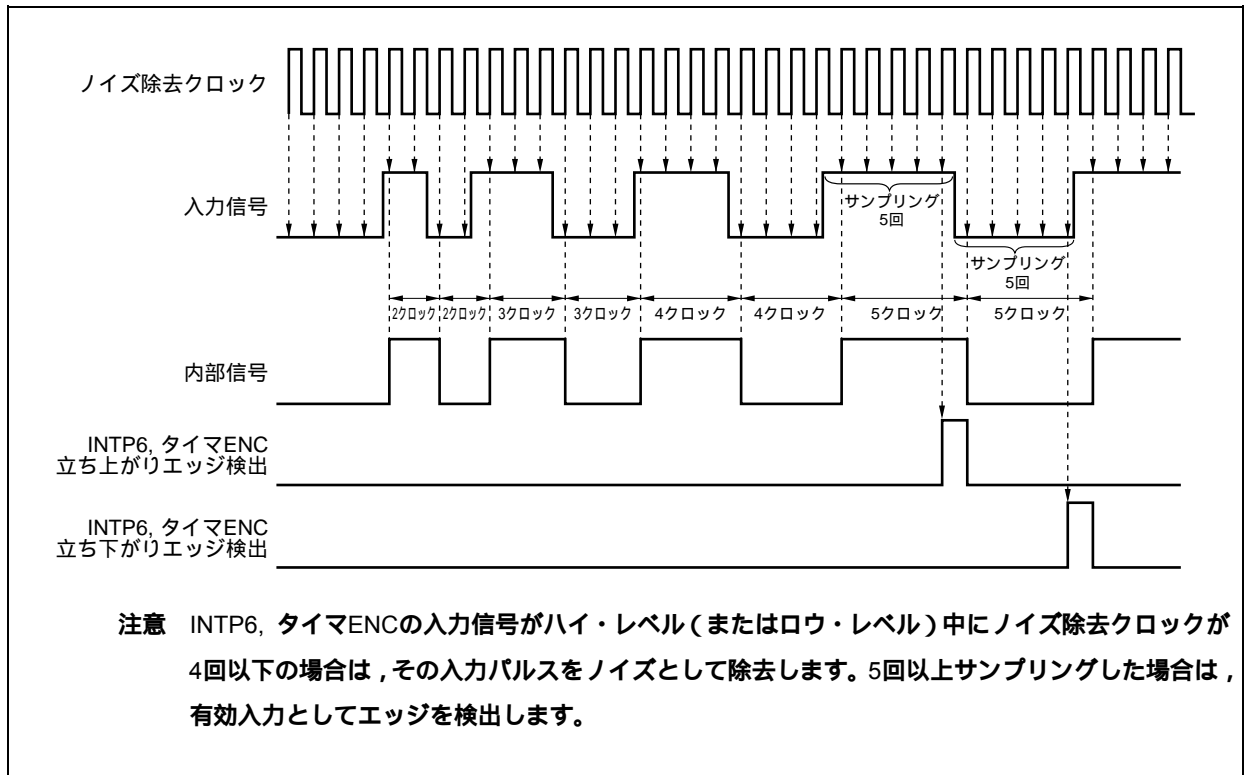
注意1. マスカブル割り込み端子はスタンバイ・モードの解除に使用します。

2. デジタル・ディレイの端子のノイズ・フィルタはクロック・サンプリングを用いているため、周辺クロック (f_{xx}) 停止時には入力信号を受け付けられません。

3. ノイズ除去回路は兼用機能時だけ有効です。

次にINTP6, タイマENC入力端子のデジタル・ノイズ除去のタイミング例を示します。

図4 - 26 ノイズ除去タイミング例



(1) 外部割り込みノイズ除去制御レジスタ (INTPNRC)

INTPNRCレジスタは、INTP6端子のデジタル・ノイズ除去に使用するサンプリング・クロックを選択します。同じレベルが5回連続で検出されなかった場合、その信号はノイズとして除去されます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 入力パルスが4~5クロックの場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、5クロック以上の同一レベルの入力が必要です。
- 2. サンプリング・クロックに同期してノイズが発生している場合には、入力端子にフィルタを付加してノイズを除去してください。
- 3. 通常入力ポートとして使用する場合はノイズ除去を行いません。

リセット時：00H R/W アドレス：FFFFFF310H

	7	6	5	4	3	2	1	0
INTPNRC	0	0	0	0	0	0	INTPNRC1	INTPNRC0

INTPNRC1	INTPNRC0	サンプリング・クロックの選択
0	0	fxx/32
0	1	fxx/16
1	0	fxx/8
1	1	fxx/4

(2) ノイズ除去時間選択レジスタ1n (NRC1n) (V850E/IA3 : n = 0, V850E/IA4 : n = 0, 1)

NRC1nレジスタは、TIUD1n, TCUD1n, TCLR1n端子のデジタル・ノイズ除去に使用するサンプリング・クロックを選択します。同じレベルをNRC1nレジスタで選択したクロックで5回連続検出されなかった場合、その信号はノイズとして除去されます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 入力パルスが4~5クロックの場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、5クロック以上の同一レベルの入力が必要です。
2. サンプリング・クロックに同期してノイズが発生している場合には、入力端子にフィルタを付加してノイズを除去してください。
 3. 通常入力ポートとして使用する場合はノイズ除去を行いません。
 4. TMC1n.TM1CEnビット = 1 (カウント動作許可) でノイズ除去機能が動作を開始します。

リセット時 : 00H R/W アドレス : NRC10 FFFFF598H, NRC11^注 FFFFF5B8H

	7	6	5	4	3	2	1	0
NRC1n	0	0	0	0	0	0	NRC1n1	NRC1n0

(V850E/IA3 n = 0)	NRC1n1	NRC1n0	サンプリング・クロックの選択
	0	0	fxx/32
(V850E/IA4 n = 0, 1)	0	1	fxx/16
	1	0	fxx/8
	1	1	fxx/4

注 V850E/IA4のみ

4.7 注意事項

4.7.1 ポート端子設定上の注意事項

(1) ポートのレジスタ設定は、次の順で行ってください。

PFCn, PFCEnレジスタを設定

PMcNレジスタを設定

INTFn, INTRnレジスタを設定

PMcNレジスタを先に設定したあとに、PFCn, PFCEnレジスタを設定すると、PFCn, PFCEnレジスタ設定中に意図しない周辺機能端子に設定されてしまう可能性があります。

(2) 内蔵プルアップ抵抗は、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合に接続が可能です。

さらに、V850E/IA3の場合は、兼用機能時に出力端子であるTOQ0T1-TOQ0T3, TOQ0B1-TOQ0B3, TOP21端子は、TOQ0OFF, TOP2OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合に接続が可能です。

また、V850E/IA4の場合は、兼用機能時に出力端子であるTOQ0T1-TOQ0T3, TOQ0B1-TOQ0B3, TOP21, TOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3, TOP31端子は、TOQ0OFF, TOP2OFF, TOQ1OFF, TOP3OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合に接続が可能です。

4.7.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P20端子は出力ポート、P21-P27端子は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき、P20端子の出力をビット操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート・ラッチの値は、“FFH” になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み/読み出しの対象は、それぞれ出力ラッチ/端子状態です。

また、ビット操作命令はV850E/IA3, V850E/IA4内部で、次の順序で行われます。

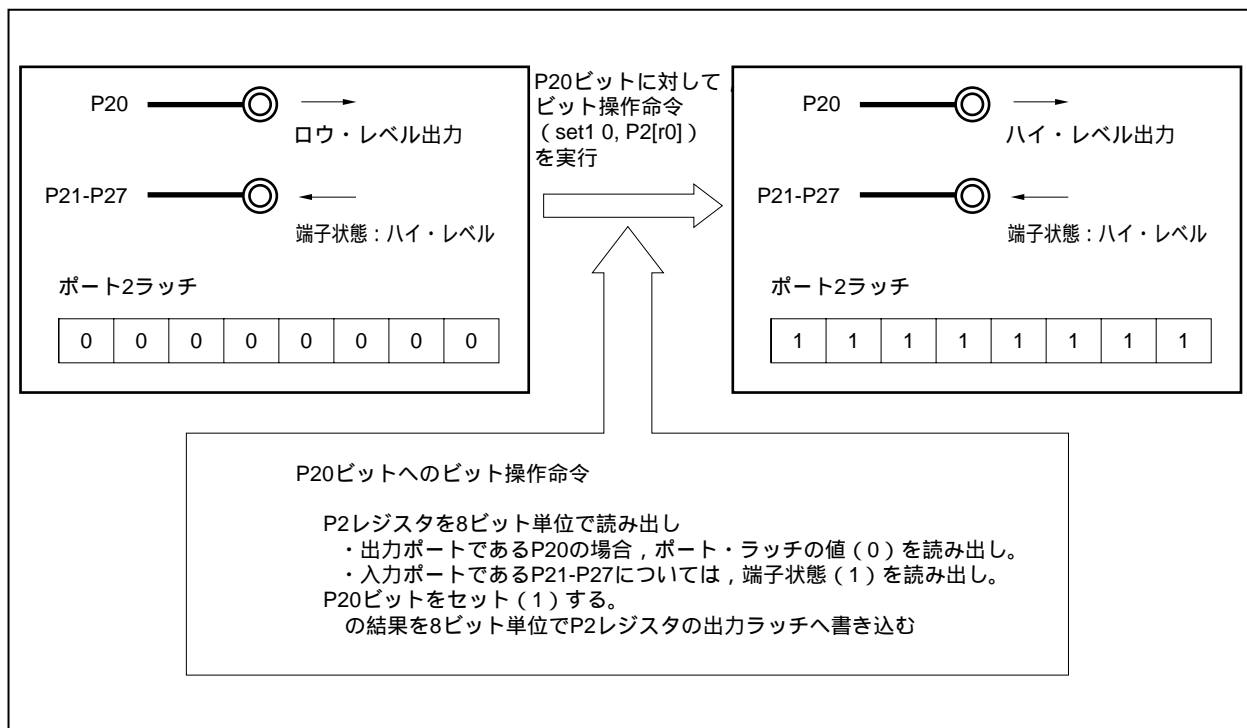
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP20端子は出力ラッチの値（0）を読み出しますが、入力ポートであるP21-P27端子は端子状態を読み出します。このときP21-P27端子の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4 - 27 ビット操作命令（P20端子の場合）



第5章 クロック・ジェネレータ

5.1 概要

クロック・ジェネレータの概要を次に示します。

発振回路

- ・PLLモード時 : $f_x = 4 \sim 8 \text{ MHz}$ ($f_{xx} = 32 \sim 64 \text{ MHz}$)
- ・クロック・スルー・モード時 : $f_x = 4 \sim 8 \text{ MHz}$ ($f_{xx} = 4 \sim 8 \text{ MHz}$)

PLL (Phase Locked Loop) による逓倍機能 (8逓倍固定)

- ・クロック・スルー・モード / PLLモード選択可能

内部システム・クロックの生成

- ・4段階 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$)

周辺クロックの生成

発振安定時間の選択

備考 f_x : 発振周波数

f_{xx} : システム・クロック

5.2 構成

図5 - 1 クロック発生回路

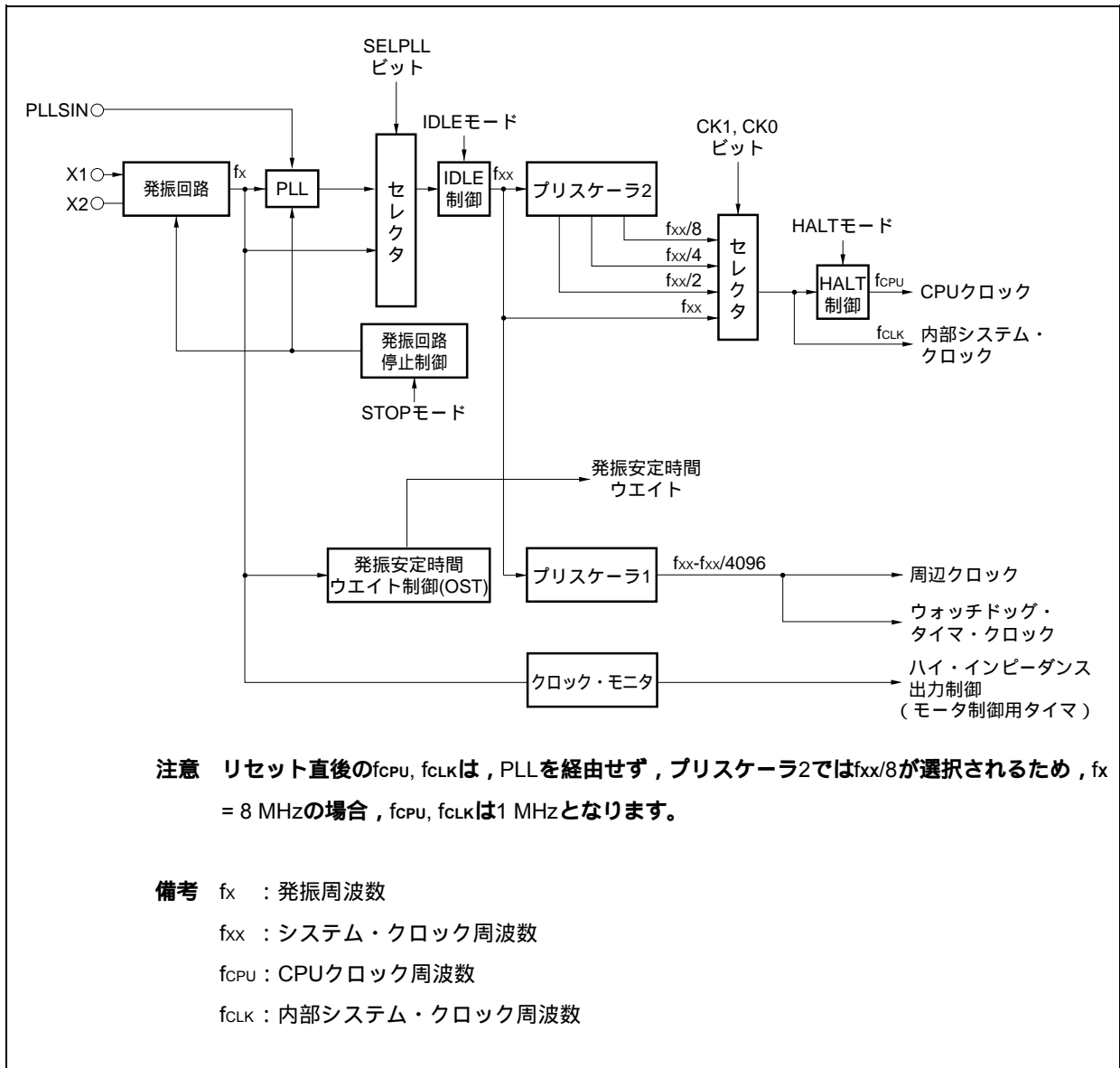


表5 - 1 各機能ブロックの動作クロック

機能ブロック	動作クロック
CPU	f_{CPU} (PCCレジスタで $f_{xx}-f_{xx}/8$ から選択)
DMA, 割り込みコントローラ	f_{CLK} (PCCレジスタで $f_{xx}-f_{xx}/8$ から選択)
タイマ (ウォッチドッグ・タイマ除く)	$f_{xx}/2$
ウォッチドッグ・タイマ	$f_{xx}/1024$
UARTA	f_{uCLK} (UANCTL1レジスタで $f_{xx}/2-f_{xx}/4096$ から選択)
CSIB	f_{cCLK} (CBnCTL1レジスタで $f_{xx}/4-f_{xx}/256$, 外部クロックから選択)
A/Dコンバータ0, 1	$f_{xx}/2$
A/Dコンバータ2	$f_{xx}/4$

備考1. f_{xx} : 周辺クロック

2. $n = 0, 1$

(1) 発振回路

次の周波数 (f_x) を発振します。

- ・ PLLモード時 (8通倍固定) : $f_x = 4 \sim 8 \text{ MHz}$ ($f_{xx} = 32 \sim 64 \text{ MHz}$)
- ・ クロック・スルー・モード時 : $f_x = 4 \sim 8 \text{ MHz}$ ($f_{xx} = 4 \sim 8 \text{ MHz}$)

(2) IDLE制御

発振回路, PLL, クロック・モニタ動作, スLEEP・モード時のCSIB以外のすべてを停止させます。

(3) HALT制御

CPUクロック (f_{CPU}) だけを停止させます。

(4) PLL

発振回路で生成するクロック (f_x) を8通倍します。

PLLコントロール・レジスタ(PLLCTL)のSELPLLビットの設定により, f_x をそのまま出力するクロック・スルー・モードと, 通倍クロックを出力するPLLモードを選択します。

PLLモード時のPLLからの出力周波数は32~64 MHzですが, 32~55 MHz ($f_x = 4 \sim 6.875 \text{ MHz}$) の範囲で使用する場合はPLLSIN端子をロウ・レベルに固定し, 55~64 MHz ($f_x = 6.876 \sim 8 \text{ MHz}$) の範囲で使用する場合はPLLSIN端子をハイ・レベルに固定してください。

(5) プリスケーラ1

内蔵周辺機能に供給するクロック ($f_{xx}-f_{xx}/4096$) を生成します。

(6) プリスケーラ2

システム・クロック (f_{xx}) を分周する回路です。

CPUクロック (f_{CPU}) と内部システム・クロック (f_{CLK}) に供給するクロック ($f_{xx}-f_{xx}/8$) を生成します。

(7) 発振安定時間ウエイト制御 (OST)

発振回路で生成するクロックを入力してから発振が安定するまでの時間をカウントします。また, PLLロックアップ時間もカウントします。 $2^{14}/f_x-2^{18}/f_x$ から選択できます。

(8) クロック・モニタ

クロック・モニタは, 内蔵発振クロックで, 発振回路で生成するクロック (f_x) のサンプリングを行います。発振停止を検出すると, モータ制御用タイマの出力をハイ・インピーダンスにします (詳細は第10章モータ制御機能参照)。

5.3 制御レジスタ

クロック・ジェネレータを制御するレジスタには、次の6種類があります。

- ・PLLコントロール・レジスタ (PLLCTL)
- ・プロセッサ・クロック・コントロール・レジスタ (PCG)
- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・パワー・セーブ・モード・レジスタ (PSMR)
- ・発振安定時間選択レジスタ (OSTS)
- ・クロック・モニタ・モード・レジスタ (CLM)

(1) PLLコントロール・レジスタ (PLLCTL)

CPU動作クロックを選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

リセット時：01H R/W アドレス：FFFFFF82CH

	7	6	5	4	3	2	①	0
PLLCTL	0	0	0	0	0	0	SELPLL	1

SELPLL	CPU動作クロックの選択
0	クロック・スルー・モード
1	PLLモード

注意 ビット7-2には必ず0を、ビット0には必ず1を設定してください。

(2) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより03Hになります。

リセット時：03H R/W アドレス：FFFFFF828H

	7	6	5	4	3	2	1	0
PCC	0	0	0	0	0	0	CK1	CK0

CK1	CK0	クロックの選択 (fCLK/fCPU)
0	0	fxx
0	1	fxx/2
1	0	fxx/4
1	1	fxx/8

注意1. ビット2-7には、必ず0を設定してください。

2. PCCレジスタの設定はPLLモード (PLLCTL.SELPLLビット = 1) に切り替えたあとに行ってください。

(3) パワー・セーブ・コントロール・レジスタ (PSC)

PSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF1FEH

	7	6	5	④	3	2	①	0
PSC	0	0	0	INTM	0	0	STB	0

INTM	マスカブル割り込み要求 (INTxx ^注) によるスタンバイ・モードの制御
0	INTxx要求によるスタンバイ・モード解除許可
1	INTxx要求によるスタンバイ・モード解除禁止

STB	動作モードの設定
0	通常モード
1	スタンバイ・モード

注 詳細は、表17-1 割り込み要因一覧を参照してください。

注意1. ビット0, 2, 3, 5-7には、必ず0を設定してください。

2. STBビット = 1によりスタンバイ・モードに移行する場合には、必ずPCCレジスタ = 03Hに設定してからSTBビットの指定をしてください。これ以外の設定では、スタンバイ・モードの移行や解除ができない場合があります。

なお、スタンバイ・モード解除後は、PCCレジスタを所望の値に変更してください。

3. IDLEモードおよびSTOPモードに設定する場合には、まずPCCレジスタ = 03H, PSMR.PSM0ビットの順序で設定してから、STBビット = 1にしてください。

(4) パワー・セーブ・モード・レジスタ (PSMR)

ソフトウェア・スタンバイ・モード時の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF820H

	7	6	5	4	3	2	1	①
PSMR	0	0	0	0	0	0	0	PSM0

PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	IDLEモード
1	STOPモード

注意1. ビット1-7には、必ず0を設定してください。

2. PSM0ビットは、PSC.STBビット = 1のときのみ有効です。

(5) 発振安定時間選択レジスタ (OSTS)

割り込み要求によりSTOPモードを解除してから、発振が安定するまでの発振安定時間を選択するレジスタです。

8ビット単位でリード/ライト可能です。

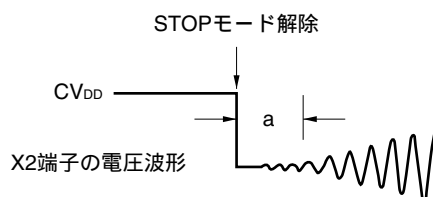
リセットにより04Hになります。

リセット時：04H R/W アドレス：FFFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	OSTS3	OSTS2	OSTS1	OSTS0

OSTS3	OSTS2	OSTS1	OSTS0	発振安定時間の選択 (fx = 8 MHz)
0	1	0	0	$2^{14}/f_x$ (2.05 ms)
0	1	0	1	$2^{15}/f_x$ (4.10 ms)
0	1	1	0	$2^{16}/f_x$ (8.19 ms)
0	1	1	1	$2^{17}/f_x$ (16.4 ms)
1	0	0	0	$2^{18}/f_x$ (32.8 ms)
その他				設定禁止

注意1. ウェイト時間は、STOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



- OSTSレジスタは、リセット後の初期値が04Hのため、8 MHzの発振子を使用した場合には、発振安定時間は約2 msです。発振安定時間の1/2はPLLロックアップ時間のウェイト分となるため、発振子としての安定時間は1 ms程度です。したがって、リセット解除時にはリセットのアクティブ期間中に発振安定時間を確保してください。また、STOPモードをRESET入力以外の割り込み入力で解除する場合には、OSTSレジスタの設定値で発振安定時間が決定します。そのため、OSTSレジスタには、発振子の安定に必要な時間の2倍を設定してください（発振安定時間の1/2はPLLの安定時間となるため）。
- ビット4-7には、必ず0を設定してください。

備考 fx：発振周波数

(6) クロック・モニタ・モード・レジスタ (CLM)

クロック・モニタの動作モードの設定を行うレジスタです。CLMレジスタは特定レジスタです。特性シケンスの組み合わせによってだけ書き込みができます。(3.4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF870H

	7	6	5	4	3	2	1	0
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作制御
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

- 注意1.** CLMEビットはリセットによってのみクリア(0)されます。
2. CLMEビット = 1のとき、次の条件では強制的にクロック・モニタ機能が停止します。
 - ・STOPモード～発振安定時間カウンタ時
 - ・ブレーク中(オンチップ・デバッグ・エミュレータ)
 3. CLMEビット = 1のとき、発振(f_x)停止を検出した場合はモータ制御用タイマの出力をハイ・インピーダンスにします。対象のタイマ出力は図10-4を参照してください。

5.4 PLL機能

5.4.1 概要

CPUおよび周辺マクロの動作クロックを、発振周波数の8逓倍出力と、クロック・スルー・モードに切り替えることができます。

PLL機能使用時 : 入力クロック (fx) = 4~8 MHz, 出力クロック (fxx) = 32~64 MHz

クロック・スルー・モード : 入力クロック (fx) = 4~8 MHz, 出力クロック (fxx) = 4~8 MHz

5.4.2 PLLの出力周波数の設定

V850E/IA3, V850E/IA4では、PLLSIN端子の入力によって、PLLの出力周波数の範囲を次のように設定する必要があります。

表5-2 PLL出力周波数の設定

PLLSIN	入力クロック周波数 (fx)	出力クロック周波数 (fxx)
L	4.0 MHz~6.875 MHz	32.0 MHz~55.0 MHz
H	6.876 MHz~8.0 MHz	55.0 MHz~64.0 MHz

注意 PLLSIN端子の入力レベルは、リセット期間中に固定させて、動作中にはレベルを変化させないでください。変化させた場合は動作を保証しません。

5.4.3 PLLモード

PLLモードでは、発振周波数 (fx) をPLLにより8逓倍し、システム・クロック (fxx) を生成します。fxの値によって、PLLSIN端子入力をハイ・レベルまたはロウ・レベルに固定してください。

PLLモードでは、発振回路からのクロックがPLLに入力され、所定の周波数でフェーズ・ロックし安定するまでのロックアップ時間 (周波数安定時間) を経てから、安定した周波数のクロックを内部に供給する必要があります。V850E/IA3, V850E/IA4では、リセット解除後のロックアップ時間を自動的に確保しています。

注意 fx = 8 MHzの発振子を使用し、その発振子の安定時間が3 ms (MAX.) 必要な場合には、リセット入力 (RESETアクティブ) 幅は、2 ms (MIN.) 確保してください。

5.4.4 クロック・スルー・モード

クロック・スルー・モードでは、発振周波数 (fx) と同じ周波数のシステム・クロック (fxx) を生成します。

5.5 動作

5.5.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表5-3 各クロックの動作状態

パワー・セーブ・モード	発振回路 (fx)	PLL	内部システム・ クロック (fCLK)	周辺クロック (fxx-fxx/4096)	CPUクロック (fCPU)	ウォッチドッグ・ タイマ・ クロック ^{注1}
通常動作時						
HALTモード					×	
IDLEモード			×	×	×	×
STOPモード	× ^{注2}	× ^{注2}	×	×	×	×
STOPモード解除後の発振安定時間カウンタ中		× ^{注2}	×	×	×	×
RESET端子入力中およびその後の発振安定時間カウンタ中		×		× ^{注3}		×

注1. ウォッチドッグ・タイマ・クロックは、周辺クロック (fxx/1024) を使用します。

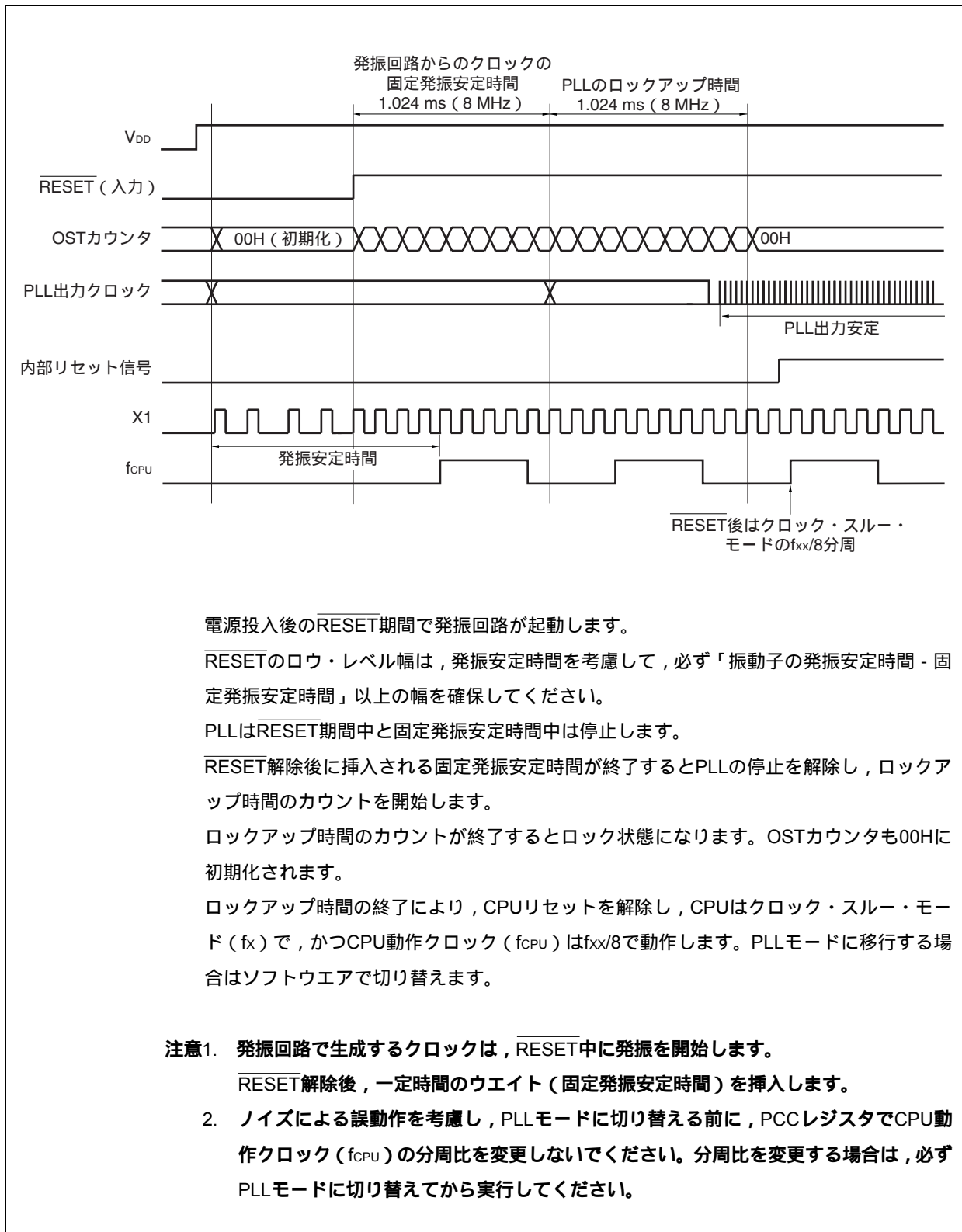
2. オンチップ・デバッグ中は動作を継続します。
3. プリスケーラ (PRS) からの出力は行いません。

備考 : 動作

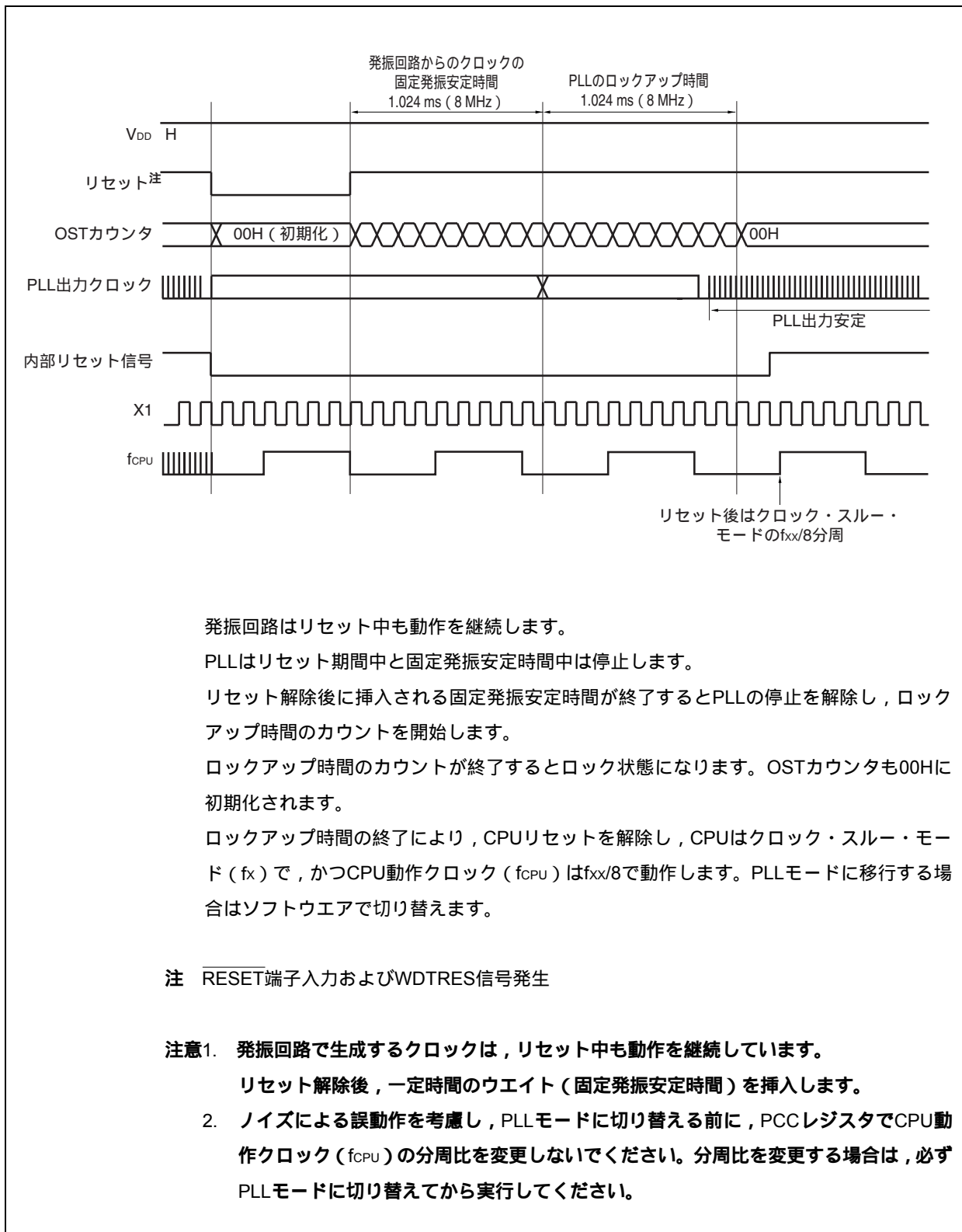
× : 停止

5.5.2 動作タイミング

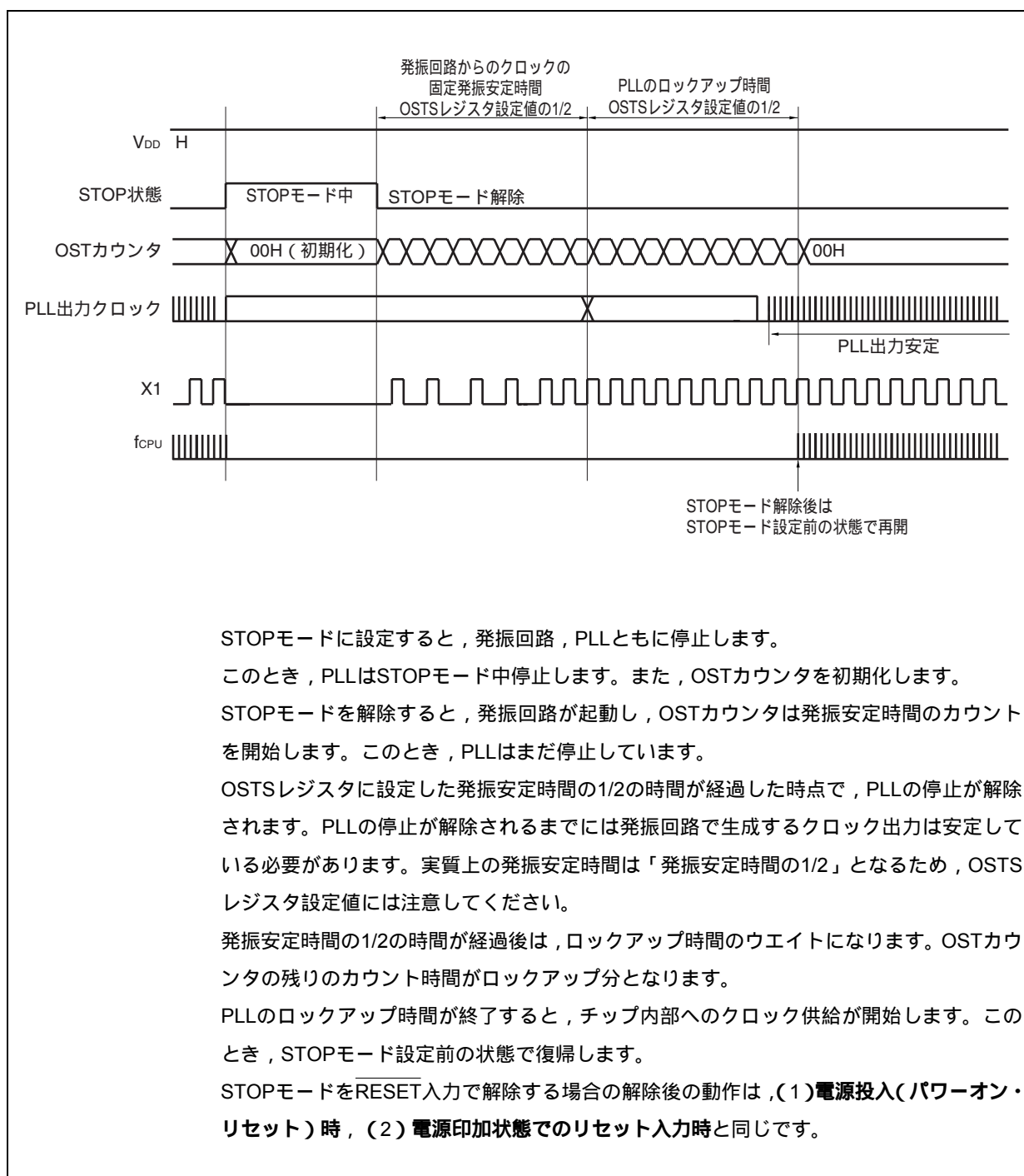
(1) 電源投入 (パワーオン・リセット) 時



(2) 電源印加状態でのリセット入力時



(3) 割り込み要求によるSTOPモード解除時



STOPモードに設定すると、発振回路、PLLともに停止します。

このとき、PLLはSTOPモード中停止します。また、OSTカウンタを初期化します。

STOPモードを解除すると、発振回路が起動し、OSTカウンタは発振安定時間のカウントを開始します。このとき、PLLはまだ停止しています。

OSTSレジスタに設定した発振安定時間の1/2の時間が経過した時点で、PLLの停止が解除されます。PLLの停止が解除されるまでには発振回路で生成するクロック出力は安定している必要があります。実質上の発振安定時間は「発振安定時間の1/2」となるため、OSTSレジスタ設定値には注意してください。

発振安定時間の1/2の時間が経過後は、ロックアップ時間のウエイトになります。OSTカウンタの残りのカウント時間がロックアップ分となります。

PLLのロックアップ時間が終了すると、チップ内部へのクロック供給が開始します。このとき、STOPモード設定前の状態で復帰します。

STOPモードをRESET入力で解除する場合の解除後の動作は、(1)電源投入(パワーオン・リセット)時、(2)電源印加状態でのリセット入力時と同じです。

5.6 クロック・モニタ

(1) クロック・モニタの機能

クロック・モニタは、内蔵発振クロックで、発振回路で生成するクロックのサンプリングを行い、発振停止を検出すると、モータ制御用タイマの出力をハイ・インピーダンスにします（詳細は第10章 モータ制御機能参照）。

第6章 16ビット・タイマ/イベント・カウンタP (TMP)

タイマP (TMP) は、16ビットのタイマ/イベント・カウンタです。

V850E/IA3, V850E/IA4 では、TMP0-TMP3 を内蔵しています。

6.1 概要

次に、TMPnの概要をチャンネルごとに示します (n = 0-3)。

表6 - 1 TMPnの概要

概要	TMP0	TMP1	TMP2	TMP3
クロック選択	8通り	8通り	8通り	8通り
キャプチャ・トリガ入力端子	2本	なし	2本	なし
外部イベント・カウント入力端子	1本	なし	1本	なし
外部トリガ入力端子	1本	なし	1本	なし
タイマ・カウンタ	1本	1本	1本	1本
キャプチャ/コンペア・レジスタ	2本	2本 ^{注1}	2本	2本 ^{注1}
キャプチャ/コンペア一致割り込み要求信号	2本	2本 ^{注1}	2本	2本 ^{注1}
オーバフロー割り込み要求信号	1本	1本	1本	1本
タイマ出力端子	2本	なし	1本	注2

注1. コンペア機能のみ

2. V850E/IA3 : なし

V850E/IA4 : 1本

6.2 機能

TMPnは、チャンネルによって実現できる機能が異なります。実現できる機能を次に示します (n = 0-3)。

表6 - 2 TMPnの機能

機能	TMP0	TMP1	TMP2	TMP3
インターバル・タイマ				
外部イベント・カウンタ		×		×
外部トリガ・パルス出力		×		注1
ワンショット・パルス出力		×		注1
PWM出力		×		注2
フリー・ランニング・タイマ				
パルス幅測定		×		×
タイマ同調動作機能	(TMQ0)	注3	×	×

注1. V850E/IA3 : ×

V850E/IA4 : (ソフトウェア・トリガのみ, 外部トリガ入力はありません)

2. V850E/IA3 : ×

V850E/IA4 :

3. V850E/IA3 : ×

V850E/IA4 : (TMQ1)

6.3 構成

TMPnは、次のハードウェアで構成されています。

表6-3 TMPnの構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ×各1本
レジスタ	TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT) CCR0, CCR1バッファ・レジスタ
タイマ入力	計4本 (TIP00 ^{注1} , TIP01, TIP20 ^{注1} , TIP21端子) ^{注2}
タイマ出力	計4本 (TOP00, TOP01, TOP21, TOP31 ^{注3} 端子) ^{注4}
制御レジスタ	TMPn制御レジスタ0, 1 (TPnCTL0, TPnCTL1) TMPmI/O制御レジスタ0 (TPmIOC0) TMPkI/O制御レジスタ1, 2 (TPkIOC1, TPkIOC2) TMPnオプション・レジスタ0 (TPnOPT0)

注1. TIP00, TIP20端子には、キャプチャ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

2. TMP1, TMP3にはありません。
3. V850E/IA4のみ
4. TMP1にはありません。

備考 V850E/IA3 : n = 0-3 , m = 0, 2 , k = 0, 2
V850E/IA4 : n = 0-3 , m = 0, 2, 3 , k = 0, 2

図6 - 1 TMP0のブロック図

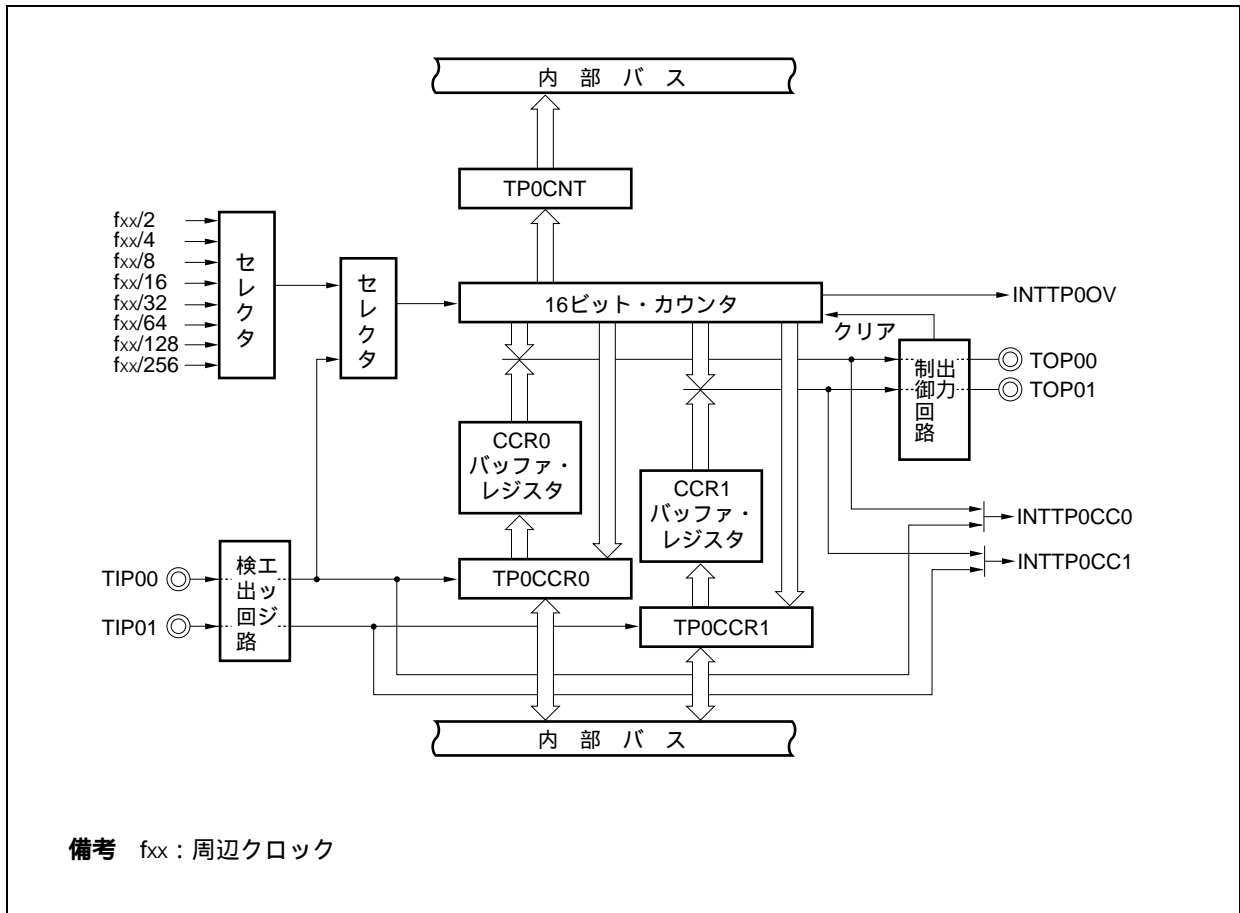


図6-2 TMP1のブロック図

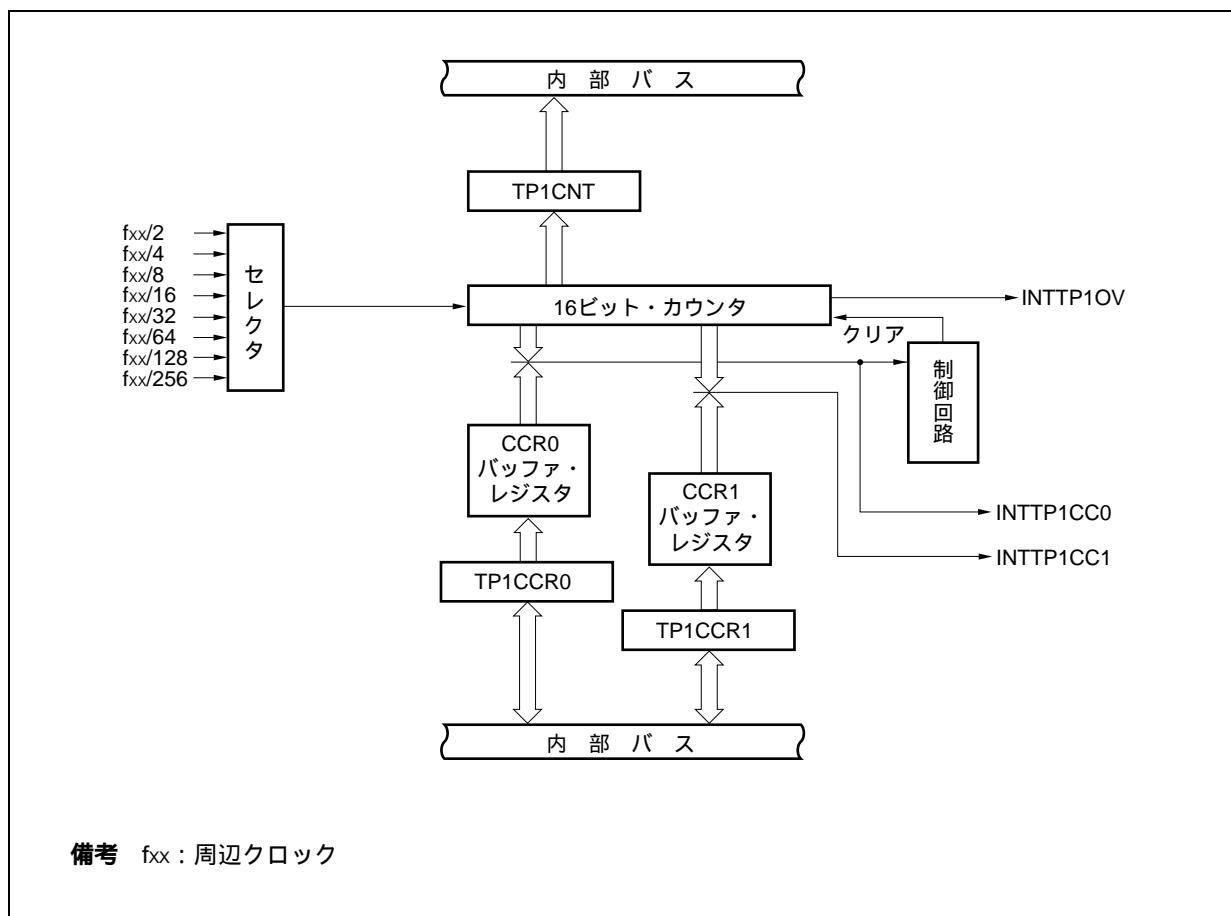


図6-3 TMP2のブロック図

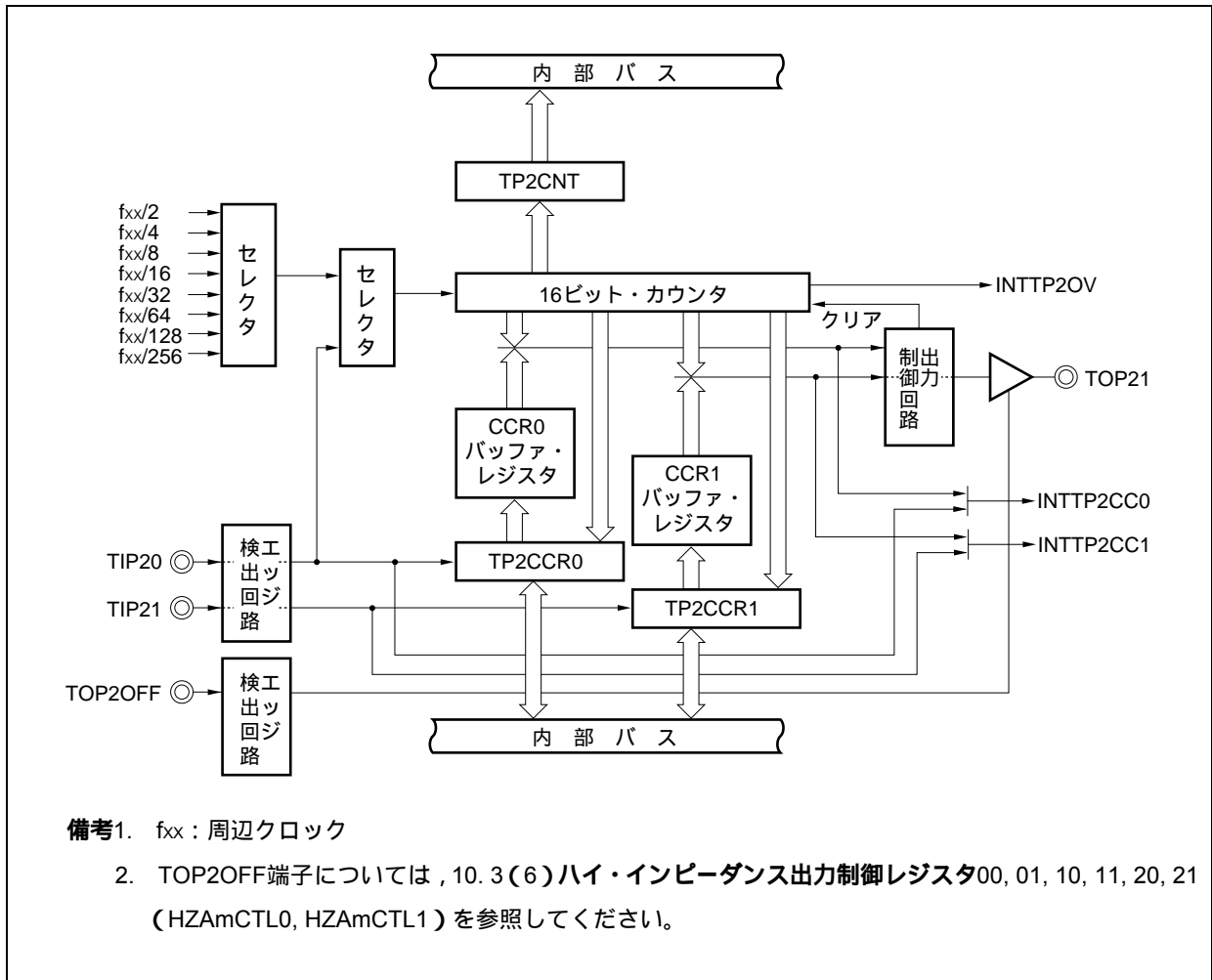
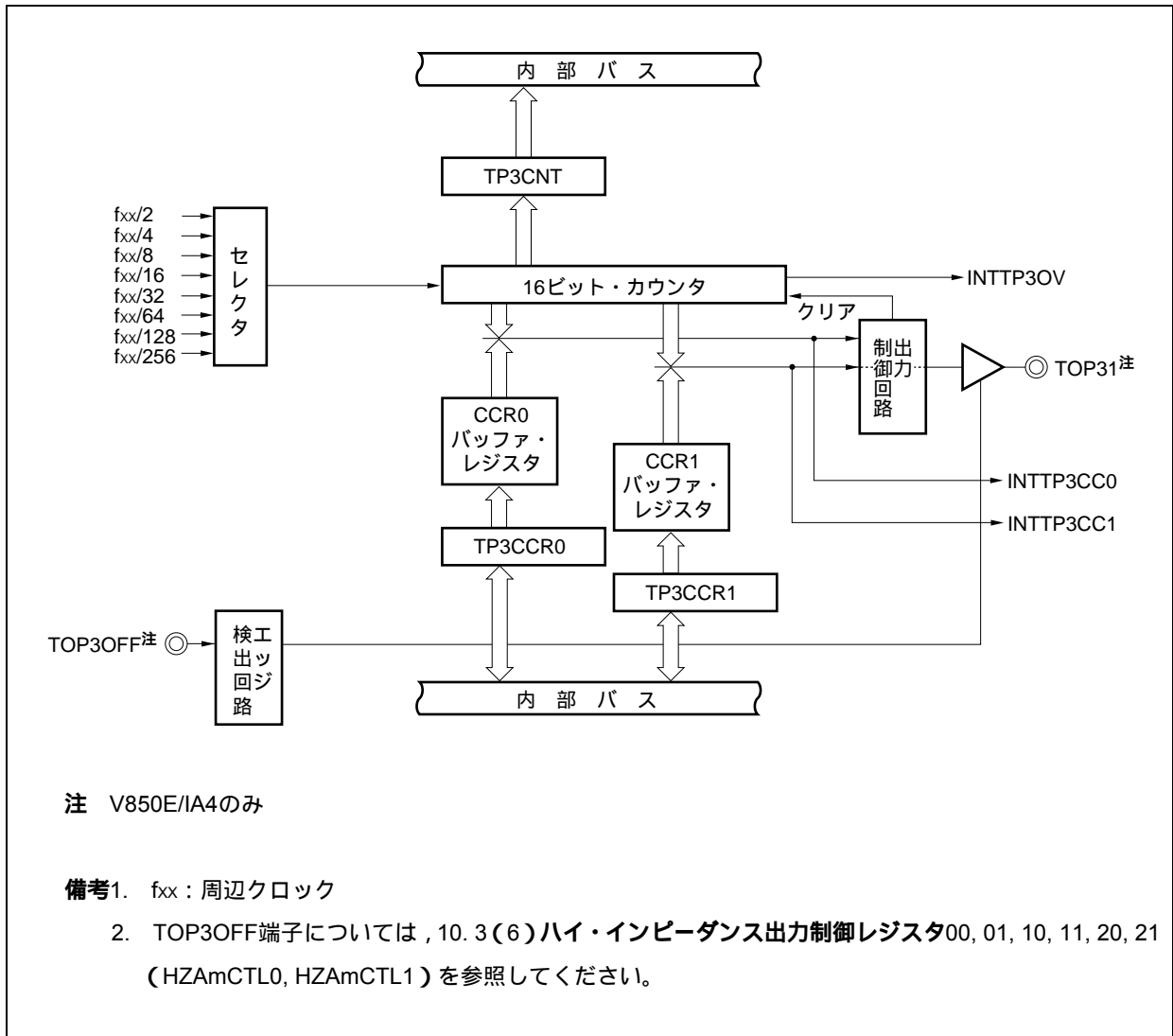


図6 - 4 TMP3のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TPnCNTレジスタでリードできます。

TPnCTL0.TPnCEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTPnCNTレジスタをリードすると0000Hがリードされます。

リセット時にはTPnCEビット = 0になります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR0レジスタをコンペア・レジスタとして使用するとき、TPnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTPnCCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR1レジスタをコンペア・レジスタとして使用するとき、TPnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTPnCCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

TIP00, TIP01, TIP20, TIP21端子に入力される有効エッジを検出します。有効エッジは、TP0IOC1, TP2IOC1, TP0IOC2, TP2IOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOP00, TOP01, TOP21端子, TOP31端子 (V850E/IA4のみ) の出力を制御します。TOP00, TOP01, TOP21端子, TOP31端子 (V850E/IA4のみ) の出力は、TP0IOC0, TP2IOC0レジスタ, TP3IOC0レジスタ (V850E/IA4のみ) で制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

6.4 レジスタ

(1) TMPn制御レジスタ0 (TPnCTL0)

TPnCTL0レジスタは、TMPnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TPnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TP0CTL0 FFFFFFF640H, TP1CTL0 FFFFFFF660H,
TP2CTL0 FFFFFFF680H, TP3CTL0 FFFFFFF6A0H

TPnCTL0	⑦	6	5	4	3	2	1	0
	TPnCE	0	0	0	0	TPnCKS2	TPnCKS1	TPnCKS0
V850E/IA3 n = 0-3 m = 0, 2	TPnCE	TMPnの動作の制御						
	0	TMPn動作禁止 (TMPnを非同期にリセット ^注)						
V850E/IA4 n = 0-3 m = 0, 2, 3	1	TMPn動作許可。TMPn動作開始						
	TPnCKS2	TPnCKS1	TPnCKS0	内部カウント・クロックの選択				
0	0	0	fxx/2					
0	0	1	fxx/4					
0	1	0	fxx/8					
0	1	1	fxx/16					
1	0	0	fxx/32					
1	0	1	fxx/64					
1	1	0	fxx/128					
1	1	1	fxx/256					

注 TPnOPT0.TPnOVFビット、16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOP00, TOP01, TOP21端子, TOP31端子 (V850E/IA4のみ)) も16ビット・カウンタと同時にTPmIOC0レジスタの設定状態にリセットされます。

注意1. TPnCKS2-TPnCKS0ビットは、TPnCEビット = 0のときに設定してください。

TPnCEビットを“0”から“1”に設定するときも、同時にTPnCKS2-TPnCKS0ビットを設定できます。

2. ビット3-6には必ず0を設定してください。

備考 fxx：周辺クロック

(2) TMPn制御レジスタ1 (TPnCTL1)

TPnCTL1レジスタは、TMPnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TP0CTL1 FFFFF641H, TP1CTL1 FFFFF661H,
TP2CTL1 FFFFF681H, TP3CTL1 FFFFF6A1H

	7	6	5	4	3	2	1	0
TPnCTL1	TPaSYE ^{注1}	TPmEST ^{注2}	TPkEEE ^{注3}	0	0	TPnMD2	TPnMD1	TPnMD0
V850E/IA3 n = 0-3 m = 0, 2 k = 0, 2 a = 0, 1	TPaSYE ^{注1}		動作モードの選択					
	0	TMPa単体モード使用						
	1	同調動作モード (10.4.5参照)						
V850E/IA4 n = 0-3 m = 0, 2, 3 k = 0, 2 a = 0, 1	同調動作時のTMPaは、A/Dコンバータ0, 1のA/D変換開始トリガ要因としてのみ使用 できます。同調動作モードは、常に、TMQaと同期して動作します。							
	TPmEST ^{注2}		ソフトウェア・トリガ制御					
	0	-						
	1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 ：TPmESTビットへの"1"ライトをトリガとして、ワンショット・パ ルスを出力 ・外部トリガ・パルス出力モード時 ：TPmESTビットへの"1"ライトをトリガとして、PWM波形を出力						
	TPmESTビットのリード値は常に0です。							
	TPkEEE ^{注3}		カウント・クロックの選択					
	0	外部イベント・カウント入力 (TIPk0端子) での動作禁止 (TPkCTL0.TPkCKS0-TPkCKS2ビットによって選択されたカウント・ク ロックでカウント動作を行う)						
	1	外部イベント・カウント入力 (TIPk0端子) での動作許可 ^{注4} (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)						
	TPkEEEビットは、内部カウント・クロックか、または外部イベント・カウント入 力の有効エッジでカウント動作を行うかを選択するためのビットです。							

注1. TMP0, TMP1のみ設定可能です。TMP2, TMP3のビット7には必ず0を設定してください。

同調動作モードの詳細は第10章 **モータ制御機能**を参照してください。

2. V850E/IA3は、TMP0, TMP2のみ設定可能です。TMP1, TMP3のビット6には必ず0を設定してください。

V850E/IA4は、TMP0, TMP2, TMP3のみ設定可能です。TMP1のビット6には必ず0を設定してください。

3. TMP0, TMP2のみ設定可能です。TMP1, TMP3のビット5には必ず0を設定してください。

4. キャプチャ・トリガ入力 (TIPk0端子) の有効エッジの選択は“エッジ検出なし”に設定してください。

TPnMD2	TPnMD1	TPnMD0	タイマ・モードの選択 ^注
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

注 チャンネルによって実現可能な設定が異なります。詳細は表6 - 8から表6 - 11を参照してください。

- 注意1.** TPmESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- 外部イベント・カウント・モードのときは、TPkEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
 - TPaSYE, TPkEEE, TPnMD2-TPnMD0ビットは、TPnCTL0.TPnCEビット = 0のときに設定してください(TPnCEビット = 1のときの同値書き込みは可能)。TPnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。
 - ビット3, 4には必ず0を設定してください。

(3) TMPmI/O制御レジスタ0 (TPmIOC0)

TPmIOC0レジスタは、タイマ出力 (TOP00, TOPm1端子) を制御する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。リセットにより00Hになります。

備考 V850E/IA3のTMP1, TMP3にはTP1IOC0, TP3IOC0レジスタはありません。
V850E/IA4のTMP1にはTP1IOC0レジスタはありません。

リセット時 : 00H R/W アドレス : TP0IOC0 FFFFF642H, TP2IOC0 FFFFF682H,
TP3IOC0 FFFFF6A2H^{注1}

	7	6	5	4	3	②	1	①
TPmIOC0	0	0	0	0	TPmOL1	TPmOE1	TP0OL0 ^{注2}	TP0OE0 ^{注2}
[V850E/IA3 m = 0, 2]	TPmOL1		TOPm1端子出力レベルの設定 ^{注3}					
	0	TOPm1端子ハイ・レベル・スタート						
[V850E/IA4 m = 0, 2, 3]	1	TOPm1端子ロウ・レベル・スタート						

TPmOE1	TOPm1端子出力の設定	
0	タイマ出力禁止 ・ TPmOL1ビット = 0のときTOPm1端子からロウ・レベルを出力 ・ TPmOL1ビット = 1のときTOPm1端子からハイ・レベルを出力	
1	タイマ出力許可 (TOPm1端子からパルスを出力)	

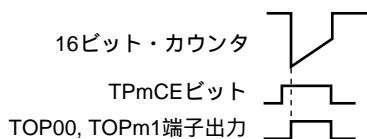
TP0OL0 ^{注2}	TOP00端子出力レベルの設定 ^{注3}	
0	TOP00端子ハイ・レベル・スタート	
1	TOP00端子ロウ・レベル・スタート	

TP0OE0 ^{注2}	TOP00端子出力の設定	
0	タイマ出力禁止 ・ TP0OL0ビット = 0のときTOP00端子からロウ・レベルを出力 ・ TP0OL0ビット = 1のときTOP00端子からハイ・レベルを出力	
1	タイマ出力許可 (TOP00端子からパルスを出力)	

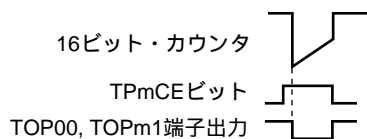
注1. V850E/IA4のみ

2. TMP0のみ有効です。TMP2, TMP3のビット1, 0には必ず0を設定してください。
3. TPmOLaビットの指定によるタイマ出力端子 (TOP00, TOPm1) の出力レベルを次に示します (a = 0, 1)。

・ TPmOLaビット = 0の場合



・ TPmOLaビット = 1の場合



- 注意1. ポート設定がTOP00, TOPm1出力設定の場合, TPmIOC0レジスタの設定を書き換えると端子出力が変化するので, ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして, 端子状態の変化に注意してください。
2. TPmOL1, TPmOE1, TP0OL0, TP0OE0ビットは, TPmCTL0.TPmCEビット = 0のときに書き換えてください(TPmCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TPmCEビットをクリア(0)してから再設定してください。
 3. TPmCEビット = 0, TP0OE0ビット = 0, TPmOE1ビット = 0の状態において, TP0OL0ビット, TPmOL1ビットを操作した場合でも, TOP00, TOPm1端子の出力レベルは変化します。

(4) TMPkI/O制御レジスタ1 (TPkIOC1)

TPkIOC1レジスタは、キャプチャ・トリガ入力信号 (TIPk0, TIPk1端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

備考 TMP1, TMP3には、TP1IOC1, TP3IOC1レジスタはありません。

リセット時 : 00H R/W アドレス : TP0IOC1 FFFFF643H, TP2IOC1 FFFFF683H

	7	6	5	4	3	2	1	0
TPkIOC1	0	0	0	0	TPkIS3	TPkIS2	TPkIS1	TPkIS0

(k = 0, 2)

TPkIS3	TPkIS2	キャプチャ・トリガ入力信号 (TIPk1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPkIS1	TPkIS0	キャプチャ・トリガ入力信号 (TIPk0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPkIS3-TPkIS0ビットは、TPkCTL0.TPkCEビット = 0のときに書き換えてください (TPkCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPkCEビットをクリア (0) してから再設定してください。
- 2.** TPkIS3-TPkIS0ビットは、フリー・ランニング・タイマ・モード (TPnOPT0.TPkCCS1, TPkCCS0ビット = 11時のみ) と、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行なわれません (TMP0, TMP2のみ)。

(5) TMPkI/O制御レジスタ2 (TPkIOC2)

TPkIOC2レジスタは、外部イベント・カウント入力信号 (TIPk0端子)、外部トリガ入力信号 (TIPk0端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

備考 TMP1, TMP3には、TP1IOC2, TP3IOC2レジスタはありません。

リセット時 : 00H R/W アドレス : TP0IOC2 FFFFF644H, TP2IOC2 FFFFF684H

	7	6	5	4	3	2	1	0
TPkIOC2	0	0	0	0	TPkEES1	TPkEES0	TPkETS1	TPkETS0

(k = 0, 2)

TPkEES1	TPkEES0	外部イベント・カウント入力信号 (TIPk0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPkETS1	TPkETS0	外部トリガ入力信号 (TIPk0端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPkEES1, TPkEES0, TPkETS1, TPkETS0ビットは、TPkCTL0.TPkCEビット = 0のときに書き換えてください (TPkCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPkCEビットをクリア (0) してから再設定してください。
2. TPkEES1, TPkEES0ビットは、TPkCTL1.TPkEEEビット = 1、または、外部イベント・カウント・モード (TPkCTL1.TPkMD2-TPkMD0ビット = 001) に設定したときのみ有効です。
3. TPkETS1, TPkETS0ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。

(6) TMPnオプション・レジスタ0 (TPnOPT0)

TPnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0OPT0 FFFFF645H, TP1OPT0 FFFFF665H,
TP2OPT0 FFFFF685H, TP3OPT0 FFFFF6A5H

	7	6	5	4	3	2	1	①
TPnOPT0 (n = 0-3, k = 0, 2)	0	0	TPkCCS1 ^注	TPkCCS0 ^注	0	0	0	TPnOVF

TPkCCS1 ^注	TPkCCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TPkCTL0.TPkCEビット = 0によりクリア)
TPkCCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPkCCS0 ^注	TPkCCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TPkCTL0.TPkCEビット = 0によりクリア)
TPkCCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnOVF	TMPnのオーバフロー検出フラグ
セット (1)	オーバフロー発生
リセット (0)	TPnOVFビットへの0書き込みまたはTPnCTL0.TPkCEビット = 0
<p>・ TPnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタの値がFFFFHから0000Hにオーバフローするときセット (1) されます。</p> <p>・ TPnOVFビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTPnOV) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTPnOV信号は発生しません。</p> <p>・ TPnOVFビット = 1のときにTPnOVFビットまたはTPnOPT0レジスタをリードしても、TPnOVFビットはクリア (0) されません。</p> <p>・ INTTPnOV信号発生後、TPnOVFビットをクリア (0) する場合は、必ずTPnOVFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。</p> <p>・ TPnOVFビットはリード/ライト可能ですが、ソフトウェアでTPnOVFビットをセット (1) することはできません。1をライトしてもTMPnの動作に影響はありません。</p>	

注 TMP0, TMP2のみ有効です。TMP1, TMP3のビット5, 4には必ず0を設定してください。

注意1. TPkCCS1, TPkCCS0ビットは、TPkCEビット = 0のときに書き換えてください (TPkCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPkCEビットをクリア (0) してから再設定してください。

2. ビット1-3, 6, 7には必ず0を設定してください。

(7) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TP0CCR0, TP2CCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TP1CCR0, TP3CCR0レジスタは、コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

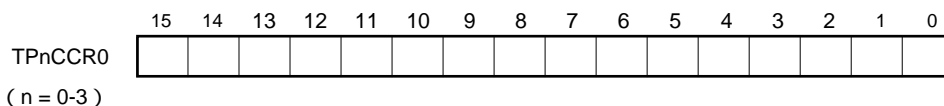
TP0CCR0, TP2CCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TP0OPT0.TP0CCS0ビットまたはTP2OPT0.TP2CCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TPnCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時：0000H R/W アドレス：TP0CCR0 FFFFF646H, TP1CCR0 FFFFF666H,
TP2CCR0 FFFFF686H, TP3CCR0 FFFFF6A6H



(a) コンペア・レジスタとしての機能

TPnCCR0レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC0) を発生し、TOP00端子出力を許可している場合、TOP00端子出力を反転します (TOP10, TOP20, TOP30端子はありません)。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TPnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TPnCTL0.TPnCEビット = 0によりコンペア・レジスタはクリアされません。

備考 k = 0, 2

(b) キャプチャ・レジスタとしての機能 (TP0CCR0, TP2CCR0レジスタのみ)

フリー・ランニング・タイマ・モードにおいて、TPkCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIPk0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPkCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIPk0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPkCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPkCCR0レジスタのリードが競合しても、TPkCCR0レジスタは正しい値をリードできます。

TPkCTL0.TPkCEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 k = 0, 2

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表6 - 4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ ^{注1}	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 ^{注2}	コンペア・レジスタ	一斉書き込み ^{注4}
ワンショット・パルス出力 ^{注2}	コンペア・レジスタ	随時書き込み
PWM出力 ^{注3}	コンペア・レジスタ	一斉書き込み ^{注4}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TMP0, TMP2のみ

2. TMP0, TMP2のみ (V850E/IA4はソフトウェア・トリガならTMP3でも可能)

3. TMP0, TMP2のみ (V850E/IA4はTMP3でも可能)

4. TPnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、6.6(2)随時書き込みと一斉書き込みを参照してください。

(8) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

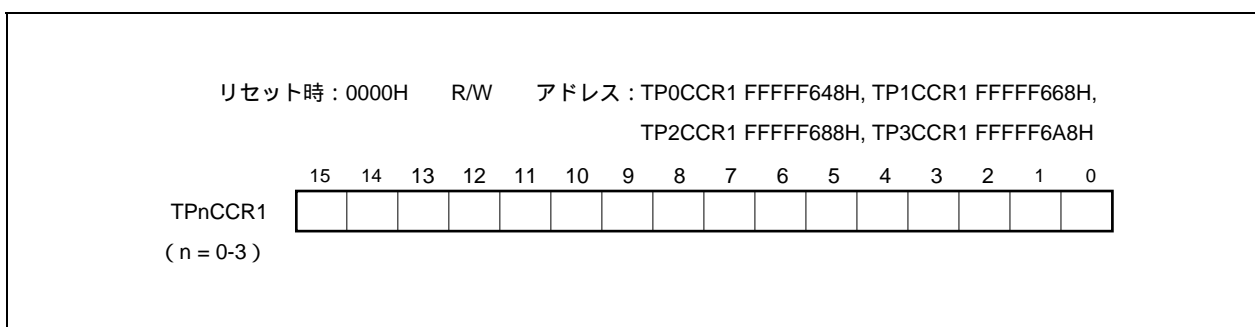
TP0CCR1, TP2CCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TP1CCR1, TP3CCR1レジスタは、コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

TP0CCR1, TP2CCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TP0OPT0.TP0CCS1ビットまたはTP2OPT0.TP2CCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TPnCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



(a) コンペア・レジスタとしての機能

TPnCCR1レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC1) を発生し、TOPm1端子出力を許可している場合、TOPm1端子出力を反転します (TOP11端子はありません)。

TPnCTL0.TPnCEビット = 0によりコンペア・レジスタはクリアされません。

備考 V850E/IA3 : m = 0, 2

V850E/IA4 : m = 0, 2, 3

(b) キャプチャ・レジスタとしての機能 (TP0CCR1, TP2CCR1レジスタのみ)

フリー・ランニング・タイマ・モードにおいて、TPkCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIPk1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPkCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIPk1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPkCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPkCCR1レジスタのリードが競合しても、TPkCCR1レジスタは正しい値をリードできます。

TPkCTL0.TPkCEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 k = 0, 2

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表6 - 5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ ^{注1}	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 ^{注2}	コンペア・レジスタ	一斉書き込み ^{注4}
ワンショット・パルス出力 ^{注2}	コンペア・レジスタ	随時書き込み
PWM出力 ^{注3}	コンペア・レジスタ	一斉書き込み ^{注4}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TMP0, TMP2のみ

2. TMP0, TMP2のみ (V850E/IA4はソフトウェア・トリガならTMP3でも可能)

3. TMP0, TMP2のみ (V850E/IA4はTMP3でも可能)

4. TPnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、6.6(2)随時書き込みと一斉書き込みを参照してください。

(9) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

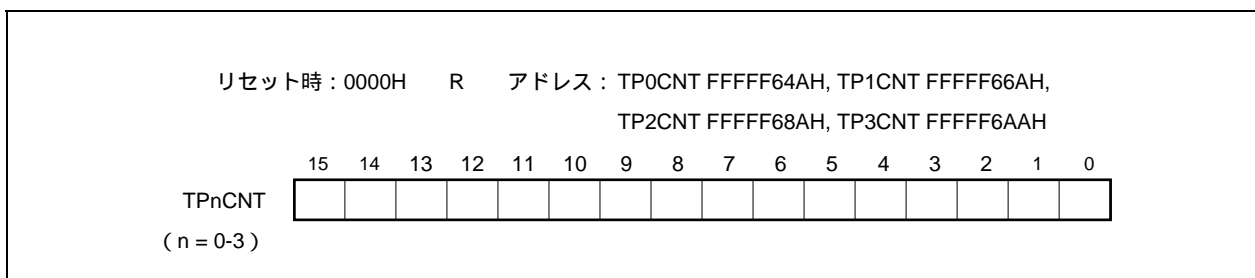
TPnCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TPnCTL0.TPnCEビット = 1のときにTPnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TPnCEビット = 0のとき、TPnCNTレジスタは0000Hになります。このときにTPnCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) ではなく、そのまま0000Hがリードされます。

リセットによりTPnCEビット = 0になり、TPnCNTレジスタは0000Hになります。



6.5 タイマ出力動作説明

次にTOP00, TOPm1端子の動作, および出力レベルを示します。

表6 - 6 各モードによるタイマ出力制御

動作モード	TOPm1端子	TOP00端子
インターバル・タイマ・モード	PWM出力	
外部イベント・カウント・モード	なし	
外部トリガ・パルス出力モード	外部トリガ・パルス出力	PWM出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	PWM出力 (コンペア機能のときのみ)	
パルス幅測定モード	なし	

備考 V850E/IA3 : m = 0, 2

V850E/IA4 : m = 0, 2, 3

表6 - 7 タイマ出力制御ビットによるTOP00, TOPm1端子の真値表

TPmIOC0.TPmOLaビット	TPmIOC0.TPmOEaビット	TPmCTL0.TPmCEビット	TOPma端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 V850E/IA3 : m = 0のとき, a = 0, 1

m = 2のとき, a = 1

V850E/IA4 : m = 0のとき, a = 0, 1

m = 2, 3のとき, a = 1

6.6 動作

TMPn は、チャンネルによって実現できる機能が異なります。次に各チャンネルの機能を示します。

表6-8 TMP0の各モードの仕様

動作	TP0CTL1.TP0ESTビット (ソフトウェア・トリガ・ビット)	TIP00端子 (外部トリガ入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外

注1. 外部イベント・カウント・モードを使用する場合、TIP00端子のキャプチャ・トリガ入力の有効エッジの選択を、エッジを検出しない (TP0IOC1.TP0IS1, TP0IS0ビットを“00”) に設定してください。

2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TP0CTL1.TP0EEEビット = 0に設定) してください。

備考1. TIP00端子には、キャプチャ・トリガ入力と外部イベント・カウント入力と外部トリガ入力が兼用されています。

2. TMP0はTMQ0との同調動作機能があります。詳細は第10章 モータ制御機能を参照してください。

表6-9 TMP1の各モードの仕様

動作	ソフトウェア・トリガ・ビット	外部トリガ入力	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード			なし	
外部トリガ・パルス出力モード			なし	
ワンショット・パルス出力モード			なし	
PWM出力モード			なし	
フリー・ランニング・タイマ・モード	無効	無効	コンペア専用	随時書き込み
パルス幅測定モード			なし	

備考1. TMP1にはタイマ入力端子 (TIP10, TIP11)、およびタイマ出力端子 (TOP10, TOP11) はありません。16ビット・カウンタとTP1CCR0, TP1CCR1レジスタとの一致割り込み要求信号 (INTTP1CC0, INTTP1CC1) はあります。

2. TMP1はTMQ1との同調動作機能があります (V850E/IA4のみ)。詳細は第10章 モータ制御機能を参照してください。

表6 - 10 TMP2の各モードの仕様

動作	TP2CTL1.TP2ESTビット (ソフトウェア・トリガ・ビット)	TIP20端子 (外部トリガ入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタ の書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外

注1. 外部イベント・カウント・モードを使用する場合、TIP20端子のキャプチャ・トリガ入力の有効エッジの選択を、エッジを検出しない (TP2IOC1.TP2IS1, TP2IS0ビットを“00”) に設定してください。

- 外部トリガ・パルス出力モード、ワンショット・パルス出力モードを使用する場合、カウント・クロックは内部クロックを選択 (TP2CTL1.TP2EEEビット = 0に設定) してください。

備考 TIP20端子には、キャプチャ・トリガ入力と外部イベント・カウント入力と外部トリガ入力が兼用されています。

表6 - 11 TMP3の各モードの仕様

動作	TP3CTL1.TP3ESTビット (ソフトウェア・トリガ・ビット)	外部トリガ入力	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタ の書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	なし			
外部トリガ・パルス出力モード ^{注1, 2}	有効	無効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注1, 2}	有効	無効	コンペア専用	随時書き込み
PWM出力モード ^{注1}	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・モード	無効	無効	コンペア専用	随時書き込み
パルス幅測定モード	なし			

注1. V850E/IA4のみ

- 外部トリガ・パルス出力モード、ワンショット・パルス出力モードを使用する場合、外部トリガ入力はできません。ソフトウェア・トリガ (TP3CTL1.TP3ESTビットで設定) のみ可能です。

備考 TMP3には、タイマ入力端子 (TIP30, TIP31)、およびタイマ出力端子 (V850E/IA3: TOP30, TOP31, V850E/IA4: TOP30) はありません。16ビット・カウンタとTP3CCR0, TP3CCR1レジスタとの一致割り込み要求信号 (INTTP3CC0, INTTP3CC1) はあります。

(1) カウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

備考 $n = 0-3$, $k = 0, 2$

(a) カウント開始動作

- ・外部イベント・カウント・モード

TPkCTL0.TPkCEビット = 0 のタイミングで16ビット・カウンタに0000Hが設定されます。その後は、外部イベント・カウント入力(TIPk0)の有効エッジ検出することにより0001H, 0002H, 0003H, ...とカウント・アップします。

- ・上記以外のモード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

(b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバーフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって、INTTPnCC0, INTTPnCC1割り込み信号は発生しません。

(c) オーバフロー動作

16ビット・カウンタのオーバーフローは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバーフローが発生すると、TPnOPT0.TPnOVビットがセット(1)され、割り込み要求信号(INTTPnOV)が発生します。なお、次の条件ではINTTPnOV信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値がFFFFHで一致&クリアされた場合
- ・パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

注意 オーバフロー割り込み要求信号(INTTPnOV)発生後は、必ずオーバーフロー・フラグ(TPnOVビット)が“1”にセットされているのを確認してください。

(d) カウント動作中のカウンタ・リード動作

TMPnでは、TPnCNTレジスタにより、カウント動作中の16ビット・カウンタの値をリードできます。

TPnCTL0.TPnCEビット = 1のときは、TPnCNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TPnCEビット = 0のときは、16ビット・カウンタがFFFFHで、TPnCNTレジスタが0000Hです。

(e) 割り込み動作

TMPnでは、次の3種類の割り込み要求信号を発生します。

- ・INTTPnCC0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号、およびTPnCCR0レジスタへのキャプチャ割り込み要求信号として機能します。

- ・INTTPnCC1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号, およびTPnCCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・INTTPnOV割り込み : オーバフロー割り込み要求信号として機能します。

(2) 随時書き込みと一斉書き込み

TMPnでは, タイマ動作中 (TPnCTL0.TPnCEビット = 1) でもTPnCCR0, TPnCCR1レジスタの書き換えを許可していますが, モードによってCCR0, CCR1バッファ・レジスタへの書き込み方法 (随時書き込み, 一斉書き込み) が異なります。

(a) 随時書き込み

このモードは, タイマ動作中にTPnCCR0, TPnCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を随時行います (n = 0-3)。

図6 - 5 随時書き込みの基本動作フロー・チャート

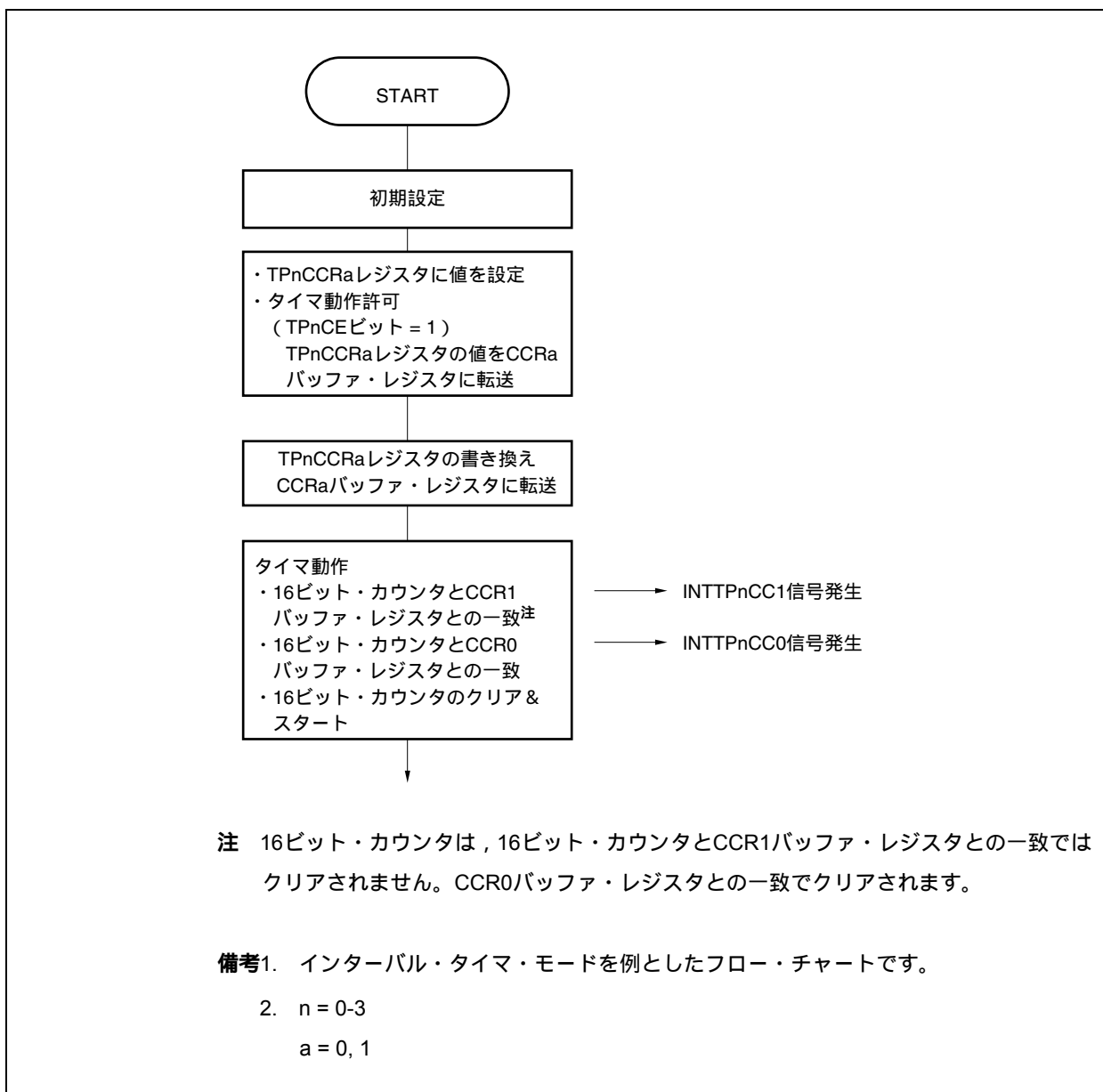
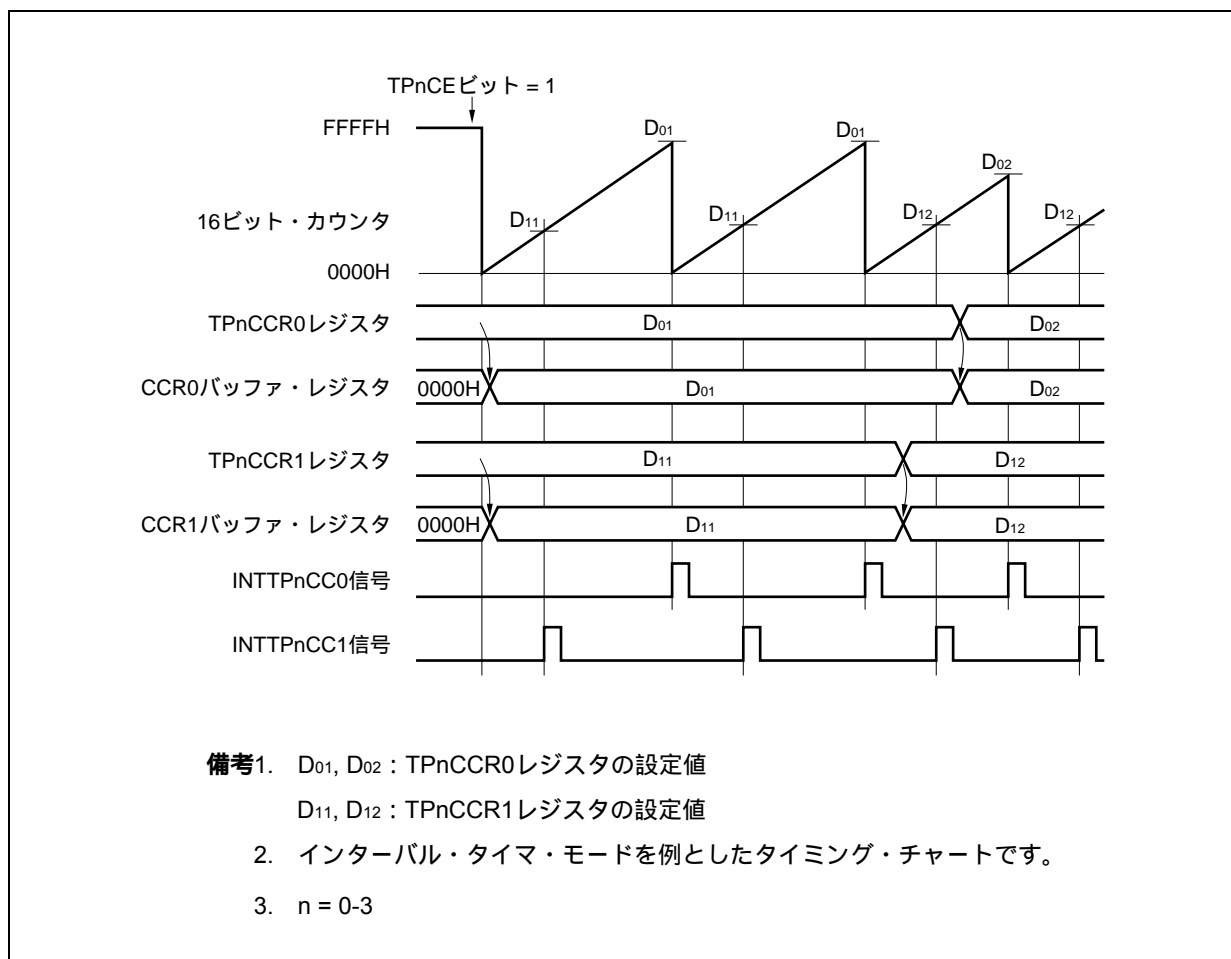


図6-6 随時書き込みのタイミング

**(b) 一斉書き込み**

このモードは、タイマ動作中にTPmCCR0, TPmCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTPmCCR1レジスタへの書き込みとなります。TPmCCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TPmCCR0, TPmCCR1レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする(CCR0, CCR1バッファ・レジスタに転送される)には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTPmCCR0レジスタを書き換え、次にTPmCCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TPmCCR0, TPmCCR1レジスタの値はCCR0, CCR1バッファ・レジスタに転送されます。なお、TPmCCR0レジスタの値だけ書き換えたい場合でも、TPmCCR1レジスタに同値(すでに設定したTPmCCR1レジスタと同じ値)を書き込んでください。

図6-7 一斉書き込みの基本動作フロー・チャート

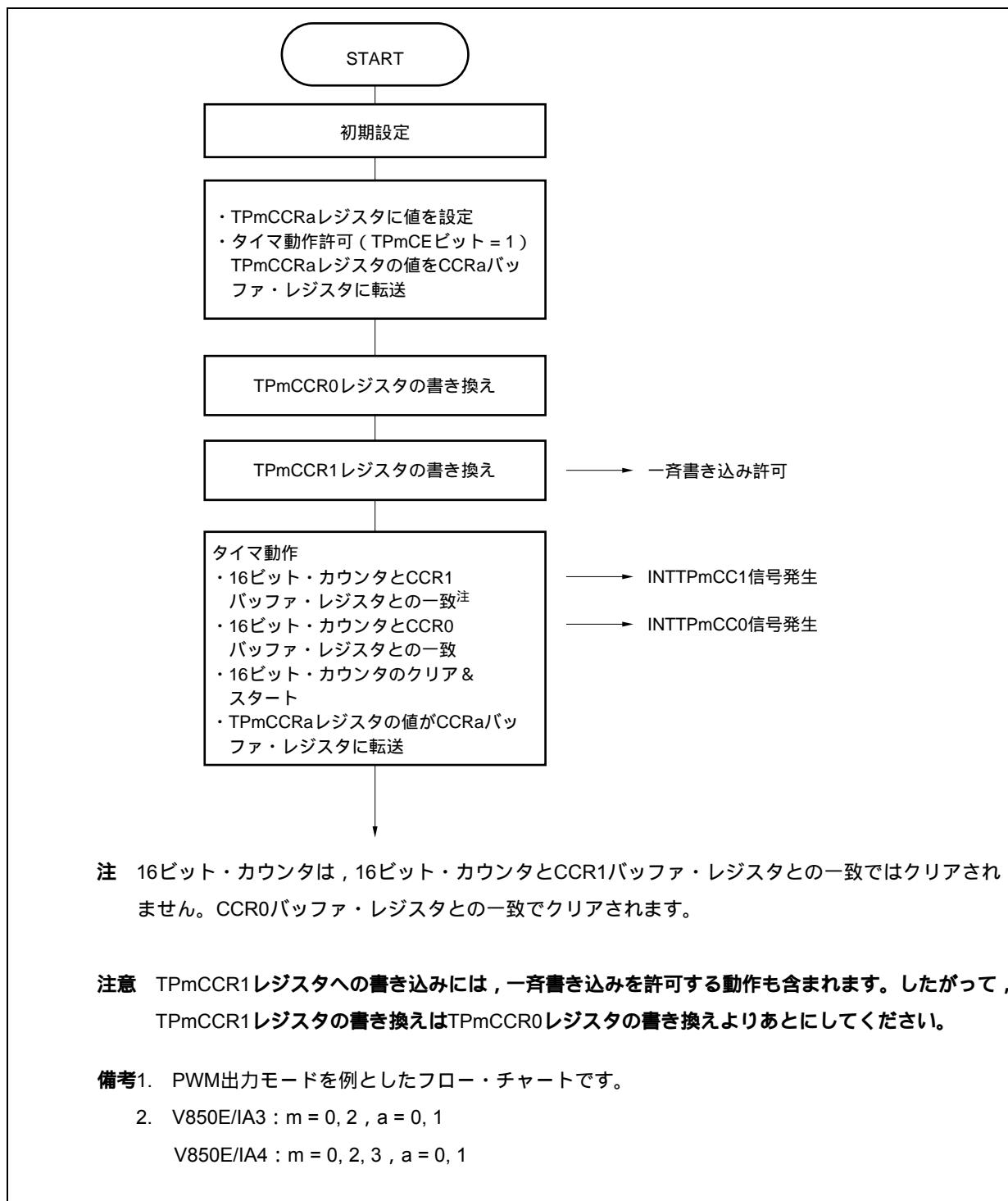
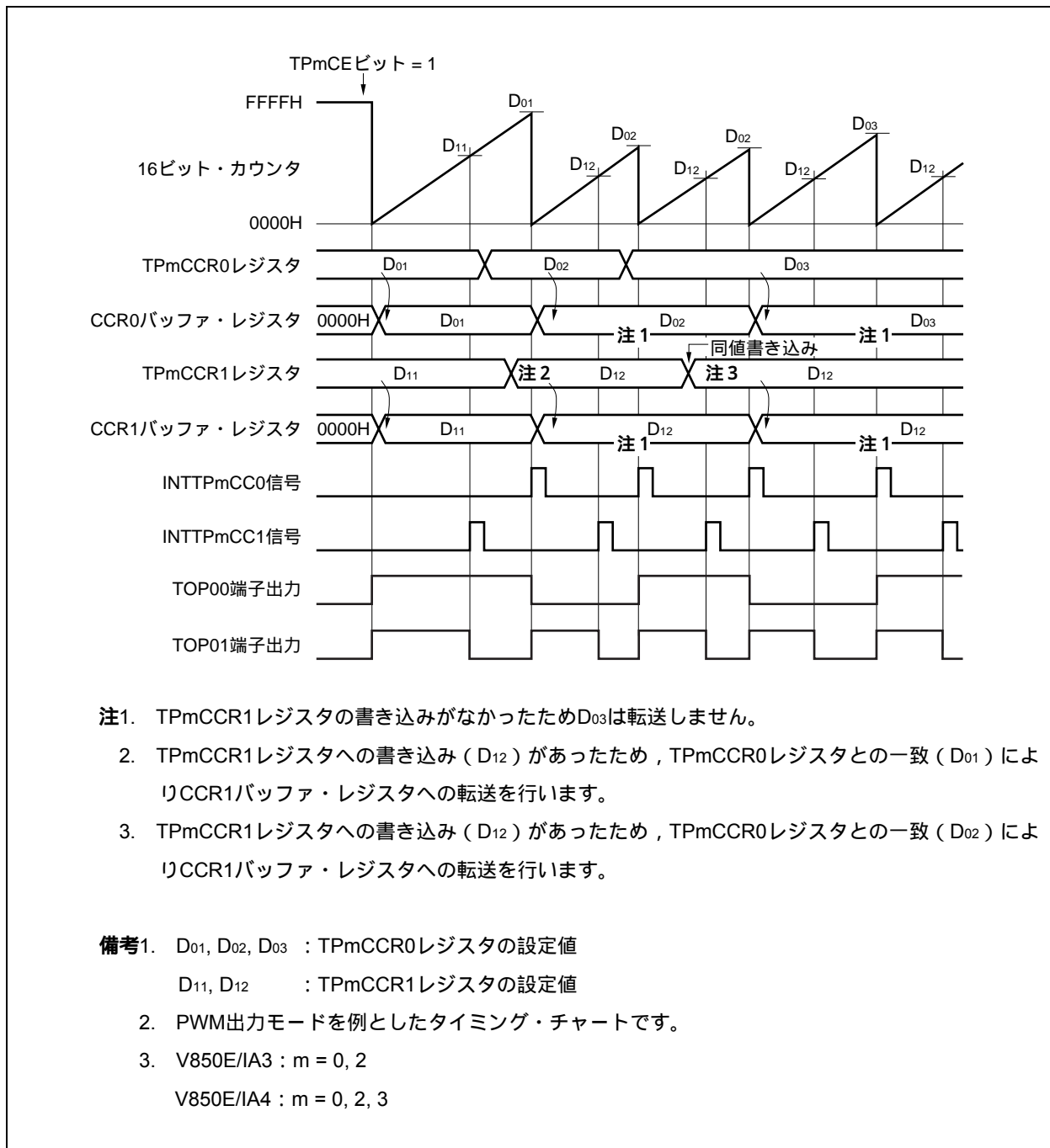


図6 - 8 一斉書き込みのタイミング



6.6.1 インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000)

インターバル・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することで、TPnCCR0レジスタで設定したインターバル間隔にて割り込み要求信号(INTTPnCC0)を発生します。また、TOP00端子から、インターバル間隔を半周期とする50%デューティのPWM波形を出力できます(TMP0のみ)。

インターバル・タイマ・モードでは、TPnCCR1レジスタを使用しません。しかし、TPnCCR1レジスタでは、TPnCCR1レジスタの設定値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号(INTTPnCC1)が発生します。また、TOPm1端子から、INTTPmCC1信号の発生タイミングで反転する50%デューティのPWM波形を出力できます。

なお、TPnCCR0, TPnCCR1レジスタのタイマ動作中の書き換えは可能です。

備考 V850E/IA3 : m = 0, 2

V850E/IA4 : m = 0, 2, 3

図6-9 インターバル・タイマの構成図

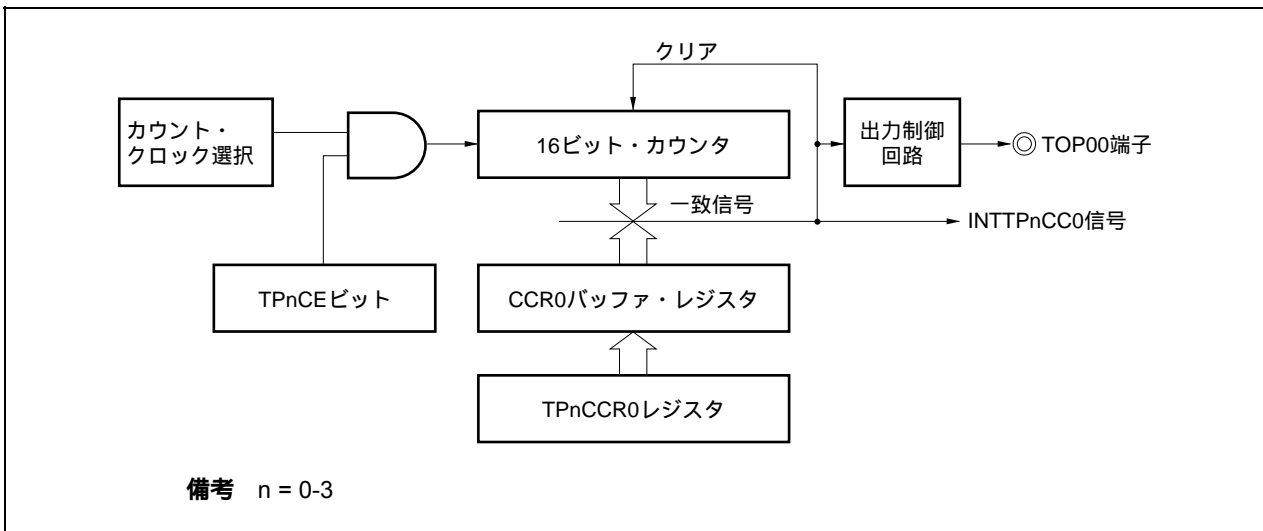
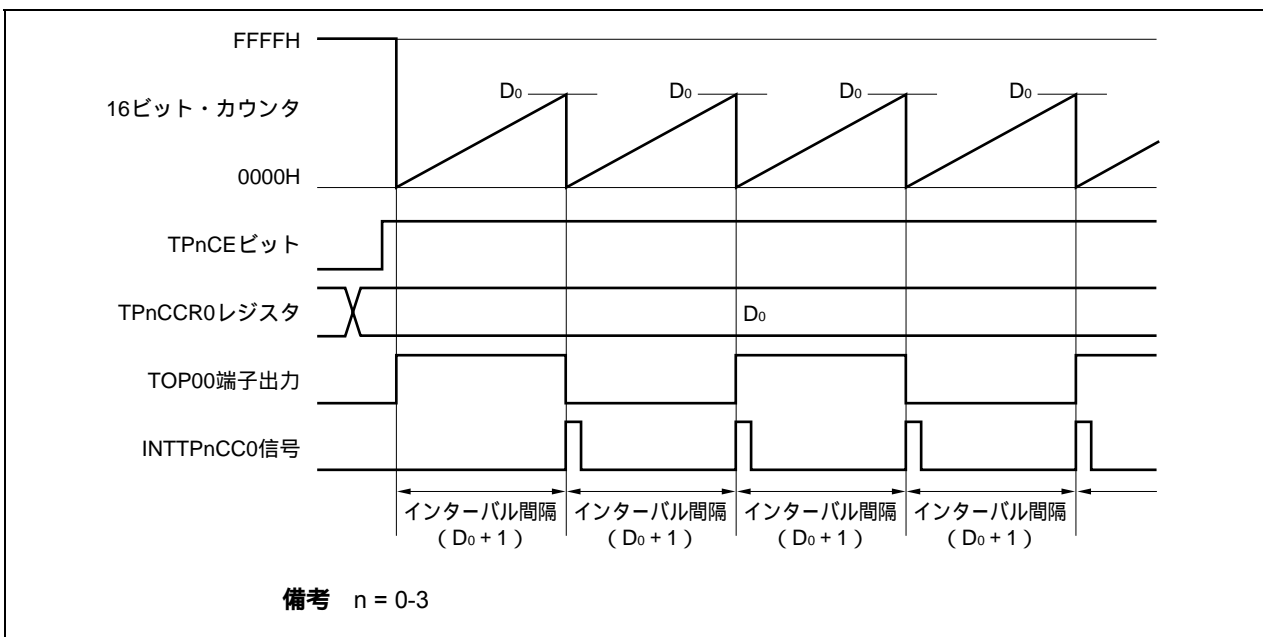


図6-10 インターバル・タイマ・モード動作の基本タイミング



TPnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOP00端子出力を反転します。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOP00端子出力を反転させて、コンペア一致割り込み要求信号(INTTPnCC0)を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TPnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0-3

図6 - 11 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/2)

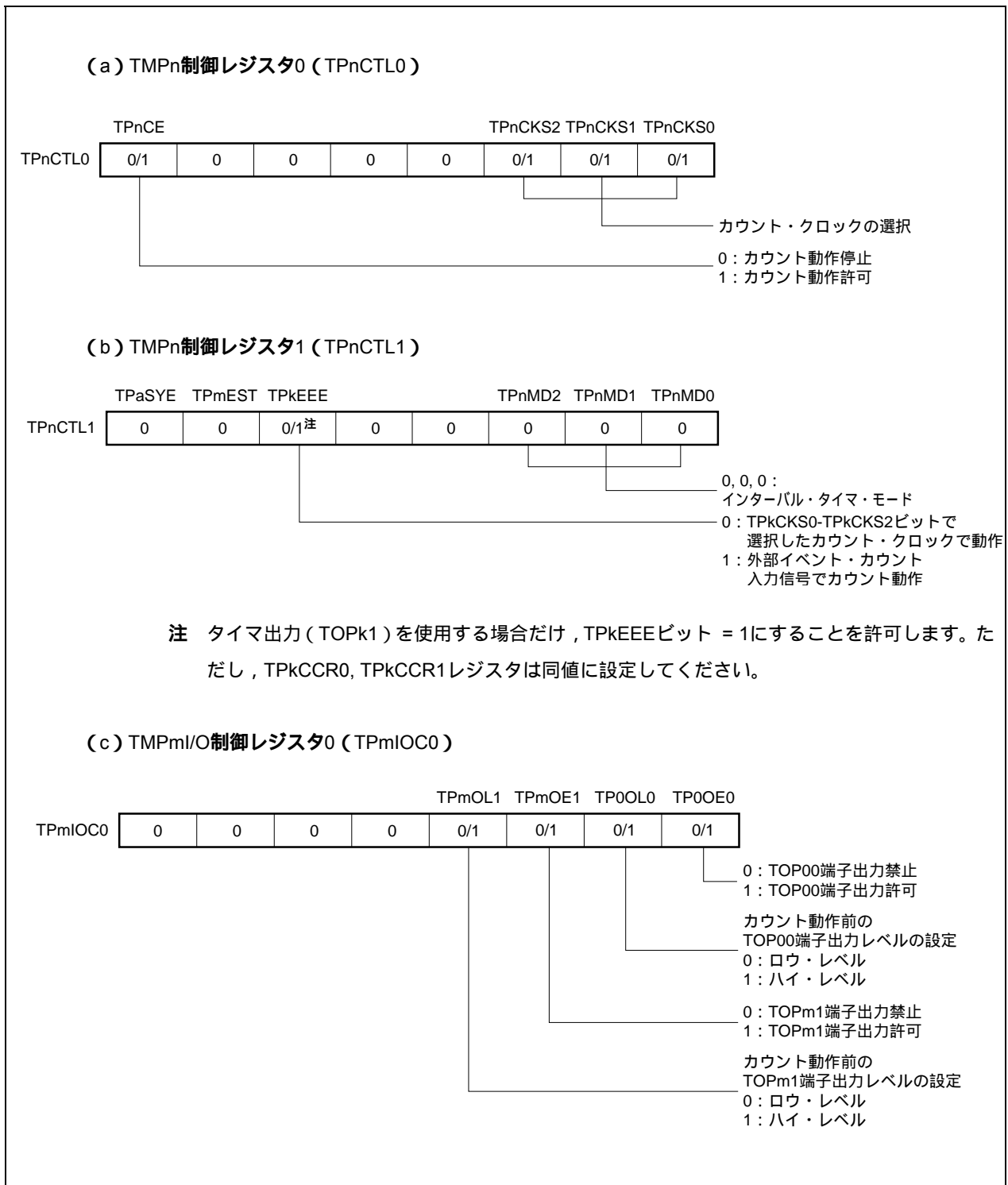
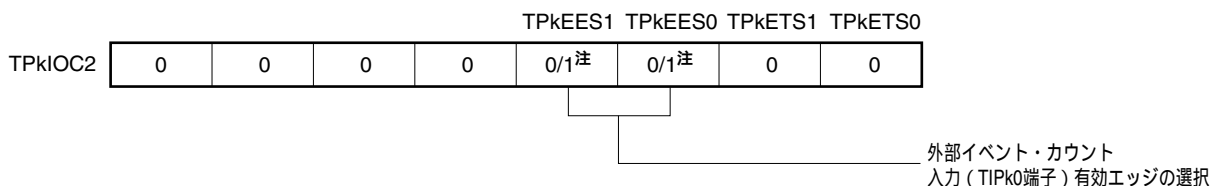


図6 - 11 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

(d) TMPkI/O制御レジスタ2 (TPkIOC2)



注 タイマ出力 (TOPk1) を使用する場合だけ、TPkEES1, TPkEES0ビットを設定することを許可します。ただし、TPkCCR0, TPkCCR1レジスタは同値に設定してください。

(e) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(f) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

となります。

(g) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

インターバル・タイマ・モードでは、TPnCCR1レジスタを使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致すると、TOPm1端子出力を反転し、コンペア一致割り込み要求信号 (INTTPnCC1) が発生します。

TPnCCR0レジスタの設定値と同じ値を設定することにより、TOPm1端子から50 %デューティのPWM波形を出力できます。

TPnCCR1レジスタを使用しない場合には、TPnCCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TPnCCIC1.TPnCCMK1) でマスク設定してください。

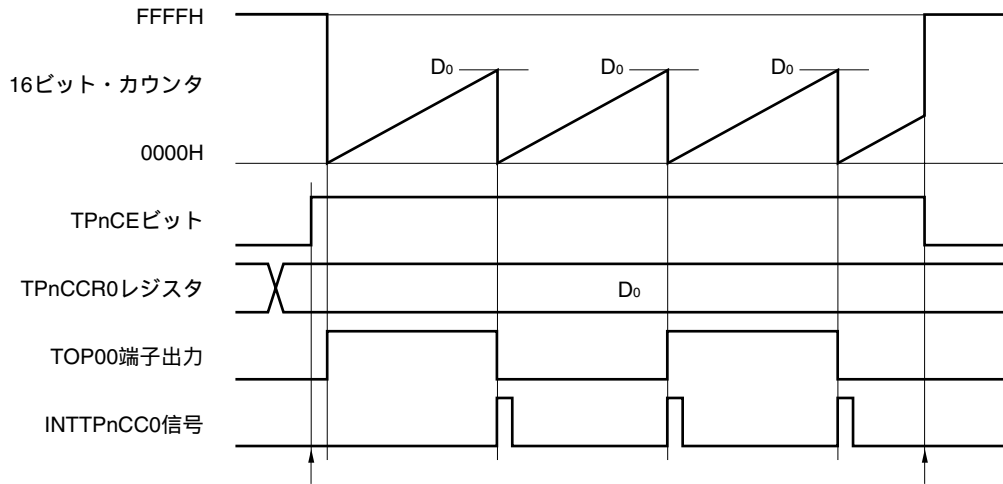
備考1. TMPkI/O制御レジスタ1 (TPkIOC1) , TMPnオプション・レジスタ0 (TPnOPT0) は、インターバル・タイマ・モードでは使用しません。

2. V850E/IA3 : n = 0-3 , m = 0, 2 , k = 0, 2 , a = 0, 1

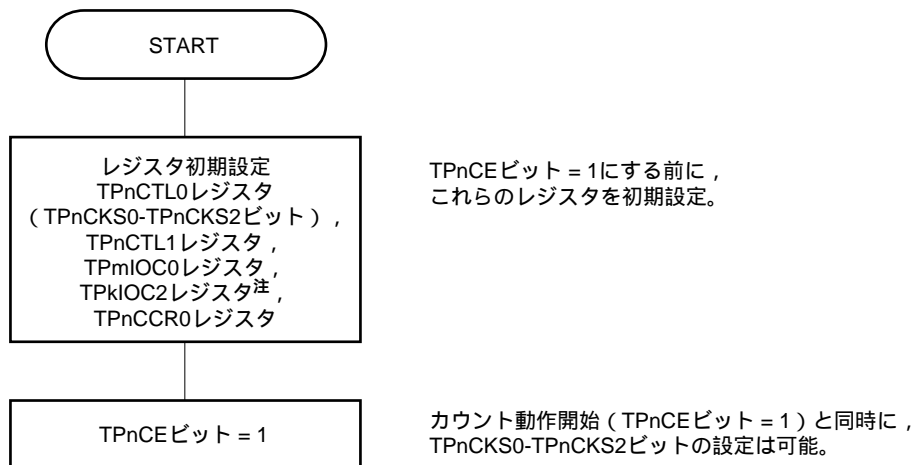
V850E/IA4 : n = 0-3 , m = 0, 2, 3 , k = 0, 2 , a = 0, 1

(1) インターバル・タイマ・モード動作フロー

図6 - 12 インターバル・タイマ・モード使用時のソフトウェア処理フロー (1/2)



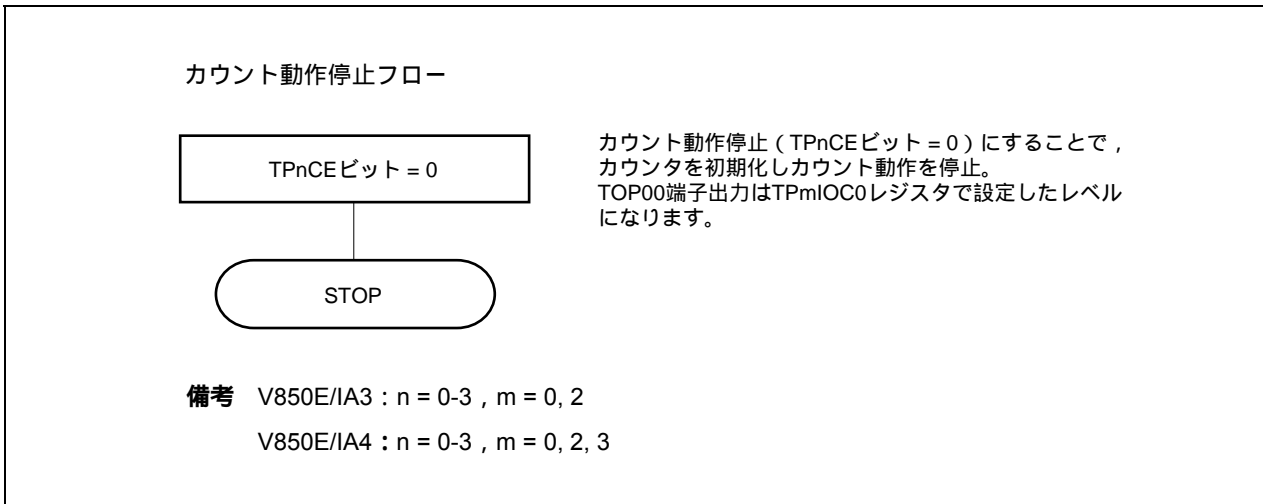
カウント動作開始フロー



注 タイマ出力 (TOPk1) を使用する場合だけ、TPkEES1, TPkEES0ビットを設定することを許可します。ただし、TPkCCR0, TPkCCR1レジスタは同値に設定してください。

備考 V850E/IA3 : n = 0-3, m = 0, 2, k = 0, 2
V850E/IA4 : n = 0-3, m = 0, 2, 3, k = 0, 2

図6 - 12 インターバル・タイマ・モード使用時のソフトウェア処理フロー (2/2)

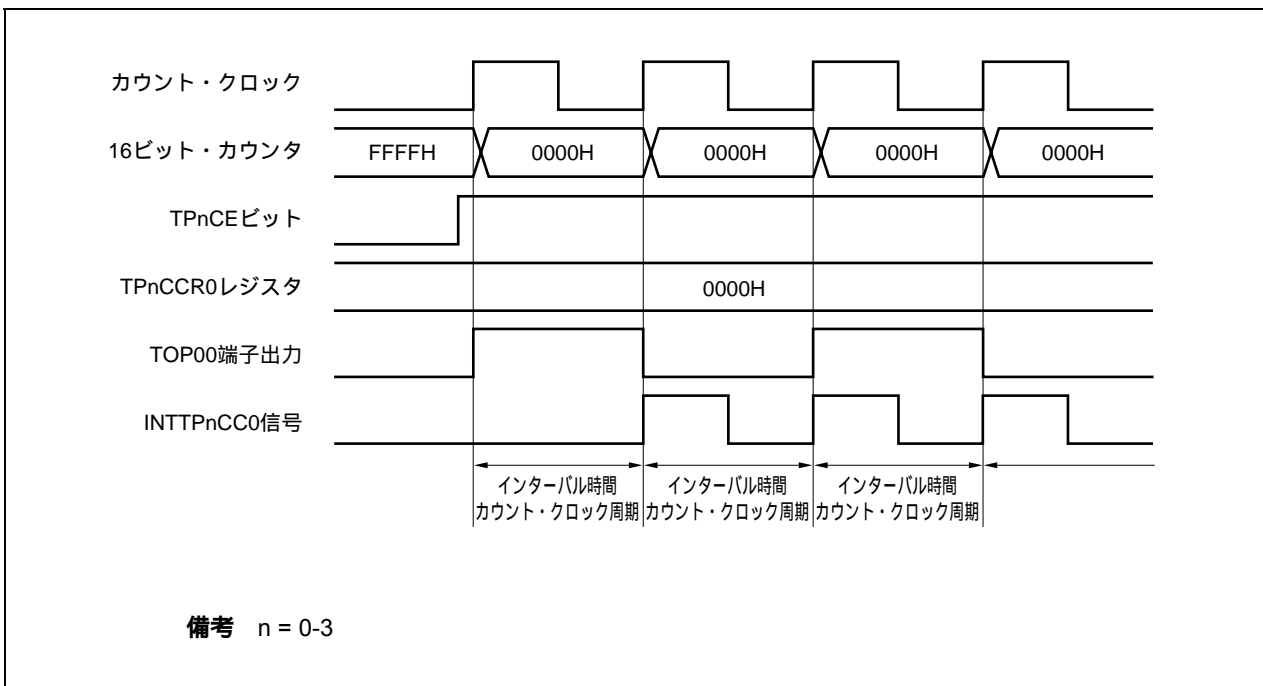


(2) インターバル・タイマ・モード動作タイミング

(a) TPnCCR0レジスタに0000Hを設定した場合の動作

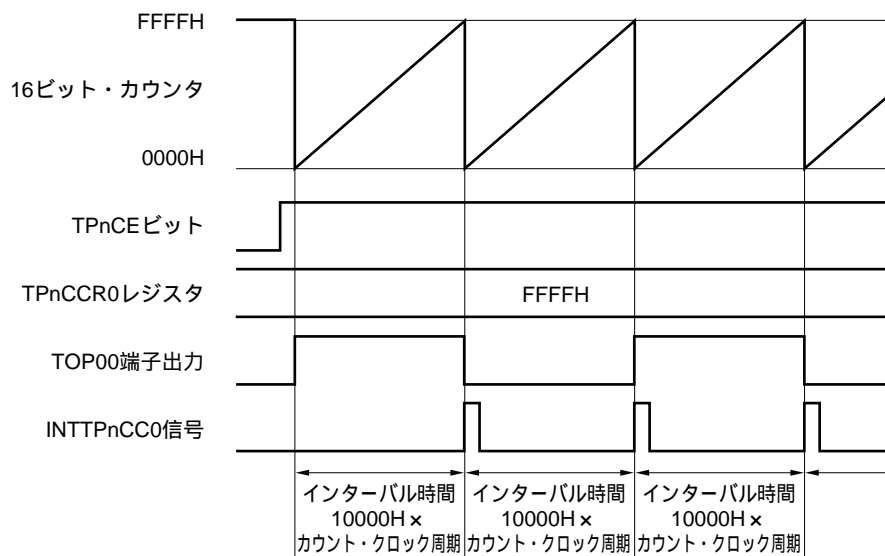
TPnCCR0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTPnCC0信号を発生し、TOP00端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TPnCCR0レジスタにFFFFHを設定した場合の動作

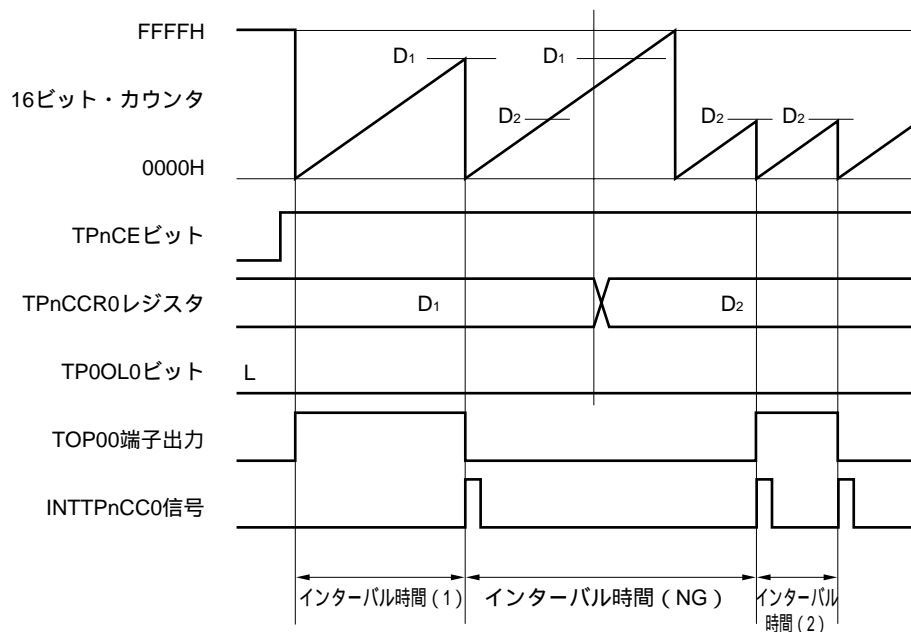
TPnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTPnCC0信号を発生し、TOP00端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTPnOV) は発生せず、オーバフロー・フラグ (TPnOPT0.TPnOVFビット) もセット (1) されません。



備考 n = 0-3

(c) TPnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



- 備考1.** インターバル時間(1) : $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間(NG) : $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間(2) : $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
2. $n = 0-3$

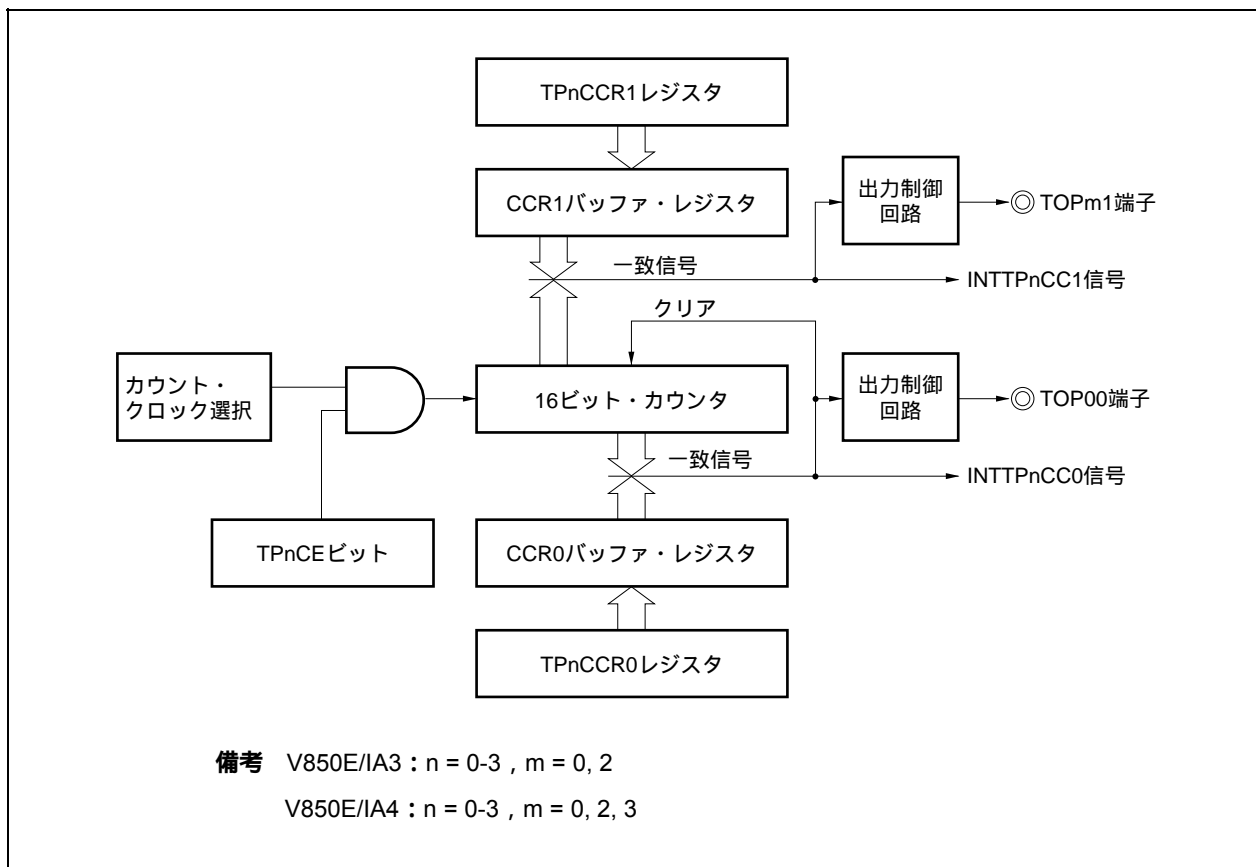
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TPnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTPnCC0信号を発生しTOP00端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTPnCC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTPnCC0信号が発生する場合があります。

(d) TPnCCR1レジスタの動作

図6 - 13 TPnCCR1レジスタの構成図



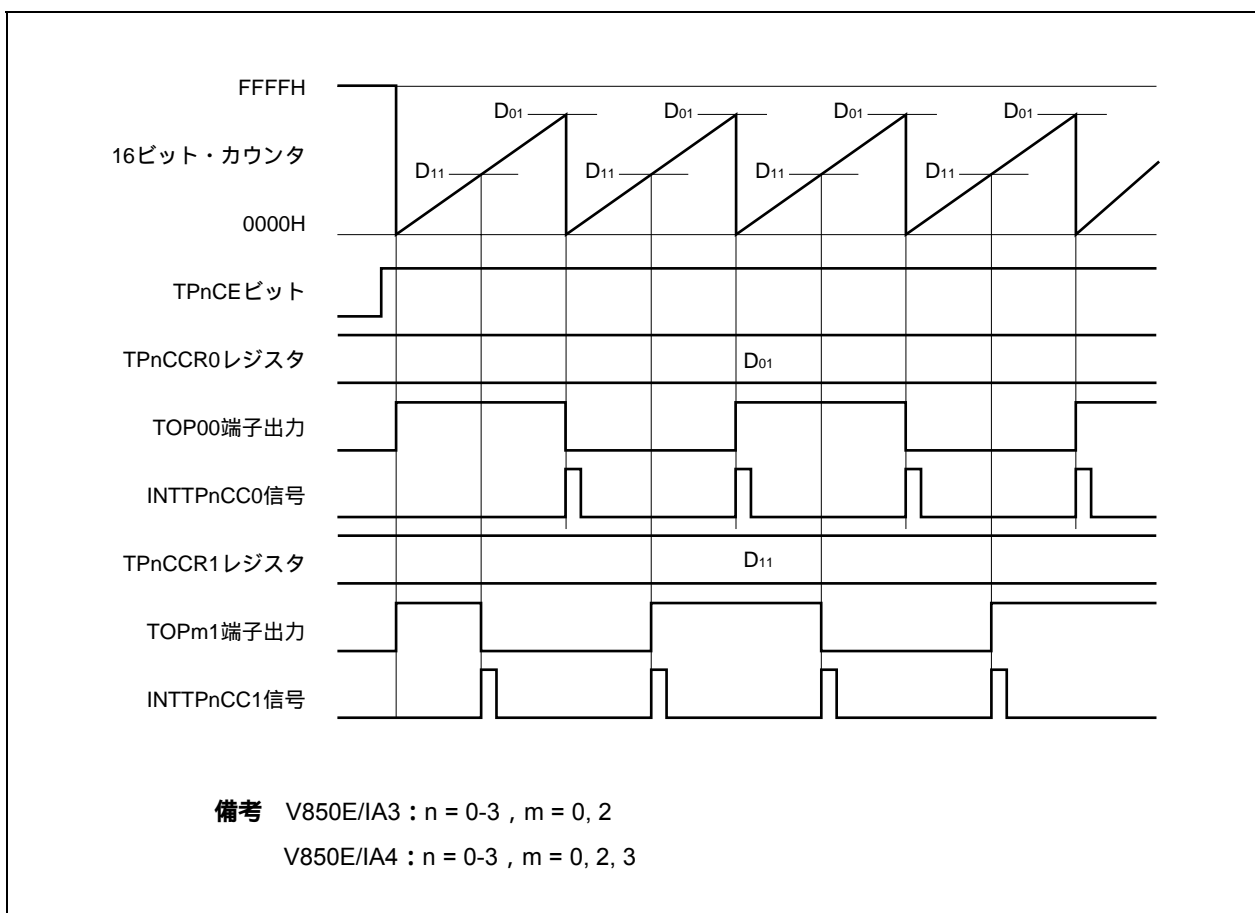
TPnCCR1レジスタにTPnCCR0レジスタの設定値と同じ値を設定すると、INTTPnCC0信号と同じタイミングでINTTPnCC1信号が発生し、TOPm1端子出力が反転します。すなわち、TOPm1端子から50 %デューティのPWM波形を出力できます。

TPnCCR0レジスタの設定値とは異なる値をTPnCCR1レジスタに設定した場合の動作を次に示します。

TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。また、同じタイミングでTOPm1端子出力は反転します。

TOPm1端子出力は、最初に短い幅のパルスを出力したあと、50 %デューティのPWM波形を出力します。

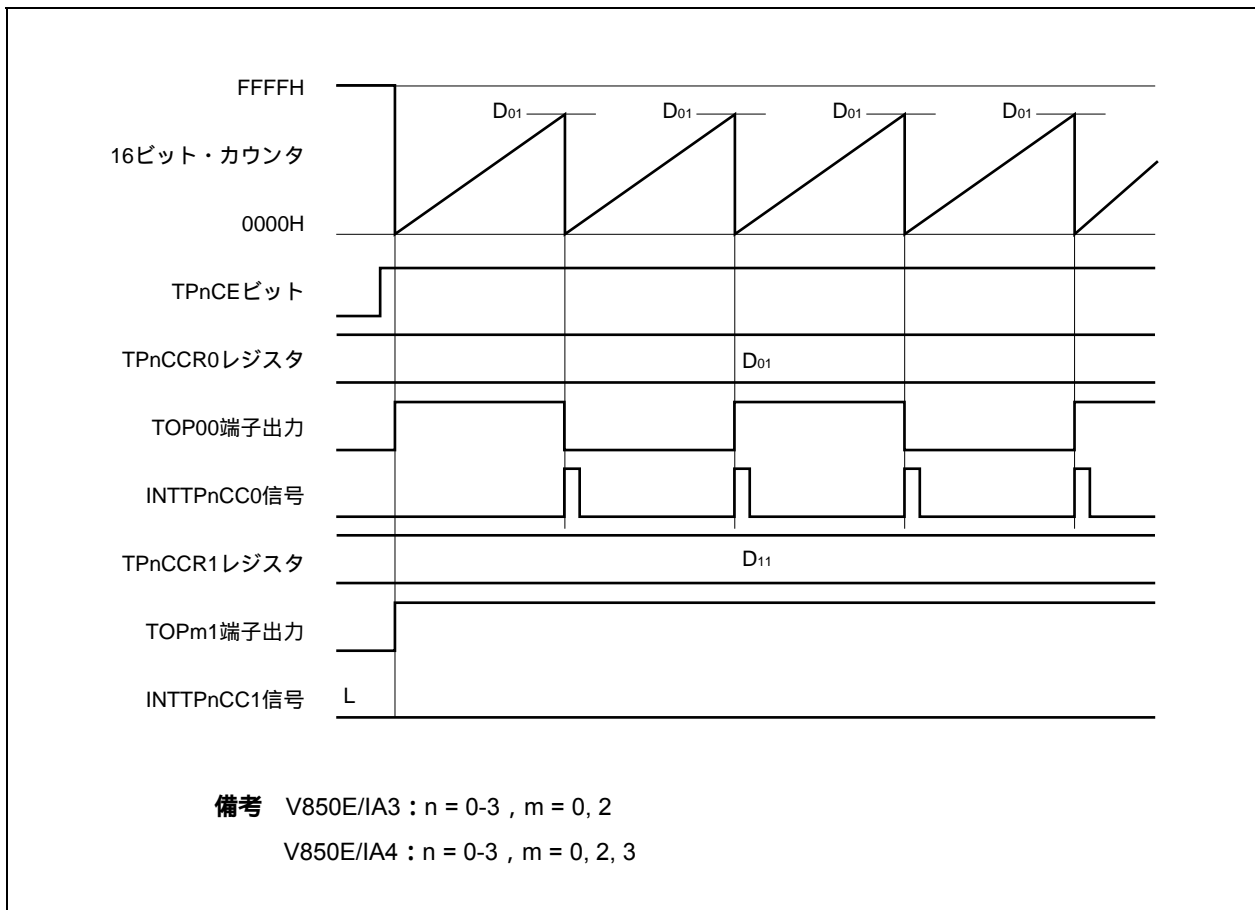
図6 - 14 D₀₁ D₁₁の場合のタイミング図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。また、TOPm1端子出力も変化しません。

TPnCCR1レジスタを使用しない場合には、TPnCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図6 - 15 D₀₁ < D₁₁の場合のタイミング図



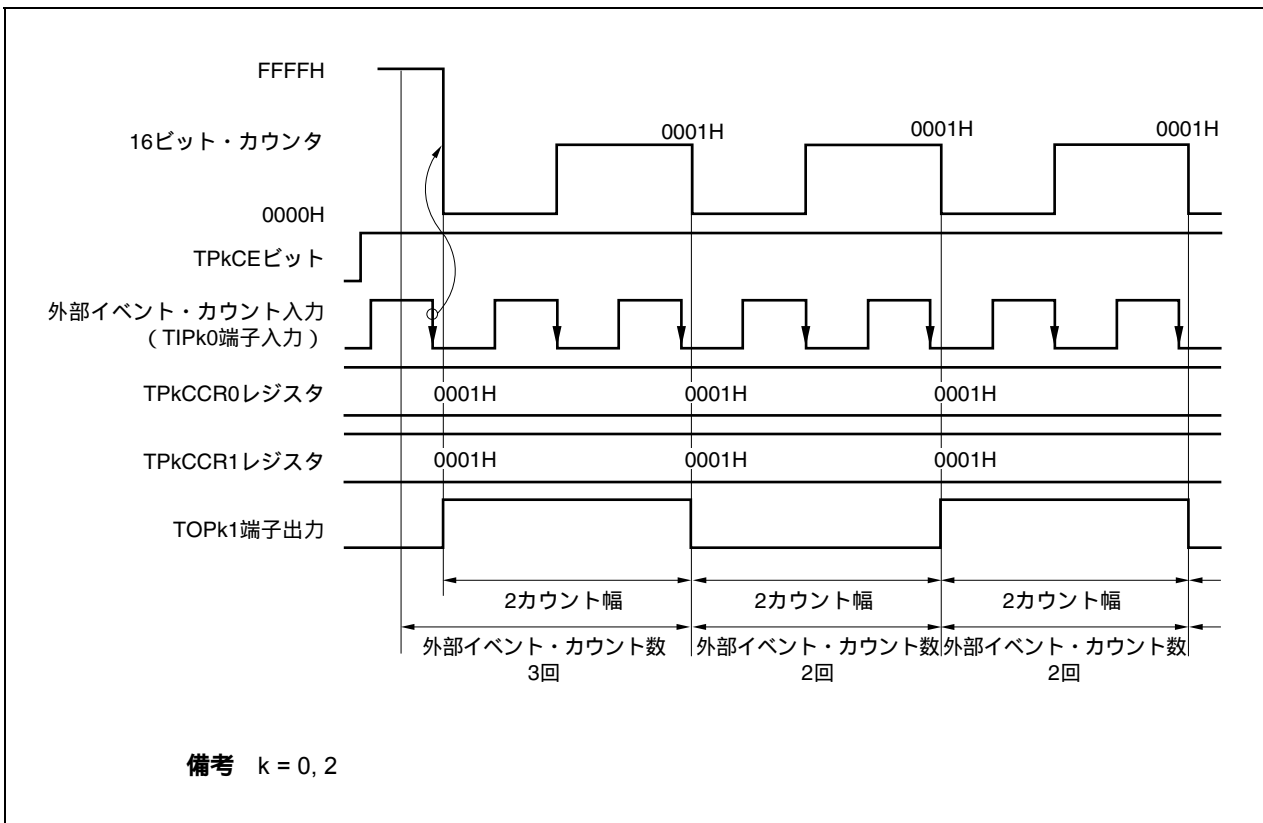
(3) 外部イベント・カウント入力 (TIPk0) による動作

(a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力(TIPk0)の有効エッジで16ビット・カウンタをカウントする場合,TPkCEビットを0から1に設定したあとの1回目の外部イベント・カウント入力の有効エッジにより,16ビット・カウンタをFFFFHから0000Hにクリアします。

TPkCCR0, TPkCCR1レジスタに0001Hを設定(同値設定)すると,16ビット・カウンタの2カウントごとにTOPk1端子の出力を反転します。

外部イベント・カウント入力でタイマ出力(TOPk1)を使用する場合だけ,インターバル・タイマ・モード時にTPKCTL1.TPKEEEビット = 1の設定が可能です。



6.6.2 外部イベント・カウント・モード (TPkMD2-TPkMD0ビット = 001)

TMP0, TMP2のみ有効です。

外部イベント・カウント・モードは、TPkCTL0.TPkCEビットをセット(1)することで、外部イベント・カウント入力(TIPk0)の有効エッジをカウントし、TPkCCR0レジスタで設定したカウント数をカウントするごとに割り込み要求信号(INTTPkCC0)を発生します。TOP00, TOPk1端子は使用できません。外部イベント・カウント入力でTOPk1端子を使用する場合は、インターバル・タイマ・モード時にTPkCTL1.TPkEEEビット = 1に設定してください(6.6.1(3)外部イベント・カウント入力(TIPk0)による動作参照)。

外部イベント・カウント・モードでは、TPkCCR1レジスタは使用しません。

注意 外部イベント・カウント・モードでは、TPkCCR0, TPkCCR1レジスタに0000Hを設定することは禁止します。

図6 - 16 外部イベント・カウント・モードの構成図

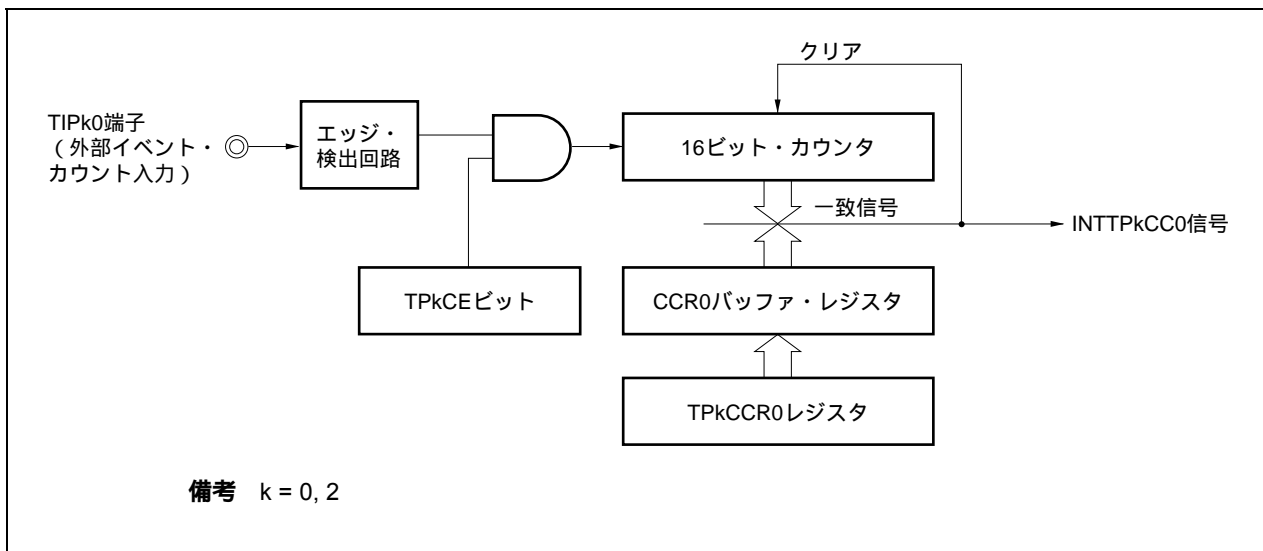
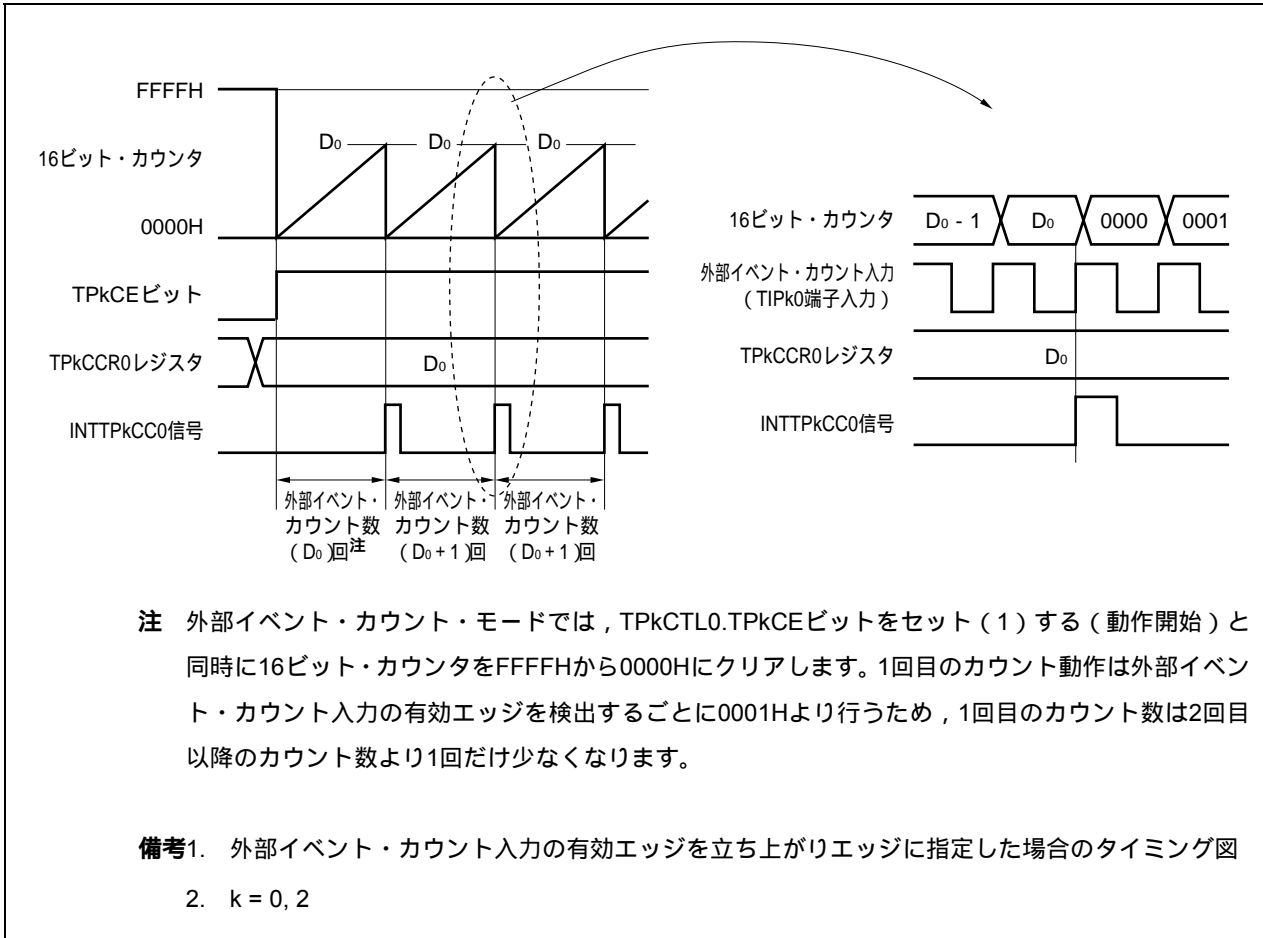


図6 - 17 外部イベント・カウント・モードの基本タイミング



TPkCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウンタ入力の有効エッジを検出するごとにカウンタ動作を行います。また、TPkCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号 (INTTPkCC0) を発生します。

INTTPkCC0信号の発生は、1回目のINTTPkCC0信号の場合は外部イベント・カウンタ入力の有効エッジを (TPkCCR0レジスタに設定した値) 回検出で発生し、2回目以降のINTTPkCC0信号の場合は外部イベント・カウンタ入力の有効エッジを (TPkCCR0レジスタに設定した値 + 1) 回検出するごとに発生します。

図6 - 18 外部イベント・カウンタ・モード動作時のレジスタ設定内容 (1/2)

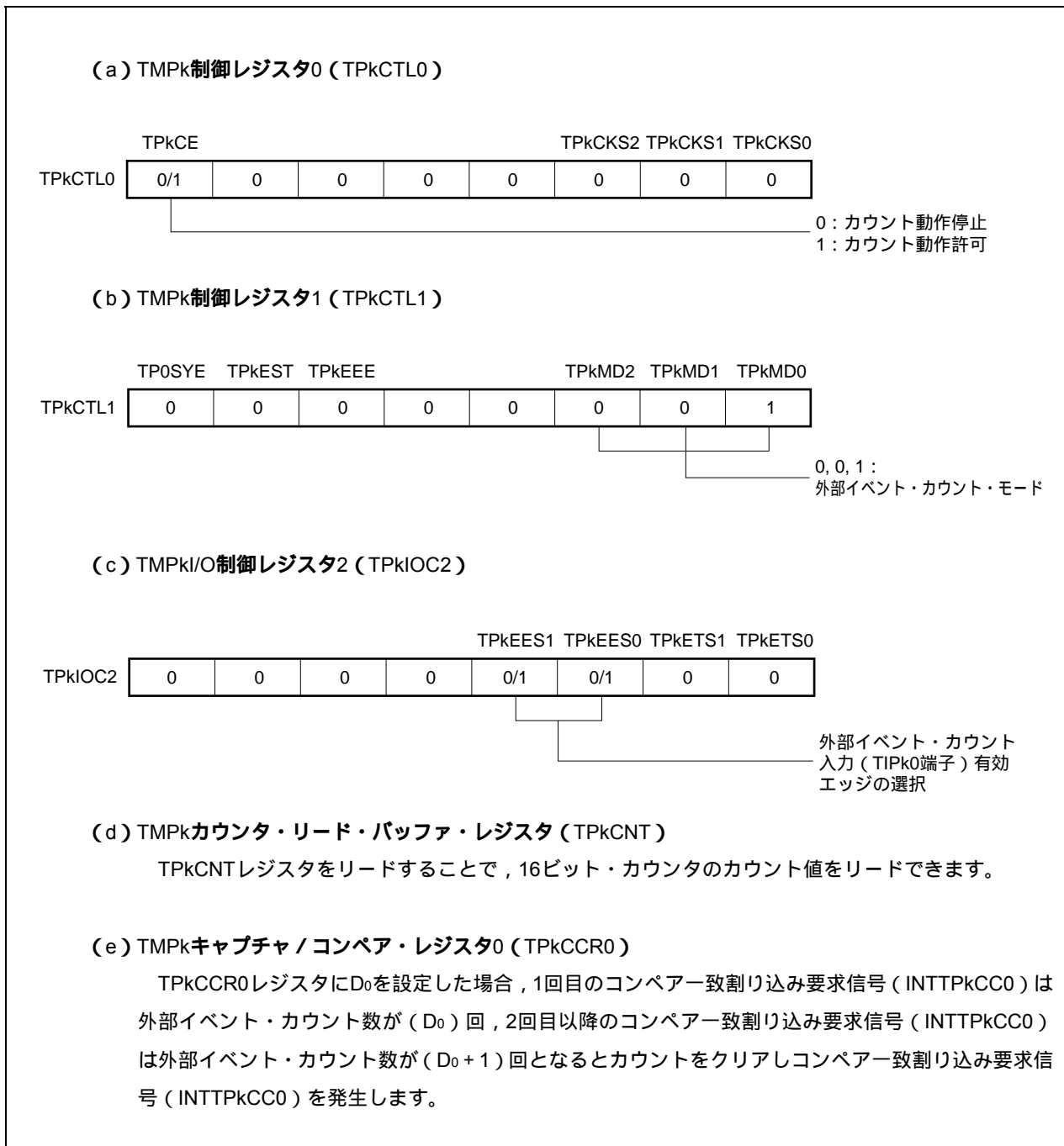


図6 - 18 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(f) TMPkキャプチャ/コンペア・レジスタ1 (TPkCCR1)

外部イベント・カウント・モードでは、TPkCCR1レジスタは使用しません。しかし、TPkCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTPkCC1) が発生します。

TPkCCR1レジスタを使用しない場合には、TPkCCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TPkCCIC1.TPkCCMK1) でマスク設定してください。

注意1. TPkIOC0レジスタには00Hを設定してください。

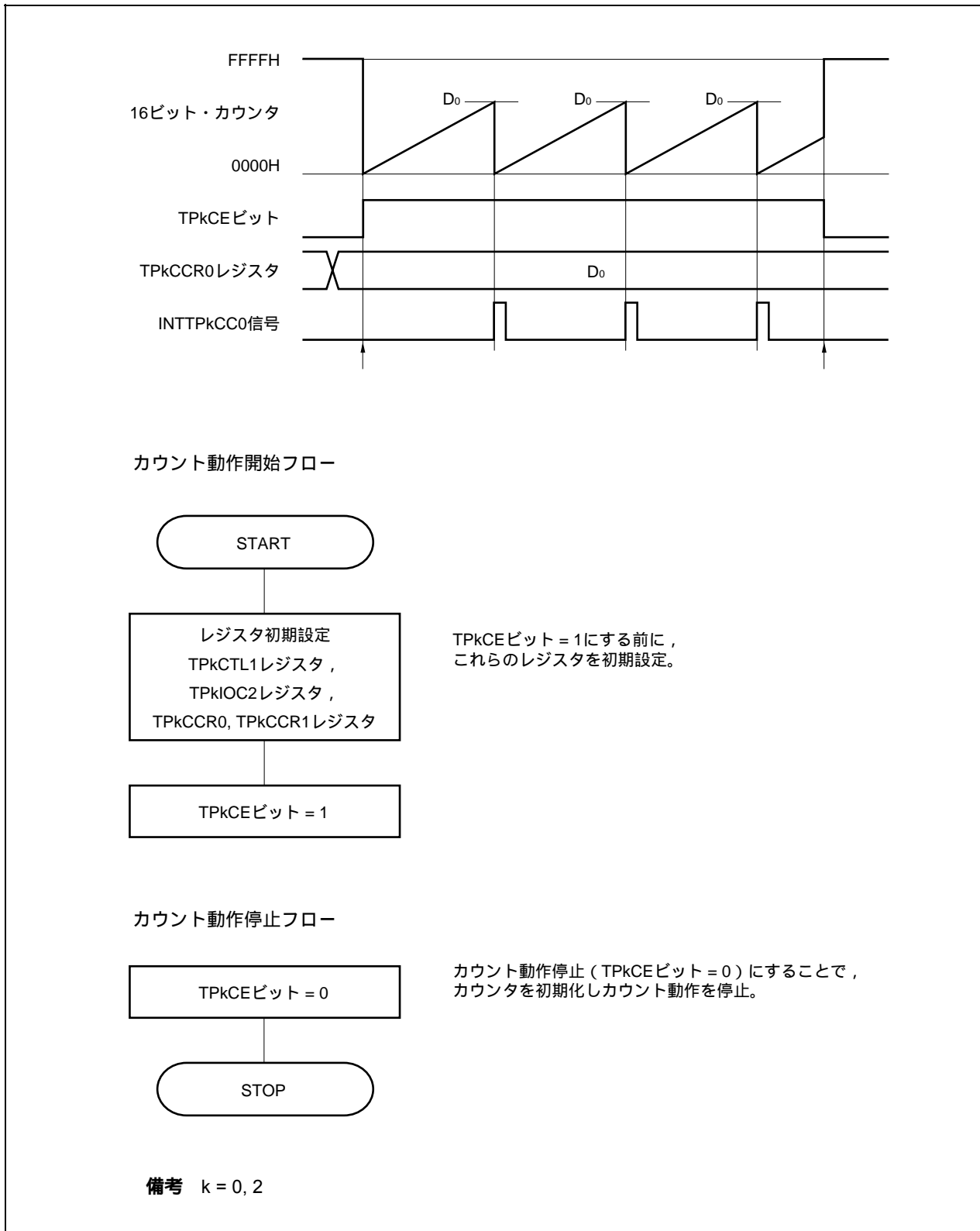
2. カウント・クロックとして外部クロックを使用するときは、外部クロックはTIPk0端子からのみ入力できます。このとき、TPkIOC1.TPkIS1, TPkIS0ビット = 00 (キャプチャ・トリガ入力 (TIPk0端子) : エッジ検出なし) に設定してください。

備考1. TMPkI/O制御レジスタ1 (TPkIOC1) , TMPkオプション・レジスタ0 (TPkOPT0) は、外部イベント・カウント・モードでは使用しません。

2. k = 0, 2

(1) 外部イベント・カウント・モード動作フロー

図6 - 19 外部イベント・カウント・モード使用時のソフトウェア処理フロー

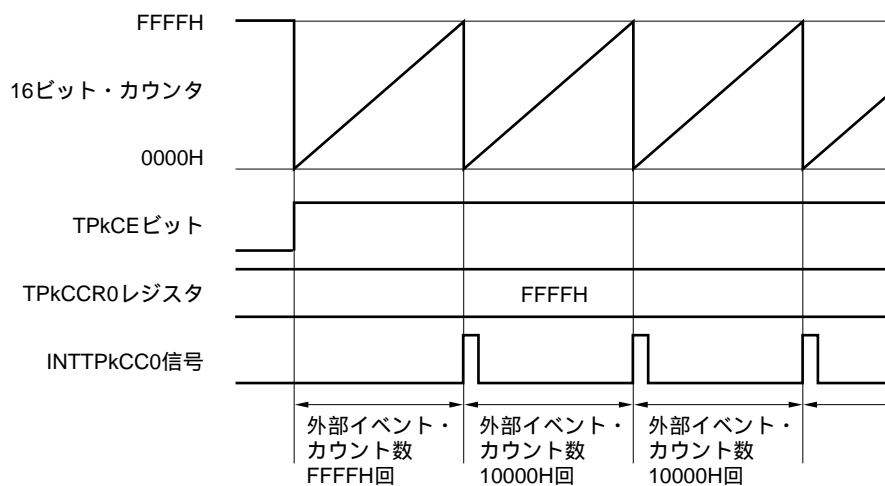


(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モードでは、TPkCCR0, TPkCCR1レジスタに0000Hを設定することは禁止します。
2. 外部イベント・カウント・モード時、タイマ出力 (TOP00, TOPk1) は使用禁止です。外部イベント・カウント入力 (TIPk0) でタイマ出力 (TOPk1) を使用する場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可 (TPkCTL1.TPKEEEビット = 1) に設定してください (6. 6. 1 (3) 外部イベント・カウント入力 (TIPk0) による動作参照)。

(a) TPkCCR0レジスタにFFFFHを設定した場合の動作

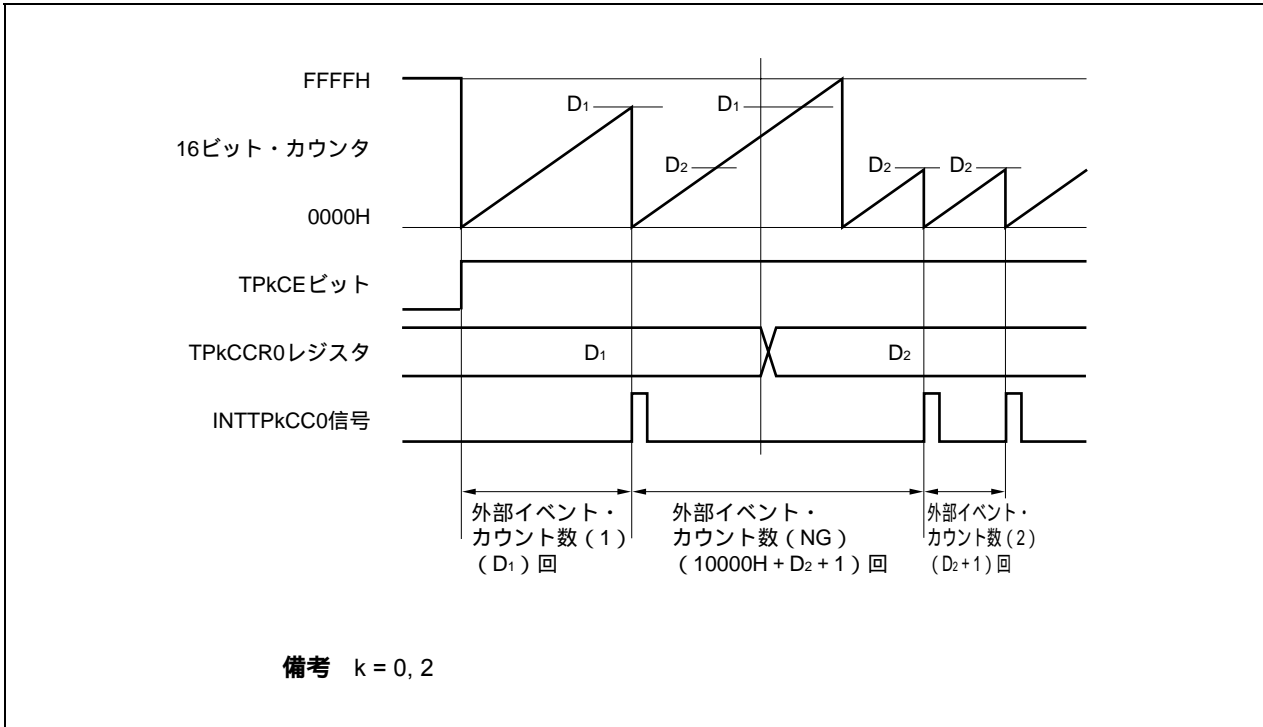
TPkCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTPkCC0信号を発生します。このとき、TPkOPT0.TPkOVFビットはセットされません。



備考 k = 0, 2

(b) TPkCCR0レジスタの書き換えに関する注意事項

カウント動作中にTPkCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



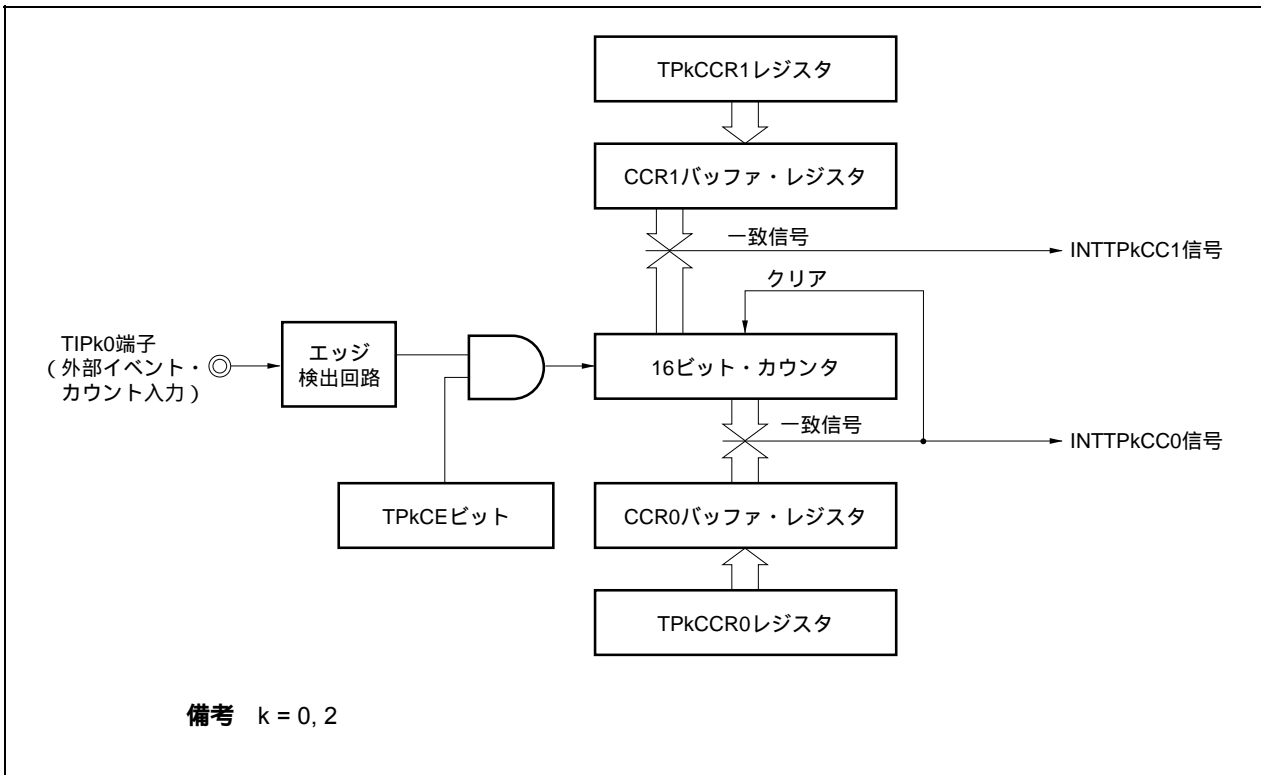
カウント値がD₂よりも大きくD₁よりも小さい状態において、TPkCCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTPkCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D₁+1)回」または「(D₂+1)回」の有効エッジ数でINTTPkCC0信号は発生せずに、「(10000H + D₂ + 1)回」の有効エッジ数でINTTPkCC0信号が発生する場合があります。

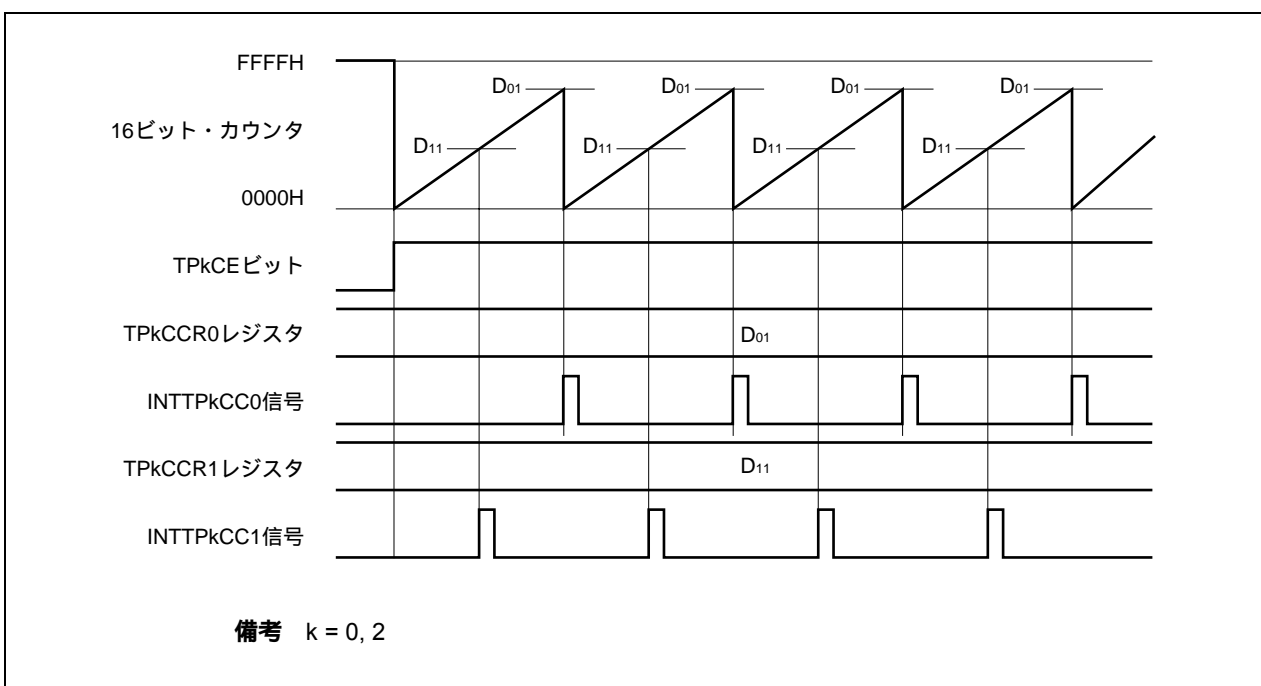
(c) TPkCCR1レジスタの動作

図6 - 20 TPkCCR1レジスタ1の構成図



TPkCCR1レジスタの設定値がTPkCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPkCC1信号が発生します。

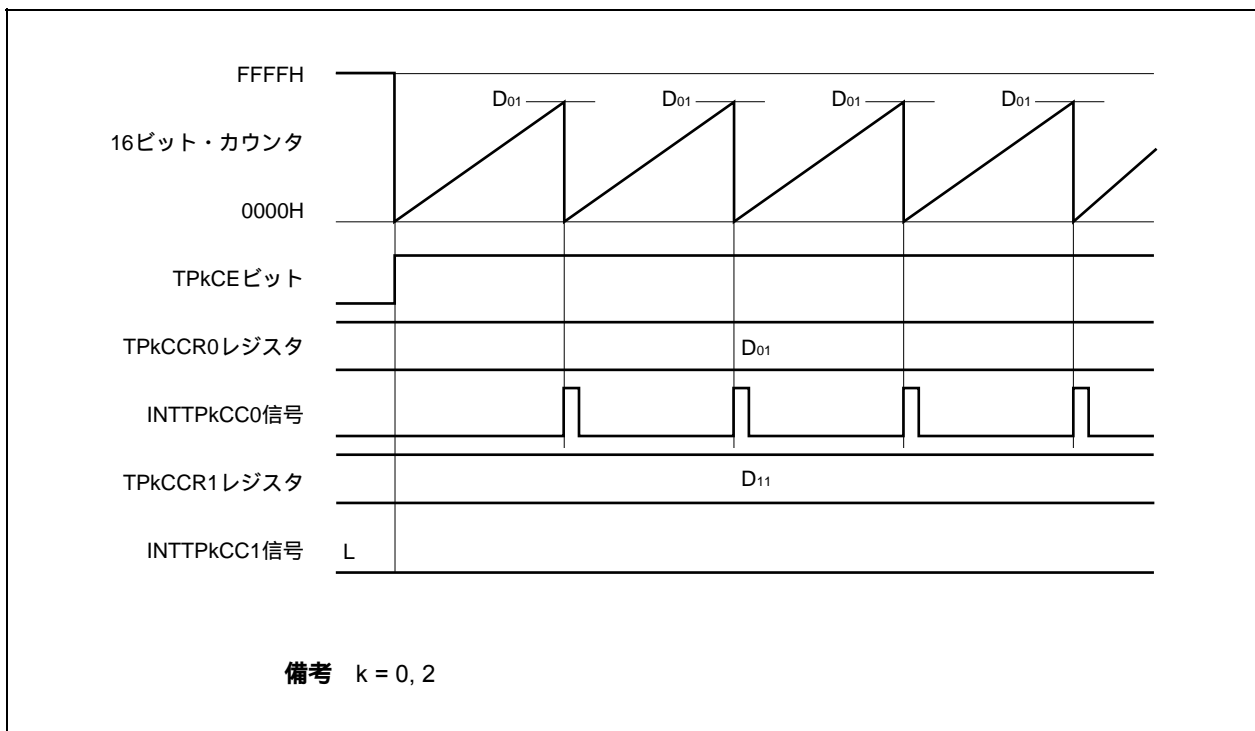
図6 - 21 D₀₁ D₁₁の場合のタイミング図



TPkCCR1レジスタの設定値がTPkCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPkCCR1レジスタの値が一致しないので、INTTPkCC1信号は発生しません。

TPkCCR1レジスタを使用しない場合には、TPkCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図6 - 22 D₀₁ < D₁₁の場合のタイミング図



6.6.3 外部トリガ・パルス出力モード (TPmMD2-TPmMD0ビット = 010)

TMP0, TMP2, TMP3 (V850E/IA4のみ) のみ有効です (TMP3はソフトウェア・トリガのみ)。

外部トリガ・パルス出力モードは, TPmCTL0.TPmCEビットをセット (1) することでトリガ待ち状態となり, 外部トリガ入力 (TIPk0) の有効エッジを検出すると, カウント動作を開始し, TOPm1端子からPWM波形を出力します。

外部トリガ入力の代わりに, ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合, TOP00端子から, TPmCCR0レジスタの設定値 + 1を半周期とする50 %デューティのPWM波形を出力できます。

図6 - 23 外部トリガ・パルス出力モードの構成図

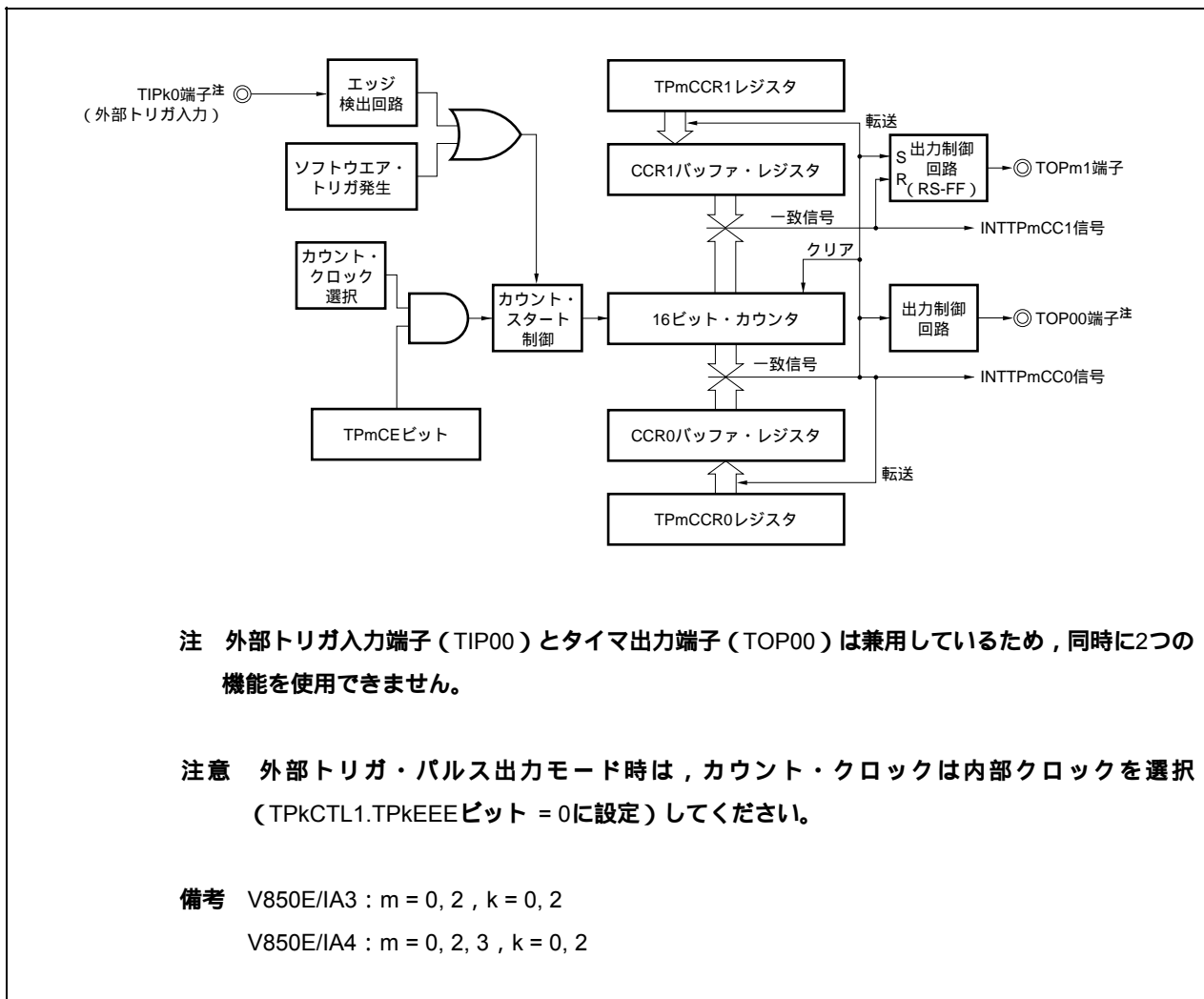
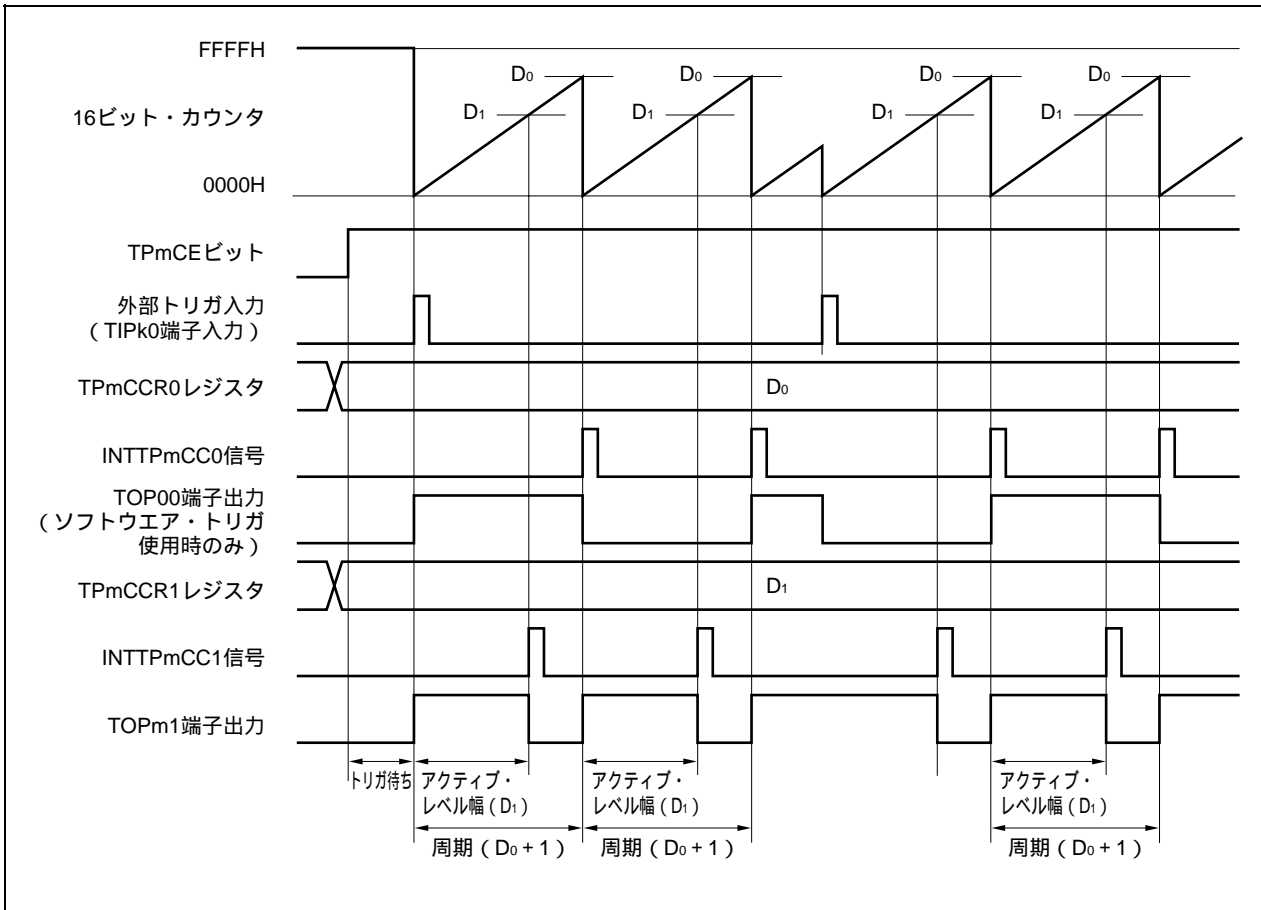


図6-24 外部トリガ・パルス出力モードの基本タイミング



TPmCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOPm1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOP00端子出力は反転します。TOPm1端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPmCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TPmCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TPmCCR1レジスタの設定値}) / (\text{TPmCCR0レジスタの設定値} + 1)$$

コンペアー一致割り込み要求信号(INTTPmCC0)は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号(INTTPmCC1)は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPmCCR_aレジスタに設定した値は、16ビット・カウンタのカウンタ値とCCR_aバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCR_aバッファ・レジスタに転送されます。

トリガには、外部トリガ入力(TIPk0)の有効エッジ、またはソフトウェア・トリガ(TPmCTL1.TPmESTビット)のセット(1)があります。

備考 V850E/IA3 : m = 0, 2, k = 0, 2, a = 0, 1

V850E/IA4 : m = 0, 2, 3, k = 0, 2, a = 0, 1

図6 - 25 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

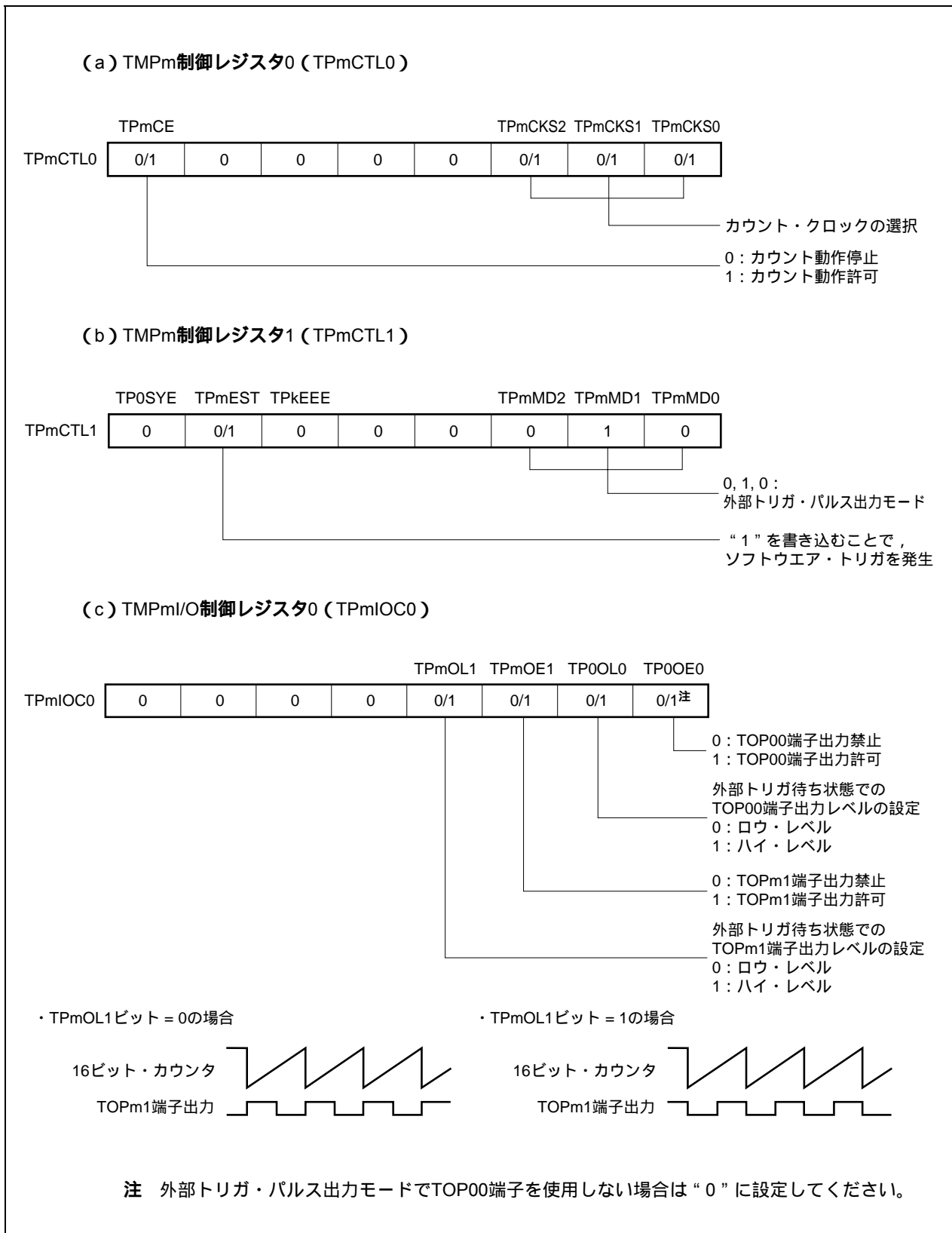
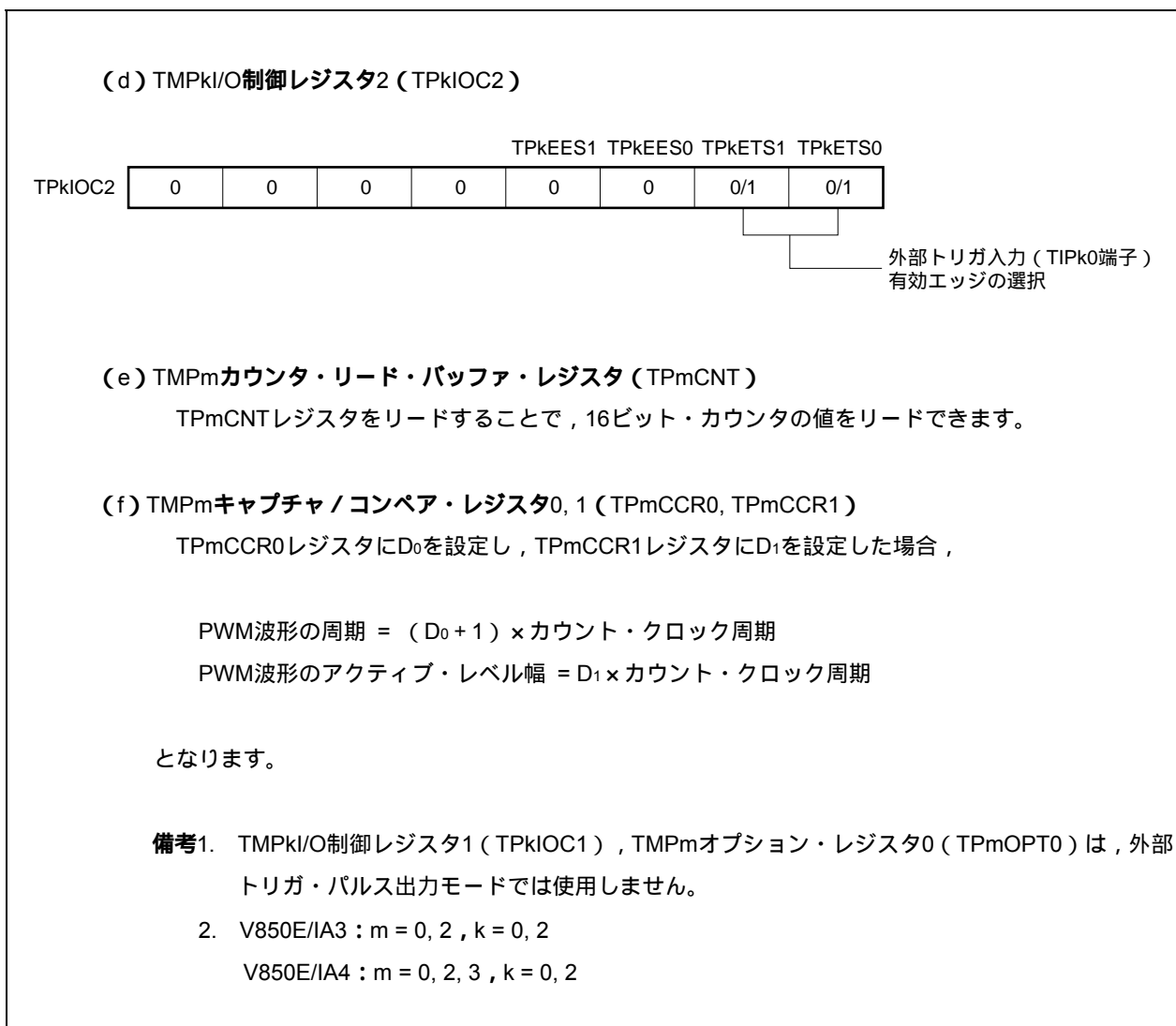


図6 - 25 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) 外部トリガ・パルス出力モード動作フロー

図6 - 26 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

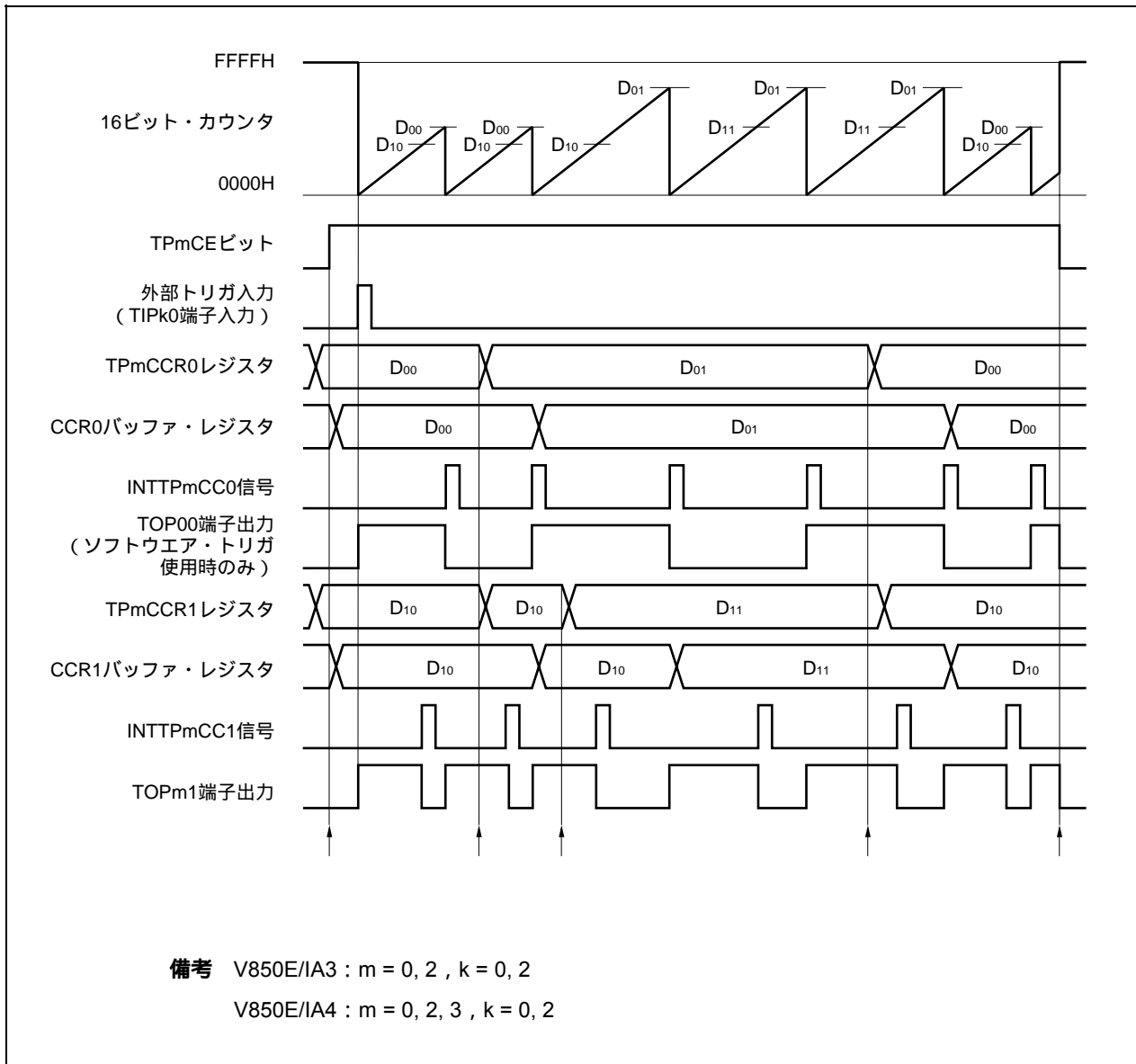
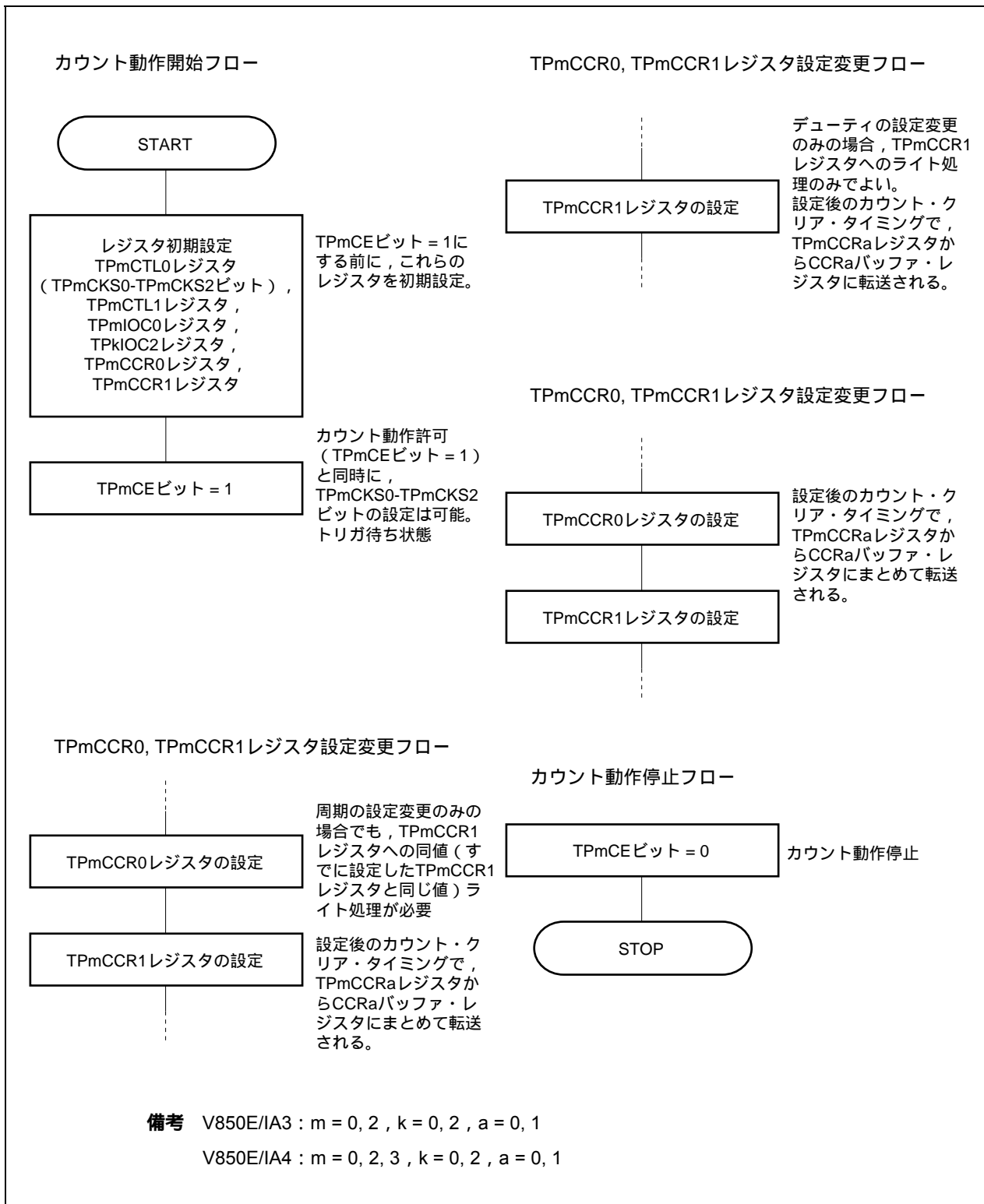


図6 - 26 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

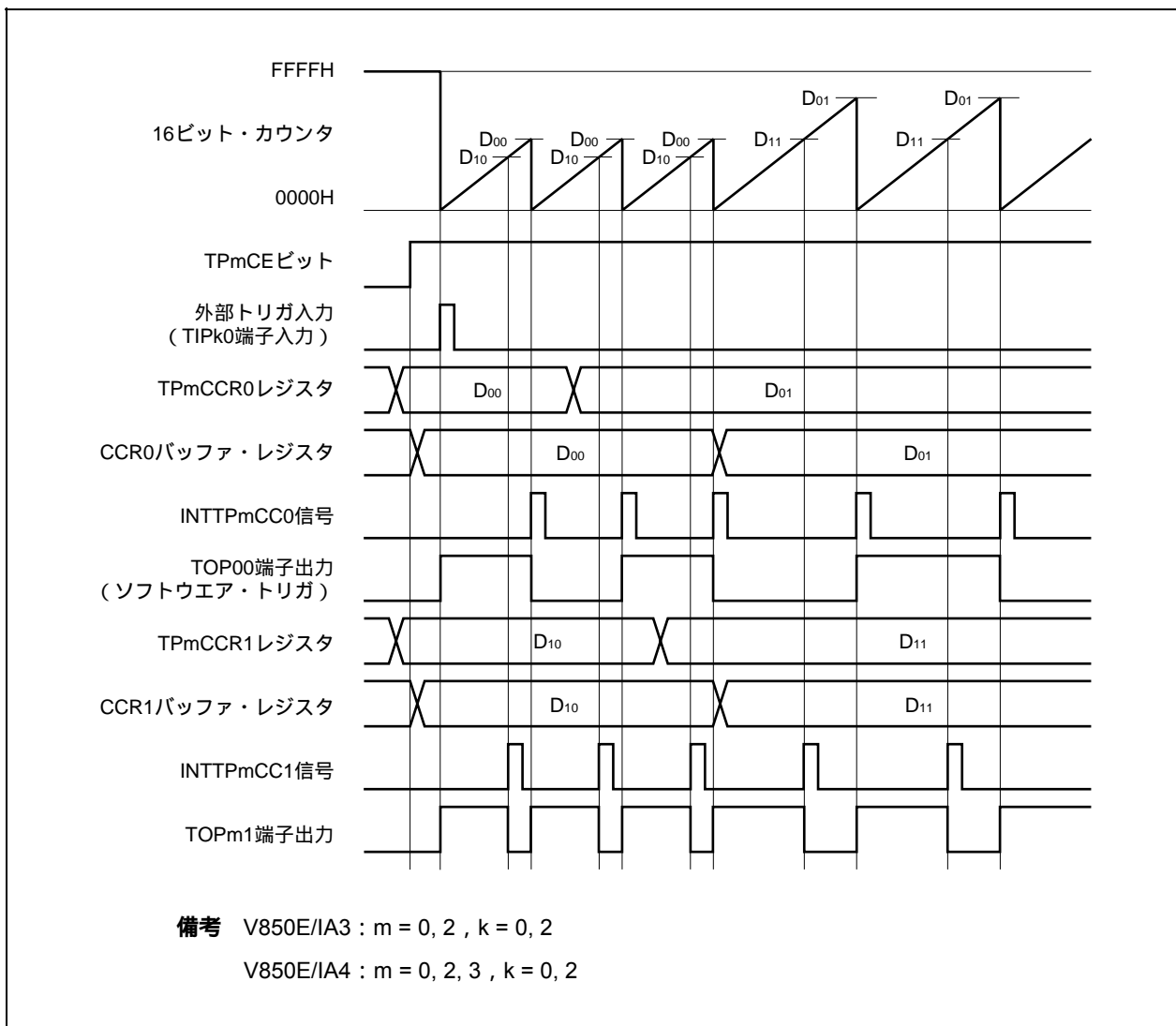


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTPmCCR1レジスタにライトしてください。

TPmCCR1レジスタにライト後、再度TPmCCRaレジスタの書き換えを行う場合には、INTTPmCC0信号を検出後に書き換えてください。



TPmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TPmCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPmCCR0レジスタに周期を設定し、そのあとでTPmCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPmCCR0レジスタに周期を設定し、そのあとでTPmCCR1レジスタに同値（すでに設定したTPmCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPmCCR1レジスタのみの設定でかまいません。

TPmCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPmCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

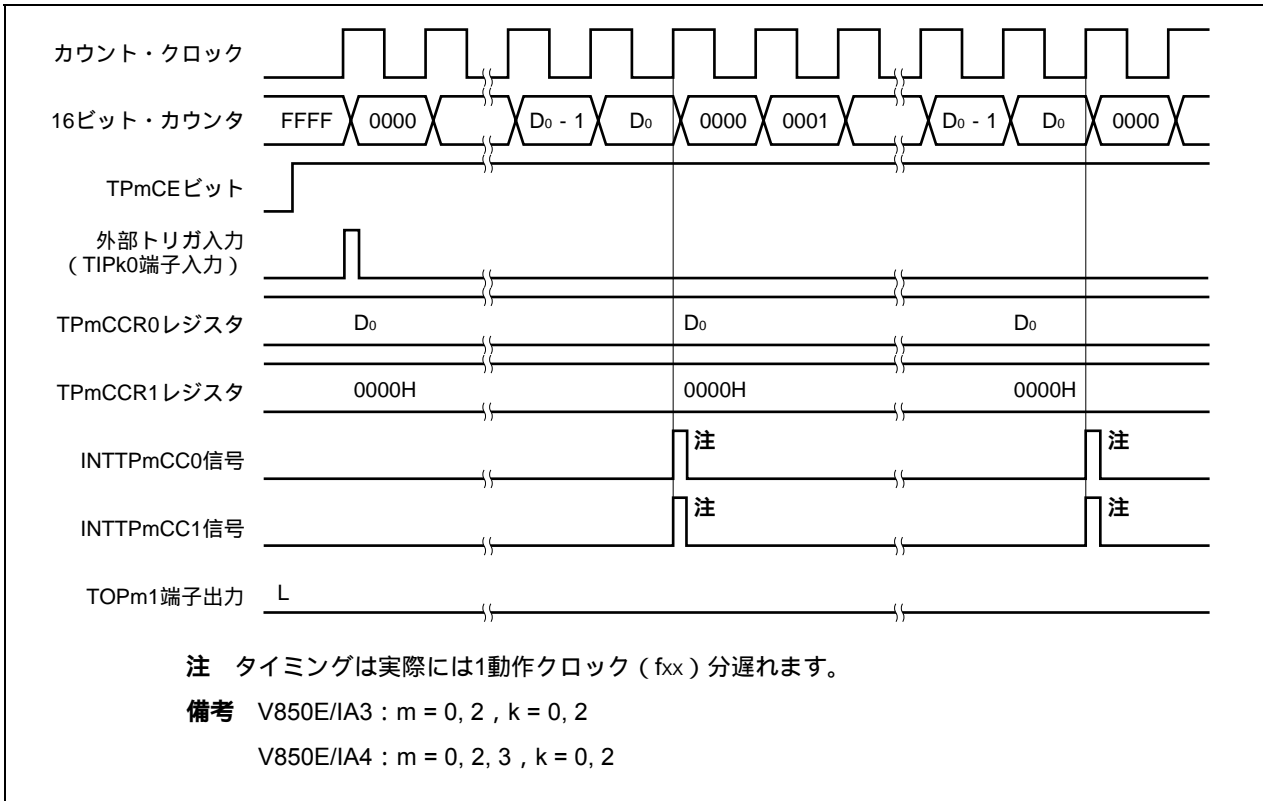
また、一度TPmCCR1レジスタにライトしたあとで、再度TPmCCR0、またはTPmCCR1レジスタへのライトを行う場合は、INTTPmCC0信号の発生後に行ってください。これを守れない場合には、TPmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TPmCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

備考 V850E/IA3 : $m = 0, 2, a = 0, 1$

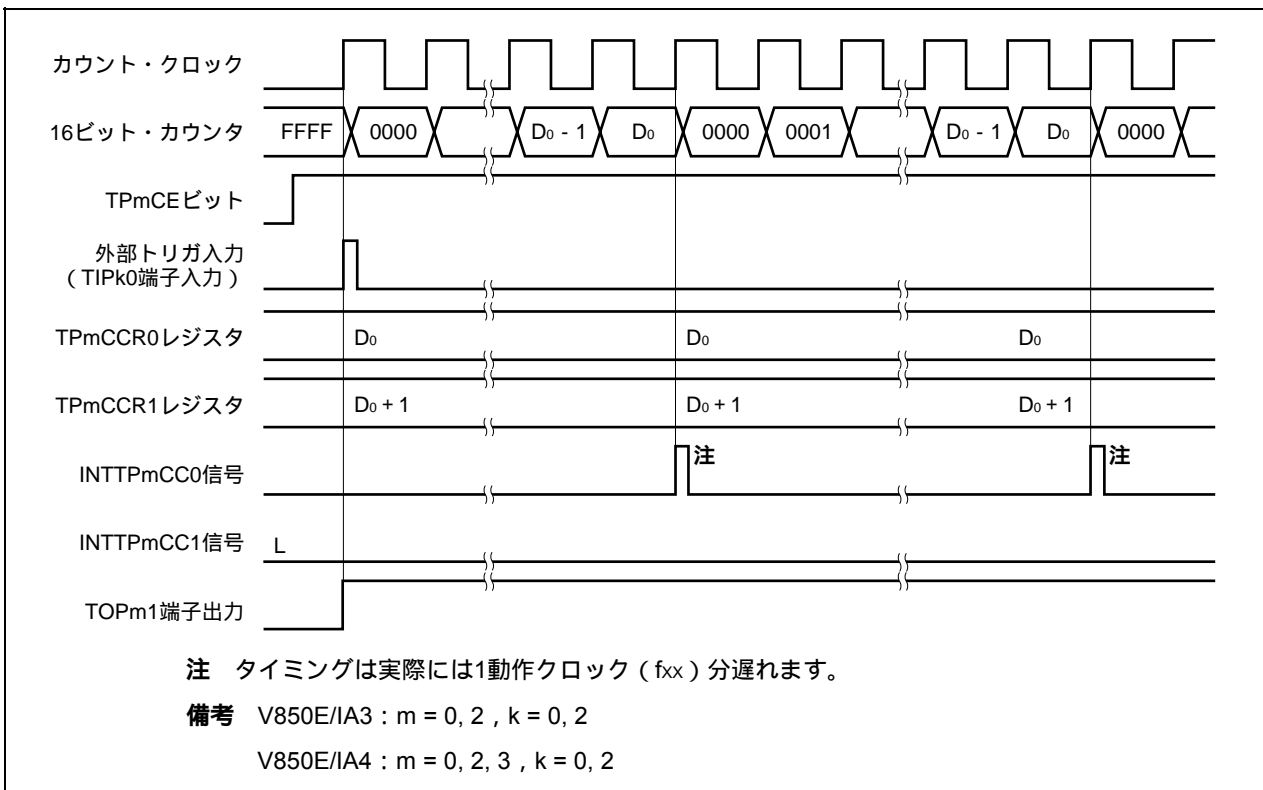
V850E/IA4 : $m = 0, 2, 3, a = 0, 1$

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TPmCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTPmCC0信号とINTTPmCC1信号が発生します。

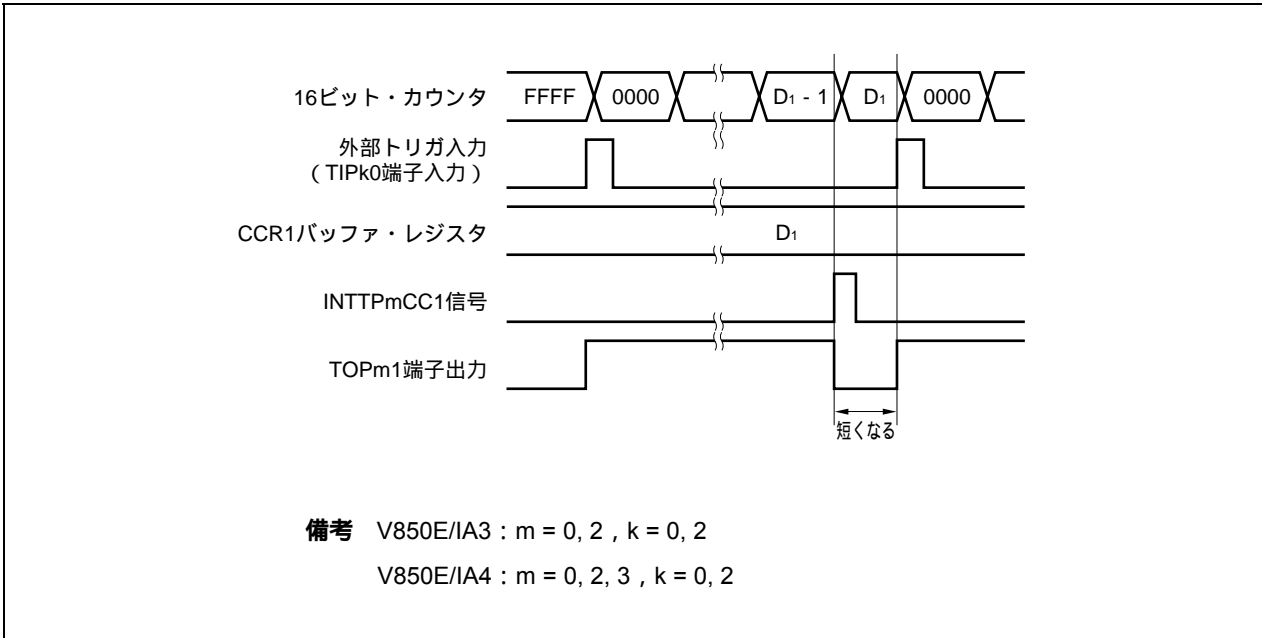


100 % 波形を出力するためには、TPmCCR1レジスタに対して (TPmCCR0レジスタの設定値 + 1) の値を設定してください。TPmCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。

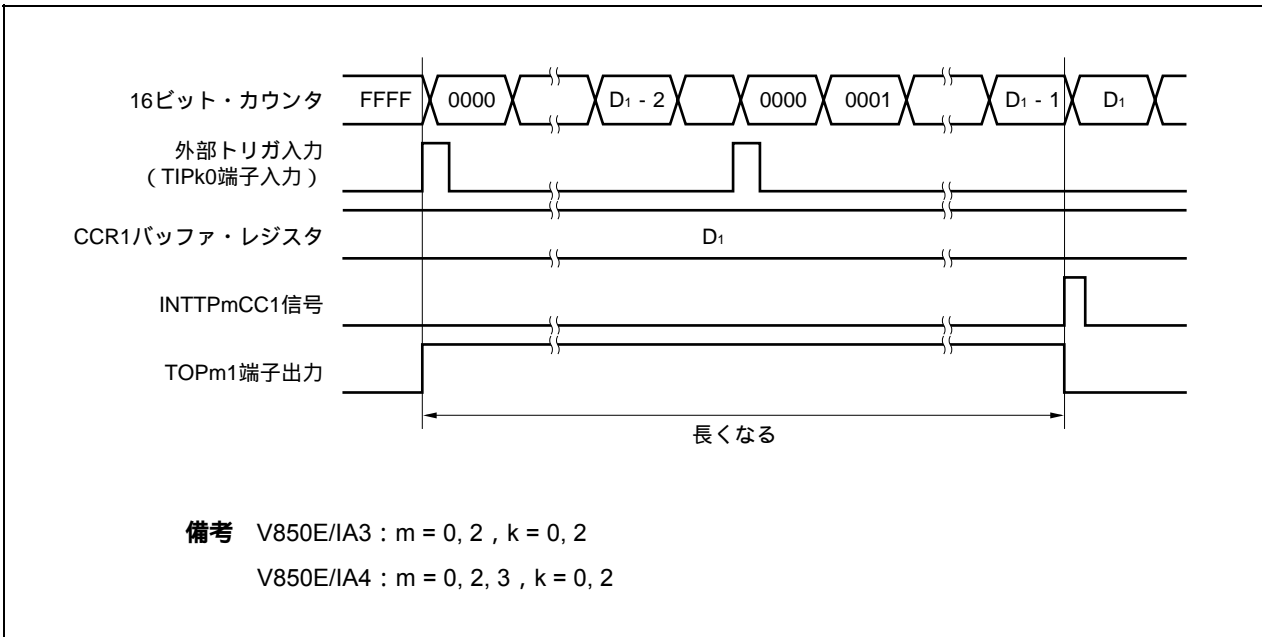


(c) トリガ検出とCCR1バッファ・レジスタとの一致の競合

INTTPmCC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOPm1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

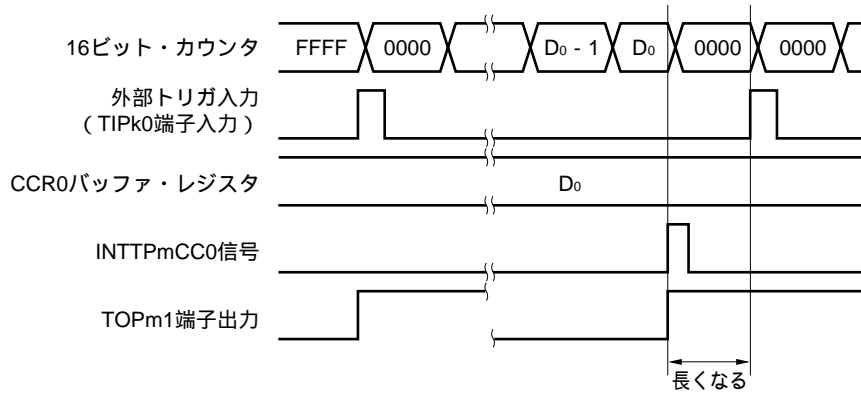


INTTPmCC1信号発生直前にトリガを検出した場合には、INTTPmCC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOPm1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。



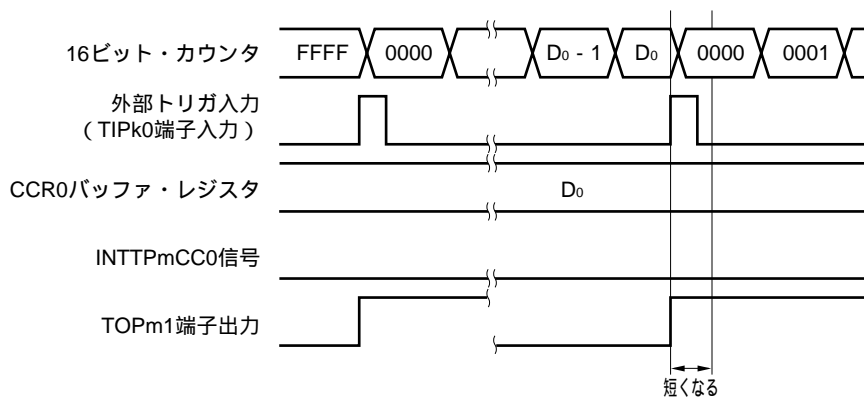
(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTPmCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOPm1端子出力のアクティブ期間が、INTTPmCC0信号発生からトリガ検出までの分だけ長くなります。



備考 V850E/IA3 : m = 0, 2 , k = 0, 2
 V850E/IA4 : m = 0, 2, 3 , k = 0, 2

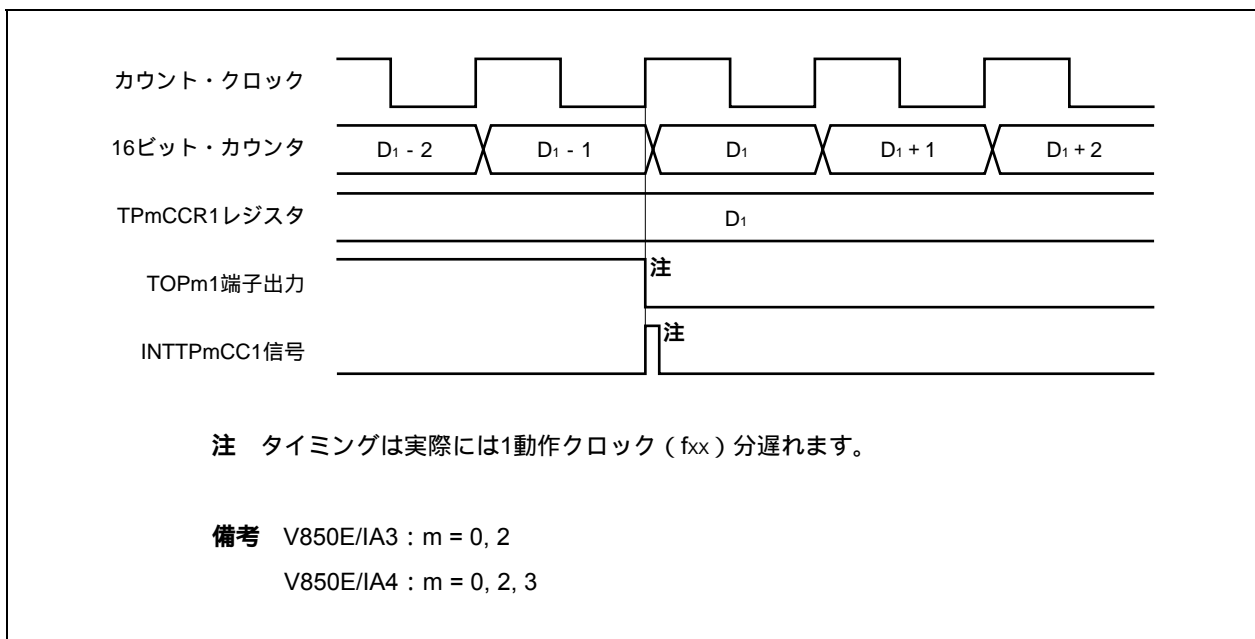
INTTPmCC0信号発生直前にトリガを検出した場合、INTTPmCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOPm1端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



備考 V850E/IA3 : m = 0, 2 , k = 0, 2
 V850E/IA4 : m = 0, 2, 3 , k = 0, 2

(e) コンペアー一致割り込み要求信号 (INTTPmCC1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTPmCC1信号の発生タイミングは、ほかのモードのINTTPmCC1信号と異なり、16ビット・カウンタのカウンタ値とTPmCCR1レジスタの値との一致と同時に発生します。



通常、INTTPmCC1信号は、16ビット・カウンタのカウンタ値とTPmCCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPm1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

6.6.4 ワンショット・パルス出力モード (TPmMD2-TPmMD0ビット = 011)

TMP0, TMP2, TMP3 (V850E/IA4のみ) のみ有効です (TMP3はソフトウェア・トリガのみ)。

ワンショット・パルス出力モードは、TPmCTL0.TPmCEビットをセット (1) することでトリガ待ち状態となり、外部トリガ入力 (TIPk0) の有効エッジを検出すると、カウント動作を開始し、TOPm1端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合、TOP00端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止 (トリガ待ち状態) 中のときはインアクティブ・レベルを出力できます。

図6-27 ワンショット・パルス出力モードの構成図

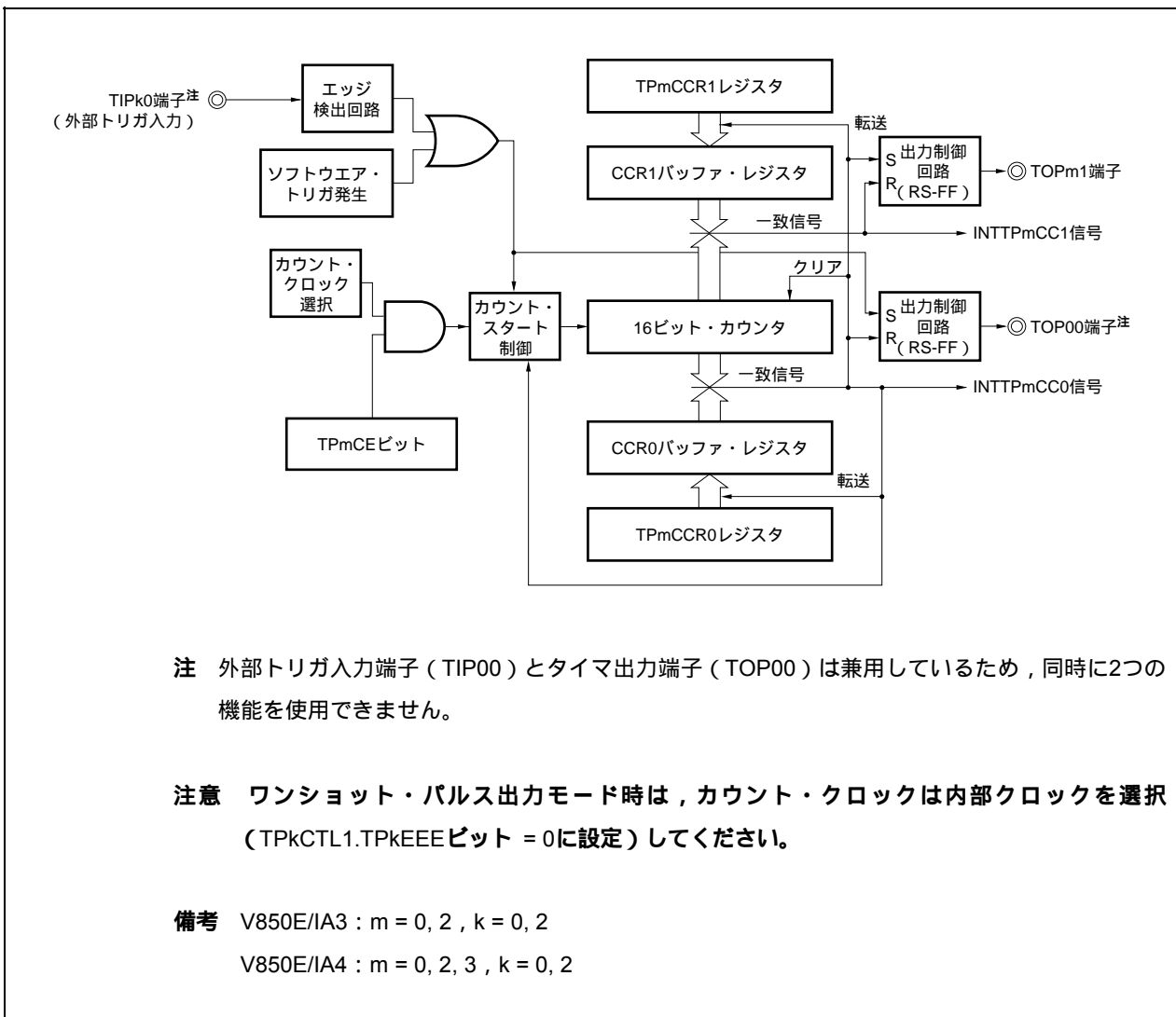
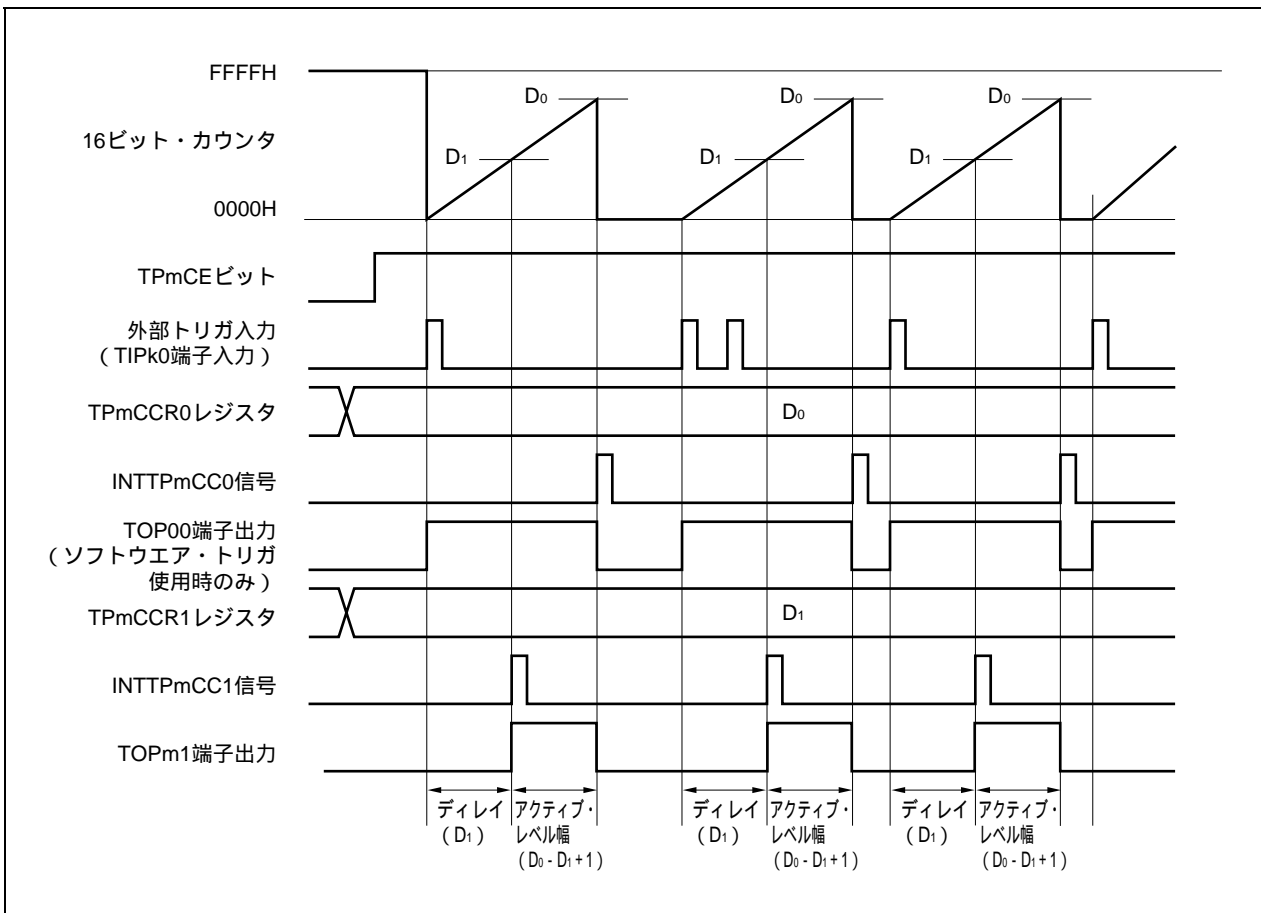


図6 - 28 ワンショット・パルス出力モードの基本タイミング



TPmCEビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOPm1端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hよりカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\begin{aligned} \text{出力ディレイ期間} &= (\text{TPmCCR1レジスタの設定値}) \times \text{カウント・クロック周期} \\ \text{アクティブ・レベル幅} &= (\text{TPmCCR0レジスタの設定値} - \text{TPmCCR1レジスタの設定値} + 1) \\ &\quad \times \text{カウント・クロック周期} \end{aligned}$$

コンペアー一致割り込み要求信号 (INTTPmCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTPmCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (TIPk0端子) の有効エッジ、またはソフトウェア・トリガ (TPmCTL1.TPmESTビット) のセット (1) があります。

備考 V850E/IA3 : m = 0, 2, k = 0, 2
 V850E/IA4 : m = 0, 2, 3, k = 0, 2

図6 - 29 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

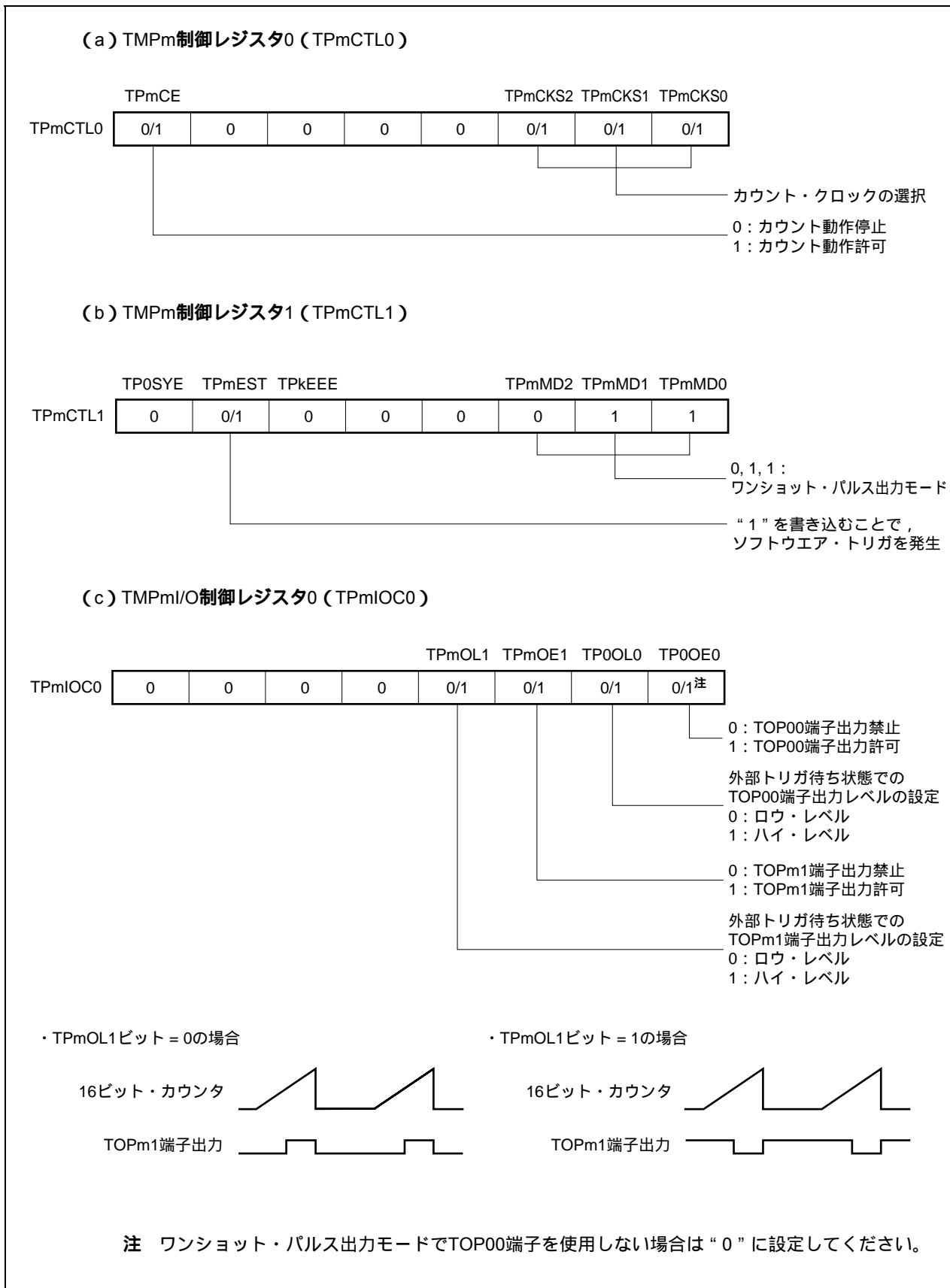
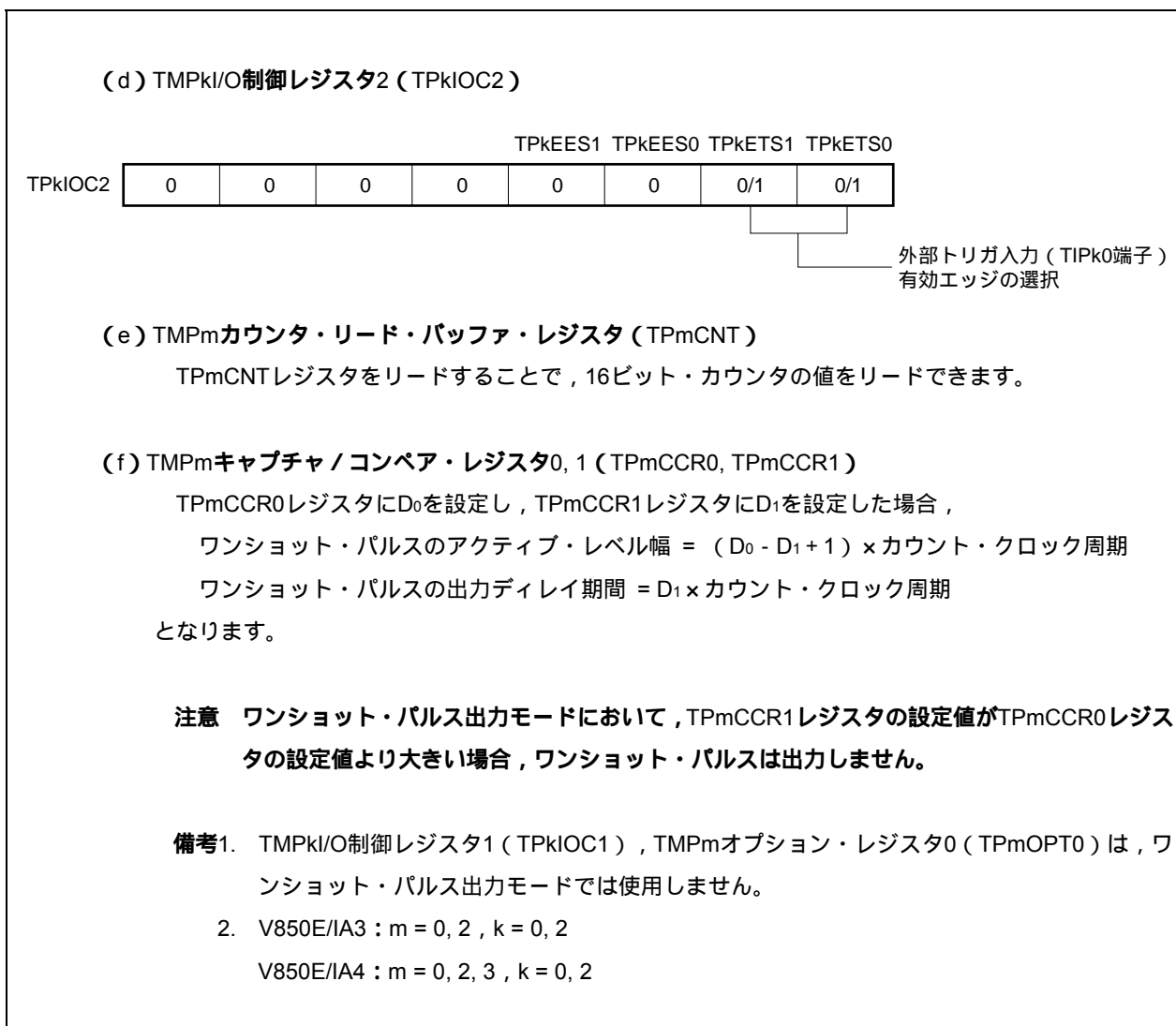
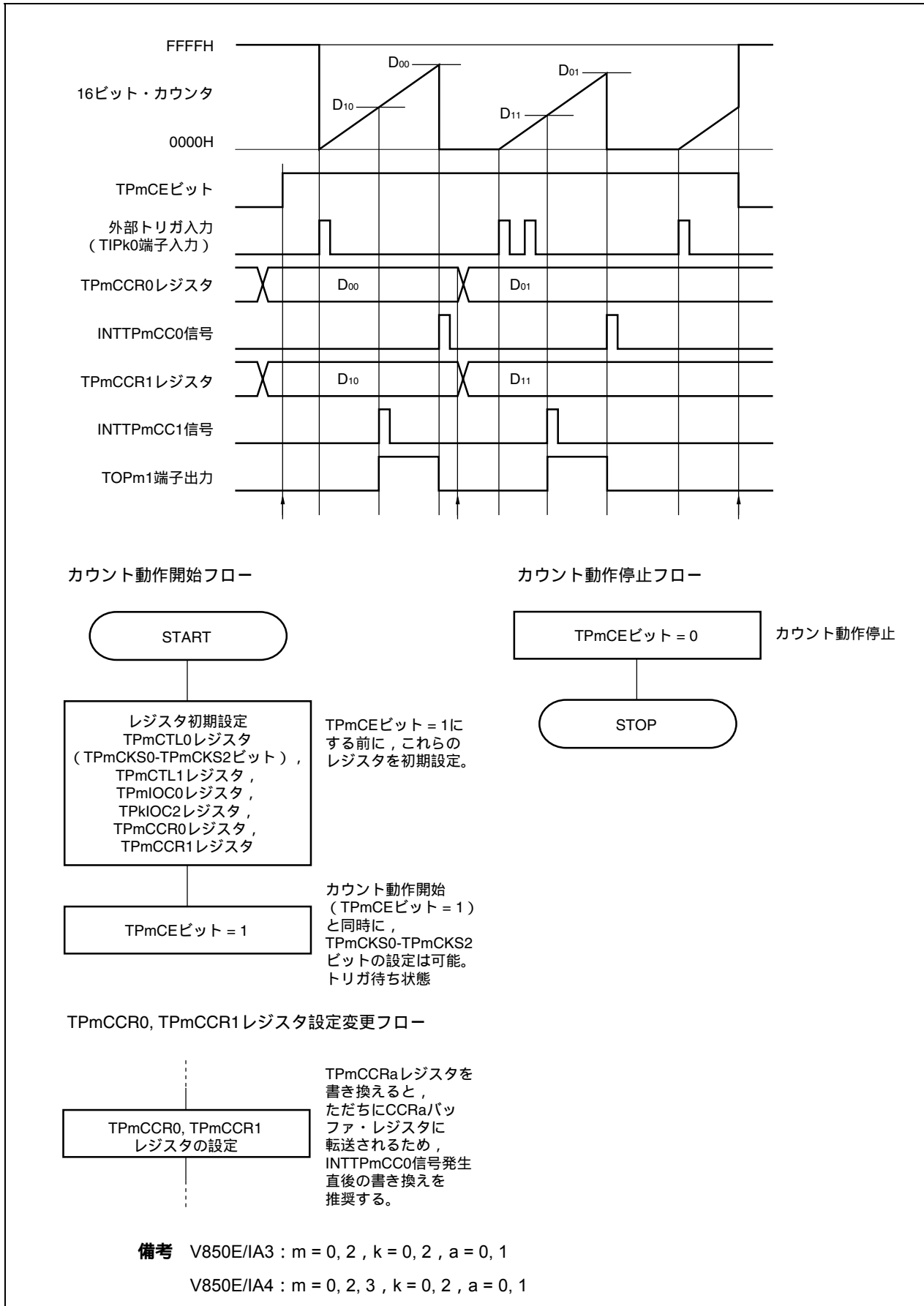


図6 - 29 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) ワンショット・パルス出力モード動作フロー

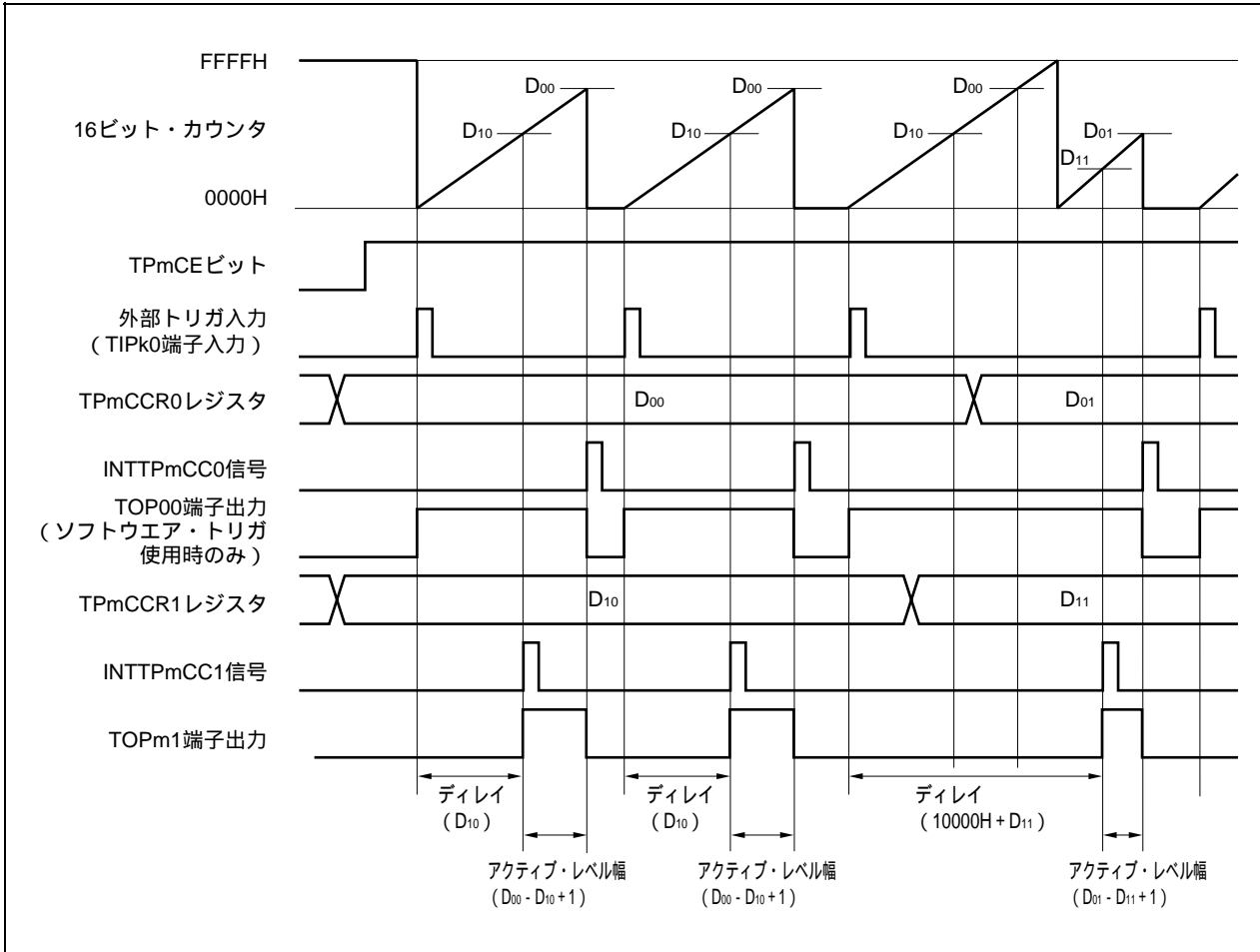
図6-30 ワンショット・パルス出力モード使用時のソフトウェア処理フロー



(2) ワンショット・パルス出力モード動作タイミング

(a) TPmCCRaレジスタの書き換えに関する注意事項

カウント動作中にTPmCCRaレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



TPmCCR0レジスタをD₀₀からD₀₁に、TPmCCR1レジスタをD₁₀からD₁₁に書き換える場合において、D₀₀ > D₀₁、D₁₀ > D₁₁の状態では、16ビット・カウンタのカウンタ値がD₁₁よりも大きくD₁₀よりも小さい状態のときTPmCCR1レジスタを書き換え、カウンタ値がD₀₁よりも大きくD₀₀よりも小さい状態でTPmCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウンタ値と比較されるために、カウンタ値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D₁₁との一致でINTTPmCC1信号を発生してTOPm1端子出力をアクティブ・レベルにし、D₀₁との一致でINTTPmCC0信号を発生してTOPm1端子出力をインアクティブにしてカウント動作を停止します。

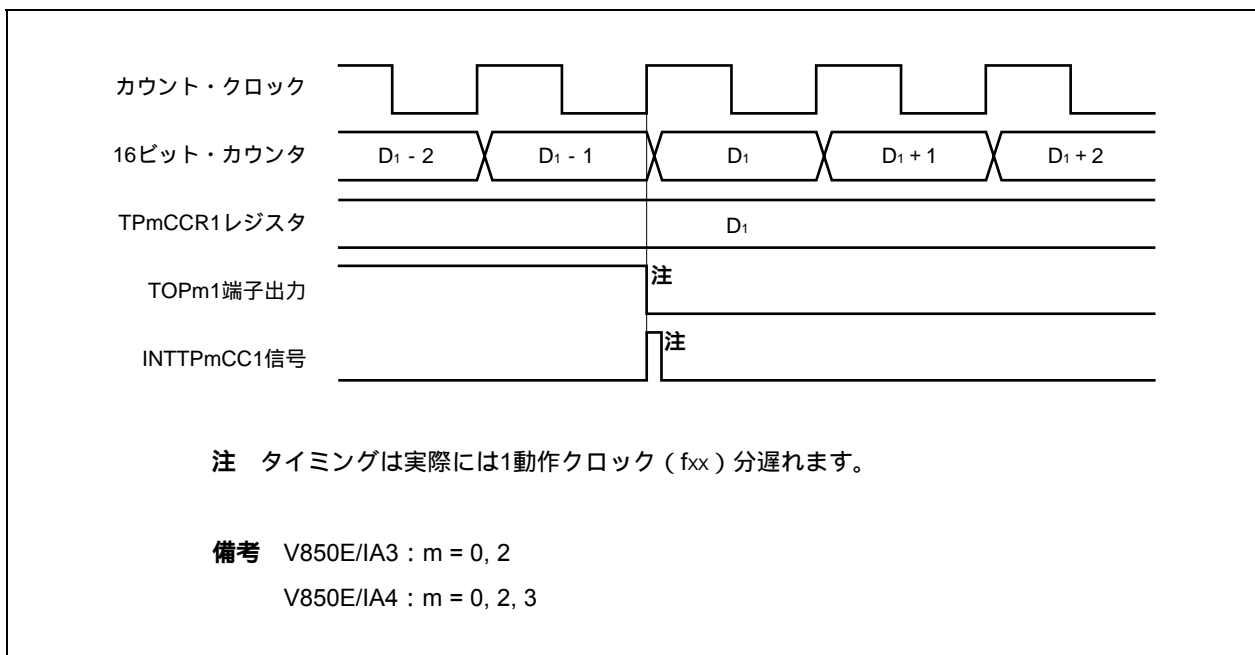
したがって、本来期待しているワンショット・パルス出力に対し、デレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 V850E/IA3 : m = 0, 2, k = 0, 2, a = 0, 1

V850E/IA4 : m = 0, 2, 3, k = 0, 2, a = 0, 1

(b) コンペアー一致割り込み要求信号 (INTTPmCC1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTPmCC1信号の発生タイミングは、ほかのモードのINTTPmCC1信号と異なり、16ビット・カウンタのカウンタ値とTPmCCR1レジスタの値との一致と同時に発生します。



通常、INTTPmCC1信号は、16ビット・カウンタのカウンタ値とTPmCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPm1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

6.6.5 PWM出力モード (TPmMD2-TPmMD0ビット = 100)

TMP0, TMP2, TMP3 (V850E/IA4のみ) のみ有効です。

PWM出力モードは、TPmCTL0.TPmCEビットをセット (1) することで、TOPm1端子からPWM波形を出力します。

また、TOP00端子から、TPmCCR0レジスタの設定値 + 1を半周期とする50 %デューティのPWM波形を出力します。

図6 - 31 PWM出力モードの構成図

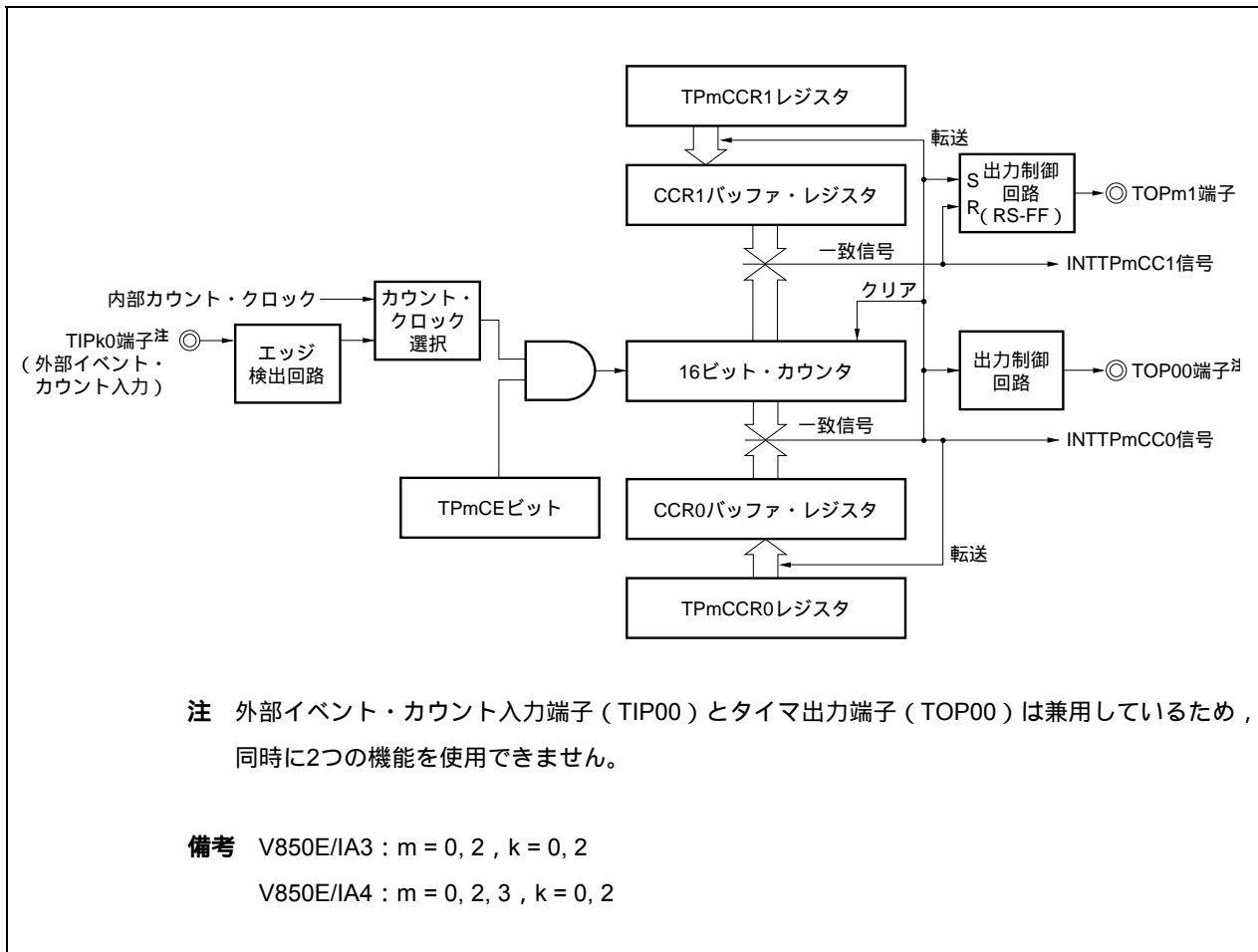
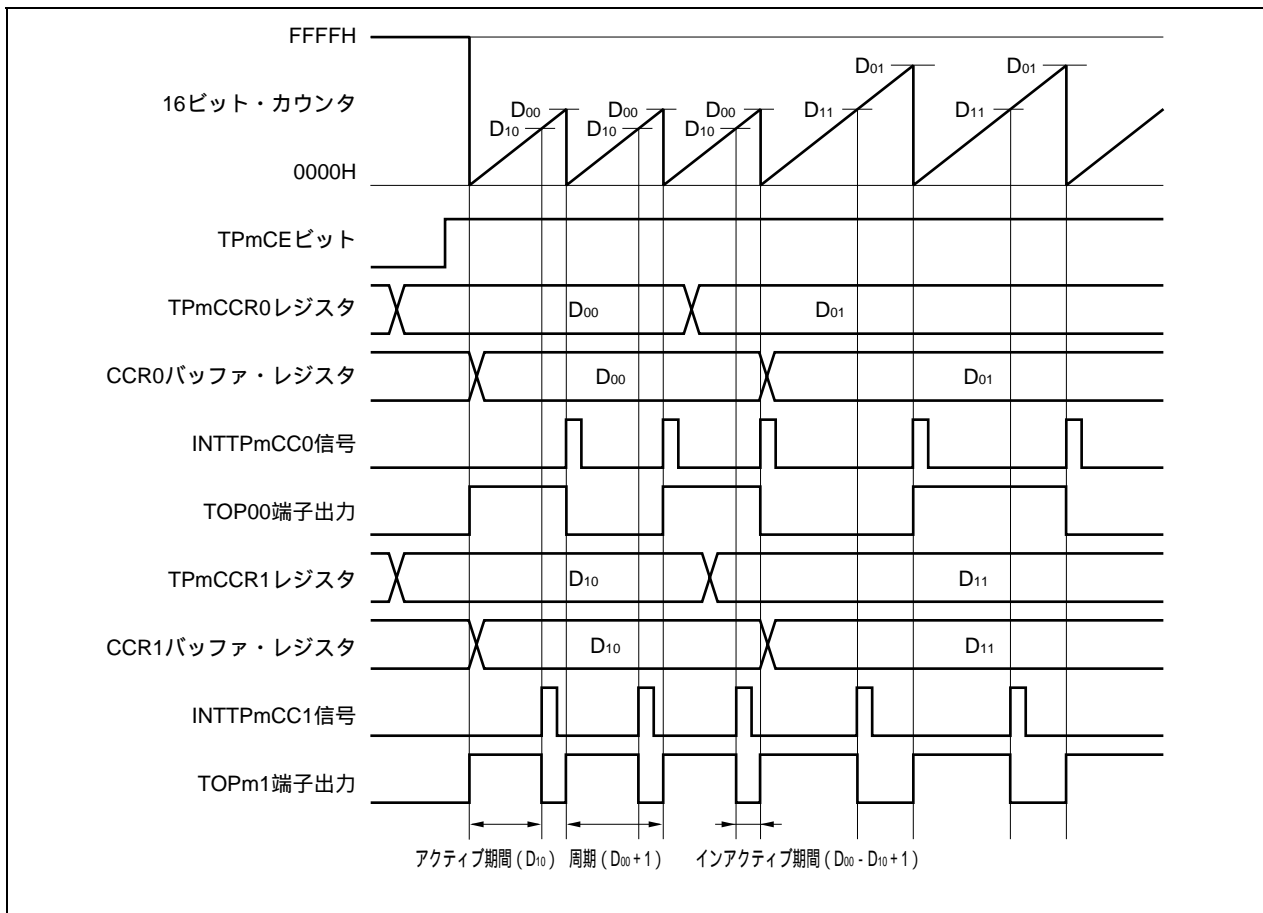


図6-32 PWM出力モードの基本タイミング



TPmCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOPm1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

アクティブ・レベル幅 = (TPmCCR1レジスタの設定値) × カウント・クロック周期

周期 = (TPmCCR0レジスタの設定値 + 1) × カウント・クロック周期

デューティ = (TPmCCR1レジスタの設定値) / (TPmCCR0レジスタの設定値 + 1)

動作中にTPmCCR_aレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR₀バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンパレー一致割り込み要求信号 (INTTPmCC₀) は、16ビット・カウンタのカウント値とCCR₀バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号 (INTTPmCC₁) は、16ビット・カウンタのカウント値とCCR₁バッファ・レジスタの値が一致するタイミングで発生します。

TPmCCR_aレジスタに設定した値は、16ビット・カウンタのカウント値とCCR_aバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCR_aバッファ・レジスタに転送されます。

備考 V850E/IA3 : m = 0, 2, a = 0, 1

V850E/IA4 : m = 0, 2, 3, a = 0, 1

図6 - 33 PWM出力モード動作時のレジスタ設定内容 (1/2)

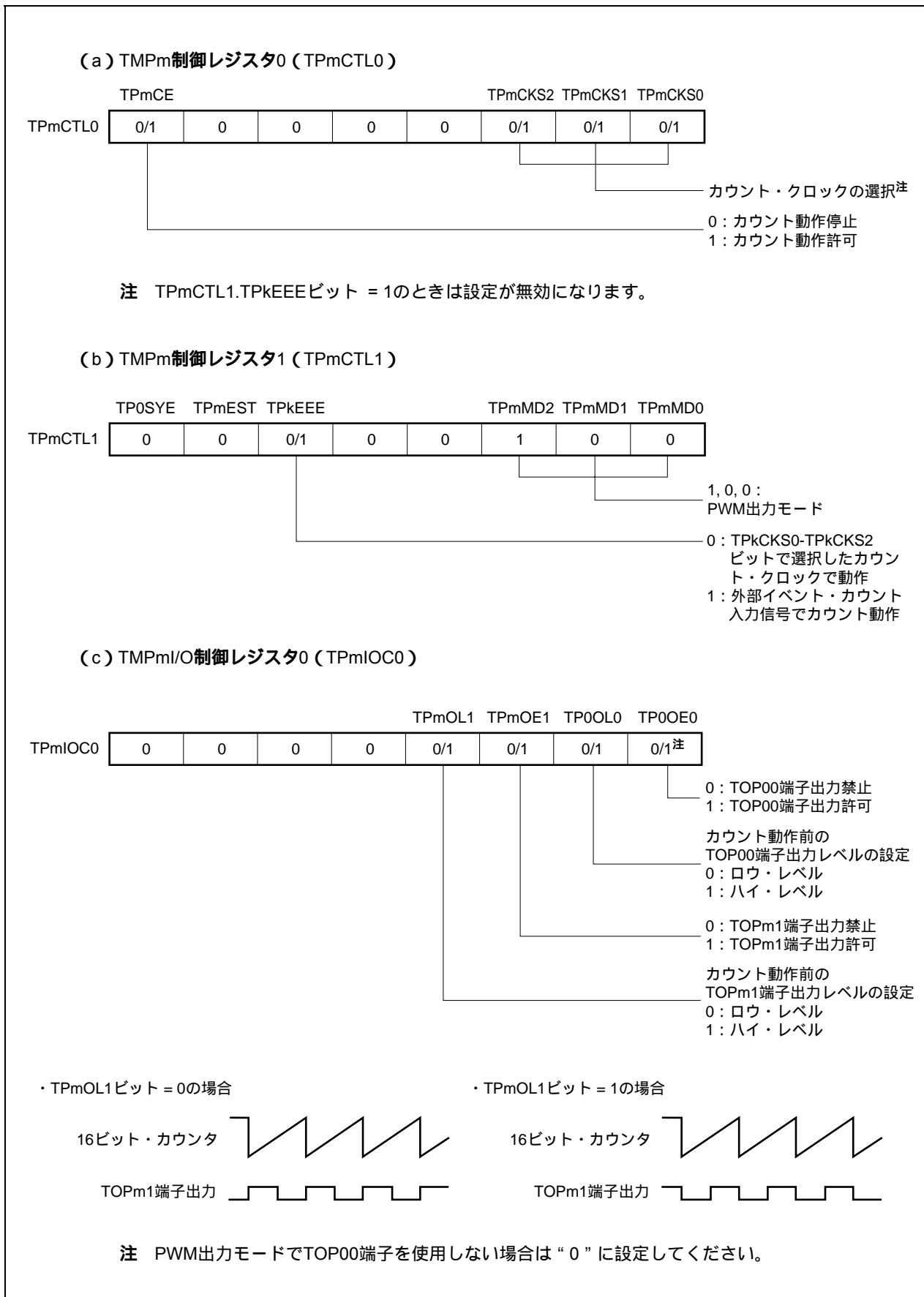
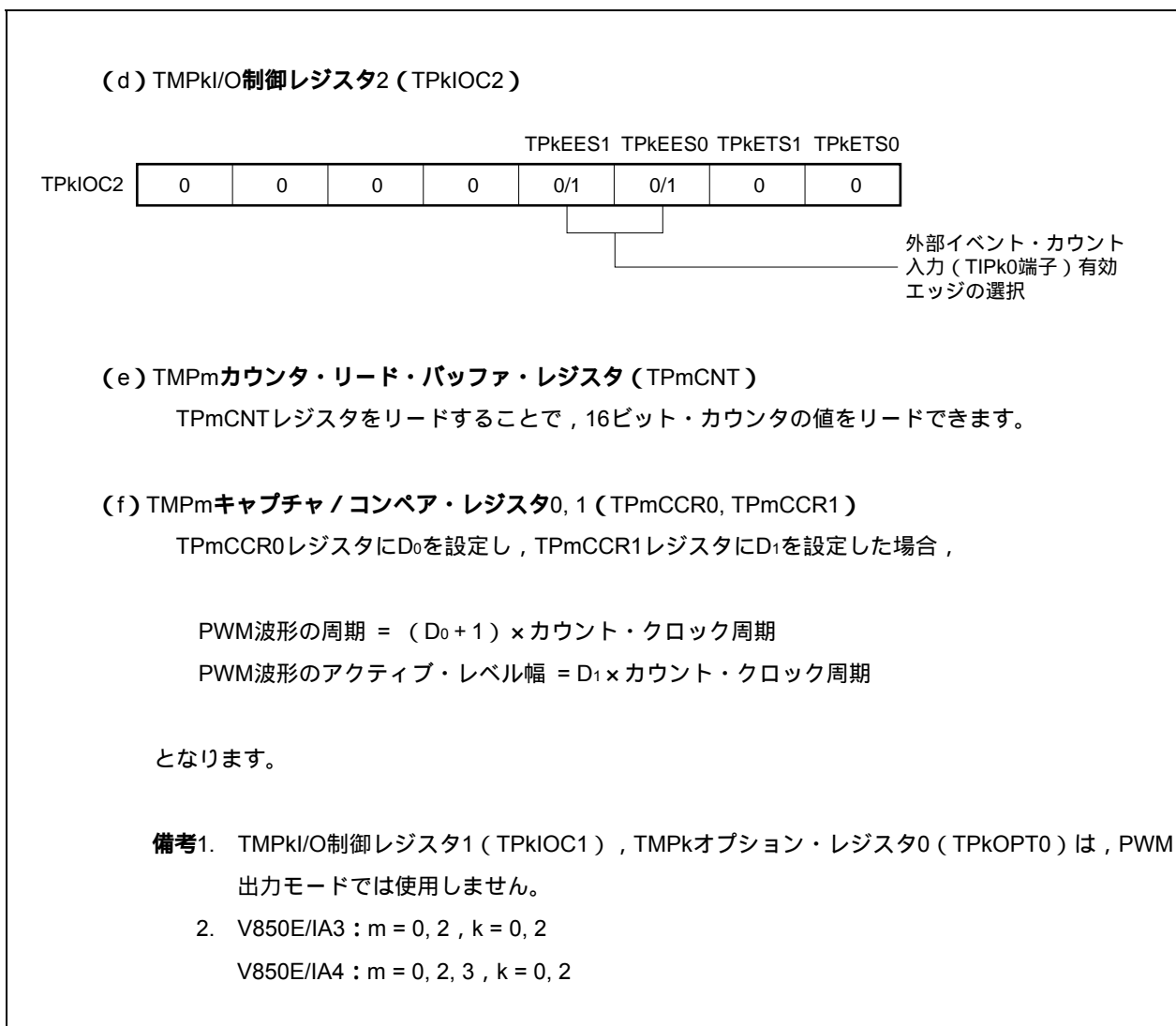


図6 - 33 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図6 - 34 PWM出力モード使用時のソフトウェア処理フロー (1/2)

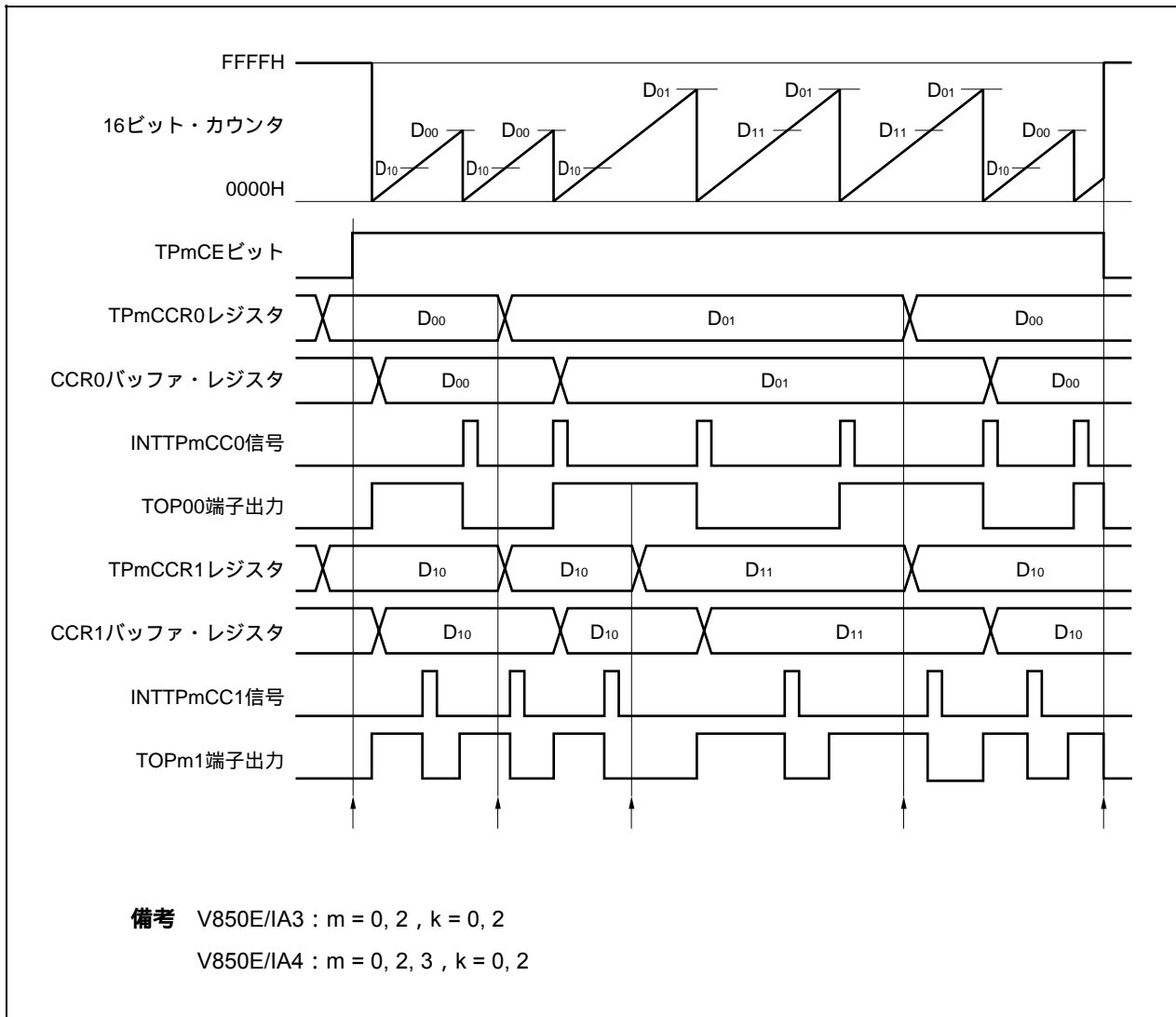
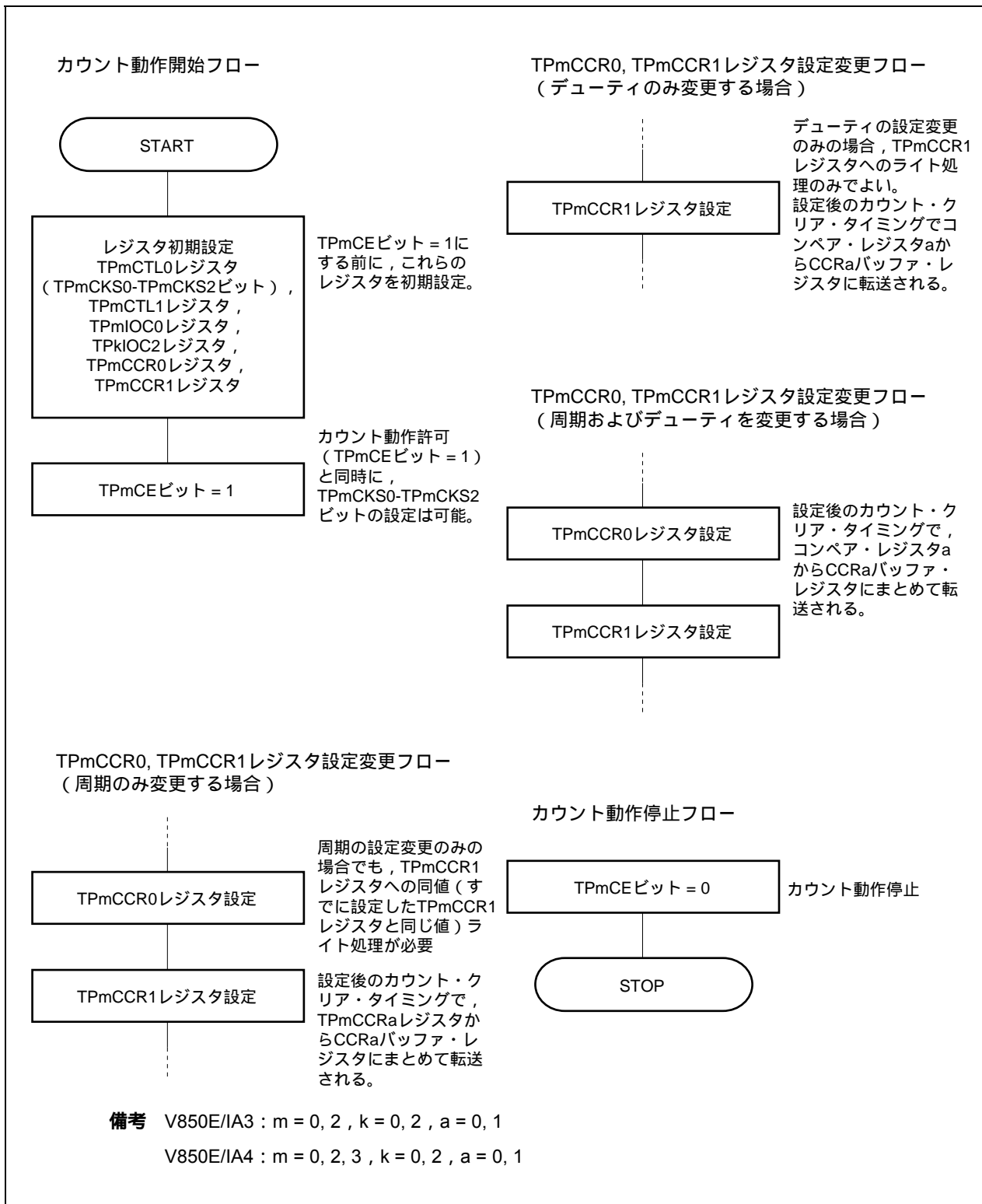


図6 - 34 PWM出力モード使用時のソフトウェア処理フロー (2/2)

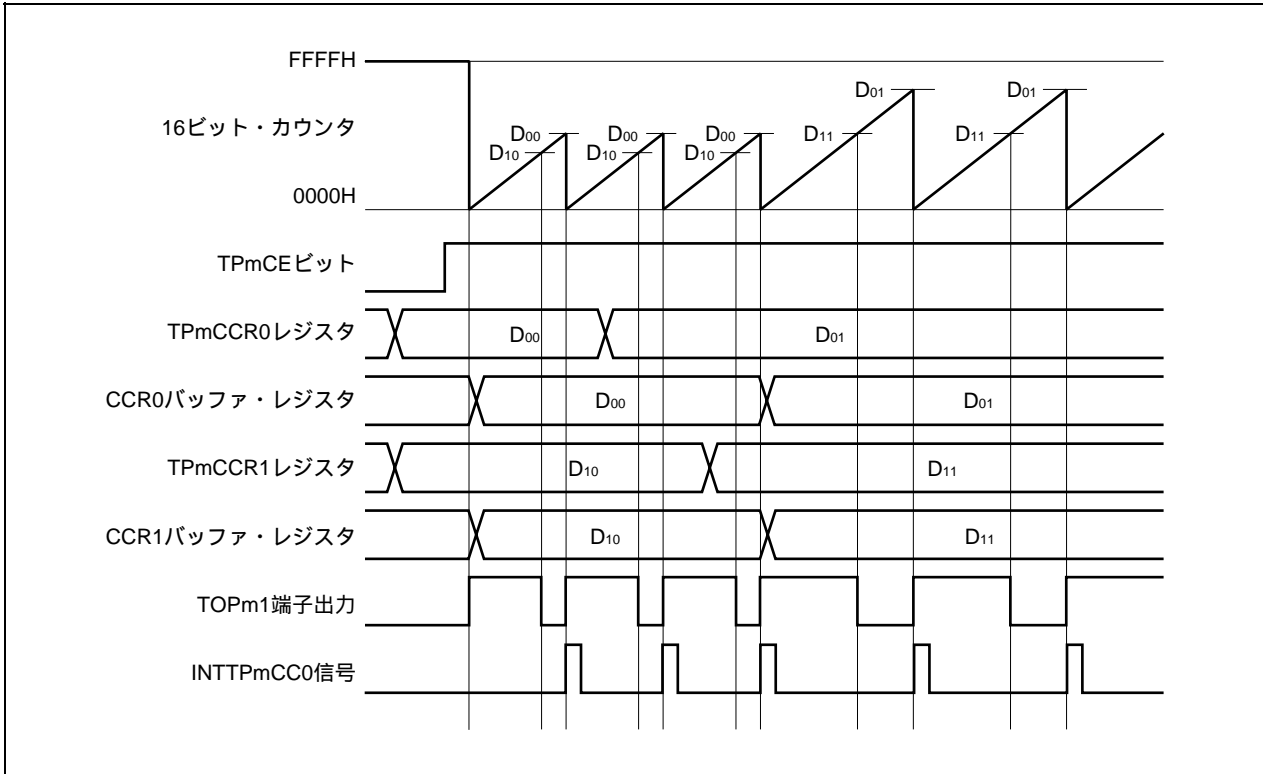


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTPmCCR1レジスタにライトしてください。

TPmCCR1レジスタにライト後、再度TPmCCRaレジスタの書き換えを行う場合には、INTTPmCC0信号を検出後に書き換えてください。



TPmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TPmCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPmCCR0レジスタに周期を設定し、そのあとでTPmCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPmCCR0レジスタに周期を設定し、そのあとでTPmCCR1レジスタに同値（すでに設定したTPmCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPmCCR1レジスタのみの設定でかまいません。

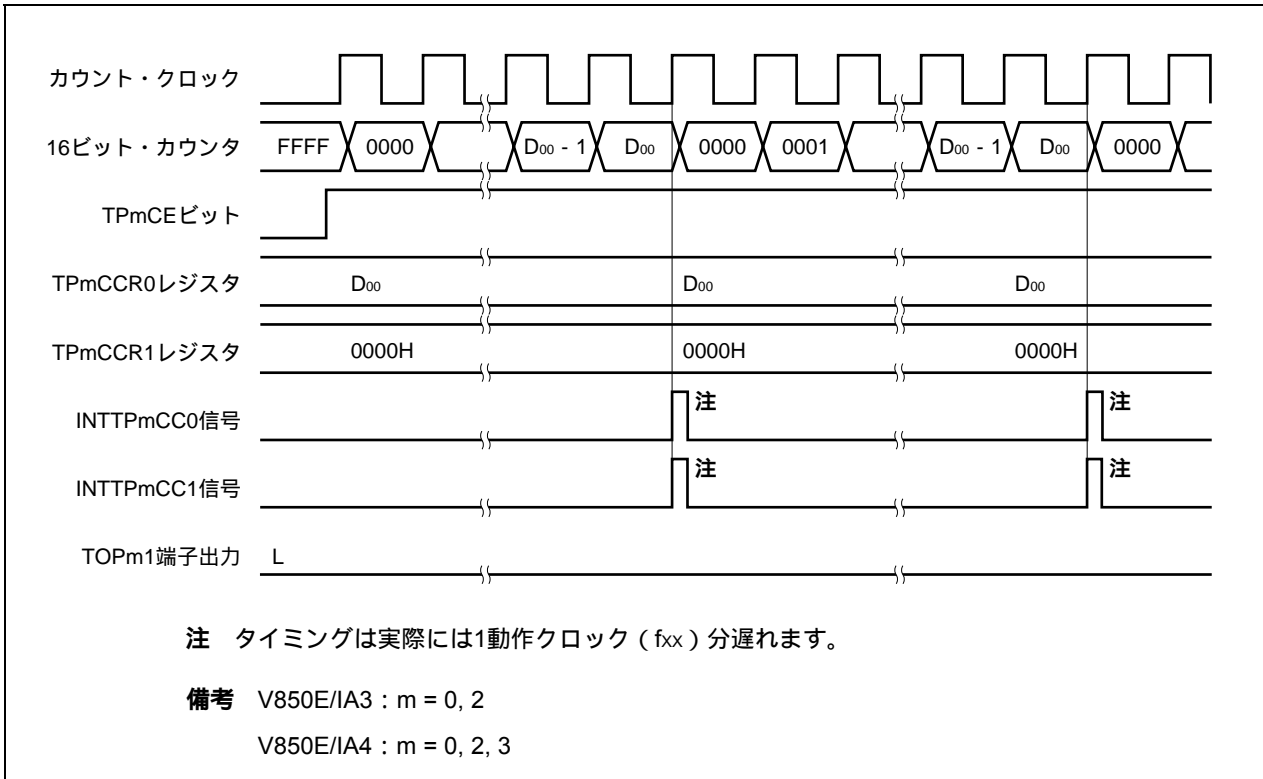
TPmCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPmCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TPmCCR1レジスタにライトしたあとで、再度TPmCCR0、またはTPmCCR1レジスタへのライトを行う場合は、INTTPmCC0信号の発生後に行ってください。これを守れない場合には、TPmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TPmCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

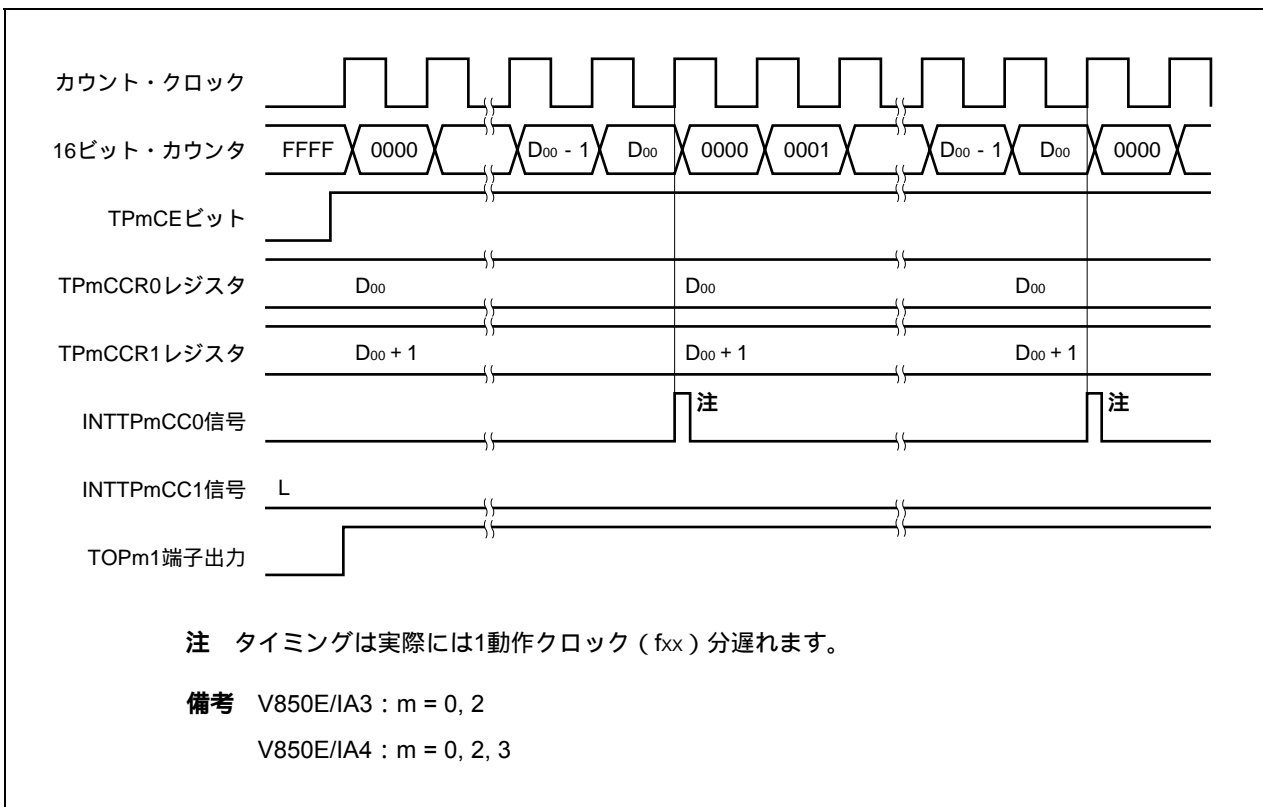
備考 V850E/IA3 : m = 0, 2, a = 0, 1
 V850E/IA4 : m = 0, 2, 3, a = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TPmCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTPmCC0信号とINTTPmCC1信号が発生します。

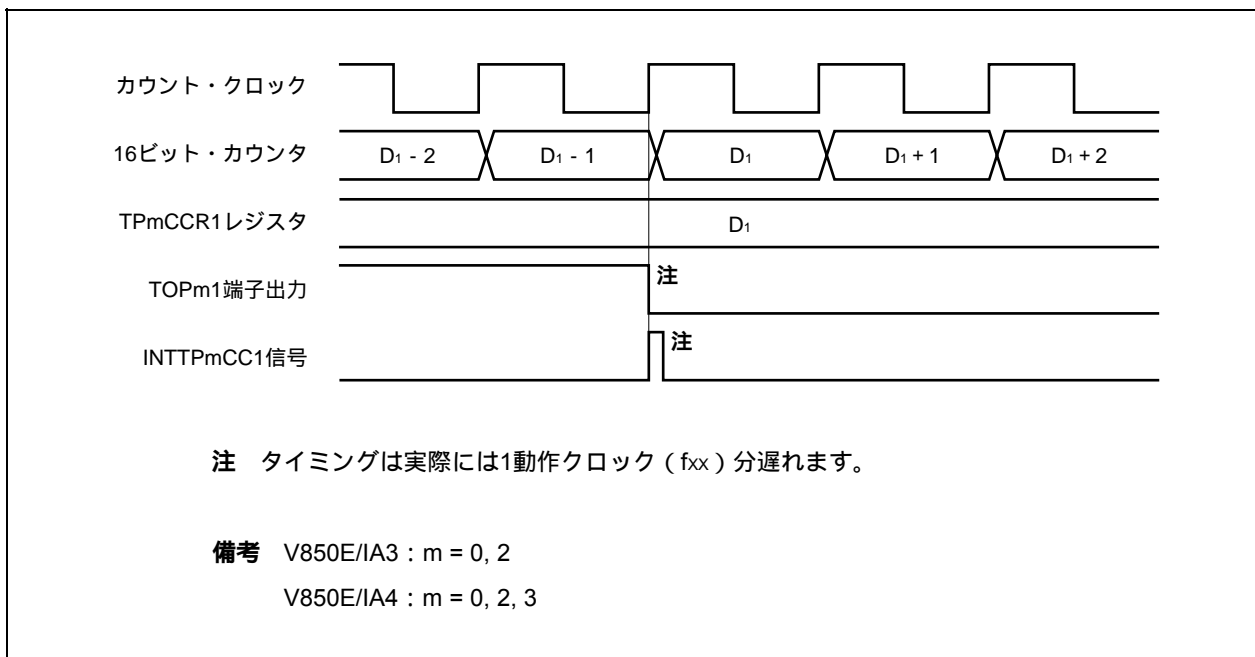


100 % 波形を出力するためには、TPmCCR1レジスタに対して (TPmCCR0レジスタの設定値 + 1) の値を設定してください。TPmCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTPmCC1) の発生タイミング

PWM出力モードにおけるINTTPmCC1信号の発生タイミングは、ほかのモードのINTTPmCC1信号と異なり、16ビット・カウンタのカウント値とTPmCCR1レジスタの値との一致と同時に発生します。



通常、INTTPmCC1信号は、16ビット・カウンタのカウント値とTPmCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

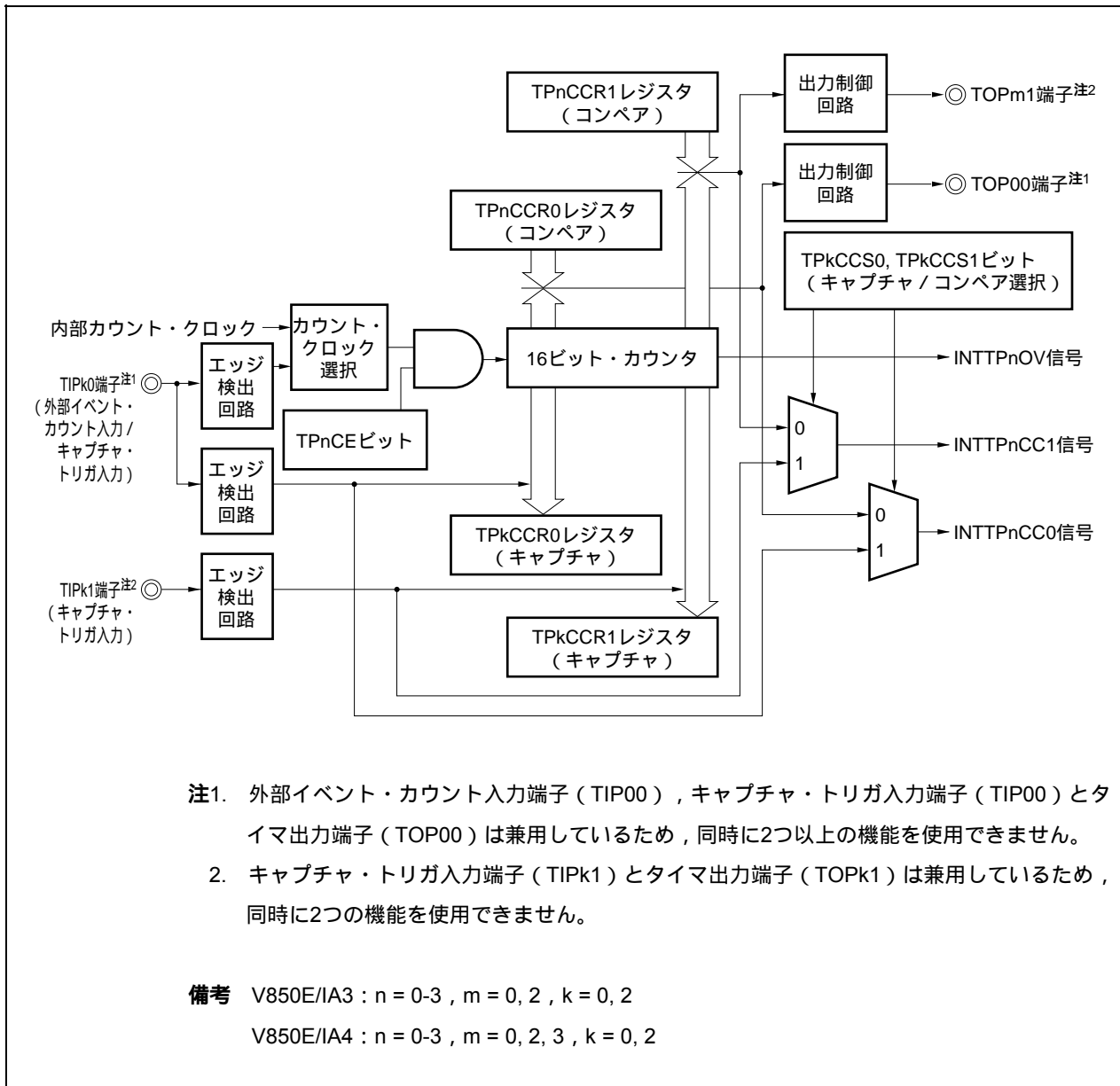
しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOPm1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

6.6.6 フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101)

コンペア機能はTMP0-TMP3すべて有効です。キャプチャ機能はTMP0, TMP2のみ有効です。

フリー・ランニング・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始します。このときのTPkCCR0, TPkCCR1レジスタの動作は、TPkOPT0.TPkCCS0, TPkCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図6 - 35 フリー・ランニング・タイマ・モードの構成図



- 注1. 外部イベント・カウント入力端子 (TIP00), キャプチャ・トリガ入力端子 (TIP00) とタイマ出力端子 (TOP00) は兼用しているため、同時に2つ以上の機能を使用できません。
- 2. キャプチャ・トリガ入力端子 (TIPk1) とタイマ出力端子 (TOPk1) は兼用しているため、同時に2つの機能を使用できません。

備考 V850E/IA3 : n = 0-3, m = 0, 2, k = 0, 2
 V850E/IA4 : n = 0-3, m = 0, 2, 3, k = 0, 2

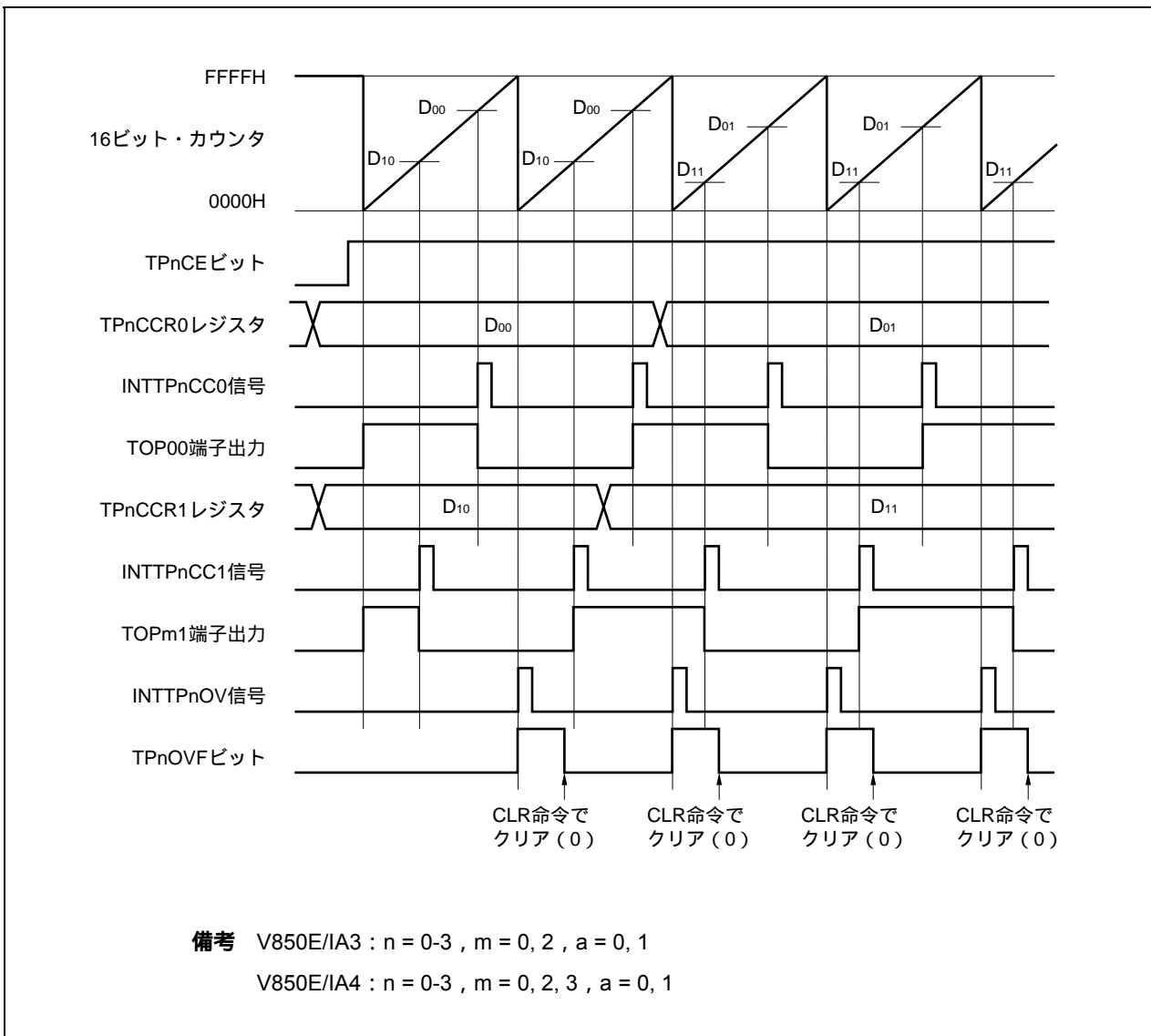
・コンペア動作

TPnCEビットをセット (1) することで、カウント動作を開始し、TOP00, TOPm1端子出力を反転します。その後、16ビット・カウンタのカウント値とTPnCCRaレジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTPnCCa) を発生し、TOP00, TOPm1端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTPnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TPnOPT0.TPnOVFビット) もセット (1) されます。オーバーフロー・フラグがセット (1) されているのを確認してから、ソフトウェアでCLR命令を実行してクリア (0) してください。

TPnCCRaレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き込みにより値が即反映され、カウント値と比較されます。

図6 - 36 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



・キャプチャ動作

TPkCEビットをセット(1)することで、カウント動作を開始します。その後、TIPka端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPkCCRaレジスタに格納し、キャプチャ割り込み要求信号(INTTPkCCa)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTPkOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TPkOPT0.TPkOVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されているのを確認してから、ソフトウェアでCLR命令を実行してクリア(0)してください。

図6-37 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

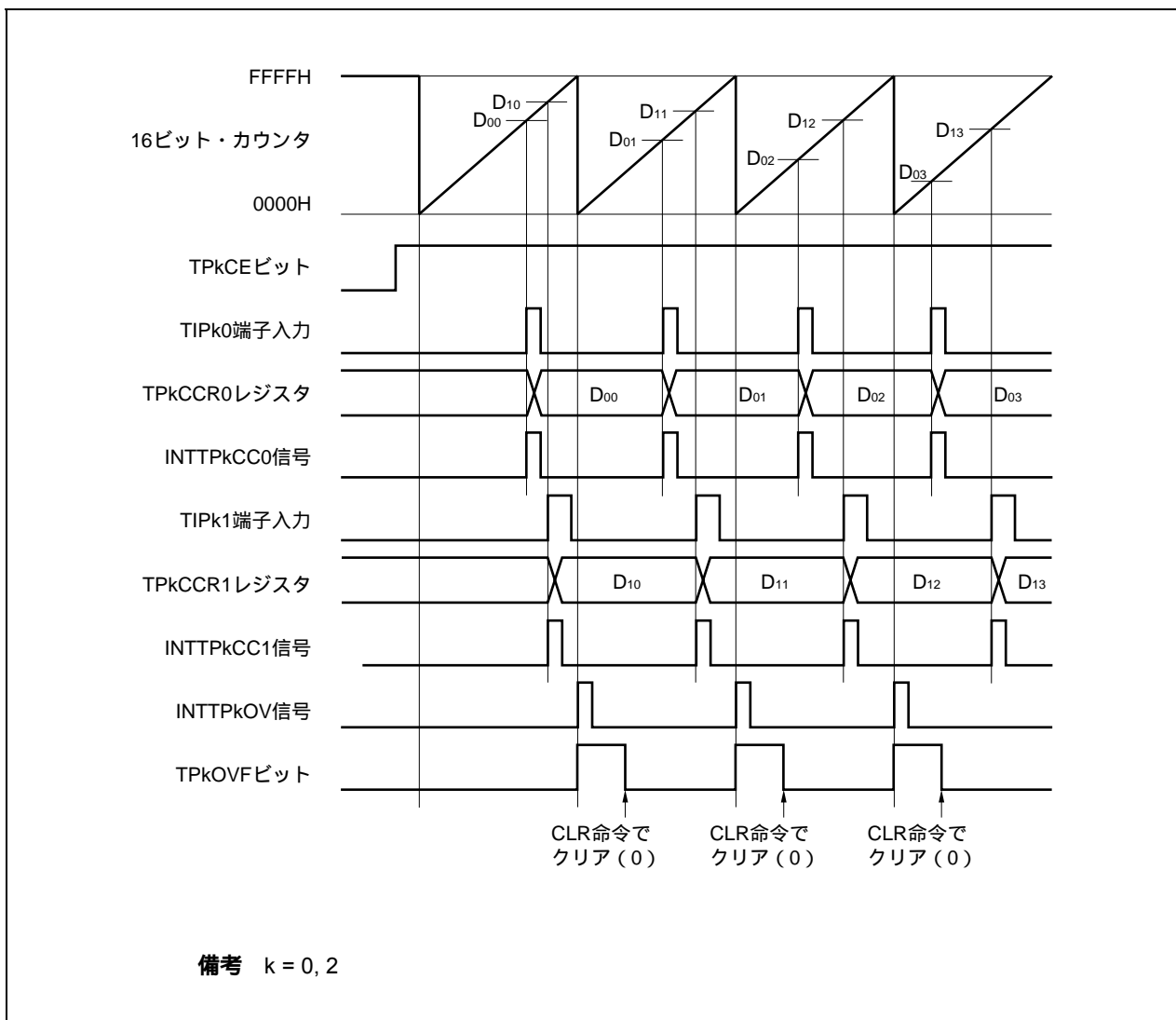


図6 - 38 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/2)

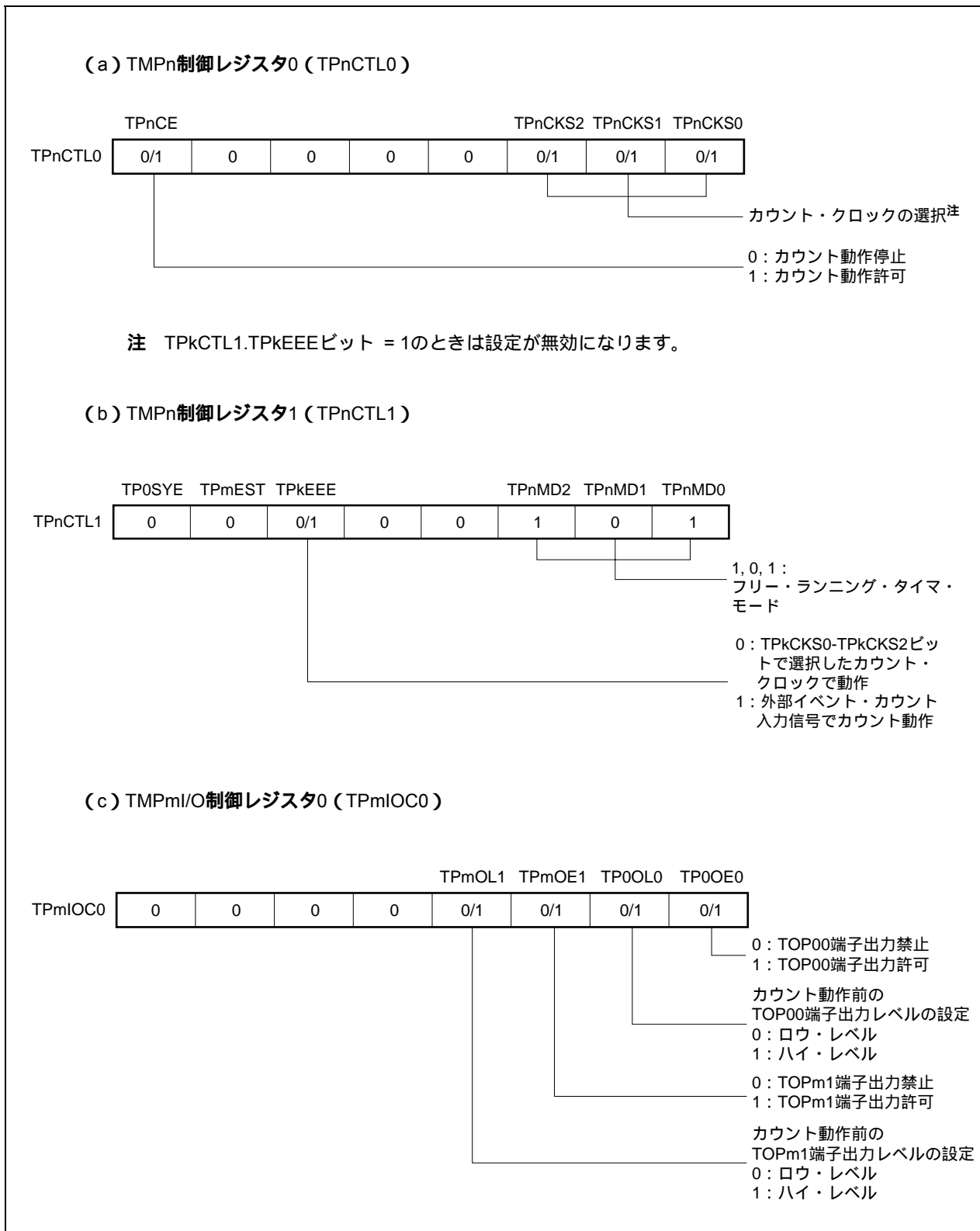
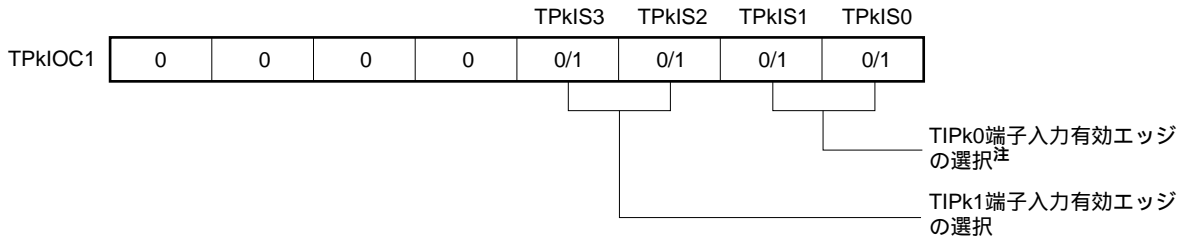


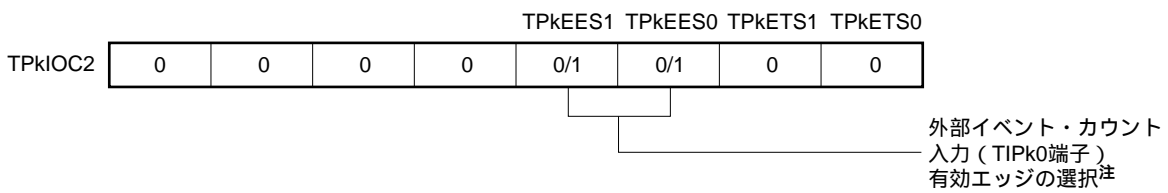
図6 - 38 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/2)

(d) TMPkI/O制御レジスタ1 (TPkIOC1)



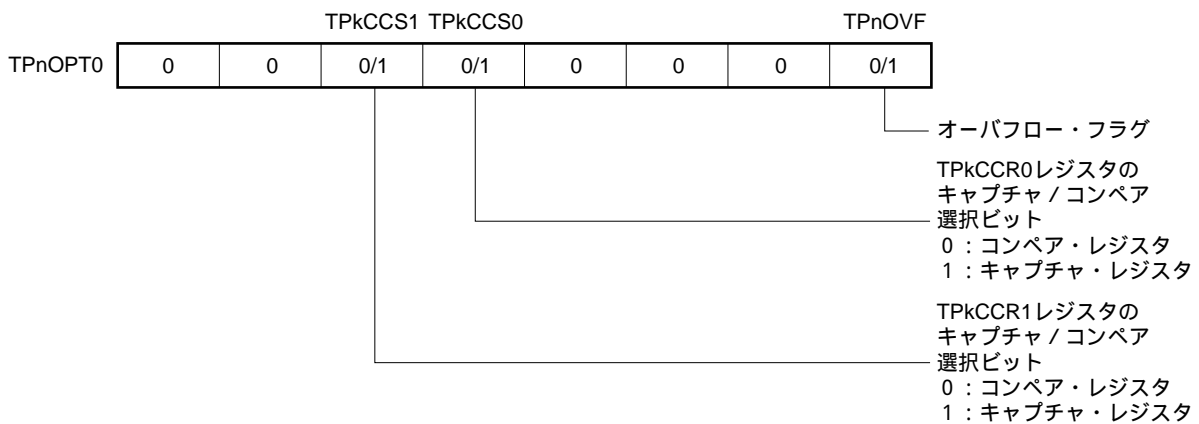
注 使用しない兼用外部入力信号の有効エッジの選択は“エッジ検出なし”に設定してください。

(e) TMPkI/O制御レジスタ2 (TPkIOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は“エッジ検出なし”に設定してください。

(f) TMPnオプション・レジスタ0 (TPnOPT0)



(g) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(h) TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

TPkOPT0.TPkCCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIPka端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TPnCCRaレジスタにDaを設定した場合、カウンタが(Da + 1)になるタイミングでINTTPnCCa信号を発生し、TOP00, TOPm1端子出力を反転します。

備考 V850E/IA3 : n = 0-3, m = 0, 2, k = 0, 2, a = 0, 1

V850E/IA4 : n = 0-3, m = 0, 2, 3, k = 0, 2, a = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図6 - 39 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

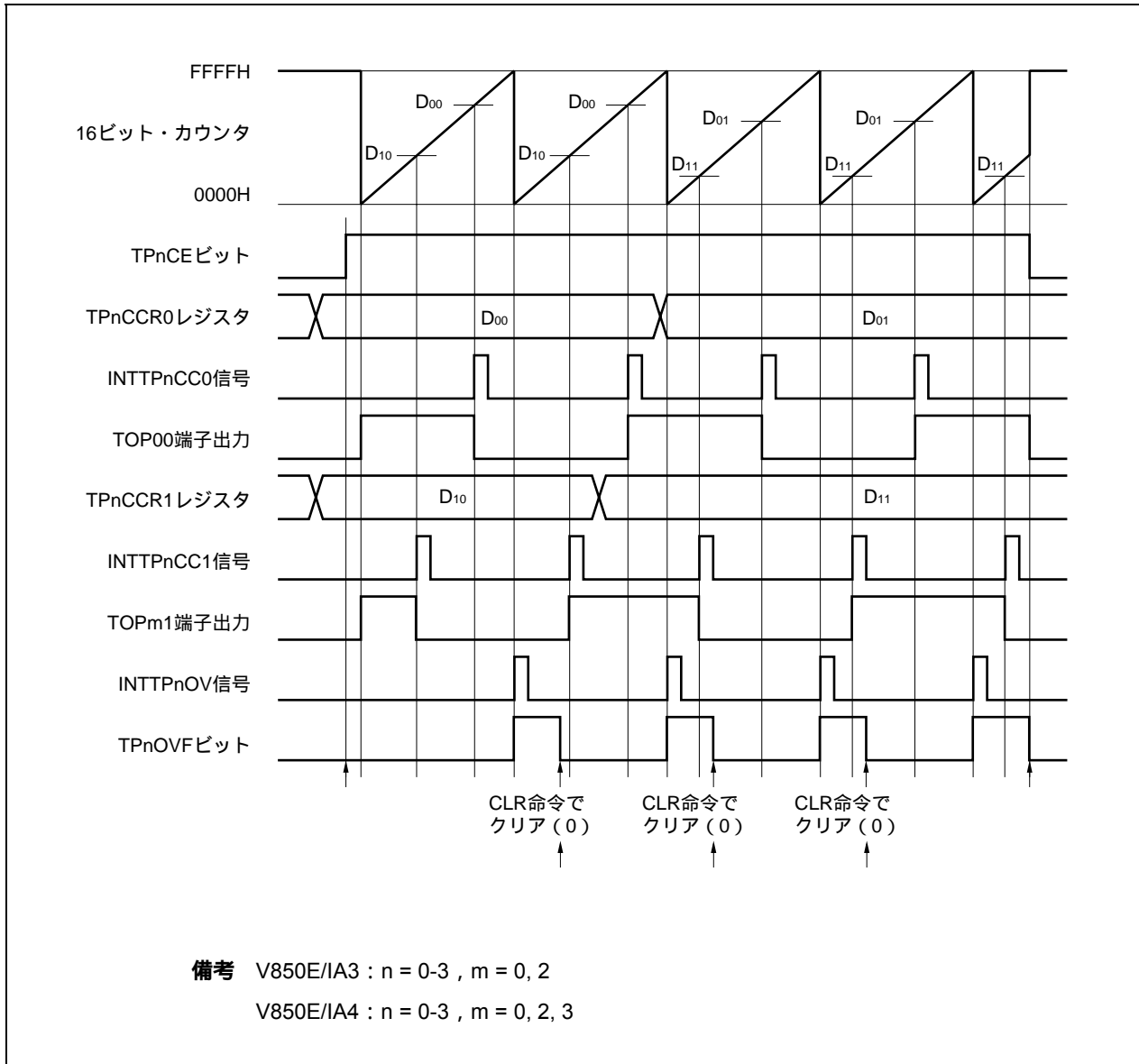
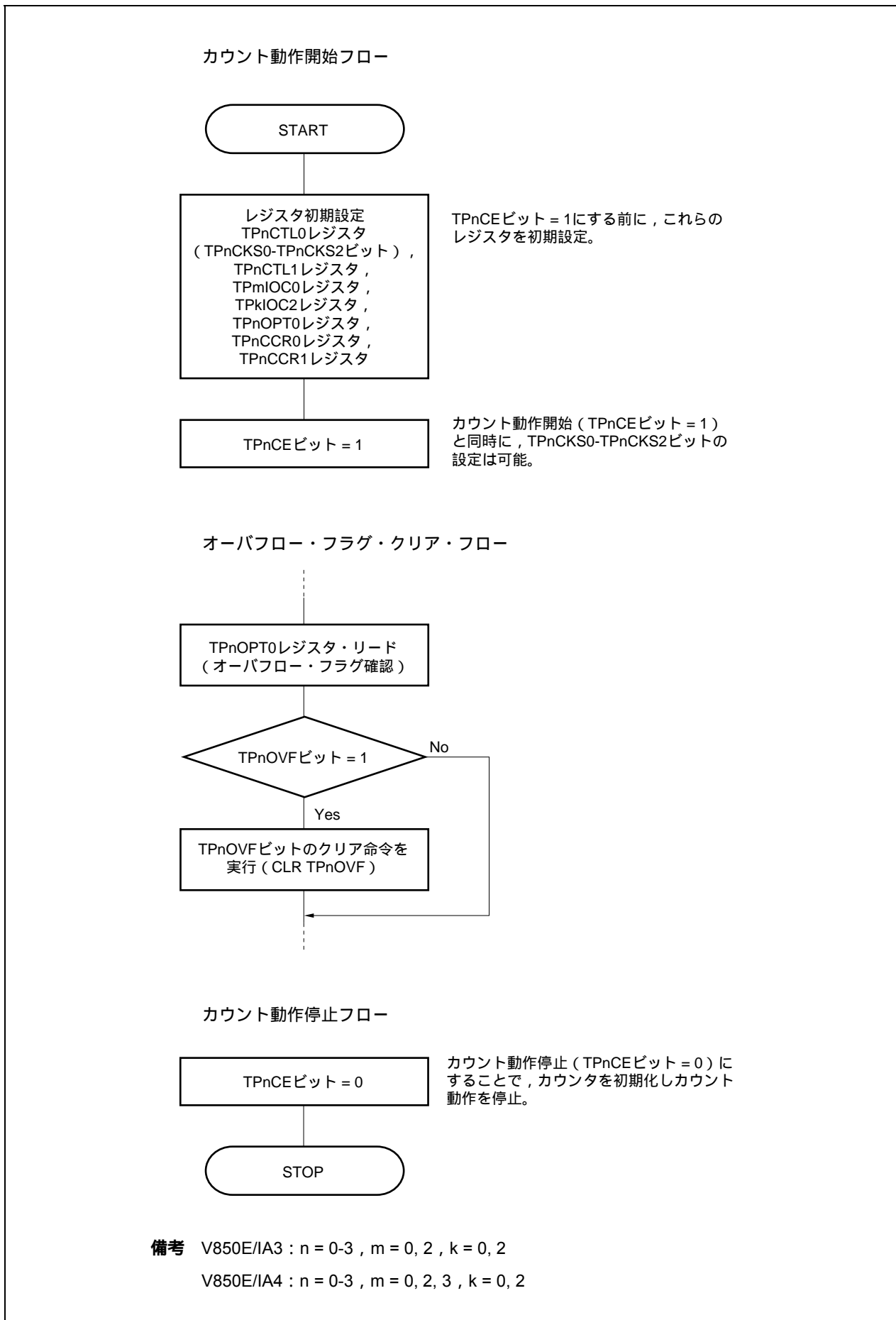


図6 - 39 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図6 - 40 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

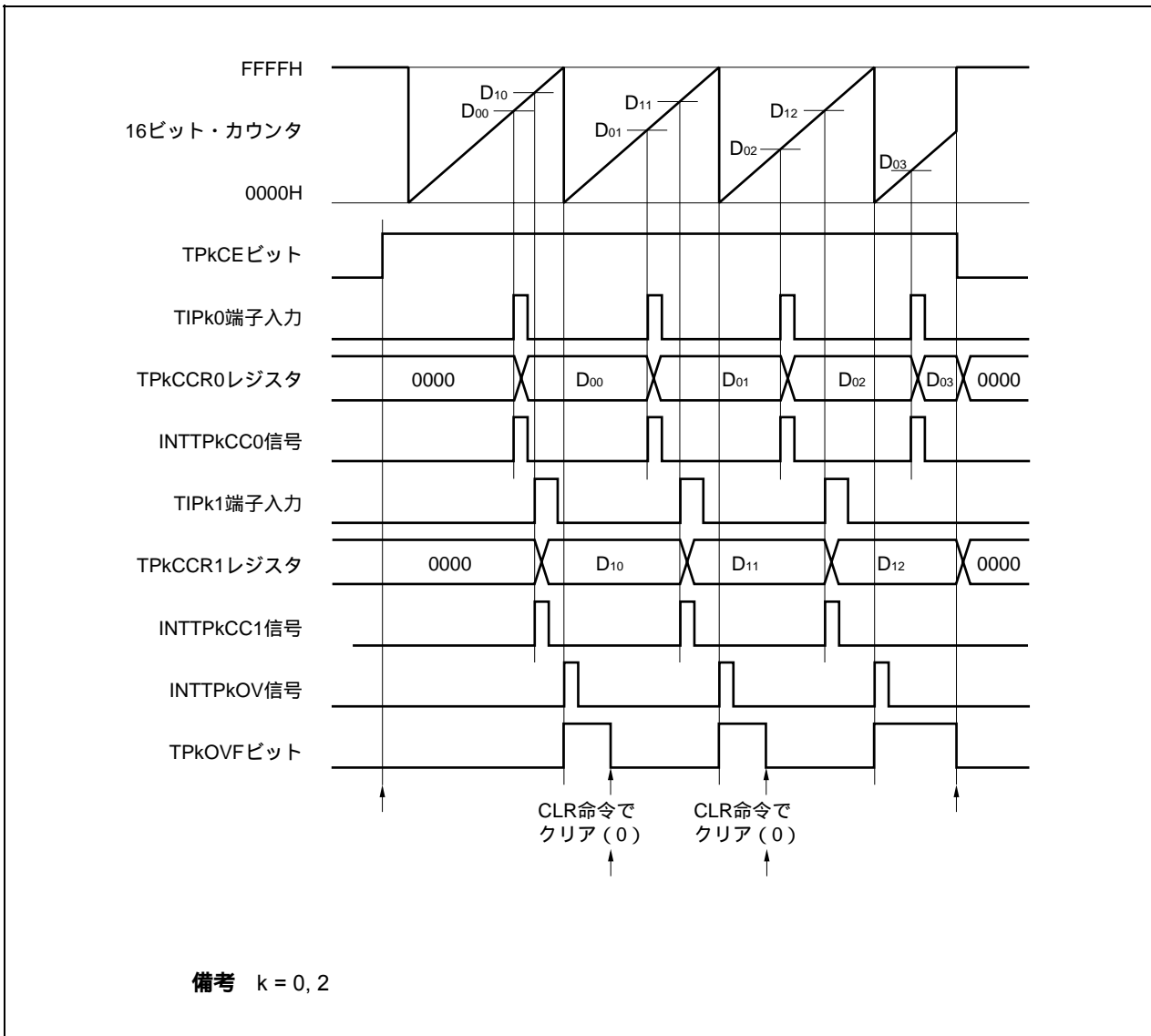
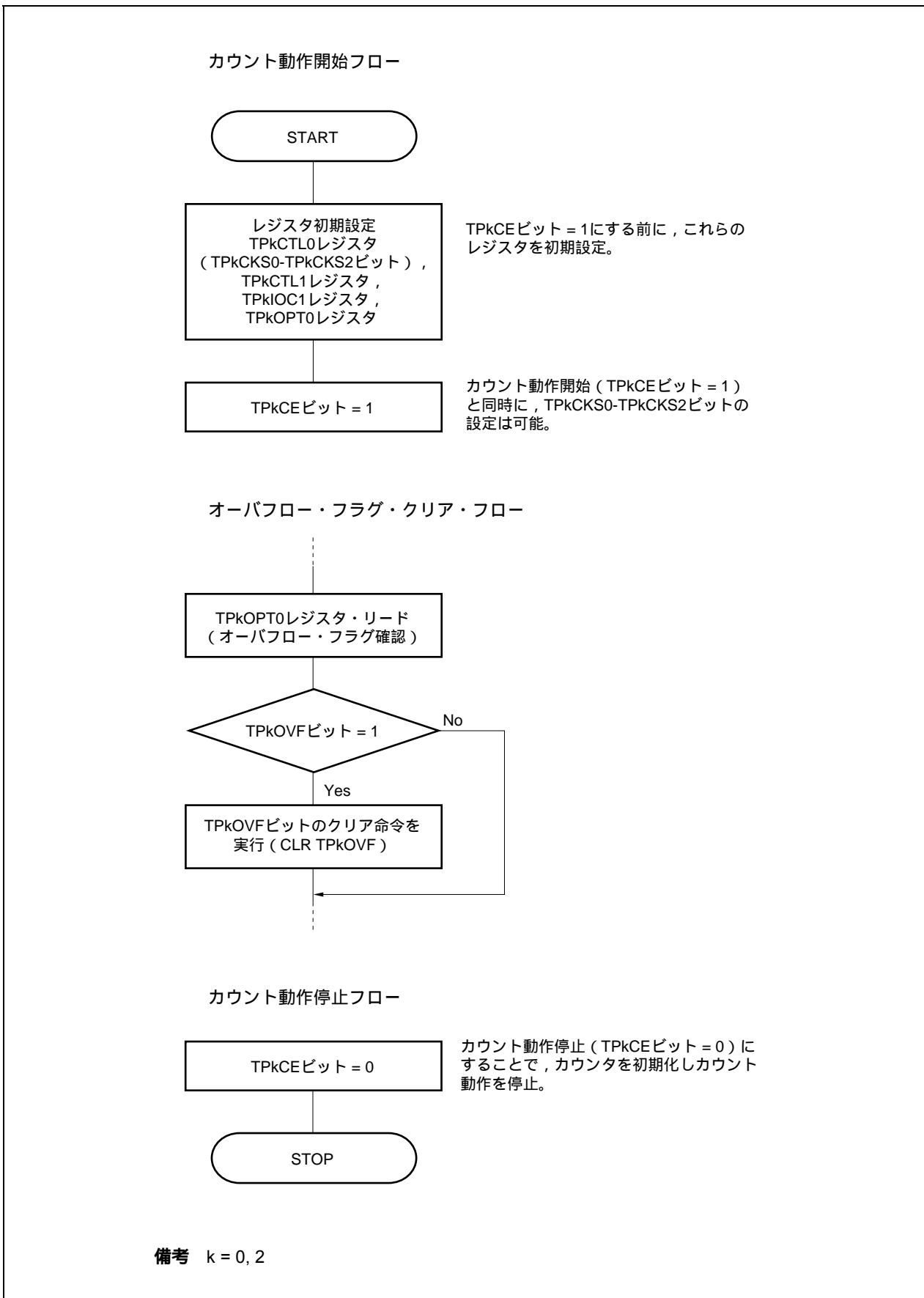


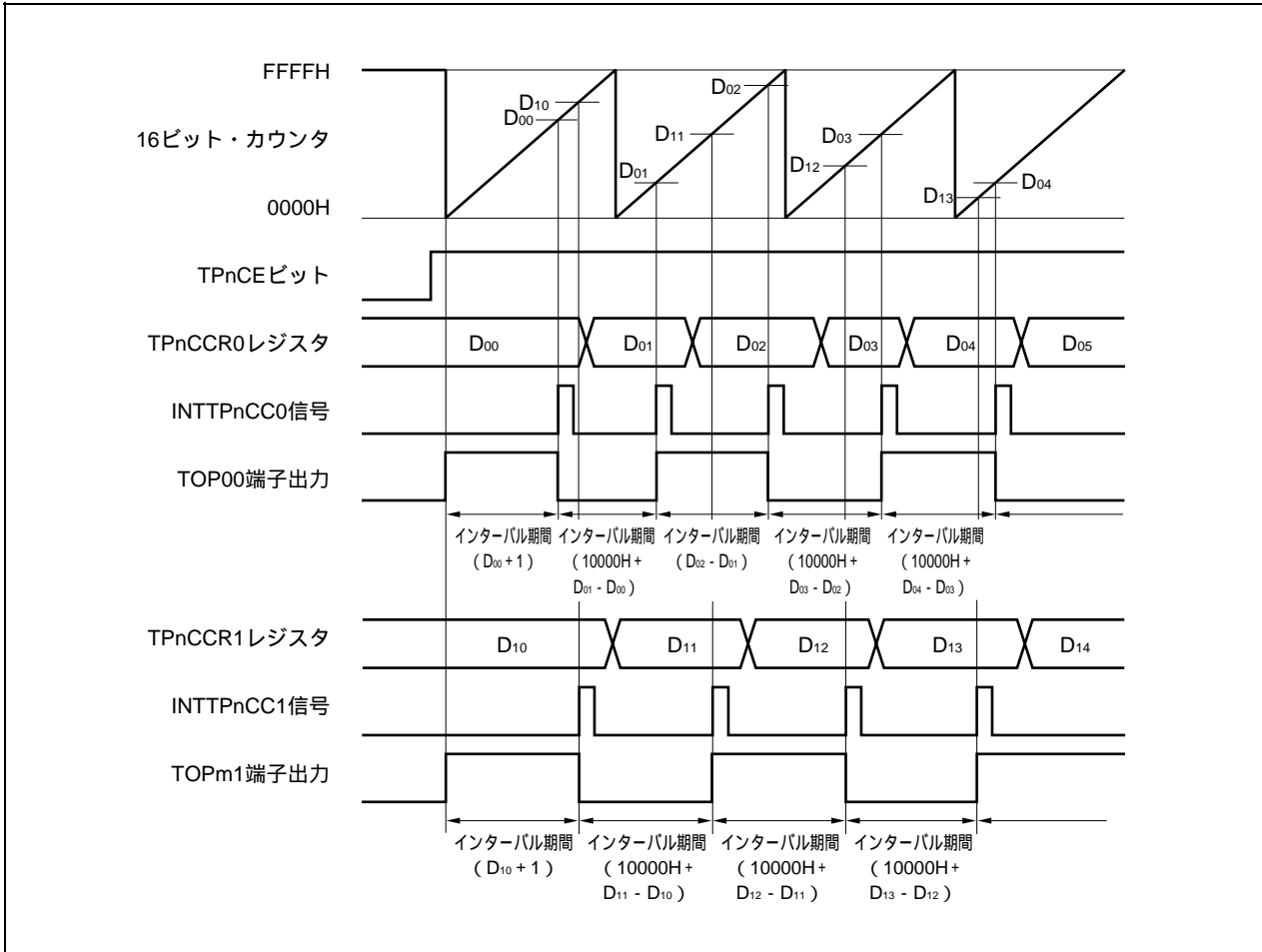
図6 - 40 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TPnCCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTPnCCa信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTPnCCa信号を検出したときの割り込み処理中に、対応するTPnCCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“Da”とすると、次のように求められます。

コンペア・レジスタ初期値 : $D_a - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_a

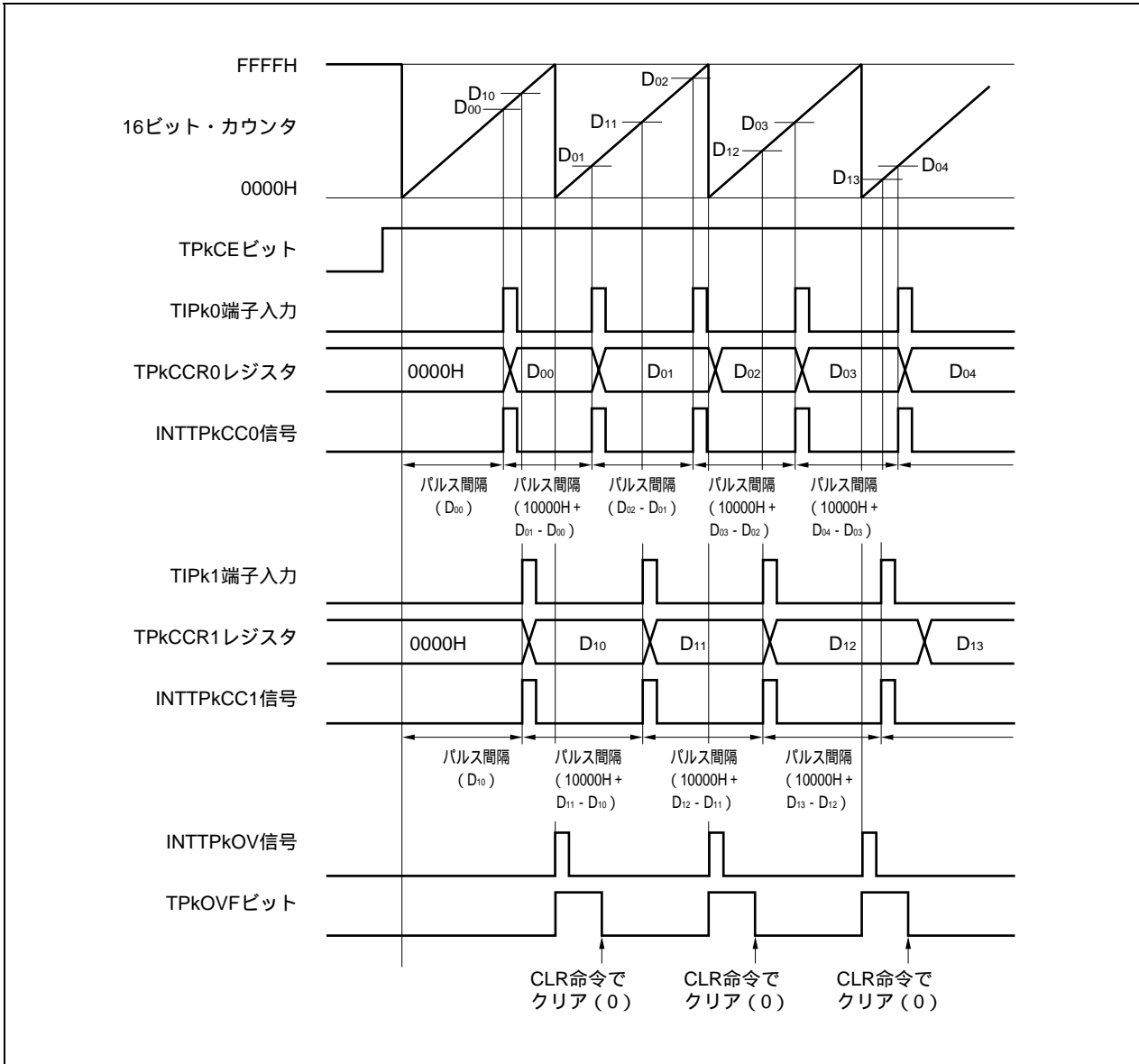
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 V850E/IA3 : $n = 0-3, m = 0, 2, a = 0, 1$

V850E/IA4 : $n = 0-3, m = 0, 2, 3, a = 0, 1$

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TPkCCRaレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTPkCCa信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

パルス幅測定を行う場合、INTTPkCCa信号に同期してTPkCCRaレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

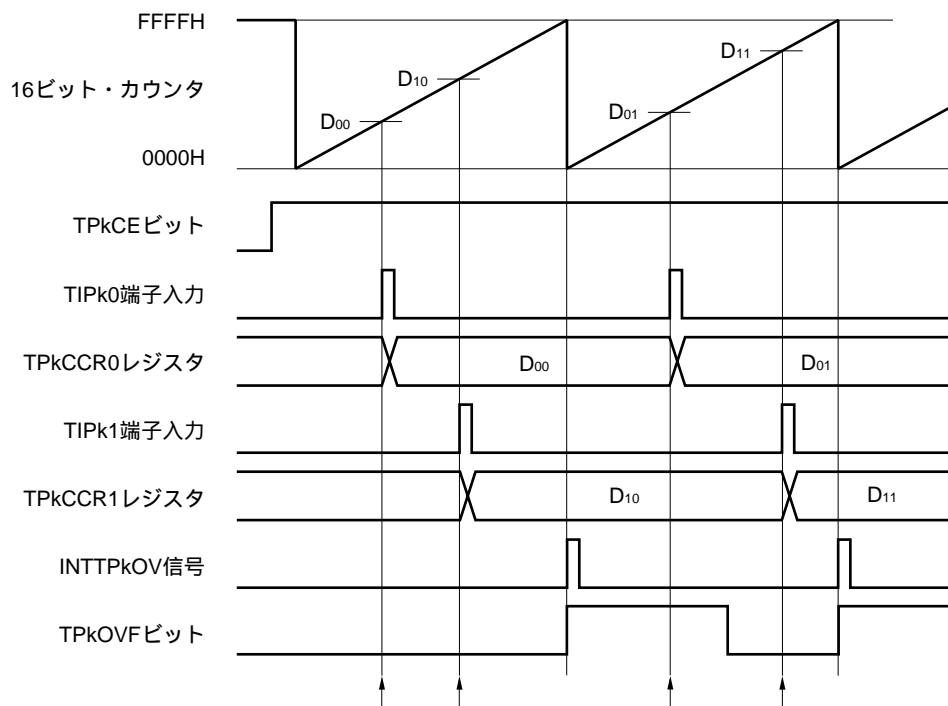
備考 k = 0, 2

a = 0, 1

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TPkCCR0レジスタをリードする (TIPk0端子入力の初期値設定)。

TPkCCR1レジスタをリードする (TIPk1端子入力の初期値設定)。

TPkCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TPkCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

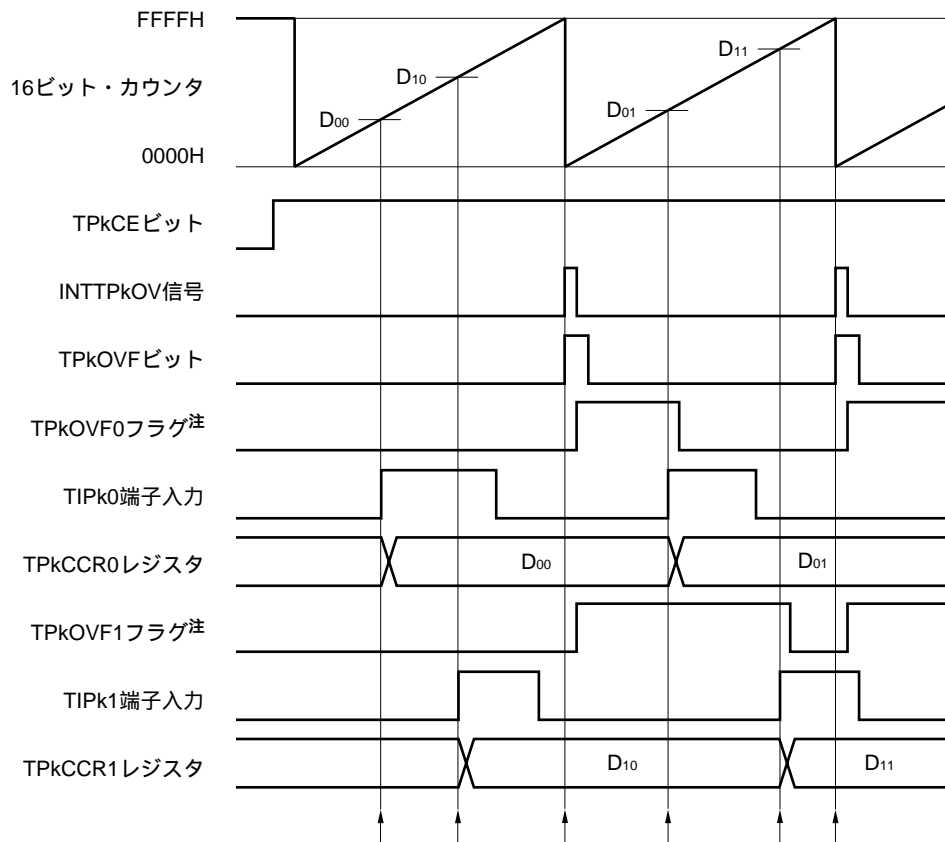
オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

備考 k = 0, 2

このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TPkOVF0, TPkOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPkCCR0レジスタをリードする (TIPk0端子入力の初期値設定)。

TPkCCR1レジスタをリードする (TIPk1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TPkOVF0, TPkOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TPkCCR0レジスタをリードする。

TPkOVF0フラグをリードする。 TPkOVF0フラグが“1”だった場合、クリア (0) する。

TPkOVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TPkCCR1レジスタをリードする。

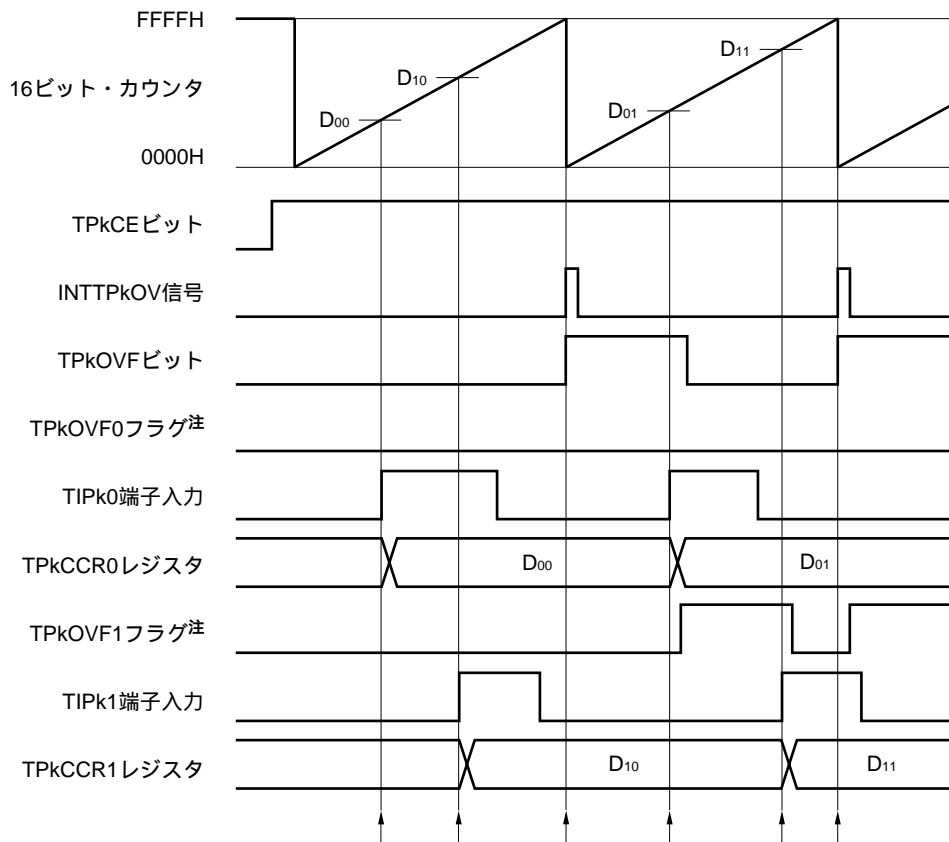
TPkOVF1フラグをリードする。 TPkOVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTPkOVF0フラグであり、TPkOVF1フラグは“1”のまま)。

TPkOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

備考 k = 0, 2

2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用しない）



注 TPkOVF0, TPkOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPkCCR0レジスタをリードする（TIPk0端子入力の初期値設定）。

TPkCCR1レジスタをリードする（TIPk1端子入力の初期値設定）。

オーバーフローが発生する。ソフトウェアでは何もしない。

TPkCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TPkOVF1フラグのみをセット（1）し、オーバーフロー・フラグをクリア（0）する。

オーバーフロー・フラグが“1”なので、パルス幅は（10000H + D01 - D00）で求められます。

TPkCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア（0）されているので“0”がリードされる。

TPkOVF1フラグをリードする。TPkOVF1フラグが“1”だった場合、クリア（0）する。

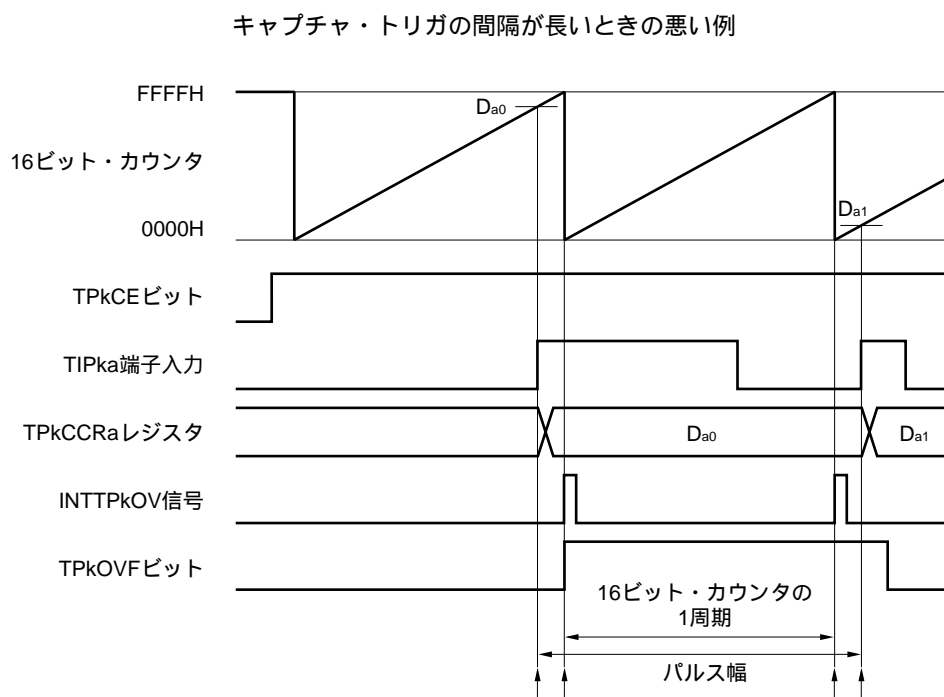
TPkOVF1フラグが“1”なので、パルス幅は（10000H + D11 - D10）で求められます（OK）。

と同じです。

備考 k = 0, 2

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

TPkCCRaレジスタをリードする (TIPka端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

2回目のオーバーフローが発生する。ソフトウェアでは何もしない。

TPkCCRaレジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{a1} - D_{a0})$ で求められます (NG)。

実際には、2回のオーバーフローが発生しているので、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になるはずですが。

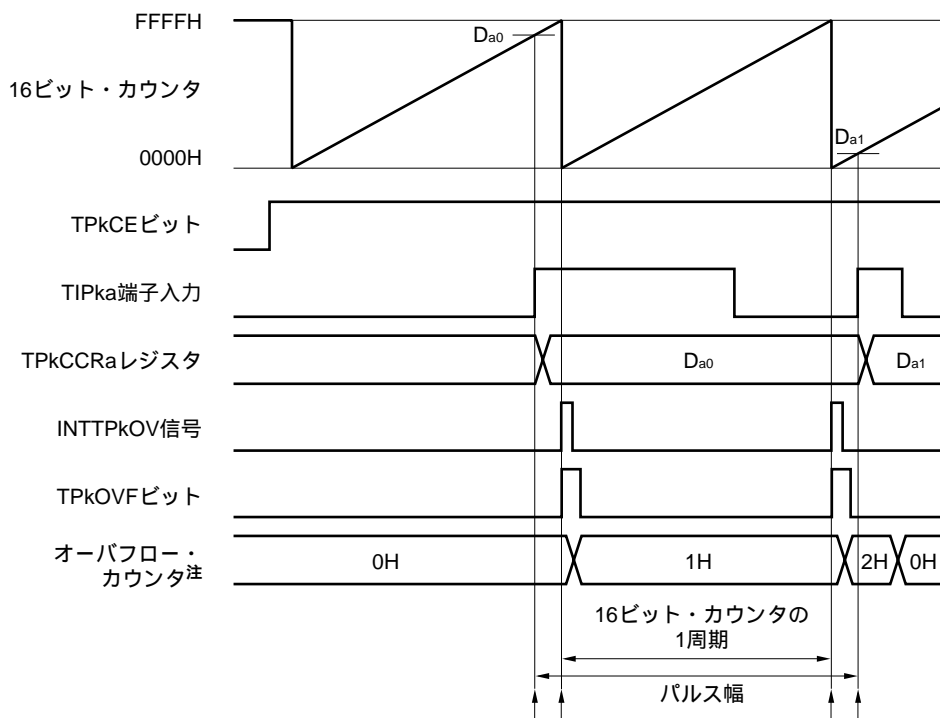
備考 $k = 0, 2$

$a = 0, 1$

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPkCCRaレジスタをリードする (TIPka端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメント (+1) し、オーバフロー・フラグをクリア (0) する。

TPkCCRaレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが “N” のとき、パルス幅は $(N \times 10000H + D_{a1} - D_{a0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

備考 k = 0, 2

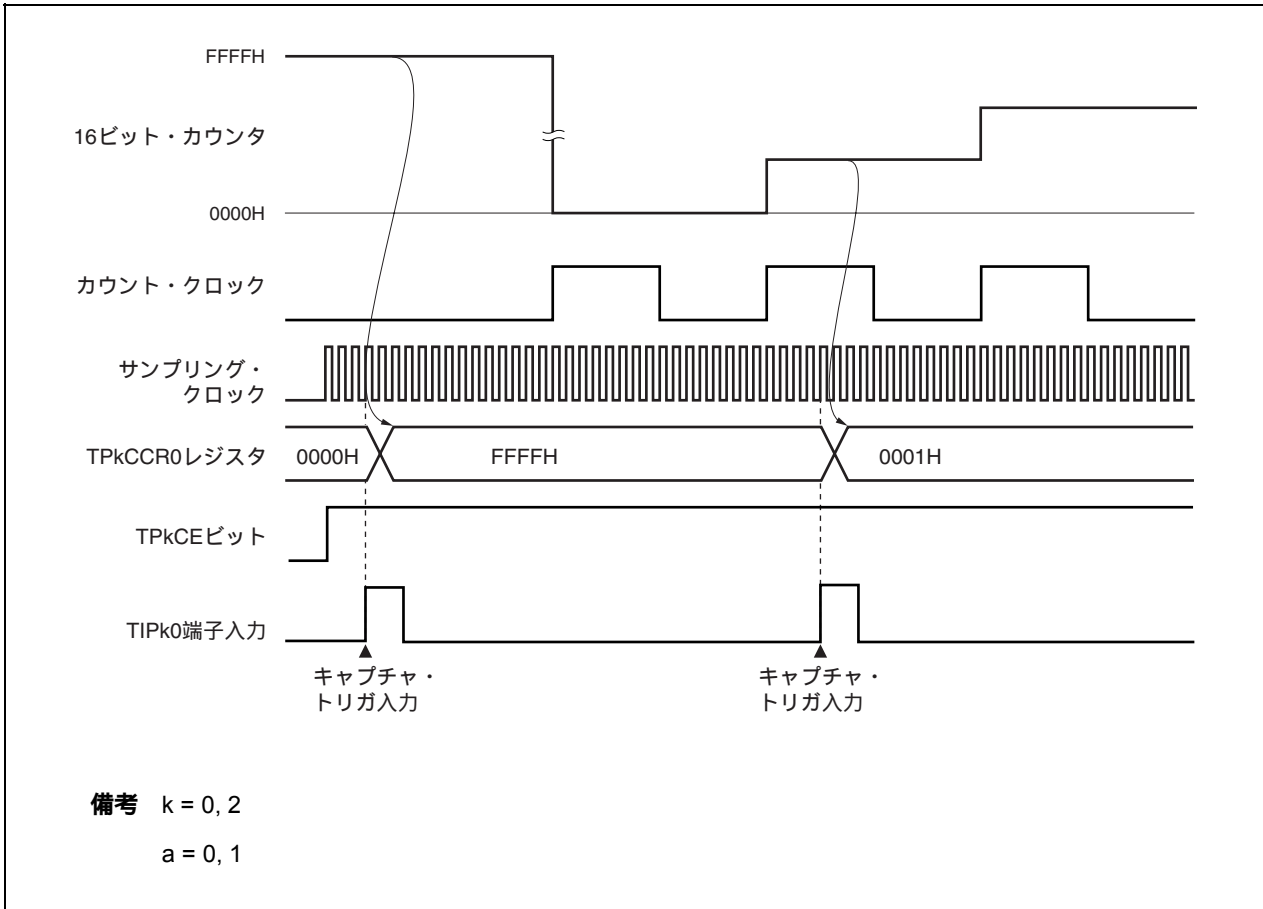
a = 0, 1

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TPnOVFビット = 1をリードしたあとにTPnOVFビットをCLR命令でクリア(0)する方法と、TPnOVFビット = 1をリードしたあとにTPnOPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法があります。

(3) キャプチャ動作の注意事項

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TPkCTL0.TPkCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TPkCCRaレジスタに0000HではなくFFFFHがキャプチャされる場合があります。



6.6.7 パルス幅測定モード (TPkMD2-TPkMD0ビット = 110)

TMP0, TMP2のみ有効です。

パルス幅測定モードは、TPkCTL0.TPkCEビットをセット(1)することでカウント動作を開始し、TIPka端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTPkCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTTPkCCa) が発生したあと、TPkCCRaレジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図6-42のような場合は、キャプチャ・トリガ入力端子としてTIPk0, TIPk1端子のいずれか1本を使用し、使用しない端子はTPkIOC1レジスタで“エッジ検出なし”に設定してください。

図6-41 パルス幅測定モードの構成図

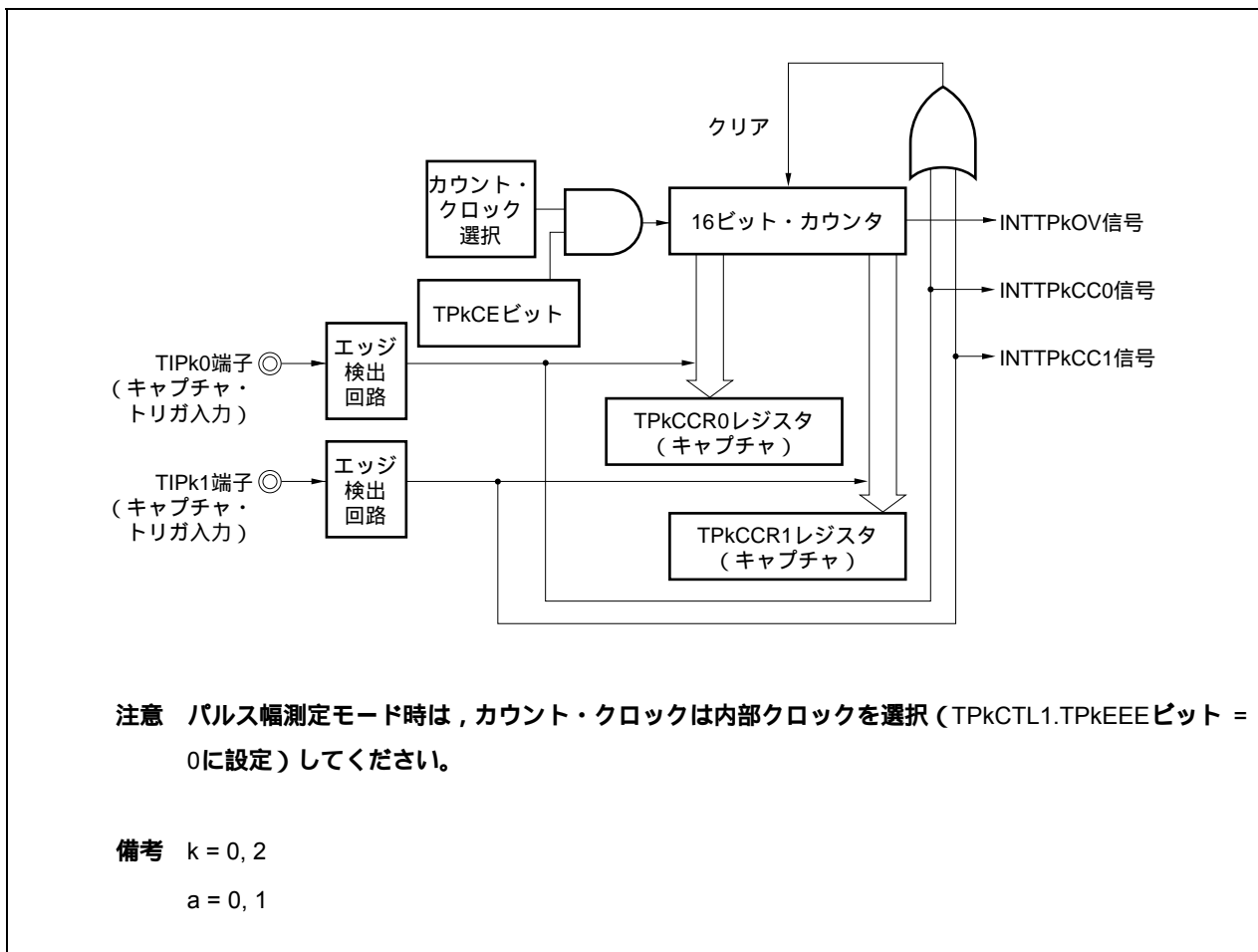
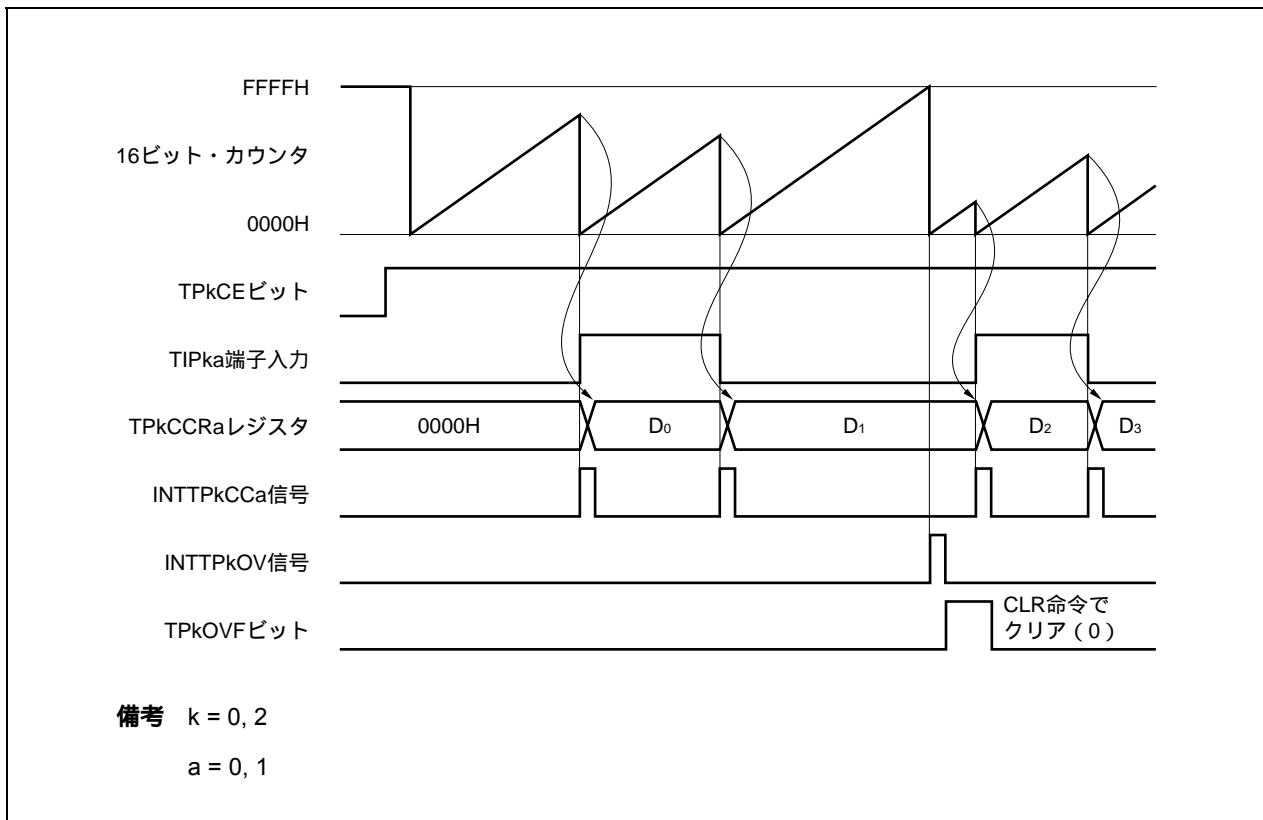


図6 - 42 パルス幅測定モードの基本タイミング



TPkCEビットをセット (1) することで、カウント動作を開始します。その後、TIPka端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPkCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号 (INTTPkCCa) を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号 (INTTPkOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TPkOPT0.TPKOVFビット) もセット (1) されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア (0) してください。

オーバフロー・フラグがセット (1) された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TPkOVFビットがセット (1) された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 k = 0, 2

a = 0, 1

図6 - 43 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

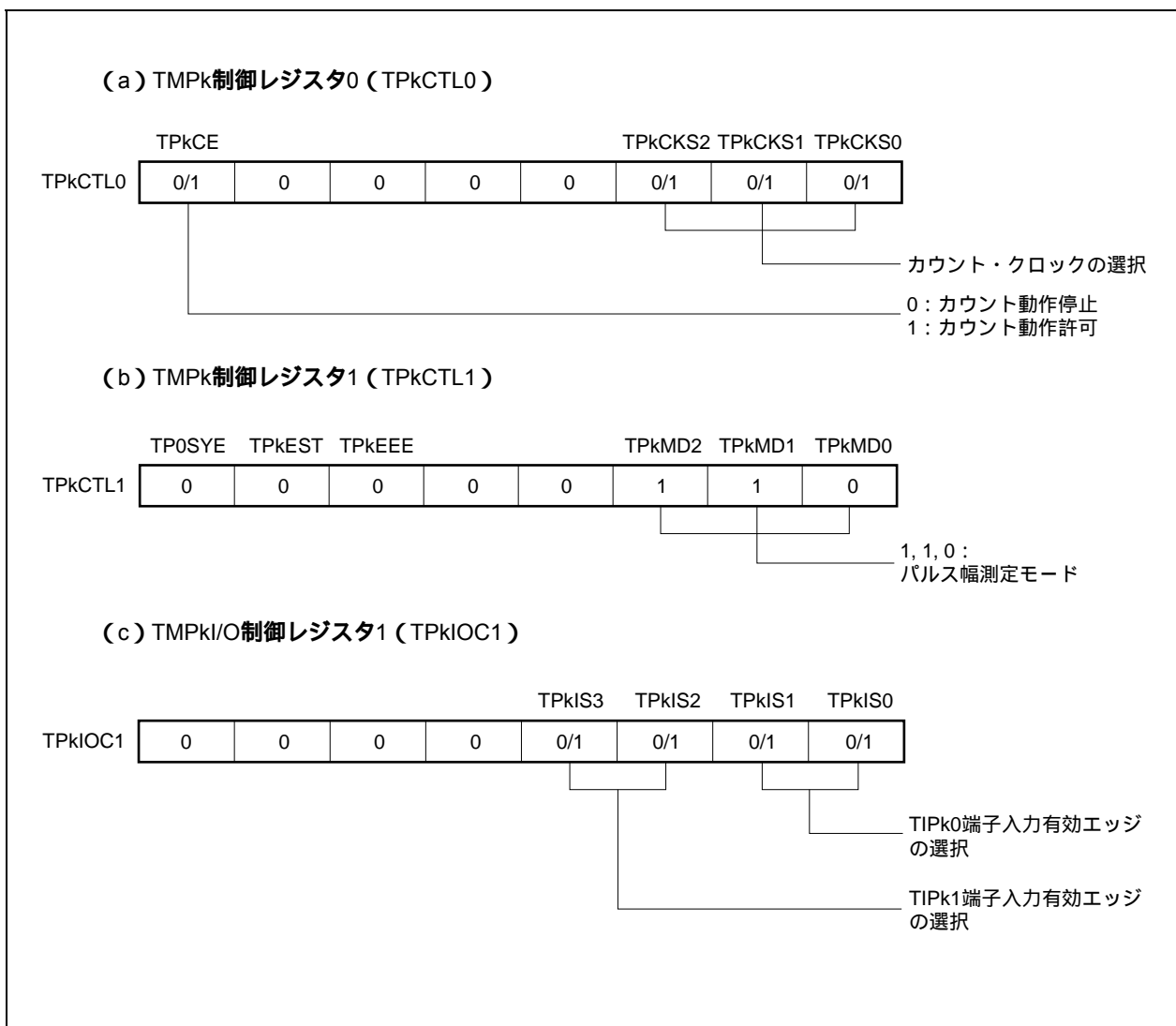
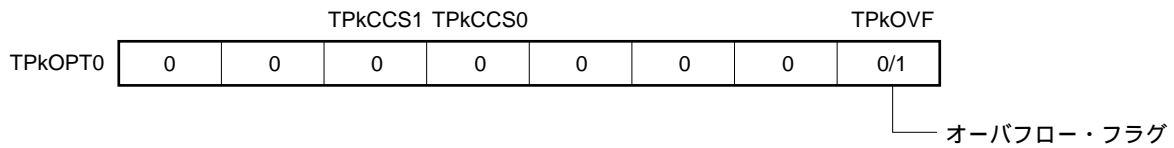


図6 - 43 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(d) TMPkオプション・レジスタ0 (TPkOPT0)



(e) TMPkカウンタ・リード・バッファ・レジスタ (TPkCNT)

TPkCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMPkキャプチャ/コンペア・レジスタ0, 1 (TPkCCR0, TPkCCR1)

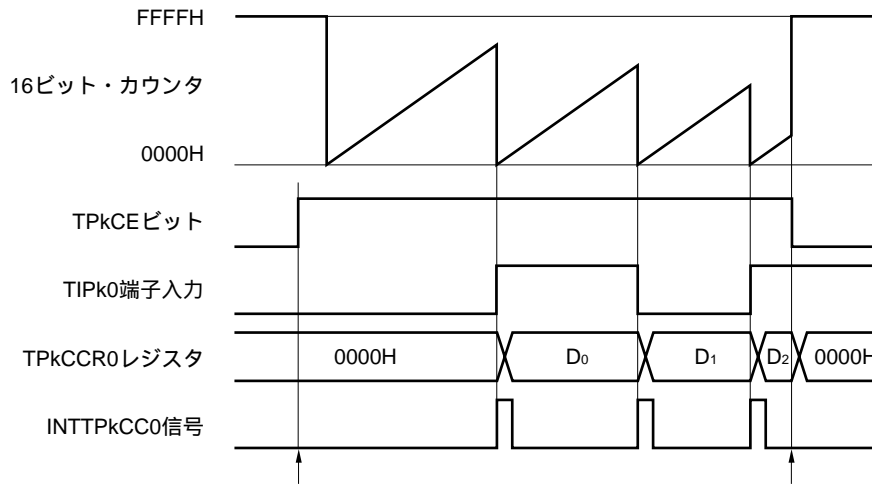
TIPk0, TIPk1端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

備考1. パルス幅測定モードでは、TMPkI/O制御レジスタ0 (TPkIOC0)、TMPkI/O制御レジスタ2 (TPkIOC2) は使用しません。

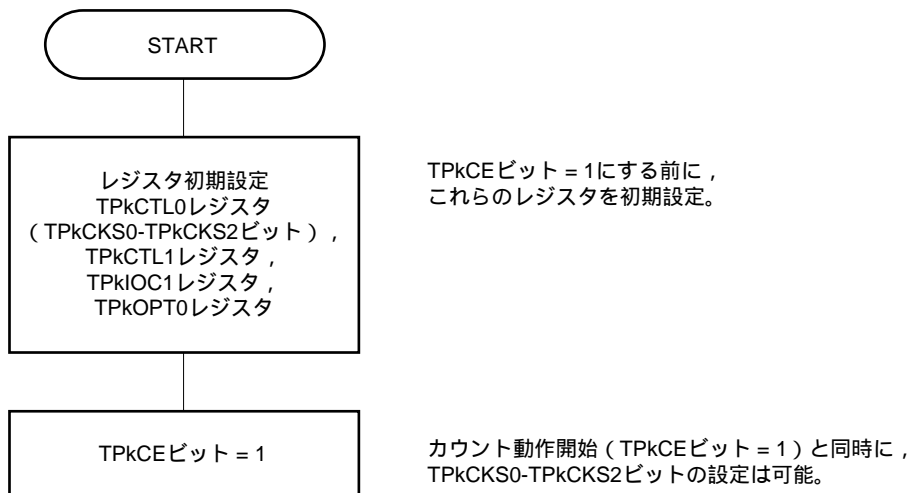
2. $k = 0, 2$

(1) パルス幅測定モード動作フロー

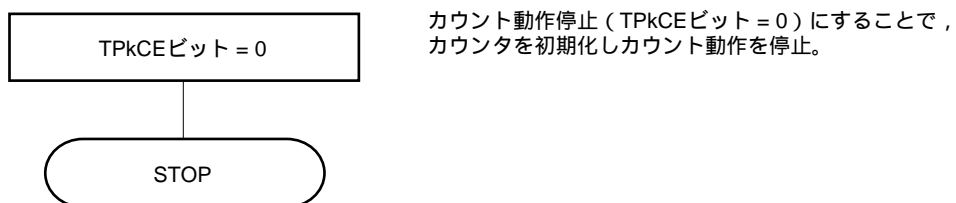
図6 - 44 パルス幅測定モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー



備考 k = 0, 2

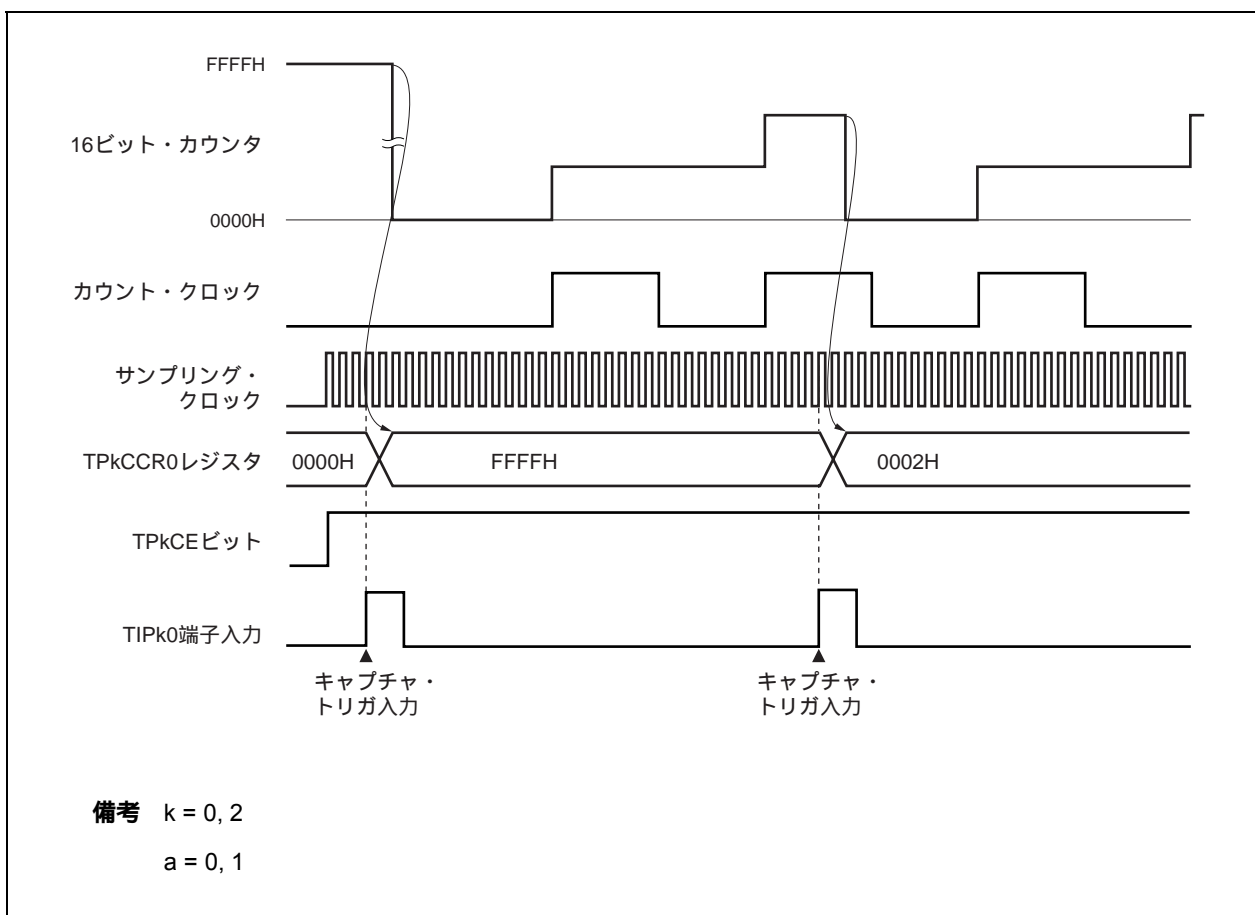
(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TPkOVFビット = 1をリードしたあとにTPkOVFビットをCLR命令でクリア (0) する方法と、TPkOVFビット = 1をリードしたあとにTPkOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

(3) 注意事項

カウント・クロックとして遅いクロックを選択した場合、TPkCTL0.TPkCEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TPkCCR0レジスタに0000HではなくFFFFHがキャプチャされる場合があります。



第7章 16ビット・タイマ/イベント・カウンタQ (TMQ)

タイマQ (TMQ) は、16ビットのタイマ/イベント・カウンタです。

V850E/IA3, V850E/IA4では、TMQ0, TMQ1を内蔵しています。

7.1 概 要

次に、TMQnの概要をチャンネルごとに示します (n = 0, 1)。

表7 - 1 TMQnの概要

概 要	TMQ0	TMQ1
クロック選択	8通り	8通り
キャプチャ・トリガ入力端子	4本	なし
外部イベント・カウント入力端子	1本	なし
外部トリガ入力端子	1本	なし
タイマ・カウンタ	1本	1本
キャプチャ/コンペア・レジスタ	4本	4本 ^{注1}
キャプチャ/コンペア一致割り込み要求信号	4本	4本 ^{注1}
オーバフロー割り込み要求信号	1本	1本
タイマ出力端子 ^{注2}	4本	1本

注1. コンペア機能のみ

2. TMQnの出力端子数です。TMQOPnの出力端子は含みません。TMQOPnの出力端子についての詳細は、**第10章 モータ制御機能**を参照してください。

7.2 機能

TMQnは、チャンネルによって実現できる機能が異なります。実現できる機能を次に示します (n = 0, 1)。

表7 - 2 TMQnの機能

機能	TMQ0	TMQ1
6相PWM出力 ^{注1}		注2
インターバル・タイマ		
外部イベント・カウンタ		×
外部トリガ・パルス出力		×
ワンショット・パルス出力		×
PWM出力		×
フリー・ランニング・タイマ		
パルス幅測定		×

注1. TMQOPnと接続して使用します。詳細は、第10章 モータ制御機能を参照してください。

2. V850E/IA3 : ×

V850E/IA4 :

7.3 構成

TMQnは、次のハードウェアで構成されています。

表7 - 3 TMQnの構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ×各1本
レジスタ	TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT) : 計2本 TMQnキャプチャ/コンペア・レジスタ0-3 (TQnCCR0-TQnCCR3) : 計8本 CCR0-CCR3バッファ・レジスタ : 計8本
タイマ入力	計6本 (TIQ00-TIQ03, EVTQ0, TRGQ0端子)
タイマ出力	計5本 (TOQ00-TOQ03端子, TOQ10端子 ^注)
制御レジスタ	TMQn制御レジスタ0, 1 (TQnCTL0, TQnCTL1) TMQnI/O制御レジスタ0 (TQnIOC0) ^注 TMQ0I/O制御レジスタ1, 2 (TQ0IOC1, TQ0IOC2) TMQnオプション・レジスタ0 (TQnOPT0)

注 TOQ10端子, TQ1IOC0レジスタはV850E/IA4のみ

備考 n = 0, 1

図7-1 TMQ0のブロック図

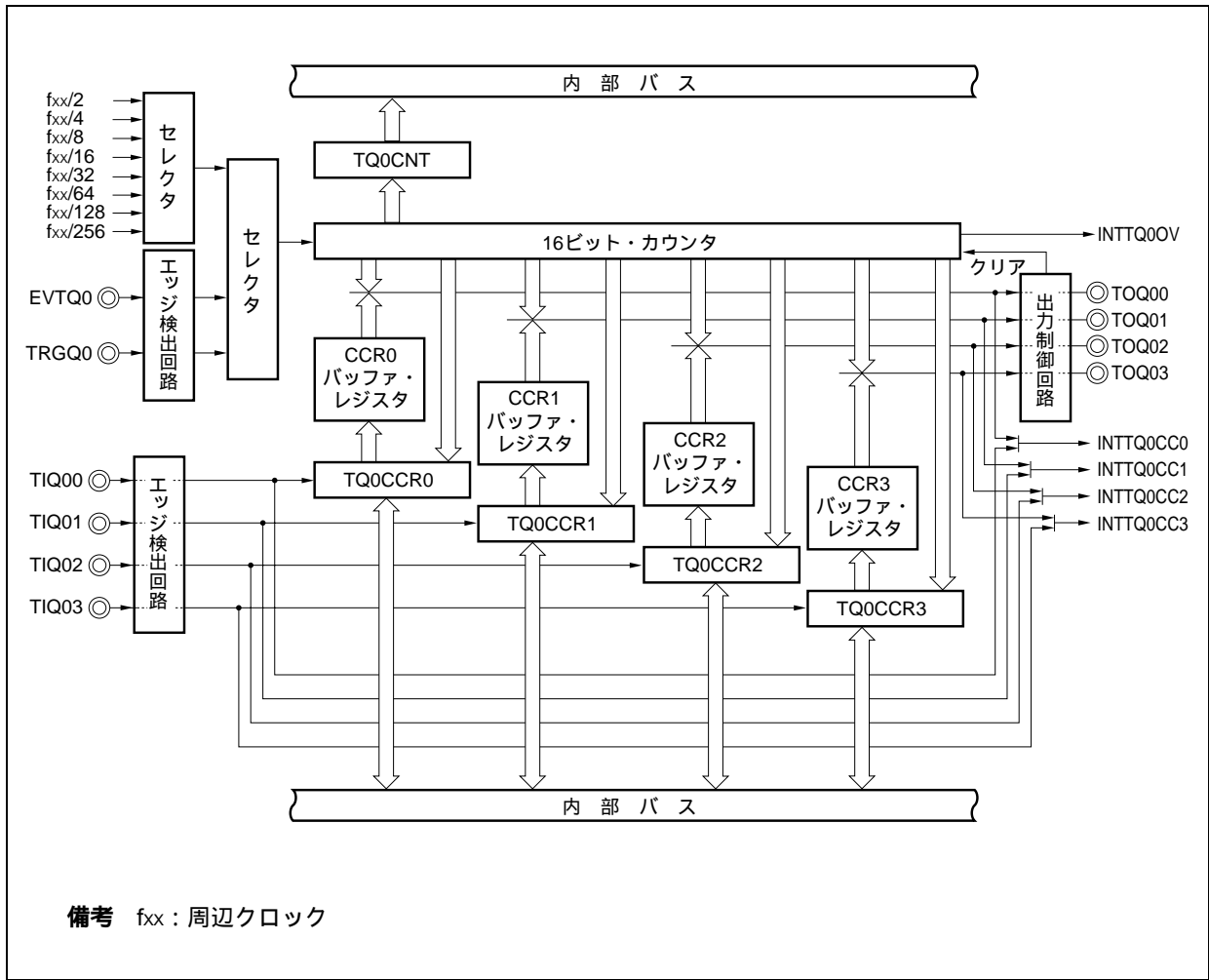
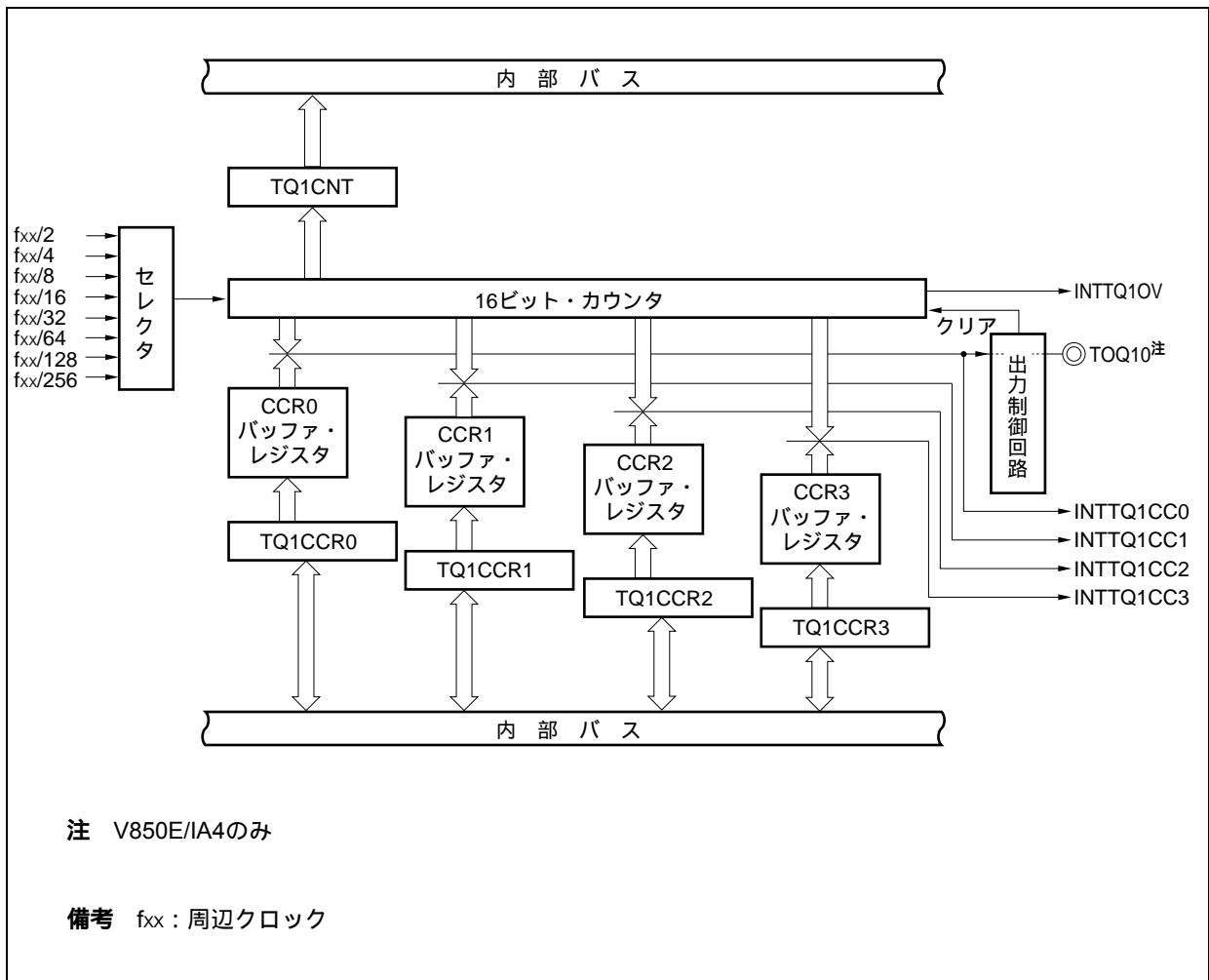


図7-2 TMQ1のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TQnCNTレジスタでリードできます。

TQnCTL0.TQnCEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTQnCNTレジスタをリードすると0000Hがリードされます。

リセット時にはTQnCEビット = 0になります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQnCCR0レジスタをコンペア・レジスタとして使用するとき、TQnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTQnCCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウンタ値を比較する16ビットのコンペア・レジスタです。

TQnCCR1レジスタをコンペア・レジスタとして使用するとき、TQnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTQnCCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

(4) CCR2バッファ・レジスタ

16ビット・カウンタのカウンタ値を比較する16ビットのコンペア・レジスタです。

TQnCCR2レジスタをコンペア・レジスタとして使用するとき、TQnCCR2レジスタにライトした値がCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR2バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQnCC2) を発生します。

CCR2バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTQnCCR2レジスタが0000Hになり、CCR2バッファ・レジスタも0000Hになります。

(5) CCR3バッファ・レジスタ

16ビット・カウンタのカウンタ値を比較する16ビットのコンペア・レジスタです。

TQnCCR3レジスタをコンペア・レジスタとして使用するとき、TQnCCR3レジスタにライトした値がCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR3バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQnCC3) を発生します。

CCR3バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTQnCCR3レジスタが0000Hになり、CCR3バッファ・レジスタも0000Hになります。

(6) エッジ検出回路

TIQ00-TIQ03, EVTQ0, TRGQ0端子に入力される有効エッジを検出します。有効エッジは、TQ0IOC1, TQ0IOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(7) 出力制御回路

TOQ00-TOQ03端子, TOQ10端子 (V850E/IA4のみ) の出力を制御します。TOQ00-TOQ03端子の出力は、TQ0IOC0レジスタで制御します。TOQ10端子 (V850E/IA4のみ) の出力は、TQ1IOC0レジスタで制御します。

(8) セレクタ

16ビット・カウンタのカウンタ・クロックを選択します。カウンタ・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

7.4 レジスタ

(1) TMQn制御レジスタ0 (TQnCTL0)

TQnCTL0レジスタは、TMQnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TQnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TQ0CTL0 FFFFF5C0H, TQ1CTL0 FFFFF600H

	⑦	6	5	4	3	2	1	0
TQnCTL0	TQnCE	0	0	0	0	TQnCKS2	TQnCKS1	TQnCKS0

(n = 0, 1)

TQnCE	TMQnの動作の制御
0	TMQn動作禁止 (TMQnを非同期にリセット ^注)
1	TMQn動作許可。TMQn動作開始

TQnCKS2	TQnCKS1	TQnCKS0	内部カウント・クロックの選択
0	0	0	fx/2
0	0	1	fx/4
0	1	0	fx/8
0	1	1	fx/16
1	0	0	fx/32
1	0	1	fx/64
1	1	0	fx/128
1	1	1	fx/256

注 TQnOPT0.TQnOVFビット、16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOQ00-TOQ03端子, TOQ10端子 (V850E/IA4のみ)) も16ビット・カウンタと同時にTQnIOC0レジスタの設定状態にリセットされます。

注意1. TQnCKS2-TQnCKS0ビットは、TQnCEビット = 0のときに設定してください。TQnCEビットを“0”から“1”に設定するときも、同時にTQnCKS2-TQnCKS0ビットを設定できます。

2. ビット3-6には必ず0を設定してください。

備考 fx：周辺クロック

(2) TMQn制御レジスタ1 (TQnCTL1)

TQnCTL1レジスタは、TMQnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TQ0CTL1 FFFFF5C1H, TQ1CTL1 FFFFF601H

	7	6	5	4	3	2	1	0
TQnCTL1	0	TQ0EST ^{注1}	TQ0EEE ^{注1}	0	0	TQnMD2	TQnMD1	TQnMD0

(n = 0, 1)

TQ0EST ^{注1}	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 ：TQ0ESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード ：TQ0ESTビットへの“1”ライトをトリガとして、PWM波形を出力
TQ0ESTビットのリード値は常に0です。	

TQ0EEE ^{注1}	カウント・クロックの選択
0	外部イベント・カウント入力 (EVTQ0端子) での動作禁止 (TQ0CTL0.TQ0CKS0-TQ0CKS2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力 (EVTQ0端子) での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)
TQ0EEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TQnMD2	TQnMD1	TQnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード ^{注2}
0	1	0	外部トリガ・パルス出力モード ^{注2}
0	1	1	ワンショット・パルス出力モード ^{注2}
1	0	0	PWM出力モード ^{注2}
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード ^{注2}
1	1	1	6相PWM出力モード ^{注3}

注1. TMQ0のみ設定可能です。TMQ1のビット6, 5には必ず0を設定してください。

2. TMQ0のみ設定可能です。TMQ1では設定しないでください。

3. このモードはTMQn単体では使用できません。詳細は第10章 モータ制御機能を参照してください。

注意1. TQ0ESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。

2. 外部イベント・カウント・モードのときは、TQ0EEEビットの値にかかわらず外部イベント・カウント入力を選択されます。

3. TQ0EEE, TQnMD2-TQnMD0ビットは、TQnCTL0.TQnCEビット = 0のときに設定してください (TQnCEビット = 1のときの同値書き込みは可能)。TQnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TQnCEビットをクリア (0) してから再設定してください。

4. ビット3, 4, 7は必ず0を設定してください。

(3) TMQnI/O制御レジスタ0 (TQnIOC0)

TQnIOC0レジスタは、タイマ出力 (TOQn0, TOQ01-TOQ03, TOQnT1-TOQnT3端子) を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

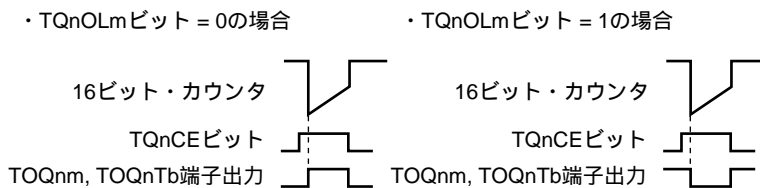
(1/2)

リセット時：00H R/W アドレス：TQ0IOC0 FFFFF5C2H, TQ1IOC0 FFFFF602H^{注1}

	7	⑥	5	④	3	②	1	①
TQnIOC0	TQ0OL3 ^{注2}	TQ0OE3 ^{注2}	TQ0OL2 ^{注2}	TQ0OE2 ^{注2}	TQ0OL1 ^{注2}	TQ0OE1 ^{注2}	TQnOL0	TQnOE0
V850E/IA3 n = 0 b = 1-3	TQnOLm	TOQnm, TOQnTb端子出力レベルの設定 ^{注3} (TMQ0 : m = 0-3, TMQ1 : m = 0)						
	0	TOQnm, TOQnTb端子ハイ・レベル・スタート						
V850E/IA4 n = 0, 1 b = 1-3	1	TOQnm, TOQnTb端子ロウ・レベル・スタート						
	TQnOEm	TOQnm, TOQnTb端子出力の設定 (TMQ0 : m = 0-3, TMQ1 : m = 0)						
0	タイマ出力禁止 ・ TQnOLmビット = 0のときTOQnm, TOQnTb端子からロウ・レベルを出力 ・ TQnOLmビット = 1のときTOQnm, TOQnTb端子からハイ・レベルを出力							
1	タイマ出力許可 (TOQnm, TOQnTb端子からパルスを出力)							

注1. V850E/IA4のみ

- TMQ1をインターバル・タイマやフリー・ランニング・タイマとして使用する場合は、TQ1IOC0レジスタのビット2-7には必ず0を設定してください。また、TMQ1を6相PWM出力としてTOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3の機能を使用する場合は、TQ1IOC0レジスタのビット2, 4, 6には必ず1を、ビット3, 5, 7には必ず0または1を設定してください。
- TQnOLmビットの指定によるタイマ出力端子 (TOQnm, TOQnTb) の出力レベルを次に示します。



注意1. ポート設定がTOQnm, TOQnTb出力設定の場合、TQnIOC0レジスタの設定を書き換えると端子出力が変化するので、ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして、端子状態の変化に注意してください。

- TQnOLm, TQnOEmビットは、TQnCTL0.TQnCEビット = 0のときに書き換えてください (TQnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQnCEビットをクリア (0) してから再設定してください。
- TQnCEビット = 0, TQnOEmビット = 0の状態において、TQnOLmビットを操作した場合でも、TOQnm, TOQnTb端子の出力レベルは変化します。

注意4. 6相PWM出力モード時にTOQnTb端子出力およびA/Dコンバータ0, 1のA/D変換開始トリガ信号を発生させる場合には、必ずTQnIOC0レジスタでTOQnTb端子出力モードの設定をしてください。ただし、TQnOL0, TQnOE0ビットは必ずTQnOL0ビット = 0, TQnOE0ビット = 1に設定してください (b = 1-3)。

(4) TMQ0I/O制御レジスタ1 (TQ0IOC1)

TQ0IOC1レジスタは、キャプチャ・トリガ入力信号 (TIQ00-TIQ03端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

備考 TMQ1にはTQ1IOC1レジスタはありません。

リセット時 : 00H R/W アドレス : FFFFF5C3H

	7	6	5	4	3	2	1	0
TQ0IOC1	TQ0IS7	TQ0IS6	TQ0IS5	TQ0IS4	TQ0IS3	TQ0IS2	TQ0IS1	TQ0IS0

TQ0IS7	TQ0IS6	キャプチャ・トリガ入力信号 (TIQ03端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS5	TQ0IS4	キャプチャ・トリガ入力信号 (TIQ02端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS3	TQ0IS2	キャプチャ・トリガ入力信号 (TIQ01端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS1	TQ0IS0	キャプチャ・トリガ入力信号 (TIQ00端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TQ0IS7-TQ0IS0ビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
- 2.** TQ0IS7-TQ0IS0ビットは、フリー・ランニング・タイマ・モード (TQ0OPT0.TQ0CCS3-TQ0CCS0ビット = 1111時のみ) と、パルス幅測定モードのときのみに有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TMQ0I/O制御レジスタ2 (TQ0IOC2)

TQ0IOC2レジスタは、外部イベント・カウント入力信号 (EVTQ0端子)、外部トリガ入力信号 (TRGQ0端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

備考 TMQ1にはTQ1IOC2レジスタはありません。

リセット時：00H R/W アドレス：FFFFF5C4H

	7	6	5	4	3	2	1	0
TQ0IOC2	0	0	0	0	TQ0EES1	TQ0EES0	TQ0ETS1	TQ0ETS0

TQ0EES1	TQ0EES0	外部イベント・カウント入力信号 (EVTQ0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0ETS1	TQ0ETS0	外部トリガ入力信号 (TRGQ0端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TQ0EES1, TQ0EES0, TQ0ETS1, TQ0ETS0ビットは、
TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CE
ビット = 1のときの同値書き込みは可能)。誤って書き換えた場合
は、TQ0CEビットをクリア (0) してから再設定してください。
2. TQ0EES1, TQ0EES0ビットは、TQ0CTL1.TQ0EEEビット = 1、ま
たは、外部イベント・カウント・モード (TQ0CTL1.TQ0MD2-TQ0MD0
ビット = 001) に設定したときのみ有効です。
3. TQ0ETS1, TQ0ETS0ビットは、外部トリガ・パルス出力モードまた
はワンショット・パルス出力モード時のみ有効です。

(6) TMQnオプション・レジスタ0 (TQnOPT0)

TQnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバーフローの検出をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TQ0OPT0 FFFFF5C5H, TQ1OPT0 FFFFF605H

	⑦	⑥	⑤	④	3	②	①	①
TQnOPT0 (n = 0, 1)	TQ0CCS3 ^{注1}	TQ0CCS2 ^{注1}	TQ0CCS1 ^{注1}	TQ0CCS0 ^{注1}	0	TQnCMS ^{注2}	TQnCUF ^{注2}	TQnOVF

TQ0CCSm	TQ0CCRmレジスタのキャプチャ/コンペア選択 (m = 0-3)
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TQ0CTL0.TQ0CEビット = 0によりクリア)
TQ0CCSmビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TQnOVF	TMQnのオーバーフロー・フラグ
セット (1)	オーバーフロー発生
リセット (0)	TQnOVFビットへの0書き込みまたはTQnCTL0.TQnCEビット = 0
<p>・TQnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタの値がFFFFHから0000Hにオーバーフローするときセット (1) されます。</p> <p>・TQnOVFビットがセット (1) されると同時に、オーバーフロー割り込み要求信号 (INTTQnOV) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTQnOV信号は発生しません。</p> <p>・TQnOVFビット = 1のときにTQnOVFビットまたはTQnOPT0レジスタをリードしても、TQnOVFビットはクリア (0) されません。</p> <p>・INTTQnOV信号発生後、TQnOVFビットをクリア (0) する場合は、必ずTQnOVFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。</p> <p>・TQnOVFビットは、リード/ライト可能ですが、ソフトウェアでTQnOVFビットをセット (1) することはできません。1をライトしてもTMQnの動作に影響はありません。</p>	

- 注1. TMQ0のみ有効です。TMQ1のビット7-4には必ず0を設定してください。
2. V850E/IA3では、TMQ1のビット2, 1には必ず0を設定してください。
TQnCMS, TQnCUFビットの詳細は、第10章 モータ制御機能を参照してください。

- 注意1. TQ0CCS3-TQ0CCS0ビットは、TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
2. ビット3には必ず0を設定してください。

(7) TMQnキャプチャ/コンペア・レジスタ0 (TQnCCR0)

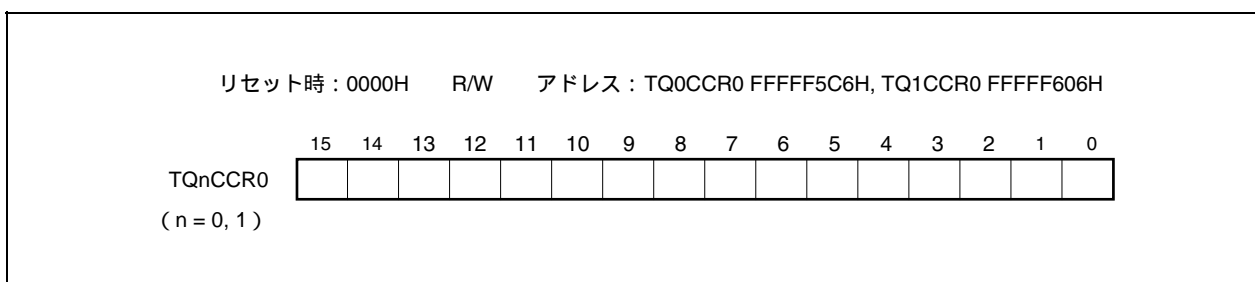
TQ0CCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TQ1CCR0レジスタは、コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

TQ0CCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQnCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



(a) コンペア・レジスタとしての機能

TQnCCR0レジスタは、TQnCTL0.TQnCEビット = 1のときでも書き換えできます。

TQnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQnCC0) を発生し、TOQn0端子出力を許可している場合、TOQn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード^注、外部トリガ・パルス出力モード^注、ワンショット・パルス出力モード^注、PWM出力モード^注において、TQnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TQnCTL0.TQnCEビット = 0によりコンペア・レジスタはクリアされません。

注 TMQ0のみ可能です。TMQ1では実現できません。

(b) キャプチャ・レジスタとしての機能 (TQ0CCR0レジスタのみ)

フリー・ランニング・タイマ・モードにおいて、TQ0CCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR0レジスタのリードが競合しても、TQ0CCR0レジスタは正しい値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ ^{注1}	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 ^{注1}	コンペア・レジスタ	一斉書き込み ^{注2}
ワンショット・パルス出力 ^{注1}	コンペア・レジスタ	随時書き込み
PWM出力 ^{注1}	コンペア・レジスタ	一斉書き込み ^{注2}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TMQ0のみ

2. TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、7.6(2)随時書き込みと一斉書き込みを参照してください。

(8) TMQnキャプチャ/コンペア・レジスタ1 (TQnCCR1)

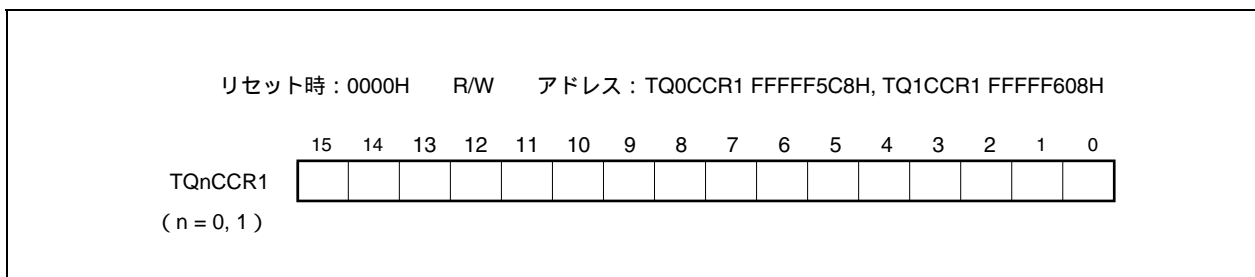
TQ0CCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TQ1CCR1レジスタは、コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

TQ0CCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQnCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**(a) コンペア・レジスタとしての機能**

TQnCCR1レジスタは、TQnCTL0.TQnCEビット = 1のときでも書き換えできます。

TQnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQnCC1) を発生し、TOQ01端子出力を許可している場合、TOQ01端子出力を反転します (TOQ11端子はありません)。

TQnCTL0.TQnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能 (TQ0CCR1レジスタのみ)

フリー・ランニング・タイマ・モードにおいて、TQ0CCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR1レジスタのリードが競合しても、TQ0CCR1レジスタは正しい値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ ^{注1}	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 ^{注1}	コンペア・レジスタ	一斉書き込み ^{注2}
ワンショット・パルス出力 ^{注1}	コンペア・レジスタ	随時書き込み
PWM出力 ^{注1}	コンペア・レジスタ	一斉書き込み ^{注2}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TMQ0のみ

2. TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては，7.6(2) **随時書き込みと一斉書き込み**を参照してください。

(9) TMQnキャプチャ/コンペア・レジスタ2 (TQnCCR2)

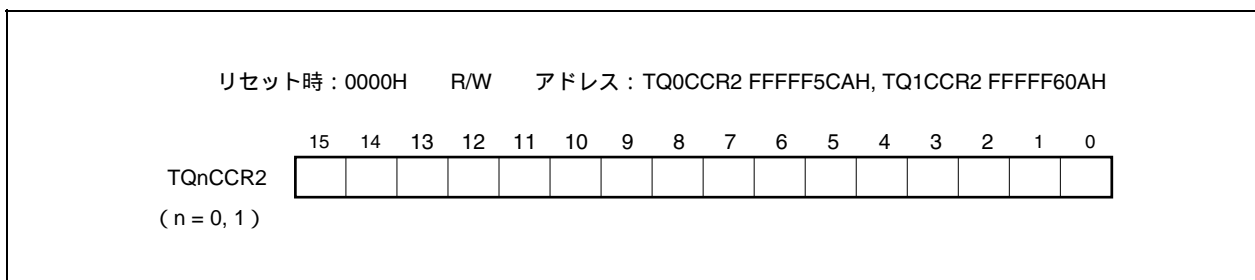
TQ0CCR2レジスタは，各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TQ1CCR2レジスタは，コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

TQ0CCR2レジスタは，フリー・ランニング・タイマ・モードの場合のみ，TQ0OPT0.TQ0CCS2ビットの設定により，キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は，キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは，コンペア・レジスタとしてのみ使用します。

TQnCCR2レジスタは，動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



(a) コンペア・レジスタとしての機能

TQnCCR2レジスタは、TQnCTL0.TQnCEビット = 1のときでも書き換えできます。

TQnCCR2レジスタの設定値はCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR2バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQnCC2) を発生し、TOQ02端子出力を許可している場合、TOQ02端子出力を反転します (TOQ12端子はありません)。

TQnCTL0.TQnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能 (TQ0CCR2レジスタのみ)

フリー・ランニング・タイマ・モードにおいて、TQ0CCR2レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ02端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR2レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ02端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR2レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR2レジスタのリードが競合しても、TQ0CCR2レジスタは正しい値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-6 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ ^{注1}	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 ^{注1}	コンペア・レジスタ	一斉書き込み ^{注2}
ワンショット・パルス出力 ^{注1}	コンペア・レジスタ	随時書き込み
PWM出力 ^{注1}	コンペア・レジスタ	一斉書き込み ^{注2}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TMQ0のみ

2. TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、7.6(2)随時書き込みと一斉書き込みを参照してください。

(10) TMQnキャプチャ/コンペア・レジスタ3 (TQnCCR3)

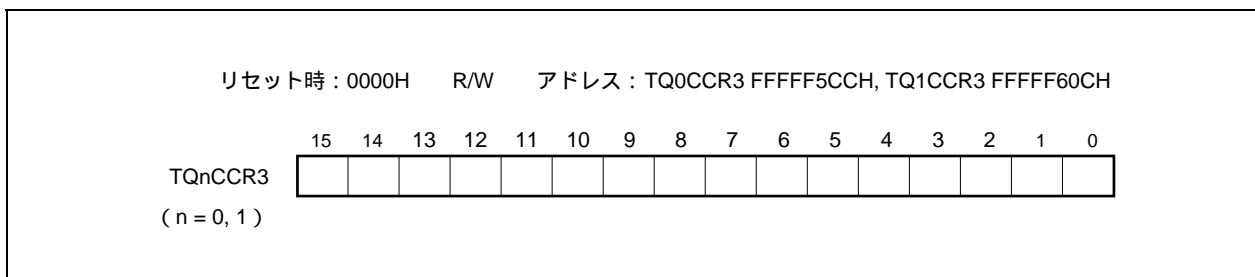
TQ0CCR3レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TQ1CCR3レジスタは、コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

TQ0CCR3レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS3ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQnCCR3レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**(a) コンペア・レジスタとしての機能**

TQnCCR3レジスタは、TQnCTL0.TQnCEビット = 1のときでも書き換えできます。

TQnCCR3レジスタの設定値はCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR3バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQnCC3) を発生し、TOQ03端子出力を許可している場合、TOQ03端子出力を反転します (TOQ13端子はありません)。

TQnCTL0.TQnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能 (TQ0CCR3レジスタのみ)

フリー・ランニング・タイマ・モードにおいて、TQ0CCR3レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ03端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR3レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ03端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR3レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR3レジスタのリードが競合しても、TQ0CCR3レジスタは正しい値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-7 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ ^{注1}	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 ^{注1}	コンペア・レジスタ	一斉書き込み ^{注2}
ワンショット・パルス出力 ^{注1}	コンペア・レジスタ	随時書き込み
PWM出力 ^{注1}	コンペア・レジスタ	一斉書き込み ^{注2}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TMQ0のみ

2. TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては，7.6(2) **随時書き込みと一斉書き込み**を参照してください。

(11) TMQnカウンタ・リード・バッファ・レジスタ (TQnCnT)

TQnCnTレジスタは，16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

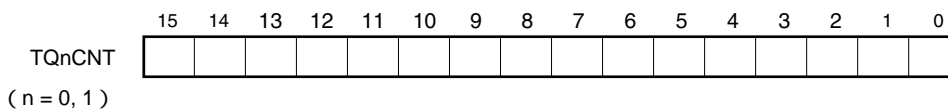
TQnCTL0.TQnCEビット = 1のときにTQnCnTレジスタをリードすると，16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TQnCEビット = 0のとき，TQnCnTレジスタは0000Hになります。このときにTQnCnTレジスタをリードすると，16ビット・カウンタの値 (FFFFH) ではなく，そのまま0000Hがリードされます。

リセットによりTQnCEビット = 0になり，TQnCnTレジスタは0000Hになります。

リセット時：0000H R アドレス：TQ0CNT FFFFF5CEH, TQ1CNT FFFFF60EH



7.5 タイマ出力動作説明

次にTOQ00-TOQ03, TOQ10端子の動作, および出力レベルを示します (TOQ10端子はV850E/IA4のみ)。

表7-8 各モードによるタイマ出力制御

動作モード	TOQn0端子 ^{注1}	TOQ01端子	TOQ02端子	TOQ03端子
インターバル・タイマ・モード	PWM出力			
外部イベント・カウント・モード	なし			
外部トリガ・パルス出力モード	PWM出力 ^{注2}	外部トリガ・パルス出力	外部トリガ・パルス出力	外部トリガ・パルス出力
ワンショット・パルス出力モード		ワンショット・パルス出力	ワンショット・パルス出力	ワンショット・パルス出力
PWM出力モード		PWM出力	PWM出力	PWM出力
フリー・ランニング・タイマ・モード	PWM出力 (コンペア機能のときのみ)			
パルス幅測定モード	なし			

注1. TOQ10端子はV850E/IA4のみ

2. TOQ00端子のみ

備考 n = 0, 1

表7-9 タイマ出力制御ビットによるTOQ00-TOQ03端子, TOQ10端子^注の真理値表

TQnIOC0.TQnOLaビット	TQnIOC0.TQnOEaビット	TQnCTL0.TQnCEビット	TOQna端子 ^注 のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

注 TOQ10端子はV850E/IA4のみ

備考 n = 0のとき, a = 0-3

n = 1のとき, a = 0

7.6 動作

TMQ0とTMQ1で実現できる動作が異なります。次に各チャンネルの機能を示します。

表7 - 10 TMQ0の各モードの仕様

動作	TQOCTL1.TQOESTビット (ソフトウェア・トリガ・ビット)	TRGQ0端子 (外部トリガ 入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタ の書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード	無効	無効	キャプチャ専用	対象外

備考 TMQ0はTMP0との同調動作機能があります。詳細は、第10章 **モータ制御機能**を参照してください。

表7 - 11 TMQ1の各モードの仕様

動作	ソフトウェア・ トリガ・ビット	外部トリガ入力	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタ の書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	なし			
外部トリガ・パルス出力モード	なし			
ワンショット・パルス出力モード	なし			
PWM出力モード	なし			
フリー・ランニング・タイマ・モード	無効	無効	コンペア専用	随時書き込み
パルス幅測定モード	なし			

備考 TMQ1はTMP1との同調動作機能があります (V850E/IA4のみ)。詳細は第10章 **モータ制御機能**を参照してください。

(1) カウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

備考 n = 0, 1

a = 0-3

(a) カウント開始動作

- ・外部イベント・カウント・モード

TQ0CTL0.TQ0CEビット = 0 1のタイミングで16ビット・カウンタに0000Hが設定されます。その後は、外部イベント・カウント入力(EVTQ0)の有効エッジ検出するごとに0001H, 0002H, 0003H, ...とカウント・アップします。

- ・上記以外のモード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

(b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバーフローの場合のFFFFHから0000Hへのカウントはクリア動作ではありません。したがって、INTTQnCCa割り込み信号は発生しません。

(c) オーバフロー動作

16ビット・カウンタのオーバーフローは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバーフローが発生すると、TQnOPT0.TQnOVFビットがセット(1)され、割り込み要求信号(INTTQnOV)が発生します。なお、次の条件ではINTTQnOV信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値がFFFFHで一致&クリアされた場合
- ・パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

注意 オーバフロー割り込み要求信号(INTTQnOV)発生後は、必ずオーバーフロー・フラグ(TQnOVFビット)が“1”にセットされているのを確認してください。

(d) カウンタ動作中のカウンタ・リード動作

TMQnでは、TQnCNTレジスタにより、カウンタ動作中の16ビット・カウンタの値をリードできません。

TQnCTL0.TQnCEビット = 1のときは、TQnCNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TQnCEビット = 0のときは、16ビット・カウンタがFFFFHで、TQnCNTレジスタが0000Hです。

(e) 割り込み動作

TMQnでは、次の5種類の割り込み要求信号を発生します。

- ・ INTTQnCC0割り込み：CCR0バッファ・レジスタの一致割り込み要求信号，およびTQnCCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTQnCC1割り込み：CCR1バッファ・レジスタの一致割り込み要求信号，およびTQnCCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTQnCC2割り込み：CCR2バッファ・レジスタの一致割り込み要求信号，およびTQnCCR2レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTQnCC3割り込み：CCR3バッファ・レジスタの一致割り込み要求信号，およびTQnCCR3レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTQnOV割り込み：オーバフロー割り込み要求信号として機能します。

(2) 随時書き込みと一斉書き込み

TMQnでは、タイマ動作中 (TQnCTL0.TQnCEビット = 1) でもTQnCCR0-TQnCCR3レジスタの書き換えを許可していますが、モードによってCCR0-CCR3バッファ・レジスタへの書き込み方法(随時書き込み、一斉書き込み)が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTQnCCR0-TQnCCR3レジスタからCCR0-CCR3バッファ・レジスタへの転送を随時行います。

図7-3 随時書き込みの基本動作フロー・チャート

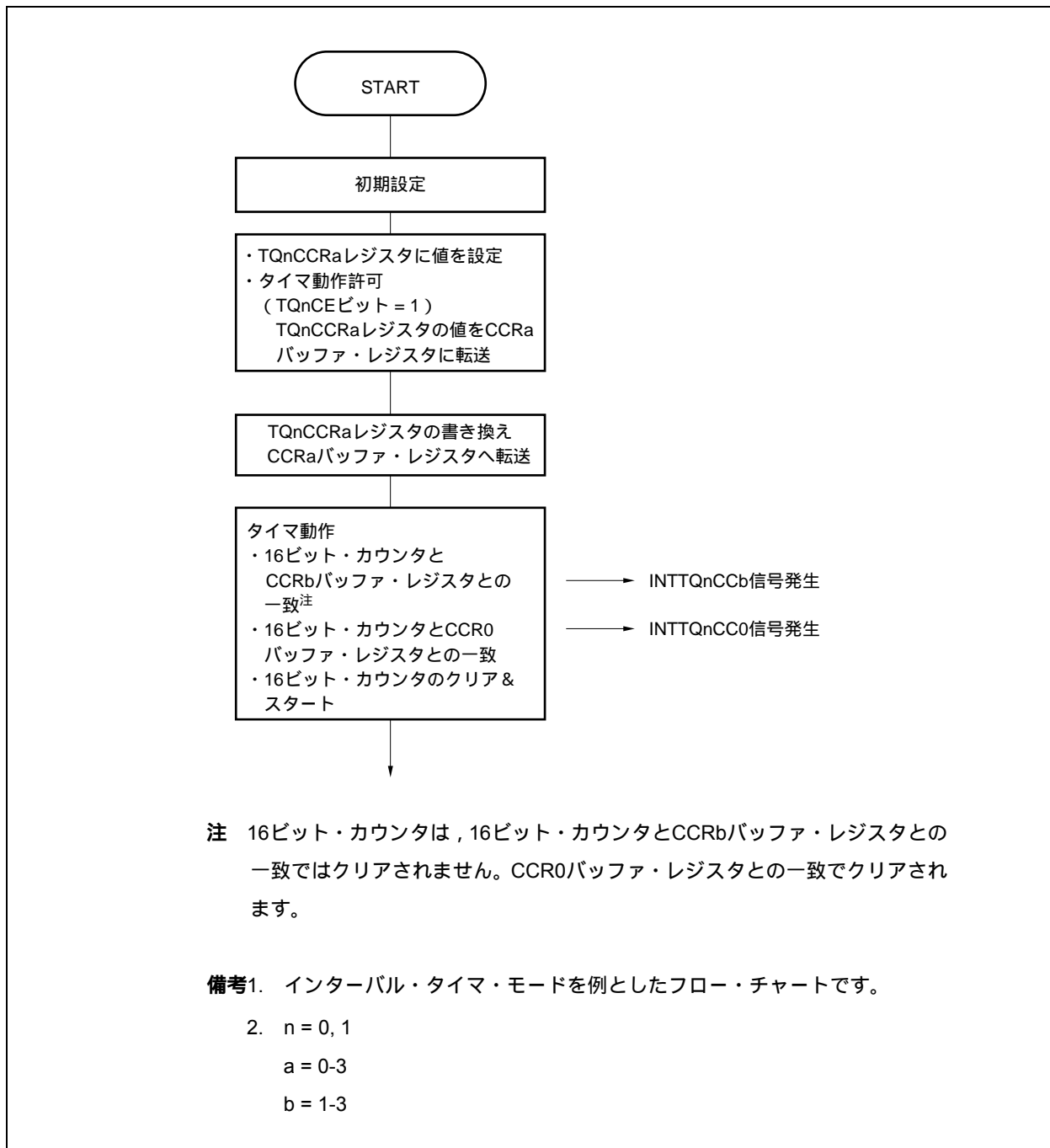
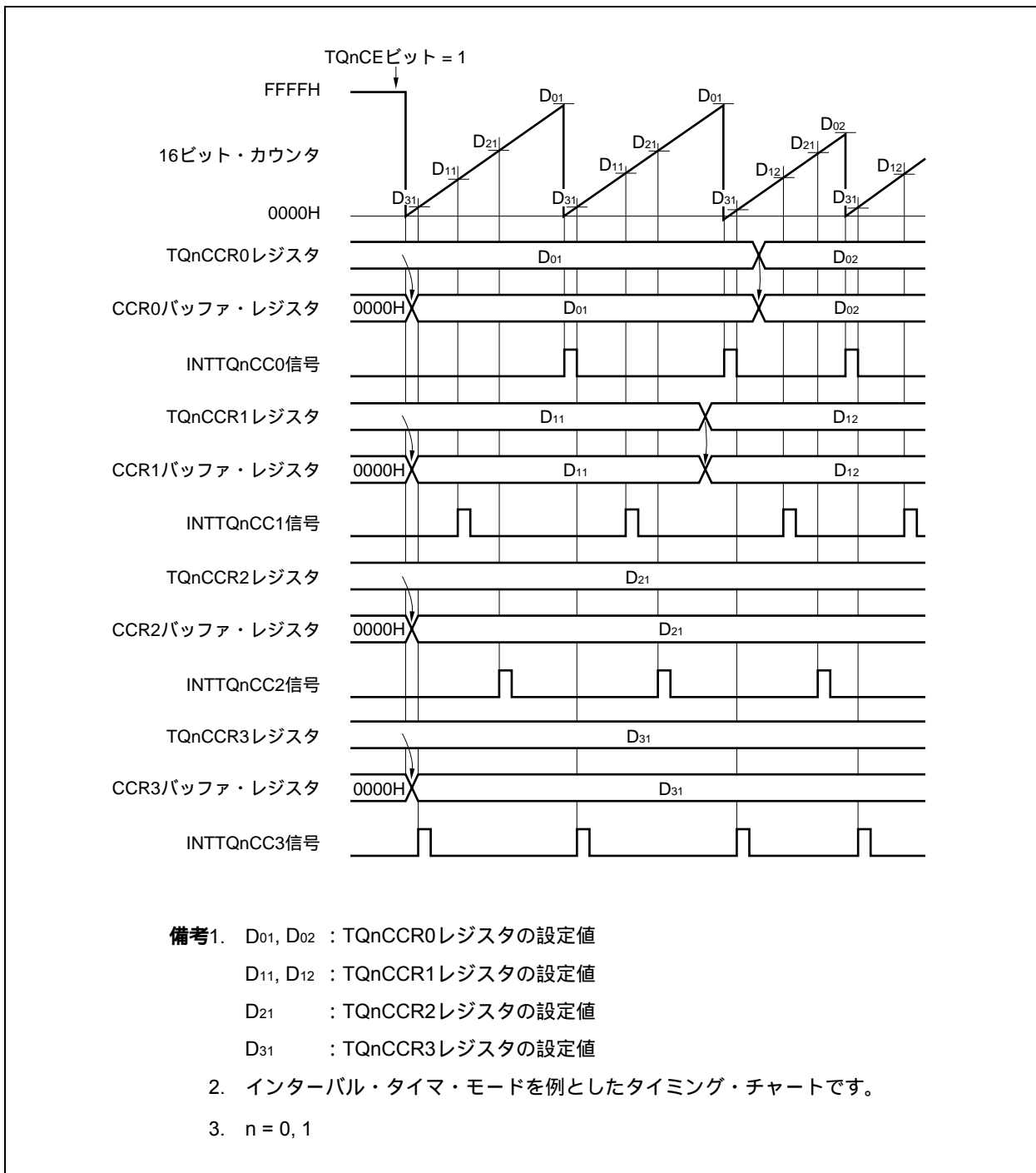


図7-4 随時書き込みのタイミング



(b) 一斉書き込み

このモードは、タイマ動作中にTQ0CCR0-TQ0CCR3レジスタからCCR0-CCR3バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTQ0CCR1レジスタへの書き込みとなります。TQ0CCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TQ0CCR0-TQ0CCR3レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする（CCR0-CCR3バッファ・レジスタに転送される）には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTQ0CCR0レジスタを書き換え、最後にTQ0CCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TQ0CCR0-TQ0CCR3レジスタの値はCCR0-CCR3バッファ・レジスタに転送されます。なお、TQ0CCR0、TQ0CCR2、TQ0CCR3レジスタのいずれかの値だけ書き換えたい場合でも、TQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）を書き込んでください。

備考 TMQ1では、一斉書き込みで書き換え可能なモードに設定できません。

図7-5 一斉書き込みの基本動作フロー・チャート

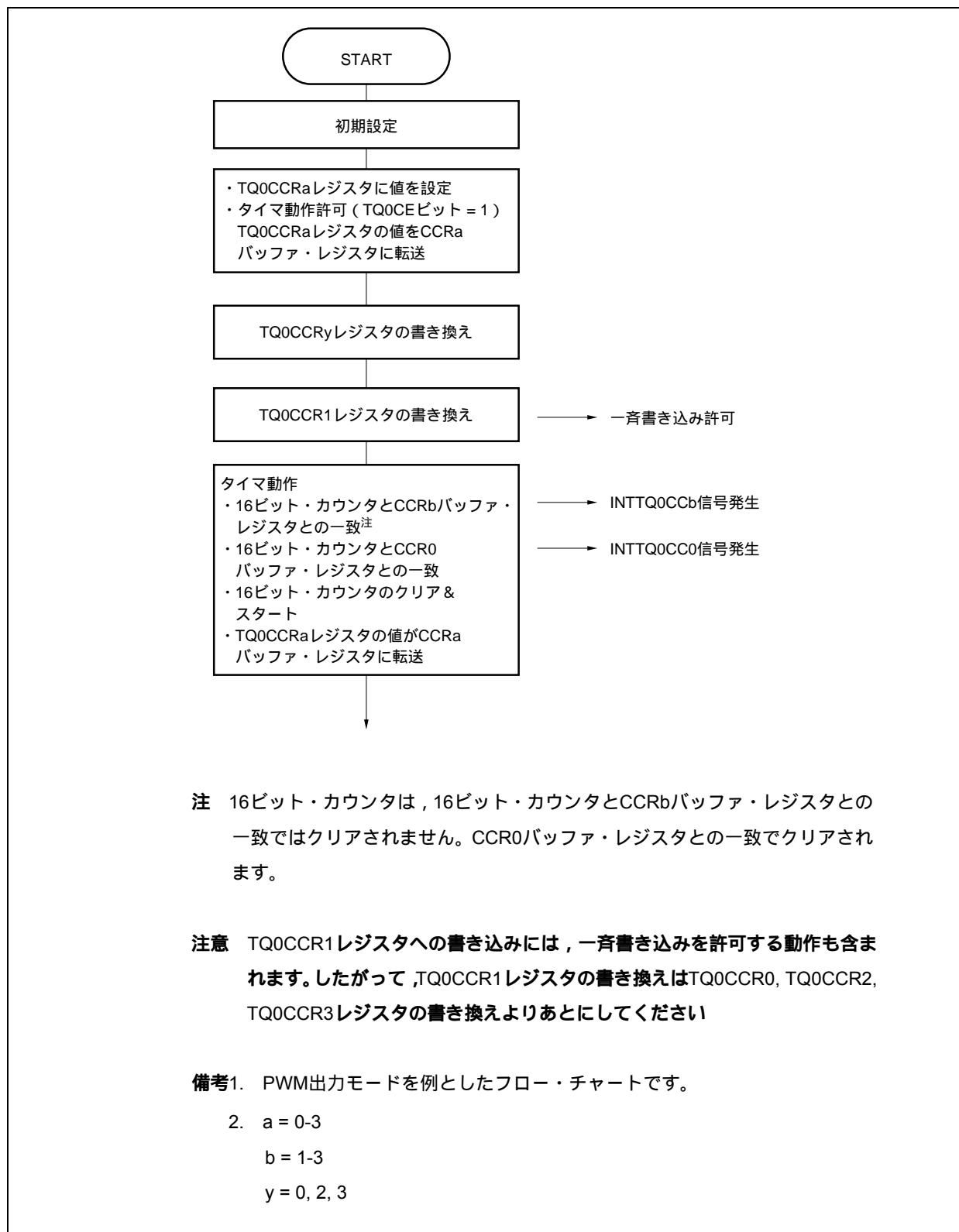
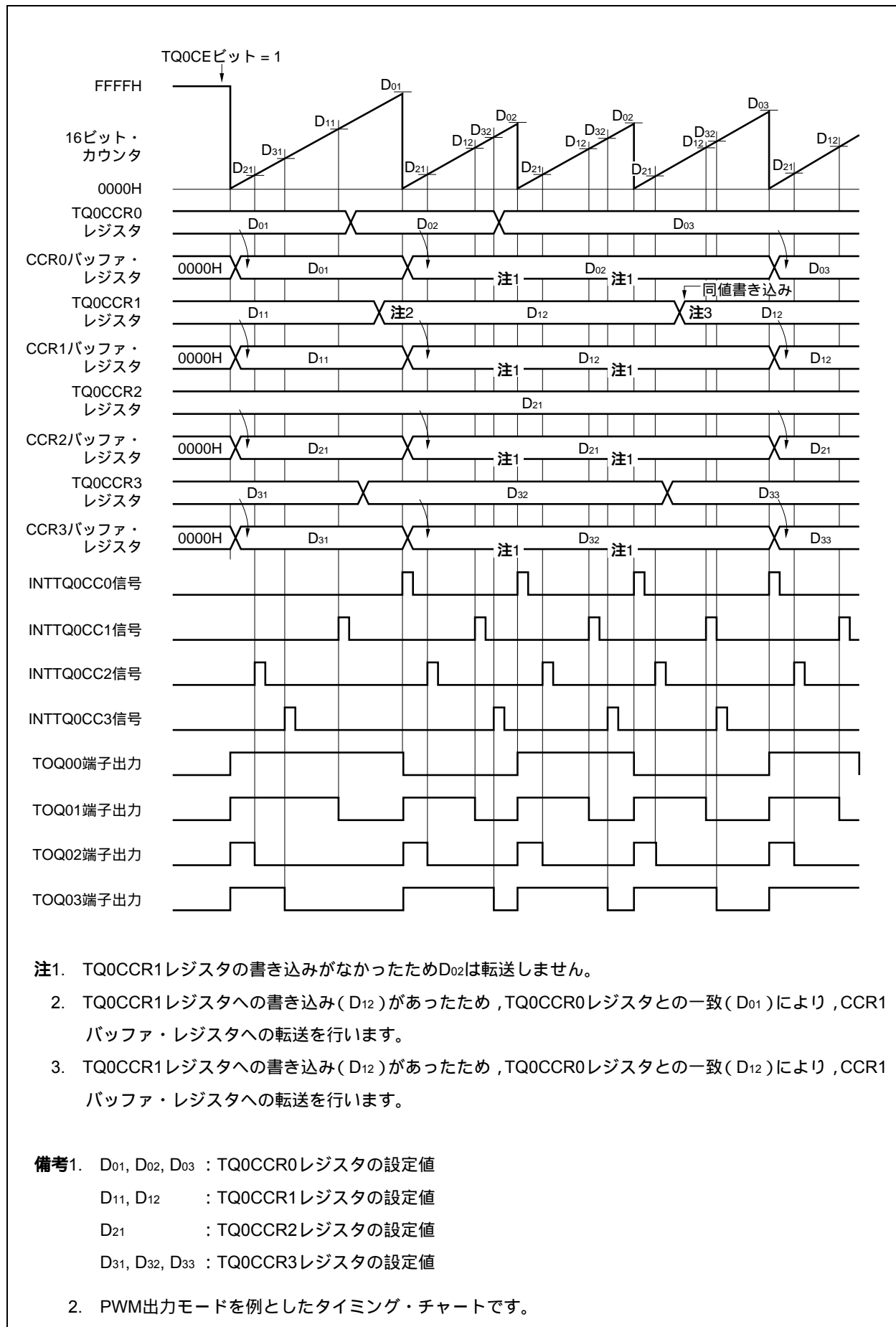


図7-6 一斉書き込みのタイミング



7.6.1 インターバル・タイマ・モード (TQnMD2-TQnMD0ビット = 000)

インターバル・タイマ・モードは、TQnCTL0.TQnCEビットをセット(1)することで、TQnCCR0レジスタで設定したインターバル間隔にて割り込み要求信号(INTTQnCC0)を発生します。また、TOQn0端子から、インターバル間隔を半周期とする50%デューティのPWM波形を出力できます(TOQ10端子はV850E/IA4のみ)。

インターバル・タイマ・モードでは、TQnCCR1-TQnCCR3レジスタを使用しません。しかし、TQnCCR1-TQnCCR3レジスタでは、TQnCCR1-TQnCCR3レジスタの設定値がCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1-CCR3バッファ・レジスタの値が一致するとコンパリア一致割り込み要求信号(INTTQnCC1-INTTQnCC3)が発生します。また、TOQ01-TOQ03端子から、INTTQ0CC1-INTTQ0CC3信号の発生タイミングで反転する50%デューティのPWM波形を出力できます。

なお、TQnCCR1-TQnCCR3レジスタのタイマ動作中の書き換えは可能です。

図7-7 インターバル・タイマの構成図

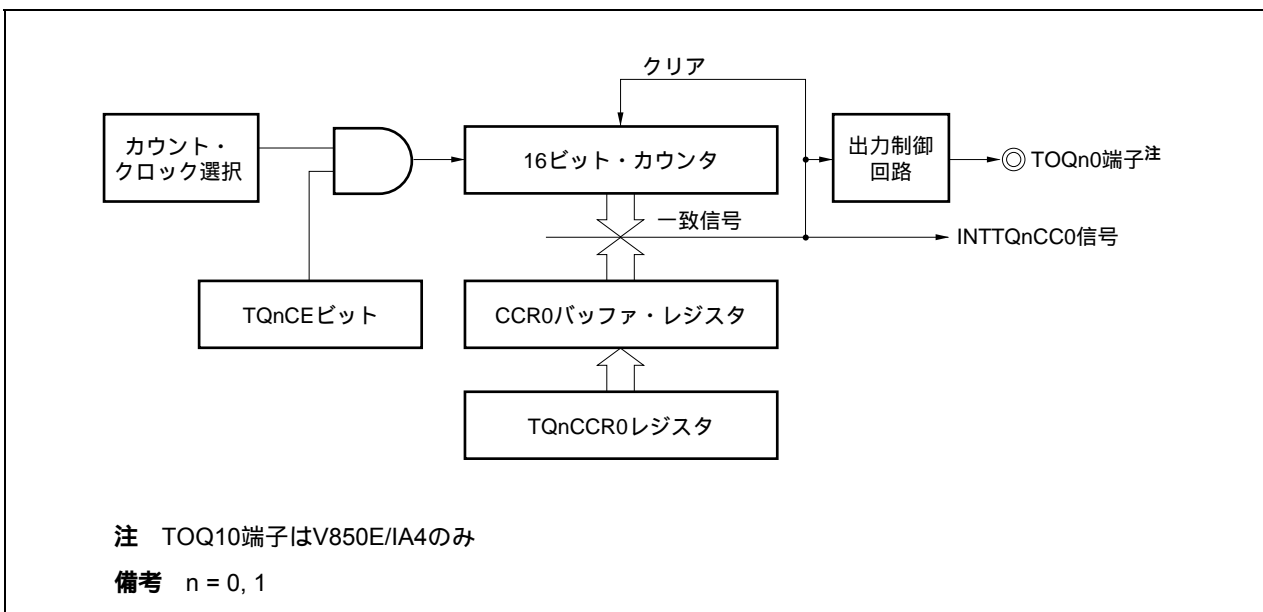
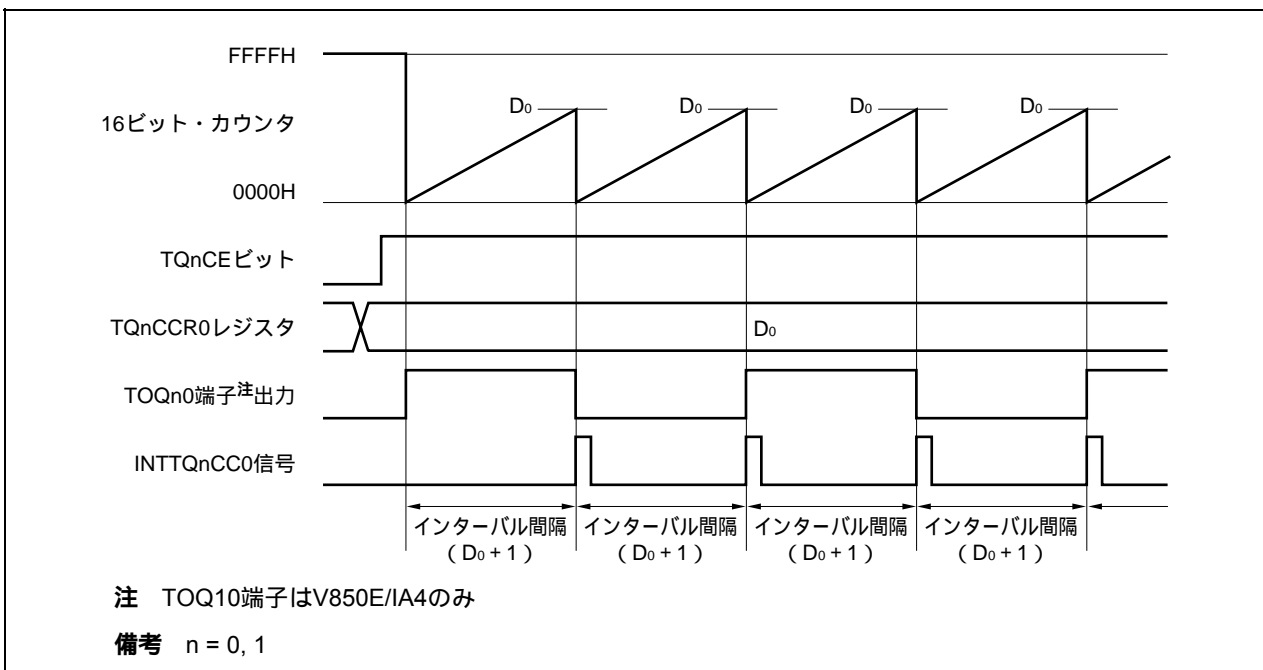


図7-8 インターバル・タイマ・モード動作の基本タイミング



TQnCEビットをセット（1）することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOQn0端子^注出力を反転します。また、TQnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOQn0端子^注出力を反転させて、コンペア一致割り込み要求信号（INTTQnCC0）を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TQnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

注 TOQ10端子はV850E/IA4のみ

備考 n = 0, 1

図7-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/3)

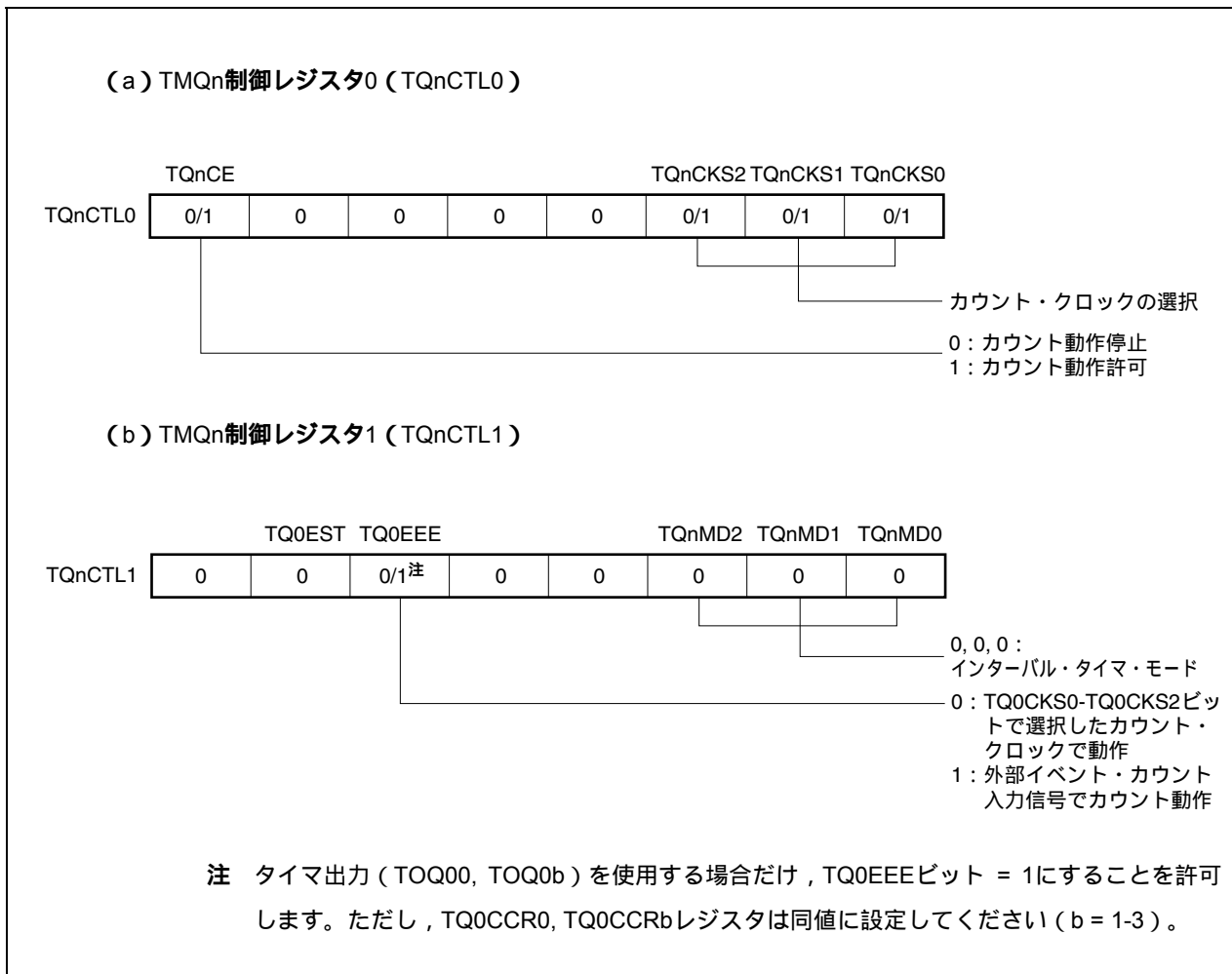
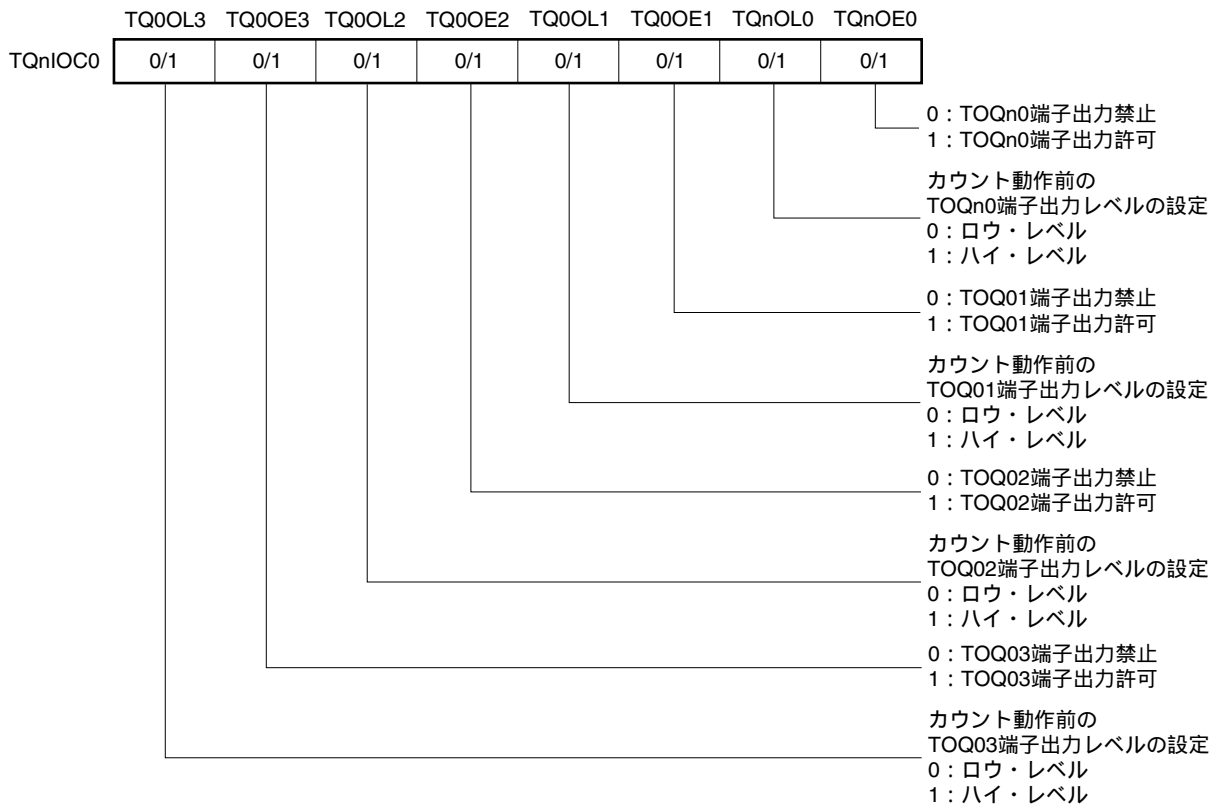
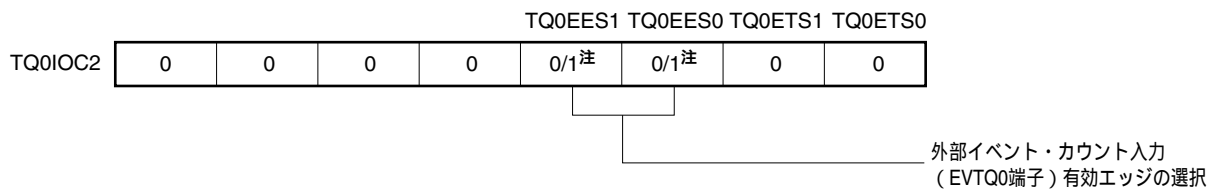


図7-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/3)

(c) TMQnI/O制御レジスタ0 (TQnIOC0)



(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)



注 タイマ出力 (TOQ00-TOQ03) を使用する場合だけ、TQ0EES1、TQ0EES0ビットを設定することを許可します。ただし、TQ0CCR0-TQ0CCR3レジスタは同値に設定してください。

(e) TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT)

TQnCNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(f) TMQnキャプチャ/コンペア・レジスタ0 (TQnCCR0)

TQnCCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント・クロック周期}$$

となります。

図7-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (3/3)

(g) TMQnキャプチャ/コンペア・レジスタ1-3 (TQnCCR1-TQnCCR3)

インターバル・タイマ・モードでは、TQnCCR1-TQnCCR3レジスタを使用しません。しかし、TQnCCR1-TQnCCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1-CCR3バッファ・レジスタの値が一致すると、TOQ01-TOQ03端子出力を反転し、コンペア一致割り込み要求信号 (INTTQnCC1-INTTQnCC3) が発生します。

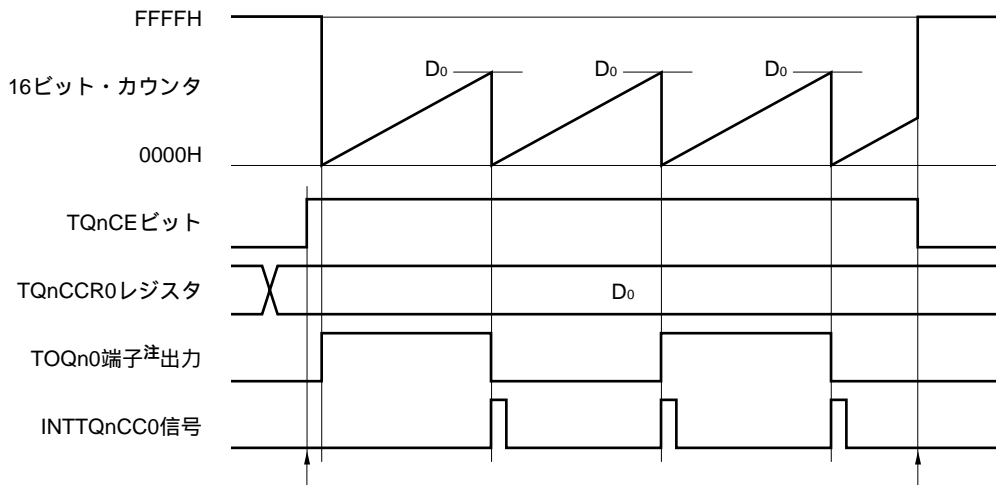
TQnCCR1-TQnCCR3レジスタを使用しない場合には、TQnCCR1-TQnCCR3レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TQnCCIC1.TQnCCMK1-TQnCCIC3.TQnCCMK3) でマスク設定してください。

備考1. TMQ0I/O制御レジスタ1 (TQ0IOC1) , TMQnオプション・レジスタ0 (TQnOPT0) は、インターバル・タイマ・モードでは使用しません。

2. n = 0, 1

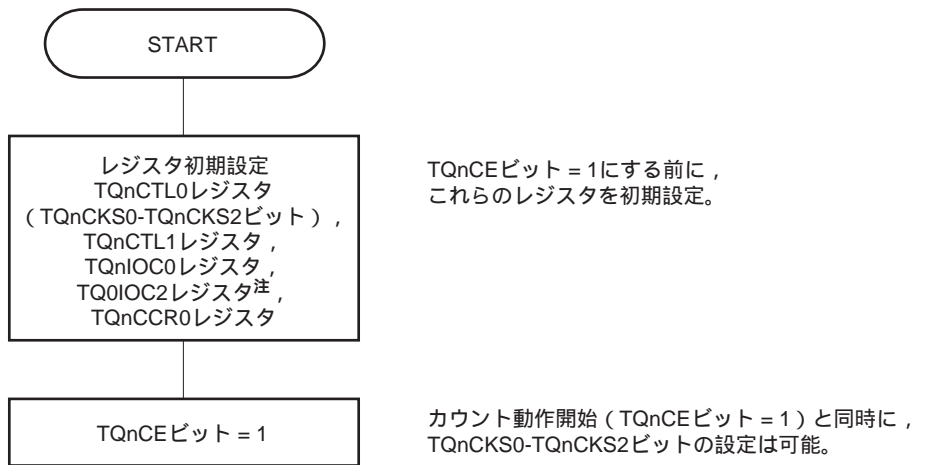
(1) インターバル・タイマ・モード動作フロー

図7 - 10 インターバル・タイマ・モード使用時のソフトウェア処理フロー



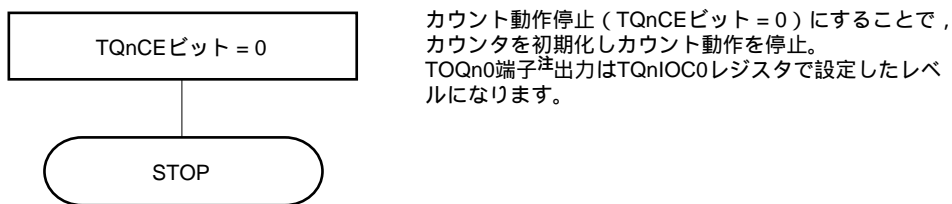
注 TOQ10端子はV850E/IA4のみ

カウント動作開始フロー



注 タイマ出力 (TOQ00-TOQ03) を使用する場合だけ、TQ0EES1, TQ0EES0ビットを設定することを許します。ただし、TQ0CCR0-TQ0CCR3レジスタは同値に設定してください。

カウント動作停止フロー



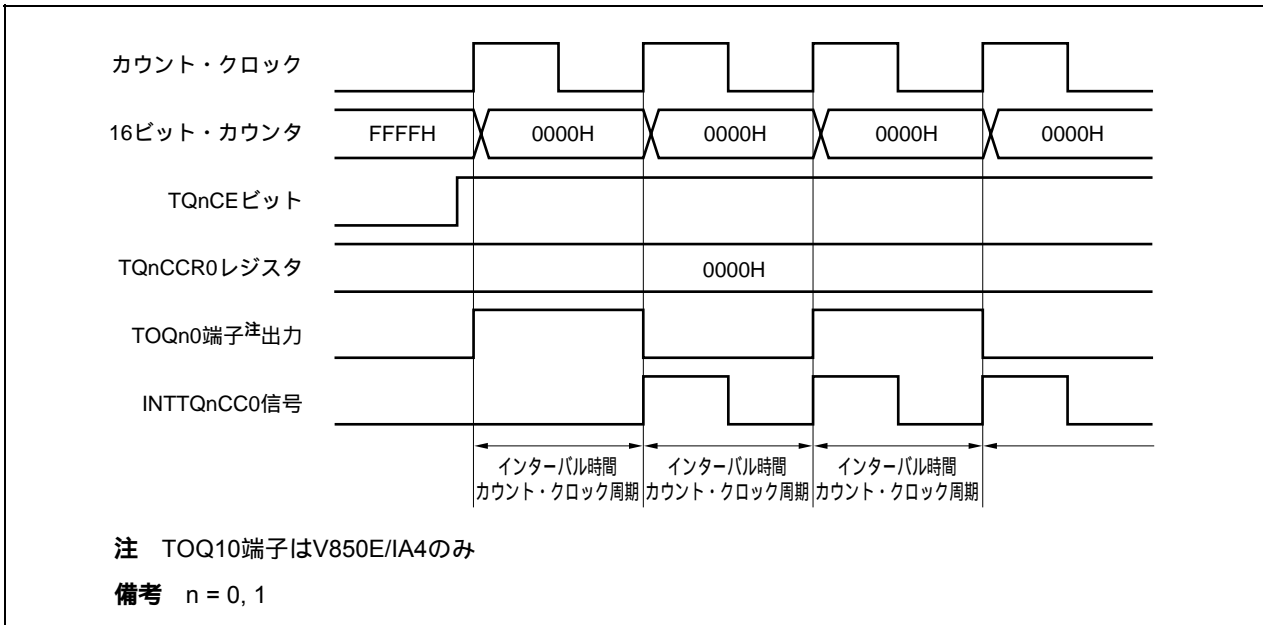
注 TOQ10端子はV850E/IA4のみ

備考 n = 0, 1

(2) インターバル・タイマ・モード動作タイミング

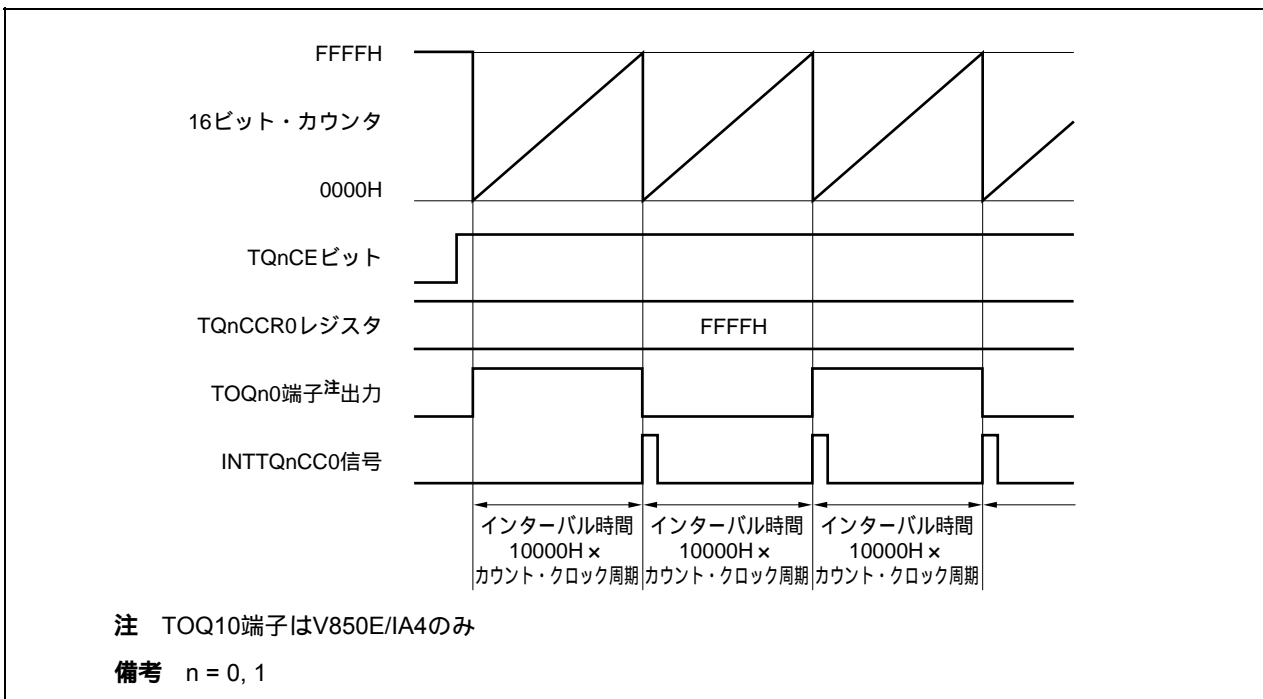
(a) TQnCCR0レジスタに0000Hを設定した場合の動作

TQnCCR0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTQnCC0信号を発生し、TOQn0端子の出力を反転します（TOQ10端子はV850E/IA4のみ）。
16ビット・カウンタは、常に0000Hとなります。



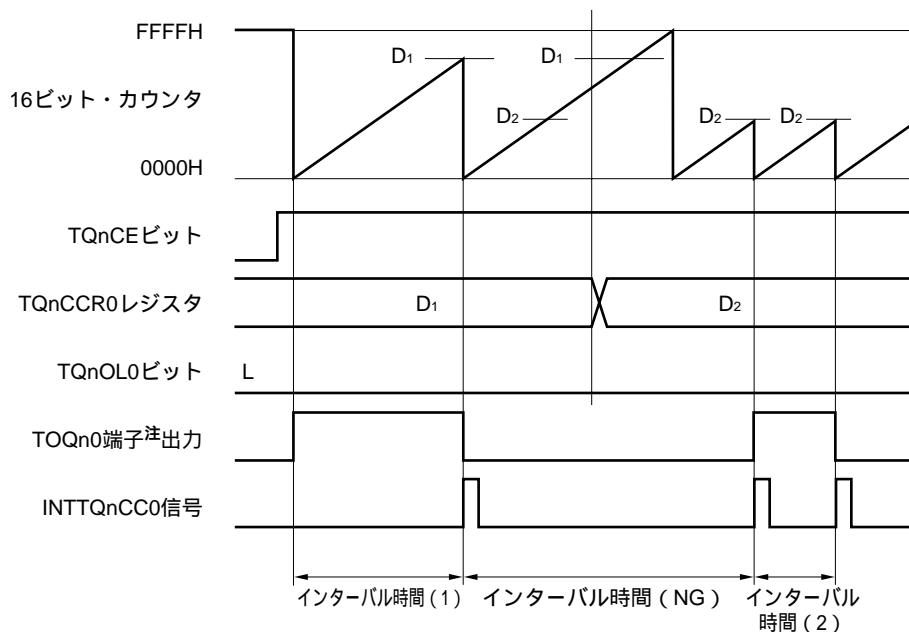
(b) TQnCCR0レジスタにFFFFHを設定した場合の動作

TQnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTQnCC0信号を発生し、TOQn0端子の出力を反転します（TOQ10端子はV850E/IA4のみ）。このとき、オーバフロー割り込み要求信号（INTTQnOV）は発生せず、オーバフロー・フラグ（TQnOPT0.TQnOVFビット）もセット（1）されません。



(c) TQnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTQnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



注 TOQ10端子はV850E/IA4のみ

- 備考1. インターバル時間 (1) : $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (2) : $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
2. $n = 0, 1$

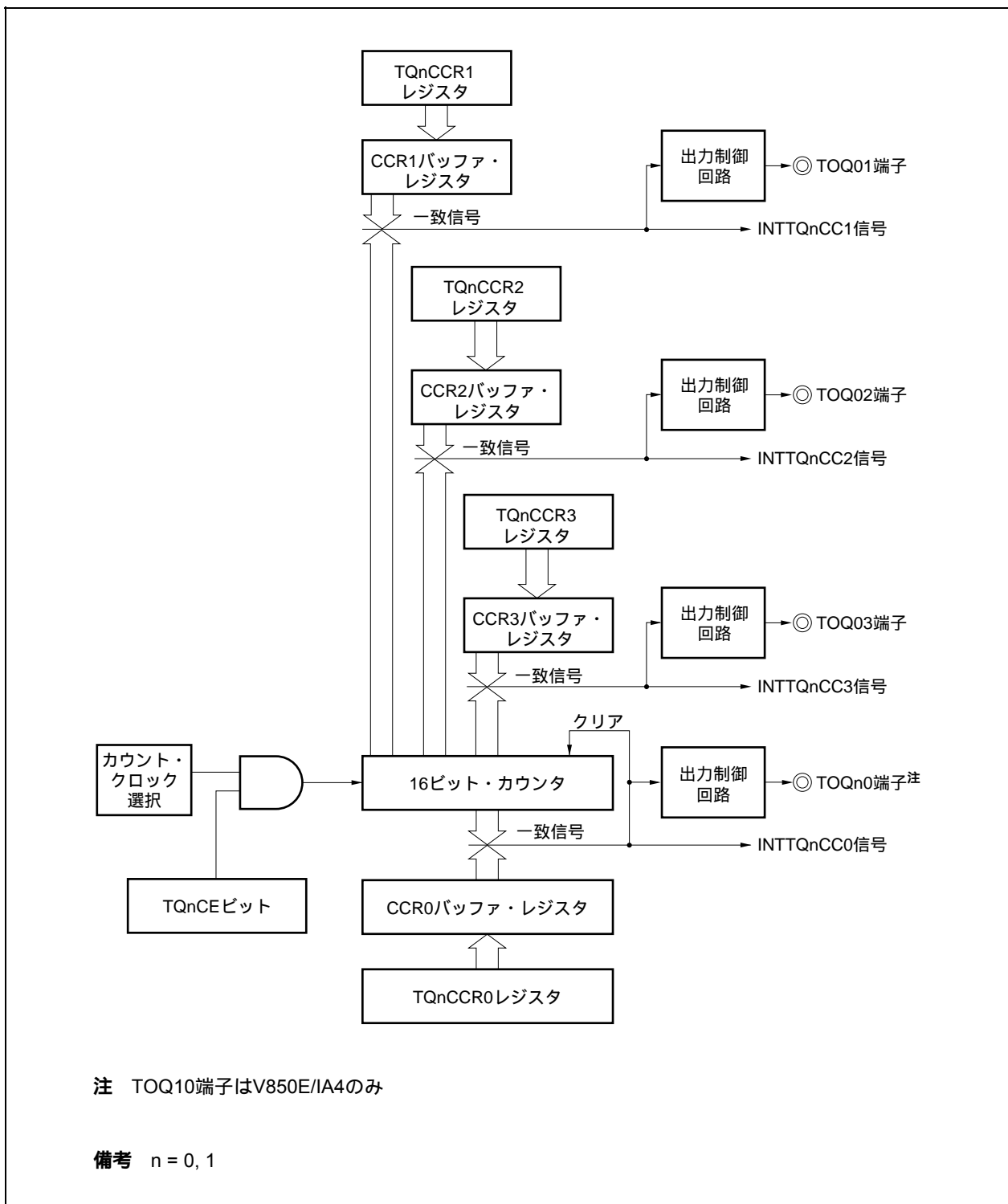
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TQnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTQnCC0信号を発生しTOQn0端子出力を反転します (TOQ10端子はV850E/IA4のみ)。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTQnCC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTQnCC0信号が発生する場合があります。

(d) TQnCCR1-TQnCCR3レジスタの動作

図7 - 11 TQnCCR1-TQnCCR3レジスタの構成図



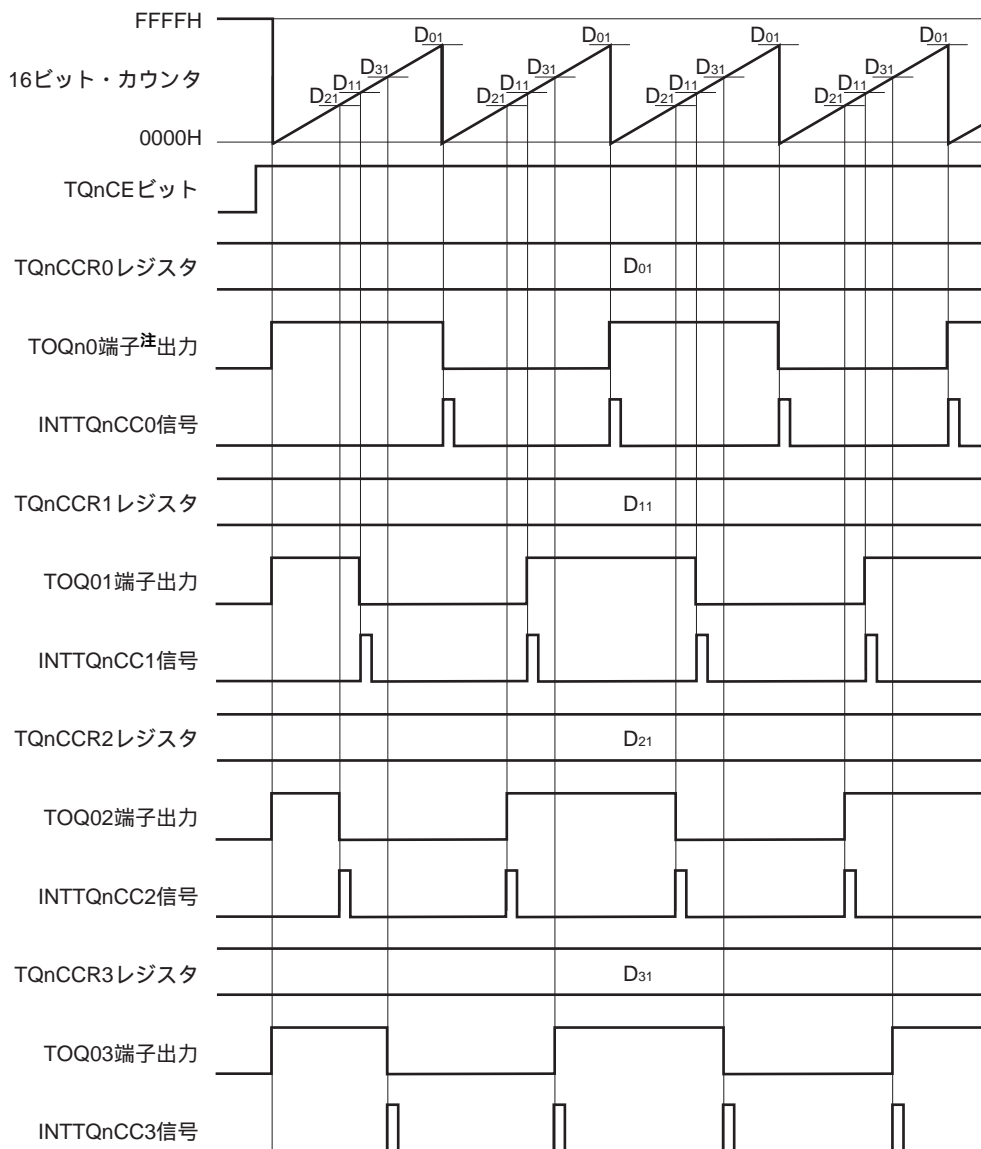
TQnCCRbレジスタにTQnCCR0レジスタの設定値と同じ値を設定すると、INTTQnCC0信号と同じタイミングでINTTQnCCb信号が発生し、TOQ0b端子出力が反転します。すなわち、TOQ0b端子から50 %デューティのPWM波形を出力できます。

TQnCCR0レジスタの設定値とは異なる値をTQnCCRbレジスタに設定した場合の動作を次に示します。

TQnCCRbレジスタの設定値がTQnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTQnCCb信号が発生します。また、同じタイミングでTOQ0b端子出力は反転します。

TOQ0b端子出力は、最初に短い幅のパルスを出力したあと50 %デューティのPWM波形を出力します。

図7 - 12 D₀₁ D_{b1}の場合のタイミング図



注 TOQ10端子はV850E/IA4のみ

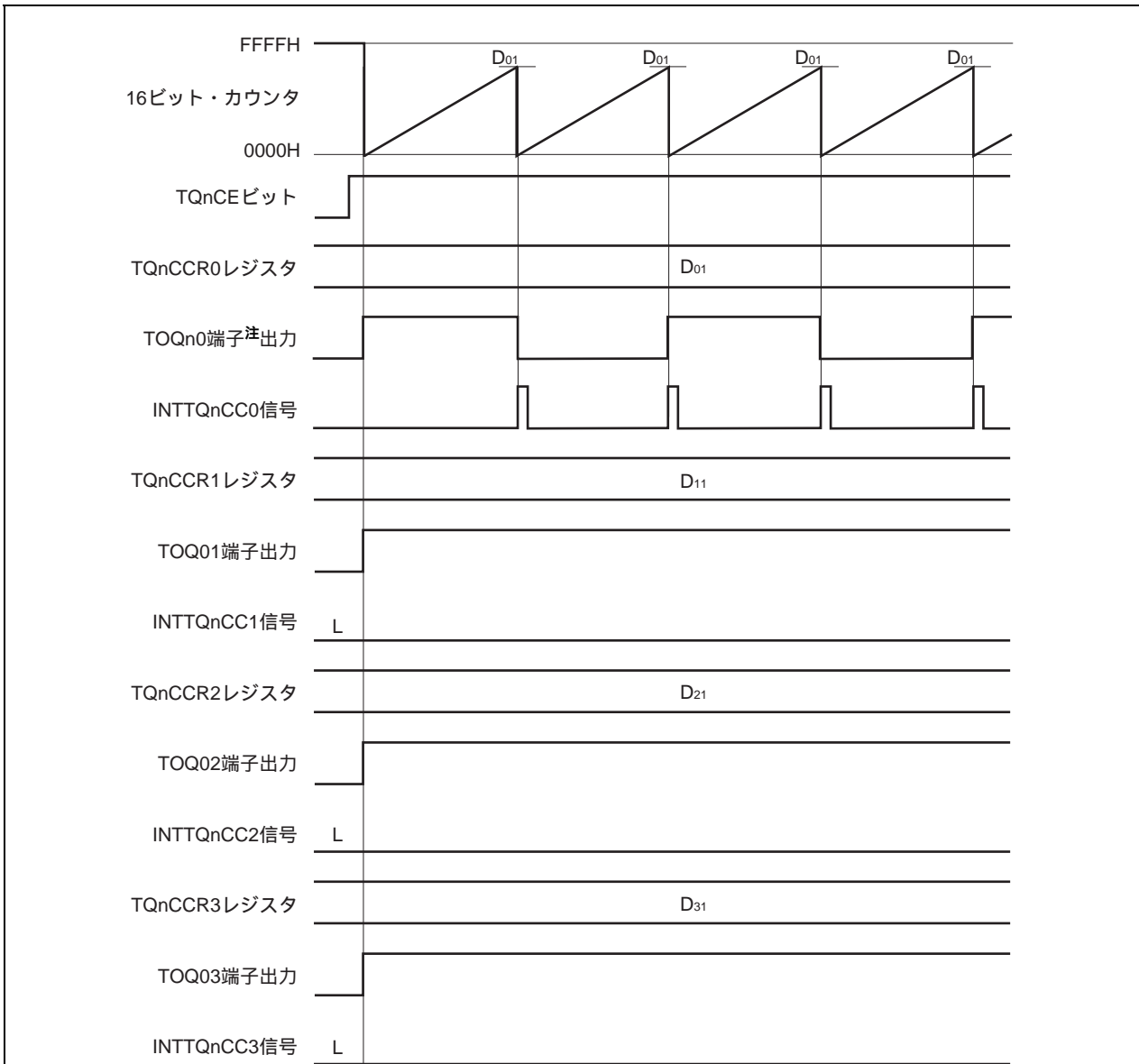
備考 n = 0, 1

b = 1-3

TQnCCRbレジスタの設定値がTQnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTQnCCRbレジスタの値が一致しないので、INTTQnCCb信号は発生しません。また、TOQ0b端子出力も変化しません。

TQnCCRbレジスタを使用しない場合には、TQnCCRbレジスタの設定値をFFFFHに設定することを推奨します。

図7 - 13 D₀₁ < D_{b1}の場合のタイミング図



注 TOQ10端子はV850E/IA4のみ

備考 n = 0, 1

b = 1-3

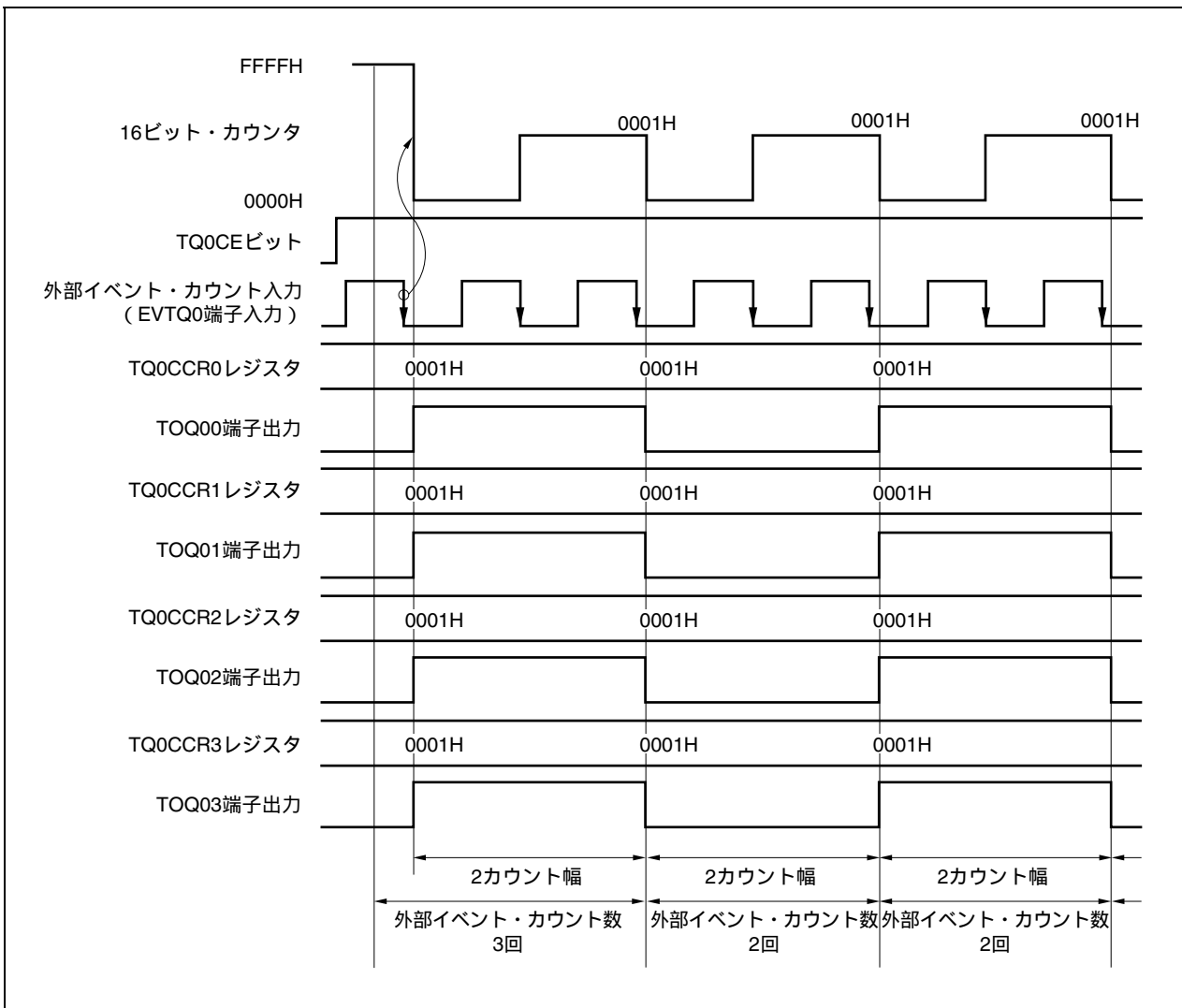
(3) 外部イベント・カウント入力 (EVTQ0) による動作

(a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力 (EVTQ0) の有効エッジで16ビット・カウンタをカウントする場合、TQ0CEビットを0から1に設定したあとの1回目の外部イベント・カウント入力の有効エッジにより、16ビット・カウンタをFFFFHから0000Hにクリアします。

TQ0CCR0, TQ0CCRbレジスタに0001Hを設定 (同値設定) すると、16ビット・カウンタの2カウントごとにTOQ00, TOQ0b端子の出力を反転します (b = 1-3)。

外部イベント・カウント入力でタイマ出力 (TOQ00, TOQ0b) を使用する場合だけ、インターバル・タイマ・モード時にTQ0CTL0.TQ0EEEビット = 1の設定が可能です。



7.6.2 外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット = 001)

TMQ0のみ有効です。

外部イベント・カウント・モードは、TQ0CTL0.TQ0CEビットをセット(1)することで、外部イベント・カウント入力(EVTQ0)の有効エッジをカウントし、TQ0CCR0レジスタで設定したカウント数をカウントするごとに割り込み要求信号(INTTQ0CC0)を発生します。また、TOQ00-TOQ03端子は使用できません。外部イベント・カウント入力でTOQ00-TOQ03端子を使用する場合は、インターバル・タイマ・モード時にTQ0CTL1.TQ0EEEビット = 1に設定してください(7.6.1(3)外部イベント・カウント入力(EVTQ0)による動作参照)。

外部イベント・カウント・モードでは、TQ0CCR1-TQ0CCR3レジスタは使用しません。

注意 外部イベント・カウント・モードでは、TQ0CCR0-TQ0CCR3レジスタに0000Hを設定することは禁止します。

図7-14 外部イベント・カウント・モードの構成図

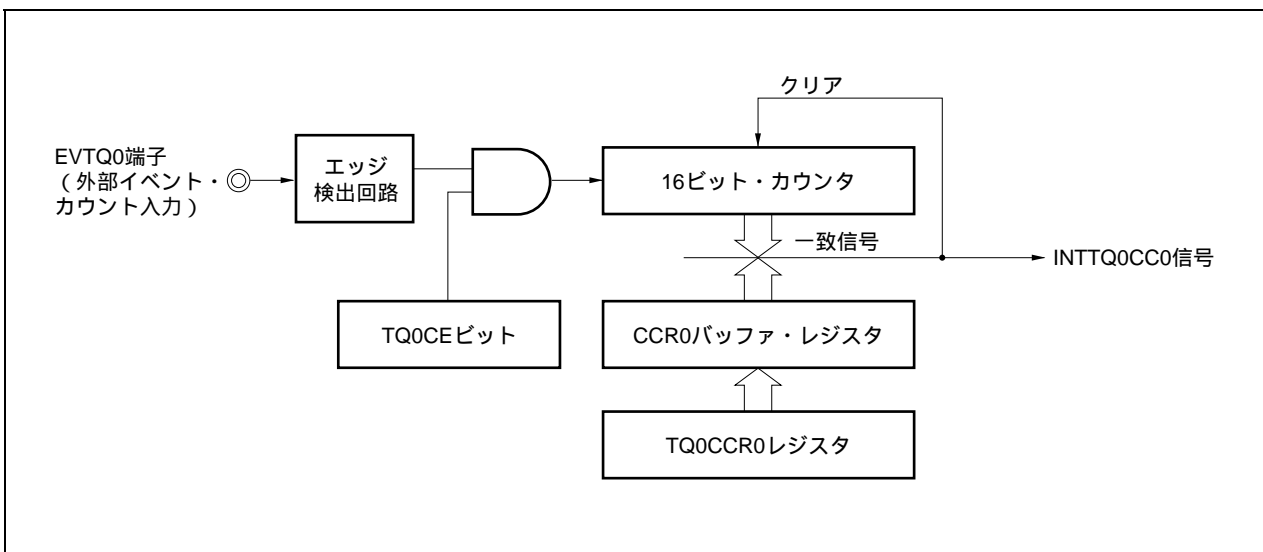
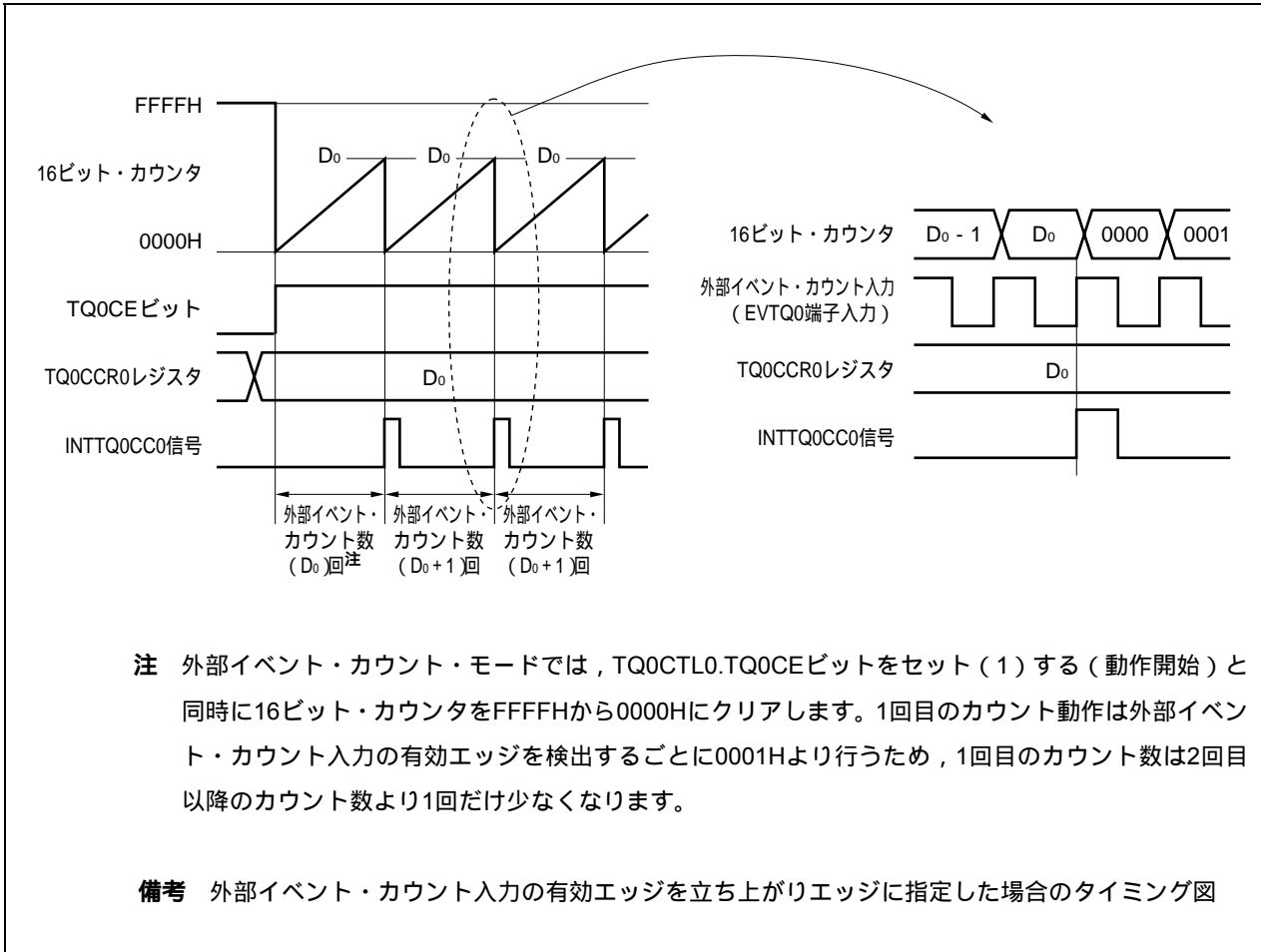


図7 - 15 外部イベント・カウント・モードの基本タイミング



TQ0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することにカウント動作を行います。また、TQ0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号 (INTTQ0CC0) を発生します。

INTTQ0CC0信号の発生は、1回目のINTTQ0CC0信号の場合は外部イベント・カウント入力の有効エッジを (TQ0CCR0レジスタに設定した値) 回検出で発生し、2回目以降のINTTQ0CC0信号の場合は外部イベント・カウント入力の有効エッジを (TQ0CCR0レジスタに設定した値 + 1) 回検出することに発生します。

図7 - 16 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

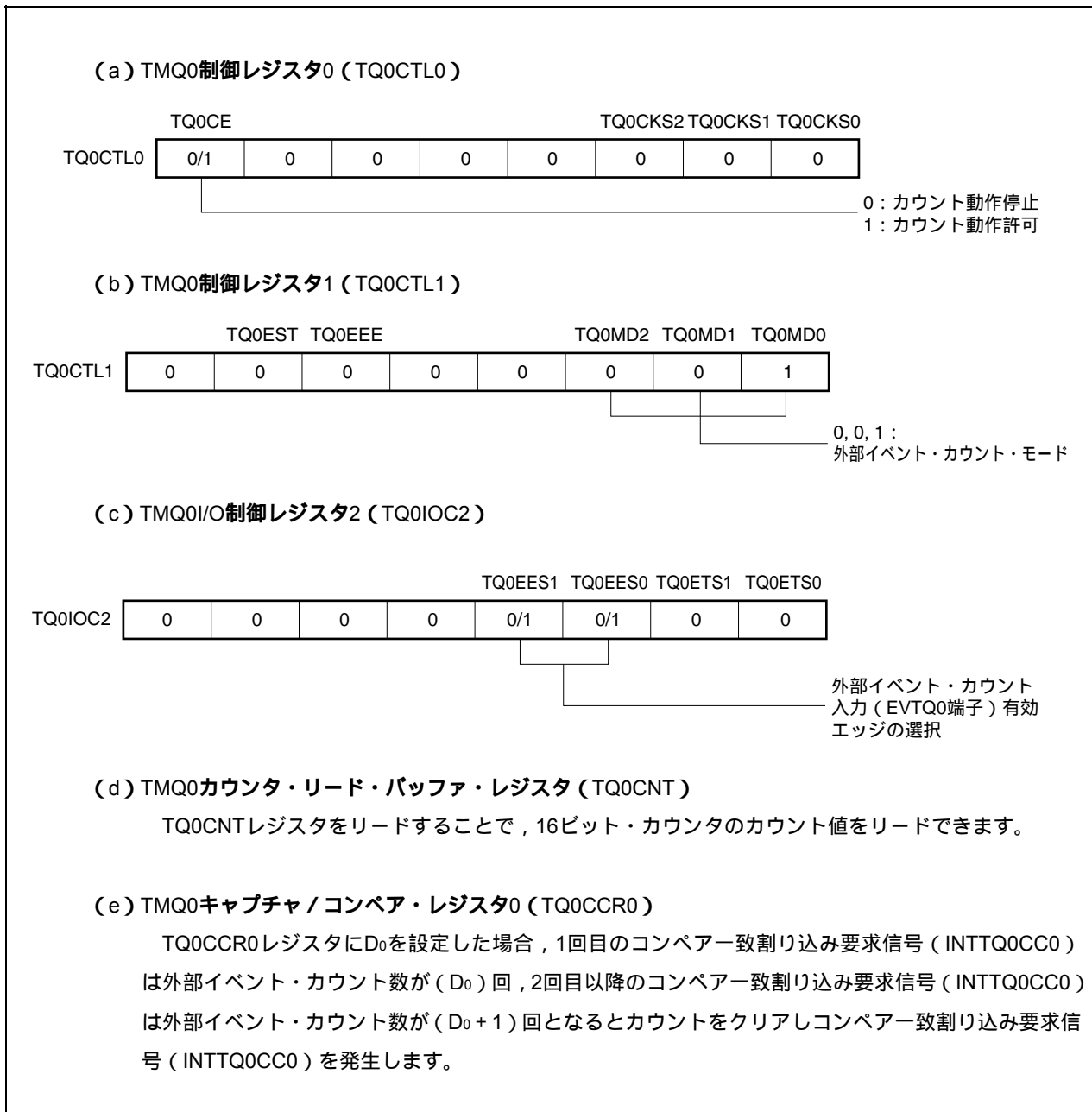


図7 - 16 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(f) TMQ0キャプチャ/コンペア・レジスタ1-3 (TQ0CCR1-TQ0CCR3)

外部イベント・カウント・モードでは、TQ0CCR1-TQ0CCR3レジスタは使用しません。しかし、TQ0CCR1-TQ0CCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTQ0CC1-INTTQ0CC3) が発生します。

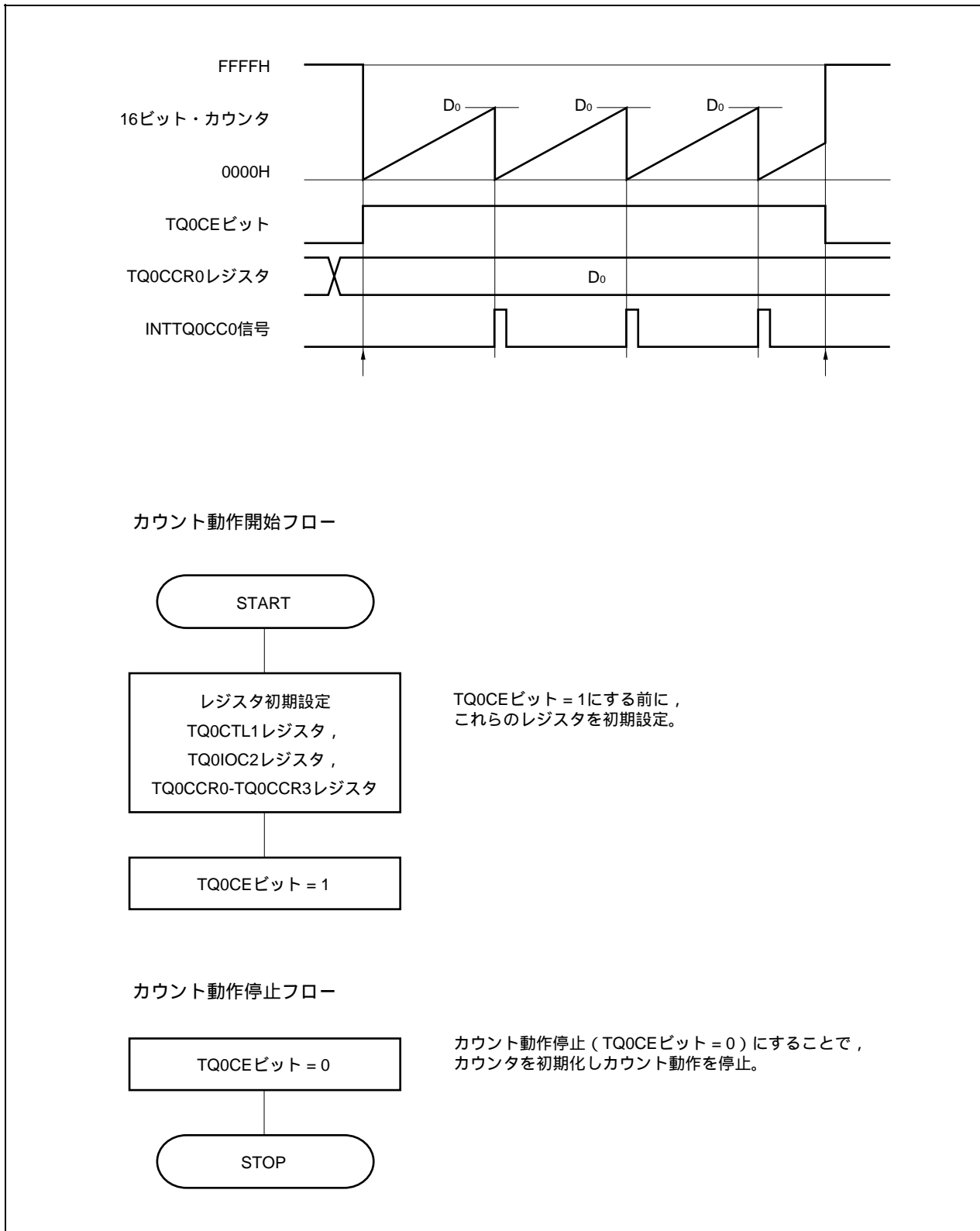
TQ0CCR1-TQ0CCR3レジスタを使用しない場合には、TQ0CCR1-TQ0CCR3レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TQ0CCIC1.TQ0CCMK1-TQ0CCIC3.TQ0CCMK3) でマスク設定してください。

注意 TQ0IOC0レジスタには00Hを設定してください。

備考 TMQ0I/O制御レジスタ1 (TQ0IOC1) , TMQ0オプション・レジスタ0 (TQ0OPT0) は、外部イベント・カウント・モードでは使用しません。

(1) 外部イベント・カウント・モード動作フロー

図7-17 外部イベント・カウント・モード使用時のソフトウェア処理フロー

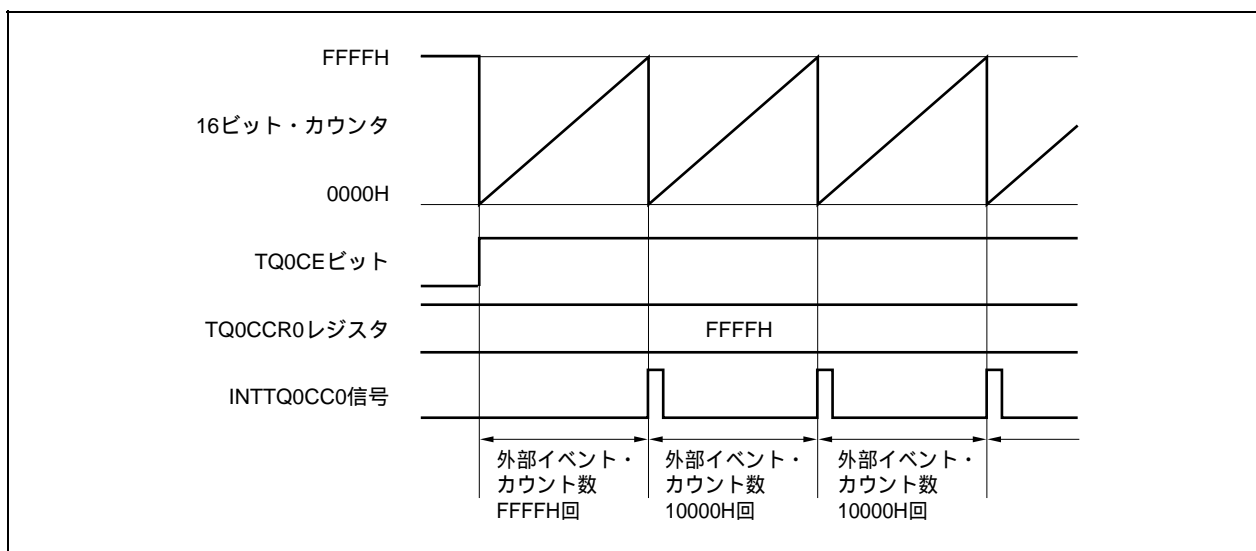


(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モードでは、TQ0CCR0-TQ0CCR3レジスタに0000Hを設定することは禁止します。
2. 外部イベント・カウント・モード時、タイマ出力 (TOQ00-TOQ03) は使用禁止です。外部イベント・カウント入力 (EVTQ0) でタイマ出力 (TOQ00-TOQ03) を使用する場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可 (TQ0CTL1.TQ0EEEビット = 1) に設定してください (7. 6. 1 (3) 外部イベント・カウント入力 (EVTQ0) による動作参照)。

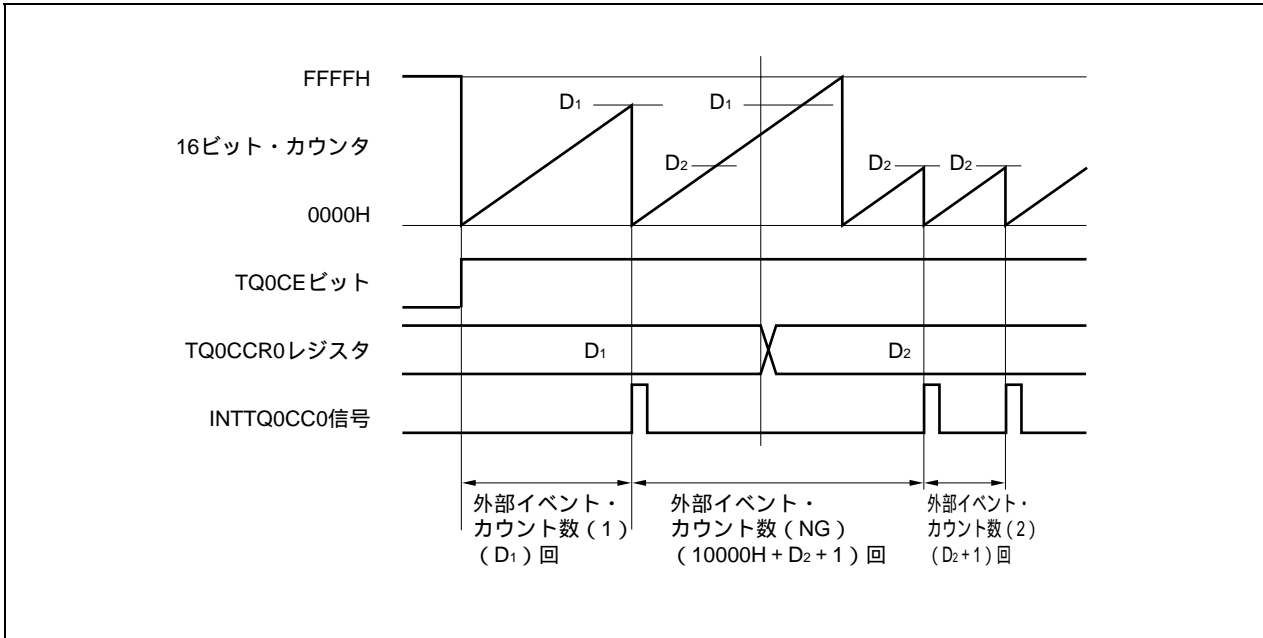
(a) TQ0CCR0レジスタにFFFFHを設定した場合の動作

TQ0CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTQ0CC0信号を発生します。このとき、TQ0OPT0.TQ0OVFビットはセットされません。



(b) TQ0CCR0レジスタの書き換えに関する注意事項

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



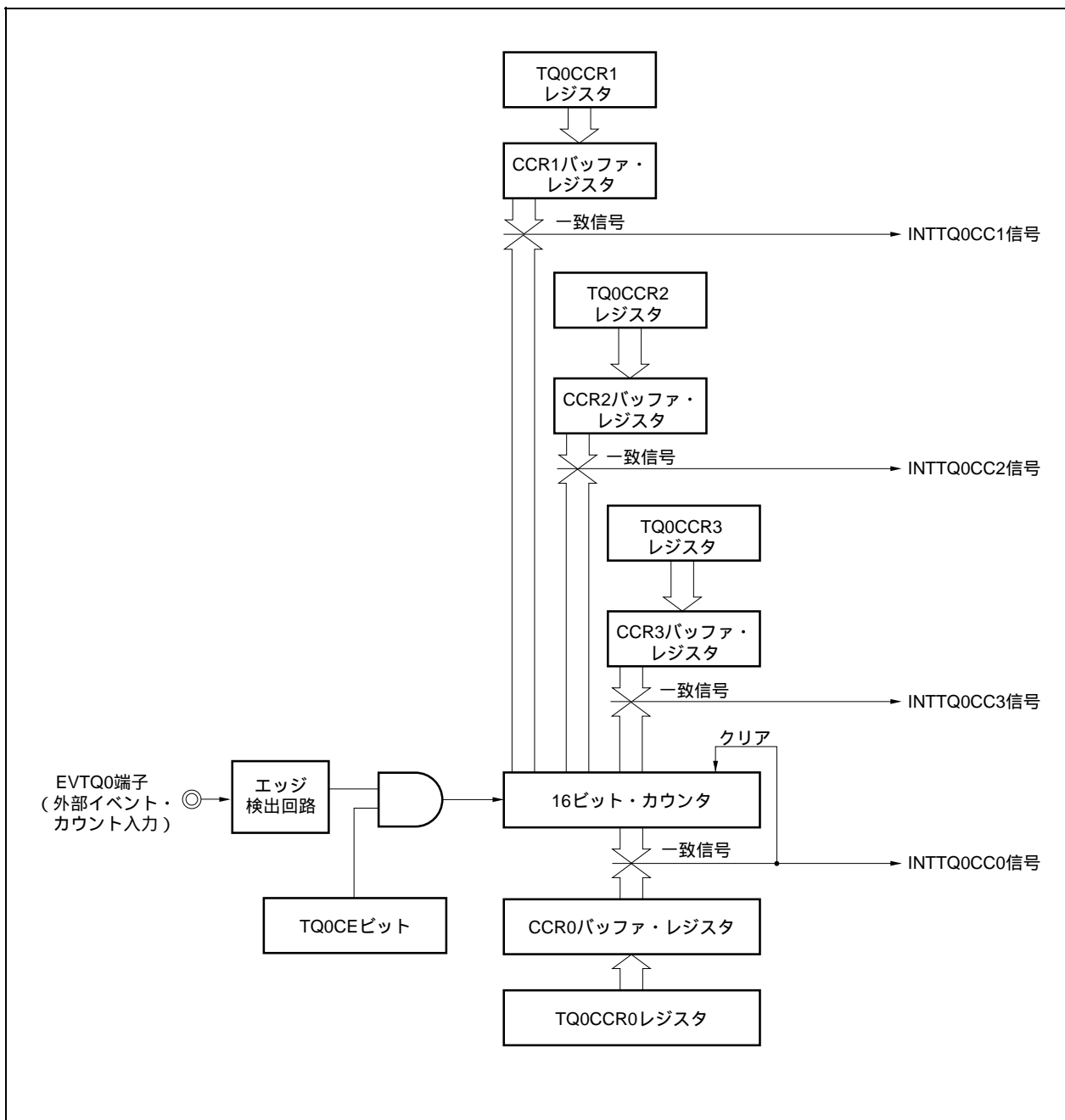
カウント値がD₂よりも大きくD₁よりも小さい状態において、TQ0CCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTQ0CC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D₁+1)回」または「(D₂+1)回」の有効エッジ数でINTTQ0CC0信号は発生せずに、「(10000H + D₂ + 1)回」の有効エッジ数でINTTQ0CC0信号が発生する場合があります。

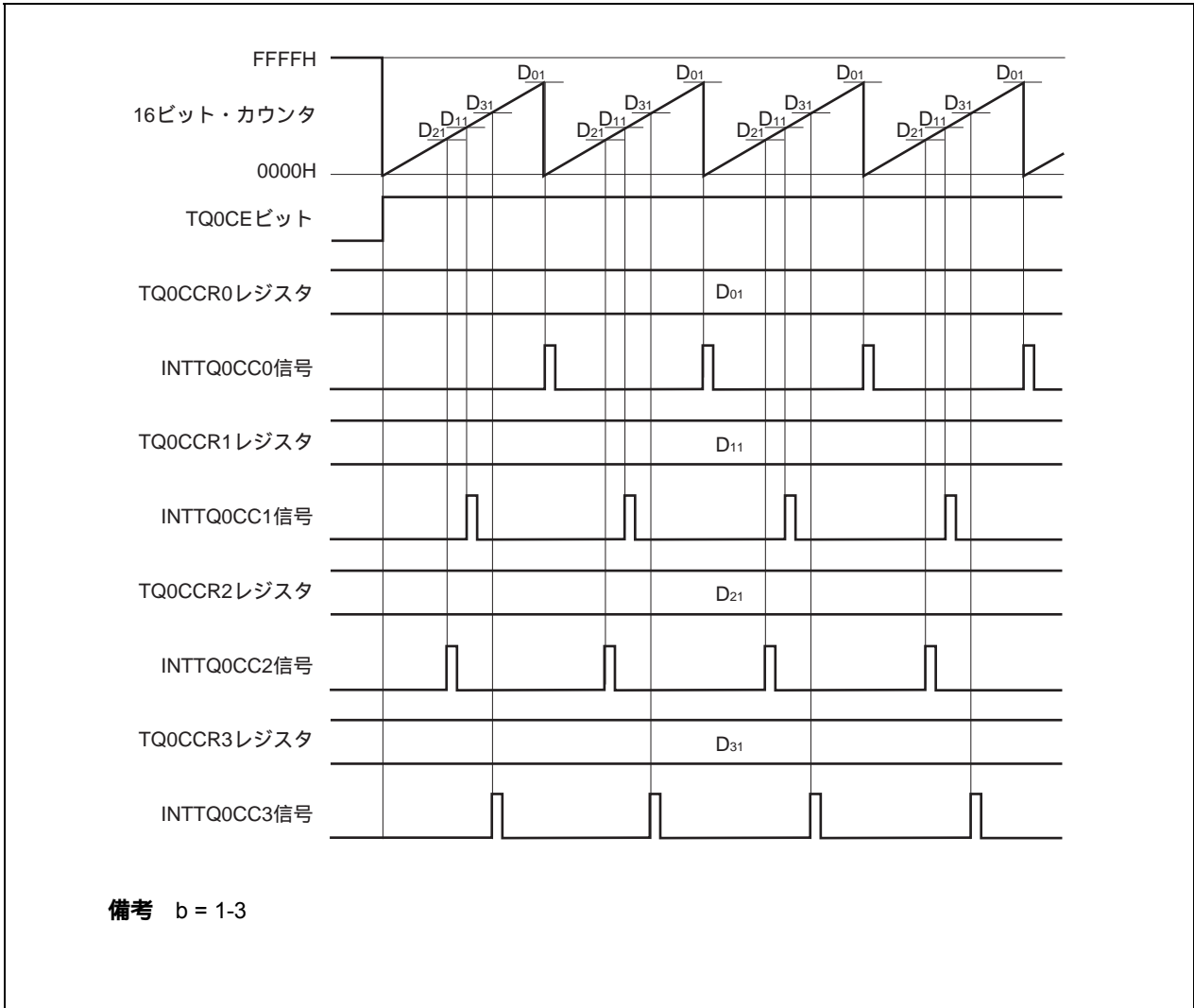
(c) TQ0CCR1-TQ0CCR3レジスタの動作

図7 - 18 TQ0CCR1-TQ0CCR3レジスタの構成図



TQ0CCRbレジスタの設定値がTQ0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTQ0CCb信号が発生します。

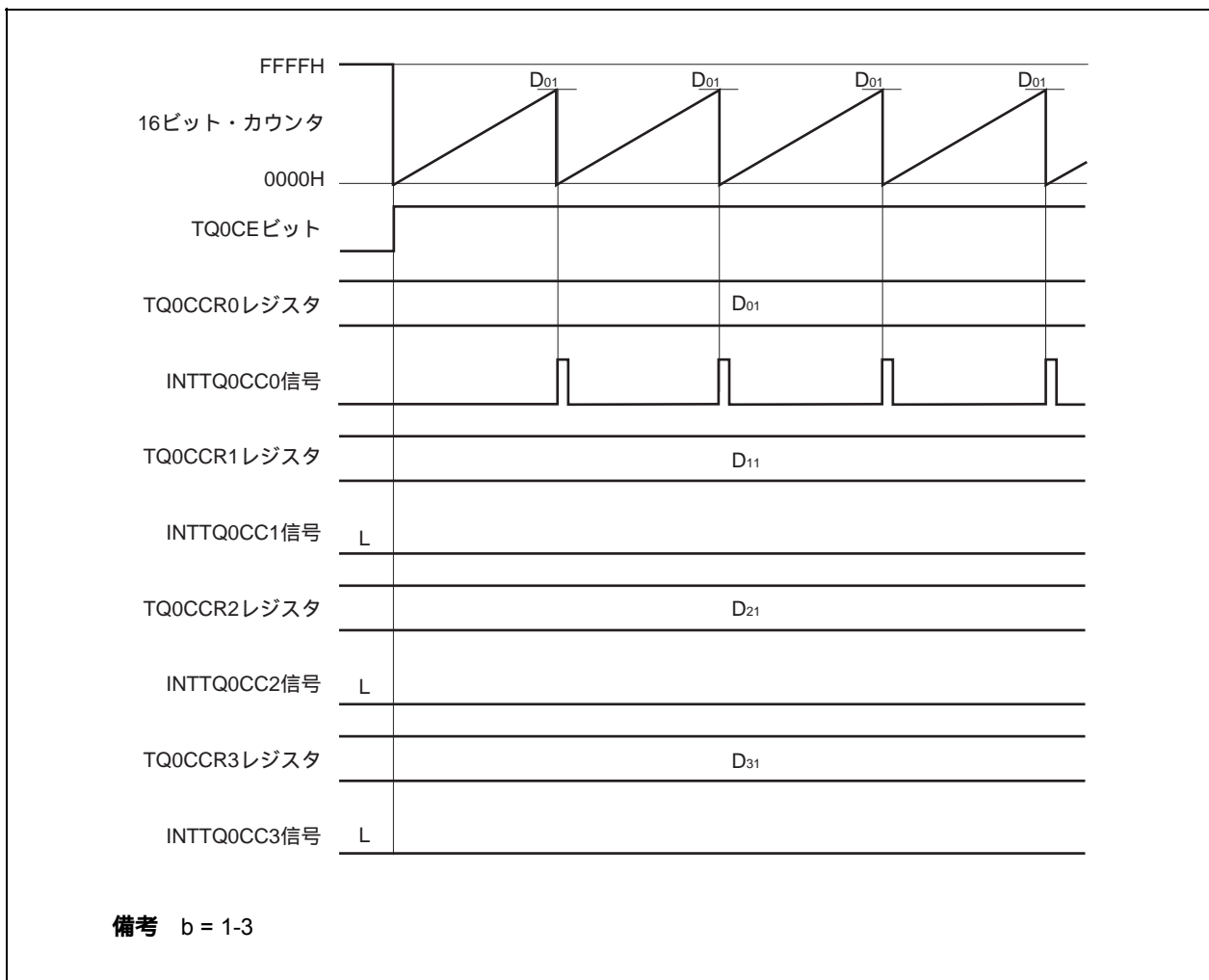
図7 - 19 D₀₁ D_{b1}の場合のタイミング図



TQ0CCRbレジスタの設定値がTQ0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTQ0CCRbレジスタの値が一致しないので、INTTQ0CCb信号は発生しません。

TQ0CCRbレジスタを使用しない場合には、TQ0CCRbレジスタの設定値をFFFFHに設定することを推奨します。

図7 - 20 $D_{01} < D_{b1}$ の場合のタイミング図



7.6.3 外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0ビット = 010)

TMQ0のみ有効です。

外部トリガ・パルス出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力 (TRGQ0) の有効エッジを検出すると、カウント動作を開始し、TOQ01-TOQ03端子から最大3相のPWM波形を出力します。また、TOQ00端子から、TQ0CCR0レジスタの設定値+1を半周期とする50 % デューティのPWM波形を出力できます。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。

図7-21 外部トリガ・パルス出力モードの構成図

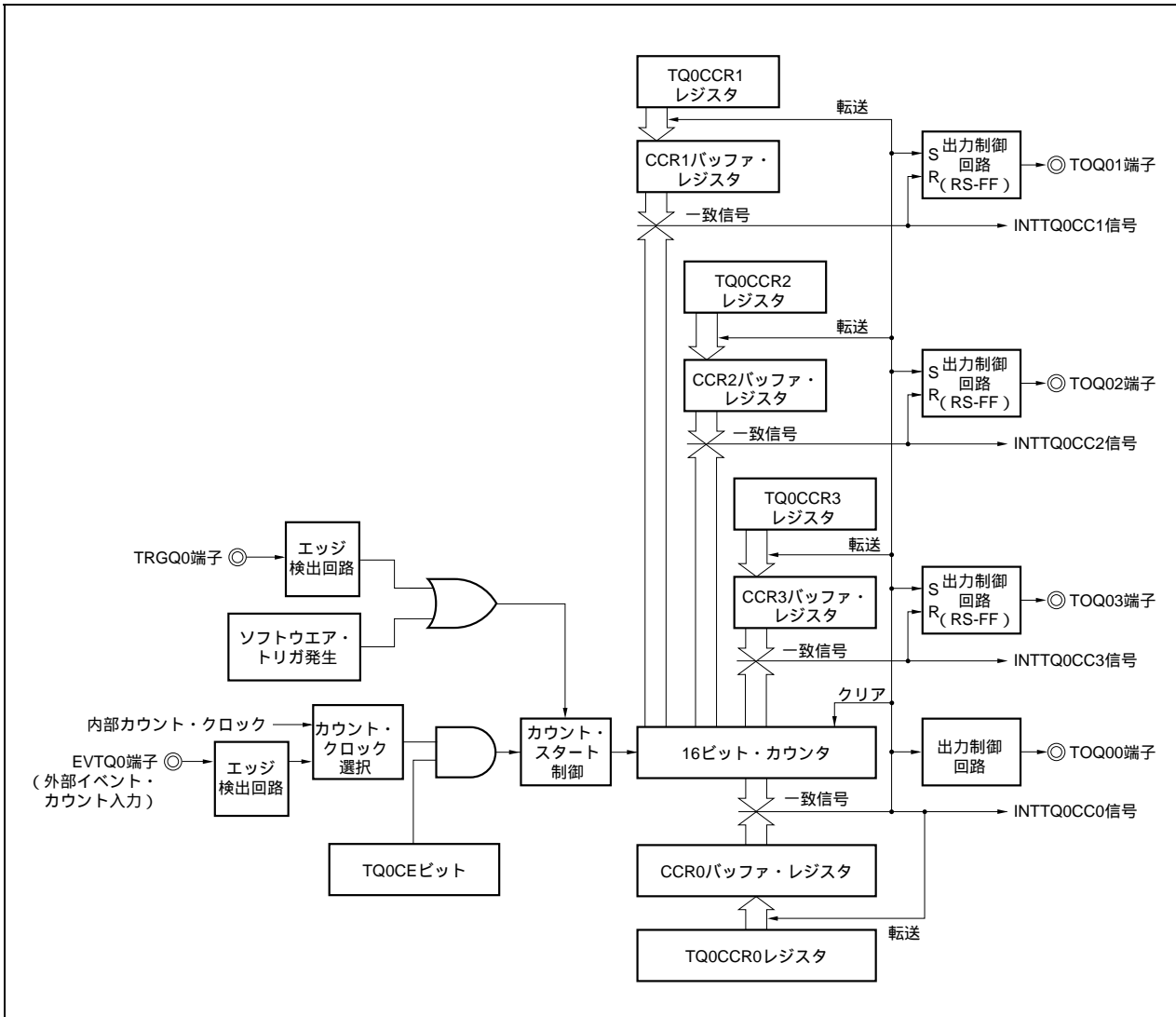
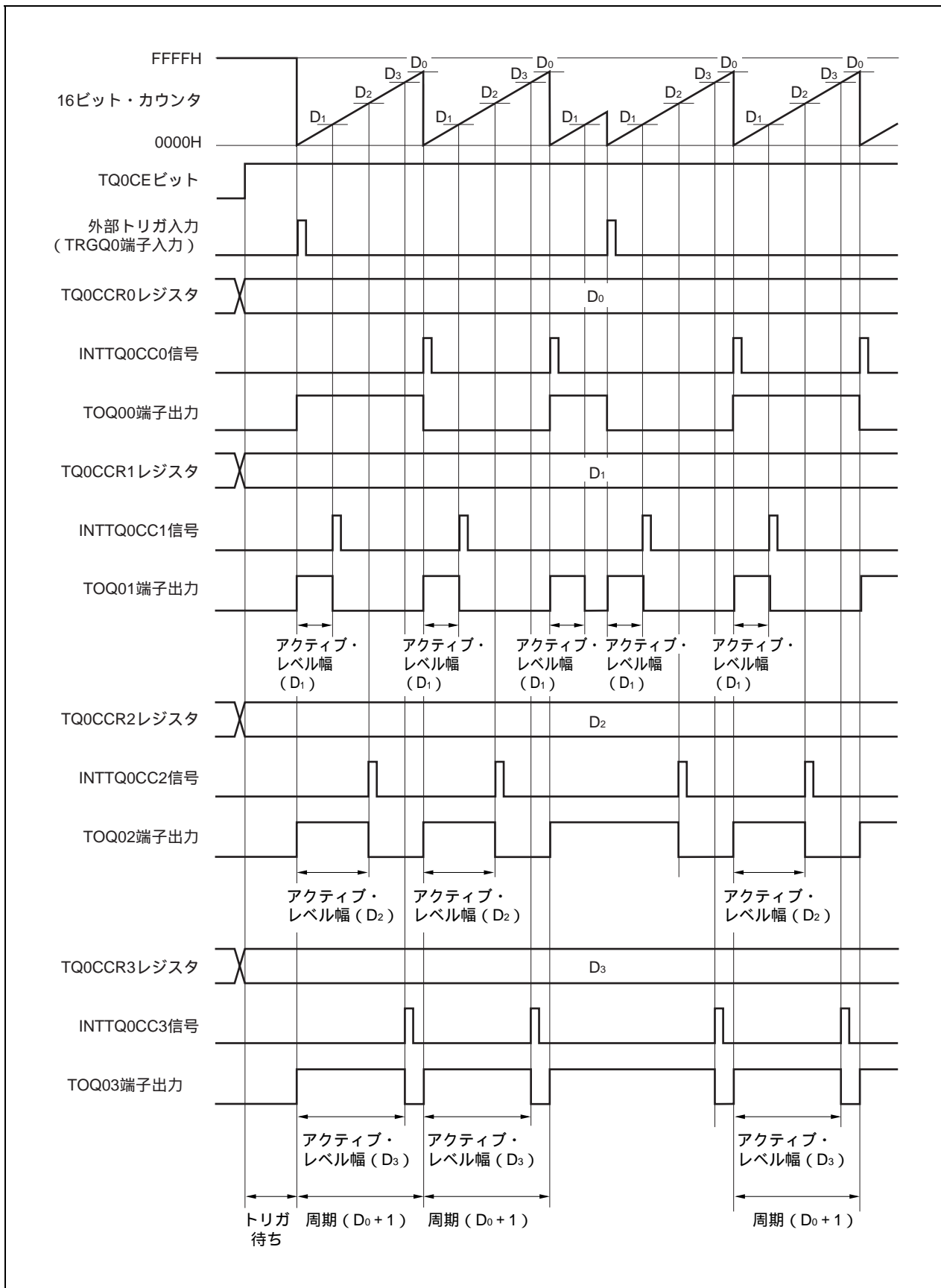


図7-22 外部トリガ・パルス出力モードの基本タイミング



TQ0CEビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ00b端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします (TQ000端子出力は反転します。TQ00b端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

アクティブ・レベル幅 = (TQ0CCRbレジスタの設定値) × カウント・クロック周期

周期 = (TQ0CCR0レジスタの設定値 + 1) × カウント・クロック周期

デューティ = (TQ0CCRbレジスタの設定値) / (TQ0CCR0レジスタの設定値 + 1)

コンペア一致割り込み要求信号 (INTTQ0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号 (INTTQ0CCb) は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値が一致するタイミングで発生します。

TQ0CCRaレジスタに設定した値は、16ビット・カウンタのカウント値とCCRaバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRaバッファ・レジスタに転送されます。

トリガには、外部トリガ入力 (TRGQ0) の有効エッジ、またはソフトウェア・トリガ (TQ0CTL1.TQ0ESTビット) のセット (1) があります。

備考 a = 0-3

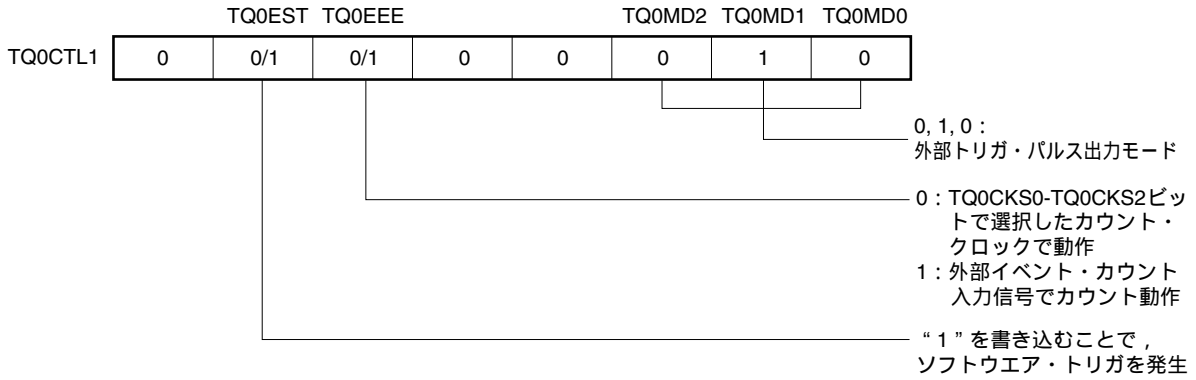
b = 1-3

図7 - 23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/3)

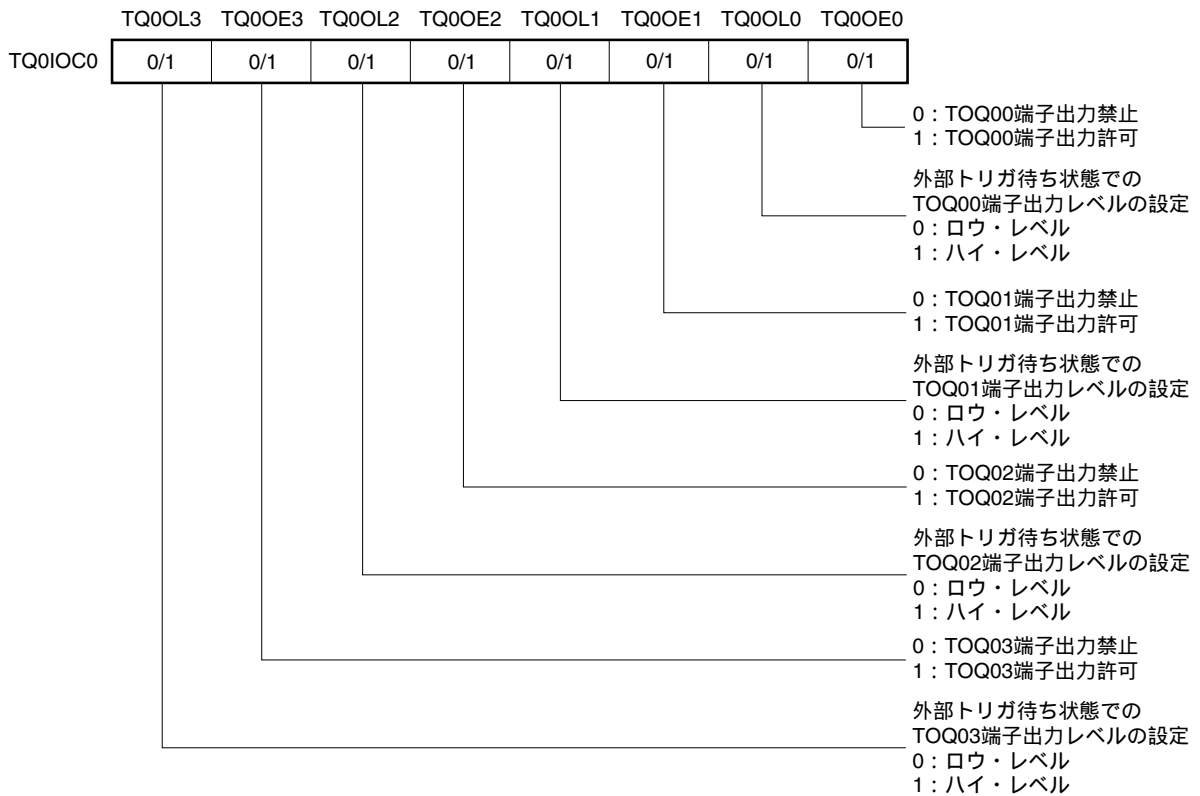


図7 - 23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

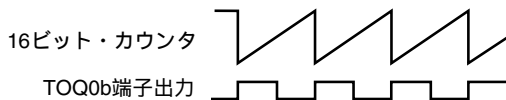
(b) TMQ0制御レジスタ1 (TQ0CTL1)



(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)



・ TQ0OLbビット = 0の場合



・ TQ0OLbビット = 1の場合

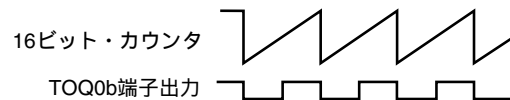
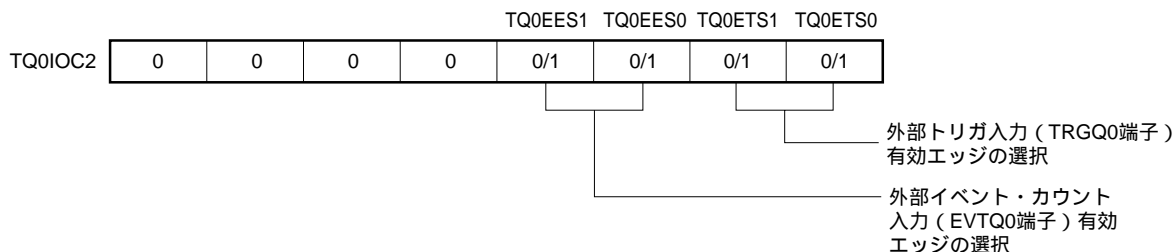


図7 - 23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)

(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)



(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタにD₀を設定し、TQ0CCR1レジスタにD₁を、TQ0CCR2レジスタにD₂を、TQ0CCR3レジスタにD₃を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOQ01端子からのPWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOQ02端子からのPWM波形のアクティブ・レベル幅} = D_2 \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOQ03端子からのPWM波形のアクティブ・レベル幅} = D_3 \times \text{カウント} \cdot \text{クロック周期}$$

となります。

備考1. TMQ0I/O制御レジスタ1 (TQ0IOC1)、TMQ0オプション・レジスタ0 (TQ0OPT0) は、外部トリガ・パルス出力モードでは使用しません。

2. b = 1-3

(1) 外部トリガ・パルス出力モード動作フロー

図7-24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

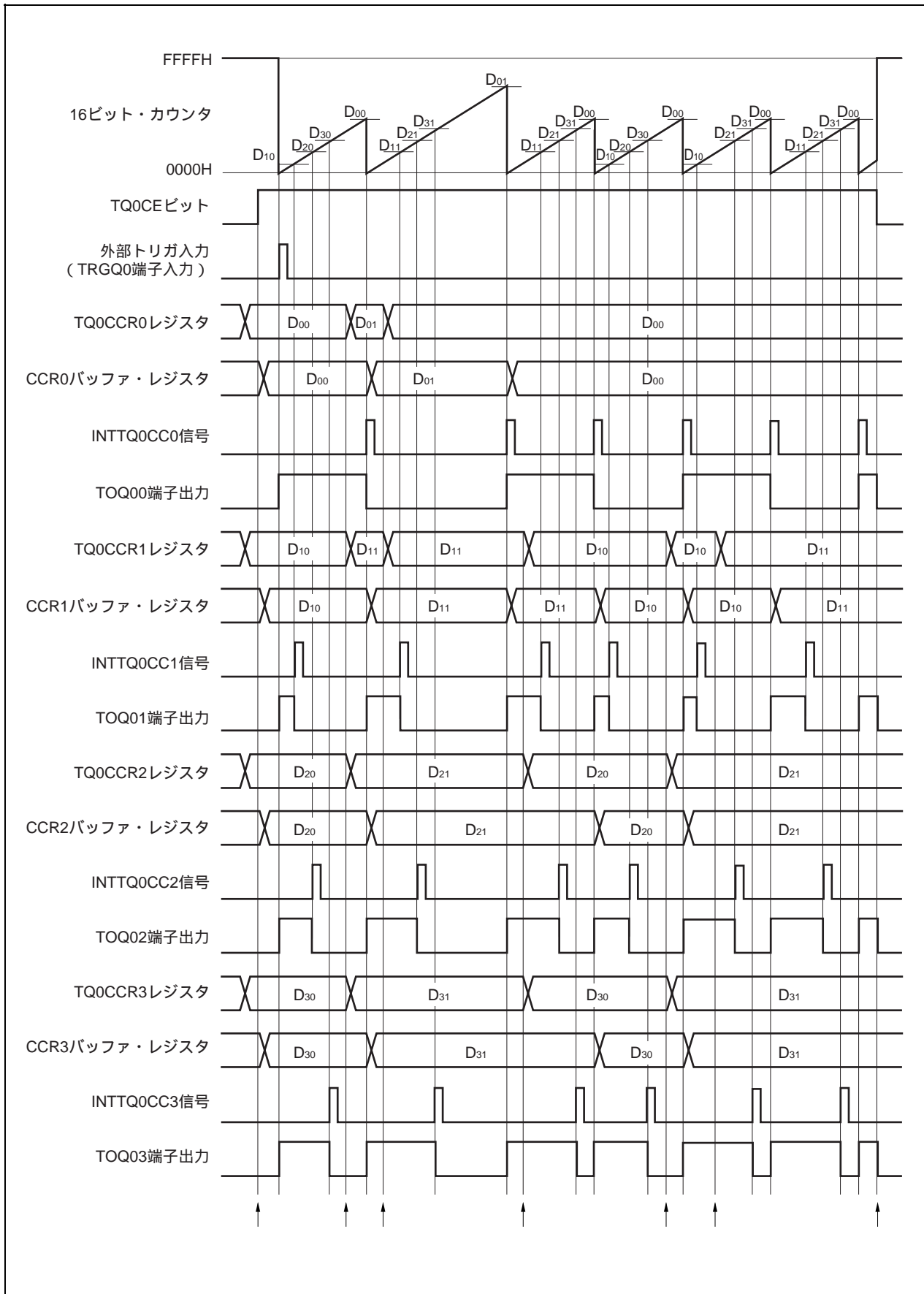
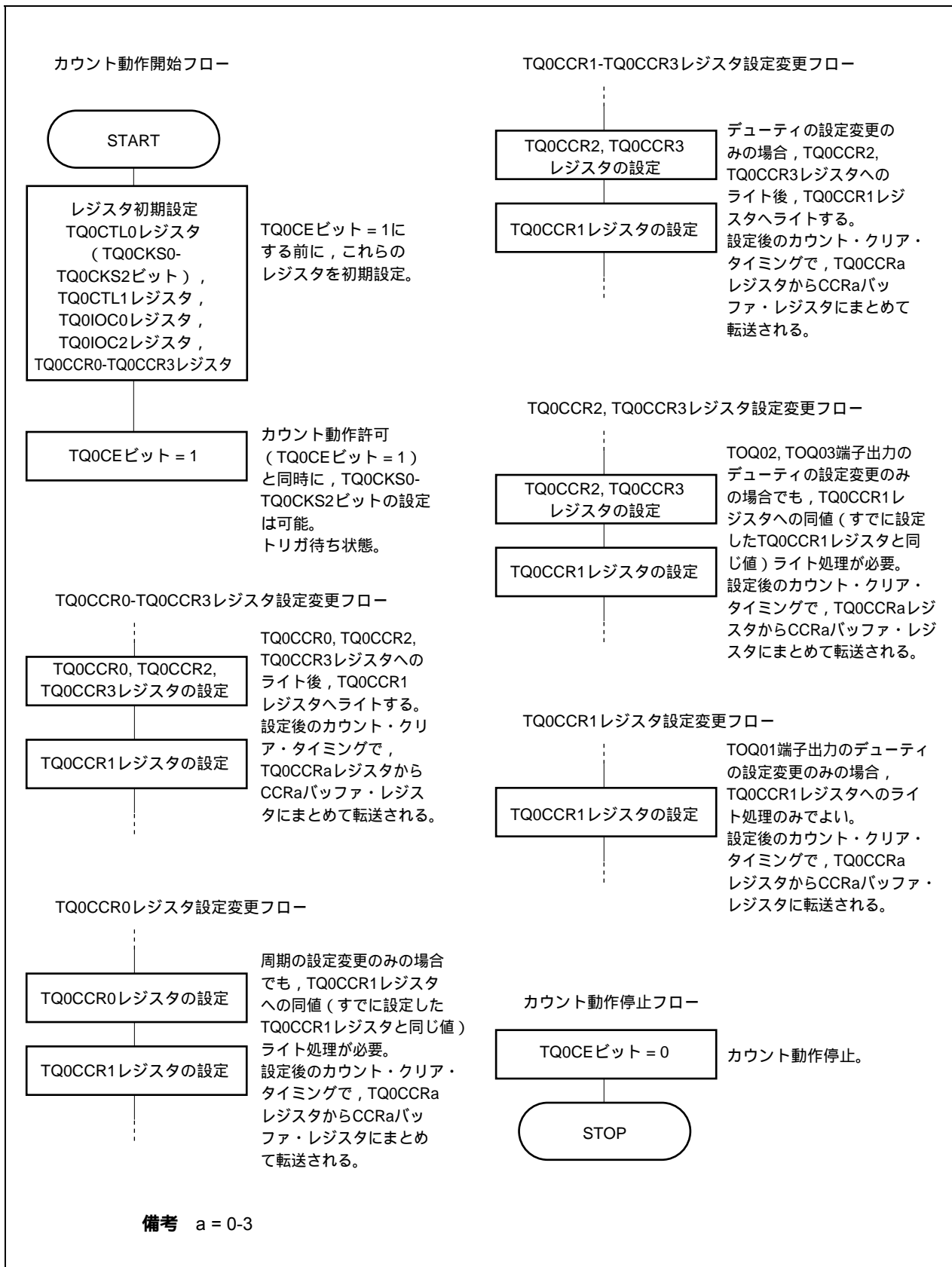


図7-24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)



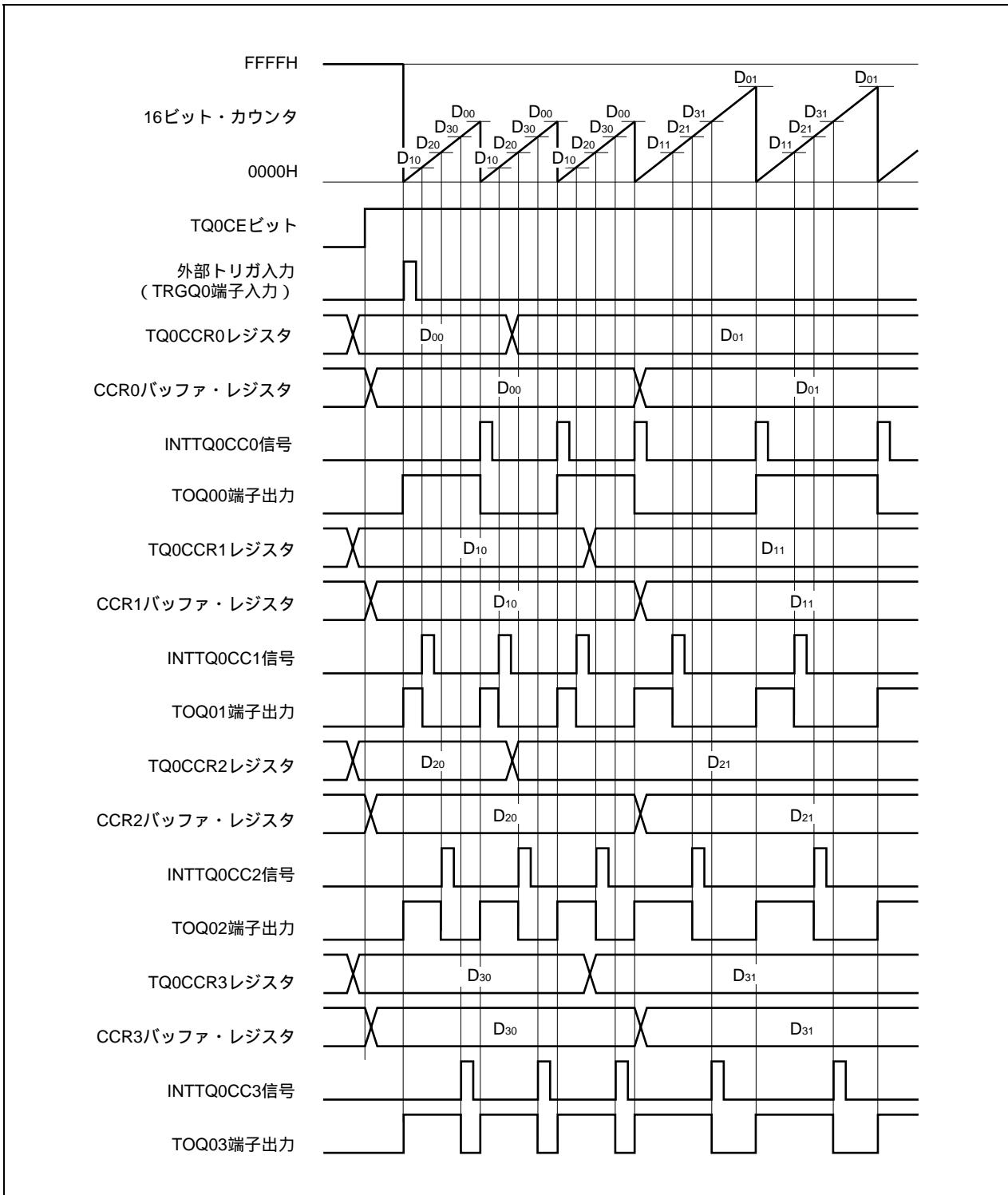
(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後、再度TQ0CCRBレジスタの書き換えを行う場合には、INTTQ0CC0信号を検出後に書き換えてください。

備考 b = 1-3



TQ0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TQ0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQ0CCR0レジスタに周期を、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTQ0CCR0レジスタに周期を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合には、まず、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

TOQ01端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TQ0CCR1レジスタのみの設定でかまいません。

TOQ02, TOQ03端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、まずTQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

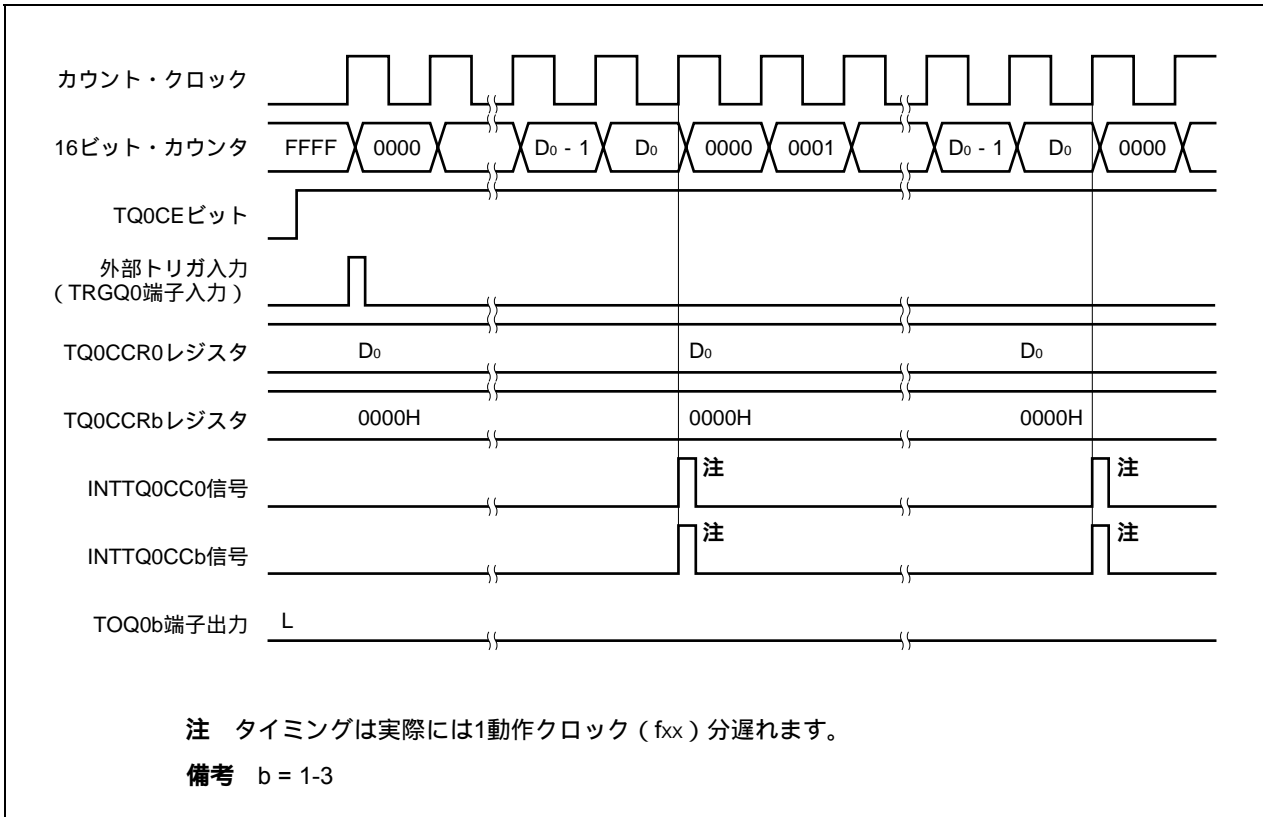
TQ0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQ0CCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TQ0CCR1レジスタにライトしたあとで、再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は、INTTQ0CC0信号の発生後に行ってください。これを守れない場合には、TQ0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TQ0CCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

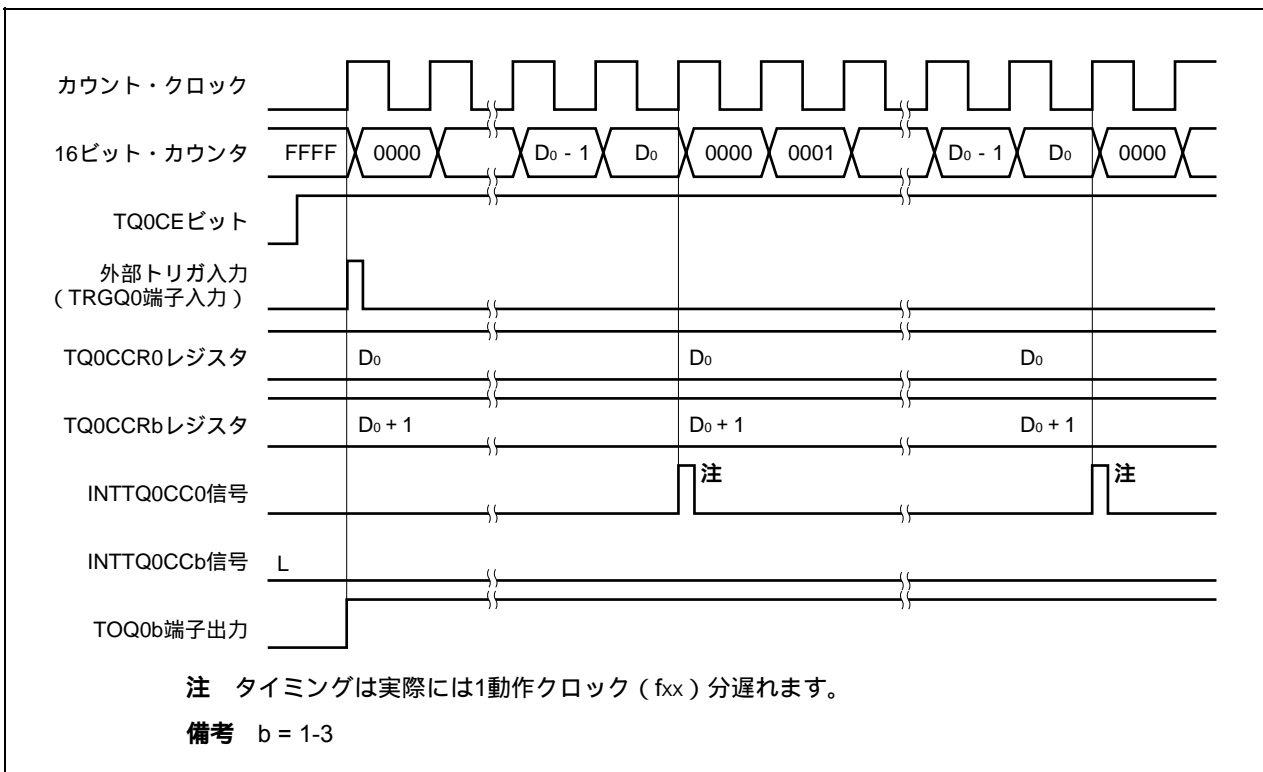
備考 a = 0-3

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TQ0CCRbレジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTQ0CC0信号とINTTQ0CCb信号が発生します。

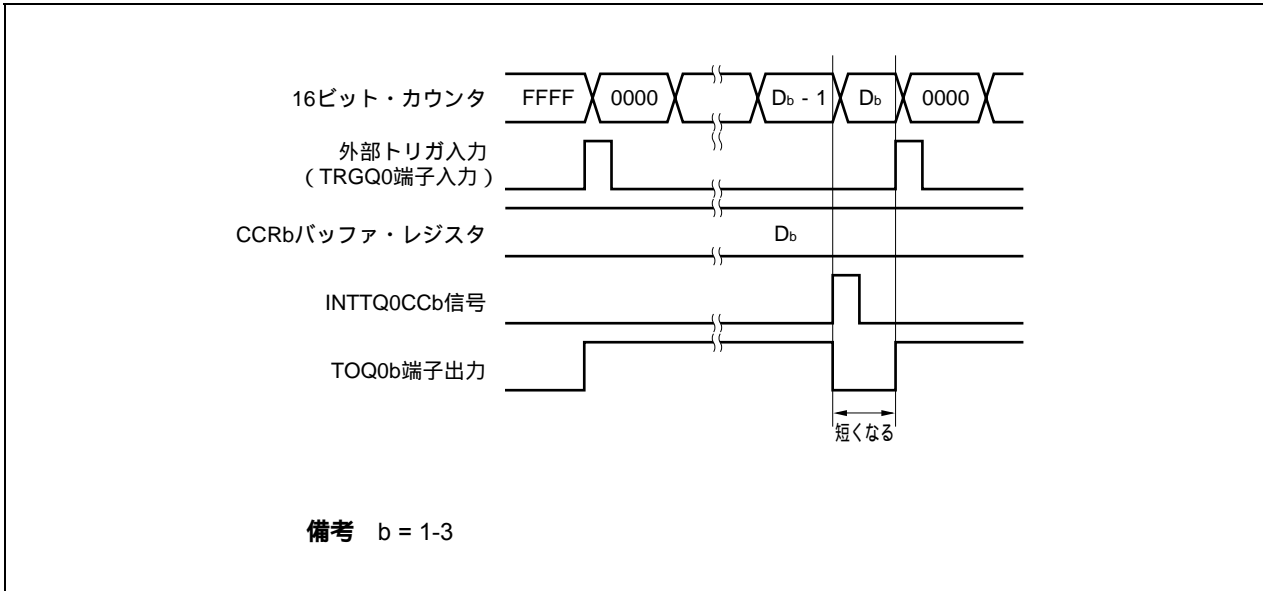


100 % 波形を出力するためには、TQ0CCRbレジスタに対して (TQ0CCR0レジスタの設定値 + 1) の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。

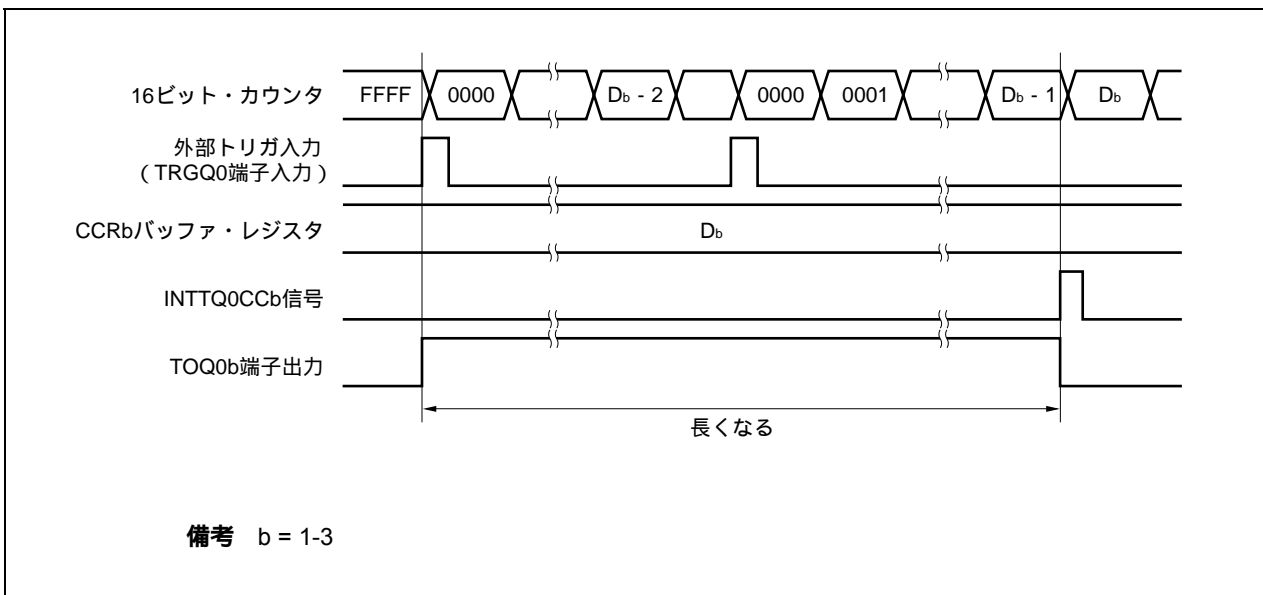


(c) トリガ検出とCCRbバッファ・レジスタとの一致の競合

INTTQ0CCb信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOQ0b端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

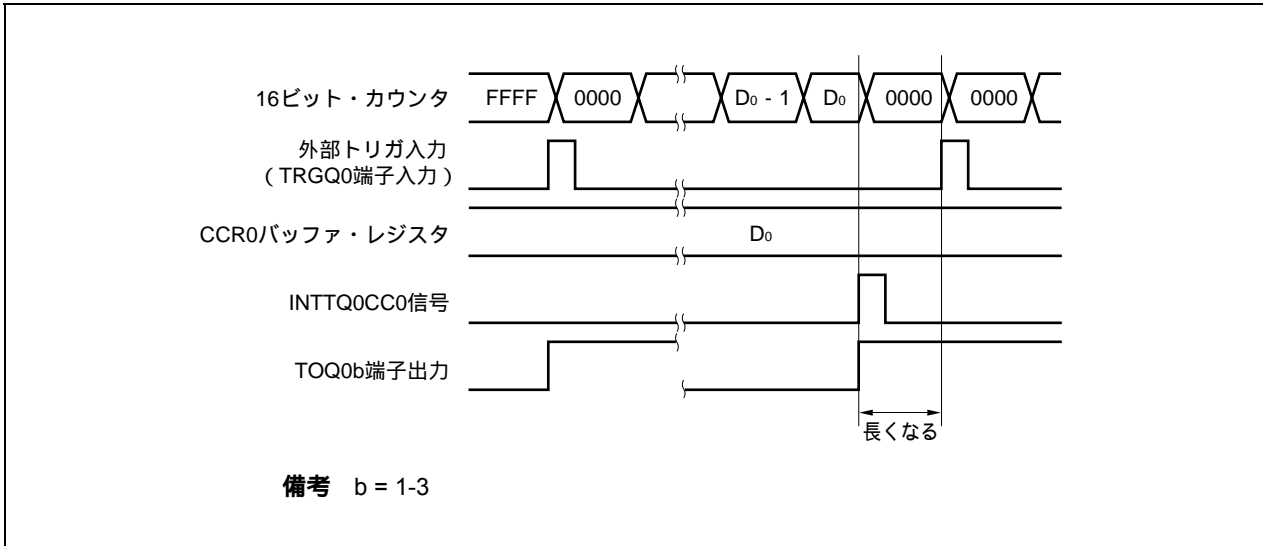


INTTQ0CCb信号発生直前にトリガを検出した場合には、INTTQ0CCb信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOQ0b端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

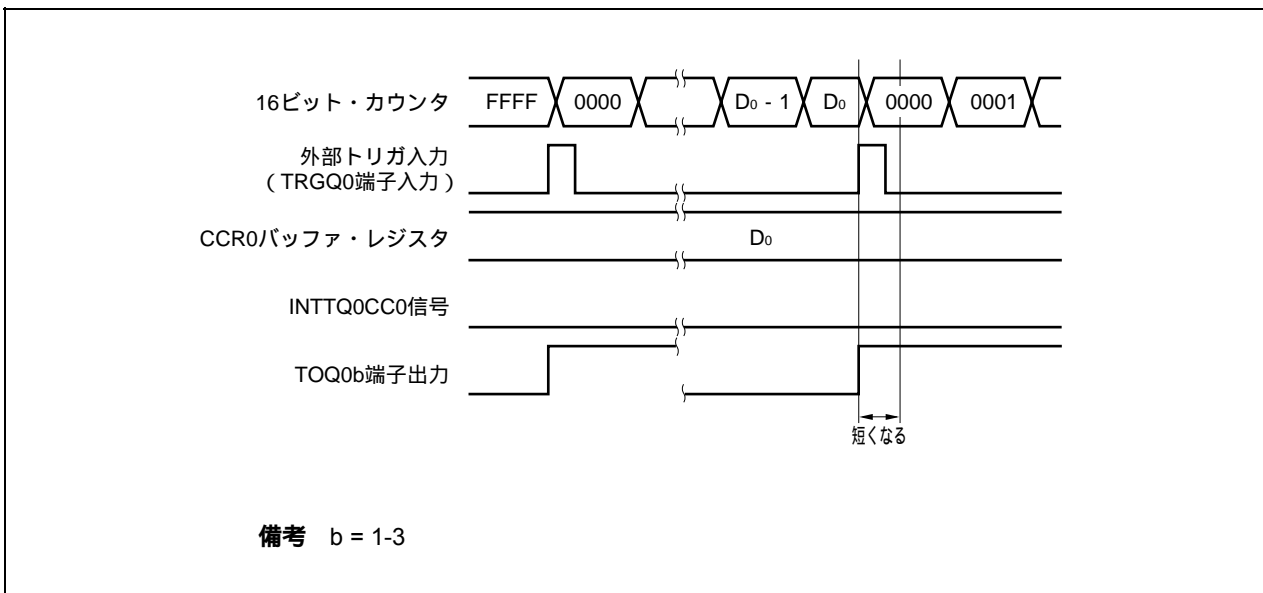


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTQ0CC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を続けます。したがって、TOQ0b端子出力のアクティブ期間が、INTTQ0CC0信号発生からトリガ検出までの分だけ長くなります。

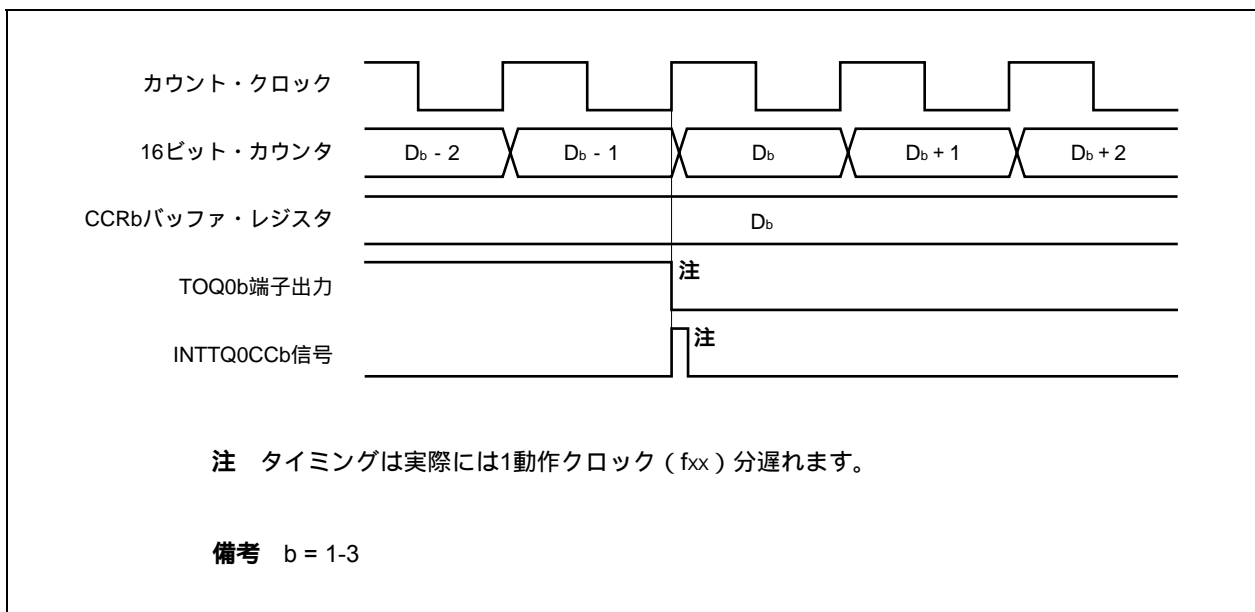


INTTQ0CC0信号発生直前にトリガを検出した場合、INTTQ0CC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOQ0b端子出力をアクティブ・レベルにして、カウント動作を続けます。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTTQ0CCb) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTQ0CCb信号の発生タイミングは、ほかのモードのINTTQ0CCb信号と異なり、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値との一致と同時に発生します。



通常、INTTQ0CCb信号は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOQ0b端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.6.4 ワンショット・パルス出力モード (TQ0MD2-TQ0MD0ビット = 011)

TMQ0のみ有効です。

ワンショット・パルス出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力 (TRGQ0) の有効エッジを検出すると、カウント動作を開始し、TOQ01-TOQ03端子からワンショット・パルスを出力します。TOQ00端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。

図7-25 ワンショット・パルス出力モードの構成図

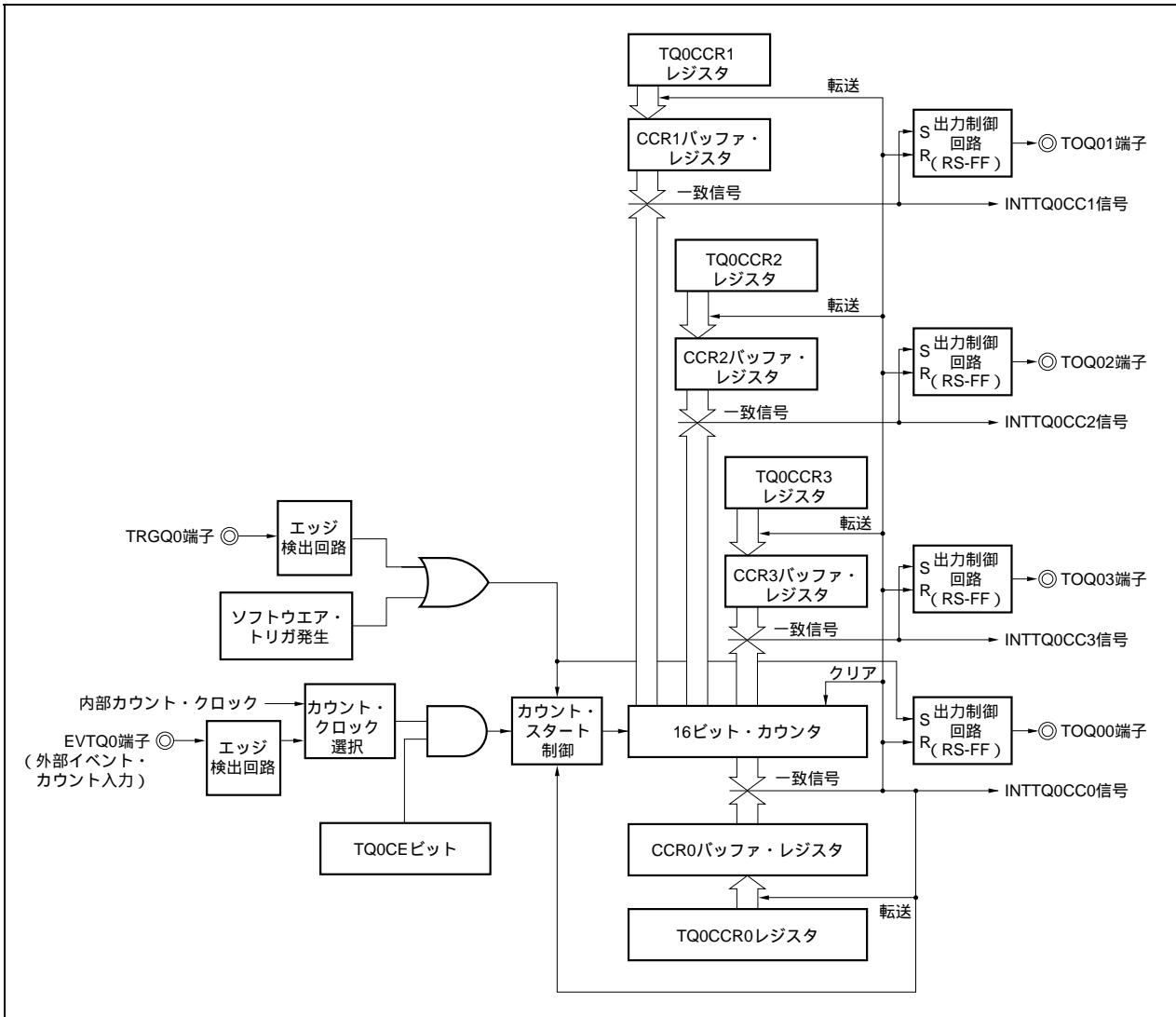
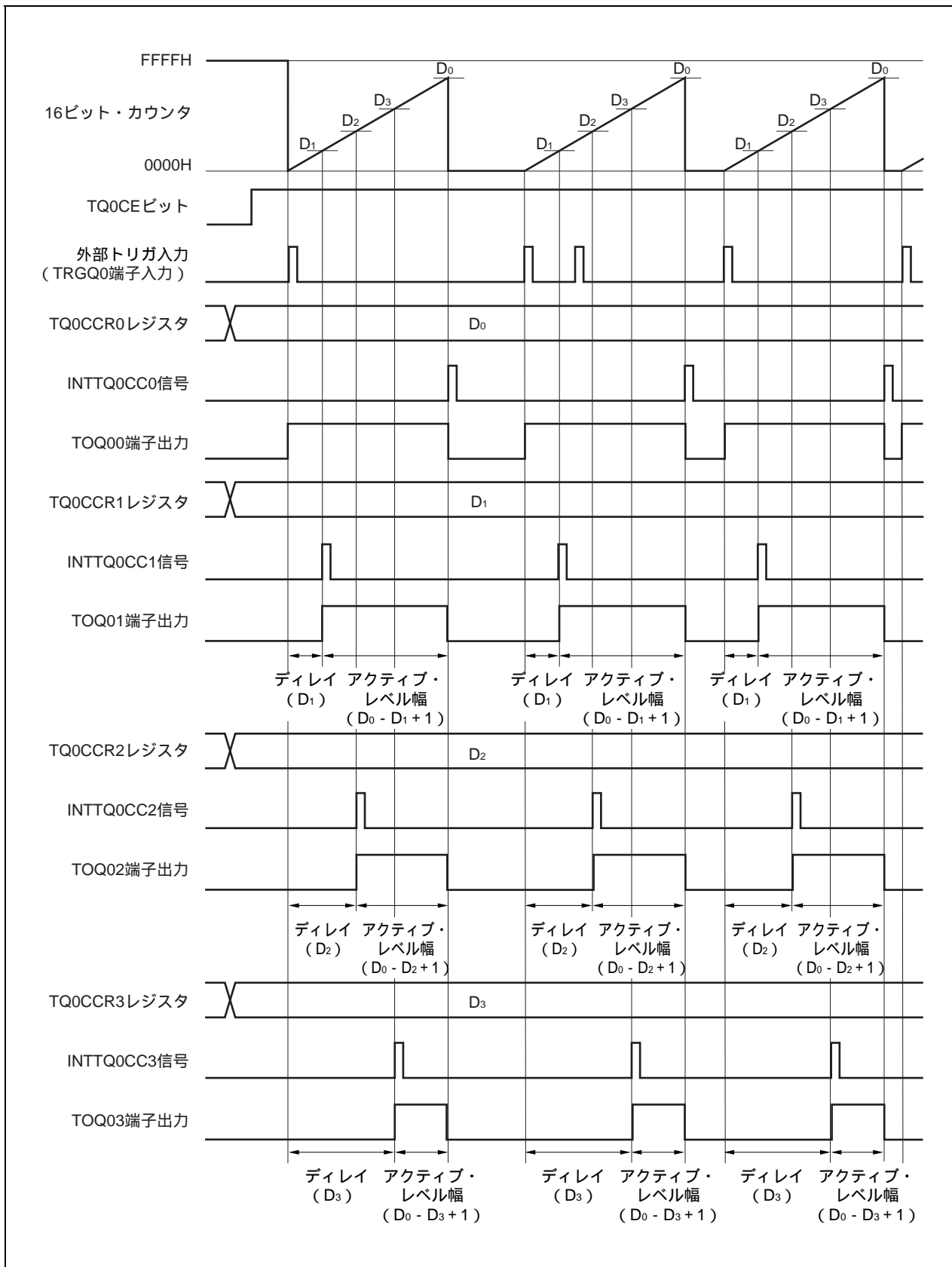


図7-26 ワンショット・パルス出力モードの基本タイミング



TQ0CEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ0Cb端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hよりカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力ディレイ期間} = (\text{TQ0CCRbレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{アクティブ・レベル幅} = (\text{TQ0CCR0レジスタの設定値} - \text{TQ0CCRbレジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

コンペアー一致割り込み要求信号 (INTTQ0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTQ0CCb) は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (TRGQ0) の有効エッジ、またはソフトウェア・トリガ (TQ0CTL1.TQ0ESTビット) のセット(1)があります。

備考 b = 1-3

図7 - 27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/3)

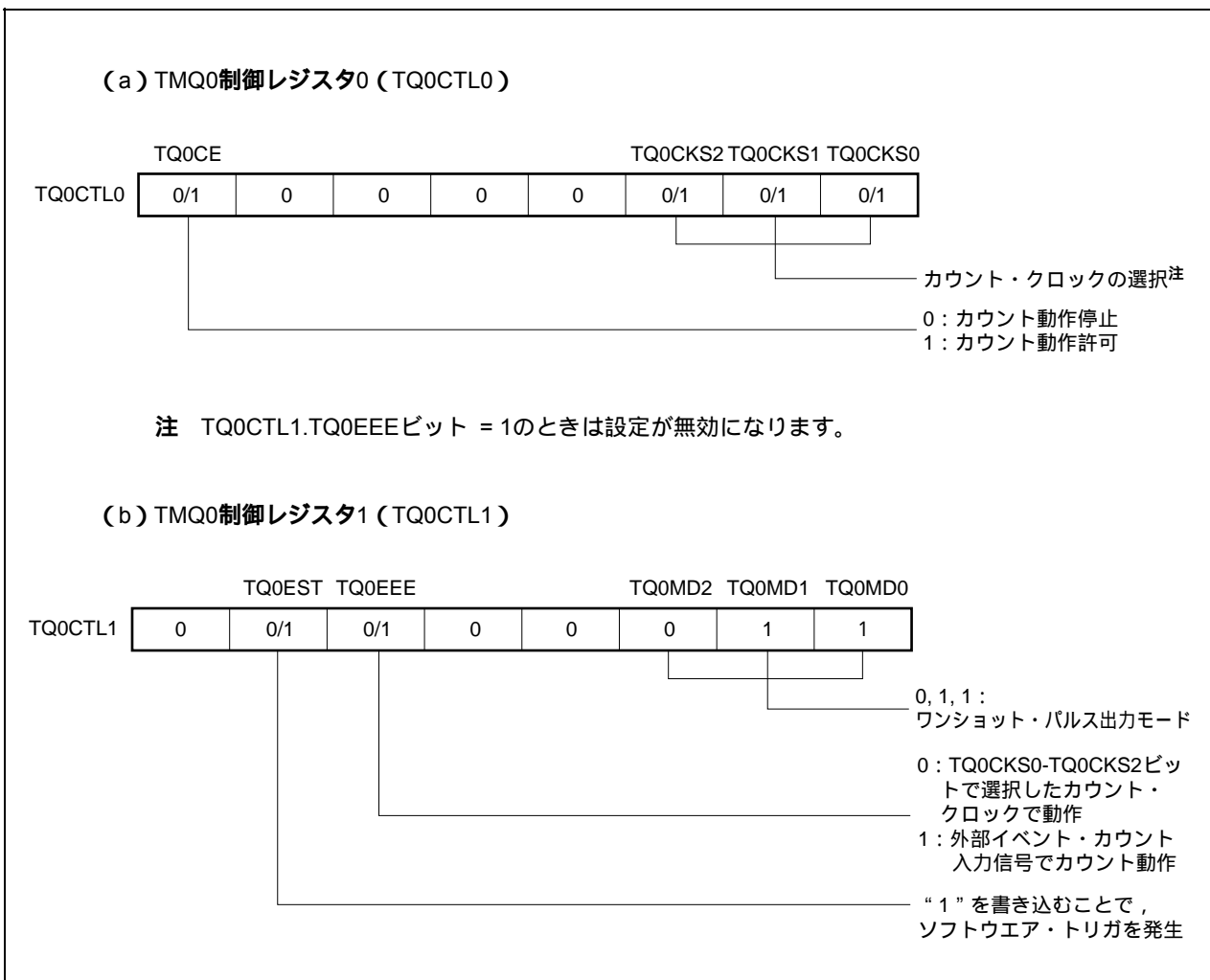


図7-27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/3)

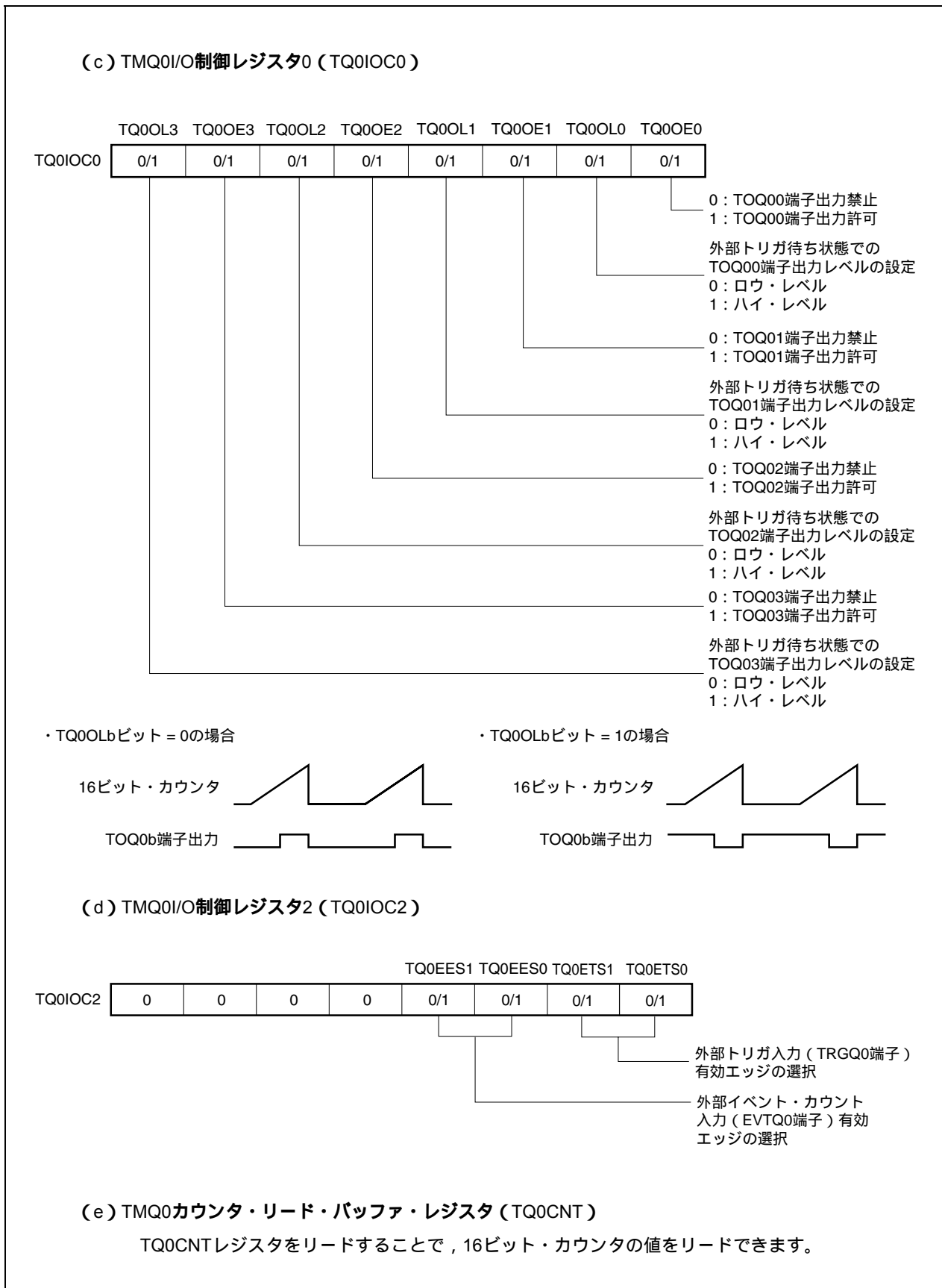


図7 - 27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (3/3)

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタにD₀を設定し, TQ0CCRBレジスタにD_bを設定した場合,

ワンショット・パルスのアクティブ・レベル幅 = (D₀ - D_b + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = D_b × カウント・クロック周期

となります。

注意 ワンショット・パルス出力モードにおいて, TQ0CCRBレジスタの設定値が, TQ0CCR0レジスタの設定値より大きい場合, ワンショット・パルスは出力しません。

備考1. TMQ0I/O制御レジスタ1 (TQ0IOC1), TMQ0オプション・レジスタ0 (TQ0OPT0) は, ワンショット・パルス出力モードでは使用しません。

2. b = 1-3

(1) ワンショット・パルス出力モード動作フロー

図7-28 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (1/2)

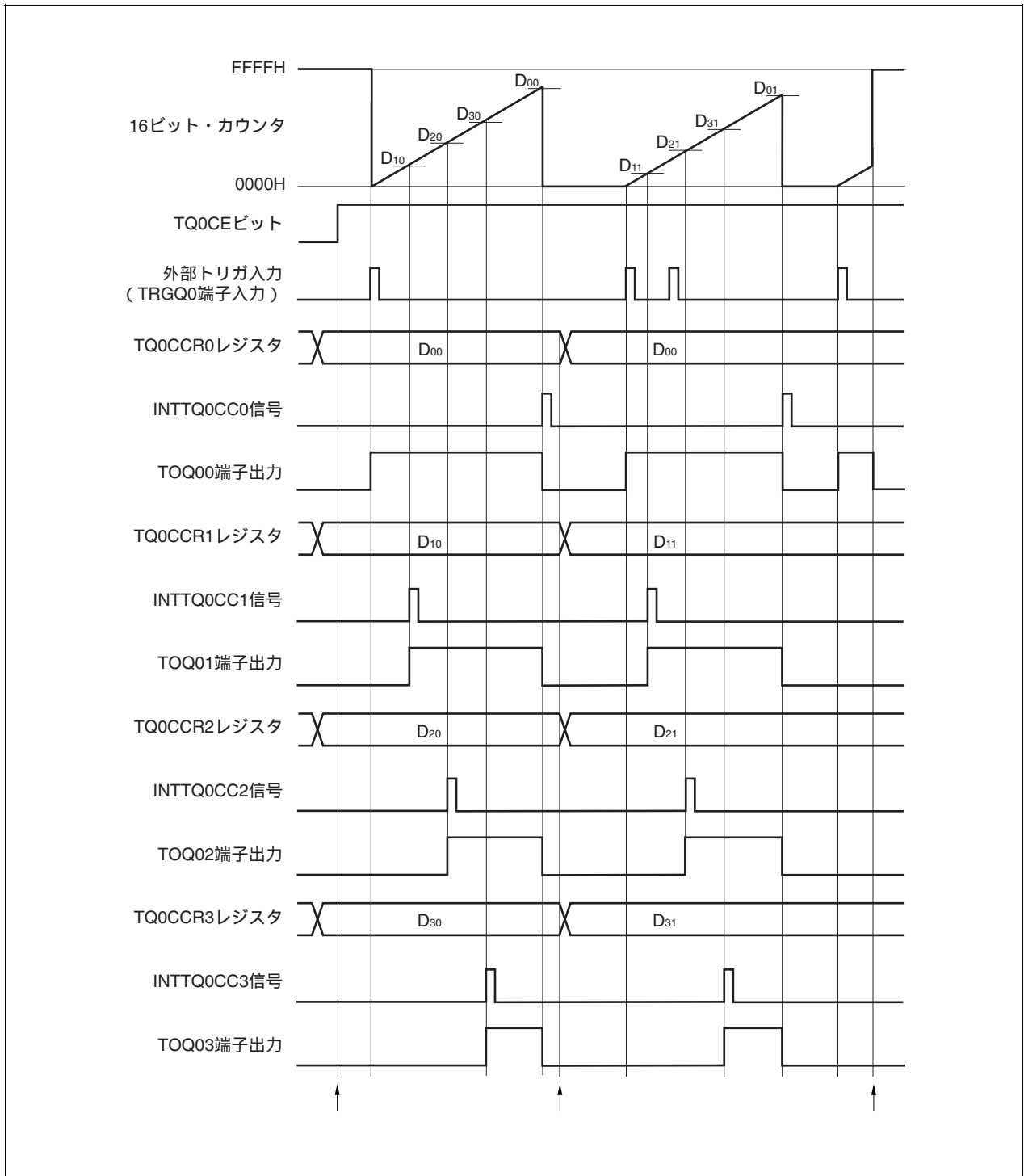
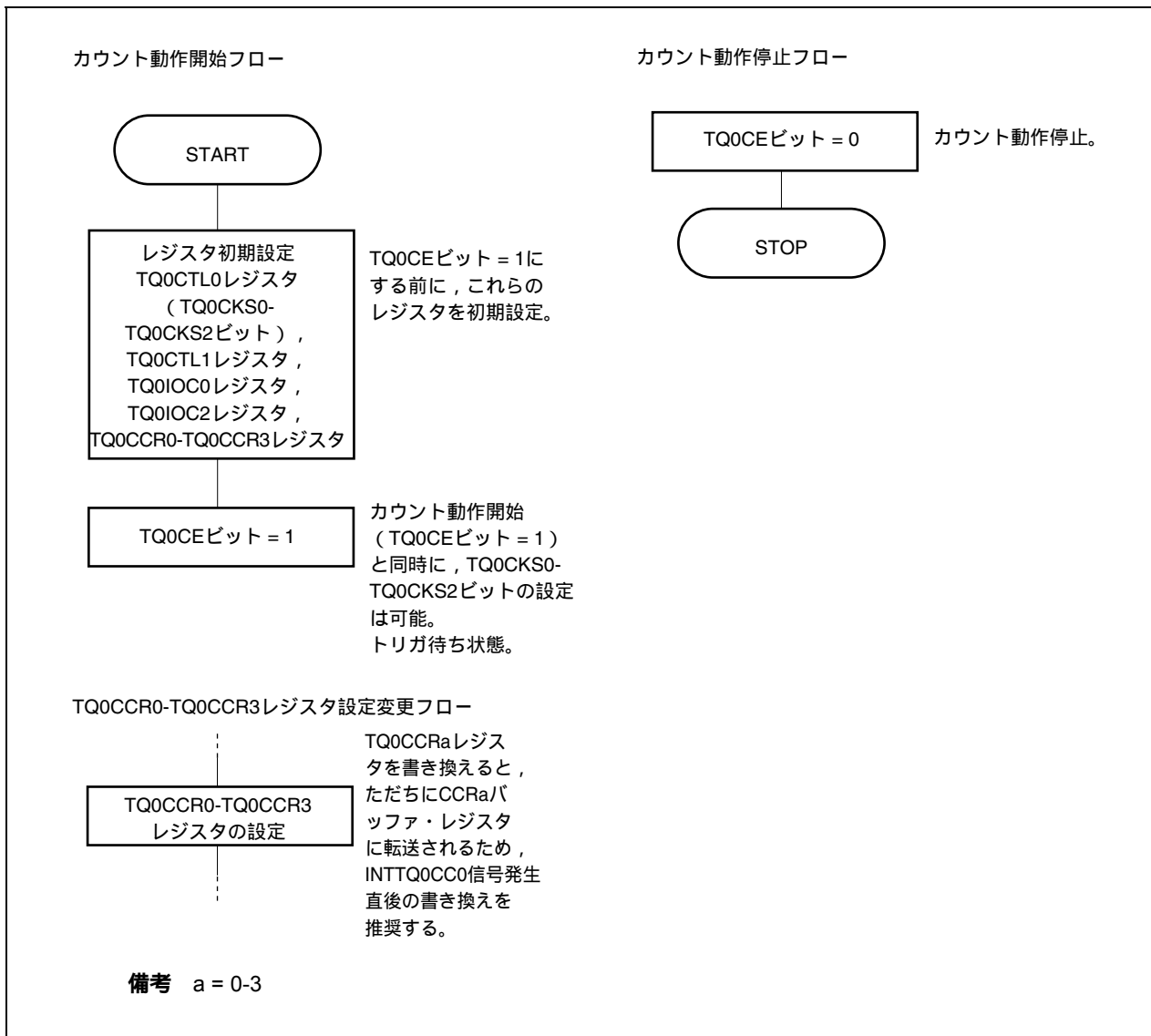


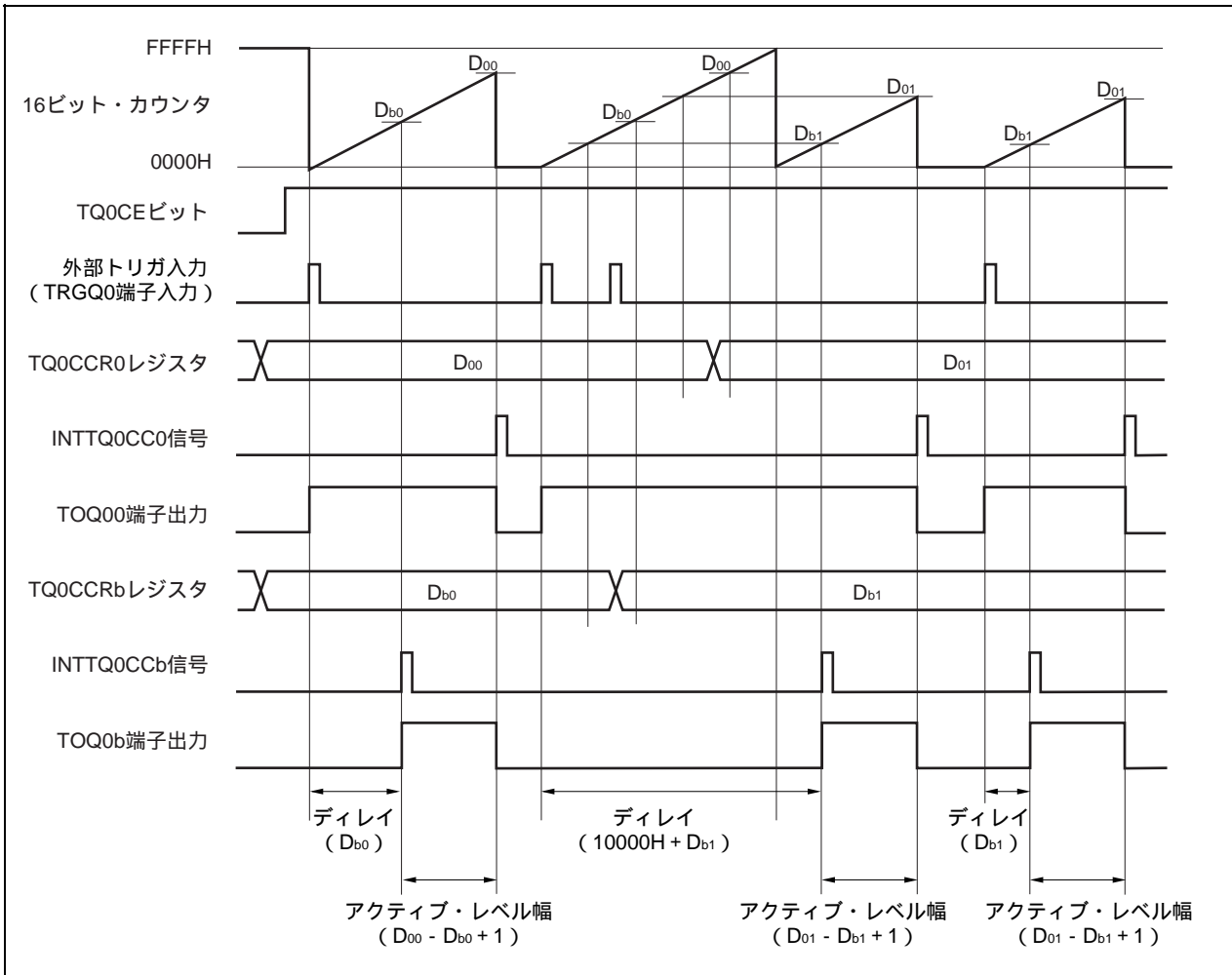
図7-28 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (2/2)



(2) ワンショット・パルス出力モード動作タイミング

(a) TQ0CCRaレジスタの書き換えに関する注意事項

カウント動作中にTQ0CCRaレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



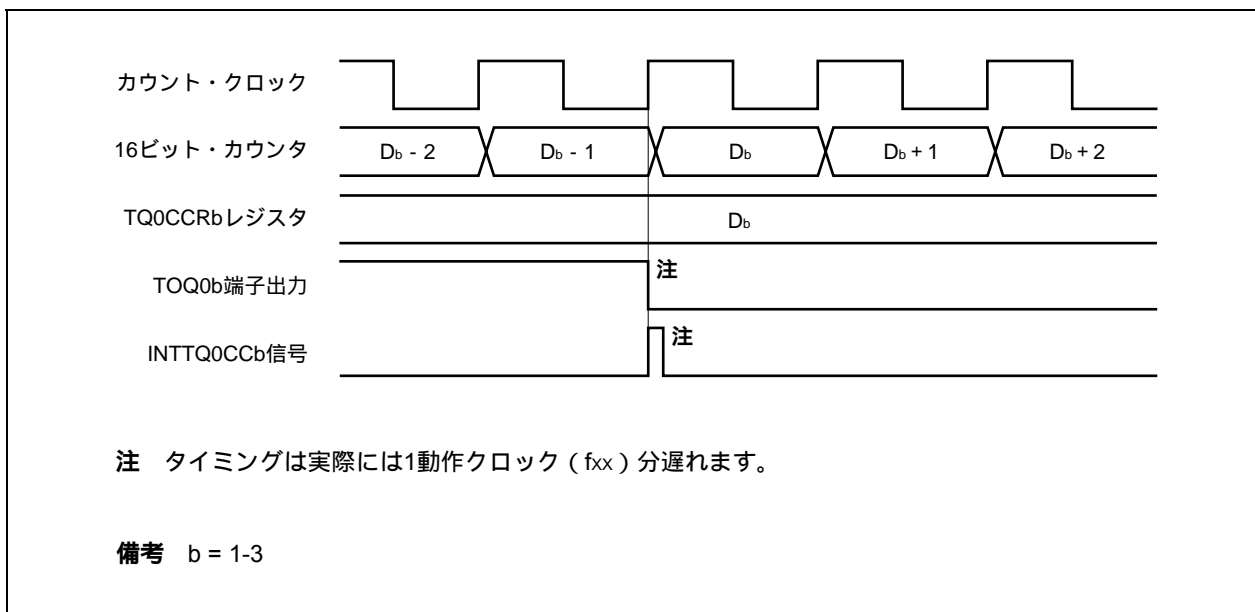
TQ0CCR0レジスタをD₀₀からD₀₁に、TQ0CCRBレジスタをD₀₀からD₀₁に書き換える場合において、D₀₀ > D₀₁, D₀₀ > D₀₁の状態では、16ビット・カウンタのカウンタ値がD₀₁よりも大きくD₀₀よりも小さい状態のときTQ0CCRBレジスタを書き換え、カウンタ値がD₀₁よりも大きくD₀₀よりも小さい状態でTQ0CCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウンタ値と比較されるために、カウンタ値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D₀₁との一致でINTTQ0CCb信号を発生してTOQ0b端子出力をアクティブ・レベルにし、D₀₁との一致でINTTQ0CC0信号を発生してTOQ0b端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 a = 0-3, b = 1-3

(b) コンペアー一致割り込み要求信号 (INTTQ0CCb) の発生タイミング

ワンショット・パルス出力モードにおけるINTTQ0CCb信号の発生タイミングは、ほかのモードのINTTQ0CCb信号と異なり、16ビット・カウンタのカウント値とTQ0CCRbレジスタの値との一致と同時に発生します。



通常 ,INTTQ0CCb信号は ,16ビット・カウンタのカウント値とTQ0CCRbレジスタの値との一致後 , 次のカウント・アップに同期して発生します。

しかし ,ワンショット・パルス出力モードの場合 ,1クロック早いタイミングで発生します。これは , TOQ0b端子出力の変化タイミングとあわせるために , タイミングを変更しているからです。

7.6.5 PWM出力モード (TQ0MD2-TQ0MD0ビット = 100)

TMQ0のみ有効です。

PWM出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することで、TOQ01-TOQ03端子からPWM波形を出力します。

また、TOQ00端子から、TQ0CCR0レジスタの設定値+1を半周期とする50%デューティのPWM波形を出力します。

図7-29 PWM出力モードの構成図

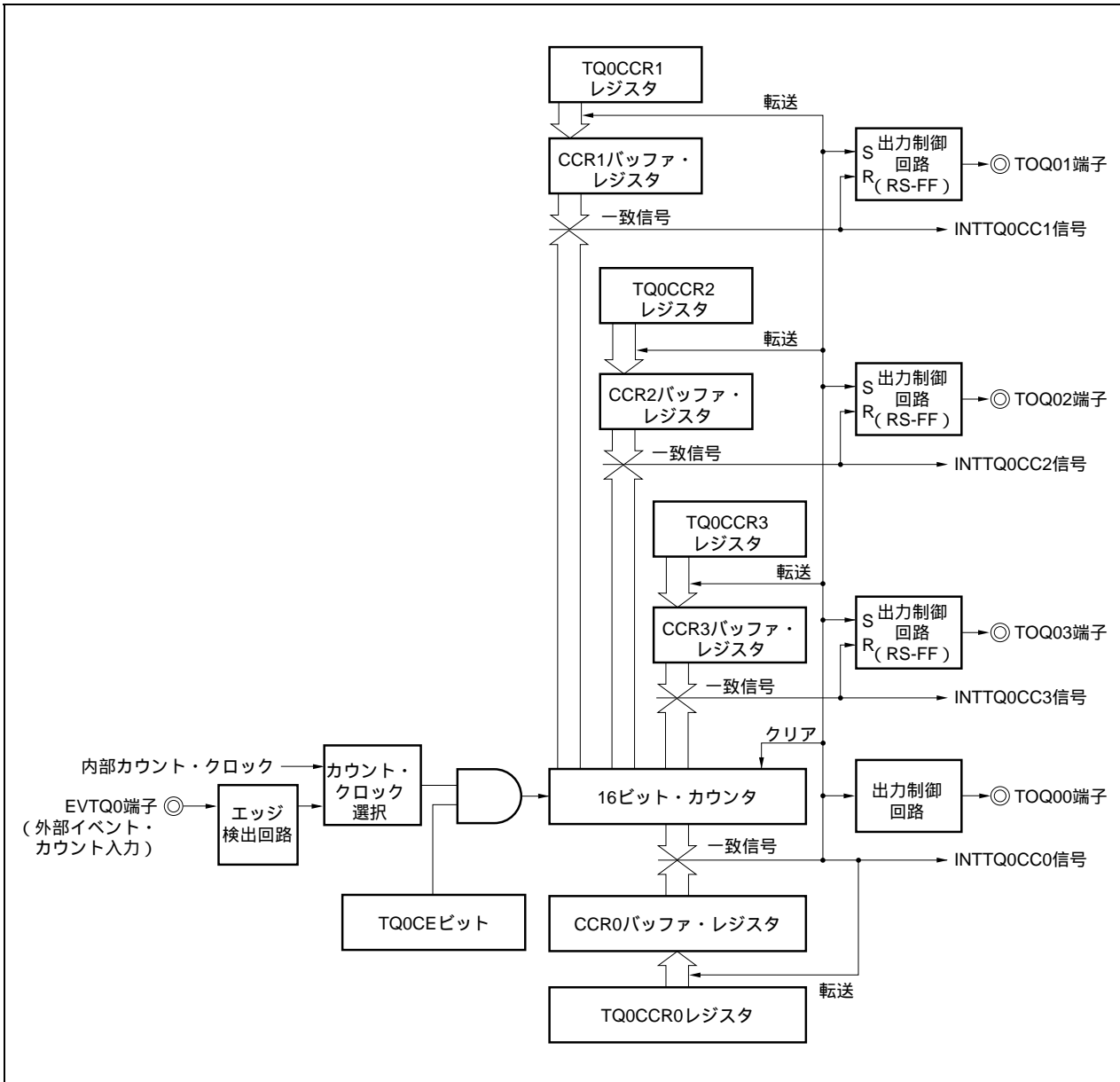
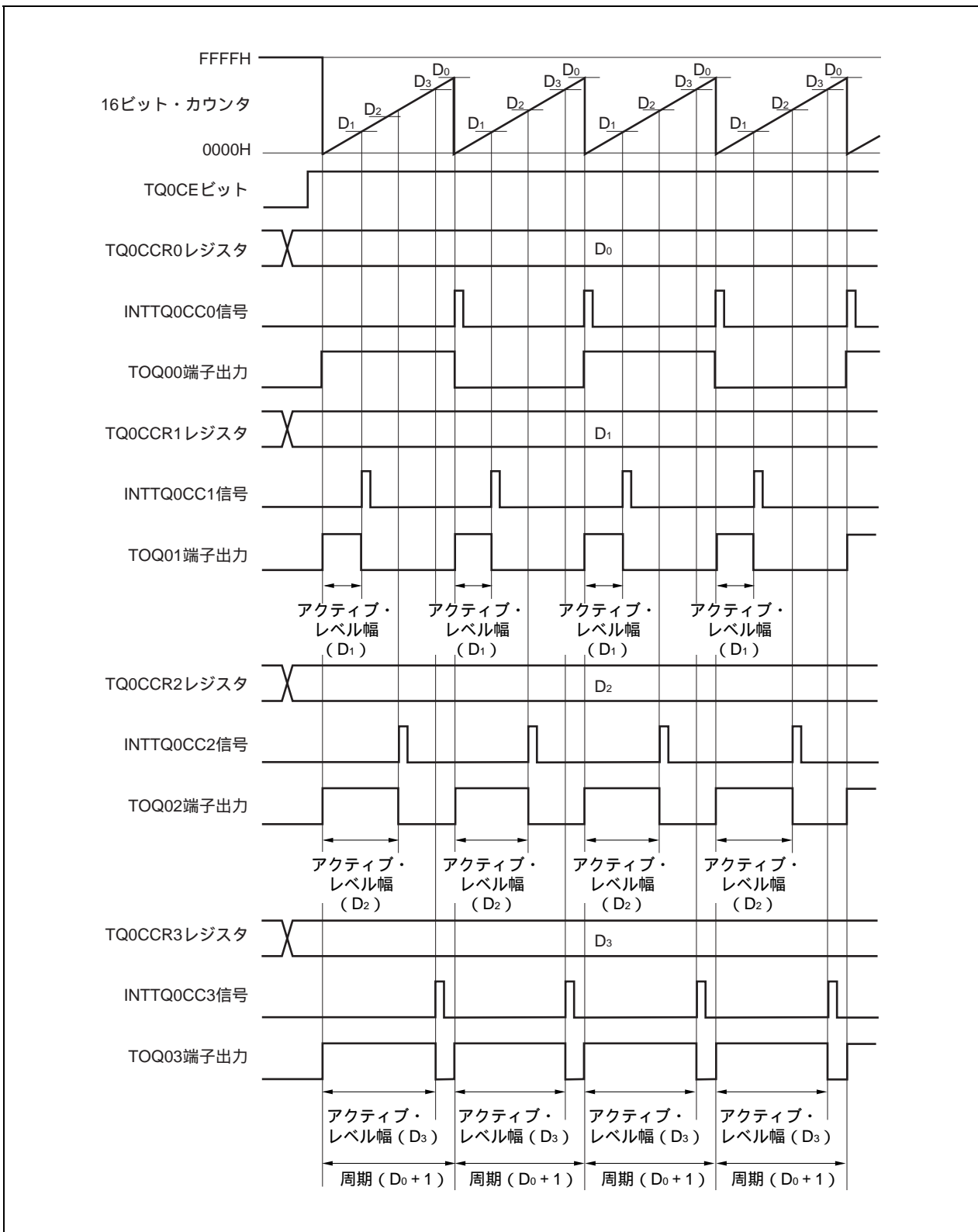


図7-30 PWM出力モードの基本タイミング



TQ0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ0b端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅，周期，およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TQ0CCRbレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TQ0CCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TQ0CCRbレジスタの設定値}) / (\text{TQ0CCR0レジスタの設定値} + 1)$$

動作中にTQ0CCRaレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTTQ0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTQ0CCb) は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値が一致するタイミングで発生します。

備考 a = 0-3

b = 1-3

図7 - 31 PWM出力モード動作時のレジスタ設定内容 (1/3)

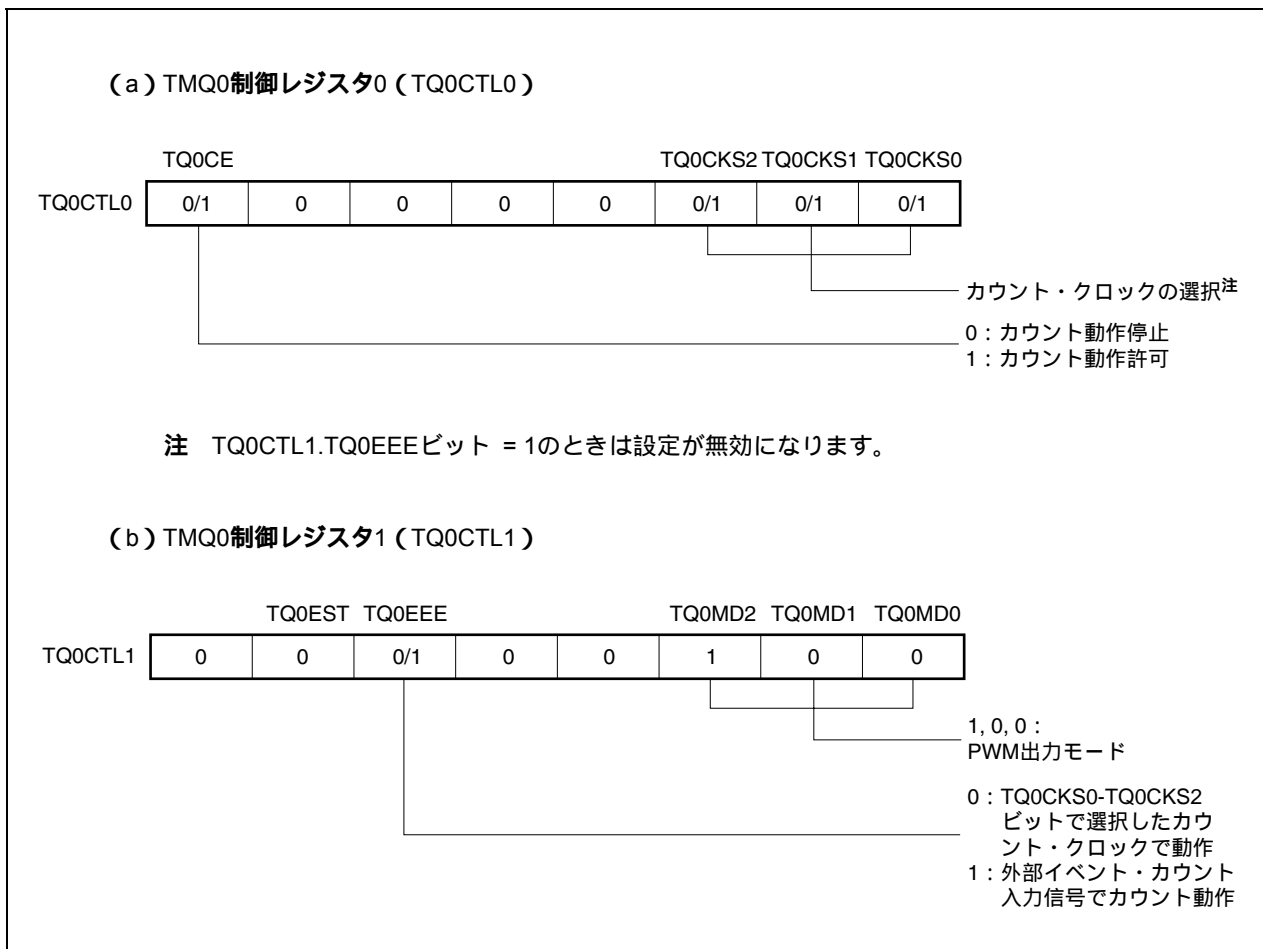


図7 - 31 PWM出力モード動作時のレジスタ設定内容 (2/3)

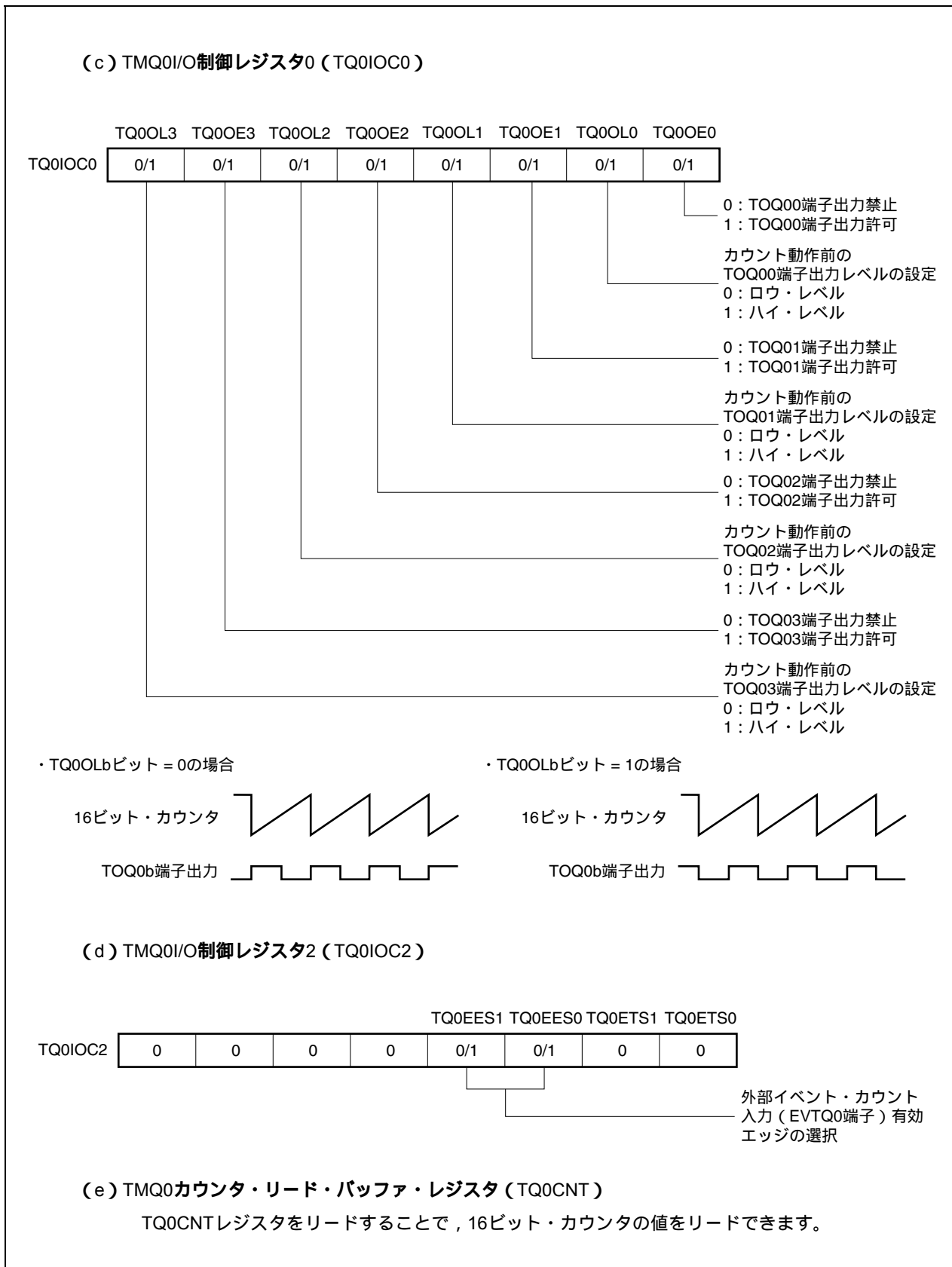


図7 - 31 PWM出力モード動作時のレジスタ設定内容 (3/3)

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタに D_0 を設定し, TQ0CCRbレジスタに D_b を設定した場合,

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_b \times \text{カウント} \cdot \text{クロック周期}$$

となります。

備考1. TMQ0I/O制御レジスタ1 (TQ0IOC1), TMQ0オプション・レジスタ0 (TQ0OPT0) は, PWM出力モードでは使用しません。

2. $b = 1-3$

(1) PWM出力モード動作フロー

図7 - 32 PWM出力モード使用時のソフトウェア処理フロー (1/2)

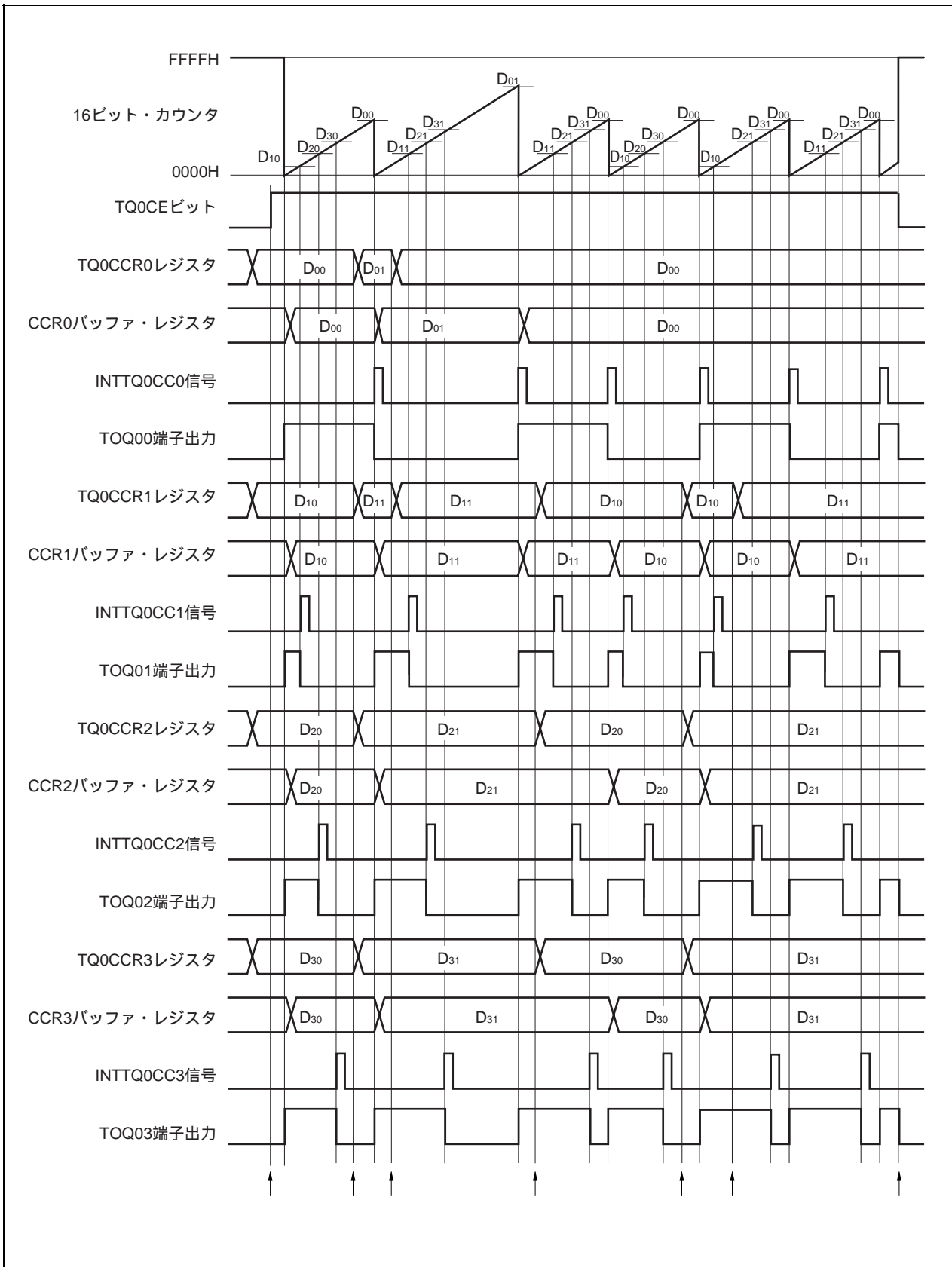
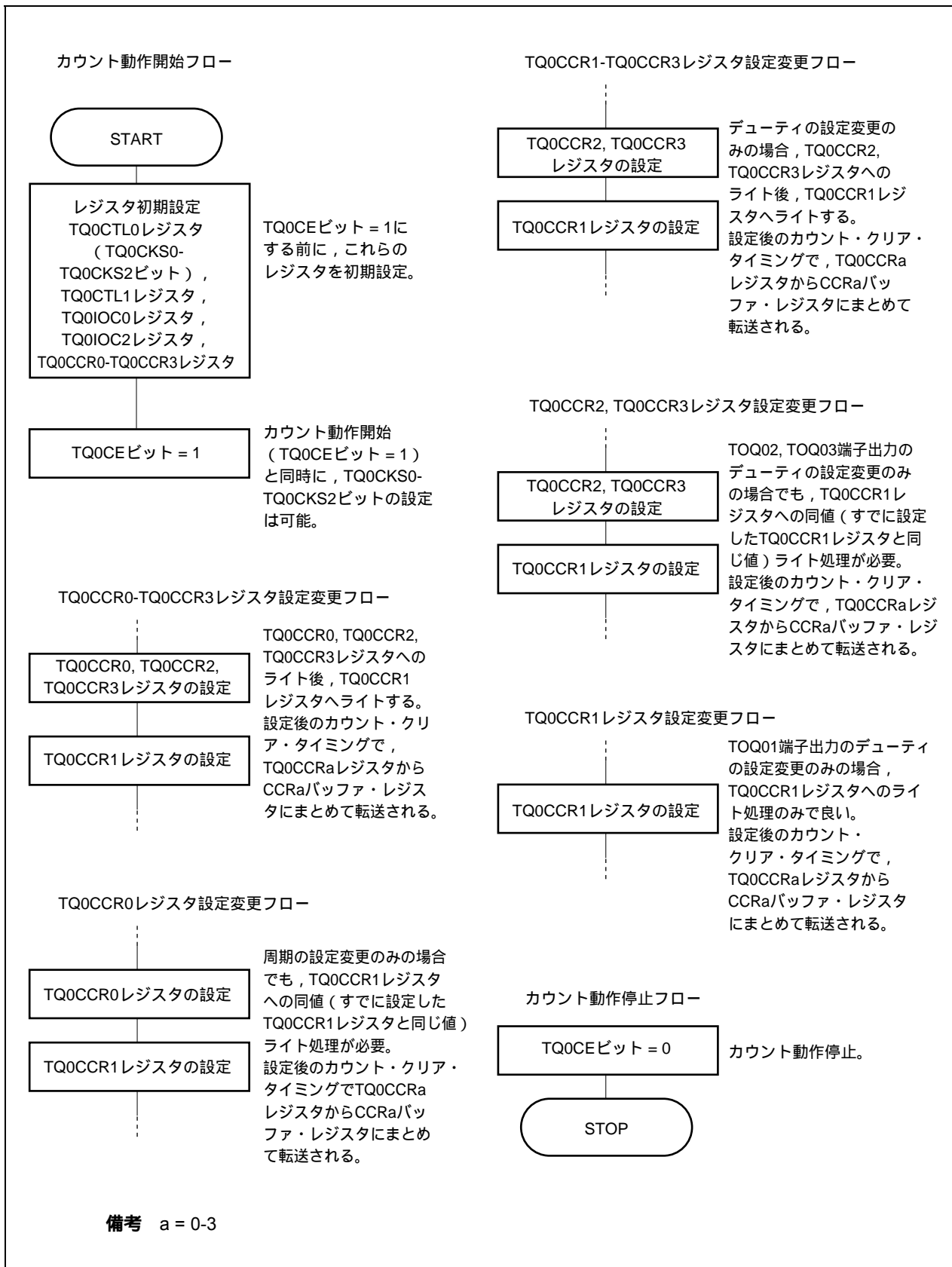


図7 - 32 PWM出力モード使用時のソフトウェア処理フロー (2/2)

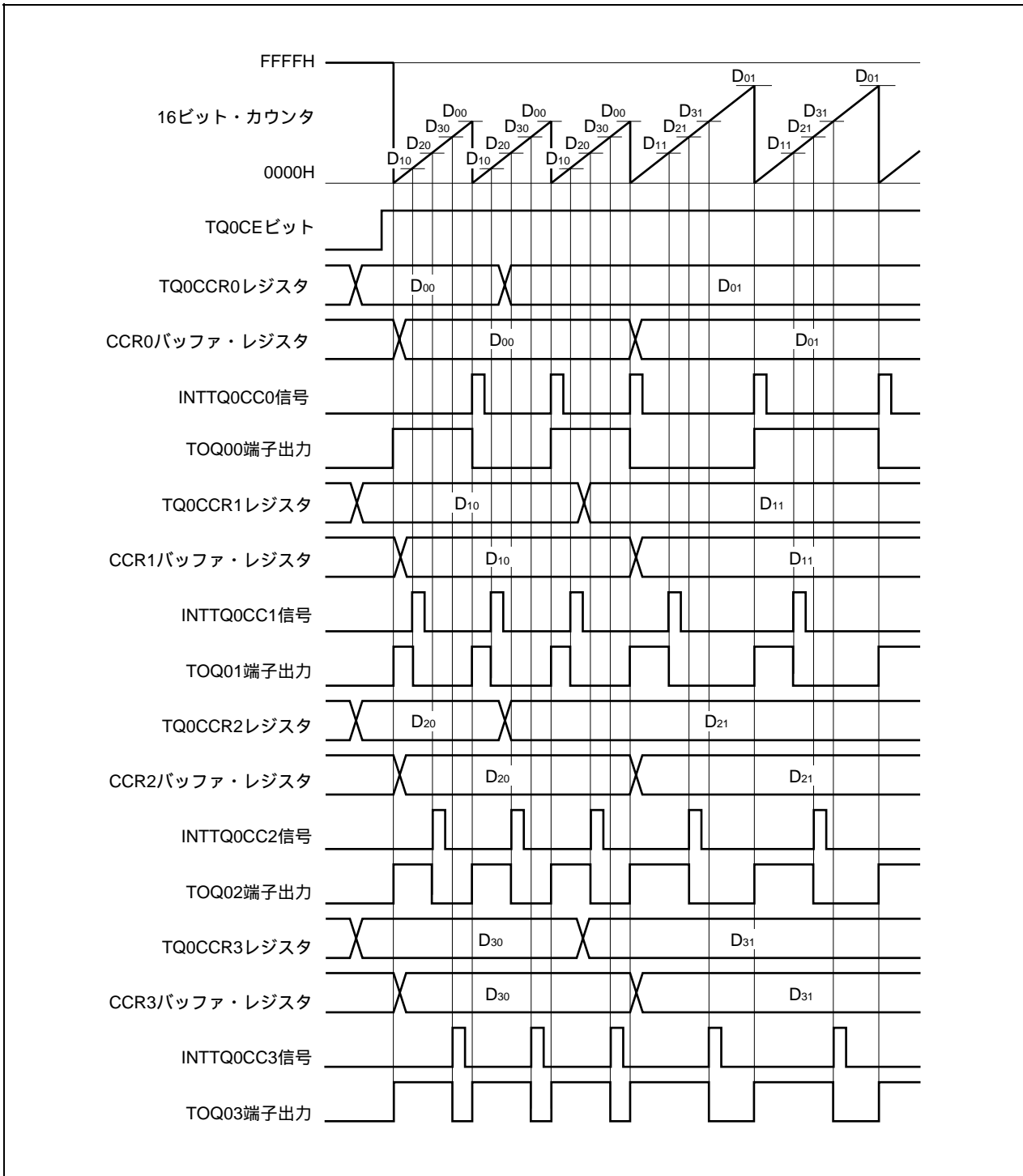


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後、再度TQ0CCRaレジスタの書き換えを行う場合には、INTTQ0CC0信号を検出後に書き換えてください。



TQ0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TQ0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQ0CCR0レジスタに周期を、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTQ0CCR0レジスタに周期を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合には、まず、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

TOQ01端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TQ0CCR1レジスタのみの設定でかまいません。

TOQ02, TOQ03端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、まずTQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

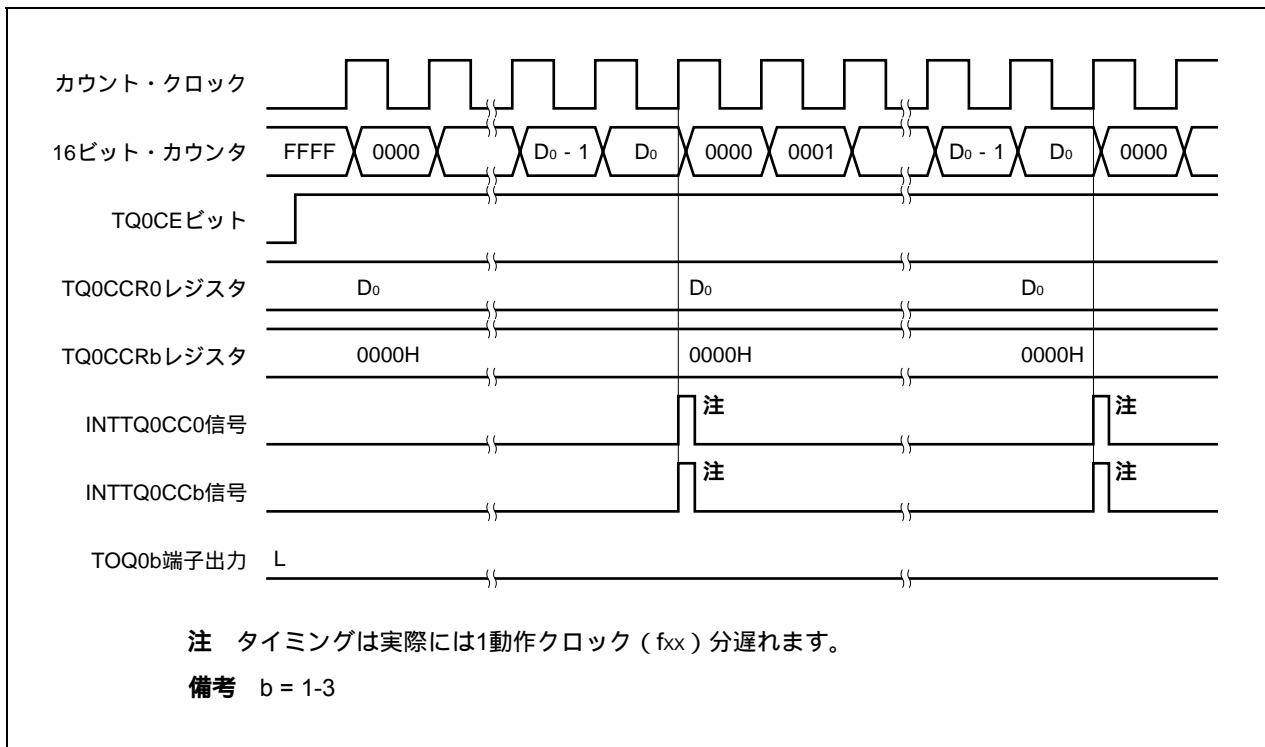
TQ0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQ0CCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TQ0CCR1レジスタにライトしたあとで、再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は、INTTQ0CC0信号の発生後に行ってください。これを守れない場合には、TQ0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TQ0CCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

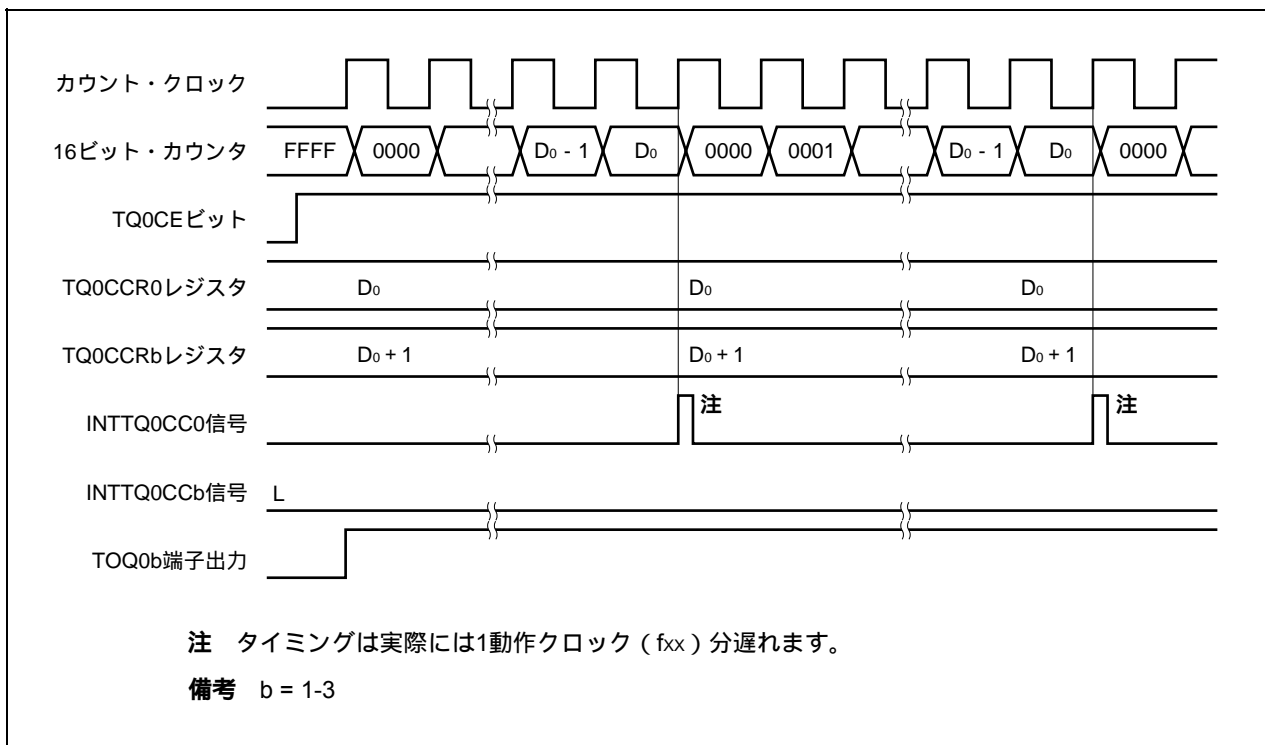
備考 a = 0-3

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TQ0CCRBレジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTQ0CC0信号とINTTQ0CCb信号が発生します。

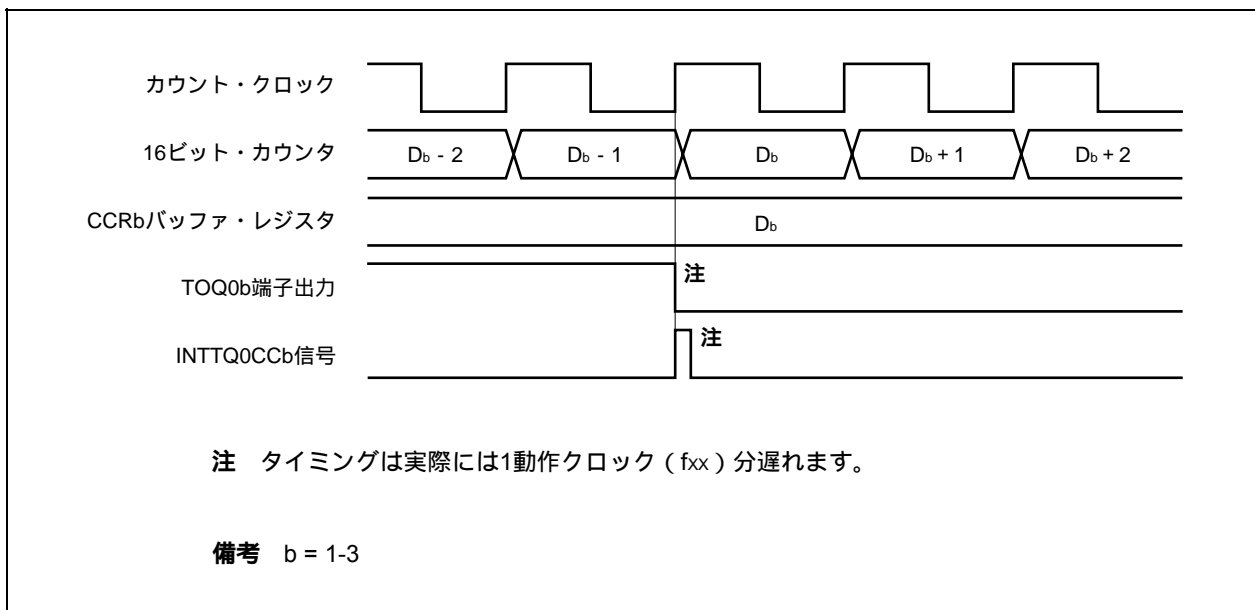


100 % 波形を出力するためには、TQ0CCRBレジスタに対して (TQ0CCR0レジスタの設定値 + 1) の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTQ0CCb) の発生タイミング

PWM出力モードにおけるINTTQ0CCb信号の発生タイミングは、ほかのモードのINTTQ0CCb信号と異なり、16ビット・カウンタのカウンタ値とTQ0CCRbレジスタの値との一致と同時に発生します。



通常,INTTQ0CCb信号は,16ビット・カウンタのカウンタ値とTQ0CCRbレジスタの値との一致後,次のカウンタ・アップに同期して発生します。

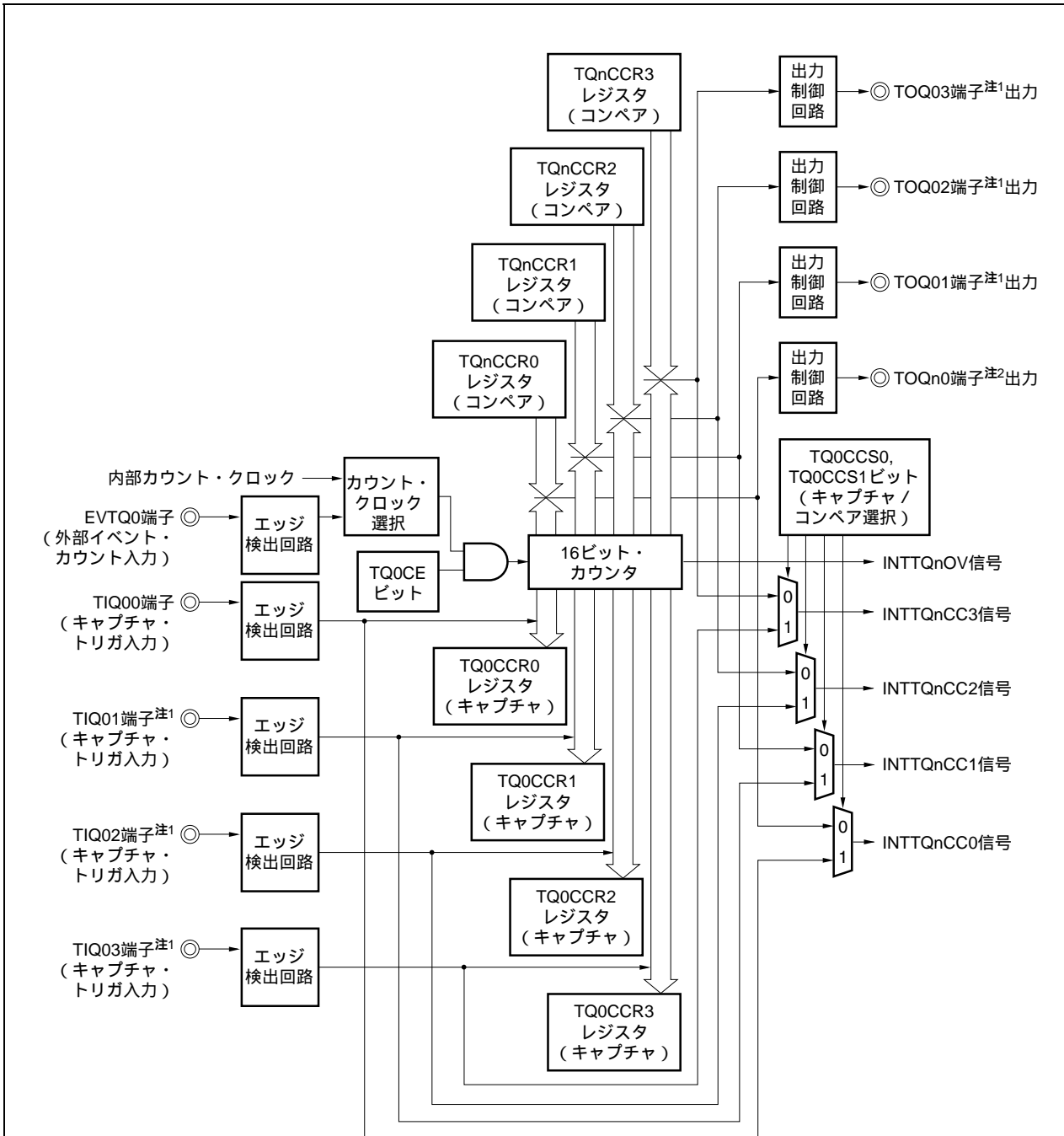
しかし,PWM出力モードの場合,1クロック早いタイミングで発生します。これは,TOQ0b端子出力の変化タイミングとあわせるために,タイミングを変更しているからです。

7.6.6 フリー・ランニング・タイマ・モード (TQnMD2-TQnMD0ビット = 101)

コンペア機能はTMQ0, TMQ1とも有効です。キャプチャ機能はTMQ0のみ有効です。

フリー・ランニング・タイマ・モードは, TQnCTL0.TQnCEビットをセット(1)することでカウント動作を開始します。このときのTQ0CCRaレジスタの動作は, TQ0OPT0.TQ0CCSaビットの設定により, コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図7-33 フリー・ランニング・タイマ・モードの構成図



注1. キャプチャ・トリガ入力端子 (TIQ0b) とタイマ出力端子 (TOQ0b) は兼用しているため、同時に2つの機能を使用できません。

2. TOQ10端子はV850E/IA4のみ

備考 n = 0, 1, a = 0-3, b = 1-3

・コンペア動作

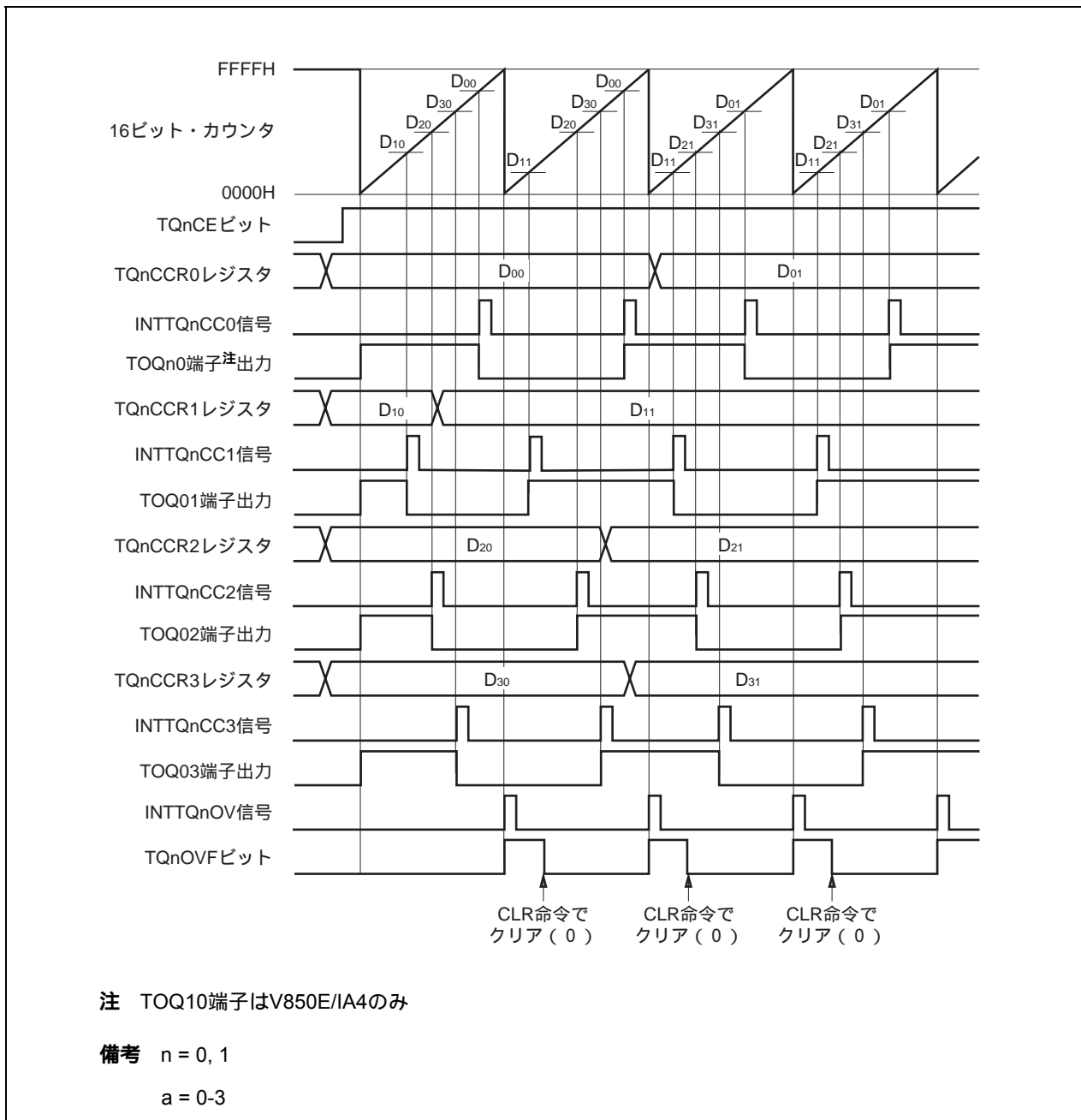
TQnCEビットをセット(1)することで、カウント動作を開始し、TOQ00-TOQ03端子、TOQ10端子[※]出力を反転します。その後、16ビット・カウンタのカウント値とTQnCCRaレジスタの設定値が一致すると、コンペアー一致割り込み要求信号(INTTQnCCa)を発生し、TOQ00-TOQ03端子、TOQ10端子[※]出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTQnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TQnOPT0.TQnOVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されているのを確認してから、ソフトウェアでCLR命令を実行してクリア(0)してください。

TQnCCRaレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き込みにより値が即反映され、カウント値と比較されます。

注 V850E/IA4のみ

図7-34 フリー・ランニング・タイマ・モードの基本タイミング(コンペア機能)

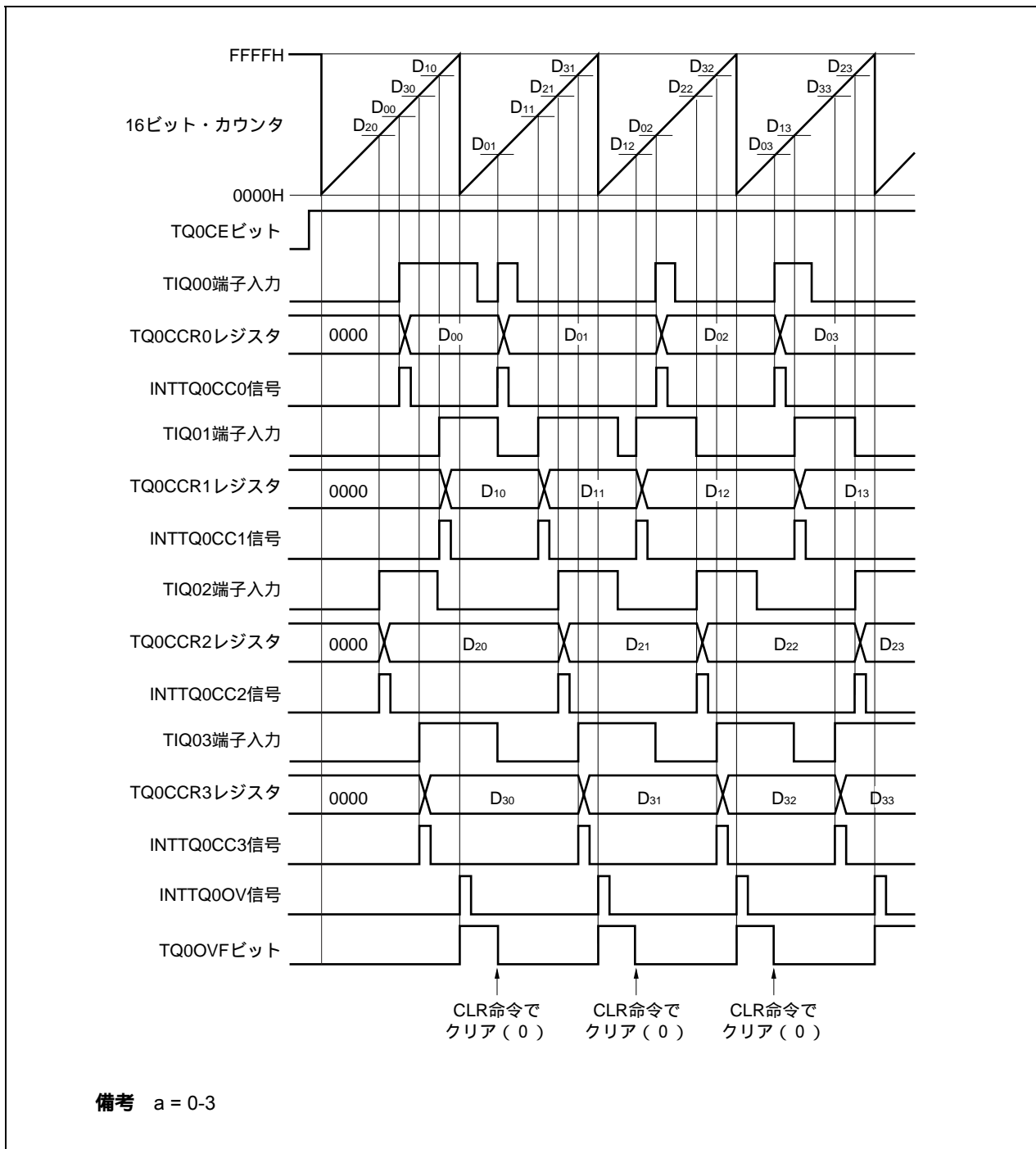


・キャプチャ動作

TQ0CEビットをセット(1)することで、カウント動作を開始します。その後、TIQ0a端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQ0CCRaレジスタに格納し、キャプチャ割り込み要求信号(INTTQ0CCa)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTQ0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TQ0OVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されているのを確認してから、ソフトウェアでCLR命令を実行してクリア(0)してください。

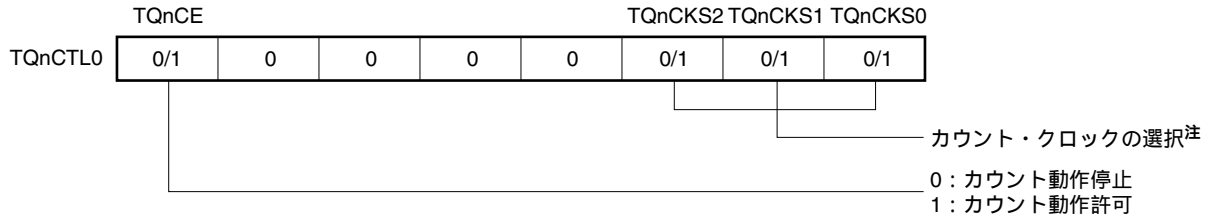
図7-35 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)



備考 a = 0-3

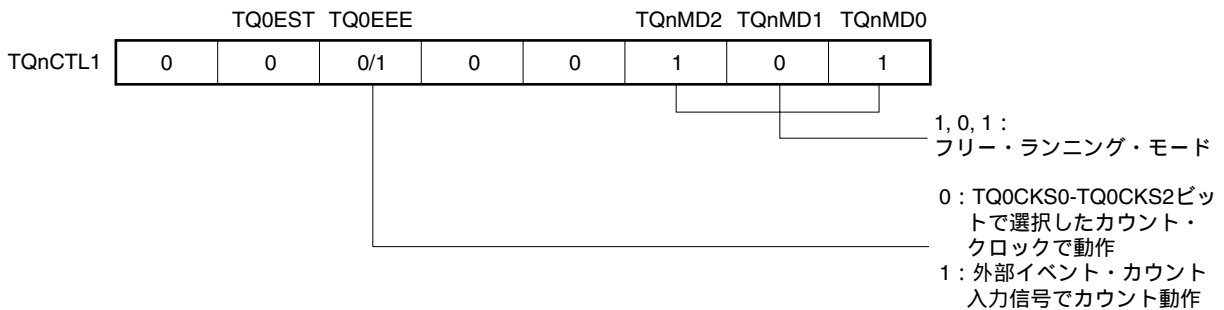
図7-36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

(a) TMQn制御レジスタ0 (TQnCTL0)

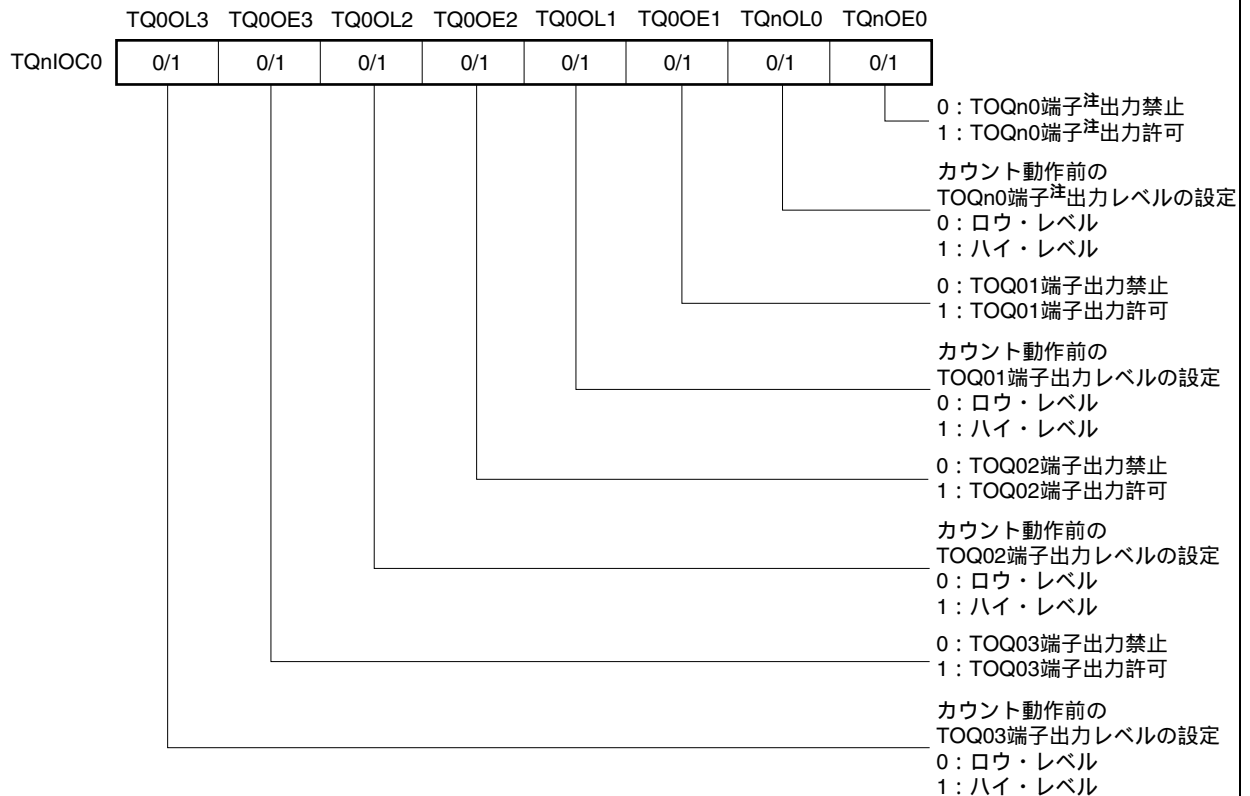


注 TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

(b) TMQn制御レジスタ1 (TQnCTL1)



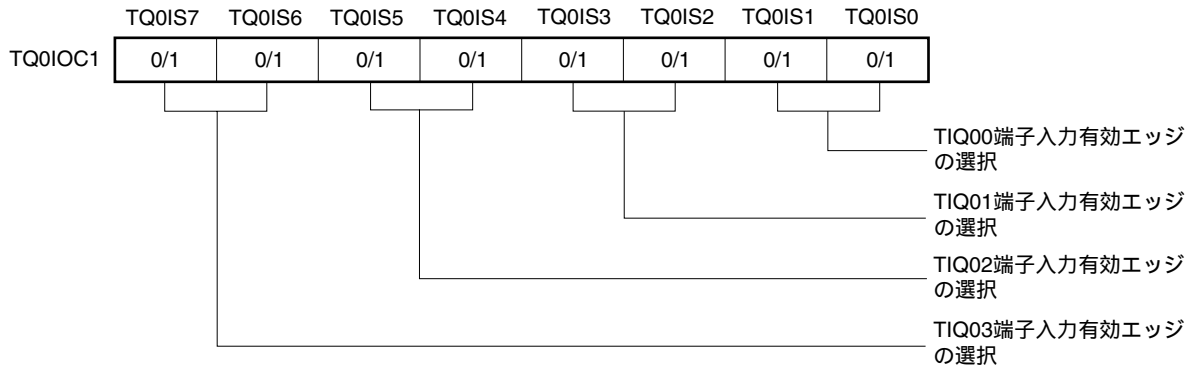
(c) TMQn/I/O制御レジスタ0 (TQnIOC0)



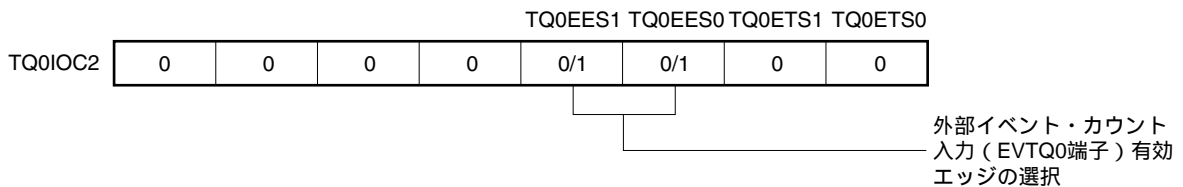
注 TOQ10端子はV850E/IA4のみ

図7 - 36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

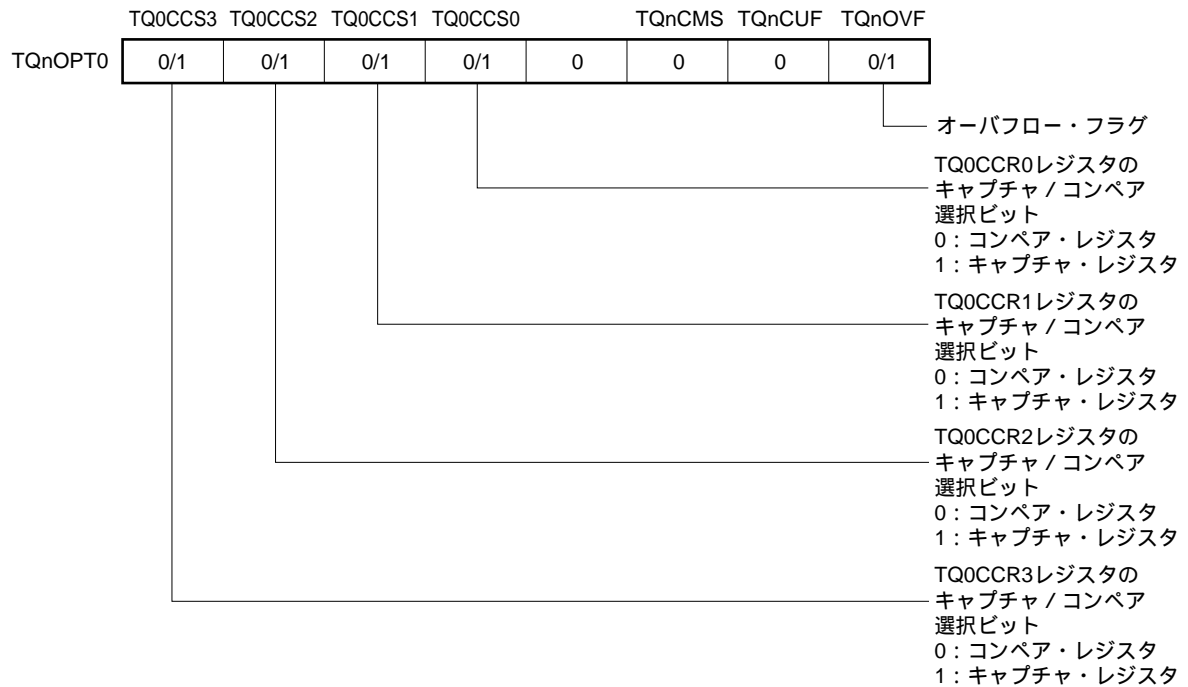
(d) TMQ0I/O制御レジスタ1 (TQ0IOC1)



(e) TMQ0I/O制御レジスタ2 (TQ0IOC2)



(f) TMQnオプション・レジスタ0 (TQnOPT0)



(g) TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT)

TQnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

図7 - 36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

(h) TMQnキャプチャ/コンペア・レジスタ0-3 (TQnCCR0-TQnCCR3)

TQ0OPT0.TQ0CCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIQ0a端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TQnCCRaレジスタにDaを設定した場合、カウンタが(Da + 1)になるタイミングでINTTQnCCa信号を発生し、TOQ00-TOQ03端子、TOQ10端子^注出力を反転します。

注 TOQ10端子はV850E/IA4のみ

備考 a = 0-3

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図7-37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

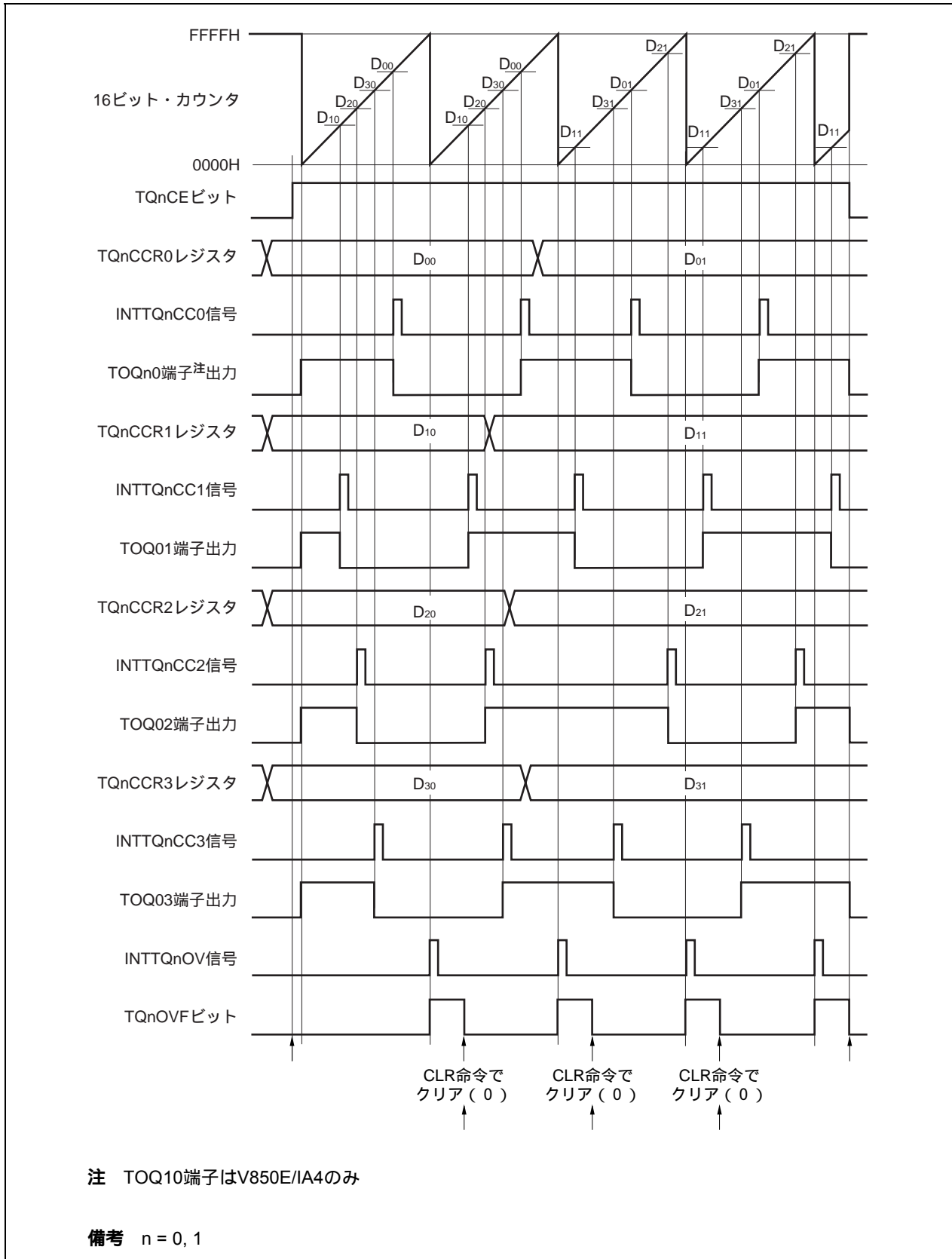
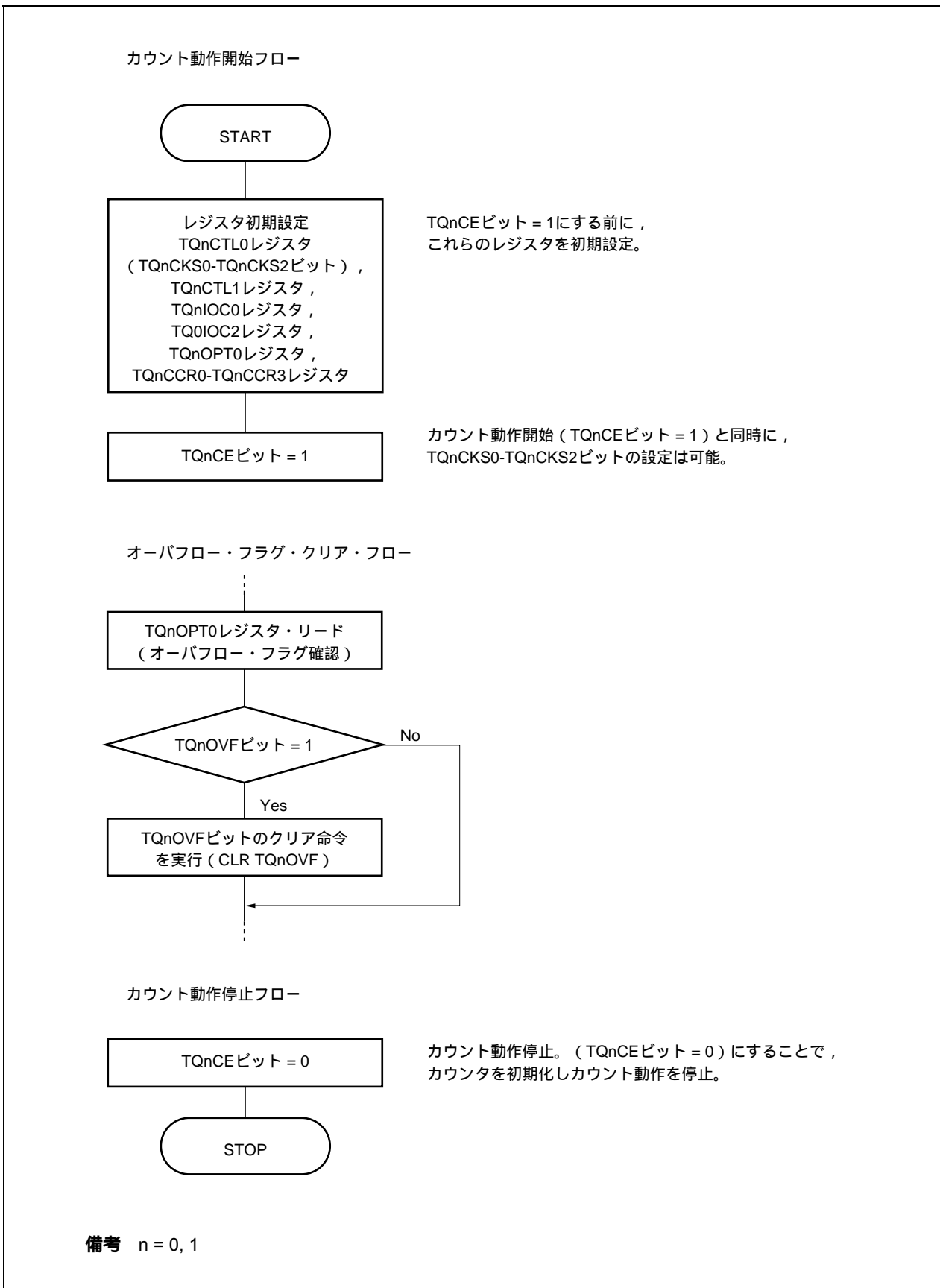


図7-37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（2/2）



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7 - 38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

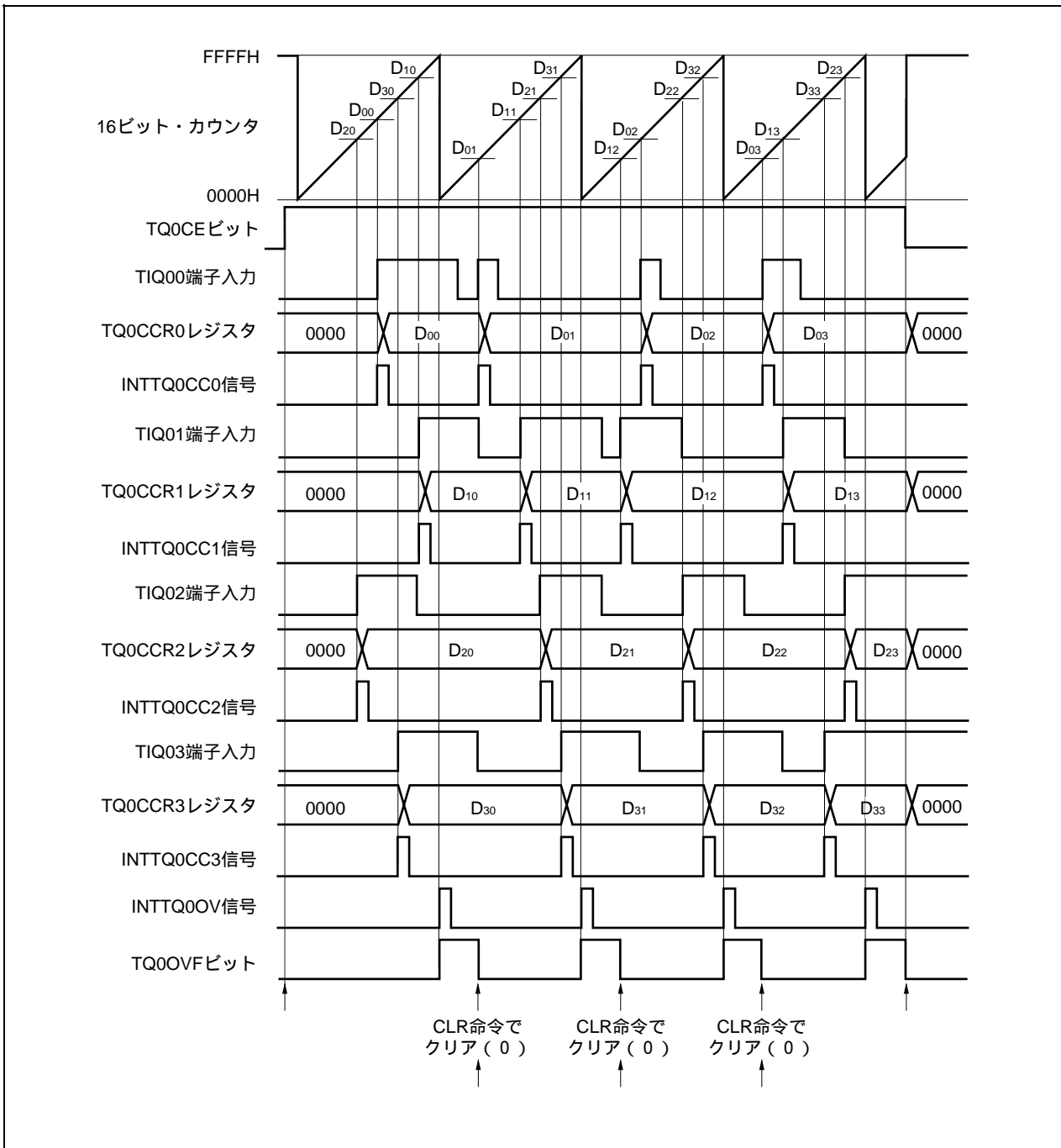
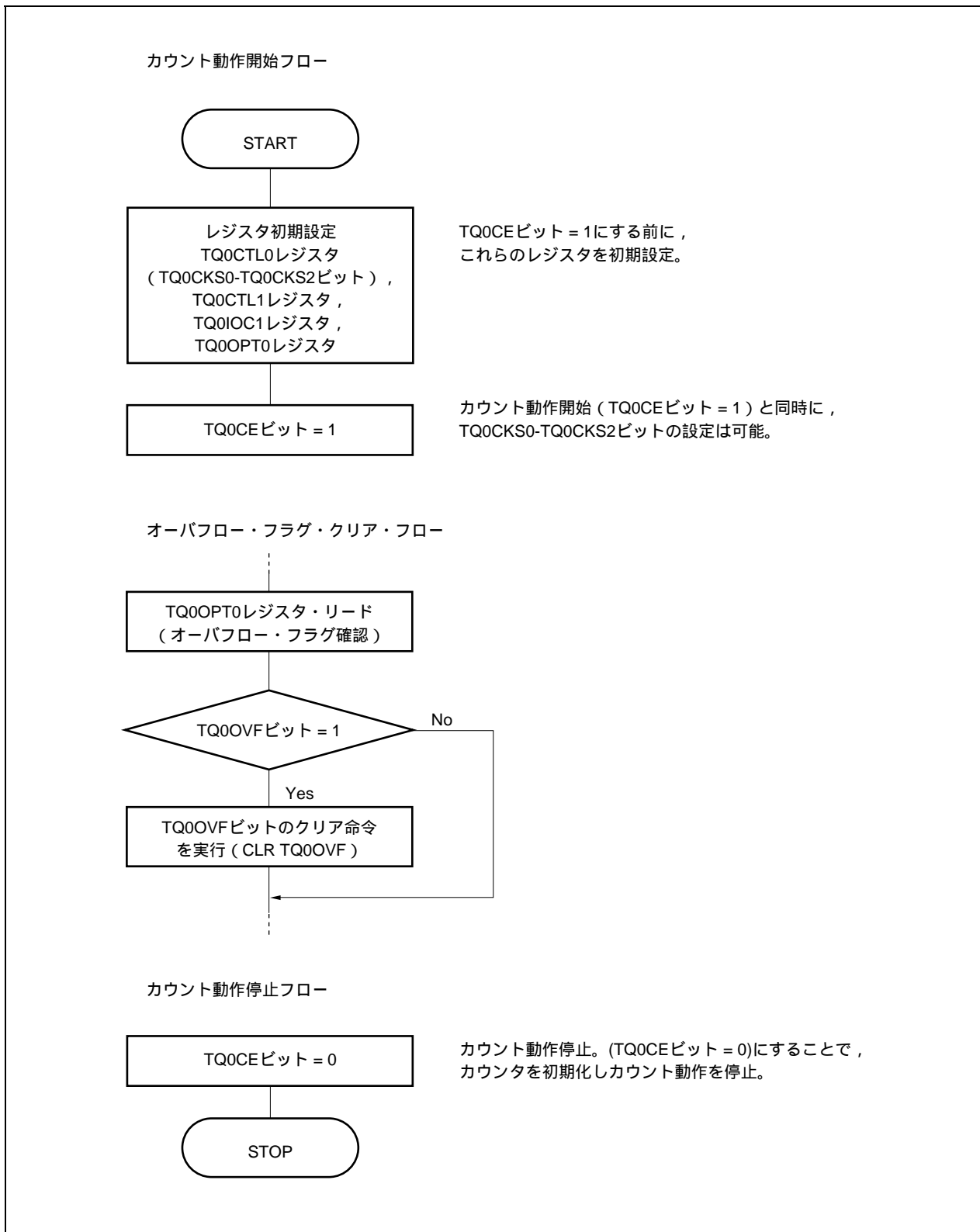


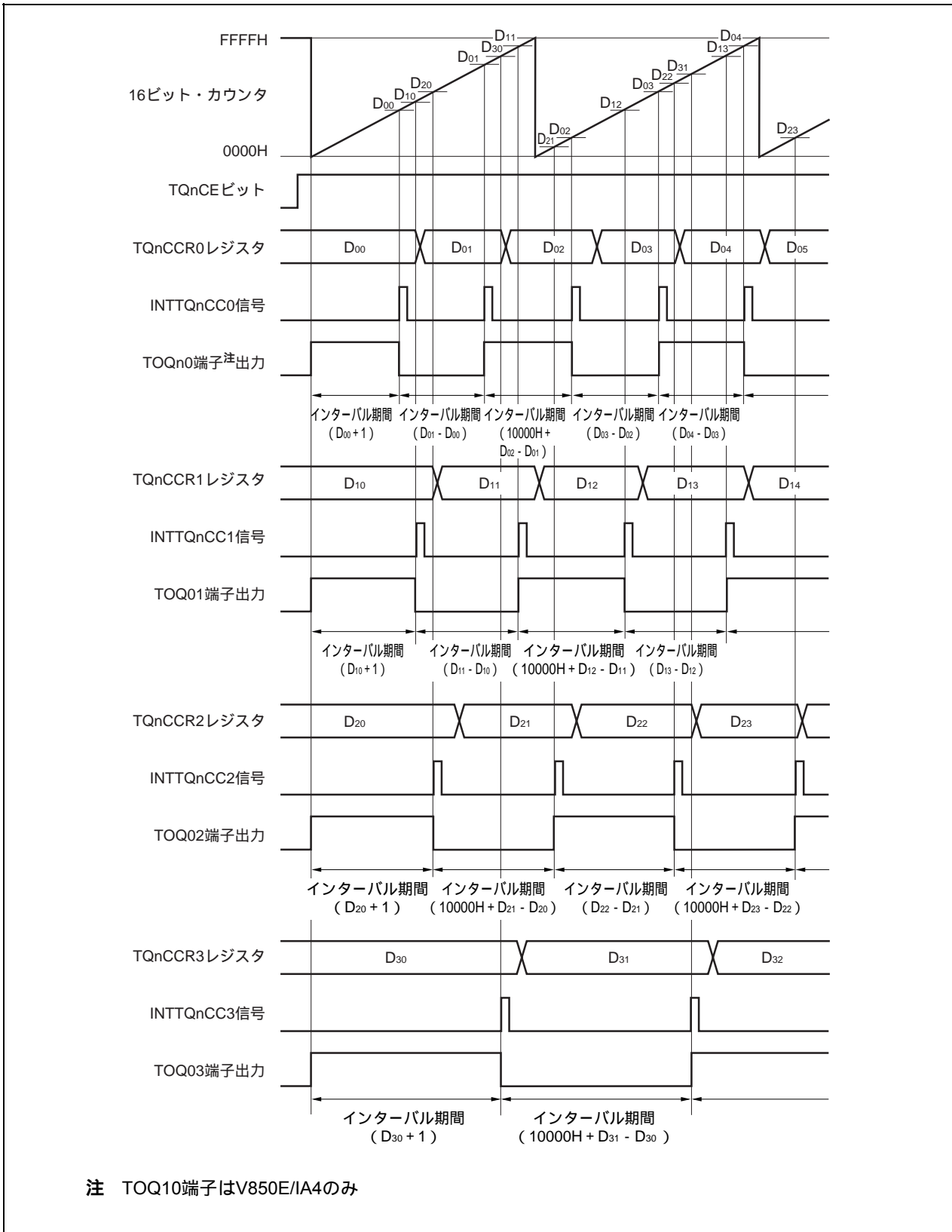
図7 - 38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TQnCCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTQnCCa信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、4つのインターバル時間を設定できません。

インターバル動作を行う場合、INTTQnCCa信号を検出したときの割り込み処理中に、対応するTQnCCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_a ” とすると、次のように求められます。

コンペア・レジスタ初期値： $D_a - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_a

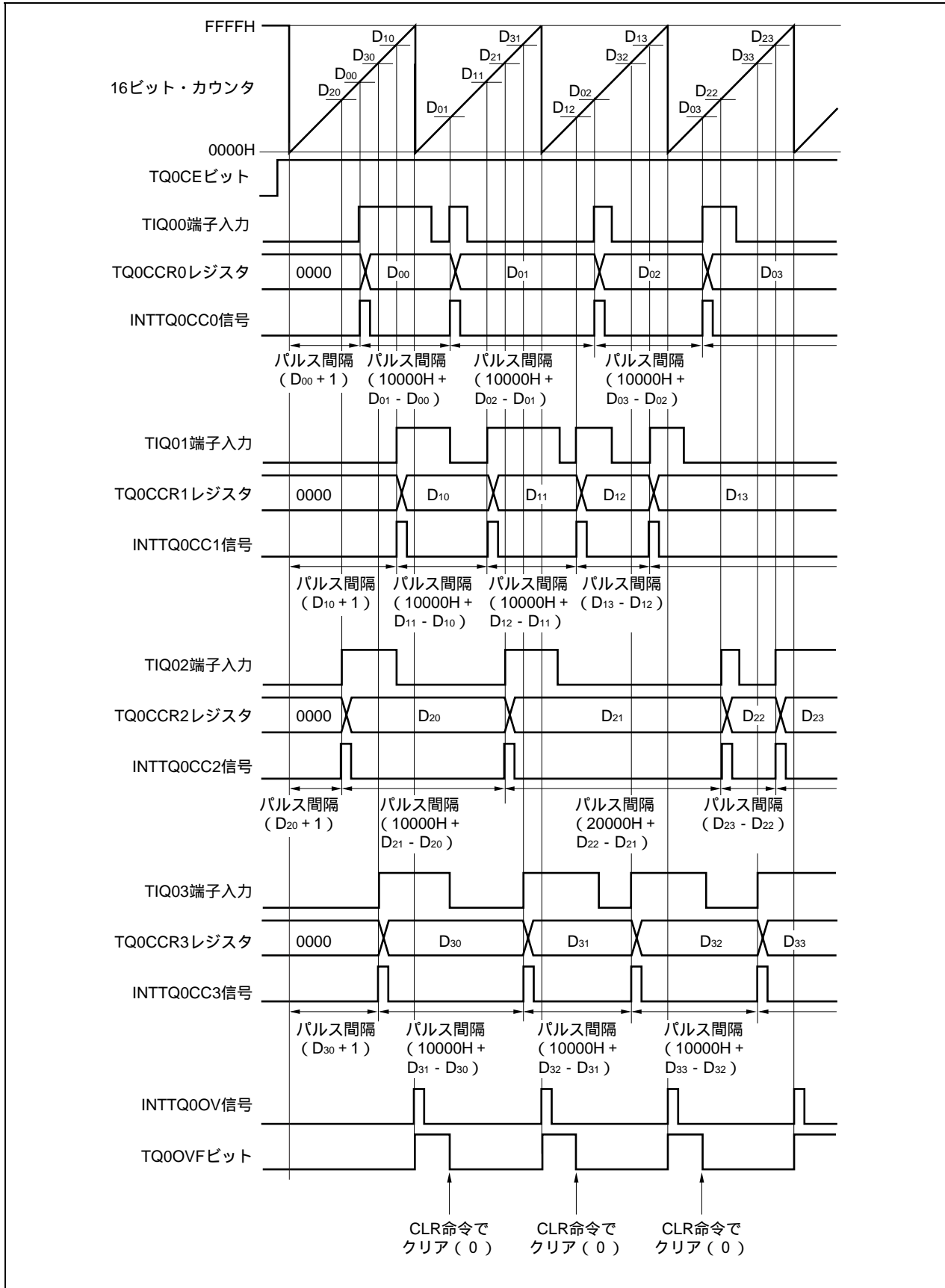
(演算結果がFFFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください。)

備考 $n = 0, 1$

$a = 0-3$

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TQ0CCRaレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTQ0CCa信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



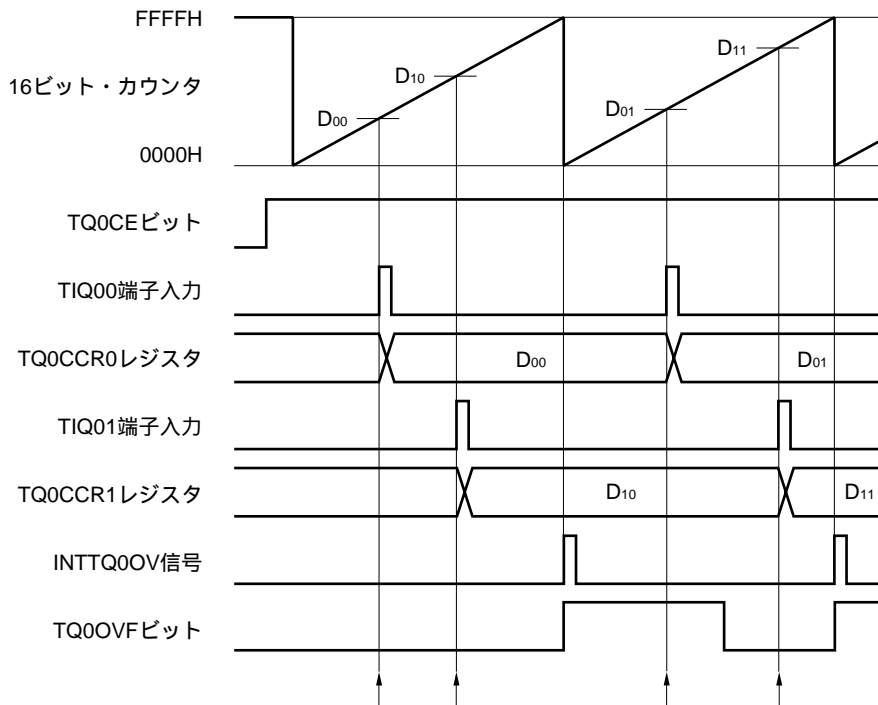
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、4つのパルス幅測定ができます。
パルス幅測定を行う場合、INTTQ0CCa信号に同期してTQ0CCRaレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 a = 0-3

(c) 2つ以上のキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つ以上のキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つ以上のキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TQ0CCR0レジスタをリードする (TIQ00端子入力の初期値設定)。

TQ0CCR1レジスタをリードする (TIQ01端子入力の初期値設定)。

TQ0CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TQ0CCR1レジスタをリードする。

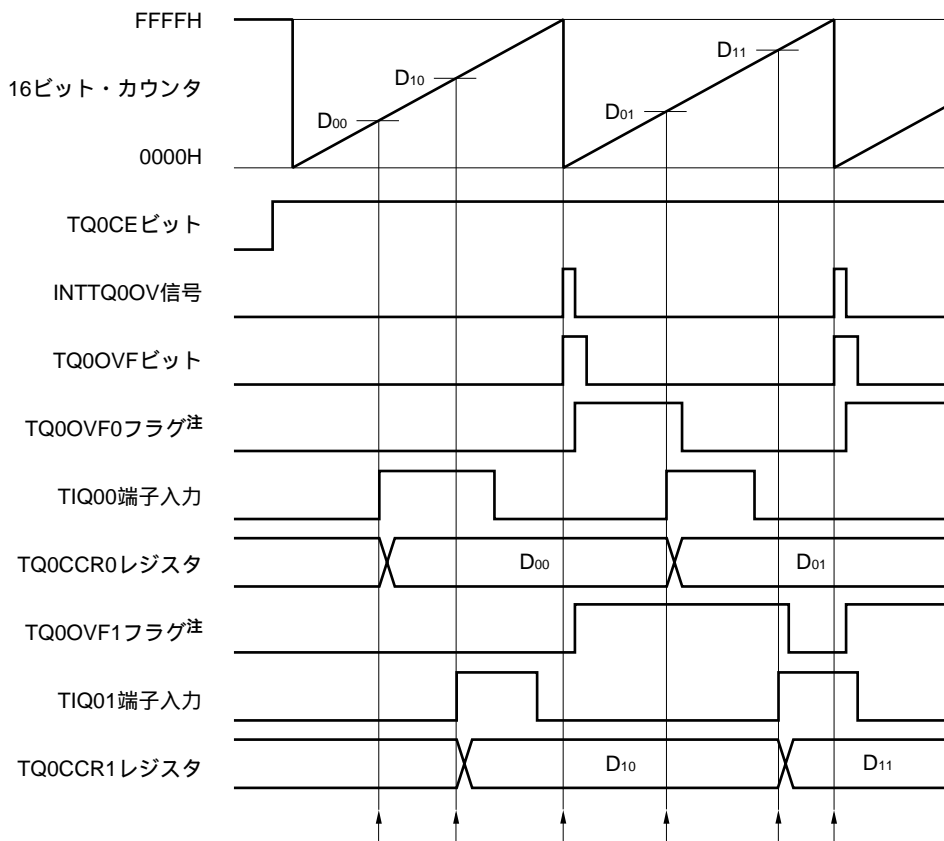
オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

このように、2つ以上のキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、他のキャプチャは正しいパルス幅が求められない可能性があります。

2つ以上のキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TQ0OVF0, TQ0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCR0レジスタをリードする (TIQ00端子入力の初期値設定)。

TQ0CCR1レジスタをリードする (TIQ01端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TQ0OVF0, TQ0OVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TQ0CCR0レジスタをリードする。

TQ0OVF0フラグをリードする。 TQ0OVF0フラグが“1”だった場合、クリア (0) する。

TQ0OVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

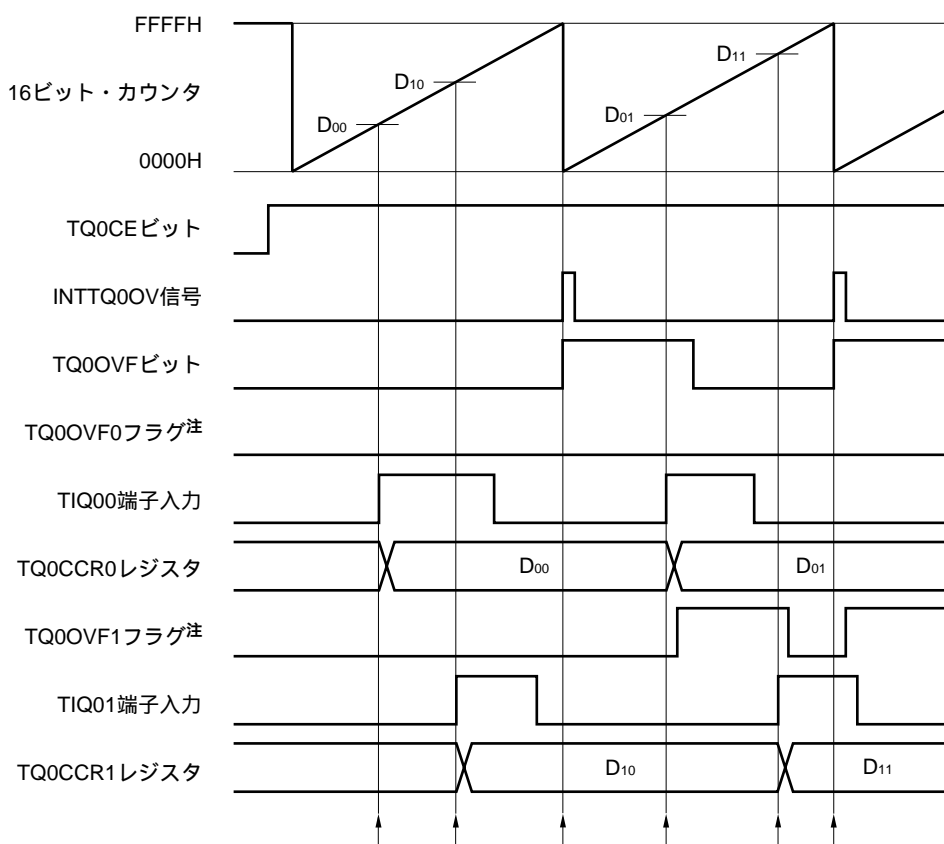
TQ0CCR1レジスタをリードする。

TQ0OVF1フラグをリードする。 TQ0OVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTQ0OVF0フラグであり、TQ0OVF1フラグは“1”のまま)。

TQ0OVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TQ0OVF0, TQ0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCR0レジスタをリードする (TIQ00端子入力の初期値設定)。

TQ0CCR1レジスタをリードする (TIQ01端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TQ0CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TQ0OVF1フラグのみをセット (1) し、オーバーフロー・フラグをクリア (0) する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TQ0CCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア (0) されているので“0”がリードされる。

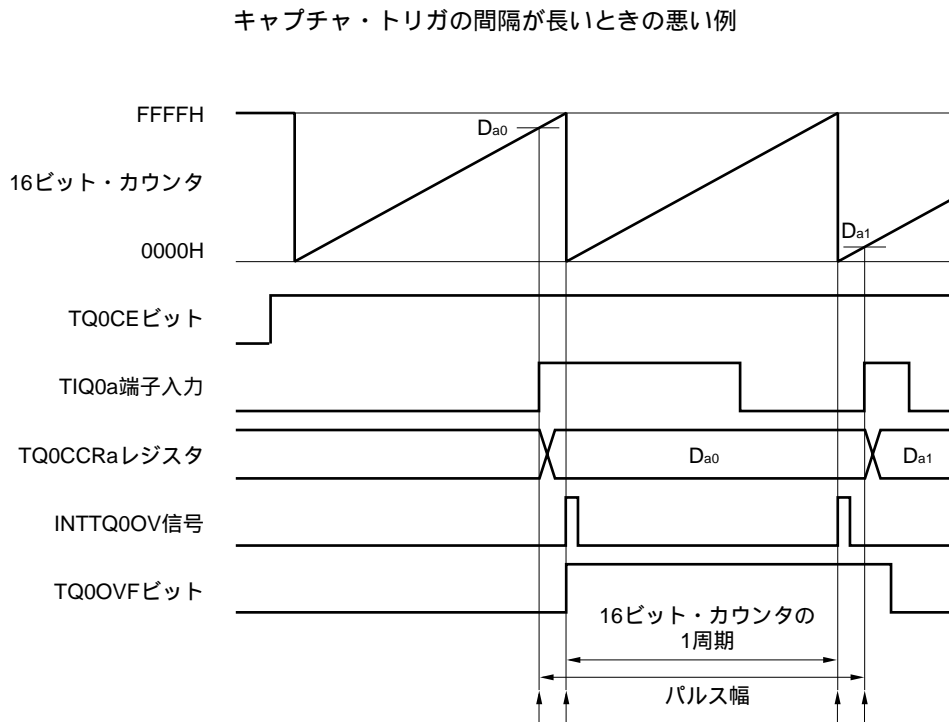
TQ0OVF1フラグをリードする。TQ0OVF1フラグが“1”だった場合、クリア (0) する。

TQ0OVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

TQ0CCR_aレジスタをリードする (TIQ0a端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

2回目のオーバーフローが発生する。ソフトウェアでは何もしない。

TQ0CCR_aレジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{a1} - D_{a0})$ で求められます (NG)。

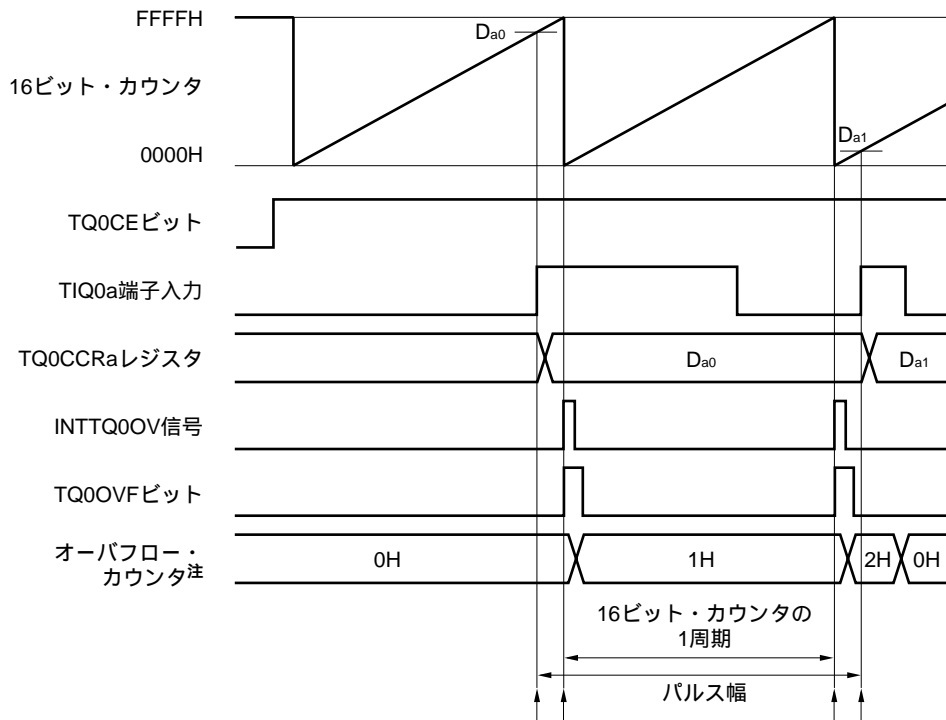
実際には、2回のオーバーフローが発生しているので、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になるはずですが。

備考 a = 0-3

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCRaレジスタをリードする (TIQ0a端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TQ0CCRaレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + Da_1 - Da_0)$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + Da_1 - Da_0)$ になります。

オーバフロー・カウンタをクリア (0H) する。

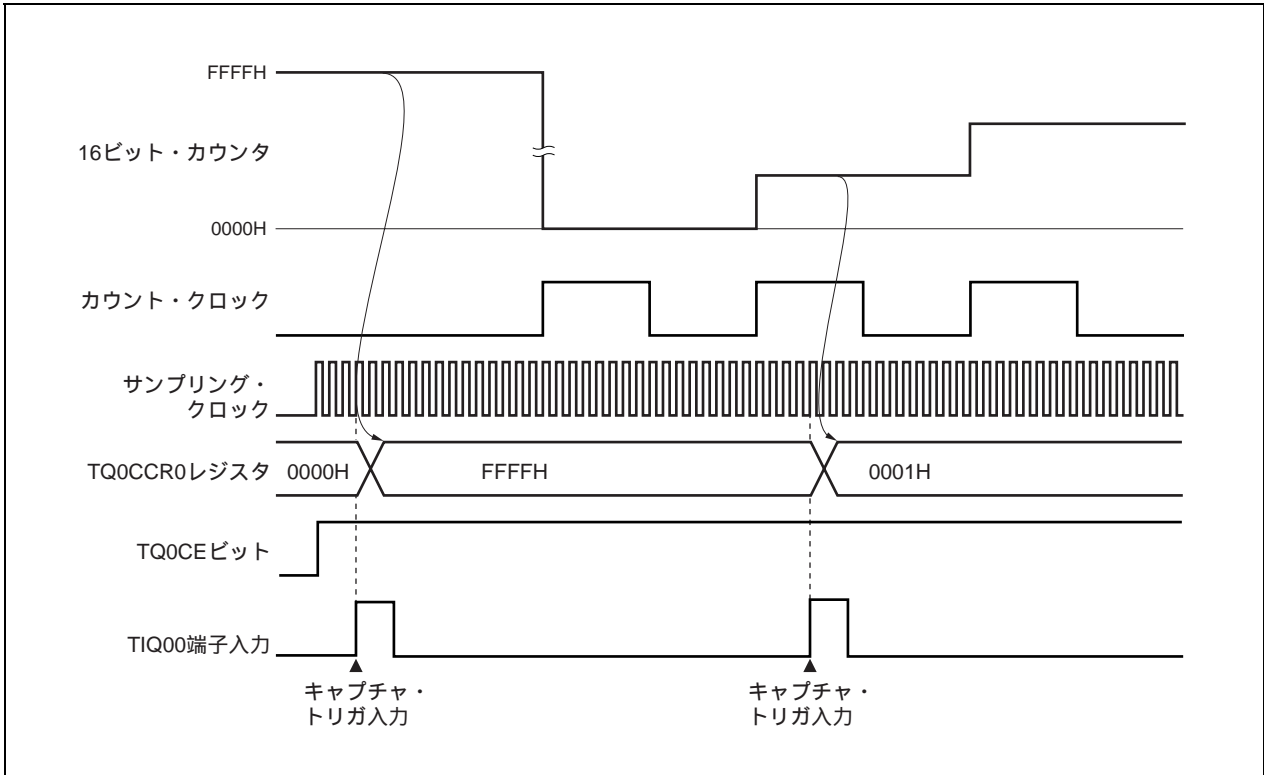
備考 a = 0-3

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TQnOVFビット = 1をリードしたあとにTQnOVFビットをCLR命令でクリア (0) する方法と、TQnOVFビット = 1をリードしたあとにTQnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

(3) キャプチャ動作の注意事項

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TQ0CTL0.TQ0CEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TQ0CCRaレジスタに0000HではなくFFFFHがキャプチャされる場合があります(a = 0-3)。



7.6.7 パルス幅測定モード (TQ0MD2-TQ0MD0ビット = 110)

TMQ0のみ有効です。

パルス幅測定モードは、TQ0CTL0.TQ0CEビットをセット (1) することでカウント動作を開始し、TIQ0a端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTQ0CCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTTQ0CCa) が発生したあと、TQ0CCRaレジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図7-40のような場合は、キャプチャ・トリガ入力端子としてTIQ00-TIQ03端子のいずれか1本を使用し、使用しない端子はTQ0IOC1レジスタで“エッジ検出なし”に設定してください。

図7-39 パルス幅測定モードの構成図

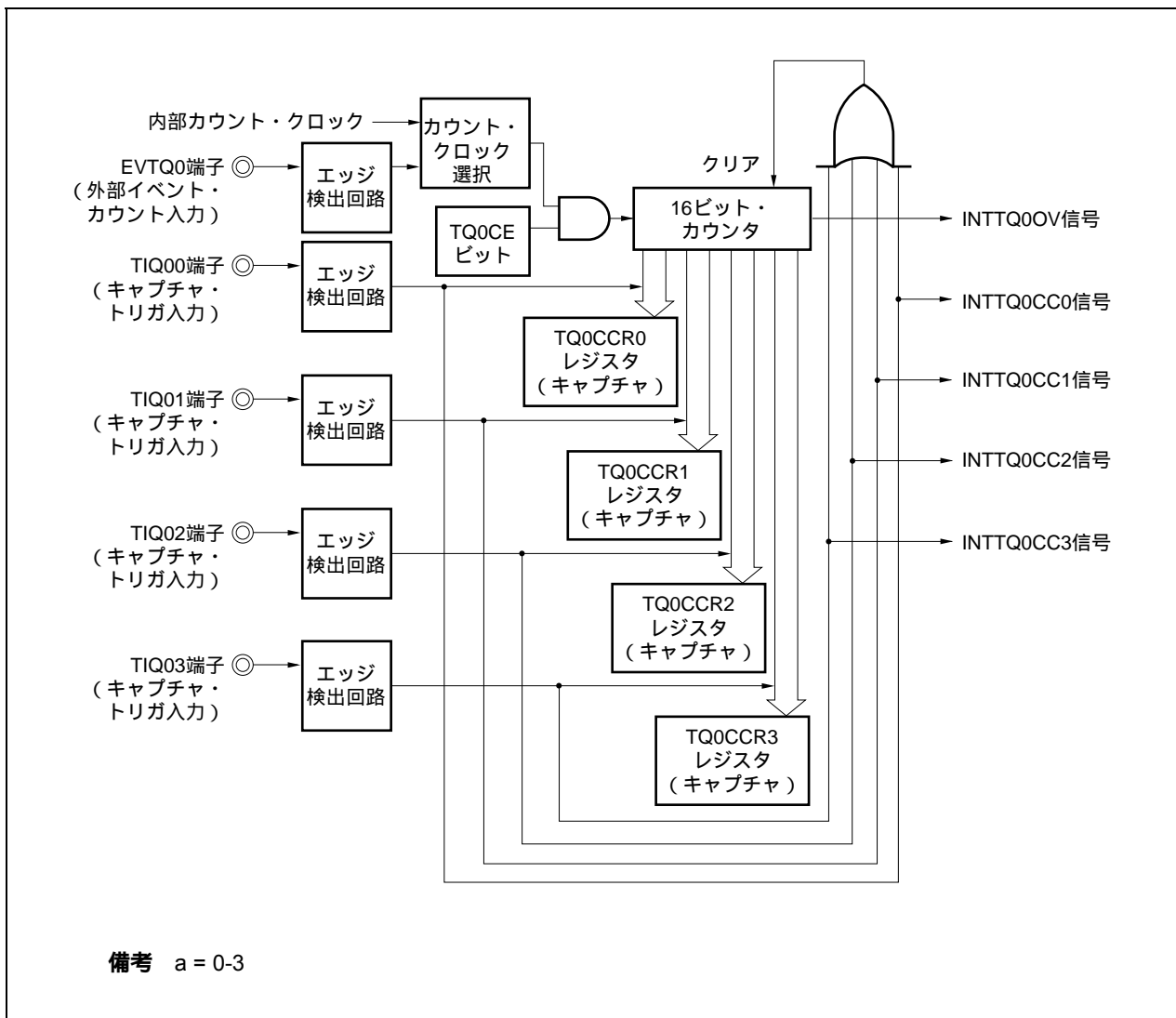
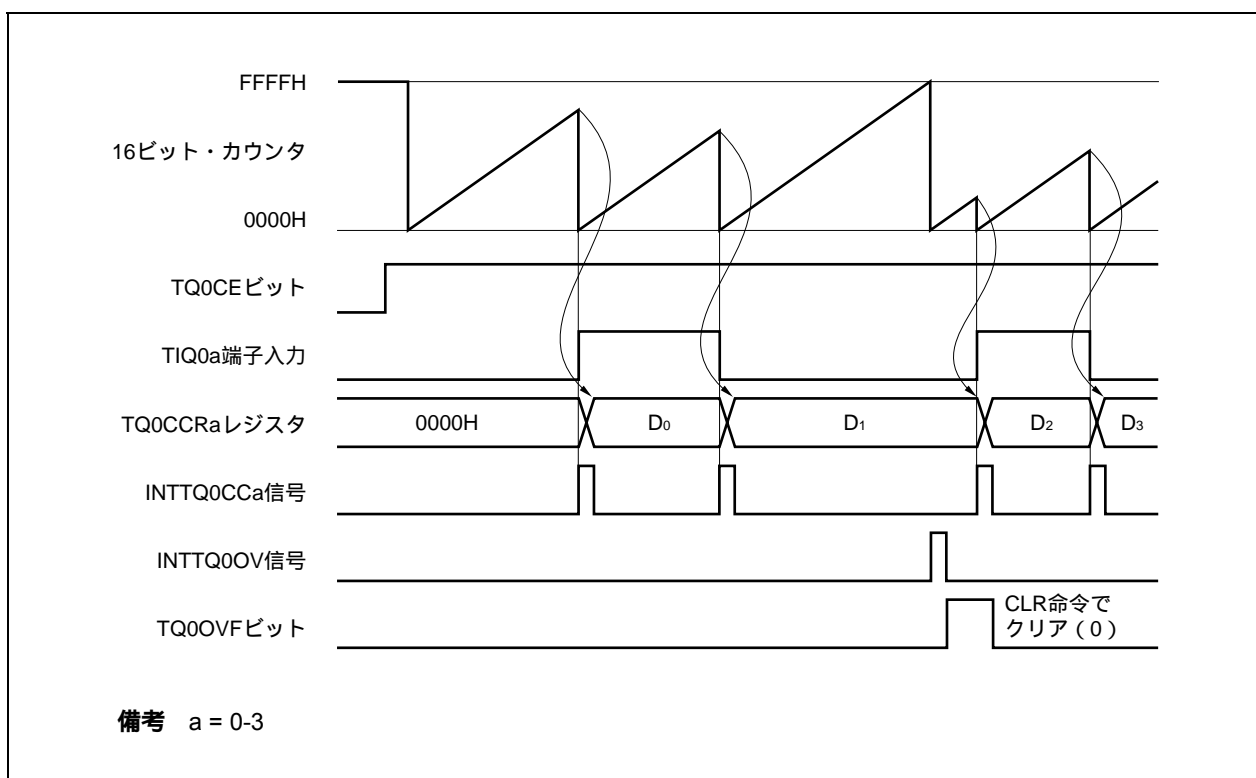


図7 - 40 パルス幅測定モードの基本タイミング



TQ0CEビットをセット(1)することで、カウント動作を開始します。その後、TIQ0a端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQ0CCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTQ0CCa)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTQ0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TQ0OPT0.TQ0OVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

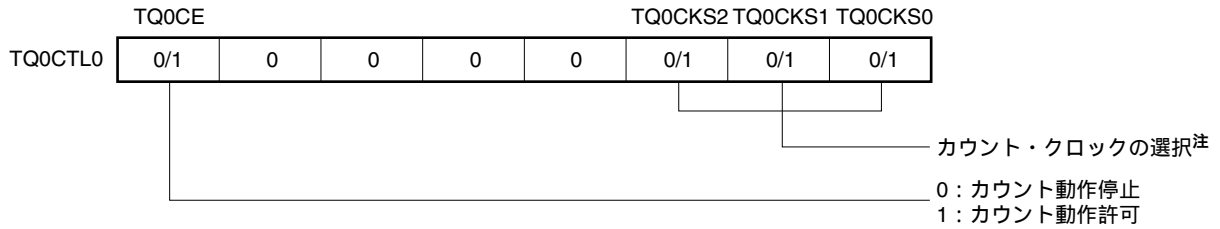
オーバフロー・フラグがセット(1)された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TQ0OVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 a = 0-3

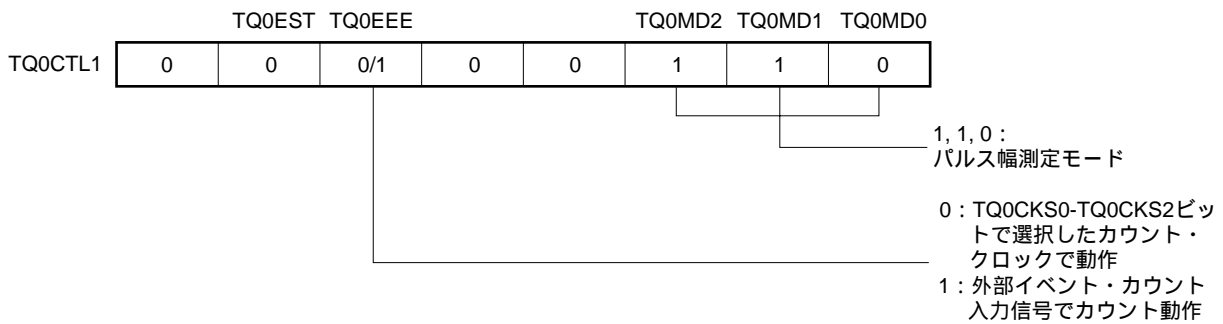
図7 - 41 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

(a) TMQ0制御レジスタ0 (TQ0CTL0)

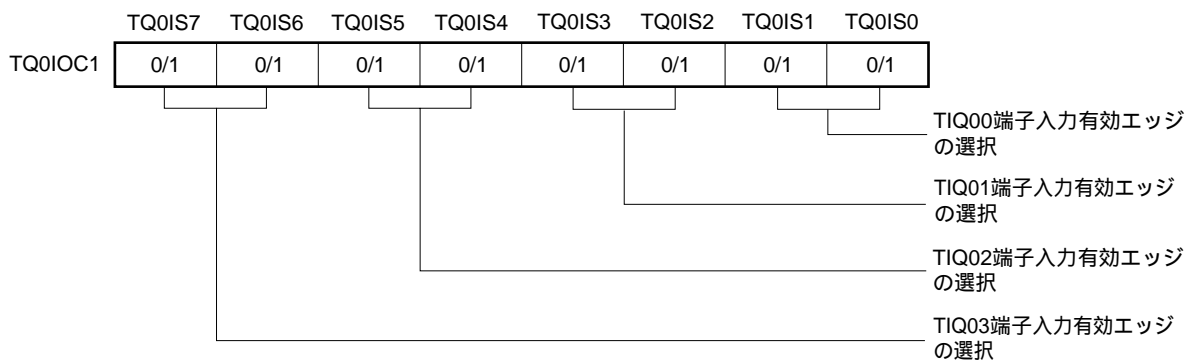


注 TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

(b) TMQ0制御レジスタ1 (TQ0CTL1)



(c) TMQ0I/O制御レジスタ1 (TQ0IOC1)



(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)

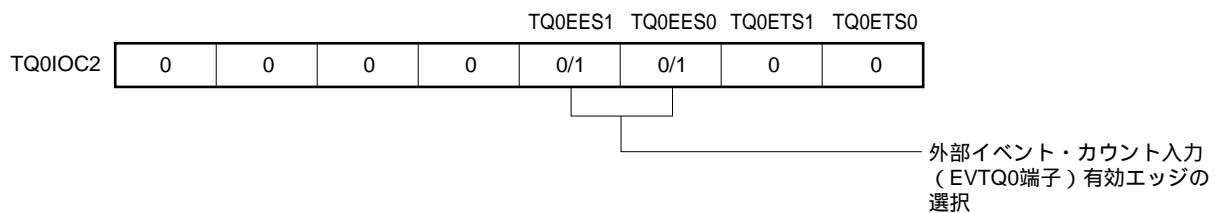


図7 - 41 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(e) TMQ0オプション・レジスタ0 (TQ0OPT0)

	TQ0CCS3	TQ0CCS2	TQ0CCS1	TQ0CCS0	TQ0CMS	TQ0CUF	TQ0OVF
TQ0OPT0	0	0	0	0	0	0	0/1

オーバーフロー・フラグ

(f) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(g) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

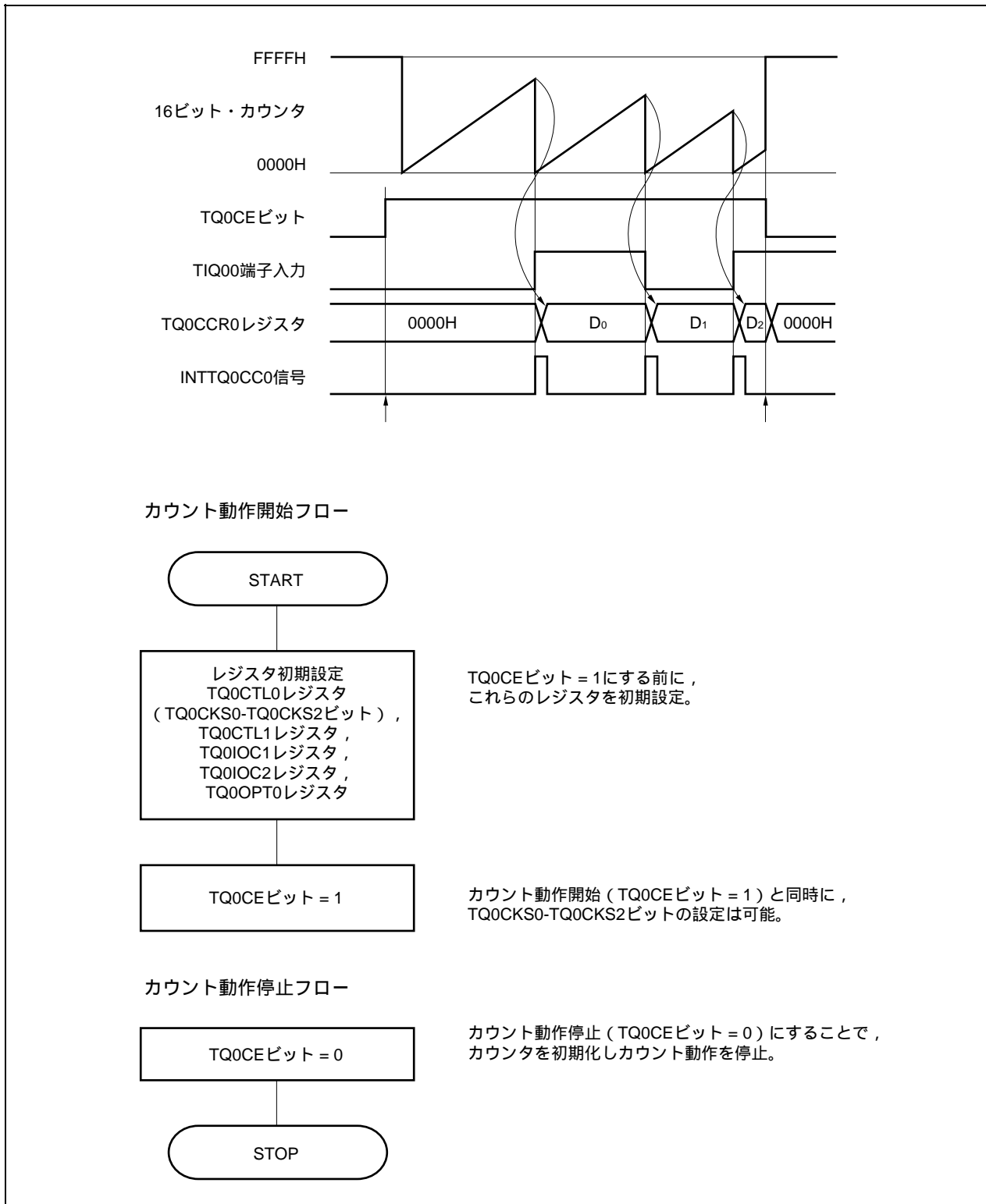
TIQ0a端子入力の有効エッジ検出により、16ビット・カウンタのカウンタ値を格納します。

備考1. パルス幅測定モードでは、TMQ0I/O制御レジスタ0 (TQ0IOC0) は使用しません。

2. a = 0-3

(1) パルス幅測定モード動作フロー

図7 - 42 パルス幅測定モード使用時のソフトウェア処理フロー



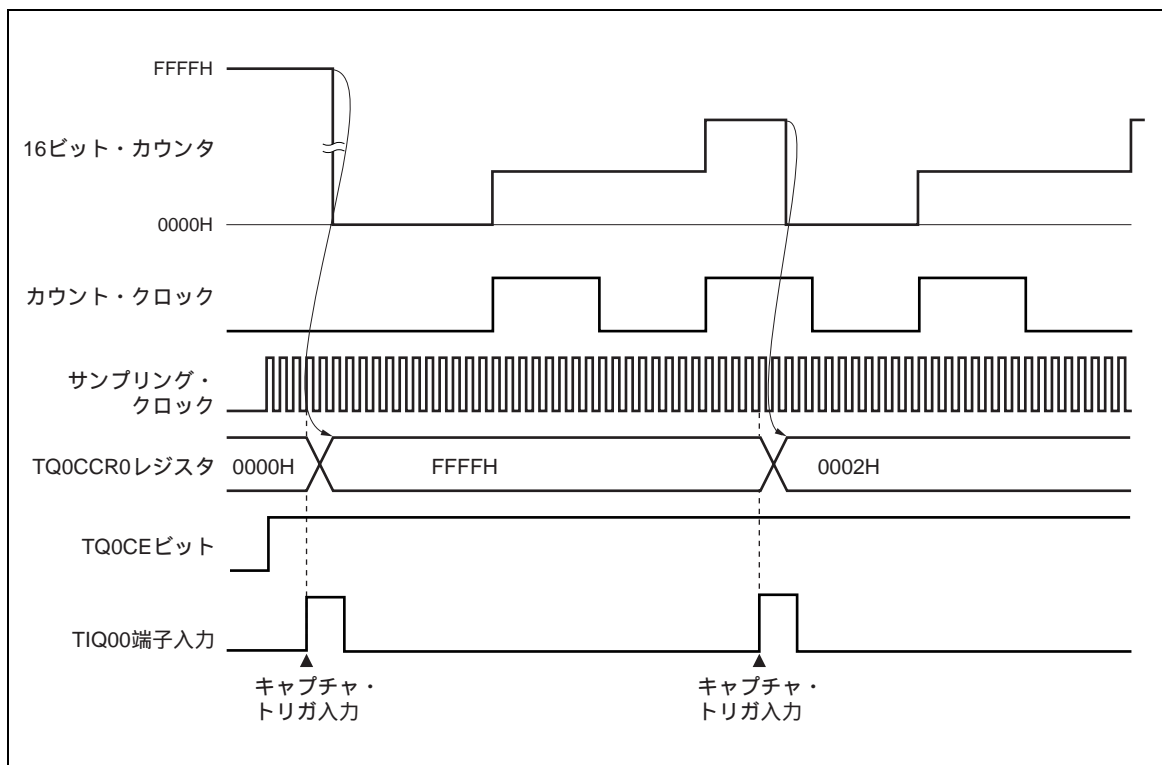
(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TQ0OVFビット = 1をリードしたあとにTQ0OVFビットをCLR命令でクリア (0) する方法と、TQ0OVFビット = 1をリードしたあとにTQ0OPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

(3) 注意事項

カウント・クロックとして遅いクロックを選択した場合、TQ0CTL0.TQ0CEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TQ0CCR0レジスタに0000HではなくFFFFHがキャプチャされる場合があります (a = 0-3)。



第8章 16ビット・2相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (タイマENC1n)

8.1 機能

16ビット・2相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (タイマENC1n) は、次の動作を行います (V850E/IA3 : n = 0, V850E/IA4 : n = 0, 1)。

- ・汎用タイマ・モード (8.5.1 汎用タイマ・モードでの動作参照)
 - フリー・ランニング・タイマ
 - PWM出力
- ・アップ/ダウン・カウンタ・モード (8.5.2 UDCモードでの動作参照)
 - UDCモードA (モード1, モード2, モード3, モード4)
 - UDCモードB (モード1, モード2, モード3, モード4)

8.2 特徴

タイマENC1n

V850E/IA3 : 1チャンネル (タイマENC10)

V850E/IA4 : 2チャンネル (タイマENC10, タイマENC11)

コンペア・レジスタ : 各2本

キャプチャ/コンペア・レジスタ : 各2本

割り込み要求ソース

- ・キャプチャ/コンペア一致割り込み要求 : 各2種
- ・コンペア一致割り込み要求 : 各2種

キャプチャ要求信号 : 各2種

- ・キャプチャ/コンペア・レジスタに対応するTCLR1n, TCUD1n端子の有効エッジをキャプチャ・トリガとして、TMENC1nの値をラッチすることが可能です。

カウント・クロックはプリスケアラによる分周から選択

タイマ・クリア

使用するモードに応じて次のようにタイマ・クリア動作を行います。

- 汎用タイマ・モード時 : CM1n0レジスタ設定値との一致でタイマ・クリア動作が可能です。
- アップ/ダウン・カウンタ・モード : タイマ・クリア動作を次の4つの条件から選択可能です。
 - TMENC1nがアップ・カウント中にCM1n0レジスタ設定値との一致でタイマ・クリア動作を行い、TMENC1nがダウン・カウント中にCM1n1レジスタ設定値との一致でタイマ・クリア動作を行います。
 - 外部入力のみでタイマ・クリア動作を行います。
 - TMENC1nのカウント値とCM1n0レジスタ設定値との一致でタイマ・クリア動作を行います。
 - 外部入力およびTMENC1nのカウント値とCM1n0レジスタ設定値との一致でタイマ・クリア動作を行います。

PWM出力機能

汎用タイマ・モード時に16ビット分解能のPWM出力をTO1n端子より出力可能

注意 μ PD70F3186 (V850E/IA4) では、タイマENC11の入出力端子 (TIUD11, TO11, TCUD11, TCLR11) とオンチップ・デバッグ機能の入力端子 (DDI, DCK, DMS) は兼用しているため、両方の機能を同時に使用できません。

備考 V850E/IA3 : n = 0
 V850E/IA4 : n = 0, 1

8.3 構成

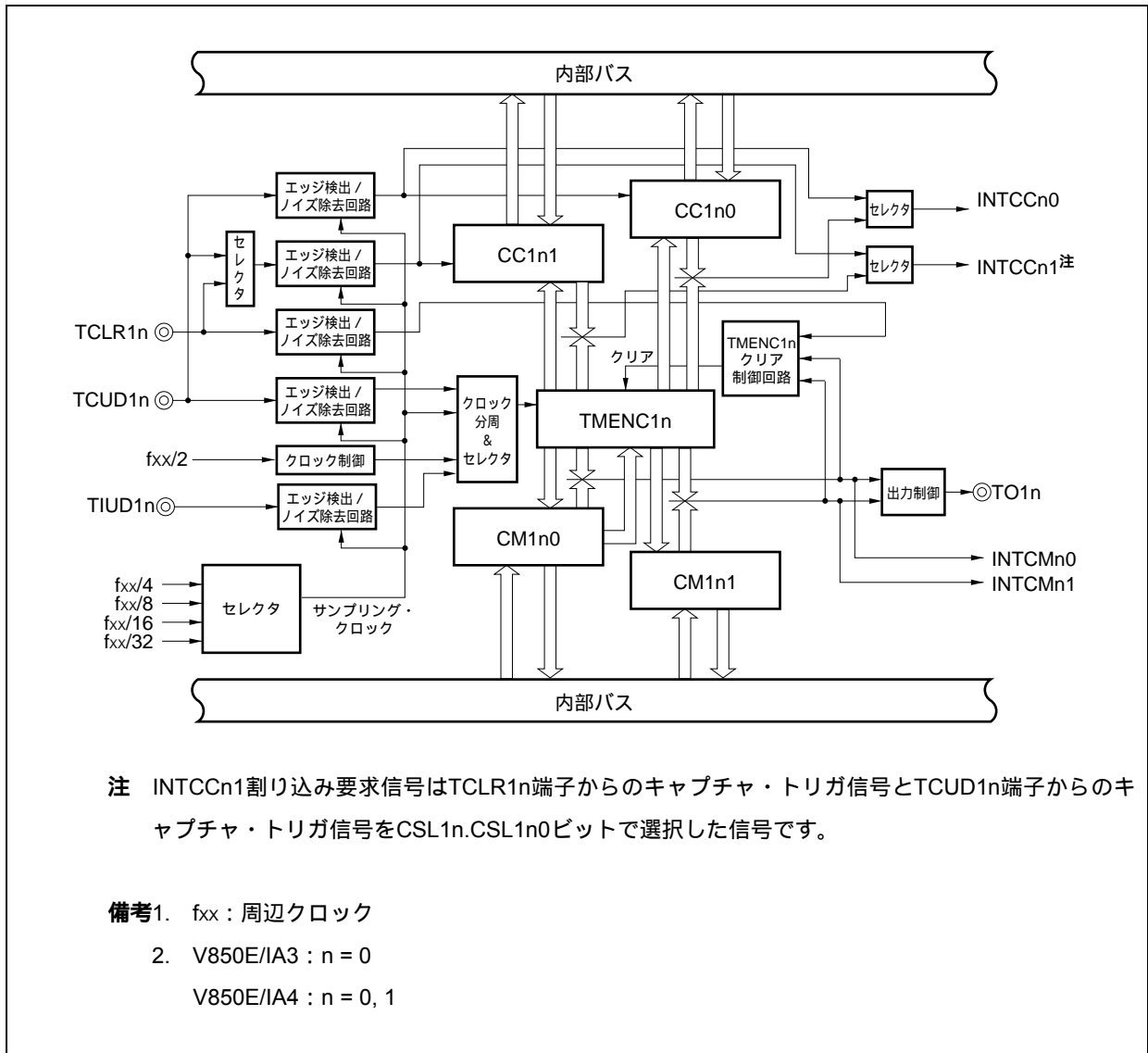
次に基本構成を示します。

表8 - 1 タイマENC1nの構成一覧

タイマ	カウント・クロック	レジスタ	リード/ライト	発生する割り込み要求信号	キャプチャ・トリガ
タイマ ENC1n	f _{xx} /4, f _{xx} /8, f _{xx} /16, f _{xx} /32, f _{xx} /64, f _{xx} /128, f _{xx} /256	TMENC1n	リード/ライト	-	-
		CM1n0	リード/ライト	INTCMn0	-
		CM1n1	リード/ライト	INTCMn1	-
		CC1n0	リード/ライト	INTCCn0	TCUD1n
		CC1n1	リード/ライト	INTCCn1	TCLR1n または TCUD1n

- 備考1.** f_{xx} : 周辺クロック
 2. V850E/IA3 : n = 0, V850E/IA4 : n = 0, 1

図8-1 タイマENC1nのブロック図



注 INTCCn1割り込み要求信号はTCLR1n端子からのキャプチャ・トリガ信号とTCUD1n端子からのキャプチャ・トリガ信号をCSL1n.CSL1n0ビットで選択した信号です。

- 備考1. fxx : 周辺クロック
 2. V850E/IA3 : n = 0
 V850E/IA4 : n = 0, 1

(1) タイマENC1n (TMENC1n)

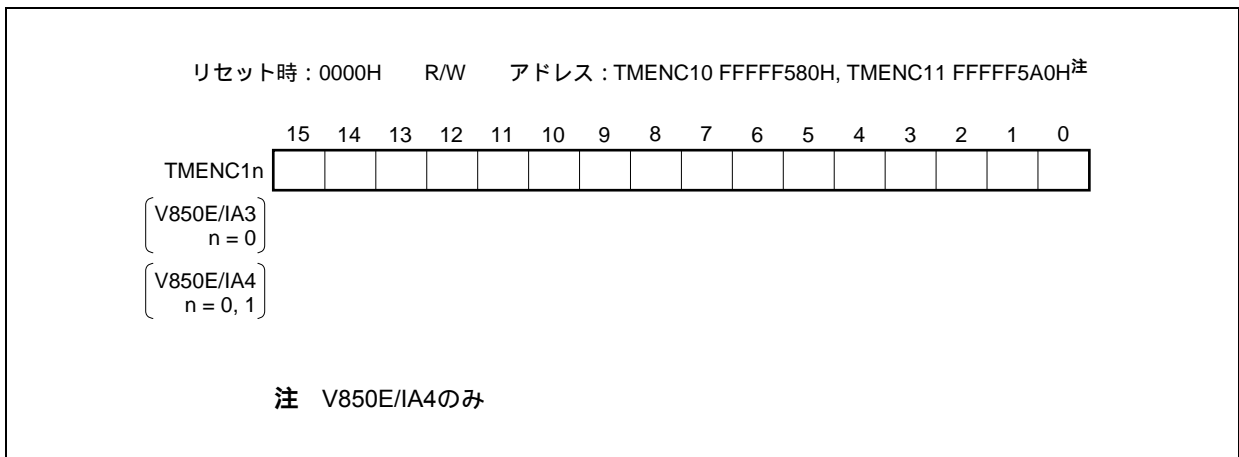
TMENC1nは、汎用タイマ(汎用モード時)および2相エンコーダ入力用アップ/ダウン・カウンタ(UDCモード時)として機能します。

動作モードが汎用モード時にはアップ・カウント，UDCモード時にはアップ/ダウン・カウントを行います。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

- 注意1.** TMENC1nへのライト動作は，TMC1n.TM1CEnビット = 0 (カウント動作禁止) 時のみ許可します。
2. TMENC1nの連続読み出しは禁止します。TMENC1nの連続読み出しを行った場合，2回目の読み出し値が実際の値と異なる可能性があります。TMENC1nを2回読み出す必要がある場合は，必ず1回目と2回目の間にほかのレジスタを読み出してください。
 3. TMENC1n, CC1n0, CC1n1レジスタとSTATUS1nレジスタは同値書き込みを禁止します。CCR1n, TUM1n, TMC1n, SESA1n, PRM1nレジスタとCM1n0, CM1n1レジスタは同値書き込みを許可します(カウント動作中においても同値書き込みを保証します)。



TMENC1nのスタートおよびストップは，TMC1n.TM1CEnビットによって制御します。

TMENC1nの動作には次に示す2つのモードがあります。

(a) 汎用タイマ・モード

汎用タイマ・モードでは，16ビットのインターバル・タイマ，フリー・ランニング・タイマ，またはPWM出力として動作します。

ソフトウェアで選択されたクロックをもとに，カウント動作を行います。カウント・クロックはプリスケラによる分周をPRM1n.PRM1n2-PRM1n0ビットにより， $f_{xx}/4$ ， $f_{xx}/8$ ， $f_{xx}/16$ ， $f_{xx}/32$ ， $f_{xx}/64$ ， $f_{xx}/128$ ， $f_{xx}/256$ から選択できます (f_{xx} : 周辺クロック)。

(b) アップ/ダウン・カウンタ・モード (UDCモード)

UDCモードでは，16ビットのアップ/ダウン・カウンタとして動作します。TCUD1n, TIUD1nの入力信号をもとにカウント動作を行います。なお，このモードは，TMENC1nのクリア条件により，UDCモードAとUDCモードBの2種類のモードがあります。

- 注意1. TCU1n端子はUDCモードと外部キャプチャ機能が兼用構成となっています。このため、UDCモード時には、外部キャプチャ機能は使用できません。
2. TCLR1n端子はUDCモードと外部キャプチャ機能が兼用構成となっています。このため、UDCモードA時にTCLR1n入力を使用する場合には、外部キャプチャ機能は使用できません。

TMENC1nが動作中にクリアされる条件は動作モードにより次のように分類できます。

表8 - 2 TMENC1nのクリア条件

動作モード	TUM1nレジスタ		TMC1nレジスタ			TMENC1nのクリア
	CMDn ビット	MSELn ビット	ENMDn ビット	CLRn1 ビット	CLRn0 ビット	
汎用タイマ・モード	0	0	0	×	×	クリア動作を行わない(フリー・ランニング・タイマ)
			1	×	×	CM1n0レジスタ設定値と一致でクリア
UDCモードA	1	0	×	0	0	TCLR1n入力のみでクリア
			×	0	1	アップ・カウント中のCM1n0レジスタ設定値との一致でクリア
			×	1	0	TCLR1n入力もしくはアップ・カウント中のCM1n0レジスタ設定値との一致でクリア
			×	1	1	クリア動作を行わない
UDCモードB	1	1	×	×	×	アップ・カウント中のCM1n0レジスタ設定値との一致でクリアもしくはダウン・カウント中のCM1n1レジスタ設定値との一致でクリア
上記設定以外						設定禁止

備考1. × : 該当ビットの設定値は無視されることを示します。

2. V850E/IA3 : n = 0

V850E/IA4 : n = 0, 1

8.4 制御レジスタ

(1) タイマ・ユニット・モード・レジスタ1n (TUM1n)

TUM1nレジスタは、TMENC1nの動作モード指定、出力端子の動作制御などを行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1.** TMENC1n動作中 (TMC1n.TM1CEnビット = 1) にTUM1nレジスタの内容を変更することは禁止します。
- 2.** CMDnビット = 0 (汎用タイマ・モード) 時に、MSELnビット = 1 (UDCモードB) の設定は禁止します。

リセット時：00H R/W アドレス：TUM10 FFFFF58BH, TUM11 FFFFF5ABH^注

	7	6	5	4	3	2	1	0
TUM1n	CMDn	0	0	0	TOEn	ALVT10n	0	MSELn
(V850E/IA3 n = 0)	CMDn	TMENC1nの動作モード指定						
	0	汎用タイマ・モード (アップ・カウント)						
(V850E/IA4 n = 0, 1)	1	UDCモード (アップ/ダウン・カウント)						

TOEn	タイマ出力 (TO1n) の許可指定
0	出力禁止
1	出力許可
CMDnビット = 1 (UDCモード) のときは、TOEnビットの指定にかかわらず、タイマ出力は行いません。その際タイマ出力は、ALVT10nビットの設定レベルの逆相レベルを出力します。	

ALVT10n	タイマ出力 (TO1n) のアクティブ・レベル指定
0	アクティブ・レベルはハイ・レベル
1	アクティブ・レベルはロウ・レベル
CMDnビット = 1 (UDCモード) のときは、TOEnビットの指定にかかわらず、タイマ出力は行いません。その際タイマ出力は、ALVT10nビットの設定レベルの逆相レベルを出力します。	

MSELn	UDCモード (アップ/ダウン・カウント) 時の動作を指定します。
0	UDCモードA TMENC1nは、TMC1n.CLRn1, CLRn0ビットの設定によるクリアが可能
1	UDCモードB TMENC1nは次の場合にクリア動作を行います。 ・TMENC1nがアップ・カウント中のCM1n0レジスタとの一致でクリア ・TMENC1nがダウン・カウント中のCM1n1レジスタとの一致でクリア
UDCモードB設定時は、TMC1n.ENMDn, CLRn1, CLRn0ビットは無効になります。	

注 V850E/IA4のみ

(2) タイマ・コントロール・レジスタ1n (TMC1n)

TMC1nレジスタは、TMENC1nの動作許可/禁止、転送およびタイマ・クリア動作の設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 TMENC1n動作中(TM1CEnビット = 1)にTM1CEnビット以外のTMC1nレジスタの内容を変更することは禁止します。

リセット時：00H R/W アドレス：TMC10 FFFFF58CH, TMC11 FFFFF5ACH^注

	7	⑥	5	4	3	2	1	0
TMC1n	0	TM1CEn	0	0	RLEnN	ENMDn	CLRn1	CLRn0

V850E/IA3
n = 0

V850E/IA4
n = 0, 1

TM1CEn	TMENC1nの動作制御
0	カウント動作禁止
1	カウント動作許可

RLEnN	CM1n0レジスタからTMENC1nへの転送動作の指定
0	転送動作禁止
1	転送動作許可

・ RLEnN = 1のとき、TMENC1nのアンダフローによりTMENC1nにはCM1n0レジスタに設定されている値が転送されます。

・ RLEnNビットはUDCモードA時 (TUM1n.CMDnビット = 1, MSELnビット = 0) のみ有効です。汎用タイマ・モード時 (CMDnビット = 0) およびUDCモードB時 (CMDnビット = 1, MSELnビット = 1) は、RLEnNビットをセット (1) しても転送動作は行いません。

ENMDn	汎用タイマ・モード時のTMENC1nのクリア動作の制御
0	クリア禁止 (フリー・ランニング・モード) TMENC1nはCM1n0レジスタと一致してもクリア動作は行いません。
1	クリア許可 TMENC1nはCM1n0レジスタとの一致によりクリア動作します。

UDCモード (TUM1n.T1CMDnビット = 1) のとき、ENMDnビットの設定は無効になります。

CLRn1	CLRn0	TMENC1nのクリア要因の指定
0	0	外部入力 (TCLR1n) のみでクリア
0	1	TMENC1nカウント値とCM1n0レジスタ設定値との一致でクリア
1	0	TCLR1n入力もしくは、TMENC1nカウント値とのCM1n0レジスタ設定値との一致でクリア
1	1	クリアなし

・ TMENC1nカウント値とCM1n0レジスタ設定値との一致によるクリアは、TMENC1nがアップ・カウント動作時のみ有効です (TMENC1nがダウン・カウント中の場合は、TMENC1nクリア動作は行いません)。

・ 汎用タイマ・モード (TUM1n.CMDnビット = 0) のとき、CLRn1, CLRn0ビットの設定は無効となります。

・ UDCモードB (TUM1n.MSELnビット = 1) のとき、CLRn1, CLRn0ビットの設定は無効となります。

・ CLRn1, CLRn0ビットでTCLR1nでのクリアを有効にした場合、TM1CEnビットが1, 0いずれの場合でもクリアされます。

注 V850E/IA4のみ

(3) キャプチャ/コンペア・コントロール・レジスタ1n (CCR1n)

CCR1nレジスタは, CC1n0, CC1n1レジスタの動作モードを指定します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. TMENC1n動作中 (TMC1n.TM1CEnビット = 1) にCCR1nレジスタを書き換えることは禁止します。
2. TCUD1n端子はUDCモードと外部キャプチャ機能が兼用構成となっています。このため,UDCモード時には,外部キャプチャ機能は使用できません。
 3. TCLR1n端子はUDCモードと外部キャプチャ機能が兼用構成となっています。このため,UDCモードA時にTCLR1n入力を使用する場合には,外部キャプチャ機能は使用できません。

リセット時: 00H R/W アドレス: CCR10: FFFFF58AH, CCR11 FFFFF5AAH^注

	7	6	5	4	3	2	1	0
CCR1n	0	0	0	0	0	0	CMSn1	CMSn0

{ V850E/IA3 n = 0 } { V850E/IA4 n = 0, 1 }	CMSn1	CC1n1レジスタの動作モード指定
	0	キャプチャ・レジスタとして動作
	1	コンペア・レジスタとして動作

CMSn0	CC1n0レジスタの動作モード指定
0	キャプチャ・レジスタとして動作
1	コンペア・レジスタとして動作

注 V850E/IA4のみ

(4) 有効エッジ選択レジスタ1n (SESA1n)

SESA1nレジスタは, 外部端子による外部割り込み要求信号 (TIUD1n, TCUD1n, TCLR1n) の有効エッジを指定するレジスタです。

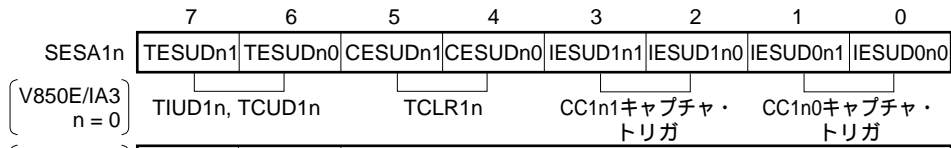
有効エッジは, 立ち上がりエッジ, 立ち下がりエッジ, または立ち上がり/立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. TMENC1n動作中 (TMC1n.TM1CEnビット = 1) にSESA1nレジスタの各ビットを変更することは禁止します。
2. TIUD1n, TCUD1n, TCLR1n端子のトリガ・モードを設定する場合はPMC3, PMC5レジスタを設定したあとで行ってください。SESA1nレジスタを設定したあとでPMC3, PMC5レジスタの設定を行うと, PMC3, PMC5レジスタの設定タイミングで不正な割り込みや誤カウント, 誤クリアが発生することがあります。

リセット時：00H R/W アドレス：SESA10 FFFFF58DH, SESA11 FFFFF5ADH^注



TESUDn1	TESUDn0	TIUD1n, TCUD1n端子の有効エッジの指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がり両エッジ

・ TESUDn1, TESUDn0ビットは、UDCモードA, UDCモードB時のみ設定が有効です。
 ・ TMENC1nの動作がモード4に設定されている場合（PRM1n.PRM1n2-PRM1n0ビットで指定）には、TIUD1n, TCUD1n端子に対する有効エッジの指定（TESUDn1, TESUDn0ビット）は無効です。

CESUDn1	CESUDn0	TCLR1n端子の有効エッジの指定
0	0	立ち下がりエッジ（エッジ検出後、TMENC1nをクリア）
0	1	立ち上がりエッジ（エッジ検出後、TMENC1nをクリア）
1	0	ロウ・レベル（TMENC1nはクリアを保持）
1	1	ハイ・レベル（TMENC1nはクリアを保持）

・ CESUDn1, CESUDn0ビットは、UDCモードA時のみ、設定が有効です。

IESUD1n1	IESUD1n0	CC1n1レジスタのキャプチャ・トリガの有効エッジの指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がり両エッジ

CC1n1レジスタのキャプチャ・トリガ信号はCSL1n.CSL1n0ビットでTCLR1n端子がTCUD1n端子が選択できます。

IESUD0n1	IESUD0n0	CC1n0レジスタのキャプチャ・トリガの有効エッジの指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がり両エッジ

CC1n0レジスタのキャプチャ・トリガ信号はTCUD1n端子で入力されます。

注 V850E/IA4のみ

(5) プリスケアラ・モード・レジスタ1n (PRM1n)

PRM1nレジスタは、次の選択を行うレジスタです。

- ・汎用タイマ・モード (TUM1n.CMDnビット = 0) 時のカウント・クロックを選択します。
- ・UDCモード時 (CMDnビット = 1) 時にカウント動作モードを選択します。

8/1ビット単位でリード/ライト可能です。

リセットにより07Hになります。

注意1. TMENC1n動作中 (TMC1n.TM1CEnビット = 1) にPRM1nレジスタを書き換えることは禁止します。

2. UDCモード (TUM1n.CMDnビット = 1) のとき、PRM1n2ビット値が0の設定は禁止します。

3. TMENC1n動作がモード4に指定されている場合には、TIUD1n、TCUD1n端子に対する有効エッジの指定は無効となります。

リセット時：07H R/W アドレス：PRM10 FFFFFFF58EH, PRM11 FFFFFFF5AEH^注

	7	6	5	4	3	2	1	0
PRM1n	0	0	0	0	0	PRM1n2	PRM1n1	PRM1n0

V850E/IA3 n = 0	PRM1n2	PRM1n1	PRM1n0	CMDn = 0		
				カウント・クロック	CMDn = 1	
V850E/IA4 n = 0, 1				設定禁止	設定禁止	
	0	0	1	fxx/4	設定禁止	
	0	1	0	fxx/8		
	0	1	1	fxx/16		
	1	0	0	fxx/32		TIUD1n
	1	0	1	fxx/64		モード2
	1	1	0	fxx/128		モード3
	1	1	1	fxx/256		モード4

注 V850E/IA4のみ

備考 fxx : 周辺クロック

(a) 汎用タイマ・モード (TUM1n.CMDnビット = 0) 時

カウント・クロックはPRM1n2-PRM1n0ビットで指定します。

(b) UDCモード (TUM1n.CMDnビット = 1) 時

UDCモード時のTMENC1nのカウンタ要因を次に示します。

動作モード	TMENC1nの動作
モード1	TCUD1n = ハイ・レベルのとき, ダウン・カウント TCUD1n = ロウ・レベルのとき, アップ・カウント
モード2	TIUD1n入力の有効エッジ検出でアップ・カウント TCUD1n入力の有効エッジ検出でダウン・カウント
モード3	TCUD1n = ハイ・レベルのとき, TIUD1n入力の有効エッジ検出でアップ・カウント TCUD1n = ロウ・レベルのとき, TIUD1n入力の有効エッジ検出でダウン・カウント
モード4	TIUD1n入力の両エッジおよびTCUD1n入力の両エッジ検出で自動判別

(6) ステータス・レジスタ1n (STATUS1n)

STATUS1nレジスタは, TMENC1nの動作状態を示すレジスタです。

8/1ビット単位でリードだけ可能です。

リセットにより00Hになります。

リセット時: 00H R アドレス: STATUS10 FFFFF58FH, STATUS11 FFFFF5AFH^注

STATUS1n	7	6	5	4	3	②	①	①
	0	0	0	0	0	TM1UDFn	TM1OVFn	TM1UBDn
(V850E/IA3 n = 0) (V850E/IA4 n = 0, 1)	TM1UDFn	TMENC1nのアンダフロー・フラグ						
	0	TMENC1nのカウント・アンダフロー発生なし						
	1	TMENC1nのカウント・アンダフロー発生あり						
TM1UDFnビットは, CPUからSTATUS1nレジスタへのリード・アクセス終了後にクリア(0)されます。								
TM1OVFn	TMENC1nのオーバフロー・フラグ							
0	TMENC1nのカウント・オーバフロー発生なし							
1	TMENC1nのカウント・オーバフロー発生あり							
TM1OVFnビットは, CPUからSTATUS1nレジスタへのリード・アクセス終了後にクリア(0)されます。								
TM1UBDn	TMENC1nのアップ/ダウン・カウンタ動作状態							
0	TMENC1nのアップ・カウンタ動作中							
1	TMENC1nのダウン・カウンタ動作中							
TM1UBDnビットはモードにより次のようになります。 ・汎用タイマ・モード (TUM1n.CMDnビット = 0) 時 TM1UBDnビットは“0”固定です。 ・UDCモード (TUM1n.CMDnビット = 1) 時 TMENC1nのアップ/ダウン状態を表示します。								

注 V850E/IA4のみ

(7) CC1n1キャプチャ入力選択レジスタ (CSL1n)

CSL1nレジスタは、CC1n1レジスタをキャプチャ・レジスタとして使用したとき、キャプチャ入力信号としてTCLR1n端子とTCUD1n端子のどちらを使用するか選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：CSL10 FFFFF596H, CSL11 FFFFF5B6H^注

	7	6	5	4	3	2	1	0
CSL1n	0	0	0	0	0	0	0	CSL1n0

(V850E/IA3 n = 0) (V850E/IA4 n = 0, 1)	CSL1n0	CC1n1レジスタのキャプチャ入力信号の選択	
	0	TCLR1n入力	
	1	TCUD1n入力	

注 V850E/IA4のみ

(8) ノイズ除去時間選択レジスタ1n (NRC1n)

NRC1nレジスタは、TIUD1n, TCUD1n, TCLR1n端子のデジタル・ノイズ除去に使用するサンプリング・クロックを選択します。同じレベルをNRC1nレジスタで選択したクロックで5回連続検出できなかった場合、その信号はノイズとして除去されます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 入力パルスが4-5クロック幅の場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、5クロック以上の幅の同一レベルの入力が必要です。
- サンプリング・クロックに同期してノイズが発生している場合には、入力端子にフィルタを付加してノイズを除去してください。
 - 通常入力ポートとして使用する場合はノイズ除去を行いません。
 - TMC1n.TM1CEnビット = 1 (カウント動作許可) でノイズ除去機能が動作を開始します。

リセット時：00H R/W アドレス：NRC10 FFFFF598H, NRC11 FFFFF5B8H^注

	7	6	5	4	3	2	1	0
NRC1n	0	0	0	0	0	0	NRC1n1	NRC1n0

(V850E/IA3 n = 0) (V850E/IA4 n = 0, 1)	NRC1n1	NRC1n0	サンプリング・クロックの選択
	0	0	fxx/32
	0	1	fxx/16
	1	0	fxx/8
	1	1	fxx/4

注 V850E/IA4のみ

(9) コンペア・レジスタ1n0 (CM1n0)

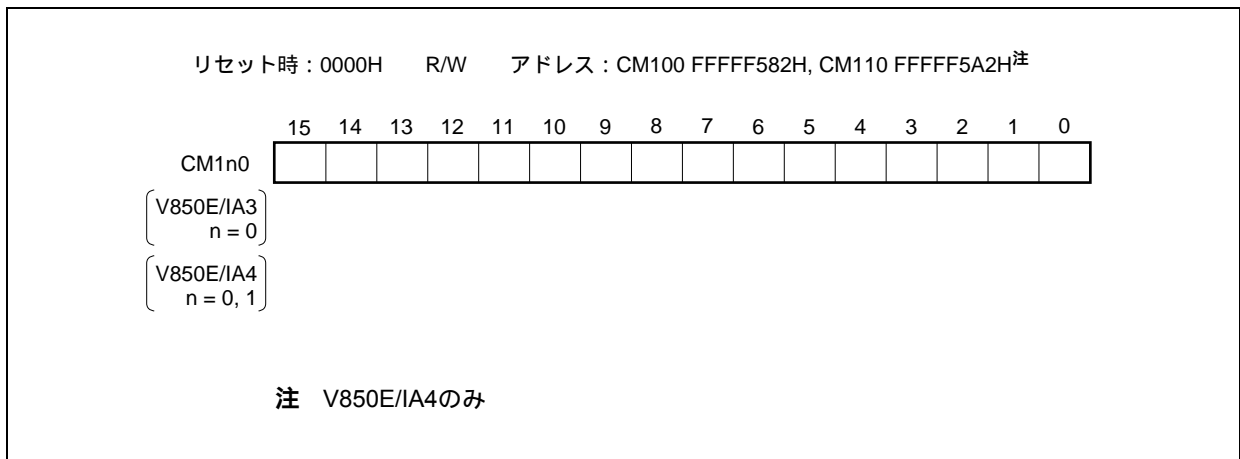
CM1n0レジスタは、16ビットのレジスタで、TMENC1nと常に比較動作を行い、一致を検出すると割り込み要求信号を発生します。次に各モードでの割り込み要求信号発生タイミングを示します。

- ・汎用タイマ・モード (TUM1n.CMDnビット = 0) , UDCモードA (TUM1n.MSELnビット = 0) 時は、一致検出により割り込み要求信号 (INTCMn0) を発生します。
- ・UDCモードB (TUM1n.MSELnビット = 1) 時は、アップ・カウント中の一致検出時のみ割り込み要求信号 (INTCMn0) を発生します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 TMC1n.TM1CEnビット = 1のときには、CM1n0レジスタの値を書き換えることは禁止します。



(10) コンペア・レジスタ1n1 (CM1n1)

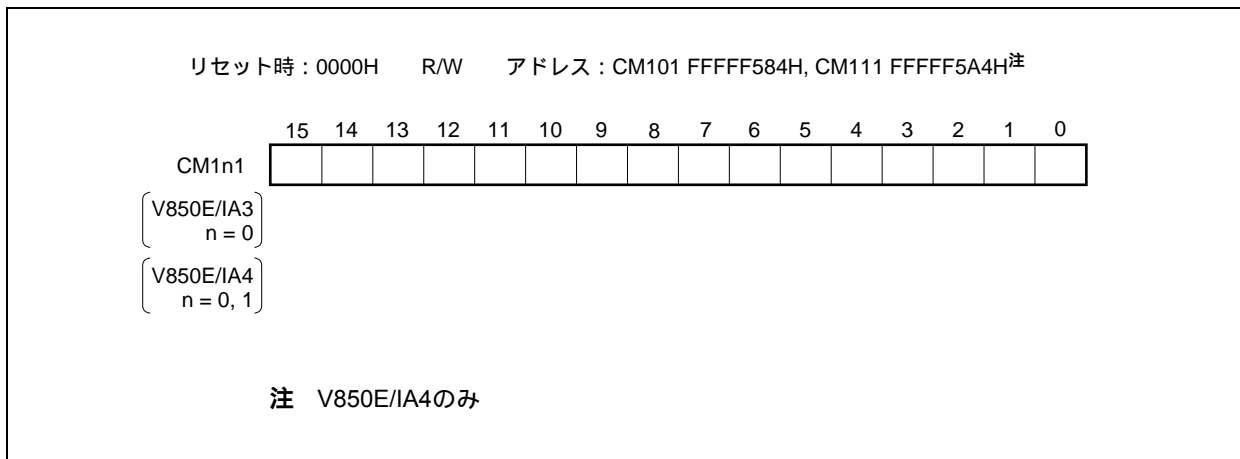
CM1n1レジスタは、16ビットのレジスタで、TMENC1nと常に比較動作を行い、一致を検出すると割り込み要求信号を発生します。次に各モードでの割り込み要求信号発生タイミングを示します。

- ・汎用タイマ・モード (TUM1n.CMDnビット = 0) , UDCモードA (TUM1n.MSELnビット = 0) 時は、一致検出により割り込み要求信号 (INTCMn1) を発生します。
- ・UDCモードB (TUM1n.MSELnビット = 1) 時は、ダウン・カウント中の一致検出時のみ割り込み要求信号 (INTCMn1) を発生します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 TMC1n.TM1CEnビット = 1のときには、CM1n1レジスタの値を書き換えることは禁止します。



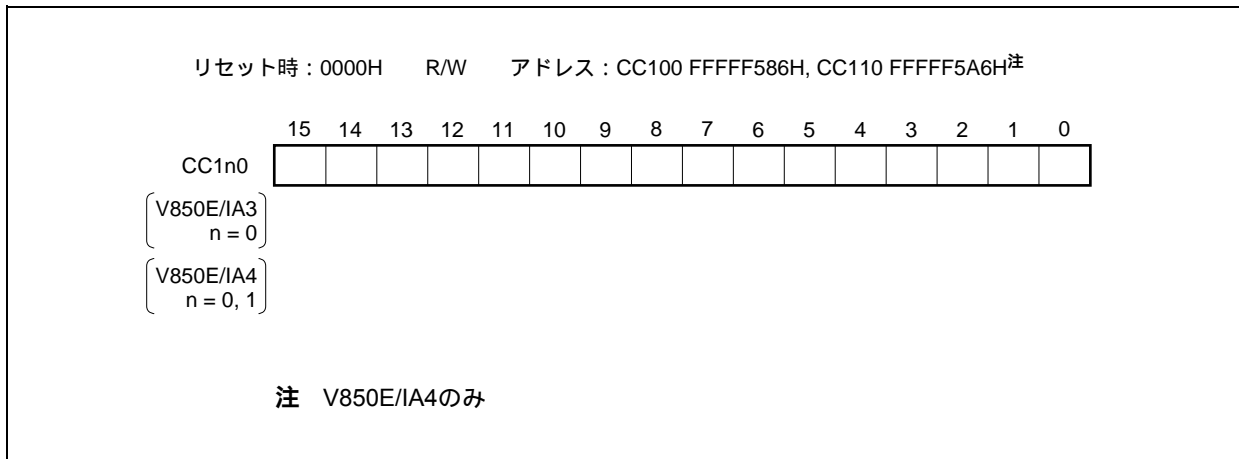
(11) キャプチャ/コンペア・レジスタ1n0 (CC1n0)

CC1n0レジスタは、16ビットのレジスタです。CCR1nレジスタの指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

- 注意1. キャプチャ・レジスタ時(CCR1n.CMSn0ビット = 0)には、ライト・アクセスを禁止します。
2. コンペア・レジスタ時(CCR1n.CMSn0ビット = 1)でTMENC1n動作中(TMC1n.TM1CEnビット = 1)には、CC1n0レジスタ値を書き換えることを禁止します。
 3. TMENC1n停止時(TMC1n.TM1CEnビット = 0)は、キャプチャ・トリガは無効になります。
 4. 動作モードをキャプチャ・レジスタからコンペア・レジスタに変更した場合は、再度新規のコンペア値を設定し直してください。
 5. CC1n0レジスタの連続読み出しは禁止します。CC1n0レジスタの連続読み出しを行った場合、2回目の読み出し値が実際の値と異なる可能性があります。CC1n0レジスタを2回読み出す必要がある場合は、必ず1回目と2回目の間にほかのレジスタを読み出ししてください。



(a) キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は、対応する外部割り込み要求信号(TCUD1n)の有効エッジをキャプチャ・トリガとして検出します。TMENC1nはキャプチャ・トリガに同期して、カウント値をラッチします(キャプチャ動作)。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

外部割り込み要求信号の有効エッジ指定(立ち上がり, 立ち下がり, 立ち上がり/立ち下がり両エッジ)は、SESA1nレジスタにより選択できます。

キャプチャ・レジスタに指定したときは、TCUD1n信号の有効エッジ検出で割り込み要求信号を発生します。

注意 TCUD1n端子はUDCモードと外部キャプチャ機能が兼用構成となっています。このため、UDCモード時には、外部キャプチャ機能は使用できません。

(b) コンペア・レジスタに設定

コンペア・レジスタに設定した場合、常にTMENC1nとCC1n0レジスタの値の比較動作を行い、一致を検出すると割り込み要求信号(INTCCn0)を発生します。

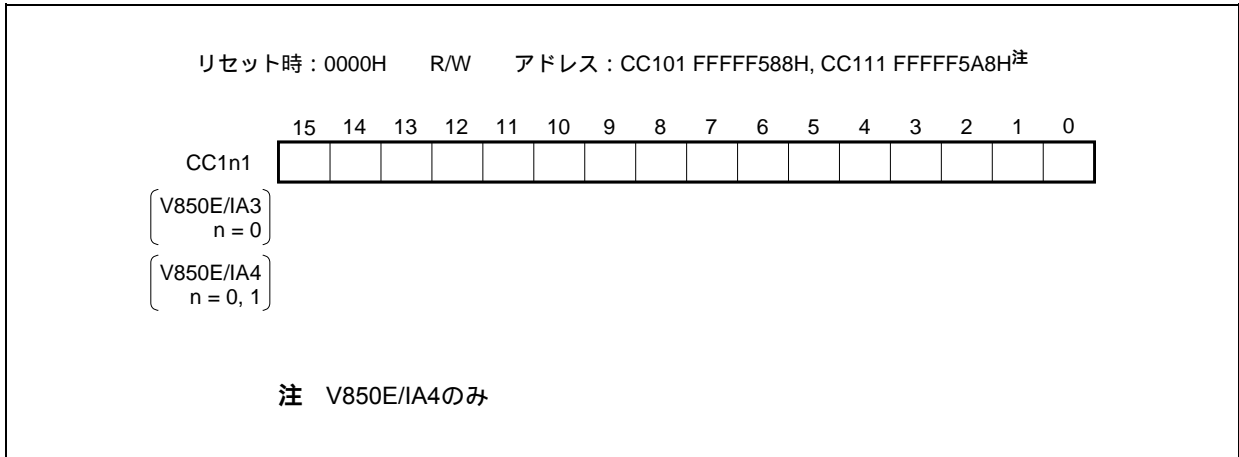
(12) キャプチャ/コンペア・レジスタ1n1 (CC1n1)

CC1n1レジスタは、16ビットのレジスタです。CCR1nレジスタの指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

- 注意1.** キャプチャ・レジスタ時(CCR1n.CMSn1ビット = 0)には、ライト・アクセスを禁止します。
2. コンペア・レジスタ時(CCR1n.CMSn1ビット = 1)でTMENC1n動作中(TMC1n.TM1CEnビット = 1)には、CC1n1レジスタ値を書き換えることは禁止します。
 3. TMENC1n停止中(TMC1n.TM1CEnビット = 0)は、キャプチャ・トリガは無効になります。
 4. 動作モードをキャプチャ・レジスタからコンペア・レジスタに変更した場合は、再度新規のコンペア値を設定し直してください。
 5. CC1n1レジスタの連続読み出しは禁止します。CC1n1レジスタの連続読み出しを行った場合、2回目の読み出し値が実際の値と異なる可能性があります。CC1n1レジスタを2回読み出す必要がある場合は、必ず1回目と2回目の間にほかのレジスタを読み出ししてください。



(a) キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は、対応する外部割り込み要求信号(TCLR1n)の有効エッジをキャプチャ・トリガとして検出します。TMENC1nはキャプチャ・トリガに同期して、カウント値をラッチします(キャプチャ動作)。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

外部割り込み要求信号の有効エッジ指定(立ち上がり, 立ち下がり, 立ち上がり/立ち下がり両エッジ)は、SESA1nレジスタにより選択できます。

キャプチャ・レジスタに指定したときは、TCLR1nとTCUDn信号のどちらか一方の有効エッジ検出で割り込み要求信号を発生します。

- 注意1. TCUD1n端子はUDCモードと外部キャプチャ機能が兼用構成となっています。このため、UDCモード時には、外部キャプチャ機能は使用できません。
2. TCLR1n端子はUDCモードと外部キャプチャ機能が兼用構成となっています。このため、UDCモードA時にTCLR1n入力を使用する場合には、外部キャプチャ機能は使用できません。

(b) コンペア・レジスタに設定

コンペア・レジスタに設定した場合、常にTMENC1nとCC1n1レジスタの値の比較動作を行い、一致を検出すると割り込み要求信号(INTCCn1)を発生します。

8.5 動作

8.5.1 汎用タイマ・モードでの動作

TMENC1nは、汎用タイマ・モードでは次に示す動作ができます。

(1) インターバル動作 (TMC1n.ENMDnビット = 1のとき)

TMENC1nとCM1n0レジスタは常に比較動作を行い、一致を検出するとINTCMn0割り込み要求信号を発生します。一致の次のカウント・クロックでTMENC1nをクリア(0000H)します。さらに次のカウント・クロックが入ると、TMENC1nは0001Hにカウント・アップされます。

インターバル周期は次に示す式で計算できます。

$$\text{インターバル周期} = (\text{CM1n0レジスタ値} + 1) \times \text{TMENC1nのカウント・クロック・レート}$$

(2) フリー・ランニング動作 (TMC1n.ENMDnビット = 0のとき)

TMENC1nは、0000HからFFFFHまでフル・カウントし、STATUS1n.TM1OVFnビットがセット(1)後、次のカウント・クロックで0000Hになり、カウントを続行します。

フリー・ランニング周期は次に示す式で計算できます。

$$\text{フリー・ランニング周期} = 65536 \times \text{TMENC1nのカウント・クロック・レート}$$

(3) コンペア機能

TMENC1nは、コンペア・レジスタ(CM1n0, CM1n1)を2チャンネル、キャプチャ/コンペア・レジスタ(CC1n0, CC1n1)を2チャンネル接続しています。

TMENC1nカウント値と各コンペア・レジスタ設定値とが一致した場合には、一致割り込み要求信号(INTCMn0, INTCMn1, INTCCn0^注, INTCCn1^注)が出力されます。特にインターバル動作時には、INTCMn0発生タイミングで、TMENC1nがクリアされます。

注 CC1n0, CC1n1レジスタがコンペア・レジスタ・モードに設定されているときに一致割り込み要求信号を発生します。

(4) キャプチャ機能

TMENC1nは、キャプチャ/コンペア・レジスタ(CC1n0, CC1n1)を2チャンネル接続しています。

CC1n0, CC1n1レジスタがキャプチャ・レジスタ・モードに設定されているときは、該当するキャプチャ・トリガ信号に同期してTMENC1nの値をキャプチャします。

キャプチャ・トリガ信号に指定されたTCUD1n, TCLR1n入力信号の有効エッジにより割り込み要求信号(INTCCn0, INTCCn1)を発生します。

表8-3 16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号

キャプチャ・レジスタ	キャプチャ・トリガ信号
CC1n0	TCUD1n
CC1n1	TCUDnまたはTCLR1n

備考 CC1n0, CC1n1レジスタはキャプチャ/コンペア・レジスタです。どちらのレジスタとして使用するかは、CCR1nレジスタで指定します。

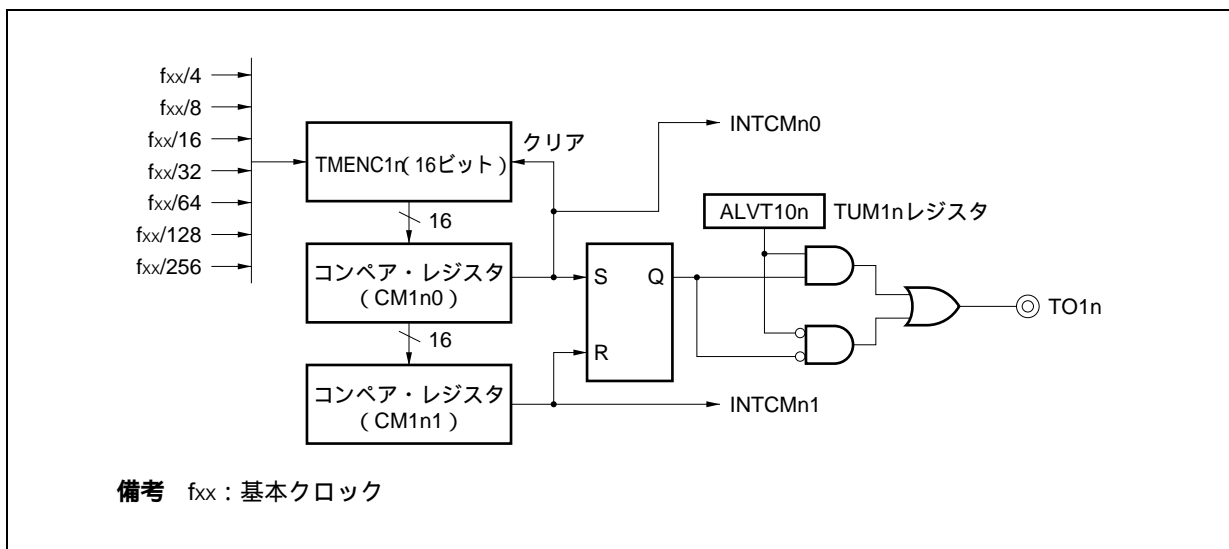
キャプチャ・トリガの有効エッジは、SESA1nレジスタにより指定します。立ち上がり/立ち下がりの両エッジをキャプチャ・トリガとした場合は、外部からの入力パルス幅を測定できます。片側エッジをキャプチャ・トリガとした場合は、入力パルスの周期を測定できます。

(5) PWM出力動作

TUM1nレジスタによりTMENC1nを汎用タイマ・モード(TUM1n.CMDnビット = 0)に設定することで、TO1n端子からPWM出力動作をします。

また、分解能は16ビットで、カウント・クロックは7種類の内部クロック($f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$)から選択できます。

図8-2 TMENC1nのブロック図(PWM出力動作時)

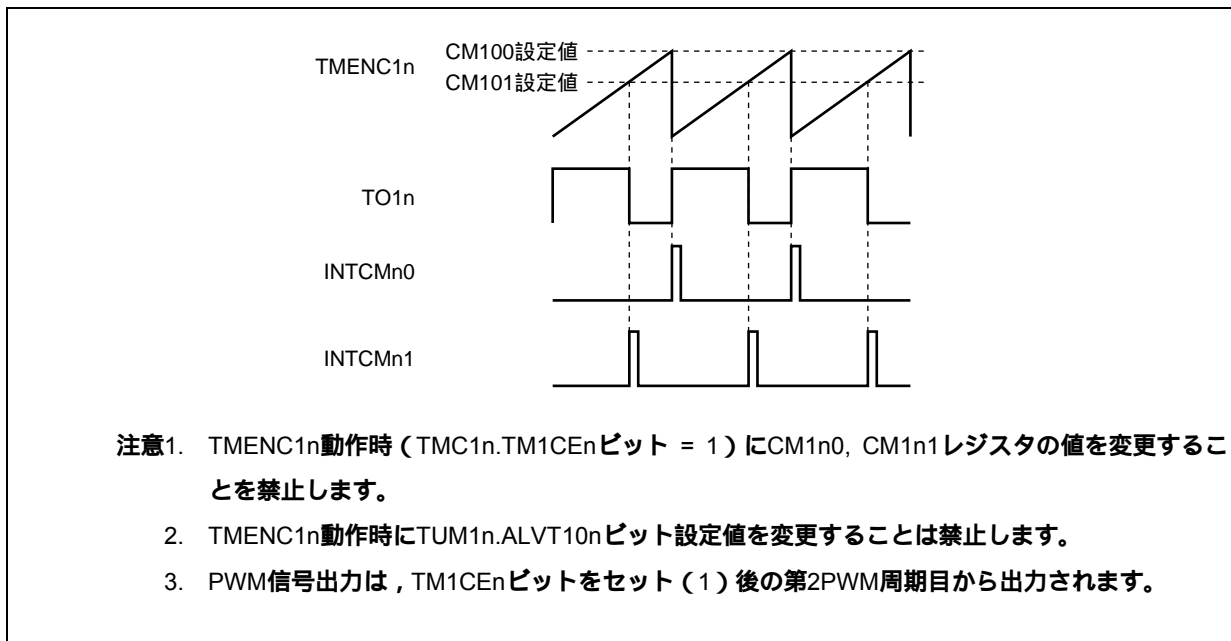


(i) 動作説明

CM1n0レジスタは、PWM出力の周期を設定するコンペア・レジスタです。TMENC1nと一致するとINTCMn0割り込みを発生します。コンペア一致したことをハードウェアで保持し、一致の次のカウント・クロックでTMENC1nをクリアします。

CM1n1レジスタは、PWM出力のデューティを設定するコンペア・レジスタです。PWM周期で必要なデューティを設定してください。

図8 - 3 PWM信号出力例 (ALVT10nビット = 0設定時)



8.5.2 UDCモードでの動作

(1) UDCモードでの動作概要

UDCモード (TUM1n.CMDnビット = 1) 時のTMENC1nへのカウント・クロックは、TIUD1n, TCUD1n端子からの外部入力のみとなります。UDCモード時のアップ/ダウン・カウント判定は、PRM1nレジスタ設定に従ったTIUD1n, TCUD1n端子入力の位相差により決定します (選択肢は合計4種類存在します)。

表8 - 4 UDCモードのカウント動作一覧

PRM1nレジスタ			動作 モード	TMENC1nのカウント動作
PRM1n2	PRM1n1	PRM1n0		
1	0	0	モード1	TCUD1n = ハイ・レベルのとき、ダウン・カウント TCUD1n = ロウ・レベルのとき、アップ・カウント
1	0	1	モード2	TIUD1n入力の有効エッジ検出でアップ・カウント TCUD1n入力の有効エッジ検出でダウン・カウント
1	1	0	モード3	TCUD1n = ハイ・レベルのとき、TIUD1n入力の有効エッジ検出でアップ・カウント TCUD1n = ロウ・レベルのとき、TIUD1n入力の有効エッジ検出でダウン・カウント
1	1	1	モード4	TIUD1n入力の両エッジおよびTCUD1n入力の両エッジ検出で自動判別

さらにUDCモードでは、TMENC1nのクリア条件により、2種類のモードに分かれます(両モードとも、TIUD1n, TCUD1n入力でのみカウント動作を行います)。

・UDCモードA (TUM1n.CMDnビット = 1, MSELnビット = 0)

TMENC1nのクリア要因を外部クリア入力(TCLR1n)のみか、アップ・カウント中のTMENC1nのカウント値とCM1n0レジスタ設定値との一致信号か、または、両信号の論理和(OR)かをTMC1n.CLRn1, CLRn0ビットによって選択可能です。

また、TMENC1nは、自己のアンダフロー発生タイミングでCM1n0レジスタの値を転送できます。

・UDCモードB (TUM1n.CMDnビット = 1, MSELnビット = 1)

TMENC1nのカウント値とCM1n0レジスタ設定値が一致後のTMENC1nの状態を次に示します。

アップ・カウントの場合、TMENC1nをクリア(0000H)し、INTCMn0割り込み要求信号を発生します。

ダウン・カウントの場合、TMENC1nカウント値をデクリメント(-1)します。

TMENC1nのカウント値とCM1n1レジスタ設定値が一致後のTMENC1nの状態を次に示します。

アップ・カウントの場合、TMENC1nカウント値をインクリメント(+1)します。

ダウン・カウントの場合、TMENC1nをクリア(0000H)し、INTCMn1割り込み要求信号を発生します。

(2) UDCモードでのアップ/ダウン・カウント動作

UDCモード時のTMENC1nのアップ/ダウン・カウント判定は、PRM1nレジスタ設定に従ったTIUD1n, TCUD1n端子入力の位相差により決定します。次に具体的な動作を示します。

(a) モード1 (PRM1n.PRM1n2ビット = 1, PRM1n1ビット = 0, PRM1n0ビット = 0)

モード1では、TIUD1n端子の有効エッジを検出したときに、TCUD1n端子レベルの条件によりカウントは次のようになります。

- ・TCUD1n端子 = ハイ・レベルの場合、TMENC1nをダウン・カウントします。
- ・TCUD1n端子 = ロウ・レベルの場合、TMENC1nをアップ・カウントします。

図8-4 モード1 (TIUD1n端子の有効エッジが立ち上がりエッジ指定の場合)

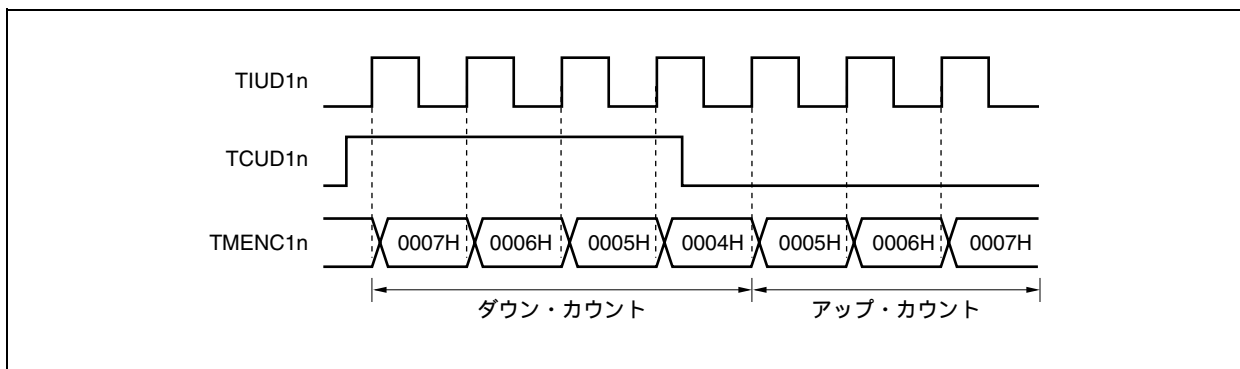
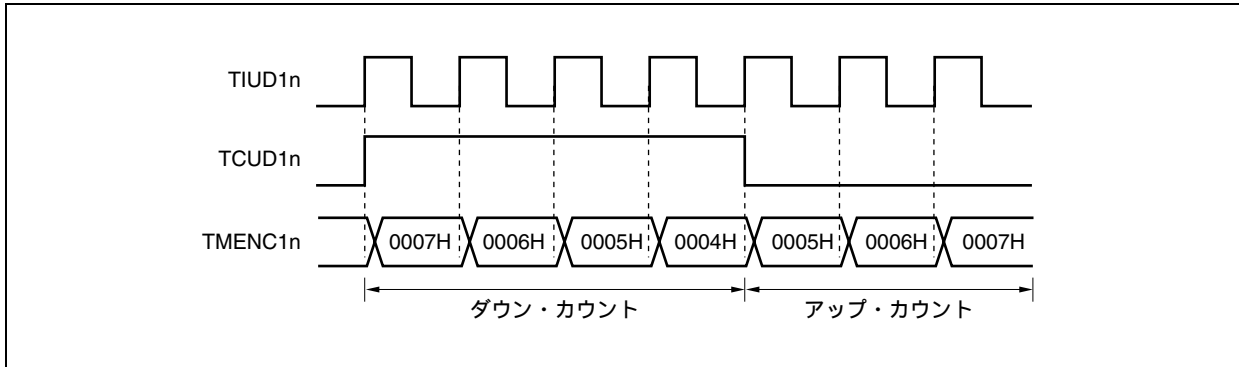


図8 - 5 モード1 (TIUD1n端子の有効エッジが立ち上がりエッジ指定の場合)
: TIUD1n, TCUD1n端子のエッジが同時タイミングのとき



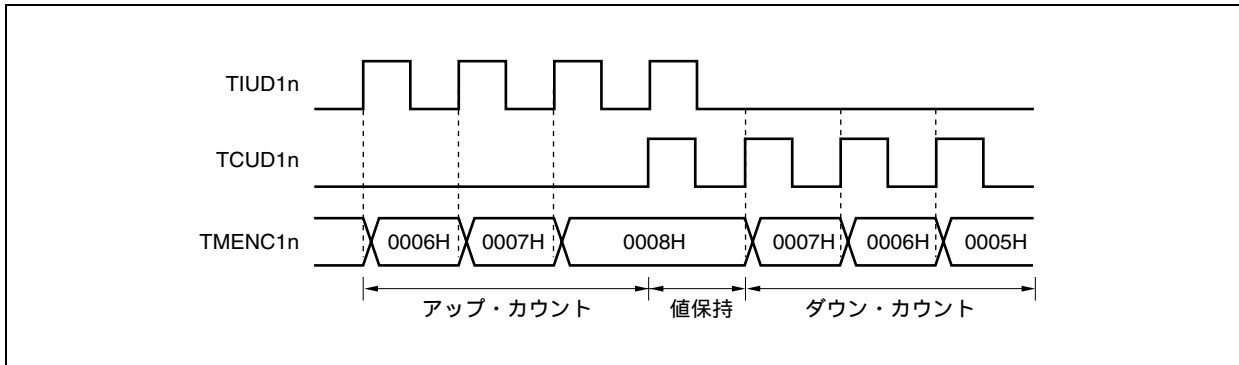
(b) モード2 (PRM1n.PRM1n2ビット = 1, PRM1n1ビット = 0, PRM1n0ビット = 1)

モード2でのカウンタの条件は次のようになります。

- ・ TIUD1n端子の有効エッジを検出した場合, TMENC1nをアップ・カウントします。
- ・ TCUD1n端子の有効エッジを検出した場合, TMENC1nをダウン・カウントします。

注意 TIUD1n端子とTCUD1n端子にカウント・クロックが同時に入力した場合には, カウント動作を行わず, 直前の値は保持します。

図8 - 6 モード2 (TIUD1n, TCUD1n端子の有効エッジが立ち上がりエッジ指定の場合)



(c) モード3 (PRM1n.PRM1n2 = 1, PRM1n1 = 1, PRM1n0 = 0)

モード3は、TIUD1n端子とTCUD1n端子が90°の位相差を持つ2相信号を入力すると、TIUD1n端子の有効エッジ入力でTCUD1n端子のレベルをサンプリングします(図8-7参照)。

TIUD1n端子の有効エッジ入力でサンプリングしたTCUD1n端子レベルがロウ・レベルの場合、TMENC1nはTIUD1n端子の有効エッジ入力でダウン・カウントします。

TIUD1n端子の有効エッジ入力でサンプリングしたTCUD1n端子レベルがハイ・レベルの場合、TMENC1nはTIUD1n端子の有効エッジ入力でアップ・カウントします。

図8-7 モード3 (TIUD1n端子の有効エッジが立ち上がりエッジ指定の場合)

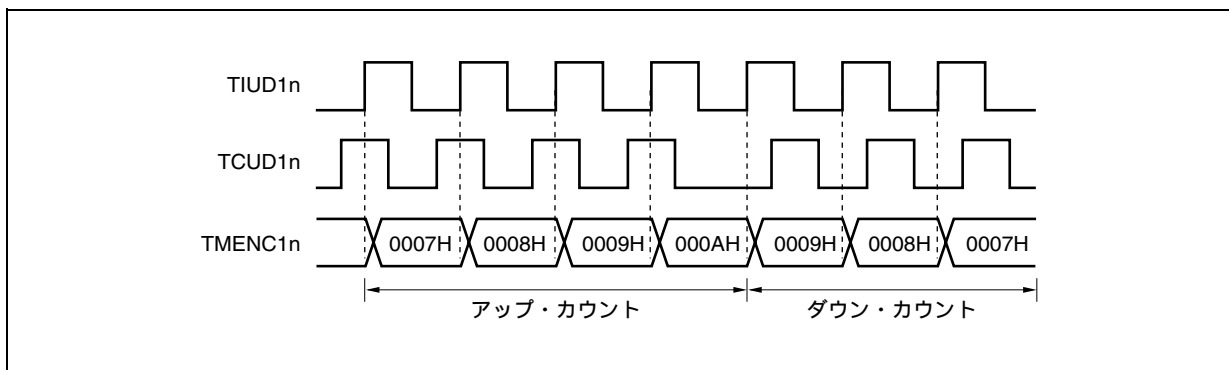
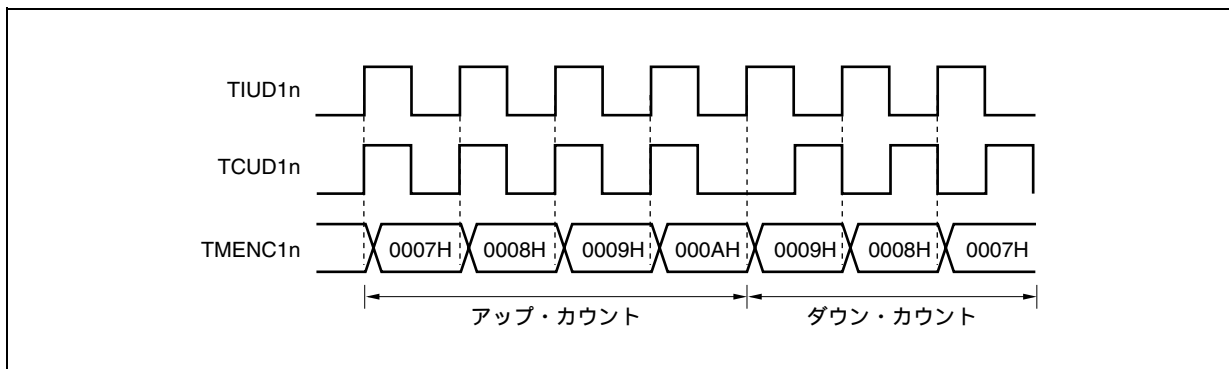


図8-8 モード3 (TIUD1n端子の有効エッジが立ち上がりエッジ指定の場合)

: TIUD1n, TCUD1n端子のエッジが同時タイミングのとき

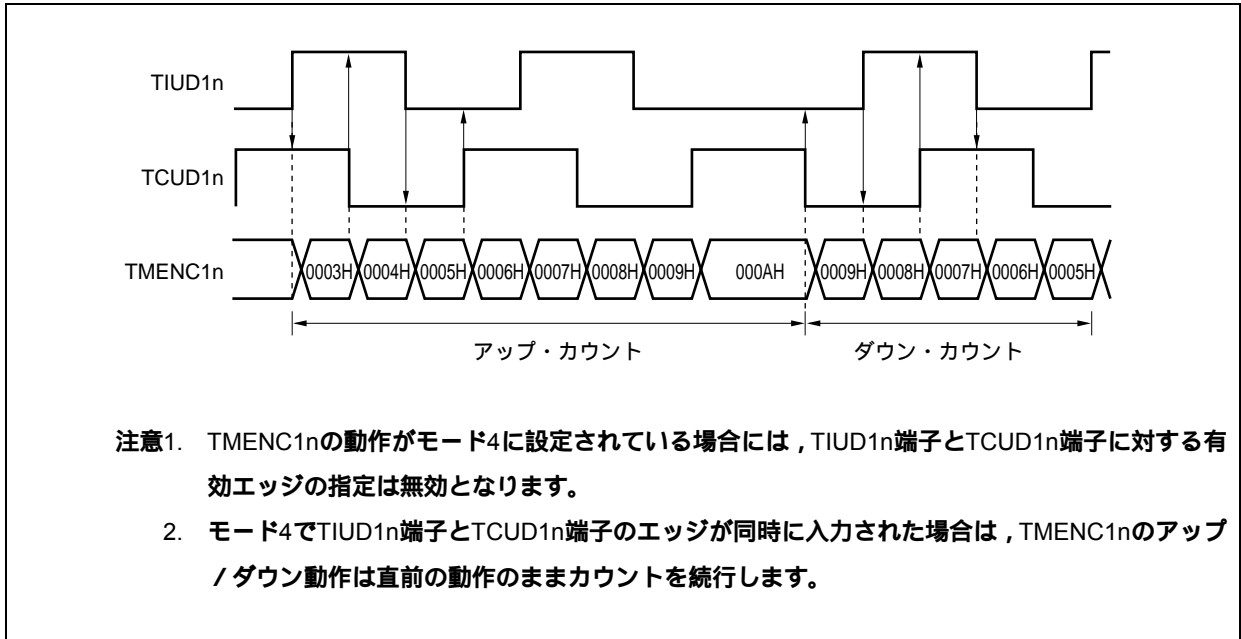


(d) モード4 (PRM1n.PRM1n2 = 1, PRM1n1 = 1, PRM1n0 = 1)

モード4は、TIUD1n端子とTCUD1n端子に位相がシフトした2相信号を入力すると、図8-9に示すタイミングで自動的にアップ/ダウン動作を判別し、カウントを実行します。

モード4では、TIUD1n端子とTCUD1n端子に入力される2相信号をそれぞれの立ち上がり、立ち下がり両エッジでカウントします。したがって、TMENC1nは、入力信号の1サイクルあたり4回カウントします(4逓倍カウント)。

図8-9 モード4



(3) UDCモードAの動作

(a) インターバル動作

TMENC1nカウント値とCM1n0レジスタ設定値が一致後の次のカウント・クロックでの動作を示します。

- ・アップ・カウントの場合TMENC1nをクリア(0000H)し、INTCMn0割り込み要求信号を発生します。
- ・ダウン・カウントの場合TMENC1nカウント値をデクリメント(-1)し、INTCMn0割り込み要求信号を発生します。

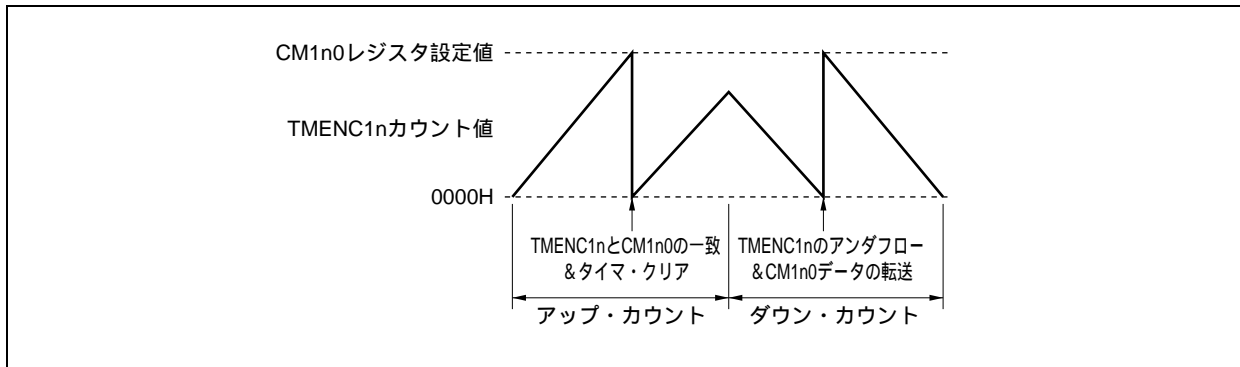
備考 インターバル動作は、転送動作と組み合わせることもできます。

(b) 転送動作

TMC1n.RLEnビット = 1の場合、ダウン・カウント中にTMENC1n = 0000Hとなると、次のカウント・クロックでCM1n0レジスタ設定値をTMENC1nへ転送します。

- 備考1. 転送の許可/禁止は、TMC1n.RLEnビットで設定できます。
- 2. 転送動作は、インターバル動作と組み合わせることもできます。

図8 - 10 インターバル動作と転送動作を組み合わせたときのTMENC1n動作例



(c) コンペア機能

TMENC1nは、コンペア・レジスタ (CM1n0, CM1n1) を2チャンネル、キャプチャ/コンペア・レジスタ (CC1n0, CC1n1) を2チャンネル接続しています。

TMENC1nカウント値と各コンペア・レジスタ設定値とが一致した場合には、一致割り込み要求信号 (INTCMn0, INTCMn1, INTCCn0^注, INTCCn1^注) が出力されます。

注 CC1n0, CC1n1レジスタがコンペア・レジスタ・モードに設定されているときに一致割り込み要求信号を発生します。

(d) キャプチャ機能

TMENC1nは、キャプチャ/コンペア・レジスタ (CC1n0, CC1n1) を2チャンネル接続しています。

CC1n0, CC1n1レジスタがキャプチャ・レジスタ・モードに設定されているときは、該当するキャプチャ・トリガ信号に同期してTMENC1nの値をキャプチャします。また、有効エッジ検出により、キャプチャ割り込み要求信号 (INTCCn0, INTCCn1) を発生します。

(4) UDCモードBの動作

(a) 基本動作

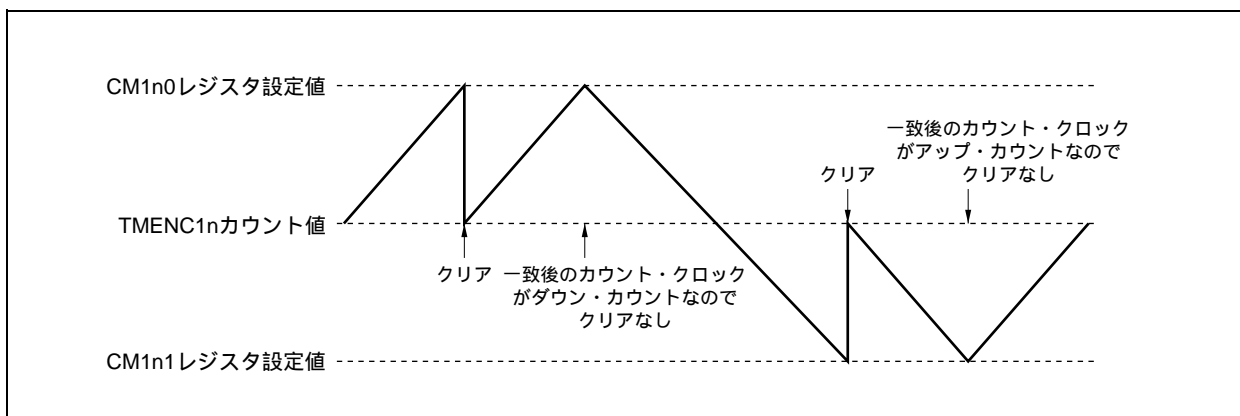
TMENC1nがUDCモードBのとき、TMENC1nカウント値とCM1n0レジスタ設定値が一致後の次のカウント・クロックでの動作を示します。

- ・アップ・カウントの場合、TMENC1nをクリア (0000H) し、INTCMn0割り込み要求信号を発生します。
- ・ダウン・カウントの場合、TMENC1nカウント値をデクリメント (-1) します。

TMENC1nがUDCモードBのとき、TMENC1nカウント値とCM1n1レジスタ設定値が一致後の次のカウント・クロックでの動作を示します。

- ・アップ・カウントの場合、TMENC1nカウント値をインクリメント (+1) します。
- ・ダウン・カウントの場合、TMENC1nをクリア (0000H) し、INTCMn1割り込み要求信号を発生します。

図8 - 11 UDCモード時のTMENC1n動作例



(b) コンペア機能

TMENC1nは、コンペア・レジスタ (CM1n0, CM1n1) を2チャンネル、キャプチャ/コンペア・レジスタ (CC1n0, CC1n1) を2チャンネル接続しています。

TMENC1nカウント値と各コンペア・レジスタ設定値とが一致した場合には、一致割り込み要求信号 (INTCMn0 (アップ・カウント中のみ), INTCMn1 (ダウン・カウント中のみ), INTCCn0^注, INTCCn1^注) が出力されます。

注 CC1n0, CC1n1レジスタがコンペア・レジスタ・モードに設定されているときに一致割り込み要求信号を発生します。

(c) キャプチャ機能

TMENC1nは、キャプチャ/コンペア・レジスタ(CC1n0, CC1n1)を2チャンネル接続しています。

CC1n0, CC1n1レジスタがキャプチャ・レジスタ・モードに設定されているときは、該当するキャプチャ・トリガ信号に同期してTMENC1nの値をキャプチャします。また、有効エッジ検出により、キャプチャ割り込み要求信号(INTCCn0, INTCCn1)を発生します。

8.6 内部動作補足説明

8.6.1 UDCモードBでのカウント値クリア動作について

TMENC1nがUDCモードBのとき、カウント値がクリアされる条件を次に示します。

- ・ TMENC1nがアップ・カウント中にCM1n0レジスタとの一致でカウント値がクリア
- ・ TMENC1nがダウン・カウント中にCM1n1レジスタとの一致でカウント値がクリア

図8 - 12 TMENC1nカウント値とCM1n0レジスタ設定値との一致後のクリア動作

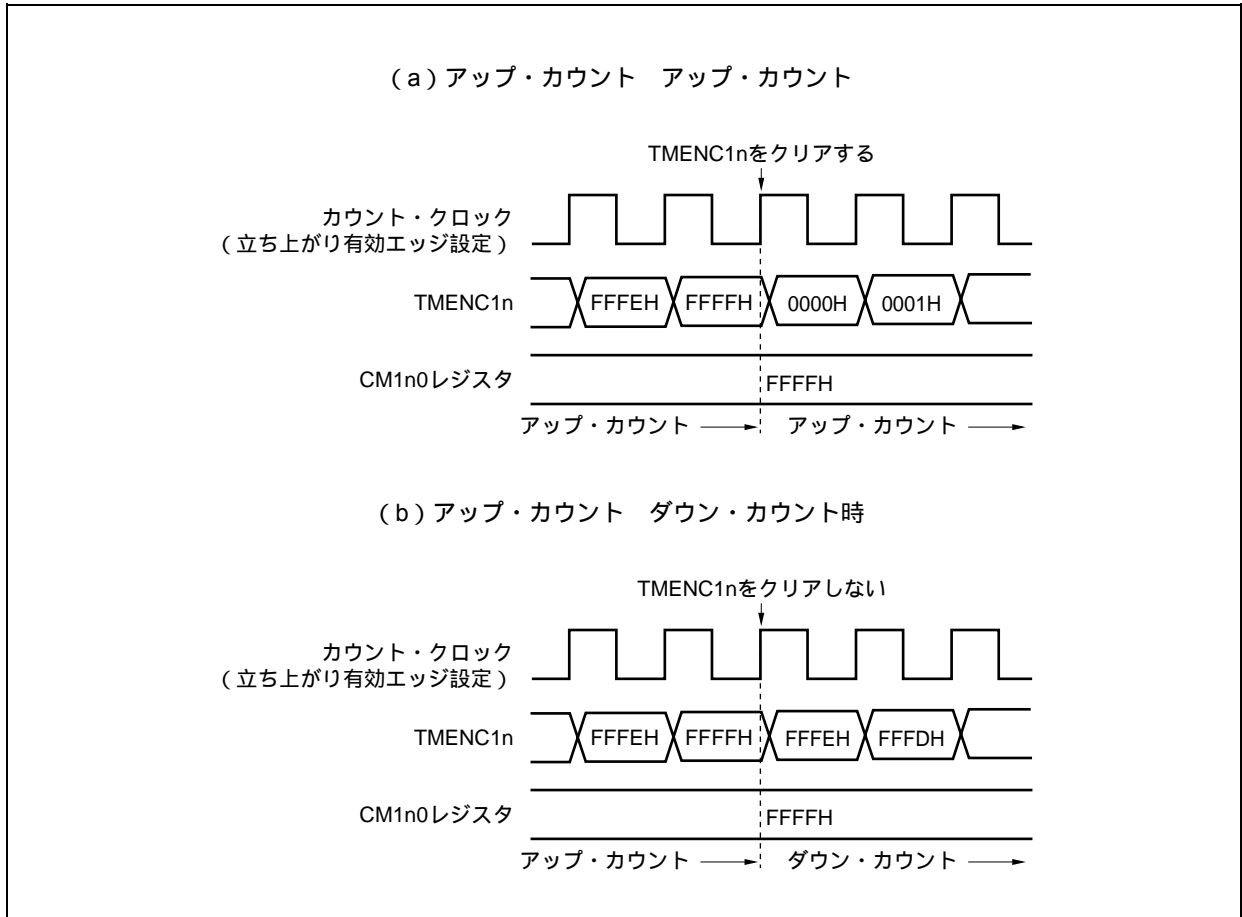
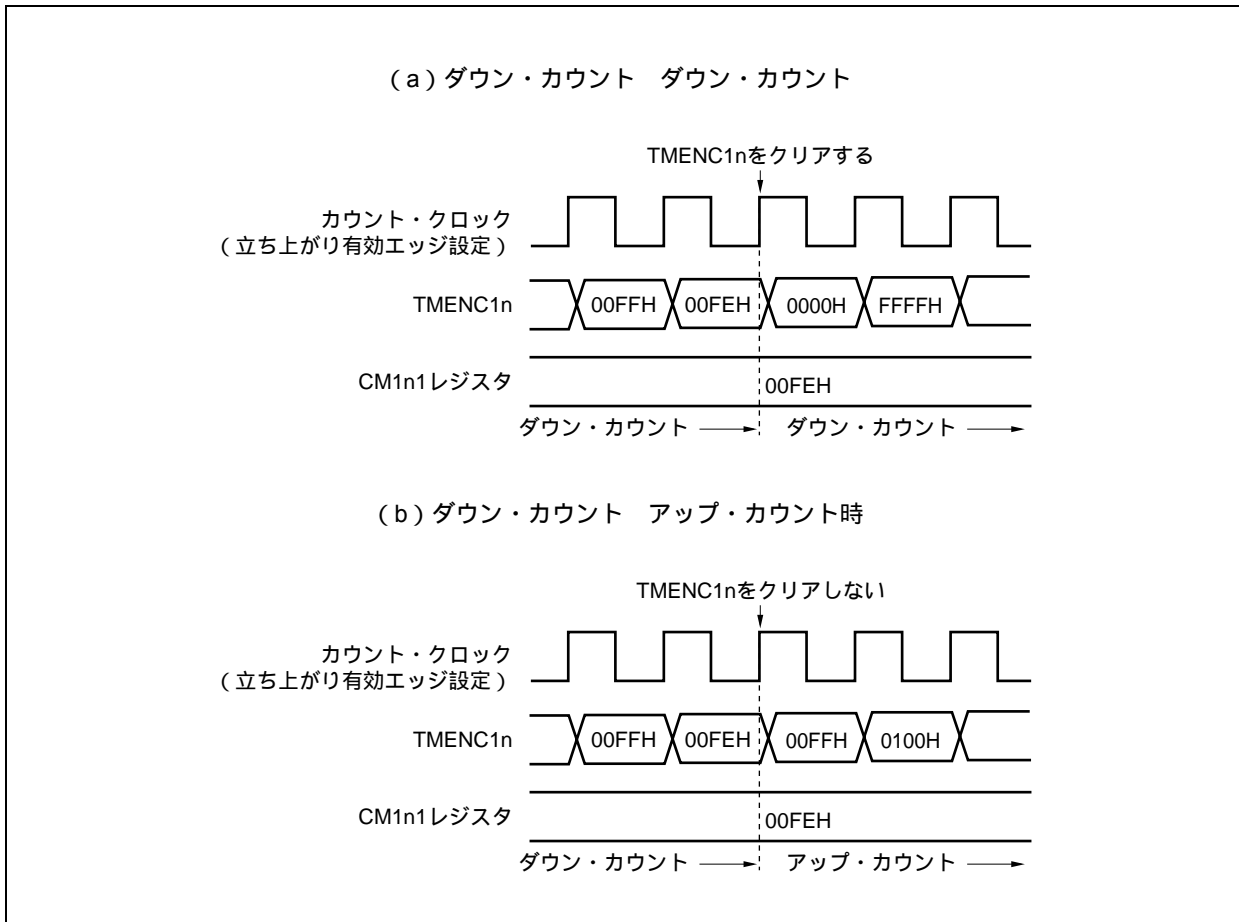


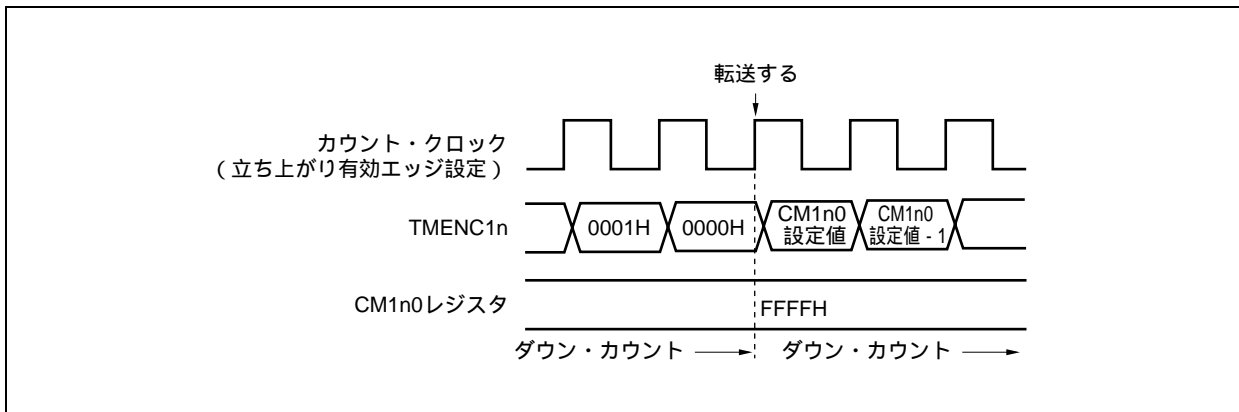
図8-13 TMENC1nカウンタ値とCM1n1レジスタ設定値との一致後のクリア動作



8.6.2 転送動作について

UDCモードAでTMC1n.RLEnビット = 1の場合、ダウン・カウント中にTMENC1n = 0000Hとなると、次のカウント・クロックでCM1n0レジスタ設定値をTMENC1nへ転送します。ただし、アップ・カウント中には転送動作は行われません。

図8-14 転送動作時の内部動作



8.6.3 コンペアー一致による割り込み要求信号出力について

CM1n0, CM1n1, CC1n0[※], CC1n1[※]レジスタ設定値とTMENC1nカウント値が一致した場合、割り込み要求信号を出力します。そのときのタイミングを次に示します。

注 CC1n0, CC1n1レジスタがコンペアー・レジスタ・モードに設定されている場合

図8 - 15 コンペアー一致による割り込み要求信号出力
(動作モード：汎用タイマ・モード, カウント・クロック： $f_{xx}/4$ 設定時のCM1n1)

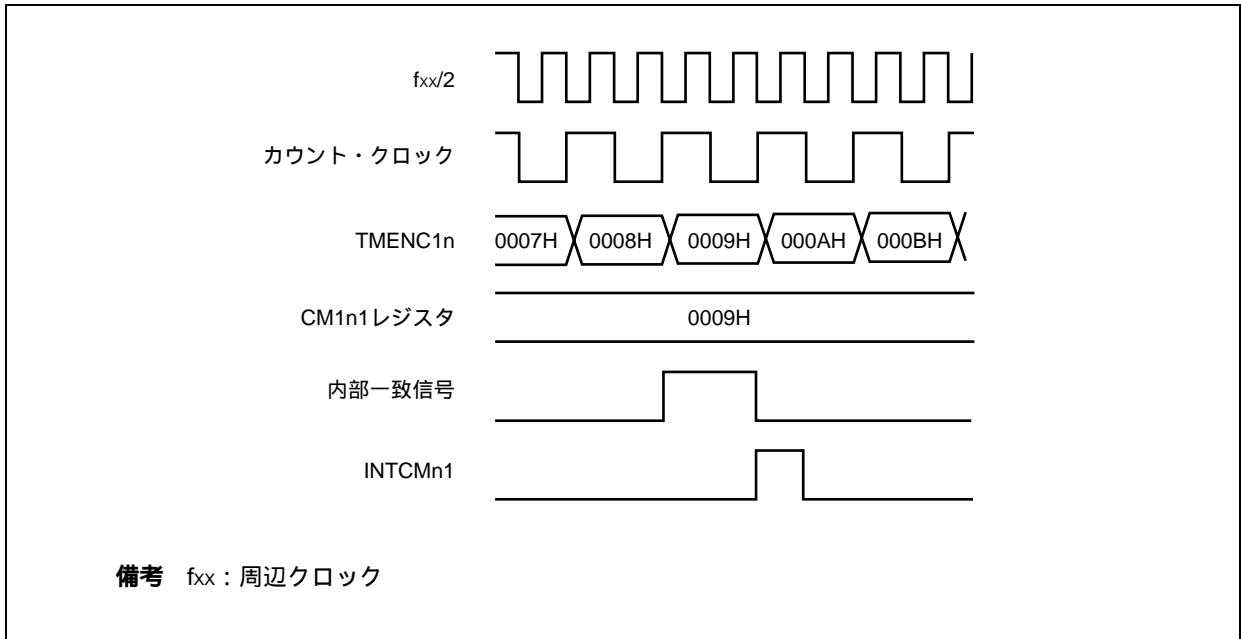
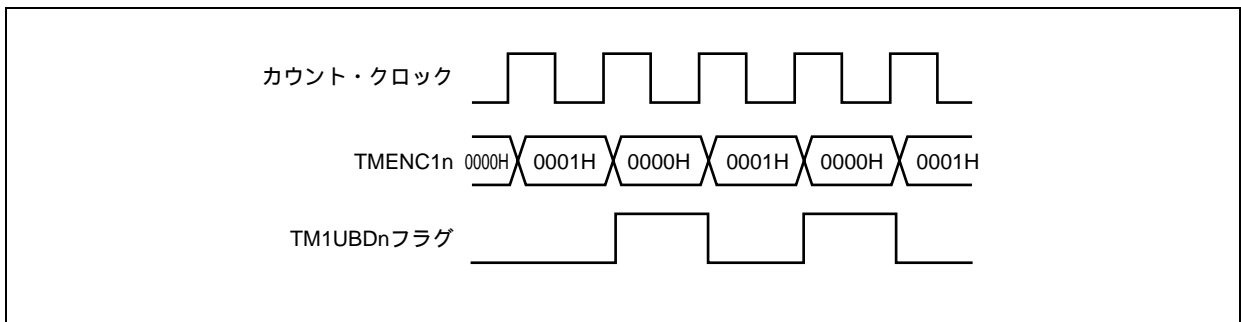


図8 - 15のように割り込み要求信号は、TMENC1nカウント値と該当するコンペアー・レジスタ設定値とが一致後の次のカウント・クロック時に出力されます。

8.6.4 TM1UBDnフラグ (STATUS1nレジスタのビット0) の動作について

UDCモード (TUM1n.CMDnビット = 1のとき) において、1内部動作クロックごとにTMENC1nがアップ/ダウンを繰り返すとき、TM1UBDnフラグは次のように変化します。

図8 - 16 TM1UBDnフラグの動作



第9章 16ビット・インターバル・タイマM (TMM)

9.1 概 要

- ・インターバル機能
- ・クロック選択×8
- ・16ビット・カウンタ×1 (タイマ・カウント動作中のカウンタ・リードはできません。)
- ・コンペア・レジスタ×1 (タイマ・カウント動作中のコンペア・レジスタへのライトはできません。)
- ・コンペア一致割り込み×1

タイマMはクリア&スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

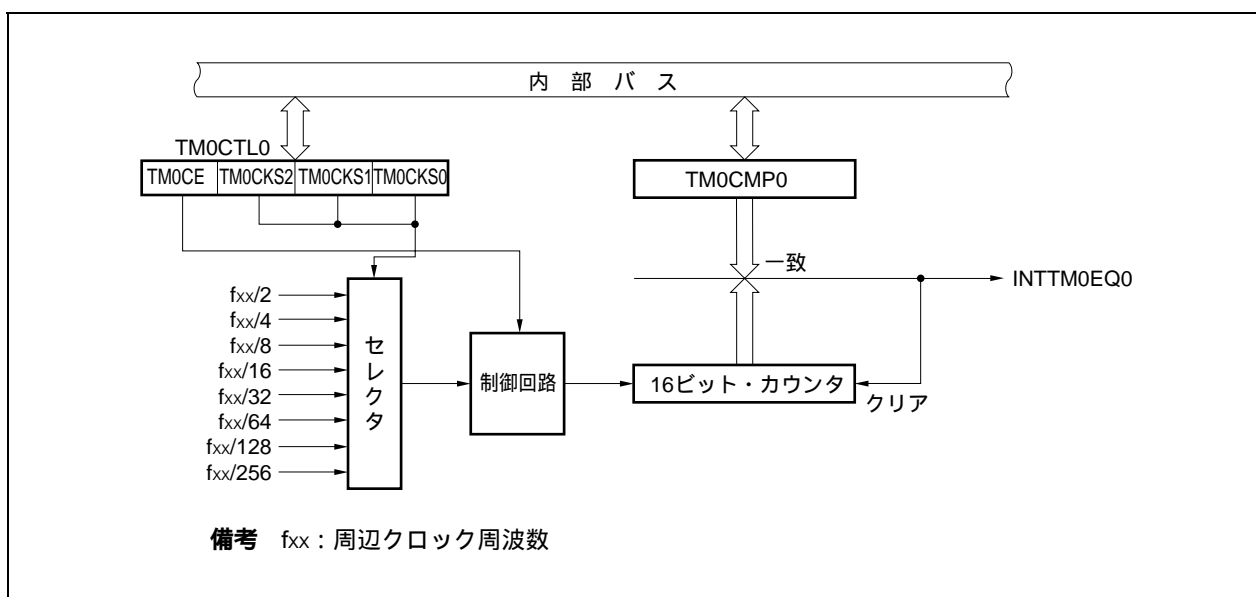
9.2 構成

TMM0は、次のハードウェアで構成されています。

表9 - 1 TMM0の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMM0コンペア・レジスタ0 (TMOCMP0)
制御レジスタ	TMM0制御レジスタ0 (TMOCTL0)

図9 - 1 TMM0のブロック図



(1) 16ビット・カウンタ

内部クロックをカウントする16ビットのカウンタです。

16ビット・カウンタはリード/ライトできません。

(2) TMM0コンペア・レジスタ0 (TM0CMP0)

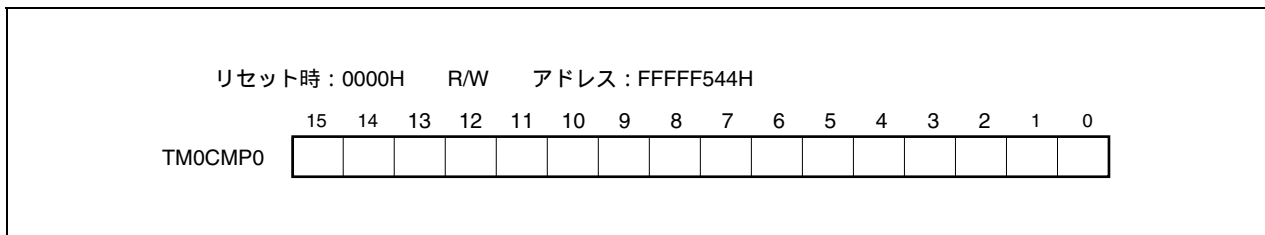
TM0CMP0レジスタは16ビットのコンペア・レジスタです。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

TM0CMP0レジスタは、常時ソフトウェアでの同値書き込みができます。

TMM0動作中 (TM0CTL0.TM0CEビット = 1) , TM0CMP0レジスタの書き換えは禁止です。



9.3 制御レジスタ

(1) TMM0制御レジスタ0 (TM0CTL0)

TM0CTL0レジスタはTMM0の動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TM0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：FFFFF540H

	⑦	6	5	4	3	2	1	0
TM0CTL0	TM0CE	0	0	0	0	TM0CKS2	TM0CKS1	TM0CKS0

TM0CE	内部クロック動作許可 / 禁止指定
0	TMM0動作禁止 (16ビット・カウンタを非同期にリセット)
1	TMM0動作許可。動作クロック供給開始。TMM0動作開始。

TM0CEビットにより、TMM0の内部クロックの制御と内部回路のリセットを非同期に行います。TM0CEビットをクリア (0) すると、TMM0の内部クロックは停止 (口ウ・レベル固定) し、16ビット・カウンタが非同期にリセットされます。

TM0CKS2	TM0CKS1	TM0CKS0	カウント・クロックの選択
0	0	0	fxx/2
0	0	1	fxx/4
0	1	0	fxx/8
0	1	1	fxx/16
1	0	0	fxx/32
1	0	1	fxx/64
1	1	0	fxx/128
1	1	1	fxx/256

注意1. TM0CKS2-TM0CKS0ビットはTM0CEビット = 0のときに設定してください。

ただし、TM0CEビットを0から1に設定するときに、同時にTM0CKS2-TM0CKS0ビットを設定することはできません。

2. ビット3-6には必ず0を設定してください。

備考 fxx : 周辺クロック周波数

9.4 動作

9.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは、TM0CTL0.TM0CEビットをセット(1)することで、TM0CMP0レジスタで設定したインターバル間隔にて割り込み要求信号(INTTM0EQ0)を発生します。

図9-2 インターバル・タイマの構成図

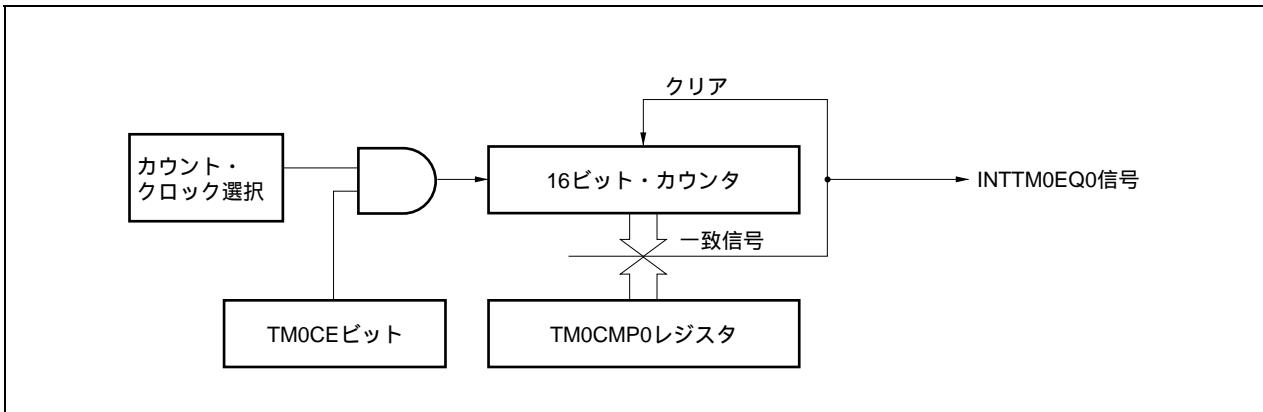
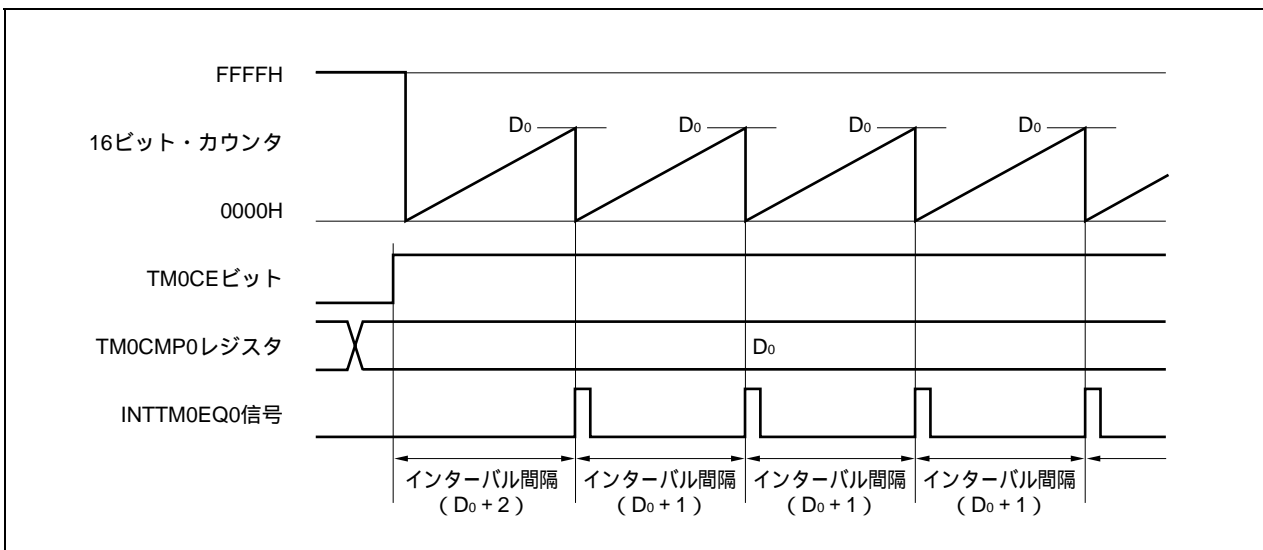


図9-3 インターバル・タイマ・モード動作の基本タイミング



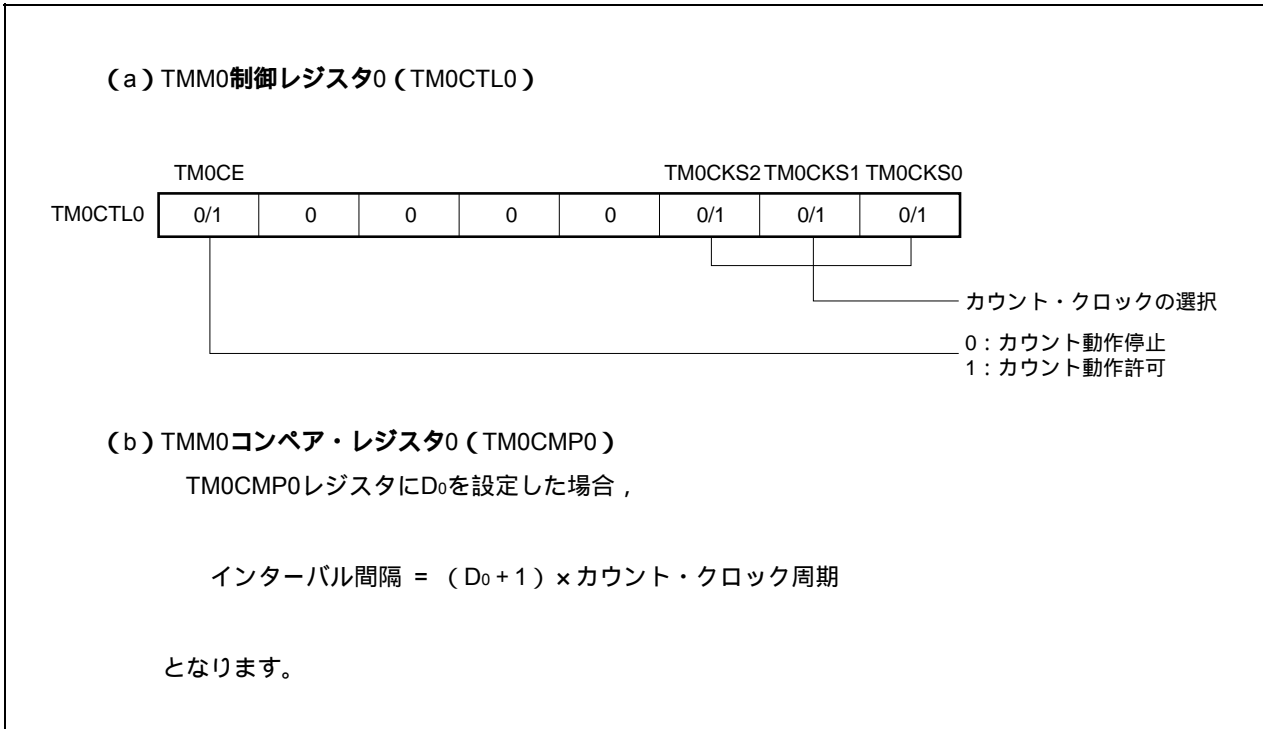
TM0CEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。

16ビット・カウンタのカウント値とTM0CMP0レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンパレー一致割り込み要求信号(INTTM0EQ0)を発生します。

インターバル間隔は次のようになります。

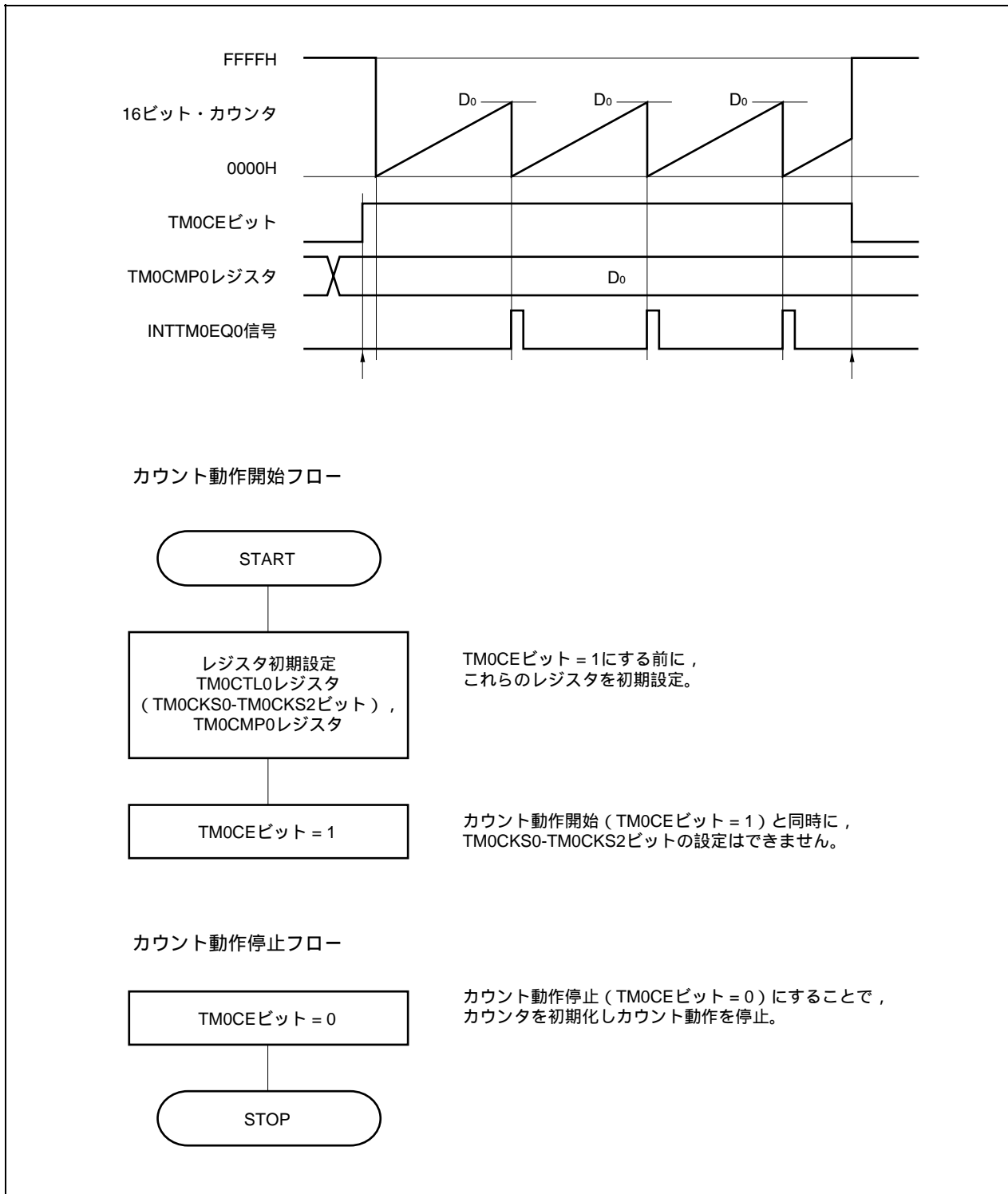
$$\text{インターバル間隔} = (\text{TM0CMP0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図9-4 インターバル・タイマ・モード動作時のレジスタ設定内容



(1) インターバル・タイマ・モード動作フロー

図9-5 インターバル・タイマ・モード使用時のソフトウェア処理フロー

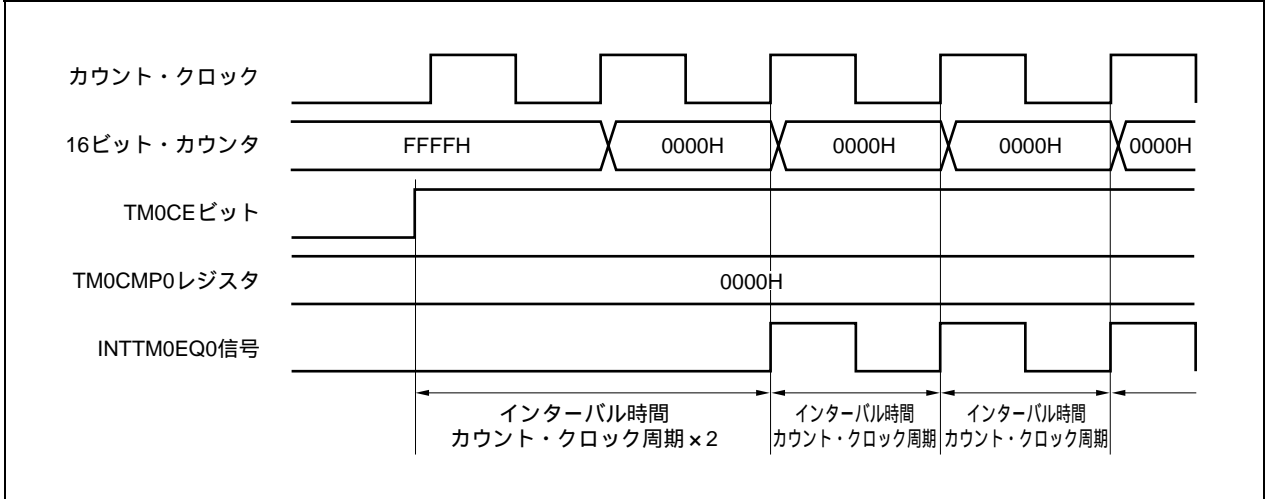


(2) インターバル・タイマ・モード動作タイミング

(a) TM0CMP0レジスタに0000Hを設定した場合の動作

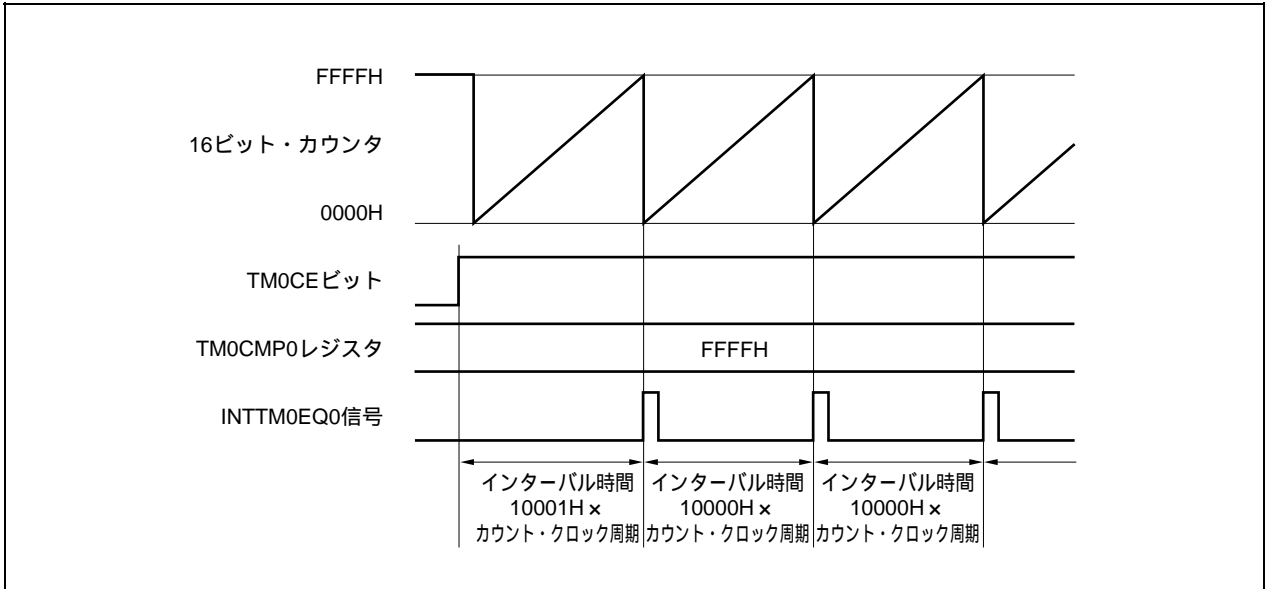
TM0CMP0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTM0EQ0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TM0CMP0レジスタにFFFFHを設定した場合の動作

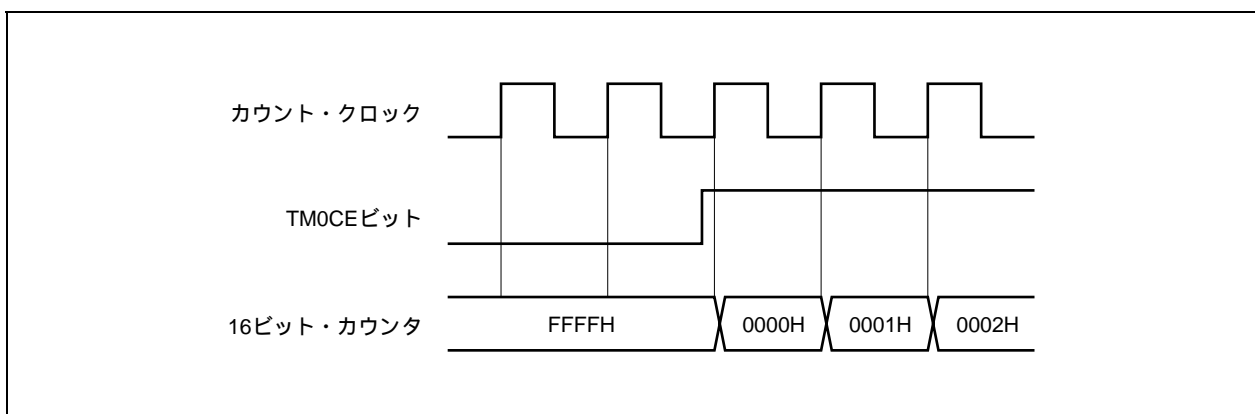
TM0CMP0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTM0EQ0信号を発生します。



9.5 注意事項

(1) タイマ・スタート時の誤差

TM0CTL0.TM0CEビット = 0 1にしてTMM0をスタートしてから、最初のコンペアー一致割り込み要求信号 (INTTM0EQ0) が発生するまでの時間は、1クロック長くなります。これは、TM0CEビット = 0のときの16ビット・カウンタの値がFFFFHであるためと、TMM0のスタートがカウント・クロックと非同期で行われるためです。



(2) TM0CMP0, TM0CTL0レジスタはTMM0動作中の書き換えは禁止です。

TM0CTL0.TM0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TM0CEビットをクリア (0) してから再設定してください。

第10章 モータ制御機能

10.1 機能概要

タイマQn (TMQn) とTMQnオプション (TMQOPn) によりモータ制御用のインバータ機能として使用します。またタイマPn (TMPn) と同調動作を行い、TMPnのコンペア一致タイミングで、A/Dコンバータ0, 1のA/D変換を起動することができます。モータ制御機能は、次のような動作を行うことができます。

- ・ 16ビット精度の6相PWM出力機能 (デッド・タイム付き, 上アームおよび下アーム用)
- ・ タイマ同調動作機能 (TMPnと同調動作可能)
- ・ 任意の周期設定機能
(山割り込み, 谷割り込みでの動作中の変更可能)
- ・ コンペア・レジスタ書き換え: 随時書き換え / 一斉書き換え / 間欠一斉書き換え選択機能
(TMQn動作中の変更可能)
- ・ 割り込み機能および転送間引き機能
- ・ 任意のデッド・タイム設定機能
- ・ A/Dコンバータ0, 1のA/Dトリガの任意タイミング機能
(4種類のタイミング生成が可能)
- ・ 0 %出力と100 %出力が可能
- ・ 山割り込み, 谷割り込みでの0 %, 100 %出力切り替え可能
- ・ 強制出力停止機能
 - ・ 外部端子入力 (TOQnOFF, TOPmOFF) による有効エッジ検出時
 - ・ A/Dコンバータ部のコンパレータ機能による過電圧検出時
 - ・ クロック・モニタ機能によるメイン・クロックの発振停止検出時

備考 V850E/IA3 : $n = 0, m = 2$

V850E/IA4 : $n = 0, 1, m = 2, 3$

10.2 構成

モータ制御は次のハードウェアで構成されています。

項目	構成
タイマ・レジスタ	デッド・タイム・カウンタ m
コンペア・レジスタ	TMQnデッド・タイム・コンペア・レジスタ (TQnDTCレジスタ)
制御レジスタ	TMQaオプション・レジスタ0 (TQaOPT0) TMQnオプション・レジスタ1 (TQnOPT1) TMQnオプション・レジスタ2 (TQnOPT2) TMQnオプション・レジスタ2 (TQnOPT3) TMQnI/O制御レジスタ3 (TQnIOC3) ハイ・インピーダンス出力制御レジスタ0, 1 (HZAyCTL0, HZAyCTL1)

備考 V850E/IA3 : $m = 0-3, n = 0, y = 0, 2, a = 0, 1$

V850E/IA4 : $m = 0-3, n = 0, 1, y = 0-2, a = 0, 1$

- ・ TMQnの出力 (TOQn1, TOQn2, TOQn3) を使用し、デッド・タイム付きの6相PWM出力が可能です。
- ・ 6相PWM出力の出力レベルは個別に設定できます。
- ・ TMQnの16ビット・タイマ・カウンタは、アップ/ダウンの三角波カウントを行います。アンダフロー発生時と周期一致発生時に割り込みを発生しますが、最大31回までの割り込み発生を間引くことができます。
- ・ TMPnは、TMQnとカウント動作を同時に行うことができます (タイマ同調動作機能)。TMPnは、2種類のA/Dトリガ・ソース (INTTPnCC0, INTTPnCC1) が生成でき、TMQnのアンダフロー割り込み (INTTQnOV) と周期一致割り込み (INTTQnCC0) の2種類と合わせ、合計4種類の設定ができます。

図10 - 1 モータ制御のブロック図

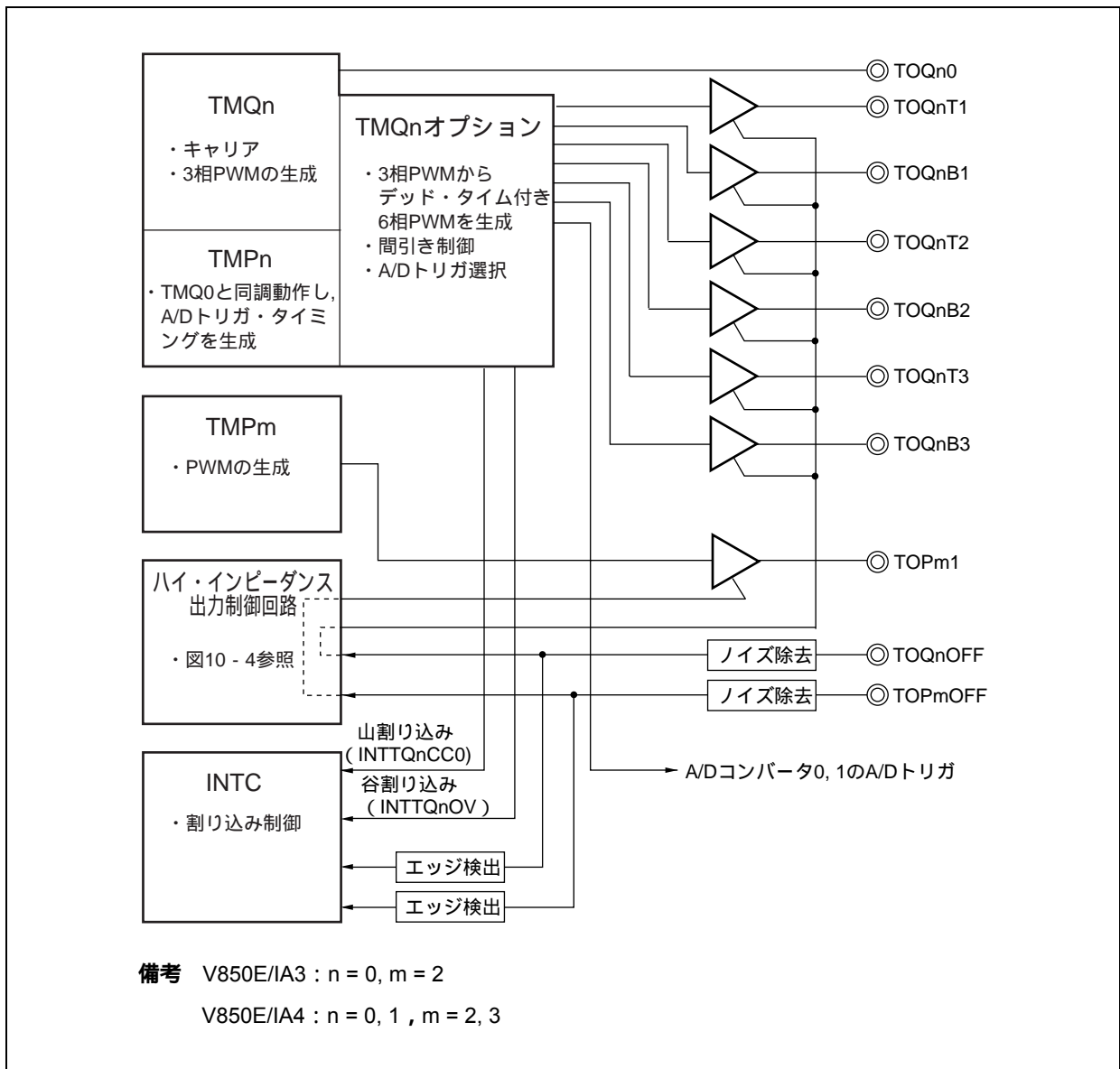
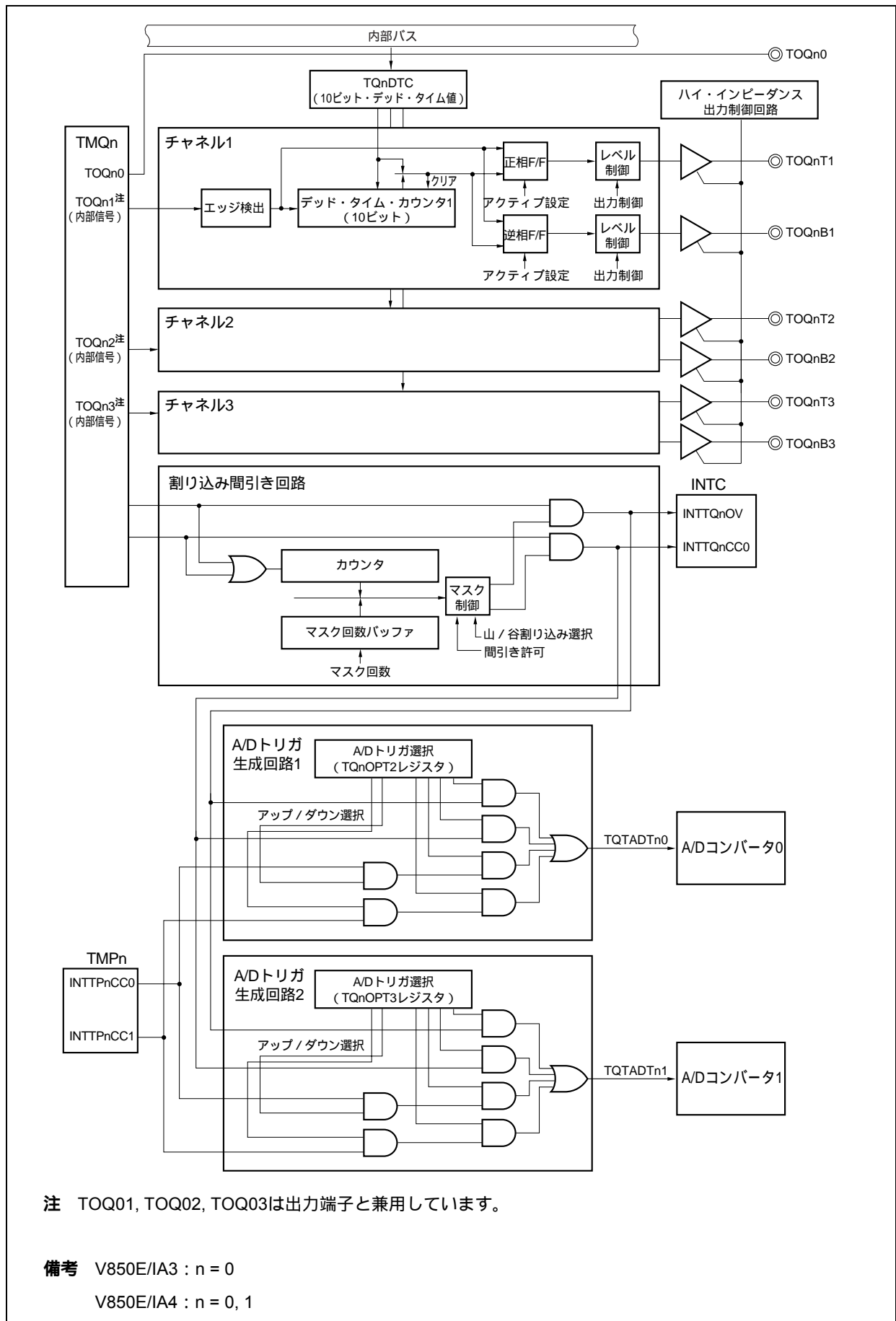


図10-2 TMQnオプション



(1) TMQnデッド・タイム・コンペア・レジスタ (TQnDTC)

TQnDTCレジスタは、デッド・タイム値を指定する10ビットのコンペア・レジスタです。

TQnCTL0.TQnCEビット = 1のとき、TQnDTCレジスタの書き換えは禁止です。

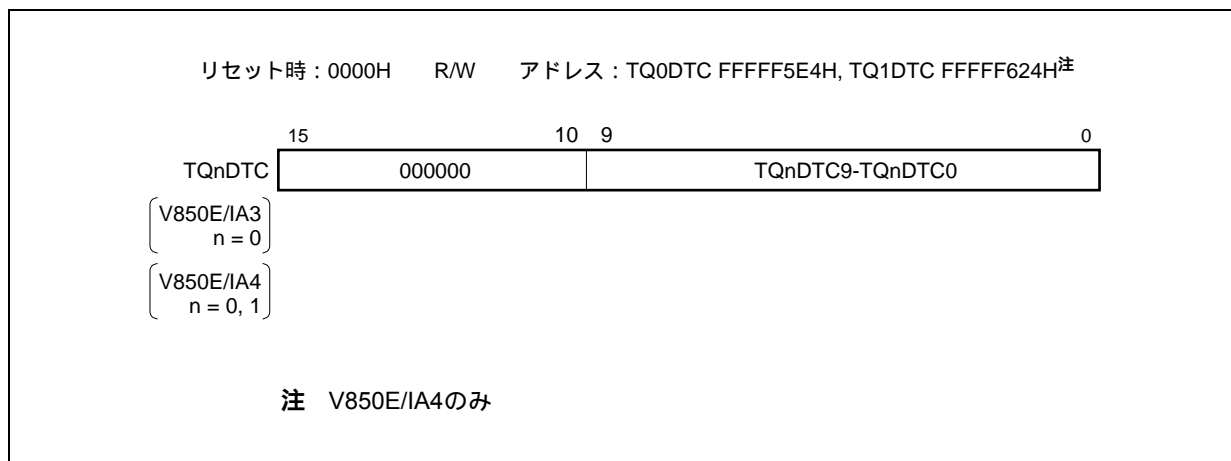
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 デッド・タイム期間を生成する場合は、TQnDTCレジスタに1以上の値を設定してください。

なお、動作停止 (TQnCTL0.TQnCEビット = 0) 時には、デッド・タイム期間は生成されず、TOQnT1-TOQnT3, TOQnB1-TOQnB3端子の出力レベルは初期状態となります。そのため、システム保護のため、動作停止前にTOQnT1-TOQnT3, TOQnB1-TOQnB3端子をハイ・インピーダンス状態にするか、もしくは端子の出力レベルを設定したうえでポート・モードに切り替えるなどの処置をしてください。

なお、デッド・タイム期間が不要の場合は、TQnDTCレジスタに0を設定してください。



(2) デッド・タイム・カウンタ1-3

デッド・タイム・カウンタはデッド・タイムをカウントする10ビットのカウント・レジスタです。

TMQnのTOQnm出力信号の立ち上がり/立ち下がりエッジにより、クリア/カウント・アップ動作を行い、TQnDTCレジスタとの一致でクリア&ストップします。カウント・クロックはTMQnのTQnCTL0.

TQnCKS2-TQnCKS0ビットで設定したカウント・クロックと同じカウント・クロックです。

備考1. TQnOPT2.TQnDTMビット = 1とした場合は、動作が異なります。詳細は、10.4.2(4) **デッド・タイム幅の自動縮小機能** (TQnOPT2.TQnDTMビット = 1) を参照してください。

2. V850E/IA3 : n = 0, m = 1-3

V850E/IA4 : n = 0, 1, m = 1-3

10.3 制御レジスタ

(1) TMQnオプション・レジスタ0 (TQnOPT0)

タイマQオプション機能を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただしTQnCUFビットはリードのみ可能です。

リセットにより00Hになります。

注意 TQnCMS, TQnCUFビットは6相PWM出力モード時のみ設定可能です。TMQn単体では必ず“0”を設定してください (V850E/IA3 : n = 0, V850E/IA4 : n = 0, 1)。

リセット時：00H R/W アドレス：TQ0OPT0 FFFFF5C5H, TQ1OPT0 FFFFF605H

	⑦	⑥	⑤	④	3	②	①	①
TQnOPT0	TQ0CCS3 ^{注1,2}	TQ0CCS2 ^{注1,2}	TQ0CCS1 ^{注1,2}	TQ0CCS0 ^{注1,2}	0	TQnCMS ^{注3}	TQnCUF ^{注3}	TQnOVF ^{注4}

(n = 0, 1)

TQnCMS ^{注3}	コンペア・レジスタの書き換えモード選択
0	一斉書き換えモード指定 (転送動作指定)
1	随時書き換えモード指定
<ul style="list-style-type: none"> ・ TQnCMSビットは、6相PWM出力モード (TQnCTL1.TQnMD2-TQnMD0ビット = 111) 設定時のみ有効です。それ以外のモードでは、TQnCMSビット = 0としてください。 ・ TQnCMSビットは、タイマ動作中 (TQnCTL0.TQnCEビット = 1) の書き換えが可能です。 ・ 一斉書き込みモード選択時、対象になるレジスタは次のとおりです。 TQnCCR0-TQnCCR3, TPnCCR0, TPnCCR1, TQnOPT1レジスタ 	

TQnCUF ^{注3}	タイマQnのアップ・カウント/ダウン・カウント・フラグ
0	タイマQnがアップ・カウント中
1	タイマQnがダウン・カウント中
TQnCUFビットは、6相PWM出力モード (TQnCTL1.TQnMD2-TQnMD0ビット = 111) 設定時のみ有効です。	

- 注1. TMQ0のみ有効です。TMQ1のビット7-4には必ず“0”を設定してください。
2. 6相PWM出力モード時はTQ0CCS3-TQ0CCS0ビットは必ず“0”を設定してください。
3. V850E/IA3では、TMQ1のビット2, 1は必ず“0”を設定してください。
4. TQnOVFビットの詳細は、第7章 16ビット・タイマ/イベント・カウンタQ (TMQ) を参照してください。

(2) TMQnオプション・レジスタ1 (TQnOPT1)

タイマQnオプション機能から発生する割り込み要求信号を制御する8ビットのレジスタです。

TQnOPT1レジスタは、図10 - 2にある割り込み間引き回路，A/Dトリガ生成回路1，A/Dトリガ生成回路2に対する信号を生成します。

TQnCTL0.TQnCEビット = 1のときも，TQnOPT1レジスタの書き換えができます。

書き換え方法は，TQnOPT0.TQnCMSビットにより，一斉書き込みモードと随時書き込みモードの2種類を選択できます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TQ0OPT1 FFFFF5E0H, TQ1OPT1 FFFFF620H^{注1}

	⑦	⑥	5	4	3	2	1	0
TQnOPT1	TQnICE	TQnIOE	0	TQnID4	TQnID3	TQnID2	TQnID1	TQnID0
{ V850E/IA3 n = 0 }	TQnICE	山割り込み (INTTQnCC0信号) 許可 ^{注2}						
	0	INTTQnCC0信号を使用しない (割り込み間引きのカウンタ信号としない)						
{ V850E/IA4 n = 0, 1 }	1	INTTQnCC0信号を使用する (割り込み間引きのカウンタ信号とする)						
	TQnIOE	谷割り込み (INTTQnOV信号) 許可 ^{注2}						
0	INTTQnOV信号を使用しない (割り込み間引きのカウンタ信号としない)							
1	INTTQnOV信号を使用する (割り込み間引きのカウンタ信号とする)							
TQnID4	TQnID3	TQnID2	TQnID1	TQnID0	割り込み回数の選択			
0	0	0	0	0	間引きなし (すべての割り込みを出力)			
0	0	0	0	1	1マスク (2回に1回の割り込みを出力)			
0	0	0	1	0	2マスク (3回に1回の割り込みを出力)			
0	0	0	1	1	3マスク (4回に1回の割り込みを出力)			
:	:	:	:	:	:			
1	1	1	0	0	28マスク (29回に1回の割り込みを出力)			
1	1	1	0	1	29マスク (30回に1回の割り込みを出力)			
1	1	1	1	0	30マスク (31回に1回の割り込みを出力)			
1	1	1	1	1	31マスク (32回に1回の割り込みを出力)			

注1. V850E/IA4のみ

- 山割り込み (INTTQnCC0信号)，谷割り込み (INTTQnOV信号) を割り込み間引きのカウンタ信号として使用する場合は，およびA/Dトリガ信号として使用する場合は，使用する信号を1に設定してください。
なお，間引きされた割り込みタイミングでA/Dトリガが生成されます。

(3) TMQnオプション・レジスタ2 (TQnOPT2)

タイマQオプション機能を制御する8ビットのレジスタです。

TQnCTL0.TQnCEビット = 1のときも、TQnOPT2レジスタの書き換えが可能です。ただし、TQnDTMビットはTQnCEビット = 1のとき、書き換え禁止です。同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TQ0OPT2 FFFFFFF5E1H, TQ1OPT2 FFFFFFF621H^注

	⑦	⑥	⑤	④	③	②	①	①
TQnOPT2	TQnRDE	TQnDTM	TQnATM03	TQnATM02	TQnAT03	TQnAT02	TQnAT01	TQnAT00

V850E/IA3 n = 0 m = 1-3	TQnRDE	転送間引き許可
	0	転送の間引きなし（山、谷で毎回転送タイミングが発生）
V850E/IA4 n = 0, 1 m = 1-3	1	TQnOPT1レジスタで設定した割り込み間引きと同じ間隔で転送を間引く

TQnDTM	デッド・タイム・カウンタ動作モード選択
0	通常のアップ・カウントを行い、TMQnのTOQnm出力が狭間隔（TOQnm出力幅<デッド・タイム幅）の場合は、デッド・タイム・カウンタをクリアし再カウントを行う。
1	通常のアップ・カウントを行い、TMQnのTOQnm出力が狭間隔（TOQnm出力幅<デッド・タイム幅）の場合は、デッド・タイム・カウンタはダウン・カウンタ動作に切り替わり、デッド・タイム制御幅が自動的に狭くなる。

TQnDTMビットは、タイマ動作中の書き換えは禁止です。誤って書き換えた場合は、一度TQnCEビット = 0にしてタイマ動作を停止してから、再度設定を行ってください。

注 V850E/IA4のみ

注意1. 割り込み間引きを使用する場合（TQnOPT1.TQnID4-TQnID0ビット = 00000以外）には、必ずTQnRDEビット = 1に設定してください。このため、割り込みと転送は同じタイミングで発生します。別々の設定はできません。別々の設定を行った場合（TQnRDEビット = 0）は転送が正常に行われません。

2. デッド・タイム期間を生成する場合は、TQnDTCレジスタに1以上の値を設定してください。

なお、動作停止（TQnCTL0.TQnCEビット = 0）時には、デッド・タイム期間は生成されず、TOQnT1-TOQnT3、TOQnB1-TOQnB3端子の出力レベルは初期状態となります。そのため、システム保護のため、動作停止前にTOQnT1-TOQnT3、TOQnB1-TOQnB3端子をハイ・インピーダンス状態にするか、もしくは端子の出力レベルを設定したうえでポート・モードに切り替えるなどの処置を行ってください。

なお、デッド・タイム期間が不要の場合は、TQnDTCレジスタに0を設定してください。

TQnATM03	TQnATM03モード選択
0	INTTPnCC1割り込みのA/Dトリガ信号 (TQTADTn0) をアップ・カウント時に出力
1	INTTPnCC1割り込みのA/Dトリガ信号 (TQTADTn0) をダウン・カウント時に出力

TQnATM02	TQnATM02モード選択
0	INTTPnCC0割り込みのA/Dトリガ信号 (TQTADTn0) をアップ・カウント時に出力
1	INTTPnCC0割り込みのA/Dトリガ信号 (TQTADTn0) をダウン・カウント時に出力

TQnAT03 ^注	A/Dトリガ出力制御3
0	INTTPnCC1割り込みのA/Dトリガ信号 (TQTADTn0) の出力禁止
1	INTTPnCC1割り込みのA/Dトリガ信号 (TQTADTn0) の出力許可

TQnAT02 ^注	A/Dトリガ出力制御2
0	INTTPnCC0割り込みのA/Dトリガ信号 (TQTADTn0) の出力禁止
1	INTTPnCC0割り込みのA/Dトリガ信号 (TQTADTn0) の出力許可

TQnAT01 ^注	A/Dトリガ出力制御1
0	INTTQnCC0 (山割り込み) のA/Dトリガ信号 (TQTADTn0) の出力禁止
1	INTTQnCC0 (山割り込み) のA/Dトリガ信号 (TQTADTn0) の出力許可

TQnAT00 ^注	A/Dトリガ出力制御0
0	INTTQnOV (谷割り込み) のA/Dトリガ信号 (TQTADTn0) の出力禁止
1	INTTQnOV (谷割り込み) のA/Dトリガ信号 (TQTADTn0) の出力許可

注 TQnAT03-TQnAT00ビットの設定については、第12章 A/Dコンバータ0, 1を参照してください。

(4) TMQnオプション・レジスタ3 (TQnOPT3)

タイマQnオプション機能を制御する8ビットのレジスタです。

TQnCTL0.TQnCEビット = 1のときも，TQnOPT3レジスタの書き換えが可能です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TQ0OPT3 FFFFF5E3H, TQ1OPT3 FFFFF623H^{注1}

	7	6	⑤	④	③	②	①	①	
TQnOPT3	0	0	TQnATM13	TQnATM12	TQnAT13	TQnAT12	TQnAT11	TQnAT10	
V850E/IA3 n = 0	TQnATM13								
	TQnATM13モード選択								
V850E/IA4 n = 0, 1	0	INTTPnCC1割り込みのA/Dトリガ信号 (TQTADTn1) をアップ・カウント時に出力							
	1	INTTPnCC1割り込みのA/Dトリガ信号 (TQTADTn1) をダウン・カウント時に出力							
TQnATM12			TQnATM12モード選択						
0	INTTPnCC0割り込みのA/Dトリガ信号 (TQTADTn1) をアップ・カウント時に出力								
1	INTTPnCC0割り込みのA/Dトリガ信号 (TQTADTn1) をダウン・カウント時に出力								
TQnAT13 ^{注2}			A/Dトリガ出力制御3						
0	INTTPnCC1割り込みのA/Dトリガ信号 (TQTADTn1) の出力禁止								
1	INTTPnCC1割り込みのA/Dトリガ信号 (TQTADTn1) の出力許可								
TQnAT12 ^{注2}			A/Dトリガ出力制御2						
0	INTTPnCC0割り込みのA/Dトリガ信号 (TQTADTn1) の出力禁止								
1	INTTPnCC0割り込みのA/Dトリガ信号 (TQTADTn1) の出力許可								
TQnAT11 ^{注2}			A/Dトリガ出力制御1						
0	INTTQnCC0 (山割り込み) のA/Dトリガ信号 (TQTADTn1) の出力禁止								
1	INTTQnCC0 (山割り込み) のA/Dトリガ信号 (TQTADTn1) の出力許可								
TQnAT10 ^{注2}			A/Dトリガ出力制御0						
0	INTTQnOV (谷割り込み) のA/Dトリガ信号 (TQTADTn1) の出力禁止								
1	INTTQnOV (谷割り込み) のA/Dトリガ信号 (TQTADTn1) の出力許可								

注1. V850E/IA4のみ

2. TQnAT13-TQnAT10ビットの設定については，第12章 A/Dコンバータ0, 1を参照してください。

(5) TMQn/O制御レジスタ3 (TQnIOC3)

タイマQnオプション機能の出力を制御する8ビットのレジスタです。

TOQnTm端子を出力するためには、TQnIOC0.TQnOEmビット = 1に設定してからTQnIOC3レジスタを設定してください。

TQnCTL0.TQnCEビット = 0のときのみ、TQnIOC3レジスタの書き換えが可能です。

TQnCTL0.TQnCEビット = 1のとき、TQnIOC3レジスタの各ビットの書き換えは禁止です。

TQnCTL0.TQnCEビット = 1のとき、TQnIOC3レジスタの各ビットの同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットによりA8Hになります。

注意 6相PWM出力モード以外のモードでタイマを使用する場合はTQnIOC3レジスタの値はリセット値 (A8H) に設定してください。

備考 TOQnTm端子の出力レベルの設定は、TQnIOC0レジスタで行ってください。

リセット時：A8H R/W アドレス：TQ0IOC3 FFFFF5E2H, TQ1IOC3 FFFFF622H^注

	⑦	⑥	⑤	④	③	②	1	0
TQnIOC3	TQnOLB3	TQnOEB3	TQnOLB2	TQnOEB2	TQnOLB1	TQnOEB1	0	0

(V850E/IA3 n = 0 m = 1-3)	TQnOLBm	TOQnBm端子出力レベルの設定
	0	TOQnBm端子出力反転禁止
(V850E/IA4 n = 0, 1 m = 1-3)	1	TOQnBm端子出力反転許可

TQnOEBm	TOQnBm端子出力の設定
0	TOQnBm端子出力禁止 ・ TQnOLBmビット = 0 のときTOQnBm端子からロウ・レベルを出力 ・ TQnOLBmビット = 1 のときTOQnBm端子からハイ・レベルを出力
1	TOQnBm端子出力許可

注 V850E/IA4のみ

(a) TOQnTm, TOQnBm端子出力

TOQnTm端子出力は, TQnIOC0.TQnOLm, TQnOEmビットによって制御されます。TOQnBm端子出力は, TQnIOC3.TQnOLBm, TQnOEBmビットによって制御されます。

6相PWM出力モードにおける各設定でのタイマ出力を次に示します。

図10 - 3 TOQnTm, TOQnBm端子出力制御 (デッド・タイムなし)

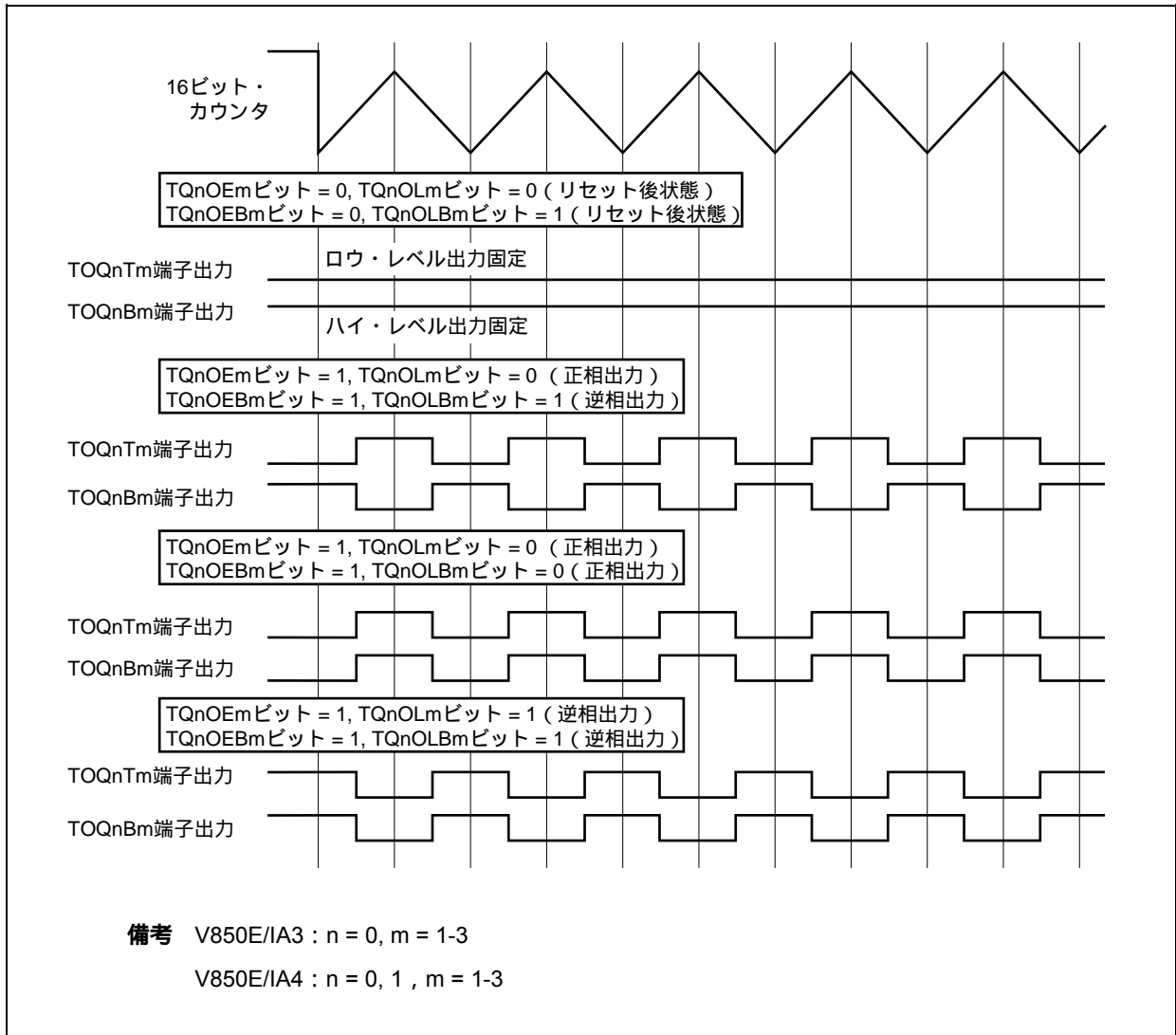


表10 - 1 TOQnTm端子出力

TQnOLmビット	TQnOEmビット	TQnCEビット	TOQnTm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOQnTm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOQnTm逆相出力

備考 V850E/IA3 : n = 0, m = 1-3

V850E/IA4 : n = 0, 1, m = 1-3

表10 - 2 TOQnBm端子出力

TQnOLBmビット	TQnOEBmビット	TQnCEビット	TOQnBm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOQnBm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOQnBm逆相出力

備考 V850E/IA3 : n = 0, m = 1-3

V850E/IA4 : n = 0, 1, m = 1-3

(6) ハイ・インピーダンス出力制御レジスタ00, 01, 10, 11, 20, 21 (HZAmCTL0, HZAmCTL1)

HZAmCTL0, HZAmCTL1レジスタは、出力バッファのハイ・インピーダンス制御をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただしHZAmDCF_nビットは、リードのみ可能で、ライト動作を行っても書き込めません。

16ビット・アクセスは、できません。

リセットにより00Hになります。

HZAmCTL_nレジスタは、常時ソフトウェアでの同値書き込みが可能です。

検出要因/制御レジスタの関係を次に示します。

ハイ・インピーダンス制御対象端子	ハイ・インピーダンス制御要因		制御レジスタ
	外部端子	A/D部 (コンパレータ)	
TOQ0T1-TOQ0T3出力時	TOQ0OFF	-	HZA0CTL0
TOQ0B1-TOQ0B3出力時	-	ANI00, ANI01, ANI02 ^注 入力のいずれかの基準電圧超過	HZA2CTL0
TOP21出力時	TOP2OFF	-	HZA0CTL1
TOQ1T1 ^注 , TOQ1T2 ^注 , TOQ1T3 ^注 出力時	TOQ1OFF ^注	-	HZA1CTL0 ^注
TOQ1B1 ^注 , TOQ1B2 ^注 , TOQ1B3 ^注 出力時	-	ANI10-ANI12入力のいずれかの基準電圧超過	HZA2CTL1
TOP31 ^注 出力時	TOP3OFF ^注	-	HZA1CTL1 ^注

注 V850E/IA4のみ

注意 ハイ・インピーダンス制御が行なわれるのは、対象ポートを表中の対象端子に設定した場合にかぎります。

リセット時：00H R/W アドレス：HZA0CTL0 FFFFF5F0H, HZA0CTL1 FFFFF5F1H,
 HZA1CTL0 FFFFF630H^{注1}, HZA1CTL1 FFFFF631H^{注1},
 HZA2CTL0 FFFFF638H, HZA2CTL1 FFFFF639H

	⑦	⑥	5	4	③	②	1	①
HZA0CTLn	HZA0DCEn	HZA0DCMn	HZA0DCNn	HZA0DCPn	HZA0DCTn	HZA0DCCn	0	HZA0DCFn
V850E/IA3 n = 0, 1 m = 0, 2	HZA0DCEn	ハイ・インピーダンス出力の制御						
	0	ハイ・インピーダンス出力制御動作禁止。対象端子出力可能						
V850E/IA4 n = 0, 1 m = 0-2	1	ハイ・インピーダンス出力制御動作許可						

HZA0DCMn	HZA0DCCnビットによるハイ・インピーダンス解除の条件	
0	外部端子 ^{注2} 入力に関係なく, HZA0DCCnビットの設定が有効	
1	外部端子 ^{注2} 入力が異常検出したレベル(アクティブ・レベル)を保持している期間はHZA0DCCnビットの設定が無効。	
HZA0DCMnビットを書き換える場合はHZA0DCEnビット = 0のとき行ってください。		

HZA0DCNn	HZA0DCPn	外部端子 ^{注2} の入力エッジ指定
0	0	有効エッジなし(外部端子 ^{注2} 入力によるHZA0DCFnビットのセット禁止)
0	1	外部端子 ^{注2} の入力の立ち上がりエッジを有効 (立ち上がりエッジ入力で異常検出 ^{注3})
1	0	外部端子 ^{注2} の入力の立ち下がりエッジを有効 (立ち下がりエッジ入力で異常検出)
1	1	設定禁止

- ・ HZA0DCNn, HZA0DCPnビットを書き換える場合はHZA0DCEnビット = 0のとき行ってください。
- ・ INTP0-INTP3端子のエッジ指定については, 17.4.2(1) **外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ0 (INTRO, INTF0)**を参照してください。
- ・ 外部端子のエッジ指定は, まずTOQnOFF, TOPmOFF端子から行ってください。その後, TOQnOFF, TOPmOFF端子以外の外部端子のエッジ指定を行ってください。それ以外の場合には, TOQnOFF, TOPmOFF端子のエッジ指定時に不定なエッジを検出することがあります。
- ・ ハイ・インピーダンス出力制御は動作許可(HZA0DCEnビット = 1)後に有効エッジが入力された場合に行われます。したがって, 動作許可する時点で外部端子^{注2}がアクティブ・レベルである場合は, ハイ・インピーダンス出力制御は行われません。

注1. V850E/IA4のみ

2. ・ V850E/IA3

HZA0CTL0 : TOQ0OFF端子, HZA0CTL1 : TOP2OFF端子,
 HZA2CTL0 : ANI00, ANI01端子, HZA2CTL1 : ANI10-ANI12端子

・ V850E/IA4

HZA0CTL0 : TOQ0OFF端子, HZA0CTL1 : TOP2OFF端子,
 HZA1CTL0 : TOQ1OFF端子, HZA1CTL1 : TOP3OFF端子,
 HZA2CTL0 : ANI00-ANI02端子, HZA2CTL1 : ANI10-ANI12端子

3. コンパレータの出力を使用する場合は立ち上がりエッジ入力を設定してください。

HZAmDCTn	ハイ・インピーダンス出力トリガ・ビット
0	非動作
1	ソフトウェアで対象端子をハイ・インピーダンスにして、HZAmDCFnビットがセット(1)されます。

・外部端子^注に異常を示すエッジが入力 (HZAmDCNn, HZAmDCPnビットの設定により検出) された場合、HZAmDCTnビットに1を設定しても無効です。
 ・HZAmDCTnビットはソフトウェア・トリガ・ビットなのでリードすると必ず0が読み出されます。
 ・HZAmDCEnビット = 0のとき、HZAmDCTnビットに1を設定しても無効です。
 ・HZAmDCTnビットとHZAmDCCnビットを同時に1に設定することは禁止です。

HZAmDCCn	ハイ・インピーダンス出力制御クリア・ビット
0	非動作
1	ハイ・インピーダンス状態の対象端子をソフトウェアで出力許可状態にして、HZAmDCFnビットがクリア(0)されます。

・HZAmDCMビット = 0のとき、外部端子^注の状態にかかわらず対象端子の出力が可能です。
 ・HZAmDCMビット = 1のとき、外部端子^注に異常を示すエッジが入力 (HZAmDCNn, HZAmDCPnビットの設定により検出) された場合、HZAmDCCnビットに1を設定しても無効です。
 ・HZAmDCCnビットはリードすると必ず0が読み出されます。
 ・HZAmDCEnビット = 0のとき、HZAmDCCnビットに1を設定しても無効です。
 ・HZAmDCTnビットとHZAmDCCnビットを同時に1に設定することは禁止です。

HZAmDCFn	ハイ・インピーダンス出力状態フラグ
0	対象端子の出力が可能状態であることを示します。 ・HZAmDCEnビット = 0によりクリア(0)されます。 ・HZAmDCCnビット = 1によりクリア(0)されます。
1	対象端子の出力がハイ・インピーダンス状態であることを示します。 ・HZAmDCTnビット = 1によりセット(1)されます。 ・外部端子 ^注 に異常を示すエッジが入力 (HZAmDCNn, HZAmDCPnビットの設定により検出) された場合、セット(1)されます。

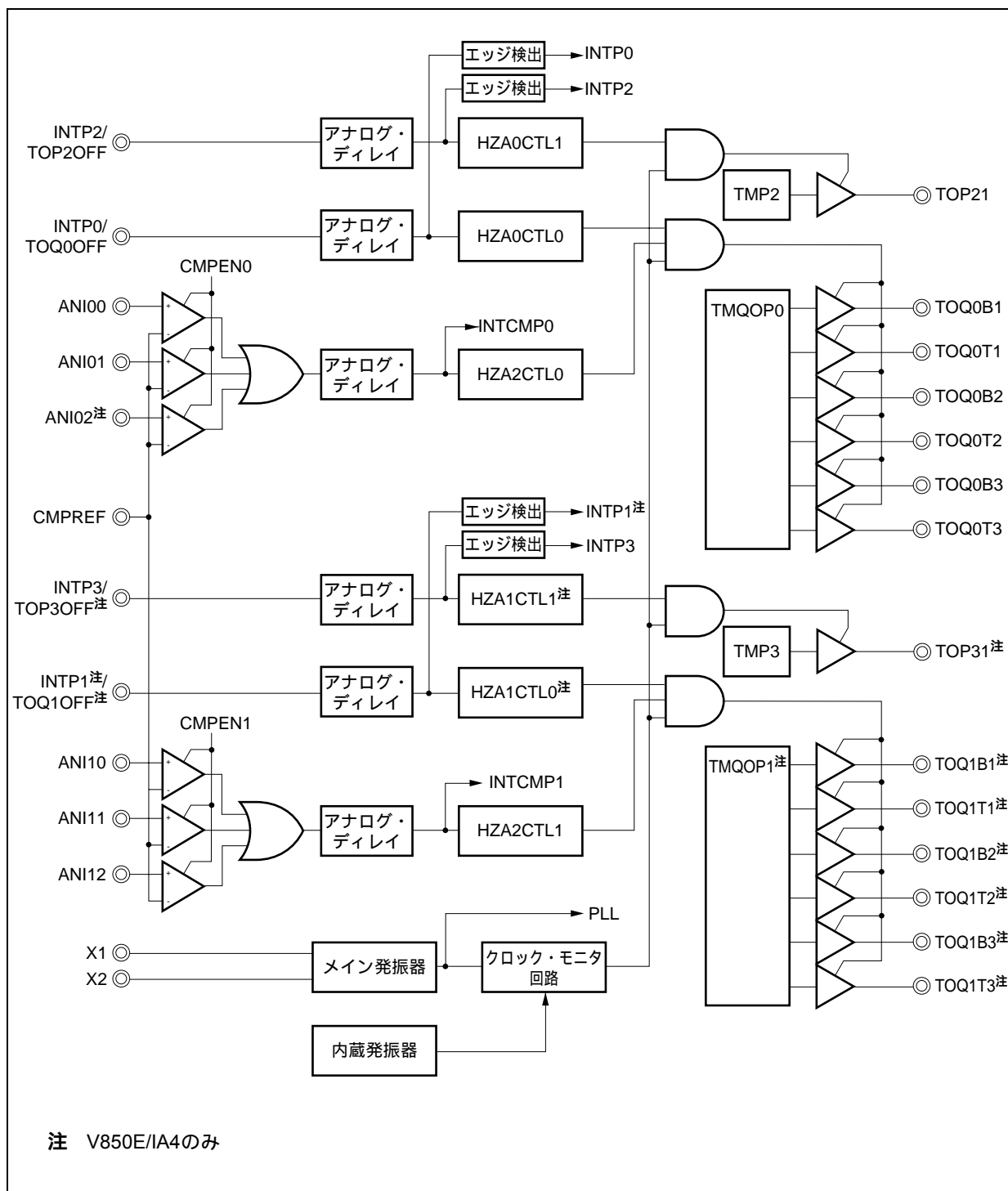
注 ・V850E/IA3

HZA0CTL0 : TOQ0OFF端子, HZA0CTL1 : TOP2OFF端子,
 HZA2CTL0 : ANI00, ANI01端子, HZA2CTL1 : ANI10-ANI12端子

・V850E/IA4

HZA0CTL0 : TOQ0OFF端子, HZA0CTL1 : TOP2OFF端子,
 HZA1CTL0 : TOQ1OFF端子, HZA1CTL1 : TOP3OFF端子,
 HZA2CTL0 : ANI00-ANI02端子, HZA2CTL1 : ANI10-ANI12端子

図10-4 ハイ・インピーダンス出力制御回路構成



(a) 設定手順

(i) ハイ・インピーダンス制御動作を設定する方法

- <1> HZAmDCMn, HZAmDCNn, HZAmDCPnビットの設定
- <2> HZAmDCEnビット = 1 (ハイ・インピーダンス制御の許可)

(ii) ハイ・インピーダンス制御許可設定後に変更する方法

- <1> HZAmDCEnビット = 0 (ハイ・インピーダンス制御動作の停止)。
- <2> HZAmDCMn, HZAmDCNn, HZAmDCPnビットの変更設定。
- <3> HZAmDCEnビット = 1 (ハイ・インピーダンス制御の再許可)。

(iii) 端子がハイ・インピーダンス状態のとき、出力を再開する方法

HZAmDCMnビット = 1の場合、外部端子^注の有効エッジ検出後、ハイ・インピーダンス状態の解除のためHZAmDCCnビットに1をセットしますが、外部端子^注の入力レベルがインアクティブ状態のときにセットしなければハイ・インピーダンス状態の解除はできません。

- <1> HZAmDCCnビット = 1 (ハイ・インピーダンス状態の解除命令信号)。
- <2> HZAmDCFnビットをリードし、フラグの状態を確認。
- <3> HZAmDCFnビット = 1ならば<1> の操作に戻る。外部端子^注の入力レベルの確認が必要。
HZAmDCFnビット = 0ならば端子出力可能。

(iv) ソフトウェアにより端子をハイ・インピーダンスにする方法

ソフトウェアによりHZAmDCTnビット = 1を設定し、端子をハイ・インピーダンスにするには、外部端子^注の入力レベルがインアクティブ状態のときにセットしなければなりません。次の手順は、HZAmDCMnビットの設定に依存しない例です。

- <1> HZAmDCTnビット = 1 (ハイ・インピーダンス出力命令)。
- <2> HZAmDCFnビットをリードし、フラグの状態を確認。
- <3> HZAmDCFnビット = 0ならば<1>の操作に戻る。外部端子^注の入力レベルの確認が必要。
HZAmDCFnビット = 1ならばハイ・インピーダンス状態。

ただし、HZAmDCPnビット = 0, HZAmDCNnビット = 0に設定し、外部端子^注入力を使用しない場合は、HZAmDCTnビットに1をセットすることでハイ・インピーダンス状態になります。

注 ・V850E/IA3

HZA0CTL0 : TOQ0OFF端子, HZA0CTL1 : TOP2OFF端子,
HZA2CTL0 : ANI00, ANI01端子, HZA2CTL1 : ANI10-ANI12端子

・V850E/IA4

HZA0CTL0 : TOQ0OFF端子, HZA0CTL1 : TOP2OFF端子,
HZA1CTL0 : TOQ1OFF端子, HZA1CTL1 : TOP3OFF端子,
HZA2CTL0 : ANI00-ANI02端子, HZA2CTL1 : ANI10-ANI12端子

10.4 動作

10.4.1 システム概要説明

(1) 6相PWM出力概要

6相PWM出力モードは、6相PWM出力波形を生成するためにTMQnとTMQnオプションを組み合わせで使用します。

6相PWM出力モードはTMQnのTQnCTL1.TQnMD2-TQnMD0ビットを“111”に設定することにより有効となります。

基本3相波生成用にTMQnの1本の16ビット・カウンタと4本の16ビット・コンペア・レジスタを使用します。

コンペア・レジスタの機能は次のとおりです。

また、A/Dコンバータ0, 1の変換開始トリガ・ソース用に、TMPnはTMQnと同調動作を行うことができます。

備考 V850E/IA3 : n = 0

V850E/IA4 : n = 0, 1

コンペア・レジスタ	機能	設定可能範囲
TQnCCR0レジスタ	周期の設定	0002H m FFEH
TQnCCR1レジスタ	U相の出力幅の指定	0000H i m + 1
TQnCCR2レジスタ	V相の出力幅の指定	0000H j m + 1
TQnCCR3レジスタ	W相の出力幅の指定	0000H k m + 1

備考 m = TQnCCR0レジスタの設定値

i = TQnCCR1レジスタの設定値

j = TQnCCR2レジスタの設定値

k = TQnCCR3レジスタの設定値

生成された基本3相波を3本の10ビット・デッド・タイム・カウンタと1本のコンペア・レジスタでデッド・タイム間隔生成を行って、基本3相波の逆相波を作り、6相PWM出力波形 (U, \bar{U} , V, \bar{V} , W, \bar{W}) を生成します。

基本3相波生成用の16ビット・カウンタは、アップ/ダウン・カウント動作を行います。動作開始後はアップ・カウント動作を行い、TQnCCR0レジスタに設定された周期値と一致するとダウン・カウント動作に切り替わります。次に0001Hとの一致が起こると再びアップ・カウント動作に切り替わります。つまりTQnCCR0レジスタに設定した値 + 1の2倍の値がキャリア周期となります。

デッド・タイム間隔生成用の10ビットのデッド・タイム・カウンタ1-3は、アップ・カウント動作を行うので、TMQnデッド・タイム・コンペア・レジスタ (TQnDTC) に設定した値がデッド・タイム値そのものになります。また、カウンタは3本ありデッド・タイム生成をU相、V相、W相に対し独立に行うことができますが、デッド・タイム値の指定レジスタ (TQnDTC) は1本であるため、3相とも同じデッド・タイム値となります。

図10 - 5 6相PWM出力モードの概要

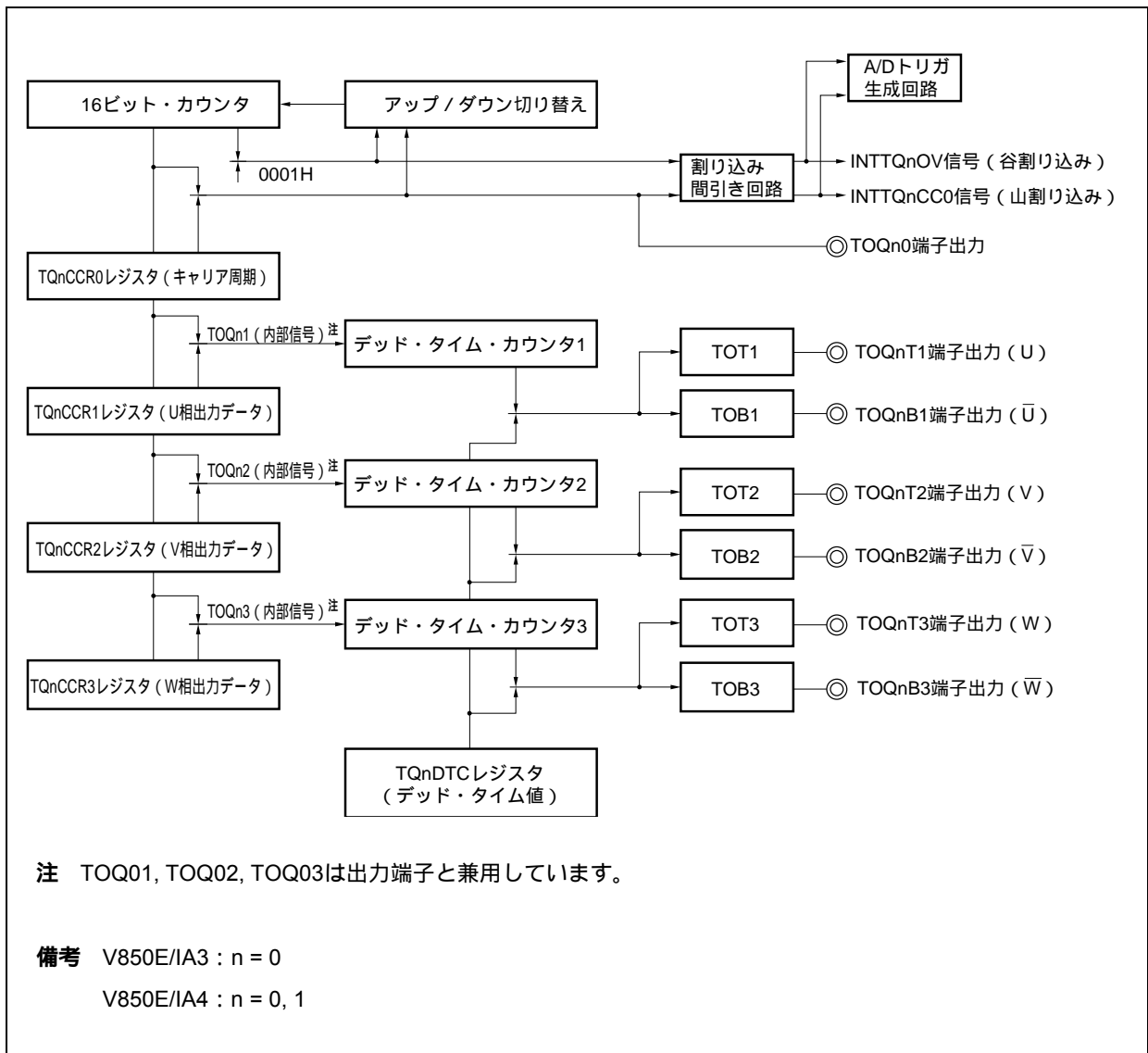
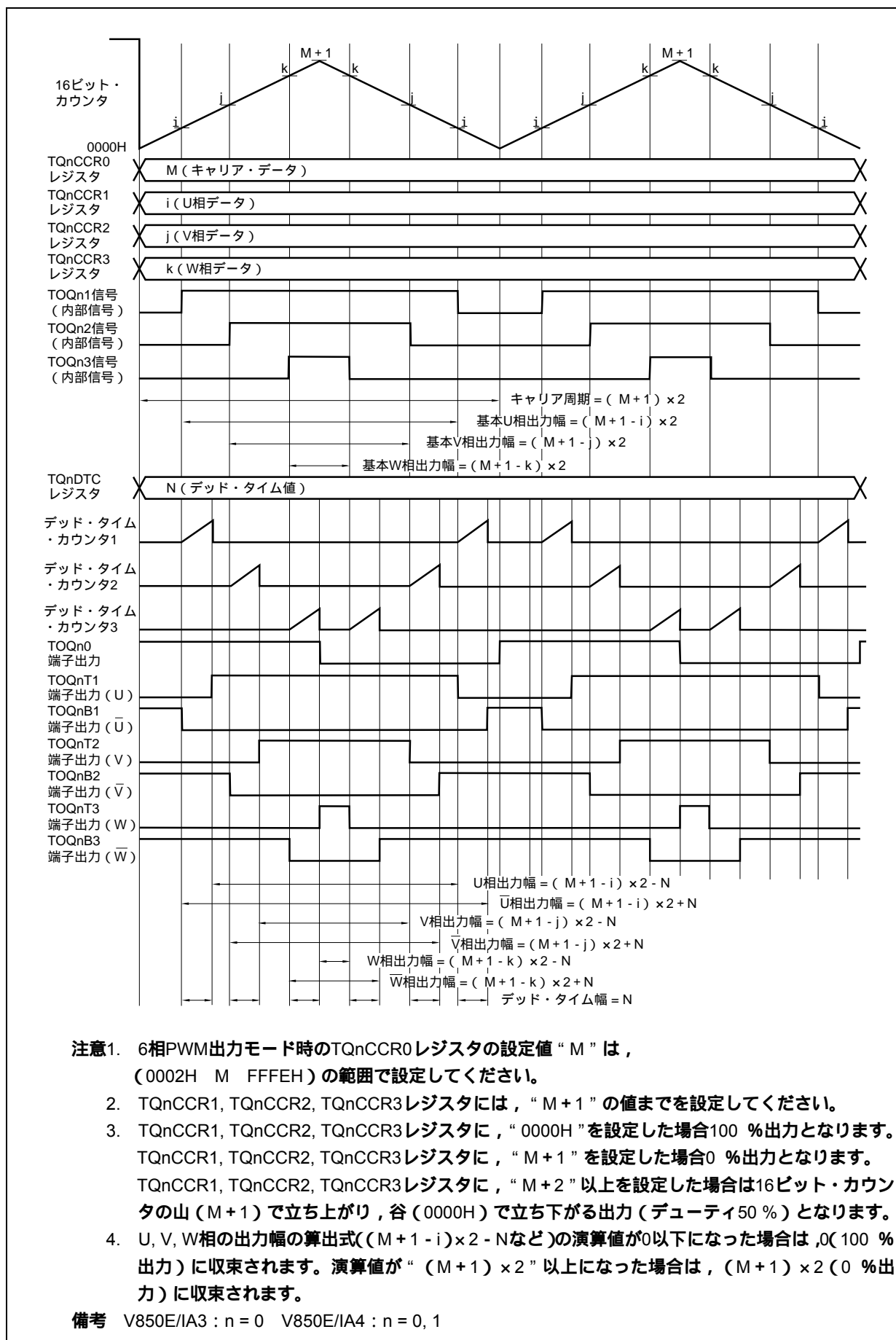


図10 - 6 6相PWM出力モードのタイミング図



(2) 割り込み要求

割り込み要求は、INTTQnCC0（山割り込み）とINTTQnOV（谷割り込み）の2種類あります。INTTQnCC0, INTTQnOVは、TQnOPT1レジスタで割り込み要求を間引くことができます。割り込み間引きに関する詳細は、10.4.3 **割り込み間引き機能**を参照してください。

- ・INTTQnCC0（山割り込み）：アップ・カウント時の16ビット・カウンタの値とTQnCCR0レジスタの値との一致割り込み
- ・INTTQnOV（谷割り込み）：ダウン・カウント時の16ビット・カウンタの値と0001Hの一致割り込み

(3) タイマ動作中のレジスタの書き換えについて

次のレジスタには、バッファ・レジスタがあり、随時書き換え、一斉書き換え、間欠一斉書き換えのいずれかの方法で書き換えができます。

関係ユニット	レジスタ
タイマPn	TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)
タイマQn	TMQnキャプチャ/コンペア・レジスタ0 (TQnCCR0) TMQnキャプチャ/コンペア・レジスタ1 (TQnCCR1) TMQnキャプチャ/コンペア・レジスタ2 (TQnCCR2) TMQnキャプチャ/コンペア・レジスタ3 (TQnCCR3)
タイマQnオプション	TMQnオプション・レジスタ1 (TQnOPT1)

備考 V850E/IA3 : n = 0
V850E/IA4 : n = 0, 1

コンペア・レジスタの転送機能に関する詳細は、10.4.4 **転送機能付きレジスタの書き換え操作**を参照してください。

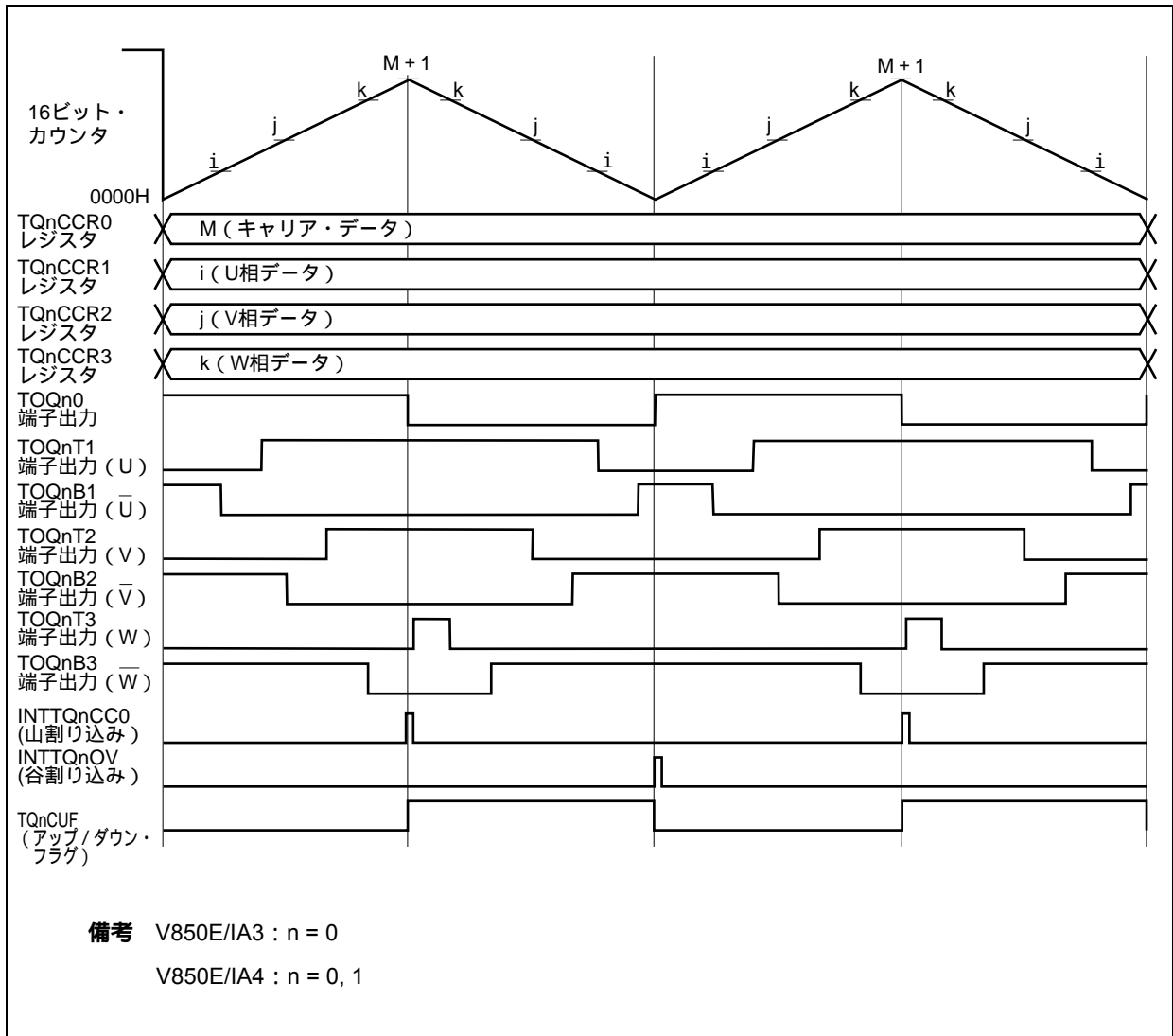
(4) 16ビット・カウンタのアップ/ダウン・カウント動作

16ビット・カウンタの動作状態は、TMQnオプション・レジスタ0 (TQnOPT0) のTQnCUFビットにより確認できます。

TQnCUFビットの状態	16ビット・カウンタの状態	16ビット・カウンタの値の範囲
TQnCUFビット = 0	アップ・カウント	0000H - m
TQnCUFビット = 1	ダウン・カウント	(m + 1) - 0001H

備考1. m = TQnCCR0レジスタの設定値
2. V850E/IA3 : n = 0
V850E/IA4 : n = 0, 1

図10-7 割り込みとアップ/ダウン・フラグ



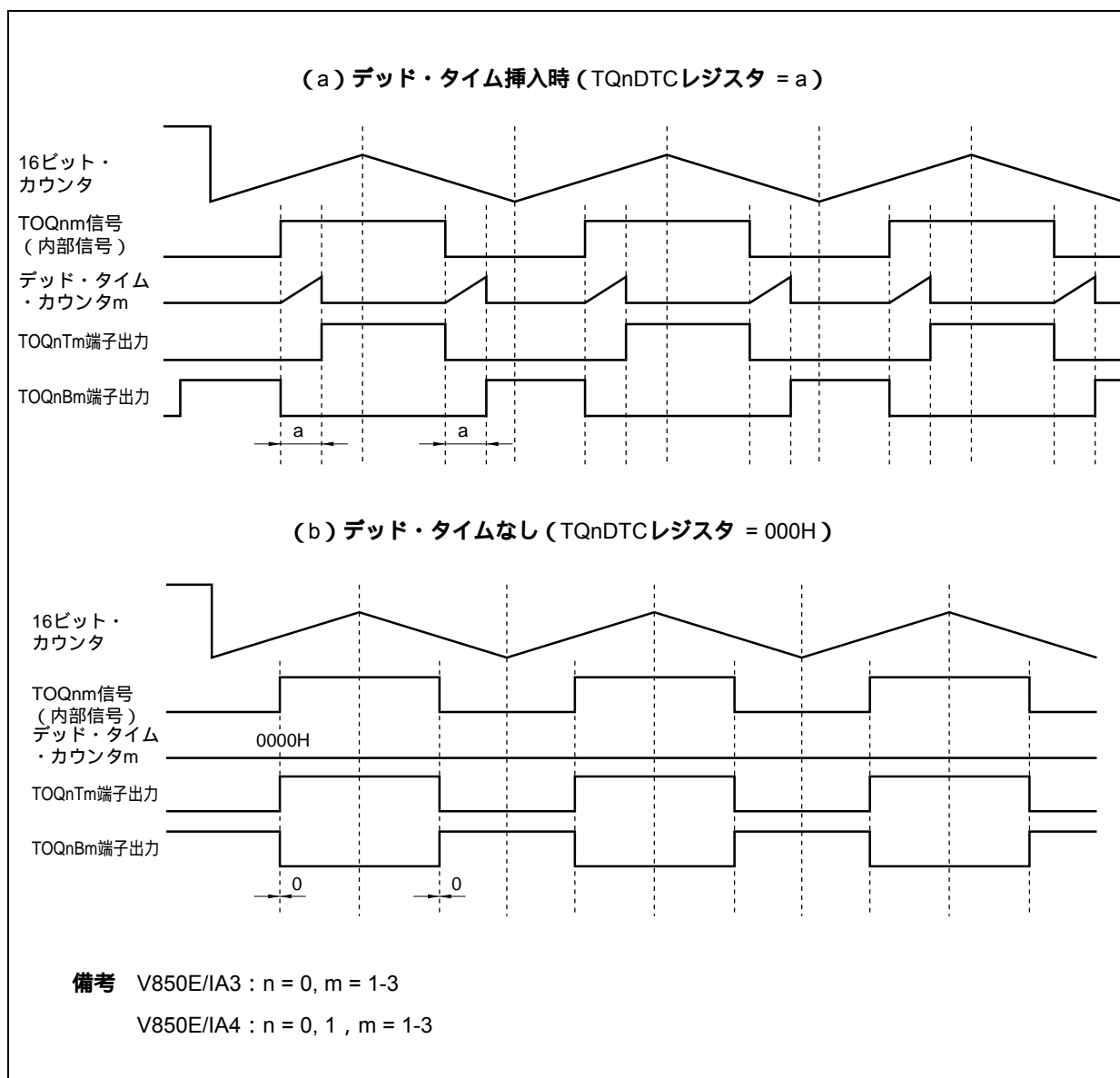
10.4.2 デッド・タイム制御 (逆相波信号の生成)

(1) デッド・タイム制御機構

6相PWM出力モードではデューティ用の設定レジスタはコンペア・レジスタ1-3 (TQnCCR1, TQnCCR2, TQnCCR3) とし、周期用の設定レジスタはコンペア・レジスタ0 (TQnCCR0) となります。この4種類のレジスタを設定し、TMQを動作させることでデューティ可変型の3種類のPWM出力波形 (基本3相波) を生成します。この3種類のPWM出力波形をタイマQオプション・ユニット (TMQOPn) で受け、デッド・タイムを付加した反転信号を作成することで、3組6本のPWM波形を生成します。

TMQOPnユニットは、TMQnのカウント・クロックに同期して動作する3本の10ビット・カウンタ (デッド・タイム・カウンタ1-3) とデッド・タイムの時間を指定するTMQnデッド・タイム・コンペア・レジスタ (TQnDTC) で構成されます。TQnDTCレジスタに“a”を設定するとデッド・タイム値は“a”となり、正相波と逆相波の間に“a”の間隔が作られます。

図10-8 デッド・タイム付加後のPWM出力波形 (1)



(2) 0 % / 100 %のPWM出力

V850E/IA3, V850E/IA4は、PWM出力の0 %波形出力、および100 %波形出力が可能です。

0 %波形出力は、TOQnTm端子からロウ・レベルを出力し続けます。100 %波形はTOQnTm端子からハイ・レベルを出力し続けます。

0 %波形は、TQnCCR0レジスタ = Mの場合、TQnCCRmを“M + 1”に設定することにより出力されず。

100 %波形は、TQnCCRmレジスタを“0000H”に設定することにより出力されます。

なお、タイマ動作中にTQnCCRmレジスタの書き換えは許可されており、山割り込み (INTTQnCC0) および谷割り込み (INTTQnOV) のポイントで0 %波形出力 / 100 %波形出力に切り替えられます。

備考 V850E/IA3 : n = 0, m = 1-3

V850E/IA4 : n = 0, 1, m = 1-3

図10 - 9 0 %PWM出力波形図 (デッド・タイムあり)

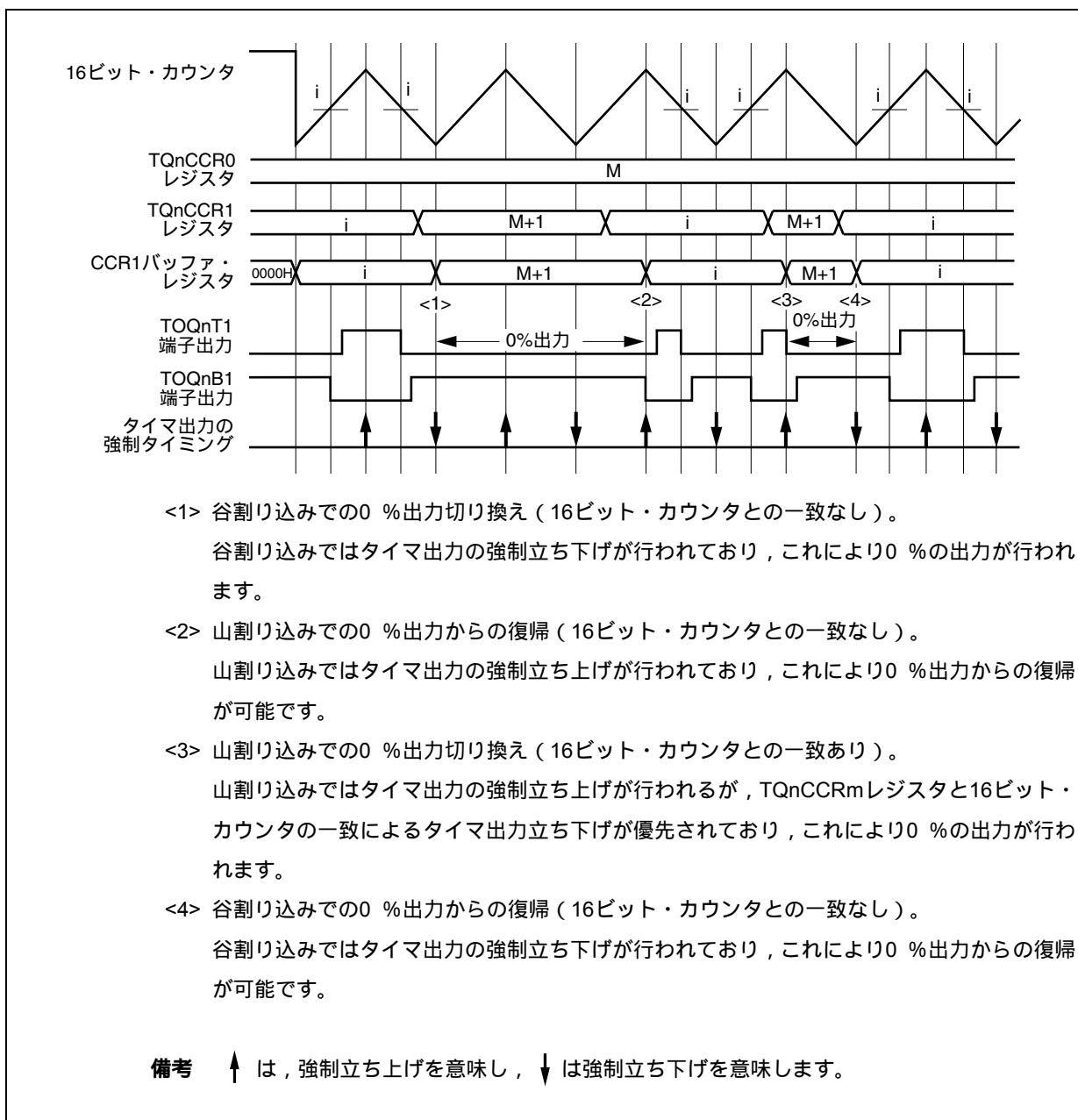


図10 - 10 100 %PWM出力波形図 (デッド・タイムあり)

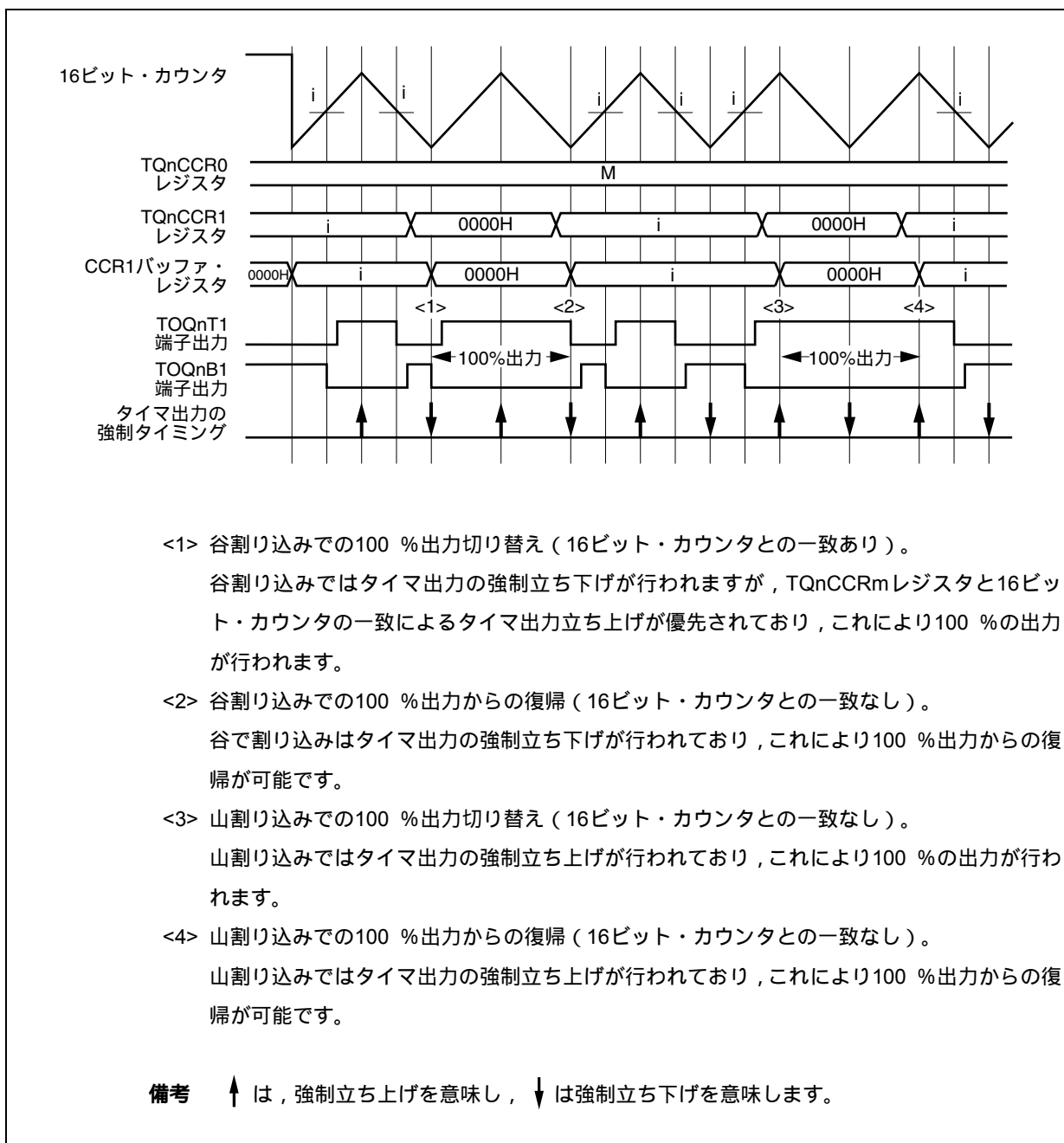
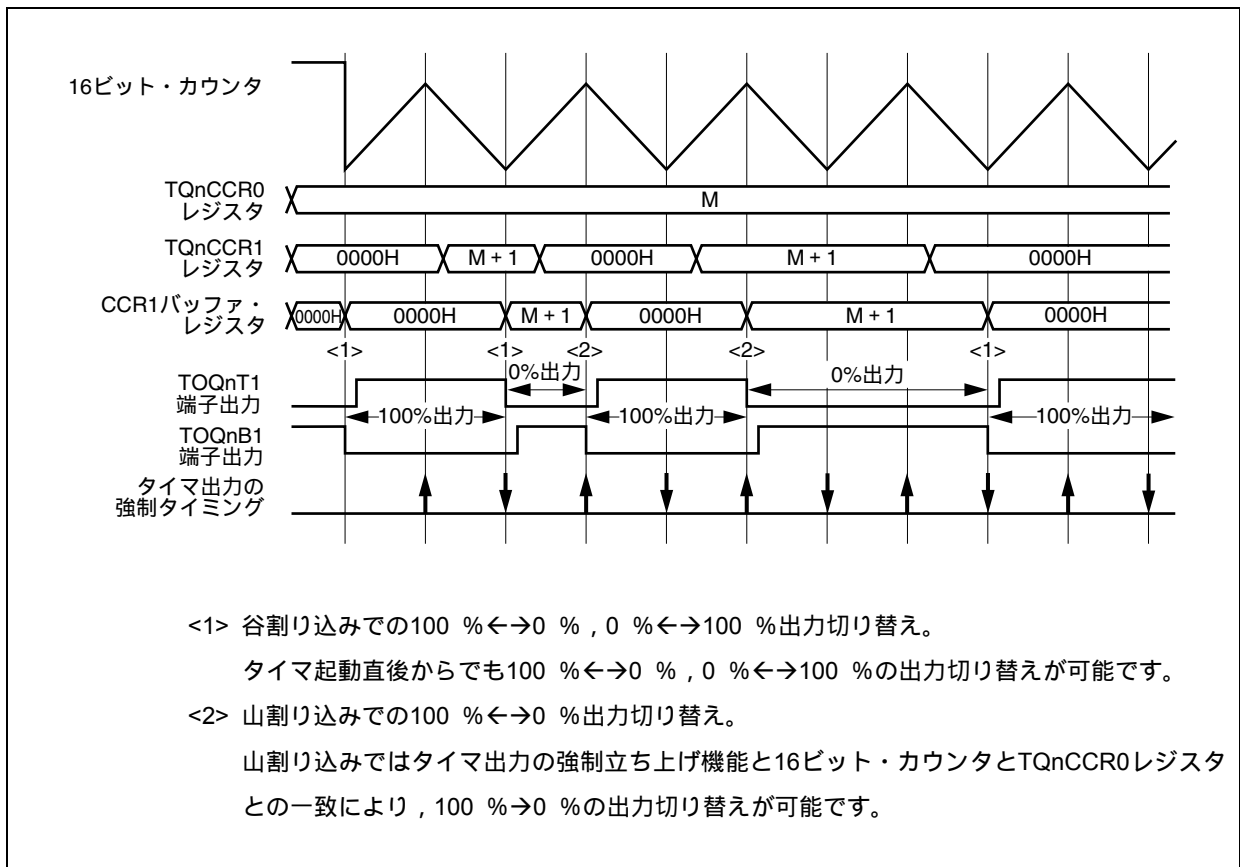


図10-11 0%から100%、100%から0%のPWM出力波形図(デッド・タイムあり)

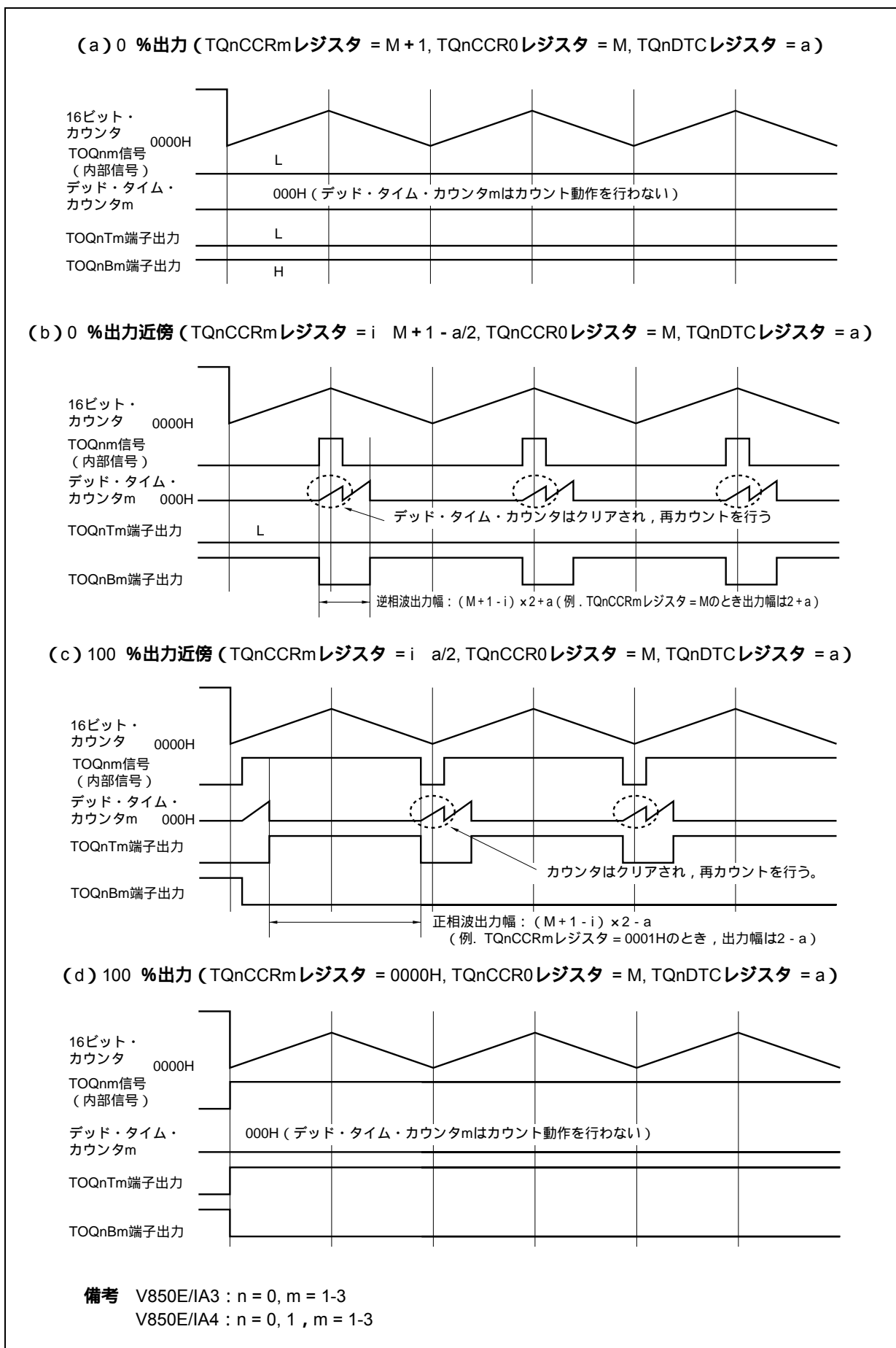


(3) 0%、100%出力近傍の出力波形

デッド・タイム・カウント中にコンペア・レジスタと16ビット・カウンタとの一致割り込みが発生した場合、デッド・タイム・カウンタはクリアされ、再びカウント動作をします。

0%、100%出力の近傍でのデッド・タイム制御の出力波形を次に示します。

図10 - 12 デッド・タイム付加後のPWM出力波形 (2)



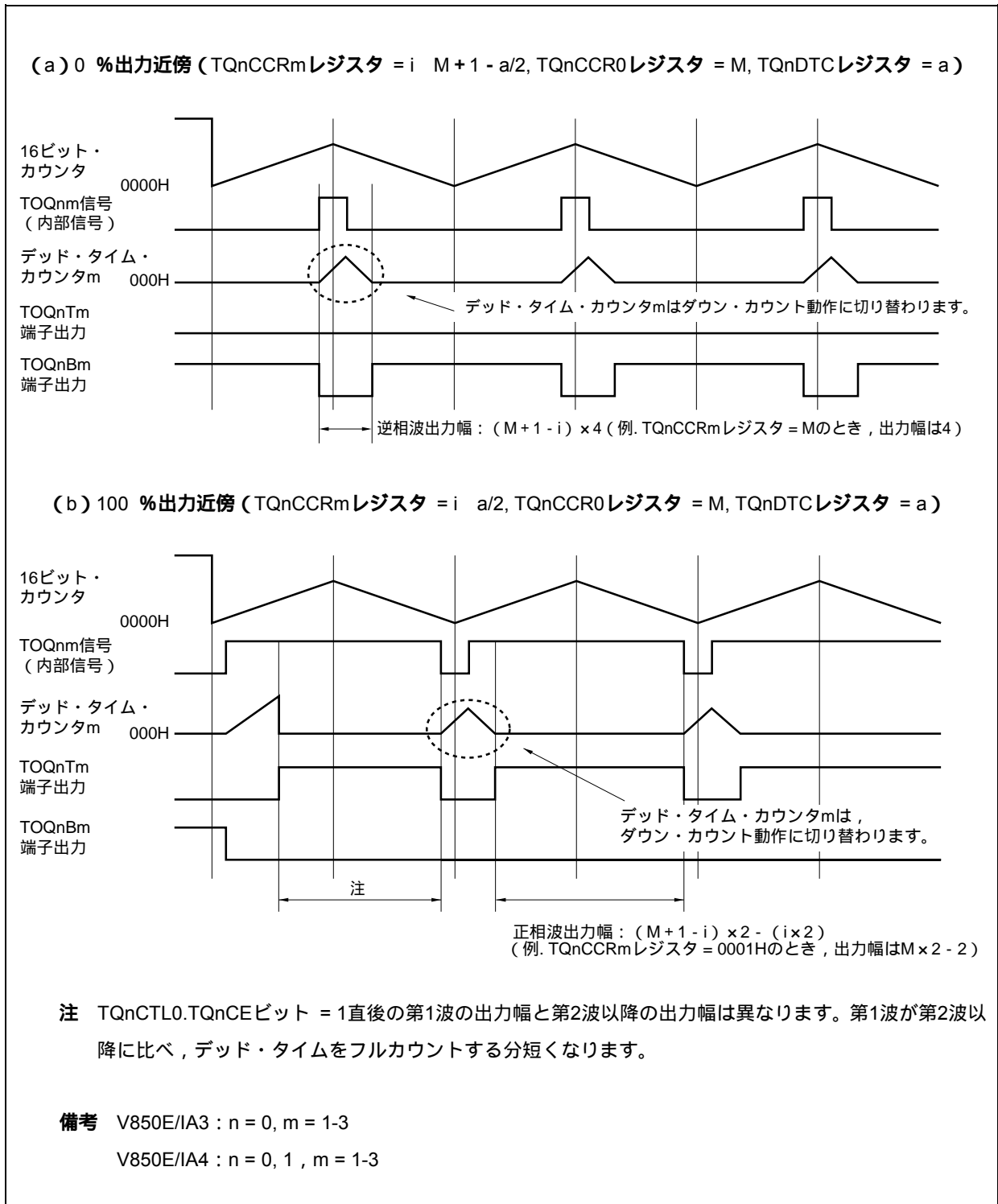
(4) デッド・タイム幅の自動縮小機能 (TQnOPT2.TQnDTMビット = 1)

TQnOPT2.TQnDTMビットを“1”に設定することにより、0%出力近傍/100%出力近傍でのデッド・タイム幅を自動で縮小ができます。

TQnDTMビット = 1に設定することにより、デッド・タイム・カウント中に再度のタイマQのTOQnm (内部信号)出力変化が起こった場合、カウンタ・クリア動作は行わず、デッド・タイム・カウンタはダウン・カウント動作に切り替わります。

TQnDTMビット = 1に設定した場合のタイミング・チャートを次に示します。

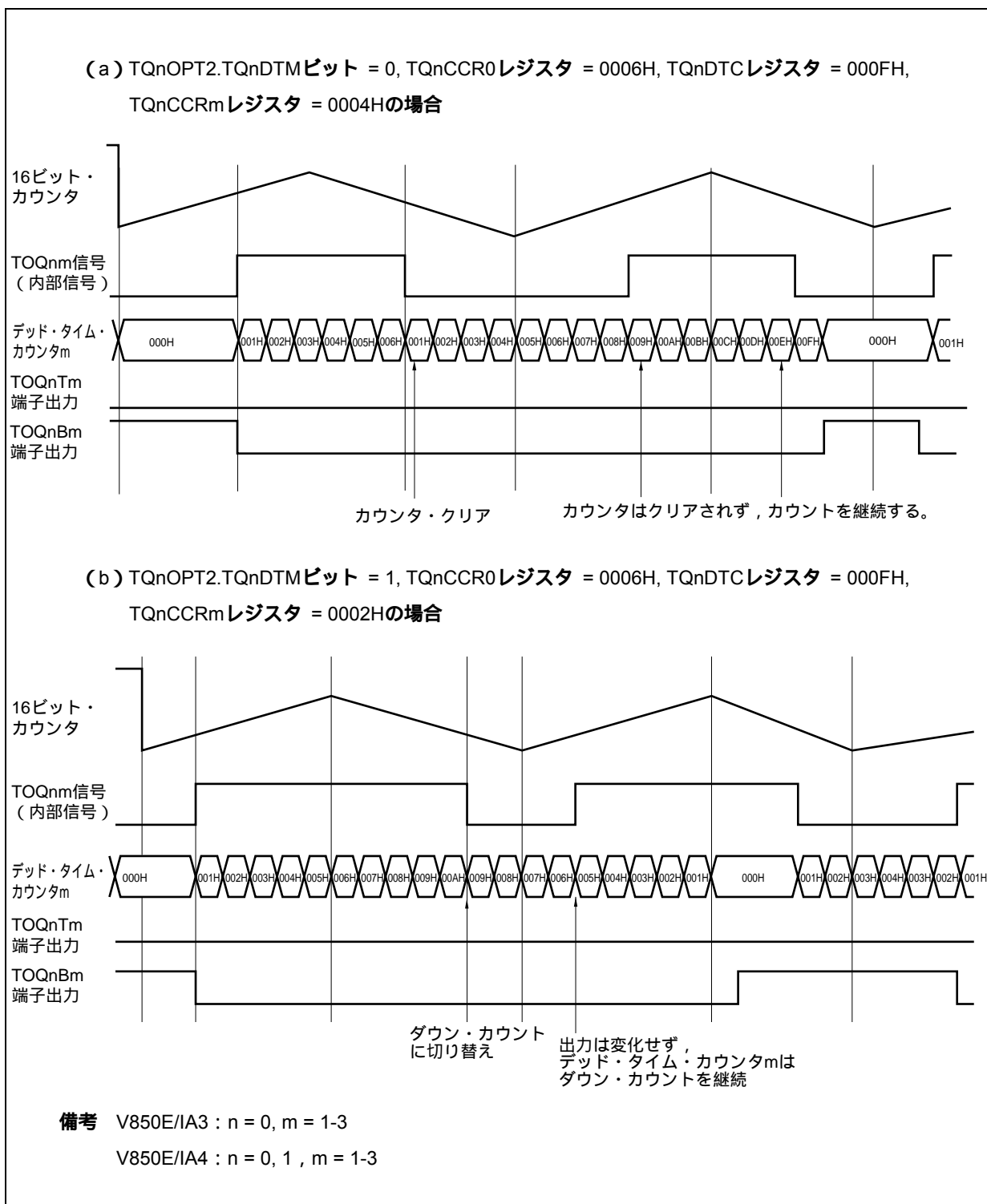
図10-13 デッド・タイム・カウンタmの動作(1)



(5) 異常設定時のデッド・タイム制御

通常使用であれば、デッド・タイム・カウント中に再度のTMQnのTOQnm（内部信号）出力変化が起こるのは1度だけで、0%、100%出力の近傍のみです。ここでは、TQnCCR0レジスタ（キャリア周期）とTQnDTCレジスタ（デッド・タイム値）の設定を誤り異常な設定をした場合の動作を示します。異常設定をすると、デッド・タイム・カウント中に2、3度のTMQnのTOQnm（内部信号）出力変化が起こります。この場合の6相PWM出力波形の出力例を示します。

図10-14 デッド・タイム・カウンタ_mの動作(2)



10.4.3 割り込み間引き機能

- ・間引き対象割り込みは、INTTQnCC0（山割り込み）とINTTQnOV（谷割り込み）です。
- ・TQnOPT1.TQnICEビットで、INTTQnCC0割り込みの出力許可と間引きカウント対象指定を行います。
- ・TQnOPT1.TQnIOEビットで、INTTQnOV割り込みの出力許可と間引きカウント対象指定を行います。
- ・TQnOPT1.TQnID4-TQnID0ビットで、間引きカウント対象に指定された割り込みの間引きカウント数の指定を行います。
指定した間引きカウント数分、割り込みはマスクされ、次の割り込みタイミングで割り込みが発生します。
- ・TQnOPT2.TQnRDEビットで、転送の間引きあり/なしが指定可能です。
間引きありに指定した場合は、間引き後の割り込み出力と同タイミングにて転送が実行されます。
間引きなしに指定した場合は、TQnCCR1レジスタ書き込み後の転送タイミングで転送が実行されます。
- ・TQnOPT0.TQnCMSビットで、一斉書き換え/随時書き換えが指定可能。
TQnCMSビット = 0のときは転送に同期してレジスタ値が更新されますが、TQnCMSビット = 1のときは書き込み後、ただちにレジスタ値が更新されます。
転送タイミングは、割り込み間引きタイミングに同期して、TQnCCRmレジスタからCCRmバッファ・レジスタに転送されます。

- 注意1.** 一斉書き換えモード（転送モード）で割り込み間引き機能を使用する場合には、必ず間欠一斉書き換えモード（転送間引きモード）で行ってください。
- 2.** 割り込みは間引き後のタイミングで発生します。

(1) 割り込み間引き動作

図10 - 15 TQnOPT1.TQnICEビット = 1, TQnIOEビット = 1, TQnOPT2.TQnRDEビット = 1での割り込み間引き動作 (山/谷割り込み出力)

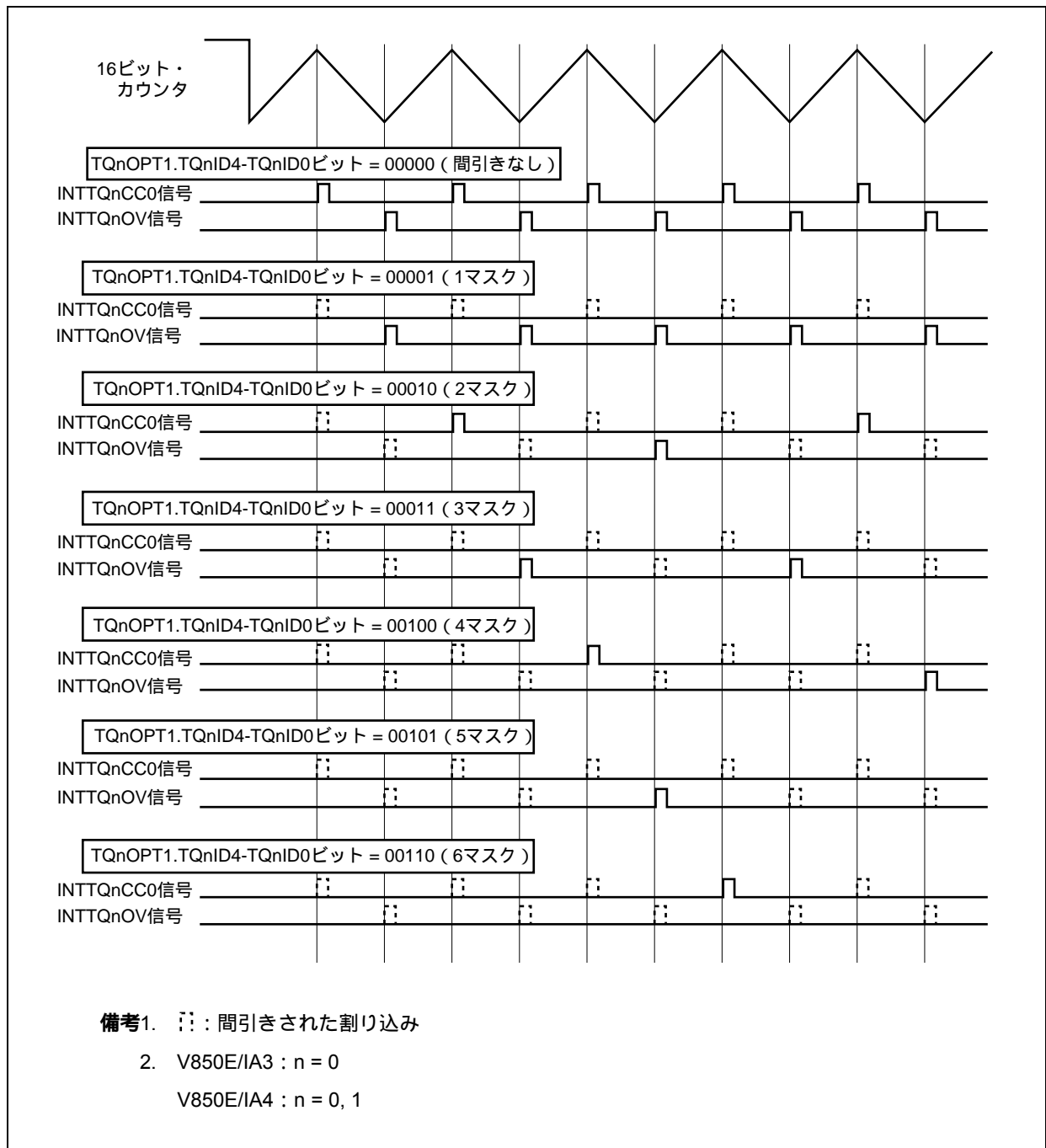


図10 - 16 TQnOPT1.TQnICEビット = 1, TQnIOEビット = 0, TQnOPT2.TQnRDEビット = 1での割り込み間引き動作 (山割り込みのみ出力)

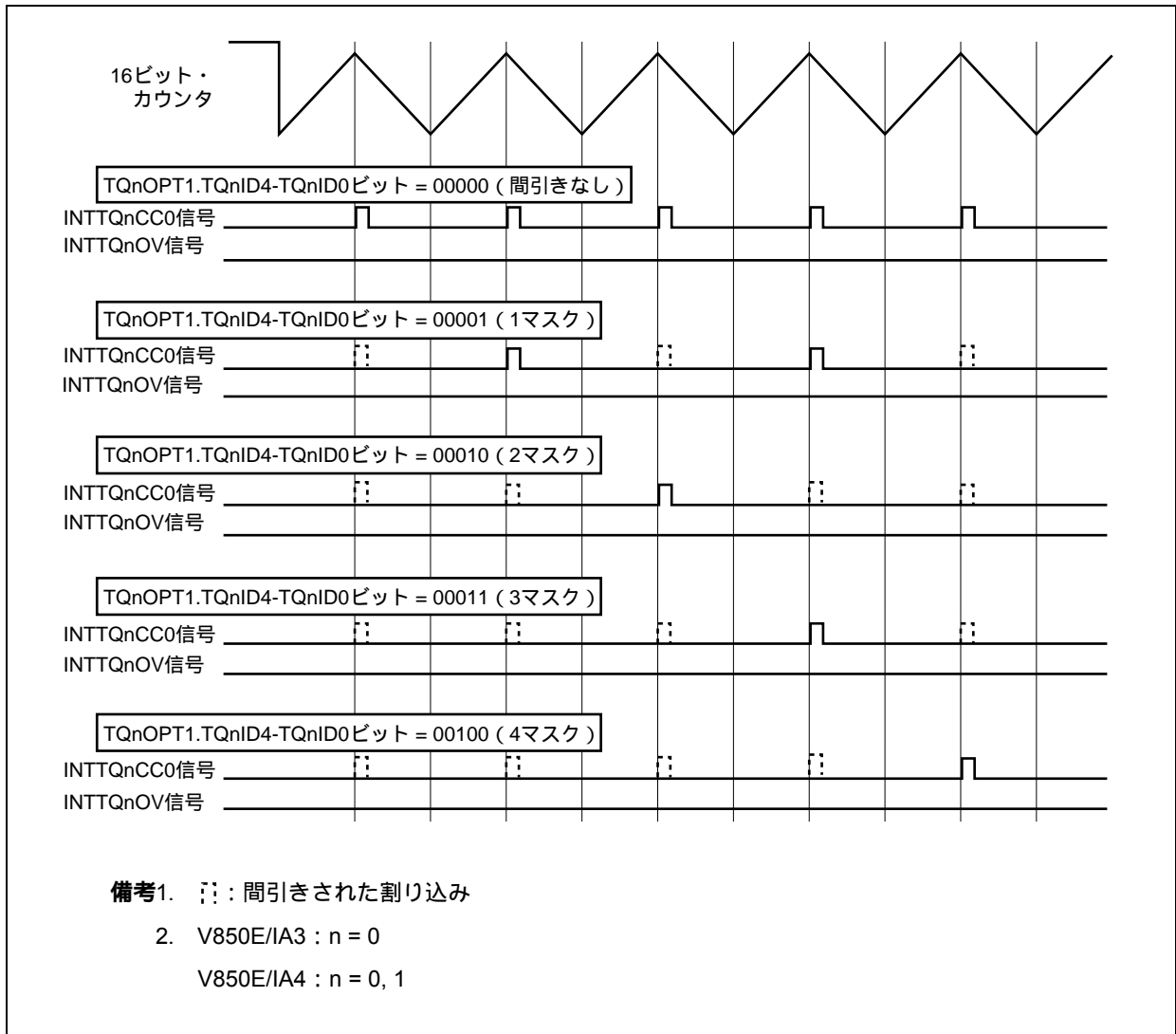
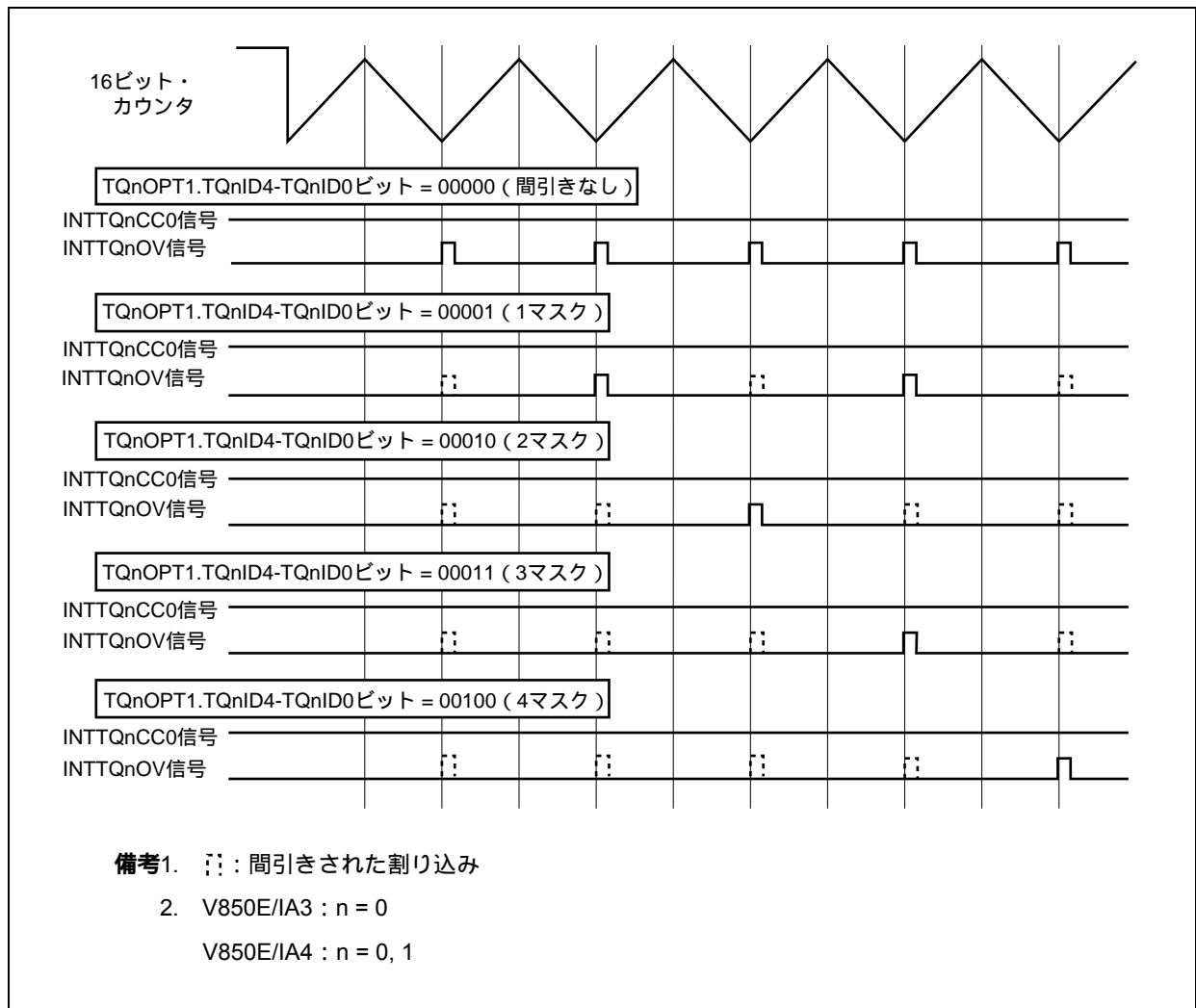


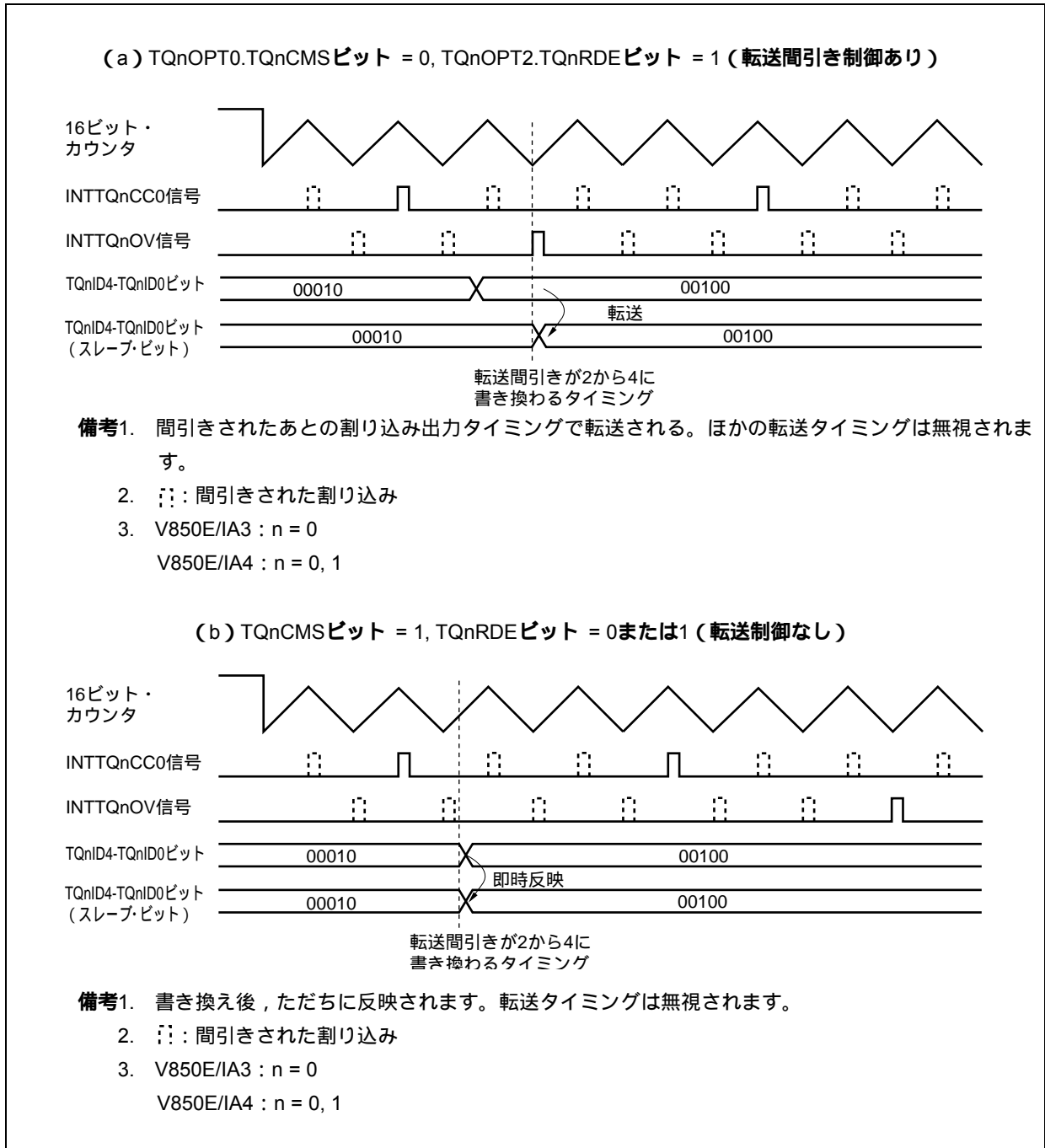
図10 - 17 TQnOPT1.TQnICEビット = 0, TQnIOEビット = 1, TQnOPT2.TQnRDEビット = 1での割り込み間引き動作（谷割り込みのみ出力）



(2) 山割り込み (INTTQnCC0) と谷割り込み (INTTQnOV) を交互出力する場合

山割り込みと谷割り込みを交互に出力するにはTQnOPT1.TQnICE, TQnIOEビットをともに“1”に設定してください。

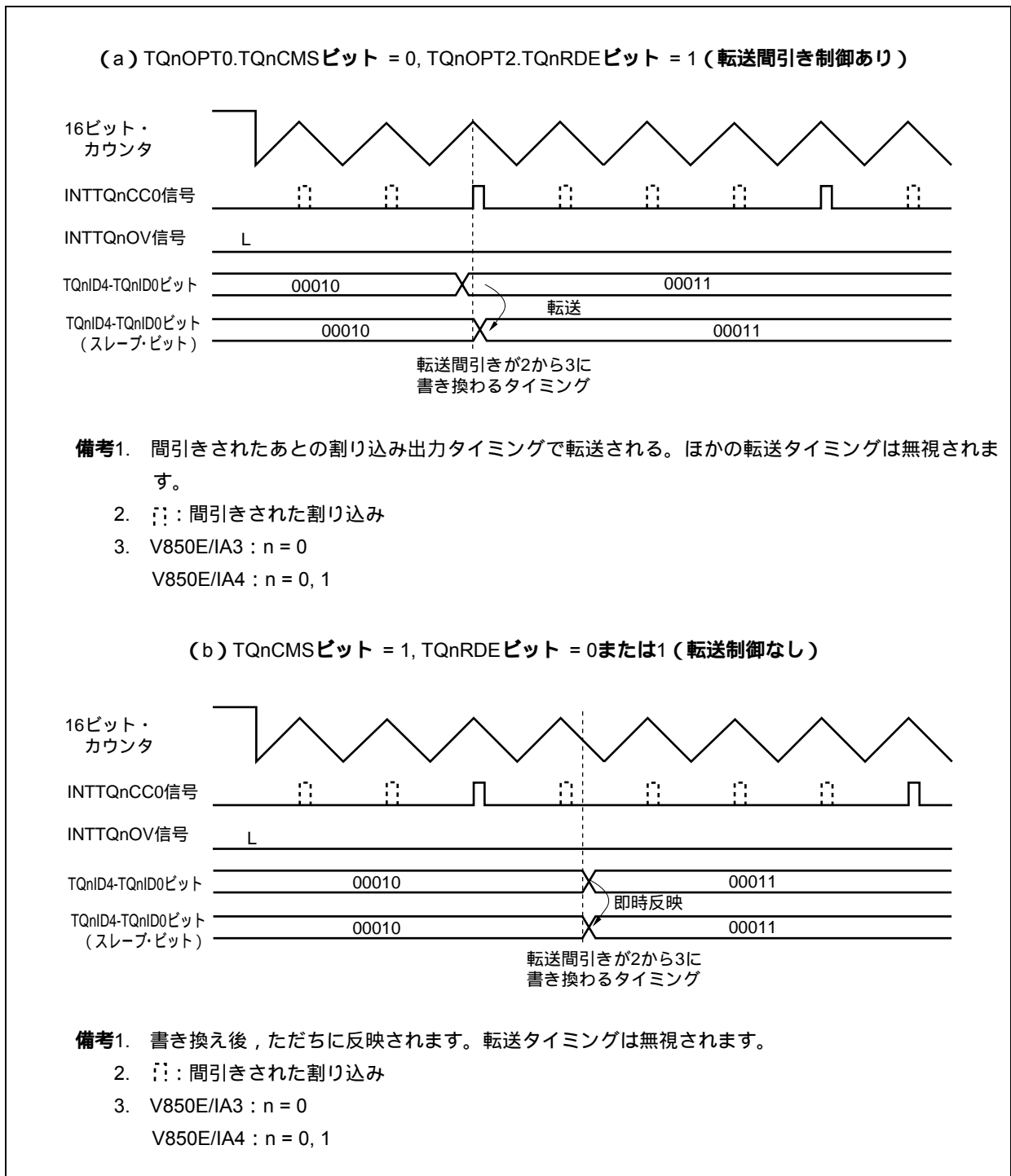
図10 - 18 山/谷割り込み出力



(3) 山割り込み (INTTQnCC0) のみを出力する場合

TQnOPT1.TQnICEビット = 1, TQnIOEビット = 0に設定してください。

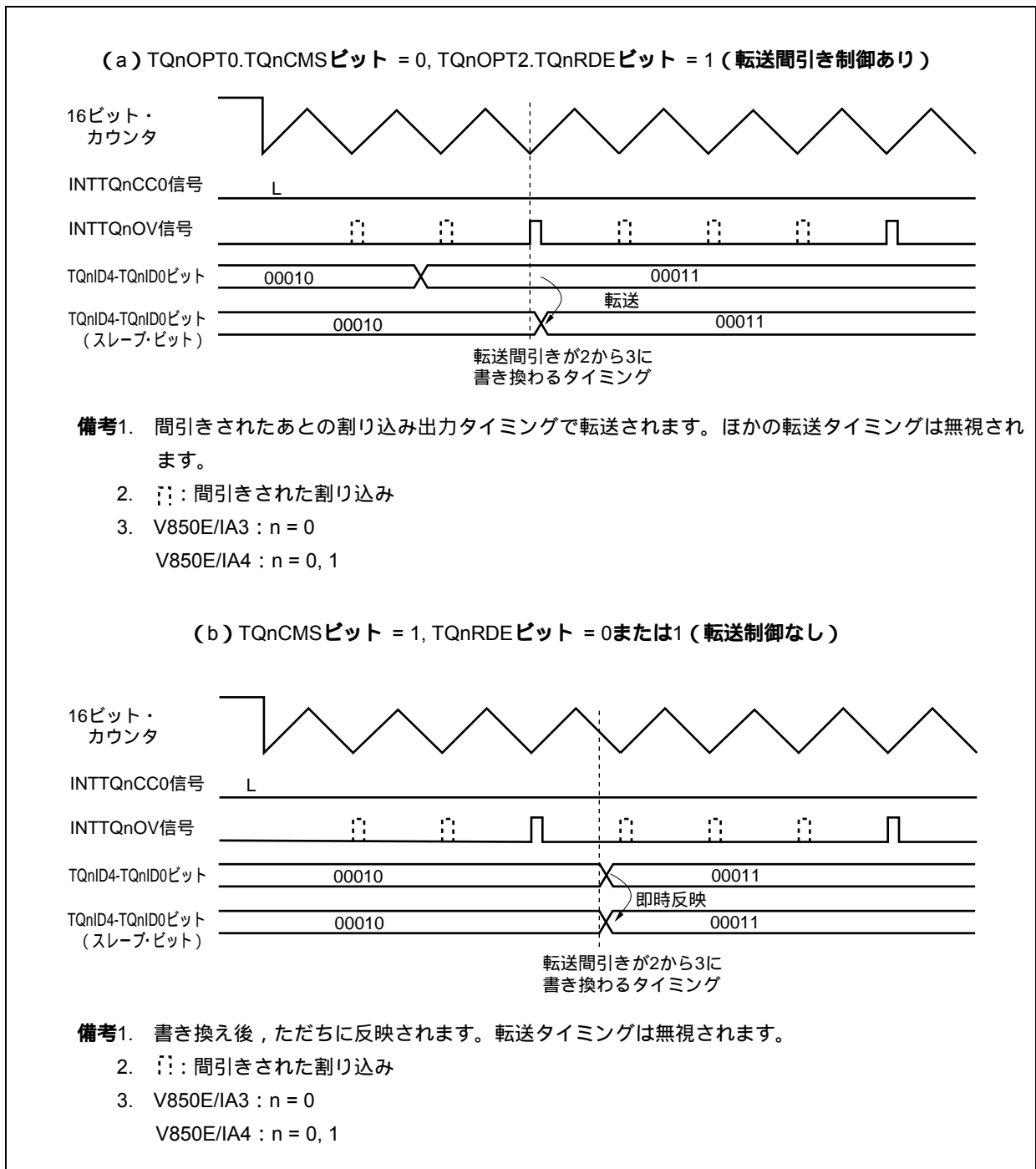
図10 - 19 山割り込み出力



(4) 谷割り込み (INTTQnOV) のみを出力する場合

TQnOPT1.TQnICEビット = 0, TQnIOEビット = 1に設定してください。

図10 - 20 谷割り込み出力



10.4.4 転送機能付きレジスタの書き換え操作

モータ制御に使用し、転送機能があるレジスタは次の7種類です。それぞれにバッファ・レジスタがあります。

- ・ TQnCCR0 : 16ビット・カウンタ (TMQ) の周期指定用レジスタ
- ・ TQnCCR1 : TOQnT1 (U), TOQnB1 (\bar{U}) のデューティ指定用レジスタ
- ・ TQnCCR2 : TOQnT2 (V), TOQnB2 (\bar{V}) のデューティ指定用レジスタ
- ・ TQnCCR3 : TOQnT3 (W), TOQnB3 (\bar{W}) のデューティ指定用レジスタ
- ・ TQnOPT1 : 割り込み間引き指定用レジスタ
- ・ TPnCCR0 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTMPn)
- ・ TPnCCR1 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTMPn)

また、転送機能があるレジスタには、次の3種類の書き換えモードがあります。

・ 随時書き換えモード

TQnOPT0.TQnCMSビット = 1で設定します。TQnOPT2.TQnRDEビットの設定は無視されます。

このモードでは、各コンペア・レジスタが独立して更新動作を行い、各コンペア・レジスタに書き込むと即時に書き込み値が更新されます。

・ 一斉書き換えモード (転送モード)

TQnOPT0.TQnCMSビット = 0, TQnOPT1.TQnID4-TQnID0ビット = 00000, TQnOPT2.TQnRDEビット = 0で設定します。

TQnCCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTQnCCR1レジスタへの書き込みを行わないと転送動作は起こりません。

転送タイミングは、割り込みとは関係なく毎回の山 (16ビット・カウンタとTQnCCR0レジスタの一致) タイミングと谷 (16ビット・カウンタと0001Hの一致) タイミングです。

・ 間欠一斉書き換えモード (転送間引きモード)

TQnOPT0.TQnCMSビット = 0, TQnOPT2.TQnRDEビット = 1で設定します。

TQnCCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTQnCCR1レジスタへの書き込みを行わないと転送動作は起こりません。

転送は、TQnOPT1レジスタで指定した割り込み間引きにあわせて転送タイミングが間引かれ、間引かれたあとの山割り込み (16ビット・カウンタとTQnCCR0レジスタの一致) タイミング、または谷割り込み (16ビット・カウンタと0001Hの一致) タイミングにより7つのレジスタに対して一斉に行われます。

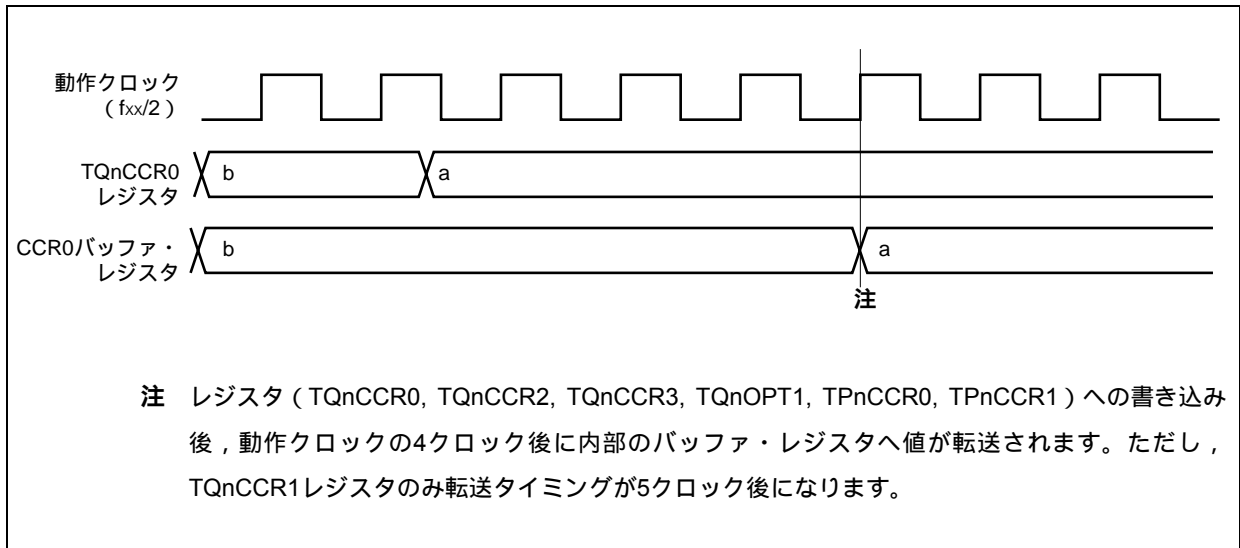
割り込み間引き機能についての詳細は、10.4.3 **割り込み間引き機能**を参照してください。

(1) 随時書き換えモード

TQnOPT0.TQnCMSビット = 1で設定します。TQnOPT2.TQnRDEビットの設定は無視されます。

各転送機能付きレジスタへの書き込み値が、すぐに内部のバッファ・レジスタに転送されカウント値との比較対象になるモードです。このモードではTQnCCRMと16ビット・カウンタの一致が発生後に書き換えると、一度一致が発生したあとの再度の一致は無視されるので書き換え値は反映されません。アップ・カウント中に書き換えた場合はダウン・カウントに切り替わったあとの一致で有効になります。

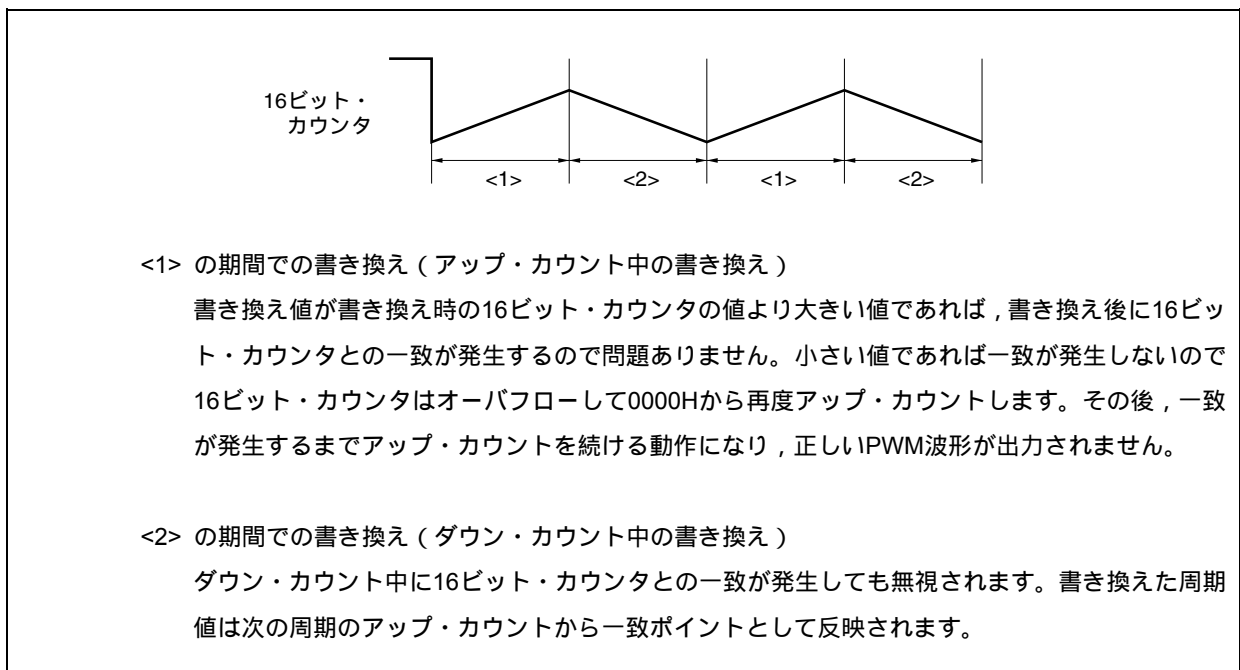
図10 - 21 書き換え値の反映タイミング



(a) TQnCCR0レジスタの書き換え

TQnCCR0レジスタを随時書き換えモードで書き換えても、すぐには値が反映されない場合があります。

図10 - 22 TQnCCR0レジスタの書き換え例



(b) TQnCCRmレジスタの書き換え

図10 - 24に16ビット・カウンタとTQnCCRmレジスタが一致する前に書き換えた場合のタイミング (図10 - 23の<1>) を, 図10 - 25に16ビット・カウンタとTQnCCRmレジスタが一致したあとに書き換えた場合のタイミング (図10 - 23の<2>) を示します。

図10 - 23 16ビット・カウンタとTQnCCRmレジスタの基本動作

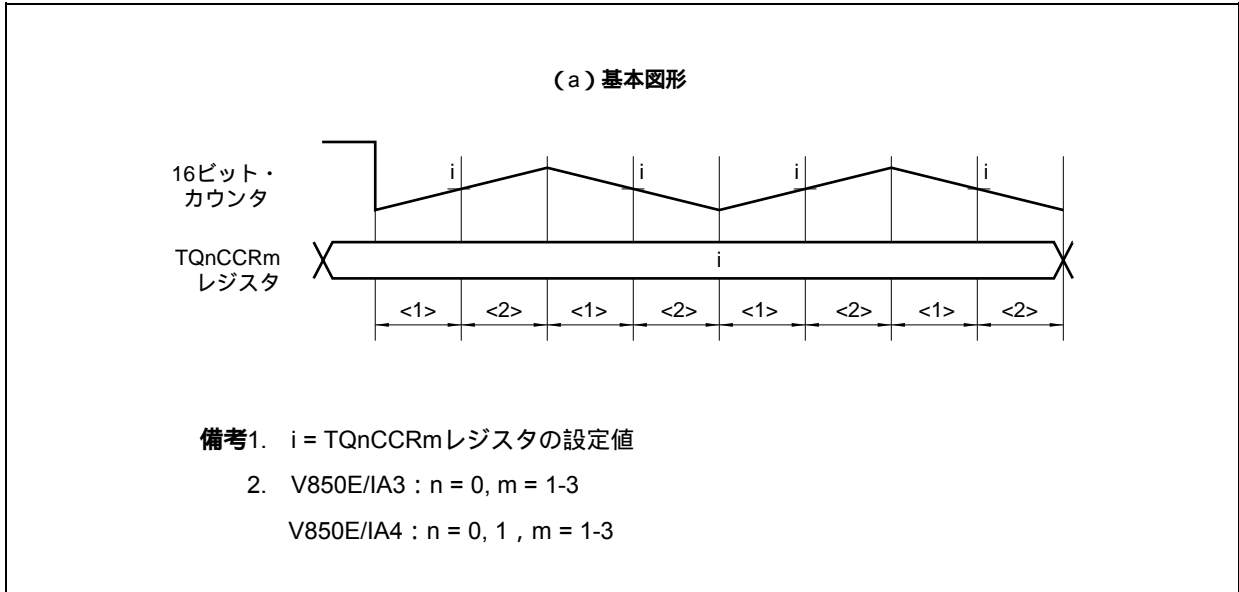
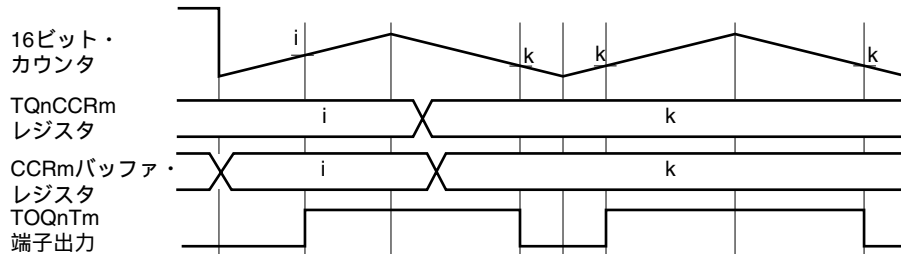
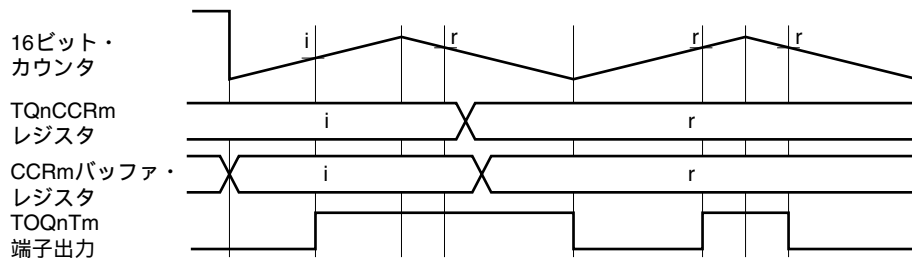


図10 - 24 TQnCCR1-TQnCCR3レジスタの書き換え例（一致発生前の書き換え）

(a)
TQnCCRmレジスタと16ビット・カウンタの一致が発生する前に書き換えると、書き換え後に16ビット・カウンタとの一致が発生するので書き換え値が即時に反映されます。



(b)
一致が発生する前でも、16ビット・カウンタより小さい値（ダウン・カウント時は大きい値）を書き込んだ場合は一致が発生しないので次のような出力波形となります。



一致が発生しない場合は、TOQnTm端子出力は変化しません。ただし、16ビット・カウンタとTQnCCRmレジスタとの一致が発生しなくても山割り込み時ではハイ・レベルに、谷割り込み時ではロウ・レベルにTOQnTm端子出力は強制変化します。

これは、0 %出力、100 %出力のために設けられている機能です。

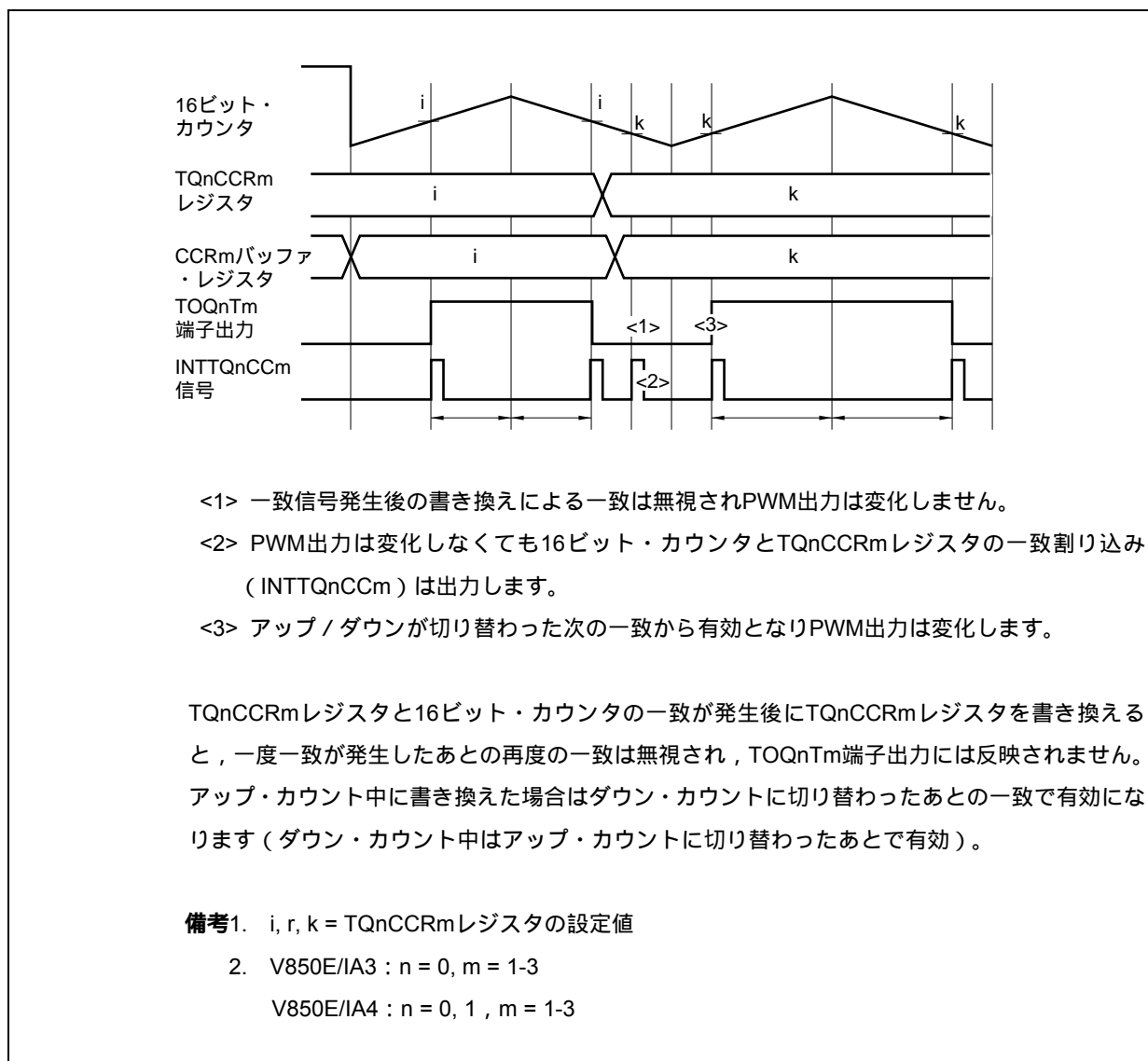
詳細は10.4.2 (2) 0 % / 100 %のPWM出力を参照してください。

備考1. i, r, k = TQnCCRmレジスタの設定値

2. V850E/IA3 : n = 0, m = 1-3

V850E/IA4 : n = 0, 1, m = 1-3

図10 - 25 TQnCCR1-TQnCCR3レジスタの書き換え例（一致発生後の書き換え）



(c) TQnOPT1レジスタの書き換え

TQnOPT1レジスタへの書き込みで割り込み間引きカウンタはクリアされます。割り込み間引きカウンタがクリアされることにより、それまで計測していた割り込み発生数は破棄されるので、一時的に割り込み発生間隔が長くなるので注意してください。

この動作を避けるためには、間欠一斉書き換えモード（転送間引きモード）での書き換えをしてください。

TQnOPT1レジスタへの書き換えについての詳細は、10. 4. 3 **割り込み間引き機能**を参照してください。

(2) 一斉書き換えモード (転送モード)

TQnOPT0.TQnCMSビット = 0, TQnOPT1.TQnID4-TQnID0ビット = 00000, TQnOPT2.TQnRDEビット = 0で設定します。

各コンペア・レジスタへの書き込み値が、転送タイミングで一斉に内部のバッファ・レジスタに転送され、カウント値との比較対象になるモードです。

(a) 書き換え操作手順

TQnCCR1レジスタへの書き込みが行われると、TQnCCR0-TQnCCR3, TQnOPT1, TPnCCR0, TPnCCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TQnCCR1レジスタへの書き込みは最後に行ってください。また、TQnCCR1レジスタへの書き込み後は、転送タイミング(山(16ビット・カウンタとTQnCCR0レジスタの一致)タイミング、または谷(16ビット・カウンタと0001Hの一致)タイミング)が発生するまで、レジスタへの書き込みは禁止です。操作手順を次に示します。

TQnCCR0, TQnCCR2, TQnCCR3, TQnOPT1, TPnCCR0, TPnCCR1レジスタの書き換え
書き換えが必要ないレジスタは書き換え不要です。

TQnCCR1レジスタの書き換え

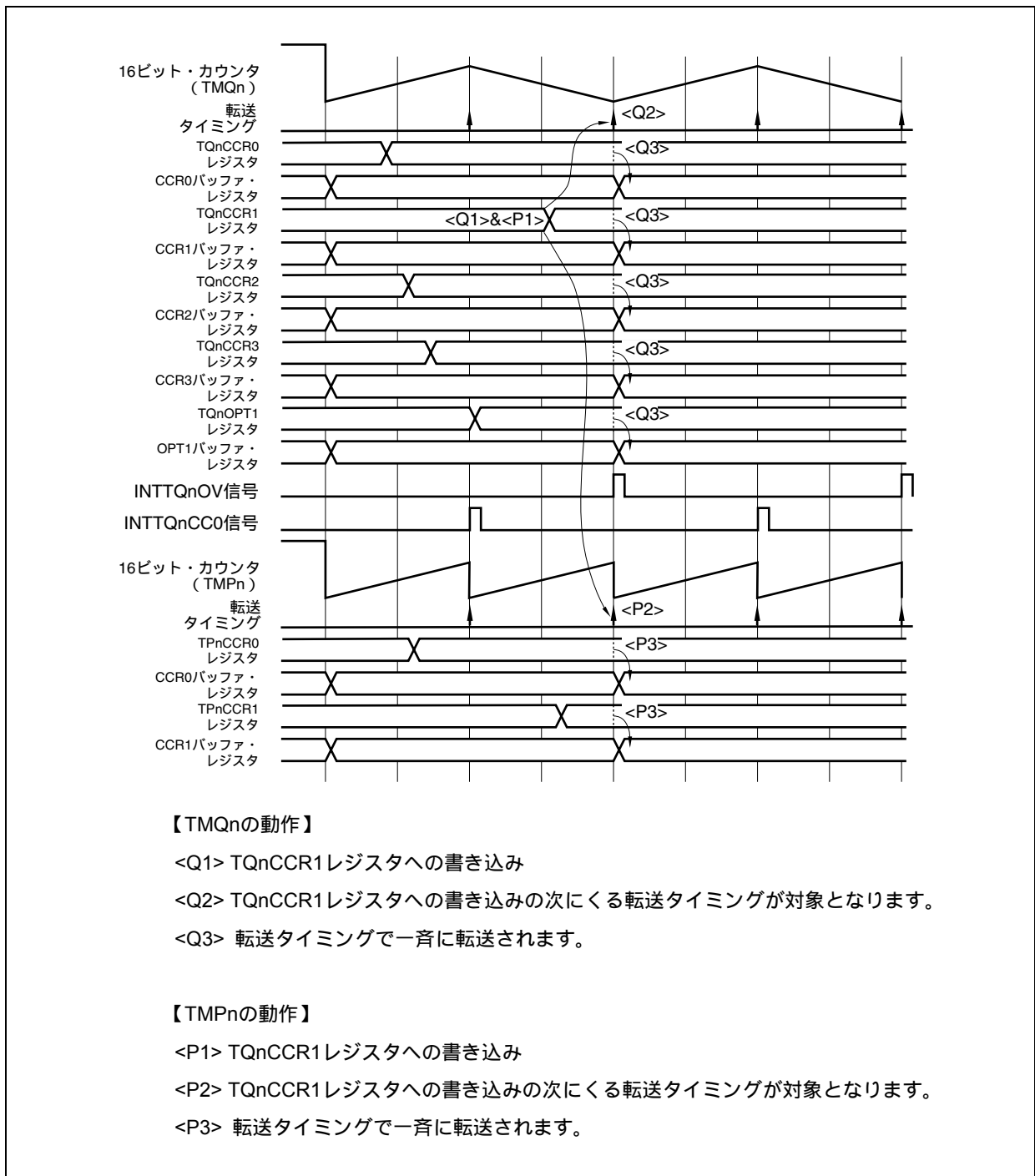
TQnCCR1レジスタを書き換える必要がない場合でも、同じ値を再書き込みしてください。

転送タイミングが発生するまで次の書き換えを保留

INTTQnOVまたはINTTQnCC0割り込みの発生を確認してから次の書き換えをしてください。

に戻る

図10 - 26 一斉書き込みモードの基本動作



(b) TQnCCR0レジスタの書き換え

TQnCCR0レジスタを一斉書き換えモードで書き換える場合、転送が山（16ビット・カウンタとTQnCCR0レジスタの一致）タイミング、谷（16ビット・カウンタと0001Hの一致）タイミングのどちらで起こるかにより出力波形が変わります。通常は、ダウン・カウント中に書き換えを行い、転送タイミングが谷タイミングのときに転送する操作を推奨します。

図10 - 28にアップ・カウント中（図10 - 27の<1>の期間）のTQnCCR0レジスタの書き換え例を、図10 - 29にダウン・カウント中（図10 - 27の<2>の期間）のTQnCCR0レジスタの書き換え例を示します。

図10 - 27 16ビット・カウンタの基本動作

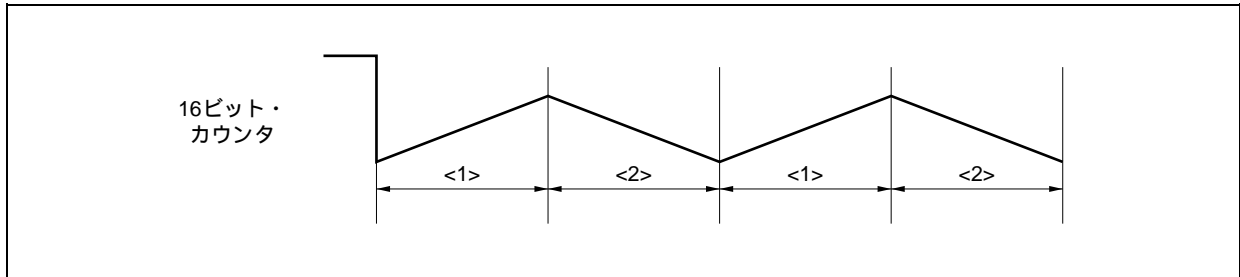


図10 - 28の転送タイミングは山タイミングのポイントになるので、ダウン・カウント側は周期が変わり非対称の三角波波形を出力します。また、周期が変化するので、デューティ比（電圧データ値）も書き換えてください。

図10 - 28 TQnCCR0レジスタの書き換え例（アップ・カウント時）

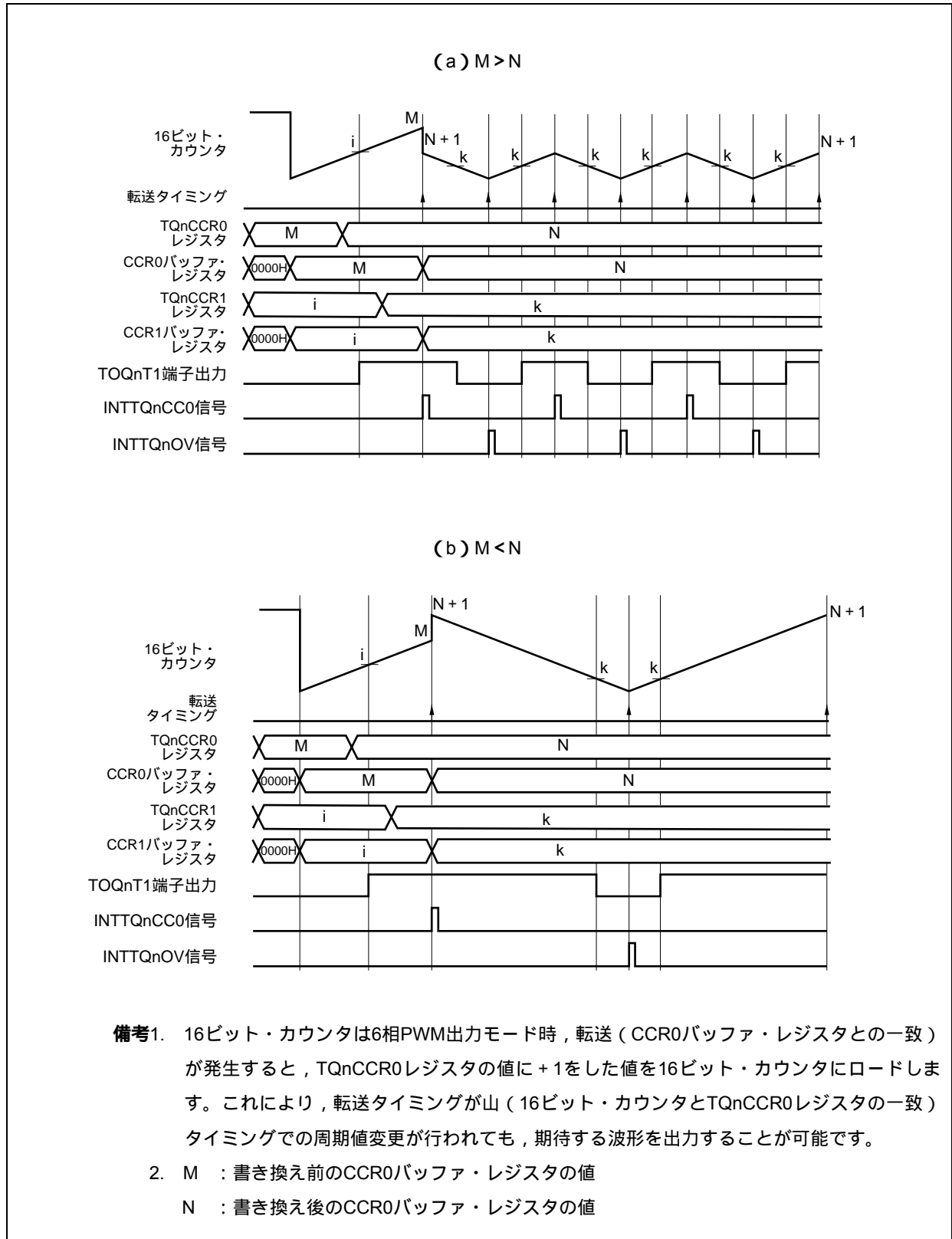
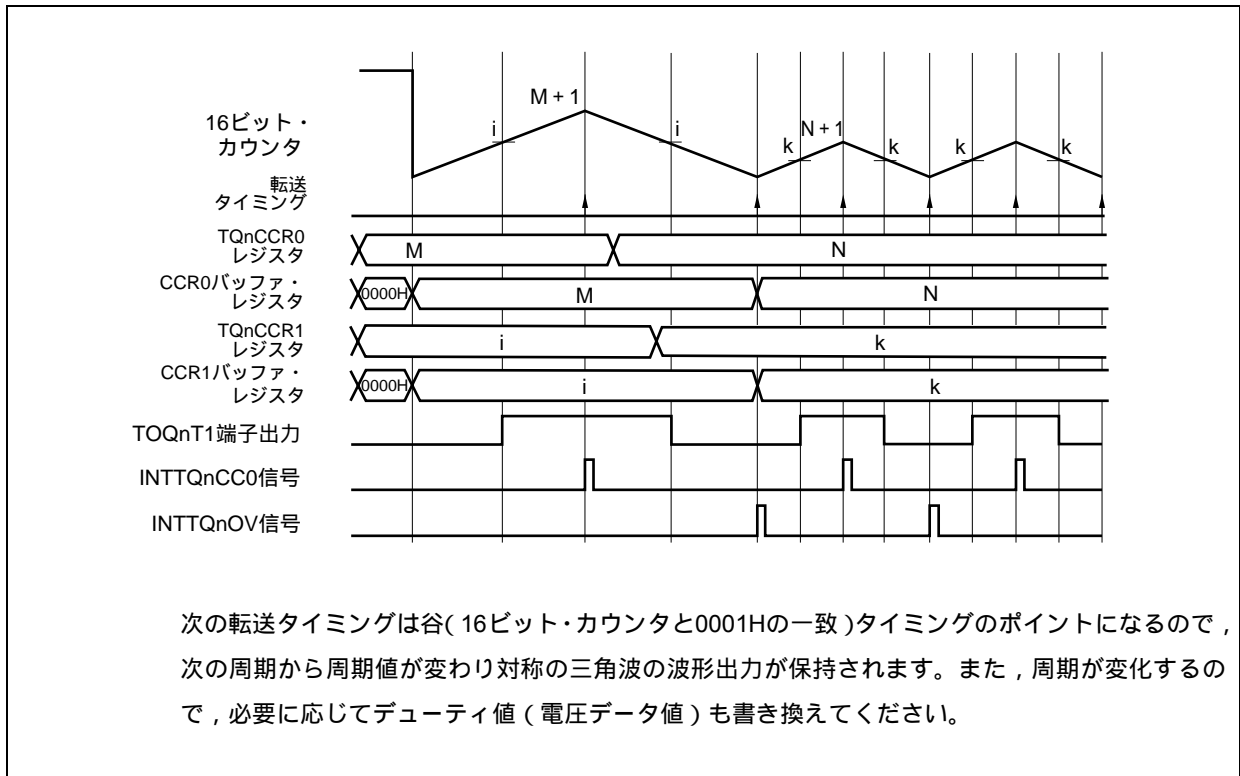
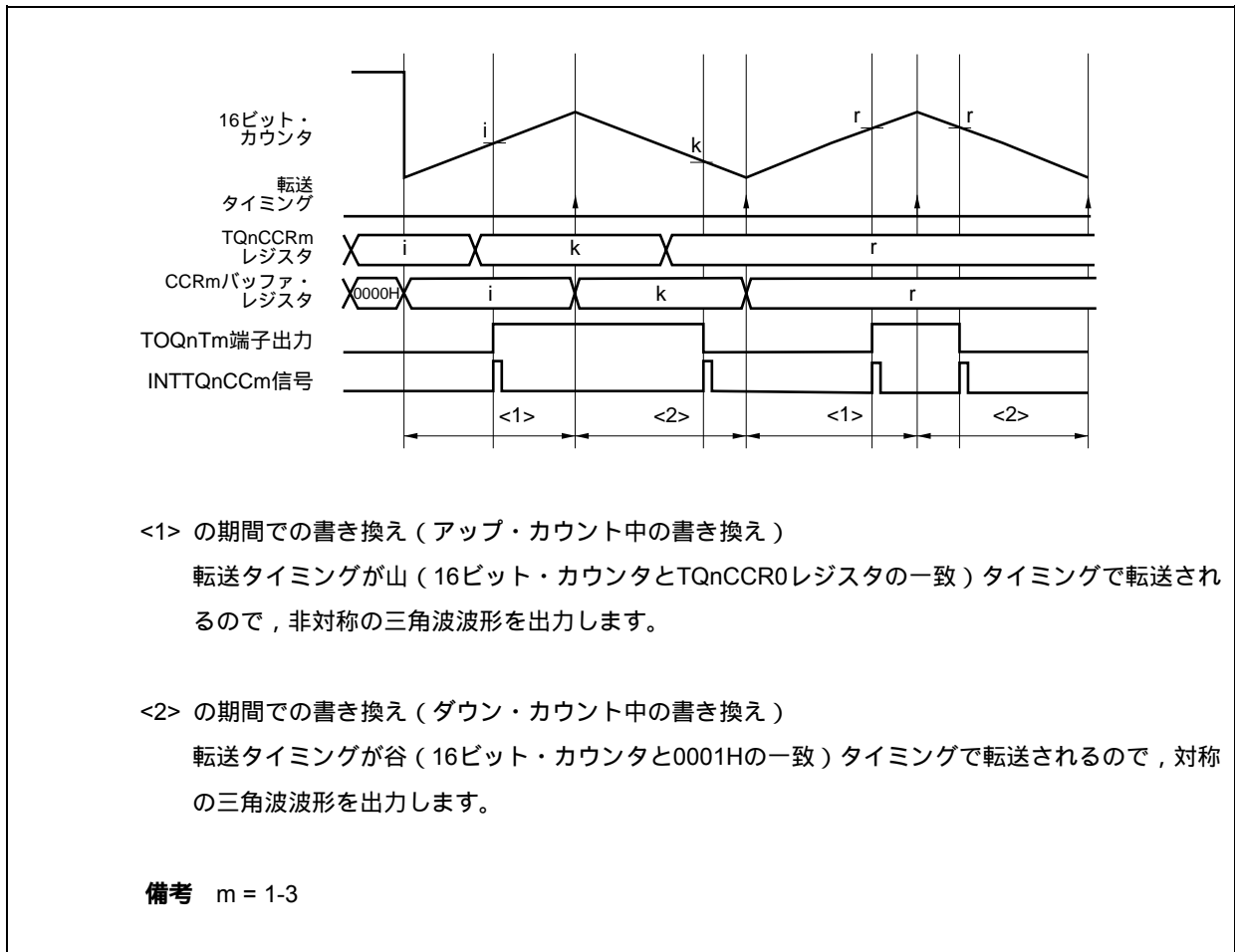


図10 - 29 TQnCCR0レジスタの書き換え例 (ダウン・カウント時)



(c) TQnCCRmレジスタの書き換え

図10 - 30 TQnCCRmレジスタの書き換え例



(d) TQnOPT1レジスタの転送

TQnOPT1.TQnID4-TQnID0ビット = 00000以外の値は設定しないでください。割り込み間引き機能を使用する場合は、間欠一斉書き換えモード (転送間引きモード) で書き換えてください。

TQnOPT1レジスタへの書き換えについての詳細は、10. 4. 3 **割り込み間引き機能**を参照してください。

(3) 間欠一斉書き換えモード (転送間引きモード)

TQnOPT0.TQnCMSビット = 0, TQnOPT2.TQnRDEビット = 1で設定します。

各コンペア・レジスタへの書き込み値が、間引きされたあとの転送タイミングで一斉に内部のバッファ・レジスタに転送されカウント値との比較対象になるモードです。転送タイミングは、割り込み間引きによる割り込み発生 (INTTQnCC0, INTTQnOV) タイミングになります。

割り込み間引き機能についての詳細は、10. 4. 3 **割り込み間引き機能**を参照してください。

(a) 書き換え操作手順

TQnCCR1レジスタへの書き込みが行われるとTQnCCR0-TQnCCR3, TQnOPT1, TPnCCR0, TPnCCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TQnCCR1レジスタへの書き込みは最後に行ってください。また、TQnCCR1レジスタへの書き込み後は、転送タイミングが発生するまで (INTTQnOV, INTTQnCC0の割り込み発生まで) レジスタへの書き込みは禁止です。操作手順を次に示します。

TQnCCR0, TQnCCR2, TQnCCR3, TQnOPT1, TPnCCR0, TPnCCR1レジスタの書き換え
書き換えが必要ないレジスタは書き換え不要です。

TQnCCR1レジスタの書き換え

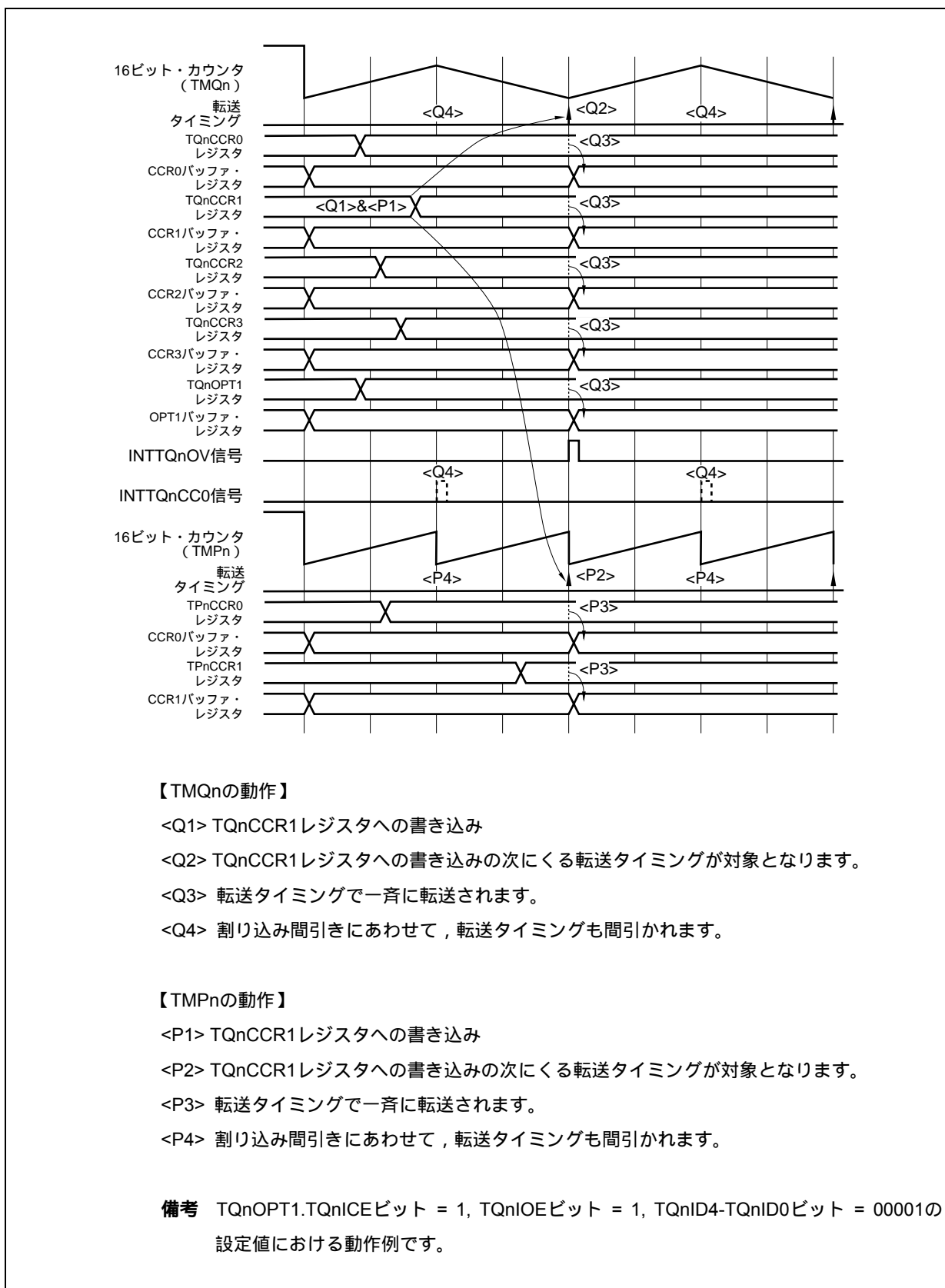
TQnCCR1レジスタを書き換える必要がない場合でも同じ値を再書き込みしてください。

転送タイミングが発生するまで次の書き換えを保留

INTTQnOVまたはINTTQnCC0の割り込み発生を確認してから次の書き換えをしてください。

に戻る

図10 - 31 間欠一斉書き込みモードの基本動作



【TMQnの動作】

- <Q1> TQnCCR1レジスタへの書き込み
- <Q2> TQnCCR1レジスタへの書き込みの次にくる転送タイミングが対象となります。
- <Q3> 転送タイミングで一斉に転送されます。
- <Q4> 割り込み間引きにあわせて、転送タイミングも間引かれます。

【TMPnの動作】

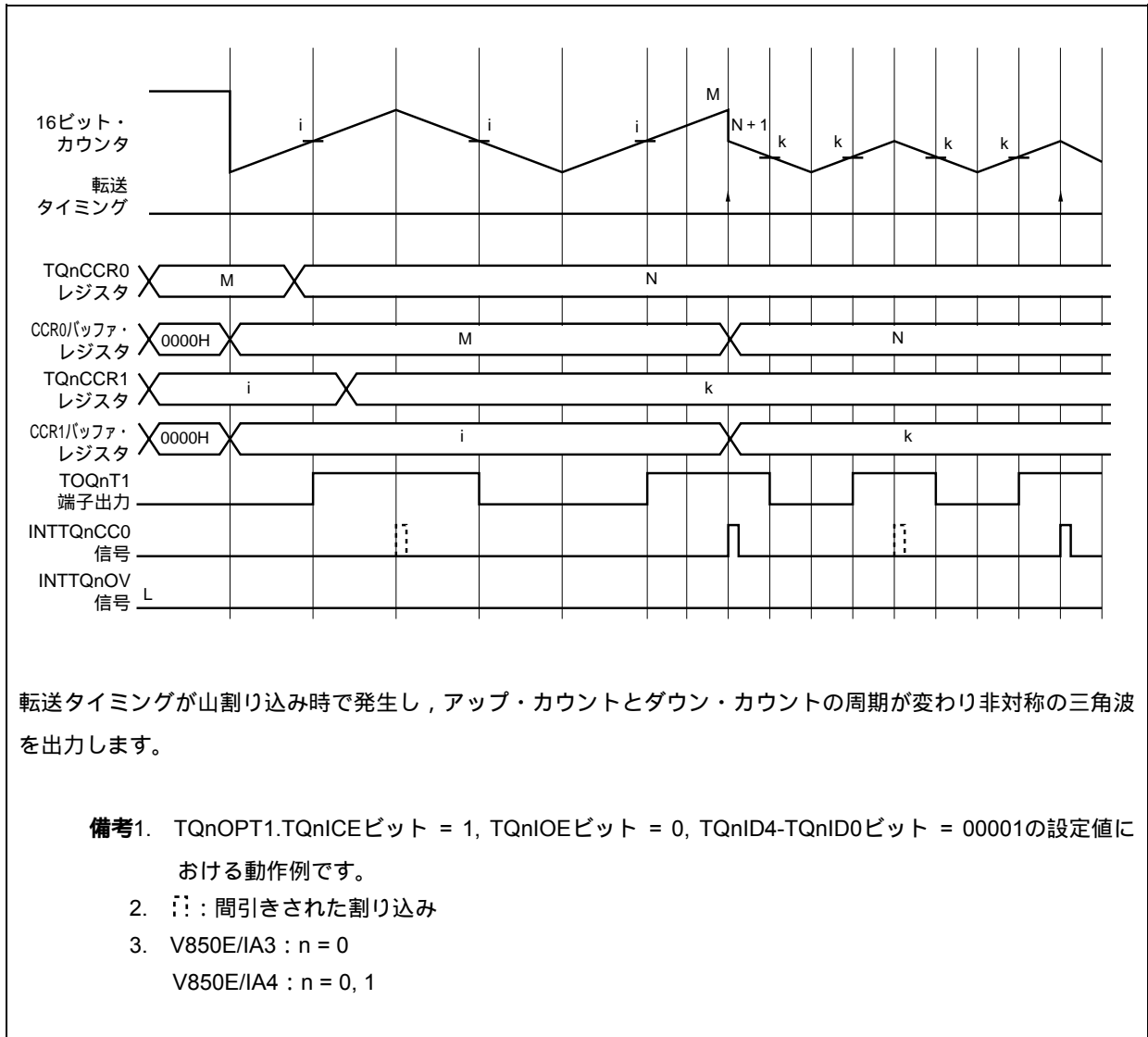
- <P1> TPnCCR1レジスタへの書き込み
- <P2> TPnCCR1レジスタへの書き込みの次にくる転送タイミングが対象となります。
- <P3> 転送タイミングで一斉に転送されます。
- <P4> 割り込み間引きにあわせて、転送タイミングも間引かれます。

備考 TQnOPT1.TQnICEビット = 1, TQnIOEビット = 1, TQnID4-TQnID0ビット = 00001の設定値における動作例です。

(b) TQnCCR0レジスタの書き換え

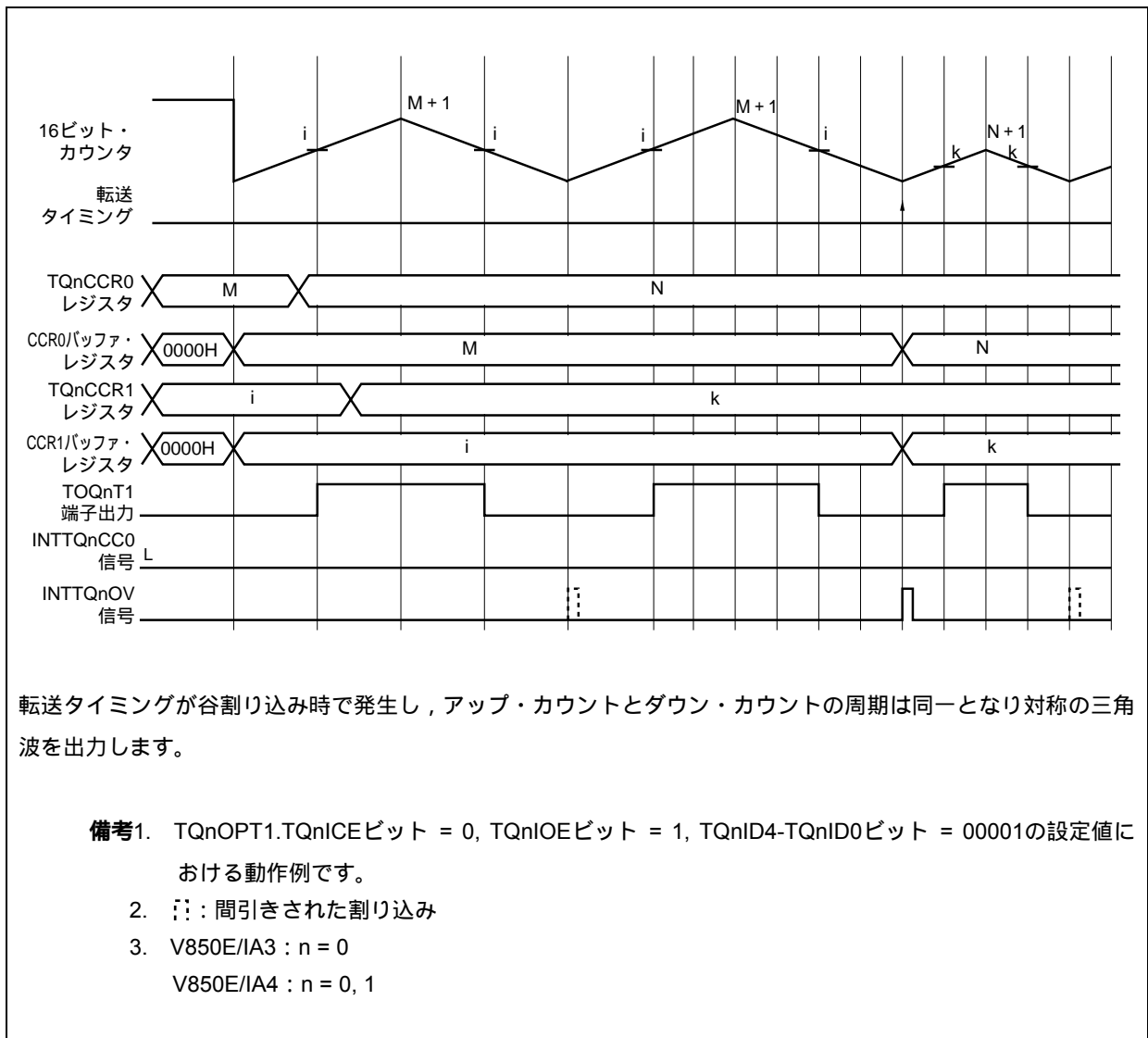
TQnCCR0レジスタを間欠一斉書き換えモードで書き換える場合、割り込み間引き設定で山/谷割り込み発生をどこに指定しているかで出力波形が変わります。次に割り込み間引き設定での出力波形の変化を示します。

図10 - 32 TQnCCR0レジスタの書き換え (山割り込みを設定時)



転送タイミングが山割り込み時で発生し、アップ・カウントとダウン・カウントの周期が変わり非対称の三角波を出力します。

図10 - 33 TQnCCR0レジスタの書き換え（谷割り込みを設定時）

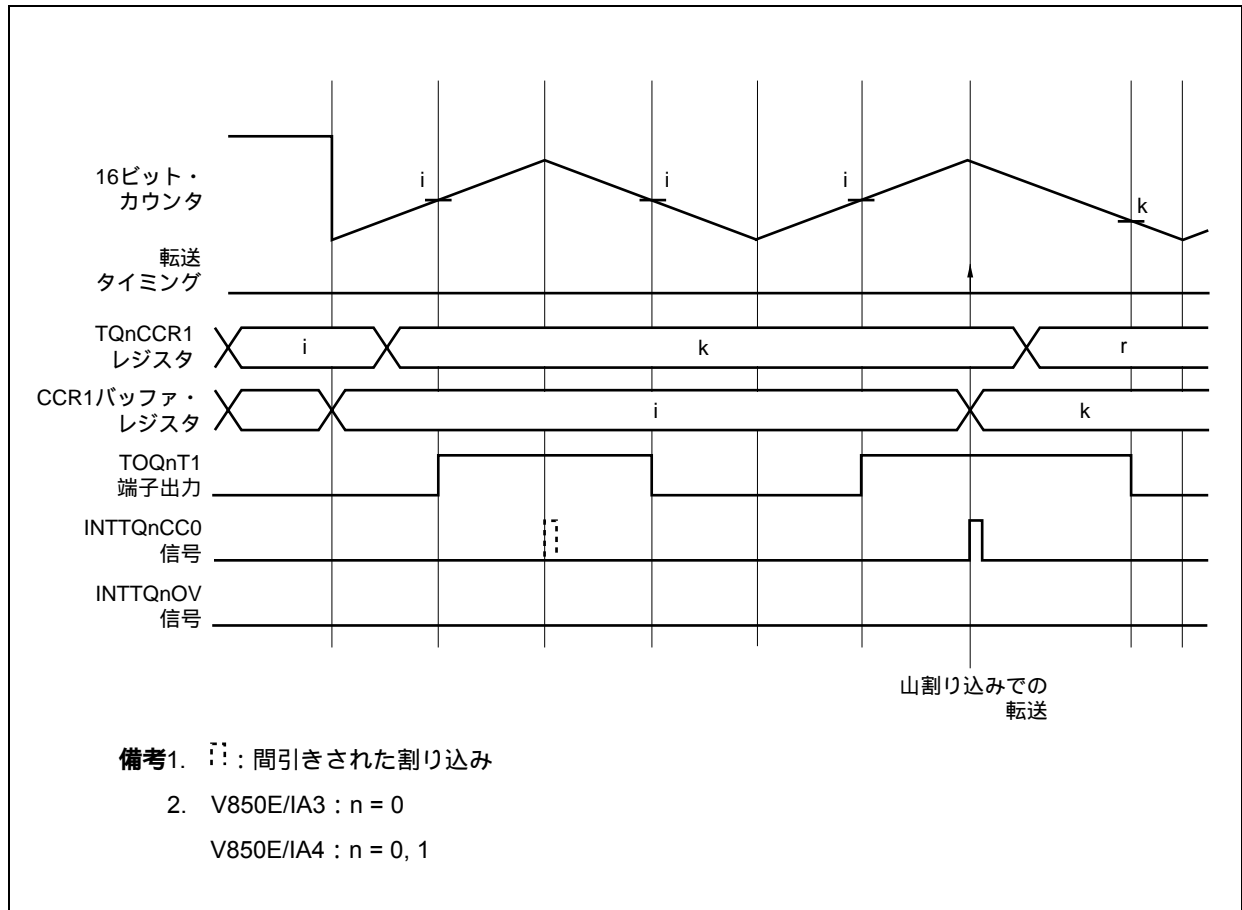


(c) TQnCCR1-TQnCCR3レジスタの書き換え

- ・山割り込みを設定した場合に山で転送された場合

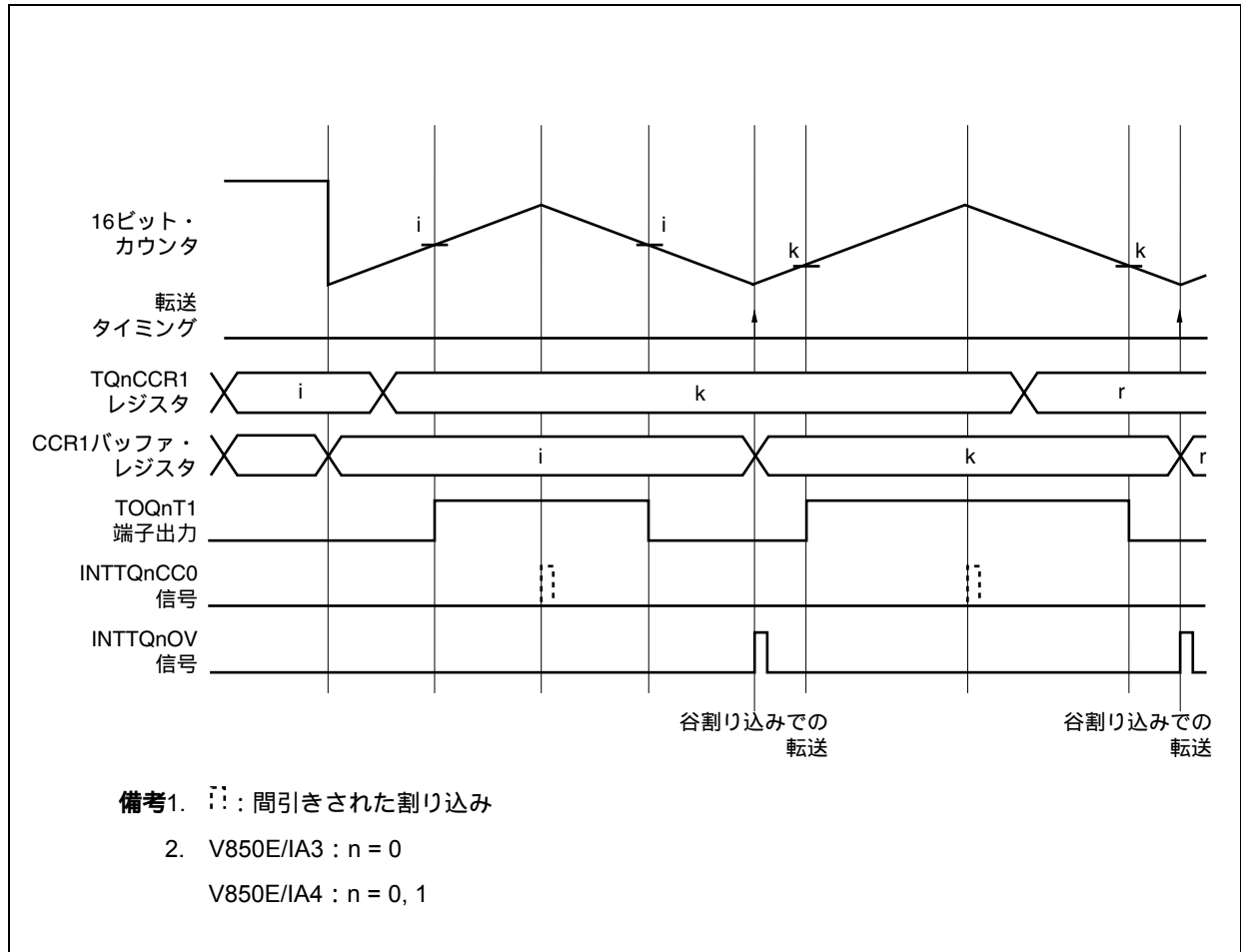
山の転送タイミングで転送されるので、非対称の三角波波形を出力します。

図10 - 34 TQnCCR1レジスタの書き換え (TQnOPT1.TQnICEビット = 1, TQnIOEビット = 0, TQnID4-TQnID0 = 00001の場合)



- ・谷割り込みを設定した場合に谷で転送された場合
谷の転送タイミングで転送されるので、対称の三角波波形を出力します。

図10 - 35 TQnCCR1レジスタの書き換え (TQnOPT1.TQnICEビット = 1, TQnIOEビット = 1, TQnID4-TQnID0 = 00001の場合)



(d) TQnOPT1レジスタの書き換え

割り込み間引きカウンタが一致したときに、新しい割り込み間引き値が転送されるため、次から設定した間隔で割り込みが発生します。

TQnOPT1レジスタへの書き換えについての詳細は、10. 4. 3 **割り込み間引き機能**を参照してください。

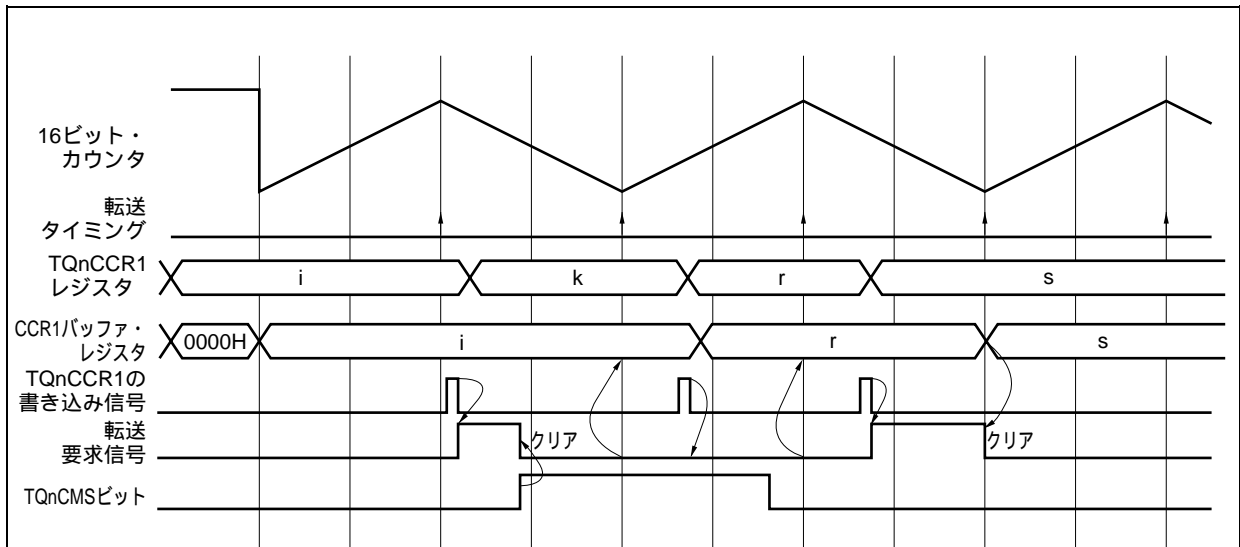
(4) TQnOPT0.TQnCMSビットの書き換え

TQnCMSビットは、随時書き換えモードと一斉書き換えモードの切り替えができます。タイマ動作中 (TQnCTL0.TQnCEビット = 1) の書き換えが可能です。図10 - 31で示す動作および注意が必要です。

TQnCMSビット = 0の状態ではTQnCCR1レジスタに書き込むと転送要求信号(内部信号)がセットされます。

転送要求信号がセットされていると、次の転送タイミングで転送を行い、転送要求信号がクリアされます。この転送要求信号は、TQnCMSビット = 1によってもクリアされます。

図10 - 36 TQnCMSビットの書き換え



TQnCMSビット = 0の状態ではTQnCCR1レジスタに書き込むと転送要求信号がセットされます。

この状態でTQnCMSビット = 1とすると転送要求信号はクリアされます。

TQnCMSビット = 1により、転送要求信号がクリアされたので転送が行われません。

TQnCMSビット = 1の状態ではTQnCCR1レジスタに書き込みを行っても転送要求信号はセットされません。

TQnCMSビット = 1の状態ではTQnCCR1レジスタに書き込みを行っても転送要求信号はセットされないため、TQnCMSビット = 0としても、そのあとの転送タイミングで転送は発生しません。

TQnCMSビット = 0の状態ではTQnCCR1レジスタに書き込みを行うと転送要求信号がセットされます。そのあとの転送タイミングで転送が行われ、転送要求信号はクリアされます。

一度転送が行われると転送要求信号はクリアされるため次の転送タイミングで転送は行われません。

備考 V850E/IA3 : n = 0
 V850E/IA4 : n = 0, 1

10.4.5 A/D変換開始トリガ信号出力用TMPnの同調動作

6相PWM出力モードで使用する場合の、TMPnおよびTMQnの同調動作について示します。

6相PWM出力モードでは、TMQnをマスタとし、TMPnをスレーブとして同調動作を行い、A/D変換開始トリガ・ソースとしてTMPnのINTTPnCC0, INTTPnCC1信号とTMQnのINTTQnOV, INTTQnCC0信号でA/Dコンバータ0, 1の変換開始トリガ信号を設定できます。

備考 V850E/IA3 : n = 0
V850E/IA4 : n = 0, 1

(1) 同調動作開始手順

同調動作を行わせるためのTMPn, TMQnのレジスタの設定手順を次に示します。

(a) TMPnレジスタ設定 (TMQn, TMPnは動作停止状態 (TQnCTL0.TQnCEビット = 0, TPnCTL0.TPnCEビット = 0) にしてください)

- ・ TPnCTL1レジスタ = 85Hに設定 (同調動作スレーブ・モード, フリー・ランニング・タイマ・モードに設定)
- ・ TP0IOC0-TP0IOC2レジスタ = 00Hに設定 (TMP0用の入出力機能は使用しません)[※]
- ・ TPnOPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択)
- ・ TPnCCR0, TPnCCR1レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)

注 TMP0のみ有効TMP1にはありません。

(b) TMQnレジスタ設定

- ・ TQnCTL1レジスタ = 07Hに設定 (マスタ・モード, 6相PWM出力モードに設定)
- ・ TQnIOC0レジスタに適切な値を設定 (TOQnT1-TOQnT3の出力モードを設定)
ただし, TQnOL0, TQnOE0ビットは必ずTQnOL0ビット = 0, TQnOE0ビット = 1に設定 (正相の出力許可) してください。この設定を行わない場合は, 山割り込み (INTTQnCC0), 谷割り込み (INTTQnOV)が発生しないため, A/Dコンバータ0, 1の変換開始トリガ信号が正常に発生しません。
- ・ TQ0IOC1, TQ0IOC2レジスタ = 00Hに設定 (TMQ0のTIQ00-TIQ03, EVTQ0, TRGQ0端子は使用しない)[※]
- ・ TQnOPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択にする)
- ・ TQnCCR0-TQnCCR3レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)
- ・ TQnCTL0レジスタ = 0xHに設定 (TQnCEビットは0, TMQnの動作クロックを設定する)
TQnCTL0レジスタで設定したTMQnの動作クロックは, TMPnにも供給され, 同じタイミングでカウント動作を行います。TPnCTL0レジスタで設定したTMPnの動作クロックは無視されます。

注 TMQ0のみ有効TMQ1にはありません。

(c) TMQOPn (TMQnオプション) レジスタ設定

- ・ TQnOPT1, TQnOPT2レジスタに適切な値を設定
- ・ TQnIOC3レジスタに適切な値を設定 (TOQnB1-TOQnB3の出力モードを設定)
- ・ TQnDTCレジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)

(d) 兼用機能設定

- ・ポート・コントロール・モードにより、ポートを兼用機能にする。

(e) TPnCEビット = 1に設定し、直後にTQnCEビット = 1に設定し、6相PWM出力動作を開始

動作中におけるTQnCTL0, TQnCTL1, TQ0IOC1^{注1}, TQ0IOC2^{注1}, TPnCTL0, TPnCTL1, TP0IOC0^{注2}, TP0IOC1^{注2}, TP0IOC2^{注2}レジスタの書き換えは禁止です。書き換えた場合の動作、および、PWM出力波形は保証できません。ただし、TQnCTL0.TQnCEビット = 0にするためのTQnCEビットの書き換えは許可します。また、TPnCTL0.TPnCEビット = 1としたあとTQnCEビット = 1とするまでは、ほかのTMQn, TMPn, TMQnオプションの各レジスタ操作（読み出し / 書き込み）は一切禁止です。

注1. TMQ0のみ有効TMQ1にはありません。

2. TMP0のみ有効TMP1にはありません。

注意 6相PWM出力モードでTMPnを同調動作させるときはTOP00, TOP01端子出力は禁止です。TP0IOC0.TP0OE0,TP0OE1ビットは“0”に設定してください。

(2) 同調動作解除手順

同調動作を解除し、6相PWM出力モードを終了するためのTMPn, TMQnレジスタの設定手順を次に示します。

TQnCTL0.TQnCEビット = 0に設定し、タイマ動作を停止
 TPnCTL0.TPnCEビット = 0に設定し、TMPnは分離可能状態
 TQ0IOC0^{注1}, TP0IOC0^{注2}レジスタによりタイマ出力を停止
 TPnCTL1.TPnSYEビット = 0に設定し、同調動作を解除

注1. TMQ0のみ有効TMQ1にはありません。

2. TMP0のみ有効TMP1にはありません。

注意 TQnCEビット = 0としたあとTPnCEビット = 0とするまでは、ほかのTMQn, TMPn, TMQnオプションの各レジスタ操作（読み出し / 書き込み）は一切禁止です。

(3) TMPnを同調動作させない場合について

A/Dコンバータ0, 1の変換開始トリガ・ソースとしてTMPnの一致割り込み信号を使用しない場合は、TMPnを同調動作させず単独動作させて別機能のタイマとして使用できます。この場合、6相PWM出力モードにおいて、A/D変換開始トリガ・ソースとしてTMPnの一致割り込み信号を使用しないため、TQnOPT2.TQnAT00-TQnAT03ビット, TQnOPT3.TQnAT10-TQnAT13ビットは0固定にして使用してください。

ほかの制御ビットは、TMPnを同調動作させた場合と同様に使用できます。

TMPnを同調動作させていない場合、TMPnのコンペア・レジスタ（TPnCCR0, TPnCCR1）は、TQnOPT0.TQnCMSビット, TQnOPT2.TQnRDEビットの設定による影響を受けません。TMPnを同調動作させない場合の初期設定手順は、10. 4. 5（1）同調動作開始手順に示した手順の（b）-（e）を行ってください。（a）は同調動作させるTMPnの設定なので不要です。

(4) 同調動作時のTMPnの基本動作

TMPnの16ビット・カウンタは、アップ・カウント動作のみを行います。TQnCCR0レジスタによる周期設定値でTMPnの16ビット・カウンタがクリアされ0000Hから再カウントを行います。したがって、TMQnの16ビット・カウンタがアップ・カウント時はTMPnの16ビット・カウンタと同値ですが、ダウン・カウント時はTMPnのカウント値は同じではありません。

- ・ TMQnがアップ・カウント時 (同値)

TMQnの16ビット・カウンタ : 0000H M (アップ・カウント)

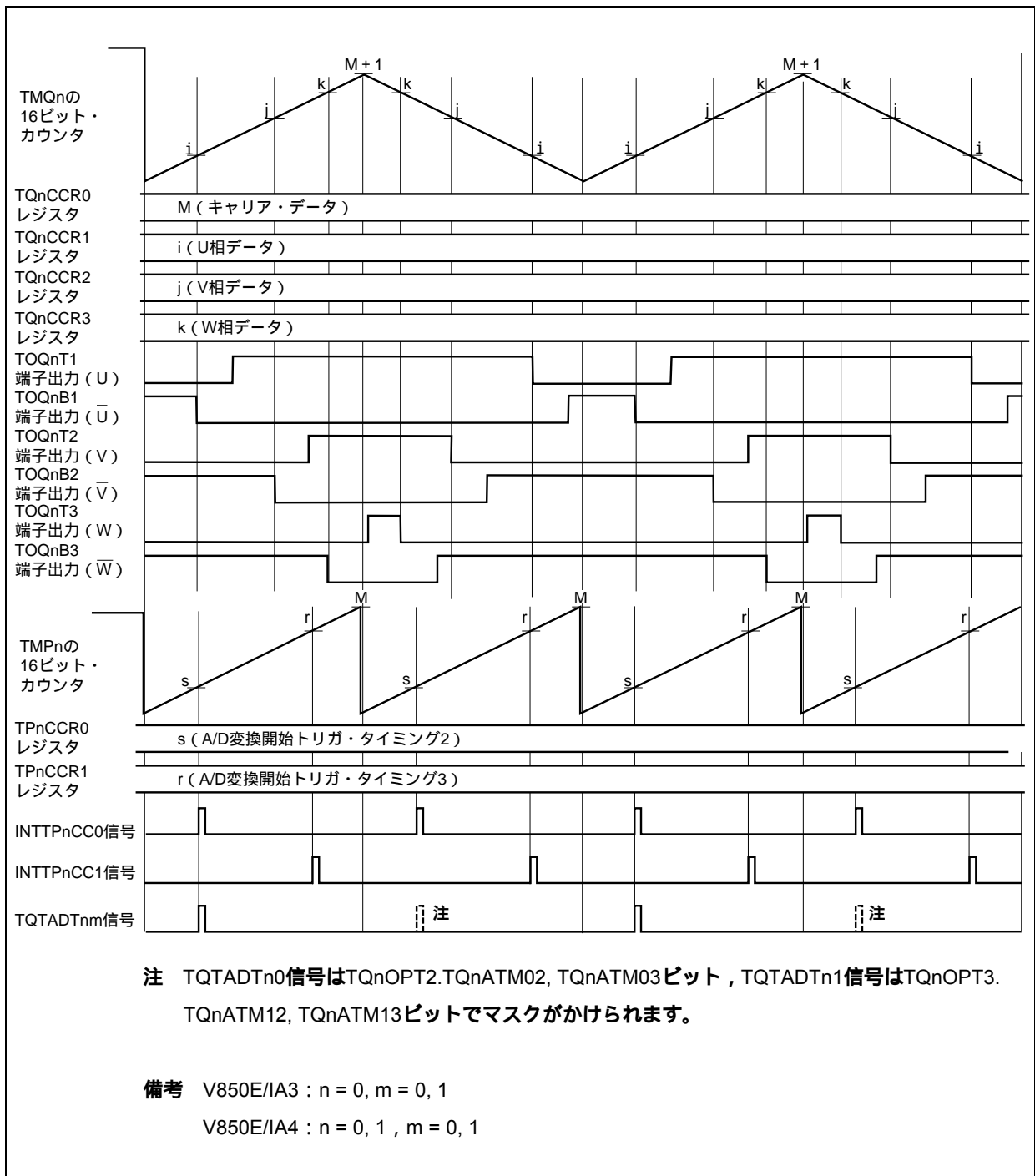
TMPnの16ビット・カウンタ : 0000H M (アップ・カウント)

- ・ TMQnがダウン・カウント時 (同値でない)

TMQnの16ビット・カウンタ : M + 1 0001H (ダウン・カウント)

TMPnの16ビット・カウンタ : 0000H M (アップ・カウント)

図10 - 37 同調動作時のTMPn



10.4.6 A/D変換開始トリガ出力機能

V850E/IA3, V850E/IA4には、4つのトリガ・ソース (INTTQnOV, INTTQnCC0, INTTPnCC0, INTTPnCC1) を自由に選択して、A/Dコンバータ0, 1の変換開始トリガ信号 (TQTADTn0, TQTADTn1) を生成する機能があります。

トリガ・ソースは、TQnOPT2.TQnAT00-TQnAT03, TQnOPT3.TQnAT10-TQnAT13ビットで指定します。

- ・ TQnAT00, TQnAT10ビット = 1
: INTTQnOV (カウンタ・アンドフロー) 発生時にA/D変換開始トリガ信号を発生
- ・ TQnAT01, TQnAT11ビット = 1
: INTTQnCC0 (周期一致) 発生時にA/D変換開始トリガ信号を発生
- ・ TQnAT02, TQnAT12ビット = 1
: INTTPnCC0 (同調動作TMPnのTPnCCR0レジスタとの一致) 発生時にA/D変換開始トリガ信号を発生
- ・ TQnAT03, TQnAT13ビット = 1
: INTTPnCC1 (同調動作TMPnのTPnCCR1レジスタとの一致) 発生時にA/D変換開始トリガ信号を発生

TQnAT00-TQnAT03, TQnAT10-TQnAT13ビットにより選択されたA/D変換開始トリガ信号は、すべてORされて出力されるため、複数のトリガ・ソースを同時に指定できます。

TQnAT00, TQnAT01, TQnAT10, TQnAT11ビットによって選択されるINTTQnOV, INTTQnCC0信号は割り込み間引き後の信号となります。

したがって、割り込み間引き制御を受けたタイミングでの出力となり、割り込みの出力イネーブル (TQnOPT1.TQnICE, TQnIOEビット) を許可にしていない場合は、A/D変換開始トリガ信号も出力されません。

TMPnからのトリガ・ソース (INTTPnCC0, INTTPnCC1) は、TQnAT02, TQnAT03, TQnAT12, TQnAT13ビットの設定により、16ビット・カウンタのアップ・カウント/ダウン・カウントの状態によって、A/D変換開始トリガ信号をマスクする機能があります。

- ・ TQnATM02, TQnATM12ビット
: TQnAT02, TQnAT12ビットに対応し、TMPnのINTTPnCC0 (一致割り込み信号) を制御
 - ・ TQnATM02, TQnATM12ビット = 0
: 16ビット・カウンタがアップ・カウント時 (TQnOPT0.TQnCUFビット = 0) はA/D変換開始トリガ信号を出力し、ダウン・カウント時 (TQnCUFビット = 1) はA/D変換開始トリガ信号を出力しない。
 - ・ TQnATM02, TQnATM12ビット = 1
: 16ビット・カウンタがダウン・カウント時 (TQnCUFビット = 1) はA/D変換開始トリガ信号を出力し、アップ・カウント時 (TQnCUFビット = 0) はA/D変換開始トリガ信号を出力しない。
- ・ TQnATM03, TQnATM13ビット
: TQnAT03, TQnAT13ビットに対応し、TMPnのINTTPnCC1 (一致割り込み信号) を制御
 - ・ TQnATM03, TQnATM13ビット = 0
: 16ビット・カウンタがアップ・カウント時 (TQnCUFビット = 0) はA/D変換開始トリガ信号を出力し、ダウン・カウント時 (TQnCUFビット = 1) はA/D変換開始トリガ信号を出力しない。
 - ・ TQnATM03, TQnATM13ビット = 1
: 16ビット・カウンタがダウン・カウント時 (TQnCUFビット = 1) はA/D変換開始トリガ信号を出力し、アップ・カウント時 (TQnCUFビット = 0) はA/D変換開始トリガ信号を出力しない。

TQnATM03, TQnATM02, TQnAT03-TQnAT00, TQnATM13, TQnATM12, TQnAT13-TQnAT10ビットは、タイマ動作中に書き換えができません。タイマ動作中にA/D変換開始トリガ信号の設定ビットを書き換えると、即時にA/D変換開始トリガ信号の出力状態に反映されます。これらの制御ビットは、転送機能を持たず、随時書き換えモードのみ可能です。

- 注意1.** TQnAT02, TQnAT03, TQnAT12, TQnAT13ビットの設定におけるA/Dの変換開始トリガ信号出力は、TMPnがTMQnのスレーブ・タイマとして同調動作している場合にかぎり利用できます。TMQn, TMPnが同調動作を行っていない場合、および6相PWM出力モード以外で使用している場合は、出力を保証できません。
2. 16ビット・カウンタのアップ/ダウン・カウントの状態判定には、TOQn0信号出力を内部で利用しています。したがって、TQnIOC0.TQnOL0ビット = 0, TQnOE0ビット = 1と設定し、TOQn0端子出力を有効にしてください。

図10 - 38 A/D変換開始トリガ (TQTADTn0) 信号出力例 (TQnOPT1.TQnICEビット = 1, TQnIOEビット = 1, TQnID4-TQnID0ビット = 00000 : 割り込み間引きなし)

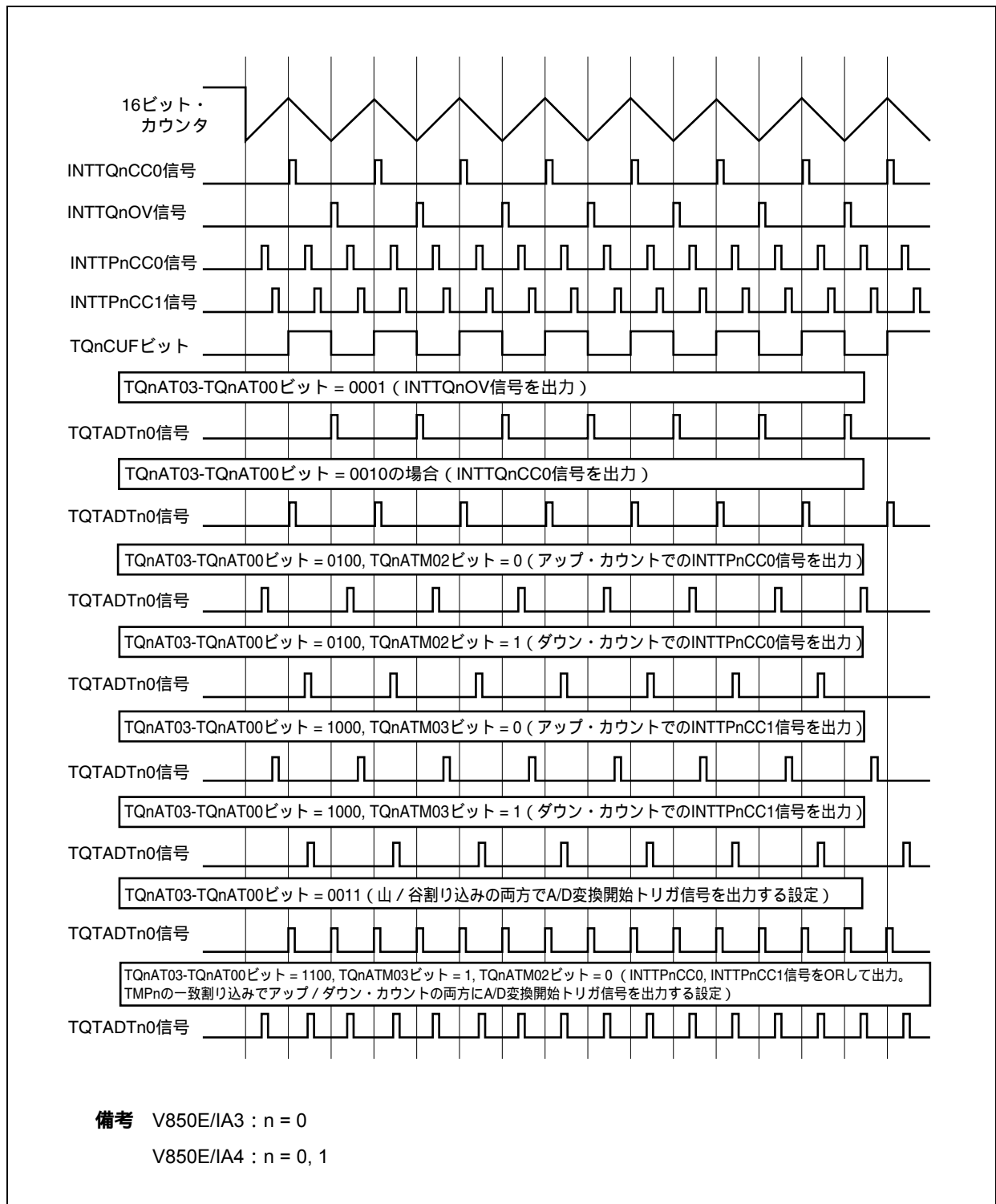


図10 - 39 A/D変換開始トリガ (TQTADTn0) 信号出力例 (TQnOPT1.TQnICEビット = 0,
TQnIOEビット = 1, TQnID4-TQnID0ビット = 00010 : 割り込み間引きあり) (1)

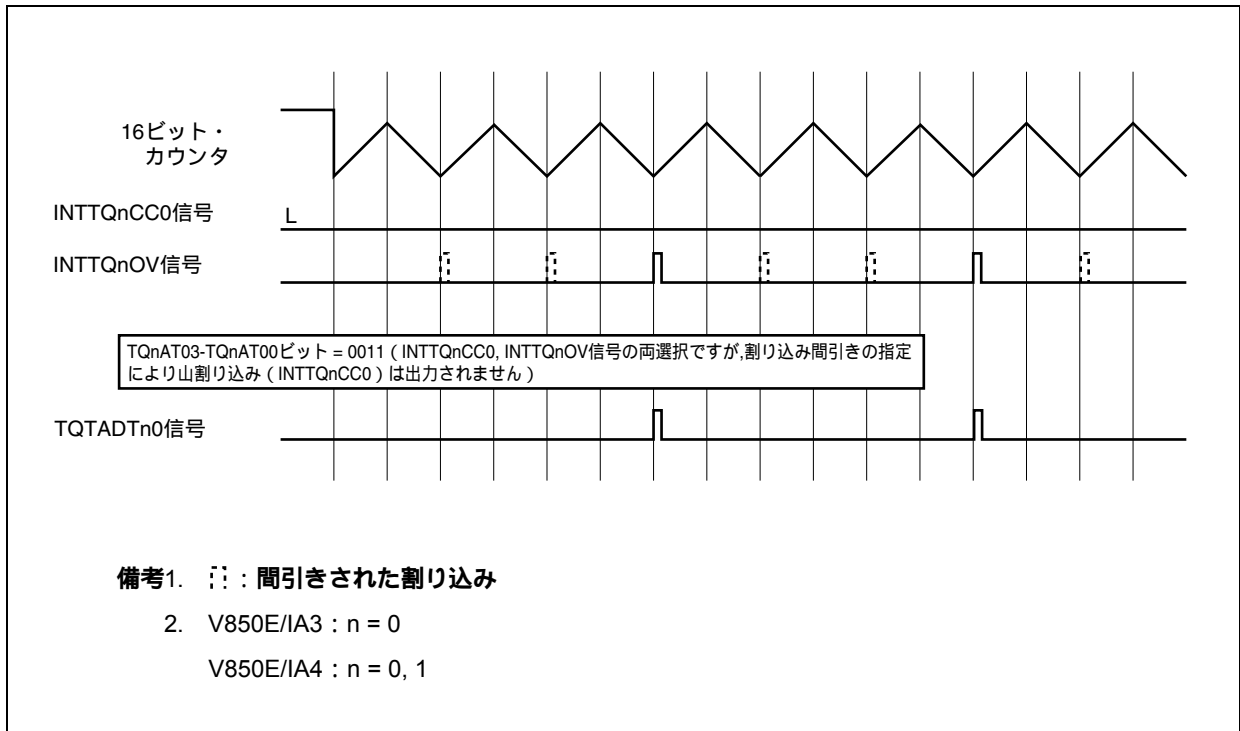
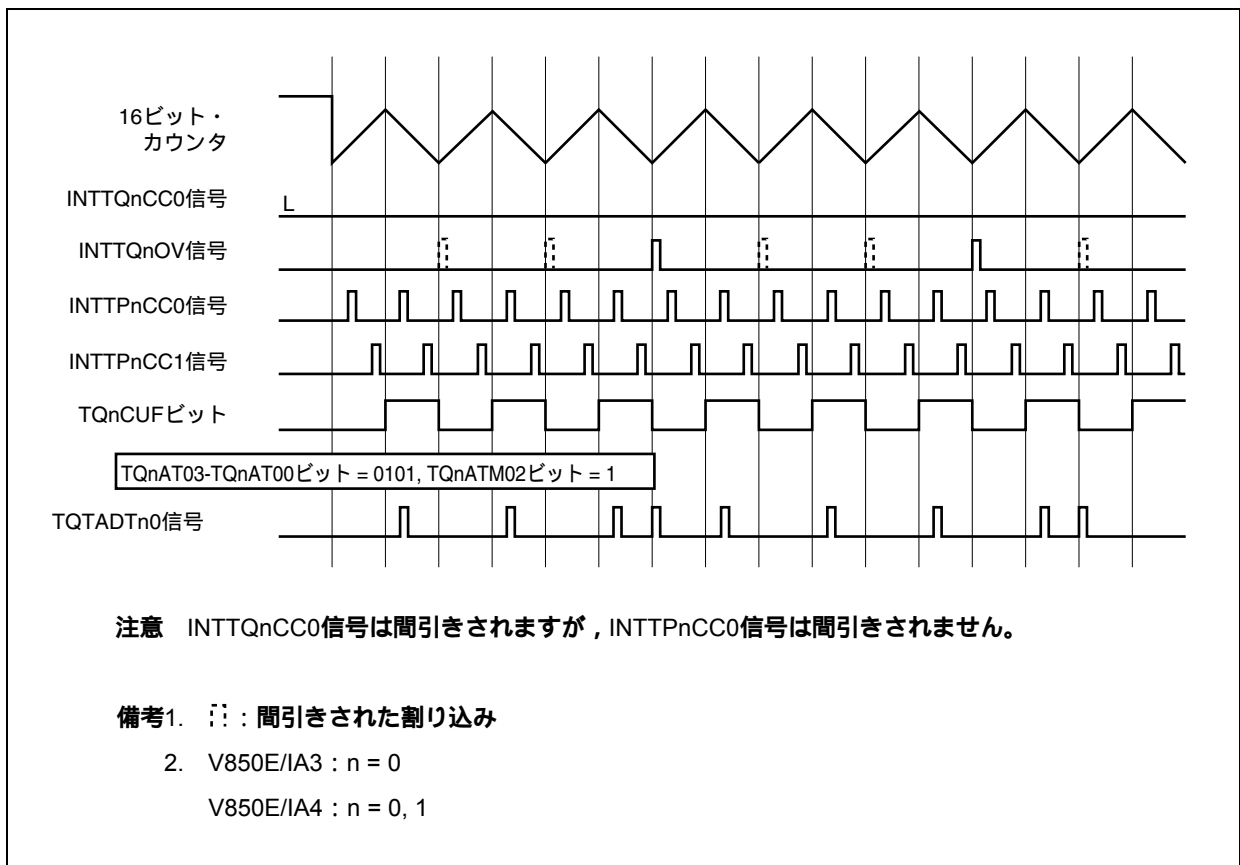


図10 - 40 A/D変換開始トリガ (TQTADTn0) 信号出力例 (TQnOPT1.TQnICEビット = 0,
TQnIOEビット = 1, TQnID4-TQnID0ビット = 00010 : 割り込み間引きあり) (2)



(1) 境界条件での動作 (16ビット・カウンタとINTTPnCC0信号の一致発生時の動作説明)

表10 - 3 TQnCCR0レジスタ = M, TQnATm2ビット = 1, TQnATMm2ビット = 0 (アップ・カウント期間選択) の動作

TPnCCR0レジスタの値	TMQnの16ビット・カウンタの値	TMPnの16ビット・カウンタの値	TMQnの16ビット・カウンタの状態	INTTPnCC0信号によるTQTADTnm信号の出力
0000H	0000H	0000H	-	出力する
0000H	M + 1	0000H	-	出力しない
0001H	0001H	0001H	アップ・カウント	出力する
0001H	M	0001H	ダウン・カウント	出力しない
M	M	M	アップ・カウント	出力する
M	0001H	M	ダウン・カウント	出力しない

表10 - 4 TQnCCR0レジスタ = M, TQnATm2ビット = 1, TQnATMm2ビット = 1 (ダウン・カウント期間選択) の動作

TPnCCR0レジスタの値	TMQnの16ビット・カウンタの値	TMPnの16ビット・カウンタの値	TMQnの16ビット・カウンタの状態	INTTPnCC0信号によるTQTADTnm信号の出力
0000H	0000H	0000H	-	出力しない
0000H	M + 1	0000H	-	出力する
0001H	0001H	0001H	アップ・カウント	出力しない
0001H	M	0001H	ダウン・カウント	出力する
M	M	M	アップ・カウント	出力しない
M	0001H	M	ダウン・カウント	出力する

注意 TPnCCRmレジスタは、TQnCCR0レジスタ = Mのとき、“0”から“M”までの設定を許可します。“M + 1”以上は設定禁止です。

“M + 1”以上の値を設定した場合は、TMPnの16ビット・カウンタは“M”でクリアされるため、TQTADTnm信号は出力されません。

備考 V850E/IA3 : n = 0, m = 0, 1

V850E/IA4 : n = 0, 1, m = 0, 1

第11章 ウォッチドッグ・タイマ機能

11.1 機 能

ウォッチドッグ・タイマには、次のような機能があります。

- ・リセット・モード：ウォッチドッグ・タイマのオーバーフローによるリセット動作（WDTRESを発生）
- ・ノンマスクابل割り込み要求モード
：ウォッチドッグ・タイマのオーバーフローによるノンマスクابل割り込み動作（INTWDTを発生）

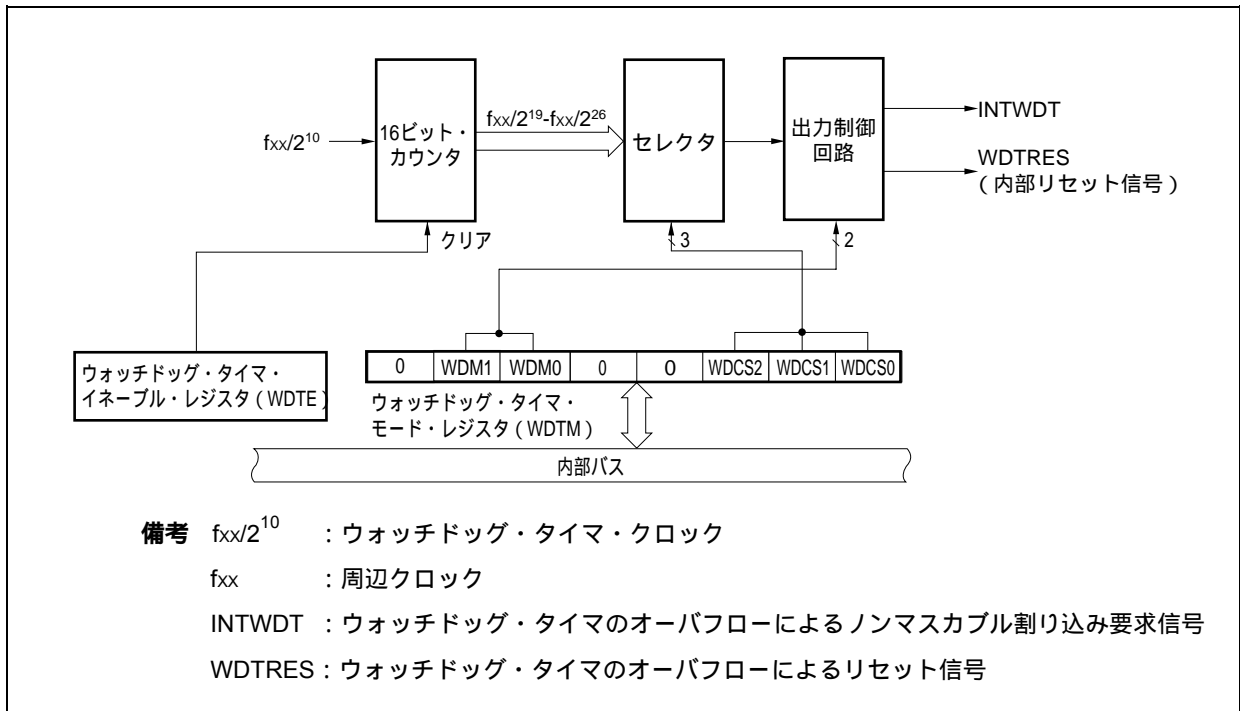
注意 ウォッチドッグ・タイマは、リセット解除後は動作停止状態です。

ウォッチドッグ・タイマを使用する場合はWDTEレジスタに“ACH”を書き込むことで動作を開始します。また、デフォルトの設定（リセット・モード、インターバル時間： $2^{26}/f_{xx}$ ）で変更する必要がない場合も、動作を確定するためにWDTMレジスタに1回だけ書き込みを行ってください。

11.2 構成

次にウォッチドッグ・タイマのブロック図を示します。

図11-1 ウォッチドッグ・タイマのブロック図



ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表11-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

11.3 制御レジスタ

(1) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマのオーバフロー時間および動作クロックを設定するレジスタです。

8ビット単位でリード/ライト可能です。読み出しは何回でもできますが、書き込みはリセット解除後に1回のみできます。なお、2回目以降は書き込みできません。

リセットにより67Hになります。

リセット時：67H R/W アドレス：FFFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM	0	WDM1	WDM0	0	0	WDCS2	WDCS1	WDCS0

WDM1	WDM0	ウォッチドッグ・タイマの動作モードの選択
0	0	動作停止
0	1	ノンマスカブル割り込み要求モード (INTWDTを発生)
1	x	リセット・モード (WDTRESを発生)

注意1. WDCS2-WDCS0ビットについては表11-2 オーバフロー時間を参照してください。

2. ビット3, 4, 7には必ず0を設定してください。

表11-2 オーバフロー時間

WDCS2	WDCS1	WDCS0	オーバフロー時間	$f_{xx} = 64 \text{ MHz}$	$f_{xx} = 32 \text{ MHz}$
0	0	0	$2^{19}/f_{xx}$	8.2 ms	16.4 ms
0	0	1	$2^{20}/f_{xx}$	16.4 ms	32.8 ms
0	1	0	$2^{21}/f_{xx}$	32.8 ms	65.5 ms
0	1	1	$2^{22}/f_{xx}$	65.5 ms	131.1 ms
1	0	0	$2^{23}/f_{xx}$	131.1 ms	262.1 ms
1	0	1	$2^{24}/f_{xx}$	262.1 ms	524.3 ms
1	1	0	$2^{25}/f_{xx}$	524.3 ms	1048.5 ms
1	1	1	$2^{26}/f_{xx}$	1048.5 ms	2097.1 ms

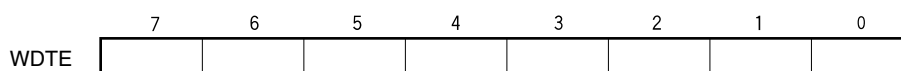
(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

8ビット単位でリード/ライト可能です。

リセットにより1AHになります。

リセット時：1AH R/W アドレス：FFFFFF6D1H



- 注意1.** WDTEレジスタに“ACH”を書き込んでウォッチドッグ・タイマを動作許可したあと、WDTEレジスタに“ACH”以外の値を書き込んだ場合、WDTM.WDM1, WDM0ビットの指定によりウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込み要求信号 (INTWDT) またはウォッチドッグ・タイマのオーバフローによるリセット信号 (WDTRES) が発生します。
- 2.** WDTEレジスタに1ビット単位でリード/ライトを実行した場合、内部リセット信号が発生します。
- 3.** WDTEレジスタのリード値は、ウォッチドッグ・タイマ動作前は“1AH”，動作後は“9AH”です。書き込んだ値 (ACH) とは異なります。

11.4 動作

ウォッチドッグ・タイマは、リセット解除後は動作停止状態です。

WDTMレジスタへの書き込みはリセット解除後に1回だけ可能です。2回目の書き込みをウォッチドッグ・タイマ動作開始後に行った場合は、WDTM.WDM1, WDM0ビットの指定によりウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込み要求信号 (INTWDT) またはウォッチドッグ・タイマのオーバフローによるリセット信号 (WDTRES) が発生します。同じ値を書き込んだ場合もINTWDT信号またはWDTRES信号が発生します。なお、3回以上の書き込みを行った場合の動作は保証できません。

ウォッチドッグ・タイマを使用する場合は、動作モードとインターバル時間を8ビット単位でWDTMレジスタに書き込んでください。この操作後、動作停止することはできません。

ウォッチドッグ・タイマを使用しない場合は、WDTMレジスタに00Hを書き込んでください。

11.5 注意事項

ウォッチドッグ・タイマのクリアを行わずにウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込み要求信号 (INTWDT) が連続して発生した場合のINTWDT割り込み要求信号発生周期は「WDTMレジスタで設定したインターバル時間 + 2⁷周辺クロック・パルス幅」で求められます。

なお、ウォッチドッグ・タイマ起動後の最初の割り込み要求信号の発生まではパルス幅を含みません。

第12章 A/Dコンバータ0, 1

12.1 特 徴

10ビット分解能A/Dコンバータを2回路 (A/Dコンバータ0, 1) 内蔵

2回路同時サンプリング可能

アナログ入力

[V850E/IA3]

2回路合計6チャンネル

A/Dコンバータ0 : ANI00, ANI01 (2チャンネル)

A/Dコンバータ1 : ANI10-ANI13 (4チャンネル)

[V850E/IA4]

2回路合計8チャンネル

A/Dコンバータ0 : ANI00-ANI03 (4チャンネル)

A/Dコンバータ1 : ANI10-ANI13 (4チャンネル)

A/D変換結果レジスタ

10ビット×4本 + 10ビット×4本

A/Dコンバータ0 : ADA0CR0-ADA0CR3

A/Dコンバータ1 : ADA1CR0-ADA1CR3

入力レベル増幅用オペアンプ専用A/D変換結果レジスタ

入力レベル増幅用オペアンプ使用時のみ使用可

10ビット×4本 + 10ビット×4本

A/Dコンバータ0 : ADA0CR4-ADA0CR7

A/Dコンバータ1 : ADA1CR4-ADA1CR7

A/D変換トリガ・モード

・ソフトウエア・トリガ・モード

・ハードウエア・トリガ・モード

外部トリガ・モード

タイマ・トリガ・モード0

タイマ・トリガ・モード1

A/D変換動作モード

連続セレクト・モード

連続スキャン・モード

ワンショット・セレクト・モード

ワンショット・スキャン・モード

バッファ・モード

1バッファ・モード

4バッファ・モード

入力レベル増幅用 (2.5倍, 5倍) オペアンプ内蔵

入力レベル増幅用オペアンプ使用時のみ使用可

[V850E/IA3]

2回路合計5チャンネル

A/Dコンバータ0 : ANI00, ANI01

A/Dコンバータ1 : ANI10-ANI12

[V850E/IA4]

2回路合計6チャンネル

A/Dコンバータ0 : ANI00-ANI02

A/Dコンバータ1 : ANI10-ANI12

過電圧検出用コンパレータ内蔵

・過電圧検出用コンパレータ使用時のみ使用可

・ [V850E/IA3]

2回路合計5チャンネル

A/Dコンバータ0 : 2回路

A/Dコンバータ1 : 3回路

[V850E/IA4]

2回路合計6チャンネル

A/Dコンバータ0 : 3回路

A/Dコンバータ1 : 3回路

・基準電圧はCMPREF端子入力 (入力電圧範囲 = $0.1 AV_{DD} \sim 0.5 AV_{DD}$)

・過電圧検出時は割り込み要求発生。割り込み要求は3チャンネルごとのOR (論理和) で出力されます。

・設定によりモータ制御用タイマ出力をハイ・インピーダンス状態にすることが可能。

逐次変換方式

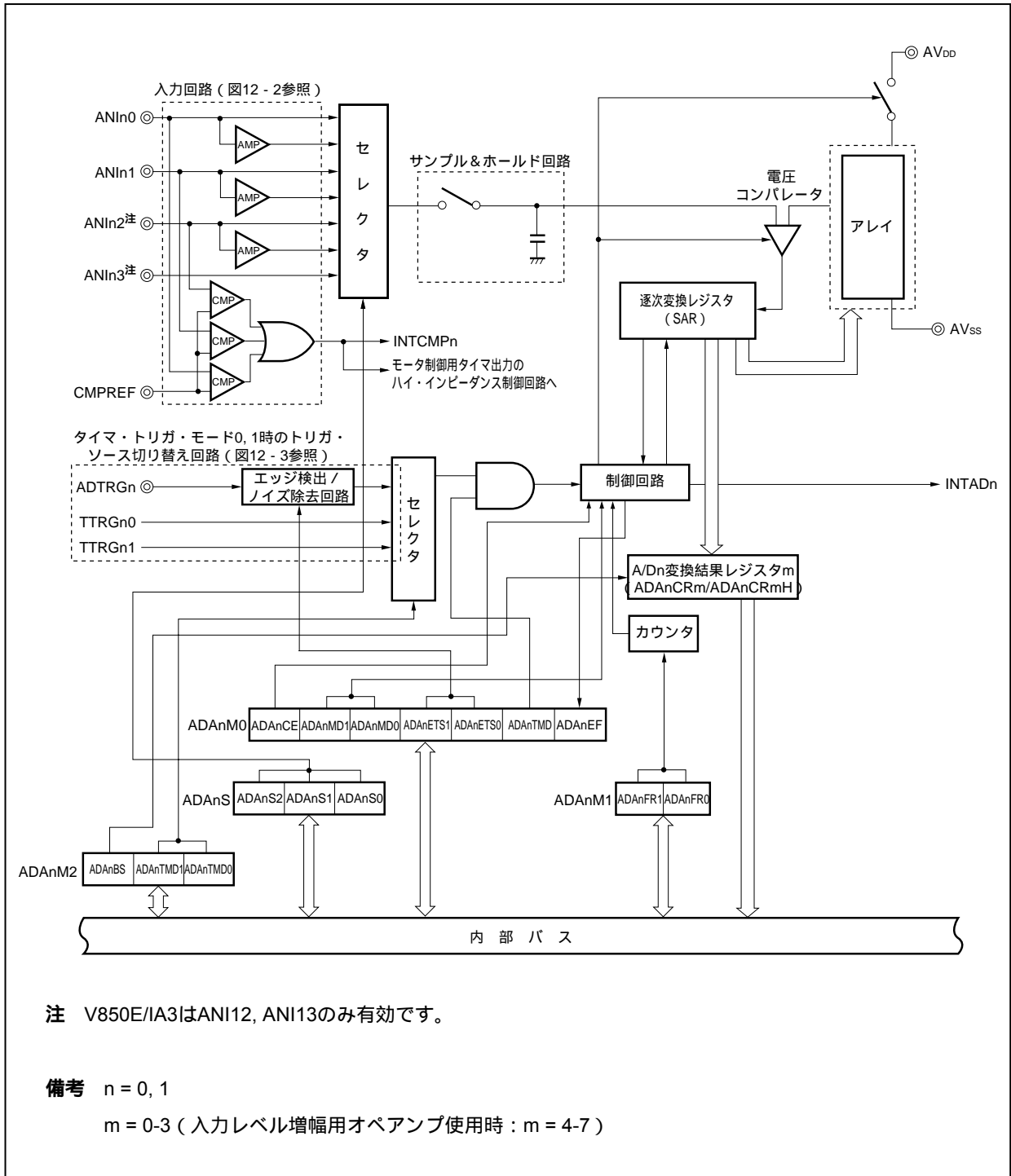
動作電圧範囲

$EV_{DD} = AV_{DD} = 4.5 \sim 5.5 V$

12.2 構成

次にブロック図を示します。

図12-1 A/Dコンバータ0, 1のブロック図



注意1. アナログ入力端子(ANIn0-ANIn3(V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01のみ))
およびA/Dコンバータ電源電圧端子(AV_{DD})にノイズがのる場合は、ノイズにより不正な変換
結果が生じることがあります (n = 0, 1)。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処
理が必要です。

次にソフトウェア処理の例を示します。

- ・ 複数回のA/D変換結果の平均値を、A/D変換結果として使用する。
 - ・ 複数回のA/D変換を連続して行い、特異な変換結果が得られた場合、この値を除外した
変換結果を使用する。
 - ・ システムに異常が発生したと判断されるようなA/D変換結果が得られた場合、ただちに
異常処理を行わず、再度異常発生を確認した上で異常処理を行う。
2. A/Dコンバータ0, 1の入力端子として使用している端子には、AV_{SS}-AV_{DD}の範囲外の電圧が加
わらないようにしてください。

備考 A/Dコンバータ0-2の電源接続仕様を次に示します。

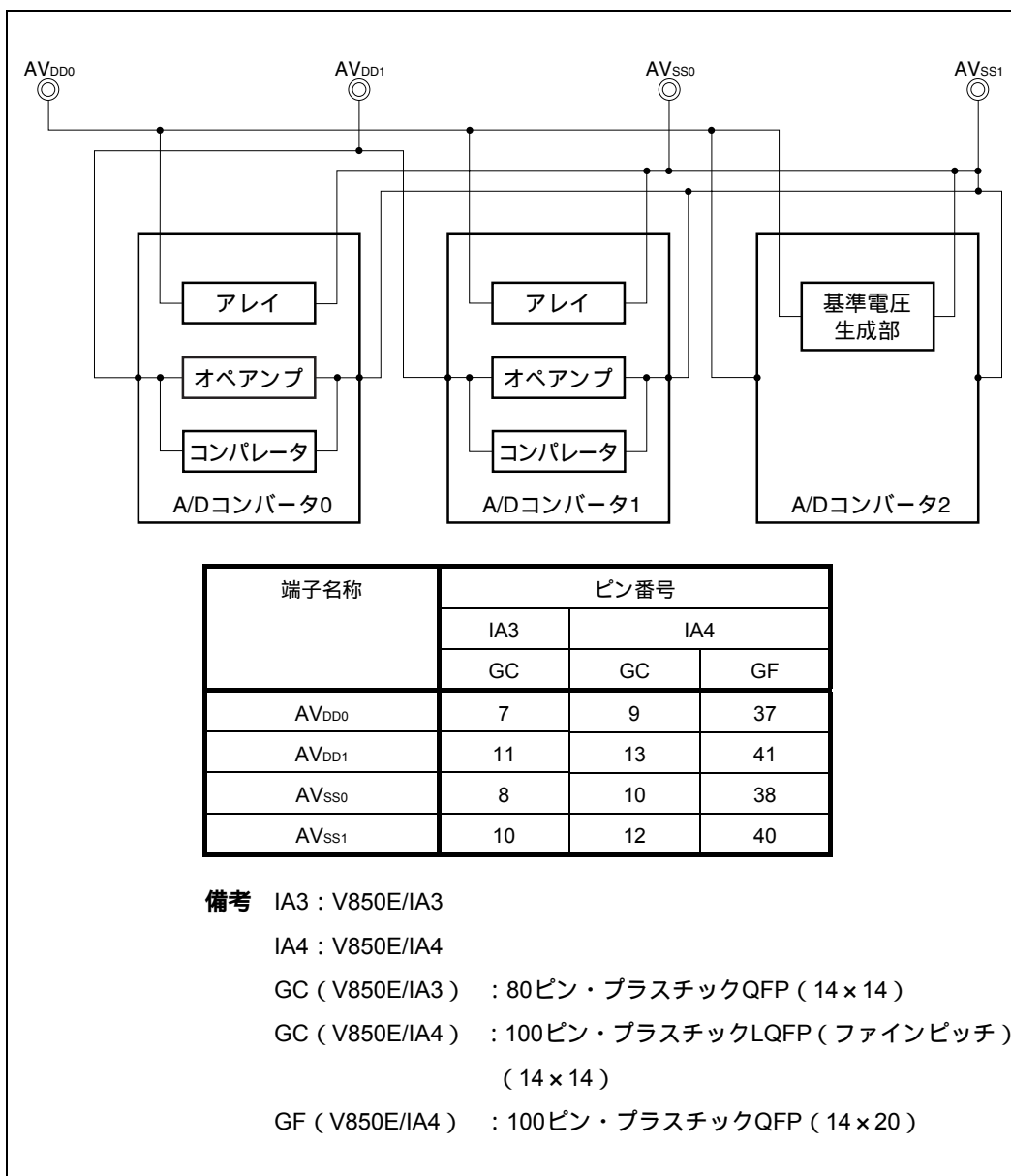


図12-2 入力レベル増幅用オペアンプと過電圧検出用コンパレータのブロック図

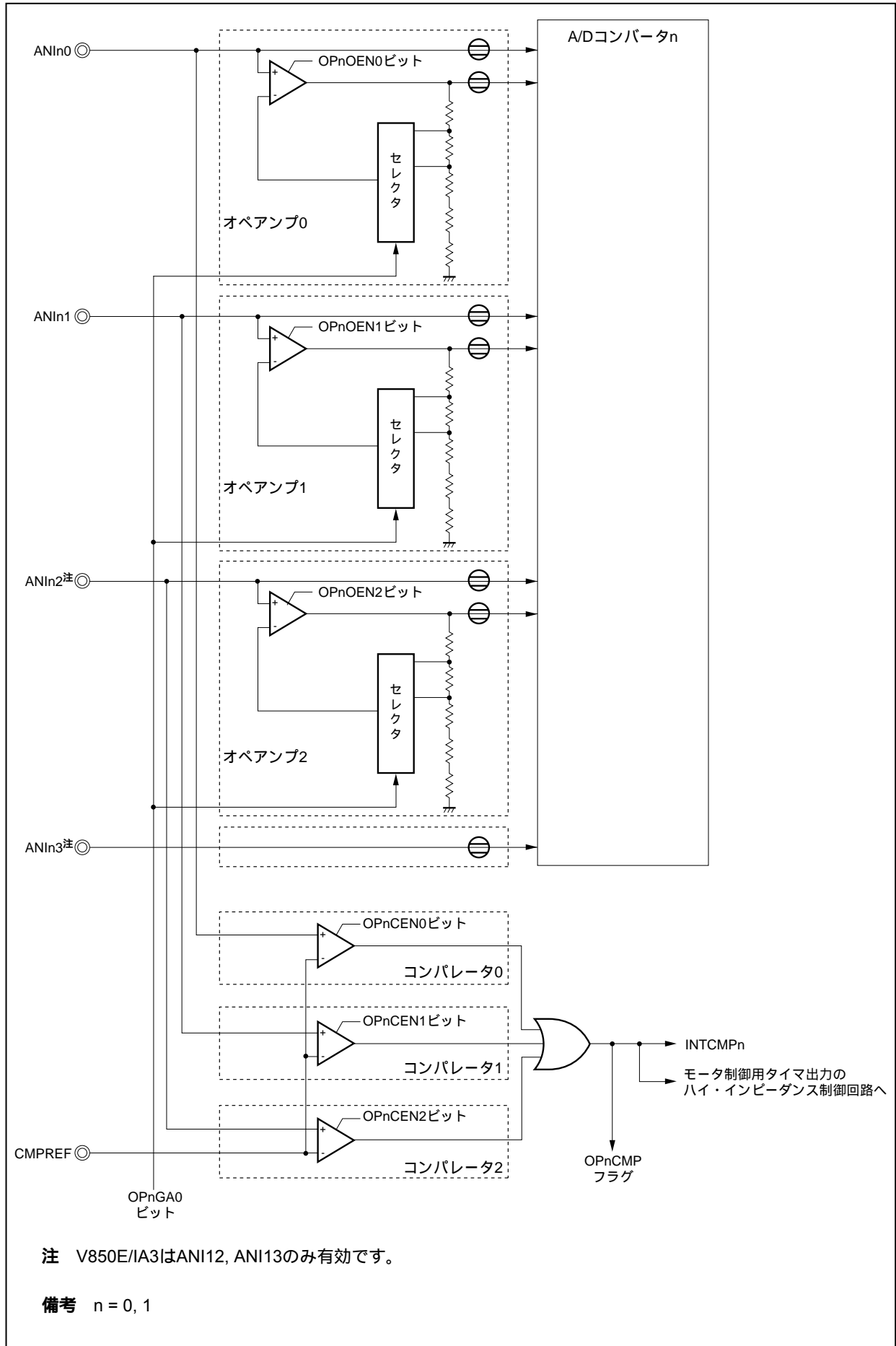
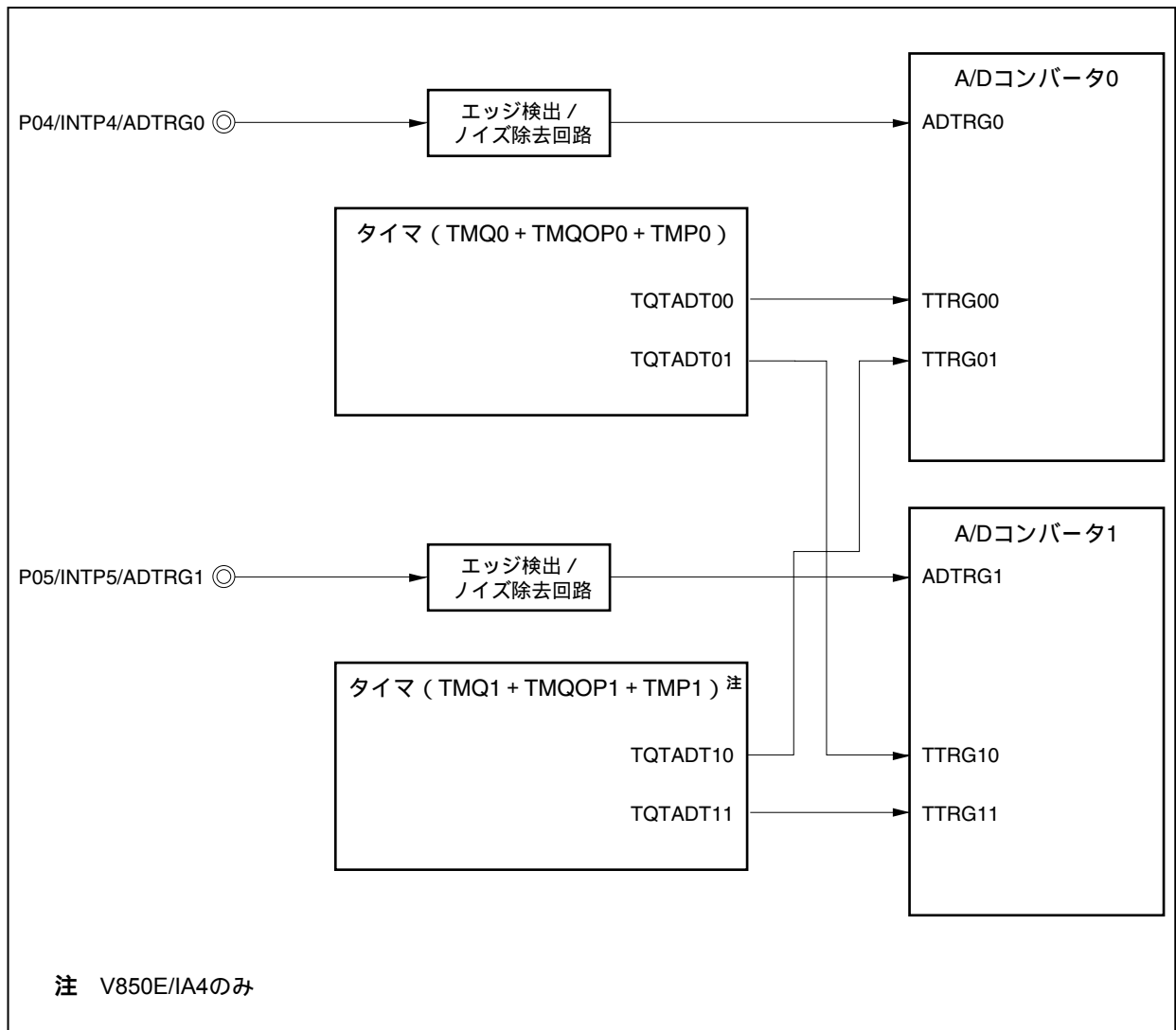


図12 - 3 タイマ・トリガ・モード0, 1時のトリガ・ソース切り替え回路のブロック図



A/Dコンバータ0, 1は、次のハードウェアで構成しています。

表12 - 1 A/Dコンバータ0, 1の構成

項 目	構 成
アナログ入力	V850E/IA3 : ANI00, ANI01, ANI10-ANI13 (2回路合計6チャンネル) V850E/IA4 : ANI00-ANI03, ANI10-ANI13 (2回路合計8チャンネル)
レジスタ	逐次変換レジスタ (SAR) A/Dn変換結果レジスタ0-3 (ADAnCR0-ADAnCR3) A/Dn変換結果レジスタ0H-3H (ADAnCR0H-ADAnCR3H) A/Dn変換結果レジスタ4-7 (ADAnCR4-ADAnCR7) (入力レベル増幅用オペアンプ使用時専用) A/Dn変換結果レジスタ4H-7H (ADAnCR4H-ADAnCR7H) (入力レベル増幅用オペアンプ使用時専用)
制御レジスタ	A/Dコンバータnモード・レジスタ0 (ADAnM0) A/Dコンバータnモード・レジスタ1 (ADAnM1) A/Dコンバータnモード・レジスタ2 (ADAnM2) A/Dコンバータnチャンネル指定レジスタ (ADAnS) オペアンプn制御レジスタ0 (OPnCTL0) オペアンプn制御レジスタ1 (OPnCTL1)

備考 n = 0, 1

(1) セレクタ

ADAnM0, ADAnM1, ADAnM2, ADAnSレジスタで設定したモードに従ってアナログ入力端子 (ANIn0-ANIn3 (V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01のみ)) を選択し、サンプル&ホールド回路に送ります (n = 0, 1)。

なお, ANIn0-ANIn2 (V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01のみ) には, 入力レベル増幅用オペアンプと過電圧検出用コンパレータが内蔵されています。入力レベル増幅用オペアンプおよび過電圧検出用コンパレータは, アナログ入力端子ごとにオン/オフを指定できます。また, 入力レベル増幅用オペアンプは, ANIn0-ANIn2 (V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01のみ) 端子ごとに増幅度 (ゲイン) を2.5倍, 5倍から選択できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし, 電圧コンパレータに送ります。入力レベル増幅用オペアンプを使用する場合は, OPnCTL0.OPnGA0ビットで指定したゲイン数 × 入力電圧をサンプリングします。なお, A/D変換動作中は, サンプリングしたアナログ入力電圧を保持します。

(3) 電圧コンパレータ

アレイの電圧タップから発生した電圧と、アナログ入力電圧を電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ($1/2 AV_{DD}$) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 ($1/2 AV_{DD}$) より小さい場合には、SARレジスタのMSBをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、アレイの電圧タップが選択されます。

ビット9 = 0 : ($1/4 AV_{DD}$)

ビット9 = 1 : ($3/4 AV_{DD}$)

アレイの電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

アナログ入力電圧 アレイの電圧タップ : ビット8 = 1

アナログ入力電圧 アレイの電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

(4) アレイ

アナログ入力 (ANIn0-ANIn3 (V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01のみ)) より入力された電圧の比較電圧を生成します ($n = 0, 1$)。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、アレイからの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する10ビット・レジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/Dn変換結果レジスタ0-3 (ADAnCR0-ADAnCR3) に保持されます ($n = 0, 1$)。ただし、入力レベル増幅用オペアンプを使用した場合には、変換結果はADAnCR4-ADAnCR7レジスタに保持されます。また、指定されたすべてのA/D変換が終了すると、A/Dn変換終了割り込み要求信号 (INTADn) が発生します。

(6) A/Dn変換結果レジスタ0-3(ADAnCR0-ADAnCR3) ,A/Dn変換結果レジスタ0H-3H(ADAnCR0H-ADAnCR3H) ($n = 0, 1$)

ADAnCR0-ADAnCR3, ADAnCR0H-ADAnCR3Hレジスタは、A/D変換結果を保持するレジスタです。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされ、変換結果をADAnCR0-ADAnCR3レジスタの上位10ビットに格納します。下位6ビットは常に0が読み出されます。

ADAnCR0H-ADAnCR3Hレジスタには、A/D変換結果の上位8ビットが読み出されます。

A/D変換結果を16ビット単位でリードする場合はADAnCR0-ADAnCR3レジスタ、上位8ビットをリードする場合はADAnCR0H-ADAnCR3Hレジスタを指定します。

(7) A/D_n変換結果レジスタ4-7(ADAnCR4-ADAnCR7), A/D_n変換結果レジスタ4H-7H(ADAnCR4H-ADAnCR7H)

(n = 0, 1)

ADAnCR4H-ADAnCR7H, ADAnCR4H-ADAnCR7Hレジスタは, A/D変換結果を保持するレジスタです。入力レベル増幅用オペアンプ使用時専用です。A/D変換が終了するたびに, 逐次変換レジスタ(SAR)から変換結果がロードされ, 変換結果をADAnCR4-ADAnCR7レジスタの上位10ビットに格納します。下位6ビットは常に0が読み出されます。

ADAnCR4H-ADAnCR7Hレジスタには, A/D変換結果の上位8ビットが読み出されます。

A/D変換結果を16ビット単位でリードする場合はADAnCR4-ADAnCR7レジスタ, 上位8ビットをリードする場合はADAnCR4H-ADAnCR7Hレジスタを指定します。

(8) A/Dコンバータ_nモード・レジスタ0(ADAnM0) (n = 0, 1)

動作モードの指定, および変換動作の制御を行うレジスタです。

(9) A/Dコンバータ_nモード・レジスタ1(ADAnM1) (n = 0, 1)

A/D変換するアナログ入力の変換クロック数を設定するレジスタです。

(10) A/Dコンバータ_nチャンネル指定レジスタ(ADAnS) (n = 0, 1)

A/D変換するアナログ入力端子の指定を行うレジスタです。

(11) A/Dコンバータ_nモード・レジスタ2(ADAnM2) (n = 0, 1)

バッファ・モードの指定, およびハードウェア・トリガ・モードのモード指定を行うレジスタです。

(12) オペアンプ_n制御レジスタ0(OPnCLT0) (n = 0, 1)

入力レベル増幅用オペアンプの動作制御およびゲインの指定を行うレジスタです。

(13) オペアンプ_n制御レジスタ1(OPnCLT1) (n = 0, 1)

過電圧検出用コンパレータの動作制御の指定およびステータスを示すレジスタです。

(14) ANIn0-ANIn3端子 (n = 0, 1)

ANIn0-ANIn3端子 (V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみ) は, A/Dコンバータ0, 1へのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANIn0-ANIn3入力電圧は規格の範囲内でご使用ください。特にAV_{DD}以上, AV_{SS}以下(絶対最大定格の範囲内でも)の電圧が入力されると, そのチャンネルの変換値が不定となり, またほかのチャンネルの変換値にも影響を与えることがあります。

(15) AV_{DD}端子

A/Dコンバータ0-2の正電源供給と基準電圧を入力するための端子を兼用しています。A/Dコンバータ0, 1では, AV_{DD}-AV_{SS}間に加えられる電圧に基づいてANIn0-ANIn3端子 (V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみ) に入力される信号をデジタル信号に変換します (n = 0, 1)。

A/Dコンバータ0, 1を使用しない場合でも, AV_{DD}端子は常にEV_{DD}端子と同電位で使用してください。

AV_{DD}端子の動作電圧範囲は, EV_{DD} = AV_{DD} = 4.5 ~ 5.5 Vです。

(16) AV_{SS}端子

A/Dコンバータ0-2のグランド端子です。A/Dコンバータ0, 1を使用しない場合でも, AV_{SS}端子は常にEV_{SS}と同電位で使用してください。

(17) CMPREF端子

過電圧検出用コンパレータの基準電圧供給端子です (入力電圧範囲 = 0.1 AV_{DD} ~ 0.5 AV_{DD})。

12.3 制御レジスタ

A/Dコンバータ0, 1は次に示すレジスタで制御します。

- ・ A/Dコンバータnモード・レジスタ0-2 (ADAnM0-ADAnM2)
- ・ A/Dコンバータnチャンネル指定レジスタ (ADAnS)
- ・ オペアンプn制御レジスタ0, 1 (OPnCTL0, OPnCTL1)

また, 次のレジスタも使用します。

- ・ A/Dn変換結果レジスタ0-7 (ADAnCR0-ADAnCR7)
- ・ A/Dn変換結果レジスタ0H-7H (ADAnCR0H-ADAnCR7H)

(1) A/Dコンバータnモード・レジスタ0 (ADAnM0) (n = 0, 1)

ADAnM0レジスタは, 動作モードの指定, および変換動作の制御を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただし, ビット0はリードのみ可能です。ビット0に書き込みを行った場合, 書き込みは無視されます。

リセットにより00Hになります。

リセット時：00H R/W アドレス：ADA0M0 FFFFF200H, ADA1M0 FFFFF220H

	⑦	6	5	4	3	2	1	0
ADAnM0 (n = 0, 1)	ADAnCE	0	ADAnMD1	ADAnMD0	ADAnETS1	ADAnETS0	ADAnTMD	ADAnEF
	ADAnCE	A/D変換動作の制御						
	0	変換動作停止						
	1	変換動作許可						
	ADAnMD1	ADAnMD0	動作モードの指定					
	0	0	連続セレクト・モード					
	0	1	連続スキャン・モード					
	1	0	ワンショット・セレクト・モード					
	1	1	ワンショット・スキャン・モード					
	ADAnETS1	ADAnETS0	外部トリガ (ADTRGn) の有効エッジの指定					
	0	0	エッジ検出なし (外部トリガ無効)					
	0	1	立ち下がりエッジ					
	1	0	立ち上がりエッジ					
	1	1	立ち上がり / 立ち下がり両エッジ					
	ADAnTMD	トリガ・モードの指定						
	0	ソフトウェア・トリガ・モード						
	1	ハードウェア・トリガ・モード ^注						
	ADAnEF	A/Dコンバータnのステータス						
	0	A/D変換停止中						
	1	A/D変換動作中						

注 ハードウェア・トリガ・モードを選択した場合は，ADAnM2.ADAnTMD1, ADAnTMD0ビットでトリガ・モードを指定してください。

注意1. ソフトウェア・トリガ・モードでは，ADAnCEビットに1を書き込むことが変換のトリガになります。

ハードウェア・トリガ・モード (外部トリガ・モード，タイマ・トリガ・モード 0, 1) では，ADAnCEビットに1を書き込むと，トリガ信号待機状態になります。ADAnCEビットは，すべてのモードでA/Dn変換終了割り込み要求信号 (INTADn) が発生したあともクリア (0) されません。したがって，A/D変換動作を停止するにはADAnCEビットに0を書き込んでください。

2. A/D変換動作中 (ADAnEFビット = 1) にADAnM0, ADAnM2, ADAnSレジスタに書き込みを行った場合には，各モードにより，次のようになります。

・ソフトウェア・トリガ・モード時

A/D変換動作は中断され，再度，最初から変換動作を行います。

・ハードウェア・トリガ・モード時

A/D変換動作は中断され，再度，トリガ待機状態になります。

(2) A/Dコンバータnモード・レジスタ1 (ADAnM1) (n = 0, 1)

ADAnM1レジスタは、変換クロック数の指定を行う8ビットのレジスタです。

変換クロック数には、サンプリング・クロック数も含まれます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：ADA0M1 FFFFF201H, ADA1M1 FFFFF221H

	7	6	5	4	3	2	1	0
ADAnM1 (n = 0, 1)	0	0	0	0	0	0	ADAnFR1	ADAnFR0

注意1. ADAnFR1, ADAnFR0ビットについては表12 - 2 変換クロック数を参照してください。
2. ADAnM0.ADAnCEビット = 1 (変換動作許可) の場合, ADAnFR1, ADAnFR0ビットの変更は禁止です。
3. ビット2-7には、必ず0を設定してください。

表12 - 2 変換クロック数

ADAnFR1	ADAnFR0	変換クロック数 (fxx = 64 MHz時)	安定クロック数 (fxx = 64 MHz時)	トリガ受け付けクロック数 (fxx = 64 MHz時)
0	0	設定禁止	-	-
0	1	124 (1.94 μs)	66	12
1	0	186 (2.91 μs)	100	14
1	1	248 (3.88 μs)	108	16

A/D総変換クロック数

トリガ・モード		動作モード		ADAnCEビット = 1設定後 1回目のA/D総変換クロック数	ADAnCEビット = 1設定後 2回目以降のA/D総変換 クロック数	
ソフトウェア・トリガ		連続セレクト	1バッファ	安定クロック数 + トリガ受け付けクロック数 + 変換クロック数	変換クロック数	
			4バッファ			
		連続スキャン	1バッファ			- (1回で変換終了)
			4バッファ			変換クロック数
			1バッファ			変換クロック数 ^{注1}
ハードウェア・トリガ	タイマ・トリガ 0, 1	連続セレクト /	1バッファ	トリガ受け付けクロック数 + 変換クロック数 ^{注2}	- (1回で変換終了)	
		ワンショット・セレクト	4バッファ		変換クロック数	
		連続スキャン /	1バッファ		変換クロック数 ^{注1}	
	外部トリガ	連続セレクト /	1バッファ	ノイズ除去時間 + トリガ受け付けクロック数 + 変換クロック数 ^{注2}	- (1回で変換終了)	
		ワンショット・セレクト	4バッファ		変換クロック数	
		連続スキャン /	1バッファ		変換クロック数 ^{注1}	

注1. 2チャンネル以上のスキャンを実行した場合 (ADAnSレジスタ 00H)

2. ADAnCEビット = 0 1設定後に安定クロック数分の安定時間が挿入されます。その安定時間中にトリガが入力された場合は、安定時間完了後にトリガを受け付けるため、A/D総変換クロック数は上記に安定クロック数を加算した値が最大クロック数になります。

(3) A/Dコンバータ_nチャンネル指定レジスタ (ADAnS) (n = 0, 1)

ADAnSレジスタは、アナログ入力端子の指定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：ADA0S FFFFF202H, ADA1S FFFFF222H

	7	6	5	4	3	2	1	0
ADAnS (n = 0, 1)	0	0	0	0	0	ADAnS2	ADAnS1	ADAnS0

ADAnS2	ADAnS1	ADAnS0	セレクト・モード	スキャン・モード
0	0	0	ANIn0	ANIn0
0	0	1	ANIn1	ANIn0, ANIn1
0	1	0	ANIn2 ^注	ANIn0-ANIn2 ^注
0	1	1	ANIn3 ^注	ANIn0-ANIn3 ^注
1	0	0	ANIn0 + オペアンプ動作	ANIn0 (ANIn0 + オペアンプ動作)
1	0	1	ANIn1 + オペアンプ動作	ANIn0 (ANIn1 + オペアンプ動作)
1	1	0	ANIn2 + オペアンプ動作 ^注	ANIn0 (ANIn2 + オペアンプ動作)
1	1	1	設定禁止	設定禁止

備考 スキャン・モード時のアナログ入力端子のA/D変換は、次の順番で行われます。

- ・ADAnS2-ADAnS0ビット = 100の場合
ANIn0 ANIn1 ANIn2^注 ANIn3^注 ANIn0のオペアンプ動作
- ・ADAnS2-ADAnS0ビット = 101の場合
ANIn0 ANIn1 ANIn2^注 ANIn3^注 ANIn0のオペアンプ動作 ANIn1のオペアンプ動作
- ・ADAnS2-ADAnS0ビット = 110の場合
ANIn0 ANIn1 ANIn2^注 ANIn3^注 ANIn0のオペアンプ動作 ANIn1のオペアンプ動作 ANIn2のオペアンプ動作^注

注 V850E/IA3はA/Dコンバータ1のときのみ設定可能です。

A/Dコンバータ0では設定禁止です。

注意1. A/D変換動作中 (ADAnM0.ADAnEFビット = 1) にADAnSレジスタに書き込みを行った場合には、各モードにより、次のようになります。

- ・ソフトウェア・トリガ・モード時
A/D変換動作は中断され、再度、最初から変換動作を行います。
- ・ハードウェア・トリガ・モード時
A/D変換動作は中断され、再度、トリガ待機状態になります。

2. ビット3-7には、必ず0を設定してください。

(4) A/Dコンバータ n モード・レジスタ2 (ADAnM2) ($n = 0, 1$)

ADAnM2レジスタは、バッファ・モードの指定、ハードウェア・トリガ・モードのモード指定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：ADA0M2 FFFFF203H, ADA1M2 FFFFF223H

	7	6	5	4	3	2	1	0
ADAnM2 ($n = 0, 1$)	ADAnBS	0	0	0	0	0	ADAnTMD1	ADAnTMD0

ADAnBS	バッファ・モードの指定
0	1バッファ・モード
1	4バッファ・モード ^注

ADAnTMD1	ADAnTMD0	ハードウェア・トリガ・モードの指定
0	0	外部トリガ・モード
0	1	タイマ・トリガ・モード0
1	0	タイマ・トリガ・モード1
1	1	設定禁止

注 4バッファ・モード時には、A/D変換結果は選択したアナログ入力端子に関係なく、必ずADAnCR0 ADAnCR1 ADAnCR2 ADAnCR3の順番(入力レベル増幅用オペアンプ使用時の4バッファ・モード：ADAnCR4 ADAnCR5 ADAnCR6 ADAnCR7の順番)で格納されます。

連続スキャン・モードおよびワンショット・スキャン・モード時は、4バッファ・モードは設定禁止です。

注意1. A/Dコンバータ0, 1の外部トリガは、それぞれP04/INTP4/ADTRG0端子、P05/INTP5/ADTRG1端子入力となります。したがって、外部トリガ・モードを使用する場合には、必ずPMC0.PMC04ビット = 1, PMC05ビット = 1に設定してください。

注意2. A/Dコンバータ n のタイマ・トリガは、タイマ（モータ制御機能）のA/D変換開始トリガ信号（TQTADTa0, TQTADTa1）です。TQTADTa0, TQTADTa1信号は、A/Dコンバータ n のTTRG0a, TTRG1a信号と接続されています（図12 - 3参照）（V850E/IA3 : a = 0, V850E/IA4 : a = 0, 1）。

- ・ A/Dコンバータ0のタイマ・トリガ

- タイマ・トリガ・モード0のとき : TQTADT00

- タイマ・トリガ・モード1のとき : TQTADT10（V850E/IA4のみ）

- ・ A/Dコンバータ1のタイマ・トリガ

- タイマ・トリガ・モード0のとき : TQTADT01

- タイマ・トリガ・モード1のとき : TQTADT11（V850E/IA4のみ）

TQTADTa0, TQTADTa1信号は、TMQaオプション・レジスタ2（TQaOPT2）のTQaAT00-TQaAT03ビット、TMQaオプション・レジスタ3（TQaOPT3）のTQaAT10-TQaAT13ビットで設定します。タイマ・トリガであるA/D変換開始トリガ信号に選択できるモータ制御機能のトリガ・ソースは、INTTPaCC0, INTTPaCC1, INTTQaCC0, INTTQaOV信号となります（複数選択できます）。

3. A/D変換動作中（ADAnM0.ADAnEFビット = 1）にADAnM2レジスタに書き込みを行った場合には、各モードにより、次のようになります。

- ・ ソフトウェア・トリガ・モード時

- A/D変換動作は中断され、再度、最初から変換動作を行います。

- ・ ハードウェア・トリガ・モード時

- A/D変換動作は中断され、再度、トリガ待機状態になります。

(5) オペアンプ n 制御レジスタ0 (OPnCTL0) ($n = 0, 1$)

OPnCTL0レジスタは、入力レベル増幅用オペアンプの動作制御、ゲイン指定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：OP0CTL0 FFFFF260H, OP1CTL0 FFFFF268H

	7	6	5	4	3	2	1	0
OPnCTL0	0	OPmOEN2 ^注	OPnOEN1	OPnOEN0	0	0	0	OPnGA0
(V850E/IA3 n = 0, 1 m = 1)	OPmOEN2 ^注		オペアンプ2の動作制御					
	0	動作禁止						
(V850E/IA4 n = 0, 1 m = 0, 1)	1	動作許可						
	OPnOEN1		オペアンプ1の動作制御					
	0	動作禁止						
	1	動作許可						
OPnOEN0		オペアンプ0の動作制御						
	0	動作禁止						
	1	動作許可						
OPnGA0		オペアンプのゲイン指定						
	0	2.5倍						
	1	5倍						

注 V850E/IA3はA/Dコンバータ1のときのみ設定可能です。
A/Dコンバータ0のときには、必ず0を設定してください。

- 注意1.** ビット1-3, 7には必ず0を設定してください。
2. オペアンプ動作許可後、50 μ sの安定時間が必要となります。

(6) オペアンプ n 制御レジスタ1 (OPnCTL1) ($n = 0, 1$)

OPnCTL1レジスタは、過電圧検出用コンパレータの動作制御、過電圧検出用コンパレータ出力のステータスを示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、ビット0はリードのみ可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：OP0CTL1 FFFFF261H, OP1CTL1 FFFFF269H

OPnCTL1	7	6	5	4	3	2	1	0
	0	OPmCEN2 ^{注1}	OPnCEN1	OPnCEN0	0	0	0	OPnCMP
V850E/IA3 $n = 0, 1$ $m = 1$	OPmCEN2 ^{注1}		コンパレータ2の動作制御					
	0	動作禁止						
V850E/IA4 $n = 0, 1$ $m = 0, 1$			動作許可					
	1	動作許可						
OPnCEN1		コンパレータ1の動作制御						
0		動作禁止						
1		動作許可						
OPnCEN0		コンパレータ0の動作制御						
0		動作禁止						
1		動作許可						
OPnCMP ^{注2}		コンパレータ出力のステータス						
0		コンパレータ出力 = 0 (過電圧検出なし)						
1		コンパレータ出力 = 1 (過電圧検出あり)						

注1. V850E/IA3はA/Dコンバータ1のときのみ設定可能です。

A/Dコンバータ0のときには、必ず0を設定してください。

- OPnCMPビットは、入力電圧が過電圧を検出しないレベルに低下した場合、0になります。

注意1. コンパレータ動作許可後、50 μ sの安定時間が必要となります。

- コンパレータの入力電圧範囲は、0.1 AV_{DD} ~ 0.5 AV_{DD}です。0.5 AV_{DD}を超える入力電圧範囲でコンパレータを使用する場合は、内蔵オペアンプの使用を推奨します。なお、内蔵オペアンプの入力電圧範囲については、第23章 電気的特性 (V850E/IA3)、第24章 電気的特性 (V850E/IA4) を参照してください。

(7) A/Dn変換結果レジスタ0-3, 0H-3H (ADAnCR0-ADAnCR3, ADAnCR0H-ADAnCR3H) (n = 0, 1)

ADAnCRm, ADAnCRmHレジスタは、A/D変換の結果を保持するレジスタです。このレジスタは1回路あたり4本を2回路備えています。A/D変換が終了するたびに、逐次変換レジスタ(SAR)から変換結果がロードされ、変換結果をADAnCRmレジスタの上位10ビットに格納します。下位6ビットは常に0が読み出されます。

ADAnCRmHレジスタには、A/D変換結果の上位8ビットが読み出されます。

16/8ビット単位でリードのみ可能です。A/D変換結果を16ビット単位でリードする場合はADAnCRmレジスタを、上位8ビットをリードする場合はADAnCRmHレジスタを指定します。

リセットにより不定になります。

リセット時：不定 R アドレス：ADA0CR0 FFFFFFF210H, ADA0CR1 FFFFFFF212H,
 ADA0CR2 FFFFFFF214H, ADA0CR3 FFFFFFF216H,
 ADA1CR0 FFFFFFF230H, ADA1CR1 FFFFFFF232H,
 ADA1CR2 FFFFFFF234H, ADA1CR3 FFFFFFF236H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADAnCRm (n = 0, 1) (m = 0-3)	ADn m9	ADn m8	ADn m7	ADn m6	ADn m5	ADn m4	ADn m3	ADn m2	ADn m1	ADn m0	0	0	0	0	0	0

リセット時：不定 R アドレス：ADA0CR0H FFFFFFF211H, ADA0CR1H FFFFFFF213H,
 ADA0CR2H FFFFFFF215H, ADA0CR3H FFFFFFF217H,
 ADA1CR0H FFFFFFF231H, ADA1CR1H FFFFFFF233H,
 ADA1CR2H FFFFFFF235H, ADA1CR3H FFFFFFF237H

	7	6	5	4	3	2	1	0
ADAnCRmH (n = 0, 1) (m = 0-3)	ADnm9	ADnm8	ADnm7	ADnm6	ADnm5	ADnm4	ADnm3	ADnm2

各アナログ入力端子とADAnCRm, ADAnCRmHレジスタの対応を次に示します。

表12 - 3 各アナログ入力端子とADAnCRm, ADAnCRmHレジスタの対応表

A/Dコンバータ	アナログ入力端子	A/D変換結果レジスタ
A/Dコンバータ0	ANI00	ADA0CR0, ADA0CR0H
	ANI01	ADA0CR1, ADA0CR1H
	ANI02 ^注	ADA0CR2, ADA0CR2H
	ANI03 ^注	ADA0CR3, ADA0CR3H
A/Dコンバータ1	ANI10	ADA1CR0, ADA1CR0H
	ANI11	ADA1CR1, ADA1CR1H
	ANI12	ADA1CR2, ADA1CR2H
	ANI13	ADA1CR3, ADA1CR3H

注 V850E/IA4のみ

(8) A/Dn変換結果レジスタ4-7, 4H-7H (ADAnCR4-ADAnCR7, ADAnCR4H-ADAnCR7H) (n = 0, 1)

ADAnCRm, ADAnCRmHレジスタは, A/D変換の結果を保持するレジスタです。入力レベル増幅用オペアンプ使用時専用です。このレジスタは1回路あたり3本を2回路備えています。A/D変換が終了するたびに, 逐次変換レジスタ (SAR) から変換結果がロードされ, 変換結果をADAnCRmレジスタの上位10ビットに格納します。下位6ビットは常に0が読み出されます。

ADAnCRmHレジスタには, A/D変換結果の上位8ビットが読み出されます。

16/8ビット単位でリードのみ可能です。A/D変換結果を16ビット単位でリードする場合はADAnCRmレジスタを, 上位8ビットをリードする場合はADAnCRmHレジスタを指定します。

リセットにより不定になります。

リセット時：不定 R アドレス： ADA0CR4 FFFFFFF218H, ADA0CR5 FFFFFFF21AH, ADA0CR6 FFFFFFF21CH, ADA0CR7 FFFFFFF21EH, ADA1CR4 FFFFFFF238H, ADA1CR5 FFFFFFF23AH, ADA1CR6 FFFFFFF23CH, ADA1CR7 FFFFFFF23EH	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;"></td> <td style="width: 5%;">15</td> <td style="width: 5%;">14</td> <td style="width: 5%;">13</td> <td style="width: 5%;">12</td> <td style="width: 5%;">11</td> <td style="width: 5%;">10</td> <td style="width: 5%;">9</td> <td style="width: 5%;">8</td> <td style="width: 5%;">7</td> <td style="width: 5%;">6</td> <td style="width: 5%;">5</td> <td style="width: 5%;">4</td> <td style="width: 5%;">3</td> <td style="width: 5%;">2</td> <td style="width: 5%;">1</td> <td style="width: 5%;">0</td> </tr> <tr> <td style="vertical-align: middle;">ADAnCRm (n = 0, 1) (m = 4-7)</td> <td style="text-align: center;">ADn m9</td> <td style="text-align: center;">ADn m8</td> <td style="text-align: center;">ADn m7</td> <td style="text-align: center;">ADn m6</td> <td style="text-align: center;">ADn m5</td> <td style="text-align: center;">ADn m4</td> <td style="text-align: center;">ADn m3</td> <td style="text-align: center;">ADn m2</td> <td style="text-align: center;">ADn m1</td> <td style="text-align: center;">ADn m0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> </tr> </table>		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	ADAnCRm (n = 0, 1) (m = 4-7)	ADn m9	ADn m8	ADn m7	ADn m6	ADn m5	ADn m4	ADn m3	ADn m2	ADn m1	ADn m0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																			
ADAnCRm (n = 0, 1) (m = 4-7)	ADn m9	ADn m8	ADn m7	ADn m6	ADn m5	ADn m4	ADn m3	ADn m2	ADn m1	ADn m0	0	0	0	0	0	0																			
リセット時：不定 R アドレス： ADA0CR4H FFFFFFF219H, ADA0CR5H FFFFFFF21BH, ADA0CR6H FFFFFFF21DH, ADA0CR7H FFFFFFF21FH, ADA1CR4H FFFFFFF239H, ADA1CR5H FFFFFFF23BH, ADA1CR6H FFFFFFF23DH, ADA1CR7H FFFFFFF23FH	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;"></td> <td style="width: 5%;">7</td> <td style="width: 5%;">6</td> <td style="width: 5%;">5</td> <td style="width: 5%;">4</td> <td style="width: 5%;">3</td> <td style="width: 5%;">2</td> <td style="width: 5%;">1</td> <td style="width: 5%;">0</td> </tr> <tr> <td style="vertical-align: middle;">ADAnCRmH (n = 0, 1) (m = 4-7)</td> <td style="text-align: center;">ADnm9</td> <td style="text-align: center;">ADnm8</td> <td style="text-align: center;">ADnm7</td> <td style="text-align: center;">ADnm6</td> <td style="text-align: center;">ADnm5</td> <td style="text-align: center;">ADnm4</td> <td style="text-align: center;">ADnm3</td> <td style="text-align: center;">ADnm2</td> </tr> </table>		7	6	5	4	3	2	1	0	ADAnCRmH (n = 0, 1) (m = 4-7)	ADnm9	ADnm8	ADnm7	ADnm6	ADnm5	ADnm4	ADnm3	ADnm2																
	7	6	5	4	3	2	1	0																											
ADAnCRmH (n = 0, 1) (m = 4-7)	ADnm9	ADnm8	ADnm7	ADnm6	ADnm5	ADnm4	ADnm3	ADnm2																											

各アナログ入力端子とADAnCRm, ADAnCRmHレジスタの対応を次に示します。

表12 - 4 各アナログ入力端子とADAnCRm, ADAnCRmHレジスタの対応表 (入力レベル増幅用オペアンプ使用時)

A/Dコンバータ	アナログ入力端子	A/D変換結果レジスタ
A/Dコンバータ0	ANI00	ADA0CR4, ADA0CR4H
	ANI01	ADA0CR5, ADA0CR5H
	ANI02 ^注	ADA0CR6, ADA0CR6H
A/Dコンバータ1	ANI10	ADA1CR4, ADA1CR4H
	ANI11	ADA1CR5, ADA1CR5H
	ANI12	ADA1CR6, ADA1CR6H

注 V850E/IA4のみ

注意 ADAnCR7, ADAnCR7Hレジスタは, 4バッファ・モード (ADAnM2.ADAnBSビット = 1) 時のみ使用できます。

アナログ入力端子 (ANInm) に入力されたアナログ入力電圧とA/D変換結果 (A/Dn変換結果レジスタm (ADAnCRm)) には次式に示す関係があります。

$$SAR = INT \left(\frac{V_{IN}}{AV_{DD}} \times 1024 + 0.5 \right)$$

$$ADCR^{\#} = SAR \times 64$$

または,

$$\left(SAR - 0.5 \right) \times \frac{AV_{DD}}{1024} < V_{IN} < \left(SAR + 0.5 \right) \times \frac{AV_{DD}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{IN} : アナログ入力電圧

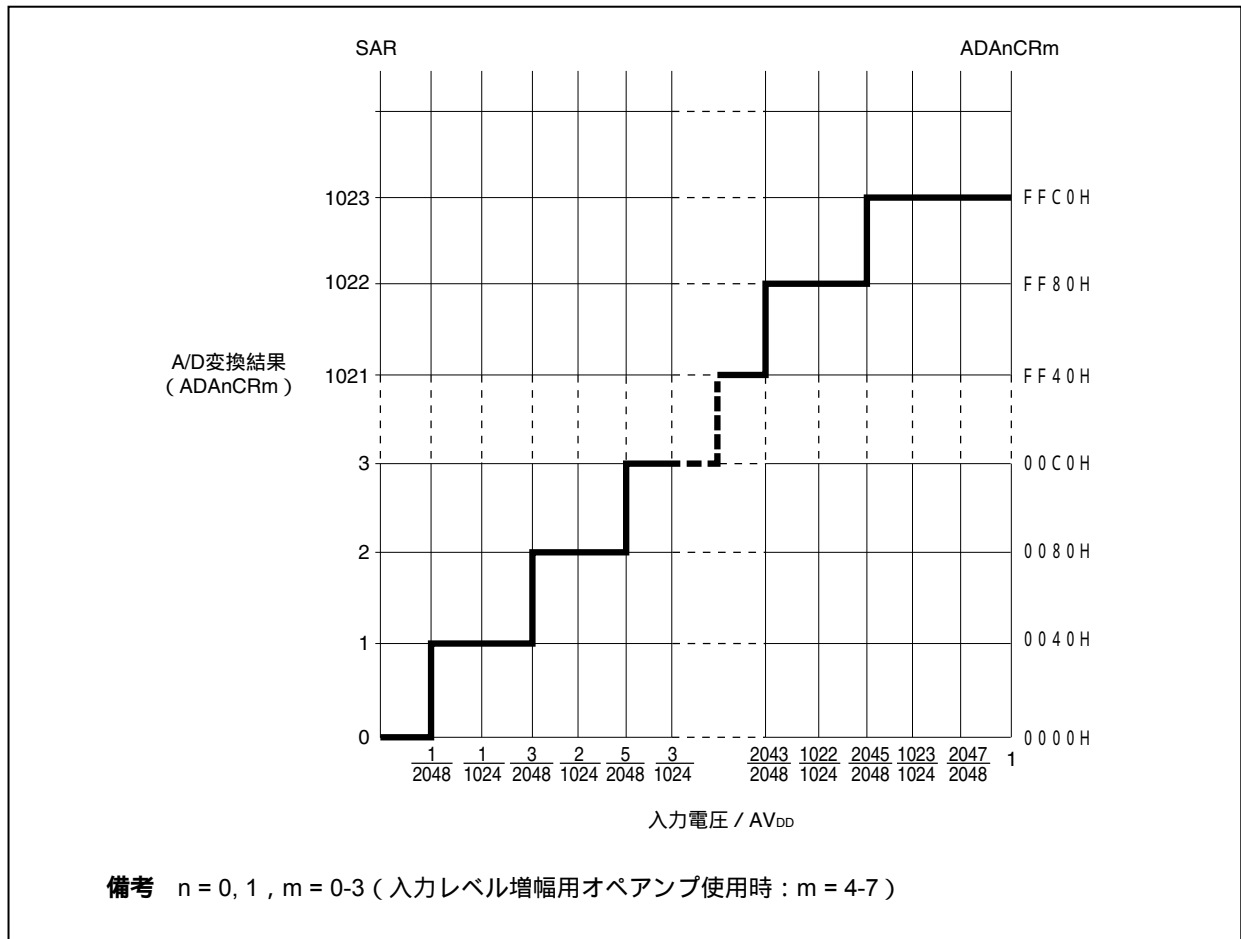
AV_{DD} : AV_{DD}端子電圧

ADCR : A/Dn変換結果レジスタm (ADAnCRm) の値

注 ADAnCRmレジスタの下位6ビットは0固定です。

次にアナログ入力電圧とA/D変換結果の関係を示します。

図12 - 4 アナログ入力電圧とA/D変換結果の関係



12.4 動作

注意1. A/Dコンバータ0, 1は、2回路同時サンプリングが可能です。

2. 入力レベル増幅用オペアンプ使用時の動作は、12.3 (3) A/Dコンバータ n チャンネル指定レジスタ (ADAnS) ($n = 0, 1$) を参照してください。

なお、アナログ入力端子とA/D変換結果レジスタの関係については、表12-4を参照してください。

12.4.1 基本動作

A/D変換は次の手順で行います。

- (1) アナログ入力端子の選択、動作モード、トリガ・モードなどを、ADAnM0, ADAnM1, ADAnM2, ADAnSレジスタで指定します[※] ($n = 0, 1$)。ADAnM1.ADAnFR0, ADAnFR1ビットの指定により、A/D変換許可直後の安定クロック数の設定が決まります。

注 A/D変換動作中にADAnM0, ADAnM2, ADAnSレジスタに書き込みを行った場合または有効なトリガが入力された場合、ADAnCRmレジスタに変換結果が正しく格納されません ($m = 0-3$)。変更前のA/D変換動作は初期化され、最初から変換動作をやり直します。

- (2) ソフトウェア・トリガ・モード時は、ADAnM0.ADAnCEビットをセット (1) すると、安定クロック数経過後、A/D変換を開始します ($n = 0, 1$)。ハードウェア・トリガ・モード (外部トリガ・モード、タイマ・トリガ・モード0, 1) 時は、ADAnCEビットをセット (1) すると、トリガ待機状態になります。詳細については、12.3 (2) A/Dコンバータ n モード・レジスタ1 (ADAnM1) ($n = 0, 1$) を参照してください。

- (3) A/D変換を開始すると選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。入力レベル増幅用オペアンプを使用する場合は、OPnCTL0.OPnGA0ビットで指定したゲイン数×入力電圧をサンプリングします。

- (4) 一定時間サンプリングを行うと、サンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

- (5) 逐次変換レジスタ (SAR) のビット9をセットし、タップ・セクタはアレイの電圧タップをリファレンス電圧 ($1/2 AV_{DD}$) にします。

- (6) アレイの電圧タップから発生した電圧と、アナログ入力電圧をコンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ($1/2 AV_{DD}$) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットしたままです。アナログ入力電圧がリファレンス電圧 ($1/2 AV_{DD}$) より小さい場合には、SARレジスタのMSBをリセットします。

(7) 次に逐次変換レジスタ (SAR) のビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、アレイの電圧タップが選択されます。

ビット9 = 0 : ($1/4 AV_{DD}$)

ビット9 = 1 : ($3/4 AV_{DD}$)

アレイの電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

アナログ入力電圧 アレイの電圧タップ : ビット8 = 1

アナログ入力電圧 アレイの電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

(8) 10ビットの比較が終了したとき、逐次変換レジスタ (SAR) には、有効なデジタル値の結果が残り、その値がA/Dn変換結果レジスタm (ADAnCRm) に転送されて変換結果を格納します (n = 0, 1, m = 0-3)。指定した回数のA/D変換が終了したとき、A/Dn変換終了割り込み要求信号 (INTADn) を発生します。

12.4.2 動作モードとトリガ・モード

A/Dコンバータ0, 1は、動作モード、トリガ・モードの指定により多彩な変換動作を指定できます。動作モード、トリガ・モードは、ADAnM0, ADAnM1, ADAnM2, ADAnSレジスタで設定します。

動作モード、トリガ・モードの関係を次に示します。

備考 n = 0, 1

トリガ・モード		動作モード		設定値			
				ADAnM0	ADAnM1	ADAnM2	ADAnS
ソフトウェア・トリガ		連続セレクト	1バッファ	X000XX0XB	000000XXB	00000000B	00000XXXB
			4バッファ	X000XX0XB	000000XXB	10000000B	00000XXXB
		連続スキャン		X001XX0XB	000000XXB	00000000B	00000XXXB
		ワンショット・セレクト	1バッファ	X010XX0XB	000000XXB	00000000B	00000XXXB
			4バッファ	X010XX0XB	000000XXB	10000000B	00000XXXB
		ワンショット・スキャン		X011XX0XB	000000XXB	00000000B	00000XXXB
ハードウェア・トリガ	外部トリガ	連続セレクト	1バッファ ^{注1}	X000XX1XB	000000XXB	00000000B	00000XXXB
			4バッファ ^{注2}	X000XX1XB	000000XXB	10000000B	00000XXXB
		連続スキャン ^{注3}		X001XX1XB	000000XXB	00000000B	00000XXXB
		ワンショット・セレクト	1バッファ ^{注1}	X010XX1XB	000000XXB	00000000B	00000XXXB
			4バッファ ^{注2}	X010XX1XB	000000XXB	10000000B	00000XXXB
		ワンショット・スキャン ^{注3}		X011XX1XB	000000XXB	00000000B	00000XXXB
	タイム・トリガ0	連続セレクト	1バッファ ^{注1}	X000XX1XB	000000XXB	00000001B	00000XXXB
			4バッファ ^{注2}	X000XX1XB	000000XXB	10000001B	00000XXXB
		連続スキャン ^{注3}		X001XX1XB	000000XXB	00000001B	00000XXXB
		ワンショット・セレクト	1バッファ ^{注1}	X010XX1XB	000000XXB	00000001B	00000XXXB
			4バッファ ^{注2}	X010XX1XB	000000XXB	10000001B	00000XXXB
		ワンショット・スキャン ^{注3}		X011XX1XB	000000XXB	00000001B	00000XXXB
	タイム・トリガ1	連続セレクト	1バッファ ^{注1}	X000XX1XB	000000XXB	00000010B	00000XXXB
			4バッファ ^{注2}	X000XX1XB	000000XXB	10000010B	00000XXXB
		連続スキャン ^{注3}		X001XX1XB	000000XXB	00000010B	00000XXXB
		ワンショット・セレクト	1バッファ ^{注1}	X010XX1XB	000000XXB	00000010B	00000XXXB
			4バッファ ^{注2}	X010XX1XB	000000XXB	10000010B	00000XXXB
		ワンショット・スキャン ^{注3}		X011XX1XB	000000XXB	00000010B	00000XXXB

- 注1. トリガ以外は同じ動作を行います。
- 2. トリガ以外は同じ動作を行います。
- 3. トリガ以外は同じ動作を行います。

(1) トリガ・モード

A/D変換動作の開始タイミングとなるトリガ・モードには、ソフトウェア・トリガ・モード、ハードウェア・トリガ・モードがあります。ハードウェア・トリガ・モードには、外部トリガ・モード、タイマ・トリガ・モード0、タイマ・トリガ・モード1の3通りがあります。

これらのトリガ・モードは、ADAnM0, ADAnM2レジスタで設定します。

備考 n = 0, 1

(a) ソフトウェア・トリガ・モード

ANIn0-ANIn3端子（V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみ）のうちADAnS.ADAnS2-ADAnS0ビットで指定されたアナログ入力端子について、ADAnM0.ADAnCEビットをセット（1）することでA/D変換開始タイミングとして使用するモードです。

A/D変換終了後、変換結果は、A/Dn変換結果レジスタm（ADAnCRm）に格納し、同時にA/Dn変換終了割り込み要求信号（INTADn）を発生します。

ADAnM0.ADAnMD1, ADAnMD0ビットで設定された動作モードが、連続セレクト・モードおよび連続スキャン・モードの場合には、A/D変換終了後はADAnM0.ADAnCEビットを0にしないかぎり再度変換動作を繰り返し行います。動作モードがワンショット・セレクト・モードおよびワンショット・スキャン・モードの場合には、A/D変換終了後は変換動作を停止します。

A/D変換が開始されると、ADAnM0.ADAnEFビット = 1（変換動作中）となります。

また、A/D変換動作中にADAnM0, ADAnM2, ADAnSレジスタに書き込みを行った場合には、A/D変換は中断され、再度最初から変換を行います。

備考 n = 0, 1

m = 0-3

(b) タイマ・トリガ・モード0, 1

ANIn0-ANIn3端子 (V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみ)のうちADAnS.ADAnS2-ADAnS0ビットで指定されたアナログ入力端子について、タイマ(モータ制御機能)をA/D変換開始タイミングとして使用するモードです。

A/Dコンバータnのタイマ・トリガ信号は、タイマ(モータ制御機能)のタイマ割り込み要求信号(TQTADTa0, TQTADTa1)です。TQTADTa0, TQTADTa1信号は、A/DコンバータnのTTRG0a, TTRG1a信号と接続されています(図12-3参照)。

- ・A/Dコンバータ0のタイマ・トリガ
 - タイマ・トリガ・モード0のとき : TQTADT00
 - タイマ・トリガ・モード1のとき : TQTADT10
- ・A/Dコンバータ1のタイマ・トリガ (V850E/IA4のみ)
 - タイマ・トリガ・モード0のとき : TQTADT01
 - タイマ・トリガ・モード1のとき : TQTADT11

TQTADTa0, TQTADTa1信号は、TMQaオプション・レジスタ2 (TQaOPT2)のTQaAT00-TQaAT03ビット, TMQaオプション・レジスタ3 (TQaOPT3)のTQaAT10-TQaAT13ビットで設定します。タイマ・トリガ信号に選択できるモータ制御機能の割り込み要求信号は、INTTPaCC0, INTTPaCC1, INTTQaCC0, INTTQaOV信号となります(複数選択できます)。

ADAnM2.ADAnTMD1, ADAnTMD0ビットを01または10に設定することにより、モータ制御機能で設定したタイマ割り込み要求信号(TQTADTa0, TQTADTa1)の立ち上がりエッジでA/D変換を開始します。

ADAnM0.ADAnCEビットをセット(1)することで、トリガ待機状態となり、タイマ割り込み要求信号が入力されるとA/D変換を開始します。

A/D変換終了後、変換結果は、A/Dn変換結果レジスタm (ADAnCRm)に格納し、同時にA/Dn変換終了割り込み要求信号(INTADn)を発生します。

ADAnM0.ADAnMD1, ADAnMD0ビットで設定された動作モードが、連続セレクト・モードおよび連続スキャン・モードの場合には、A/D変換終了後はADAnM0.ADAnCEビットを0にしないかぎり次のタイマ割り込み要求信号をトリガとして再度変換動作を繰り返し行います。動作モードがワンショット・セレクト・モードおよびワンショット・スキャン・モードの場合には、トリガ待機状態になります。

A/D変換が開始されると、ADAnM0.ADAnEFビット=1(変換動作中)となります。ただし、トリガ待機状態時にはADAnEFビット=0(変換停止中)となります。

また、A/D変換動作中に有効なトリガが入力された場合には、変換は中断され、再度最初から変換を行います。A/D変換動作中にADAnM0, ADAnM2, ADAnSレジスタに書き込みを行った場合には、A/D変換は中断され、再度トリガ待機状態になります。

注意 タイマ・トリガ・モード0, 1では、タイマ割り込み要求信号(A/D変換開始タイミング)の発生間隔がADAnM1.ADAnFR1, ADAnFR0ビットで設定できる最小の変換クロック数よりも短くならないように注意してください。最小の変換クロック数よりも短い間隔で割り込み要求信号が発生した場合は、最後のトリガが有効となります。

備考 n = 0, 1

m = 0-3

(c) 外部トリガ・モード

ANIn0-ANIn3 端子（V850E/IA3 の A/D コンバータ0 の場合は ANI00, ANI01 端子のみ）のうち ADAnS.ADAnS2-ADAnS0 ビットで指定されたアナログ入力端子について、ADTRGn 端子を A/D 変換開始タイミングとして使用するモードです。

ADTRG0 端子は P04/INTP4 端子と、ADTRG1 端子は P05/INTP5 端子と兼用になっています。外部トリガ・モードにするには、ポート・モード・コントロール・レジスタ0（PMC0）の PMC04, PMC05 ビットを 1 に、ADAnM2.ADAnTMD1, ADAnTMD0 ビットを 00 にしてください。

外部トリガ・モード時の外部入力信号の有効エッジは、ADAnM0.ADAnETS1, ADAnETS0 ビットの設定により、立ち上がりエッジ、立ち下がりエッジ、立ち上がり / 立ち下がり両エッジのどれかに指定できます。

ADAnM0.ADAnCE ビットをセット（1）することで、トリガ待機状態となり、ADTRGn 端子からトリガが入力されると A/D 変換を開始します。

A/D 変換終了後、変換結果は、A/Dn 変換結果レジスタ m（ADAnCRm）に格納し、同時に A/Dn 変換終了割り込み要求信号（INTADn）を発生します。

ADAnM0.ADAnMD1, ADAnMD0 ビットで設定された動作モードが、連続セレクト・モードおよび連続スキャン・モードの場合には、A/D 変換終了後は ADAnM0.ADAnCE ビットを 0 にしないかぎり次の ADTRGn 信号をトリガとして再度変換動作を繰り返し行います。動作モードがワンショット・セレクト・モードおよびワンショット・スキャン・モードの場合には、トリガ待機状態になります。

A/D 変換が開始されると、ADAnM0.ADAnEF ビット = 1（変換動作中）となります。ただし、トリガ待機状態時には ADAnEF ビット = 0（変換停止中）となります。

また、A/D 変換動作中に有効なトリガが入力された場合には、変換は中断され、再度最初から変換を行います。A/D 変換動作中に ADAnM0, ADAnM2, ADAnS レジスタに書き込みを行った場合には、A/D 変換は中断され、再度トリガ待機状態になります。

注意 外部トリガ・モードでは、ADTRGn 信号（A/D 変換開始タイミング）の発生間隔が ADAnM1.ADAnFR1, ADAnFR0 ビットで設定できる最小の変換クロック数よりも短くならないように注意してください。最小の変換クロック数よりも短い間隔で ADTRGn 信号が発生した場合は、最後のトリガが有効となります。

備考 n = 0, 1
m = 0-3

(2) 動作モード

動作モードには、ANIn0-ANIn3端子（V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみ）を設定するモードとして、連続セレクト・モード、連続スキャン・モード、ワンショット・セレクト・モード、ワンショット・スキャン・モードの4通りがあります。連続セレクト・モード、ワンショット・セレクト・モードには、サブモードとして、1バッファ・モードと4バッファ・モードがあります。これらの動作モードは、ADAnM0, ADAnM2レジスタで設定します。

備考 n = 0, 1

(a) 連続セレクト・モード

ADAnSレジスタで指定される1つのアナログ入力端子（ANInm）^注のA/D変換を連続で行います。変換結果は、ANInm端子^注に対応したA/Dn変換結果レジスタm（ADAnCRm）に格納します。このモードでは、A/D変換結果の格納方法として、1バッファ・モードと4バッファ・モードを備えています。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

・1バッファ・モード

ADAnSレジスタで指定される1つのアナログ入力端子（ANInm）^注の電圧をA/D変換します。変換結果は、ANInm端子^注に対応したADAnCRmレジスタに格納します。ANInm端子^注とADAnCRmレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号（INTADn）が発生します。

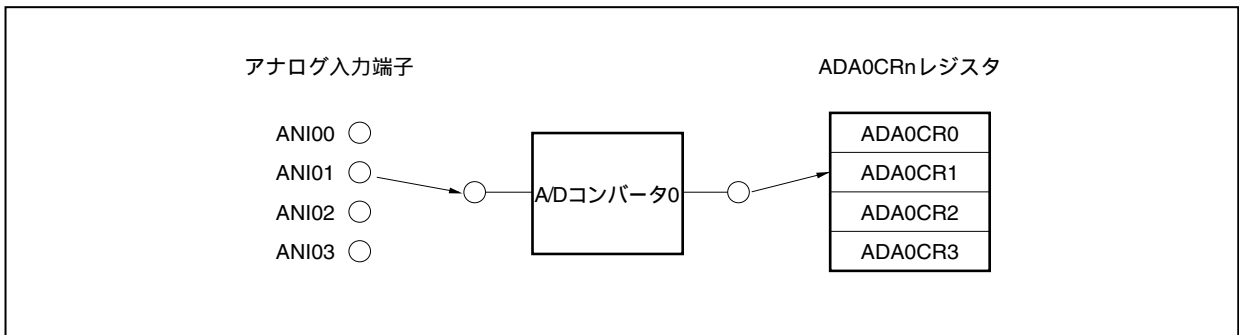
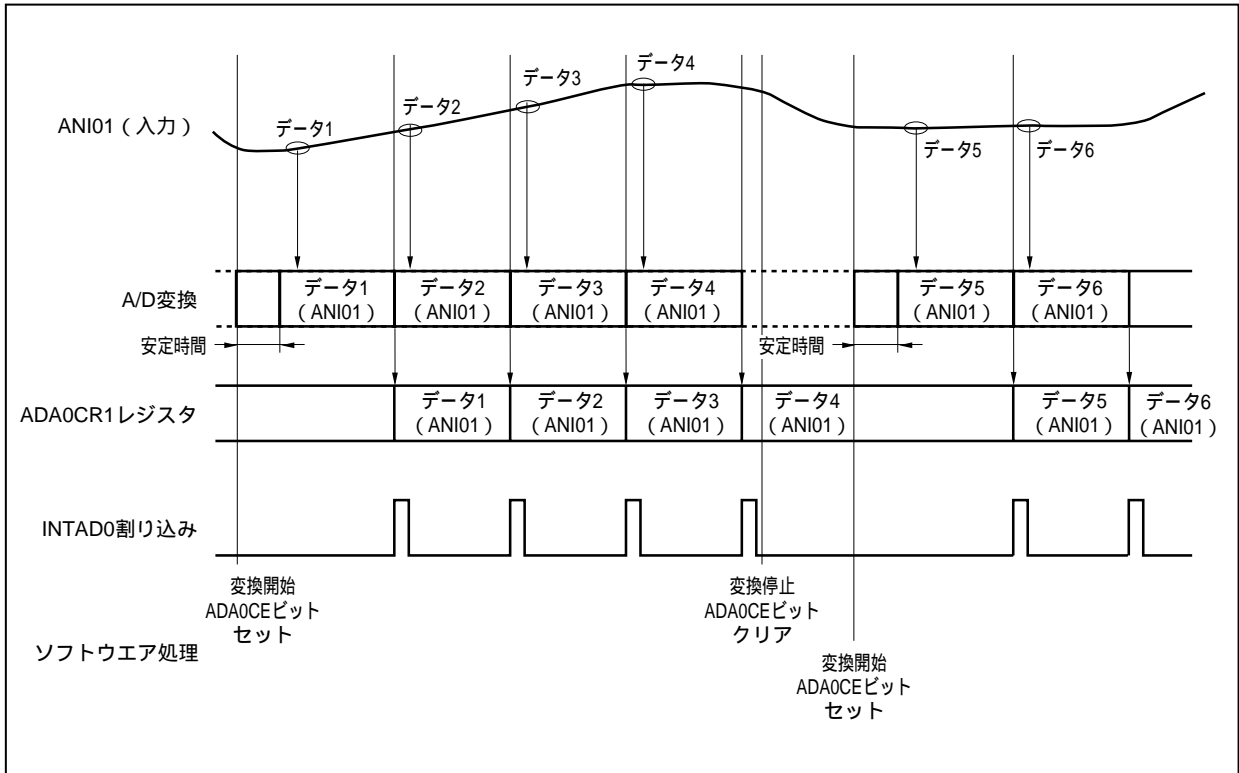
A/D変換終了後は、ADAnM0.ADAnCEビットを0にしないかぎり次の変換を繰り返し行います。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1

m = 0-3

図12 - 5 連続セレクト1バッファ・モードの動作タイミング例 (ADA0M0.ADA0MD1, ADA0MD0ビット = 00, ADA0M2.ADA0BSビット = 0, ADA0S.ADA0S2-ADA0S0ビット = 001のとき) : V850E/IA4の場合



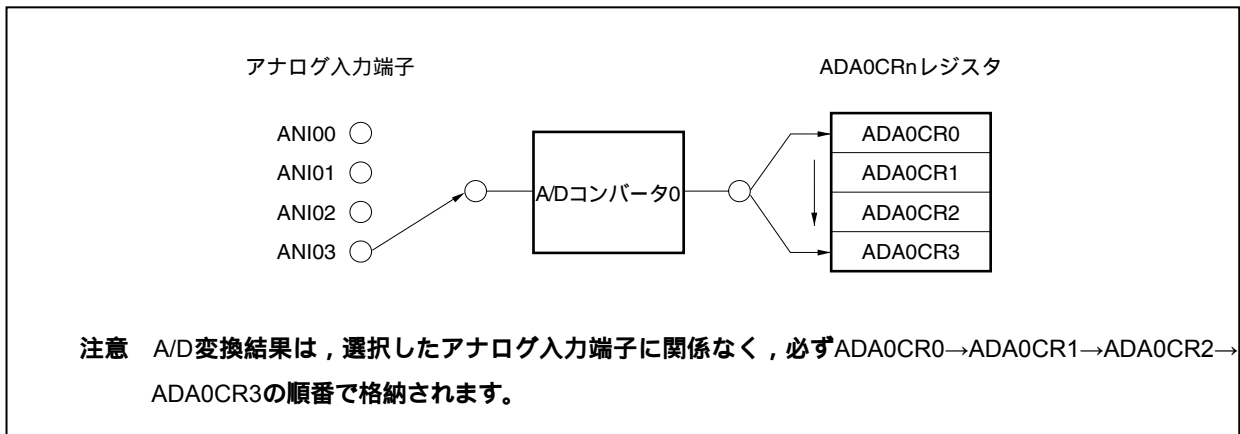
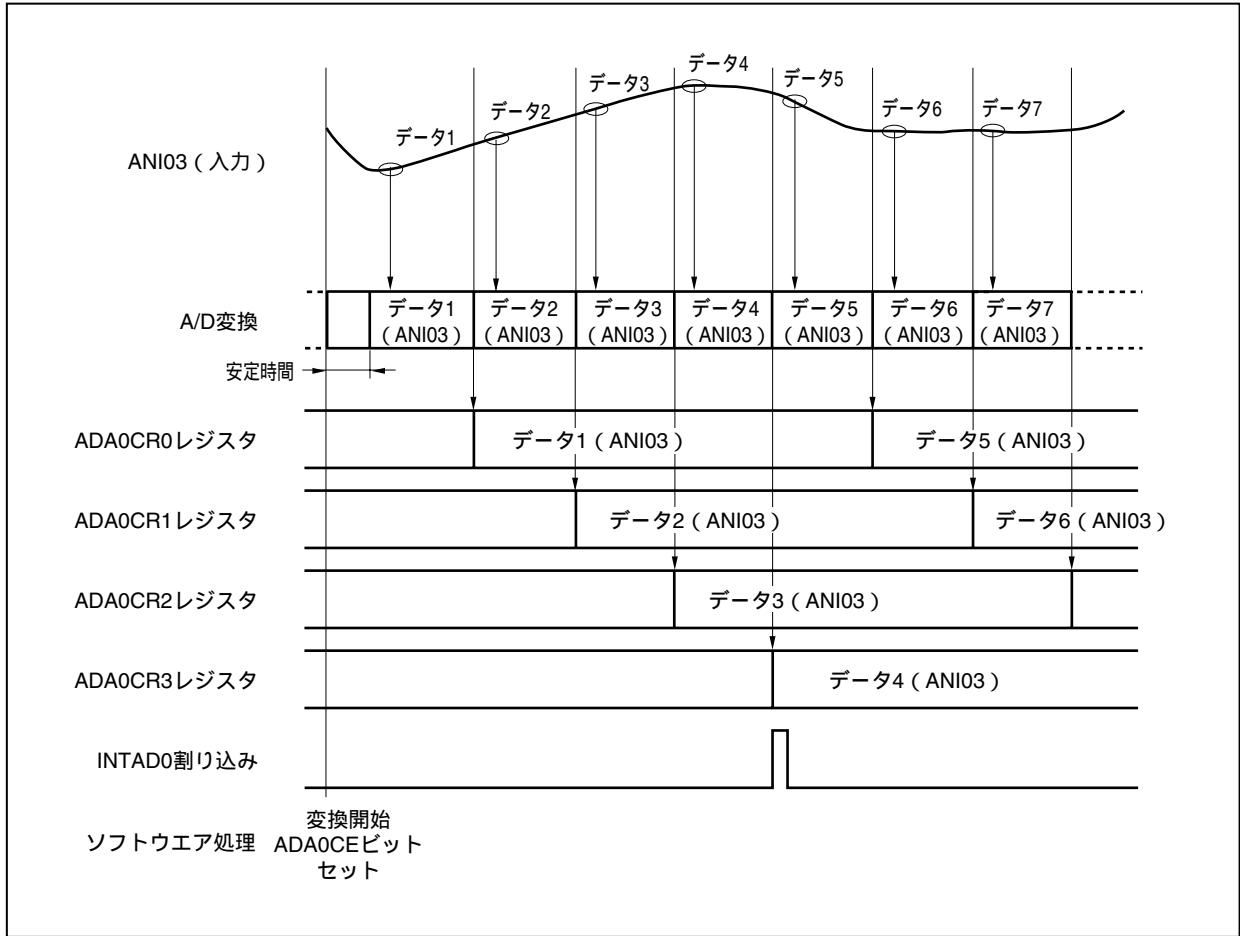
・4バッファ・モード

1つのアナログ入力端子 (ANInm)^注の電圧を4回A/D変換し、その結果をADAnCRmレジスタに格納します。A/Dn変換終了割り込み要求信号 (INTADn) は、4回のA/D変換が終了したときに発生します。A/D変換終了後は、ADAnM0.ADAnCEビットを0にしないかぎり再度1回目から変換を開始します。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1, m = 0-3

図12 - 6 連続セレクト4バッファ・モードの動作タイミング例 (ADA0M0.ADA0MD1, ADA0MD0ビット = 00, ADA0M2.ADA0BSビット = 1, ADA0S.ADA0S2-ADA0S0ビット = 011のとき) : V850E/IA4の場合



(b) 連続スキャン・モード

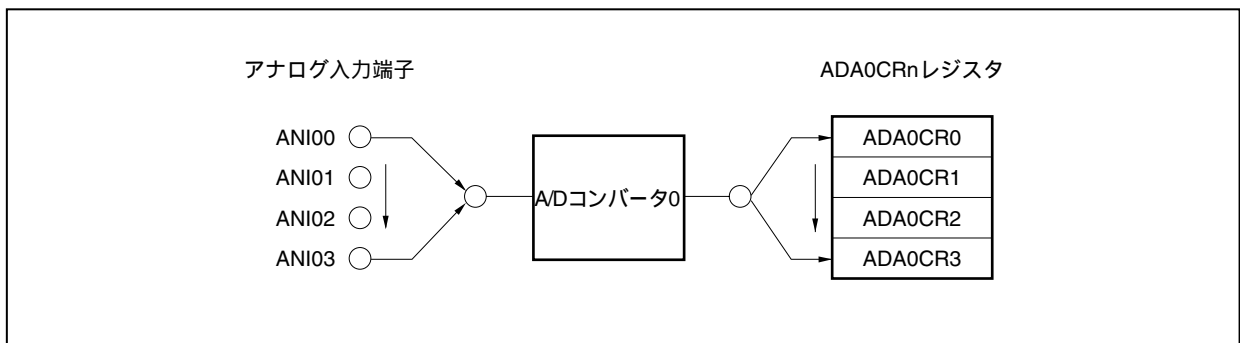
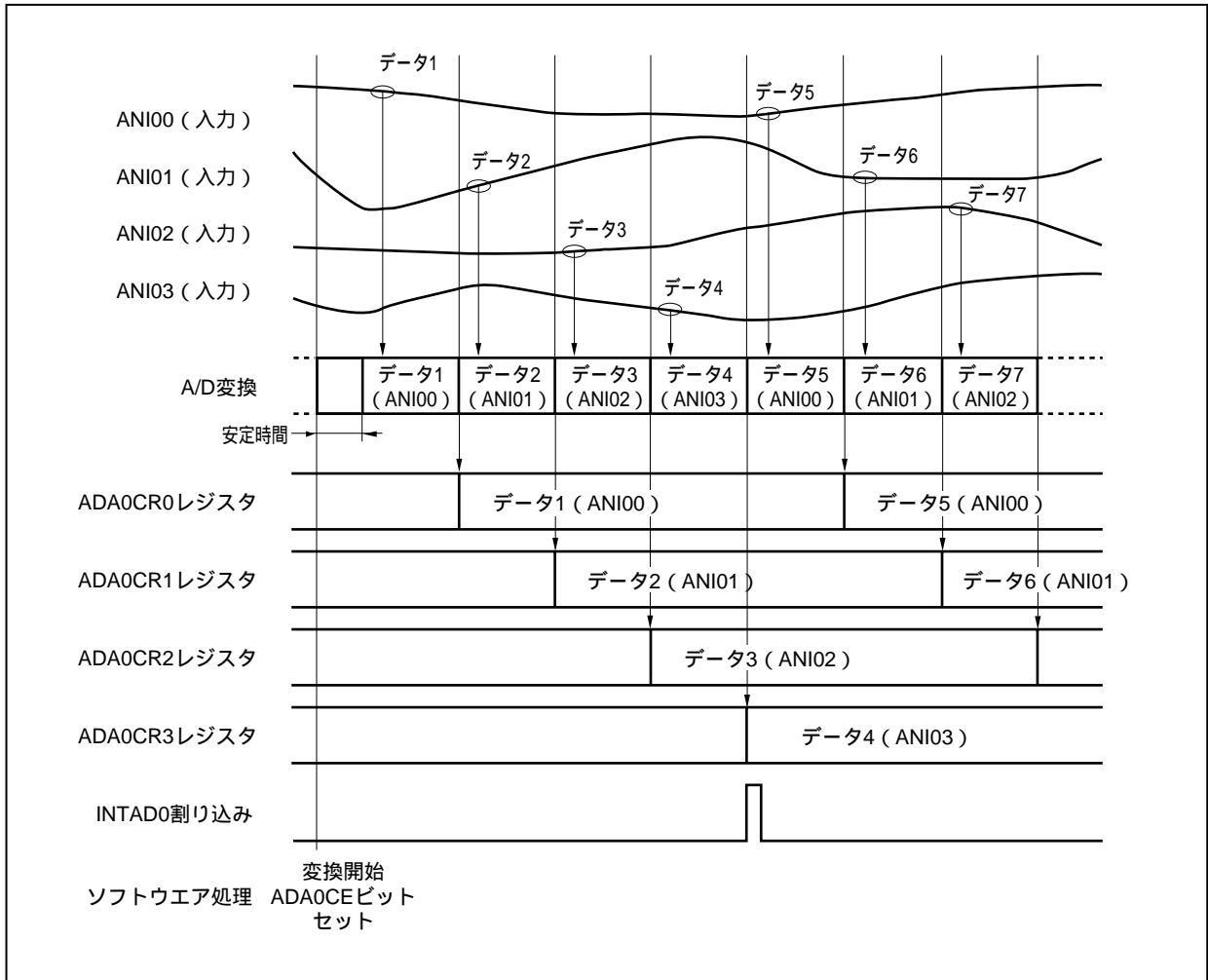
ANIn0端子から, ADAnSレジスタで指定したアナログ入力端子 (ANInm)^注までを順に選択し, A/D変換を連続で行います。A/D変換結果は, アナログ入力端子^注に対応したADAnCRmレジスタに格納します。指定したアナログ入力端子^注の変換が終了するとA/Dn変換終了割り込み要求信号 (INTADn) が発生します。A/D変換終了後は, ADAnM0.ADAnCEビットを0にしないかぎり再度ANIn0端子から変換を開始します。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1, m = 0-3

図12-7 連続スキャン・モードの動作タイミング例

(ADA0M0.ADA0MD1, ADA0MD0ビット = 01, ADA0S.ADA0S2-ADA0S0ビット = 0111のとき) : V850E/IA4の場合



(c) ワンショット・セレクト・モード

ADAnSレジスタで指定される1つのアナログ入力端子 (ANInm)^注のA/D変換を1回のみ行います。変換結果は、ANInm端子^注に対応したA/Dn変換結果レジスタm (ADAnCRm) に格納します。このモードでは、A/D変換結果の格納方法として、1バッファ・モードと4バッファ・モードを備えています。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

・1バッファ・モード

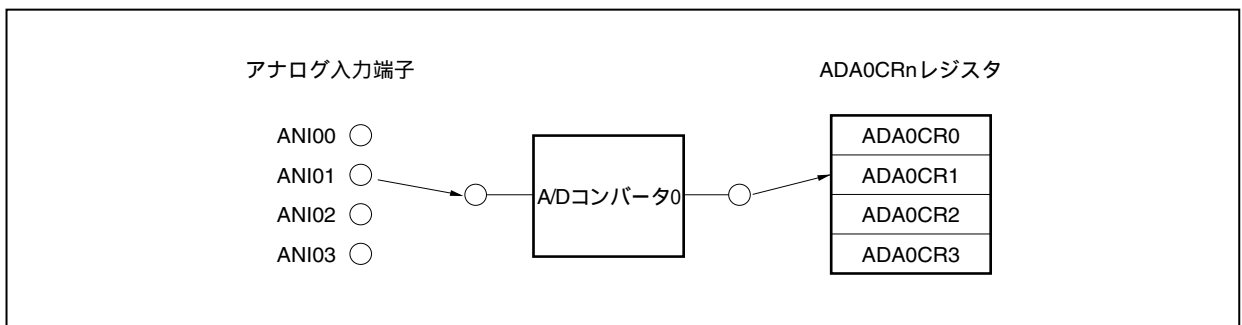
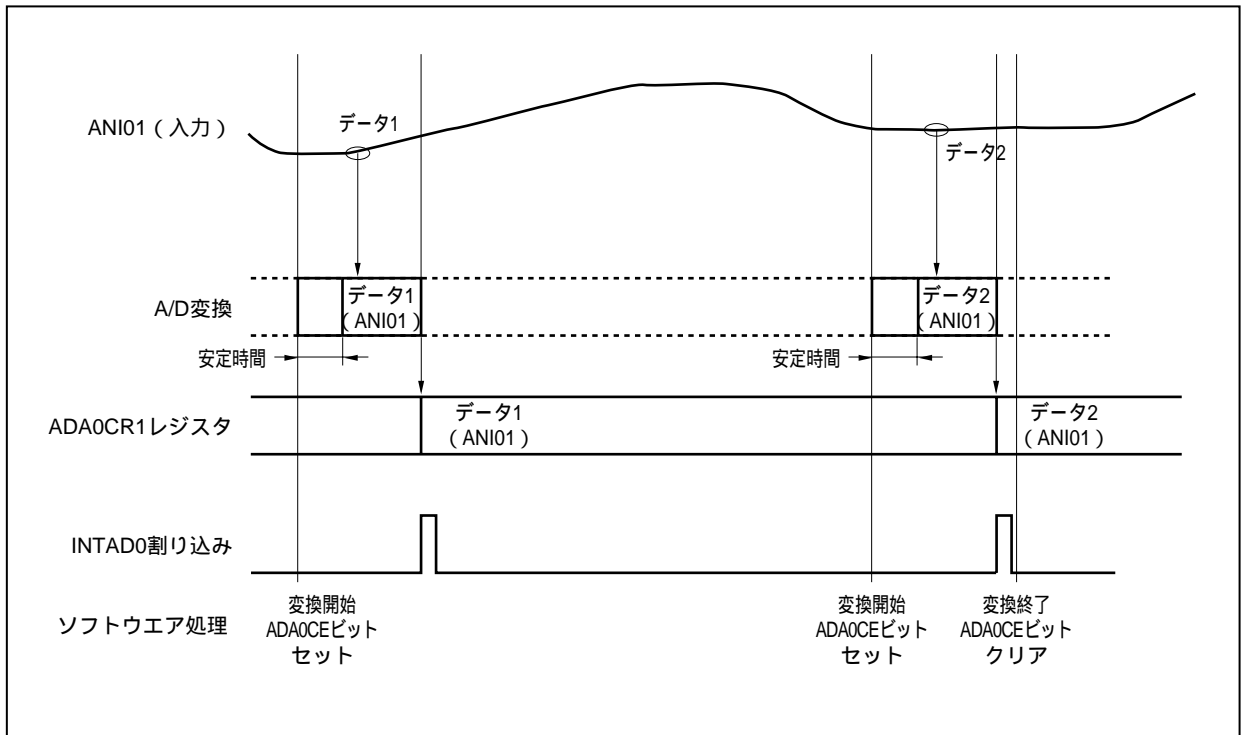
ADAnSレジスタで指定される1つのアナログ入力端子 (ANInm)^注の電圧をA/D変換します。変換結果は、ANInm端子^注に対応したADAnCRmレジスタに格納します。ANInm端子^注とADAnCRmレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号 (INTADn) が発生します。

A/D変換終了後は、変換動作を停止します。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1 , m = 0-3

図12 - 8 ワンショット・セレクト1バッファ・モードの動作タイミング例 (ADA0M0.ADA0MD1, ADA0MD0ビット = 10, ADA0M2.ADA0BSビット = 0, ADA0S.ADA0S2-ADA0S0ビット = 001のとき) : V850E/IA4の場合



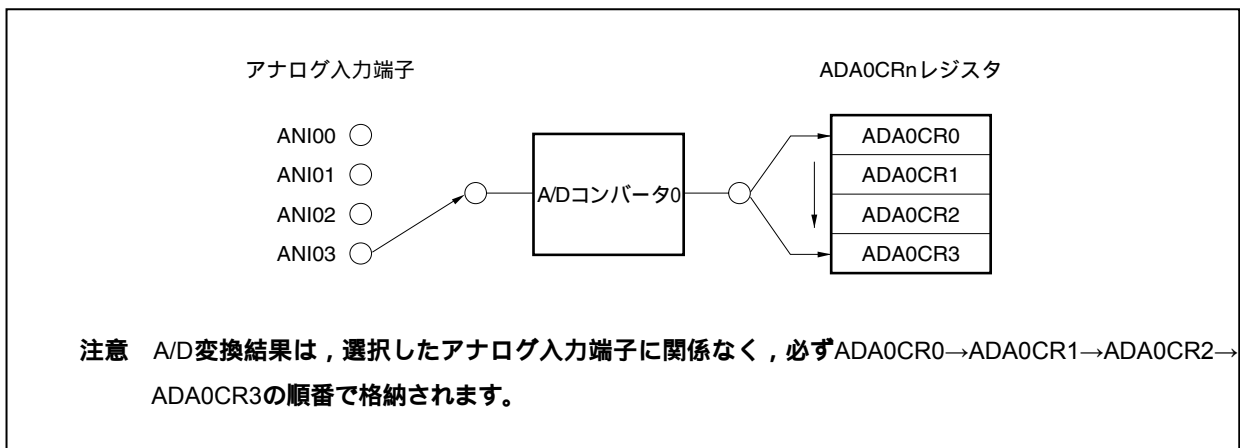
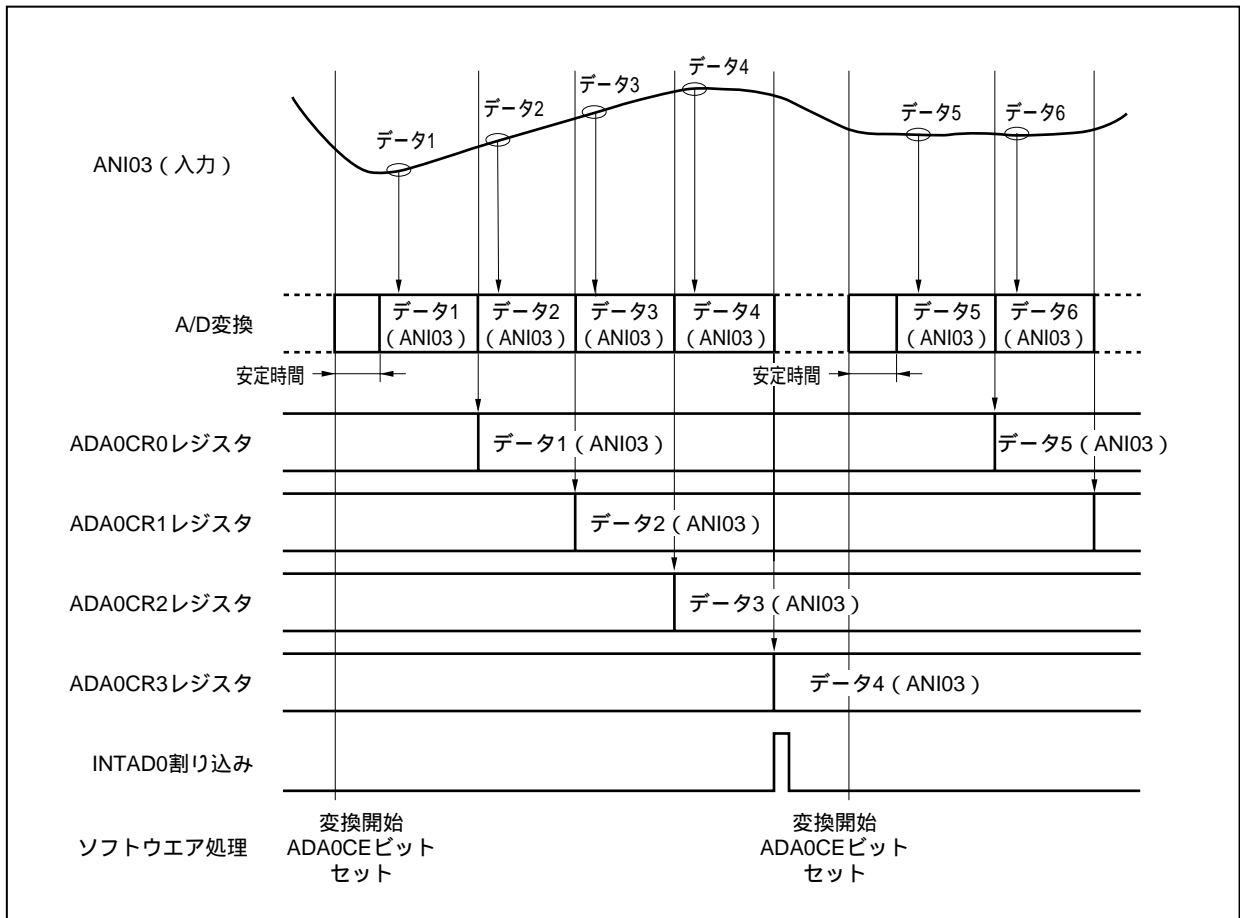
・4バッファ・モード

1つのアナログ入力端子 (ANInm) ^注の電圧を4回A/D変換し、その結果をADAnCRmレジスタに格納します。A/Dn変換終了割り込み要求信号 (INTADn) は、4回のA/D変換が終了したときに発生します。A/D変換終了後は、変換動作を停止します。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1, m = 0-3

図12 - 9 ワンショット・セレクト4バッファ・モードの動作タイミング例 (ADA0M0.ADA0MD1, ADA0MD0ビット = 10, ADA0M2.ADA0BSビット = 1, ADA0S.ADA0S2-ADA0S0ビット = 011のとき) : V850E/IA4の場合



(d) ワンショット・スキャン・モード

ANIn0端子から, ADAnSレジスタで指定したアナログ入力端子 (ANInm)[※]までを順に選択し, A/D変換を行います。A/D変換結果は, アナログ入力端子[※]に対応したADAnCRmレジスタに格納します。指定したアナログ入力端子[※]の変換が終了するとA/Dn変換終了割り込み要求信号 (INTADn) が発生します。A/D変換終了後は, 変換動作を停止します。

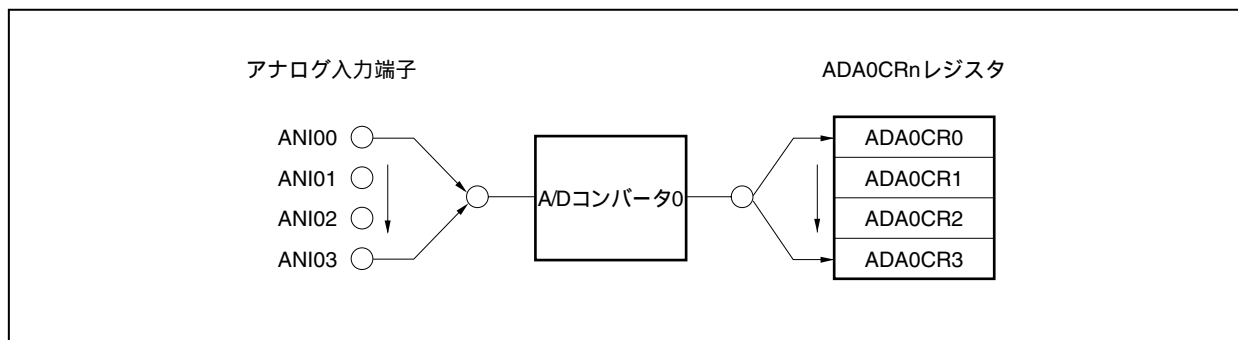
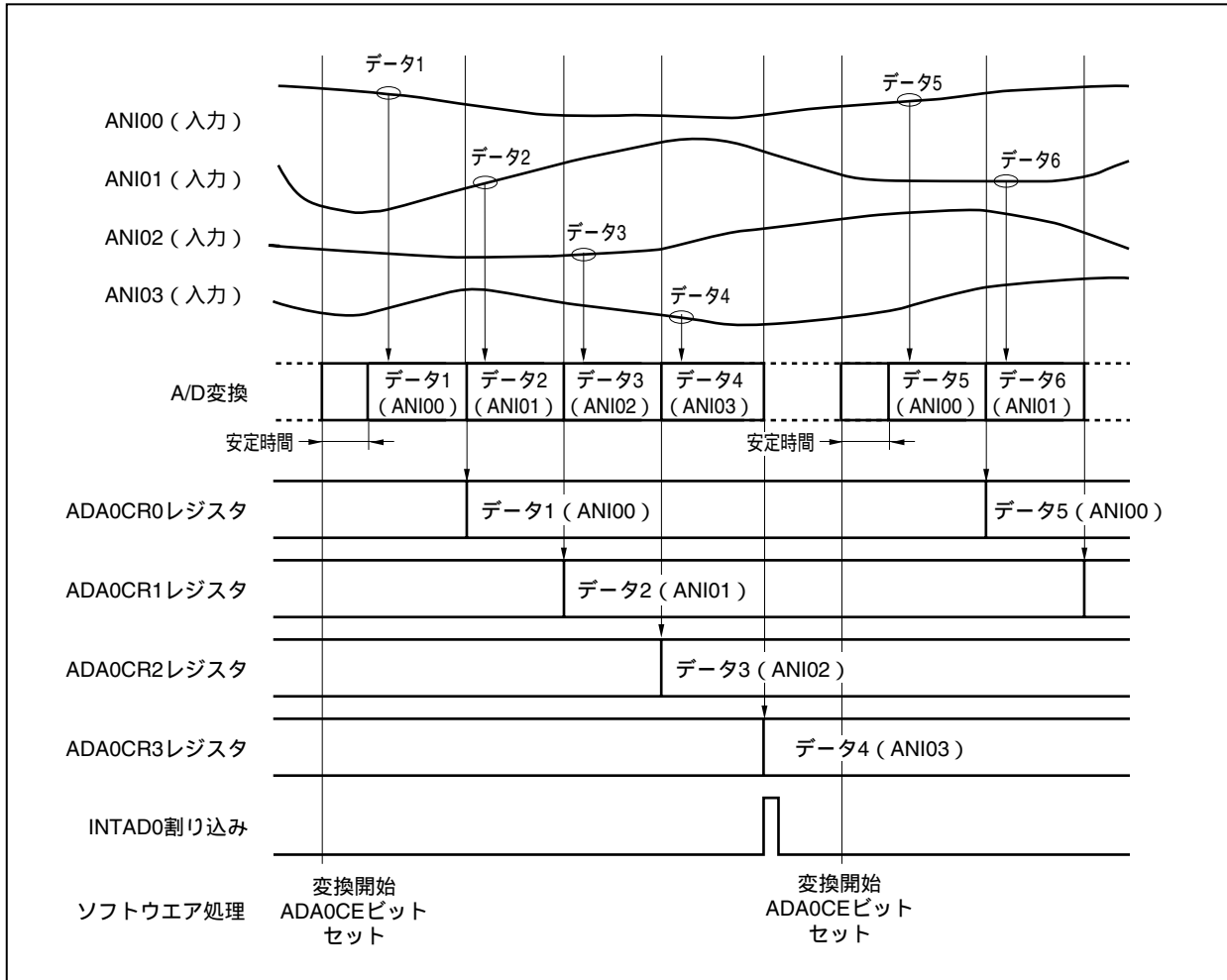
注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1

m = 0-3

図12 - 10 ワンショット・スキャン・モードの動作タイミング例

(ADA0M0.ADA0MD1, ADA0MD0ビット = 11, ADA0S.ADA0S2-ADA0S0ビット = 0111のとき) : V850E/IA4の場合



12.5 ソフトウェア・トリガ・モード時の動作

ADAnM0.ADAnCEビットをセット(1)すると、A/D変換を開始します。

A/D変換が開始されると、ADAnM0.ADAnEFビット = 1 (変換動作中) となります。

また、A/D変換動作中にADAnM0, ADAnM2, ADAnSレジスタに書き込みを行った場合には、A/D変換は中断され、再度最初から変換を行います。

備考 n = 0, 1

12.5.1 連続セレクト・モードの動作

ADAnSレジスタで指定される1つのアナログ入力端子(ANInm)^注のA/D変換を連続で行います。変換結果は、ADAnCRmレジスタに格納します。連続セレクト・モードでは、A/D変換結果の格納方法により、1バッファ・モードと4バッファ・モードをサポートしています。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1

m = 0-3

(1) 1バッファ・モード (ソフトウェア・トリガ連続セレクト1バッファ)

1つのアナログ入力端子 (ANInm)^{注1}の電圧を1回A/D変換し、その結果を1つのADAnCRmレジスタに格納します。ANInm端子^{注1}とADAnCRmレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号 (INTADn)を発生します。A/D変換終了後は、ADAnM0.ADAnCEビットを0にしないかぎり再度変換を繰り返します。

A/D変換の再起動動作として、ADAnM0.ADAnCEビットをセット (1) する必要がありません^{注2}。

注1. V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

2. ソフトウェア・トリガ連続セレクト1バッファ・モードでは、ADAnM0.ADAnCEビットを0にしないかぎりA/D変換動作を停止しないため、次のA/D変換終了までにADAnCRmレジスタを読み出さないと、上書きされます。

1つのアナログ入力端子のA/D変換値を読み出すような応用に最適です。

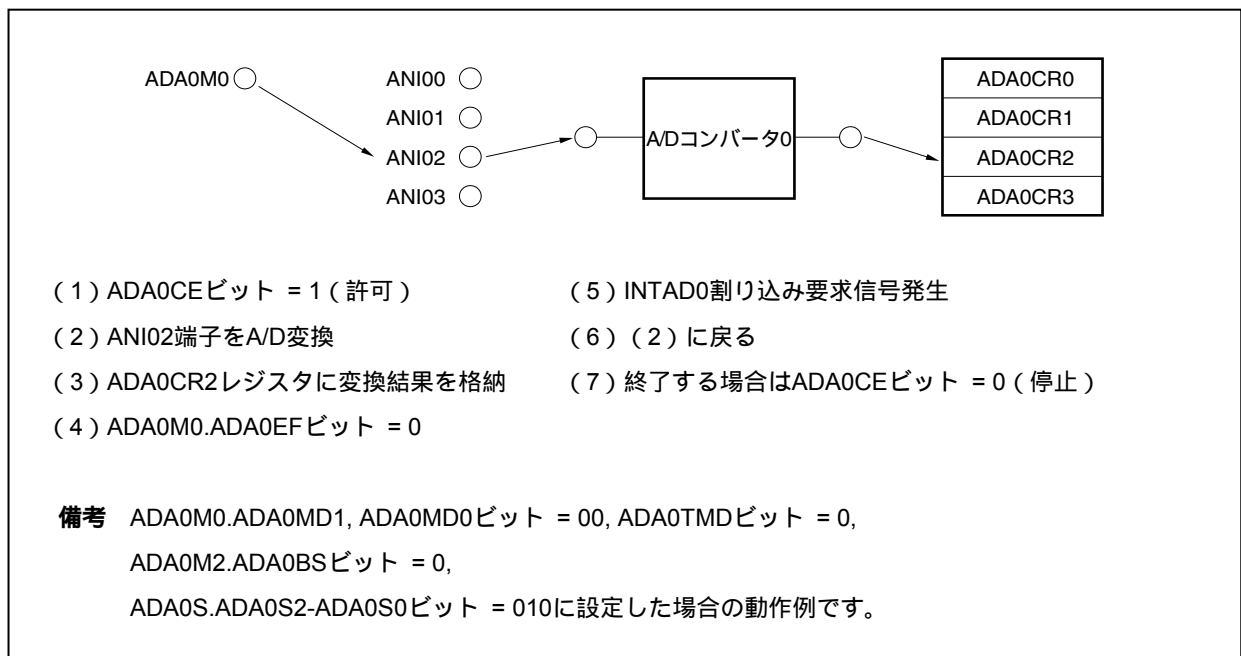
アナログ入力端子	A/D変換結果レジスタ
ANInm ^注	ADAnCRm

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1

m = 0-3

図12 - 11 1バッファ・モード (ソフトウェア・トリガ連続セレクト1バッファ) の動作例 : V850E/IA4の場合



(2) 4バッファ・モード (ソフトウェア・トリガ連続セレクト4バッファ)

1つのアナログ入力端子 (ANInm)^{注1}の電圧を4回A/D変換し、その結果をADAnCRmレジスタに格納します。

4回のA/D変換が終了すると、A/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は、ADAnM0.ADAnCEビットを0にしないかぎり再度1回目から変換を開始します。

A/D変換の再起動動作として、ADAnM0.ADAnCEビットをセット (1) する必要がありません^{注2}。

注1. V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

2. ソフトウェア・トリガ連続セレクト4バッファ・モードでは、ADAnM0.ADAnCEビットを0にしないかぎりA/D変換動作を停止しないため、次のA/D変換終了までにADAnCRmレジスタを読み出さないと、上書きされます。

1つのアナログ入力端子のA/D変換結果の平均を求めるような応用に最適です。

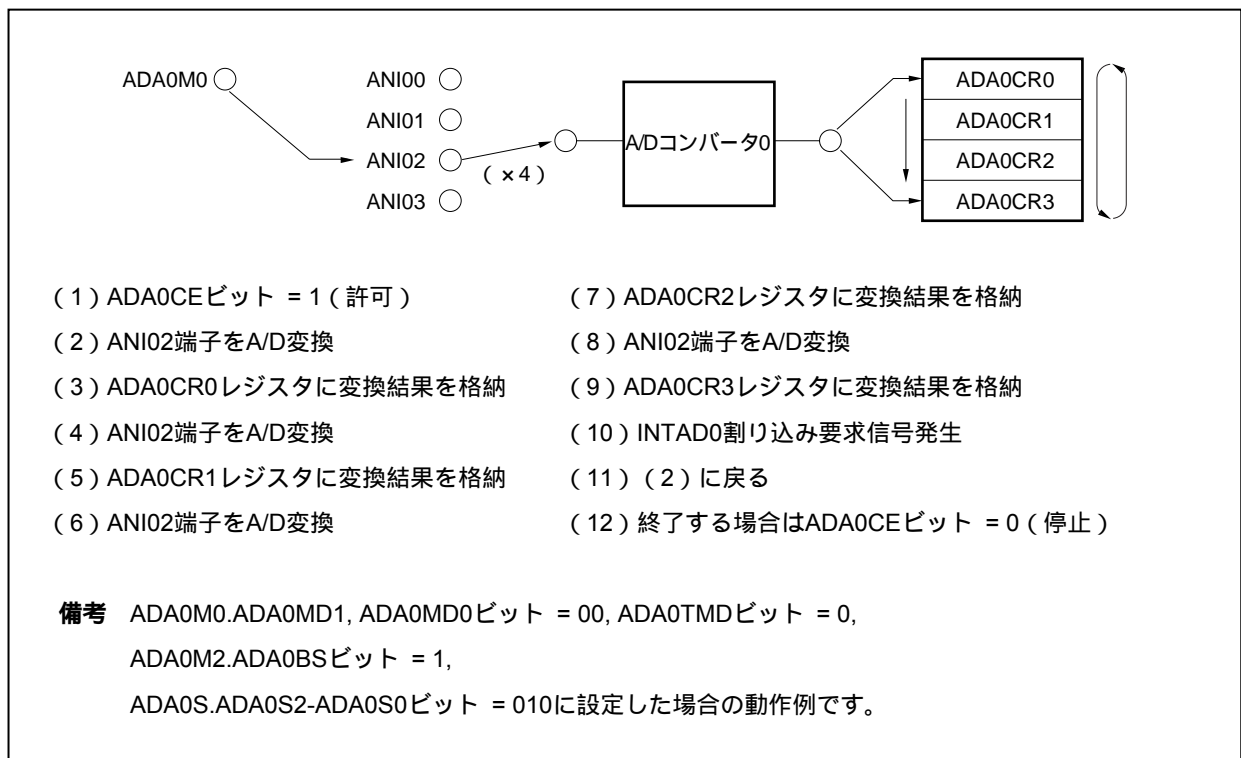
アナログ入力端子	A/D変換結果レジスタ
ANInm ^注	ADAnCR0
ANInm ^注	ADAnCR1
ANInm ^注	ADAnCR2
ANInm ^注	ADAnCR3

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1

m = 0-3

図12 - 12 4バッファ・モード (ソフトウェア・トリガ連続セレクト4バッファ) の動作例 : V850E/IA4の場合



12.5.2 連続スキャン・モードの動作

ANIn0端子からADAnSレジスタで指定されるアナログ入力端子 (ANInm)^{注1}までを順に選択し、A/D変換を連続で行います。A/D変換結果をアナログ入力端子に対応したADAnCRmレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると、A/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は、ADAnM0.ADAnCEビットを0にしないかぎり再度ANIn0端子から変換を開始します。

A/D変換の再起動動作として、ADAnM0.ADAnCEビットをセット (1) する必要がありません^{注2}。

連続スキャン・モードでは、1バッファ・モードのみサポートします。

注1. V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

- ソフトウェア・トリガ連続スキャン・モードでは、ADAnM0.ADAnCEビットを0にしないかぎりA/D変換動作を停止しないため、次のA/D変換終了までにADAnCRmレジスタを読み出さないと、上書きされます。

複数のアナログ入力を常時監視するような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANIn0	ADAnCR0
ANInm ^注	ADAnCRm

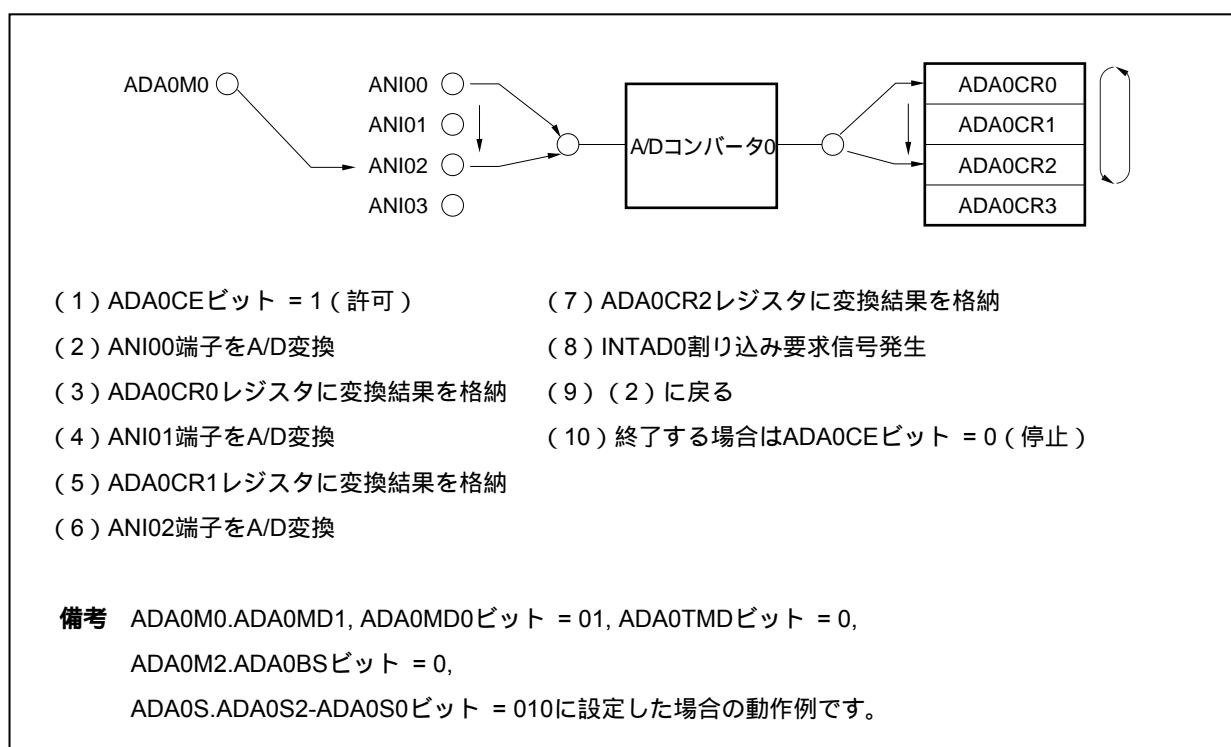
注 ADAnS.ADAnS0-ADAnS2ビットで設定

ただし、V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1

m = 0-3

図12 - 13 連続スキャン・モード (ソフトウェア・トリガ連続スキャン) の動作例 : V850E/IA4の場合



12.5.3 ワンショット・セレクト・モードの動作

ADAnSレジスタで指定される1つのアナログ入力端子 (ANInm)^注のA/D変換を行います。変換結果は、ADAnCRmレジスタに格納します。ワンショット・セレクト・モードでは、A/D変換結果の格納方法により、1バッファ・モードと4バッファ・モードをサポートしています。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1
m = 0-3

(1) 1バッファ・モード (ソフトウェア・トリガ・ワンショット・セレクト1バッファ)

1つのアナログ入力端子 (ANInm)^注の電圧を1回A/D変換し、その結果を1つのADAnCRmレジスタに格納します。ANInm端子^注とADAnCRmレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は、変換動作を停止します。

ADAnM0.ADAnCEビットをセット (1) すると、A/D変換を再起動できます。

1回目のA/D変換ごとに結果を読み出すような応用に最適です。

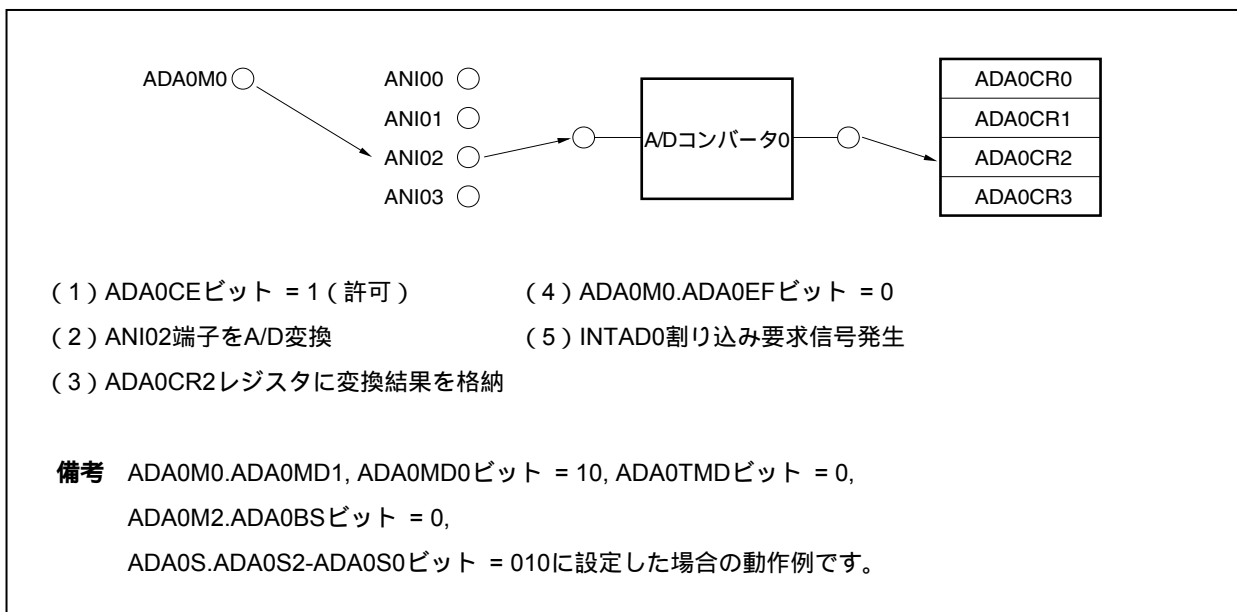
注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

アナログ入力端子	A/D変換結果レジスタ
ANInm ^注	ADAnCRm

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1
m = 0-3

図12 - 14 1バッファ・モード (ソフトウェア・トリガ・ワンショット・セレクト1バッファ) の動作例
: V850E/IA4の場合



(2) 4バッファ・モード (ソフトウェア・トリガ・ワンショット・セレクト4バッファ)

1つのアナログ入力端子 (ANInm)^注の電圧を4回A/D変換し、その結果をADAnCRmレジスタに格納します。

4回のA/D変換が終了すると、A/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は、変換動作を停止します。

ADAnM0.ADAnCEビットをセット (1) すると、A/D変換を再起動できます。

A/D変換結果の平均を求めるような応用に最適です。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

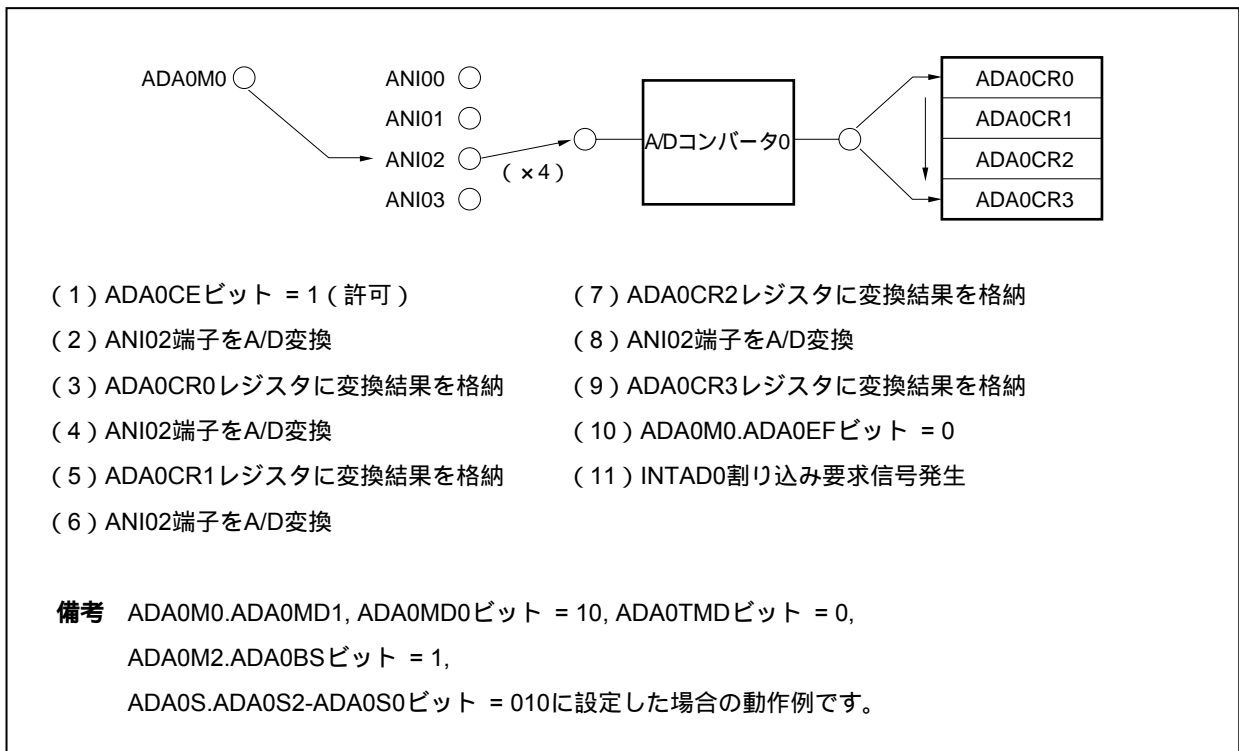
アナログ入力端子	A/D変換結果レジスタ
ANInm ^注	ADAnCR0
ANInm ^注	ADAnCR1
ANInm ^注	ADAnCR2
ANInm ^注	ADAnCR3

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1

m = 0-3

図12 - 15 4バッファ・モード (ソフトウェア・トリガ・ワンショット・セレクト4バッファ) の動作例
: V850E/IA4の場合



12.5.4 ワンショット・スキャン・モードの動作

ANIn0端子からADAnSレジスタで指定されるアナログ入力端子 (ANInm)^注までを順に選択し、A/D変換を連続で行います。A/D変換結果をアナログ入力端子に対応したADAnCRmレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると、A/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は、変換動作を停止します。

ADAnM0.ADAnCEビットをセット (1) すると、A/D変換を再起動できます。

ワンショット・スキャン・モードでは、1バッファ・モードのみサポートします。

複数のアナログ入力を監視するような応用に最適です。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

アナログ入力端子	A/D変換結果レジスタ
ANIn0	ADAnCR0
ANInm ^注	ADAnCRm

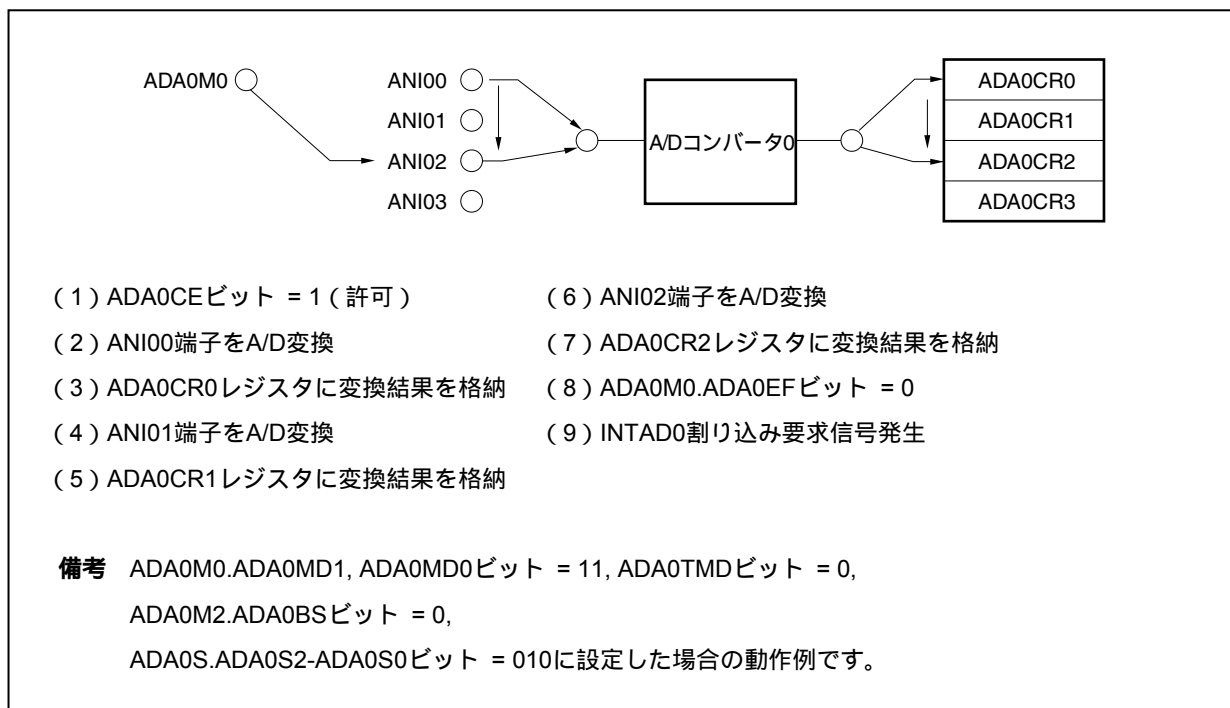
注 ADAnS.ADAnS0-ADAnS2ビットで設定

ただし、V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1

m = 0-3

図12 - 16 ワンショット・スキャン・モード (ソフトウェア・トリガ・ワンショット・スキャン) の動作例
: V850E/IA4の場合



12.6 タイマ・トリガ・モード0, 1時の動作

A/Dコンバータ n は、タイマ(モータ制御機能)からのA/D変換開始トリガ信号(TQTADT n 0, TQTADT n 1)により変換タイミングを指定します(図12-3参照)。

- ・A/Dコンバータ0のタイマ・トリガ
 - タイマ・トリガ・モード0のとき: TQTADT00
 - タイマ・トリガ・モード1のとき: TQTADT10 (V850E/IA4のみ)
- ・A/Dコンバータ1のタイマ・トリガ
 - タイマ・トリガ・モード0のとき: TQTADT01
 - タイマ・トリガ・モード1のとき: TQTADT11 (V850E/IA4のみ)

TQTADTa0, TQTADTa1信号は, TMQaオプション・レジスタ2(TQaOPT2)のTQaAT00-TQaAT03ビット, TMQaオプション・レジスタ3(TQaOPT3)のTQaAT10-TQaAT13ビットで設定します。タイマ・トリガであるA/D変換開始トリガ信号に選択できるモータ制御機能のトリガ・ソースは, INTTPaCC0, INTTPaCC1, INTTQaCC0, INTTQaOV信号となります(複数選択できます)。

ADAnM2.ADAnTMD1, ADAnTMD0ビットを01または10に設定することにより, モータ制御機能で設定したA/D変換開始トリガ信号(TQTADTa0, TQTADTa1)の立ち上がりエッジでA/D変換を開始します。

ADAnM0.ADAnCEビットをセット(1)することで, トリガ待機状態となり, A/D変換開始トリガ信号が入力されるとA/D変換を開始します。

A/D変換終了後, 変換結果は, A/D n 変換結果レジスタ m (ADAnCR m)に格納し, 同時にA/D n 変換終了割り込み要求信号(INTAD n)を発生します。

ADAnM0.ADAnMD1, ADAnMD0ビットで設定された動作モードにかかわらず, A/D変換終了後はトリガ待機状態になります。

A/D変換が開始されると, ADAnM0.ADAnEFビット = 1(変換動作中)となります。ただし, トリガ待機状態時にはADAnEFビット = 0(変換停止中)となります。

また, A/D変換動作中に有効なトリガが入力された場合には, 変換は中断され, 再度最初から変換を行います。A/D変換動作中にADAnM0, ADAnM2, ADAnSレジスタに書き込みを行った場合には, A/D変換は中断され, 再度トリガ待機状態になります。

注意 タイマ・トリガ・モード0, 1では, A/D変換開始トリガ信号(A/D変換開始タイミング)の発生間隔がADAnM1.ADAnFR1, ADAnFR0ビットで設定できる最小の変換クロック数よりも短くならないように注意してください。最小の変換クロック数よりも短い間隔でA/D変換開始トリガ信号が発生した場合は, 最後のトリガが有効となります。

備考 $n = 0, 1$

$m = 0-3$

V850E/IA3 : $a = 0$

V850E/IA4 : $a = 0, 1$

12. 6. 1 連続セレクト・モード/ワンショット・セレクト・モードの動作

ADAnSレジスタで指定される1つのアナログ入力端子 (ANInm)^注のA/D変換を行います。変換結果は、ADAnCRmレジスタに格納します。連続セレクト・モードまたはワンショット・セレクト・モードでは、A/D変換結果の格納方法により、1バッファ・モードと4バッファ・モードをサポートしています。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1

m = 0-3

(1) 1バッファ・モードの動作 (タイマ・トリガによる連続セレクト/ワンショット・セレクトの1バッファ)

タイマ (モータ制御機能) からのA/D変換開始トリガ信号をトリガとして、1つのアナログ入力端子 (ANInm)^注の電圧を1回A/D変換し、その結果を1つのADAnCRmレジスタに格納します。ANInm端子^注とADAnCRmレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は、トリガ待機状態になります。

1回目のA/D変換ごとに結果を読み出すような応用に最適です。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

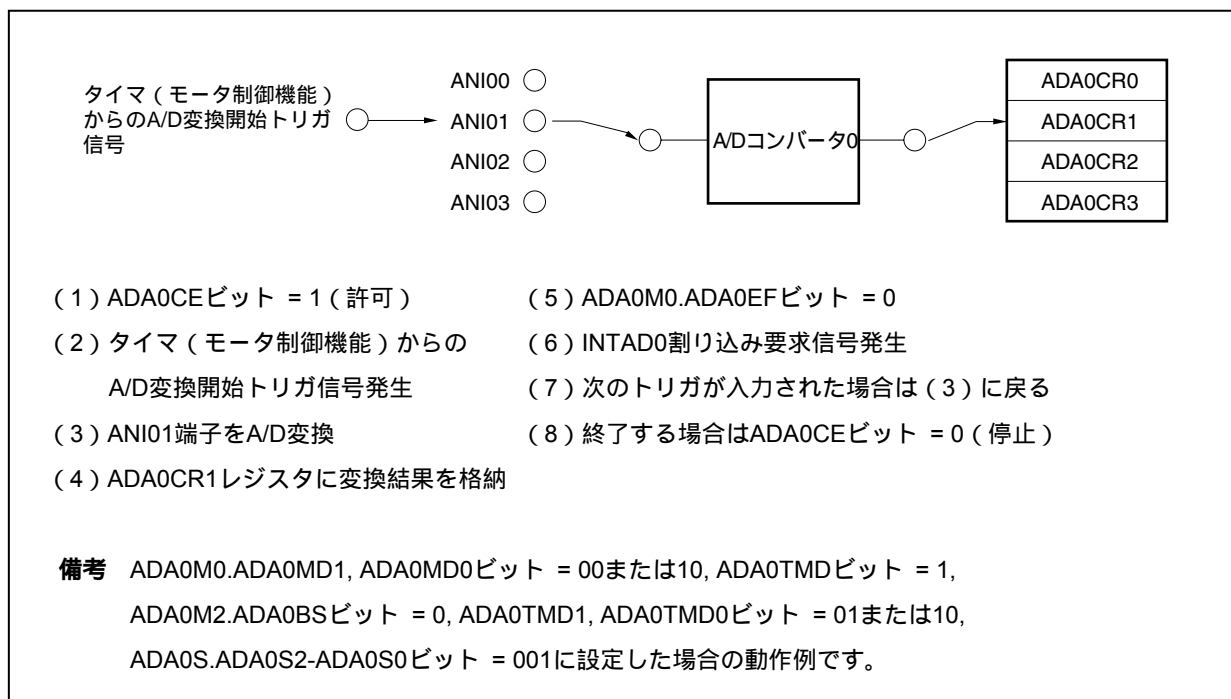
アナログ入力端子	A/D変換結果レジスタ
ANInm ^注	ADAnCRm

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1

m = 0-3

図12 - 17 1バッファ・モード (タイマ・トリガによる連続セレクト/ワンショット・セレクトの1バッファ) の動作例 : V850E/IA4の場合



(2) 4バッファ・モードの動作 (タイマ・トリガによる連続セレクト/ワンショット・セレクトの4バッファ)

タイマ (モータ制御機能) からのA/D変換開始トリガ信号をトリガとして, 1つのアナログ入力端子 (ANInm)^注の電圧を4回A/D変換し, その結果をADAnCRmレジスタに格納します。

4回のA/D変換が終了すると, A/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は, トリガ待機状態になります。

A/D変換結果の平均を求めるような応用に最適です。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

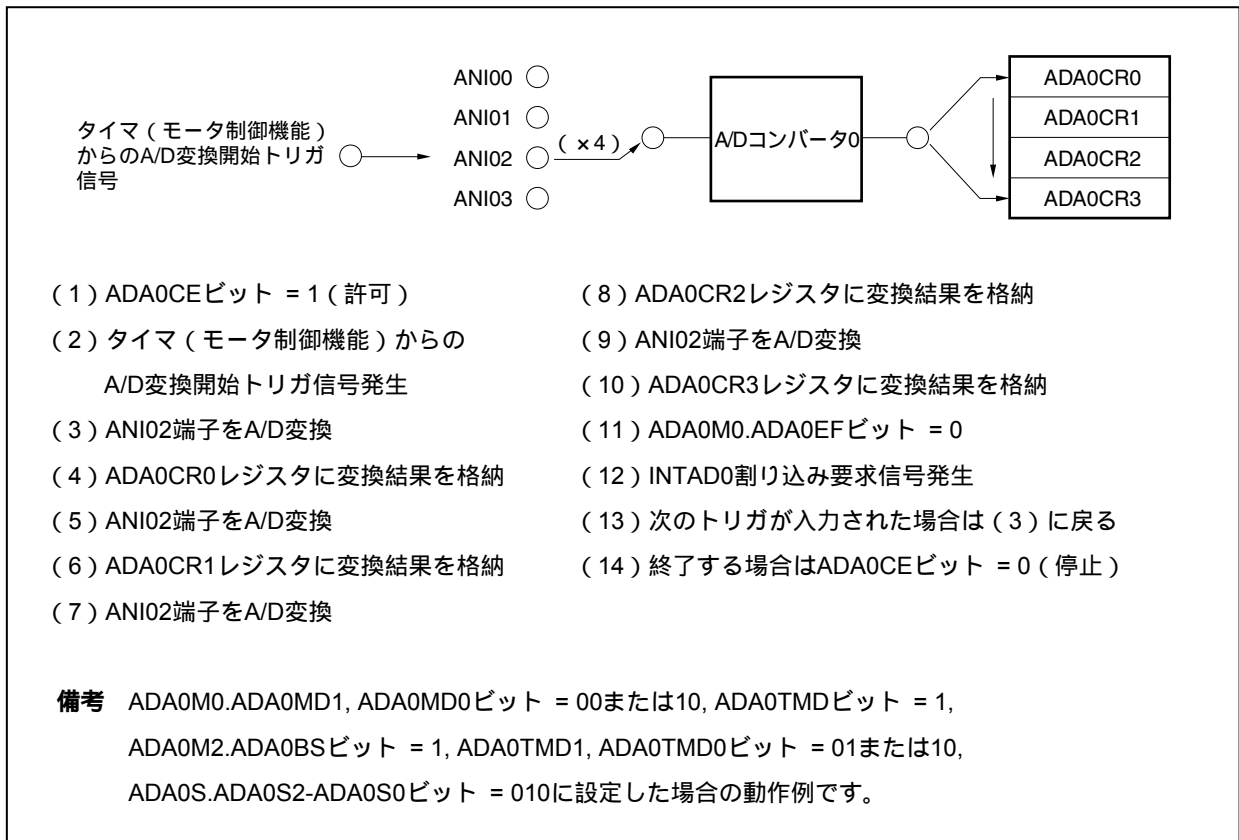
アナログ入力端子	A/D変換結果レジスタ
ANInm ^注	ADAnCR0
ANInm ^注	ADAnCR1
ANInm ^注	ADAnCR2
ANInm ^注	ADAnCR3

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1

m = 0-3

図12 - 18 4バッファ・モード (タイマ・トリガによる連続セレクト/ワンショット・セレクトの4バッファ) の動作例: V850E/IA4の場合



12.6.2 連続スキャン・モード/ワンショット・スキャン・モードの動作

タイマ（モータ制御機能）からのA/D変換開始トリガ信号をトリガとして，ANIn0端子からADAnSレジスタで指定されるアナログ入力端子（ANInm）^注までを順に選択し，A/D変換を連続で行います。A/D変換結果をアナログ入力端子^注に対応したADAnCRmレジスタに格納します。

指定したアナログ入力端子^注の変換をすべて終了すると，A/Dn変換終了割り込み要求信号（INTADn）を発生します。A/D変換終了後は，トリガ待機状態になります。

複数のアナログ入力を監視するような応用に最適です。

連続スキャン・モードまたはワンショット・スキャン・モードでは，1バッファ・モードのみサポートしています。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

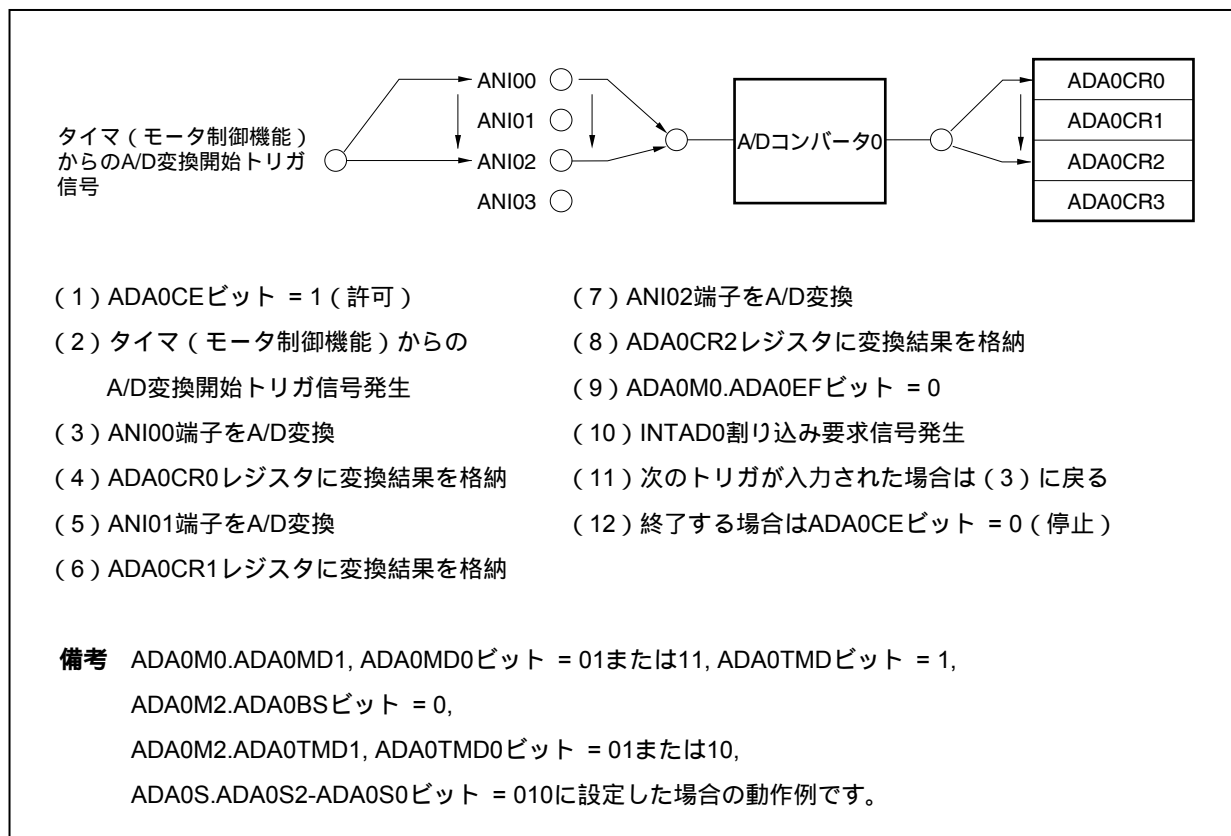
アナログ入力端子	A/D変換結果レジスタ
ANIn0	ADAnCR0
ANIn1	ADAnCR1
ANIn2 ^注	ADAnCR2
ANIn3 ^注	ADAnCR3

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1

m = 0-3

図12 - 19 スキャン・モード（タイマ・トリガによる連続スキャン/ワンショット・スキャン）の動作例
: V850E/IA4の場合



12.7 外部トリガ・モード時の動作

外部トリガ・モードでは、アナログ入力端子 (ANIn0-ANIn3)^注をADTRGn端子の入力タイミングでA/D変換します。

ADTRG0端子はP04/INTP4端子と、ADTRG1端子はP05/INTP5端子と兼用になっています。外部トリガ・モードにするには、A/Dコンバータ0の場合には、ポート・モード・コントロール・レジスタ0 (PMC0) のPMC04ビットを1に、ADA0M2.ADA0TMD1, ADA0TMD0ビットを00Bにしてください。A/Dコンバータ1の場合には、ポート・モード・コントロール・レジスタ0 (PMC0) のPMC05ビットを1に、ADA1M2.ADA1TMD1, ADA1TMD0ビットを00Bにしてください。

外部トリガ・モード時の外部入力信号の有効エッジは、ADAnM0.ADAnETS1, ADAnETS0ビットの設定により、立ち上がりエッジ、立ち下がりエッジ、立ち上がり/立ち下がり両エッジのどれかに指定できます。

ADAnM0.ADAnCEビットをセット (1) することで、トリガ待機状態となり、ADTRGn端子からトリガが入力されるとA/D変換を開始します。

A/D変換終了後、変換結果は、A/Dn変換結果レジスタm (ADAnCRm) に格納し、同時にA/Dn変換終了割り込み要求信号 (INTADn) を発生します。

ADAnM0.ADAnMD1, ADAnMD0ビットで設定された動作モードにかかわらず、A/D変換終了後はトリガ待機状態になります。

A/D変換が開始されると、ADAnM0.ADAnEFビット = 1 (変換動作中) となります。ただし、トリガ待機状態時にはADAnEFビット = 0 (変換停止中) となります。

また、A/D変換動作中に有効なトリガが入力された場合には、変換は中断され、再度最初から変換を行います。A/D変換動作中に、ADAnM0, ADAnM2, ADAnSレジスタに書き込みを行った場合には、A/D変換は中断され、再度トリガ待機状態になります。

注 V850E/IA3のA/Dコンバータ0の場合にはANI00, ANI01端子のみです。

備考 n = 0, 1

m = 0-3

12.7.1 連続セレクト・モード/ワンショット・セレクト・モードの動作

ADAnSレジスタで指定される1つのアナログ入力端子 (ANInm)^注のA/D変換を行います。変換結果は、ADAnCRmレジスタに格納します。連続セレクト・モードまたはワンショット・セレクト・モードでは、A/D変換結果の格納方法により、1バッファ・モードと4バッファ・モードをサポートしています。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1
m = 0-3

(1) 1バッファ・モード (外部トリガによる連続セレクト/ワンショット・セレクトの1バッファ)

ADTRGn信号をトリガとして、1つのアナログ入力端子 (ANInm)^注の電圧を1回A/D変換し、その結果を1つのADAnCRmレジスタに格納します。ANInm端子^注とADAnCRmレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は、トリガ待機状態になります。

1回目のA/D変換ごとに結果を読み出すような応用に最適です。

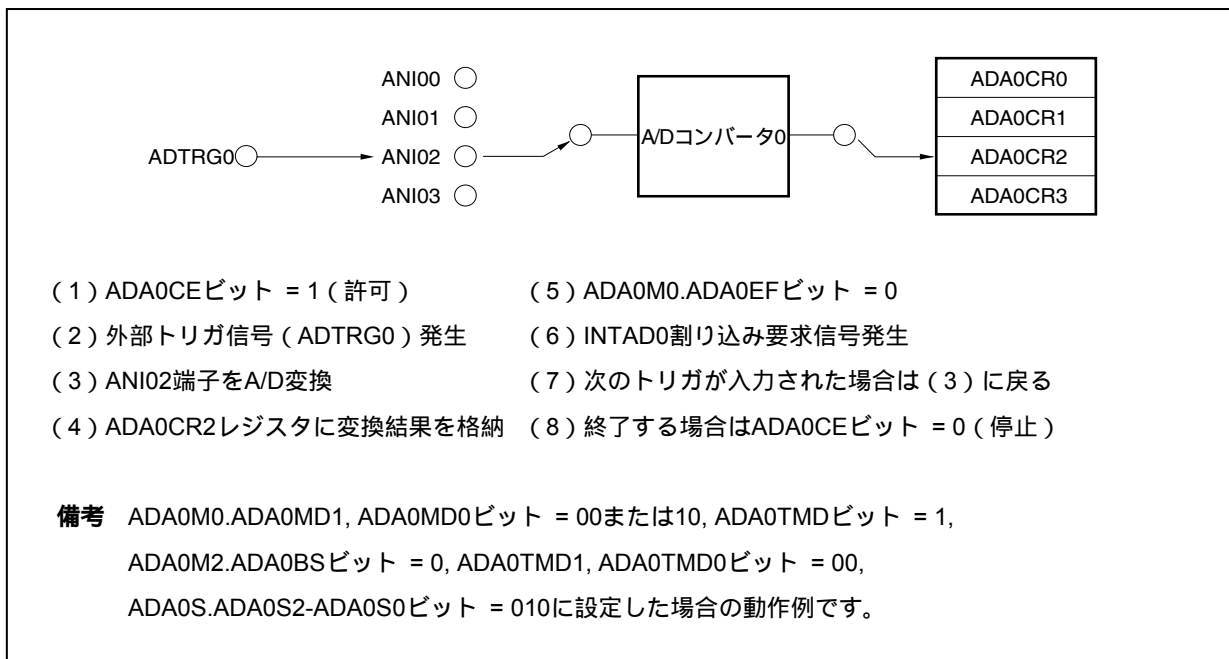
注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

アナログ入力端子	A/D変換結果レジスタ
ANInm ^注	ADAnCRm

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1
m = 0-3

図12 - 20 1バッファ・モード (外部トリガによる連続セレクト/ワンショット・セレクトの1バッファ) の動作例 :
V850E/IA4の場合



(2) 4バッファ・モード (外部トリガによる連続セレクト/ワンショット・セレクトの4バッファ)

ADTRGn信号をトリガとして、1つのアナログ入力端子 (ANInm)^注の電圧を4回A/D変換し、その結果をADAnCRmレジスタに格納します。

4回のA/D変換が終了すると、A/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は、トリガ待機状態になります。

A/D変換結果の平均を求めるような応用に最適です。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

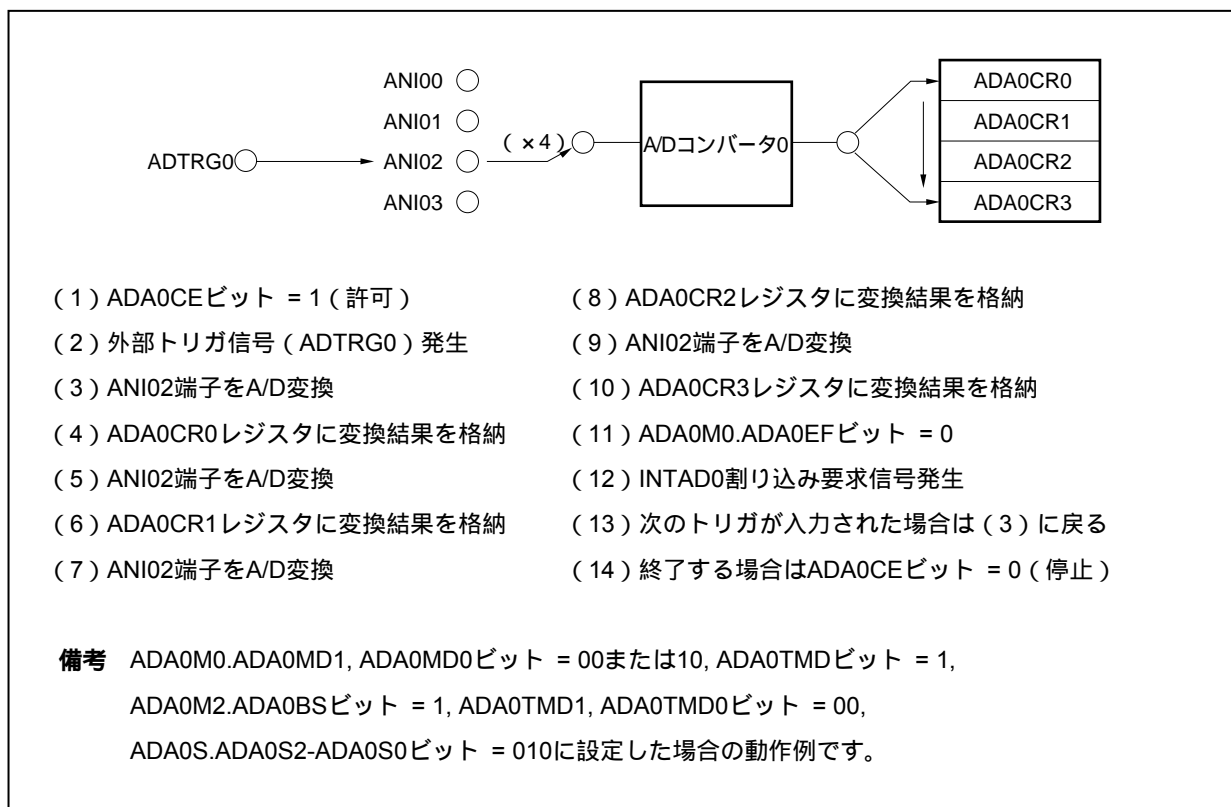
アナログ入力端子	A/D変換結果レジスタ
ANInm ^注	ADAnCR0
ANInm ^注	ADAnCR1
ANInm ^注	ADAnCR2
ANInm ^注	ADAnCR3

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0,1

m = 0-3

図12 - 21 4バッファ・モード (外部トリガによる連続セレクト/ワンショット・セレクトの4バッファ) の動作例 :
V850E/IA4の場合



12.7.2 連続スキャン・モード/ワンショット・スキャン・モードの動作

ADTRGn信号をトリガとして、ANIn0端子からADAnSレジスタで指定されるアナログ入力端子（ANInm）^注までを順に選択し、A/D変換を連続で行います。A/D変換結果をアナログ入力端子^注に対応したADAnCRmレジスタに格納します。

指定したアナログ入力端子^注の変換をすべて終了すると、A/Dn変換終了割り込み要求信号（INTADn）を発生します。A/D変換終了後は、トリガ待機状態になります。

複数のアナログ入力を監視するような応用に最適です。

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

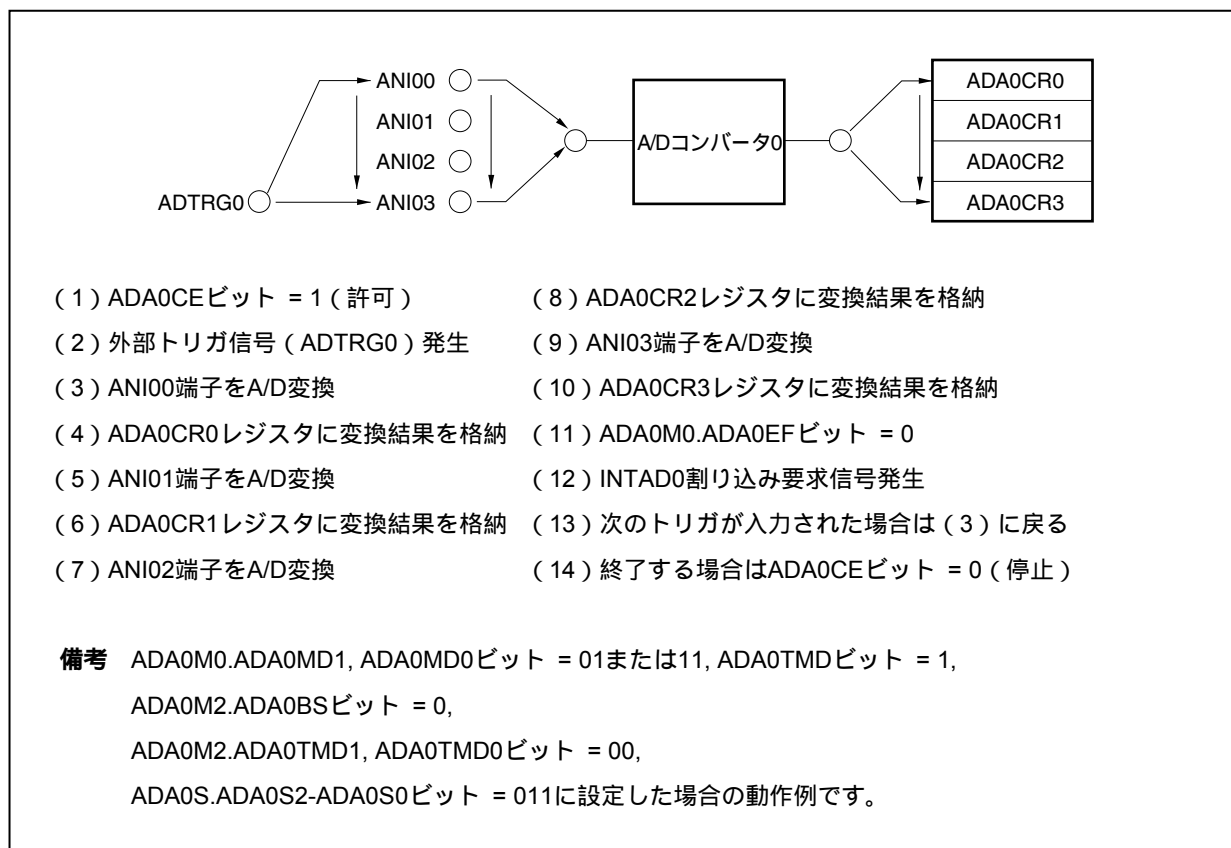
アナログ入力端子	A/D変換結果レジスタ
ANIn0	ADAnCR0
ANIn1	ADAnCR1
ANIn2 ^注	ADAnCR2
ANIn3 ^注	ADAnCR3

注 V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみです。

備考 n = 0, 1

m = 0-3

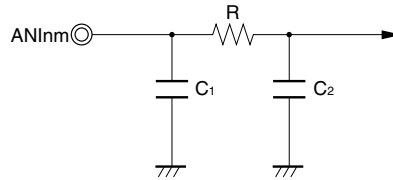
図12-22 スキャン・モード（外部トリガによる連続スキャン/ワンショット・スキャン）の動作例：
V850E/IA4の場合



12.8 内部等価回路

アナログ入力部の等価回路を次に示します。

図12 - 23 ANInm端子内部等価回路



R	C ₁	C ₂
4.0 kΩ	15 pF	5.7 pF

備考1. 値はMAX.値（参考値）です。

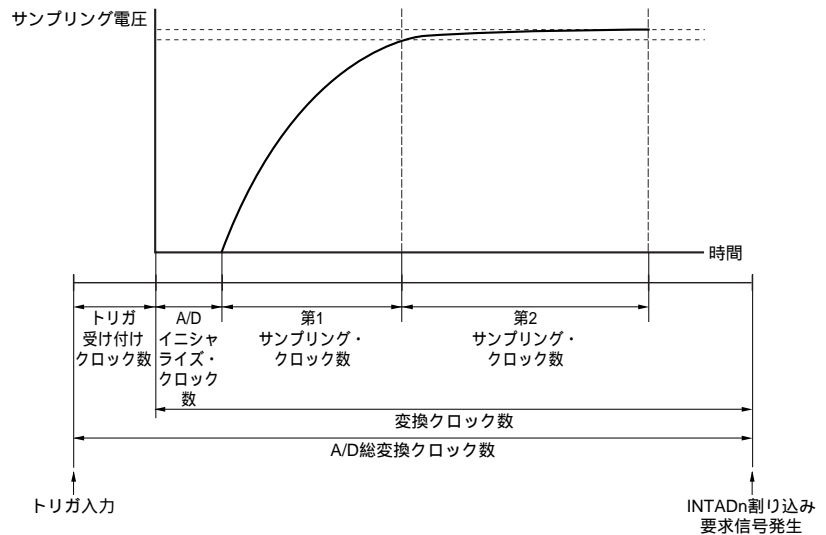
2. n = 0, 1

m = 0-3

ただし, V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみ

注意 A/Dコンバータ0, 1は, A/D変換を開始するとA/Dイニシャライズ後, 第1サンプリングを行います。サンプリング充電はこの期間でほぼ行われます。したがって, サンプリング誤差は, この条件で算出できます。その後, 第2サンプリングを行い, 誤差を補います。

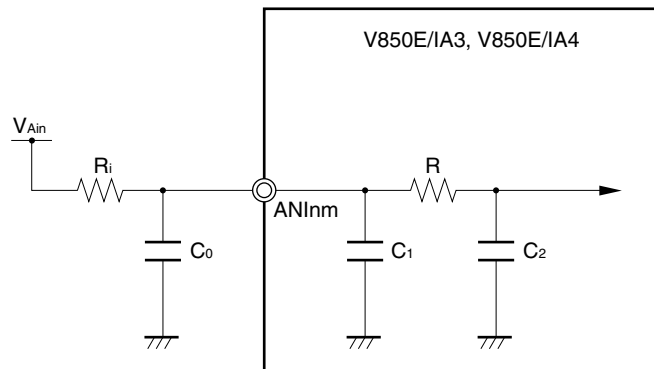
A/Dコンバータ0, 1のサンプリング期間は変換開始から第2サンプリング終了までなので, この期間のノイズは回避してください。



ADAnM1レジスタ		A/Dイニシャライズ・ クロック数	第1サンプリング・ クロック数	第2サンプリング・ クロック数
ADAnFR1 ビット	ADAnFR0 ビット			
0	1	4	36	36
1	0	6	54	54
1	1	8	72	72

A/Dコンバータ0, 1の総合誤差の算出例を次に示します。

図12 - 24 A/Dコンバータ0, 1の総合誤差算出例



f_{xx} (MHz)	変換時間 (μs)	A/D イニシャライズ・ クロック (μs)	第1サン プリング (μs)	第2サン プリング (μs)	R (k Ω)	C ₁ (pF)	C ₂ (pF)	C ₀ (pF)	R _i (k Ω)	サンプリ ング誤差 (LSB) ^注
64	1.95 (124クロック)	0.0625 (4クロック)	0.5 (32クロック)	0.5625 (36クロック)	4.0	15	5.7	100	1.0	20.8
								100	0.5	0.4
								100	0.25	0.1以下
								100	0.1	0.1以下
								50	1.0	1.4
								50	0.5	0.1以下
								50	0.25	0.1以下
								50	0.125	0.1以下

注 信号源のインピーダンスを考慮した場合の誤差は「サンプリング誤差 + 総合誤差」となります。

備考1. 値はサンプリング開始と同時に $V_{Ain} = 0V \sim 5V$ が印加されたときに C_2 の電圧が R_i, C_0 によりどのようになるかをシミュレーションにより算出した参考値です。

2. $n = 0, 1$

$m = 0-3$

ただし、V850E/IA3のA/Dコンバータ0の場合はANI00, ANI01端子のみ

3. f_{xx} : システム・クロック周波数

12.9 動作上の注意事項

注意 入力レベル増幅用オペアンプ使用時の動作は、12.3(3) A/Dコンバータ n チャンネル指定レジスタ (ADAnS) ($n = 0, 1$) を参照してください。

なお、アナログ入力端子とA/D変換結果レジスタの関係については、表12-4を参照してください。

12.9.1 変換動作の停止

変換動作中にADAnM0.ADAnCEビットに0を書き込むと変換動作を停止し、A/D n 変換結果レジスタ m (ADAnCR m) への変換結果を格納しません。

なお、ADAnCEビットはすべてのモードでA/D n 変換終了割り込み要求信号 (INTAD n) が発生したあともクリア (0) されません。

備考 $n = 0, 1$
 $m = 0-3$

12.9.2 タイマ/外部トリガの間隔

タイマ・トリガ・モード0, 1または外部トリガ・モード時のトリガ発生間隔は、ADAnM1.ADAnFR1, ADAnFR0ビットで指定する総変換クロック数よりも長くしてください (表12-2 変換クロック数参照)。

(1) $0 < \text{トリガ発生間隔} < \text{A/D総変換クロック数の場合}$

変換動作中にタイマ/外部トリガが入力された場合、変換動作を中断し、最後に入力されたタイマ/外部トリガに従って変換を開始します。

変換動作を中断した場合、直前の変換動作による変換結果はADAnCR m レジスタに格納されません。したがって、INTAD n 信号の発生、ADAnCR m レジスタへの結果の格納は保証できません。

備考 $n = 0, 1$
 $m = 0-3$

(2) トリガ発生間隔 A/D総変換クロック数の場合

INTAD n 信号の発生、変換が終了した値のADAnCR m レジスタの格納は正しく行われます。トリガ発生間隔 A/D総変換クロック数となるように設計してください。

備考 $n = 0, 1$
 $m = 0-3$

12.9.3 スタンバイ・モード時の動作

(1) HALTモード

A/D変換動作を継続します。

(2) IDLEモード, STOPモード

A/Dコンバータ0, 1へのクロック供給が止まるため、変換動作は行われません。

マスカブル割り込み要求信号入力端子^注および過電圧検出割り込み要求信号 (INTCMPn) で解除した場合, ADAnM0, ADAnM1, ADAnM2, ADAnS, OPnCTL0, OPnCTL1レジスタとA/Dn変換結果レジスタm (ADAnCRm) は値を保持します。ただし、変換動作中にIDLEモード, STOPモードに設定した場合、変換動作は中断します。マスカブル割り込み要求信号入力端子^注および過電圧検出割り込み要求信号 (INTCMPn) で解除した場合、変換を再開します。このとき、A/Dn変換終了割り込み要求信号 (INTADn) が発生することがありますが、ADAnCRmレジスタに書き込まれる変換結果は不定となります。

注 V850E/IA3 : INTP0, INTP2-INTP5, INTP7端子

V850E/IA4 : INTP0-INTP5, INTP7端子

備考 n = 0, 1

m = 0-3

12.9.4 タイマ・トリガ・モード0, 1時のタイマ割り込み要求信号

タイマ割り込み要求信号(TQTADTn0, TQTADTn1)がA/D変換開始のトリガとなり、変換動作を開始します。このとき、タイマ割り込み要求信号は、CPUに対する割り込みとしても機能します。CPUに対する割り込みを発生させないためには、割り込み制御レジスタのマスク・ビットで割り込みを禁止してください。

備考 n = 0, 1

12.9.5 安定時間中の再変換起動トリガ入力

安定時間終了タイミングとレジスタへの書き込みが競合、または安定時間終了タイミングとトリガの入力が競合した場合、安定時間が再挿入されます。

12.9.6 A/D変換結果のばらつき

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。

12.9.7 A/D変換のヒステリシス特性

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このためアナログ入力源の出力インピーダンスが高いと次のような現象が起きることがあります。

- ・同一チャンネルでA/D変換を実行している場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、アナログ入力源の出力インピーダンスを低くするか、または同一チャンネルで2回連続A/D変換を行い、1回目の変換結果を廃棄してください。

12.9.8 ワンショット・モードかつソフトウェア・トリガ・モード設定時の制限事項

A/Dコンバータ0, 1をワンショット・セレクト・モードかつソフトウェア・トリガ・モード (ADAnM0レジスタ = 1010XX0XB) , またはワンショット・スキャン・モードかつソフトウェア・トリガ・モード (ADAnM0レジスタ = 1011XX0XB) に設定したとき, A/D変換動作の終了タイミング時にADAnM0, ADAnM2, ADAnSのいずれかのレジスタに書き込みを行った場合には, 本来新たな条件で再変換動作を行うべきところですが, 再変換動作は行われず, 変換動作許可 (ADAnM0.ADAnCEビット = 1) で, かつ変換停止中 (ADAnM0.ADAnEFビット = 0) となります。また, A/Dn変換終了割り込み要求信号 (INTADn) は発生せず, 最後のA/D変換結果の格納も行われません。ただし, ADAnM0, ADAnM2, ADAnSのいずれかのレジスタへの書き込みそのものは正常に行われます。

この状態になった場合には, ADAnM0.ADAnCEビットをセット (1) することで通常動作に復帰できます。

たとえば, ワンショット・スキャン・モードかつソフトウェア・トリガ・モード (ADAnM0レジスタ = 1011XX0XB) でANIn0, ANIn1端子のスキャン・モード (ADAnSレジスタ = 00000001B) に設定しA/D変換中にA/D変換動作の終了タイミングでADAnM0レジスタへの書き込みを行った場合, ANIn0端子のA/D変換とADAnCR0レジスタへの変換結果の格納は正常に行われますが, A/D変換終了直前に進んでいたANIn1端子の変換結果のADAnCR1レジスタへの格納は行われず, INTADn割り込み要求信号も発生しません。

【回避方法】

次の - のいずれかを行うことで上記制限事項を回避できます。

A/D変換停止中 (ADAnM0.ADAnEFビット = 0) であることを確認後にADAnM0, ADAnM2, ADAnSのいずれかのレジスタへの書き込みを行ってください。

割り込み禁止状態 (PSW.IDビット = 1) あるいはDMA転送禁止状態 (DCHCn.Ennビット = 0) としたあとに, ADAnM0, ADAnM2, ADAnSのいずれかのレジスタへの書き込み命令実行とADAnM0.ADAnCEビット = 1命令実行を連続で行ってから, 割り込み許可状態 (PSW.IDビット = 0) あるいはDMA転送許可状態 (DCHCn.Ennビット = 1) としてください。

この回避方法は, A/D変換動作の終了タイミングとADAnM0, ADAnM2, ADAnSのいずれかのレジスタへの書き込みとの一致を回避するためのもので, たとえば最初に行う書き込み命令実行とA/D変換動作の終了タイミングが一致しA/D変換が停止しても, 続くADAnCEビット = 1によりA/D変換が起動します。なお, 書き込み命令がADAnCEビット = 1の場合は, ADAnCEビット = 1を2回連続で行ってください。

ADAnCEビット = 0によりA/D変換動作を禁止し, ADAnM0, ADAnM2, ADAnSのいずれかのレジスタへの書き込みを行ったあとに, ADAnCEビット = 1によりA/D変換動作を許可しA/D変換を開始してください。

12.10 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1\%FSR &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{DD} - 0) / 100 \\ &= AV_{DD} / 100 \end{aligned}$$

分解能10ビットのとき、1 LSBは次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098\%FSR \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

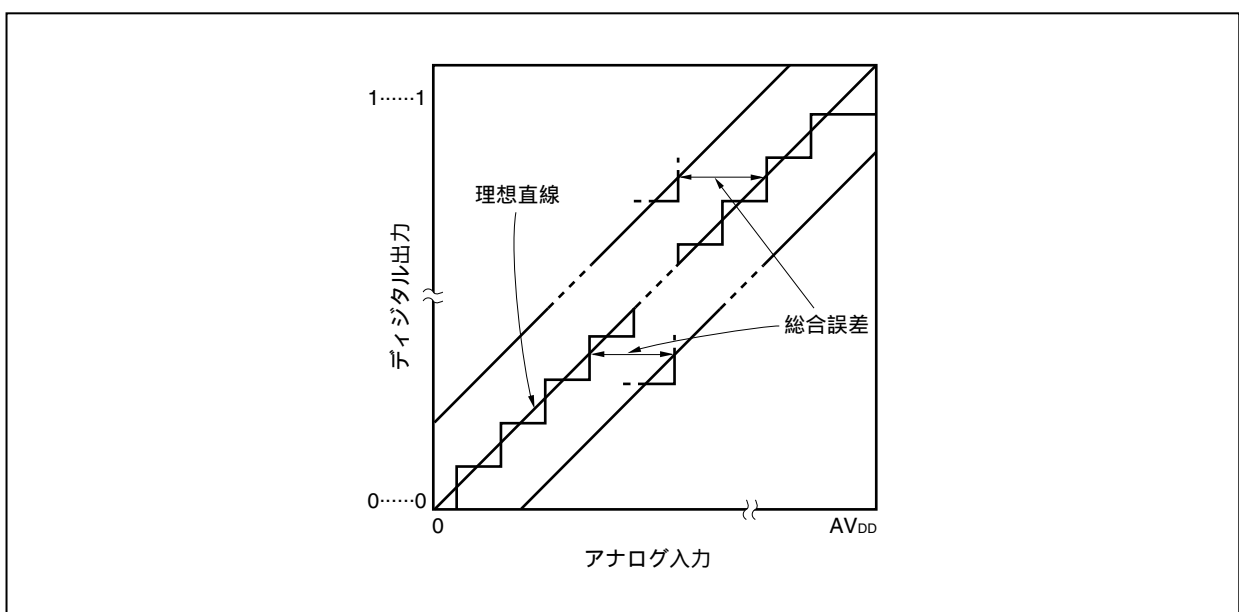
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図12 - 25 総合誤差

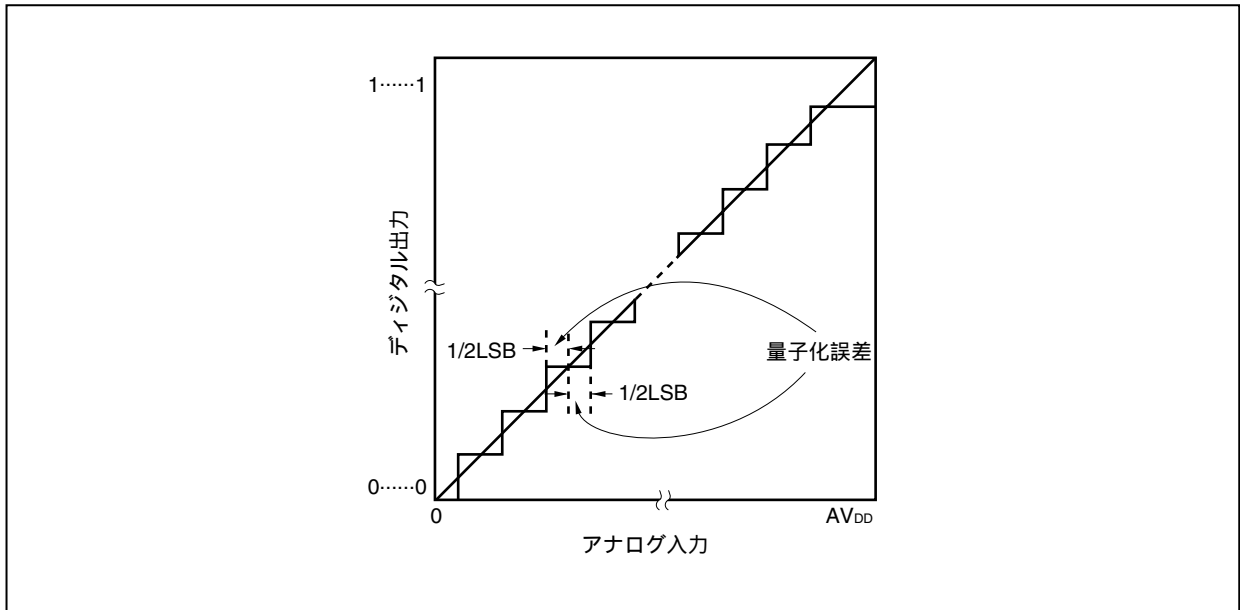


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

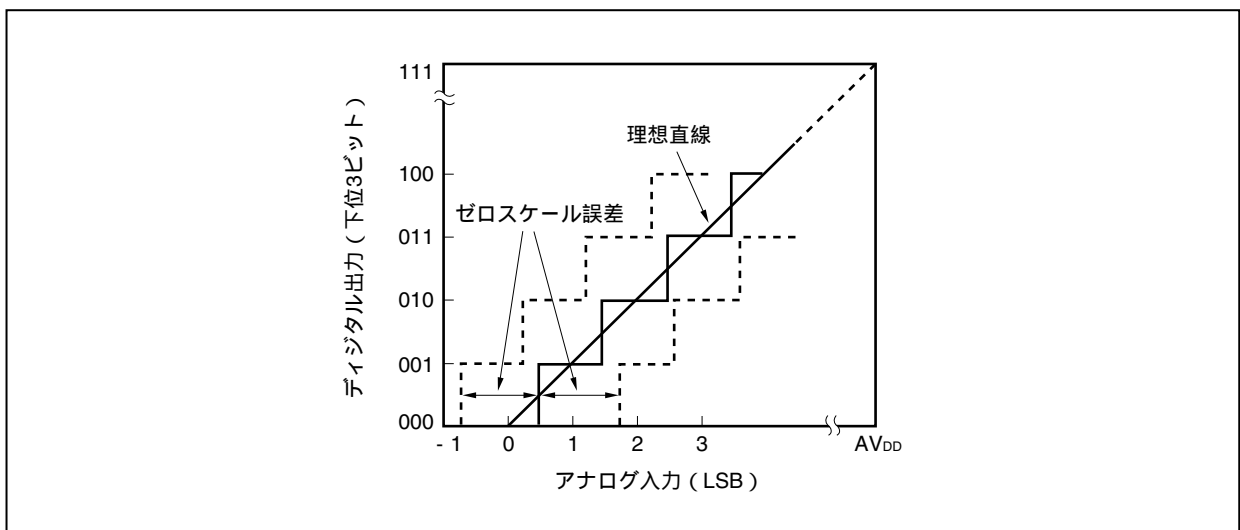
図12 - 26 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2$ LSB) との差を表します。

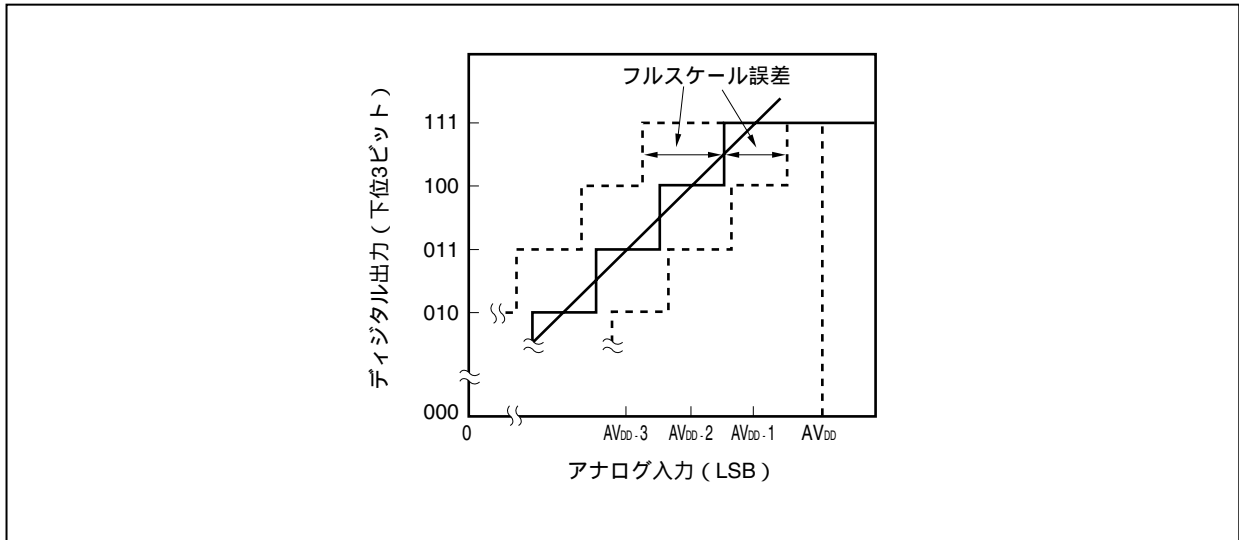
図12 - 27 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - 3/2 LSB）との差を表します。

図12 - 28 フルスケール誤差

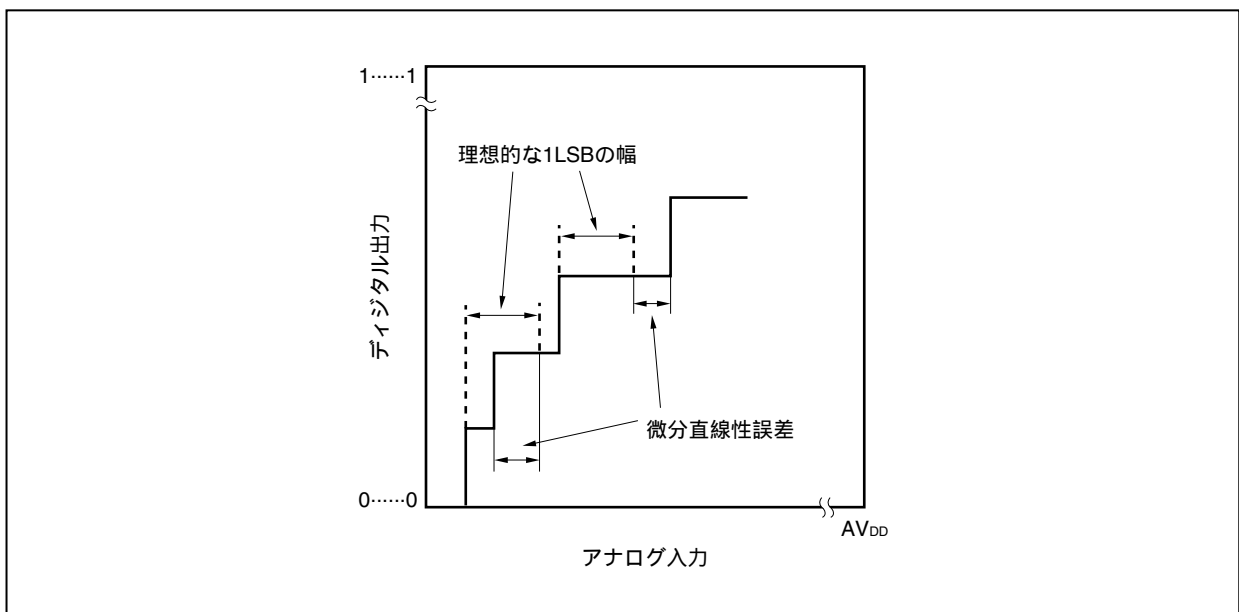


(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

同一チャンネルのアナログ入力端子に印加する電圧をAV_{SS}からAV_{DD}まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャンネルを使用する場合は、12. 10 (2) 総合誤差を参照してください。

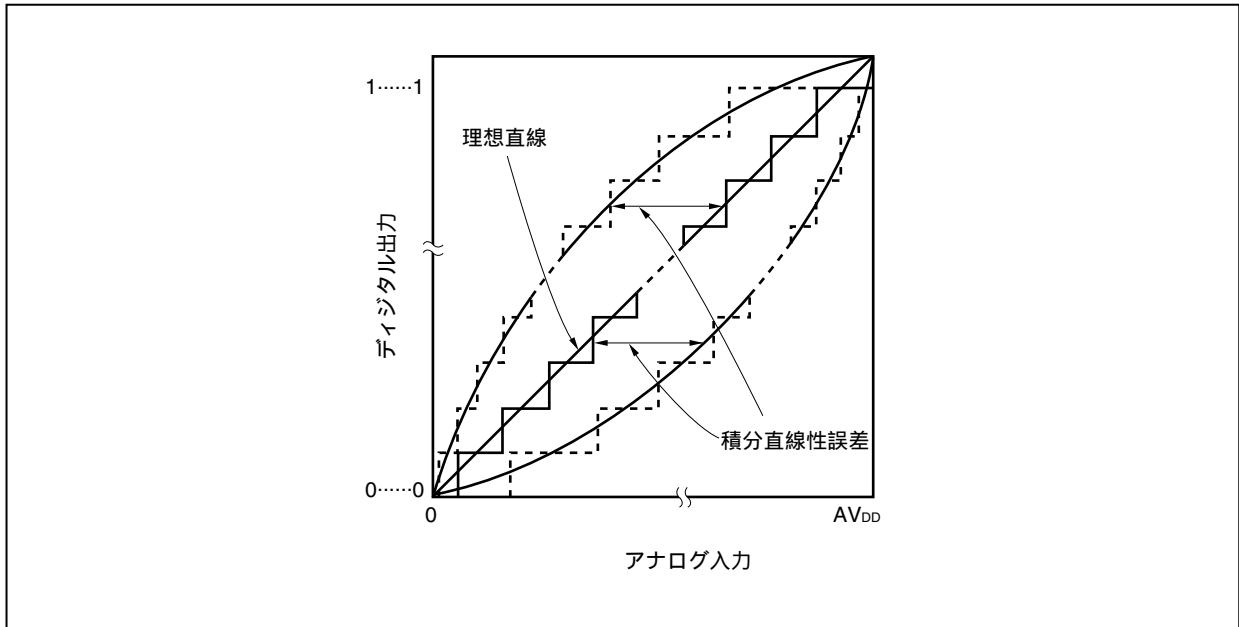
図12 - 29 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図12 - 30 積分直線性誤差



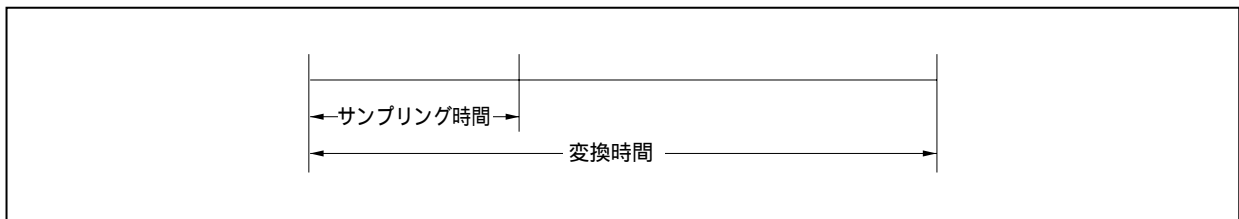
(8) 変換時間

各トリガが発生してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図12 - 31 サンプリング時間



第13章 A/Dコンバータ2

V850E/IA3, V850E/IA4は, 8ビットまたは10ビットの分解能が選択できる一次 $\Delta\Sigma$ 変換方式のA/Dコンバータを内蔵しています。

13.1 特 徴

一次 $\Delta\Sigma$ 変換方式8/10ビット分解能A/Dコンバータ内蔵

アナログ入力

V850E/IA3 : ANI20-ANI25 (6チャンネル)

V850E/IA4 : ANI20-ANI27 (8チャンネル)

A/D2変換結果レジスタn (ADA2CRn) 内蔵

8/10ビット×8本

A/D変換トリガ・モード

ソフトウェア・トリガ・モード

A/D変換動作モード

シリアル・モード

パラレル・モード

バッファ・モード

1バッファ・モード

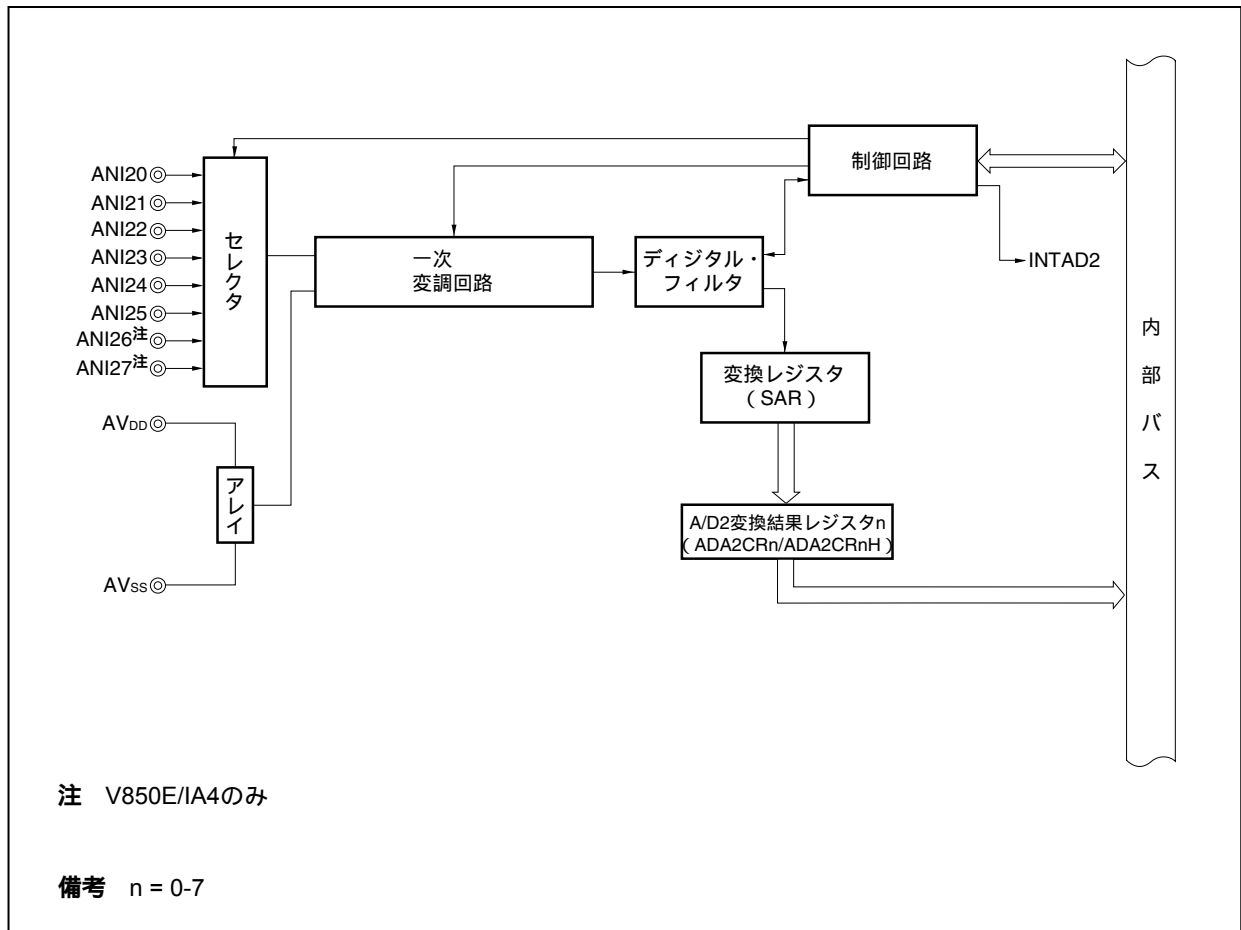
4バッファ・モード

備考 n = 0-7

13.2 構成

次にブロック図を示します。

図13 - 1 A/Dコンバータ2のブロック図



注意1. アナログ入力端子 (ANI2n) およびA/Dコンバータ電源電圧端子 (AVDD) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります (V850E/IA3 : n = 0-5, V850E/IA4 : n = 0-7)。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- ・ 複数回のA/D変換結果の平均値を、A/D変換結果として使用する。
- ・ 複数回のA/D変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- ・ システムに異常が発生したと判断されるようなA/D変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

2. A/Dコンバータ2の入力端子として使用している端子には、AVSS-AVDDの範囲外の電圧が加わらないようにしてください。

備考 A/Dコンバータ2の電源接続仕様の詳細については、12.2 構成を参照してください。

A/Dコンバータ2は、次のハードウェアで構成しています。

表13 - 1 A/Dコンバータ2の構成

項目	構成
アナログ入力	V850E/IA3 : ANI20-ANI25 (6チャンネル) V850E/IA4 : ANI20-ANI27 (8チャンネル)
レジスタ	変換レジスタ (SAR) A/D2変換結果レジスタ0-7 (ADA2CR0-ADA2CR7) A/D2変換結果レジスタ0H-7H (ADA2CR0H-ADA2CR7H)
制御レジスタ	A/Dコンバータ2制御レジスタ0 (ADA2CTL0) A/Dコンバータ2制御レジスタ1 (ADA2CTL1) A/Dコンバータ2制御レジスタ2 (ADA2CTL2) A/Dコンバータ2制御レジスタ3 (ADA2CTL3) A/Dコンバータ2ステータス・レジスタ (ADA2STR)

(1) セレクタ

ADA2CTL0, ADA2CTL1, ADA2CTL2, ADA2CTL3レジスタで設定したモードに従ってアナログ入力端子 (V850E/IA3 : ANI20-ANI25, V850E/IA4 : ANI20-ANI27) を選択し、A/D変換動作を行います。

(2) 一次 $\Delta\Sigma$ 変調回路

入力回路で選択したアナログ入力信号をサンプリングし、1ビット・データに変換し、デジタル・フィルタに送ります。

サンプリング回数は、8ビット分解能選択時には512回、10ビット分解能選択時には2048回です。

サンプリング・クロックは、ADA2CTL1レジスタで設定します。

(3) デジタル・フィルタ

一次 $\Delta\Sigma$ 変調回路で変換された1ビット・データを8ビットまたは10ビットに変換します。

(4) 変換レジスタ (SAR)

SARレジスタは、デジタル・フィルタで変換された8ビットまたは10ビットのA/D変換結果を格納するレジスタです。格納が終了すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/D2変換結果レジスタ0-7 (ADA2CR0-ADA2CR7) に保持されます。また、指定された条件のA/D変換が終了すると、A/D2変換終了割り込み要求信号 (INTAD2) が発生します。

(5) A/D2変換結果レジスタ0-7 (ADA2CR0-ADA2CR7)、A/D2変換結果レジスタ0H-7H (ADA2CR0H-ADA2CR7H)

ADA2CRn, ADA2CRnHレジスタは、A/D変換結果を保持するレジスタです。A/D変換が終了するたびに、変換レジスタ (SAR) から変換結果がロードされ、ADA2CTL1レジスタで設定した分解能 (8ビット / 10ビット) で、変換結果をADA2CRnレジスタの上位8ビットまたは10ビットに格納します。下位7ビットまたは5ビットは常に0が読み出されます。

ADA2CRnHレジスタには、A/D変換結果の上位8ビットが読み出されます。

A/D変換結果を16ビット単位でリードする場合はADA2CRnレジスタ、上位8ビットをリードする場合はADA2CRnHレジスタを指定します。

(6) A/Dコンバータ2制御レジスタ0 (ADA2CTL0)

アナログ電源，および変換動作の制御を行うレジスタです。

(7) A/Dコンバータ2制御レジスタ1 (ADA2CTL1)

A/D変換するアナログ入力のサンプリング・クロック，および分解能(サンプリング回数)を指定するレジスタです。

(8) A/Dコンバータ2制御レジスタ2 (ADA2CTL2)

A/D変換するアナログ入力端子の指定を行うレジスタです。

(9) A/Dコンバータ2制御レジスタ3 (ADA2CTL3)

A/D変換のバッファ・モード，および動作モードの指定を行うレジスタです。

(10) A/Dコンバータ2ステータス・レジスタ (ADA2STR)

A/D変換を終了したアナログ入力端子を確認するレジスタです。

(11) 制御回路

ADA2CTL0, ADA2CTL1, ADA2CTL2, ADA2CTL3レジスタに設定したモードに従って，アナログ入力端子の選択，一次 $\Delta\Sigma$ 変調回路，デジタル・フィルタの動作タイミングの生成，変換トリガの制御を行います。

(12) ANI20-ANI27端子

ANI2n端子は，A/Dコンバータ2へのアナログ入力端子です (V850E/IA3 : n = 0-5, V850E/IA4 : n = 0-7)。A/D変換するアナログ信号を入力します。

注意 ANI2n入力電圧は規格の範囲内でご使用ください。特に AV_{DD} 以上， AV_{SS} 以下(絶対最大定格の範囲内でも)の電圧が入力されると，そのチャンネルの変換値が不定となり，またほかのチャンネルの変換値にも影響を与えることがあります。

(13) AV_{DD} 端子

A/Dコンバータ0-2の正電源供給と基準電圧を入力するための端子を兼用しています。A/Dコンバータ2では， $AV_{DD}-AV_{SS}$ 間に加えられる電圧に基づいてANI2n端子に入力される信号をデジタル信号に変換します (V850E/IA3 : n = 0-5, V850E/IA4 : n = 0-7)。

A/Dコンバータ2を使用しない場合でも， AV_{DD} 端子は常に EV_{DD} 端子と同電位で使用してください。

(14) AV_{SS} 端子

A/Dコンバータ0-2のグランド端子です。A/Dコンバータ2を使用しない場合でも， AV_{SS} 端子は常に EV_{SS} と同電位で使用してください。

13.3 制御レジスタ

A/Dコンバータ2は次に示すレジスタで制御します。

- ・ A/Dコンバータ2制御レジスタ0-3 (ADA2CTL0-ADA2CTL3)
- ・ A/Dコンバータ2ステータス・レジスタ (ADA2STR)

また、次のレジスタも使用します。

- ・ A/D2変換結果レジスタ0-7 (ADA2CR0-ADA2CR7)
- ・ A/D2変換結果レジスタ0H-7H (ADA2CR0H-ADA2CR7H)

(1) A/Dコンバータ2制御レジスタ0 (ADA2CTL0)

ADA2CTL0レジスタは、アナログ電源、および変換動作の制御を行う8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。ただし、ビット6, 7は1ビット単位でライトのみ可能です。リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF240H

	⑦	⑥	5	4	3	2	1	0
ADA2CTL0	ADA2PON	ADA2CE	0	0	0	0	0	0

ADA2PON	アナログ電源の制御
0	アナログ電源オフ
1	アナログ電源オン

ADA2CE	A/D変換動作の制御
0	変換動作停止
1	変換動作開始

注意 アナログ電源制御ビット (ADA2PON) と A/D変換動作ビット (ADA2CE) は、同時にセット (1) しないでください。 ADA2PON ビットをセット (1) したあと、 $5 \mu\text{s}$ 以上経過後に ADA2CE ビットをセット (1) してください。 $5 \mu\text{s}$ 経過以前にセット (1) した場合には、A/D変換動作は行われますが、1回目の変換結果は精度を保証できません。

(2) A/Dコンバータ2制御レジスタ1 (ADA2CTL1)

ADA2CTL1レジスタは、アナログ入力のサンプリング・クロック、および分解能（サンプリング回数）の指定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、A/D変換動作中にADA2CTL1レジスタへの書き込みは、同値書き込みも含めて禁止です。書き込みを行った場合、A/D2変換結果レジスタn (ADA2CRn) の変換結果および変換動作の保証はできません。書き込みを行った場合には、必ずいったん変換停止 (ADA2CTL0.ADA2CEビット = 0) してから、変換条件を再設定してください。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF241H

	7	6	5	4	3	2	1	0
ADA2CTL1	ADA2FS1	ADA2FS0	0	0	0	0	ADA2N1	ADA2N0

ADA2FS1	ADA2FS0	サンプリング・クロックの指定 ^{注1}
0	0	f _{xx} /16 (4 MHz, f _{xx} = 64 MHz時)
0	1	f _{xx} /32
1	0	f _{xx} /64
1	1	設定禁止

ADA2N1	ADA2N0	分解能 (サンプリング回数) の指定 ^{注2}
0	0	設定禁止
0	1	8ビット (512回)
1	0	設定禁止
1	1	10ビット (2048回)

注1. サンプリング・クロックは、1 MHz～4 MHzの範囲内で供給してください。

2. 変換時間は、サンプリング・クロック × サンプリング回数で求められます。

ただし、ADA2CTL0.ADA2CEビットをセット (1) した直後、またはアナログ入力端子 (ANI2n) を変換後の最初の1回の変換時間は、サンプリング・クロック × (サンプリング回数 + 6) で求められます (V850E/IA3 : n = 0-5, V850E/IA4 : n = 0-7)。

注意 ビット2-5には、必ず0を設定してください。

備考 f_{xx} : 周辺クロック

(3) A/Dコンバータ2制御レジスタ2 (ADA2CTL2)

ADA2CTL2レジスタは、アナログ入力端子 (ANI2n)^注の指定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、A/D変換動作中にADA2CTL2レジスタに書き込みを行った場合 (ANI2n端子^注を変更した場合) には、実行していた変換を中断し、再度指定したANI2n端子^注の変換を開始します。

リセットにより00Hになります。

注 ANI26, ANI27端子はV850E/IA4のみ

リセット時：00H R/W アドレス：FFFFFF242H

	7	6	5	4	3	2	1	0
ADA2CTL2	0	0	0	0	0	ADA2S2	ADA2S1	ADA2S0

ADA2S2	ADA2S1	ADA2S0	アナログ入力端子
0	0	0	ANI20
0	0	1	ANI21
0	1	0	ANI22
0	1	1	ANI23
1	0	0	ANI24
1	0	1	ANI25
1	1	0	ANI26 ^注
1	1	1	ANI27 ^注

注 V850E/IA4のみ

- 注意1. 今行っているA/D変換動作の終了とアナログ入力端子 (ANI2n) の指定操作が競合する可能性がある場合には、ADA2STRレジスタで、すでにA/D変換を終了したANI2n端子がどれであることを確認してください。
2. A/D変換動作中にADA2CTL2レジスタに書き込みを行った場合 (ANI2n端子を変更した場合)、A/D変換結果レジスタn (ADA2CRn) に変換結果は格納されません。変換中のA/D変換動作は初期化され、再度指定したANI2n端子の変換動作を開始します。

(4) A/Dコンバータ2制御レジスタ3 (ADA2CTL3)

ADA2CTL3レジスタは、A/D変換のバッファ・モード、および動作モードの指定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、A/D変換動作中にADA2CTL3レジスタへの書き込みは、同値書き込みも含めて禁止です。書き込みを行った場合、A/D2変換結果レジスタn (ADA2CRn) の変換結果および変換動作の保証はできません。書き込みを行った場合には、必ずいったん変換停止 (ADA2CTL0.ADA2CEビット = 0) してから、変換条件を再設定してください。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF243H

	7	6	5	4	3	2	1	0
ADA2CTL3	ADA2BS	ADA2TS	0	0	0	0	0	0

ADA2BS	バッファ・モードの指定
0	1バッファ・モード
1	4バッファ・モード

ADA2TS	動作モードの指定
0	シリアル・モード
1	パラレル・モード

注意 各バッファ・モード時におけるアナログ入力端子 (ANI2n) とA/D2変換結果レジスタn (ADA2CRn) の関係は次のようになります (n = 0-7)。

・1バッファ・モード時

ADA2CTL2レジスタで指定される1つのアナログ入力端子 (ANI2n) と ADA2CRnレジスタは1対1に対応しています (表13 - 2参照)。

・4バッファ・モード時

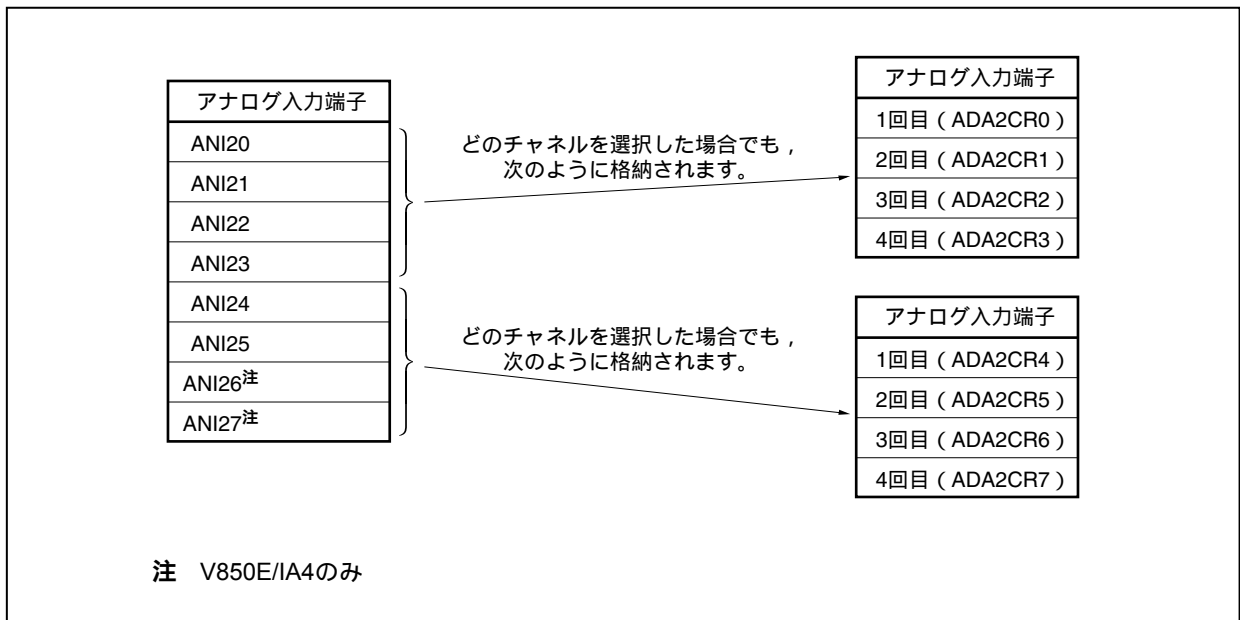
ADA2CTL2レジスタで指定される1つのアナログ入力端子 (ANI2n) が ANI20-ANI23端子の1端子に対して、変換結果はADA2CR0-ADA2CR3レジスタに、ANI24-ANI27端子の1端子に対して、変換結果はADA2CR4-ADA2CR7レジスタに格納されます (図13 - 2参照)。

表13 - 2 1バッファ・モード時の各アナログ入力端子とADA2CRnレジスタの対応

アナログ入力端子	ADA2CRnレジスタ
ANI20	ADA2CR0
ANI21	ADA2CR1
ANI22	ADA2CR2
ANI23	ADA2CR3
ANI24	ADA2CR4
ANI25	ADA2CR5
ANI26 ^注	ADA2CR6
ANI27 ^注	ADA2CR7

注 V850E/IA4のみ

図13 - 2 4バッファ・モード時の各アナログ入力端子とADA2CRnレジスタの対応



(5) A/Dコンバータ2ステータス・レジスタ (ADA2STR)

ADA2STRレジスタは、A/D変換を終了したアナログ入力端子 (ANI2n) を確認する8ビットのレジスタです (V850E/IA3 : n = 0-5, V850E/IA4 : n = 0-7)。

ANI2n端子の変更と前回時のA/D変換終了が競合した場合、または競合する可能性がある場合にどのANI2n端子がA/D変換終了したのかを確認できます。A/D2変換終了割り込み要求信号 (INTAD2) を発生するたびにA/D変換を終了したANI2n端子の情報を更新します。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時 : 00H R アドレス : FFFFF246H

	7	6	5	4	3	2	1	0
ADA2STR	0	0	0	0	0	ADA2IT2	ADA2IT1	ADA2IT0

ADA2IT2	ADA2IT1	ADA2IT0	A/D変換を終了したアナログ入力端子
0	0	0	ANI20
0	0	1	ANI21
0	1	0	ANI22
0	1	1	ANI23
1	0	0	ANI24
1	0	1	ANI25
1	1	0	ANI26 ^注
1	1	1	ANI27 ^注

注 V850E/IA4のみ

(6) A/D2変換結果レジスタ0-7, 0H-07H (ADA2CR0-ADA2CR7, ADA2CR0H-ADA2CR7H)

ADA2CRn, ADA2CRnHレジスタは, A/D変換結果を保持するレジスタです。A/D変換が終了するたびに, 変換レジスタ (SAR) から変換結果がロードされ, ADA2CTL1レジスタで設定した分解能 (8ビット / 10ビット) で, 変換結果をADA2CRnレジスタの上位8ビットまたは10ビットに格納します。下位7ビットまたは5ビットは常に0が読み出されます。

ADA2CRnHレジスタには, A/D変換結果の上位8ビットが読み出されます。

16/8ビット単位でリードのみ可能です。このレジスタへの16ビット単位でリードする場合はADA2CRnレジスタを, 上位8ビットをリードする場合にはADA2CRnHレジスタを指定します。

リセットにより0000Hになります。

リセット時: 0000H R アドレス: ADA2CR0 FFFFF250H, ADA2CR1 FFFFF252H,
ADA2CR2 FFFFF254H, ADA2CR3 FFFFF256H,
ADA2CR4 FFFFF258H, ADA2CR5 FFFFF25AH,
ADA2CR6 FFFFF25CH, ADA2CR7 FFFFF25EH

[10ビット分解能設定時]

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADA2CRn (n = 0-7)	AD2 n9	AD2 n8	AD2 n7	AD2 n6	AD2 n5	AD2 n4	AD2 n3	AD2 n2	AD2 n1	AD2 n0	不定	0	0	0	0	0

[8ビット分解能設定時]

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADA2CRn (n = 0-7)	AD2 n7	AD2 n6	AD2 n5	AD2 n4	AD2 n3	AD2 n2	AD2 n1	AD2 n0	不定	0	0	0	0	0	0	0

リセット時: 00H R アドレス: ADA2CR0H FFFFF251H, ADA2CR1H FFFFF253H,
ADA2CR2H FFFFF255H, ADA2CR3H FFFFF257H,
ADA2CR4H FFFFF259H, ADA2CR5H FFFFF25BH,
ADA2CR6H FFFFF25DH, ADA2CR7H FFFFF25FH

[10ビット分解能設定時]

	7	6	5	4	3	2	1	0
ADA2CRnH (n = 0-7)	AD2n9	AD2n8	AD2n7	AD2n6	AD2n5	AD2n4	AD2n3	AD2n2

[8ビット分解能設定時]

	7	6	5	4	3	2	1	0
ADA2CRnH (n = 0-7)	AD2n7	AD2n6	AD2n5	AD2n4	AD2n3	AD2n2	AD2n1	AD2n0

各アナログ入力端子とADA2CRn, ADA2CRnHレジスタの対応を次に示します。

表13 - 3 各アナログ入力端子とADA2CRn, ADA2CRnHレジスタの対応表

アナログ入力端子	A/D変換結果レジスタ
ANI20	ADA2CR0, ADA2CR0H
ANI21	ADA2CR1, ADA2CR1H
ANI22	ADA2CR2, ADA2CR2H
ANI23	ADA2CR3, ADA2CR3H
ANI24	ADA2CR4, ADA2CR4H
ANI25	ADA2CR5, ADA2CR5H
ANI26 ^注	ADA2CR6, ADA2CR6H
ANI27 ^注	ADA2CR7, ADA2CR7H

注 V850E/IA4のみ

アナログ入力端子 (ANI2n) に入力されたアナログ入力電圧とA/D変換結果 (A/D2変換結果レジスタn (ADA2CRn)) には次式に示す関係 (10ビット分解能設定時) があります。

$$SAR = INT \left(\frac{V_{IN}}{AV_{DD}} \times 1024 + 0.5 \right)$$

$$ADCR^{\#} = SAR \times 64$$

または,

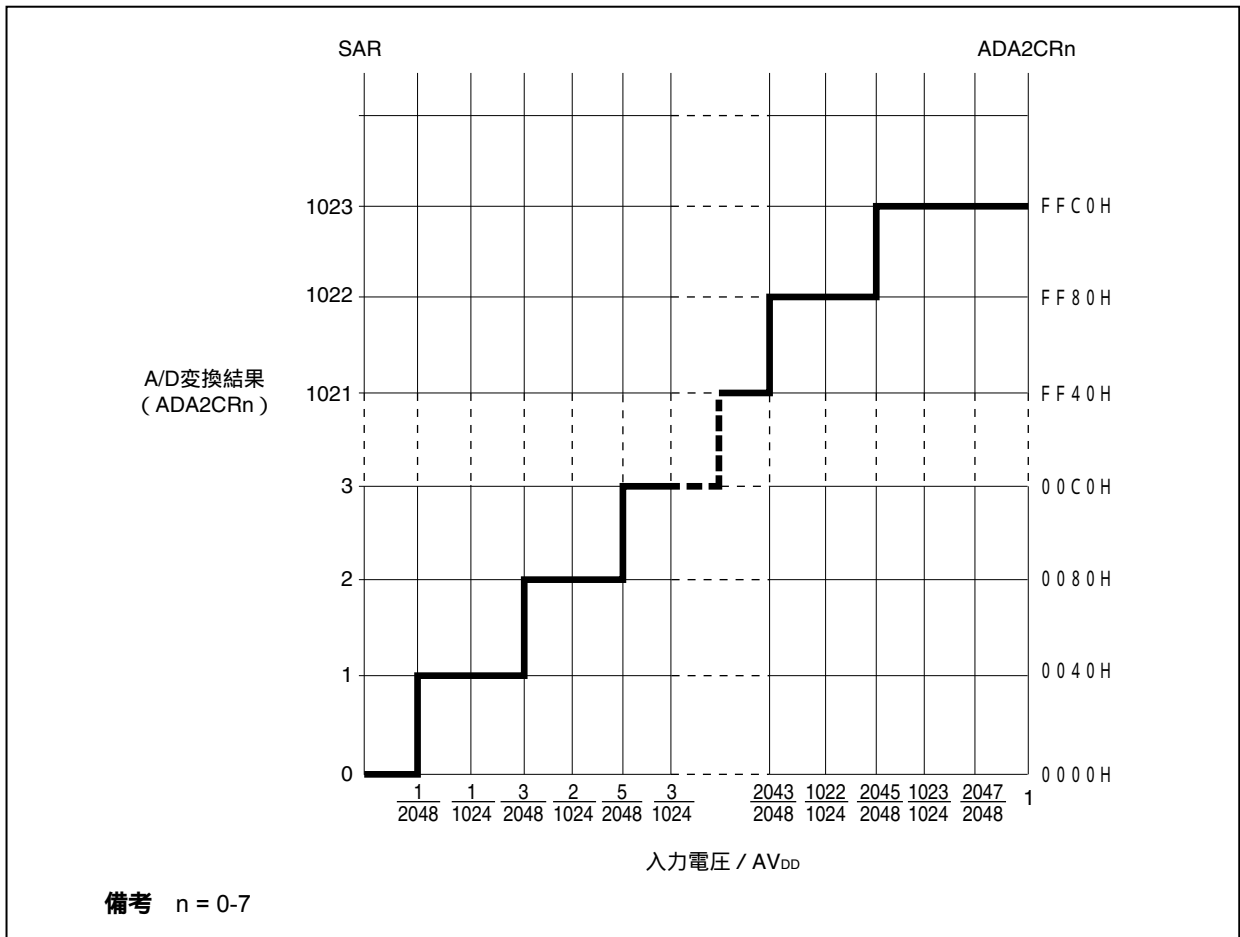
$$\left(SAR - 0.5 \right) \times \frac{AV_{DD}}{1024} < V_{IN} < \left(SAR + 0.5 \right) \times \frac{AV_{DD}}{1024}$$

- INT () : () 内の値の整数部を返す関数
- V_{IN} : アナログ入力電圧
- AV_{DD} : AV_{DD} 端子電圧
- ADCR : A/D2変換結果レジスタn (ADA2CRn) の値

注 ADA2CRnレジスタの下位5ビットは0固定です。

次にアナログ入力電圧とA/D変換結果の関係を示します。

図13 - 3 アナログ入力電圧とA/D変換結果の関係 (10ビット分解能設定時)



13.4 動作

13.4.1 基本動作

A/Dコンバータ2は、A/D変換を開始すると停止するまで変換を行い、変換が終了するたびにA/D2変換終了割り込み要求信号 (INTAD2) を発生します。次に具体的なA/D変換の手順を示します。

- (1) アナログ電源をADA2CTL0.ADA2PONビット = 1に設定して、電源オンにします。
- (2) アナログ入力のサンプリング・クロックおよび分解能をADA2CTL1レジスタ、アナログ入力端子の選択をADA2CTL2レジスタ、バッファ・モードおよび動作モードをADA2CTL3レジスタで指定します。
- (3) A/D変換は、ADA2CTL0.ADA2PONビット = 1設定後、5 μ s以上経過してからADA2CEビットをセット (1) することで開始します。5 μ s経過以前にADA2CEビットをセット (1) し、A/D変換を開始した場合には、設定時間で変換を終了し、A/D2変換終了割り込み要求信号 (INTAD2) を発生しますが、1回目の変換結果は精度を保証できません。
- (4) アナログ入力端子 (ANI2n)^{注1}の電圧をADA2CTL1.ADA2FS1, ADA2FS0ビットで設定したサンプリング・クロックでサンプリングし、ADA2N1, ADA2N0ビットで設定した回数分、サンプリングします (n = 0-7)。サンプリング後、デジタル・フィルタにより指定した分解能のビット長に変換し、変換結果をA/D2変換結果レジスタn (ADA2CRn) に格納し、同時にA/D2変換終了割り込み要求信号 (INTAD2) を発生します。A/D変換終了後は、ADA2CTL0.ADA2CEビットを0 (変換停止) にしないかぎり再度同じANI2n端子でA/D変換を繰り返します。なお、A/D変換動作中にADA2CTL2レジスタに書き込みを行った場合 (ANI2n端子を変更した場合)^{注2}には、実行していた変換を中断し、再度指定したANI2n端子の変換動作を開始します。また、A/D変換を終了したANI2n端子については、ADA2STRレジスタにより確認できます。
- (5) A/D変換の停止は、ADA2CTL0.ADA2CEビット = 0で行います。
- (6) A/Dコンバータ2を使用せずに動作電流を低減するには、ADA2CTL0.ADA2PONビットを0にしてください。

注1. ANI26, ANI27端子はV850E/IA4のみ

2. A/D変換動作中にADA2CTL2レジスタに書き込みを行った場合 (ANI2n端子を変更した場合)、A/D2変換結果レジスタn (ADA2CRn) に変換結果は格納されません (n = 0-7)。変換中のA/D変換動作は初期化され、再度指定したANI2n端子の変換動作を開始します。

13.4.2 バッファ・モードと動作モード

A/Dコンバータ2は、ADA2CTL2レジスタで指定される1つのアナログ入力端子（ANI2n）^注に対して連続変換や時間差変換の指定ができます（n = 0-7）。

バッファ・モード、動作モードは、ADA2CTL3レジスタで設定します。

注 ANI26, ANI27端子はV850E/IA4のみ

バッファ・モード	動作モード	アナログ入力端子	A/D変換結果レジスタ	割り込み発生間隔 ^{注1}	変換結果読み出し保留可能期間 ^{注1}
1バッファ	シリアル・モード	ANI2n ^{注2}	ADA2CRn	128 μ s	128 μ s
	パラレル・モード	ANI2n ^{注2}	ADA2CRn	32 μ s	32 μ s
4バッファ	シリアル・モード	ANI20-ANI23中の1端子	ADA2CR0-ADA2CR3	512 μ s	128 μ s ^{注3}
		ANI24-ANI27中の1端子 ^{注2}	ADA2CR4-ADA2CR7		
	パラレル・モード	ANI20-ANI23中の1端子	ADA2CR0-ADA2CR3	128 μ s	32 μ s ^{注3}
		ANI24-ANI27中の1端子 ^{注2}	ADA2CR4-ADA2CR7		

注1. 8ビット分解能， $f_{xx} = 64$ MHz動作時

2. ANI26, ANI27端子はV850E/IA4のみ
3. A/D2変換終了割り込み要求信号（INTAD2）発生後，最初のA/D変換でADA2CR0レジスタ，またはADA2CR4レジスタが更新されるまでの時間

(1) バッファ・モード

1つのアナログ入力端子（ANI2n）^注に対するA/D変換の結果を格納するバッファ・モードには，1バッファ・モードと4バッファ・モードがあります（n = 0-7）。

これらのバッファ・モードは，ADA2CTL3.ADA2BSビットで設定します。

注 ANI26, ANI27端子はV850E/IA4のみ

(a) 1バッファ・モード

ADA2CTL2レジスタで指定される1つのアナログ入力端子（ANI2n）^注とA/D2変換結果レジスタn（ADA2CRn）が1対1に対応するモードです（表13 - 2参照）（n = 0-7）。

注 ANI26, ANI27端子はV850E/IA4のみ

(b) 4バッファ・モード

ADA2CTL2レジスタで指定される1つのアナログ入力端子（ANI2n）^注の電圧を4回A/D変換し，その結果を4つのA/D2変換結果レジスタn（ADA2CRn）にする格納するモードです（n = 0-7）。

ANI20-ANI23端子の1端子に対して，変換結果はADA2CR0-ADA2CR3レジスタに，ANI24-ANI27端子の1端子^注に対して，変換結果はADA2CR4-ADA2CR7レジスタに格納されます（図13 - 2参照）。

注 ANI26, ANI27端子はV850E/IA4のみ

(2) 動作モード

動作モードには、1つのアナログ入力端子 (ANI2n)[※]に対してA/D変換を連続して行うシリアル・モードと、変換開始時に時間差を設定して、変換を並行して行うパラレル・モードがあります (n = 0-7)。

これらの動作モードは、ADA2CTL3.ADA2TSビットで設定します。

注 ANI26, ANI27端子はV850E/IA4のみ

(a) シリアル・モード

ADA2CTL2レジスタで指定される1つのアナログ入力端子 (ANI2n)[※]のA/D変換終了後、次の変換を行うモードです (n = 0-7)。

注 ANI26, ANI27端子はV850E/IA4のみ

- ・ 1バッファ・モード時

1回のA/D変換終了ごとにA/D2変換終了割り込み要求信号 (INTAD2) を発生します。

- ・ 4バッファ・モード時

4回のA/D変換終了後にA/D2変換終了割り込み要求信号 (INTAD2) を発生します。

(b) パラレル・モード

ADA2CTL2レジスタで指定される1つのアナログ入力端子 (ANI2n)[※]を変換時間の1/4ごとの時間差で変換を開始するモードです (n = 0-7)。

注 ANI26, ANI27端子はV850E/IA4のみ

- ・ 1バッファ・モード時

ADA2CTL1レジスタで設定した変換時間の1/4ごとの時間差で変換を開始し、ANI2n端子[※]に対応したADA2CRnレジスタに変換結果を格納します (n = 0-7)。A/D2変換終了割り込み要求信号 (INTAD2) は、変換結果をADA2CRnレジスタに格納ごと (変換時間の1/4ごと) に発生します。

注 ANI26, ANI27端子はV850E/IA4のみ

- ・ 4バッファ・モード時

ADA2CTL1レジスタで設定した変換時間の1/4ごとの時間差で変換を開始し、4つのADA2CRnレジスタに変換結果を格納します (n = 0-7)。A/D2変換終了割り込み要求信号 (INTAD2) は、変換結果を4つのADA2CRnレジスタに格納後に発生します。

13.4.3 動作タイミング

各バッファ・モード、動作モード時の動作タイミングを次に示します。

(1) 1バッファ・シリアル・モード

ADA2CTL2レジスタで指定される1つのアナログ入力端子 (ANI2n)^{注1}をA/D変換し、変換結果をANI2n端子に対応したA/D2変換結果レジスタn (ADA2CRn) に連続して格納します (n = 0-7)。

ANI2n端子とADA2CRnレジスタは1対1に対応しています (表13 - 2参照)。

1回のA/D変換終了ごとにA/D2変換終了割り込み要求信号 (INTAD2) を発生します。A/D変換終了後は、ADA2CTL0.ADA2CEビットを0 (変換停止) にしないかぎり再度同じANI2n端子^{注1}でA/D変換を繰り返します。

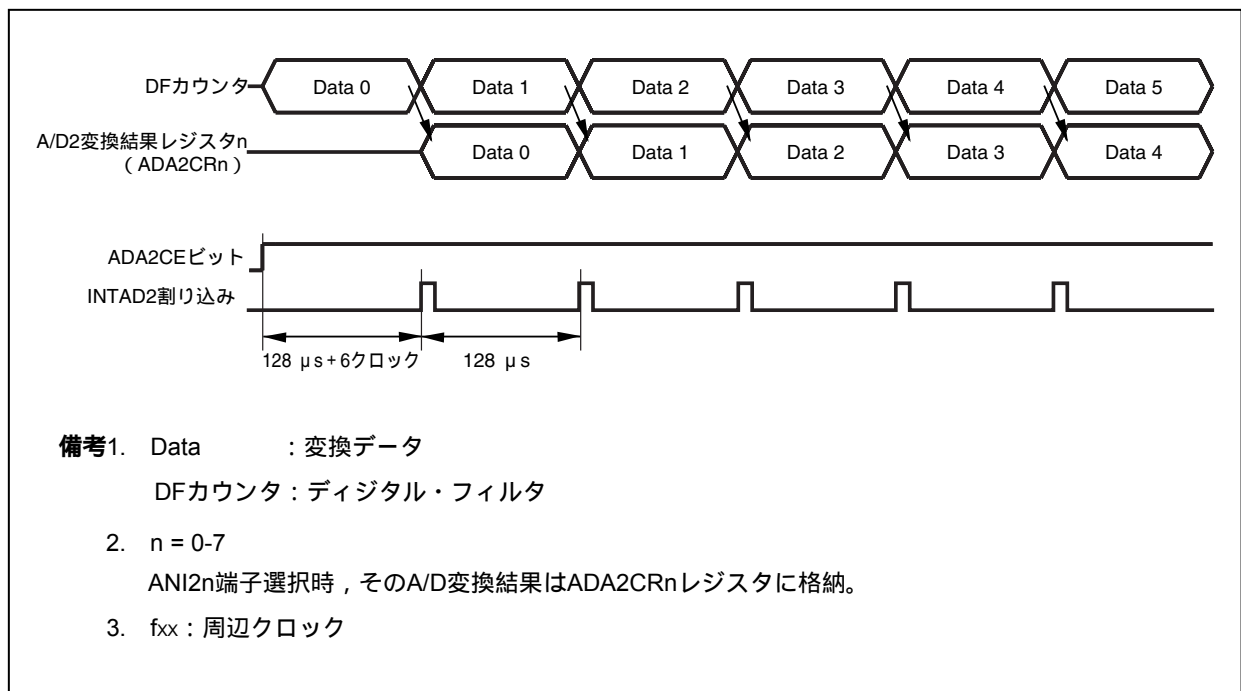
A/D変換の再起動動作として、ADA2CTL0.ADA2CEビットをセット (1) する必要がありません^{注2}。

A/D変換の停止は、ADA2CEビットを0にすることで可能となります。

注1. ANI26, ANI27端子はV850E/IA4のみ

- 1バッファ・シリアル・モードでは、ADA2CTL0.ADA2CEビットを0にしないかぎりA/D変換動作を停止しないため、次のA/D変換終了までにADA2CRnレジスタを読み出さないと、上書きされます (n = 0-7)。

図13 - 4 1バッファ・シリアル・モード時の動作タイミング例 (8ビット分解能, f_{xx} = 64 MHzの場合)



(2) 1バッファ・パラレル・モード

ADA2CTL2レジスタで指定される1つのアナログ入力端子 (ANI2n)^{注1}を時間差を持って、並行してA/D変換し、変換結果をANI2n端子^{注1}に対応したA/D2変換結果レジスタn (ADA2CRn) に連続して格納します (n = 0-7)。

ANI2n端子^{注1}とADA2CRnレジスタは1対1に対応しています (表13 - 2参照)。

ADA2CTL1レジスタで設定した変換時間の1/4ごとの時間差でA/D変換を開始します。

A/D変換後、ANI2n端子^{注1}に対応したADA2CRnレジスタに変換結果を格納ごと (変換時間の1/4ごと) にA/D2変換終了割り込み要求信号 (INTAD2) を発生します。A/D変換終了後は、ADA2CTL0.ADA2CEビットを0 (変換停止) にしないかぎり再度同じANI2n端子^{注1}でA/D変換を繰り返します。

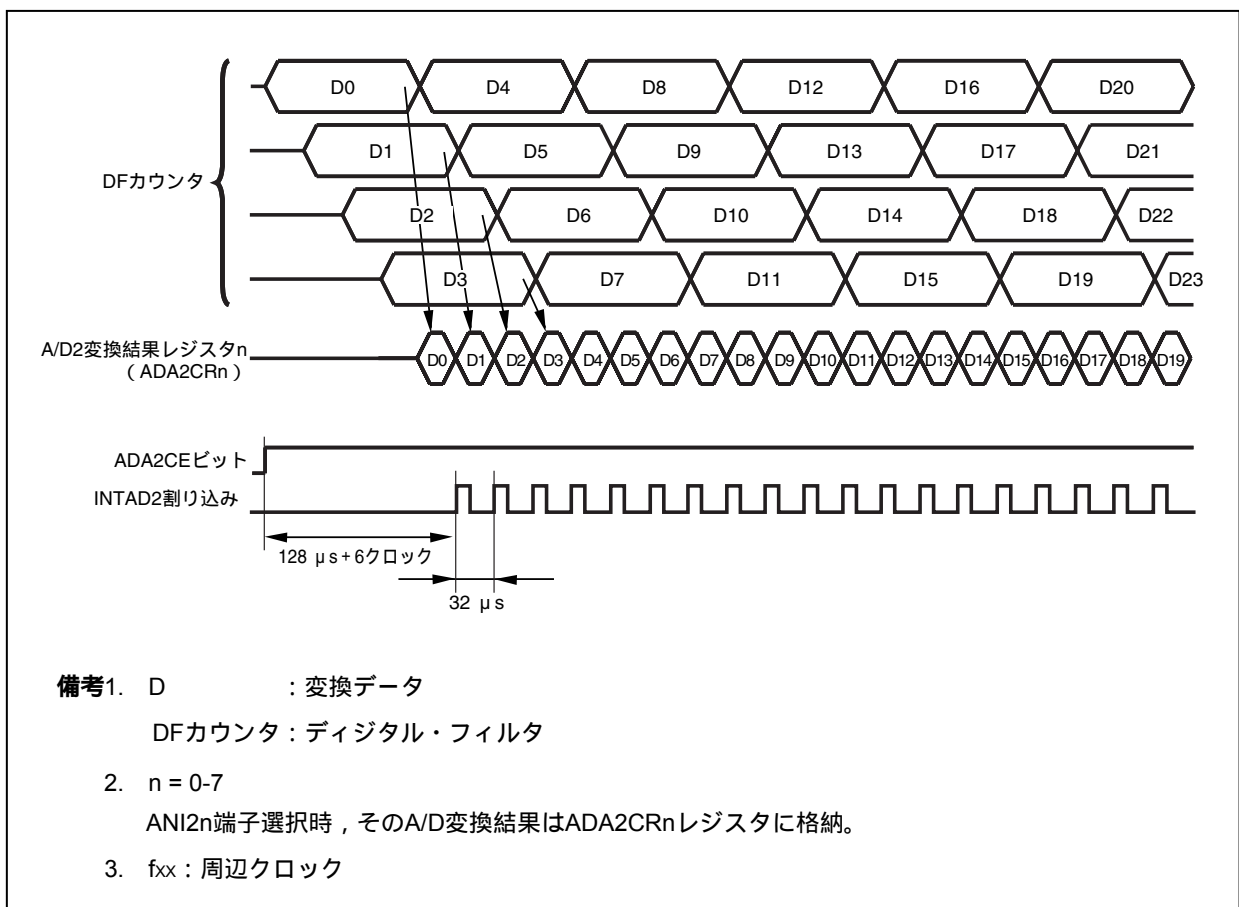
A/D変換の再起動動作として、ADA2CTL0.ADA2CEビットをセット (1) する必要がありません^{注2}。

A/D変換の停止は、ADA2CEビットを0にすることで可能となります。

注1. ANI26, ANI27端子はV850E/IA4のみ

2. 1バッファ・パラレル・モードでは、ADA2CTL0.ADA2CEビットを0にしないかぎりA/D変換動作を停止しないため、次のA/D変換終了までにADA2CRnレジスタを読み出さないと、上書きされます (n = 0-7)。

図13 - 5 1バッファ・パラレル・モード時の動作タイミング例 (8ビット分解能, f_{xx} = 64 MHzの場合)



(3) 4バッファ・シリアル・モード

ADA2CTL2レジスタで指定される1つのアナログ入力端子 (ANI2n)^{注1}を4回A/D変換し、変換結果を4つのA/D2変換結果レジスタn (ADA2CRn) に格納します (n = 0-7)。

ANI20-ANI23端子の1端子に対して、変換結果はADA2CR0-ADA2CR3レジスタに、ANI24-ANI27端子の1端子^{注1}に対して、変換結果はADA2CR4-ADA2CR7レジスタに格納されます (図13 - 2参照)。

4回のA/D変換終了後にA/D2変換終了割り込み要求信号 (INTAD2) を発生します。A/D変換終了後は、ADA2CTL0.ADA2CEビットを0 (変換停止) にしないかぎり再度同じANI2n端子^{注1}でA/D変換を繰り返します。

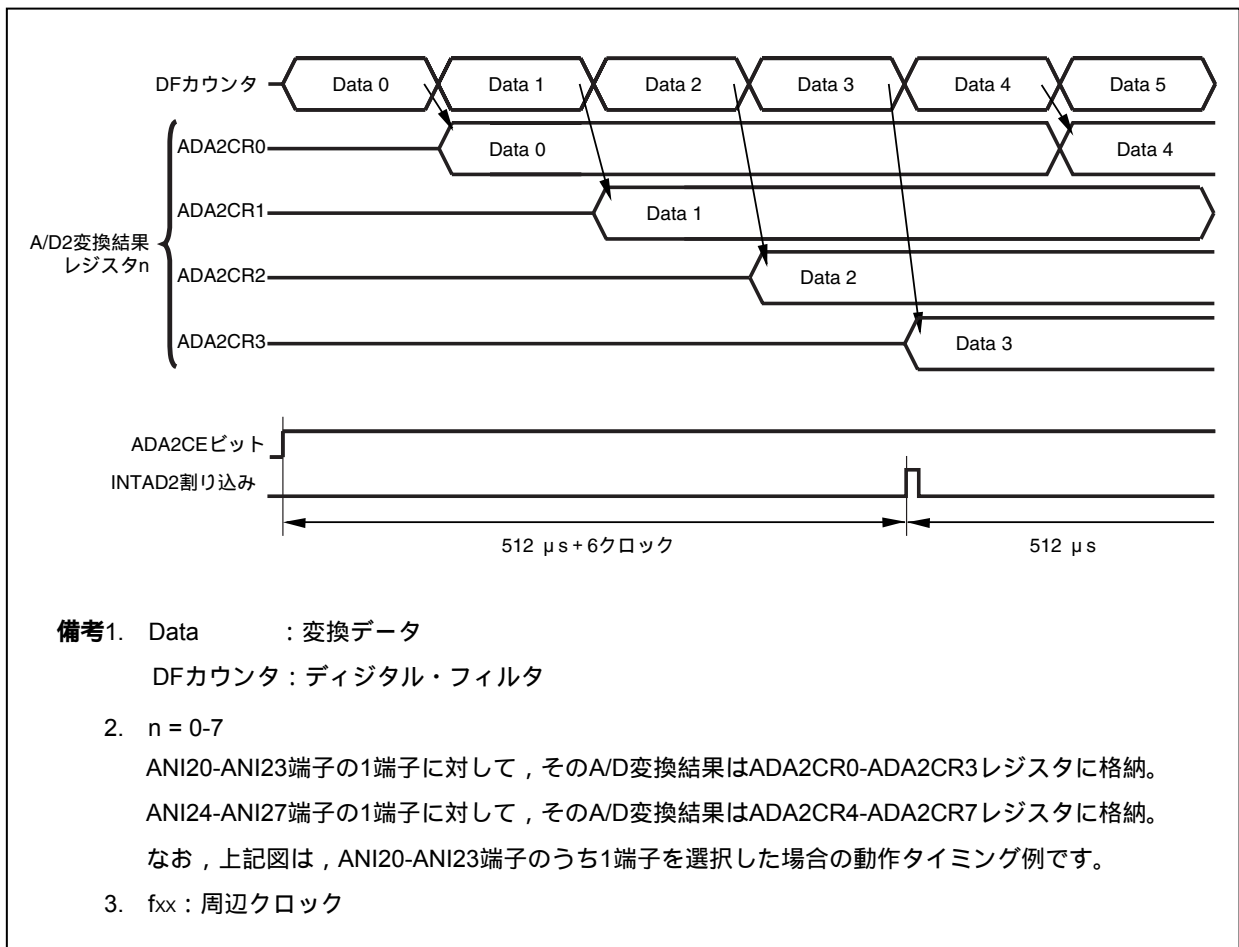
A/D変換の再起動動作として、ADA2CTL0.ADA2CEビットをセット (1) する必要がありません^{注2}。

A/D変換の停止は、ADA2CEビットを0にすることで可能となります。

注1. ANI26, ANI27端子はV850E/IA4のみ

2. 4バッファ・シリアル・モードでは、ADA2CTL0.ADA2CEビットを0にしないかぎりA/D変換動作を停止しないため、次のA/D変換終了までにADA2CRnレジスタを読み出さないと、上書きされます (n = 0-7)。

図13 - 6 4バッファ・シリアル・モード時の動作タイミング例 (8ビット分解能, f_{xx} = 64 MHzの場合)



(4) 4バッファ・パラレル・モード

ADA2CTL2レジスタで指定される1つのアナログ入力端子 (ANI2n)^{注1}を時間差を持って、並行して4回A/D変換し、変換結果をANI2n端子^{注1}に対応した4つのA/D2変換結果レジスタn (ADA2CRn) に連続して格納します (n = 0-7)。

ANI20-ANI23端子の1端子に対して、変換結果はADA2CR0-ADA2CR3レジスタに、ANI24-ANI27端子の1端子^{注1}に対して、変換結果はADA2CR4-ADA2CR7レジスタに格納されます (図13 - 2参照)。

ADA2CTL1レジスタで設定した変換時間の1/4ごとの時間差でA/D変換を開始します。

4回のA/D変換終了後、4つのADA2CRnレジスタに変換結果を格納後にA/D2変換終了割り込み要求信号 (INTAD2) を発生します。A/D変換終了後は、ADA2CTL0.ADA2CEビットを0 (変換停止) にしないかぎり再度同じANI2n端子でA/D変換を繰り返します。

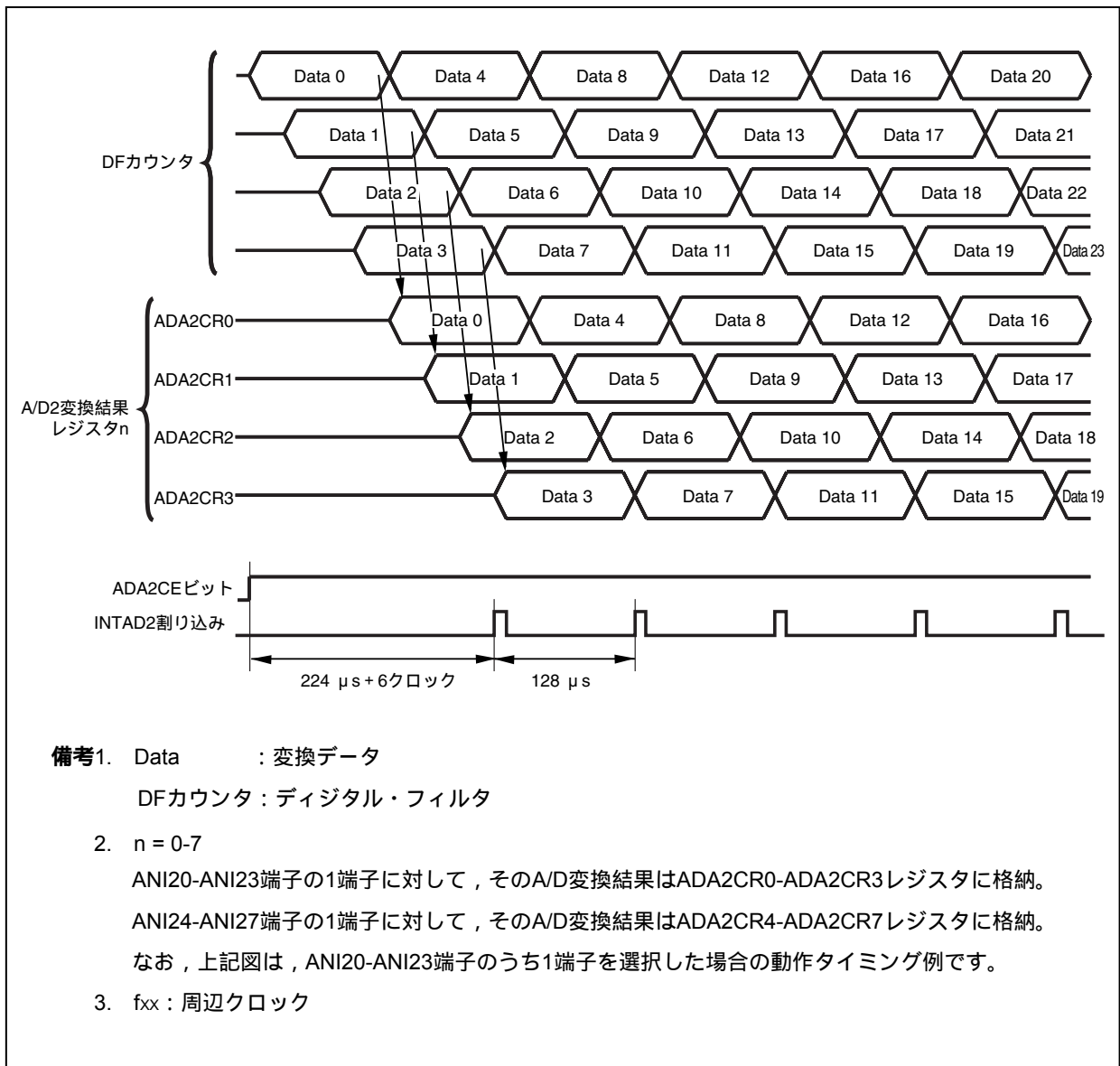
A/D変換の再起動動作として、ADA2CTL0.ADA2CEビットをセット (1) する必要がありません^{注2}。

A/D変換の停止は、ADA2CEビットを0にすることで可能となります。

注1. ANI26, ANI27端子はV850E/IA4のみ

2. 4バッファ・パラレル・モードでは、ADA2CTL0.ADA2CEビットを0にしないかぎりA/D変換動作を停止しないため、次のA/D変換終了までにADA2CRnレジスタを読み出さないと、上書きされます (n = 0-7)。

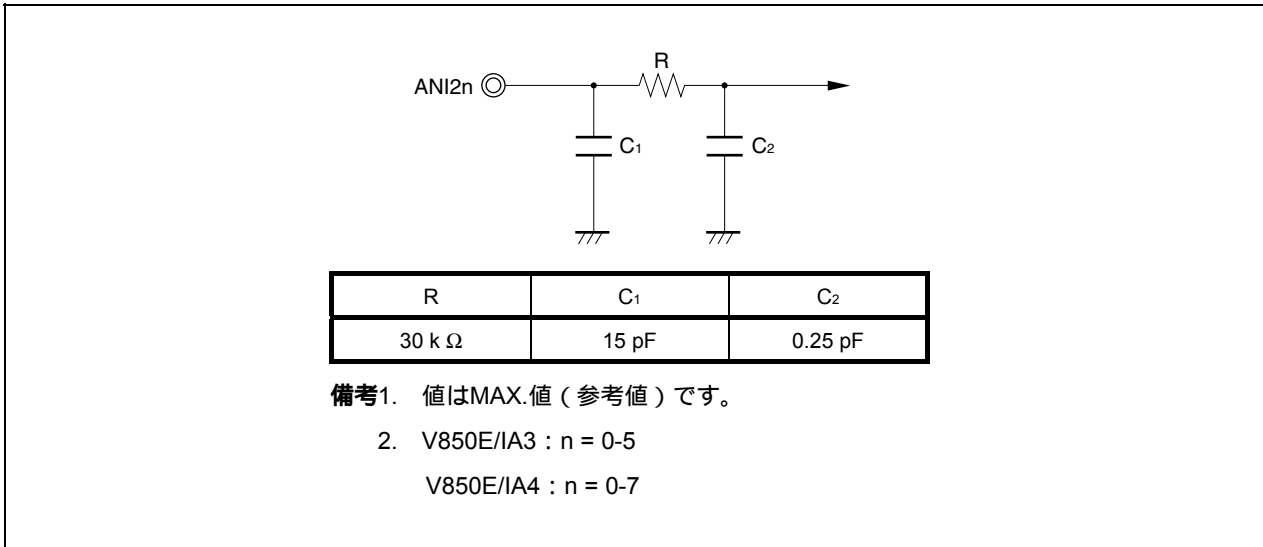
図13-7 4バッファ・パラレル・モード時の動作タイミング例（8ビット分解能， $f_{xx} = 64 \text{ MHz}$ の場合）



13.5 内部等価回路

アナログ入力部の等価回路を次に示します。

図13 - 8 ANI2n端子内部等価回路



13.6 A/Dコンバータ特性表の読み方

詳細については、12.10 A/Dコンバータ特性表の読み方を参照してください。

13.7 注意事項

13.7.1 変換動作中のADA2CTL1, ADA2CTL3レジスタへの書き込み

A/D変換動作中にADA2CTL1, ADA2CTL3レジスタへの書き込み（同値書き込みも含む）は禁止です。書き込みを行った場合、A/D2変換結果レジスタn(ADA2CRn)の変換結果および変換動作の保証はできません(n=0-7)。書き込みを行った場合には、必ずいったん変換停止(ADA2CTL0.ADA2CEビット=0)してから、変換条件を再設定してください。

13.7.2 変換結果レジスタへの格納タイミングの競合

A/D変換終了時の変換レジスタ(SAR)からA/D2変換結果レジスタn(ADA2CRn)への変換結果の格納タイミングと(1)-(4)の動作が競合した場合の注意について説明します。

(1) ADA2CRnレジスタのリード・タイミングとの競合

SARレジスタからADA2CRnレジスタへの変換結果の格納タイミングとADA2CRnレジスタのリード・タイミングが競合した場合、ADA2CRnレジスタには不正値がリードされます。

ただし、ADA2CRnレジスタには変換結果が正しく格納されます。

【回避策】

次に示すいずれかの方法でADA2CRnレジスタに不正値がリードされるのを回避してください。

- ・ A/D2変換終了割り込み(INTAD2)処理内で、ただちにADA2CRnレジスタをリードしてください。なお、割り込み優先や多重割り込みの関係でただちに処理できない場合でも次回の格納タイミング前にADA2CRnレジスタをリードしてください。
- ・ A/D2変換終了割り込み(INTAD2)によりDMAを起動し、DMAによりADA2CRnレジスタをリードしてください。
- ・ ADA2CRnレジスタを2回連続リードすることで同じ値かどうかを比較し、同じ値の場合は正しい値とします。異なる値の場合は再度(3回目)リードし、その値を正しい値とします。なお、この一連の処理は次のA/D変換終了前までに行ってください。ただし、3回目のリードで一連のソフトウェア的な動作時間内にA/D2変換終了割り込み(INTAD2)が発生する場合は、2回連続のリードによる同値確認を繰り返してください。

(2) A/D変換終了タイミングとの競合

SARレジスタからADA2CRnレジスタへの変換結果の格納タイミングとA/D変換停止処理 (ADA2CTL0.ADA2CEビット = 0) が競合した場合、ADA2CRnレジスタには不正値が書き込まれます。

【回避策】

次に示すいずれかの方法でADA2CRnレジスタに不正値が書き込まれるのを回避してください。

- ・A/D2変換終了割り込み (INTAD2) 処理内で、ただちにADA2CTL0レジスタ = 80Hまたは00Hを設定してください。なお、割り込み優先や多重割り込みの関係でただちに処理できない場合でも次回の格納タイミング前にA/D変換停止処理 (ADA2CTL0レジスタ = 80Hまたは00H) を行ってください。
- ・A/D2変換終了割り込み (INTAD2) によりDMAを起動し、DMAによりADA2CTL0レジスタ = 80Hまたは00Hを設定してください。

(3) ADA2STRレジスタのリード・タイミングとの競合

SARレジスタからADA2CRnレジスタへの変換結果の格納タイミングとADA2STRレジスタのリード・タイミングが競合した場合、ADA2STRレジスタには不定値がリードされます。

ただし、ADA2STRレジスタの値そのものは正しく更新されます。

【回避策】

次に示す方法でADA2STRレジスタに不正値がリードされるのを回避してください。

- ・A/D2変換終了割り込み (INTAD2) 処理内で、ただちにADA2STRレジスタをリードしてください。なお、割り込み優先や多重割り込みの関係でただちに処理できない場合でも次回の格納タイミング前にADA2STRレジスタをリードしてください。
- ・A/D2変換終了割り込み (INTAD2) によりDMAを起動し、DMAによりADA2STRレジスタをリードしてください。
- ・ADA2STRレジスタを2回連続リードすることで同じ値かどうかを比較し、同じ値の場合は正しい値とします。異なる値の場合は再度 (3回目) リードし、その値を正しい値とします。なお、この一連の処理は次回のA/D変換終了前までに行ってください。ただし、3回目のリードで一連のソフトウェア的な動作時間内にA/D2変換終了割り込み (INTAD2) が発生する場合は、2回連続のリードによる同値確認を繰り返してください。

(4) アナログ入力端子の切り替えとの競合

SARレジスタからADA2CRnレジスタへの変換結果の格納タイミングとソフトウェア処理によるアナログ入力端子の切り替え (ADA2CTL2の書き換え) が競合した場合、ADA2CRnレジスタには不正値が書き込まれます

ただし、アナログ入力端子は正しく切り替わります (ADA2CTL2レジスタの書き換えは正しく行われます)。

【回避策】

ADA2CRnレジスタの読み出し後にアナログ入力端子の切り替えを行うことで、ADA2CRnレジスタに不正値が書き込まれるのを回避してください。

第14章 アシクロナス・シリアル・インタフェースA(UARTA)

14.1 UARTA1とCSIB1のモード切り替え

V850E/IA3, V850E/IA4では, UARTA1とCSIB1は端子が兼用になっており,同時に使用することはできません。UARTA1とCSIB1の切り替えは,あらかじめPMC3, PFC3レジスタを設定する必要があります。

注意 UARTA1またはCSIB1において,送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図14 - 1 UARTA1とCSIB1のモード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時 : 00H R/W アドレス : FFFFF466H

	7	6	5	4	3	2	1	0
PFC3	0	0	PFC35	0	PFC33	PFC32	0	0

PMC34	P34端子の兼用機能の指定	
0	入出力ポート	
1	SCKB1入出力	

PMC33	PFC33	P33端子の兼用機能の指定
0	x	入出力ポート
1	0	SOB1出力
1	1	TXDA1出力

PMC32	PFC32	P32端子の兼用機能の指定
0	x	入出力ポート
1	0	SIB1入力
1	1	RXDA1入力

備考 x = don't care

14.2 特 徴

転送速度 300 bps ~ 1.25 Mbps (周辺クロック (f_{xx}) : 64 MHz, 専用ポー・レート・ジェネレータ使用)

全二重通信 UARTA受信データ・レジスタn (UAnRX) 内蔵

UARTA送信データ・レジスタn (UAnTX) 内蔵

2端子構成 TXDAn : 送信データの出力端子

RXDAn : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース : 3種類

- ・受信エラー割り込み (INTUAnRE) : 3種類の受信エラーの論理和で割り込みを発生
- ・受信終了割り込み (INTUAnR) : 受信許可状態において, シリアル転送終了後, シフト・レジスタからUAnRXレジスタへ受信データを転送すると発生
- ・送信許可割り込み (INTUAnT) : 送信許可状態において, UAnTXレジスタからシフト・レジスタへ送信データを転送すると発生

キャラクタ長 : 7, 8ビット

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

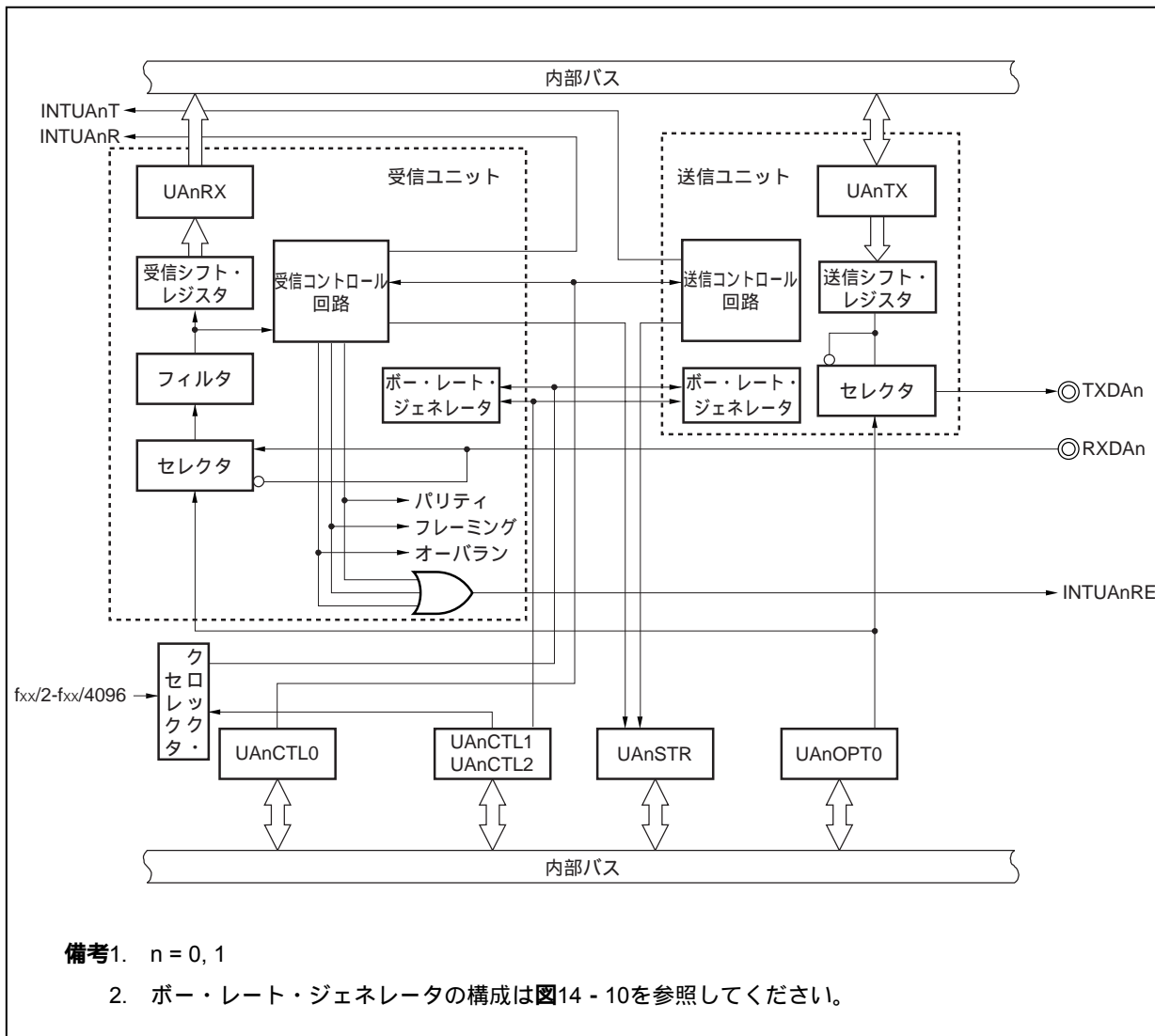
送受信データの反転入出力が可能

備考 n = 0, 1

14.3 構成

次にUARTAnのブロック図を示します。

図14 - 2 UARTAnのブロック図



UARTAnは、次のハードウェアで構成されています。

表14 - 1 UARTAnの構成

項目	構成
レジスタ	UARTAn制御レジスタ0 (UAnCTL0) UARTAn制御レジスタ1 (UAnCTL1) UARTAn制御レジスタ2 (UAnCTL2) UARTAnオプション制御レジスタ0 (UAnOPT0) UARTAn状態レジスタ (UAnSTR) UARTAn受信シフトレジスタ UARTAn受信データレジスタ (UAnRX) UARTAn送信シフトレジスタ UARTAn送信データレジスタ (UAnTX)

(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnの動作を指定する8ビットのレジスタです。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロック (f_{CLK}) を選択する8ビットのレジスタです。

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのポー・レート制御する8ビットのレジスタです。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送を制御する8ビットのレジスタです。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット (1) されます。

(6) UARTAn受信シフト・レジスタ

RXDAn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分のデータを受信し、ストップ・ビットを検出すると、受信データをUAnRXレジスタへ転送します。このレジスタは直接操作することはできません。

(7) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます (LSBファースト受信時)。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期してUARTAn受信シフト・レジスタからUAnRXレジスタに転送されます。

また、UAnRXレジスタへの転送により、受信終了割り込み要求信号 (INTUAnR) が発生します。

(8) UARTAn送信シフト・レジスタ

UARTAn送信シフト・レジスタは、UAnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UAnTXレジスタから1バイト分のデータが転送されると、UARTAn送信シフト・レジスタのデータをTXDAn端子から出力します。

このレジスタは直接操作することはできません。

(9) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、8ビットの送信データ用バッファです。UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタにデータの書き込みが可能になる (UAnTXレジスタからUARTAn送信シフト・レジスタに1フレーム分のデータが転送される) と、送信許可割り込み要求信号 (INTUAnT) を発生します。

14.4 制御レジスタ

(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより10Hになります。

(1/2)

リセット時：10H R/W アドレス：UA0CTL0 FFFFFFFA00H, UA1CTL0 FFFFFFFA10H								
	⑦	⑥	⑤	④	3	2	1	0
UAnCTL0	UAnPWR	UAnTXE	UAnRXE	UAnDIR	UAnPS1	UAnPS0	UAnCL	UAnSL
(n = 0, 1)								
UAnPWR	UARTAnの動作の制御							
0	UARTAn動作禁止 (UARTAnを非同期にリセット)							
1	UARTAn動作許可							
UAnPWRビットにより、UARTAn動作の制御を行います。UAnPWRビットをクリア (0) すると、TXDAn端子の出力はハイ・レベルに固定されます (UAnOPT0. UAnTDLビット = 1のときは、ロウ・レベルに固定されます)。								
UAnTXE	送信動作許可							
0	送信動作禁止							
1	送信動作許可							
<ul style="list-style-type: none"> ・起動時はUAnPWRビット = 1にしてから、UAnTXEビット = 1としてください。 ・送信ユニットを初期化する場合は、UAnTXEビットをクリア (0) して、基本クロック (f_{CLK}) の2周期分の時間を経過してから、再びUAnTXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては14.7 (1) (a) 基本クロック参照)。 ・動作許可 (UAnPWRビット = 1) した場合には、UAnTXE = 1としたあと、基本クロック (f_{CLK}) の2周期分以上の時間を経過してから送信動作が許可状態になります。 ・UAnPWRビット = 0にすると、UAnTXEビット = 1のときでも内部回路の状態はUAnPWRビットによりUAnTXEビット = 0の状態と同等になります。なお、再びUAnPWRビット = 1にすると、送信動作は許可状態になります。 								

UAnRXE	受信動作許可
0	受信動作禁止
1	受信動作許可

・ 起動時はUAnPWRビット = 1にしてから、UAnRXEビット = 1としてください。
 ・ 受信ユニットの状態を初期化する場合は、UAnRXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUAnRXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 14.7 (1) (a) **基本クロック**参照)。
 ・ 動作許可 (UAnPWRビット = 1) した場合には、UAnRXE = 1としたあと、基本クロック (f_{CLK}) の2周期分以上の時間を経過してから受信動作が許可状態になります。受信動作の許可状態前にスタート・ビットを受信した場合は、スタート・ビットは無視されます。
 ・ UAnPWRビット = 0にすると、UAnRXEビット = 1のときでも内部回路の状態はUAnPWRビットによりUAnRXEビット = 0の状態と同等になります。なお、再びUAnPWRビット = 1にすると、受信動作は許可状態になります。

UAnDIR ^注	転送方向選択
0	MSB転送ファースト
1	LSB転送ファースト

UAnPS1 ^注	UAnPS0 ^注	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

受信時に「0パリティとして受信」を選択した場合、パリティ判定を行いません。したがって、UAnSTR.UAnPEビットはセットされないため、パリティ・エラーによるエラー割り込みも発生しません。

UAnCL ^注	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

UAnSL ^注	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

受信データのストップ・ビットは、UAnSLビットの値に関わらず、最初の1ビットのみチェックします。

注 UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。ただし、同時にUAnPWR, UAnTXE, UAnRXEビットのいずれか、またはすべてを1とするのは可能です。

備考 パリティについての詳細は、14.6.6 **パリティの種類と動作**を参照してください。

(2) UARTAn制御レジスタ1 (UAnCTL1)

詳細は、14.7(2) UARTAn制御レジスタ1 (UAnCTL1) を参照してください。

(3) UARTAn制御レジスタ2 (UAnCTL2)

詳細は、14.7(3) UARTAn制御レジスタ2 (UAnCTL2) を参照してください。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより14Hになります。

リセット時：14H R/W アドレス：UA0OPT0 FFFFFFFA03H, UA1OPT0 FFFFFFFA13H

	7	6	5	4	3	2	1	0
UAnOPT0 (n = 0, 1)	0	0	0	1	0	1	UAnTDL	UAnRDL

UAnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力
<ul style="list-style-type: none"> ・ UAnTDLビットによりTXDAn端子の出力レベルを反転できます。 ・ UAnCTL0.UAnPWRビット = 0またはUAnCTL0.UAnTXEビット = 0のとき設定できます。 	

UAnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力
<ul style="list-style-type: none"> ・ UAnRDLビットによりRXDAn端子の入力レベルを反転できます。 ・ UAnPWRビット = 0またはUAnCTL0.UAnRXEビット = 0のとき設定できます。 ・ UAnRDLビット = 1 (受信データ反転入力) と設定した場合は、必ず受信開始時にデータ受信端子をUART受信用端子 (RXDAn) に設定してから、受信許可 (UAnCTL0.UAnRXEビット = 1) にする必要があります。受信許可後に端子モードを変更すると、そのときの端子レベルがハイ・レベルの場合にはスタート・ビットを誤検出します。 	

注意 ビット3, 5-7には必ず0を、ビット2, 4には必ず1を設定してください。
それ以外の値を設定した場合の動作は保証できません。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、UARTAnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。UAnTSFビットはリードのみ可能で、UAnPE, UAnFE, UAnOVEビットについてはリード/ライト可能ですが、ライト時は“0”ライトによるクリアのみ可能で、“1”ライトによるセット動作はできません(“1”をライトしても値を保持します)。

次に初期化条件を示します。

レジスタ/ビット	初期化条件
UAnSTRレジスタ	<ul style="list-style-type: none"> ・リセット時 ・UAnCTL0.UAnPWRビット = 0
UAnTSFビット	<ul style="list-style-type: none"> ・UAnCTL0.UAnTXEビット = 0
UAnPE, UAnFE, UAnOVEビット	<ul style="list-style-type: none"> ・0の書き込み ・UAnCTL0.UAnRXEビット = 0

注意 UAnPE, UAnFE, UAnOVEビットのエラー・フラグは、必ずリードしてフラグの状態を確認後、“0”ライトしてクリアしてください。

リセット時：00H R/W アドレス：UA0STR FFFFFFFA04H, UA1STR FFFFFFFA14H

	⑦	6	5	4	3	②	①	①
UAnSTR (n = 0, 1)	UAnTSF	0	0	0	0	UAnPE	UAnFE	UAnOVE

UAnTSF	転送状態フラグ
0	<ul style="list-style-type: none"> ・UAnPWRビット = 0, またはUAnTXEビット = 0に設定したとき ・転送終了後に, UAnTXレジスタに次のデータ転送がなかったとき
1	UAnTXレジスタへの書き込み
<p>連続送信を行っている場合にはUAnTSFビットは常に“1”になっています。 送信ユニットの初期化を行う場合には, UAnTSFビット = 0になっていることを確認してから初期化を行ってください。UAnTSFビット = 1の状態での初期化を行った場合の送信データは保証できません。</p>	

UAnPE	パリティ・エラー・フラグ
0	<ul style="list-style-type: none"> ・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	受信時, データのパリティとパリティ・ビットが一致しないとき
<ul style="list-style-type: none"> ・UAnPEビットの動作は, UAnCTL0.UAnPS1, UAnPS0ビットの設定により左右されます。 ・UAnPEビットはリード/ライト可能となっていますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。 	

UAnFE	フレーミング・エラー・フラグ
0	<ul style="list-style-type: none"> ・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	受信時, ストップ・ビットが検出されないとき
<ul style="list-style-type: none"> ・受信データのストップ・ビットは, UAnCTL0.UAnSLビットの値に関わらず, 最初の1ビットのみチェックします。 ・UAnFEビットはリード/ライト可能となっていますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。 	

UAnOVE	オーバラン・エラー・フラグ
0	<ul style="list-style-type: none"> ・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	UAnRXレジスタに受信データがセットされ, それを読み出す前に次の受信動作が終了したとき
<ul style="list-style-type: none"> ・オーバラン・エラーが発生したとき, 次の受信データはUAnRXレジスタに書き込まれず, データは破棄されます。 ・UAnOVEビットはリード/ライト可能となっていますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。 	

(6) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、UARTAn受信シフト・レジスタで変換したパラレル・データを格納するための8ビットのバッファ・レジスタです。

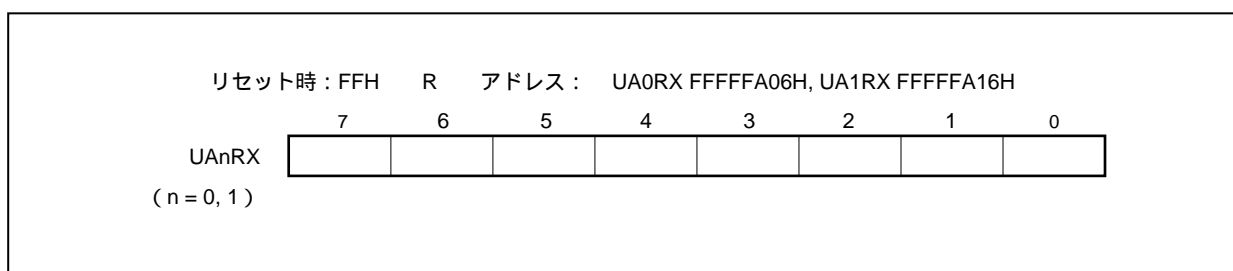
1バイト・データの受信終了によりUARTAn受信シフト・レジスタに格納したデータをUAnRXレジスタに転送します。このタイミングで受信終了割り込み要求信号 (INTUAnR) を発生します。

データ長を7ビットに指定し、LSBファーストで受信する場合、受信データはUAnRXレジスタのビット6-0に転送され、MSBは必ず“0”になります。MSBファーストで受信する場合、受信データはUAnRXレジスタのビット7-1に転送されLSBは必ず“0”になります。

オーバラン・エラーが発生した場合 (UAnSTR.UAnOVEビット = 1) は、そのときの受信データはUAnRXレジスタに転送されず破棄されます。

8ビット単位でリードのみ可能です。

リセット以外に、UAnCTL0.UAnPWRビット = 0によってもUAnRXレジスタはFFHになります。



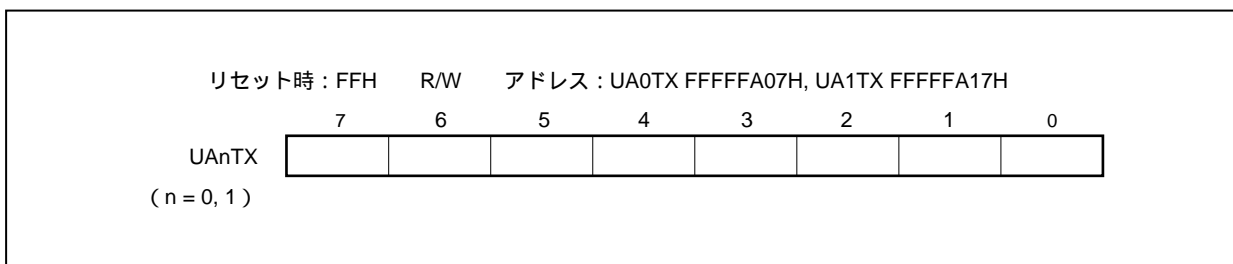
(7) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、送信データを設定するための8ビットのレジスタです。

送信許可状態 (UAnCTL0.UAnTXEビット = 1) のときに、UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送終了したタイミングで、送信許可割り込み要求信号 (INTUAnT) を発生します。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。



14.5 割り込み要求信号

UARTAnからは次の3種類の割り込み要求信号を発生します。

- ・受信エラー割り込み要求信号 (INTUAnRE)
- ・受信終了割り込み要求信号 (INTUAnR)
- ・送信許可割り込み要求信号 (INTUAnT)

これら3種類の割り込み要求信号のデフォルト優先順位は受信エラー割り込み要求信号が最も高く、受信終了割り込み要求信号、送信許可割り込み要求信号の順に低くなります。

表14 - 2 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	高
受信終了	
送信許可	低

(1) 受信エラー割り込み要求信号 (INTUAnRE)

受信許可状態で、UAnSTRレジスタで説明した3種類の受信エラー(パリティ・エラー、フレーミング・エラー、オーバラン・エラー)の論理和 (OR) で受信エラー割り込み要求信号を発生します。

(2) 受信終了割り込み要求信号 (INTUAnR)

受信許可状態で、UARTAn受信シフト・レジスタにデータがシフト・インされUAnRXレジスタに転送されると受信終了割り込み要求信号が発生します。

受信禁止状態中は、受信終了割り込み要求信号は発生しません。

(3) 送信許可割り込み要求信号 (INTUAnT)

送信許可状態で、UAnTXレジスタからUARTAn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

14.6 動作

14.6.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

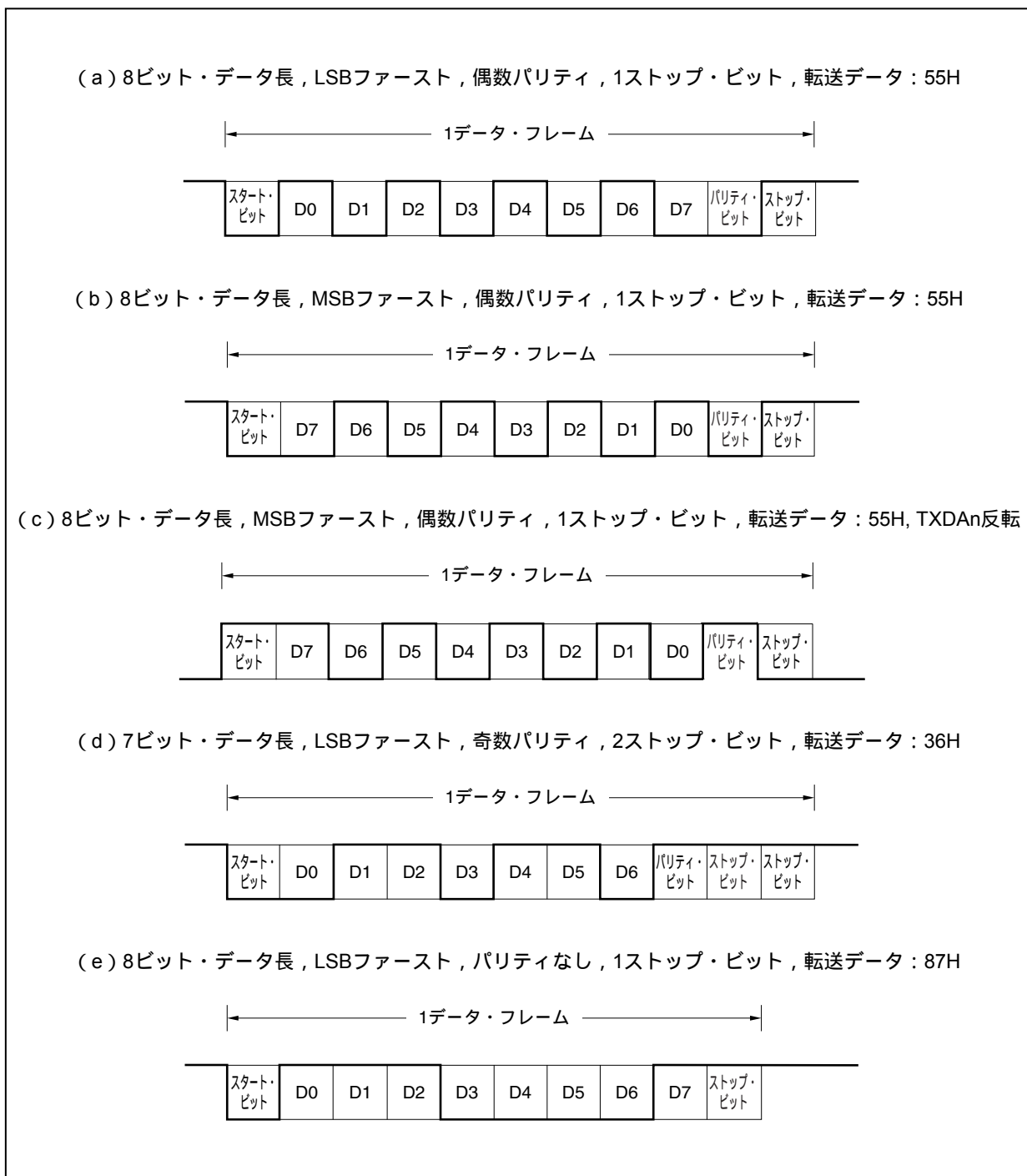
送受信データのフォーマットは図14-3に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSB/LSBファーストの転送指定は、UAnCTL0レジスタによって行います。

また、UAnOPT0.UAnTDLビットでTXDAn端子のUARTAn出力/反転出力の制御を行います。

- ・スタート・ビット 1ビット
- ・キャラクタ・ビット ... 7ビット/8ビット
- ・パリティ・ビット 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット 1ビット/2ビット

図14 - 3 UARTAの送受信データのフォーマット



14.6.2 UART送信

UAnCTL0.UAnPWRビット = 1とすることにより, TXDAn端子からハイ・レベルを出力します。

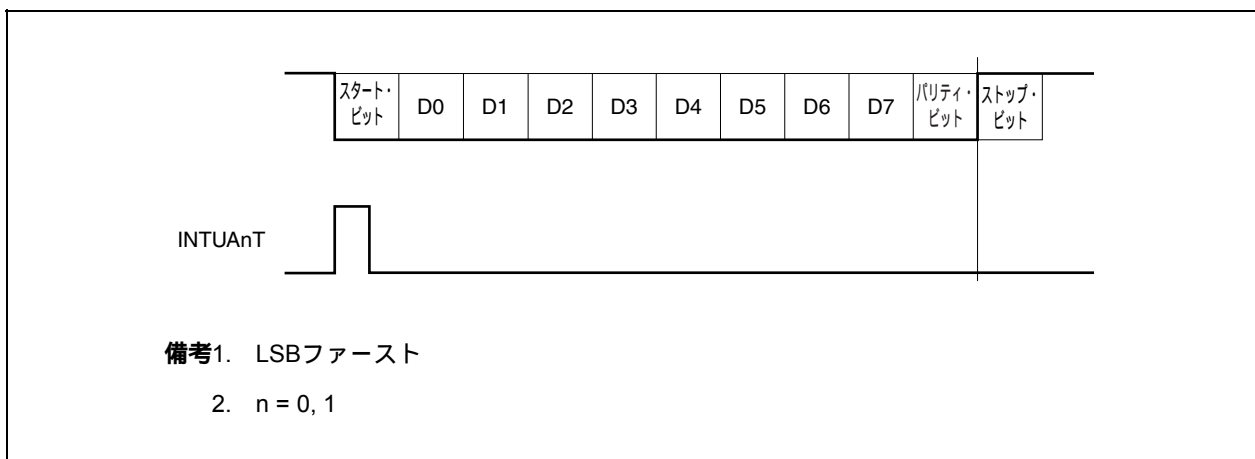
次に, UAnCTL0.UAnTXEビット = 1にすると送信許可状態となり, UAnTXレジスタに送信データを書き込むことにより送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加します。

なお, UARTAnにはCTS (送信許可信号) 入力端子がないので, 相手側が受信許可状態かを確認するときはポートを使用してください。

送信動作の開始により, UAnTXレジスタ内のデータをUARTAn送信シフト・レジスタへ転送します。

UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送終了したタイミングで, 送信許可割り込み要求信号 (INTUAnT) を発生し, そのあとUARTAn送信シフト・レジスタから順次, TXDAn端子に出力します。INTUAnT信号が発生することで, UAnTXレジスタに次の転送データの書き込みを許可します。

図14 - 4 UART送信



14.6.3 連続送信の手順説明

UARTAnはUARTAn送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをUAnTXレジスタへ書き込むことができます。UARTAn送信シフト・レジスタへの送信タイミングは、送信許可割り込み要求信号 (INTUAnT) で判断できます。次に送信するデータを、転送中にUAnTXレジスタに書き込むことにより、効率的な通信レートを実現できます。

注意 連続送信実行中は、UAnSTR.UAnTSFビットが“0”であることを確認して初期化を実行してください。UAnTSFビットが“1”のときに初期化を実行した場合の送信データの保証できません。

備考 n = 0, 1

図14 - 5 連続送信の処理フロー

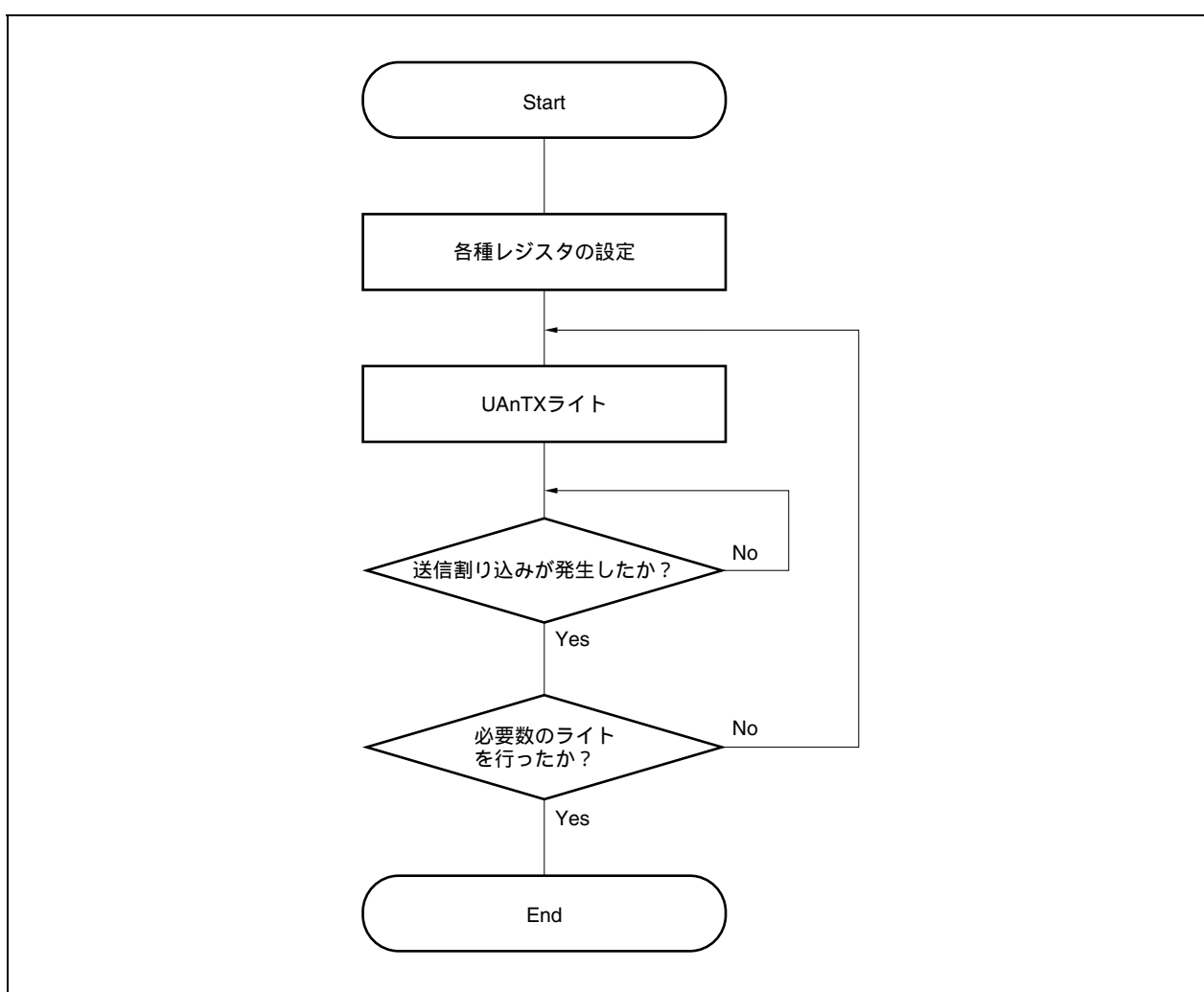
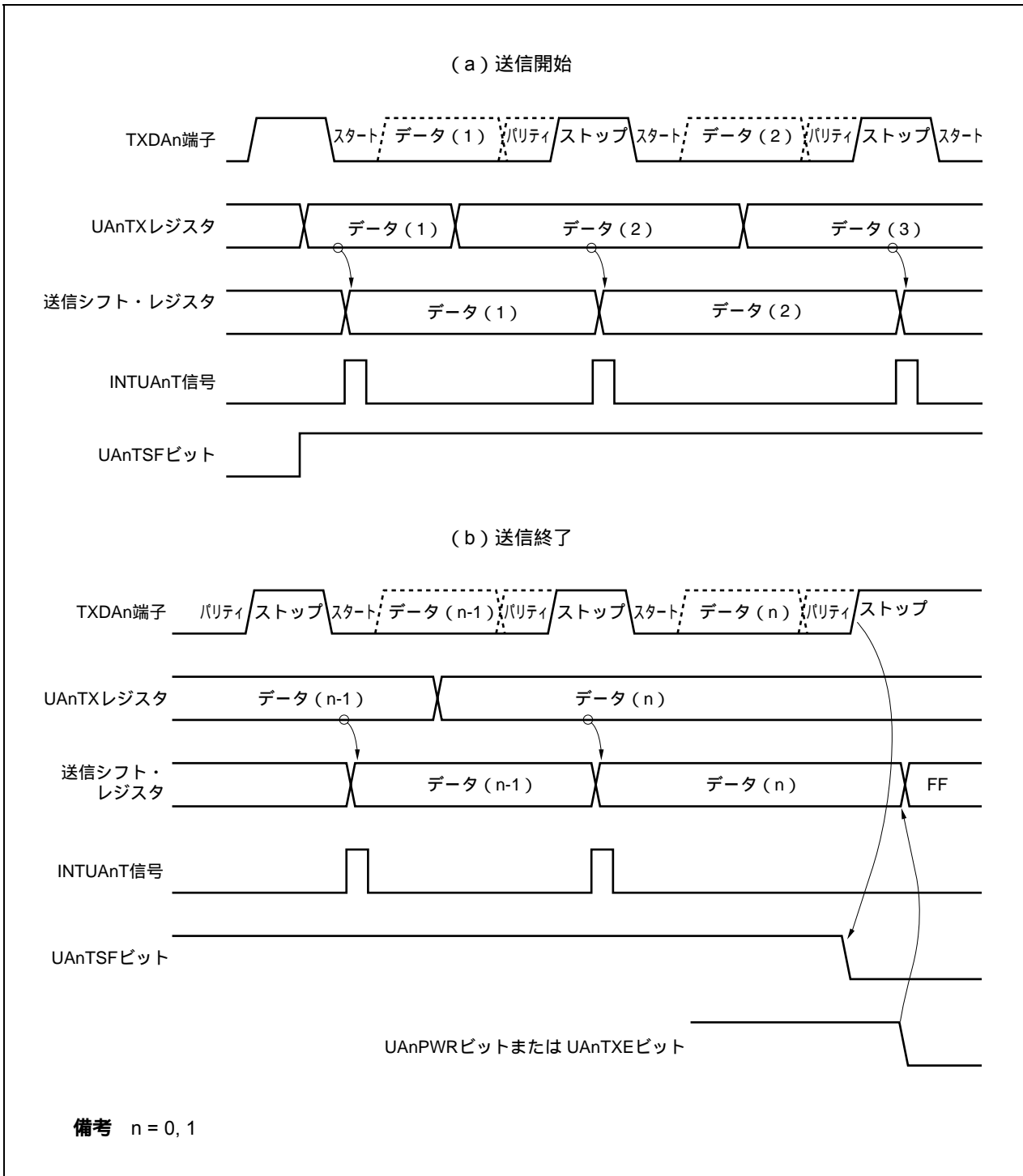


図14 - 6 連続送信動作のタイミング



14.6.4 UART受信

UAnCTL0.UAnPWRビット = 1にして、次にUAnCTL0.UAnRXEビット = 1にすることにより、受信待ち状態になります。受信待ち状態では、RXDAn端子をモニタし、スタート・ビットの検出を行います。

なおスタート・ビットの認識には2段階の検出ルーチンを取ります。

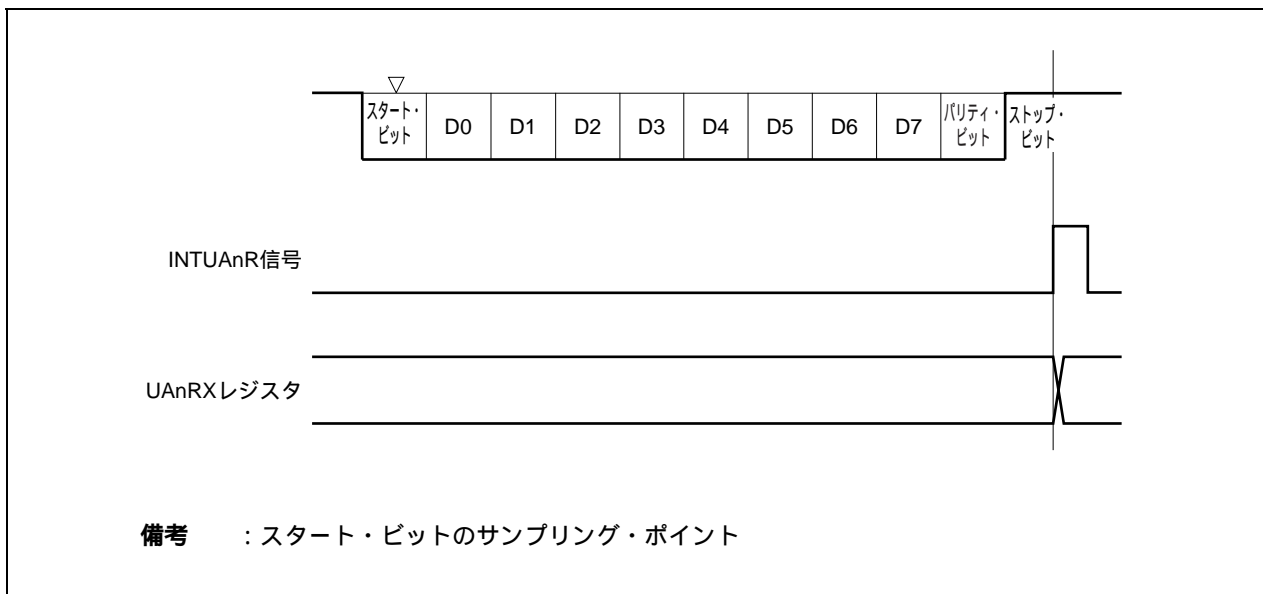
まずRXDAn端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDAn端子がロウ・レベルであれば、スタート・ビットと認識します。スタート・ビットが認識されたら、受信動作を開始し、設定されたボー・レートにあわせて、シリアル・データを順次、UARTAn受信シフト・レジスタに格納していきます。

ストップ・ビットを受信したら、受信終了割り込み要求信号 (INTUAnR) を発生すると同時に、UARTAn受信シフト・レジスタのデータをUAnRXレジスタに書き込みます。ただし、オーバラン・エラーが発生した場合 (UAnSTR.UAnOVEビット = 1)、そのときの受信データはUAnRXレジスタに書き込まれずに破棄されます。

受信途中に、パリティ・エラー (UAnSTR.UAnPEビット = 1)、フレーミング・エラー (UAnSTR.UAnFEビット = 1) が発生しても、1ビット目のストップ・ビットの受信位置までは、受信を継続し、受信終了後にINTUAnRE信号を発生します。

備考 n = 0, 1

図14 - 7 UART受信



- 注意1. 受信エラー発生時にも、UAnRXレジスタは必ず読み出してください。UAnRXレジスタを読み出さないと、次のデータ受信にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続くことになります。
2. 受信時は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
 3. 受信終了時は、受信終了割り込み要求信号 (INTUAnR) 発生後、UAnRXレジスタを読み出してから UAnPWRビット = 0またはUAnRXEビット = 0としてください。INTUAnR信号が発生する前に UAnPWRビット = 0またはUAnRXEビット = 0とした場合、UAnRXレジスタのリード値は保証できません。
 4. UARTAnの受信終了処理(INTUAnR信号の発生)と、UAnPWRビット = 0またはUAnRXEビット = 0が競合した場合、UAnRXレジスタにデータを格納していないにもかかわらず、INTUAnR信号が発生することがあります。INTUAnR信号の発生を待たずに受信終了を行うときには、必ず割り込みマスク・フラグ (UAnRIC.UAnRMK) をセット (1) してから、UAnPWRビット = 0またはUAnRXEビット = 0とし、さらに割り込み要求フラグ (UAnRIC.UAnRIF) をクリア (0) してください。

14.6.5 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。データ受信の結果エラー・フラグがUAnSTRレジスタに設定され、受信エラー割り込み要求信号 (INTUAnRE) を発生します。

UAnSTRレジスタの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます。

受信エラー・フラグをリードしたあとは、“0” ライトによりクリアしてください。

注意 受信終了割り込み要求信号 (INTUAnR) と受信エラー割り込み要求信号 (INTUAnRE) は同時に発生しません。正常受信終了時にはINTUAnR信号が発生します。受信エラー時にはINTUAnRE信号が発生し、INTUAnR信号は発生しません。

備考 n = 0, 1

・受信エラーの要因

エラー・フラグ	受信エラー	要 因
UAnPE	パリティ・エラー	受信したパリティ・ビットが設定と一致しない
UAnFE	フレーミング・エラー	ストップ・ビットが検出されない
UAnOVE	オーバーラン・エラー	UAnRXレジスタからデータを読み出す前に次のデータ受信が終了

14.6.6 パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは奇数個ビットの誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

(a) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ

(i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

14.6.7 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロック (f_{uclk}) でRXDAn端子をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、2クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図14-9参照)。基本クロックについては14.7(1)(a)基本クロックを参照してください。

また、回路は図14-8のようになっているので、受信動作の内部での処理は、外部の信号状態より3クロック分遅れて動作することになります。

備考 n = 0, 1

図14-8 ノイズ・フィルタ回路

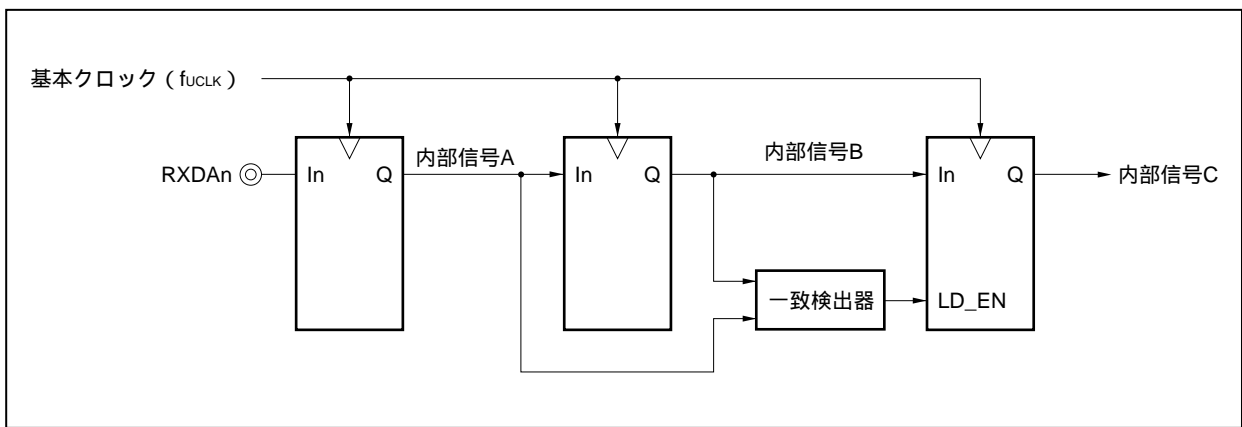
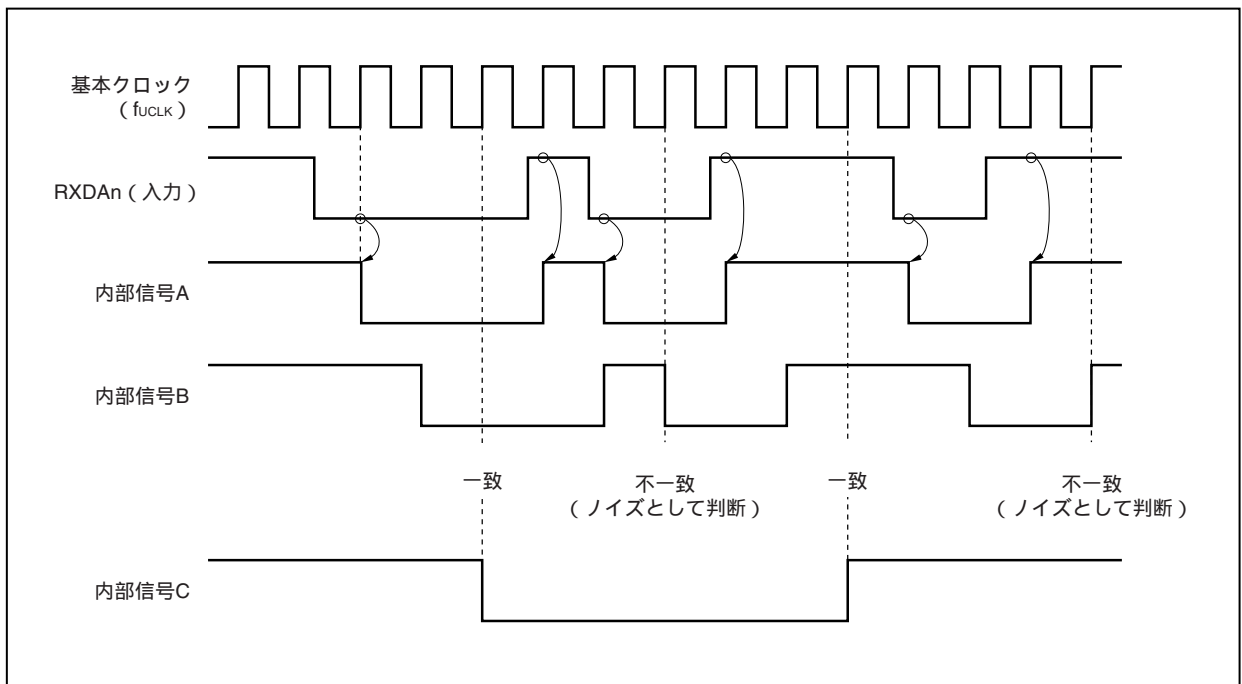


図14-9 ノイズとして判断されるRXDAn信号のタイミング



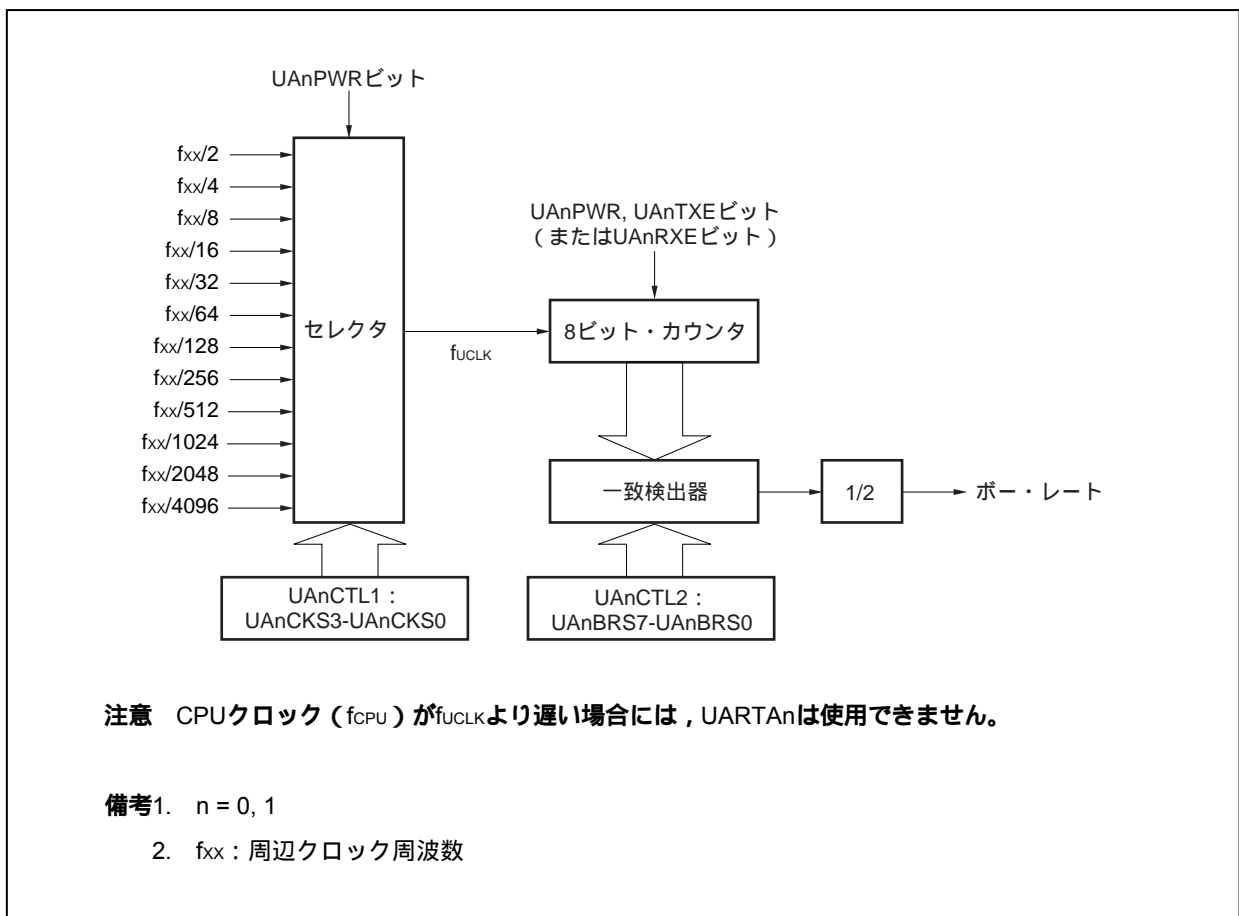
14.7 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTAnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

図14 - 10 ポー・レート・ジェネレータの構成



(a) 基本クロック

$UAnCTL0.UAnPWR$ ビット = 1のとき、 $UAnCTL1.UAnCKS3-UAnCKS0$ ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロック (f_{uCLK}) と呼びます。 $UAnPWR$ ビット = 0のときは、 f_{uCLK} はロウ・レベルに固定となります。

(b) シリアル・クロックの生成

$UAnCTL1$ レジスタと $UAnCTL2$ レジスタの設定により、シリアル・クロックを生成できます。

$UAnCTL1.UAnCKS3-UAnCKS0$ ビットにより、基本クロック (f_{uCLK}) を選択します。

$UAnCTL2.UAnBRS7-UAnBRS0$ ビットにより、8ビット・カウンタの分周値を設定できます。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 UAnCTL1レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0にしてから行ってください。

リセット時：00H R/W アドレス：UA0CTL1 FFFFFFFA01H, UA1CTL1 FFFFFFFA11H

	7	6	5	4	3	2	1	0
UAnCTL1	0	0	0	0	UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0

(n = 0, 1)

UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0	基本クロック (f _{uCLK}) の選択
0	0	0	0	f _{xx} /2
0	0	0	1	f _{xx} /4
0	0	1	0	f _{xx} /8
0	0	1	1	f _{xx} /16
0	1	0	0	f _{xx} /32
0	1	0	1	f _{xx} /64
0	1	1	0	f _{xx} /128
0	1	1	1	f _{xx} /256
1	0	0	0	f _{xx} /512
1	0	0	1	f _{xx} /1024
1	0	1	0	f _{xx} /2048
1	0	1	1	f _{xx} /4096
その他				設定禁止

備考 f_{xx} : 周辺クロック周波数

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのボー・レート（シリアル転送スピード）クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。

注意 UAnCTL2レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0、またはUAnTXE, UAnRXEビット = 00にしてから行ってください。

リセット時：FFH R/W アドレス：UA0CTL2 FFFFFFFA02H, UA1CTL2 FFFFFFFA12H

	7	6	5	4	3	2	1	0	
UAnCTL2	UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0	

(n = 0, 1)

UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0	規定値 (k)	シリアル・クロック
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	f _{uclk} /4
0	0	0	0	0	1	0	1	5	f _{uclk} /5
0	0	0	0	0	1	1	0	6	f _{uclk} /6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	f _{uclk} /252
1	1	1	1	1	1	0	1	253	f _{uclk} /253
1	1	1	1	1	1	1	0	254	f _{uclk} /254
1	1	1	1	1	1	1	1	255	f _{uclk} /255

備考 f_{uclk} : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

(4) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{CLK}}}{2 \times k} \text{ [bps]}$$

f_{CLK} : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

k : UAnCTL2.UAnBRS7-UAnBRS0ビットで設定した値 ($k = 4, 5, 6, \dots, 255$)

(5) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(7) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 周辺クロック周波数 = 32 MHz = 32,000,000 Hz

UAnCTL1.UAnCKS3-UAnCKS0ビットの設定値 = 0000B ($f_{\text{CLK}} = 16,000,000$ Hz)

UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 = 00110100B ($k = 52$)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 16000000 / (2 \times 52) \\ &= 153846 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (153846/153600 - 1) \times 100 \\ &= 0.160 \text{ [\%]} \end{aligned}$$

(6) ボー・レート設定例

表14-3 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	f _{xx} = 64 MHz			f _{xx} = 32 MHz		
	UAnCTL1	UAnCTL2	ERR (%)	UAnCTL1	UAnCTL2	ERR (%)
300	08H	D0H	0.16	07H	D0H	0.16
600	07H	D0H	0.16	06H	D0H	0.16
1200	06H	D0H	0.16	05H	D0H	0.16
2400	05H	D0H	0.16	04H	D0H	0.16
4800	04H	D0H	0.16	03H	D0H	0.16
9600	03H	D0H	0.16	02H	D0H	0.16
19200	02H	D0H	0.16	01H	D0H	0.16
31250	02H	80H	0	01H	80H	0
38400	01H	D0H	0.16	00H	D0H	0.16
76800	00H	D0H	0.16	00H	68H	0.16
153600	00H	68H	0.16	00H	34H	0.16
312500	00H	33H	0.39	00H	1AH	- 1.54
625000	00H	1AH	- 1.54	00H	0DH	- 1.54
1250000	00H	0DH	- 1.54	00H	06H	6.67

備考 f_{xx} : 周辺クロック周波数
 ERR : ボー・レート誤差 [%]

(7) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図14 - 11 受信時の許容ボー・レート範囲

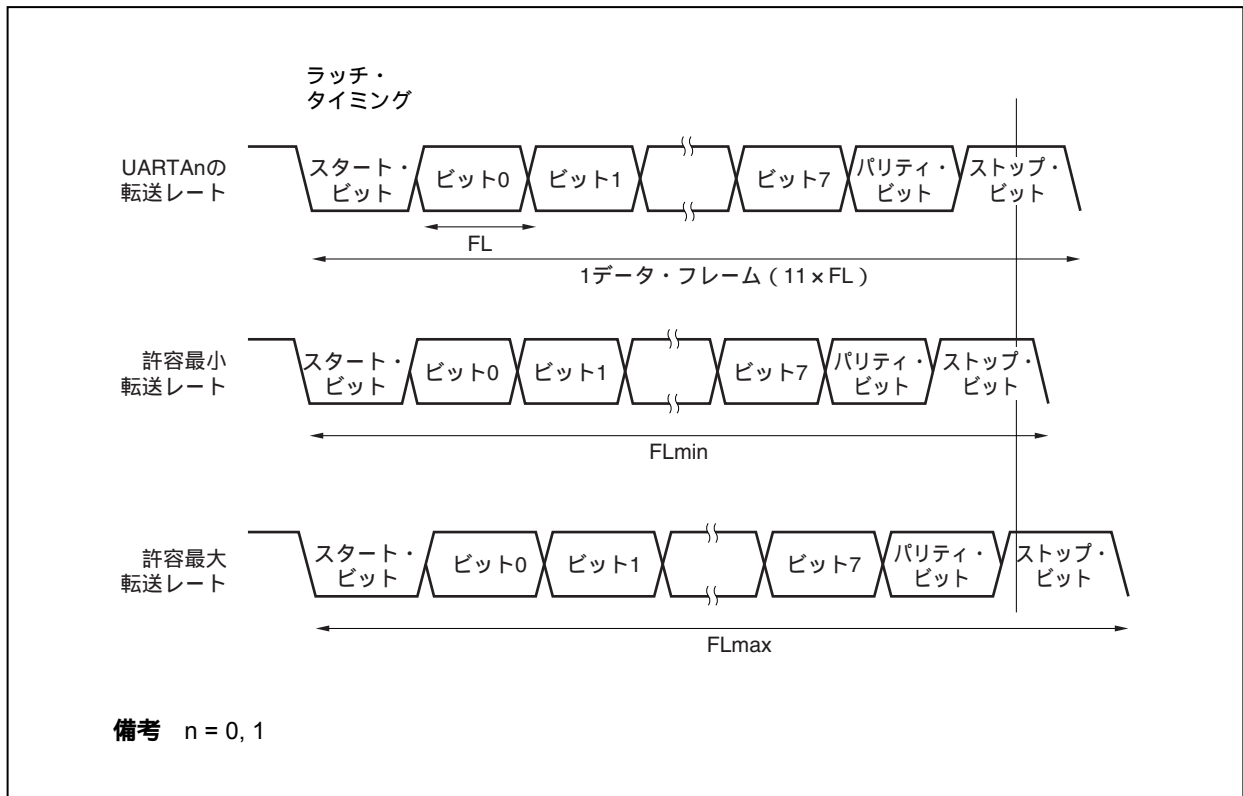


図14 - 11に示すように、スタート・ビット検出後はUAnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTAnのボー・レート ($n = 0, 1$)

k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 ($n = 0, 1$)

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート} : FL_{min} = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k + 2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\frac{10}{11} \times FL_{max} = 11 \times FL - \frac{k + 2}{2 \times k} \times FL = \frac{21k - 2}{2 \times k} FL$$

$$FL_{max} = \frac{21k - 2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k - 2} \text{ Brate}$$

前述の最小/最大ボー・レート値の算出式から、UARTAnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表14 - 4 許容最大/最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.32 %	- 2.43 %
8	+ 3.52 %	- 3.61 %
20	+ 4.26 %	- 4.30 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.72 %

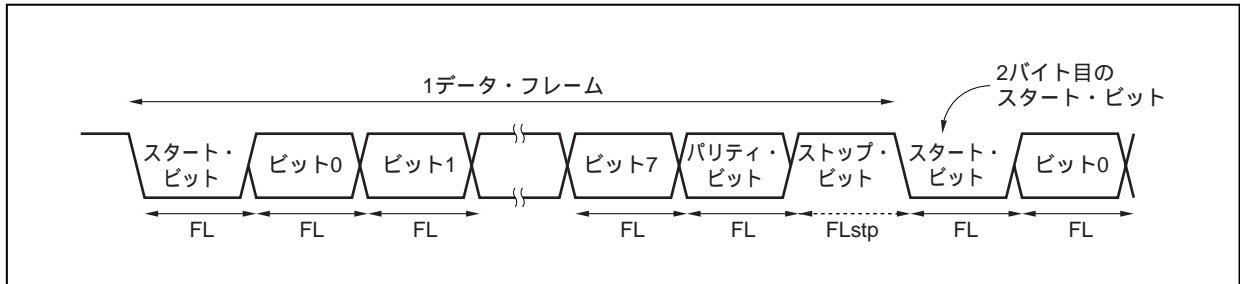
備考1. 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0, 1)

(8) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図14 - 12 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：f_{CLK}とすると次の式が成り立ちます。

$$FLstp = FL + 2 / f_{CLK}$$

したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + (2 / f_{CLK})$$

14.8 注意事項

UARTAnへの供給クロックが停止する場合（例：IDLE, STOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDAn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUAnCTL0.UAnPWR, UAnRXE, UAnTXEビット = 000とし、回路を初期化してください。

備考 n = 0, 1

第15章 クロック同期式シリアル・インタフェースB (CSIB)

15.1 UARTA1とCSIB1のモード切り替え

V850E/IA3, V850E/IA4では, UARTA1とCSIB1は端子が兼用になっており, 同時に使用することはできません。UARTA1とCSIB1の切り替えは, あらかじめPMC3, PFC3レジスタを設定する必要があります。

注意 UARTA1またはCSIB1において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図15 - 1 UARTA1とCSIB1のモード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF446H								
	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時 : 00H R/W アドレス : FFFFF466H								
	7	6	5	4	3	2	1	0
PFC3	0	0	PFC35	0	PFC33	PFC32	0	0
PMC34	P34端子の兼用機能の指定							
0	入出力ポート							
1	SCKB1入出力							
PMC33	PFC33	P33端子の兼用機能の指定						
0	x	入出力ポート						
1	0	SOB1出力						
1	1	TXDA1出力						
PMC32	PFC32	P32端子の兼用機能の指定						
0	x	入出力ポート						
1	0	SIB1入力						
1	1	RXDA1入力						
備考 x = don't care								

15.2 特 徴

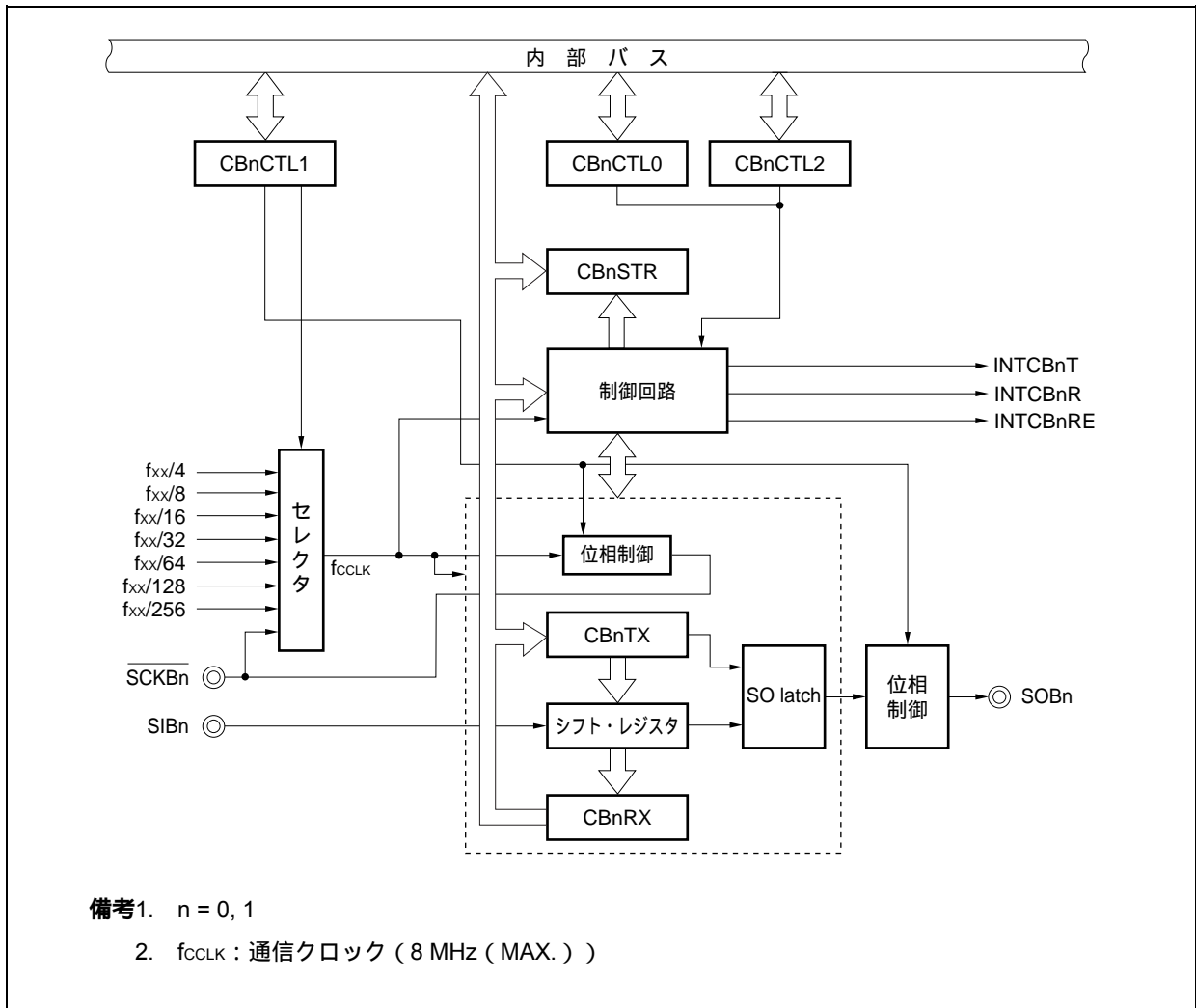
転送速度 : 8 Mbps (内部クロック使用時)
マスタ・モードとスレーブ・モードを選択可能
8-16ビット転送, 3線式シリアル・インタフェース
割り込み要求信号 (INTCBnRE, INTCBnT, INTCBnR)
シリアル・クロックとデータのフェーズ切り替えが可能
転送データ長を8-16ビットに1ビット単位で選択可能
転送データのMSB先頭/LSB先頭を切り替え可能
3線式 SOBn : シリアル・データ出力
SIBn : シリアル・データ入力
SCKBn : シリアル・クロック入出力
送信モード, 受信モード, 送受信モードを指定可能

備考 n = 0, 1

15.3 構成

次にCSIBnのブロック図を示します。

図15-2 CSIBnのブロック図



CSIBnは、次のハードウェアで構成されています。

表15-1 CSIBnの構成

項目	構成
レジスタ	CSIBn受信データ・レジスタ (CBnRX) CSIBn送信データ・レジスタ (CBnTX)
制御レジスタ	CSIBn制御レジスタ0 (CBnCTL0) CSIBn制御レジスタ1 (CBnCTL1) CSIBn制御レジスタ2 (CBnCTL2) CSIBn状態レジスタ (CBnSTR)

(1) CSIBn受信データ・レジスタ (CBnRX)

CBnRXレジスタは、受信データを保持する16ビットのバッファ・レジスタです。

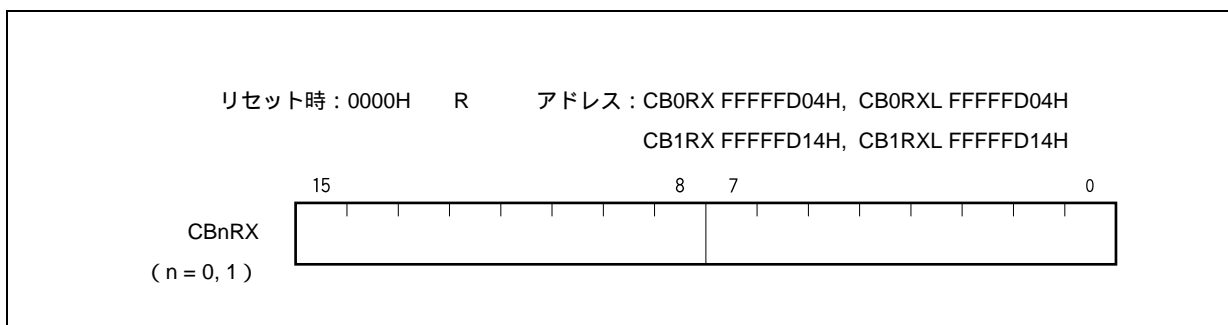
16ビット単位でリードのみ可能です。

受信許可状態中に、CBnRXレジスタをリードすることにより、受信動作を開始します。

転送データ長が8ビットの場合は、CBnRXレジスタの下位8ビットをCBnRXLレジスタとして、8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に、CBnCTL0.CBnPWRビットをクリア (0) しても初期化されます。



(2) CSIBn送信データ・レジスタ (CBnTX)

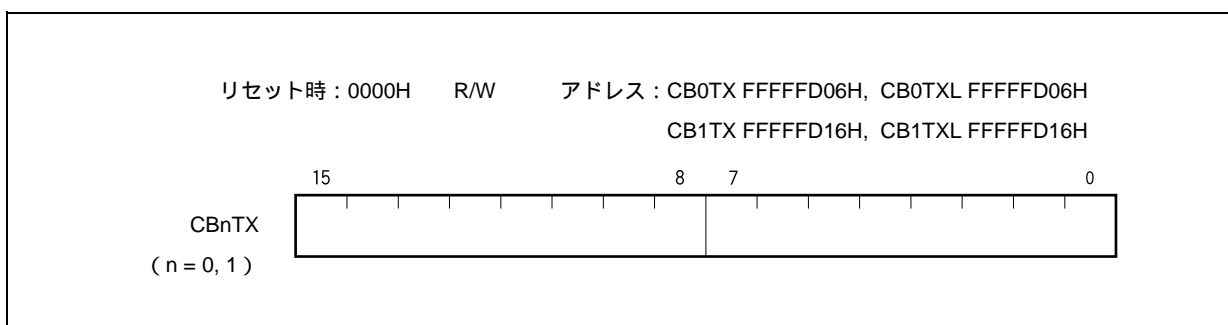
CBnTXレジスタは、CSIBnの転送データを書き込む16ビットのバッファ・レジスタです。

16ビット単位でリード/ライト可能です。

送信許可状態のときは、CBnTXレジスタにデータをライトすることにより、送信動作を開始します。

転送データ長が8ビットの場合は、CBnTXレジスタの下位8ビットをCBnTXLレジスタとして、8ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



備考 通信開始条件について

送信モード (CBnTXEビット = 1, CBnRXEビット = 0) : CBnTXレジスタへのライト

送受信モード (CBnTXEビット = 1, CBnRXEビット = 1) : CBnTXレジスタへのライト

受信モード (CBnTXEビット = 0, CBnRXEビット = 1) : CBnRXレジスタのリード

15.4 制御レジスタ

CSIBnを制御するレジスタには、次のものがあります。

- ・ CSIBn制御レジスタ0 (CBnCTL0)
- ・ CSIBn制御レジスタ1 (CBnCTL1)
- ・ CSIBn制御レジスタ2 (CBnCTL2)
- ・ CSIBn状態レジスタ (CBnSTR)

(1) CSIBn制御レジスタ0 (CBnCTL0)

CSIBnのシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

(1/2)

リセット時：01H R/W アドレス：CB0CTL0 FFFFFFFD00H, CB1CTL0 FFFFFFFD10H

CBnCTL0 (n = 0, 1)	⑦	⑥	⑤	④	3	2	1	①
	CBnPWR	CBnTXE ^注	CBnRXE ^注	CBnDIR ^注	0	0	CBnTMS ^注	CBnSCE

CBnPWR	CSIBn動作禁止 / 許可の指定
0	CSIBn動作禁止, CBnSTRレジスタをリセットする
1	CSIBn動作許可
・ CBnPWRビット はCSIBnの動作の制御と内部回路のリセットを行います。	

CBnTXE ^注	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可
・ CBnTXEビット = 0のとき, SOBn出力はロウ・レベルとなります。	

CBnRXE ^注	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可
・ CBnRXEビット = 0にすることで受信動作を禁止するため, 規定のデータを転送されても受信終了割り込みは出力されず, 受信データ (CBnRXレジスタ) は更新されません。	

注 CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。

注意 ビット3, 2には必ず0を設定してください。

CBnDIR ^{注1}	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

CBnTMS ^{注1}	転送モードの指定
0	シングル転送モード
1	連続転送モード

・通信タイプ2, 4 (CBnCTL1.CBnDAPビット = 1) でシングル送信 / 送受信モードを使用する場合, CBnSTR.CBnTSFビット = 0であることを確認したあとにCBnTXレジスタに転送データを書き込んでください。

・DMAを使用する場合は, 連続転送モードを使用してください。

CBnSCE	起動転送無効 / 許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

・マスタ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
(a) シングル受信モード
受信データ (CBnRXレジスタ) のリードを行う前にCBnSCEビットを“0”に設定してください^{注2}。
(b) 連続受信モード時
最終データの受信を終了する1通信クロック前までにCBnSCEビットを“0”に設定してください^{注3}。

・スレーブ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
(a) シングル受信モード, 連続受信モード時
CBnSCEビットは“1”に設定してください^{注4}。

・シングル送信 / 送受信モード, 連続送信 / 送受信モード時
CBnSCEビットの機能は無効です。“1”に設定することを推奨します。

- 注1. CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。
2. CBnSCEビットが“1”のままリードした場合, 次回の通信動作が起動されません。
3. 最終データの受信を終了する1通信クロック前までにCBnSCEビットを“0”にしない場合, 自動的に次回の通信動作が起動されます。
なお, 最終データのリード後に再び通信動作を起動したい場合, CBnSCEビットを“1”に設定し, CBnRXレジスタをダミー・リードします。
4. 受信を開始する場合には, ダミー・リードが必要です。

(a) CBnSCEビットの使用方法

(i) シングル受信モード時

INTCBnR割り込み処理で最終データの受信が完了している場合は、CBnSCEビット = 0にしてから、CBnRXレジスタを読み出します。

最終データの受信完了後、受信を禁止する場合は、CBnSTR.CBnTSFビットが“0”であることを確認したあと、CBnPWRビット = 0, CBnRXEビット = 0にします。続けて受信する場合は、CBnSCEビット = 1にして、CBnRXレジスタのダミー・リードにより次の受信動作を開始します。

(ii) 連続受信モード時

最終受信1つ前の受信によるINTCBnR割り込み処理で最終データの受信中にCBnSCEビット = 0にしてから、CBnRXレジスタを読み出します。

最終受信のINTCBnR信号を受けて、CBnRXレジスタにより最終データを読み出します。

最終データの受信完了後、受信を禁止する場合は、CBnSTR.CBnTSFビットが“0”であることを確認したあと、CBnPWRビット = 0, CBnRXEビット = 0にします。続けて受信する場合は、CBnSCEビット = 1にして、CBnRXレジスタのダミー・リードにより次の受信動作を開始します。

注意 連続受信の場合、ダミー・リードで受信を開始したあと、CBnSCEビット = 0設定時に実行中の受信が完了するまでシリアル・クロックは停止しません。

(2) CSIBn制御レジスタ1 (CBnCTL1)

CSIBnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CBnCTL1レジスタは、CBnCTL0.CBnPWRビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CB0CTL1 FFFFD01H, CB1CTL1 FFFFD11H

	7	6	5	4	3	2	1	0
CBnCTL1	0	0	0	CBnCKP	CBnDAP	CBnCKS2	CBnCKS1	CBnCKS0

(n = 0, 1)

	CBnCKP	CBnDAP	SCKBnに対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

CBnCKS2	CBnCKS1	CBnCKS0	通信クロック (f _{CCLK})	モード
0	0	0	f _{xx} /4	マスタ・モード
0	0	1	f _{xx} /8	マスタ・モード
0	1	0	f _{xx} /16	マスタ・モード
0	1	1	f _{xx} /32	マスタ・モード
1	0	0	f _{xx} /64	マスタ・モード
1	0	1	f _{xx} /128	マスタ・モード
1	1	0	f _{xx} /256	マスタ・モード
1	1	1	外部クロック (SCKBn)	スレーブ・モード

注意 f_{CCLK}は8 MHz以下に設定してください。

(3) CSIBn制御レジスタ2 (CBnCTL2)

CSIBnのシリアル転送ビット数を制御する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CBnCTL2レジスタは、CBnCTL0.CBnPWRビット = 0、またはCBnTXE, CBnRXEビット = 0の場合のみ書き換えを許可します。

リセット時：00H R/W アドレス：CB0CTL2 FFFFFFFD02H, CB1CTL2 FFFFFFFD12H

	7	6	5	4	3	2	1	0
CBnCTL2 (n = 0, 1)	0	0	0	0	CBnCL3	CBnCL2	CBnCL1	CBnCL0

CBnCL3	CBnCL2	CBnCL1	CBnCL0	シリアル・レジスタのビット長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	x	x	x	16ビット

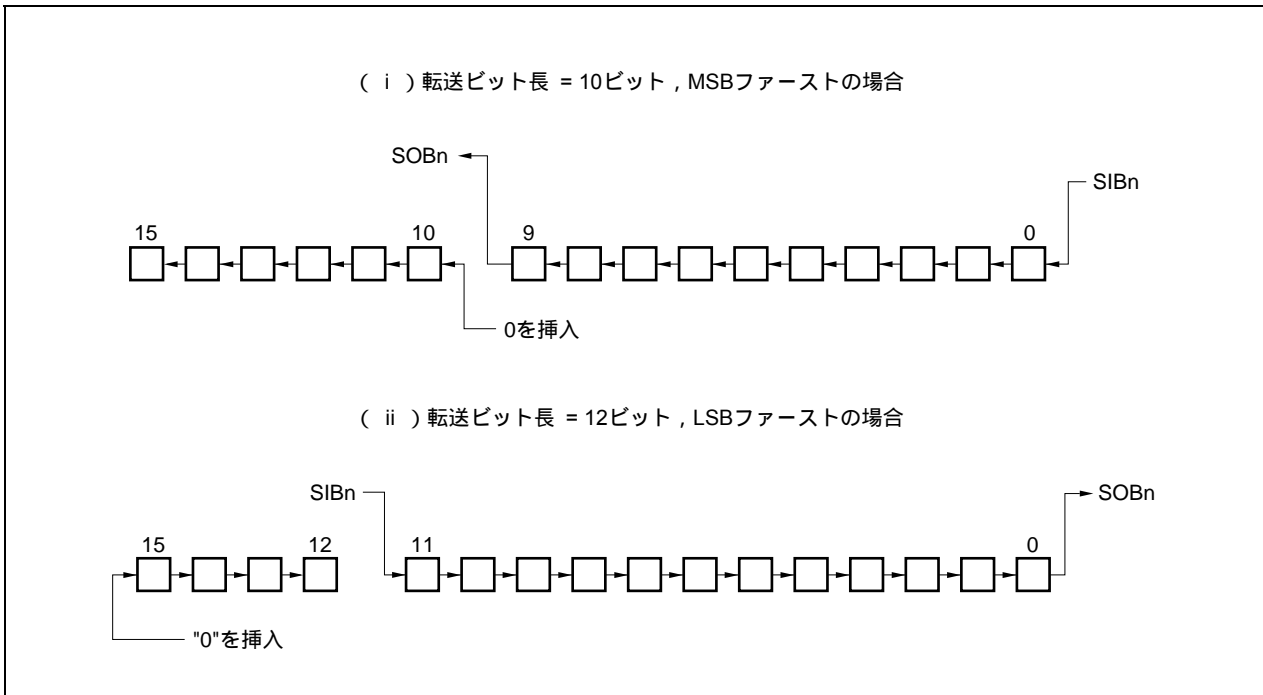
備考 転送ビット数が8/16ビットではない場合には、CBnTX, CBnRXレジスタの最下位ビットから詰めてデータを準備して使用してください。

(a) 転送データ長変更機能

CSIBnの転送データ長はCBnCTL2.CBnCL3-CBnCL0ビットによって、8-16ビットに1ビット単位で設定可能です。

転送ビット長を16ビット以外に設定した場合、CBnTX, CBnRXレジスタへは、転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。

備考 n = 0, 1



(4) CSIBn状態レジスタ (CBnSTR)

CSIBnの状態をあらわす8ビットのレジスタです。

8/1ビット単位でリード/ライト可能ですが、CBnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に、CBnCTL0.CBnPWRビットをクリア (0) する場合も初期化されます。

リセット時：00H R/W アドレス：CB0STR FFFFFFFD03H, CB1STR FFFFFFFD13H

	⑦	6	5	4	3	2	1	①
CBnSTR (n = 0, 1)	CBnTSF	0	0	0	0	0	0	CBnOVE

CBnTSF	通信状態フラグ
0	通信停止
1	通信中
<ul style="list-style-type: none"> 送信時にはCBnTXレジスタにデータを準備したタイミングでセットされます。 受信時にはCBnRXレジスタをダミー・リードしたタイミングでセットされます。 転送終了時、クロックの最後のエッジでクリア (0) されます。 	

CBnOVE	オーバラン・エラー・フラグ
0	オーバランなし
1	オーバランあり
<ul style="list-style-type: none"> 受信時もしくは受信動作終了後に、CBnRXレジスタの値をCPUリードせずに次の受信が開始した場合、オーバラン・エラーとする。 CBnOVEフラグは、このような場合のオーバラン・エラーの発生状態を示します。 CBnOVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセットされません 	

注意 シングル転送モードでは、CBnTSFビット = 1の状態ではCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。

たとえば、INTCBnR信号発生によりDMAを起動し、CBnTXレジスタに次のデータを書き込んでも、CBnTSFビット = 1のため書き込んだデータの転送は行われません。

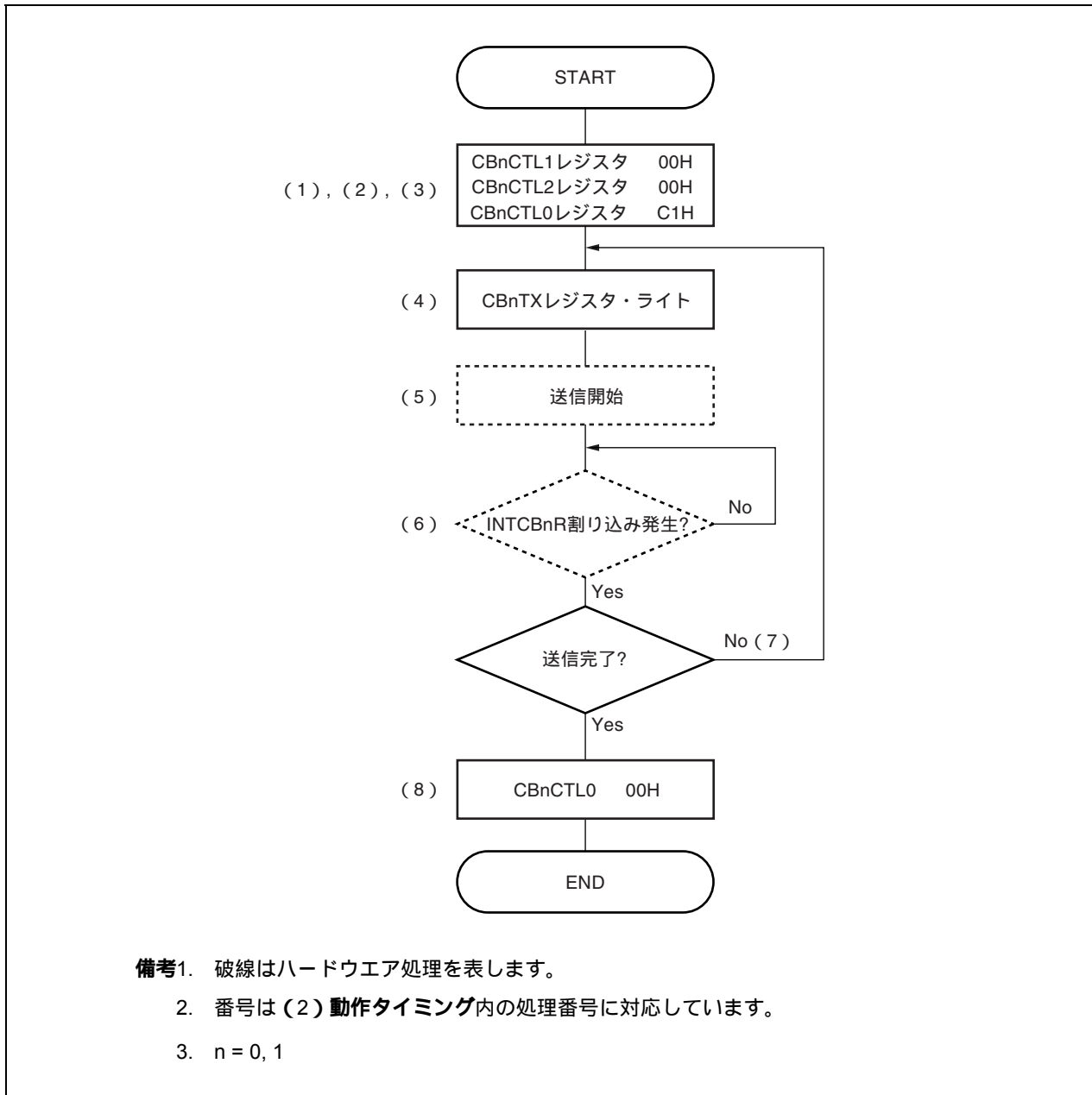
このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

15.5 動作

15.5.1 シングル転送モード (マスタ・モード, 送信モード)

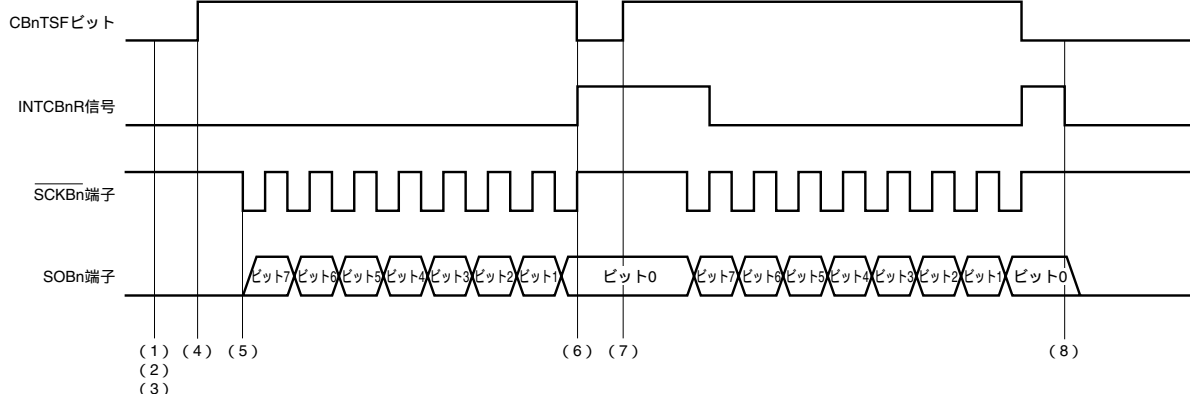
MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CLK}) = $f_x/4$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

(1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は (2) 動作タイミング内の処理番号に対応しています。
 3. $n = 0, 1$

(2) 動作タイミング



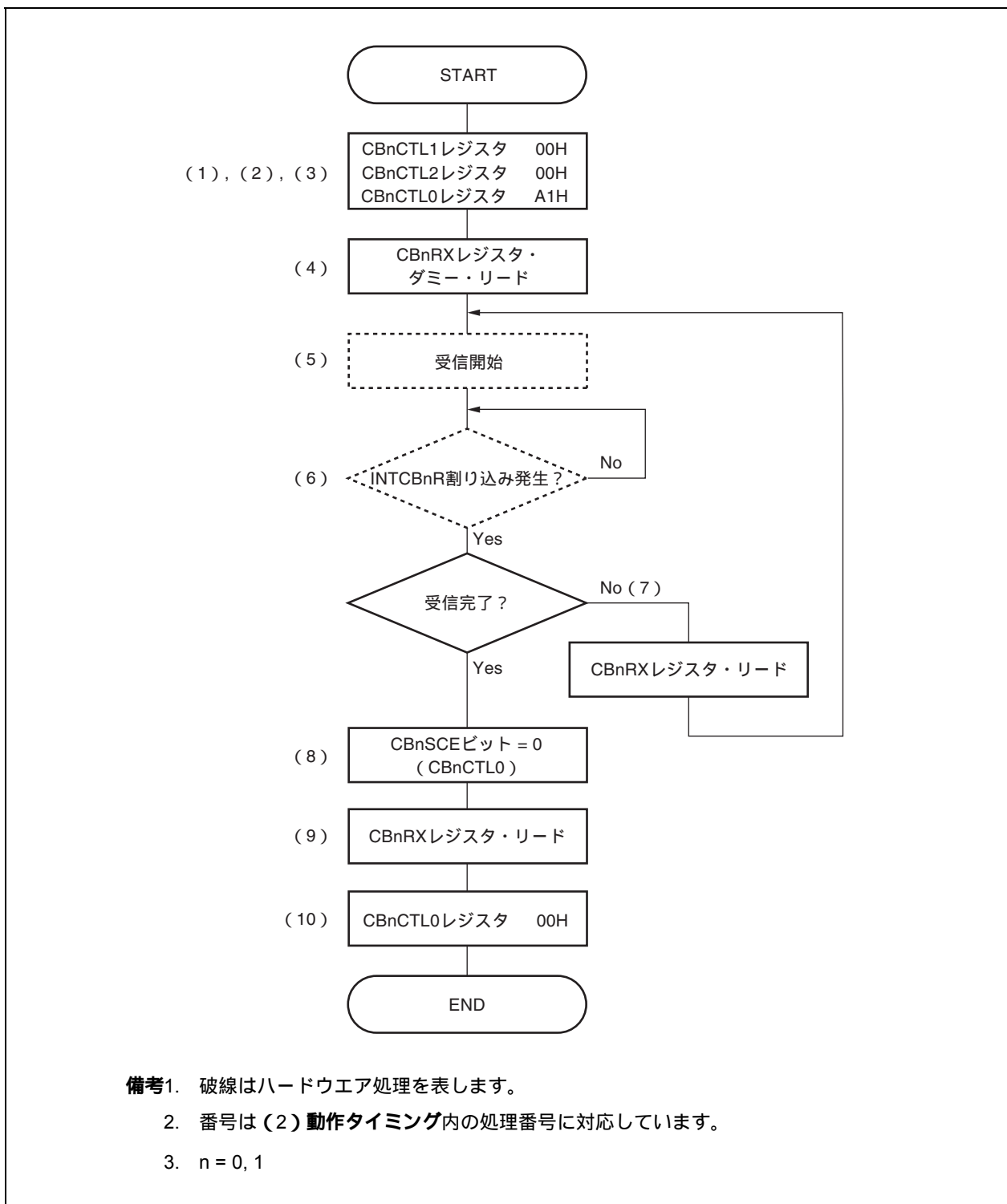
- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/4$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、送信を開始する。
- (5) 送信が開始されると、SCKBn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnCTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの出力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットはクリア (0) される。
- (7) 続けて送信を行う場合は、INTCBnR信号発生後、再びCBnTXレジスタに送信データをライトすることで次の送信を開始する。
- (8) 送信を完了する場合は、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

備考 n = 0, 1

15.5.2 シングル転送モード (マスタ・モード, 受信モード)

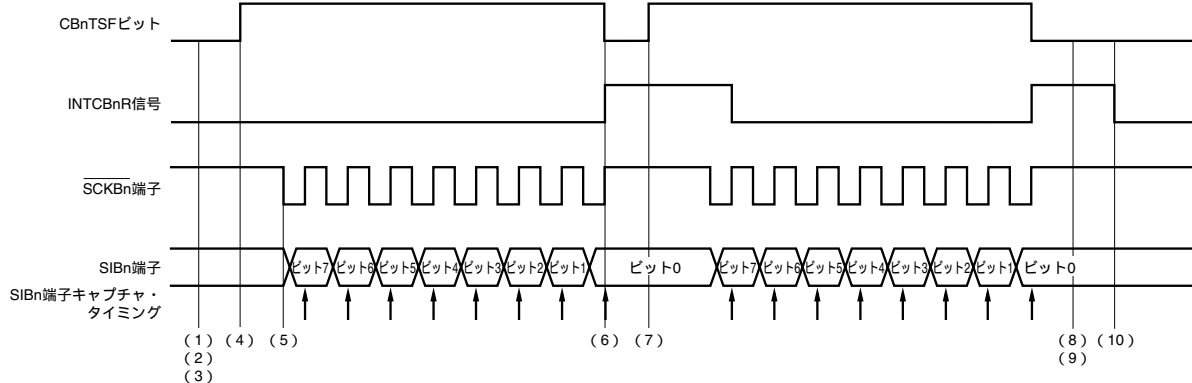
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CLK}) = $f_x/4$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
3. $n = 0, 1$

(2) 動作タイミング



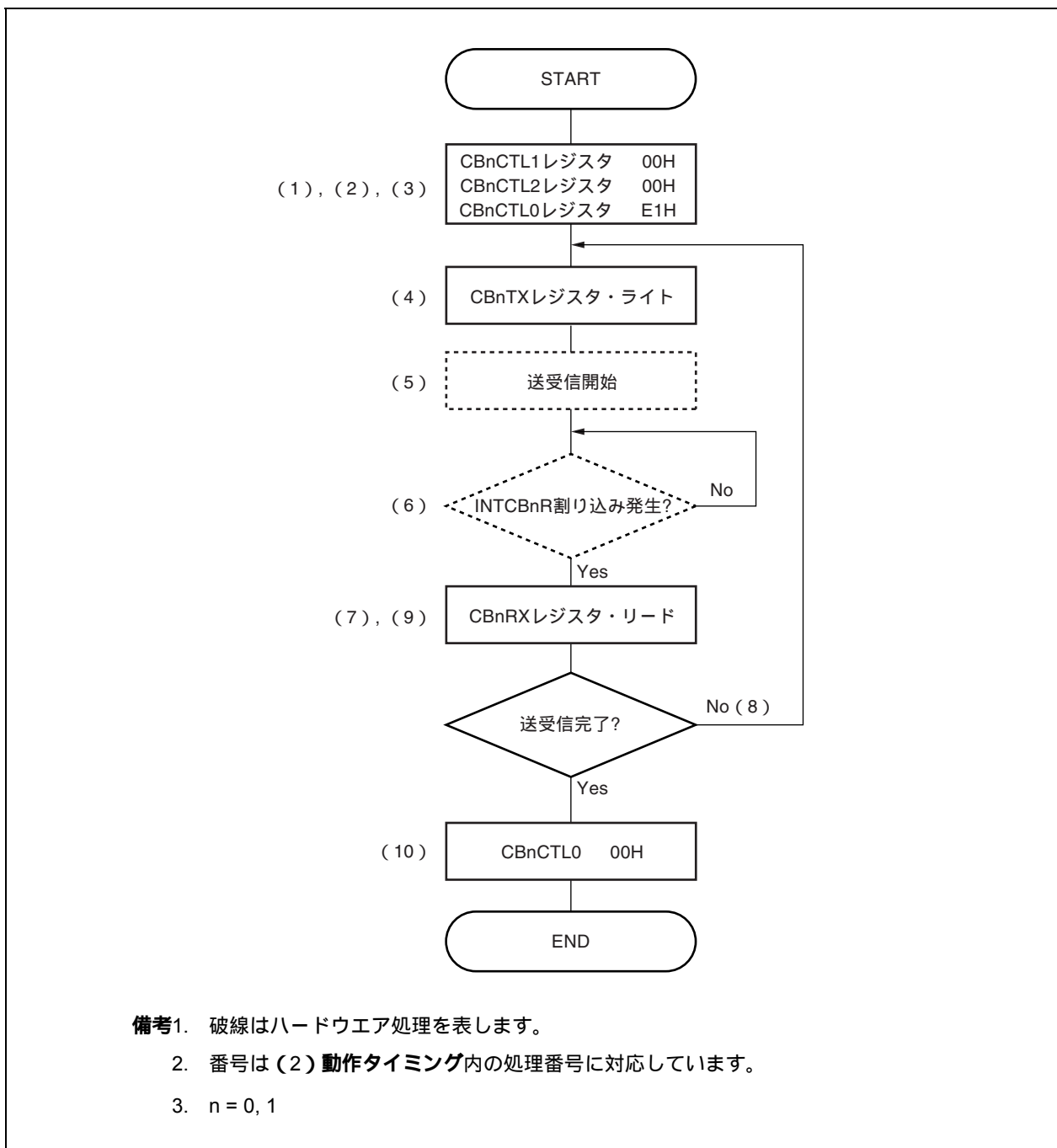
- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{\text{xx}}/4$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSFビットがセット(1)され、受信を開始する。
- (5) 受信が開始されると、SCKBn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロック出力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットはクリア(0)される。
- (7) 続けて受信を行う場合は、INTCBnR信号発生後、CBnCTL0.CBnSCEビット = 1のまま、CBnRXレジスタをリードする。
- (8) 次の受信を開始させずにCBnRXレジスタをリードする場合には、CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信を完了する場合は、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

15.5.3 シングル転送モード (マスタ・モード, 送受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{\text{X}}/4$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

(1) 動作フロー

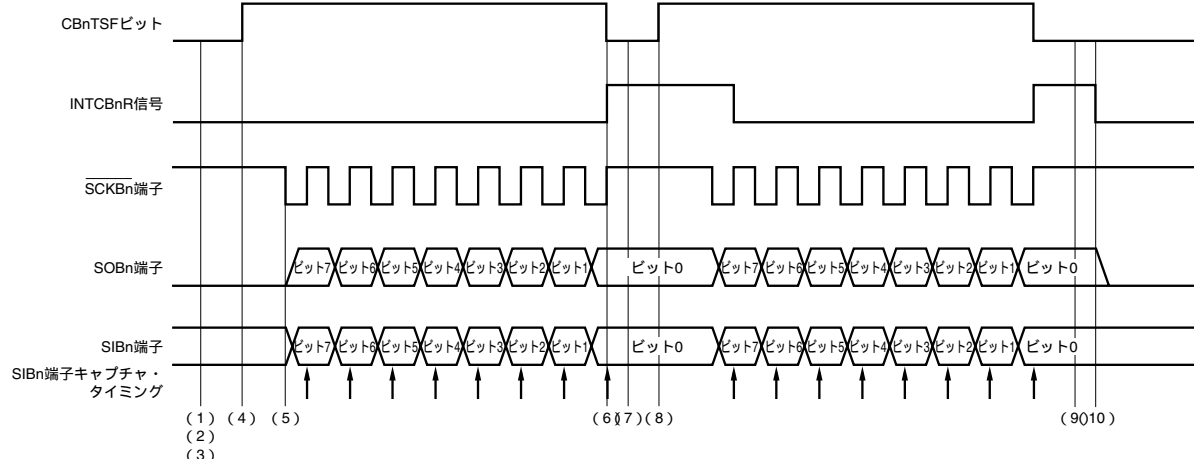


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. $n = 0, 1$

(2) 動作タイミング



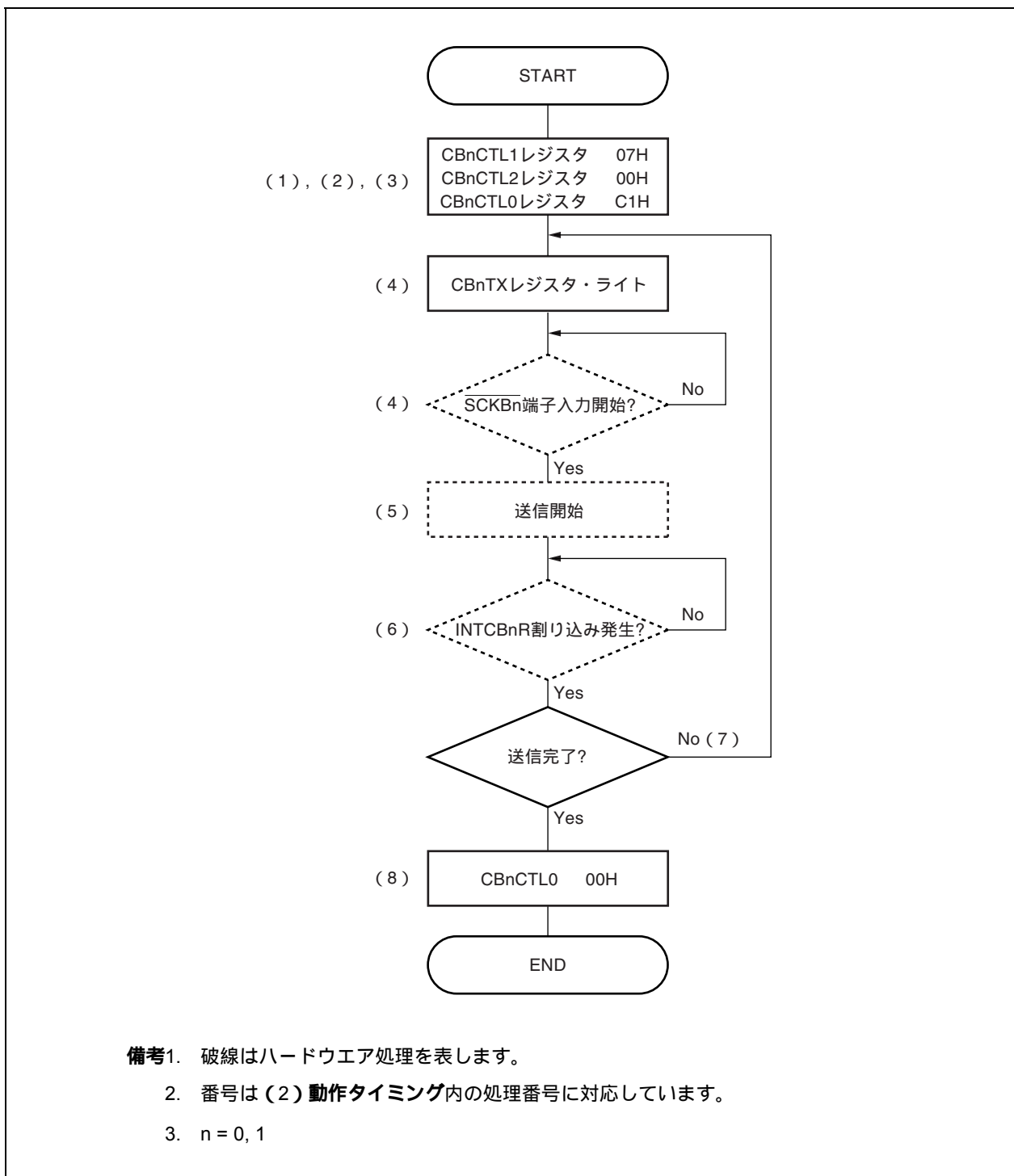
- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/4$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSPFビットがセット (1) され、送受信を開始する。
- (5) 送受信が開始されると、 \overline{SCKBn} 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子に送信データを出力し、SIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの出力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCBnR) を発生し、CBnTSPFビットはクリア (0) される。
- (7) CBnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再びCBnTXレジスタに送信データをライトする。
- (9) CBnRXレジスタをリードする。
- (10) 送受信を完了する場合は、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

15.5.4 シングル転送モード (スレーブ・モード, 送信モード)

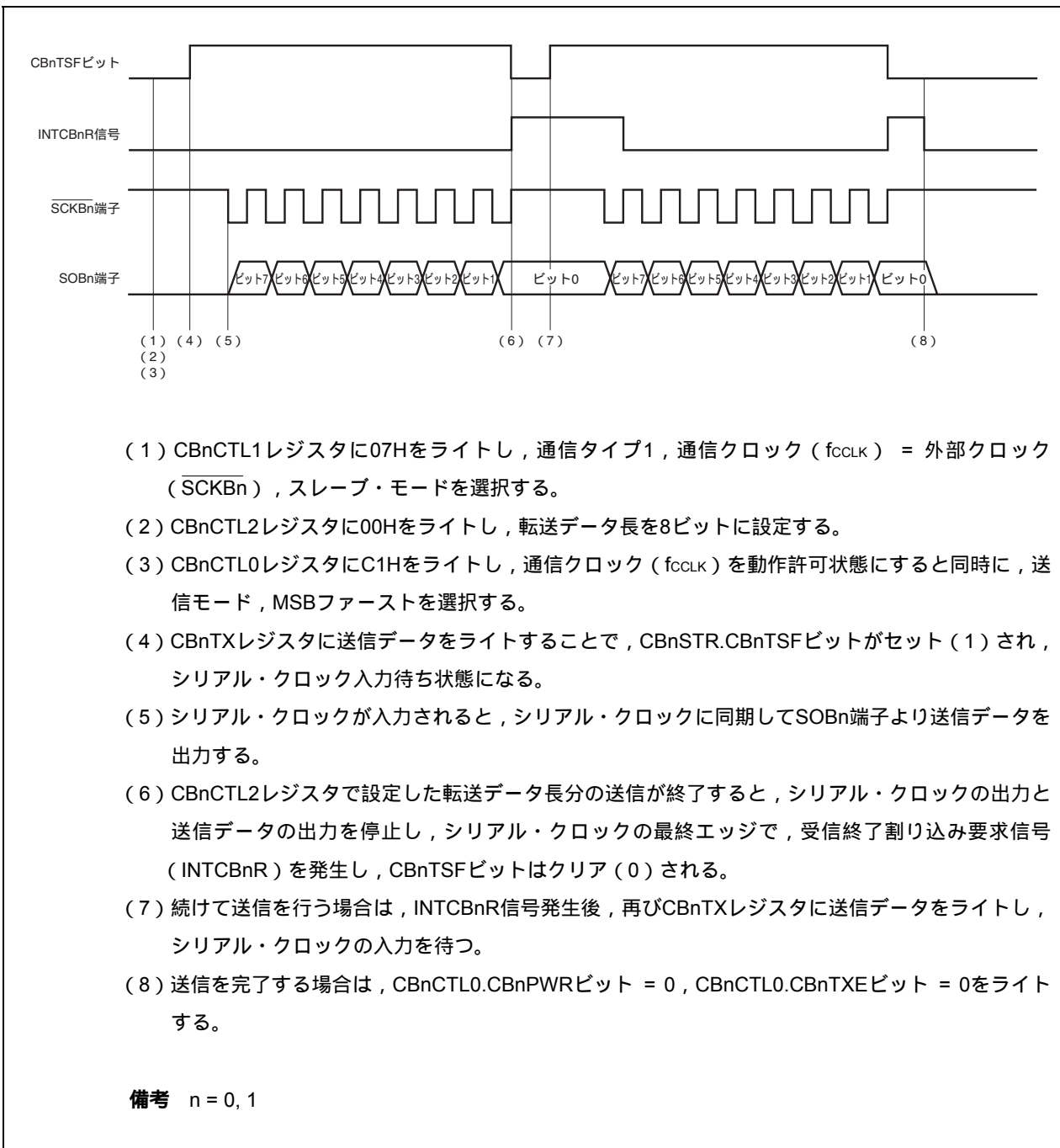
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CCLK}) = 外部クロック ($SCKBn$) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

(1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
3. $n = 0, 1$

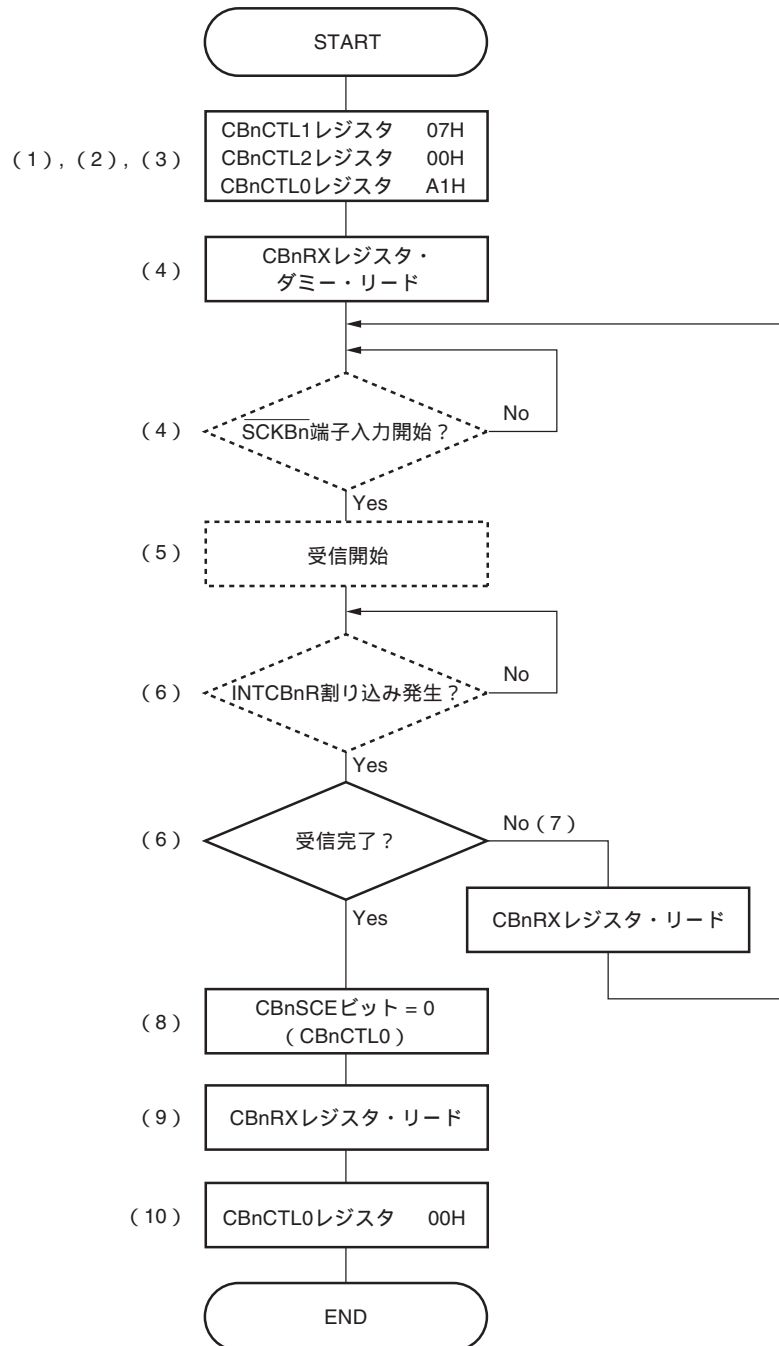
(2) 動作タイミング



15.5.5 シングル転送モード (スレーブ・モード, 受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CCLK}) = 外部クロック(\overline{SCKBn}) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー

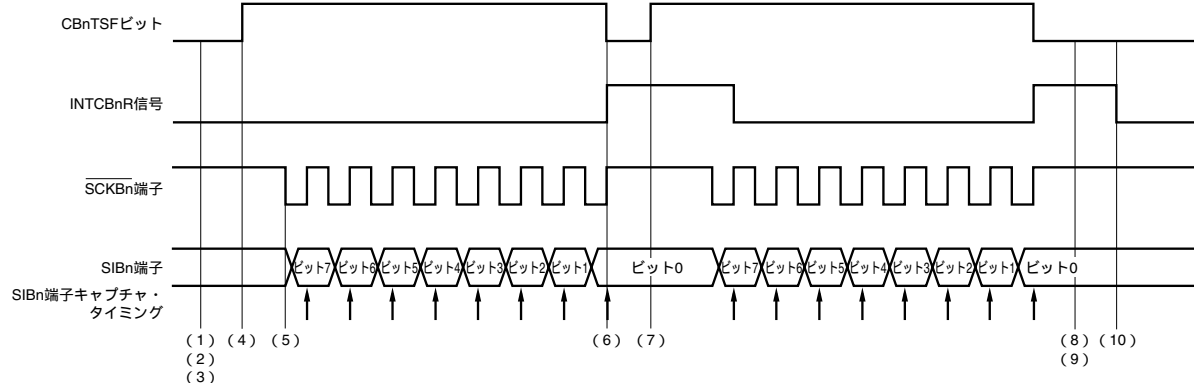


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. $n = 0, 1$

(2) 動作タイミング



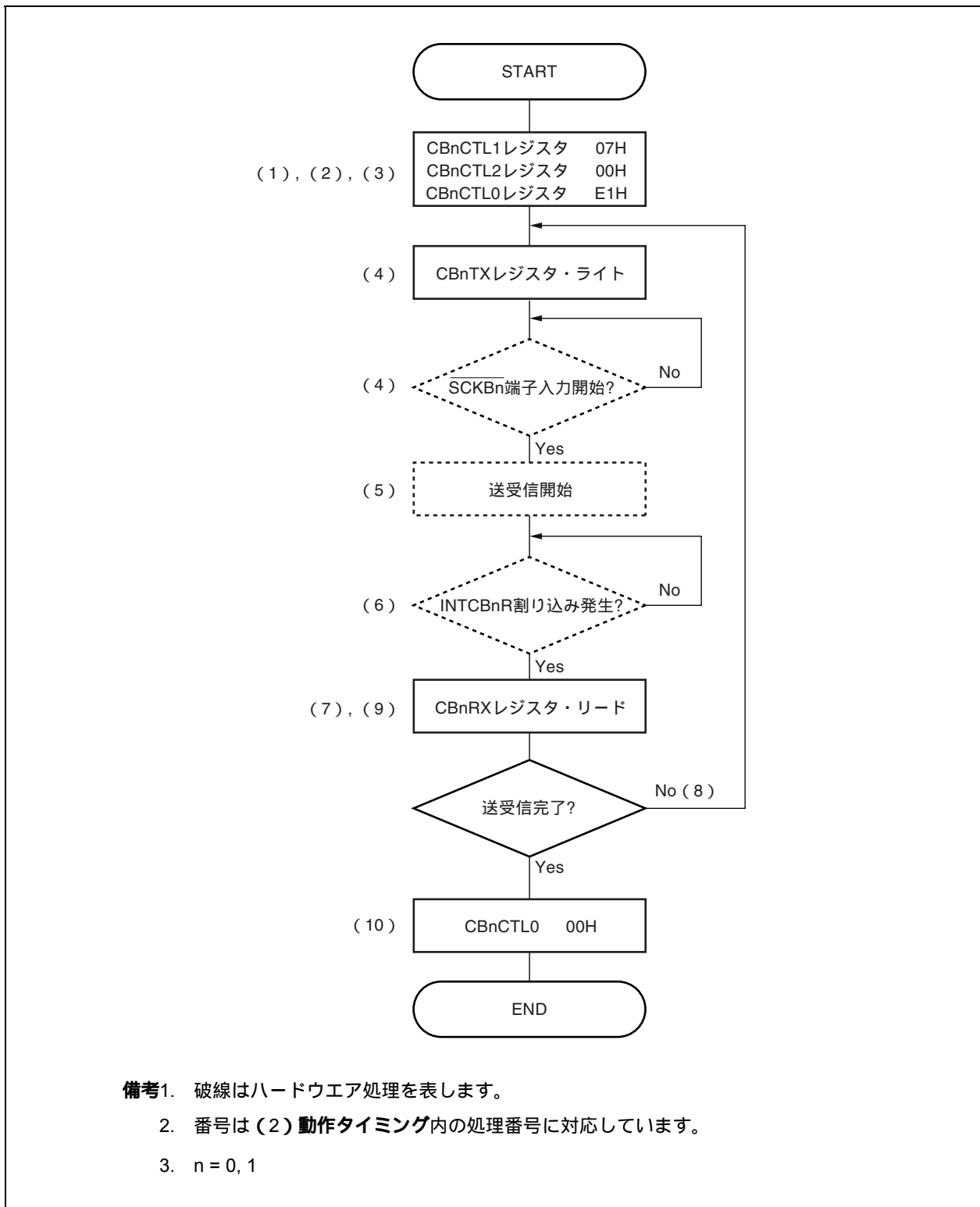
- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック ($\overline{\text{SCKBn}}$)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA1Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロック出力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットはクリア(0)される。
- (7) 続けて受信を行う場合は、INTCBnR信号発生後、CBnCTL0.CBnSCEビット = 1のまま、CBnRXレジスタをリードし、シリアル・クロックの入力を待つ。
- (8) 受信を完了する場合は、CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信を完了する場合は、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

15.5.6 シングル転送モード (スレーブ・モード, 送受信モード)

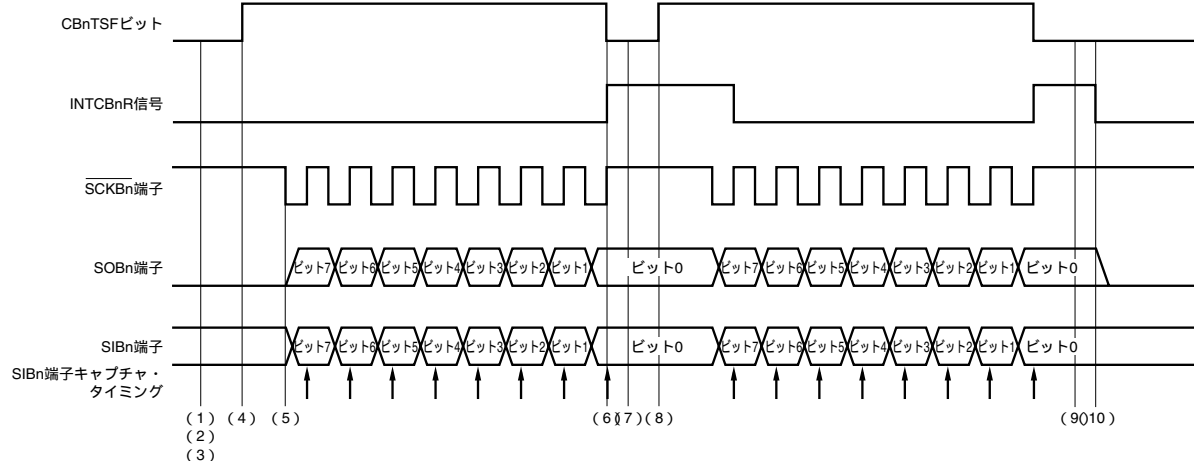
MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CCLK}) = 外部クロック (SCKBn) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

(1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
 2. 番号は (2) 動作タイミング内の処理番号に対応しています。
 3. n = 0, 1

(2) 動作タイミング



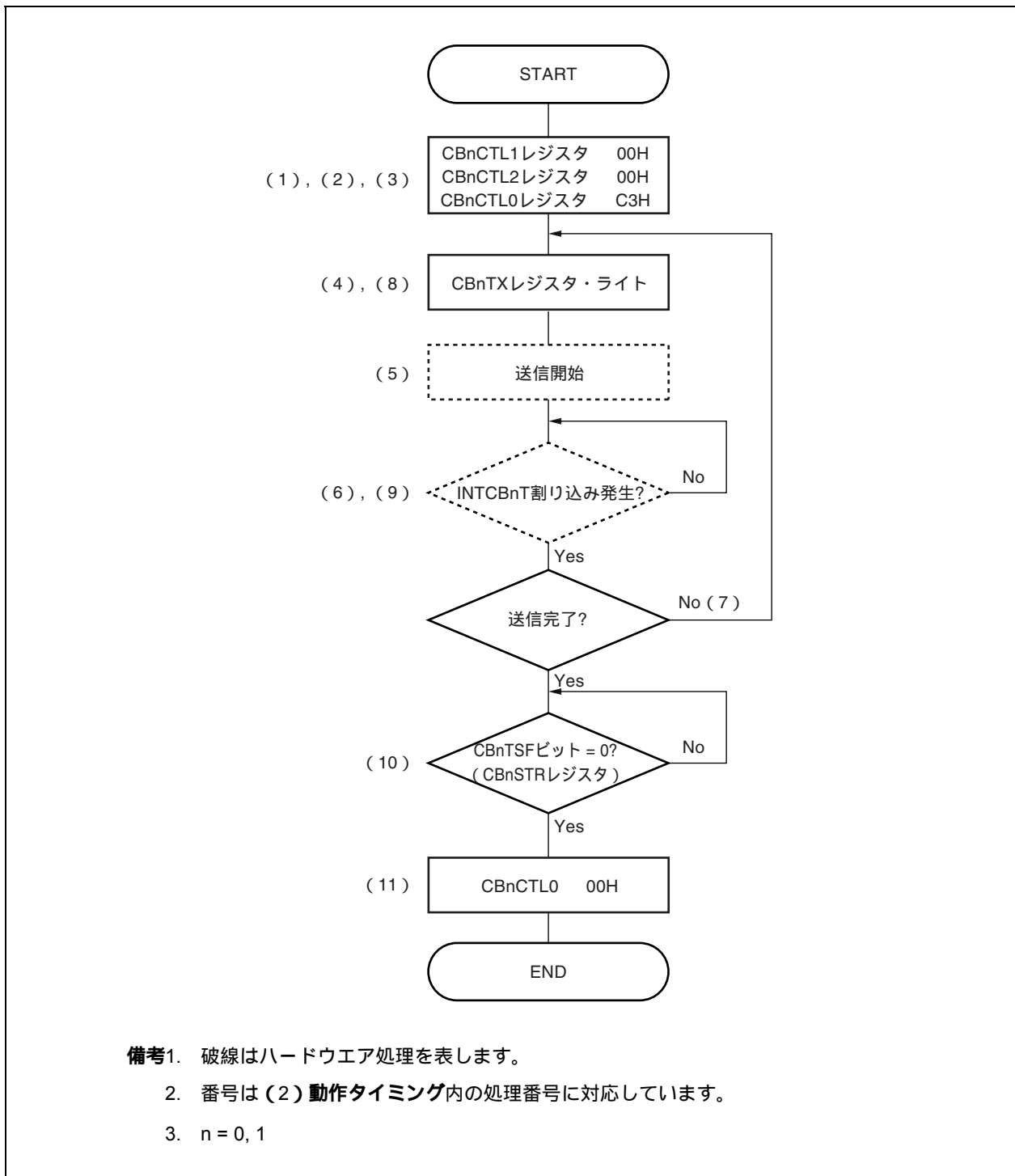
- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック ($\overline{\text{SCKBn}}$)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE1Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSPビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子に送信データを出し、SIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの出力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCBnR) を発生し、CBnTSPビットはクリア (0) される。
- (7) CBnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再びCBnTXレジスタに送信データをライトし、シリアル・クロックの入力を待つ。
- (9) CBnRXレジスタをリードする。
- (10) 送受信を完了する場合は、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

15.5.7 連続転送モード (マスタ・モード, 送信モード)

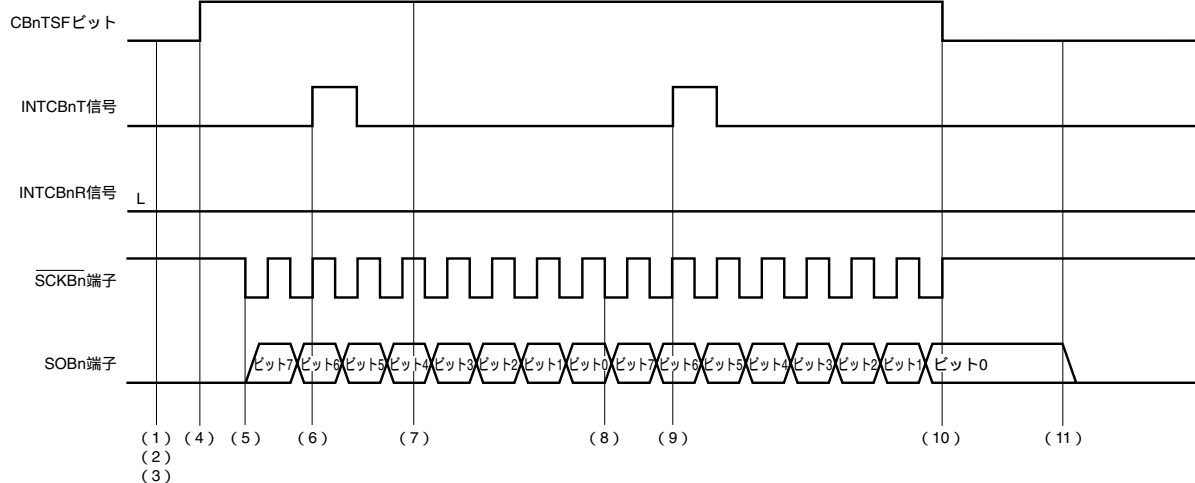
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CLK}) = $f_x/4$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. $n = 0, 1$

(2) 動作タイミング



- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/4$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、送信を開始する。
- (5) 送信が開始されると、 \overline{SCKBn} 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) 通信完了前に新たな送信データがCBnTXレジスタへライトされていると、通信完了後に続けて次の通信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCBnT信号が発生する。現送信で連続送信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (10) 転送完了までに次の送信データがCBnTXレジスタへライトされない場合は、転送完了後、 \overline{SCKBn} 端子へのシリアル・クロック出力を停止し、CBnTSFビットはクリア (0) される。
- (11) 送信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

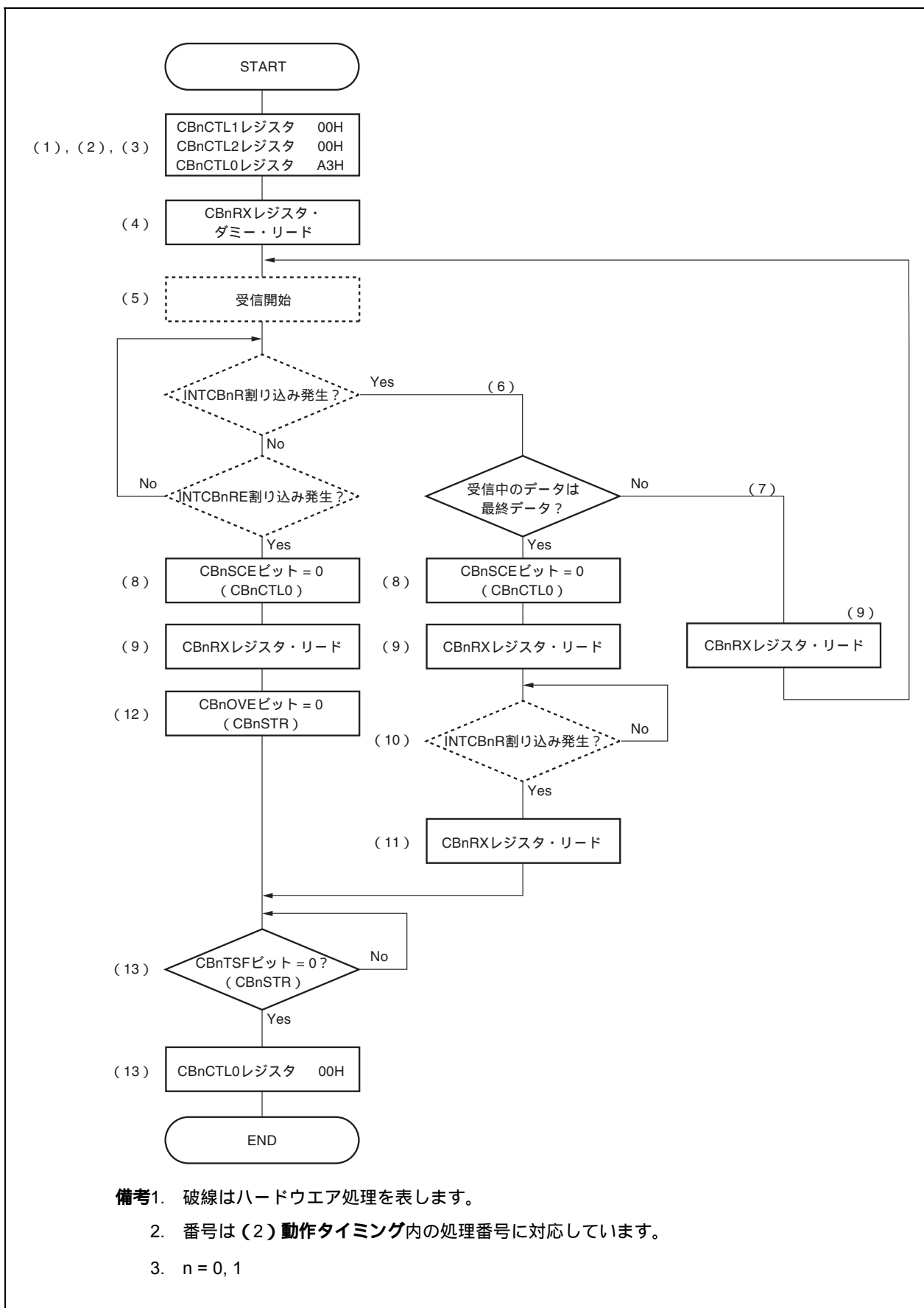
注意 連続送信モードでは、受信終了割り込み要求信号 (INTCBnR) は発生しません。

備考 n = 0, 1

15.5.8 連続転送モード (マスタ・モード, 受信モード)

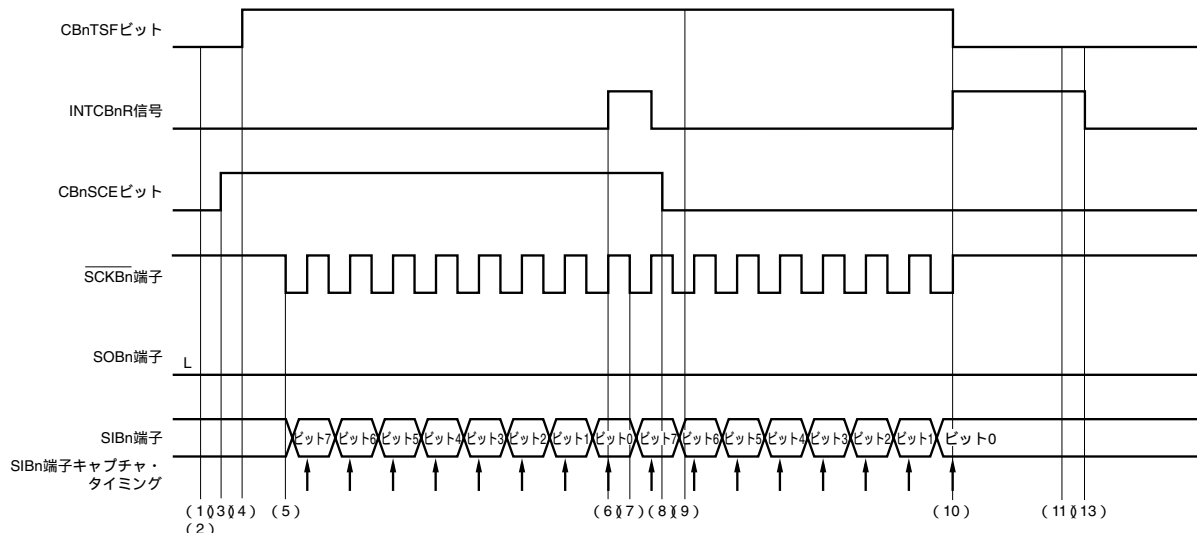
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{\text{X}}/4$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. n = 0, 1

(2) 動作タイミング



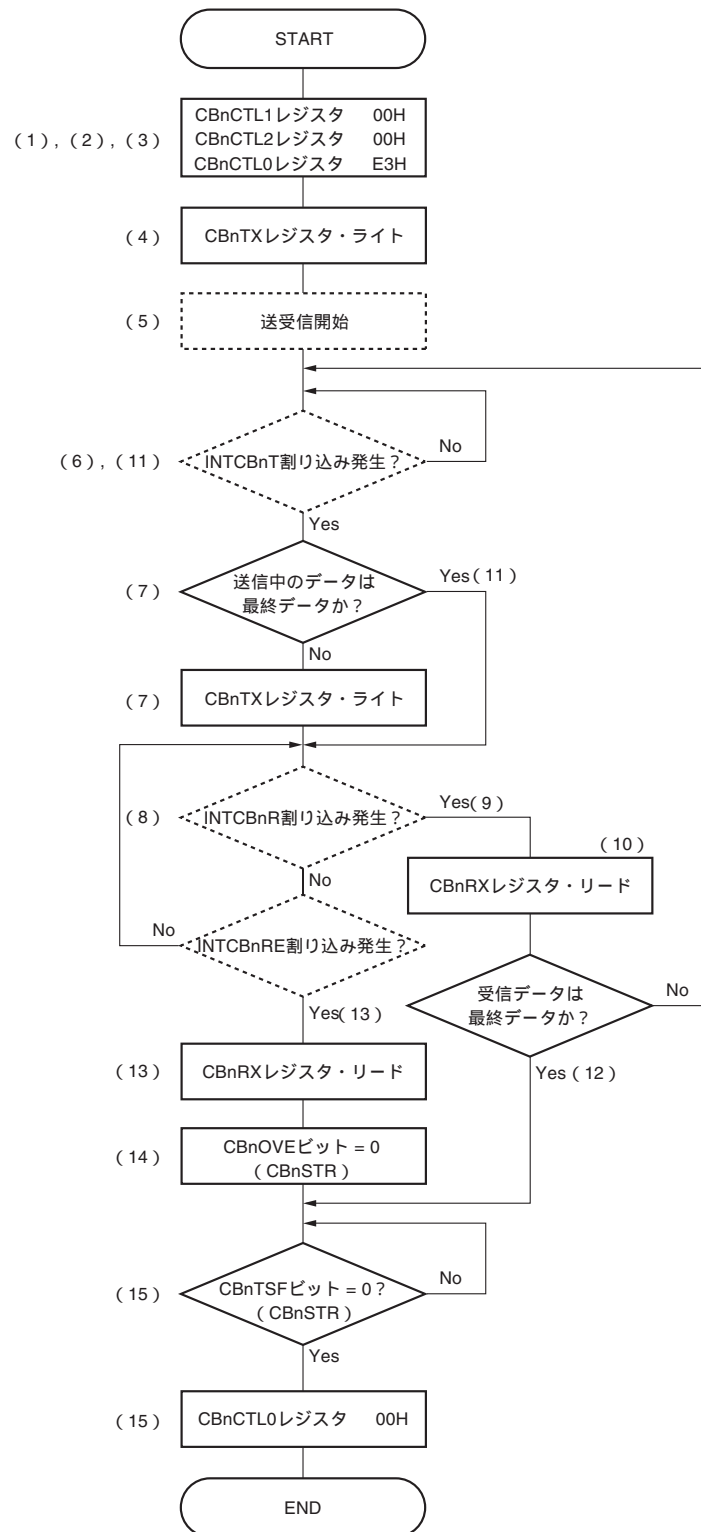
- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = $f_{\text{xx}}/4$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSMFビットがセット(1)され、受信を開始する。
- (5) 受信が開始されると、 $\overline{\text{SCKBn}}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が完了すると、受信終了割り込み要求信号 (INTCBnR) が発生し、CBnRXレジスタのリードが可能になる。
- (7) 通信完了時にCBnCTL0.CBnSCEビット = 1だと、通信完了後に続けて次の通信を開始する。
- (8) 現受信で連続受信を完了する場合は、CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信が完了すると、INTCBnR信号が発生し、CBnRXレジスタのリードが可能になる。通信完了前にCBnSCEビット = 0に設定されていると、 $\overline{\text{SCKBn}}$ 端子へのシリアル・クロックの出力を停止し、CBnTSMFビットはクリア(0)され受信動作を終了する。
- (11) CBnRXレジスタをリードする。
- (12) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は、CBnTSMFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

15. 5. 9 連続転送モード (マスタ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{\text{X}}/4$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

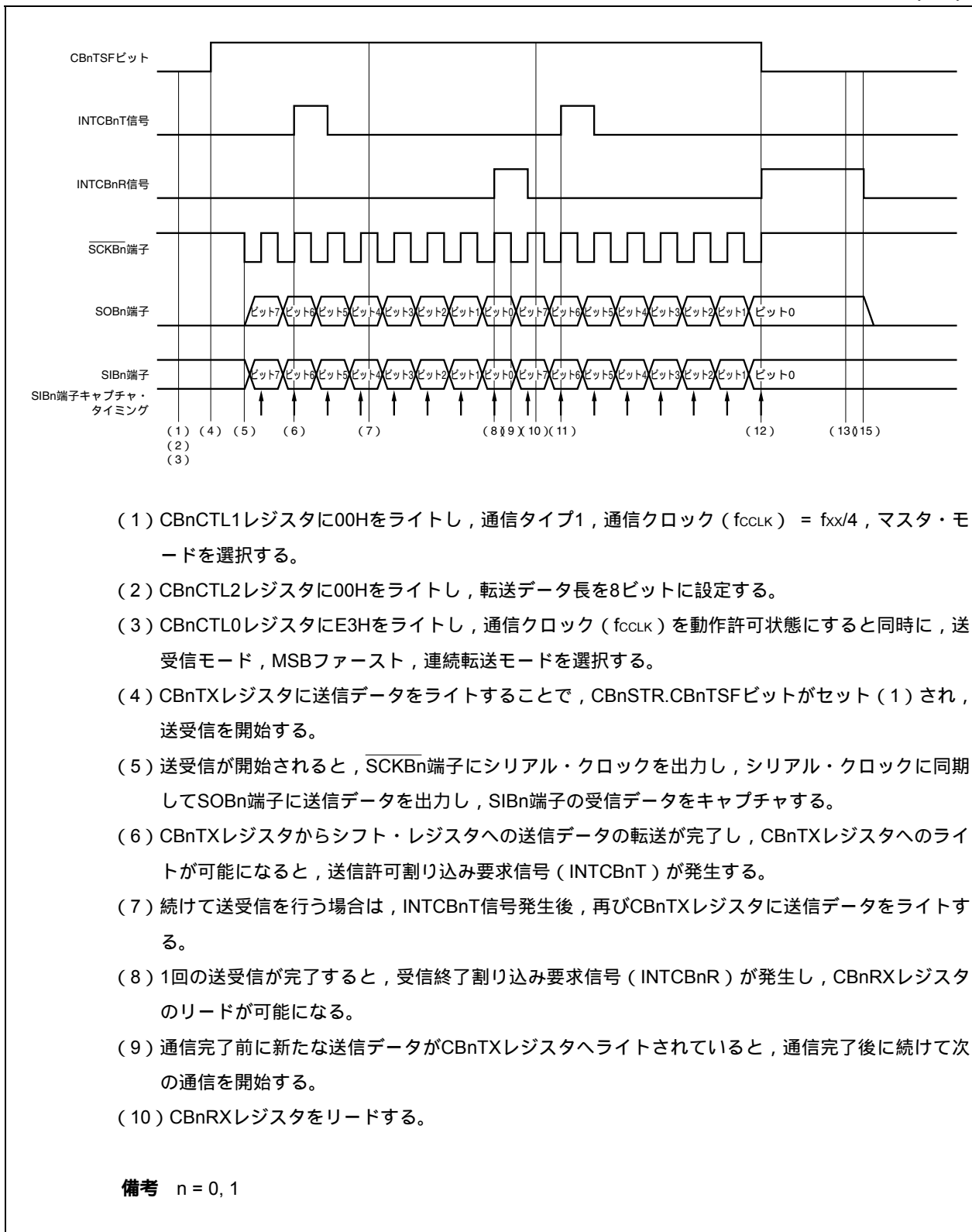
(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
3. n = 0, 1

(2) 動作タイミング

(1/2)



- (1) CbNCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = $f_{xx}/4$ 、マスタ・モードを選択する。
- (2) CbNCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CbNCTL0レジスタにE3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送受信モード、MSBファースト、連続転送モードを選択する。
- (4) CbNTXレジスタに送信データをライトすることで、CbNSTR.CbNtSFビットがセット(1)され、送受信を開始する。
- (5) 送受信が開始されると、SCKbN端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子に送信データを出力し、SIBn端子の受信データをキャプチャする。
- (6) CbNTXレジスタからシフト・レジスタへの送信データの転送が完了し、CbNTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCbNt) が発生する。
- (7) 続けて送受信を行う場合は、INTCbNt信号発生後、再びCbNTXレジスタに送信データをライトする。
- (8) 1回の送受信が完了すると、受信終了割り込み要求信号 (INTCbNr) が発生し、CbNRXレジスタのリードが可能になる。
- (9) 通信完了前に新たな送信データがCbNTXレジスタへライトされていると、通信完了後に続けて次の通信を開始する。
- (10) CbNRXレジスタをリードする。

備考 n = 0, 1

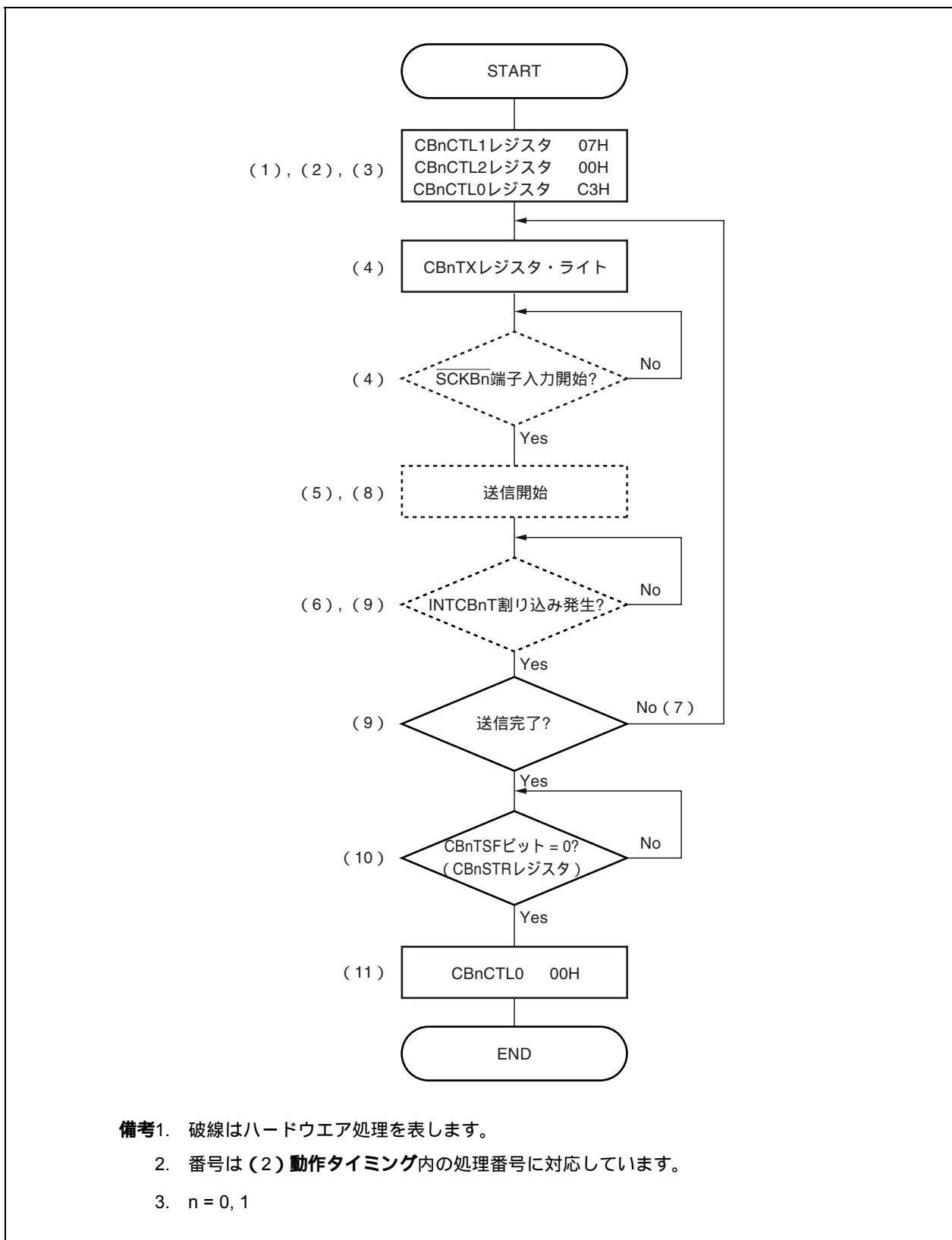
- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCBnT信号が発生する。現送受信で連続送受信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (12) 転送完了までに次の送信データがCBnTXレジスタへライトされない場合は、転送完了後、 $\overline{\text{SCKBn}}$ 端子へのシリアル・クロック出力を停止し、CBnTSFビットはクリア(0)される。
- (13) 受信エラー割り込み要求信号 (INTCBnRE) 発生時は、CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

15. 5. 10 連続転送モード (スレーブ・モード, 送信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CLK}) = 外部クロック(\overline{SCKBn}) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー

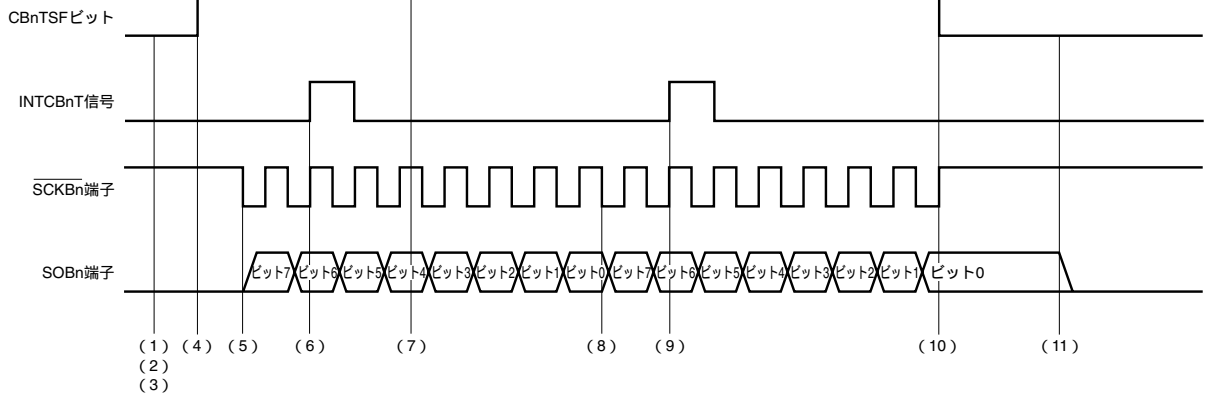


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. $n = 0, 1$

(2) 動作タイミング



- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック ($SCKBn$)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の送信が完了後に続けてシリアル・クロックが入力されると、連続送信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送信で連続送信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (10) CBnTXレジスタへライトされていない状態で、CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると、CBnTSFビットはクリア (0) され、送信を終了する。
- (11) 送信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

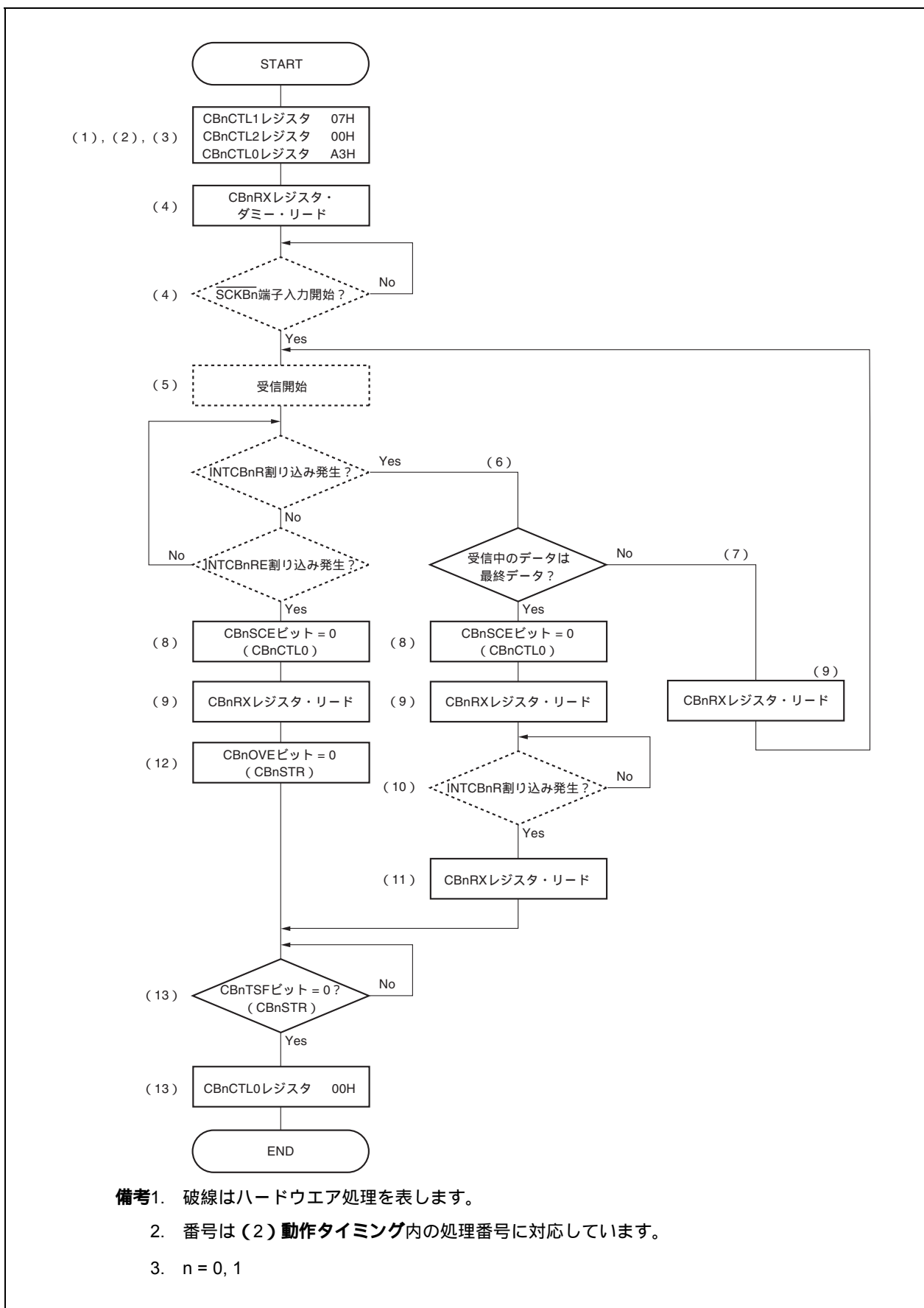
注意 連続送信モードでは、受信終了割り込み要求信号 (INTCBnR) は発生しません。

備考 n = 0, 1

15. 5. 11 連続転送モード (スレーブ・モード, 受信モード)

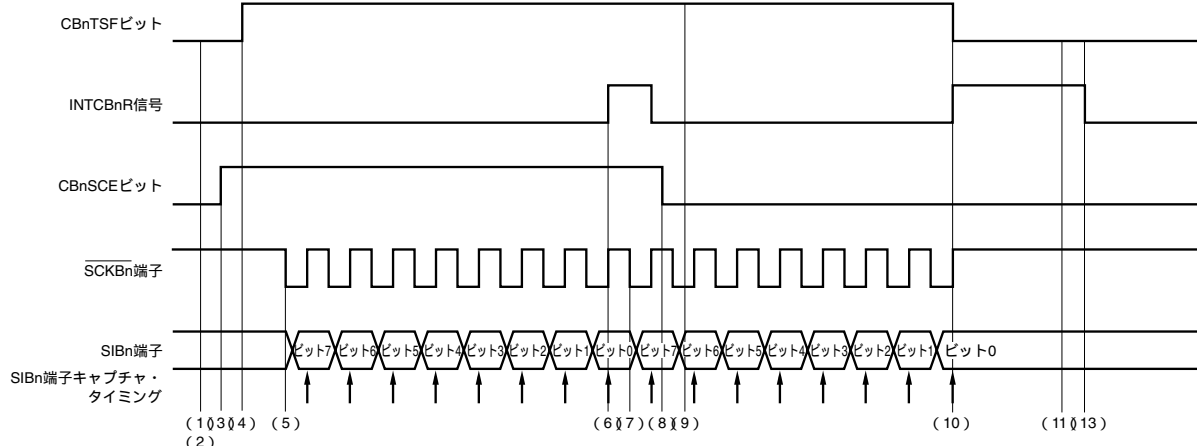
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック($\overline{\text{SCKBn}}$) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. n = 0, 1

(2) 動作タイミング



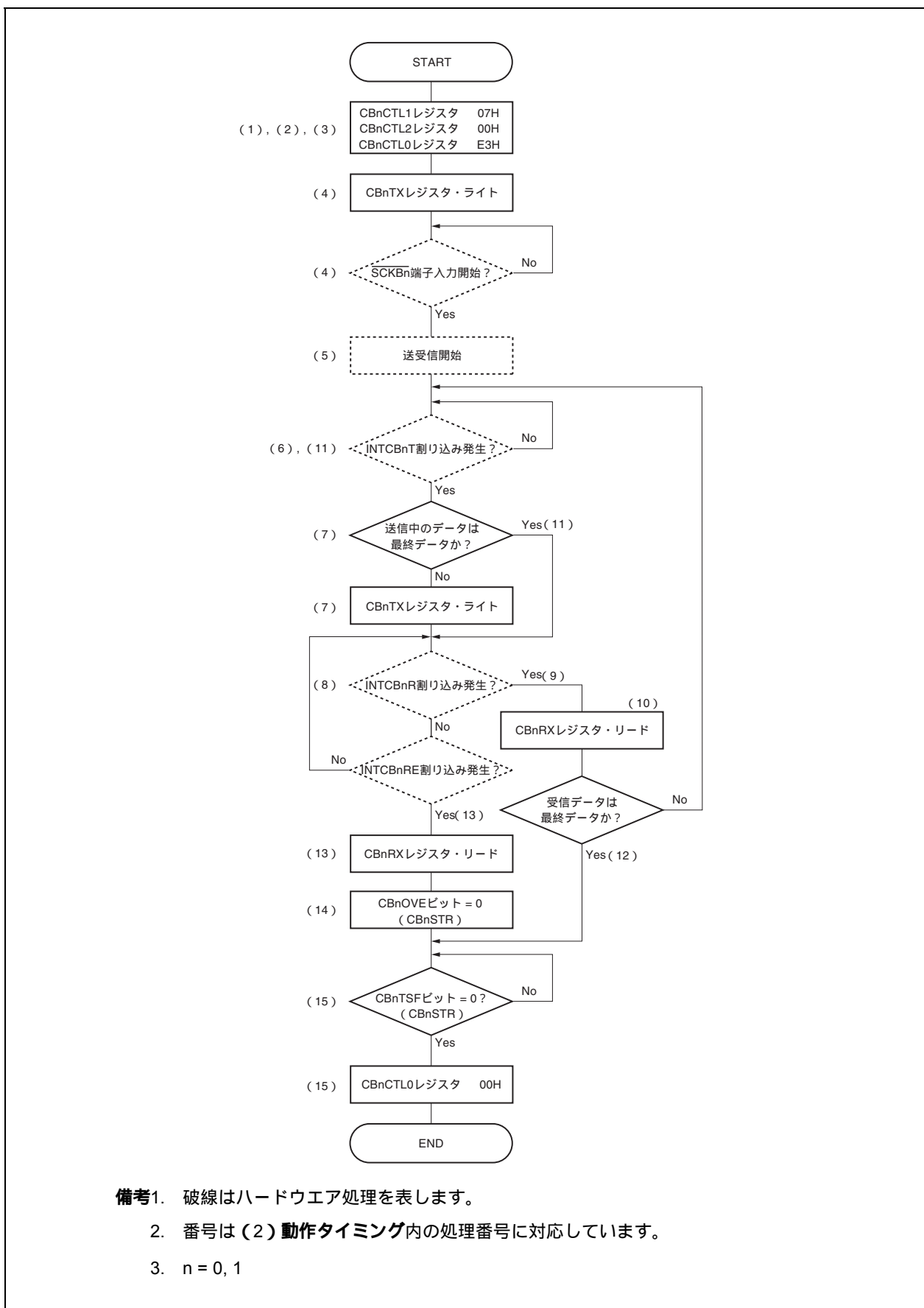
- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = 外部クロック ($\overline{\text{SCKBn}}$)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が完了すると、受信終了割り込み要求信号 (INTCBnR) が発生し、CBnRXレジスタのリードが可能になる。
- (7) CBnCTL0.CBnSCEビット = 1状態でシリアル・クロックが入力されると、連続して受信動作を開始する。
- (8) 現受信で連続受信を完了する場合は、CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信が完了すると、INTCBnR信号が発生し、CBnRXレジスタのリードが可能になる。通信完了前にCBnSCEビット = 0に設定されていると、CBnTSFビットはクリア(0)され受信動作を終了する。
- (11) CBnRXレジスタをリードする。
- (12) オーバーラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

15. 5. 12 連続転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック($\overline{\text{SCKBn}}$) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

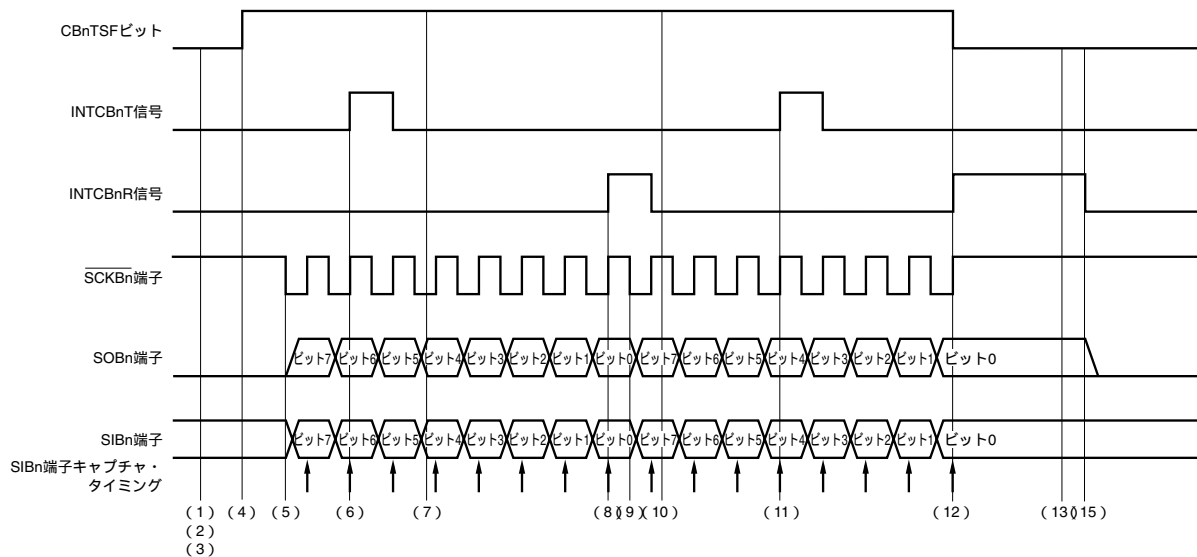
(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
3. n = 0, 1

(2) 動作タイミング

(1/2)



- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック (SCKBn)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子に送信データを出し、SIBn端子の受信データをキャプチャする。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の受信が終了すると、受信終了割り込み要求信号 (INTCBnR) を発生し、CBnRXレジスタのリードが可能になる。
- (9) 続けてシリアル・クロックが入力されると、連続送受信を開始する。
- (10) CBnRXレジスタをリードする。
- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送受信で連続送受信を完了する場合は、CBnTXレジスタへのライトを行わない。

備考 n = 0, 1

- (12) CBnTXレジスタへライトされていない状態で、CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると、INTCBnR信号が発生し、CBnTSFビットはクリア(0)され、送受信を終了する。
- (13) 受信エラー割り込み要求信号 (INTCBnRE) 発生時は、CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

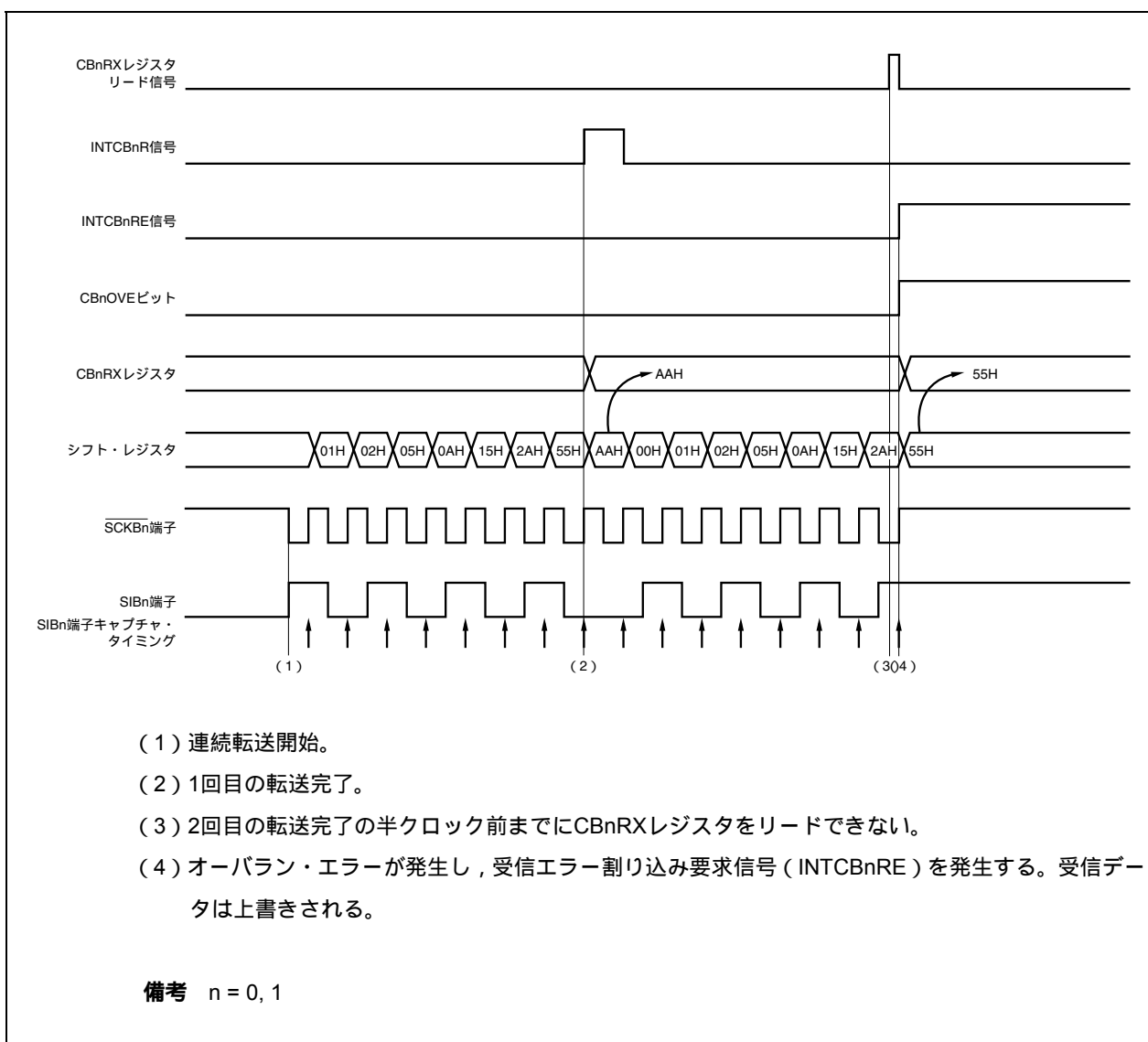
15.5.13 受信エラー

連続転送モード時に受信許可 (CBnCTL0.CBnRXEビット = 1) で転送を行う場合、受信終了割り込み要求信号 (INTCBnR) 発生後、CBnRXレジスタをリードする前に次の受信動作が完了すると受信エラー割り込み要求信号 (INTCBnRE) が発生し、オーバーラン・エラー・フラグ (CBnSTR.CBnOVE) がセット (1) されます。

オーバーラン・エラーが発生した場合でも、CBnRXレジスタは更新されるため、前回の受信データは失われます。また、受信エラーが発生した場合でもCBnRXレジスタをリードしないと、次の受信完了で再びINTCBnRE信号が発生します。

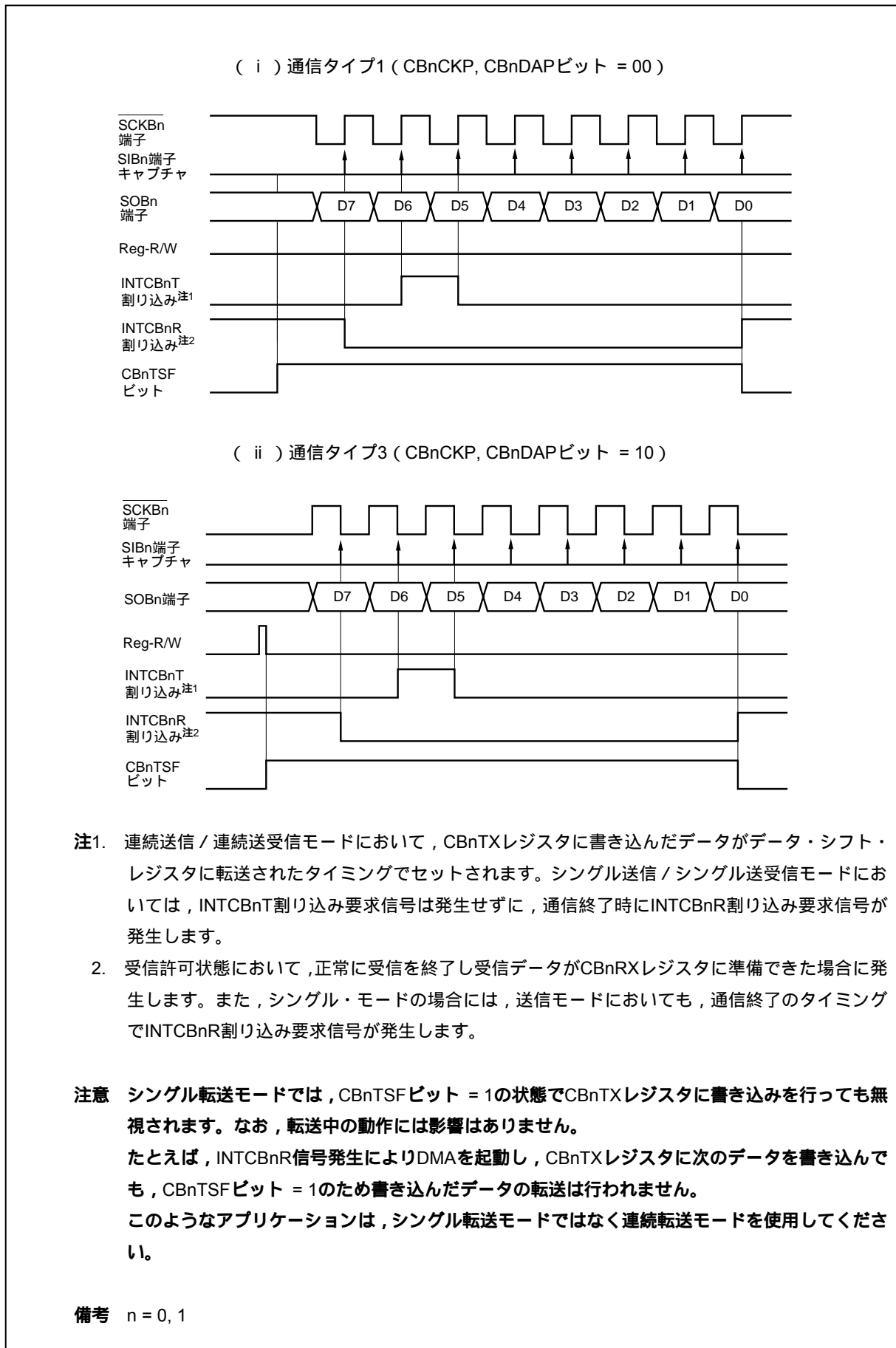
オーバーラン・エラーを回避するためには、INTCBnR信号発生後から次の受信データの最終ビットをサンプリングする半クロック前までにCBnRXレジスタのリードを完了してください。

(1) 動作タイミング

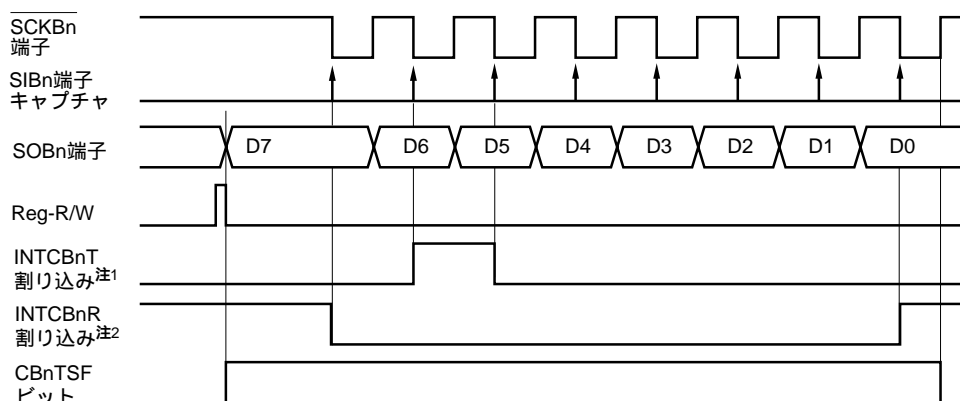


15.5.14 クロック・タイミング

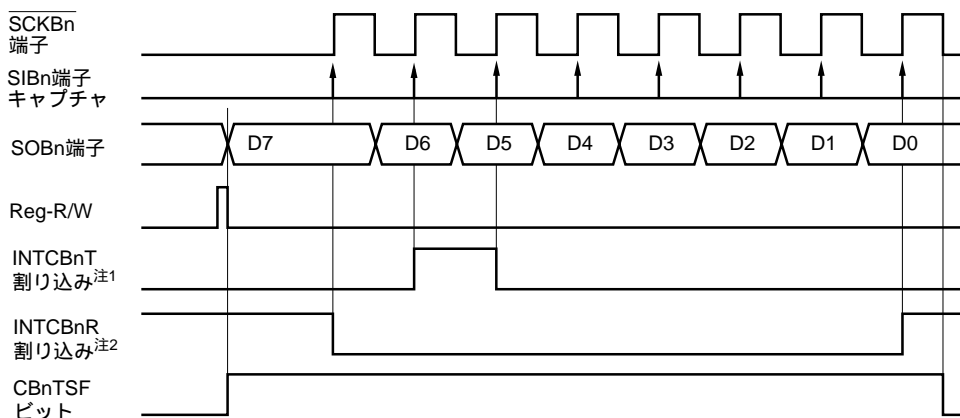
(1/2)



(iii) 通信タイプ2 (CBnCKP, CBnDAPビット = 01)



(iv) 通信タイプ4 (CBnCKP, CBnDAPビット = 11)



注1. 連続送信 / 連続送受信モードにおいて、CBnTXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信 / シングル送受信モードにおいては、INTCBnT割り込み要求信号は発生せずに、通信終了時にINTCBnR割り込み要求信号が発生します。

2. 受信許可状態において、正常に受信を終了し受信データがCBnRXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信終了のタイミングでINTCBnR割り込み要求信号が発生します。

注意 シングル転送モードでは、CBnTSFビット = 1の状態でもCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。

たとえば、INTCBnR信号発生によりDMAを起動し、CBnTXレジスタに次のデータを書き込んでも、CBnTSFビット = 1のため書き込んだデータの転送は行われません。

このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

備考 n = 0, 1

15.6 出力端子

(1) $\overline{\text{SCKBn}}$ 端子

CSIBn動作禁止 (CBnCTL0.CBnPWRビット = 0) のとき, $\overline{\text{SCKBn}}$ 端子出力状態は次のようになります。

備考 n = 0, 1

CBnCKP	CBnCKS2	CBnCKS1	CBnCKS0	$\overline{\text{SCKBn}}$ 端子出力
0	1	1	1	ハイ・インピーダンス
	上記以外			ハイ・レベル固定
1	1	1	1	ハイ・インピーダンス
	上記以外			ロウ・レベル固定

備考 CBnCTL1.CBnCKP, CBnCKS2-CBnCKS0ビットのいずれかを書き換えると $\overline{\text{SCKBn}}$ 端子の出力が変化します。

(2) SOBn 端子

CSIBn動作禁止 (CBnPWRビット = 0) のとき, SOBn 端子出力状態は次のようになります。

備考 n = 0, 1

CBnTXE	CBnDAP	CBnDIR	SOBn 端子出力
0	x	x	ロウ・レベル固定
1	0	x	SOBn ラッチの値 (ロウ・レベル)
	1	0	CBnTXの値 (MSB)
		1	CBnTXの値 (LSB)

備考1. CBnCTL0.CBnTXE, CBnDIRビット, CBnCTL1.CBnDAPビットのいずれかを書き換えると SOBn 端子の出力が変化します。

2. x: 任意

第16章 DMA機能 (DMAコントローラ)

V850E/IA3, V850E/IA4は, DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは, 内蔵周辺I/O (各種シリアル・インタフェース, タイマ, A/Dコンバータ) からの割り込みによる要求, またはソフトウェア・トリガによるDMA要求に基づいて, 内蔵メモリ 周辺I/O間または周辺I/O 周辺I/O間でのデータ転送を制御します。

16.1 特 徴

4つの独立なDMAチャンネル

転送単位: 8ビット/16ビット

最大転送回数: 65536 (2^{16}) 回

転送タイプ: 2サイクル転送

3種類の転送モード

- ・シングル転送モード
- ・シングルステップ転送モード
- ・ブロック転送モード

転送要求

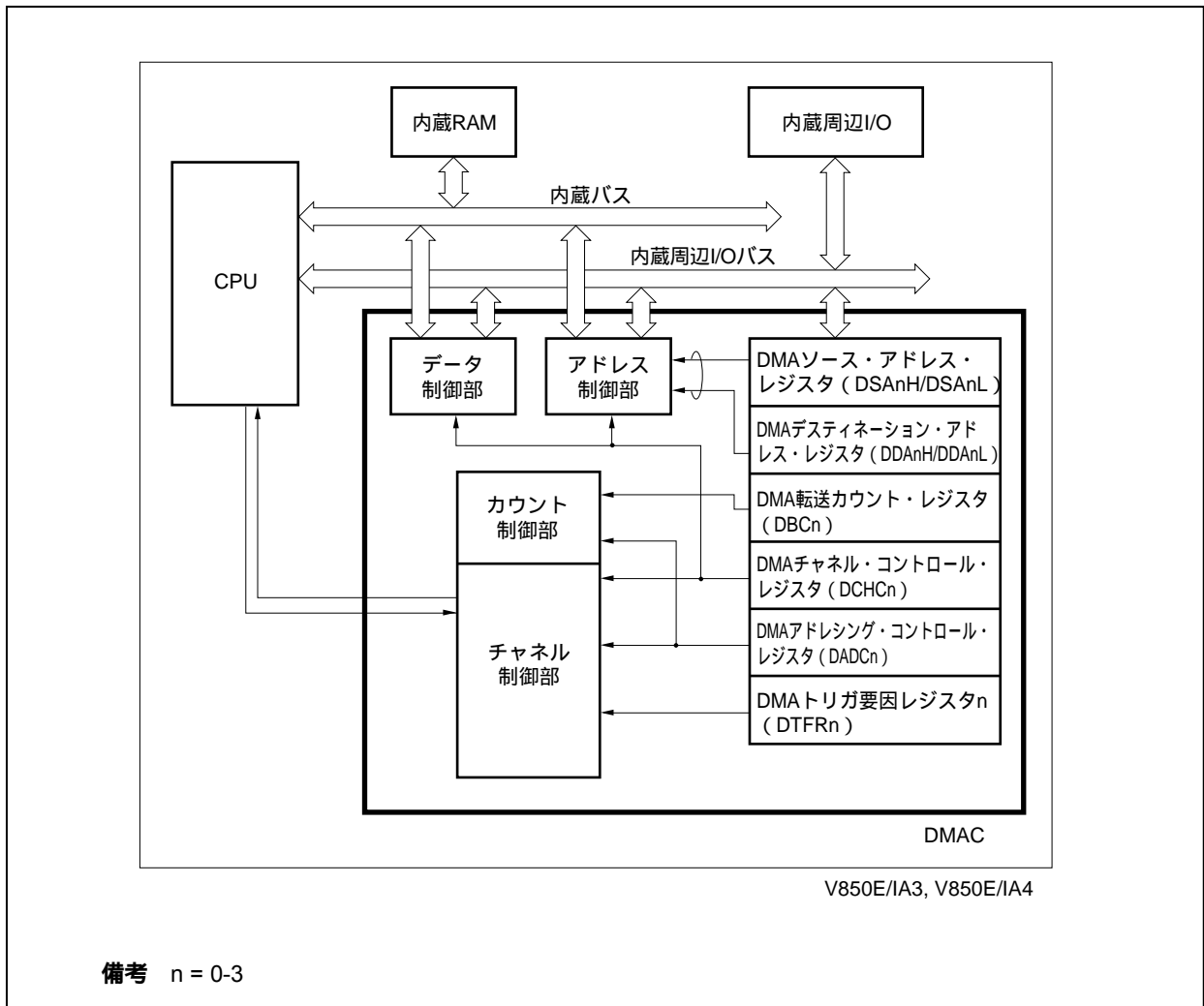
- ・内蔵周辺I/O (各種シリアル・インタフェース, タイマ, A/Dコンバータ) からの割り込みによる要求
- ・ソフトウェア・トリガによる要求

転送対象

- ・内蔵メモリ 周辺I/O
- ・周辺I/O 周辺I/O

ネクスト・アドレス設定機能

16.2 構成



16.3 制御レジスタ

16.3.1 DMAソース・アドレス・レジスタ0-3 (DSA0-D3)

DMAチャンネルnのDMA転送元アドレス(28ビット)を設定します(n=0-3)。このレジスタは,DSAnH, DSAnLの2つの16ビットのレジスタに分かれます。

また,このレジスタは,マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタなので,DMA転送中に新たなDMA転送の転送元アドレスが設定できます(16.8 **ネクスト・アドレス設定機能**参照)。ネクスト・アドレスを設定する場合,新たなDSAnレジスタの設定は,DMA転送が正常に終了し,DCHCn.TCnビットがセット(1)されたとき,またはDCHCn.INITnビットをセット(1)したときのみ,その設定値はスレーブ・レジスタに転送され,有効となります(n=0-3)。ただし,DCHCn.Ennビットをクリア(0)して,DMA転送を禁止状態にし,DSAnレジスタを設定しても,その設定値は無効となりますので注意してください。

(1) DMAソース・アドレス・レジスタ0H-3H (DSA0H-D3H)

16ビット単位でリード/ライト可能です。

リセットにより不定になります。

- 注意1.** ソース・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は,必ずFFFFFF00H-FFFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ(3FFF000H-3FFFFFFH)のアドレスは指定できません。
- 2.** DSAnHレジスタの設定は,DMA中断中には行わないでください。

リセット時:不定 R/W アドレス: DSA0H FFFFFFF082H, DSA1H FFFFFFF08AH,
DSA2H FFFFFFF092H, DSA3H FFFFFFF09AH

	15	14	13	12	11	10	9	8
DSAnH	IRSn	0	0	0	SAn27	SAn26	SAn25	SAn24
(n=0-3)	7	6	5	4	3	2	1	0
	SAn23	SAn22	SAn21	SAn20	SAn19	SAn18	SAn17	SAn16

IRSn	DMA転送元の指定
0	内蔵周辺I/O
1	内蔵RAM

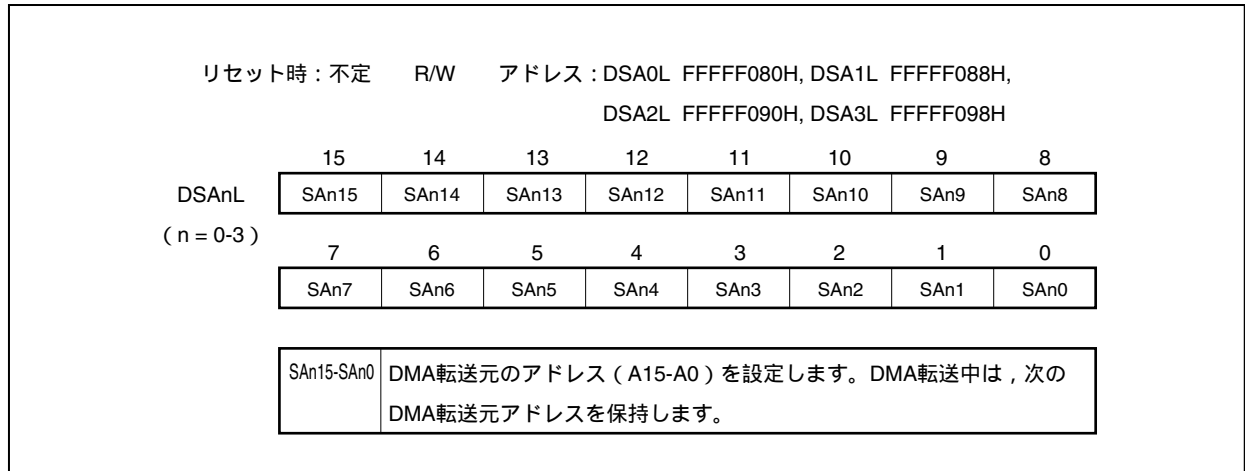
SAn27-SAn16	DMA転送元のアドレス(A27-A16)を設定します。DMA転送中は,次のDMA転送元アドレスを保持します。
-------------	--

注意 ビット14-12には必ず0を設定してください。1を設定した場合の動作は保証できません。

(2) DMAソース・アドレス・レジスタ0L-3L (DSA0L-DSA3L)

16ビット単位でリード/ライト可能です。

リセットにより不定になります。



16.3.2 DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャネルnのDMA転送先アドレス(28ビット)を設定します(n = 0-3)。このレジスタは,DDAnH, DDAnLの2つの16ビットのレジスタに分かれます。

また,このレジスタは,マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタなので,DMA転送中に新たなDMA転送の転送先アドレスが設定できます(16.8 **ネクスト・アドレス設定機能**参照)。ネクスト・アドレスを設定する場合,新たなDDAnレジスタの設定は,DMA転送が正常に終了し,DCHCn.TCnビットがセット(1)されたとき,またはDCHCn.INITnビットをセット(1)したときのみ,その設定値はスレーブ・レジスタに転送され,有効となります(n = 0-3)。ただし,DCHCn.Ennビットをクリア(0)して,DMA転送を禁止状態にし,DDAnレジスタを設定しても,その設定値は無効となりますので注意してください。

(1) DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H)

16ビット単位でリード/ライト可能です。

リセットにより不定になります。

- 注意1.** デスティネーション・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は,必ずFFFF00H-FFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ(3FFF00H-3FFFFFFH)のアドレスは指定できません。
- 2.** DDAnHレジスタの設定は,DMA中断中には行わないでください。

リセット時：不定 R/W アドレス：DDA0H FFFFF086H, DDA1H FFFFF08EH,
DDA2H FFFFF096H, DDA3H FFFFF09EH

	15	14	13	12	11	10	9	8
DDAnH (n = 0-3)	IRAn	0	0	0	DAn27	DAn26	DAn25	DAn24
	7	6	5	4	3	2	1	0
	DAn23	DAn22	DAn21	DAn20	DAn19	DAn18	DAn17	DAn16

IRAn	DMA転送先の指定
0	内蔵周辺I/O
1	内蔵RAM

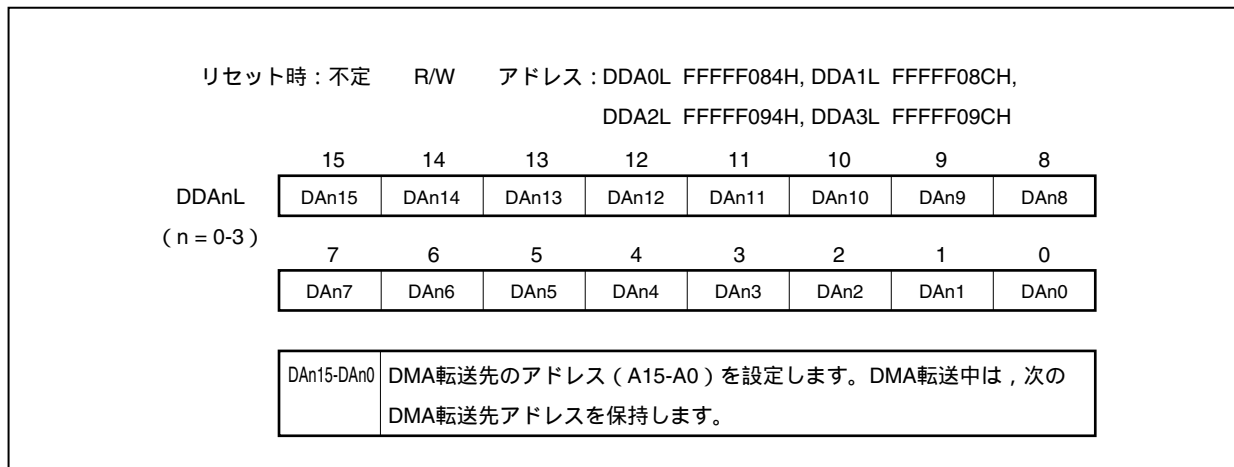
DAn27-DAn16	DMA転送先のアドレス(A27-A16)を設定します。DMA転送中は,次のDMA転送先アドレスを保持します。
-------------	--

注意 ビット14-12には必ず0を設定してください。1を設定した場合の動作は保証できません。

(2) DMAデスティネーション・アドレス・レジスタ0L-3L (DDA0L-DDA3L)

16ビット単位でリード/ライト可能です。

リセットにより不定になります。



16.3.3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャネルnの転送数を設定する16ビット・レジスタです (n = 0-3)。DMA転送中は、残りの転送数を保持します。

また、このレジスタは、マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタなので、DMA転送中に新たなDMA転送の転送回数が設定できます(16.8 **ネクスト・アドレス設定機能**参照)。ネクスト・アドレスを設定する場合、新たなDBCnレジスタの設定は、DMA転送が正常に終了し、DCHCn.TCnビットがセット(1)されたとき、またはDCHCn.INITnビットをセット(1)したときのみ、その設定値はスレーブ・レジスタに転送され、有効となります(n = 0-3)。ただし、DCHCn.Ennビットをクリア(0)して、DMA転送を禁止状態にし、DBCnレジスタを設定しても、その設定値は無効となりますので注意してください。

1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

16ビット単位でリード/ライト可能です。

リセットにより不定になります。

注意 DBCnレジスタの設定は、DMA中断中には行わないでください。

備考 DMA転送中にDBCnレジスタを書き換えることなくターミナル・カウントが発生したあと、DBCnレジスタを読み出した場合は、DMA転送の直前に設定された値が読み出されます(転送終了後でも0000Hは読み出されません)。

リセット時：不定		R/W	アドレス：DBC0 FFFFF0C0H, DBC1 FFFFF0C2H, DBC2 FFFFF0C4H, DBC3 FFFFF0C6H							
DBCn (n = 0-3)		15	14	13	12	11	10	9	8	
		BCn15	BCn14	BCn13	BCn12	BCn11	BCn10	BCn9	BCn8	
		7	6	5	4	3	2	1	0	
		BCn7	BCn6	BCn5	BCn4	BCn3	BCn2	BCn1	BCn0	
BCn15-BCn0		転送数の設定 (DMA転送中は残りの転送数を保持)								
	0000H	1回の転送, または残り転送数								
	0001H	2回の転送, または残り転送数								
	:	:								
	FFFFH	65536 (2 ¹⁶) 回の転送, または残り転送数								

16.3.4 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャンネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。DMA動作中はアクセスできません。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意1. DSn0ビットは何ビットのデータを転送するかを設定するビットです。

転送データ・サイズを16ビットに設定した場合は下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。この場合は奇数アドレスから始まる転送はできません。

2. DADCnレジスタの設定は、対象となるチャンネルが次のいずれかのタイミングのときに行ってください (これらのタイミング以外で設定を行った場合の動作は保証しません)。

- ・システム・リセットから最初のDMA転送要求発生までの期間
- ・DMA転送の完了後 (ターミナル・カウント後) から次のDMA転送要求発生までの期間
- ・DMA転送の強制終了後 (DCHCn.INITnビットがセット (1) 後) から次のDMA転送要求発生までの期間

リセット時：0000H R/W アドレスDADC0 FFFFF0D0H, DADC1 FFFFF0D2H,
DADC2 FFFFF0D4H, DADC3 FFFFF0D6H

DADCn (n = 0-3)	15	14	13	12	11	10	9	8
	0	DSn0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	SADn1	SADn0	DADn1	DADn0	TMn1	TMn0	0	0

DSn0	DMA転送での転送データ・サイズの設定
0	8ビット
1	16ビット

SADn1	SADn0	DMAチャンネルnの転送元アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DADn1	DADn0	DMAチャンネルnの転送先アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

TMn1	TMn0	DMA転送時の転送モードの設定
0	0	シングル転送モード
0	1	シングルステップ転送モード
1	0	設定禁止
1	1	ブロック転送モード

注意 ビット15, 13-8, 1, 0には必ず0を設定してください。1を設定した場合の動作は保証できません。

16.3.5 DMAチャネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャネルnのDMA転送動作モードを制御する8ビット・レジスタです (n = 0-3)。

8/1ビット単位でリード/ライト可能です (ただし, ビット7はリードのみ可能です)。

リセットにより00Hになります。

- 注意1. MLEnビットがセット (1) された状態で転送を完了し, 次の転送要求を内蔵周辺I/Oからの割り込みで起動するDMA転送 (ハードウェアDMA) で行った場合, 次の転送はTCnビットがセット (1) された状態で実行されず (自動的にクリア (0) されません)。
2. MLEnビットの設定は, 対象となるチャネルが次のいずれかのタイミングのときに行ってください (これらのタイミング以外で設定を行った場合の動作は保証しません)。
 - ・システム・リセットから最初のDMA転送要求発生までの期間
 - ・DMA転送の完了後 (ターミナル・カウント後) から次のDMA転送要求発生までの期間
 - ・DMA転送の強制終了後 (INITnビットのセット (1) 後) から次のDMA転送要求発生までの期間
 3. MLEnビットをセット (1) した状態で, DMA転送の最後の転送サイクル時に強制終了を行ったときは, 転送完了時と同様の動作 (TCnビットのセット (1)) を行います (Ennビットは, MLEnビットの値にかかわらず, 強制終了時にクリア (0) されます)。この場合, 次のDMA転送要求時は, Ennビットのセット (1) に加え, TCnビットの読み出し (クリア (0)) も必要です。
 4. DMA転送完了時 (ターミナル・カウント時) は, Ennビットのクリア (0) TCnビットのセット (1) の順で各ビットの更新が行われます。そのため, TCnビットとEnnビットの状態をポーリングしているような場合, DCHCnレジスタの読み出しタイミングが上記の各ビットの更新途中であると, 「転送未完了, かつ転送禁止」の状態を示す値 (TCnビット = 0, かつEnnビット = 0) が読み出されることがあります (異常動作ではありません)。
 5. DMA転送完了後 (ターミナル・カウント後) には必ずTCnビットの読み出し (クリア (0)) を行ってください。TCnビットの読み出し (クリア (0)) が必要ないのは, 次の2つの条件を満たす場合だけです。
 - ・DMA転送完了時 (ターミナル・カウント時) にMLEnビットがセット (1) されている
 - ・次のDMA転送起動要因が内蔵周辺I/Oからの割り込みで起動するDMA転送 (ハードウェアDMA)
 いずれか1つでも条件を満たしていない場合には, 必ず次のDMA転送要求発生までにTCnビットの読み出し (クリア (0)) を行ってください。
TCnビットがセット (1) された状態で次のDMA転送要求を発生させた場合の動作は保証できません。
 6. Enn, STGnビットの設定は, DMA中断中には行わないでください。DMA中断中に設定した場合の動作は保証できません。
 7. Ennビットのクリア (0) により, DMA転送を完了させないでください。
 8. DMA転送の状態とレジスタ値の関係は次のようになります。
 - ・DMA転送動作中 : TCnビット = 0, Ennビット = 1
 - ・DMA転送中断中 : TCnビット = 0, Ennビット = 0
 - ・DMA転送停止中 (完了中) : TCnビット = 1

リセット時：00H R/W アドレス：DCHC0 FFFFF0E0H, DCHC1 FFFFF0E2H,
DCHC2 FFFFF0E4H, DCHC3 FFFFF0E6H

DCHCn (n = 0-3)		6	5	4	①		
	TCn	0	0	0	MLEn	INITn	STGn

TCn ^{注1}	DMAチャンネルnのDMA転送の完了 / 未完了を示すステータス・ビット
0	DMA転送未完了
1	DMA転送完了
DMA転送の最後の転送時にセット (1) され、読み出しによりクリア (0) されます。内蔵RAMを転送元とするDMA転送の場合、最後の転送が完了後4クロック経過してからセット (1) されます。	

MLEn	<p>DMA転送完了時 (ターミナル・カウント出力時) に、このビットがセット (1) されていると、Ennビットはクリア (0) されず、DMA転送許可状態のままになります。</p> <p>次のDMA転送起動要因が内蔵周辺I/Oからの割り込みの場合 (ハードウェアDMA) は、TCnビットを読み出さなくてもDMA転送要求が受け付けられます。次のDMA転送起動要因がSTGnビットのセット (1) の場合 (ソフトウェアDMA) は、TCnビットを読み出してクリア (0) すれば、DMA転送要求が受け付けられます。</p> <p>DMA転送完了時 (ターミナル・カウント出力時) に、このビットがクリア (0) されていると、Ennビットはクリア (0) され、DMA転送禁止状態になります。次のDMA転送要求時は、TCnビットの読み出しとEnnビットのセット (1) が必要です。</p>
------	---

INITn ^{注2}	DMA転送中、またはDMA中断中にこのビットをセット (1) すると、DMA転送を強制終了します。
---------------------	---

STGn ^{注2}	DMA転送が許可の状態 (TCnビット = 0, Ennビット = 1) で、このビットをセット (1) するとDMA転送を開始します。
--------------------	--

Enn	DMAチャンネルnのDMA転送の許可 / 禁止の設定
0	DMA転送の禁止
1	DMA転送の許可
<ul style="list-style-type: none"> ・DMA転送が完了するとクリア (0) されます。また、INITnビットのセット (1) による強制終了時にもクリア (0) されます。 ・Ennビットをセット (1) した場合、DBCnレジスタで設定した転送回数分のDMA転送が完了するか、またはINITnビットでDMA転送を強制終了させるまでは、Ennビットの設定は行わないでください。 	

- 注1. TCnビットはリードのみ可能です。
2. INITn, STGnビットはライトのみ可能です。リードした場合は、0が読み出されます。

注意 ビット6-4には必ず0を設定してください。1を設定した場合の動作は保証できません。

16.3.6 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oから割り込み要求によるDMA転送開始トリガを制御する8ビットのレジスタです。

このレジスタで設定した割り込み要求が、DMA転送の起動要因になります。

8/1ビット単位でリード/ライト可能です。ただし、ビット7 (DFn)は1ビット単位、ビット5-0 (IFCn5-IFCn0)は8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意1. DTFRnレジスタの設定を変更する場合は必ず次の手順で行ってください。

- IFCn5-IFCn0ビットに設定する値が他チャンネルのIFCm5-IFCm0ビットに設定されていない場合 (n = 0-3, m = 0-3, n ≠ m)

DCHCn.Ennビット = 0の場合は - , Ennビット = 1の場合は - の手順で行ってください。

書き換え対象となるチャンネルのDMA動作を停止 (DCHCn.INITnビット = 1) する。

DTFRnレジスタの設定を変更する (必ずDFnビット = 0とし、かつ8ビット操作で行ってください)。

DMA転送要求をクリアする必要がある場合には、DMA転送要求フラグをクリア (DTFRn.DFnビット = 0) する。

DMA動作を許可 (Ennビット = 1) する。

- IFCn5-IFCn0ビットに設定する値がすでに他チャンネルのIFCm5-IFCm0ビットに設定されている場合 (n = 0-3, m = 0-3, n = m)

DCHCn.Ennビット = 0の場合は - , Ennビット = 1の場合は - の手順で行ってください。

書き換え対象となるチャンネルのDMA動作を停止 (DCHCn.INITnビット = 1) する。

IFCn5-IFCn0ビットに書き換える値と同じ値がIFCm5-IFCm0ビットに設定されているチャンネルのDMA動作を停止 (DCHCm.INITmビット = 1) する。

DTFRnレジスタの設定を変更する (必ずDFnビット = 0とし、かつ8ビット操作で行ってください)。

DMA転送要求をクリアする必要がある場合には、DMA転送要求フラグをクリア (DTFRn.DFnビット = 0) する。

DMA動作を許可 (Ennビット = 1およびEmmビット = 1) する。

2. スタンバイ・モード (IDLE, STOPモード) 中に入力された内蔵周辺I/Oからの割り込み要求は、DMA転送の起動要因として保留されます。保留されたDMA起動要因は通常動作モードへ復帰後に実行されます。
3. IFCn5-IFCn0ビットにより、DMA転送の起動要因を変更した場合は、必ず直後の命令でDFnビットのクリア (0) も行ってください。

リセット時：00H R/W アドレス：DTFR0 FFFFFFF810H, DTFR1 FFFFFFF812H,
DTFR2 FFFFFFF814H, DTFR3 FFFFFFF816H

	6	5	4	3	2	1	0	
DTFRn (n = 0-3)	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0
	DFn ^注	DMA転送要求ステータス・フラグ						
	0	DMA転送要求なし						
	1	DMA転送要求あり						

注 DFnビットはソフトウェアにより1を設定しないでください。

DMA転送を禁止(ソフトウェアによる強制終了を含む)している間に、DMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合には、割り込み発生要因の動作を停止したあとに、DFnビットに0をライトしてください(例 シリアル受信の場合、受信を禁止)。なお、次にDMA転送を再開するまでに再度割り込みが発生しないことがアプリケーション上で明確な場合は、割り込み発生要因の動作を停止する必要はありません。

- 注意**1. IFCn5-IFCn0ビットについては、表16 - 1 DMA起動要因を参照してください。
2. ビット6には必ず0を設定してください。1を設定した場合の動作は保証できません。

表16 - 1 DMA起動要因 (1/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	内蔵周辺I/OからのDMA要求禁止
0	0	0	0	0	1	INTP6
0	0	0	0	1	0	INTP7
0	0	0	0	1	1	INTCMP0
0	0	0	1	0	0	INTCMP1
0	0	0	1	0	1	INTTQ0OV
0	0	0	1	1	0	INTTQ0CC0
0	0	0	1	1	1	INTTQ0CC1
0	0	1	0	0	0	INTTQ0CC2
0	0	1	0	0	1	INTTQ0CC3
0	0	1	0	1	0	INTTQ1OV
0	0	1	0	1	1	INTTQ1CC0
0	0	1	1	0	0	INTTQ1CC1
0	0	1	1	0	1	INTTQ1CC2
0	0	1	1	1	0	INTTQ1CC3
0	0	1	1	1	1	INTCC00
0	1	0	0	0	0	INTCC01
0	1	0	0	0	1	INTCM00
0	1	0	0	1	0	INTCM01
0	1	0	0	1	1	INTCC10 ^注
0	1	0	1	0	0	INTCC11 ^注
0	1	0	1	0	1	INTCM10 ^注
0	1	0	1	1	0	INTCM11 ^注
0	1	0	1	1	1	INTTP0OV
0	1	1	0	0	0	INTTP0CC0
0	1	1	0	0	1	INTTP0CC1
0	1	1	0	1	0	INTTP1OV
0	1	1	0	1	1	INTTP1CC0
0	1	1	1	0	0	INTTP1CC1
0	1	1	1	0	1	INTTP2OV
0	1	1	1	1	0	INTTP2CC0
0	1	1	1	1	1	INTTP2CC1
1	0	0	0	0	0	INTTP3OV
1	0	0	0	0	1	INTTP3CC0
1	0	0	0	1	0	INTTP3CC1
1	0	0	0	1	1	INTDMA0
1	0	0	1	0	0	INTDMA1
1	0	0	1	0	1	INTDMA2
1	0	0	1	1	0	INTDMA3

注 V850E/IA4のみ

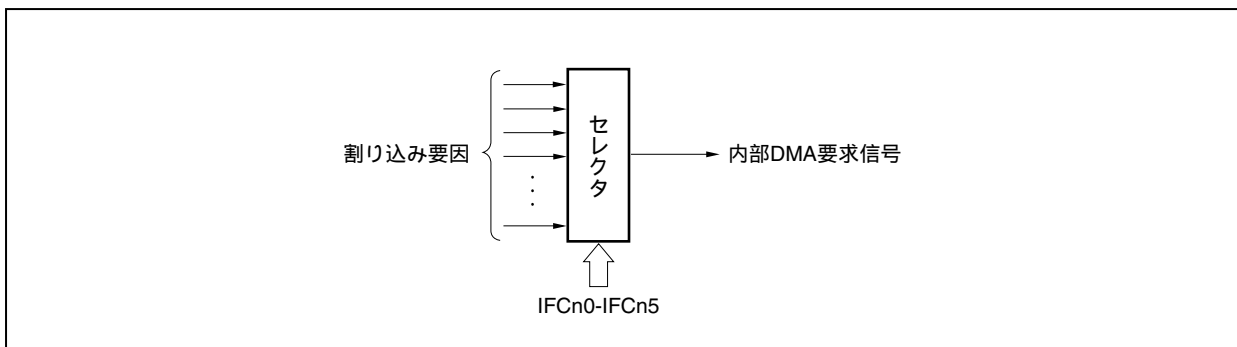
備考 n = 0-3

表16 - 1 DMA起動要因 (2/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
1	0	0	1	1	1	INTUA0RE
1	0	1	0	0	0	INTUA0R
1	0	1	0	0	1	INTUA0T
1	0	1	0	1	0	INTCB0RE
1	0	1	0	1	1	INTCB0R
1	0	1	1	0	0	INTCB0T
1	0	1	1	0	1	INTUA1RE
1	0	1	1	1	0	INTUA1R
1	0	1	1	1	1	INTUA1T
1	1	0	0	0	0	INTCB1RE
1	1	0	0	0	1	INTCB1R
1	1	0	0	1	0	INTCB1T
1	1	0	0	1	1	INTAD0
1	1	0	1	0	0	INTAD1
1	1	0	1	0	1	INTAD2
1	1	0	1	1	0	INTTM0EQ0
その他						設定禁止

備考 n = 0-3

DMA転送トリガとなる割り込み要因の関係を次に示します (n = 0-3)。



- 注意1. IFCn5-IFCn0ビットで設定した割り込み要因によりDMAが起動します。割り込み処理を実行したくない場合は、割り込み制御レジスタで割り込みをマスクしてください。割り込みをマスクしてもDMAは起動されます。
2. クロック・ジェネレータのプリスケアラ2の設定により、CPUクロックの周波数を低下させることで各内蔵周辺I/Oのクロックより遅くなった場合には、DMA転送の起動要因が受け付けられない場合があります。

16.4 転送モード

16.4.1 シングル転送モード

シングル転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先されます。ただし、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合は、前回の優先順位が高いDMA転送要求信号がアクティブのままでもこの要求は優先されず、CPUにバスを解放した次の転送は新たに要求のあった優先順位の低い方のDMA転送となります。

図16 - 1から図16 - 4にシングル転送の例を示します。

図16 - 1 シングル転送例1

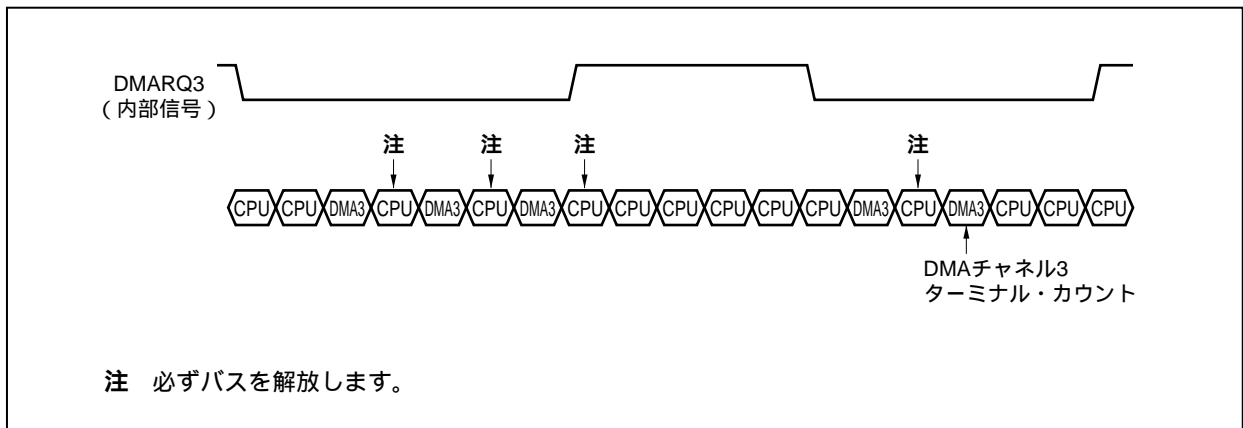


図16 - 2は、優先順位の高いDMA要求が発生した場合のシングル転送の例で、DMAチャンネル0-2はブロック転送、チャンネル3はシングル転送です。

図16 - 2 シングル転送例2

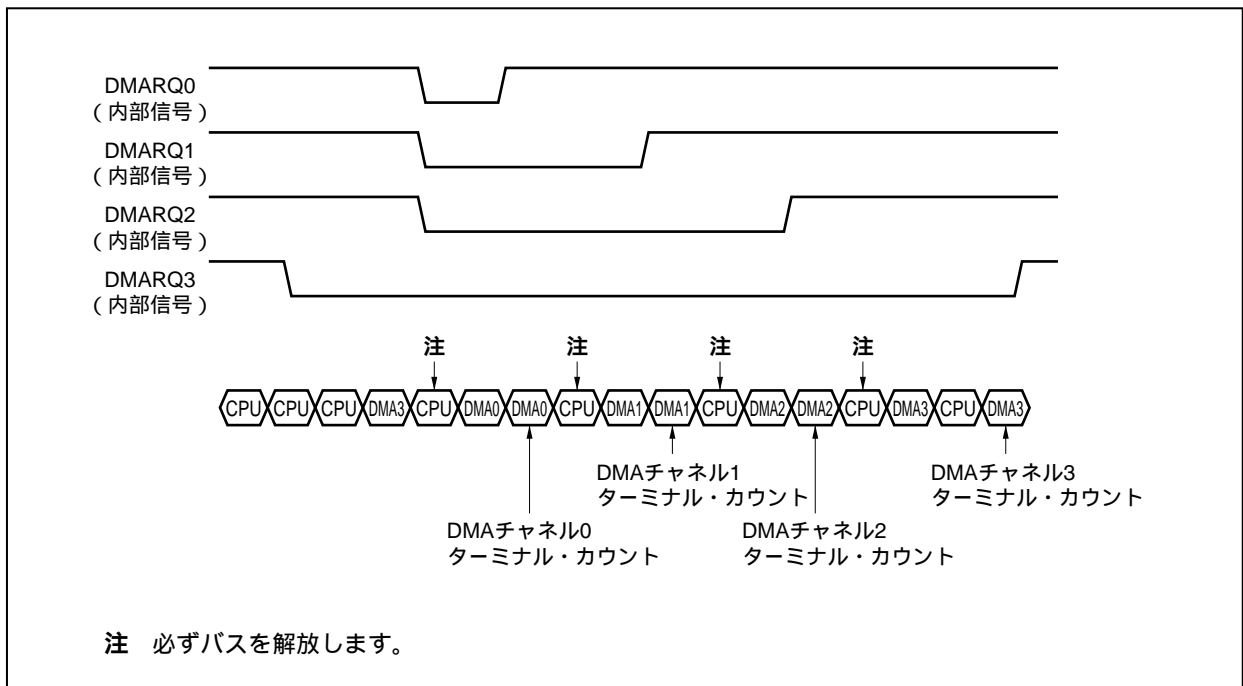


図16 - 3は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合のシングル転送の例で、DMAチャンネル0, 3はシングル転送です。2つのDMA転送要求信号が同時にアクティブになっているときは、2つのDMA転送を交互に行います。

図16 - 3 シングル転送例3

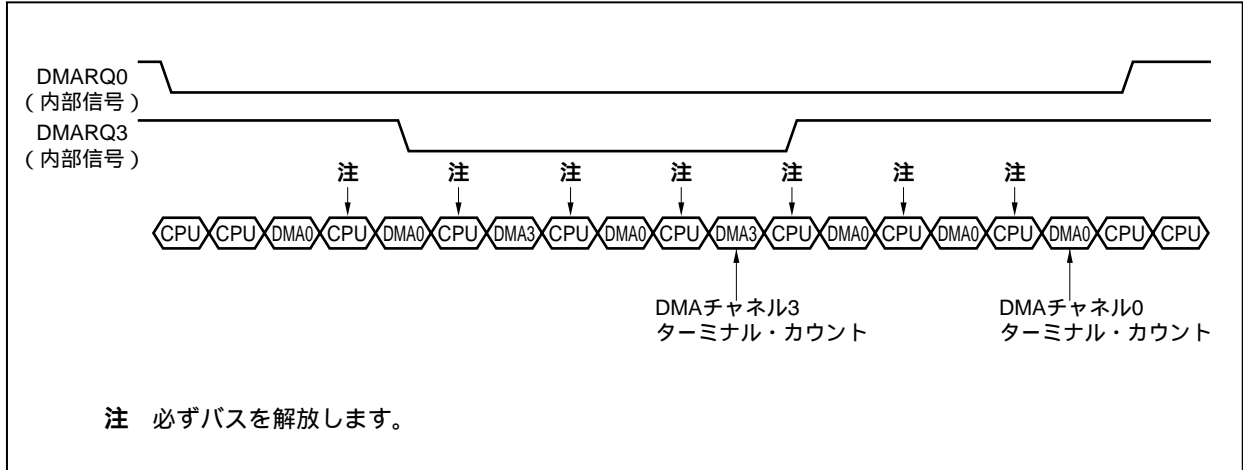
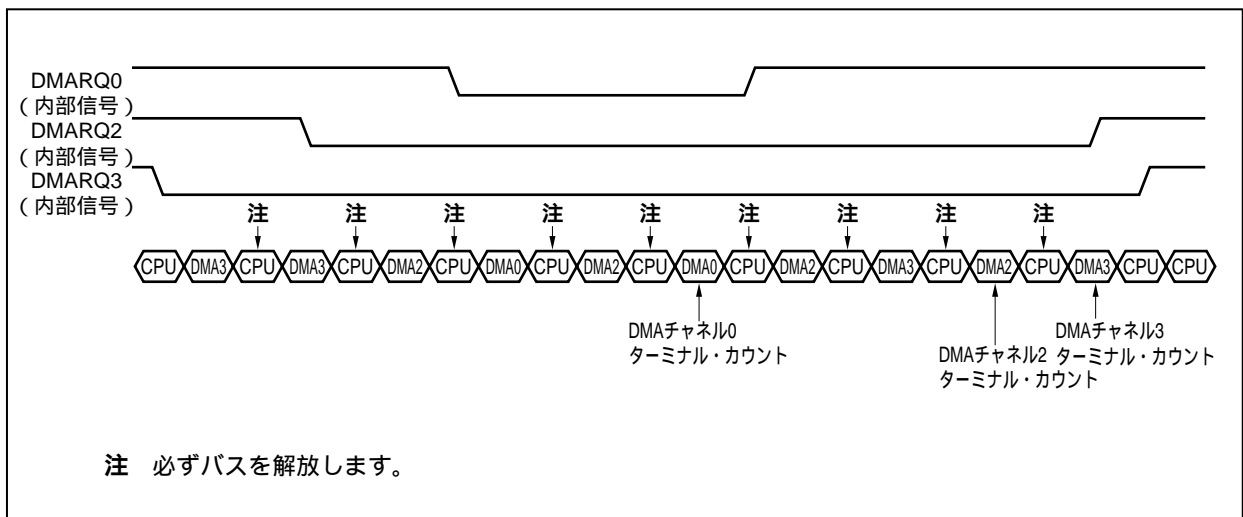


図16 - 4は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求の発生が複数あった場合のシングル転送の例で、DMAチャンネル0, 2, 3はシングル転送です。3つ以上のDMA転送要求信号が同時にアクティブになっているときは、優先順位が高い順から2つのDMA転送を交互に行います。

図16 - 4 シングル転送例4



16.4.2 シングルステップ転送モード

シングルステップ転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。一度、DMA転送要求信号を受けると、ターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

次にシングルステップ転送の例を示します。図16 - 6は、優先順位が高いDMA転送要求が発生した場合のシングルステップ転送モードの例で、DMAチャンネル0, 1ともにシングルステップ転送です。

図16 - 5 シングルステップ転送例1

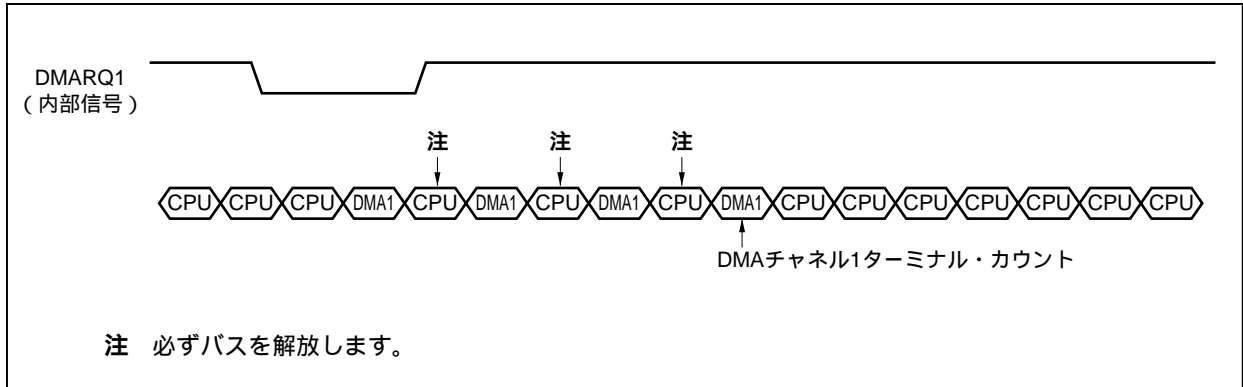
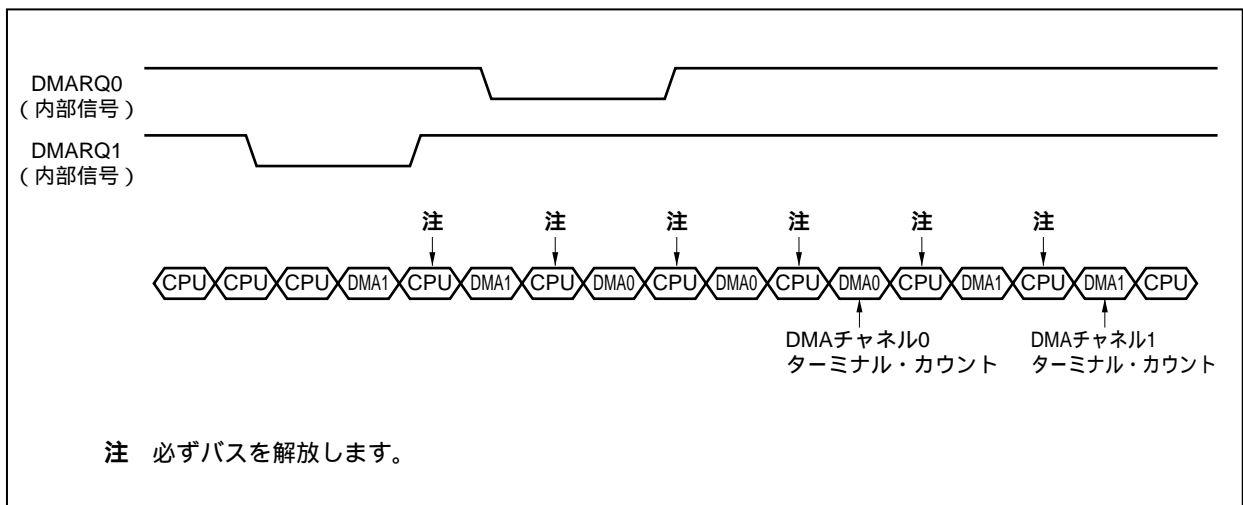


図16 - 6 シングルステップ転送例2



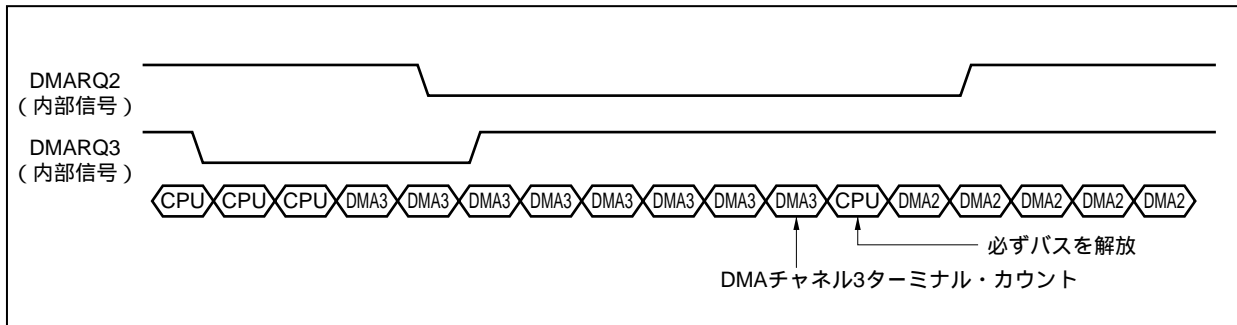
16.4.3 ブロック転送モード

ブロック転送では、転送が開始されると、ターミナル・カウントが発生するまでバスを解放せず転送を続けます。ブロック転送中は、ほかのDMA要求は受け付けません。

ブロック転送が終了しDMACがバスを解放したあとに、ほかのDMA転送を受け付けます。

次にブロック転送の例を示します。優先順位の高いDMA要求が発生した場合のブロック転送の例で、DMAチャンネル2, 3はブロック転送です。

図16 - 7 ブロック転送例



16.5 転送タイプ

16.5.1 2サイクル転送

2サイクル転送は、リード・サイクル (転送元 DMAC)、ライト・サイクル (DMAC 転送先) と2回のサイクルでデータを転送します。

1回目のサイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、2回目のサイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

注意 リード・サイクルとライト・サイクルの間に、必ず1~2クロック分のアイドル・サイクルが挿入されます。

16.6 転送対象

16.6.1 転送の種類と転送対象

転送の種類と転送対象の関係を次に示します（○：転送可，×：転送不可）。

表16 - 2 転送の種類と転送対象の関係

		転送先		
		内蔵ROM	内蔵周辺I/O ^注	内蔵RAM
転送元	内蔵周辺I/O ^注	×		
	内蔵RAM	×		×
	内蔵ROM	×	×	×

注 転送対象が内蔵周辺I/Oの場合はシングル転送モードのみ使用可能です。

- 注意1. 表16 - 2に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証しません。
2. DMA転送の転送元，転送先のアドレスに3FFF000H-3FFFFFFFHを指定することができません。
転送元，転送先のアドレスには，必ずFFFF000H-FFFFFFFHのアドレスを指定してください。

備考 内蔵周辺I/Oレジスタを対象（転送元 / 転送先）とするDMA転送の場合，必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば，8ビットのレジスタに対するDMA転送の場合は，必ずバイト（8ビット）転送を指定してください。

16.7 DMAチャンネルの優先順位

DMAチャンネルの優先順位は固定で、次のようになります。

DMAチャンネル0 > DMAチャンネル1 > DMAチャンネル2 > DMAチャンネル3

ブロック転送中は転送するチャンネルが入れ替わることはありません。

シングルステップ転送中でバスを解放している期間中に、ほかの優先順位が高いDMA転送要求が発生した場合は、優先順位が高いDMA転送を行います。

16.8 ネクスト・アドレス設定機能

DSAnH, DSAnL, DDAAnH, DDAAnL, DBCnレジスタは、マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタです (n = 0-3)。

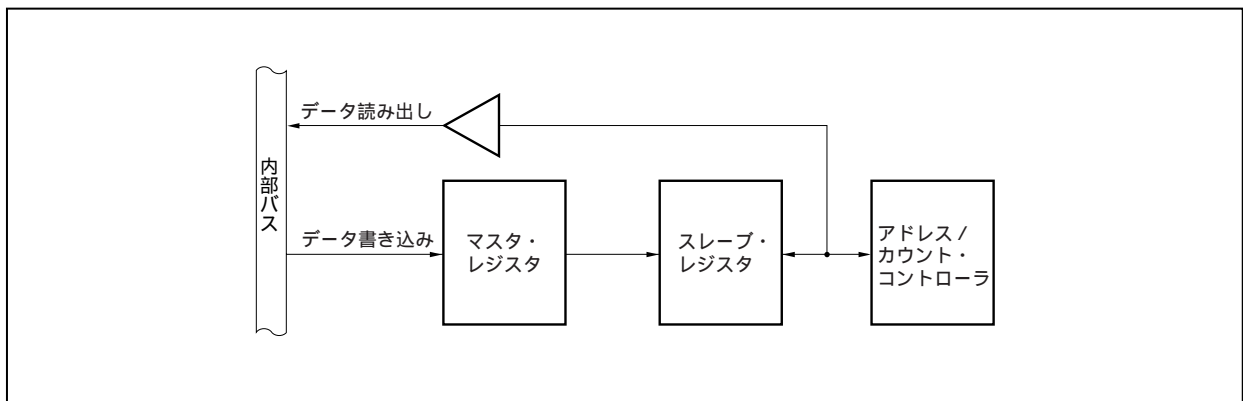
ターミナル・カウントが発生すると、これらのレジスタは直前に設定された値に自動的に書き換えられます。

したがって、DMA転送中に、これらのレジスタに対して新たなDMA転送の設定を行えば、転送終了後に、自動的に新たな設定値に更新されます[※]。

注 さらに新たなDMA転送の設定を行う場合は、DMA転送が開始されたことを確認してから行ってください。DMA転送の開始前に新たな設定を行うと、マスタ、スレーブの両レジスタに設定値が上書きされてしまいます。

次にバッファ・レジスタの構成を示します。

図16-8 バッファ・レジスタの構成



実際のDMA転送はスレーブ・レジスタの内容に基づいて行われます。

マスタ・レジスタ、スレーブ・レジスタに反映される設定値は、設定を行うタイミング（期間）により、次のように異なります。

(1) システム・リセットから最初のDMA転送要求発生までの期間

設定値は、マスタ、スレーブの両レジスタに反映されます。

(2) DMA転送中 (DMA転送要求発生からDMA転送終了までの期間)

設定値は、マスタ・レジスタだけに反映されます。スレーブ・レジスタへは反映されません (スレーブ・レジスタは、次のDMA転送の設定値を保持します)。

ただし、DMA転送終了後、マスタ・レジスタの内容がスレーブ・レジスタに自動的に書き込まれます。

なお、この期間に各レジスタの値を読み出すと、スレーブ・レジスタの値が読み出されます。

また、DMA転送が開始されたことを判別するには、DBCnレジスタを読み出して1回目の転送が行われたことを確認してください (n = 0-3)。

(3) DMA転送終了から次のDMA転送開始までの期間

設定値は、マスタ、スレーブの両レジスタに反映されます。

備考 「DMA転送終了」とは、次のどちらかの場合を示します。

- ・DMA転送の完了 (ターミナル・カウント)
- ・DMA転送の強制終了 (DCHCn.INITnビットのセット (1))

16.9 DMA転送起動要因

DMA転送の起動要因には、次の2種類があります。

注意1. 同一のチャンネルに対して、各起動要因（（1）、（2））を併用しないでください（各起動要因が同時に発生した場合、どちらか一方だけが有効となりますが、有効となった起動要因の特定はできません）。

併用した場合の動作は保証しません。

2. ソフトウェアDMAで転送を起動する場合、DCHCn.STGnビット操作（STGnビットのセット（1））によって、期待しているDMA転送動作が完了したかどうかをソフトウェア上で適切に検出しない場合、次に（2回目に）行われるSTGnビット操作が「ソフトウェアの期待する次のDMA転送」の起動に対応しているかどうかは、保証できません（ $n = 0-3$ ）。

たとえば、STGnビット操作によってシングル転送を起動した場合、そのシングル転送が実際に実行されたかどうかをソフトウェア上で確認しないで、次の（2回目の）STGnビット操作を行っても、次の（2回目の）DMA転送が実行されるとはかぎりません。これは、1回目のSTGnビット操作を行ったときに、優先順位がさらに高いDMA転送が起動していた場合など、1回目の起動対象のDMA転送が起動または完了しないまま、次の（2回目の）STGnビット操作が行われてしまう可能性があるためです。

したがって、STGnビット操作による対象のDMA転送が完了したかどうかを確認してから、次の（2回目の）STGnビット操作を行う必要があります。

DMA転送完了の確認例として、DBCnレジスタの内容を確認するという方法があります。

（1）ソフトウェアによる要求

DCHCn.STGn, Enn, TCnビットが次のように設定されると、DMA転送を開始します（ $n = 0-3$ ）。

- ・ STGnビット = 1
- ・ Ennビット = 1
- ・ TCnビット = 0

（2）内蔵周辺I/Oによる要求

DCHCn.Enn, TCnビットが次のように設定されている状態で、DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると、DMA転送要求を開始します（ $n = 0-3$ ）。

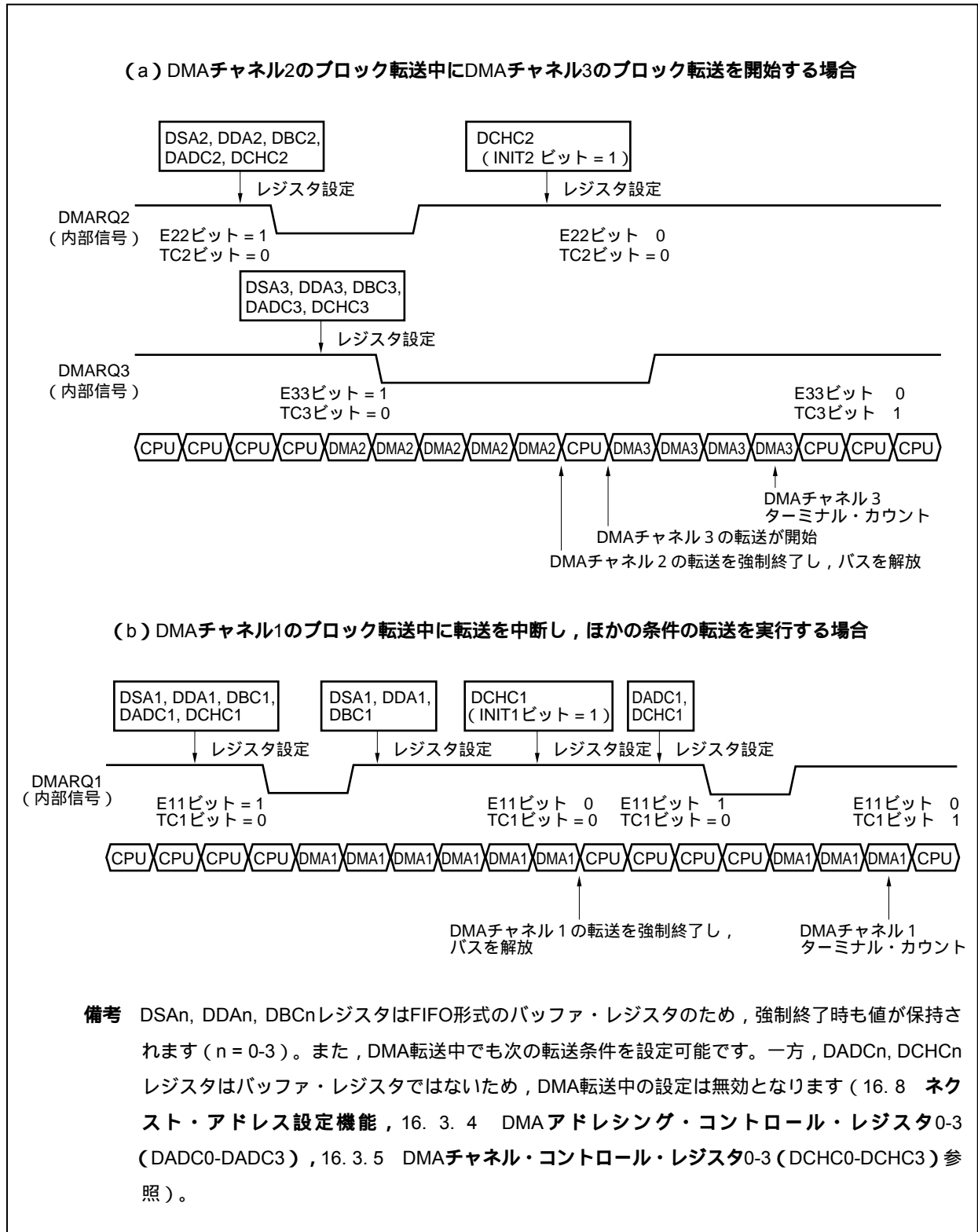
- ・ Ennビット = 1
- ・ TCnビット = 0

16.10 強制終了

DMA転送は、DCHCn.INITnビットによって強制終了することができます (n = 0-3)。

DCHCn.INITnビットによる強制終了動作の例を次に示します (n = 0-3)

図16-9 DMA転送の強制終了例



16.11 DMA転送に関する各種時間

DMA転送前後のオーバーヘッド部分，DMA転送にかかる最小クロック数を次に示します。

表16-3 DMAサイクル中の最小実行クロック数

DMAサイクル		最小実行クロック数
DMA要求に対する応答時間		4クロック ^{注1}
メモリ・アクセス	内蔵RAMアクセス	2クロック ^{注2}
	内蔵周辺I/Oレジスタ・アクセス	4クロック + VSWCレジスタによるウェイト数

注1. 外部割り込み (INTPn) をDMA転送の起動要因に指定した場合，ノイズ除去時間が加算されます (n = 6, 7)。

2. DMAサイクルの場合は，2クロックかかります。

また，各転送モードにおけるDMAサイクル中の最小実行クロックを次に示します。

シングル転送: DMA応答時間 () + 転送元メモリ・アクセス () + 1^注 + 転送先メモリ・アクセス ()

ブロック転送: DMA応答時間 () + (転送元メモリ・アクセス () + 1^注 + 転送先メモリ・アクセス ()) × 転送回数

注 DMA転送のリード・サイクルとライト・サイクルの間には，必ず1クロック挿入されます。

16.12 注意事項

(1) メモリ境界

DMA転送中に，転送元，または転送先のアドレスがDMA対象 (内蔵RAM，内蔵周辺I/O) の領域を越えた場合の動作は保証しません。

(2) ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元，または転送先に指定した場合，アドレスの最下位ビットは強制的に0として扱われます。

(3) CPUへのバス・アービトレーション

バス使用权の優先順位はCPUよりDMAコントローラが高いため，DMA転送中に発生したCPUのアクセスは，DMA転送サイクルが完了しCPUにバスが解放されるまで待たされます。

ただし，CPUはDMA転送を行っていない内蔵ROM，内蔵RAMにアクセスが可能です。

・内蔵周辺I/O 内蔵RAMでDMA転送が行われているときは，CPUは内蔵ROMにアクセスできます。

(4) DMAの起動要因

複数のDMAチャンネルを同じ起動要因で設定する場合は注意してください。

起動した場合，優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられる場合があります。

(5) 内蔵RAMでのプログラム実行とDMA転送

内蔵RAMを対象としたDMA転送と内蔵RAMでの命令実行は同時に行わないでください。

(6) DCHCn.TCnビットの自動クリアに関する制限事項

DCHCn.TCnビットは、読み出しにより自動的にクリア (0) されますが、2チャンネル以上のDMA転送を同時に使用するとき、内蔵RAMを対象 (転送元または転送先) とするDMA転送を行う場合には、DMA転送終了後にTCnビットを読み出ししても、クリア (0) されることがあります (n = 0-3)。

注意 次に示す条件が1つでも当てはまる場合には、この制限事項は該当しません。

- ・DMA転送を1チャンネルのみ使用している。
- ・内蔵RAMを対象 (転送元または転送先) とするDMA転送を行っていない。

【回避方法】

内蔵RAMを対象とするDMAチャンネルのDCHCn.TCnビットを読み出す場合には、必ず3回連続でTCnビットを読み出ししてください。これにより、確実にTCnビットをクリア (0) できます。

(7) DSA_n, DDA_nレジスタの読み出し値

DMA転送中に、DSA_n, DDA_nレジスタの値を読み出した場合、更新途中の値が読み出されることがあります (n = 0-3)。

たとえば、DMA転送元アドレス (DSA_nレジスタ) が「0000FFFFH」、カウント方向がインクリメント (DADC_nレジスタのSAD_{n1}, SAD_{n0}ビット = 00) の場合、DSA_{nH}レジスタ DSA_{nL}レジスタの順に読み出しを行うと、DSA_{nH}レジスタ読み出し直後のDMA転送の有無によって、DSA_{nL}レジスタの値が次のように異なります。

(a) DSA_nレジスタの読み出し中にDMA転送が発生しない場合

- <1>DSA_{nH}レジスタの読み出し : DSA_{nH} = 0000H
- <2>DSA_{nL}レジスタの読み出し : DSA_{nL} = FFFFH

(b) DSA_nレジスタの読み出し中にDMA転送が発生する場合

- <1>DSA_{nH}レジスタの読み出し : DSA_{nH} = 0000H
- <2>DMA転送の発生
- <3>DSA_nレジスタのインクリメント : DSA_n = 00010000H
- <4>DSA_{nL}レジスタの読み出し : DSA_{nL} = 0000H

16. 13 DMA転送の終了

DMA転送が終了し、DCHCn.TCnビットがセット (1) されると、割り込みコントローラ (INTC) に対して、DMA転送終了割り込み (INTDMA_n) を発生します (n = 0-3)。

第17章 割り込み / 例外処理機能

V850E/IA3, V850E/IA4は、割り込み処理用に専用の割り込みコントローラ (INTC) を内蔵し、合計56要因から61要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850E/IA3, V850E/IA4では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動 (ソフトウェア例外) や、例外事象の発生 (不正命令コードのフェッチ) による例外処理の起動 (例外トラップ) が可能です。

17.1 特 徴

割り込み

- ・ ノンマスクブル割り込み：1要因 (外部：なし，内部：1要因)
- ・ マスクブル割り込み (製品によりマスクブル割り込みの要因数が異なります)
 - V850E/IA3：55要因 (外部：7要因，内部：48要因)
 - V850E/IA4：60要因 (外部：8要因，内部：52要因)
- ・ 8レベルのプログラマブル優先順位制御 (マスクブル割り込み)
- ・ 優先順位に従った割り込み多重処理制御
- ・ 個々のマスクブル割り込み要求に対するマスク指定
- ・ 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ ソフトウェア例外：32要因
- ・ 例外トラップ：2要因 (不正命令コード例外，デバッグ・トラップ)

これらの割り込み要因を表17 - 1に示します。

表17 - 1 割り込み要因一覧 (1/3)

種類	分類	割り込み / 例外要因				ディフォ ールト・ プライオ リティ	例外 コード	ハンドラ・ アドレス	復帰PC
		名称	制御 レジスタ	発生要因	発生 ユニット				
リセット	割り込み	RESET	-	RESET端子入力	端子	-	0000H	00000000H	不定
			-	WDTオーバフロー (WDTRES)	WDT				
ノンマ ス カ プ ル	割り込み	INTWDT	-	WDTオーバフロー	WDT		0010H	00000010H	nextPC
ソフト ウェア 例外	例外	TRAP0n ^{注1}	-	TRAP命令	-	-	004nH	00000040H	nextPC
例外 トラ ップ	例外	TRAP1n ^{注1}	-	TRAP命令	-	-	005nH	00000050H	nextPC
例外 トラ ップ	例外	ILGOP/ DBG0	-	不正命令コード / DBTRAP命令	-	-	0060H	00000060H	nextPC
マ ス カ プ ル	割り込み	INTP0	PIC0	INTP0端子有効エッジ入力	端子	0	0080H	00000080H	nextPC
	割り込み	INTP1 ^{注2}	PIC1 ^{注2}	INTP1端子有効エッジ入力	端子	1	0090H	00000090H	nextPC
	割り込み	INTP2	PIC2	INTP2端子有効エッジ入力	端子	2	00A0H	000000A0H	nextPC
	割り込み	INTP3	PIC3	INTP3端子有効エッジ入力	端子	3	00B0H	000000B0H	nextPC
	割り込み	INTP4	PIC4	INTP4端子有効エッジ入力	端子	4	00C0H	000000C0H	nextPC
	割り込み	INTP5	PIC5	INTP5端子有効エッジ入力	端子	5	00D0H	000000D0H	nextPC
	割り込み	INTP6	PIC6	INTP6端子有効エッジ入力	端子	6	00E0H	000000E0H	nextPC
	割り込み	INTP7	PIC7	INTP7端子有効エッジ入力	端子	7	00F0H	000000F0H	nextPC
	割り込み	INTCMP0	CMPIC0	ADC0の過電圧検出 (コンパレータ出力)	ADC0 (コンパレータ)	8	0100H	00000100H	nextPC
	割り込み	INTCMP1	CMPIC1	ADC1の過電圧検出 (コンパレータ出力)	ADC1 (コンパレータ)	9	0110H	00000110H	nextPC
	割り込み	INTTQ0OV	TQ0OVIC	TMQ0オーバフロー ^{注3}	TMQ0	10	0120H	00000120H	nextPC
	割り込み	INTTQ0CC0	TQ0CCIC0	TQ0CCR0キャプチャ入力/ コンペア一致 ^{注4}	TMQ0	11	0130H	00000130H	nextPC
	割り込み	INTTQ0CC1	TQ0CCIC1	TQ0CCR1キャプチャ入力/ コンペア一致	TMQ0	12	0140H	00000140H	nextPC
	割り込み	INTTQ0CC2	TQ0CCIC2	TQ0CCR2キャプチャ入力/ コンペア一致	TMQ0	13	0150H	00000150H	nextPC
	割り込み	INTTQ0CC3	TQ0CCIC3	TQ0CCR3キャプチャ入力/ コンペア一致	TMQ0	14	0160H	00000160H	nextPC
	割り込み	INTTQ1OV	TQ1OVIC	TMQ1オーバフロー ^{注3}	TMQ1	15	0170H	00000170H	nextPC
	割り込み	INTTQ1CC0	TQ1CCIC0	TQ1CCR0コンペア一致 ^{注4}	TMQ1	16	0180H	00000180H	nextPC
	割り込み	INTTQ1CC1	TQ1CCIC1	TQ1CCR1コンペア一致	TMQ1	17	0190H	00000190H	nextPC
	割り込み	INTTQ1CC2	TQ1CCIC2	TQ1CCR2コンペア一致	TMQ1	18	01A0H	000001A0H	nextPC
	割り込み	INTTQ1CC3	TQ1CCIC3	TQ1CCR3コンペア一致	TMQ1	19	01B0H	000001B0H	nextPC

注1. nは0-FHの値

2. V850E/IA4のみ

3. TMQmを6相PWM出力モードで使用する場合は、TMQmオプション (TMQOPm) からのINTTQmOV (谷割り込み) として機能します (V850E/IA3 : m = 0, V850E/IA4 : m = 0, 1)。

4. TMQmを6相PWM出力モードで使用する場合は、TMQmオプション (TMQOPm) からのINTTQmCC0 (山割り込み) として機能します (V850E/IA3 : m = 0, V850E/IA4 : m = 0, 1)。

表17-1 割り込み要因一覧 (2/3)

種類	分類	割り込み / 例外要因				ディフォ ールト・ プライオ リティ	例外 コード	ハンドラ・ アドレス	復帰PC
		名称	制御 レジスタ	発生要因	発生 ユニット				
マスクابل	割り込み	INTCC00	CC0IC0	CC100キャプチャ入力/ コンペアー致	TMENC10	20	01C0H	000001C0H	nextPC
	割り込み	INTCC01	CC0IC1	CC101キャプチャ入力/ コンペアー致	TMENC10	21	01D0H	000001D0H	nextPC
	割り込み	INTCM00	CM0IC0	CM100コンペアー致	TMENC10	22	01E0H	000001E0H	nextPC
	割り込み	INTCM01	CM0IC1	CM101コンペアー致	TMENC10	23	01F0H	000001F0H	nextPC
	割り込み	INTCC10 ^注	CC1IC0 ^注	CC110キャプチャ入力/ コンペアー致	TMENC11	24	0200H	00000200H	nextPC
	割り込み	INTCC11 ^注	CC1IC1 ^注	CC111キャプチャ入力/ コンペアー致	TMENC11	25	0210H	00000210H	nextPC
	割り込み	INTCM10 ^注	CM1IC0 ^注	CM110コンペアー致	TMENC11	26	0220H	00000220H	nextPC
	割り込み	INTCM11 ^注	CM1IC1 ^注	CM111コンペアー致	TMENC11	27	0230H	00000230H	nextPC
	割り込み	INTTP0OV	TP0OVIC	TMP0オーバフロー	TMP0	28	0240H	00000240H	nextPC
	割り込み	INTTP0CC0	TP0CCIC0	TP0CCR0キャプチャ入力/ コンペアー致	TMP0	29	0250H	00000250H	nextPC
	割り込み	INTTP0CC1	TP0CCIC1	TP0CCR1キャプチャ入力/ コンペアー致	TMP0	30	0260H	00000260H	nextPC
	割り込み	INTTP1OV	TP1OVIC	TMP1オーバフロー	TMP1	31	0270H	00000270H	nextPC
	割り込み	INTTP1CC0	TP1CCIC0	TP1CCR0コンペアー致	TMP1	32	0280H	00000280H	nextPC
	割り込み	INTTP1CC1	TP1CCIC1	TP1CCR1コンペアー致	TMP1	33	0290H	00000290H	nextPC
	割り込み	INTTP2OV	TP2OVIC	TMP2オーバフロー	TMP2	34	02A0H	000002A0H	nextPC
	割り込み	INTTP2CC0	TP2CCIC0	TP2CCR0キャプチャ入力/ コンペアー致	TMP2	35	02B0H	000002B0H	nextPC
	割り込み	INTTP2CC1	TP2CCIC1	TP2CCR1キャプチャ入力/ コンペアー致	TMP2	36	02C0H	000002C0H	nextPC
	割り込み	INTTP3OV	TP3OVIC	TMP3オーバフロー	TMP3	37	02D0H	000002D0H	nextPC
	割り込み	INTTP3CC0	TP3CCIC0	TP3CCR0コンペアー致	TMP3	38	02E0H	000002E0H	nextPC
	割り込み	INTTP3CC1	TP3CCIC1	TP3CCR1コンペアー致	TMP3	39	02F0H	000002F0H	nextPC
	割り込み	INTDMA0	DMAIC0	DMAチャンネル0転送終了	DMA0	40	0300H	00000300H	nextPC
	割り込み	INTDMA1	DMAIC1	DMAチャンネル1転送終了	DMA1	41	0310H	00000310H	nextPC
	割り込み	INTDMA2	DMAIC2	DMAチャンネル2転送終了	DMA2	42	0320H	00000320H	nextPC
	割り込み	INTDMA3	DMAIC3	DMAチャンネル3転送終了	DMA3	43	0330H	00000330H	nextPC
	割り込み	INTUA0RE	UA0REIC	UARTA0受信エラー	UARTA0	44	0340H	00000340H	nextPC
	割り込み	INTUA0R	UA0RIC	UARTA0受信終了	UARTA0	45	0350H	00000350H	nextPC
	割り込み	INTUA0T	UA0TIC	UARTA0送信許可	UARTA0	46	0360H	00000360H	nextPC
	割り込み	INTCB0RE	CB0REIC	CSIB0受信エラー	CSIB0	47	0370H	00000370H	nextPC
	割り込み	INTCB0R	CB0RIC	CSIB0受信終了	CSIB0	48	0380H	00000380H	nextPC
	割り込み	INTCB0T	CB0TIC	CSIB0送信許可	CSIB0	49	0390H	00000390H	nextPC
	割り込み	INTUA1RE	UA1REIC	UARTA1受信エラー	UARTA1	50	03A0H	000003A0H	nextPC
	割り込み	INTUA1R	UA1RIC	UARTA1受信終了	UARTA1	51	03B0H	000003B0H	nextPC

注 V850E/IA4のみ

表17-1 割り込み要因一覧 (3/3)

種類	分類	割り込み / 例外要因				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
		名称	制御レジスタ	発生要因	発生ユニット				
マスカブル	割り込み	INTUA1T	UA1TIC	UARTA1送信許可	UARTA1	52	03C0H	000003C0H	nextPC
	割り込み	INTCB1RE	CB1REIC	CSIB1受信エラー	CSIB1	53	03D0H	000003D0H	nextPC
	割り込み	INTCB1R	CB1RIC	CSIB1受信終了	CSIB1	54	03E0H	000003E0H	nextPC
	割り込み	INTCB1T	CB1TIC	CSIB1送信許可	CSIB1	55	03F0H	000003F0H	nextPC
	割り込み	INTAD0	AD0IC	ADC0変換終了	ADC0	56	0400H	00000400H	nextPC
	割り込み	INTAD1	AD1IC	ADC1変換終了	ADC1	57	0410H	00000410H	nextPC
	割り込み	INTAD2	AD2IC	ADC2変換終了	ADC2	58	0420H	00000420H	nextPC
	割り込み	INTTM0EQ0	TM0EQIC0	TM0CMP0コンペア一致	TMM0	59	0430H	00000430H	nextPC

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお、次の命令の実行中にノンマスカブル / マスカブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます。この場合、中断された命令のアドレスが復帰PCとなります）。

- ・ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- ・除算命令（DIV, DIVH, DIVU, DIVHU）
- ・PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、（復帰PC - 4）で求められます。

17.2 ノンマスクابل割り込み

ノンマスクابل割り込み要求信号は、CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求信号に対して最優先されます。

V850E/IA3, V850E/IA4のノンマスクابل割り込み要求信号は、ウォッチドッグ・タイマのオーバーフローによるノンマスクابل割り込み要求信号（INTWDT）です。

INTWDTは、WDTM.WDM1, WDM0ビットを“01”と設定することで機能します。

17.2.1 動作

ノンマスクブル割り込み要求信号 (INTWDT) が発生した場合, CPUは次の処理を行い, ハンドラ・ルーチンに制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

ECRの上位ハーフワード (FECC) に例外コード (0010H) を書き込みます。

PSW.NP, IDビットをセット (1) し, PSW.EPビットをクリア (0) します。

PCにノンマスクブル割り込みに対するハンドラ・アドレス (00000010H) をセットし, 制御を移します。

ノンマスクブル割り込みの処理形態を次に示します。

図17-1 ノンマスクブル割り込みの処理形態

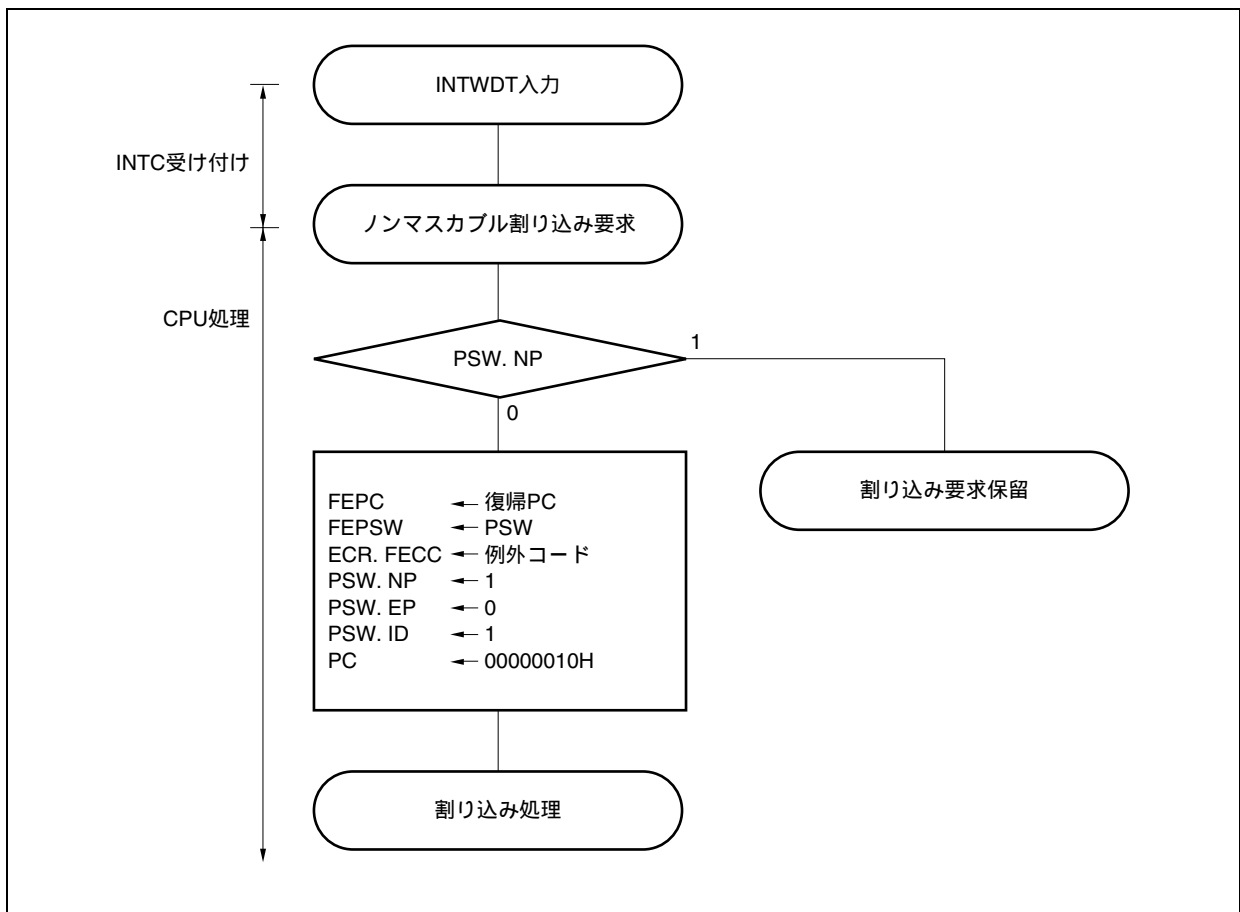
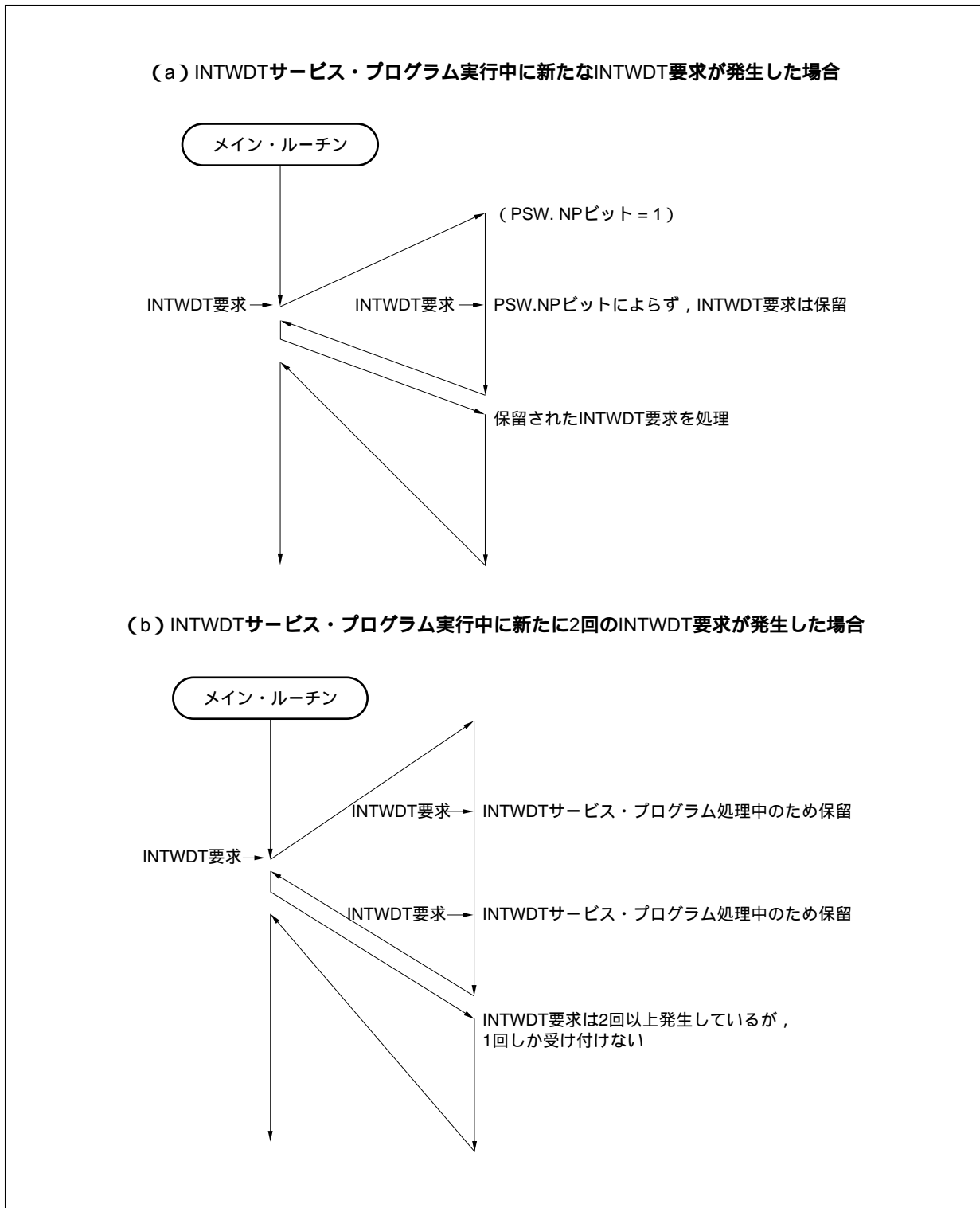


図17-2 ノンマスクブル割り込み要求の受け付け動作



17.2.2 復 帰

ノンマスクابل割り込み処理からの復帰は、RETI命令により行います。

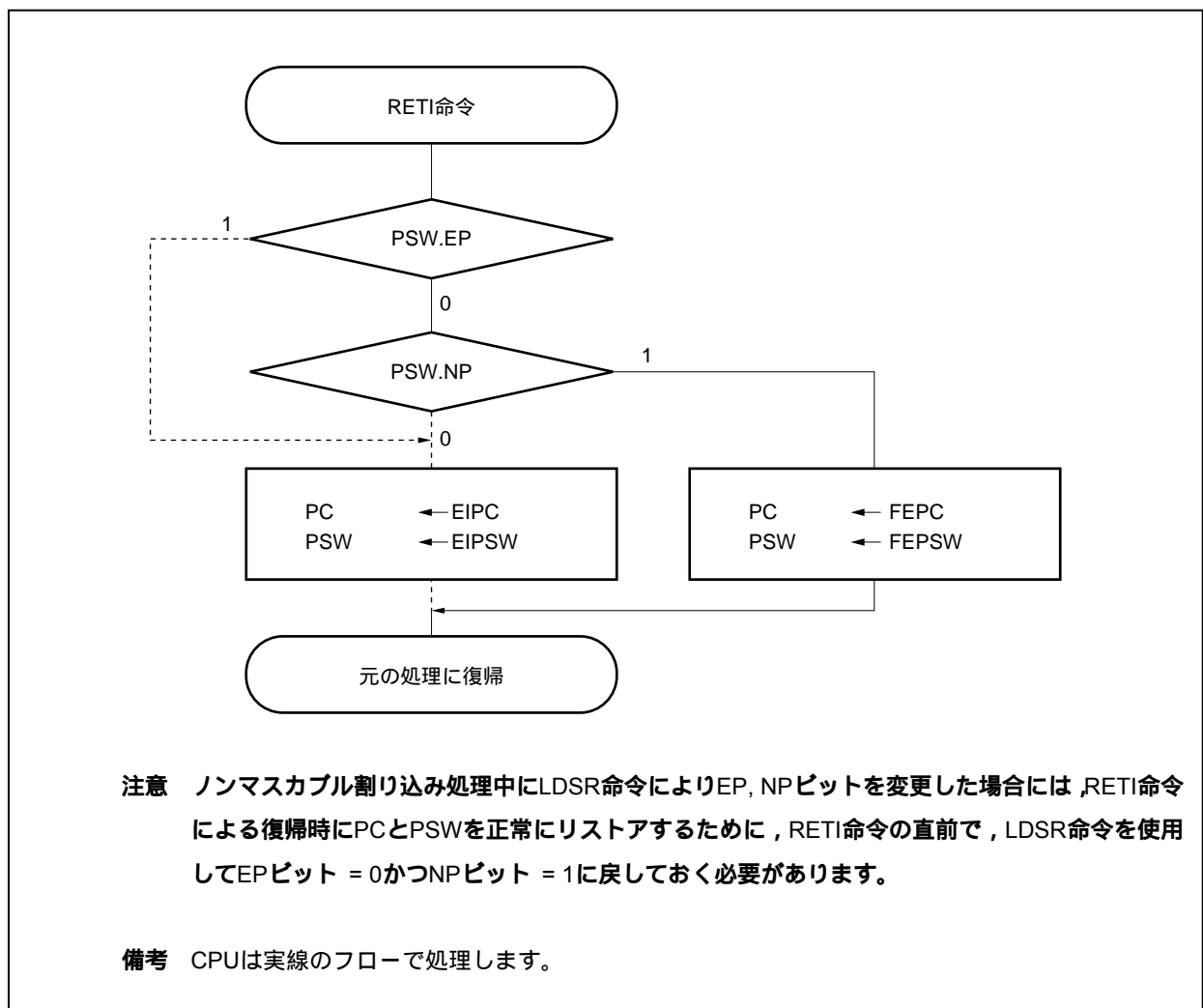
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSW.EPビットが0かつPSW.NPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図17 - 3 RETI命令の処理形態



17.2.3 ノンマスカブル割り込みステータス・フラグ (NP)

NPフラグは、ノンマスカブル割り込み (INTWDT) の処理中であることを示すステータス・フラグです。NPフラグは、PSWに割り付けられています。

INTWDT割り込み要求信号を受け付けるとセットされ、すべての割り込みと例外をマスクして多重割り込みを禁止します。

リセットにより00000020Hになります。

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0		
PSW	0					NP	EP	ID	SAT	CY	OV	S	Z

NP	ノンマスカブル割り込み (INTWDT) 処理状態
0	ノンマスカブル割り込み処理中でない
1	ノンマスカブル割り込み処理中

17.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求信号で、60種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC、EIPSWをメモリ、またはレジスタに退避し、RETI命令を実行する前にDIを行って、EIPC、EIPSWを元の値に復帰してください。

17.3.1 動作

マスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

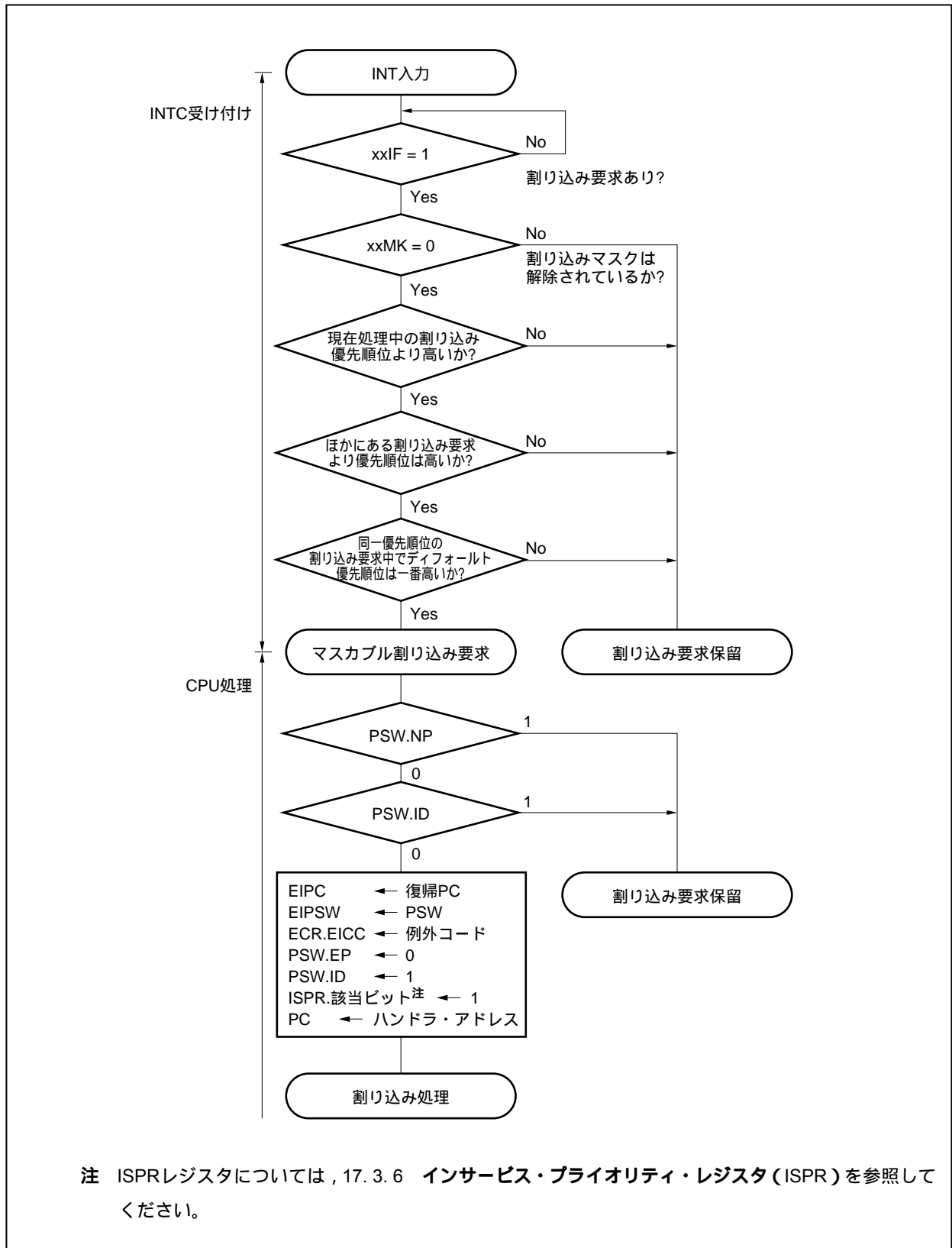
PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、割り込みコントローラ（INTC）でマスクされているマスカブル割り込み要求信号と、ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してNPビット = 0かつIDビット = 0にすると、保留していたマスカブル割り込み要求信号の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図17-4 マスカブル割り込みの処理形態



17.3.2 復 帰

マスクابل割り込み処理からの復帰は、RETI命令により行います。

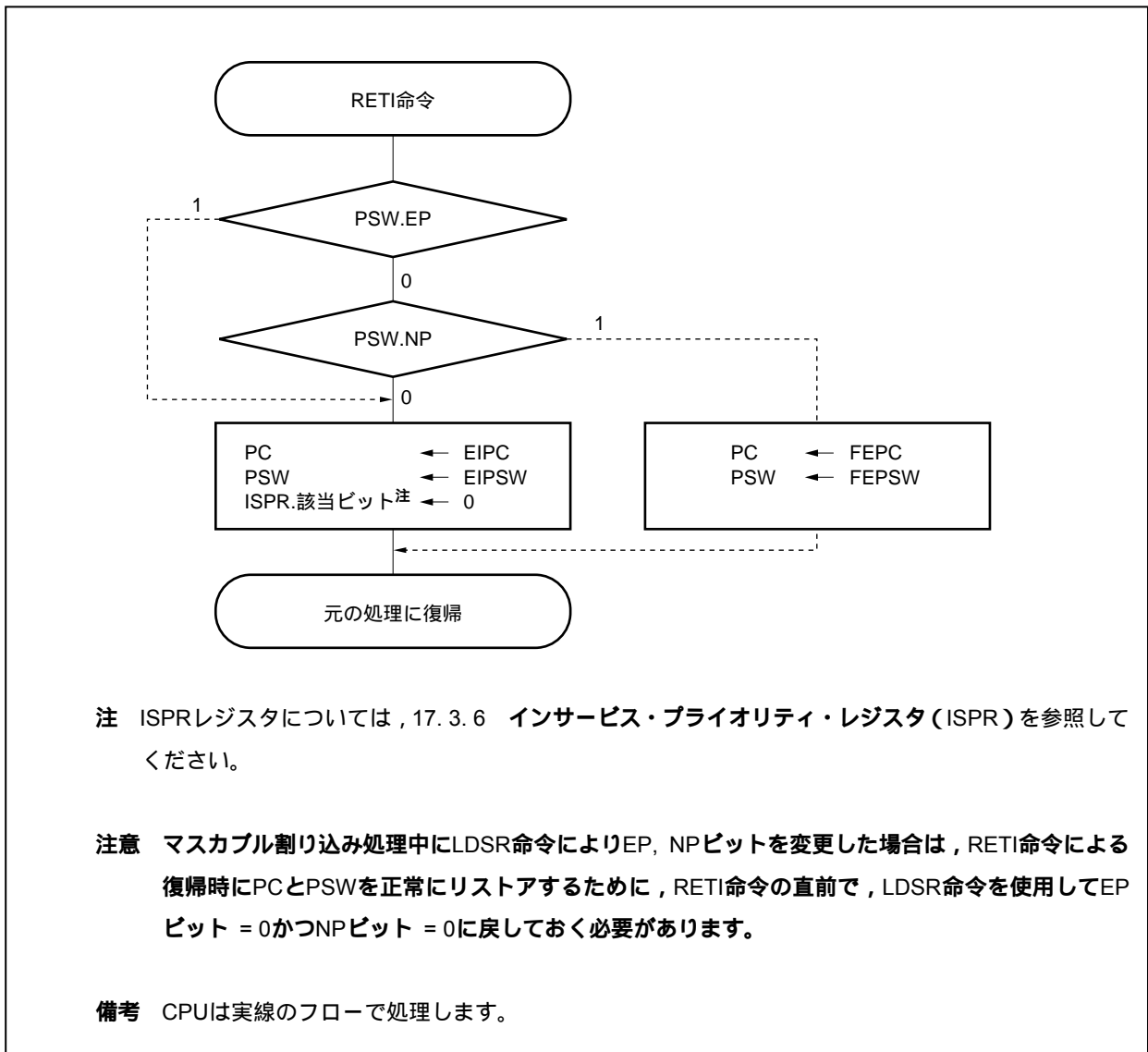
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットが0かつPSW.NPビットが0なので、EIPC、EIPSWから復帰PC、PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図17 - 5 RETI命令の処理形態



17.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求信号にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表17-1 割り込み要因一覧参照)。プログラマブル優先順位制御は、各割り込み要求信号を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

備考 xx : 各周辺ユニット識別名称 (表17-2参照)

n : 周辺ユニット番号 (表17-2参照)

図17 - 6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

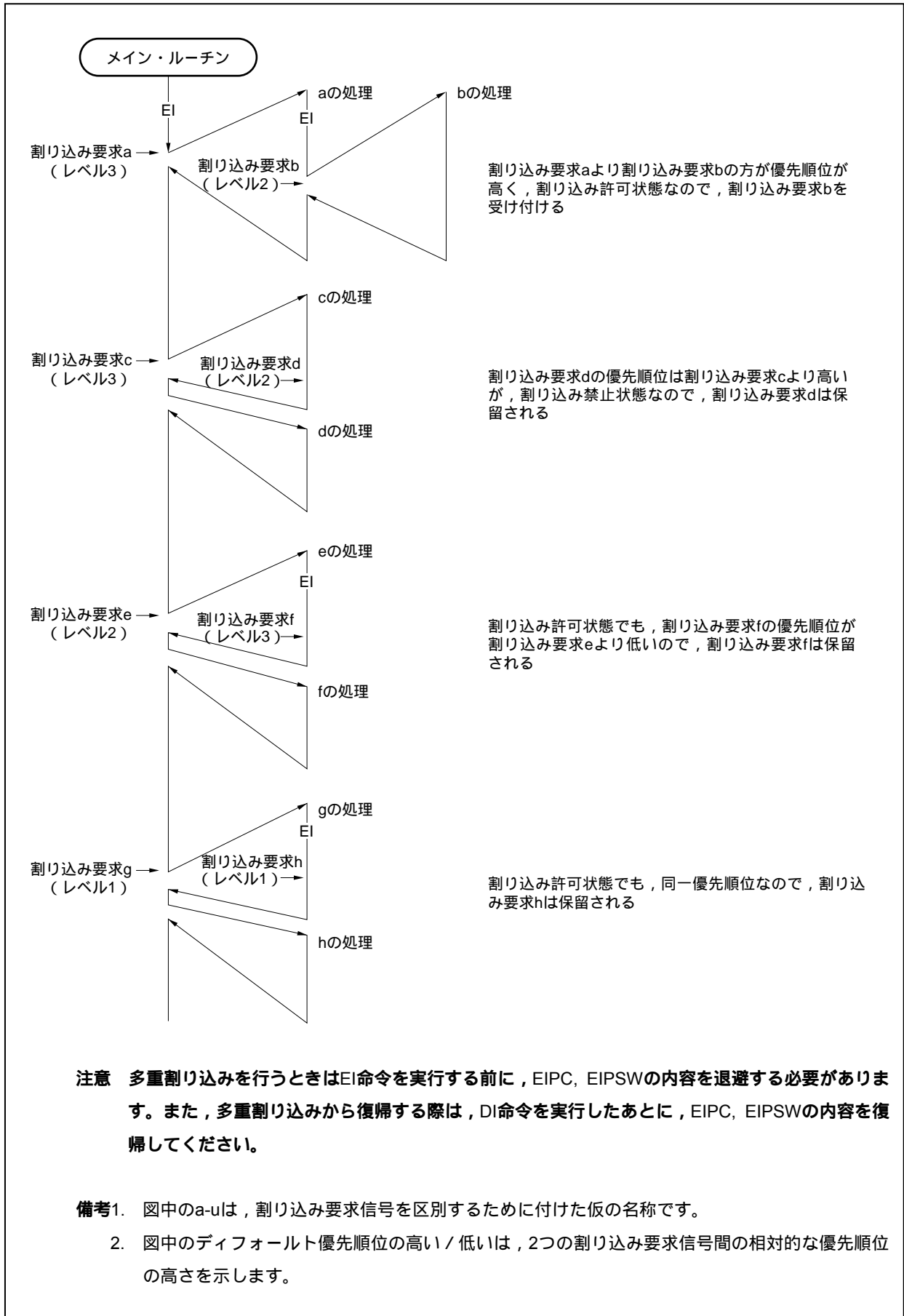


図17 - 6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

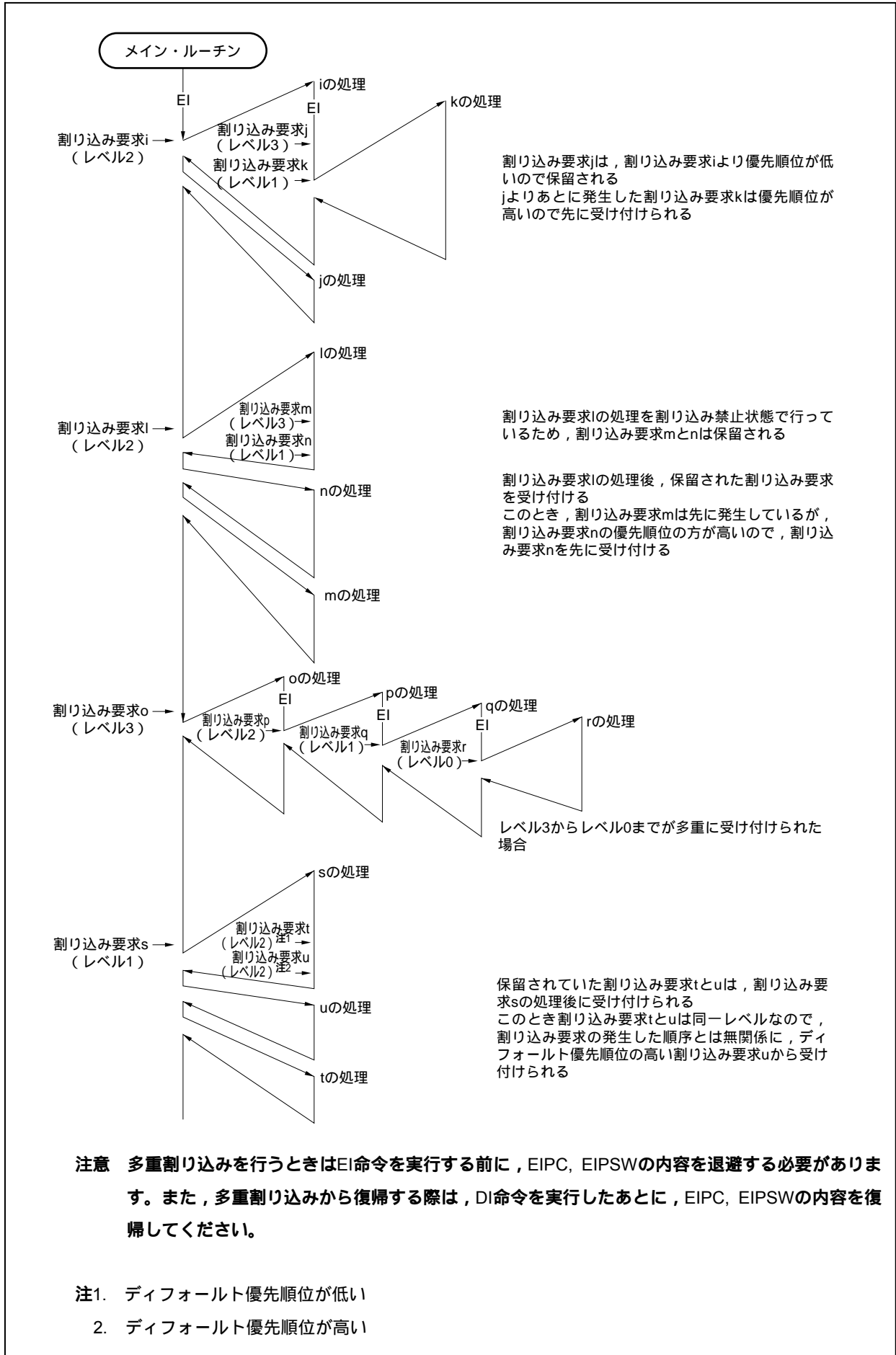
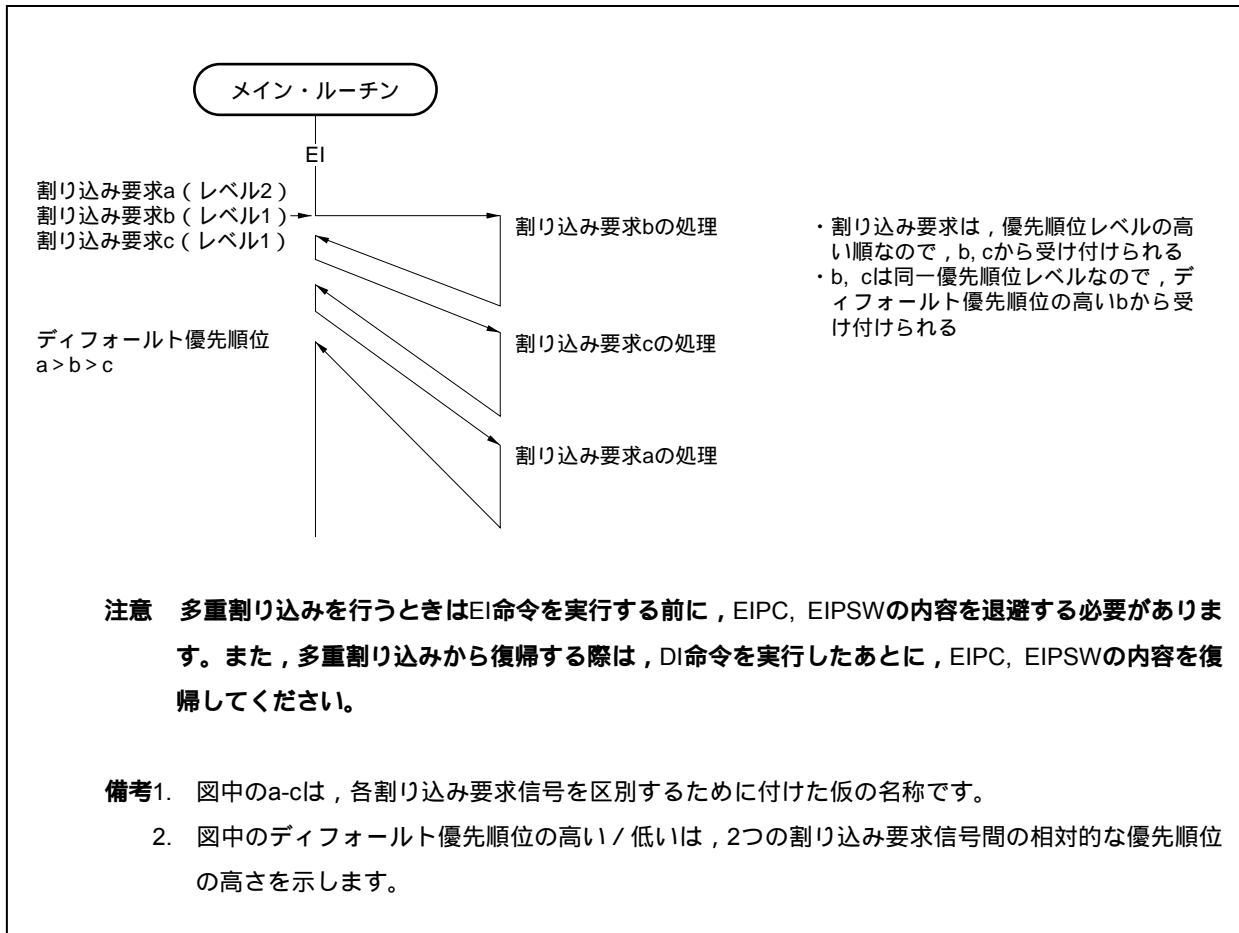


図17 - 7 同時発生した割り込み要求信号の処理例



17.3.4 割り込み制御レジスタ (xxICn)

割り込み要求信号(マスカブル割り込み)ごとに割り当てられ,各割り込みに対する制御条件を設定します。

8/1ビット単位でリード/ライト可能です。

リセットにより47Hになります。

- 注意1. xxICn.xxIFnビットを読み出す場合は,割り込み禁止(DI)状態で行ってください。割り込み許可(EI)状態でxxIFnビットを読み出すと,割り込みの受け付けとビットの読み出しのタイミングが競合した場合に,正常な値が読み出せないことがあります。
2. 割り込み要求が発生する状態(割り込み禁止(DI)状態を含む)でxxICn.xxMKnビットを操作する場合は,必ずビット操作命令で操作するか,またはIMRm.xxMKnビットで操作してください(m = 0-3)。

リセット時：47H R/W アドレス：FFFFFF110H-FFFFFF186H

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ ^注
0	割り込み要求信号なし
1	割り込み要求信号あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止（保留）

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0（最高位）を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7（最低位）を指定

注 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされます。

備考 xx：各周辺ユニット識別名称（表17 - 2参照）
n：周辺ユニット番号（表17 - 2参照）

各割り込み制御レジスタのアドレスとビットを次に示します。

表17-2 割り込み制御レジスタのアドレスとビット (1/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF110H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF112H	PIC1 ^注	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF114H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF116H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF118H	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF11AH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF11CH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF11EH	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70
FFFFF120H	CMPIC0	CMPIF0	CMPMK0	0	0	0	CMPPR02	CMPPR01	CMPPR00
FFFFF122H	CMPIC1	CMPIF1	CMPMK1	0	0	0	CMPPR12	CMPPR11	CMPPR10
FFFFF124H	TQ0OVIC	TQ0OVIF	TQ0OVMK	0	0	0	TQ0OVPR2	TQ0OVPR1	TQ0OVPR0
FFFFF126H	TQ0CCIC0	TQ0CCIF0	TQ0CCMK0	0	0	0	TQ0CCPR02	TQ0CCPR01	TQ0CCPR00
FFFFF128H	TQ0CCIC1	TQ0CCIF1	TQ0CCMK1	0	0	0	TQ0CCPR12	TQ0CCPR11	TQ0CCPR10
FFFFF12AH	TQ0CCIC2	TQ0CCIF2	TQ0CCMK2	0	0	0	TQ0CCPR22	TQ0CCPR21	TQ0CCPR20
FFFFF12CH	TQ0CCIC3	TQ0CCIF3	TQ0CCMK3	0	0	0	TQ0CCPR32	TQ0CCPR31	TQ0CCPR30
FFFFF12EH	TQ1OVIC	TQ1OVIF	TQ1OVMK	0	0	0	TQ1OVPR2	TQ1OVPR1	TQ1OVPR0
FFFFF130H	TQ1CCIC0	TQ1CCIF0	TQ1CCMK0	0	0	0	TQ1CCPR02	TQ1CCPR01	TQ1CCPR00
FFFFF132H	TQ1CCIC1	TQ1CCIF1	TQ1CCMK1	0	0	0	TQ1CCPR12	TQ1CCPR11	TQ1CCPR10
FFFFF134H	TQ1CCIC2	TQ1CCIF2	TQ1CCMK2	0	0	0	TQ1CCPR22	TQ1CCPR21	TQ1CCPR20
FFFFF136H	TQ1CCIC3	TQ1CCIF3	TQ1CCMK3	0	0	0	TQ1CCPR32	TQ1CCPR31	TQ1CCPR30
FFFFF138H	CC0IC0	CC0IF0	CC0MK0	0	0	0	CC0PR02	CC0PR01	CC0PR00
FFFFF13AH	CC0IC1	CC0IF1	CC0MK1	0	0	0	CC0PR12	CC0PR11	CC0PR10
FFFFF13CH	CM0IC0	CM0IF0	CM0MK0	0	0	0	CM0PR02	CM0PR01	CM0PR00
FFFFF13EH	CM0IC1	CM0IF1	CM0MK1	0	0	0	CM0PR12	CM0PR11	CM0PR10
FFFFF140H	CC1IC0 ^注	CC1IF0	CC1MK0	0	0	0	CC1PR02	CC1PR01	CC1PR00
FFFFF142H	CC1IC1 ^注	CC1IF1	CC1MK1	0	0	0	CC1PR12	CC1PR11	CC1PR10
FFFFF144H	CM1IC0 ^注	CM1IF0	CM1MK0	0	0	0	CM1PR02	CM1PR01	CM1PR00
FFFFF146H	CM1IC1 ^注	CM1IF1	CM1MK1	0	0	0	CM1PR12	CM1PR11	CM1PR10
FFFFF148H	TP0OVIC	TP0OVIF	TP0OVMK	0	0	0	TP0OVPR2	TP0OVPR1	TP0OVPR0
FFFFF14AH	TP0CCIC0	TP0CCIF0	TP0CCMK0	0	0	0	TP0CCPR02	TP0CCPR01	TP0CCPR00
FFFFF14CH	TP0CCIC1	TP0CCIF1	TP0CCMK1	0	0	0	TP0CCPR12	TP0CCPR11	TP0CCPR10
FFFFF14EH	TP1OVIC	TP1OVIF	TP1OVMK	0	0	0	TP1OVPR2	TP1OVPR1	TP1OVPR0
FFFFF150H	TP1CCIC0	TP1CCIF0	TP1CCMK0	0	0	0	TP1CCPR02	TP1CCPR01	TP1CCPR00
FFFFF152H	TP1CCIC1	TP1CCIF1	TP1CCMK1	0	0	0	TP1CCPR12	TP1CCPR11	TP1CCPR10
FFFFF154H	TP2OVIC	TP2OVIF	TP2OVMK	0	0	0	TP2OVPR2	TP2OVPR1	TP2OVPR0
FFFFF156H	TP2CCIC0	TP2CCIF0	TP2CCMK0	0	0	0	TP2CCPR02	TP2CCPR01	TP2CCPR00
FFFFF158H	TP2CCIC1	TP2CCIF1	TP2CCMK1	0	0	0	TP2CCPR12	TP2CCPR11	TP2CCPR10
FFFFF15AH	TP3OVIC	TP3OVIF	TP3OVMK	0	0	0	TP3OVPR2	TP3OVPR1	TP3OVPR0
FFFFF15CH	TP3CCIC0	TP3CCIF0	TP3CCMK0	0	0	0	TP3CCPR02	TP3CCPR01	TP3CCPR00
FFFFF15EH	TP3CCIC1	TP3CCIF1	TP3CCMK1	0	0	0	TP3CCPR12	TP3CCPR11	TP3CCPR10
FFFFF160H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00

注 V850E/IA4のみ

表17 - 2 割り込み制御レジスタのアドレスとビット (2/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFFF162H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFFF164H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFFF166H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFFF168H	UA0REIC	UA0REIF	UA0REMK	0	0	0	UA0REPR2	UA0REPR1	UA0REPR0
FFFFFF16AH	UA0RIC	UA0RIF	UA0RMK	0	0	0	UA0RPR2	UA0RPR1	UA0RPR0
FFFFFF16CH	UA0TIC	UA0TIF	UA0TMK	0	0	0	UA0TPR2	UA0TPR1	UA0TPR0
FFFFFF16EH	CB0REIC	CB0REIF	CB0REMK	0	0	0	CB0REPR2	CB0REPR1	CB0REPR0
FFFFFF170H	CB0RIC	CB0RIF	CB0RMK	0	0	0	CB0RPR2	CB0RPR1	CB0RPR0
FFFFFF172H	CB0TIC	CB0TIF	CB0TMK	0	0	0	CB0TPR2	CB0TPR1	CB0TPR0
FFFFFF174H	UA1REIC	UA1REIF	UA1REMK	0	0	0	UA1REPR2	UA1REPR1	UA1REPR0
FFFFFF176H	UA1RIC	UA1RIF	UA1RMK	0	0	0	UA1RPR2	UA1RPR1	UA1RPR0
FFFFFF178H	UA1TIC	UA1TIF	UA1TMK	0	0	0	UA1TPR2	UA1TPR1	UA1TPR0
FFFFFF17AH	CB1REIC	CB1REIF	CB1REMK	0	0	0	CB1REPR2	CB1REPR1	CB1REPR0
FFFFFF17CH	CB1RIC	CB1RIF	CB1RMK	0	0	0	CB1RPR2	CB1RPR1	CB1RPR0
FFFFFF17EH	CB1TIC	CB1TIF	CB1TMK	0	0	0	CB1TPR2	CB1TPR1	CB1TPR0
FFFFFF180H	AD0IC	AD0IF	AD0MK	0	0	0	AD0PR2	AD0PR1	AD0PR0
FFFFFF182H	AD1IC	AD1IF	AD1MK	0	0	0	AD1PR2	AD1PR1	AD1PR0
FFFFFF184H	AD2IC	AD2IF	AD2MK	0	0	0	AD2PR2	AD2PR1	AD2PR0
FFFFFF186H	TM0EQIC0	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR02	TM0EQPR01	TM0EQPR00

17.3.5 割り込みマスク・レジスタ0-3 (IMR0-IMR3)

マスクブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3.xxMKnビットとxxICn.xxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です (m = 0-3)。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとして使用する場合は、8/16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

注意 デバイス・ファイルでは、xxICn.xxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

リセット時：FFFFH R/W アドレス：IMR3 FFFFF106H
IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3 (IMR3H ^{注1})	1	1	1	1	TM0EQMK0	AD2MK	AD1MK	AD0MK
	7	6	5	4	3	2	1	0
(IMR3L)	CB1TMK	CB1RMK	CB1REMK	UA1TMK	UA1RMK	UA1REMK	CB0TMK	CB0RMK

リセット時：FFFFH R/W アドレス：IMR2 FFFFF104H
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2 (IMR2H ^{注1})	CB0REMK	UA0TMK	UA0RMK	UA0REMK	DMAMK3	DMAMK2	DMAMK1	DMAMK0
	7	6	5	4	3	2	1	0
(IMR2L)	TP3CCMK1	TP3CCMK0	TP3OVMK	TP2CCMK1	TP2CCMK0	TP2OVMK	TP1CCMK1	TP1CCMK0

リセット時：FFFFH R/W アドレス：IMR1 FFFFF102H
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H ^{注1})	TP1OVMK	TP0CCMK1	TP0CCMK0	TP0OVMK	CM1MK1 ^{注2}	CM1MK0 ^{注2}	CC1MK1 ^{注2}	CC1MK0 ^{注2}
	7	6	5	4	3	2	1	0
(IMR1L)	CM0MK1	CM0MK0	CC0MK1	CC0MK0	TQ1CCMK3	TQ1CCMK2	TQ1CCMK1	TQ1CCMK0

リセット時：FFFFH R/W アドレス：IMR0 FFFFF100H
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H ^{注1})	TQ1OVMK	TQ0CCMK3	TQ0CCMK2	TQ0CCMK1	TQ0CCMK0	TQ0OVMK	CMPMK1	CMPMK0
	7	6	5	4	3	2	1	0
(IMR0L)	PMK7	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1 ^{注2}	PMK0

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

- 注1. IMR0-IMR3レジスタのビット15-8を8/1ビット単位でリード/ライトする場合は、IMR0H-IMR3Hレジスタのビット7-0として指定してください。
2. V850E/IA4のみ有効です。
V850E/IA3では必ず1を設定してください。

注意 IMR3レジスタのビット15-12 (IMR3Hレジスタのビット7-4) には1を設定してください。変更した場合の動作は保証できません。

備考 xx：各周辺ユニット識別名称 (表17-2参照)
n：周辺ユニット番号 (表17-2参照)

17.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット(1)され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット(1)されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にクリア(0)されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はクリア(0)されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意 割り込み許可(EI)状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット(1)されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止(DI)状態でリードしてください。

リセット時 : 00H R アドレス : FFFFF1FAH

	⑦	⑥	⑤	④	③	②	①	①
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求信号を受け付けていない
1	優先順位nの割り込み要求信号を受け付け中

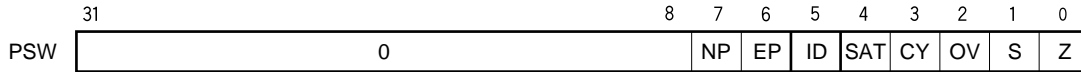
備考 n : 0-7 (優先順位のレベル)

17.3.7 マスカブル割り込みステータス・フラグ (ID)

マスカブル割り込みの動作状態を制御し、割り込み要求受け付けの許可/禁止制御情報を記憶します。IDフラグは、PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時：00000020H



ID	マスカブル割り込み処理の指定 ^注
0	マスカブル割り込み要求信号の受け付けを許可
1	マスカブル割り込み要求信号の受け付けを禁止 (保留)

注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1) , EI命令でクリア (0) されます。また , RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスカブル割り込み要求信号および例外は , このフラグの状態に関係なく受け付けられます。また , マスカブル割り込み要求信号を受け付けると , IDフラグはハードウェアで自動的にセット (1) されます。

受け付け禁止期間中 (IDフラグ = 1) に発生した割り込み要求信号は , xxCn.xxIFnビットがセット (1) され , IDフラグがクリア (0) されると受け付けられます。

17.4 外部割り込み要求入力端子 (INTP0-INTP7)

17.4.1 ノイズ除去

(1) INTP0, INTP1 (V850E/IA4のみ), INTP2-INTP5, INTP7端子のノイズ除去

INTP0, INTP1 (V850E/IA4のみ), INTP2-INTP5, INTP7端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

(2) INTP6端子のノイズ除去

INTP6端子はデジタル・ノイズ除去回路を内蔵しています。

デジタル・サンプリングを行うサンプリング・クロックをfxx/4, fxx/8, fxx/16, fxx/32の中から選択できます。

なお、IDLE, STOPモードでは、システム・クロックが停止するため、INTP6端子はIDLE, STOPモードの解除には使用できません。

(a) 外部割り込みノイズ除去制御レジスタ (INTPNRC)

INTPNRCレジスタは、INTP6端子のデジタル・ノイズ除去に使用するサンプリング・クロックを選択します。同じレベルが5回連続で検出されなかった場合、その信号はノイズとして除去されます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 入力パルスが4~5クロックの場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、5クロック以上の同一レベルの入力が必要です。
2. サンプリング・クロックに同期してノイズが発生している場合には、入力端子にフィルタを付加してノイズを除去してください。
3. 通常入力ポートとして使用する場合はノイズ除去を行いません。

リセット時 : 00H R/W アドレス : FFFFF310H								
	7	6	5	4	3	2	1	0
INTPNRC	0	0	0	0	0	0	INTPNRC1	INTPNRC0
	INTPNRC1	INTPNRC0	サンプリング・クロックの選択					
	0	0	fxx/32					
	0	1	fxx/16					
	1	0	fxx/8					
	1	1	fxx/4					

17.4.2 エッジ検出

INTPn端子は、有効エッジをプログラマブルに選択できます (V850E/IA3 : n = 0, 2-7, V850E/IA4 : n = 0-7)。
選択できる有効エッジについて次に示します。

- ・ 立ち上がりエッジ
- ・ 立ち下がりエッジ
- ・ 立ち上がり / 立ち下がり両エッジ

エッジ検出されたINTPn信号は、割り込み要因になります。
有効エッジは、INTR0, INTF0レジスタで指定します。

(1) 外部割り込み立ち上がり，立ち下がりエッジ指定レジスタ0 (INTR0, INTF0)

INTP0, INTP1 (V850E/IA4のみ)，INTP2-INTP7端子のトリガ・モードを指定するレジスタです。有効エッジは，立ち上がりエッジ，立ち下がりエッジ，立ち上がり/立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能(兼用機能)からポート・モードに切り替える場合には，エッジが検出される可能性があるため，必ずINTF0n, INTR0nビット = 00に設定してからポート・モードに設定してください (V850E/IA3 : n = 0, 2-7, V850E/IA4 : n = 0-7)。

リセット時：00H R/W アドレス：FFFFFC20H

	⑦	⑥	⑤	④	③	②	①	①	①
INTR0	INTR07	INTR06	INTR05	INTR04	INTR03	INTR02	INTR01 ^注	INTR00	

リセット時：00H R/W アドレス：FFFFFC00H

	⑦	⑥	⑤	④	③	②	①	①	①
INTF0	INTF07	INTF06	INTF05	INTF04	INTF03	INTF02	INTF01 ^注	INTF00	

注 V850E/IA4のみ有効です。
V850E/IA3では必ず0を設定してください。

備考 有効エッジの指定については表17-3を参照してください。

表17-3 INTP0-INTP7端子の有効エッジの指定

INTF0n	INTR0n	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり/立ち下がり両エッジ

注意 INTPn端子として使用しない場合，必ずINTF0n, INTR0nビット = 00に設定してください。

備考 V850E/IA3 : n = 0, 2-7

V850E/IA4 : n = 0-7

17.5 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

17.5.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

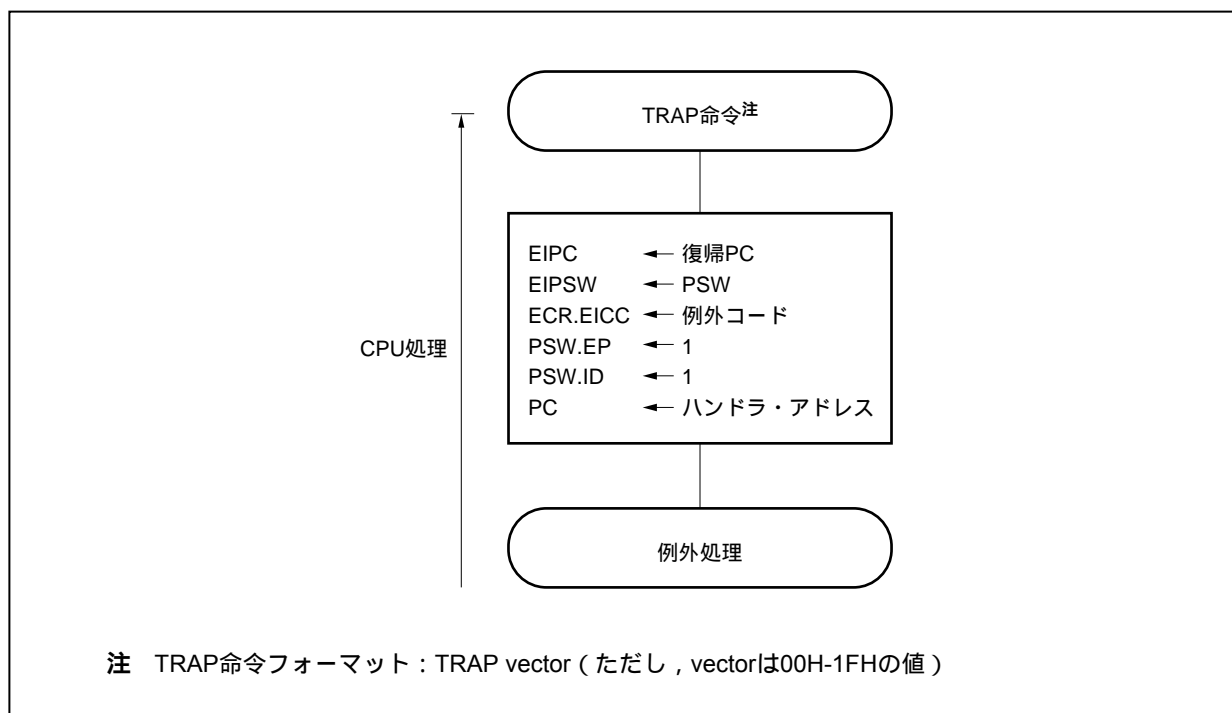
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSW.EP, IDビットをセット (1) します。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を次に示します。

図17-8 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

17.5.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

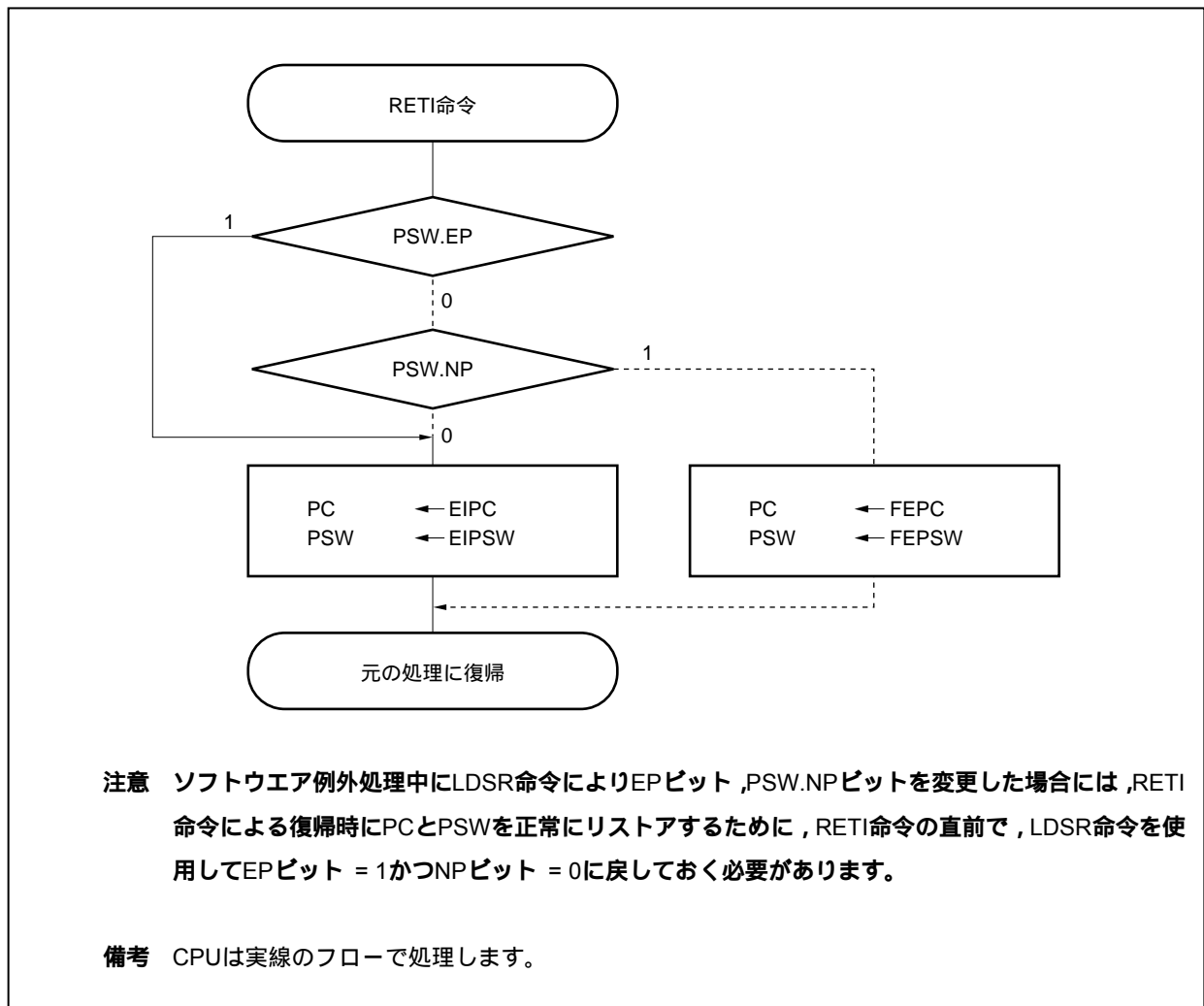
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図17 - 9 RETI命令の処理形態



17.5.3 例外ステータス・フラグ (EP)

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。EPフラグは、PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時：00000020H

	31		8	7	6	5	4	3	2	1	0
PSW	0			NP	EP	ID	SAT	CY	OV	S	Z

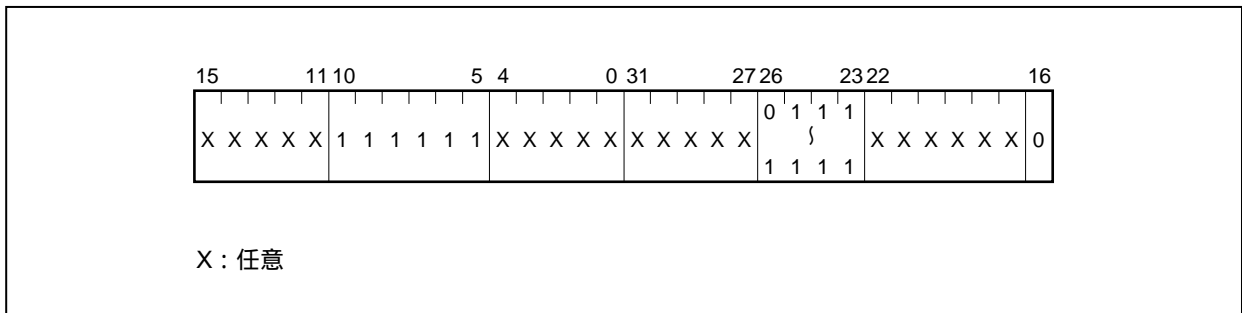
EP	例外処理状態
0	例外処理中でない
1	例外処理中

17.6 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850E/IA3, V850E/IA4では、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

17.6.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が111111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

(1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

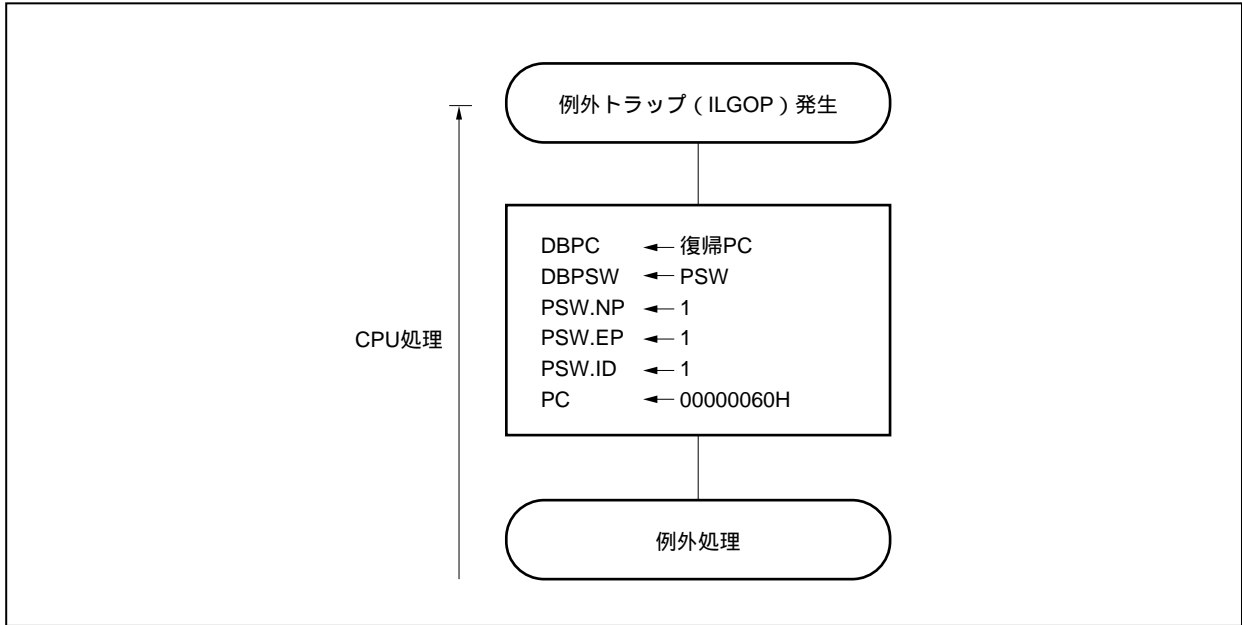
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCに例外トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

例外トラップの処理形態を次に示します。

図17 - 10 例外トラップの処理形態



(2) 復 帰

例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

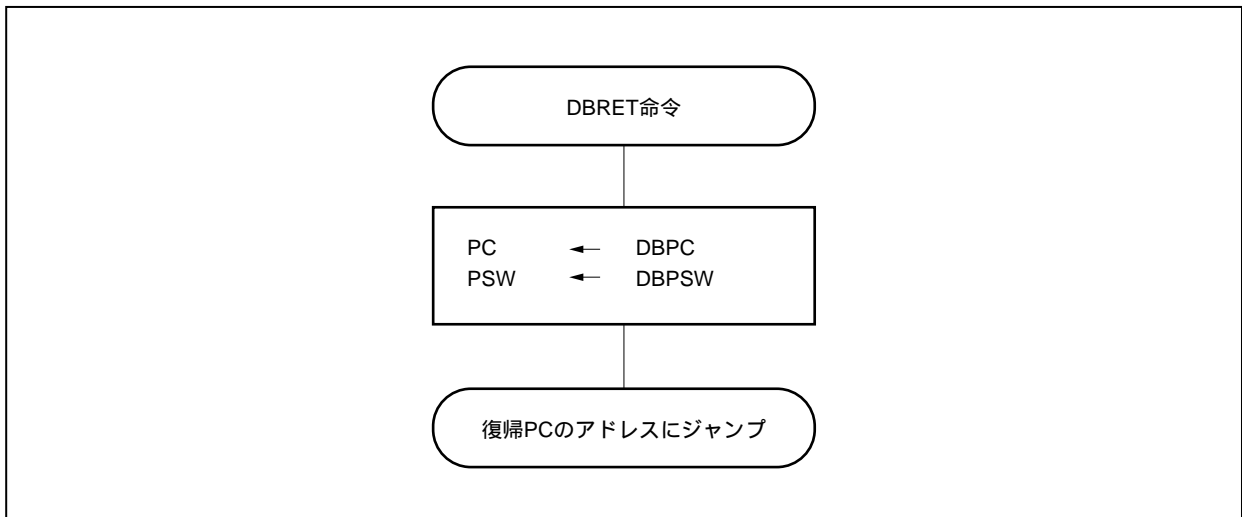
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWには、不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセスできます。

例外トラップからの復帰の処理形態を次に示します。

図17 - 11 例外トラップからの復帰の処理形態



17.6.2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

デバッグ・トラップが発生した場合、CPUは次の処理を行います。

(1) 動作

復帰PCをDBPCに退避します。

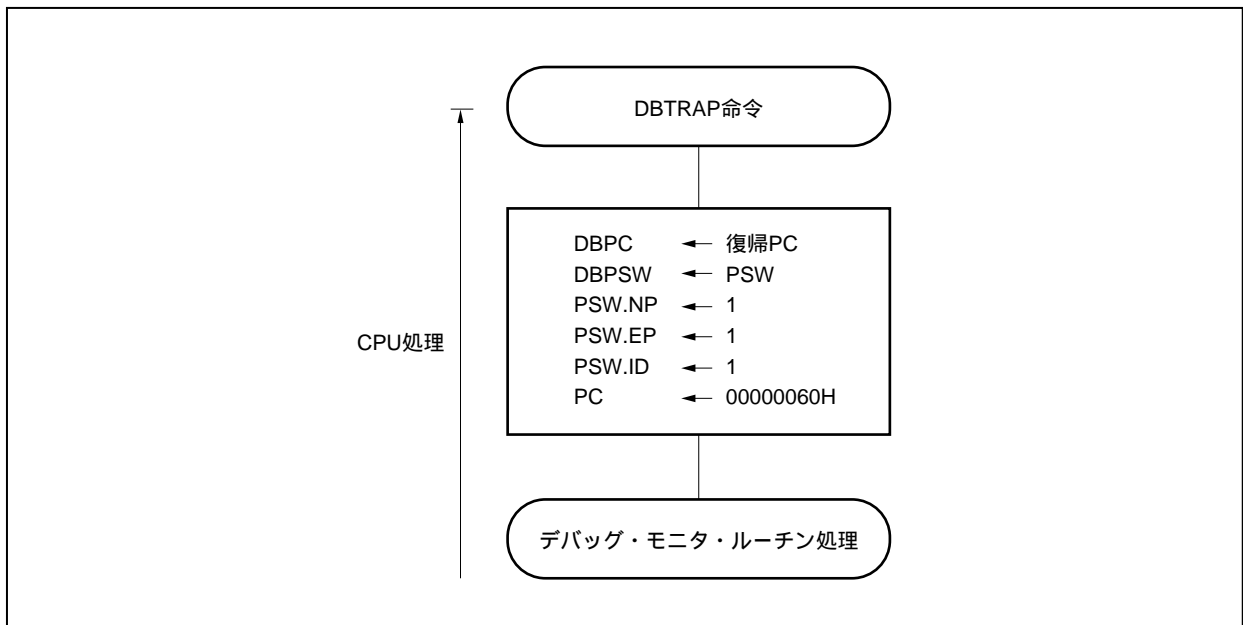
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCにデバッグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

デバッグ・トラップの処理形態を次に示します。

図17-12 デバッグ・トラップの処理形態



(2) 復 帰

デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

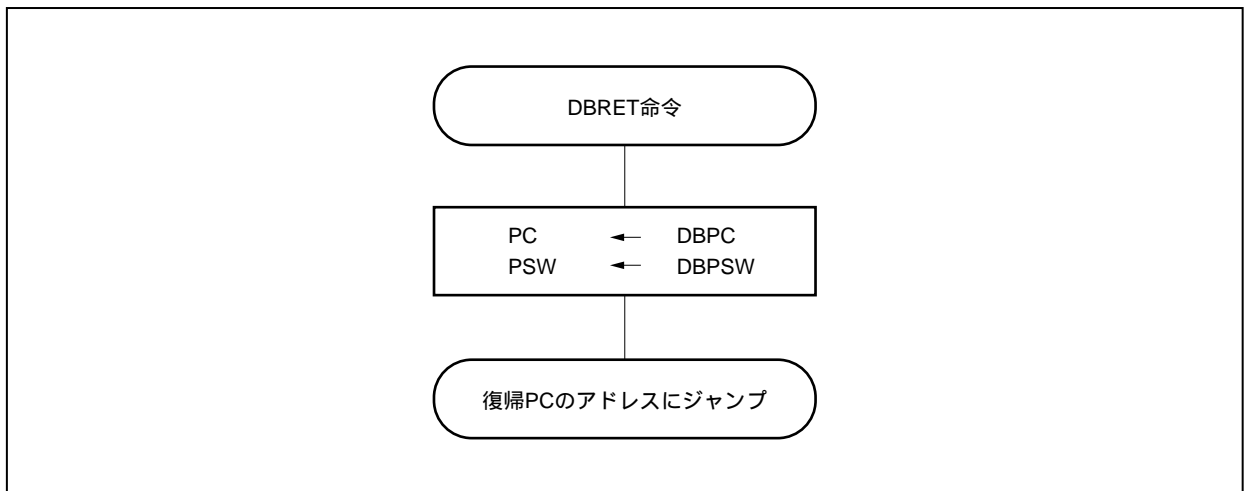
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWには、DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセスできます。

デバッグ・トラップからの復帰の処理形態を次に示します。

図17 - 13 デバッグ・トラップからの復帰の処理形態



17.7 多重割り込み処理制御

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求信号があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求信号を受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求信号だった場合は、その割り込み要求信号は保留されます。

マスカブル割り込みの多重処理制御は、割り込み許可状態（PSW.IDビット = 0）のときに行われます。したがって、多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態（PSW.IDビット = 0）にする必要があります。

マスカブル割り込みまたはソフトウェア例外のサービス・プログラム中に、マスカブル割り込みの許可またはソフトウェア例外を発生させる場合は、EIPC, EIPSWを退避する必要があります。

次のような手順で行います。

(1) サービス・プログラム中にマスカブル割り込み要求信号を受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
・ EI命令（割り込み受け付け許可）
...
...
...
...
・ DI命令（割り込み受け付け禁止）
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

マスカブル割り込み受け付け

(2) サービス・プログラム中に例外を発生させる場合

マスクブル割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
...
・ TRAP命令
...
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

TRAP命令などの例外受け付け

多重割り込み処理制御のための優先順位は、各マスクブル割り込み要求信号ごとに0-7までの8レベル(0が最優先)が、ソフトウェアにより任意に設定可能です。優先順位レベルの設定は、マスクブル割り込み要求信号ごとに用意されている割り込み要求制御レジスタ($xxICn$)の $xxPRn0$ - $xxPRn2$ ビットで行います。システム・リセット時には、 $xxMKn$ ビットにより割り込み要求信号はマスクされ、 $xxPRn0$ - $xxPRn2$ ビットにより優先順位はレベル7に設定されます。

マスクブル割り込みの優先順位は次のようになります。

(高) レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 (低)

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

保留された割り込み要求信号は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

注意 ノンマスクブル割り込み処理ルーチン内 (RETI命令を実行するまでの期間) では、マスクブル割り込みを受け付けず、保留します。

備考 xx : 各周辺ユニット識別名称 (表17 - 2参照)

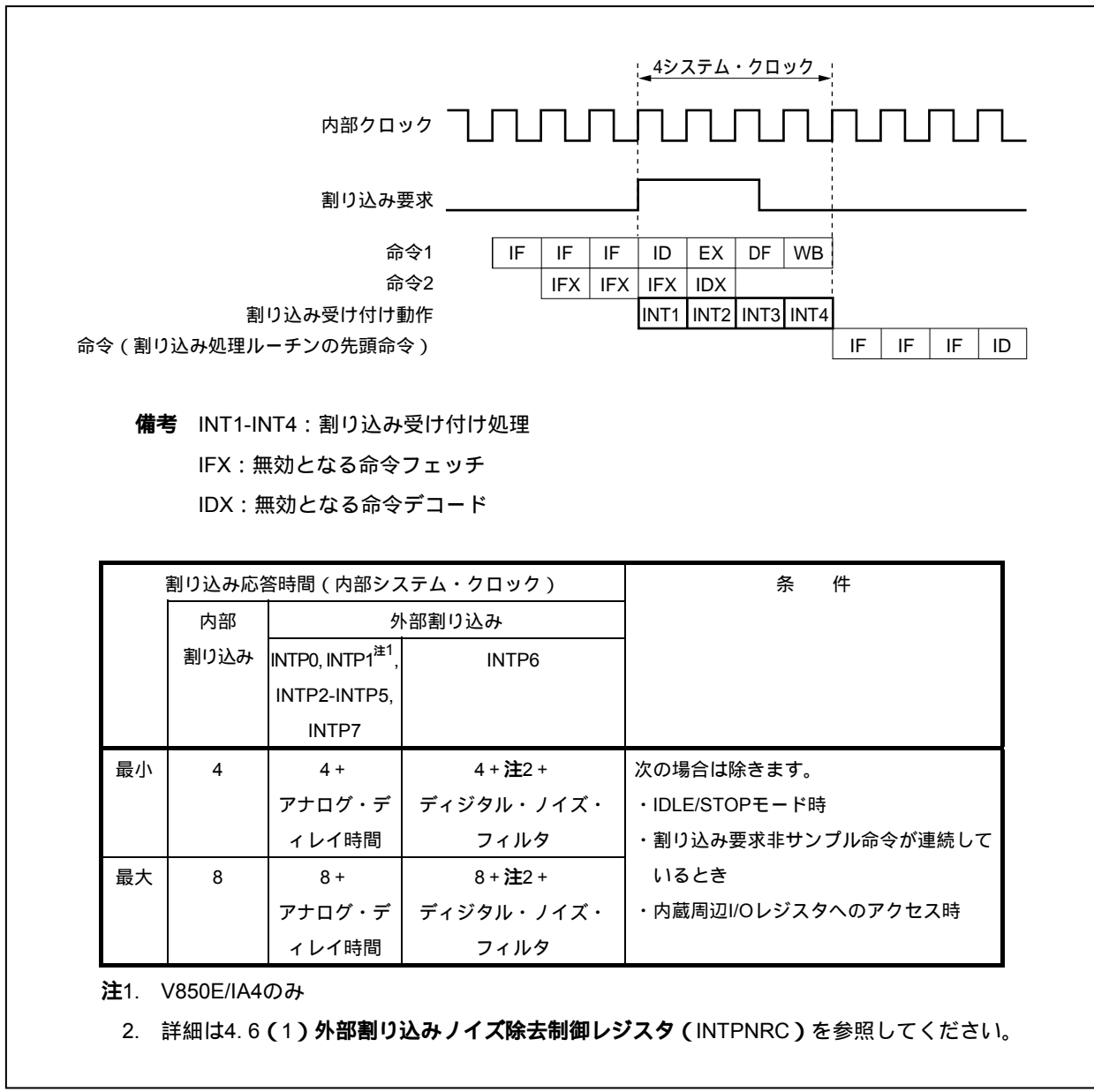
n : 周辺ユニット番号 (表17 - 2参照)

17.8 CPUの割り込み応答時間

次の場合を除き、CPUの割り込み応答時間は、最小4クロックとなります。連続して割り込み要求信号を入力する場合には、最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

- ・ IDLE/STOPモード時
- ・ 割り込み要求非サンプル命令（17.9 CPUが割り込みを受け付けない期間参照）が連続しているとき
- ・ 内蔵周辺I/Oレジスタへのアクセス時

図17-14 割り込み要求受け付け時のパイプライン動作（概略）



17.9 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・EI命令
- ・DI命令
- ・LDSR reg2, 0x5命令（対PSW）
- ・コマンド・レジスタ（PRCMD）に対するストア命令
- ・次のレジスタに対するストア命令およびtst1命令を除くビット操作命令
 - ・割り込み関連のレジスタ：
 - 割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-3（IMR0-IMR3）
 - ・パワー・セーブ・コントロール・レジスタ（PSC）
 - ・内部メモリ・サイズ切り替えレジスタ（IMS）

備考 xx：各周辺ユニット識別名称（表17-2参照）

n：周辺ユニット番号（表17-2参照）

17.10 注意事項

ポートを外部割り込み入力（INTPn）に設定した場合には、兼用しているタイマ/カウンタおよびA/Dコンバータ関連の割り込みは発生しませんので注意してください（V850E/IA3：n = 0, 2-7，V850E/IA4：n = 0-7）。

第18章 スタンバイ機能

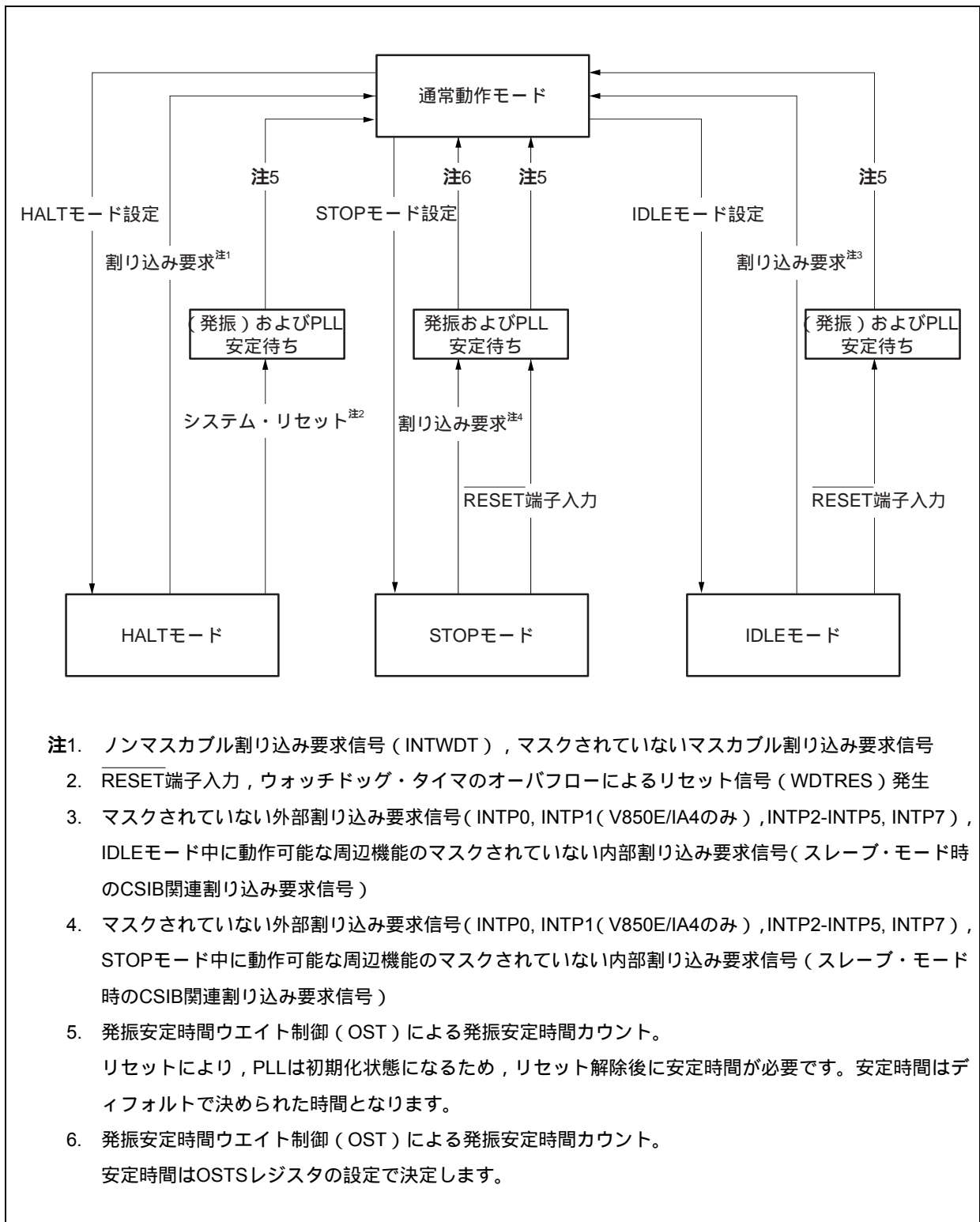
18.1 概 要

各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。スタンバイ機能には、次に示すものがあります。

表18 - 1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLEモード	発振回路とPLLとスレーブ・モード時のCSIB以外の内部回路の動作をすべて停止させるモード
STOPモード	スレーブ・モード時のCSIB以外の内部回路の動作をすべて停止させるモード

図18-1 状態遷移図



18.2 制御レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STBビットの設定によりスタンバイ・モードを指定します。PSCレジスタは特定レジスタです(3.4.8 特定レジスタ参照)。特定のシーケンスの組み合わせによってだけ書き込みができます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF1FEH

	7	6	5	④	3	2	①	0
PSC	0	0	0	INTM	0	0	STB	0

INTM	マスカブル割り込み要求 (INTxx ^注) によるスタンバイ・モードの制御
0	INTxx要求によるスタンバイ・モード解除許可
1	INTxx要求によるスタンバイ・モード解除禁止

STB	動作モードの設定
0	通常モード
1	スタンバイ・モード

注 詳細は、表17-1 割り込み要因一覧を参照してください。

注意1. ビット0, 2, 3, 5-7には、必ず0を設定してください。

2. STBビット = 1によりスタンバイ・モードに移行する場合には、必ずPCCレジスタ = 03Hに設定してからSTBビットの指定をしてください。これ以外の設定では、スタンバイ・モードの移行や解除ができない場合があります。

なお、スタンバイ・モード解除後は、PCCレジスタを所望の値に変更してください。

3. IDLEモードおよびSTOPモードに設定する場合には、まずPCCレジスタ = 03H, PSMR.PSM0ビットの順序で設定してから、STBビット = 1にしてください。

(2) パワー・セーブ・モード・レジスタ (PSMR)

ソフトウェア・スタンバイ・モード時の動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF820H

	7	6	5	4	3	2	1	①
PSMR	0	0	0	0	0	0	0	PSM0

PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	IDLEモード
1	STOPモード

注意1. ビット1-7には、必ず0を設定してください。

2. PSM0ビットは、PSC.STBビット = 1のときのみ有効です。

18.3 HALTモード

18.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに移行します。

HALTモードに移行すると、CPUへのクロック供給のみが停止しますが、クロック・ジェネレータおよびPLLは動作を継続するので、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容はHALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表18-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減できます。

注意1. HALT命令の後には、NOP命令を5命令以上挿入してください。

2. 割り込み要求が保留されている状態で、HALT命令を実行した場合は、HALTモードに移行しますが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

18.3.2 HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求信号（INTWDT）、マスクされていないマスクابل割り込み要求信号、 $\overline{\text{RESET}}$ 端子入力およびWDTRES信号発生により解除されます。

HALTモードの解除により、通常動作モードに移行します。

(1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号（INTWDT）、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込みよりも優先順位の低い割り込み要求信号、または同一優先順位の割り込み要求信号が発生するとHALTモードの解除のみ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。したがって、HALT命令の次の命令から実行を開始します。
- (b) 現在処理中の割り込みよりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、HALTモードの解除とともにこの割り込み要求信号を受け付けます。したがって、ハンドラ・アドレスに分岐します。

表18-2 割り込み要求信号によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクされていない マスクابل割り込み要求信号	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

(2) $\overline{\text{RESET}}$ 端子入力、WDTRES信号発生による解除

通常のリセット動作と同じです。

表18 - 3 HALTモード時の動作状態

HALTモードの設定		動作状態
項目		
クロック・ジェネレータ, PLL		動作
システム・クロック (f _{xx})		供給
CPU		動作停止
DMA		動作可能
割り込みコントローラ		動作可能
ROMコレクション		動作停止
タイマ	TMM0	動作可能
	TMP0-TMP3	動作可能
	TMQ0, TMQ1	動作可能
	TMENC10, TMENC11 ^注	動作可能
ウォッチドッグ・タイマ		動作可能
シリアル・インタフェース	CSIB0, CSIB1	動作可能
	UARTA0, UARTA1	動作可能
A/Dコンバータ0-2		動作可能
ポート機能		HALTモード設定前の状態を保持
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持

注 V850E/IA4のみ

18.4 IDLEモード

18.4.1 設定および動作状態

通常動作モード時、PSMR.PSM0ビットをクリア(0)し、PSC.STBビットをセット(1)することにより、IDLEモードに移行します。

IDLEモードに移行すると、クロック・ジェネレータおよびPLLは動作を継続しますが、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLEモード設定前の状態を保持します。また、CPUや、そのほかの内蔵周辺機能は動作を停止します。ただし、外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表18-5にIDLEモード時の動作状態を示します。

IDLEモードは、内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。また、クロック・ジェネレータおよびPLLは停止しないので、IDLEモード解除時、HALTモードと同様に、発振安定時間を確保することなく通常動作モードに復帰できます。

注意 IDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

18.4.2 IDLEモードの解除

IDLEモードは、マスクされていない外部割り込み要求信号(INTP0, INTP1(V850E/IA4のみ), INTP2-INTP5, INTP7端子入力)、IDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号(スレーブ・モード時のCSIB関連割り込み要求信号)、RESET端子入力により解除されます。

IDLEモードの解除により、通常動作モードに移行します。

(1) マスクされていないマスクプル割り込み要求信号

マスクされていないマスクプル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLEモードに設定した場合は次のようになります。

注意 PSC.INTMビット = 1設定時には、マスクされていないマスクプル割り込み要求信号によるIDLEモードの解除はできません。

- (a) 現在処理中の割り込みよりも優先順位の低い割り込み要求信号、または同一優先順位の割り込み要求信号が発生するとIDLEモードの解除のみ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。したがって、IDLE命令の次の命令から実行を開始します。
- (b) 現在処理中の割り込みよりも優先順位が高い割り込み要求信号が発生すると、IDLEモードの解除とともにこの割り込み要求信号を受け付けます。したがって、ハンドラ・アドレスに分岐します。

表18-4 割り込み要求信号によるIDLEモード解除後の動作

解除ソース	割り込み許可(EI)状態	割り込み禁止(DI)状態
マスクされていない マスクプル割り込み要求	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

(2) RESET端子入力による解除

通常のリセット動作と同じです。

表18 - 5 IDLEモード時の動作状態

IDLEモードの設定		動作状態
項目		
クロック・ジェネレータ, PLL		動作
システム・クロック (f _{xx})		供給停止
CPU		動作停止
DMA		動作停止
割り込みコントローラ		動作停止
ROMコレクション		動作停止
タイマ	TMM0	動作停止
	TMP0-TMP3	動作停止
	TMQ0, TMQ1	動作停止
	TMENC10, TMENC11 ^注	動作停止
ウォッチドッグ・タイマ		動作停止
シリアル・インタフェース	CSIB0, CSIB1	カウント・クロックにSCKBn入力クロック選択時(スレープ・モード時), 動作可能 (n = 0, 1)
	UARTA0, UARTA1	動作停止
A/Dコンバータ0-2		動作停止
ポート機能		IDLEモード設定前の状態を保持
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLEモード設定前の状態を保持

注 V850E/IA4のみ

18.5 STOPモード

18.5.1 設定および動作状態

通常動作モード時、PSMR.PSM0ビットをセット(1)し、PSC.STBビットをセット(1)することにより、STOPモードに移行します。

STOPモードに移行するとクロック・ジェネレータは動作を停止します。また、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はSTOPモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表18-7にSTOPモード時の動作状態を示します。

STOPモードは、クロック・ジェネレータの動作が停止するので、IDLEモードよりさらに低消費電力を実現できます。また、外部クロックを使用しない場合は、リーク電流のみの超低消費電力を実現できます。

注意 STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

18.5.2 STOPモードの解除

STOPモードは、マスクされていない外部割り込み要求信号(INTP0, INTP1(V850E/IA4のみ), INTP2-INTP5, INTP7端子入力)、STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号(スレーブ・モード時のCSIB関連割り込み要求信号)、RESET端子入力により解除されます。

STOPモードの解除により、発振安定時間を確保したあと、通常動作モードに移行します。

(1) マスクされていないマスクブル割り込み要求信号

マスクされていないマスクブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

注意 PSC.INTMビット = 1設定時には、マスクされていないマスクブル割り込み要求信号によるSTOPモードの解除はできません。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求、または同一優先順位の割り込み要求が発生するとSTOPモードの解除のみ行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。したがって、STOP命令の次の命令から実行を開始します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求が発生すると、STOPモードの解除とともにこの割り込み要求を受け付けます。したがって、ハンドラ・アドレスに分岐します。

表18-6 割り込み要求信号によるSTOPモード解除後の動作

解除ソース	割り込み許可(EI)状態	割り込み禁止(DI)状態
マスクされていない マスクブル割り込み要求	発振安定時間確保後、 ハンドラ・アドレスに分岐、 または次の命令を実行	発振安定時間確保後、 次の命令を実行

(2) RESET端子入力による解除

通常のリセット動作と同じです。

表18 - 7 STOPモード時の動作状態

項目	STOPモード の設定	動作状態
クロック・ジェネレータ, PLL		動作停止
システム・クロック (f _{xx})		供給停止
CPU		動作停止
DMA		動作停止
割り込みコントローラ		動作停止
ROMコレクション		動作停止
タイマ	TMM0	動作停止
	TMP0-TMP3	動作停止
	TMQ0, TMQ1	動作停止
	TMENC10, TMENC11 ^注	動作停止
ウォッチドッグ・タイマ		動作停止
シリアル・インタフェース	CSIB0, CSIB1	カウント・クロックにSCKBn入力クロック選択時(スレーブ・モード時), 動作可能 (n = 0, 1)
	UARTA0, UARTA1	動作停止
A/Dコンバータ0-2		動作停止
ポート機能		STOPモード設定前の状態を保持
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてSTOPモード設定前の状態を保持

注 V850E/IA4のみ

18.6 発振安定時間の確保

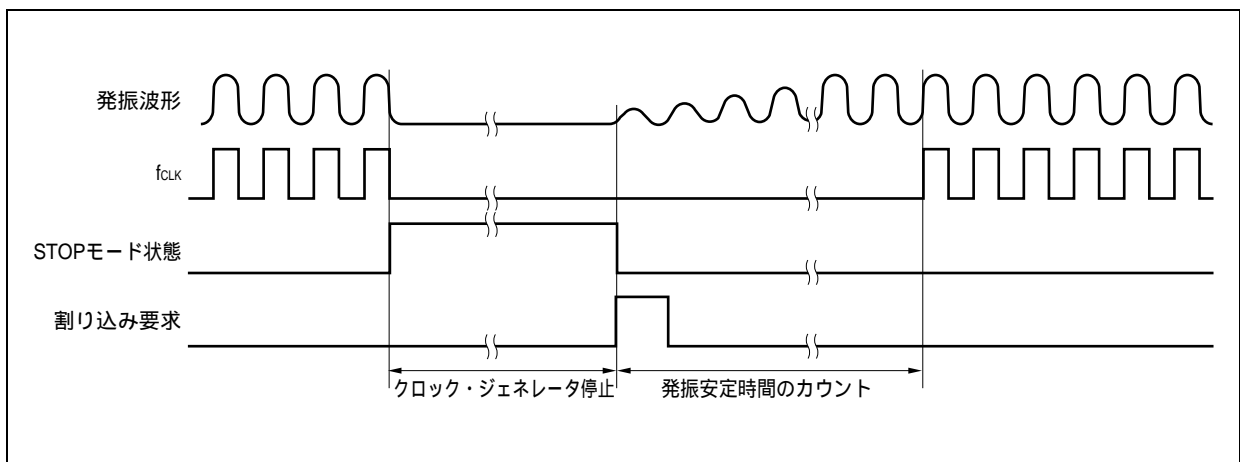
STOPモードを解除すると、OSTSレジスタで設定していた時間だけ発振安定時間を確保します。 $\overline{\text{RESET}}$ 端子入力による解除時は、OSTSレジスタのリセット値： $2^{14}/f_x$ ($f_x = 8 \text{ MHz}$ 時、 2.048 ms) となります。

ただし、実際の発振安定時間はこの半分の時間（リセット時： $2^{13}/f_x$ ($f_x = 8 \text{ MHz}$ 時、 1.024 ms) となり、あとの半分はPLLの安定時間となります。STOPモードからの解除時の発振安定時間は、使用する発振子の発振安定時間に対して倍の時間を設定してください。また、 $\overline{\text{RESET}}$ 端子入力による解除時、使用する発振子の発振安定時間が $2^{13}/f_x$ よりも長い場合は、 $\overline{\text{RESET}}$ 信号のロウ・レベル幅で発振安定時間を確保してください。

なお、発振安定時間カウント用タイマはそのオーバフロー時間だけ発振安定時間を確保します。

STOPモードを割り込み要求信号で解除した場合の動作を次に示します。

図18-2 発振安定時間



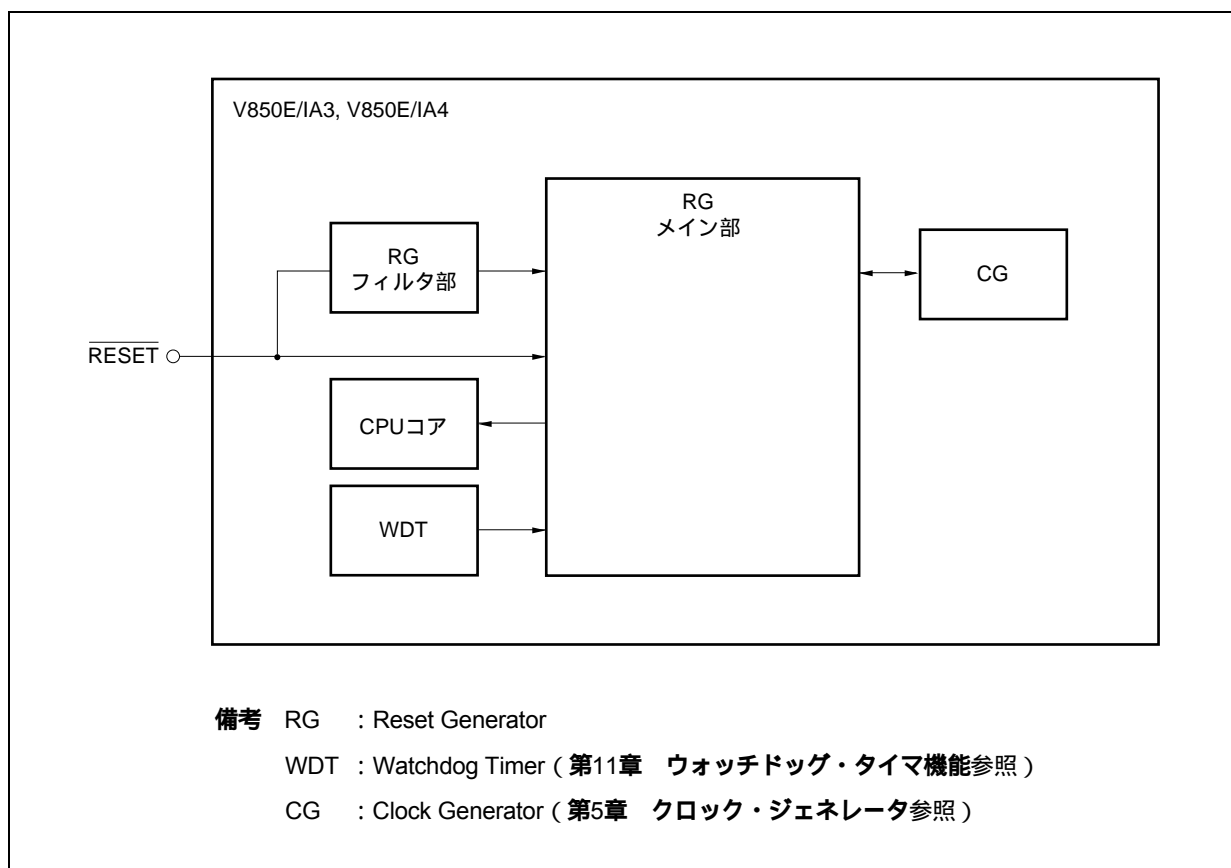
注意 OSTSレジスタの詳細は、5.3(5)発振安定時間選択レジスタ (OSTS) を参照してください。

第19章 リセット機能

19.1 概 要

- ・ $\overline{\text{RESET}}$ 端子入力によるシステム・リセット
- ・ ウォッチドッグ・タイマ (WDT) のオーバーフローによるシステム・リセット信号 (WDTRES) 発生
- ・ オンチップ・デバッグ機能による強制リセット, リセット・マスク機能 (第21章 オンチップ・デバッグ機能 (オンチップ・デバッグ・ユニット) 参照)

19.2 構 成



19.3 制御レジスタ

(1) リセット要因フラグ・レジスタ (RESF)

RESFレジスタは、ウォッチドッグ・タイマ (WDT) からのリセット要求の発生を示す8ビット・レジスタです。

WDTからの内部リセット要因信号がアクティブになった場合に、RESF.RESFH4ビットがセット(1)されます。RESFH4ビットのクリアは、 $\overline{\text{RESET}}$ 端子によるリセット、およびビット操作命令またはストア命令によるクリア (RESFH4ビットへの0ライト) で行います。

RESFレジスタは、特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。ただし、ビット4のライトはクリア(0)のみ可能です。

$\overline{\text{RESET}}$ 端子入力によるリセットで00H、ウォッチドッグ・タイマによるリセットで10Hになります。リセットが競合した場合の詳細については注意を参照してください。

リセット時：注 R/W アドレス：FFFFF888H

	7	6	5	4	3	2	1	0
RESF	0	0	0	RESFH4	0	0	0	0

RESFH4	ウォッチドッグ・タイマ (WDT) のリセット要求の発生状態
0	リード時：リセット要求の発生なし、ライト時：クリア
1	リセット要求の発生あり

注 $\overline{\text{RESET}}$ 端子入力によるリセット時 : 00H
ウォッチドッグ・タイマによるリセット時 : 10H

注意 RESFレジスタのビット・セット(セット要因のリセット発生)とクリア(システム・リセットの発生、およびRESFH4ビットへの0ライト)が競合した場合は、次のような優先順位となります。

1. $\overline{\text{RESET}}$ 端子入力によるリセット発生 (RESFレジスタ・クリア)
2. ウォッチドッグ・タイマによるリセット発生 (RESFレジスタ・セット)
3. ビット操作命令またはストア命令によるRESFH4ビットへの0ライト (RESFレジスタ・クリア)

なお、 $\overline{\text{RESET}}$ 端子入力によるリセット発生とウォッチドッグ・タイマによるリセット発生が競合した場合、RESFレジスタはセットされず、クリア(00H)されます。

19.4 動作

(1) $\overline{\text{RESET}}$ 端子入力によるリセット動作

$\overline{\text{RESET}}$ 端子にロウ・レベルを入力すると、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

$\overline{\text{RESET}}$ 端子へのロウ・レベル入力期間中も発振回路は発振を継続しますが、発振モードはクロック・スルー・モード (PLLCTLレジスタ = 01H) に、CPUクロック (f_{CPU}) 分周は、 $f_{\text{xx}}/8$ (PCCレジスタ = 03H) に初期化されます。

$\overline{\text{RESET}}$ 端子がロウ・レベルからハイ・レベルに変化すると、リセット状態を解除します。リセット状態を解除後、発振回路の発振安定時間とPLLのロックアップ時間 (両時間の合計時間としてOSTSレジスタの初期値: $2^{14}/f_x$ (2.05 ms ($f_x = 8$ MHz時))) を確保したあと、CPUはプログラムの実行を開始します。したがって、リセット解除後はクロック・スルー・モードおよび $f_{\text{xx}}/8$ で動作を開始します。

リセット期間中とリセット解除後の各ハードウェアの状態を次に示します。

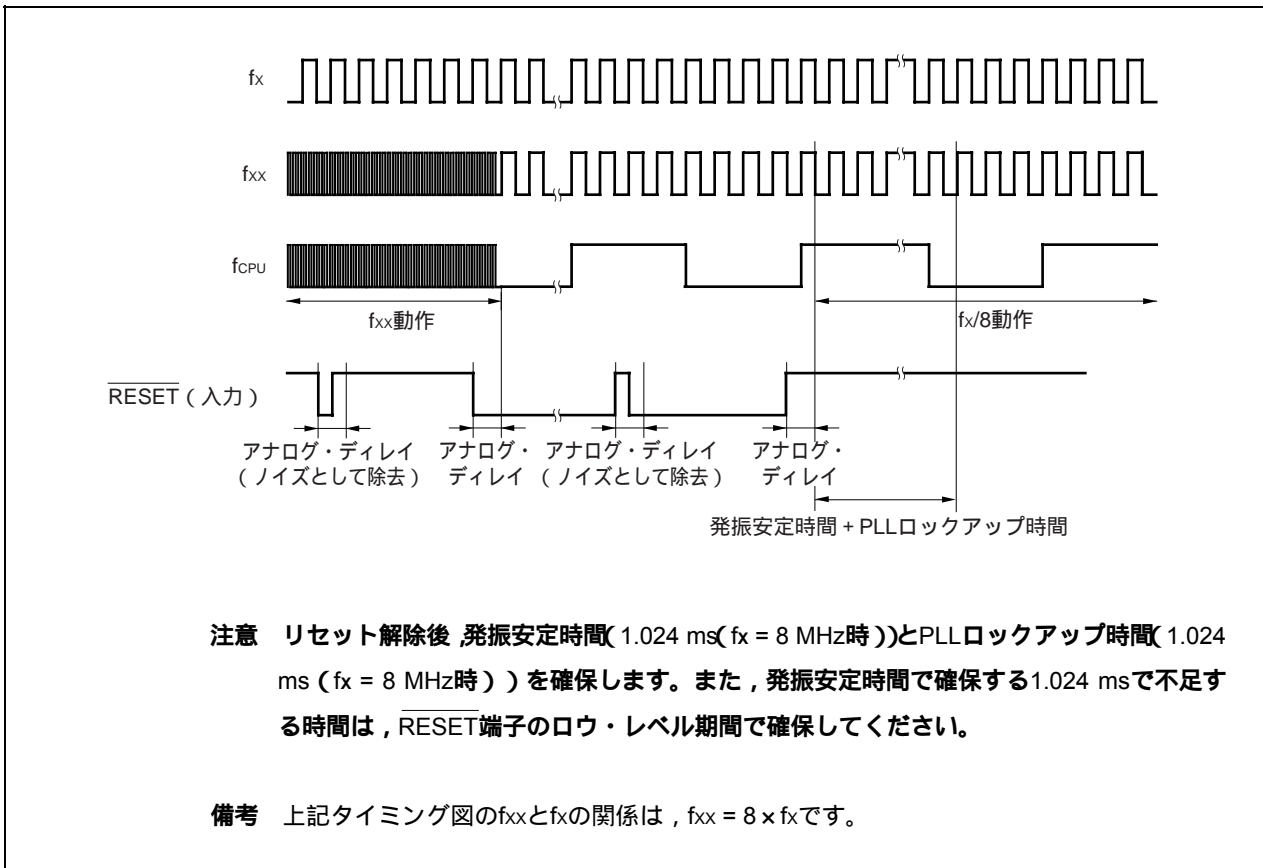
項目	リセット期間中	リセット解除後
クロック・ジェネレータ: 発振回路 (f_x) 内部システム・クロック (f_{CLK}) CPUクロック (f_{CPU})	発振 / 供給継続 ただし、CPUクロック (f_{CPU}) を $f_{\text{xx}}/8$ に初期化する	
クロック・ジェネレータ: 周辺クロック ($f_{\text{xx}} - f_{\text{xx}}/1024$)	発振 / 供給停止	発振安定時間を確保後、発振 / 供給開始
クロック・ジェネレータ: ウォッチドッグ・タイマ・クロック ($f_{\text{xx}}/1024$)	発振 / 供給停止	発振 / 供給開始
CPU	初期化	発振安定時間を確保後、プログラムの実行開始 ^{注1}
内蔵RAM	パワーオン時のリセット、またはRAMへのデータ書き込み (CPUによる) とリセット入力競合 (データ破壊) した場合、不定。それ以外は、リセット入力直前の値を保持 ^{注2} 。	
ポート (兼用端子も含む)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ (ポート以外)	所定の状態に初期化	
上記以外の内蔵周辺機能	動作停止	動作開始可能

注1. μ PD70F3184 (V850E/IA3), μ PD70F3186 (V850E/IA4) は、ブート切り替えの内部処理が挿入されるため、その分、プログラムの実行が遅れます。

2. μ PD70F3184 (V850E/IA3), μ PD70F3186 (V850E/IA4) は、ブート切り替え機能をサポートするため、内部システム・リセット解除後、ファームウェアにより内蔵RAMの一部 (使用RAM領域: 3FFD800H-3FFD895H, 3FFEFBAH-3FFEFFFH) を使用します。そのため、パワーオン時におけるリセットであっても、一部領域のRAMの内容を保持しません。

RESET端子入力によるリセット動作を次に示します。

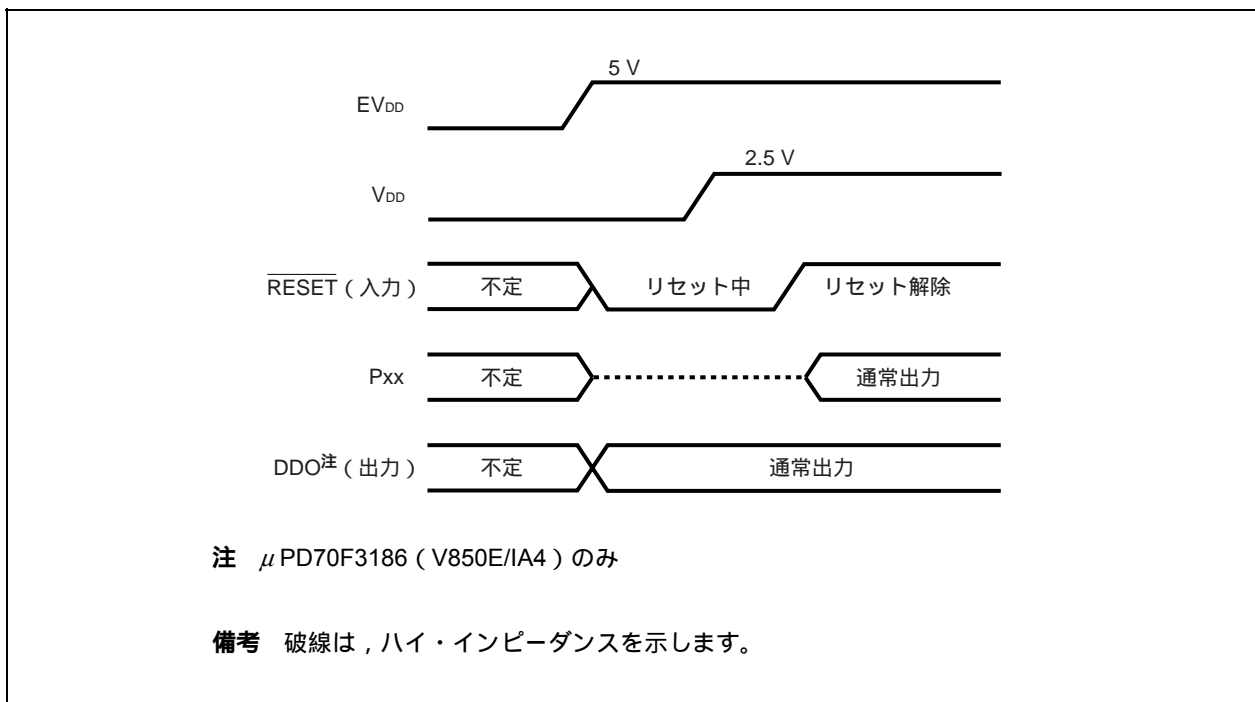
図19 - 1 RESET端子入力によるリセット動作



リセット解除後の動作は、PLLモード、クロック・スルー・モードともに共通で、クロック・スルー・モードで立ち上がります。PLLモードにする場合には、ソフトウェアで制御してください(PLLCTL.SELPLLビット = 1に設定)。耐ノイズを考慮する場合には、PLLモードに設定してから、CPUクロックを高速化(例: PCCレジスタ = 00H(f_{xx} 動作))させることを推奨します。

パワーオン（電源投入）時のタイミングと端子状態を次に示します。

図19 - 2 パワーオン（電源投入）時のタイミングと端子状態



(2) ウォッチドッグ・タイマ (WDT) のオーバーフローによるリセット動作 (WDTRES)

ウォッチドッグ・タイマ (WDT) のオーバーフローによるリセット・モードに設定した (WDTM.WDM1, WDM0ビット = 10または11) 場合, WDTにオーバーフロー (INTWDT) が発生すると, システム・リセットがかかり, 各ハードウェアを所定の状態に初期化します。

INTWDT割り込み要求信号が発生するとRESF.RESFH4ビットをセット (1) し, 内部リセットが発生したことを示します。

RESFレジスタ動作以外のリセット期間中およびリセット解除後の動作は, $\overline{\text{RESET}}$ 端子入力によるリセット動作と同じです ((1) $\overline{\text{RESET}}$ 端子入力によるリセット動作参照)。

第20章 ROMコレクション機能

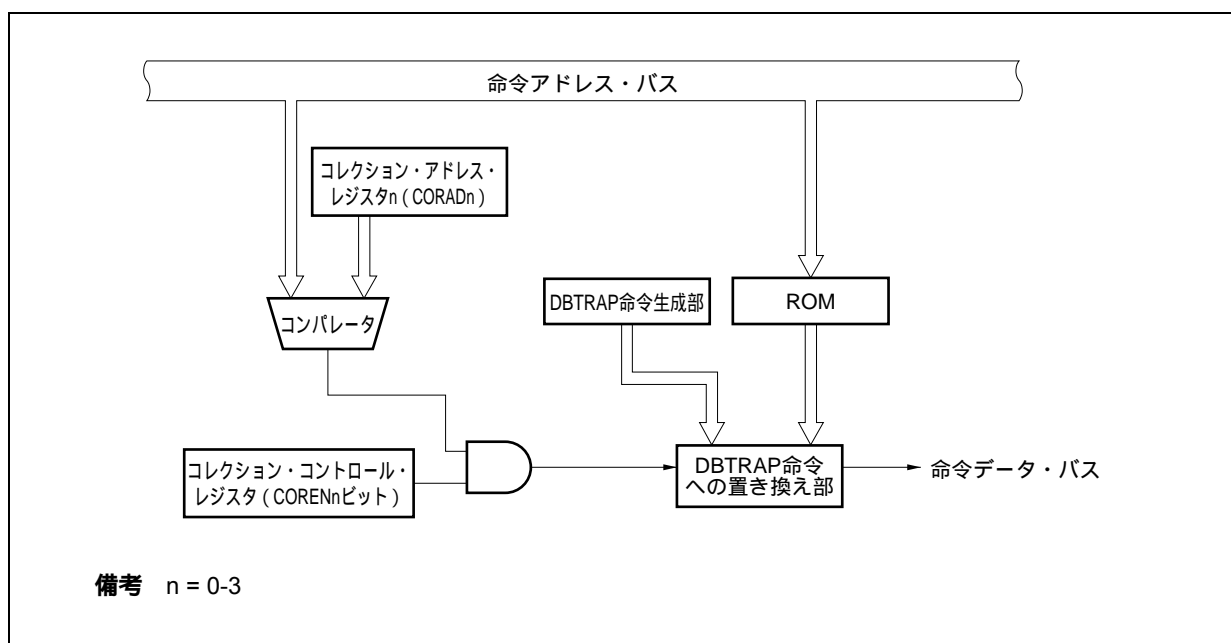
20.1 概要

ROMコレクション機能とは、マスクROMまたはフラッシュ・メモリ内のプログラムの一部を、内蔵RAMのプログラムで置き換えて実行する機能です。

ROMコレクション機能を使用することにより、マスクROMまたはフラッシュ・メモリで発見されたプログラム・バグの修正が可能です。

ROMコレクション機能により、修正アドレスは最大4箇所指定できます。

図20 - 1 ROMコレクションのブロック図



20.2 制御レジスタ

(1) コレクション・アドレス・レジスタ0-3 (CORAD0-CORAD3)

修正プログラムの先頭アドレスを設定するレジスタです。

CORADnレジスタは、4つあるためにプログラムを最大4箇所修正できます (n = 0-3)。

32ビット単位でリード/ライト可能です。

ただし、CORADnレジスタの上位16ビットをCORADnHレジスタ、下位16ビットをCORADnLレジスタとして使用した場合は、16ビット単位でリード/ライト可能です。

リセットにより00000000Hになります。

各製品によってROM容量が異なるため、次に示す範囲で修正アドレスを設定してください。

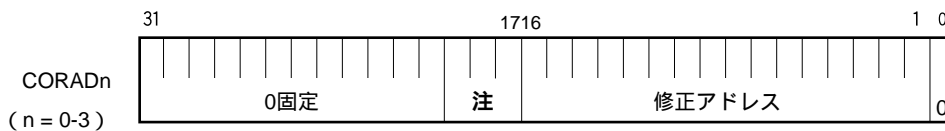
μ PD703183, 703185 (128 Kバイト) : 0000000H-001FFFEH

μ PD70F3184, 703186, 70F3186 (256 Kバイト) : 0000000H-003FFFFH

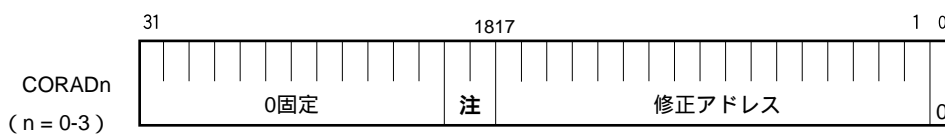
ビット0, 20-31は0に固定してください。

リセット時 : 00000000H R/W アドレス : CORAD0 FFFFF840H
 CORAD0L FFFFF840H, CORAD0H FFFFF842H
 CORAD1 FFFFF844H
 CORAD1L FFFFF844H, CORAD1H FFFFF846H
 CORAD2 FFFFF848H
 CORAD2L FFFFF848H, CORAD2H FFFFF84AH
 CORAD3 FFFFF84CH
 CORAD3L FFFFF84CH, CORAD3H FFFFF84EH

(a) 128 Kバイトの場合



(b) 256 Kバイトの場合



注 0に設定してください。

(2) コレクション・コントロール・レジスタ (CORCN)

各CORADnレジスタに設定したアドレスにおけるコレクション動作の禁止/許可を制御するレジスタです (n = 0-3)。

各チャネルごとに、有効/無効を設定できます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF880H

	7	6	5	4	③	②	①	④
CORCN	0	0	0	0	COREN3	COREN2	COREN1	COREN0

CORENn	コレクション動作の禁止/許可
0	禁止
1	許可

備考 n = 0-3

表20 - 1 CORCNレジスタのビットとCORADnレジスタの対応

CORCNレジスタのビット名称	対応するCORADnレジスタ
COREN3	CORAD3
COREN2	CORAD2
COREN1	CORAD1
COREN0	CORAD0

20.3 ROMコレクションの動作とプログラムの流れ

修正したいアドレスと内蔵ROMのフェッチ・アドレスが一致すると、フェッチ・コードをDBTRAP命令に置き換えます。

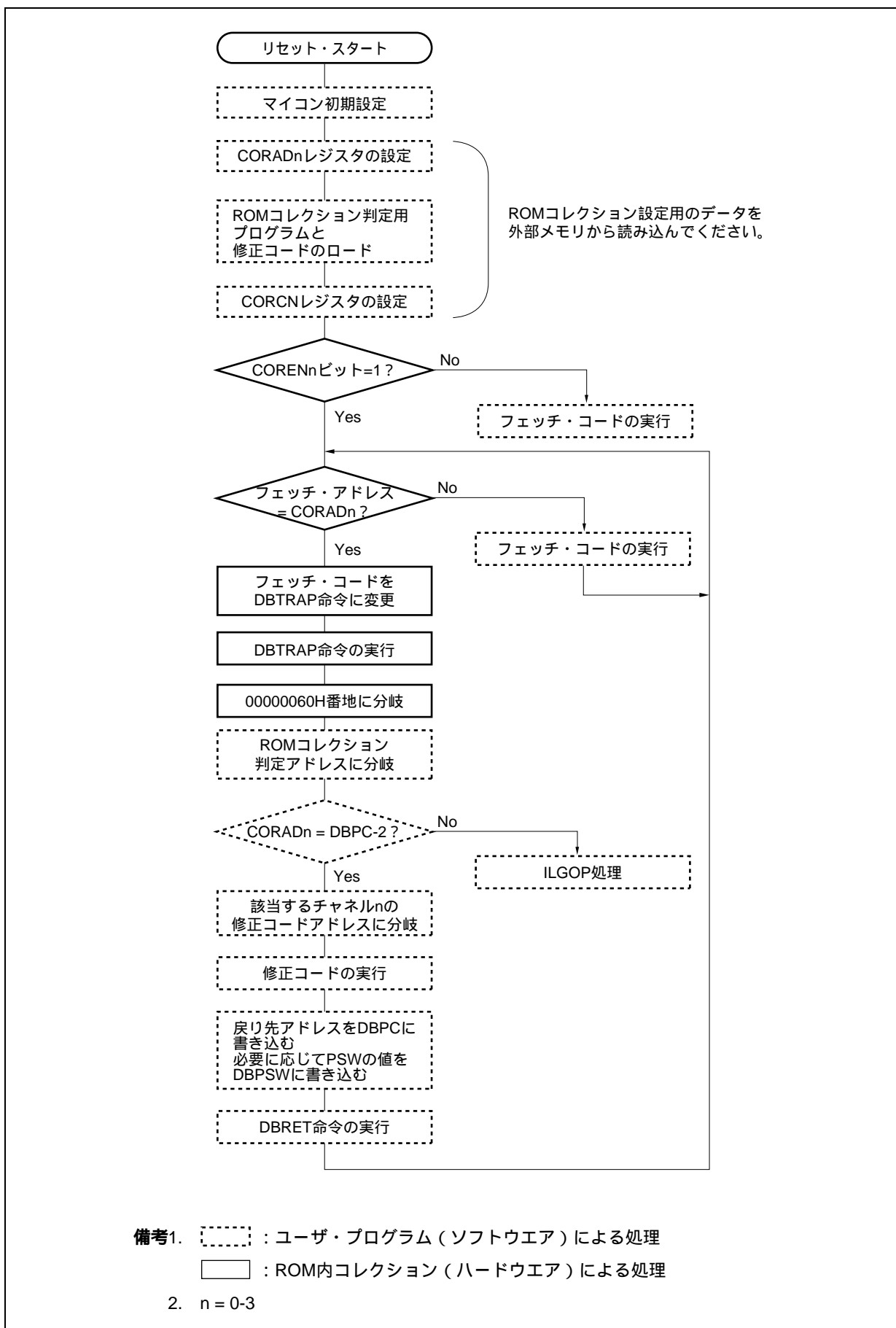
置き換えられたDBTRAP命令が実行されると、00000060H番地に分岐します。

分岐後のソフトウェア処理により、ROMコレクション判定（フェッチ・アドレスとROMコレクション動作許可の確認）と修正ソフトウェアへの分岐を行います。

修正ソフトウェア実行後、戻るアドレスのセットなどを行い、DBRET命令で復帰処理をします。

- 注意1.** 上記 **①** を実現するソフトウェアは、内蔵ROM/RAM内で実行する必要があります。
2. CORADnレジスタに修正したいアドレスを設定する際、内蔵ROMの容量に応じて、上位ビットに0を設定してください。
 3. ROMコレクション機能は内蔵ROMのデータに対しては使用できません。命令コードに対してのみ行うことができます。データに対してROMコレクションを行うと、そのデータがDBTRAP命令コードに入れ替わります。
 4. μ PD70F3184 (V850E/IA3) , μ PD70F3186 (V850E/IA4) でセルフ書き込みを行う場合には、ROMコレクション動作は使用禁止です。
 5. 内蔵RAMを対象としたDMA転送を実行している場合は、ROMコレクションは使用できません（内蔵RAMを対象としたDMA転送と内蔵RAMでの命令実行は同時に行わないでください）。

図20 - 2 ROMコレクションの動作とプログラムの流れ



第21章 オンチップ・デバッグ機能 (オンチップ・デバッグ・ユニット)

μ PD70F3186 (V850E/IA4) は、オンチップ・デバッグ・ユニットを搭載しています。オンチップ・デバッグ・エミュレータと接続することにより、 μ PD70F3186単体でのオンチップ・デバッグを実現できます (μ PD703185 (V850E/IA4) , μ PD703186 (V850E/IA4) , およびV850E/IA3は、オンチップ・デバッグ機能を搭載していません)。

注意 この章で説明しているデバッグ機能は、 μ PD70F3186 (V850E/IA4) と当社QB-V850MINI (オンチップ・デバッグ・エミュレータ) およびデバッガ (ID850QB) により実現できる機能です。パートナー製オンチップ・デバッグ・エミュレータを使用する場合は、使用するデバッガのマニュアルを参照してください。

21.1 機能概要

21.1.1 オンチップ・デバッグ・ユニットの種類

μ PD70F3186 (V850E/IA4) に搭載しているオンチップ・デバッグ・ユニットは、RCU1 (Run Control Unit 1) です。搭載ユニットは、マイコン製品によって異なり、機能も異なります。

21.1.2 デバッグ機能

デバッグ機能の詳細については、ID850QB **ユーザーズ・マニュアル 操作編**を参照してください。

(1) デバッグ・インタフェース

$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO信号によりオンチップ・デバッグ・エミュレータを介して、ホスト・マシンとの通信を行います。インタフェースにはN-Wireの通信仕様を利用しています。パウンドリ・スキャン機能はサポートしていません。

(2) オンチップ・デバッグ

ターゲット・システム上にデバッグ用の配線やコネクタを用意することで、オンチップ・デバッグが可能です。エミュレータ接続用のコネクタには、オンチップ・デバッグ・エミュレータを接続します。

(3) 強制リセット機能

μ PD70F3186 (V850E/IA4) 全体を強制的にリセットできます。

(4) ブレーク・リセット機能

CPUのリセット解除直後からCPUをデバッグ・モードで起動できます。

(5) 強制ブレーク機能

ユーザ・プログラムの実行を強制的に中断できます (ただし、不正命令コード例外のハンドラ (先頭アドレス: 00000060H) は使用できません)。

(6) ハードウェア・ブレーク機能

命令フェッチ系 / アクセス系兼用ブレーク・ポイントを2ポイント使用できます。命令系のブレーク・ポイントでは、プログラムの実行を任意のアドレスで中断できます。アクセス系のブレーク・ポイントでは、任意のアドレスへのデータ・アクセスでプログラムの実行を中断できます。この2ポイント以外に、ソフトウェア・ブレーク機能があります。内蔵ROM領域には、最大4ポイントのソフトウェア・ブレークを設定できます。また、RAM領域に設定できるソフトウェア・ブレーク数は、使用するデバッガによって異なります。

(7) デバッグ・モニタ機能

デバッグ中はユーザのメモリ空間とは異なるデバッグ用のメモリ空間を使用します (バググラウンド・モニタ形式)。ユーザ・プログラムを任意のアドレスから実行開始可能です。

また、ユーザ・プログラム中断中のユーザ・リソース (メモリ、I/Oなど) のリード/ライトやユーザ・プログラムのダウンロードが可能です。

(8) マスク機能

各種信号のマスクが可能です。

次にオンチップ・デバッグ・エミュレータ (QB-V850MINI) 用デバッガ (ID850QB) のマスク機能および対応する機能を示します。

デバッガ (ID850QB) のマスク機能	対応する μ PD70F3186 (V850E/IA4) の機能
NMI0マスク機能	INTWDT割り込み
RESETマスク機能	RESET端子入力、およびウォッチドッグ・タイマのオーパフローによるリセット信号 (WDRES) 発生

(9) タイマ機能

ユーザ・プログラムの実行時間を測定可能です。

(10) ブレーク中の周辺機能の動作 / 停止選択機能

使用するデバッガにより、ブレーク中に周辺機能を動作させるか、停止させるかを選択可能です。

- ・ブレーク中は必ず停止する周辺機能
ウォッチドッグ・タイマ、クロック・モニタ機能
- ・ブレーク中、動作 / 停止を選択できる周辺機能 (ただし、個別の選択は不可)
A/Dコンバータ0, 1, タイマM (TMM0), タイマP (TMP0-TMP3), タイマQ (TMQ0, TMQ1),
タイマQオプション・ユニット (TMQOP0, TMQOP1)
- ・ブレーク中、動作を継続する周辺機能 (停止できない周辺機能)
上記以外の周辺機能

(11) オープン・ブレーク機能

オンチップ・デバッグ時にブレークした場合、指定したタイマ出力をハイ・インピーダンスにできます。この機能を使用することで、ブレーク時でもタイマ出力によりドライブしているデバイスおよびシステムの保護が図られます。

21.1.3 ROMセキュリティ機能

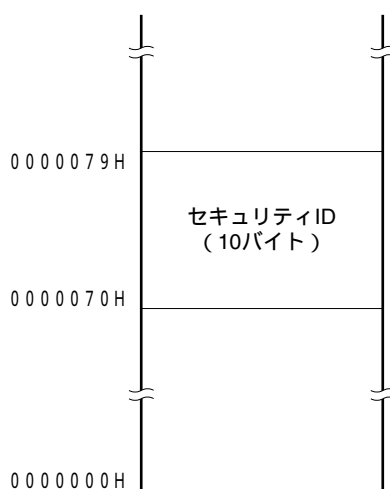
(1) セキュリティID

オンチップ・デバッグ・エミュレータによるオンチップ・デバッグ時、フラッシュ・メモリの内容を第三者に読み出されることを防ぐために、10バイトのIDコードによる認証を行います。

IDコードは、あらかじめ内蔵フラッシュ・メモリ領域の0000070H-0000079Hの10バイト分に設定し、デバッガがID認証を行います。

このID照合が一致していれば、セキュリティが解除されフラッシュ・メモリ読み出し許可、オンチップ・デバッグ・エミュレータ使用許可となります。

- ・ 10バイトのIDコードは、0000070H-0000079Hに設定します。
- ・ 0000079Hのビット7はオンチップ・デバッグ・エミュレータ使用許可フラグです。
(0: 使用禁止, 1: 使用許可)
- ・ オンチップ・デバッグ・エミュレータを起動すると、デバッガがID入力を要求します。デバッガ上で入力したIDコードと、0000070H-0000079Hに埋め込んだIDコードが一致すればデバッガが起動します。
- ・ IDコードが一致しても、オンチップ・デバッグ・エミュレータ使用許可フラグが“0”である場合は、デバッグを行うことはできません。



注意 フラッシュ・メモリのデータは消去状態では、すべて0xFFとなります。
したがって、IDコードは「FFFFFFFFFFFFFFFFFFFFH」になります。

(2) 設定方法

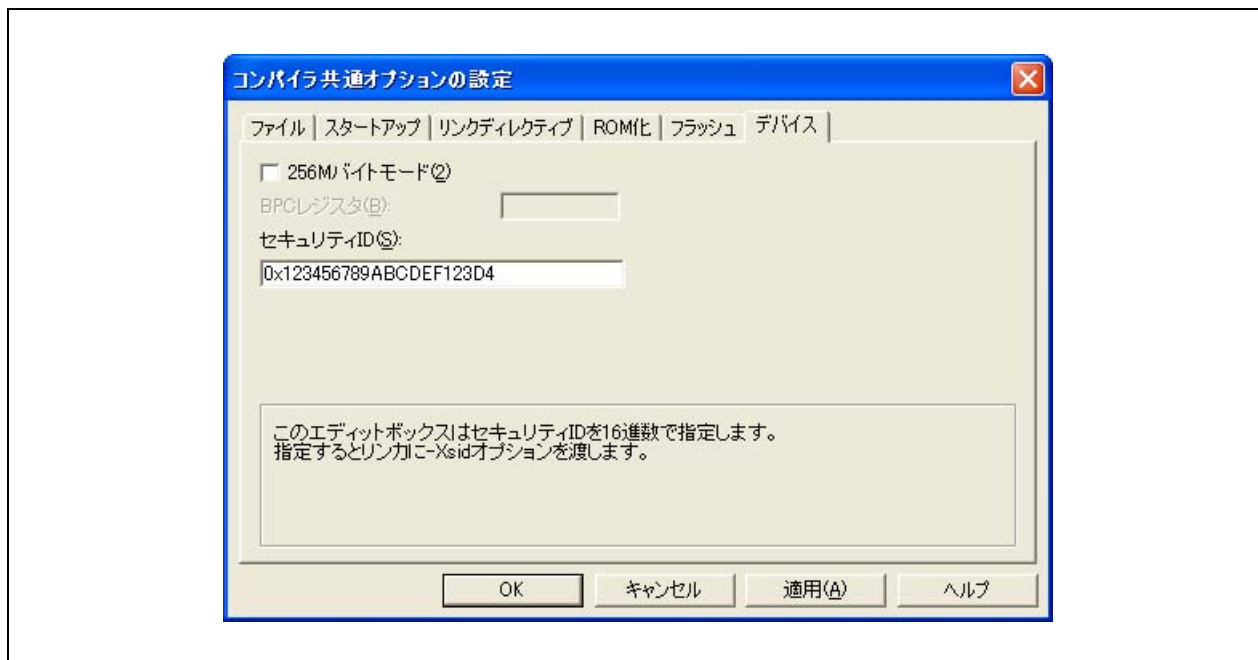
IDコードを表21 - 1のように設定する方法を次に示します。

表21 - 1のようにIDコードを設定した場合, ID850QBのコンフィグレーション・ダイアログ上で入力するIDコードは「123456789ABCDEF123D4」となります (英数字は大文字でも小文字でも同じIDコードとして認識します)。

表21 - 1 IDコード

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4

CA850 Ver. 3.10以上とセキュリティIDに対応したデバイス・ファイルであれば, PM+のコンパイラ共通オプション設定でIDコードを指定することができます。



21.2 オンチップ・デバッグ機能とポート機能 (兼用機能含む) の切り替え

μ PD70F3186 (V850E/IA4) では、P50-P52端子はオンチップ・デバッグ用の端子を兼用しています。オンチップ・デバッグ機能とポート機能 (兼用機能含む) の切り替えは $\overline{\text{DRST}}$ 端子レベルで設定します。次に設定方法を示します。

ポート5の機能	
$\overline{\text{DRST}}$ 端子にロウ・レベル入力	$\overline{\text{DRST}}$ 端子にハイ・レベル入力
P50/TIUD11/TO11	DDI
P51/TCUD11	DCK
P52/TCLR11	DMS

注意 DDI, DCK, DMS端子は、タイマENC11の入出力端子 (TIUD11, TO11, TCUD11, TCLR11) と兼用しているため、オンチップ・デバッグ機能使用時には、タイマENC11は使用できません。

21.3 オンチップ・デバッグ・エミュレータとの接続

オンチップ・デバッグ・エミュレータを接続するためには、ターゲット・システム上にエミュレータ接続用コネクタと接続用回路を実装する必要があります。

エミュレータ接続用コネクタとして、KEL社製コネクタ、MICTOR社製コネクタ（製品名：2-767004-2，販売元：タイコ エレクトロニクス アンブ株式会社），2.54 mmピッチの20ピン汎用コネクタのいずれかを選択してください。KEL社製コネクタ以外のコネクタは、エミュレータによって対応していない場合があるので、使用时には必ず使用するエミュレータのマニュアルを参照してください。

21.3.1 KEL社製コネクタ

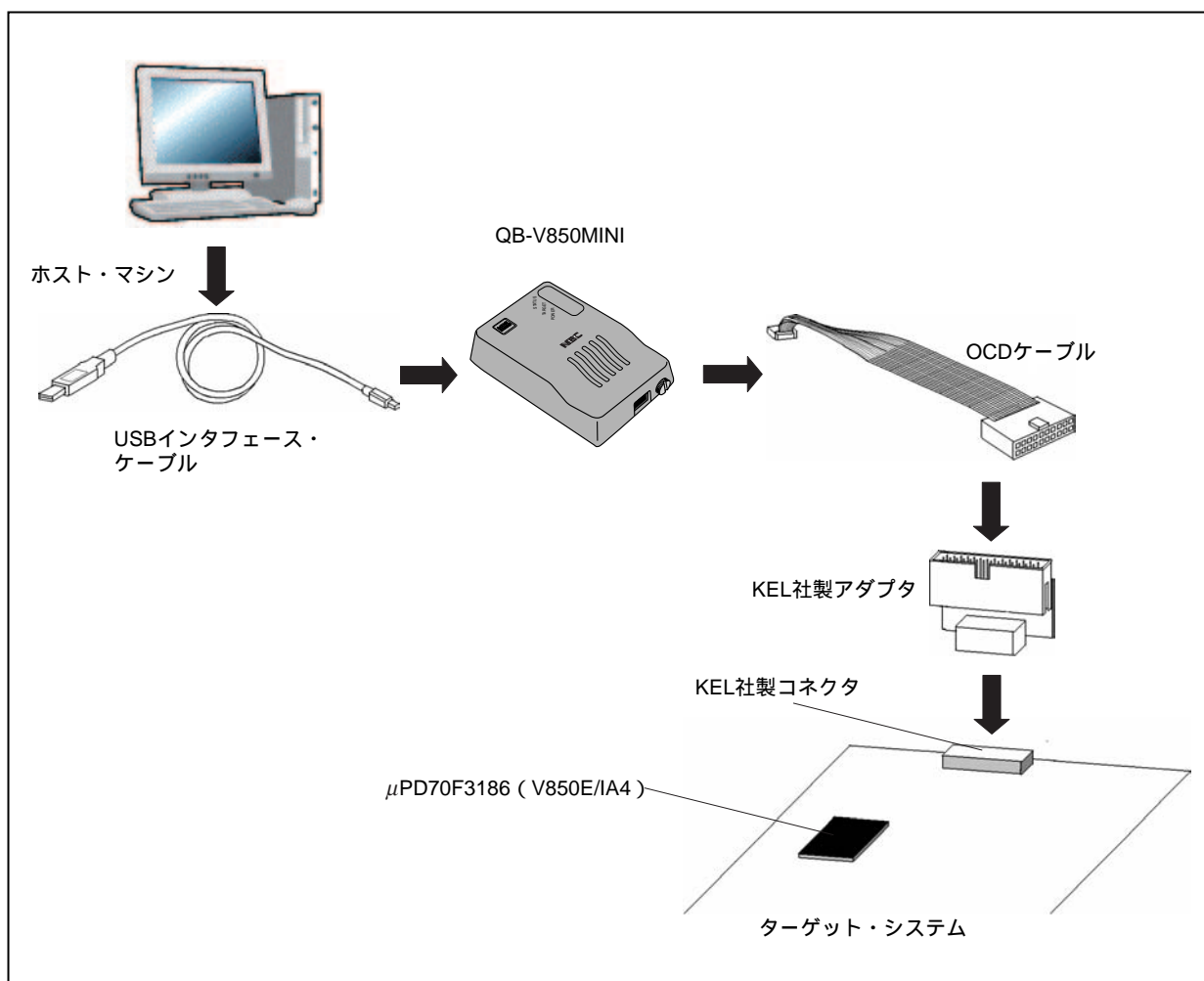
QB-V850MINIを使用する場合は、次のコネクタを推奨します。

製品名

- ・ 8830E-026-170S : ストレート・タイプ
- ・ 8830E-026-170L : ライト・アングル・タイプ

ターゲット・システム上にエミュレータと接続用回路を実装する必要があります。

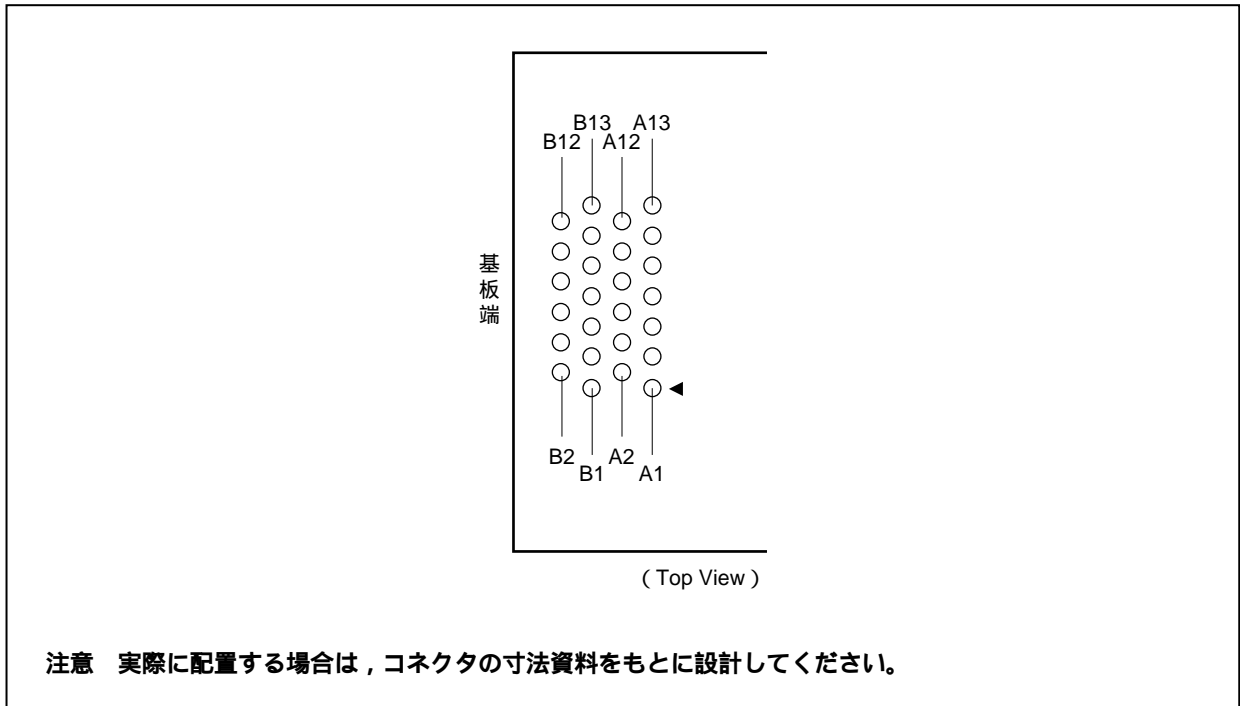
図21 - 1 オンチップ・デバッグ・エミュレータ (QB-V850MINI) との接続



(1) ピン配置図

図21 - 2にエミュレータ接続用コネクタ (ターゲット・システム側) のピン配置図を、表21 - 2にピン機能を示します。

図21 - 2 エミュレータ接続用コネクタ (ターゲット・システム側) のピン配置図



(2) ピン機能

次にエミュレータ接続用コネクタ (ターゲット・システム側) のピン機能を示します。

表21 - 2 QB-V850MINIと接続用コネクタ (ターゲット・システム側) ピン機能

ピン番号	端子名	入出力	端子機能
A1	(予約1)	-	(GNDに接続してください)
A2	(予約2)	-	(GNDに接続してください)
A3	(予約3)	-	(GNDに接続してください)
A4	(予約4)	-	(GNDに接続してください)
A5	(予約5)	-	(GNDに接続してください)
A6	(予約6)	-	(GNDに接続してください)
A7	DDI	出力	N-Wireインタフェース用データ出力
A8	DCK	出力	N-Wireインタフェース用クロック出力
A9	DMS	出力	N-Wireインタフェース用転送モード選択出力
A10	DDO	入力	N-Wireインタフェース用データ入力
A11	DRST	出力	オンチップ・デバッグ・ユニットのリセット出力
A12	(予約7)	-	(オープンにしてください)
A13	FLMD0	出力	フラッシュ・ダウンロード用制御信号
B1	GND	-	-
B2	GND	-	-
B3	GND	-	-
B4	GND	-	-
B5	GND	-	-
B6	GND	-	-
B7	GND	-	-
B8	GND	-	-
B9	GND	-	-
B10	GND	-	-
B11	PORT0_IN	-	(GNDに接続してください)
B12	PORT1_IN	-	(GNDに接続してください)
B13	V _{DD}	-	5V入力 (ターゲット電源投入監視用)

注意1. μ PD70F3186(V850E/IA4)でサポートしていない端子については、使用されるエミュレータに依存します。

2. ターゲット・ボード上のパターンは次に示す条件にする必要があります。

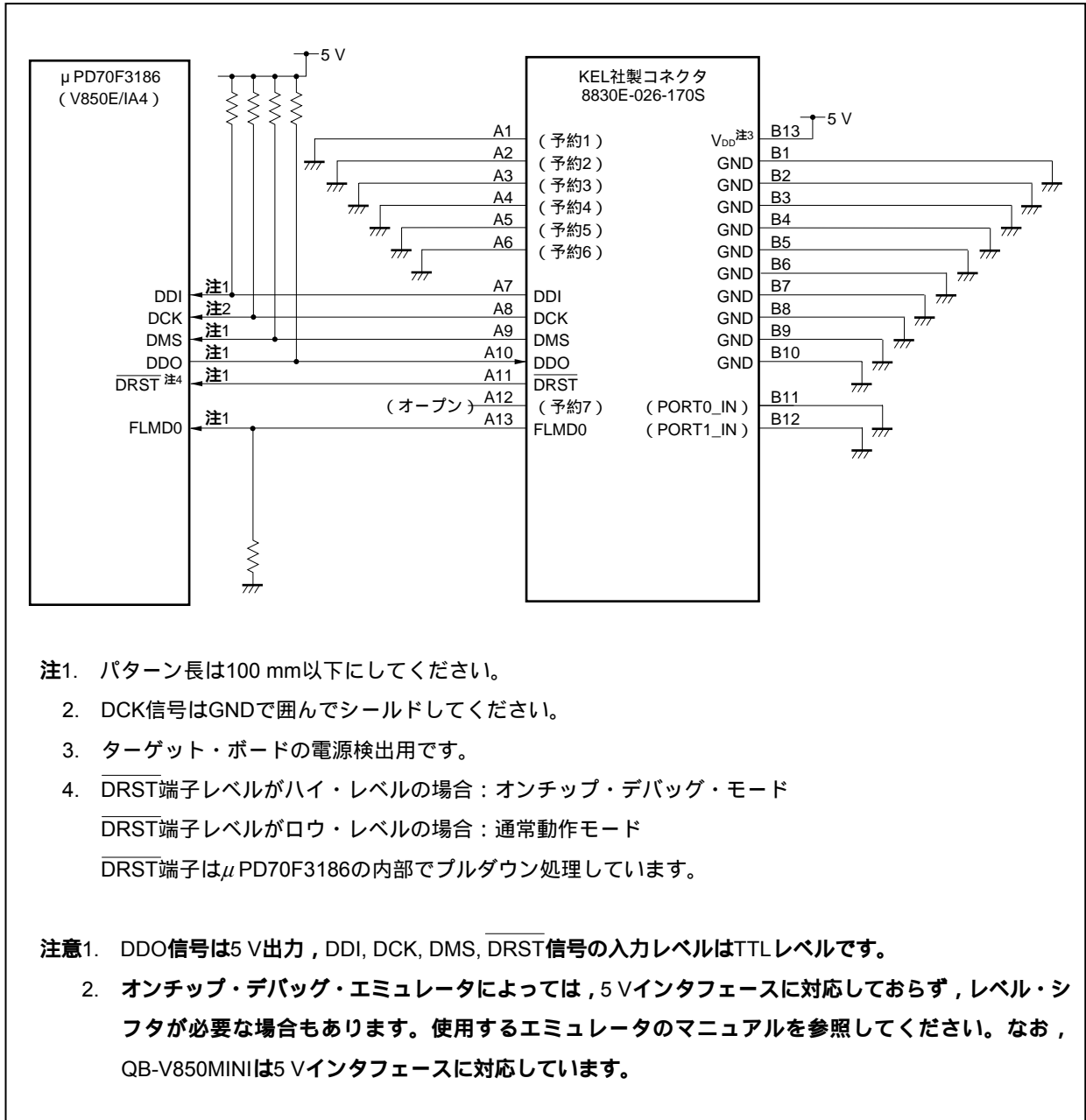
- ・パターン長は100 mm以下にしてください。
- ・クロック信号はGNDでシールドしてください。

備考 入出力はエミュレータ側からの方向です。

(3) 推奨回路例

次にエミュレータ接続用コネクタ部 (ターゲット・システム側) の推奨回路例を示します。

図21 - 3 μ PD70F3186 (V850E/IA4) とKEL社製コネクタ接続推奨回路例



21.4 注意事項

- (1) デバッグに使用したデバイスは、デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保障することができないため、量産製品に搭載しないでください。
- (2) RUN中 (プログラム実行中) にリセット入力 (ターゲット・システムからの $\overline{\text{RESET}}$ 信号入力や内部リセット要因によるリセット) があつた場合、ブレーク機能が誤動作することがあります。
- (3) リセットをマスク機能でマスクしていても、 $\overline{\text{RESET}}$ 信号が入力された際に入出力バッファ (ポート端子など) がリセット状態になります。
- (4) ブレーク中の $\overline{\text{RESET}}$ 信号入力はマスクされます。
- (5) ROMコレクション機能のエミュレーションはできません。
- (6) DDI, DCK, DMS端子は、タイマENC11の入出力端子 (TIUD11, TO11, TCUD11, TCLR11) と兼用しているため、オンチップ・デバッグ機能使用時には、タイマENC11は使用できません。
- (7) オンチップ・デバッグ機能使用時には、STOPモードに設定してもクロック・ジェネレータ、PLLは動作を継続します。

第22章 フラッシュ・メモリ

μ PD70F3184 (V850E/IA3) , μ PD70F3186 (V850E/IA4) はフラッシュ・メモリ内蔵品で、256 Kバイトのフラッシュ・メモリを内蔵しています。

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品ではなく) で十分に評価してください。

フラッシュ・メモリ内蔵品を使用した開発用途および量産用途として次のようなことが考えられます。

ターゲット・システムにV850E/IA3, V850E/IA4を半田実装後、ソフトウェアの変更可能
量産立ち上げ時のデータ調整が容易
規格ごとにソフトウェアを区別することで少量多品種生産が容易
在庫管理が容易
出荷後のソフトウェアのアップデートが容易

22.1 特 徴

4バイト/1クロック・アクセス (命令フェッチ時)

容量 : 256 Kバイト

書き換え電圧 : 単電源による消去 / 書き込みが可能

書き換え方式

- ・専用フラッシュ・メモリ・プログラマとのシリアル・インタフェースを介しての通信による書き換え (オンボード / オフボード・プログラミング)
- ・ユーザ・プログラムによるフラッシュ・メモリの書き換え (セルフ・プログラミング)

フラッシュ・メモリの書き換え禁止機能をサポート (セキュリティ機能)

ブート・スワップ機能により、セルフ・プログラミングによる全フラッシュ・メモリ領域の安全な書き換えが可能

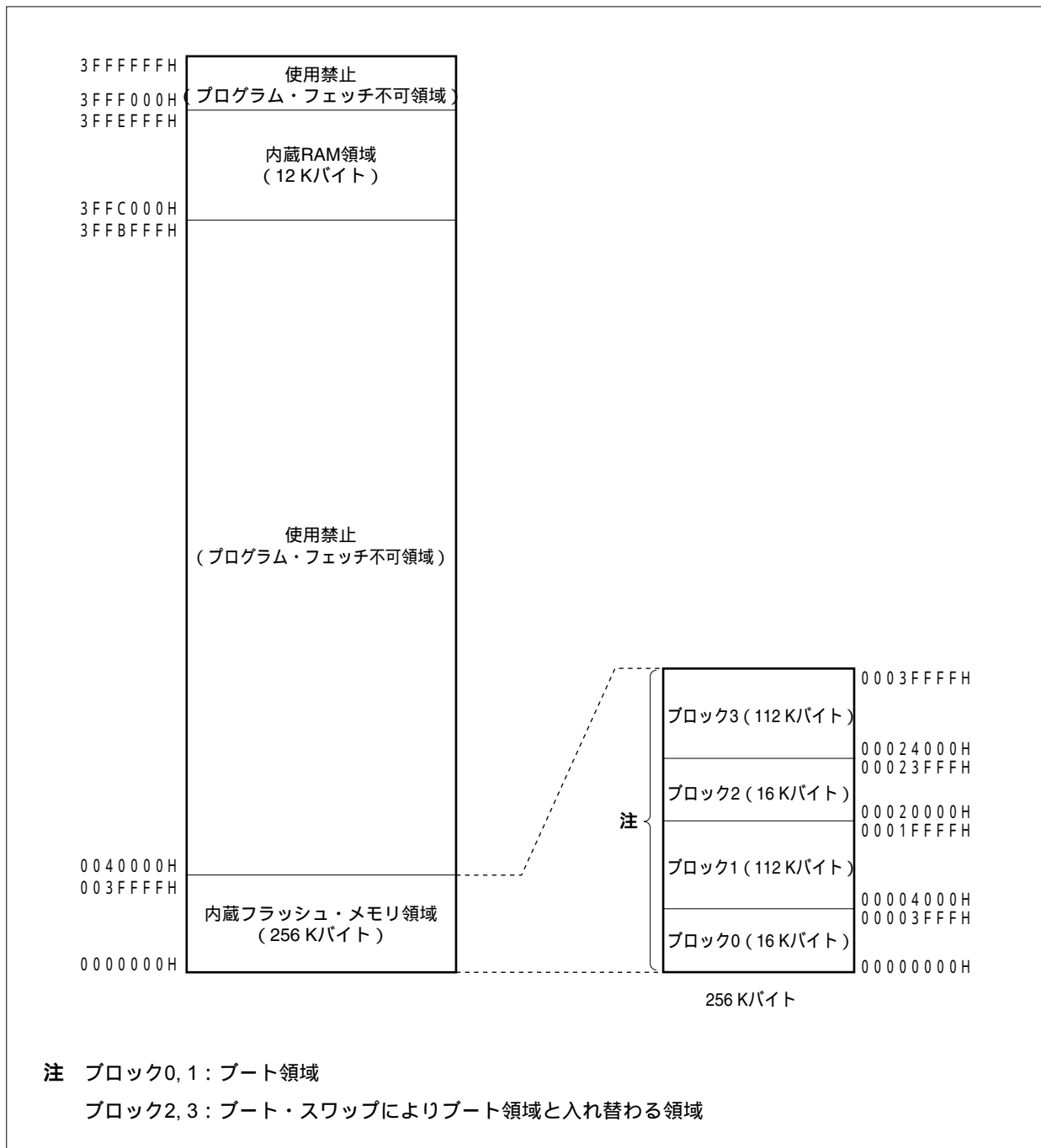
セルフ・プログラミング中の割り込み受け付け可能

22.2 メモリ構成

256 Kバイトの内蔵フラッシュ・メモリの領域は4個のブロックに分割されており、各ブロック単位にてプログラム/消去可能となっています。全ブロックの一括消去も可能です。

また、ブート・スワップ機能を用いた場合、ブロック0, 1のアドレスに配置された物理メモリと、ブロック2, 3のアドレスに配置された物理メモリが入れ替わります。ブート・スワップ機能詳細については、22.5 セルフ・プログラミングによる書き換えを参照してください。

図22-1 フラッシュ・メモリ・マッピング



22.3 機能概要

V850E/IA3, V850E/IA4の内蔵フラッシュ・メモリは、専用フラッシュ・メモリ・プログラマによる書き換え機能により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です（オンボード/オフボード・プログラミング）。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は、ターゲット・システムの製造/出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

表22 - 1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・メモリ・プログラマを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・メモリ・プログラマと専用プログラム・アダプタボード（FAシリーズ）を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オンボード/オフボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。（セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので、内蔵RAMもしくは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。）	通常動作モード

備考 FAシリーズは、（株）内藤電誠町田製作所の製品です。

表22 - 2 基本機能一覧

機能	機能概要	サポートの有無 (: サポート, × : 未サポート)	
		オンボード/オフボード・ プログラミング	セルフ・プログラミング
ブロック消去	指定したブロックのメモリの内容の消去を行います。		
チップ消去	全メモリの内容の一括消去を行います。		×
書き込み	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。		
ベリファイ/チェック・サム	フラッシュ・メモリから読み出したデータと、フラッシュ・メモリ・プログラムから転送されたデータの比較を行います。		× (ユーザ・プログラムにて読み出しは可能)
ブランク・チェック	全メモリの消去状態の確認を行います。		
セキュリティ設定	ブロック消去コマンド/チップ消去コマンド/プログラム・コマンド/リード・コマンドの使用禁止設定, およびブート領域の書き換え禁止設定を行います。		× (設定を許可から禁止にする場合のみ可能)

次にセキュリティ機能の一覧を示します。ブロック消去コマンド禁止/チップ消去コマンド禁止/プログラム・コマンド禁止機能は、出荷後の初期状態はすべて許可になっており、オンボード/オフボード・プログラミングによる書き換えでのみセキュリティ設定が可能です。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

表22 - 3 セキュリティ機能一覧

機能	機能概要
ブロック消去コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
チップ消去コマンド禁止	全ブロックに対してのブロック消去および、チップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため、すべての禁止設定の初期化ができなくなります。
プログラム・コマンド禁止	全ブロックに対してのプログラム・コマンドとブロック消去コマンドを禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
リード・コマンド禁止	全ブロックに対してのリード・コマンドを禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
ブート領域の書き換え禁止設定	ブロック0から指定した最終ブロックまでブート領域を保護することが可能です。ブート領域を保護すると、それ以降保護されたブート領域の書き換え(消去および書き込み)はできません。チップ消去コマンドを実行しても、禁止設定の初期化はできません。

表22-4 セキュリティ設定

機能	各セキュリティ設定時の消去/書き込み/読み出し動作 (:実行可能, x :実行不可, :未サポート)		セキュリティ設定 注意事項	
	オンボード/オフボード・ プログラミング	セルフ・プログラミング	オンボード/オ フボード・プロ グラミング	セルフ・プログ ラミング
ブロック消去 コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : プログラム・コマンド : リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	設定を許可から 禁止にする場合 のみ可能
チップ消去 コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : x プログラム・コマンド : ^{注1} リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	禁止設定の初期 化が不可能	
プログラム・ コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : プログラム・コマンド : x リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
リード・ コマンド禁止	ブロック消去コマンド : チップ消去コマンド : プログラム・コマンド : リード・コマンド : x	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
ブート領域の書 き換え禁止	ブロック消去コマンド : ^{注2} チップ消去コマンド : x プログラム・コマンド : ^{注2} リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	禁止設定の初期 化が不可能	

注1. 消去コマンドは無効となるため,すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできません。

2. 書き換えが禁止されたブート領域は無効です。

(1) PG-FP4, PG-FP5でのセキュリティ設定 (Security flag settings)

リード・コマンド禁止 (Disable Read) に設定する場合、セキュリティを高めるために、ブロック消去コマンド禁止 (Disable Block Erase) とプログラム・コマンド禁止 (Disable Program) にすることを推奨します。

さらに、マスクROM製品と同様にプログラムを書き換える必要がない場合は、チップ消去コマンド禁止 (Disable Chip Erase) を追加してください。

The screenshot shows the 'Properties' dialog box with the 'Advanced' tab selected. A dashed box labeled '注1' encloses the 'Supply voltage', 'Program download/upload', and 'Command options' sections. '注2' points to the 'Boot block cluster setting' section. The 'Security flag settings' section has 'Disable Block Erase' and 'Disable Program' checked, while 'Disable Chip Erase', 'Disable Read', and 'Disable Boot block cluster reprogramming' are unchecked. The 'Reset vector' is set to '000000 h'.

注1. 破線内のSupply voltage, Program download/upload, Command optionsに関しては使用条件に応じて設定してください。

2. ブート領域 (Boot block cluster setting) の書き換えを禁止する場合は、Security flag settingのDisable Boot block cluster reprogrammingを選択し、書き換えを禁止するブート領域の最終ブロックを選択してください。

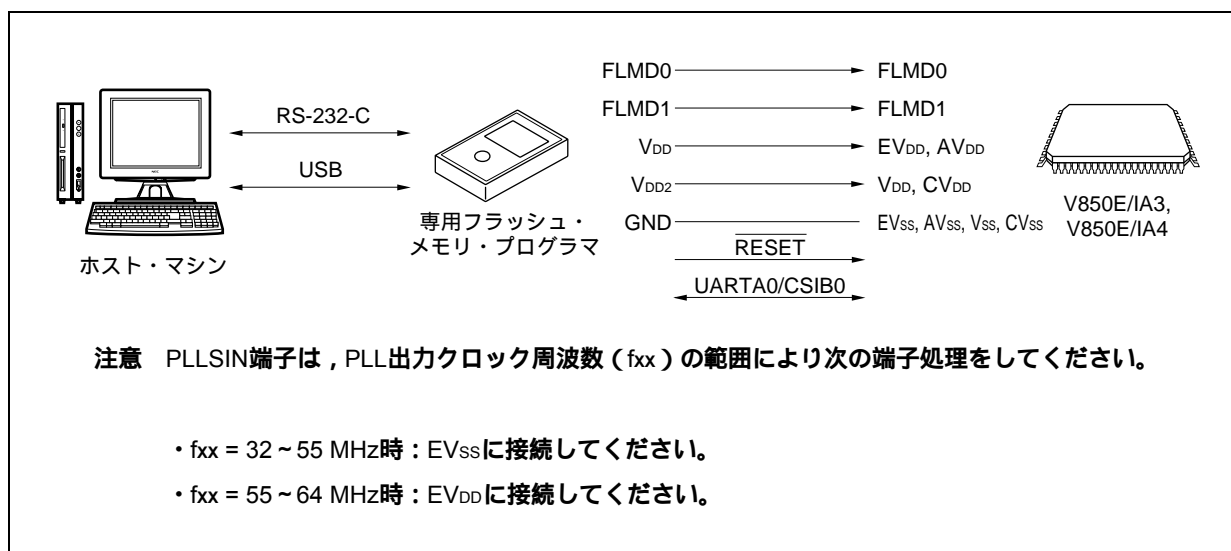
22.4 専用フラッシュ・メモリ・プログラマでの書き換え

専用フラッシュ・メモリ・プログラマにて、ターゲット・システム上にV850E/IA3, V850E/IA4を実装後のフラッシュ・メモリの書き換えが可能です(オンボード・プログラミング)。また、専用プログラム・アダプタ(FAシリーズ)を使用すれば、ターゲット・システムに実装する前でのフラッシュ・メモリの書き換えが可能です(オフボード・プログラミング)。

22.4.1 プログラミング環境

V850E/IA3, V850E/IA4のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図22-2 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマとV850E/IA3, V850E/IA4とのインターフェースはUARTA0またはCSIB0を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ(FAシリーズ)が必要です。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

22.4.2 通信方式

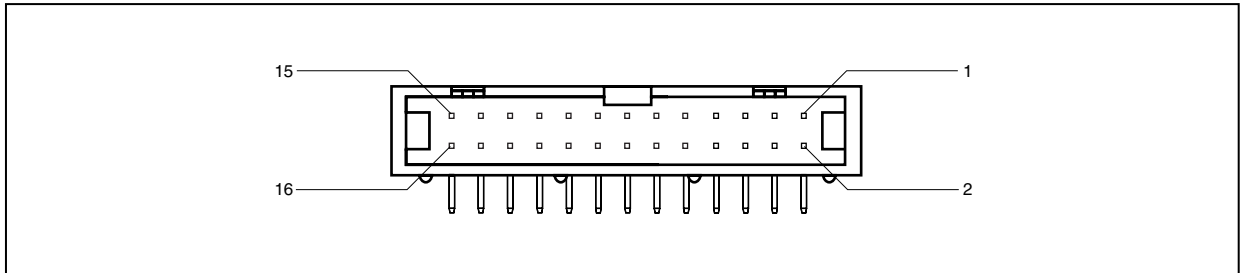
専用フラッシュ・メモリ・プログラマとV850E/IA3, V850E/IA4との通信は, UARTA0またはCSIB0によるシリアル通信で行います。

備考 推奨ターゲット・コネクタは次のとおりです。

・7616-5002SC (住友スリーエム株式会社製)

次にターゲット・コネクタ概要 (コネクタ挿入面側から見た図) を示します。

図22 - 3 ターゲット・コネクタ概要 (コネクタ挿入面側から見た図)



(1) UARTA0

転送レート : 9600-153600 bps

表22 - 5 専用フラッシュ・メモリ・プログラマとV850E/IA3, V850E/IA4との配線対応表

端子番号	専用フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5)	入出力 (PG-FP4, PG-FP5側)	V850E/IA3, V850E/IA4			
			端子名	ピン番号		
				V850E/IA3	V850E/IA4	
					GC	GC
1	GND	-	EV _{SS} , AV _{SS} , V _{SS} , CV _{SS}	8, 10, 26, 31, 35, 39, 52, 67, 73	10, 12, 31, 39, 46, 51, 65, 72, 85, 91	13, 19, 38, 40, 59, 67, 74, 79, 93, 100
2	RESET	出力	RESET	36	47	75
3	SI/RxD	入力	TXDA0	42	53	81
4	V _{DD}	-	EV _{DD} , AV _{DD}	7, 11, 30, 74	9, 13, 38, 73, 92	1, 20, 37, 41, 66
5	SO/TxD	出力	RXDA0	41	52	80
6	V _{PP}	×	NC	-	-	-
7	SCK	×	NC	-	-	-
8	H/S	×	NC	-	-	-
9	CLK ^{注1}	出力	X1 ^{注1}	34	45	73
10	VDE	×	NC	-	-	-
11	V _{DD2}	-	V _{DD} , CV _{DD}	25, 32, 40, 51, 68	30, 43, 50, 64, 86	14, 58, 71, 78, 92
12	FLMD1	出力	注2	56	69	97
13	RFU-1	×	NC	-	-	-
14	FLMD0	出力	FLMD0	69	87	15
15	Not used	×	NC	-	-	-
16	Not used	×	NC	-	-	-

注1. V850E/IA3, V850E/IA4は外部クロックを禁止しています。ボード上に発振子を搭載してください。

2. FLMD1または抵抗を介してGNDに接続してください。

注意 PLLSIN端子は, PLL出力クロック周波数 (f_{xx}) の範囲により次の端子処理をしてください。

- f_{xx} = 32 ~ 55 MHz時 : EV_{SS}に接続してください。
- f_{xx} = 55 ~ 64 MHz時 : EV_{DD}に接続してください。

備考 NC : No Connection

GC (V850E/IA3) : 80ピン・プラスチックQFP (14 × 14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14 × 20)

(2) CSIB0

転送レート : 2.4 kHz-2500 kHz (MSBファースト)

表22 - 6 専用フラッシュ・メモリ・プログラマとV850E/IA3, V850E/IA4との配線対応表

端子番号	専用フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5)	入出力 (PG-FP4, PG-FP5側)	V850E/IA3, V850E/IA4			
			端子名	ピン番号		
				V850E/IA3	V850E/IA4	
				GC	GC	GF
1	GND	-	EV _{SS} , AV _{SS} , V _{SS} , CV _{SS}	8, 10, 26, 31, 35, 39, 52, 67, 73	10, 12, 31, 39, 46, 51, 65, 72, 85, 91	13, 19, 38, 40, 59, 67, 74, 79, 93, 100
2	RESET	出力	RESET	36	47	75
3	SI/RxD	入力	SOB0	28	33	61
4	VDD	-	EV _{DD} , AV _{DD}	7, 11, 30, 74	9, 13, 38, 73, 92	1, 20, 37, 41, 66
5	SO/TxD	出力	SIB0	27	32	60
6	VPP	×	NC	-	-	-
7	SCK	出力	SCKB0	29	34	62
8	H/S	×	NC	-	-	-
9	CLK ^{注1}	出力	X1 ^{注1}	34	45	73
10	VDE	×	NC	-	-	-
11	VDD2	-	VDD, CV _{DD}	25, 32, 40, 51, 68	30, 43, 50, 64, 86	14, 58, 71, 78, 92
12	FLMD1	出力	注2	56	69	97
13	RFU-1	×	NC	-	-	-
14	FLMD0	出力	FLMD0	69	87	15
15	Not used	×	NC	-	-	-
16	Not used	×	NC	-	-	-

注1. V850E/IA3, V850E/IA4は外部クロックを禁止しています。ボード上に発振子を搭載してください。

2. FLMD1または抵抗を介してGNDに接続してください。

注意 PLLSIN端子は, PLL出力クロック周波数 (f_{xx}) の範囲により次の端子処理をしてください。

- f_{xx} = 32 ~ 55 MHz時 : EV_{SS}に接続してください。
- f_{xx} = 55 ~ 64 MHz時 : EV_{DD}に接続してください。

備考 NC : No Connection

GC (V850E/IA3) : 80ピン・プラスチックQFP (14 × 14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14 × 20)

(3) CSIB0 + HS

転送レート : 2.4 kHz-2500 kHz (MSBファースト)

表22 - 7 専用フラッシュ・メモリ・プログラマとV850E/IA3, V850E/IA4との配線対応表

端子番号	専用フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5)	入出力 (PG-FP4, PG-FP5側)	V850E/IA3, V850E/IA4			
			端子名	ピン番号		
				V850E/IA3	V850E/IA4	
				GC	GC	GF
1	GND	-	EV _{SS} , AV _{SS} , V _{SS} , CV _{SS}	8, 10, 26, 31, 35, 39, 52, 67, 73	10, 12, 31, 39, 46, 51, 65, 72, 85, 91	13, 19, 38, 40, 59, 67, 74, 79, 93, 100
2	RESET	出力	RESET	36	47	75
3	SI/RxD	入力	SOB0	28	33	61
4	V _{DD}	-	EV _{DD} , AV _{DD}	7, 11, 30, 74	9, 13, 38, 73, 92	1, 20, 37, 41, 66
5	SO/TxD	出力	SIB0	27	32	60
6	V _{PP}	×	NC	-	-	-
7	SCK	出力	SCKB0	29	34	62
8	H/S	入力	P43	37	48	76
9	CLK ^{注1}	出力	X1 ^{注1}	34	45	73
10	V _{DE}	×	NC	-	-	-
11	V _{DD2}	-	V _{DD} , CV _{DD}	25, 32, 40, 51, 68	30, 43, 50, 64, 86	14, 58, 71, 78, 92
12	FLMD1	出力	注2	56	69	97
13	RFU-1	×	NC	-	-	-
14	FLMD0	出力	FLMD0	69	87	15
15	Not used	×	NC	-	-	-
16	Not used	×	NC	-	-	-

注1. V850E/IA3, V850E/IA4は外部クロックを禁止しています。ボード上に発振子を搭載してください。

2. FLMD1または抵抗を介してGNDに接続してください。

注意 PLLSIN端子は、PLL出力クロック周波数 (f_{xx}) の範囲により次の端子処理をしてください。

- f_{xx} = 32 ~ 55 MHz時 : EV_{SS}に接続してください。
- f_{xx} = 55 ~ 64 MHz時 : EV_{DD}に接続してください。

備考 NC : No Connection

GC (V850E/IA3) : 80ピン・プラスチックQFP (14 × 14)

GC (V850E/IA4) : 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

GF (V850E/IA4) : 100ピン・プラスチックQFP (14 × 20)

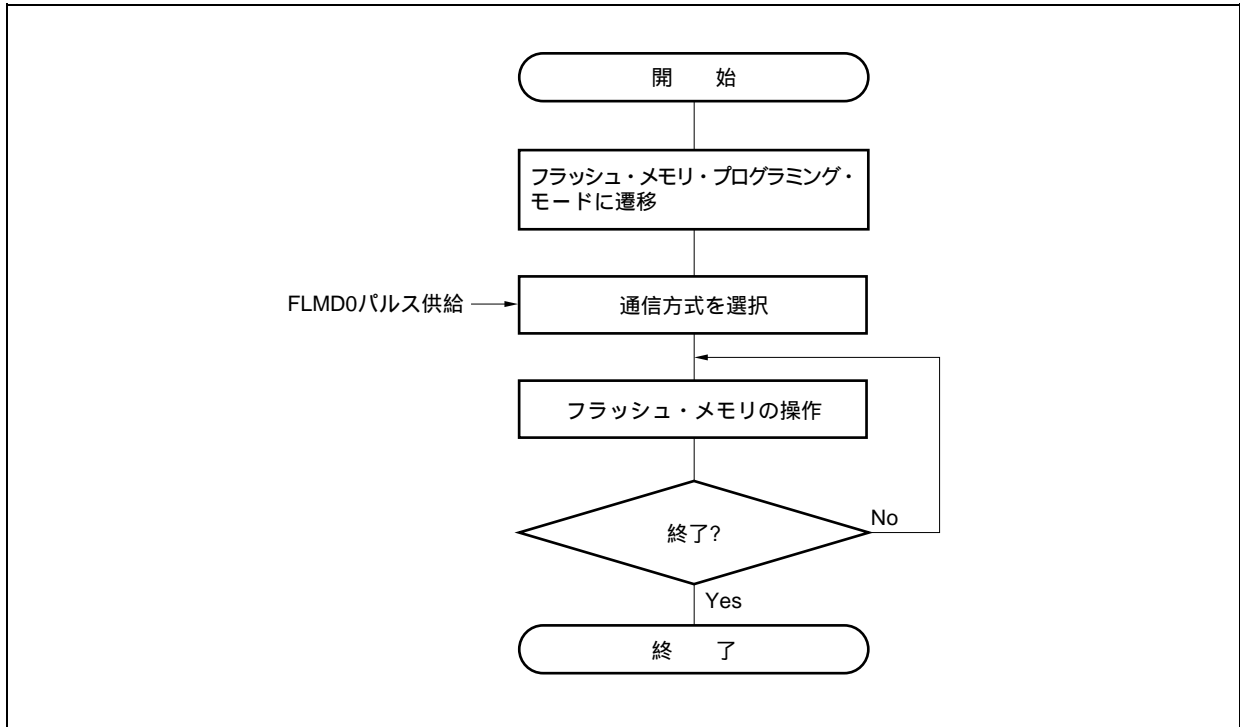
専用フラッシュ・メモリ・プログラマが転送クロックを出力し、V850E/IA3, V850E/IA4はスレーブとして動作します。

専用フラッシュ・メモリ・プログラマとしてPG-FP4, PG-FP5を使用した場合、PG-FP4, PG-FP5はV850E/IA3, V850E/IA4に対して次の信号を生成します。詳細はPG-FP4 **ユーザズ・マニュアル (U15260J)**, PG-FP5 **ユーザズ・マニュアル (U18865J)** を参照してください。

22.4.3 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図22-4 フラッシュ・メモリの操作手順

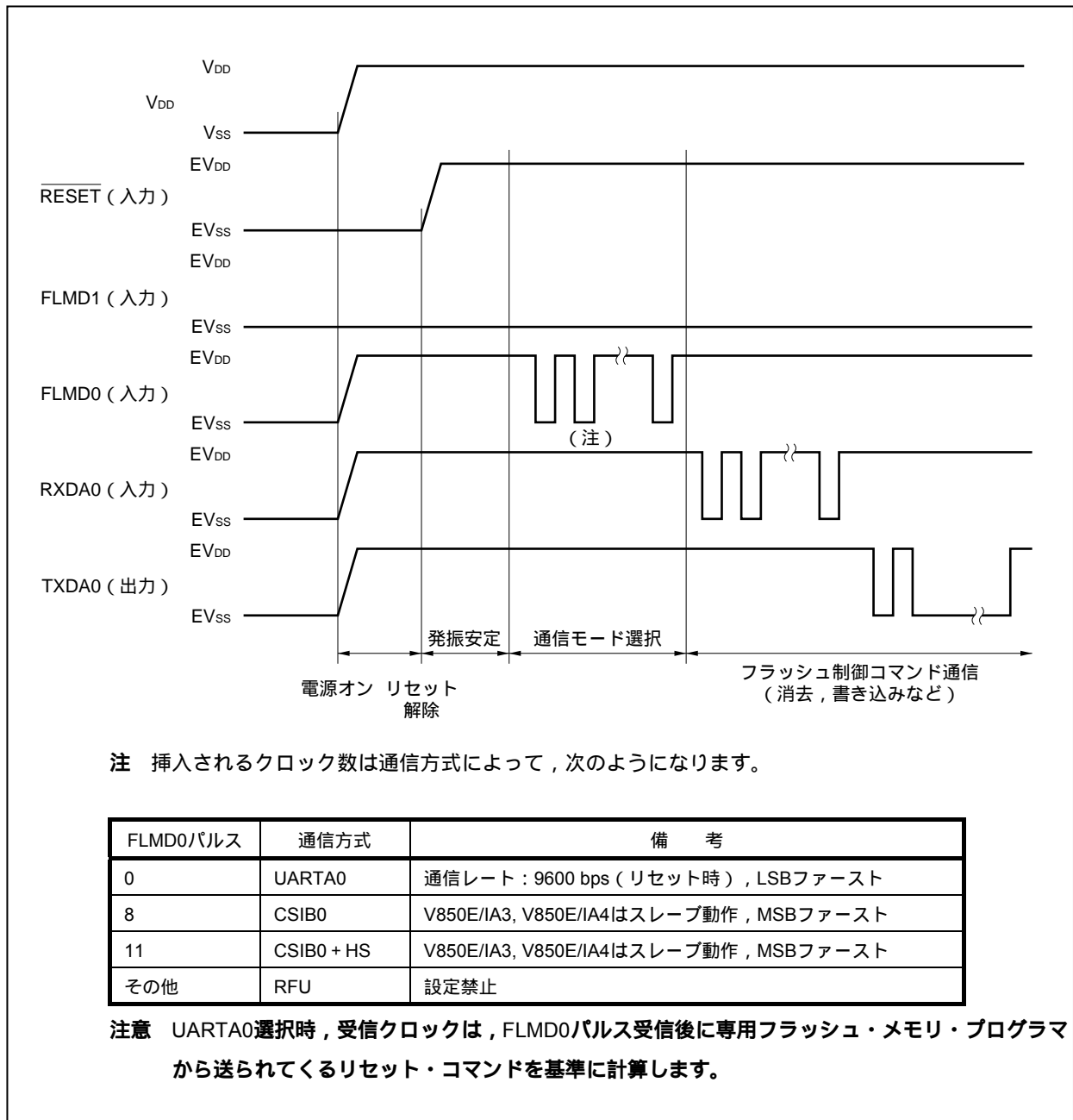


22.4.4 通信方式の選択

V850E/IA3, V850E/IA4では、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大11パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

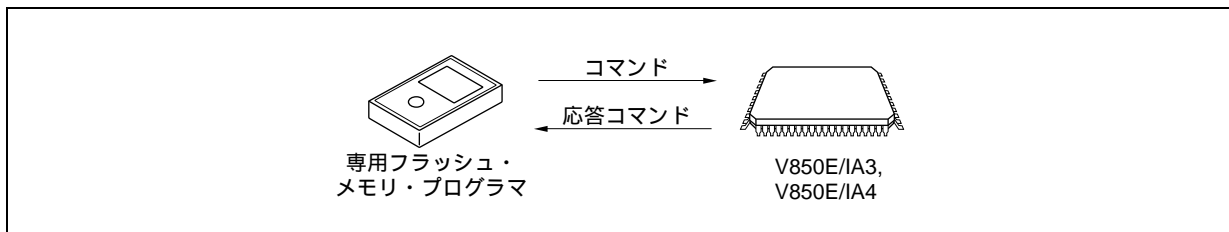
図22 - 5 通信方式の選択



22.4.5 通信コマンド

V850E/IA3, V850E/IA4と専用フラッシュ・メモリ・プログラマは, コマンドを介して通信します。専用フラッシュ・メモリ・プログラマからV850E/IA3, V850E/IA4へ送られる信号を「コマンド」と呼び, V850E/IA3, V850E/IA4から専用フラッシュ・メモリ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。

図22 - 6 通信コマンド



V850E/IA3, V850E/IA4のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され, V850E/IA3, V850E/IA4がコマンドに対応した各処理を行います。

表22 - 8 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	対応			機能
		CSIB0	CSIB0+HS	UARTA0	
ブランク・チェック	ブロック・ブランク・チェック・コマンド				指定したブロックのメモリの消去状態を確認
消去	チップ消去コマンド				全メモリの内容を消去
	ブロック消去コマンド				指定したブロックのメモリの内容を消去
書き込み	プログラム・コマンド				指定したアドレス範囲の書き込み, 内容ベリファイ・チェックを実行
ベリファイ	ベリファイ・コマンド				指定したアドレス範囲のメモリの内容と, フラッシュ・メモリ・プログラマから転送されたデータを比較
	チェック・サム・コマンド				指定したアドレス範囲のチェック・サムを読み出す。
システム設定, 制御	シリコン・シグネチャ・コマンド				シリコン・シグネチャ情報を読み出す
	セキュリティ設定コマンド				チップ消去コマンド, ブロック消去コマンド, プログラム・コマンド, リード・コマンドの禁止設定, およびブート領域の書き換え禁止設定

22.4.6 端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタ（推奨ターゲット・コネクタ：7616-5002SC（住友スリーエム株式会社製））を設けます。また、オンボード上に通常動作モード（シングルチップ・モード）からフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

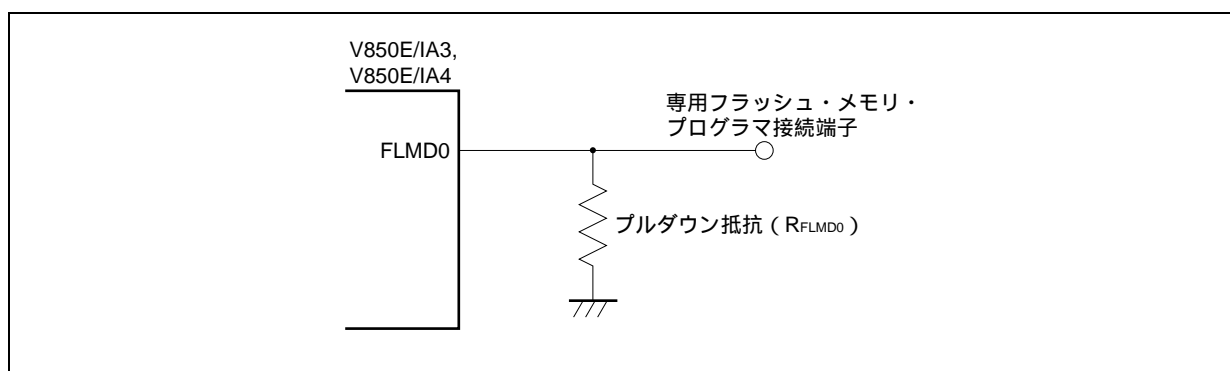
フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

(1) FLMD0端子

通常動作モード時は、FLMD0端子にEV_{SS}レベルの電圧を入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子にEV_{DD}レベルの書き込み電圧を供給します。

また、FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため、書き換え前にポート制御などによって、FLMD0端子にEV_{DD}レベルの電圧を供給する必要があります。詳細は、22.5.5 (1) FLMD0端子を参照してください。

図22-7 FLMD0端子の接続例



(2) FLMD1端子

FLMD0端子に0 Vを入力された場合、FLMD1端子は機能しません。FLMD0端子にEV_{DD}が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子に0 Vを入力する必要があります。FLMD1端子の接続例を次に示します。

図22-8 FLMD1端子の接続例

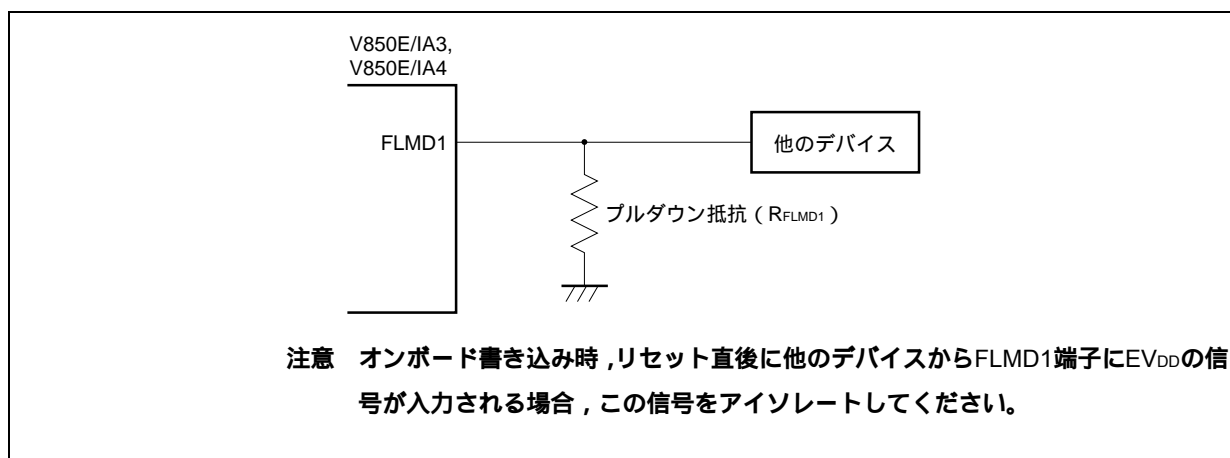


表22 - 9 リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
EV _{DD}	0	フラッシュ・メモリ・プログラミング・モード
EV _{DD}	EV _{DD}	設定禁止

(3) シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表22 - 10 各シリアル・インタフェースが使用する端子

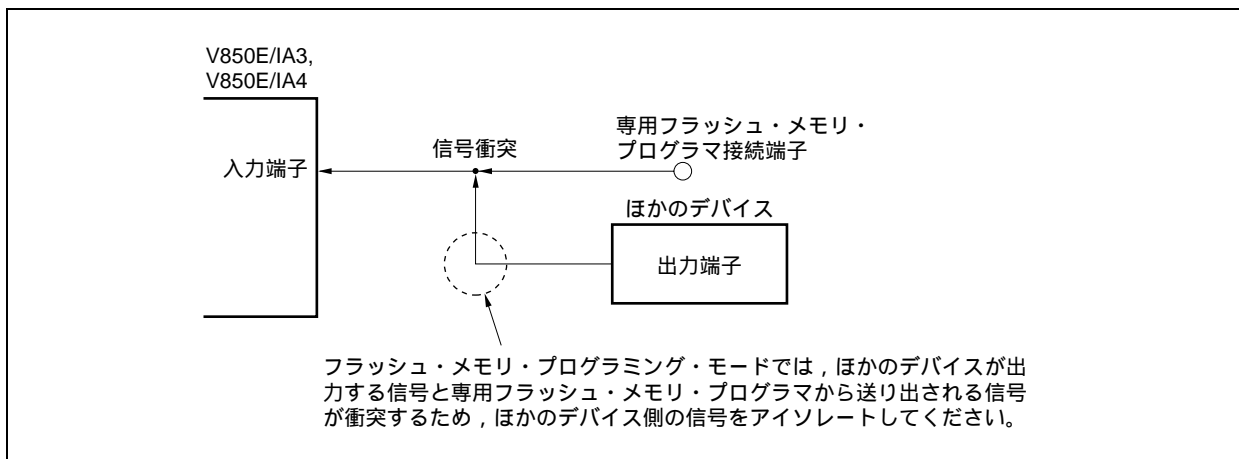
シリアル・インタフェース	使用端子
UARTA0	TXDA0, RXDA0
CSIB0	SOB0, SIB0, SCKB0
CSIB0 + HS	SOB0, SIB0, SCKB0, P43

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(a) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

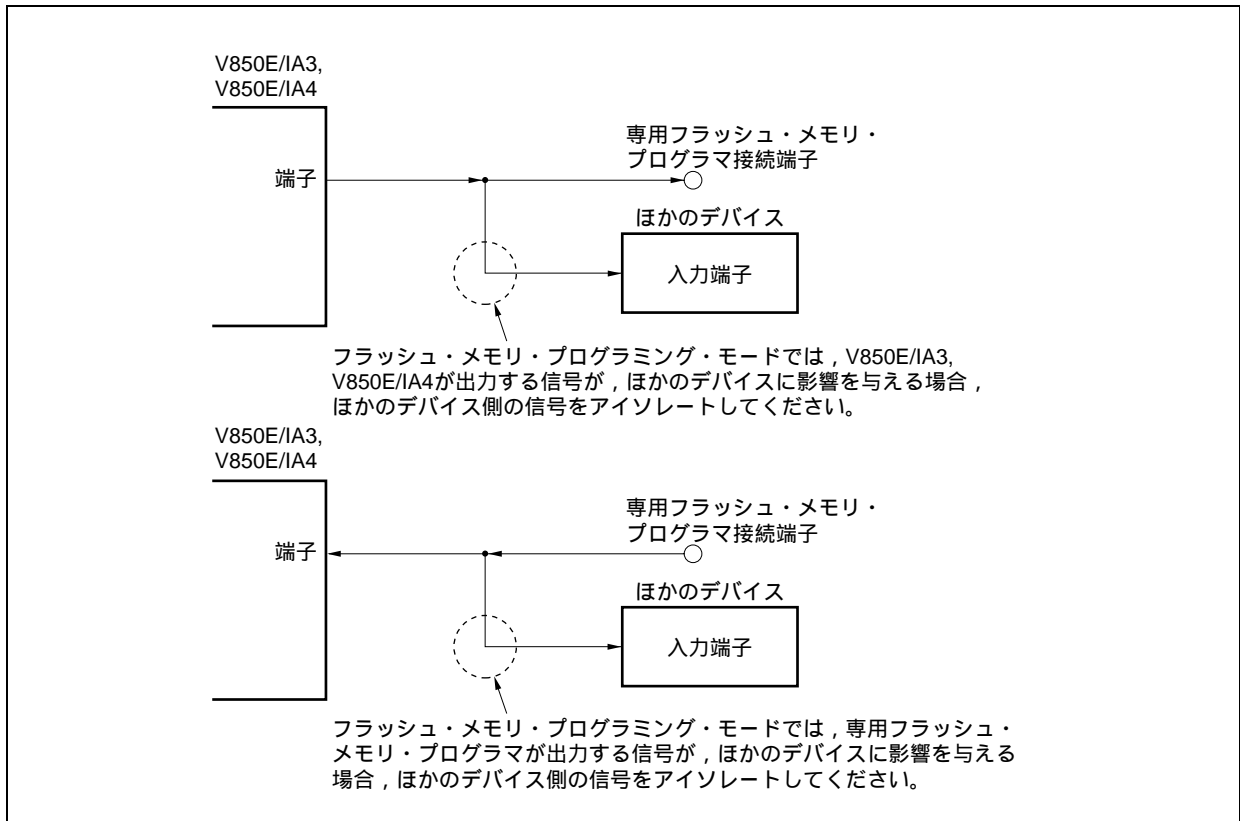
図22 - 9 信号の衝突（シリアル・インタフェースの入力端子）



(b) ほかのデバイスの異常動作

ほかのデバイス(入力)と接続しているシリアル・インタフェース用の端子(入力または出力)に、専用フラッシュ・メモリ・プログラマ(出力または入力)を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図22 - 10 ほかのデバイスの異常動作

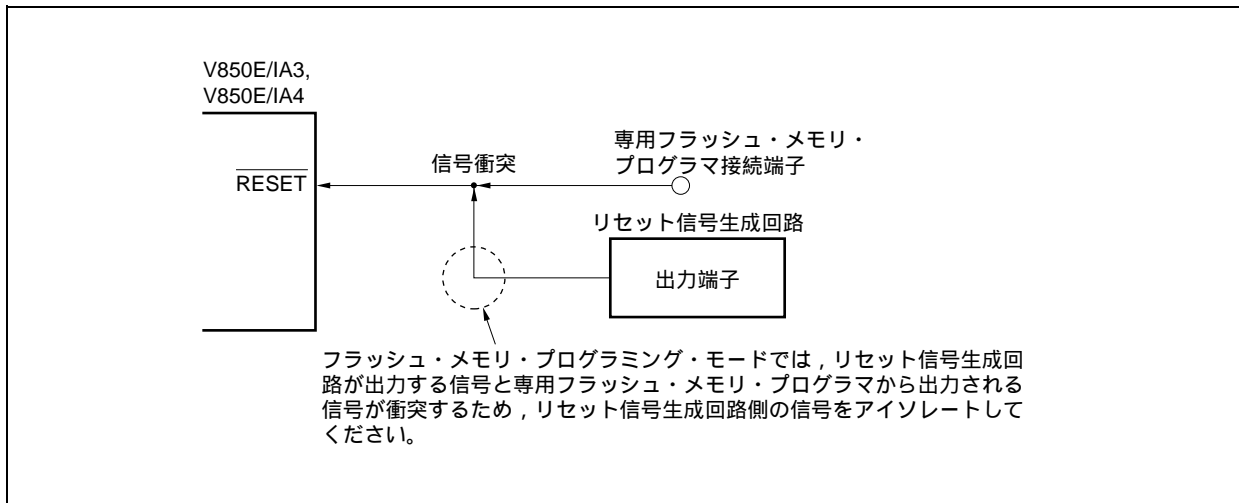


(4) RESET端子

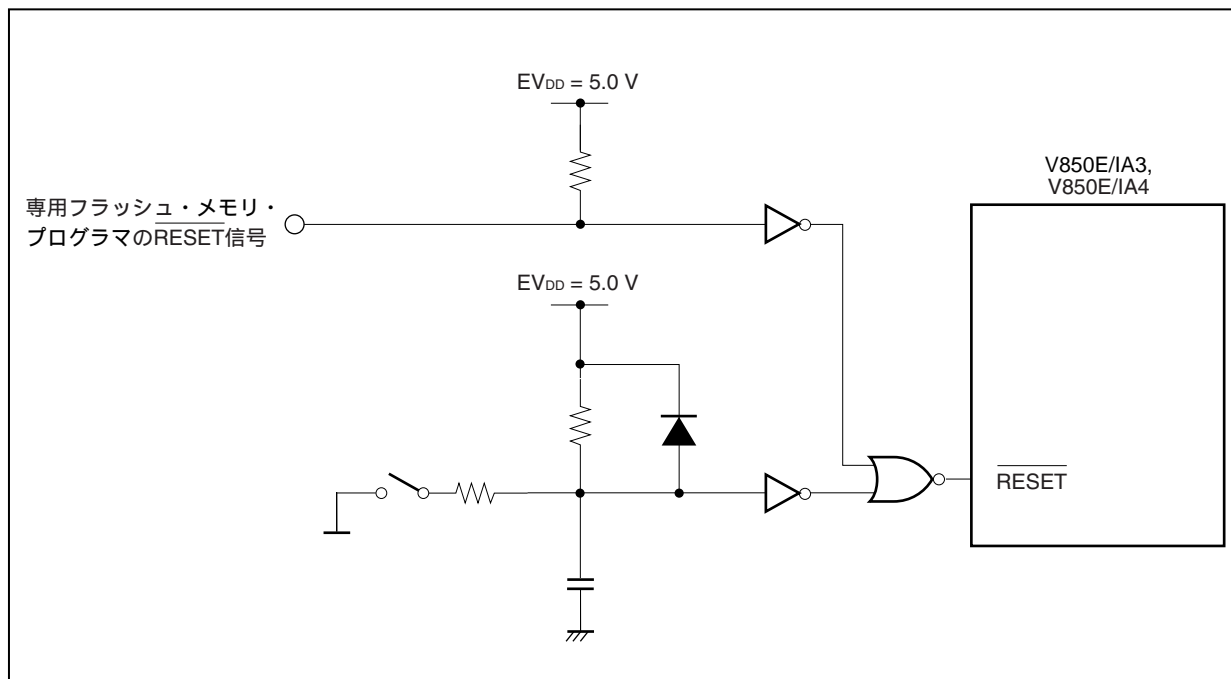
オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラムのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図22 - 11 信号の衝突 (RESET端子)



また、専用フラッシュ・メモリ・プログラムのRESET信号とV850E/IA3, V850E/IA4のRESET信号が同じ状態となる箇所でデバイスのRESET端子と接続してください。



(5) ポート端子

フラッシュ・メモリ・プログラミング・モードに設定すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してEV_{DD}に接続するか、または抵抗を介してEV_{SS}に接続するなどの端子処理が必要です。

(6) PLLSIN端子

PLLSIN端子は、PLL出力クロック周波数 (f_{xx}) の範囲により次の端子処理をしてください。

- ・ $f_{xx} = 32 \sim 55$ MHz時：EV_{SS}に接続してください。
- ・ $f_{xx} = 55 \sim 64$ MHz時：EV_{DD}に接続してください。

(7) その他の信号端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

(8) 電 源

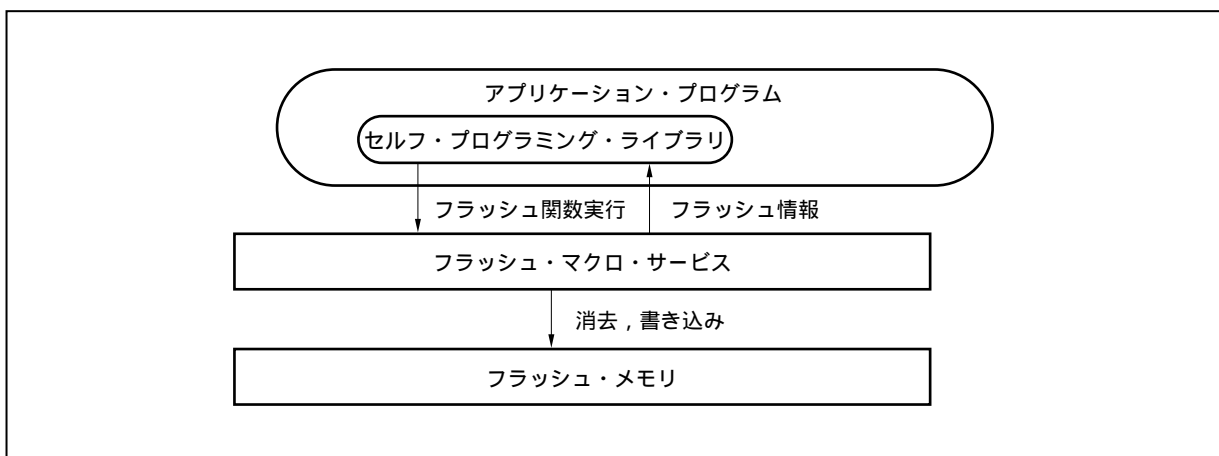
電源 (V_{DD} , V_{SS} , AV_{DD} , AV_{SS} , CV_{DD} , CV_{SS} , EV_{DD} , EV_{SS}) は、通常動作モード時と同じ電源を供給してください。また、EV_{DD}, AV_{DD}には専用フラッシュ・メモリ・プログラムのV_{DD}を、EV_{SS}, AV_{SS}, V_{SS}, CV_{SS}には専用フラッシュ・メモリ・プログラムのGNDを、V_{DD}, CV_{DD}には専用フラッシュ・メモリ・プログラムのV_{DD2}を接続してください。

22.5 セルフ・プログラミングによる書き換え

22.5.1 概 要

V850E/IA3, V850E/IA4は、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび、フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより、内蔵RAMもしくは、外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換えを行うことができます。

図22 - 12 セルフ・プログラミングの概念図

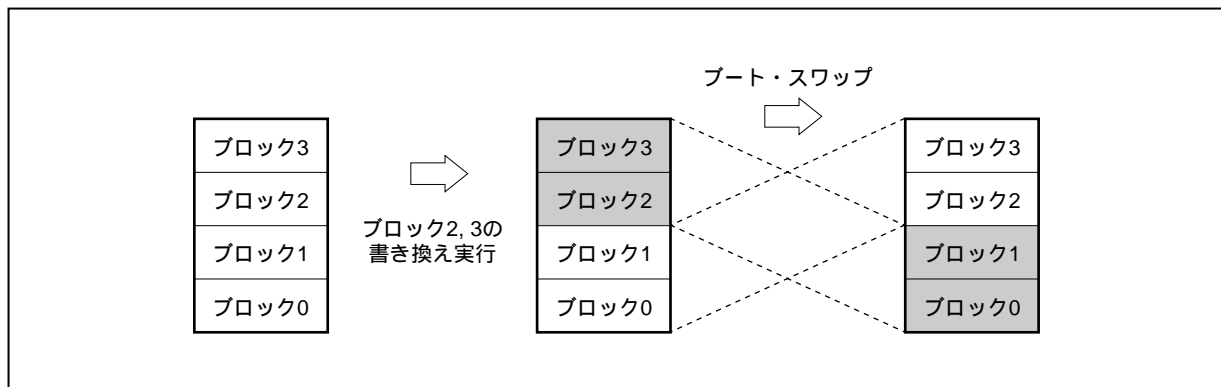


22.5.2 特 徴

(1) セキュア・セルフ・プログラミング (ブート・スワップ機能)

V850E/IA3, V850E/IA4は、ブロック0, 1の物理メモリと、ブロック2, 3の物理メモリを入れ替えることができるブート・スワップ機能をサポートしているため、あらかじめ書き換えたい起動用のプログラムをブロック2, 3に書いておき、物理メモリをスワップさせることにより、書き換え中に電源遮断が発生しても常にブロック0, 1には正常なユーザ・プログラムが存在する状態となるため、全領域の書き換えが安全に実行可能となります。

図22 - 13 全メモリ領域の書き換え (ブート・スワップ対応)



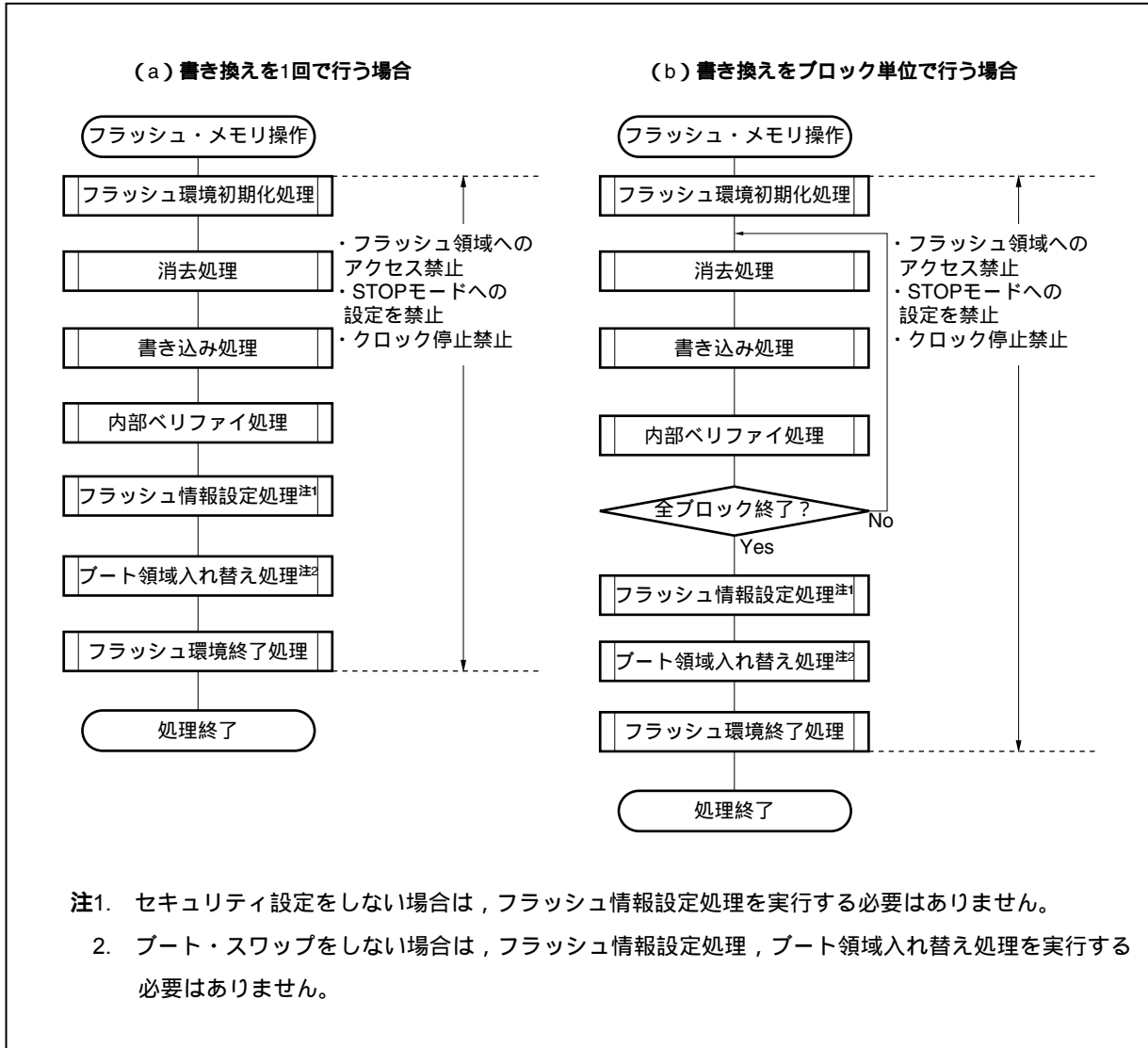
(2) 割り込み対応

セルフ・プログラミング中は、フラッシュ・メモリからの命令フェッチが不可能であるため、従来は割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できませんでした。この製品では、ライブラリ関数を使用することによって、エントリRAM領域へユーザ・ハンドラを登録することができるため、内部RAMもしくは外部メモリ実行による割り込み処理が可能となります。

22.5.3 標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて、フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。

図22 - 14 標準セルフ・プログラミング・フロー



22.5.4 フラッシュ関数一覧

表22 - 11 フラッシュ関数一覧

関数名	概要	対応
FlashEnv	フラッシュ制御マクロの初期化	
FlashBlockErase	指定した1ブロックの消去	
FlashWordWrite	指定したアドレスからの書き込み	
FlashBlockVerify	指定した1ブロックの内部ベリファイ	
FlashBlockBlankCheck	指定した1ブロックのブランク・チェック	
FlashFLMDCheck	FLMD端子のチェック	
FlashGetInfo	フラッシュ情報の読み出し	
FlashSetInfo	フラッシュ情報の設定	
FlashBootSwap	ブート領域入れ替え	
FlashWordRead	指定したアドレスからのデータ読み出し	

備考 詳細は、V850シリーズ フラッシュ・メモリ・セルフ・プログラミング（単電源フラッシュ・メモリ編） ユーザーズ・マニュアルを参照してください。
 なお、このマニュアルについては、当社販売員にお問い合わせください。

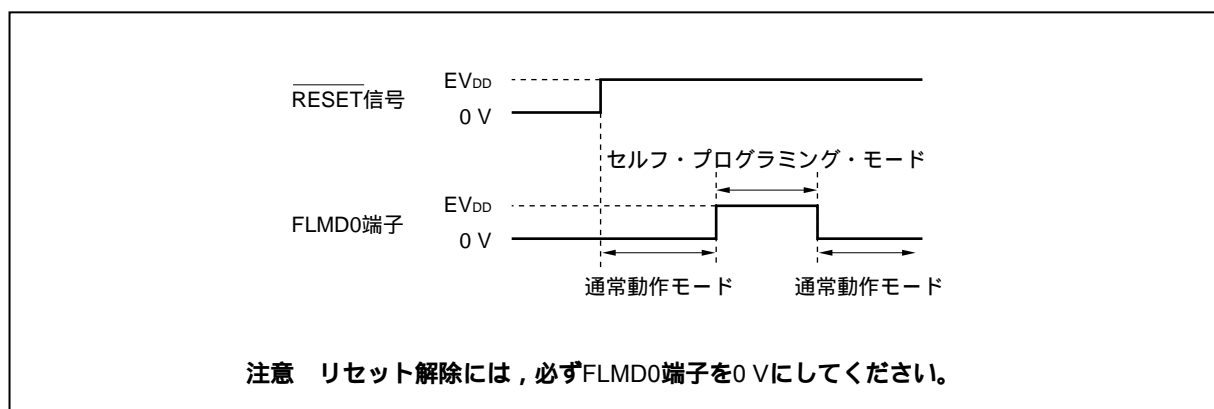
22.5.5 端子処理

(1) FLMD0端子

FLMD0端子は、リセット解除時の動作モード設定と、セルフ書き換え時の書き換え保護機能の兼用端子となっているため、リセット解除～通常動作実行時は、FLMD0端子へ印加される電圧を0 Vに保持し、セルフ・プログラミング・モードの期間は、書き換え前にポート制御などによって、FLMD0端子にEV_{DD}レベルの電圧を印加する必要があります。

また、セルフ・プログラミングが終了したあとは、FLMD0端子の電圧を0 Vに戻す必要があります。

図22 - 15 モード切り替わりタイミング



22.5.6 使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお、セルフ・プログラミング以外では、次の内部資源については自由に使用できます。

表22 - 12 使用する内部資源

リソース名	説明
エントリRAM領域 (内部RAM / 外部RAMサイズ ^注)	フラッシュ・マクロ・サービスへの遷移のためのルーチンとパラメータを配置。 ライブラリ初期化関数の呼び出しによりエントリ・プログラムとデフォルトのパラメータがコピーされます。
スタック領域 (スタック・サイズ ^注)	ユーザの使用しているスタックの延長をライブラリが使用。 (内部RAM / 外部RAMのどちらでも使用可)
ライブラリ・コード (コード・サイズ ^注)	ライブラリのプログラム本体。 (操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可)
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態、セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用するには、あらかじめ登録関数により割り込み処理先頭アドレスを登録しておく必要があります。

注 使用する容量に関しては、V850シリーズ **フラッシュ・メモリ・セルフ・プログラミング (単電源フラッシュ・メモリ編)** **ユーザズ・マニュアル**を参照してください。

なお、このマニュアルについては、当社販売員にお問い合わせください。

第23章 電気的特性 (V850E/IA3)

絶対最大定格 (TA = 25 °C)

項目	略号	条件	定格	単位	
電源電圧	V _{DD}	V _{DD} = CV _{DD}	- 0.5 ~ + 3.6	V	
	V _{SS}	V _{SS} = CV _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V	
	EV _{DD}	EV _{DD} = AV _{DD}	- 0.5 ~ + 6.5	V	
	EV _{SS}	V _{SS} = CV _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V	
	CV _{DD}	V _{DD} = CV _{DD}	- 0.5 ~ + 3.6	V	
	CV _{SS}	V _{SS} = CV _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V	
	AV _{DD}	EV _{DD} = AV _{DD}	- 0.5 ~ + 6.5	V	
	AV _{SS}	V _{SS} = CV _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V	
入力電圧	V _{I1}	注1	- 0.5 ~ EV _{DD} + 0.5 ^{注2}	V	
	V _{I2}	X1, X2	- 0.5 ~ CV _{DD} + 0.5 ^{注2}	V	
ロウ・レベル出力電流	I _{OL}	P10-P15	1端子	18	mA
		P10-P15以外の端子	1端子	4	mA
		P10-P17	全端子合計	50	mA
		P00, P02-P07, P30-P37, P40-P44, PDL0-PDL15	全端子合計	40	mA
ハイ・レベル出力電流	I _{OH}	全端子	1端子	- 4.0	mA
		P10-P17	全端子合計	- 10	mA
		P00, P02-P07, P30-P37, P40-P44, PDL0-PDL15	全端子合計	- 40	mA
アナログ入力電圧	V _{IAN}	P70/ANI20-P75/ANI25, ANI00, ANI01, ANI10-ANI13	- 0.5 ~ AV _{DD} + 0.5 ^{注2}	V	
アナログ基準入力電圧	V _{IREF}	CMPREF	- 0.5 ~ AV _{DD} + 0.5 ^{注2}	V	
動作周囲温度	T _A	通常動作時	- 40 ~ + 85		
		フラッシュ・メモリ・プログラミング時	- 40 ~ + 85		
保存温度	T _{stg}		- 40 ~ + 125		

注1. P00, P02-P07, P10-P17, P30-P37, P40-P44, PDL0-PDL15, $\overline{\text{RESET}}$, IC1 (μ PD703183のみ) /FLMD0 (μ PD70F3184のみ), PLLSIN

2. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

注意 1. IC製品の出力(出力状態の入出力端子)をほかの出力端子(出力状態の入出力端子を含む),およびV_{DD}, EV_{DD}などの電源端子やGND端子に直線接続しないでください。ただし,入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。

2. 各項目のうち1項目でも,また一瞬でも絶対最大定格を越えると,製品の品質を損なう恐れがあります。つまり絶対最大定格とは,製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で,製品をご使用ください。

DC特性とAC特性に示す規格や条件が,製品の正常動作,品質保証の範囲です。

容量 (TA = 25 , VDD = VSS = EVDD = EVSS = CVDD = CVSS = AVDD = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	CI	fc = 1 MHz			15	pF
入出力容量	CIO	被測定ピン以外は0 V			15	pF

注1. ANI00, ANI01, ANI10-ANI13, P70-P75, PLLSIN, RESET, CMPREF

2. P00, P02-P07, P10-P17, P30-P37, P40-P44, PDL0-PDL15

注意1. FLMD0, X1, X2端子を除きます。

2. ANI00, ANI01, ANI10-ANI13, ANI20-ANI25 端子には入力容量のほかにサンプリング時にはサンプリング容量が追加されます。

動作条件 (TA = -40 ~ +85 , VSS = EVSS = CVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
システム・クロック周波数	fxx	PLLモード	PLLSIN = ロウ・レベル	32		55	MHz
			PLLSIN = ハイ・レベル	55		64	MHz
		クロック・スルー・モード		4		8	MHz
CPUクロック周波数	fCPU	PLLモード	PLLSIN = ロウ・レベル	4		55	MHz
			PLLSIN = ハイ・レベル	6.875		64	MHz
		クロック・スルー・モード		0.5		8	MHz
VDD, CVDD電圧	VDD, CVDD	VDD = CVDD	2.3		2.7	V	
EVDD電圧	EVDD	EVDD = AVDD	4.0		5.5	V	
AVDD電圧	AVDD	A/Dコンバータ0-2動作時	4.5		5.5	V	
		A/Dコンバータ0-2非動作時	4.0		5.5	V	

クロック発振回路特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $C_{VDD} = 2.3 \sim 2.7 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$)

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子 / 水 晶振動子		発振周波数 (f_x)		4		8	MHz
		発振安定時間	リセット解除後		$2^{14}/f_x$		ms
			STOPモード解除後		注		ms

注 発振安定時間選択レジスタ (OSTS) の設定によって値が異なります。

- 注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。
- 破線の範囲にほかの信号線を通さないでください。
 - 発振波形のデューティは、45% ~ 55%に収まるようにしてください。
 - V850E/IA3では外部クロック入力は禁止です。

(i) 村田製作所：セラミック発振子 ($T_A = -40 \sim +85$)

タイプ	品名	発振周波数 f_x (MHz)	推奨回路定数			発振電圧範囲	
			C1	C2	Rd (k Ω)	MIN. (V)	MAX. (V)
リード	CSTLS4M00G56-B0	4	内蔵 (47 pF)	内蔵 (47 pF)	0	2.3	2.7
	CSTLS5M00G56-B0	5	内蔵 (47 pF)	内蔵 (47 pF)	0	2.3	2.7
	CSTLS8M00G53-B0	8	内蔵 (15 pF)	内蔵 (15 pF)	0	2.3	2.7
表面実装	CSTCR4M00G55-R0	4	内蔵 (39 pF)	内蔵 (39 pF)	0	2.3	2.7
	CSTCR5M00G55-R0	5	内蔵 (39 pF)	内蔵 (39 pF)	0	2.3	2.7
	CSTCE8M00G52-R0	8	内蔵 (10 pF)	内蔵 (10 pF)	0	2.3	2.7

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850E/IA3の内部動作条件についてはAC, DC特性の規格内で使用してください。

DC特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP. ^{注1}	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	注2		0.7 EV _{DD}		EV _{DD}	V
	V _{IH2}	注3		0.8 EV _{DD}		EV _{DD}	V
	V _{IH4}	注4		0.7 AV _{DD}		AV _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	注2		EV _{SS}		0.3 EV _{DD}	V
	V _{IL2}	注3		EV _{SS}		0.2 EV _{DD}	V
	V _{IL4}	注4		AV _{SS}		0.3 AV _{DD}	V
ハイ・レベル入力カリーク電流	I _{LIH1}	V _i = AV _{DD} = EV _{DD}	X1以外			5	μA
	I _{LIH2}		X1			20	μA
ロウ・レベル入力カリーク電流	I _{LIL1}	V _i = 0 V	X1以外			- 5	μA
	I _{LIL2}		X1			- 20	μA
ハイ・レベル出カリーク電流	I _{LOH}	V _o = AV _{DD} = EV _{DD}				5	μA
ロウ・レベル出カリーク電流	I _{LOL}	V _o = 0 V				- 5	μA
ハイ・レベル出力電圧	V _{OH}	注5	I _{OH} = - 1.0 mA	EV _{DD} - 1.0			V
ロウ・レベル出力電圧	V _{OL1}	P10-P15	I _{OL} = 15 mA			2.0	V
			I _{OL} = 1.0 mA			0.4	V
	V _{OL2}	注6	I _{OL} = 1.0 mA			0.4	V
プルアップ抵抗	R ₁			10	30	100	kΩ
電源電流 ^{注7} (μPD70F3184)	I _{DD1}	f _{xx} = 64 MHz	通常動作		90	120	mA
	I _{DD2}		HALTモード		50	75	mA
	I _{DD3}		IDLEモード		10	20	mA
	I _{DD4}	STOPモード				40	800 ^{注8}
電源電流 ^{注7} (μPD703183)	I _{DD1}	f _{xx} = 64 MHz	通常動作		70	95	mA
	I _{DD2}		HALTモード		45	70	mA
	I _{DD3}		IDLEモード		10	20	mA
	I _{DD4}	STOPモード				40	800 ^{注8}

注1. TYP.値は, V_{DD} = 2.5 V, T_A = 25 での参考値です。

2. P31, P33, P41, PDL0-PDL15端子
3. P00, P02-P07, P10-P17, P30, P32, P34-P37, P40, P42-P44, $\overline{\text{RESET}}$, IC1 (μPD703183のみ) /FLMD0 (μPD70F3184のみ), PLLSIN端子
4. P70-P75端子
5. P00, P02-P07, P10-P17, P30-P37, P40-P44, PDL0-PDL15端子
6. P00, P02-P07, P16, P17, P30-P37, P40-P44, PDL0-PDL15端子
7. 出力バッファ, プルアップ抵抗で流れる電流は含みません。
8. T_J (ジャンクション温度) = 85

備考1. 兼用端子の特性は, ポート端子として使用する場合の特性と同じです。

2. I_{OH}, I_{OL}の条件を1端子のみ満たさず合計値は条件を満たしている場合, DC特性も満たさなくなるのは, その端子のみです。

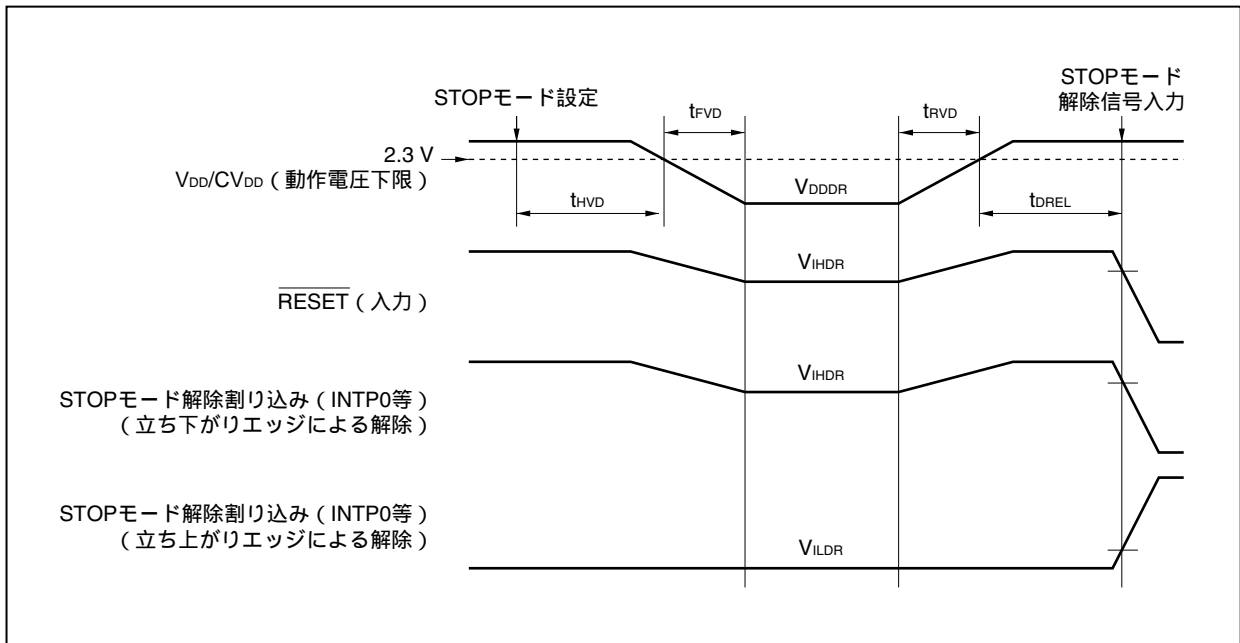
データ保持特性

STOPモード時 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード V_{DD}, CV_{DD}	1.8		2.7	V
		AV_{DD}, EV_{DD}	4.0		5.5	V
データ保持電流	I_{DDDR}	$V_{DD} = V_{DDDR}$	μ PD70F3184	40	800 ^注	μ A
			μ PD703183	40	800 ^注	μ A
電源電圧立ち上がり時間	t_{rVD}	V_{DD}, CV_{DD}	200			μ s
電源電圧立ち下がり時間	t_{fVD}	V_{DD}, CV_{DD}	200			μ s
電源電圧保持時間 (対STOPモード設定)	t_{HVD}		0			ms
STOPモード解除信号入力時間	t_{DREL}		0			ms
データ保持ハイ・レベル入力電圧	V_{IHDR}	全入力端子	$0.9V_{DDDR}$		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	全入力端子	EV_{SS}		$0.1V_{DDDR}$	V

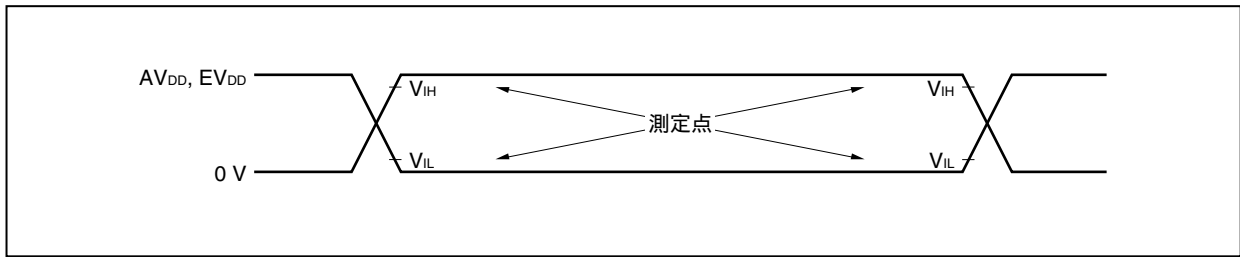
注 T_J (ジャンクション温度) = 85

注意 STOPモードへの移行, およびSTOPモードからの復帰は, $V_{DD} = CV_{DD} = 2.3 \text{ V}$ ($AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$)
で行ってください。

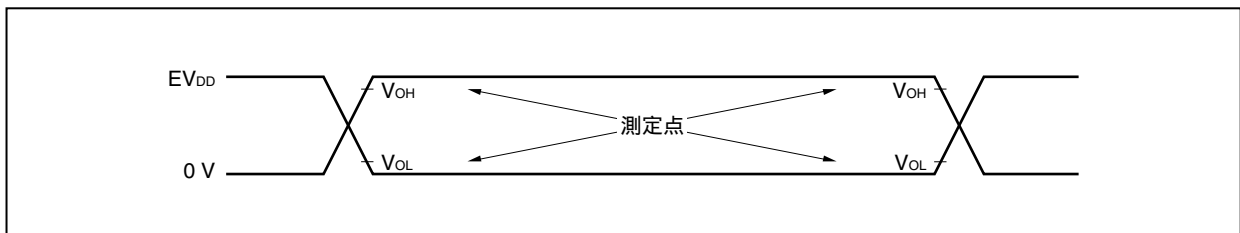


AC特性

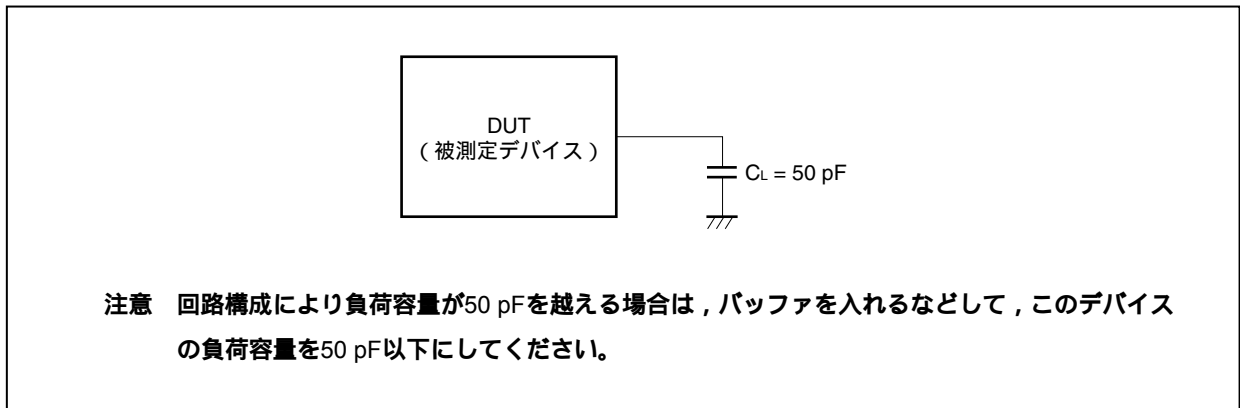
ACテスト入力測定点



ACテスト出力測定点



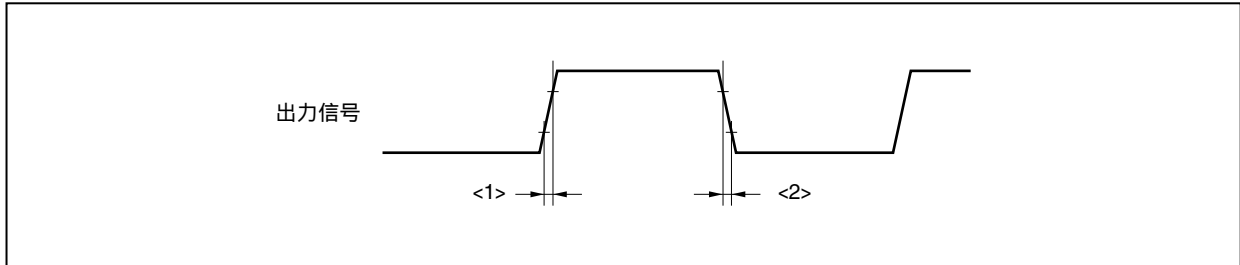
負荷条件



出力信号タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	t_{OR}	<1>		15	ns
出力立ち下がり時間	t_{OF}	<2>		15	ns



リセット、外部割り込みタイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

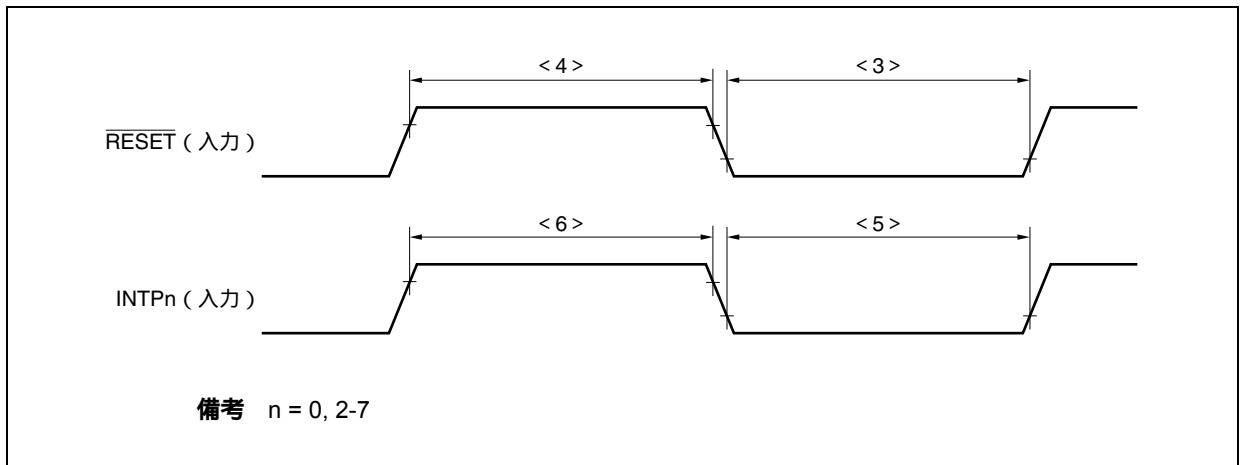
項目	略号	条件	MIN.	MAX.	単位
RESET口ウ・レベル幅	t_{WRSL}	<3> 電源オン時, STOPモード解除時	$500 + T_{os}$		ns
		上記以外	500		ns
RESETハイ・レベル幅	t_{WRSH}	<4>	500		ns
INTPn口ウ・レベル幅	t_{WITL}	$n = 0, 2-5, 7$ (アナログ・ノイズ除去)	500		ns
		$n = 6$ (デジタル・ノイズ除去)	$5T_{smp} + 10$		ns
INTPnハイ・レベル幅	t_{WITH}	$n = 0, 2-5, 7$ (アナログ・ノイズ除去)	500		ns
		$n = 6$ (デジタル・ノイズ除去)	$5T_{smp} + 10$		ns

備考1. T_{os} : 発振安定時間

T_{smp} : ノイズ除去サンプリング・クロック周期 (INTPNRCレジスタで設定)

- リセット解除後は, 内部で1 ms間の発振安定時間が確保され, 発振安定時間は($T_{os} + 1$) msとなります。STOPモード解除後は, 内部でOSTSレジスタ設定値の1/2の発振安定時間が確保されます。したがって, OSTSレジスタの設定で十分な安定時間を確保できる場合は $T_{os} = 0 \text{ ns}$ でもかまいません。

リセット/割り込み



タイマ・タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
TInハイ・レベル幅 ^{注1}	t_{WTHn}	<7>	$10T + 10$		ns
TInロウ・レベル幅 ^{注1}	t_{WTILn}	<8>	$10T + 10$		ns
EVTQ0ハイ・レベル幅 ^{注1}	t_{WEVHn}	<9>	$10T + 10$		ns
EVTQ0ロウ・レベル幅 ^{注1}	t_{WEVLn}	<10>	$10T + 10$		ns
TRGQ0ハイ・レベル幅 ^{注1}	t_{WTRHn}	<11>	$10T + 10$		ns
TRGQ0ロウ・レベル幅 ^{注1}	t_{WTRLn}	<12>	$10T + 10$		ns
TIUD10/TCUD10ハイ・レベル幅 ^{注2}	t_{WUDHm}	<13>	$5T_{\text{smp}} + 10$		ns
TIUD10/TCUD10ロウ・レベル幅 ^{注2}	t_{WUDLm}	<14>	$5T_{\text{smp}} + 10$		ns
TCLR10ハイ・レベル幅 ^{注2}	t_{WTCHm}	<15>	$5T_{\text{smp}} + 10$		ns
TCLR10ロウ・レベル幅 ^{注2}	t_{WTCLm}	<16>	$5T_{\text{smp}} + 10$		ns
TIUD10/TCUD10入力時間差 ^{注2}	t_{PHUD}	<17>	$5T_{\text{smp}} + 10$		ns

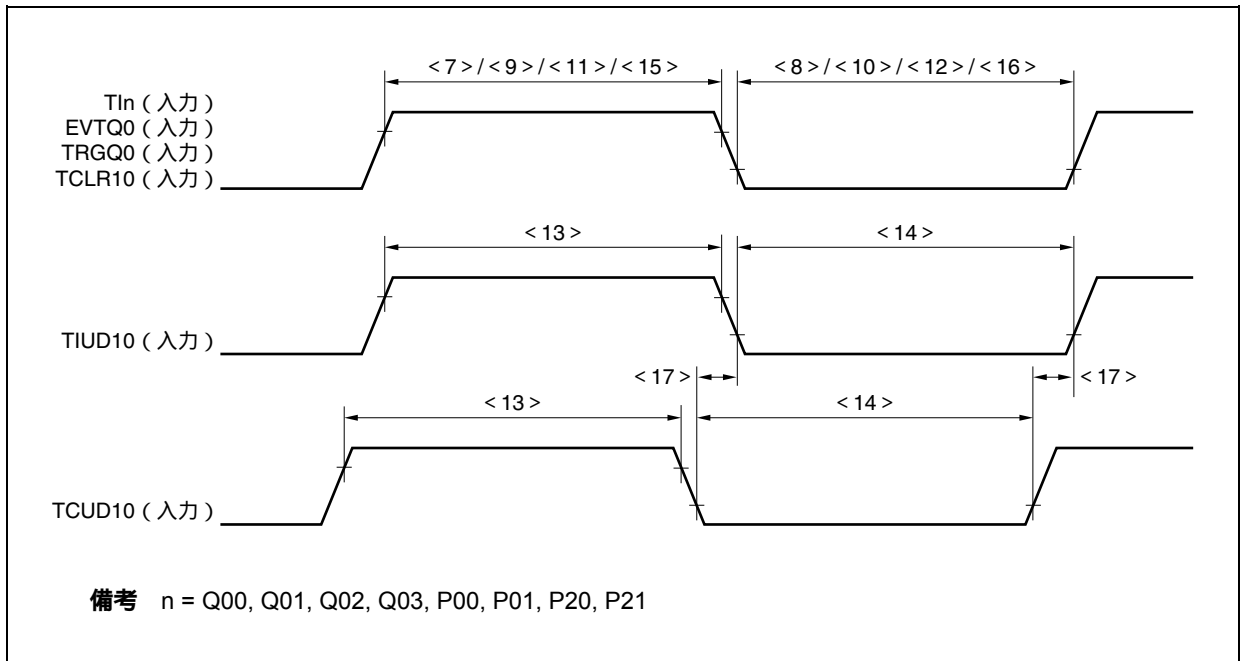
注1. $T = 1/f_{xx}$

2. T_{smp} : ノイズ除去サンプリング・クロック周期 (NRC10レジスタで設定)

備考1. $n = Q00, Q01, Q02, Q03, P00, P01, P20, P21$

2. 上記のスペックは、有効エッジとして確実に検出されるパルス幅を示しているため、上記のスペックより小さいパルス幅を入力しても有効エッジとして検出される可能性があります。

タイマ入力タイミング



CSIBタイミング

(1) マスタ・モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$,
 $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKBn周期	t _{KCYM}	<18>	125		ns
SCKBnハイ/ロウ・レベル幅	t _{KWHM} , t _{KWLM}	<19>	t _{KCYM} /2 - 10		ns
SIBnセットアップ時間 (対SCKBn)	t _{SSIM}	<20>	30		ns
SIBnホールド時間 (対SCKBn)	t _{HSIM}	<21>	30		ns
SOBn出力遅延時間 (対SCKBn)	t _{DSOM}	<22>		30	ns
SOBn出力遅延時間 (対SCKBn)				30	ns
SOBn出力保持時間 (対SCKBn)	t _{HSOM}	<23>	t _{KCYM} /2 - 10		ns
SOBn出力保持時間 (対SCKBn)			t _{KCYM} /2 - 10		ns

備考 n = 0, 1

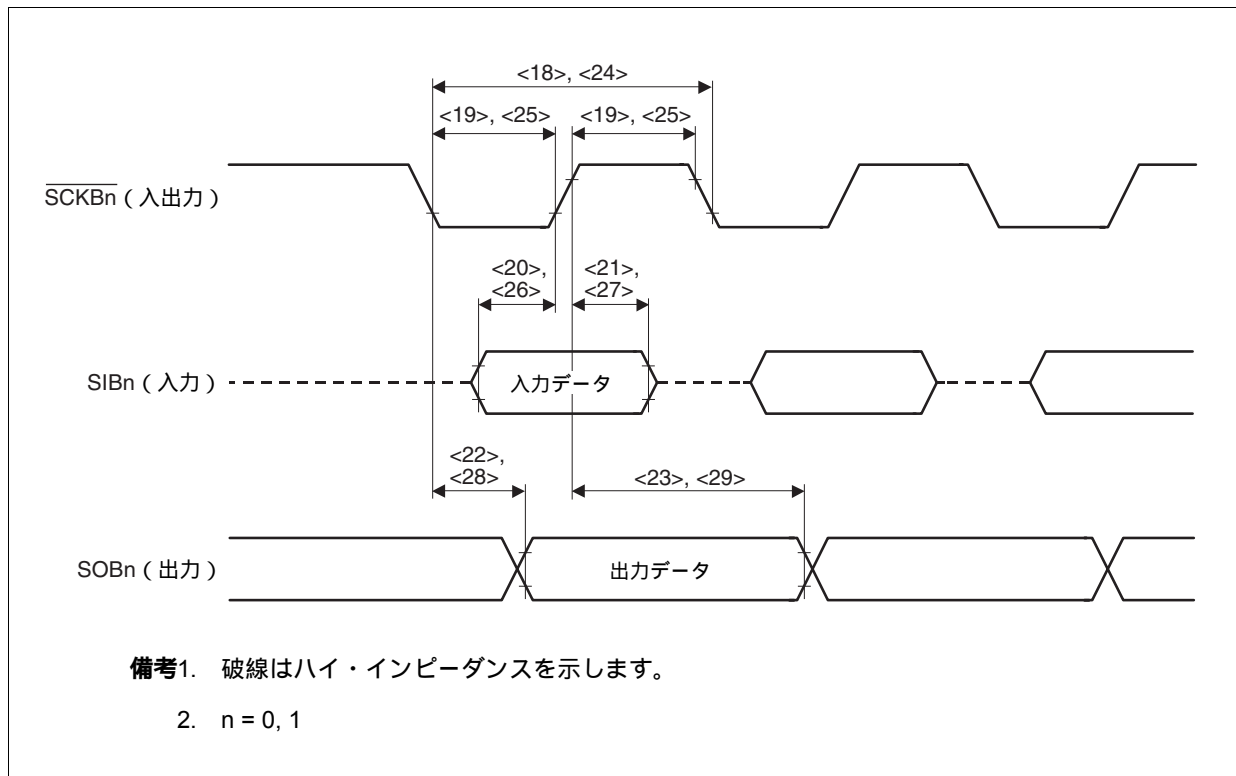
(2) スレーブ・モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$,
 $C_L = 50 \text{ pF}$)

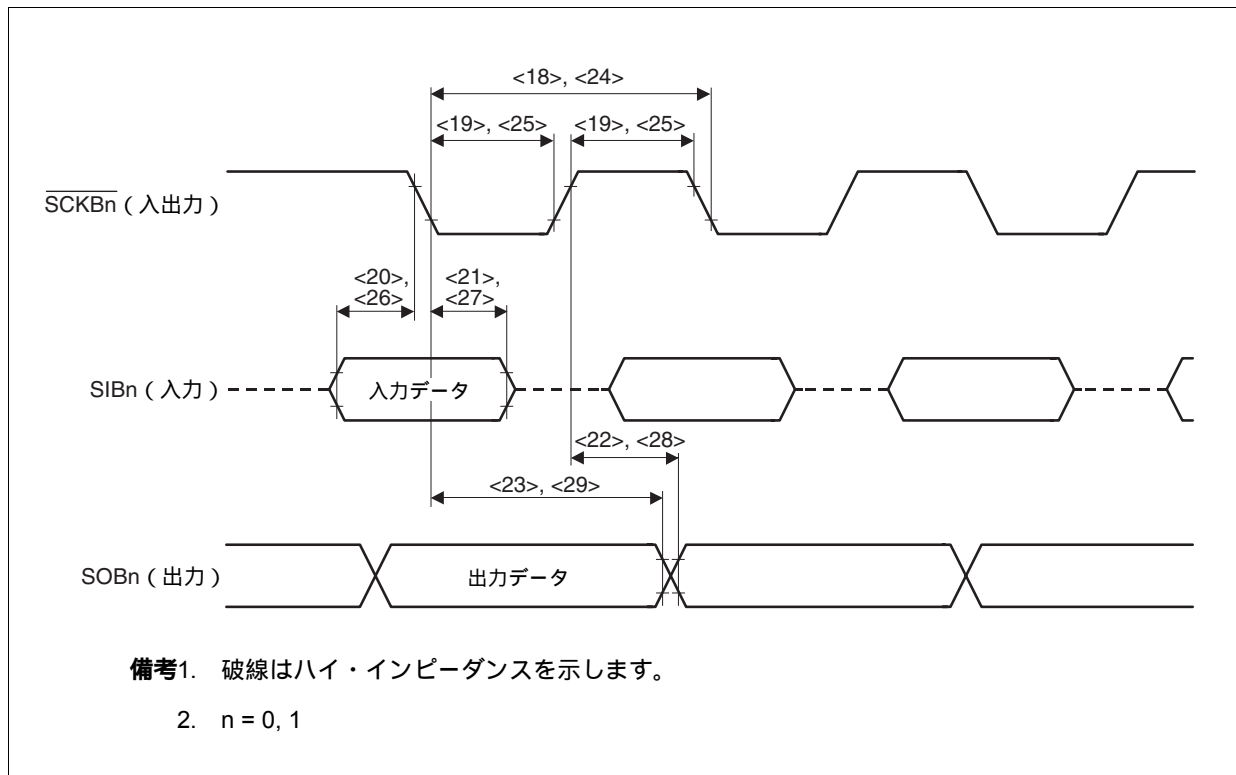
項目	略号	条件	MIN.	MAX.	単位
SCKBn周期	t _{KCYS}	<24>	125		ns
SCKBnハイ/ロウ・レベル幅	t _{KWHS} , t _{KWLS}	<25>	t _{KCYS} /2 - 10		ns
SIBnセットアップ時間 (対SCKBn)	t _{SSIS}	<26>	30		ns
SIBnホールド時間 (対SCKBn)	t _{HSIS}	<27>	30		ns
SOBn出力遅延時間 (対SCKBn)	t _{DSOS}	<28>		30	ns
SOBn出力遅延時間 (対SCKBn)				30	ns
SOBn出力保持時間 (対SCKBn)	t _{HSOS}	<29>	t _{KCYS} /2 - 10		ns
SOBn出力保持時間 (対SCKBn)			t _{KCYS} /2 - 10		ns

備考 n = 0, 1

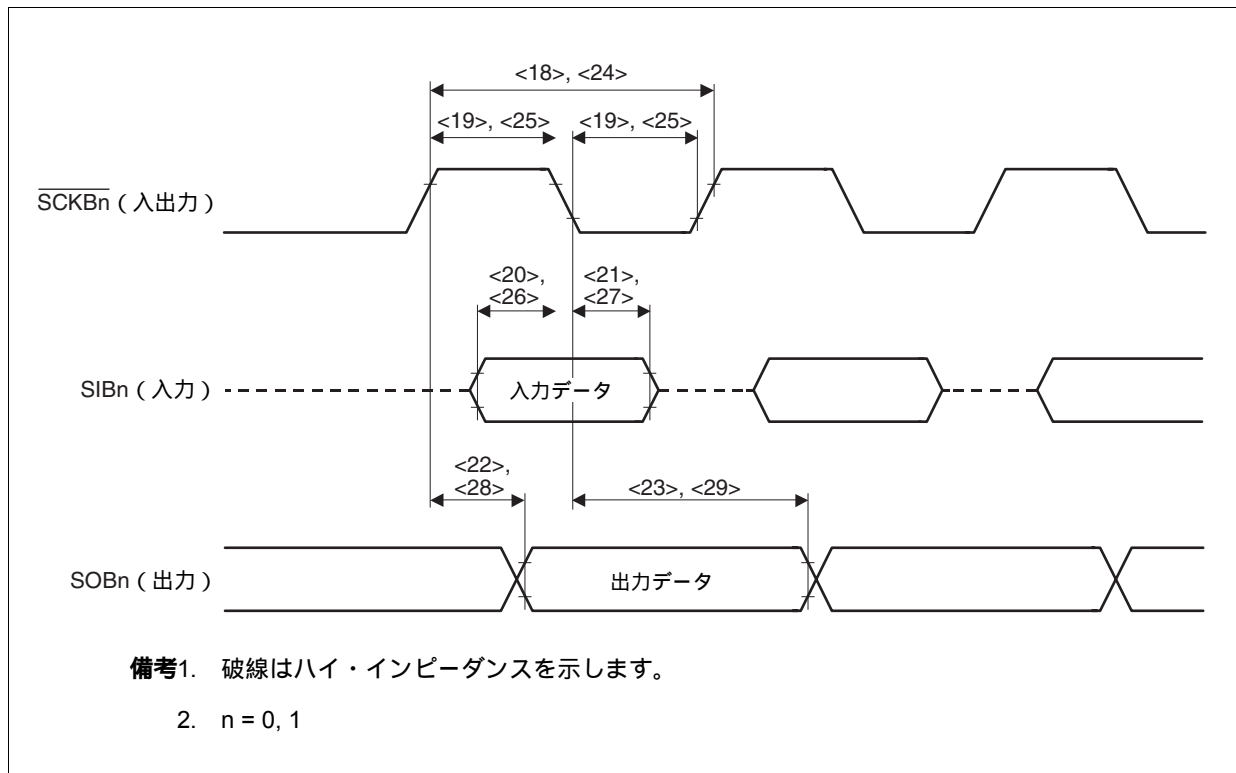
CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 00時



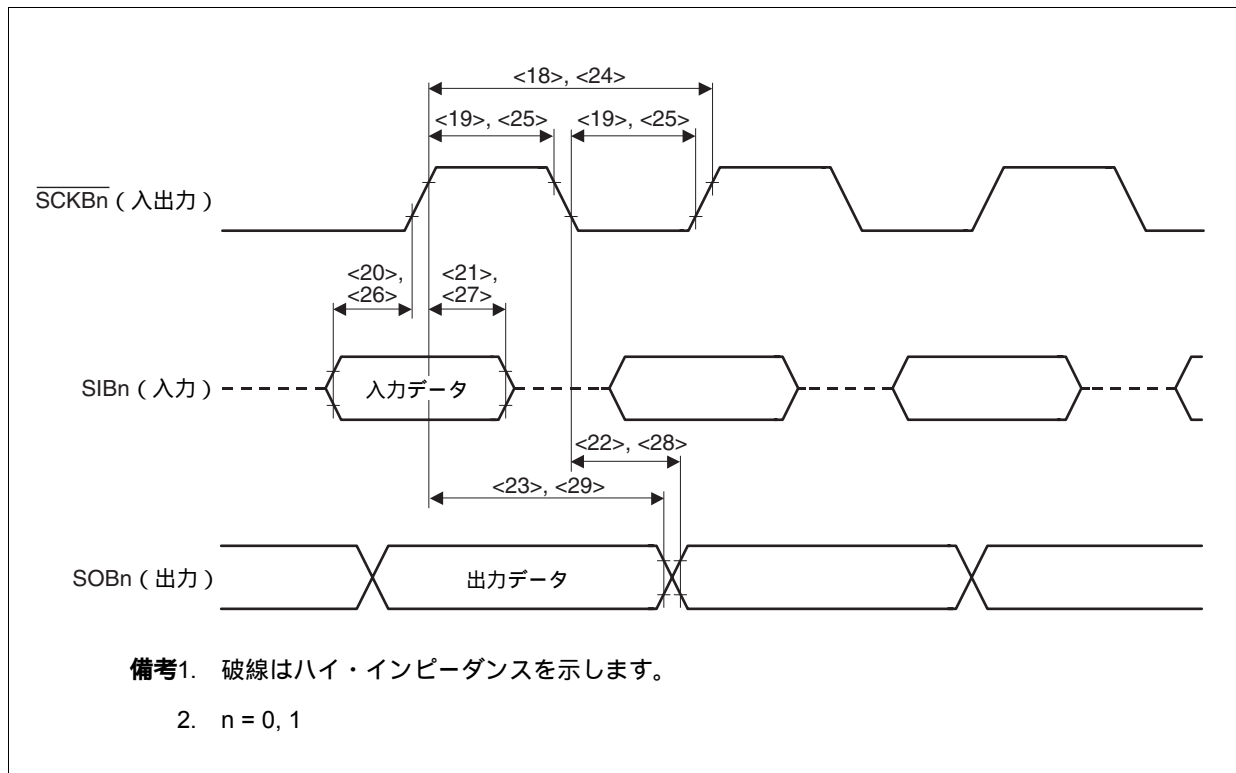
CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 01時



CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 10時



CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 11時



ハイ・インピーダンス制御タイミング

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
発振停止 タイマ出力ハイ・インピーダンス	t _{CLM}	クロック・モニタ動作時		65	μs
TOQ0OFF入力 タイマ出力ハイ・インピーダンス	t _{HTQ0}			300	ns
TOP2OFF入力 タイマ出力ハイ・インピーダンス	t _{HTP2}			300	ns
ANI00, ANI01入力 タイマ出力ハイ・インピーダンス	t _{ANI0}			10	μs
ANI10-ANI12入力 タイマ出力ハイ・インピーダンス	t _{ANI1}			10	μs

A/Dコンバータ0, 1特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.5 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^{注1}					± 4.0	LSB
変換時間	t_{CONV}	$f_{XX} = 64 \text{ MHz}$, ADAnM1レジスタ = 01H	1.94			μs
		$f_{XX} = 32 \text{ MHz}$, ADAnM1レジスタ = 03H			7.75	μs
ゼロスケール誤差 ^{注1}					± 4.0	LSB
フルスケール誤差 ^{注1}					± 4.0	LSB
積分直線性誤差 ^{注1}					± 4.0	LSB
微分直線性誤差 ^{注1}					± 2.0	LSB
アナログ基準電圧	AV_{DD}		4.5		5.5	V
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{DD}	V
AV_{DD} 電源電流 ^{注2}	AI_{DD}	動作時		5	10	mA
	AI_{DDS}	STOPモード時 ^{注3}		1	10	μA

注1. 量子化誤差 ($\pm 0.5 \text{ LSB}$) は含みません。

2. この値はA/Dコンバータ0またはA/Dコンバータ1のいずれか1回路分です。

3. STOPモードに設定する前に, A/Dコンバータ0, 1の動作を停止 ($ADAnM0.ADAnCE$ ビット = 0) してください。

備考 1. LSB : Least Significant Bit

2. $n = 0, 1$

A/Dコンバータ2特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.5 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8		10	bit
総合誤差		10ビット分解能			± 9.5	LSB
		8ビット分解能			± 3.5	LSB
変換時間	t_{CONV}	10ビット分解能, シリアル・モード		512		μs
		10ビット分解能, パラレル・モード		$128^{\text{注1}}$		μs
		8ビット分解能, シリアル・モード		128		μs
		8ビット分解能, パラレル・モード		$32^{\text{注1}}$		μs
ゼロスケール誤差 ^{注2}		10ビット分解能			± 9.5	LSB
		8ビット分解能			± 3.5	LSB
フルスケール誤差 ^{注2}		10ビット分解能			± 9.5	LSB
		8ビット分解能			± 3.5	LSB
積分直線性誤差 ^{注2}		10ビット分解能			± 2.0	LSB
		8ビット分解能			± 1.5	LSB
微分直線性誤差 ^{注2}		10ビット分解能			± 2.0	LSB
		8ビット分解能			± 1.5	LSB
アナログ基準電圧	AV_{DD}		4.5		5.5	V
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{DD}	V
AV_{DD} 電源電流	AI_{DD}	動作時		1	3	mA
	AI_{DDS}	STOPモード時 ^{注3}		1	10	μA

- 注1. パラレル・モード時の動作開始後1回目の変換終了時間は、シリアル・モード時と同じ変換時間になります。
上記スペックは2回目以降の値です。
2. 量子化誤差 ($\pm 0.5 \text{ LSB}$) は含みません。
3. STOPモードに設定する前に、A/Dコンバータ2の動作を停止 ($ADA2CTL0.ADA2CE$ ビット = 0) してください。

備考 LSB : Least Significant Bit

オペアンプ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.5 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IO}			± 5.0		mV
入力電圧範囲	V_I	ゲイン = 2.5	$0.04AV_{DD}$		$0.32AV_{DD}$	V
		ゲイン = 5	$0.03AV_{DD}$		$0.16AV_{DD}$	V
スルー・レート	S_R			10		$V/\mu\text{s}$
ゲイン誤差		ゲイン = 2.5		± 1.0	± 5.0	%
		ゲイン = 5		± 1.0	± 5.0	%
動作電流 ^{注1}	I_{OPDD}	動作時		1.0	3.0	mA
	A_{IDDS}	STOPモード時 ^{注2}		1.0	10	μA

注1. オペアンプを合計5つ搭載しています。この値は1つあたりの動作電流です。

- STOPモードに設定する前に、A/Dコンバータ0, 1の動作を停止 (ADAnM0.ADAnCEビット = 0) してください。

備考1. オペアンプの動作電流は、 AV_{DD} に含まれます。

- $n = 0, 1$

コンパレータ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.5 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IO}			± 3.0		mV
入力電圧範囲	V_I	CMPREF, ANIm	$0.1AV_{DD}$		$0.5AV_{DD}$	V
応答時間	t_{CR}	入力振幅 = 100 mV , 立ち上がり ^{注1}		4.0		μs
	t_{CF}	入力振幅 = 100 mV , 立ち下がり ^{注2}		2.0		μs
動作電流 ^{注3}	I_{CPDD}	動作時		50	150	μA
	A_{IDDS}	STOPモード時 ^{注4}		1.0	10	μA

注1. ANIm入力がCMPREF - 100 mVからCMPREF + 100 mVに変化する時のパルス応答特性

2. ANIm入力がCMPREF + 100 mVからCMPREF - 100 mVに変化する時のパルス応答特性

3. コンパレータを合計5つ搭載しています。この値は1つあたりの動作電流です。

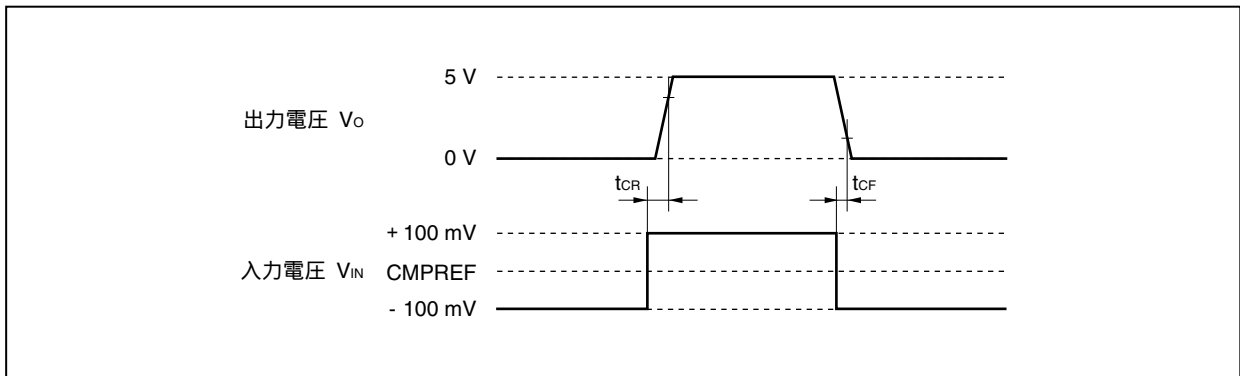
4. STOPモードに設定する前に、A/Dコンバータ0, 1の動作を停止 (ADAnM0.ADAnCEビット = 0) してください。

備考1. コンパレータの動作電流は、 AV_{DD} に含まれます。

2. $m = 00, 01, 10-12$

$n = 0, 1$

コンパレータ特性



電源電圧投入/切断タイミング

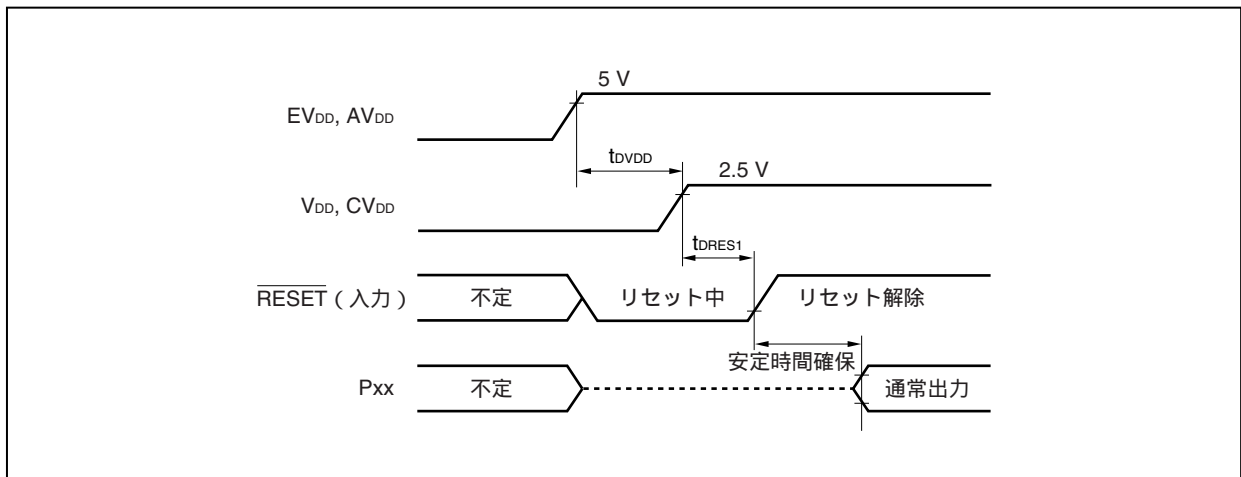
($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
EV _{DD} , AV _{DD} 立ち上がり V _{DD} , CV _{DD} 立ち上がり遅延時間	t _{DVDD}		- 50	50	ms
V _{DD} , CV _{DD} 立ち上がり RESET 遅延時間	t _{DRES1}		T _{osc} - 1		ms
EV _{DD} , AV _{DD} 立ち上がり RESET 遅延時間	t _{DRES2}		T _{osc} - 1		ms
EV _{DD} , AV _{DD} 立ち下がり V _{DD} , CV _{DD} 立ち下がり遅延時間	t _{DEVDD}		0		ns

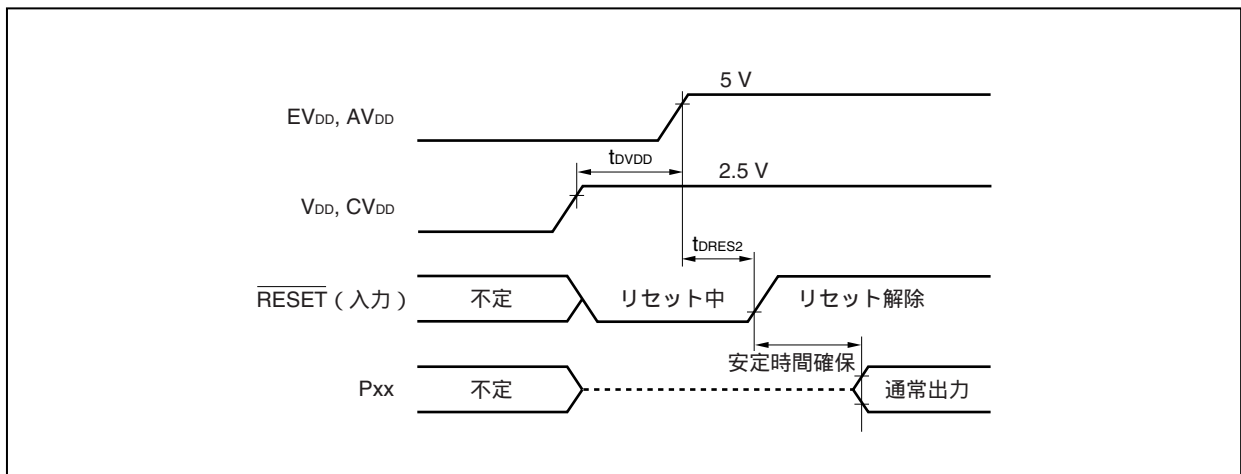
備考 T_{osc} : 発振回路の発振安定時間 (使用する振動子, 発振器により異なります。)

電源電圧投入タイミング

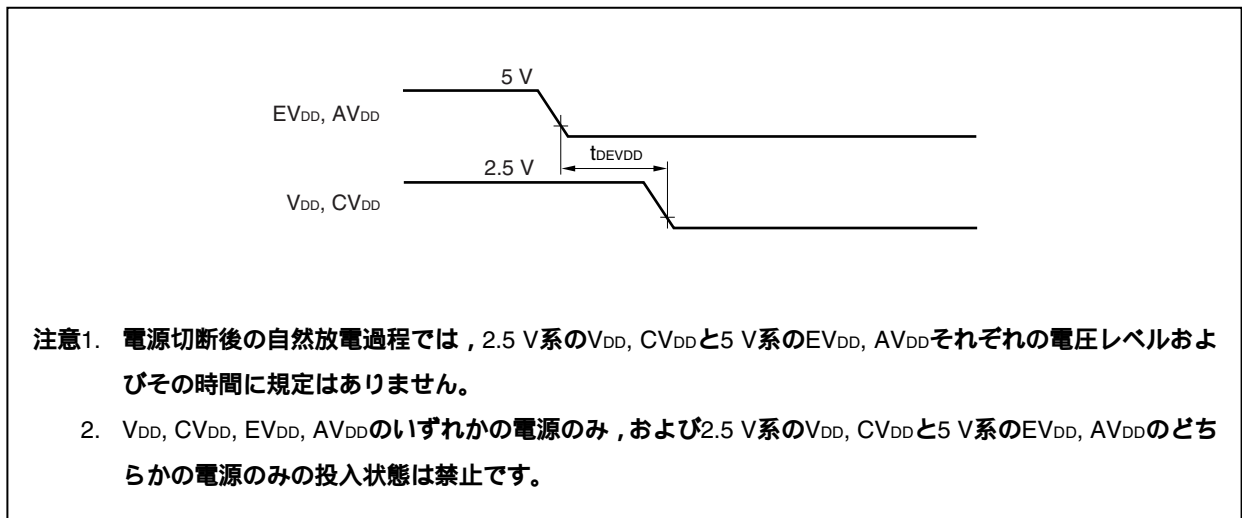
(a) 電源シーケンスの推奨条件1



(b) 電源シーケンスの推奨条件2



電源電圧切断タイミング



フラッシュ・メモリ・プログラミング特性 (μPD70F3184のみ)

(T_A = -40 ~ +85 °C, V_{DD} = CV_{DD} = 2.3 ~ 2.7 V, AV_{DD} = EV_{DD} = 4.0 ~ 5.5 V, V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 V, C_L = 50 pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き換え回数	C _{ERWR}	注		100		回
書き込み電流				90	120	mA
消去電流				90	120	mA

注 出荷品に対する初回書き込み時には、「消去 書き込み」の場合も「書き込みのみ」の場合も、書き換え回数は1回となります。

例 (P: 書き込み, E: 消去)

出荷品 --- P E P E P : 書き換え回数3回

出荷品 E P E P E P : 書き換え回数3回

第24章 電気的特性 (V850E/IA4)

絶対最大定格 (TA = 25 °C)

項目	略号	条件		定格	単位
電源電圧	V _{DD}	V _{DD} = CV _{DD}		- 0.5 ~ + 3.6	V
	V _{SS}	V _{SS} = CV _{SS} = EV _{SS} = AV _{SS}		- 0.5 ~ + 0.5	V
	EV _{DD}	EV _{DD} = AV _{DD}		- 0.5 ~ + 6.5	V
	EV _{SS}	V _{SS} = CV _{SS} = EV _{SS} = AV _{SS}		- 0.5 ~ + 0.5	V
	CV _{DD}	V _{DD} = CV _{DD}		- 0.5 ~ + 3.6	V
	CV _{SS}	V _{SS} = CV _{SS} = EV _{SS} = AV _{SS}		- 0.5 ~ + 0.5	V
	AV _{DD}	EV _{DD} = AV _{DD}		- 0.5 ~ + 6.5	V
	AV _{SS}	V _{SS} = CV _{SS} = EV _{SS} = AV _{SS}		- 0.5 ~ + 0.5	V
入力電圧	V _{I1}	注1		- 0.5 ~ EV _{DD} + 0.5 ^{注2}	V
	V _{I2}	X1, X2		- 0.5 ~ CV _{DD} + 0.5 ^{注2}	V
ロウ・レベル出力電流	I _{OL}	P10-P15, P20-P25	1端子	18	mA
		P10-P15, P20-P25以外の端子	1端子	4	mA
		P00-P07, P20-P25, P40-P42	全端子合計	50	mA
		P10-P17, DDO ^{注3}	全端子合計	50	mA
		P26, P27, P30-P37, P43, P44, P50-P52, PDL0-PDL15	全端子合計	50	mA
ハイ・レベル出力電流	I _{OH}	全端子	1端子	- 4.0	mA
		P00-P07, P20-P25, P40-P42	全端子合計	- 20	mA
		P10-P17, DDO ^{注3}	全端子合計	- 10	mA
		P26, P27, P30-P37, P43, P44, P50-P52, PDL0-PDL15	全端子合計	- 40	mA
アナログ入力電圧	V _{IAN}	P70/ANI20-P77/ANI27, ANI00-ANI03, ANI10-ANI13		- 0.5 ~ AV _{DD} + 0.5 ^{注2}	V
アナログ基準入力電圧	V _{IREF}	CMPREF		- 0.5 ~ AV _{DD} + 0.5 ^{注2}	V
動作周囲温度	T _A	通常動作時		- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時		- 40 ~ + 85	
保存温度	T _{stg}			- 40 ~ + 125	

- 注1. P00-P07, P10-P17, P20-P27, P30-P37, P40-P44, P50-P52, PDL0-PDL15, RESET, IC1 (μPD703185, 703186のみ) /FLMD0 (μPD70F3186のみ), PLLSIN, DRST (μPD70F3186のみ)
2. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。
3. μPD70F3186のみ

注意1. IC製品の出力(出力状態の入出力端子)をほかの出力端子(出力状態の入出力端子を含む),および V_{DD} , EV_{DD} などの電源端子やGND端子に直線接続しないでください。ただし,入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。

2. 各項目のうち1項目でも,また一瞬でも絶対最大定格を越えると,製品の品質を損なう恐れがあります。つまり絶対最大定格とは,製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で,製品をご使用ください。

DC特性とAC特性に示す規格や条件が,製品の正常動作,品質保証の範囲です。

容量 ($T_A = 25$, $V_{DD} = V_{SS} = EV_{DD} = EV_{SS} = CV_{DD} = CV_{SS} = AV_{DD} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力容量	C_i	$f_c = 1$ MHz	注1			15	pF
入出力容量	C_{io}	被測定ピン以外は0 V	注2			15	pF
出力容量	C_o		注3			15	pF

注1. ANI00-ANI03, ANI10-ANI13, P70-P77, PLLSIN, \overline{RESET} , CMPREF

2. P00-P07, P10-P17, P20-P27, P30-P37, P40-P44, P50-P52, PDL0-PDL15

3. DDO (μ PD70F3186のみ)

注意1. FLMD0 (μ PD70F3186のみ), \overline{DRST} (μ PD70F3186のみ), X1, X2端子を除きます。

2. ANI00-ANI03, ANI10-ANI13, ANI20-ANI27端子には入力容量のほかにサンプリング時にはサンプリング容量が追加されます。

動作条件 ($T_A = -40 \sim +85$, $V_{SS} = EV_{SS} = CV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
システム・クロック周波数	f_{xx}	PLLモード	PLLSIN = ロウ・レベル	32		55	MHz
			PLLSIN = ハイ・レベル	55		64	MHz
		クロック・スルー・モード	4		8	MHz	
CPUクロック周波数	f_{CPU}	PLLモード	PLLSIN = ロウ・レベル	4		55	MHz
			PLLSIN = ハイ・レベル	6.875		64	MHz
		クロック・スルー・モード	0.5		8	MHz	
V_{DD} , CV_{DD} 電圧	V_{DD} , CV_{DD}	$V_{DD} = CV_{DD}$		2.3		2.7	V
EV_{DD} 電圧	EV_{DD}	$EV_{DD} = AV_{DD}$		4.0		5.5	V
AV_{DD} 電圧	AV_{DD}	A/Dコンバータ0-2動作時		4.5		5.5	V
		A/Dコンバータ0-2非動作時		4.0		5.5	V

クロック発振回路特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $C_{VDD} = 2.3 \sim 2.7 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$)

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子 / 水 晶振動子		発振周波数 (f_x)		4		8	MHz
		発振安定時間	リセット解除後		$2^{14}/f_x$		ms
			STOPモード解除後		注		ms

注 発振安定時間選択レジスタ (OSTS) の設定によって値が異なります。

- 注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。
- 破線の範囲にほかの信号線を通さないでください。
 - 発振波形のデューティは、45% ~ 55%に収まるようにしてください。
 - V850E/IA4では外部クロック入力は禁止です。

(i) 村田製作所：セラミック発振子 ($T_A = -40 \sim +85$)

タイプ	品名	発振周波数 f_x (MHz)	推奨回路定数			発振電圧範囲	
			C1	C2	Rd (k Ω)	MIN. (V)	MAX. (V)
リード	CSTLS4M00G56-B0	4	内蔵 (47 pF)	内蔵 (47 pF)	0	2.3	2.7
	CSTLS5M00G56-B0	5	内蔵 (47 pF)	内蔵 (47 pF)	0	2.3	2.7
	CSTLS8M00G53-B0	8	内蔵 (15 pF)	内蔵 (15 pF)	0	2.3	2.7
表面実装	CSTCR4M00G55-R0	4	内蔵 (39 pF)	内蔵 (39 pF)	0	2.3	2.7
	CSTCR5M00G55-R0	5	内蔵 (39 pF)	内蔵 (39 pF)	0	2.3	2.7
	CSTCE8M00G52-R0	8	内蔵 (10 pF)	内蔵 (10 pF)	0	2.3	2.7

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850E/IA4の内部動作条件についてはAC, DC特性の規格内で使用してください。

DC特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	注1		0.7 EV_{DD}		EV_{DD}	V
	V_{IH2}	注2		0.8 EV_{DD}		EV_{DD}	V
	V_{IH3}	注3		2.2		EV_{DD}	V
	V_{IH4}	注4		0.7 AV_{DD}		AV_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	注1		EV_{SS}		0.3 EV_{DD}	V
	V_{IL2}	注2		EV_{SS}		0.2 EV_{DD}	V
	V_{IL3}	注3		EV_{SS}		0.8	V
	V_{IL4}	注4		AV_{SS}		0.3 AV_{DD}	V
ハイ・レベル入力電流	I_{LIH1}	$V_i = AV_{DD} = EV_{DD}$, 注5	X1以外			5	μA
	I_{LIH2}		X1			20	μA
ロウ・レベル入力電流	I_{LIL1}	$V_i = 0 \text{ V}$	X1以外			- 5	μA
	I_{LIL2}		X1			- 20	μA
ハイ・レベル出力電流	I_{LOH}	$V_o = AV_{DD} = EV_{DD}$				5	μA
ロウ・レベル出力電流	I_{LOL}	$V_o = 0 \text{ V}$				- 5	μA
ハイ・レベル出力電圧	V_{OH}	注6	$I_{OH} = -1.0 \text{ mA}$	$EV_{DD} - 1.0$			V
ロウ・レベル出力電圧	V_{OL1}	注7	$I_{OL} = 15 \text{ mA}$			2.0	V
			$I_{OL} = 1.0 \text{ mA}$			0.4	V
	V_{OL2}	注8	$I_{OL} = 1.0 \text{ mA}$			0.4	V
プルアップ抵抗	R_1			10	30	100	$\text{k}\Omega$
プルダウン抵抗 ^{注9}	R_2			10	30	100	$\text{k}\Omega$

注1. P20-P27, P31, P33, P41, PDL0-PDL15端子

2. P00-P07, P10-P17, P30, P32, P34-P37, P40, P42-P44, P50-P52, $\overline{\text{RESET}}$, IC1 ($\mu\text{PD703185}$, 703186のみ)

/FLMD0 ($\mu\text{PD70F3186}$ のみ), PLLSIN端子

3. $\overline{\text{DRST}}$, DDI, DCK, DMS端子 ($\mu\text{PD70F3186}$ のみ)

4. P70-P77端子

5. $\overline{\text{DRST}}$ 端子 ($\mu\text{PD70F3186}$ のみ) は除く

6. P00-P07, P10-P17, P20-P27, P30-P37, P40-P44, P50-P52, PDL0-PDL15端子, DDO端子 ($\mu\text{PD70F3186}$ のみ)

7. P10-P15, P20-P25端子

8. P00-P07, P16, P17, P26, P27, P30-P37, P40-P44, P50-P52, PDL0-PDL15端子, DDO端子 ($\mu\text{PD70F3186}$ のみ)

9. $\overline{\text{DRST}}$ 端子 ($\mu\text{PD70F3186}$ のみ) のみ

備考1. 兼用端子の特性は, ポート端子として使用する場合の特性と同じです。

2. I_{OH} , I_{OL} の条件を1端子のみ満たさず合計値は条件を満たしている場合, DC特性も満たさなくなるのは, その端子のみです。

DC特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$) (2/2)

項目	略号	条件		MIN.	TYP. ^{注1}	MAX.	単位
電源電流 ^{注2} (μ PD70F3186)	I _{DD1}	f _{xx} = 64 MHz	通常動作		90	120	mA
	I _{DD2}		HALTモード		50	75	mA
	I _{DD3}		IDLEモード		10	20	mA
	I _{DD4}	STOPモード			40	800 ^{注3}	μ A
電源電流 ^{注2} (μ PD703185, 703186)	I _{DD1}	f _{xx} = 64 MHz	通常動作		70	95	mA
	I _{DD2}		HALTモード		45	70	mA
	I _{DD3}		IDLEモード		10	20	mA
	I _{DD4}	STOPモード			40	800 ^{注3}	μ A

注1. TYP.値は、 $V_{DD} = 2.5 \text{ V}$, $T_A = 25 \text{ }^\circ\text{C}$ での参考値です。

2. 出力バッファ、プルアップ抵抗で流れる電流は含みません。
3. T_J (ジャンクション温度) = 85

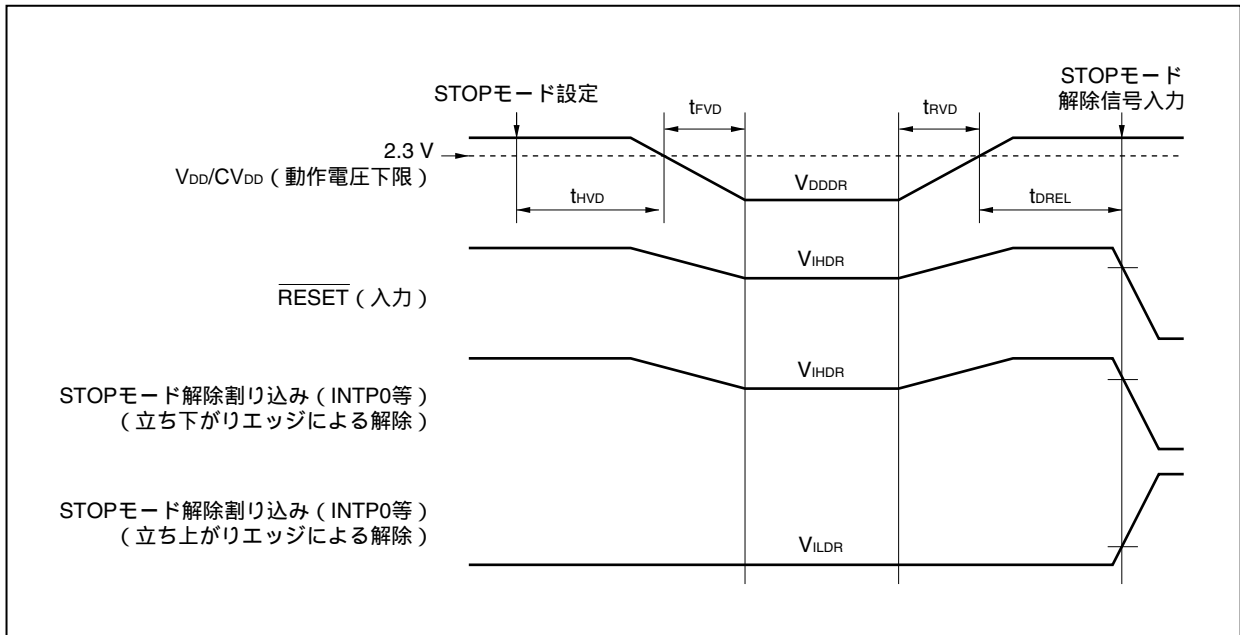
データ保持特性

STOPモード時 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード V_{DD}, CV_{DD}	1.8		2.7	V
		AV_{DD}, EV_{DD}	4.0		5.5	V
データ保持電流	I_{DDDR}	$V_{DD} = V_{DDDR}$	μ PD70F3186	40	800 ^注	μ A
			μ PD703185	40	800 ^注	μ A
			μ PD703186	40	800 ^注	μ A
電源電圧立ち上がり時間	t_{RVD}	V_{DD}, CV_{DD}	200			μ s
電源電圧立ち下がり時間	t_{FVD}	V_{DD}, CV_{DD}	200			μ s
電源電圧保持時間 (対STOPモード設定)	t_{HVD}		0			ms
STOPモード解除信号入力時間	t_{DREL}		0			ms
データ保持ハイ・レベル入力電圧	V_{IHDR}	全入力端子	$0.9V_{DDDR}$		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	全入力端子	EV_{SS}		$0.1V_{DDDR}$	V

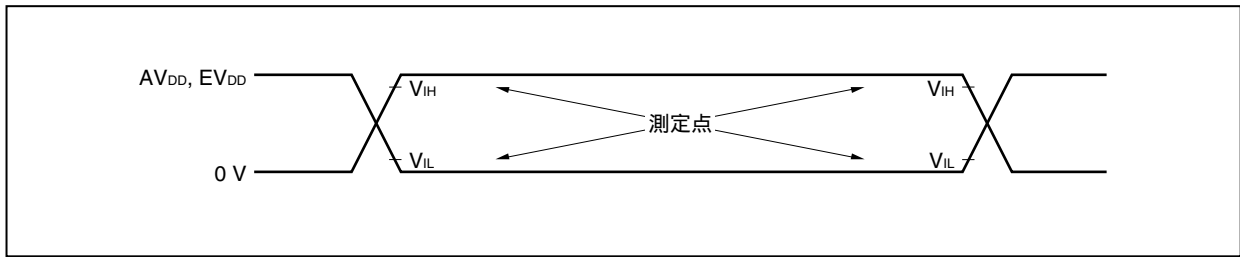
注 T_J (ジャンクション温度) = 85

注意 STOPモードへの移行, およびSTOPモードからの復帰は, $V_{DD} = CV_{DD} = 2.3 \text{ V}$ ($AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$)
で行ってください。

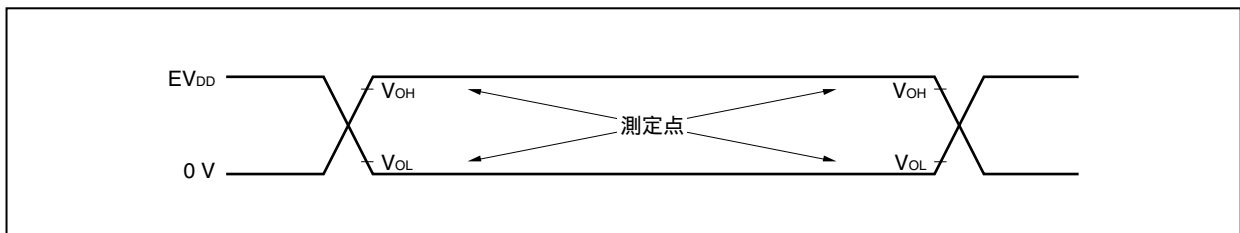


AC特性

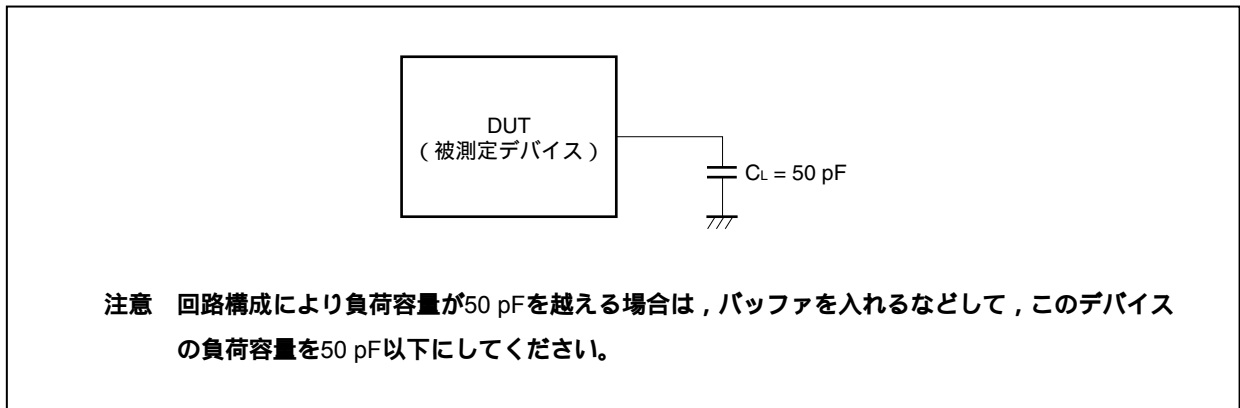
ACテスト入力測定点



ACテスト出力測定点



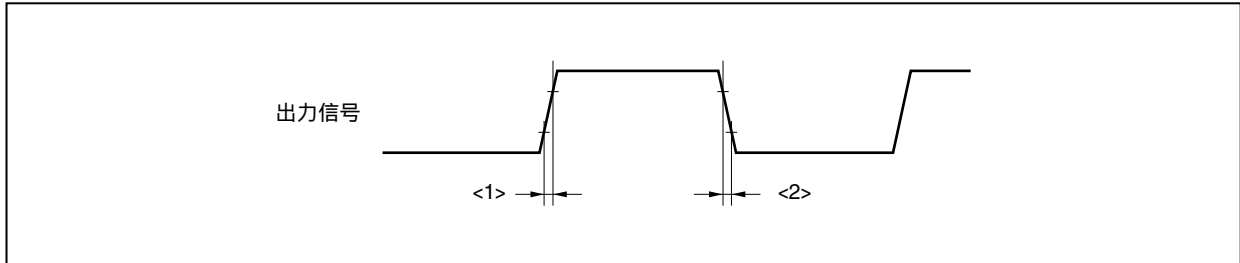
負荷条件



出力信号タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	t_{OR}	<1>		15	ns
出力立ち下がり時間	t_{OF}	<2>		15	ns



リセット、外部割り込みタイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

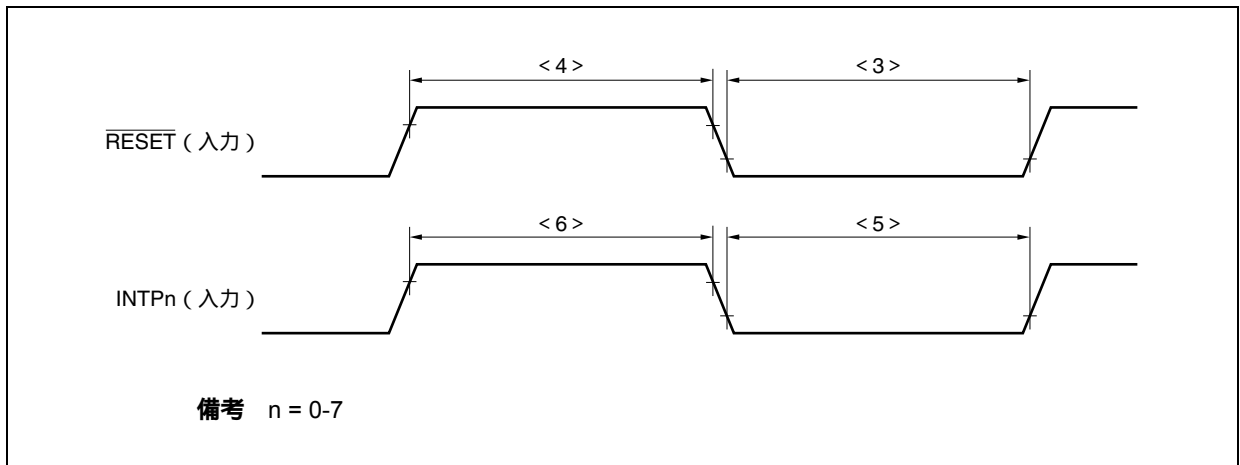
項目	略号	条件	MIN.	MAX.	単位
RESET口ウ・レベル幅	t_{WRSL}	<3> 電源オン時, STOPモード解除時	$500 + T_{os}$		ns
		上記以外	500		ns
RESETハイ・レベル幅	t_{WRSH}	<4>	500		ns
INTPn口ウ・レベル幅	t_{WITL}	n = 0-5, 7 (アナログ・ノイズ除去)	500		ns
		n = 6 (デジタル・ノイズ除去)	$5T_{smp} + 10$		ns
INTPnハイ・レベル幅	t_{WITH}	n = 0-5, 7 (アナログ・ノイズ除去)	500		ns
		n = 6 (デジタル・ノイズ除去)	$5T_{smp} + 10$		ns

備考1. T_{os} : 発振安定時間

T_{smp} : ノイズ除去サンプリング・クロック周期 (INTPNRCレジスタで設定)

- リセット解除後は、内部で1 ms間の発振安定時間が確保され、発振安定時間は($T_{os} + 1$) msとなります。STOPモード解除後は、内部でOSTSレジスタ設定値の1/2の発振安定時間が確保されます。したがって、OSTSレジスタの設定で十分な安定時間を確保できる場合は $T_{os} = 0 \text{ ns}$ でもかまいません。

リセット/割り込み



タイマ・タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
TInハイ・レベル幅 ^{注1}	t_{WTHn}	<7>	$10T + 10$		ns
TInロウ・レベル幅 ^{注1}	t_{WTLn}	<8>	$10T + 10$		ns
EVTQ0ハイ・レベル幅 ^{注1}	t_{WEVHn}	<9>	$10T + 10$		ns
EVTQ0ロウ・レベル幅 ^{注1}	t_{WEVLn}	<10>	$10T + 10$		ns
TRGQ0ハイ・レベル幅 ^{注1}	t_{WTRHn}	<11>	$10T + 10$		ns
TRGQ0ロウ・レベル幅 ^{注1}	t_{WTRLn}	<12>	$10T + 10$		ns
TIUD1m/TCUD1mハイ・レベル幅 ^{注2}	t_{WUDHm}	<13>	$5T_{\text{smp}} + 10$		ns
TIUD1m/TCUD1mロウ・レベル幅 ^{注2}	t_{WUDLm}	<14>	$5T_{\text{smp}} + 10$		ns
TCLR1mハイ・レベル幅 ^{注2}	t_{WTCHm}	<15>	$5T_{\text{smp}} + 10$		ns
TCLR1mロウ・レベル幅 ^{注2}	t_{WTCLm}	<16>	$5T_{\text{smp}} + 10$		ns
TIUD1m/TCUD1m入力時間差 ^{注2}	t_{PHUD}	<17>	$5T_{\text{smp}} + 10$		ns

注1. $T = 1/f_{xx}$

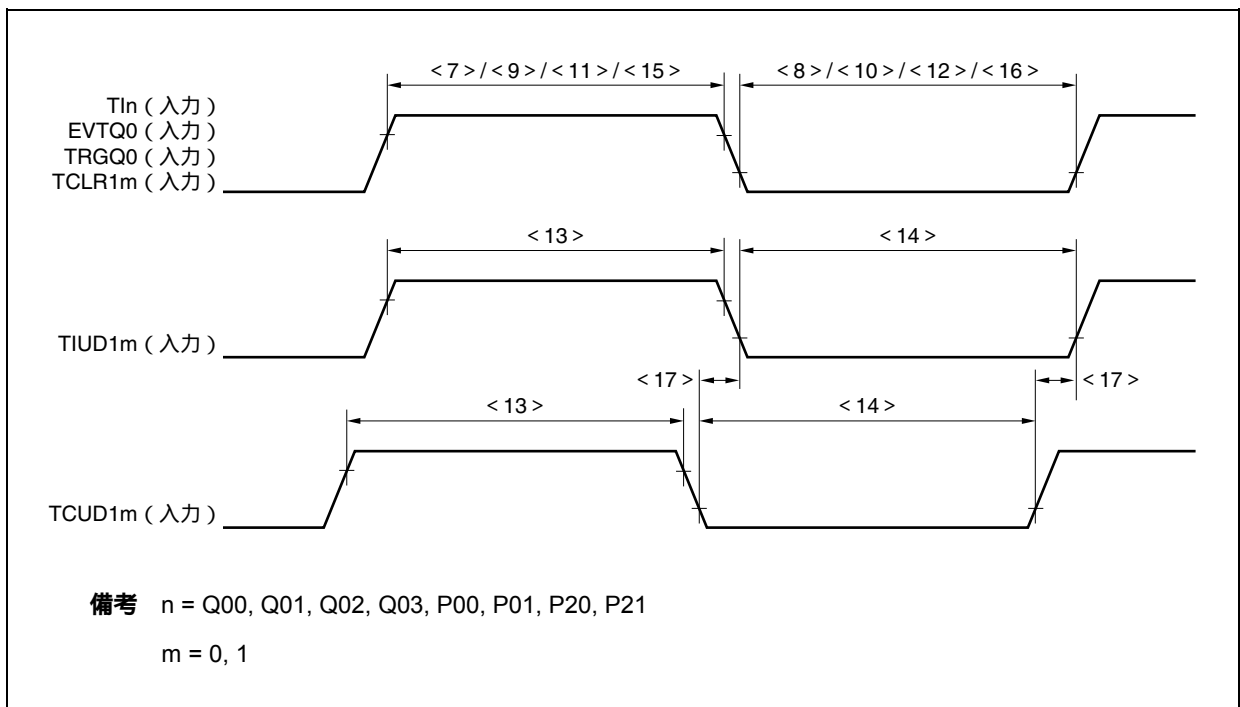
2. T_{smp} : ノイズ除去サンプリング・クロック周期 (NRC1mレジスタで設定)

備考1. $n = Q00, Q01, Q02, Q03, P00, P01, P20, P21$

$m = 0, 1$

2. 上記のスペックは、有効エッジとして確実に検出されるパルス幅を示しているため、上記のスペックより小さいパルス幅を入力しても有効エッジとして検出される可能性があります。

タイマ入力タイミング



CSIBタイミング

(1) マスタ・モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$,
 $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKBn周期	t _{KCYM}	<18>	125		ns
SCKBnハイ/ロウ・レベル幅	t _{KWHM} , t _{KWLM}	<19>	t _{KCYM} /2 - 10		ns
SIBnセットアップ時間 (対SCKBn)	t _{SSIM}	<20>	30		ns
SIBnホールド時間 (対SCKBn)	t _{HSIM}	<21>	30		ns
SOBn出力遅延時間 (対SCKBn)	t _{DSOM}	<22>		30	ns
SOBn出力遅延時間 (対SCKBn)				30	ns
SOBn出力保持時間 (対SCKBn)	t _{HSOM}	<23>	t _{KCYM} /2 - 10		ns
SOBn出力保持時間 (対SCKBn)			t _{KCYM} /2 - 10		ns

備考 n = 0, 1

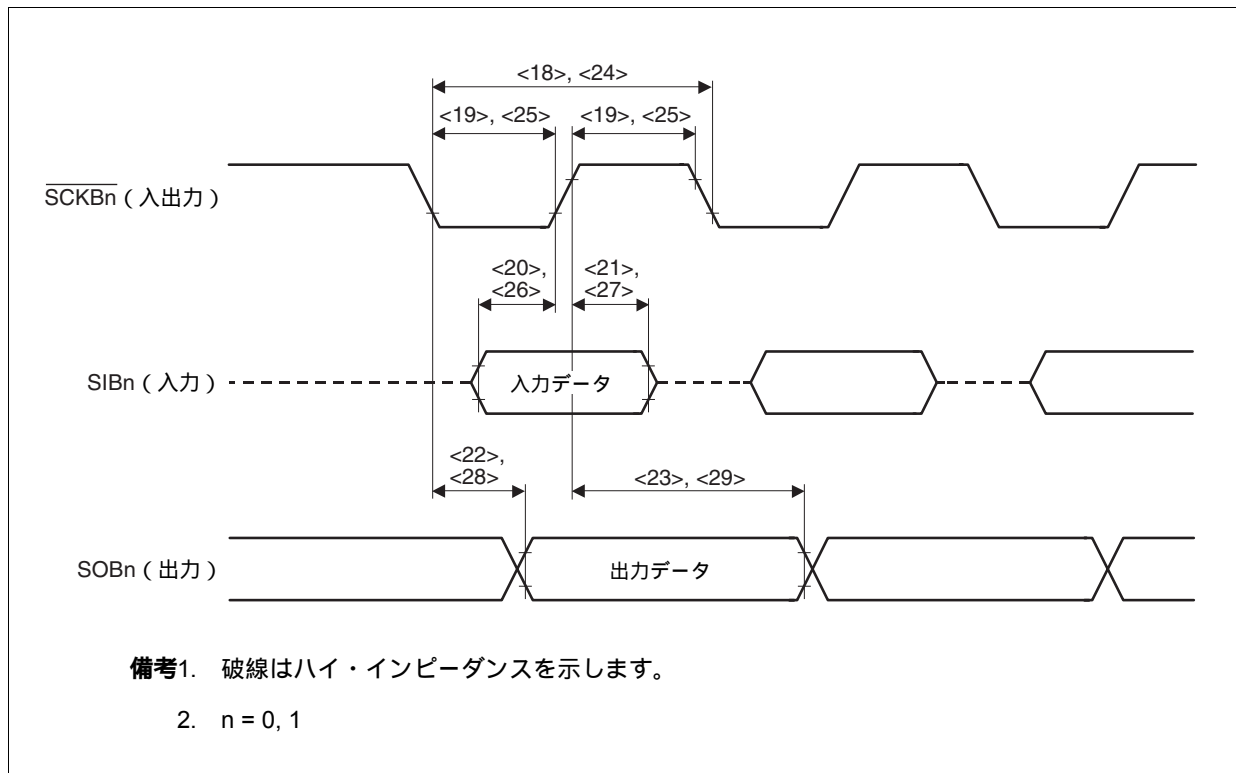
(2) スレーブ・モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$,
 $C_L = 50 \text{ pF}$)

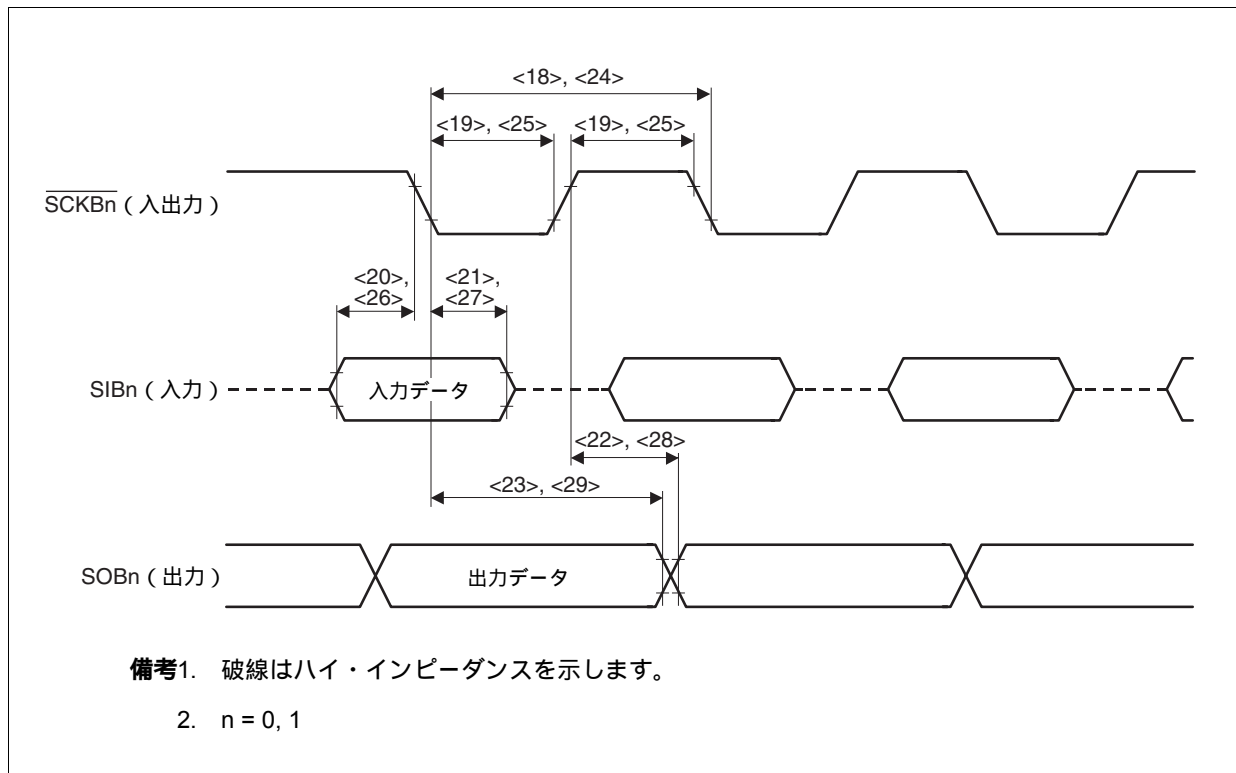
項目	略号	条件	MIN.	MAX.	単位
SCKBn周期	t _{KCYS}	<24>	125		ns
SCKBnハイ/ロウ・レベル幅	t _{KWHS} , t _{KWLS}	<25>	t _{KCYS} /2 - 10		ns
SIBnセットアップ時間 (対SCKBn)	t _{SSIS}	<26>	30		ns
SIBnホールド時間 (対SCKBn)	t _{HSIS}	<27>	30		ns
SOBn出力遅延時間 (対SCKBn)	t _{DSOS}	<28>		30	ns
SOBn出力遅延時間 (対SCKBn)				30	ns
SOBn出力保持時間 (対SCKBn)	t _{HSOS}	<29>	t _{KCYS} /2 - 10		ns
SOBn出力保持時間 (対SCKBn)			t _{KCYS} /2 - 10		ns

備考 n = 0, 1

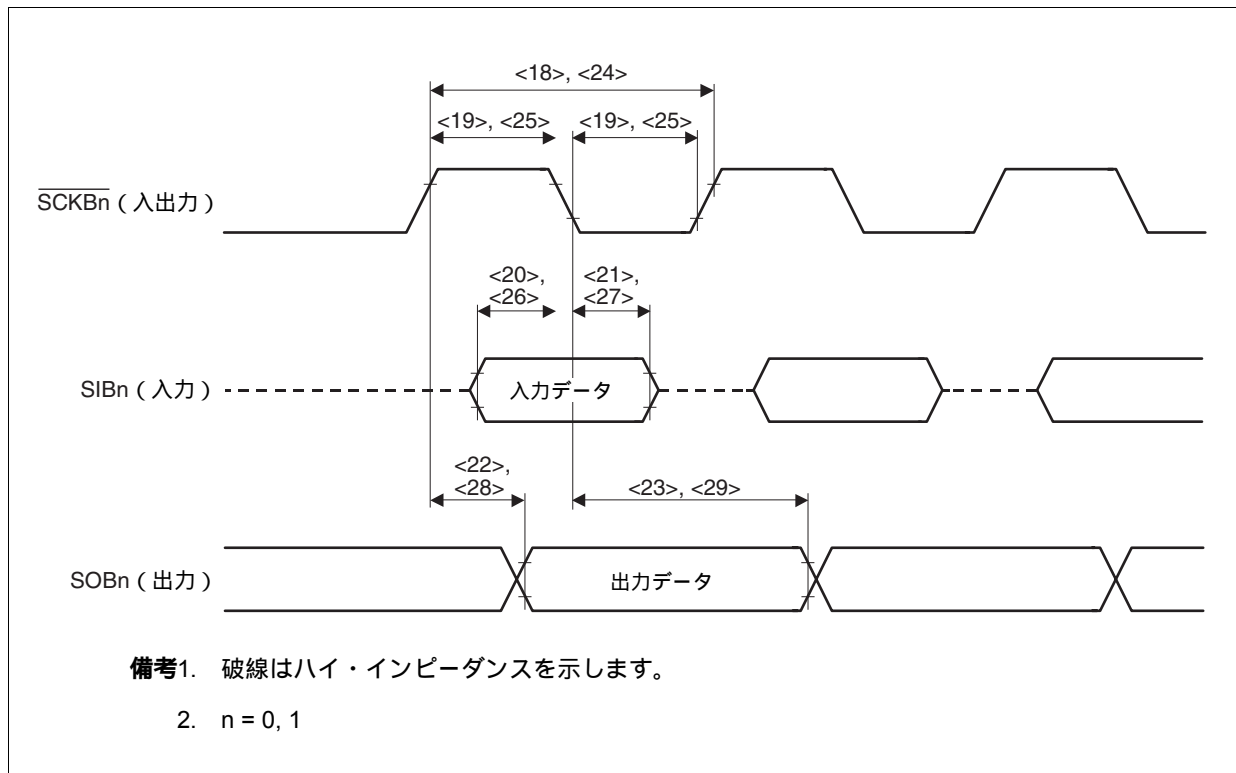
CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 00時



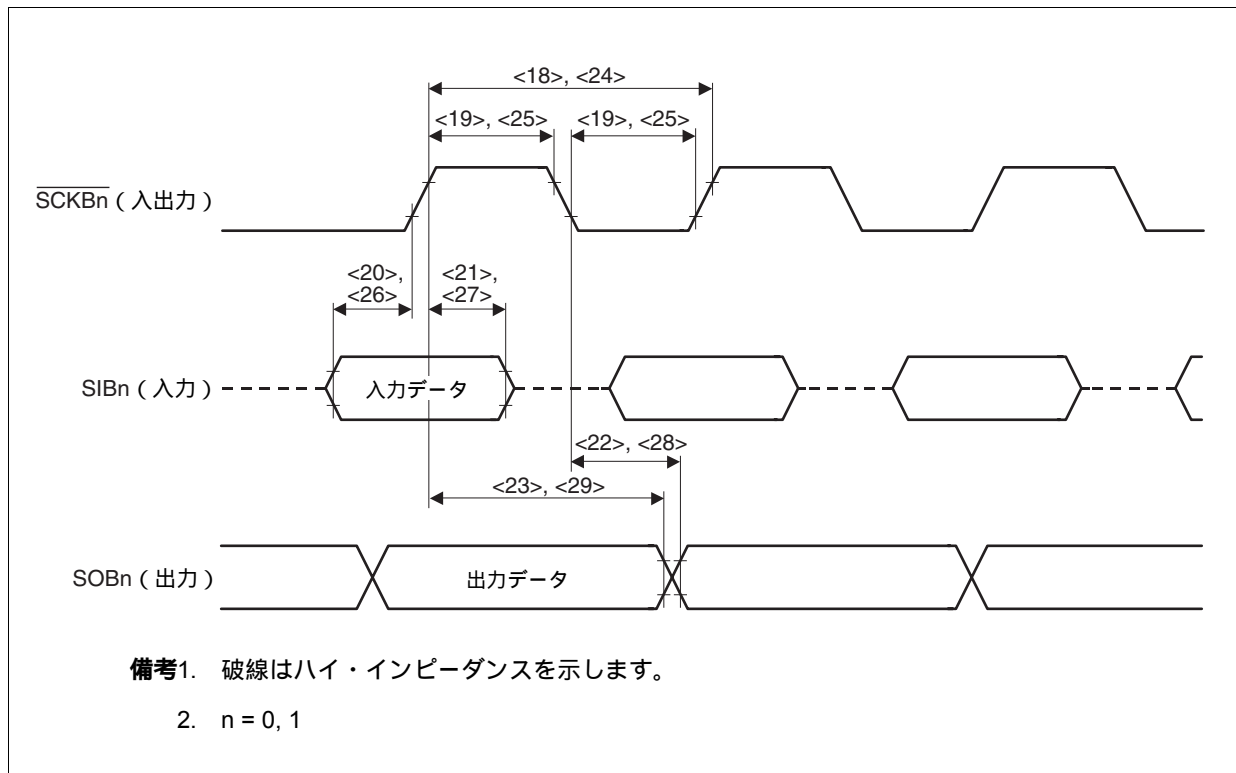
CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 01時



CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 10時



CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 11時



ハイ・インピーダンス制御タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
発振停止 タイマ出力ハイ・インピーダンス	t_{CLM}	クロック・モニタ動作時		65	μs
TOQnOFF入力 タイマ出力ハイ・インピーダンス	t_{HTQn}			300	ns
TOPmOFF入力 タイマ出力ハイ・インピーダンス	t_{HTPm}			300	ns
ANI00-ANI03入力 タイマ出力ハイ・インピーダンス	t_{ANI0}			10	μs
ANI10-ANI12入力 タイマ出力ハイ・インピーダンス	t_{ANI1}			10	μs

備考 n = 0, 1

m = 2, 3

A/Dコンバータ0, 1特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.5 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^{注1}					± 4.0	LSB
変換時間	t_{CONV}	$f_{XX} = 64 \text{ MHz}$, ADAnM1レジスタ = 01H	1.94			μs
		$f_{XX} = 32 \text{ MHz}$, ADAnM1レジスタ = 03H			7.75	μs
ゼロスケール誤差 ^{注1}					± 4.0	LSB
フルスケール誤差 ^{注1}					± 4.0	LSB
積分直線性誤差 ^{注1}					± 4.0	LSB
微分直線性誤差 ^{注1}					± 2.0	LSB
アナログ基準電圧	AV_{DD}		4.5		5.5	V
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{DD}	V
AV_{DD} 電源電流 ^{注2}	AI_{DD}	動作時		5	10	mA
	AI_{DDS}	STOPモード時 ^{注3}		1	10	μA

注1. 量子化誤差 ($\pm 0.5 \text{ LSB}$) は含みません。

2. この値はA/Dコンバータ0またはA/Dコンバータ1のいずれか1回路分です。

3. STOPモードに設定する前に, A/Dコンバータ0, 1の動作を停止 ($ADAnM0.ADAnCE$ ビット = 0) してください。

備考1. LSB : Least Significant Bit

2. $n = 0, 1$

A/Dコンバータ2特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.5 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8		10	bit
総合誤差		10ビット分解能			± 9.5	LSB
		8ビット分解能			± 3.5	LSB
変換時間	t_{CONV}	10ビット分解能, シリアル・モード		512		μs
		10ビット分解能, パラレル・モード		128 ^{注1}		μs
		8ビット分解能, シリアル・モード		128		μs
		8ビット分解能, パラレル・モード		32 ^{注1}		μs
ゼロスケール誤差 ^{注2}		10ビット分解能			± 9.5	LSB
		8ビット分解能			± 3.5	LSB
フルスケール誤差 ^{注2}		10ビット分解能			± 9.5	LSB
		8ビット分解能			± 3.5	LSB
積分直線性誤差 ^{注2}		10ビット分解能			± 2.0	LSB
		8ビット分解能			± 1.5	LSB
微分直線性誤差 ^{注2}		10ビット分解能			± 2.0	LSB
		8ビット分解能			± 1.5	LSB
アナログ基準電圧	AV_{DD}		4.5		5.5	V
アナログ入力電圧	VI_{AN}		AV_{SS}		AV_{DD}	V
AV_{DD} 電源電流	AI_{DD}	動作時		1	3	mA
	AI_{DDS}	STOPモード時 ^{注3}		1	10	μA

- 注1. パラレル・モード時の動作開始後1回目の変換終了時間は、シリアル・モード時と同じ変換時間になります。
上記スペックは2回目以降の値です。
2. 量子化誤差 ($\pm 0.5 \text{ LSB}$) は含みません。
3. STOPモードに設定する前に、A/Dコンバータ2の動作を停止 ($ADA2CTL0.ADA2CE$ ビット = 0) してください。

備考 LSB : Least Significant Bit

オペアンプ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.5 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IO}			± 5.0		mV
入力電圧範囲	V_I	ゲイン = 2.5	$0.04AV_{DD}$		$0.32AV_{DD}$	V
		ゲイン = 5	$0.03AV_{DD}$		$0.16AV_{DD}$	V
スルー・レート	S_R			10		V/ μs
ゲイン誤差		ゲイン = 2.5		± 1.0	± 5.0	%
		ゲイン = 5		± 1.0	± 5.0	%
動作電流 ^{注1}	I_{OPDD}	動作時		1.0	3.0	mA
	A_{IDDS}	STOPモード時 ^{注2}		1.0	10	μA

注1. オペアンプを合計6つ搭載しています。この値は1つあたりの動作電流です。

- STOPモードに設定する前に、A/Dコンバータ0, 1の動作を停止 (ADAnM0.ADAnCEビット = 0) してください。

備考1. オペアンプの動作電流は、 AV_{DD} に含まれます。

- $n = 0, 1$

コンパレータ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.5 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IO}			± 3.0		mV
入力電圧範囲	V_I	CMPREF, ANIm	$0.1AV_{DD}$		$0.5AV_{DD}$	V
応答時間	t_{CR}	入力振幅 = 100 mV , 立ち上がり ^{注1}		4.0		μs
	t_{CF}	入力振幅 = 100 mV , 立ち下がり ^{注2}		2.0		μs
動作電流 ^{注3}	I_{CPDD}	動作時		50	150	μA
	A_{IDDS}	STOPモード時 ^{注4}		1.0	10	μA

注1. ANIm入力がCMPREF - 100 mVからCMPREF + 100 mVに変化する時のパルス応答特性

2. ANIm入力がCMPREF + 100 mVからCMPREF - 100 mVに変化する時のパルス応答特性

3. コンパレータを合計6つ搭載しています。この値は1つあたりの動作電流です。

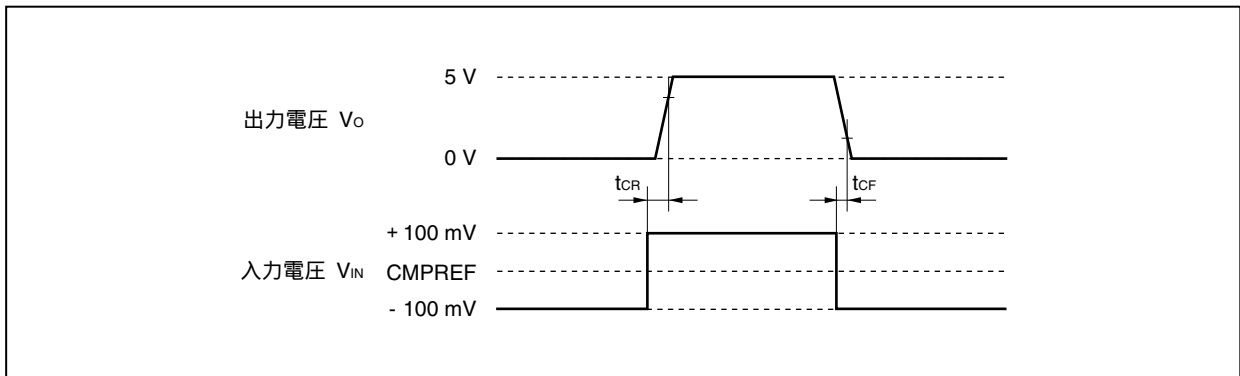
4. STOPモードに設定する前に、A/Dコンバータ0, 1の動作を停止 (ADAnM0.ADAnCEビット = 0) してください。

備考1. コンパレータの動作電流は、 AV_{DD} に含まれます。

2. $m = 00-02, 10-12$

$n = 0, 1$

コンパレータ特性



電源電圧投入 / 切断タイミング

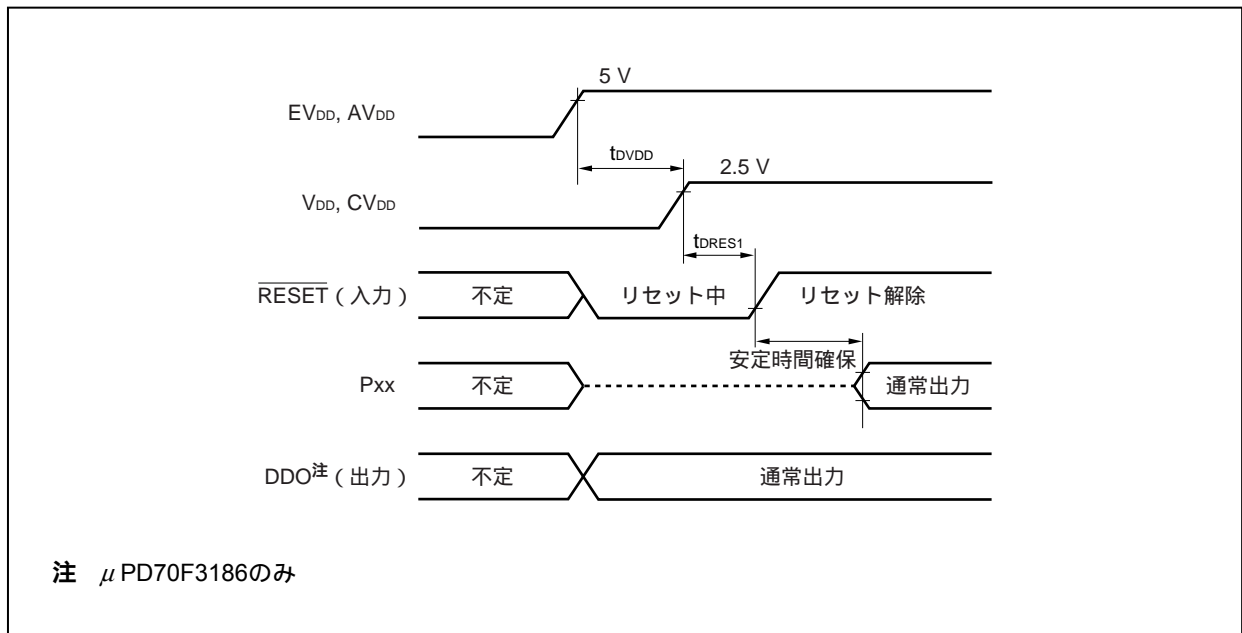
($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
EV _{DD} , AV _{DD} 立ち上がり V _{DD} , CV _{DD} 立ち上がり遅延時間	t _{DVDD}		- 50	50	ms
V _{DD} , CV _{DD} 立ち上がり RESET 遅延時間	t _{DRES1}		T _{osc} - 1		ms
EV _{DD} , AV _{DD} 立ち上がり RESET 遅延時間	t _{DRES2}		T _{osc} - 1		ms
EV _{DD} , AV _{DD} 立ち下がり V _{DD} , CV _{DD} 立ち下がり遅延時間	t _{DEVDD}		0		ns

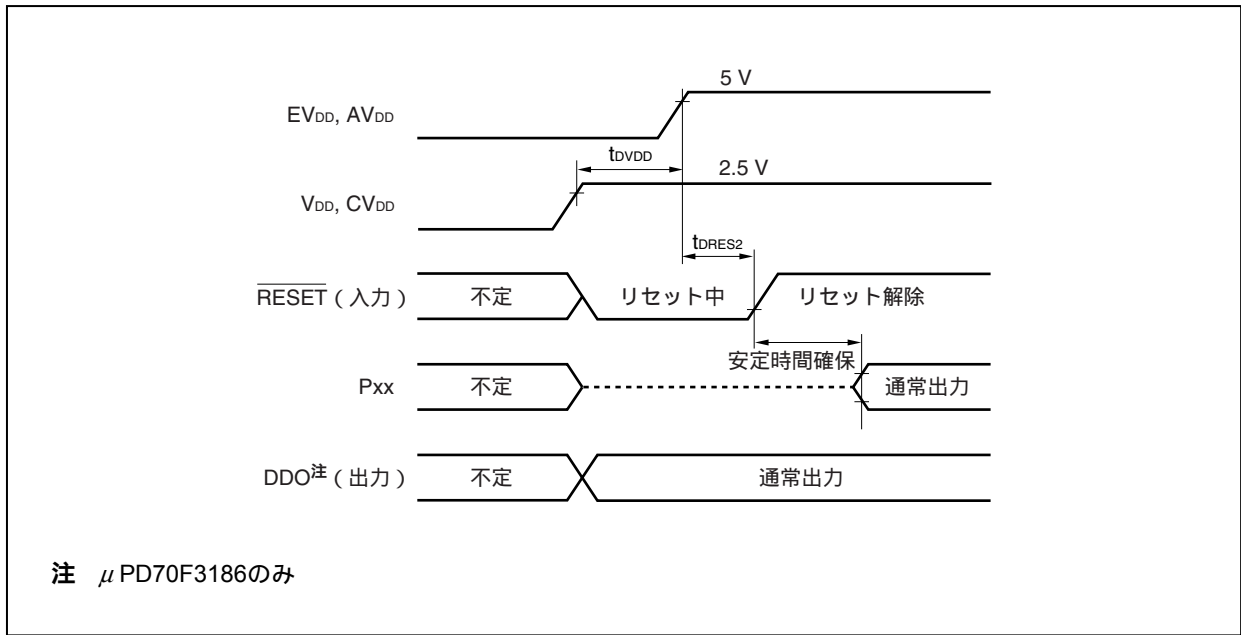
備考 T_{osc} : 発振回路の発振安定時間 (使用する振動子, 発振器により異なります。)

電源電圧投入タイミング

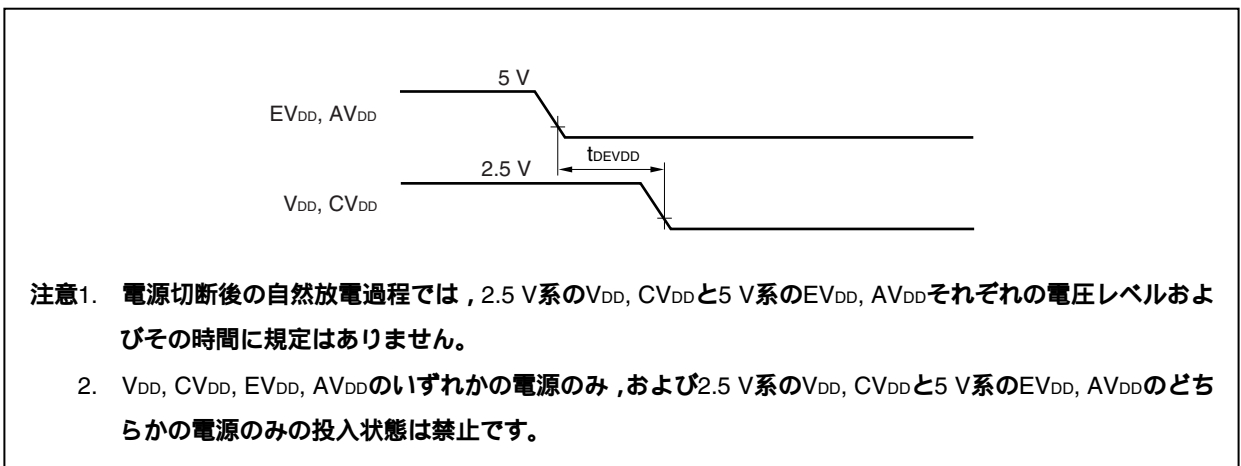
(a) 電源シーケンスの推奨条件1



(b) 電源シーケンスの推奨条件2



電源電圧切断タイミング



フラッシュ・メモリ・プログラミング特性 (μ PD70F3186のみ)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$, $AV_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き換え回数	C _{ERWR}	注		100		回
書き込み電流				90	120	mA
消去電流				90	120	mA

注 出荷品に対する初回書き込み時には、「消去 書き込み」の場合も「書き込みのみ」の場合も、書き換え回数は1回となります。

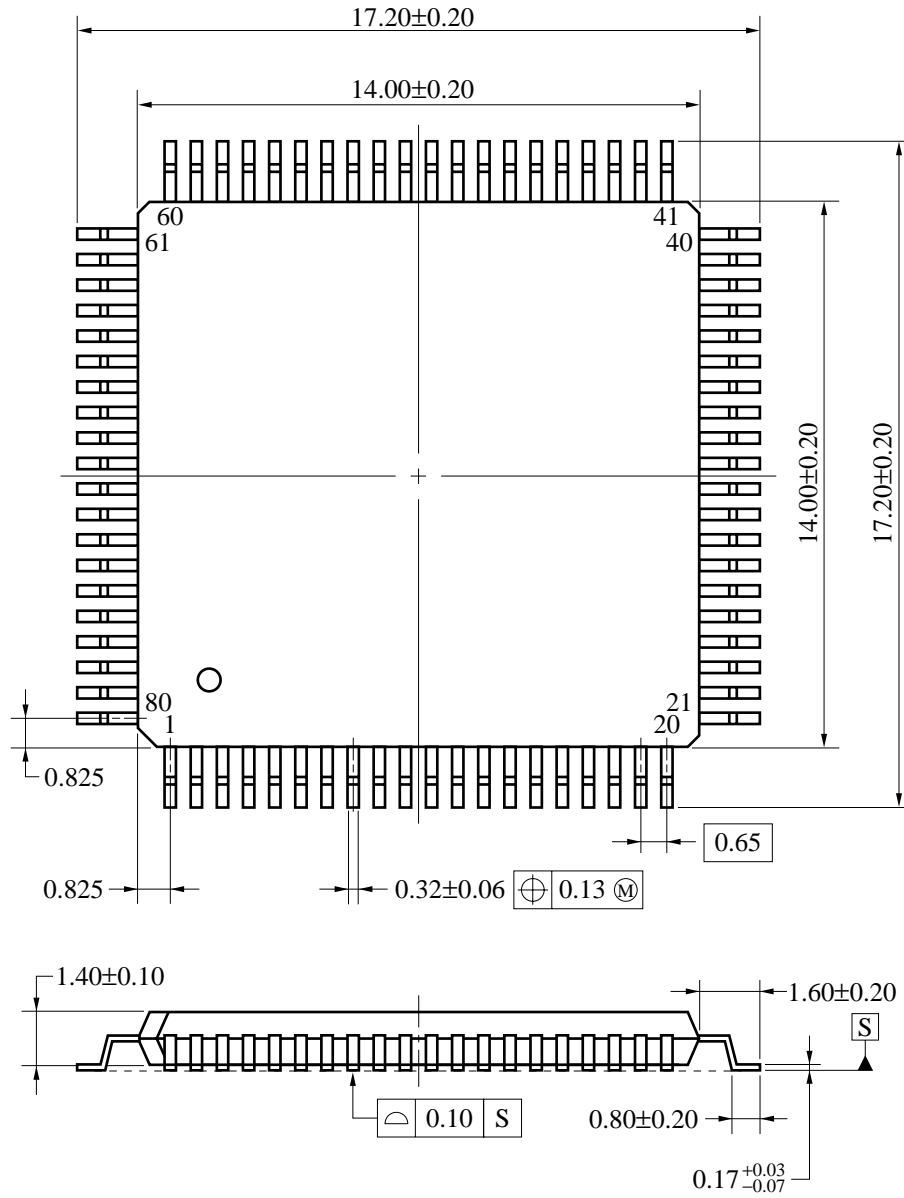
例 (P:書き込み, E:消去)

出荷品 --- P E P E P : 書き換え回数3回

出荷品 E P E P E P : 書き換え回数3回

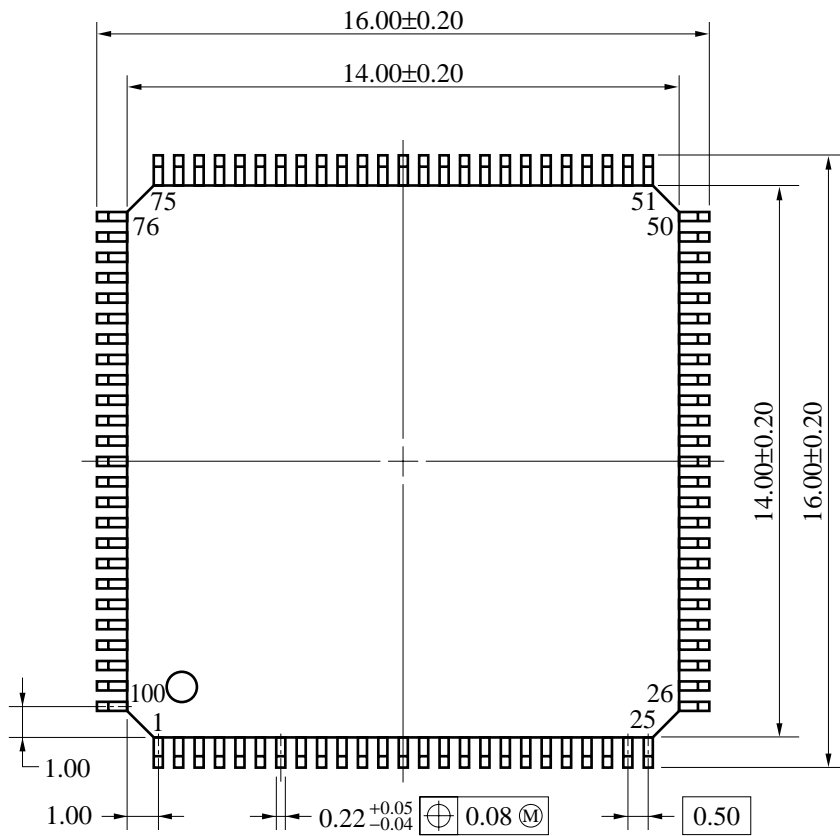
第25章 外形図

80ピン・プラスチック QFP (14x14) 外形図 (単位: mm)

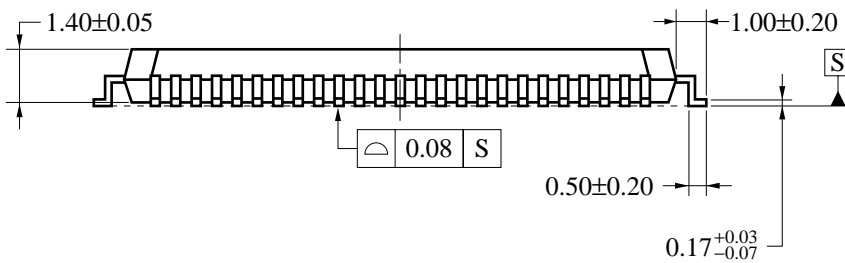
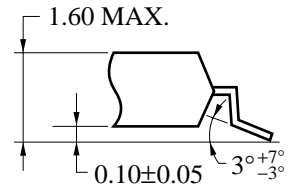


P80GC-65-8BT-1

100ピン・プラスチック LQFP (ファインピッチ)(14x14) 外形図 (単位 : mm)

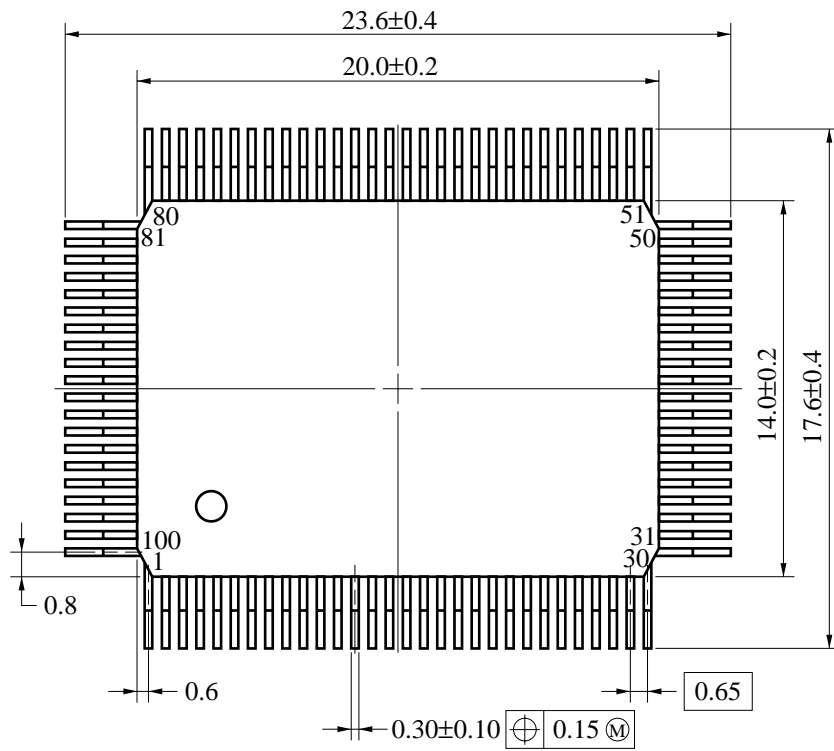


端子先端形状詳細図

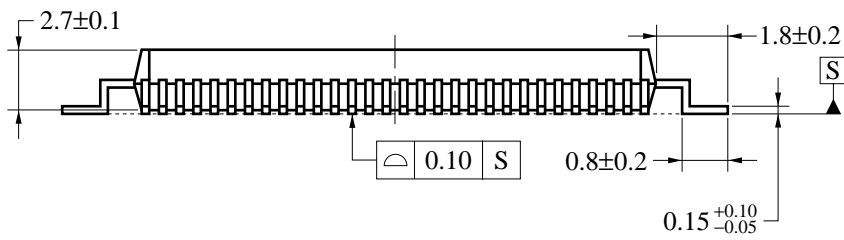
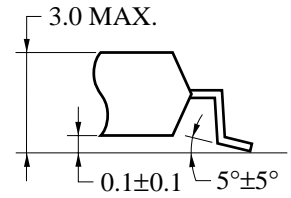


S100GC-50-8EU, 8EA-2

100ピン・プラスチック QFP (14x20) 外形図 (単位: mm)



端子先端形状詳細図



P100GF-65-3BA1-4

第26章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表26 - 1 表面実装タイプの半田付け条件

μ PD703183GC-xxx-8BT-A	80ピン・プラスチックQFP (14×14)
μ PD70F3184GC-8BT-A	"
μ PD703185GC-xxx-8EU-A	100ピン・プラスチックLQFP (ファインピッチ) (14×14)
μ PD703185GF-xxx-3BA-A	100ピン・プラスチックQFP (14×20)
μ PD703186GC-xxx-8EU-A	100ピン・プラスチックLQFP (ファインピッチ) (14×14)
μ PD703186GF-xxx-3BA-A	100ピン・プラスチックQFP (14×20)
μ PD70F3186GC-8EU-A	100ピン・プラスチックLQFP (ファインピッチ) (14×14)
μ PD70F3186GF-3BA-A	100ピン・プラスチックQFP (14×20)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：3日間 ^注 （以降は125℃プリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-203-3
ウエーブ・ソルダリング	詳細については，当社販売員にお問い合わせください。	—
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管状態は25℃，65 %RH以下。

備考1. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

付録A 注意事項

A. 1 sld命令と割り込み競合に関する制限事項

A. 1. 1 内 容

次の命令<1>の事項が完了する前に、後続のsld命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ ld命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・ sld命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・ 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

< > ld.w [r11], r10	・ ・ ・	< >のld命令の実行が完了する前に、< >のsld命令の直前のmov命令< >のデコード動作と割り込み要求が競合した場合、< >のld命令の実行結果がレジスタに格納されないことがあります。
< > mov r10, r28		
< > sld.w 0x28, r10		

A. 1. 2 回 避 策

(1) コンパイラ (CA850) 使用時

CA850はVer.2.61以降を使用してください。該当命令シーケンスの生成を自動的に抑止します。

(2) アセンブラでの対策

命令< >の直後にsld命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・ sld命令の直前にnop命令を入れる。
- ・ sld命令のディスティネーション・レジスタと同じレジスタを、sld命令の直前で実行する上記< >の命令で使用しない。

付録B レジスタ索引

(1/9)

略号	名称	ユニット	ページ
AD0IC	割り込み制御レジスタ	INTC	695
AD1IC	割り込み制御レジスタ	INTC	695
AD2IC	割り込み制御レジスタ	INTC	695
ADA0CR0	A/D0変換結果レジスタ0	ADC0	510
ADA0CR0H	A/D0変換結果レジスタ0H	ADC0	510
ADA0CR1	A/D0変換結果レジスタ1	ADC0	510
ADA0CR1H	A/D0変換結果レジスタ1H	ADC0	510
ADA0CR2	A/D0変換結果レジスタ2	ADC0	510
ADA0CR2H	A/D0変換結果レジスタ2H	ADC0	510
ADA0CR3	A/D0変換結果レジスタ3	ADC0	510
ADA0CR3H	A/D0変換結果レジスタ3H	ADC0	510
ADA0CR4	A/D0変換結果レジスタ4	ADC0	511
ADA0CR4H	A/D0変換結果レジスタ4H	ADC0	511
ADA0CR5	A/D0変換結果レジスタ5	ADC0	511
ADA0CR5H	A/D0変換結果レジスタ5H	ADC0	511
ADA0CR6	A/D0変換結果レジスタ6	ADC0	511
ADA0CR6H	A/D0変換結果レジスタ6H	ADC0	511
ADA0CR7	A/D0変換結果レジスタ7	ADC0	511
ADA0CR7H	A/D0変換結果レジスタ7H	ADC0	511
ADA0M0	A/Dコンバータ0モード・レジスタ0	ADC0	502
ADA0M1	A/Dコンバータ0モード・レジスタ1	ADC0	504
ADA0M2	A/Dコンバータ0モード・レジスタ2	ADC0	506
ADA0S	A/Dコンバータ0チャンネル指定レジスタ	ADC0	505
ADA1CR0	A/D1変換結果レジスタ0	ADC1	510
ADA1CR0H	A/D1変換結果レジスタ0H	ADC1	510
ADA1CR1	A/D1変換結果レジスタ1	ADC1	510
ADA1CR1H	A/D1変換結果レジスタ1H	ADC1	510
ADA1CR2	A/D1変換結果レジスタ2	ADC1	510
ADA1CR2H	A/D1変換結果レジスタ2H	ADC1	510
ADA1CR3	A/D1変換結果レジスタ3	ADC1	510
ADA1CR3H	A/D1変換結果レジスタ3H	ADC1	510
ADA1CR4	A/D1変換結果レジスタ4	ADC1	511
ADA1CR4H	A/D1変換結果レジスタ4H	ADC1	511
ADA1CR5	A/D1変換結果レジスタ5	ADC1	511
ADA1CR5H	A/D1変換結果レジスタ5H	ADC1	511
ADA1CR6	A/D1変換結果レジスタ6	ADC1	511
ADA1CR6H	A/D1変換結果レジスタ6H	ADC1	511
ADA1CR7	A/D1変換結果レジスタ7	ADC1	511
ADA1CR7H	A/D1変換結果レジスタ7H	ADC1	511

略号	名称	ユニット	ページ
ADA1M0	A/Dコンバータ1モード・レジスタ0	ADC1	502
ADA1M1	A/Dコンバータ1モード・レジスタ1	ADC1	504
ADA1M2	A/Dコンバータ1モード・レジスタ2	ADC1	506
ADA1S	A/Dコンバータ1チャンネル指定レジスタ	ADC1	505
ADA2CR0	A/D2変換結果レジスタ0	ADC2	566
ADA2CR0H	A/D2変換結果レジスタ0H	ADC2	566
ADA2CR1	A/D2変換結果レジスタ1	ADC2	566
ADA2CR1H	A/D2変換結果レジスタ1H	ADC2	566
ADA2CR2	A/D2変換結果レジスタ2	ADC2	566
ADA2CR2H	A/D2変換結果レジスタ2H	ADC2	566
ADA2CR3	A/D2変換結果レジスタ3	ADC2	566
ADA2CR3H	A/D2変換結果レジスタ3H	ADC2	566
ADA2CR4	A/D2変換結果レジスタ4	ADC2	566
ADA2CR4H	A/D2変換結果レジスタ4H	ADC2	566
ADA2CR5	A/D2変換結果レジスタ5	ADC2	566
ADA2CR5H	A/D2変換結果レジスタ5H	ADC2	566
ADA2CR6	A/D2変換結果レジスタ6	ADC2	566
ADA2CR6H	A/D2変換結果レジスタ6H	ADC2	566
ADA2CR7	A/D2変換結果レジスタ7	ADC2	566
ADA2CR7H	A/D2変換結果レジスタ7H	ADC2	566
ADA2CTL0	A/Dコンバータ2制御レジスタ0	ADC2	560
ADA2CTL1	A/Dコンバータ2制御レジスタ1	ADC2	561
ADA2CTL2	A/Dコンバータ2制御レジスタ2	ADC2	562
ADA2CTL3	A/Dコンバータ2制御レジスタ3	ADC2	563
ADA2STR	A/Dコンバータ2ステータス・レジスタ	ADC2	565
CB0CTL0	CSIB0制御レジスタ0	CSIB0	612
CB0CTL1	CSIB0制御レジスタ1	CSIB0	615
CB0CTL2	CSIB0制御レジスタ2	CSIB0	616
CB0REIC	割り込み制御レジスタ	INTC	695
CB0RIC	割り込み制御レジスタ	INTC	695
CB0RX	CSIB0受信データ・レジスタ	CSIB0	611
CB0RXL	CSIB0受信データ・レジスタL	CSIB0	611
CB0STR	CSIB0状態レジスタ	CSIB0	618
CB0TIC	割り込み制御レジスタ	INTC	695
CB0TX	CSIB0送信データ・レジスタ	CSIB0	611
CB0TXL	CSIB0送信データ・レジスタL	CSIB0	611
CB1CTL0	CSIB1制御レジスタ0	CSIB1	612
CB1CTL1	CSIB1制御レジスタ1	CSIB1	615
CB1CTL2	CSIB1制御レジスタ2	CSIB1	616
CB1REIC	割り込み制御レジスタ	INTC	695
CB1RIC	割り込み制御レジスタ	INTC	695
CB1RX	CSIB1受信データ・レジスタ	CSIB1	611
CB1RXL	CSIB1受信データ・レジスタL	CSIB1	611
CB1STR	CSIB1状態レジスタ	CSIB1	618

略号	名称	ユニット	ページ
CB1TIC	割り込み制御レジスタ	INTC	695
CB1TX	CSIB1送信データ・レジスタ	CSIB1	611
CB1TXL	CSIB1送信データ・レジスタL	CSIB1	611
CC0IC0	割り込み制御レジスタ	INTC	695
CC0IC1	割り込み制御レジスタ	INTC	695
CC100	キャプチャ/コンペア・レジスタ100	タイマ	401
CC101	キャプチャ/コンペア・レジスタ101	タイマ	402
CC110	キャプチャ/コンペア・レジスタ110	タイマ	401
CC111	キャプチャ/コンペア・レジスタ111	タイマ	402
CC1IC0	割り込み制御レジスタ	INTC	695
CC1IC1	割り込み制御レジスタ	INTC	695
CCR10	キャプチャ/コンペア・コントロール・レジスタ10	タイマ	394
CCR11	キャプチャ/コンペア・コントロール・レジスタ11	タイマ	394
CLM	クロック・モニタ・モード・レジスタ	CG	171
CM0IC0	割り込み制御レジスタ	INTC	695
CM0IC1	割り込み制御レジスタ	INTC	695
CM100	コンペア・レジスタ100	タイマ	399
CM101	コンペア・レジスタ101	タイマ	400
CM110	コンペア・レジスタ110	タイマ	399
CM111	コンペア・レジスタ111	タイマ	400
CM1IC0	割り込み制御レジスタ	INTC	695
CM1IC1	割り込み制御レジスタ	INTC	695
CMPIC0	割り込み制御レジスタ	INTC	695
CMPIC1	割り込み制御レジスタ	INTC	695
CORAD0	コレクション・アドレス・レジスタ0	CPU	733
CORAD0H	コレクション・アドレス・レジスタ0H	CPU	733
CORAD0L	コレクション・アドレス・レジスタ0L	CPU	733
CORAD1	コレクション・アドレス・レジスタ1	CPU	733
CORAD1H	コレクション・アドレス・レジスタ1H	CPU	733
CORAD1L	コレクション・アドレス・レジスタ1L	CPU	733
CORAD2	コレクション・アドレス・レジスタ2	CPU	733
CORAD2H	コレクション・アドレス・レジスタ2H	CPU	733
CORAD2L	コレクション・アドレス・レジスタ2L	CPU	733
CORAD3	コレクション・アドレス・レジスタ3	CPU	733
CORAD3H	コレクション・アドレス・レジスタ3H	CPU	733
CORAD3L	コレクション・アドレス・レジスタ3L	CPU	733
CORCN	コレクション・コントロール・レジスタ	CPU	734
CSL10	CC101キャプチャ入力選択レジスタ	タイマ	398
CSL11	CC111キャプチャ入力選択レジスタ	タイマ	398
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMAC	660
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMAC	660
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMAC	660
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMAC	660
DBC0	DMA転送カウント・レジスタ0	DMAC	659

略号	名称	ユニット	ページ
DBC1	DMA転送カウント・レジスタ1	DMAC	659
DBC2	DMA転送カウント・レジスタ2	DMAC	659
DBC3	DMA転送カウント・レジスタ3	DMAC	659
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	661
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	661
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	661
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMAC	661
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	657
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	658
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	657
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	658
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	657
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	658
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	657
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	658
DMAIC0	割り込み制御レジスタ	INTC	695
DMAIC1	割り込み制御レジスタ	INTC	695
DMAIC2	割り込み制御レジスタ	INTC	695
DMAIC3	割り込み制御レジスタ	INTC	695
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	655
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	656
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	655
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	656
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	655
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	656
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	655
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	656
DTFR0	DMAトリガ要因レジスタ0	DMAC	663
DTFR1	DMAトリガ要因レジスタ1	DMAC	663
DTFR2	DMAトリガ要因レジスタ2	DMAC	663
DTFR3	DMAトリガ要因レジスタ3	DMAC	663
HZA0CTL0	ハイ・インピーダンス出力制御レジスタ00	タイマ	438
HZA0CTL1	ハイ・インピーダンス出力制御レジスタ01	タイマ	438
HZA1CTL0	ハイ・インピーダンス出力制御レジスタ10	タイマ	438
HZA1CTL1	ハイ・インピーダンス出力制御レジスタ11	タイマ	438
HZA2CTL0	ハイ・インピーダンス出力制御レジスタ20	タイマ	438
HZA2CTL1	ハイ・インピーダンス出力制御レジスタ21	タイマ	438
IMR0	割り込みマスク・レジスタ0	INTC	699
IMR0H	割り込みマスク・レジスタ0H	INTC	699
IMR0L	割り込みマスク・レジスタ0L	INTC	699
IMR1	割り込みマスク・レジスタ1	INTC	699
IMR1H	割り込みマスク・レジスタ1H	INTC	699
IMR1L	割り込みマスク・レジスタ1L	INTC	699
IMR2	割り込みマスク・レジスタ2	INTC	699

略号	名称	ユニット	ページ
IMR2H	割り込みマスク・レジスタ2H	INTC	699
IMR2L	割り込みマスク・レジスタ2L	INTC	699
IMR3	割り込みマスク・レジスタ3	INTC	699
IMR3H	割り込みマスク・レジスタ3H	INTC	699
IMR3L	割り込みマスク・レジスタ3L	INTC	699
IMS	内部メモリ・サイズ切り替えレジスタ	CPU	66
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	705
INTPNRC	外部割り込みノイズ除去制御レジスタ	INTC	159, 703
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	705
ISPR	インサービス・プライオリティ・レジスタ	INTC	701
NRC10	ノイズ除去時間選択レジスタ10	タイマ	160, 398
NRC11	ノイズ除去時間選択レジスタ11	タイマ	160, 398
OP0CTL0	オペアンプ0制御レジスタ0	ADC0	508
OP0CTL1	オペアンプ0制御レジスタ1	ADC0	509
OP1CTL0	オペアンプ1制御レジスタ0	ADC0	508
OP1CTL1	オペアンプ1制御レジスタ1	ADC0	509
OSTS	発振安定時間選択レジスタ	CG	170
P0	ポート0レジスタ	ポート	95
P1	ポート1レジスタ	ポート	101
P2	ポート2レジスタ	ポート	110
P3	ポート3レジスタ	ポート	116
P4	ポート4レジスタ	ポート	126
P5	ポート5レジスタ	ポート	133
P7	ポート7レジスタ	ポート	139
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	167
PDL	ポートDLレジスタ	ポート	143
PDLH	ポートDLレジスタH	ポート	143
PDLL	ポートDLレジスタL	ポート	143
PFC1	ポート1ファンクション・コントロール・レジスタ	ポート	103
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	118
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	128
PFC5	ポート5ファンクション・コントロール・レジスタ	ポート	135
PFCE1	ポート1ファンクション・コントロール拡張レジスタ	ポート	103
PIC0	割り込み制御レジスタ	INTC	695
PIC1	割り込み制御レジスタ	INTC	695
PIC2	割り込み制御レジスタ	INTC	695
PIC3	割り込み制御レジスタ	INTC	695
PIC4	割り込み制御レジスタ	INTC	695
PIC5	割り込み制御レジスタ	INTC	695
PIC6	割り込み制御レジスタ	INTC	695
PIC7	割り込み制御レジスタ	INTC	695
PLLCTL	PLLコントロール・レジスタ	CG	166
PM0	ポート0モード・レジスタ	ポート	95
PM1	ポート1モード・レジスタ	ポート	101

略号	名称	ユニット	ページ
PM2	ポート2モード・レジスタ	ポート	110
PM3	ポート3モード・レジスタ	ポート	116
PM4	ポート4モード・レジスタ	ポート	127
PM5	ポート5モード・レジスタ	ポート	134
PMC0	ポート0モード・コントロール・レジスタ	ポート	96
PMC1	ポート1モード・コントロール・レジスタ	ポート	102
PMC2	ポート2モード・コントロール・レジスタ	ポート	111
PMC3	ポート3モード・コントロール・レジスタ	ポート	117
PMC4	ポート4モード・コントロール・レジスタ	ポート	127
PMC5	ポート5モード・コントロール・レジスタ	ポート	134
PMC7	ポート7モード・コントロール・レジスタ	ポート	140
PMDL	ポートDLモード・レジスタ	ポート	143
PMDLH	ポートDLモード・レジスタH	ポート	143
PMDLL	ポートDLモード・レジスタL	ポート	143
PRCMD	コマンド・レジスタ	CPU	81
PRM10	プリスケアラ・モード・レジスタ10	タイマ	396
PRM11	プリスケアラ・モード・レジスタ11	タイマ	396
PSC	パワー・セーブ・コントロール・レジスタ	CPU	168, 719
PSMR	パワー・セーブ・モード・レジスタ	CPU	169, 719
PU0	プルアップ抵抗オプション・レジスタ0	ポート	97
PU1	プルアップ抵抗オプション・レジスタ1	ポート	105
PU2	プルアップ抵抗オプション・レジスタ2	ポート	112
PU3	プルアップ抵抗オプション・レジスタ3	ポート	118
PU4	プルアップ抵抗オプション・レジスタ4	ポート	128
PU5	プルアップ抵抗オプション・レジスタ5	ポート	135
PUDL	プルアップ抵抗オプション・レジスタDL	ポート	144
PUDLH	プルアップ抵抗オプション・レジスタDLH	ポート	144
PUDLL	プルアップ抵抗オプション・レジスタDLL	ポート	144
RESF	リセット要因フラグ・レジスタ	リセット	728
SESA10	有効エッジ選択レジスタ10	タイマ	394
SESA11	有効エッジ選択レジスタ11	タイマ	394
STATUS10	ステータス・レジスタ10	タイマ	397
STATUS11	ステータス・レジスタ11	タイマ	397
SYS	システム・ステータス・レジスタ	CPU	82
TMOCMP0	TMM0コンペア・レジスタ0	タイマ	418
TMOCTL0	TMM0制御レジスタ0	タイマ	419
TM0EQIC0	割り込み制御レジスタ	INTC	695
TMC10	タイマ・コントロール・レジスタ10	タイマ	392
TMC11	タイマ・コントロール・レジスタ11	タイマ	392
TMENC10	タイマENC10	タイマ	389
TMENC11	タイマENC11	タイマ	389
TP0CCIC0	割り込み制御レジスタ	INTC	695
TP0CCIC1	割り込み制御レジスタ	INTC	695
TP0CCR0	TMP0キャプチャ/コンペア・レジスタ0	タイマ	192

略号	名称	ユニット	ページ
TP0CCR1	TMP0キャプチャ/コンペア・レジスタ1	タイマ	194
TP0CNT	TMP0カウンタ・リード・バッファ・レジスタ	タイマ	196
TP0CTL0	TMP0制御レジスタ0	タイマ	184
TP0CTL1	TMP0制御レジスタ1	タイマ	185
TP0IOC0	TMP0I/O制御レジスタ0	タイマ	186
TP0IOC1	TMP0I/O制御レジスタ1	タイマ	189
TP0IOC2	TMP0I/O制御レジスタ2	タイマ	190
TP0OPT0	TMP0オプション・レジスタ0	タイマ	191
TP0OVIC	割り込み制御レジスタ	INTC	695
TP1CCIC0	割り込み制御レジスタ	INTC	695
TP1CCIC1	割り込み制御レジスタ	INTC	695
TP1CCR0	TMP1キャプチャ/コンペア・レジスタ0	タイマ	192
TP1CCR1	TMP1キャプチャ/コンペア・レジスタ1	タイマ	194
TP1CNT	TMP1カウンタ・リード・バッファ・レジスタ	タイマ	196
TP1CTL0	TMP1制御レジスタ0	タイマ	184
TP1CTL1	TMP1制御レジスタ1	タイマ	185
TP1OPT0	TMP1オプション・レジスタ0	タイマ	191
TP1OVIC	割り込み制御レジスタ	INTC	695
TP2CCIC0	割り込み制御レジスタ	INTC	695
TP2CCIC1	割り込み制御レジスタ	INTC	695
TP2CCR0	TMP2キャプチャ/コンペア・レジスタ0	タイマ	192
TP2CCR1	TMP2キャプチャ/コンペア・レジスタ1	タイマ	194
TP2CNT	TMP2カウンタ・リード・バッファ・レジスタ	タイマ	196
TP2CTL0	TMP2制御レジスタ0	タイマ	184
TP2CTL1	TMP2制御レジスタ1	タイマ	185
TP2IOC0	TMP2I/O制御レジスタ0	タイマ	186
TP2IOC1	TMP2I/O制御レジスタ1	タイマ	189
TP2IOC2	TMP2I/O制御レジスタ2	タイマ	190
TP2OPT0	TMP2オプション・レジスタ0	タイマ	191
TP2OVIC	割り込み制御レジスタ	INTC	695
TP3CCIC0	割り込み制御レジスタ	INTC	695
TP3CCIC1	割り込み制御レジスタ	INTC	695
TP3CCR0	TMP3キャプチャ/コンペア・レジスタ0	タイマ	192
TP3CCR1	TMP3キャプチャ/コンペア・レジスタ1	タイマ	194
TP3CNT	TMP3カウンタ・リード・バッファ・レジスタ	タイマ	196
TP3CTL0	TMP3制御レジスタ0	タイマ	184
TP3CTL1	TMP3制御レジスタ1	タイマ	185
TP3IOC0	TMP3I/O制御レジスタ0	タイマ	186
TP3OPT0	TMP3オプション・レジスタ0	タイマ	191
TP3OVIC	割り込み制御レジスタ	INTC	695
TQ0CCIC0	割り込み制御レジスタ	INTC	695
TQ0CCIC1	割り込み制御レジスタ	INTC	695
TQ0CCIC2	割り込み制御レジスタ	INTC	695
TQ0CCIC3	割り込み制御レジスタ	INTC	695

略号	名称	ユニット	ページ
TQ0CCR0	TMQ0キャプチャ/コンペア・レジスタ0	タイマ	289
TQ0CCR1	TMQ0キャプチャ/コンペア・レジスタ1	タイマ	291
TQ0CCR2	TMQ0キャプチャ/コンペア・レジスタ2	タイマ	292
TQ0CCR3	TMQ0キャプチャ/コンペア・レジスタ3	タイマ	294
TQ0CNT	TMQ0カウンタ・リード・バッファ・レジスタ	タイマ	295
TQ0CTL0	TMQ0制御レジスタ0	タイマ	282
TQ0CTL1	TMQ0制御レジスタ1	タイマ	282
TQ0DTC	TMQ0デッド・タイム・コンペア・レジスタ	タイマ	429
TQ0IOC0	TMQ0I/O制御レジスタ0	タイマ	284
TQ0IOC1	TMQ0I/O制御レジスタ1	タイマ	286
TQ0IOC2	TMQ0I/O制御レジスタ2	タイマ	287
TQ0OVIC	割り込み制御レジスタ	INTC	695
TQ0IOC3	TMQ0I/O制御レジスタ3	タイマ	435
TQ0OPT0	TMQ0オプション・レジスタ0	タイマ	288, 430
TQ0OPT1	TMQ0オプション・レジスタ1	タイマ	431
TQ0OPT2	TMQ0オプション・レジスタ2	タイマ	432
TQ0OPT3	TMQ0オプション・レジスタ3	タイマ	434
TQ1CCIC0	割り込み制御レジスタ	INTC	695
TQ1CCIC1	割り込み制御レジスタ	INTC	695
TQ1CCIC2	割り込み制御レジスタ	INTC	695
TQ1CCIC3	割り込み制御レジスタ	INTC	695
TQ1CCR0	TMQ1キャプチャ/コンペア・レジスタ0	タイマ	289
TQ1CCR1	TMQ1キャプチャ/コンペア・レジスタ1	タイマ	291
TQ1CCR2	TMQ1キャプチャ/コンペア・レジスタ2	タイマ	292
TQ1CCR3	TMQ1キャプチャ/コンペア・レジスタ3	タイマ	294
TQ1CNT	TMQ1カウンタ・リード・バッファ・レジスタ	タイマ	295
TQ1CTL0	TMQ1制御レジスタ0	タイマ	282
TQ1CTL1	TMQ1制御レジスタ1	タイマ	282
TQ1DTC	TMQ1デッド・タイム・コンペア・レジスタ	タイマ	429
TQ1IOC0	TMQ1I/O制御レジスタ0	タイマ	284
TQ1IOC3	TMQ1I/O制御レジスタ3	タイマ	435
TQ1OPT0	TMQ1オプション・レジスタ0	タイマ	288, 430
TQ1OPT1	TMQ1オプション・レジスタ1	タイマ	431
TQ1OPT2	TMQ1オプション・レジスタ2	タイマ	432
TQ1OPT3	TMQ1オプション・レジスタ3	タイマ	434
TQ1OVIC	割り込み制御レジスタ	INTC	695
TUM10	タイマ・ユニット・モード・レジスタ10	タイマ	391
TUM11	タイマ・ユニット・モード・レジスタ11	タイマ	391
UA0CTL0	UARTA0制御レジスタ0	UARTA0	584
UA0CTL1	UARTA0制御レジスタ1	UARTA0	601
UA0CTL2	UARTA0制御レジスタ2	UARTA0	602
UA0OPT0	UARTA0オプション制御レジスタ0	UARTA0	586
UA0REIC	割り込み制御レジスタ	INTC	695
UA0RIC	割り込み制御レジスタ	INTC	695

略号	名称	ユニット	ページ
UA0RX	UARTA0受信データ・レジスタ	UARTA0	589
UA0STR	UARTA0状態レジスタ	UARTA0	587
UA0TIC	割り込み制御レジスタ	INTC	695
UA0TX	UARTA0送信データ・レジスタ	UARTA0	589
UA1CTL0	UARTA1制御レジスタ0	UARTA1	584
UA1CTL1	UARTA1制御レジスタ1	UARTA1	601
UA1CTL2	UARTA1制御レジスタ2	UARTA1	602
UA1OPT0	UARTA1オプション制御レジスタ0	UARTA1	586
UA1REIC	割り込み制御レジスタ	INTC	695
UA1RIC	割り込み制御レジスタ	INTC	695
UA1RX	UARTA1受信データ・レジスタ	UARTA1	589
UA1STR	UARTA1状態レジスタ	UARTA1	587
UA1TIC	割り込み制御レジスタ	INTC	695
UA1TX	UARTA1送信データ・レジスタ	UARTA1	589
VSWC	システム・ウェイト・コントロール・レジスタ	BCU	83
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	492
WDTM	ウォッチドッグ・タイマ・モード・レジスタ	WDT	491

付録C 命令セット一覧

C.1 凡 例

(1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (ソース・レジスタとして使用)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。)
reg3	汎用レジスタ (おもに除算結果の余り、乗算結果の上位32ビットを格納)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ (r3)
ep	エレメント・ポインタ (r30)
list x	x個のレジスタ・リスト

(2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエトの1ビット分データ (イミューディエトの上位ビットを示す)
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ
S	レジスタ・リスト中のシステム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略号	説明
	代入
GR[]	汎用レジスタ
SR[]	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和処理を行う (nは2の補数)。 nが計算の結果、n 7FFFFFFFHとなった場合、n = 7FFFFFFFHとする。 nが計算の結果、n 80000000Hとなった場合、n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

(5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件名 (cond)	条件コード (cccc)	条件式	説 明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower (Less than)
NC/NL	1001	$CY = 0$	No carry No lower (Greater than or equal)
Z/E	0010	$Z = 1$	Zero Equal
NZ/NE	1010	$Z = 0$	Not zero Not equal
NH	0011	$(CY \text{ or } Z) = 1$	Not higher (Less than or equal)
H	1011	$(CY \text{ or } Z) = 0$	Higher (Greater than)
N	0100	$S = 1$	Negative
P	1100	$S = 0$	Positive
T	0101	-	Always (無条件)
SA	1101	$SAT = 1$	Saturated
LT	0110	$(S \text{ xor } OV) = 1$	Less than signed
GE	1110	$(S \text{ xor } OV) = 0$	Greater than or equal signed
LE	0111	$((S \text{ xor } OV) \text{ or } Z) = 1$	Less than or equal signed
GT	1111	$((S \text{ xor } OV) \text{ or } Z) = 0$	Greater than signed

C.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x	
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	0	x	
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied	条件成立時	3	3	3				
			then PC PC + sign-extend (disp9)	注2	注2	注2					
			条件不成立時	1	1	1					
BSH	reg2, reg3	rrrrr1111100000 wwwww01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x	
BSW	reg2, reg3	rrrrr1111100000 wwwww01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x	
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr, Half-word))	5	5	5					
CLR1	bit#3, disp16[reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3	3	3				x	
	reg2, [reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3				x	
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1					
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1					
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x	
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	4	4	4	R	R	R	R	R
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	4	4	4	R	R	R	R	R
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	4	4	4					
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1					

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4					
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4					
DIV	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6}	35	35	35		x	x	x	
	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01010000000	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01010000010	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01011000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
EI		100001111100000 0000000101100000	PSW.ID 0	1	1	1					
HALT		000001111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr1111100000 wwwww01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x	
JARL	disp22, reg2	rrrrr11110dddd dddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	3	3	3					
JMP	[reg1]	0000000011RRRRR	PC GR[reg1]	4	4	4					
JR	disp22	0000011110dddd dddddddddddddd0 注7	PC PC + sign-extend(disp22)	3	3	3					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注11					
LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID] GR[reg2] regID = PSW以外	1	1	1					
			regID = PSW	1	1	1	x	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注11					

モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11					
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2] GR[reg1]	1	1	1					
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1					
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2					
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1					
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)	1	1	1					
MUL ^{注22}	reg1, reg2, reg3	rrrrr111111RRRRR wwwww01000100000	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	2	2					
	imm9, reg2, reg3	rrrrr111111iiii wwwww01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	2	2					
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ^{注6} × GR[reg1] ^{注6}	1	1	2					
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] ^{注6} × sign-extend (imm5)	1	1	2					
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ^{注6} × imm16	1	1	2					
MULU ^{注22}	reg1, reg2, reg3	rrrrr111111RRRRR wwwww01000100010	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	2	2					
	imm9, reg2, reg3	rrrrr111111iiii wwwww01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	2	2					
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1					
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT (GR[reg1])	1	1	1		0	x	x	
NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3	3	3					x
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					x
				注3	注3	注3					
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	x	x	
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	x	x	
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4					
	list12, imm5, sp/imm ^{注15}	0000011110iiiiL LLLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+2 注4	n+2 注4	n+2 注4					
				注17	注17	注17					

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	4	4	4	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1])	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5))	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16))	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注9					

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111ddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010ddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRR dddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRR dddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRR dddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr11111RRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	0000000010RRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	0000000101RRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0))	1	1	1					
SXH	reg1	0000000111RRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0))	1	1	1					
TRAP	vector	0000011111111111 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 例外コード (40H-4FH, 50H-5FH) PSW.EP 1 PSW.ID 1 PC 0000040H (vectorが00H-0FH (例外コード : 40H-4FH) のとき) 0000050H (vectorが10H-1FH (例外コード : 50H-5FH) のとき)	4	4	4					
TST	reg1, reg2	rrrrr001011RRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRR dddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3))	3	3	3	注3	注3	注3		x
	reg2, [reg1]	rrrrr11111RRRR 000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2))	3	3	3	注3	注3	注3		x
XOR	reg1, reg2	rrrrr001001RRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	0000000100RRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0))	1	1	1					
ZXH	reg1	0000000110RRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0))	1	1	1					

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は4。
 3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
 4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ合計数。n = 0の場合, n = 1と同じ動作)
 5. RRRRR : 00000以外
 6. 下位ハーフワード・データだけ有効
 7. ddddddddddddddddddddはdisp22の上位21ビットです。
 8. ddddddddddddddddはdisp16の上位15ビットです。
 9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
 10. b : disp16のビット0
 11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
 12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
 - rrrrr = regID指定
 - RRRRR = reg2指定
 13. iiii : imm9の下位5ビット
IIII : imm9の上位4ビット
 14. reg2 = reg3 (結果の下位32ビットがレジスタに書き込まれない), またはreg3 = r0 (結果の上位32ビットはレジスタに書き込まれない) 場合は1クロック短縮されます。
 15. sp/imm : サブオペコードのビット19, 20で指定
 16. ff = 00 : spをepにロード
 - 01 : 符号拡張した16ビット・イミディエト・データ (ビット47-32) をepにロード
 - 10 : 16ビット論理左シフトした16ビット・イミディエト・データ (ビット47-32) をepにロード
 - 11 : 32ビット・イミディエト・データ (ビット63-32) をepにロード
 17. imm = imm32の場合はn + 3クロック
 18. rrrrr : 00000以外
 19. dddddddはdisp8の上位7ビットです。
 20. ddddはdisp5の上位4ビットです。
 21. dddddddはdisp8の上位6ビットです。
 22. 「MUL reg1, reg2, reg3」命令, 「MULU reg1, reg2, reg3」命令において, 次の条件をすべて満たすレジスタの組み合わせは行わないでください。この条件に当てはまる命令を実行した場合の動作は保証しません。
 - reg1 = reg3
 - reg1 reg2
 - reg1 r0
 - reg3 r0

付録D 改版履歴

D.1 本版で改訂された主な箇所

(1/3)

箇所	内容
全般	PG-FP5を追加
p.40	2.1(1) ポート端子 記述追加
p.53	表3-2 システム・レジスタ番号 記述変更
p.58	3.2.2(6) 例外/デバッグ・トラップ時状態回避レジスタ (DBPC, DBPSW) 記述変更
p.77	3.4.7 内蔵周辺I/Oレジスタ 記述変更
p.118	4.3.4(1)(e) プルアップ抵抗オプション・レジスタ3 (PU3) 記述追加
p.157	表4-16 ノイズ除去回路 記述変更
p.158	図4-26 ノイズ除去タイミング例 追加
p.164	図5-1 クロック発生回路 記述変更
p.165	5.2(5) プリスケアラ1 記述変更
p.173	表5-3 各クロックの動作状態 記述変更
p.177	表6-1 TMPnの概要 記述追加
p.186	6.4(2) TMPn制御レジスタ1 (TPnCTL1) 記述変更
p.187, 188	6.4(3) TMPmI/O制御レジスタ0 (TPmIOC0) 記述変更
p.200	6.6(1)(a) カウント開始動作 記述変更
p.207, 208	図6-11 インターバル・タイマ・モード動作時のレジスタ設定内容 記述変更
p.209	図6-12 インターバル・タイマ・モード使用時のソフトウェア処理フロー 記述追加
p.216	6.6.1(3) 外部イベント・カウント入力 (TIPk0) による動作 追加
p.217	6.6.2 外部イベント・カウント・モード (TPkMD2-TPkMD0ビット = 001) 記述追加
p.220	図6-18 外部イベント・カウント・モード動作時のレジスタ設定内容 記述追加
p.222	6.6.2(2) 外部イベント・カウント・モード動作タイミング 記述追加
p.226	図6-23 外部トリガ・パルス出力モードの構成図 記述変更
p.227	図6-24 外部トリガ・パルス出力モードの基本タイミング 図変更
p.227	6.6.3 外部トリガ・パルス出力モード (TPmMD2-TPmMD0ビット = 010) 記述追加
p.228, 229	図6-25 外部トリガ・パルス出力モード動作時のレジスタ設定内容 記述変更
p.234	6.6.3(2)(b) PWM波形の0% / 100%出力 図変更
p.238	図6-27 ワンショット・パルス出力モードの構成図 記述変更
p.240, 241	図6-29 ワンショット・パルス出力モード動作時のレジスタ設定内容 記述変更
p.242	図6-30 ワンショット・パルス出力モード使用時のソフトウェア処理フロー 記述変更
p.243	6.6.4(2)(a) TPmCCRaレジスタの書き換えに関する注意事項 図変更
p.247	図6-33 PWM出力モード動作時のレジスタ設定内容 記述追加
p.251	6.6.5(2)(a) 動作中のパルス幅の変更 記述変更
p.252	6.6.5(2)(b) PWM波形の0% / 100%出力 記述変更
p.271	図6-41 パルス幅測定モードの構成図 記述変更
p.272	6.6.7 パルス幅測定モード (TPkMD2-TPkMD0ビット = 110) 記述変更
p.273, 274	図6-43 パルス幅測定モード動作時のレジスタ設定内容 記述変更
p.275	図6-44 パルス幅測定モード使用時のソフトウェア処理フロー 記述削除

箇所	内容
p.277	表7-1 TMQnの概要 記述追加
p.284	7.4(3) TMQn/I/O制御レジスタ0 (TQnIOC0) 記述変更
p.298	7.6(1)(a) カウント開始動作 記述変更
p.306, 307	図7-9 インターバル・タイマ・モード動作時のレジスタ設定内容 記述変更
p.309	図7-10 インターバル・タイマ・モード使用時のソフトウェア処理フロー 記述追加
p.313	7.6.1(2)(d) TQnCCR1-TQnCCR3レジスタの動作 記述変更
p.315	7.6.1(3) 外部イベント・カウント入力 (EVTQ0) による動作 追加
p.316	7.6.2 外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット = 001) 記述追加
p.319	図7-16 外部イベント・カウント・モード動作時のレジスタ設定内容 記述追加
p.321	7.6.2(2) 外部イベント・カウント・モード動作タイミング 記述追加
p.327	図7-22 外部トリガ・パルス出力モードの基本タイミング 図変更
p.328	7.6.3 外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0ビット = 010) 記述追加
p.335	7.6.3(2)(b) PWM波形の0% / 100%出力 記述変更
p.343	図7-27 ワンショット・パルス出力モード動作時のレジスタ設定内容 記述変更
p.344, 345	図7-28 ワンショット・パルス出力モード使用時のソフトウェア処理フロー 記述変更
p.355	7.6.5(2)(a) 動作中のパルス幅の変更 記述変更
p.357	7.6.5(2)(b) PWM波形の0% / 100%出力 図変更
p.381	7.6.7 パルス幅測定モード (TQ0MD2-TQ0MD0ビット = 110) 記述変更
p.386	8.1 機能 記述追加
p.387	8.2 特徴 記述変更
p.389	8.3(1)(a) 汎用タイマ・モード 記述変更
p.405	8.5.1(5) PWM出力動作 追加
p.429	10.2(1) TMQnデッド・タイム・コンペア・レジスタ (TQnDTC) 記述追加
p.431	10.3(2) TMQnオプション・レジスタ1 (TQnOPT1) 記述追加
p.432	10.3(3) TMQnオプション・レジスタ2 (TQnOPT2) 記述追加
p.436	図10-3 TOQnTm, TOQnBm端子出力制御 (デッド・タイムなし) 記述追加
p.444	図10-5 6相PWM出力モードの概要 図変更
p.449	図10-9 0% PWM出力波形図 (デッド・タイムあり) 記述変更
p.450	図10-10 100% PWM出力波形図 (デッド・タイムあり) 記述変更
p.451	図10-11 0%から100%, 100%から0%のPWM出力波形図 (デッド・タイムあり) 記述変更
p.455	10.4.3 割り込み間引き機能 記述追加
p.462	10.4.4 転送機能付きレジスタの書き換え操作 記述追加
p.513	12.4.1 基本動作 記述変更
p.550	12.9.6 A/D変換結果のばらつき 追加
p.550	12.9.7 A/D変換のヒステリシス特性 追加
p.551	12.9.8 ワンショット・モードかつソフトウェア・トリガ・モード設定時の制限事項 追加
p.554	12.10(6) 微分直線性誤差 記述追加
p.578	13.7 注意事項 追加
p.582	図14-2 UARTAnのブロック図 図変更
p.583	14.3(5) UARTAn状態レジスタ (UAnSTR) 記述変更
p.584, 585	14.4(1) UARTAn制御レジスタ0 (UAnCTL0) 記述変更
p.595	図14-6 連続送信動作のタイミング 図変更
p.601	14.7(2) UARTAn制御レジスタ1 (UAnCTL1) 記述変更

箇所	内容
p.615	15. 4 (2) CSIBn制御レジスタ1 (CBnCTL1) 記述変更
p.623	15. 5. 3 (1) 動作フロー 図変更
p.632	15. 5. 7 (2) 動作タイミング 図変更
p.660	16. 3. 4 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3) 記述変更
p.661	16. 3. 5 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) 記述追加
p.663	16. 3. 6 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) 記述変更
p.673	16. 7 DMAチャンネルの優先順位 記述削除
p.677	16. 12 注意事項 記述変更
p.695	17. 3. 4 割り込み制御レジスタ (xxlCn) 記述追加
p.710	17. 6. 1 (2) 復 帰 記述追加
p.724	18. 5. 1 設定および動作状態 記述追加
p.737	第21章 オンチップ・デバッグ機能 (オンチップ・デバッグ・ユニット) 注意記述変更
p.738	21. 1. 2 (8) マスク機能 記述変更
p.740	21. 1. 3 (2) 設定方法 記述変更
p.743	21. 3. 1 KEL社製コネクタ 記述変更
p.743	図21 - 1 オンチップ・デバッグ・エミュレータ (QB-V850MINI) との接続 図変更
p.745	表21 - 2 QB-V850MINIと接続用コネクタ (ターゲット・システム側) ピン機能 記述変更
p.746	図21 - 3 μ PD70F3186 (V850E/IA4) とKEL社製コネクタ接続推奨回路例 記述変更
p.751	表22 - 2 基本機能一覧 記述変更
p.751	表22 - 3 セキュリティ機能一覧 記述変更
p.752	表22 - 4 セキュリティ設定 追加
p.753	22. 3 (1) PG-FP4, PG-FP5でのセキュリティ設定 (Security flag settings) 追加
p.758	表22 - 7 専用フラッシュ・メモリ・プログラマとV850E/IA3, V850E/IA4との配線対応表 記述変更
p.759	図22 - 4 フラッシュ・メモリの操作手順 図変更
p.761	表22 - 8 フラッシュ・メモリ制御用コマンド 記述変更
p.766	22. 4. 6 (4) RESET端子 図削除
p.770	図22 - 14 標準セルフ・プログラミング・フロー 図変更
p.771	表22 - 11 フラッシュ関数一覧 記述変更
p.781	第23章 電気的特性 (V850E/IA3) CSIBタイミング 記述変更
p.800	第24章 電気的特性 (V850E/IA4) CSIBタイミング 記述変更

D.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/6)

版数	前版までの改版内容	適用箇所	
第2版	・ μ PD703186追加	全般	
	1.2.4 端子接続図 (V850E/IA3) 20番ピンの端子構成修正	第1章 イン트로ダクション	
	2.2 端子の入出力回路タイプと未使用時の処理 記述変更	第2章 端子機能	
	2.3 端子の入出力回路 記述変更		
	表3-2 システム・レジスタ番号 注追加および注記述変更	第3章 CPU機能	
	3.2.2(1)割り込み時状態退避レジスタ(EIPC, EIPSW) (2)NMI時状態退避レジスタ(FEPC, FEPSW), (5)CALLT実行時状態退避レジスタ(CTPC, CTPSW), (6)例外/デバッグ・トラップ時状態退避レジスタ(DBPC, DBPSW), (7)CALLTベース・ポインタ(CTBP)追加		
	3.4.5(2)(c)内部メモリ・サイズ切り替えレジスタ(IMS) 注意および備考追加		
	3.4.7 内蔵周辺I/Oレジスタ 注追加		
	3.4.9 システム・ウェイト・コントロール・レジスタ(VSWC) 注意追加		
	3.4.10 注意事項 記述変更		
	4.3 ポートの構成 追加		第4章 ポート機能
	図4-22 P50端子のブロック図 図修正		
	4.5 兼用機能使用時のポートのレジスタ設定 追加		
	表4-16 ノイズ除去回路 注記述変更		
	4.7 注意事項 記述修正		
	5.3(3)パワー・セーブ・コントロール・レジスタ(PSC) 注意の追加および記述変更	第5章 クロック・ジェネレータ	
	第6章 16ビット・タイマ/イベント・カウンタP(TMP) 修正	第6章 16ビット・タイマ/イベント・カウンタP(TMP)	
	第7章 16ビット・タイマ/イベント・カウンタQ(TMQ) 修正	第7章 16ビット・タイマ/イベント・カウンタQ(TMQ)	
	8.2 特徴 注意追加	第8章 16ビット・2相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ(タイマENC1n)	
	表8-4 UDCモードのカウンタ動作一覧 モード3の記述修正		
	9.2(2)TMM0コンペア・レジスタ0(TM0CMP0) 記述追加	第9章 16ビット・インターバル・タイマM(TMM)	
	9.3(1)TMM0制御レジスタ0(TM0CTL0) 記述変更		
	9.4 動作 修正		
	10.1 機能概要 記述追加	第10章 モータ制御機能	
	図10-1 モータ制御のブロック図 記述追加		
	図10-2 TMQnオプション 記述追加		
10.3(3)TMQnオプション・レジスタ2(TQnOPT2) 記述変更			
10.3(5)TMQn/I/O制御レジスタ3(TQnIOC3) 記述追加			

版数	前版までの改版内容	適用箇所
第2版	10. 3 (6) ハイ・インピーダンス出力制御レジスタ00, 01, 10, 11, 20, 21 (HZAmCTL0, HZAmCTL1) 記述変更 図10 - 5 6相PWM出力モードの概要 記述追加 図10 - 6 6相PWM出力モードのタイミング図 タイミング追加および注意記述削除 10. 4. 1 (3) タイマ動作中のレジスタの書き換えについて 記述追加 図10 - 7 割り込みとアップ/ダウン・フラグ タイミング追加 図10 - 12 デッド・タイム付加後のPWM出力波形(2) (b)の記述変更 図10 - 13 デッド・タイム・カウンタmの動作(1) (b)の記述変更 10. 4. 3 割り込み間引き機能 記述追加および記述変更 図10 - 15から図10 - 20 記述追加 10. 4. 4 転送機能付きレジスタの書き換え操作 記述追加 10. 4. 4 (1) 随時書き換えモード 記述追加 10. 4. 4 (2) 一斉書き換えモード(転送モード) 記述追加 10. 4. 4 (3) 間欠一斉書き換えモード(転送間引きモード) 記述追加 図10 - 34 TQnCCR1レジスタの書き換え(TQnOPT1.TQnICEビット= 1, TQnIOEビット= 0, TQnID4-TQnID0 = 00001の場合) 図変更 図10 - 35 TQnCCR1レジスタの書き換え(TQnOPT1.TQnICEビット= 1, TQnIOEビット= 1, TQnID4-TQnID0 = 00001の場合) 図変更 10. 4. 5 (1) (b) TMQnレジスタ設定 記述追加 10. 4. 5 (3) TMPnを同調動作させない場合について 記述追加	第10章 モータ制御機能
	11. 3 (1) ウォッチドッグ・タイマ・モード・レジスタ(WDTM) 注意削除 11. 3 (2) ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE) 注意記述変更 11. 4 動作 記述追加 11. 5 注意事項 追加	第11章 ウォッチドッグ・タイマ機能
	12. 3 (1) A/Dコンバータnモード・レジスタ0(ADAnM0) (n = 0, 1) 注意記述追加 12. 3 (2) A/Dコンバータnモード・レジスタ1(ADAnM1) (n = 0, 1) 記述変更 12. 3 (4) A/Dコンバータnモード・レジスタ2(ADAnM2) (n = 0, 1) 注意記述変更 12. 3 (6) オペアンPn制御レジスタ1(OPnCTL1) (n = 0, 1) 注意追加 12. 4. 1 基本動作 (2)の記述変更 12. 4. 2 動作モードとトリガ・モード 注追加 図12 - 8 ワンショット・セレクト1パルファ・モードの動作タイミング例(ADA0M0.ADA0MD1, ADA0MD0ビット = 10, ADA0M2.ADA0BSビット = 0, ADA0S.ADA0S2-ADA0S0ビット = 001のとき): V850E/IA4の場合 図変更 図12 - 9 ワンショット・セレクト4パルファ・モードの動作タイミング例(ADA0M0.ADA0MD1, ADA0MD0ビット = 10, ADA0M2.ADA0BSビット = 1, ADA0S.ADA0S2-ADA0S0ビット = 011のとき): V850E/IA4の場合 図変更 図12 - 10 ワンショット・スキャン・モードの動作タイミング例(ADA0M0.ADA0MD1, ADA0MD0ビット = 11, ADA0S.ADA0S2-ADA0S0ビット = 011のとき): V850E/IA4の場合 図変更 12. 5 ソフトウェア・トリガ・モード時の動作 図12 - 11から図12 - 16の記述変更 12. 6 タイマ・トリガ・モード0, 1時の動作 記述変更 12. 7 外部トリガ・モード時の動作 記述変更 12. 8 内部等価回路 追加 12. 9. 1 変換動作の停止 記述追加	第12章 A/Dコンバータ0, 1

版 数	前版までの改版内容	適用箇所
第2版	12. 9. 2 (1) 0 < トリガ発生間隔 < A/D 総変換クロック数の場合 記述変更	第12章 A/D コンバータ0, 1
	13. 4. 1 基本動作 注意追加	第13章 A/D コンバータ2
	図13 - 4 ~ 図13 - 7 記述追加	
	13. 5 内部等価回路 追加	
	図14 - 2 UARTAnのブロック図 図変更	第14章 アシクロナス・シリアル・インタフェースA (UARTA)
	14. 4 (1) UARTAn制御レジスタ0 (UAnCTL0) 記述変更および注意削除	
	14. 4 (5) UARTAn状態レジスタ (UAnSTR) 注意追加	
	14. 6. 3 連続送信の手順説明 記述変更	
	14. 6. 5 受信エラー 注意追加	
	図14 - 8 ノイズ・フィルタ回路 記述変更	
	図14 - 9 ノイズとして判断されるRXDAn信号のタイミング 図追加	
	14. 7 (2) UARTAn制御レジスタ1 (UAnCTL1) 注意追加	
	14. 7 (3) UARTAn制御レジスタ2 (UAnCTL2) 注意追加	
	表14 - 3 ボー・レート・ジェネレータ設定データ 記述変更	
	14. 8 注意事項 追加	
	図15 - 2 CSIBnのブロック図 図変更	
	15. 3 (2) CSIBn送信データ・レジスタ (CBnTX) 備考追加	
	15. 4 (1) CSIBn制御レジスタ0 (CBnCTL0) 記述変更	
	15. 4 (2) CSIBn制御レジスタ1 (CBnCTL1) 注意の追加および記述変更	
	15. 5 動作 記述変更	
	15. 6 (1) SCKBn端子 記述変更	
	15. 7 動作フロー 記述変更	
	16. 3. 6 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) 注意記述変更	第16章 DMA機能 (DMAコントローラ)
	16. 8 (2) DMA転送中 (DMA転送要求発生からDMA転送終了までの期間) 記述追加	
	16. 12 (4) DMAの起動要因 記述追加	
	17. 9 CPUが割り込みを受け付けない期間 記述変更	第17章 割り込み / 例外処理機能
	17. 10 注意事項 追加	
	表18 - 1 スタンバイ機能のモード一覧 記述追加	第18章 スタンバイ機能
	図18 - 1 状態遷移図 注記述変更	
	18. 2 (1) パワー・セーブ・コントロール・レジスタ (PSC) 注意の追加および記述変更	
	18. 3. 2 (1) ノンマスクابل割り込み要求信号, マスクされていないマスクابل割り込み要求信号 記述追加	
	18. 4. 2 IDLEモードの解除 記述変更	
	18. 4. 2 (1) マスクされていないマスクابل割り込み要求信号 注意追加および記述追加	
	表18 - 5 IDLEモード時の動作状態 記述追加	
	18. 5. 2 STOPモード解除 記述追加	
	18. 5. 2 (1) マスクされていないマスクابل割り込み要求信号 注意追加および記述追加	
	表18 - 7 STOPモード時の動作状態 記述追加	
	20. 3 ROMコレクションの動作とプログラムの流れ 注意追加	

版数	前版までの改版内容	適用箇所
第2版	21.1.3 ROMセキュリティ機能 記述変更	第21章 オンチップ・ディバグ機能(オンチップ・ディバグ・ユニット)
	図21-3 μ PD70F3186 (V850E/IA4) とKEL社製コネクタ接続推奨回路例 記述変更	
	21.4 注意事項 (7)の記述追加	
	第22章 フラッシュ・メモリ 修正	第22章 フラッシュ・メモリ
	第23章 電気的特性 (V850E/IA3) (ターゲット) 追加	第23章 電気的特性 (V850E/IA3) (ターゲット)
	第24章 電気的特性 (V850E/IA4) (ターゲット) 追加	第24章 電気的特性 (V850E/IA4) (ターゲット)
	第25章 外形図 追加	第25章 外形図
	付録A 注意事項 追加	付録A 注意事項
付録D 改版履歴 追加	付録D 改版履歴	
第3版	・全製品のオーダ名称を鉛フリー製品に変更 ・全製品が開発中 開発済み	全般
	2.1(2) ポート以外の端子 注追加	第2章 端子機能
	3.4.8(1) 特定レジスタへのデータ設定 注記述追加	第3章 CPU機能
	3.4.9 システム・ウェイト・コントロール・レジスタ (VSWC) 記述追加	
	4.6(2) ノイズ除去時間選択レジスタ1n (NRC1n) (V850E/IA3 : n = 0, V850E/IA4 : n = 0, 1) 注意追加	第4章 ポート機能
	5.3(6) クロック・モニタ・モード・レジスタ (CLM) 注意追加	第5章 クロック・ジェネレータ
	図6-4 TMP3のブロック図 注追加	第6章 16ビット・タイマ/イベント・カウンタP (TMP)
	6.4(1) TMPn制御レジスタ0 (TPnCTL0) 注記述変更	
	6.4(6) TMPnオプション・レジスタ0 (TPnOPT0) 記述追加	
	6.4(7) (a) コンペア・レジスタとしての機能, (b) キャプチャ・レジスタとしての機能 (TP0CCR0, TP2CCR0レジスタのみ) 記述追加	
	6.4(8) (a) コンペア・レジスタとしての機能, (b) キャプチャ・レジスタとしての機能 (TP0CCR1, TP2CCR1レジスタのみ) 記述追加	
	図6-5 随時書き込みの基本動作フロー・チャート 注記述追加	
	図6-7 一斉書き込みの基本動作フロー・チャート 注記述追加	第7章 16ビット・タイマ/イベント・カウンタQ (TMQ)
	6.6.3(2) (b) PWM波形の0% / 100%出力 記述変更	
	7.4(1) TMQn制御レジスタ0 (TQnCTL0) 注記述変更	
	7.4(3) TMQnI/O制御レジスタ0 (TQnIOC0) 注記述変更	
	7.4(6) TMQnオプション・レジスタ0 (TQnOPT0) 記述追加	
	7.4(7) (a) コンペア・レジスタとしての機能, (b) キャプチャ・レジスタとしての機能 (TQ0CCR0レジスタのみ) 記述追加	
	7.4(8) (a) コンペア・レジスタとしての機能, (b) キャプチャ・レジスタとしての機能 (TQ0CCR1レジスタのみ) 記述追加	
	7.4(9) (a) コンペア・レジスタとしての機能, (b) キャプチャ・レジスタとしての機能 (TQ0CCR2レジスタのみ) 記述追加	
7.4(10) (a) コンペア・レジスタとしての機能, (b) キャプチャ・レジスタとしての機能 (TQ0CCR3レジスタのみ) 記述追加		

版数	前版までの改版内容	適用箇所
第3版	図7-3 随時書き込みの基本動作フロー・チャート 注記述追加	第7章 16ビット・タイマ/イベント・カウンタQ (TMQ)
	図7-5 一斉書き込みの基本動作フロー・チャート 注記述追加	
	7.6.5(2)(b) PWM波形の0%/100%出力 記述変更	
	8.4(5)(b) UDCモード (TUM1n.CMDnビット=1)時 表記述変更	第8章 16ビット・2相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (タイマENC1n)
	8.4(8) ノイズ除去時間選択レジスタ1n (NRC1n) 注意追加	
	10.3(3) TMQnオプション・レジスタ2 (TQnOPT2) 注意記述追加	第10章 モータ制御機能
	10.3(6) ハイ・インピーダンス出力制御レジスタ00, 01, 10, 11, 20, 21 (HZAmCTL0, HZAmCTL1) 注追加	
	図10-6 6相PWM出力モードのタイミング図 注意記述変更	
	10.4.3 割り込み間引き機能 注意追加	
	10.4.5(1)(b) TMQnレジスタ設定 記述追加	
	11.4 動作 記述変更	第11章 ウォッチドッグ・タイマ機能
	図12-1 A/Dコンバータ0, 1のブロック図 備考追加	第12章 A/Dコンバータ0, 1
	図12-23 ANInm端子内部等価回路 記述変更	
	図12-24 A/Dコンバータ0, 1の総合誤差算出例 追加	
	12.9.5 安定時間中の再変換起動トリガ入力 追加	
	図13-1 A/Dコンバータ2のブロック図 図変更および備考追加	第13章 A/Dコンバータ2
	14.4(1) UARTAn制御レジスタ0 (UAnCTL0) 記述変更	第14章 アシクロナス・シリアル・インタフェースA (UARTA)
	14.4(4) UARTAnオプション制御レジスタ0 (UAnOPT0) 記述追加	
	14.6.4 UART受信 記述変更	
	14.6.5 受信エラー 注意記述変更	
	15.4(1) CSIBn制御レジスタ0 (CBnCTL0) 記述変更	第15章 クロック同期式シリアル・インタフェースB (CSIB)
	15.4(1)(a) CBnSCEビットの使用方法 追加	
	15.4(4) CSIBn状態レジスタ (CBnSTR) 注意追加	
	15.5.1 シングル転送モード(マスタ・モード, 送信モード) 追加	
	15.5.2 シングル転送モード(マスタ・モード, 受信モード) 追加	
	15.5.3 シングル転送モード(マスタ・モード, 送受信モード) 追加	
	15.5.4 シングル転送モード(スレープ・モード, 送信モード) 追加	
	15.5.5 シングル転送モード(スレープ・モード, 受信モード) 追加	
	15.5.6 シングル転送モード(スレープ・モード, 送受信モード) 追加	
	15.5.7 連続転送モード(マスタ・モード, 送信モード) 追加	
	15.5.8 連続転送モード(マスタ・モード, 受信モード) 追加	
	15.5.9 連続転送モード(マスタ・モード, 送受信モード) 追加	
	15.5.10 連続転送モード(スレープ・モード, 送信モード) 追加	
15.5.11 連続転送モード(スレープ・モード, 受信モード) 追加		
15.5.12 連続転送モード(スレープ・モード, 送受信モード) 追加		
15.5.13 受信エラー 追加		
15.5.14 クロック・タイミング 注意追加		

版数	前版までの改版内容	適用箇所
第3版	16. 3. 3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3) 注意削除	第16章 DMA機能 (DMAコントローラ)
	16. 4. 3 ブロック転送モード 記述一部削除	
	19. 3 (1) リセット要因フラグ・レジスタ (RESF) 記述変更	第19章 リセット機能
	19. 4 (1) RESET端子入力によるリセット動作 注記追加	
	第21章 オンチップ・ディバグ機能(オンチップ・ディバグ・ユニット) ID850NWCをID850QBに変更	第21章 オンチップ・ディバグ機能(オンチップ・ディバグ・ユニット)
	21. 1. 3 (2) 設定方法 記述変更	
	第23章 電気的特性 (V850E/IA3) ハイ・インピーダンス制御タイミング スペック変更	第23章 電気的特性 (V850E/IA3)
	第23章 電気的特性 (V850E/IA3) A/Dコンバータ2特性 ゲイン・エラーの項目削除	
	第23章 電気的特性 (V850E/IA3) 電源電圧投入/切断タイミング E_{VDD} , A_{VDD} 立ち上がり V_{DD} , C_{VDD} 立ち上がり遅延時間 ($t_{D_{VDD}}$) のスペック変更, E_{VDD} , A_{VDD} 立ち上がり \overline{RESET} 遅延時間 (t_{RES2}) のスペック追加	
	第23章 電気的特性 (V850E/IA3) 電源電圧投入タイミング (b) 電源シーケンスの推奨条件2 追加	
	第23章 電気的特性 (V850E/IA3) 電源電圧切断タイミング 記述変更	
	第23章 電気的特性 (V850E/IA3) フラッシュ・メモリ・プログラミング特性(μ PD70F3184のみ) 書き込み電流, 消去電流のスペック変更	
	第24章 電気的特性 (V850E/IA4) ハイ・インピーダンス制御タイミング スペック変更	
	第24章 電気的特性 (V850E/IA4) A/Dコンバータ2特性 ゲイン・エラーの項目削除	
	第24章 電気的特性 (V850E/IA4) 電源電圧投入/切断タイミング E_{VDD} , A_{VDD} 立ち上がり V_{DD} , C_{VDD} 立ち上がり遅延時間 ($t_{D_{VDD}}$) のスペック変更, E_{VDD} , A_{VDD} 立ち上がり \overline{RESET} 遅延時間 (t_{RES2}) のスペック追加	
	第24章 電気的特性 (V850E/IA4) 電源電圧投入タイミング (b) 電源シーケンスの推奨条件2 追加	
	第24章 電気的特性 (V850E/IA4) 電源電圧切断タイミング 注意追加	
第24章 電気的特性 (V850E/IA4) フラッシュ・メモリ・プログラミング特性(μ PD70F3186のみ) 書き込み電流, 消去電流のスペック変更		
第26章 半田付け推奨条件 追加	第26章 半田付け推奨条件	
D. 2 前版までの改版履歴 追加	付録D 改版履歴	

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
