

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

RENESAS

# V850E/IF3, V850E/IG3

32ビット・シングルチップ・マイクロコントローラ

ハードウェア編

---

V850E/IF3 :

μPD70F3451

μPD70F3452

V850E/IG3 :

μPD70F3453

μPD70F3454

資料番号 U18279JJ3V0UD00 (第3版)

発行年月 March 2010 NS

© NEC Electronics Corporation 2007

〔メモ〕

## 目次要約

第1章	イントロダクション	...	22
第2章	端子機能	...	45
第3章	CPU機能	...	64
第4章	ポート機能	...	103
第5章	クロック・ジェネレータ	...	182
第6章	16ビット・タイマ/イベント・カウンタAA (TAA)	...	198
第7章	16ビット・タイマ/イベント・カウンタAB (TAB)	...	302
第8章	16ビット・タイマ/イベント・カウンタT (TMT)	...	412
第9章	16ビット・インターバル・タイマM (TMM)	...	549
第10章	モータ制御機能	...	558
第11章	ウォッチドッグ・タイマ機能	...	623
第12章	A/Dコンバータ0,1	...	627
第13章	A/Dコンバータ2	...	705
第14章	アシンクロナス・シリアル・インタフェースA (UARTA)	...	738
第15章	アシンクロナス・シリアル・インタフェースB (UARTB)	...	768
第16章	クロック同期式シリアル・インタフェースB (CSIB)	...	827
第17章	I <sup>2</sup> Cバス	...	874
第18章	バス制御機能	...	951
第19章	DMA機能 (DMAコントローラ)	...	982
第20章	割り込み/例外処理機能	...	1008
第21章	スタンバイ機能	...	1052
第22章	リセット機能	...	1062
第23章	低電圧検出回路	...	1068
第24章	パワーオン・クリア回路	...	1074
第25章	レギュレータ	...	1076
第26章	オンチップ・デバッグ機能	...	1078
第27章	フラッシュ・メモリ	...	1098
第28章	電気的特性	...	1126
第29章	外形図	...	1180
第30章	半田付け推奨条件	...	1184
付録A	注意事項	...	1186
付録B	レジスタ索引	...	1187
付録C	命令セット一覧	...	1200
付録D	改版履歴	...	1209

## CMOSデバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して、VIL (MAX.) から VIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) から VIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してVDDまたはGNDに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態 電源投入時、MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序 内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源OFF時における入力信号 当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

注意：本製品は、Silicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

EEPROM, MINICUBEはNECエレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

- ・本資料に記載されている内容は2010年3月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- ・文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- ・当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- ・本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- ・当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- ・当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

「標準水準」：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

「特別水準」：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

「特定水準」：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

注1. 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

注2. 本事項において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいう。

(M8E0909J)

# はじめに

- 対象者** このマニュアルは、V850E/IF3 ( $\mu$  PD70F3451, 70F3452) , V850E/IG3 ( $\mu$  PD70F3453, 70F3454) の機能を理解し、それをを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850E/IF3, V850E/IG3のユーザズ・マニュアルは、ハードウェア編(このマニュアル)と、アーキテクチャ編(V850E1 ユーザズ・マニュアル アーキテクチャ編)の2冊に分かれています。

## ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

## アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

一通りV850E/IF3, V850E/IG3の機能を理解しようとするとき  
目次に従ってお読みください。

レジスタ名が分かっている、レジスタの詳細を確認するとき  
**付録B レジスタ索引**を利用してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるビットは、そのビット名称がデバイス・ファイルで予約語として定義されています。

命令機能の詳細を理解しようとするとき

別冊のV850E1 **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

V850E/IF3, V850E/IG3の電気的特性を知りたいとき

**第28章 電気的特性**を参照してください。

このマニュアルでは、「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ/アセンブラでは正しく認識できませんので、注意してください。



本文欄外の 印は、本版で改訂された主な箇所を示しています。

この“ ”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

- 凡 例**
- データ表記の重み：左が上位桁，右が下位桁
  - アクティブ・ロウの表記：xxx（端子，信号名称に上線）
  - メモリ・マップのアドレス：上部 - 上位，下部 - 下位
  - 注：本文中に付けた注の説明
  - 注意：気を付けて読んでいただきたい内容
  - 備考：本文の補足説明
  - 数の表記：2進数 ... xxxxまたはxxxxB
    - 10進数 ... xxxx
    - 16進数 ... xxxxH
  - 2のべき数を示す接頭語（アドレス空間，メモリ容量）：
    - K（キロ）...  $2^{10} = 1024$
    - M（メガ）...  $2^{20} = 1024^2$
    - G（ギガ）...  $2^{30} = 1024^3$
  - データ・タイプ：ワード ... 32ビット
    - ハーフワード ... 16ビット
    - バイト ... 8ビット

**関連資料** 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

**V850E/IF3, V850E/IG3に関する資料**

資料名	資料番号
V850E1 ユーザーズ・マニュアル アーキテクチャ編	U14559J
V850E/IF3, V850E/IG3 ユーザーズ・マニュアル ハードウェア編	このマニュアル
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム シリアル通信 (UARTA) 編	U18723J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム シリアル通信 (UARTB) 編	U18724J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム シリアル通信 (CSIB) 編	U18725J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム シリアル通信 (I <sup>2</sup> C) 編	U18726J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム DMA機能編	U18727J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム タイマM編	U18728J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム ウォッチドッグ・タイマ編	U18729J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム タイマAA編	U18730J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム タイマAB編	U18731J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム タイマT編	U18732J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム ポート機能編	U18733J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム クロック・ジェネレータ編	U18734J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム スタンバイ機能編	U18735J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム 割り込み機能編	U18736J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム A/Dコンバータ0, 1編	U18737J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム A/Dコンバータ2編	U18738J
V850E/IF3, V850E/IG3 アプリケーション・ノート サンプル・プログラム 低電圧検出回路 (LVI) 機能編	U18739J
V850E/IF3, V850E/IG3 アプリケーション・ノート タイマAB, タイマQオプション, タイマAA, A/Dコンバータ0, 1による6相PWM出力制御編	U18717J

開発ツールに関する資料(ユーザズ・マニュアル)

資料名	資料番号	
QB-V850EIX3 インサーキット・エミュレータ	U18651J	
QB-V850MINI オンチップ・デバッグ・エミュレータ	U17638J	
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	
QB-Programmer プログラミングGUI	操作編 U18527J	
CA850 Ver.3.20 Cコンパイラ・パッケージ	操作編	U18512J
	C言語編	U18513J
	アセンブリ言語編	U18514J
	リンク・ディレクティブ編	U18515J
PM+ Ver.6.30 プロジェクト・マネージャ	U18416J	
ID850QB Ver.3.40 統合デバッガ	操作編 U18604J	
TW850 Ver.2.00 性能解析チューニング・ツール	U17241J	
SM+ システム・シミュレータ	操作編	U18601J
	ユーザ・オープン・インタフェース編	U18212J
RX850 Ver.3.20 リアルタイムOS	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro Ver.3.21 リアルタイムOS	基礎編	U18165J
	内部構造編	U18164J
	タスク・デバッガ編	U17422J
RX-NET TCP/IPライブラリ	U15083J	
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ	U17423J	
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J	
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	

# 目 次

<b>第1章</b>	<b>イントロダクション</b>	... 22
1.1	概 説	... 22
1.2	V850E/IF3	... 24
1.2.1	特 徴 (V850E/IF3)	... 24
1.2.2	応用分野 (V850E/IF3)	... 26
1.2.3	オーダ情報 (V850E/IF3)	... 26
1.2.4	端子接続図 (V850E/IF3)	... 27
1.2.5	機能ブロック構成 (V850E/IF3)	... 29
1.3	V850E/IG3	... 33
1.3.1	特 徴 (V850E/IG3)	... 33
1.3.2	応用分野 (V850E/IG3)	... 35
1.3.3	オーダ情報 (V850E/IG3)	... 35
1.3.4	端子接続図 (V850E/IG3)	... 36
1.3.5	機能ブロック構成 (V850E/IG3)	... 41
<b>第2章</b>	<b>端子機能</b>	... 45
2.1	端子機能一覧	... 45
2.2	端子状態	... 58
2.3	端子の入出力回路タイプと未使用時の処理	... 59
2.4	端子の入出力回路	... 63
<b>第3章</b>	<b>CPU機能</b>	... 64
3.1	特 徴	... 64
3.2	CPUレジスタ・セット	... 65
3.2.1	プログラム・レジスタ・セット	... 66
3.2.2	システム・レジスタ・セット	... 67
3.3	動作モード	... 73
3.3.1	動作モード	... 73
3.3.2	動作モード指定	... 73
3.4	アドレス空間	... 74
3.4.1	CPUアドレス空間	... 74
3.4.2	イメージ	... 75
3.4.3	CPUアドレス空間のラップ・アラウンド	... 76
3.4.4	メモリ・マップ	... 77
3.4.5	領 域	... 78
3.4.6	アドレス空間の推奨使用方法	... 81
3.4.7	内蔵周辺I/Oレジスタ	... 83
3.4.8	特定レジスタ	... 98
3.4.9	システム・ウェイト・コントロール・レジスタ (VSWC)	... 102

## 第4章 ポート機能 ... 103

- 4.1 特 徴 ... 103
  - 4.1.1 V850E/IF3 ... 103
  - 4.1.2 V850E/IG3 ... 103
- 4.2 ポートの基本構成 ... 104
  - 4.2.1 V850E/IF3 ... 104
  - 4.2.2 V850E/IG3 ... 105
- 4.3 ポートの構成 ... 106
  - 4.3.1 ポート0 ... 112
  - 4.3.2 ポート1 ... 119
  - 4.3.3 ポート2 ... 126
  - 4.3.4 ポート3 ... 132
  - 4.3.5 ポート4 ... 138
  - 4.3.6 ポート7 ... 144
  - 4.3.7 ポートDL ... 147
- 4.4 各設定時の出力データとポート・リード値 ... 152
- 4.5 兼用機能使用時のポートのレジスタ設定 ... 165
- 4.6 ノイズ除去回路 ... 174
- 4.7 注意事項 ... 180
  - 4.7.1 ポート端子設定上の注意事項 ... 180
  - 4.7.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項 ... 181

## 第5章 クロック・ジェネレータ ... 182

- 5.1 概 要 ... 182
- 5.2 構 成 ... 183
- 5.3 制御レジスタ ... 186
- 5.4 PLL機能 ... 192
  - 5.4.1 概 要 ... 192
  - 5.4.2 PLLモード ... 192
  - 5.4.3 クロック・スルー・モード ... 192
- 5.5 動 作 ... 193
  - 5.5.1 各クロックの動作 ... 193
  - 5.5.2 クロック出力機能 ... 193
  - 5.5.3 動作タイミング ... 194
- 5.6 クロック・モニタ ... 197

## 第6章 16ビット・タイマ/イベント・カウンタAA (TAA) ... 198

- 6.1 概 要 ... 198
- 6.2 機 能 ... 199
- 6.3 構 成 ... 199
- 6.4 レジスタ ... 206
- 6.5 タイマ出力動作説明 ... 218
- 6.6 動 作 ... 219
  - 6.6.1 インターバル・タイマ・モード (TAA<sub>n</sub>MD2-TAA<sub>n</sub>MD0ビット = 000) ... 228
  - 6.6.2 外部イベント・カウント・モード (TAA<sub>m</sub>MD2-TAA<sub>m</sub>MD0ビット = 001) ... 240
  - 6.6.3 外部トリガ・パルス出力モード (TAA<sub>m</sub>MD2-TAA<sub>m</sub>MD0ビット = 010) ... 251

6.6.4	ワンショット・パルス出力モード (TAAmMD2-TAAmMD0ビット = 011)	...	263
6.6.5	PWM出力モード (TAAmMD2-TAAmMD0ビット = 100)	...	270
6.6.6	フリー・ランニング・タイマ・モード (TAAmMD2-TAAmMD0ビット = 101)	...	279
6.6.7	パルス幅測定モード (TAAmMD2-TAAmMD0ビット = 110)	...	296

## 第7章 16ビット・タイマ/イベント・カウンタB (TAB) ... 302

7.1	概要	...	302
7.2	機能	...	302
7.3	構成	...	303
7.4	レジスタ	...	307
7.5	タイマ出力動作説明	...	320
7.6	動作	...	321
7.6.1	インターバル・タイマ・モード (TABnMD2-TABnMD0ビット = 000)	...	329
7.6.2	外部イベント・カウント・モード (TABnMD2-TABnMD0ビット = 001)	...	341
7.6.3	外部トリガ・パルス出力モード (TABnMD2-TABnMD0ビット = 010)	...	353
7.6.4	ワンショット・パルス出力モード (TABnMD2-TABnMD0ビット = 011)	...	366
7.6.5	PWM出力モード (TABnMD2-TABnMD0ビット = 100)	...	375
7.6.6	フリー・ランニング・タイマ・モード (TABnMD2-TABnMD0ビット = 101)	...	386
7.6.7	パルス幅測定モード (TABnMD2-TABnMD0ビット = 110)	...	406

## 第8章 16ビット・タイマ/イベント・カウンタT (TMT) ... 412

8.1	概要	...	412
8.2	機能	...	413
8.3	構成	...	414
8.4	レジスタ	...	418
8.5	タイマ出力動作説明	...	438
8.6	動作	...	439
8.6.1	インターバル・タイマ・モード (TTnMD3-TTnMD0ビット = 0000)	...	448
8.6.2	外部イベント・カウント・モード (TTmMD3-TTmMD0ビット = 0001)	...	458
8.6.3	外部トリガ・パルス出力モード (TTmMD3-TTmMD0ビット = 0010)	...	469
8.6.4	ワンショット・パルス出力モード (TTmMD3-TTmMD0ビット = 0011)	...	482
8.6.5	PWM出力モード (TTmMD3-TTmMD0ビット = 0100)	...	489
8.6.6	フリー・ランニング・タイマ・モード (TTnMD3-TTnMD0ビット = 0101)	...	498
8.6.7	パルス幅測定モード (TTmMD3-TTmMD0ビット = 0110)	...	516
8.6.8	三角波PWM出力モード (TTmMD3-TTmMD0ビット = 0111)	...	522
8.6.9	エンコーダ・カウント機能	...	525
8.6.10	エンコーダ・コンペア・モード (TTmMD3-TTmMD0ビット = 1000)	...	541

## 第9章 16ビット・インターバル・タイマM (TMM) ... 549

9.1	概要	...	549
9.2	構成	...	550
9.3	制御レジスタ	...	552
9.4	動作	...	553
9.4.1	インターバル・タイマ・モード	...	553
9.5	注意事項	...	557

## 第10章 モータ制御機能 ... 558

- 10.1 機能概要 ... 558
- 10.2 構成 ... 559
- 10.3 制御レジスタ ... 563
- 10.4 動作 ... 577
  - 10.4.1 システム概要説明 ... 577
  - 10.4.2 デッド・タイム制御（逆相波信号の生成） ... 582
  - 10.4.3 割り込み間引き機能 ... 589
  - 10.4.4 転送機能付きレジスタの書き換え操作 ... 596
  - 10.4.5 A/D変換開始トリガ信号出力用TAAの同調動作 ... 614
  - 10.4.6 A/D変換開始トリガ出力機能 ... 618

## 第11章 ウォッチドッグ・タイマ機能 ... 623

- 11.1 機能 ... 623
- 11.2 構成 ... 624
- 11.3 制御レジスタ ... 625
- 11.4 動作 ... 626
- 11.5 注意事項 ... 626

## 第12章 A/Dコンバータ0, 1 ... 627

- 12.1 特徴 ... 627
- 12.2 構成 ... 629
- 12.3 制御レジスタ ... 640
- 12.4 動作 ... 674
  - 12.4.1 基本動作 ... 674
  - 12.4.2 入力電圧と変換結果 ... 676
  - 12.4.3 動作モード ... 678
  - 12.4.4 動作設定 ... 678
  - 12.4.5 1チャンネル変換の動作 ... 679
  - 12.4.6 複数チャンネル変換の動作 ... 680
  - 12.4.7 A/Dトリガ・モード（通常動作モード） ... 682
  - 12.4.8 A/Dトリガ・ポーリング・モード（通常動作モード） ... 684
  - 12.4.9 ハードウェア・トリガ・モード（通常動作モード） ... 686
  - 12.4.10 変換チャンネル指定モード（拡張動作モード） ... 688
  - 12.4.11 拡張バッファ・モード（拡張動作モード） ... 690
- 12.5 内部等価回路 ... 696
- 12.6 注意事項 ... 698
  - 12.6.1 変換動作の停止 ... 698
  - 12.6.2 ハードウェア・トリガ・モード，変換チャンネル指定モード，拡張バッファ・モード時の変換動作中のトリガのインターバル ... 698
  - 12.6.3 ADnSCMレジスタへの書き込み ... 698
  - 12.6.4 A/D変換開始タイミング ... 699
  - 12.6.5 スタンバイ・モード時の動作 ... 699
  - 12.6.6 変換チャンネル指定モード，拡張バッファ・モード時のトリガの受け付けタイミング ... 699
  - 12.6.7 A/D変換結果のばらつき ... 699

- 12.6.8 A/D変換のヒステリシス特性 ... 700
- 12.6.9 連続変換時のA/D変換トリガ間隔 ... 700
- 12.7 A/Dコンバータ特性表の読み方 ... 701

## 第13章 A/Dコンバータ2 ... 705

- 13.1 特 徴 ... 705
- 13.2 構 成 ... 706
- 13.3 制御レジスタ ... 710
- 13.4 動 作 ... 716
  - 13.4.1 基本動作 ... 716
  - 13.4.2 トリガ・モード ... 718
  - 13.4.3 動作モード ... 719
- 13.5 ソフトウェア・トリガ・モード時の動作 ... 727
- 13.6 内部等価回路 ... 732
- 13.7 注意事項 ... 734
- 13.8 A/Dコンバータ特性表の読み方 ... 737

## 第14章 アシンクロナス・シリアル・インタフェースA (UARTA) ... 738

- 14.1 UARTAとほかのシリアル・インタフェースのモード切り替え ... 738
  - 14.1.1 UARTA0とCSIB0のモード切り替え ... 738
  - 14.1.2 UARTA1とI<sup>2</sup>Cのモード切り替え ... 739
  - 14.1.3 UARTA2とCSIB1のモード切り替え ... 740
- 14.2 特 徴 ... 741
- 14.3 構 成 ... 742
- 14.4 制御レジスタ ... 744
- 14.5 割り込み要求信号 ... 750
- 14.6 動 作 ... 751
  - 14.6.1 データ・フォーマット ... 751
  - 14.6.2 UART送信 ... 753
  - 14.6.3 連続送信の手順説明 ... 754
  - 14.6.4 UART受信 ... 756
  - 14.6.5 受信エラー ... 757
  - 14.6.6 パリティの種類と動作 ... 758
  - 14.6.7 受信データのノイズ・フィルタ ... 759
- 14.7 専用ポー・レート・ジェネレータ ... 760
- 14.8 注意事項 ... 767

## 第15章 アシンクロナス・シリアル・インタフェースB (UARTB) ... 768

- 15.1 UARTBとCSIB2のモード切り替え ... 768
- 15.2 特 徴 ... 769
- 15.3 構 成 ... 770
- 15.4 制御レジスタ ... 774
- 15.5 割り込み要求信号 ... 790
- 15.6 制御方法 ... 793
- 15.7 動 作 ... 796
  - 15.7.1 データ・フォーマット ... 796
  - 15.7.2 送信動作 ... 797



- 15.7.3 連続送信動作 ... 800
- 15.7.4 受信動作 ... 801
- 15.7.5 受信エラー ... 804
- 15.7.6 パリティの種類と動作 ... 805
- 15.7.7 受信データのノイズ・フィルタ ... 806
- 15.8 専用ボー・レート・ジェネレータ (BRG) ... 807
- 15.9 制御フロー ... 814
- 15.10 注意事項 ... 825

## 第16章 クロック同期式シリアル・インタフェースB (CSIB) ... 827

- 16.1 CSIBとほかのシリアル・インタフェースのモード切り替え ... 827
  - 16.1.1 CSIB0とUARTA0のモード切り替え ... 827
  - 16.1.2 CSIB1とUARTA2のモード切り替え ... 828
  - 16.1.3 CSIB2とUARTBのモード切り替え ... 829
- 16.2 特 徴 ... 830
- 16.3 構 成 ... 831
- 16.4 制御レジスタ ... 833
- 16.5 動 作 ... 840
  - 16.5.1 シングル転送モード (マスタ・モード, 送信モード) ... 840
  - 16.5.2 シングル転送モード (マスタ・モード, 受信モード) ... 842
  - 16.5.3 シングル転送モード (マスタ・モード, 送受信モード) ... 844
  - 16.5.4 シングル転送モード (スレーブ・モード, 送信モード) ... 846
  - 16.5.5 シングル転送モード (スレーブ・モード, 受信モード) ... 848
  - 16.5.6 シングル転送モード (スレーブ・モード, 送受信モード) ... 850
  - 16.5.7 連続転送モード (マスタ・モード, 送信モード) ... 852
  - 16.5.8 連続転送モード (マスタ・モード, 受信モード) ... 854
  - 16.5.9 連続転送モード (マスタ・モード, 送受信モード) ... 857
  - 16.5.10 連続転送モード (スレーブ・モード, 送信モード) ... 861
  - 16.5.11 連続転送モード (スレーブ・モード, 受信モード) ... 863
  - 16.5.12 連続転送モード (スレーブ・モード, 送受信モード) ... 866
  - 16.5.13 受信エラー ... 870
  - 16.5.14 クロック・タイミング ... 871
- 16.6 出力端子 ... 873

## 第17章 I<sup>2</sup>Cバス ... 874

- 17.1 I<sup>2</sup>CとUARTA1のモード切り替え ... 874
- 17.2 特 徴 ... 875
- 17.3 構 成 ... 878
- 17.4 レジスタ ... 880
- 17.5 機 能 ... 894
  - 17.5.1 端子構成 ... 894
- 17.6 I<sup>2</sup>Cバスの定義および制御方法 ... 895
  - 17.6.1 スタート・コンディション ... 895
  - 17.6.2 アドレス ... 896
  - 17.6.3 転送方向指定 ... 897
  - 17.6.4 アクノリッジ (ACK) ... 898
  - 17.6.5 ストップ・コンディション ... 899

17.6.6	ウェイト ...	900
17.6.7	ウェイト解除方法 ...	902
17.7	I <sup>2</sup> C割り込み要求信号 (INTIIC) ...	903
17.7.1	マスタ動作 ...	904
17.7.2	スレーブ動作 (スレーブ・アドレス受信時 (アドレス一致)) ...	907
17.7.3	スレーブ動作 (拡張コード受信時) ...	911
17.7.4	通信不参加の動作 ...	915
17.7.5	アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作) ...	916
17.7.6	アービトレーション負けの動作 (アービトレーション負けのあと, 不参加) ...	918
17.8	割り込み要求信号 (INTIIC) 発生タイミングおよびウェイト制御 ...	925
17.9	アドレスの一致検出方法 ...	926
17.10	エラーの検出 ...	926
17.11	拡張コード ...	927
17.12	アービトレーション ...	928
17.13	ウェイク・アップ機能 ...	929
17.14	通信予約 ...	930
17.14.1	通信予約機能許可の場合 (IICF0.IICRSV0ビット = 0) ...	930
17.14.2	通信予約機能禁止の場合 (IICF0.IICRSV0ビット = 1) ...	933
17.15	注意事項 ...	934
17.16	通信動作 ...	935
17.16.1	シングルマスタ・システムでのマスタ動作 ...	936
17.16.2	マルチマスタ・システムでのマスタ動作 ...	937
17.16.3	スレーブ動作 ...	940
17.17	データ通信のタイミング ...	944

## 第18章 バス制御機能 ... 951

18.1	特徴 ...	951
18.2	バス制御端子 ...	952
18.2.1	内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態 ...	952
18.3	メモリ・ブロック機能 ...	953
18.3.1	チップ・セレクト制御機能 ...	953
18.4	バス・サイクル・タイプ制御機能 ...	954
18.5	バス・アクセス ...	955
18.5.1	アクセス・クロック数 ...	955
18.5.2	バス・サイジング機能 ...	956
18.5.3	エンディアン機能 ...	957
18.5.4	バス幅 ...	957
18.6	ウェイト機能 ...	964
18.6.1	プログラマブル・ウェイト機能 ...	964
18.6.2	外部ウェイト機能 ...	967
18.6.3	プログラマブル・ウェイトと外部ウェイトの関係 ...	967
18.6.4	ウェイト機能が有効なバス・サイクル ...	968
18.7	アイドル・ステート挿入機能 ...	969
18.8	バス・タイミング ...	971
18.9	バスの優先順位 ...	981
18.10	境界動作条件 ...	981
18.10.1	プログラム空間 ...	981
18.10.2	データ空間 ...	981

## 第19章 DMA機能 (DMAコントローラ) ... 982

- 19.1 特 徴 ... 982
- 19.2 構 成 ... 983
- 19.3 制御レジスタ ... 984
  - 19.3.1 DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3) ... 984
  - 19.3.2 DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3) ... 986
  - 19.3.3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3) ... 988
  - 19.3.4 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3) ... 989
  - 19.3.5 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) ... 990
  - 19.3.6 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) ... 992
- 19.4 転送モード ... 996
  - 19.4.1 シングル転送モード ... 996
  - 19.4.2 シングルステップ転送モード ... 998
  - 19.4.3 ブロック転送モード ... 999
- 19.5 転送タイプ ... 1000
  - 19.5.1 2サイクル転送 ... 1000
- 19.6 転送対象 ... 1001
  - 19.6.1 転送の種類と転送対象 ... 1001
- 19.7 DMAチャンネルの優先順位 ... 1002
- 19.8 ネクスト・アドレス設定機能 ... 1002
- 19.9 DMA転送起動要因 ... 1004
- 19.10 強制終了 ... 1005
- 19.11 DMA転送に関する各種時間 ... 1006
- 19.12 注意事項 ... 1006
- 19.13 DMA転送の終了 ... 1007

## 第20章 割り込み / 例外処理機能 ... 1008

- 20.1 特 徴 ... 1008
- 20.2 ノンマスカブル割り込み ... 1013
  - 20.2.1 動 作 ... 1014
  - 20.2.2 復 帰 ... 1016
  - 20.2.3 ノンマスカブル割り込みステータス・フラグ (NP) ... 1017
- 20.3 マスカブル割り込み ... 1018
  - 20.3.1 動 作 ... 1018
  - 20.3.2 復 帰 ... 1020
  - 20.3.3 マスカブル割り込みの優先順位 ... 1021
  - 20.3.4 割り込み制御レジスタ (xxICn) ... 1025
  - 20.3.5 割り込みマスク・レジスタ0-5 (IMR0-IMR5) ... 1030
  - 20.3.6 インサースビス・プライオリティ・レジスタ (ISPR) ... 1033
  - 20.3.7 マスカブル割り込みステータス・フラグ (ID) ... 1034
- 20.4 外部割り込み要求入力端子 (INTP00-INTP18, INTADT0, INTADT1) ... 1035
  - 20.4.1 ノイズ除去 ... 1035
  - 20.4.2 エッジ検出 ... 1035
- 20.5 ソフトウェア例外 ... 1040
  - 20.5.1 動 作 ... 1040
  - 20.5.2 復 帰 ... 1041

20.5.3	例外ステータス・フラグ (EP)	...	1042
20.6	例外トラップ	...	1043
20.6.1	不正命令コード	...	1043
20.6.2	デバッグ・トラップ	...	1045
20.7	多重割り込み処理制御	...	1047
20.8	CPUの割り込み応答時間	...	1049
20.9	CPUが割り込みを受け付けない期間	...	1051
20.10	注意事項	...	1051

## 第21章 スタンバイ機能 ... 1052

21.1	概要	...	1052
21.2	制御レジスタ	...	1054
21.3	HALTモード	...	1055
21.3.1	設定および動作状態	...	1055
21.3.2	HALTモードの解除	...	1055
21.4	IDLEモード	...	1057
21.4.1	設定および動作状態	...	1057
21.4.2	IDLEモードの解除	...	1057
21.5	STOPモード	...	1059
21.5.1	設定および動作状態	...	1059
21.5.2	STOPモードの解除	...	1059
21.6	発振安定時間の確保	...	1061

## 第22章 リセット機能 ... 1062

22.1	概要	...	1062
22.2	制御レジスタ	...	1063
22.3	動作	...	1065

## 第23章 低電圧検出回路 ... 1068

23.1	機能	...	1068
23.2	構成	...	1068
23.3	制御レジスタ	...	1069
23.4	動作	...	1071
23.4.1	内部リセット信号として使用する場合	...	1071
23.4.2	割り込みとして使用する場合	...	1073

## 第24章 パワーオン・クリア回路 ... 1074

24.1	機能	...	1074
24.2	構成	...	1074
24.3	動作	...	1075

## 第25章 レギュレータ ... 1076

- 25.1 概 要 ... 1076
- 25.2 動 作 ... 1077

## 第26章 オンチップ・デバッグ機能 ... 1078

- 26.1 DCUを使用する方法 ... 1079
  - 26.1.1 接続回路例 ... 1079
  - 26.1.2 インタフェース信号 ... 1083
  - 26.1.3 マスク機能 ... 1084
  - 26.1.4 注意事項 ... 1085
- 26.2 DCUを使用しない方法 ... 1086
  - 26.2.1 接続回路例 ... 1086
  - 26.2.2 マスク機能 ... 1089
  - 26.2.3 ユーザ資源の確保 ... 1089
  - 26.2.4 注意事項 ... 1095
- 26.3 ROMセキュリティ機能 ... 1096
  - 26.3.1 セキュリティID ... 1096
  - 26.3.2 設定方法 ... 1097

## 第27章 フラッシュ・メモリ ... 1098

- 27.1 特 徴 ... 1098
- 27.2 メモリ構成 ... 1099
- 27.3 機能概要 ... 1100
  - 27.3.1 消去単位 ... 1102
  - 27.3.2 セキュリティ機能 ... 1102
- 27.4 フラッシュ・メモリ・プログラマによる書き込み方法 ... 1104
- 27.5 フラッシュ・メモリ・プログラミング環境 ... 1105
- 27.6 フラッシュ・メモリ・プログラミングの通信方式 ... 1106
- 27.7 フラッシュ・メモリ・プログラミング時の端子処理 ... 1112
  - 27.7.1 電 源 ... 1112
  - 27.7.2 使用端子 ... 1112
  - 27.7.3 RESET端子 ... 1115
  - 27.7.4 FLMD0, FLMD1端子 ... 1115
  - 27.7.5 ポート端子 ... 1116
  - 27.7.6 その他の信号端子 ... 1116
- 27.8 フラッシュ・メモリ・プログラミング方法 ... 1117
  - 27.8.1 フラッシュ・メモリ制御 ... 1117
  - 27.8.2 通信方式の選択 ... 1118
  - 27.8.3 通信コマンド ... 1119
- 27.9 セルフ・プログラミングによる書き換え ... 1121
  - 27.9.1 概 要 ... 1121
  - 27.9.2 特 徴 ... 1122
  - 27.9.3 標準セルフ・プログラミング・フロー ... 1123
  - 27.9.4 フラッシュ関数一覧 ... 1124
  - 27.9.5 端子処理 ... 1124
  - 27.9.6 使用する内部資源 ... 1125

## 第28章 電気的特性 ... 1126

- 28.1 V850E/IF3 ... 1126
  - 28.1.1 絶対最大定格 ... 1126
  - 28.1.2 容 量 ... 1127
  - 28.1.3 動作条件 ... 1127
  - 28.1.4 クロック発振回路特性 ... 1128
  - 28.1.5 レギュレータ特性 ... 1129
  - 28.1.6 DC特性 ... 1129
  - 28.1.7 データ保持特性 ... 1130
  - 28.1.8 AC特性 ... 1131
  - 28.1.9 A/Dコンバータ0,1特性 ... 1141
  - 28.1.10 A/Dコンバータ2特性 ... 1142
  - 28.1.11 オペアンプ特性 ... 1143
  - 28.1.12 コンパレータ特性 ... 1144
  - 28.1.13 パワーオン・クリア回路 (POC) ... 1145
  - 28.1.14 低電圧検出回路 (LVI) ... 1146
  - 28.1.15 フラッシュ・メモリ・プログラミング特性 ... 1147
- 28.2 V850E/IG3 ... 1148
  - 28.2.1 絶対最大定格 ... 1148
  - 28.2.2 容 量 ... 1149
  - 28.2.3 動作条件 ... 1149
  - 28.2.4 クロック発振回路特性 ... 1150
  - 28.2.5 レギュレータ特性 ... 1151
  - 28.2.6 DC特性 ... 1152
  - 28.2.7 データ保持特性 ... 1154
  - 28.2.8 AC特性 ... 1155
  - 28.2.9 A/Dコンバータ0,1特性 ... 1173
  - 28.2.10 A/Dコンバータ2特性 ... 1174
  - 28.2.11 オペアンプ特性 ... 1175
  - 28.2.12 コンパレータ特性 ... 1176
  - 28.2.13 パワーオン・クリア回路 (POC) ... 1177
  - 28.2.14 低電圧検出回路 (LVI) ... 1178
  - 28.2.15 フラッシュ・メモリ・プログラミング特性 ... 1179

## 第29章 外形図 ... 1180

## 第30章 半田付け推奨条件 ... 1184

## 付録A 注意事項 ... 1186

- A.1 sld命令と割り込み競合に関する制限事項 ... 1186
  - A.1.1 内 容 ... 1186
  - A.1.2 回避策 ... 1186

## 付録B レジスタ索引 ... 1187

**付録C 命令セット一覧 ... 1200**

C.1 凡 例 ... 1200

C.2 インストラクション・セット（アルファベット順） ... 1203

**付録D 改版履歴 ... 1209**

D.1 本版で改訂された主な箇所 ... 1209

D.2 前版までの改版履歴 ... 1210

# 第1章 イントロダクション

V850E/IF3, V850E/IG3は, NECエレクトロニクスのシングルチップ・マイクロコントローラ「V850マイコン」の1製品です。この章では, V850E/IF3, V850E/IG3の概要を説明します。

## 1.1 概 説

V850E/IF3, V850E/IG3は, V850E1 CPUコアを使用し, ROM/RAM, DMAコントローラ, タイマ/カウンタ, ウォッチドッグ・タイマ, シリアル・インタフェース, A/Dコンバータ, オンチップ・デバッグなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコントローラです。

V850E/IF3, V850E/IG3は, 高いリアルタイム応答性と1クロック・ピッチの基本命令に加え, デジタル・サーボ制御の応用に最適な命令として, ハードウェア乗算器による乗算命令, 飽和演算命令, ビット操作命令などを持っています。また, リアルタイム制御システムとして, モータのインバータ制御などへの応用が, きわめて高いコスト・パフォーマンスで実現できます。

表1 - 1にV850E/IF3, V850E/IG3の製品一覧について示します。

表1 - 1 V850E/IF3, V850E/IG3の製品一覧

製品名	機能	パッケージ	ROM		RAM サイズ	動作周波数 (MAX.)	マスカブル割り込み		ノンマスカブル 割り込み
			種類	サイズ			外部	内部	
V850E/IF3	μ PD70F3451	80GC	フラッシュ・ メモリ	128 Kバイト	8 Kバイト	64 MHz	15本	73本	1本
		80GC		256 Kバイト	12 Kバイト				
V850E/IG3	μ PD70F3453	100GC		128 Kバイト	8 Kバイト		21本	74本	
		100GF		128 Kバイト	8 Kバイト				
		100GC		256 Kバイト	12 Kバイト				
		100GF		256 Kバイト	12 Kバイト				
		161F1	256 Kバイト	12 Kバイト					

- 備考1. 80GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)  
 100GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)  
 100GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)  
 161F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)
2. このマニュアルでは, V850E/IG3の品名を次のように記載しています。
- ・GF品  
 μ PD70F3453GF-GAS-AX, 70F3454GF-GAS-AX



表1 - 2にV850E/IF3とV850E/IG3の機能の違いを示します。

表1 - 2 V850E/IF3とV850E/IG3の機能の違い

項 目		V850E/IF3	V850E/IG3
ポート機能	入出力	44本	56本
	入力	4本	8本
	内蔵プルアップ抵抗	44本	56本
割り込み要因		外部割り込み：15本 内部割り込み：74本	外部割り込み：21本 内部割り込み：75本
外部バス機能		なし	あり（ $\mu$ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ）
タイマAA0-AA4		タイマAA0（入出力なし） タイマAA1（入出力なし） タイマAA2 タイマAA3（入出力なし） タイマAA4	タイマAA0（入出力なし） タイマAA1（入出力なし） タイマAA2 タイマAA3 タイマAA4
タイマT0, タイマT1		タイマT0（入出力なし） タイマT1	タイマT0 タイマT1
モータ制御機能	ハイ・インピーダンス出力制御端子	TOA2OFF TOB0OFF TOB1OFF	TOA2OFF TOA3OFF TOB0OFF TOB1OFF
A/Dコンバータ2	アナログ入力	4 ch	8 ch
オンチップ・デバッグ機能	オンチップ・デバッグ・エミュレータ	NIMICUBE2	NIMICUBE NIMICUBE2
外部端子用電源		EV <sub>DD0</sub> , EV <sub>DD1</sub>	EV <sub>DD0</sub> -EV <sub>DD2</sub>
パッケージ		80ピン・プラスチックLQFP（14×14）	100ピン・プラスチックLQFP（14×14） 100ピン・プラスチックLQFP（14×20） 161ピン・プラスチックFBGA（10×10）

## 1.2 V850E/IF3

### 1.2.1 特徴 (V850E/IF3)

最小命令実行時間 15.6 ns (内部64 MHz動作時)

汎用レジスタ 32ビット×32本

CPUの特徴 符号付き乗算 (16ビット×16ビット 32ビット, または32ビット×32ビット 64ビット)  
: 1-2クロック  
飽和演算命令 (オーバフロー/アンダフロー検出機能付き)  
32ビット・シフト命令 : 1クロック  
ビット操作命令  
ロング/ショート形式を持つロード/ストア命令  
符号付きロード命令

内蔵メモリ

製品名	内蔵ROM	内蔵RAM
μPD70F3451	128 Kバイト (フラッシュ・メモリ)	8 Kバイト
μPD70F3452	256 Kバイト (フラッシュ・メモリ)	12 Kバイト

オンチップ・デバッグ機能 MINICUBE<sup>®</sup>2に対応

割り込み/例外

ノンマスカブル割り込み : 1要因 (内部: 1要因, 外部: なし)  
マスカブル割り込み : 88要因 (外部: 15要因, 内部: 73要因)  
ソフトウェア例外 : 32要因  
例外トラップ : 2要因

DMAコントローラ

4チャンネル構成  
転送単位 : 8ビット/16ビット  
最大転送回数 : 65536 ( $2^{16}$ ) 回  
転送タイプ : 2サイクル転送  
転送モード : シングル転送/シングルステップ転送/ブロック転送  
転送対象 : 内蔵周辺I/O 内蔵RAM, 内蔵周辺I/O 内蔵周辺I/O  
転送要求 : 内蔵周辺I/O/ソフトウェア  
ネクスト・アドレス設定機能

I/Oライン

合計 : 48 (入力専用ポート : 4, 入出力ポート : 44)

タイマ/カウンタ機能

- 16ビット・インターバル・タイマM (TMM) : 4 ch
- 16ビット・タイマ/イベント・カウンタAA (TAA) : 5 ch
- 16ビット・タイマ/イベント・カウンタAB (TAB) : 2 ch
- 16ビット・タイマ/イベント・カウンタT (TMT) : 2 ch
- モータ制御機能 (使用タイマ TAB : 2 ch (TAB0, TAB1) , TAA : 2 ch (TAA0, TAA1) )
- 16ビット精度のデッド・タイム付き6相PWM機能 : 2 ch
- ハイ・インピーダンス出力制御機能
- タイマ同調動作機能によるA/Dトリガ生成
- 任意の周期設定機能
- 任意のデッド・タイム設定機能
- ウォッチドッグ・タイマ : 1 ch

シリアル・インタフェース

- アシンクロナス・シリアル・インタフェースA (UARTA)
- アシンクロナス・シリアル・インタフェースB (UARTB)
- クロック同期式シリアル・インタフェースB (CSIB)
- I<sup>2</sup>Cバス・インタフェース (I<sup>2</sup>C)

- UARTA0/CSIB0 : 1 ch
- UARTA1/I<sup>2</sup>C : 1 ch
- UARTA2/CSIB1 : 1 ch
- UARTB/CSIB2 : 1 ch

A/Dコンバータ

- 12ビット分解能A/Dコンバータ (A/Dコンバータ0, 1) : 5 ch + 5 ch (2ユニット)
- A/Dコンバータ0の1 ch, A/Dコンバータ1の3 chには入力レベル増幅用オペアンプと過電圧検出用コンパレータを内蔵
- 10ビット分解能A/Dコンバータ (A/Dコンバータ2) : 4 ch

クロック・ジェネレータ

- 4 ~ 8 MHzの発振子を接続可能 (外部クロック入力禁止)
- PLLクロック・シンセサイザによる逡倍機能 (8逡倍固定,  $f_{xx} = 32 \sim 64$  MHz)
- CPUクロック分周機能 ( $f_{xx}$ ,  $f_{xx}/2$ ,  $f_{xx}/4$ ,  $f_{xx}/8$ )

パワー・セーブ機能 HALT/IDLE/STOPモード

パワーオン・クリア機能

低電圧検出機能

パッケージ 80ピン・プラスチックLQFP (14 × 14)

動作電源電圧  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$   
 (A/Dコンバータ0-2動作時)  
 $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$   
 (A/Dコンバータ0-2非動作時)

### 1.2.2 応用分野 (V850E/IF3)

- ・民生機器 (インバータ・エアコン, 洗濯機, 洗濯乾燥機, 冷蔵庫など)
- ・産業機器 (モータ制御, 汎用インバータなど)

### 1.2.3 オーダ情報 (V850E/IF3)

品 名	パッケージ	内蔵ROM
$\mu$ PD70F3451GC-UBT-A	80ピン・プラスチックLQFP (14 × 14)	フラッシュ・メモリ (128 Kバイト)
$\mu$ PD70F3452GC-UBT-A	"	フラッシュ・メモリ (256 Kバイト)

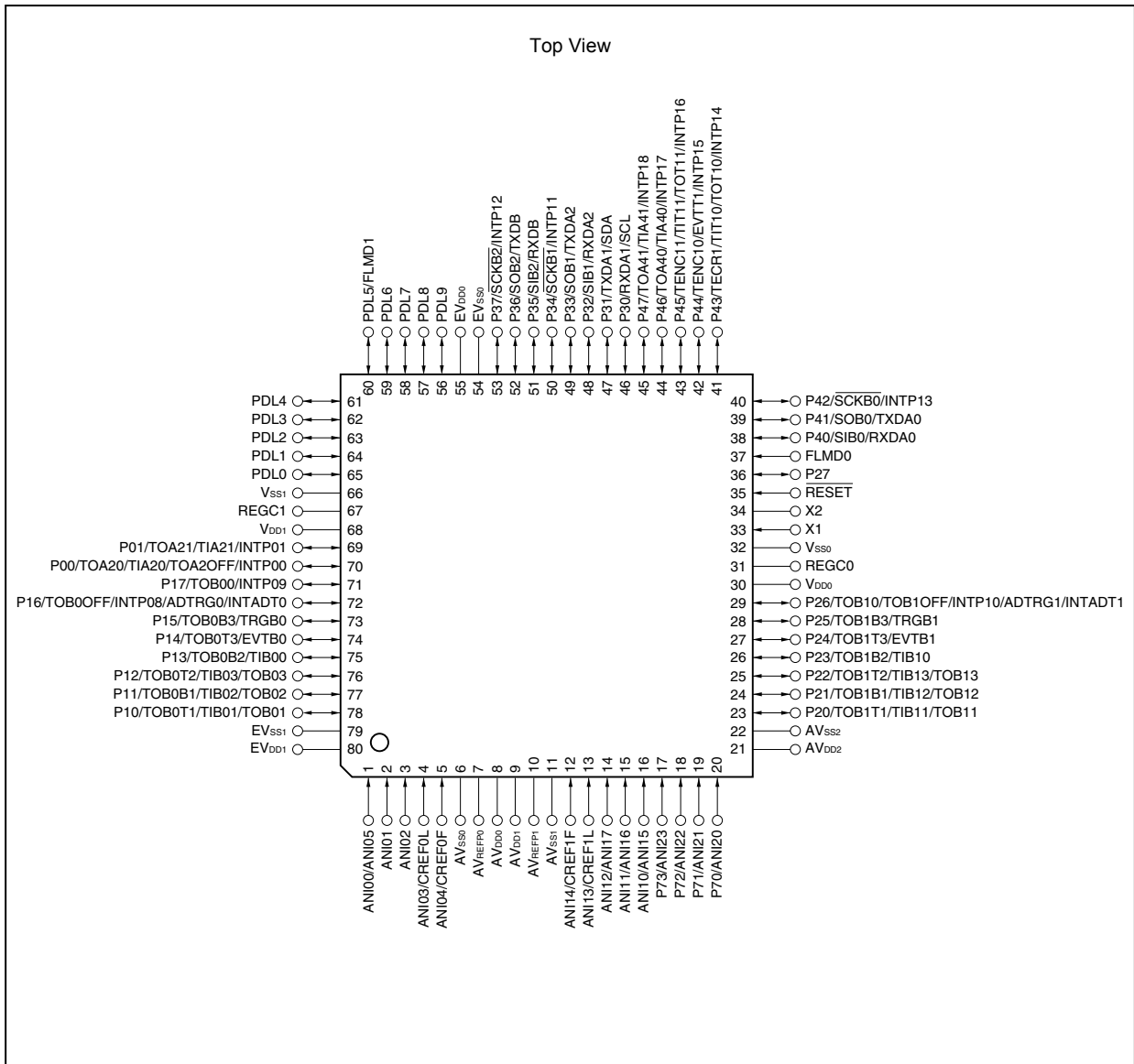
**備考** V850E/IF3は, 鉛フリー製品です。

1.2.4 端子接続図 (V850E/IF3)

・ 80ピン・プラスチックLQFP (14 × 14)

μ PD70F3451GC-UBT-A

μ PD70F3452GC-UBT-A

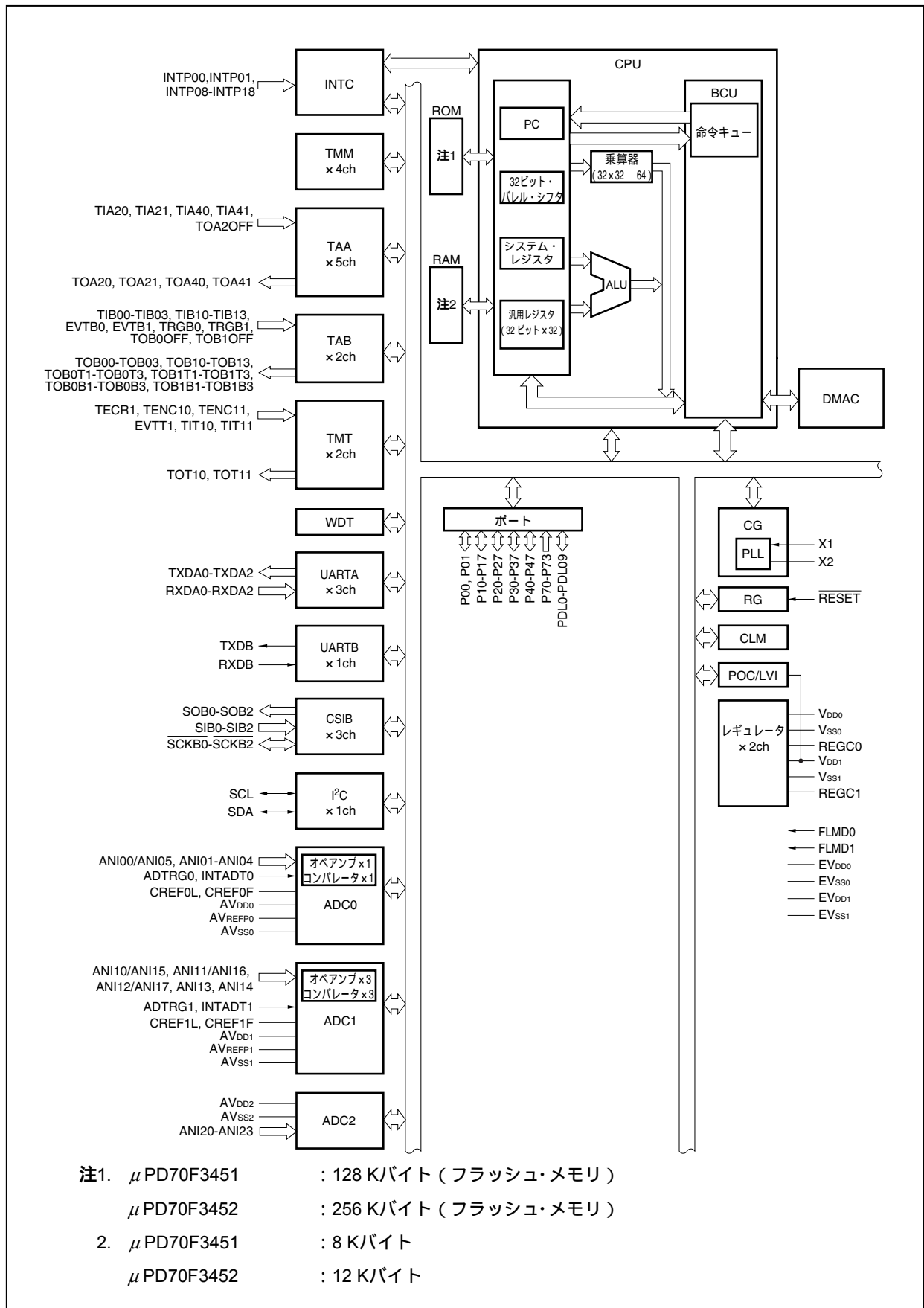


端子名称 (V850E/IF3)

ADTRG0, ADTRG1	: A/D Trigger Input	SCL	: Serial Clock
ANI00-ANI05,	: Analog Input	SDA	: Serial Data
ANI10-ANI17,		SIB0-SIB2	: Serial Input
ANI20-ANI23		SOB0-SOB2	: Serial Output
AV <sub>DD0</sub> -AV <sub>DD2</sub>	: Analog Power Supply	TECR1	: Timer Encoder Clear Input
AV <sub>REFP0</sub> , AV <sub>REFP1</sub>	: Analog Reference Voltage	TENC10, TENC11	: Timer Encoder Input
AV <sub>SS0</sub> -AV <sub>SS2</sub>	: Analog Ground	TIA20, TIA21,	: Timer Trigger Input
CREF0F, CREF1F,	: Comparator Reference Voltage	TIA40, TIA41,	
CREF0L, CREF1L		TIB00-TIB03,	
EV <sub>DD0</sub> , EV <sub>DD1</sub>	: Power Supply for Port	TIB10-TIB13,	
EV <sub>SS0</sub> , EV <sub>SS1</sub>	: Ground for Port	TIT10, TIT11	
EVTB0, EVTB1,	: Timer Event Count Input	TOA20, TOA21,	: Timer Output
EVTT1		TOA40, TOA41,	
FLMD0, FLMD1	: Flash Programming Mode	TOB00-TOB03,	
INTADT0, INTADT1,	: External Interrupt Input	TOB0B1-TOB0B3,	
INTP00, INTP01,		TOB0T1-TOB0T3,	
INTP08-INTP18		TOB10-TOB13,	
P00, P01	: Port 0	TOB1B1-TOB1B3,	
P10-P17	: Port 1	TOB1T1-TOB1T3,	
P20-P27	: Port 2	TOT10, TOT11	
P30-P37	: Port 3	TOA2OFF,	: Timer Output Off
P40-P47	: Port 4	TOB0OFF, TOB1OFF	
P70-P73	: Port 7	TRGB0, TRGB1	: Timer Trigger Input
PDL0-PDL9	: Port DL	TXDA0-TXDA2,	: Transmit Data
REGC0, REGC1	: Regulator Control	TXDB	
$\overline{\text{RESET}}$	: Reset	V <sub>DD0</sub> , V <sub>DD1</sub>	: Power Supply
RXDA0-RXDA2,	: Receive Data	V <sub>SS0</sub> , V <sub>SS1</sub>	: Ground
RXDB		X1, X2	: Clock Oscillator Pin
SCKB0-SCKB2	: Serial Clock		

### 1.2.5 機能ブロック構成 (V850E/IF3)

(1) 内部ブロック図



(2) 内部ユニット

(a) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（32ビット×32ビット 64ビット），バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し，複雑な処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

内部バスを制御します。

(i) DMAコントローラ (DMAC)

CPUの代わりに，内蔵周辺I/O 内蔵RAM，内蔵周辺I/O 内蔵周辺I/O間でのデータの転送を行います。

転送タイプには，2サイクル転送があります。転送モードには，シングル転送，シングルステップ転送，ブロック転送の3種類があります。

(c) ROM

00000000H番地からマッピングされるフラッシュ・メモリです。

命令フェッチ時にCPUから1クロックでアクセスできます。製品によって次のように異なります。

製品名	内蔵ROM容量	内蔵ROM領域
μ PD70F3451	128 Kバイト (フラッシュ・メモリ)	x0000000H-x001FFFFH
μ PD70F3452	256 Kバイト (フラッシュ・メモリ)	x0000000H-x003FFFFH

(d) RAM

製品によって，内蔵RAM容量，内蔵RAM領域が次のように異なります。

命令フェッチ時，データ・アクセス時にCPUから1クロックでアクセスできます。

製品名	内蔵RAM容量	内蔵RAM領域
μ PD70F3451	8 Kバイト	xFFFC000H-xFFFDFFFH
μ PD70F3452	12 Kバイト	xFFFC000H-xFFFEFFFH

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア，および外部からのハードウェア割り込み要求 (INTP00, INTP01, INTP08-INTP18, INTADT0, INTADT1) を処理します。これらの割り込み要求は，8レベルの割り込み優先順位が指定でき，多重処理制御ができます。

(f) クロック・ジェネレータ (CG)

クロック・ジェネレータの基本動作として，PLLモード（8逓倍固定）とクロック・スルー・モードの2種類を備えています。4種類 (f<sub>xx</sub>, f<sub>xx</sub>/2, f<sub>xx</sub>/4, f<sub>xx</sub>/8) のクロックを生成して，そのうちの1つをCPUの動作クロック (f<sub>cpu</sub>) として供給します。



**(g) タイマ/カウンタ**

16ビット・インターバル・タイマM (TMM) を4チャンネル, 16ビット・タイマ/イベント・カウンタAA (TAA) を5チャンネル, 16ビット・タイマ/イベント・カウンタAB (TAB) を2チャンネル, 16ビット・タイマ/イベント・カウンタT (TMT) を2チャンネル内蔵しています。パルス間隔や周波数の計測, モータ制御用インバータ機能, プログラマブルなパルスの出力ができます。

**(h) ウォッチドッグ・タイマ (WDT)**

プログラムの暴走, システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。オーバフローでノンマスカブル割り込み要求信号 (INTWDT) か内部リセット信号 (WDTRES) を発生します。

**(i) シリアル・インタフェース**

シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA (UARTA) を3チャンネル, アシンクロナス・シリアル・インタフェースB (UARTB) を1チャンネル, クロック同期式シリアル・インタフェースB (CSIB) を3チャンネル, I<sup>2</sup>Cバス・インタフェース (I<sup>2</sup>C) を1チャンネル内蔵しています。このうちUARTA0とCSIB0, UARTA1とI<sup>2</sup>C, UARTA2とCSIB1, UARTBとCSIB2は, 端子を兼用しています。

UARTAは, TXDAn, RXDAn端子によりデータ転送を行います (n = 0-2)。

UARTBは, TXDB, RXDB端子によりデータ転送を行います。

CSIBは, SOBn, SIBn, SCKBn端子によりデータ転送を行います (n = 0-2)。

I<sup>2</sup>Cは, SCL, SDA端子によりデータ転送を行います。

**(j) A/Dコンバータ (ADC)**

5本, 5本のアナログ入力端子を持つ高速, 高分解能の12ビットA/Dコンバータ (ADC0, ADC1) を1チャンネルずつ計2チャンネル, 4本のアナログ入力端子を持つ10ビットA/Dコンバータ (ADC2) を1チャンネル内蔵しています。

ADC0, ADC1にはそれぞれオペアンプとコンパレータを, ADC0の場合は1回路, ADC1の場合は3回路内蔵しており, アナログ入力電圧の増幅と過電圧入力検出が可能です。

**(k) オンチップ・デバッグ機能**

MINICUBE2に対応したオンチップ・デバッグ機能が実現できます。それにより簡単で安価なデバッグ環境が構築できます。

## (1) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
ポート0	2ビット入出力	タイマ/カウンタ入出力, 外部割り込み入力
ポート1	8ビット入出力	タイマ/カウンタ入出力, A/Dコンバータ0の外部トリガ入力, 外部割り込み入力
ポート2	8ビット入出力	タイマ/カウンタ入出力, A/Dコンバータ1の外部トリガ入力, 外部割り込み入力
ポート3	8ビット入出力	シリアル・インタフェース入出力, 外部割り込み入力
ポート4	8ビット入出力	シリアル・インタフェース入出力, タイマ/カウンタ入出力, 外部割り込み入力
ポート7	4ビット入力	A/Dコンバータ2入力
ポートDL	10ビット入出力	-

## 1.3 V850E/IG3

### 1.3.1 特徴 (V850E/IG3)

最小命令実行時間 15.6 ns (内部64 MHz動作時)

汎用レジスタ 32ビット×32本

CPUの特徴 符号付き乗算 (16ビット×16ビット 32ビット, または32ビット×32ビット 64ビット)  
 : 1-2クロック  
 飽和演算命令 (オーバフロー/アンダフロー検出機能付き)  
 32ビット・シフト命令 : 1クロック  
 ビット操作命令  
 ロング/ショート形式を持つロード/ストア命令  
 符号付きロード命令

メモリ空間 ( $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ)

256 Mバイト・リニア・アドレス空間 (プログラム/データ共有)

チップ・セレクト出力機能 : 2空間

メモリ・ブロック分割機能 : 2 Mバイト/ブロック

・外部バス・インタフェース

マルチプレクス・バス・モード : 16ビット・アドレス・バス

8/16ビット・データ・バス

セパレート・バス・モード : 8ビット・アドレス・バス

8/16ビット・データ・バス

8/16ビット・データ・バス・サイジング機能

外部バス周波数切り替え機能 : 32/16 MHz

ウェイト機能

・プログラマブル・ウェイト機能

・外部ウェイト機能

アイドル・ステート機能

アドレス・セットアップ・ウェイト機能

内蔵メモリ

製品名	内蔵ROM	内蔵RAM
$\mu$ PD70F3453	128 Kバイト (フラッシュ・メモリ)	8 Kバイト
$\mu$ PD70F3454	256 Kバイト (フラッシュ・メモリ)	12 Kバイト

オンチップ・デバッグ機能 MINICUBE, MINICUBE2に対応

割り込み / 例外

ノンマスカブル割り込み : 1要因 (内部: 1要因, 外部: なし)  
 マスカブル割り込み : 95要因 (外部: 21要因, 内部: 74要因)  
 ソフトウェア例外 : 32要因  
 例外トラップ : 2要因

DMAコントローラ

4チャンネル構成  
 転送単位 : 8ビット / 16ビット  
 最大転送回数 : 65536 ( $2^{16}$ ) 回  
 転送タイプ : 2サイクル転送  
 転送モード : シングル転送 / シングルステップ転送 / ブロック転送  
 転送対象 : 内蔵周辺I/O 内蔵RAM, 内蔵周辺I/O 内蔵周辺I/O  
 転送要求 : 内蔵周辺I/O / ソフトウェア  
 ネクスト・アドレス設定機能

I/Oライン

合計: 64 (入力専用ポート: 8, 入出力ポート: 56)

タイマ / カウンタ機能

16ビット・インターバル・タイマM (TMM) : 4 ch  
 16ビット・タイマ / イベント・カウンタAA (TAA) : 5 ch  
 16ビット・タイマ / イベント・カウンタAB (TAB) : 2 ch  
 16ビット・タイマ / イベント・カウンタT (TMT) : 2 ch  
 モータ制御機能 (使用タイマ TAB: 2 ch (TAB0, TAB1), TAA: 2 ch (TAA0, TAA1))  
 16ビット精度のデッド・タイム付き6相PWM機能: 2 ch  
 ハイ・インピーダンス出力制御機能  
 タイマ同調動作機能によるA/Dトリガ生成  
 任意の周期設定機能  
 任意のデッド・タイム設定機能  
 ウォッチドッグ・タイマ: 1 ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェースA (UARTA)  
 アシンクロナス・シリアル・インタフェースB (UARTB)  
 クロック同期式シリアル・インタフェースB (CSIB)  
 I<sup>2</sup>Cバス・インタフェース (I<sup>2</sup>C)

UARTA0/CSIB0 : 1 ch  
 UARTA1/I<sup>2</sup>C : 1 ch  
 UARTA2/CSIB1 : 1 ch  
 UARTB/CSIB2 : 1 ch

A/Dコンバータ 12ビット分解能A/Dコンバータ (A/Dコンバータ0, 1) : 5 ch + 5 ch (2ユニット)  
 A/Dコンバータ0の1 ch, A/Dコンバータ1の3 chには入力レベル増幅用オペアンプと過電  
 圧検出用コンパレータを内蔵  
 10ビット分解能A/Dコンバータ (A/Dコンバータ2) : 8 ch

クロック・ジェネレータ

4 ~ 8 MHzの発振子を接続可能 (外部クロック入力禁止)  
 PLLクロック・シンセサイザによる逡倍機能 (8逡倍固定,  $f_{xx} = 32 \sim 64$  MHz)  
 CPUクロック分周機能 ( $f_{xx}$ ,  $f_{xx}/2$ ,  $f_{xx}/4$ ,  $f_{xx}/8$ )

パワー・セーブ機能 HALT/IDLE/STOPモード

パワーオン・クリア機能

低電圧検出機能

パッケージ 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)  
 100ピン・プラスチックLQFP (14 × 20)  
 161ピン・プラスチックFBGA (10 × 10)

動作電源電圧  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5$  V  
 (A/Dコンバータ0-2動作時)  
 $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5$  V  
 (A/Dコンバータ0-2非動作時)

### 1.3.2 応用分野 (V850E/IG3)

- ・民生機器 (インバータ・エアコン, 洗濯機, 洗濯乾燥機, 冷蔵庫など)
- ・産業機器 (モータ制御, 汎用インバータなど)

### 1.3.3 オーダ情報 (V850E/IG3)

品 名	パッケージ	内蔵ROM
$\mu$ PD70F3453GC-8EA-A	100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)	フラッシュ・メモリ (128 Kバイト)
$\mu$ PD70F3453GF-GAS-AX	100ピン・プラスチックLQFP (14 × 20)	"
$\mu$ PD70F3454GC-8EA-A	100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)	フラッシュ・メモリ (256 Kバイト)
$\mu$ PD70F3454GF-GAS-AX	100ピン・プラスチックLQFP (14 × 20)	"
$\mu$ PD70F3454F1-DA9-A	161ピン・プラスチックFBGA (10 × 10)	"

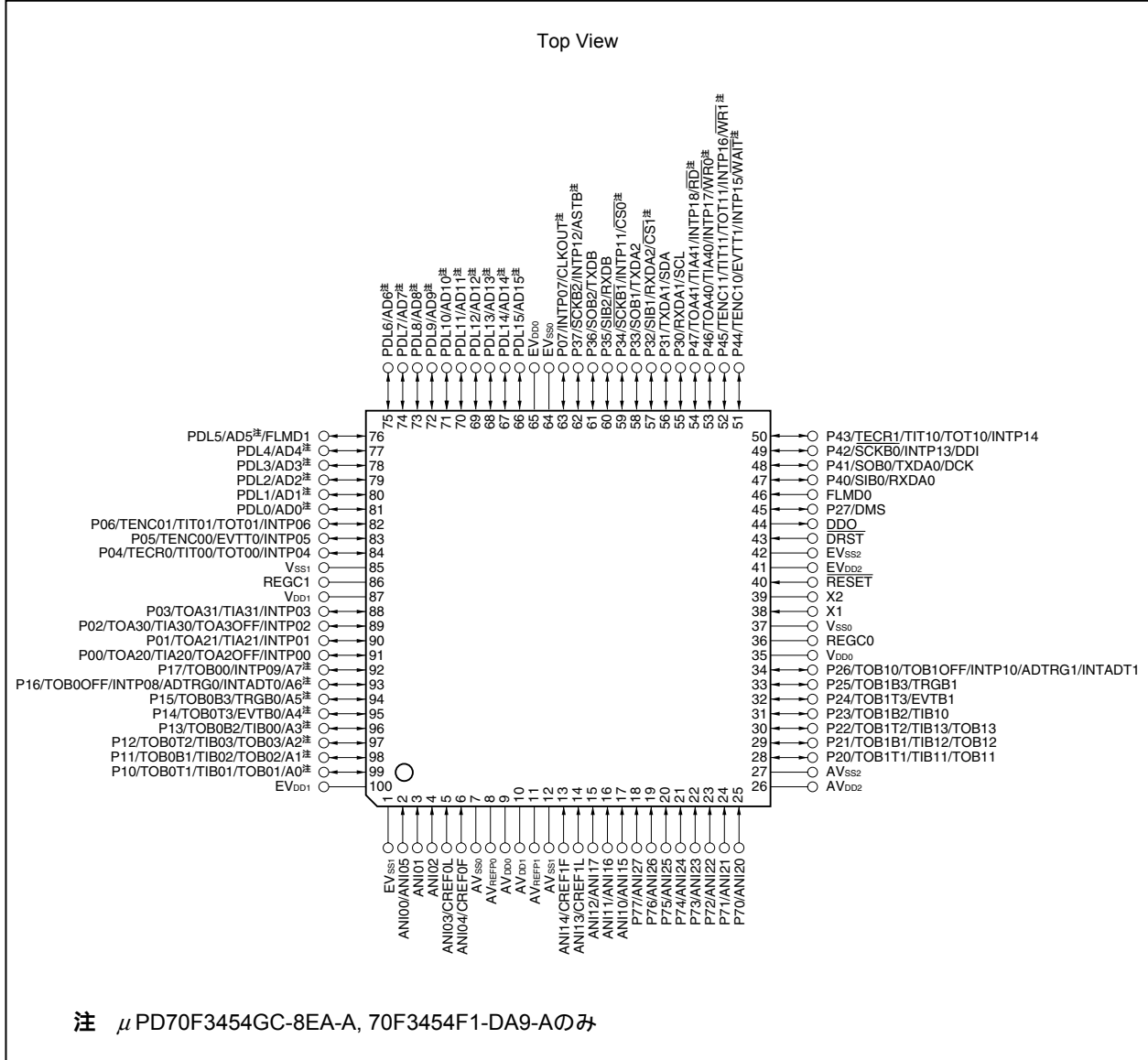
備考 V850E/IG3は, 鉛フリー製品です。

1.3.4 端子接続図 (V850E/IG3)

- ・ 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

μ PD70F3453GC-8EA-A

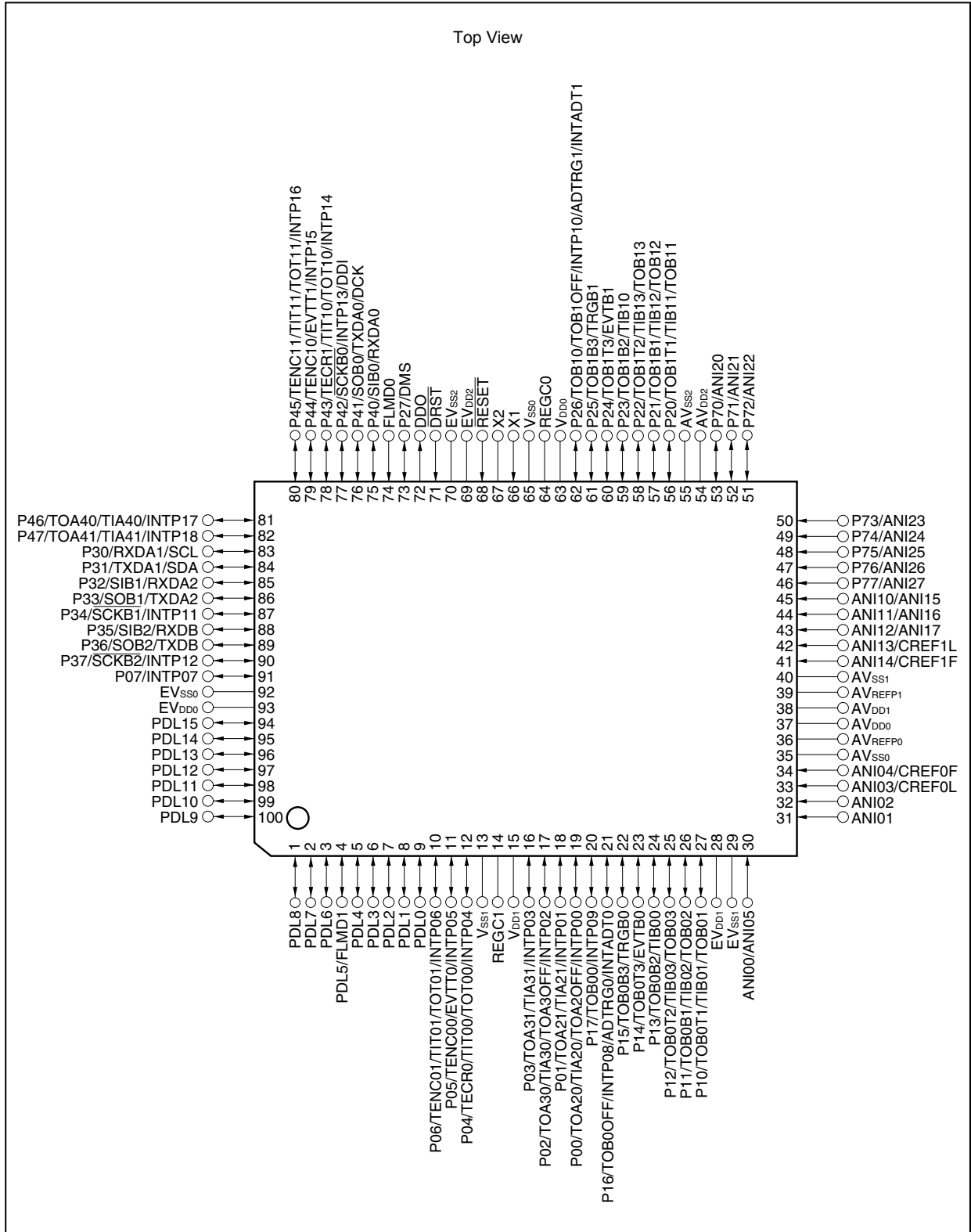
μ PD70F3454GC-8EA-A



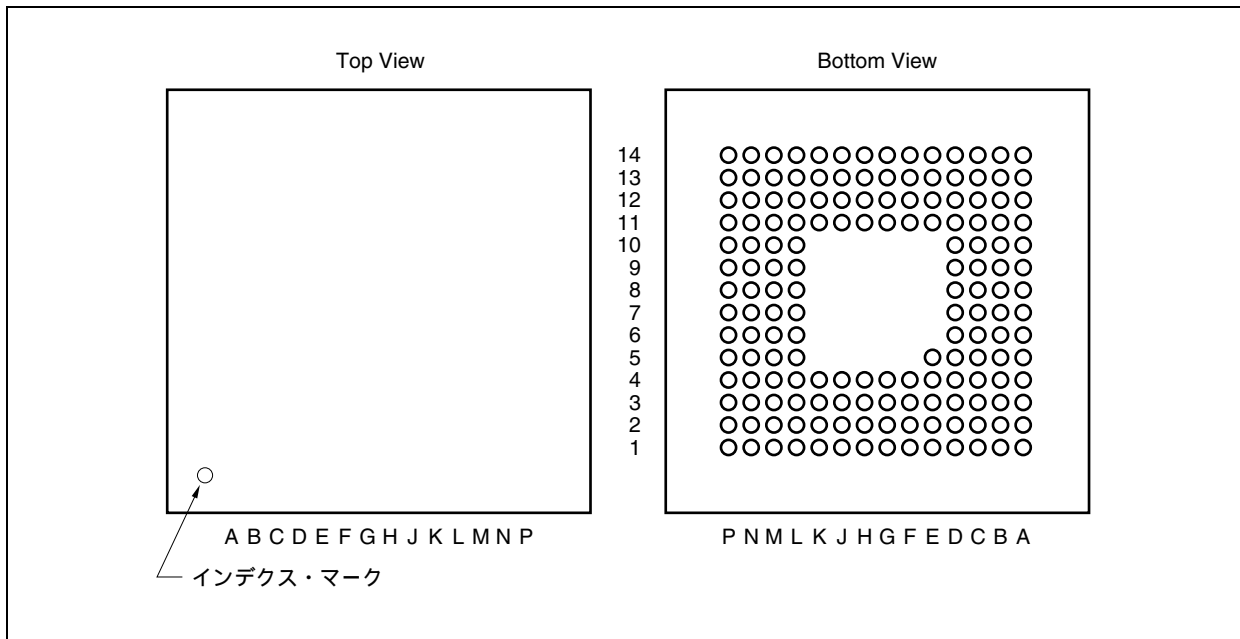
・ 100ピン・プラスチックLQFP (14×20)

μPD70F3453GF-GAS-AX

μPD70F3454GF-GAS-AX



・161ピン・プラスチックFBGA (10×10)  
 μPD70F3454F1-DA9-A



( 1/2 )

ピン番号	名称	ピン番号	名称	ピン番号	名称
A1	EV <sub>SS1</sub>	B10	PDL1/AD1	D5	IC1
A2	IC1	B11	PDL3/AD3	D6	IC1
A3	EV <sub>DD1</sub>	B12	PDL6/AD6	D7	IC1
A4	P12/TOB0T2/TIB03/TOB03/A2	B13	IC1	D8	IC1
A5	P15/TOB0B3/TRGB0/A5	B14	IC1	D9	IC1
A6	P00/TOA20/TIA20/TOA2OFF/INTP00	C1	EV <sub>SS1</sub>	D10	IC1
A7	V <sub>DD1</sub>	C2	EV <sub>SS1</sub>	D11	IC1
A8	REGC1	C3	P11/TOB0B1/TIB02/TOB02/A1	D12	PDL11/AD11
A9	V <sub>SS1</sub>	C4	P14/TOB0T3/EVTB0/A4	D13	PDL10/AD10
A10	PDL0/AD0	C5	P17/TOB00/INTP09/A7	D14	PDL9/AD9
A11	PDL2/AD2	C6	P02/TOA30/TIA30/TOA3OFF/INTP02	E1	AV <sub>SS0</sub>
A12	PDL5/AD5/FLMD1	C7	P03/TOA31/TIA31/INTP03	E2	AV <sub>SS0</sub>
A13	IC1	C8	P04/TECR0/TIT00/TOT00/INTP04	E3	ANI02
A14	EV <sub>SS0</sub>	C9	P05/TENC00/EVTT0/INTP05	E4	EV <sub>SS1</sub>
B1	EV <sub>SS1</sub>	C10	P06/TENC01/TIT01/TOT01/INTP06	E5	IC0
B2	EV <sub>DD1</sub>	C11	PDL4/AD4	E11	IC1
B3	P10/TOB0T1/TIB01/TOB01/A0	C12	IC1	E12	PDL14/AD14
B4	P13/TOB0B2/TIB00/A3	C13	PDL8/AD8	E13	PDL13/AD13
B5	P16/TOB0OFF/INTP08/ADTRG0/INTADT0/A6	C14	PDL7/AD7	E14	PDL12/AD12
B6	P01/TOA21/TIA21/INTP01	D1	ANI00/ANI05	F1	AV <sub>DD0</sub>
B7	V <sub>DD1</sub>	D2	ANI01	F2	AV <sub>REFP0</sub>
B8	REGC1	D3	EV <sub>SS1</sub>	F3	ANI03/CREFO1
B9	V <sub>SS1</sub>	D4	IC1	F4	ANI04/CREFO0

備考1. IC0端子は、EV<sub>SS0</sub>、EV<sub>SS1</sub>、EV<sub>SS2</sub>に接続してください。

2. IC1端子は、オープンにしてください。



ピン番号	名称	ピン番号	名称	ピン番号	名称
F11	IC1	L6	IC1	P5	V <sub>DD0</sub>
F12	PDL15/AD15	L7	IC1	P6	REGC0
F13	EV <sub>DD0</sub>	L8	IC1	P7	V <sub>SS0</sub>
F14	EV <sub>DD0</sub>	L9	IC1	P8	X1
G1	AV <sub>DD1</sub>	L10	IC1	P9	RESET
G2	AV <sub>REFP1</sub>	L11	IC1	P10	EV <sub>DD2</sub>
G3	ANI13/CREF1L	L12	P46/TOA40/TIA40/INTP17/W <sub>R0</sub>	P11	EV <sub>SS2</sub>
G4	ANI14/CREF1F	L13	P45/TENC11/TIT11/TOT11/INTP16/W <sub>R1</sub>	P12	P40/SIB0/RXDA0
G11	IC1	L14	P44/TENC10/EVTT1/INTP15/W <sub>AIT</sub>	P13	IC1
G12	P07/INTP07/CLKOUT	M1	AV <sub>DD2</sub>	P14	EV <sub>SS2</sub>
G13	EV <sub>SS0</sub>	M2	AV <sub>DD2</sub>		
G14	EV <sub>SS0</sub>	M3	AV <sub>SS2</sub>		
H1	AV <sub>SS1</sub>	M4	P24/TOB1T3/EVTB1		
H2	AV <sub>SS1</sub>	M5	P25/TOB1B3/TRGB1		
H3	ANI12/ANI17	M6	P26/TOB10/TOB1OFF/INTP10/ADTRG1/INTADT1		
H4	IC2	M7	IC1		
H11	IC1	M8	IC1		
H12	P37/SCKB2/INTP12/ASTB	M9	DRST		
H13	P36/SOB2/TXDB	M10	DDO		
H14	P35/SIB2/RXDB	M11	P27/DMS		
J1	ANI10/ANI15	M12	IC1		
J2	ANI11/ANI16	M13	P43/TECR1/TIT10/TOT10/INTP14		
J3	IC2	M14	P42/SCKB0/INTP13/DDI		
J4	P77/ANI27	N1	IC1		
J11	IC1	N2	AV <sub>SS2</sub>		
J12	P34/SCKB1/INTP11/C <sub>S0</sub>	N3	P21/TOB1B1/TIB12/TOB12		
J13	P33/SOB1/TXDA2	N4	P23/TOB1B2/TIB10		
J14	P32/SIB1/RXDA2/C <sub>S1</sub>	N5	V <sub>DD0</sub>		
K1	P73/ANI23	N6	REGC0		
K2	P74/ANI24	N7	V <sub>SS0</sub>		
K3	P75/ANI25	N8	X2		
K4	P76/ANI26	N9	FLMD0		
K11	IC1	N10	EV <sub>DD2</sub>		
K12	P31/TXDA1/SDA	N11	EV <sub>SS2</sub>		
K13	P30/RXDA1/SCL	N12	P41/SOB0/TXDA0/DCK		
K14	P47/TOA41/TIA41/INTP18/R <sub>D</sub>	N13	IC1		
L1	P70/ANI20	N14	IC1		
L2	P71/ANI21	P1	AV <sub>SS2</sub>		
L3	P72/ANI22	P2	IC1		
L4	AV <sub>SS2</sub>	P3	P20/TOB1T1/TIB11/TOB11		
L5	IC1	P4	P22/TOB1T2/TIB13/TOB13		

備考1. IC1端子は、オープンにしてください。

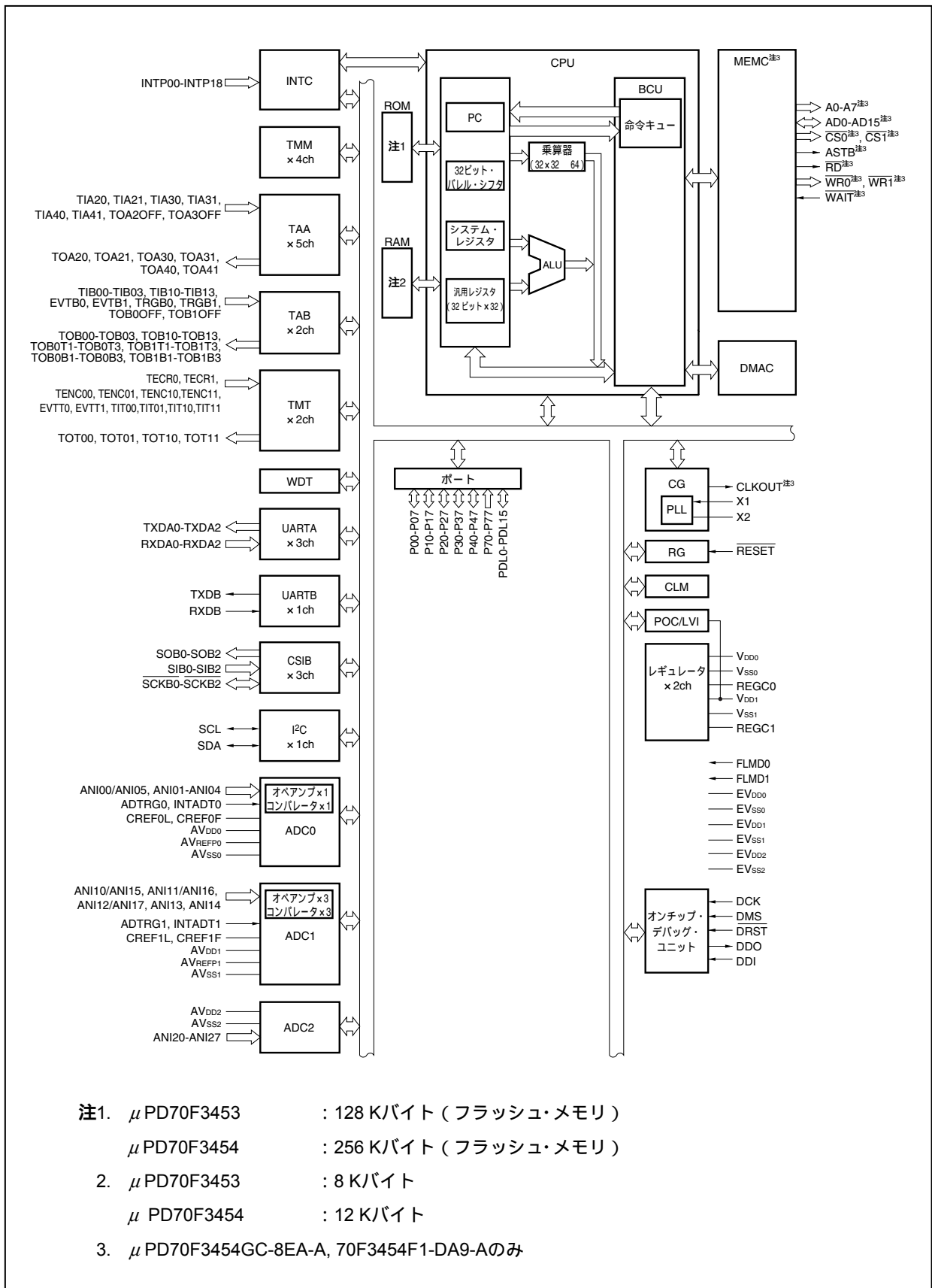
2. IC2端子は、個別に抵抗を介してAV<sub>SS2</sub>に接続してください。

端子名称 (V850E/IG3)

A0-A7	: Address Bus	SCKB0-SCKB2	: Serial Clock
AD0-AD15	: Address/Data Bus	SCL	: Serial Clock
ADTRG0, ADTRG1	: A/D Trigger Input	SDA	: Serial Data
ANI00-ANI05,	: Analog Input	SIB0-SIB2	: Serial Input
ANI10-ANI17,		SOB0-SOB2	: Serial Output
ANI20-ANI27		TECR0, TECR1	: Timer Encoder Clear Input
ASTB	: Address Strobe	TENC00, TENC01,	: Timer Encoder Input
AVDD0-AVDD2	: Analog Power Supply	TENC10, TENC11	
AVREFP0, AVREFP1	: Analog Reference Voltage	TIA20, TIA21,	: Timer Trigger Input
AVSS0-AVSS2	: Analog Ground	TIA30, TIA31,	
CLKOUT	: Clock Output	TIA40, TIA41,	
CREF0F, CREF1F,	: Comparator Reference Voltage	TIB00-TIB03,	
CREF0L, CREF1L		TIB10-TIB13,	
$\overline{CS0}$ , $\overline{CS1}$	: Chip Select	TIT00, TIT01,	
DCK	: Debug Clock	TIT10, TIT11	
DDI	: Debug Data Input	TOA20, TOA21,	: Timer Output
DDO	: Debug Data Output	TOA30, TOA31,	
DMS	: Debug Mode Select	TOA40, TOA41,	
$\overline{DRST}$	: Debug Reset	TOB00-TOB03,	
EVDD0-EVDD2	: Power Supply for Port	TOB0B1-TOB0B3,	
EVSS0-EVSS2	: Ground for Port	TOB0T1-TOB0T3,	
EVTB0, EVTB1,	: Timer Event Count Input	TOB10-TOB13,	
EVTT0, EVTT1		TOB1B1-TOB1B3,	
FLMD0, FLMD1	: Flash Programming Mode	TOB1T1-TOB1T3,	
IC0-IC2	: Internally Connected	TOT00, TOT01,	
INTADT0, INTADT1,	: External Interrupt Input	TOT10, TOT11	
INTP00-INTP18		TOA2OFF, TOA3OFF,	: Timer Output Off
P00-P07	: Port 0	TOB0OFF, TOB1OFF	
P10-P17	: Port 1	TRGB0, TRGB1	: Timer Trigger Input
P20-P27	: Port 2	TXDA0-TXDA2,	: Transmit Data
P30-P37	: Port 3	TXDB	
P40-P47	: Port 4	VDD0, VDD1	: Power Supply
P70-P77	: Port 7	VSS0, VSS1	: Ground
PDL0-PDL15	: Port DL	$\overline{WAIT}$	: Wait
$\overline{RD}$	: Read Strobe	$\overline{WR0}$ , $\overline{WR1}$	: Write Strobe
REGC0, REGC1	: Regulator Control	X1, X2	: Clock Oscillator Pin
$\overline{RESET}$	: Reset		
RXDA0-RXDA2,	: Receive Data		
RXDB			

### 1.3.5 機能ブロック構成 (V850E/IG3)

#### (1) 内部ブロック図



- 注1.  $\mu$  PD70F3453 : 128 Kバイト (フラッシュ・メモリ)  
 $\mu$  PD70F3454 : 256 Kバイト (フラッシュ・メモリ)
2.  $\mu$  PD70F3453 : 8 Kバイト  
 $\mu$  PD70F3454 : 12 Kバイト
3.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

(2) 内部ユニット

(a) CPU

アドレス計算、算術論理演算、データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（32ビット×32ビット 64ビット）、バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し、複雑な処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域（ $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ）から命令フェッチするときCPUからのバス・サイクル起動の要求がない場合は、プリフェッチ・アドレスを生成し、命令コードのプリフェッチを行います。プリフェッチされた命令コードは、CPU内部の命令キューに取り込まれます。

BCUは、メモリ・コントローラ（MEMC）を制御し、外部メモリへのアクセスを行います（ $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ）。

(i) メモリ・コントローラ (MEMC) ( $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ)

SRAM, 外部ROM, 外部I/Oのアクセス制御を行います。

(ii) DMAコントローラ (DMAC)

CPUの代わりに、内蔵周辺I/O 内蔵RAM, 内蔵周辺I/O 内蔵周辺I/O間でのデータの転送を行います。

転送タイプには、2サイクル転送があります。転送モードには、シングル転送、シングルステップ転送、ブロック転送の3種類があります。

(c) ROM

00000000H番地からマッピングされるフラッシュ・メモリです。

命令フェッチ時にCPUから1クロックでアクセスできます。製品によって次のように異なります。

製品名	内蔵ROM容量	内蔵ROM領域
$\mu$ PD70F3453	128 Kバイト (フラッシュ・メモリ)	x0000000H-x001FFFFH
$\mu$ PD70F3454	256 Kバイト (フラッシュ・メモリ)	x0000000H-x003FFFFH

(d) RAM

製品によって、内蔵RAM容量、内蔵RAM領域が次のように異なります。

命令フェッチ時、データ・アクセス時にCPUから1クロックでアクセスできます。

製品名	内蔵RAM容量	内蔵RAM領域
$\mu$ PD70F3453	8 Kバイト	xFFFC000H-xFFFDFFFH
$\mu$ PD70F3454	12 Kバイト	xFFFC000H-xFFFEFFFH

**(e) 割り込みコントローラ (INTC)**

内蔵周辺ハードウェア, および外部からのハードウェア割り込み要求 (INTP00-INTP18, INTADT0, INTADT1) を処理します。これらの割り込み要求は, 8レベルの割り込み優先順位が指定でき, 多重処理制御ができます。

**(f) クロック・ジェネレータ (CG)**

クロック・ジェネレータの基本動作として, PLLモード (8通倍固定) とクロック・スルー・モードの2種類を備えています。4種類 (f<sub>xx</sub>, f<sub>xx</sub>/2, f<sub>xx</sub>/4, f<sub>xx</sub>/8) のクロックを生成して, そのうちの1つをCPUの動作クロック (f<sub>CPU</sub>) として供給します。

**(g) タイマ/カウンタ**

16ビット・インターバル・タイマM (TMM) を4チャンネル, 16ビット・タイマ/イベント・カウンタAA (TAA) を5チャンネル, 16ビット・タイマ/イベント・カウンタAB (TAB) を2チャンネル, 16ビット・タイマ/イベント・カウンタT (TMT) を2チャンネル内蔵しています。パルス間隔や周波数の計測, モータ制御用インバータ機能, プログラマブルなパルスの出力ができます。

**(h) ウォッチドッグ・タイマ (WDT)**

プログラムの暴走, システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。オーバフローでノンマスカブル割り込み要求信号 (INTWDT) か内部リセット信号 (WDTRES) を発生します。

**(i) シリアル・インタフェース**

シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA (UARTA) を3チャンネル, アシンクロナス・シリアル・インタフェースB (UARTB) を1チャンネル, クロック同期式シリアル・インタフェースB (CSIB) を3チャンネル, I<sup>2</sup>Cバス・インタフェース (I<sup>2</sup>C) を1チャンネル内蔵しています。このうちUARTA0とCSIB0, UARTA1とI<sup>2</sup>C, UARTA2とCSIB1, UARTBとCSIB2は, 端子を兼用しています。

UARTAは, TXDAn, RXDAn端子によりデータ転送を行います (n = 0-2)。

UARTBは, TXDB, RXDB端子によりデータ転送を行います。

CSIBは, SOBn, SIBn, SCKBn端子によりデータ転送を行います (n = 0-2)。

I<sup>2</sup>Cは, SCL, SDA端子によりデータ転送を行います。

**(j) A/Dコンバータ (ADC)**

5本, 5本のアナログ入力端子を持つ高速, 高分解能の12ビットA/Dコンバータ (ADC0, ADC1) を1チャンネルずつ計2チャンネル, 8本のアナログ入力端子を持つ10ビットA/Dコンバータ (ADC2) を1チャンネル内蔵しています。

ADC0, ADC1にはそれぞれオペアンプとコンパレータを, ADC0の場合は1回路, ADC1の場合は3回路内蔵しており, アナログ入力電圧の増幅と過電圧入力の検出が可能です。

**(k) オンチップ・デバッグ機能**

MINICUBE, MINICUBE2に対応したオンチップ・デバッグ機能が実現できます。それにより簡単に安価なデバッグ環境が構築できます。

## (1) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
ポート0	8ビット入出力	タイマ/カウンタ入出力, 外部割り込み入力, 外部バス・インタフェース制御信号出力
ポート1	8ビット入出力	タイマ/カウンタ入出力, 外部バス・インタフェース制御信号出力, A/Dコンバータ0の外部トリガ入力, 外部割り込み入力
ポート2	8ビット入出力	タイマ/カウンタ入出力, A/Dコンバータ1の外部トリガ入力, 外部割り込み入力, デバッグ入力
ポート3	8ビット入出力	シリアル・インタフェース入出力, 外部バス・インタフェース制御信号出力, 外部割り込み入力
ポート4	8ビット入出力	シリアル・インタフェース入出力, タイマ/カウンタ入出力, デバッグ入力, 外部割り込み入力, 外部バス・インタフェース制御信号入出力
ポート7	8ビット入力	A/Dコンバータ2入力
ポートDL	16ビット入出力	外部バス・インタフェース制御信号入出力

## 第2章 端子機能

V850E/IF3, V850E/IG3の端子の名称と機能を次に示します。これらの端子は、機能別にポート端子とそれ以外の端子に分けることができます。

### 2.1 端子機能一覧

端子の入出力バッファ電源には、AV<sub>DD2</sub>とEV<sub>DD0</sub>, EV<sub>DD1</sub>, EV<sub>DD2</sub> (V850E/IG3のみ)の2系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

#### (a) V850E/IF3の場合

電 源	対応する端子
AV <sub>DD2</sub>	P70-P73
EV <sub>DD0</sub> , EV <sub>DD1</sub>	P00, P01, P10-P17, P20-P27, P30-P37, P40-P47, PDL0-PDL9, RESET

#### (b) V850E/IG3の場合

電 源	対応する端子
AV <sub>DD2</sub>	P70-P77
EV <sub>DD0</sub> , EV <sub>DD1</sub> , EV <sub>DD2</sub>	P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, PDL0-PDL15, RESET, DCK, DDI, DDO, DMS, DRST

(1) ポート端子

( 1/3 )

端子 名称	ピン番号				入出力	機 能	兼用端子
	IF3		IG3				
	GC	GC	GF	F1			
P00	70	91	19	A6	入出力	ポート0 V850E/IF3 : 2ビット入出力ポート V850E/IG3 : 8ビット入出力ポート 1ビット単位で入力データのリード / 出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合, 兼用機能時に入力端子の場合, 兼用機能時に出力端子である TOA21, TOA31 (V850E/IG3のみ) 端子がハイ・インピーダンス状態になった場合のみ内蔵プルアップ抵抗の接続が可能)	TOA20/TIA20/TOA2OFF/INTP00
P01	69	90	18	B6			TOA21/TIA21/INTP01
P02 <sup>注1</sup>	-	89	17	C6			TOA30 <sup>注1</sup> /TIA30 <sup>注1</sup> /TOA3OFF <sup>注1</sup> /INTP02 <sup>注1</sup>
P03 <sup>注1</sup>	-	88	16	C7			TOA31 <sup>注1</sup> /TIA31 <sup>注1</sup> /INTP03 <sup>注1</sup>
P04 <sup>注1</sup>	-	84	12	C8			TECR0 <sup>注1</sup> /TIT00 <sup>注1</sup> /TOT00 <sup>注1</sup> /INTP04 <sup>注1</sup>
P05 <sup>注1</sup>	-	83	11	C9			TENC00 <sup>注1</sup> /EVTTO <sup>注1</sup> /INTP05 <sup>注1</sup>
P06 <sup>注1</sup>	-	82	10	C10			TENC01 <sup>注1</sup> /TIT01 <sup>注1</sup> /TOT01 <sup>注1</sup> /INTP06 <sup>注1</sup>
P07 <sup>注1</sup>	-	63	91	G12			INTP07 <sup>注1</sup> /CLKOUT <sup>注2</sup>
P10	78	99	27	B3	入出力	ポート1 8ビット入出力ポート 1ビット単位で入力データのリード / 出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合, 兼用機能時に入力端子の場合, 兼用機能時に出力端子である TOB0B1-TOB0B3, TOB0T1-TOB0T3端子がハイ・インピーダンス状態になった場合のみ内蔵プルアップ抵抗の接続が可能)	TOB0T1/TIB01/TOB01/A0 <sup>注2</sup>
P11	77	98	26	C3			TOB0B1/TIB02/TOB02/A1 <sup>注2</sup>
P12	76	97	25	A4			TOB0T2/TIB03/TOB03/A2 <sup>注2</sup>
P13	75	96	24	B4			TOB0B2/TIB00/A3 <sup>注2</sup>
P14	74	95	23	C4			TOB0T3/EVTB0/A4 <sup>注2</sup>
P15	73	94	22	A5			TOB0B3/TRGB0/A5 <sup>注2</sup>
P16	72	93	21	B5			TOB0OFF/INTP08/ADTRG0/INTADT0/A6 <sup>注2</sup>
P17	71	92	20	C5			TOB00/INTP09/A7 <sup>注2</sup>
P20	23	28	56	P3	入出力	ポート2 8ビット入出力ポート 1ビット単位で入力データのリード / 出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合, 兼用機能時に入力端子の場合, 兼用機能時に出力端子である TOB1B1-TOB1B3, TOB1T1-TOB1T3端子がハイ・インピーダンス状態になった場合のみ内蔵プルアップ抵抗の接続が可能)	TOB1T1/TIB11/TOB11
P21	24	29	57	N3			TOB1B1/TIB12/TOB12
P22	25	30	58	P4			TOB1T2/TIB13/TOB13
P23	26	31	59	N4			TOB1B2/TIB10
P24	27	32	60	M4			TOB1T3/EVTB1
P25	28	33	61	M5			TOB1B3/TRGB1
P26	29	34	62	M6			TOB10/TOB1OFF/INTP10/ADTRG1/INTADT1
P27	36	45	73	M11			DMS <sup>注1</sup>

注1. V850E/IG3のみ

2. μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)



端子 名称	ピン番号				入出力	機 能	兼用端子
	IF3		IG3				
	GC	GC	GF	F1			
P30	46	55	83	K13	入出力	ポート3 8ビット入出力ポート 1ビット単位で入力データのリード / 出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合, および兼用機能時に入力端子の場合 (SCKB1, SCKB2端子のスレーブ・モード時も含む) のみ内蔵プルアップ抵抗の接続が可能) 兼用機能時にSCL, SDA端子を選択した場合はN-chオープン・ドレイン出力指定可能	RXDA1/SCL
P31	47	56	84	K12			TXDA1/SDA
P32	48	57	85	J14			SIB1/RXDA2/ $\overline{\text{CS}}1^{\text{注1}}$
P33	49	58	86	J13			SOB1/TXDA2
P34	50	59	87	J12			SCKB1/INTP11/ $\overline{\text{CS}}0^{\text{注1}}$
P35	51	60	88	H14			SIB2/RXDB
P36	52	61	89	H13			SOB2/TXDB
P37	53	62	90	H12			SCKB2/INTP12/ASTB $^{\text{注1}}$
P40	38	47	75	P12	入出力	ポート4 8ビット入出力ポート 1ビット単位で入力データのリード / 出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 (ポート・モード時に入力モードの場合, および兼用機能時に入力端子の場合 (SCKB0端子のスレーブ・モード時も含む) のみ内蔵プルアップ抵抗の接続が可能)	SIB0/RXDA0
P41	39	48	76	N12			SOB0/TXDA0/DCK $^{\text{注2}}$
P42	40	49	77	M14			SCKB0/INTP13/DDI $^{\text{注2}}$
P43	41	50	78	M13			TECR1/TIT10/TOT10/INTP14
P44	42	51	79	L14			TENC10/EVTT1/INTP15/ $\overline{\text{WAIT}}^{\text{注1}}$
P45	43	52	80	L13			TENC11/TIT11/TOT11/INTP16/ $\overline{\text{WR}}1^{\text{注1}}$
P46	44	53	81	L12			TOA40/TIA40/INTP17/ $\overline{\text{WR}}0^{\text{注1}}$
P47	45	54	82	K14			TOA41/TIA41/INTP18/ $\overline{\text{RD}}^{\text{注1}}$
P70	20	25	53	L1	入力	ポート7 V850E/IF3 : 4ビット入力ポート V850E/IG3 : 8ビット入力ポート	ANI20
P71	19	24	52	L2			ANI21
P72	18	23	51	L3			ANI22
P73	17	22	50	K1			ANI23
P74 $^{\text{注2}}$	-	21	49	K2			ANI24 $^{\text{注2}}$
P75 $^{\text{注2}}$	-	20	48	K3			ANI25 $^{\text{注2}}$
P76 $^{\text{注2}}$	-	19	47	K4			ANI26 $^{\text{注2}}$
P77 $^{\text{注2}}$	-	18	46	J4			ANI27 $^{\text{注2}}$

注1.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

2. V850E/IG3のみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

端子 名称	ピン番号				入出力	機 能	兼用端子
	IF3		IG3				
	GC	GC	GF	F1			
PDL0	65	81	9	A10	入出力 ポートDL V850E/IF3 : 10ビット入出力ポート V850E/IG3 : 16ビット入出力ポート 1ビット単位で入力データのリード / 出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能 ( ポート・モード時に入力モードの場合のみ内蔵プルアップ抵抗の接続が可能 )	AD0 <sup>注1</sup>	
PDL1	64	80	8	B10		AD1 <sup>注1</sup>	
PDL2	63	79	7	A11		AD2 <sup>注1</sup>	
PDL3	62	78	6	B11		AD3 <sup>注1</sup>	
PDL4	61	77	5	C11		AD4 <sup>注1</sup>	
PDL5	60	76	4	A12		AD5 <sup>注1</sup> /FLMD1	
PDL6	59	75	3	B12		AD6 <sup>注1</sup>	
PDL7	58	74	2	C14		AD7 <sup>注1</sup>	
PDL8	57	73	1	C13		AD8 <sup>注1</sup>	
PDL9	56	72	100	D14		AD9 <sup>注1</sup>	
PDL10 <sup>注2</sup>	-	71	99	D13		AD10 <sup>注1</sup>	
PDL11 <sup>注2</sup>	-	70	98	D12		AD11 <sup>注1</sup>	
PDL12 <sup>注2</sup>	-	69	97	E14		AD12 <sup>注1</sup>	
PDL13 <sup>注2</sup>	-	68	96	E13		AD13 <sup>注1</sup>	
PDL14 <sup>注2</sup>	-	67	95	E12		AD14 <sup>注1</sup>	
PDL15 <sup>注2</sup>	-	66	94	F12	AD15 <sup>注1</sup>		

注1. μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

2. V850E/IG3のみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC ( V850E/IF3 ) : 80ピン・プラスチックLQFP ( 14 × 14 )

GC ( V850E/IG3 ) : 100ピン・プラスチックLQFP ( ファインピッチ ) ( 14 × 14 )

GF ( V850E/IG3 ) : 100ピン・プラスチックLQFP ( 14 × 20 )

F1 ( V850E/IG3 ) : 161ピン・プラスチックFBGA ( 10 × 10 )

(2) ポート以外の端子

( 1/9 )

端子 名称	ピン番号				入出力	機 能	兼用端子
	IF3		IG3				
	GC	GC	GF	F1			
A0 <sup>注1</sup>	-	99	-	B3	出力	外部メモリに対する8ビット・アドレス・バス	P10/TOB0T1/TIB01/TOB01
A1 <sup>注1</sup>	-	98	-	C3			P11/TOB0B1/TIB02/TOB02
A2 <sup>注1</sup>	-	97	-	A4			P12/TOB0T2/TIB03/TOB03
A3 <sup>注1</sup>	-	96	-	B4			P13/TOB0B2/TIB00
A4 <sup>注1</sup>	-	95	-	C4			P14/TOB0T3/EVTB0
A5 <sup>注1</sup>	-	94	-	A5			P15/TOB0B3/TRGB0
A6 <sup>注1</sup>	-	93	-	B5			P16/TOB0OFF/INTP08/ADTRG0/INTADT0
A7 <sup>注1</sup>	-	92	-	C5			P17/TOB00/INTP09
AD0 <sup>注1</sup>	-	81	-	A10	入出力	外部メモリに対する16ビット・アドレス/データ・バス	PDL0
AD1 <sup>注1</sup>	-	80	-	B10			PDL1
AD2 <sup>注1</sup>	-	79	-	A11			PDL2
AD3 <sup>注1</sup>	-	78	-	B11			PDL3
AD4 <sup>注1</sup>	-	77	-	C11			PDL4
AD5 <sup>注1</sup>	-	76	-	A12			FLMD1/PDL5
AD6 <sup>注1</sup>	-	75	-	B12			PDL6
AD7 <sup>注1</sup>	-	74	-	C14			PDL7
AD8 <sup>注1</sup>	-	73	-	C13			PDL8
AD9 <sup>注1</sup>	-	72	-	D14			PDL9
AD10 <sup>注1</sup>	-	71	-	D13			PDL10 <sup>注2</sup>
AD11 <sup>注1</sup>	-	70	-	D12			PDL11 <sup>注2</sup>
AD12 <sup>注1</sup>	-	69	-	E14			PDL12 <sup>注2</sup>
AD13 <sup>注1</sup>	-	68	-	E13			PDL13 <sup>注2</sup>
AD14 <sup>注1</sup>	-	67	-	E12			PDL14 <sup>注2</sup>
AD15 <sup>注1</sup>	-	66	-	F12			PDL15 <sup>注2</sup>
ADTRG0	72	93	21	B5	入力	A/Dコンバータ0への外部トリガ入力	P16/TOB0OFF/INTP08/INTADT0/A6 <sup>注1</sup>
ADTRG1	29	34	62	M6	入力	A/Dコンバータ1への外部トリガ入力	P26/TOB10/TOB1OFF/INTP10/INTADT1

注1. μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

2. V850E/IG3のみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

端子 名称	ピン番号				入出力	機 能	兼用端子
	IF3		IG3				
	GC	GC	GF	F1			
ANI00	1	2	30	D1	入力	A/Dコンバータ0へのアナログ入力	ANI05
ANI01	2	3	31	D2			-
ANI02	3	4	32	E3			-
ANI03	4	5	33	F3			CREF0L
ANI04	5	6	34	F4			CREF0F
ANI05	1	2	30	D1			ANI00
ANI10	16	17	45	J1	入力	A/Dコンバータ1へのアナログ入力	ANI15
ANI11	15	16	44	J2			ANI16
ANI12	14	15	43	H3			ANI17
ANI13	13	14	42	G3			CREF1L
ANI14	12	13	41	G4			CREF1F
ANI15	16	17	45	J1			ANI10
ANI16	15	16	44	J2			ANI11
ANI17	14	15	43	H3			ANI12
ANI20	20	25	53	L1	入力	A/Dコンバータ2へのアナログ入力	P70
ANI21	19	24	52	L2			P71
ANI22	18	23	51	L3			P72
ANI23	17	22	50	K1			P73
ANI24 <sup>注1</sup>	-	21	49	K2			P74 <sup>注1</sup>
ANI25 <sup>注1</sup>	-	20	48	K3			P75 <sup>注1</sup>
ANI26 <sup>注1</sup>	-	19	47	K4			P76 <sup>注1</sup>
ANI27 <sup>注1</sup>	-	18	46	J4			P77 <sup>注1</sup>
ASTB <sup>注2</sup>	-	62	-	H12	出力	外部データ・バスのアドレス・ストロープ出力	P37/SCKB2/INTP12
AV <sub>DD0</sub>	8	9	37	F1	-	A/Dコンバータ0用正電源供給	-
AV <sub>DD1</sub>	9	10	38	G1	-	A/Dコンバータ1用正電源供給	-
AV <sub>DD2</sub>	21	26	54	M1, M2	-	A/Dコンバータ2用正電源供給	-
AV <sub>REFP0</sub>	7	8	36	F2	-	A/Dコンバータ0用基準電圧入力	-
AV <sub>REFP1</sub>	10	11	39	G2	-	A/Dコンバータ1用基準電圧入力	-

注1. V850E/IG3のみ

2. μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

端子 名称	ピン番号				入出力	機 能	兼用端子
	IF3		IG3				
	GC	GC	GF	F1			
AV <sub>SS0</sub>	6	7	35	E1, E2	-	A/Dコンバータ0用グラウンド電位	-
AV <sub>SS1</sub>	11	12	40	H1, H2	-	A/Dコンバータ1用グラウンド電位	-
AV <sub>SS2</sub>	22	27	55	注1	-	A/Dコンバータ2用グラウンド電位	-
CLKOUT <sup>注2</sup>	-	63	-	G12	出力	外部バス・クロック出力	P07 <sup>注3</sup> /INTP07 <sup>注3</sup>
CREF0L	4	5	33	F3	-	A/Dコンバータ0側のロウ・レンジ・コンパレータの基準電圧	ANI03
CREF1L	13	14	42	G3	-	A/Dコンバータ1側のロウ・レンジ・コンパレータの基準電圧	ANI13
CREF0F	5	6	34	F4	-	A/Dコンバータ0側のフル・レンジ・コンパレータの基準電圧	ANI04
CREF1F	12	13	41	G4	-	A/Dコンバータ1側のフル・レンジ・コンパレータの基準電圧	ANI14
CS0 <sup>注2</sup>	-	59	-	J12	出力	チップ・セレクト出力	P34/SCKB1/INTP11
CS1 <sup>注2</sup>	-	57	-	J14			P32/SIB1/RXDA2
DCK <sup>注3</sup>	-	48	76	N12	入力	オンチップ・デバッグ・エミュレータ用デバッグ・クロック入力	P41/SOB0/TXDA0
DDI <sup>注3</sup>	-	49	77	M14	入力	オンチップ・デバッグ・エミュレータ用デバッグ・データ入力	P42/SCKB0/INTP13
DDO <sup>注3</sup>	-	44	72	M10	出力	オンチップ・デバッグ・エミュレータ用デバッグ・データ出力	-
DMS <sup>注3</sup>	-	45	73	M11	入力	オンチップ・デバッグ・エミュレータ用デバッグ・モード・セレクト	P27
DRST <sup>注3</sup>	-	43	71	M9	入力	オンチップ・デバッグ・エミュレータ用デバッグ・リセット入力	-
EV <sub>DD0</sub>	55	65	93	F13, F14	-	外部端子用正電源供給	-
EV <sub>DD1</sub>	80	100	28	A3, B2	-		-
EV <sub>DD2</sub> <sup>注3</sup>	-	41	69	N10, P10	-		-

注1. L4, M3, N2, P1

2.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

3. V850E/IG3のみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

端子 名称	ピン番号				入出力	機 能	兼用端子
	IF3		IG3				
	GC	GC	GF	F1			
EV <sub>SS0</sub>	54	64	92	注1	-	外部端子用グランド電位	-
EV <sub>SS1</sub>	79	1	29	注2			-
EV <sub>SS2</sub> <sup>注4</sup>	-	42	70	注3			-
EVTB0	74	95	23	C4	入力	TAB0, TAB1の外部イベント・カウント入力	P14/TOB0T3/A4 <sup>注5</sup>
EVTB1	27	32	60	M4			P24/TOB1T3
EVT <sub>T0</sub> <sup>注4</sup>	-	83	11	C9	入力	TMT0, TMT1の外部イベント・カウント入力 /	P05 <sup>注4</sup> /TENC00 <sup>注4</sup> /INTP05 <sup>注4</sup>
EVT <sub>T1</sub>	42	51	79	L14		外部トリガ入力	P44/TENC10/INTP15/ $\overline{\text{WAIT}}$ <sup>注5</sup>
FLMD0	37	46	74	N9	入力	フラッシュ・メモリ・プログラミング・モード	-
FLMD1	60	76	4	A12		引き込み用端子	PDL5/AD5 <sup>注5</sup>
IC0 <sup>注6</sup>	-	-	-	E5	-	内部接続端子	-
IC1 <sup>注6</sup>	-	-	-	注7	-		-
IC2 <sup>注6</sup>	-	-	-	注8	-		-

注1. A14, G13, G14

2. A1, B1, C1, C2, D3, E4

3. N11, P11, P14

4. V850E/IG3のみ

5.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

6.  $\mu$  PD70F3454F1-DA9-Aのみ

7. A2, A13, B13, B14, C12, D4-D11, E11, F11, G11, H11, J11, K11, L5-L11, M7, M8, M12, N1, N13, N14, P2, P13

8. H4, J3

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

端子 名称	ピン番号				入出力	機 能	兼用端子
	IF3		IG3				
	GC	GC	GF	F1			
INTADT0	72	93	21	B5	入力	外部マスカブル割り込み要求入力	P16/TOB0OFF/INTP08/ADTRG0/A6 <sup>注1</sup>
INTADT1	29	34	62	M6			P26/TOB10/TOB1OFF/INTP10/ADTRG1
INTP00	70	91	19	A6			P00/TOA20/TIA20/TOA2OFF
INTP01	69	90	18	B6			P01/TOA21/TIA21
INTP02 <sup>注2</sup>	-	89	17	C6			P02 <sup>注2</sup> /TOA30 <sup>注2</sup> /TIA30 <sup>注2</sup> /TOA3OFF <sup>注2</sup>
INTP03 <sup>注2</sup>	-	88	16	C7			P03 <sup>注2</sup> /TOA31 <sup>注2</sup> /TIA31 <sup>注2</sup>
INTP04 <sup>注2</sup>	-	84	12	C8			P04 <sup>注2</sup> /TECR0 <sup>注2</sup> /TIT00 <sup>注2</sup> /TOT00 <sup>注2</sup>
INTP05 <sup>注2</sup>	-	83	11	C9			P05 <sup>注2</sup> /TENC00 <sup>注2</sup> /EVTT0 <sup>注2</sup>
INTP06 <sup>注2</sup>	-	82	10	C10			P06 <sup>注2</sup> /TENC01 <sup>注2</sup> /TIT01 <sup>注2</sup> /TOT01 <sup>注2</sup>
INTP07 <sup>注2</sup>	-	63	91	G12			P07 <sup>注2</sup> /CLKOUT <sup>注1</sup>
INTP08	72	93	21	B5			P16/TOB0OFF/ADTRG0/INTADT0/A6 <sup>注1</sup>
INTP09	71	92	20	C5			P17/TOB00/A7 <sup>注1</sup>
INTP10	29	34	62	M6			P26/TOB10/TOB1OFF/ADTRG1/INTADT1
INTP11	50	59	87	J12			P34/SCKB1/CS0 <sup>注1</sup>
INTP12	53	62	90	H12			P37/SCKB2/ASTB <sup>注1</sup>
INTP13	40	49	77	M14			P42/SCKB0/DDI <sup>注2</sup>
INTP14	41	50	78	M13			P43/TECR1/TIT10/TOT10
INTP15	42	51	79	L14			P44/TENC10/EVTT1/ $\overline{\text{WAIT}}$ <sup>注1</sup>
INTP16	43	52	80	L13			P45/TENC11/TIT11/TOT11/ $\overline{\text{WR1}}$ <sup>注1</sup>
INTP17	44	53	81	L12	P46/TOA40/TIA40/ $\overline{\text{WRO}}$ <sup>注1</sup>		
INTP18	45	54	82	K14	P47/TOA41/TIA41/ $\overline{\text{RD}}$ <sup>注1</sup>		
$\overline{\text{RD}}$ <sup>注1</sup>	-	54	-	K14	出力	外部データ・バスのリード・ストロブ出力	P47/TOA41/TIA41/INTP18
REGC0	31	36	64	N6, P6	-	レギュレータ出力安定容量接続	-
REGC1	67	86	14	A8, B8	-		-

注1.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

2. V850E/IG3のみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

端子 名称	ピン番号				入出力	機 能	兼用端子
	IF3		IG3				
	GC	GC	GF	F1			
RESET	35	40	68	P9	入力	システム・リセット入力	-
RXDA0	38	47	75	P12	入力	UARTA0-UARTA2のシリアル受信データ入力	P40/SIB0
RXDA1	46	55	83	K13			P30/SCL
RXDA2	48	57	85	J14			P32/SIB1/ $\overline{\text{CS1}}$ <sup>注1</sup>
RXDB	51	60	88	H14	入力	UARTB0のシリアル受信データ入力	P35/SIB2
SCKB0	40	49	77	M14	入出力	CSIB0-CSIB2のシリアル・クロック入出力	P42/INTP13/DDI <sup>注2</sup>
SCKB1	50	59	87	J12			P34/INTP11/ $\overline{\text{CS0}}$ <sup>注1</sup>
SCKB2	53	62	90	H12			P37/INTP12/ASTB <sup>注1</sup>
SCL	46	55	83	K13	入出力	シリアル・クロック入出力	P30/RXDA1
SDA	47	56	84	K12	入出力	シリアル送受信データ入出力	P31/TXDA1
SIB0	38	47	75	P12	入力	CSIB0-CSIB2のシリアル受信データ入力	P40/RXDA0
SIB1	48	57	85	J14			P32/RXDA2/ $\overline{\text{CS1}}$ <sup>注1</sup>
SIB2	51	60	88	H14			P35/RXDB
SOB0	39	48	76	N12	出力	CSIB0-CSIB2のシリアル送信データ出力	P41/TXDA0/DCK <sup>注2</sup>
SOB1	49	58	86	J13			P33/TXDA2
SOB2	52	61	89	H13			P36/TXDB
TECR0 <sup>注2</sup>	-	84	12	C8	入力	TMT0, TMT1のエンコーダ・クリア入力	P04 <sup>注2</sup> /TIT00 <sup>注2</sup> /TOT00 <sup>注2</sup> /INTP04 <sup>注2</sup>
TECR1	41	50	78	M13			P43/TIT10/TOT10/INTP14
TENC00 <sup>注2</sup>	-	83	11	C9	入力	TMT0, TMT1のエンコーダ入力	P05 <sup>注2</sup> /EVTT0 <sup>注2</sup> /INTP05 <sup>注2</sup>
TENC01 <sup>注2</sup>	-	82	10	C10			P06 <sup>注2</sup> /TIT01 <sup>注2</sup> /TOT01 <sup>注2</sup> /INTP06 <sup>注2</sup>
TENC10	42	51	79	L14			P44/EVTT1/INTP15/WAIT <sup>注1</sup>
TENC11	43	52	80	L13			P45/TIT11/TOT11/INTP16/ $\overline{\text{WR1}}$ <sup>注1</sup>
TIA20	70	91	19	A6	入力	TAA2の外部イベント・カウント入力/ 外部トリガ入力/キャプチャ・トリガ入力	P00/TOA20/TOA2OFF/INTP00
TIA21	69	90	18	B6	入力	TAA2のキャプチャ・トリガ入力	P01/TOA21/INTP01
TIA30 <sup>注2</sup>	-	89	17	C6	入力	TAA3の外部イベント・カウント入力/外部ト リガ入力/キャプチャ・トリガ入力	P02 <sup>注2</sup> /TOA30 <sup>注2</sup> /TOA3OFF <sup>注2</sup> /INTP02 <sup>注2</sup>
TIA31 <sup>注2</sup>	-	88	16	C7			P03 <sup>注2</sup> /TOA31 <sup>注2</sup> /INTP03 <sup>注2</sup>
TIA40	44	53	81	L12	入力	TAA4の外部イベント・カウント入力/ 外部トリガ入力/キャプチャ・トリガ入力	P46/TOA40/INTP17/ $\overline{\text{WR0}}$ <sup>注1</sup>
TIA41	45	54	82	K14	入力	TAA4のキャプチャ・トリガ入力	P47/TOA41/INTP18/ $\overline{\text{RD}}$ <sup>注1</sup>

注1.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

2. V850E/IG3のみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)



端子 名称	ピン番号				入出力	機 能	兼用端子
	IF3		IG3				
	GC	GC	GF	F1			
TIB00	75	96	24	B4	入力	TAB0, TAB1のキャプチャ・トリガ入力	P13/TOB0B2/A3 <sup>注1</sup>
TIB01	78	99	27	B3			P10/TOB0T1/TOB01/A0 <sup>注1</sup>
TIB02	77	98	26	C3			P11/TOB0B1/TOB02/A1 <sup>注1</sup>
TIB03	76	97	25	A4			P12/TOB0T2/TOB03/A2 <sup>注1</sup>
TIB10	26	31	59	N4			P23/TOB1B2
TIB11	23	28	56	P3			P20/TOB1T1/TOB11
TIB12	24	29	57	N3			P21/TOB1B1/TOB12
TIB13	25	30	58	P4			P22/TOB1T2/TOB13
TIT00 <sup>注2</sup>	-	84	12	C8	入力	TIT0のキャプチャ・トリガ入力	P04 <sup>注2</sup> /TECR0 <sup>注2</sup> /TOT00 <sup>注2</sup> /INTP04 <sup>注2</sup>
TIT01 <sup>注2</sup>	-	82	10	C10			P06 <sup>注2</sup> /TENC01 <sup>注2</sup> /TOT01 <sup>注2</sup> /INTP06 <sup>注2</sup>
TIT10	41	50	78	M13	入力	TIT1のキャプチャ・トリガ入力	P43/TECR1/TOT10/INTP14
TIT11	43	52	80	L13			P45/TENC11/TOT11/INTP16/WR1 <sup>注1</sup>
TOA20	70	91	19	A6	出力	TAA2のタイマ出力	P00/TIA20/TOA2OFF/INTP00
TOA21	69	90	18	B6			P01/TIA21/INTP01
TOA20FF	70	91	19	A6	入力	ハイ・インピーダンス出力制御信号入力	P00/TOA20/TIA20/INTP00
TOA30 <sup>注2</sup>	-	89	17	C6	出力	TAA3のタイマ出力	P02 <sup>注2</sup> /TIA30 <sup>注2</sup> /TOA3OFF <sup>注2</sup> /INTP02 <sup>注2</sup>
TOA31 <sup>注2</sup>	-	88	16	C7			P03 <sup>注2</sup> /TIA31 <sup>注2</sup> /INTP03 <sup>注2</sup>
TOA30FF <sup>注2</sup>	-	89	17	C6	入力	ハイ・インピーダンス出力制御信号入力	P02 <sup>注2</sup> /TOA30 <sup>注2</sup> /TIA30 <sup>注2</sup> /INTP02 <sup>注2</sup>
TOA40	44	53	81	L12	出力	TAA4のタイマ出力	P46/TIA40/INTP17/WR0 <sup>注1</sup>
TOA41	45	54	82	K14			P47/TIA41/INTP18/RD <sup>注1</sup>
TOB00	71	92	20	C5	出力	TAB0のタイマ出力	P17/INTP09/A7 <sup>注1</sup>
TOB01	78	99	27	B3			P10/TOB0T1/TIB01/A0 <sup>注1</sup>
TOB02	77	98	26	C3			P11/TOB0B1/TIB02/A1 <sup>注1</sup>
TOB03	76	97	25	A4			P12/TOB0T2/TIB03/A2 <sup>注1</sup>
TOB0B1	77	98	26	C3	出力	TAB0の6相PWMロウ・アーム用パルス信号出力	P11/TIB02/TOB02/A1 <sup>注1</sup>
TOB0B2	75	96	24	B4			P13/TIB00/A3 <sup>注1</sup>
TOB0B3	73	94	22	A5			P15/TRGB0/A5 <sup>注1</sup>

注1. μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

2. V850E/IG3のみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

端子 名称	ピン番号				入出力	機 能	兼用端子
	IF3		IG3				
	GC	GC	GF	F1			
TOB00FF	72	93	21	B5	入力	TAB0の6相PWMハイ・インピーダンス出力制御信号入力	P16/INTP08/ADTRG0/INTADT0/A6 <sup>注1</sup>
TOB0T1	78	99	27	B3	出力	TAB0の6相PWMハイ・アーム用パルス信号出力	P10/TIB01/TOB01/A0 <sup>注1</sup>
TOB0T2	76	97	25	A4			P12/TIB03/TOB03/A2 <sup>注1</sup>
TOB0T3	74	95	23	C4			P14/EVTB0/A4 <sup>注1</sup>
TOB10	29	34	62	M6	出力	TAB1のタイマ出力	P26/TOB10FF/INTP10/ADTRG1/INTADT1
TOB11	23	28	56	P3			P20/TOB1T1/TIB11
TOB12	24	29	57	N3			P21/TOB1B1/TIB12
TOB13	25	30	58	P4			P22/TOB1T2/TIB13
TOB1B1	24	29	57	N3	出力	TAB1の6相PWMロウ・アーム用パルス信号出力	P21/TIB12/TOB12
TOB1B2	26	31	59	N4			P23/TIB10
TOB1B3	28	33	61	M5			P25/TRGB1
TOB10FF	29	34	62	M6	入力	TAB1の6相PWMハイ・インピーダンス出力制御信号入力	P26/TOB10/INTP10/ADTRG1/INTADT1
TOB1T1	23	28	56	P3	出力	TAB1の6相PWMハイ・アーム用パルス信号出力	P20/TIB11/TOB11
TOB1T2	25	30	58	P4			P22/TIB13/TOB13
TOB1T3	27	32	60	M4			P24/EVTB1
TOT00 <sup>注2</sup>	-	84	12	C8	出力	TMT0, TMT1のタイマ出力	P04 <sup>注2</sup> /TECR0 <sup>注2</sup> /TIT00 <sup>注2</sup> /INTP04 <sup>注2</sup>
TOT01 <sup>注2</sup>	-	82	10	C10			P06 <sup>注2</sup> /TENC01 <sup>注2</sup> /TIT01 <sup>注2</sup> /INTP06 <sup>注2</sup>
TOT10	41	50	78	M13			P43/TECR1/TIT10/INTP14
TOT11	43	52	80	L13			P45/TENC11/TIT11/INTP16/WR1 <sup>注1</sup>
TRGB0	73	94	22	A5	入力	TAB0, TAB1の外部トリガ入力	P15/TOB0B3/A5 <sup>注1</sup>
TRGB1	28	33	61	M5			P25/TOB1B3
TXDA0	39	48	76	N12	出力	UARTA0-UARTA2のシリアル送信データ出力	P41/SOB0/DCK <sup>注2</sup>
TXDA1	47	56	84	K12			P31/SDA
TXDA2	49	58	86	J13			P33/SOB1
TXDB	52	61	89	H13	出力	UARTB0のシリアル送信データ出力	P36/SOB2

注1. μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

2. V850E/IG3のみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

端子 名称	ピン番号				入出力	機 能	兼用端子
	IF3		IG3				
	GC	GC	GF	F1			
V <sub>DD0</sub>	30	35	63	N5, P5	-	内部ユニット用正電源供給	-
V <sub>DD1</sub>	68	87	15	A7, B7			-
V <sub>SS0</sub>	32	37	65	N7, P7	-	内部ユニット用グランド電位	-
V <sub>SS1</sub>	66	85	13	A9, B9			-
WAIT <sup>注</sup>	-	51	-	L14	入力	外部ウェイト要求入力	P44/TENC10/EVTT1/INTP15
WR0 <sup>注</sup>	-	53	-	L12	出力	外部データ・バスのライト・ストロープ出力	P46/TOA40/TIA40/INTP17
WR1 <sup>注</sup>	-	52	-	L13			P45/TENC11/TIT11/TOT11/INTP16
X1	33	38	66	P8	入力	システム・クロック用発振子接続端子	-
X2	34	39	67	N8	-		-

注 μPD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC ( V850E/IF3 ) : 80ピン・プラスチックLQFP ( 14×14 )

GC ( V850E/IG3 ) : 100ピン・プラスチックLQFP ( ファインピッチ ) ( 14×14 )

GF ( V850E/IG3 ) : 100ピン・プラスチックLQFP ( 14×20 )

F1 ( V850E/IG3 ) : 161ピン・プラスチックFBGA ( 10×10 )

## 2.2 端子状態

動作モードによる各端子の動作状態を次に示します。

表2-2 動作モードによる各端子の動作状態

端子	動作状態	リセット	HALTモード/ DMA転送中	IDLEモード/ STOPモード	アイドル・ステート
AD0-AD15 <sup>注1</sup> (PDL0-PDL15)		Hi-Z <sup>注2</sup>	動作	Hi-Z	保持
A0-A7 <sup>注1</sup> (P10-P17)		Hi-Z <sup>注2</sup>	動作	Hi-Z	保持
$\overline{CS0}$ <sup>注1</sup> , $\overline{CS1}$ <sup>注1</sup> (P34, P32)		Hi-Z <sup>注2</sup>	動作	H	保持
$\overline{WR0}$ <sup>注1</sup> , $\overline{WR1}$ <sup>注1</sup> (P46, P45)		Hi-Z <sup>注2</sup>	動作	H	H
$\overline{RD}$ <sup>注1</sup> (P47)		Hi-Z <sup>注2</sup>	動作	H	H
ASTB <sup>注1</sup> (P37)		Hi-Z <sup>注2</sup>	動作	H	H
WAIT <sup>注1</sup> (P44)		Hi-Z <sup>注2</sup>	動作	-	-
CLKOUT <sup>注1</sup> (P07)		Hi-Z <sup>注2</sup>	動作	保持	動作

注1.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

2. バス制御端子はポート端子と兼用するので、リセット時は入力モード（ポート・モード）に初期化します。

**備考** Hi-Z : ハイ・インピーダンス

保持 : 直前の外部バス・サイクルでの状態を保持

H : ハイ・レベル出力

- : 入力非サンプリング（受け付けない）

## 2.3 端子の入出力回路タイプと未使用時の処理

抵抗を介してAV<sub>SS2</sub>, EV<sub>DD0</sub>, EV<sub>DD1</sub>, EV<sub>DD2</sub> (V850E/IG3のみ) またはEV<sub>SS0</sub>, EV<sub>SS1</sub>, EV<sub>SS2</sub> (V850E/IG3のみ) に接続する場合, 1~10 kΩの抵抗を接続することをお勧めします。

(1/4)

端子	兼用端子名	ピン番号				入出力回路タイプ	推奨接続方法
		IF3		IG3			
		GC	GC	GF	F1		
P00	TOA20/TIA20/TOA2OFF/INTP00	70	91	19	A6	5-AH 入力状態：個別に抵抗を介してEV <sub>DD0</sub> , EV <sub>DD1</sub> , EV <sub>DD2</sub> <sup>注1</sup> またはEV <sub>SS0</sub> , EV <sub>SS1</sub> , EV <sub>SS2</sub> <sup>注1</sup> に接続してください。 出力状態：オープンにしてください。	
P01	TOA21/TIA21/INTP01	69	90	18	B6		
P02 <sup>注1</sup>	TOA30 <sup>注1</sup> /TIA30 <sup>注1</sup> /TOA3OFF <sup>注1</sup> /INTP02 <sup>注1</sup>	-	89	17	C6		
P03 <sup>注1</sup>	TOA31 <sup>注1</sup> /TIA31 <sup>注1</sup> /INTP03 <sup>注1</sup>	-	88	16	C7		
P04 <sup>注1</sup>	TECR0 <sup>注1</sup> /TIT00 <sup>注1</sup> /TOT00 <sup>注1</sup> /INTP04 <sup>注1</sup>	-	84	12	C8		
P05 <sup>注1</sup>	TENC00 <sup>注1</sup> /EVTT0 <sup>注1</sup> /INTP05 <sup>注1</sup>	-	83	11	C9		
P06 <sup>注1</sup>	TENC01 <sup>注1</sup> /TIT01 <sup>注1</sup> /TOT01 <sup>注1</sup> /INTP06 <sup>注1</sup>	-	82	10	C10		
P07 <sup>注1</sup>	INTP07 <sup>注1</sup> /CLKOUT <sup>注2</sup>	-	63	91	G12		
P10	TOB0T1/TIB01/TOB01/A0 <sup>注2</sup>	78	99	27	B3		
P11	TOB0B1/TIB02/TOB02/A1 <sup>注2</sup>	77	98	26	C3		
P12	TOB0T2/TIB03/TOB03/A2 <sup>注2</sup>	76	97	25	A4		
P13	TOB0B2/TIB00/A3 <sup>注2</sup>	75	96	24	B4		
P14	TOB0T3/EVTB0/A4 <sup>注2</sup>	74	95	23	C4		
P15	TOB0B3/TRGB0/A5 <sup>注2</sup>	73	94	22	A5		
P16	TOB0OFF/INTP08/ADTRG0/INTADT0/A6 <sup>注2</sup>	72	93	21	B5		
P17	TOB00/INTP09/A7 <sup>注2</sup>	71	92	20	C5		
P20	TOB1T1/TIB11/TOB11	23	28	56	P3		
P21	TOB1B1/TIB12/TOB12	24	29	57	N3		
P22	TOB1T2/TIB13/TOB13	25	30	58	P4		
P23	TOB1B2/TIB10	26	31	59	N4		
P24	TOB1T3/EVTB1	27	32	60	M4		
P25	TOB1B3/TRGB1	28	33	61	M5		
P26	TOB10/TOB1OFF/INTP10/ADTRG1/INTADT1	29	34	62	M6		
P27	DMS <sup>注1</sup>	36	45	73	M11		

注1. V850E/IG3のみ

2. μPD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

端子	兼用端子名	ピン番号				入出力回路タイプ	推奨接続方法
		IF3	IG3				
		GC	GC	GF	F1		
P30	RXDA1/SCL	46	55	83	K13	5-AH	入力状態：個別に抵抗を介して EV <sub>DD0</sub> , EV <sub>DD1</sub> , EV <sub>DD2</sub> <sup>注2</sup> または EV <sub>SS0</sub> , EV <sub>SS1</sub> , EV <sub>SS2</sub> <sup>注2</sup> に接続してく ださい。 出力状態：オープンにしてくだ さい。
P31	TXDA1/SDA	47	56	84	K12		
P32	SIB1/RXDA2/ $\overline{CS1}$ <sup>注1</sup>	48	57	85	J14		
P33	SOB1/TXDA2	49	58	86	J13		
P34	$\overline{SCKB1}$ /INTP11/ $\overline{CS0}$ <sup>注1</sup>	50	59	87	J12		
P35	SIB2/RXDB	51	60	88	H14		
P36	SOB2/TXDB	52	61	89	H13		
P37	$\overline{SCKB2}$ /INTP12/ASTB <sup>注1</sup>	53	62	90	H12		
P40	SIB0/RXDA0	38	47	75	P12		
P41	SOB0/TXDA0/DCK <sup>注2</sup>	39	48	76	N12		
P42	$\overline{SCKB0}$ /INTP13/DDI <sup>注2</sup>	40	49	77	M14		
P43	TECR1/TIT10/TOT10/INTP14	41	50	78	M13		
P44	TENC10/EVTT1/INTP15/ $\overline{WAIT}$ <sup>注1</sup>	42	51	79	L14		
P45	TENC11/TIT11/TOT11/INTP16/ $\overline{WR1}$ <sup>注1</sup>	43	52	80	L13		
P46	TOA40/TIA40/INTP17/ $\overline{WR0}$ <sup>注1</sup>	44	53	81	L12		
P47	TOA41/TIA41/INTP18/ $\overline{RD}$ <sup>注1</sup>	45	54	82	K14		
P70	ANI20	20	25	53	L1		
P71	ANI21	19	24	52	L2		
P72	ANI22	18	23	51	L3		
P73	ANI23	17	22	50	K1		
P74 <sup>注2</sup>	ANI24 <sup>注2</sup>	-	21	49	K2		
P75 <sup>注2</sup>	ANI25 <sup>注2</sup>	-	20	48	K3		
P76 <sup>注2</sup>	ANI26 <sup>注2</sup>	-	19	47	K4		
P77 <sup>注2</sup>	ANI27 <sup>注2</sup>	-	18	46	J4		
PDL0	AD0 <sup>注1</sup>	65	81	9	A10	5-AG	入力状態：個別に抵抗を介して EV <sub>DD0</sub> , EV <sub>DD1</sub> , EV <sub>DD2</sub> <sup>注2</sup> またはEV <sub>SS0</sub> , EV <sub>SS1</sub> , EV <sub>SS2</sub> <sup>注2</sup> に接続して ください。 出力状態：オープンにしてくだ さい。
PDL1	AD1 <sup>注1</sup>	64	80	8	B10		
PDL2	AD2 <sup>注1</sup>	63	79	7	A11		
PDL3	AD3 <sup>注1</sup>	62	78	6	B11		

注1.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

2. V850E/IG3のみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

端子	兼用端子名	ピン番号				入出力回路 タイプ	推奨接続方法
		IF3		IG3			
		GC	GC	GF	F1		
PDL4	AD4 <sup>注1</sup>	61	77	5	C11	5-AG 入力状態：個別に抵抗を介して EV <sub>DD0</sub> , EV <sub>DD1</sub> , EV <sub>DD2</sub> <sup>注2</sup> またはEV <sub>SS0</sub> , EV <sub>SS1</sub> , EV <sub>SS2</sub> <sup>注2</sup> に接続してく ださい。 出力状態：オープンにしてくだ さい。	
PDL5	AD5 <sup>注1</sup> /FLMD1	60	76	4	A12		
PDL6	AD6 <sup>注1</sup>	59	75	3	B12		
PDL7	AD7 <sup>注1</sup>	58	74	2	C14		
PDL8	AD8 <sup>注1</sup>	57	73	1	C13		
PDL9	AD9 <sup>注1</sup>	56	72	100	D14		
PDL10 <sup>注2</sup>	AD10 <sup>注1</sup>	-	71	99	D13		
PDL11 <sup>注2</sup>	AD11 <sup>注1</sup>	-	70	98	D12		
PDL12 <sup>注2</sup>	AD12 <sup>注1</sup>	-	69	97	E14		
PDL13 <sup>注2</sup>	AD13 <sup>注1</sup>	-	68	96	E13		
PDL14 <sup>注2</sup>	AD14 <sup>注1</sup>	-	67	95	E12		
PDL15 <sup>注2</sup>	AD15 <sup>注1</sup>	-	66	94	F12		
ANI00	ANI05	1	2	30	D1		7-C AV <sub>SS0</sub> , AV <sub>SS1</sub> に接続してくだ さい。
ANI01	-	2	3	31	D2		
ANI02	-	3	4	32	E3		
ANI03	CREF0L	4	5	33	F3		
ANI04	CREF0F	5	6	34	F4		
ANI10	ANI15	16	17	45	J1		
ANI11	ANI16	15	16	44	J2		
ANI12	ANI17	14	15	43	H3		
ANI13	CREF1L	13	14	42	G3		
ANI14	CREF1F	12	13	41	G4		

注1.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

2. V850E/IG3のみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

端 子	兼用端子名	ピン番号				入出力回路 タイプ	推奨接続方法
		IF3	IG3				
		GC	GC	GF	F1		
DDO <sup>注1</sup>	-	-	44	72	M10	3-C	オープンにしてください (DRST <sup>注1</sup> がハイ・レベルのとき, 出力)。
DRST <sup>注1</sup>	-	-	43	71	M9	2-M	オープンにしてください (プルダウン抵抗内蔵)
FLMD0	-	37	46	74	N9	2	-
IC0 <sup>注2</sup>	-	-	-	-	E5	-	EV <sub>SS0</sub> , EV <sub>SS1</sub> , EV <sub>SS2</sub> に接続してください。
IC1 <sup>注2</sup>	-	-	-	注3	オープンにしてください。		
IC2 <sup>注2</sup>	-	-	-	注4	個別に抵抗を介してAV <sub>SS2</sub> に接続してください。		
RESET	-	35	40	68	P9	2	パワーオン・クリア回路 (POC) を使用する場合はプルアップしてください。

注1. V850E/IG3のみ

2.  $\mu$  PD70F3454F1-DA9-Aのみ

3. A2, A13, B13, B14, C12, D4-D11, E11, F11, G11, H11, J11, K11, L5-L11, M7, M8, M12, N1, N13, N14, P2, P13

4. H4, J3

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

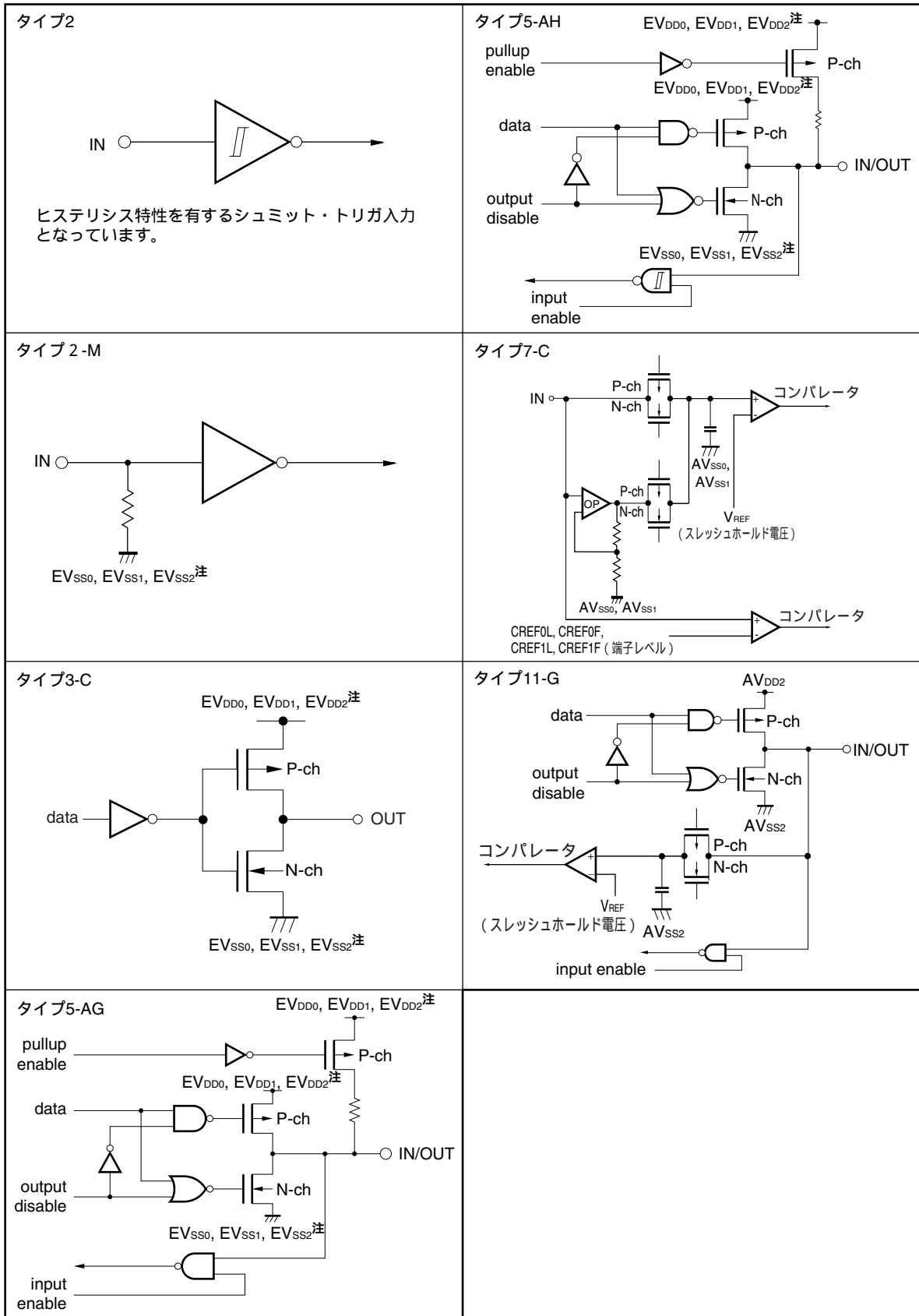
GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)



## 2.4 端子の入出力回路



注 V850E/IG3のみ

## 第3章 CPU機能

V850E/IF3, V850E/IG3のCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

### 3.1 特 徴

最小命令実行時間：15.6 ns (内部64 MHz動作時)

汎用レジスタ：32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令：1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

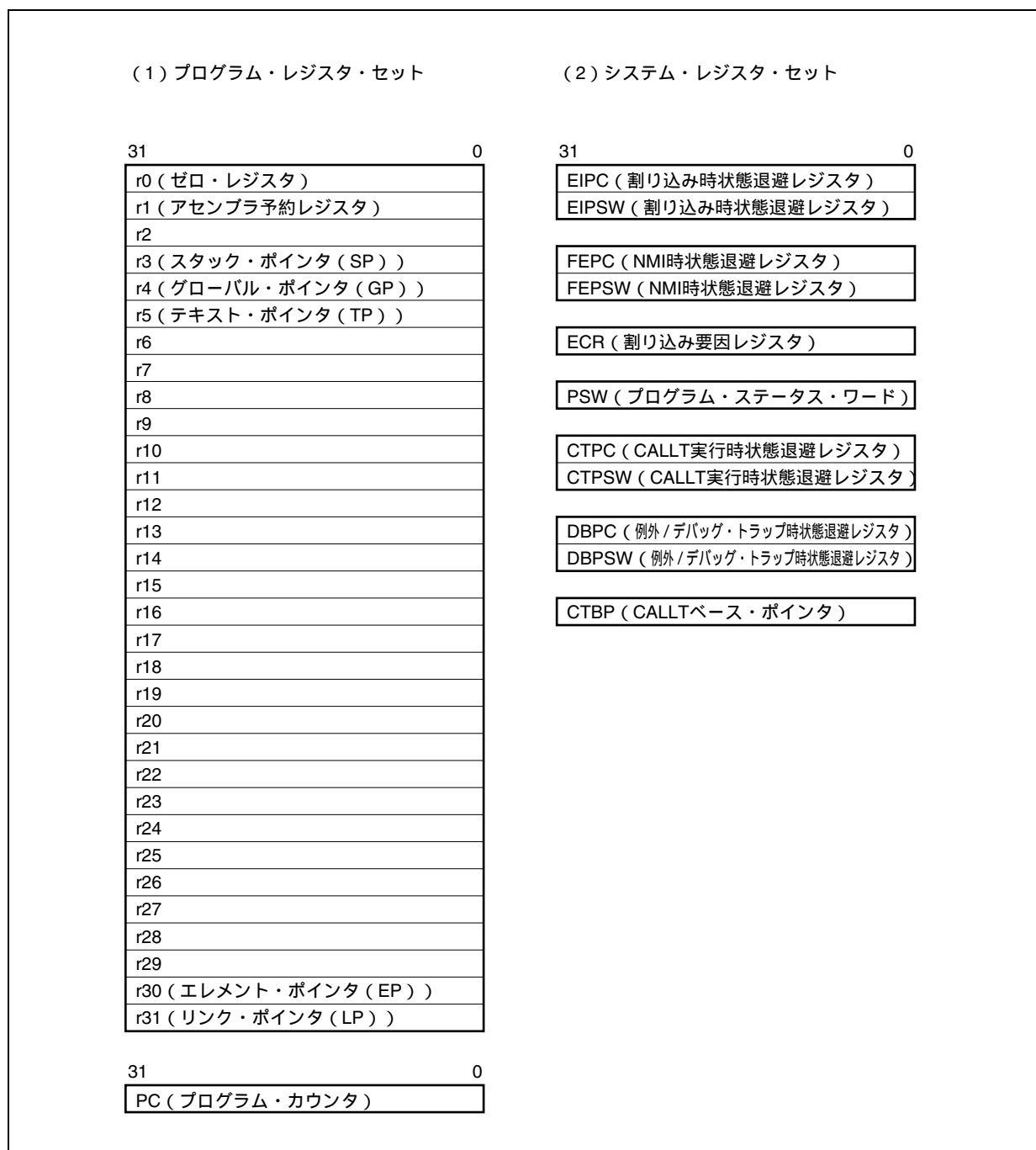
- ・SET1
- ・CLR1
- ・NOT1
- ・TST1

## 3.2 CPUレジスタ・セット

V850E/IF3, V850E/IG3のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850E1 ユーザーズ・マニュアル アーキテクチャ編を参照してください。

図3 - 1 CPUレジスタ・セット



### 3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

#### (1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1, r3-r5, r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用することがあります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

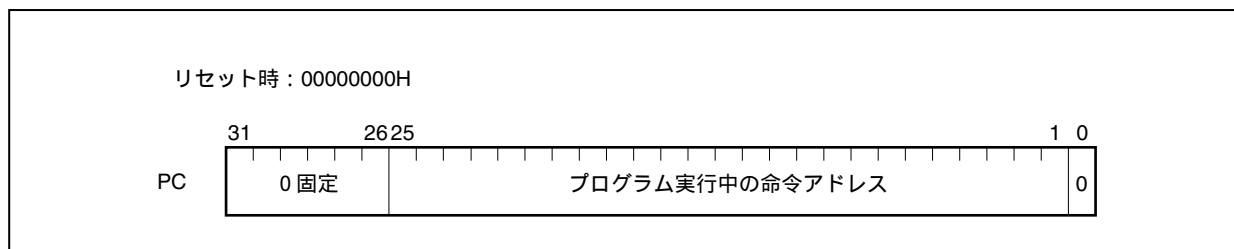
表3 - 1 汎用レジスタ一覧

名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス / データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス / データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用

#### (2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



### 3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) <sup>注1</sup>		
1	割り込み時状態退避レジスタ (EIPSW) <sup>注1</sup>		
2	NMI時状態退避レジスタ (FEPC)		
3	NMI時状態退避レジスタ (FEPSW)		
4	割り込み要因レジスタ (ECR)	x	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/デバッグ・トラップ時状態退避レジスタ (DBPC)	注2	注2
19	例外/デバッグ・トラップ時状態退避レジスタ (DBPSW)	注2	注2
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x

注1. このレジスタは1組しかないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

**注意** LDSR命令によりEIPCかFEPC,またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC, FEPC, CTPCに値を設定する場合は、偶数値(ビット0 = 0)を設定してください。

**備考** : アクセス可能

x : アクセス禁止



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

ノンマスカブル割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSW に退避されます。

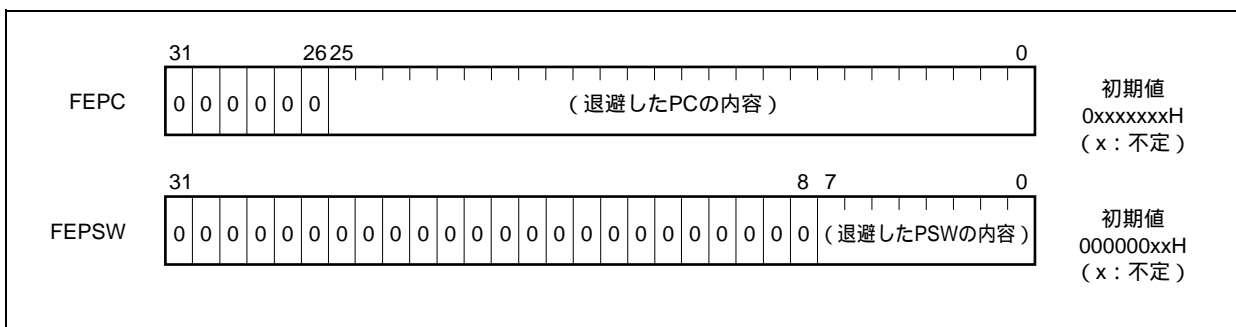
FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

NMI時状態退避レジスタは1組しかないため、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

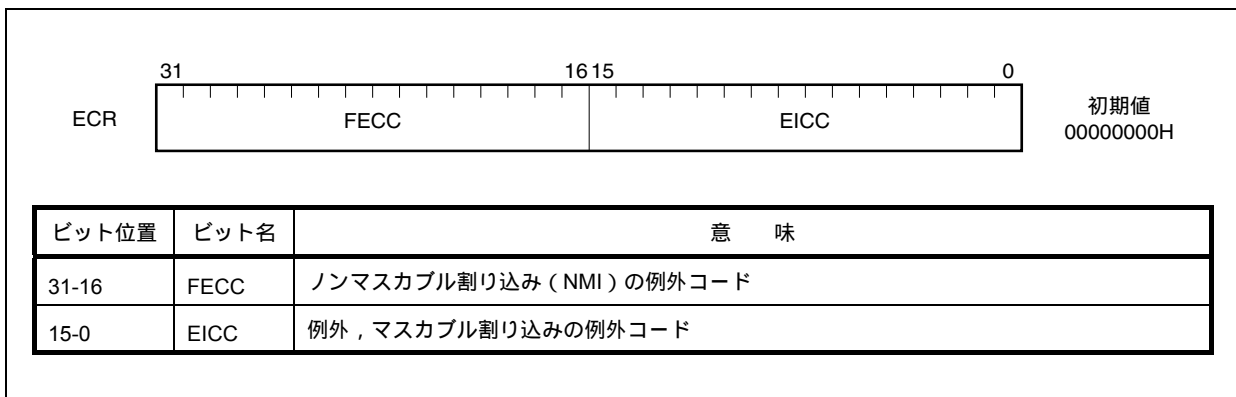
なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。

LDSR命令によるPSWのライト命令実行中は、割り込み要求の受け付けを保留します。

なお、ビット31-8は、将来の機能拡張のために予約されています (0に固定)。

( 1/2 )

ビット位置	フラグ名	意 味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスクابل割り込み (NMI) 処理中であることを示します。NMI要求が受け付けられるとセット“1”され、多重割り込みを禁止します。 0: NMI処理中でない。 1: NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスクابل割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み許可 (EI) 1: 割り込み禁止 (DI)
4	SAT <sup>注</sup>	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV <sup>注</sup>	演算中にオーバーフローが発生したかどうかを示します。 0: オーバーフローは発生していない。 1: オーバーフローが発生した。
1	S <sup>注</sup>	演算の結果が負かどうかを示します。 0: 演算の結果は、正または0であった。 1: 演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0: 演算の結果は0でなかった。 1: 演算の結果は0であった。

**備考** 注の説明は次ページに記載しています。



**注** 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また、飽和演算時にOVフラグがセット(1)された場合だけ、SATフラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負(最大値を越えない)	保持		1	

**(5) CALLT実行時状態退避レジスタ(CTPC, CTPSW)**

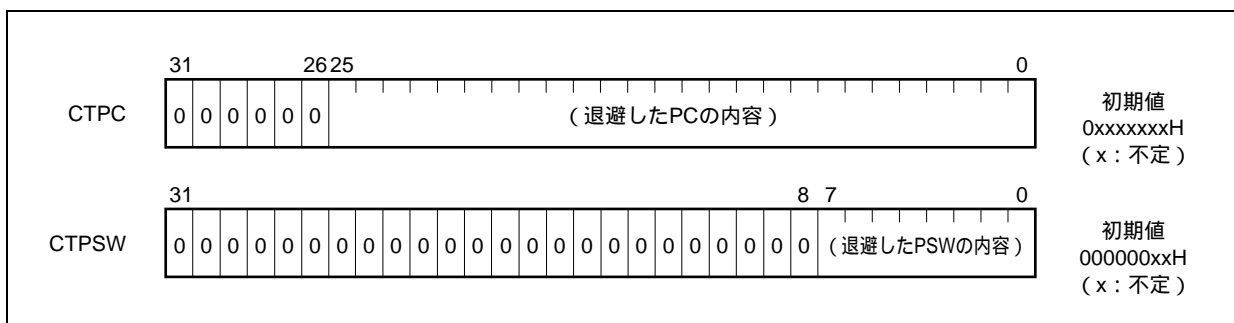
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ(PC)の内容がCTPCに、プログラム・ステータス・ワード(PSW)の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。



(6) 例外 / デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外 / デバッグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

例外トラップ,またはデバッグ・トラップが発生すると、プログラム・カウンタ(PC)の内容がDBPCに、プログラム・ステータス・ワード(PSW)の内容がDBPSWに退避されます。

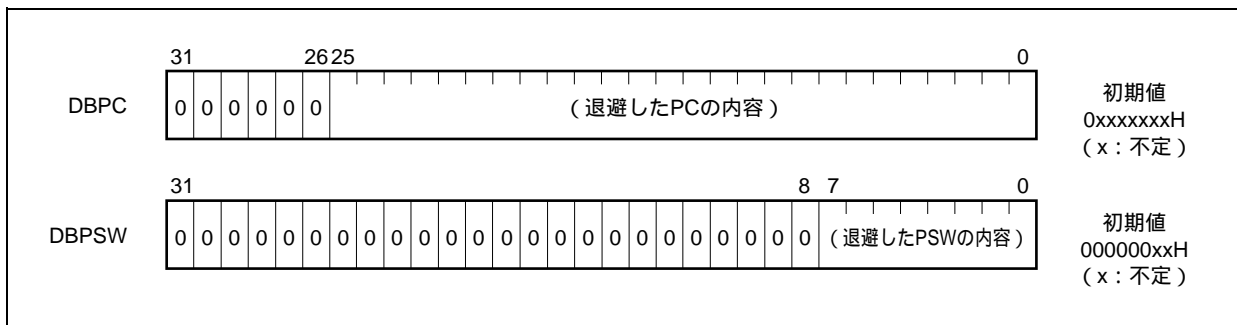
DBPCに退避される内容は、例外トラップ,またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには、現在のPSWの内容が退避されます。

このレジスタへのリード/ライトは、DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

なお、DBPCのビット31-26とDBPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。

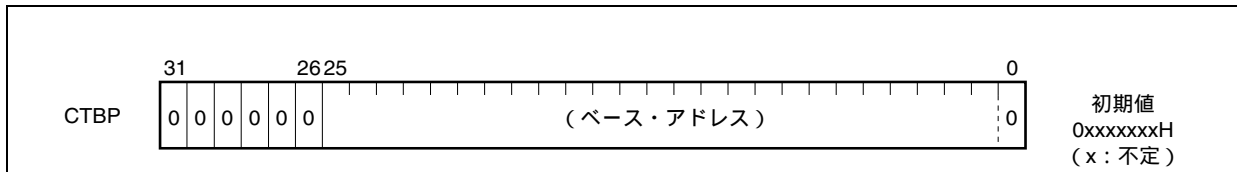
DBRET命令により、DBPCの値はPCへ、DBPSWの値はPSWへ復帰します。



(7) CALLTベース・ポインタ (CTBP)

CALLTベース・ポインタ (CTBP) は、テーブル・アドレスの指定、ターゲット・アドレスの生成に使用されます(ビット0は“0”に固定)。

なお、ビット31-26は、将来の機能拡張のために予約されています(“0”に固定)。



### 3.3 動作モード

#### 3.3.1 動作モード

V850E/IF3, V850E/IG3は次に示す動作モードを備えます。モードの指定はFLMD0, FLMD1端子により行います。

##### (1) 通常動作モード

このモードでは、システム・リセット解除後、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。

##### (2) フラッシュ・メモリ・プログラミング・モード

このモードを指定すると、フラッシュ・メモリ・プログラマによる内蔵フラッシュ・メモリへのプログラミングが可能になります。

#### 3.3.2 動作モード指定

FLMD0, FLMD1端子の状態（入力レベル）により、動作モードを指定します。

通常動作モード時は、リセット時にFLMD0端子がロウ・レベル入力となるようにしてください。

フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力は、フラッシュ・メモリ・プログラマ接続時はフラッシュ・メモリ・プログラマから行いますが、セルフ・プログラミング時は外部回路で行ってください。

これらの端子の指定はセルフ・プログラミング時以外は固定とし、動作中に変更しないでください。

FLMD1	FLMD0	動作モード	備考
x	L	通常動作モード	内蔵ROM領域を000000Hから配置
L	H	フラッシュ・メモリ・プログラミング・モード	-
H	H	設定禁止	

**備考** L：ロウ・レベル入力

H：ハイ・レベル入力

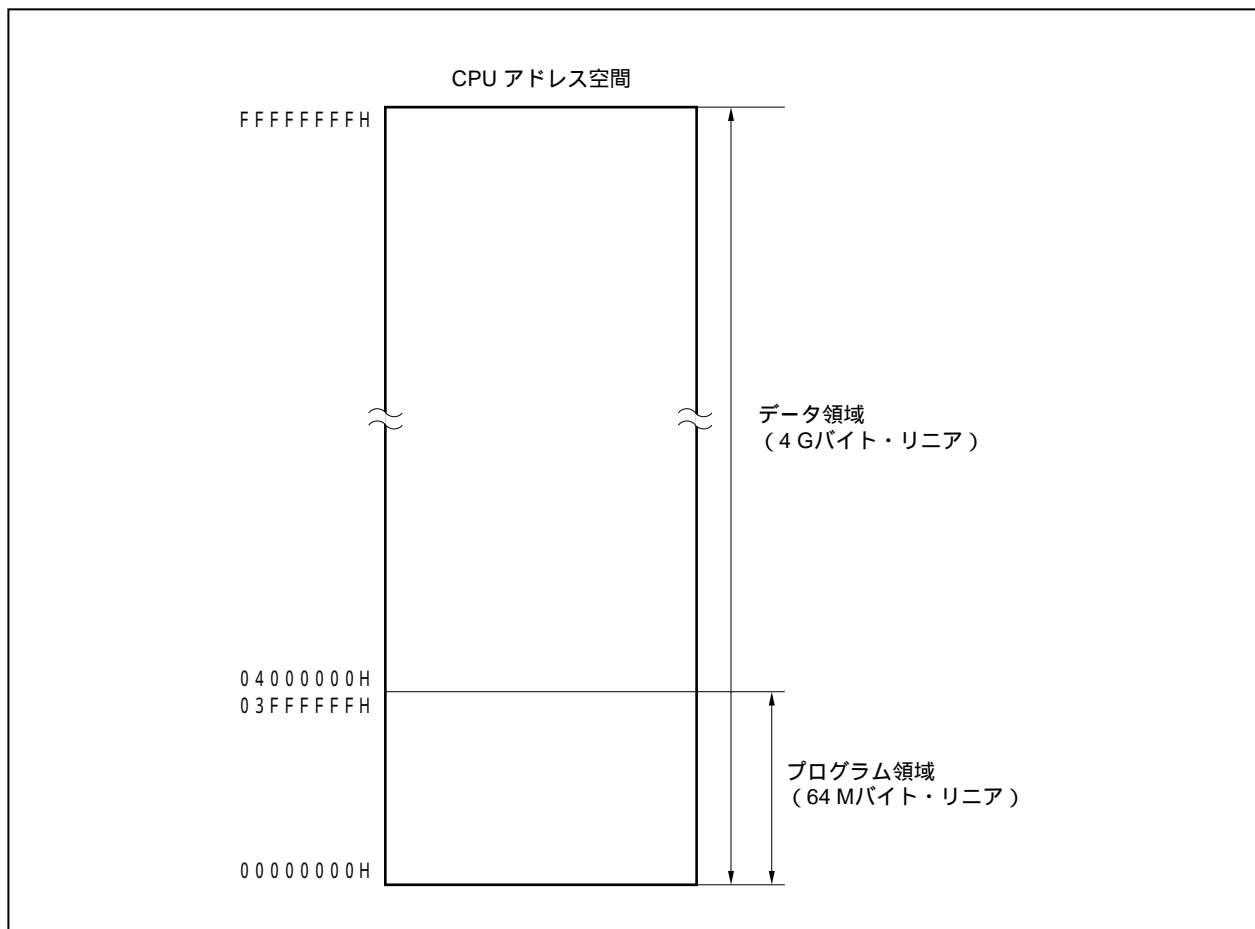
## 3.4 アドレス空間

### 3.4.1 CPUアドレス空間

V850E/IF3, V850E/IG3のCPUは、32ビット・アーキテクチャであり、オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。また、命令アドレスのアドレッシングにおいては、最大64 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

図3 - 2にCPUアドレス空間を示します。

図3 - 2 CPUアドレス空間

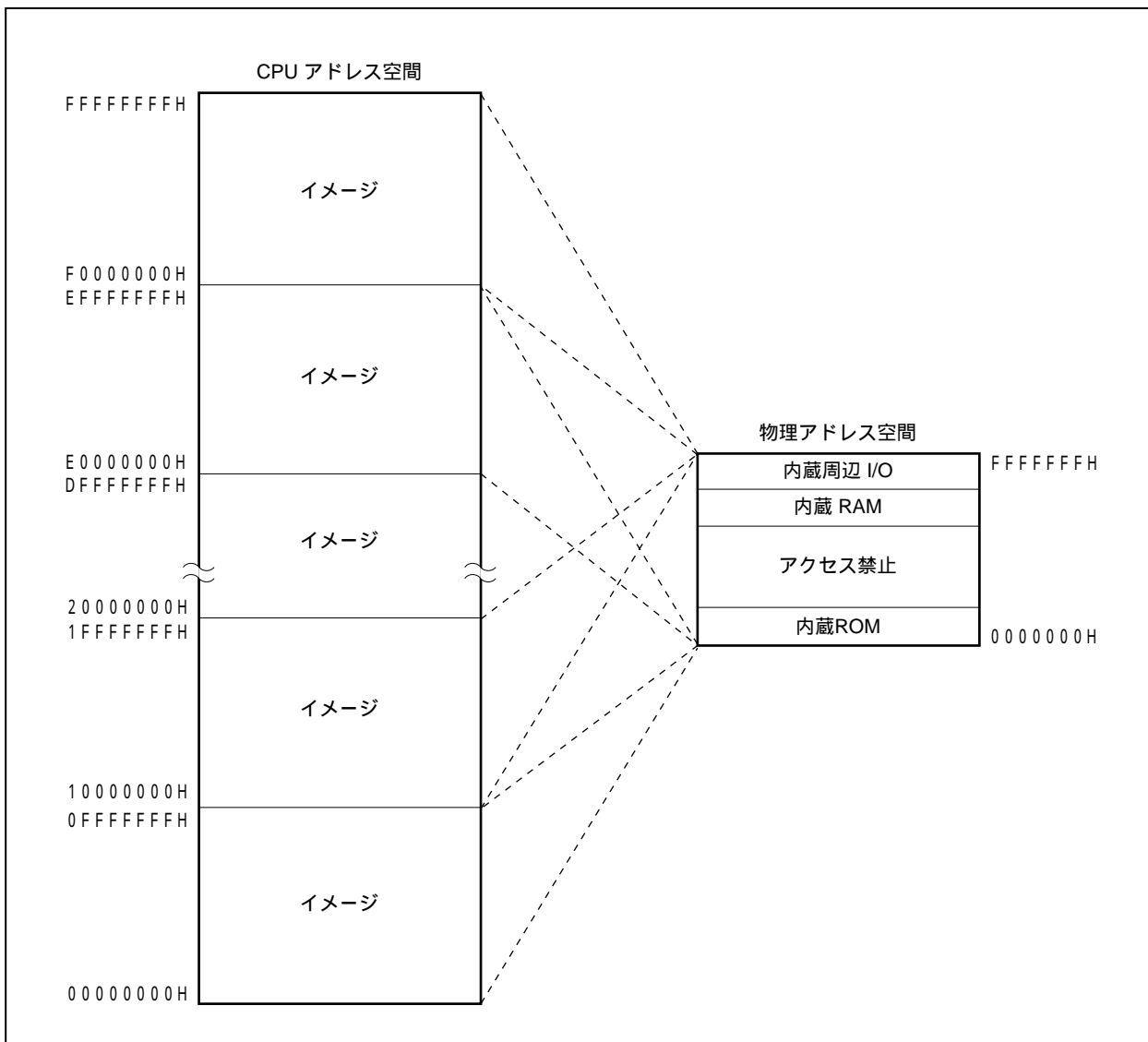


### 3.4.2 イメージ

4 GバイトのCPUアドレス空間には、256 Mバイトの物理アドレス空間が16個のイメージとして見えます。つまり、CPUアドレスのビット31-ビット28がどのような値でも、同じ256 Mバイトの物理アドレス空間をアクセスします。図3 - 3にアドレス空間上のイメージを示します。

物理アドレスのx0000000H番地が、CPUアドレスの00000000H番地のほかに、10000000H番地、20000000H番地、...、E0000000H番地、F0000000H番地に見えます。

図3 - 3 アドレス空間上のイメージ



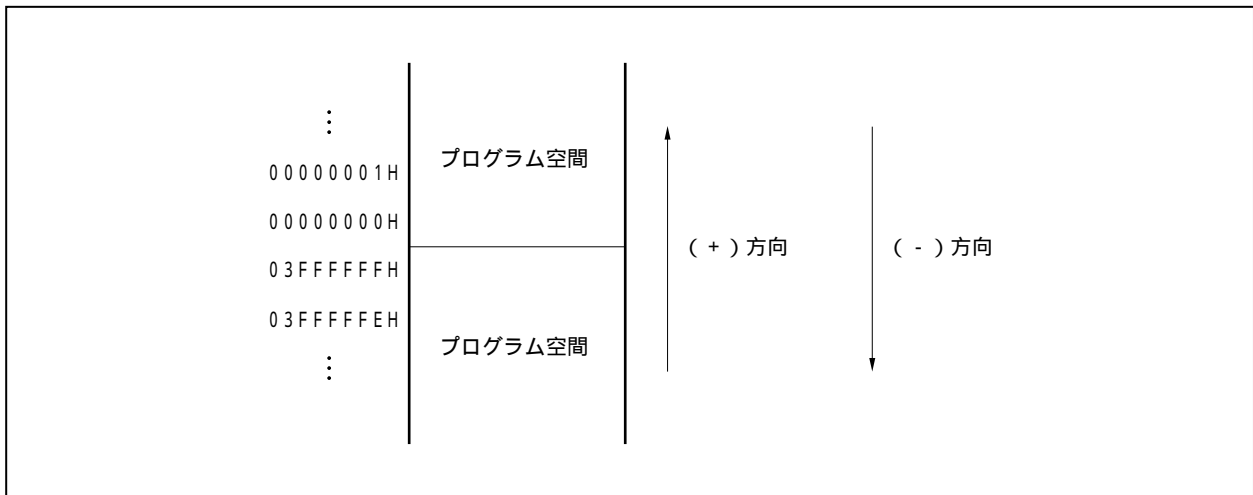
### 3.4.3 CPUアドレス空間のラップ・アラウンド

#### (1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の上限の03FFFFFFH番地と、下限である00000000H番地は連続したアドレスとなります。このようにメモリ空間の上限と下限が連続したアドレスになることをラップ・アラウンドといいます。

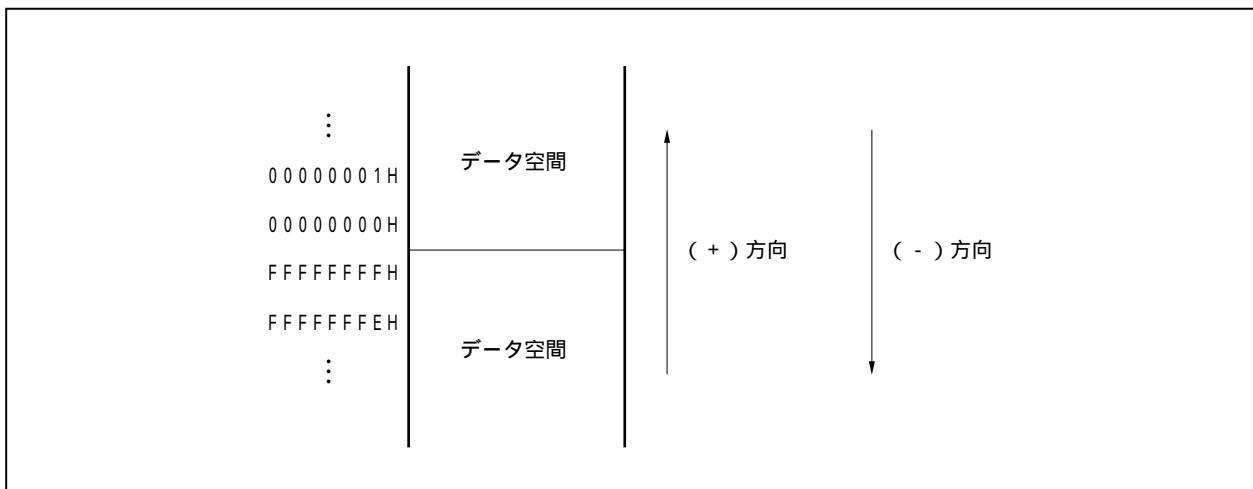
**注意** 03FFF000H-03FFFFFFHの4 Kバイトの領域は、0FFFFFF00H-0FFFFFFFHのイメージが見えます。この領域はアクセス禁止です。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



#### (2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

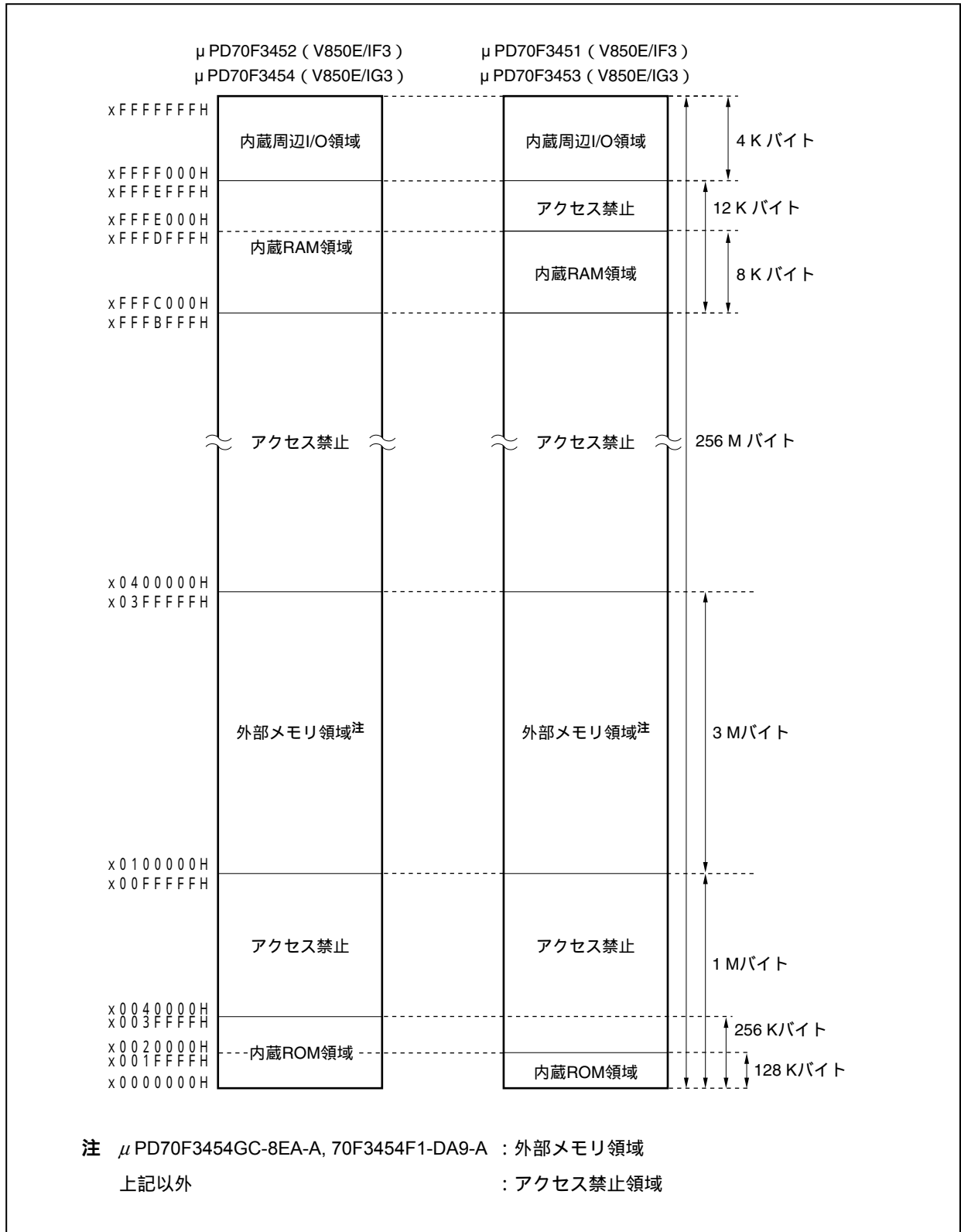
したがって、データ空間の上限のFFFFFFFFH番地と、下限である00000000H番地は連続したアドレスになり、この境界でラップ・アラウンドします。



### 3.4.4 メモリ・マップ

V850E/IF3, V850E/IG3では, 図3 - 4に示すように各領域を予約しています。

図3 - 4 メモリ・マップ



### 3.4.5 領域

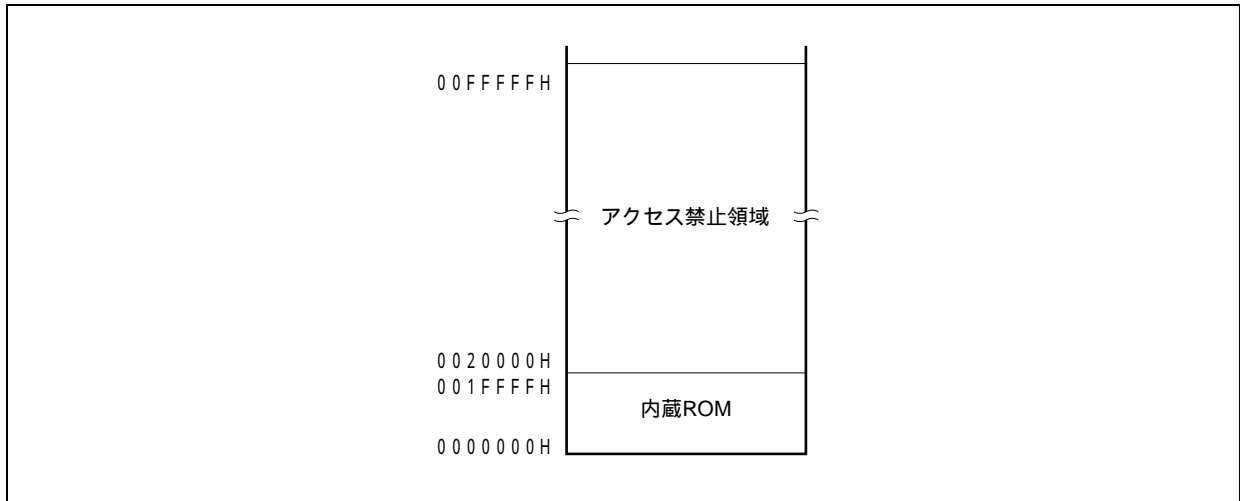
#### (1) 内蔵ROM領域

内蔵ROM領域としては、00000H-FFFFFFH番地の1 Mバイトが予約されています。

(a)  $\mu$ PD70F3451 (V850E/IF3) ,  $\mu$ PD70F3453 (V850E/IG3)

物理内蔵ROMとして000000H-01FFFFH番地に128 Kバイトを実装しています。

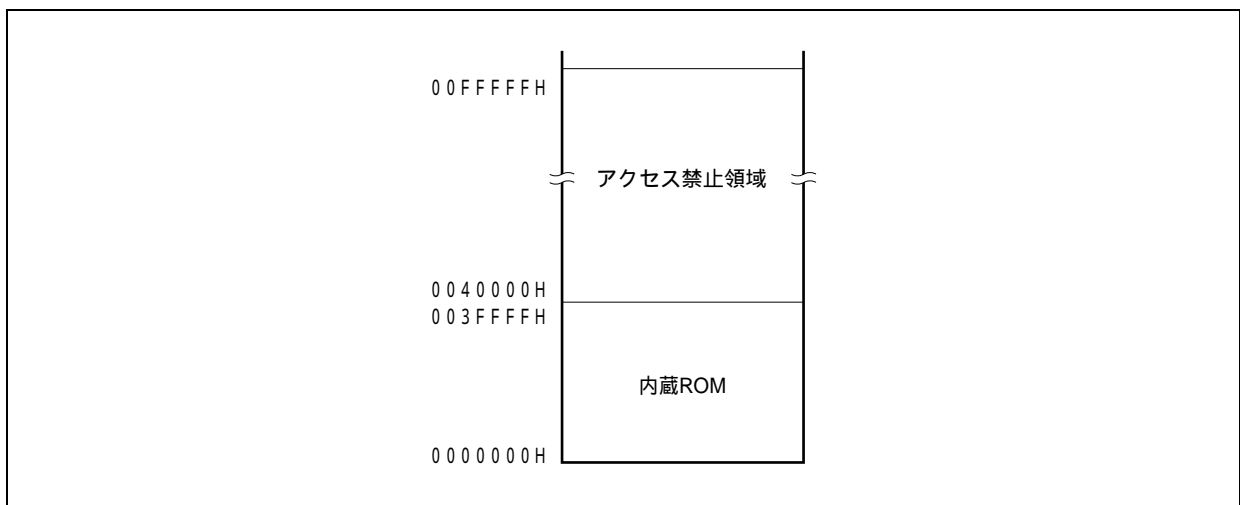
図3 - 5 内蔵ROM領域 (128 Kバイト)



(b)  $\mu$ PD70F3452 (V850E/IF3) ,  $\mu$ PD70F3454 (V850E/IG3)

物理内蔵ROMとして000000H-03FFFFH番地に256 Kバイトを実装しています。

図3 - 6 内蔵ROM領域 (256 Kバイト)





(2) 内蔵RAM領域

内蔵RAM領域としては、FFFC000H-FFFEFFFH番地の12 Kバイトが予約されています。

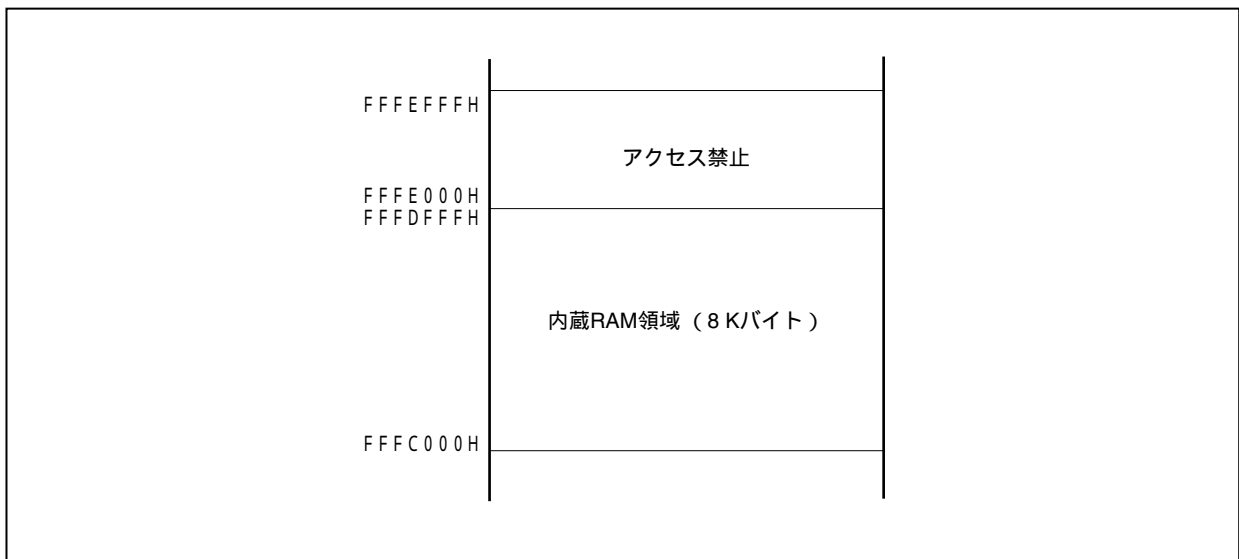
(a)  $\mu$  PD70F3451 (V850E/IF3) ,  $\mu$  PD70F3453 (V850E/IG3)

物理内蔵RAMとしてFFFC000H-FFFDFFFH番地の8 Kバイトを実装しています。

**注意** 次に示す領域はアクセス禁止です。

FFFE000H-FFFEFFFH番地

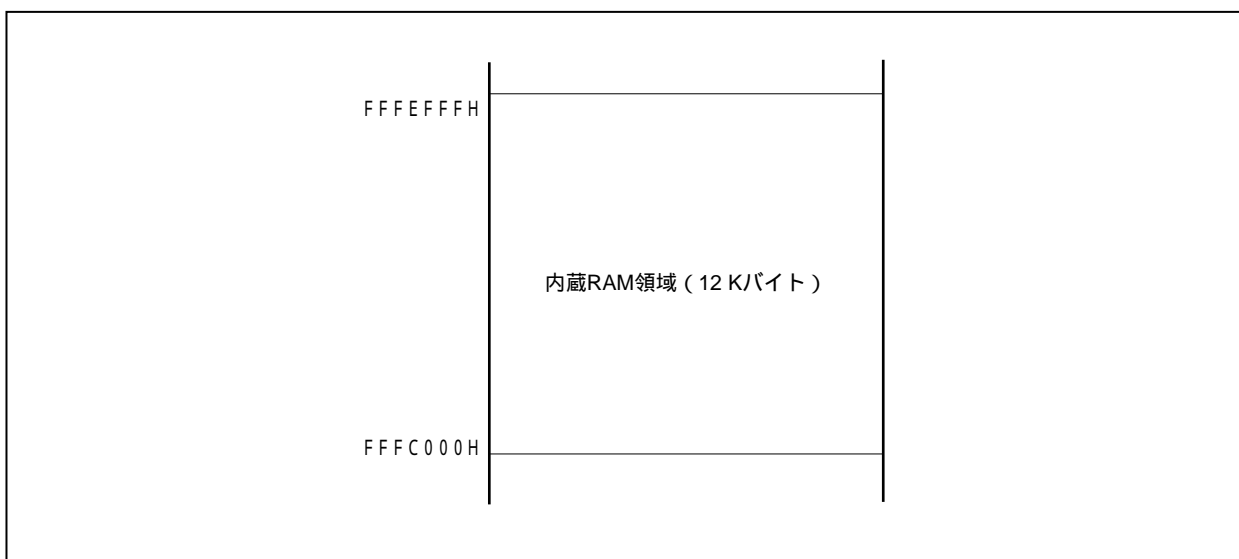
図3 - 7 内蔵RAM領域 (8 Kバイト)



(b)  $\mu$  PD70F3452 (V850E/IF3) ,  $\mu$  PD70F3454 (V850E/IG3)

物理内蔵RAMとしてFFFC000H-FFFEFFFH番地の12 Kバイトを実装しています。

図3 - 8 内蔵RAM領域 (12 Kバイト)

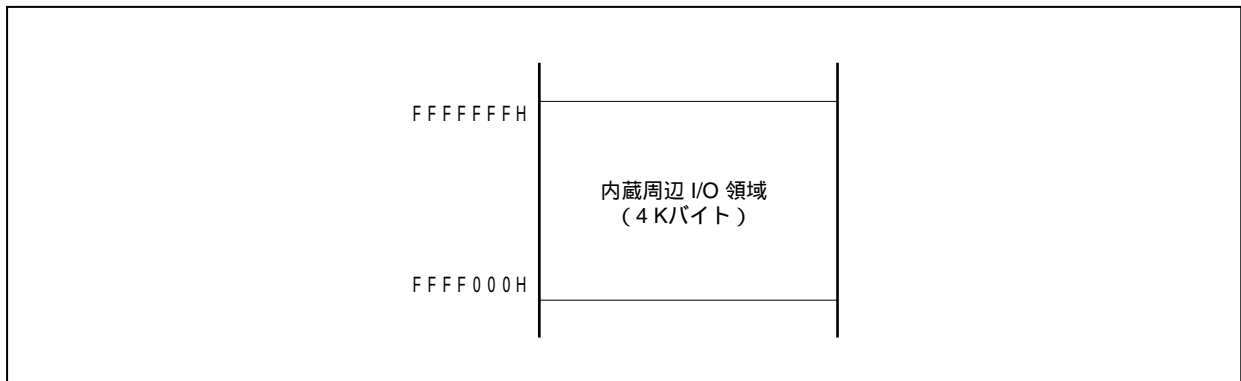


**(3) 内蔵周辺I/O領域**

内蔵周辺I/O領域としてFFFFFF00H-FFFFFFFH番地の4 Kバイトを実装しています。  
3FFF000H-3FFFFFFFH番地<sup>※</sup>には、FFFFFF00H-FFFFFFFH番地のイメージが見えます。

**注** 3FFF000H-3FFFFFFFH番地はアクセス禁止です。内蔵周辺I/Oをアクセスするときには  
FFFFFF00H-FFFFFFFH番地を指定してください。

図3 - 9 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた内蔵周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** V850E/IF3, V850E/IG3では、レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
  3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。
- DMA転送の転送元、転送先のアドレスに3FFF000H-3FFFFFFFHを指定することができません。  
転送元、転送先のアドレスには、必ずFFFFFF00H-FFFFFFFHのアドレスを指定してください。

**(4) 外部メモリ領域 (μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ)**

外部メモリ領域として3 Mバイト (0100000H-03FFFFFFH) あります。詳細については、**第18章 バス制御機能**を参照してください。

### 3.4.6 アドレス空間の推奨使用方法

V850E/IF3, V850E/IG3のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトの領域には、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

#### (1) プログラム空間

プログラム・カウンタ(PC)は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

#### (2) データ空間

V850E/IF3, V850E/IG3では、4 GバイトのCPUアドレス空間に256 Mバイトの物理アドレス空間が16個のイメージとして見えるため、この26ビット・アドレスの最上位ビット(ビット25)を32ビット長まで符号拡張したアドレスとして割り当てています。

##### (a) ラップ・アラウンドを利用した応用例

LD/ST disp16[R]命令でR=r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地±32 Kバイトの範囲がアドレッシング可能です。

ゼロ・レジスタ(r0)はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

例 μPD70F3454 (V850E/IG3) の場合

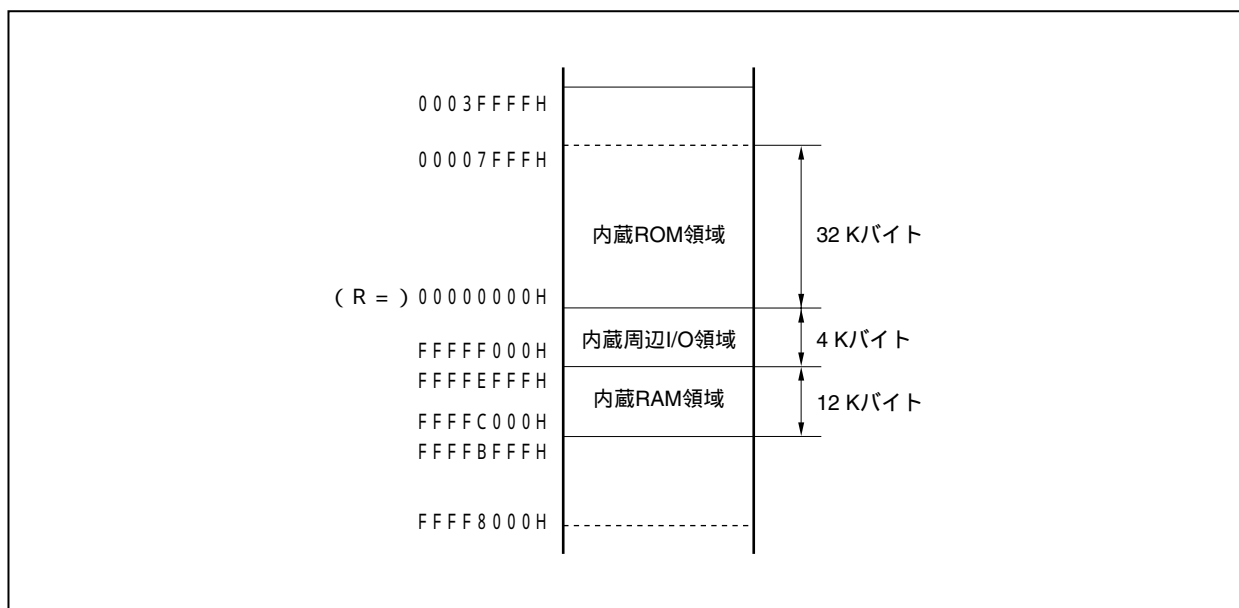
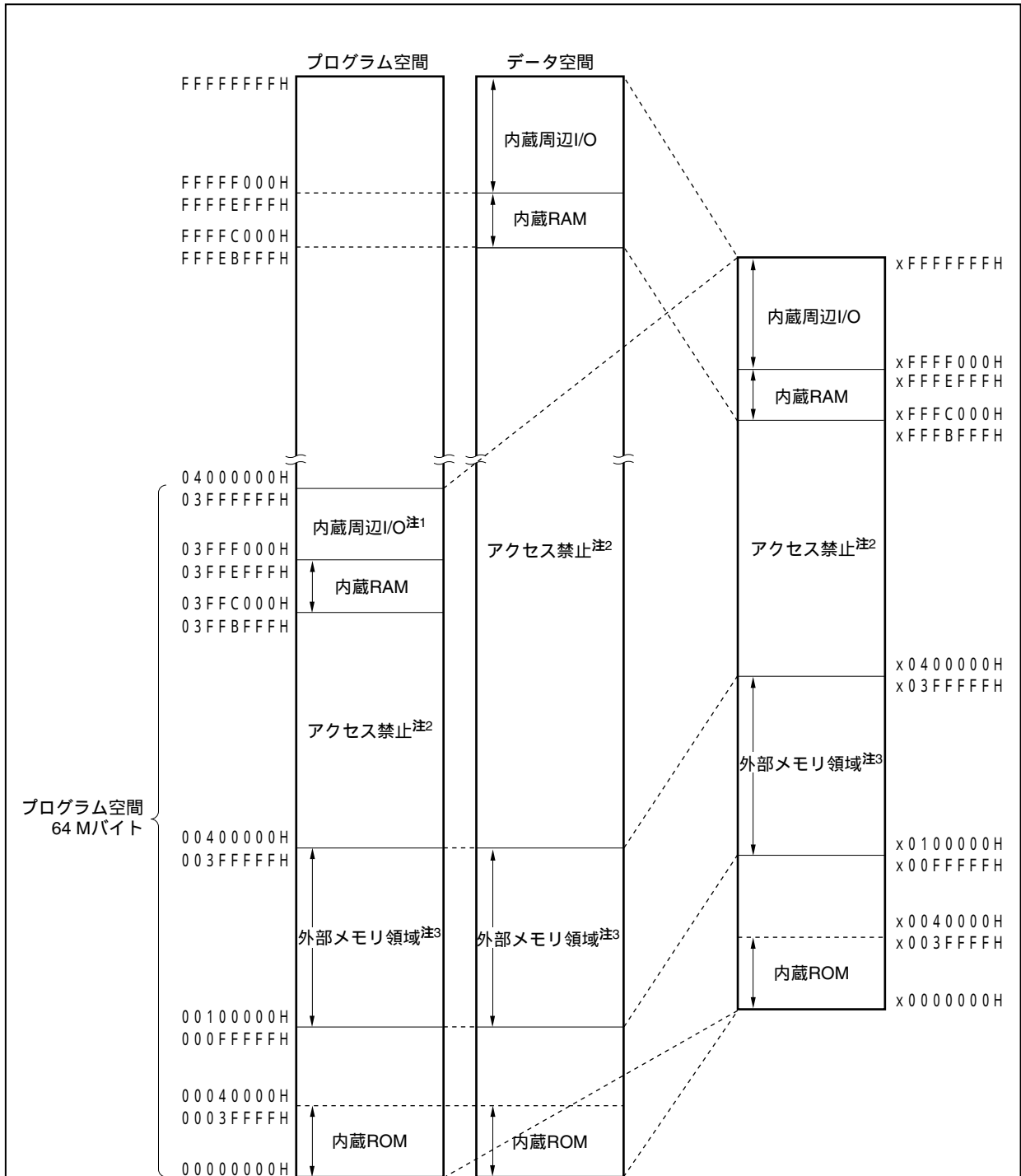


図3 - 10 推奨メモリ・マップ



- 注1. この領域はアクセス禁止です。内蔵周辺I/OをアクセスするときにはFFFFFF00H-FFFFFFFH番地を指定してください。
2. アクセス禁止領域にアクセスした場合の動作は保証しません。
3.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-A : 外部メモリ領域  
 上記以外 : アクセス禁止領域<sup>注2</sup>

- 備考1. † は推奨使用領域です。
2. この図は $\mu$  PD70F3454 (V850E/IG3) の場合の推奨メモリ・マップです。

## 3.4.7 内蔵周辺I/Oレジスタ

(1/15)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF004H	ポートDLレジスタ	PDL	R/W				不定
FFFFF004H	ポートDLLレジスタ	PDLL					不定
FFFFF005H	ポートDLHレジスタ	PDLH					不定
FFFFF024H	ポートDLモード・レジスタ	PMDL					FFFFH
FFFFF024H	ポートDLモード・レジスタL	PMDLL					FFH
FFFFF025H	ポートDLモード・レジスタH	PMDLH					FFH
FFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL					0000H
FFFFF044H	ポートDLモード・コントロール・レジスタL	PMCDLL					00H
FFFFF045H	ポートDLモード・コントロール・レジスタH	PMCDLH					00H
FFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC					5555H
FFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC					77H
FFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L					不定
FFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H					不定
FFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L					不定
FFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H					不定
FFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L					不定
FFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H					不定
FFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L					不定
FFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H					不定
FFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L					不定
FFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H					不定
FFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L					不定
FFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H					不定
FFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L					不定
FFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H					不定
FFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L					不定
FFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H					不定
FFFFF0C0H	DMA転送カウント・レジスタ0	DBC0					不定
FFFFF0C2H	DMA転送カウント・レジスタ1	DBC1					不定
FFFFF0C4H	DMA転送カウント・レジスタ2	DBC2					不定
FFFFF0C6H	DMA転送カウント・レジスタ3	DBC3					不定
FFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0					0000H
FFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1					0000H
FFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2				0000H	
FFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3				0000H	
FFFFF0E0H	DMAチャンネル・コントロール・レジスタ0	DCHC0				00H	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF0E2H	DMAチャンネル・コントロール・レジスタ1	DCHC1	R/W				00H
FFFFF0E4H	DMAチャンネル・コントロール・レジスタ2	DCHC2					00H
FFFFF0E6H	DMAチャンネル・コントロール・レジスタ3	DCHC3					00H
FFFFF100H	割り込みマスク・レジスタ0	IMR0					FFFFH
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L					FFH
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H					FFH
FFFFF102H	割り込みマスク・レジスタ1	IMR1					FFFFH
FFFFF102H	割り込みマスク・レジスタ1L	IMR1L					FFH
FFFFF103H	割り込みマスク・レジスタ1H	IMR1H					FFH
FFFFF104H	割り込みマスク・レジスタ2	IMR2					FFFFH
FFFFF104H	割り込みマスク・レジスタ2L	IMR2L					FFH
FFFFF105H	割り込みマスク・レジスタ2H	IMR2H					FFH
FFFFF106H	割り込みマスク・レジスタ3	IMR3					FFFFH
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L					FFH
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H					FFH
FFFFF108H	割り込みマスク・レジスタ4	IMR4					FFFFH
FFFFF108H	割り込みマスク・レジスタ4L	IMR4L					FFH
FFFFF109H	割り込みマスク・レジスタ4H	IMR4H					FFH
FFFFF10AH	割り込みマスク・レジスタ5	IMR5					FFFFH
FFFFF10AH	割り込みマスク・レジスタ5L	IMR5L					FFH
FFFFF10BH	割り込みマスク・レジスタ5H	IMR5H					FFH
FFFFF110H	割り込み制御レジスタ	LVILIC					47H
FFFFF112H	割り込み制御レジスタ	LVIHIC					47H
FFFFF114H	割り込み制御レジスタ	PIC00					47H
FFFFF116H	割り込み制御レジスタ	PIC01					47H
FFFFF118H	割り込み制御レジスタ	PIC02 <sup>注</sup>					47H
FFFFF11AH	割り込み制御レジスタ	PIC03 <sup>注</sup>					47H
FFFFF11CH	割り込み制御レジスタ	PIC04 <sup>注</sup>					47H
FFFFF11EH	割り込み制御レジスタ	PIC05 <sup>注</sup>					47H
FFFFF120H	割り込み制御レジスタ	PIC06 <sup>注</sup>					47H
FFFFF122H	割り込み制御レジスタ	PIC07 <sup>注</sup>					47H
FFFFF124H	割り込み制御レジスタ	PIC08					47H
FFFFF126H	割り込み制御レジスタ	PIC09					47H
FFFFF128H	割り込み制御レジスタ	PIC10				47H	
FFFFF12AH	割り込み制御レジスタ	PIC11				47H	
FFFFF12CH	割り込み制御レジスタ	PIC12				47H	
FFFFF12EH	割り込み制御レジスタ	PIC13				47H	
FFFFF130H	割り込み制御レジスタ	PIC14				47H	

注 V850E/IG3のみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF132H	割り込み制御レジスタ	PIC15	R/W				47H
FFFFFF134H	割り込み制御レジスタ	PIC16					47H
FFFFFF136H	割り込み制御レジスタ	PIC17					47H
FFFFFF138H	割り込み制御レジスタ	PIC18					47H
FFFFFF13AH	割り込み制御レジスタ	CMPIC0L					47H
FFFFFF13CH	割り込み制御レジスタ	CMPIC0F					47H
FFFFFF13EH	割り込み制御レジスタ	CMPIC1L					47H
FFFFFF140H	割り込み制御レジスタ	CMPIC1F					47H
FFFFFF142H	割り込み制御レジスタ	TB0OVIC					47H
FFFFFF144H	割り込み制御レジスタ	TB0CCIC0					47H
FFFFFF146H	割り込み制御レジスタ	TB0CCIC1					47H
FFFFFF148H	割り込み制御レジスタ	TB0CCIC2					47H
FFFFFF14AH	割り込み制御レジスタ	TB0CCIC3					47H
FFFFFF14CH	割り込み制御レジスタ	TB1OVIC					47H
FFFFFF14EH	割り込み制御レジスタ	TB1CCIC0					47H
FFFFFF150H	割り込み制御レジスタ	TB1CCIC1					47H
FFFFFF152H	割り込み制御レジスタ	TB1CCIC2					47H
FFFFFF154H	割り込み制御レジスタ	TB1CCIC3					47H
FFFFFF156H	割り込み制御レジスタ	TT0OVIC					47H
FFFFFF158H	割り込み制御レジスタ	TT0CCIC0					47H
FFFFFF15AH	割り込み制御レジスタ	TT0CCIC1					47H
FFFFFF15CH	割り込み制御レジスタ	TT0IECIC <sup>注</sup>					47H
FFFFFF15EH	割り込み制御レジスタ	TT1OVIC					47H
FFFFFF160H	割り込み制御レジスタ	TT1CCIC0					47H
FFFFFF162H	割り込み制御レジスタ	TT1CCIC1					47H
FFFFFF164H	割り込み制御レジスタ	TT1IECIC					47H
FFFFFF166H	割り込み制御レジスタ	TA0OVIC					47H
FFFFFF168H	割り込み制御レジスタ	TA0CCIC0					47H
FFFFFF16AH	割り込み制御レジスタ	TA0CCIC1					47H
FFFFFF16CH	割り込み制御レジスタ	TA1OVIC					47H
FFFFFF16EH	割り込み制御レジスタ	TA1CCIC0					47H
FFFFFF170H	割り込み制御レジスタ	TA1CCIC1					47H
FFFFFF172H	割り込み制御レジスタ	TA2OVIC				47H	
FFFFFF174H	割り込み制御レジスタ	TA2CCIC0				47H	
FFFFFF176H	割り込み制御レジスタ	TA2CCIC1				47H	
FFFFFF178H	割り込み制御レジスタ	TA3OVIC				47H	
FFFFFF17AH	割り込み制御レジスタ	TA3CCIC0				47H	
FFFFFF17CH	割り込み制御レジスタ	TA3CCIC1				47H	

注 V850E/IG3のみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF17EH	割り込み制御レジスタ	TA4OVIC	R/W				47H
FFFFFF180H	割り込み制御レジスタ	TA4CCIC0					47H
FFFFFF182H	割り込み制御レジスタ	TA4CCIC1					47H
FFFFFF184H	割り込み制御レジスタ	DMAIC0					47H
FFFFFF186H	割り込み制御レジスタ	DMAIC1					47H
FFFFFF188H	割り込み制御レジスタ	DMAIC2					47H
FFFFFF18AH	割り込み制御レジスタ	DMAIC3					47H
FFFFFF18CH	割り込み制御レジスタ	UREIC					47H
FFFFFF18EH	割り込み制御レジスタ	URIC					47H
FFFFFF190H	割り込み制御レジスタ	UTIC					47H
FFFFFF192H	割り込み制御レジスタ	UIFIC					47H
FFFFFF194H	割り込み制御レジスタ	UTOIC					47H
FFFFFF196H	割り込み制御レジスタ	UA0REIC					47H
FFFFFF198H	割り込み制御レジスタ	UA0RIC					47H
FFFFFF19AH	割り込み制御レジスタ	UA0TIC					47H
FFFFFF19CH	割り込み制御レジスタ	CB0REIC					47H
FFFFFF19EH	割り込み制御レジスタ	CB0RIC					47H
FFFFFF1A0H	割り込み制御レジスタ	CB0TIC					47H
FFFFFF1A2H	割り込み制御レジスタ	UA1REIC					47H
FFFFFF1A4H	割り込み制御レジスタ	UA1RIC					47H
FFFFFF1A6H	割り込み制御レジスタ	UA1TIC					47H
FFFFFF1A8H	割り込み制御レジスタ	CB1REIC					47H
FFFFFF1AAH	割り込み制御レジスタ	CB1RIC					47H
FFFFFF1ACH	割り込み制御レジスタ	CB1TIC					47H
FFFFFF1AEH	割り込み制御レジスタ	UA2REIC					47H
FFFFFF1B0H	割り込み制御レジスタ	UA2RIC					47H
FFFFFF1B2H	割り込み制御レジスタ	UA2TIC					47H
FFFFFF1B4H	割り込み制御レジスタ	CB2REIC					47H
FFFFFF1B6H	割り込み制御レジスタ	CB2RIC					47H
FFFFFF1B8H	割り込み制御レジスタ	CB2TIC					47H
FFFFFF1BAH	割り込み制御レジスタ	IICIC					47H
FFFFFF1BCH	割り込み制御レジスタ	AD0IC					47H
FFFFFF1BEH	割り込み制御レジスタ	AD1IC				47H	
FFFFFF1C0H	割り込み制御レジスタ	AD2IC				47H	
FFFFFF1C2H	割り込み制御レジスタ	TM0EQIC0				47H	
FFFFFF1C4H	割り込み制御レジスタ	TM1EQIC0				47H	
FFFFFF1C6H	割り込み制御レジスタ	TM2EQIC0				47H	
FFFFFF1C8H	割り込み制御レジスタ	TM3EQIC0				47H	



アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF1CAH	割り込み制御レジスタ	ADT0IC	R/W				47H
FFFFFF1CCH	割り込み制御レジスタ	ADT1IC					47H
FFFFFF1FAH	インサース・プライオリティ・レジスタ	ISPR	R				00H
FFFFFF1FCH	コマンド・レジスタ	PRCMD	W				不定
FFFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H
FFFFFF200H	A/D0変換結果レジスタ0	AD0CR0	R				0000H
FFFFFF201H	A/D0変換結果レジスタ0H	AD0CR0H					00H
FFFFFF202H	A/D0変換結果レジスタ1	AD0CR1					0000H
FFFFFF203H	A/D0変換結果レジスタ1H	AD0CR1H					00H
FFFFFF204H	A/D0変換結果レジスタ2	AD0CR2					0000H
FFFFFF205H	A/D0変換結果レジスタ2H	AD0CR2H					00H
FFFFFF206H	A/D0変換結果レジスタ3	AD0CR3					0000H
FFFFFF207H	A/D0変換結果レジスタ3H	AD0CR3H					00H
FFFFFF208H	A/D0変換結果レジスタ4	AD0CR4					0000H
FFFFFF209H	A/D0変換結果レジスタ4H	AD0CR4H					00H
FFFFFF20AH	A/D0変換結果レジスタ5	AD0CR5					0000H
FFFFFF20BH	A/D0変換結果レジスタ5H	AD0CR5H					00H
FFFFFF20CH	A/D0変換結果レジスタ6	AD0CR6					0000H
FFFFFF20DH	A/D0変換結果レジスタ6H	AD0CR6H					00H
FFFFFF20EH	A/D0変換結果レジスタ7	AD0CR7					0000H
FFFFFF20FH	A/D0変換結果レジスタ7H	AD0CR7H					00H
FFFFFF210H	A/D0変換結果レジスタ8	AD0CR8					0000H
FFFFFF211H	A/D0変換結果レジスタ8H	AD0CR8H					00H
FFFFFF212H	A/D0変換結果レジスタ9	AD0CR9					0000H
FFFFFF213H	A/D0変換結果レジスタ9H	AD0CR9H					00H
FFFFFF214H	A/D0変換結果レジスタ10	AD0CR10					0000H
FFFFFF215H	A/D0変換結果レジスタ10H	AD0CR10H					00H
FFFFFF216H	A/D0変換結果レジスタ11	AD0CR11					0000H
FFFFFF217H	A/D0変換結果レジスタ11H	AD0CR11H					00H
FFFFFF218H	A/D0変換結果レジスタ12	AD0CR12					0000H
FFFFFF219H	A/D0変換結果レジスタ12H	AD0CR12H					00H
FFFFFF21AH	A/D0変換結果レジスタ13	AD0CR13					0000H
FFFFFF21BH	A/D0変換結果レジスタ13H	AD0CR13H					00H
FFFFFF21CH	A/D0変換結果レジスタ14	AD0CR14					0000H
FFFFFF21DH	A/D0変換結果レジスタ14H	AD0CR14H					00H
FFFFFF21EH	A/D0変換結果レジスタ15	AD0CR15					0000H
FFFFFF21FH	A/D0変換結果レジスタ15H	AD0CR15H					00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFFF220H	A/Dコンバータ0スキャン・モード・レジスタ	AD0SCM	R/W				0000H	
FFFFFF220H	A/Dコンバータ0スキャン・モード・レジスタL	AD0SCML					00H	
FFFFFF221H	A/Dコンバータ0スキャン・モード・レジスタH	AD0SCMH					00H	
FFFFFF222H	A/Dコンバータ0変換時間制御レジスタ	AD0CTC					00H	
FFFFFF224H	A/Dコンバータ0変換チャンネル指定レジスタ	AD0CHEN					0000H	
FFFFFF224H	A/Dコンバータ0変換チャンネル指定レジスタL	AD0CHENL					00H	
FFFFFF225H	A/Dコンバータ0変換チャンネル指定レジスタH	AD0CHENH					00H	
FFFFFF230H	A/Dコンバータ0制御レジスタ	AD0CTL0					00H	
FFFFFF231H	A/Dコンバータ0トリガ選択レジスタ	AD0TSEL					10H	
FFFFFF232H	A/Dコンバータ0チャンネル指定レジスタ1	AD0CH1					00H	
FFFFFF233H	A/Dコンバータ0チャンネル指定レジスタ2	AD0CH2					00H	
FFFFFF240H	A/D0変換結果拡張レジスタ0	AD0ECR0		R				0000H
FFFFFF241H	A/D0変換結果拡張レジスタ0H	AD0ECR0H						00H
FFFFFF242H	A/D0変換結果拡張レジスタ1	AD0ECR1					0000H	
FFFFFF243H	A/D0変換結果拡張レジスタ1H	AD0ECR1H					00H	
FFFFFF244H	A/D0変換結果拡張レジスタ2	AD0ECR2					0000H	
FFFFFF245H	A/D0変換結果拡張レジスタ2H	AD0ECR2H					00H	
FFFFFF246H	A/D0変換結果拡張レジスタ3	AD0ECR3					0000H	
FFFFFF247H	A/D0変換結果拡張レジスタ3H	AD0ECR3H					00H	
FFFFFF248H	A/D0変換結果拡張レジスタ4	AD0ECR4					0000H	
FFFFFF249H	A/D0変換結果拡張レジスタ4H	AD0ECR4H					00H	
FFFFFF254H	A/Dコンバータ0フラグ・レジスタ	AD0FLG					00H	
FFFFFF255H	A/Dコンバータ0フラグ・バッファ・レジスタ	AD0FLGB					00H	
FFFFFF260H	オペアンプ0制御レジスタ0	OP0CTL0	R/W					00H
FFFFFF261H	コンパレータ0制御レジスタ0	CMP0CTL0				00H		
FFFFFF262H	コンパレータ0制御レジスタ1	CMP0CTL1	R				00H	
FFFFFF263H	コンパレータ0制御レジスタ2	CMP0CTL2	R/W				00H	
FFFFFF264H	コンパレータ0制御レジスタ3	CMP0CTL3				00H		
FFFFFF270H	A/Dコンバータ0クロック選択レジスタ	AD0OCKS				00H		
FFFFFF274H	A/Dコンバータ1クロック選択レジスタ	AD1OCKS				00H		
FFFFFF278H	コンパレータ出力デジタル・ノイズ除去レジスタ0L	CMPNFC0L				00H		
FFFFFF27AH	コンパレータ出力デジタル・ノイズ除去レジスタ0F	CMPNFC0F				00H		
FFFFFF27CH	コンパレータ出力デジタル・ノイズ除去レジスタ1L	CMPNFC1L				00H		
FFFFFF27EH	コンパレータ出力デジタル・ノイズ除去レジスタ1F	CMPNFC1F				00H		
FFFFFF280H	A/D1変換結果レジスタ0	AD1CR0	R				0000H	
FFFFFF281H	A/D1変換結果レジスタ0H	AD1CR0H					00H	
FFFFFF282H	A/D1変換結果レジスタ1	AD1CR1					0000H	
FFFFFF283H	A/D1変換結果レジスタ1H	AD1CR1H					00H	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFFF284H	A/D1変換結果レジスタ2	AD1CR2	R				0000H	
FFFFFF285H	A/D1変換結果レジスタ2H	AD1CR2H					00H	
FFFFFF286H	A/D1変換結果レジスタ3	AD1CR3					0000H	
FFFFFF287H	A/D1変換結果レジスタ3H	AD1CR3H					00H	
FFFFFF288H	A/D1変換結果レジスタ4	AD1CR4					0000H	
FFFFFF289H	A/D1変換結果レジスタ4H	AD1CR4H					00H	
FFFFFF28AH	A/D1変換結果レジスタ5	AD1CR5					0000H	
FFFFFF28BH	A/D1変換結果レジスタ5H	AD1CR5H					00H	
FFFFFF28CH	A/D1変換結果レジスタ6	AD1CR6					0000H	
FFFFFF28DH	A/D1変換結果レジスタ6H	AD1CR6H					00H	
FFFFFF28EH	A/D1変換結果レジスタ7	AD1CR7					0000H	
FFFFFF28FH	A/D1変換結果レジスタ7H	AD1CR7H					00H	
FFFFFF290H	A/D1変換結果レジスタ8	AD1CR8					0000H	
FFFFFF291H	A/D1変換結果レジスタ8H	AD1CR8H					00H	
FFFFFF292H	A/D1変換結果レジスタ9	AD1CR9					0000H	
FFFFFF293H	A/D1変換結果レジスタ9H	AD1CR9H					00H	
FFFFFF294H	A/D1変換結果レジスタ10	AD1CR10					0000H	
FFFFFF295H	A/D1変換結果レジスタ10H	AD1CR10H					00H	
FFFFFF296H	A/D1変換結果レジスタ11	AD1CR11					0000H	
FFFFFF297H	A/D1変換結果レジスタ11H	AD1CR11H					00H	
FFFFFF298H	A/D1変換結果レジスタ12	AD1CR12					0000H	
FFFFFF299H	A/D1変換結果レジスタ12H	AD1CR12H					00H	
FFFFFF29AH	A/D1変換結果レジスタ13	AD1CR13					0000H	
FFFFFF29BH	A/D1変換結果レジスタ13H	AD1CR13H					00H	
FFFFFF29CH	A/D1変換結果レジスタ14	AD1CR14					0000H	
FFFFFF29DH	A/D1変換結果レジスタ14H	AD1CR14H					00H	
FFFFFF29EH	A/D1変換結果レジスタ15	AD1CR15					0000H	
FFFFFF29FH	A/D1変換結果レジスタ15H	AD1CR15H					00H	
FFFFF2A0H	A/Dコンバータ1スキャン・モード・レジスタ	AD1SCM		R/W				0000H
FFFFF2A0H	A/Dコンバータ1スキャン・モード・レジスタL	AD1SCML						00H
FFFFF2A1H	A/Dコンバータ1スキャン・モード・レジスタH	AD1SCMH					00H	
FFFFF2A2H	A/Dコンバータ1変換時間制御レジスタ	AD1CTC					00H	
FFFFF2A4H	A/Dコンバータ1変換チャンネル指定レジスタ	AD1CHEN					0000H	
FFFFF2A4H	A/Dコンバータ1変換チャンネル指定レジスタL	AD1CHENL					00H	
FFFFF2A5H	A/Dコンバータ1変換チャンネル指定レジスタH	AD1CHENH					00H	
FFFFF2B0H	A/Dコンバータ1制御レジスタ	AD1CTL0					00H	
FFFFF2B1H	A/Dコンバータ1トリガ選択レジスタ	AD1TSEL					10H	
FFFFF2B2H	A/Dコンバータ1チャンネル指定レジスタ1	AD1CH1					00H	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF2B3H	A/Dコンバータ1チャンネル指定レジスタ2	AD1CH2	R/W				00H
FFFFFF2C0H	A/D1変換結果拡張レジスタ0	AD1ECR0	R				0000H
FFFFFF2C1H	A/D1変換結果拡張レジスタ0H	AD1ECR0H					00H
FFFFFF2C2H	A/D1変換結果拡張レジスタ1	AD1ECR1					0000H
FFFFFF2C3H	A/D1変換結果拡張レジスタ1H	AD1ECR1H					00H
FFFFFF2C4H	A/D1変換結果拡張レジスタ2	AD1ECR2					0000H
FFFFFF2C5H	A/D1変換結果拡張レジスタ2H	AD1ECR2H					00H
FFFFFF2C6H	A/D1変換結果拡張レジスタ3	AD1ECR3					0000H
FFFFFF2C7H	A/D1変換結果拡張レジスタ3H	AD1ECR3H					00H
FFFFFF2C8H	A/D1変換結果拡張レジスタ4	AD1ECR4					0000H
FFFFFF2C9H	A/D1変換結果拡張レジスタ4H	AD1ECR4H					00H
FFFFFF2D4H	A/Dコンバータ1フラグ・レジスタ	AD1FLG				00H	
FFFFFF2D5H	A/Dコンバータ1フラグ・バッファ・レジスタ	AD1FLGB				00H	
FFFFFF2E0H	オペアンプ1制御レジスタ0	OP1CTL0	R/W				00H
FFFFFF2E1H	コンパレータ1制御レジスタ0	CMP1CTL0					00H
FFFFFF2E2H	コンパレータ1制御レジスタ1	CMP1CTL1	R				00H
FFFFFF2E3H	コンパレータ1制御レジスタ2	CMP1CTL2	R/W				00H
FFFFFF2E4H	コンパレータ1制御レジスタ3	CMP1CTL3					00H
FFFFFF2F0H	A/Dトリガ立ち下がりエッジ指定レジスタ	ADTF					00H
FFFFFF2F2H	A/Dトリガ立ち上がりエッジ指定レジスタ	ADTR					00H
FFFFFF2F4H	コンパレータ出力割り込み立ち下がりエッジ指定レジスタ	CMPOF					00H
FFFFFF2F6H	コンパレータ出力割り込み立ち上がりエッジ指定レジスタ	CMPOR					00H
FFFFFF2F8H	A/DLDTRG1入力選択レジスタ	ADLTS1					00H
FFFFFF2FAH	A/DLDTRG2入力選択レジスタ	ADLTS2					00H
FFFFFF310H	デジタル・ノイズ除去0制御レジスタ14	INTNFC14					00H
FFFFFF312H	デジタル・ノイズ除去0制御レジスタ15	INTNFC15					00H
FFFFFF314H	デジタル・ノイズ除去0制御レジスタ16	INTNFC16					00H
FFFFFF400H	ポート0レジスタ	P0					不定
FFFFFF402H	ポート1レジスタ	P1					不定
FFFFFF404H	ポート2レジスタ	P2					不定
FFFFFF406H	ポート3レジスタ	P3					不定
FFFFFF408H	ポート4レジスタ	P4					不定
FFFFFF420H	ポート0モード・レジスタ	PM0					FFH
FFFFFF422H	ポート1モード・レジスタ	PM1					FFH
FFFFFF424H	ポート2モード・レジスタ	PM2					FFH
FFFFFF426H	ポート3モード・レジスタ	PM3					FFH
FFFFFF428H	ポート4モード・レジスタ	PM4					FFH
FFFFFF440H	ポート0モード・コントロール・レジスタ	PMC0					00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF442H	ポート1モード・コントロール・レジスタ	PMC1	R/W				00H
FFFFFF444H	ポート2モード・コントロール・レジスタ	PMC2					00H
FFFFFF446H	ポート3モード・コントロール・レジスタ	PMC3					00H
FFFFFF448H	ポート4モード・コントロール・レジスタ	PMC4					00H
FFFFFF460H	ポート0ファンクション・コントロール・レジスタ	PFC0					00H
FFFFFF462H	ポート1ファンクション・コントロール・レジスタ	PFC1					00H
FFFFFF464H	ポート2ファンクション・コントロール・レジスタ	PFC2					00H
FFFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3					00H
FFFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4					00H
FFFFFF480H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCT0					CCCCH
FFFFFF484H	データ・ウエイト・コントロール・レジスタ0	DWC0					7777H
FFFFFF488H	アドレス・ウエイト・コントロール・レジスタ	AWC					FFFFH
FFFFFF48AH	バス・サイクル・コントロール・レジスタ	BCC					AAAAH
FFFFFF48EH	バス・クロック分周制御レジスタ	DVC					81H
FFFFFF540H	TMM0制御レジスタ0	TM0CTL0					00H
FFFFFF544H	TMM0コンペア・レジスタ0	TM0CMP0					0000H
FFFFFF550H	TMM1制御レジスタ0	TM1CTL0					00H
FFFFFF554H	TMM1コンペア・レジスタ0	TM1CMP0					0000H
FFFFFF560H	TMM2制御レジスタ0	TM2CTL0					00H
FFFFFF564H	TMM2コンペア・レジスタ0	TM2CMP0					0000H
FFFFFF570H	TMM3制御レジスタ0	TM3CTL0					00H
FFFFFF574H	TMM3コンペア・レジスタ0	TM3CMP0					0000H
FFFFFF580H	TMT0制御レジスタ0	TT0CTL0					00H
FFFFFF581H	TMT0制御レジスタ1	TT0CTL1					00H
FFFFFF582H	TMT0制御レジスタ2	TT0CTL2 <sup>注</sup>					00H
FFFFFF583H	TMT0I/O制御レジスタ0	TT0IOC0 <sup>注</sup>					00H
FFFFFF584H	TMT0I/O制御レジスタ1	TT0IOC1 <sup>注</sup>					00H
FFFFFF585H	TMT0I/O制御レジスタ2	TT0IOC2 <sup>注</sup>					00H
FFFFFF586H	TMT0I/O制御レジスタ3	TT0IOC3 <sup>注</sup>				00H	
FFFFFF587H	TMT0オプション・レジスタ0	TT0OPT0				00H	
FFFFFF588H	TMT0オプション・レジスタ1	TT0OPT1 <sup>注</sup>				00H	
FFFFFF58AH	TMT0キャプチャ/コンペア・レジスタ0	TT0CCR0				0000H	
FFFFFF58CH	TMT0キャプチャ/コンペア・レジスタ1	TT0CCR1				0000H	
FFFFFF58EH	TMT0カウンタ・リード・バッファ・レジスタ	TT0CNT	R			0000H	
FFFFFF590H	TMT0カウンタ・ライト・レジスタ	TT0TCW <sup>注</sup>	R/W			0000H	
FFFFFF5A0H	デジタル・ノイズ除去2制御レジスタ0	TTNFC0 <sup>注</sup>					00H
FFFFFF5A2H	デジタル・ノイズ除去2制御レジスタ1	TTNFC1					00H
FFFFFF5A4H	TMT0キャプチャ入力選択レジスタ	TTISL0 <sup>注</sup>					不定

注 V850E/IG3のみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF5A6H	TMT1キャプチャ入力選択レジスタ	TTISL1	R/W				不定
FFFFF5C0H	TMT1制御レジスタ0	TT1CTL0					00H
FFFFF5C1H	TMT1制御レジスタ1	TT1CTL1					00H
FFFFF5C2H	TMT1制御レジスタ2	TT1CTL2					00H
FFFFF5C3H	TMT1I/O制御レジスタ0	TT1IOC0					00H
FFFFF5C4H	TMT1I/O制御レジスタ1	TT1IOC1					00H
FFFFF5C5H	TMT1I/O制御レジスタ2	TT1IOC2					00H
FFFFF5C6H	TMT1I/O制御レジスタ3	TT1IOC3					00H
FFFFF5C7H	TMT1オプション・レジスタ0	TT1OPT0					00H
FFFFF5C8H	TMT1オプション・レジスタ1	TT1OPT1					00H
FFFFF5CAH	TMT1キャプチャ/コンペア・レジスタ0	TT1CCR0					0000H
FFFFF5CCH	TMT1キャプチャ/コンペア・レジスタ1	TT1CCR1					0000H
FFFFF5CEH	TMT1カウンタ・リード・バッファ・レジスタ	TT1CNT	R				0000H
FFFFF5D0H	TMT1カウンタ・ライト・レジスタ	TT1TCW	R/W				0000H
FFFFF5E0H	TAB0制御レジスタ0	TAB0CTL0					00H
FFFFF5E1H	TAB0制御レジスタ1	TAB0CTL1					00H
FFFFF5E2H	TAB0I/O制御レジスタ0	TAB0IOC0					00H
FFFFF5E3H	TAB0I/O制御レジスタ1	TAB0IOC1					00H
FFFFF5E4H	TAB0I/O制御レジスタ2	TAB0IOC2					00H
FFFFF5E5H	TAB0オプション・レジスタ0	TAB0OPT0					00H
FFFFF5E6H	TAB0キャプチャ/コンペア・レジスタ0	TAB0CCR0					0000H
FFFFF5E8H	TAB0キャプチャ/コンペア・レジスタ1	TAB0CCR1					0000H
FFFFF5EAH	TAB0キャプチャ/コンペア・レジスタ2	TAB0CCR2					0000H
FFFFF5ECH	TAB0キャプチャ/コンペア・レジスタ3	TAB0CCR3					0000H
FFFFF5EEH	TAB0カウンタ・リード・バッファ・レジスタ	TAB0CNT	R				0000H
FFFFF600H	TAB0オプション・レジスタ1	TAB0OPT1	R/W				00H
FFFFF601H	TAB0オプション・レジスタ2	TAB0OPT2					00H
FFFFF602H	TAB0I/O制御レジスタ3	TAB0IOC3					A8H
FFFFF603H	TAB0オプション・レジスタ3	TAB0OPT3					00H
FFFFF604H	TAB0デッド・タイム・コンペア・レジスタ	TAB0DTC					0000H
FFFFF610H	ハイ・インピーダンス出力制御レジスタ00	HZA0CTL0					00H
FFFFF611H	ハイ・インピーダンス出力制御レジスタ01	HZA0CTL1					00H
FFFFF618H	ハイ・インピーダンス出力制御レジスタ10	HZA1CTL0					00H
FFFFF619H	ハイ・インピーダンス出力制御レジスタ11	HZA1CTL1 <sup>注</sup>					00H
FFFFF620H	TAB1制御レジスタ0	TAB1CTL0					00H
FFFFF621H	TAB1制御レジスタ1	TAB1CTL1					00H
FFFFF622H	TAB1I/O制御レジスタ0	TAB1IOC0					00H
FFFFF623H	TAB1I/O制御レジスタ1	TAB1IOC1					00H

注 V850E/IG3のみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF624H	TAB1I/O制御レジスタ2	TAB1IOC2	R/W				00H
FFFFFF625H	TAB1オプション・レジスタ0	TAB1OPT0					00H
FFFFFF626H	TAB1キャプチャ/コンペア・レジスタ0	TAB1CCR0					0000H
FFFFFF628H	TAB1キャプチャ/コンペア・レジスタ1	TAB1CCR1					0000H
FFFFFF62AH	TAB1キャプチャ/コンペア・レジスタ2	TAB1CCR2					0000H
FFFFFF62CH	TAB1キャプチャ/コンペア・レジスタ3	TAB1CCR3					0000H
FFFFFF62EH	TAB1カウンタ・リード・バッファ・レジスタ	TAB1CNT	R				0000H
FFFFFF640H	TAB1オプション・レジスタ1	TAB1OPT1	R/W				00H
FFFFFF641H	TAB1オプション・レジスタ2	TAB1OPT2					00H
FFFFFF642H	TAB1I/O制御レジスタ3	TAB1IOC3					A8H
FFFFFF643H	TAB1オプション・レジスタ3	TAB1OPT3					00H
FFFFFF644H	TAB1デッド・タイム・コンペア・レジスタ	TAB1DTC					0000H
FFFFFF650H	ハイ・インピーダンス出力制御レジスタ20	HZA2CTL0					00H
FFFFFF651H	ハイ・インピーダンス出力制御レジスタ21	HZA2CTL1					00H
FFFFFF658H	ハイ・インピーダンス出力制御レジスタ30	HZA3CTL0					00H
FFFFFF659H	ハイ・インピーダンス出力制御レジスタ31	HZA3CTL1					00H
FFFFFF660H	TAA0制御レジスタ0	TAA0CTL0					00H
FFFFFF661H	TAA0制御レジスタ1	TAA0CTL1					00H
FFFFFF665H	TAA0オプション・レジスタ0	TAA0OPT0					00H
FFFFFF666H	TAA0キャプチャ/コンペア・レジスタ0	TAA0CCR0					0000H
FFFFFF668H	TAA0キャプチャ/コンペア・レジスタ1	TAA0CCR1					0000H
FFFFFF66AH	TAA0カウンタ・リード・バッファ・レジスタ	TAA0CNT	R				0000H
FFFFFF680H	TAA1制御レジスタ0	TAA1CTL0	R/W				00H
FFFFFF681H	TAA1制御レジスタ1	TAA1CTL1					00H
FFFFFF685H	TAA1オプション・レジスタ0	TAA1OPT0					00H
FFFFFF686H	TAA1キャプチャ/コンペア・レジスタ0	TAA1CCR0					0000H
FFFFFF688H	TAA1キャプチャ/コンペア・レジスタ1	TAA1CCR1					0000H
FFFFFF68AH	TAA1カウンタ・リード・バッファ・レジスタ	TAA1CNT	R				0000H
FFFFFF6A0H	TAA2制御レジスタ0	TAA2CTL0	R/W				00H
FFFFFF6A1H	TAA2制御レジスタ1	TAA2CTL1					00H
FFFFFF6A2H	TAA2I/O制御レジスタ0	TAA2IOC0					00H
FFFFFF6A3H	TAA2I/O制御レジスタ1	TAA2IOC1					00H
FFFFFF6A4H	TAA2I/O制御レジスタ2	TAA2IOC2					00H
FFFFFF6A5H	TAA2オプション・レジスタ0	TAA2OPT0					00H
FFFFFF6A6H	TAA2キャプチャ/コンペア・レジスタ0	TAA2CCR0					0000H
FFFFFF6A8H	TAA2キャプチャ/コンペア・レジスタ1	TAA2CCR1					0000H
FFFFFF6AAH	TAA2カウンタ・リード・バッファ・レジスタ	TAA2CNT	R				0000H
FFFFFF6C0H	発振安定時間選択レジスタ	OSTS	R/W				04H

(12/15)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM	R/W				67H
FFFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE					1AH
FFFFFF700H	ポート0ファンクション・コントロール拡張レジスタ	PFCE0					00H
FFFFFF702H	ポート1ファンクション・コントロール拡張レジスタ	PFCE1					00H
FFFFFF704H	ポート2ファンクション・コントロール拡張レジスタ	PFCE2					00H
FFFFFF706H	ポート3ファンクション・コントロール拡張レジスタ	PFCE3					00H
FFFFFF708H	ポート4ファンクション・コントロール拡張レジスタ	PFCE4					00H
FFFFFF802H	システム・ステータス・レジスタ	SYS					00H
FFFFFF810H	DMAトリガ要因レジスタ0	DTFR0					00H
FFFFFF812H	DMAトリガ要因レジスタ1	DTFR1					00H
FFFFFF814H	DMAトリガ要因レジスタ2	DTFR2					00H
FFFFFF816H	DMAトリガ要因レジスタ3	DTFR3					00H
FFFFFF820H	パワー・セーブ・モード・レジスタ	PSMR					00H
FFFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC					03H
FFFFFF82CH	PLLコントロール・レジスタ	PLLCTL					01H
FFFFFF870H	クロック・モニタ・モード・レジスタ	CLM					00H
FFFFFF888H	リセット要因フラグ・レジスタ	RESF					00H/10H/01H
FFFFFF890H	低電圧検出レジスタ	LVIM					00H
FFFFFF891H	低電圧検出レベル選択レジスタ	LVIS					00H
FFFFFFA00H	UARTA0制御レジスタ0	UA0CTL0					10H
FFFFFFA01H	UARTA0制御レジスタ1	UA0CTL1					00H
FFFFFFA02H	UARTA0制御レジスタ2	UA0CTL2					FFH
FFFFFFA03H	UARTA0オプション制御レジスタ0	UA0OPT0					14H
FFFFFFA04H	UARTA0状態レジスタ	UA0STR					00H
FFFFFFA06H	UARTA0受信データ・レジスタ	UA0RX		R			FFH
FFFFFFA07H	UARTA0送信データ・レジスタ	UA0TX		R/W			FFH
FFFFFFA10H	UARTA1制御レジスタ0	UA1CTL0					
FFFFFFA11H	UARTA1制御レジスタ1	UA1CTL1					00H
FFFFFFA12H	UARTA1制御レジスタ2	UA1CTL2					FFH
FFFFFFA13H	UARTA1オプション制御レジスタ0	UA1OPT0					14H
FFFFFFA14H	UARTA1状態レジスタ	UA1STR					00H
FFFFFFA16H	UARTA1受信データ・レジスタ	UA1RX	R				FFH
FFFFFFA17H	UARTA1送信データ・レジスタ	UA1TX	R/W			FFH	
FFFFFFA20H	UARTA2制御レジスタ0	UA2CTL0					10H
FFFFFFA21H	UARTA2制御レジスタ1	UA2CTL1					00H
FFFFFFA22H	UARTA2制御レジスタ2	UA2CTL2					FFH
FFFFFFA23H	UARTA2オプション制御レジスタ0	UA2OPT0					14H



アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFA24H	UARTA2状態レジスタ	UA2STR	R/W				00H
FFFFFFA26H	UARTA2受信データ・レジスタ	UA2RX	R				FFH
FFFFFFA27H	UARTA2送信データ・レジスタ	UA2TX	R/W				FFH
FFFFFFA40H	UARTB制御レジスタ0	UBCTL0					10H
FFFFFFA42H	UARTB制御レジスタ2	UBCTL2					FFFFH
FFFFFFA44H	UARTB状態レジスタ	UBSTR					00H
FFFFFFA46H	UARTB受信データ・レジスタAP	UBRXAP	R				00FFH
FFFFFFA46H	UARTB受信データ・レジスタ	UBRX					FFH
FFFFFFA48H	UARTB送信データ・レジスタ	UBTX	W				FFH
FFFFFFA4AH	UARTBFIFO制御レジスタ0	UBFIC0	R/W				00H
FFFFFFA4BH	UARTBFIFO制御レジスタ1	UBFIC1					00H
FFFFFFA4CH	UARTBFIFO制御レジスタ2	UBFIC2					0000H
FFFFFFA4CH	UARTBFIFO制御レジスタ2L	UBFIC2L					00H
FFFFFFA4DH	UARTBFIFO制御レジスタ2H	UBFIC2H					00H
FFFFFFA4EH	UARTBFIFO状態レジスタ0	UBFIS0	R				00H
FFFFFFA4FH	UARTBFIFO状態レジスタ1	UBFIS1					10H
FFFFFFB00H	TAA3制御レジスタ0	TAA3CTL0	R/W				00H
FFFFFFB01H	TAA3制御レジスタ1	TAA3CTL1					00H
FFFFFFB02H	TAA3I/O制御レジスタ0	TAA3IOC0 <sup>注</sup>					00H
FFFFFFB03H	TAA3I/O制御レジスタ1	TAA3IOC1 <sup>注</sup>					00H
FFFFFFB04H	TAA3I/O制御レジスタ2	TAA3IOC2 <sup>注</sup>					00H
FFFFFFB05H	TAA3オプション・レジスタ0	TAA3OPT0					00H
FFFFFFB06H	TAA3キャプチャ/コンペア・レジスタ0	TAA3CCR0					0000H
FFFFFFB08H	TAA3キャプチャ/コンペア・レジスタ1	TAA3CCR1					0000H
FFFFFFB0AH	TAA3カウンタ・リード・バッファ・レジスタ	TAA3CNT		R			
FFFFFFB20H	TAA4制御レジスタ0	TAA4CTL0	R/W				00H
FFFFFFB21H	TAA4制御レジスタ1	TAA4CTL1					00H
FFFFFFB22H	TAA4I/O制御レジスタ0	TAA4IOC0					00H
FFFFFFB23H	TAA4I/O制御レジスタ1	TAA4IOC1					00H
FFFFFFB24H	TAA4I/O制御レジスタ2	TAA4IOC2					00H
FFFFFFB25H	TAA4オプション・レジスタ0	TAA4OPT0					00H
FFFFFFB26H	TAA4キャプチャ/コンペア・レジスタ0	TAA4CCR0					0000H
FFFFFFB28H	TAA4キャプチャ/コンペア・レジスタ1	TAA4CCR1					0000H
FFFFFFB2AH	TAA4カウンタ・リード・バッファ・レジスタ	TAA4CNT		R			
FFFFFFB40H	デジタル・ノイズ除去1制御レジスタ2	TANFC2	R/W				00H
FFFFFFB42H	デジタル・ノイズ除去1制御レジスタ3	TANFC3 <sup>注</sup>					00H
FFFFFFB44H	デジタル・ノイズ除去1制御レジスタ4	TANFC4					00H
FFFFFFB80H	A/Dコンバータ2モード・レジスタ0	AD2M0					00H

注 V850E/IG3のみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFB81H	A/Dコンバータ2モード・レジスタ1	AD2M1	R/W				00H
FFFFFB82H	A/Dコンバータ2チャンネル指定レジスタ	AD2S					00H
FFFFFB90H	A/D2変換結果レジスタ0	AD2CR0	R				0000H
FFFFFB91H	A/D2変換結果レジスタ0H	AD2CR0H					00H
FFFFFB92H	A/D2変換結果レジスタ1	AD2CR1					0000H
FFFFFB93H	A/D2変換結果レジスタ1H	AD2CR1H					00H
FFFFFB94H	A/D2変換結果レジスタ2	AD2CR2					0000H
FFFFFB95H	A/D2変換結果レジスタ2H	AD2CR2H					00H
FFFFFB96H	A/D2変換結果レジスタ3	AD2CR3					0000H
FFFFFB97H	A/D2変換結果レジスタ3H	AD2CR3H					00H
FFFFFB98H	A/D2変換結果レジスタ4	AD2CR4 <sup>注</sup>					0000H
FFFFFB99H	A/D2変換結果レジスタ4H	AD2CR4H <sup>注</sup>					00H
FFFFFB9AH	A/D2変換結果レジスタ5	AD2CR5 <sup>注</sup>					0000H
FFFFFB9BH	A/D2変換結果レジスタ5H	AD2CR5H <sup>注</sup>					00H
FFFFFB9CH	A/D2変換結果レジスタ6	AD2CR6 <sup>注</sup>					0000H
FFFFFB9DH	A/D2変換結果レジスタ6H	AD2CR6H <sup>注</sup>					00H
FFFFFB9EH	A/D2変換結果レジスタ7	AD2CR7 <sup>注</sup>					0000H
FFFFFB9FH	A/D2変換結果レジスタ7H	AD2CR7H <sup>注</sup>					00H
FFFFFB0H	ポート7レジスタ	P7	R				不定
FFFFFB8H	ポート7モード・コントロール・レジスタ	PMC7	R/W				00H
FFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0					00H
FFFFC02H	外部割り込み立ち下がりエッジ指定レジスタ1	INTF1				00H	
FFFFC04H	外部割り込み立ち下がりエッジ指定レジスタ2	INTF2				00H	
FFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0				00H	
FFFFC22H	外部割り込み立ち上がりエッジ指定レジスタ1	INTR1				00H	
FFFFC24H	外部割り込み立ち上がりエッジ指定レジスタ2	INTR2				00H	
FFFFC40H	プルアップ抵抗オプション・レジスタ0	PU0				00H	
FFFFC42H	プルアップ抵抗オプション・レジスタ1	PU1				00H	
FFFFC44H	プルアップ抵抗オプション・レジスタ2	PU2				00H	
FFFFC46H	プルアップ抵抗オプション・レジスタ3	PU3				00H	
FFFFC48H	プルアップ抵抗オプション・レジスタ4	PU4				00H	
FFFFC66H	ポート3ファンクション・レジスタ	PF3				00H	
FFFFD00H	CSIB0制御レジスタ0	CB0CTL0				01H	
FFFFD01H	CSIB0制御レジスタ1	CB0CTL1				00H	
FFFFD02H	CSIB0制御レジスタ2	CB0CTL2				00H	
FFFFD03H	CSIB0状態レジスタ	CB0STR				00H	
FFFFD04H	CSIB0受信データ・レジスタ	CB0RX	R				0000H
FFFFD04H	CSIB0受信データ・レジスタL	CB0RXL					00H

注 V850E/IG3のみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFD06H	CSIB0送信データ・レジスタ	CB0TX	R/W				0000H
FFFFFD06H	CSIB0送信データ・レジスタL	CB0TXL					00H
FFFFFD10H	CSIB1制御レジスタ0	CB1CTL0					01H
FFFFFD11H	CSIB1制御レジスタ1	CB1CTL1					00H
FFFFFD12H	CSIB1制御レジスタ2	CB1CTL2					00H
FFFFFD13H	CSIB1状態レジスタ	CB1STR					00H
FFFFFD14H	CSIB1受信データ・レジスタ	CB1RX		R			
FFFFFD14H	CSIB1受信データ・レジスタL	CB1RXL					00H
FFFFFD16H	CSIB1送信データ・レジスタ	CB1TX	R/W				0000H
FFFFFD16H	CSIB1送信データ・レジスタL	CB1TXL					00H
FFFFFD20H	CSIB2制御レジスタ0	CB2CTL0					01H
FFFFFD21H	CSIB2制御レジスタ1	CB2CTL1					00H
FFFFFD22H	CSIB2制御レジスタ2	CB2CTL2					00H
FFFFFD23H	CSIB2状態レジスタ	CB2STR					00H
FFFFFD24H	CSIB2受信データ・レジスタ	CB2RX		R			
FFFFFD24H	CSIB2受信データ・レジスタL	CB2RXL					00H
FFFFFD26H	CSIB2送信データ・レジスタ	CB2TX	R/W				0000H
FFFFFD26H	CSIB2送信データ・レジスタL	CB2TXL					00H
FFFFFD80H	IICシフト・レジスタ0	IIC0					00H
FFFFFD82H	IICコントロール・レジスタ0	IICC0					00H
FFFFFD83H	スレーブ・アドレス・レジスタ0	SVA0					00H
FFFFFD84H	IICクロック選択レジスタ0	IICCL0					00H
FFFFFD85H	IIC機能拡張レジスタ0	IICX0					00H
FFFFFD86H	IIC状態レジスタ0	IICCS0	R				00H
FFFFFD8AH	IICフラグ・レジスタ0	IICF0	R/W				00H
FFFFFD90H	IICOPSクロック選択レジスタ	IICOCKS					00H
FFFFFF44H	ブルアップ抵抗オプション・レジスタDL	PUDL					0000H
FFFFFF44H	ブルアップ抵抗オプション・レジスタDLL	PUDLL				00H	
FFFFFF45H	ブルアップ抵抗オプション・レジスタDLH	PUDLH				00H	

### 3.4.8 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850E/IF3, V850E/IG3には次の5つの特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・リセット要因フラグ・レジスタ (RESF)
- ・クロック・モニタ・モード・レジスタ (CLM)
- ・低電圧検出レジスタ (LVIM)

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、コマンド・レジスタ (PRCMD) があり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はシステム・ステータス・レジスタ (SYS) に報告されます。

**(1) 特定レジスタへのデータ設定**

特定レジスタへのデータ設定は次のシーケンスで行います。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

コマンド・レジスタに で用意したデータを書き込む。

特定レジスタに設定データを書き込む（次の命令で行う）。

- ・ストア命令（ST/SST命令）
- ・ビット操作命令（SET1/CLR1/NOT1命令）

（ - NOP命令を挿入する（5命令）。）<sup>注</sup>

[記述例] PSCレジスタの場合（スタンバイ・モードの設定）

```
ST.B r11, PSMR [ r0 ] ;PSMRレジスタ設定 (IDLE, STOPモードの設定)
```

```
MOV 0x02, r10
```

```
ST.B r10, PRCMD [ r0 ] ;PRCMDレジスタ書き込み
```

```
ST.B r10, PSC [ r0 ] ;PSCレジスタ設定
```

```
NOP注 ;ダミー命令
```

```
NOP注 ;ダミー命令
```

```
NOP注 ;ダミー命令
```

```
NOP注 ;ダミー命令
```

```
NOP注 ;ダミー命令
```

(next instruction)

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

**注** IDLE, STOPモードに移行する場合（PSC.STBビット = 1）には、直後にNOP命令を5命令以上挿入する必要があります。

**注意1.** コマンド・レジスタに対するストア命令では、割り込みを受け付けません。これはプログラムで上記 `MOV` を連続したストア命令で行うことを前提としているためです。 `MOV` の間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となります。

2. コマンド・レジスタへ書き込むデータはダミーですが、ストア命令により特定レジスタへの設定（例 `ST.B`）で使用する汎用レジスタと同じレジスタをコマンド・レジスタ書き込み（例 `MOV`）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。また、ビット操作命令により特定レジスタへの設定（例 `CLR1`）の場合の例を次に示します。

```
CLR1 4, RESF[r0]
```

3. この処理を行う前に、すべてのDMA転送を終了させてください。

## (2) コマンド・レジスタ (PRCMD)

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタへの書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

特定レジスタへの不正な書き込み動作の発生は、SYS.PRERRビットでチェックできます。

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセットにより不定になります。

リセット時：不定    W    アドレス：FFFFFF1FCH

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

## (3) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。

PRCMDレジスタへのアクセスを含む正しいシーケンスで書き込みをしなかった場合に、対象レジスタへの書き込みが行なわれず、プロテクション・エラーが発生し、PRERRフラグがセットされます。CPUからの命令により“0”をライトすることでクリアされます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF802H							
	7	6	5	4	3	2	1	①								
SYS	0	0	0	0	0	0	0	PRERR								
	PRERR								プロテクション・エラーの検出							
	0								プロテクション・エラーは発生していない							
	1								プロテクション・エラーが発生している							

PRERRフラグの動作条件を次に示します。

## (a) セット条件 (PRERRフラグ = 1)

- ・PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき (3.4.8(1) 特定レジスタへのデータ設定で示す を行わずに を行なったとき)。
- ・PRCMDレジスタへの書き込み動作後、特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作(ビット操作命令を含む)を行なったとき (3.4.8(1) 特定レジスタへのデータ設定で示す が特定レジスタでなかったとき)。

**備考** 特定レジスタは、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作(ビット操作命令を除く)など(内蔵RAMへのアクセスなど)を行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

## (b) クリア条件 (PRERRフラグ = 0)

- (i) SYS.PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意1.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYS.PRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります(ライト優先)。
- 2.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

### 3.4.9 システム・ウエイト・コントロール・レジスタ (VSWC)

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウエイトを制御するレジスタです。

V850E1 CPUコアの内蔵周辺I/Oレジスタへのアクセスは基本的に3クロックですが、V850E/IF3、V850E/IG3ではその3クロックに加えてVSWCレジスタで設定したウエイトが必要です。VSWCには13H (ウエイトを4クロック設定) を設定してください。

8ビット単位でリード/ライト可能です (アドレス : FFFFF06EH, 初期値 : 77H)。

CPUクロック周波数 (f <sub>CPU</sub> )	VSWCの設定値
500 kHz f <sub>CPU</sub> 64 MHz	13H

**注意** V850E/IF3, V850E/IG3を使用する際には、必ず最初にVSWCレジスタを設定してください。

VSWCレジスタを設定後、必要に応じてその他の各レジスタを設定してください。

**備考** 内蔵周辺機能の状態を示すステータス・フラグを含んだレジスタ (UAnSTRなど) やタイマのカウンタ値を示すレジスタ (TAAncNTなど) などへのアクセスにおいてフラグやカウンタ値の変化タイミングとレジスタ・アクセス・タイミングが重なった場合、レジスタ・アクセスへのリトライ動作が発生します。このため、通常より内蔵周辺I/Oレジスタへのアクセスに時間がかかる場合があります。



## 第4章 ポート機能

### 4.1 特 徴

#### 4.1.1 V850E/IF3

入力専用ポート : 4本

入出力ポート : 44本

1ビット単位で入力データのリード/出力データのライトが可能

1ビット単位で内蔵プルアップ抵抗の接続指定が可能 (ポート0-4, DLのみ)

ただし, ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合に内蔵プルアップ抵抗の接続が可能です。さらに, 兼用機能時に出力端子であるTOB0T1-TOB0T3, TOB0B1-TOB0B3, TOA21端子は, TOB0OFF, TOA2OFF, TOB1OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合に, 内蔵プルアップ抵抗の接続が可能です。

#### 4.1.2 V850E/IG3

入力専用ポート : 8本

入出力ポート : 56本

1ビット単位で入力データのリード/出力データのライトが可能

1ビット単位で内蔵プルアップ抵抗の接続指定が可能 (ポート0-4, DLのみ)

ただし, ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合に内蔵プルアップ抵抗の接続が可能です。さらに, 兼用機能時に出力端子であるTOB0T1-TOB0T3, TOB0B1-TOB0B3, TOA21, TOB1T1-TOB1T3, TOB1B1-TOB1B3, TOA31端子は, TOB0OFF, TOA2OFF, TOB1OFF, TOA3OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合に, 内蔵プルアップ抵抗の接続が可能です。

## 4.2 ポートの基本構成

### 4.2.1 V850E/IF3

V850E/IF3は、ポート0-4, 7, DLの合計48本の入力/出力ポート(うち4本は入力専用ポート)を内蔵しています。ポートの構成を図4-1に示します。

端子の入出力バッファ電源には、 $AV_{DD2}$ と $EV_{DD0}$ ,  $EV_{DD1}$ の2系統があります。それぞれの電源と端子の関係を表4-1に示します。

図4-1 ポートの構成図 (V850E/IF3)

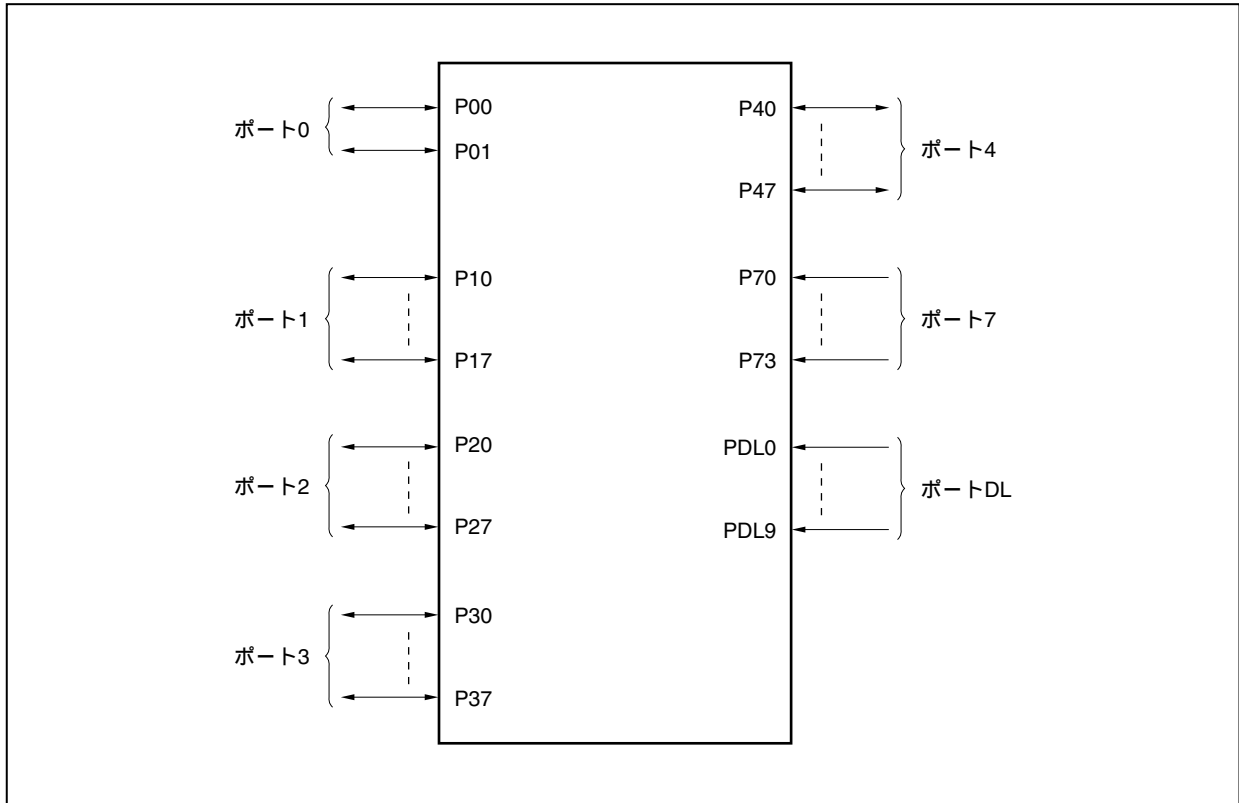


表4-1 各端子の入出力バッファ電源 (V850E/IF3)

電源	対応する端子
$AV_{DD2}$	P70-P73
$EV_{DD0}$ , $EV_{DD1}$	P00, P01, P10-P17, P20-P27, P30-P37, P40-P47, PDL0-PDL9, RESET

### 4.2.2 V850E/IG3

V850E/IG3は、ポート0-4, 7, DLの合計64本の入力/出力ポート（うち8本は入力専用ポート）を内蔵しています。ポートの構成を図4 - 2に示します。

端子の入出力バッファ電源には、 $AV_{DD2}$ と $EV_{DD0}$ ,  $EV_{DD1}$ ,  $EV_{DD2}$ の2系統があります。それぞれの電源と端子の関係を表4 - 2に示します。

図4 - 2 ポートの構成図 (V850E/IG3)

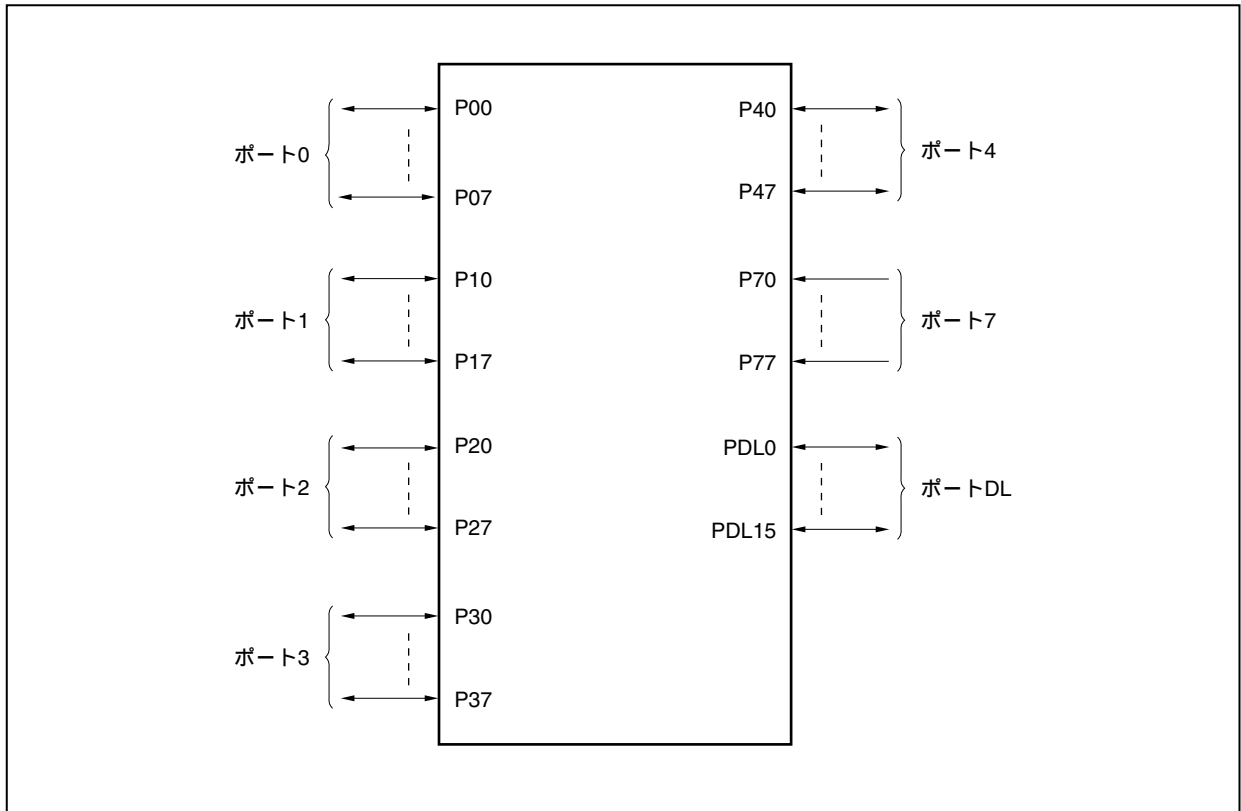


表4 - 2 各端子の入出力バッファ電源 (V850E/IG3)

電源	対応する端子
$AV_{DD2}$	P70-P77
$EV_{DD0}$ , $EV_{DD1}$ , $EV_{DD2}$	P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, PDL0-PDL15, RESET, DCK, DDI, DDO, DMS, DRST

## 4.3 ポートの構成

表4 - 3 ポートの構成 (V850E/IF3)

項 目	構 成
制御レジスタ	ポートnレジスタ (Pn : n = 0-4, 7, DL) ポートnモード・レジスタ (PMn : n = 0-4, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0-4, 7, DL) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0-4) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 0-4) プルアップ抵抗オプション・レジスタ (PUn : n = 0-4, DL) ポート3ファンクション・レジスタ (PF3)
ポート	入力専用 : 4本, 入出力 : 44本
プルアップ抵抗	ソフトウェア制御 : 44本

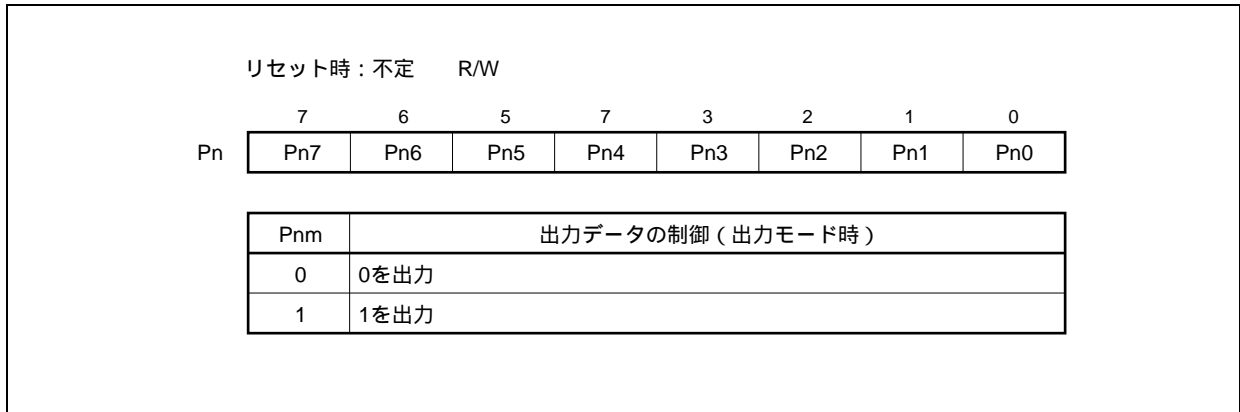
表4 - 4 ポートの構成 (V850E/IG3)

項 目	構 成
制御レジスタ	ポートnレジスタ (Pn : n = 0-4, 7, DL) ポートnモード・レジスタ (PMn : n = 0-4, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0-4, 7, DL) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0-4) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 0-4) プルアップ抵抗オプション・レジスタ (PUn : n = 0-4, DL) ポート3ファンクション・レジスタ (PF3)
ポート	入力専用 : 8本, 入出力 : 56本
プルアップ抵抗	ソフトウェア制御 : 56本

(1) ポートnレジスタ (Pn)

外部とのデータ入出力は、Pnレジスタへの書き込み、および読み出しによって行います。Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位でリード/ライト可能です。



PMcnレジスタの設定によらず、Pnレジスタへの書き込みや読み出しは次のようになります。

表4 - 5 Pnレジスタへの書き込み / 読み出しについて

PMnレジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
出力モード (PMnm = 0)	出力ラッチに対して書き込みます <sup>注1</sup> 。 ポート・モード (PMcn = 0) の場合、出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します <sup>注2</sup> 。
入力モード (PMnm = 1)	出力ラッチに対して書き込みます。 端子の状態には影響ありません <sup>注1</sup> 。	端子状態を読み出します <sup>注3</sup> 。

- 注1. 出力ラッチに書き込まれた値は、再度出力ラッチに値を書き込まれるまで保持されます。
2. 兼用機能時に、PMnレジスタが出力モードの場合もPnレジスタの値を読み出します。
3. 兼用機能時に、PMnレジスタが入力モードの場合、兼用機能が入力か出力かにかかわらず、そのときの端子状態を読み出します。

(2) ポートnモード・レジスタ (PMn)

ポートの入力モード/出力モードを指定します。

PMnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: FFH    R/W								
	7	6	5	4	3	2	1	0
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
PMnm	入出力モードの制御							
0	出力モード							
1	入力モード							

(3) ポートnモード・コントロール・レジスタ (PMcn)

ポート・モード/兼用機能を指定します。

PMcnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: 00H    R/W								
	7	6	5	4	3	2	1	0
PMcn	PMcn7	PMcn6	PMcn5	PMcn4	PMcn3	PMcn2	PMcn1	PMcn0
PMcnm	動作モードの指定							
0	ポート・モード							
1	兼用機能							

(4) ポートnファンクション・コントロール・レジスタ (PFCn)

1本の端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCnm	兼用機能の指定
0	兼用機能1
1	兼用機能2

(5) ポートnファンクション・コントロール拡張レジスタ (PFCEn)

1本の端子に兼用機能が3つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCEnm	PFCnm	兼用機能の指定
0	0	兼用機能1
0	1	兼用機能2
1	0	兼用機能3
1	1	兼用機能4

## (6) プルアップ抵抗オプション・レジスタ (PUn)

内蔵プルアップ抵抗の接続を指定するレジスタです。

プルアップ抵抗オプション・レジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

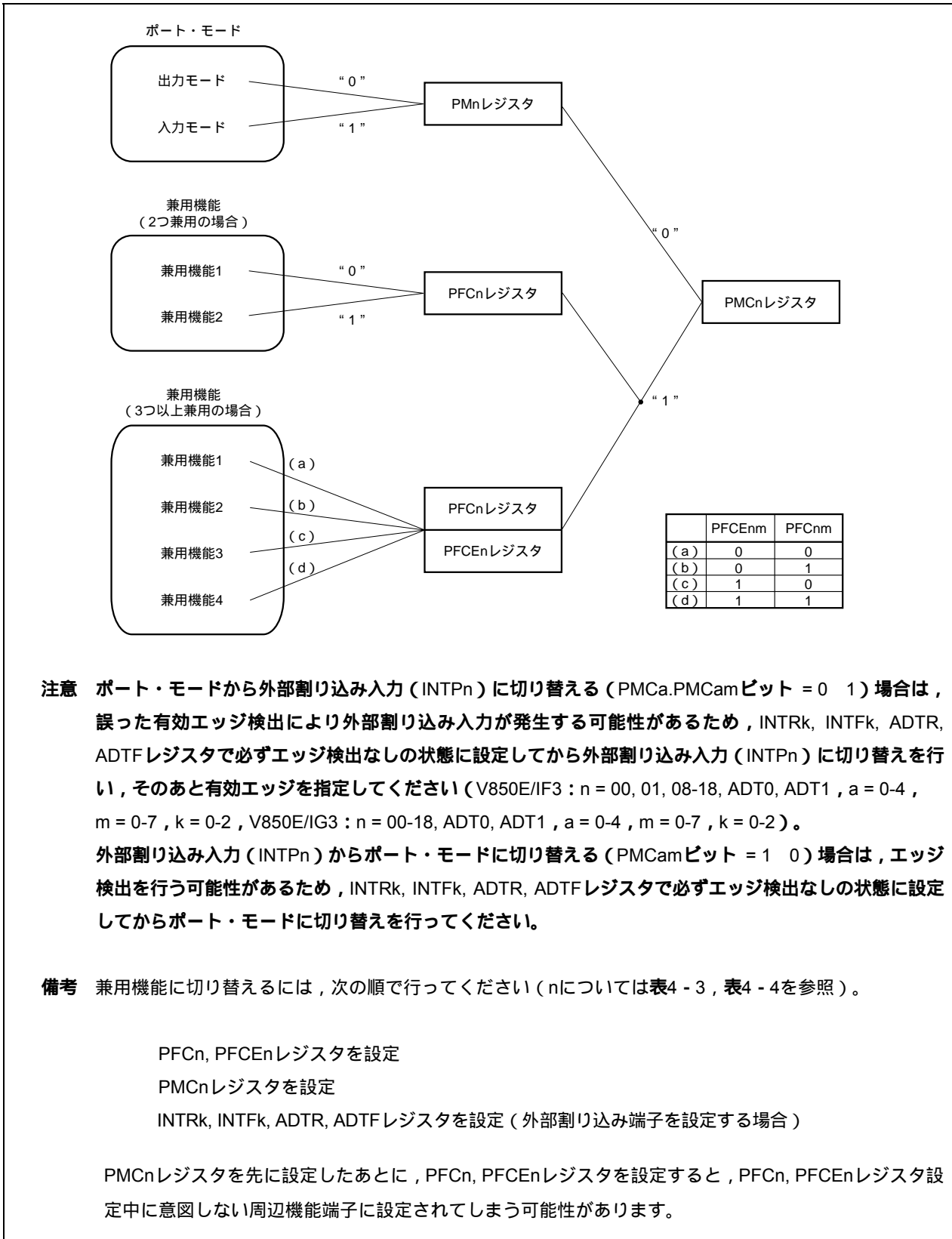
リセット時：00H		R/W						
	7	6	5	4	3	2	1	0
PUn	PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0
PUnm	内蔵プルアップ抵抗接続制御							
0	接続しない							
1	接続する							



(7) ポートの設定

ポートの設定は、次のように設定してください。

図4 - 3 各レジスタの設定と端子の機能



### 4.3.1 ポート0

ポート0は、1ビット単位で入出力を制御できます。

各製品間で入出力ポート数が異なります。

愛称	入出力ポート数
V850E/IF3	2ビット入出力ポート
V850E/IG3	8ビット入出力ポート

ポート0は、次に示す端子と兼用しています。

表4-6 ポート0の兼用端子

端子名	ピン番号				兼用端子名	入出力	ブルアップ <sup>注1</sup>
	IF3		IG3				
	GC	GC	GF	F1			
P00	70	91	19	A6	TOA20/TIA20/TOA2OFF/INTP00	入出力	あり
P01	69	90	18	B6	TOA21/TIA21/INTP01	入出力	
P02 <sup>注2</sup>	-	89	17	C6	TOA30 <sup>注2</sup> /TIA30 <sup>注2</sup> /TOA3OFF <sup>注2</sup> /INTP02 <sup>注2</sup>	入出力	
P03 <sup>注2</sup>	-	88	16	C7	TOA31 <sup>注2</sup> /TIA31 <sup>注2</sup> /INTP03 <sup>注2</sup>	入出力	
P04 <sup>注2</sup>	-	84	12	C8	TECR0 <sup>注2</sup> /TIT00 <sup>注2</sup> /TOT00 <sup>注2</sup> /INTP04 <sup>注2</sup>	入出力	
P05 <sup>注2</sup>	-	83	11	C9	TENC00 <sup>注2</sup> /EVTT0 <sup>注2</sup> /INTP05 <sup>注2</sup>	入力	
P06 <sup>注2</sup>	-	82	10	C10	TENC01 <sup>注2</sup> /TIT01 <sup>注2</sup> /TOT01 <sup>注2</sup> /INTP06 <sup>注2</sup>	入出力	
P07 <sup>注2</sup>	-	63	91	C12	INTP07 <sup>注2</sup> /CLKOUT <sup>注3</sup>	入出力	

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

注1. ソフトウェア・ブルアップ機能

2. V850E/IG3のみ

3.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

注意1. モータ制御用タイマのハイ・インピーダンス出力制御を行う場合は、誤った有効エッジ検出によりモータ制御用タイマ出力をハイ・インピーダンス状態にする可能性があるため、必ず PMC0.PMC0nビット = 1を設定してから、ハイ・インピーダンス出力制御回路のエッジ検出指定と動作許可を行ってください (V850E/IF3 : n = 0, V850E/IG3:n = 0, 2)。

2. P01, P03 (V850E/IG3のみ) を TOA21, TOA31 (V850E/IG3のみ) として使用している場合は、次の信号のアクティブ入力によりハイ・インピーダンスになります。

- ・ハイ・インピーダンス出力制御回路からのハイ・インピーダンス設定信号出力
- ・クロック・モニタからのクロック停止検出信号出力

- 注意3. ポート・モードから外部割り込み入力 (INTP0n) に切り替える (PMC0.PMC0nビット = 0 1) 場合は、誤った有効エッジ検出により外部割り込み入力が発生する可能性があるため、必ずエッジ検出なしの状態 (INTF0.INTF0nビット = 0, INTR0.INTR0nビット = 0) に設定してから外部割り込み入力 (INTP0n) に切り替えを行い、そのあと有効エッジを指定してください (V850E/IF3 : n = 0, 1, V850E/IG3 : n = 0-7)。
- 外部割り込み入力 (INTP0n) からポート・モードに切り替える (PMC0nビット = 1 0) 場合は、エッジ検出を行う可能性があるため、必ずエッジ検出なしの状態 (INTF0nビット = 0, INTR0nビット = 0) に設定してからポート・モードに切り替えを行ってください。
4. 外部割り込み機能およびモータ出力制御機能のハイ・インピーダンス出力制御を行う場合は、PMC0nビットをセット (1) してください (V850E/IF3 : n = 0, 1, V850E/IG3 : n = 0-7)。

(1) レジスタ

(a) ポート0レジスタ (P0)

リセット時：不定 R/W アドレス：FFFFFF400H

	7	6	5	4	3	2	1	0
P0	P07 <sup>注</sup>	P06 <sup>注</sup>	P05 <sup>注</sup>	P04 <sup>注</sup>	P03 <sup>注</sup>	P02 <sup>注</sup>	P01	P00

PM0n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

**注** V850E/IG3のみ有効です。  
V850E/IF3では、リード時は不定です。

**備考** V850E/IF3 : n = 0, 1  
V850E/IG3 : n = 0-7

(b) ポート0モード・レジスタ (PM0)

リセット時：FFH R/W アドレス：FFFFFF420H

	7	6	5	4	3	2	1	0
PM0	PM07 <sup>注</sup>	PM06 <sup>注</sup>	PM05 <sup>注</sup>	PM04 <sup>注</sup>	PM03 <sup>注</sup>	PM02 <sup>注</sup>	PM01	PM00

PM0n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

**注** V850E/IG3のみ有効です。  
V850E/IF3では必ず1を設定してください。

**備考** V850E/IF3 : n = 0, 1  
V850E/IG3 : n = 0-7

(c) ポート0モード・コントロール・レジスタ (PMC0)

リセット時：00H R/W アドレス：FFFFFF440H

	7	6	5	4	3	2	1	0
PMC0	PMC07 <sup>注1</sup>	PMC06 <sup>注1</sup>	PMC05 <sup>注1</sup>	PMC04 <sup>注1</sup>	PMC03 <sup>注1</sup>	PMC02 <sup>注1</sup>	PMC01	PMC00

PMC07 <sup>注1</sup>	P07端子の動作モードの指定
0	入出力ポート
1	INTP07入力 <sup>注2</sup> / CLKOUT出力 <sup>注3</sup>

PMC06 <sup>注1</sup>	P06端子の動作モードの指定
0	入出力ポート
1	TENC01入力 <sup>注2</sup> / TIT01入力 <sup>注2</sup> / TOT01出力 <sup>注2</sup> / INTP06入力 <sup>注1</sup>

PMC05 <sup>注1</sup>	P05端子の動作モードの指定
0	入出力ポート
1	TENC00入力 <sup>注2</sup> / EVTT0入力 <sup>注2</sup> / INTP05入力 <sup>注2</sup>

PMC04 <sup>注1</sup>	P04端子の動作モードの指定
0	入出力ポート
1	TECR0入力 <sup>注2</sup> / TIT00入力 <sup>注2</sup> / TOT00出力 <sup>注2</sup> / INTP04入力 <sup>注2</sup>

PMC03 <sup>注1</sup>	P03端子の動作モードの指定
0	入出力ポート
1	TOA31出力 <sup>注2</sup> / TIA31入力 <sup>注2</sup> / INTP03入力 <sup>注2</sup>

PMC02 <sup>注1</sup>	P02端子の動作モードの指定
0	入出力ポート
1	TOA30出力 <sup>注2</sup> / TIA30入力 <sup>注2</sup> / TOA3OFF入力 <sup>注2</sup> / INTP02入力 <sup>注2</sup>

PMC01	P01端子の動作モードの指定
0	入出力ポート
1	TOA21出力 / TIA21入力 / INTP01入力

PMC00	P00端子の動作モードの指定
0	入出力ポート
1	TOA20出力 / TIA20入力 / TOA2OFF入力 / INTP00入力

- 注1. V850E/IG3のみ有効です。  
 V850E/IF3では必ず0を設定してください。
2. V850E/IG3のみ
3.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

(d) ポート0ファンクション・コントロール・レジスタ (PFC0)

リセット時：00H R/W アドレス：FFFFFF460H

	7	6	5	4	3	2	1	0
PFC0	PFC07 <sup>注</sup>	PFC06 <sup>注</sup>	PFC05 <sup>注</sup>	PFC04 <sup>注</sup>	PFC03 <sup>注</sup>	PFC02 <sup>注</sup>	PFC01	PFC00

**注** V850E/IG3のみ有効です。

V850E/IF3では必ず0を設定してください。

**備考** 兼用機能の指定については、4.3.1(1)(f) **ポート0の兼用機能の設定**を参照してください。

(e) ポート0ファンクション・コントロール拡張レジスタ (PFCE0)

リセット時：00H R/W アドレス：FFFFFF700H

	7	6	5	4	3	2	1	0
PFCE0	0	PFCE06 <sup>注</sup>	PFCE05 <sup>注</sup>	PFCE04 <sup>注</sup>	PFCE03 <sup>注</sup>	PFCE02 <sup>注</sup>	PFCE01	PFCE00

**注** V850E/IG3のみ有効です。

V850E/IF3では必ず0を設定してください。

**備考** 兼用機能の指定については、4.3.1(1)(f) **ポート0の兼用機能の設定**を参照してください。

## (f) ポート0の兼用機能の設定

PFCE07 <sup>注1</sup>	P07 <sup>注1</sup> 端子の兼用機能の指定	
0	INTP07入力 <sup>注1</sup>	
1	CLKOUT出力 <sup>注2</sup>	

PFCE06 <sup>注1</sup>	PFC06 <sup>注1</sup>	P06 <sup>注1</sup> 端子の兼用機能の指定
0	0	TENC01入力 <sup>注1</sup> / TIT01入力 <sup>注1</sup> (2つの機能を兼用)
0	1	TOT01出力 <sup>注1</sup>
1	0	INTP06入力 <sup>注1</sup>
1	1	設定禁止

PFCE05 <sup>注1</sup>	PFC05 <sup>注1</sup>	P05 <sup>注1</sup> 端子の兼用機能の指定
0	0	TENC00入力 <sup>注1</sup>
0	1	EVTT0入力 <sup>注1</sup>
1	0	INTP05入力 <sup>注1</sup>
1	1	設定禁止

PFCE04 <sup>注1</sup>	PFC04 <sup>注1</sup>	P04 <sup>注1</sup> 端子の兼用機能の指定
0	0	TECR0入力 <sup>注1</sup> / TIT00入力 <sup>注1</sup> (2つの機能を兼用)
0	1	TOT00出力 <sup>注1</sup>
1	0	INTP04入力 <sup>注1</sup>
1	1	設定禁止

PFCE03 <sup>注1</sup>	PFC03 <sup>注1</sup>	P03 <sup>注1</sup> 端子の兼用機能の指定
0	0	TOA31出力 <sup>注1</sup>
0	1	TIA31入力 <sup>注1</sup>
1	0	INTP03入力 <sup>注1</sup>
1	1	設定禁止

PFCE02 <sup>注1</sup>	PFC02 <sup>注1</sup>	P02 <sup>注1</sup> 端子の兼用機能の指定
0	0	TOA30出力 <sup>注1</sup>
0	1	TIA30入力 <sup>注1</sup>
1	0	TOA30OFF入力 <sup>注1</sup> / INTP02入力 <sup>注1</sup> (2つの機能を兼用)
1	1	設定禁止

PFCE01	PFC01	P01端子の兼用機能の指定
0	0	TOA21出力
0	1	TIA21入力
1	0	INTP01入力
1	1	設定禁止

注1. V850E/IG3のみ

2.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

PFCE00	PFC00	P00端子の兼用機能の指定
0	0	TOA20出力
0	1	TIA20入力
1	0	TOA2OFF入力 / INTP00入力
1	1	設定禁止

(g) プルアップ抵抗オプション・レジスタ0 (PU0)

リセット時 : 00H R/W アドレス : FFFFFFFC40H

	7	6	5	4	3	2	1	0
PU0	PU07 <sup>注1</sup>	PU06 <sup>注1</sup>	PU05 <sup>注1</sup>	PU04 <sup>注1</sup>	PU03 <sup>注1</sup>	PU02 <sup>注1</sup>	PU01	PU00

PU0n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する <sup>注2</sup>

注1. V850E/IG3のみ有効です。

V850E/IF3では必ず0を設定してください。

- 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合、および兼用機能時に出力端子であるTOA21, TOA31 (V850E/IG3のみ) 端子がTOA2OFF, TOA3OFF (V850E/IG3のみ) 端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合のみです。端子が出力状態のときは接続できません。

備考 V850E/IF3 : n = 0, 1

V850E/IG3 : n = 0-7



### 4.3.2 ポート1

ポート1は、1ビット単位で入出力を制御できます。

ポート1は、次に示す端子と兼用しています。

表4-7 ポート1の兼用端子

端子名	ピン番号				兼用端子名	入出力	ブルアップ <sup>注1</sup>
	IF3		IG4				
	GC	GC	GF	F1			
P10	78	99	27	B3	TOB0T1/TIB01/TOB01/A0 <sup>注2</sup>	入出力	あり
P11	77	98	26	C3	TOB0B1/TIB02/TOB02/A1 <sup>注2</sup>	入出力	
P12	76	97	25	A4	TOB0T2/TIB03/TOB03/A2 <sup>注2</sup>	入出力	
P13	75	96	24	B4	TOB0B2/TIB00/A3 <sup>注2</sup>	入出力	
P14	74	95	23	C4	TOB0T3/EVTB0/A4 <sup>注2</sup>	入出力	
P15	73	94	22	A5	TOB0B3/TRGB0/A5 <sup>注2</sup>	入出力	
P16	72	93	21	B5	TOB0OFF/INTP08/ADTRG0/INTADT0/A6 <sup>注2</sup>	入出力	
P17	71	92	20	C5	TOB00/INTP09/A7 <sup>注2</sup>	入出力	

注1. ソフトウェア・ブルアップ機能

2.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-A

**注意** P10-P15をTOB0T1-TOB0T3, TOB0B1-TOB0B3として使用している場合は、次の信号のアクティブ入力によりハイ・インピーダンスになります。

- ・ハイ・インピーダンス出力制御回路からのハイ・インピーダンス設定信号出力
- ・クロック・モニタからのクロック停止検出信号出力

**備考** IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

(1) レジスタ

(a) ポート1レジスタ (P1)

リセット時：不定 R/W アドレス：FFFFFF402H

	7	6	5	4	3	2	1	0
P1	P17	P16	P15	P14	P13	P12	P11	P10

P1n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

備考 n = 0-7

(b) ポート1モード・レジスタ (PM1)

リセット時：FFH R/W アドレス：FFFFFF422H

	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

備考 n = 0-7

(c) ポート1モード・コントロール・レジスタ (PMC1)

リセット時：00H R/W アドレス：FFFFFF442H

	7	6	5	4	3	2	1	0
PMC1	PMC17	PMC16	PMC15	PMC14	PMC13	PMC12	PMC11	PMC10
	P17端子の動作モードの指定							
	0	入出力ポート						
	1	TOB00出力 / INTP09入力 / A7出力 <sup>注</sup>						
	P16端子の動作モードの指定							
	0	入出力ポート						
	1	TOB00FF入力 / INTP08入力 / ADTRG0入力 / INTADT0入力 / A6出力 <sup>注</sup>						
	P15端子の動作モードの指定							
	0	入出力ポート						
	1	TOB0B3出力 / TRGB0入力 / A5出力 <sup>注</sup>						
	P14端子の動作モードの指定							
	0	入出力ポート						
	1	TOB0T3出力 / EVTB0入力 / A4出力 <sup>注</sup>						
	P13端子の動作モードの指定							
	0	入出力ポート						
	1	TOB0B2出力 / TIB00入力 / A3出力 <sup>注</sup>						
	P12端子の動作モードの指定							
	0	入出力ポート						
	1	TOB0T2出力 / TIB03入力 / TOB03出力 / A2出力 <sup>注</sup>						
	P11端子の動作モードの指定							
	0	入出力ポート						
	1	TOB0B1出力 / TIB02入力 / TOB02出力 / A1出力 <sup>注</sup>						
	P10端子の動作モードの指定							
	0	入出力ポート						
	1	TOB0T1出力 / TIB01入力 / TOB01出力 / A0出力 <sup>注</sup>						

注  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

(d) ポート1ファンクション・コントロール・レジスタ (PFC1)

リセット時：00H R/W アドレス：FFFFFF462H

	7	6	5	4	3	2	1	0
PFC1	PFC17	PFC16	PFC15	PFC14	PFC13	PFC12	PFC11	PFC10

**備考** 兼用機能の指定については、4.3.2(1)(f) ポート1の兼用機能の設定を参照してください。

(e) ポート1ファンクション・コントロール拡張レジスタ (PFCE1)

リセット時：00H R/W アドレス：FFFFFF702H

	7	6	5	4	3	2	1	0
PFCE1	PFCE17	PFCE16	PFCE15	PFCE14	PFCE13	PFCE12	PFCE11	PFCE10

**備考** 兼用機能の指定については、4.3.2(1)(f) ポート1の兼用機能の設定を参照してください。

## (f) ポート1の兼用機能の設定

PFCE17	PFC17	P17端子の兼用機能の指定
0	0	TOB00出力
0	1	INTP09入力
1	0	A7出力 <sup>注</sup>
1	1	設定禁止

PFCE16	PFC16	P16端子の兼用機能の指定
0	0	TOB0OFF入力 / INTP08入力 (2つの機能を兼用)
0	1	ADTRG0入力 / INTADT0入力 (2つの機能を兼用)
1	0	A6出力 <sup>注</sup>
1	1	設定禁止

PFCE15	PFC15	P15端子の兼用機能の指定
0	0	TOB0B3出力
0	1	TRGB0入力
1	0	A5出力 <sup>注</sup>
1	1	設定禁止

PFCE14	PFC14	P14端子の兼用機能の指定
0	0	TOB0T3出力
0	1	EVTB0入力
1	0	A4出力 <sup>注</sup>
1	1	設定禁止

PFCE13	PFC13	P13端子の兼用機能の指定
0	0	TOB0B2出力
0	1	TIB00入力
1	0	A3出力 <sup>注</sup>
1	1	設定禁止

PFCE12	PFC12	P12端子の兼用機能の指定
0	0	TOB0T2出力
0	1	TIB03入力
1	0	TOB03出力
1	1	A2出力 <sup>注</sup>

注  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

PFCE11	PFC11	P11端子の兼用機能の指定
0	0	TOB0B1出力
0	1	TIB02入力
1	0	TOB02出力
1	1	A1出力 <sup>注</sup>

PFCE10	PFC10	P10端子の兼用機能の指定
0	0	TOB0T1出力
0	1	TIB01入力
1	0	TOB01出力
1	1	A0出力 <sup>注</sup>

注  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

## (g) プルアップ抵抗オプション・レジスタ1 (PU1)

リセット時：00H R/W アドレス：FFFFFFC42H

	7	6	5	4	3	2	1	0
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10

PU1n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する <sup>注</sup>

**注** 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合、および兼用機能時に出力端子であるTOB0T1-TOB0T3、TOB0B1-TOB0B3端子がTOB0OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合のみです。端子が出力状態のときは接続できません。

**備考** n = 0-7

## 4.3.3 ポート2

ポート2は、1ビット単位で入出力を制御できます。

ポート2は、次に示す端子と兼用しています。

表4-8 ポート2の兼用端子

端子名	ピン番号				兼用端子名	入出力	ブルアップ <sup>注1</sup>
	IF3		IG4				
	GC	GC	GF	F1			
P20	23	28	56	P3	TOB1T1/TIB11/TOB11	入出力	あり
P21	24	29	57	N3	TOB1B1/TIB12/TOB12	入出力	
P22	25	30	58	P4	TOB1T2/TIB13/TOB13	入出力	
P23	26	31	59	N4	TOB1B2/TIB10	入出力	
P24	27	32	60	M4	TOB1T3/EVTB1	入出力	
P25	28	33	61	M5	TOB1B3/TRGB1	入出力	
P26	29	34	62	M6	TOB10/TOB1OFF/INTP10/ADTRG1/INTADT1	入出力	
P27	36	45	73	M11	DMS <sup>注2,3</sup>	入力	

注1. ソフトウェア・ブルアップ機能

2. V850E/IG3のみ

3. P27端子はオンチップ・デバッグ用の端子を兼用しています。オンチップ・デバッグ機能とポート機能(兼用機能含む)の切り替えは $\overline{\text{DRST}}$ 端子レベルで設定します。次に設定方法を示します。

ポート2の機能	
$\overline{\text{DRST}}$ 端子にロウ・レベル入力	$\overline{\text{DRST}}$ 端子にハイ・レベル入力
P27	DMS

注意 P20-P25をTOB1T1-TOB1T3, TOB1B1-TOB1B3として使用している場合は、次の信号のアクティブ入力によりハイ・インピーダンスになります。

- ・ハイ・インピーダンス出力制御回路からのハイ・インピーダンス設定信号出力
- ・クロック・モニタからのクロック停止検出信号出力

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)



(1) レジスタ

(a) ポート2レジスタ (P2)

リセット時：不定 R/W アドレス：FFFFFF404H

	7	6	5	4	3	2	1	0
P2	P27	P26	P25	P24	P23	P22	P21	P20

P2n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

備考 n = 0-7

(b) ポート2モード・レジスタ (PM2)

リセット時：FFH R/W アドレス：FFFFFF424H

	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

備考 n = 0-7

(c) ポート2モード・コントロール・レジスタ (PMC2)

リセット時：00H R/W アドレス：FFFFFF444H

	7	6	5	4	3	2	1	0
PMC2	0	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20

PMC26	P26端子の動作モードの指定
0	入出力ポート
1	TOB10出力 / TOB1OFF入力 / INTP10入力 / ADTRG1入力 / INTADT1入力

PMC25	P25端子の動作モードの指定
0	入出力ポート
1	TOB1B3出力 / TRGB1入力

PMC24	P24端子の動作モードの指定
0	入出力ポート
1	TOB1T3出力 / EVTB1入力

PMC23	P23端子の動作モードの指定
0	入出力ポート
1	TOB1B2出力 / TIB10入力

PMC22	P22端子の動作モードの指定
0	入出力ポート
1	TOB1T2出力 / TIB13入力 / TOB13出力

PMC21	P21端子の動作モードの指定
0	入出力ポート
1	TOB1B1出力 / TIB12入力 / TOB12出力

PMC20	P20端子の動作モードの指定
0	入出力ポート
1	TOB1T1出力 / TIB11入力 / TOB11出力

(d) ポート2ファンクション・コントロール・レジスタ (PFC2)

リセット時：00H R/W アドレス：FFFFFF464H

	7	6	5	4	3	2	1	0
PFC2	0	PFC26	PFC25	PFC24	PFC23	PFC22	PFC21	PFC20

**備考** 兼用機能の指定については、4.3.3(1)(f) ポート2の兼用機能の設定を参照してください。

(e) ポート2ファンクション・コントロール拡張レジスタ (PFCE2)

リセット時：00H R/W アドレス：FFFFFF704H

	7	6	5	4	3	2	1	0
PFCE2	0	PFCE26	0	0	0	PFCE22	PFCE21	PFCE20

**備考** 兼用機能の指定については、4.3.3(1)(f) ポート2の兼用機能の設定を参照してください。

## (f) ポート2の兼用機能の設定

PFCE26	PFC26	P26端子の兼用機能の指定
0	0	TOB10出力
0	1	TOB1OFF入力 / INTP10入力 (2つの機能を兼用)
1	0	ADTRG1入力 / INTADT1入力 (2つの機能を兼用)
1	1	設定禁止

PFC25	P25端子の兼用機能の指定
0	TOB1B3出力
1	TRGB1入力

PFC24	P24端子の兼用機能の指定
0	TOB1T3出力
1	EVTB1入力

PFC23	P23端子の兼用機能の指定
0	TOB1B2出力
1	TIB10入力

PFCE22	PFC22	P22端子の兼用機能の指定
0	0	TOB1T2出力
0	1	TIB13入力
1	0	TOB13出力
1	1	設定禁止

PFCE21	PFC21	P21端子の兼用機能の指定
0	0	TOB1B1出力
0	1	TIB12入力
1	0	TOB12出力
1	1	設定禁止

PFCE20	PFC20	P20端子の兼用機能の指定
0	0	TOB1T1出力
0	1	TIB11入力
1	0	TOB11出力
1	1	設定禁止

(g) プルアップ抵抗オプション・レジスタ2 (PU2)

リセット時：00H R/W アドレス：FFFFFFC44H

	7	6	5	4	3	2	1	0
PU2	PU27	PU26	PU25	PU24	PU23	PU22	PU21	PU20

PU2n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する <sup>注</sup>

**注** 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合、および兼用機能時に出力端子であるTOB1T1-TOB1T3, TOB1B1-TOB1B3端子がTOB1OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合のみです。端子が出力状態のときは接続できません。

**備考** n = 0-7

## 4.3.4 ポート3

ポート3は、1ビット単位で入出力を制御できます。

ポート3は、次に示す端子と兼用しています。

表4-9 ポート3の兼用端子

端子名	ピン番号				兼用端子名	入出力	ブルアップ <sup>注1</sup>
	IF3		IG3				
	GC	GC	GF	F1			
P30	46	55	83	K13	RXDA1/SCL	入出力	あり
P31	47	56	84	K12	TXDA1/SDA	入出力	
P32	48	57	85	J14	SIB1/RXDA2/ $\overline{\text{CS}}1$ <sup>注2</sup>	入出力	
P33	49	58	86	J13	SOB1/TXDA2	出力	
P34	50	59	87	J12	$\overline{\text{SCKB}}1/\text{INTP}11/\overline{\text{CS}}0$ <sup>注2</sup>	入出力	
P35	51	60	88	H14	SIB2/RXDB	入力	
P36	52	61	89	H13	SOB2/TXDB	出力	
P37	53	62	90	H12	$\overline{\text{SCKB}}2/\text{INTP}12/\text{ASTB}$ <sup>注2</sup>	入出力	

注1. ソフトウェア・ブルアップ機能

2.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

(1) レジスタ

(a) ポート3レジスタ (P3)

リセット時：不定 R/W アドレス：FFFFFF406H

	7	6	5	4	3	2	1	0
P3	P37	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

備考 n = 0-7

(b) ポート3モード・レジスタ (PM3)

リセット時：FFH R/W アドレス：FFFFFF426H

	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

備考 n = 0-7

(c) ポート3モード・コントロール・レジスタ (PMC3)

リセット時：00H R/W アドレス：FFFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
	P37端子の動作モードの指定							
	0	入出力ポート						
	1	SCKB2入出力 / INTP12入力 / ASTB出力 <sup>注</sup>						
	P36端子の動作モードの指定							
	0	入出力ポート						
	1	SOB2出力 / TXDB出力						
	P35端子の動作モードの指定							
	0	入出力ポート						
	1	SIB2入力 / RXDB入力						
	P34端子の動作モードの指定							
	0	入出力ポート						
	1	SCKB1入出力 / INTP11入力 / CS0出力 <sup>注</sup>						
	P33端子の動作モードの指定							
	0	入出力ポート						
	1	SOB1出力 / TXDA2出力						
	P32端子の動作モードの指定							
	0	入出力ポート						
	1	SIB1入力 / RXDA2入力 / CS1出力 <sup>注</sup>						
	P31端子の動作モードの指定							
	0	入出力ポート						
	1	TXDA1出力 / SDA入出力						
	P30端子の動作モードの指定							
	0	入出力ポート						
	1	RXDA1入力 / SCL入出力						

注  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ



(d) ポート3ファンクション・コントロール・レジスタ (PFC3)

リセット時 : 00H R/W アドレス : FFFFF466H

	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

**備考** 兼用機能の指定については、4.3.4(1)(f) **ポート3の兼用機能の設定**を参照してください。

(e) ポート3ファンクション・コントロール拡張レジスタ (PFCE3)

リセット時 : 00H R/W アドレス : FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	PFCE37	PFCE36	PFCE35	PFCE34	0	PFCE32	PFCE31	PFCE30

**備考** 兼用機能の指定については、4.3.4(1)(f) **ポート3の兼用機能の設定**を参照してください。

## (f) ポート3の兼用機能の設定

PFCE37	PFC37	P37端子の兼用機能の指定
0	0	SCKB2入出力
0	1	INTP12入力
1	0	ASTB出力 <sup>注</sup>
1	1	設定禁止

PFCE36	PFC36	P36端子の兼用機能の指定
0	0	SOB2出力
0	1	TXDB出力
1	0	設定禁止
1	1	設定禁止

PFCE35	PFC35	P35端子の兼用機能の指定
0	0	SIB2入力
0	1	RXDB入力
1	0	設定禁止
1	1	設定禁止

PFCE34	PFC34	P34端子の兼用機能の指定
0	0	SCKB1入出力
0	1	INTP11入力
1	0	CS0出力 <sup>注</sup>
1	1	設定禁止

PFC33	P33端子の兼用機能の指定
0	SOB1出力
1	TXDA2出力

PFCE32	PFC32	P32端子の兼用機能の指定
0	0	SIB1入力
0	1	RXDA2入力
1	0	CS1出力 <sup>注</sup>
1	1	設定禁止

PFCE31	PFC31	P31端子の兼用機能の指定
0	0	TXDA1出力
0	1	SDA入出力
1	0	設定禁止
1	1	設定禁止

注  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

PFCE30	PFC30	P30端子の兼用機能の指定
0	0	RXDA1入力
0	1	SCL入出力
1	0	設定禁止
1	1	設定禁止

(g) プルアップ抵抗オプション・レジスタ3 (PU3)

リセット時 : 00H R/W アドレス : FFFFFFFC46H

	7	6	5	4	3	2	1	0
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する <sup>注</sup>

**注** 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合（SCKB1, SCKB2端子のスレーブ・モード時も含む）のみです。端子が出力状態のときは接続できません。

**備考** n = 0-7

(h) ポート3ファンクション・レジスタ (PF3)

リセット時 : 00H R/W アドレス : FFFFFFFC66H

	7	6	5	4	3	2	1	0
PF3	0	0	0	0	0	0	PF31	PF30

PF3n	通常出力 / N-chオープン・ドレイン出力の制御
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力 <sup>注</sup>

**注** I<sup>2</sup>Cを使用する場合は、N-chオープン・ドレイン出力に設定してください。

**備考** n = 0, 1

### 4.3.5 ポート4

ポート4は、1ビット単位で入出力を制御できます。

ポート4は、次に示す端子と兼用しています。

表4 - 10 ポート4の兼用端子

端子名	ピン番号				兼用端子名	入出力	ブルアップ <sup>注1</sup>
	IF3		IG3				
	GC	GC	GF	F1			
P40	38	47	75	P12	SIB0/RXDA0	入力	あり
P41	39	48	76	N12	SOB0/TXDA0/DCK <sup>注2,3</sup>	入出力	
P42	40	49	77	M14	SCKB0/INTP13/DDI <sup>注2,3</sup>	入出力	
P43	41	50	78	M13	TECR1/TIT10/TOT10/INTP14	入出力	
P44	42	51	79	L14	TENC10/EVTT1/INTP15/WAIT <sup>注4</sup>	入力	
P45	43	52	80	L13	TENC11/TIT11/TOT11/INTP16/WR1 <sup>注4</sup>	入出力	
P46	44	53	81	L12	TOA40/TIA40/INTP17/WRO <sup>注4</sup>	入出力	
P47	45	54	82	K14	TOA41/TIA41/INTP18/RD <sup>注4</sup>	入出力	

注1. ソフトウェア・ブルアップ機能

2. V850E/IG3のみ

3. P41, P42端子はオンチップ・デバッグ用の端子を兼用しています。オンチップ・デバッグ機能とポート機能（兼用機能含む）の切り替えはDRST端子レベルで設定します。次に設定方法を示します。

ポート4の機能	
DRST端子にロウ・レベル入力	DRST端子にハイ・レベル入力
P41/SOB0/TXDA0	DCK
P42/SCKB0/INTP13	DDI

4.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

(1) レジスタ

(a) ポート4レジスタ (P4)

リセット時：不定 R/W アドレス：FFFFFF408H

	7	6	5	4	3	2	1	0
P4	P47	P46	P45	P44	P43	P42	P41	P40

P4n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

備考 n = 0-7

(b) ポート4モード・レジスタ (PM4)

リセット時：FFH R/W アドレス：FFFFFF428H

	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

PM4n	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

備考 n = 0-7

(c) ポート4モード・コントロール・レジスタ (PMC4)

リセット時：00H R/W アドレス：FFFFFF448H

	7	6	5	4	3	2	1	0
PMC4	PMC47	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40
	P47端子の動作モードの指定							
	0	入出力ポート						
	1	TOA41出力 / TIA41入力 / INTP18入力 / $\overline{RD}$ 出力 <sup>注1</sup>						
	P46端子の動作モードの指定							
	0	入出力ポート						
	1	TOA40出力 / TIA40入力 / INTP17入力 / $\overline{WR0}$ 出力 <sup>注1</sup>						
	P45端子の動作モードの指定							
	0	入出力ポート						
	1	TENC11入力 / TIT11入力 / TOT11出力 / INTP16入力 / $\overline{WR1}$ 出力 <sup>注1</sup>						
	P44端子の動作モードの指定							
	0	入出力ポート						
	1	TENC10入力 / EVTT1入力 / INTP15入力 / $\overline{WAIT}$ 入力 <sup>注1</sup>						
	P43端子の動作モードの指定							
	0	入出力ポート						
	1	TECR1入力 / TIT10入力 / TOT10出力 / INTP14入力						
	P42端子の動作モードの指定							
	0	入出力ポート						
	1	SCKB0入出力 / INTP13入力 / DDI入力 <sup>注2</sup>						
	P41端子の動作モードの指定							
	0	入出力ポート						
	1	SOB0出力 / TXDA0出力 / DCK入力 <sup>注2</sup>						
	P40端子の動作モードの指定							
	0	入出力ポート						
	1	SIB0入力 / RXDA0入力						

注1.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

2. V850E/IG3のみ

(d) ポート4ファンクション・コントロール・レジスタ (PFC4)

リセット時：00H R/W アドレス：FFFFFF468H

	7	6	5	4	3	2	1	0
PFC4	PFC47	PFC46	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40

**備考** 兼用機能の指定については、4.3.5(1)(f) **ポート4の兼用機能の設定**を参照してください。

(e) ポート4ファンクション・コントロール拡張レジスタ (PFCE4)

リセット時：00H R/W アドレス：FFFFFF708H

	7	6	5	4	3	2	1	0
PFCE4	PFCE47	PFCE46	PFCE45	PFCE44	PFCE43	PFCE42	PFCE41	0

**備考** 兼用機能の指定については、4.3.5(1)(f) **ポート4の兼用機能の設定**を参照してください。

## (f) ポート4の兼用機能の設定

PFCE47	PFC47	P47端子の兼用機能の指定
0	0	TOA41出力
0	1	TIA41入力
1	0	INTP18入力
1	1	$\overline{\text{RD}}$ 出力 <sup>注</sup>

PFCE46	PFC46	P46端子の兼用機能の指定
0	0	TOA40出力
0	1	TIA40入力
1	0	INTP17入力
1	1	$\overline{\text{WR0}}$ 出力 <sup>注</sup>

PFCE45	PFC45	P45端子の兼用機能の指定
0	0	TENC11入力 / TIT11入力 (2つの機能を兼用)
0	1	TOT11出力
1	0	INTP16入力
1	1	$\overline{\text{WR1}}$ 出力 <sup>注</sup>

PFCE44	PFC44	P44端子の兼用機能の指定
0	0	TENC10入力
0	1	EVTT1入力
1	0	INTP15入力
1	1	$\overline{\text{WAIT}}$ 入力 <sup>注</sup>

PFCE43	PFC43	P43端子の兼用機能の指定
0	0	TECR1入力 / TIT10入力 (2つの機能を兼用)
0	1	TOT10出力
1	0	INTP14入力
1	1	設定禁止

PFCE42	PFC42	P42端子の兼用機能の指定
0	0	$\overline{\text{SCKB0}}$ 入出力
0	1	INTP13入力
1	0	設定禁止
1	1	設定禁止

注  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ



PFCE41	PFC41	P41端子の兼用機能の指定
0	0	SOB0出力
0	1	TXDA0出力
1	0	設定禁止
1	1	設定禁止

PFC40	P40端子の兼用機能の指定
0	SIB0入力
1	RXDA0入力

(g) プルアップ抵抗オプション・レジスタ4 (PU4)

リセット時 : 00H R/W アドレス : FFFFFFFC48H

	7	6	5	4	3	2	1	0
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40

PU4n	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する <sup>注</sup>

**注** 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合（SCKB0端子のスレーブ・モード時も含む）のみです。端子が出力状態のときは接続できません。

**備考** n = 0-7

### 4.3.6 ポート7

ポート7は、全端子が入力に固定の入力専用ポートです。

各製品間で入力ポート数が異なります。

愛称	入出力ポート数
V850E/IF3	4ビット入力専用ポート
V850E/IG3	8ビット入力専用ポート

ポート7は、次に示す端子と兼用しています。

表4 - 11 ポート7の兼用端子

端子名	ピン番号				兼用端子名	入出力	プルアップ <sup>注1</sup>
	IF3		IG3				
	GC	GC	GF	F1			
P70	20	25	53	L1	ANI20	入力	なし
P71	19	24	52	L2	ANI21	入力	
P72	18	23	51	L3	ANI22	入力	
P73	17	22	50	K1	ANI23	入力	
P74 <sup>注2</sup>	-	21	49	K2	ANI24 <sup>注2</sup>	入力	
P75 <sup>注2</sup>	-	20	48	K3	ANI25 <sup>注2</sup>	入力	
P76 <sup>注2</sup>	-	19	47	K4	ANI26 <sup>注2</sup>	入力	
P77 <sup>注2</sup>	-	18	46	J4	ANI27 <sup>注2</sup>	入力	

注1. ソフトウェア・プルアップ機能

2. V850E/IG3のみ

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

## (1) レジスタ

## (a) ポート7レジスタ (P7)

リセット時：不定 R アドレス：FFFFFFB0H

	7	6	5	4	3	2	1	0
P7	P77 <sup>注</sup>	P76 <sup>注</sup>	P75 <sup>注</sup>	P74 <sup>注</sup>	P73	P72	P71	P70

P7n	入力データの読み出し
0	ロウ・レベルを入力
1	ハイ・レベルを入力

**注** V850E/IG3のみ有効です。  
V850E/IF3では、リード時は不定です。

**注意** ポート入力とアナログ入力端子 (ANI2n) を混在して使用する場合には、必ずPMC7レジスタのANI2n端子として使用するビット (PMC7n) をセット(1)してください。

**備考** V850E/IF3 : n = 0-3  
V850E/IG3 : n = 0-7

(b) ポート7モード・コントロール・レジスタ (PMC7)

リセット時 : 00H R/W アドレス : FFFFBB8H

	7	6	5	4	3	2	1	0
PMC7	PMC77 <sup>注</sup>	PMC76 <sup>注</sup>	PMC75 <sup>注</sup>	PMC74 <sup>注</sup>	PMC73	PMC72	PMC71	PMC70

PMC7n	P7n端子の動作モードの指定
0	入力ポート (P7nのリードを許可する。リード時, 入力バッファはオンする)
1	ANI2n入力 (P7nのリードを禁止する。リード時, 入力バッファはオフのまま)

**注** V850E/IG3のみ有効です。  
V850E/IF3では必ず0を設定してください。

**注意1.** A/Dコンバータ2でA/D変換中の場合には,ポート・モードに変更しないでください。  
**2.** PMC7レジスタは, P7レジスタのリードの許可/禁止を制御します。PMC7nビット = 1の場合, P7レジスタをリードしても入力バッファをオンしません。この場合, P7nビットのリード値はロウ・レベル固定となります (V850E/IF3 : n = 0-3, V850E/IG3 : n = 0-7)。これはANI2n入力 (中間レベル) のリードによる貫通電流を防ぐためです。

**備考** V850E/IF3 : n = 0-3  
V850E/IG3 : n = 0-7

## 4.3.7 ポートDL

ポートDLは、1ビット単位で入出力を制御できます。

ポートDLは、次に示す端子と兼用しています。

表4 - 12 ポートDLの兼用端子

端子名	ピン番号				兼用端子名	入出力	ブルアップ <sup>注1</sup>
	IF3		IG3				
	GC	GC	GF	F1			
PDL0	65	81	9	A10	AD0 <sup>注3</sup>	入出力	あり
PDL1	64	80	8	B10	AD1 <sup>注3</sup>	入出力	
PDL2	63	79	7	A11	AD2 <sup>注3</sup>	入出力	
PDL3	62	78	6	B11	AD3 <sup>注3</sup>	入出力	
PDL4	61	77	5	C11	AD4 <sup>注3</sup>	入出力	
PDL5	60	76	4	A12	AD5 <sup>注3</sup> /FLMD1 <sup>注4</sup>	入出力	
PDL6	59	75	3	B12	AD6 <sup>注3</sup>	入出力	
PDL7	58	74	2	C14	AD7 <sup>注3</sup>	入出力	
PDL8	57	73	1	C13	AD8 <sup>注3</sup>	入出力	
PDL9	56	72	100	D14	AD9 <sup>注3</sup>	入出力	
PDL10 <sup>注2</sup>	-	71	99	D13	AD10 <sup>注3</sup>	入出力	
PDL11 <sup>注2</sup>	-	70	98	D12	AD11 <sup>注3</sup>	入出力	
PDL12 <sup>注2</sup>	-	69	97	E14	AD12 <sup>注3</sup>	入出力	
PDL13 <sup>注2</sup>	-	68	96	E13	AD13 <sup>注3</sup>	入出力	
PDL14 <sup>注2</sup>	-	67	95	E12	AD14 <sup>注3</sup>	入出力	
PDL15 <sup>注2</sup>	-	66	94	F12	AD15 <sup>注3</sup>	入出力	

注1. ソフトウェア・ブルアップ機能

2. V850E/IG3のみ

3.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

4. フラッシュ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第27章 フラッシュ・メモリを参照してください。

備考 IF3 : V850E/IF3

IG3 : V850E/IG3

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

(1) レジスタ

(a) ポートDLレジスタ (PDL)

リセット時：不定 R/W アドレス：PDL FFFFF004H  
 PDL FFFFF004H, PDLH FFFFF005H

	15	14	13	12	11	10	9	8
PDL (PDLH <sup>注1</sup> )	PDL15 <sup>注2</sup>	PDL14 <sup>注2</sup>	PDL13 <sup>注2</sup>	PDL12 <sup>注2</sup>	PDL11 <sup>注2</sup>	PDL10 <sup>注2</sup>	PDL9	PDL8

	7	6	5	4	3	2	1	0
(PDL)	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0

PDLn	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

- 注1. PDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PDLHレジスタのビット0-7として指定してください。
2. V850E/IG3のみ有効です。  
 V850E/IF3では、リード時は不定です。

- 備考1. PDLレジスタは、16ビット単位でリード/ライト可能です。  
 ただし、PDLレジスタの上位8ビットをPDLHレジスタ、下位8ビットをPDLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
2. V850E/IF3 : n = 0-9  
 V850E/IG3 : n = 0-15

(b) ポートDLモード・レジスタ (PMDL)

リセット時 : FFFFH R/W アドレス : PMDL FFFF024H  
 PMDLL FFFF024H, PMDLH FFFF025H

	15	14	13	12	11	10	9	8
PMDL (PMDLH <sup>注1</sup> )	PMDL15 <sup>注2</sup>	PMDL14 <sup>注2</sup>	PMDL13 <sup>注2</sup>	PMDL12 <sup>注2</sup>	PMDL11 <sup>注2</sup>	PMDL10 <sup>注2</sup>	PMDL9	PMDL8
	7	6	5	4	3	2	1	0
(PMDLL)	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0

PMDLn	入出力モードの制御 (ポート・モード時)
0	出力モード
1	入力モード

注1. PMDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMDLHレジスタのビット0-7として指定してください。

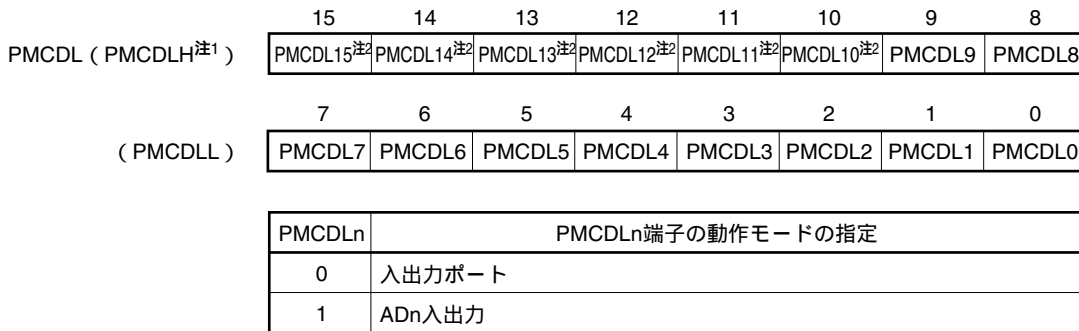
2. V850E/IG3のみ有効です。  
V850E/IF3では必ず1を設定してください。

備考1. PMDLレジスタは、16ビット単位でリード/ライト可能です。  
 ただし、PMDLレジスタの上位8ビットをPMDLHレジスタ、下位8ビットをPMDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. V850E/IF3 : n = 0-9  
V850E/IG3 : n = 0-15

(c) ポートDLモード・コントロール・レジスタ (PMCDL)

リセット時 : 0000H R/W アドレス : PMCDL FFFFF044H  
 PMCDLL FFFFF044H, PMCDLH FFFFF045H



注1. PMCDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMCDLHレジスタのビット0-7として指定してください。

2. V850E/IG3のみ有効です。  
 V850E/IF3では必ず0を設定してください。

備考1. PMCDLレジスタは、16ビット単位でリード/ライト可能です。  
 ただし、PMCDLレジスタの上位8ビットをPMCDLHレジスタ、下位8ビットをPMCDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. V850E/IF3 : n = 0-9  
 V850E/IG3 : n = 0-15



(d) プルアップ抵抗オプション・レジスタDL (PUDL)

リセット時：0000H R/W アドレス：PUDL FFFFFFF44H  
PUDLL FFFFFFF44H, PUDLH FFFFFFF45H

	15	14	13	12	11	10	9	8
PUDL (PUDLH <sup>注1</sup> )	PUDL15 <sup>注2</sup>	PUDL14 <sup>注2</sup>	PUDL13 <sup>注2</sup>	PUDL12 <sup>注2</sup>	PUDL11 <sup>注2</sup>	PUDL10 <sup>注2</sup>	PUDL9	PUDL8
	7	6	5	4	3	2	1	0
(PUDLL)	PUDL7	PUDL6	PUDL5	PUDL4	PUDL3	PUDL2	PUDL1	PUDL0

PUDLn	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する <sup>注3</sup>

- 注1.** PUDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PUDLHレジスタのビット0-7として指定してください。
- 2.** V850E/IG3のみ有効です。  
V850E/IF3では必ず0を設定してください。
- 3.** 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合のみです。端子が出力状態のときは接続できません。

- 備考1.** PUDLレジスタは、16ビット単位でリード/ライト可能です。  
ただし、PUDLレジスタの上位8ビットをPUDLHレジスタ、下位8ビットをPUDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** V850E/IF3 : n = 0-9  
V850E/IG3 : n = 0-15

## 4.4 各設定時の出力データとポート・リード値

次に兼用端子に切り替える設定値とともに各設定時の出力データとポート・リード値を示します。なお、次の設定以外に各周辺機能の制御レジスタの設定も必要です。

表4 - 13 各設定時の出力データとポート・リード値 (1/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考
P00, P01, P02 <sup>注</sup> , P03 <sup>注</sup>	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	TOA20, TOA21, TOA30 <sup>注</sup> , TOA31 <sup>注</sup>	1	0	0	0	兼用出力 (タイマ出力)	ポート・ラッチ	
					1		端子レベル	
	TIA20, TIA21, TIA30 <sup>注</sup> , TIA31 <sup>注</sup>	1	0	1	0	-	ポート・ラッチ	兼用入力 (タイマ入力)
				1		端子レベル		
TOA2OFF, INTP00, INTP01, TOA3OFF <sup>注</sup> , INTP02 <sup>注</sup> , INTP03 <sup>注</sup>	1	1	0	0	-	ポート・ラッチ	兼用入力 (タイマ入力, 外部割り込み入力 (有効エッジ指定が必要))	
				1		端子レベル		
P04 <sup>注</sup> , P06 <sup>注</sup>	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	TECRO <sup>注</sup> , TIT00 <sup>注</sup> TENC01 <sup>注</sup> , TIT01 <sup>注</sup>	1	0	0	0	-	ポート・ラッチ	兼用入力 (タイマ入力)
					1		端子レベル	
	TOT00 <sup>注</sup> , TOT01 <sup>注</sup>	1	0	1	0	兼用出力 (タイマ出力)	ポート・ラッチ	
				1	端子レベル			
INTP04 <sup>注</sup> , INTP06 <sup>注</sup>	1	1	0	0	-	ポート・ラッチ	兼用入力 (外部割り込み入力 (有効エッジ指定が必要))	
				1		端子レベル		

注 V850E/IG3のみ

備考 × : 任意

表4 - 13 各設定時の出力データとポート・リード値 (2/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P05 <sup>注1</sup>	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TENC00 <sup>注1</sup>	1	0	0	0	-	ポート・ラッチ		兼用入力 ( タイマ入力 )
					1		端子レベル		
	EVTTO <sup>注1</sup>	1	0	1	0	-	ポート・ラッチ		兼用入力 ( タイマ入力 )
1					端子レベル				
INTP05 <sup>注1</sup>	1	1	0	0	-	ポート・ラッチ	兼用入力 ( 外部割り込み入力 ( 有効エッジ指定が必要 ) )		
				1		端子レベル			
P07 <sup>注1</sup>	出力ポート	0	なし	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	INTP07 <sup>注1</sup>	1	なし	0	0	-	ポート・ラッチ		兼用入力 ( 外部割り込み入力 ( 有効エッジ指定が必要 ) )
					1		端子レベル		
	CLKOUT <sup>注2</sup>	1	なし	1	0	兼用出力 ( バス出力 )	ポート・ラッチ		
1					端子レベル				

注1. V850E/I/G3のみ

2.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

備考 × : 任意

表4 - 13 各設定時の出力データとポート・リード値 (3/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P10-P12	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOB0T1, TOB0B1, TOB0T2	1	0	0	0	兼用出力1 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
	TIB01-TIB03	1	0	1	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
					1		端子レベル		
TOB01-TOB03	1	1	0	0	兼用出力2 (タイマ出力)	ポート・ラッチ			
				1		端子レベル			
A0 <sup>注</sup> , A1 <sup>注</sup> , A2 <sup>注</sup>	1	1	1	0	兼用出力3 (バス出力)	ポート・ラッチ			
				1		端子レベル			
P13-P15	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOB0B2, TOB0T3, TOB0B3	1	0	0	0	兼用出力1 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
	TIB00, EVTB0, TRGB0	1	0	1	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
					1		端子レベル		
A3 <sup>注</sup> , A4 <sup>注</sup> , A5 <sup>注</sup>	1	1	0	0	兼用出力2 (バス出力)	ポート・ラッチ			
				1		端子レベル			

注 μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

備考 × : 任意

表4 - 13 各設定時の出力データとポート・リード値 (4/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考
P16	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	TOB0OFF / INTP08	1	0	0	0	兼用出力1 (タイマ出力)	ポート・ラッチ	
					1		端子レベル	
	ADTRG0 / INTADT0	1	0	1	0	-	ポート・ラッチ	
1					端子レベル			
A6 <sup>注</sup>	1	1	0	0	兼用出力2 (バス出力)	ポート・ラッチ		
				1		端子レベル		
P17	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	TOB00	1	0	0	0	兼用出力1 (タイマ出力)	ポート・ラッチ	
					1		端子レベル	
	INTP09	1	0	1	0	-	ポート・ラッチ	
1					端子レベル			
A7 <sup>注</sup>	1	1	0	0	兼用出力2 (バス出力)	ポート・ラッチ		
				1		端子レベル		
P20-P22	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	TOB1T1, TOB1B1, TOB1T2	1	0	0	0	兼用出力1 (タイマ出力)	ポート・ラッチ	
					1		端子レベル	
	TIB11-TIB13	1	0	1	0	-	ポート・ラッチ	
1					端子レベル			
TOB11-TOB13	1	1	0	0	兼用出力2 (タイマ出力)	ポート・ラッチ		
				1		端子レベル		

注 μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

備考 × : 任意

表4 - 13 各設定時の出力データとポート・リード値 (5/12)

ポート名	機能	PMcMn	PFCEmn	PFCMn	PMmn	出力データ	Pmnリード値	備考	
P23-P25	出力ポート	0	なし	x	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOB1B2, TOB1T3, TOB1B3	1	なし	0	0	兼用出力 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
	TIB10, EVTB1, TRGB1	1	なし	1	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
					1		端子レベル		
P26	出力ポート	0	x	x	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOB10	1	0	0	0	兼用出力 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
	TOB1OFF / INTP10	1	0	1	0	-	ポート・ラッチ		兼用入力 (タイマ入力, 外部割り込み入力 (有効エッジ指定が必要))
					1		端子レベル		
ADTRG1 / INTADT1	1	1	0	0	-	ポート・ラッチ	兼用入力 (A/D入力, 外部割り込み入力 (有効エッジ指定が必要))		
				1		端子レベル			
P27 <sup>注</sup>	出力ポート	なし	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		

注 P27端子はオンチップ・デバッグ用の端子 (V850E/IG3のみ) を兼用しています。オンチップ・デバッグ機能とポート機能 (兼用機能含む) の切り替えはDRST $\bar{}$ 端子レベルで設定します。次に設定方法を示します。

ポート2の機能	
DRST $\bar{}$ 端子にロウ・レベル入力	DRST $\bar{}$ 端子にハイ・レベル入力
P27	DMS

備考 x : 任意

表4 - 13 各設定時の出力データとポート・リード値 (6/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P30	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	RXDA1	1	0	0	0	-	ポート・ラッチ		兼用入力 (シリアル入力)
					1		端子レベル		
SCL	1	0	1	0	兼用入出力 (シリアル入出力)	ポート・ラッチ	マスタ時は出力		
				1		端子レベル	スレーブ時は入力		
P31	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TXDA1	1	0	0	0	兼用出力 (シリアル出力)	ポート・ラッチ		
					1		端子レベル		
SDA	1	0	1	0	兼用入出力 (シリアル入出力)	ポート・ラッチ	マスタ時は出力		
				1		端子レベル	スレーブ時は入力		
P32	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SIB1	1	0	0	0	-	ポート・ラッチ		兼用入力 (シリアル入力)
					1		端子レベル		
	RXDA2	1	0	1	0	-	ポート・ラッチ		兼用入力 (シリアル入力)
					1		端子レベル		
CS1 <sup>注</sup>	1	1	0	0	兼用出力 (バス出力)	ポート・ラッチ			
				1		端子レベル			

注  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

備考 × : 任意



表4 - 13 各設定時の出力データとポート・リード値 (7/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P33	出力ポート	0	なし	x	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SOB1	1	なし	0	0	兼用出力1	ポート・ラッチ		
					1	(シリアル出力)	端子レベル		
TXDA2	1	なし	1	0	兼用出力2	ポート・ラッチ			
				1	(シリアル出力)	端子レベル			
P34	出力ポート	0	x	x	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SCKB1	1	0	0	0	兼用入出力	ポート・ラッチ		マスタ時は出力
					1	(シリアル入出力)	端子レベル		スレーブ時は入力
	INTP11	1	0	1	0	-	ポート・ラッチ		兼用入力(外部割り込み入力(有効エッジ指定が必要))
1					端子レベル				
CS0 <sup>注</sup>	1	1	0	0	兼用出力	ポート・ラッチ			
				1	(バス出力)	端子レベル			
P35	出力ポート	0	x	x	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SIB2	1	0	0	0	-	ポート・ラッチ		兼用入力(シリアル入力)
					1	端子レベル			
RXDB	1	0	1	0	-	ポート・ラッチ	兼用入力(シリアル入力)		
				1	端子レベル				

注 μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

備考 x : 任意

表4 - 13 各設定時の出力データとポート・リード値 (8/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P36	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SOB2	1	0	0	0	兼用出力1	ポート・ラッチ		
					1	(シリアル出力)	端子レベル		
	TXDB	1	0	1	0	兼用出力2	ポート・ラッチ		
					1	(シリアル出力)	端子レベル		
P37	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SCKB2	1	0	0	0	兼用入出力	ポート・ラッチ		マスタ時は出力 スレーブ時は入力
					1	(シリアル入出力)	端子レベル		
	INTP12	1	0	1	0	-	ポート・ラッチ		兼用入力(外部割り込み入力(有効エッジ指定が必要))
					1	端子レベル			
	ASTB <sup>注</sup>	1	1	0	0	兼用出力	ポート・ラッチ		
					1	(バス出力)	端子レベル		
P40	出力ポート	0	なし	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SIB0	1	なし	0	0	-	ポート・ラッチ		兼用入力(シリアル入力)
					1	端子レベル			
	RXDA0	1	なし	1	0	-	ポート・ラッチ		兼用入力(シリアル入力)
					1	端子レベル			

注 μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

備考 × : 任意

表4 - 13 各設定時の出力データとポート・リード値 (9/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P41 <sup>注</sup>	出力ポート	0	x	x	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SOB0	1	0	0	0	兼用出力1	ポート・ラッチ		
					1	(シリアル出力)	端子レベル		
	TXDA0	1	0	1	0	兼用出力2	ポート・ラッチ		
					1	(シリアル出力)	端子レベル		
P42 <sup>注</sup>	出力ポート	0	x	x	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SCKB0	1	0	0	0	兼用入出力	ポート・ラッチ		マスタ時は出力
					1	(シリアル入出力)	端子レベル		スレーブ時は入力
	INTP13	1	0	1	0	-	ポート・ラッチ		兼用入力(外部割り込み入力(有効エッジ指定が必要))
					1		端子レベル		

注 P41, P42端子はオンチップ・デバッグ用の端子 (V850E/IG3のみ) を兼用しています。オンチップ・デバッグ機能とポート機能 (兼用機能含む) の切り替えはDRST端子レベルで設定します。次に設定方法を示します。

ポート4の機能	
DRST端子にロウ・レベル入力	DRST端子にハイ・レベル入力
P41/SOB0/TXDA0	DCK
P42/SCKB0/INTP13	DDI

備考 x : 任意

表4 - 13 各設定時の出力データとポート・リード値 (10/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P43	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TECR1/TIT10	1	0	0	0	-	ポート・ラッチ		兼用入力 ( タイマ入力 )
					1		端子レベル		
	TOT10	1	0	1	0	兼用出力 ( タイマ出力 )	ポート・ラッチ		
					1		端子レベル		
	INTP14	1	1	0	0	-	ポート・ラッチ		兼用入力 ( 外部割り込み入力 ( 有効エッジ指定が必要 ) )
					1		端子レベル		
P44	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TENC10	1	0	0	0	-	ポート・ラッチ		兼用入力 ( タイマ入力 )
					1		端子レベル		
	EVTT1	1	0	1	0	兼用出力 ( タイマ出力 )	ポート・ラッチ		
					1		端子レベル		
	INTP15	1	1	0	0	-	ポート・ラッチ		兼用入力 ( 外部割り込み入力 ( 有効エッジ指定が必要 ) )
					1		端子レベル		
	WAIT <sup>注</sup>	1	1	1	0	-	ポート・ラッチ		兼用入力 ( バス入力 )
					1		端子レベル		

注  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

備考 × : 任意

表4 - 13 各設定時の出力データとポート・リード値 (11/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P45	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TENC11/TIT11	1	0	0	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
					1		端子レベル		
	TOT11	1	0	1	0	兼用出力1 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
INTP16	1	1	0	0	-	ポート・ラッチ	兼用入力 (外部割り込み入力 (有効エッジ指定が必要))		
				1		端子レベル			
$\overline{WR1}$ <sup>注</sup>	1	1	1	0	兼用出力2 (バス出力)	ポート・ラッチ			
				1		端子レベル			
P46, P47	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOA40, TOA41	1	0	0	0	兼用出力1 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
	TIA40, TIA41	1	0	1	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
					1		端子レベル		
INTP17, INTP18	1	1	0	0	-	ポート・ラッチ	兼用入力 (外部割り込み入力 (有効エッジ指定が必要))		
				1		端子レベル			
$\overline{WR0}$ <sup>注</sup> , $\overline{RD}$ <sup>注</sup>	1	1	1	0	兼用出力2 (バス出力)	ポート・ラッチ			
				1		端子レベル			

注  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

備考 × : 任意

表4 - 13 各設定時の出力データとポート・リード値 (12/12)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考
P70-P73, P74-P77 <sup>注1</sup>	入力ポート	0	なし	なし	なし	-	端子レベル	入力専用ポート
	ANI20-ANI23, ANI24-ANI27 <sup>注1</sup>	1				-	ロウ・レベル	
PDL0- PDL9,	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
PDL10- PDL15 <sup>注1</sup>	AD0-AD15 <sup>注2</sup>	1	なし	なし	0	兼用入出力 (バス入出力)	ポート・ラッチ	
					1		端子レベル	

注1. V850E/IG3のみ

2. μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

3. PDL5端子はフラッシュ・プログラミング・モード時に設定する端子を兼用しています。この端子は、ポート制御用レジスタで操作する必要はありません。詳細は第27章 フラッシュ・メモリを参照してください。

備考 × : 任意

## 4.5 兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を次に示します。

兼用端子として使用する場合は各機能を参照してください。

表4 - 14 ポート端子を兼用端子として使用する場合 (1/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P00	TOA20	出力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 0	PFC00 = 0	
	TIA20	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 0	PFC00 = 1	
	TOA20OFF	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 1	PFC00 = 0	
	INTP00	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 1	PFC00 = 0	INTF00 (INTF0), INTR00 (INTR0)
P01	TOA21	出力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	PFCE01 = 0	PFC01 = 0	
	TIA21	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	PFCE01 = 0	PFC01 = 1	
	INTP01	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	PFCE01 = 1	PFC01 = 0	INTF01 (INTF0), INTR01 (INTR0)
P02 <sup>注</sup>	TOA30 <sup>注</sup>	出力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	PFCE02 = 0	PFC02 = 0	
	TIA30 <sup>注</sup>	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	PFCE02 = 0	PFC02 = 1	
	TOA30OFF <sup>注</sup>	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	PFCE02 = 1	PFC02 = 0	
	INTP02 <sup>注</sup>	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	PFCE02 = 1	PFC02 = 0	INTF02 (INTF0), INTR02 (INTR0)
P03 <sup>注</sup>	TOA31 <sup>注</sup>	出力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 0	PFC03 = 0	
	TIA31 <sup>注</sup>	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 0	PFC03 = 1	
	INTP03 <sup>注</sup>	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 1	PFC03 = 0	INTF03 (INTF0), INTR03 (INTR0)
P04 <sup>注</sup>	TECR0 <sup>注</sup>	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFCE04 = 0	PFC04 = 0	
	TIT00 <sup>注</sup>	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFCE04 = 0	PFC04 = 0	
	TOT00 <sup>注</sup>	出力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFCE04 = 0	PFC04 = 1	
	INTP04 <sup>注</sup>	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFCE04 = 1	PFC04 = 0	INTF04 (INTF0), INTR04 (INTR0)
P05 <sup>注</sup>	TENC00 <sup>注</sup>	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	PFCE05 = 0	PFC05 = 0	
	EVT00 <sup>注</sup>	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	PFCE05 = 0	PFC05 = 1	
	INTP05 <sup>注</sup>	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	PFCE05 = 1	PFC05 = 0	INTF05 (INTF0), INTR05 (INTR0)

注 V850E/IG3のみ



表4 - 14 ポート端子を兼用端子として使用する場合 (2/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P06 <sup>注1</sup>	TENC01 <sup>注1</sup>	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	PFCE06 = 0	PFC06 = 0	
	TIT01 <sup>注1</sup>	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	PFCE06 = 0	PFC06 = 0	
	TOT01 <sup>注1</sup>	出力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	PFCE06 = 0	PFC06 = 1	
	INTP06 <sup>注1</sup>	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	PFCE06 = 1	PFC06 = 0	INTF06 (INTF0), INTR06 (INTR0)
P07 <sup>注1</sup>	INTP07 <sup>注1</sup>	入力	P07 = 設定不要	PM07 = 設定不要	PMC07 = 1	-	PFC07 = 0	INTF07 (INTF0), INTR07 (INTR0)
	CLKOUT <sup>注2</sup>	出力	P07 = 設定不要	PM07 = 設定不要	PMC07 = 1	-	PFC07 = 1	
P10	TOB0T1	出力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 0	PFC10 = 0	
	TIB01	入力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 0	PFC10 = 1	
	TOB01	出力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 1	PFC10 = 0	
	A0 <sup>注2</sup>	出力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 1	PFC10 = 1	
P11	TOB0B1	出力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 0	PFC11 = 0	
	TIB02	入力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 0	PFC11 = 1	
	TOB02	出力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 1	PFC11 = 0	
	A1 <sup>注2</sup>	出力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 1	PFC11 = 1	
P12	TOB0T2	出力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 0	PFC12 = 0	
	TIB03	入力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 0	PFC12 = 1	
	TOB03	出力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 1	PFC12 = 0	
	A2 <sup>注2</sup>	出力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 1	PFC12 = 1	
P13	TOB0B2	出力	P13 = 設定不要	PM13 = 設定不要	PMC13 = 1	PFCE13 = 0	PFC13 = 0	
	TIB00	入力	P13 = 設定不要	PM13 = 設定不要	PMC13 = 1	PFCE13 = 0	PFC13 = 1	
	A3 <sup>注2</sup>	出力	P13 = 設定不要	PM13 = 設定不要	PMC13 = 1	PFCE13 = 1	PFC13 = 0	

注1. V850E/I/G3のみ

2.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

表4 - 14 ポート端子を兼用端子として使用する場合 (3/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P14	TOB0T3	出力	P14 = 設定不要	PM14 = 設定不要	PMC14 = 1	PFCE14 = 0	PFC14 = 0	
	EVTB0	入力	P14 = 設定不要	PM14 = 設定不要	PMC14 = 1	PFCE14 = 0	PFC14 = 1	
	A4 <sup>注</sup>	出力	P14 = 設定不要	PM14 = 設定不要	PMC14 = 1	PFCE14 = 1	PFC14 = 0	
P15	TOB0B3	出力	P15 = 設定不要	PM15 = 設定不要	PMC15 = 1	PFCE15 = 0	PFC15 = 0	
	TRGB0	入力	P15 = 設定不要	PM15 = 設定不要	PMC15 = 1	PFCE15 = 0	PFC15 = 1	
	A5 <sup>注</sup>	出力	P15 = 設定不要	PM15 = 設定不要	PMC15 = 1	PFCE15 = 1	PFC15 = 0	
P16	TOB0OFF	入力	P16 = 設定不要	PM16 = 設定不要	PMC16 = 1	PFCE16 = 0	PFC16 = 0	
	INTP08	入力	P16 = 設定不要	PM16 = 設定不要	PMC16 = 1	PFCE16 = 0	PFC16 = 0	INTF08 (INTF1), INTR08 (INTR1)
	ADTRG0	入力	P16 = 設定不要	PM16 = 設定不要	PMC16 = 1	PFCE16 = 0	PFC16 = 1	
	INTADT0	入力	P16 = 設定不要	PM16 = 設定不要	PMC16 = 1	PFCE16 = 0	PFC16 = 1	ADTF0 (ADTF), ADTR0 (ADTR)
	A6 <sup>注</sup>	出力	P16 = 設定不要	PM16 = 設定不要	PMC16 = 1	PFCE16 = 1	PFC16 = 0	
P17	TOB00	出力	P17 = 設定不要	PM17 = 設定不要	PMC17 = 1	PFCE17 = 0	PFC17 = 0	
	INTP09	入力	P17 = 設定不要	PM17 = 設定不要	PMC17 = 1	PFCE17 = 0	PFC17 = 1	INTF09 (INTF1), INTR09 (INTR1)
	A7 <sup>注</sup>	出力	P17 = 設定不要	PM17 = 設定不要	PMC17 = 1	PFCE17 = 1	PFC17 = 0	
P20	TOB1T1	出力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	PFCE20 = 0	PFC20 = 0	
	TIB11	入力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	PFCE20 = 0	PFC20 = 1	
	TOB11	出力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	PFCE20 = 1	PFC20 = 0	
P21	TOB1B1	出力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 0	PFC21 = 0	
	TIB12	入力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 0	PFC21 = 1	
	TOB12	出力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 1	PFC21 = 0	
P22	TOB1T2	出力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	PFCE22 = 0	PFC22 = 0	
	TIB13	入力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	PFCE22 = 0	PFC22 = 1	
	TOB13	出力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	PFCE22 = 1	PFC22 = 0	

注  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

表4 - 14 ポート端子を兼用端子として使用する場合 (4/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P23	TOB1B2	出力	P23 = 設定不要	PM23 = 設定不要	PMC23 = 1	-	PFC23 = 0	
	TIB10	入力	P23 = 設定不要	PM23 = 設定不要	PMC23 = 1	-	PFC23 = 1	
P24	TOB1T3	出力	P24 = 設定不要	PM24 = 設定不要	PMC24 = 1	-	PFC24 = 0	
	EVTB1	入力	P24 = 設定不要	PM24 = 設定不要	PMC24 = 1	-	PFC24 = 1	
P25	TOB1B3	出力	P25 = 設定不要	PM25 = 設定不要	PMC25 = 1	-	PFC25 = 0	
	TRGB1	入力	P25 = 設定不要	PM25 = 設定不要	PMC25 = 1	-	PFC25 = 1	
P26	TOB10	出力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	PFCE26 = 0	PFC26 = 0	
	TOB1OFF	入力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	PFCE26 = 0	PFC26 = 1	
	INTP10	入力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	PFCE26 = 0	PFC26 = 1	INTF10 (INTF1), INTR10 (INTR1)
	ADTRG1	入力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	PFCE26 = 1	PFC26 = 0	
	INTADT1	入力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	PFCE26 = 1	PFC26 = 0	ADTF1 (ADTF), ADTR1 (ADTR)
P27	DMS <sup>注1, 2</sup>	入力	P27 = 設定不要	PM27 = 設定不要	-	-	-	
P30	RXDA1	入力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	PFCE30 = 0	PFC30 = 0	
	SCL	入出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	PFCE30 = 0	PFC30 = 1	PF30 (PF3) = 1
P31	TXDA1	出力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	PFCE31 = 0	PFC31 = 0	
	SDA	入出力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	PFCE31 = 0	PFC31 = 1	PF31 (PF3) = 1

注1. V850E/IG3のみ

2. P27端子はオンチップ・デバッグ用の端子を兼用しています。オンチップ・デバッグ機能とポート機能の切り替えはDRST端子レベルで設定します。次に設定方法を示します。

ポート2の機能	
DRST端子にロウ・レベル入力	DRST端子にハイ・レベル入力
P27	DMS

表4 - 14 ポート端子を兼用端子として使用する場合 (5/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P32	SIB1	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 0	
	RXDA2	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 1	
	CS1 <sup>注</sup>	出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 0	
P33	SOB1	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	PFC33 = 0	
	TXDA2	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	PFC33 = 1	
P34	SCKB1	入出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 0	
	INTP11	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 1	INTF11 (INTF1), INTR11 (INTR1)
	CS0 <sup>注</sup>	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 1	PFC34 = 0	
P35	SIB2	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	PFCE35 = 0	PFC35 = 0	
	RXDB	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	PFCE35 = 0	PFC35 = 1	
P36	SOB2	出力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	PFCE36 = 0	PFC36 = 0	
	TXDB	出力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	PFCE36 = 0	PFC36 = 1	
P37	SCKB2	入出力	P30 = 設定不要	PM37 = 設定不要	PMC37 = 1	PFCE37 = 0	PFC37 = 0	
	INTP12	入力	P30 = 設定不要	PM37 = 設定不要	PMC37 = 1	PFCE37 = 0	PFC37 = 1	INTF12 (INTF1), INTR12 (INTR1)
	ASTB <sup>注</sup>	出力	P30 = 設定不要	PM37 = 設定不要	PMC37 = 1	PFCE37 = 1	PFC37 = 0	
P40	SIB0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	PFC40 = 0	
	RXDA0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	PFC40 = 1	

注 μPD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

表4 - 14 ポート端子を兼用端子として使用する場合 (6/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P41	SOB0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	PFCE41 = 0	PFC41 = 0	
	TXDA0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	PFCE41 = 0	PFC41 = 1	
	DCK <sup>注1, 2</sup>	入力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 設定不要	PFCE41 = 設定不要	PFC41 = 設定不要	
P42	SCKB0	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	PFCE42 = 0	PFC42 = 0	
	INTP13	入力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	PFCE42 = 0	PFC42 = 1	INTF13 (INTF1), INTR13 (INTR1)
	DDI <sup>注1, 2</sup>	入力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 設定不要	PFCE42 = 設定不要	PFC42 = 設定不要	
P43	TECR1	入力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	PFCE43 = 0	PFC43 = 0	
	TIT10	入力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	PFCE43 = 0	PFC43 = 0	
	TOT10	出力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	PFCE43 = 0	PFC43 = 1	
	INTP14	入力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	PFCE43 = 1	PFC43 = 0	INTF14 (INTF2), INTR14 (INTR2)
P44	TENC10	入力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	PFCE44 = 0	PFC44 = 0	
	EVT1	入力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	PFCE44 = 0	PFC44 = 1	
	INTP15	入力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	PFCE44 = 1	PFC44 = 0	INTF15 (INTF2), INTR15 (INTR2)
	WAIT <sup>注3</sup>	入力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	PFCE44 = 1	PFC44 = 1	

注1. V850E/IG3のみ

2. P41, P42端子はオンチップ・デバッグ用の端子を兼用しています。オンチップ・デバッグ機能とポート機能 (兼用機能含む) の切り替えはDRST端子レベルで設定します。次に設定方法を示します。

ポート4の機能	
DRST端子にロウ・レベル入力	DRST端子にハイ・レベル入力
P41/SOB0/TXDA0	DCK
P42/SCKB0/INTP13	DDI

3. μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

表4 - 14 ポート端子を兼用端子として使用する場合 (7/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P45	TENC11	入力	P45 = 設定不要	PM45 = 設定不要	PMC45 = 1	PFCE45 = 0	PFC45 = 0	
	TIT11	入力	P45 = 設定不要	PM45 = 設定不要	PMC45 = 1	PFCE45 = 0	PFC45 = 0	
	TOT11	出力	P45 = 設定不要	PM45 = 設定不要	PMC45 = 1	PFCE45 = 0	PFC45 = 1	
	INTP16	入力	P45 = 設定不要	PM45 = 設定不要	PMC45 = 1	PFCE45 = 1	PFC45 = 0	INTF16 (INTF2), INTR16 (INTR2)
	$\overline{WR1}$ <sup>注1</sup>	出力	P45 = 設定不要	PM45 = 設定不要	PMC45 = 1	PFCE45 = 1	PFC45 = 1	
P46	TOA40	出力	P46 = 設定不要	PM46 = 設定不要	PMC46 = 1	PFCE46 = 0	PFC46 = 0	
	TIA40	入力	P46 = 設定不要	PM46 = 設定不要	PMC46 = 1	PFCE46 = 0	PFC46 = 1	
	INTP17	入力	P46 = 設定不要	PM46 = 設定不要	PMC46 = 1	PFCE46 = 1	PFC46 = 0	INTF17 (INTF1), INTR17 (INTR1)
	$\overline{WR0}$ <sup>注1</sup>	出力	P46 = 設定不要	PM46 = 設定不要	PMC46 = 1	PFCE46 = 1	PFC46 = 1	
P47	TOA41	出力	P47 = 設定不要	PM47 = 設定不要	PMC47 = 1	PFCE47 = 0	PFC47 = 0	
	TIA41	入力	P47 = 設定不要	PM47 = 設定不要	PMC47 = 1	PFCE47 = 0	PFC47 = 1	
	INTP18	入力	P47 = 設定不要	PM47 = 設定不要	PMC47 = 1	PFCE47 = 1	PFC47 = 0	INTF18 (INTF1), INTR18 (INTR1)
	$\overline{RD}$ <sup>注1</sup>	出力	P47 = 設定不要	PM47 = 設定不要	PMC47 = 1	PFCE47 = 1	PFC47 = 1	
P70	ANI20	入力	P70 = 設定不要	-	PMC70 = 1	-	-	
P71	ANI21	入力	P71 = 設定不要	-	PMC71 = 1	-	-	
P72	ANI22	入力	P72 = 設定不要	-	PMC72 = 1	-	-	
P73	ANI23	入力	P73 = 設定不要	-	PMC73 = 1	-	-	
P74 <sup>注2</sup>	ANI24 <sup>注2</sup>	入力	P74 = 設定不要	-	PMC74 = 1	-	-	
P75 <sup>注2</sup>	ANI25 <sup>注2</sup>	入力	P75 = 設定不要	-	PMC75 = 1	-	-	
P76 <sup>注2</sup>	ANI26 <sup>注2</sup>	入力	P76 = 設定不要	-	PMC76 = 1	-	-	
P77 <sup>注2</sup>	ANI27 <sup>注2</sup>	入力	P77 = 設定不要	-	PMC77 = 1	-	-	

注1.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

2. V850E/IG3のみ

表4 - 14 ポート端子を兼用端子として使用する場合 (8/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
PDL0	AD0 <sup>注1</sup>	入出力	PDL0 = 設定不要	PMDL0 = 設定不要	PMCDL0 = 1	-	-	
PDL1	AD1 <sup>注1</sup>	入出力	PDL1 = 設定不要	PMDL1 = 設定不要	PMCDL1 = 1	-	-	
PDL2	AD2 <sup>注1</sup>	入出力	PDL2 = 設定不要	PMDL2 = 設定不要	PMCDL2 = 1	-	-	
PDL3	AD3 <sup>注1</sup>	入出力	PDL3 = 設定不要	PMDL3 = 設定不要	PMCDL3 = 1	-	-	
PDL4	AD4 <sup>注1</sup>	入出力	PDL4 = 設定不要	PMDL4 = 設定不要	PMCDL4 = 1	-	-	
PDL5	AD5 <sup>注1</sup>	入出力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 1	-	-	
	FLMD1 <sup>注2</sup>	入力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 設定不要	-	-	
PDL6	AD6 <sup>注1</sup>	入出力	PDL6 = 設定不要	PMDL6 = 設定不要	PMCDL6 = 1	-	-	
PDL7	AD7 <sup>注1</sup>	入出力	PDL7 = 設定不要	PMDL7 = 設定不要	PMCDL7 = 1	-	-	
PDL8	AD8 <sup>注1</sup>	入出力	PDL8 = 設定不要	PMDL8 = 設定不要	PMCDL8 = 1	-	-	
PDL9	AD9 <sup>注1</sup>	入出力	PDL9 = 設定不要	PMDL9 = 設定不要	PMCDL9 = 1	-	-	
PDL10 <sup>注3</sup>	AD10 <sup>注1</sup>	入出力	PDL10 = 設定不要	PMDL10 = 設定不要	PMCDL10 = 1	-	-	
PDL11 <sup>注3</sup>	AD11 <sup>注1</sup>	入出力	PDL11 = 設定不要	PMDL11 = 設定不要	PMCDL11 = 1	-	-	
PDL12 <sup>注3</sup>	AD12 <sup>注1</sup>	入出力	PDL12 = 設定不要	PMDL12 = 設定不要	PMCDL12 = 1	-	-	
PDL13 <sup>注3</sup>	AD13 <sup>注1</sup>	入出力	PDL13 = 設定不要	PMDL13 = 設定不要	PMCDL13 = 1	-	-	
PDL14 <sup>注3</sup>	AD14 <sup>注1</sup>	入出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	-	-	
PDL15 <sup>注3</sup>	AD15 <sup>注1</sup>	入出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	-	-	

注1.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

2. PDL5端子はフラッシュ・プログラミング・モード時に設定する端子 (FLMD1) を兼用しています。この端子は、ポート制御用レジスタで操作する必要はありません。詳細は第27章 フラッシュ・メモリを参照してください。

3. V850E/IG3のみ

## 4.6 ノイズ除去回路

次に示す端子には、ノイズ除去時間確保のためのタイミング制御回路が付加されています。これらの除去時間未満で変化する信号入力は内部で受け付けられません。

表4 - 15 ノイズ除去回路 (1/2)

対象端子	フィルタ・タイプ	ノイズ除去幅	サンプリング・クロック	
RESET	アナログ・フィルタ	数10 ns	-	
DRST <sup>注1</sup>				
FLMD0				
P00/TOA20/TIA20/TOA2OFF/INTP00	TIA20	デジタル・フィルタ	2-3クロック	f <sub>xx</sub> , f <sub>xx</sub> /4より選択可能
	TOA2OFF	アナログ・フィルタ	数10 ns	-
	INTP00			
P01/TOA21/TIA21/INTP01	TIA21	デジタル・フィルタ	2-3クロック	f <sub>xx</sub> , f <sub>xx</sub> /4より選択可能
	INTP01	アナログ・フィルタ	数10 ns	-
P02 <sup>注1</sup> /TOA30 <sup>注1</sup> /TIA30 <sup>注1</sup> /TOA3OFF <sup>注1</sup> /INTP02 <sup>注1</sup>	TIA30 <sup>注1</sup>	デジタル・フィルタ	2-3クロック	f <sub>xx</sub> , f <sub>xx</sub> /4より選択可能
	TOA3OFF <sup>注1</sup>	アナログ・フィルタ	数10 ns	-
	INTP02 <sup>注1</sup>			
P03 <sup>注1</sup> /TOA31 <sup>注1</sup> /TIA31 <sup>注1</sup> /INTP03 <sup>注1</sup>	TIA31 <sup>注1</sup>	デジタル・フィルタ	2-3クロック	f <sub>xx</sub> , f <sub>xx</sub> /4より選択可能
	INTP03 <sup>注1</sup>	アナログ・フィルタ	数10 ns	-
P04 <sup>注1</sup> /TECR0 <sup>注1</sup> /TIT00 <sup>注1</sup> /TOT00 <sup>注1</sup> /INTP04 <sup>注1</sup>	TECR0 <sup>注1</sup> / TIT00 <sup>注1</sup>	デジタル・フィルタ	2-3クロック	f <sub>xx</sub> , f <sub>xx</sub> /4, f <sub>xx</sub> /8, f <sub>xx</sub> /16, f <sub>xx</sub> /32, f <sub>xx</sub> /64より選択可能
	INTP04 <sup>注1</sup>	アナログ・フィルタ	数10 ns	-
P05 <sup>注1</sup> /TENC00 <sup>注1</sup> /EVTT0 <sup>注1</sup> /INTP05 <sup>注1</sup>	TENC00 <sup>注1</sup>	デジタル・フィルタ	2-3クロック	f <sub>xx</sub> , f <sub>xx</sub> /4, f <sub>xx</sub> /8, f <sub>xx</sub> /16, f <sub>xx</sub> /32, f <sub>xx</sub> /64より選択可能
	EVTT0 <sup>注1</sup>			
	INTP05 <sup>注1</sup>	アナログ・フィルタ	数10 ns	-
P06 <sup>注1</sup> /TENC01 <sup>注1</sup> /TIT01 <sup>注1</sup> /TOT01 <sup>注1</sup> /INTP06 <sup>注1</sup>	TENC01 <sup>注1</sup> / TIT01 <sup>注1</sup>	デジタル・フィルタ	2-3クロック	f <sub>xx</sub> , f <sub>xx</sub> /4, f <sub>xx</sub> /8, f <sub>xx</sub> /16, f <sub>xx</sub> /32, f <sub>xx</sub> /64より選択可能
	INTP06 <sup>注1</sup>	アナログ・フィルタ	数10 ns	-
P07 <sup>注1</sup> /INTP07 <sup>注1</sup> /CLKOUT <sup>注2</sup>	INTP07 <sup>注1</sup>			
P10/TOB0T1/TIB01/TOB01/A0 <sup>注2</sup>	TIB01	デジタル・フィルタ	2-3クロック	f <sub>xx</sub> /4
P11/TOB0B1/TIB02/TOB02/A1 <sup>注2</sup>	TIB02			
P12/TOB0T2/TIB03/TOB03/A2 <sup>注2</sup>	TIB03			
P13/TOB0B2/TIB00/A3 <sup>注2</sup>	TIB00			
P14/TOB0T3/EVTB0/A4 <sup>注2</sup>	EVTB0			
P15/TOB0B3/TRGB0/A5 <sup>注2</sup>	TRGB0			

注1. V850E/IG3のみ

2.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

注意1. マスカブル割り込み端子はスタンバイ・モードの解除に使用できます。詳細は第21章 スタンバイ機能を参照してください。

2. デジタル・フィルタはクロック・サンプリングを用いているため、周辺クロック(f<sub>xx</sub>)停止時(STOP, IDLEモード)には入力信号を受け付けられません。
3. ノイズ除去回路は兼用機能時だけ有効です。



表4 - 15 ノイズ除去回路 (2/2)

対象端子	フィルタ・タイプ	ノイズ除去幅	サンプリング・クロック	
P16/TOB0OFF/INTP08/ADTRG0/INTADT0/A6 <sup>注1</sup>	TOB0OFF	アナログ・フィルタ	数10 ns	
	INTP08			
	ADTRG0			
	INTADT0			
P17/TOB00/INTP09/A7 <sup>注1</sup>	INTP09			
P20/TOB1T1/TIB11/TOB11	TIB11	デジタル・フィルタ	2-3クロック	
P21/TOB1B1/TIB12/TOB12	TIB12			
P22/TOB1T2/TIB13/TOB13	TIB13			
P23/TOB1B2/TIB10	TIB10			
P24/TOB1T3/EVTB1	EVTB1			
P25/TOB1B3/TRGB1	TRGB1			
P26/TOB10/TOB10FF/INTP10/ADTRG1/INTADT1	TOB10FF			アナログ・フィルタ
	INTP10			
	ADTRG1			
	INTADT1			
P34/ $\overline{\text{SCKB1}}$ /INTP11/ $\overline{\text{CS0}}$ <sup>注1</sup>	INTP11			
P37/ $\overline{\text{SCKB2}}$ /INTP12/ASTB <sup>注1</sup>	INTP12			
P42/ $\overline{\text{SCKB0}}$ /INTP13/DDI <sup>注2</sup>	INTP13			
P43/TECR1/TIT10/TOT10/INTP14	TECR1/ TIT10	デジタル・フィルタ	2-3クロック	fxx, fxx/4, fxx/8, fxx/16, fxx/32, fxx/64 より選択可能
	INTP14			fxx/4, fxx/16, fxx/64, fxx/128, fxx/256, fxx/512より選択可能
P44/TENC10/EVTT1/INTP15/ $\overline{\text{WAIT}}$ <sup>注1</sup>	TENC10			fxx, fxx/4, fxx/8, fxx/16, fxx/32, fxx/64 より選択可能
	EVTT1			
	INTP15			fxx/4, fxx/16, fxx/64, fxx/128, fxx/256, fxx/512より選択可能
P45/TENC11/TIT11/TOT11/INTP16/ $\overline{\text{WR1}}$ <sup>注1</sup>	TENC11/ TIT11			fxx, fxx/4, fxx/8, fxx/16, fxx/32, fxx/64 より選択可能
	INTP16			fxx/4, fxx/16, fxx/64, fxx/128, fxx/256, fxx/512より選択可能
P46/TOA40/TIA40/INTP17/ $\overline{\text{WR0}}$ <sup>注1</sup>	TIA40			fxx, fxx/4より選択可能
	INTP17	アナログ・フィルタ	数10 ns	-
P47/TOA41/TIA41/INTP18/ $\overline{\text{RD}}$ <sup>注1</sup>	TIA41	デジタル・フィルタ	2-3クロック	fxx, fxx/4より選択可能
	INTP18	アナログ・フィルタ	数10 ns	-

注1.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

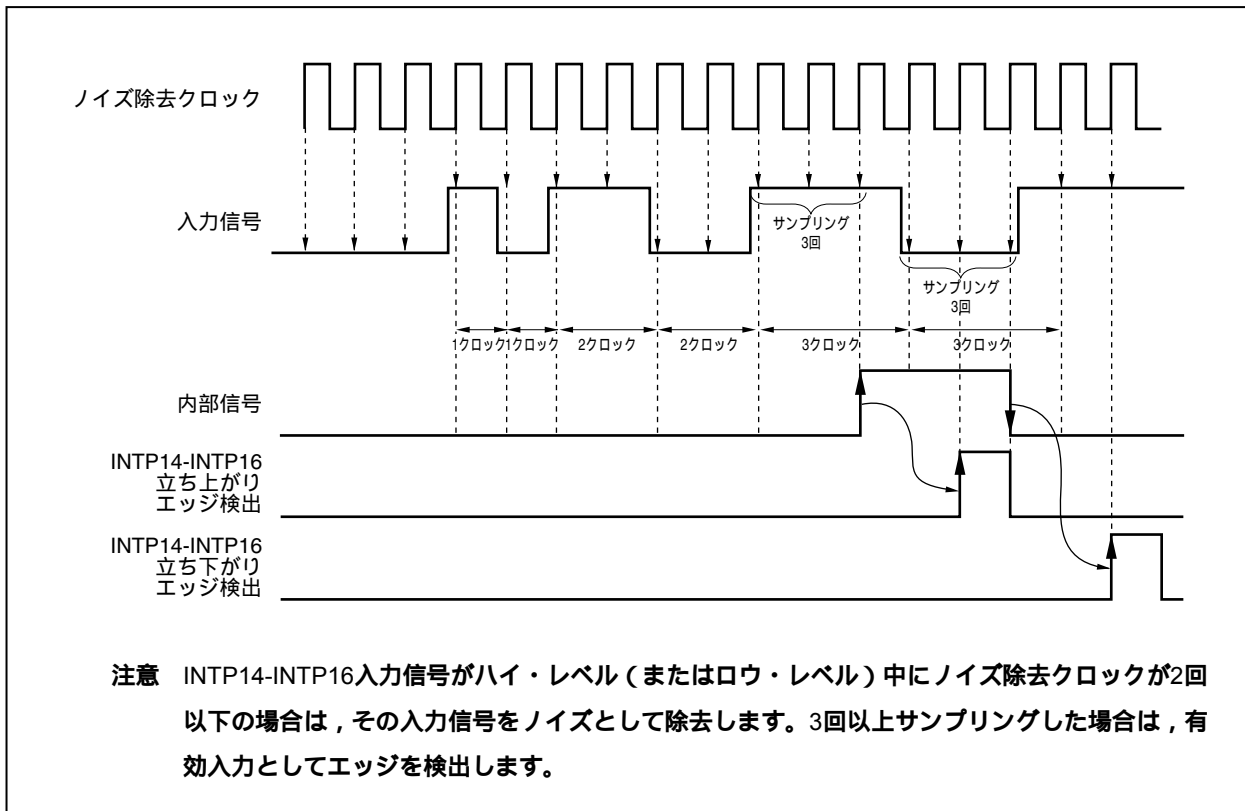
2. V850E/IG3のみ

注意1. マスカブル割り込み端子はスタンバイ・モードの解除に使用できます。詳細は第21章 スタンバイ機能を参照してください。

2. デジタル・フィルタはクロック・サンプリングを用いているため、周辺クロック(fxx)停止時(STOP, IDLEモード)には入力信号を受け付けられません。
3. ノイズ除去回路は兼用機能時だけ有効です。

次にINTP14-INTP16, タイマAA入力端子, タイマT入力端子のデジタル・フィルタによるノイズ除去のタイミング例を示します。

図4 - 4 ノイズ除去タイミング例



(1) デジタル・ノイズ除去0制御レジスタ<sub>n</sub> (INTNFC<sub>n</sub>)

INTNFC<sub>n</sub>レジスタは、INTP<sub>n</sub>端子のデジタル・ノイズ除去に使用するサンプリング・クロックを選択します。同じレベルをINTNFC<sub>n</sub>レジスタで選択したクロックで3回連続検出されなかった場合、その信号はノイズとして除去されます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 入力信号が2~3クロック分の場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、3クロック以上の同一レベルの入力が必要です。
2. サンプリング・クロックに同期してノイズが発生している場合には、入力端子にフィルタを付加してノイズを除去してください。
3. 通常入力ポートとして使用する場合はノイズ除去を行いません。

リセット時：00H    R/W    アドレス：INTNFC14 FFFFF310H, INTNFC15 FFFFF312H,  
INTNFC16 FFFFF314H

	7	6	5	4	3	2	1	0
INTNFC <sub>n</sub> (n = 14-16)	INTNFEN <sub>n</sub>	0	0	0	0	INTNFC <sub>n2</sub>	INTNFC <sub>n1</sub>	INTNFC <sub>n0</sub>

INTNFEN <sub>n</sub>	デジタル・ノイズ除去の設定
0	注
1	デジタル・ノイズ除去許可

INTNFC <sub>n2</sub>	INTNFC <sub>n1</sub>	INTNFC <sub>n0</sub>	サンプリング・クロックの選択
0	0	0	fxx/4
0	0	1	fxx/16
0	1	0	fxx/64
0	1	1	fxx/128
1	0	0	fxx/256
1	0	1	fxx/512
その他			設定禁止

注 INTP<sub>n</sub>端子を使用する場合は、必ずINTNFEN<sub>n</sub>ビット = 1(デジタル・ノイズ除去許可)の設定で使用してください。なお、その場合はサンプリング・クロックの選択が必要となります。

INTP<sub>n</sub>端子と兼用する機能を使用する場合は、INTNFEN<sub>n</sub>ビット = 0に設定してください。

(2) デジタル・ノイズ除去1制御レジスタ<sub>n</sub> (TANFC<sub>n</sub>)

TANFC<sub>n</sub>レジスタは、TIA<sub>n</sub>0, TIA<sub>n</sub>1端子のデジタル・ノイズ除去に使用するサンプリング・クロックを選択します。同じレベルをTANFC<sub>n</sub>レジスタで選択したクロックで3回連続検出されなかった場合、その信号はノイズとして除去されます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 入力信号が2~3クロック分の場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、3クロック以上の同一レベルの入力が必要です。
2. サンプリング・クロックに同期してノイズが発生している場合には、入力端子にフィルタを付加してノイズを除去してください。
  3. 通常入力ポートとして使用する場合はノイズ除去を行いません。
  4. TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CEビット = 1 (カウント動作許可) でノイズ除去機能が動作を開始します。

リセット時：00H    R/W    アドレス：TANFC2 FFFFFFFB40H, TANFC3 FFFFFFFB42H<sup>注</sup>,  
TANFC4 FFFFFFFB44H

	7	6	5	4	3	2	1	0
TANFC <sub>n</sub>	TANFEN <sub>n</sub>	0	0	0	0	0	0	TANFC <sub>n</sub> 0

( V850E/IF3 n = 2, 4 )	TANFEN <sub>n</sub>	デジタル・ノイズ除去の設定
	0	デジタル・ノイズ除去禁止
( V850E/IG3 n = 2-4 )	1	デジタル・ノイズ除去許可

TANFC <sub>n</sub> 0	サンプリング・クロックの選択
0	fxx
1	fxx/4

注 V850E/IG3のみ

(3) デジタル・ノイズ除去2制御レジスタ<sub>n</sub> (TTNFC<sub>n</sub>)

TTNFC<sub>n</sub>レジスタは、TIT<sub>n0</sub>, TIT<sub>n1</sub>, EVTT<sub>n</sub>, TENC<sub>n0</sub>, TENC<sub>n1</sub>, TECR<sub>n</sub>端子のデジタル・ノイズ除去に使用するサンプリング・クロックを選択します。同じレベルをTTNFC<sub>n</sub>レジスタで選択したクロックで3回連続検出されなかった場合、その信号はノイズとして除去されます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 入力信号が2~3クロック分の場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、3クロック以上の同一レベルの入力が必要です。
- サンプリング・クロックに同期してノイズが発生している場合には、入力端子にフィルタを付加してノイズを除去してください。
  - 通常入力ポートとして使用する場合はノイズ除去を行いません。
  - TTnCTL0.TTnCEビット = 1 (カウント動作許可) でノイズ除去機能が動作を開始します。

リセット時：00H    R/W    アドレス：TTNFC0 FFFFF5A0H<sup>注</sup>, TTNFC1 FFFFF5A2H

	7	6	5	4	3	2	1	0
TTNFC <sub>n</sub>	TTNFEN <sub>n</sub>	0	0	0	0	TTNFC <sub>n2</sub>	TTNFC <sub>n1</sub>	TTNFC <sub>n0</sub>

[ V850E/IF3  
n = 1 ]

TTNFEN <sub>n</sub>	デジタル・ノイズ除去の設定
0	デジタル・ノイズ除去禁止
1	デジタル・ノイズ除去許可

[ V850E/IG3  
n = 0, 1 ]

TTNFC <sub>n2</sub>	TTNFC <sub>n1</sub>	TTNFC <sub>n0</sub>	サンプリング・クロックの選択
0	0	0	fxx
0	0	1	fxx/4
0	1	0	fxx/8
0	1	1	fxx/16
1	0	0	fxx/32
1	0	1	fxx/64
その他			設定禁止

注 V850E/IG3のみ

## 4.7 注意事項

### 4.7.1 ポート端子設定上の注意事項

(1) ポートのレジスタ設定は、次の順番で行ってください。

PFCn, PFCEnレジスタを設定

PMCnレジスタを設定

INTFn, INTRnレジスタを設定

PMCnレジスタを先に設定したあとに、PFCn, PFCEnレジスタを設定すると、PFCn, PFCEnレジスタ設定中に意図しない周辺機能端子に設定されてしまう可能性があります。

(2) 内蔵プルアップ抵抗は、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合に接続が可能です。

さらに、V850E/IF3の場合は、兼用機能時に出力端子であるTOB0T1-TOB0T3, TOB0B1-TOB0B3, TOA21端子は、TOB0OFF, TOA2OFF, TOB1OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合に接続が可能です。

また、V850E/IG3の場合は、兼用機能時に出力端子であるTOB0T1-TOB0T3, TOB0B1-TOB0B3, TOA21, TOB1T1-TOB1T3, TOB1B1-TOB1B3, TOA31端子は、TOB0OFF, TOA2OFF, TOB1OFF, TOA3OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合に接続が可能です。

内蔵プルアップ抵抗の設定は、次の順番で行ってください。

PUnレジスタを設定

PMCnレジスタを設定

PMnレジスタを設定

(3) N-chオープン・ドレインの設定は、次の順番で行ってください。

・ポート・モードで使用する場合

PMCnレジスタを設定

PFnレジスタを設定

・I<sup>2</sup>Cの兼用機能時に出力端子で使用する場合

PFCn, PFCEnレジスタを設定

PFnレジスタを設定

PMCnレジスタを設定

### 4.7.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P20端子は出力ポート、P21-P27端子は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき、P20端子の出力をビット操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート・ラッチの値は、“FFH” になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み/読み出しの対象は、それぞれ出力ラッチ/端子状態です。

また、ビット操作命令はV850E/IF3, V850E/IG3内部で、次の順序で行われます。

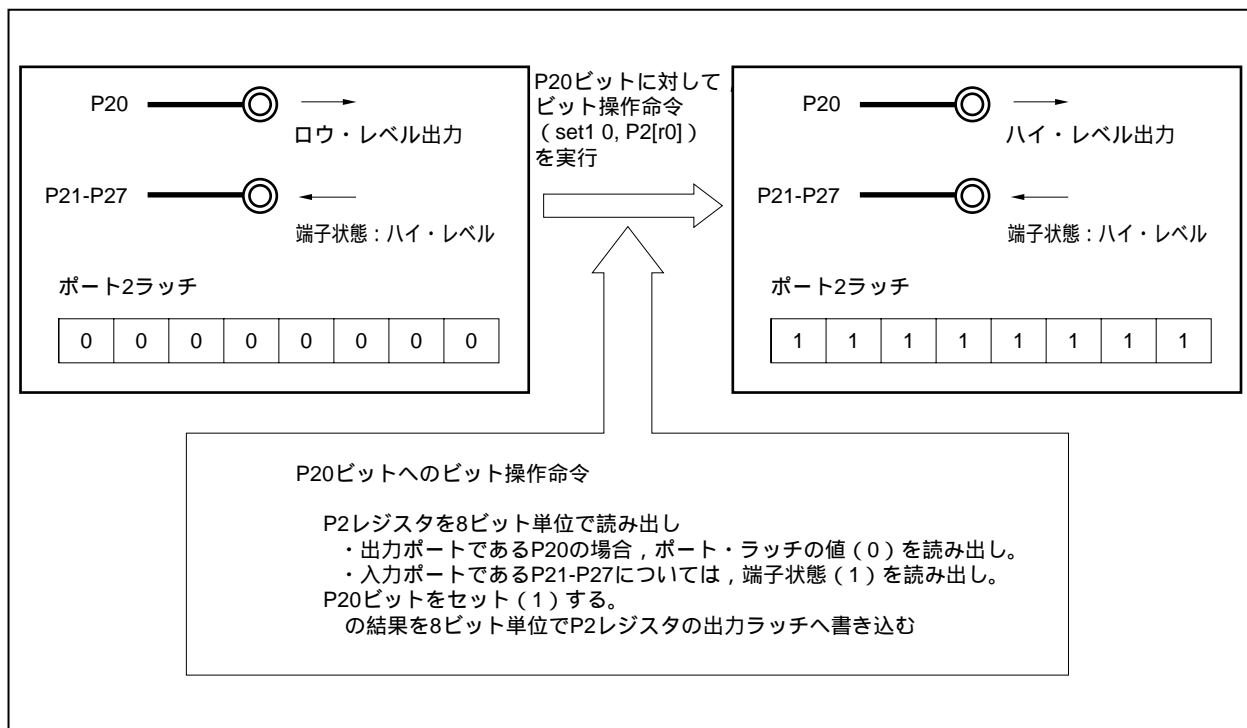
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP20端子は出力ラッチの値（0）を読み出しますが、入力ポートであるP21-P27端子は端子状態を読み出します。このときP21-P27端子の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4 - 5 ビット操作命令（P20端子の場合）



## 第5章 クロック・ジェネレータ

### 5.1 概 要

クロック・ジェネレータの概要を次に示します。

発振回路

・PLLモード時 :  $f_x = 4 \sim 8 \text{ MHz}$  ( $f_{xx} = 32 \sim 64 \text{ MHz}$ )

・クロック・スルー・モード時 :  $f_x = 4 \sim 8 \text{ MHz}$  ( $f_{xx} = 4 \sim 8 \text{ MHz}$ )

PLL (Phase Locked Loop) による逡倍機能 (8逡倍固定)

・クロック・スルー・モード / PLLモード選択可能

内部システム・クロックの生成

・4段階 ( $f_{xx}$ ,  $f_{xx}/2$ ,  $f_{xx}/4$ ,  $f_{xx}/8$ )

周辺クロックの生成

発振安定時間の選択

**注意** 発振保証範囲は4 ~ 8 MHzです。

**備考**  $f_x$  : 発振周波数

$f_{xx}$  : システム・クロック周波数



## 5.2 構成

図5-1 クロック発生回路

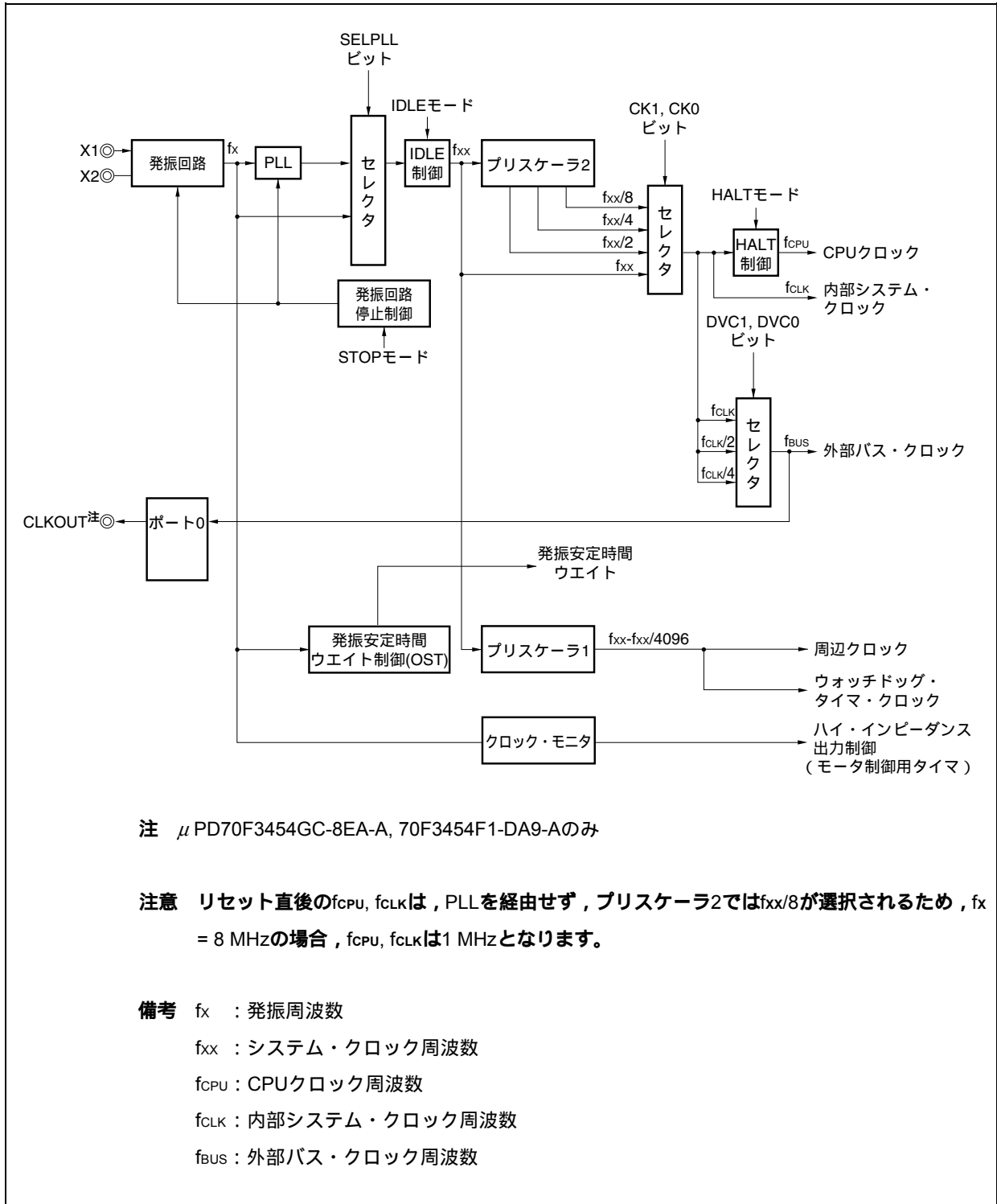


表5 - 1 各機能ブロックの動作クロック

機能ブロック		動作クロック
CPU		$f_{CPU}$ (PCCレジスタで $f_{xx}$ - $f_{xx}/8$ から選択)
DMA, 割り込みコントローラ		$f_{CLK}$ (PCCレジスタで $f_{xx}$ - $f_{xx}/8$ から選択)
TAA	TAA0, TAA1	$f_{xx}$
	TAA2-TAA4	$f_{xx}/2$
TAB		$f_{xx}$
TMT		$f_{xx}/2$
TMM		$f_{xx}/2$
ウォッチドッグ・タイマ		$f_{xx}/1024$
UARTA		$f_{UCLK}$ (UAnCTL1レジスタで $f_{xx}/2$ - $f_{xx}/4096$ から選択)
UARTB		$f_{xx}$
CSIB		$f_{CCLK}$ (CBnCTL1レジスタで $f_{xx}/4$ - $f_{xx}/256$ , 外部クロックから選択)
I <sup>2</sup> C		$f_{xx}/2$
バス制御機能		$f_{BUS}$ (DVCレジスタで $f_{CLK}/1$ , $f_{CLK}/2$ , $f_{CLK}/4$ から選択)
A/Dコンバータ0, 1		$f_{AD01}$ (ADnOCKSレジスタで $f_{xx}/2$ - $f_{xx}/4$ から選択)
A/Dコンバータ2		$f_{AD2} = f_{xx}/2$

備考1.  $f_{CPU}$  : CPUクロック周波数

$f_{xx}$  : 周辺クロック周波数

$f_{CLK}$  : 内部システム・クロック周波数

$f_{UCLK}$  : UARTA0-UARTA2の基本クロック周波数

$f_{CCLK}$  : CSIB0-CSIB2の基本クロック周波数

$f_{AD01}$  : A/Dコンバータ0, 1の基本クロック周波数

$f_{AD2}$  : A/Dコンバータ2の動作クロック周波数

$f_{BUS}$  : 外部バス・クロック周波数

2.  $n = 0, 1$

**(1) 発振回路**

次の周波数 ( $f_x$ ) を発振します。

- ・ PLLモード時 (8通倍固定) :  $f_x = 4 \sim 8 \text{ MHz}$  ( $f_{xx} = 32 \sim 64 \text{ MHz}$ )
- ・ クロック・スルー・モード時 :  $f_x = 4 \sim 8 \text{ MHz}$  ( $f_{xx} = 4 \sim 8 \text{ MHz}$ )

**(2) IDLE制御**

発振回路, PLL, クロック・モニタ動作, スレープ・モード時のCSIB, 低電圧検出回路 (LVI), パワーオン・クリア回路 (POC) 以外のすべてを停止させます。

**(3) HALT制御**

CPUクロック ( $f_{CPU}$ ) だけを停止させます。

**(4) PLL**

発振回路で生成するクロック ( $f_x$ ) を8通倍します。

PLLコントロール・レジスタ (PLLCTL) のSELPLLビットの設定により,  $f_x$  をそのまま出力するクロック・スルー・モードと, 通倍クロックを出力するPLLモードを選択します。

**(5) プリスケーラ1**

内蔵周辺機能に供給するクロック ( $f_{xx} \cdot f_{xx} / 4096$ ) を生成します。

**(6) プリスケーラ2**

システム・クロック ( $f_{xx}$ ) を分周する回路です。

CPUクロック ( $f_{CPU}$ ) と内部システム・クロック ( $f_{CLK}$ ) に供給するクロック ( $f_{xx} \cdot f_{xx} / 8$ ) を生成します。

**(7) 発振安定時間ウエイト制御 (OST)**

発振回路で生成するクロックを入力してから発振が安定するまでの時間をカウントします。また, PLLロックアップ時間もカウントします。  $2^{14}/f_x \sim 2^{18}/f_x$  から選択できます。

**(8) クロック・モニタ**

クロック・モニタは, 内蔵発振クロックで, 発振回路で生成するクロック ( $f_x$ ) のサンプリングを行います。発振停止を検出すると, モータ制御用タイマの出力をハイ・インピーダンスにします (詳細は第10章モータ制御機能参照)。

## 5.3 制御レジスタ

クロック・ジェネレータを制御するレジスタには、次の6種類があります。

- ・PLLコントロール・レジスタ (PLLCTL)
- ・プロセッサ・クロック・コントロール・レジスタ (PCG)
- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・パワー・セーブ・モード・レジスタ (PSMR)
- ・発振安定時間選択レジスタ (OSTS)
- ・クロック・モニタ・モード・レジスタ (CLM)

### (1) PLLコントロール・レジスタ (PLLCTL)

CPU動作クロックを選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

リセット時：01H    R/W    アドレス：FFFFFF82CH

	7	6	5	4	3	2	①	0
PLLCTL	0	0	0	0	0	0	SELPLL	1

SELPLL	CPU動作クロックの選択
0	クロック・スルー・モード
1	PLLモード

**注意1.** ビット7-2には必ず0を、ビット0には必ず1を設定してください。

2. SELPLLビット = 1の設定は、PLLクロック周波数が安定した状態でのみ可能です。安定していないとき（アンロック中）にSELPLLビットを書き換えた場合には、0が書き込まれています。このため、PLLモードに切り替わったことを必ず確認してください。

次に参考プログラムを示します。

```

_loop:    setl    1, PLLCTL
          tstl    1, PLLCTL
          bz     _loop
(next instruction)
    
```

(2) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより03Hになります。

リセット時：03H R/W アドレス：FFFFFF828H

	7	6	5	4	3	2	1	0
PCC	0	0	0	0	0	0	CK1	CK0

CK1	CK0	クロックの選択 (fCLK/fCPU)
0	0	fxx
0	1	fxx/2
1	0	fxx/4
1	1	fxx/8

**注意1.** ビット2-7には、必ず0を設定してください。

2. PCCレジスタ = 00Hの設定はPLLモード (PLLCTL.SELPLLビット = 1) に切り替えたあとに行ってください。

(3) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STBビットの設定によりスタンバイ・モードを指定します。PSCレジスタは特定レジスタです(3.4.8 特定レジスタ参照)。特定のシーケンスの組み合わせによってだけ書き込みができます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF1FEH

	7	6	5	④	3	2	①	0
PSC	0	0	0	INTM	0	0	STB	0

INTM	マスカブル割り込み要求 (INTxx <sup>注1</sup> ) によるスタンバイ・モードの制御 <sup>注2</sup>
0	INTxx要求によるスタンバイ・モード解除許可
1	INTxx要求によるスタンバイ・モード解除禁止

STB	動作モードの設定
0	通常モード
1	スタンバイ・モード

注1. 詳細は、表20 - 1 割り込み要因一覧を参照してください。

2. 設定はIDLEモードおよびSTOPモード時のみ有効です。

注意1. ビット0, 2, 3, 5-7には、必ず0を設定してください。

2. STBビット = 1によりスタンバイ・モードに移行する場合には、必ずPCCレジスタ = 03Hに設定してからSTBビットの指定をしてください。これ以外の設定では、スタンバイ・モードの移行や解除ができない場合があります。

なお、スタンバイ・モード解除後は、PCCレジスタを所望の値に変更してください。

3. IDLEモードおよびSTOPモードに設定する場合には、まずPCCレジスタ = 03H, PSMR.PSM0ビットの順序で設定してから、STBビット = 1にしてください。

(4) パワー・セーブ・モード・レジスタ (PSMR)

ソフトウェア・スタンバイ・モード時の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : FFFFF820H

	7	6	5	4	3	2	1	①
PSMR	0	0	0	0	0	0	0	PSM0

PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	IDLEモード
1	STOPモード

**注意1.** ビット1-7には、必ず0を設定してください。

2. PSM0ビットは、PSC.STBビット = 1のときのみ有効です。

(5) 発振安定時間選択レジスタ (OSTS)

割り込み要求によりSTOPモードを解除してから、発振が安定するまでの発振安定時間を選択するレジスタです。

8ビット単位でリード/ライト可能です。

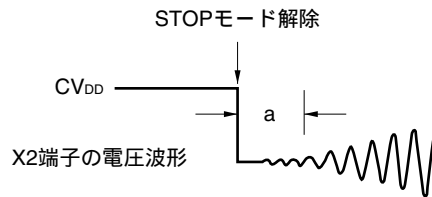
リセットにより04Hになります。

リセット時：04H R/W アドレス：FFFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	OSTS3	OSTS2	OSTS1	OSTS0

OSTS3	OSTS2	OSTS1	OSTS0	発振安定時間の選択 (fx = 8 MHz)
0	1	0	0	$2^{14}/f_x$ (2.05 ms)
0	1	0	1	$2^{15}/f_x$ (4.10 ms)
0	1	1	0	$2^{16}/f_x$ (8.19 ms)
0	1	1	1	$2^{17}/f_x$ (16.4 ms)
1	0	0	0	$2^{18}/f_x$ (32.8 ms)
その他				設定禁止

注意1. ウェイト時間は、STOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



- OSTSレジスタは、リセット後の初期値が04Hのため、8 MHzの発振子を使用した場合には、発振安定時間は約2 msです。発振安定時間の1/2はPLLロックアップ時間のウェイト分となるため、発振子としての安定時間は1 ms程度です。したがって、リセット解除時にはリセットのアクティブ期間中に発振安定時間を確保してください。また、STOPモードをリセット信号（RESET端子入力、低電圧検出回路（LVI）によるリセット信号（LVIRES）発生、パワーオン・クリア回路（POC）によるリセット信号（POCRES）発生）以外の割り込み入力解除する場合には、OSTSレジスタの設定値で発振安定時間が決定します。そのため、OSTSレジスタには、発振子の安定に必要な時間の2倍を設定してください（発振安定時間の1/2はPLLの安定時間となるため）。
- ビット4-7には、必ず0を設定してください。

備考 fx：発振周波数



(6) クロック・モニタ・モード・レジスタ (CLM)

クロック・モニタの動作モードの設定を行うレジスタです。CLMレジスタは特定レジスタです。特性シケンスの組み合わせによってだけ書き込みができます。(3.4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF870H

	7	6	5	4	3	2	1	0
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作制御
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

- 注意1.** CLMEビットはリセットによってのみクリア(0)されます。
- CLMEビット = 1のとき、次の条件では強制的にクロック・モニタ機能が停止します。
    - ・STOPモード～発振安定時間カウント時
  - CLMEビット = 1のとき、発振(f<sub>x</sub>)停止を検出した場合はモータ制御用タイマの出力をハイ・インピーダンスにします。対象のタイマ出力は図10-4を参照してください。

## 5.4 PLL機能

### 5.4.1 概要

CPUおよび周辺マクロの動作クロックを、発振周波数の8逓倍出力と、クロック・スルー・モードに切り替えることができます。

PLL機能使用時 : 入力クロック ( $f_x$ ) = 4~8 MHz, 出力クロック ( $f_{xx}$ ) = 32~64 MHz

クロック・スルー・モード : 入力クロック ( $f_x$ ) = 4~8 MHz, 出力クロック ( $f_{xx}$ ) = 4~8 MHz

### 5.4.2 PLLモード

PLLモードでは、発振周波数 ( $f_x$ ) をPLLにより8逓倍し、システム・クロック ( $f_{xx}$ ) を生成します。

PLLモードでは、発振回路からのクロックがPLLに入力され、所定の周波数でフェーズ・ロックし安定するまでのロックアップ時間（周波数安定時間）を経てから、安定した周波数のクロックを内部に供給する必要があります。V850E/IF3, V850E/IG3では、リセット解除後のロックアップ時間を自動的に確保しています。

**注意**  $f_x = 8$  MHzの発振子を使用し、その発振子の安定時間が3 ms (MAX.) 必要な場合には、リセット入力 ( $\overline{\text{RESET}}$ アクティブ) 幅は、2 ms (MIN.) 確保してください。

### 5.4.3 クロック・スルー・モード

クロック・スルー・モードでは、発振周波数 ( $f_x$ ) と同じ周波数のシステム・クロック ( $f_{xx}$ ) を生成します。

## 5.5 動作

### 5.5.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表5 - 2 各クロックの動作状態

パワー・セーブ・モード	発振回路 (fx)	PLL	内部システム・ クロック (fCLK)	周辺クロック (fxx-fxx/4096)	外部バス・ クロック (fBUS) 注1	CPUクロック (fCPU)	ウォッチドッグ・ タイマ・ クロック注2
通常動作時							
HALTモード						×	
IDLEモード			×	×	×	×	×
STOPモードおよびSTOPモード解除後の発振安定時間カウント中	×注3	×注3	×	×	×	×	×
リセット入力注4中およびその後の発振安定時間カウント中		×		×注5	×注6		×

注1.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

2. ウォッチドッグ・タイマ・クロックは、周辺クロック (fxx/1024) を使用します。
3. オンチップ・デバッグ中は動作を継続します。
4. RESET端子入力、ウォッチドッグ・タイマのオーバフローによるリセット信号 (WDTRES) 発生、低電圧検出回路 (LVI) によるリセット信号 (LVIRES) 発生、パワーオン・クリア回路 (POC) によるリセット信号 (POCRES) 発生
5. プリスケーラ (PRS) からの出力は行いません。
6. CLKOUT端子からはクロック出力しません。

備考 : 動作

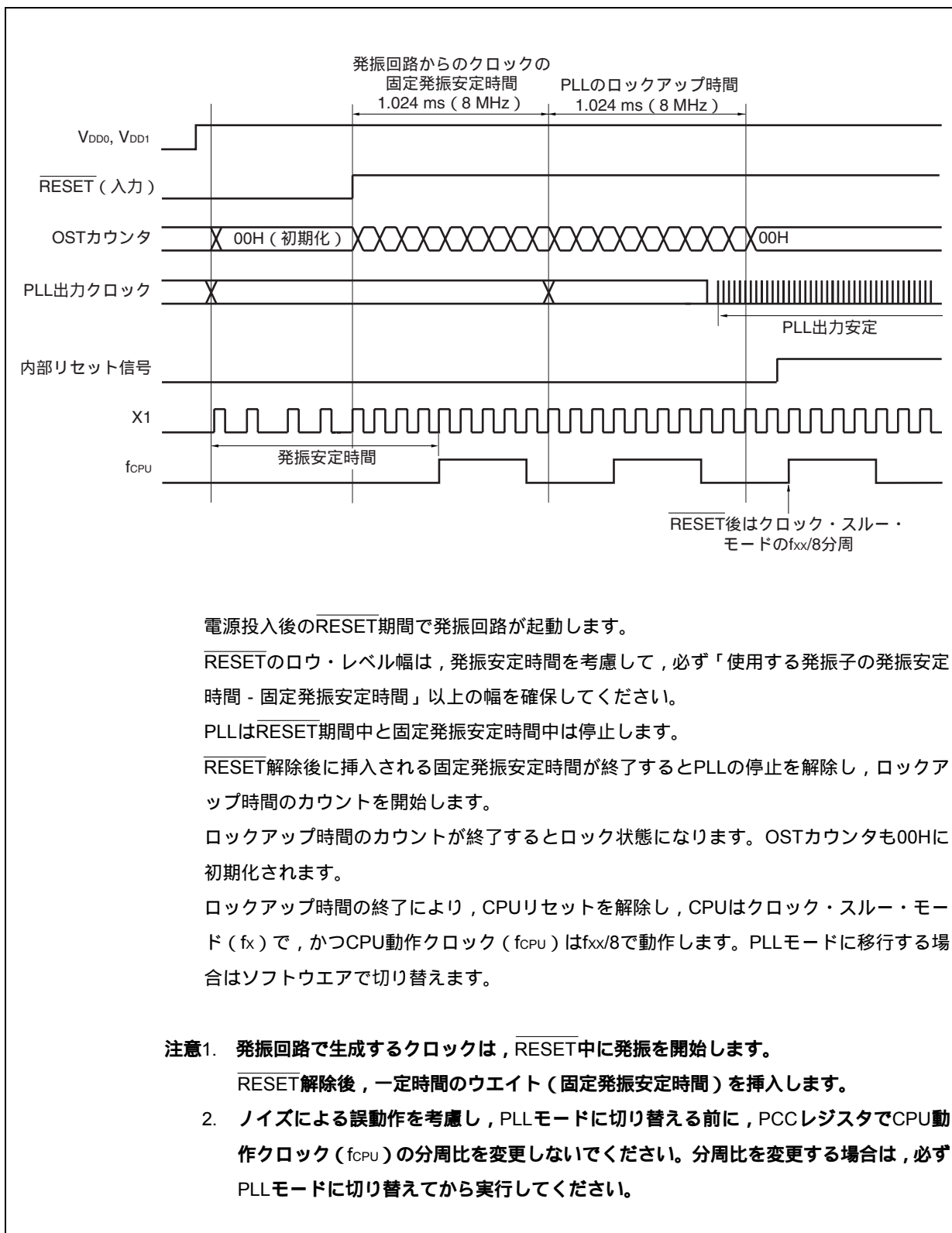
× : 停止

### 5.5.2 クロック出力機能

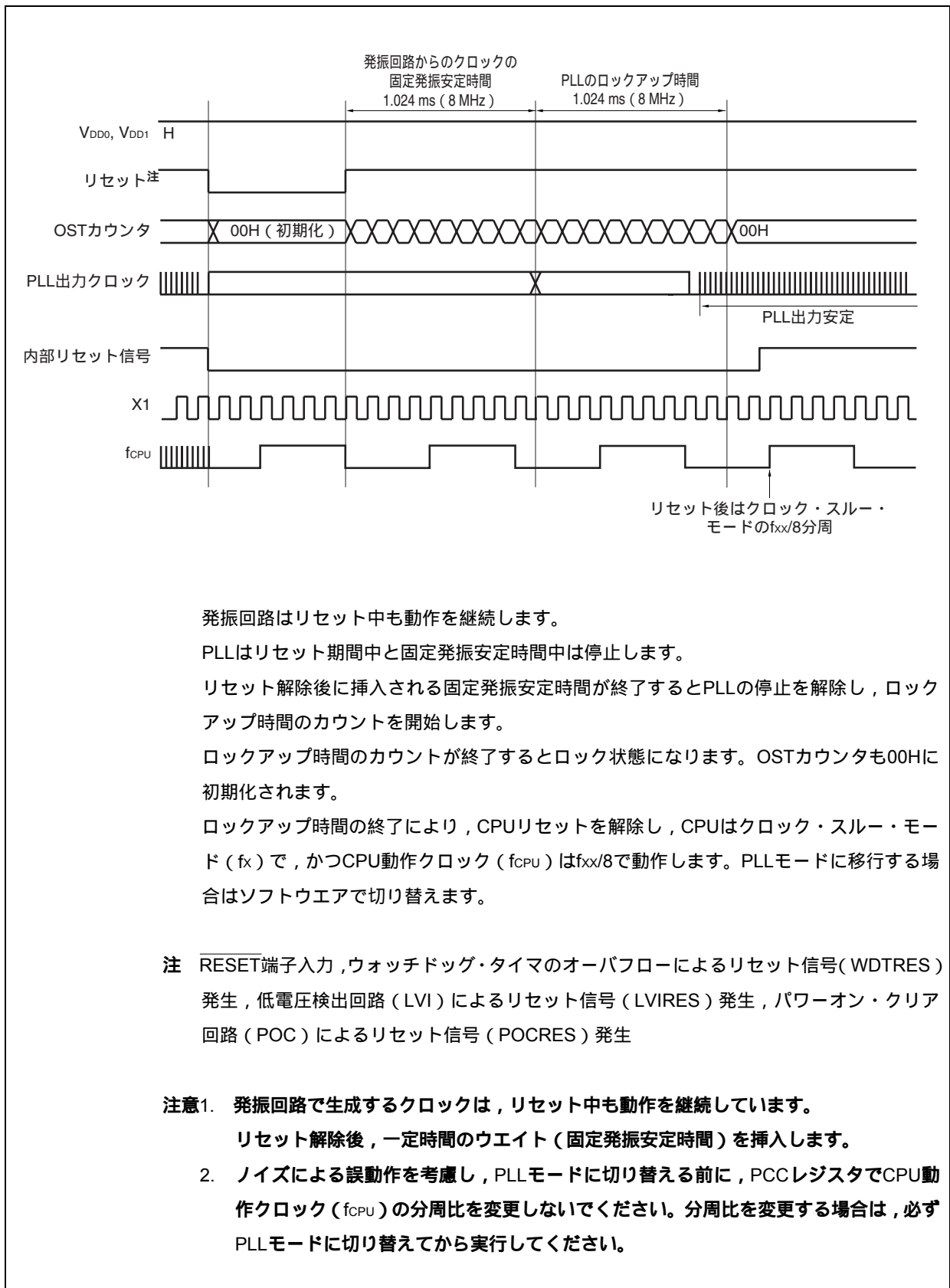
クロック出力機能は、外部バス・クロック(fBUS)をCLKOUT端子から出力する機能で、 $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ可能です。このクロック出力機能は、表5 - 2の内部システム・クロック (fCLK) が動作可能 ( ) の場合はクロック出力可能で、動作停止 (×) の場合はクロック出力を行いません。

## 5.5.3 動作タイミング

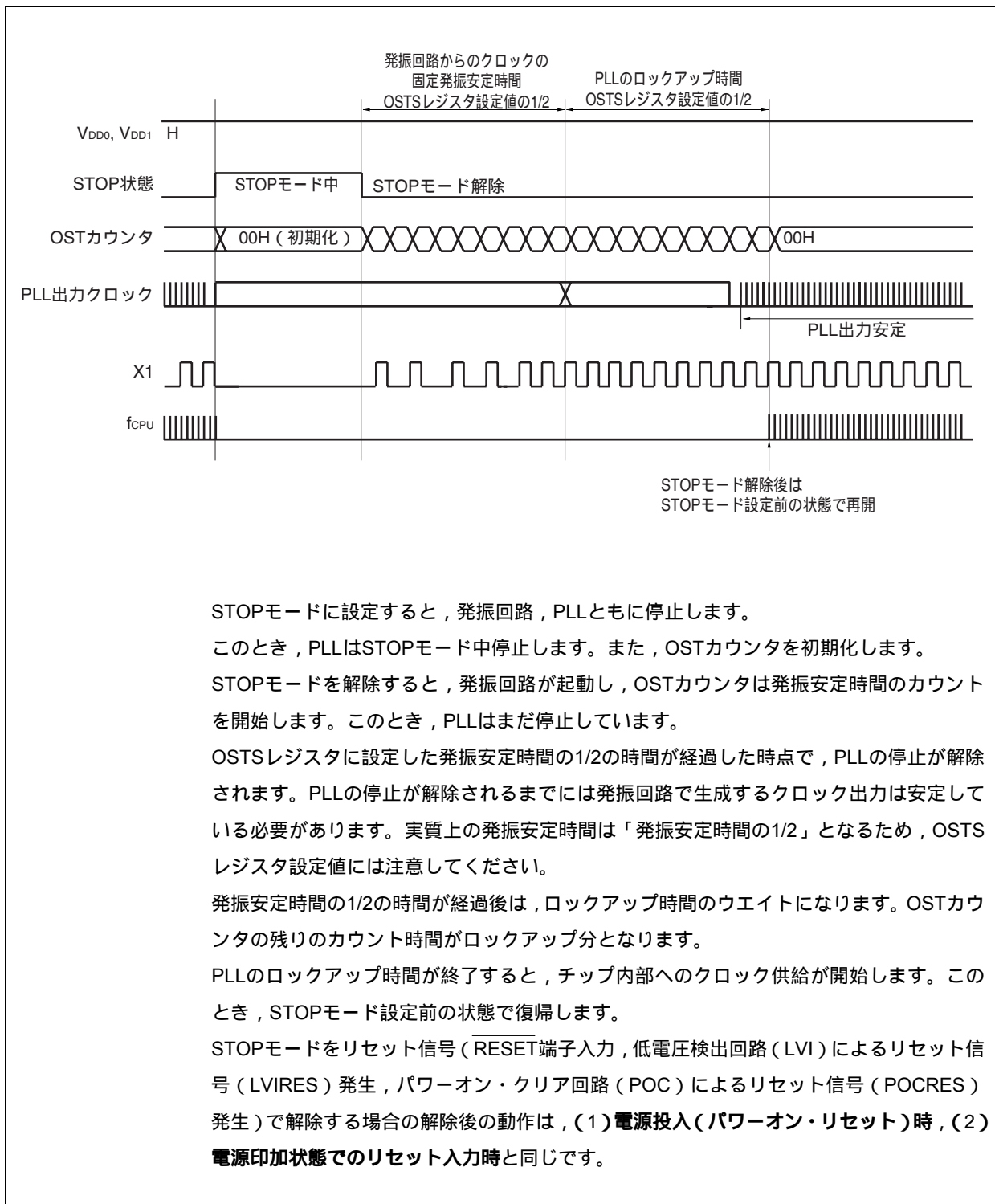
## (1) 電源投入 (パワーオン・リセット) 時



(2) 電源印加状態でのリセット入力時



## (3) 割り込み要求によるSTOPモード解除時



## 5.6 クロック・モニタ

### (1) クロック・モニタの機能

クロック・モニタは、内蔵発振クロックで、発振回路で生成するクロックのサンプリングを行い、発振停止を検出すると、モータ制御用タイマの出力をハイ・インピーダンスにします（詳細は第10章 **モータ制御機能**参照）。リセット信号（ $\overline{\text{RESET}}$ 端子入力、パワーオン・クリア回路（POC）によるリセット信号（POCRES）発生）によりクロック・モニタによるハイ・インピーダンスは解除され、端子状態はリセット後の状態になります。

## 第6章 16ビット・タイマ/イベント・カウンタAA (TAA)

タイマAA (TAA) は、16ビットのタイマ/イベント・カウンタです。

V850E/IF3, V850E/IG3は、TAA0-TAA4を内蔵しています。

### 6.1 概 要

次に、TAAの概要をチャンネルごとに示します (n = 0-4)。

表6 - 1 TAAの概要

概 要	TAA0	TAA1	TAA2	TAA3	TAA4
クロック選択	8通り	8通り	8通り	8通り	8通り
キャプチャ・トリガ入力端子	なし	なし	2本	注1	2本
外部イベント・カウント入力端子	なし	なし	1本	注2	1本
外部トリガ入力端子	なし	なし	1本	注2	1本
タイマ・カウンタ	1本	1本	1本	1本	1本
キャプチャ/コンペア・レジスタ	2本 <sup>注3</sup>	2本 <sup>注3</sup>	2本	2本 <sup>注4</sup>	2本
キャプチャ/コンペア一致割り込み要求信号	2本 <sup>注3</sup>	2本 <sup>注3</sup>	2本	2本 <sup>注4</sup>	2本
オーバフロー割り込み要求信号	1本	1本	1本	1本	1本
タイマ出力端子	なし	なし	2本	注1	2本

注1. V850E/IF3 : なし

V850E/IG3 : 2本

2. V850E/IF3 : なし

V850E/IG3 : 1本

3. コンペア機能のみ

4. V850E/IF3はコンペア機能のみ



## 6.2 機能

TAA<sub>n</sub>は、チャンネルによって実現できる機能が異なります。実現できる機能を次に示します (n = 0-4)。

表6-2 TAA<sub>n</sub>の機能

概要	TAA0	TAA1	TAA2	TAA3	TAA4
インターバル・タイマ					
外部イベント・カウンタ	×	×		注1	
外部トリガ・パルス出力	×	×		注1	
ワンショット・パルス出力	×	×		注1	
PWM出力	×	×		注1	
フリー・ランニング・タイマ	注2	注2		注3	
パルス幅測定	×	×		注1	
タイマ同調動作機能	(TAB0)	(TAB1)	×	×	×

注1. V850E/IF3 : ×

V850E/IG3 :

2. コンペア機能のみ

3. V850E/IF3はコンペア機能のみ

## 6.3 構成

TAA<sub>n</sub>は、次のハードウェアで構成されています (n = 0-4)。

表6-3 TAA<sub>n</sub>の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ×各1本
レジスタ	TAA <sub>n</sub> キャプチャ/コンペア・レジスタ0, 1 (TAA <sub>n</sub> CCR0, TAA <sub>n</sub> CCR1) TAA <sub>n</sub> カウンタ・リード・バッファ・レジスタ (TAA <sub>n</sub> CNT) CCR0, CCR1バッファ・レジスタ
タイマ入力	計6本 (TIA20, TIA21, TIA30 <sup>注1</sup> , TIA31 <sup>注1</sup> , TIA40, TIA41端子) <sup>注2, 3</sup>
タイマ出力	計6本 (TOA20, TOA21, TOA30 <sup>注1</sup> , TOA31 <sup>注1</sup> , TOA40, TOA41, 端子) <sup>注2, 3</sup>
制御レジスタ	TAA <sub>n</sub> 制御レジスタ0, 1 (TAA <sub>n</sub> CTL0, TAA <sub>n</sub> CTL1) TAA <sub>n</sub> I/O制御レジスタ0-2 (TAA <sub>n</sub> IOC0-TAA <sub>n</sub> IOC2) TAA <sub>n</sub> オプション・レジスタ0 (TAA <sub>n</sub> OPT0)

注1. V850E/IG3のみ

2. TAA0, TAA1にはありません。

3. TIA20, TIA30, TIA40端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号とタイマ出力端子 (TOA20, TOA30, TOA40) が兼用されています。

TIA21, TIA31, TIA41端子には、キャプチャ・トリガ入力信号とタイマ出力端子 (TOA21, TOA31, TOA41) が兼用されています。

備考 V850E/IF3 : n = 0-4, m = 2, 4

V850E/IG3 : n = 0-4, m = 2-4

図6-1 TAA0のブロック図

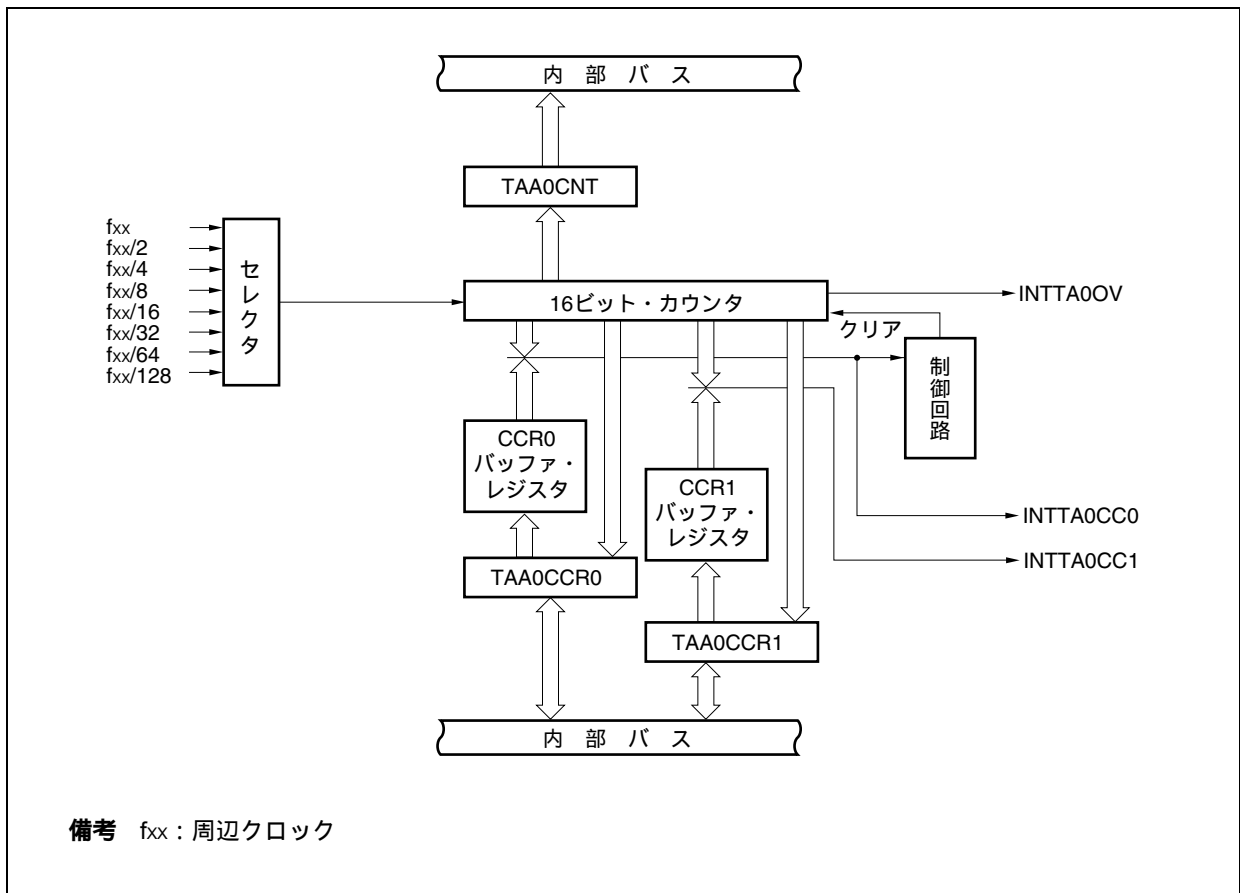


図6-2 TAA1のブロック図

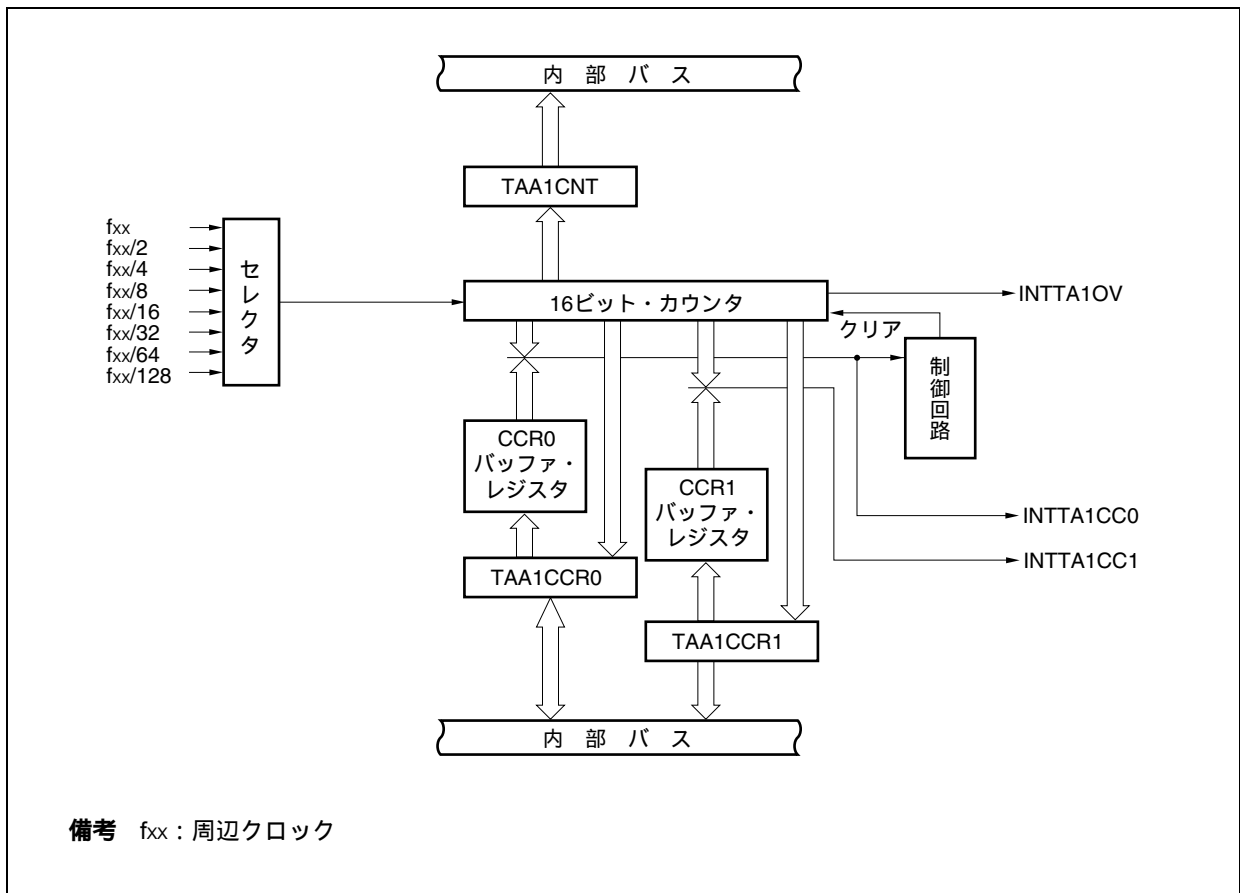


図6-3 TAA2のブロック図

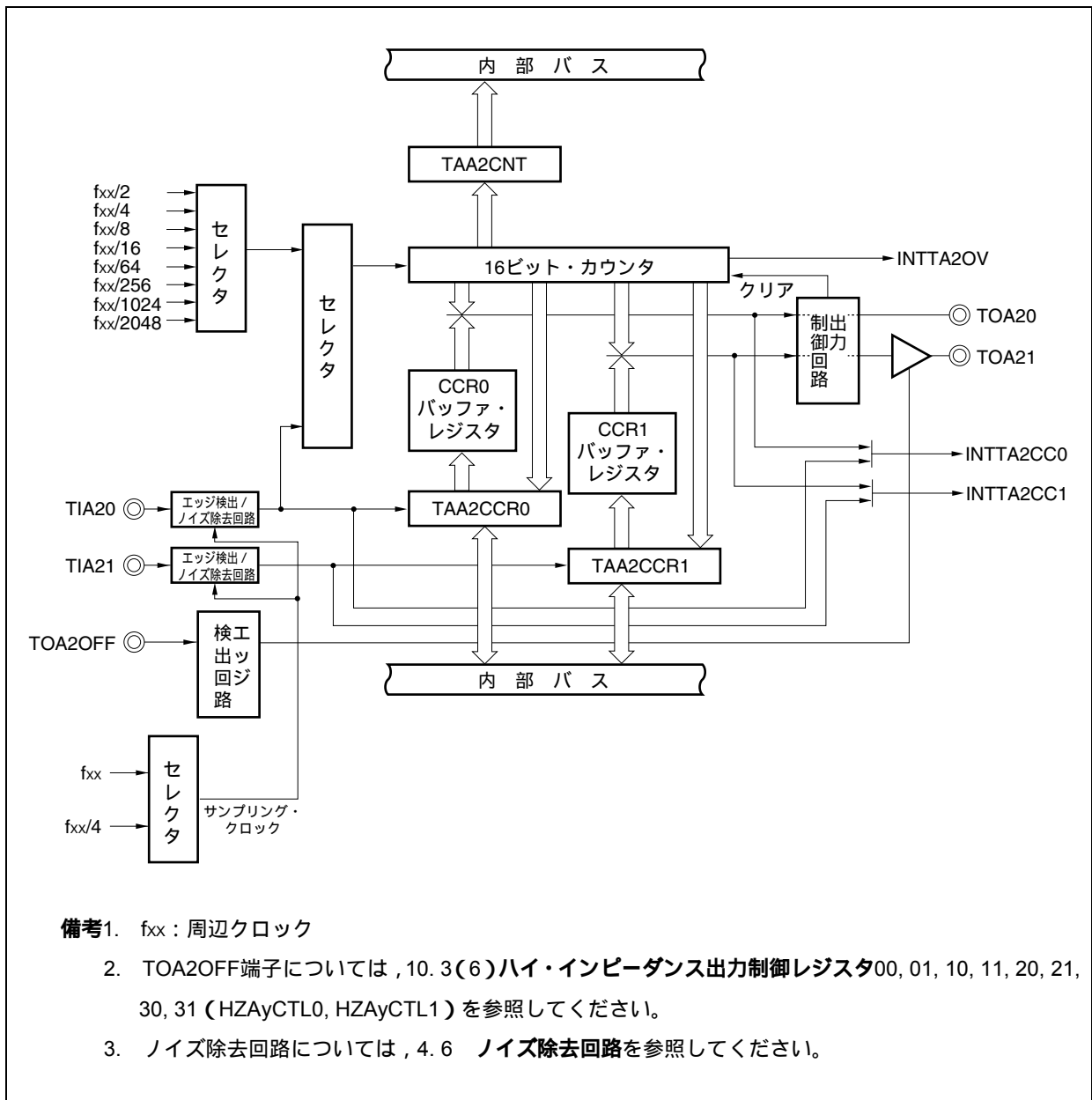
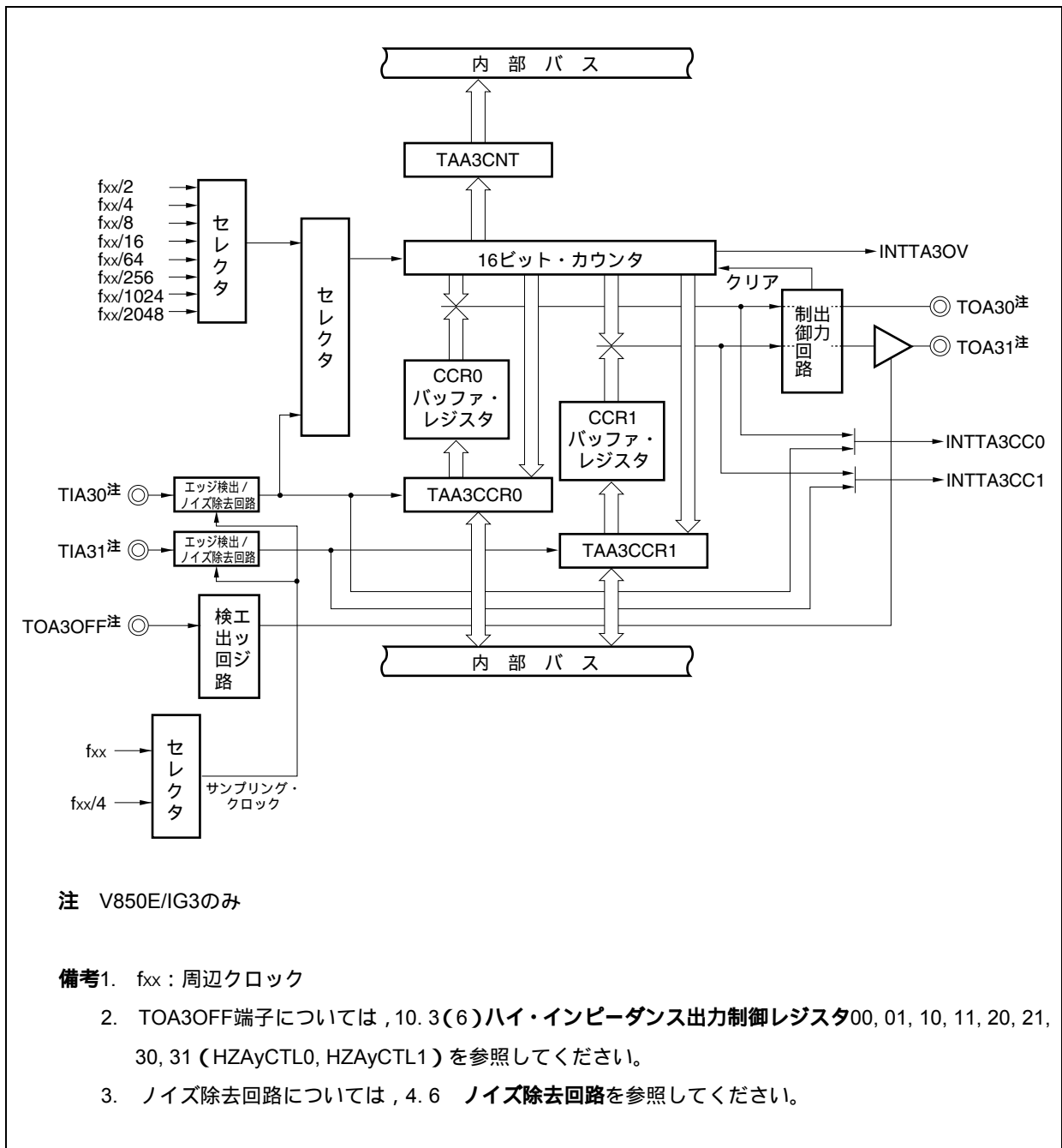


図6-4 TAA3のブロック図

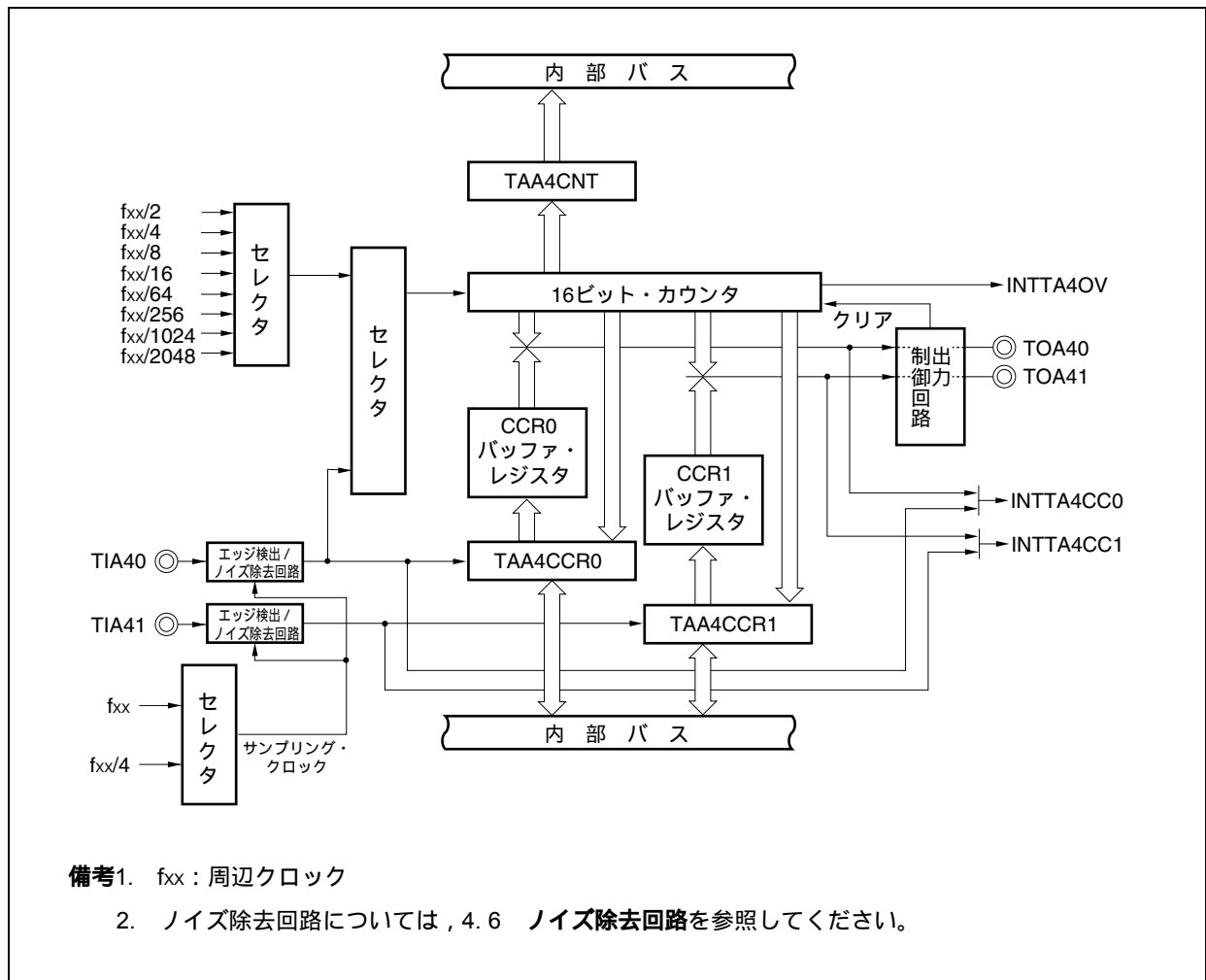


注 V850E/IG3のみ

備考1. fxx : 周辺クロック

2. TOA3OFF端子については、10.3(6)ハイ・インピーダンス出力制御レジスタ00, 01, 10, 11, 20, 21, 30, 31 (HZAyCTL0, HZAyCTL1)を参照してください。
3. ノイズ除去回路については、4.6 ノイズ除去回路を参照してください。

図6-5 TAA4のブロック図



**(1) 16ビット・カウンタ**

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TAA<sub>n</sub>CNTレジスタでリードできます。

TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTAA<sub>n</sub>CNTレジスタをリードすると0000Hがリードされます。

リセット時にはTAA<sub>n</sub>CEビット = 0になります。

**(2) CCR0バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TAA<sub>n</sub>CCR0レジスタをコンペア・レジスタとして使用するとき、TAA<sub>n</sub>CCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTAA<sub>n</sub>CC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTAA<sub>n</sub>CCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

**(3) CCR1バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TAA<sub>n</sub>CCR1レジスタをコンペア・レジスタとして使用するとき、TAA<sub>n</sub>CCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTAA<sub>n</sub>CC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTAA<sub>n</sub>CCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

**(4) エッジ検出回路**

TIA20, TIA21, TIA30 (V850E/IG3のみ), TIA31 (V850E/IG3のみ), TIA40, TIA41端子に入力される有効エッジを検出します。有効エッジは、TAA<sub>m</sub>IOC1, TAA<sub>m</sub>IOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

**(5) 出力制御回路**

TOA20, TOA21, TOA30 (V850E/IG3のみ), TOA31 (V850E/IG3のみ), TOA40, TOA41端子の出力をTAA<sub>m</sub>IOC0レジスタで制御します。

**(6) セレクタ**

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

## 6.4 レジスタ

### (1) TAA制御レジスタ0 (TAACTL0)

TAACTL0レジスタは、TAAの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TAACTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TAA0CTL0 FFFFF660H, TAA1CTL0 FFFFF680H,  
TAA2CTL0 FFFFF6A0H, TAA3CTL0 FFFFFB00H,  
TAA4CTL0 FFFFFB20H

	⑦	6	5	4	3	2	1	0
TAACTL0 (n = 0-4)	TAAAnCE	0	0	0	0	TAAAnCKS2	TAAAnCKS1	TAAAnCKS0

TAAAnCE	TAAAnの動作の制御
0	TAAAn動作禁止 (TAAAnを非同期にリセット注)
1	TAAAn動作許可。TAAAn動作開始

TAAAnCKS2	TAAAnCKS1	TAAAnCKS0	内部カウント・クロックの選択	
			TAA0, TAA1	TAA2-TAA4
0	0	0	fxx	fxx/2
0	0	1	fxx/2	fxx/4
0	1	0	fxx/4	fxx/8
0	1	1	fxx/8	fxx/16
1	0	0	fxx/16	fxx/64
1	0	1	fxx/32	fxx/256
1	1	0	fxx/64	fxx/1024
1	1	1	fxx/128	fxx/2048

**注** TAAAnOPT0.TAAAnOVFビット, 16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOA20, TOA21, TOA30 (V850E/IG3のみ), TOA31 (V850E/IG3のみ), TOA40, TOA41端子)も16ビット・カウンタと同時にTAAAnIOC0レジスタの設定状態にリセットされず (V850E/IF3 : m = 2, 4, V850E/IG3 : m = 2-4)。

**注意1.** TAAAnCKS2-TAAAnCKS0ビットは, TAAAnCEビット = 0のときに設定してください。

TAAAnCEビットを“0”から“1”に設定するときも, 同時にTAAAnCKS2-TAAAnCKS0ビットを設定できます。

**2.** ビット3-6には必ず0を設定してください。

**備考** fxx : 周辺クロック



(2) TAA制御レジスタ1 (TAACTL1)

TAACTL1レジスタは、TAAの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TAA0CTL1 FFFFF661H, TAA1CTL1 FFFFF681H,  
TAA2CTL1 FFFFF6A1H, TAA3CTL1 FFFFFB01H,  
TAA4CTL1 FFFFFB21H

	7	6	5	4	3	2	1	0
TAACTL1	TAAaSYE <sup>注1</sup>	TAAmEST <sup>注2</sup>	TAAmEEE <sup>注2</sup>	0	0	TAAmMD2	TAAmMD1	TAAmMD0

V850E/IF3 n = 0-4 m = 2, 4 a = 0, 1	TAAaSYE <sup>注1</sup>	動作モードの選択
	0	TAAa単体モード使用
V850E/IG3 n = 0-4 m = 2-4 a = 0, 1	1	同調動作モード (10.4.5参照)
	同調動作時のTAAaは、A/Dコンバータ0, 1のA/D変換開始トリガ要因としてのみ使用できます。同調動作モードは、常に、TABaと同期して動作します。	

TAAmEST <sup>注2</sup>	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 ：TAAmESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時 ：TAAmESTビットへの“1”ライトをトリガとして、PWM波形を出力
TAAmESTビットのリード値は常に0です。	

注1. TAA0, TAA1のみ設定可能です。TAA2-TAA4のビット7には必ず0を設定してください。

同調動作モードの詳細は第10章 モータ制御機能を参照してください。

2. V850E/IF3は、TAA2, TAA4のみ設定可能です。TAA0, TAA1, TAA3のビット5, 6には必ず0を設定してください。

V850E/IG3は、TAA2-TAA4のみ設定可能です。TAA0, TAA1のビット5, 6には必ず0を設定してください。

TAAmEEE <sup>注1</sup>	カウント・クロックの選択
0	外部イベント・カウント入力 (TIAm0端子) での動作禁止 (TAAmCTL0.TAAmCKS0-TAAmCKS2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力 (TIAm0端子) での動作許可 <sup>注2</sup> (外部イベント・カウント入力信号 (TIAm0端子) の有効エッジごとにカウント動作を行う)

TAAmEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。

TAAmMD2	TAAmMD1	TAAmMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

注1. V850E/IF3は、TAA2, TAA4のみ設定可能です。TAA0, TAA1, TAA3のビット5, 6には必ず0を設定してください。

V850E/IG3は、TAA2-TAA4のみ設定可能です。TAA0, TAA1のビット5, 6には必ず0を設定してください。

2. キャプチャ・トリガ入力 (TIAm0端子), 外部トリガ入力 (TIAm0端子) の有効エッジの選択は, “エッジ検出なし” に設定してください。

注意1. TAAmESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは, “1” をライトしても無視されます。

2. 外部イベント・カウント・モードのときは, TAAmEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
3. TAAaSYE, TAAmEEE, TAAmMD2-TAAmMD0ビットは, TAAmCTL0.TAAmCEビット = 0のときに設定してください (TAAmCEビット = 1のときの同値書き込みは可能)。TAAmCEビット = 1のときに書き換えた場合, 動作を保証できません。誤って書き換えた場合は, TAAmCEビットをクリア (0) してから再設定してください。
4. ビット3, 4には必ず0を設定してください。

(3) TAAmI/O制御レジスタ0 (TAAmIOC0)

TAAmIOC0レジスタは、タイマ出力 (TOAm0, TOAm1端子) を制御する8ビットのレジスタです。  
8/1ビット単位でリード/ライト可能です。  
リセットにより00Hになります。

(1/2)

リセット時 : 00H    R/W    アドレス : TAA2IOC0 FFFFF6A2H, TAA3IOC0 FFFFFB02H<sup>注1</sup>,  
TAA4IOC0 FFFFFB22H

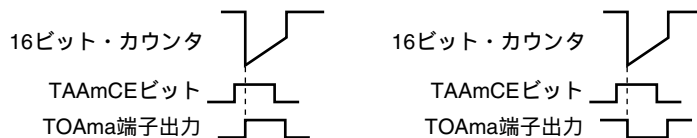
	7	6	5	4	3	②	1	①
TAAmIOC0	0	0	0	0	TAAmOL1	TAAmOE1	TAAmOL0	TAAmOE0
[ V850E/IF3 m = 2, 4 a = 0, 1 ]	TAAmOL1	TOAm1端子出力レベルの設定 <sup>注2</sup>						
	0	TOAm1端子ハイ・レベル・スタート						
[ V850E/IG3 m = 2-4 a = 0, 1 ]	1	TOAm1端子ロウ・レベル・スタート						
	TAAmOE1	TOAm1端子出力の設定						
0	タイマ出力禁止 ・ TAAmOL1ビット = 0のときTOAm1端子からロウ・レベルを出力 ・ TAAmOL1ビット = 1のときTOAm1端子からハイ・レベルを出力							
1	タイマ出力許可 (TOAm1端子からパルスを出力)							
TAAmOL0	TOAm0端子出力レベルの設定 <sup>注2</sup>							
0	TOAm0端子ハイ・レベル・スタート							
1	TOAm0端子ロウ・レベル・スタート							
TAAmOE0	TOAm0端子出力の設定							
0	タイマ出力禁止 ・ TAAmOL0ビット = 0のときTOAm0端子からロウ・レベルを出力 ・ TAAmOL0ビット = 1のときTOAm0端子からハイ・レベルを出力							
1	タイマ出力許可 (TOAm0端子からパルスを出力)							

注1. V850E/IG3のみ

2. TAAmOLaビットの指定によるタイマ出力端子 (TOAm0, TOAm1) の出力レベルを次に示します。

・ TAAmOLaビット = 0の場合

・ TAAmOLaビット = 1の場合



- 注意1. ポート設定がTOAm0, TOAm1出力設定の場合, TAAmIOC0レジスタの設定を書き換えると端子出力が変化するので, ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして, 端子状態の変化に注意してください。
2. TAAmOL1, TAAmOE1, TAAmOL0, TAAmOE0ビットは, TAAmCTL0.TAAmCEビット = 0のときに書き換えてください (TAAmCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TAAmCEビットをクリア (0) してから再設定してください。
3. TAAmCEビット = 0, TAAmOE0ビット = 0, TAAmOE1ビット = 0の状態において, TAAmOL0ビット, TAAmOL1ビットを操作した場合でも, TOAm0, TOAm1端子の出力レベルは変化します。

(4) TAAmI/O制御レジスタ1 (TAAmIOC1)

TAAmIOC1レジスタは、キャプチャ・トリガ入力信号 (TIAm0, TIAm1端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: TAA2IOC1 FFFFFFF6A3H, TAA3IOC1 FFFFFFFB03H<sup>注</sup>,  
TAA4IOC1 FFFFFFFB23H

	7	6	5	4	3	2	1	0
TAAmIOC1	0	0	0	0	TAAmIS3	TAAmIS2	TAAmIS1	TAAmIS0

〔V850E/IF3 m = 2, 4〕	TAAmIS3	TAAmIS2	キャプチャ・トリガ入力信号 (TIAm1端子) の有効エッジの設定
	0	0	エッジ検出なし (キャプチャ動作無効)
〔V850E/IG3 m = 2-4〕	0	1	立ち上がりエッジを検出
	1	0	立ち下がりエッジを検出
	1	1	両エッジを検出
	0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出	
1	0	立ち下がりエッジを検出	
1	1	両エッジを検出	

TAAmIS1	TAAmIS0	キャプチャ・トリガ入力信号 (TIAm0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注 V850E/IG3のみ

- 注意1. TAAmIS3-TAAmIS0ビットは、TAAmCTL0.TAAmCEビット = 0のときに書き換えてください (TAAmCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TAAmCEビットをクリア (0) してから再設定してください。
2. TAAmIS3-TAAmIS0ビットは、フリー・ランニング・タイマ・モード (TAAmOPT0.TAAmCCS1, TAAmCCS0ビット = 11時のみ) と、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

(5) TAAmI/O制御レジスタ2 (TAAmIOC2)

TAAmIOC2レジスタは、外部イベント・カウント入力信号 (TIAm0端子)、外部トリガ入力信号 (TIAm0端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TAA2IOC2 FFFFFFF6A4H, TAA3IOC2 FFFFFFFB04H<sup>注</sup>,  
TAA4IOC2 FFFFFFFB24H

		7	6	5	4	3	2	1	0
TAAmIOC2		0	0	0	0	TAAmEES1	TAAmEES0	TAAmETS1	TAAmETS0
〔 V850E/IF3 m = 2, 4 〕	TAAmEES1	外部イベント・カウント入力信号 (TIAm0端子) の有効エッジの設定							
	TAAmEES0	外部イベント・カウント入力信号 (TIAm0端子) の有効エッジの設定							
〔 V850E/IG3 m = 2-4 〕	0	0	エッジ検出なし (外部イベント・カウント無効)						
	0	1	立ち上がりエッジを検出						
	1	0	立ち下がりエッジを検出						
	1	1	両エッジを検出						
	TAAmETS1	外部トリガ入力信号 (TIAm0端子) の有効エッジの設定							
	TAAmETS0	外部トリガ入力信号 (TIAm0端子) の有効エッジの設定							
	0	0	エッジ検出なし (外部トリガ無効)						
	0	1	立ち上がりエッジを検出						
	1	0	立ち下がりエッジを検出						
	1	1	両エッジを検出						

注 V850E/IG3のみ

- 注意1. TAAmEES1, TAAmEES0, TAAmETS1, TAAmETS0ビットは、TAAmCTL0.TAAmCEビット = 0のときに書き換えてください (TAAmCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TAAmCEビットをクリア (0) してから再設定してください。
2. TAAmEES1, TAAmEES0ビットは、TAAmCTL1.TAAmEEEビット = 1, または、外部イベント・カウント・モード (TAAmCTL1.TAAmMD2-TAAmMD0ビット = 001) に設定したときのみ有効です。
3. TAAmETS1, TAAmETS0ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。

(6) TAA<sub>n</sub>オプション・レジスタ0 (TAA<sub>n</sub>OPT0)

TAA<sub>n</sub>OPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

( 1/2 )

リセット時：00H R/W アドレス：TAA0OPT0 FFFFF665H, TAA1OPT0 FFFFF685H,  
TAA2OPT0 FFFFF6A5H, TAA3OPT0 FFFFFB05H,  
TAA4OPT0 FFFFFB25H

	7	6	5	4	3	2	1	①
TAA <sub>n</sub> OPT0	0	0	TAAmCCS1 <sup>注</sup>	TAAmCCS0 <sup>注</sup>	0	0	0	TAA <sub>n</sub> OVF
[ V850E/IF3 n = 0-4 m = 2, 4 ]	TAAmCCS1 <sup>注</sup>		TAAmCCR1レジスタのキャプチャ/コンペア選択					
	0	コンペア・レジスタに選択						
[ V850E/IG3 n = 0-4 m = 2-4 ]	1	キャプチャ・レジスタに選択 ( TAAmCTL0.TAAmCEビット = 0によりクリア )						
	TAAmCCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。							

TAAmCCS0 <sup>注</sup>	TAAmCCR0レジスタのキャプチャ/コンペア選択						
0	コンペア・レジスタに選択						
1	キャプチャ・レジスタに選択 ( TAAmCTL0.TAAmCEビット = 0によりクリア )						
TAAmCCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。							

TAA <sub>n</sub> OVF	TAA <sub>n</sub> のオーバフロー検出フラグ
セット ( 1 )	オーバフロー発生
リセット ( 0 )	TAA <sub>n</sub> OVFビットへの0書き込みまたはTAA <sub>n</sub> CTL0.TAA <sub>n</sub> CEビット = 0
<ul style="list-style-type: none"> <li>・ TAA<sub>n</sub>OVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタの値がFFFFHから0000Hにオーバフローするときセット ( 1 ) されます。</li> <li>・ TAA<sub>n</sub>OVFビットがセット ( 1 ) されると同時に、オーバフロー割り込み要求信号 ( INTTAA<sub>n</sub>OV ) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTAA<sub>n</sub>OV信号は発生しません。</li> <li>・ TAA<sub>n</sub>OVFビット = 1のときにTAA<sub>n</sub>OVFビットまたはTAA<sub>n</sub>OPT0レジスタをリードしても、TAA<sub>n</sub>OVFビットはクリア ( 0 ) されません。</li> <li>・ INTTAA<sub>n</sub>OV信号発生後、TAA<sub>n</sub>OVFビットをクリア ( 0 ) する場合は、必ずTAA<sub>n</sub>OVFビットがセット ( 1 ) されているのを確認 ( リード ) 後クリア ( 0 ) してください。</li> <li>・ TAA<sub>n</sub>OVFビットはリード/ライト可能ですが、ソフトウェアでTAA<sub>n</sub>OVFビットをセット ( 1 ) することはできません。1をライトしてもTAA<sub>n</sub>の動作に影響はありません。</li> </ul>	

**注** V850E/IF3は、TAA2, TAA4のみ有効です。TAA0, TAA1, TAA3のビット4, 5には必ず0を設定してください。

V850E/IG3は、TAA2-TAA4のみ有効です。TAA0, TAA1のビット4, 5には必ず0を設定してください。

- 注意1.** TAAmCCS1, TAAmCCS0ビットは, TAAmCEビット = 0のときに書き換えてください (TAAmCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TAAmCEビットをクリア(0)してから再設定してください。
- 2.** ビット1-3, 6, 7には必ず0を設定してください。

#### (7) TAA<sub>n</sub>キャプチャ/コンペア・レジスタ0 (TAA<sub>n</sub>CCR0)

TAA<sub>n</sub>CCR0レジスタは, 各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TAA<sub>k</sub>CCR0レジスタは, コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

TAA<sub>n</sub>CCR0レジスタは, フリー・ランニング・タイマ・モードの場合のみ, TAAmOPT0.TAAmCCS0ビットの設定により, キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は, キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは, コンペア・レジスタとしてのみ使用します。

TAA<sub>n</sub>CCR0レジスタは, 動作中のリード/ライトを許可します。

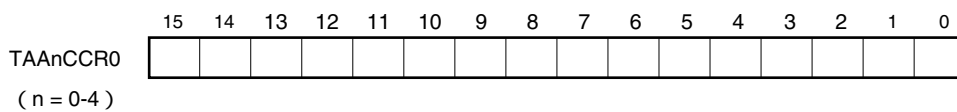
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**備考** V850E/IF3 : n = 0-4, m = 2, 4, k = 0, 1, 3

V850E/IG3 : n = 0-4, m = 2-4, k = 0, 1

リセット時 : 0000H    R/W    アドレス : TAA0CCR0 FFFFF666H, TAA1CCR0 FFFFF686H,  
TAA2CCR0 FFFFF6A6H, TAA3CCR0 FFFFFB06H,  
TAA4CCR0 FFFFFB26H





(a) コンペア・レジスタとしての機能

TAAAnCCR0レジスタは、TAAAnCTL0.TAAAnCEビット = 1のときでも書き換えできます。

TAAAnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTAAAnCC0) を発生し、TOAm0端子出力を許可している場合、TOAm0端子出力を反転します。

インターバル・タイマ・モードの場合はTAAAnCCR0レジスタを、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードの場合はTAAmCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TAAAnCTL0.TAAAnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TAAmCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIAm0端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAAmCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIAm0端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAAmCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTAAmCCR0レジスタのリードが競合しても、TAAmCCR0レジスタは正しい値をリードできます。

TAAmCTL0.TAAmCEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 V850E/IF3 : n = 0-4, m = 2, 4

V850E/IG3 : n = 0-4, m = 2-4

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表6 - 4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ <sup>注1</sup>	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 <sup>注1</sup>	コンペア・レジスタ	一斉書き込み <sup>注2</sup>
ワンショット・パルス出力 <sup>注1</sup>	コンペア・レジスタ	随時書き込み
PWM出力 <sup>注1</sup>	コンペア・レジスタ	一斉書き込み <sup>注2</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 <sup>注1</sup>	キャプチャ・レジスタ	なし

注1. V850E/IF3はTAA2, TAA4のみ。V850E/IG3はTAA2-TAA4のみ

2. TAAmCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、6.6(2)随時書き込みと一斉書き込みを参照してください。

(8) TAA<sub>n</sub>キャプチャ/コンペア・レジスタ1 (TAA<sub>n</sub>CCR1)

TAA<sub>n</sub>CCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TAA<sub>k</sub>CCR1レジスタは、コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

TAA<sub>n</sub>CCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TAA<sub>n</sub>OPT0.TAA<sub>n</sub>CCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TAA<sub>n</sub>CCR1レジスタは、動作中のリード/ライトを許可します。

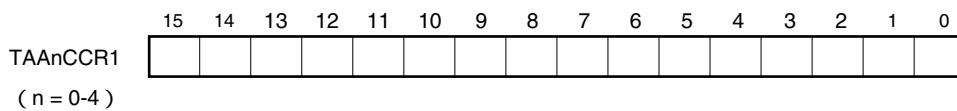
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**備考** V850E/IF3 : n = 0-4 , m = 2, 4 , k = 0, 1, 3

V850E/IG3 : n = 0-4 , m = 2-4 , k = 0, 1

リセット時 : 0000H    R/W    アドレス : TAA0CCR1 FFFFFFF68H, TAA1CCR1 FFFFF688H,  
TAA2CCR1 FFFFF6A8H, TAA3CCR1 FFFFFB08H,  
TAA4CCR1 FFFFFB28H



(a) コンペア・レジスタとしての機能

TAA<sub>n</sub>CCR1レジスタは、TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CEビット = 1のときでも書き換えできます。

TAA<sub>n</sub>CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTAA<sub>n</sub>CC1) を発生し、TOA<sub>m</sub>1端子出力を許可している場合、TOA<sub>m</sub>1端子出力を反転します。

TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TAA<sub>m</sub>CCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIA<sub>m</sub>1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAA<sub>m</sub>CCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIA<sub>m</sub>1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAA<sub>m</sub>CCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTAA<sub>m</sub>CCR1レジスタのリードが競合しても、TAA<sub>m</sub>CCR1レジスタは正しい値をリードできます。

TAA<sub>m</sub>CTL0.TAA<sub>m</sub>CEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 V850E/IF3 : n = 0-4 , m = 2, 4

V850E/IG3 : n = 0-4 , m = 2-4

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表6 - 5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ <sup>注1</sup>	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 <sup>注1</sup>	コンペア・レジスタ	一斉書き込み <sup>注2</sup>
ワンショット・パルス出力 <sup>注1</sup>	コンペア・レジスタ	随時書き込み
PWM出力 <sup>注1</sup>	コンペア・レジスタ	一斉書き込み <sup>注2</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 <sup>注1</sup>	キャプチャ・レジスタ	なし

注1. V850E/IF3はTAA2, TAA4のみ。V850E/IG3はTAA2-TAA4のみ

2. TAA<sub>m</sub>CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、6.6(2)随時書き込みと一斉書き込みを参照してください。

(9) TAAncカウンタ・リード・バッファ・レジスタ (TAAncCNT)

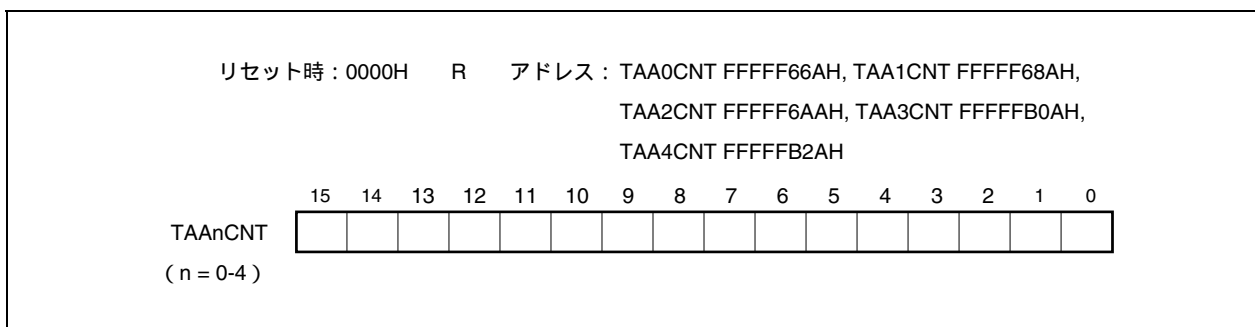
TAAncCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TAAncCTL0.TAAncCEビット = 1のときにTAAncCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TAAncCEビット = 0のとき、TAAncCNTレジスタは0000Hになります。このときにTAAncCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) ではなく、そのまま0000Hがリードされます。

リセットによりTAAncCEビット = 0になり、TAAncCNTレジスタは0000Hになります。



## 6.5 タイマ出力動作説明

次にTOAm0, TOAm1端子の動作，および出力レベルを示します。

表6-6 各モードによるタイマ出力制御

動作モード	TOAm1端子	TOAm0端子
インターバル・タイマ・モード	PWM出力	
外部イベント・カウント・モード	なし	
外部トリガ・パルス出力モード	外部トリガ・パルス出力	PWM出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	PWM出力 (コンペア機能のときのみ)	
パルス幅測定モード	なし	

備考 V850E/IF3 : m = 2, 4

V850E/IG3 : m = 2-4

表6 - 7 タイマ出力制御ビットによるTOAm0, TOAm1端子の真理値表

TAAmIOC0.TAAmOLaビット	TAAmIOC0.TAAmOEaビット	TAAmCTL0.TAAmCEビット	TOAma端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 V850E/IF3 : m = 2, 4 , a = 0, 1

V850E/IG3 : m = 2-4 , a = 0, 1

## 6.6 動作

TAAa は、チャンネルによって実現できる機能が異なります。次に各チャンネルの機能を示します。

表6 - 8 TAA0, TAA1の各モードの仕様

動作	ソフトウェア・トリガ・ビット	外部トリガ入力	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	なし			
外部トリガ・パルス出力モード	なし			
ワンショット・パルス出力モード	なし			
PWM出力モード	なし			
フリー・ランニング・タイマ・モード	無効	無効	コンペア専用	随時書き込み
パルス幅測定モード	なし			

備考1. TAAaにはタイマ入力端子 (TIAa0, TIAa1) , およびタイマ出力端子 (TOAa0, TOAa1) はありません。16ビット・カウンタとTAAaCCR0, TAAaCCR1レジスタとの一致割り込み要求信号 (INTTAaCC0, INTTAaCC1) はあります。

2. TAAaはTABAとの同調動作機能があります。詳細は第10章 モータ制御機能を参照してください。
3. a = 0, 1

表6-9 TAA2-TAA4の各モードの仕様

動作	TAAmCTL1.TAAmESTビット (ソフトウェア・トリガ・ビット)	TIAm0端子 (外部トリガ入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード <sup>注1</sup>	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード <sup>注2</sup>	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード <sup>注2</sup>	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能 <sup>注3</sup>	随時書き込み
パルス幅測定モード <sup>注2</sup>	無効	無効	キャプチャ専用	対象外

- 注1. 外部イベント・カウント・モードを使用する場合、TIAm0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TAAmIOC1.TAAmIS1, TAAmIS0ビットを“00”) に設定してください。
2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TAAmCTL1.TAAmEEEビット = 0に設定) してください。
3. V850E/IF3のTAA3の場合はコンペア専用です。

備考 V850E/IF3 : m = 2, 4  
V850E/IG3 : m = 2-4

**(1) カウンタ基本動作**

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

**備考** V850E/IF3 : n = 0-4, m = 2, 4

V850E/IG3 : n = 0-4, m = 2-4

**(a) カウント開始動作**

・外部イベント・カウント・モード

TAAmCTL0.TAAmCEビット = 0 のタイミングで16ビット・カウンタに0000Hが設定されます。その後は、外部イベント・カウント入力 (TIAm0) の有効エッジ検出するごとに0001H, 0002H, 0003H, ...とカウント・アップします。

・上記以外のモード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

**(b) クリア動作**

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバーフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって、INTTAnCC0, INTTAnCC1割り込み信号は発生しません。

**(c) オーバフロー動作**

16ビット・カウンタのオーバーフローは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバーフローが発生すると、TAAAnOPT0.TAAAnOVFビットがセット (1) され、割り込み要求信号 (INTTAnOV) が発生します。なお、次の条件ではINTTAnOV信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値がFFFFHで一致&クリアされた場合
- ・パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

**注意** オーバフロー割り込み要求信号 (INTTAnOV) 発生後は、必ずオーバーフロー・フラグ (TAAAnOVFビット) が "1" にセットされているのを確認してください。

**(d) カウント動作中のカウンタ・リード動作**

TAAAnでは、TAAAnCNTレジスタにより、カウント動作中の16ビット・カウンタの値をリードできます。

TAAAnCTL0.TAAAnCEビット = 1のときは、TAAAnCNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TAAAnCEビット = 0のときは、16ビット・カウンタがFFFFHで、TAAAnCNTレジスタが0000Hです。

**(e) 割り込み動作**

TAA<sub>n</sub>では、次の3種類の割り込み要求信号を発生します。

- ・ INTTAnCC0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号 ,およびTAA<sub>n</sub>CCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTAnCC1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号 ,およびTAA<sub>n</sub>CCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTAnOV割り込み : オーバフロー割り込み要求信号として機能します。



(2) 随時書き込みと一斉書き込み

TAA<sub>n</sub>では、タイマ動作中 (TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CEビット = 1) でもTAA<sub>n</sub>CCR0, TAA<sub>n</sub>CCR1レジスタの書き換えを許可していますが、モードによってCCR0, CCR1バッファ・レジスタへの書き込み方法 (随時書き込み, 一斉書き込み) が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTAA<sub>n</sub>CCR0, TAA<sub>n</sub>CCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を随時行います。

備考 n = 0-4

図6-6 随時書き込みの基本動作フロー・チャート

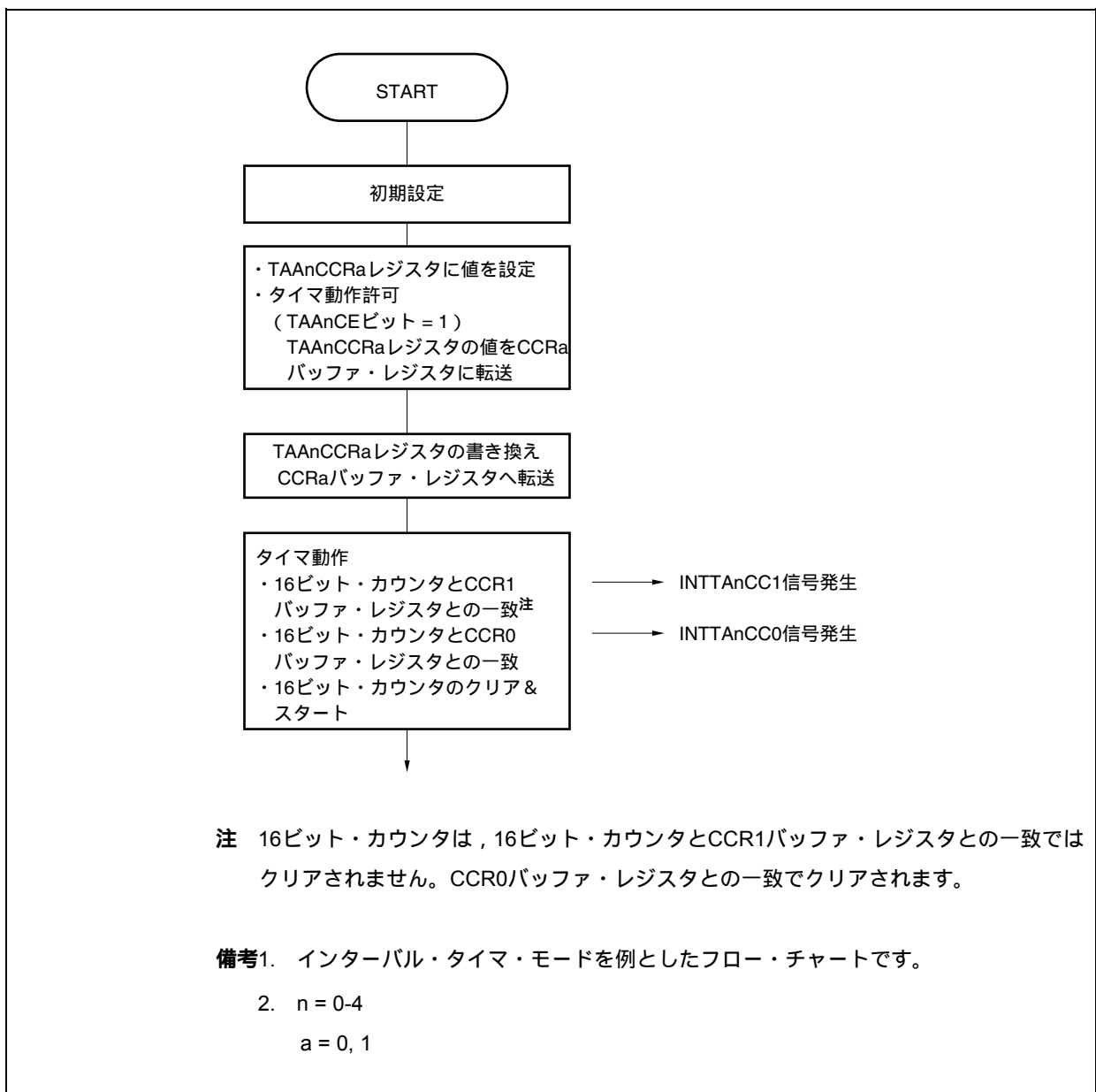
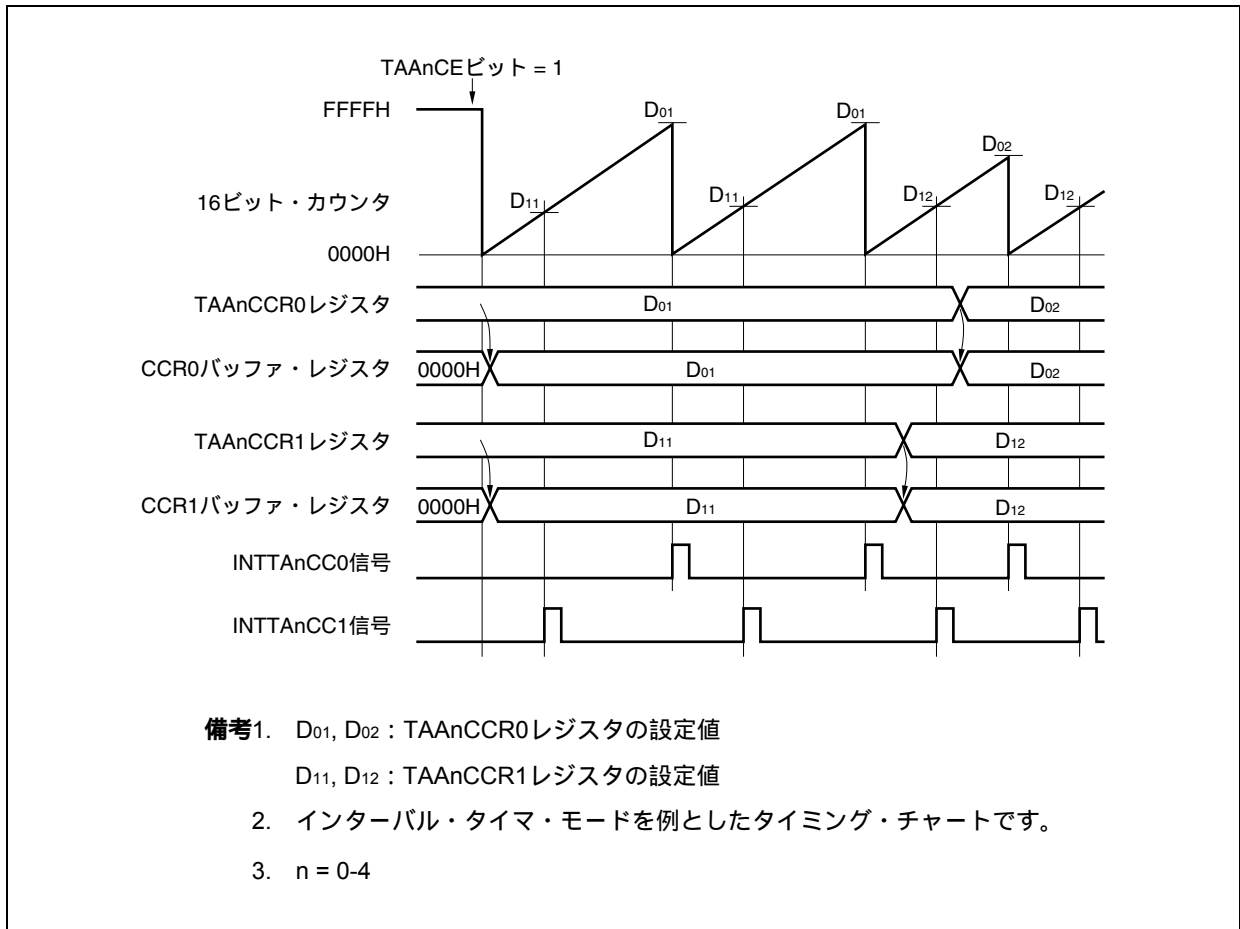


図6 - 7 随時書き込みのタイミング



**(b) 一斉書き込み**

このモードは、タイマ動作中にTAAmCCR0, TAAmCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTAAmCCR1レジスタへの書き込みとなります。TAAmCCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TAAmCCR0, TAAmCCR1レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする(CCR0, CCR1バッファ・レジスタに転送される)には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTAAmCCR0レジスタを書き換え、次にTAAmCCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TAAmCCR0, TAAmCCR1レジスタの値はCCR0, CCR1バッファ・レジスタに転送されます。なお、TAAmCCR0レジスタの値だけ書き換えたい場合でも、TAAmCCR1レジスタに同値(すでに設定したTAAmCCR1レジスタと同じ値)を書き込んでください。

**備考** V850E/IF3 : m = 2, 4

V850E/IG3 : m = 2-4

図6-8 一斉書き込みの基本動作フロー・チャート

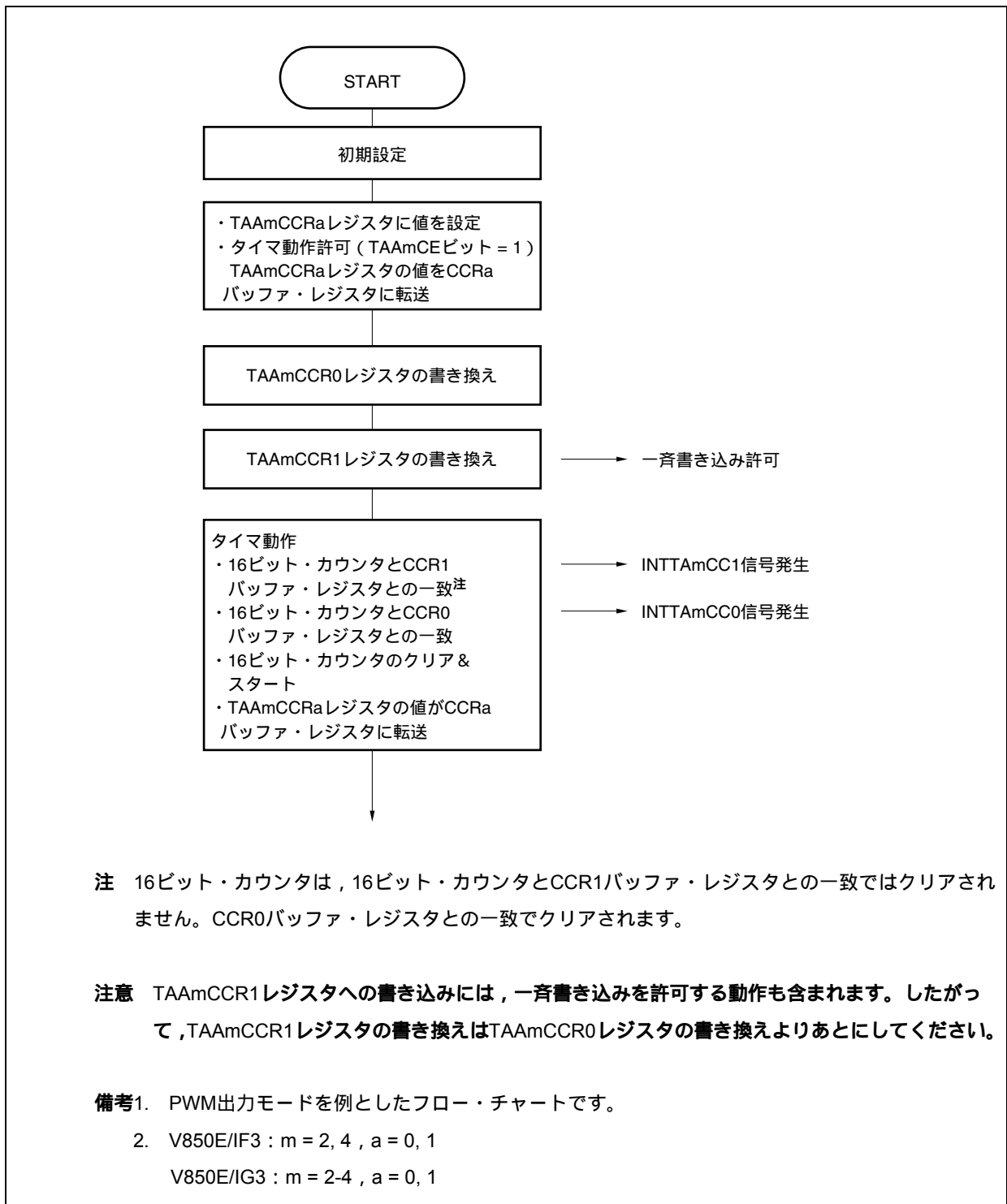
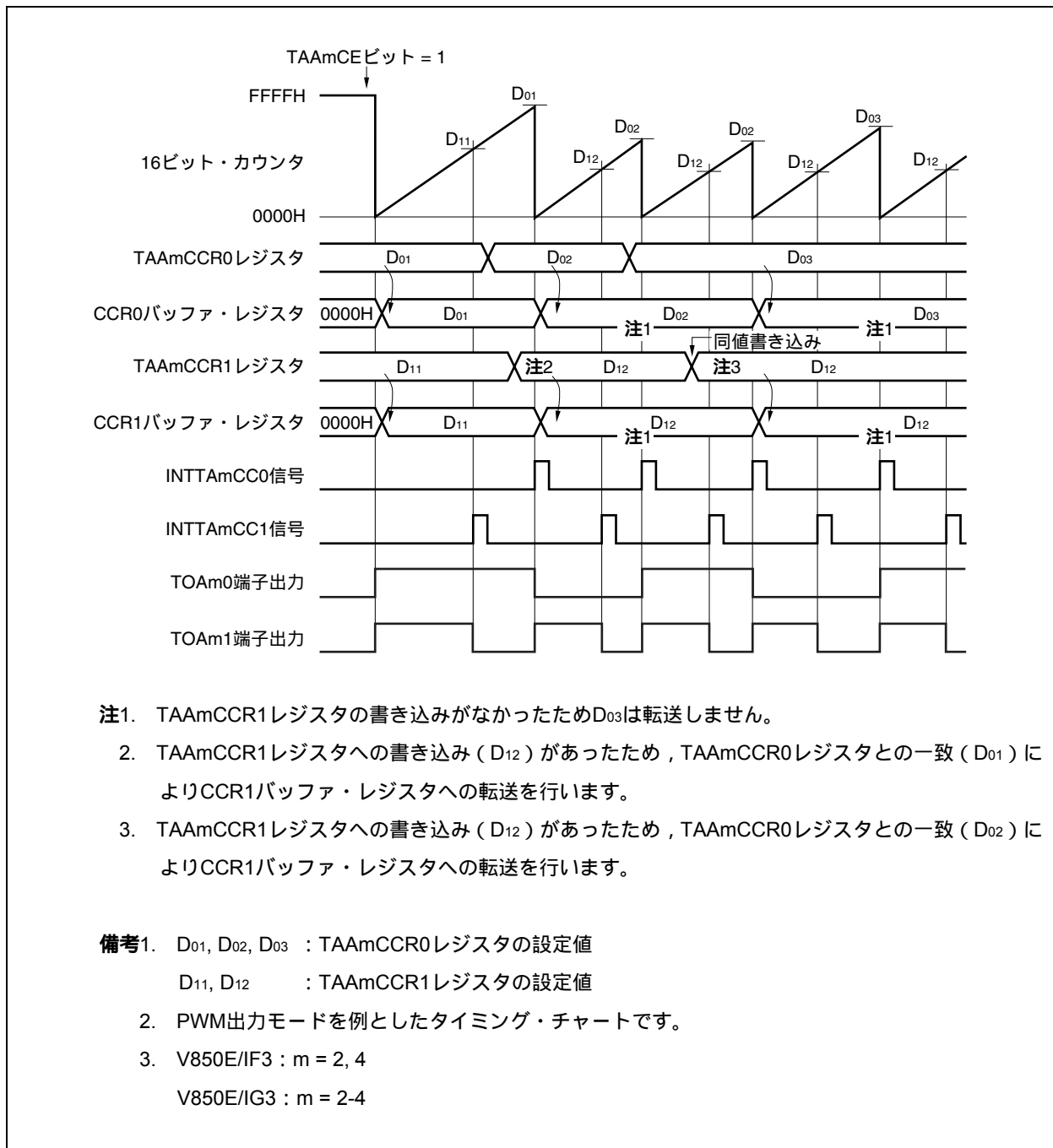


図6-9 一斉書き込みのタイミング



### 6.6.1 インターバル・タイマ・モード (TAA<sub>n</sub>MD2-TAA<sub>n</sub>MD0ビット = 000)

インターバル・タイマ・モードは、TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CEビットをセット(1)することで、TAA<sub>n</sub>CCR0レジスタで設定したインターバル間隔にて割り込み要求信号(INTTAA<sub>n</sub>CC0)を発生します。また、TOA<sub>m</sub>0端子から、インターバル間隔を半周期とする50%デューティのPWM波形を出力できます。

インターバル・タイマ・モードでは、TAA<sub>n</sub>CCR1レジスタを使用しません。しかし、TAA<sub>n</sub>CCR1レジスタでは、TAA<sub>n</sub>CCR1レジスタの設定値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペアー一致割り込み要求信号(INTTAA<sub>n</sub>CC1)が発生します。また、TOA<sub>m</sub>1端子から、INTTAA<sub>n</sub>CC1信号の発生タイミングにより反転する50%デューティのPWM波形を出力できます。

なお、TAA<sub>n</sub>CCR0、TAA<sub>n</sub>CCR1レジスタのタイマ動作中の書き換えは可能です。

図6-10 インターバル・タイマの構成図

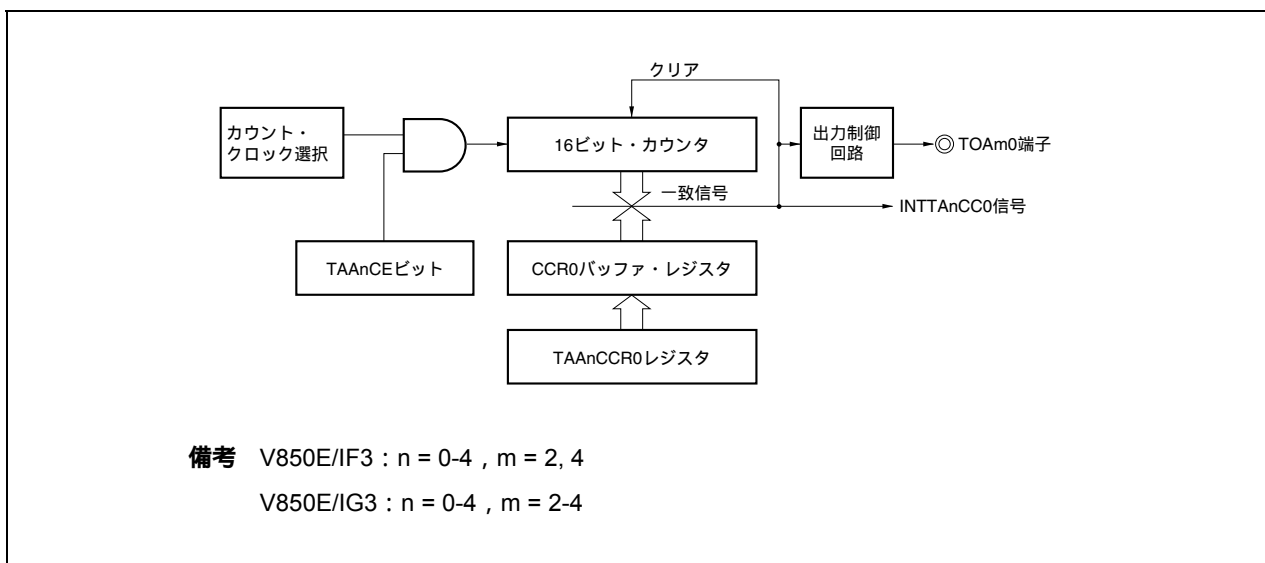
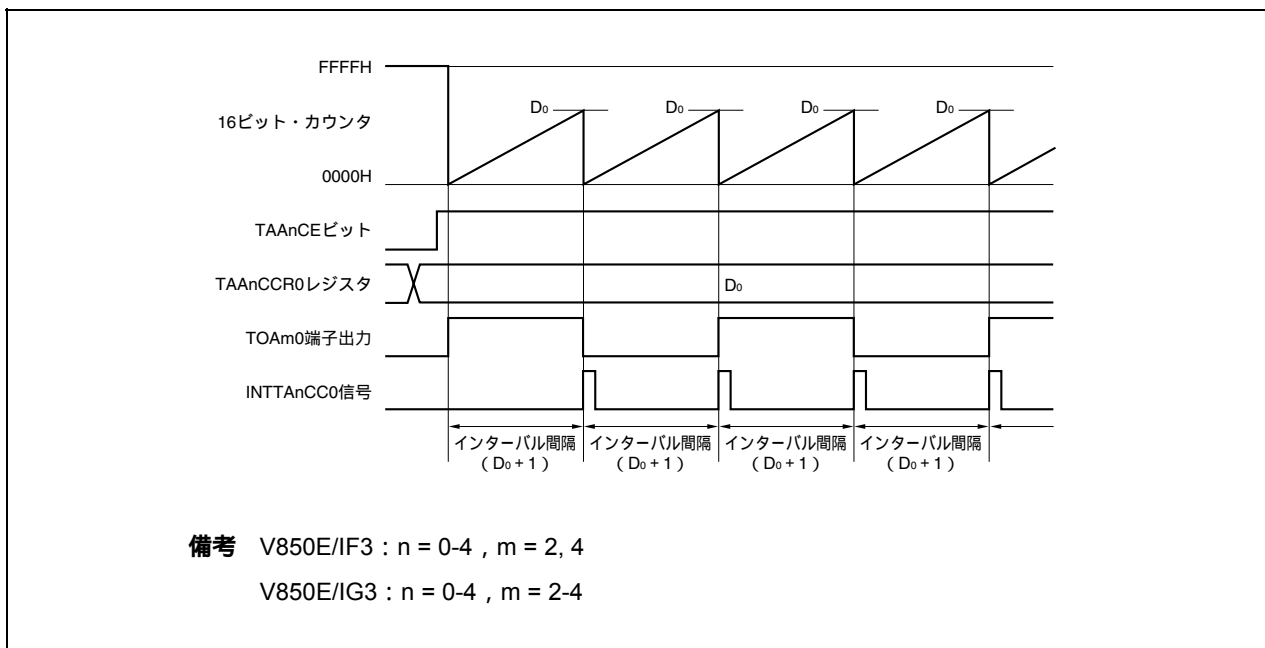


図6-11 インターバル・タイマ・モード動作の基本タイミング



TAAAnCEビットをセット (1) することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOAm0端子出力を反転します。また、TAAAnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOAm0端子出力を反転させて、コンペアー一致割り込み要求信号 (INTTAAncC0) を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TAAAnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 V850E/IF3 : n = 0-4 , m = 2, 4

V850E/IG3 : n = 0-4 , m = 2-4

図6 - 12 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/3)

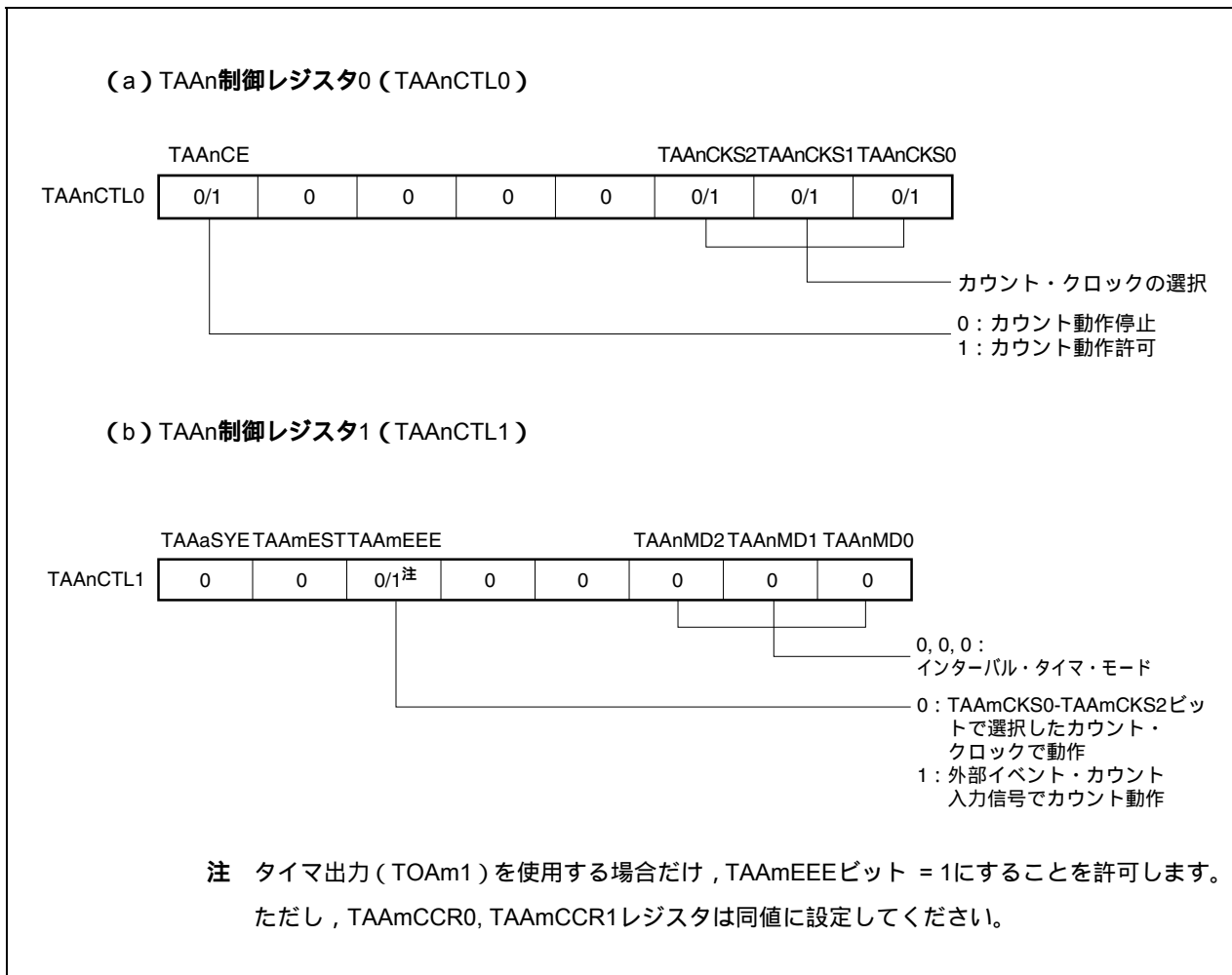
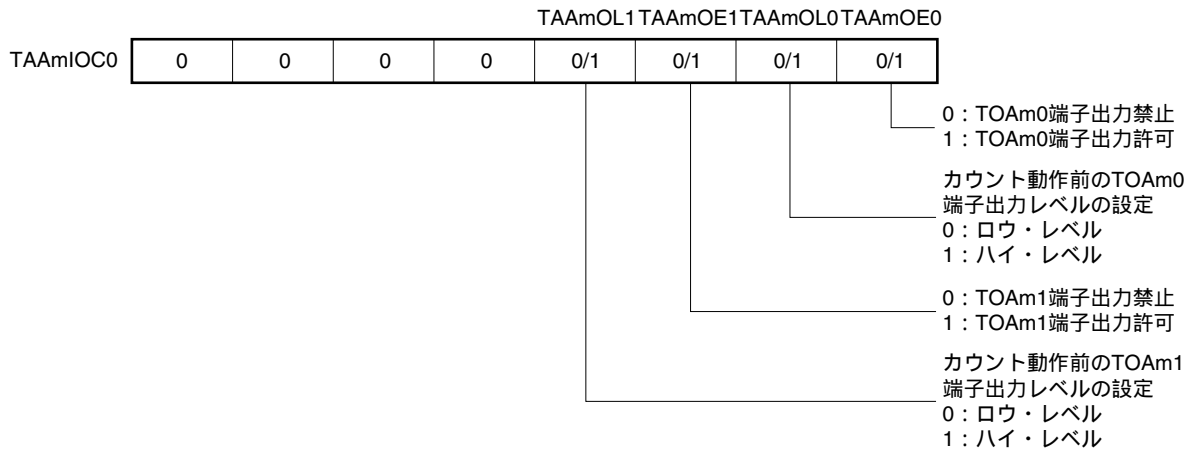
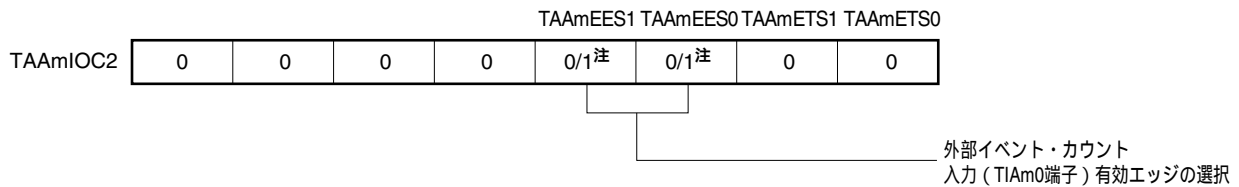


図6 - 12 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/3)

(c) TAAmI/O制御レジスタ0 (TAAmIOC0)



(d) TAAmI/O制御レジスタ2 (TAAmIOC2)



**注** タイマ出力 (TOAm1) を使用する場合だけ、TAAmEES1, TAAmEES0ビットを設定することを許可します。ただし、TAAmCCR0, TAAmCCR1レジスタは同値に設定してください。

(e) TAAncカウンタ・リード・バッファ・レジスタ (TAAncCNT)

TAAncCNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(f) TAAncキャプチャ/コンペア・レジスタ0 (TAAncCCR0)

TAAncCCR0レジスタにD<sub>0</sub>を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント・クロック周期}$$

となります。



図6 - 12 インターバル・タイマ・モード動作時のレジスタ設定内容 (3/3)

**(g) TAAキャプチャ/コンペア・レジスタ1 (TAAAnCCR1)**

インターバル・タイマ・モードでは、TAAAnCCR1レジスタを使用しません。しかし、TAAAnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、TOAm1端子出力を反転し、コンペア一致割り込み要求信号 (INTTAAAnCC1) が発生します。

TAAAnCCR0レジスタの設定値と同じ値を設定することにより、TOAm1端子から50 %デューティのPWM波形を出力できます。

TAAAnCCR1レジスタを使用しない場合には、TAAAnCCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TAAAnCCIC1.TAAAnCCMK1) でマスク設定してください。

- 備考1.** TAAAnI/O制御レジスタ1 (TAAAnIOC1) , TAAAnオプション・レジスタ0 (TAAAnOPT0) は、インターバル・タイマ・モードでは使用しません。
2. V850E/IF3 : n = 0-4 , m = 2, 4 , a = 0, 1  
V850E/IG3 : n = 0-4 , m = 2-4 , a = 0, 1

(1) インターバル・タイマ・モード動作フロー

図6 - 13 インターバル・タイマ・モード使用時のソフトウェア処理フロー (1/2)

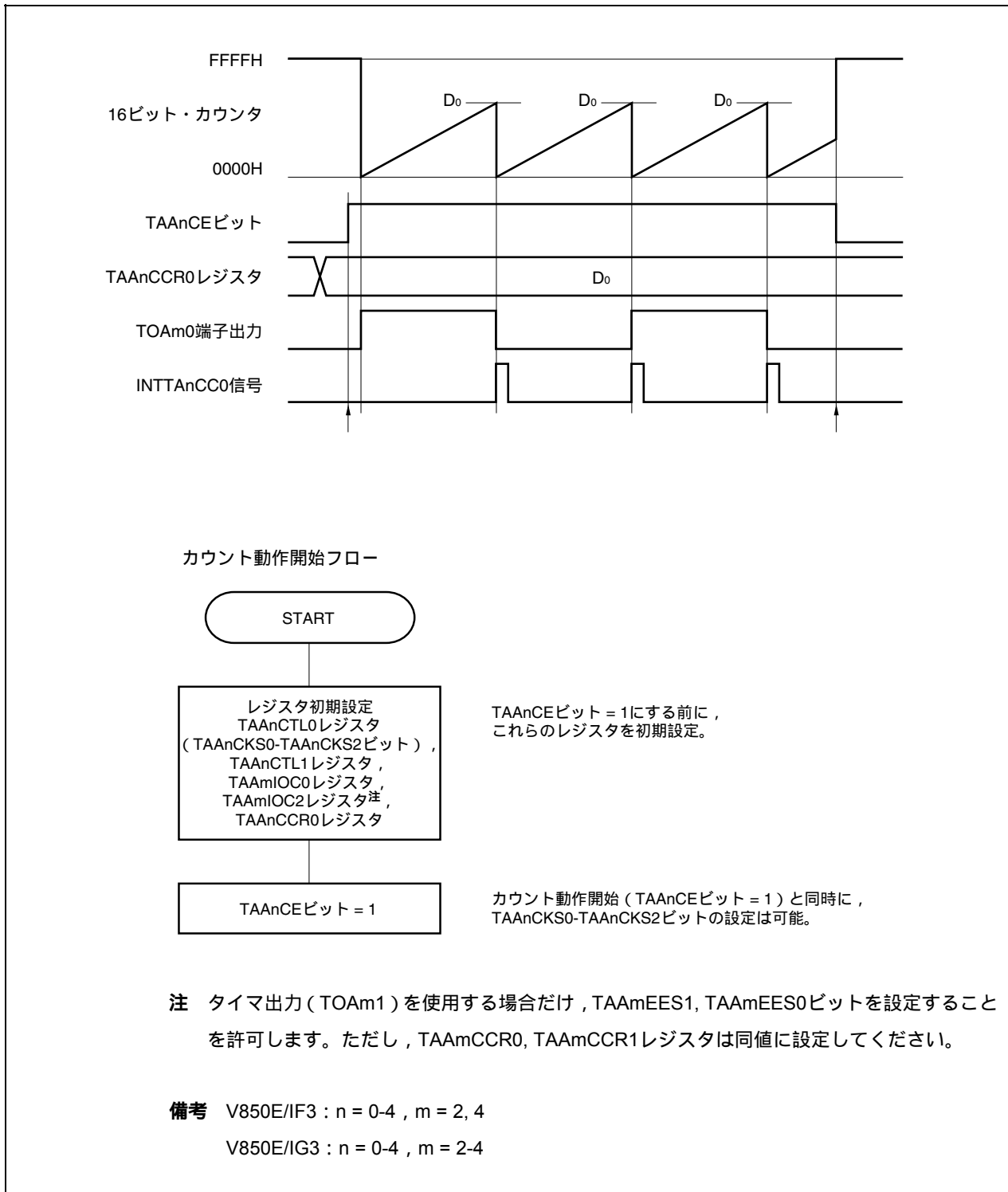
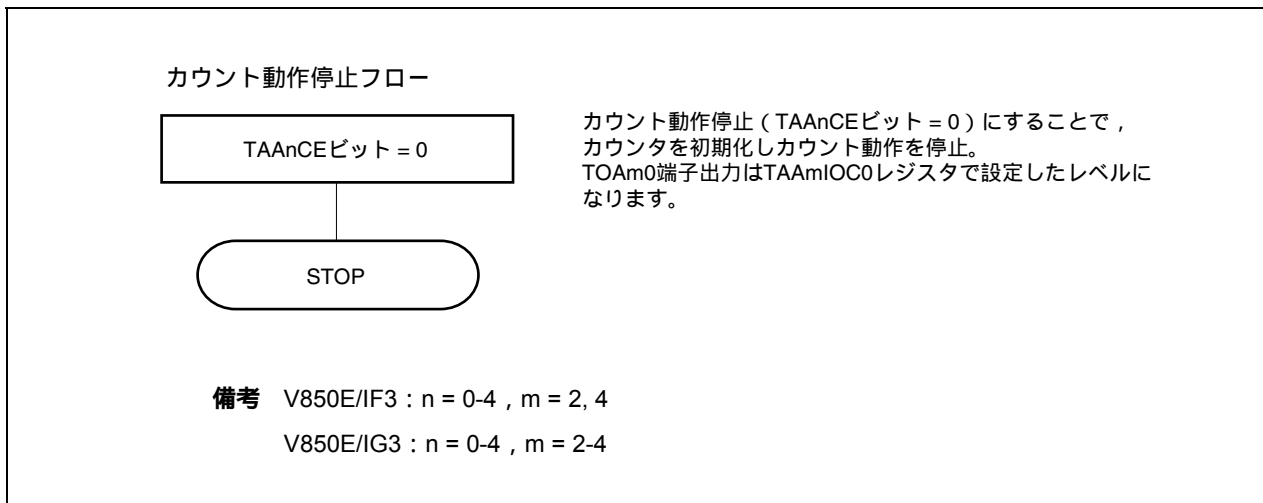


図6 - 13 インターバル・タイマ・モード使用時のソフトウェア処理フロー (2/2)

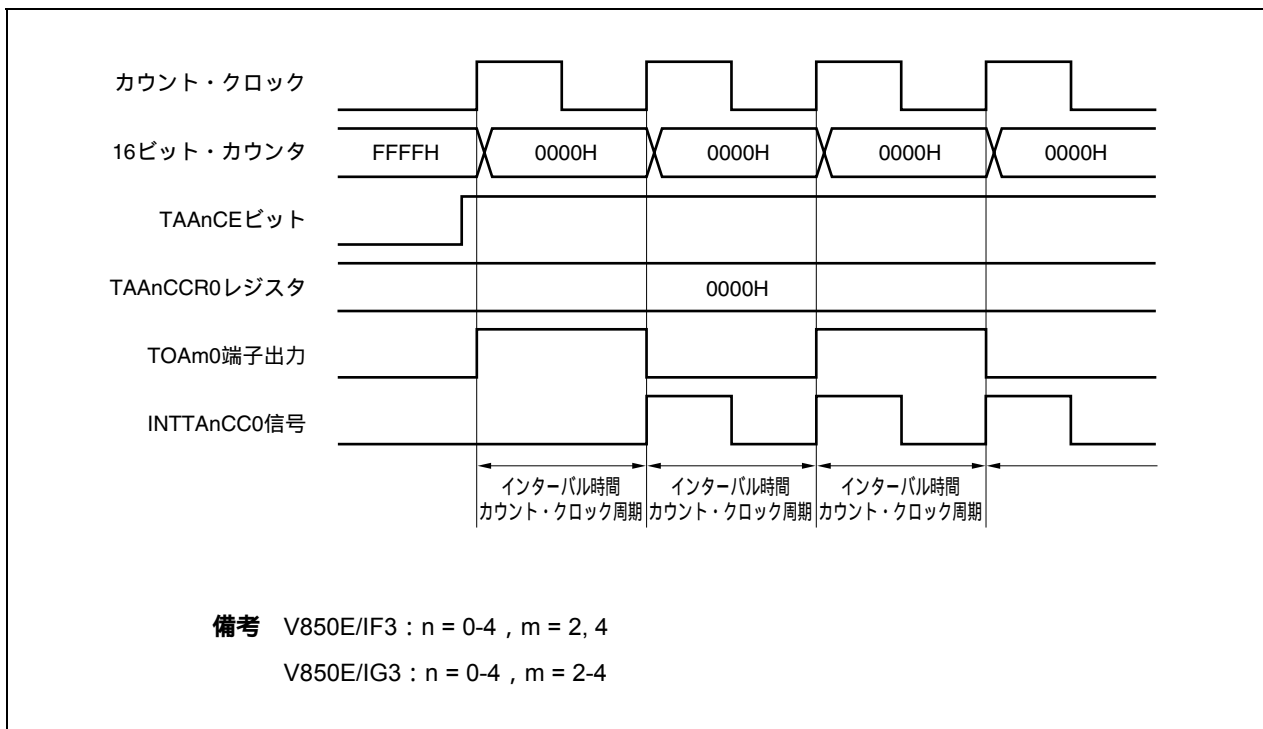


(2) インターバル・タイマ・モード動作タイミング

(a) TAAAnCCR0レジスタに0000Hを設定した場合の動作

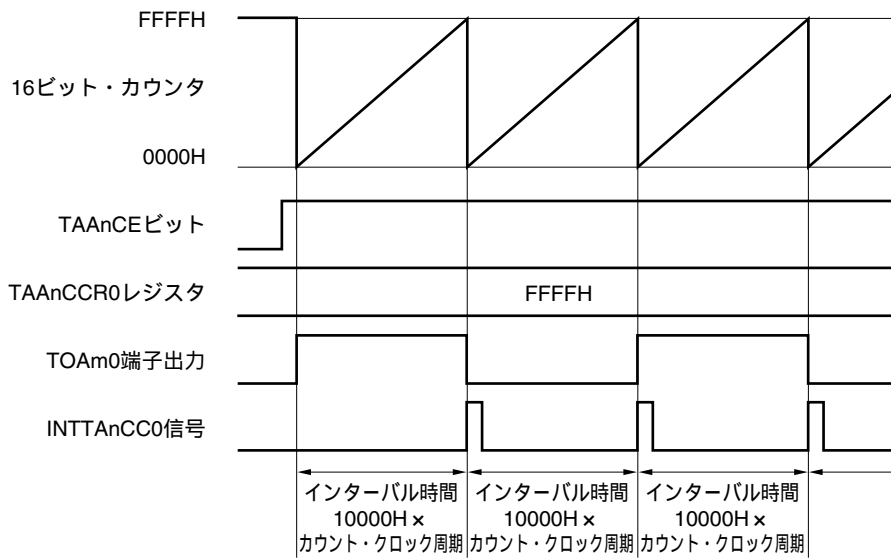
TAAAnCCR0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTAnCC0信号を発生し、  
 TOAm0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TAA<sub>n</sub>CCR0レジスタにFFFFHを設定した場合の動作

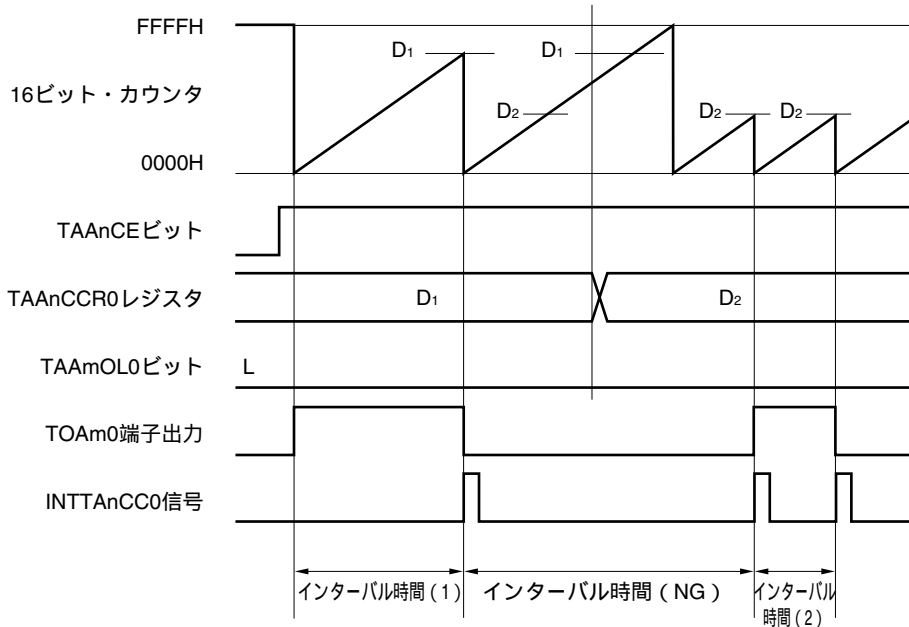
TAA<sub>n</sub>CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTAA<sub>n</sub>CC0信号を発生し、TOAm0端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTAA<sub>n</sub>OV) は発生せず、オーバフロー・フラグ (TAA<sub>n</sub>OPT0.TAA<sub>n</sub>OVFビット) もセット (1) されません。



備考 V850E/IF3 : n = 0-4 , m = 2, 4  
 V850E/IG3 : n = 0-4 , m = 2-4

(c) TAAAnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTAAAnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



- 備考1. インターバル時間 (1) :  $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$   
 インターバル時間 (NG) :  $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$   
 インターバル時間 (2) :  $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
2. V850E/IF3 :  $n = 0-4, m = 2, 4$   
 V850E/IG3 :  $n = 0-4, m = 2-4$

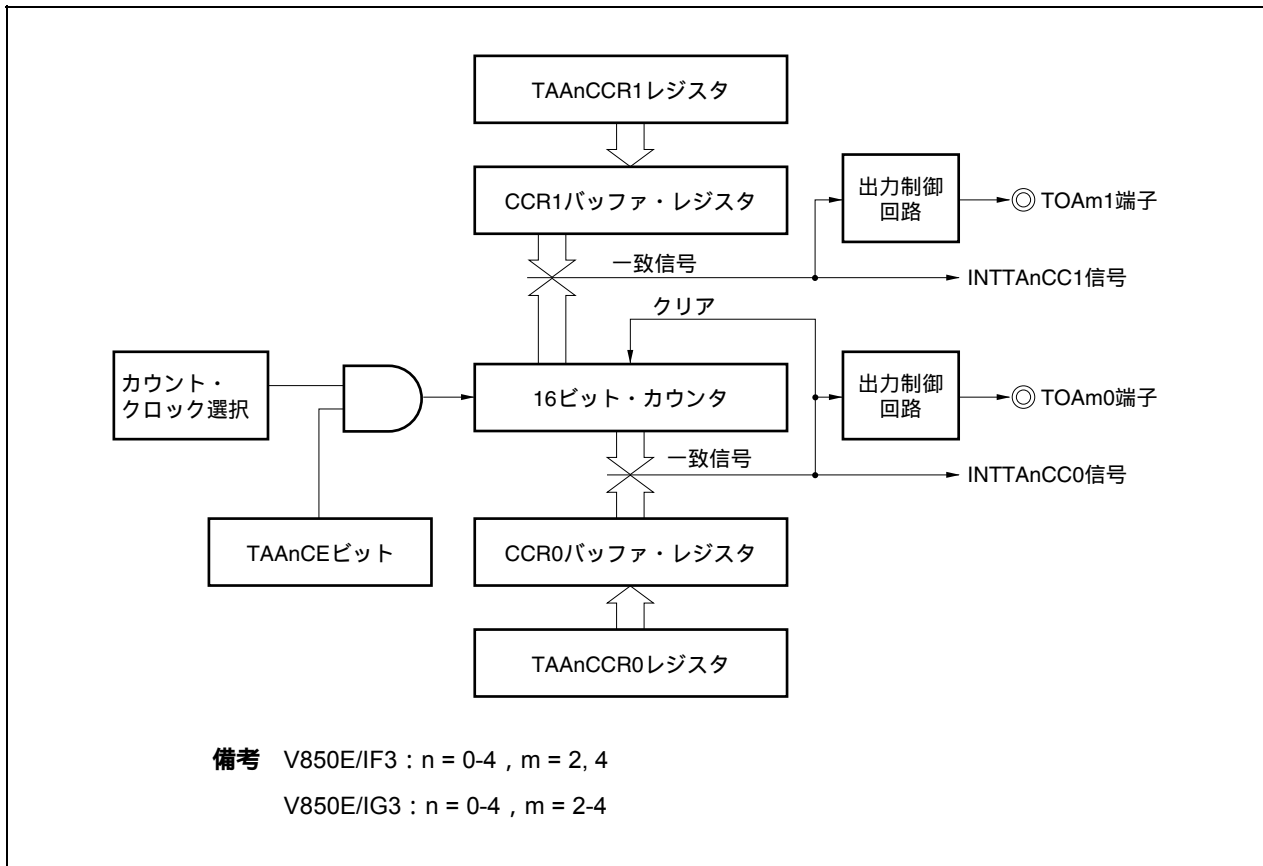
カウント値がD<sub>2</sub>よりも大きくD<sub>1</sub>よりも小さい状態において、TAAAnCCR0レジスタをD<sub>1</sub>からD<sub>2</sub>に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD<sub>2</sub>となります。

しかし、カウント値はすでにD<sub>2</sub>を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、D<sub>2</sub>との一致でINTTAnCC0信号を発生しTOAm0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTAnCC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTAnCC0信号が発生する場合があります。

(d) TAA<sub>n</sub>CCR1レジスタの動作

図6 - 14 TAA<sub>n</sub>CCR1レジスタの構成図



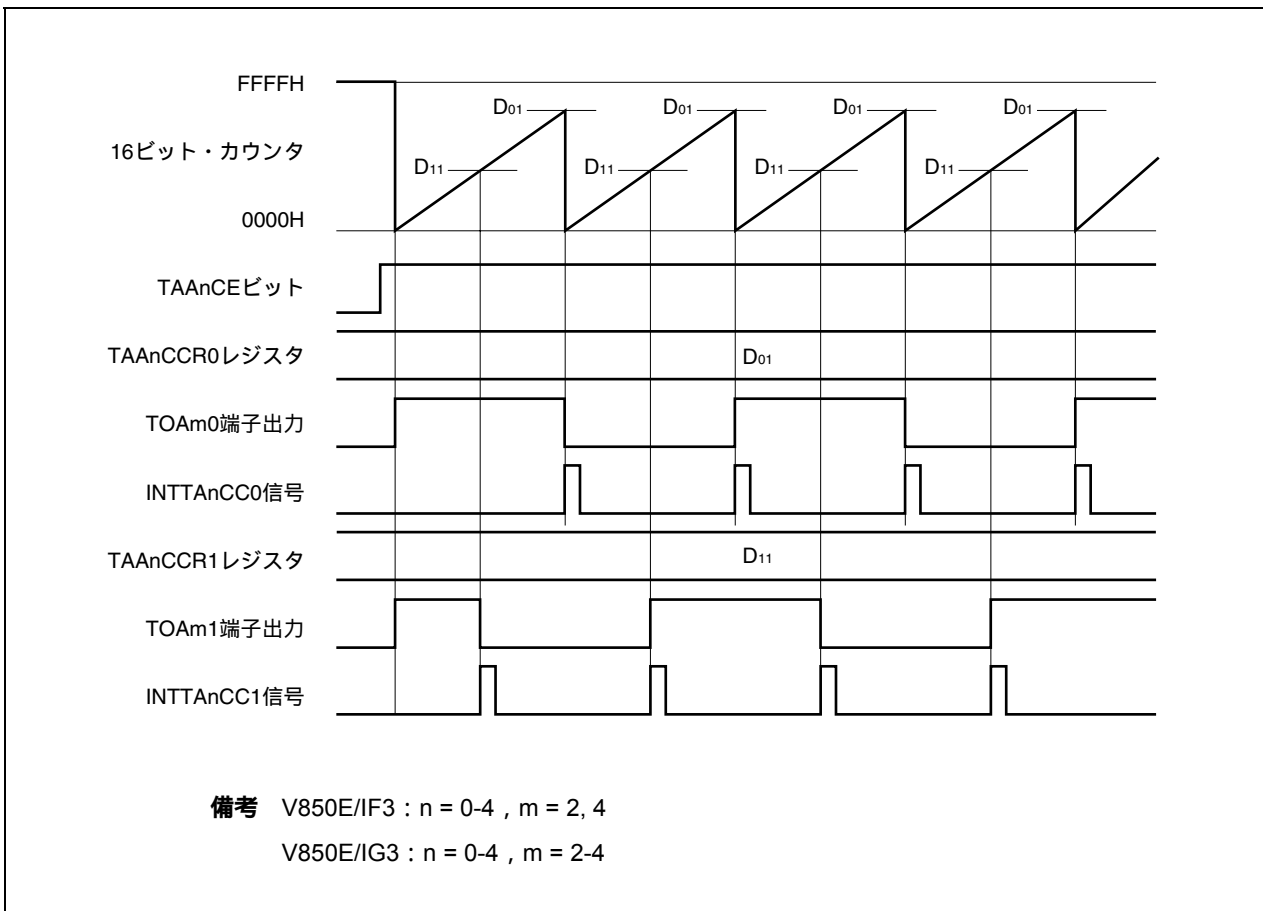
TAAAnCCR1レジスタにTAAAnCCR0レジスタの設定値と同じ値を設定すると、INTTAnCC0信号と同じタイミングでINTTAnCC1信号が発生し、TOAm1端子出力が反転します。すなわち、TOAm1端子から50 %デューティのPWM波形を出力できます。

TAAAnCCR0レジスタの設定値とは異なる値をTAAAnCCR1レジスタに設定した場合の動作を次に示します。

TAAAnCCR1レジスタの設定値がTAAAnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTAnCC1信号が発生します。また、同じタイミングでTOAm1端子出力は反転します。

TOAm1端子出力は、最初に短い幅のパルスを出力したあと、50 %デューティのPWM波形を出力します。

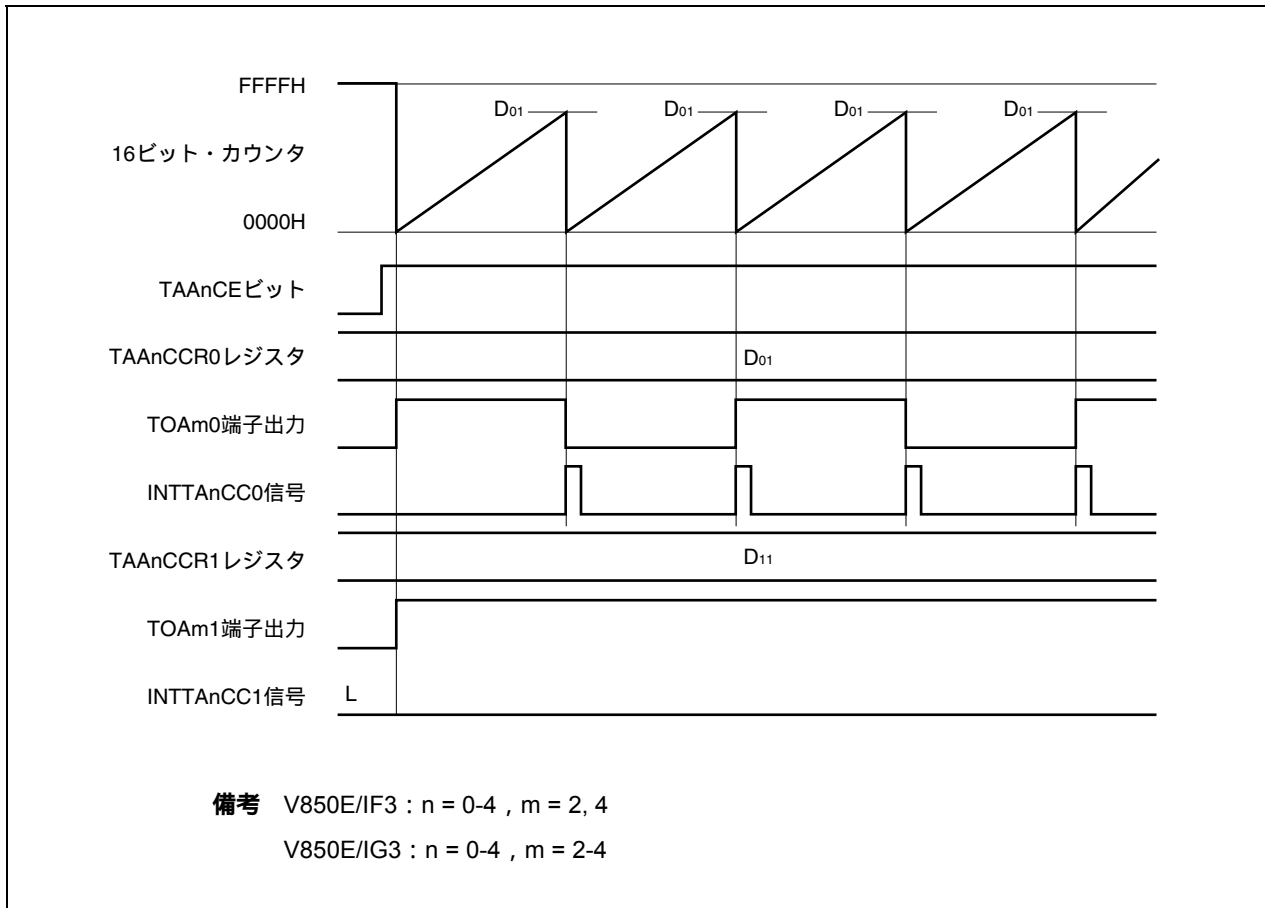
図6 - 15 D<sub>01</sub> D<sub>11</sub>の場合のタイミング図



TAA<sub>n</sub>CCR1レジスタの設定値がTAA<sub>n</sub>CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTAA<sub>n</sub>CCR1レジスタの値が一致しないので、INTTAA<sub>n</sub>CC1信号は発生しません。また、TOAm1端子出力も変化しません。

TAA<sub>n</sub>CCR1レジスタを使用しない場合には、TAA<sub>n</sub>CCR1レジスタの設定値をFFFFHに設定することを推奨します。

図6 - 16 D<sub>01</sub> < D<sub>11</sub>の場合のタイミング図





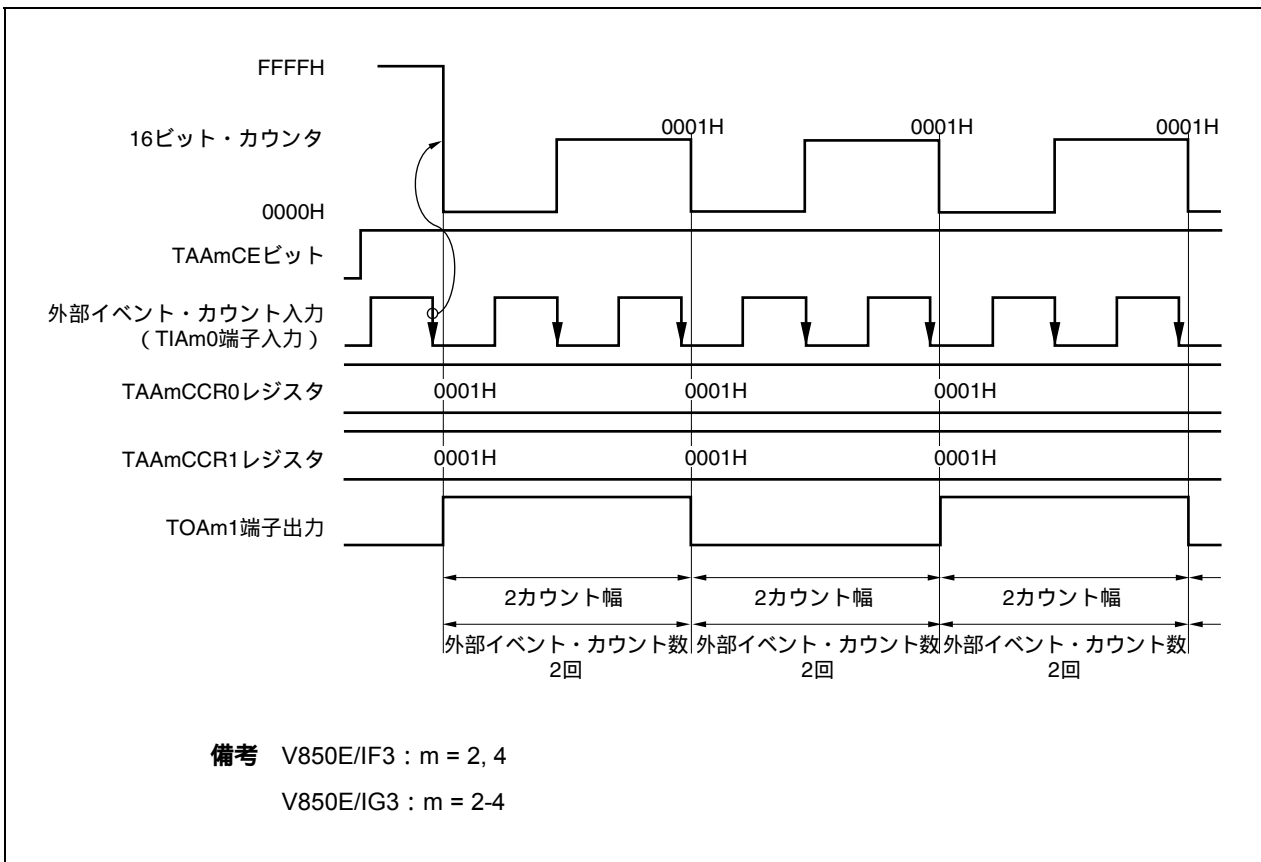
(3) 外部イベント・カウント入力 (TIAm0) による動作

(a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力 (TIAm0) の有効エッジで16ビット・カウンタをカウントする場合, TAAmCEビットを0から1に設定したあとの1回目の外部イベント・カウント入力の有効エッジにより, 16ビット・カウンタをFFFFHから0000Hにクリアします。

TAAmCCR0, TAAmCCR1レジスタに0001Hを設定 (同値設定) すると, 16ビット・カウンタの2カウントごとにTOAm1端子の出力を反転します。

外部イベント・カウント入力でタイマ出力 (TOAm1) を使用する場合だけ, インターバル・タイマ・モード時にTAAmCTL1.TAAmEEEビット = 1の設定が可能です。



### 6.6.2 外部イベント・カウント・モード (TAAmMD2-TAAmMD0ビット = 001)

TAA2, TAA3 (V850E/IG3のみ), TAA4のみ有効です。

外部イベント・カウント・モードは, TAAmCTL0.TAAmCEビットをセット(1)することで, 外部イベント・カウント入力 (TIAm0) の有効エッジをカウントし, TAAmCCR0レジスタで設定したカウント数をカウントするごとに割り込み要求信号 (INTTAmCC0) を発生します。TOAm0, TOAm1端子は使用できません。外部イベント・カウント入力でTOAm1端子を使用する場合は, インターバル・タイマ・モード時にTAAmCTL1.TAAmEEEビット = 1に設定してください (6.6.1(3)外部イベント・カウント入力 (TIAm0) による動作参照)。

外部イベント・カウント・モードでは, TAAmCCR1レジスタは使用しません。

図6 - 17 外部イベント・カウント・モードの構成図

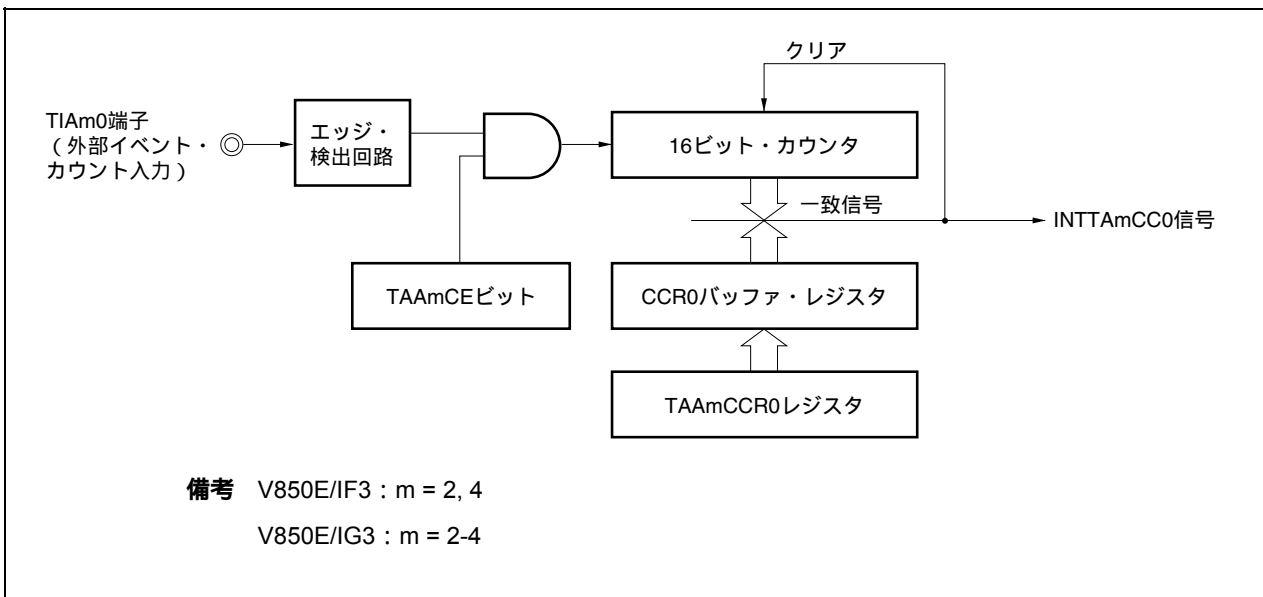
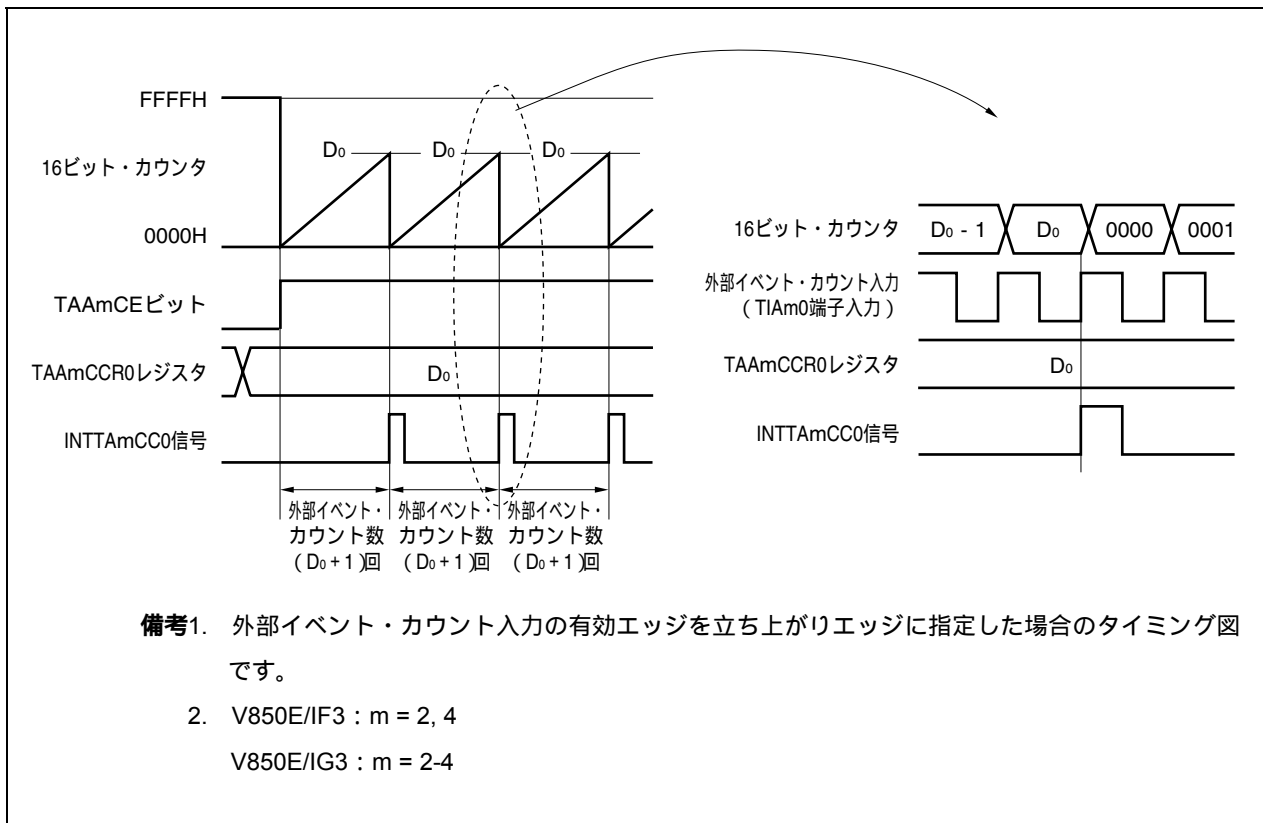


図6 - 18 外部イベント・カウント・モードの基本タイミング



TAAmCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また、TAAmCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号 (INTTAmCC0) を発生します。

INTTAmCC0信号は、外部イベント・カウント入力の有効エッジを (TAAmCCR0レジスタに設定した値 + 1) 回検出するごとに発生します。

図6 - 19 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

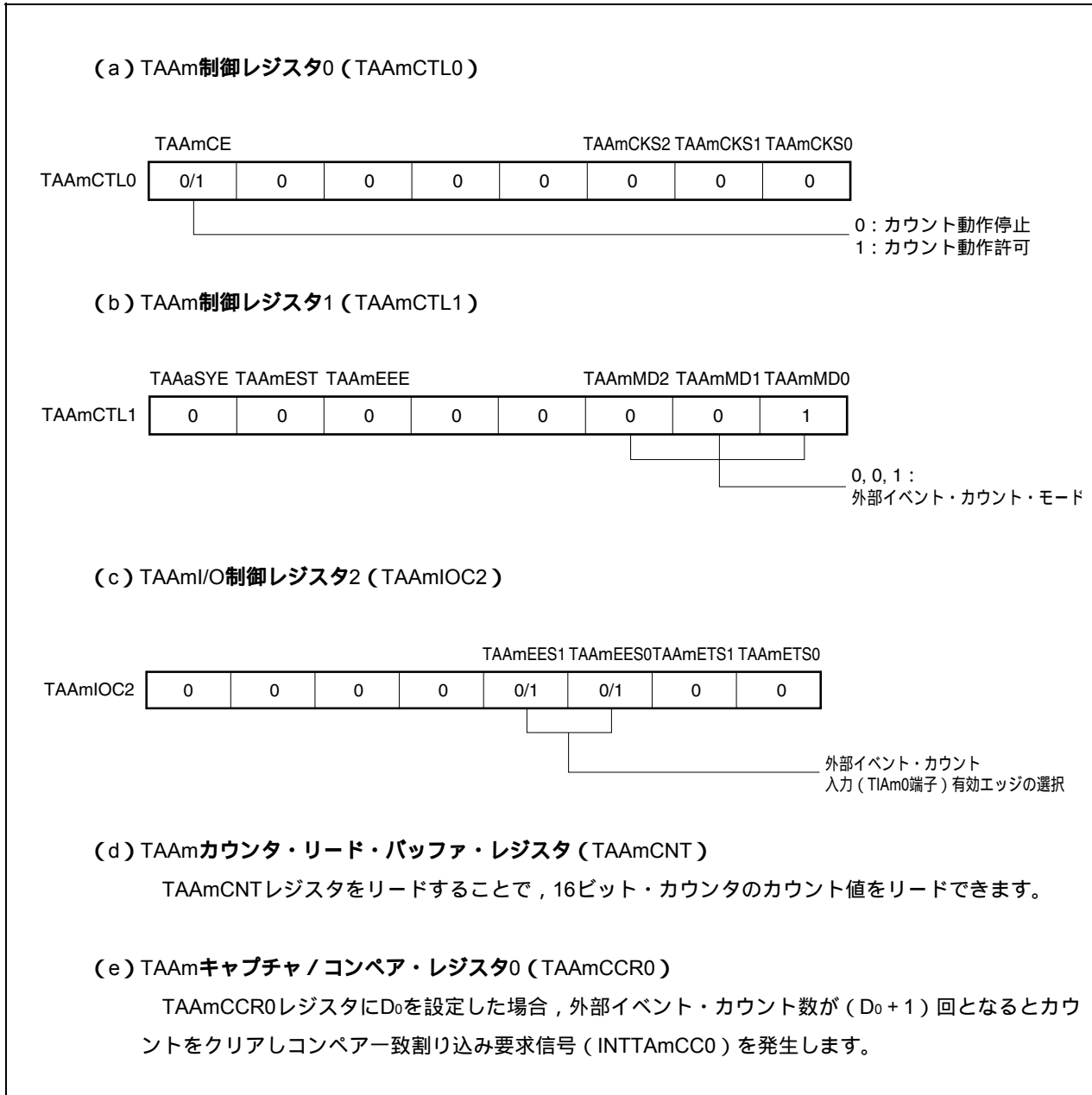


図6 - 19 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

**(f) TAAmキャプチャ/コンペア・レジスタ1 (TAAmCCR1)**

外部イベント・カウント・モードでは、TAAmCCR1レジスタは使用しません。しかし、TAAmCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTAmCC1) が発生します。

TAAmCCR1レジスタを使用しない場合には、TAAmCCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TAAmCCIC1.TAAmCCMK1) でマスク設定してください。

**注意1.** TAAmIOC0レジスタには00Hを設定してください。

2. カウント・クロックとして外部クロックを使用するときは、外部クロックはTIAm0端子からのみ入力できます。

このとき、TAAmIOC1.TAAmIS1, TAAmIS0ビット = 00(キャプチャ・トリガ入力(TIAm0端子) : エッジ検出なし) に設定してください。

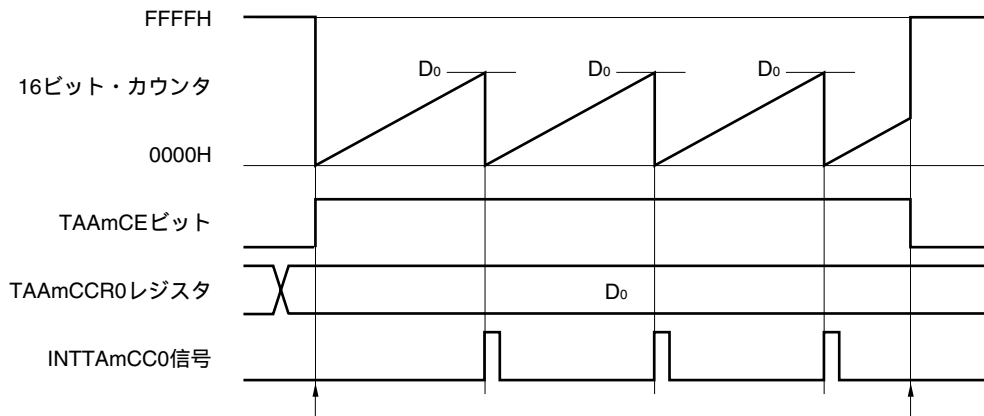
**備考1.** TAAmI/O制御レジスタ1 (TAAmIOC1) , TAAmオプション・レジスタ0 (TAAmOPT0) は、外部イベント・カウント・モードでは使用しません。

2. V850E/IF3 : m = 2, 4 , a = 0, 1

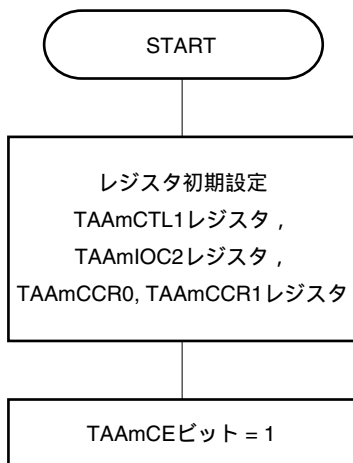
V850E/IG3 : m = 2-4 , a = 0, 1

(1) 外部イベント・カウント・モード動作フロー

図6-20 外部イベント・カウント・モード使用時のソフトウェア処理フロー

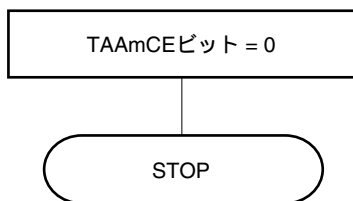


カウント動作開始フロー



TAAmCEビット = 1にする前に、  
これらのレジスタを初期設定。

カウント動作停止フロー



カウント動作停止 (TAAmCEビット = 0) にすることで、  
カウンタを初期化しカウント動作を停止。

**備考** V850E/IF3 : m = 2, 4  
V850E/IG3 : m = 2-4

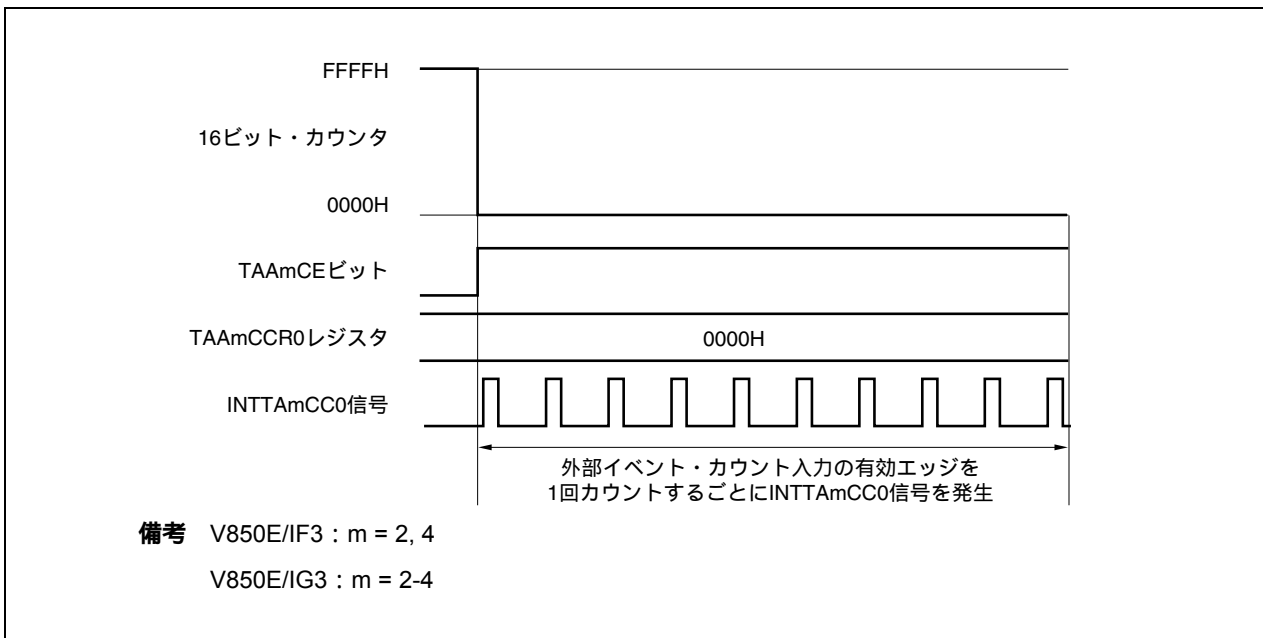
(2) 外部イベント・カウント・モード動作タイミング

**注意** 外部イベント・カウント・モード時、タイマ出力 (TOAm0, TOAm1) は使用禁止です。外部イベント・カウント入力 (TIAm0) でタイマ出力 (TOAm1) を使用する場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可 (TAAmCTL1. TAAmEEEビット = 1) に設定してください (6. 6. 1 (3) 外部イベント・カウント入力 (TIAm0) による動作参照)。

(a) TAAmCCR0レジスタに0000Hを設定した場合の動作

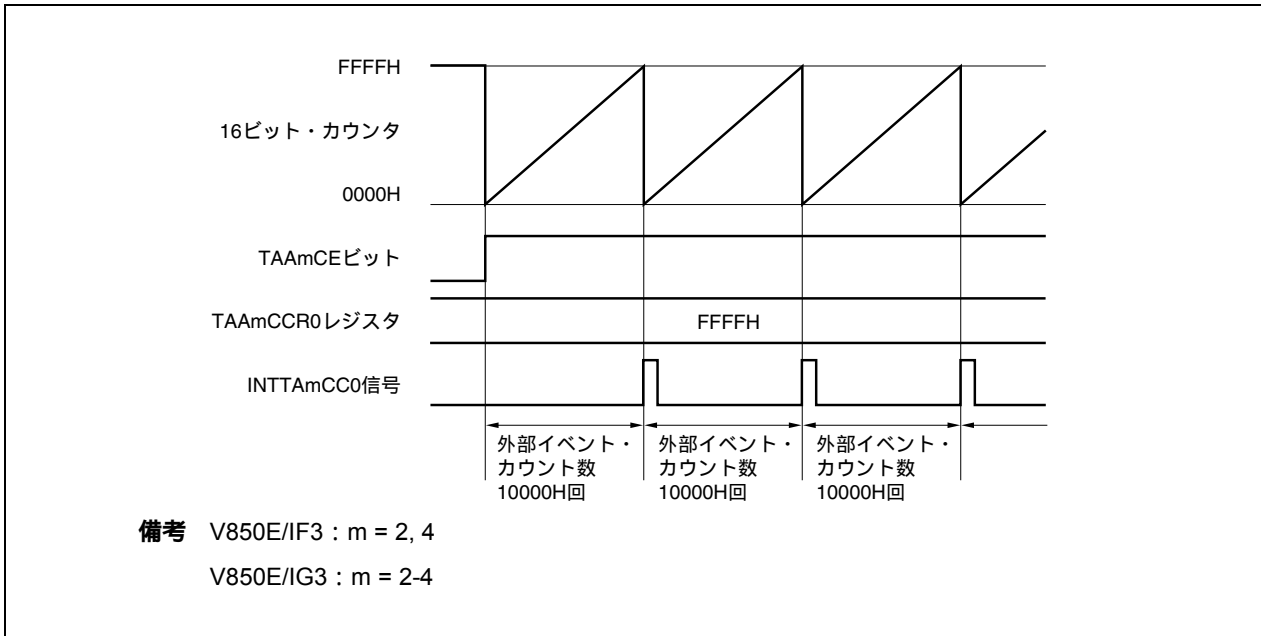
TAAmCCR0レジスタに0000Hを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにCCR0バッファ・レジスタの値との一致で、16ビット・カウンタを0000Hにクリアし続けて、INTTAmCC0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TAAmCCR0レジスタにFFFFHを設定した場合の動作

TAAmCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTAmCC0信号を発生します。このとき、TAAmOPT0.TAAmOVFビットはセットされません。

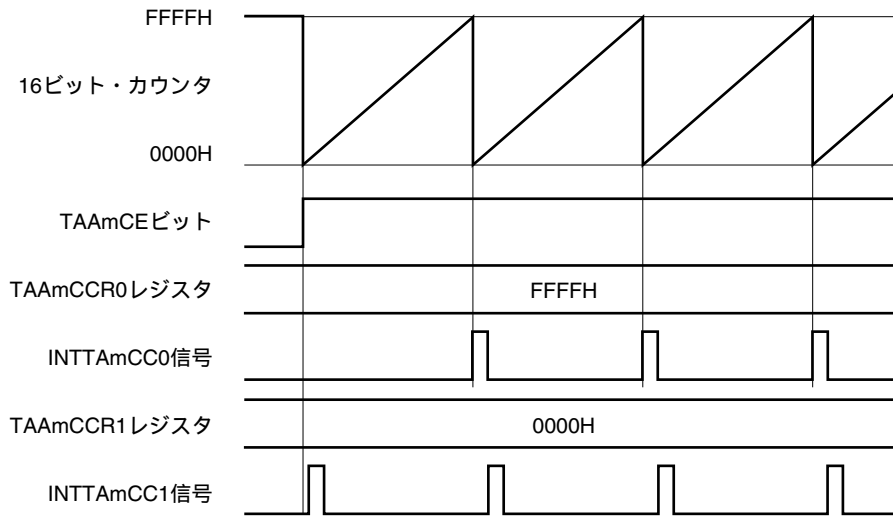




(c) TAAmCCR0レジスタにFFFFH, TAAmCCR1レジスタに0000Hを設定した場合の動作

TAAmCCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次のカウント・アップ・タイミングに同期して, 16ビット・カウンタを0000Hにクリアし, INTTAmCC0信号を発生します。このとき, TAAmOPT0.TAAmOVFビットはセットされません。

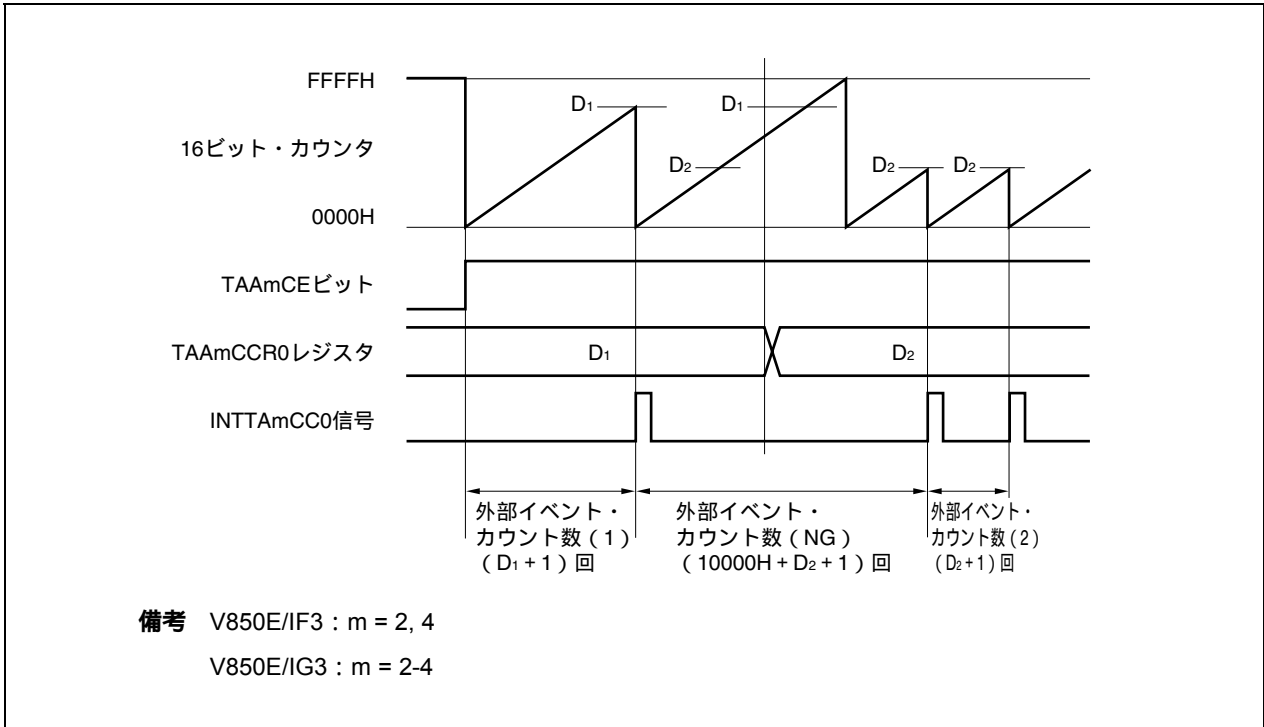
TAAmCCR1レジスタに0000Hを設定した場合, 16ビット・カウンタが0000HにクリアされたタイミングでINTTAmCC1信号が発生します。



**備考** V850E/IF3 : m = 2, 4  
 V850E/IG3 : m = 2-4

## (d) TAAmCCR0レジスタの書き換えに関する注意事項

カウント動作中にTAAmCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



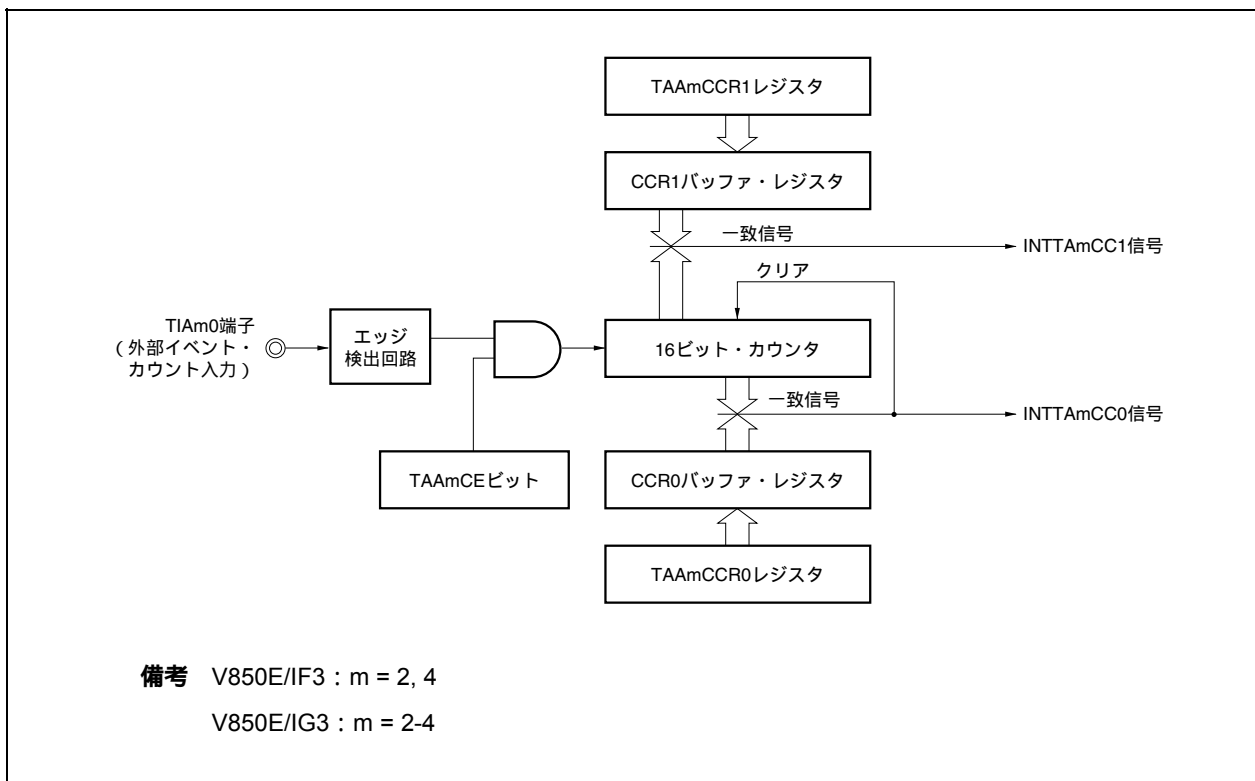
カウント値がD<sub>2</sub>よりも大きくD<sub>1</sub>よりも小さい状態において、TAAmCCR0レジスタをD<sub>1</sub>からD<sub>2</sub>に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD<sub>2</sub>となります。

しかし、カウント値はすでにD<sub>2</sub>を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D<sub>2</sub>との一致でINTTAmCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D<sub>1</sub>+1)回」または「(D<sub>2</sub>+1)回」の有効エッジ数でINTTAmCC0信号は発生せずに、「(10000H + D<sub>2</sub> + 1)回」の有効エッジ数でINTTAmCC0信号が発生する場合があります。

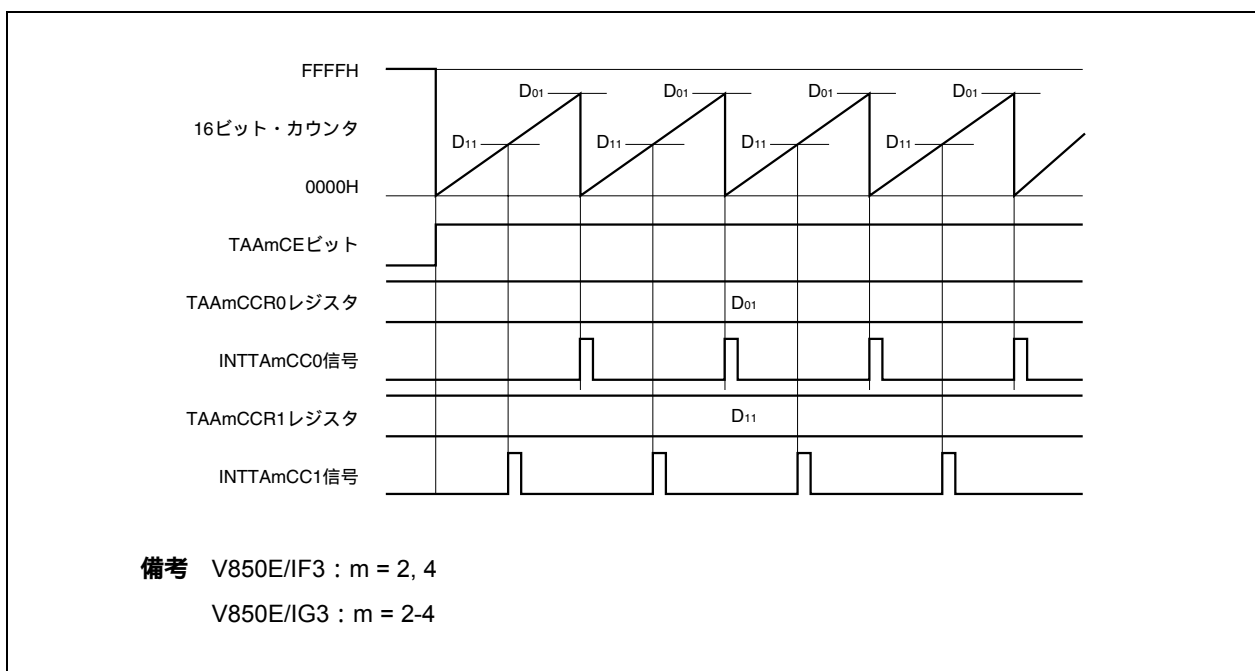
(e) TAAmCCR1レジスタの動作

図6 - 21 TAAmCCR1レジスタの構成図



TAAmCCR1レジスタの設定値がTAAmCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTAmCC1信号が発生します。

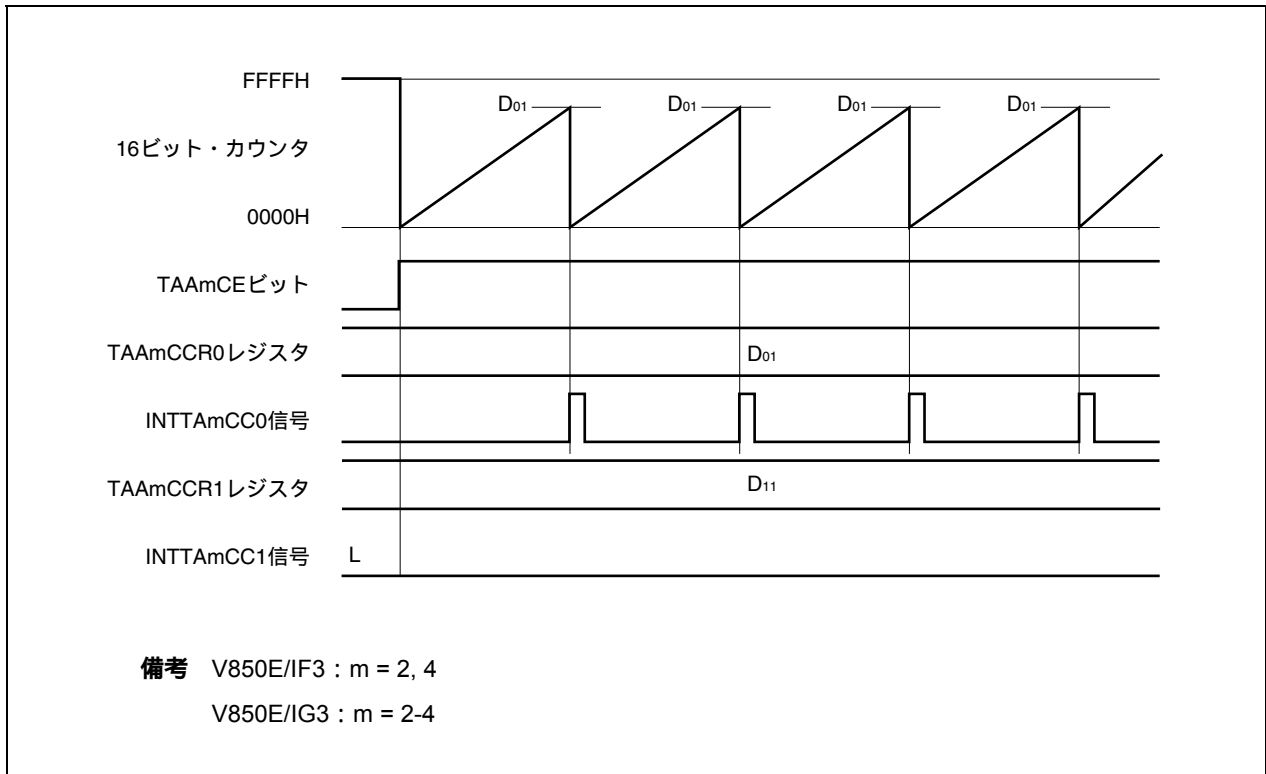
図6 - 22 D<sub>01</sub> D<sub>11</sub>の場合のタイミング図



TAAmCCR1レジスタの設定値がTAAmCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTAAmCCR1レジスタの値が一致しないので、INTTAmCC1信号は発生しません。

TAAmCCR1レジスタを使用しない場合には、TAAmCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図6 - 23 D<sub>01</sub> < D<sub>11</sub>の場合のタイミング図



### 6.6.3 外部トリガ・パルス出力モード (TAAmMD2-TAAmMD0ビット = 010)

TAA2, TAA3 (V850E/IG3のみ), TAA4のみ有効です。

外部トリガ・パルス出力モードは, TAAmCTL0.TAAmCEビットをセット(1)することでトリガ待ち状態となり, 外部トリガ入力(TIAm0)の有効エッジを検出すると, カウント動作を開始し, TOAm1端子からPWM波形を出力します。

外部トリガ入力の代わりに, ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合, TOAm0端子から, TAAmCCR0レジスタの設定値+1を半周期とする50%デューティのPWM波形を出力できます。

図6-24 外部トリガ・パルス出力モードの構成図

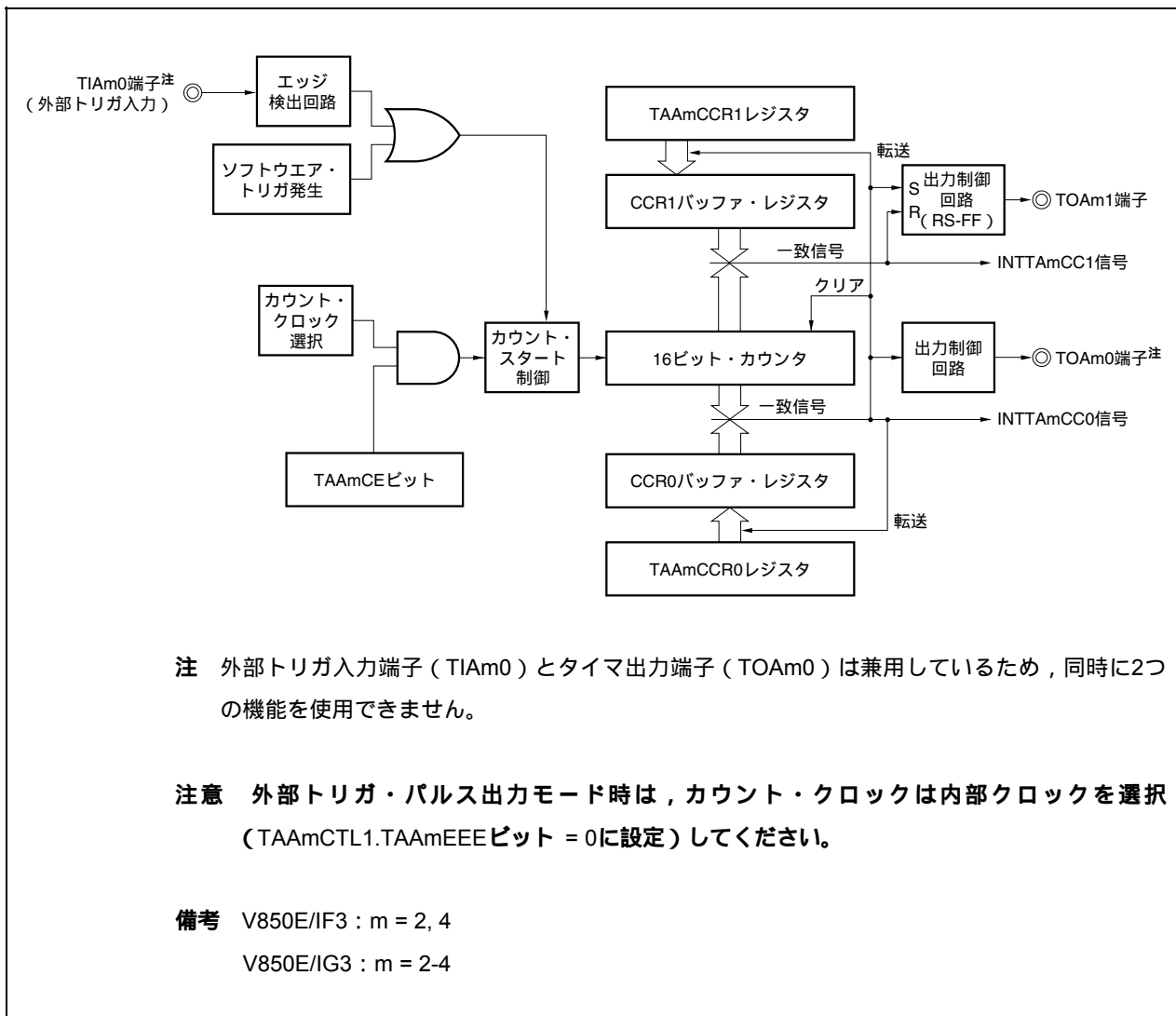
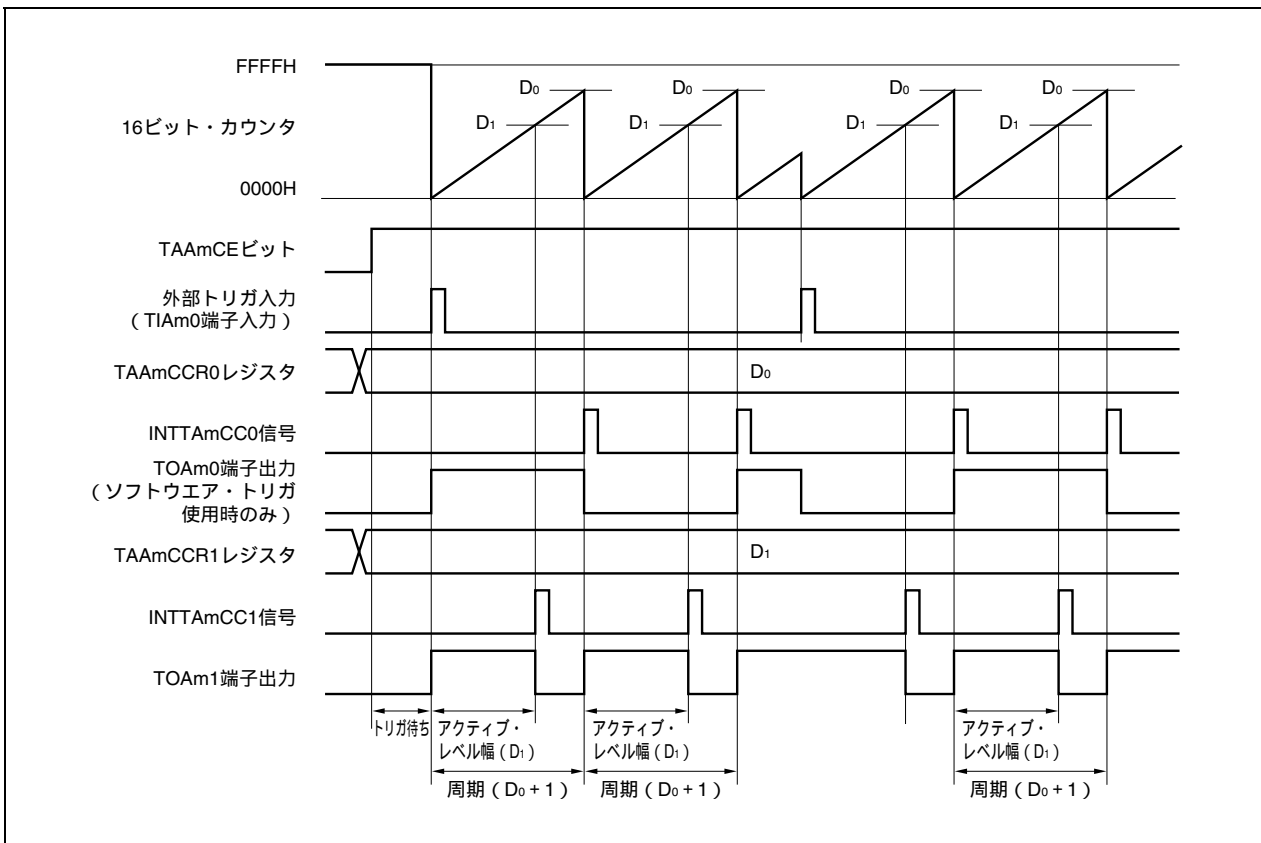


図6 - 25 外部トリガ・パルス出力モードの基本タイミング



TAAmCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOAm1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします (TOAm0端子出力は反転します。TOAm1端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TAAmCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TAAmCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TAAmCCR1レジスタの設定値}) / (\text{TAAmCCR0レジスタの設定値} + 1)$$

コンペアー一致割り込み要求信号 (INTTAmCC0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTAmCC1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TAAmCCR $a$ レジスタに設定した値は、16ビット・カウンタのカウンタ値とCCR $a$ バッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCR $a$ バッファ・レジスタに転送されます。

トリガには、外部トリガ入力 (TIAm0) の有効エッジ、またはソフトウェア・トリガ (TAAmCTL1.TAAmESTビット) のセット(1)があります。

**備考** V850E/IF3 :  $m = 2, 4$ ,  $a = 0, 1$ , V850E/IG3 :  $m = 2-4$ ,  $a = 0, 1$

図6 - 26 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

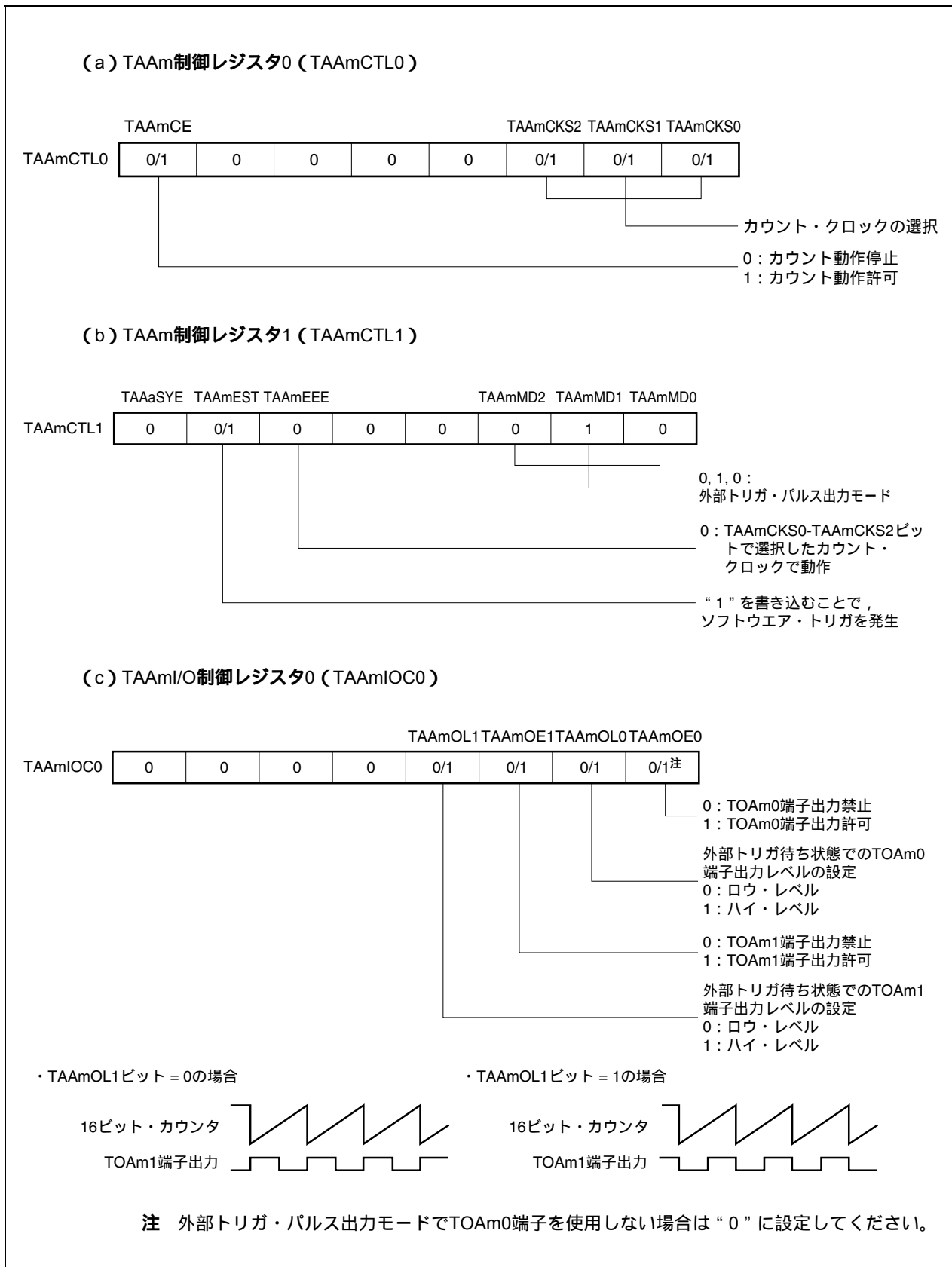
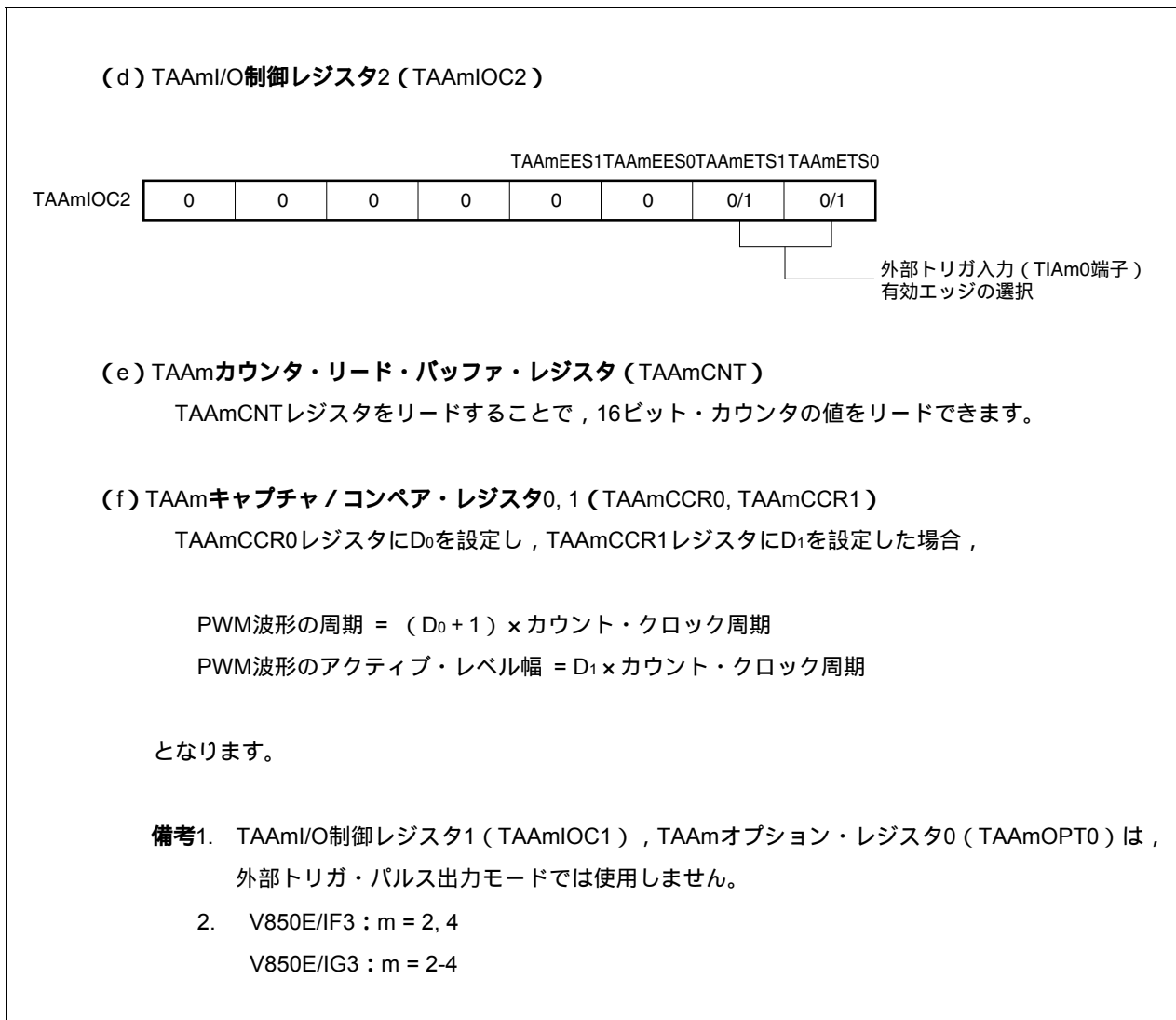


図6 - 26 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)





(1) 外部トリガ・パルス出力モード動作フロー

図6-27 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

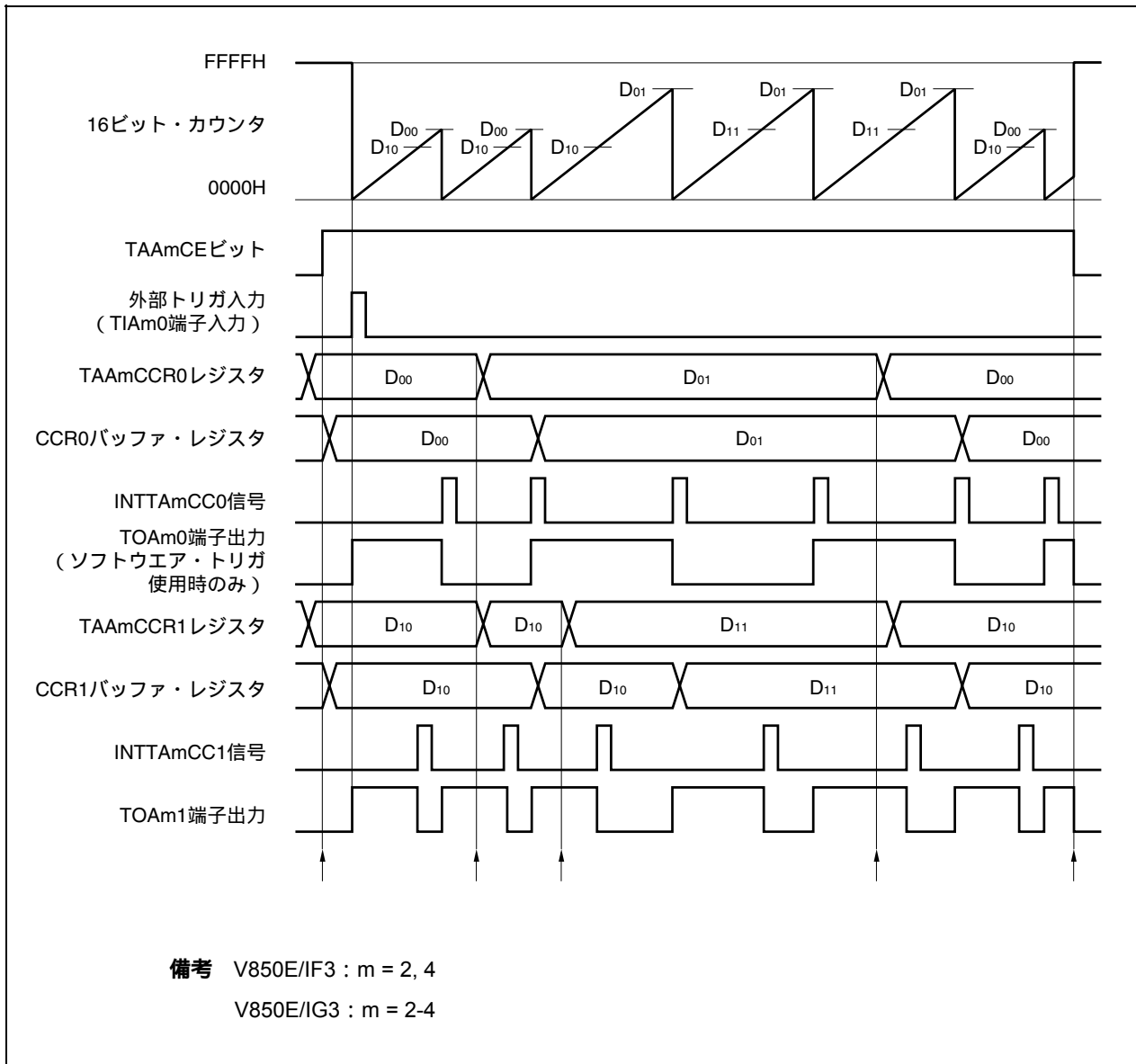
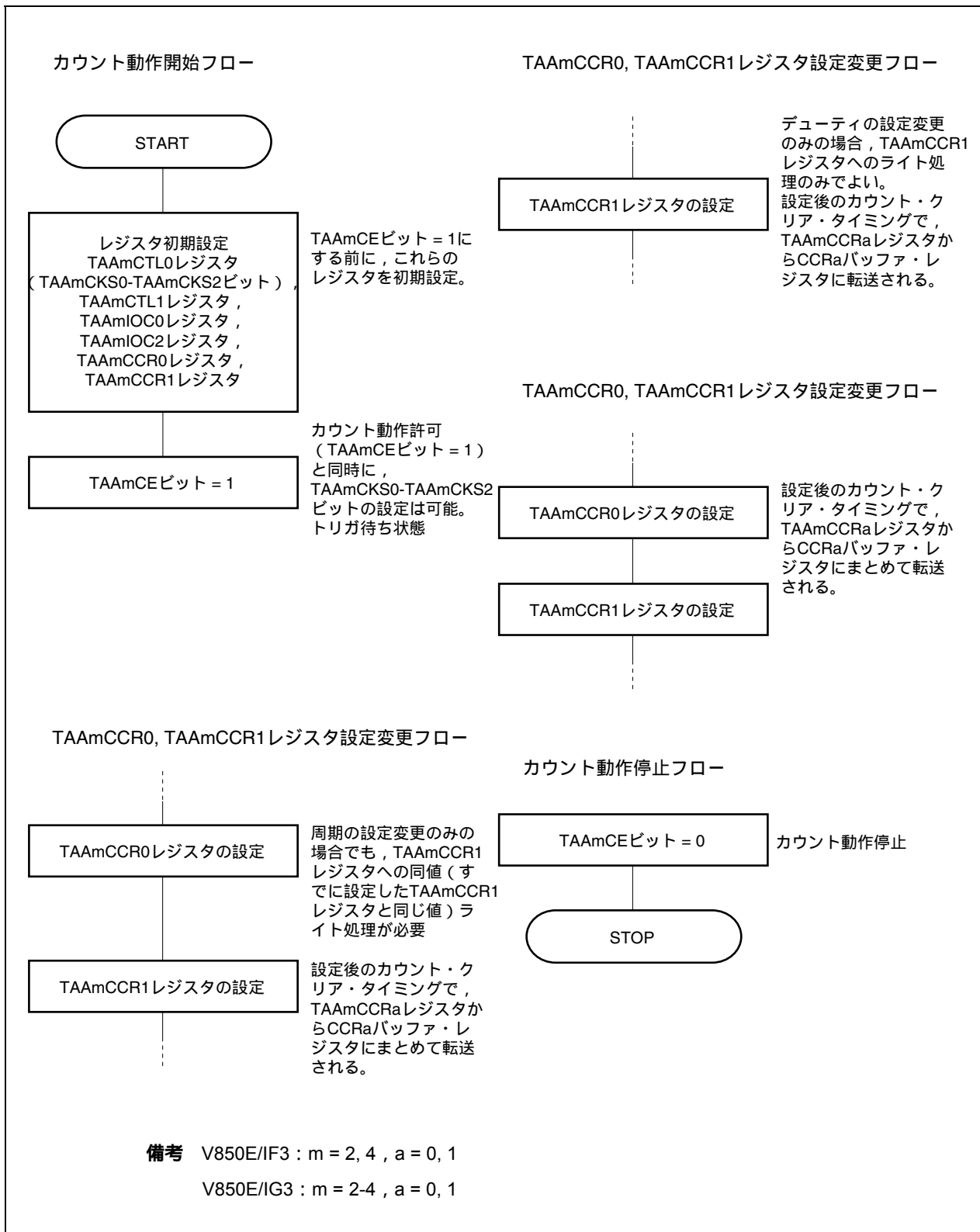


図6 - 27 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

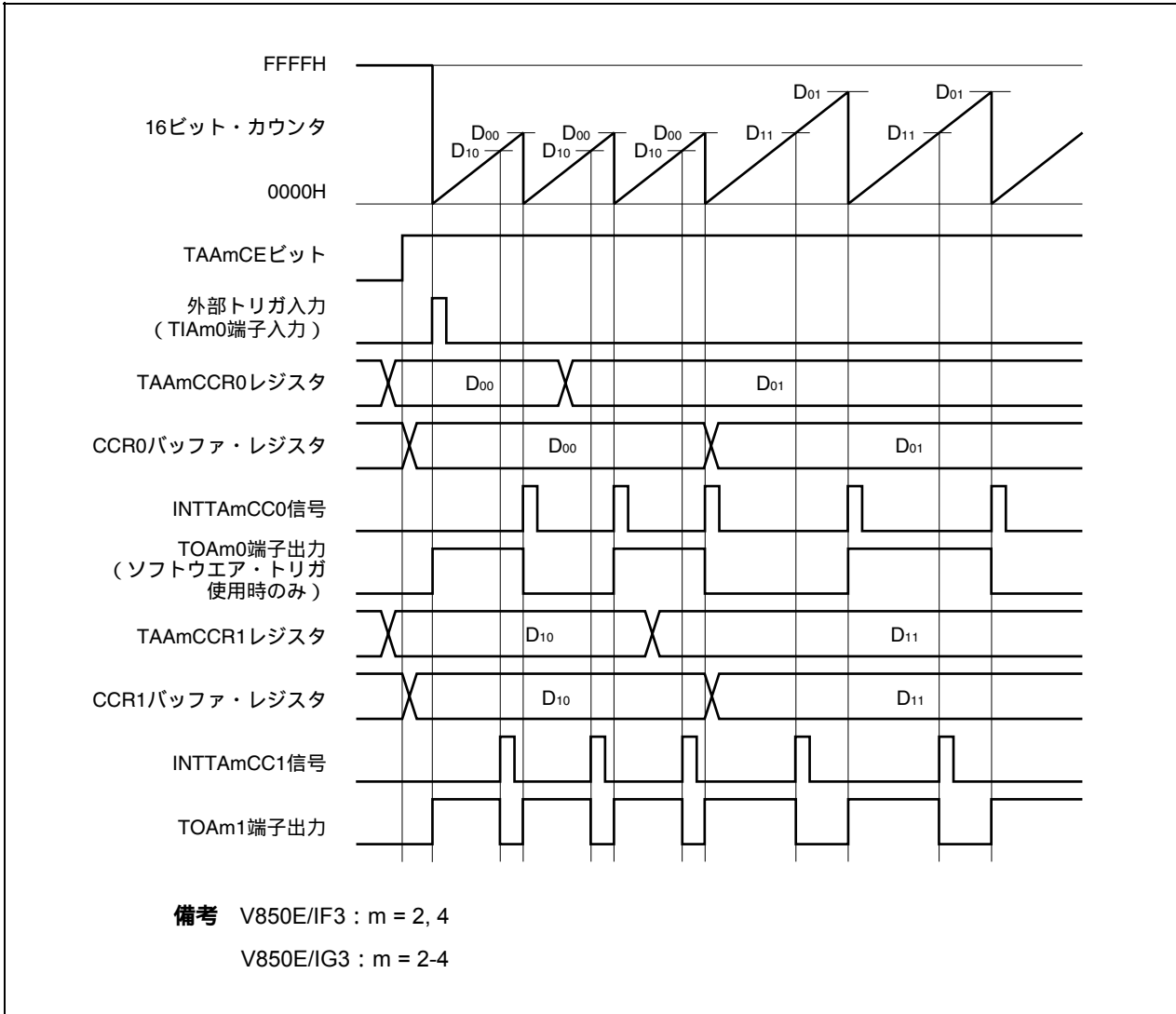


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTAAmCCR1レジスタにライトしてください。

TAAmCCR1レジスタにライト後、再度TAAmCCRaレジスタの書き換えを行う場合には、INTTAmCC0信号を検出後に書き換えてください。



TAAmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TAAmCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTAAmCCR0レジスタに周期を設定し、そのあとでTAAmCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTAAmCCR0レジスタに周期を設定し、そのあとでTAAmCCR1レジスタに同値(すでに設定したTAAmCCR1レジスタと同じ値)をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TAAmCCR1レジスタのみの設定でかまいません。

TAAmCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TAAmCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

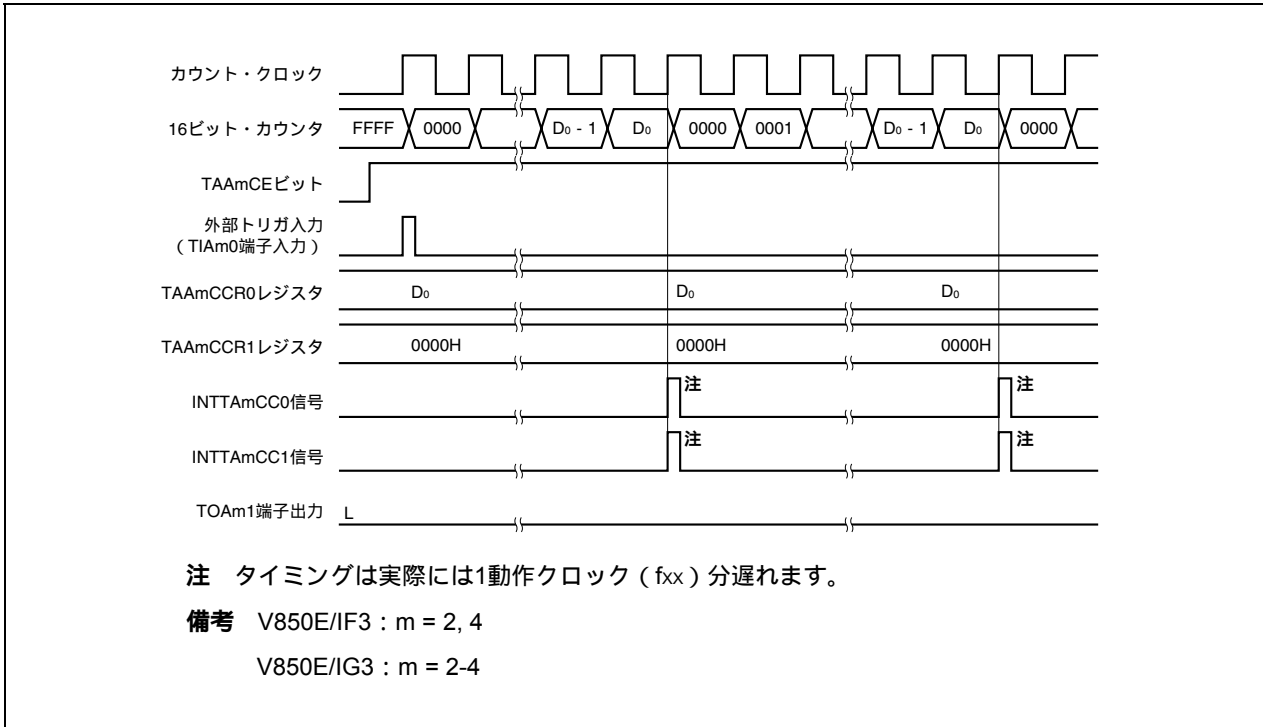
また、一度TAAmCCR1レジスタにライトしたあとで、再度TAAmCCR0、またはTAAmCCR1レジスタへのライトを行う場合は、INTTAmCC0信号の発生後に行ってください。これを守れない場合には、TAAmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TAAmCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

**備考** V850E/IF3 :  $m = 2, 4$  ,  $a = 0, 1$

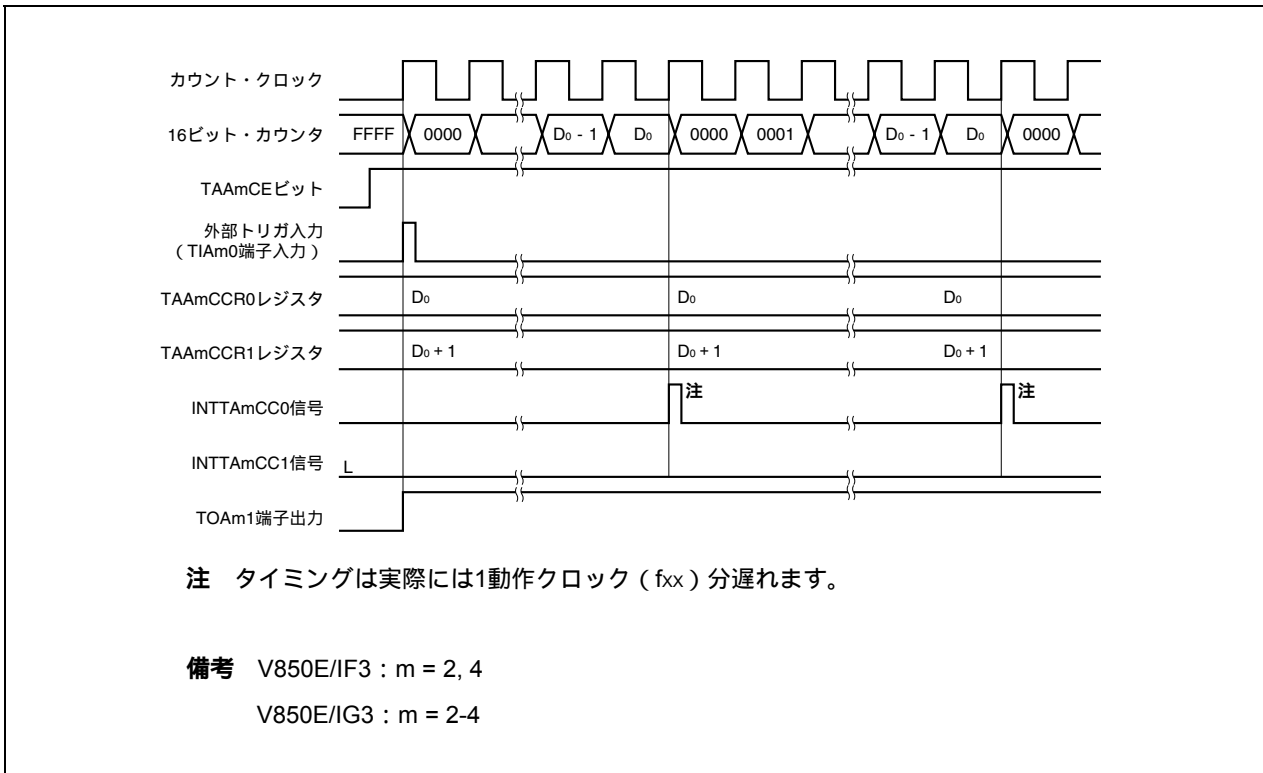
V850E/IG3 :  $m = 2-4$  ,  $a = 0, 1$

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TAAmCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTAmCC0信号とINTTAmCC1信号が発生します。

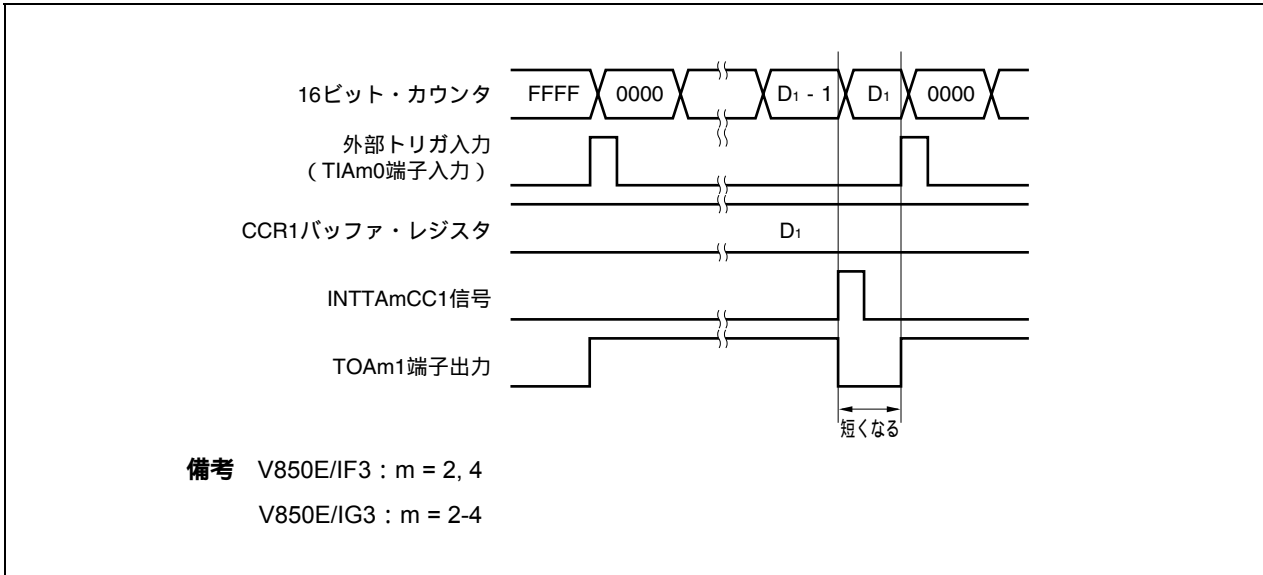


100 % 波形を出力するためには、TAAmCCR1レジスタに対して (TAAmCCR0レジスタの設定値 + 1) の値を設定してください。TAAmCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。

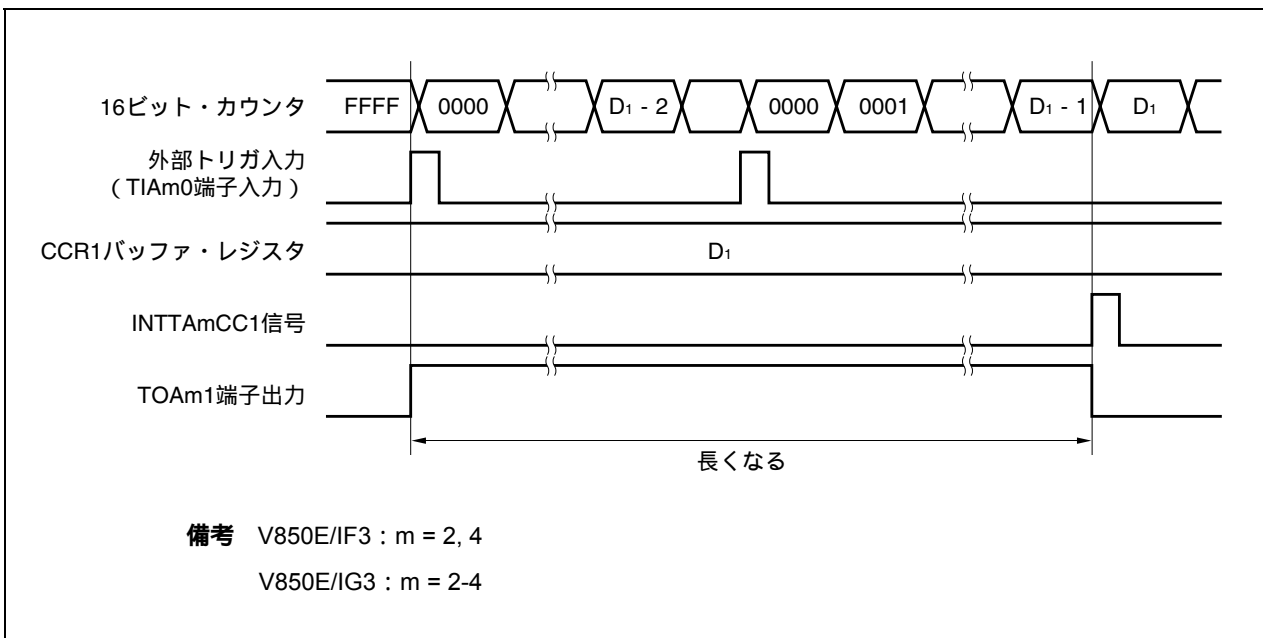


(c) トリガ検出とCCR1バッファ・レジスタとの一致の競合

INTTAmCC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOAm1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

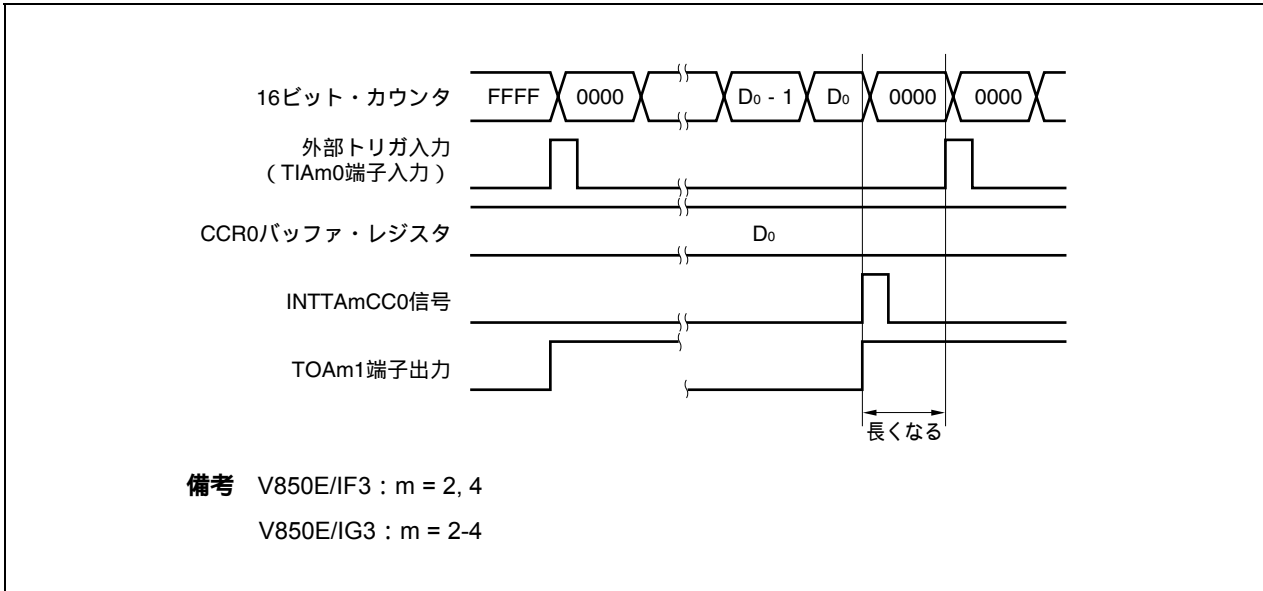


INTTAmCC1信号発生直前にトリガを検出した場合には、INTTAmCC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOAm1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

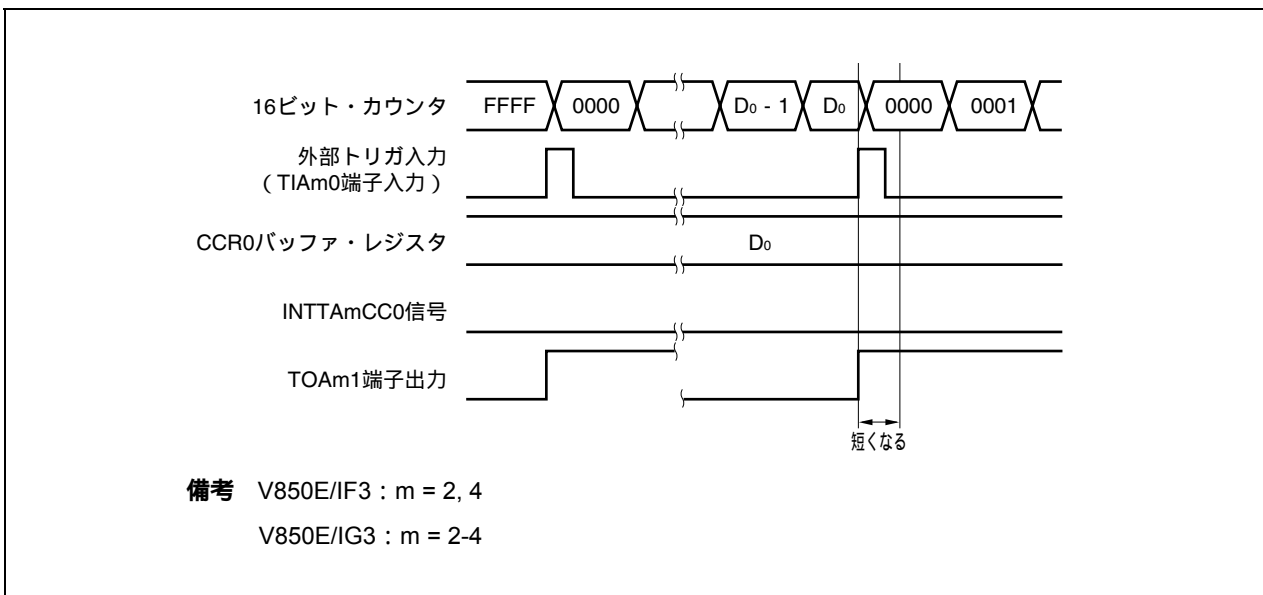


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTAmCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOAm1端子出力のアクティブ期間が、INTTAmCC0信号発生からトリガ検出までの分だけ長くなります。

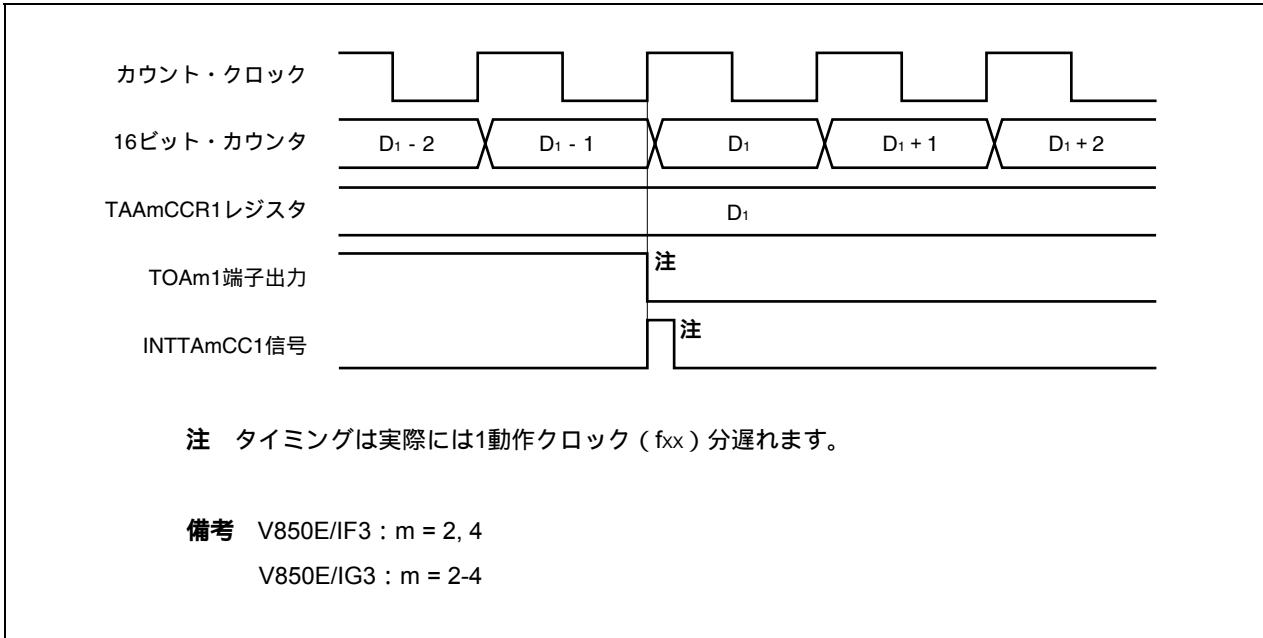


INTTAmCC0信号発生直前にトリガを検出した場合、INTTAmCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOAm1端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTTAmCC1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTAmCC1信号の発生タイミングは、ほかのモードのINTTAmCC1信号と異なり、16ビット・カウンタのカウント値とTAAmCCR1レジスタの値との一致と同時に発生します。



通常、INTTAmCC1信号は、16ビット・カウンタのカウント値とTAAmCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOAm1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。



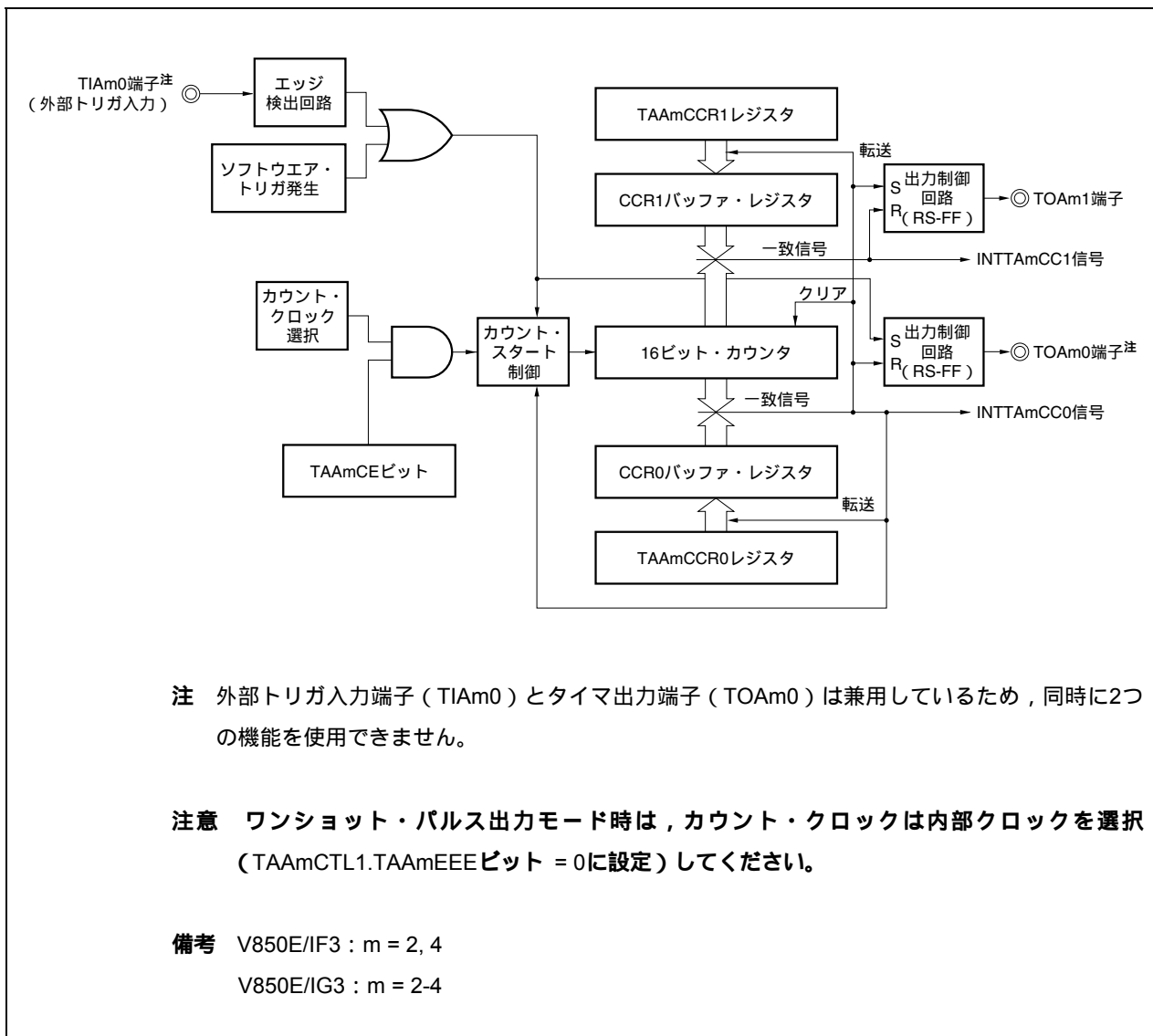
### 6.6.4 ワンショット・パルス出力モード (TAAmMD2-TAAmMD0ビット = 011)

TAA2, TAA3 (V850E/IG3のみ), TAA4のみ有効です。

ワンショット・パルス出力モードは, TAAmCTL0.TAAmCEビットをセット(1)することでトリガ待ち状態となり, 外部トリガ入力の有効エッジを検出すると, カウント動作を開始し, TOAm1端子からワンショット・パルスを出力します。

外部トリガ入力(TIAm0)の代わりに, ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合, TOAm0端子から, 16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し, カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図6-28 ワンショット・パルス出力モードの構成図

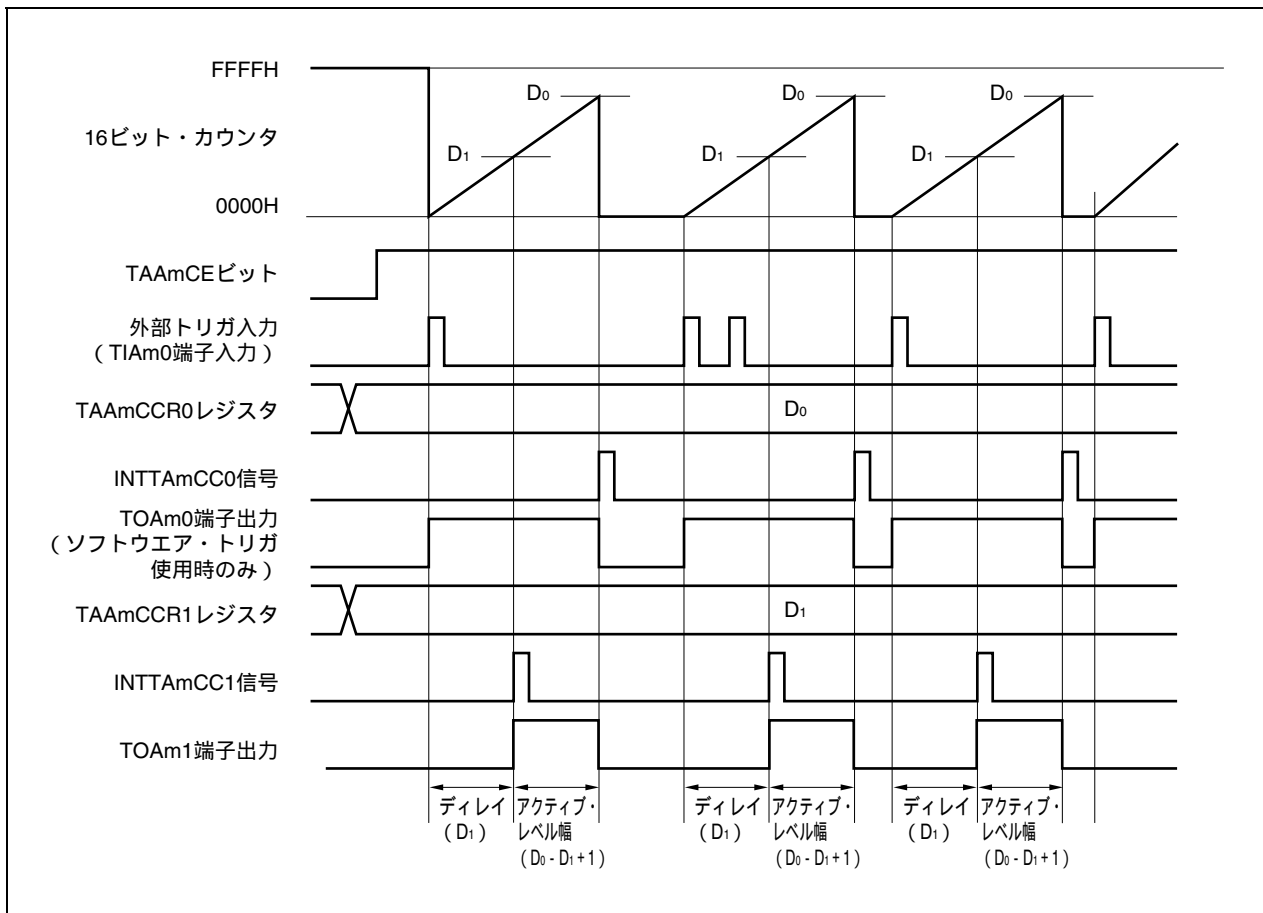


**注** 外部トリガ入力端子 (TIAm0) とタイマ出力端子 (TOAm0) は兼用しているため, 同時に2つの機能を使用できません。

**注意** ワンショット・パルス出力モード時は, カウント・クロックは内部クロックを選択 (TAAmCTL1.TAAmEEEビット = 0に設定) してください。

**備考** V850E/IF3 : m = 2, 4  
V850E/IG3 : m = 2-4

図6 - 29 ワンショット・パルス出力モードの基本タイミング



TAAmCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOAm1端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hからカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力ディレイ期間} = (\text{TAAmCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{アクティブ・レベル幅} = (\text{TAAmCCR0レジスタの設定値} - \text{TAAmCCR1レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

コンペアー一致割り込み要求信号 (INTTAmCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTAmCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

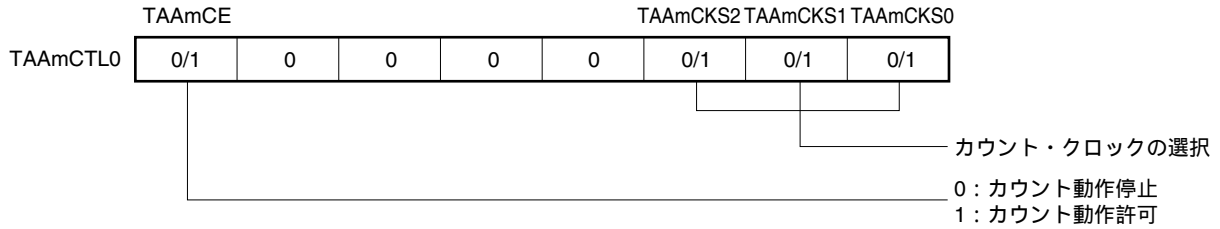
トリガには、外部トリガ入力 (TIAm0端子) の有効エッジ、またはソフトウェア・トリガ (TAAmCTL1.TAAmESTビット) のセット(1)があります。

**備考** V850E/IF3 : m = 2, 4

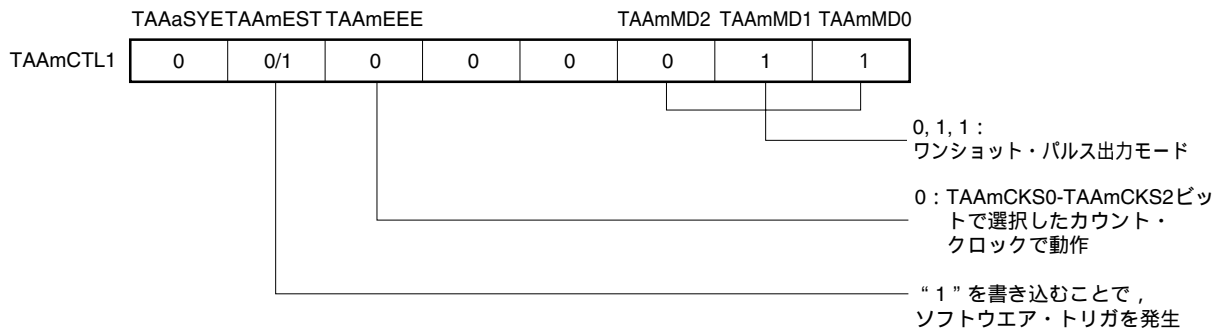
V850E/IG3 : m = 2-4

図6 - 30 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

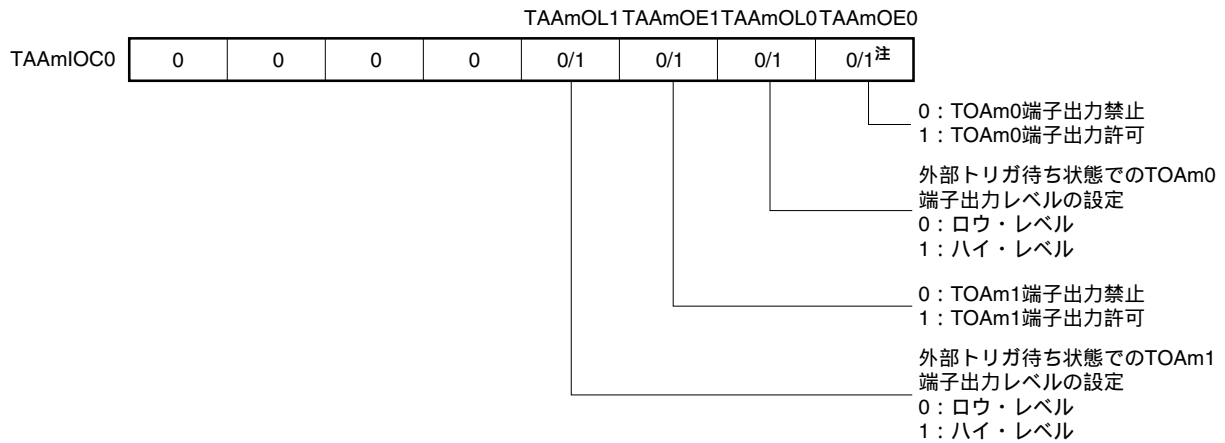
(a) TAAm制御レジスタ0 (TAAmCTL0)



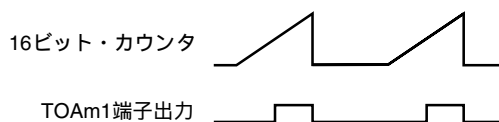
(b) TAAm制御レジスタ1 (TAAmCTL1)



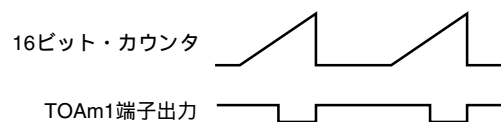
(c) TAAmI/O制御レジスタ0 (TAAmIOC0)



・ TAAmOL1ビット = 0の場合

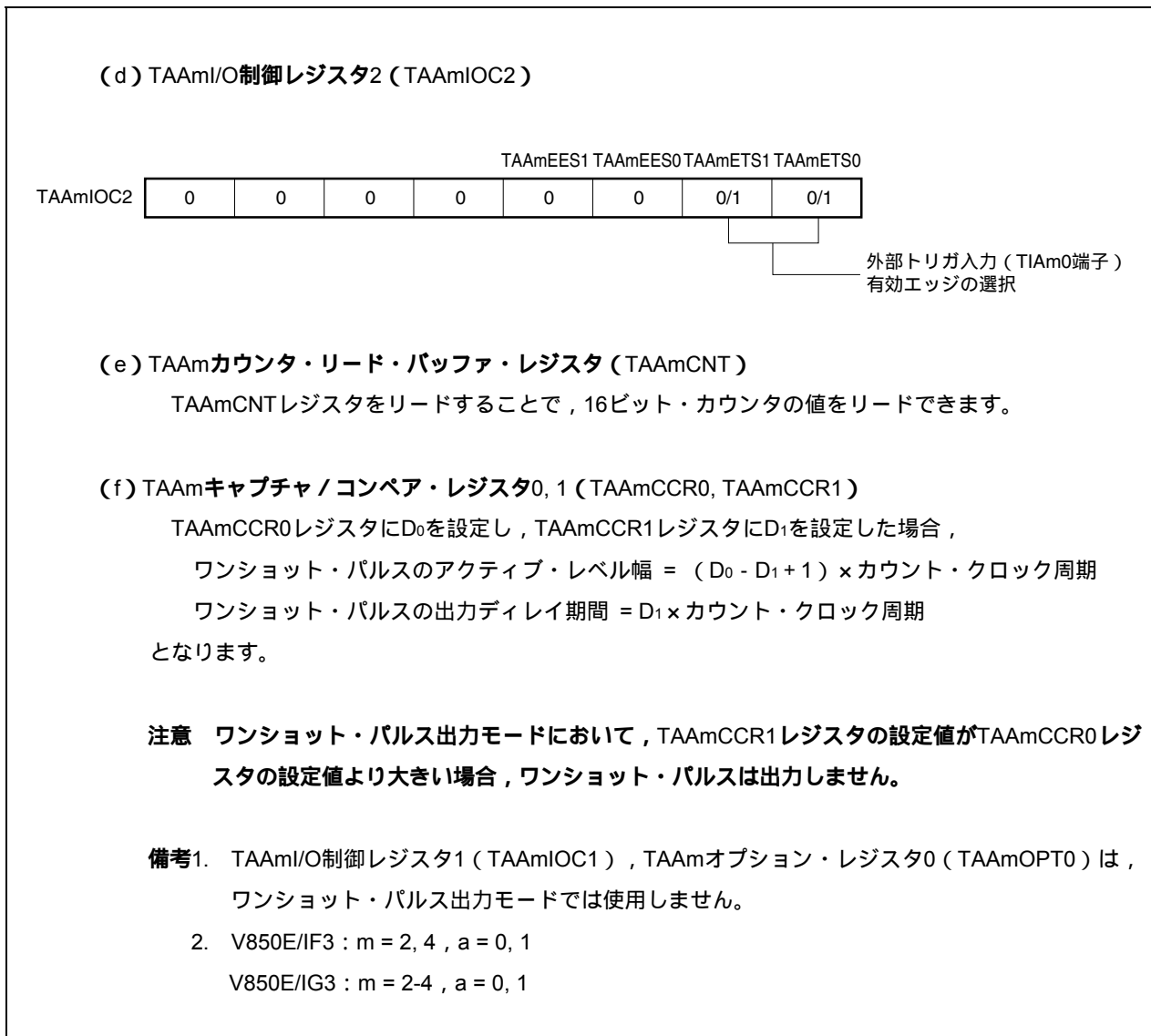


・ TAAmOL1ビット = 1の場合



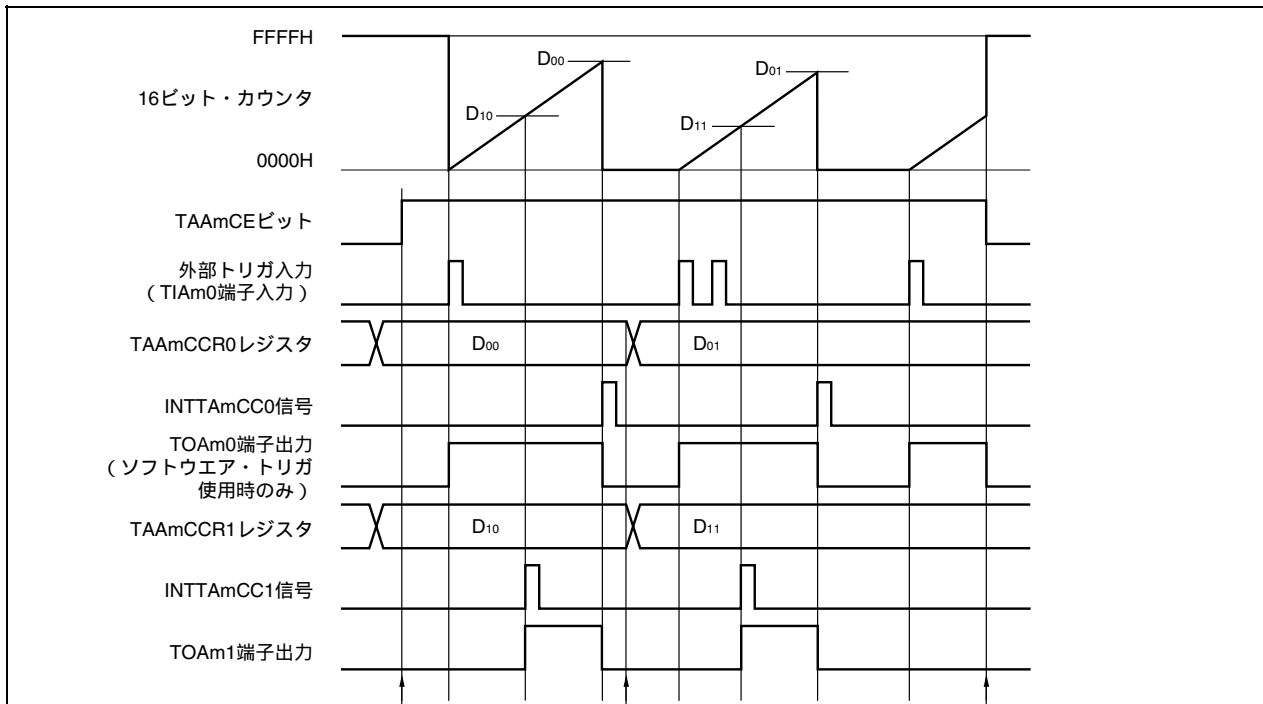
**注** ワンショット・パルス出力モードでTOAm0端子を使用しない場合は“0”に設定してください。

図6 - 30 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)

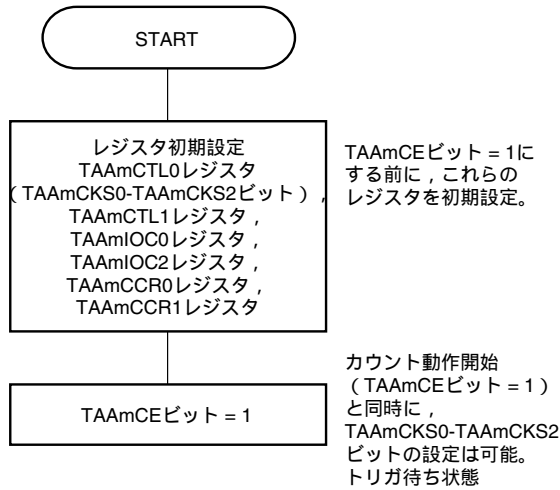


(1) ワンショット・パルス出力モード動作フロー

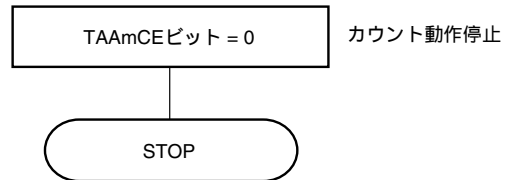
図6 - 31 ワンショット・パルス出力モード使用時のソフトウェア処理フロー



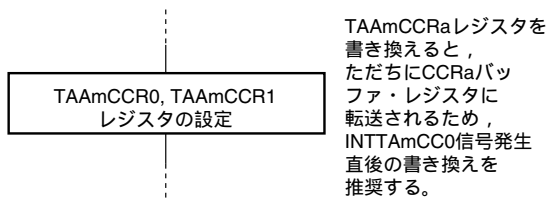
カウント動作開始フロー



カウント動作停止フロー



TAAmCCR0, TAAmCCR1レジスタ設定変更フロー

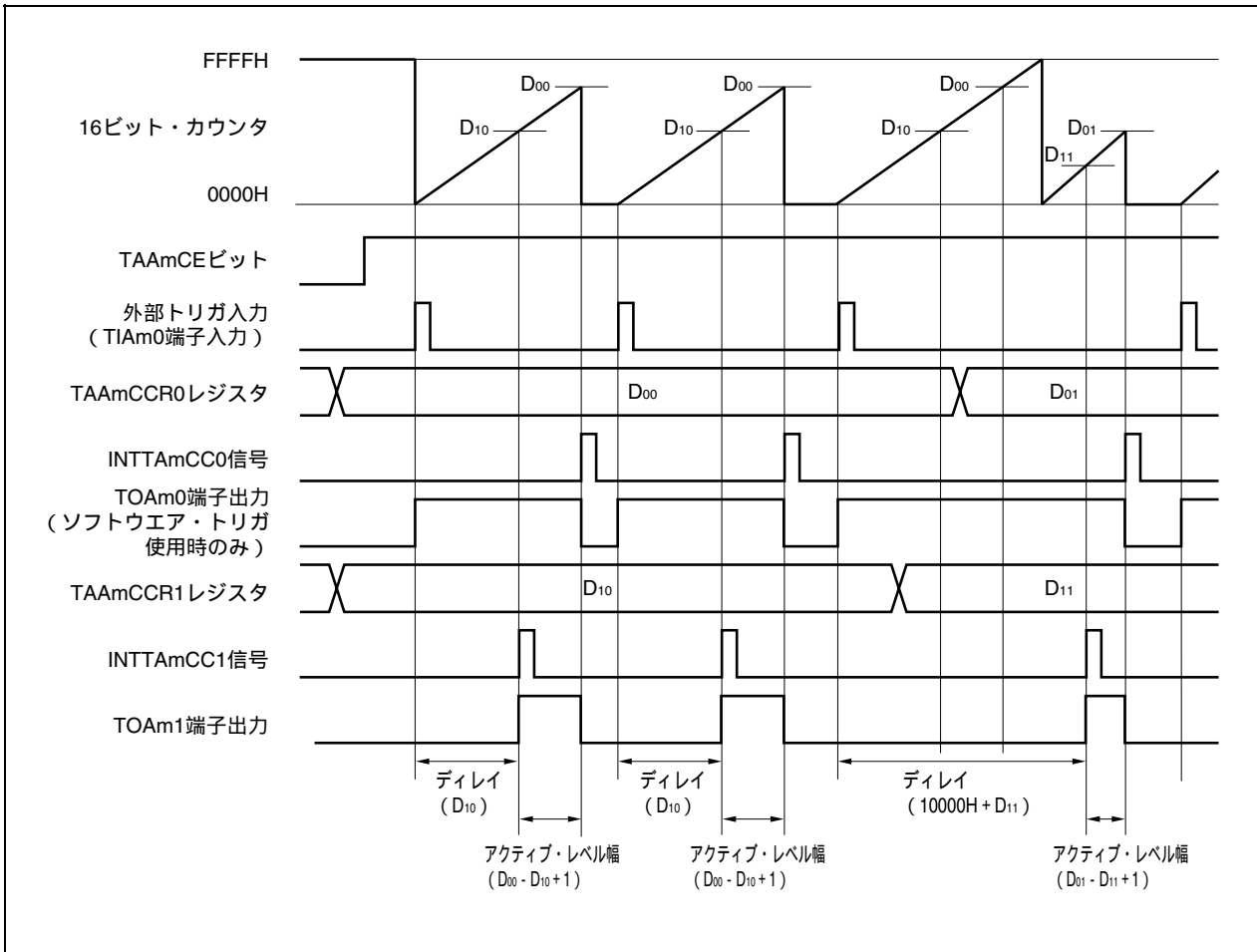


**備考** V850E/IF3 : m = 2, 4 , a = 0, 1  
 V850E/IG3 : m = 2-4 , a = 0, 1

(2) ワンショット・パルス出力モード動作タイミング

(a) TAAmCCRaレジスタの書き換えに関する注意事項

カウント動作中にTAAmCCRaレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



TAAmCCR0レジスタをD<sub>00</sub>からD<sub>01</sub>に、TAAmCCR1レジスタをD<sub>10</sub>からD<sub>11</sub>に書き換える場合において、D<sub>00</sub> > D<sub>01</sub>、D<sub>10</sub> > D<sub>11</sub>の状態では、16ビット・カウンタのカウント値がD<sub>11</sub>よりも大きくD<sub>10</sub>よりも小さい状態のときTAAmCCR1レジスタを書き換え、カウント値がD<sub>01</sub>よりも大きくD<sub>00</sub>よりも小さい状態でTAAmCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D<sub>11</sub>との一致でINTTAmCC1信号を発生してTOAm1端子出力をアクティブ・レベルにし、D<sub>01</sub>との一致でINTTAmCC0信号を発生してTOAm1端子出力をインアクティブにしてカウント動作を停止します。

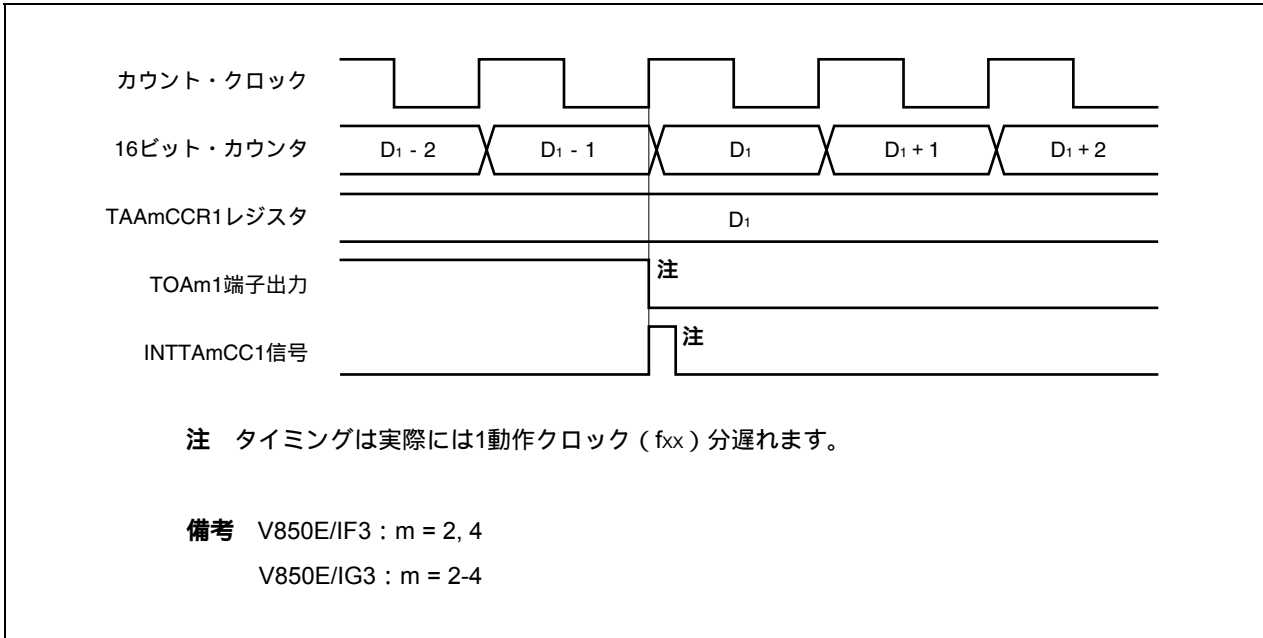
したがって、本来期待しているワンショット・パルス出力に対し、遅延期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 V850E/IF3 : m = 2, 4, a = 0, 1

V850E/IG3 : m = 2-4, a = 0, 1

(b) コンペアー一致割り込み要求信号 (INTTAmCC1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTAmCC1信号の発生タイミングは、ほかのモードのINTTAmCC1信号と異なり、16ビット・カウンタのカウント値とTAAmCCR1レジスタの値との一致と同時に発生します。



通常、INTTAmCC1信号は、16ビット・カウンタのカウント値とTAAmCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOAm1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 6.6.5 PWM出力モード (TAAmMD2-TAAmMD0ビット = 100)

TAA2, TAA3 (V850E/IG3のみ), TAA4のみ有効です。

PWM出力モードは, TAAmCTL0.TAAmCEビットをセット (1) することで, TOAm1端子からPWM波形を出力します。

また, TOAm0端子から, TAAmCCR0レジスタの設定値 + 1を半周期とする50 %デューティのPWM波形を出力します。

図6 - 32 PWM出力モードの構成図

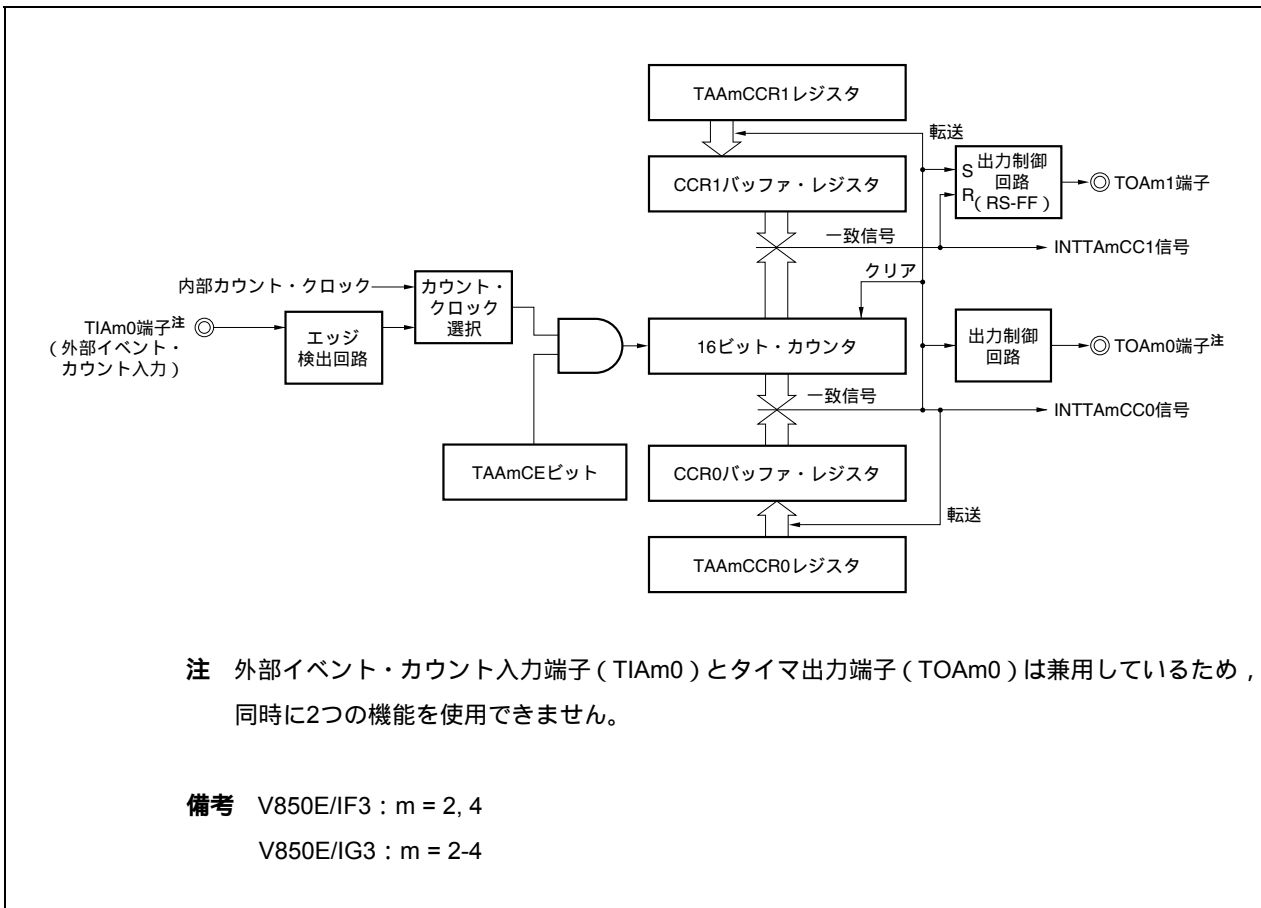
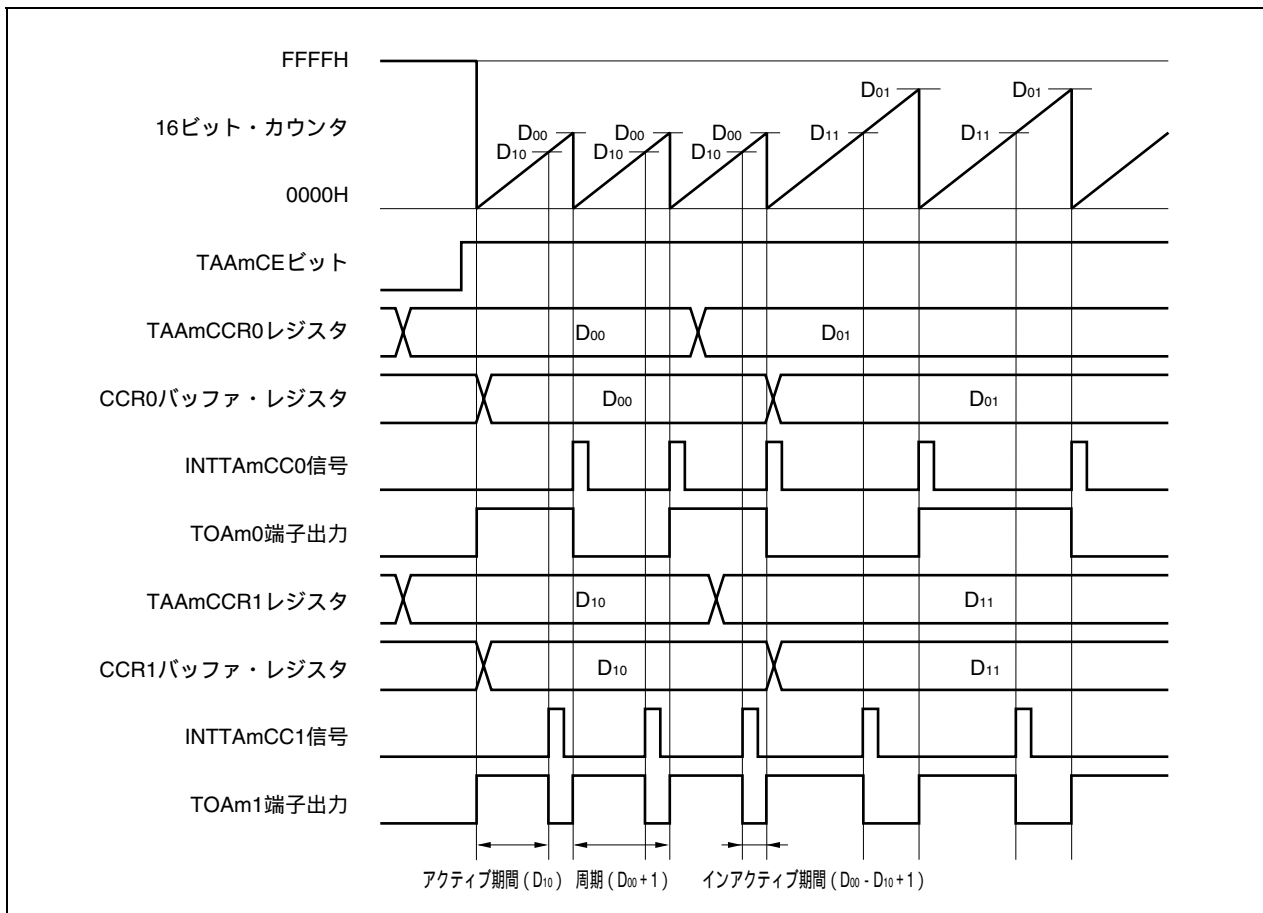




図6 - 33 PWM出力モードの基本タイミング



TAAmCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOAm1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅，周期，およびデューティは次のように求められます。

$$\begin{aligned} \text{アクティブ・レベル幅} &= (\text{TAAmCCR1レジスタの設定値}) \times \text{カウント・クロック周期} \\ \text{周期} &= (\text{TAAmCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期} \\ \text{デューティ} &= (\text{TAAmCCR1レジスタの設定値}) / (\text{TAAmCCR0レジスタの設定値} + 1) \end{aligned}$$

動作中にTAAmCCR<sub>a</sub>レジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペア一致割り込み要求信号 (INTTAmCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号 (INTTAmCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TAAmCCR<sub>a</sub>レジスタに設定した値は、16ビット・カウンタのカウント値とCCR<sub>a</sub>バッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCR<sub>a</sub>バッファ・レジスタに転送されます。

**備考** V850E/IF3 : m = 2, 4, a = 0, 1,  
V850E/IG3 : m = 2-4, a = 0, 1

図6 - 34 PWM出力モード動作時のレジスタ設定内容 (1/2)

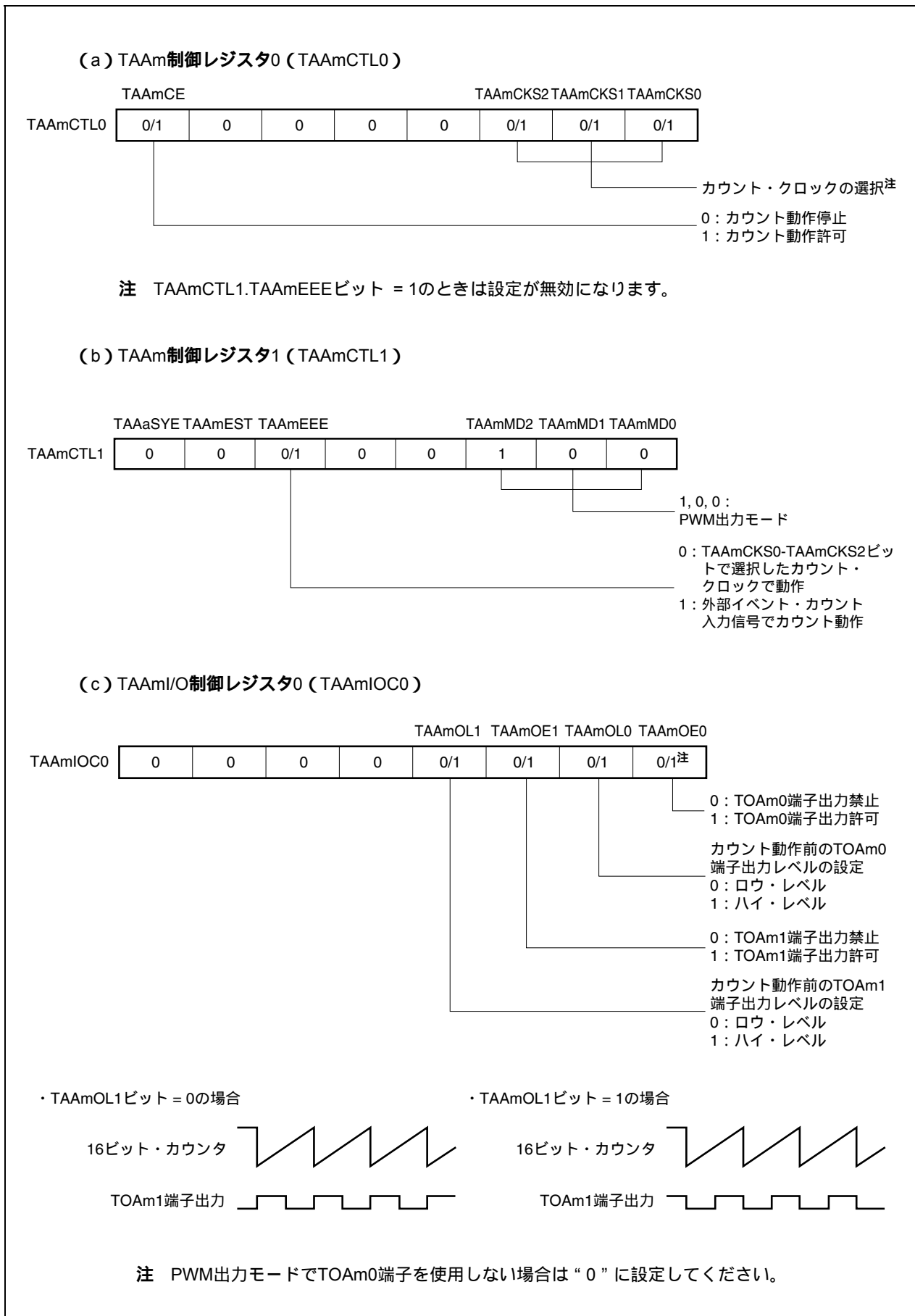
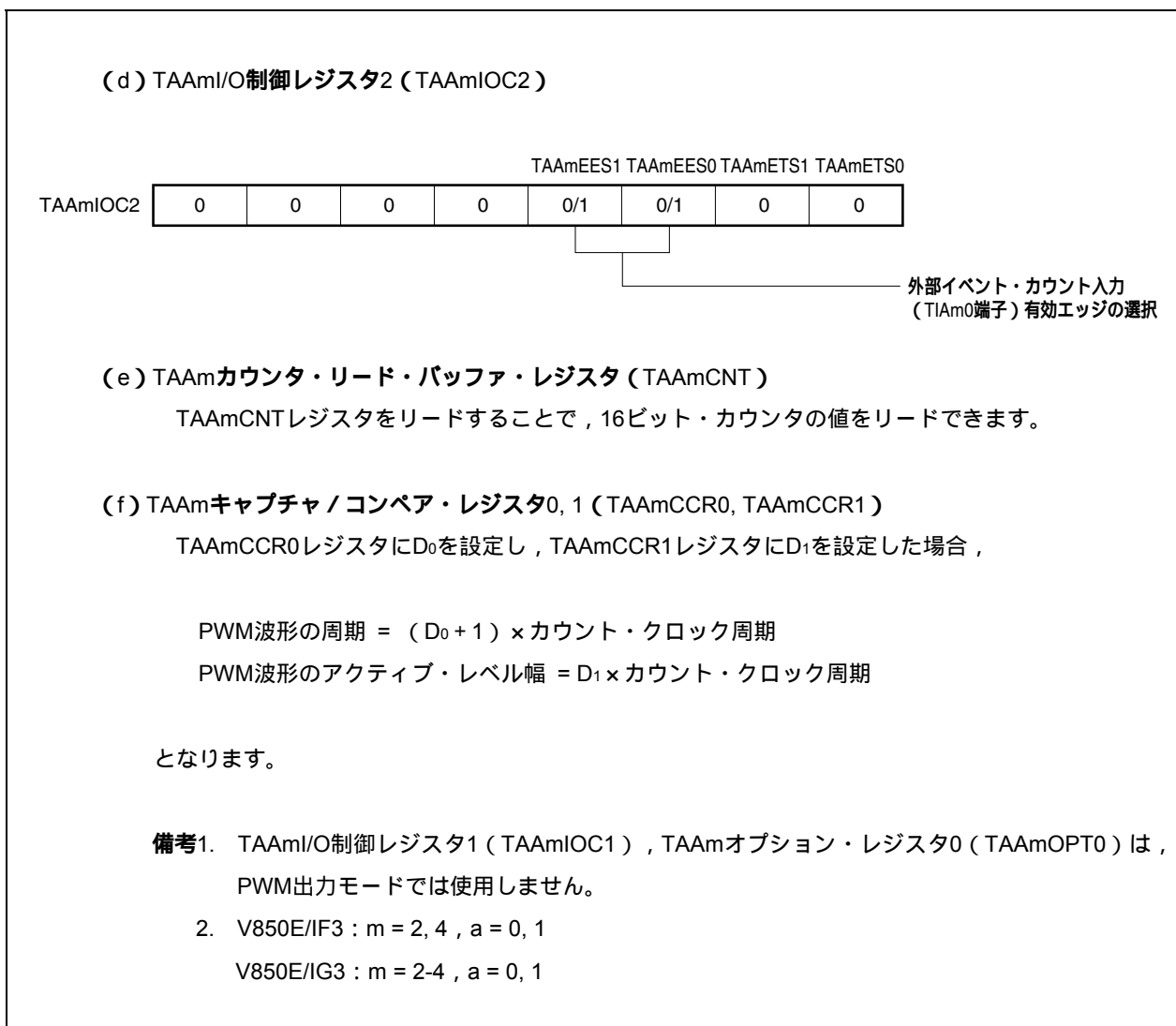


図6 - 34 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図6 - 35 PWM出力モード使用時のソフトウェア処理フロー (1/2)

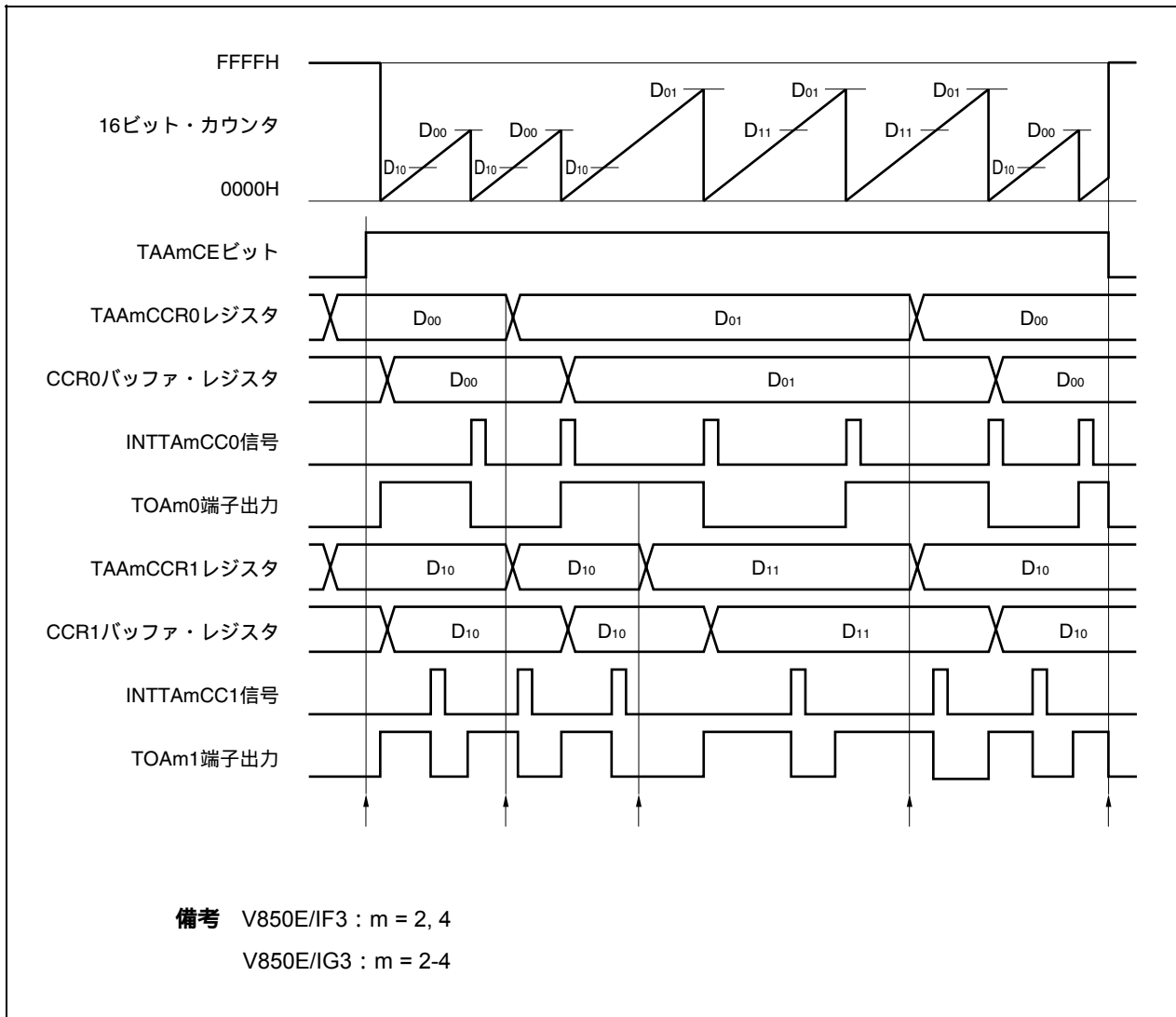
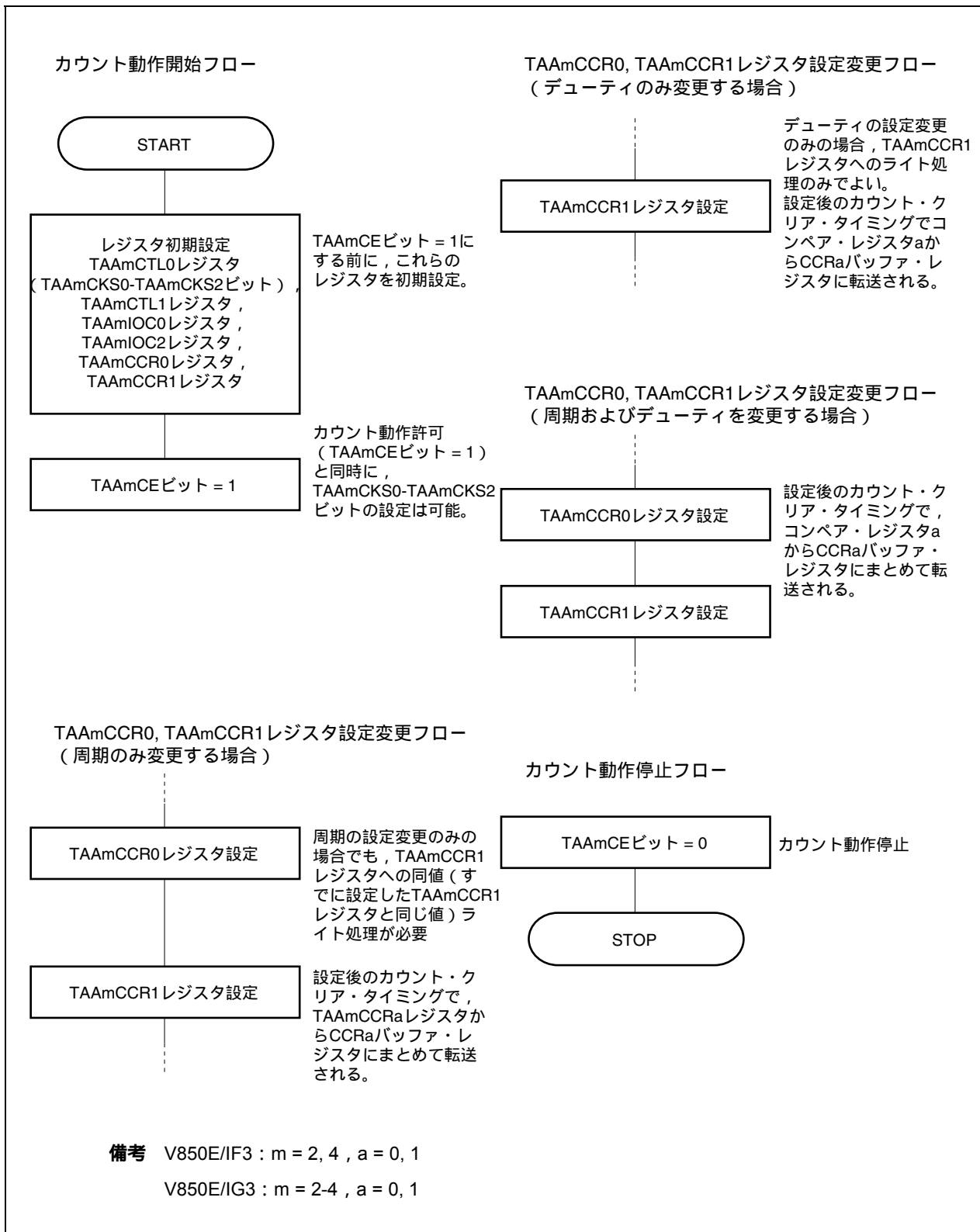


図6 - 35 PWM出力モード使用時のソフトウェア処理フロー (2/2)

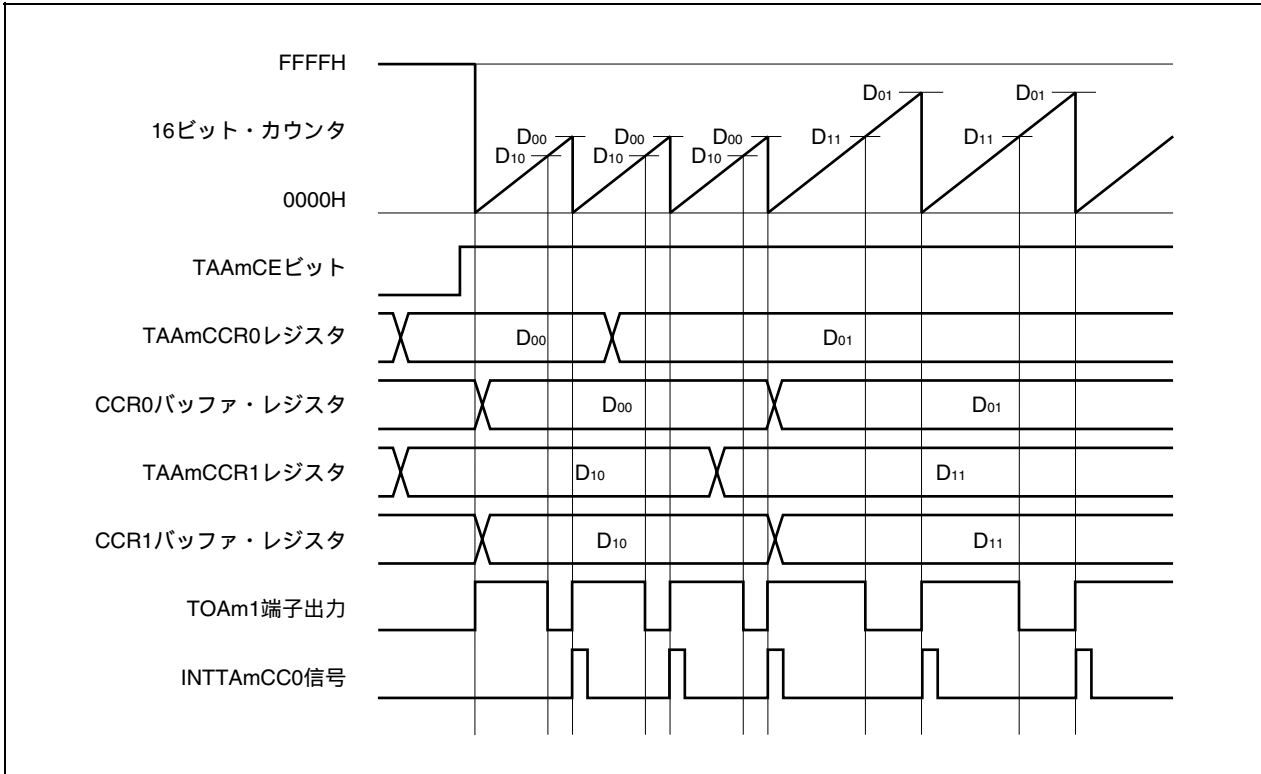


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTAAmCCR1レジスタにライトしてください。

TAAmCCR1レジスタにライト後、再度TAAmCCRaレジスタの書き換えを行う場合には、INTTAmCC0信号を検出後に書き換えてください。



TAAmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TAAmCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTAAmCCR0レジスタに周期を設定し、そのあとでTAAmCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTAAmCCR0レジスタに周期を設定し、そのあとでTAAmCCR1レジスタに同値(すでに設定したTAAmCCR1レジスタと同じ値)をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TAAmCCR1レジスタのみの設定でかまいません。

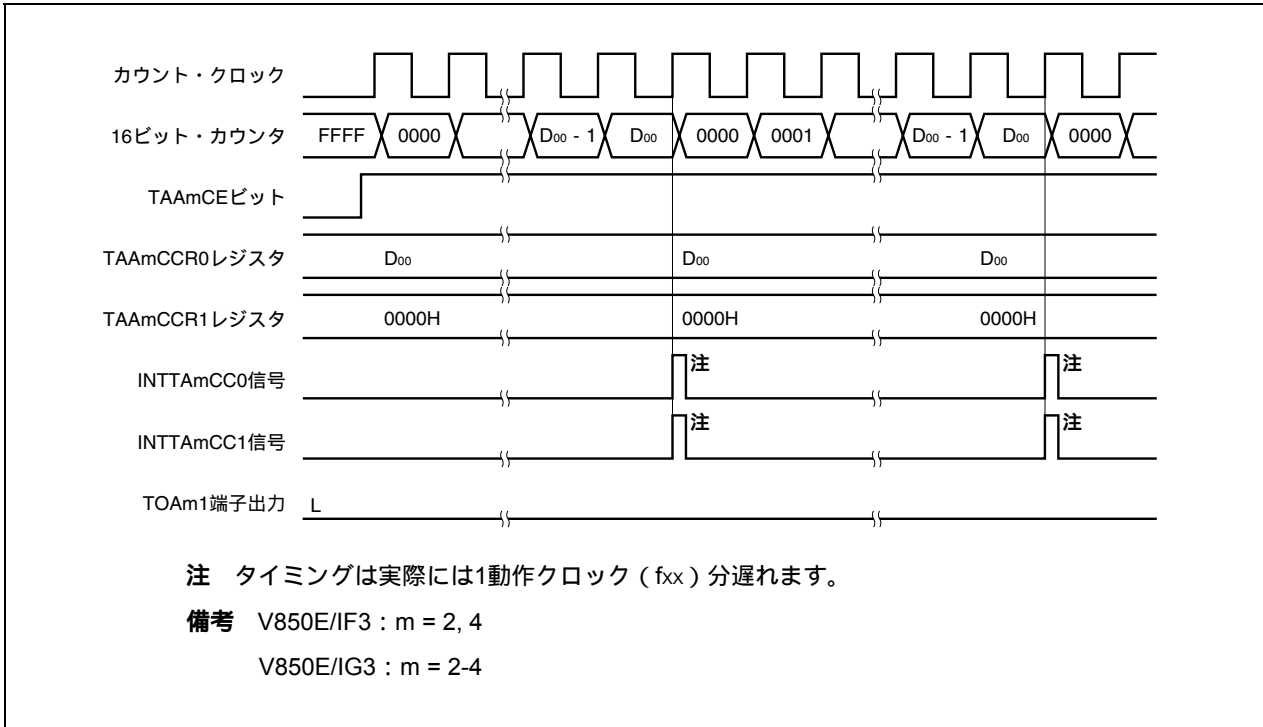
TAAmCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TAAmCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TAAmCCR1レジスタにライトしたあとで、再度TAAmCCR0、またはTAAmCCR1レジスタへのライトを行う場合は、INTTAmCC0信号の発生後に行ってください。これを守れない場合には、TAAmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TAAmCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

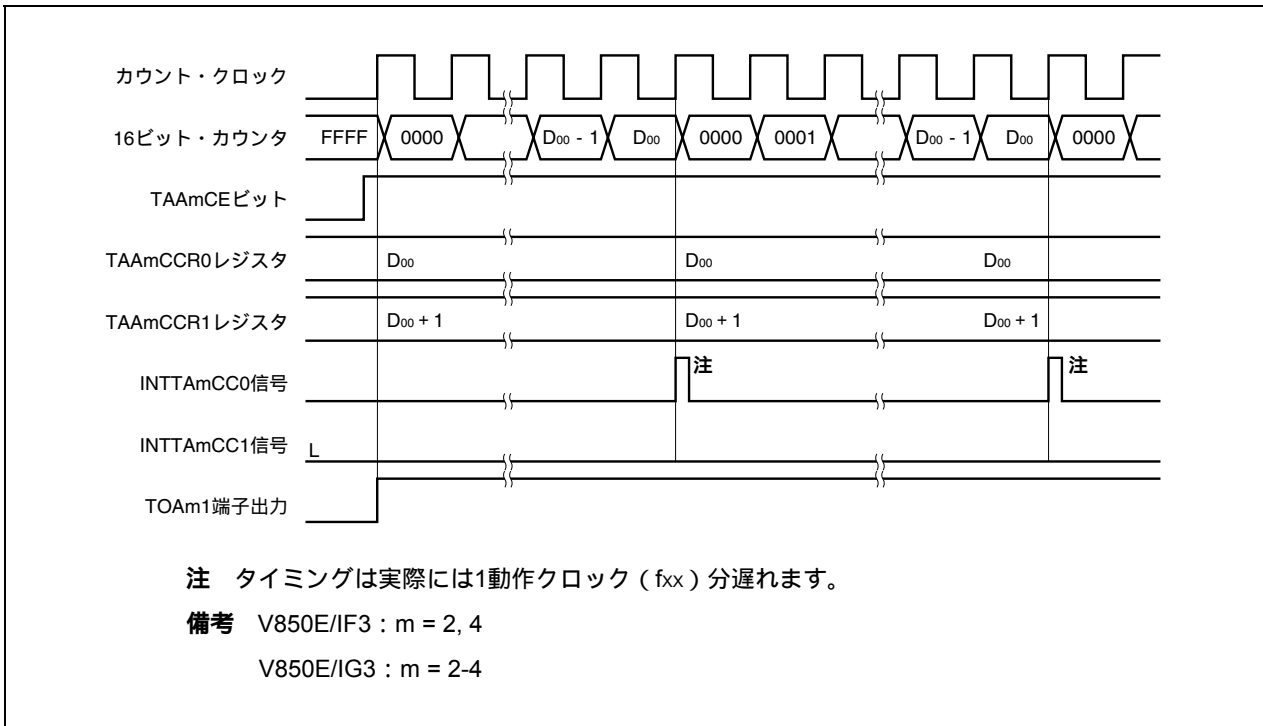
備考 V850E/IF3 : m = 2, 4, a = 0, 1, V850E/IG3 : m = 2-4, a = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TAAmCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTAmCC0信号とINTTAmCC1信号が発生します。

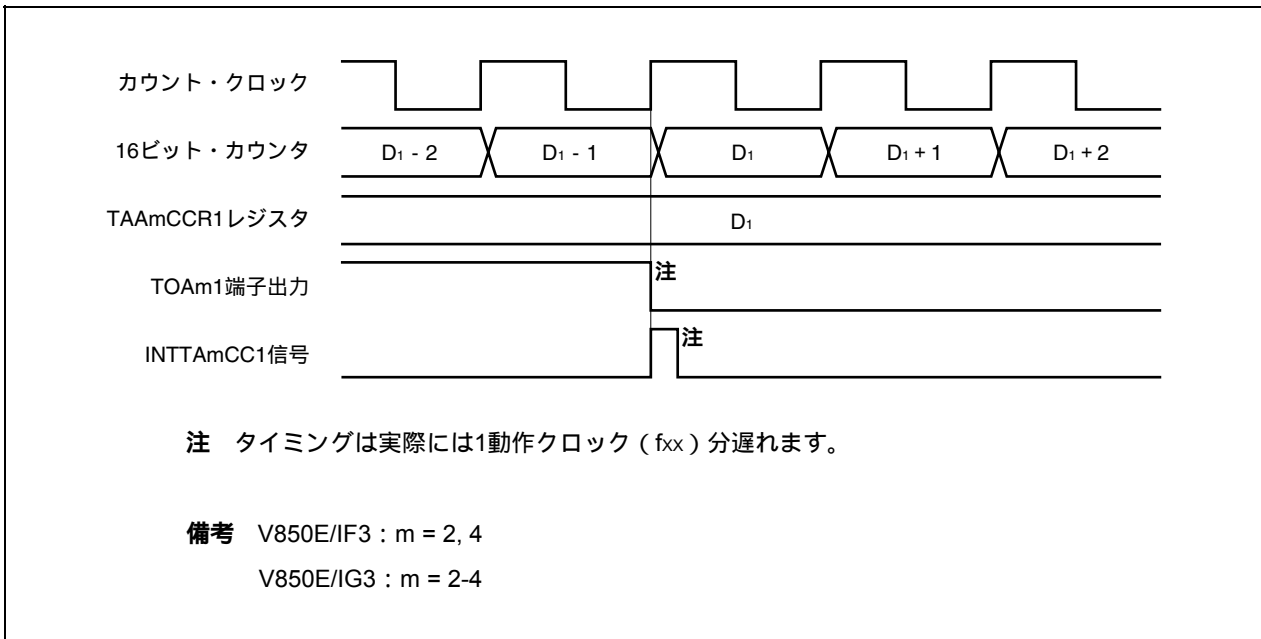


100 % 波形を出力するためには、TAAmCCR1レジスタに対して (TAAmCCR0レジスタの設定値 + 1) の値を設定してください。TAAmCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTAmCC1) の発生タイミング

PWM出力モードにおけるINTTAmCC1信号の発生タイミングは、ほかのモードのINTTAmCC1信号と異なり、16ビット・カウンタのカウンタ値とTAAmCCR1レジスタの値との一致と同時に発生します。



通常、INTTAmCC1信号は、16ビット・カウンタのカウンタ値とTAAmCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOAm1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

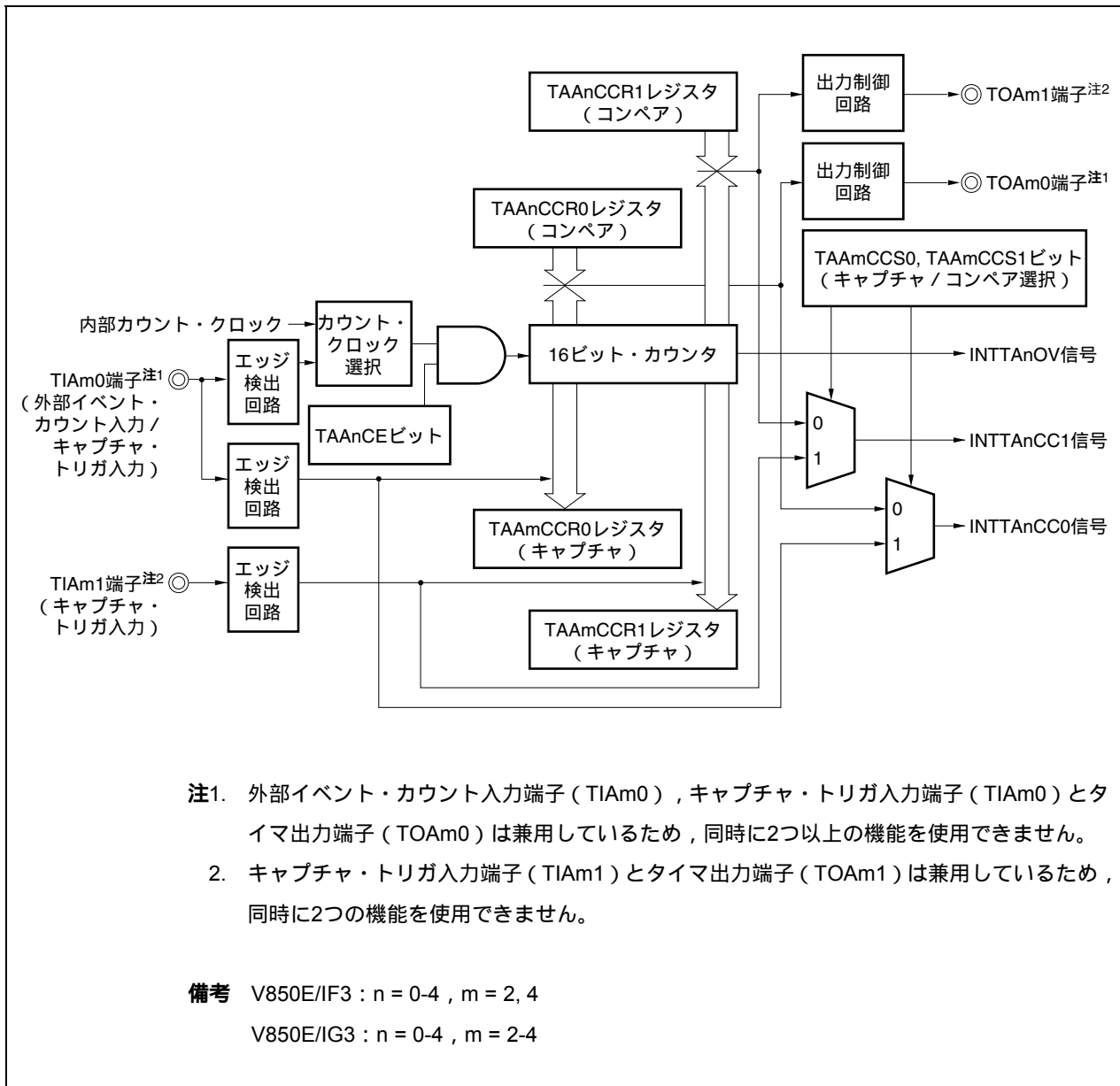


### 6.6.6 フリー・ランニング・タイマ・モード (TAA<sub>n</sub>MD2-TAA<sub>n</sub>MD0ビット = 101)

コンペア機能はTAA0-TAA4すべて有効です。キャプチャ機能はTAA2, TAA3 (V850E/IG3のみ), TAA4のみ有効です。

フリー・ランニング・タイマ・モードは, TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CEビットをセット (1) することでカウント動作を開始します。このときのTAA<sub>m</sub>CCR0, TAA<sub>m</sub>CCR1レジスタの動作は, TAA<sub>m</sub>OPT0.TAA<sub>m</sub>CCS0, TAA<sub>m</sub>CCS1ビットの設定により, コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図6-36 フリー・ランニング・タイマ・モードの構成図



- 注1. 外部イベント・カウント入力端子 (TIAm0), キャプチャ・トリガ入力端子 (TIAm0) とタイマ出力端子 (TOAm0) は兼用しているため, 同時に2つ以上の機能を使用できません。
- 2. キャプチャ・トリガ入力端子 (TIAm1) とタイマ出力端子 (TOAm1) は兼用しているため, 同時に2つの機能を使用できません。

備考 V850E/IF3 : n = 0-4, m = 2, 4  
 V850E/IG3 : n = 0-4, m = 2-4

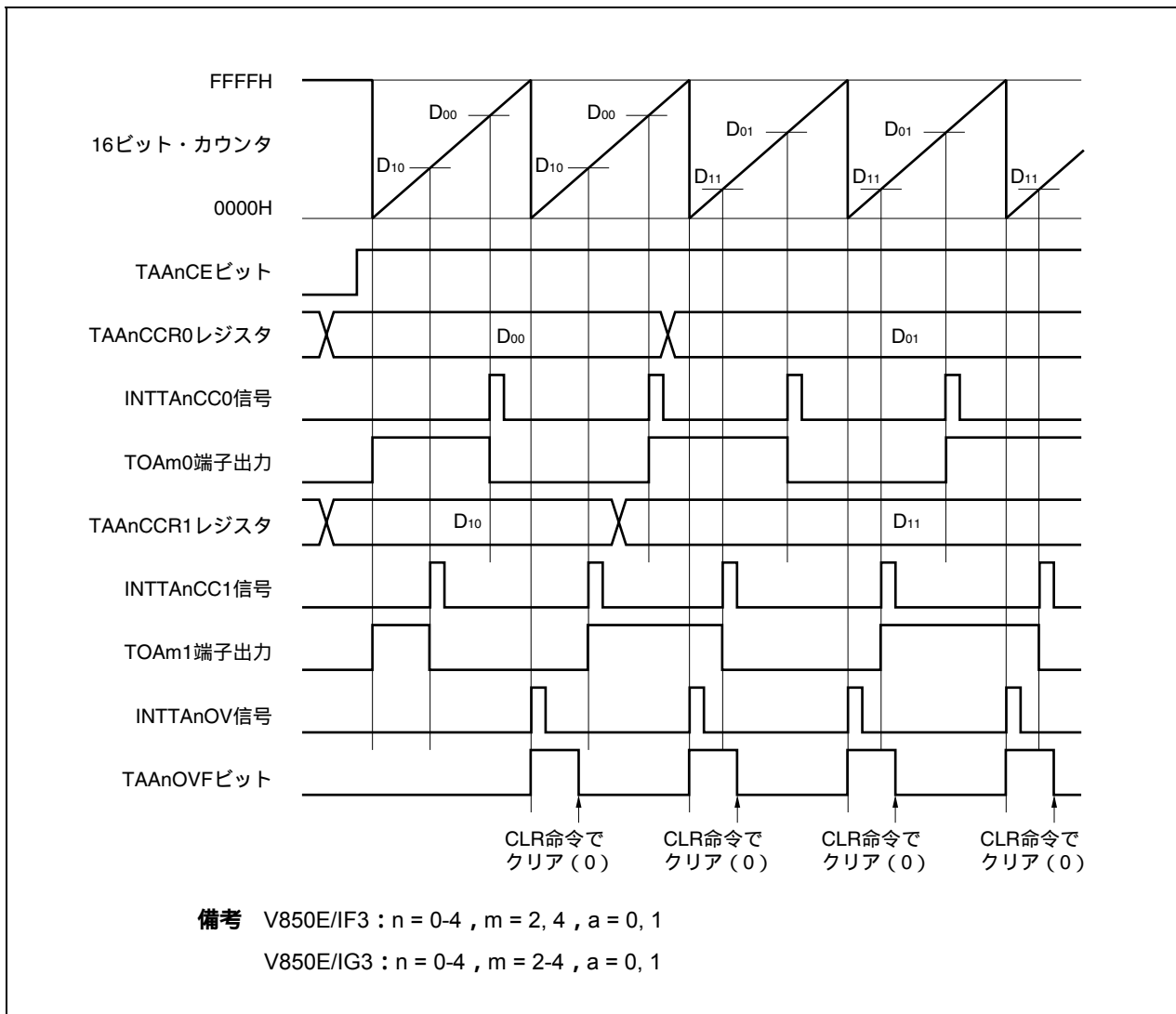
・コンペア動作

TAA<sub>n</sub>CEビットをセット (1) することで、カウント動作を開始し、TOA<sub>m</sub>端子出力を反転します。その後、16ビット・カウンタのカウント値とTAA<sub>n</sub>CCR<sub>a</sub>レジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTAA<sub>n</sub>CC<sub>a</sub>) を発生し、TOA<sub>m</sub>端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTAA<sub>n</sub>OV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TAA<sub>n</sub>OPT0.TAA<sub>n</sub>OVFビット) もセット (1) されます。オーバーフロー・フラグがセット (1) されているのを確認してからソフトウェアでCLR命令を実行してクリア (0) してください。

TAA<sub>n</sub>CCR<sub>a</sub>レジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き込みにより値が即反映され、カウント値と比較されます。

図6 - 37 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



・キャプチャ動作

TAAmCEビットをセット(1)することで、カウント動作を開始します。その後、TIAma端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTAAmCCRaレジスタに格納し、キャプチャ割り込み要求信号(INTTAmCCa)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTAmOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TAAmOPT0.TAAmOVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されていることを確認してからソフトウェアでCLR命令を実行してクリア(0)してください。

図6 - 38 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

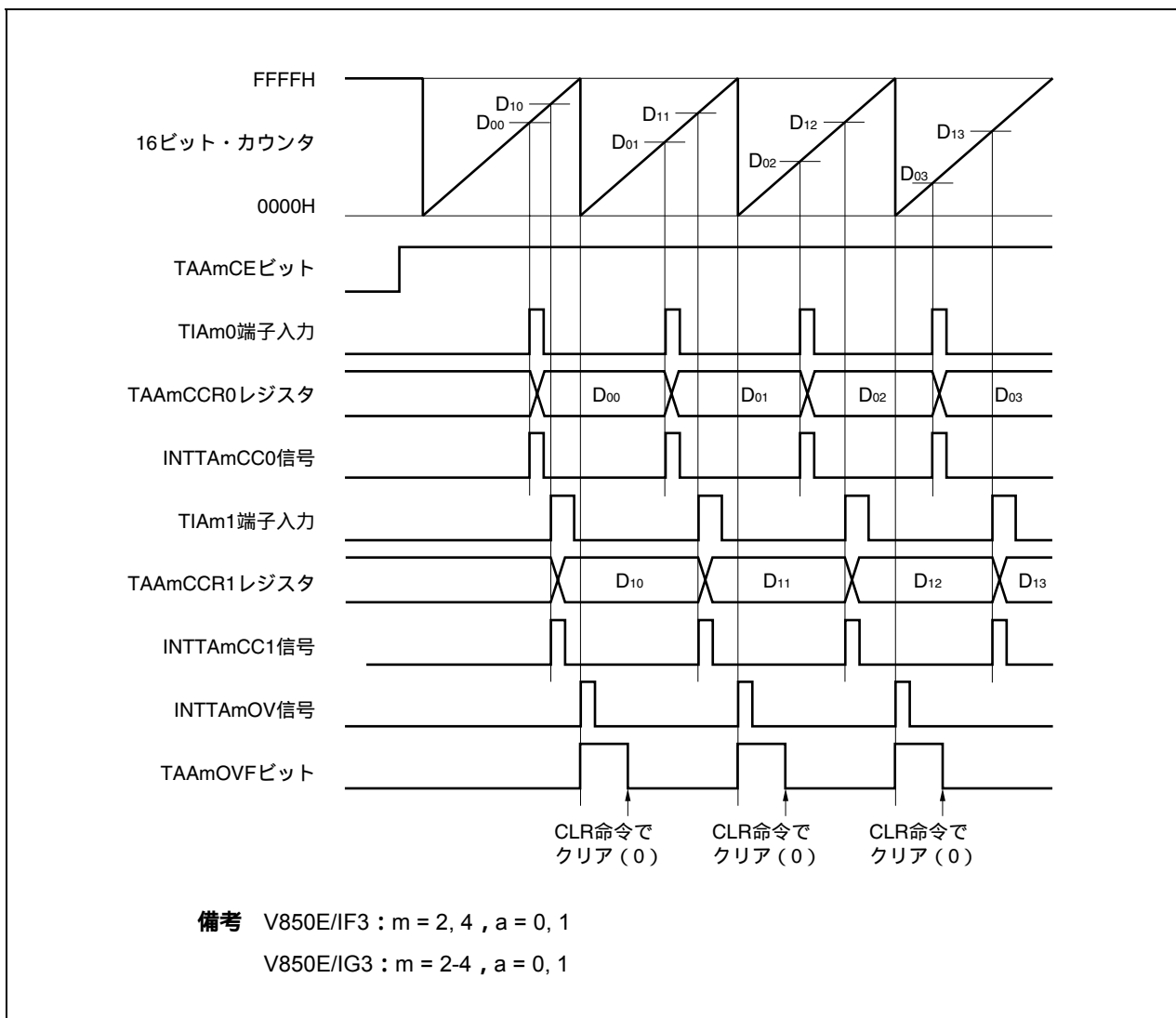


図6 - 39 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

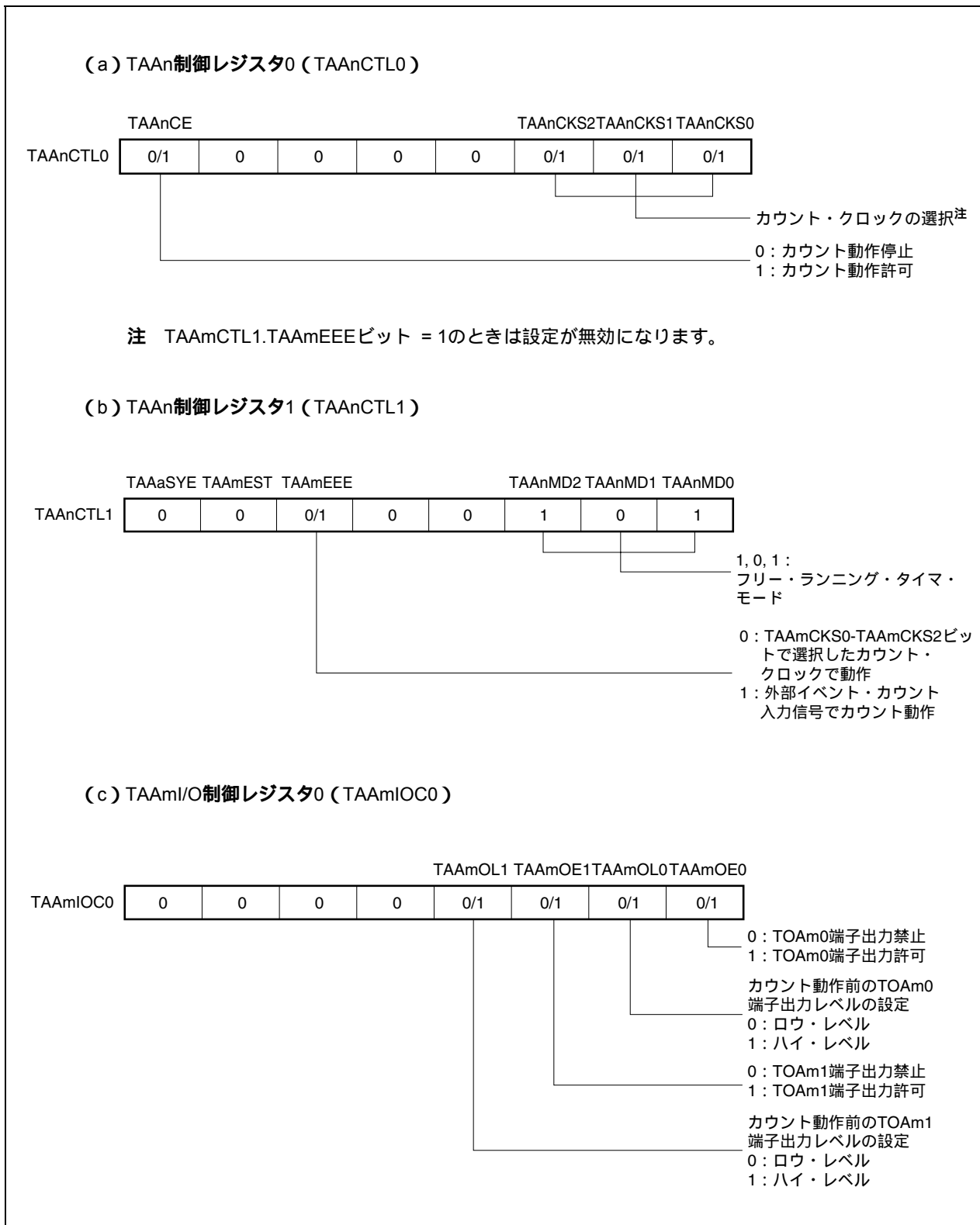
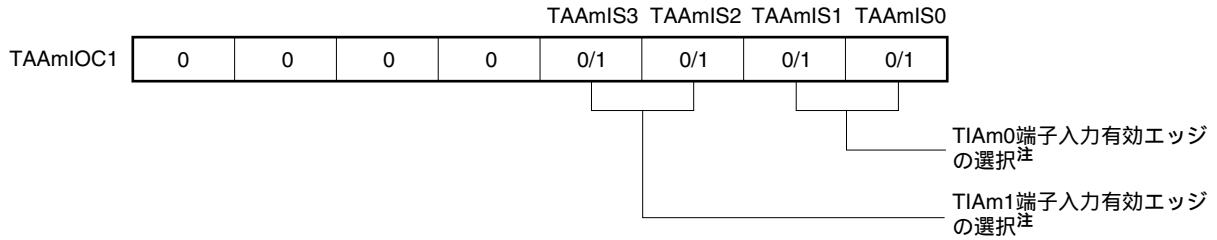


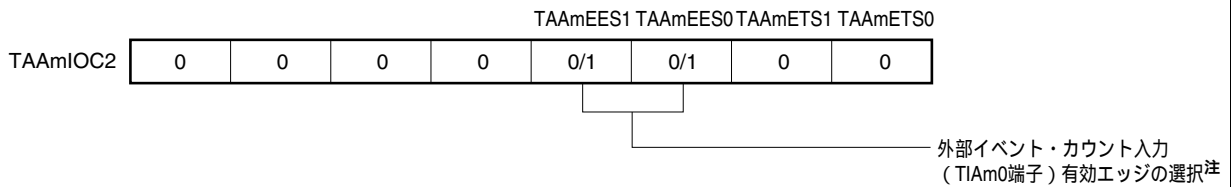
図6 - 39 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

(d) TAAmI/O制御レジスタ1 (TAAmIOC1)



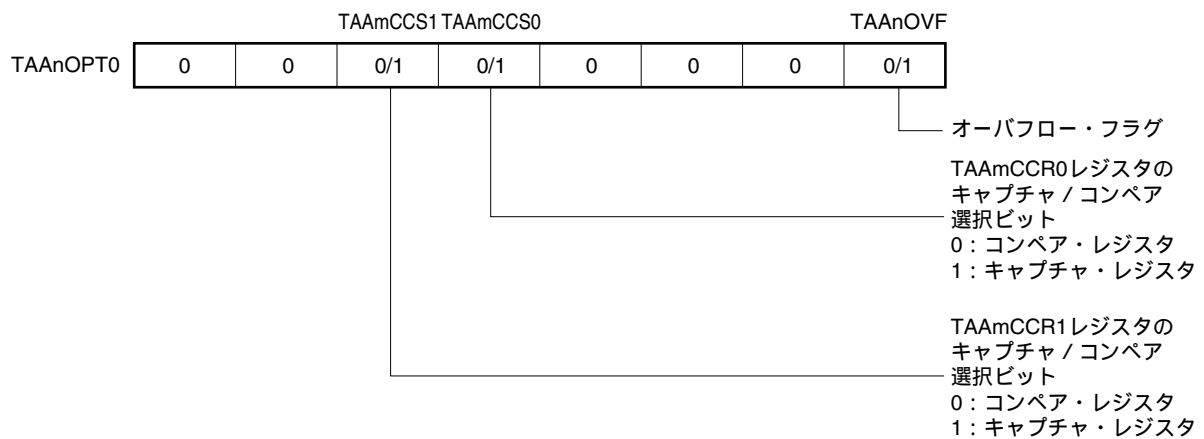
注 使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

(e) TAAmI/O制御レジスタ2 (TAAmIOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

(f) TAAAnオプション・レジスタ0 (TAAAnOPT0)



(g) TAAAnカウンタ・リード・バッファ・レジスタ (TAAAnCNT)

TAAAnCNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

図6 - 39 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

## (h) TAAキャプチャ/コンペア・レジスタ0, 1 (TAAAnCCR0, TAAAnCCR1)

TAAmOPT0.TAAmCCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIAma端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TAAAnCCRaレジスタにDaを設定した場合、カウンタが(Da + 1)になるタイミングでINTTAAAnCCa信号を発生し、TOAm0, TOAm1端子出力を反転します。

**備考** V850E/IF3 : n = 0-4 , m = 2, 4 , a = 0, 1

V850E/IG3 : n = 0-4 , m = 2-4 , a = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図6-40 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

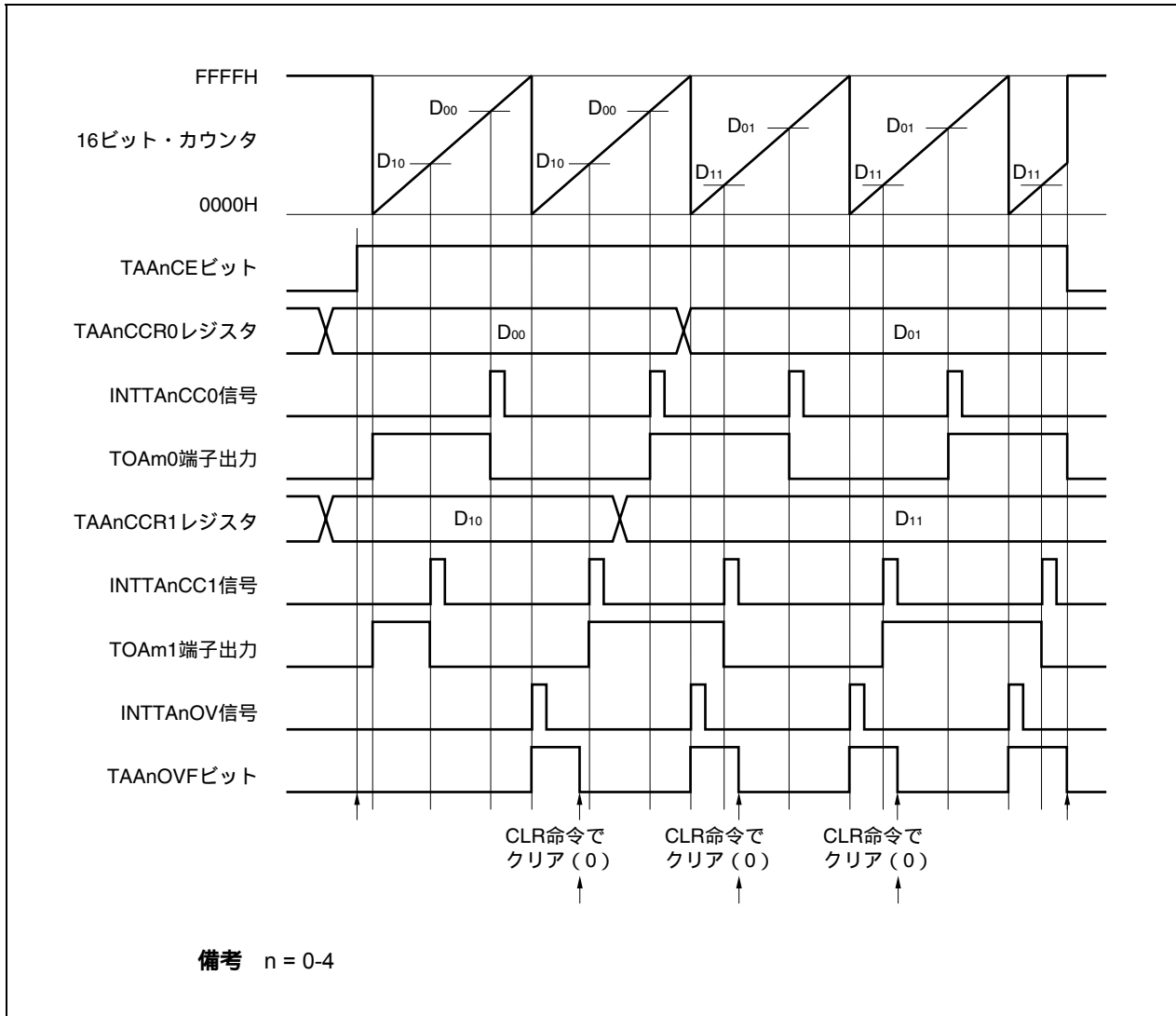
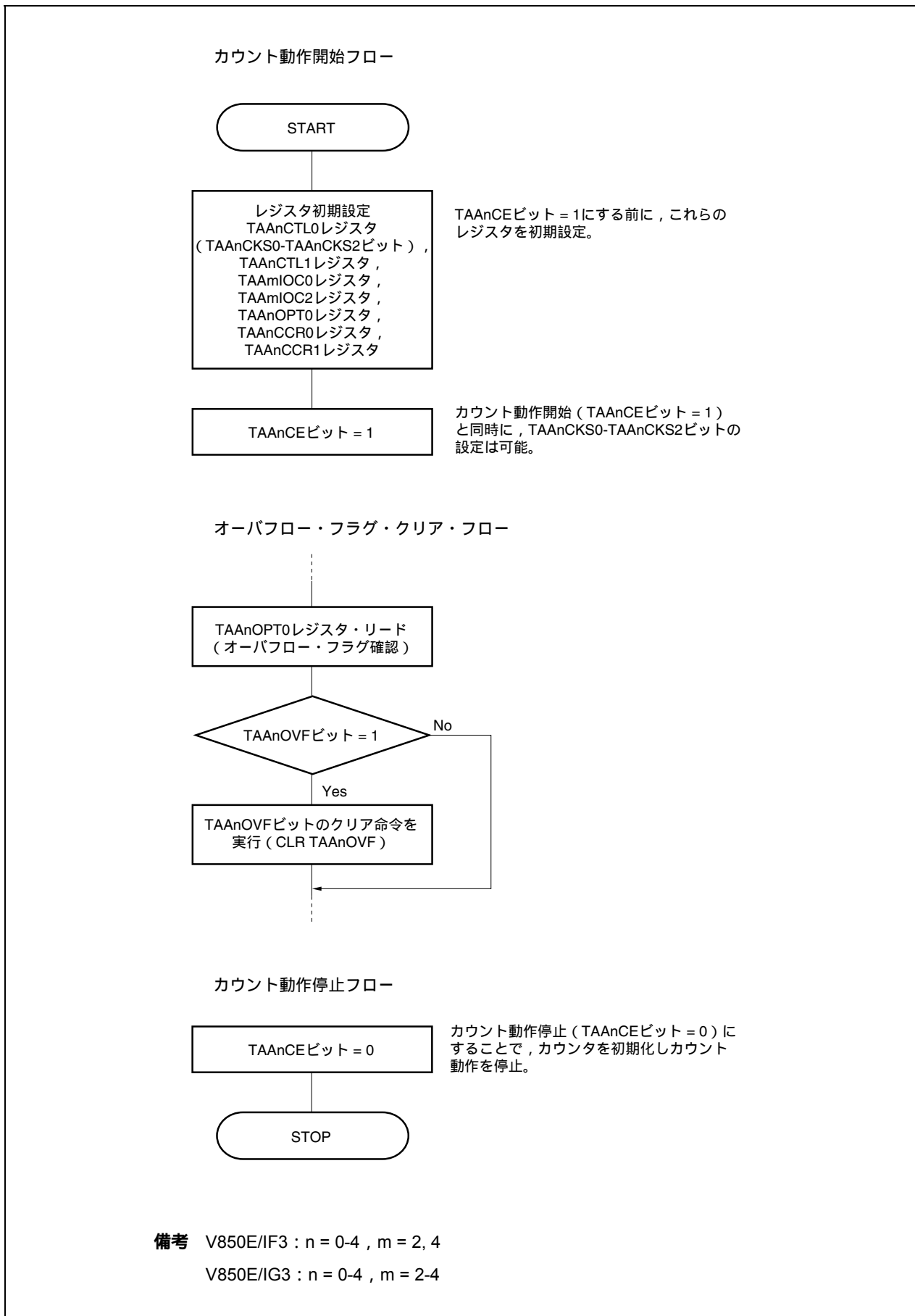


図6 - 40 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)





(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図6 - 41 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

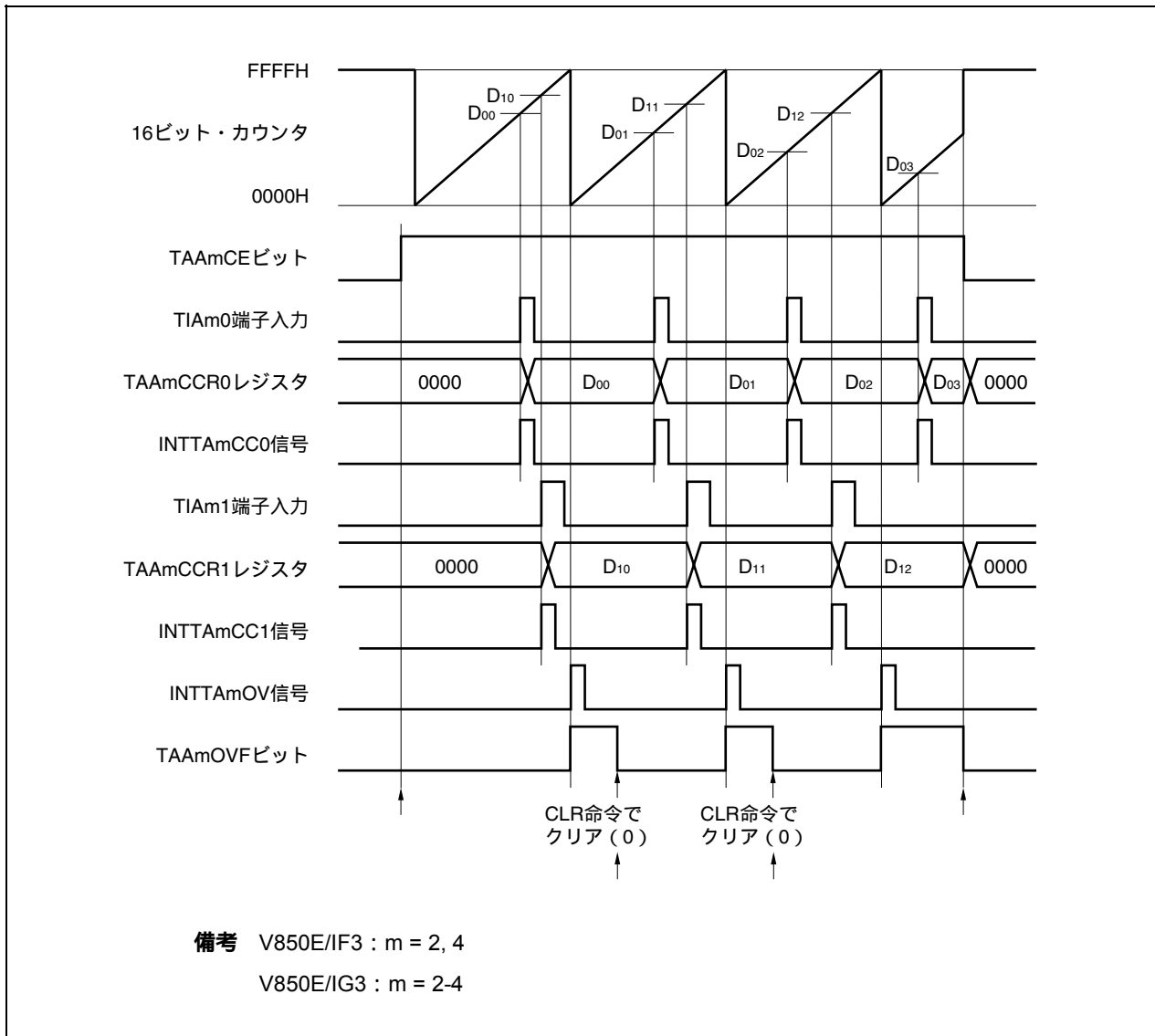
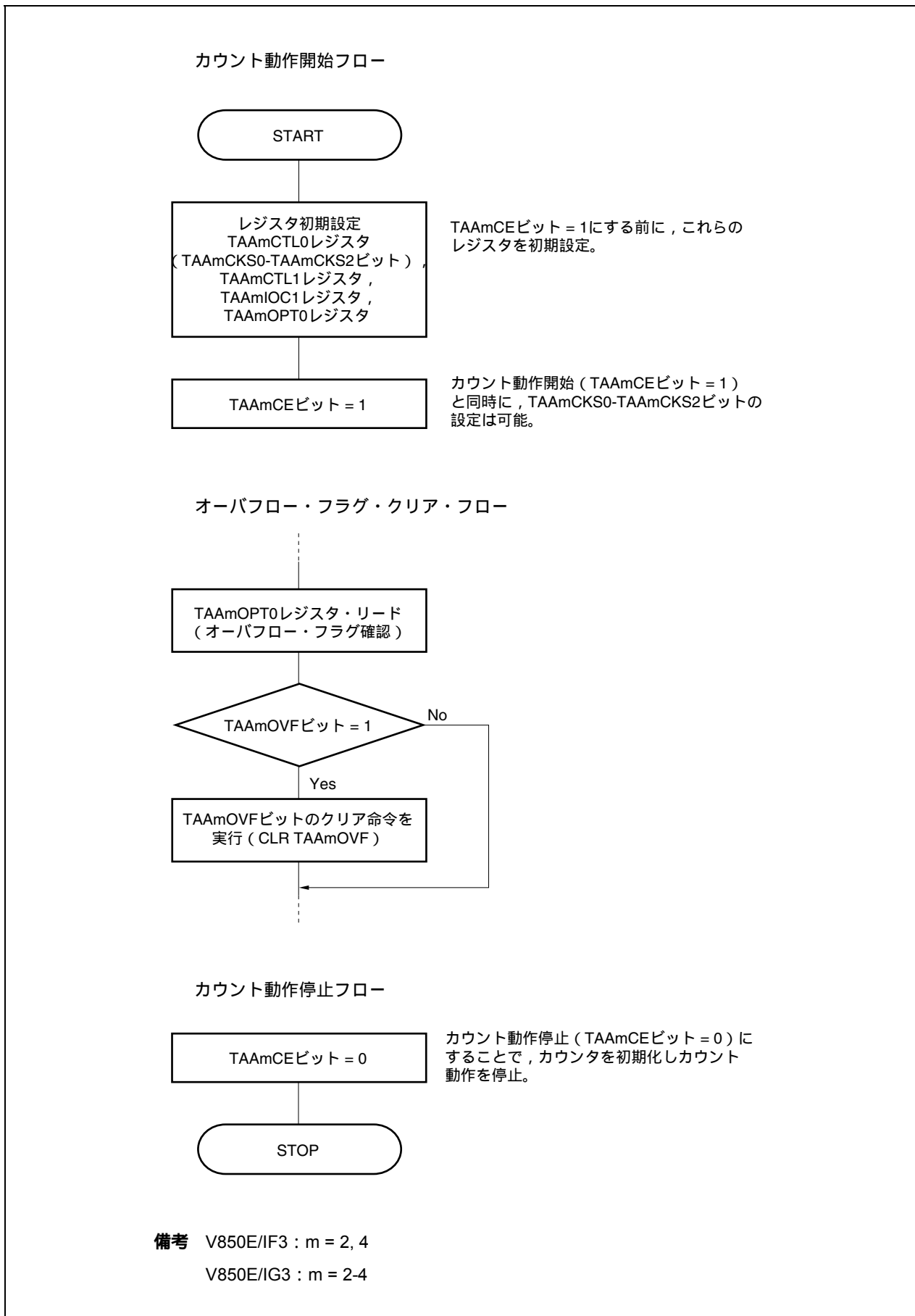


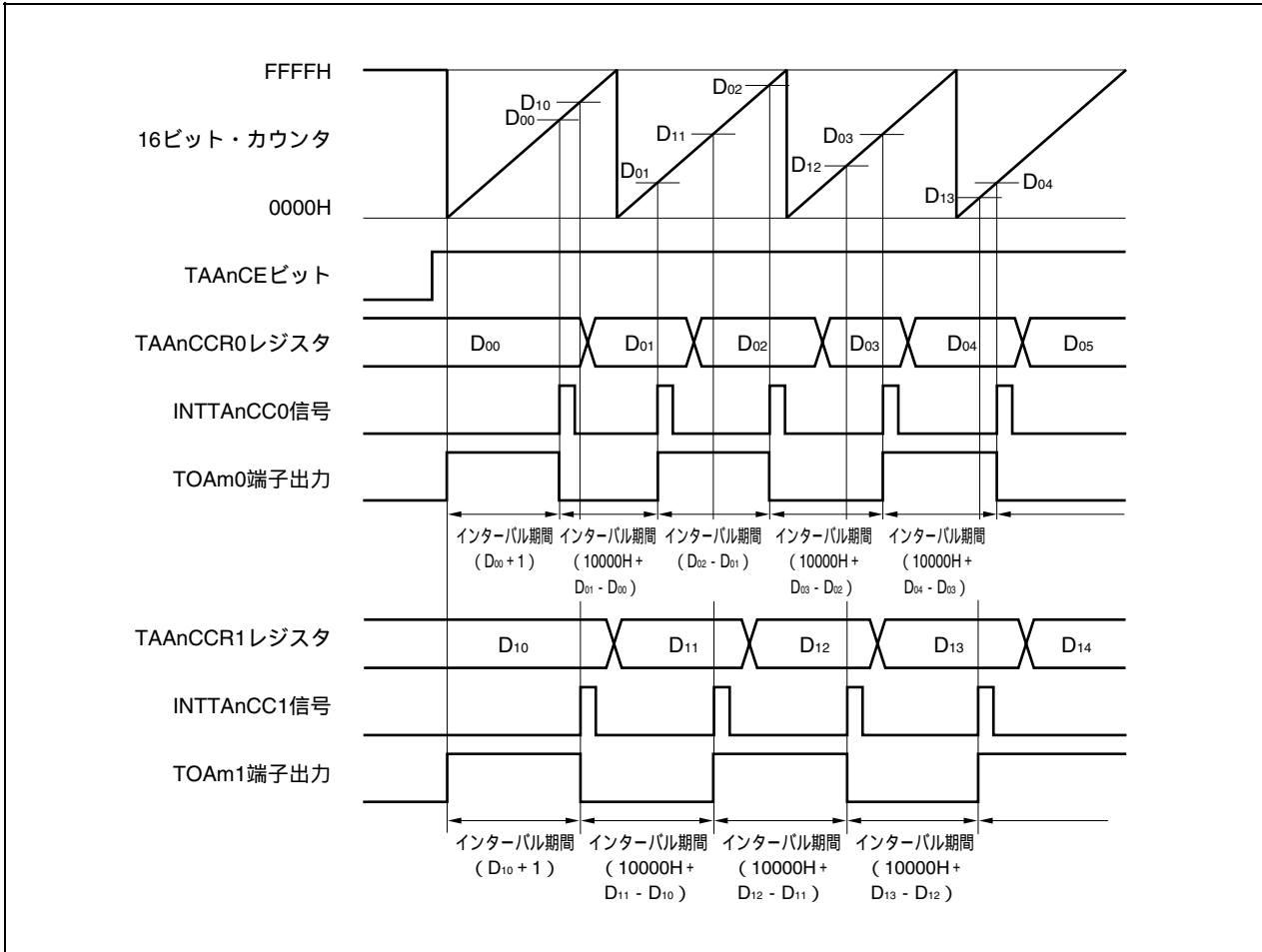
図6 - 41 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TAAAnCCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTAnCCa信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTAnCCa信号を検出したときの割り込み処理中に、対応するTAAAnCCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ $D_a$ ”とすると、次のように求められます。

コンペア・レジスタ初期値 :  $D_a - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 +  $D_a$

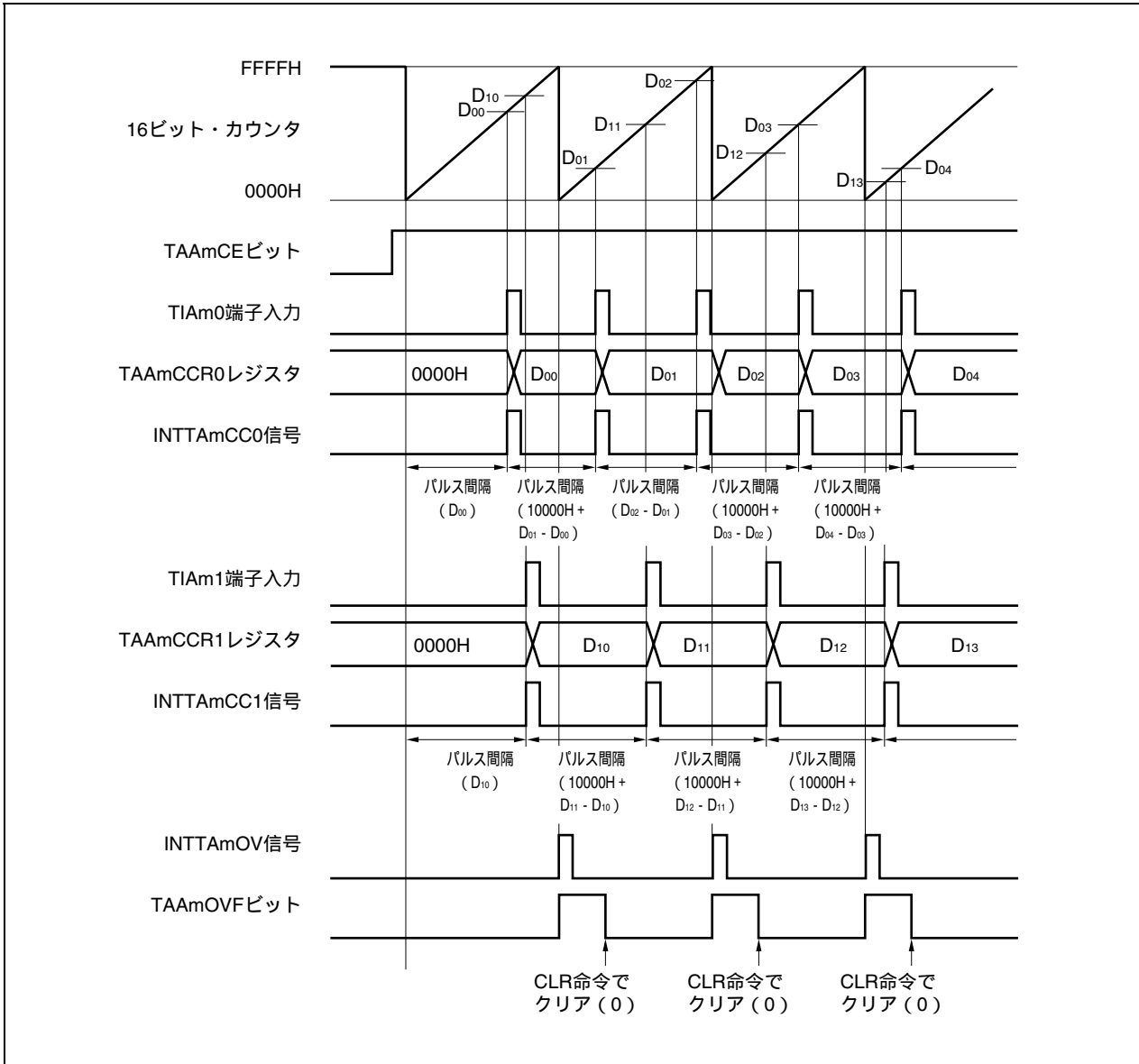
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 V850E/IF3 :  $n = 0-4, m = 2, 4, a = 0, 1$

V850E/IG3 :  $n = 0-4, m = 2-4, a = 0, 1$

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TAAmCCRaレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTAmCCa信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

パルス幅測定を行う場合、INTTAmCCa信号に同期してTAAmCCRaレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

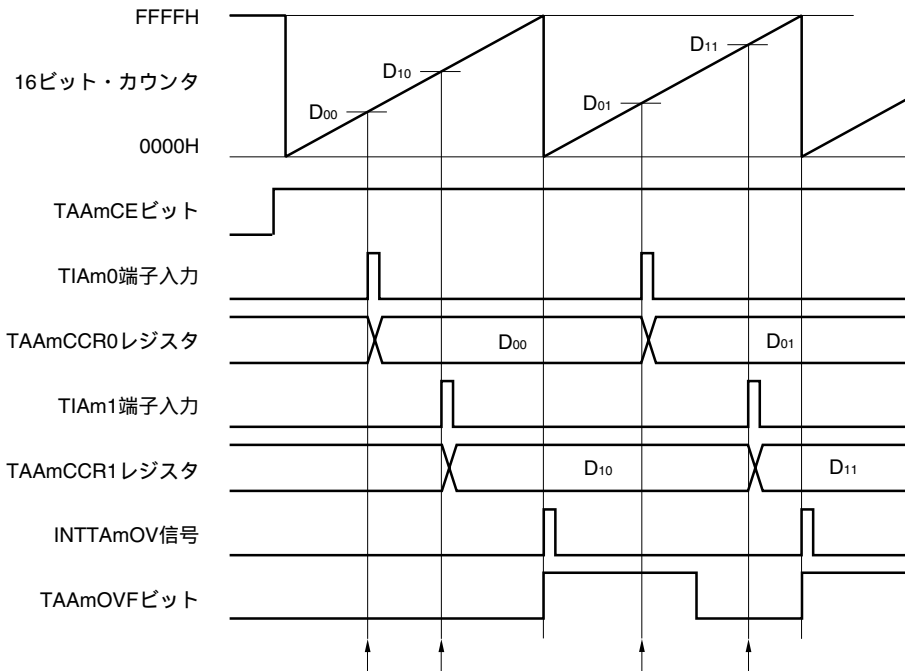
備考 V850E/IF3 : m = 2, 4 , a = 0, 1

V850E/IG3 : m = 2-4 , a = 0, 1

## (c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TAAmCCR0レジスタをリードする (TIAm0端子入力の初期値設定)。

TAAmCCR1レジスタをリードする (TIAm1端子入力の初期値設定)。

TAAmCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア (0) する。

オーバーフロー・フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TAAmCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。でクリア (0) されているため、0がリードされます。

オーバーフロー・フラグが“0”なので、パルス幅は  $(D_{11} - D_{10})$  で求められます (NG)。

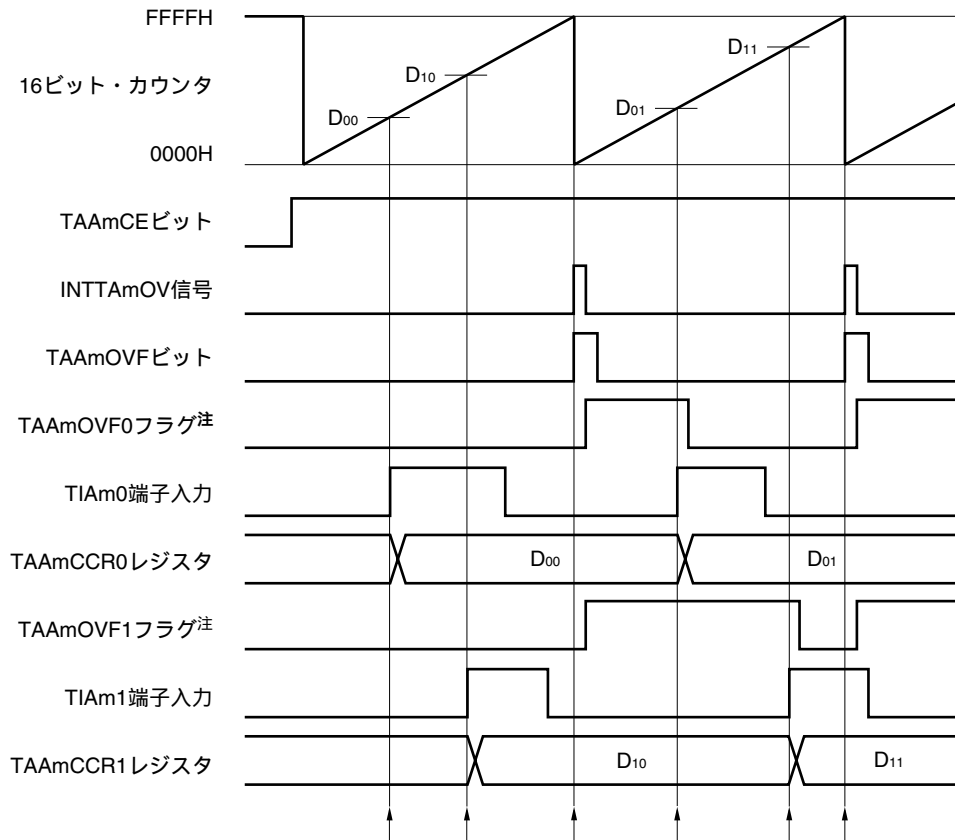
**備考** V850E/IF3 : m = 2, 4

V850E/IG3 : m = 2-4

このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア (0) してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TAAmOVF0, TAAmOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TAAmCCR0レジスタをリードする (TIAm0端子入力の初期値設定)。

TAAmCCR1レジスタをリードする (TIAm1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TAAmOVF0, TAAmOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TAAmCCR0レジスタをリードする。

TAAmOVF0フラグをリードする。 TAAmOVF0フラグが "1" だった場合、クリア (0) する。

TAAmOVF0フラグが "1" なので、パルス幅は (10000H + D01 - D00) で求められます。

TAAmCCR1レジスタをリードする。

TAAmOVF1フラグをリードする。 TAAmOVF1フラグが "1" だった場合、クリア (0) する (でクリア (0) されたのはTAAmOVF0フラグであり、TAAmOVF1フラグは "1" のまま)。

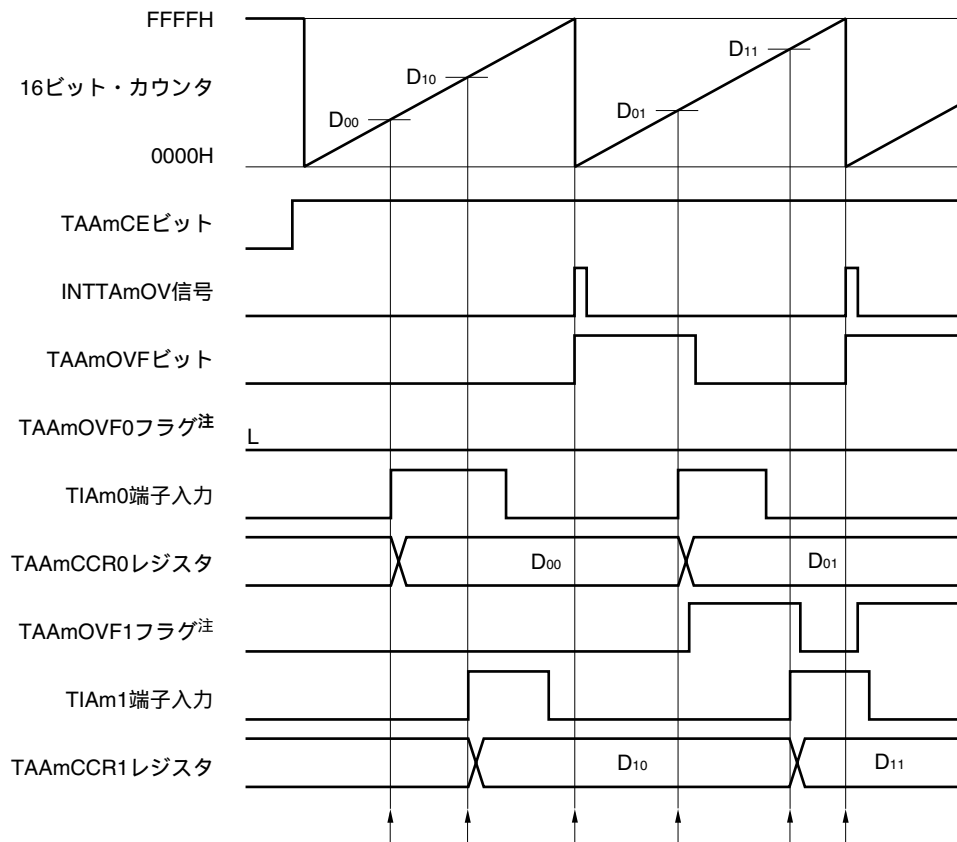
TAAmOVF1フラグが "1" なので、パルス幅は (10000H + D11 - D10) で求められます (OK)。

と同じです。

備考 V850E/IF3 : m = 2, 4

V850E/IG3 : m = 2-4

2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用しない）



注 TAAmOVF0, TAAmOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TAAmCCR0レジスタをリードする（TIAm0端子入力の初期値設定）。

TAAmCCR1レジスタをリードする（TIAm1端子入力の初期値設定）。

オーバーフローが発生する。ソフトウェアでは何もしない。

TAAmCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TAAmOVF1フラグのみをセット（1）し、オーバーフロー・フラグをクリア（0）する。

オーバーフロー・フラグが“1”なので、パルス幅は（10000H + D01 - D00）で求められます。

TAAmCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア（0）されているので“0”がリードされる。

TAAmOVF1フラグをリードする。TAAmOVF1フラグが“1”だった場合、クリア（0）する。

TAAmOVF1フラグが“1”なので、パルス幅は（10000H + D11 - D10）で求められます（OK）。

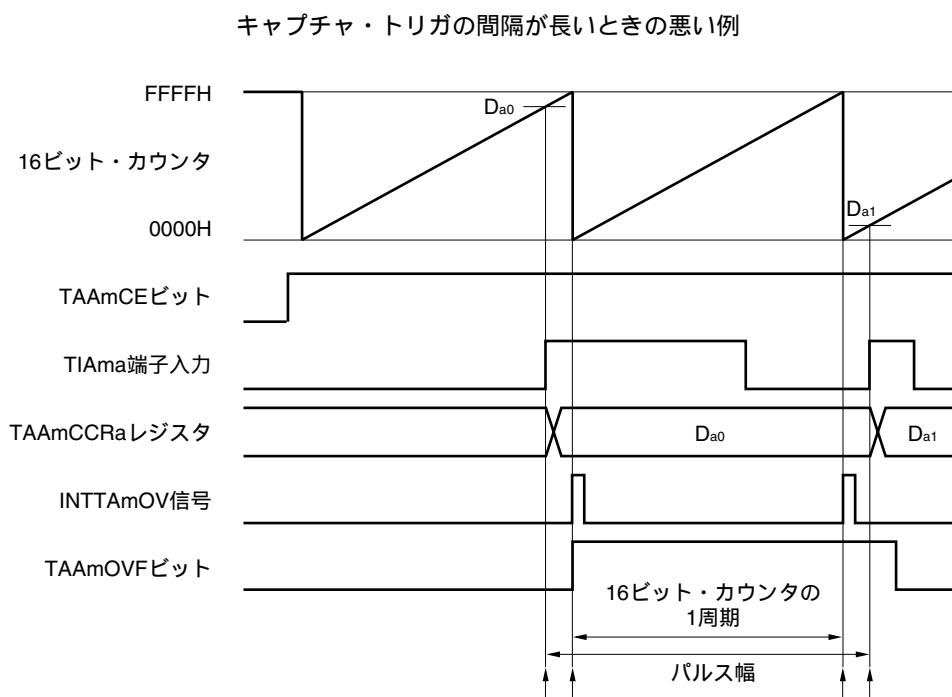
と同じです。

備考 V850E/IF3 : m = 2, 4

V850E/IG3 : m = 2-4

## (d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

TAAmCCRaレジスタをリードする (TIAMA端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

2回目のオーバーフローが発生する。ソフトウェアでは何もしない。

TAAmCCRaレジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア (0) する。

オーバーフロー・フラグが“1”なので、パルス幅は  $(10000H + D_{a1} - D_{a0})$  で求められます (NG)。

実際には、2回のオーバーフローが発生しているので、パルス幅は、 $(20000H + D_{a1} - D_{a0})$  になるはずですが。

**備考** V850E/IF3 :  $m = 2, 4, a = 0, 1$

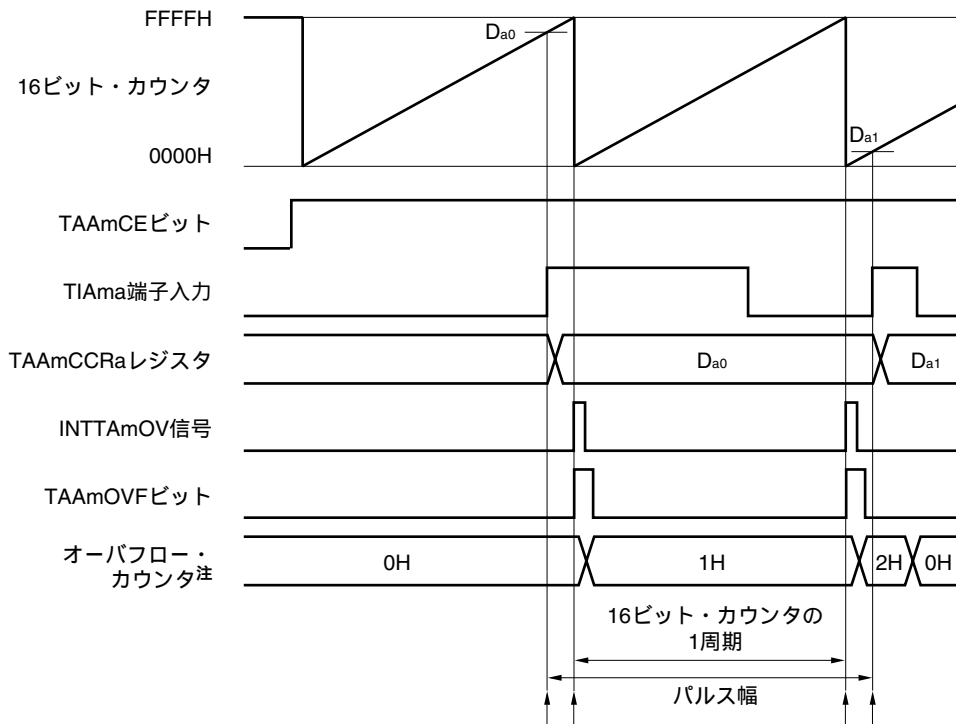
V850E/IG3 :  $m = 2-4, a = 0, 1$

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。



キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TAAmCCRaレジスタをリードする (TIAma端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TAAmCCRaレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが“N”のとき、パルス幅は  $(N \times 10000H + D_{a1} - D_{a0})$  で求められる。

この例では、2回のオーバフローが発生しているなので、パルス幅は、 $(20000H + D_{a1} - D_{a0})$  になります。

オーバフロー・カウンタをクリア (0H) する。

備考 V850E/IF3 : m = 2, 4, a = 0, 1

V850E/IG3 : m = 2-4, a = 0, 1

#### (e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TAAmOVFビット = 1をリードしたあとにTAAmOVFビットをCLR命令でクリア (0) する方法と、TAAmOVFビット = 1をリードしたあとにTAAmOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

### 6.6.7 パルス幅測定モード (TAAmMD2-TAAmMD0ビット = 110)

TAA2, TAA3 (V850E/IG3のみ), TAA4のみ有効です。

パルス幅測定モードは, TAAmCTL0.TAAmCEビットをセット(1)することでカウント動作を開始し, TIAm<sub>a</sub>端子入力の有効エッジを検出するごとに, 16ビット・カウンタのカウント値をTAAmCCRaレジスタに格納し, 16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTTAmCCa) が発生したあと, TAAmCCRaレジスタをリードすることにより, 有効エッジ間隔を測定できます。

たとえば図6 - 43のような場合は, キャプチャ・トリガ入力端子としてTIAm<sub>0</sub>, TIAm<sub>1</sub>端子のいずれか1本を使用し, 使用しない端子はTAAmIOC1レジスタで“エッジ検出なし”に設定してください。

図6 - 42 パルス幅測定モードの構成図

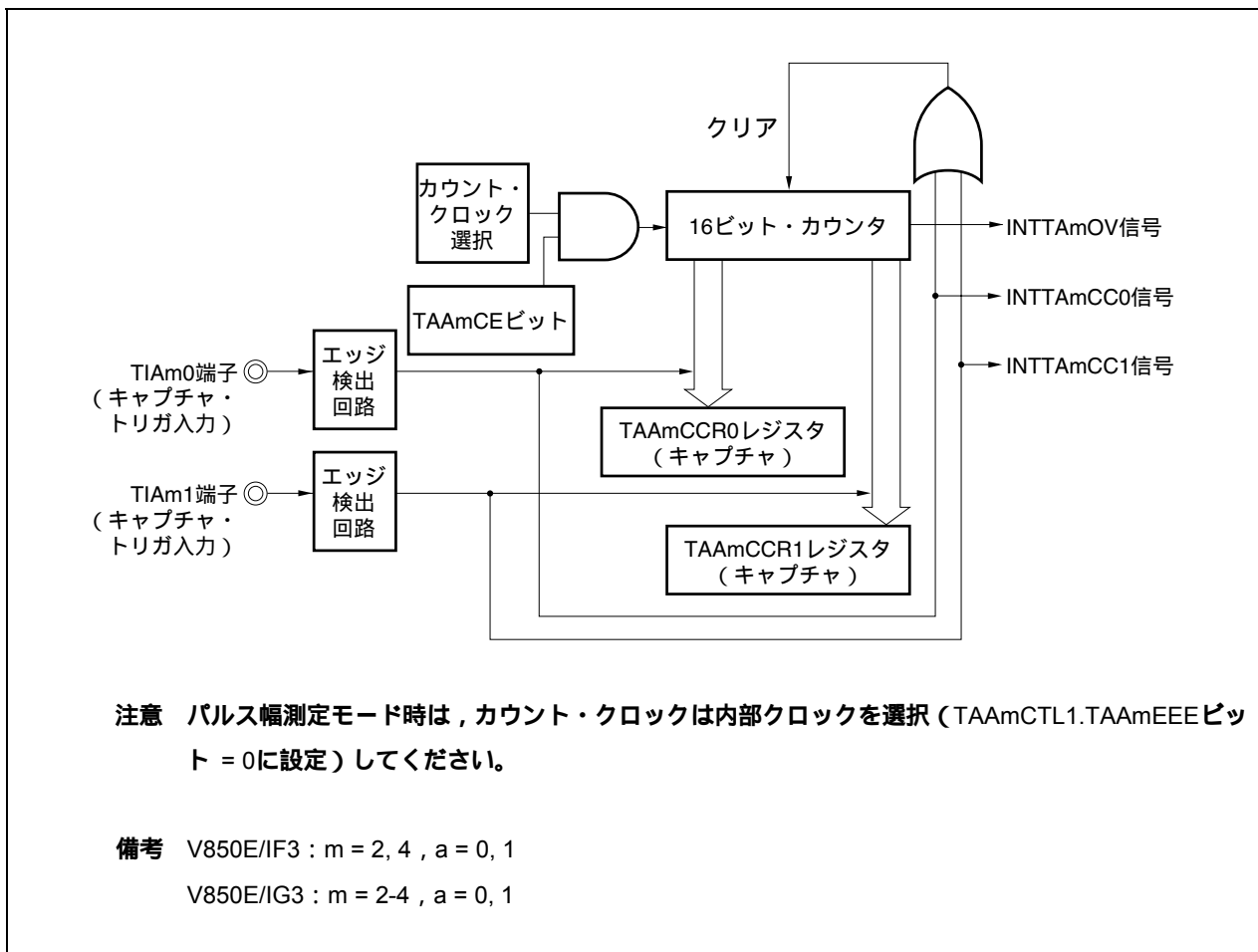
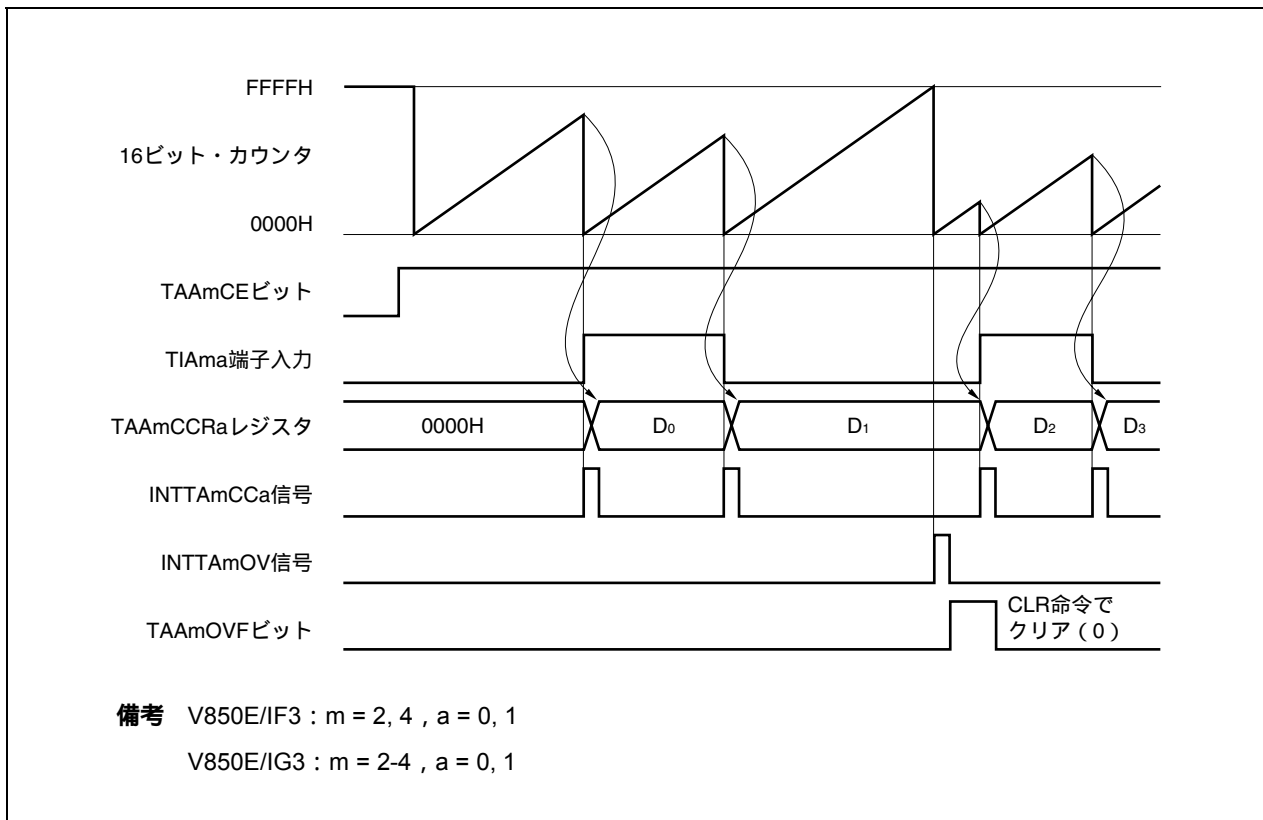


図6 - 43 パルス幅測定モードの基本タイミング



TAAmCEビットをセット(1)することで、カウント動作を開始します。その後、TIAma端子入力の有効エッジを検出することにより、16ビット・カウンタのカウンタ値をTAAmCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTAmCCa)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTAmOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TAAmOPT0.TAAmOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TAAmOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 V850E/IF3 : m = 2, 4 , a = 0, 1

V850E/IG3 : m = 2-4 , a = 0, 1

図6 - 44 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

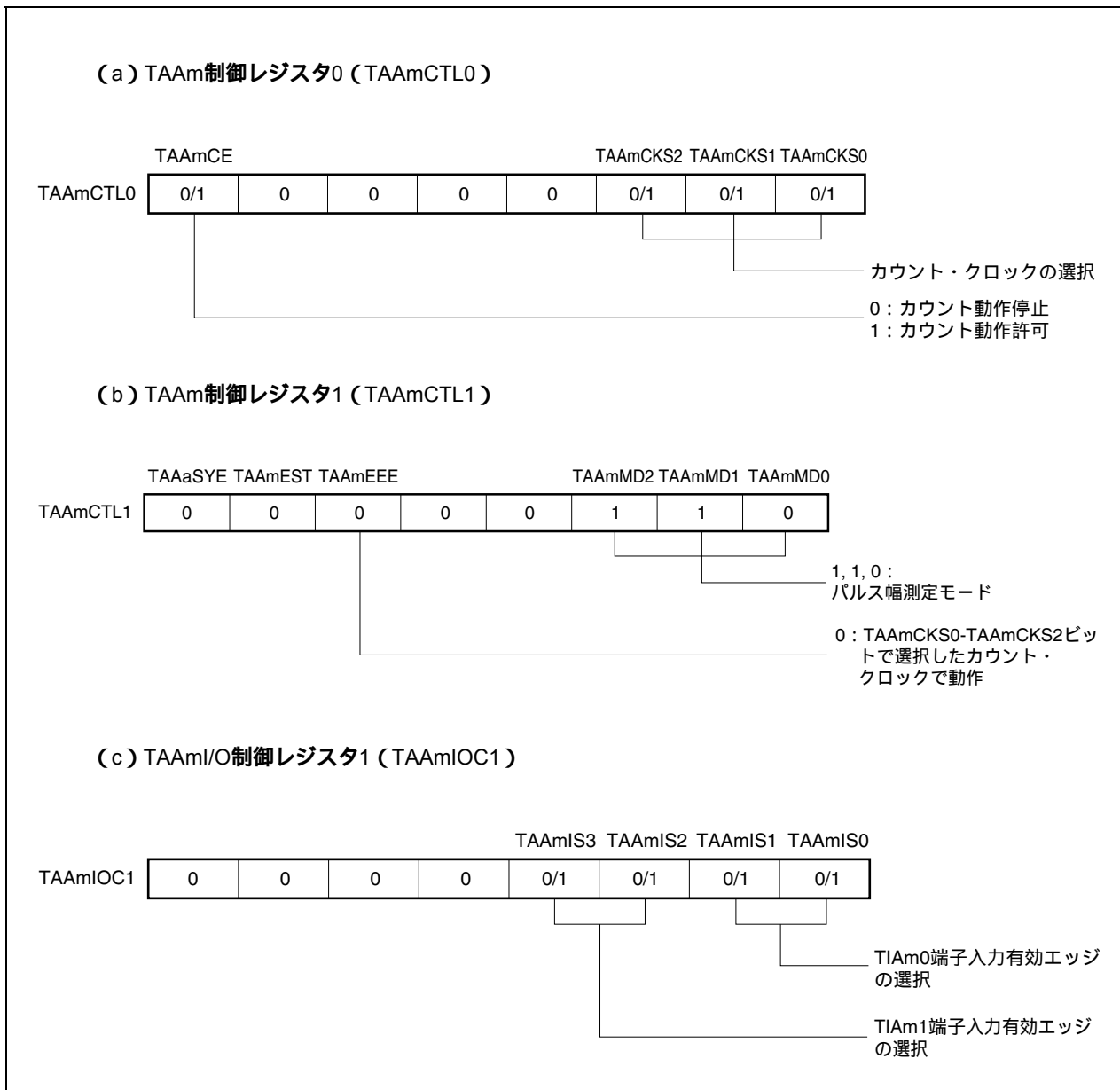
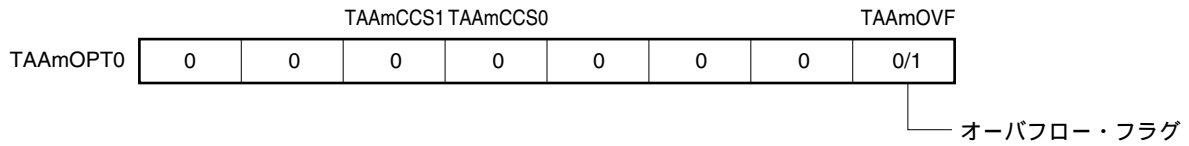


図6 - 44 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

## (d) TAAmオプション・レジスタ0 (TAAmOPT0)



## (e) TAAmカウンタ・リード・バッファ・レジスタ (TAAmCNT)

TAAmCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

## (f) TAAmキャプチャ/コンペア・レジスタ0, 1 (TAAmCCR0, TAAmCCR1)

TIAm0, TIAm1端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

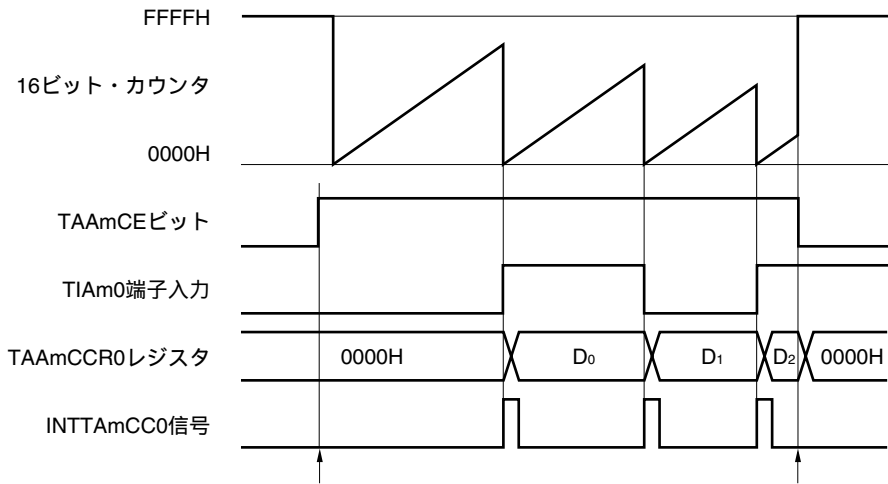
**備考1.** パルス幅測定モードでは、TAAmI/O制御レジスタ0 (TAAmIOC0)、TAAmI/O制御レジスタ2 (TAAmIOC2) は使用しません。

2. V850E/IF3 : m = 2, 4

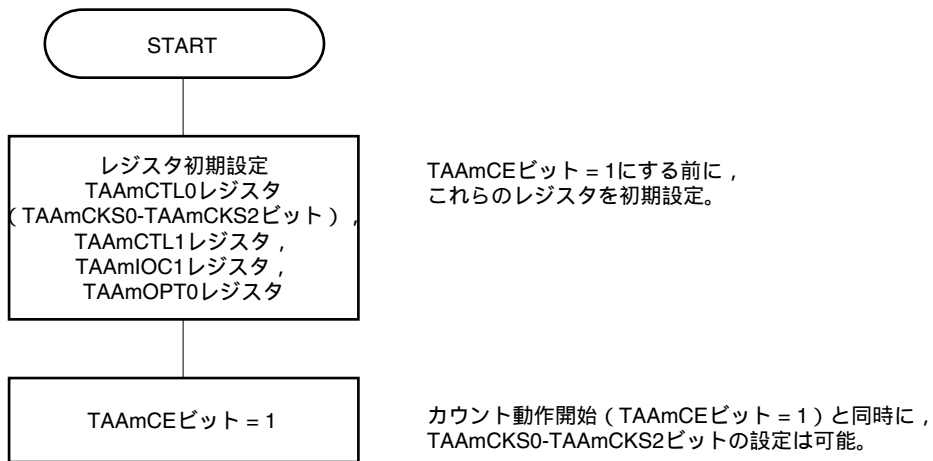
V850E/IG3 : m = 2-4

(1) パルス幅測定モード動作フロー

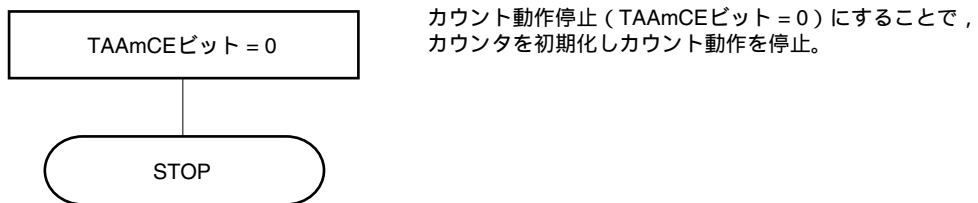
図6 - 45 パルス幅測定モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー



備考 V850E/IF3 : m = 2, 4  
V850E/IG3 : m = 2-4

**(2) パルス幅測定モード動作タイミング****(a) オーバフロー・フラグのクリア方法**

オーバフロー・フラグをクリア(0)する方法は、TAAmOVFビット = 1をリードしたあとにTAAmOVFビットをCLR命令でクリア(0)する方法と、TAAmOVFビット = 1をリードしたあとにTAAmOPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法があります。

## 第7章 16ビット・タイマ/イベント・カウンタAB (TAB)

タイマAB (TAB) は、16ビットのタイマ/イベント・カウンタです。

V850E/IF3, V850E/IG3では、TAB0, TAB1を内蔵しています。

### 7.1 概要

TABnの概要を次に示します (n = 0, 1)。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 4本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 4本
・キャプチャ/コンペアー致割り込み要求信号	: 4本
・オーバフロー割り込み要求信号	: 1本
・タイマ出力端子 <sup>注</sup>	: 4本

**注** TABnの出力端子数です。TMQOPnの出力端子は含みません。TMQOPnの出力端子についての詳細は、**第10章 モータ制御機能**を参照してください。

### 7.2 機能

TABnの機能を次に示します (n = 0, 1)。

- ・6相PWM出力<sup>注</sup>
- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定

**注** TMQOPnと接続して使用します。詳細は、**第10章 モータ制御機能**を参照してください。



## 7.3 構 成

TAB<sub>n</sub>は、次のハードウェアで構成されています (n = 0, 1)。

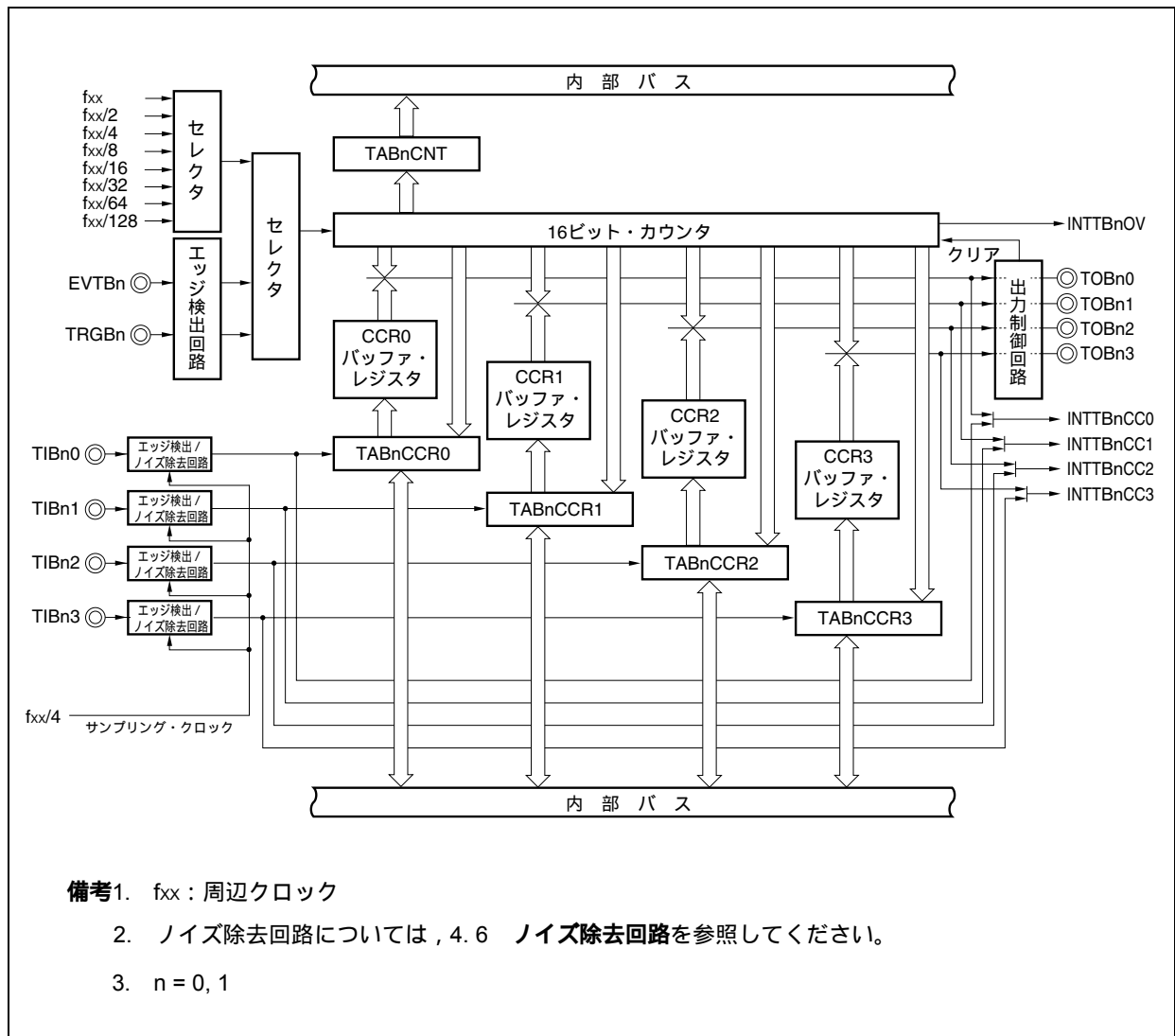
表7-1 TAB<sub>n</sub>の構成

項 目	構 成
タイマ・レジスタ	16ビット・カウンタ×各1本
レジスタ	TAB <sub>n</sub> カウンタ・リード・バッファ・レジスタ (TAB <sub>n</sub> CNT) TAB <sub>n</sub> キャプチャ/コンペア・レジスタ0-3 (TAB <sub>n</sub> CCR0-TAB <sub>n</sub> CCR3) CCR0-CCR3バッファ・レジスタ
タイマ入力	計12本 (TIB00-TIB03, TIB10-TIB13, EVTB0, EVTB1, TRGB0, TRGB1端子) <sup>注</sup>
タイマ出力	計8本 (TOB00-TOB03, TOB10-TOB13端子) <sup>注</sup>
制御レジスタ	TAB <sub>n</sub> 制御レジスタ0, 1 (TAB <sub>n</sub> CTL0, TAB <sub>n</sub> CTL1) TAB <sub>n</sub> I/O制御レジスタ0-2 (TAB <sub>n</sub> IOC0-TAB <sub>n</sub> IOC2) TAB <sub>n</sub> オプション・レジスタ0 (TAB <sub>n</sub> OPT0)

注 TIB<sub>n</sub>1-TIB<sub>n</sub>3端子には、タイマ出力端子 (TOB<sub>n</sub>1-TOB<sub>n</sub>3) が兼用されています。

備考 n = 0, 1

図7-1 TABnのブロック図



**(1) 16ビット・カウンタ**

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TABnCNTレジスタでリードできます。

TABnCTL0.TABnCEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTABnCNTレジスタをリードすると0000Hがリードされます。

リセット時にはTABnCEビット = 0になります。

**(2) CCR0バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR0レジスタをコンペア・レジスタとして使用するとき、TABnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTBnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTABnCCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

**(3) CCR1バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR1レジスタをコンペア・レジスタとして使用するとき、TABnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTBnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTABnCCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

**(4) CCR2バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR2レジスタをコンペア・レジスタとして使用するとき、TABnCCR2レジスタにライトした値がCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTBnCC2) を発生します。

CCR2バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTABnCCR2レジスタが0000Hになり、CCR2バッファ・レジスタも0000Hになります。

**(5) CCR3バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR3レジスタをコンペア・レジスタとして使用するとき、TABnCCR3レジスタにライトした値がCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTBnCC3) を発生します。

CCR3バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTABnCCR3レジスタが0000Hになり、CCR3バッファ・レジスタも0000Hになります。

**(6) エッジ検出回路**

TIBn0-TIBn3, EVTbn, TRGBn端子に入力される有効エッジを検出します。有効エッジは、TABnIOC1, TABnIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

**(7) 出力制御回路**

TOBn0-TOBn3端子の出力をTABnIOC0レジスタで制御します。

**(8) セレクタ**

16ビット・カウンタのカウンタ・クロックを選択します。カウンタ・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

## 7.4 レジスタ

### (1) TABn制御レジスタ0 (TABnCTL0)

TABnCTL0レジスタは、TABnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TABnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TAB0CTL0 FFFFF5E0H, TAB1CTL0 FFFFF620H

	⑦	6	5	4	3	2	1	0
TABnCTL0	TABnCE	0	0	0	0	TABnCKS2	TABnCKS1	TABnCKS0

(n = 0, 1)

TABnCE	TABnの動作の制御
0	TABn動作禁止 (TABnを非同期にリセット <sup>注</sup> )
1	TABn動作許可。TABn動作開始

TABnCKS2	TABnCKS1	TABnCKS0	内部カウント・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/8
1	0	0	fxx/16
1	0	1	fxx/32
1	1	0	fxx/64
1	1	1	fxx/128

**注** TABnOPT0.TABnOVFビット、16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOBn0-TOBn3端子) も16ビット・カウンタと同時にTABnIOC0レジスタの設定状態にリセットされます。

**注意1.** TABnCKS2-TABnCKS0ビットは、TABnCEビット = 0のときに設定してください。

TABnCEビットを“0”から“1”に設定するときも、同時にTABnCKS2-TABnCKS0ビットを設定できます。

2. ビット3-6には必ず0を設定してください。

**備考** fxx：周辺クロック

### (2) TABn制御レジスタ1 (TABnCTL1)

TABnCTL1レジスタは、TABnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0CTL1 FFFFF5E1H, TAB1CTL1 FFFFF621H

	7	6	5	4	3	2	1	0
TABnCTL1	0	TABnEST	TABnEEE	0	0	TABnMD2	TABnMD1	TABnMD0

(n = 0, 1)

TABnEST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 ：TABnESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時 ：TABnESTビットへの“1”ライトをトリガとして、PWM波形を出力
TABnESTビットのリード値は常に0です。	

TABnEEE	カウント・クロックの選択
0	外部イベント・カウント入力 (EVTBn端子) での動作禁止 (TABnCTL0.TABnCKS0-TABnCKS2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力 (EVTBn端子) での動作許可 (外部イベント・カウント入力信号 (EVTBn端子) の有効エッジごとにカウント動作を行う)
TABnEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TABnMD2	TABnMD1	TABnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	6相PWM出力モード <sup>注</sup>

**注** 6相PWM出力モードはTABn単体では使用できません。詳細は第10章モータ制御機能を参照してください。

- 注意1.** TABnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- 外部イベント・カウント・モードのときは、TABnEEEビットの値にかかわらず外部イベント・カウント入力が選択されます。
  - TABnEEE, TABnMD2-TABnMD0ビットは、TABnCTL0.TABnCEビット = 0のときに設定してください (TABnCEビット = 1のときの同値書き込みは可能)。TABnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。
  - ビット3, 4, 7は必ず0を設定してください。

(3) TABnI/O制御レジスタ0 (TABnIOC0)

TABnIOC0レジスタは、タイマ出力 (TOBn0-TOBn3, TOBnT1-TOBnT3端子) を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H    R/W    アドレス：TAB0IOC0 FFFFF5E2H, TAB1IOC0 FFFFF622H

	7	⑥	5	④	3	②	1	①
TABnIOC0	TABnOL3	TABnOE3	TABnOL2	TABnOE2	TABnOL1	TABnOE1	TABnOL0	TABnOE0

[
n = 0, 1  
a = 0-3  
b = 1-3
]

TABnOLa	TOBna, TOBnTb端子出力レベルの設定 <sup>注</sup>
0	TOBna, TOBnTb端子ハイ・レベル・スタート
1	TOBna, TOBnTb端子ロウ・レベル・スタート

TABnOEa	TOBna, TOBnTb端子出力の設定
0	タイマ出力禁止 ・TABnOLaビット = 0のときTOBna, TOBnTb端子からロウ・レベルを出力 ・TABnOLaビット = 1のときTOBna, TOBnTb端子からハイ・レベルを出力
1	タイマ出力許可 (TOBna, TOBnTb端子からパルスを出力)

**注** TABnOLaビットの指定によるタイマ出力端子 (TOBna, TOBnTb) の出力レベルを次に示します。

・TABnOLaビット = 0の場合

・TABnOLaビット = 1の場合

**注意1.** ポート設定がTOBna, TOBnTb出力設定の場合、TABnIOC0レジスタの設定を書き換えると端子出力が変化するので、ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして、端子状態の変化に注意してください。

2. TABnOLa, TABnOEaビットは、TABnCTL0.TABnCEビット = 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア(0)してから再設定してください。
3. TABnCEビット = 0, TABnOEaビット = 0の状態において、TABnOLaビットを操作した場合でも、TOBna, TOBnTb端子の出力レベルは変化しません。
4. 6相PWM出力モード時にTOBnTb端子出力およびA/Dコンバータ0, 1のA/D変換開始トリガ信号を発生させる場合には、必ずTABnIOC0レジスタでTOBnTb端子出力モードの設定をしてください。ただし、TABnOL0, TABnOE0ビットは必ずTABnOL0ビット = 0, TABnOE0ビット = 1に設定してください。

(4) TABnI/O制御レジスタ1 (TABnIOC1)

TABnIOC1レジスタは、キャプチャ・トリガ入力信号 (TIBn0-TIBn3端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TAB0IOC1 FFFFF5E3H, TAB1IOC1 FFFFF623H

	7	6	5	4	3	2	1	0
TABnIOC1	TABnIS7	TABnIS6	TABnIS5	TABnIS4	TABnIS3	TABnIS2	TABnIS1	TABnIS0

(n = 0, 1)

TABnIS7	TABnIS6	キャプチャ・トリガ入力信号 (TIBn3端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnIS5	TABnIS4	キャプチャ・トリガ入力信号 (TIBn2端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnIS3	TABnIS2	キャプチャ・トリガ入力信号 (TIBn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnIS1	TABnIS0	キャプチャ・トリガ入力信号 (TIBn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注意1. TABnIS7-TABnIS0ビットは、TABnCTL0.TABnCEビット = 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。

2. TABnIS7-TABnIS0ビットは、フリー・ランニング・タイマ・モード (TABnOPT0.TABnCCSaビット = 1時) と、パルス幅測定モードのときのみ有効です (a = 0-3)。それ以外のモードではキャプチャ動作は行われません。



(5) TABn/O制御レジスタ2 (TABnIOC2)

TABnIOC2レジスタは、外部イベント・カウント入力信号 (EVTBn端子)、外部トリガ入力信号 (TRGBn端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0IOC2 FFFFF5E4H, TAB1IOC2 FFFFF624H

	7	6	5	4	3	2	1	0
TABnIOC2	0	0	0	0	TABnEES1	TABnEES0	TABnETS1	TABnETS0

(n = 0, 1)

TABnEES1	TABnEES0	外部イベント・カウント入力信号 (EVTBn端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnETS1	TABnETS0	外部トリガ入力信号 (TRGBn端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TABnEES1, TABnEES0, TABnETS1, TABnETS0ビットは、TABnCTL0.TABnCEビット = 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。
2. TABnEES1, TABnEES0ビットは、TABnCTL1.TABnEEEビット = 1、または、外部イベント・カウント・モード (TABnCTL1.TABnMD2-TABnMD0ビット = 001) に設定したときのみ有効です。
3. TABnETS1, TABnETS0ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。

(6) TABnオプション・レジスタ0 (TABnOPT0)

TABnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0OPT0 FFFFF5E5H, TAB1OPT0 FFFFF625H

	⑦	⑥	⑤	④	3	②	①	①
TABnOPT0	TABnCCS3	TABnCCS2	TABnCCS1	TABnCCS0	0	TABnCMS <sup>注</sup>	TABnCUF <sup>注</sup>	TABnOVF
[ n = 0, 1 a = 0-3 ]	TABnCCSa	TABnCCRaレジスタのキャプチャ/コンペア選択						
	0	コンペア・レジスタに選択						
	1	キャプチャ・レジスタに選択 (TABnCTL0.TABnCEビット = 0によりクリア)						
TABnCCSaビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。								

TABnOVF	TABnのオーバフロー・フラグ
セット (1)	オーバフロー発生
リセット (0)	TABnOVFビットへの0書き込みまたはTABnCTL0.TABnCEビット = 0
<ul style="list-style-type: none"> <li>・TABnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタの値がFFFFFFHから0000Hにオーバフローするときセット (1) されます。</li> <li>・TABnOVFビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTBnOV) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTBnOV信号は発生しません。</li> <li>・TABnOVFビット = 1のときにTABnOVFビットまたはTABnOPT0レジスタをリードしても、TABnOVFビットはクリア (0) されません。</li> <li>・INTTBnOV信号発生後、TABnOVFビットをクリア (0) する場合は、必ずTABnOVFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。</li> <li>・TABnOVFビットは、リード/ライト可能ですが、ソフトウェアでTABnOVFビットをセット (1) することはできません。1をライトしてもTABnの動作に影響はありません。</li> </ul>	

**注** TABnCMS, TABnCUFビットの詳細は、第10章 モータ制御機能を参照してください。

**注意1.** TABnCCS3-TABnCCS0ビットは、TABnCEビット = 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。

**2.** ビット3には必ず0を設定してください。

(7) TABnキャプチャ/コンペア・レジスタ0 (TABnCCR0)

TABnCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

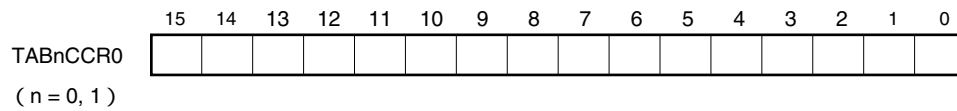
TABnCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TABnCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時：0000H    R/W    アドレス：TAB0CCR0 FFFFF5E6H, TAB1CCR0 FFFFF626H



(a) コンペア・レジスタとしての機能

TABnCCR0レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTBnCC0) を発生し、TOBn0端子出力を許可している場合、TOBn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TABnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TABnCTL0.TABnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABnCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIBn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTABnCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIBn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTABnCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR0レジスタのリードが競合しても、TABnCCR0レジスタは正しい値をリードできます。

TABnCTL0.TABnCEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TABnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、7.6(2) 随時書き込みと一斉書き込みを参照してください。

**(8) TABnキャプチャ/コンペア・レジスタ1 (TABnCCR1)**

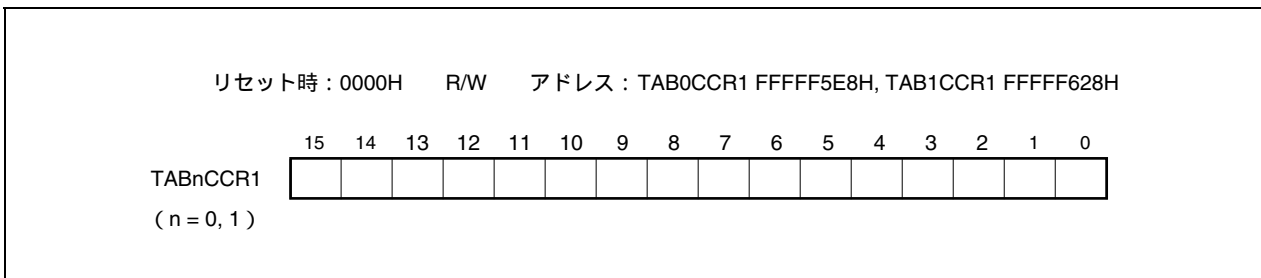
TABnCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TABnCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TABnCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



**(a) コンペア・レジスタとしての機能**

TABnCCR1レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTBnCC1) を発生し、TOBn1端子出力を許可している場合、TOBn1端子出力を反転します。

TABnCTL0.TABnCEビット = 0によりコンペア・レジスタはクリアされません。

**(b) キャプチャ・レジスタとしての機能**

フリー・ランニング・タイマ・モードにおいて、TABnCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIBn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIBn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR1レジスタのリードが競合しても、TABnCCR1レジスタは正しい値をリードできます。

TABnCTL0.TABnCEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TABnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、7.6(2)随時書き込みと一斉書き込みを参照してください。

(9) TABnキャプチャ/コンペア・レジスタ2 (TABnCCR2)

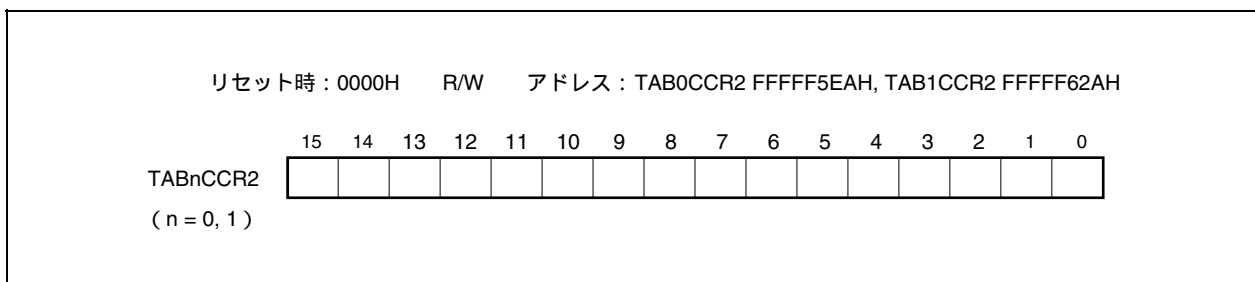
TABnCCR2レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TABnCCR2レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS2ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TABnCCR2レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



(a) コンペア・レジスタとしての機能

TABnCCR2レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR2レジスタの設定値はCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTBnCC2) を発生し、TOBn2端子出力を許可している場合、TOBn2端子出力を反転します。

TABnCTL0.TABnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABnCCR2レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIBn2端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR2レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIBn2端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR2レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR2レジスタのリードが競合しても、TABnCCR2レジスタは正しい値をリードできます。

TABnCTL0.TABnCEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TABnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、7.6(2) **随時書き込みと一斉書き込み**を参照してください。

## (10) TABnキャプチャ/コンペア・レジスタ3 (TABnCCR3)

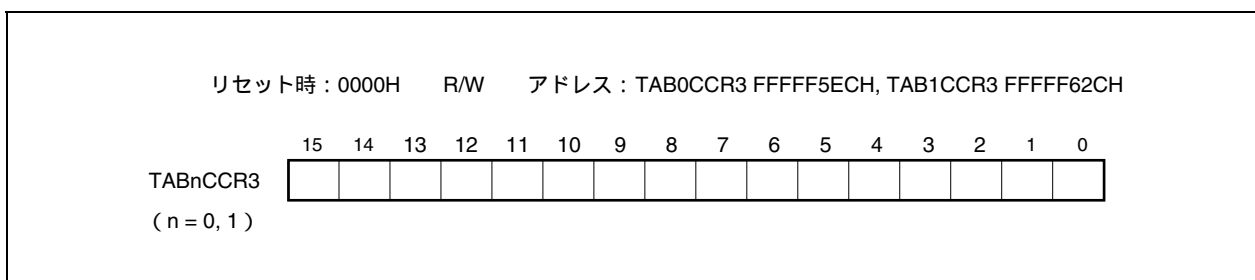
TABnCCR3レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TABnCCR3レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS3ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TABnCCR3レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



## (a) コンペア・レジスタとしての機能

TABnCCR3レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR3レジスタの設定値はCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR3バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTBnCC3) を発生し、TOBn3端子出力を許可している場合、TOBn3端子出力を反転します。

TABnCTL0.TABnCEビット = 0によりコンペア・レジスタはクリアされません。

## (b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABnCCR3レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIBn3端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTABnCCR3レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIBn3端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTABnCCR3レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR3レジスタのリードが競合しても、TABnCCR3レジスタは正しい値をリードできます。

TABnCTL0.TABnCEビット = 0によりキャプチャ・レジスタはクリアされます。



各動作モードと、対応するキャプチャ/コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TABnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては，7.6(2)随時書き込みと一斉書き込みを参照してください。

(11) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

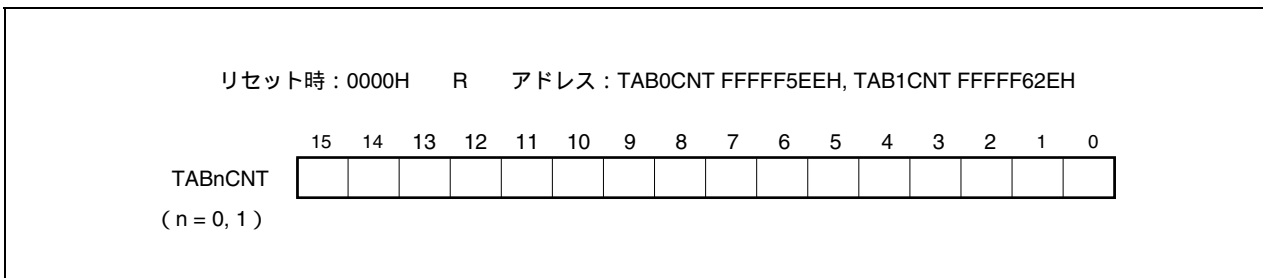
TABnCNTレジスタは，16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TABnCTL0.TABnCEビット = 1のときにTABnCNTレジスタをリードすると，16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TABnCEビット = 0のとき，TABnCNTレジスタは0000Hになります。このときにTABnCNTレジスタをリードすると，16ビット・カウンタの値 (FFFFH) ではなく，そのまま0000Hがリードされます。

リセットによりTABnCEビット = 0になり，TABnCNTレジスタは0000Hになります。



## 7.5 タイマ出力動作説明

次にTOBn0-TOBn3端子の動作，および出力レベルを示します。

表7 - 6 各モードによるタイマ出力制御

動作モード	TOBn0端子	TOBn1端子	TOBn2端子	TOBn3端子
インターバル・タイマ・モード	PWM出力			
外部イベント・カウント・モード	なし			
外部トリガ・パルス出力モード	PWM出力	外部トリガ・パルス出力	外部トリガ・パルス出力	外部トリガ・パルス出力
ワンショット・パルス出力モード		ワンショット・パルス出力	ワンショット・パルス出力	ワンショット・パルス出力
PWM出力モード		PWM出力	PWM出力	PWM出力
フリー・ランニング・タイマ・モード	PWM出力 (コンペア機能のときのみ)			
パルス幅測定モード	なし			

備考 n = 0, 1

表7 - 7 タイマ出力制御ビットによるTOBn0-TOBn3端子の真理値表

TABnIOC0.TABnOLaビット	TABnIOC0.TABnOEaビット	TABnCTL0.TABnCEビット	TOBna端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル， カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル， カウント開始後はロウ・レベル

備考 n = 0, 1

a = 0-3

## 7.6 動作

TABnには次のような機能があります。

表7 - 8 TABnの各モードの仕様

動作	TABnCTL1.TABnESTビット (ソフトウェア・トリガ・ビット)	TRGBn端子 (外部トリガ 入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタ の書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード	無効	無効	キャプチャ専用	対象外

備考1. TABnはTAA<sub>n</sub>との同調動作機能があります。詳細は、第10章 モータ制御機能を参照してください。

2. n = 0, 1

**(1) カウンタ基本動作**

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

**備考** n = 0, 1

a = 0-3

**(a) カウント開始動作**

・外部イベント・カウント・モード

TABnCTL0.TABnCEビット = 0 1のタイミングで16ビット・カウンタに0000Hが設定されます。その後は、外部イベント・カウント入力 (EVTBn) の有効エッジ検出するごとに0001H, 0002H, 0003H, ...とカウント・アップします。

・上記以外のモード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

**(b) クリア動作**

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバーフローの場合のFFFFHから0000Hへのカウントはクリア動作ではありません。したがって、INTTBnCCa割り込み信号は発生しません。

**(c) オーバフロー動作**

16ビット・カウンタのオーバーフローは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバーフローが発生すると、TABnOPT0.TABnOVFビットがセット (1) され、割り込み要求信号 (INTTBnOV) が発生します。なお、次の条件ではINTTBnOV信号は発生しません。

・カウント動作開始直後

・コンペア値がFFFFHで一致&クリアされた場合

・パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

**注意** オーバフロー割り込み要求信号 (INTTBnOV) 発生後は、必ずオーバーフロー・フラグ (TABnOVFビット) が "1" にセットされているのを確認してください。

**(d) カウンタ動作中のカウンタ・リード動作**

TABnでは、TABnCNTレジスタにより、カウンタ動作中の16ビット・カウンタの値をリードできます。

TABnCTL0.TABnCEビット = 1のときは、TABnCNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TABnCEビット = 0のときは、16ビット・カウンタがFFFFHで、TABnCNTレジスタが0000Hです。

**(e) 割り込み動作**

TABnでは、次の5種類の割り込み要求信号を発生します。

- ・ INTTBnCC0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号、およびTABnCCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTBnCC1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号、およびTABnCCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTBnCC2割り込み : CCR2バッファ・レジスタの一致割り込み要求信号、およびTABnCCR2レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTBnCC3割り込み : CCR3バッファ・レジスタの一致割り込み要求信号、およびTABnCCR3レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTBnOV割り込み : オーバフロー割り込み要求信号として機能します。

(2) 随時書き込みと一斉書き込み

TABnでは、タイマ動作中 (TABnCTL0.TABnCEビット = 1) でもTABnCCR0-TABnCCR3レジスタの書き換えを許可していますが、モードによってCCR0-CCR3バッファ・レジスタへの書き込み方法 (随時書き込み、一斉書き込み) が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTABnCCR0-TABnCCR3レジスタからCCR0-CCR3バッファ・レジスタへの転送を随時行います。

図7-2 随時書き込みの基本動作フロー・チャート

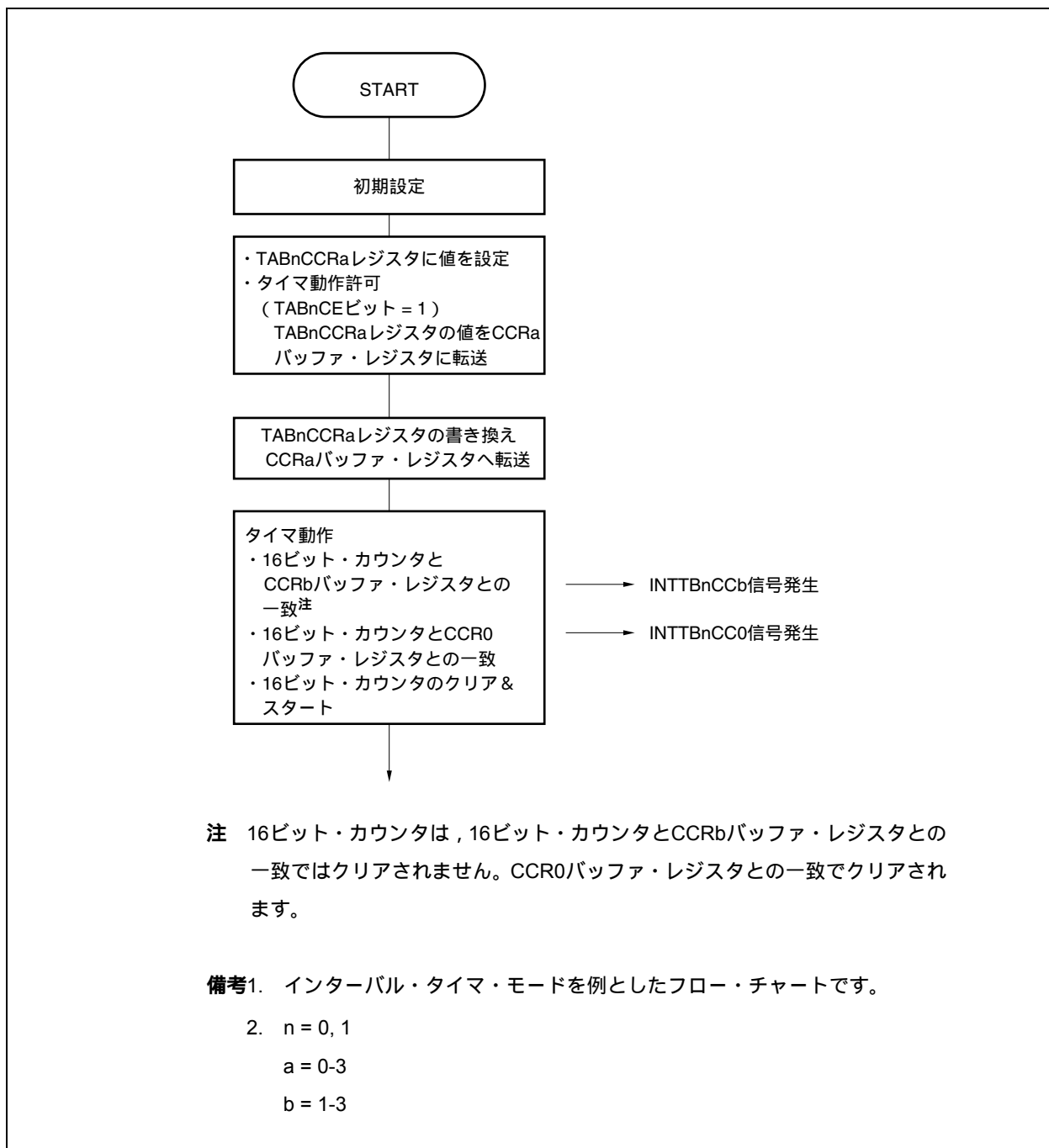
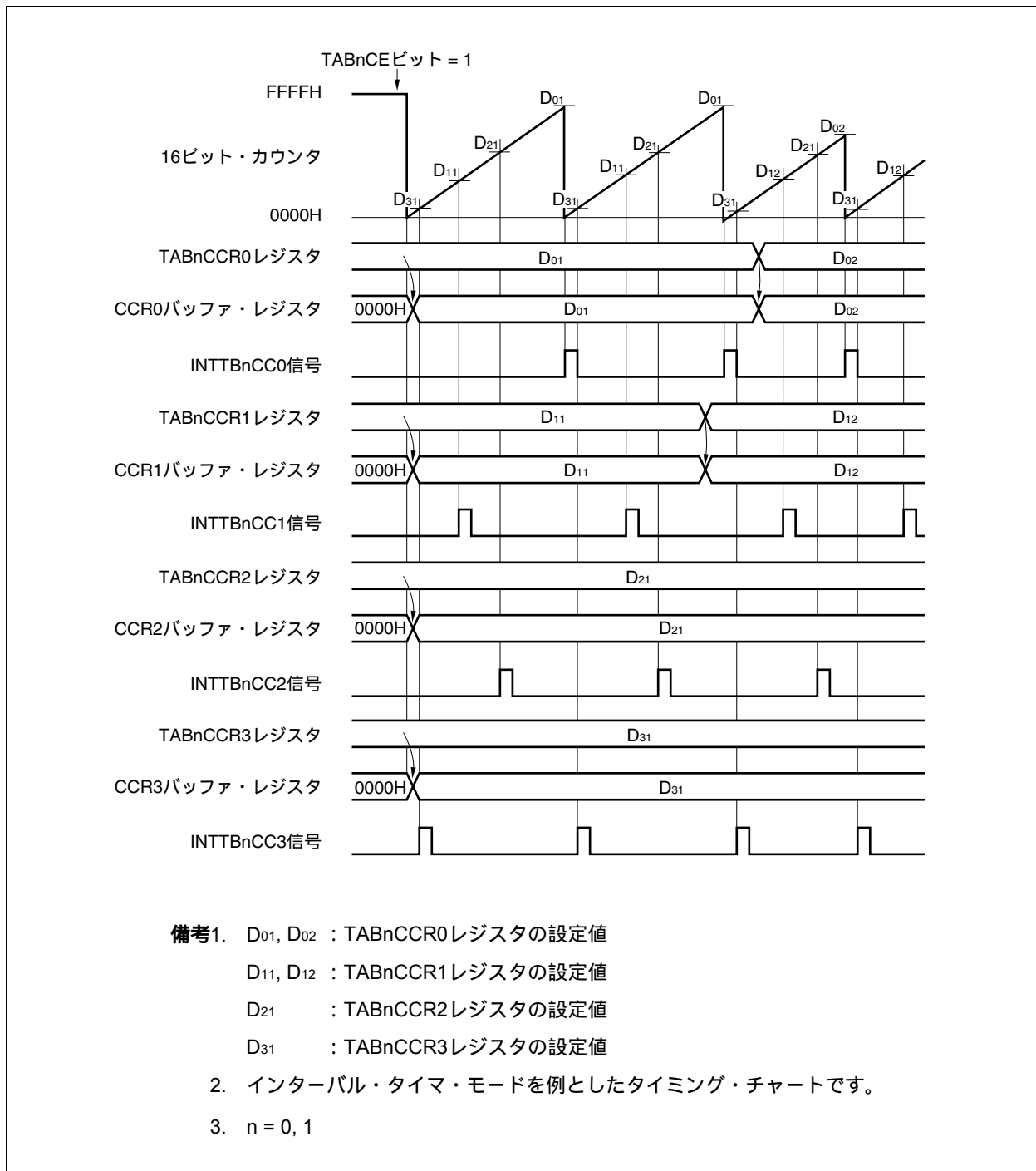


図7-3 随時書き込みのタイミング



**(b) 一斉書き込み**

このモードは、タイマ動作中にTABnCCR0-TABnCCR3レジスタからCCR0-CCR3バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTABnCCR1レジスタへの書き込みとなります。TABnCCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TABnCCR0-TABnCCR3レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする（CCR0-CCR3バッファ・レジスタに転送される）には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTABnCCR0レジスタを書き換え、最後にTABnCCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TABnCCR0-TABnCCR3レジスタの値はCCR0-CCR3バッファ・レジスタに転送されます。なお、TABnCCR0、TABnCCR2、TABnCCR3レジスタのいずれかの値だけ書き換えたい場合でも、TABnCCR1レジスタに同値（すでに設定したTABnCCR1レジスタと同じ値）を書き込んでください。



図7-4 一斉書き込みの基本動作フロー・チャート

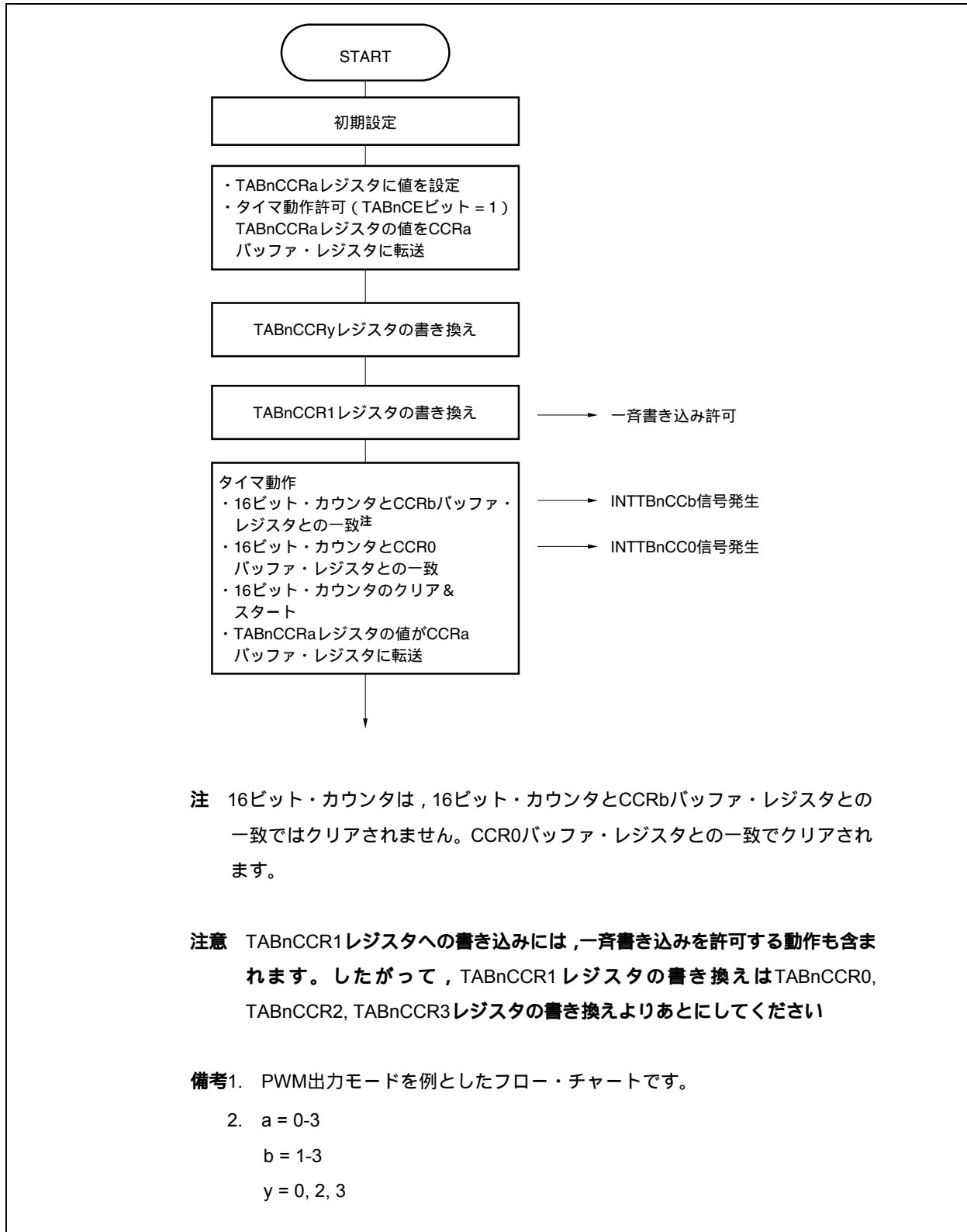
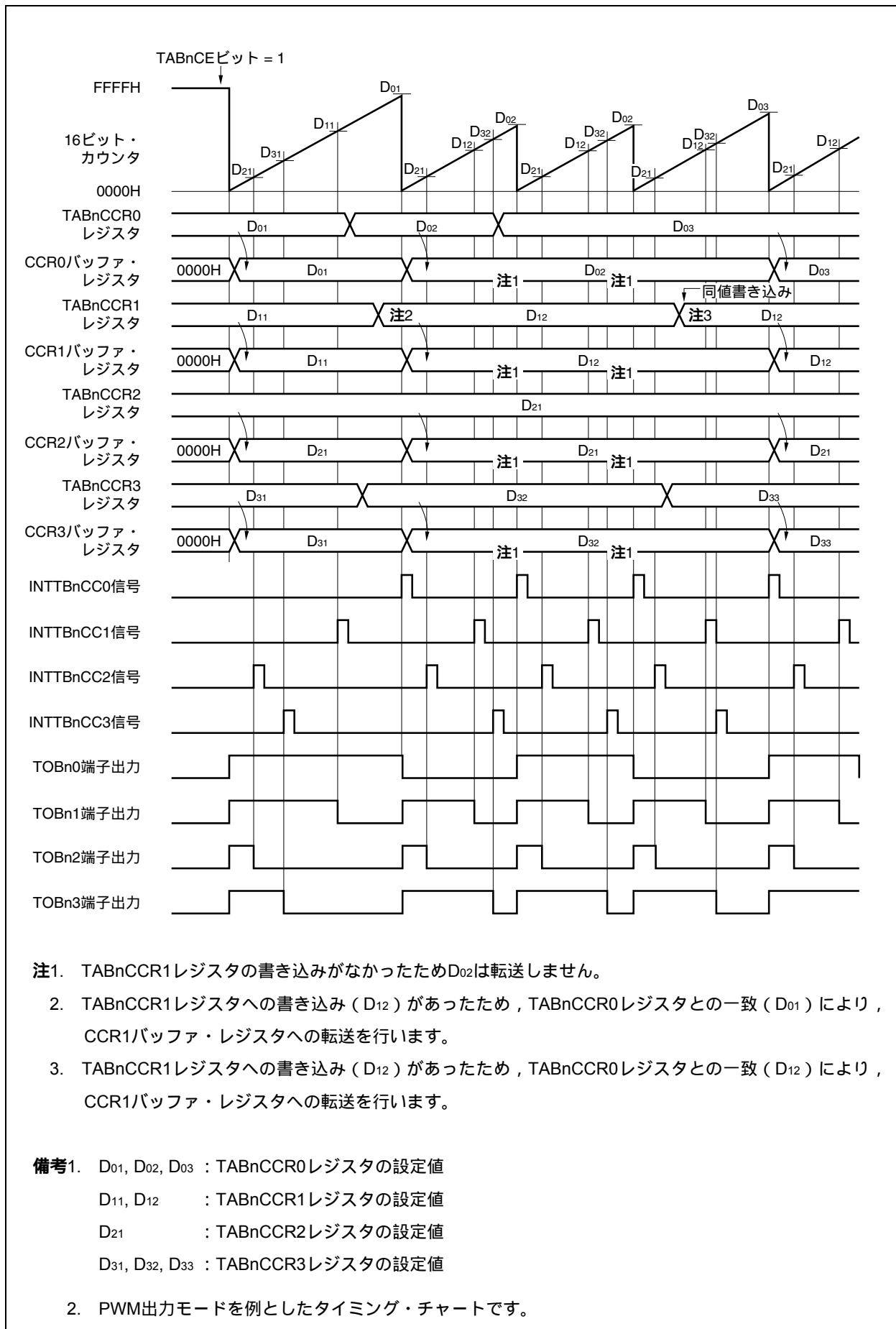


図7-5 一斉書き込みのタイミング



### 7.6.1 インターバル・タイマ・モード (TABnMD2-TABnMD0ビット = 000)

インターバル・タイマ・モードは、TABnCTL0.TABnCEビットをセット(1)することで、TABnCCR0レジスタで設定したインターバル間隔にて割り込み要求信号(INTTBnCC0)を発生します。また、TOBn0端子から、インターバル間隔を半周期とする50%デューティのPWM波形を出力できます。

インターバル・タイマ・モードでは、TABnCCR1-TABnCCR3レジスタを使用しません。しかし、TABnCCR1-TABnCCR3レジスタでは、TABnCCR1-TABnCCR3レジスタの設定値がCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号(INTTBnCC1-INTTBnCC3)が発生します。また、TOBn1-TOBn3端子から、INTTBnCC1-INTTBnCC3信号の発生タイミングで反転する50%デューティのPWM波形を出力できます。

なお、TABnCCR1-TABnCCR3レジスタのタイマ動作中の書き換えは可能です。

図7-6 インターバル・タイマの構成図

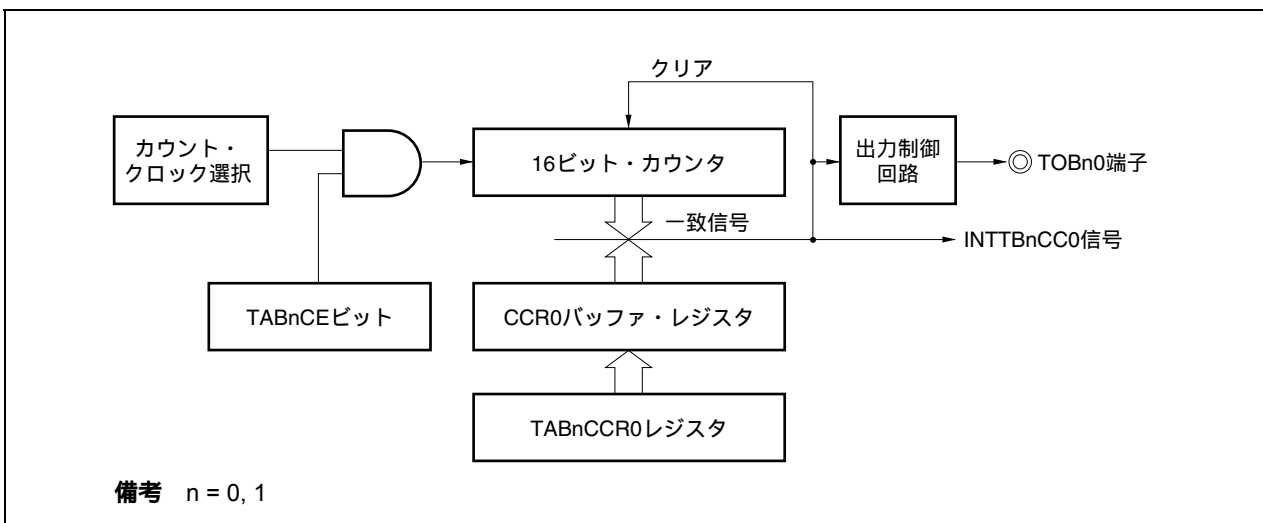
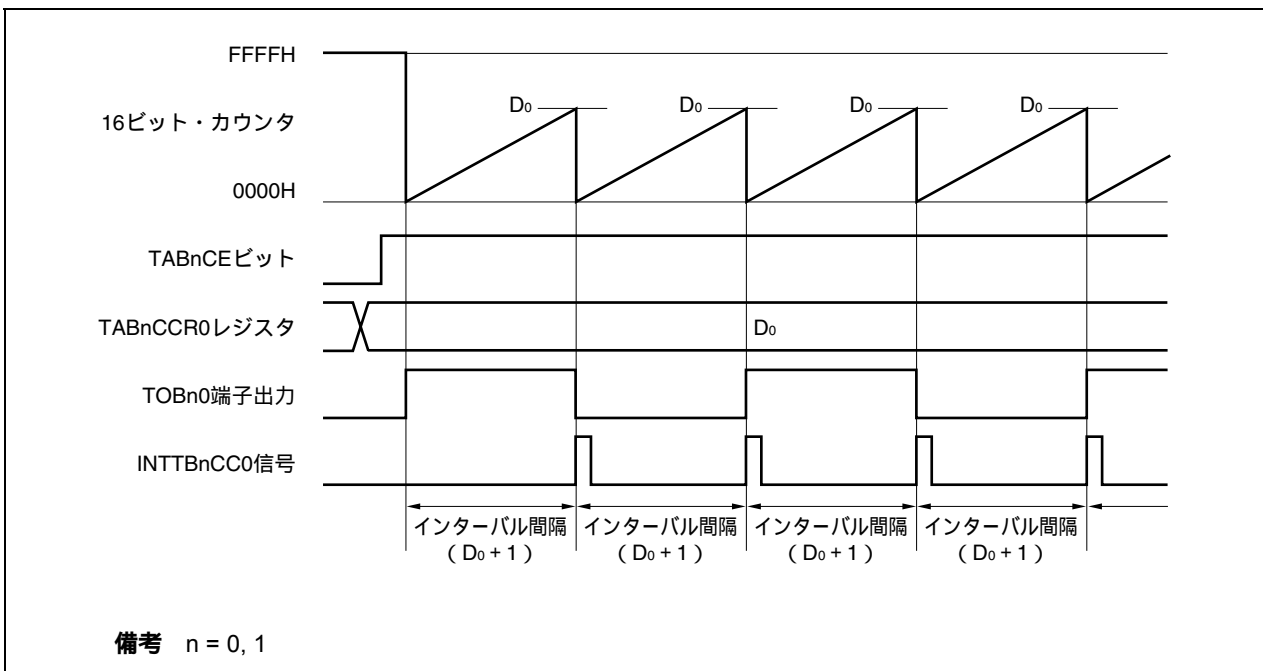


図7-7 インターバル・タイマ・モード動作の基本タイミング



TABnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOBn0端子出力を反転します。また、TABnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOBn0端子出力を反転させて、コンペア一致割り込み要求信号 (INTTBnCC0) を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TABnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0, 1

図7-8 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/3)

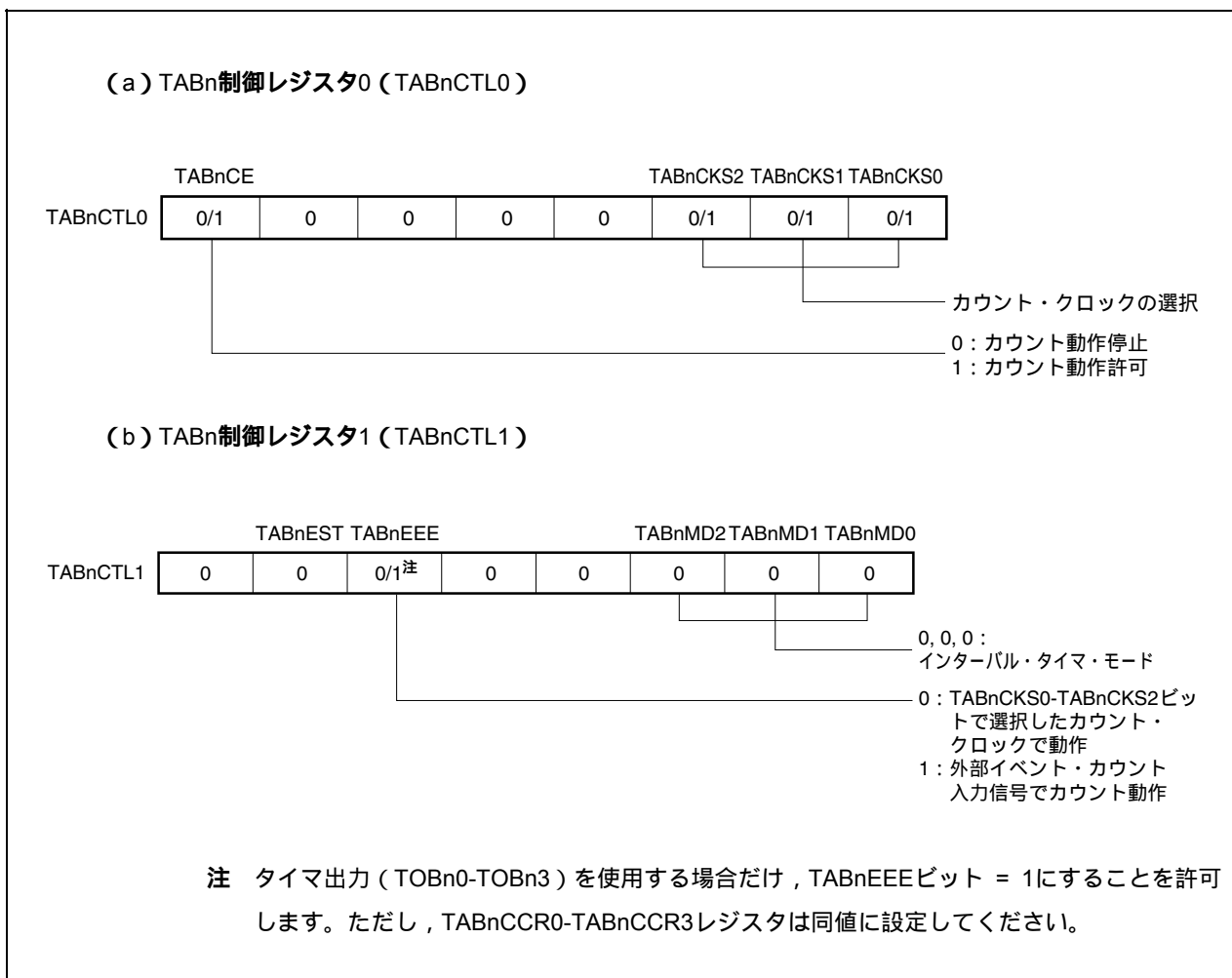


図7-8 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/3)

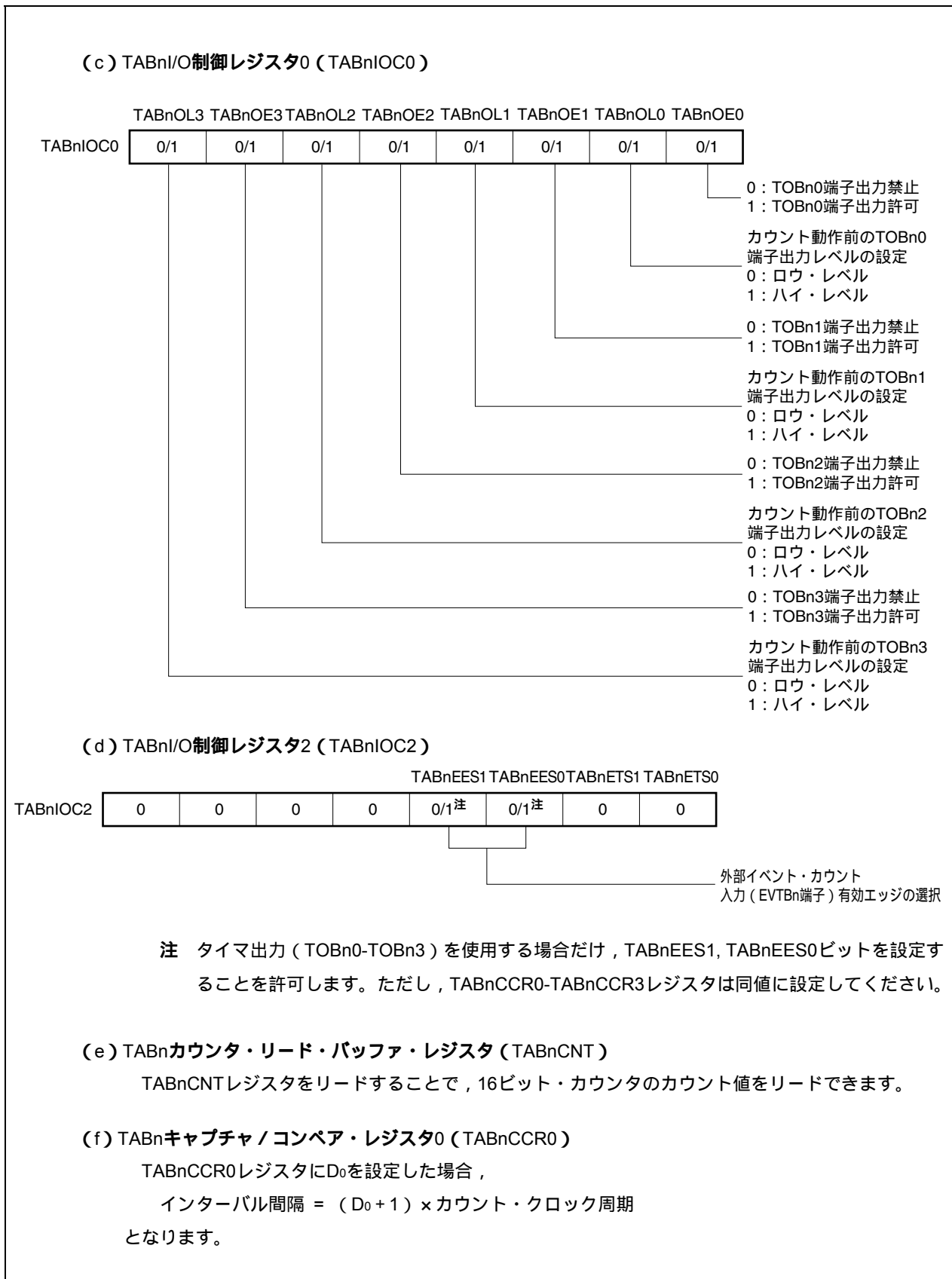


図7-8 インターバル・タイマ・モード動作時のレジスタ設定内容 (3/3)

**(g) TABnキャプチャ/コンペア・レジスタ1-3 (TABnCCR1-TABnCCR3)**

インターバル・タイマ・モードでは、TABnCCR1-TABnCCR3レジスタを使用しません。しかし、TABnCCR1-TABnCCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致すると、TOBn1-TOBn3端子出力を反転し、コンペア一致割り込み要求信号 (INTTBnCC1-INTTBnCC3) が発生します。

TABnCCR1-TABnCCR3レジスタを使用しない場合には、TABnCCR1-TABnCCR3レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TABnCCIC1.TABnCCMK1-TABnCCIC3.TABnCCMK3) でマスク設定してください。

**備考1.** TABn/O制御レジスタ1 (TABnIOC1) , TABnオプション・レジスタ0 (TABnOPT0) は、インターバル・タイマ・モードでは使用しません。

2.  $n = 0, 1$

(1) インターバル・タイマ・モード動作フロー

図7-9 インターバル・タイマ・モード使用時のソフトウェア処理フロー (1/2)

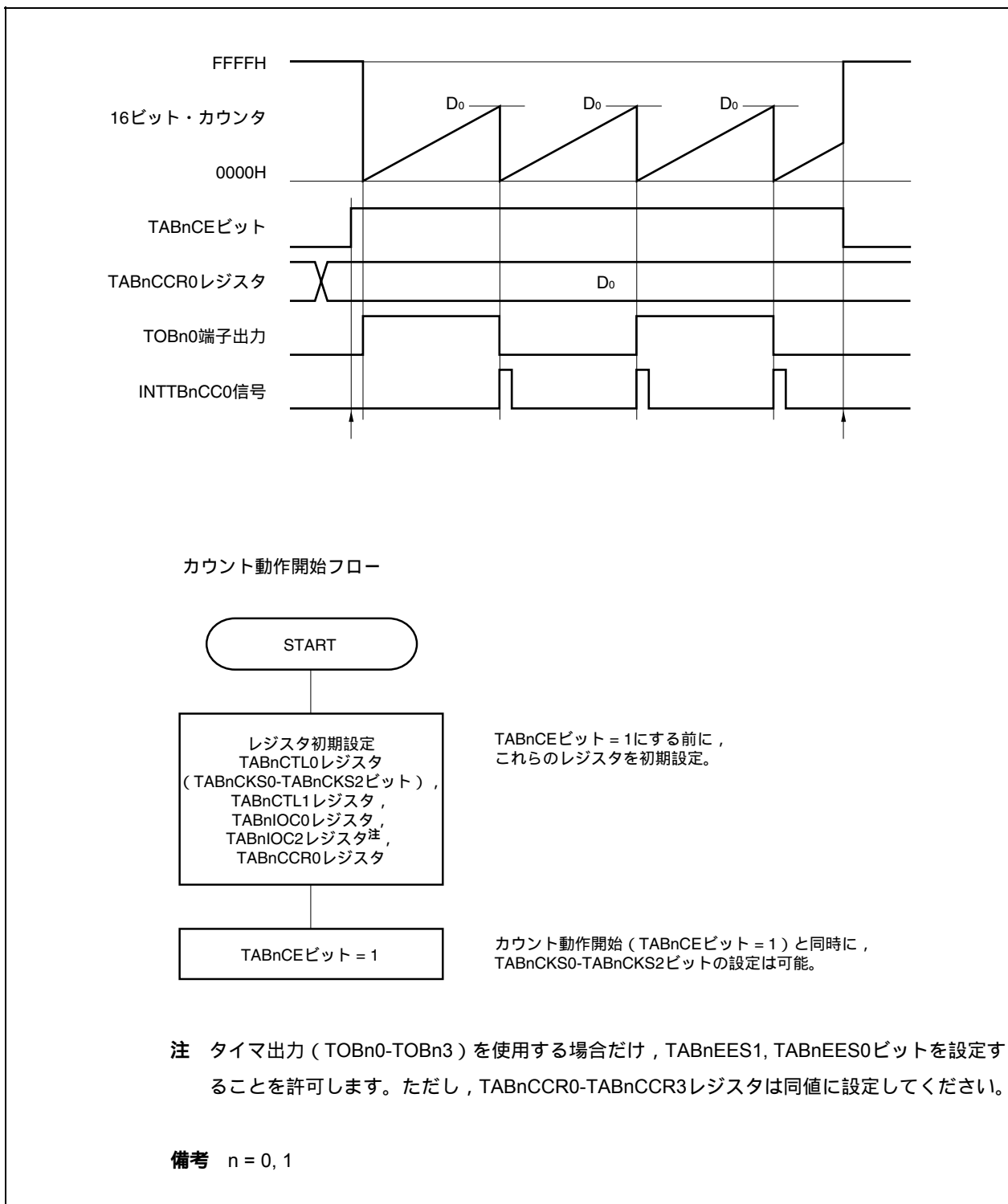
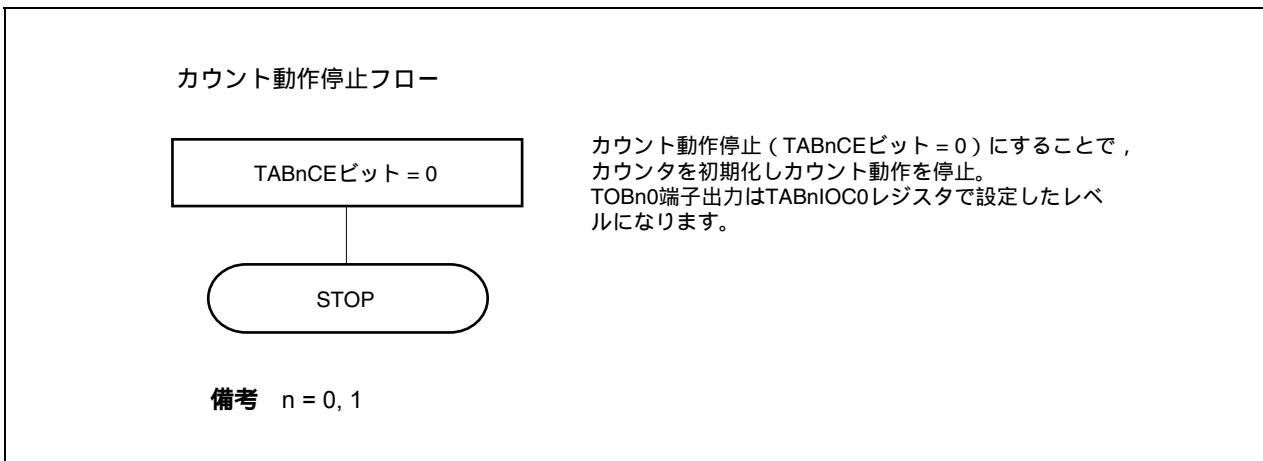


図7-9 インターバル・タイマ・モード使用時のソフトウェア処理フロー (2/2)

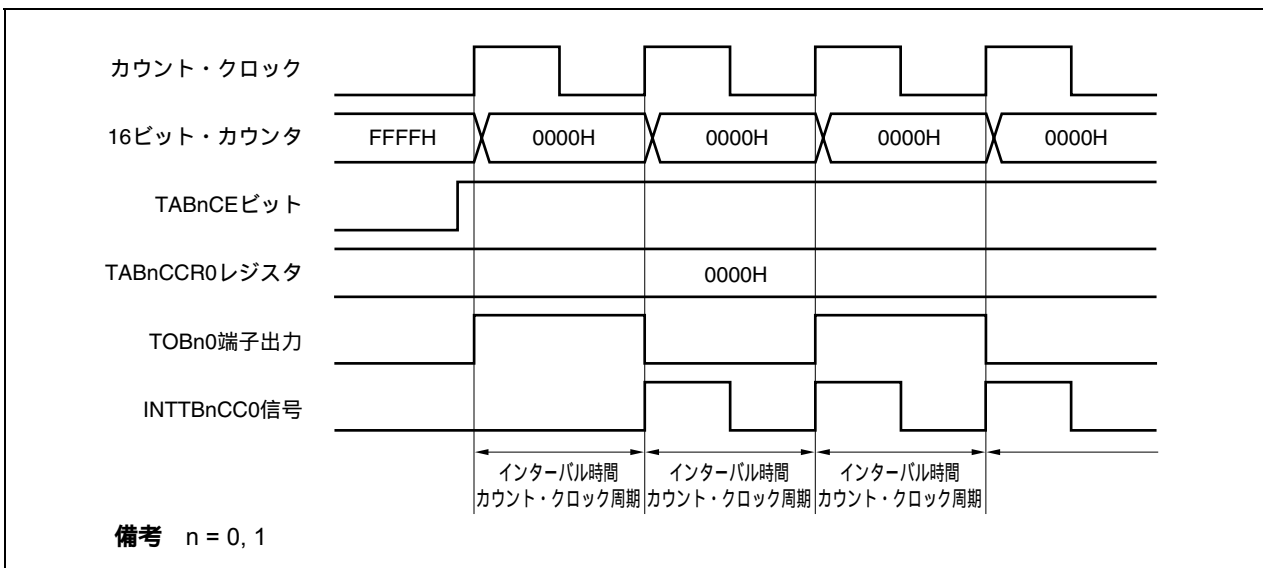


(2) インターバル・タイマ・モード動作タイミング

(a) TABnCCR0レジスタに0000Hを設定した場合の動作

TABnCCR0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTBnCC0信号を発生し、TOBn0端子の出力を反転します。

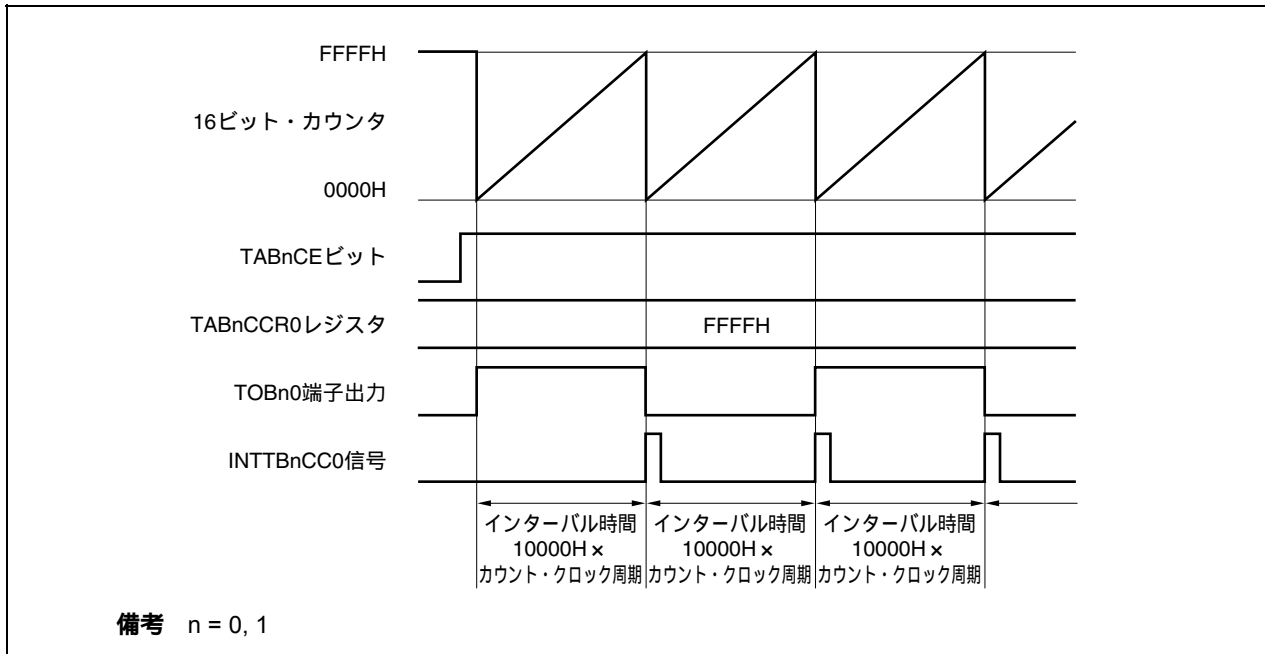
16ビット・カウンタは、常に0000Hとなります。





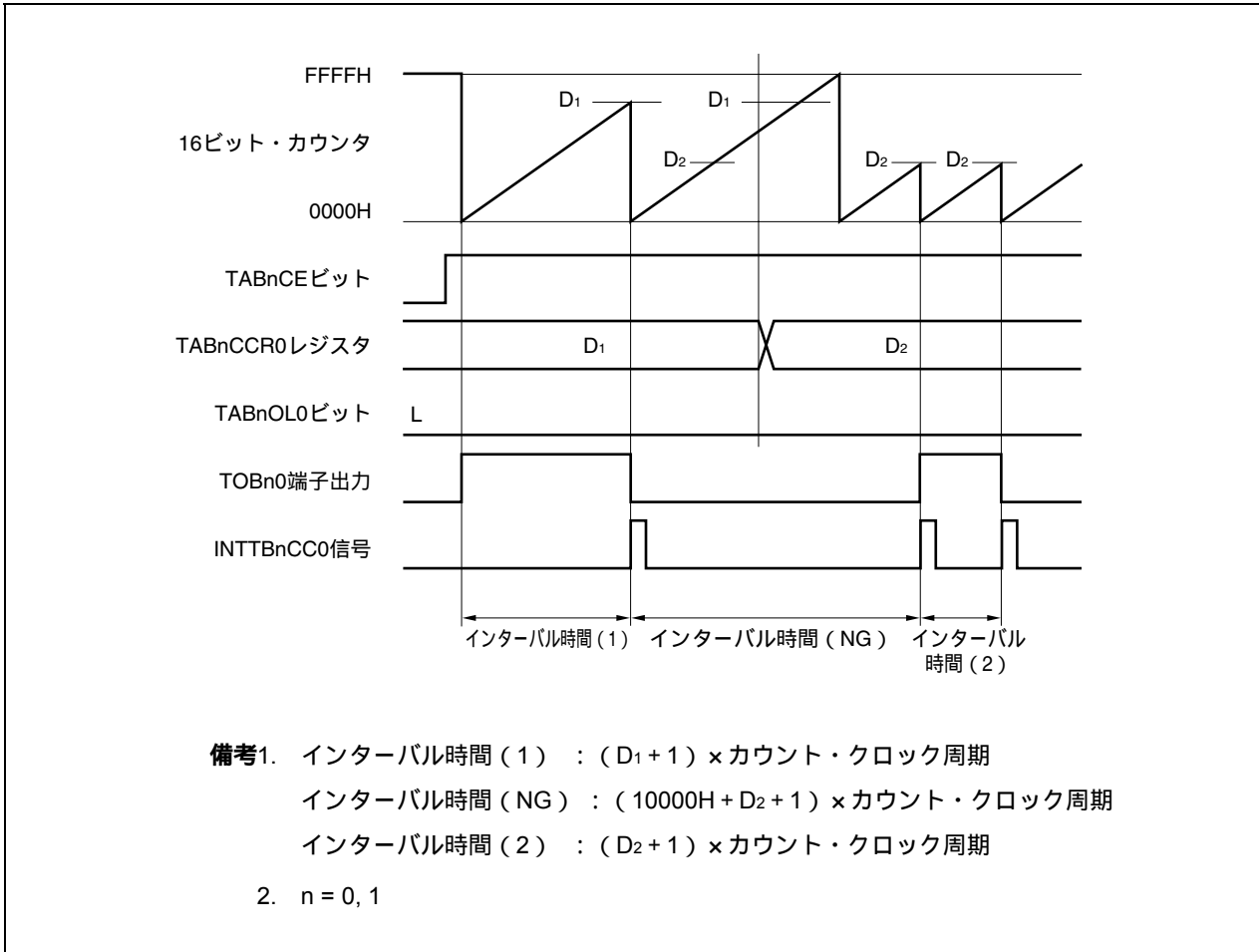
(b) TABnCCR0レジスタにFFFFHを設定した場合の動作

TABnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTBnCC0信号を発生し、TOBn0端子の出力を反転します。このとき、オーバーフロー割り込み要求信号 (INTTBnOV) は発生せず、オーバーフロー・フラグ (TABnOPT0.TABnOVFビット) もセット (1) されません。



(c) TABnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTABnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



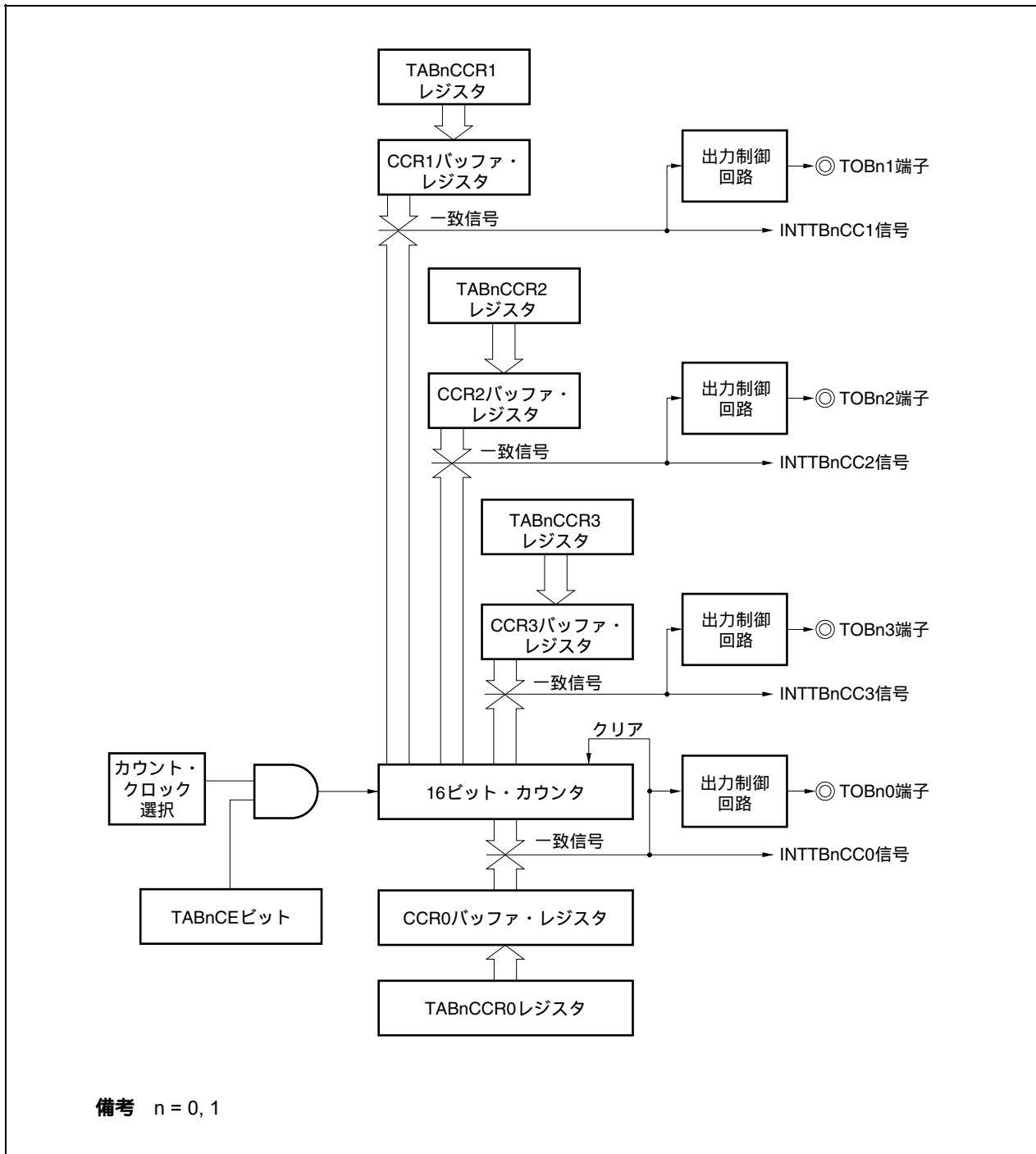
カウント値が $D_2$ よりも大きく $D_1$ よりも小さい状態において、TABnCCR0レジスタを $D_1$ から $D_2$ に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が $D_2$ となります。

しかし、カウント値はすでに $D_2$ を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、 $D_2$ との一致でINTTBnCC0信号を発生しTOBn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTBnCC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTBnCC0信号が発生する場合があります。

(d) TABnCCR1-TABnCCR3レジスタの動作

図7 - 10 TABnCCR1-TABnCCR3レジスタの構成図



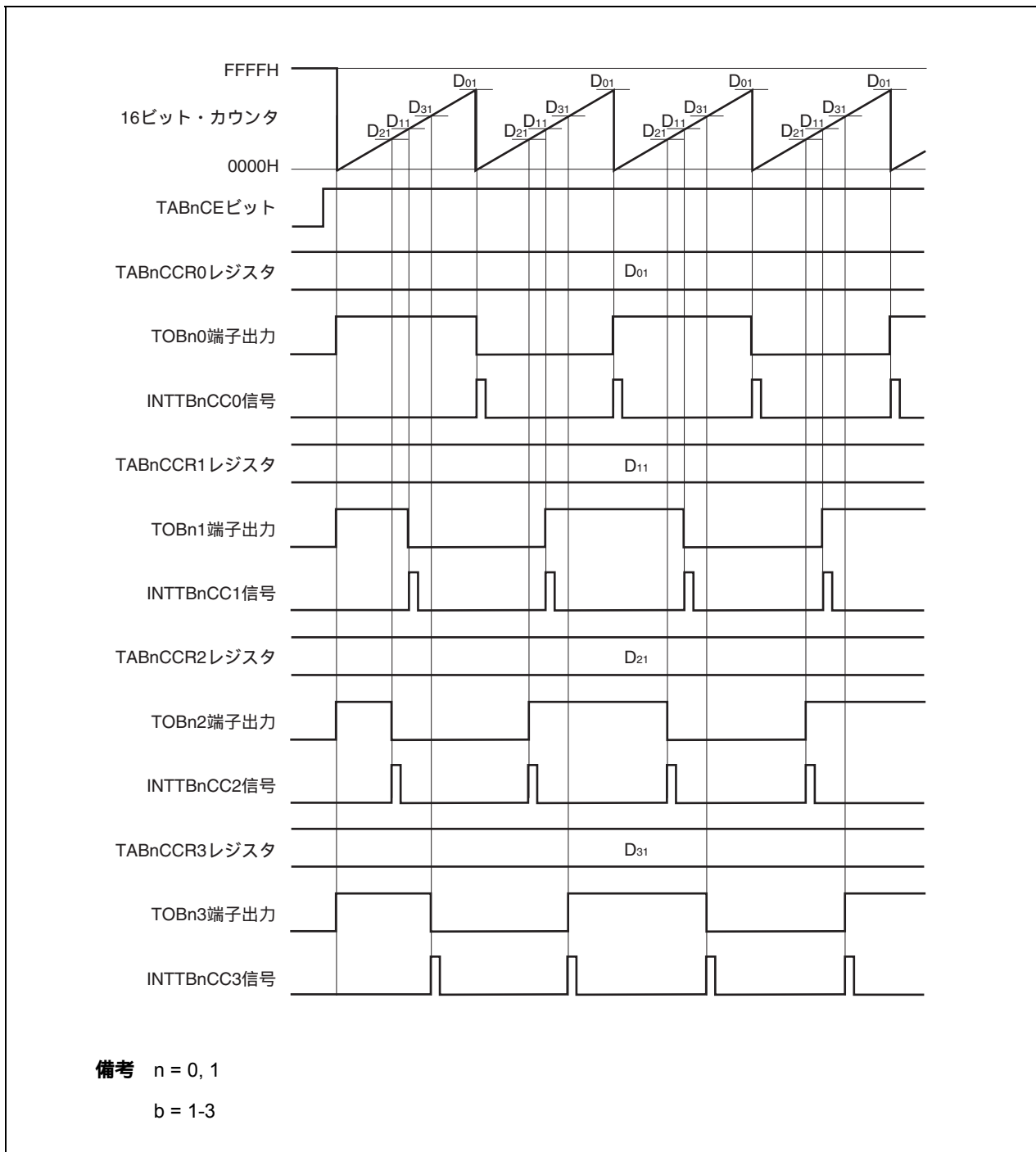
TABnCCRbレジスタにTABnCCR0レジスタの設定値と同じ値を設定すると、INTTBnCC0信号と同じタイミングでINTTBnCCb信号が発生し、TOBnb端子出力が反転します。すなわち、TOBnb端子から50 %デューティのPWM波形を出力できます。

TABnCCR0レジスタの設定値とは異なる値をTABnCCRbレジスタに設定した場合の動作を次に示します。

TABnCCRbレジスタの設定値がTABnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTBnCCb信号が発生します。また、同じタイミングでTOBnb端子出力は反転します。

TOBnb端子出力は、最初に短い幅のパルスを出力したあと、50 %デューティのPWM波形を出力します。

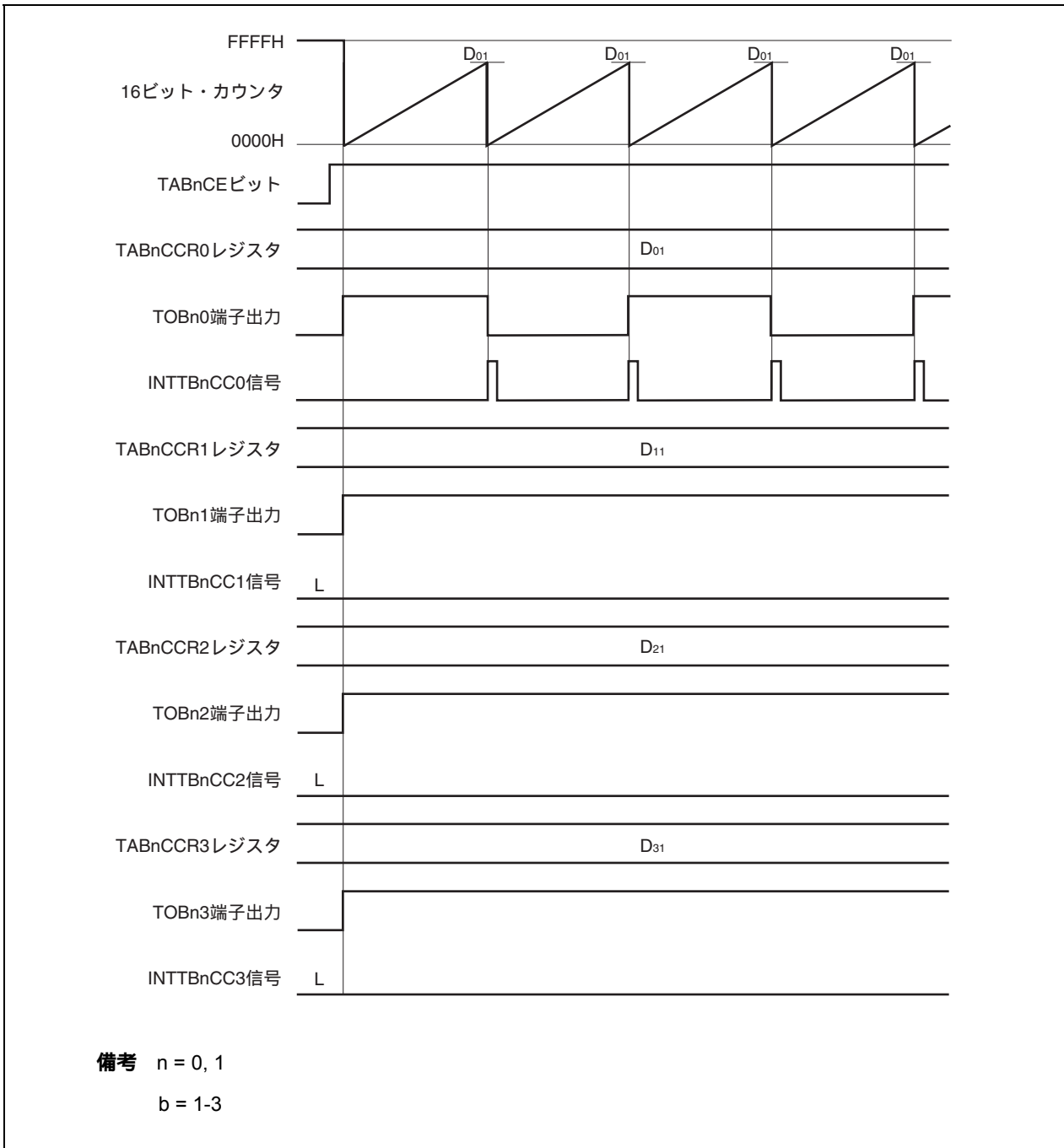
図7 - 11 D<sub>01</sub> D<sub>b1</sub>の場合のタイミング図



TABnCCRbレジスタの設定値がTABnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTABnCCRbレジスタの値が一致しないので、INTTBnCCb信号は発生しません。また、TOBnb端子出力も変化しません。

TABnCCRbレジスタを使用しない場合には、TABnCCRbレジスタの設定値をFFFFHに設定することを推奨します。

図7 - 12 D<sub>01</sub> < D<sub>b1</sub>の場合のタイミング図



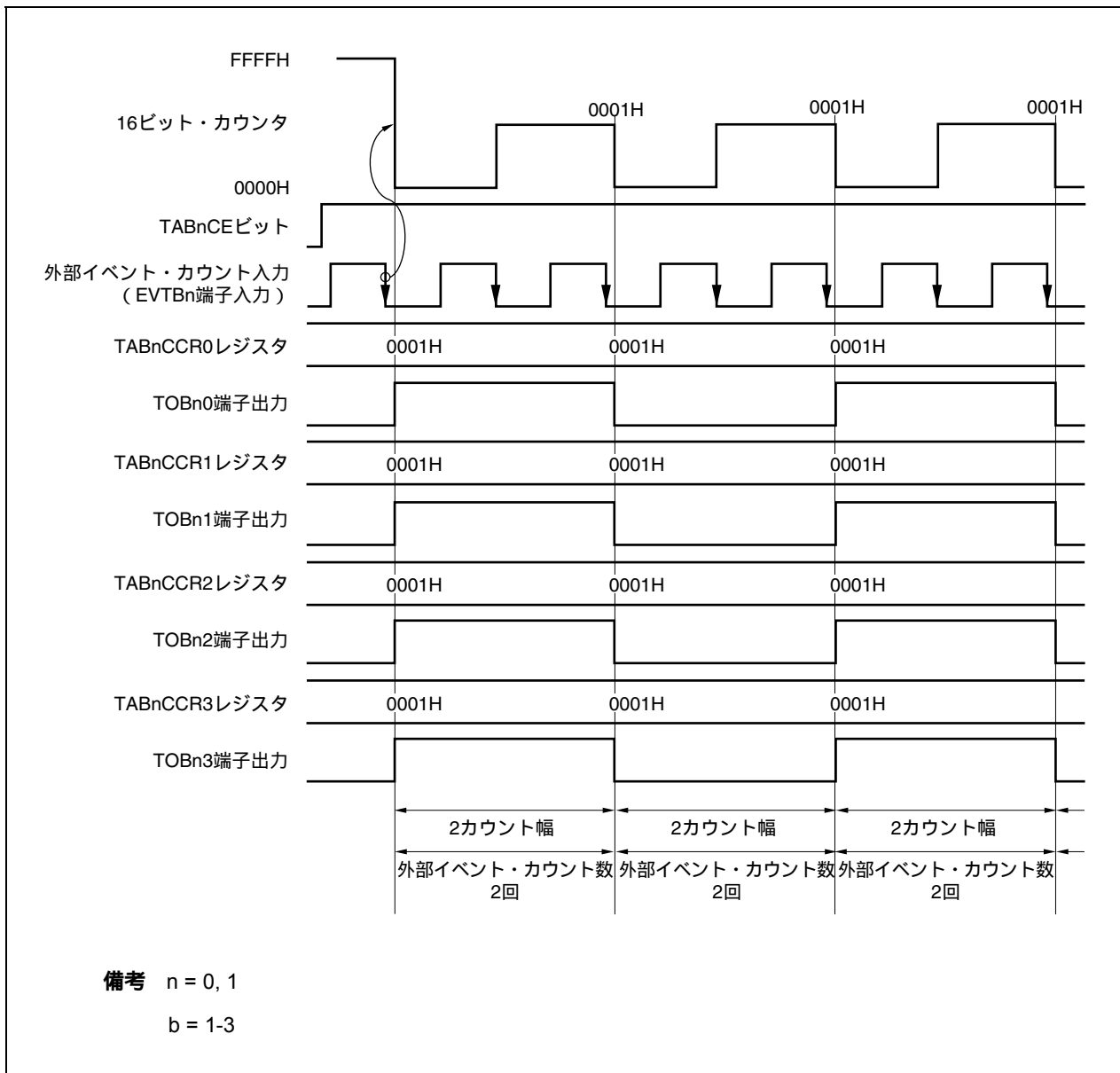
(3) 外部イベント・カウント入力 (EVTBn) による動作

(a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力 (EVTBn) の有効エッジで16ビット・カウンタをカウントする場合、TABnCEビットを0から1に設定したあとの1回目の外部イベント・カウント入力の有効エッジにより、16ビット・カウンタをFFFFHから0000Hにクリアします。

TABnCCR0, TABnCCRbレジスタに0001Hを設定 (同値設定) すると、16ビット・カウンタの2カウントごとにTOBn0, TOBn**b**端子の出力を反転します (b = 1-3)。

外部イベント・カウント入力でタイマ出力 (TOBn0, TOBnb) を使用する場合だけ、インターバル・タイマ・モード時にTABnCTL1.TABnEEEビット = 1の設定が可能です。



### 7.6.2 外部イベント・カウント・モード (TABnMD2-TABnMD0ビット = 001)

外部イベント・カウント・モードは、TABnCTL0.TABnCEビットをセット(1)することで、外部イベント・カウント入力 (EVTBn) の有効エッジをカウントし、TABnCCR0レジスタで設定したカウント数をカウントするごとに割り込み要求信号 (INTTBnCC0) を発生します。また、TOBn0-TOBn3端子は使用できません。外部イベント・カウント入力でTOBn0-TOBn3端子を使用する場合は、インターバル・タイマ・モード時にTABnCTL1.TABnEEEビット = 1に設定してください(7.6.1(3)外部イベント・カウント入力 (EVTBn) による動作参照)。

外部イベント・カウント・モードでは、TABnCCR1-TABnCCR3レジスタは使用しません。

図7-13 外部イベント・カウント・モードの構成図

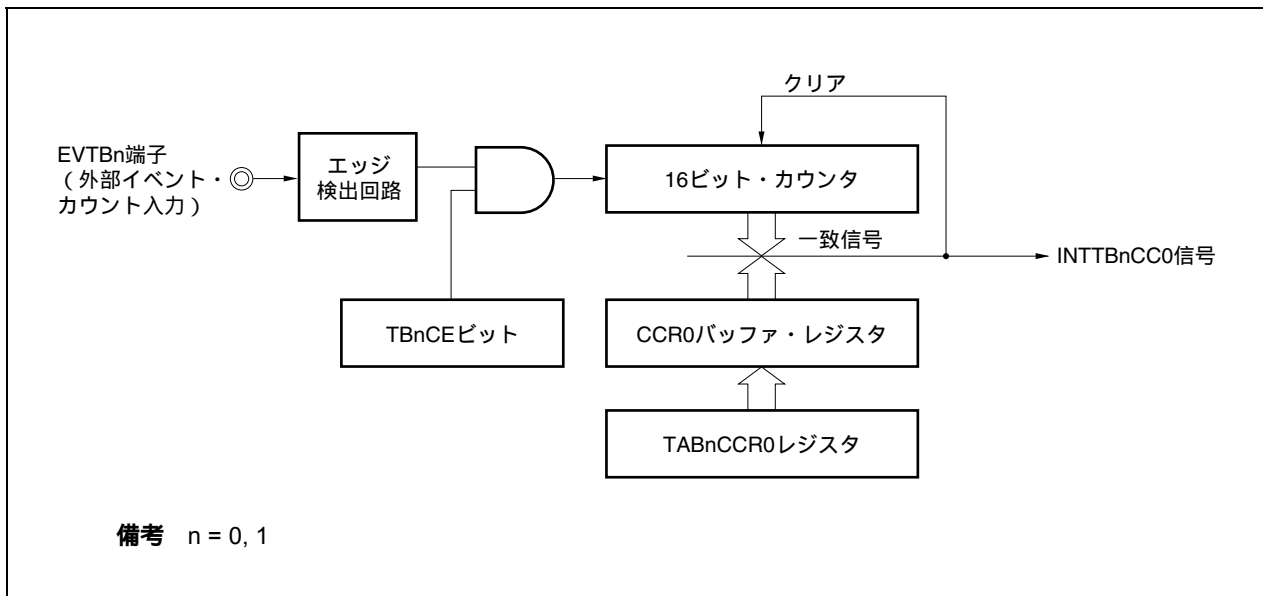
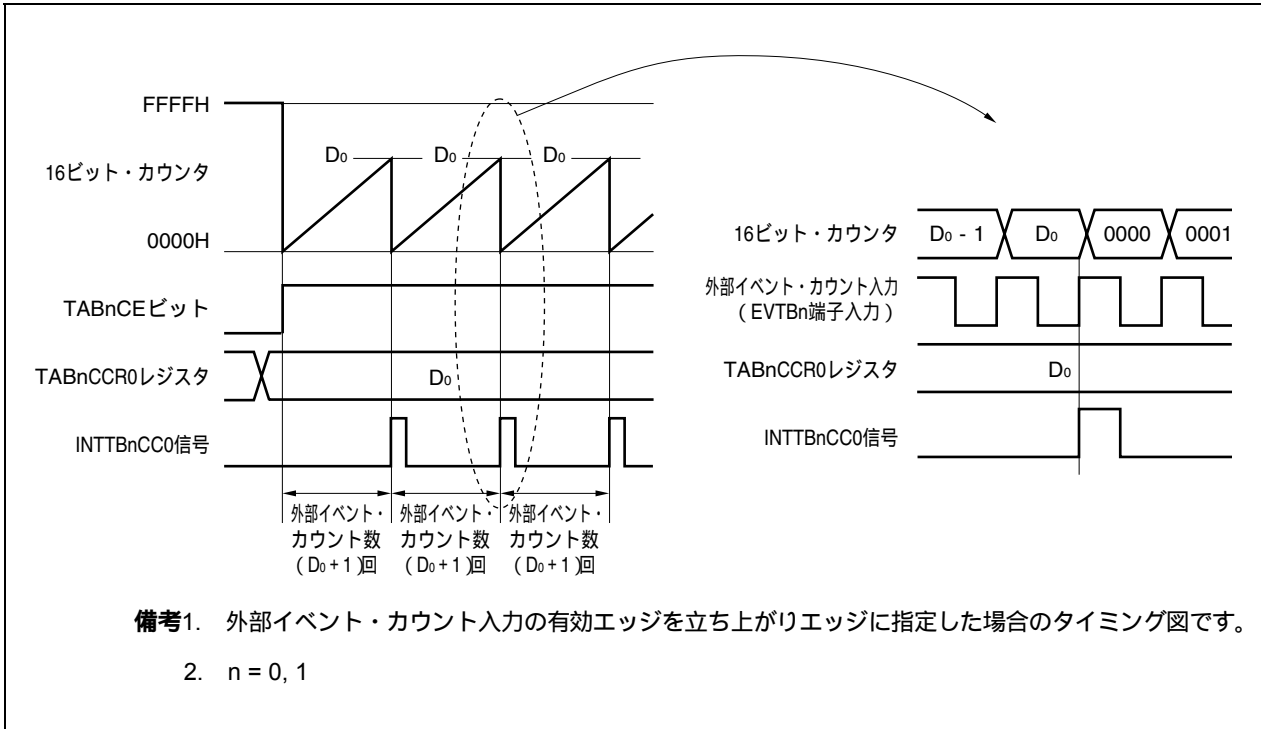


図7-14 外部イベント・カウント・モードの基本タイミング





TABnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することにカウント動作を行います。また、TABnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号 (INTTBnCC0) を発生します。

INTTBnCC0信号は、外部イベント・カウント入力の有効エッジを (TABnCCR0レジスタに設定した値 + 1) 回検出することに発生します。

図7 - 15 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

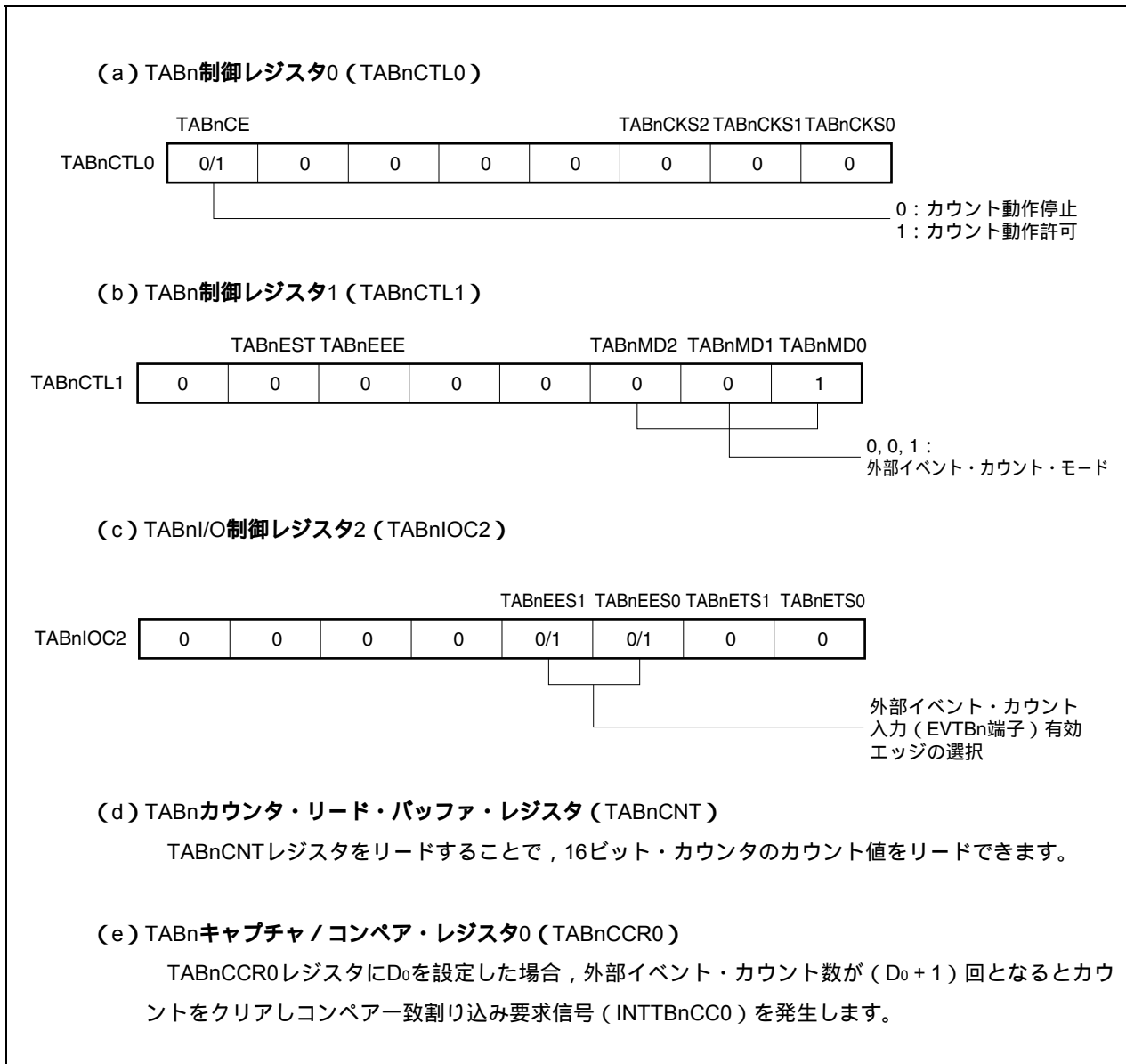


図7 - 15 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

**(f) TABnキャプチャ/コンペア・レジスタ1-3 (TABnCCR1-TABnCCR3)**

外部イベント・カウント・モードでは、TABnCCR1-TABnCCR3レジスタは使用しません。しかし、TABnCCR1-TABnCCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTBnCC1-INTTBnCC3) が発生します。

TABnCCR1-TABnCCR3レジスタを使用しない場合には、TABnCCR1-TABnCCR3レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TABnCCIC1.TABnCCMK1-TABnCCIC3.TABnCCMK3) でマスク設定してください。

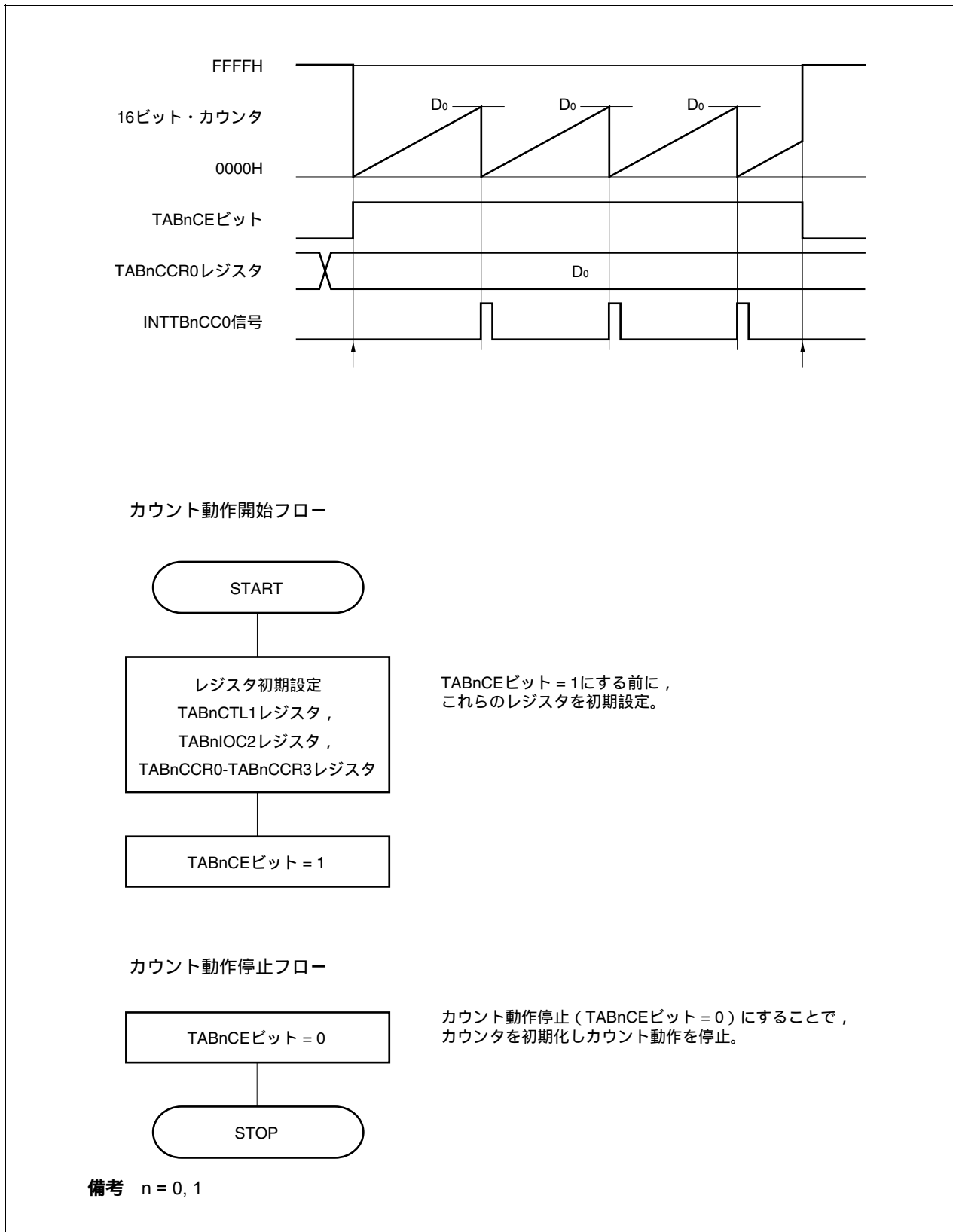
**注意** TABnIOC0レジスタには00Hを設定してください。

**備考1.** TABnI/O制御レジスタ1 (TABnIOC1) , TABnオプション・レジスタ0 (TABnOPT0) は、外部イベント・カウント・モードでは使用しません。

2. n = 0, 1

(1) 外部イベント・カウント・モード動作フロー

図7-16 外部イベント・カウント・モード使用時のソフトウェア処理フロー



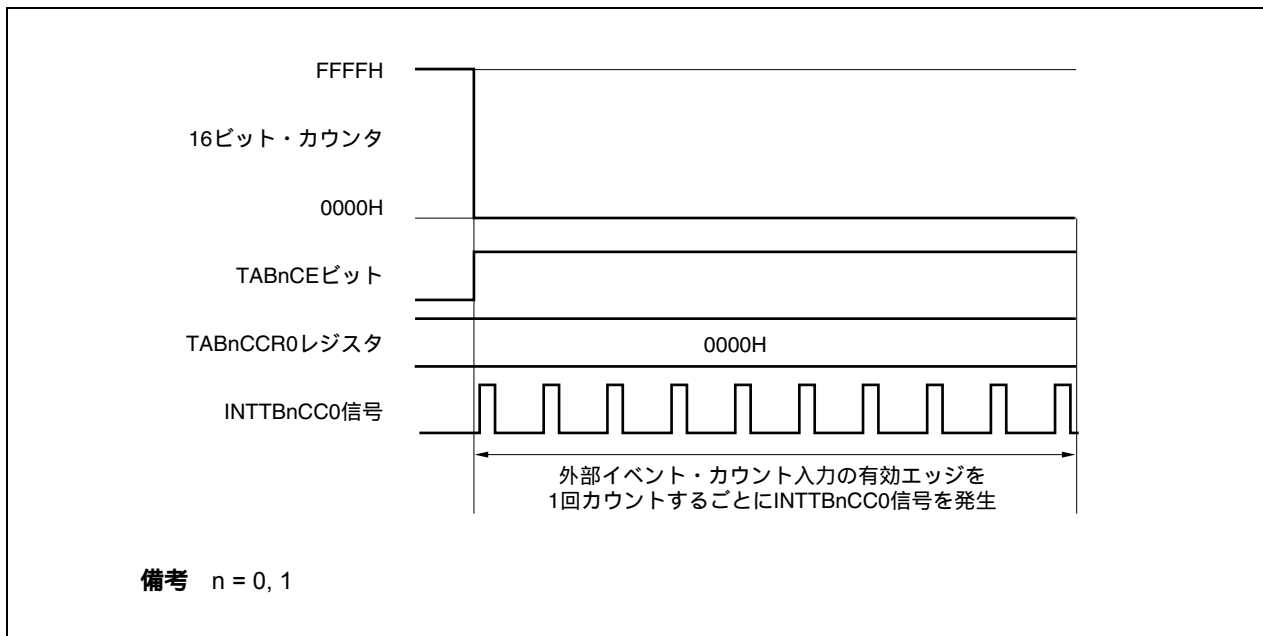
(2) 外部イベント・カウント・モード動作タイミング

**注意** 外部イベント・カウント・モード時、タイマ出力 (TOBn0-TOBn3) は使用禁止です。外部イベント・カウント入力 (EVTBn) でタイマ出力 (TOBn0-TOBn3) を使用する場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可 (TABnCTL1. TABnEEEビット = 1) に設定してください (7. 6. 1 (3) 外部イベント・カウント入力 (EVTBn) による動作参照)。

(a) TABnCCR0レジスタに0000Hを設定した場合の動作

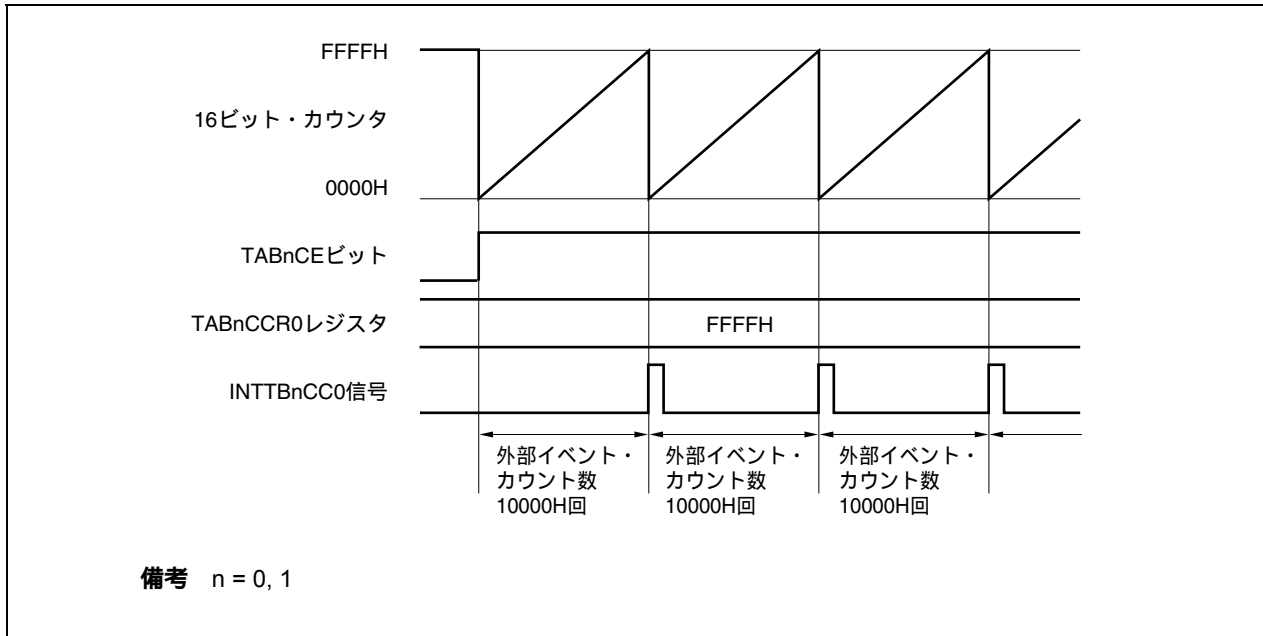
TABnCCR0レジスタに0000Hを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにCCR0バッファ・レジスタの値との一致で、16ビット・カウンタを0000Hにクリアし続けて、INTTBnCC0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TABnCCR0レジスタにFFFFHを設定した場合の動作

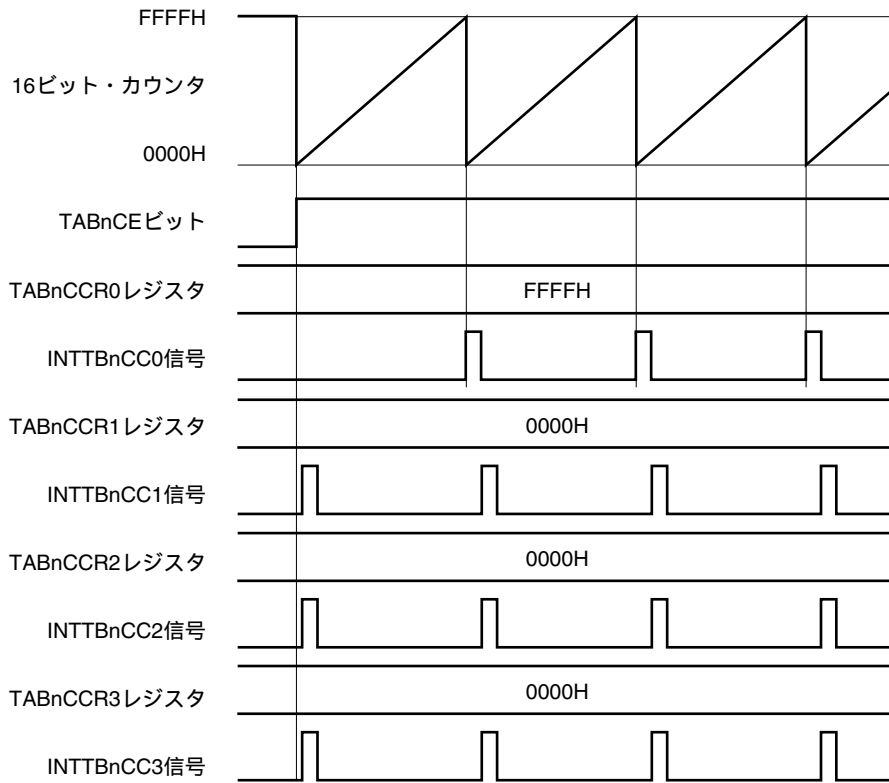
TABnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTBnCC0信号を発生します。このとき、TABnOPT0.TABnOVFビットはセットされません。



(c) TABnCCR0レジスタにFFFFH, TABnCCRbレジスタに0000Hを設定した場合の動作

TABnCCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次のカウント・アップ・タイミングに同期して, 16ビット・カウンタを0000Hにクリアし, INTTBnCC0信号を発生します。このとき, TABnOPT0.TABnOVFビットはセットされません。

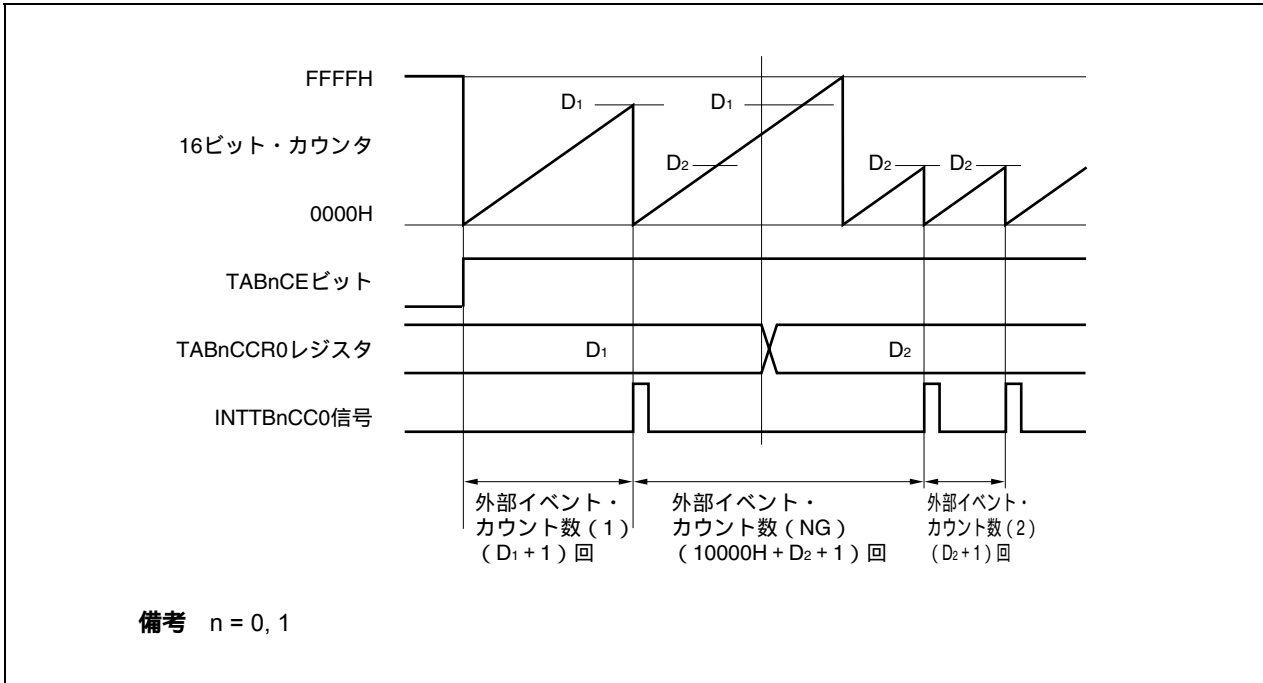
TABnCCRbレジスタに0000Hを設定した場合, 16ビット・カウンタが0000HにクリアされたタイミングでINTTBnCCb信号が発生します。



**備考** n = 0, 1  
b = 1-3

(d) TABnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTABnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



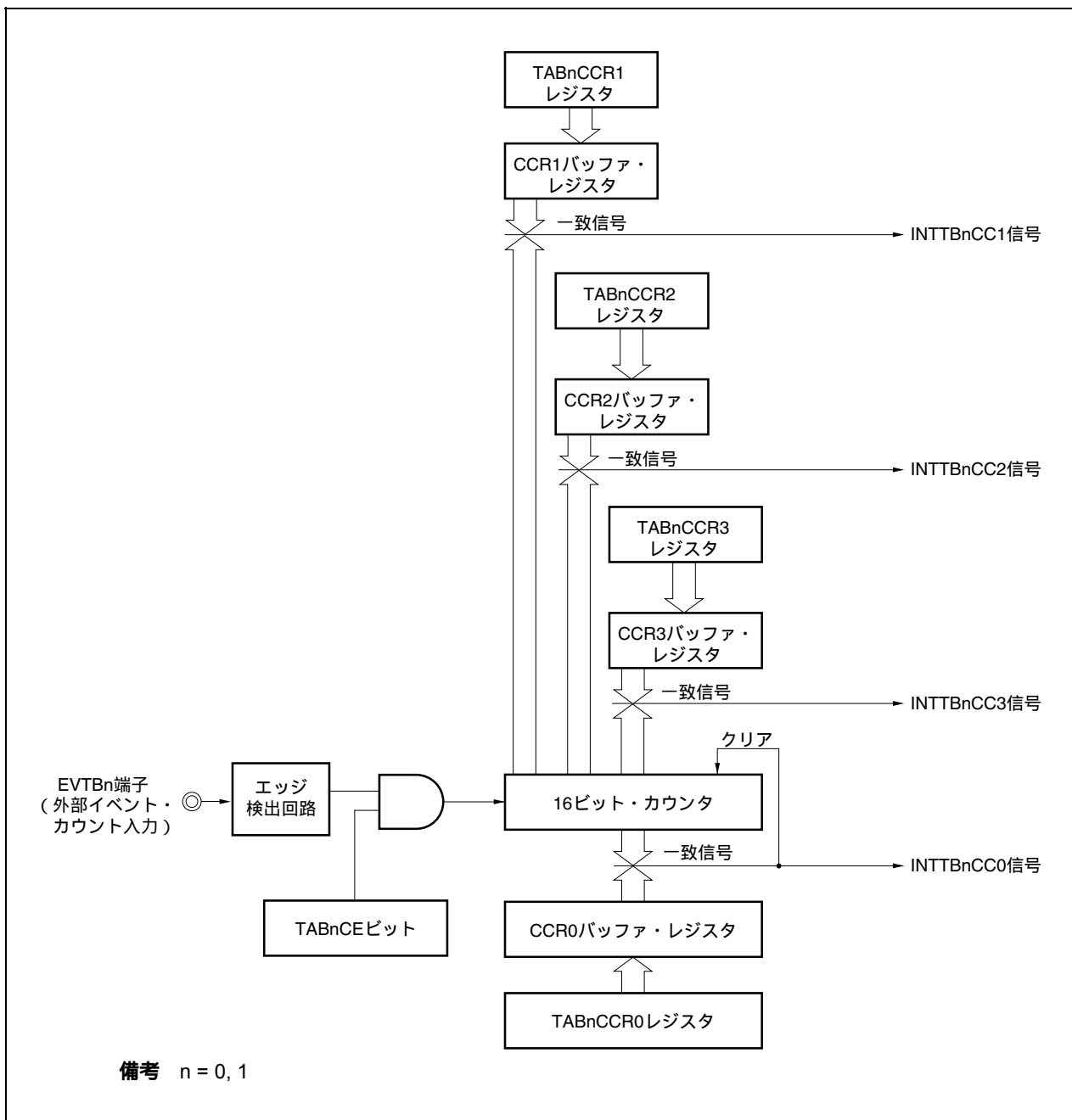
カウント値がD<sub>2</sub>よりも大きくD<sub>1</sub>よりも小さい状態において、TABnCCR0レジスタをD<sub>1</sub>からD<sub>2</sub>に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD<sub>2</sub>となります。

しかし、カウント値はすでにD<sub>2</sub>を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、D<sub>2</sub>との一致でINTTBnCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D<sub>1</sub> + 1)回」または「(D<sub>2</sub> + 1)回」の有効エッジ数でINTTBnCC0信号は発生せずに、「(10000H + D<sub>2</sub> + 1)回」の有効エッジ数でINTTBnCC0信号が発生する場合があります。

(e) TABnCCR1-TABnCCR3レジスタの動作

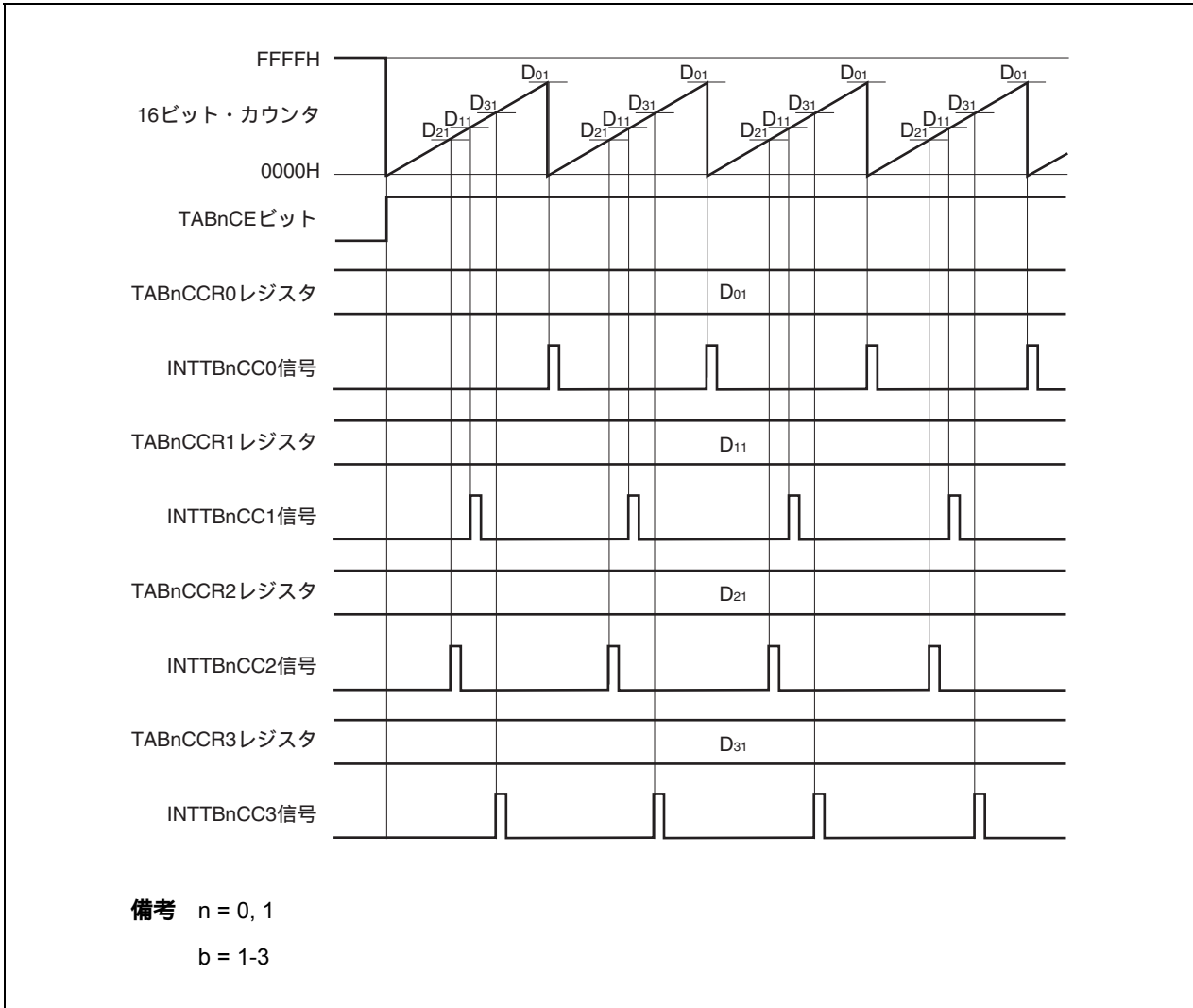
図7 - 17 TABnCCR1-TABnCCR3レジスタの構成図





TABnCCRbレジスタの設定値がTABnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTBnCCb信号が発生します。

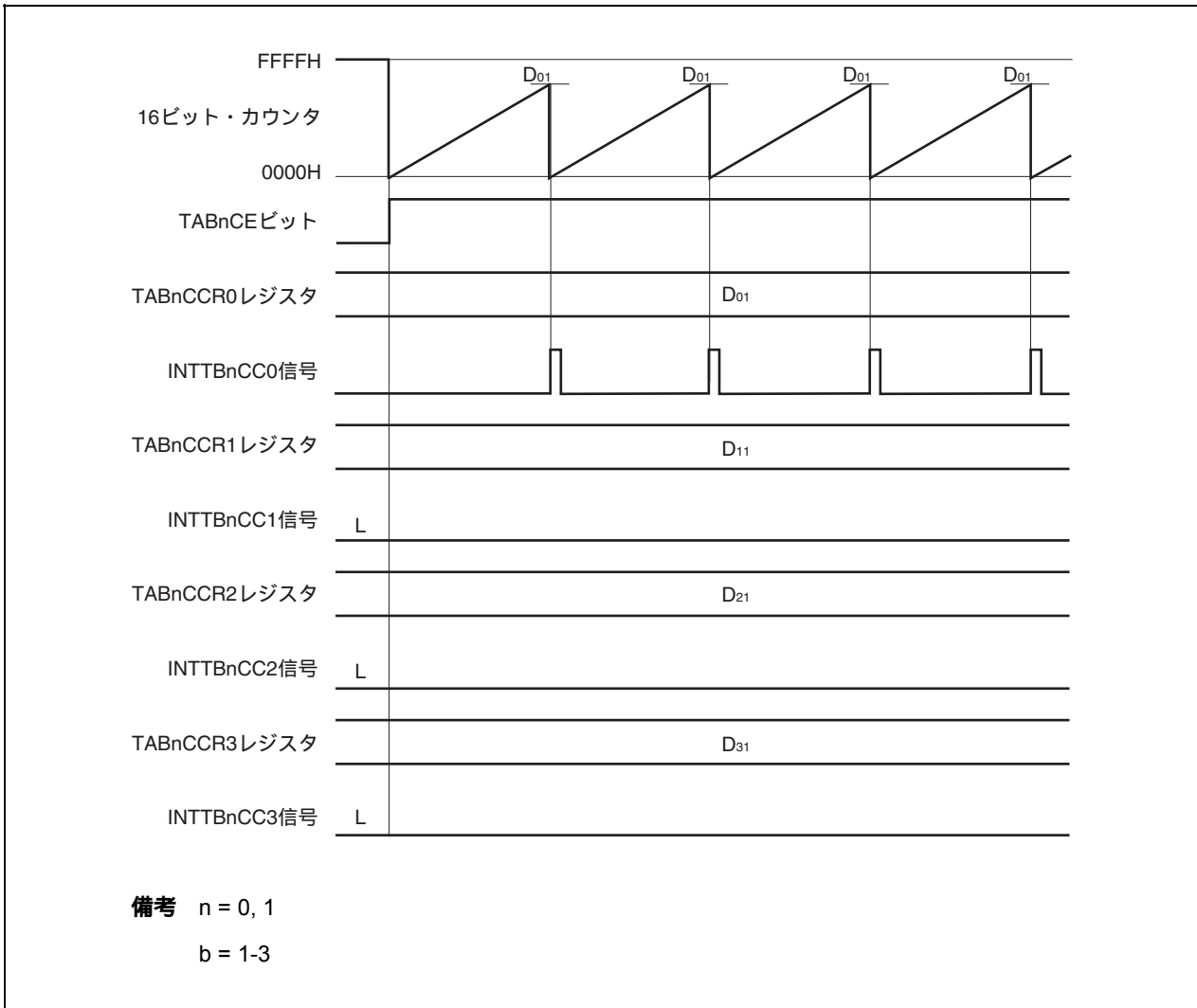
図7 - 18 D<sub>01</sub> D<sub>b1</sub>の場合のタイミング図



TABnCCRbレジスタの設定値がTABnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTABnCCRbレジスタの値が一致しないので、INTTBnCCb信号は発生しません。

TABnCCRbレジスタを使用しない場合には、TABnCCRbレジスタの設定値をFFFFHに設定することを推奨します。

図7 - 19  $D_{01} < D_{b1}$  の場合のタイミング図



### 7.6.3 外部トリガ・パルス出力モード (TABnMD2-TABnMD0ビット = 010)

外部トリガ・パルス出力モードは、TABnCTL0.TABnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力 (TRGBn) の有効エッジを検出すると、カウント動作を開始し、TOBn1-TOBn3端子から最大3相のPWM波形を出力します。また、TOBn0端子から、TABnCCR0レジスタの設定値 + 1を半周期とする50 %デューティのPWM波形を出力できます。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。

図7 - 20 外部トリガ・パルス出力モードの構成図

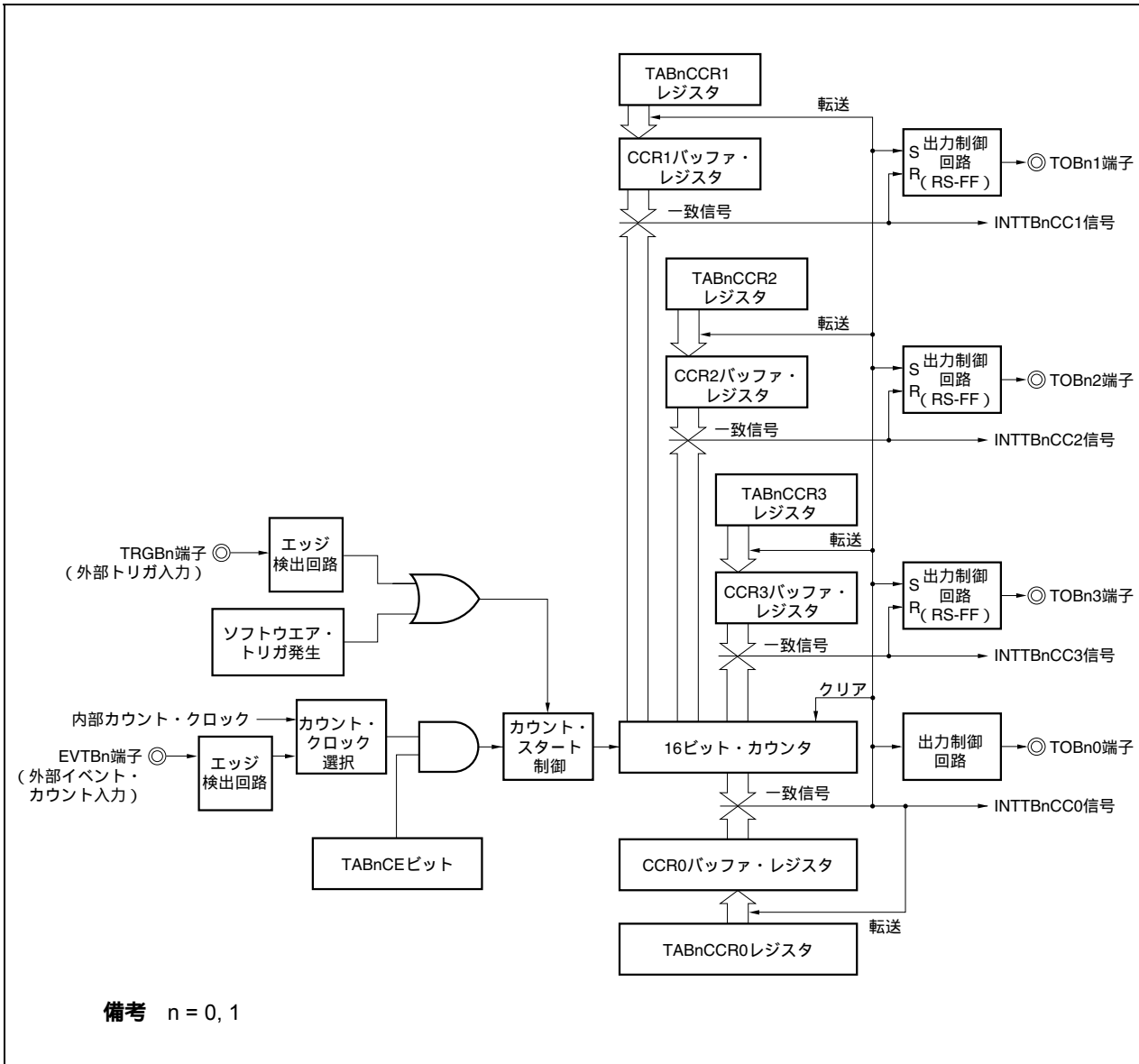
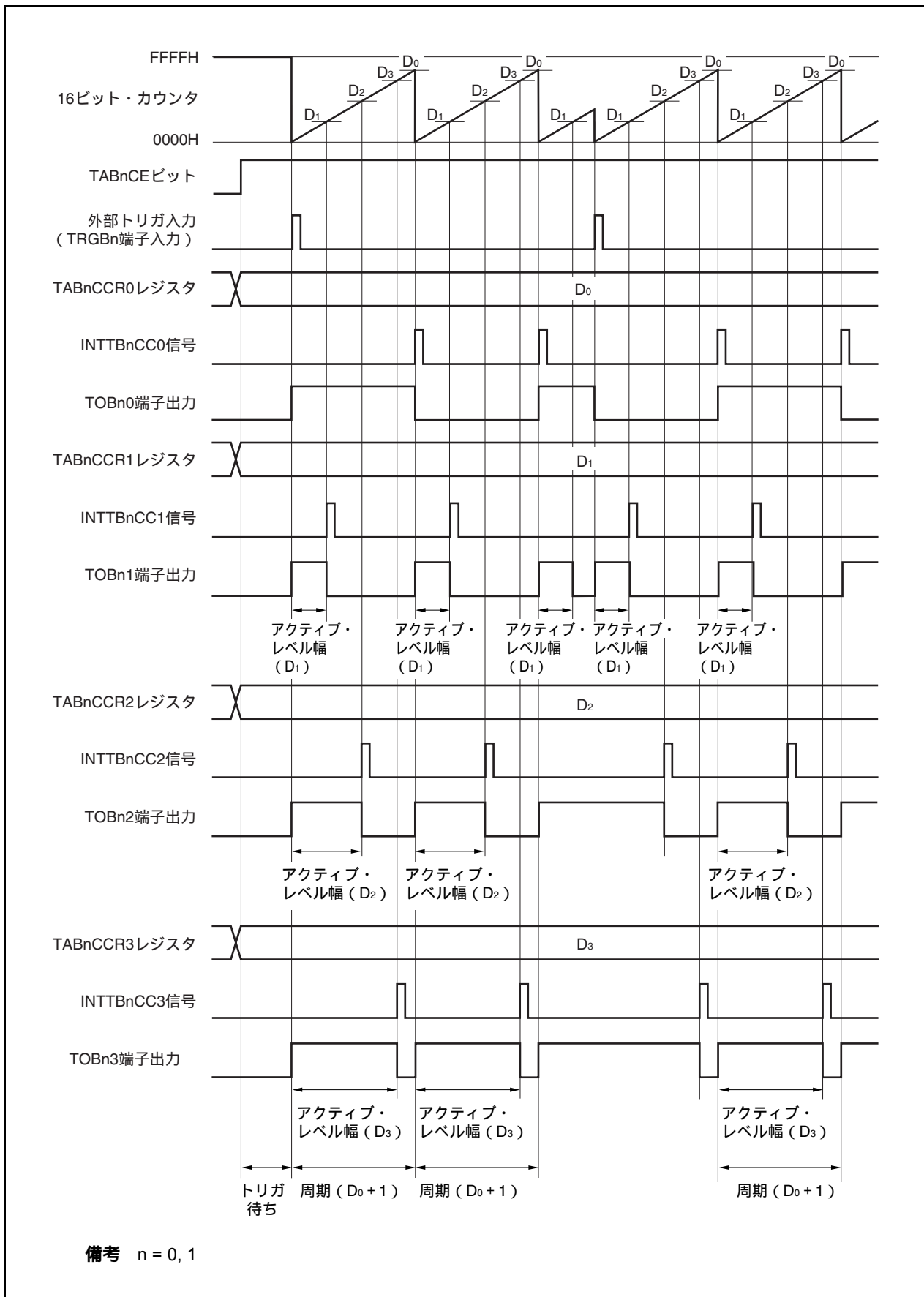


図7-21 外部トリガ・パルス出力モードの基本タイミング



TABnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOBnb端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします( TOBn0端子出力は反転します。TOBnb端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\begin{aligned} \text{アクティブ・レベル幅} &= (\text{TABnCCRbレジスタの設定値}) \times \text{カウント・クロック周期} \\ \text{周期} &= (\text{TABnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期} \\ \text{デューティ} &= (\text{TABnCCRbレジスタの設定値}) / (\text{TABnCCR0レジスタの設定値} + 1) \end{aligned}$$

コンペアー一致割り込み要求信号 (INTTBnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTBnCCb) は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値が一致するタイミングで発生します。

TABnCCRaレジスタに設定した値は、16ビット・カウンタのカウント値とCCRaバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRaバッファ・レジスタに転送されます。

トリガには、外部トリガ入力 (TRGBn) の有効エッジ、またはソフトウェア・トリガ (TABnCTL1.TABnESTビット) のセット(1)があります。

**備考** n = 0, 1  
a = 0-3  
b = 1-3

図7 - 22 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/3)

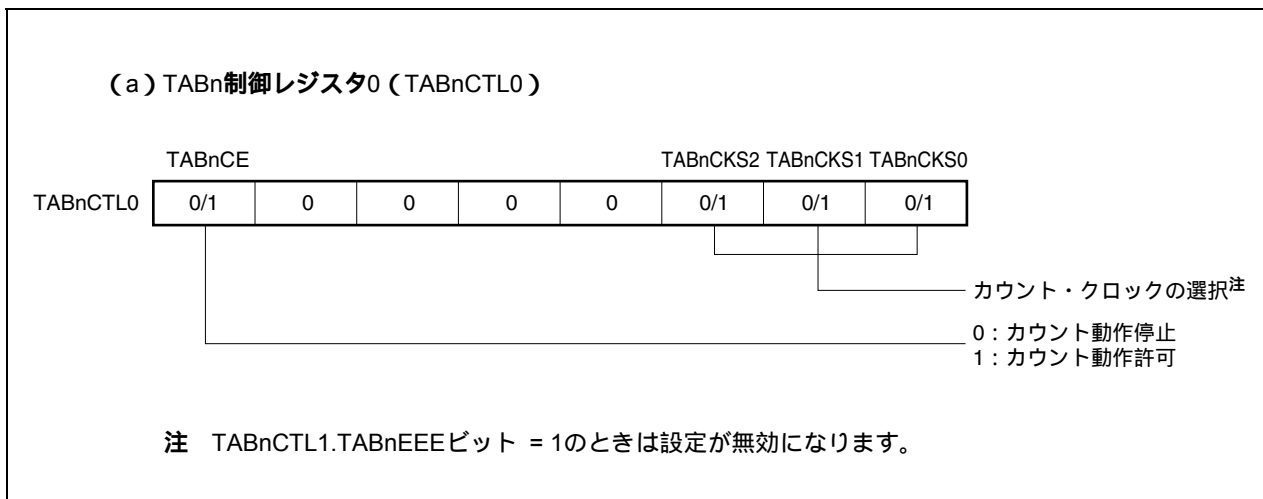


図7 - 22 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

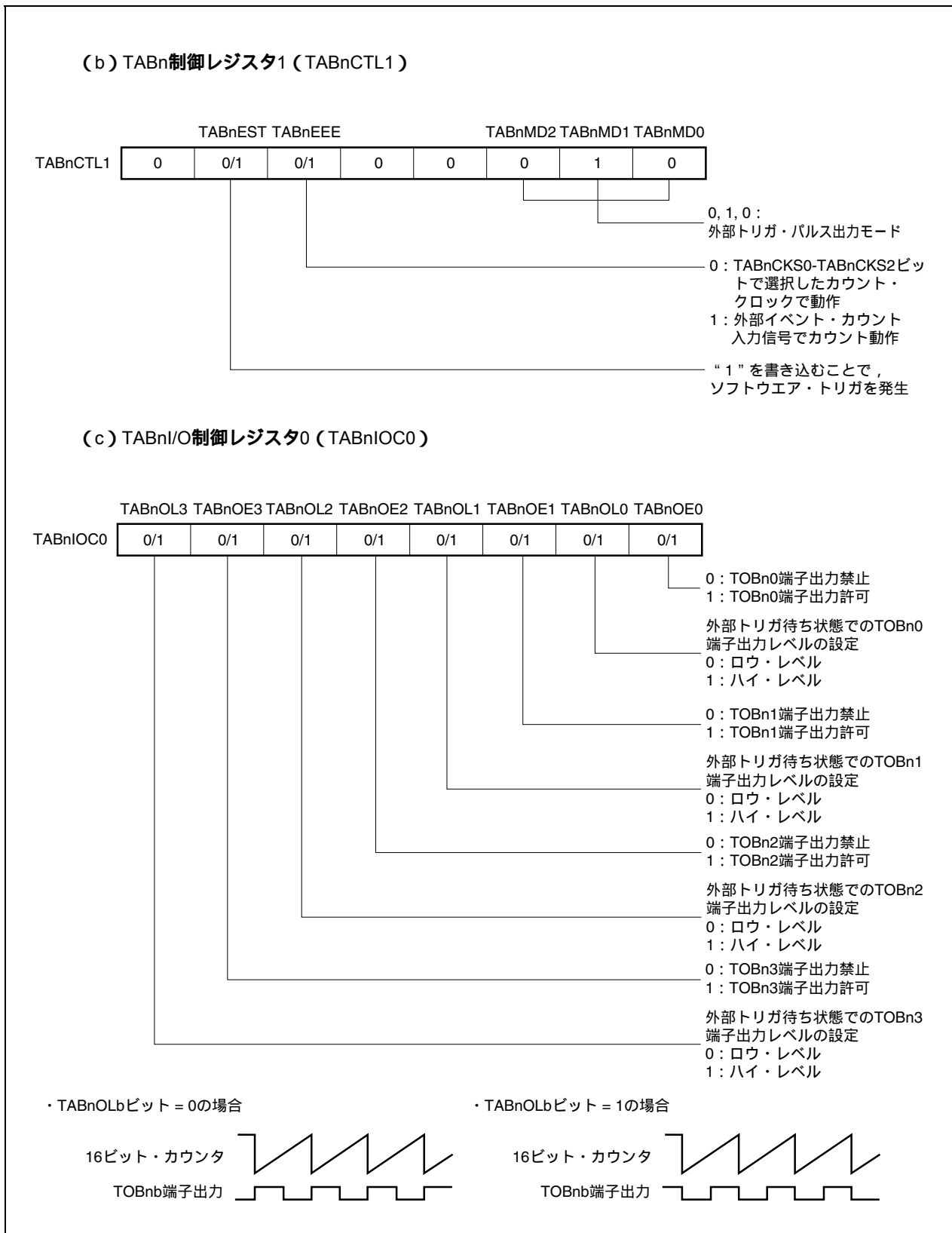
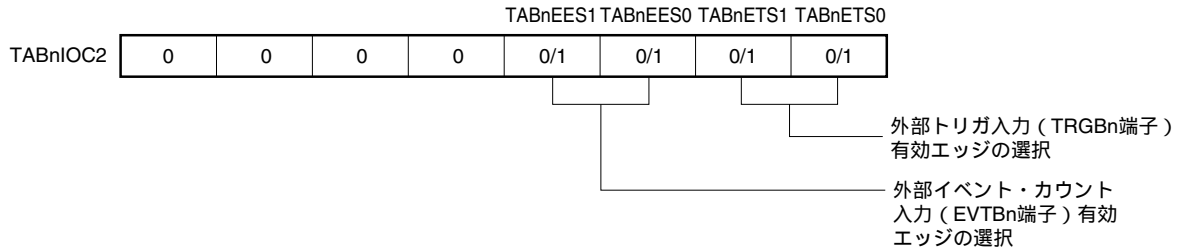


図7 - 22 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)

(d) TABnI/O制御レジスタ2 (TABnIOC2)



(e) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

TABnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TABnCCR0レジスタにD<sub>0</sub>を設定し、TABnCCR1レジスタにD<sub>1</sub>を、TABnCCR2レジスタにD<sub>2</sub>を、TABnCCR3レジスタにD<sub>3</sub>を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOBn1端子からのPWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOBn2端子からのPWM波形のアクティブ・レベル幅} = D_2 \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOBn3端子からのPWM波形のアクティブ・レベル幅} = D_3 \times \text{カウント} \cdot \text{クロック周期}$$

となります。

**備考1.** TABnI/O制御レジスタ1 (TABnIOC1)、TABnオプション・レジスタ0 (TABnOPT0) は、外部トリガ・パルス出力モードでは使用しません。

2. n = 0, 1

b = 1-3

(1) 外部トリガ・パルス出力モード動作フロー

図7-23 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

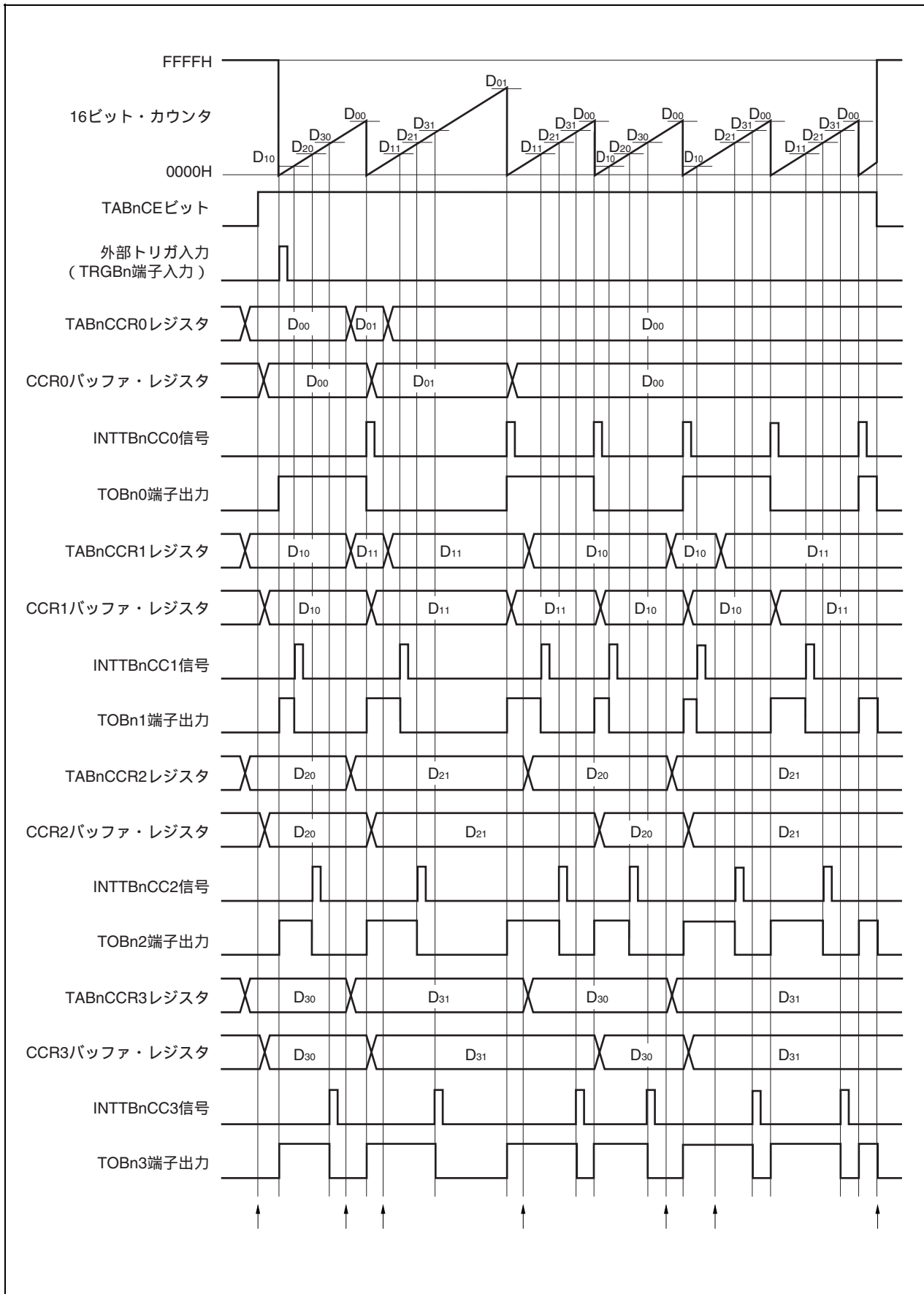
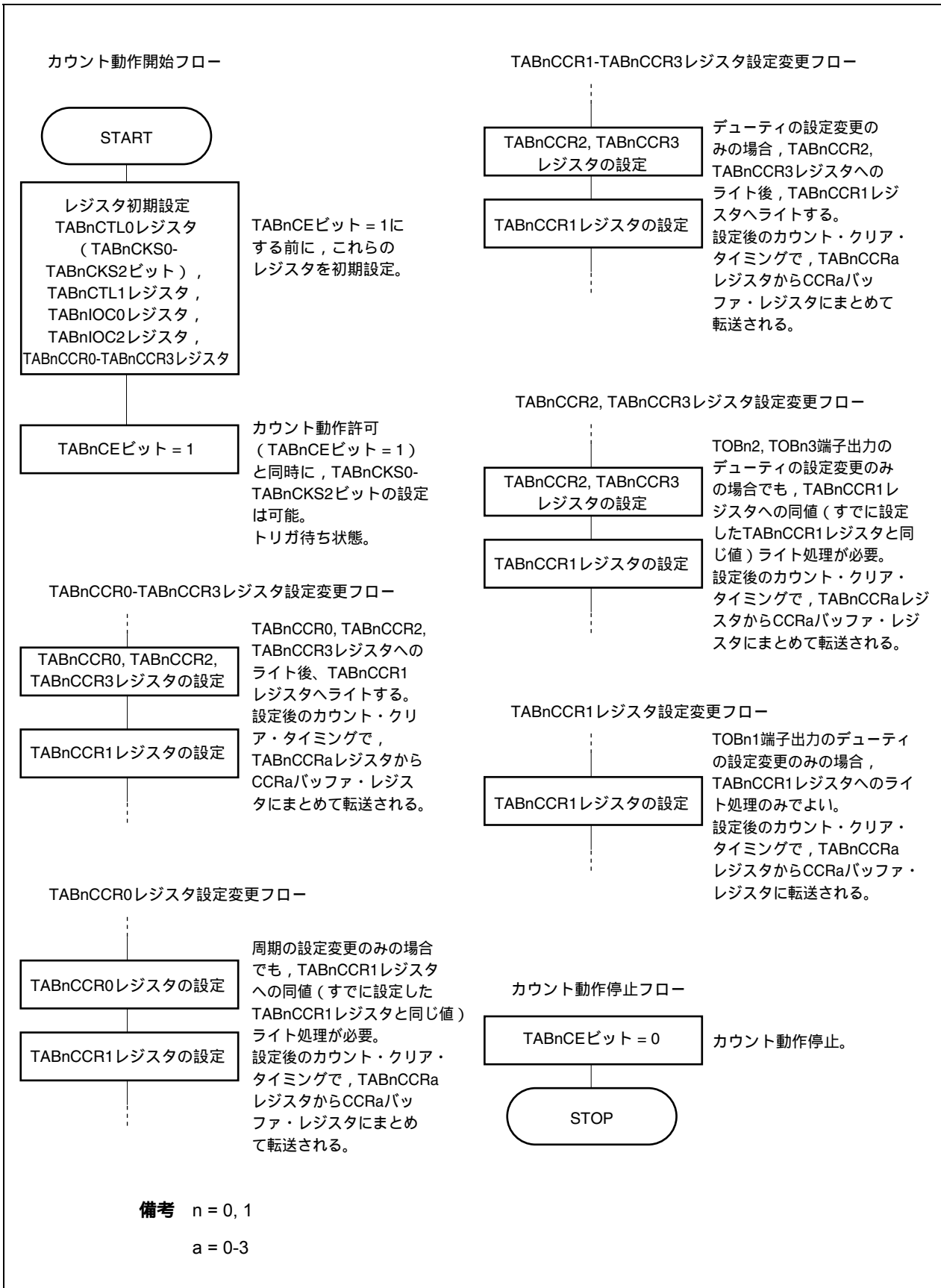




図7 - 23 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)



(2) 外部トリガ・パルス出力モード動作タイミング

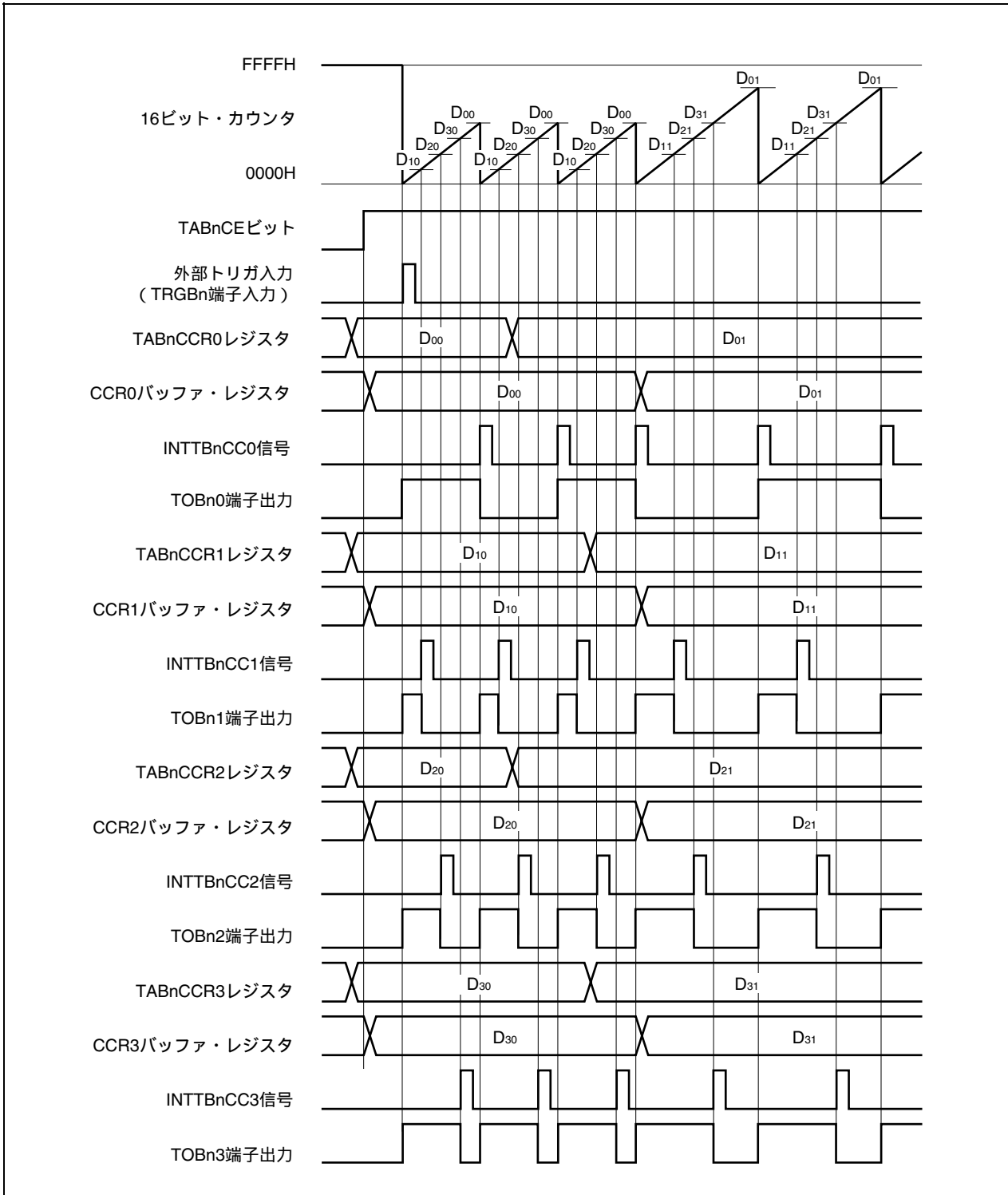
(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTABnCCR1レジスタにライトしてください。

TABnCCR1レジスタにライト後、再度TABnCCRbレジスタの書き換えを行う場合には、INTTBnCC0信号を検出後に書き換えてください。

備考 n = 0, 1

b = 1-3



TABnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TABnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTABnCCR0レジスタに周期を、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTABnCCR0レジスタに周期を設定し、そのあとでTABnCCR1レジスタに同値（すでに設定したTABnCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合には、まず、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

TOBn1端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TABnCCR1レジスタのみの設定でかまいません。

TOBn2、TOBn3端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、まずTABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTABnCCR1レジスタに同値（すでに設定したTABnCCR1レジスタと同じ値）をライトしてください。

TABnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TABnCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

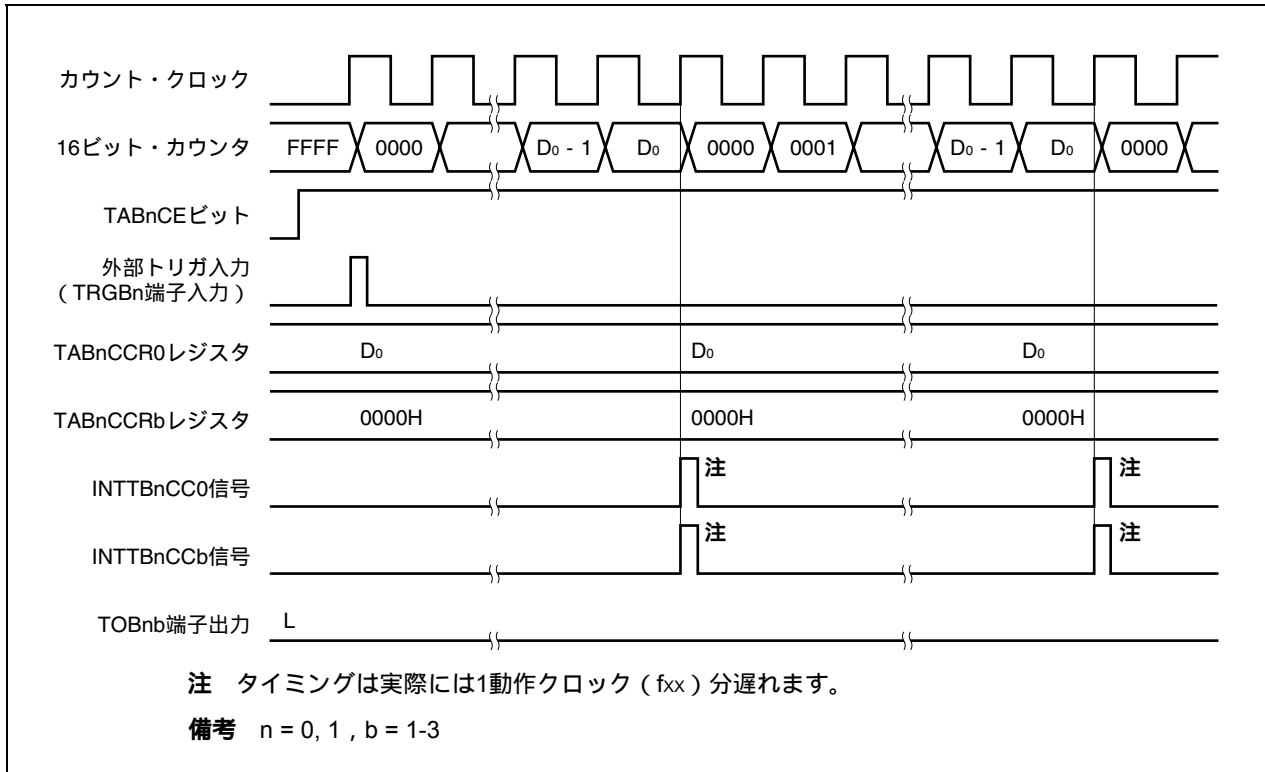
また、一度TABnCCR1レジスタにライトしたあとで、再度TABnCCR0-TABnCCR3レジスタへのライトを行う場合は、INTTBnCC0信号の発生後に行ってください。これを守れない場合には、TABnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TABnCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

**備考** n = 0, 1

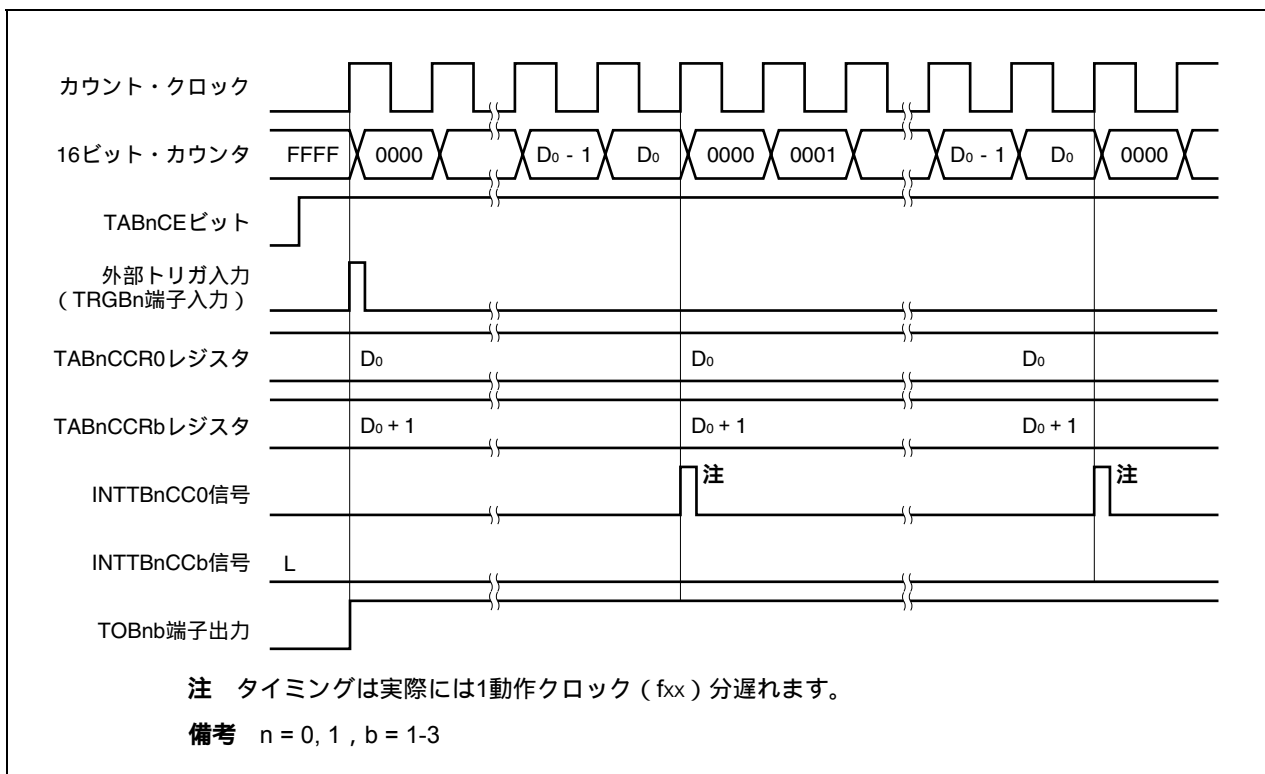
a = 0-3

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TABnCCRbレジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTBnCC0信号とINTTBnCCb信号が発生します。

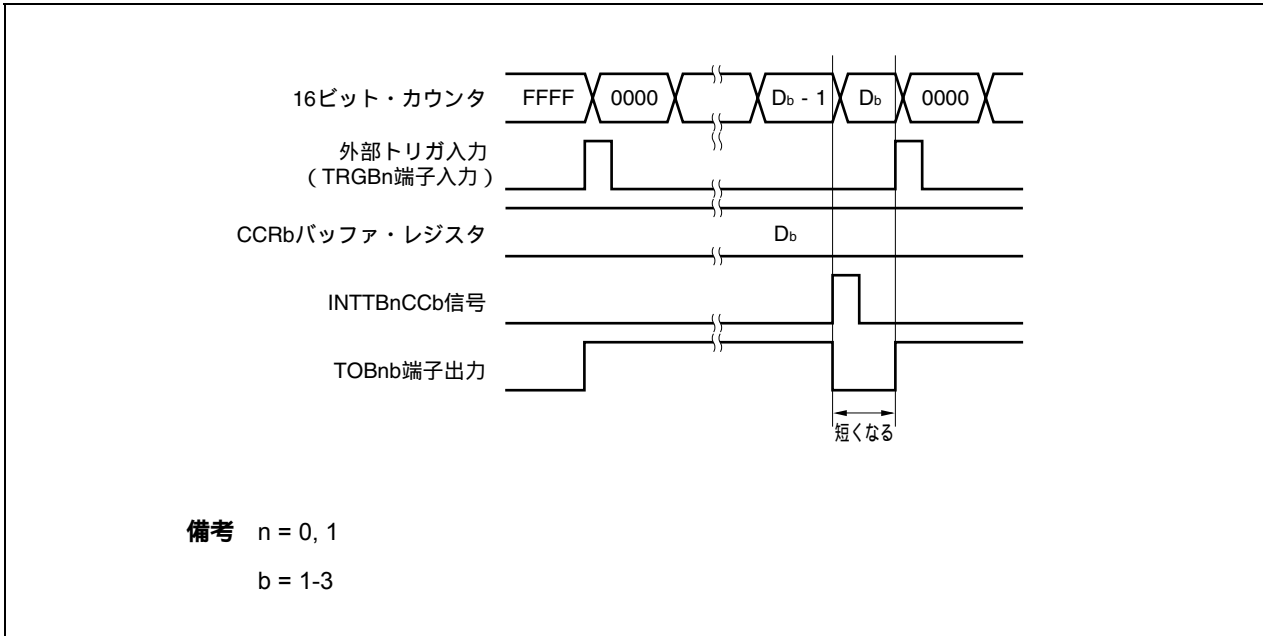


100 % 波形を出力するためには、TABnCCRbレジスタに対して (TABnCCR0レジスタの設定値 + 1) の値を設定してください。TABnCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。

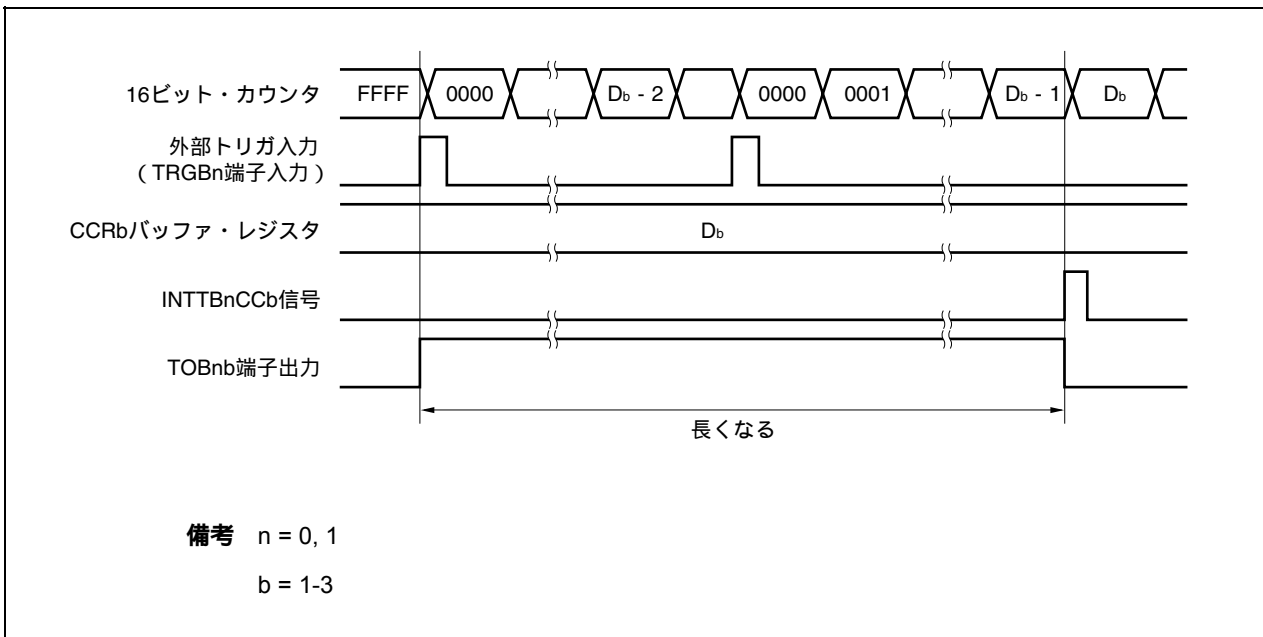


(c) トリガ検出とCCRbバッファ・レジスタとの一致の競合

INTTBnCCb信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOBnb端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

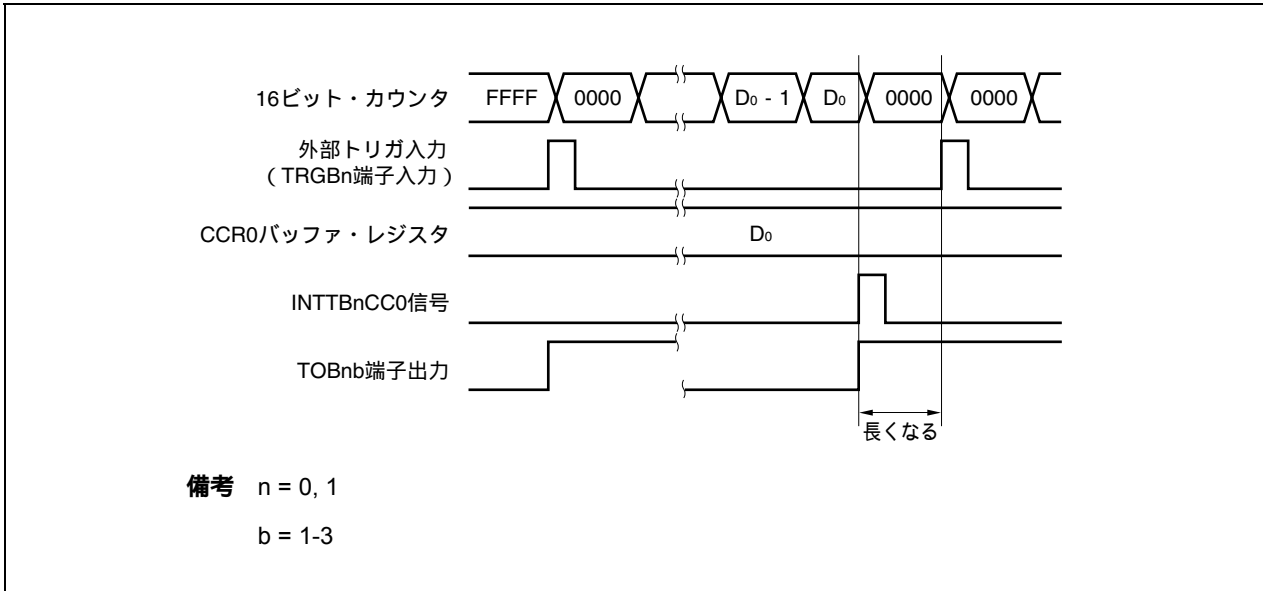


INTTBnCCb信号発生直前にトリガを検出した場合には、INTTBnCCb信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を続けます。TOBnb端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

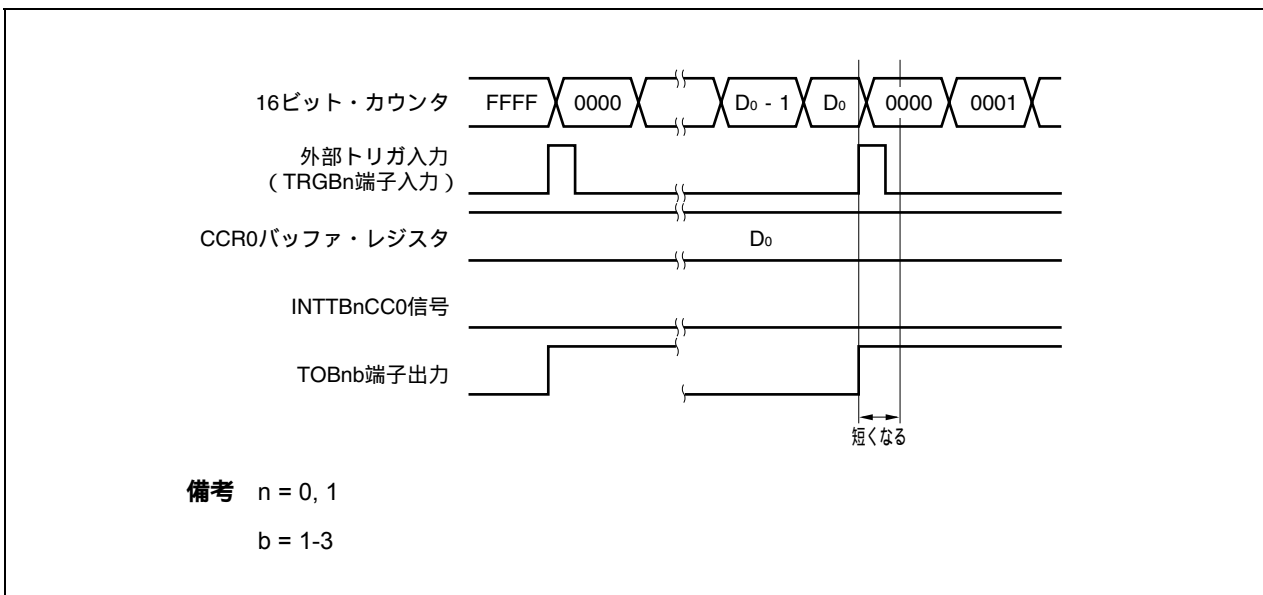


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTBnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOBnb端子出力のアクティブ期間が、INTTBnCC0信号発生からトリガ検出までの分だけ長くなります。

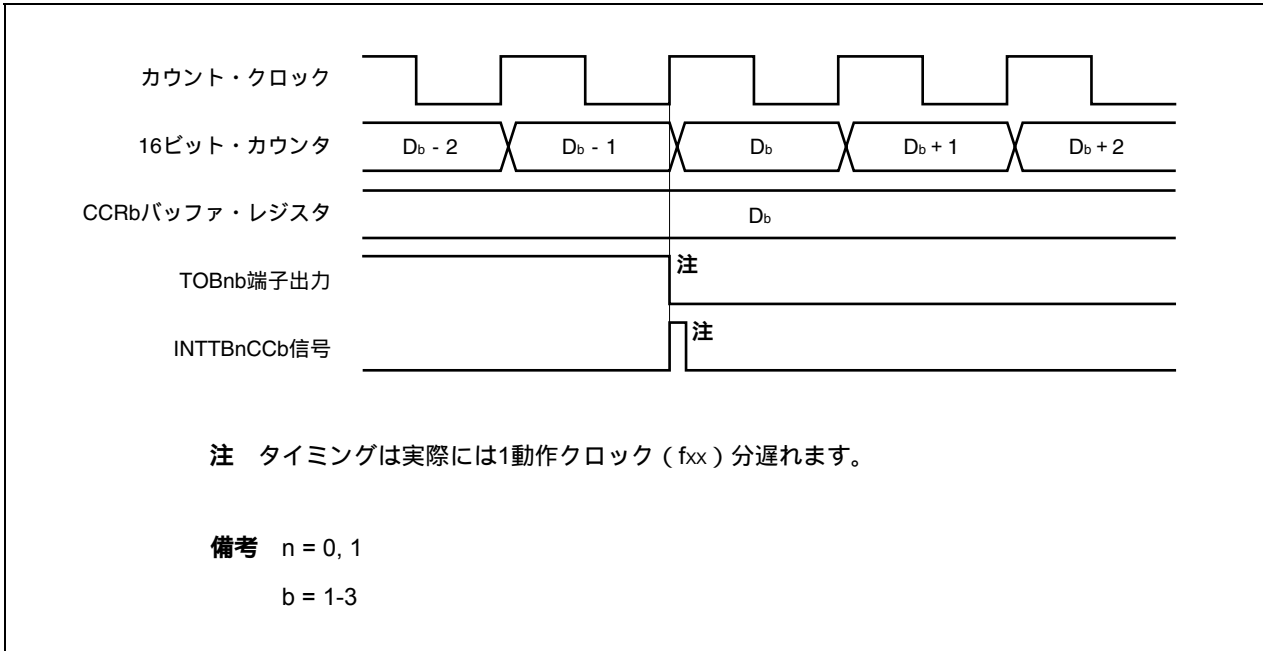


INTTBnCC0信号発生直前にトリガを検出した場合、INTTBnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOBnb端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTTBnCCb) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTBnCCb信号の発生タイミングは、ほかのモードのINTTBnCCb信号と異なり、16ビット・カウンタのカウンタ値とCCRbバッファ・レジスタの値との一致と同時に発生します。



通常、INTTBnCCb信号は、16ビット・カウンタのカウンタ値とCCRbバッファ・レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOBnb端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 7.6.4 ワンショット・パルス出力モード (TABnMD2-TABnMD0ビット = 011)

ワンショット・パルス出力モードは、TABnCTL0.TABnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力 (TRGBn) の有効エッジを検出すると、カウント動作を開始し、TOBn1-TOBn3端子からワンショット・パルスを出力します。TOBn0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。

図7-24 ワンショット・パルス出力モードの構成図

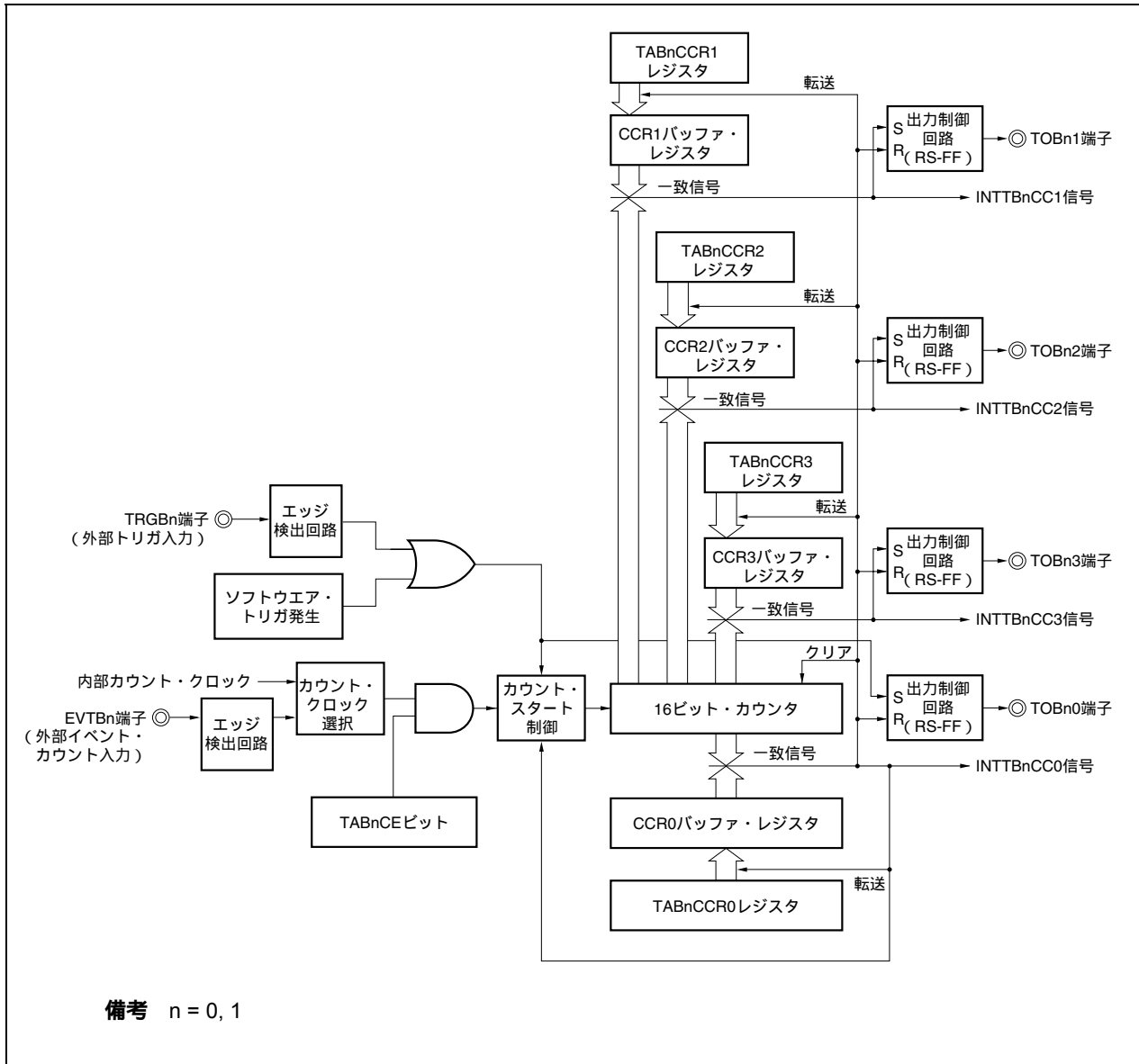
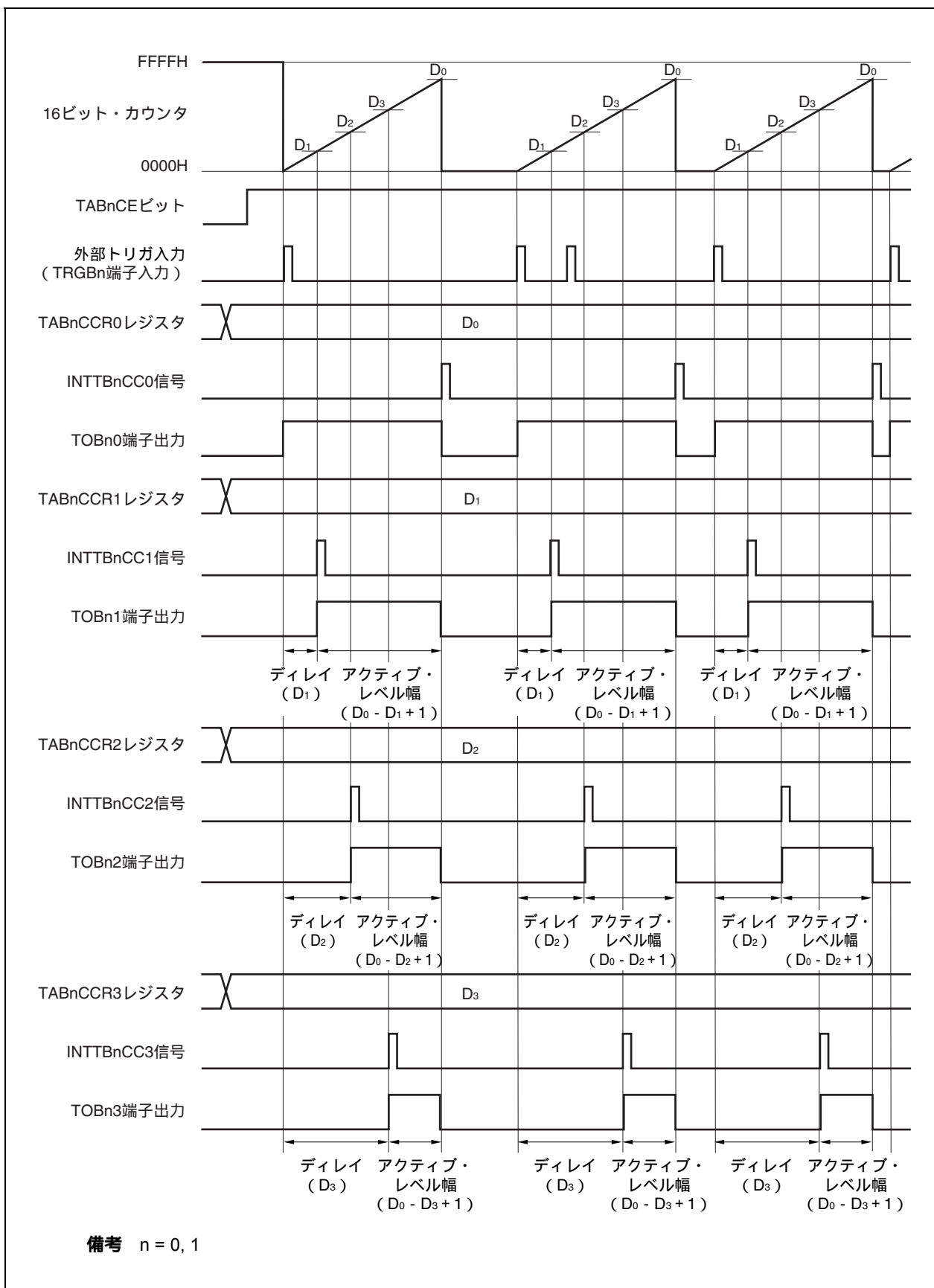




図7-25 ワンショット・パルス出力モードの基本タイミング



TABnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOBnb端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hよりカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力ディレイ期間} = (\text{TABnCCRbレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{アクティブ・レベル幅} = (\text{TABnCCR0レジスタの設定値} - \text{TABnCCRbレジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

コンペアー一致割り込み要求信号 (INTTBnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTBnCCb) は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (TRGBn) の有効エッジ、またはソフトウェア・トリガ (TABnCTL1.TABnESTビット) のセット(1)があります。

備考 n = 0, 1, b = 1-3

図7 - 26 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/3)

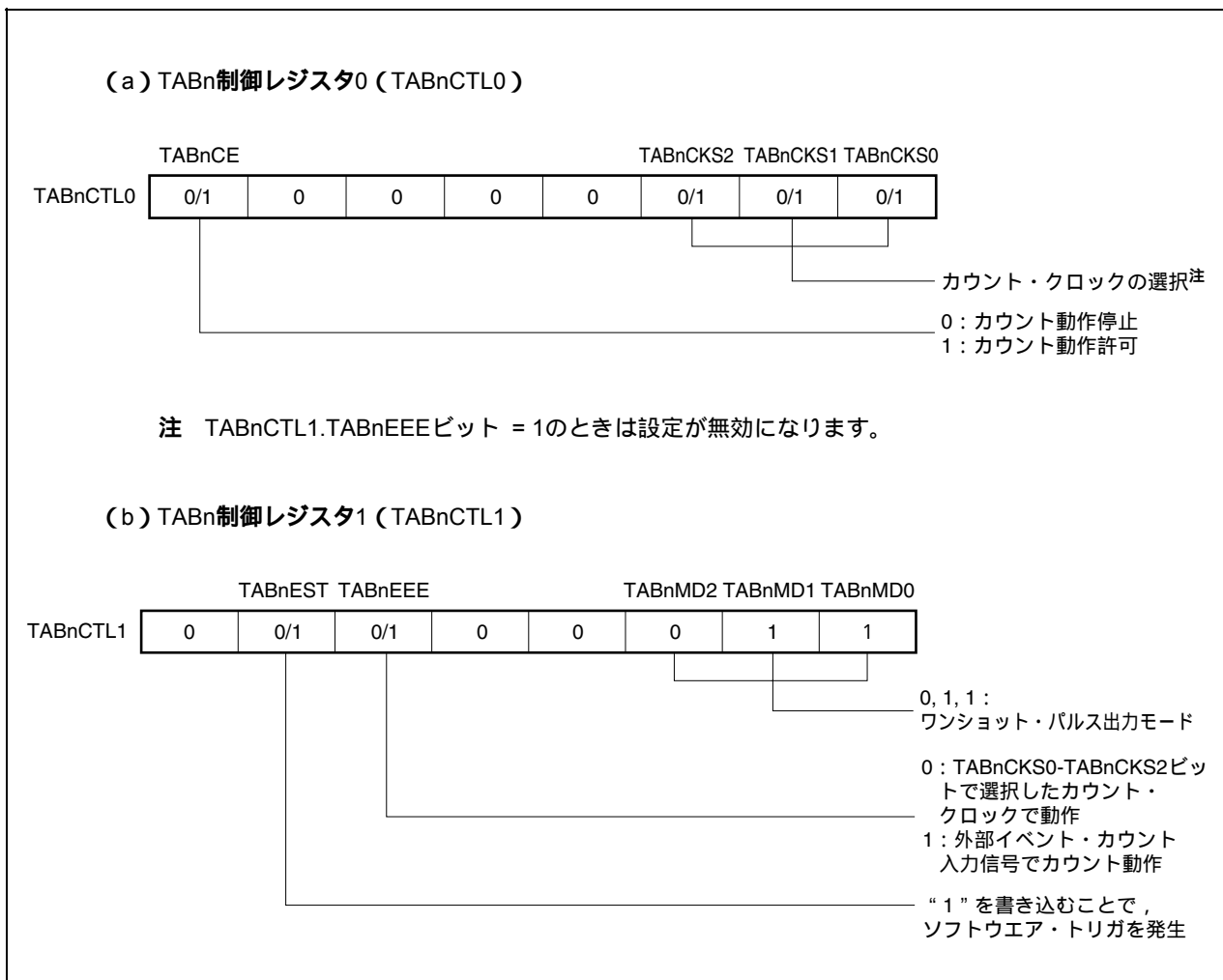


図7-26 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/3)

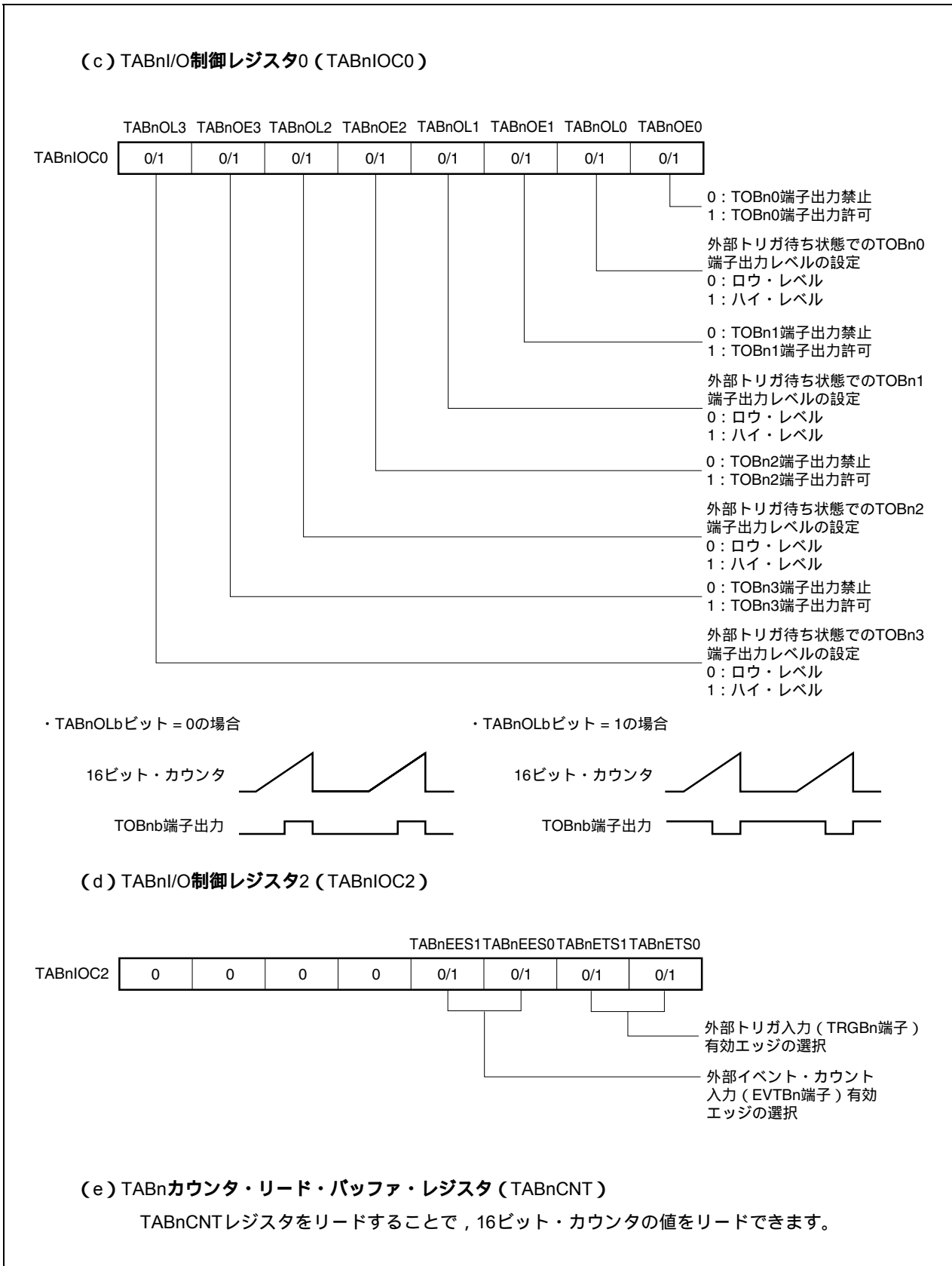


図7 - 26 ワンショット・パルス出力モード動作時のレジスタ設定内容 (3/3)

**(f) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)**

TABnCCR0レジスタにD<sub>0</sub>を設定し, TABnCCRbレジスタにD<sub>b</sub>を設定した場合,

ワンショット・パルスのアクティブ・レベル幅 = (D<sub>0</sub> - D<sub>b</sub> + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = D<sub>b</sub> × カウント・クロック周期

となります。

**注意** ワンショット・パルス出力モードにおいて, TABnCCRbレジスタの設定値が, TABnCCR0レジスタの設定値より大きい場合, ワンショット・パルスは出力しません。

**備考1.** TABnI/O制御レジスタ1 (TABnIOC1), TABnオプション・レジスタ0 (TABnOPT0) は, ワンショット・パルス出力モードでは使用しません。

2. n = 0, 1

b = 1-3

(1) ワンショット・パルス出力モード動作フロー

図7-27 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (1/2)

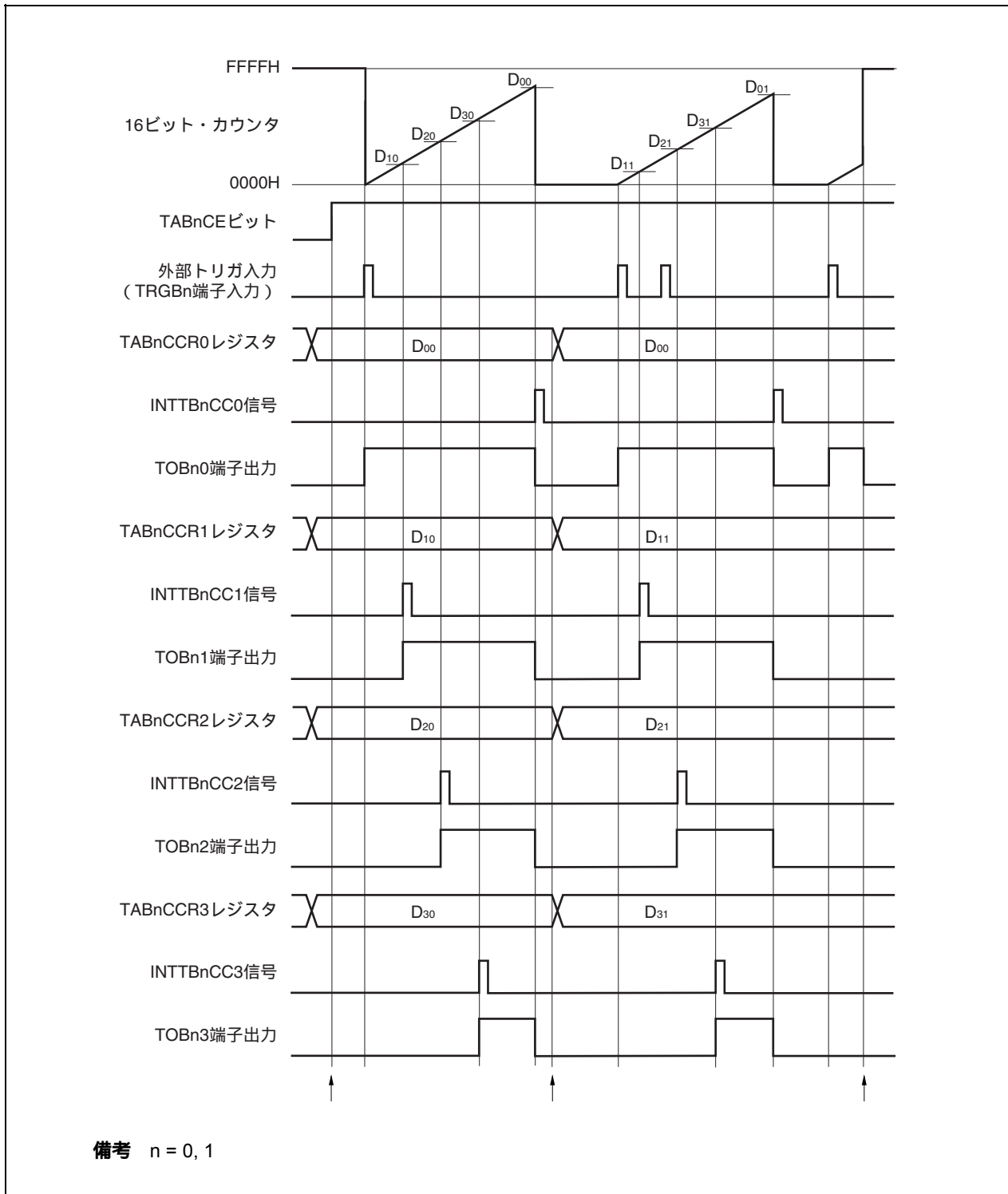
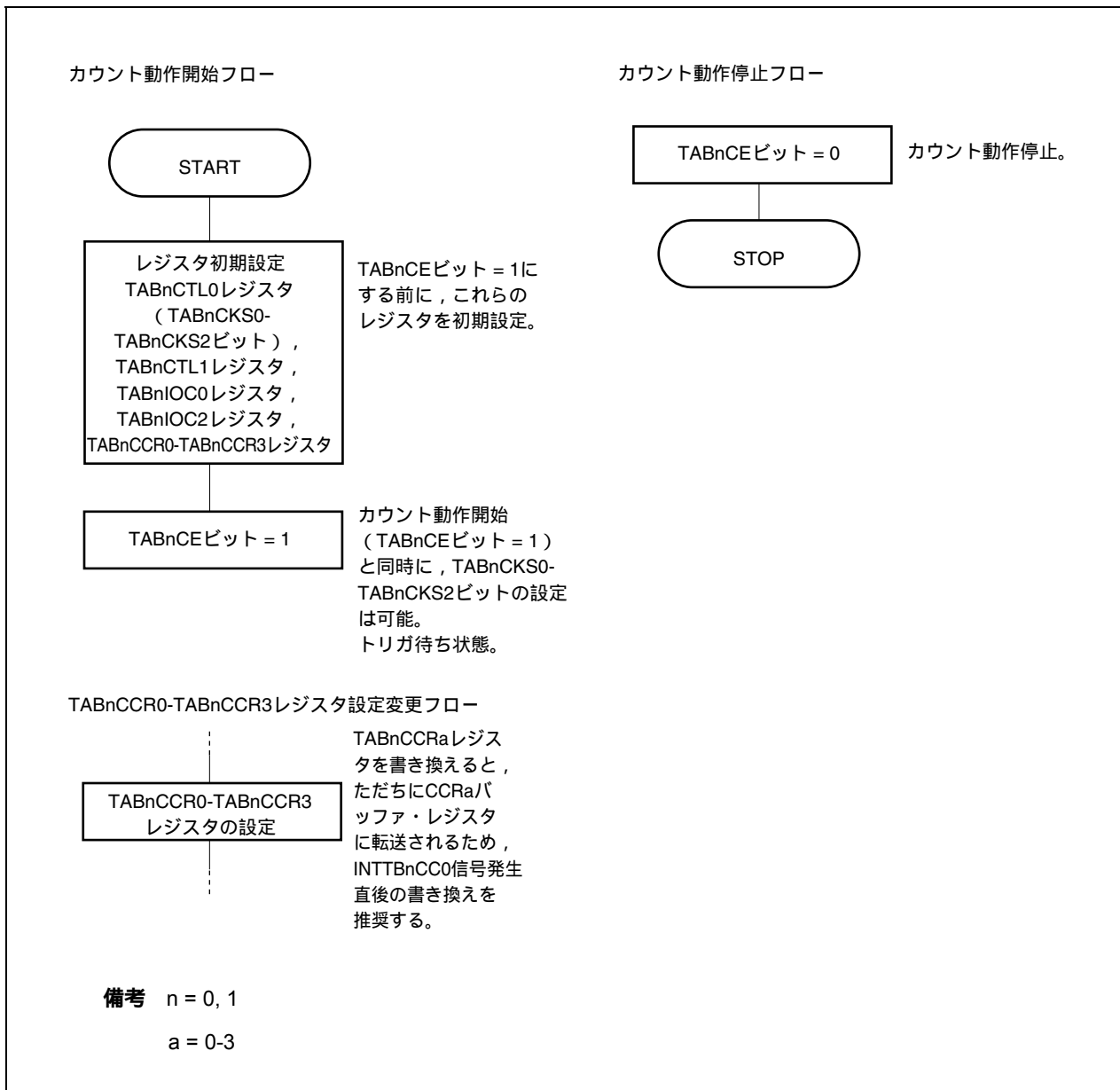


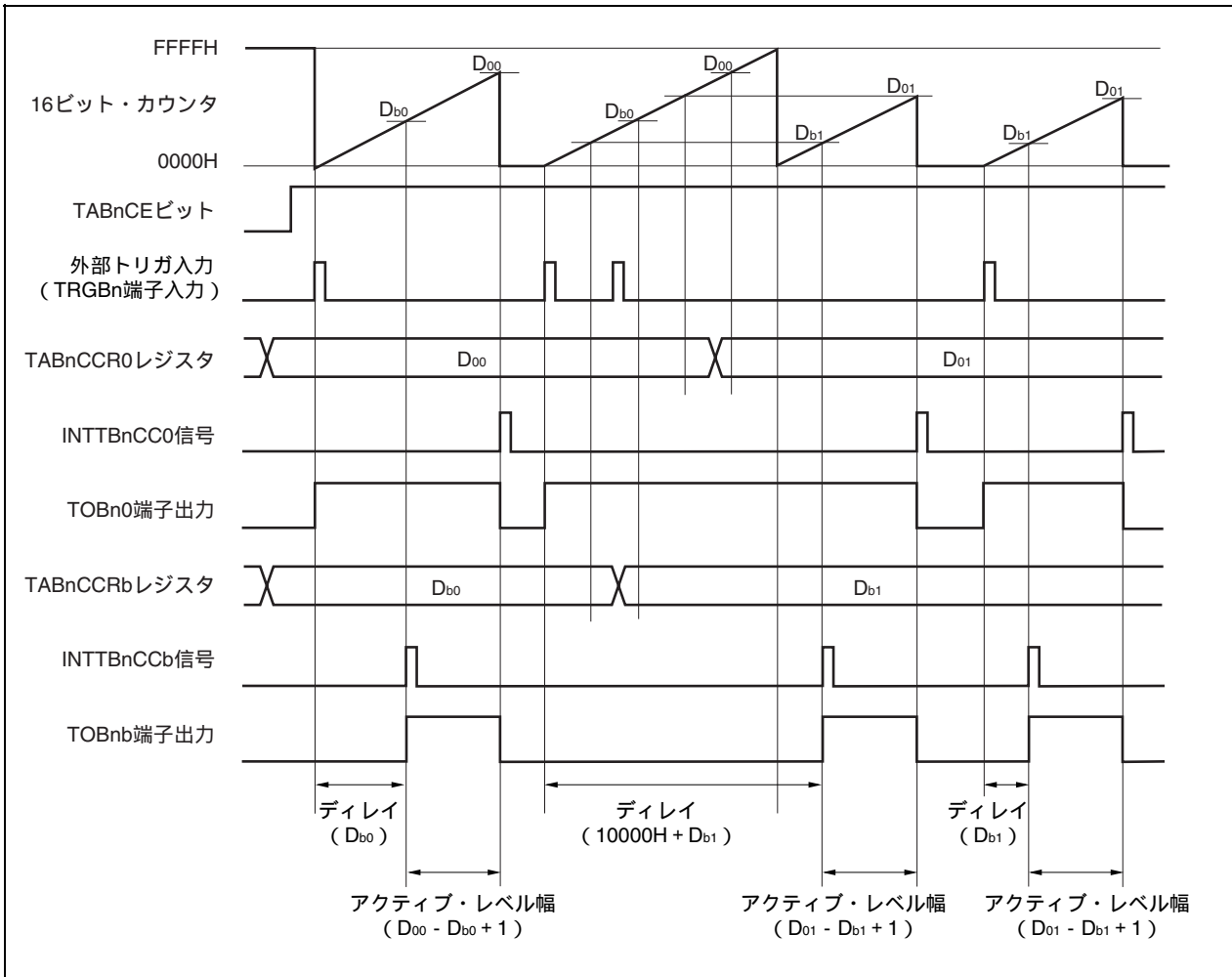
図7-27 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (2/2)



(2) ワンショット・パルス出力モード動作タイミング

(a) TABnCCRaレジスタの書き換えに関する注意事項

カウント動作中にTABnCCRaレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



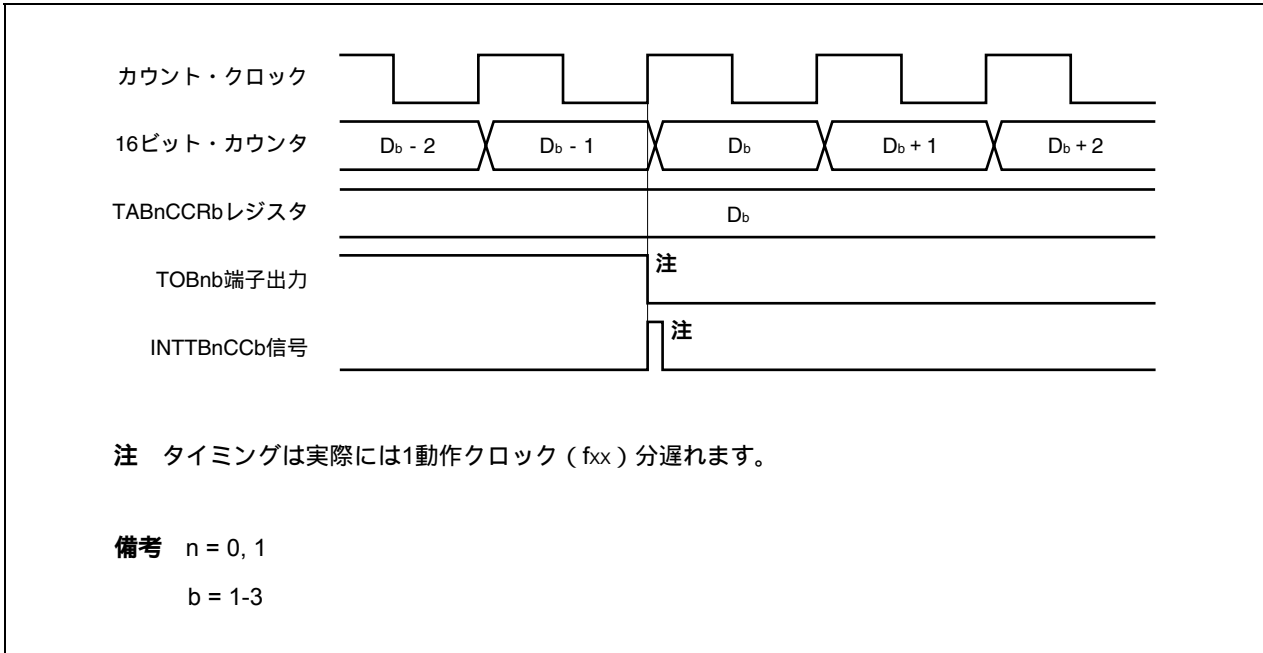
TABnCCR0レジスタをD00からD01に、TABnCCRbレジスタをD00からD01に書き換える場合において、 $D_{00} > D_{01}$ 、 $D_{b0} > D_{b1}$ の状態では、16ビット・カウンタのカウント値が $D_{b1}$ よりも大きく $D_{b0}$ よりも小さい状態のときTABnCCRbレジスタを書き換え、カウント値が $D_{01}$ よりも大きく $D_{00}$ よりも小さい状態でTABnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、 $D_{b1}$ との一致でINTTBnCCb信号を発生してTOBnb端子出力をアクティブ・レベルにし、 $D_{01}$ との一致でINTTBnCC0信号を発生してTOBnb端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、遅延期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 n = 0, 1, a = 0-3, b = 1-3

(b) コンパレー一致割り込み要求信号 (INTTBnCCb) の発生タイミング

ワンショット・パルス出力モードにおけるINTTBnCCb信号の発生タイミングは、ほかのモードのINTTBnCCb信号と異なり、16ビット・カウンタのカウンタ値とTABnCCRbレジスタの値との一致と同時に発生します。



通常、INTTBnCCb信号は、16ビット・カウンタのカウンタ値とTABnCCRbレジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOBnb端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。



### 7.6.5 PWM出力モード (TABnMD2-TABnMD0ビット = 100)

PWM出力モードは、TABnCTL0.TABnCEビットをセット (1) することで、TOBn1-TOBn3端子からPWM波形を出力します。

また、TOBn0端子から、TABnCCR0レジスタの設定値 + 1を半周期とする50 %デューティのPWM波形を出力します。

図7 - 28 PWM出力モードの構成図

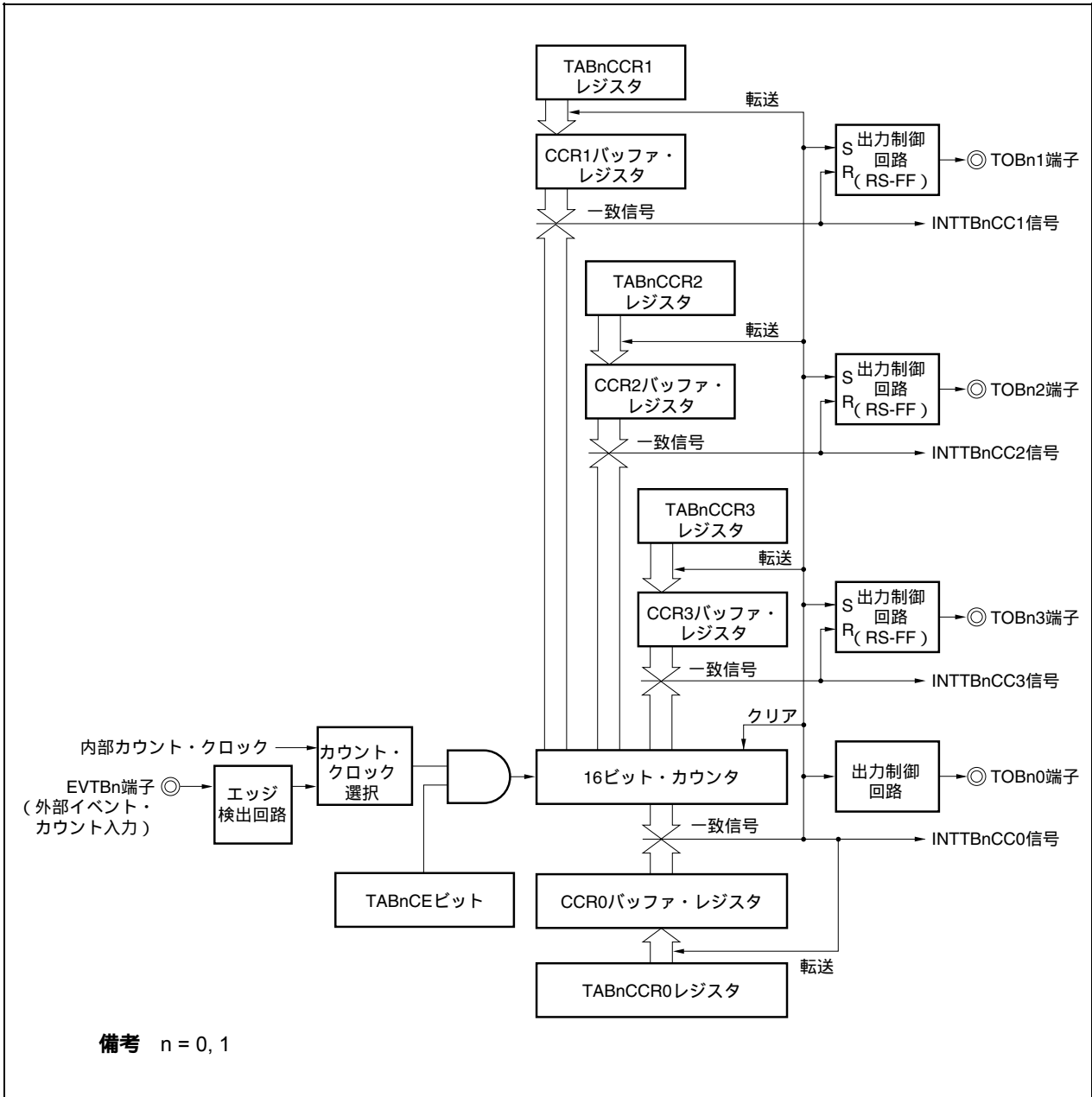
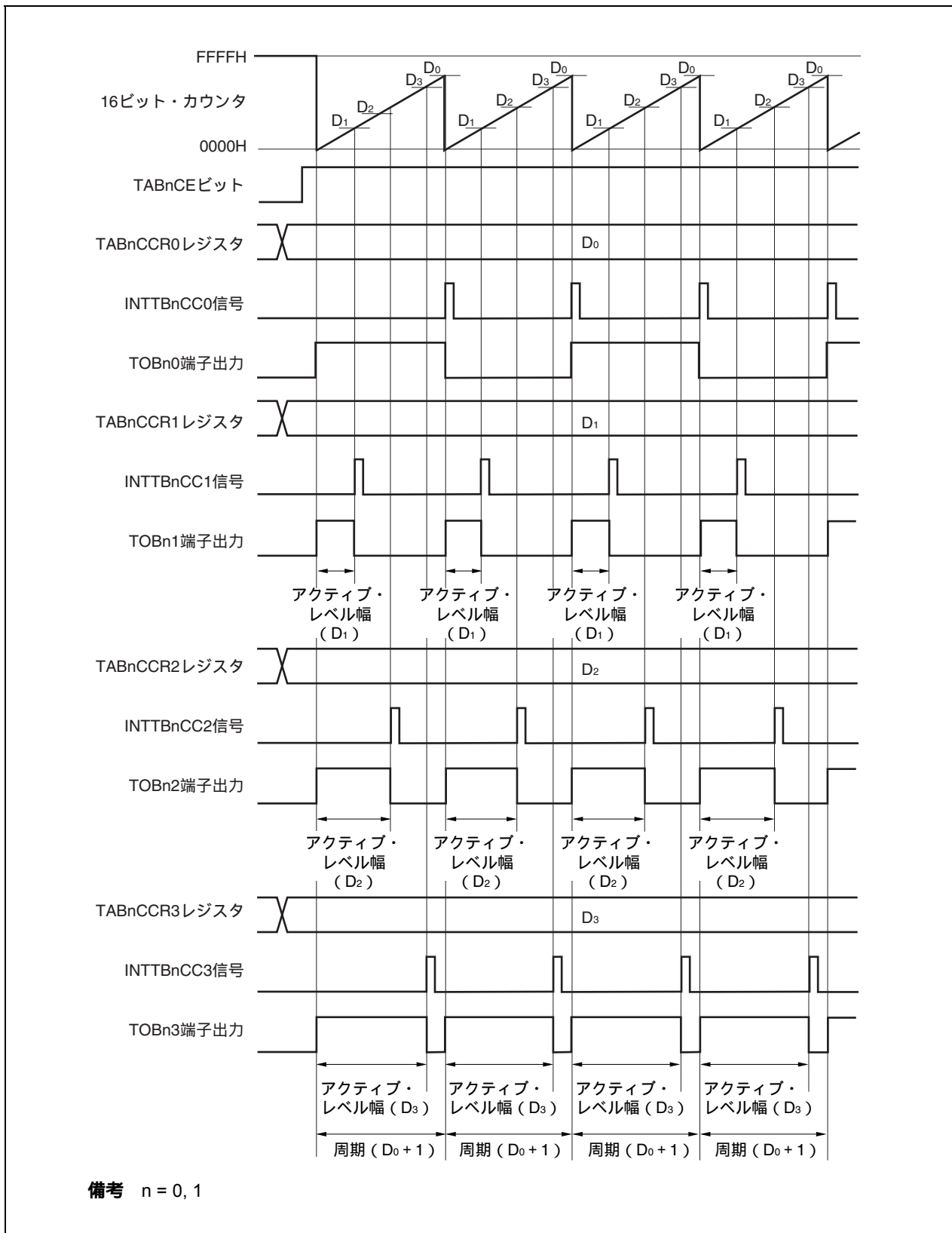


図7-29 PWM出力モードの基本タイミング



TABnCEビットをセット (1) することで, 16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し, TOBnb端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅, 周期, およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TABnCCRbレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TABnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TABnCCRbレジスタの設定値}) / (\text{TABnCCR0レジスタの設定値} + 1)$$

動作中にTABnCCRaレジスタを書き換えることにより, PWM波形を変更できます。書き換えた値は, 16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し, 16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTTBnCC0) は, 16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し, 同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTBnCCb) は, 16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値が一致するタイミングで発生します。

**備考** n = 0, 1  
 a = 0-3  
 b = 1-3

図7 - 30 PWM出力モード動作時のレジスタ設定内容 (1/3)

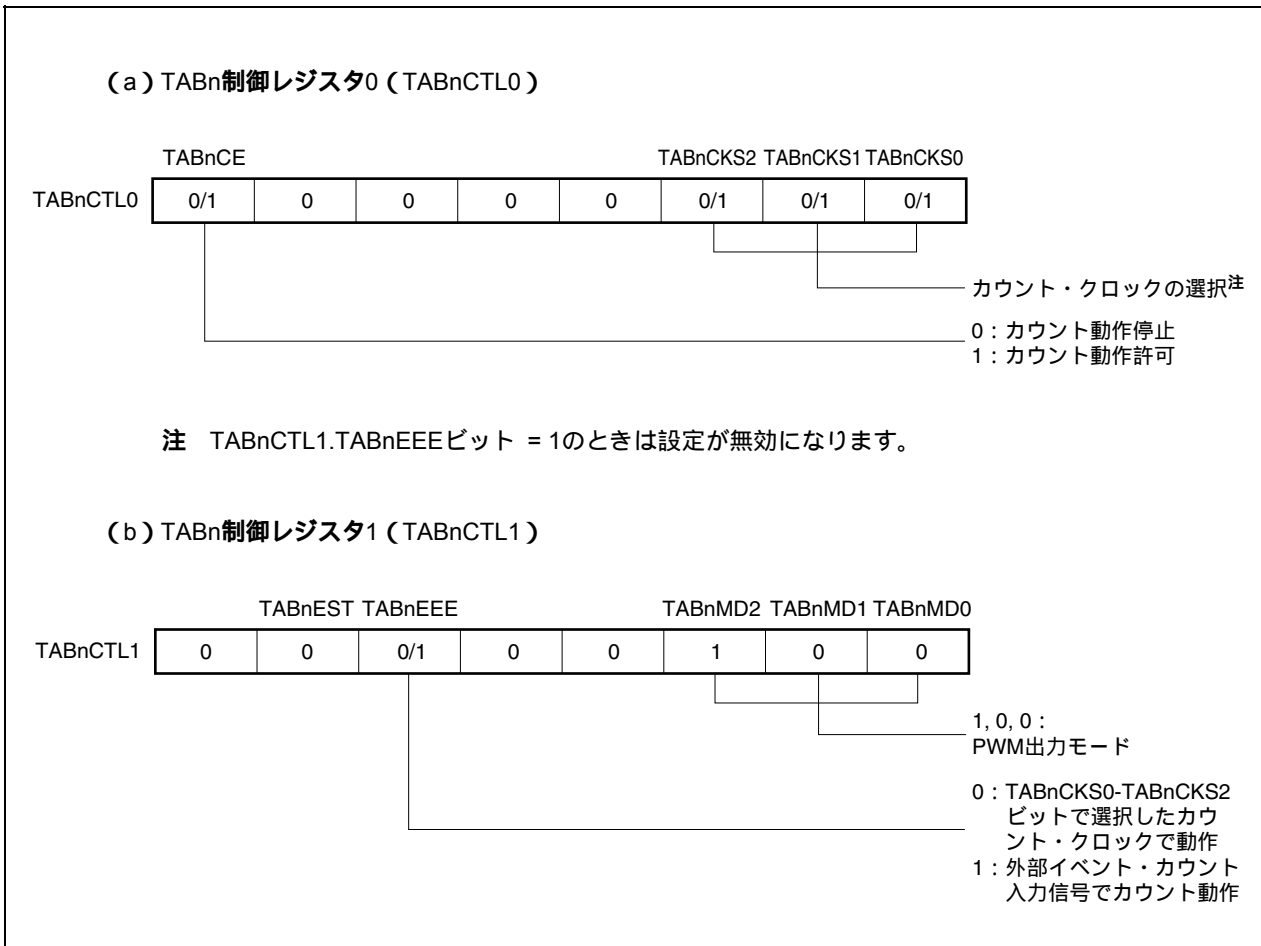


図7 - 30 PWM出力モード動作時のレジスタ設定内容 (2/3)

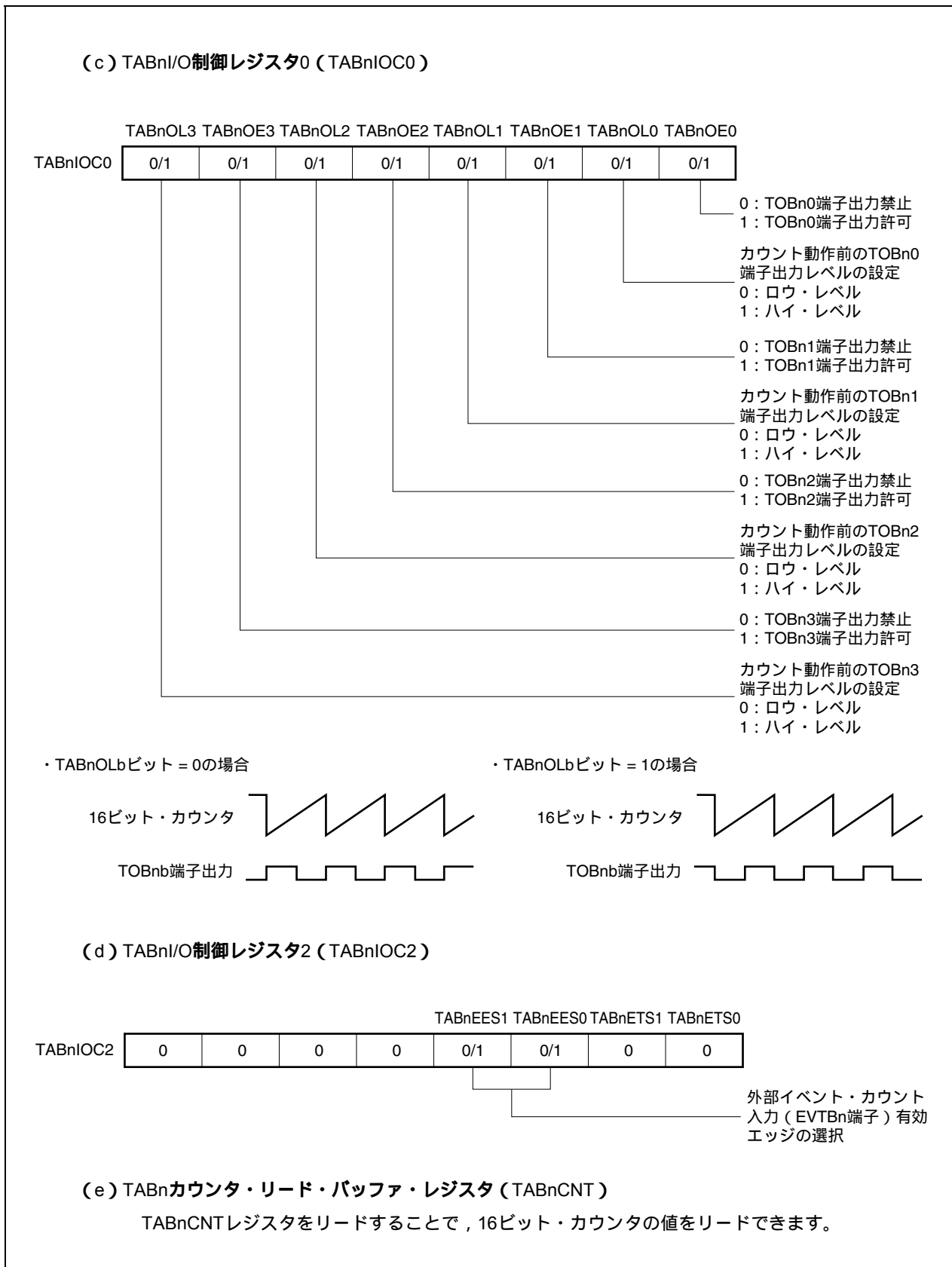


図7 - 30 PWM出力モード動作時のレジスタ設定内容 (3/3)

**(f) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)**

TABnCCR0レジスタにD<sub>0</sub>を設定し, TABnCCRbレジスタにD<sub>b</sub>を設定した場合,

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_b \times \text{カウント} \cdot \text{クロック周期}$$

となります。

**備考1.** TABnI/O制御レジスタ1 (TABnIOC1), TABnオプション・レジスタ0 (TABnOPT0) は, PWM出力モードでは使用しません。

2. n = 0, 1

b = 1-3

(1) PWM出力モード動作フロー

図7 - 31 PWM出力モード使用時のソフトウェア処理フロー (1/2)

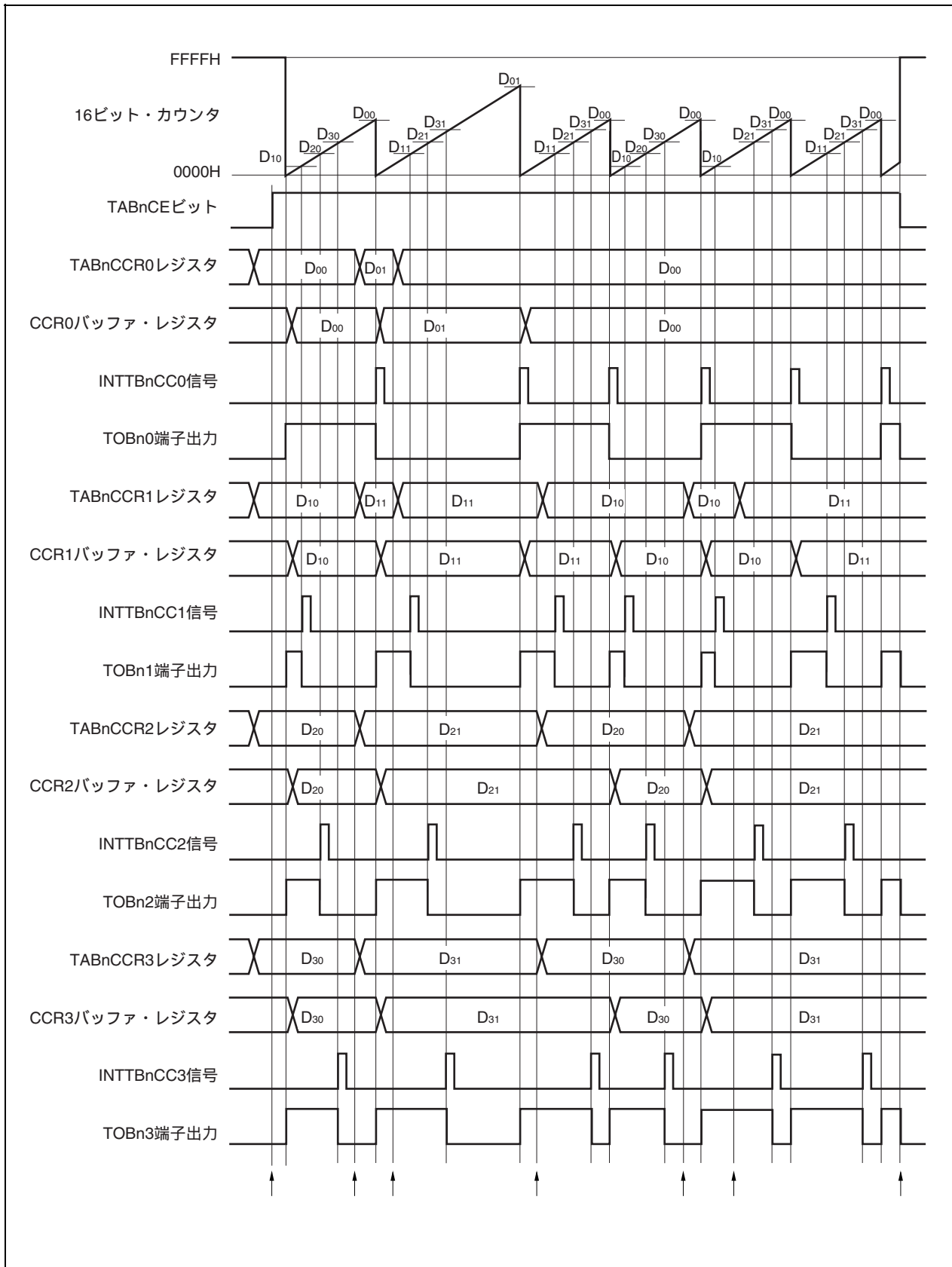
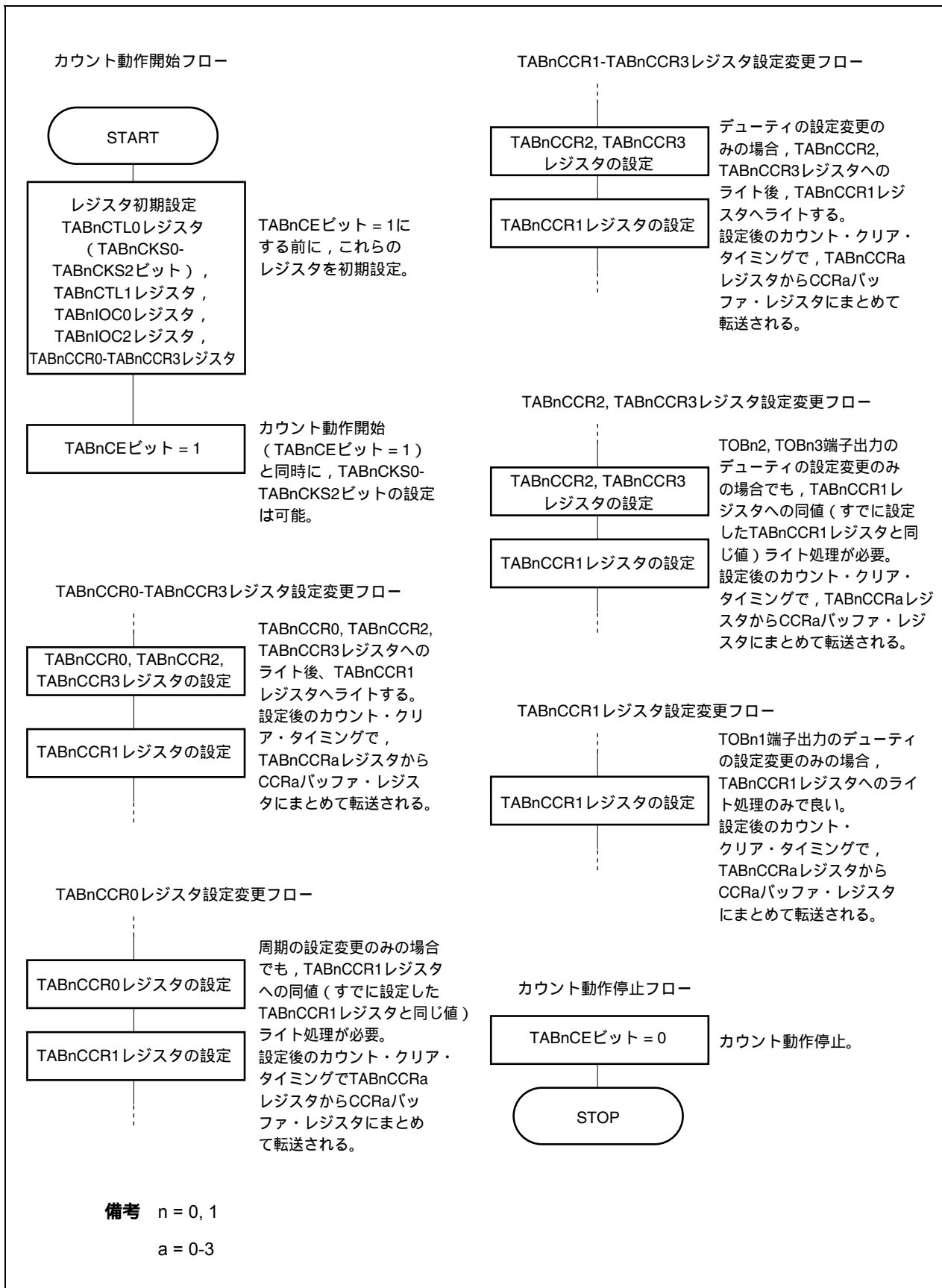


図7 - 31 PWM出力モード使用時のソフトウェア処理フロー (2/2)

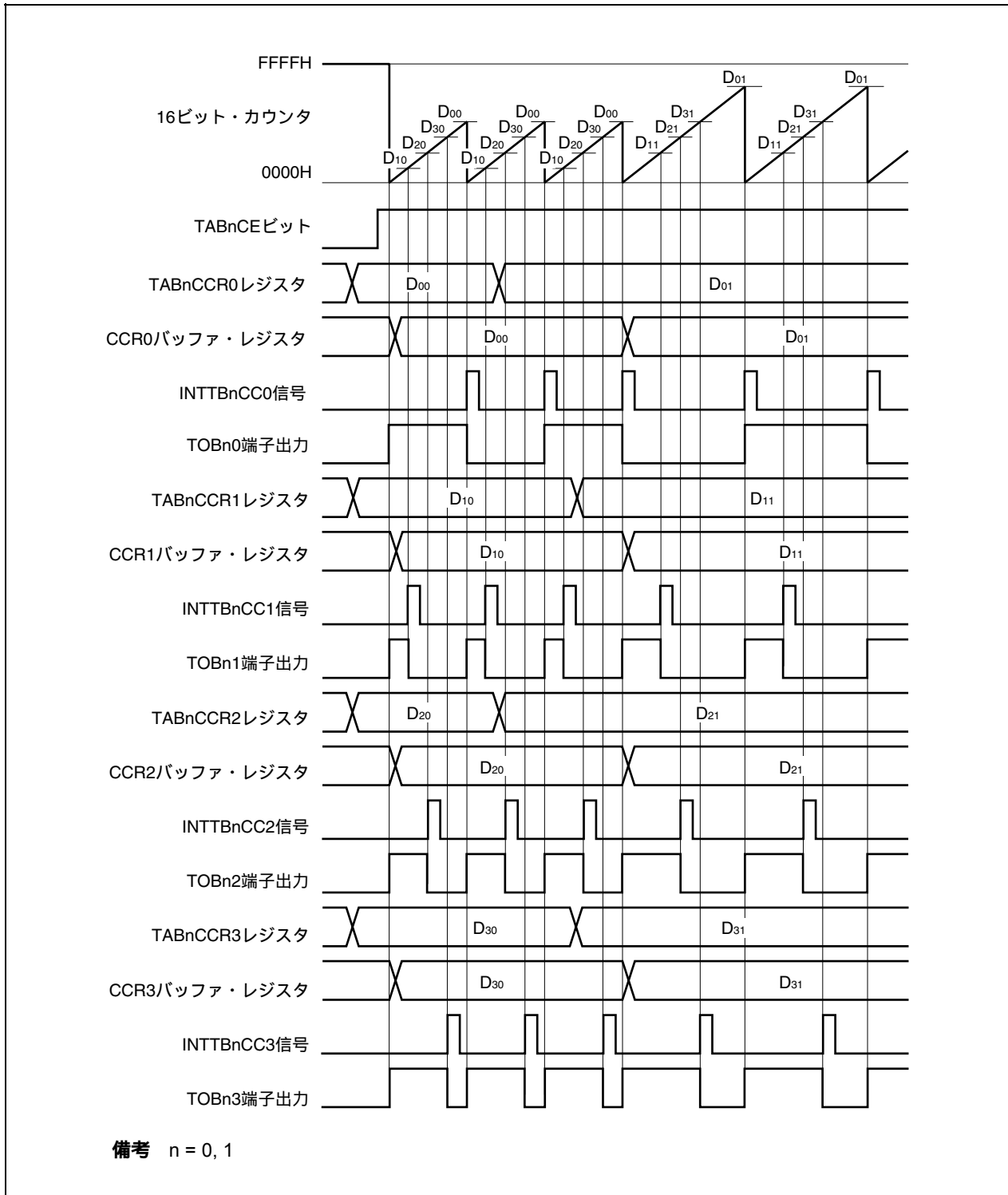


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTABnCCR1レジスタにライトしてください。

TABnCCR1レジスタにライト後、再度TABnCCRaレジスタの書き換えを行う場合には、INTTBnCC0信号を検出後に書き換えてください。





TABnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TABnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTABnCCR0レジスタに周期を、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTABnCCR0レジスタに周期を設定し、そのあとでTABnCCR1レジスタに同値（すでに設定したTABnCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合には、まず、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

TOBn1端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TABnCCR1レジスタのみの設定でかまいません。

TOBn2、TOBn3端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、まずTABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTABnCCR1レジスタに同値（すでに設定したTABnCCR1レジスタと同じ値）をライトしてください。

TABnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TABnCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

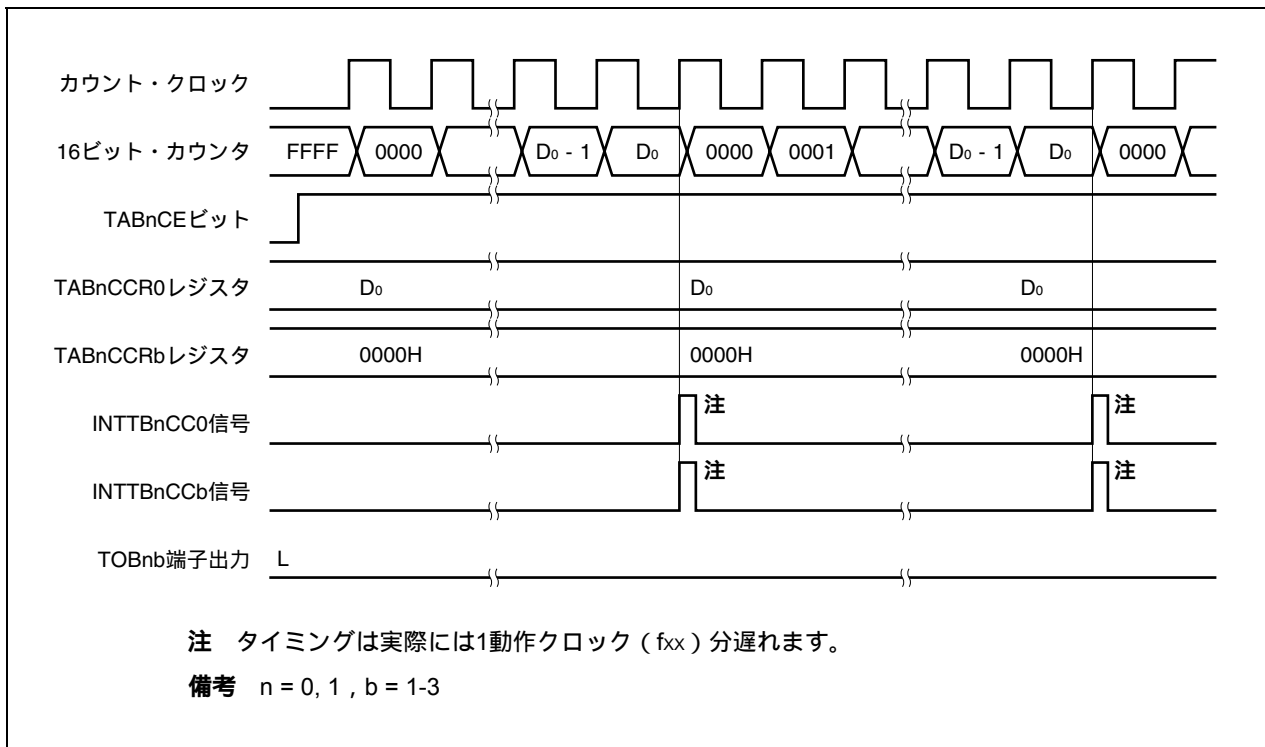
また、一度TABnCCR1レジスタにライトしたあとで、再度TABnCCR0-TABnCCR3レジスタへのライトを行う場合は、INTTBnCC0信号の発生後に行ってください。これを守れない場合には、TABnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TABnCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

**備考** n = 0, 1

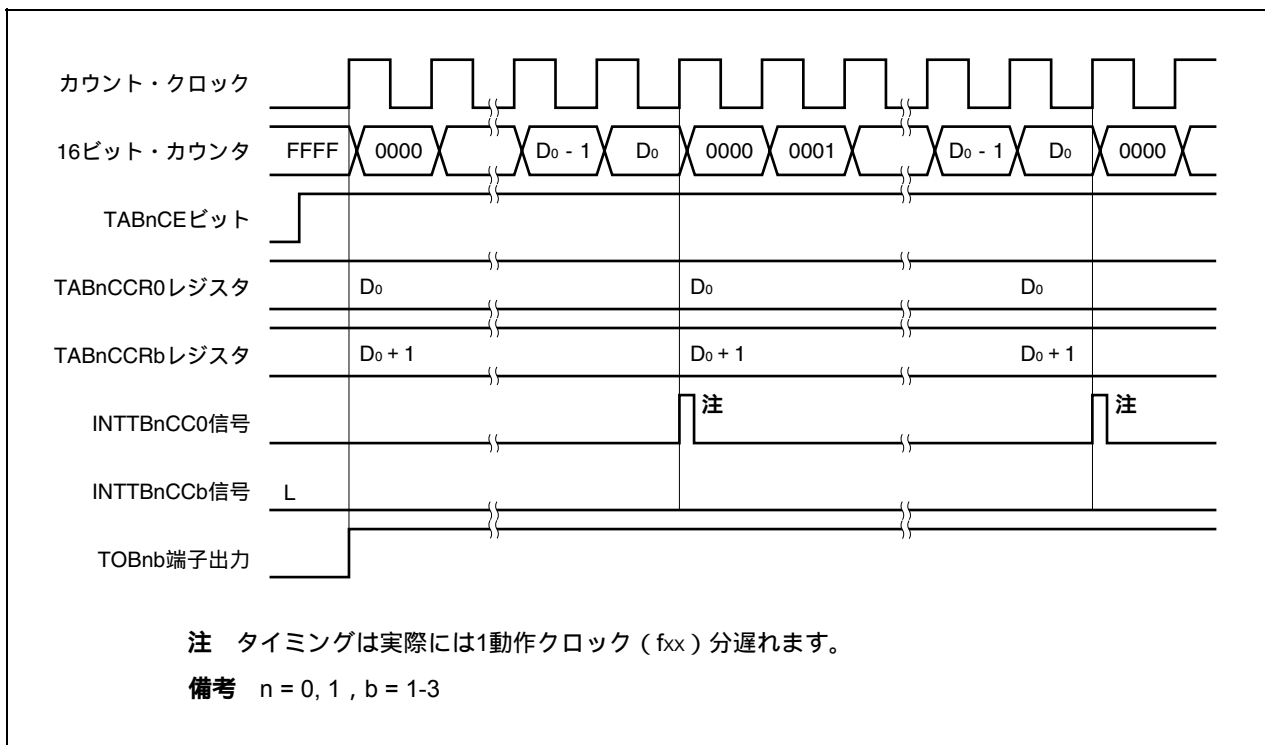
a = 0-3

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TABnCCRbレジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTBnCC0信号とINTTBnCCb信号が発生します。

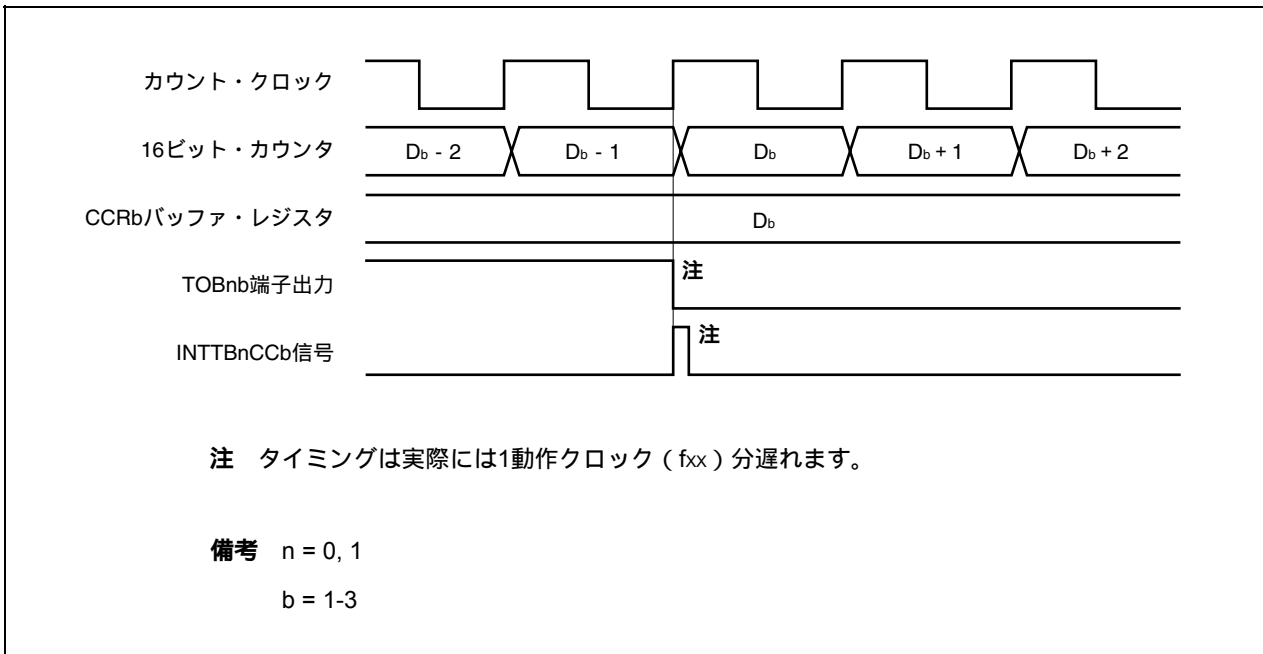


100 % 波形を出力するためには、TABnCCRbレジスタに対して (TABnCCR0レジスタの設定値 + 1) の値を設定してください。TABnCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTBnCCb) の発生タイミング

PWM出力モードにおけるINTTBnCCb信号の発生タイミングは、ほかのモードのINTTBnCCb信号と異なり、16ビット・カウンタのカウンタ値とTABnCCRbレジスタの値との一致と同時に発生します。



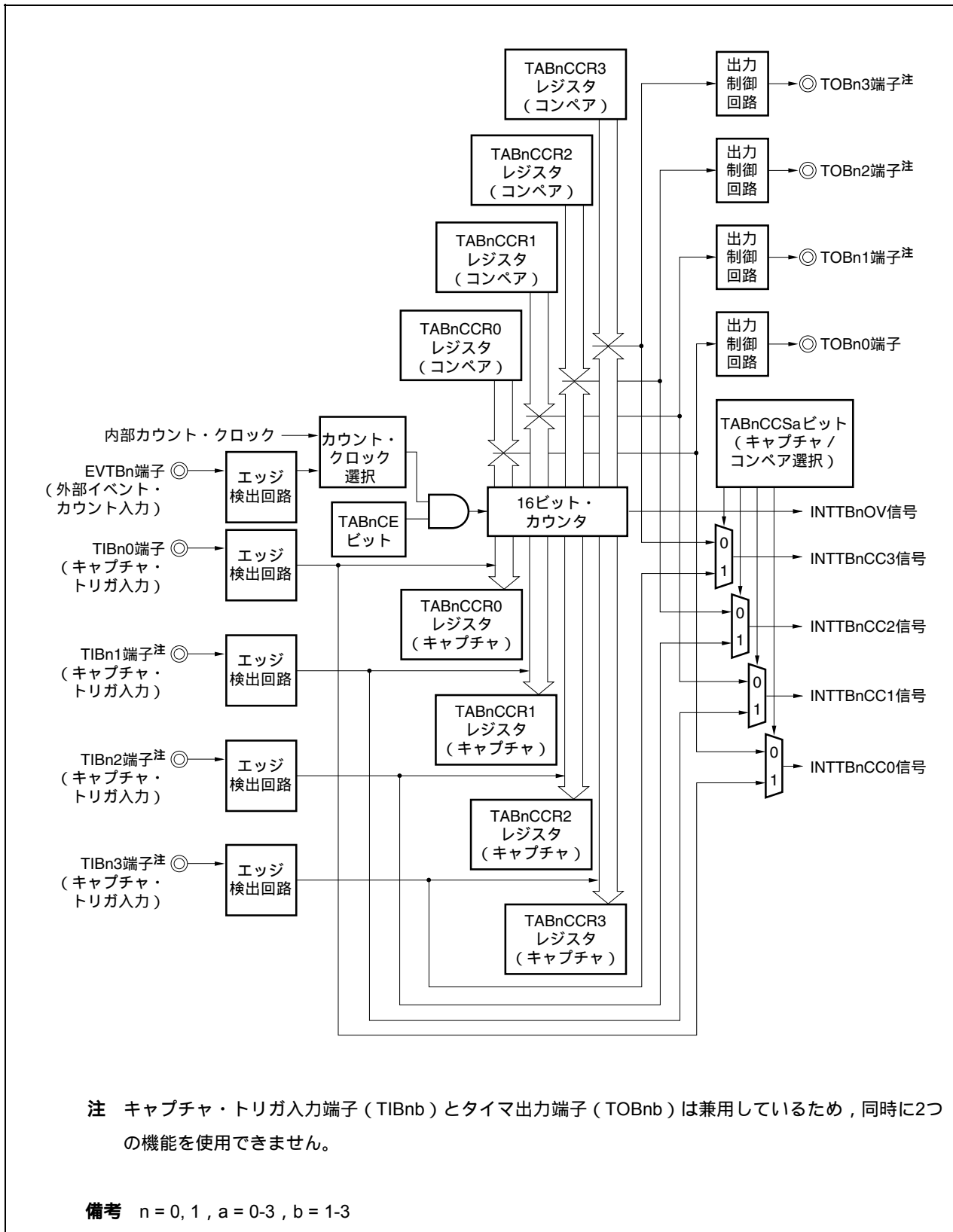
通常、INTTBnCCb信号は、16ビット・カウンタのカウンタ値とTABnCCRbレジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOBnb端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 7.6.6 フリー・ランニング・タイマ・モード (TABnMD2-TABnMD0ビット = 101)

フリー・ランニング・タイマ・モードは、TABnCTL0.TABnCEビットをセット(1)することでカウント動作を開始します。このときのTABnCCRaレジスタの動作は、TABnOPT0.TABnCCSaビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図7-32 フリー・ランニング・タイマ・モードの構成図



注 キャプチャ・トリガ入力端子 (TIBnb) とタイマ出力端子 (TOBnb) は兼用しているため、同時に2つの機能を使用できません。

備考 n = 0, 1, a = 0-3, b = 1-3

## ・コンペア動作

TABnCEビットをセット(1)することで、カウント動作を開始し、TOBn0-TOBn3端子出力を反転します。その後、16ビット・カウンタのカウント値とTABnCCRaレジスタの設定値が一致すると、コンペア一致割り込み要求信号(INTTBnCCa)を発生し、TOBn0-TOBn3端子出力を反転します。

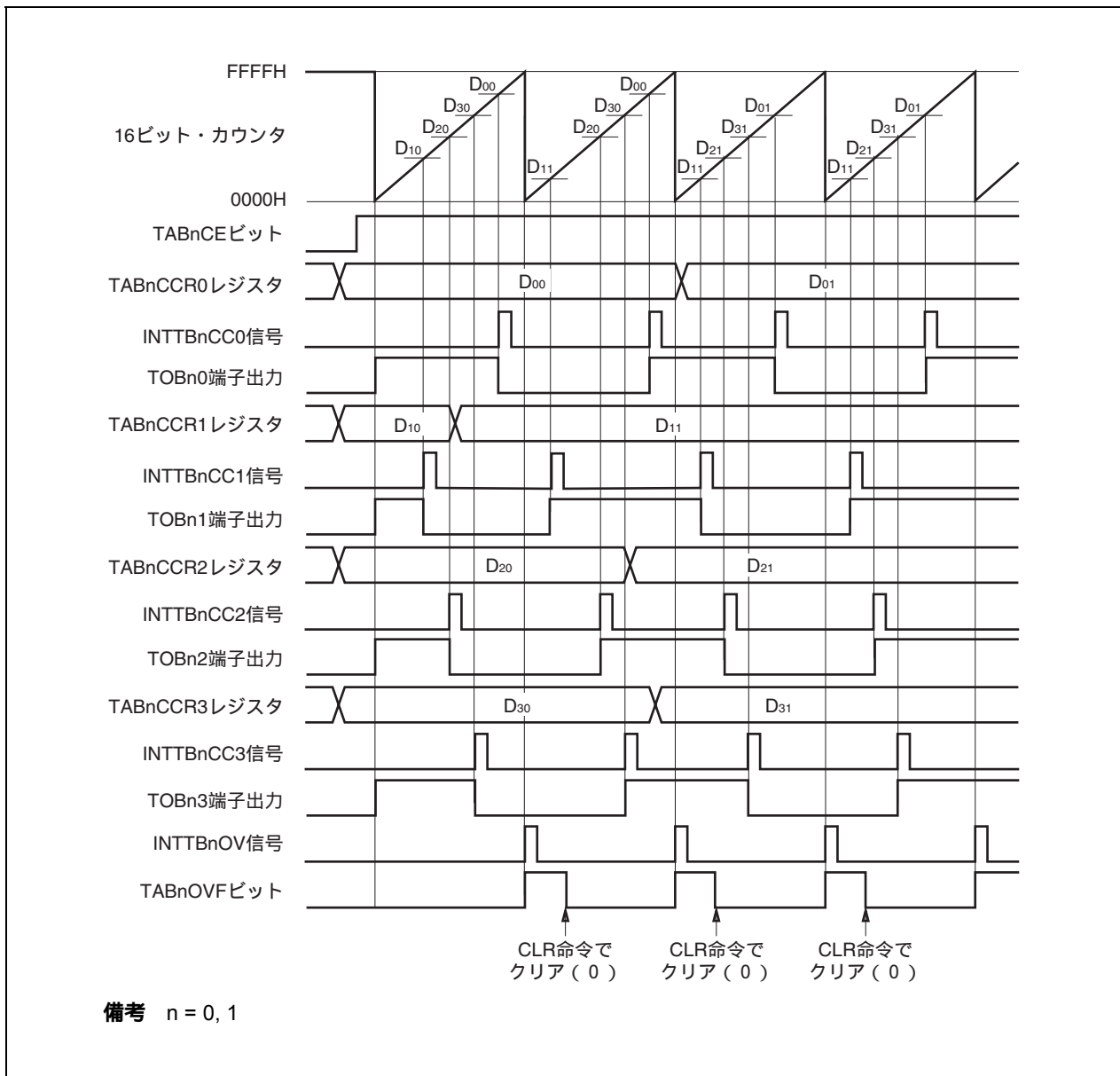
16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTBnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TABnOPT0.TABnOVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されているのを確認してから、ソフトウェアでCLR命令を実行してクリア(0)してください。

TABnCCRaレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き込みにより値が即反映され、カウント値と比較されます。

**備考** n = 0, 1

a = 0-3

図7-33 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



・キャプチャ動作

TABnCEビットをセット (1) することで、カウント動作を開始します。その後、TIBna端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTABnCCRaレジスタに格納し、キャプチャ割り込み要求信号 (INTTBnCCa) を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号 (INTTBnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TABnOPT0.TABnOVFビット) もセット (1) されます。オーバフロー・フラグがセット (1) されていることを確認してから、ソフトウェアでCLR命令を実行してクリア (0) してください。

図7-34 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)

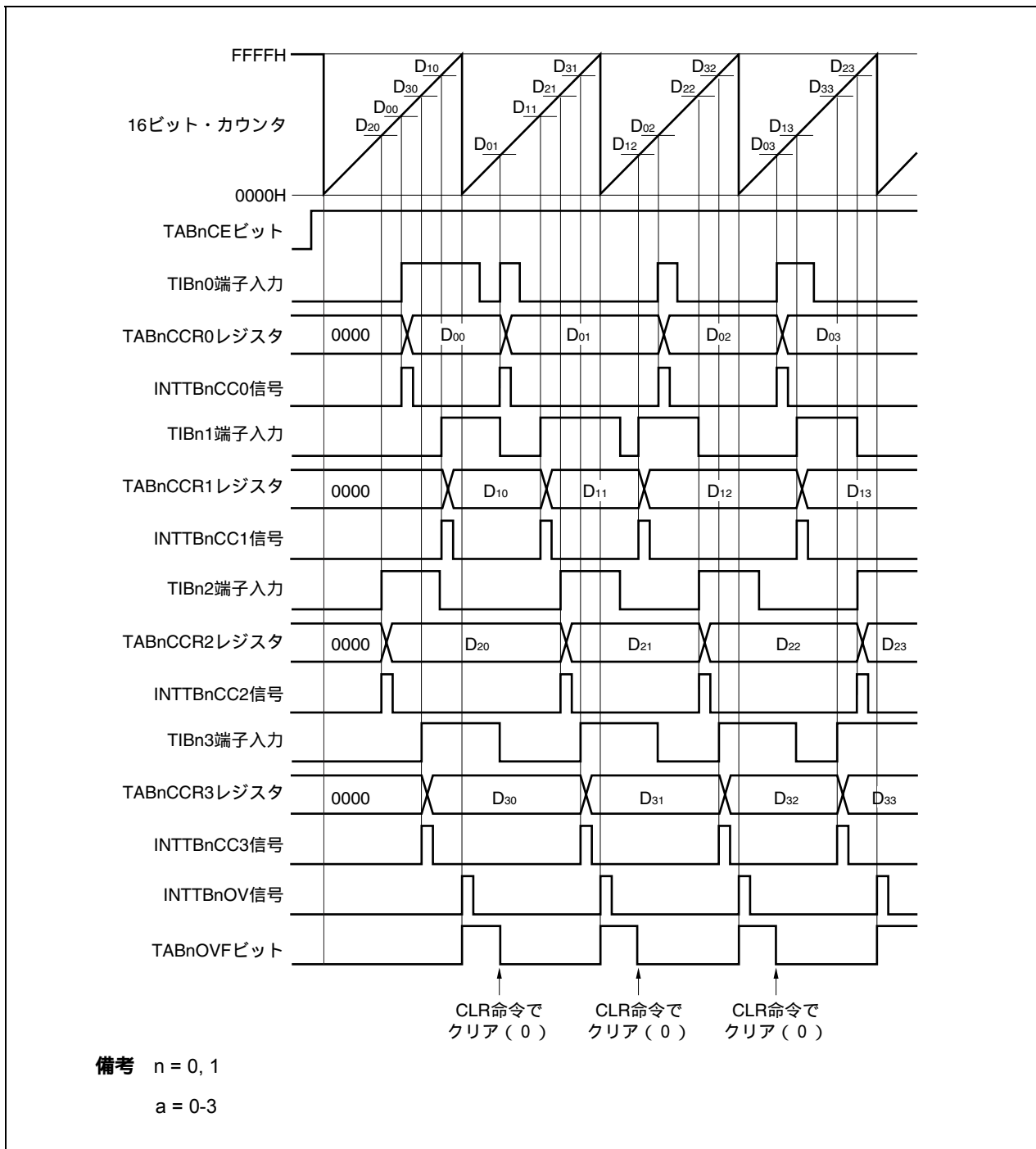


図7 - 35 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

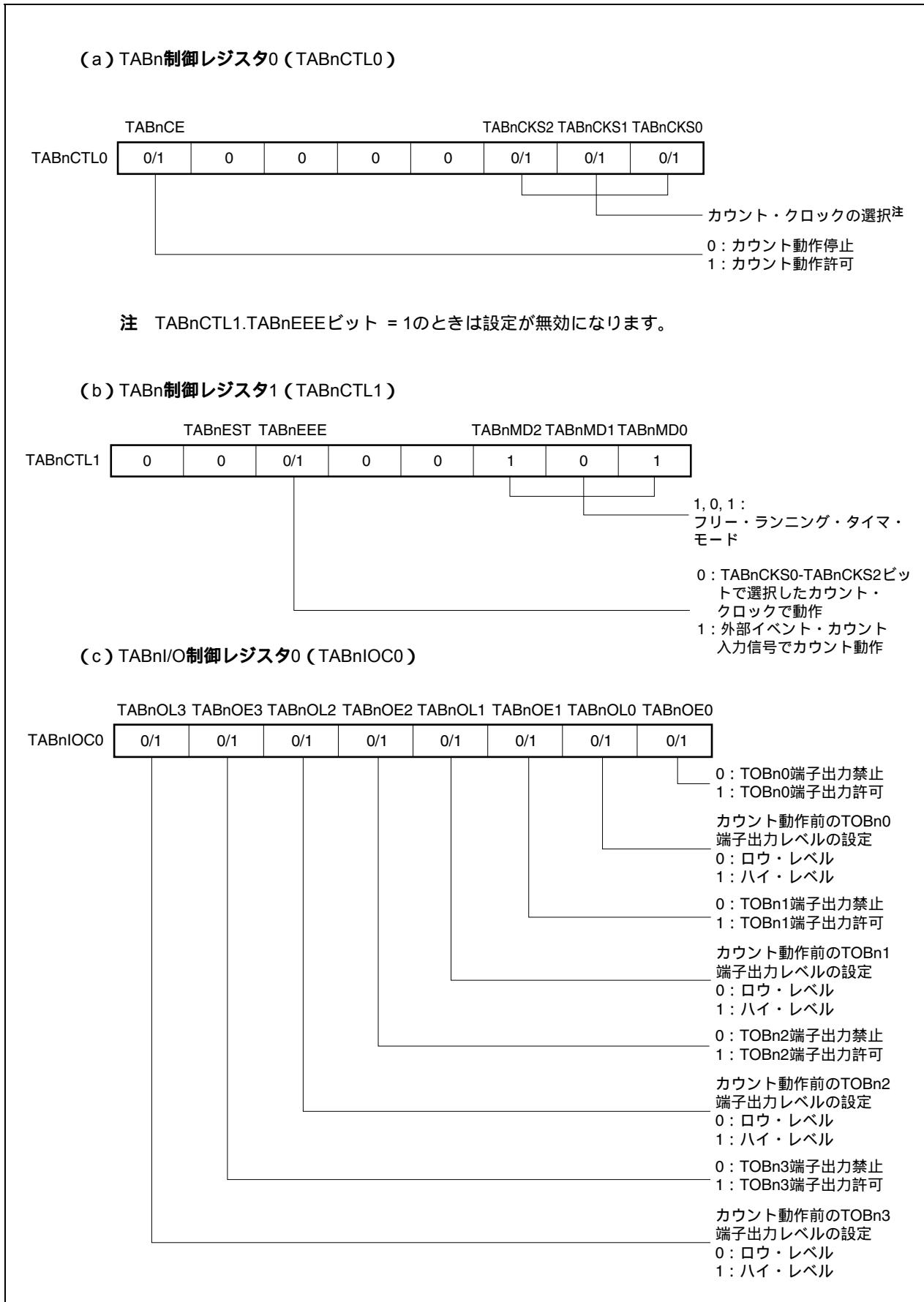
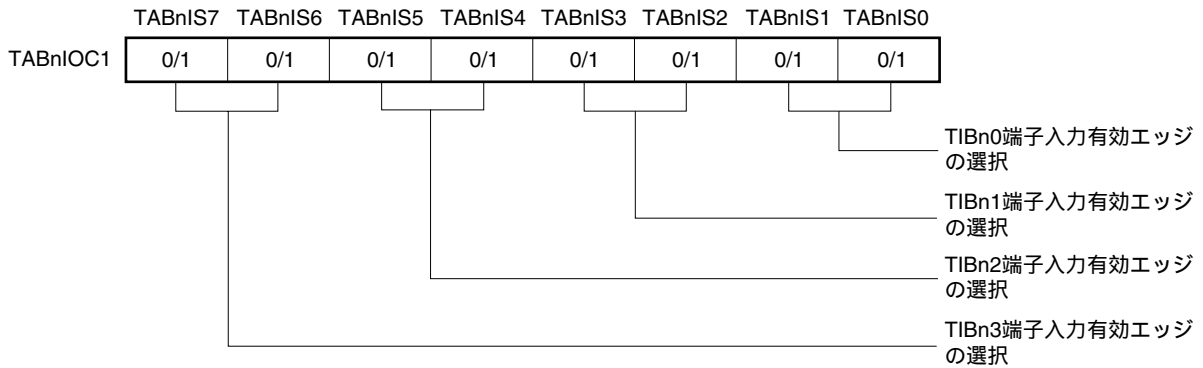


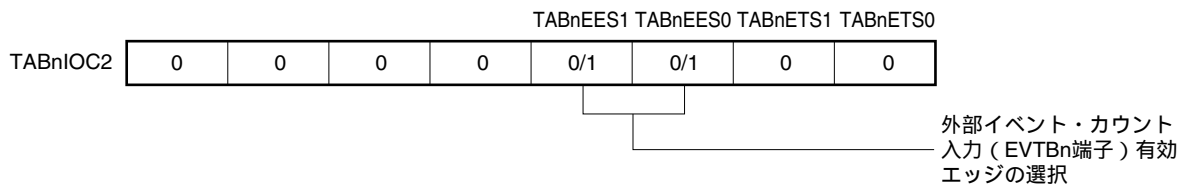


図7 - 35 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

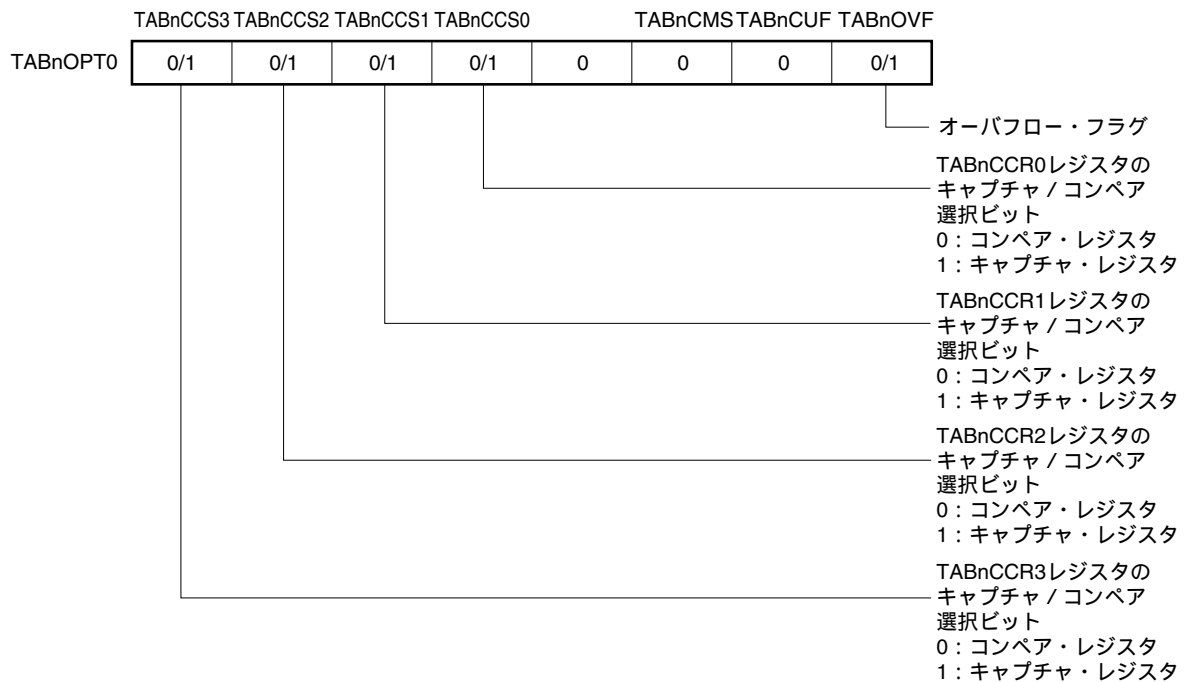
(d) TABnI/O制御レジスタ1 (TABnIOC1)



(e) TABnI/O制御レジスタ2 (TABnIOC2)



(f) TABnオプション・レジスタ0 (TABnOPT0)



(g) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

TABnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

図7 - 35 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

## (h) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TABnOPT0.TABnCCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIBna端子入力の有効エッジ検出により、16ビット・カウンタのカウンタ値を格納します。

コンペア・レジスタとして動作する場合には、TABnCCRaレジスタにDaを設定した場合、カウンタが(Da + 1)になるタイミングでINTTBnCCa信号を発生し、TOBn0-TOBn3端子出力を反転します。

**備考** n = 0, 1

a = 0-3

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図7-36 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

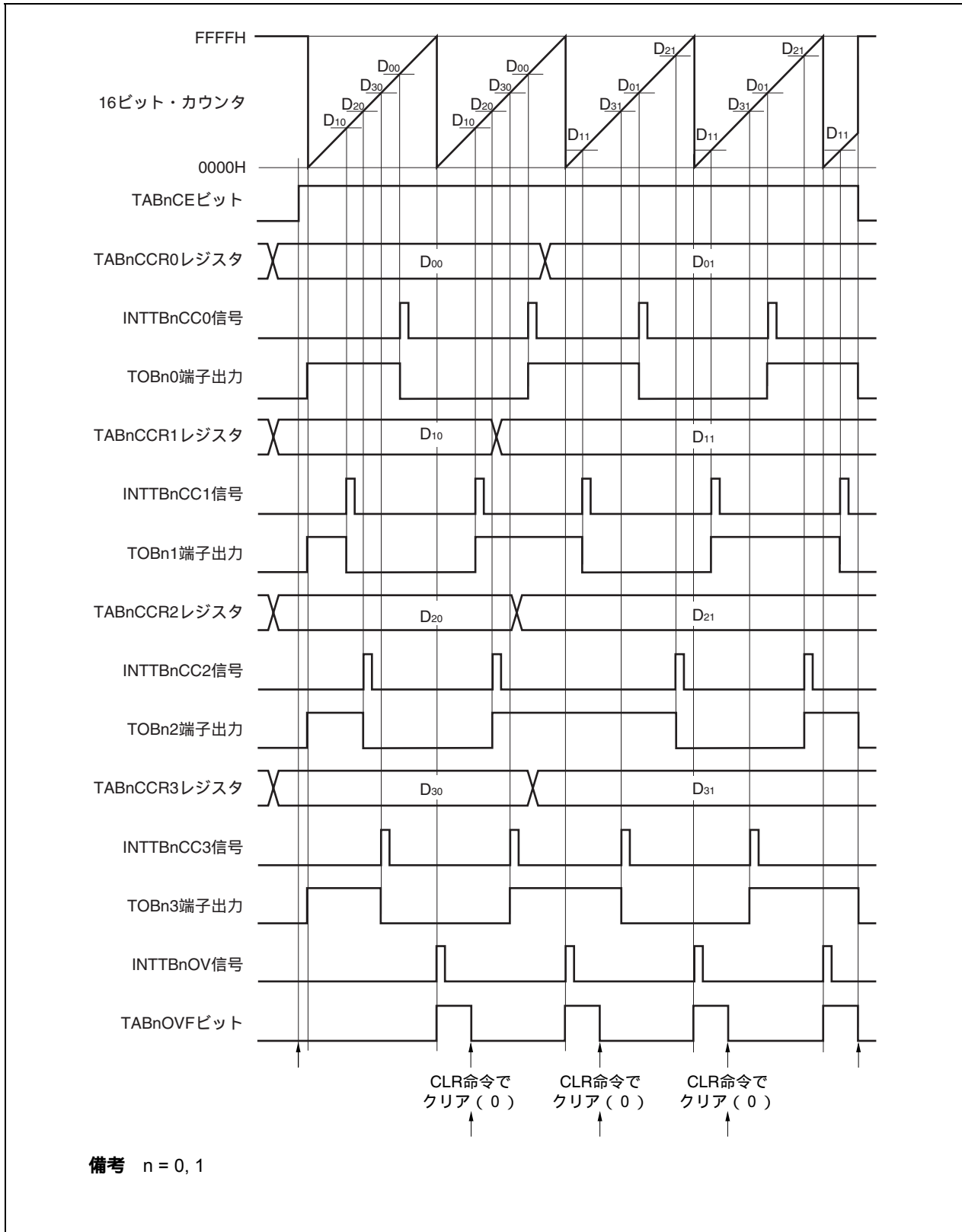
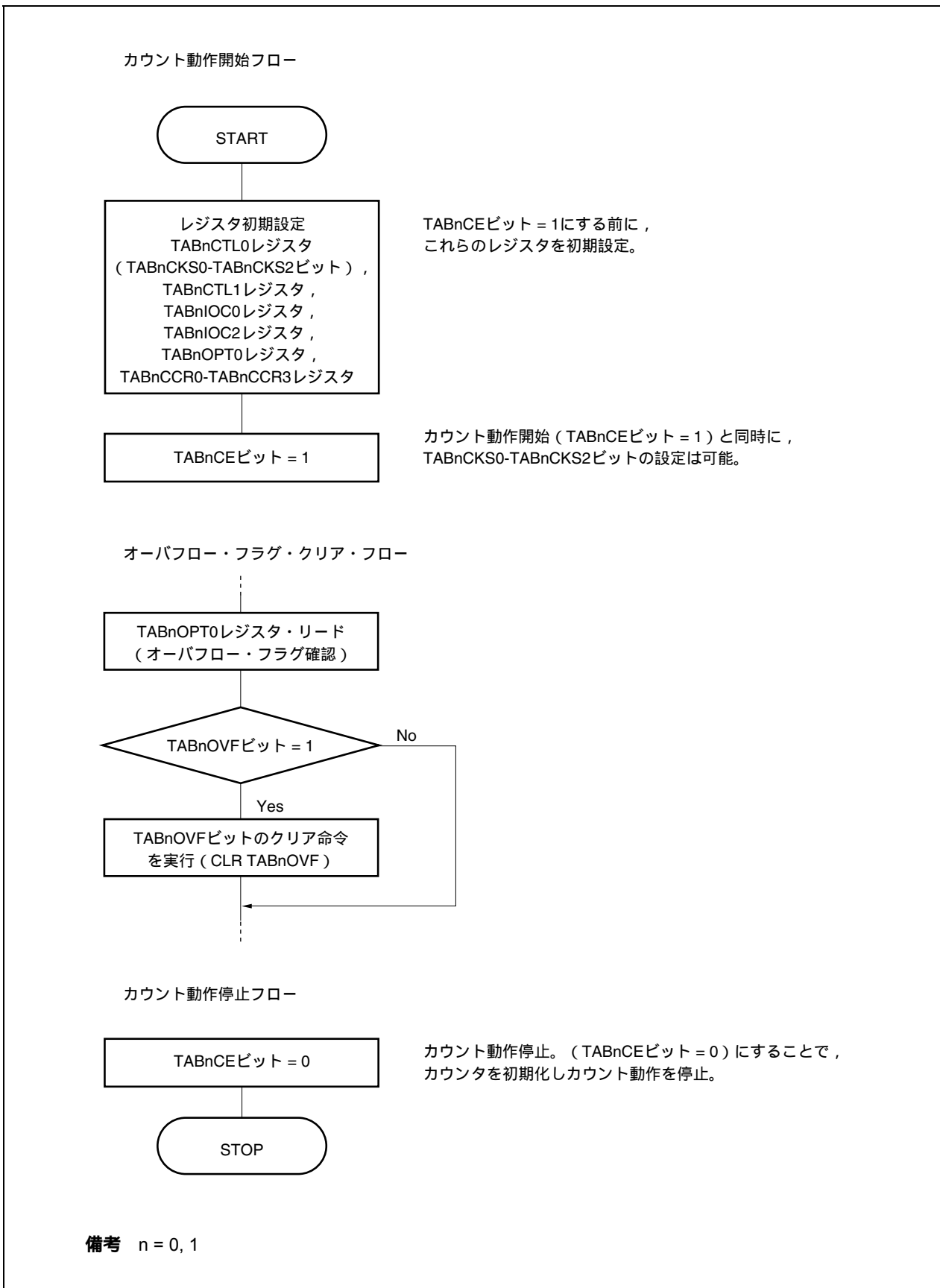


図7 - 36 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7 - 37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

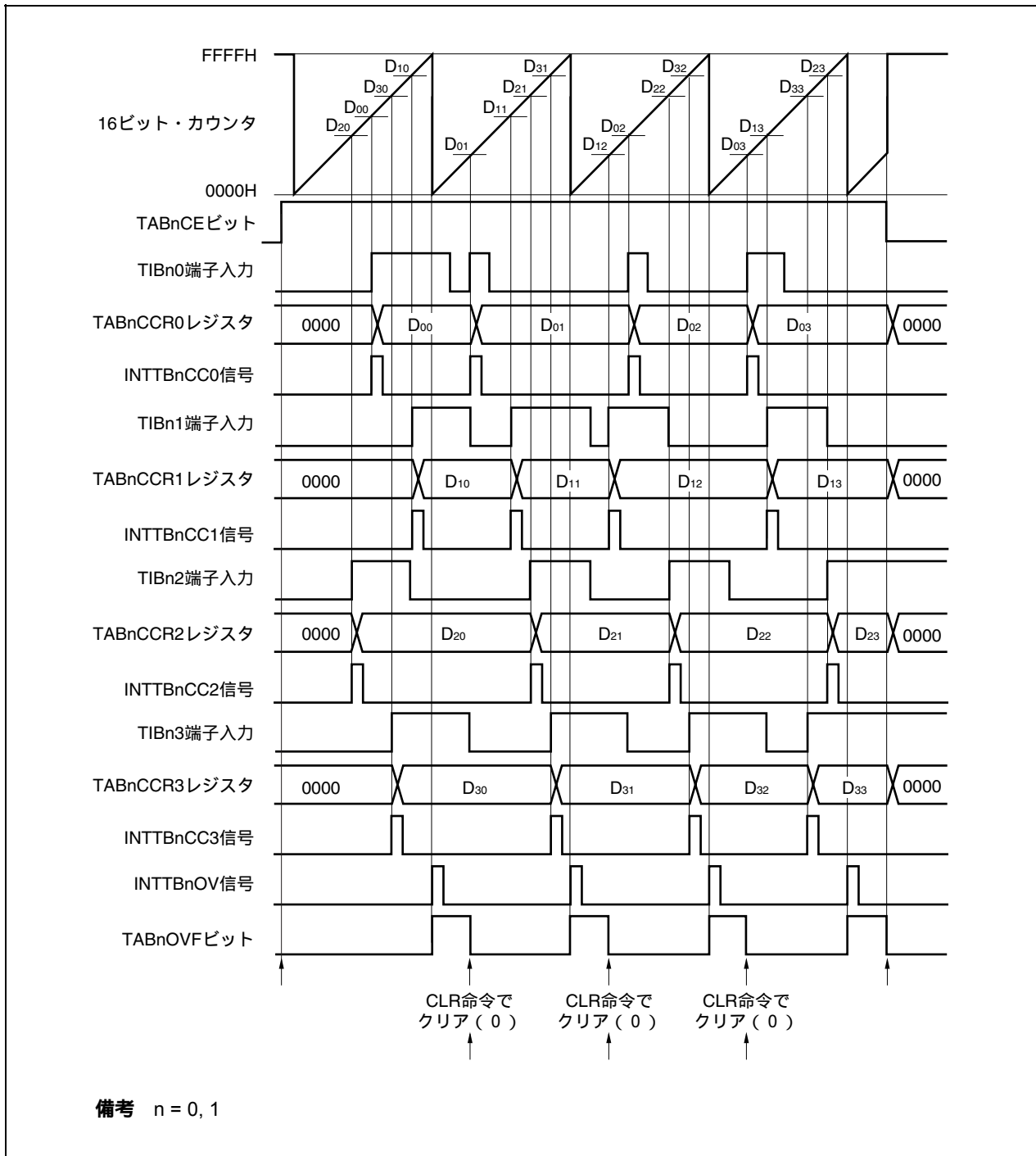
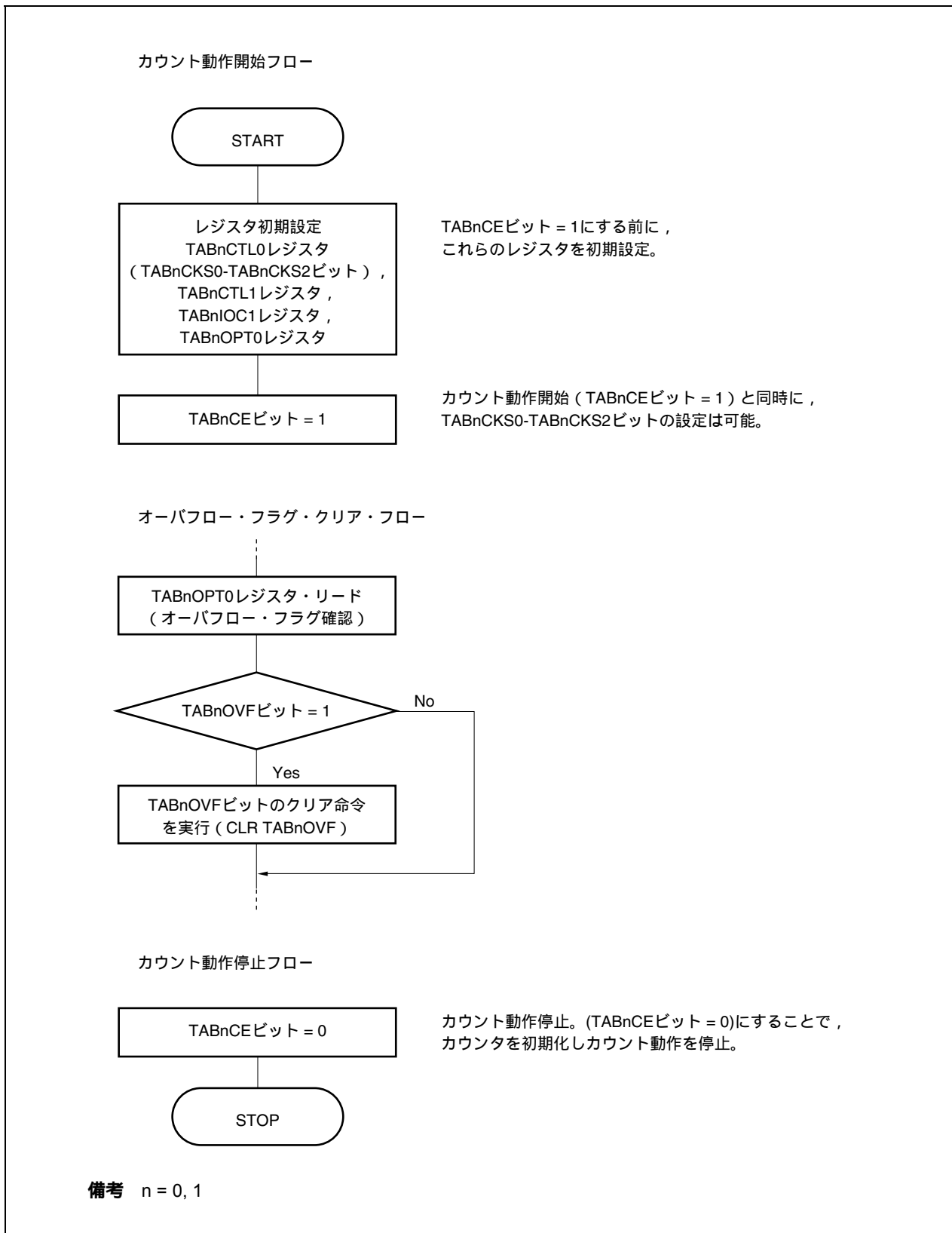


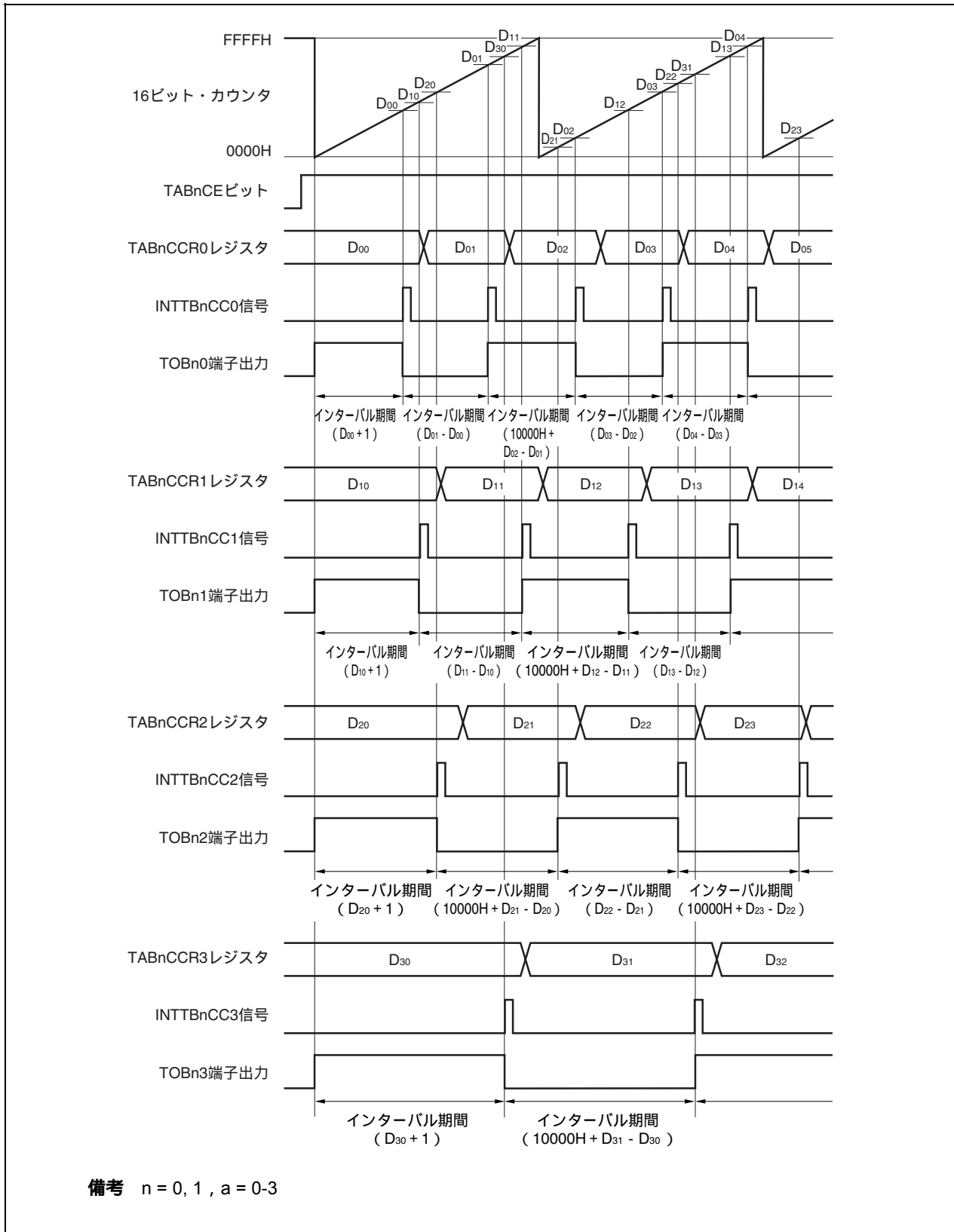
図7 - 37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TABnCCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTBnCCa信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで4つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTBnCCa信号を検出したときの割り込み処理中に、対応するTABnCCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ $D_a$ ” とすると、次のように求められます。

コンペア・レジスタ初期値： $D_a - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 +  $D_a$

(演算結果がFFFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください。)

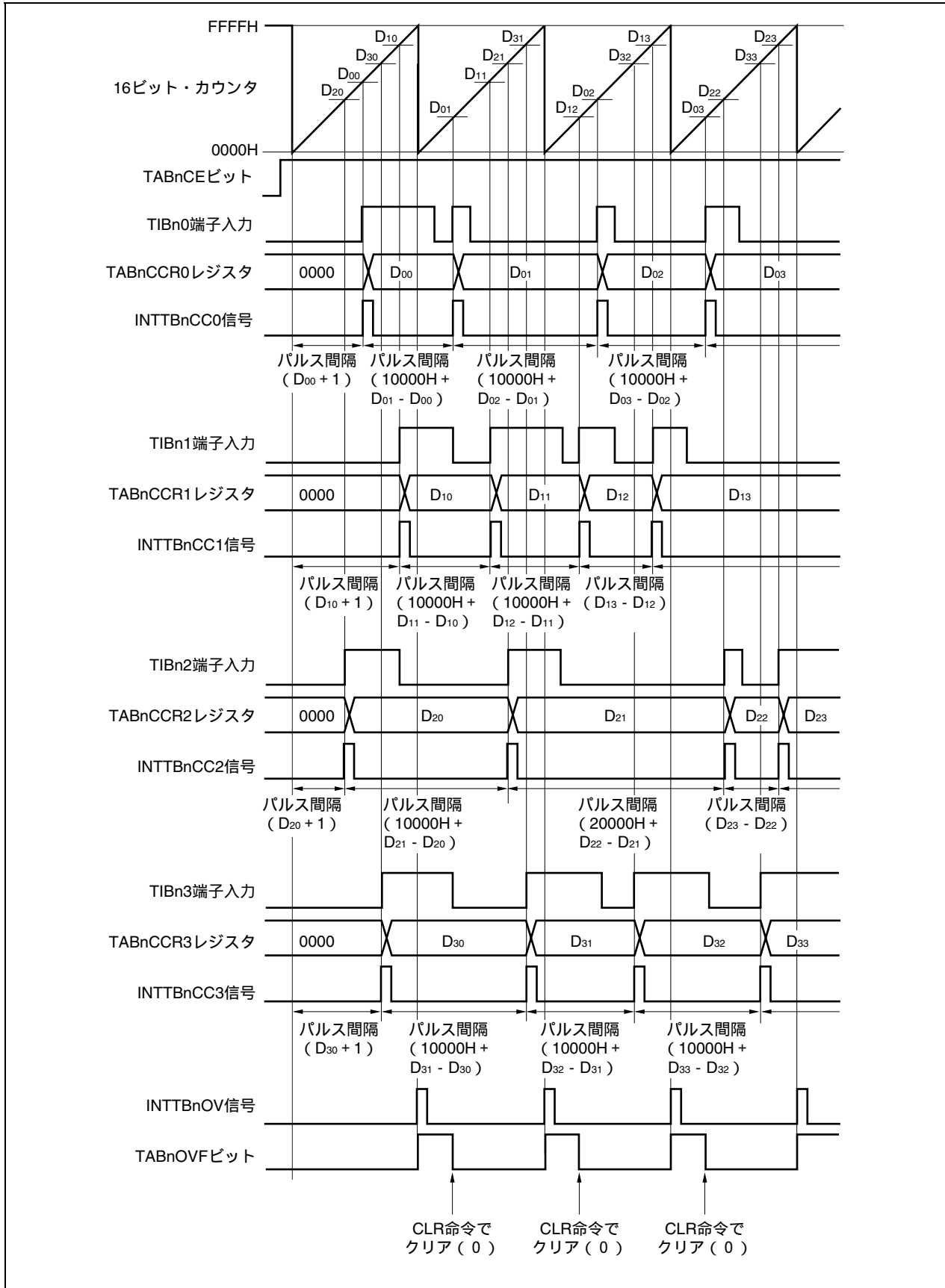
**備考**  $n = 0, 1$

$a = 0-3$



(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TABnCCRaレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTBnCCa信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで4つのパルス幅測定ができます。

パルス幅測定を行う場合、INTTBnCCa信号に同期してTABnCCRaレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

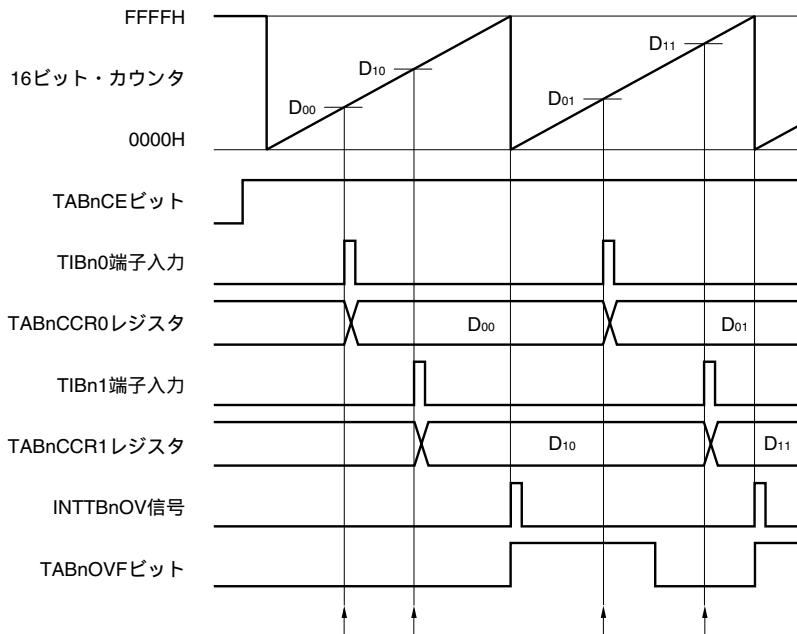
**備考** n = 0, 1

a = 0-3

## (c) 2つ以上のキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つ以上のキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つ以上のキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TABnCCR0レジスタをリードする (TIBn0端子入力の初期値設定)。

TABnCCR1レジスタをリードする (TIBn1端子入力の初期値設定)。

TABnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TABnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。でクリア(0)されているため、0がリードされます。

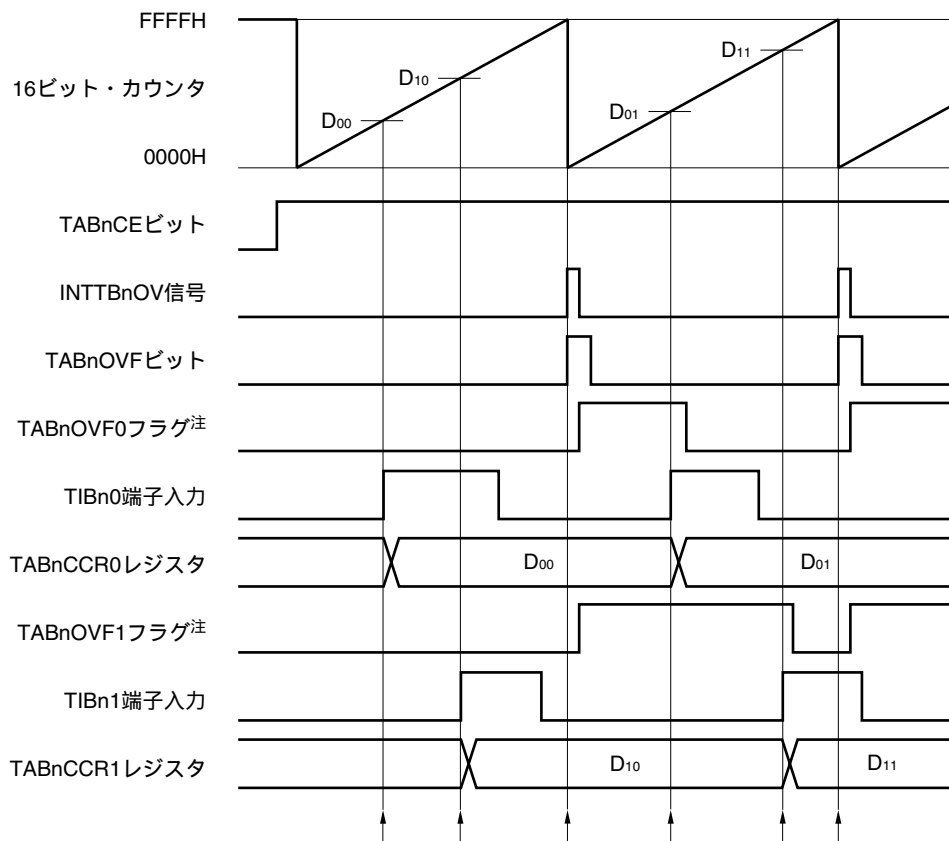
オーバーフロー・フラグが“0”なので、パルス幅は  $(D_{11} - D_{10})$  で求められます (NG)。

備考 n = 0, 1

このように、2つ以上のキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、他のキャプチャは正しいパルス幅が求められない可能性があります。

2つ以上のキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TABnOVF0, TABnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TABnCCR0レジスタをリードする (TIBn0端子入力の初期値設定)。

TABnCCR1レジスタをリードする (TIBn1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TABnOVF0, TABnOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TABnCCR0レジスタをリードする。

TABnOVF0フラグをリードする。TABnOVF0フラグが“1”だった場合、クリア (0) する。

TABnOVF0フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TABnCCR1レジスタをリードする。

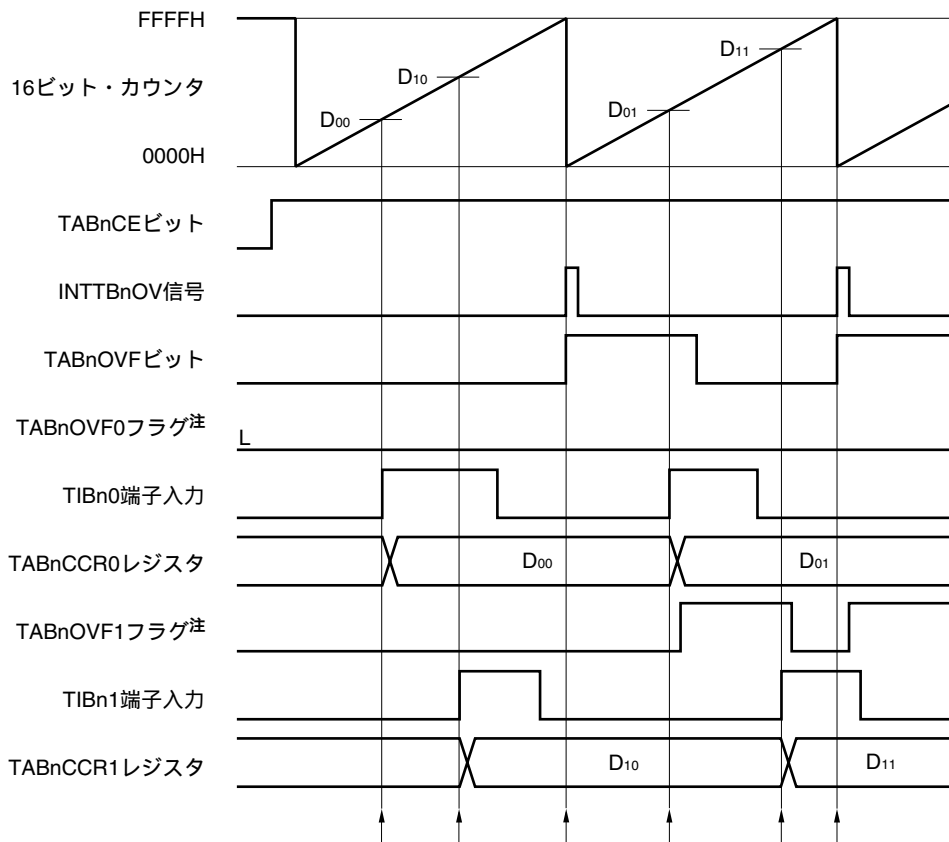
TABnOVF1フラグをリードする。TABnOVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTABnOVF0フラグであり、TABnOVF1フラグは“1”のまま)。

TABnOVF1フラグが“1”なので、パルス幅は  $(10000H + D_{11} - D_{10})$  で求められます (OK)。

と同じです。

備考 n = 0, 1

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TABnOVF0, TABnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TABnCCR0レジスタをリードする (TIBn0端子入力の初期値設定)。

TABnCCR1レジスタをリードする (TIBn1端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TABnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TABnOVF1フラグのみをセット (1) し、オーバーフロー・フラグをクリア (0) する。

オーバーフロー・フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TABnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア (0) されているので“0”がリードされる。

TABnOVF1フラグをリードする。TABnOVF1フラグが“1”だった場合、クリア (0) する。

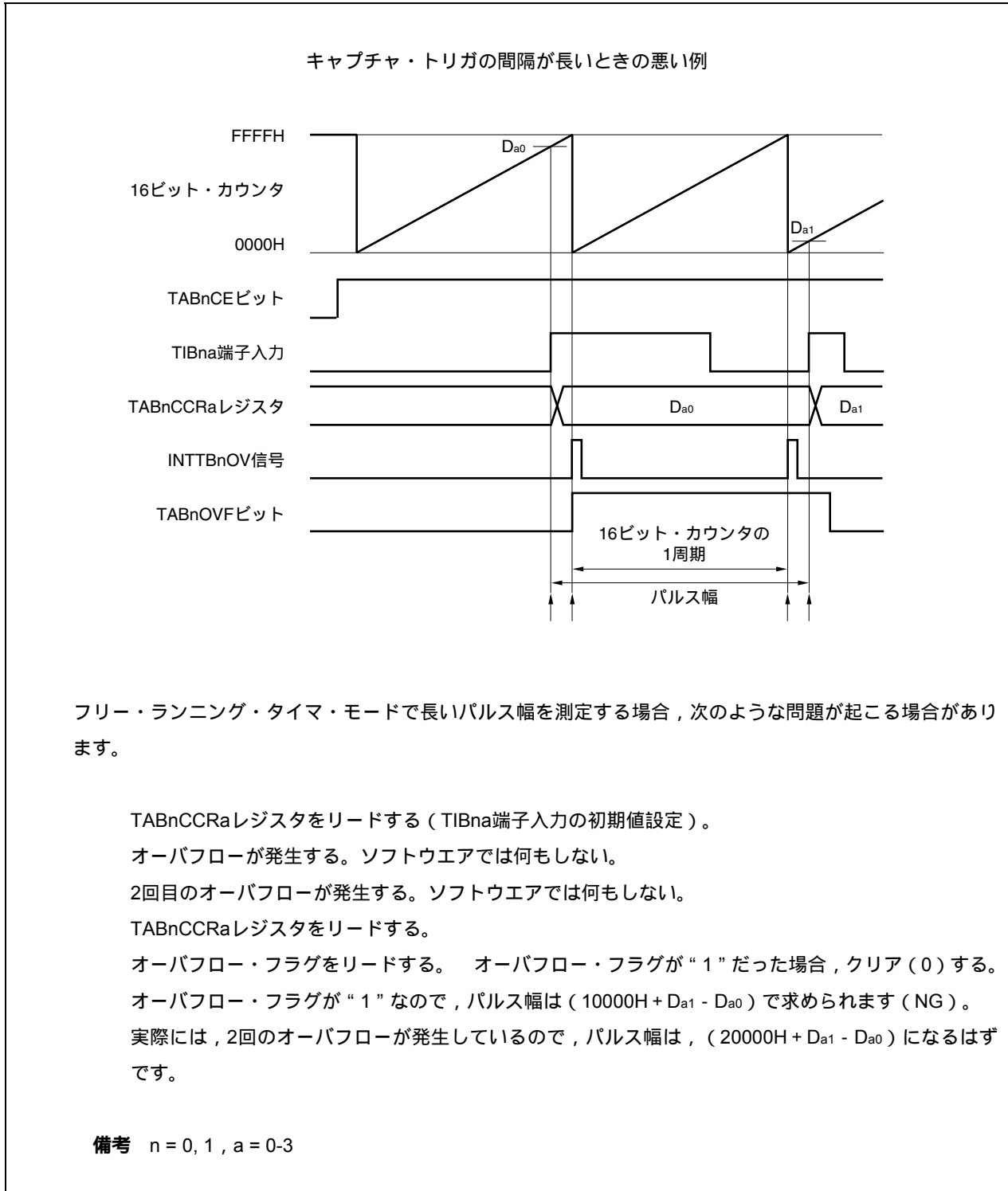
TABnOVF1フラグが“1”なので、パルス幅は  $(10000H + D_{11} - D_{10})$  で求められます (OK)。

と同じです。

備考 n = 0, 1

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

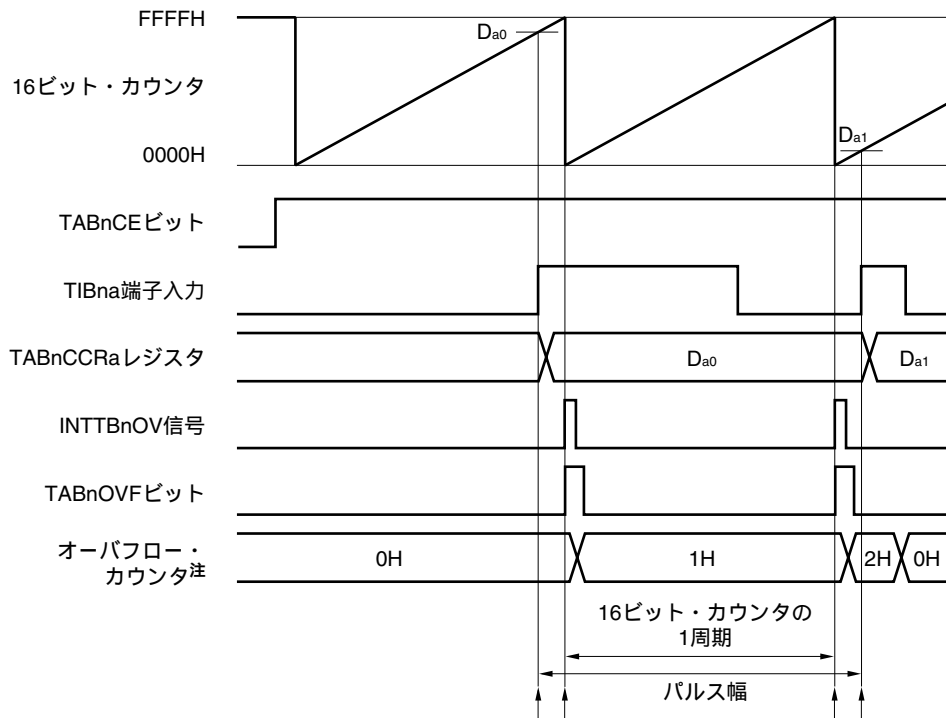
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TABnCCRaレジスタをリードする (TIBna端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TABnCCRaレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが“N”のとき、パルス幅は  $(N \times 10000H + D_{a1} - D_{a0})$  で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{a1} - D_{a0})$  になります。

オーバフロー・カウンタをクリア (0H) する。

備考 n = 0, 1

a = 0-3

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TABnOVFビット = 1をリードしたあとにTABnOVFビットをCLR命令でクリア (0) する方法と、TABnOVFビット = 1をリードしたあとにTABnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

### 7.6.7 パルス幅測定モード (TABnMD2-TABnMD0ビット = 110)

パルス幅測定モードは、TABnCTL0.TABnCEビットをセット(1)することでカウント動作を開始し、TIBna端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTABnCCR<sub>a</sub>レジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTBnCC<sub>a</sub>)が発生したあと、TABnCCR<sub>a</sub>レジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図7-39のような場合は、キャプチャ・トリガ入力端子としてTIBn0-TIBn3端子のいずれかが1本を使用し、使用しない端子はTABnIOC1レジスタで“エッジ検出なし”に設定してください。

図7-38 パルス幅測定モードの構成図

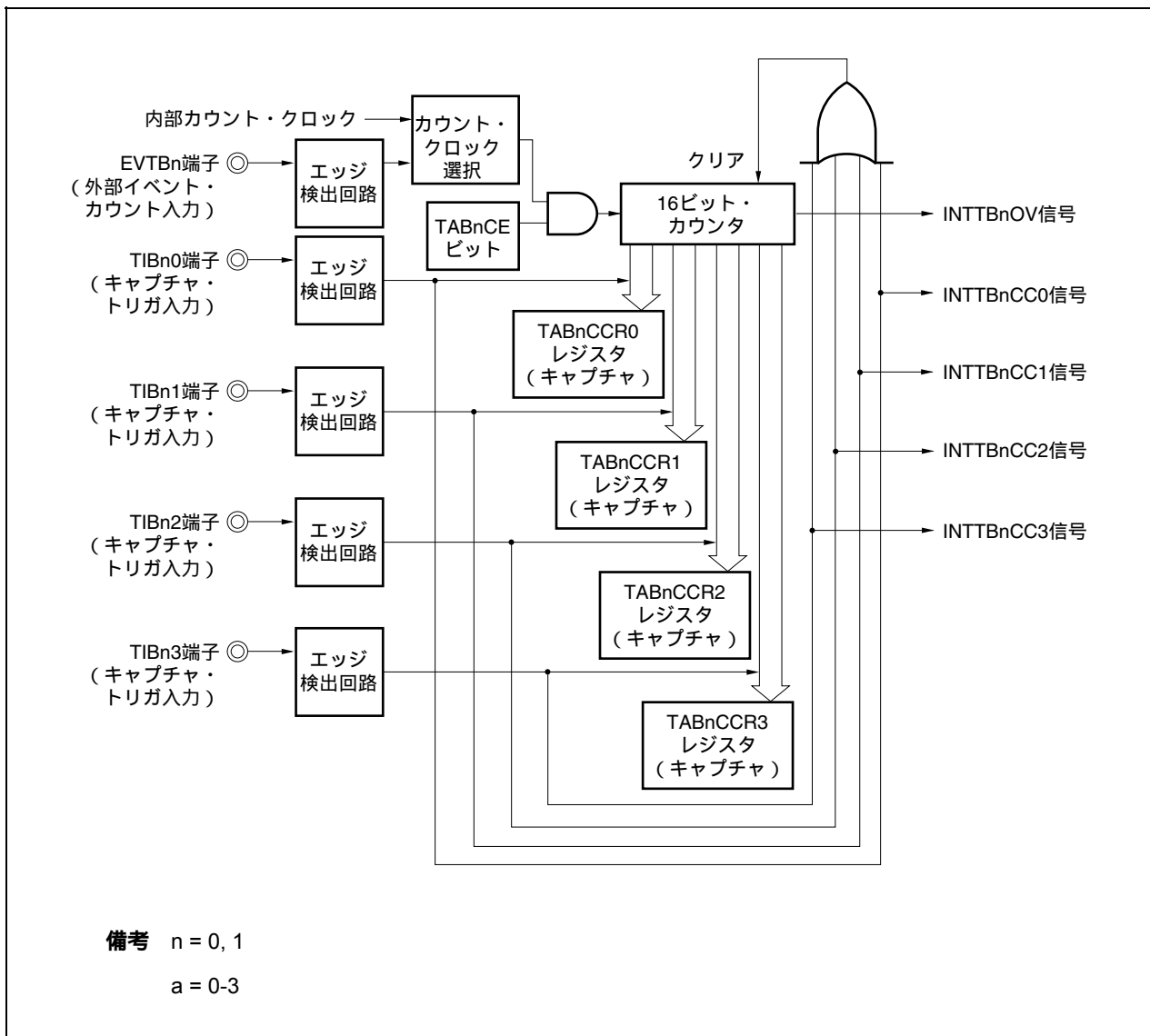
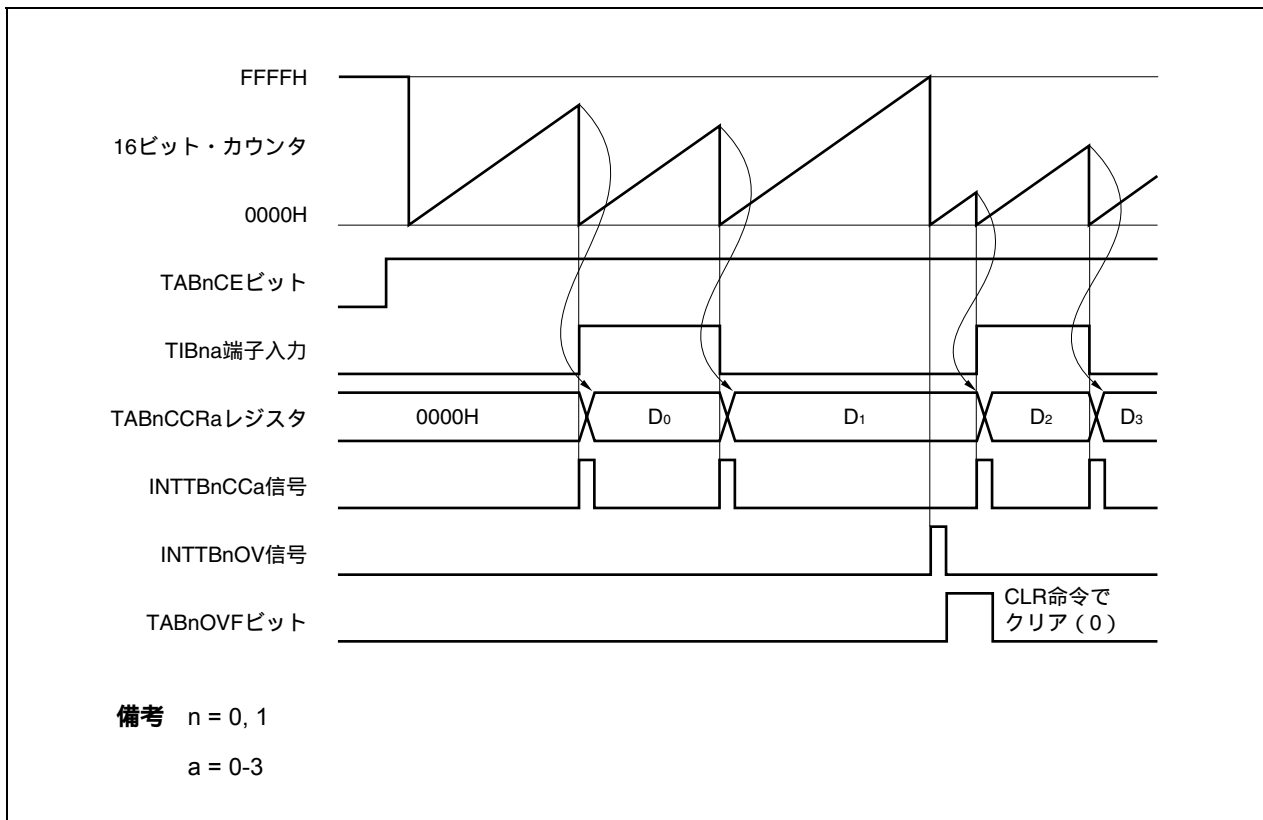




図7 - 39 パルス幅測定モードの基本タイミング



TABnCEビットをセット(1)することで、カウント動作を開始します。その後、TIBna端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTABnCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTBnCCa)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTBnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TABnOPT0.TABnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TABnOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 n = 0, 1

a = 0-3

図7 - 40 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

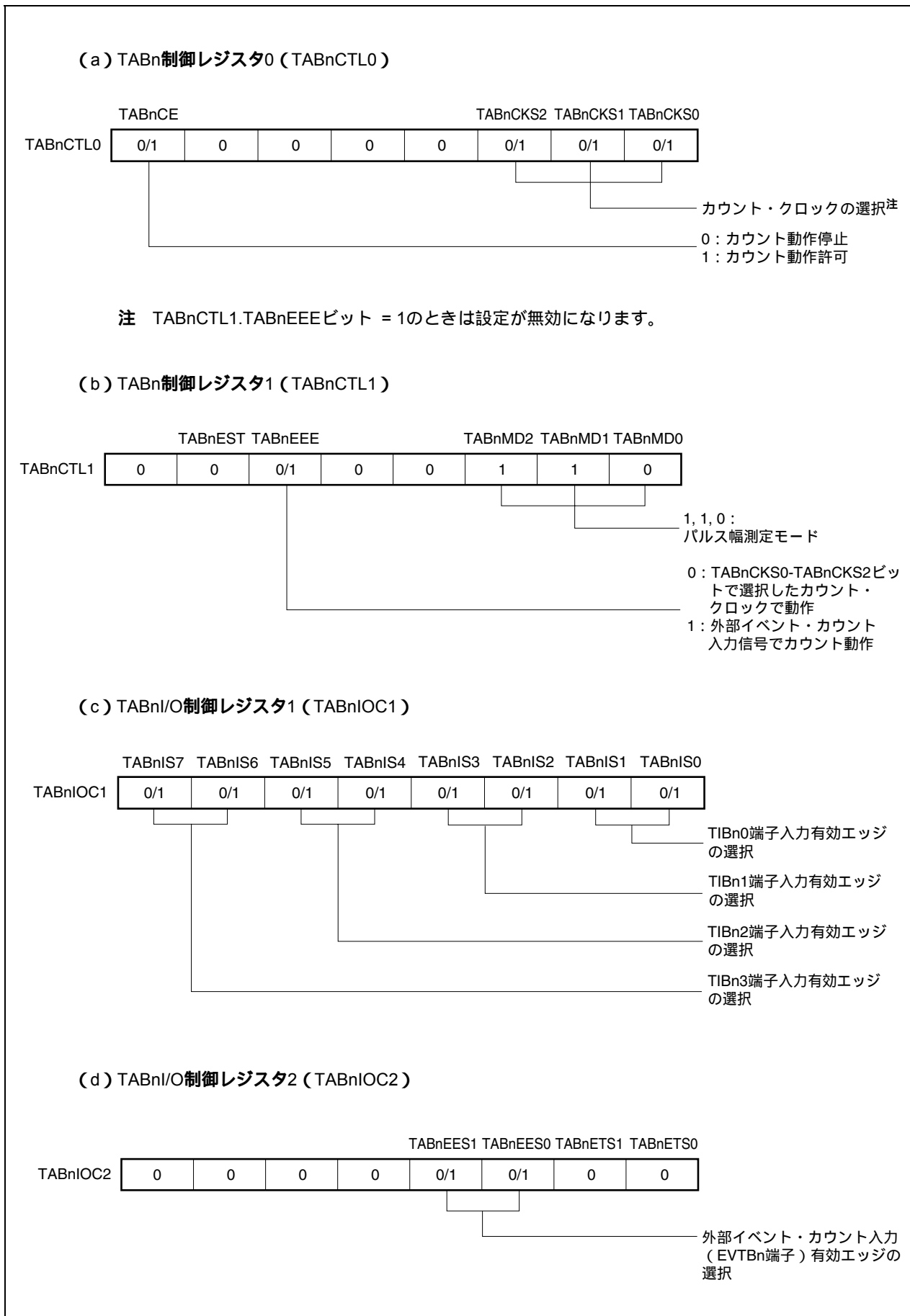


図7 - 40 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(e) TABnオプション・レジスタ0 (TABnOPT0)

	TABnCCS3	TABnCCS2	TABnCCS1	TABnCCS0	TABnCMS	TABnCUF	TABnOVF
TABnOPT0	0	0	0	0	0	0	0/1

└─ オーバフロー・フラグ

(f) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

TABnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(g) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TIBna端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

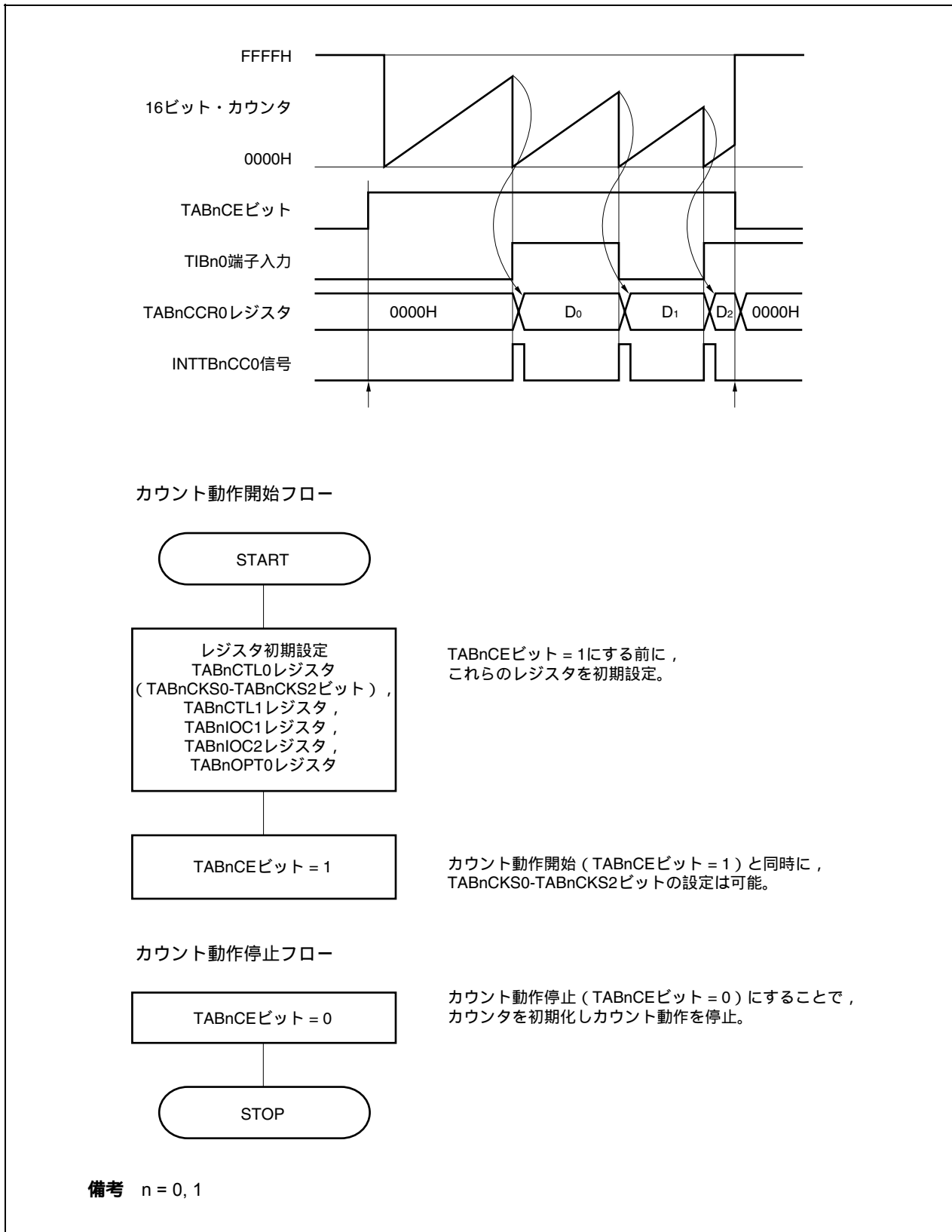
**備考1.** パルス幅測定モードでは、TABnI/O制御レジスタ0 (TABnIOC0) は使用しません。

2. n = 0, 1

a = 0-3

(1) パルス幅測定モード動作フロー

図7 - 41 パルス幅測定モード使用時のソフトウェア処理フロー



**(2) パルス幅測定モード動作タイミング****(a) オーバフロー・フラグのクリア方法**

オーバフロー・フラグをクリア(0)する方法は、TABnOVFビット = 1をリードしたあとにTABnOVFビットをCLR命令でクリア(0)する方法と、TABnOVFビット = 1をリードしたあとにTABnOPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法があります。

## 第8章 16ビット・タイマ/イベント・カウンタT (TMT)

タイマT (TMT) は、16ビットのタイマ/イベント・カウンタです。

タイマAA (TAA) にエンコーダ・カウント機能などを追加しています。ただし、インターバル・タイマ・モード時の外部イベント・カウント入力による動作はありません。

V850E/IF3, V850E/IG3は、TMT0, TMT1を内蔵しています。

### 8.1 概 要

次にTMTnの概要をチャンネルごとに示します (n = 0, 1)。

表8 - 1 TMTnの概要

概 要	TMT0	TMT1
クロック選択	8通り	8通り
キャプチャ・トリガ入力端子	注1	2本
外部イベント・カウント入力端子	注2	1本
外部トリガ入力端子	注2	1本
エンコーダ入力端子	注1	2本
エンコーダ・クリア入力端子	注2	1本
タイマ・カウンタ	1本	1本
キャプチャ/コンペア・レジスタ	2本 <sup>注3</sup>	2本
キャプチャ/コンペア一致割り込み要求信号	2本 <sup>注3</sup>	2本
オーバフロー割り込み要求信号	1本	1本
エンコーダ・クリア割り込み要求信号	注1	1本
タイマ出力端子	注4	2本

注1. V850E/IF3 : なし

V850E/IG3 : 2本

2. V850E/IF3 : なし

V850E/IG3 : 1本

3. V850E/IF3はコンペア機能のみ

## 8.2 機能

TMTnは、チャンネルによって実現できる機能が異なります。実現できる機能を次に示します (n = 0, 1)。

表8 - 2 TMTnの機能

概要	TMT0	TMT1
インターバル・タイマ		
外部イベント・カウンタ	注1	
外部トリガ・パルス出力	注1	
ワンショット・パルス出力	注1	
PWM出力	注1	
フリー・ランニング・タイマ	注2	
パルス幅測定	×	
三角波PWM出力モード	注1	
エンコーダ・カウント機能	注1	

注1. V850E/IF3 : ×

V850E/IG3 :

2. V850E/IF3はコンペア機能のみ

## 8.3 構成

TMT<sub>n</sub>は、次のハードウェアで構成されています (n = 0, 1)。

表8-3 TMT<sub>n</sub>の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ×各1本
レジスタ	TMT <sub>n</sub> キャプチャ/コンペア・レジスタ0, 1 (TTnCCR0, TTnCCR1) TMT <sub>n</sub> カウンタ・リード・バッファ・レジスタ (TTnCNT) TMT <sub>m</sub> カウンタ・ライト・レジスタ (TTmTCW) CCR0, CCR1バッファ・レジスタ
タイマ入力	計12本 (TIT00 <sup>注1</sup> , TIT01 <sup>注1</sup> , TIT10, TIT11, EVTT0 <sup>注1</sup> , EVTT1, TENC00 <sup>注1</sup> , TENC01 <sup>注1</sup> , TENC10, TENC11, TECR0 <sup>注1</sup> , TECR1端子) <sup>注2</sup>
タイマ出力	計4本 (TOT00 <sup>注1</sup> , TOT01 <sup>注1</sup> , TOT10, TOT11端子) <sup>注2</sup>
制御レジスタ	TMT <sub>n</sub> 制御レジスタ0, 1 (TTnCTL0, TTnCTL1) TMT <sub>m</sub> 制御レジスタ2 (TTmCTL2) TMT <sub>m</sub> I/O制御レジスタ0-3 (TTmIOC0-TTmIOC3) TMT <sub>n</sub> オプション・レジスタ0 (TTnOPT0) TMT <sub>m</sub> オプション・レジスタ1 (TTmOPT1) TMT <sub>m</sub> キャプチャ入力選択レジスタ (TTISLm)

注1. V850E/IG3のみ

- TIT00/TECR0およびTIT10/TECR1端子には、キャプチャ・トリガ入力端子 (TIT00, TIT10), エンコーダ・クリア入力端子 (TECR0, TECR1) とタイマ出力端子 (TOT00, TOT10) が兼用されています。

TENC00/EVTT0およびTENC10/EVTT1端子には、エンコーダ入力端子 (TENC00, TENC10), 外部イベント・カウント入力端子 (EVTT0, EVTT1), 外部トリガ入力端子 (EVTT0, EVTT1) が兼用されています。

TIT01/TENC01およびTIT11/TENC11端子には、キャプチャ・トリガ入力端子 (TIT01, TIT11), エンコーダ入力端子 (TENC01, TENC11) とタイマ出力端子 (TOT01, TOT11) が兼用されています。

備考 V850E/IF3 : n = 0, 1, m = 1

V850E/IG3 : n = 0, 1, m = 0, 1



図8 - 1 V850E/IF3のTMT0のブロック図

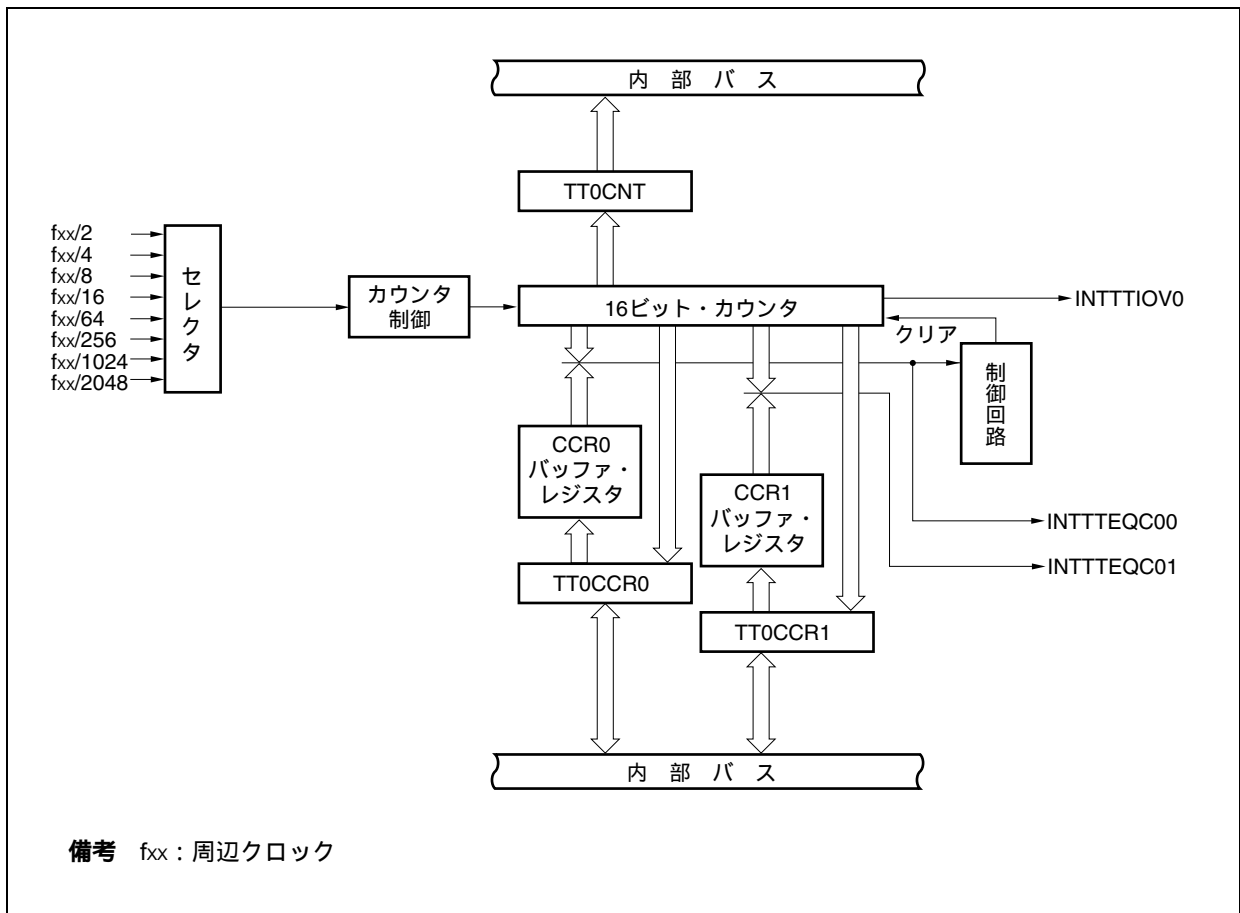
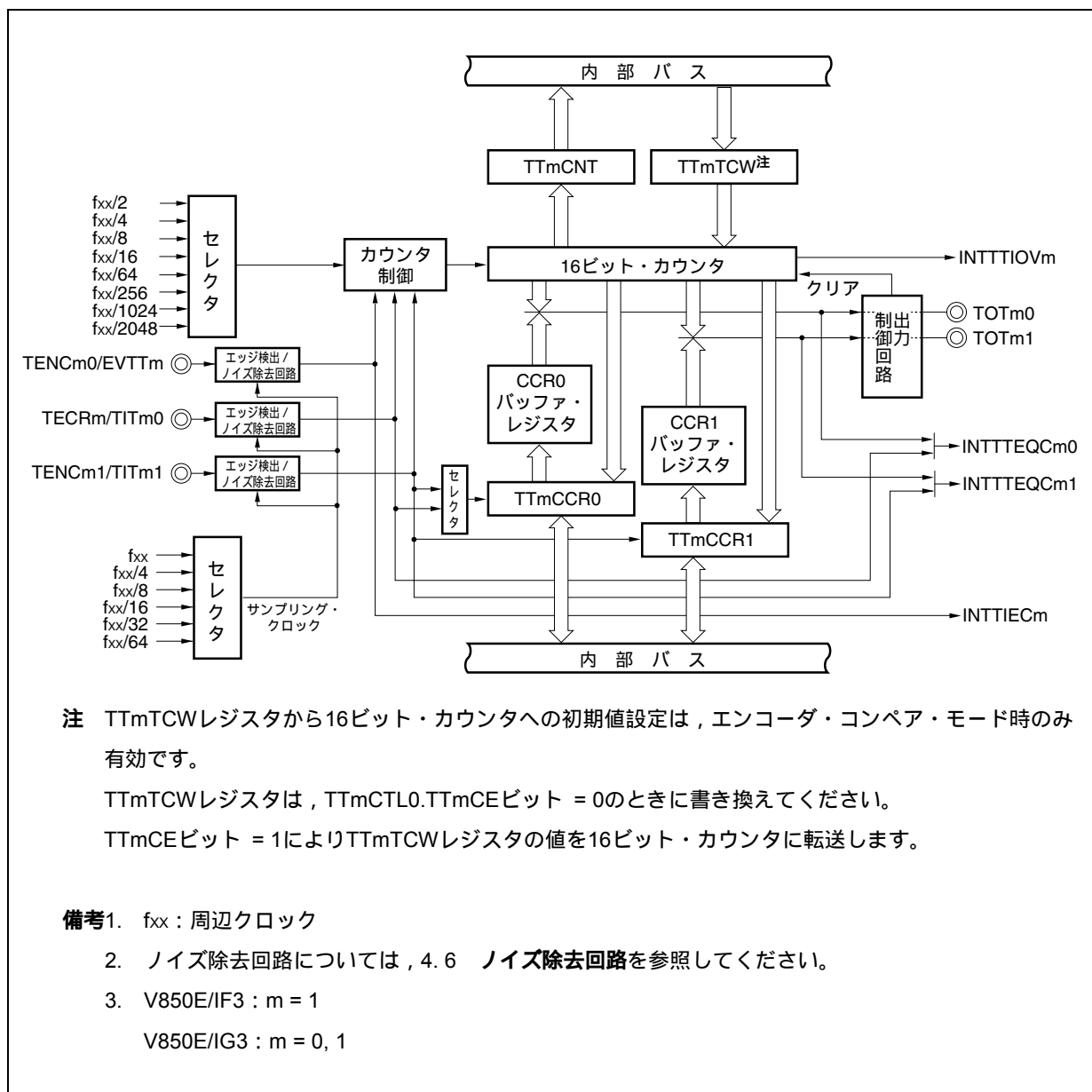


図8 - 2 V850E/IF3のTMT1, V850E/IG3のTMT0, TMT1のブロック図



**(1) 16ビット・カウンタ**

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TTnCNTレジスタでリードできます。

TTnCTL0.TTnCEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTTnCNTレジスタをリードすると0000Hがリードされます。

リセット時にはTTnCEビット = 0になります。

**(2) CCR0バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TTnCCR0レジスタをコンペア・レジスタとして使用するとき、TTnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCn0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTTnCCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

**(3) CCR1バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TTnCCR1レジスタをコンペア・レジスタとして使用するとき、TTnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCn1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTTnCCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

**(4) エッジ検出回路**

TIT00 (V850E/IG3のみ), TIT01 (V850E/IG3のみ), TIT10, TIT11, EVTT0 (V850E/IG3のみ), EVTT1, TENC00 (V850E/IG3のみ), TENC01 (V850E/IG3のみ), TENC10, TENC11, TECR0 (V850E/IG3のみ), TECR1端子に入力される有効エッジを検出します。有効エッジは、TTmIOC1, TTmIOC2, TTmIOC3レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

**(5) 出力制御回路**

TOT00 (V850E/IG3のみ), TOT01 (V850E/IG3のみ), TOT10, TOT11端子の出力をTTmIOC0レジスタで制御します。

**(6) セレクタ**

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

**(7) カウンタ制御**

TTnCTL1レジスタで選択したタイマ・モードにより、カウント動作を制御します。

## 8.4 レジスタ

### (1) TMTn制御レジスタ0 (TTnCTL0)

TTnCTL0レジスタは、TMTnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TTnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H    R/W    アドレス：TT0CTL0 FFFFF580H, TT1CTL0 FFFFF5C0H

	⑦	6	5	4	3	2	1	0
TTnCTL0 (n = 0, 1)	TTnCE	0	0	0	0	TTnCKS2	TTnCKS1	TTnCKS0

TTnCE	TMTnの動作の制御
0	TMTn動作禁止 (TMTnを非同期にリセット <sup>注</sup> )
1	TMTn動作許可。TMTn動作開始

TTnCKS2	TTnCKS1	TTnCKS0	内部カウント・クロックの選択
0	0	0	fxx/2
0	0	1	fxx/4
0	1	0	fxx/8
0	1	1	fxx/16
1	0	0	fxx/64
1	0	1	fxx/256
1	1	0	fxx/1024
1	1	1	fxx/2048

**注** TTnOPT0.TTnOVFビット、16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOT00 (V850E/IG3のみ)、TOT01 (V850E/IG3のみ)、TOT10、TOT11端子) も16ビット・カウンタと同時にTTmIOC0レジスタの設定状態にリセットされます (V850E/IF3 : m = 1, V850E/IG3 : m = 0, 1)。

**注意1.** TTnCKS2-TTnCKS0ビットは、TTnCEビット = 0のときに設定してください。

TTnCEビットを“0”から“1”に設定するときも、同時にTTnCKS2-TTnCKS0ビットを設定できます。

2. ビット3-6には必ず0を設定してください。

**備考** fxx : 周辺クロック

(2) TMTn制御レジスタ1 (TTnCTL1)

TTnCTL1レジスタは、TMTnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H    R/W    アドレス：TT0CTL1 FFFFF581H, TT1CTL1 FFFFF5C1H

	7	6	5	4	3	2	1	0
TTnCTL1 (n = 0, 1)	0	TTmEST <sup>注</sup>	TTmEEE <sup>注</sup>	0	TTnMD3	TTnMD2	TTnMD1	TTnMD0

TTmEST <sup>注</sup>	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 : TTmESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時 : TTmESTビットへの“1”ライトをトリガとして、PWM波形を出力
TTmESTビットのリード値は常に0です。	

TTmEEE <sup>注</sup>	カウント・クロックの選択
0	外部イベント・カウント入力 (EVTTm端子) での動作禁止 (TTmCTL0.TTmCKS0-TTmCKS2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力 (EVTTm端子) での動作許可 (外部イベント・カウント入力信号 (EVTTm端子) の有効エッジごとにカウント動作を行う)
TTmEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TTnMD3	TTnMD2	TTnMD1	TTnMD0	タイマ・モードの選択
0	0	0	0	インターバル・タイマ・モード
0	0	0	1	外部イベント・カウント・モード
0	0	1	0	外部トリガ・パルス出力モード
0	0	1	1	ワンショット・パルス出力モード
0	1	0	0	PWM出力モード
0	1	0	1	フリー・ランニング・タイマ・モード
0	1	1	0	パルス幅測定モード
0	1	1	1	三角波PWM出力モード
1	0	0	0	エンコーダ・コンペア・モード
上記以外				設定禁止

注 V850E/IF3は、TMT1のみ設定可能です。TMT0のビット5, 6には必ず0を設定してください。

- 注意1. TTmESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
2. TTmEEEビットは、インターバル・タイマ・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モード、フリー・ランニング・タイマ・モード、パルス幅測定モード、三角波PWM出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
3. 外部イベント・カウント・モード、エンコーダ・コンペア・モードのときは、TTmEEEビットの値にかかわらず外部イベント・カウント入力 (EVTTm)、エンコーダ入力 (TENCm0, TENCm1) が選択されます。
4. TTmEEE, TTnMD3-TTnMD0ビットは、TTnCTL0.TTnCEビット = 0のときに設定してください(TTnCEビット = 1のときの同値書き込みは可能)。TTnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TTnCEビットをクリア(0)してから再設定してください。
5. ビット4, 7には必ず0を設定してください。

(3) TMTm制御レジスタ2 (TTmCTL2)

TTmCTL2レジスタは、エンコーダ・カウンタ機能の動作を制御する8ビットのレジスタです。

TTmCTL2レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** TTmCTL2レジスタの各ビットの詳細については、8.6.9(5) TTmCTL2レジスタのビット制御を参照してください。

(1/2)

リセット時：00H		R/W	アドレス：TT0CTL2 FFFFFFF582H <sup>注</sup> , TT1CTL2 FFFFFFF5C2H							
			7	6	5	4	3	2	1	0
TTmCTL2	TTmECC	0	0	TTmLDE	TTmECM1	TTmECM0	TTmUDS1	TTmUDS0		
[ V850E/IF3 m = 1 ]	TTmECC	エンコーダ・カウンタ制御								
[ V850E/IG3 m = 0, 1 ]	0	通常動作								
	1	TTmCTL0.TTmCEビット = 0時、16ビット・カウンタのカウンタ値を保持								
	TTmLDE	16ビット・カウンタへの転送設定								
	0	アンダフロー発生時、16ビット・カウンタへTTmCCR0設定値の転送禁止								
	1	アンダフロー発生時、16ビット・カウンタへTTmCCR0設定値の転送許可								
	TTmECM1	エンコーダ・クリア動作1の制御								
	0	16ビット・カウンタのカウンタ値とCCR1レジスタの値の一致ではカウンタを0000Hにクリアしない								
	1	16ビット・カウンタのカウンタ値とCCR1レジスタの値の一致で次のカウンタがダウン・カウントの場合、カウンタを0000Hにクリアする								
	TTmECM0	エンコーダ・クリア動作0の制御								
	0	16ビット・カウンタのカウンタ値とCCR0レジスタの値の一致ではカウンタを0000Hにクリアしない								
	1	16ビット・カウンタのカウンタ値とCCR0レジスタの値の一致で次のカウンタがアップ・カウントの場合、カウンタを0000Hにクリアする								
<b>注</b> V850E/IG3のみ										

TTmUDS1	TTmUDS0	アップ/ダウン・カウンタの選択
0	0	TENCM0入力の有効エッジ検出時, TENCM1 = ハイ・レベルのとき, ダウン・カウンタ TENCM1 = ロウ・レベルのとき, アップ・カウンタ
0	1	TENCM0入力の有効エッジ検出でアップ・カウンタ TENCM1入力の有効エッジ検出でダウン・カウンタ
1	0	TENCM0入力の立ち上がりエッジ検出でダウン・カウンタ TENCM0入力の立ち下がりエッジ検出でアップ・カウンタ ただし, TENCM1 = ロウ・レベルのときのみカウンタ動作
1	1	TENCM0, TENCM1入力の立ち上がり/立ち下がり両エッジを検出。エッジ検出とレベル検出の組み合わせでカウンタ動作を自動判別。

- 注意1.** TTmECCビットは、エンコーダ・コンペア・モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- TTmECCビット = 1のときTTmCTL0.TTmCEビット = 0にすると、タイマ・カウンタ、キャプチャ・レジスタ(TTmCCR0, TTmCCR1)、TTmOPT1, TTmEUF, TTmEOF, TTmESFフラグの値は保持されません。
- TTmECCビット = 1のときTTmCEビットを0 1にすると、TTmTCWレジスタの値を16ビット・カウンタに転送しません。
- TTmLDEビットは、TTmECM1, TTmECM0ビット = 00, 01時のみ有効です。TTmECM1, TTmECM0ビット = 10, 11のときに“1”をライトしても無視されます。
  - TTmUDS1, TTmUDS0ビット = 10, 11のとき、TTmIOC3.TTmEIS1, TTmEIS0ビットで設定したTENCM0, TENCM1入力のエッジ検出は無効となり、立ち上がり/立ち下がり両エッジ固定となります。
  - TTmLDE, TTmECM1, TTmECM0, TTmUDS1, TTmUDS0ビットは、TTmCTL0.TTmCEビット = 0のときに設定してください(TTmCEビット = 1のときの同値書き込みは可能)。TTmCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TTmCEビットをクリア(0)してから再設定してください。
  - ビット5, 6は必ず0を設定してください。



(4) TMTm/O制御レジスタ0 (TTmIOC0)

TTmIOC0レジスタは、タイマ出力 (TOTm0, TOTm1端子) を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

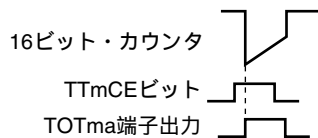
リセット時：00H R/W アドレス：TT0IOC0 FFFFF583H<sup>注1</sup>, TT1IOC0 FFFFF5C3H

		7	6	5	4	3	②	1	①	
TTmIOC0		0	0	0	0	TTmOL1	TTmOE1	TTmOL0	TTmOE0	
[ V850E/IF3 m = 1 ]	TTmOL1	TOTm1端子出力レベルの設定 <sup>注2</sup>								
		0	TOTm1端子ハイ・レベル・スタート							
[ V850E/IG3 m = 0, 1 ]		1	TOTm1端子ロウ・レベル・スタート							
	TTmOE1	TOTm1端子出力の設定								
	0	タイマ出力禁止 ・ TTmOL1ビット = 0のときTOTm1端子からロウ・レベルを出力 ・ TTmOL1ビット = 1のときTOTm1端子からハイ・レベルを出力								
	1	タイマ出力許可 (TOTm1端子からパルスを出力)								
TTmOL0	TOTm0端子出力レベルの設定 <sup>注2</sup>									
	0	TOTm0端子ハイ・レベル・スタート								
	1	TOTm0端子ロウ・レベル・スタート								
TTmOE0	TOTm0端子出力の設定									
	0	タイマ出力禁止 ・ TTmOL0ビット = 0のときTOTm0端子からロウ・レベルを出力 ・ TTmOL0ビット = 1のときTOTm0端子からハイ・レベルを出力								
	1	タイマ出力許可 (TOTm0端子からパルスを出力)								

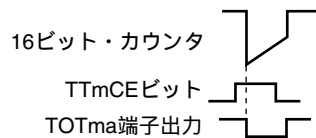
注1. V850E/IG3のみ

2. 三角波PWM出力モード以外のモードでのTTmOLaビットの指定によるタイマ出力端子(TOTm0, TOTm1)の出力レベルを次に示します(a = 0, 1)。

・ TTmOLaビット = 0の場合



・ TTmOLaビット = 1の場合



三角波PWM出力モード時の出力レベルは、図8 - 44 三角波PWM出力モードの基本タイミングで確認してください。

- 注意1. ポート設定がTOTm0, TOTm1出力設定の場合、TTmIOC0レジスタの設定を書き換えると端子出力が変化するので、ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして、端子状態の変化に注意してください。
2. TTmOL1, TTmOE1, TTmOL0, TTmOE0ビットは、TTmCTL0.TTmCEビット = 0のときに書き換えてください(TTmCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TTmCEビットをクリア(0)してから再設定してください。
  3. TTmCEビット = 0, TTmOE0ビット = 0, TTmOE1ビット = 0の状態において、TTmOL0ビット, TTmOL1ビットを操作した場合でも、TOTm0, TOTm1端子の出力レベルは変化します。

(5) TMTmI/O制御レジスタ1 (TTmIOC1)

TTmIOC1レジスタは、キャプチャ・トリガ入力信号 (TITm0,TITm1端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H    R/W    アドレス：TT0IOC1 FFFFF584H<sup>注</sup>, TT1IOC1 FFFFF5C4H

	7	6	5	4	3	2	1	0
TTmIOC1	0	0	0	0	TTmIS3	TTmIS2	TTmIS1	TTmIS0

[ V850E/IF3 m = 1 ]	TTmIS3	TTmIS2	キャプチャ・トリガ入力信号 (TITm1端子) の有効エッジの設定
	0	0	エッジ検出なし (キャプチャ動作無効)
[ V850E/IG3 m = 0, 1 ]	0	1	立ち上がりエッジを検出
	1	0	立ち下がりエッジを検出
	1	1	両エッジを検出
	0	0	エッジ検出なし (キャプチャ動作無効)
	TTmIS1	TTmIS0	キャプチャ・トリガ入力信号 (TITm0端子) の有効エッジの設定
	0	0	エッジ検出なし (キャプチャ動作無効)
	0	1	立ち上がりエッジを検出
	1	0	立ち下がりエッジを検出
	1	1	両エッジを検出

注 V850E/IG3のみ

注意1. TTmIS3-TTmIS0ビットは、TTmCTL0.TTmCEビット = 0のときに書き換えてください (TTmCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TTmCEビットをクリア (0) してから再設定してください。

2. TTmIS3, TTmIS2ビットは、フリー・ランニング・タイマ・モード (TTmOPT0.TTmCCS1ビット = 1時のみ) と、パルス幅測定モード時のみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

TTmIS1, TTmIS0ビットは、フリー・ランニング・タイマ・モード (TTmOPT0.TTmCCS0ビット = 1時のみ) と、パルス幅測定モード時のみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

(6) TMTmI/O制御レジスタ2 (TTmIOC2)

TTmIOC2レジスタは、外部イベント・カウント入力信号 (EVTTm端子)、外部トリガ入力信号 (EVTTm端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TT0IOC2 FFFFF585H<sup>注</sup>, TT1IOC2 FFFFF5C5H

	7	6	5	4	3	2	1	0
TTmIOC2	0	0	0	0	TTmEES1	TTmEES0	TTmETS1	TTmETS0
[ V850E/IF3 m = 1 ]	TTmEES1		TTmEES0		外部イベント・カウント入力信号 (EVTTm端子) の有効エッジの設定			
	0	0	エッジ検出なし (外部イベント・カウント無効)					
[ V850E/IG3 m = 0, 1 ]	0	1	立ち上がりエッジを検出					
	1	0	立ち下がりエッジを検出					
	1	1	両エッジを検出					
	TTmETS1		TTmETS0		外部トリガ入力信号 (EVTTm端子) の有効エッジの設定			
0	0	エッジ検出なし (外部トリガ無効)						
0	1	立ち上がりエッジを検出						
1	0	立ち下がりエッジを検出						
1	1	両エッジを検出						

注 V850E/IG3のみ

- 注意1. TTmEES1, TTmEES0, TTmETS1, TTmETS0ビットは、TTmCTL0.TTmCEビット = 0のときに書き換えてください (TTmCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TTmCEビットをクリア (0) してから再設定してください。
2. TTmEES1, TTmEES0ビットは、TTmCTL1.TTmEEEビット = 1、または、外部イベント・カウント・モード (TTmCTL1.TTmMD3-TTmMD0ビット = 0001) に設定したときのみ有効です。
3. TTmETS1, TTmETS0ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。

(7) TMTmI/O制御レジスタ3 (TTmIOC3)

TTmIOC3レジスタは、エンコーダ・クリアを制御する8ビットのレジスタです。

TTmIOC3レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TT0IOC3 FFFFF586H<sup>注</sup>, TT1IOC3 FFFFF5C6H

	7	6	5	4	3	2	1	0
TTmIOC3	TTmSCE	TTmZCL	TTmBCL	TTmACL	TTmECS1	TTmECS0	TTmEIS1	TTmEIS0

[ V850E/IF3  
m = 1 ]

[ V850E/IG3  
m = 0, 1 ]

TTmSCE	エンコーダ・クリア選択
0	エンコーダ・クリア信号 (TECRm端子) のエッジ検出クリア
1	TENCm0, TENCm1, TECRm端子のクリア・レベル条件検出クリア
<ul style="list-style-type: none"> <li>TTmSCEビット = 0のとき, TTmECS1, TTmECS0ビットで指定したTECRm端子の有効エッジ検出により, 16ビット・カウンタを0000Hにクリアします。</li> <li>TTmSCEビット = 1のとき, TTmZCL, TTmBCL, TTmACLビットのクリア・レベル条件と, TECRm, TENCm1, TENCm0端子の入力レベルが一致すると16ビット・カウンタを0000Hにクリアします。</li> <li>TTmSCEビット = 1のとき, TTmZCL, TTmBCL, TTmACLビットの設定が有効となり, TTmECS1, TTmECS0ビットの設定は無効となります。エンコーダ・クリア割り込み要求信号 (INTTIECm) は発生しません。</li> <li>TTmSCEビット = 0のとき, TTmZCL, TTmBCL, TTmACLビットの設定が無効となり, TTmECS1, TTmECS0ビットの設定は有効となります。TTmECS1, TTmECS0ビットで設定した有効エッジ検出によりINTTIECm信号が発生します。</li> <li>TTmSCEビット = 1の設定をするときには, 必ずTTmCTL2.TTmUDS1, TTmUDS0ビット = 10または11に設定してください。TTmUDS1, TTmUDS0ビット = 00または01に設定し, TTmSCEビット = 1とした場合の動作は保証しません。</li> </ul>	

TTmZCL	エンコーダ・クリア信号 (TECRm端子) のクリア・レベル選択
0	TECRm端子ロウ・レベル・クリア
1	TECRm端子ハイ・レベル・クリア
TTmZCLビットの設定はTTmSCEビット = 1のときのみ有効になります。	

TTmBCL	エンコーダ入力信号 (TENCm1端子) のクリア・レベル選択
0	TENCm1端子ロウ・レベル・クリア
1	TENCm1端子ハイ・レベル・クリア
TTmBCLビットの設定はTTmSCEビット = 1のときのみ有効になります。	

TTmACL	エンコーダ入力信号 (TENCm0端子) のクリア・レベル選択
0	TENCm0端子ロウ・レベル・クリア
1	TENCm0端子ハイ・レベル・クリア
TTmACLビットの設定はTTmSCEビット = 1のときのみ有効になります。	

注 V850E/IG3のみ

TTmECS1	TTmECS0	エンコーダ・クリア入力信号 (TECRm端子) の有効エッジの設定
0	0	エッジ検出なし (エンコーダ・クリア無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TTmEIS1	TTmEIS0	エンコーダ入力信号 (TENCm0, TENCm1端子) の有効エッジの設定
0	0	エッジ検出なし (エンコーダ入力無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TTmSCE, TTmZCL, TTmBCL, TTmACL, TTmECS1, TTmECS0, TTmEIS1, TTmEIS0ビットは, TTmCTL0.TTmCEビット = 0のときに書き換えてください (TTmCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TTmCEビットをクリア (0) してから再設定してください。
- TTmECS1, TTmECS0ビットは, TTmSCEビット = 0, かつエンコーダ・コンペア・モード時のみ有効です。
  - TTmEIS1, TTmEIS0ビットは, TTmCTL2.TTmUDS1, TTmUDS0ビット = 00または01時のみ有効です。

(8) TMTnオプション・レジスタ0 (TTnOPT0)

TTnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TT0OPT0 FFFFF587H, TT1OPT0 FFFFF5C7H

	7	6	5	4	3	2	1	①
TTnOPT0	0	0	TTmCCS1 <sup>注</sup>	TTmCCS0 <sup>注</sup>	0	0	0	TTnOVF
[ V850E/IF3 n = 0, 1 m = 1 ]	TTmCCS1 <sup>注</sup>		TTmCCR1レジスタのキャプチャ/コンペア選択					
	0	コンペア・レジスタに選択						
[ V850E/IG3 n = 0, 1 m = 0, 1 ]	TTmCCS0 <sup>注</sup>		TTmCCR0レジスタのキャプチャ/コンペア選択					
	0	コンペア・レジスタに選択						
		1	キャプチャ・レジスタに選択 (TTmCTL0.TTmCEビット = 0によりクリア)					
TTmCCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。								

TTmCCS1 <sup>注</sup>		TTmCCR1レジスタのキャプチャ/コンペア選択						
0	コンペア・レジスタに選択							
1	キャプチャ・レジスタに選択 (TTmCTL0.TTmCEビット = 0によりクリア)							
TTmCCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。								

TTnOVF	TMTnのオーバフロー検出フラグ
セット (1)	オーバフロー発生
リセット (0)	TTnOVFビットへの0書き込みまたはTTnCTL0.TTnCEビット = 0
<ul style="list-style-type: none"> <li>TTnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタの値がFFFFHから0000Hにオーバフローするときセット (1) されます。</li> <li>TTnOVFビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTTIOVn) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTTIOVn信号は発生しません。</li> <li>TTnOVFビット = 1のときにTTnOVFビットまたはTTnOPT0レジスタをリードしても、TTnOVFビットはクリア (0) されません。</li> <li>INTTTIOVn信号発生後、TTnOVFビットをクリア (0) する場合は、必ずTTnOVFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。</li> <li>TTnOVFビットはリード/ライト可能ですが、ソフトウェアでTTnOVFビットをセット (1) することはできません。1をライトしてもTMTnの動作に影響はありません。</li> </ul>	

注 V850E/IF3は、TMT1のみ有効です。TMT0のビット4, 5には必ず0を設定してください。

注意1. TTmCCS1, TTmCCS0ビットは、TTmCEビット = 0のときに書き換えてください (TTmCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TTmCEビットをクリア (0) してから再設定してください。

2. ビット1-3, 6, 7には必ず0を設定してください。

(9) TMTmオプション・レジスタ1 (TTmOPT1)

TTmOPT1レジスタは、エンコーダ・カウント機能のアンダフロー、オーバフロー、アップ/ダウン・カウント動作の状態を検出する8ビットのレジスタです。

TTmOPT1レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TTmOPT1レジスタは、TTmCTL0.TTmCEビット = 1のときでも書き換えできます。

(1/2)

リセット時：00H    R/W    アドレス：TT0OPT1 FFFFF588H <sup>注</sup> , TT1OPT1 FFFFF5C8H									
		7	6	5	4	3	②	①	①
TTmOPT1		0	0	0	0	0	TTmEUF	TTmEOF	TTmESF

[ V850E/IF3 m = 1 ]	TTmEUF	TMTmのアンダフロー検出フラグ
[ V850E/IG3 m = 0, 1 ]	セット(1)	アンダフロー発生
	リセット(0)	TTmEUFビットへの0書き込みまたはTTmCTL0.TTmCEビット = 0によりクリア)

- ・ TTmEUFビットは、エンコーダ・コンペア・モード時に、16ビット・カウンタの値が0000HからFFFFHにアンダフローするときにセット(1)されます。
- ・ TTmCTL2.TTmLDEビット = 1のときは、アンダフロー発生により16ビット・カウンタの値が0000HからTTmCCR0レジスタの設定値へ書き換わると、TTmEUFビットがセット(1)されます。
- ・ TTmEUFビットがセット(1)されると同時に、オーバフロー割り込み要求信号(INTTTIOVm)が発生します。
- ・ TTmEUFビット = 1のときにTTmEUFビットまたはTTmOPT1レジスタをリードしても、TTmEUFビットはクリア(0)されません。
- ・ TTmCTL2.TTmECCビット = 1時にTTmCTL0.TTmCEビット = 0にしてもTTmEUFビットの状態は保持されます。
- ・ INTTTIOVm信号発生後、TTmEUFビットをクリア(0)する場合は、必ずTTmEUFビットがセット(1)されているのを確認(リード)後クリア(0)してください。
- ・ TTmEUFビットはリード/ライト可能ですが、ソフトウェアでTTmEUFビットをセット(1)することはできません。1をライトしてもTMTmの動作に影響はありません。

**注** V850E/IG3のみ



TTmEOF	TMTmのエンコーダ機能用オーバーフロー検出フラグ
セット(1)	オーバーフロー発生
リセット(0)	TTmEOFビットへの0書き込みまたはTTmCTL0.TTmCEビット = 0によりクリア)
	<ul style="list-style-type: none"> <li>・ TTmEOFビットは、エンコーダ・コンペア・モード時に、16ビット・カウンタの値がFFFFHから0000Hにオーバーフローするときにセット(1)されます。</li> <li>・ TTmEOFビットがセット(1)されると同時に、オーバーフロー割り込み要求信号(INTTTIOVm)が発生します。このとき、TTmOPT0.TTmOVFビットはセット(1)されません。</li> <li>・ TTmEOFビット = 1のときにTTmEOFビットまたはTTmOPT1レジスタをリードしても、TTmEOFビットはクリア(0)されません。</li> <li>・ TTmCTL2.TTmECCビット = 1時にTTmCTL0.TTmCEビット = 0にしてもTTmEOFビットの状態は保持されます。</li> <li>・ INTTTIOVm信号発生後、TTmEOFビットをクリア(0)する場合は、必ずTTmEOFビットがセット(1)されているのを確認(リード)後クリア(0)してください。</li> <li>・ TTmEOFビットはリード/ライト可能ですが、ソフトウェアでTTmEOFビットをセット(1)することはできません。1をライトしてもTMTmの動作に影響はありません。</li> </ul>

TTmESF	TMTmのアップ/ダウン・カウント動作状態検出フラグ
0	TMTmのアップ・カウント動作中
1	TMTmのダウン・カウント動作中
	<ul style="list-style-type: none"> <li>・ TTmCTL2.TTmECCビット = 0時にTTmCTL0.TTmCEビット = 0によりクリア(0)されます。</li> <li>・ TTmECCビット = 1時にTTmCEビット = 0にしてもTTmESFビットの状態は保持されます。</li> </ul>

**注意** ビット3-7には必ず0を設定してください。

(10) TMTmキャプチャ入力選択レジスタ (TTISLm)

TTISLmレジスタは、TTmCCR0レジスタをキャプチャ・レジスタとして使用したとき、キャプチャ・トリガ入力信号としてTITm0端子とTITm1端子のどちらを使用するか選択するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより不定になります。

リセット時：不定		R/W	アドレス：TTISL0 FFFFFFF5A4H <sup>注</sup> , TTISL1 FFFFFFF5A6H								
			7	6	5	4	3	2	1	0	
TTISLm			0	0	0	0	0	0	0	TTISLm	
〔 V850E/IF3 m = 1 〕	TTISLm	TTmCCR0レジスタのキャプチャ・トリガ入力信号の選択									
		0	TITm0入力								
〔 V850E/IG3 m = 0, 1 〕		1	TITm1入力								

注 V850E/IG3のみ

(11) TMTnキャプチャ/コンペア・レジスタ0 (TTnCCR0)

TTmCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。V850E/IF3のTT0CCR0レジスタはコンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

TTmCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TTmOPT0.TTmCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

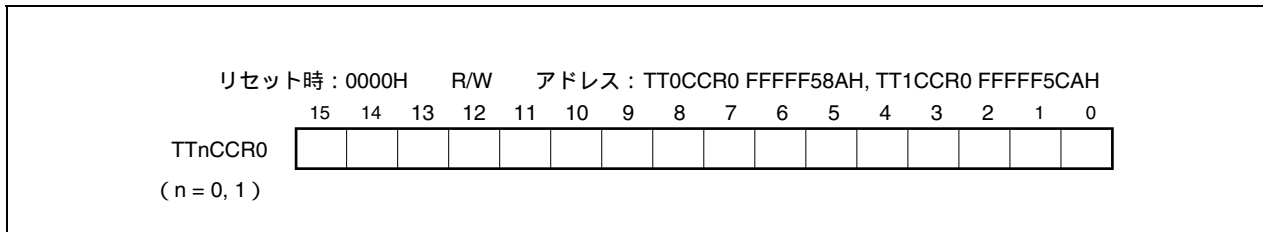
TTnCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**備考** V850E/IF3 : n = 0, 1, m = 1

V850E/IG3 : n = 0, 1, m = 0, 1



(a) コンペア・レジスタとしての機能

TTnCCR0レジスタは、TTnCTL0.TTnCEビット = 1のときでも書き換えできます。

TTnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTTEQCn0) を発生し、TOTm0端子出力を許可している場合、TOTm0端子出力を反転します。

インターバル・タイマ・モードの場合はTTnCCR0レジスタを、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モード、三角波PWM出力モード、エンコーダ・コンペア・モードの場合はTTmCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TTnCTL0.TTnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モード (TTmCCR0レジスタをキャプチャ・レジスタとして使用する) の場合は、キャプチャ・トリガ入力 (TITm0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTTmCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TITm0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTTmCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTTmCCR0レジスタのリードが競合しても、TTmCCR0レジスタは正しい値をリードできます。

TTmCTL0.TTmCEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 V850E/IF3 : m = 1  
V850E/IG3 : m = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	TTnCCR0レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ <sup>注1</sup>	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 <sup>注1</sup>	コンペア・レジスタ	一斉書き込み <sup>注2</sup>
ワンショット・パルス出力 <sup>注1</sup>	コンペア・レジスタ	随時書き込み
PWM出力 <sup>注1</sup>	コンペア・レジスタ	一斉書き込み <sup>注2</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 <sup>注1</sup>	キャプチャ・レジスタ	なし
三角波PWM出力 <sup>注1</sup>	コンペア・レジスタ	一斉書き込み <sup>注2</sup>
エンコーダ・コンペア <sup>注1</sup>	コンペア・レジスタ	随時書き込み

注1. V850E/IF3はTMT1のみ

2. TTnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、8.6(2)随時書き込みと一斉書き込みを参照してください。

(12) TMTnキャプチャ/コンペア・レジスタ1 (TTnCCR1)

TTmCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。V850E/IF3のTT0CCR1レジスタはコンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

TTmCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TTmOPT0.TTmCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

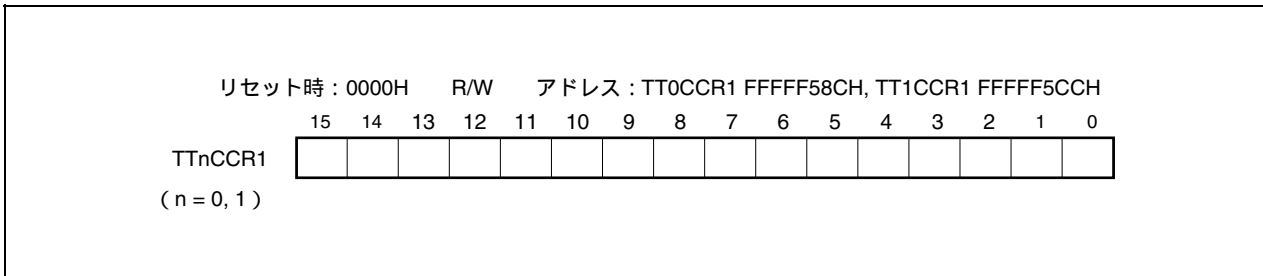
TTnCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**備考** V850E/IF3 : n = 0, 1, m = 1

V850E/IG3 : n = 0, 1, m = 0, 1



## (a) コンペア・レジスタとしての機能

TTnCCR1レジスタは、TTnCTL0.TTnCEビット = 1のときでも書き換えできます。

TTnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTTEQCn1) を発生し、TOTm1端子出力を許可している場合、TOTm1端子出力を反転します。

TTnCTL0.TTnCEビット = 0によりコンペア・レジスタはクリアされません。

## (b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モード (TTmCCR1レジスタをキャプチャ・レジスタとして使用する場合) の場合は、キャプチャ・トリガ入力 (TITm1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTTmCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TITm1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTTmCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTTmCCR1レジスタのリードが競合しても、TTmCCR1レジスタは正しい値をリードできます。

TTmCTL0.TTmCEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 V850E/IF3 : m = 1

V850E/IG3 : m = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	TTnCCR1レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ <sup>注1</sup>	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 <sup>注1</sup>	コンペア・レジスタ	一斉書き込み <sup>注2</sup>
ワンショット・パルス出力 <sup>注1</sup>	コンペア・レジスタ	随時書き込み
PWM出力 <sup>注1</sup>	コンペア・レジスタ	一斉書き込み <sup>注2</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 <sup>注1</sup>	キャプチャ・レジスタ	なし
三角波PWM出力 <sup>注1</sup>	コンペア・レジスタ	一斉書き込み <sup>注2</sup>
エンコーダ・コンペア <sup>注1</sup>	コンペア・レジスタ	随時書き込み

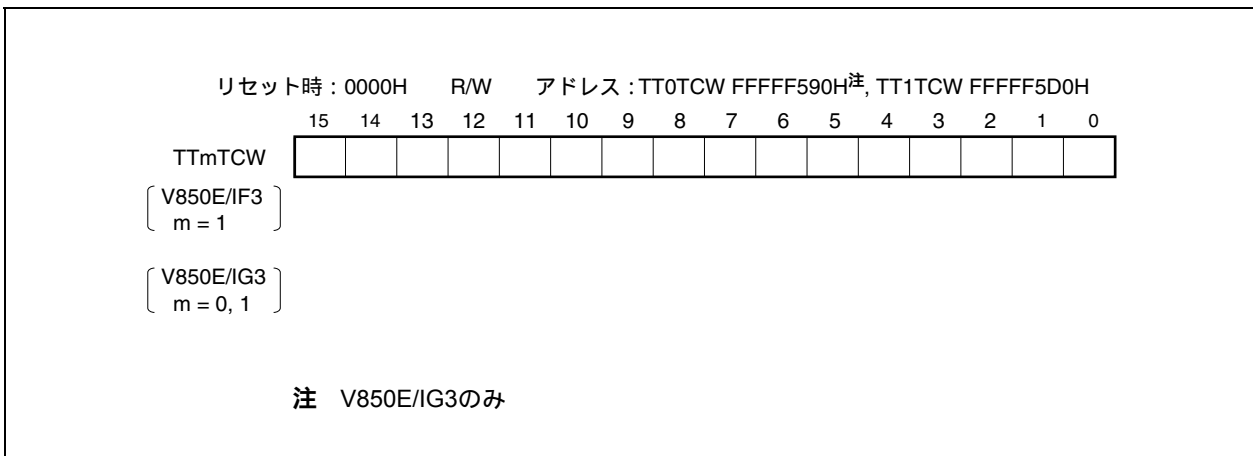
注1. V850E/IF3はTMT1のみ

2. TTnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、8.6(2) **随時書き込みと一斉書き込み**を参照してください。

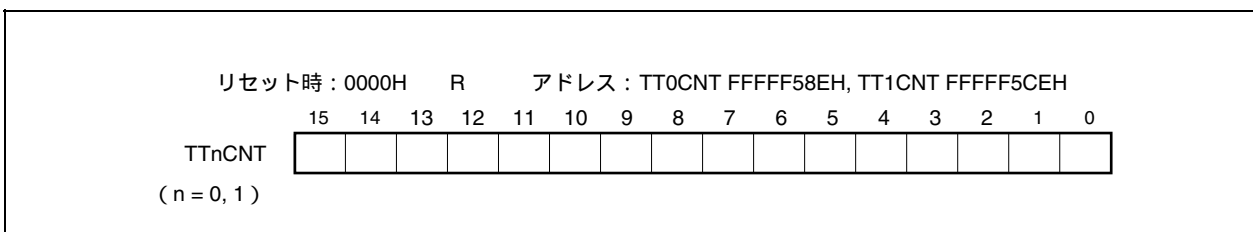
(13) TMTmカウンタ・ライト・レジスタ (TTmTCW)

TTmTCWレジスタは、16ビット・カウンタの初期値を設定するレジスタです。  
 TTmTCWレジスタは、エンコーダ・コンペア・モード時のみ有効です。  
 16ビット単位でリード/ライト可能です。  
 TTmTCWレジスタは、TTmCTL0.TTmCEビット = 0のときに書き換えてください。  
 TTmCEビットをセット(1)するとTTmTCWレジスタの値を16ビット・カウンタに転送します。  
 リセットにより0000Hになります。



(14) TMTnカウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。  
 TTnCTL0.TTnCEビット = 1のときにTTnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。  
 16ビット単位でリードのみ可能です。  
 TTmCTL2.TTmECCビット = 0かつTTmCEビット = 0のとき、TTmCNTレジスタは0000Hになります。このときにTTmCNTレジスタをリードすると、16ビット・カウンタの値(FFFFH)ではなく、そのまま0000Hがリードされます。TTmECCビット = 1かつTTmCEビット = 0のとき、TTmCNTレジスタは0000Hとならずに直前の値がリードされます。  
 リセットによりTTmECCビット = 0かつTTmCEビット = 0になり、TTmCNTレジスタは0000Hになります。



## 8.5 タイマ出力動作説明

次にTOTm0, TOTm1端子の動作, および出力レベルを示します。

表8 - 6 各モードによるタイマ出力制御

動作モード	TOTm1端子	TOTm0端子
インターバル・タイマ・モード	PWM出力	
外部イベント・カウント・モード <sup>注</sup>	なし	
外部トリガ・パルス出力モード <sup>注</sup>	外部トリガ・パルス出力	PWM出力
ワンショット・パルス出力モード <sup>注</sup>	ワンショット・パルス出力	
PWM出力モード <sup>注</sup>	PWM出力	
フリー・ランニング・タイマ・モード	PWM出力(コンペア機能のときのみ)	
パルス幅測定モード <sup>注</sup>	なし	
三角波PWM出力モード <sup>注</sup>	三角波PWM出力	
エンコーダ・コンペア・モード <sup>注</sup>	なし	

注 V850E/IF3はTMT1のみ

備考 V850E/IF3 : m = 1, a = 0, 1

V850E/IG3 : m = 0, 1, a = 0, 1

表8 - 7 タイマ出力制御ビットによるTOTm0, TOTm1端子の真理値表

TTmIOC0.TTmOLaビット	TTmIOC0.TTmOEaビット	TTmCTL0.TTmCEビット	TOTma端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 V850E/IF3 : m = 1, a = 0, 1

V850E/IG3 : m = 0, 1, a = 0, 1



## 8.6 動作

TMTn は、チャンネルによって実現できる機能が異なります。次に各チャンネルの機能を示します (n = 0, 1)。

表8-8 TMTmの各モードの仕様

動作	TTmCTL1.TTmESTビット (ソフトウェア・トリガ・ビット)	EVTTm端子 (外部トリガ入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード	無効	無効	キャプチャ専用	対象外
三角波PWM出力モード	無効	無効	コンペア専用	一斉書き込み
エンコーダ・コンペア・モード	無効	無効	コンペア専用	随時書き込み

備考 V850E/IF3 : m = 1

V850E/IG3 : m = 0, 1

表8-9 V850E/IF3のTMT0の各モードの仕様

動作	ソフトウェア・ トリガ・ビット	外部トリガ入力	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード			なし	
外部トリガ・パルス出力モード			なし	
ワンショット・パルス出力モード			なし	
PWM出力モード			なし	
フリー・ランニング・タイマ・モード	無効	無効	コンペア専用	随時書き込み
パルス幅測定モード			なし	
三角波PWM出力モード			なし	
エンコーダ・コンペア・モード			なし	

備考 V850E/IF3のTMT0にはタイマ入力端子 (TIT00, TIT01, TECR0, TENC00, TENC01, EVTT0) , およびタイマ出力端子 (TOT00, TOT01) はありません。16ビット・カウンタとTT0CCR0, TT0CCR1レジスタとの一致割り込み要求信号 (INTTTEQC00, INTTTEQC01) はあります。

**(1) カウンタ基本動作**

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

**備考** V850E/IF3 :  $n = 0, 1, m = 1$   
 V850E/IG3 :  $n = 0, 1, m = 0, 1$

**(a) カウント開始動作**

- ・外部イベント・カウント・モード

TTmCTL0.TTmCEビット = 0 のタイミングで16ビット・カウンタに0000Hが設定されます。その後は、外部イベント・カウント入力 (EVTTm) の有効エッジ検出するごとに0001H, 0002H, 0003H, ...とカウント・アップします。

- ・エンコーダ・コンペア・モード

TENCm0, TENCm1の位相によりカウント動作を制御します。

TTmTCWレジスタ設定値を16ビット・カウンタに転送することでカウンタの初期設定を行い、カウント動作を開始します (TTmTCWレジスタ設定値は、TTmCTL2.TTmECCビット = 0時にTTmCTL0.TTmCEビット = 0 1となるタイミングで16ビット・カウンタに転送されます)。

- ・三角波PWM出力モード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

アップ・カウント後、16ビット・カウンタ値とCCR0バッファ・レジスタの値の一致でダウン・カウントします。

- ・上記以外のモード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

**(b) クリア動作**

16ビット・カウンタとコンペア・レジスタの値の一致&クリア、16ビット・カウンタの値のキャプチャ&クリア、エンコーダ・クリア信号のエッジ検出クリア、TENCm0, TENCm1, TECRm端子のクリア・レベル条件検出クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバーフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって、INTTTEQCn0, INTTTEQCn1割り込み信号は発生しません。

**(c) オーバフロー動作**

16ビット・カウンタのオーバフローは、フリー・ランニング・モード、パルス幅測定モード、エンコーダ・コンペア・モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。

フリー・ランニング・モード、パルス幅測定モード時は、オーバフローが発生すると、TTnOPT0.TTnOVFビットがセット(1)され、割り込み要求信号(INTTTIOVn)が発生します。

エンコーダ・コンペア・モード時は、オーバフローが発生すると、TTnOPT1.TTnEOFビットがセット(1)され、割り込み要求信号(INTTTIOVn)が発生します。

なお、次の条件ではINTTTIOVn信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値がFFFFHで一致&クリアされた場合
- ・パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

**注意** オーバフロー割り込み要求信号(INTTTIOVn)発生後は、必ずオーバフロー・フラグ(TTnOVF,TTmEOFビット)が“1”にセットされているのを確認してください。

**(d) カウントの保持動作**

エンコーダ・コンペア・モード時に、TTmCTL2.TTmECCビットにより16ビット・カウンタの値の保持制御を行います。TTmECCビット = 0かつTTmCTL0.TTmCEビット = 0の場合は、16ビット・カウンタの値はFFFFHにリセットされ、次のTTmCEビット = 1でTTmTCWレジスタ設定値を16ビット・カウンタに転送し、カウント動作を行います。

TTmECCビット = 1かつTTmCEビット = 0の場合は、16ビット・カウンタの値は保持され、次にTTmCEビット = 1にすると保持していた値からカウント動作を再開します。

**(e) カウント動作中のカウンタ・リード動作**

TMTnでは、TTnCNTレジスタにより、カウント動作中の16ビット・カウンタの値をリードできます。

TTnCTL0.TTnCEビット = 1のときは、TTnCNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TTmCTL2.TTmECCビット = 0かつTTmCEビット = 0のときにTTmCNTレジスタをリードすると0000Hです。TTmECCビット = 1かつTTmCEビット = 0のときにTTmCNTレジスタをリードすると保持していた値となります。

**(f) アンダフロー動作**

16ビット・カウンタのアンダフローは、エンコーダ・コンペア・モード時に、0000HからFFFFHになるタイミングで発生します。アンダフローが発生すると、TTmOPT1.TTmEUFビットがセット(1)され、割り込み要求信号(INTTTIOVm)が発生します。

**(g) 割り込み動作**

TMTnでは、次の4種類の割り込み要求信号を発生します。

- ・ INTTTEQCn0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号 ,およびTTnCCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTTEQCn1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号 ,およびTTnCCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTTIOVn割り込み : オーバフロー割り込み要求信号として機能します。
- ・ INTTIECm割り込み : エンコーダ・クリア入力 (TECRm端子) の有効エッジ検出割り込み要求信号として機能します。

(2) 随時書き込みと一斉書き込み

TMTnでは、タイマ動作中(TTnCTL0.TTnCEビット = 1)でもTTnCCR0, TTnCCR1レジスタの書き換えを許可していますが、モードによってCCR0, CCR1バッファ・レジスタへの書き込み方法(随時書き込み、一斉書き込み)が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTTnCCR0, TTnCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を随時行います(n = 0, 1)。

図8-3 随時書き込みの基本動作フロー・チャート

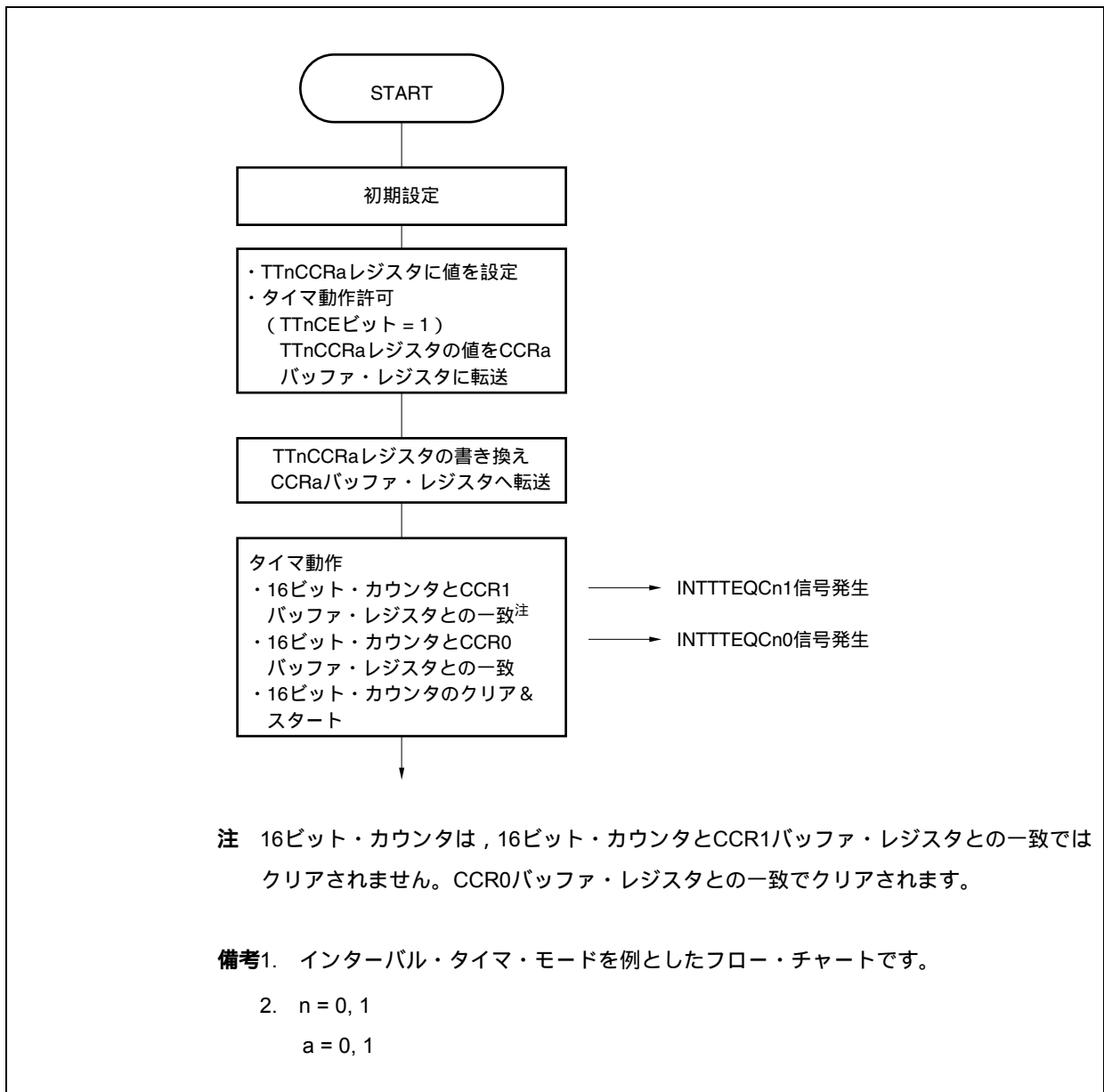
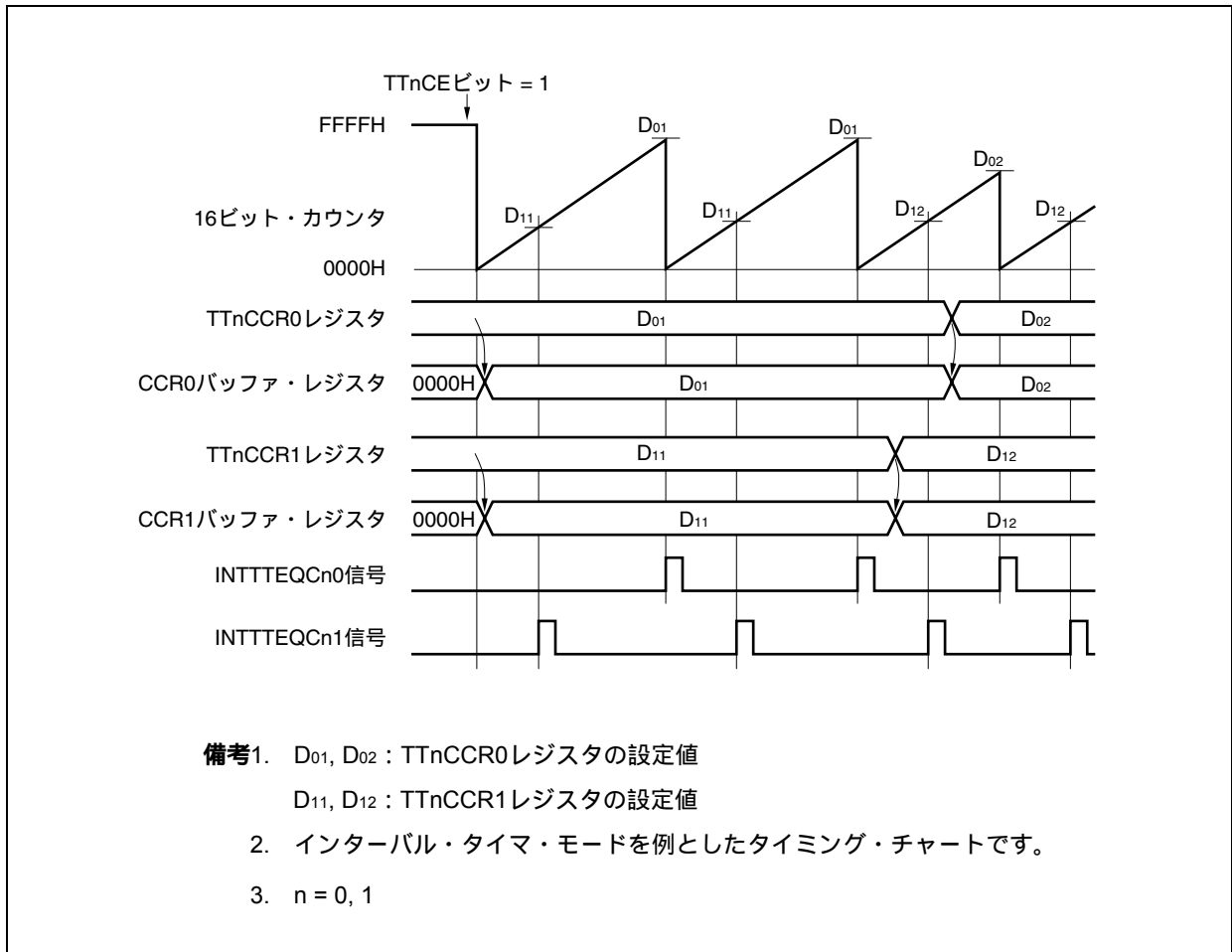


図8 - 4 随時書き込みのタイミング



**(b) 一斉書き込み**

このモードは、タイマ動作中にTTmCCR0, TTmCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTTmCCR1レジスタへの書き込みとなります。TTmCCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TTmCCR0, TTmCCR1レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする(CCR0, CCR1バッファ・レジスタに転送される)には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTTmCCR0レジスタを書き換え、次にTTmCCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TTmCCR0, TTmCCR1レジスタの値はCCR0, CCR1バッファ・レジスタに転送されます。なお、TTmCCR0レジスタの値だけ書き換えたい場合でも、TTmCCR1レジスタに同値(すでに設定したTTmCCR1レジスタと同じ値)を書き込んでください。

備考 V850E/IF3 :  $m = 1$

V850E/IG3 :  $m = 0, 1$

図8 - 5 一斉書き込みの基本動作フロー・チャート

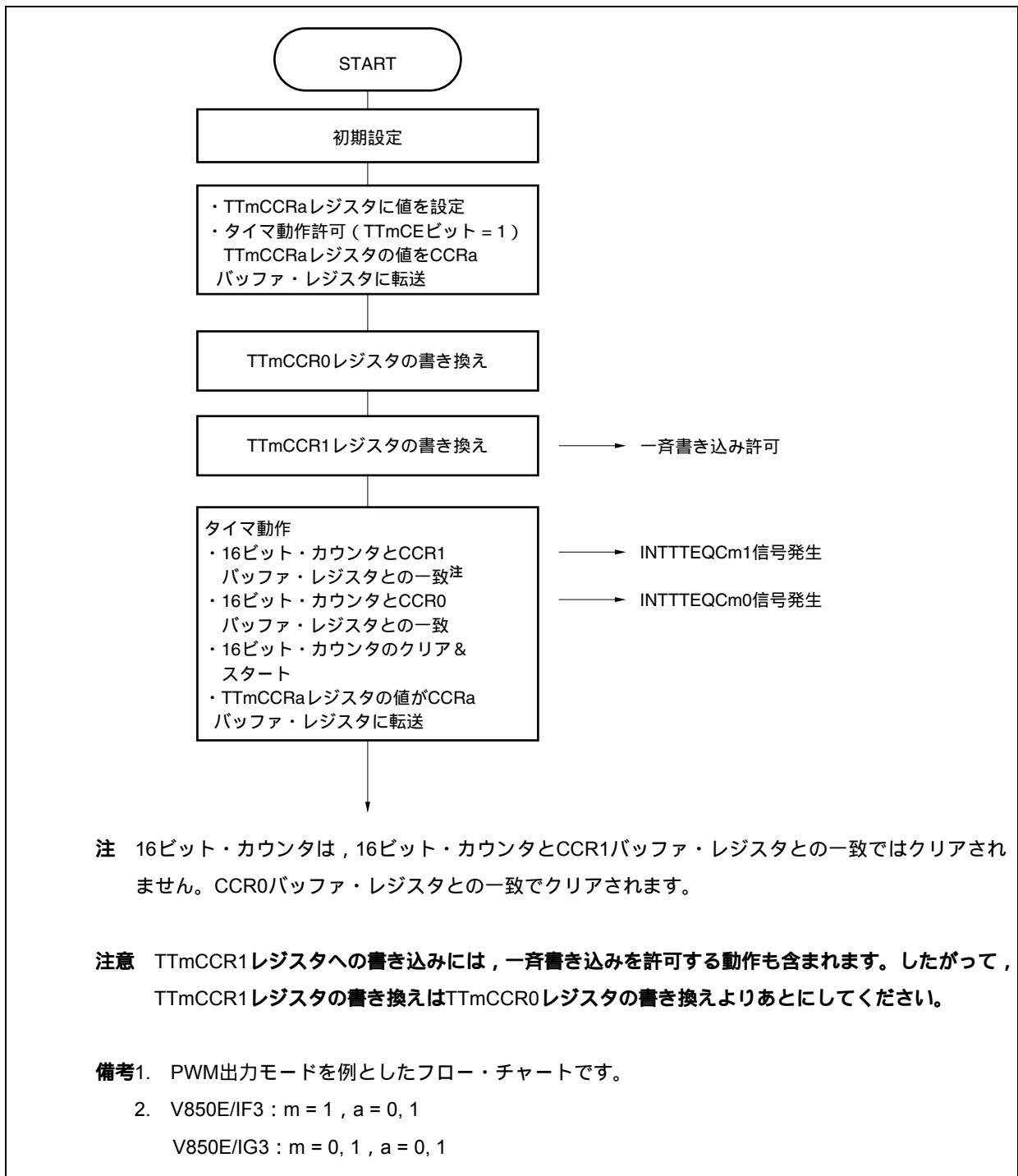
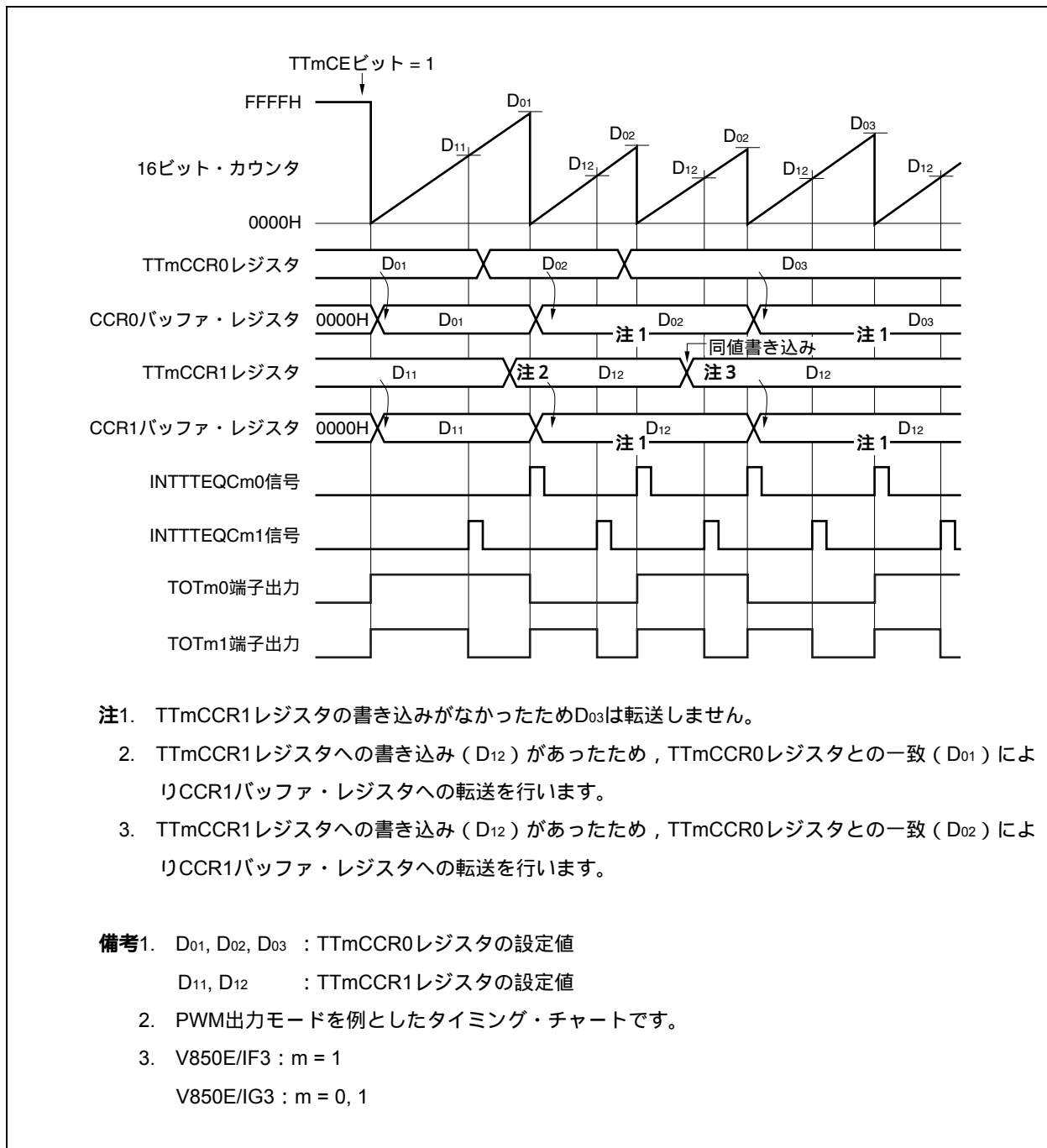




図8 - 6 一斉書き込みのタイミング



### 8.6.1 インターバル・タイマ・モード (TTnMD3-TTnMD0ビット = 0000)

インターバル・タイマ・モードは、TTnCTL0.TTnCEビットをセット(1)することで、TTnCCR0レジスタで設定したインターバル間隔にて割り込み要求信号(INTTTEQCn0)を発生します。また、TOTm0端子から、インターバル間隔を半周期とする50%デューティのPWM波形を出力できます。

インターバル・タイマ・モードでは、TTnCCR1レジスタを使用しません。しかし、TTnCCR1レジスタでは、TTnCCR1レジスタの設定値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号(INTTTEQCn1)が発生します。また、TOTm1端子から、INTTTEQCm1信号の発生タイミングにより反転する50%デューティのPWM波形を出力できます。

なお、TTnCCR0, TTnCCR1レジスタのタイマ動作中の書き換えは可能です。

図8-7 インターバル・タイマの構成図

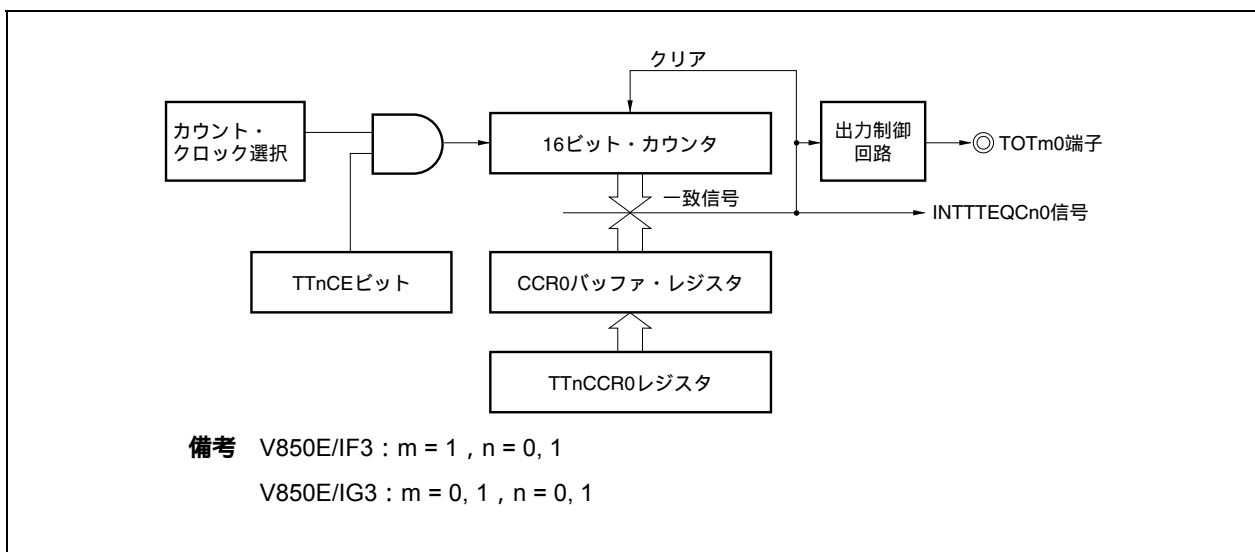
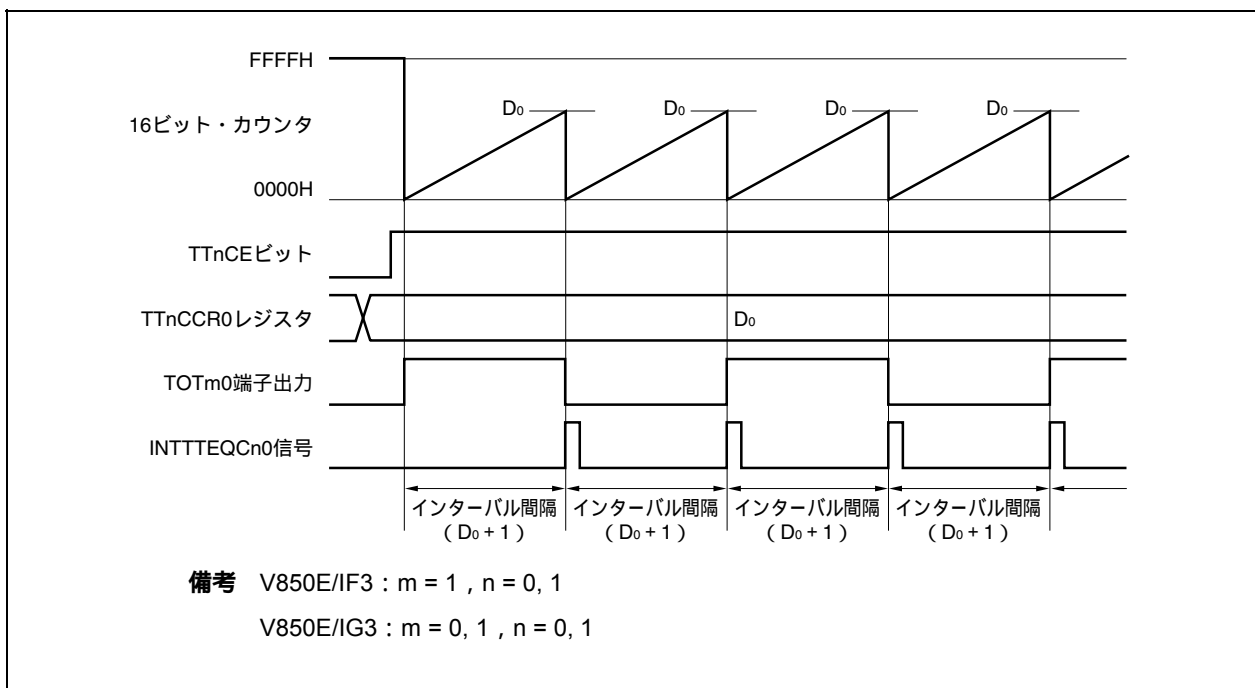


図8-8 インターバル・タイマ・モード動作の基本タイミング



TTnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOTm0端子出力を反転します。また、TTnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOTm0端子出力を反転させて、コンペア一致割り込み要求信号(INTTTEQCn0)を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TTnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 V850E/IF3 : n = 0, 1, m = 1

V850E/IG3 : n = 0, 1, m = 0, 1

図8-9 インターバル・タイマ・モード動作時のレジスタ設定内容(1/2)

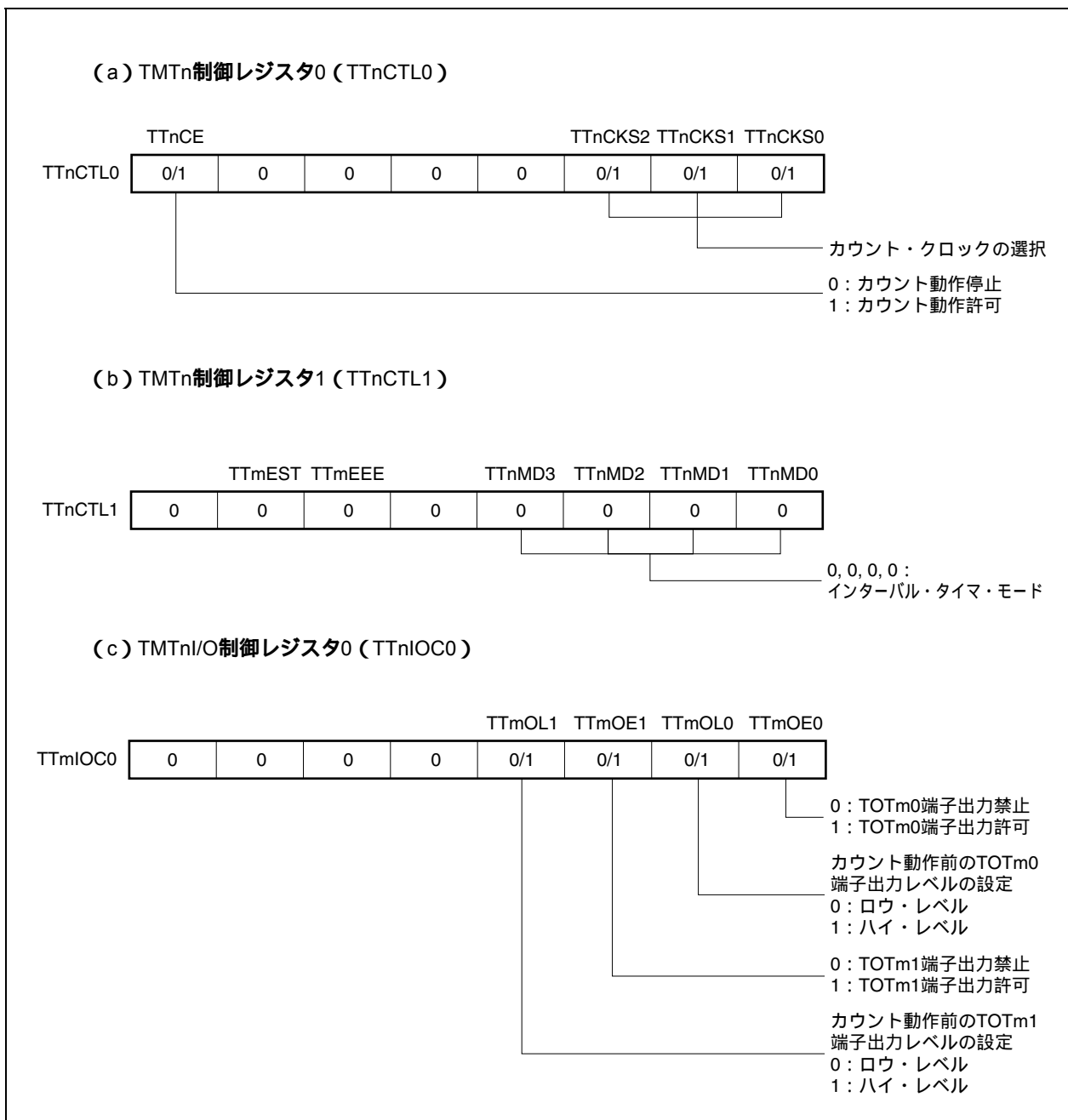


図8-9 インターバル・タイマ・モード動作時のレジスタ設定内容(2/2)

## (d) TMTnカウンタ・リード・バッファ・レジスタ (TTnCNT)

TTnCNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

## (e) TMTnキャプチャ/コンペア・レジスタ0 (TTnCCR0)

TTnCCR0レジスタにD<sub>0</sub>を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

となります。

## (f) TMTnキャプチャ/コンペア・レジスタ1 (TTnCCR1)

インターバル・タイマ・モードでは、TTnCCR1レジスタを使用しません。しかし、TTnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、TOTm1端子出力を反転し、コンペア一致割り込み要求信号 (INTTTEQCn1) が発生します。

TTnCCR0レジスタの設定値と同じ値を設定することにより、TOTm1端子から50 %デューティのPWM波形を出力できます。

TTnCCR1レジスタを使用しない場合には、TTnCCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TTnCCIC1.TTnCCMK1) でマスク設定してください。

**備考1.** TMTm制御レジスタ2 (TTmCTL2)、TMTmI/O制御レジスタ1 (TTmIOC1)、TMTmI/O制御レジスタ2 (TTmIOC2)、TMTmI/O制御レジスタ3 (TTmIOC3)、TMTnオプション・レジスタ0 (TTnOPT0)、TMTmオプション・レジスタ1 (TTmOPT1)、TMTmキャプチャ入力選択レジスタ (TTISLm)、TMTmカウンタ・ライト・レジスタ (TTmTCW) は、インターバル・タイマ・モードでは使用しません。

2. V850E/IF3 : m = 1, n = 0, 1  
V850E/IG3 : m = 0, 1, n = 0, 1

(1) インターバル・タイマ・モード動作フロー

図8 - 10 インターバル・タイマ・モード使用時のソフトウェア処理フロー (1/2)

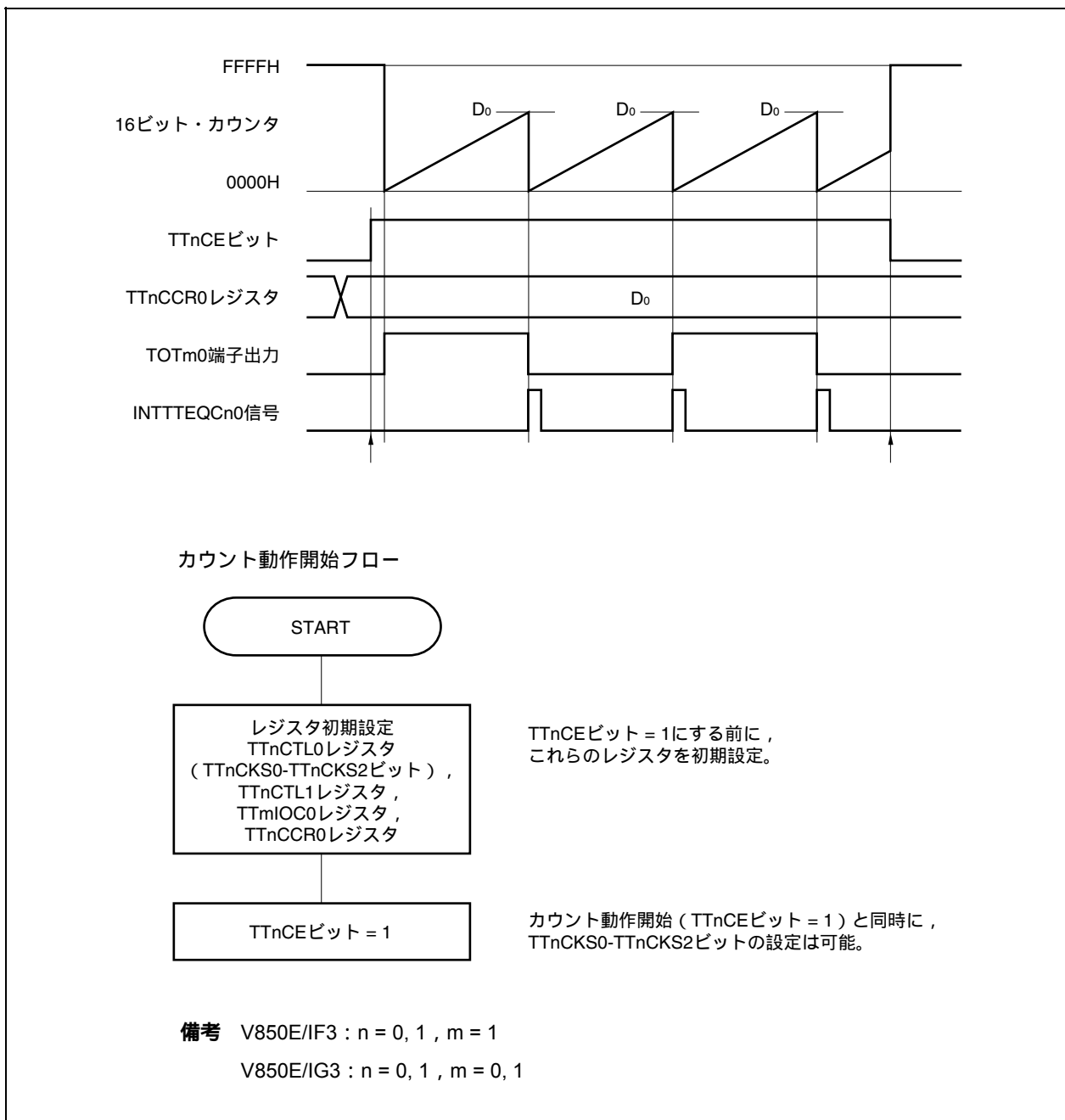
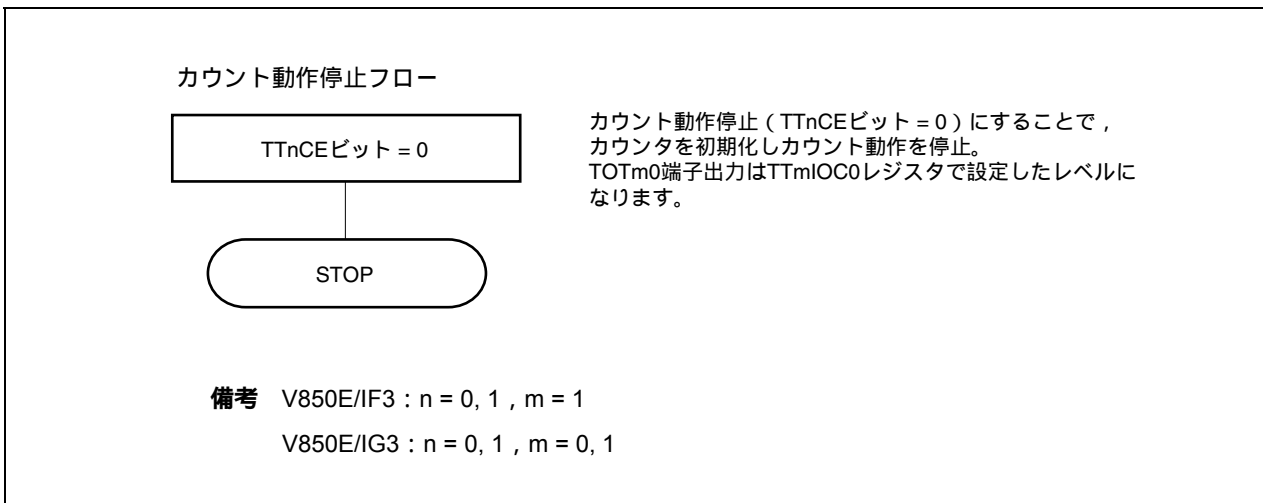


図8 - 10 インターバル・タイマ・モード使用時のソフトウェア処理フロー (2/2)

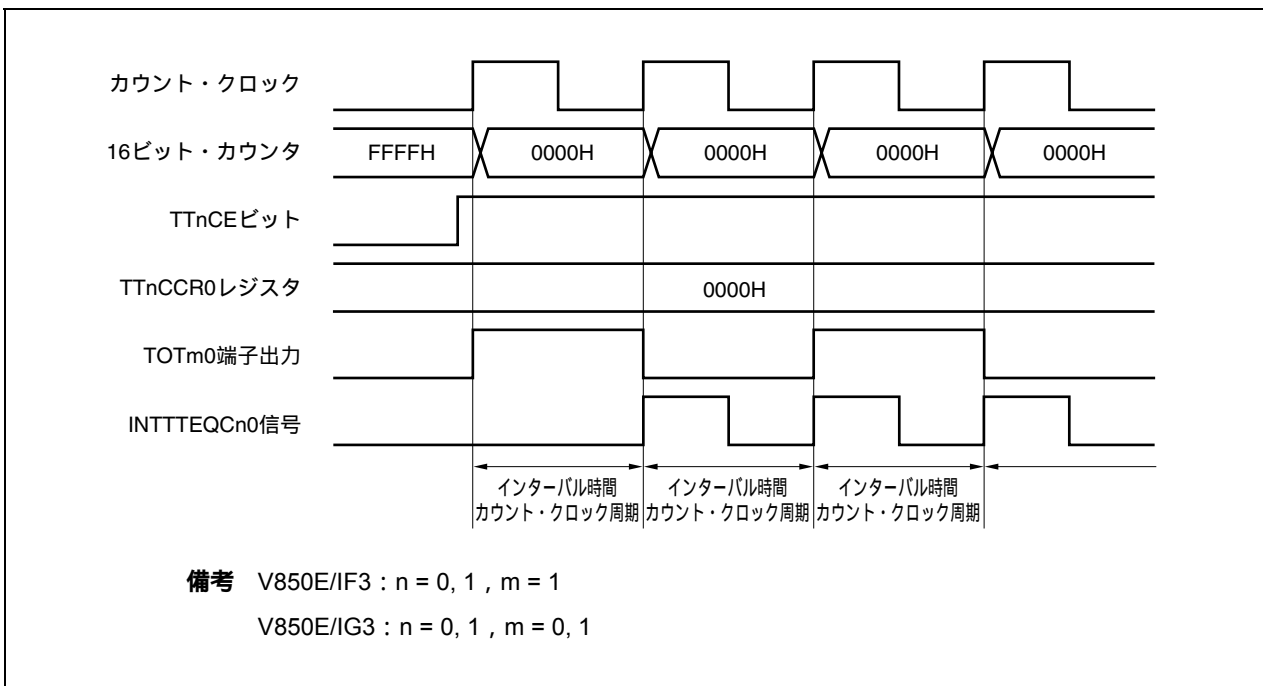


(2) インターバル・タイマ・モード動作タイミング

(a) TTnCCR0レジスタに0000Hを設定した場合の動作

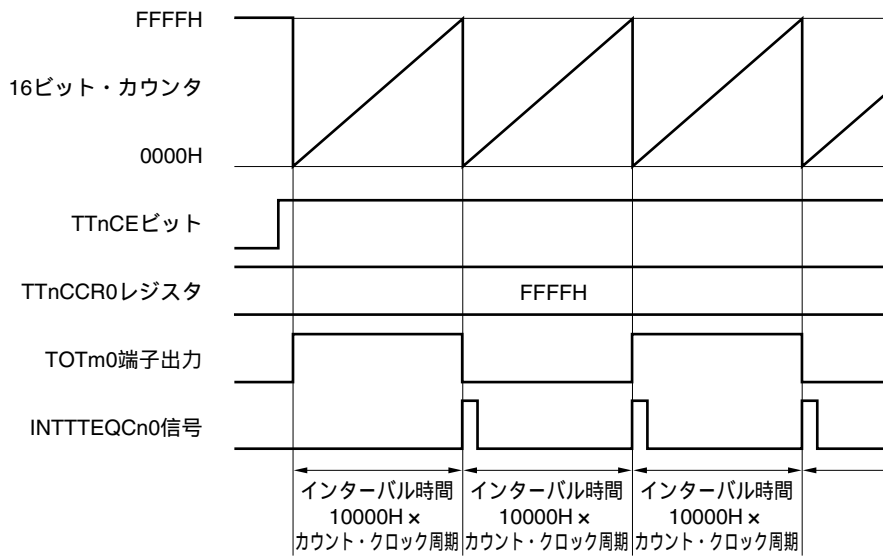
TTnCCR0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTTEQCn0信号を発生し、TOTm0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TTnCCR0レジスタにFFFFHを設定した場合の動作

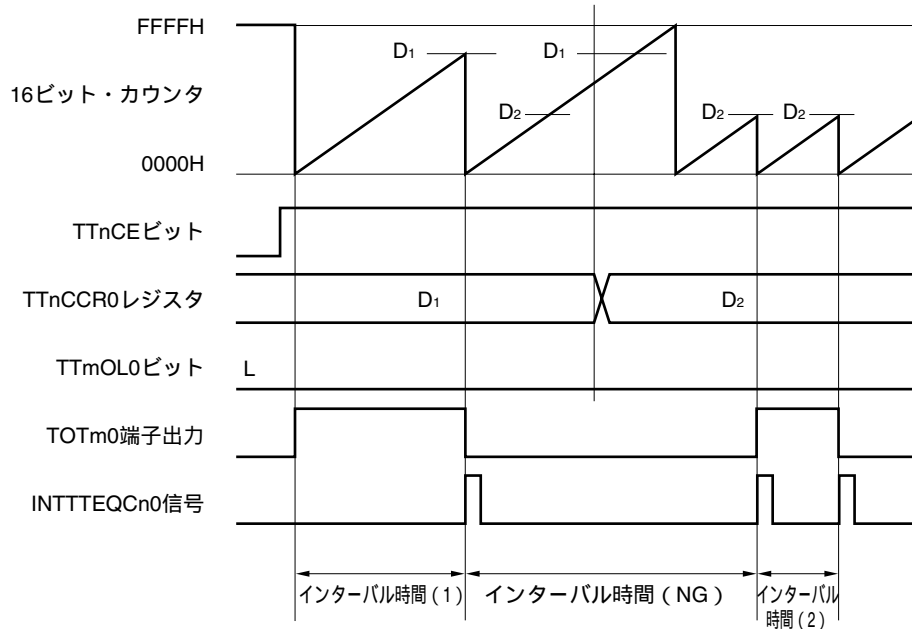
TTnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTTEQCn0信号を発生し、TOTm0端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTIOVn) は発生せず、オーバフロー・フラグ (TTnOPT0.TTnOVFビット) もセット (1) されません。



備考 V850E/IF3 : n = 0, 1, m = 1  
 V850E/IG3 : n = 0, 1, m = 0, 1

(c) TTnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTTnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



- 備考1.** インターバル時間(1) :  $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$   
 インターバル時間(NG) :  $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$   
 インターバル時間(2) :  $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
- 2.** V850E/IF3 :  $n = 0, 1, m = 1$   
 V850E/IG3 :  $n = 0, 1, m = 0, 1$

カウント値が $D_2$ よりも大きく $D_1$ よりも小さい状態において、TTnCCR0レジスタを $D_1$ から $D_2$ に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が $D_2$ となります。

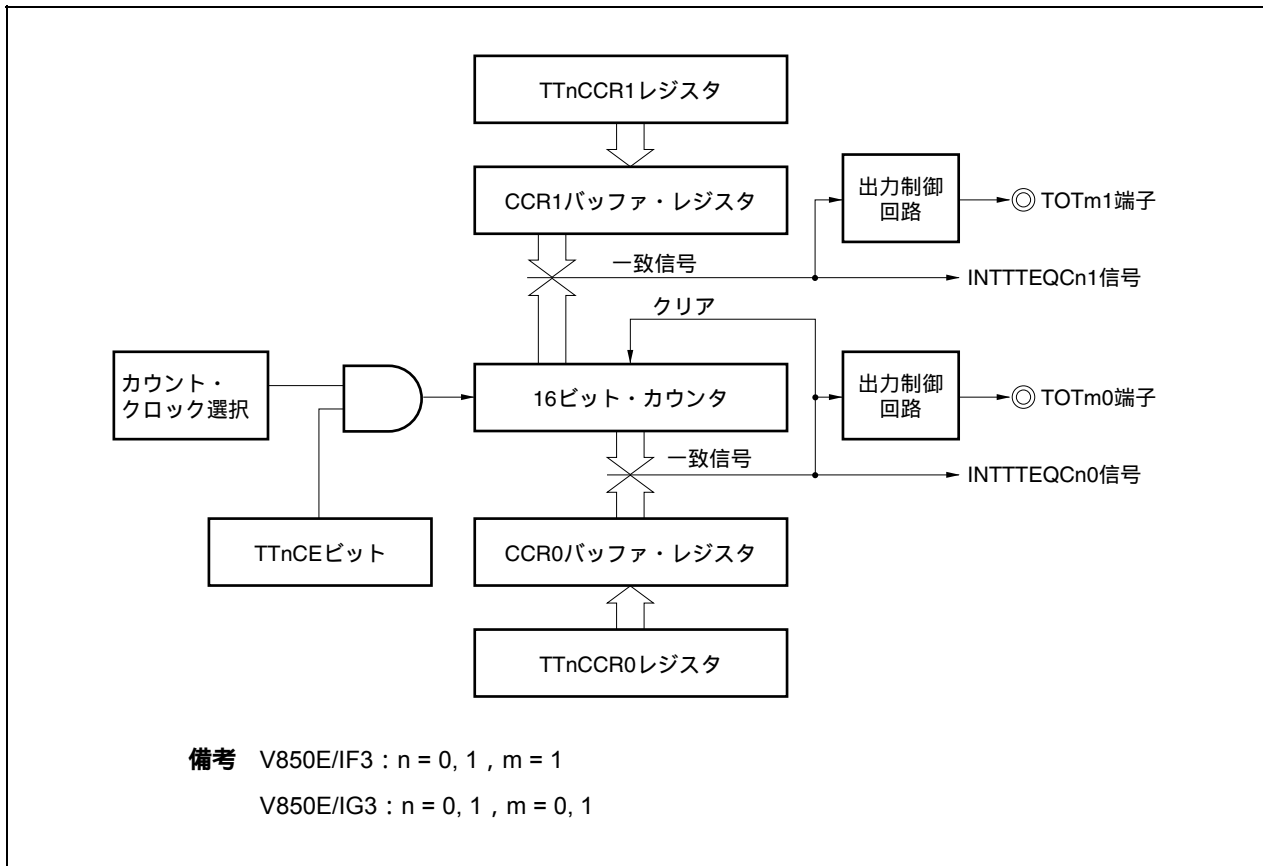
しかし、カウント値はすでに $D_2$ を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 $D_2$ との一致でINTTTEQCn0信号を発生しTOTm0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTTEQCn0信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTTEQCn0信号が発生する場合があります。



(d) TTnCCR1レジスタの動作

図8 - 11 TTnCCR1レジスタの構成図



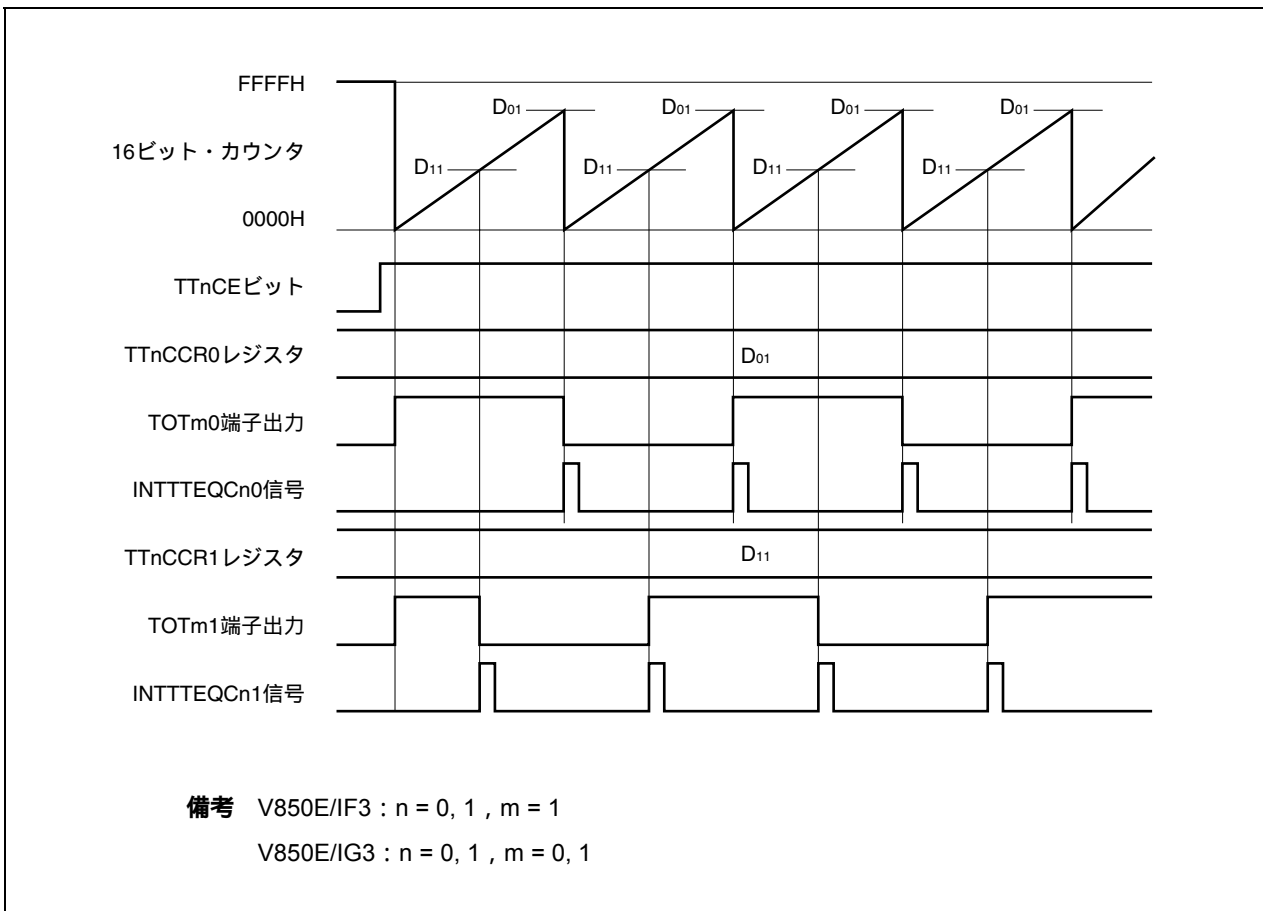
TTnCCR1レジスタにTTnCCR0レジスタの設定値と同じ値を設定すると、INTTTEQCn0信号と同じタイミングでINTTTEQCn1信号が発生し、TOTm1端子出力が反転します。すなわち、TOTm1端子から50 %デューティのPWM波形を出力できます。

TTnCCR0レジスタの設定値とは異なる値をTTnCCR1レジスタに設定した場合の動作を次に示します。

TTnCCR1レジスタの設定値がTTnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTTEQCn1信号が発生します。また、同じタイミングでTOTm1端子出力は反転します。

TOTm1端子出力は、最初に短い幅のパルスを出力したあと、50 %デューティのPWM波形を出力します。

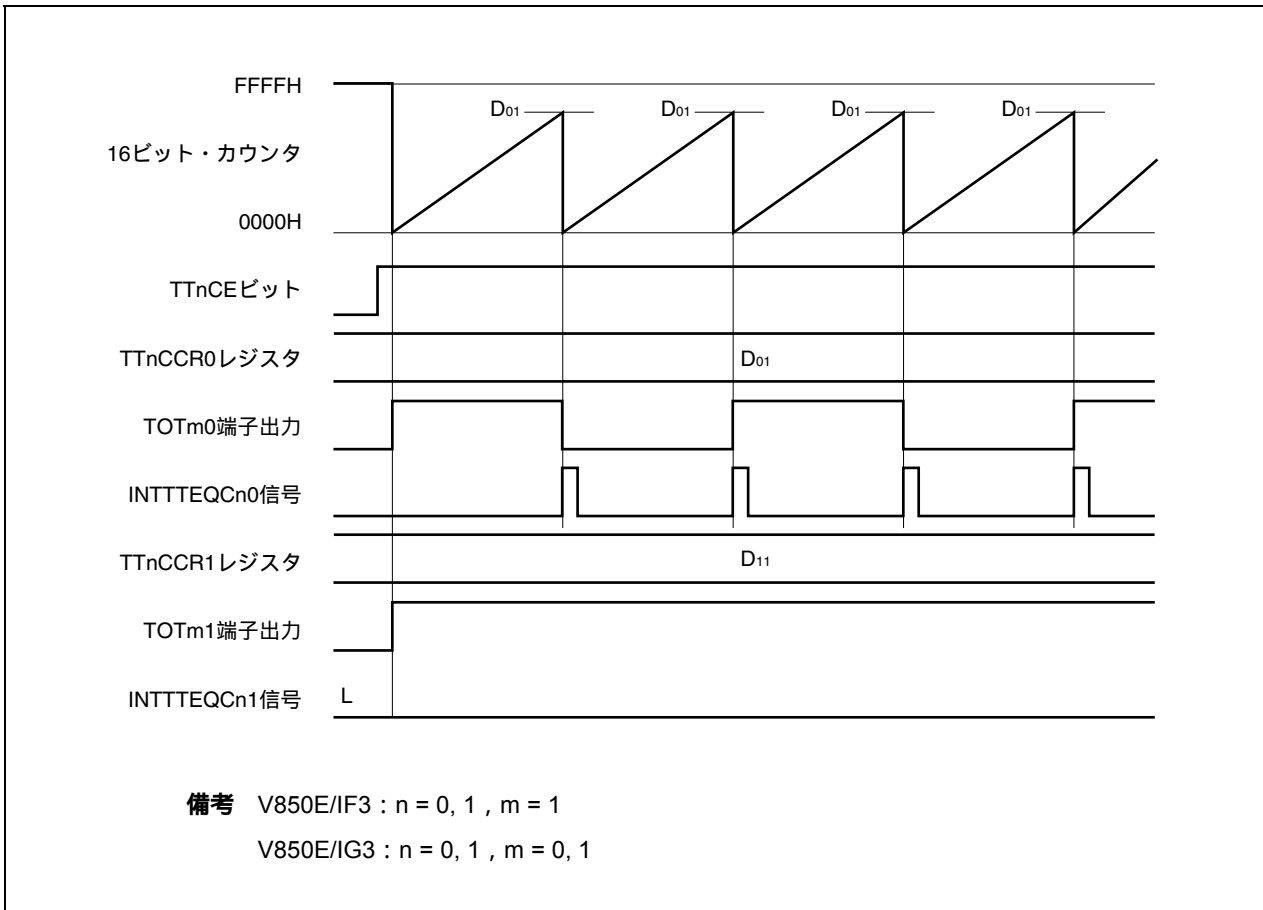
図8 - 12 D01 D11の場合のタイミング図



TTnCCR1レジスタの設定値がTTnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTTnCCR1レジスタの値が一致しないので、INTTTEQCn1信号は発生しません。また、TOTm1端子出力も変化しません。

TTnCCR1レジスタを使用しない場合には、TTnCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図8 - 13 D<sub>01</sub> < D<sub>11</sub>の場合のタイミング図



### 8.6.2 外部イベント・カウント・モード (TTmMD3-TTmMD0ビット = 0001)

TMT0 (V850E/IG3のみ), TMT1のみ有効です。

外部イベント・カウント・モードは, TTmCTL0.TTmCEビットをセット(1)することで, 外部イベント・カウント入力 (EVTTm) の有効エッジをカウントし, TTmCCR0レジスタで設定したカウント数をカウントするごとに割り込み要求信号 (INTTTEQCm0) を発生します。TOTm0, TOTm1端子は使用できません。

外部イベント・カウント・モードでは, TTmCCR1レジスタは使用しません。

図8 - 14 外部イベント・カウント・モードの構成図

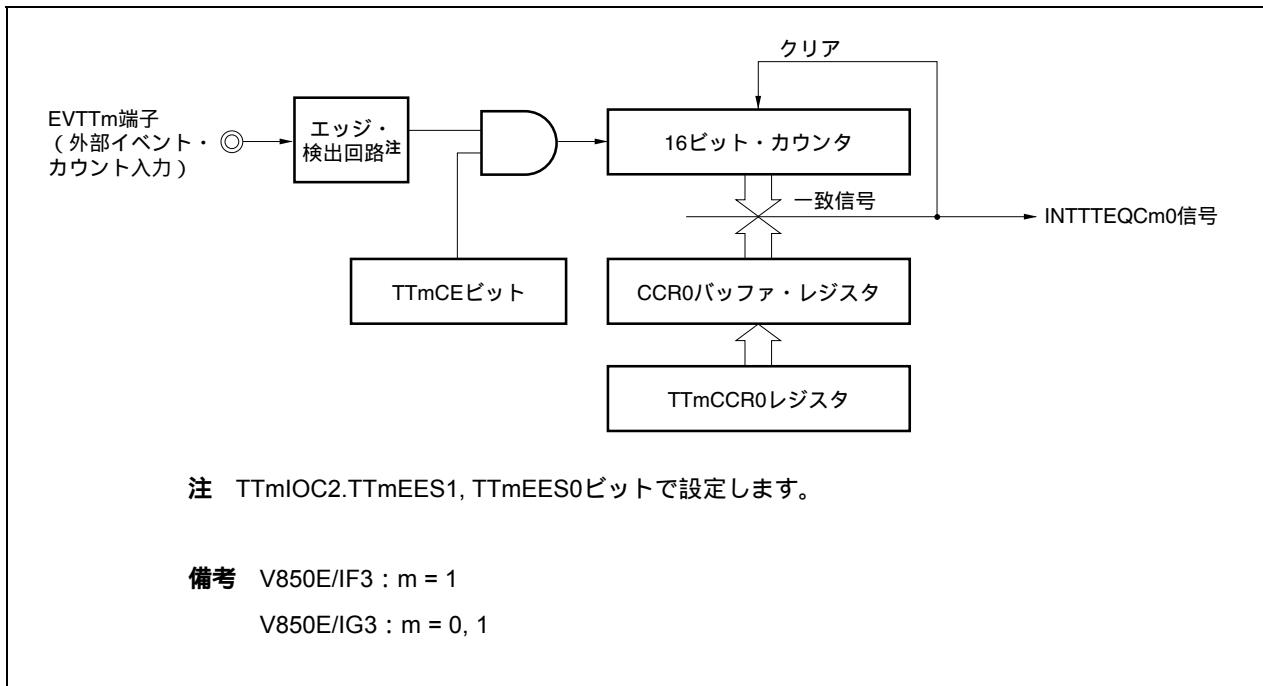
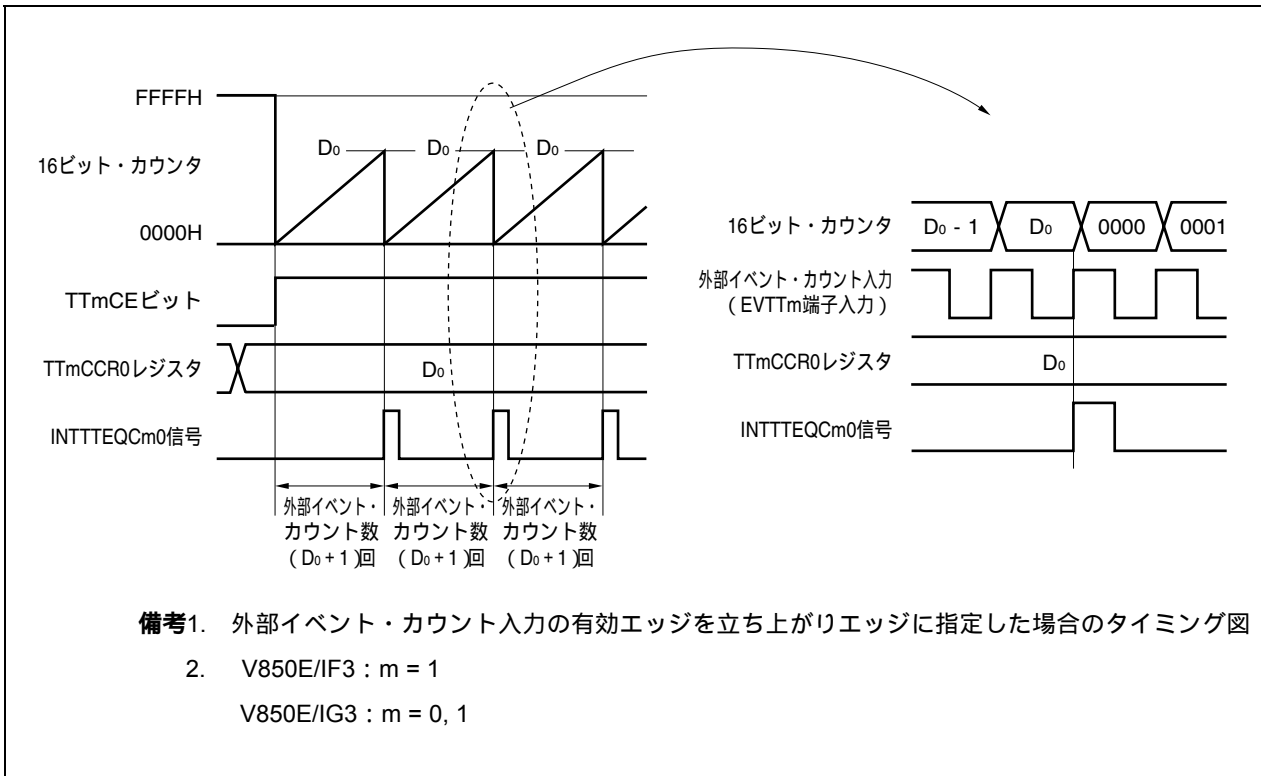


図8 - 15 外部イベント・カウント・モードの基本タイミング



TTmCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウンタ入力の有効エッジを検出することにカウンタ動作を行います。また、TTmCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTTEQCm0)を発生します。

INTTTEQCm0信号は、外部イベント・カウンタ入力の有効エッジを(TTmCCR0レジスタに設定した値+1)回検出することに発生します。

図8 - 16 外部イベント・カウンタ・モード動作時のレジスタ設定内容(1/2)

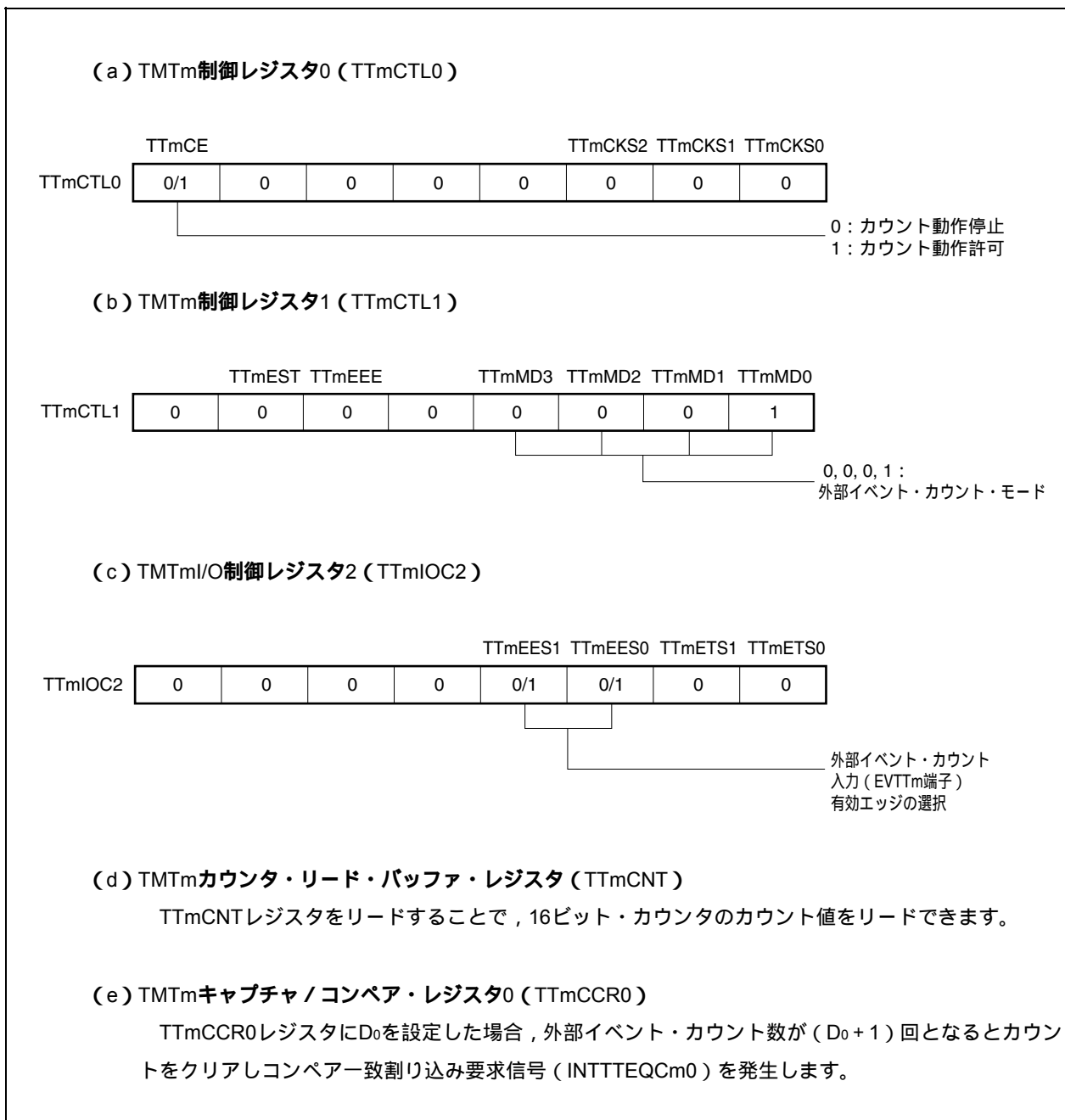


図8 - 16 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

**(f) TMTmキャプチャ/コンペア・レジスタ1 (TTmCCR1)**

外部イベント・カウント・モードでは、TTmCCR1レジスタは使用しません。しかし、TTmCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTTEQCm1) が発生します。

TTmCCR1レジスタを使用しない場合には、TTmCCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TTmCCIC1.TTmCCMK1) でマスク設定してください。

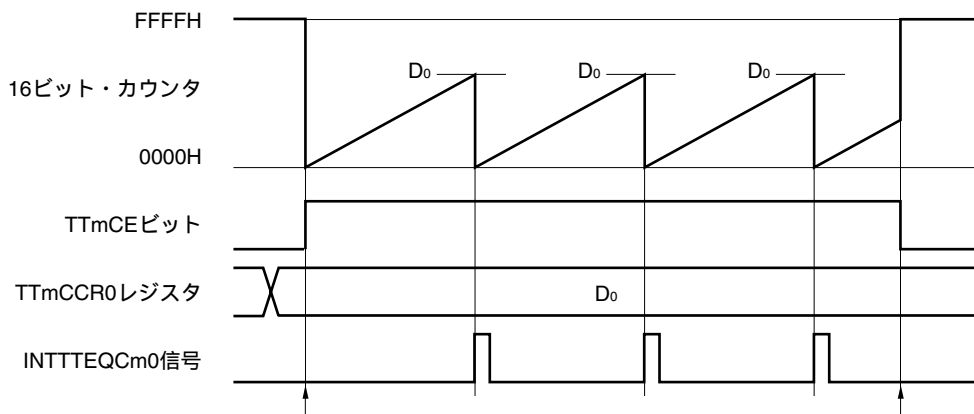
**注意** TTmIOC0レジスタには00Hを設定してください。

**備考1.** TMTm制御レジスタ2 (TTmCTL2)、TMTmI/O制御レジスタ1 (TTmIOC1)、TMTmI/O制御レジスタ3 (TTmIOC3)、TMTmオプション・レジスタ0 (TTmOPT0)、TMTmオプション・レジスタ1 (TTmOPT1)、TMTmキャプチャ入力選択レジスタ (TTISLm)、TMTmカウンタ・ライト・レジスタ (TTmTCW) は、外部イベント・カウント・モードでは使用しません。

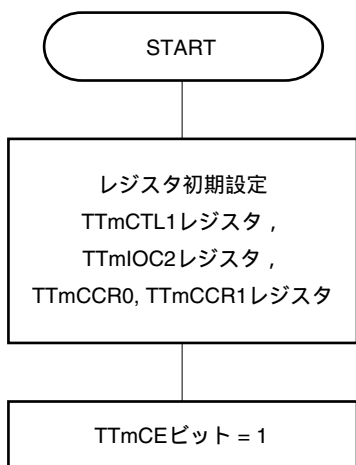
2. V850E/IF3 : m = 1  
V850E/IG3 : m = 0, 1

(1) 外部イベント・カウント・モード動作フロー

図8 - 17 外部イベント・カウント・モード使用時のソフトウェア処理フロー

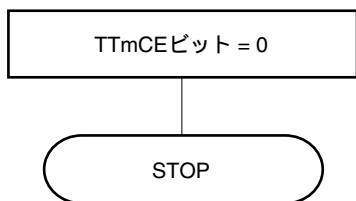


カウント動作開始フロー



TTmCEビット = 1にする前に、  
これらのレジスタを初期設定。

カウント動作停止フロー



カウント動作停止 (TTmCEビット = 0) にすることで、  
カウンタを初期化しカウント動作を停止。

備考 V850E/IF3 : m = 1  
V850E/IG3 : m = 0, 1



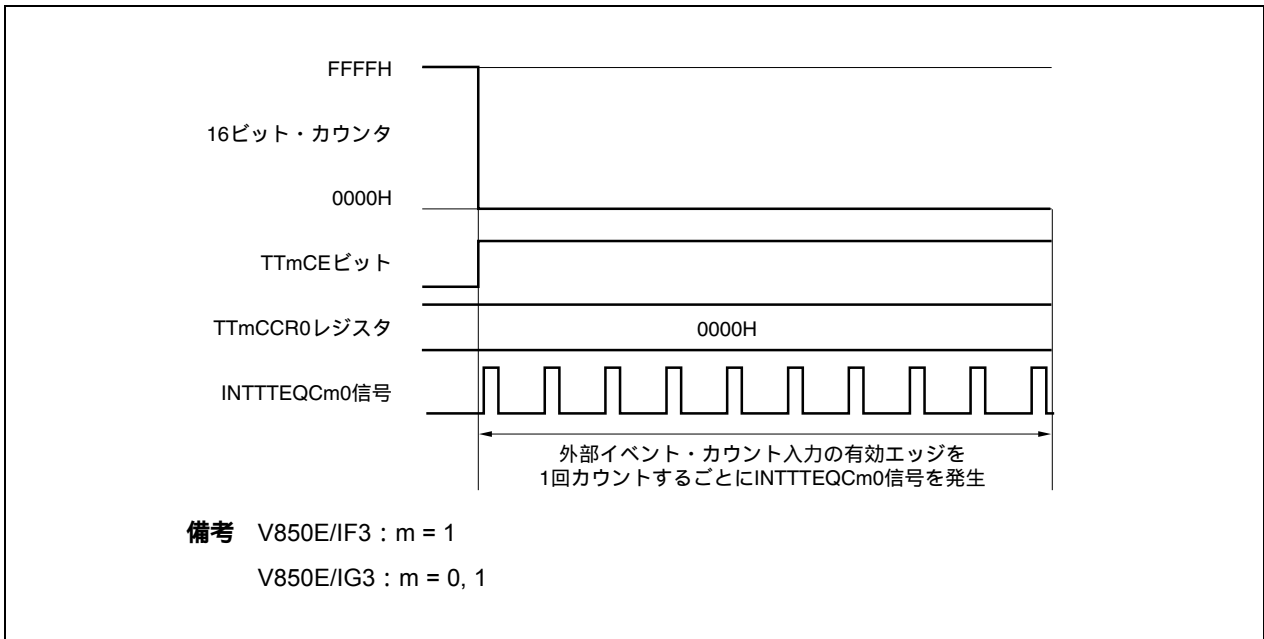
(2) 外部イベント・カウント・モード動作タイミング

**注意** 外部イベント・カウント・モード時、タイマ出力 (TOTm0, TOTm1) は使用禁止です。

(a) TTmCCR0レジスタに0000Hを設定した場合の動作

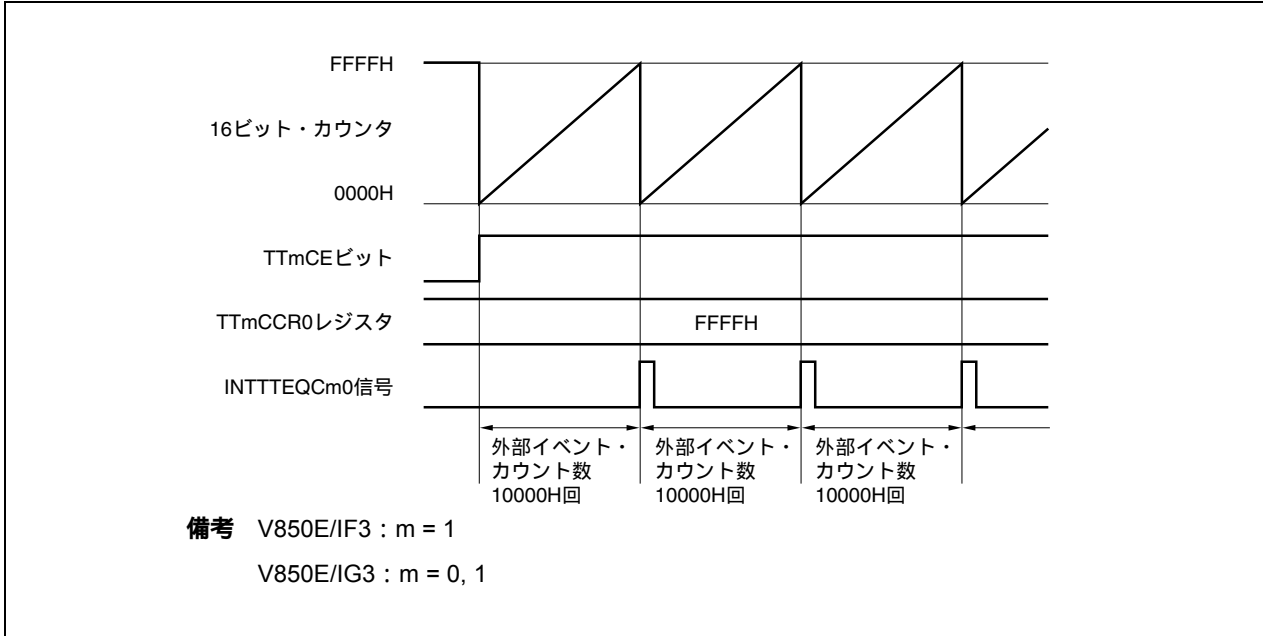
TTmCCR0レジスタに0000Hを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにCCR0バッファ・レジスタの値との一致で、16ビット・カウンタを0000Hにクリアし続けて、INTTTEQCm0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TTmCCR0レジスタにFFFFHを設定した場合の動作

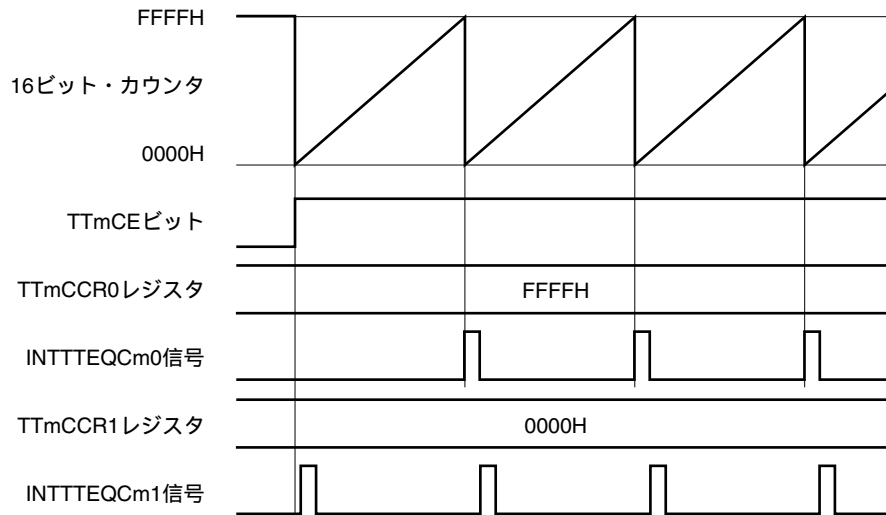
TTmCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTTEQCm0信号を発生します。このとき、TTmOPT0.TTmOVFビットはセットされません。



(c) TTmCCR0レジスタにFFFFH, TTmCCR1レジスタに0000Hを設定した場合の動作

TTmCCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次の外部イベント・カウント信号の有効エッジに同期して, 16ビット・カウンタを0000Hにクリアし, INTTTEQCm0信号を発生します。このとき, TTmOPT0.TTmOVFビットはセットされません。

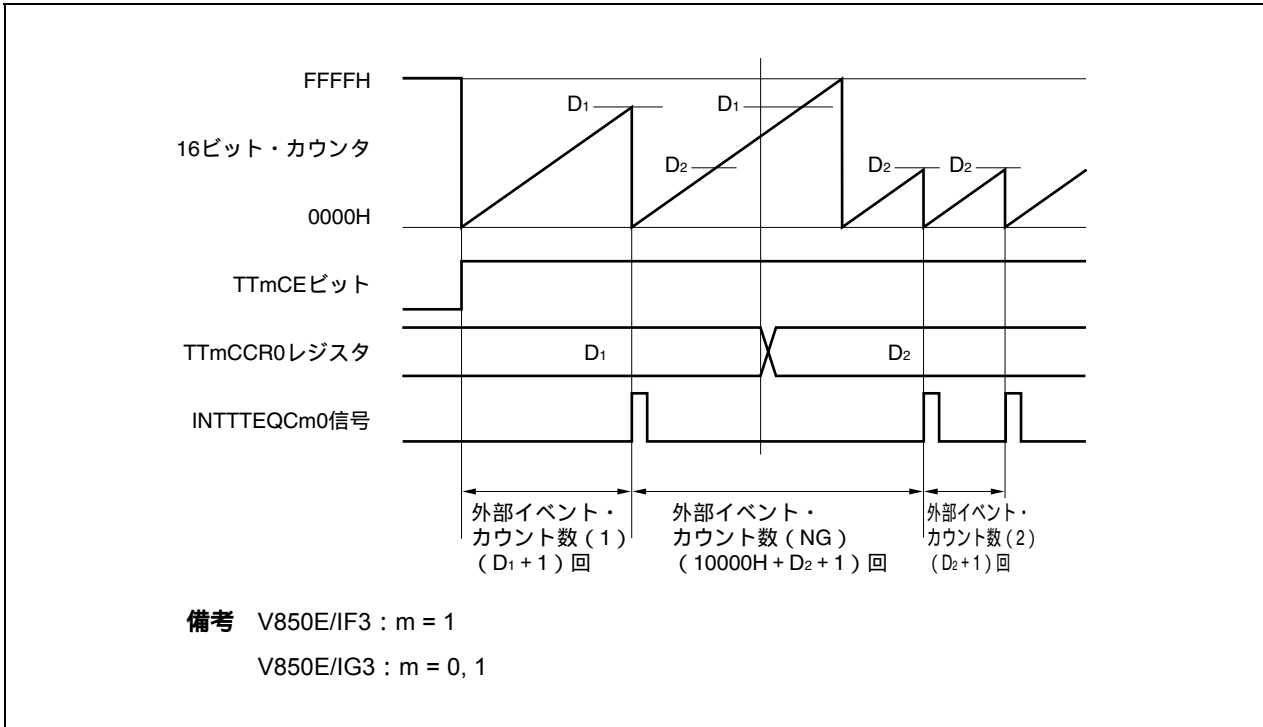
TTmCCR1レジスタに0000Hを設定した場合, 16ビット・カウンタが0000HにクリアされたタイミングでINTTTEQCm1信号が発生します。



**備考** V850E/IF3 : m = 1  
 V850E/IG3 : m = 0, 1

(d) TTmCCR0レジスタの書き換えに関する注意事項

カウント動作中にTTmCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



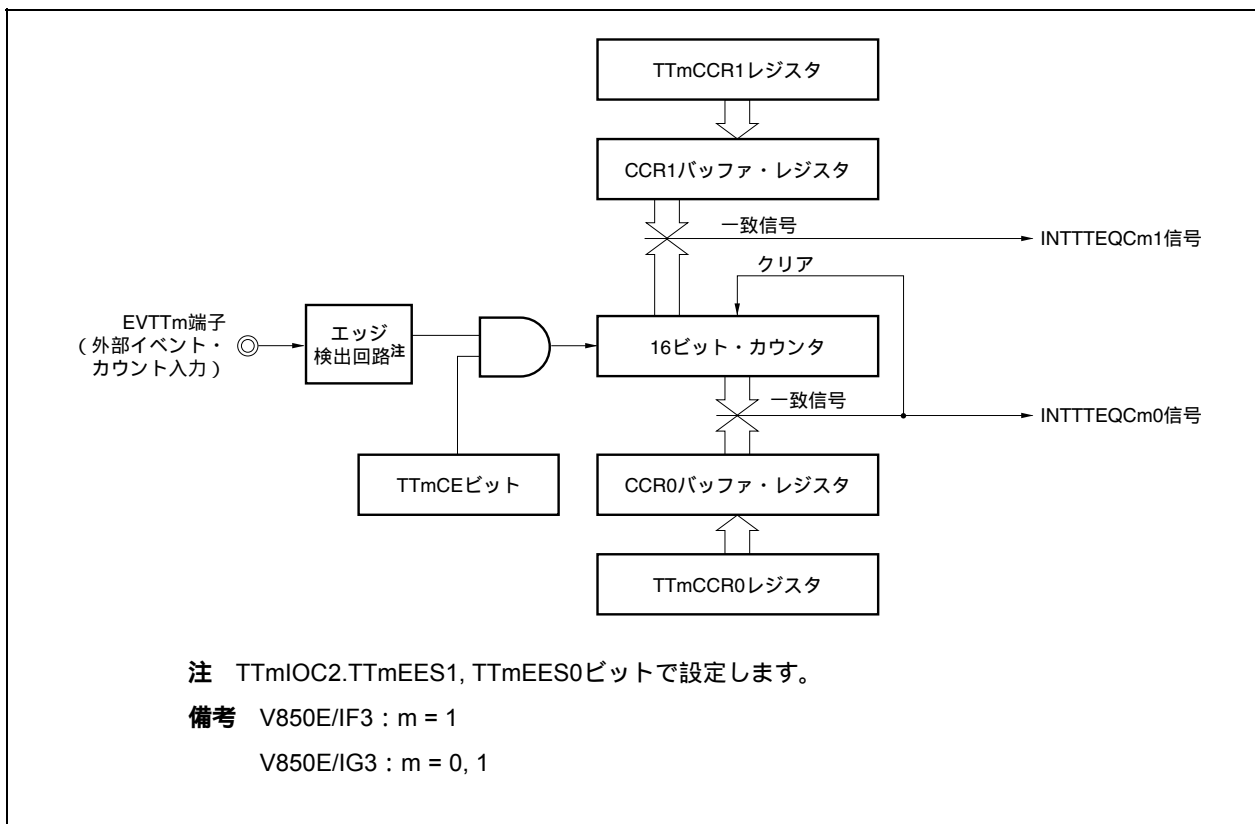
カウント値が $D_2$ よりも大きく $D_1$ よりも小さい状態において、TTmCCR0レジスタを $D_1$ から $D_2$ に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が $D_2$ となります。

しかし、カウント値はすでに $D_2$ を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、 $D_2$ との一致でINTTTEQCM0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「 $(D_1 + 1)$ 回」または「 $(D_2 + 1)$ 回」の有効エッジ数でINTTTEQCM0信号は発生せずに、「 $(10000H + D_2 + 1)$ 回」の有効エッジ数でINTTTEQCM0信号が発生する場合があります。

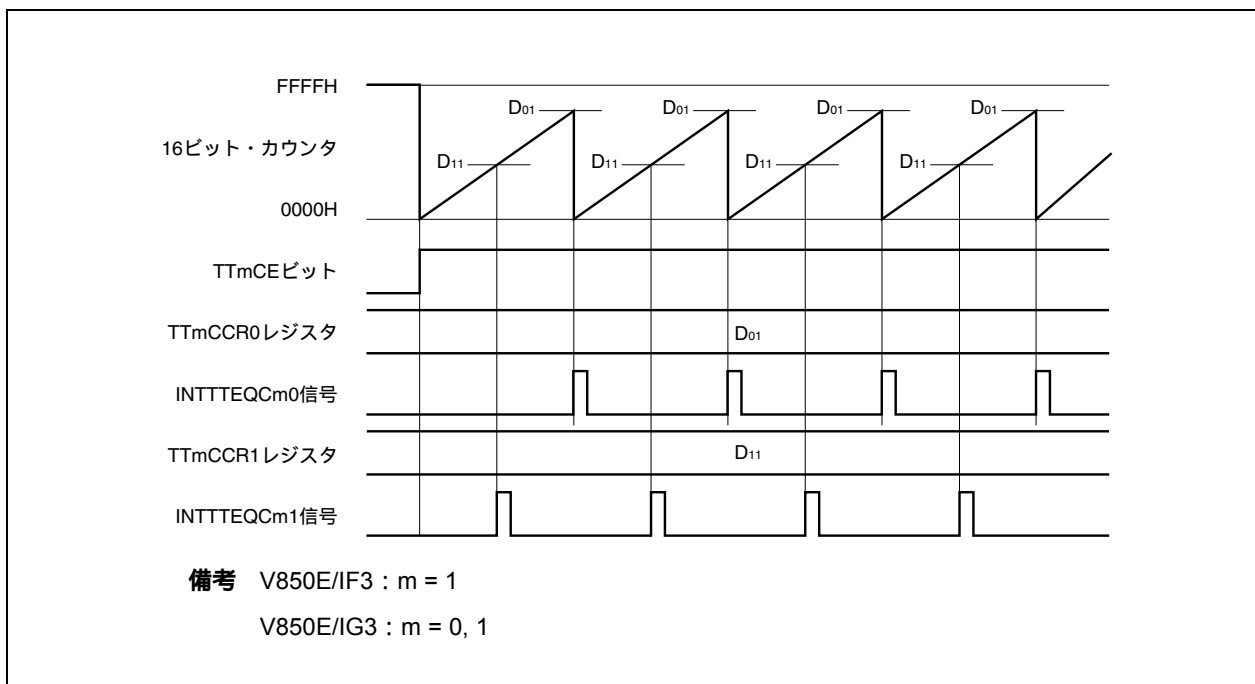
(e) TTmCCR1レジスタの動作

図8 - 18 TTmCCR1レジスタの構成図



TTmCCR1レジスタの設定値がTTmCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTTEQCm1信号が発生します。

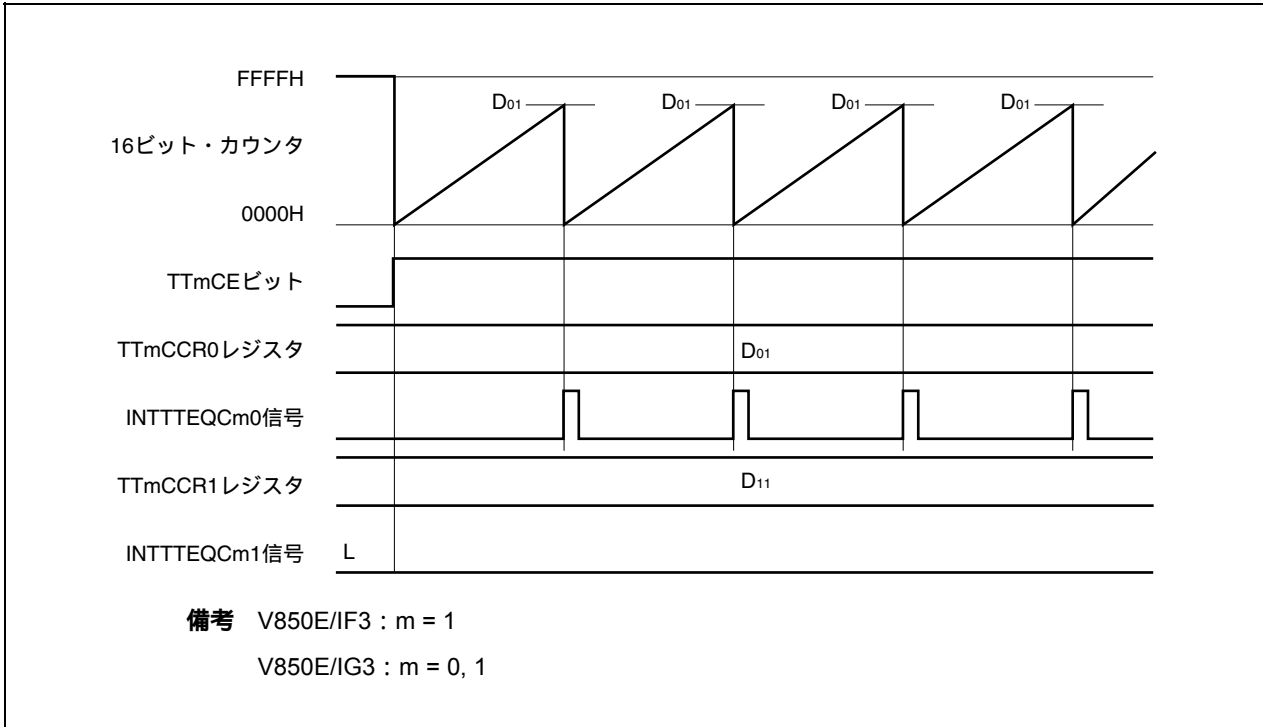
図8 - 19 D<sub>01</sub> D<sub>11</sub>の場合のタイミング図



TTmCCR1レジスタの設定値がTTmCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTTmCCR1レジスタの値が一致しないので、INTTTEQCm1信号は発生しません。

TTmCCR1レジスタを使用しない場合には、TTmCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図8 - 20 D<sub>01</sub> < D<sub>11</sub>の場合のタイミング図



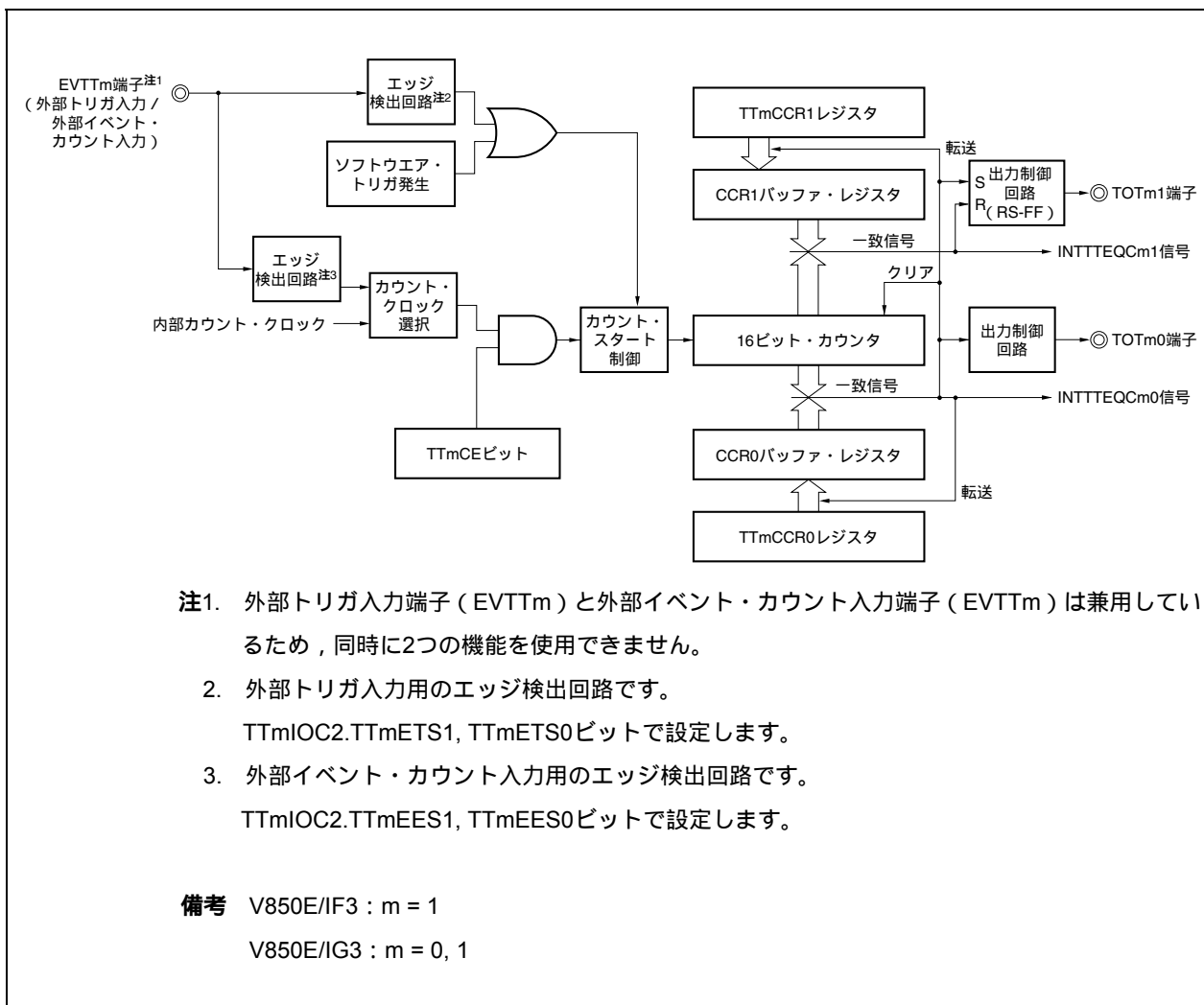
### 8.6.3 外部トリガ・パルス出力モード (TTmMD3-TTmMD0ビット = 0010)

TMT0 (V850E/IG3のみ) , TMT1のみ有効です。

外部トリガ・パルス出力モードは, TTmCTL0.TTmCEビットをセット(1)することでトリガ待ち状態となり, 外部トリガ入力 (EVTTm) の有効エッジを検出すると, カウント動作を開始し, TOTm1端子からPWM波形を出力します。また, TOTm0端子からTTmCCR0レジスタの設定値+1を半周期とする50 %デューティのPWM波形を出力できます。

外部トリガ入力の代わりに, ソフトウェア・トリガを発生させることでもパルスを出力できます。

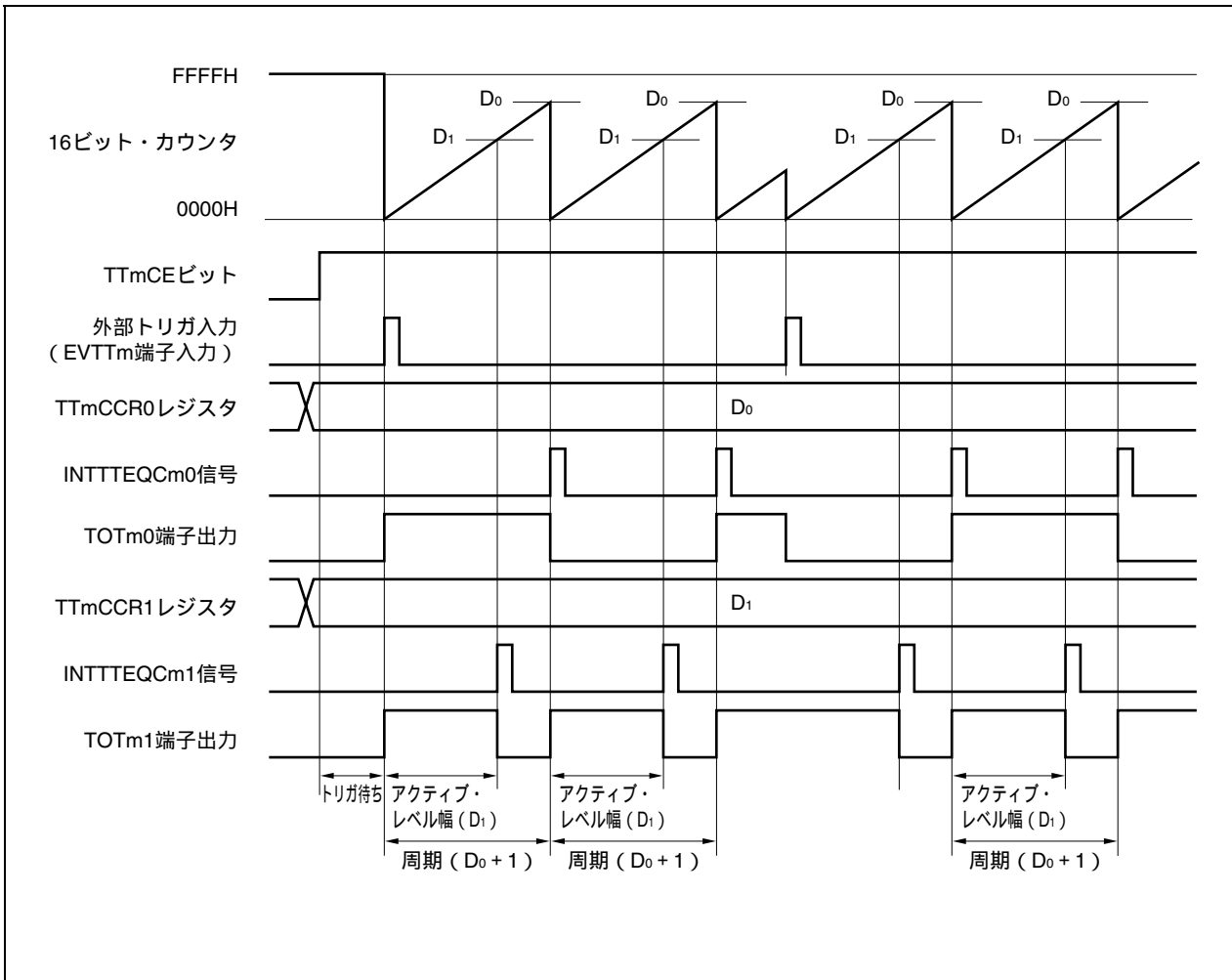
図8 - 21 外部トリガ・パルス出力モードの構成図



- 注1. 外部トリガ入力端子 (EVTTm) と外部イベント・カウント入力端子 (EVTTm) は兼用しているため, 同時に2つの機能を使用できません。
- 2. 外部トリガ入力用のエッジ検出回路です。  
TTmIOC2.TTmETS1, TTmETS0ビットで設定します。
- 3. 外部イベント・カウント入力用のエッジ検出回路です。  
TTmIOC2.TTmEES1, TTmEES0ビットで設定します。

**備考** V850E/IF3 : m = 1  
V850E/IG3 : m = 0, 1

図8 - 22 外部トリガ・パルス出力モードの基本タイミング



TTmCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOTm1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOTm0端子出力は反転します。TOTm1端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TTmCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TTmCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TTmCCR1レジスタの設定値}) / (\text{TTmCCR0レジスタの設定値} + 1)$$

コンパレー一致割り込み要求信号(INTTTEQm0)は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号(INTTTEQm1)は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TTmCCR<sub>a</sub>レジスタに設定した値は、16ビット・カウンタのカウント値とCCR<sub>a</sub>バッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCR<sub>a</sub>バッファ・レジスタに転送されます。

トリガには、外部トリガ入力(EVTTm)の有効エッジ、またはソフトウェア・トリガ(TTmCTL1.TTmEST



ビット)のセット(1)があります。

備考 V850E/IF3 : m = 1 , a = 0, 1

V850E/IG3 : m = 0, 1 , a = 0, 1

図8 - 23 外部トリガ・パルス出力モード動作時のレジスタ設定内容(1/3)

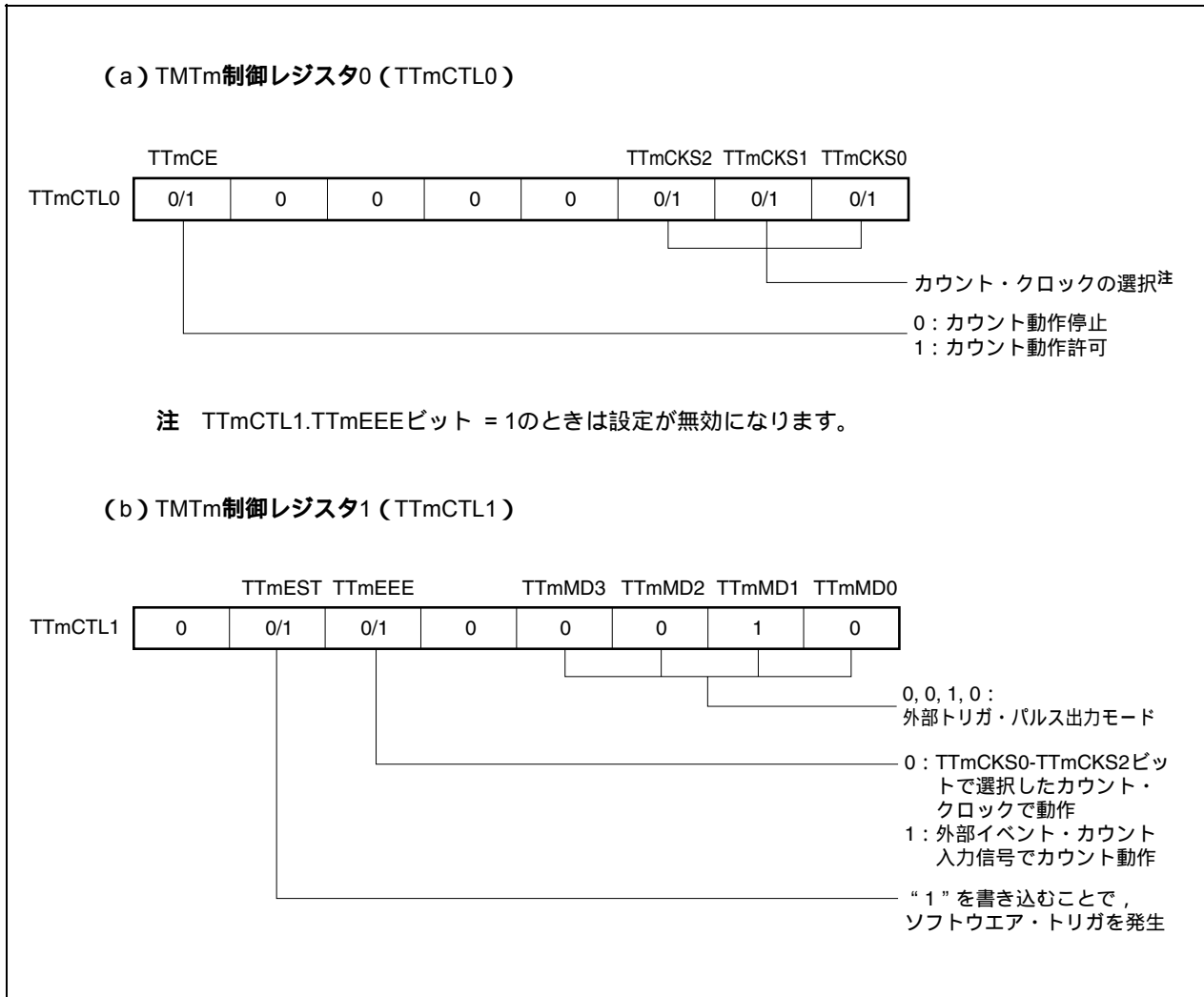
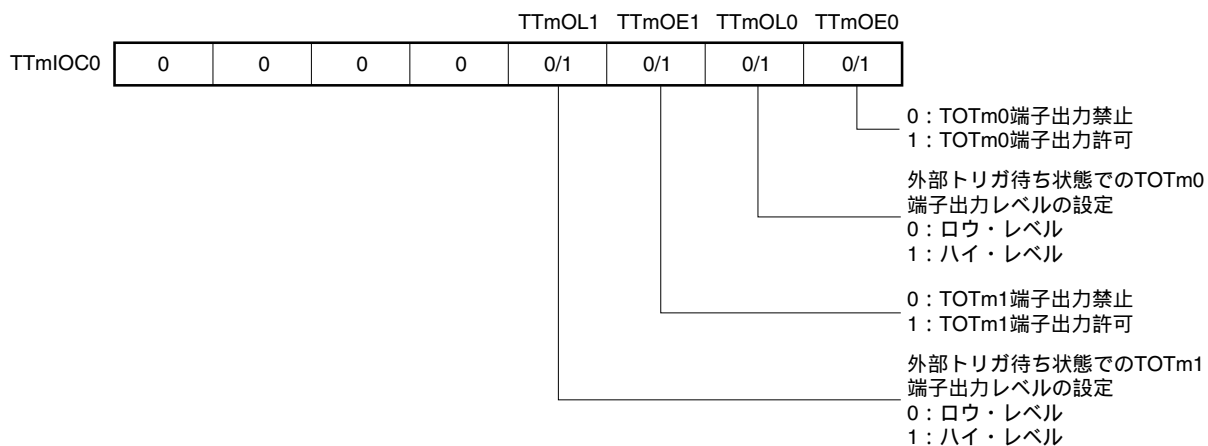
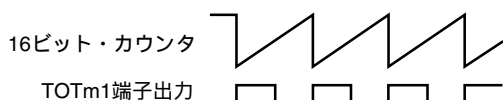


図8 - 23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

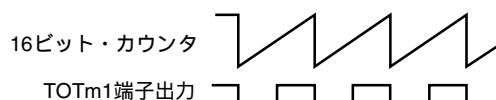
(c) TMTmI/O制御レジスタ0 (TTmIOC0)



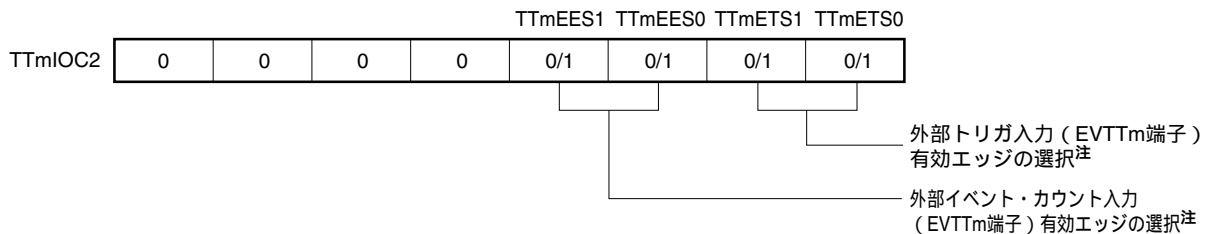
・ TTmOL1ビット = 0の場合



・ TTmOL1ビット = 1の場合



(d) TMTmI/O制御レジスタ2 (TTmIOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は、“エッジ検出なし”に設定してください。

(e) TMTmカウンタ・リード・バッファ・レジスタ (TTmCNT)

TTmCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMTmキャプチャ/コンペア・レジスタ0, 1 (TTmCCR0, TTmCCR1)

TTmCCR0レジスタにD<sub>0</sub>を設定し、TTmCCR1レジスタにD<sub>1</sub>を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント} \cdot \text{クロック周期}$$

となります。

図8 - 23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)

備考1. TMTm制御レジスタ2 (TTmCTL2) , TMTmI/O制御レジスタ1 (TTmIOC1) , TMTmI/O制御レジスタ3 (TTmIOC3) , TMTmオプション・レジスタ0 (TTmOPT0) , TMTmオプション・レジスタ1 (TTmOPT1) , TMTmキャプチャ入力選択レジスタ (TTISLm) , TMTmカウンタ・ライト・レジスタ (TTmTCW) は, 外部トリガ・パルス出力モードでは使用しません。

2. V850E/IF3 : m = 1  
V850E/IG3 : m = 0, 1

(1) 外部トリガ・パルス出力モード動作フロー

図8 - 24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

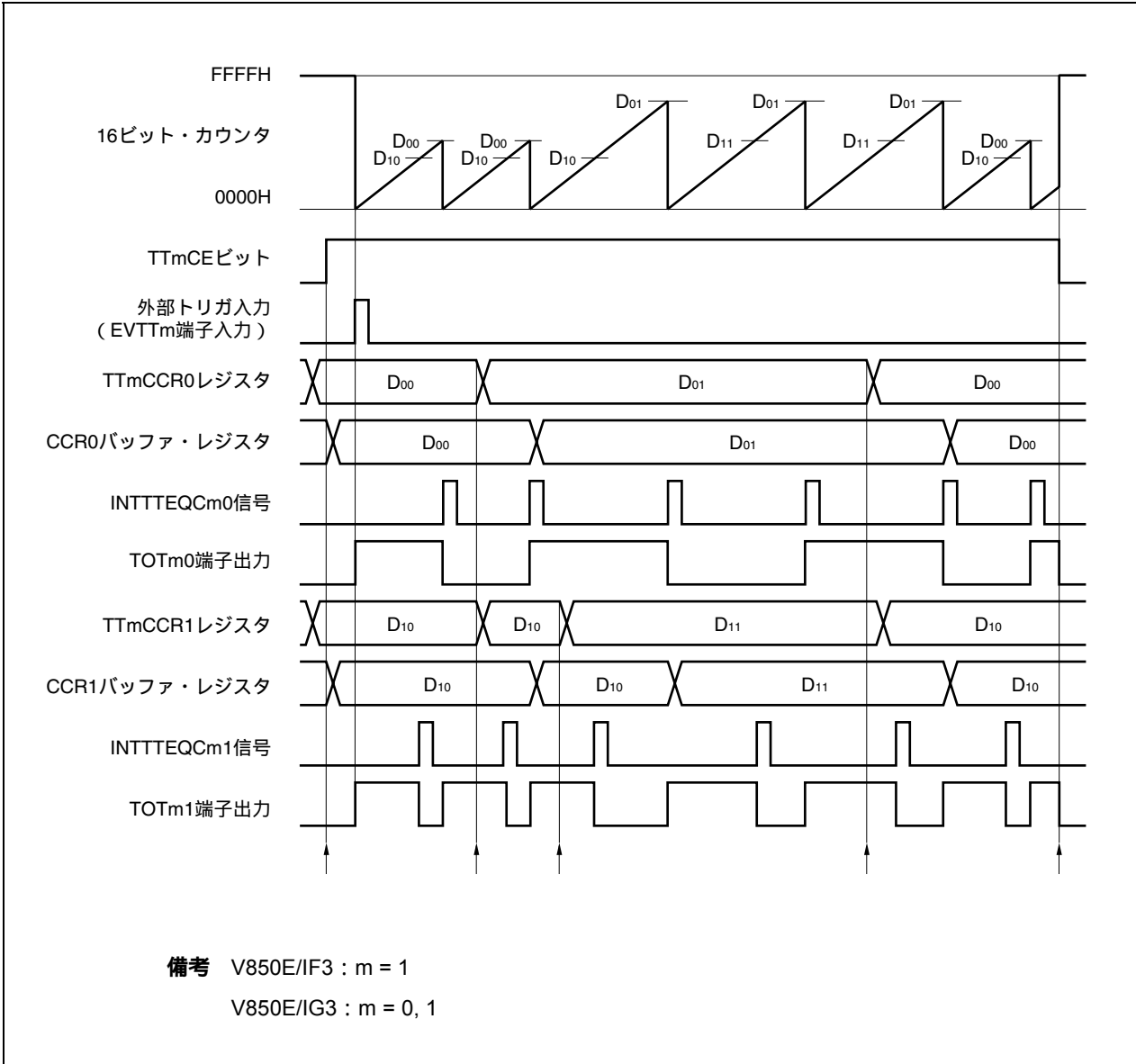
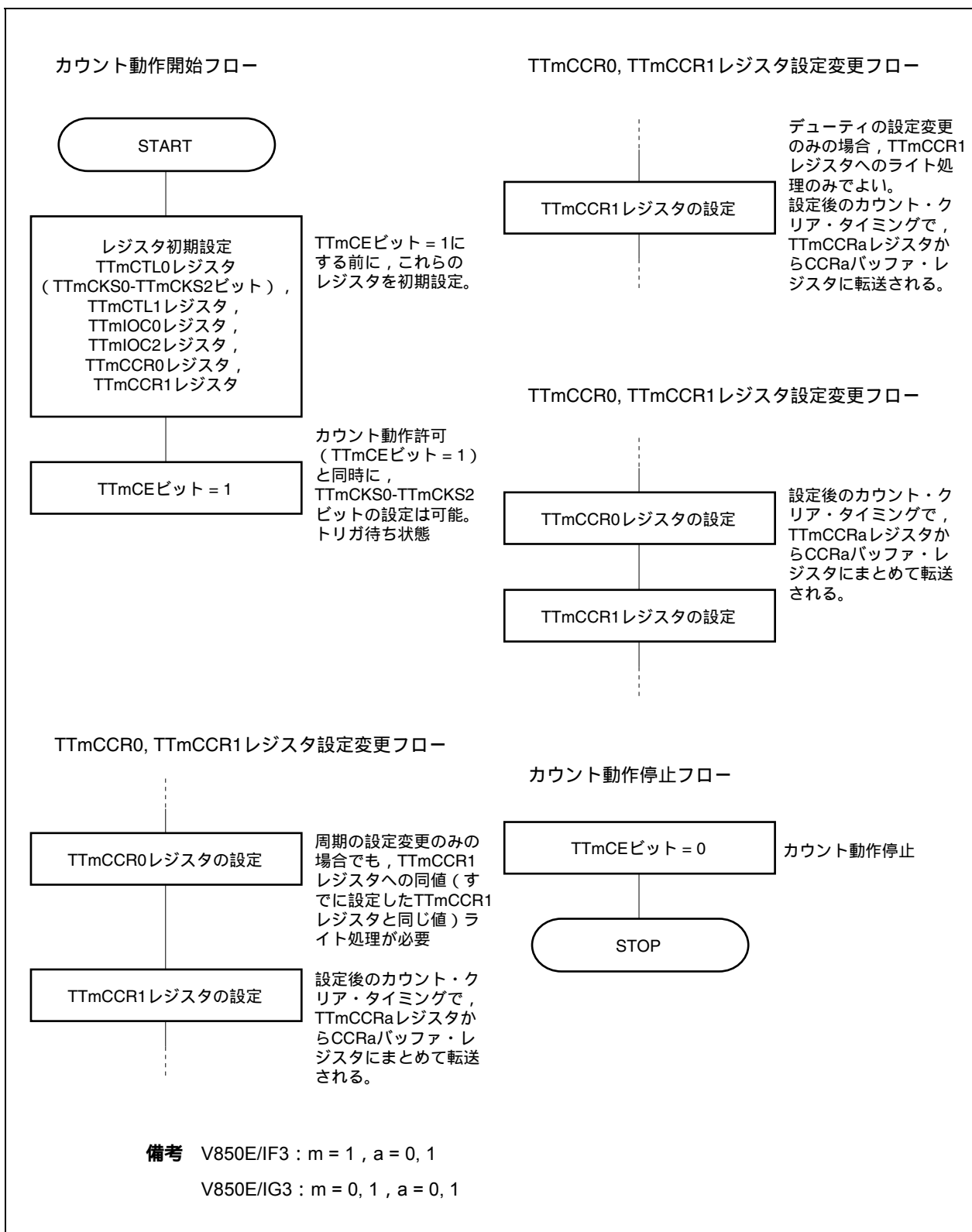


図8 - 24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

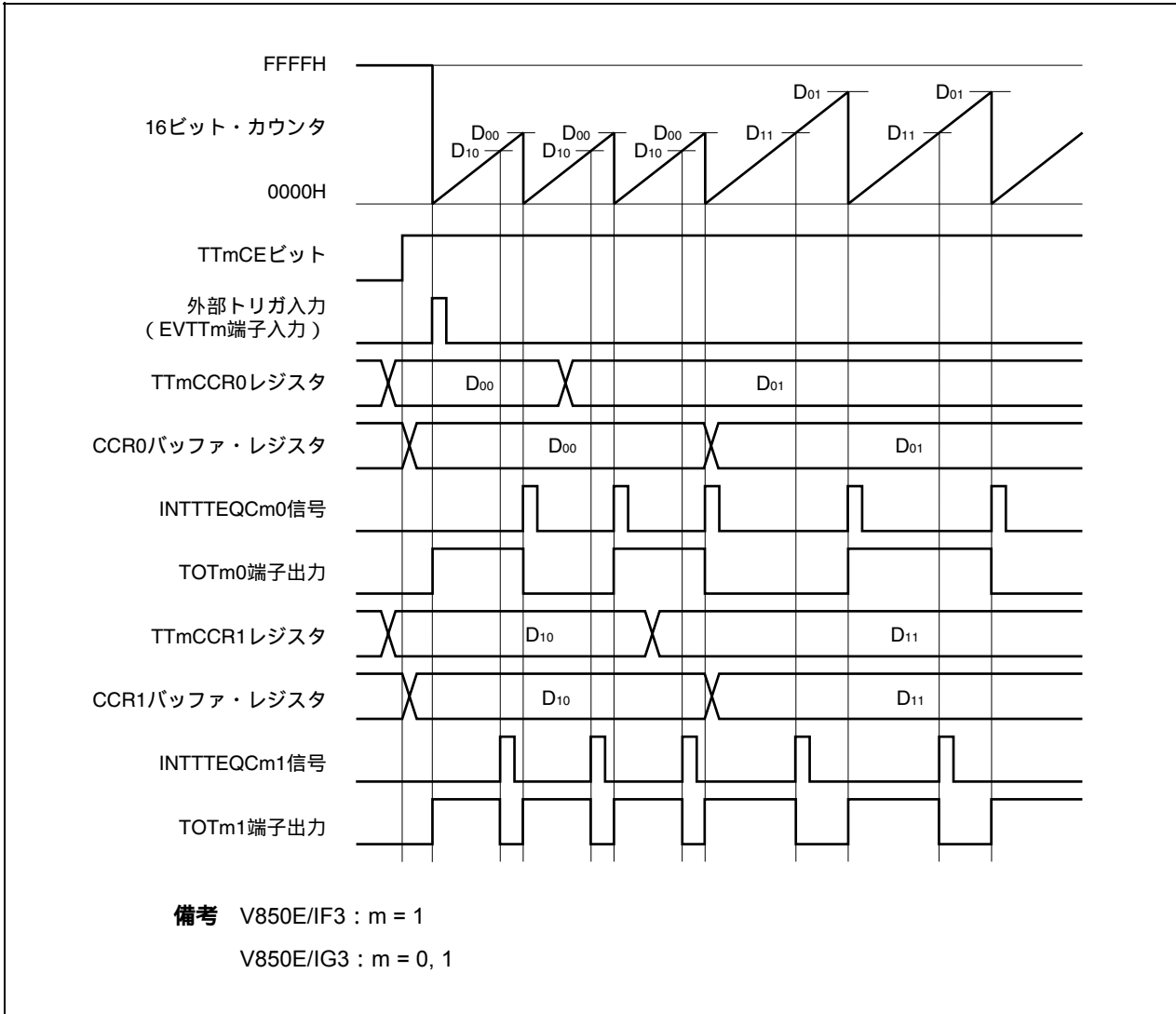


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTTmCCR1レジスタにライトしてください。

TTmCCR1レジスタにライト後,再度TTmCCRaレジスタの書き換えを行う場合には,INTTTEQCm0信号を検出後に書き換えてください。



TTmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TTmCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTTmCCR0レジスタに周期を設定し、そのあとでTTmCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTTmCCR0レジスタに周期を設定し、そのあとでTTmCCR1レジスタに同値（すでに設定したTTmCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TTmCCR1レジスタのみの設定でかまいません。

TTmCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TTmCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

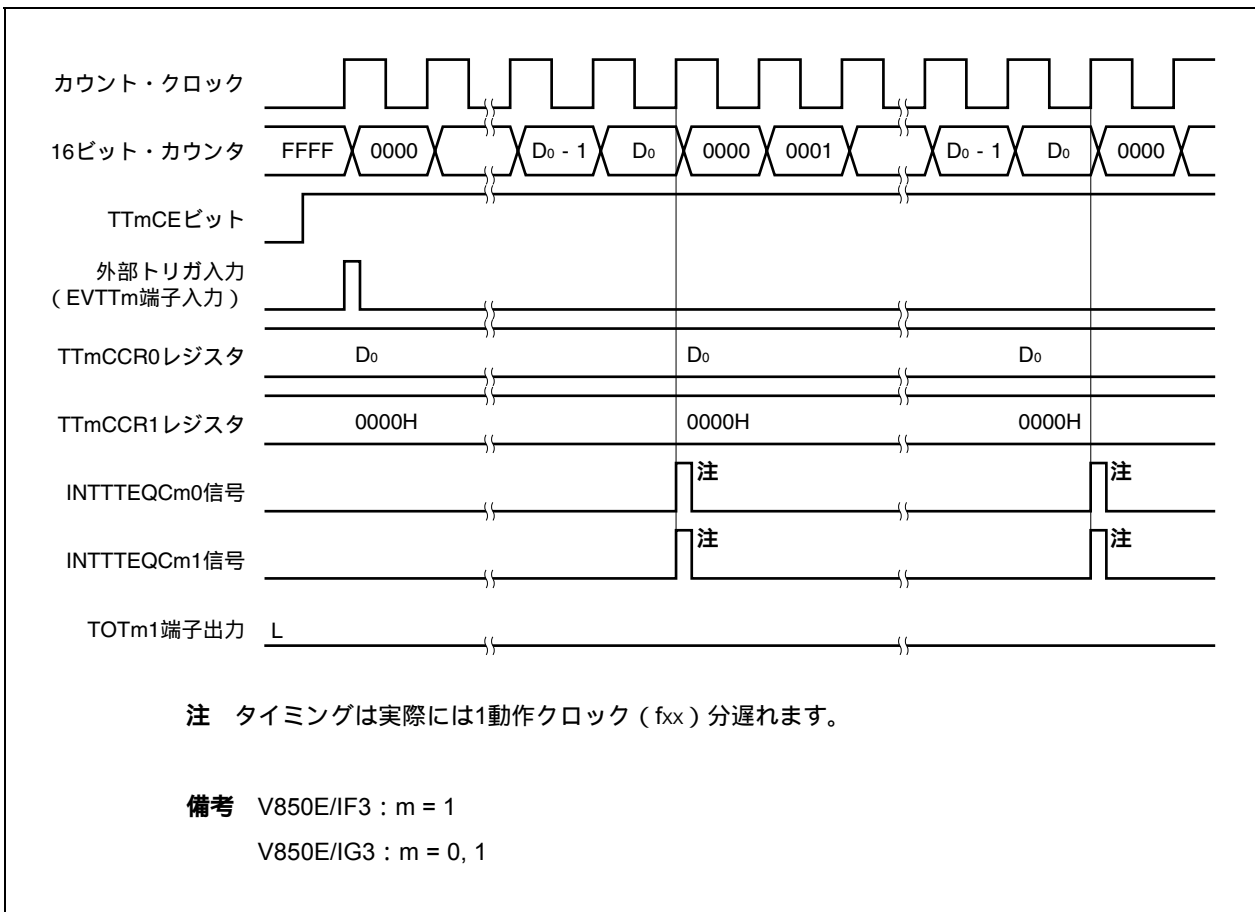
また、一度TTmCCR1レジスタにライトしたあとで、再度TTmCCR0、またはTTmCCR1レジスタへのライトを行う場合は、INTTTEQCm0信号の発生後に行ってください。これを守れない場合には、TTmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TTmCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

**備考** V850E/IF3 : m = 1 , a = 0, 1

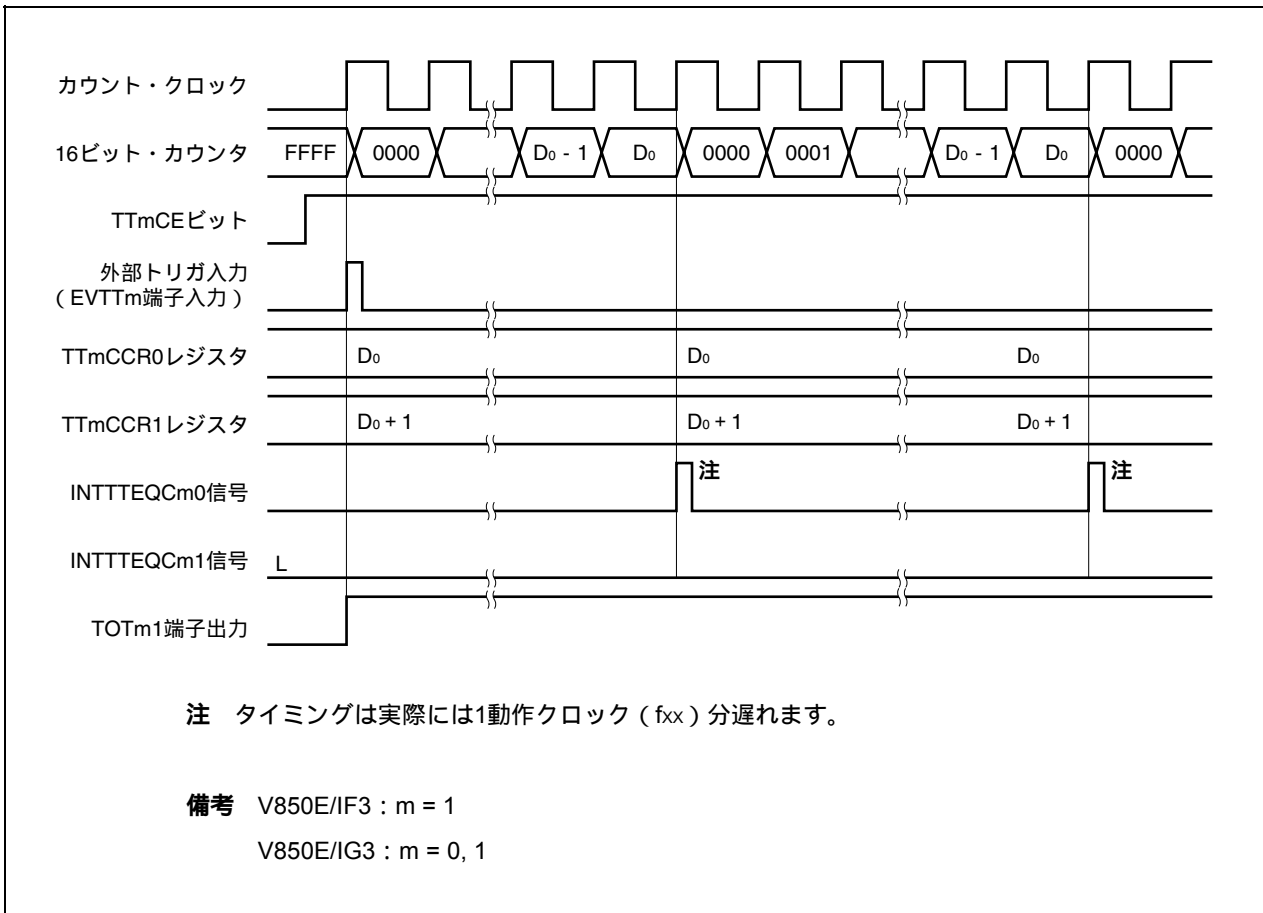
V850E/IG3 : m = 0, 1 , a = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TTmCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTTEQcM0信号とINTTTEQcM1信号が発生します。



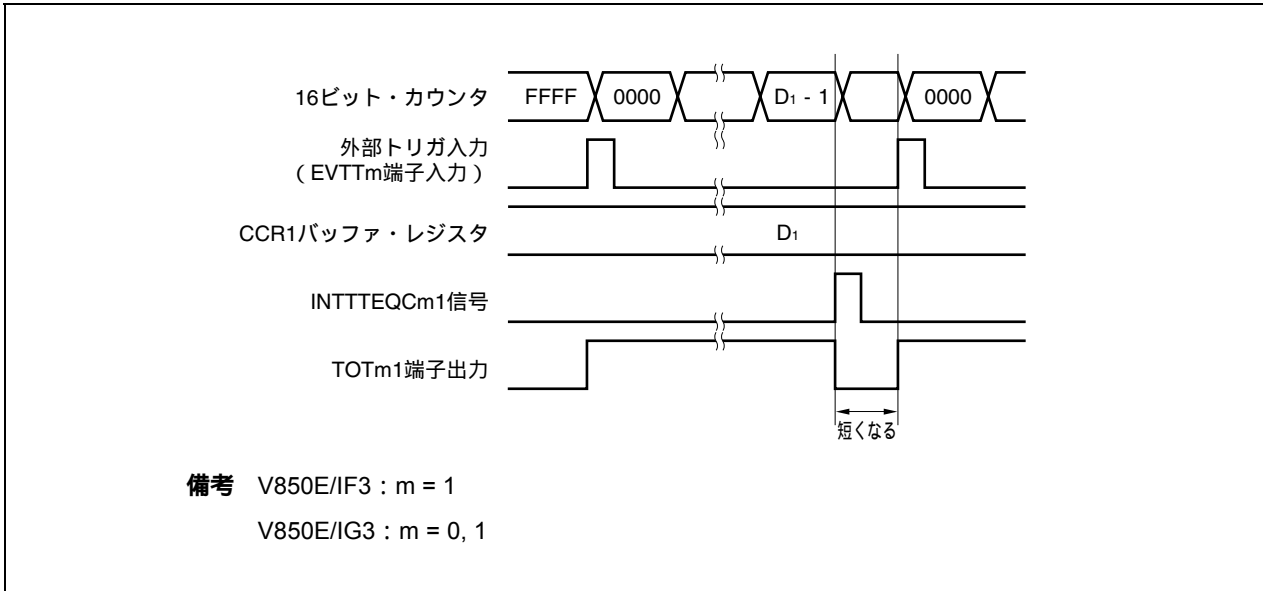
100 % 波形を出力するためには、TTmCCR1レジスタに対して (TTmCCR0レジスタの設定値 + 1) の値を設定してください。TTmCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



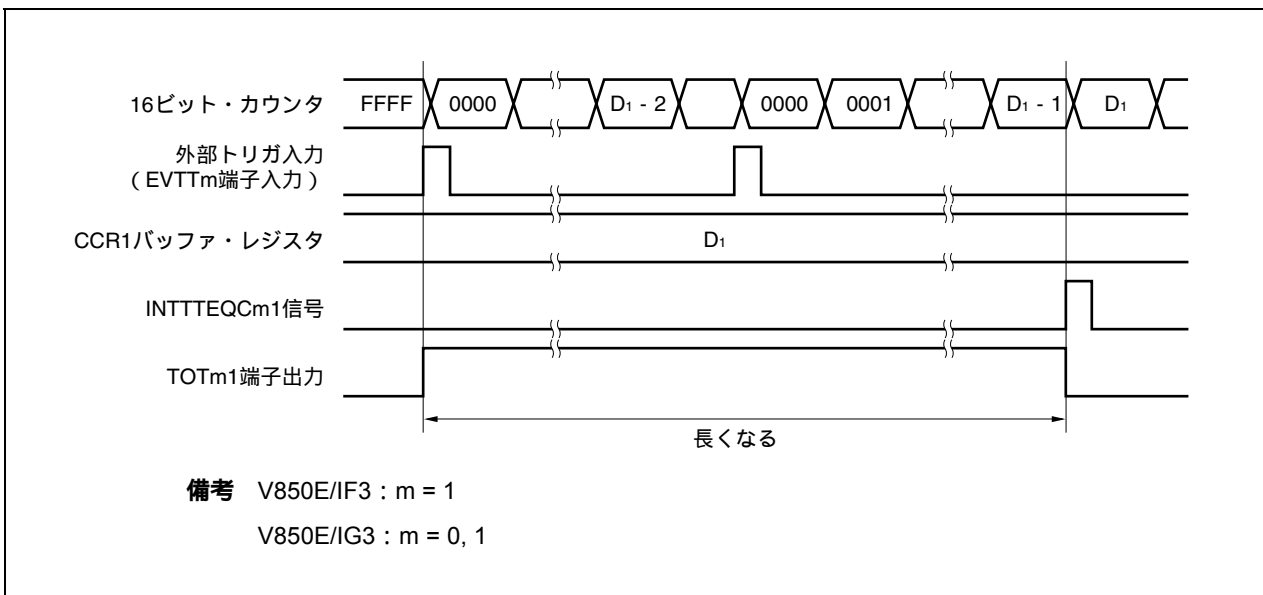


(c) トリガ検出とCCR1バッファ・レジスタとの一致の競合

INTTTEQCm1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOTm1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

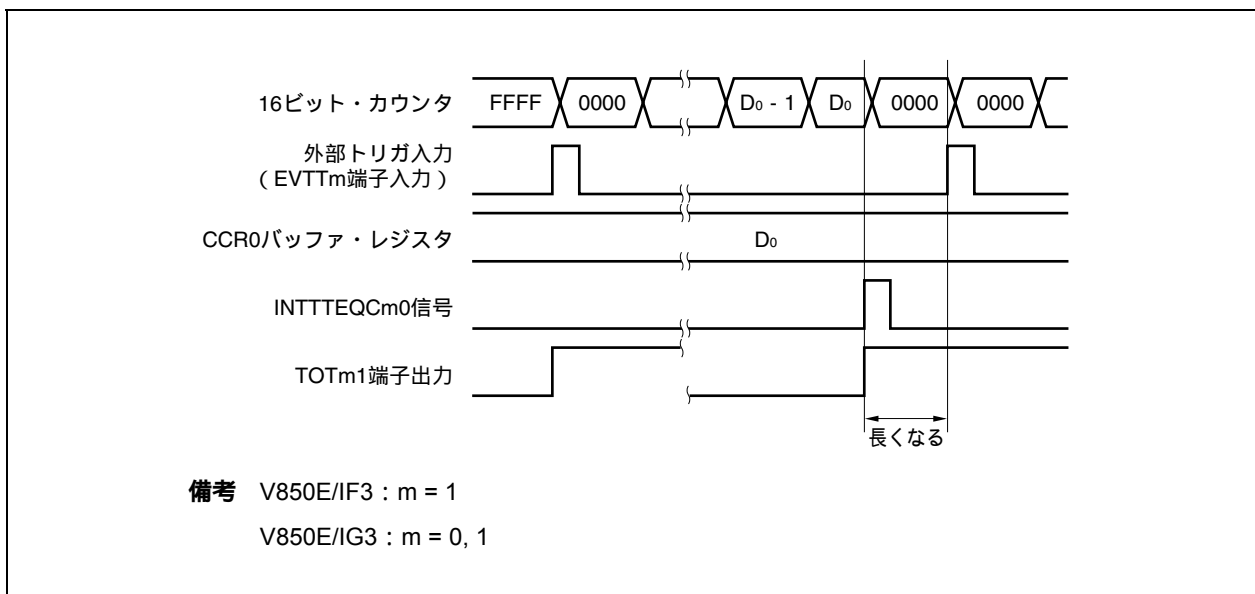


INTTTEQCm1信号発生直前にトリガを検出した場合には、INTTTEQCm1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOTm1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

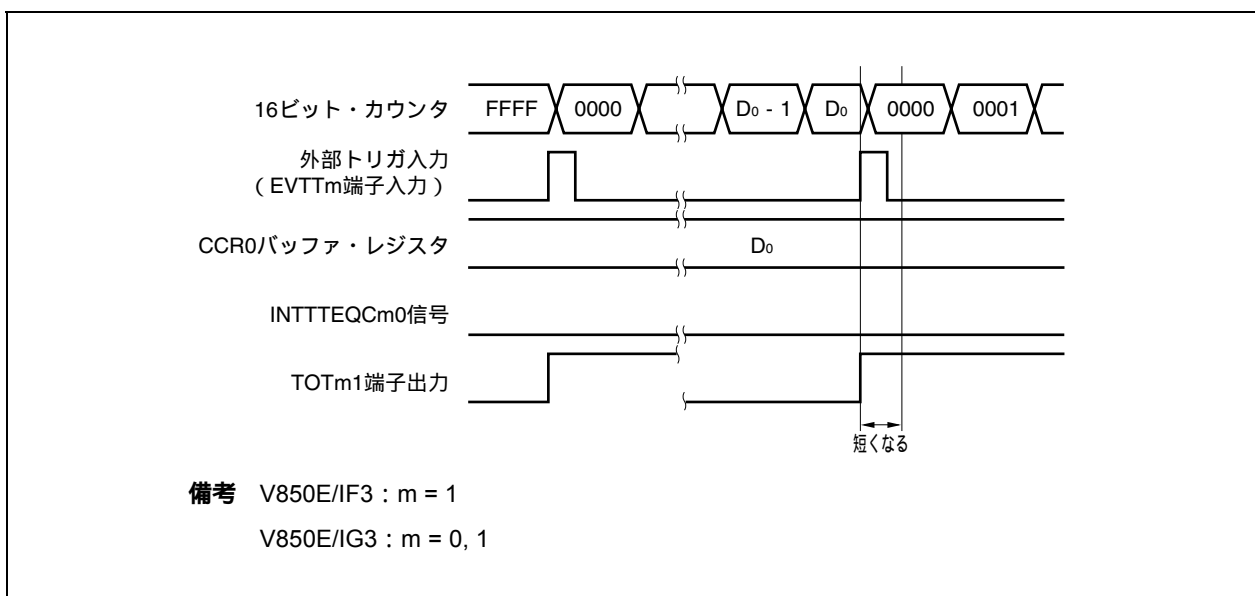


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTTEQCm0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を続けます。したがって、TOTm1端子出力のアクティブ期間が、INTTTEQCm0信号発生からトリガ検出までの分だけ長くなります。

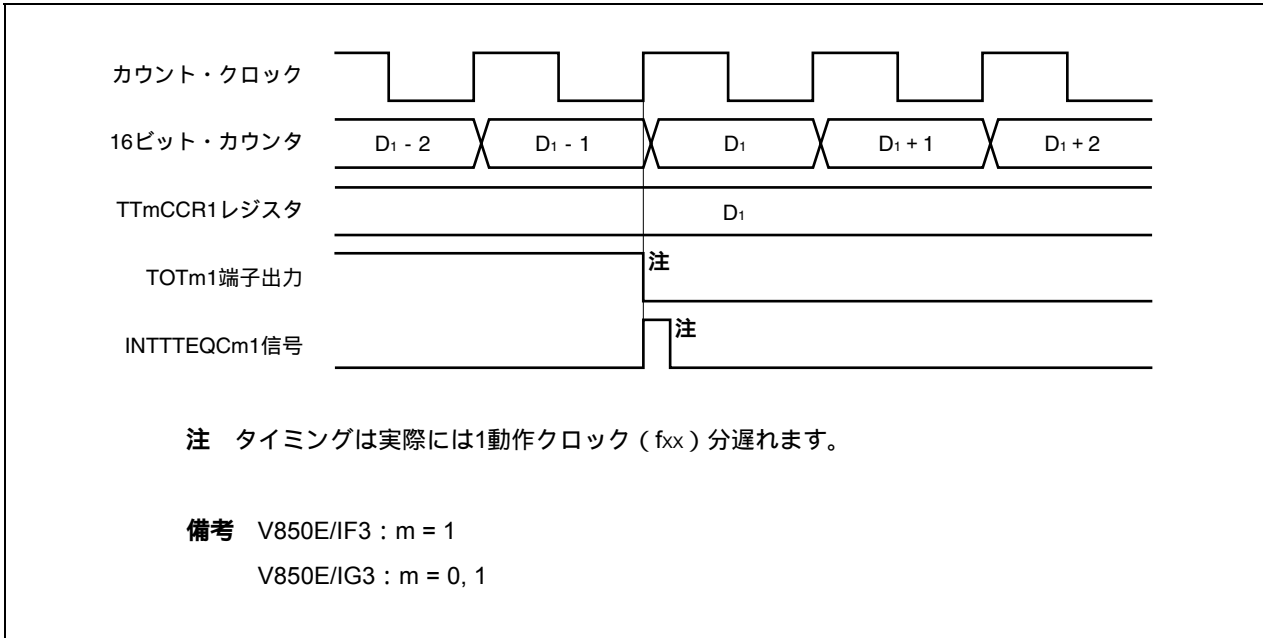


INTTTEQCm0信号発生直前にトリガを検出した場合、INTTTEQCm0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOTm1端子出力をアクティブ・レベルにして、カウント動作を続けます。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTTTEQCm1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTTEQCm1信号の発生タイミングは、ほかのモードのINTTTEQCm1信号と異なり、16ビット・カウンタのカウンタ値とTTmCCR1レジスタの値との一致と同時に発生します。



通常、INTTTEQCm1信号は、16ビット・カウンタのカウンタ値とTTmCCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOTm1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

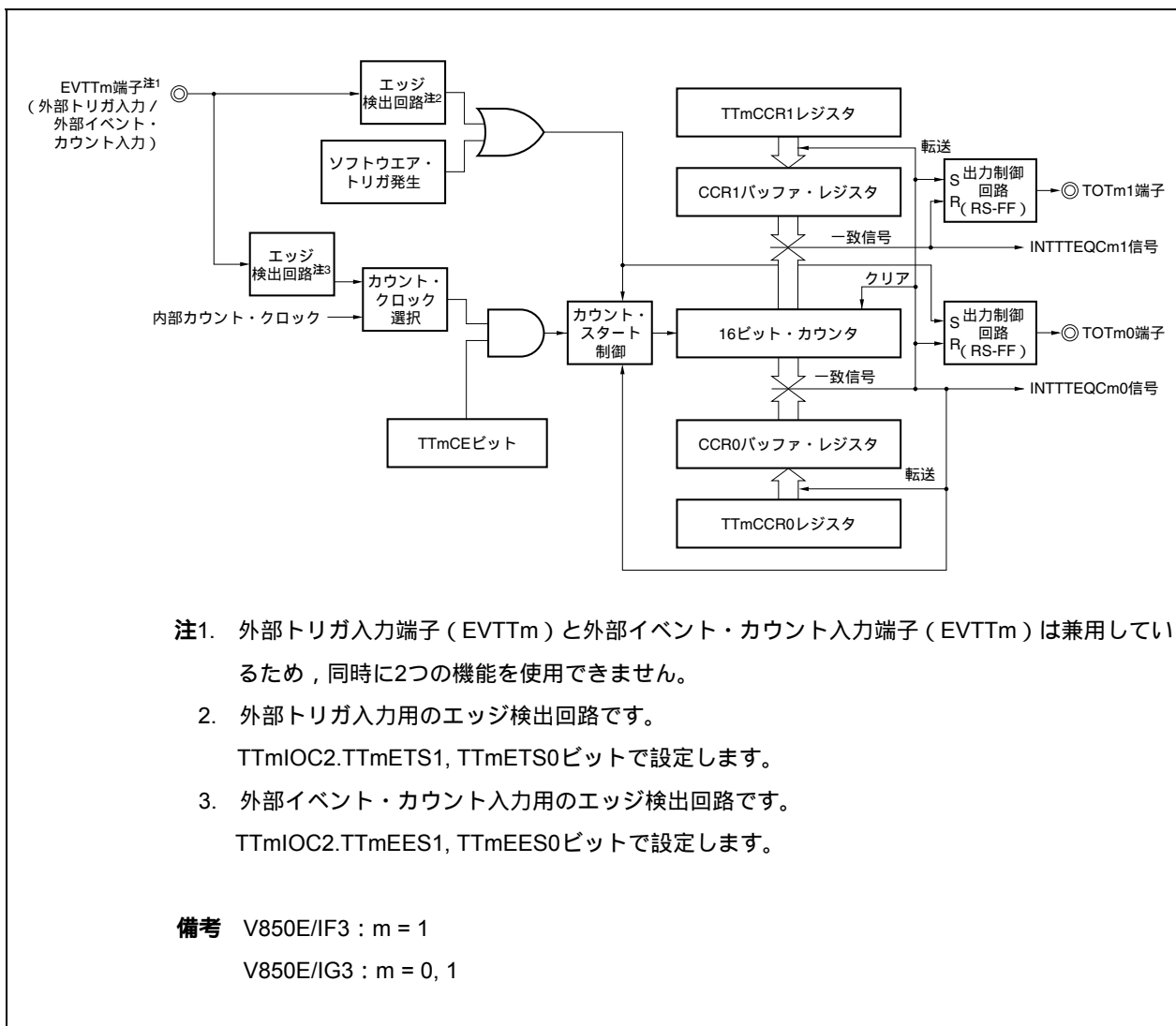
### 8.6.4 ワンショット・パルス出力モード (TTmMD3-TTmMD0ビット = 0011)

TMT0 (V850E/IG3のみ), TMT1のみ有効です。

ワンショット・パルス出力モードは, TTmCTL0.TTmCEビットをセット(1)することでトリガ待ち状態となり, 外部トリガ入力の有効エッジを検出すると, カウント動作を開始し, TOTm1端子からワンショット・パルスを出力します。また, TOTm0端子から, 16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し, カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

外部トリガ入力(EVTTm)の代わりに, ソフトウェア・トリガを発生させることでもパルスを出力できます。

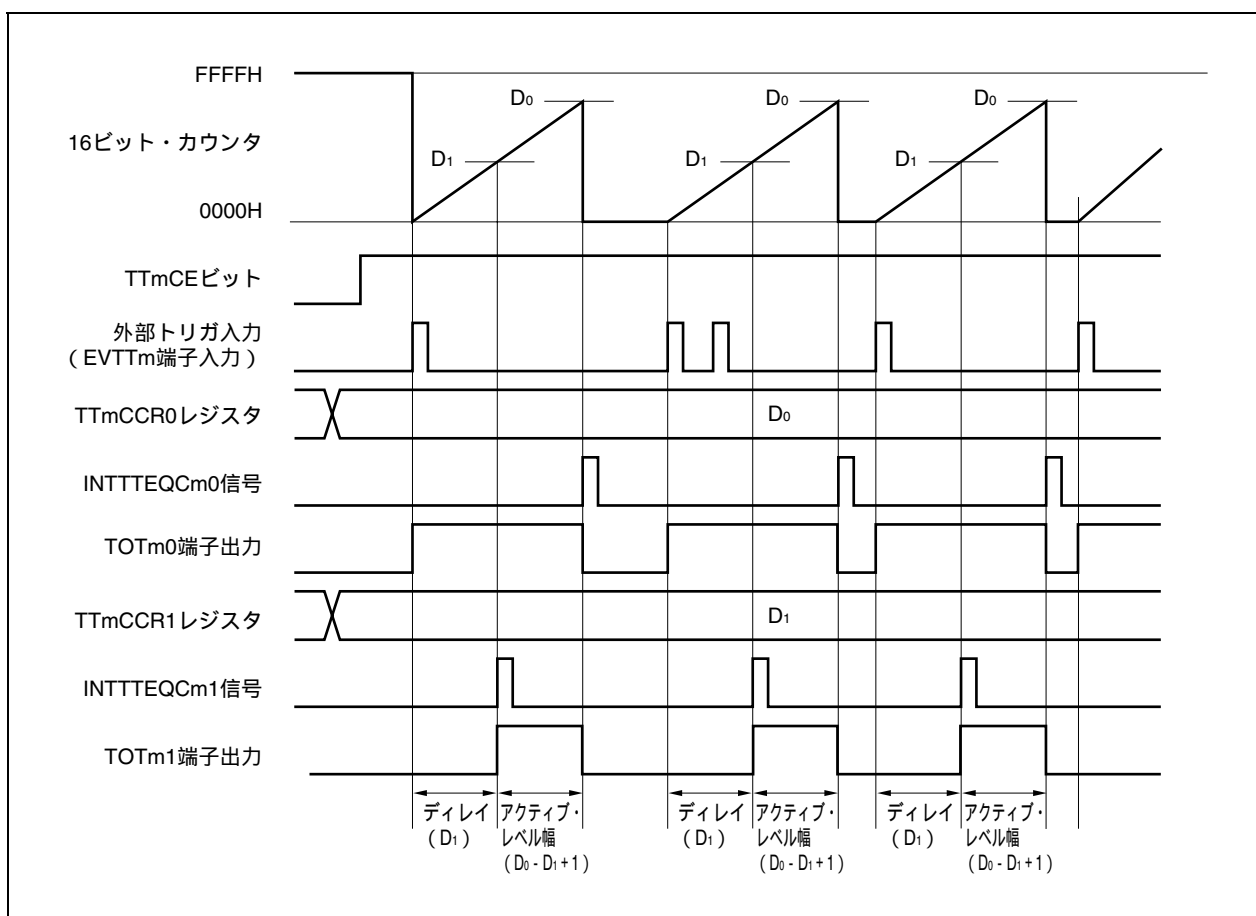
図8 - 25 ワンショット・パルス出力モードの構成図



- 注1. 外部トリガ入力端子 (EVTTm) と外部イベント・カウント入力端子 (EVTTm) は兼用しているため, 同時に2つの機能を使用できません。
2. 外部トリガ入力用のエッジ検出回路です。  
TTmIOC2.TTmETS1, TTmETS0ビットで設定します。
3. 外部イベント・カウント入力用のエッジ検出回路です。  
TTmIOC2.TTmEES1, TTmEES0ビットで設定します。

備考 V850E/IF3 : m = 1  
V850E/IG3 : m = 0, 1

図8 - 26 ワンショット・パルス出力モードの基本タイミング



TTmCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOTm1端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hからカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力遅延期間、およびアクティブ・レベル幅は次のように求められます。

出力遅延期間 = (TTmCCR1レジスタの設定値) × カウント・クロック周期

アクティブ・レベル幅 = (TTmCCR0レジスタの設定値 - TTmCCR1レジスタの設定値 + 1)  
× カウント・クロック周期

コンペアー一致割り込み要求信号 (INTTTEQm0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTTEQm1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (EVTTm端子) の有効エッジ、またはソフトウェア・トリガ (TTmCTL1.TTmESTビット) のセット(1)があります。

備考 V850E/IF3 : m = 1

V850E/IG3 : m = 0, 1

図8 - 27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

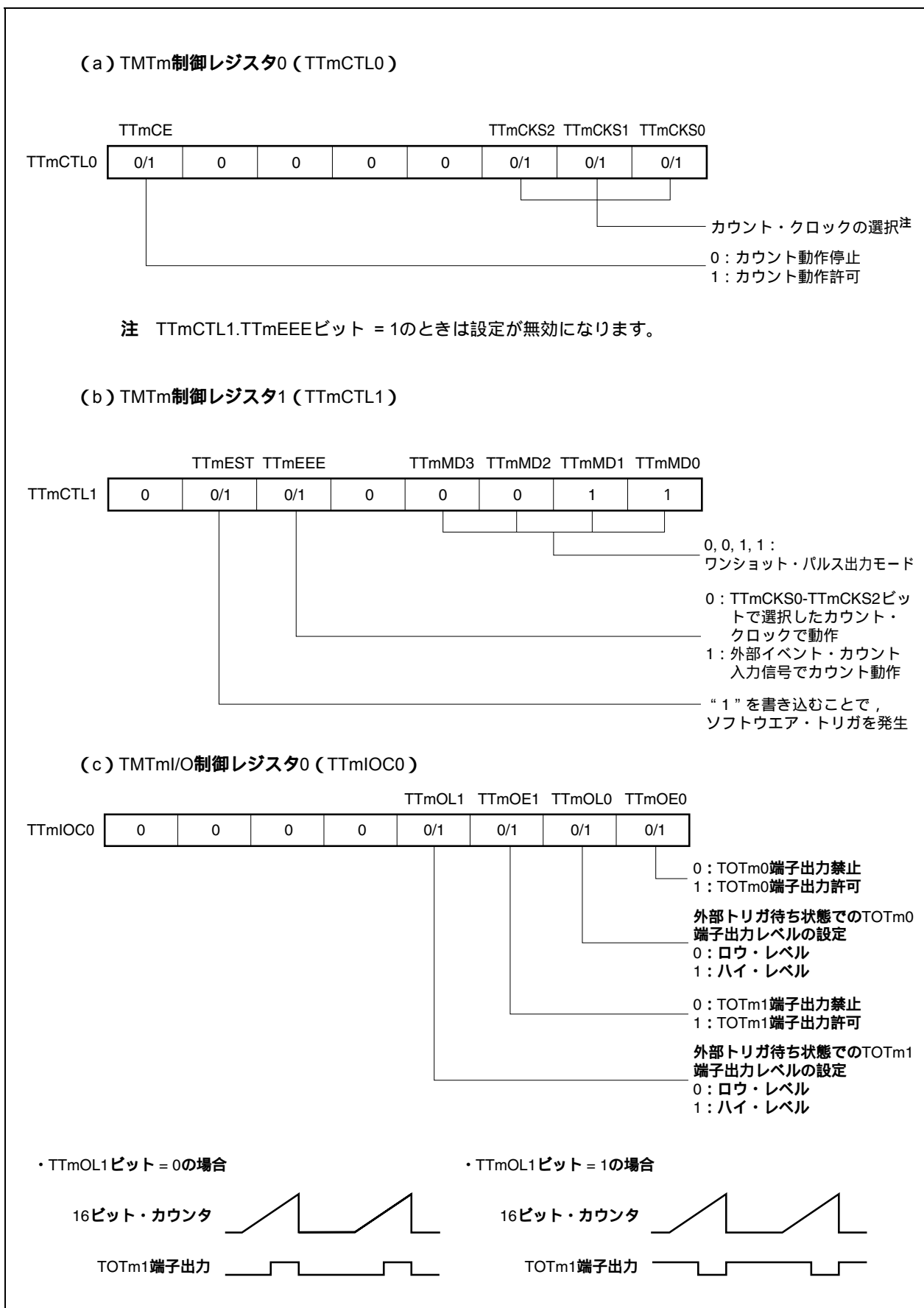
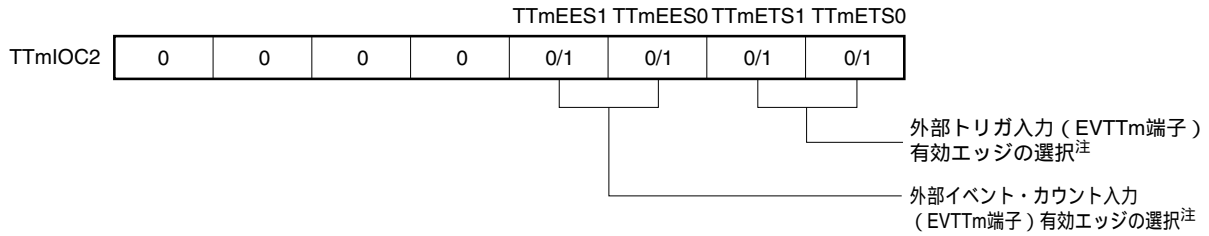


図8 - 27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)

(d) TMTmI/O制御レジスタ2 (TTmIOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

(e) TMTmカウンタ・リード・バッファ・レジスタ (TTmCNT)

TTmCNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

(f) TMTmキャプチャ/コンペア・レジスタ0, 1 (TTmCCR0, TTmCCR1)

TTmCCR0レジスタにD<sub>0</sub>を設定し，TTmCCR1レジスタにD<sub>1</sub>を設定した場合，

ワンショット・パルスのアクティブ・レベル幅 = (D<sub>0</sub> - D<sub>1</sub> + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = D<sub>1</sub> × カウント・クロック周期

となります。

**注意** ワンショット・パルス出力モードにおいて，TTmCCR1レジスタの設定値が，TTmCCR0レジスタの設定値より大きい場合，ワンショット・パルスは出力しません。

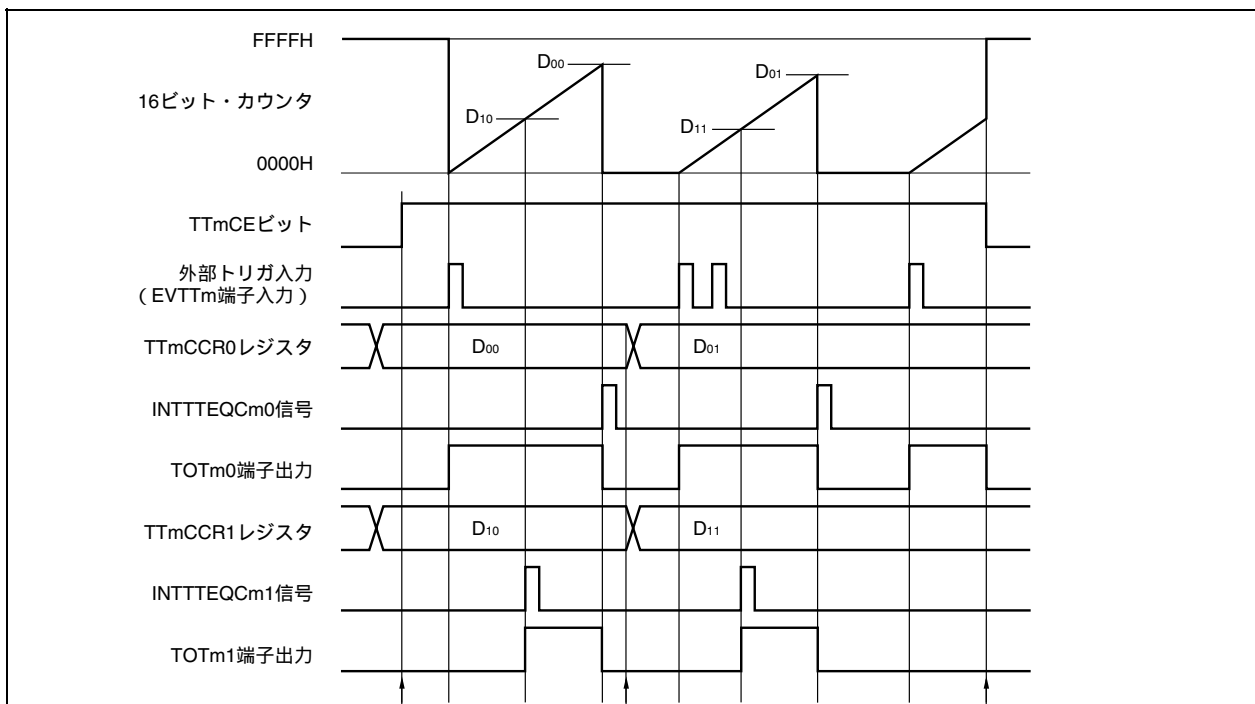
**備考1.** TMTm制御レジスタ2 (TTmCTL2)，TMTmI/O制御レジスタ1 (TTmIOC1)，TMTmI/O制御レジスタ3 (TTmIOC3)，TMTmオプション・レジスタ0 (TTmOPT0)，TMTmオプション・レジスタ1 (TTmOPT1)，TMTmキャプチャ入力選択レジスタ (TTISLm)，TMTmカウンタ・ライト・レジスタ (TTmTCW) は，ワンショット・パルス出力モードでは使用しません。

2. V850E/IF3 : m = 1

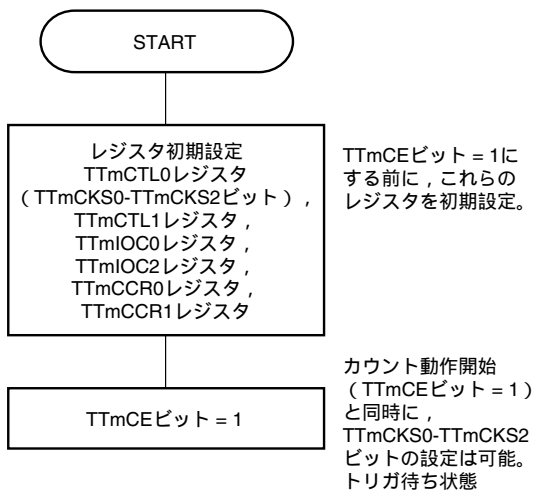
V850E/IG3 : m = 0, 1

(1) ワンショット・パルス出力モード動作フロー

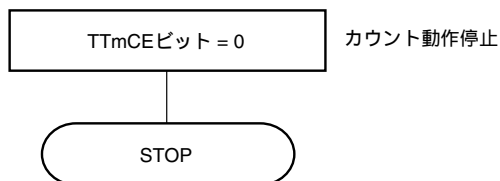
図8 - 28 ワンショット・パルス出力モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー



TTMCCR0, TTMCCR1レジスタ設定変更フロー



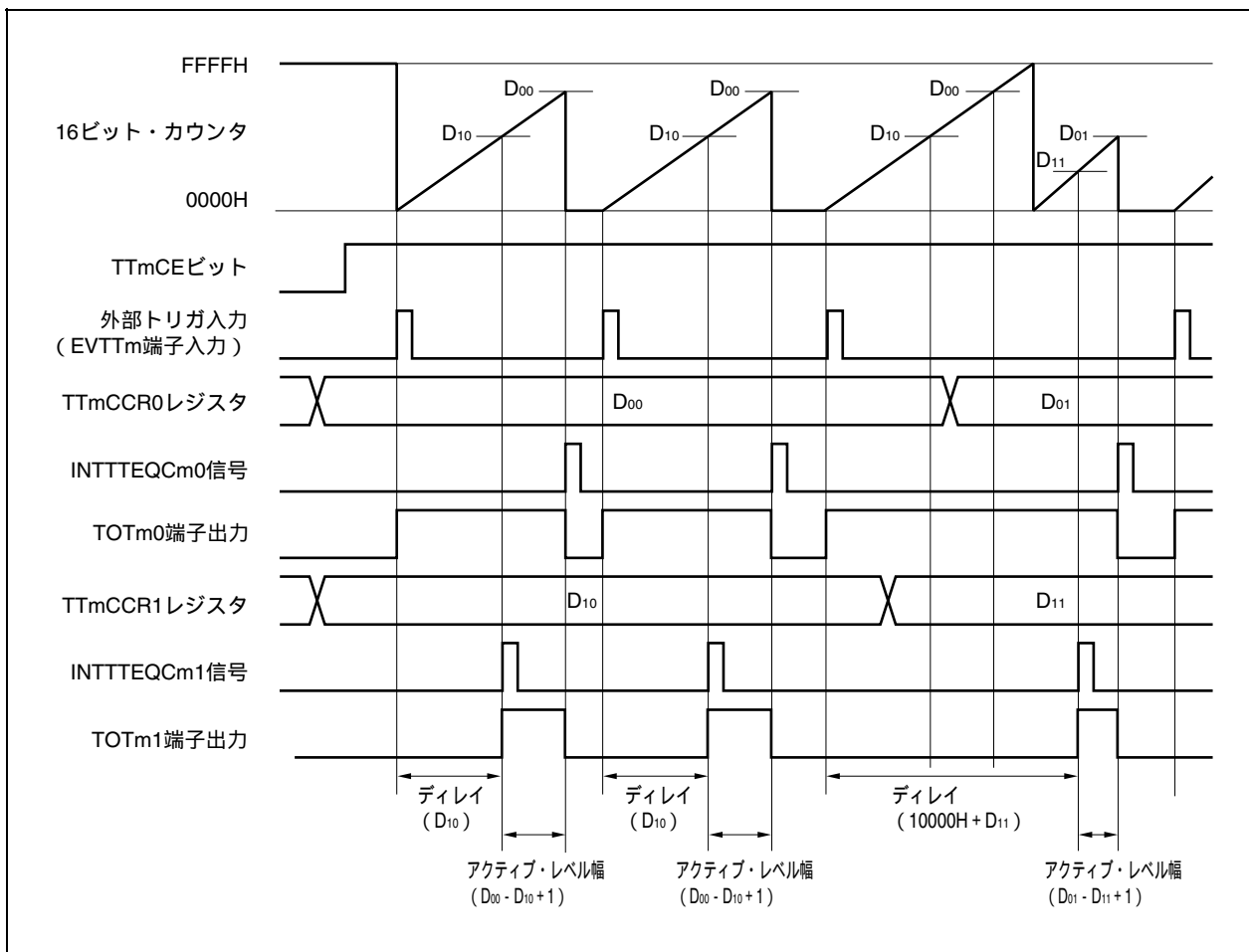
**備考** V850E/IF3 : m = 1 , a = 0, 1  
 V850E/IG3 : m = 0, 1 , a = 0, 1



(2) ワンショット・パルス出力モード動作タイミング

(a) TTmCCRaレジスタの書き換えに関する注意事項

カウント動作中にTTmCCRaレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



TTmCCR0レジスタをD00からD01に、TTmCCR1レジスタをD10からD11に書き換える場合において、 $D_{00} > D_{01}$ 、 $D_{10} > D_{11}$ の状態では、16ビット・カウンタのカウント値がD11よりも大きくD10よりも小さい状態のときTTmCCR1レジスタを書き換え、カウント値がD01よりも大きくD00よりも小さい状態でTTmCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D11との一致でINTTTEQCm1信号を発生してTOTm1端子出力をアクティブ・レベルにし、D01との一致でINTTTEQCm0信号を発生してTOTm1端子出力をインアクティブにしてカウント動作を停止します。

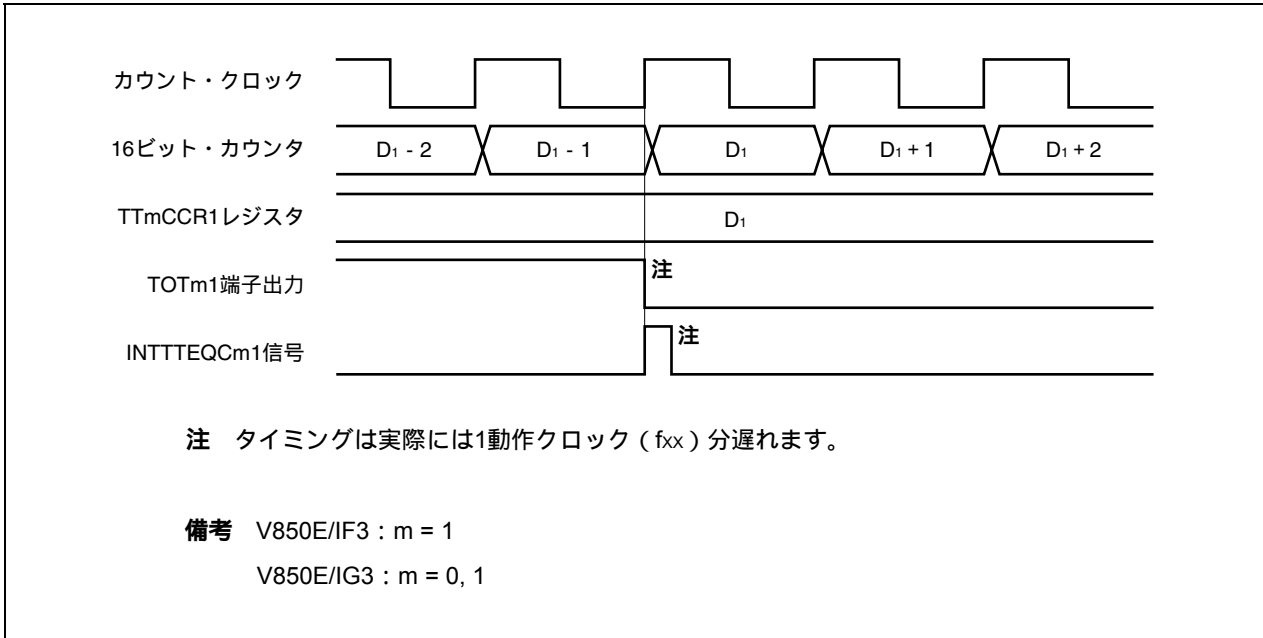
したがって、本来期待しているワンショット・パルス出力に対し、デレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 V850E/IF3 : m = 1 , a = 0, 1

V850E/IG3 : m = 0, 1 , a = 0, 1

(b) コンペアー一致割り込み要求信号 (INTTTEQCm1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTTEQCm1信号の発生タイミングは、ほかのモードのINTTTEQCm1信号と異なり、16ビット・カウンタのカウンタ値とTTmCCR1レジスタの値との一致と同時に発生します。



通常、INTTTEQCm1信号は、16ビット・カウンタのカウンタ値とTTmCCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOTm1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 8.6.5 PWM出力モード (TTmMD3-TTmMD0ビット = 0100)

TMT0 (V850E/IG3のみ), TMT1のみ有効です。

PWM出力モードは, TTmCTL0.TTmCEビットをセット (1) することで, TOTm1端子からPWM波形を出力します。

また, TOTm0端子から, TTmCCR0レジスタの設定値 + 1を半周期とする50 %デューティのPWM波形を出力します。

図8 - 29 PWM出力モードの構成図

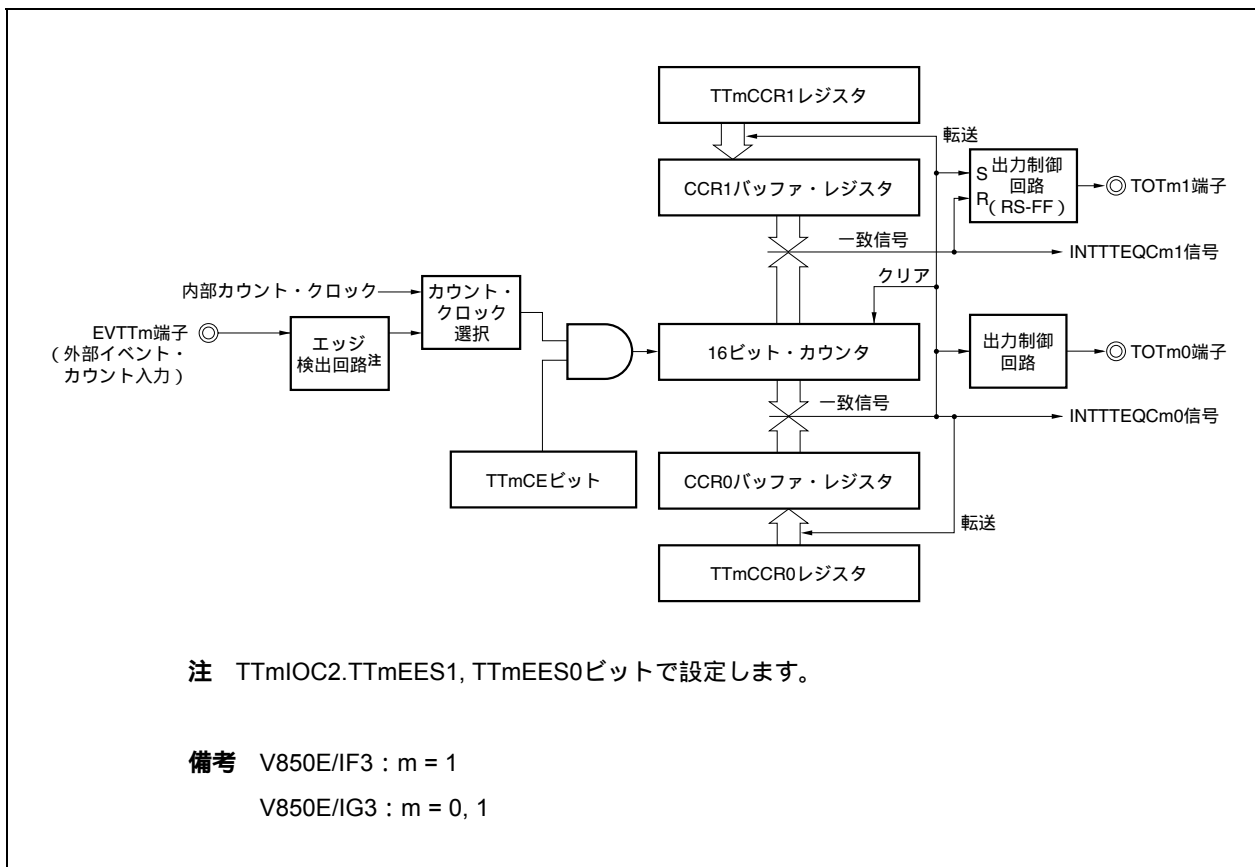
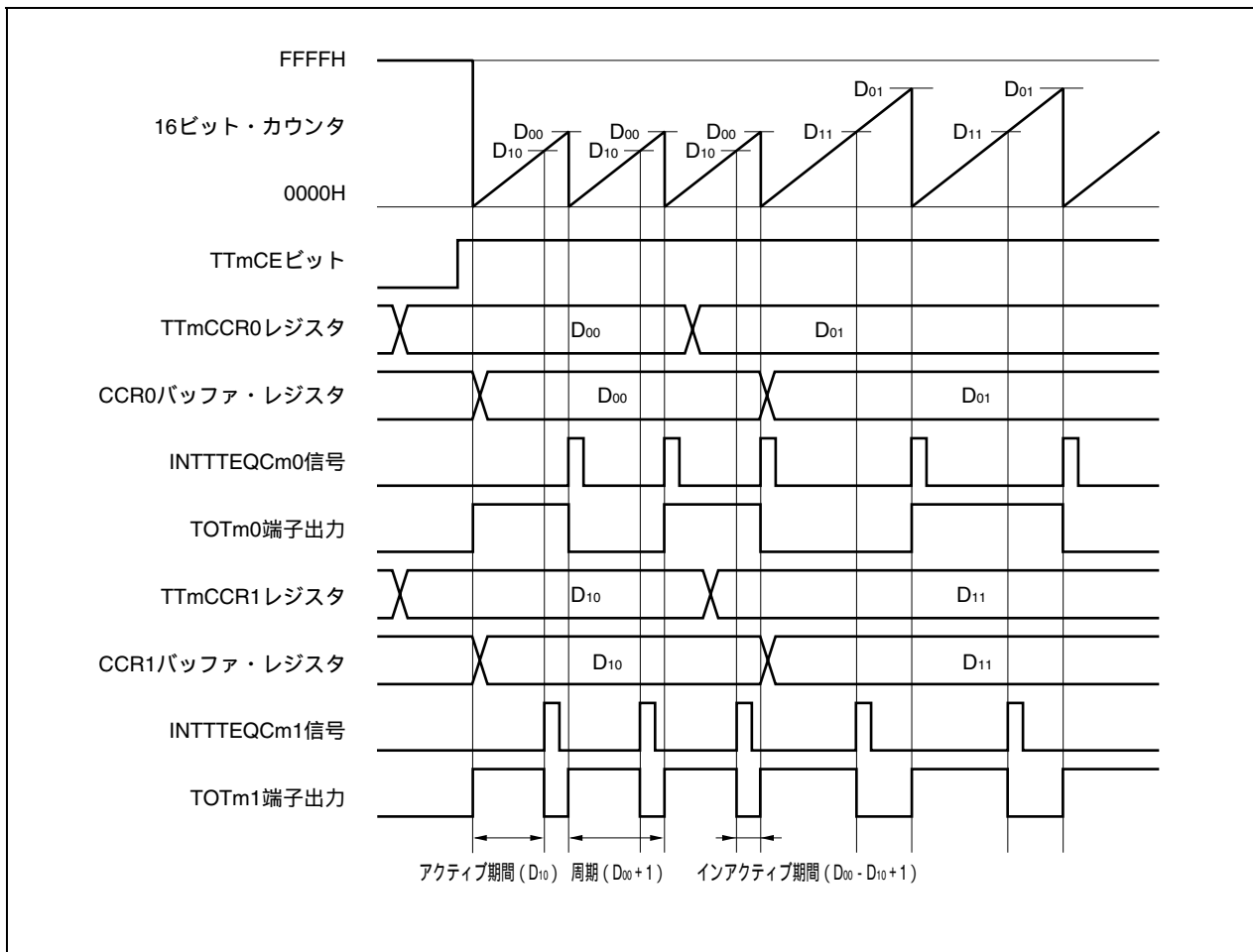


図8 - 30 PWM出力モードの基本タイミング



TTmCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOTm1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TTmCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TTmCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TTmCCR1レジスタの設定値}) / (\text{TTmCCR0レジスタの設定値} + 1)$$

動作中にTTmCCRaレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンパレー一致割り込み要求信号(INTTTEQm0)は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号(INTTTEQm1)は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TTmCCRaレジスタに設定した値は、16ビット・カウンタのカウンタ値とCCRaバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRaバッファ・レジスタに転送されます。

**備考** V850E/IF3 : m = 1, a = 0, 1, V850E/IG3 : m = 0, 1, a = 0, 1

図8 - 31 PWM出力モード動作時のレジスタ設定内容 (1/2)

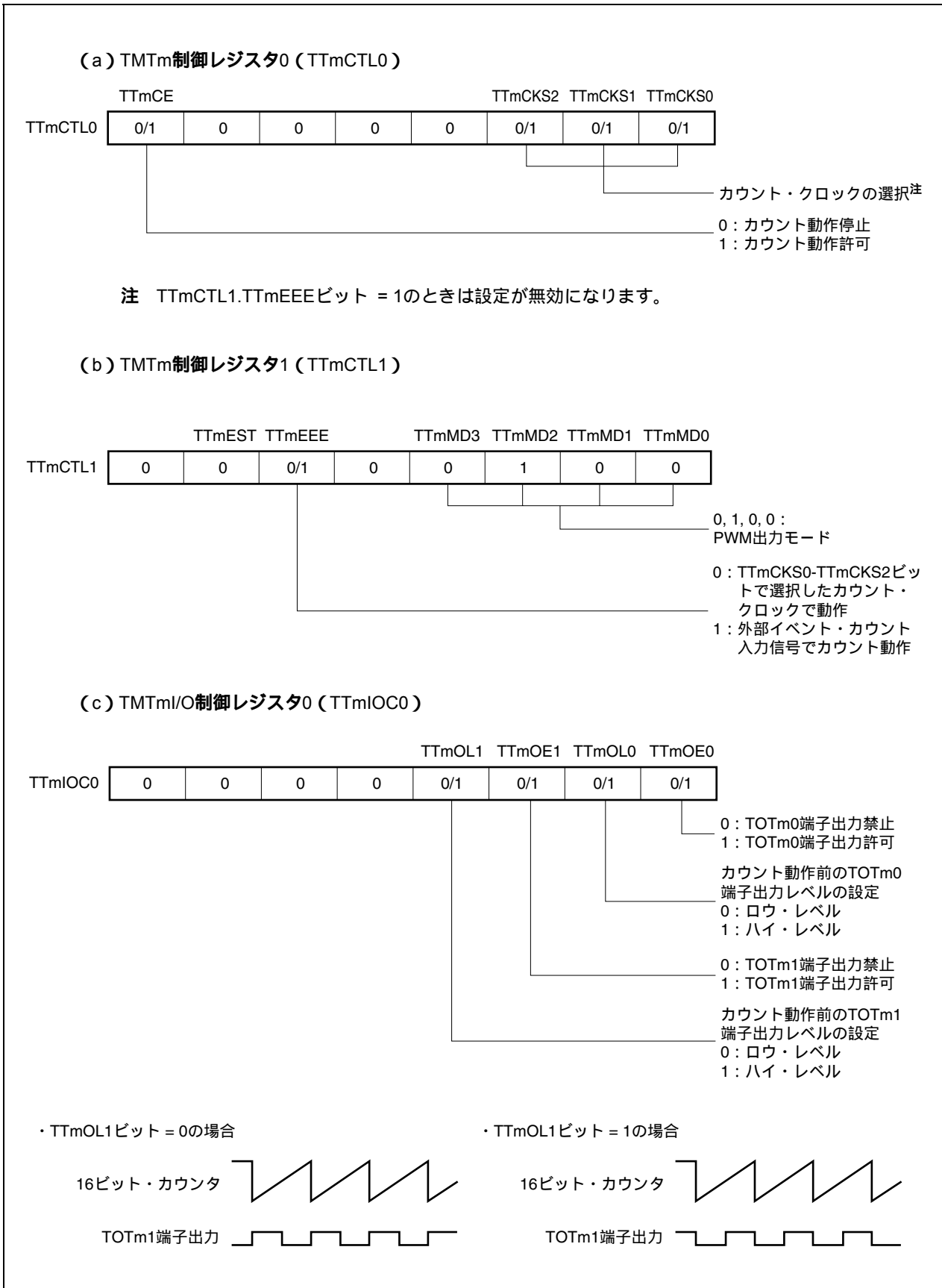
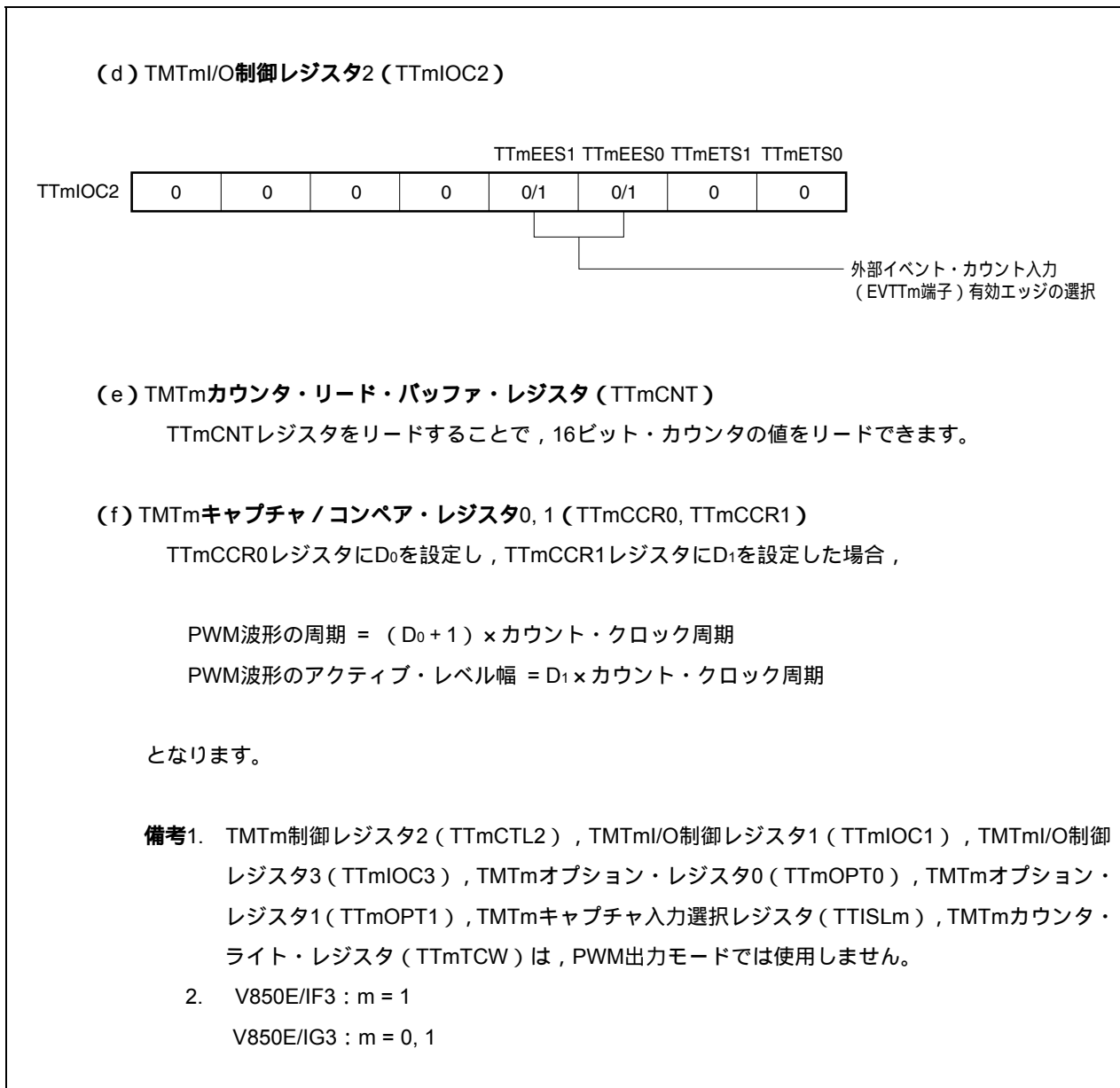


図8 - 31 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図8 - 32 PWM出力モード使用時のソフトウェア処理フロー (1/2)

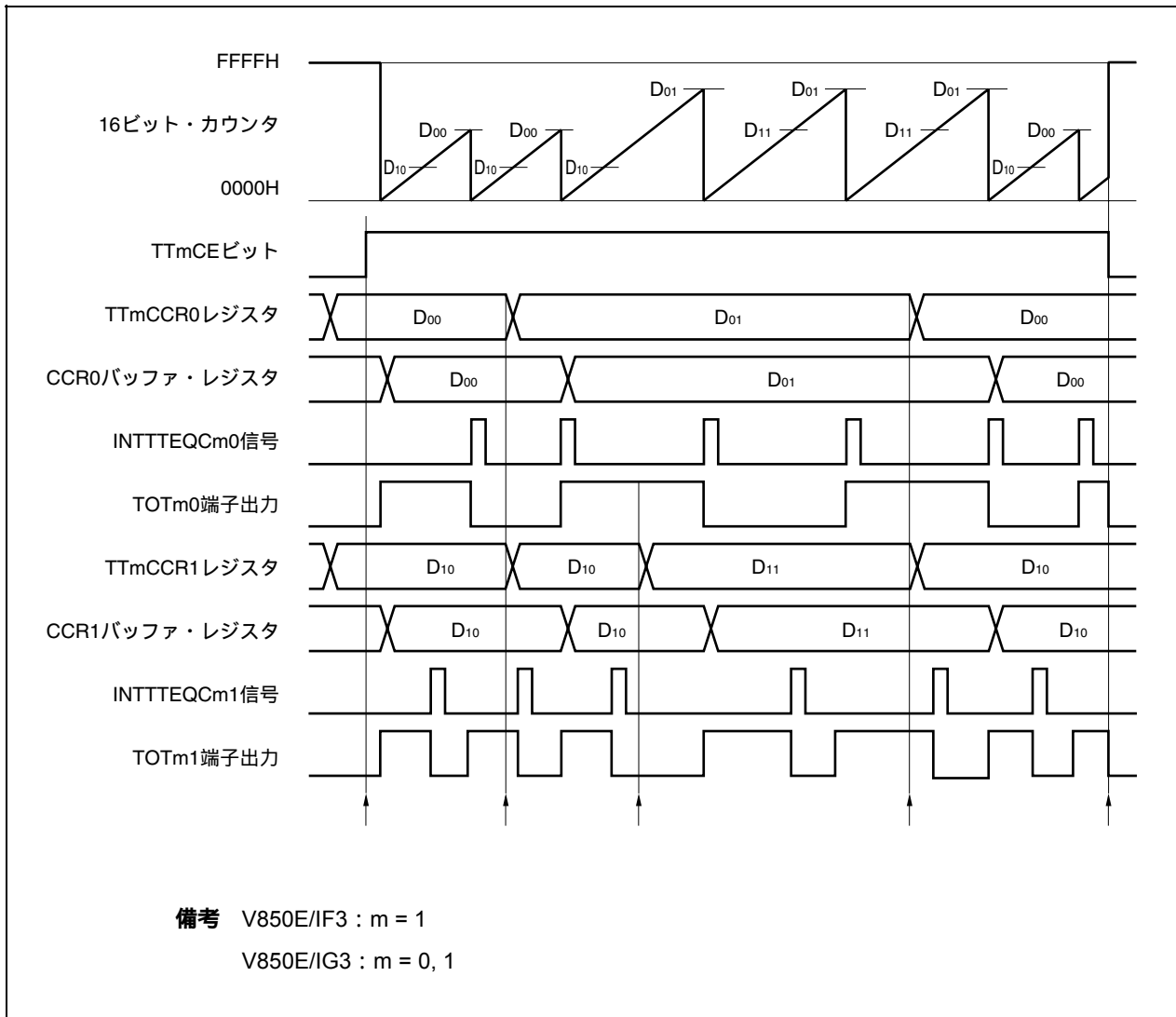
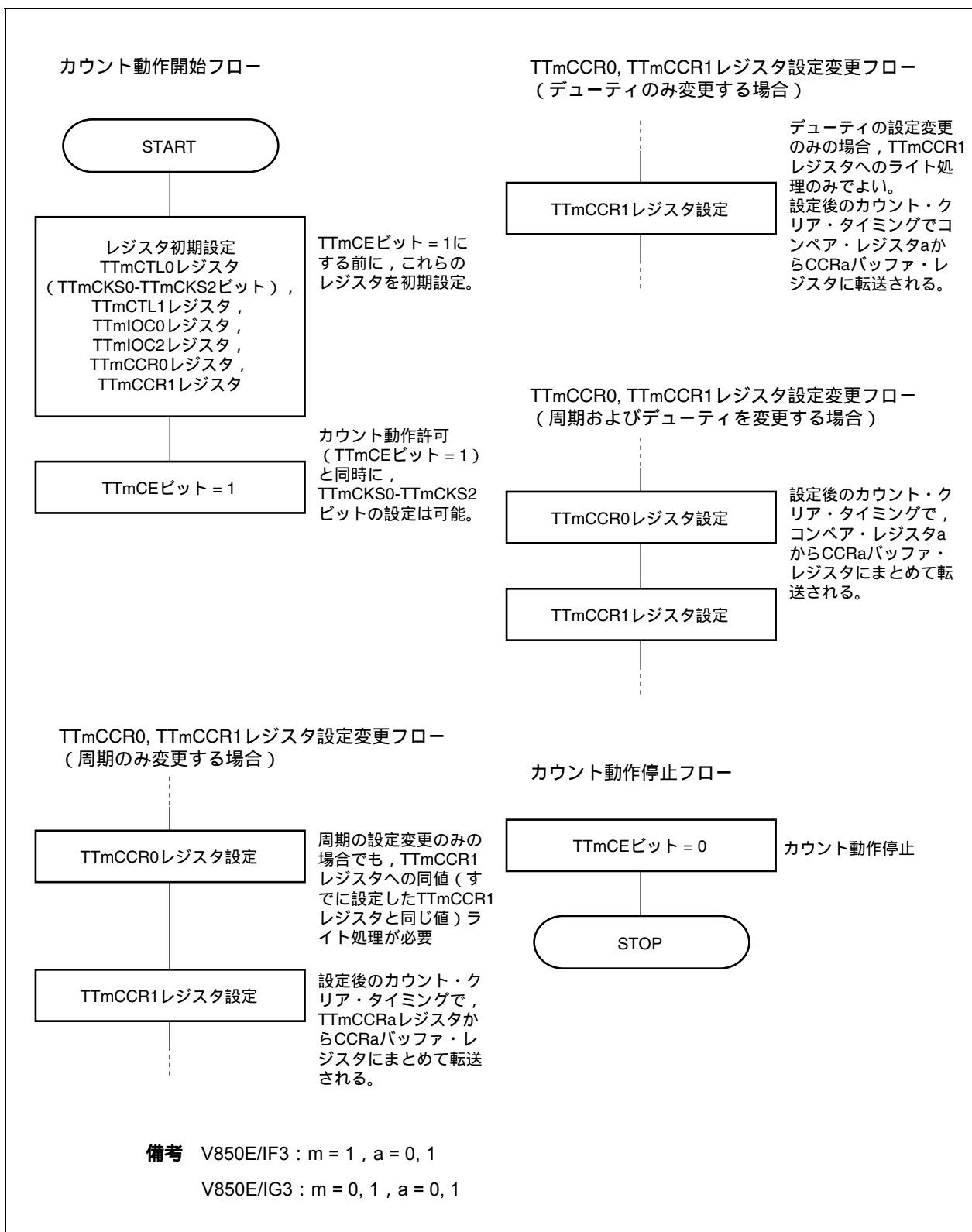


図8 - 32 PWM出力モード使用時のソフトウェア処理フロー (2/2)



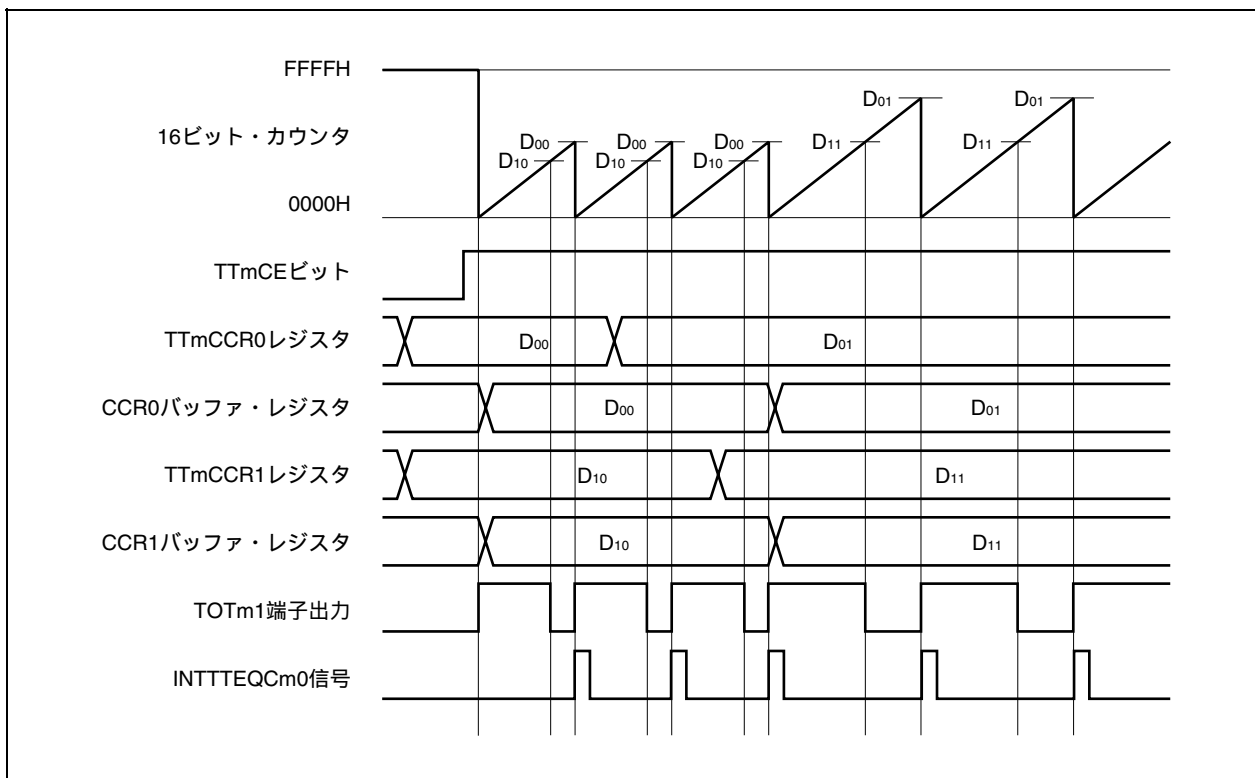


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTTmCCR1レジスタにライトしてください。

TTmCCR1レジスタにライト後、再度TTmCCRaレジスタの書き換えを行う場合には、INTTTEQcm0信号を検出後に書き換えてください。



TTmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TTmCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTTmCCR0レジスタに周期を設定し、そのあとでTTmCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTTmCCR0レジスタに周期を設定し、そのあとでTTmCCR1レジスタに同値(すでに設定したTTmCCR1レジスタと同じ値)をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TTmCCR1レジスタのみの設定でかまいません。

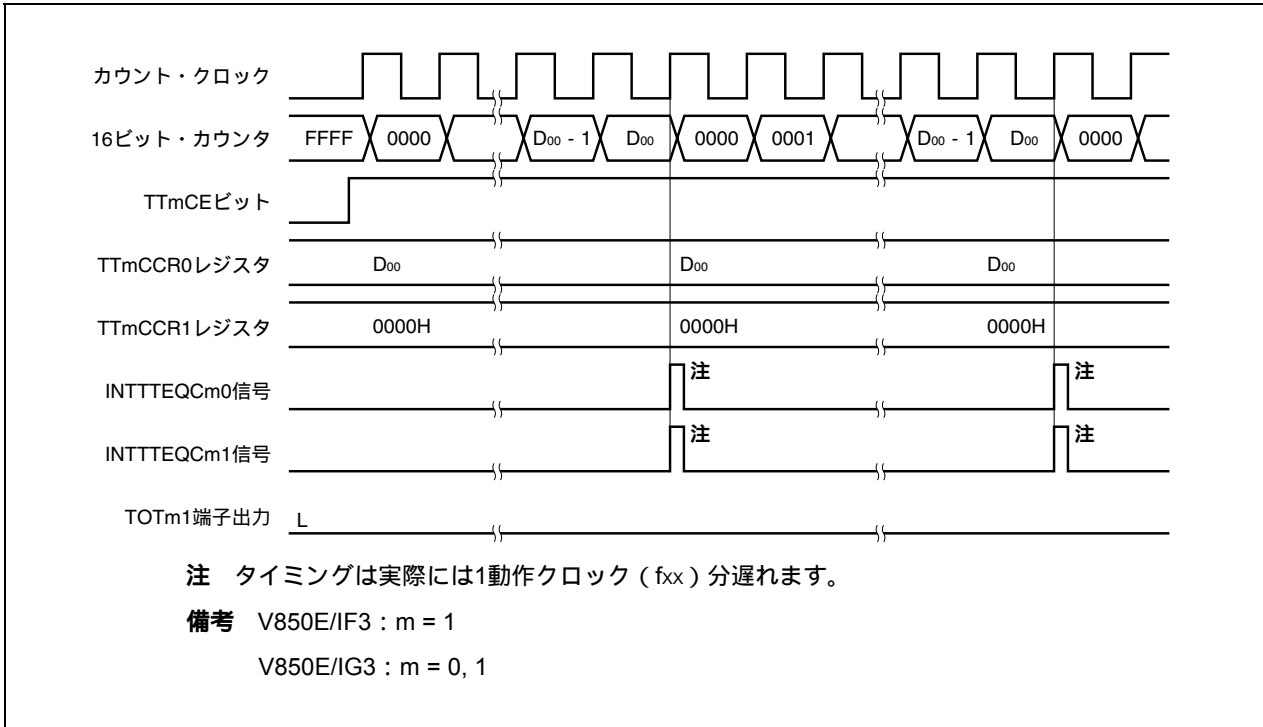
TTmCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TTmCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TTmCCR1レジスタにライトしたあとで、再度TTmCCR0、またはTTmCCR1レジスタへのライトを行う場合は、INTTTEQcm0信号の発生後に行ってください。これを守れない場合には、TTmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TTmCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

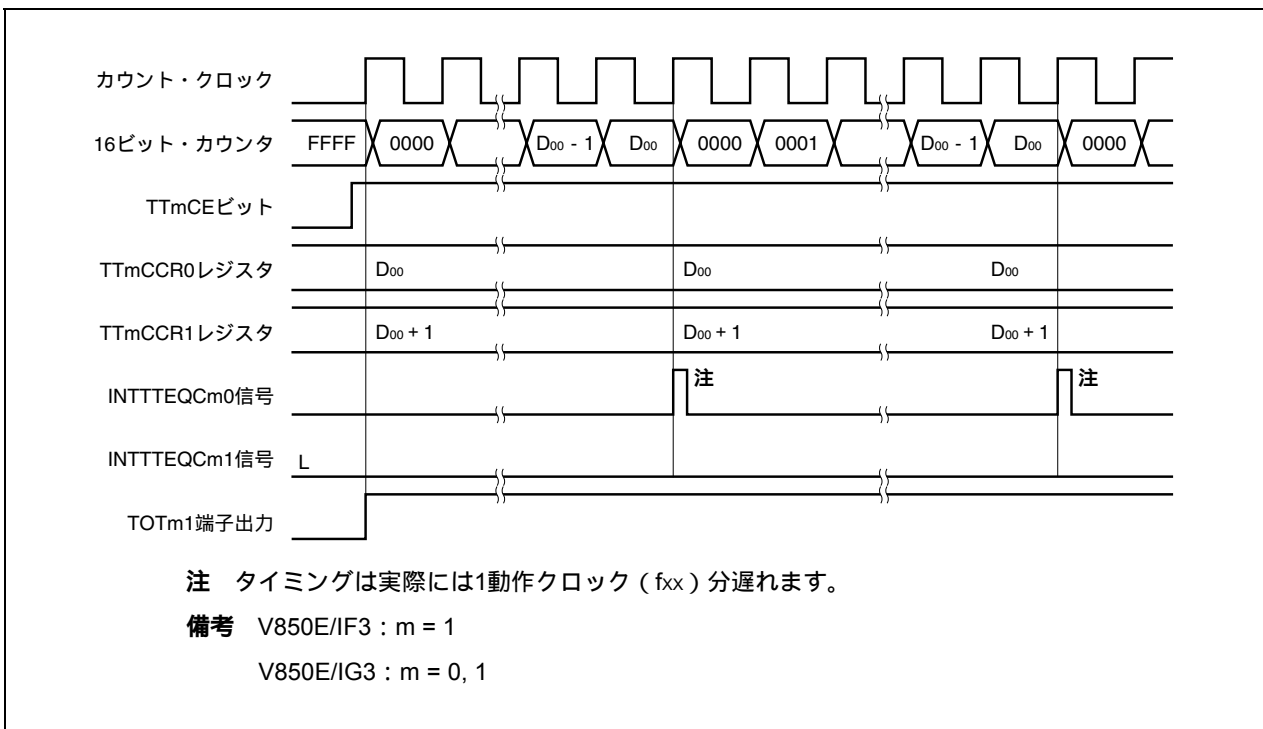
**備考** V850E/IF3 : m = 1, a = 0, 1, V850E/IG3 : m = 0, 1, a = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TTmCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTTEQm0信号とINTTTEQm1信号が発生します。

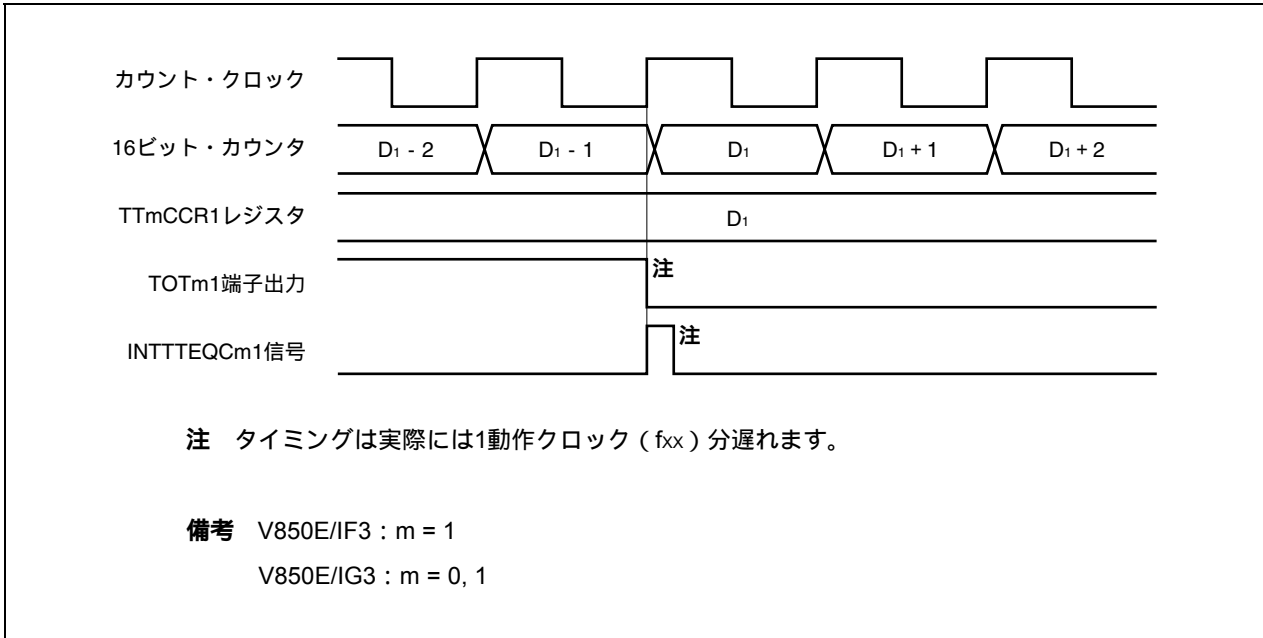


100 % 波形を出力するためには、TTmCCR1レジスタに対して (TTmCCR0レジスタの設定値 + 1) の値を設定してください。TTmCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTTEQCm1) の発生タイミング

PWM出力モードにおけるINTTTEQCm1信号の発生タイミングは、ほかのモードのINTTTEQCm1信号と異なり、16ビット・カウンタのカウント値とTTmCCR1レジスタの値との一致と同時に発生します。



通常、INTTTEQCm1信号は、16ビット・カウンタのカウント値とTTmCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

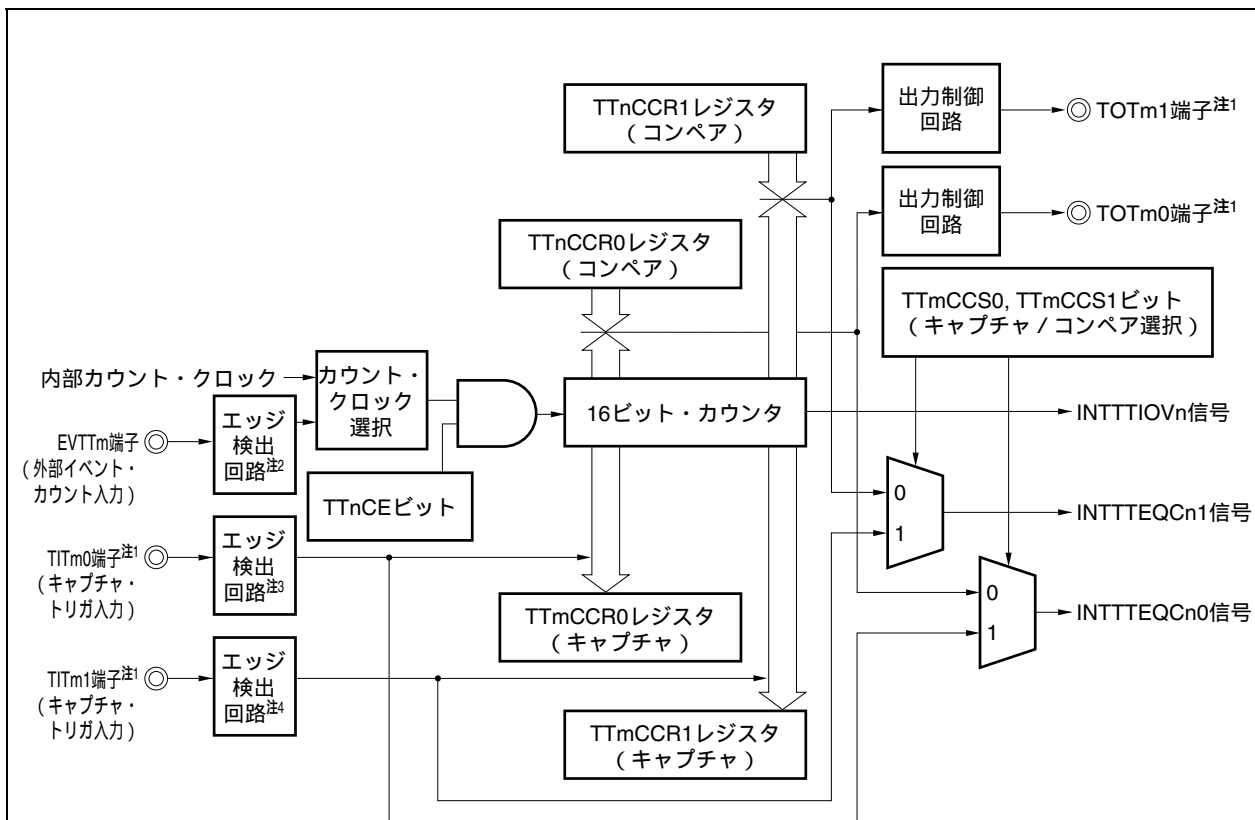
しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOTm1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 8.6.6 フリー・ランニング・タイマ・モード (TTnMD3-TTnMD0ビット = 0101)

コンペア機能は、TMT0, TMT1すべて有効です。キャプチャ機能はTMT0 (V850E/IG3のみ), TMT1のみ有効です。

フリー・ランニング・タイマ・モードは、TTnCTL0.TTnCEビットをセット(1)することでカウント動作を開始します。このときのTTmCCR0, TTmCCR1レジスタの動作は、TTmOPT0.TTmCCS0, TTmCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図8-33 フリー・ランニング・タイマ・モードの構成図



- 注1. キャプチャ・トリガ入力端子 (TITm0, TITm1) とタイマ出力端子 (TOTm0, TOTm1) は兼用しているため、同時に2つの機能を使用できません。
- 2. TTmIOC2.TTmEES1, TTmEES0ビットで設定します。
- 3. TTmIOC1.TTmIS1, TTmIS0ビットで設定します。
- 4. TTmIOC1.TTmIS3, TTmIS2ビットで設定します。

備考 V850E/IF3 : m = 1  
 V850E/IG3 : m = 0, 1

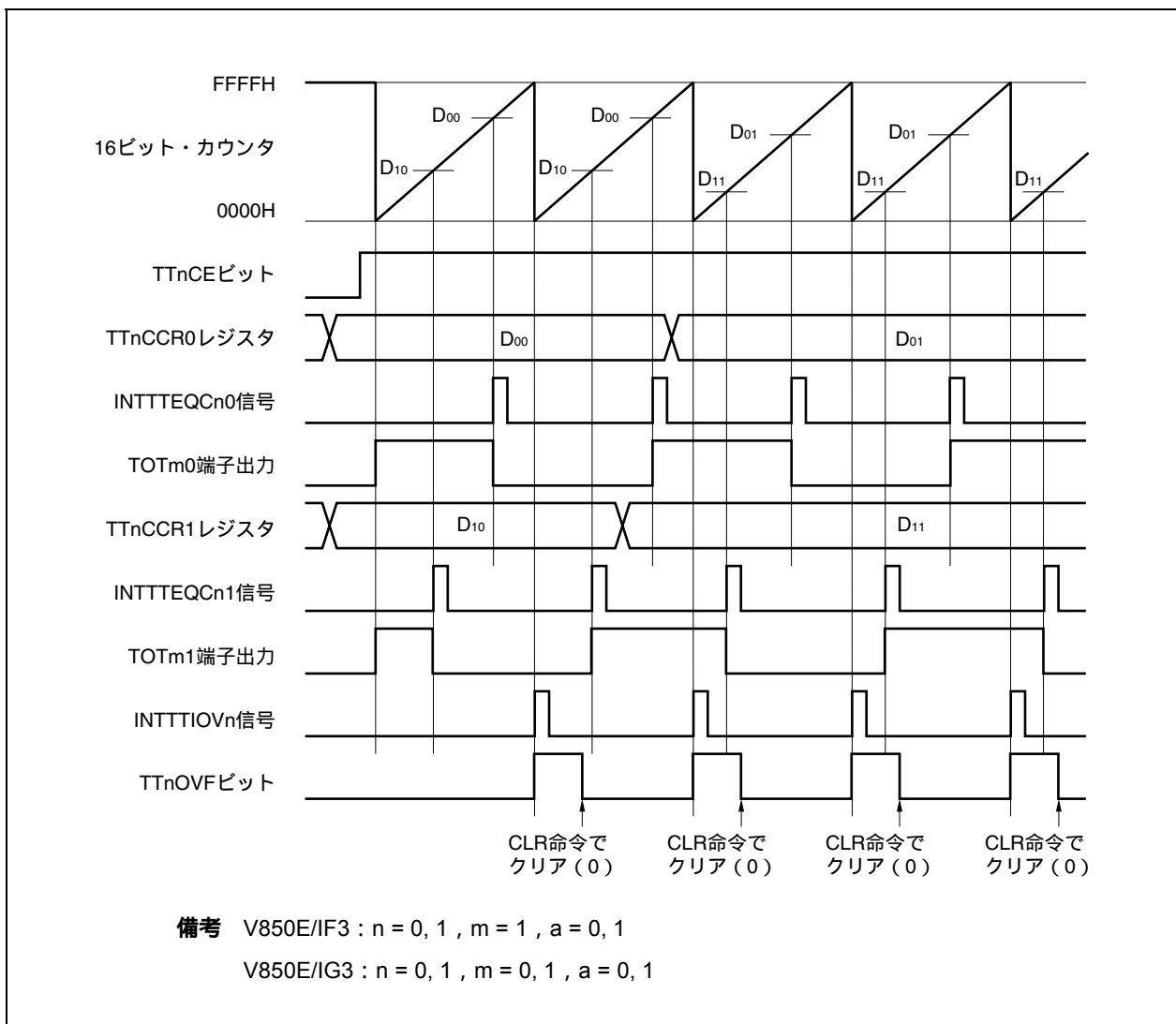
・コンペア動作

TTnCEビットをセット(1)することで、カウント動作を開始し、TOTma端子出力を反転します。その後、16ビット・カウンタのカウント値とTTnCCRaレジスタの設定値が一致すると、コンペア一致割り込み要求信号(INTTTEQCna)を発生し、TOTna端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTTIOVn)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TTnOPT0.TTnOVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されているのを確認してからソフトウェアでCLR命令を実行してクリア(0)してください。

TTnCCRaレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き込みにより値が即反映され、カウント値と比較されます。

図8 - 34 フリー・ランニング・タイマ・モードの基本タイミング(コンペア機能)



・キャプチャ動作

TTmCEビットをセット(1)することで、カウント動作を開始します。その後、TITma端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTTmCCRaレジスタに格納し、キャプチャ割り込み要求信号(INTTTEQCma)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTTIOVm)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TTmOPT0.TTmOVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されていることを確認してからソフトウェアでCLR命令を実行してクリア(0)してください。

図8 - 35 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

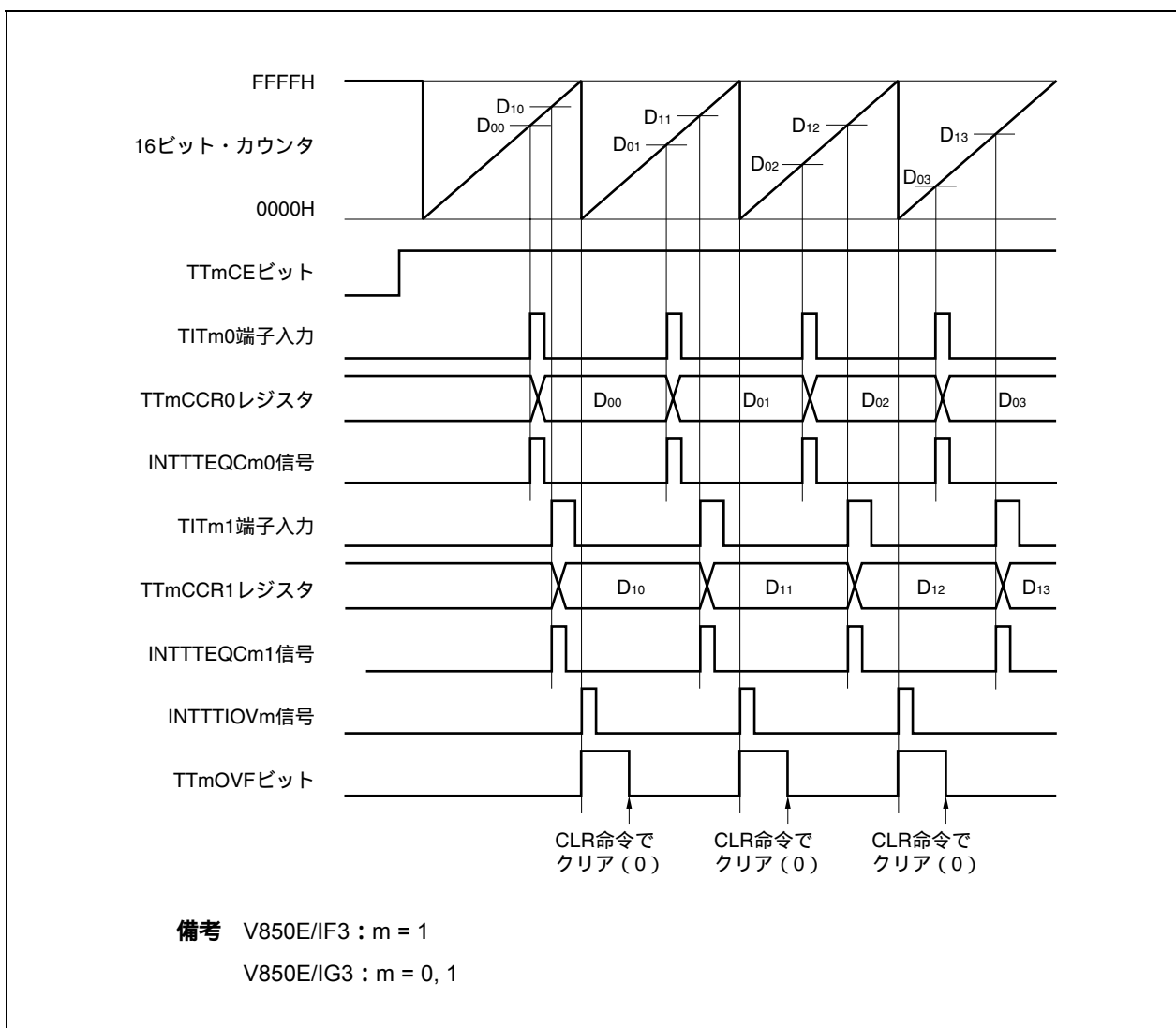


図8 - 36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

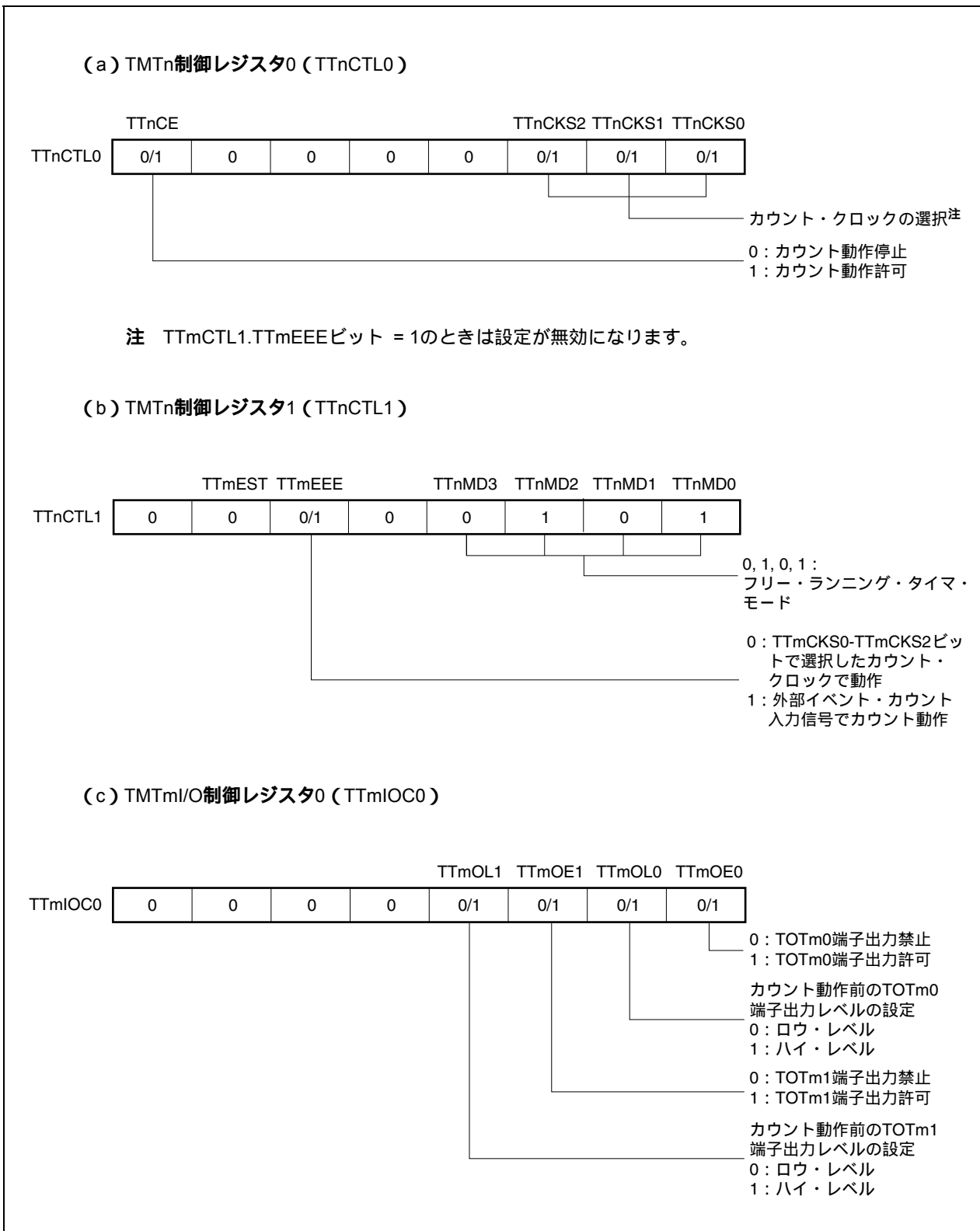


図8 - 36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

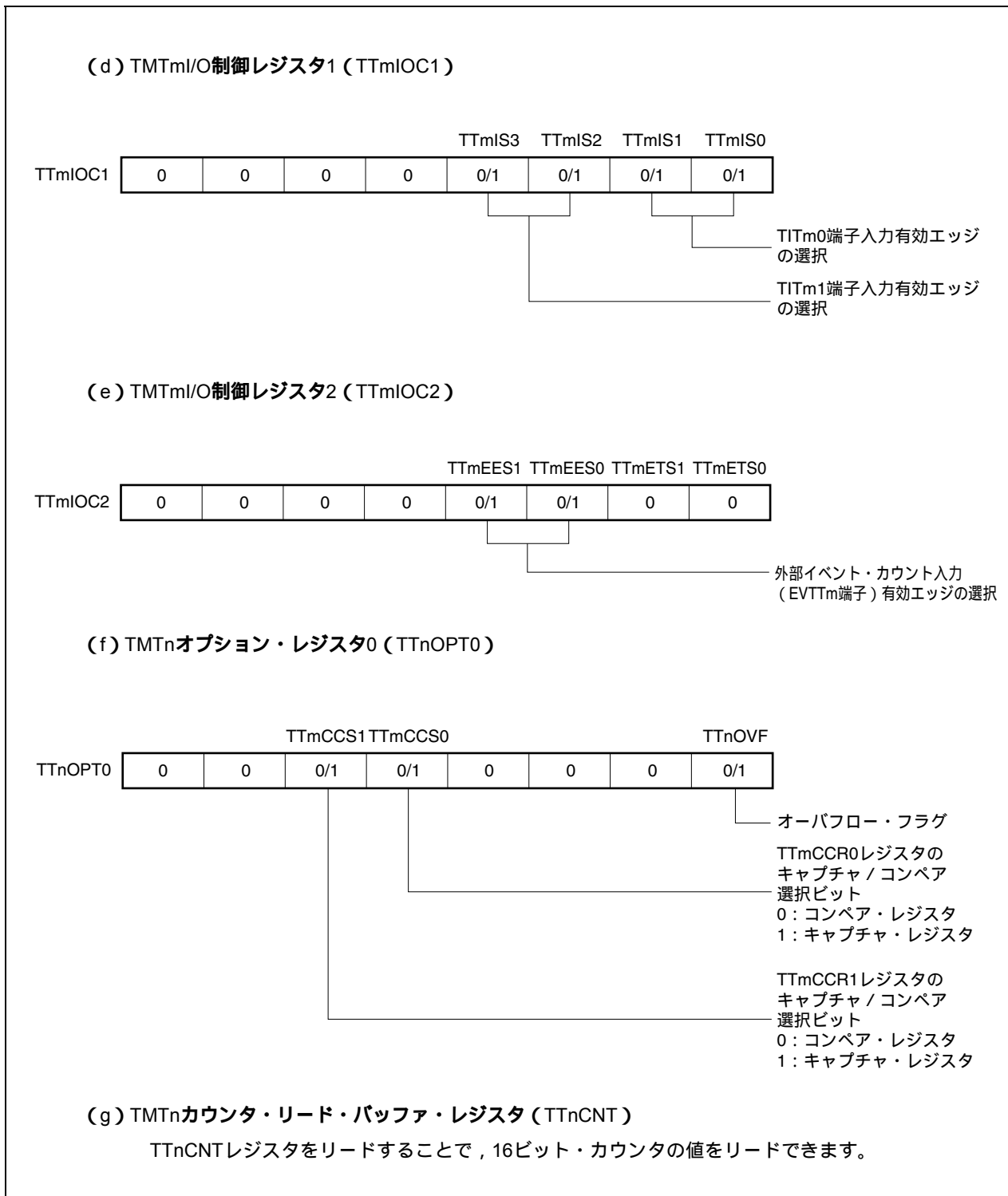




図8 - 36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

**(h) TMTnキャプチャ/コンペア・レジスタ0, 1 (TTnCCR0, TTnCCR1)**

TTmOPT0.TTmCCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TITma端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TTnCCRaレジスタにDaを設定した場合、カウンタが(Da + 1)になるタイミングでINTTTEQCna信号を発生し、TOTm0, TOTm1端子出力を反転します。

**備考** V850E/IF3 : n = 0, 1, m = 1, a = 0, 1

V850E/IG3 : n = 0, 1, m = 0, 1, a = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図8 - 37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

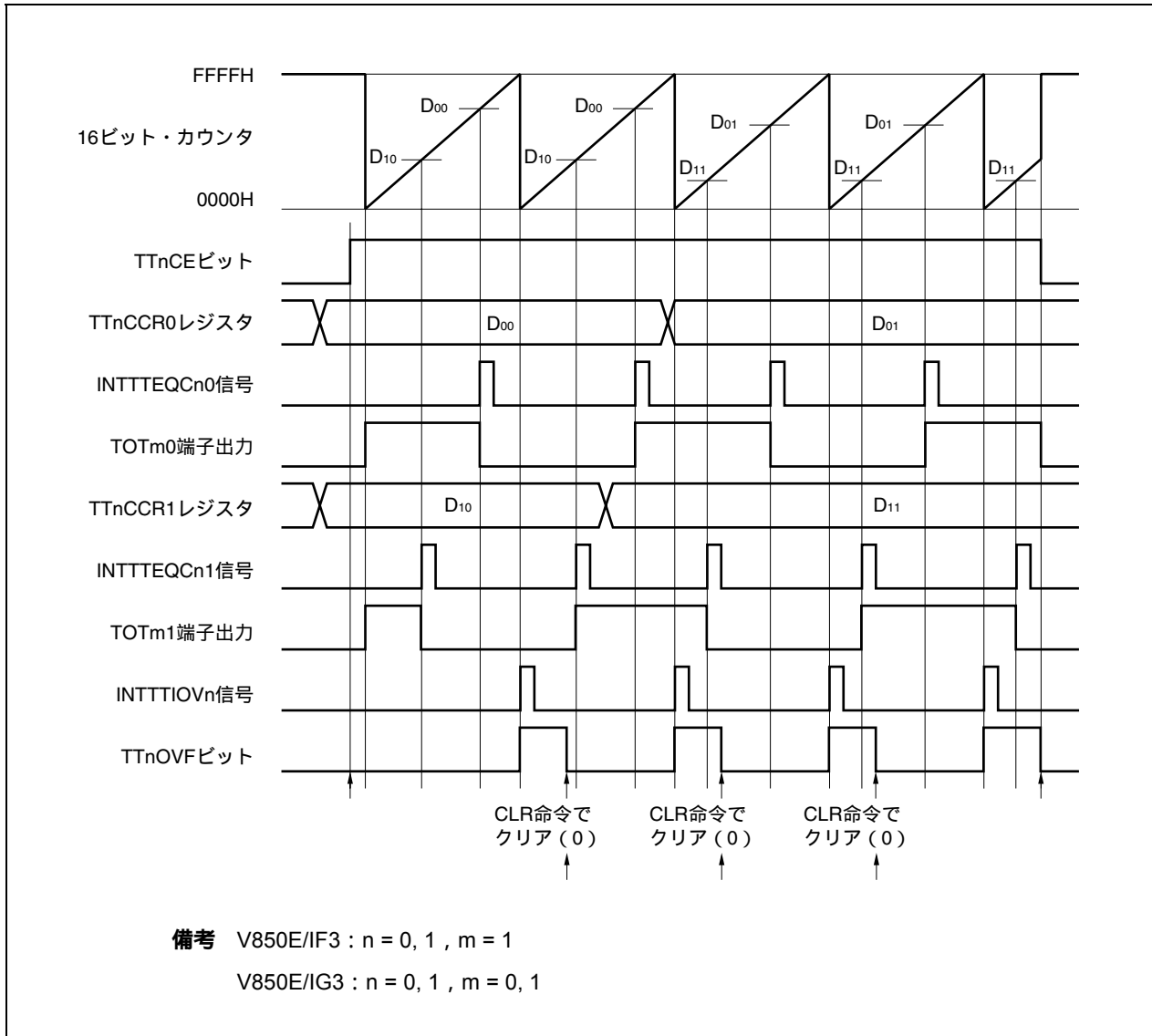
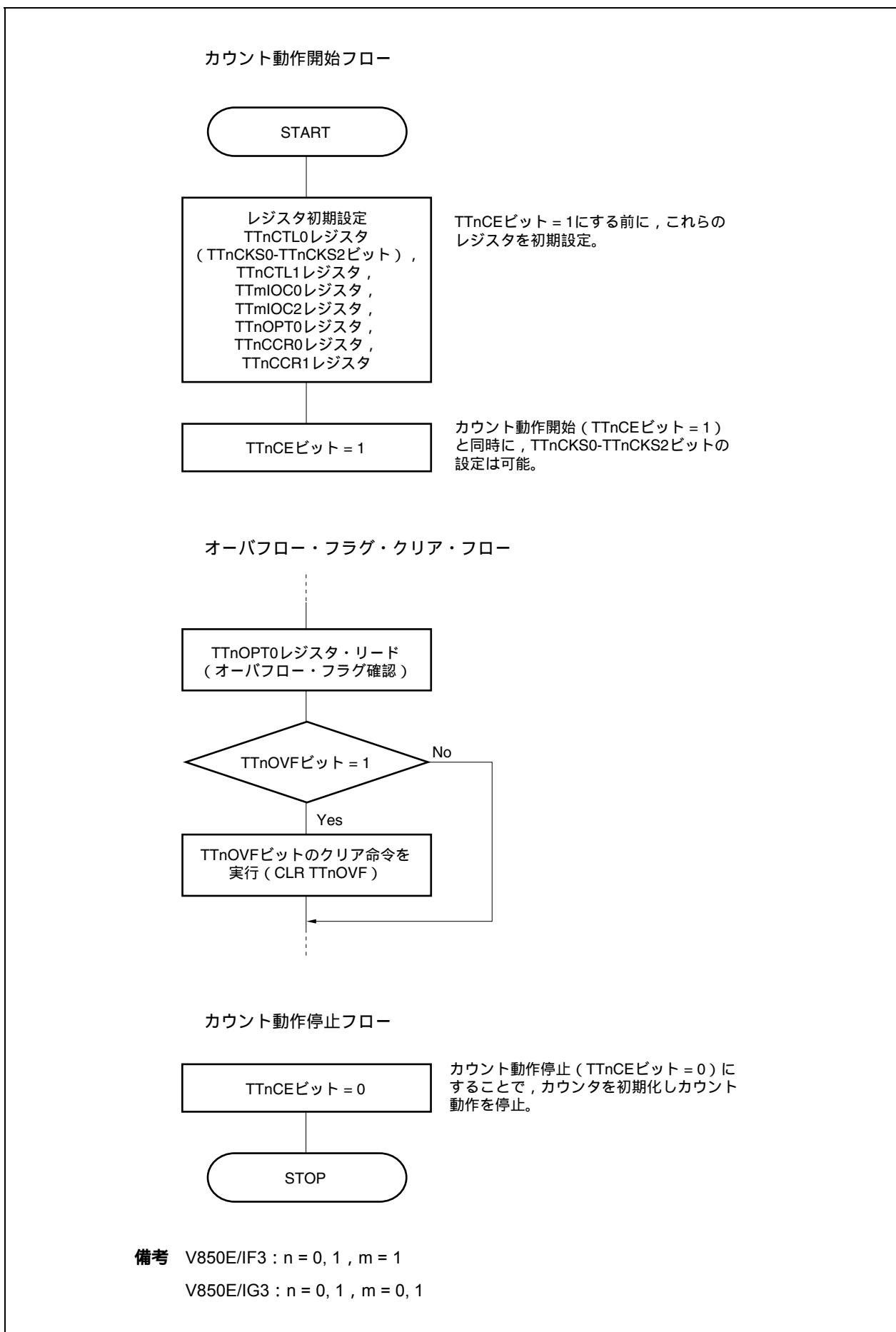


図8 - 37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（2/2）



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図8 - 38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

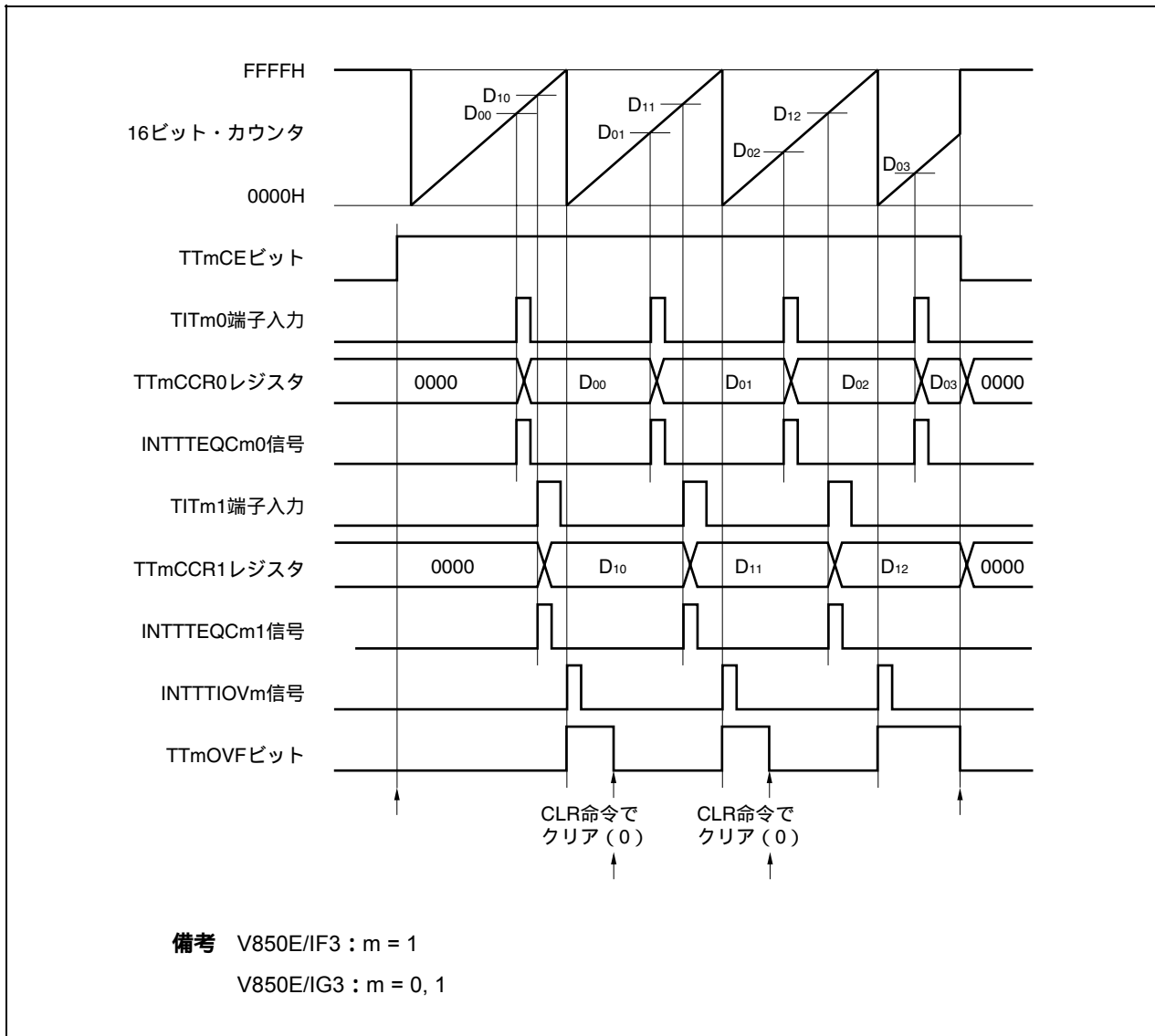
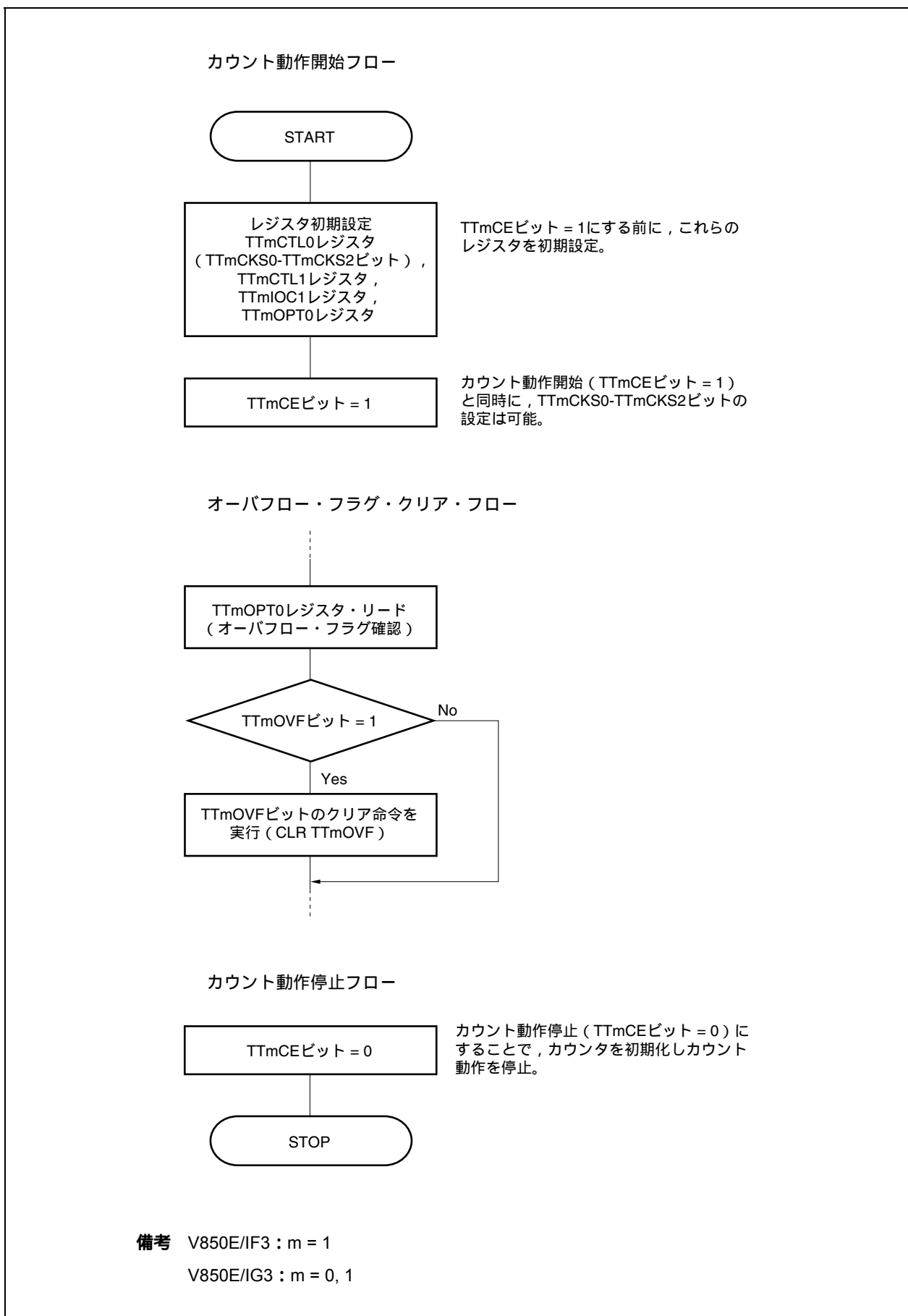


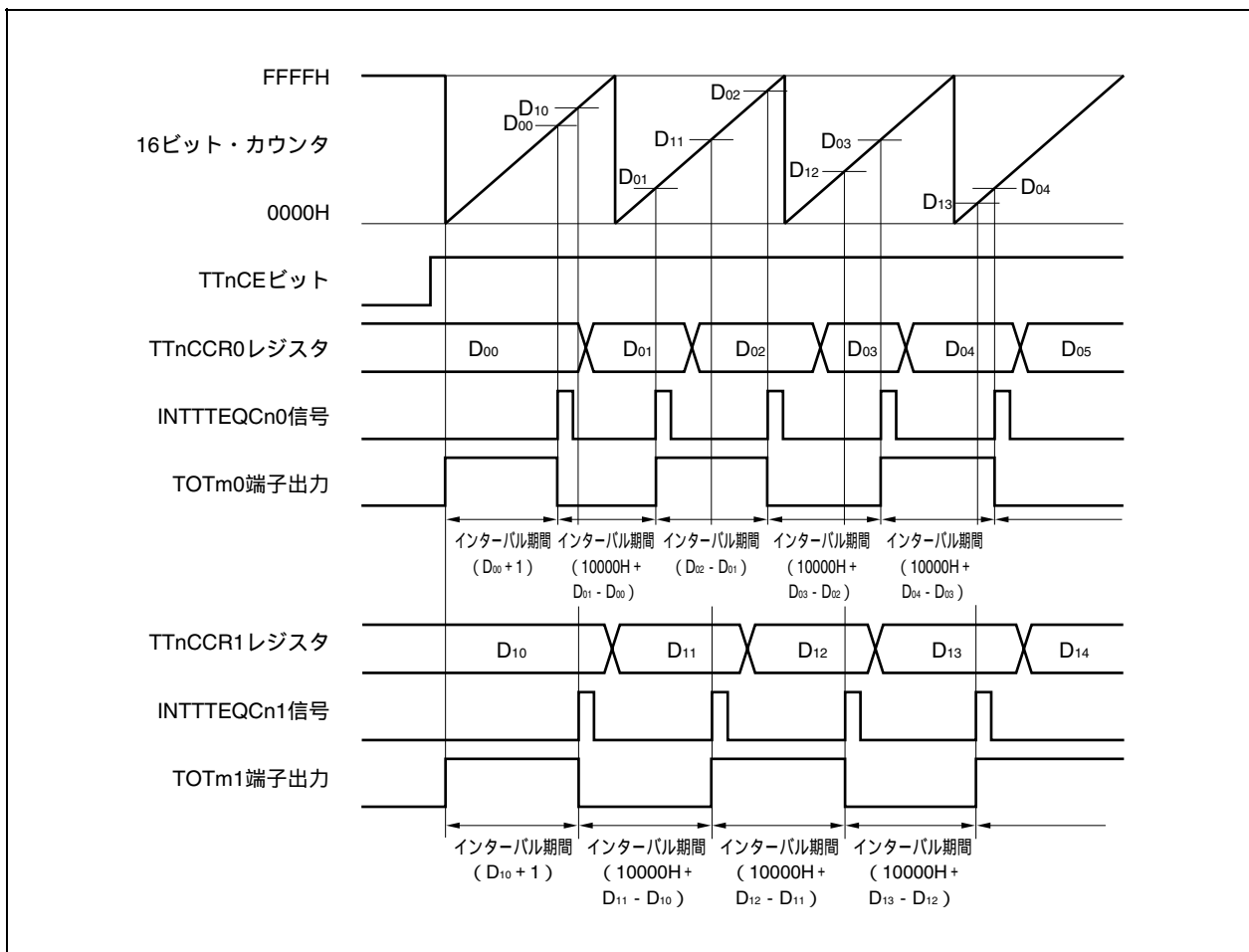
図8 - 38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TTnCCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTTEQCna信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTTEQCna信号を検出したときの割り込み処理中に、対応するTTnCCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“D<sub>a</sub>”とすると、次のように求められます。

コンペア・レジスタ初期値 : D<sub>a</sub> - 1

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D<sub>a</sub>

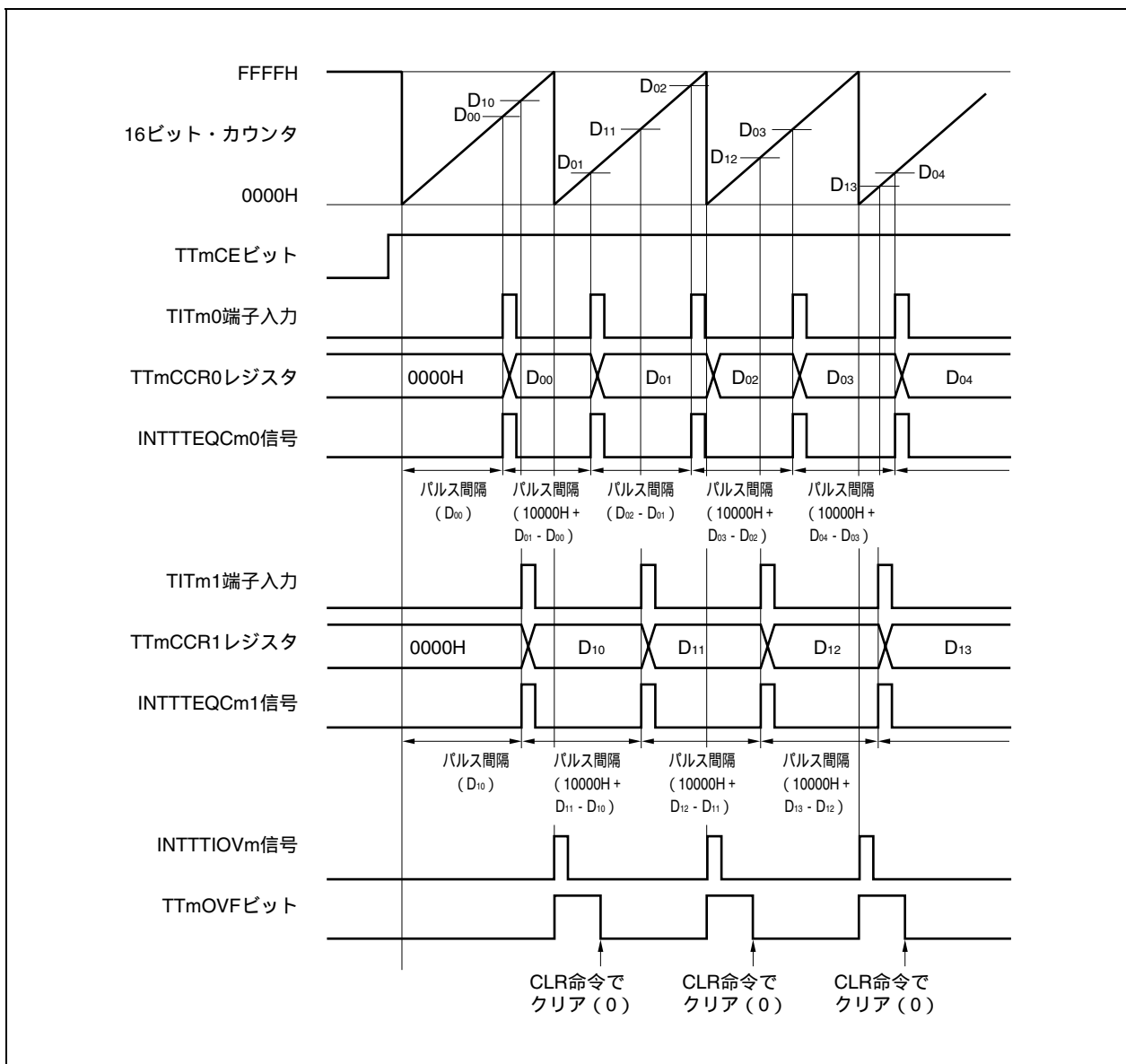
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 V850E/IF3 : n = 0, 1, m = 1, a = 0, 1

V850E/IG3 : n = 0, 1, m = 0, 1, a = 0, 1

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TTmCCRaレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTTEQCma信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

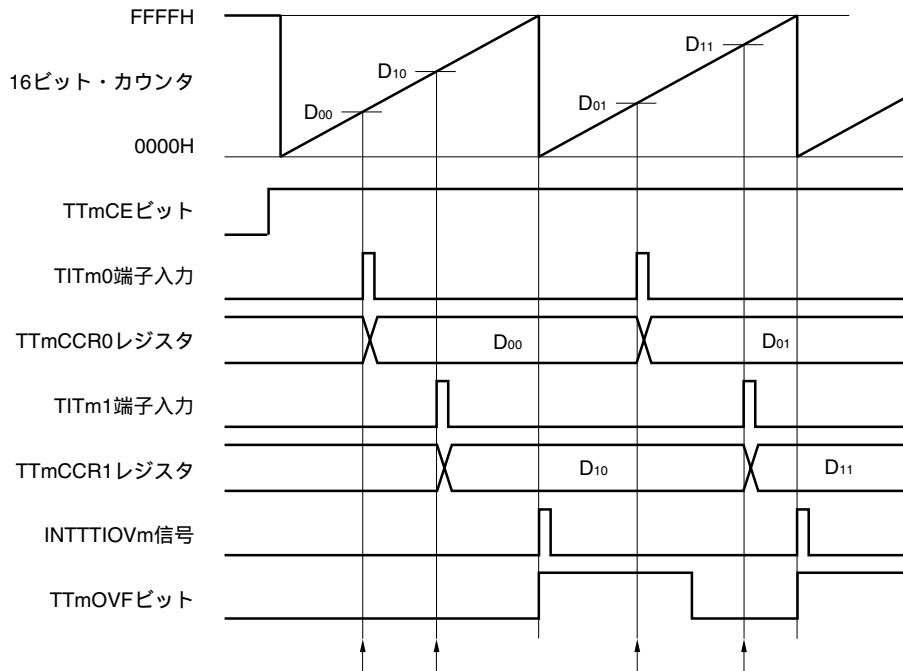
パルス幅測定を行う場合、INTTTEQCma信号に同期してTTmCCRaレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

**備考** V850E/IF3 : m = 1 , a = 0, 1  
 V850E/IG3 : m = 0, 1 , a = 0, 1

## (c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TTmCCR0レジスタをリードする (TITm0端子入力の初期値設定)。

TTmCCR1レジスタをリードする (TITm1端子入力の初期値設定)。

TTmCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TTmCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバーフロー・フラグが“0”なので、パルス幅は  $(D_{11} - D_{10})$  で求められます (NG)。

**備考** V850E/IF3 : m = 1

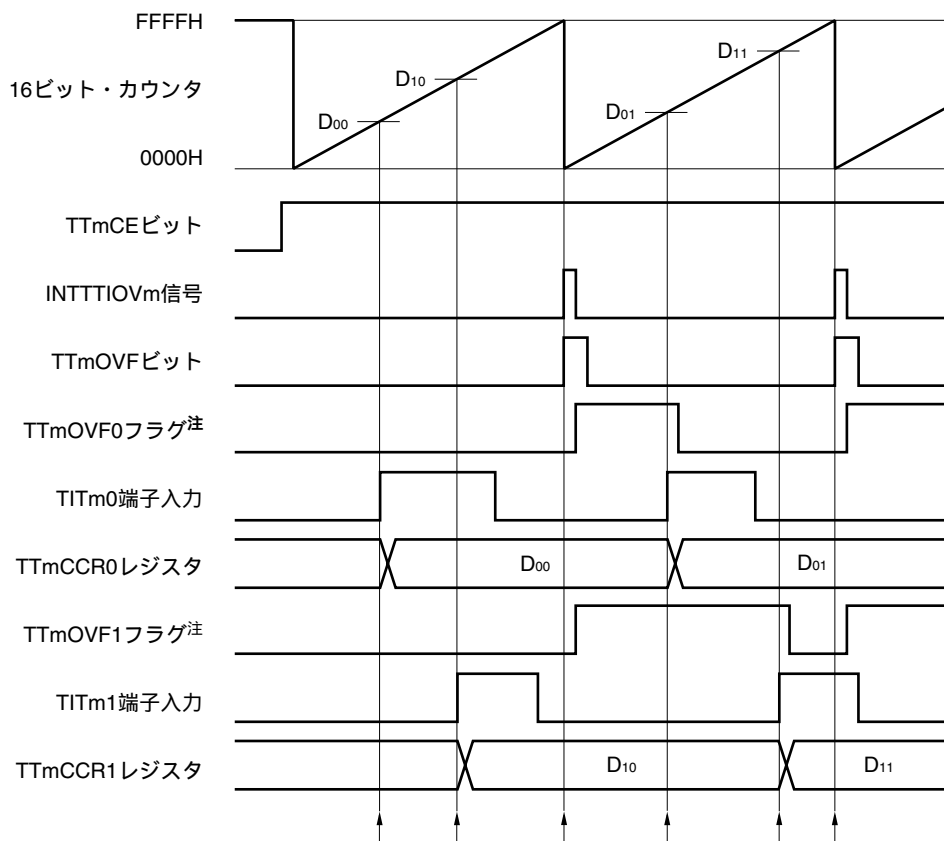
V850E/IG3 : m = 0, 1

このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。



2つのキャプチャを使用するときの対応例(オーバーフロー割り込みを使用)

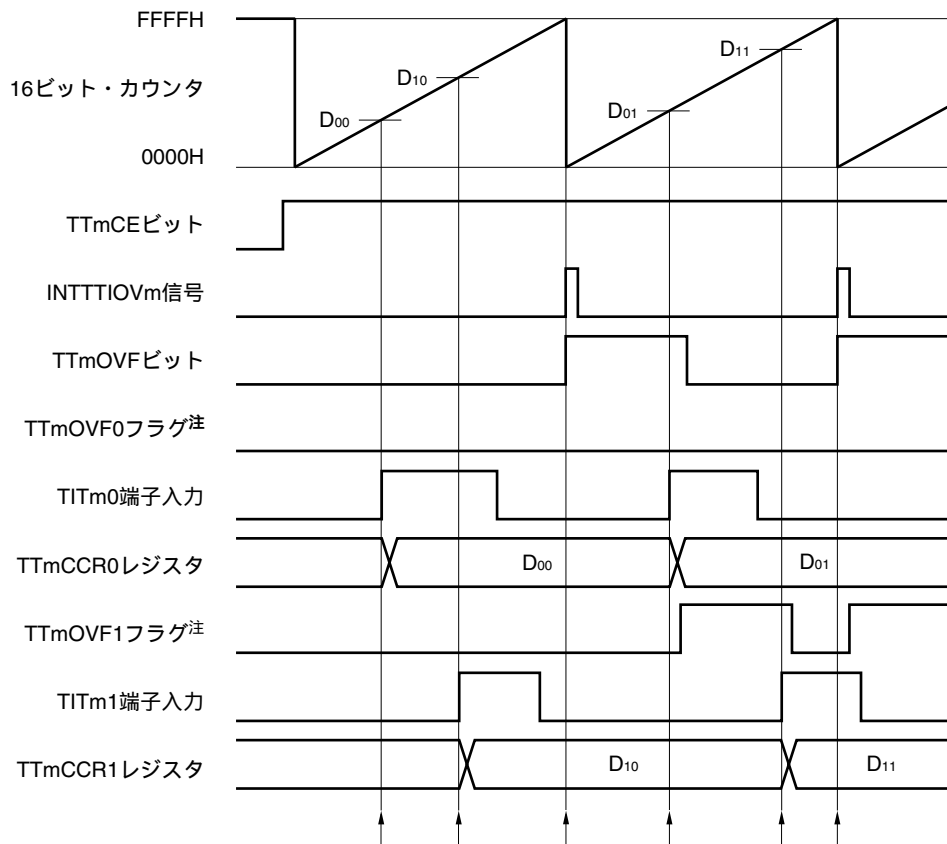


注 TTmOVF0, TTmOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TTmCCR0レジスタをリードする(TITm0端子入力の初期値設定)。  
 TTmCCR1レジスタをリードする(TITm1端子入力の初期値設定)。  
 オーバフローが発生する。オーバーフロー割り込み処理の中で、TTmOVF0, TTmOVF1フラグをセット(1)し、オーバーフロー・フラグをクリア(0)する。  
 TTmCCR0レジスタをリードする。  
 TTmOVF0フラグをリードする。TTmOVF0フラグが“1”だった場合、クリア(0)する。  
 TTmOVF0フラグが“1”なので、パルス幅は(10000H + D01 - D00)で求められます。  
 TTmCCR1レジスタをリードする。  
 TTmOVF1フラグをリードする。TTmOVF1フラグが“1”だった場合、クリア(0)する(でクリア(0)されたのはTTmOVF0フラグであり、TTmOVF1フラグは“1”のまま)。  
 TTmOVF1フラグが“1”なので、パルス幅は(10000H + D11 - D10)で求められます(OK)。  
 同じです。

備考 V850E/IF3 : m = 1  
 V850E/IG3 : m = 0, 1

2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用しない）



注 TTmOVF0, TTmOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TTmCCR0レジスタをリードする（TITm0端子入力の初期値設定）。

TTmCCR1レジスタをリードする（TITm1端子入力の初期値設定）。

オーバーフローが発生する。ソフトウェアでは何もしない。

TTmCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TTmOVF1フラグのみをセット（1）し、オーバーフロー・フラグをクリア（0）する。

オーバーフロー・フラグが“1”なので、パルス幅は（10000H + D01 - D00）で求められます。

TTmCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア（0）されているので“0”がリードされる。

TTmOVF1フラグをリードする。TTmOVF1フラグが“1”だった場合、クリア（0）する。

TTmOVF1フラグが“1”なので、パルス幅は（10000H + D11 - D10）で求められます（OK）。

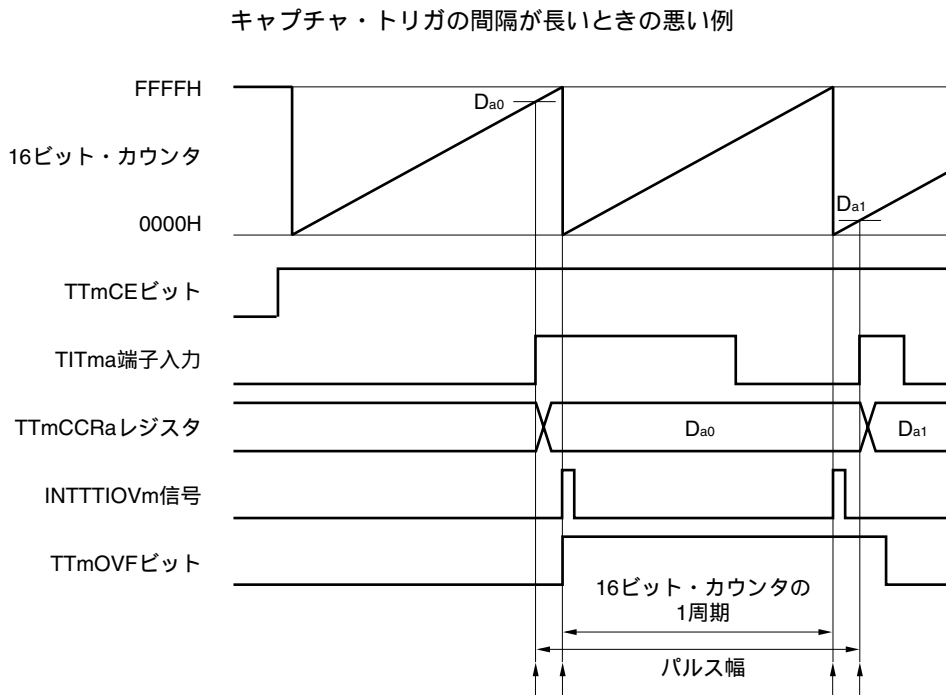
と同じです。

備考 V850E/IF3 : m = 1

V850E/IG3 : m = 0, 1

## (d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

TTmCCRaレジスタをリードする（TITma端子入力の初期値設定）。

オーバーフローが発生する。ソフトウェアでは何もしない。

2回目のオーバーフローが発生する。ソフトウェアでは何もしない。

TTmCCRaレジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア（0）する。

オーバーフロー・フラグが“1”なので、パルス幅は  $(10000H + D_{a1} - D_{a0})$  で求められます（NG）。

実際には、2回のオーバーフローが発生しているので、パルス幅は、 $(20000H + D_{a1} - D_{a0})$  になるはずですが。

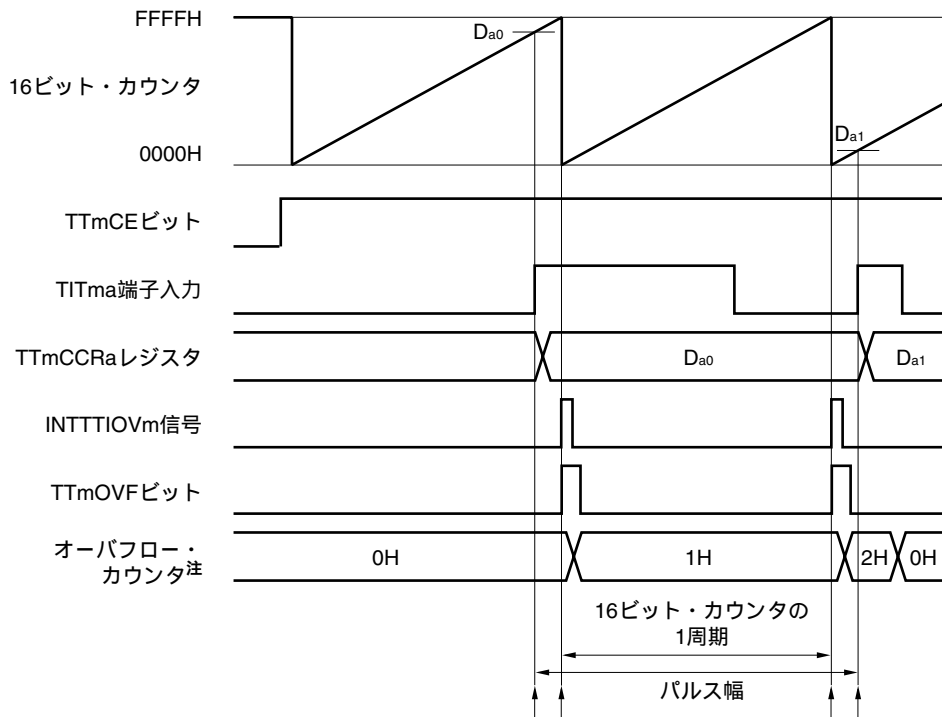
**備考** V850E/IF3 : m = 1 , a = 0, 1

V850E/IG3 : m = 0, 1 , a = 0, 1

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TTmCCRaレジスタをリードする (TITma端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、オーバーフロー・カウンタをインクリメントし、オーバーフロー・フラグをクリア (0) する。

2回目のオーバーフローが発生する。オーバーフロー割り込み処理の中で、オーバーフロー・カウンタをインクリメントし、オーバーフロー・フラグをクリア (0) する。

TTmCCRaレジスタをリードする。

オーバーフロー・カウンタをリードする。

オーバーフロー・カウンタが “N” のとき、パルス幅は  $(N \times 10000H + D_{a1} - D_{a0})$  で求められる。

この例では、2回のオーバーフローが発生しているなので、パルス幅は、 $(20000H + D_{a1} - D_{a0})$  になります。

オーバーフロー・カウンタをクリア (0H) する。

備考 V850E/IF3 : m = 1, a = 0, 1

V850E/IG3 : m = 0, 1, a = 0, 1

**(e) オーバフロー・フラグのクリア方法**

オーバフロー・フラグをクリア(0)する方法は、TTmOVFビット = 1をリードしたあとにTTmOVFビットをCLR命令でクリア(0)する方法と、TTmOVFビット = 1をリードしたあとにTTmOPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法があります。

### 8.6.7 パルス幅測定モード (TTmMD3-TTmMD0ビット = 0110)

TMT0 (V850E/IG3のみ) , TMT1のみ有効です。

パルス幅測定モードは、TTmCTL0.TTmCEビットをセット(1)することでカウント動作を開始し、TITma端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTTmCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTTTEQCma) が発生したあと、TTmCCRaレジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図8-40のような場合は、キャプチャ・トリガ入力端子としてTITm0, TITm1端子のいずれか1本を使用し、使用しない端子はTTmIOC1レジスタで“エッジ検出なし”に設定してください。

図8-39 パルス幅測定モードの構成図

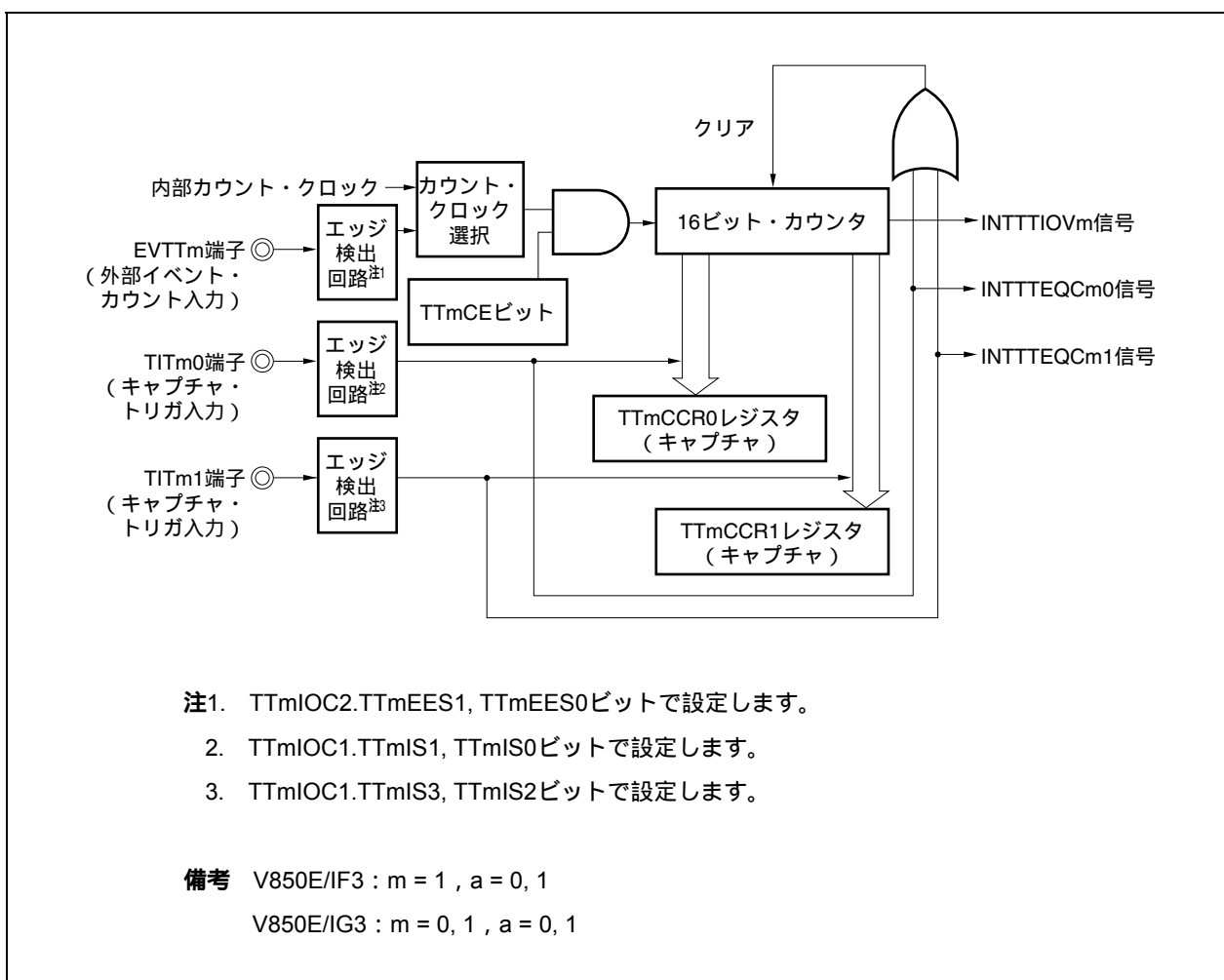
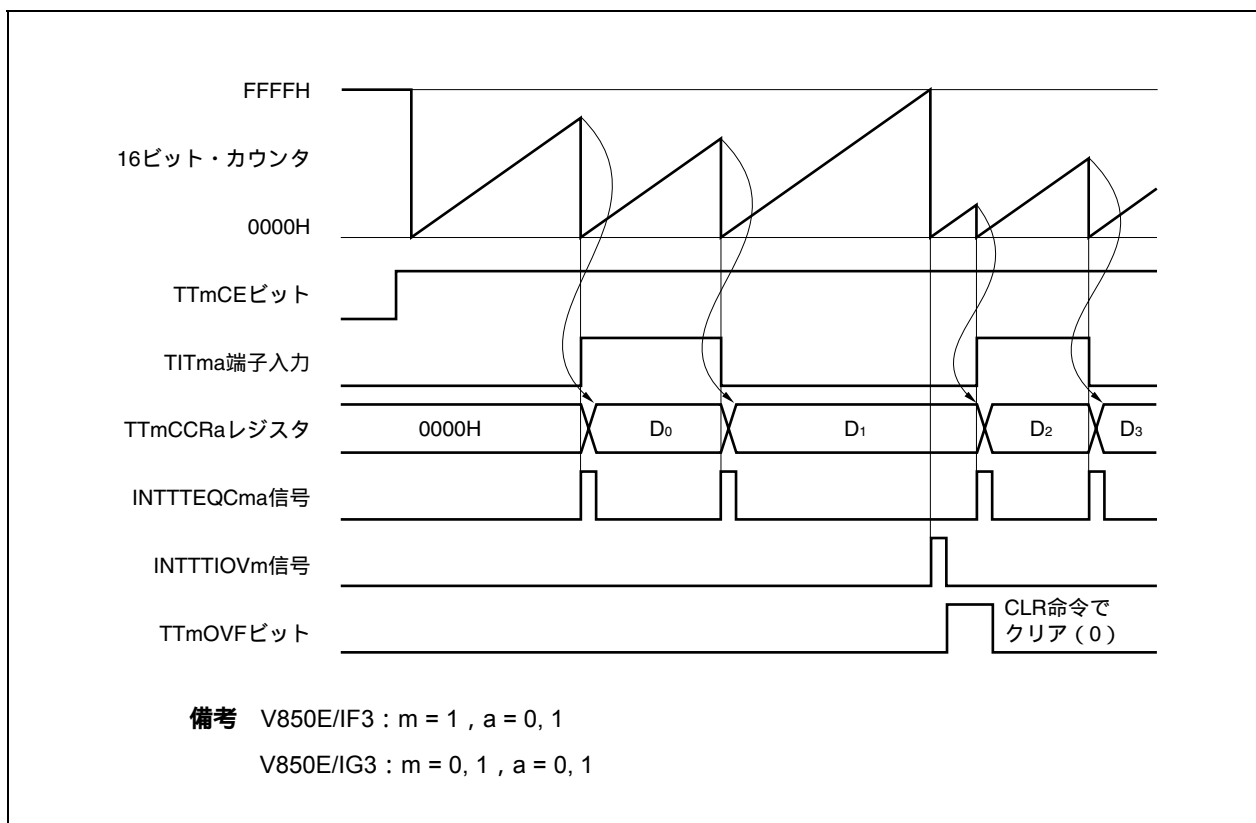


図8 - 40 パルス幅測定モードの基本タイミング



TTmCEビットをセット(1)することで、カウント動作を開始します。その後、TITma端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTTmCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTTEQCma)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTTIOVm)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TTmOPT0.TTmOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)された場合、パルス幅は次のように求められます。

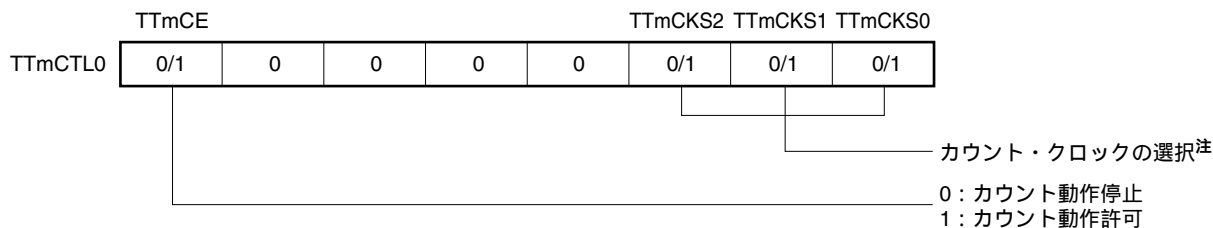
$$\text{パルス幅} = (10000\text{H} \times \text{TTmOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 V850E/IF3 : m = 1 , a = 0, 1

V850E/IG3 : m = 0, 1 , a = 0, 1

図8 - 41 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

(a) TMTm制御レジスタ0 (TTmCTL0)



注 TTmCTL1.TTmEEEビット = 1のときは設定が無効になります。

(b) TMTm制御レジスタ1 (TTmCTL1)



(c) TMTmI/O制御レジスタ1 (TTmIOC1)

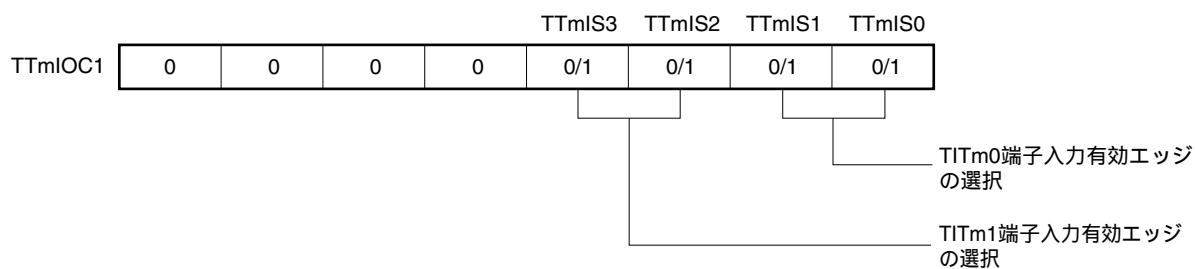
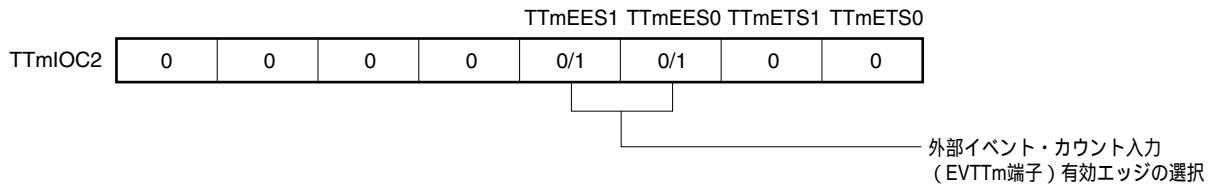


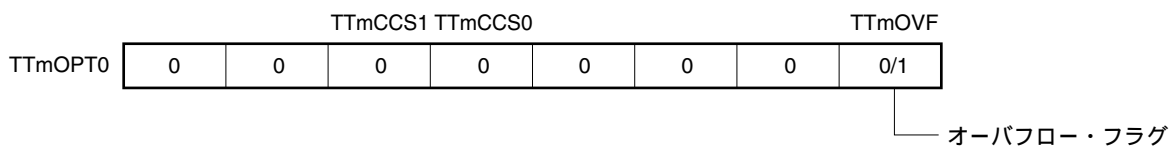


図8 - 41 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(d) TMTmI/O制御レジスタ2 (TTmIOC2)



(e) TMTmオプション・レジスタ0 (TTmOPT0)



(f) TMTmカウンタ・リード・バッファ・レジスタ (TTmCNT)

TTmCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(g) TMTmキャプチャ/コンペア・レジスタ0, 1 (TTmCCR0, TTmCCR1)

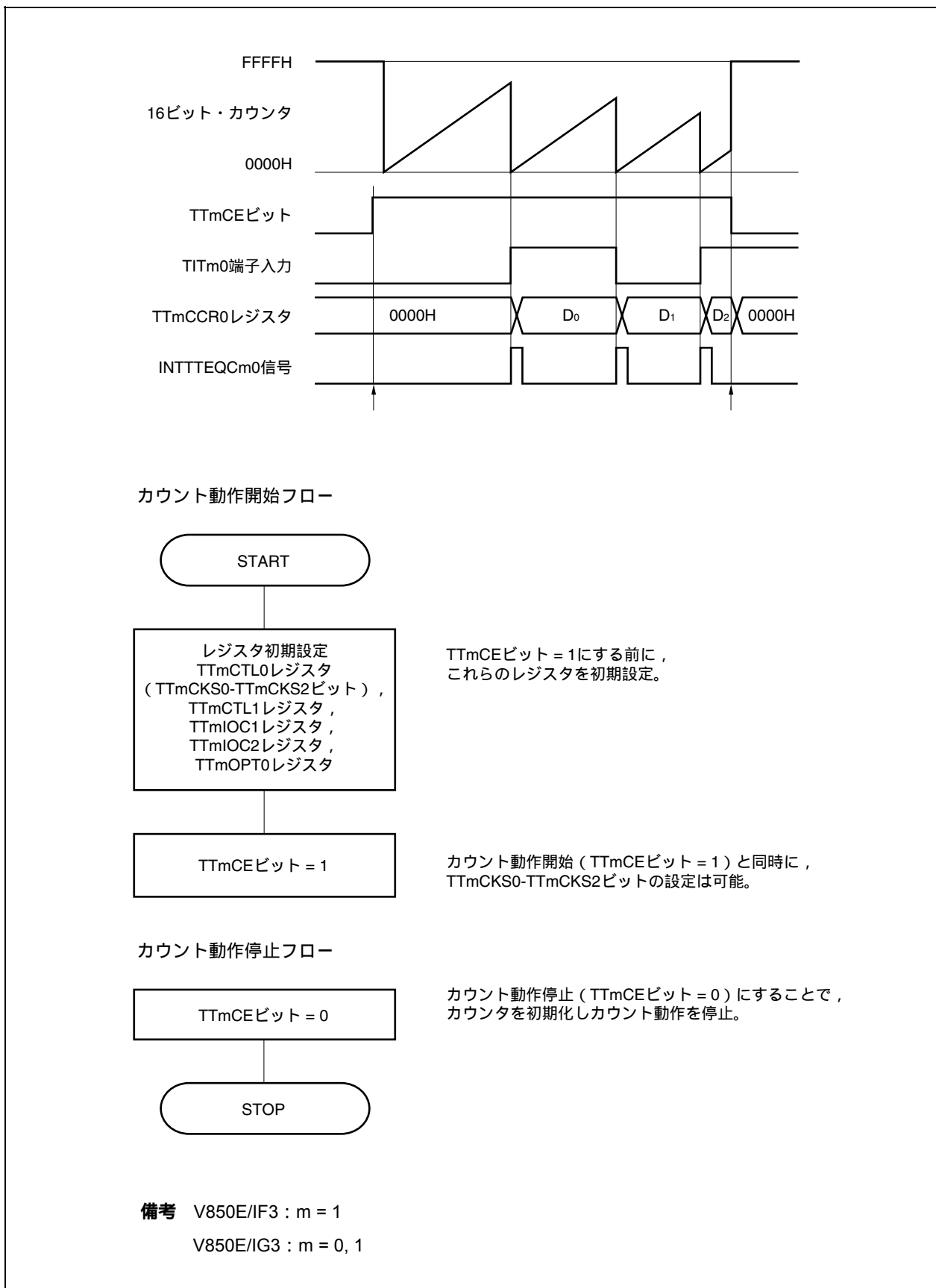
TITm0, TITm1端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

**備考1.** パルス幅測定モードでは、TMTm制御レジスタ2 (TTmCTL2)、TMTmI/O制御レジスタ0 (TTmIOC0)、TMTmI/O制御レジスタ3 (TTmIOC3)、TMTmオプション・レジスタ1 (TTmOPT1)、TMTmキャプチャ入力選択レジスタ (TTISLm)、TMTmカウンタ・ライト・レジスタ (TTmTCW) は使用しません。

2. V850E/IF3 : m = 1
- V850E/IG3 : m = 0, 1

(1) パルス幅測定モード動作フロー

図8 - 42 パルス幅測定モード使用時のソフトウェア処理フロー



**(2) パルス幅測定モード動作タイミング****(a) オーバフロー・フラグのクリア方法**

オーバフロー・フラグをクリア(0)する方法は、TTmOVFビット = 1をリードしたあとにTTmOVFビットをCLR命令でクリア(0)する方法と、TTmOVFビット = 1をリードしたあとにTTmOPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法があります。

### 8.6.8 三角波PWM出力モード (TTmMD3-TTmMD0ビット = 0111)

三角波PWM出力モードは, TTmCTL0.TTmCEビットをセット(1)することで, TOTm1端子から三角波PWM波形を出力します。

また, TOTm0端子から, 16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致したタイミングと, 16ビット・カウンタが0000Hのタイミングで反転するPWM波形を出力します。

図8 - 43 三角波PWM出力モードの構成図

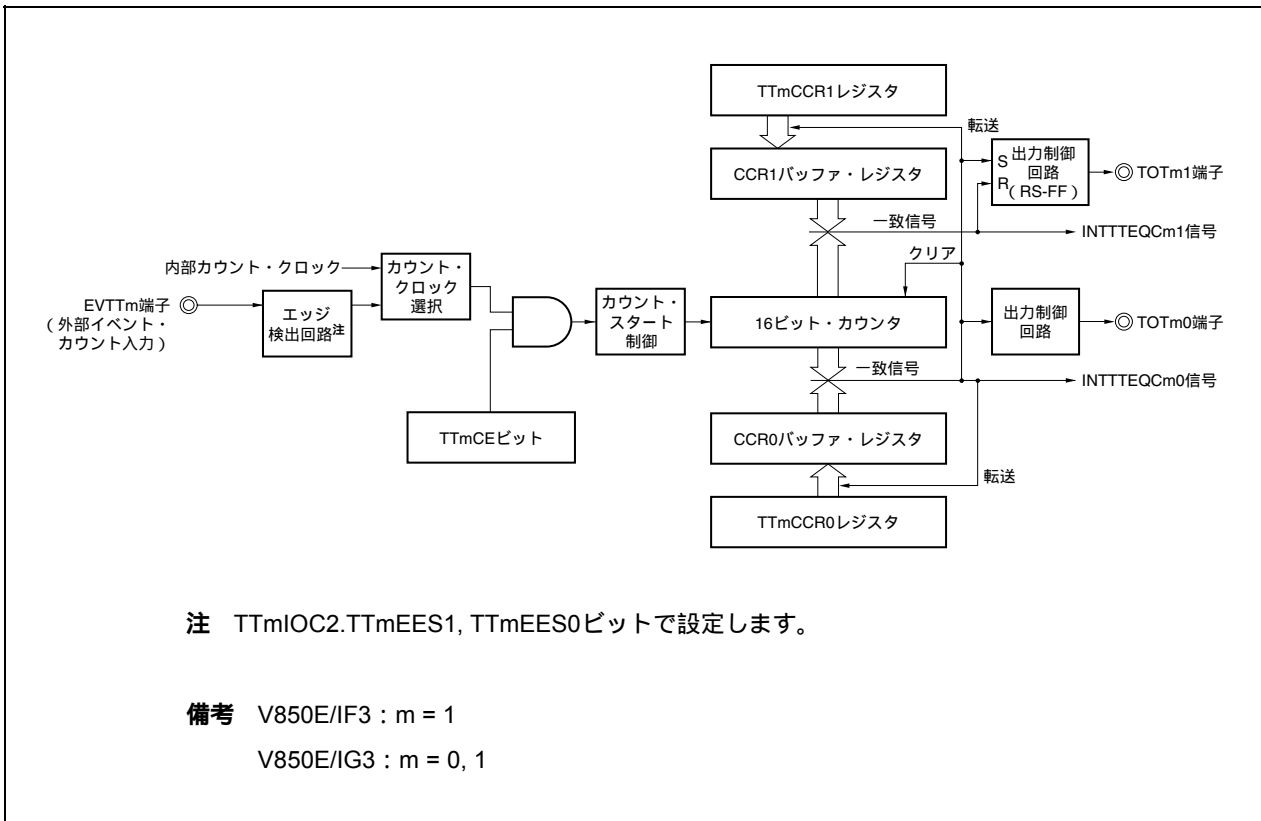
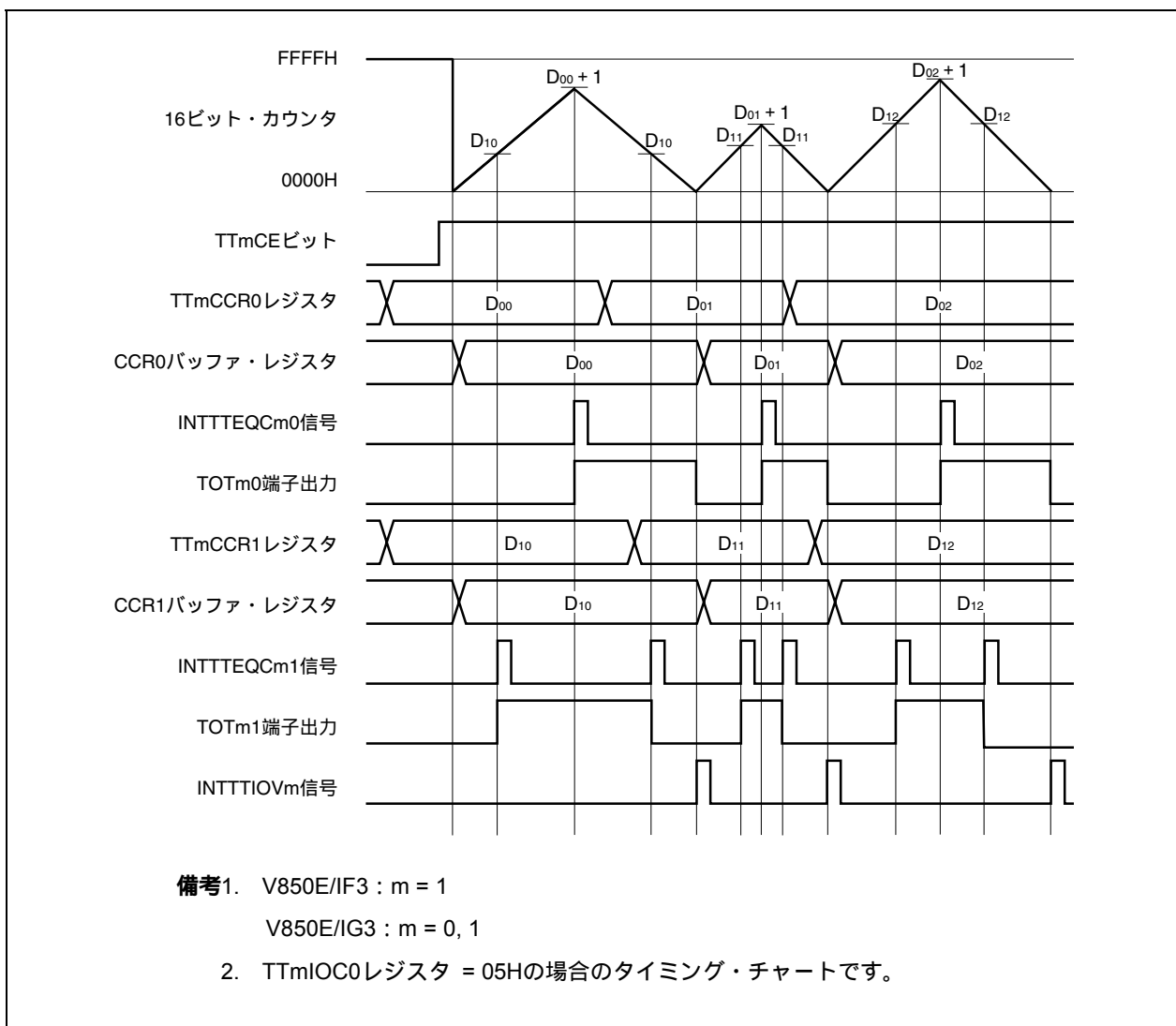


図8 - 44 三角波PWM出力モードの基本タイミング



TTmCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOTm1端子から三角波PWM波形を出力します。

三角波PWM出力モードでは、アップ/ダウン・カウント動作を行い、ダウン・カウント動作中に16ビット・カウンタが0000Hになるとオーバフロー割り込み要求信号(INTTTIOVm)を発生します。このとき、TTmOPT0.TTmOVFビットはセット(1)されません。アップ・カウント動作中に16ビット・カウンタ値とCCR0バッファ・レジスタの値が一致すると、コンパレー一致割り込み要求信号(INTTTEQCm0)を発生します。

アップ/ダウン切り替えは16ビット・カウンタ値とCCR0バッファ・レジスタの値の一致(INTTTEQCm0)で、ダウン/アップ切り替えは16ビット・カウンタが0000Hのタイミングです。

動作中にTTmCCR<sub>a</sub>レジスタを書き換えることにより、PWM波形を変更できます。なお、動作中にPWM波形を変更する場合には、最後にTTmCCR1レジスタにライトしてください。

三角波PWM波形の周期はTTmCCR0レジスタ、デューティはTTmCCR1レジスタで設定します。TTmCCR0レジスタの値は「0 TTmCCR0 FFEH」の範囲で設定してください。書き換えた値は、ダウン・カウント動作中の16ビット・カウンタが0000Hのタイミングで反映されます。

PWM波形の周期だけを変更する場合でも、まずTTmCCR0レジスタに周期を設定し、そのあとでTTmCCR1レジスタに同値(すでに設定したTTmCCR1レジスタと同じ値)をライトしてください。

TTmCCR<sub>a</sub>レジスタからCCR<sub>a</sub>バッファ・レジスタへのデータ転送を行うためには、TTmCCR1レジスタに対してライトする必要があります(a = 0, 1)。

(1) 0 % / 100 %のPWM出力

三角波PWM出力モードでは、PWM出力の0 %波形出力、および100 %波形出力が可能です。

0 %波形は、TTmCCR0レジスタ = Mの場合、TTmCCR1を“ M + 1 ” に設定することにより出力されます。

100 %波形は、TTmCCR1レジスタを“ 0000H ” に設定することにより出力されます。

なお、TOTm0, TOTm1の出力レベルは、TTmIIOC0レジスタで設定します。

備考 V850E/IF3 : m = 1

V850E/IG3 : m = 0, 1

図8 - 45 0 %PWM出力波形図 (TTmIIOC0レジスタ = 05H)

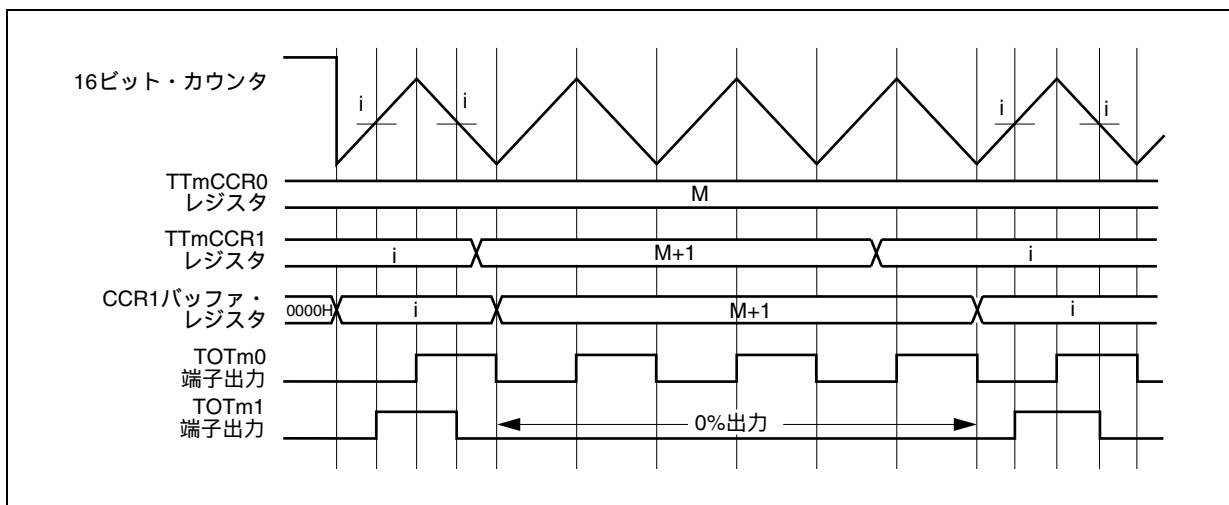
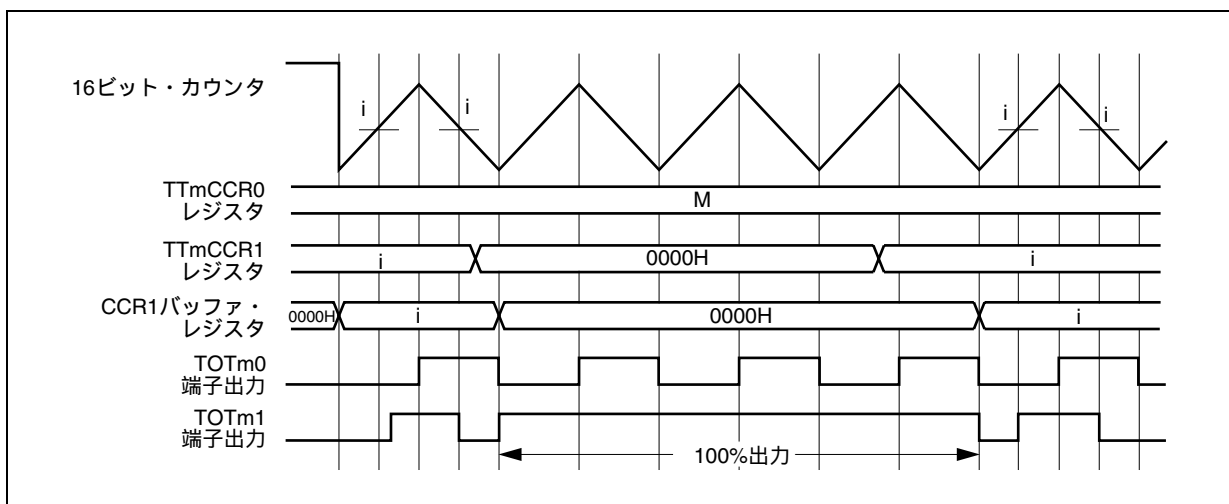


図8 - 46 100 %PWM出力波形図 (TTmIIOC0レジスタ = 05H)



### 8.6.9 エンコーダ・カウント機能

エンコーダ・カウント機能には、エンコーダ・コンペア・モード (8.6.10 エンコーダ・コンペア・モード (TTmMD3-TTmMD0ビット = 1000) 参照) があります。

モード	TTmCCR0レジスタ	TTmCCR1レジスタ
エンコーダ・コンペア・モード	コンペア専用	コンペア専用

#### (1) アップ/ダウン・カウント制御

エンコーダ入力信号 (TENCm0, TENCm1) の位相とTTmCTL2.TTmUDS1, TTmUDS0ビットの設定により16ビット・カウンタのアップ/ダウン制御を行い、カウント動作を行います。

エンコーダ・カウント機能では、内部カウント・クロックおよび外部イベント・カウント入力 (EVTm) は使用できません。TTmCTL0.TTmCKS2-TTmCKS0ビット = 000, TTmCTL1.TTmEEEビット = 0に設定してください。

#### (2) 16ビット・カウンタの初期値設定

TTmCTL2.TTmECCビット = 0時にTTmTCWレジスタに設定したカウント初期値を、カウント動作の開始 (TTmCTL0.TTmCEビット = 0 1)直後に16ビット・カウンタに転送し、エンコーダ入力信号 (TENCm0, TENCm1) の有効エッジ検出後にカウント動作を開始します

#### (3) 基本動作

TTmCCRaレジスタは、16ビット・カウンタのカウント値とCCRaバッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCma) が発生します。

#### (4) クリア動作

エンコーダ・コンペア・モード時の16ビット・カウンタのクリアは、次の条件で発生します。

- ・ 16ビット・カウンタとコンペア・レジスタの値の一致によるクリア  
(TTmCTL2.TTmECM1, TTmECM0ビットを設定)
- ・ エンコーダ・クリア入力 (TECRm) のエッジ検出クリア  
(TTmIOC3.TTmSCEビット = 0時にTTmECS1, TTmECS0ビットを設定)
- ・ TENCm0, TENCm1, TECRm端子のクリア・レベル条件検出クリア  
(TTmSCEビット = 1時にTTmZCL, TTmBCL, TTmACLビットを設定)

**備考** V850E/IF3 : m = 1, a = 0, 1

V850E/IG3 : m = 0, 1, a = 0, 1

(5) TTmCTL2レジスタのビット制御

エンコーダ・コンペア・モード時のTTmCTL2レジスタの設定を次に示します。

表8 - 10 TTmCTL2レジスタの設定

モード	TTmUDS1, TTmUDS0 ビット( )	TTmECM1 ビット ( )	TTmECM0 ビット ( )	TTmLDE ビット ( )	カウンタ・ クリア (対象のコ ンペア・ レジスタ)	カウンタへ の転送
エンコーダ・コンペア・ モード	00, 01, 10, 11 の全設定可能	0	0	0	-	-
				1		可能
			1	0	TTmCCR0	-
				1		可能 <sup>注</sup>
		1	0	無効	TTmCCR1	-
			1	無効	TTmCCR0, TTmCCR1	-

注 「0000H-TTmCCR0レジスタ設定値」範囲内でカウント動作が可能です。

備考 V850E/IF3 : m = 1  
V850E/IG3 : m = 0, 1

(a) 各ビットの概要

TTmUDS1, TTmUDSビットは、エンコーダ入力端子 (TENCm0, TENCm1) から入力された位相に対して、アップ/ダウン・カウンタの判別制御を行います。

TTmECM1, TTmECM0ビットは、16ビット・カウンタのカウンタ値とCCR0, CCR1バッファ・レジスタの値が一致した場合の16ビット・カウンタのクリアを制御します。

TTmLDEビットは、アンダフローが発生したときに、TTmCCR0レジスタ設定値を16ビット・カウンタに転送する機能を制御します。TTmLDEビットは、TTmECM1, TTmECM0ビットが00, 01時のみ有効となります。それ以外の設定は無効となります。



(b) 各ビットの詳細説明

TTmUDS1, TTmUDS0ビット：アップ/ダウン・カウントの選択

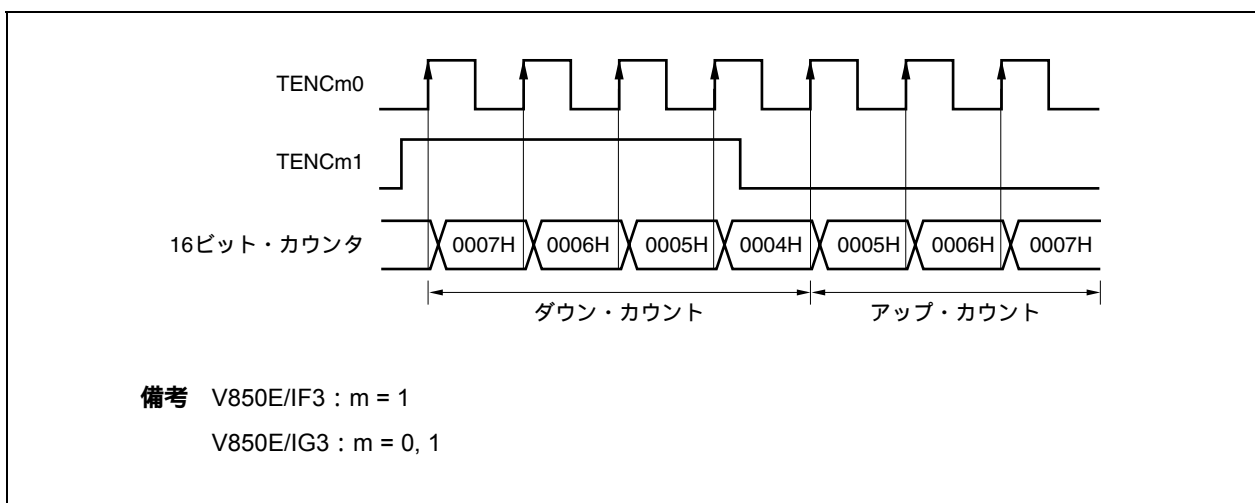
TTmUDS1, TTmUDS0ビット設定とTENCm0, TENCm1端子から入力された位相により,アップ/ダウン・カウントを判別します。TTmUDS1, TTmUDS0ビットは, エンコーダ・コンペア・モード時のみ有効です。

・ TTmUDS1, TTmUDS0ビット = 00時

TENCm0端子	TENCm1端子	カウント動作
立ち上がりエッジ	ハイ・レベル	ダウン・カウント
立ち下がりエッジ		
両エッジ		
立ち上がりエッジ	ロウ・レベル	アップ・カウント
立ち下がりエッジ		
両エッジ		

備考 TENCm0端子のエッジ検出は, TTmIOC3.TTmEIS1, TTmEIS0ビットで設定します。

図8 - 47 動作例 (TENCm0端子の有効エッジが立ち上がりエッジ指定, TENCm1端子の有効エッジがエッジ検出なしの場合)



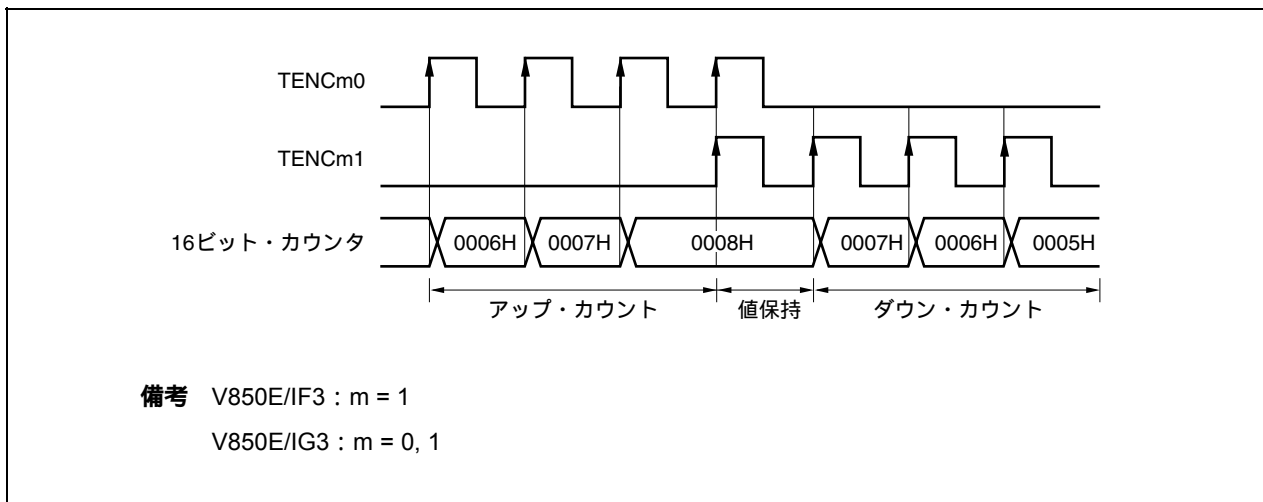
備考 V850E/IF3 : m = 1  
V850E/IG3 : m = 0, 1

・ TTmUDS1, TTmUDS0ビット = 01時

TENCm0端子	TENCm1端子	カウント動作	
ロウ・レベル	立ち上がりエッジ	ダウン・カウント	
	立ち下がりエッジ		
	両エッジ		
ハイ・レベル	立ち上がりエッジ		
	立ち下がりエッジ		
	両エッジ		
立ち上がりエッジ	ハイ・レベル	アップ・カウント	
立ち下がりエッジ			
両エッジ			
立ち上がりエッジ	ロウ・レベル		アップ・カウント
立ち下がりエッジ			
両エッジ			
TENCm0, TENCm1端子同時入力		カウント動作は行わず, 直前の値を保持	

**備考** TENCm0, TENCm1端子のエッジ検出は, TTmIOC3.TTmEIS1, TTmEIS0ビットで設定します。

図8 - 48 動作例 (TENCm0, TENCm1端子の有効エッジが立ち上がりエッジ指定の場合)



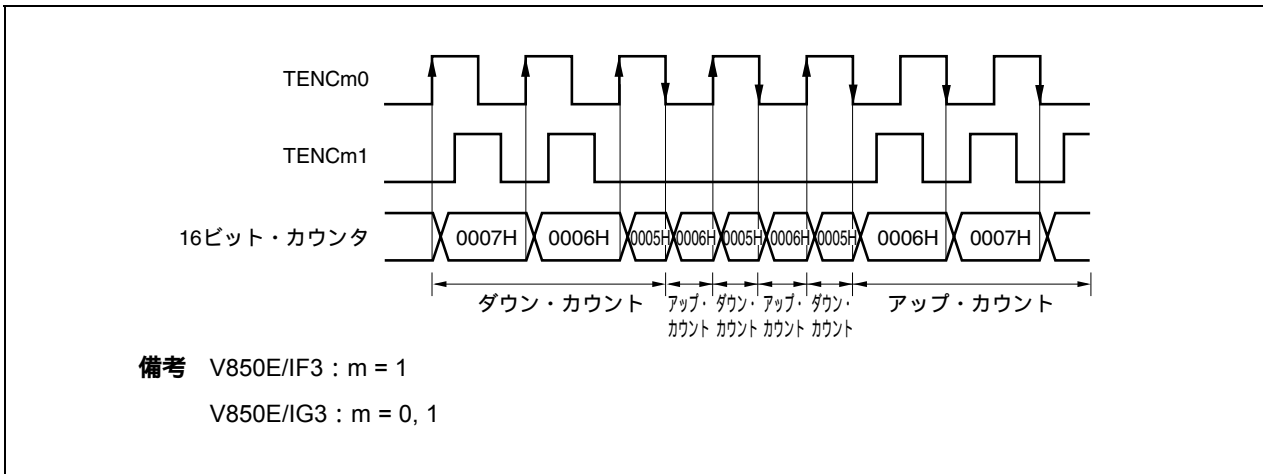
**備考** V850E/IF3 : m = 1  
V850E/IG3 : m = 0, 1

・ TTmUDS1, TTmUDS0ビット = 10時

TENCM0端子	TENCM1端子	カウント動作
ロウ・レベル	立ち下がりエッジ	カウント動作は行わず、直前の値を保持
立ち上がりエッジ	ロウ・レベル	ダウン・カウント
ハイ・レベル	立ち上がりエッジ	カウント動作は行わず、直前の値を保持
立ち下がりエッジ	ハイ・レベル	
立ち上がりエッジ	立ち下がりエッジ	アップ・カウント
ハイ・レベル		
立ち下がりエッジ	ロウ・レベル	アップ・カウント
ロウ・レベル	立ち上がりエッジ	カウント動作は行わず、直前の値を保持
立ち上がりエッジ		
立ち下がりエッジ		
立ち上がりエッジ	立ち下がりエッジ	ダウン・カウント
立ち下がりエッジ		アップ・カウント

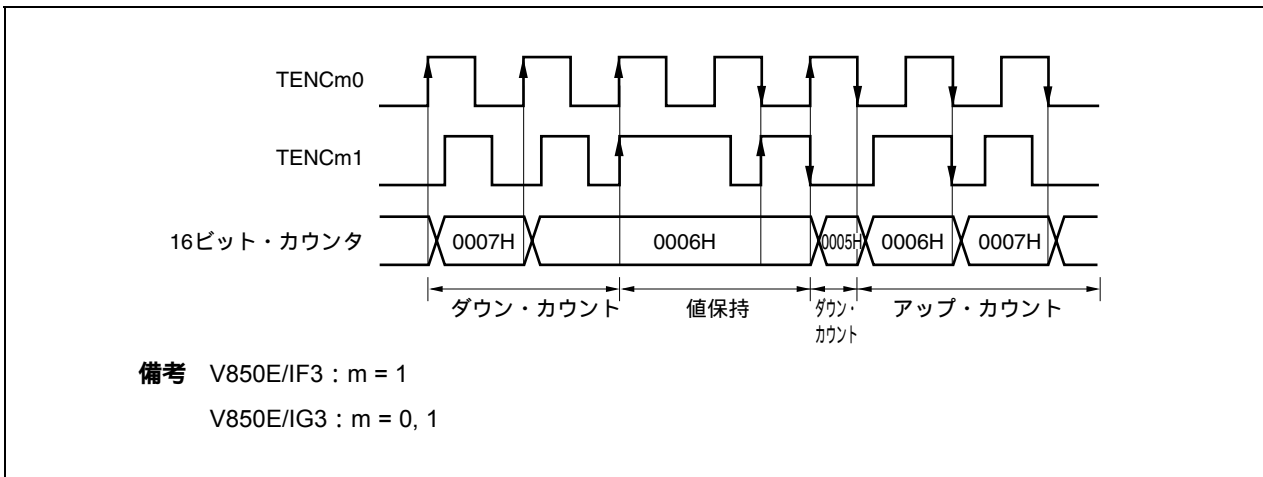
注意 TENCM0端子とTENCM1端子の有効エッジ指定は無効となります。

図8 - 49 動作例 (TENCM0, TENCM1端子の有効エッジが重ならない場合のカウント動作)



備考 V850E/IF3 : m = 1  
V850E/IG3 : m = 0, 1

図8 - 50 動作例 (TENCM0, TENCM1端子の有効エッジが重なった場合のカウント動作)



備考 V850E/IF3 : m = 1  
V850E/IG3 : m = 0, 1

・ TTmUDS1, TTmUDS0ビット = 11時

TENCm0端子	TENCm1端子	カウント動作
ロウ・レベル	立ち下がりエッジ	ダウン・カウント
立ち上がりエッジ	ロウ・レベル	
ハイ・レベル	立ち上がりエッジ	
立ち下がりエッジ	ハイ・レベル	
立ち上がりエッジ	立ち下がりエッジ	アップ・カウント
ハイ・レベル		
立ち下がりエッジ		
ロウ・レベル		
TENCm0, TENCm1端子同時入力		カウント動作は行わず, 直前の値を保持

注意 TENCm0端子とTENCm1端子の有効エッジ指定は無効となります。

図8 - 51 動作例 (TENCm0, TENCm1端子の有効エッジが重ならない場合のカウント動作)

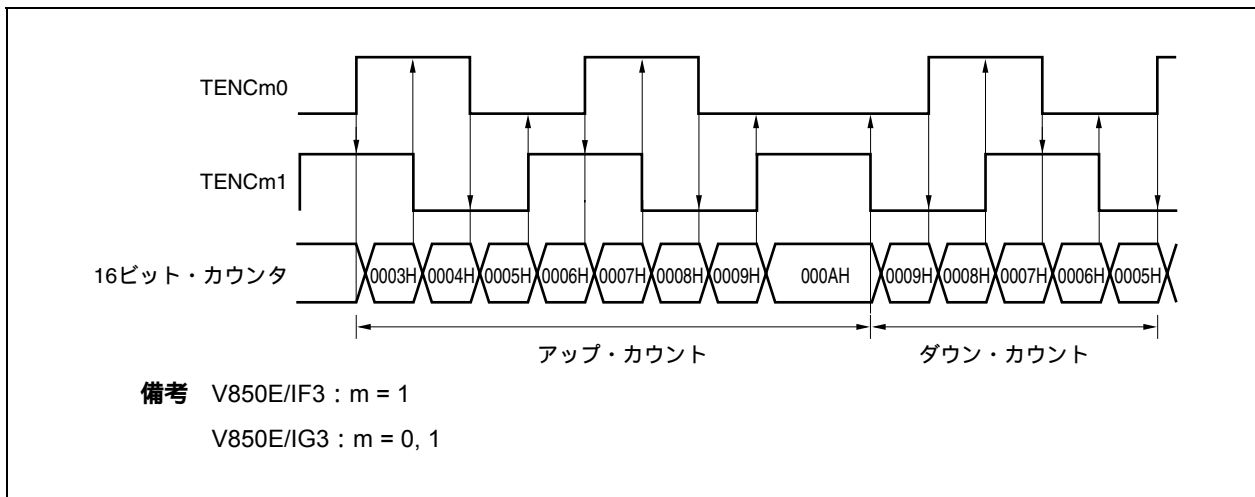
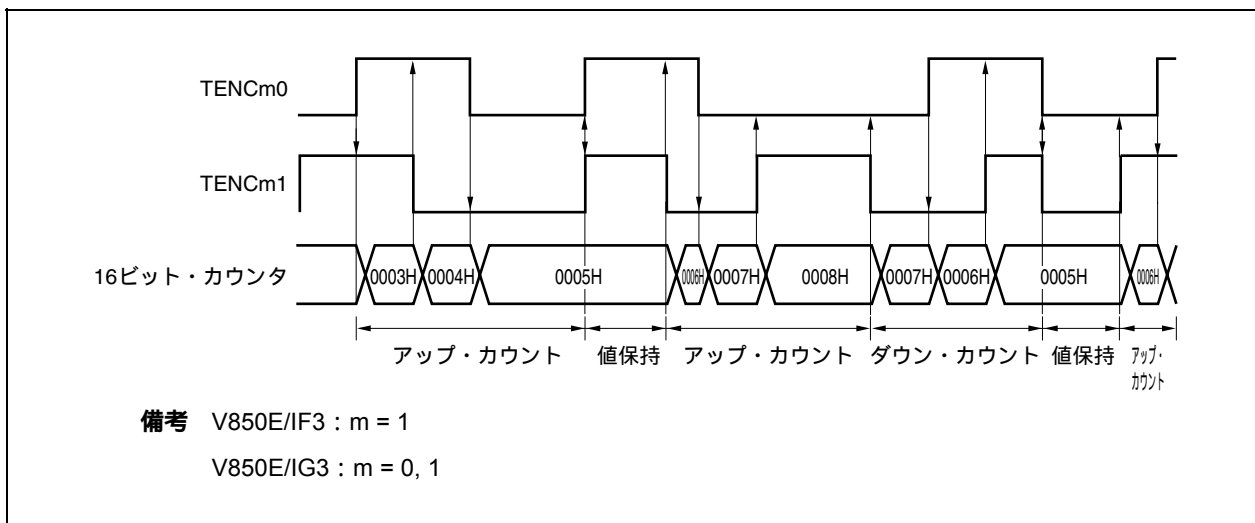


図8 - 52 動作例 (TENCm0, TENCm1端子の有効エッジが重なった場合のカウント動作)



TTmECM1, TTmECM0ビット：コンペア・レジスタ一致によるタイマ・カウンタ・クリア機能  
 16ビット・カウンタのカウンタ値とCCRaバッファ・レジスタの値が一致したときにTTmECM1, TTmECM0ビットの設定値に従い，カウンタ動作を行います。

- ・ TTmECM1, TTmECM0ビット = 00時  
 16ビット・カウンタのカウンタ値とCCRaバッファ・レジスタの値の一致によるカウンタ・クリアを行わない。
- ・ TTmECM1, TTmECM0ビット = 01時  
 16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウンタ	16ビット・カウンタを0000Hにクリアする。
ダウン・カウンタ	16ビット・カウンタのカウンタ値をダウン・カウントする

- ・ TTmECM1, TTmECM0ビット = 10時  
 16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウンタ	16ビット・カウンタのカウンタ値をアップ・カウントする
ダウン・カウンタ	16ビット・カウンタを0000Hにクリアする。

- ・ TTmECM1, TTmECM0ビット = 11時  
 16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウンタ	16ビット・カウンタを0000Hにクリアする。
ダウン・カウンタ	16ビット・カウンタのカウンタ値をダウン・カウントする

16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウンタ	16ビット・カウンタのカウンタ値をアップ・カウントする
ダウン・カウンタ	16ビット・カウンタを0000Hにクリアする。

**TTmLDEビット：アンダフロー発生時のTTmCCR0レジスタ設定値の16ビット・カウンタへの転送機能**

TTmLDEビット = 1に設定することにより、アンダフロー発生時にTTmCCR0レジスタ設定値を16ビット・カウンタに転送することができます。

TTmLDEビットは、エンコーダ・コンペア・モード時のみ有効です。

- ・「0000H-TTmCCR0レジスタ設定値」範囲内でのカウント動作

TTmLDEビット = 1, TTmECM1, TTmECM0ビット = 01に設定し、カウント動作を行うと、TTmECM0ビット = 1のときに16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値の一致発生後、次のカウントがアップ・カウントの場合に16ビット・カウンタが0000Hにクリアされます。

TTmLDEビット = 1のときにアンダフロー発生時にTTmCCR0レジスタ設定値が16ビット・カウンタに転送されます。

したがって、TTmCCR0レジスタ設定値をカウント上限値、0000Hをカウント下限値とした「0000H-TTmCCR0レジスタ設定値」範囲内でのカウント動作が実現できます。

図8 - 53 動作例（「0000H-TTmCCR0レジスタ設定値」範囲内でのカウント動作）

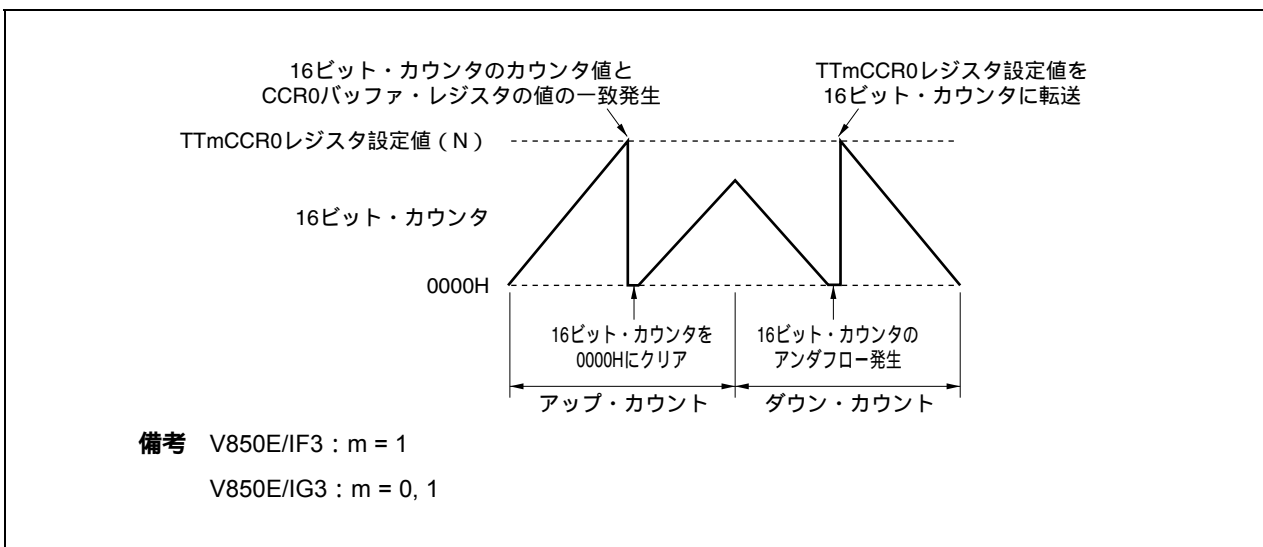
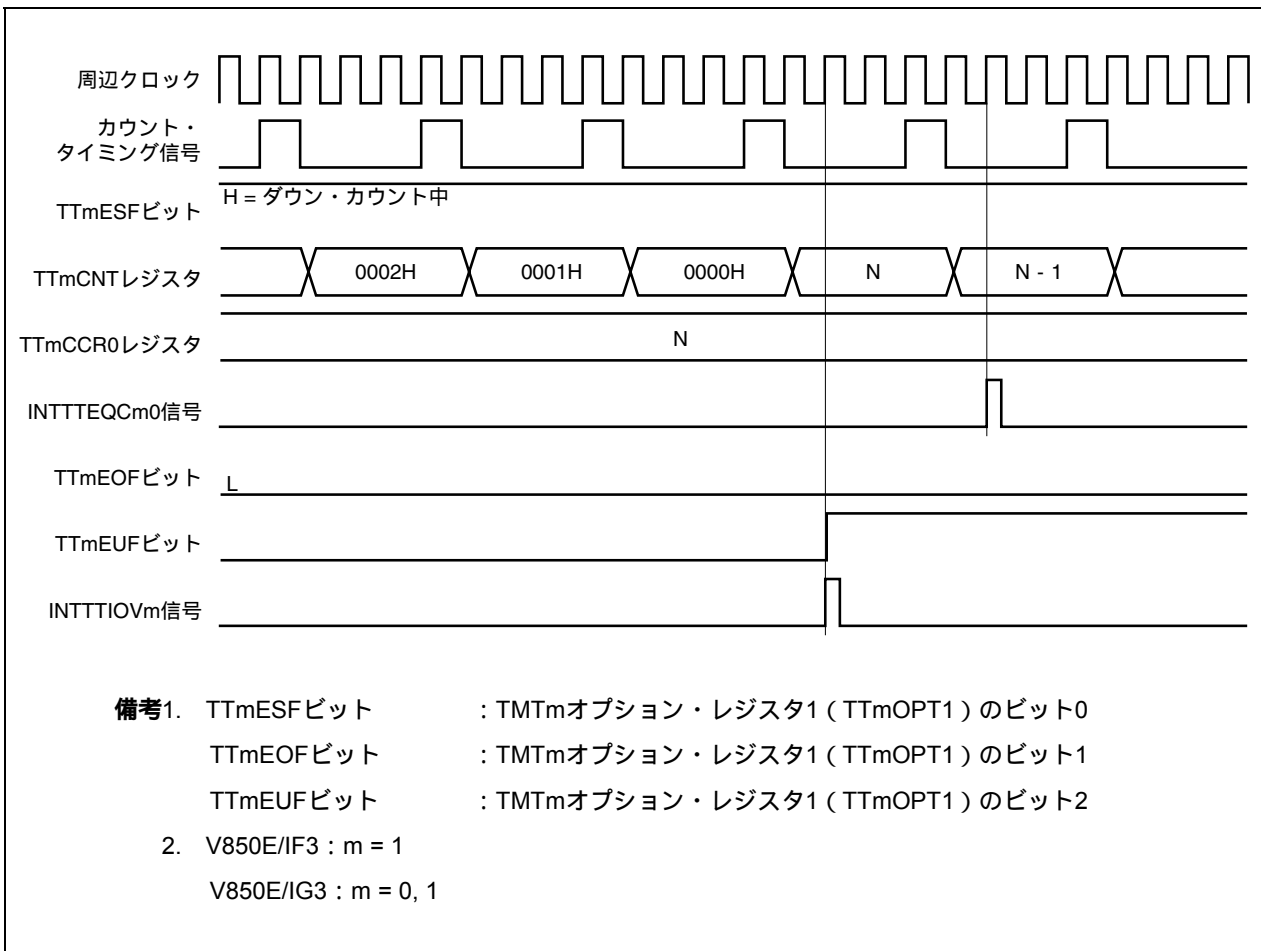


図8 - 54 動作タイミング (「0000H-TTmCCR0レジスタ設定値」範囲内でのカウント動作)



(6) エンコーダ・クリア信号 (TECRm端子) によるカウンタの0000Hクリア機能

TECRm端子入力により16ビット・カウンタを0000Hにクリアする方法は2種類あり, TTmIOC3.TTmSCEビットにより制御されます。また, TTmSCEビットは, その設定によりTTmIOC3.TTmZCL, TTmBCL, TTmACL, TTmECS1, TTmECS0ビットを制御します。

これらのクリア方法は, エンコーダ・コンペア・モード時のみ有効です。

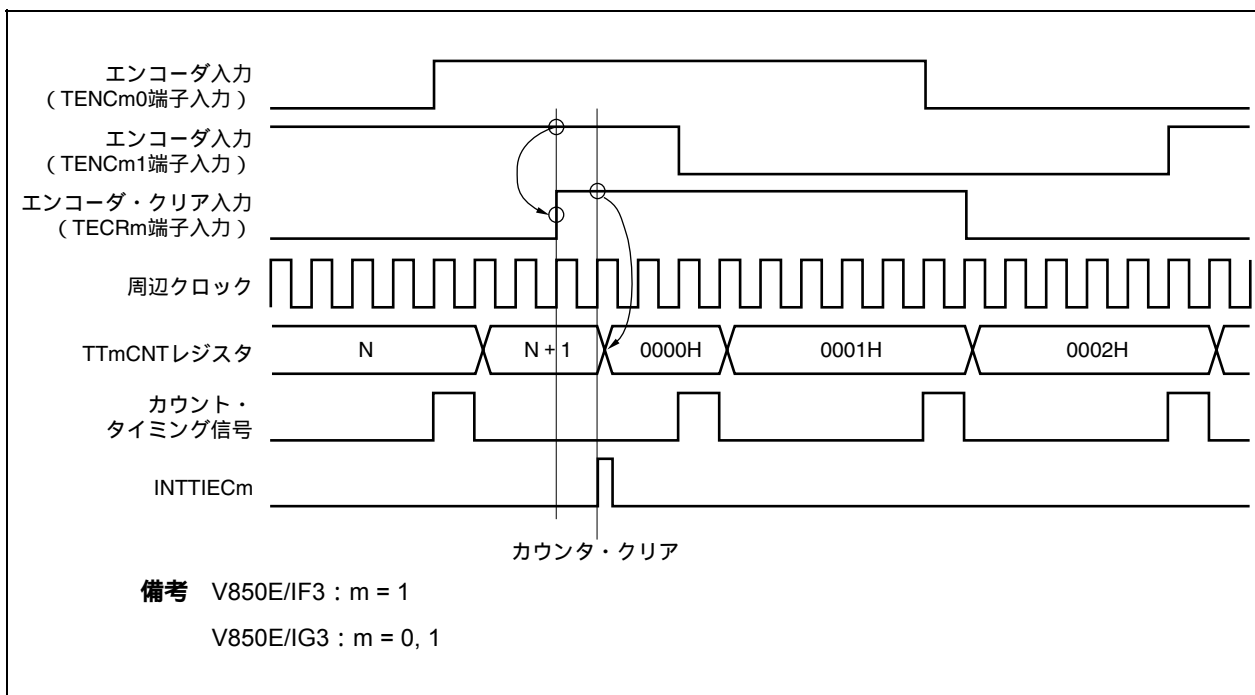
表8 - 11 TTmSCEビットとTTmZCL, TTmBCL, TTmACL, TTmECS1, TTmECS0ビットの関係

クリア方法	TTmSCEビット	TTmZCLビット	TTmBCLビット	TTmACLビット	TTmECS1, TTmECS0ビット
	0	無効	無効	無効	有効
	1	有効	有効	有効	無効

(a) クリア方法 : エンコーダ・クリア信号 (TECRm端子) のエッジ検出クリア (TTmSCEビット = 0)

TTmSCEビット = 0のとき, TTmECS1, TTmECS0ビットで指定したTECRm端子の有効エッジ検出により, 周辺クロックに同期して16ビット・カウンタを0000Hにクリアします。このとき, エンコーダ・クリア割り込み要求信号 (INTTIECm) が発生します。なお, TTmSCEビット = 0のとき, TTmZCL, TTmBCL, TTmACLビットの設定は無効です。

図8 - 55 動作例 (TTmSCEビット = 0, TTmECS1, TTmECS0ビット = 01, TTmUDS1, TTmUDS0ビット = 11の場合)





(b)クリア方法 : TENCm0, TENCm1, TECRm端子のクリア・レベル条件検出クリア(TTmSCEビット = 1)

TTmSCEビット = 1のとき, TTmZCL, TTmBCL, TTmACLビットで設定したTECRm, TENCm0, TENCm1端子のクリア・レベル条件検出により16ビット・カウンタを0000Hにクリアします。このとき, エンコーダ・クリア割り込み要求信号(INTTIECm)は発生しません。なお, TTmSCEビット = 1のとき, TTmECS1, TTmECS0ビットの設定は無効です。

表8 - 12 TTmSCEビット = 1のときの16ビット・カウンタのクリア条件

クリア・レベル条件設定			エンコーダ端子の入力レベル		
TTmZCLビット	TTmBCLビット	TTmACLビット	TECRm端子	TENCm1端子	TENCm0端子
0	0	0	L	L	L
0	0	1	L	L	H
0	1	0	L	H	L
0	1	1	L	H	H
1	0	0	H	L	L
1	0	1	H	L	H
1	1	0	H	H	L
1	1	1	H	H	H

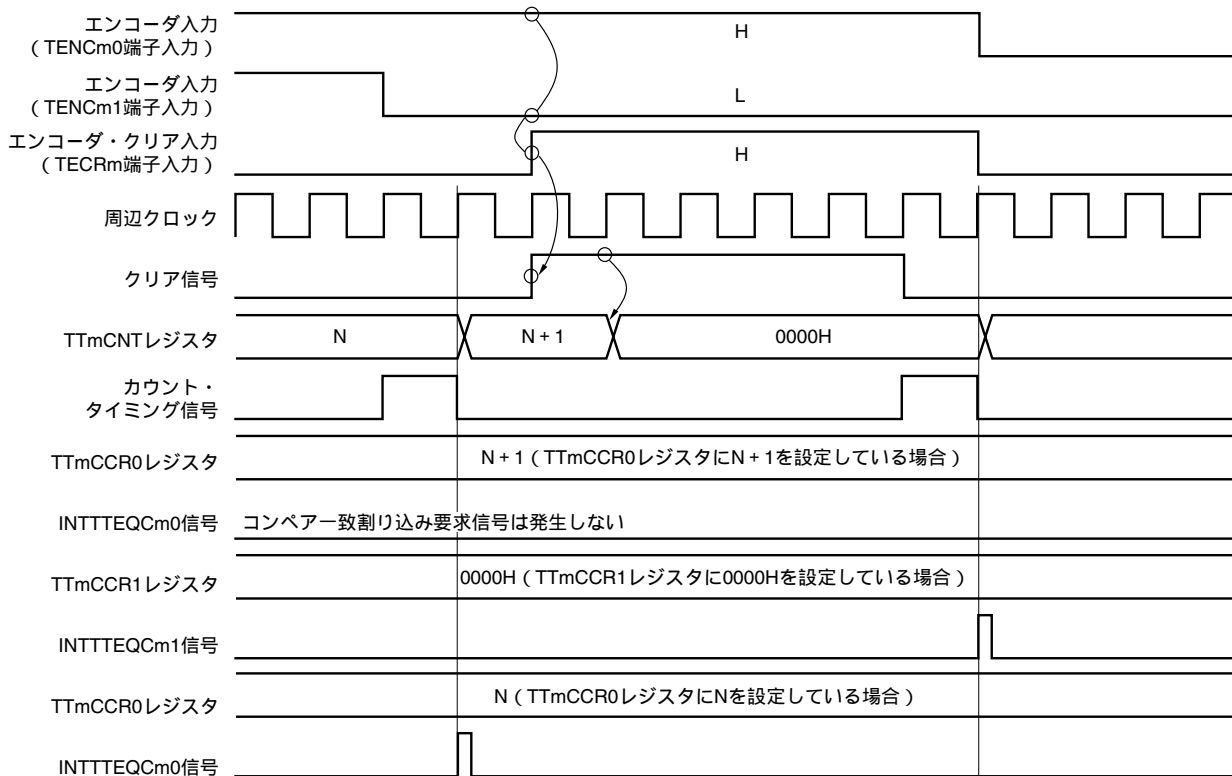
**注意** TTmZCL, TTmBCL, TTmACLビットのクリア・レベル条件と, TECRm, TENCm1, TENCm0端子の入力レベルが一致したときに16ビット・カウンタを0000Hにクリアします。

**備考** V850E/IF3 : m = 1

V850E/IG3 : m = 0, 1

図8 - 56 動作例 (TTmSCEビット = 1, TTmZCLビット = 1, TTmBCLビット = 0, TTmACLビット = 1, TTmUDS1, TTmUDS0ビット = 11, TECRm = ハイ・レベル, TENCm1 = ロウ・レベル, TENCm0 = ハイ・レベルの場合) (1/3)

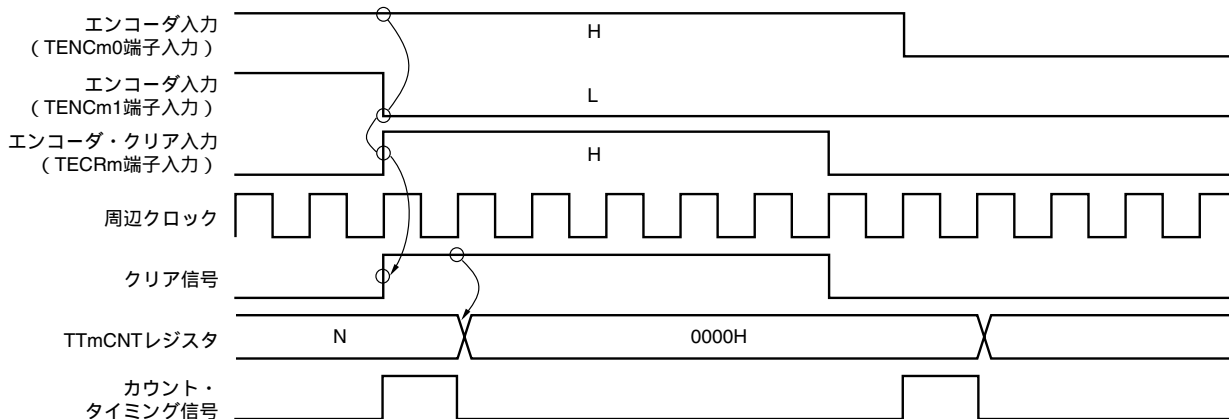
(i) アップ・カウント時にTECRm端子のハイ・レベル入力が入力された場合、アップ・カウント後にカウンタがクリアされます。



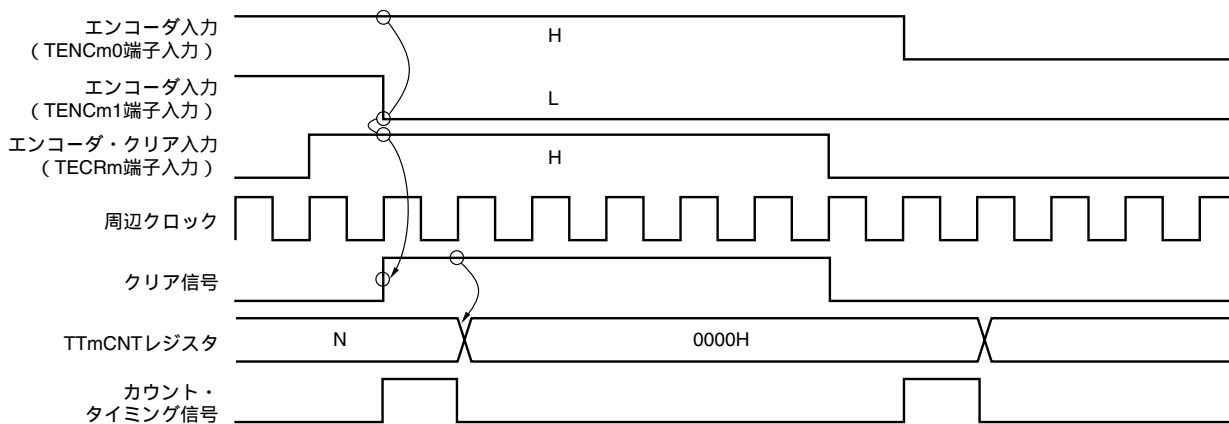
備考 V850E/IF3 : m = 1  
V850E/IG3 : m = 0, 1

図8 - 56 動作例 (TTmSCEビット = 1, TTmZCLビット = 1, TTmBCLビット = 0, TTmACLビット = 1, TTmUDS1, TTmUDS0ビット = 11, TECRm = ハイ・レベル, TENCm1 = ロウ・レベル, TENCm0 = ハイ・レベルの場合) (2/3)

(ii) アップ・カウント時にTECRm端子のハイ・レベル入力とTENCm1端子のロウ・レベル入力が同時の場合、アップ・カウントせずにカウンタがクリアされます。



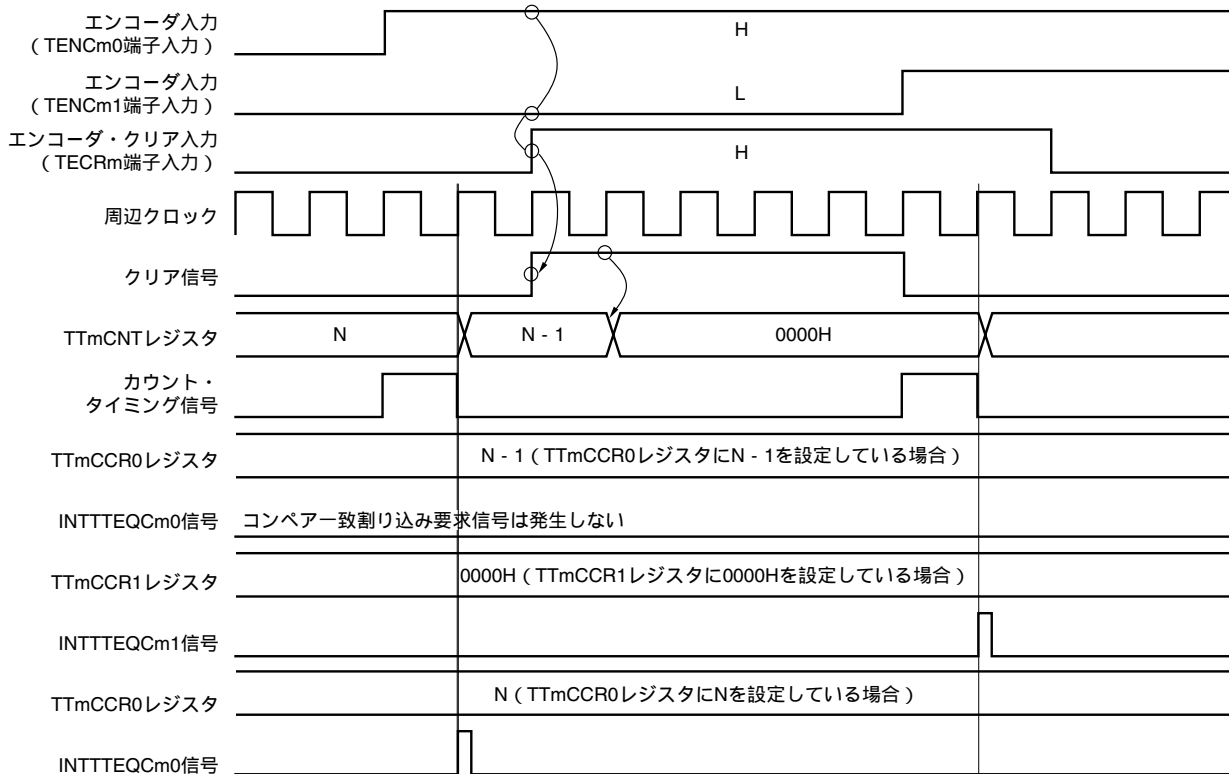
(iii) アップ・カウント時にTECRm端子のハイ・レベル入力がTENCm1端子のロウ・レベル入力より早い場合、アップ・カウントせずにカウンタがクリアされます。



**備考** V850E/IF3 : m = 1  
V850E/IG3 : m = 0, 1

図8 - 56 動作例 (TTmSCEビット = 1, TTmZCLビット = 1, TTmBCLビット = 0, TTmACLビット = 1, TTmUDS1, TTmUDS0ビット = 11, TECRm = ハイ・レベル, TENCm1 = ロウ・レベル, TENCm0 = ハイ・レベルの場合) (3/3)

(iv) ダウン・カウント時にTECRm端子のハイ・レベル入力がTENCm1端子のロウ・レベル入力より遅れた場合、アップ・カウント後にカウンタがクリアされます。



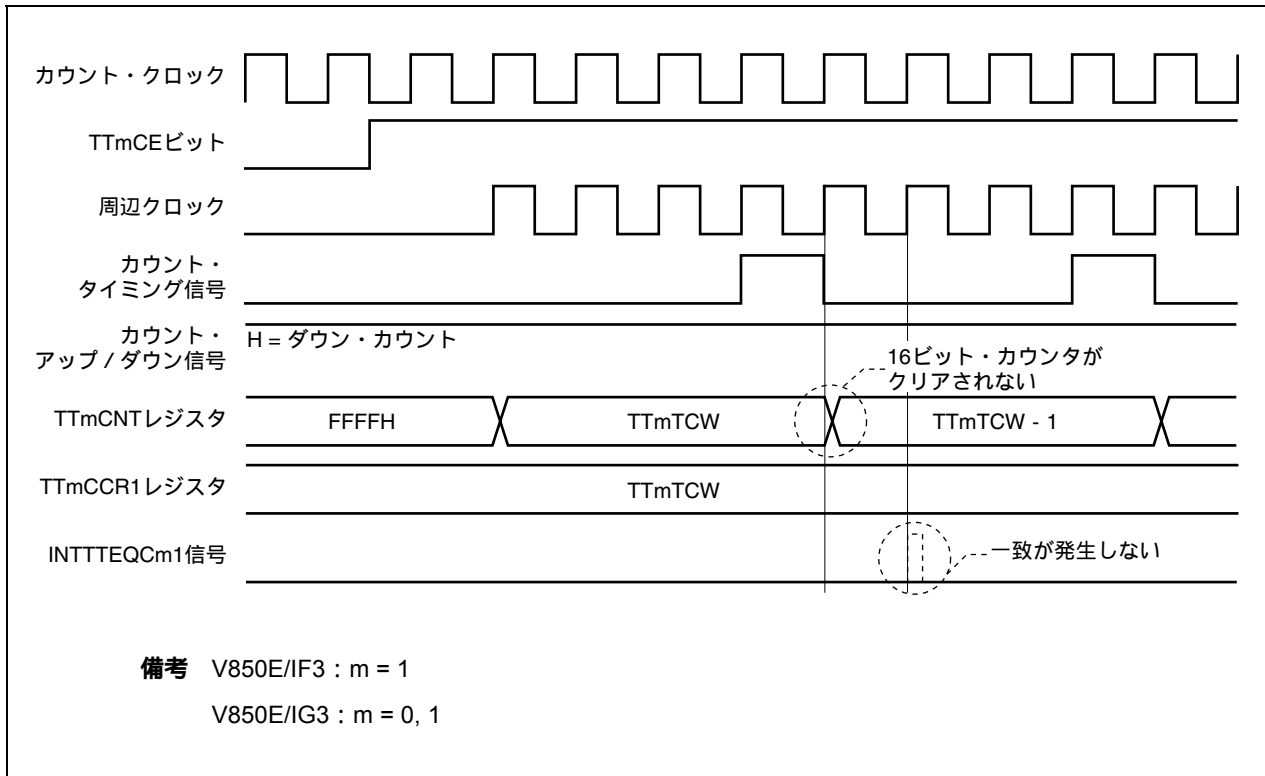
**備考** V850E/IF3 : m = 1  
V850E/IG3 : m = 0, 1

このクリア方法では、TECRm, TENCm1, TENCm0端子入力のクリア・レベル条件を設定し、クリア・レベル条件の検出により16ビット・カウンタを0000Hにクリアするため、TECRm端子入力の遅延による誤カウントは発生しません。

(7) エンコーダ・カウント機能の注意事項

(a) 動作開始直後のコンパア一致の未発生

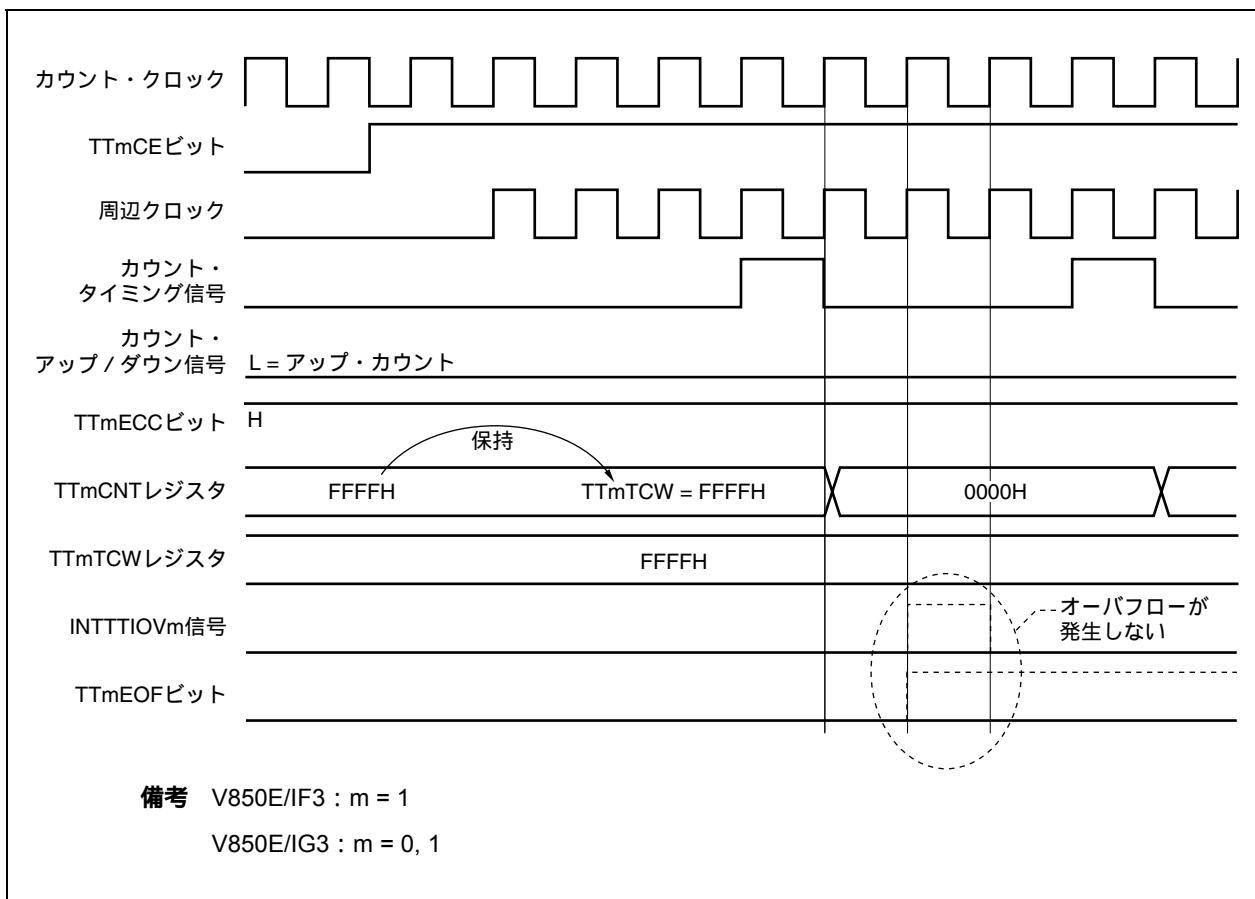
TTmCCR0 レジスタまたはTTmCCR1 レジスタにTTmTCW レジスタと同じ値を設定し TTmCTL2.TTmECCビット = 0時にカウンタ動作を開始した場合、動作開始直後の16ビット・カウンタのカウンタ値 (TTmTCW) とCCRaバッファ・レジスタの値が一致すると、一致はマスクされ、コンパア一致割り込み要求信号( INTTTEQCma )は発生しません(a = 0, 1)。また,TTmCTL2.TTmECM1, TTmECM0ビットの設定による16ビット・カウンタの0000Hクリアも行われません。



(b) 動作開始直後のオーバーフローの未発生

TTmCTL2.TTmECCビット = 1時にカウンタ動作を再開した場合、16ビット・カウンタの保持していたカウント値がFFFFHで次のカウントがアップ・カウントのとき、オーバーフローは発生しません。

カウンタ値 (TTmTCWレジスタ値 = FFFFH) での動作開始後、カウント・アップした場合、カウント動作はFFFFH 0000Hとなりオーバーフローが発生となりますが、オーバーフロー検出がマスクされてしまい、オーバーフロー・フラグ (TTmEOF) はセットされず、オーバーフロー割り込み要求信号 (INTTTIOVm) も発生しません。



### 8.6.10 エンコーダ・コンペア・モード (TTmMD3-TTmMD0ビット = 1000)

エンコーダ・コンペア・モードは、TTmCCR0, TTmCCR1レジスタをと共にコンペア機能として使用し、エンコーダ・カウント機能用入力端子 (TENCm0, TENCm1, TECEm) により、エンコーダ制御を実現します。

クリア動作としては3つの条件があります。16ビット・カウンタのカウント値とCCRaバッファ・レジスタの値の一致によるクリア (コンペア一致割り込み要求信号 (INTTTEQCma) を発生)、エンコーダ・クリア入力 (TECEm端子) のエッジ検出クリア、TENCm0, TENCm1, TECEm端子のクリア・レベル条件検出クリアにより、16ビット・カウンタを0000Hにクリアします。

アンダフロー発生時にTTmCCR0レジスタ設定値を16ビット・カウンタに転送することができます。

#### (1) エンコーダ・コンペア・モード動作フロー

図8 - 57 エンコーダ・コンペア・モード動作フロー

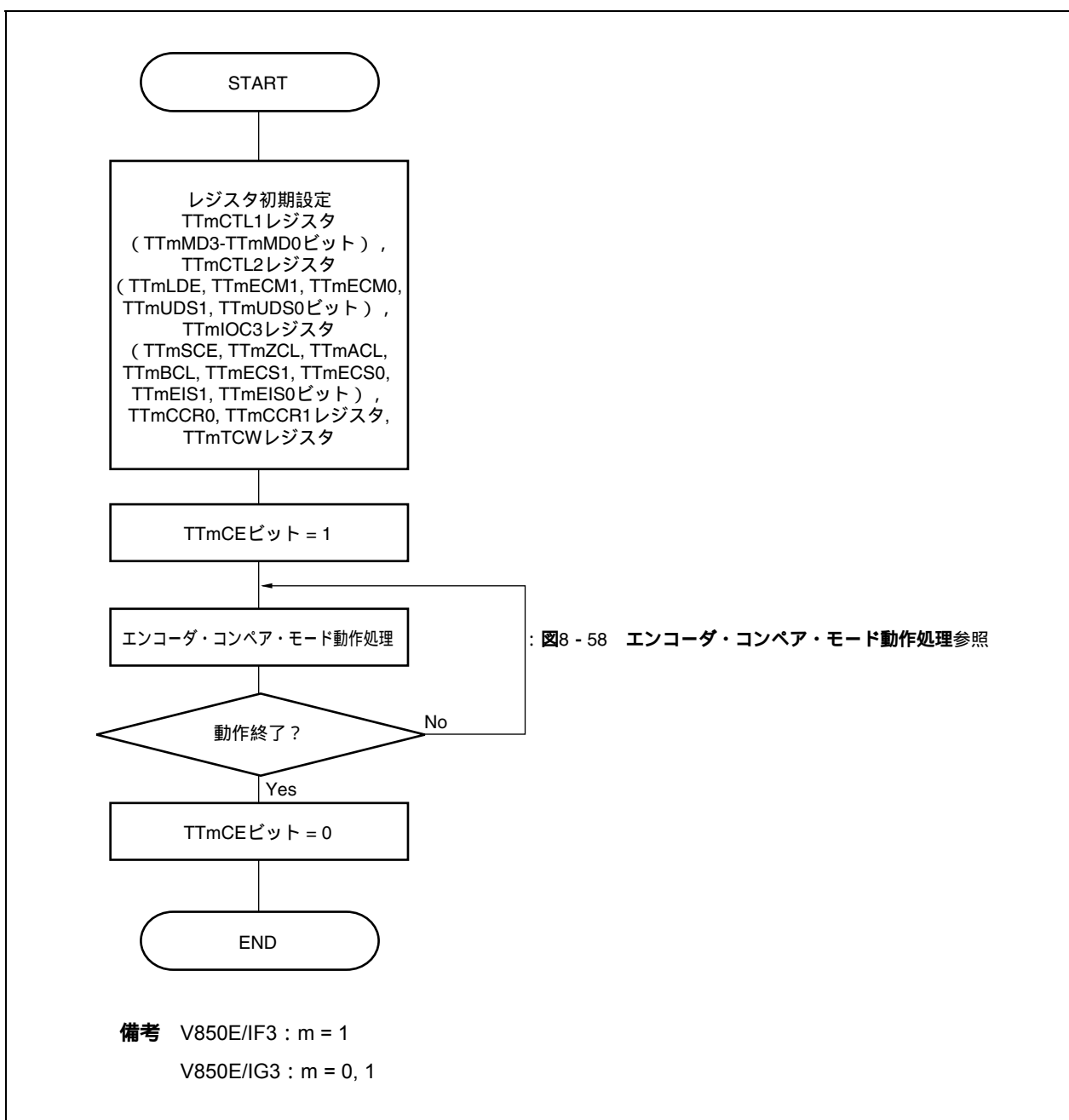
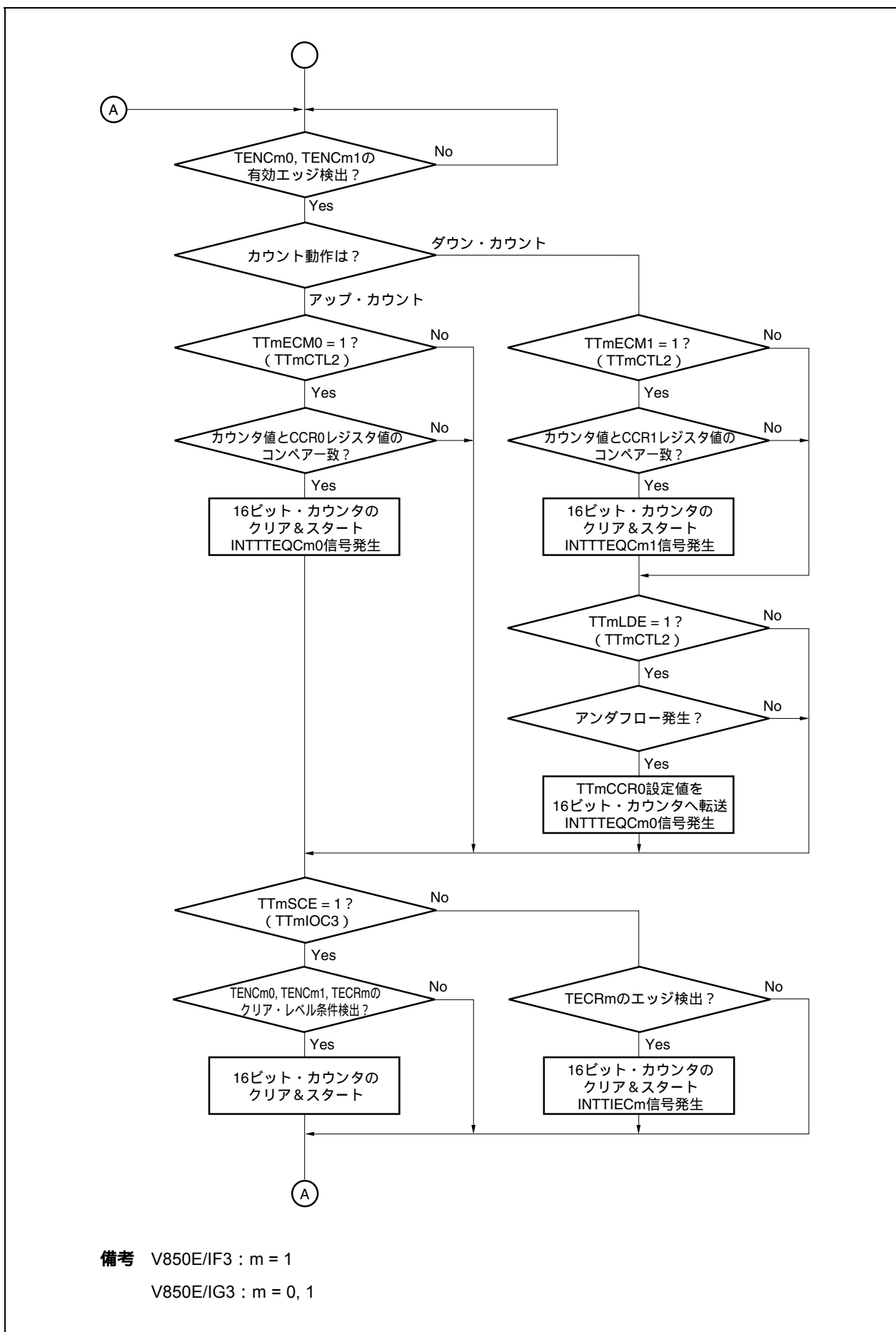


図8 - 58 エンコーダ・コンペア・モード動作処理



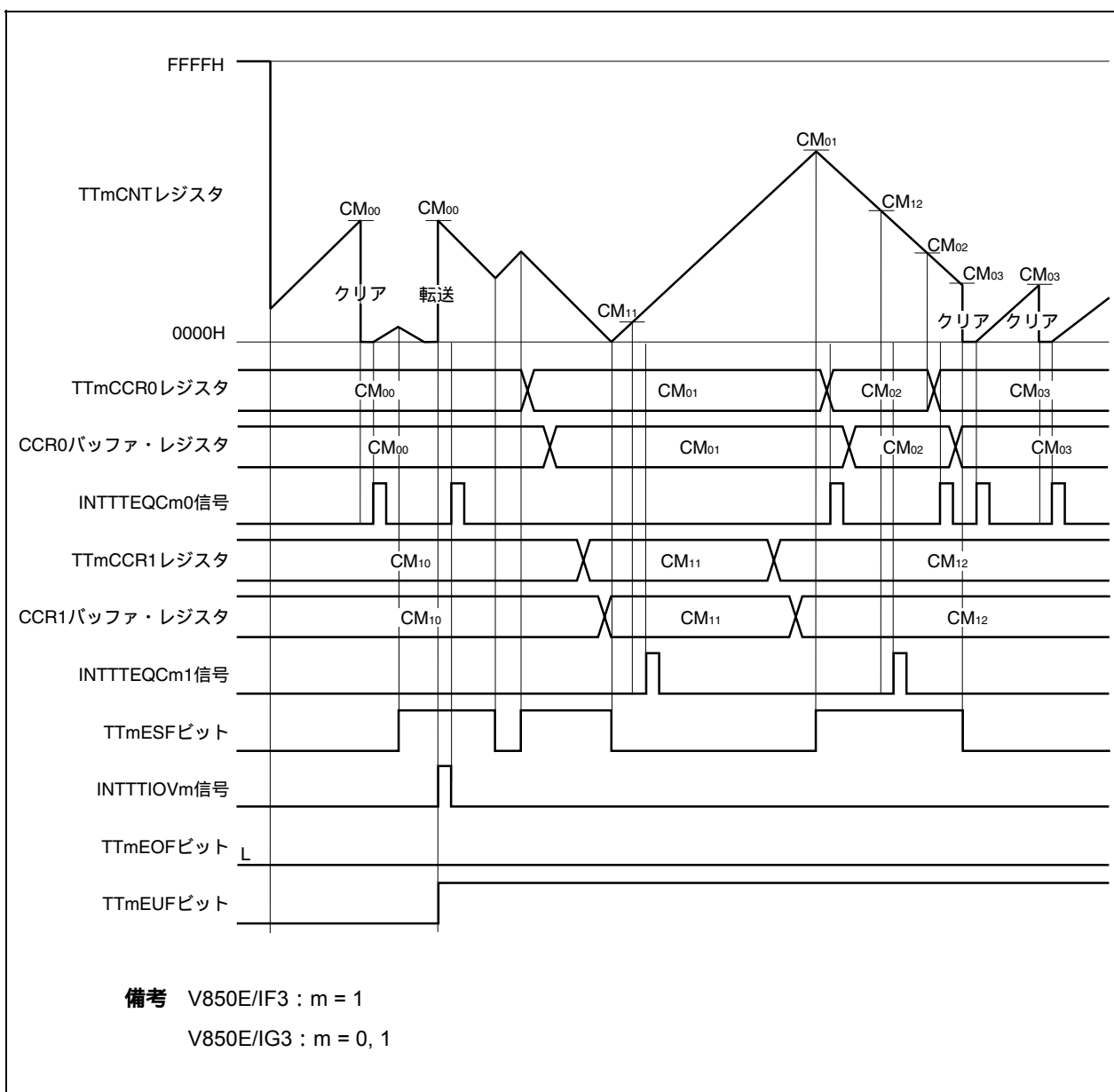


(2) エンコーダ・コンペア・モード動作タイミング

(a) 基本タイミング1

【レジスタ設定条件】

- ・ TTmCTL2.TTmECM1, TTmECM0ビット = 01  
16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタ値の一致でカウンタを0000Hにクリアする。
- ・ TTmCTL2.TTmLDEビット = 1  
アンダフロー発生時, TTmCCR0レジスタ設定値を16ビット・カウンタに転送する。
- ・ TTmIOC3.TTmSCEビット = 0, TTmECS1, TTmECS0ビット = 00  
エンコーダ・クリア入力 (TECRm端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TTmCEビット = 0 1) にTTmTCWレジスタ設定値を16ビット・カウンタに転送し、カウント動作を開始します。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTTEQCm0) が発生します。TTmECM0ビット = 1のため、次のカウント動作がアップ・カウンタの場合に16ビット・カウンタを0000Hにクリアします。

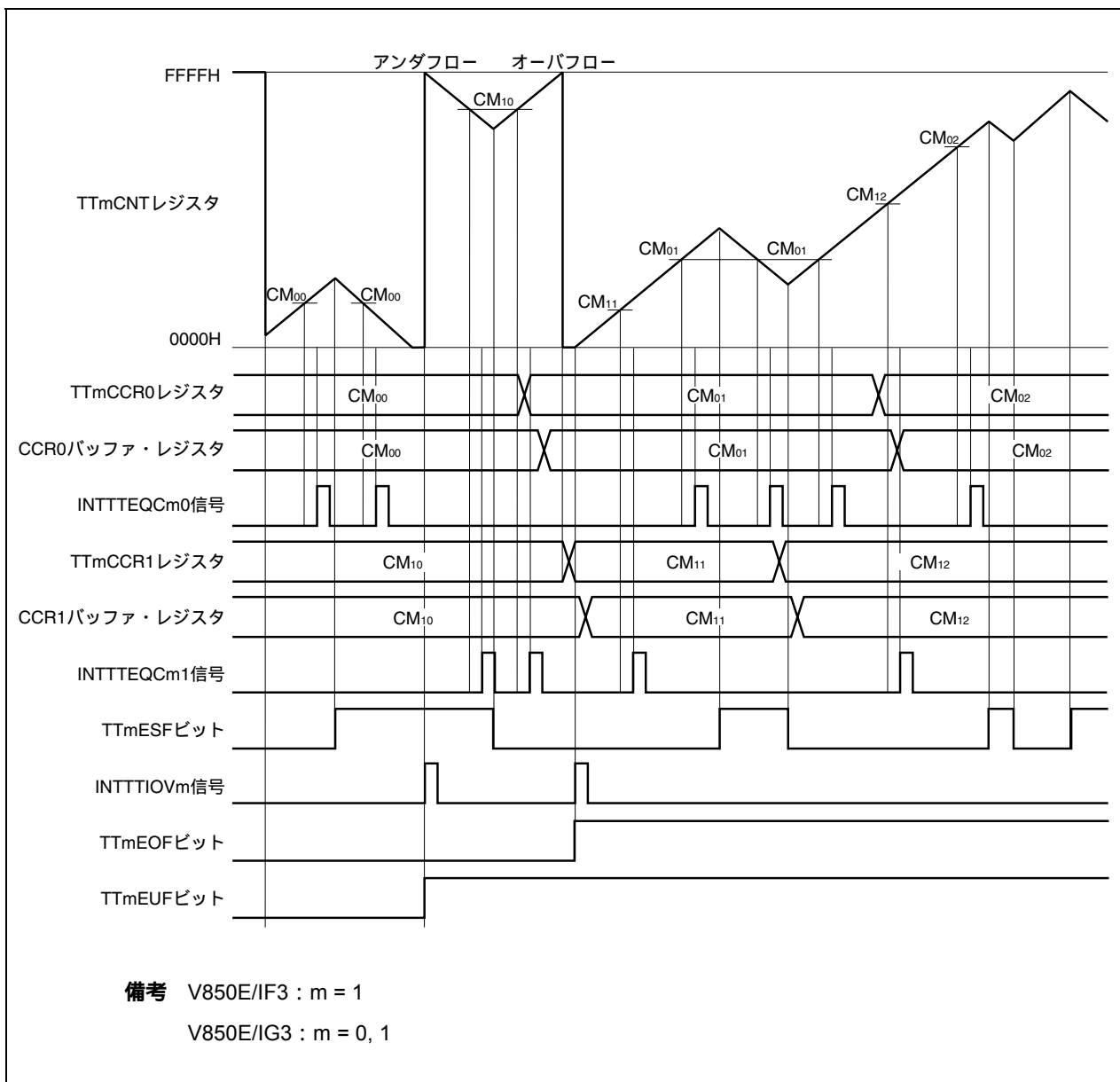
16ビット・カウンタのカウント値とCCR1バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTTEQCm1) が発生します。TTmECM1ビット = 0のため、一致条件では16ビット・カウンタは0000Hにクリアされません。

また、TTmLDEビット = 1, TTmECM0ビット = 1の設定により、「0000H-TTmCCR0レジスタ設定値」範囲内でカウント動作が可能です。

(b) 基本タイミング2

【レジスタ設定条件】

- ・ TTmCTL2.TTmECM1, TTmECM0ビット = 00  
16ビット・カウンタのカウンタ値とCCR<sub>a</sub>バッファ・レジスタ値の一致でのカウンタ・クリアなし (a = 0, 1)。
- ・ TTmCTL2.TTmLDEビット = 0  
アンダフロー発生時, TTmCCR0レジスタ設定値を16ビット・カウンタに転送しない。
- ・ TTmIOC3.TTmSCEビット = 0, TTmECS1, TTmECS0ビット = 00  
エンコーダ・クリア入力 (TECR<sub>m</sub>端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TTmCEビット = 0 1) にTTmTCWレジスタ設定値を16ビット・カウンタに転送し、カウンタ動作を開始します。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCm0) が発生します。

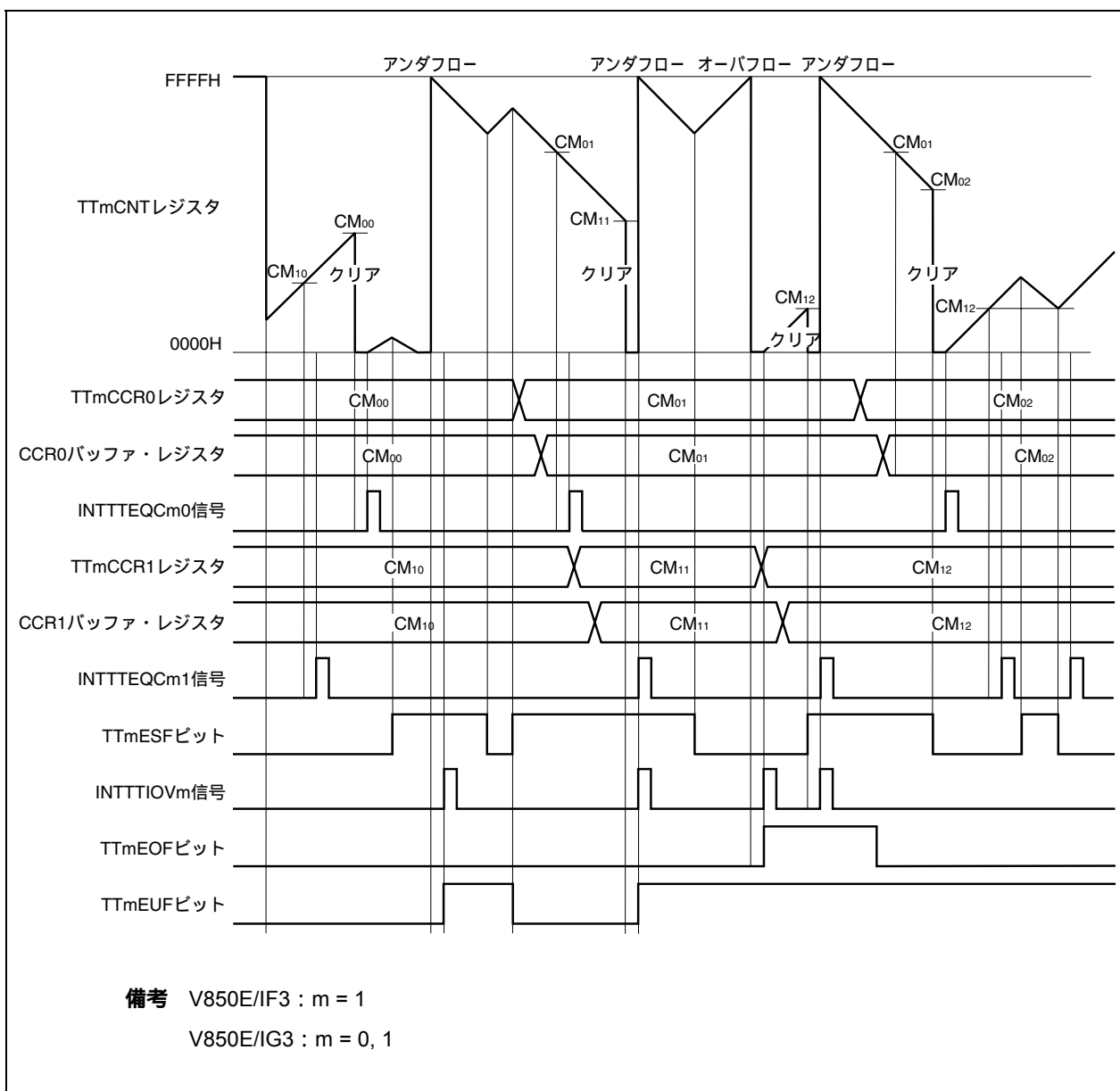
16ビット・カウンタのカウント値とCCR1バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTTEQCm1) が発生します。

また、TTmECM1, TTmECM0ビット = 00のため、16ビット・カウンタのカウント値とCCRaバッファ・レジスタとの一致では、16ビット・カウンタは0000Hにクリアされません (a = 0, 1)。

(c) 基本タイミング3

【レジスタ設定条件】

- ・ TTmCTL2.TTmECM1, TTmECM0ビット = 11  
 16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタ値の一致でカウンタを0000Hにクリアする。  
 16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタ値の一致でカウンタを0000Hにクリアする。
- ・ TTmCTL2.TTmLDEビットの設定無効
- ・ TTmIOC3.TTmSCEビット = 0, TTmECS1, TTmECS0ビット = 00  
 エンコーダ・クリア入力 (TECRm端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TTmCEビット = 0 1) にTTmTCWレジスタ設定値を16ビット・カウンタに転送し、カウント動作を開始します。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTTEQCm0) が発生します。このとき、次のカウント動作がアップ・カウントの場合に16ビット・カウンタを0000Hにクリアします。

16ビット・カウンタのカウント値とCCR1バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTTEQCm1) が発生します。このとき、次のカウント動作がダウン・カウントの場合に16ビット・カウンタを0000Hにクリアします。

## 第9章 16ビット・インターバル・タイマM (TMM)

タイマ M (TMM) は、16 ビットのインターバル・タイマです。  
V850E/IF3, V850E/IG3 では、TMM0-TMM3 を内蔵しています。

### 9.1 概 要

TMMnの概要を次に示します (n = 0-3)

- ・インターバル機能
- ・クロック選択 × 8
- ・16ビット・カウンタ × 1 (タイマ・カウント動作中のカウンタ・リードはできません。)
- ・コンペア・レジスタ × 1 (タイマ・カウント動作中のコンペア・レジスタへのライトはできません。)
- ・コンペア一致割り込み × 1

タイマMはクリア&スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

## 9.2 構成

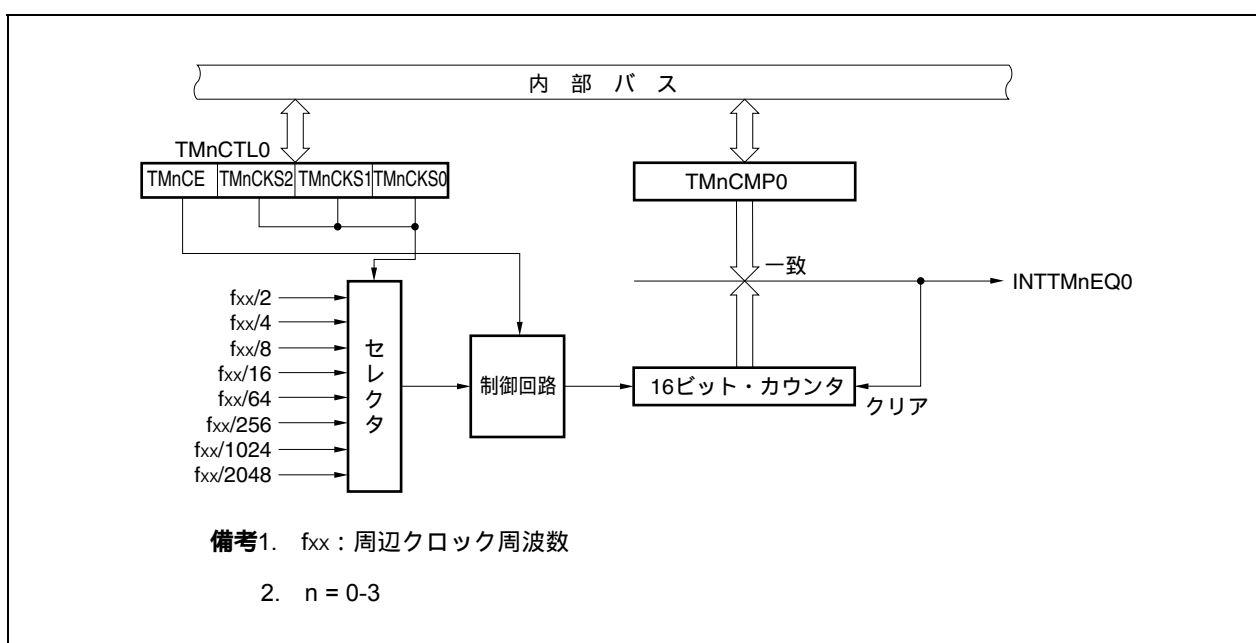
TMMnは、次のハードウェアで構成されています (n = 0-3)。

表9 - 1 TMMnの構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ×各1本
レジスタ	TMMnコンペア・レジスタ0 (TMnCMP0)
制御レジスタ	TMMn制御レジスタ0 (TMnCTL0)

備考 n = 0-3

図9 - 1 TMMnのブロック図





(1) 16ビット・カウンタ

内部クロックをカウントする16ビットのカウンタです。

16ビット・カウンタはリード/ライトできません。

(2) TMMnコンペア・レジスタ0 (TMnCMP0)

TMnCMP0レジスタは16ビットのコンペア・レジスタです。

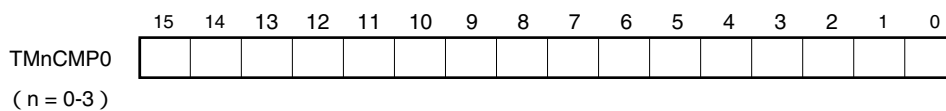
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

TMnCMP0レジスタは、常時ソフトウェアでの同値書き込みができます。

TMMn動作中 (TMnCTL0.TMnCEビット = 1) , TMnCMP0レジスタの書き換えは禁止です。

リセット時 : 0000H    R/W    アドレス : TM0CMP0 FFFFF544H, TM1CMP0 FFFFF554H,  
TM2CMP0 FFFFF564H, TM3CMP0 FFFFF574H



### 9.3 制御レジスタ

#### (1) TMMn制御レジスタ0 (TMnCTL0)

TMnCTL0レジスタはTMMnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TMnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス TM0CTL0 FFFFF540H, TM1CTL0 FFFFF550H,  
TM2CTL0 FFFFF560H, TM3CTL0 FFFFF570H

	⑦	6	5	4	3	2	1	0
TMnCTL0	TMnCE	0	0	0	0	TMnCKS2	TMnCKS1	TMnCKS0

(n = 0-3)

TMnCE	内部クロック動作許可 / 禁止指定
0	TMMn動作禁止 (16ビット・カウンタを非同期にリセット)
1	TMMn動作許可。動作クロック供給開始。TMMn動作開始。

TMnCEビットにより、TMMnの内部クロックの制御と内部回路のリセットを非同期に行います。TMnCEビットをクリア(0)すると、TMMnの内部クロックは停止(ロウ・レベル固定)し、16ビット・カウンタが非同期にリセットされます。

TMnCKS2	TMnCKS1	TMnCKS0	カウント・クロックの選択
0	0	0	fxx/2
0	0	1	fxx/4
0	1	0	fxx/8
0	1	1	fxx/16
1	0	0	fxx/64
1	0	1	fxx/256
1	1	0	fxx/1024
1	1	1	fxx/2048

注意1. TMnCKS2-TMnCKS0ビットはTMnCEビット = 0のときに設定してください。

ただし、TMnCEビットを0から1に設定するときに、同時にTMnCKS2-TMnCKS0ビットを設定することはできません。

2. ビット3-6には必ず0を設定してください。

備考 fxx : 周辺クロック周波数

## 9.4 動作

### 9.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは、TMnCTL0.TMnCEビットをセット(1)することで、TMnCMP0レジスタで設定したインターバル間隔にて割り込み要求信号(INTTMnEQ0)を発生します。

図9-2 インターバル・タイマの構成図

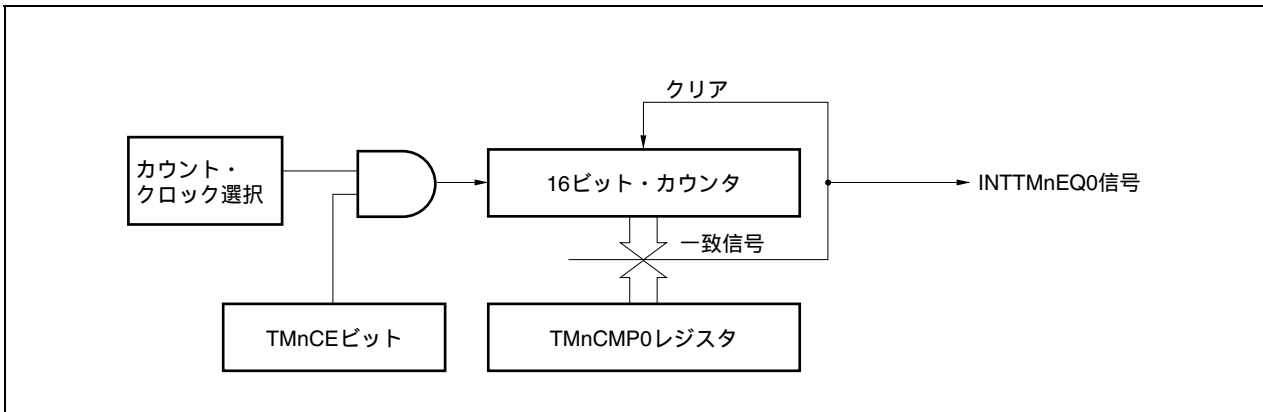
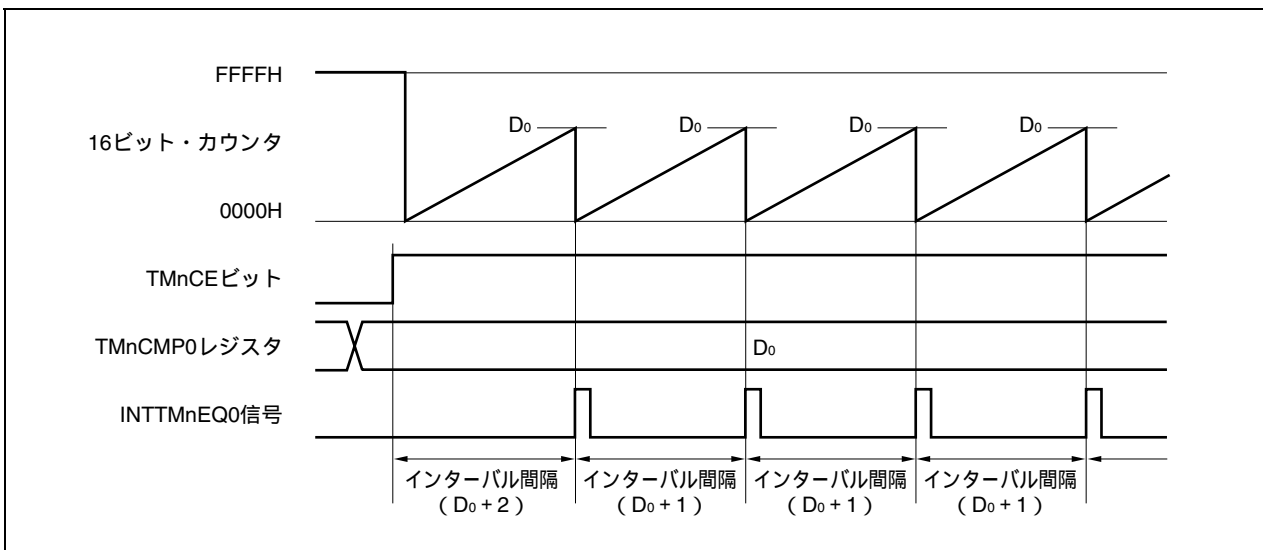


図9-3 インターバル・タイマ・モード動作の基本タイミング



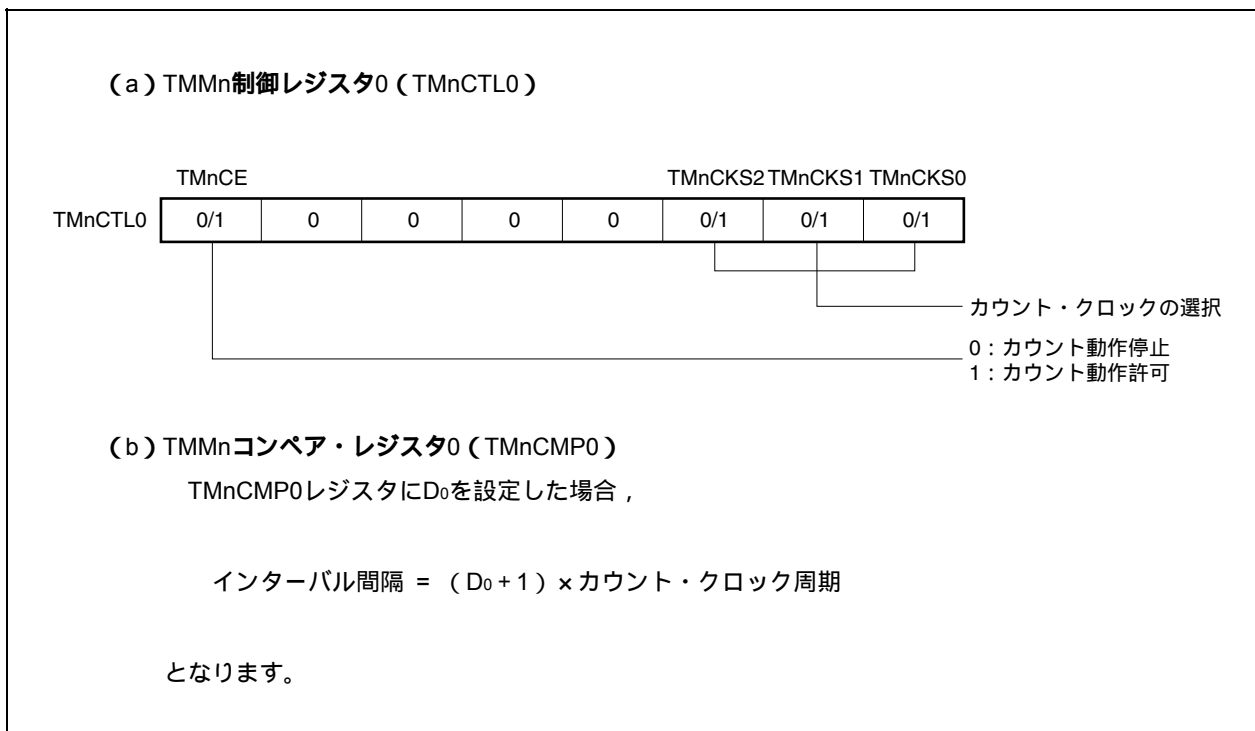
TMnCEビットをセット（1）することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。

16ビット・カウンタのカウント値とTMnCMP0レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンパレー一致割り込み要求信号（INTTMnEQ0）を発生します。

インターバル間隔は次のようになります。

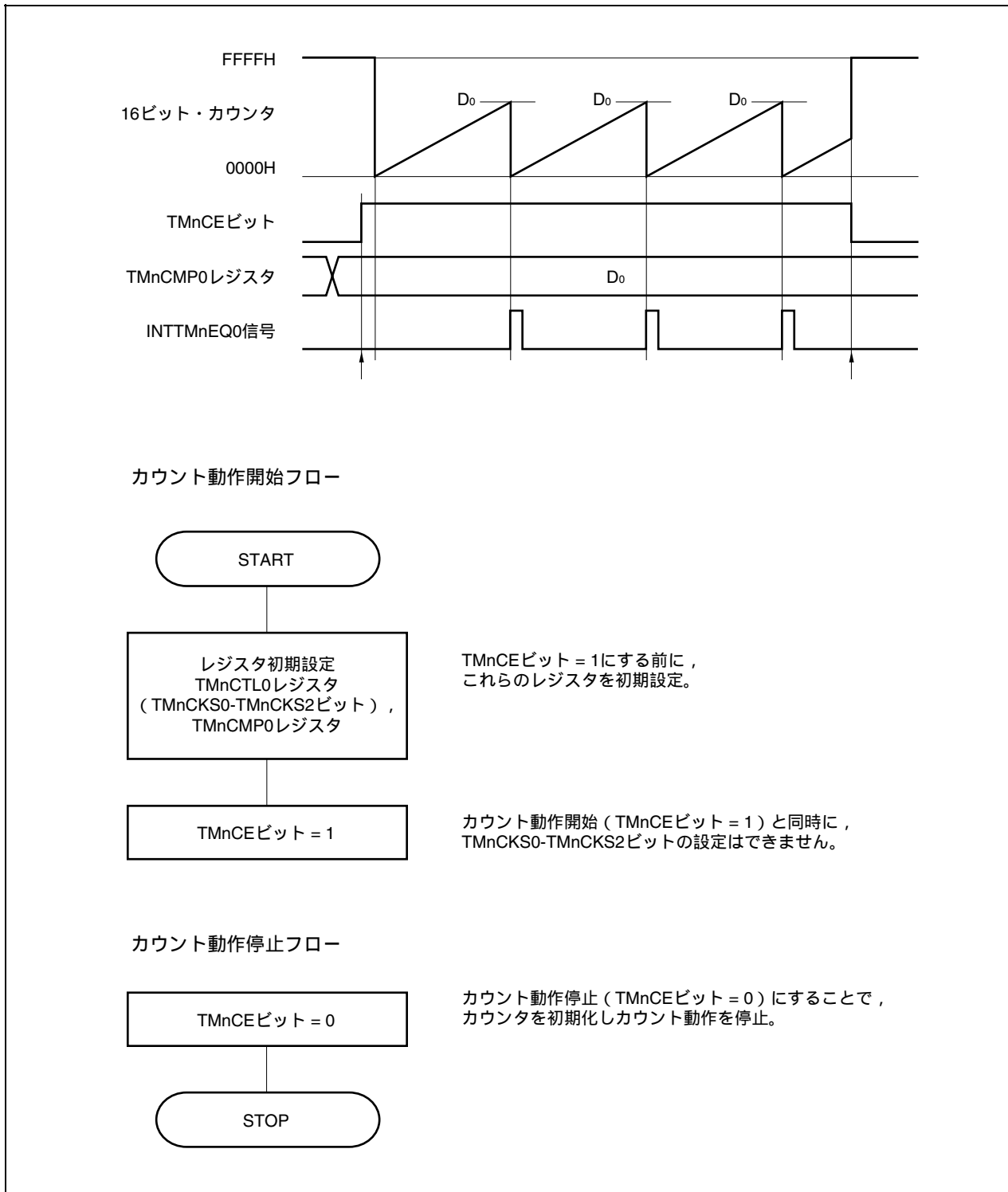
$$\text{インターバル間隔} = (\text{TMnCMP0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図9-4 インターバル・タイマ・モード動作時のレジスタ設定内容



(1) インターバル・タイマ・モード動作フロー

図9 - 5 インターバル・タイマ・モード使用時のソフトウェア処理フロー

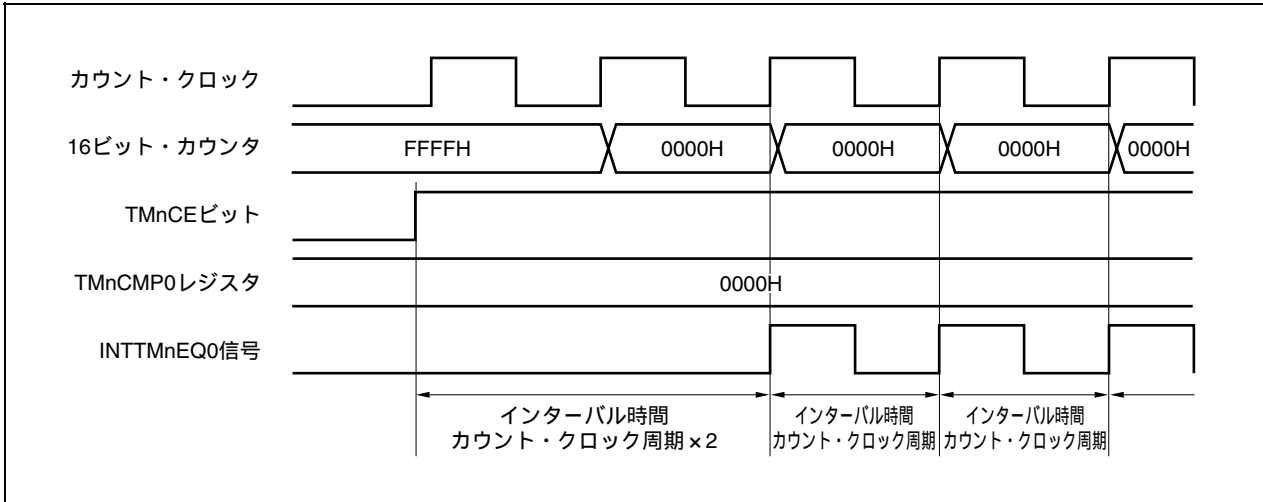


(2) インターバル・タイマ・モード動作タイミング

(a) TMnCMP0レジスタに0000Hを設定した場合の動作

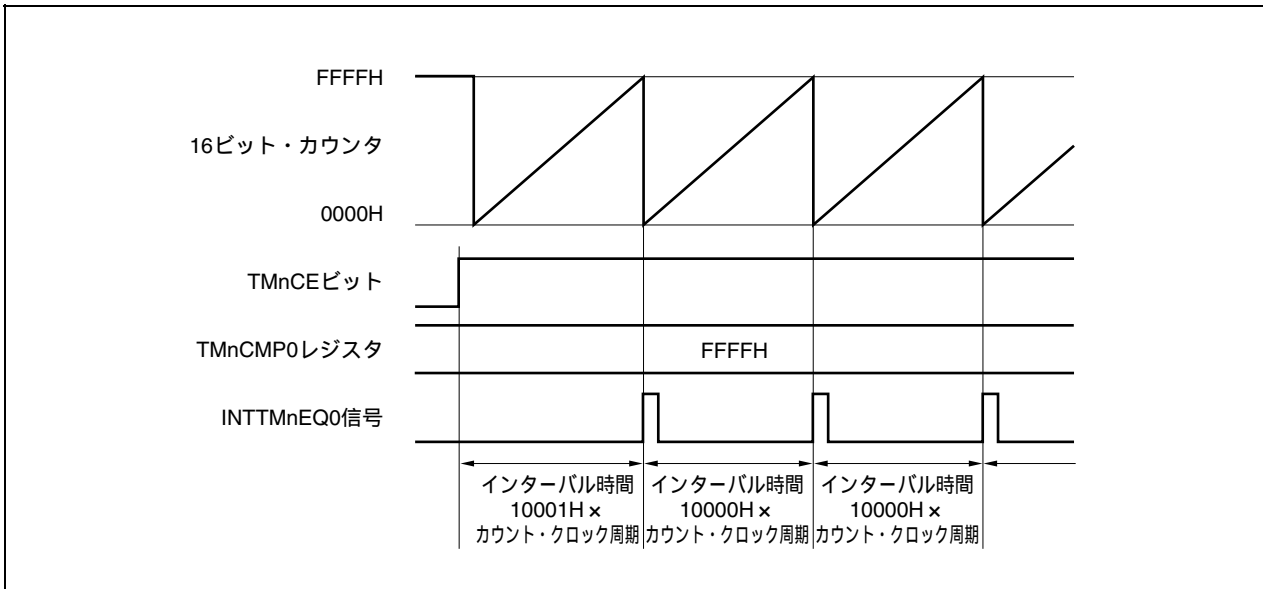
TMnCMP0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTMnEQ0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TMnCMP0レジスタにFFFFHを設定した場合の動作

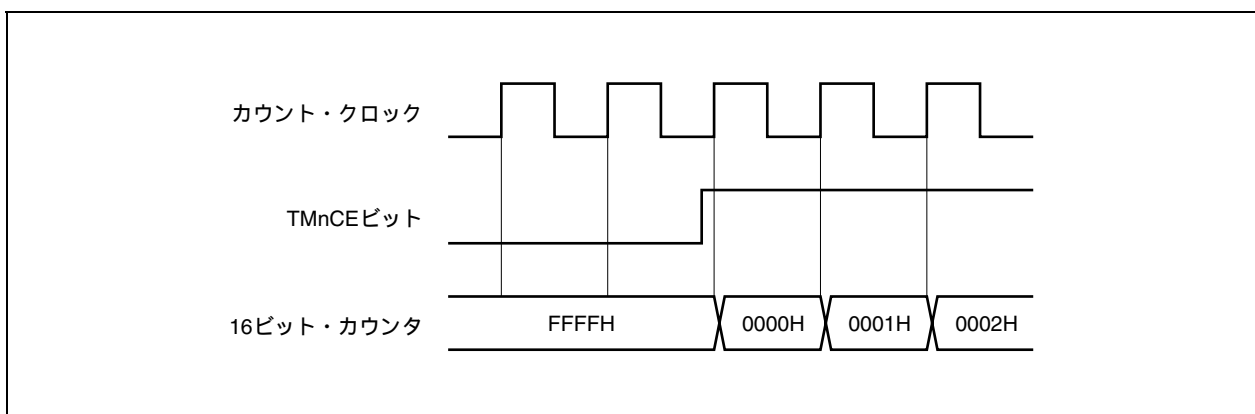
TMnCMP0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTMnEQ0信号を発生します。



## 9.5 注意事項

### (1) タイマ・スタート時の誤差

TMnCTL0.TMnCEビット = 0 1にしてTMMnをスタートしてから、最初のコンペアー一致割り込み要求信号 (INTTMnEQ0) が発生するまでの時間は、1クロック長くなります。これは、TMnCEビット = 0のときの16ビット・カウンタの値がFFFFHであるためと、TMMnのスタートがカウント・クロックと非同期で行われるためです。



### (2) TMnCMP0, TMnCTL0レジスタはTMMn動作中の書き換えは禁止です。

TMnCTL0.TMnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TMnCEビットをクリア (0) してから再設定してください。

## 第10章 モータ制御機能

### 10.1 機能概要

タイマABn (TABn)とTMQnオプション (TMQOPn)によりモータ制御用のインバータ機能として使用します。またタイマAAn (TAAAn)と同調動作を行い、TAAAnのコンペア一致タイミングで、A/Dコンバータ0, 1のA/D変換を起動することができます。モータ制御機能は、次のような動作を行うことができます。

- ・ 16ビット精度の6相PWM出力機能 (デッド・タイム付き, 上アームおよび下アーム用)
- ・ タイマ同調動作機能 (TAAAnと同調動作可能)
- ・ 任意の周期設定機能  
(山割り込み, 谷割り込みでの動作中の変更可能)
- ・ コンペア・レジスタ書き換え: 随時書き換え / 一斉書き換え / 間欠一斉書き換え選択機能  
(TABn動作中の変更可能)
- ・ 割り込み機能および転送間引き機能
- ・ 任意のデッド・タイム設定機能
- ・ A/Dコンバータ0, 1のA/Dトリガの任意タイミング機能  
(4種類のタイミング生成が可能)
- ・ 0 %出力と100 %出力が可能
- ・ 山割り込み, 谷割り込みでの0 %, 100 %出力切り替え可能
- ・ 強制出力停止機能
  - ・ 外部端子入力 (TOBnOFF, TOAmOFF) による有効エッジ検出時
  - ・ A/Dコンバータ部のコンパレータ機能による過電圧検出時
  - ・ クロック・モニタ機能によるメイン・クロックの発振停止検出時

**備考** V850E/IF3 : n = 0, 1, m = 2

V850E/IG3 : n = 0, 1, m = 2, 3



## 10.2 構成

モータ制御は次のハードウェアで構成されています。

項目	構成
タイマ・レジスタ	デッド・タイム・カウンタ $m$
コンペア・レジスタ	TAB $n$ デッド・タイム・コンペア・レジスタ (TAB $n$ DTCレジスタ)
制御レジスタ	TAB $n$ オプション・レジスタ0 (TAB $n$ OPT0) TAB $n$ オプション・レジスタ1 (TAB $n$ OPT1) TAB $n$ オプション・レジスタ2 (TAB $n$ OPT2) TAB $n$ オプション・レジスタ2 (TAB $n$ OPT3) TAB $n$ I/O制御レジスタ3 (TAB $n$ IOC3) ハイ・インピーダンス出力制御レジスタ0, 1 (HZAyCTLa)

**備考** V850E/IF3 :  $m = 0-3$ ,  $n = 0, 1$ ,  $y = 0, 2, 3$ ,  $y = 1$ のとき $a = 0$ ,  $a = 0, 1$

V850E/IG3 :  $m = 0-3$ ,  $n = 0, 1$ ,  $y = 0-3$ ,  $a = 0, 1$

- ・TAB $n$ の出力 (TOB $n$ 1, TOB $n$ 2, TOB $n$ 3) を使用し, デッド・タイム付きの6相PWM出力が可能です。
- ・6相PWM出力の出力レベルは個別に設定できます。
- ・TAB $n$ の16ビット・タイマ・カウンタは, アップ/ダウンの三角波カウントを行います。アンダフロー発生時と周期一致発生時に割り込みを発生しますが, 最大31回までの割り込み発生を間引くことができます。
- ・TAA $n$ は, TAB $n$ とカウント動作を同時に行うことができます (タイマ同調動作機能)。TAA $n$ は, 2種類のA/Dトリガ・ソース (INTTAnCC0, INTTAnCC1) が生成でき, TAB $n$ のアンダフロー割り込み (INTTBnOV) と周期一致割り込み (INTTBnCC0) の2種類と合わせ, 合計4種類の設定ができます。

図10 - 1 モータ制御のブロック図

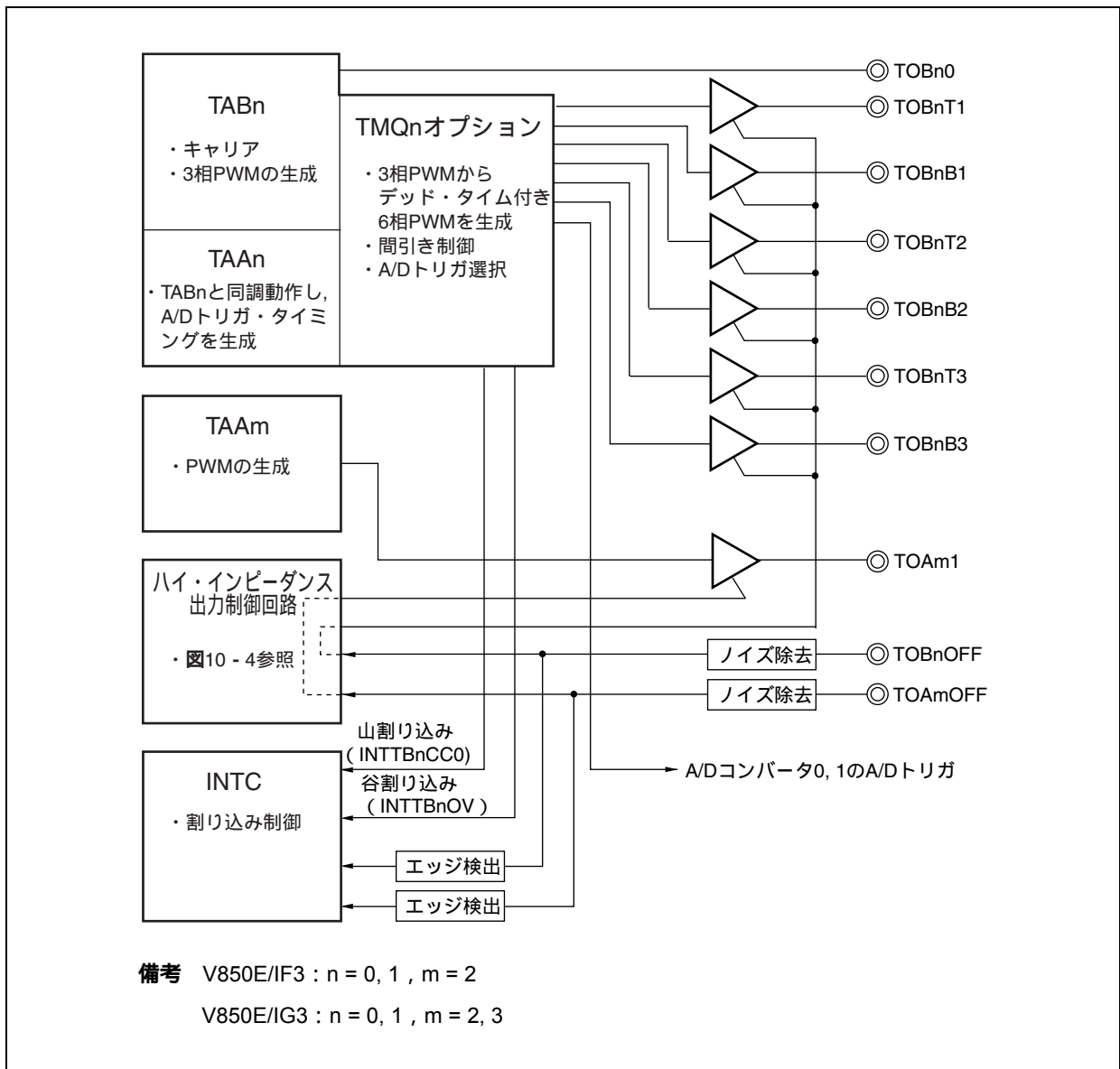
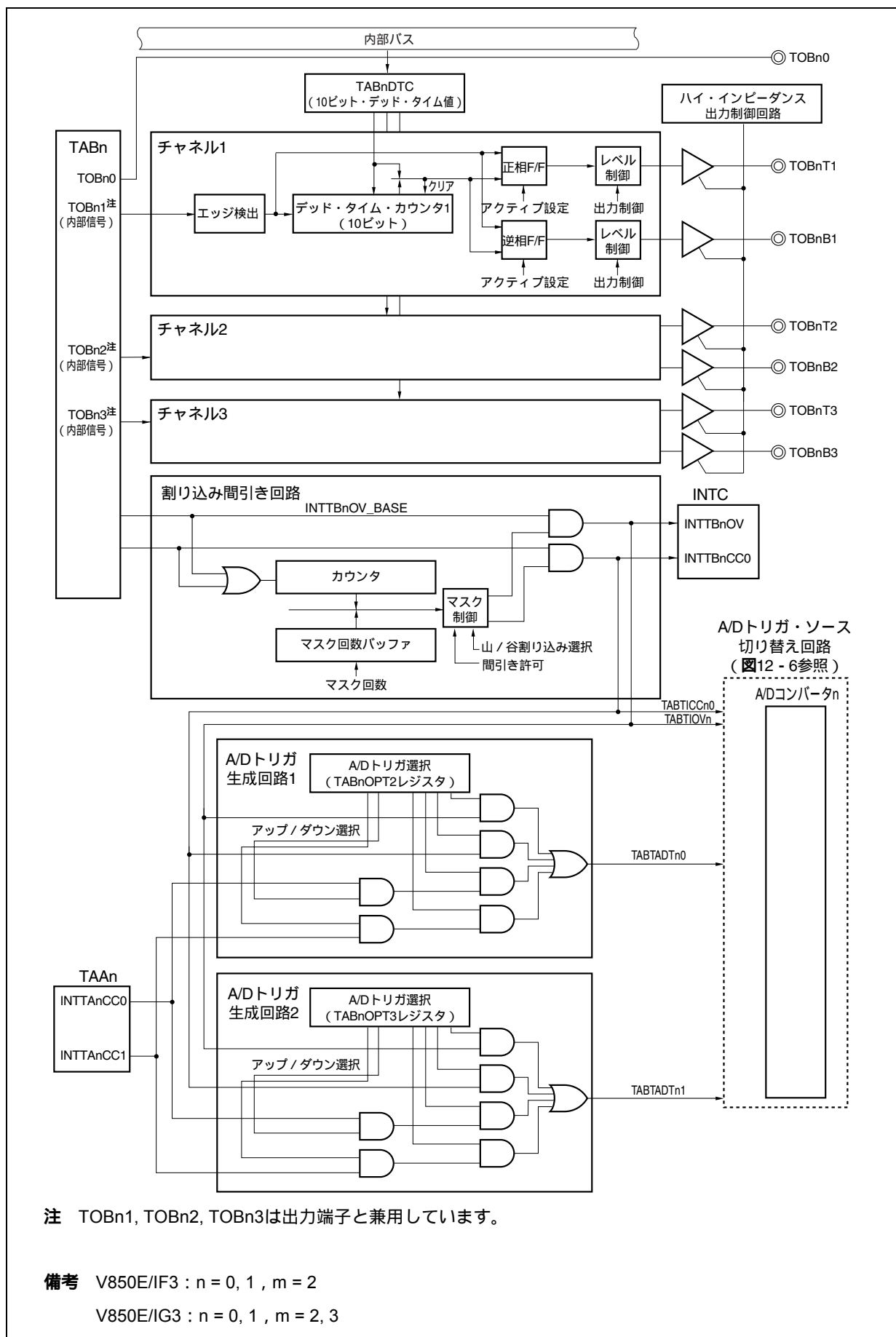


図10-2 TMQnオプション



(1) TABnデッド・タイム・コンペア・レジスタ (TABnDTC)

TABnDTCレジスタは、デッド・タイム値を指定する10ビットのコンペア・レジスタです。

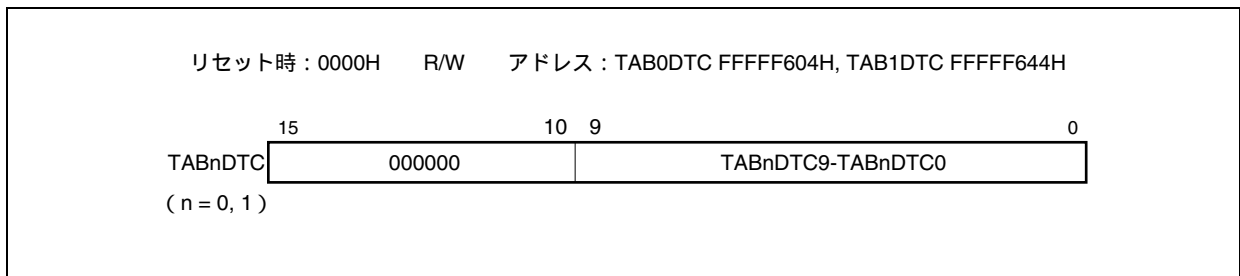
TABnCTL0.TABnCEビット = 1のとき、TABnDTCレジスタの書き換えは禁止です。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** デッド・タイム期間を生成する場合は、TABnDTCレジスタに1以上の値を設定してください。  
 なお、動作停止(TABnCTL0.TABnCEビット = 0)時には、デッド・タイム期間は生成されず、  
 TOBnT1-TOBnT3, TOBnB1-TOBnB3端子の出力レベルは初期状態となります。そのため、シ  
 ステム保護のため、動作停止前にTOBnT1-TOBnT3, TOBnB1-TOBnB3端子をハイ・インピー  
 ダンス状態にするか、もしくは端子の出力レベルを設定したうえでポート・モードに切り替え  
 などの処置をしてください。

デッド・タイム期間が不要の場合は、TABnDTCレジスタに0を設定してください。



(2) デッド・タイム・カウンタ1-3

デッド・タイム・カウンタはデッド・タイムをカウントする10ビットのカウント・レジスタです。

TABnのTOBnm出力信号の立ち上がり/立ち下がりエッジにより、クリア/カウント・アップ動作を行  
 い、TABnDTCレジスタとの一致でクリア&ストップします。カウント・クロックはTABnのTABnCTL0.  
 TABnCKS2-TABnCKS0ビットで設定したカウント・クロックと同じカウント・クロックです。

**備考1.** TABnOPT2.TABnDTMビット = 1とした場合は、動作が異なります。詳細は、10.4.2(4) **デ  
 ッド・タイム幅の自動縮小機能** (TABnOPT2.TABnDTMビット = 1) を参照してください。

2. n = 0, 1, m = 1-3

### 10.3 制御レジスタ

#### (1) TABnオプション・レジスタ0 (TABnOPT0)

タイマQnオプション機能を制御する8ビットのレジスタです。  
 8/1ビット単位でリード/ライト可能です。ただしTABnCUFビットはリードのみ可能です。  
 リセットにより00Hになります。

**注意** TABnCMS, TABnCUFビットは6相PWM出力モード時のみ設定可能です。TABn単体では必ず  
 “0”を設定してください。

リセット時：00H    R/W    アドレス：TAB0OPT0 FFFFF5E5H, TAB1OPT0 FFFFF625H

	⑦	⑥	⑤	④	3	②	①	①
TABnOPT0	TABnCCS3 <sup>注1</sup>	TABnCCS2 <sup>注1</sup>	TABnCCS1 <sup>注1</sup>	TABnCCS0 <sup>注1</sup>	0	TABnCMS	TABnCUF	TABnOVF <sup>注2</sup>

(n = 0, 1)

TABnCMS	コンペア・レジスタの書き換えモード選択
0	一斉書き換えモード指定 (転送動作指定)
1	随時書き換えモード指定

・TABnCMSビットは、6相PWM出力モード (TABnCTL1.TABnMD2-TABnMD0ビット = 111) 設定時のみ有効です。それ以外のモードでは、TABnCMSビット = 0としてください。

・TABnCMSビットは、タイマ動作中 (TABnCTL0.TABnCEビット = 1) の書き換えが可能です。

・一斉書き込みモード選択時、対象になるレジスタは次のとおりです。  
 TABnCCR0-TABnCCR3, TAAAnCCR0, TAAAnCCR1, TABnOPT1, TABnDTCレジスタ

TABnCUF	タイマABnのアップ・カウント/ダウン・カウント・フラグ
0	タイマABnがアップ・カウント中
1	タイマABnがダウン・カウント中

TABnCUFビットは、6相PWM出力モード (TABnCTL1.TABnMD2-TABnMD0ビット = 111) 設定時のみ有効です。

**注1.** 6相PWM出力モード時はTABnCCS3-TABnCCS0ビットは必ず“0”を設定してください。

**注2.** TABnOVFビットの詳細は、第7章 16ビット・タイマ/イベント・カウンタAB (TAB) を参照してください。

(2) TABnオプション・レジスタ1 (TABnOPT1)

タイマQnオプション機能から発生する割り込み要求信号を制御する8ビットのレジスタです。

TABnOPT1レジスタは、図10 - 2にある割り込み間引き回路、A/Dトリガ生成回路1、A/Dトリガ生成回路2に対する信号を生成します。

TABnCTL0.TABnCEビット = 1のときも、TABnOPT1レジスタの書き換えができます。

書き換え方法は、TABnOPT0.TABnCMSビットにより、一斉書き込みモードと随時書き込みモードの2種類を選択できます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H    R/W    アドレス：TAB0OPT1 FFFFF600H, TAB1OPT1 FFFFF640H

	⑦	⑥	5	4	3	2	1	0
TABnOPT1	TABnICE	TABnIOE	0	TABnID4	TABnID3	TABnID2	TABnID1	TABnID0
(n = 0, 1)								
TABnICE	山割り込み (INTTBnCC0信号) 許可 <sup>※</sup>							
0	INTTBnCC0信号を使用しない (割り込み間引きのカウンタ信号としない)							
1	INTTBnCC0信号を使用する (割り込み間引きのカウンタ信号とする)							
TABnIOE	谷割り込み (INTTBnOV信号) 許可 <sup>※</sup>							
0	INTTBnOV信号を使用しない (割り込み間引きのカウンタ信号としない)							
1	INTTBnOV信号を使用する (割り込み間引きのカウンタ信号とする)							
TABnID4	TABnID3	TABnID2	TABnID1	TABnID0	割り込み回数の選択			
0	0	0	0	0	間引きなし (すべての割り込みを出力)			
0	0	0	0	1	1マスク (2回に1回の割り込みを出力)			
0	0	0	1	0	2マスク (3回に1回の割り込みを出力)			
0	0	0	1	1	3マスク (4回に1回の割り込みを出力)			
:	:	:	:	:	:			
1	1	1	0	0	28マスク (29回に1回の割り込みを出力)			
1	1	1	0	1	29マスク (30回に1回の割り込みを出力)			
1	1	1	1	0	30マスク (31回に1回の割り込みを出力)			
1	1	1	1	1	31マスク (32回に1回の割り込みを出力)			

**注** 山割り込み (INTTBnCC0信号)、谷割り込み (INTTBnOV信号) を割り込み間引きのカウンタ信号として使用する場合は、およびA/Dトリガ信号として使用する場合は、使用する信号を1に設定してください。  
 なお、間引きされた割り込みタイミングでA/Dトリガが生成されます。

(3) TABnオプション・レジスタ2 (TABnOPT2)

タイマQnオプション機能を制御する8ビットのレジスタです。

TABnCTL0.TABnCEビット = 1のときも, TABnOPT2レジスタの書き換えが可能です。ただし, TABnDTMビットはTABnCEビット = 1のとき, 書き換え禁止です。同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

( 1/2 )

リセット時: 00H R/W アドレス: TAB0OPT2 FFFFF601H, TAB1OPT2 FFFFF641H

	⑦	⑥	⑤	④	③	②	①	①
TABnOPT2	TABnRDE	TABnDTM	TABnATM3	TABnATM2	TABnAT3	TABnAT2	TABnAT1	TABnAT0

$\left. \begin{matrix} n = 0, 1 \\ m = 1-3 \end{matrix} \right\}$

TABnRDE	転送間引き許可
0	転送の間引きなし (山, 谷で毎回転送タイミングが発生)
1	TABnOPT1レジスタで設定した割り込み間引きと同じ間隔で転送を間引く

TABnDTM	デッド・タイム・カウンタ動作モード選択
0	通常のアップ・カウントを行い, TABnのTOBnm出力が狭間隔 (TOBnm出力幅 < デッド・タイム幅) の場合は, デッド・タイム・カウンタをクリアし再カウントを行う。
1	通常のアップ・カウントを行い, TABnのTOBnm出力が狭間隔 (TOBnm出力幅 < デッド・タイム幅) の場合は, デッド・タイム・カウンタはダウン・カウンタ動作に切り替わり, デッド・タイム制御幅が自動的に狭くなる。

TABnDTMビットは, タイマ動作中の書き換えは禁止です。誤って書き換えた場合は, 一度TABnCEビット = 0にしてタイマ動作を停止してから, 再度設定を行ってください。

**注意1. 割り込み間引きを使用する場合 (TABnOPT1.TABnID4-TABnID0ビット = 00000以外) には, 必ずTABnRDEビット = 1に設定してください。**

このため, 割り込みと転送は同じタイミングで発生します。別々の設定はできません。別々の設定を行った場合 (TABnRDEビット = 0) は転送が正常に行われません。

**2. デッド・タイム期間を生成する場合は, TABnDTCレジスタに1以上の値を設定してください。**

なお, 動作停止 (TABnCTL0.TABnCEビット = 0) 時には, デッド・タイム期間は生成されず, TOBnT1-TOBnT3, TOBnB1-TOBnB3端子の出力レベルは初期状態となります。そのため, システム保護のため, 動作停止前にTOBnT1-TOBnT3, TOBnB1-TOBnB3端子をハイ・インピーダンス状態にするか, もしくは端子の出力レベルを設定したうえでポート・モードに切り替えるなどの処置をしてください。

デッド・タイム期間が不要の場合は, TABnDTCレジスタに0を設定してください。

TABnATM3	TABnATM3モード選択
0	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn0) をアップ・カウント時に出力
1	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn0) をダウン・カウント時に出力

TABnATM2	TABnATM2モード選択
0	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn0) をアップ・カウント時に出力
1	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn0) をダウン・カウント時に出力

TABnAT3 <sup>注</sup>	A/Dトリガ出力制御3
0	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn0) の出力禁止
1	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn0) の出力許可

TABnAT2 <sup>注</sup>	A/Dトリガ出力制御2
0	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn0) の出力禁止
1	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn0) の出力許可

TABnAT1 <sup>注</sup>	A/Dトリガ出力制御1
0	INTTBnCC0 (山割り込み) のA/Dトリガ信号 (TABTADTn0) の出力禁止
1	INTTBnCC0 (山割り込み) のA/Dトリガ信号 (TABTADTn0) の出力許可

TABnAT0 <sup>注</sup>	A/Dトリガ出力制御0
0	INTTBnOV (谷割り込み) のA/Dトリガ信号 (TABTADTn0) の出力禁止
1	INTTBnOV (谷割り込み) のA/Dトリガ信号 (TABTADTn0) の出力許可

注 TABnAT3-TABnAT0ビットの設定については、第12章 A/Dコンバータ0, 1を参照してください。



(4) TABnオプション・レジスタ3 (TABnOPT3)

タイマQnオプション機能を制御する8ビットのレジスタです。

TABnCTL0.TABnCEビット = 1のときも, TABnOPT3レジスタの書き換えが可能です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TAB0OPT3 FFFFFFF603H, TAB1OPT3 FFFFFFF643H

	7	6	⑤	④	③	②	①	①
TABnOPT3	0	0	TABnATM7	TABnATM6	TABnAT7	TABnAT6	TABnAT5	TABnAT4

(n = 0, 1)

TABnATM7	TABnATM7モード選択
0	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn1) をアップ・カウント時に出力
1	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn1) をダウン・カウント時に出力

TABnATM6	TABnATM6モード選択
0	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn1) をアップ・カウント時に出力
1	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn1) をダウン・カウント時に出力

TABnAT7 <sup>注</sup>	A/Dトリガ出力制御3
0	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn1) の出力禁止
1	INTTAnCC1割り込みのA/Dトリガ信号 (TABTADTn1) の出力許可

TABnAT6 <sup>注</sup>	A/Dトリガ出力制御2
0	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn1) の出力禁止
1	INTTAnCC0割り込みのA/Dトリガ信号 (TABTADTn1) の出力許可

TABnAT5 <sup>注</sup>	A/Dトリガ出力制御1
0	INTTBnCC0 (山割り込み) のA/Dトリガ信号 (TABTADTn1) の出力禁止
1	INTTBnCC0 (山割り込み) のA/Dトリガ信号 (TABTADTn1) の出力許可

TABnAT4 <sup>注</sup>	A/Dトリガ出力制御0
0	INTTBnOV (谷割り込み) のA/Dトリガ信号 (TABTADTn1) の出力禁止
1	INTTBnOV (谷割り込み) のA/Dトリガ信号 (TABTADTn1) の出力許可

注 TABnAT7-TABnAT4ビットの設定については, 第12章 A/Dコンバータ0, 1を参照してください。

(5) TABnI/O制御レジスタ3 (TABnIOC3)

タイマQnオプション機能の出力を制御する8ビットのレジスタです。

TOBnTm端子を出力するためには、TABnIOC0.TABnOEmビット = 1に設定してからTABnIOC3レジスタを設定してください。

TABnCTL0.TABnCEビット = 0のときのみ、TABnIOC3レジスタの書き換えが可能です。

TABnCTL0.TABnCEビット = 1のとき、TABnIOC3レジスタの各ビットの書き換えは禁止です。

TABnCTL0.TABnCEビット = 1のとき、TABnIOC3レジスタの各ビットの同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットによりA8Hになります。

**注意** 6相PWM出力モード以外のモードでタイマを使用する場合はTABnIOC3レジスタの値はリセット値 (A8H) に設定してください。

**備考** TOBnTm端子の出力レベルの設定は、TABnIOC0レジスタで行ってください。

リセット時：A8H    R/W    アドレス：TAB0IOC3 FFFFF602H, TAB1IOC3 FFFFF642H

	⑦	⑥	⑤	④	③	②	1	0
TABnIOC3	TABnOLB3	TABnOEB3	TABnOLB2	TABnOEB2	TABnOLB1	TABnOEB1	0	0

$\left( \begin{array}{l} n = 0, 1 \\ m = 1-3 \end{array} \right)$	TABnOLBm	TOBnBm端子出力レベルの設定
	0	TOBnBm端子出力反転禁止
	1	TOBnBm端子出力反転許可

TABnOEBm	TOBnBm端子出力の設定
0	TOBnBm端子出力禁止 ・ TABnOLBmビット = 0 のときTOBnBm端子からロウ・レベルを出力 ・ TABnOLBmビット = 1 のときTOBnBm端子からハイ・レベルを出力
1	TOBnBm端子出力許可

(a) TOBnTm, TOBnBm端子出力

TOBnTm端子出力は, TABnIOC0.TABnOLm, TABnOEmビットによって制御されます。TOBnBm端子出力は, TABnIOC3.TABnOLBm, TABnOEBmビットによって制御されます。

6相PWM出力モードにおける各設定でのタイマ出力を次に示します。

図10 - 3 TOBnTm, TOBnBm端子出力制御(デッド・タイムなし)

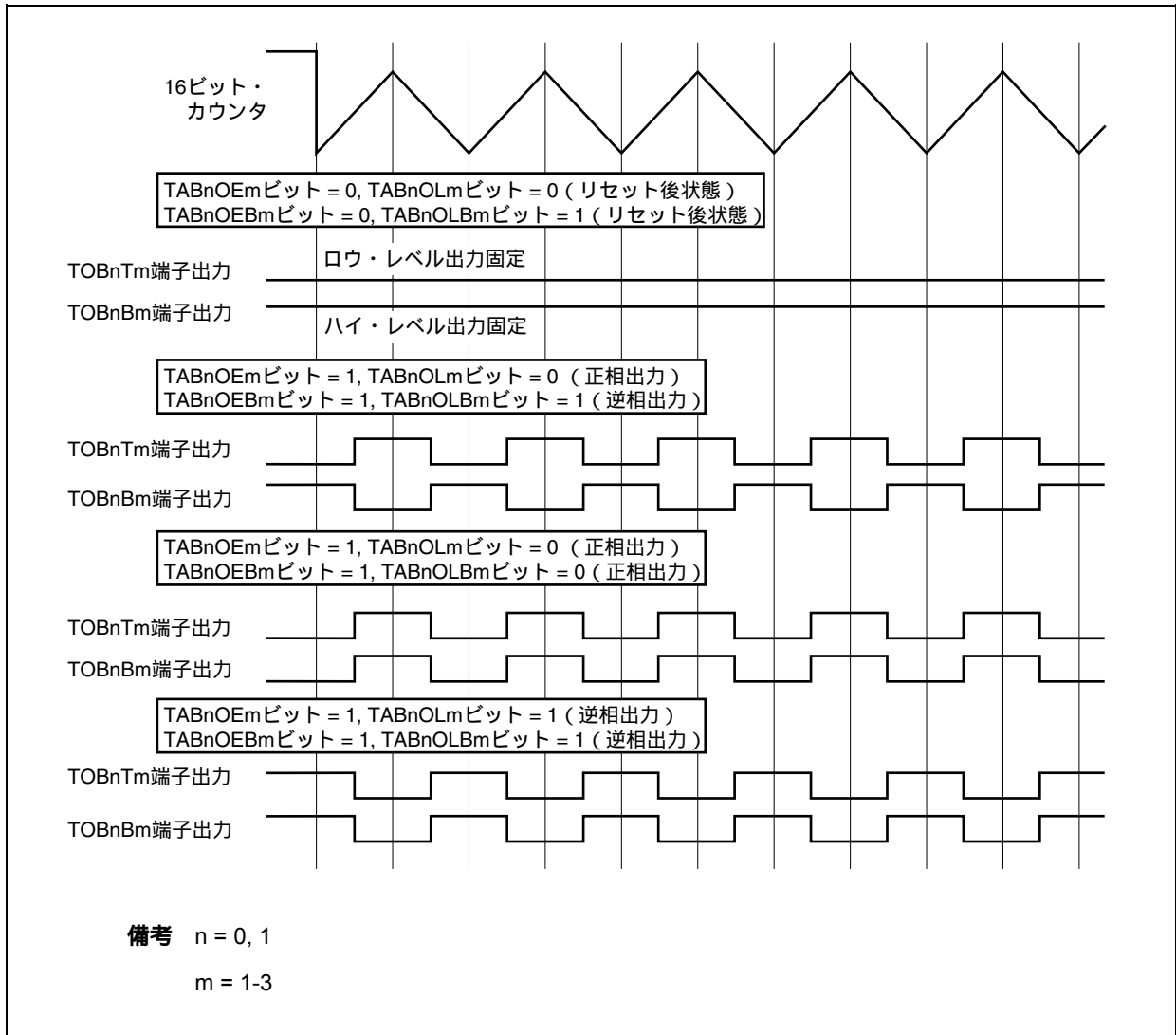


表10 - 1 TOBnTm端子出力

TABnOLmビット	TABnOEmビット	TABnCEビット	TOBnTm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOBnTm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOBnTm逆相出力

備考 n = 0, 1

m = 1-3

表10 - 2 TOBnBm端子出力

TABnOLBmビット	TABnOEBmビット	TABnCEビット	TOBnBm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOBnBm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOBnBm逆相出力

備考 n = 0, 1

m = 1-3

(6) ハイ・インピーダンス出力制御レジスタ00, 01, 10, 11, 20, 21, 30, 31 (HZAyCTL0, HZAyCTL1)

HZAyCTL0, HZAyCTL1レジスタは、出力バッファのハイ・インピーダンス制御をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただしHZAyDCFnビットは、リードのみ可能で、ライト動作を行っても書き込めません。

16ビット・アクセスは、できません。

リセットにより00Hになります。

HZAyCTLnレジスタは、常時ソフトウェアでの同値書き込みが可能です。

検出要因/制御レジスタの関係を次に示します。

ハイ・インピーダンス制御対象端子	ハイ・インピーダンス制御要因		制御レジスタ
	外部端子	A/D部 (コンパレータ)	
TOB0T1-TOB0T3出力時	TOB0OFF	-	HZA0CTL0
TOB0B1-TOB0B3出力時	-	ANI00/ANI05入力がロウ・レンジの基準電圧超過 (立ち上がりエッジ), または基準電圧未満 (立ち下がりエッジ)	HZA2CTL0
	-	ANI00/ANI05入力がフル・レンジの基準電圧超過 (立ち上がりエッジ), または基準電圧未満 (立ち下がりエッジ)	HZA2CTL1
TOA21出力時	TOA2OFF	-	HZA0CTL1
TOB1T1-TOB1T3出力時	TOB1OFF	-	HZA1CTL0
TOB1B1-TOB1B3出力時	-	ANI10-ANI12, ANI15-ANI17入力がロウ・レンジの基準電圧超過 (立ち上がりエッジ), または基準電圧未満 (立ち下がりエッジ)	HZA3CTL0
	-	ANI10-ANI12, ANI15-ANI17入力がフル・レンジの基準電圧超過 (立ち上がりエッジ), または基準電圧未満 (立ち下がりエッジ)	HZA3CTL1
TOA31 <sup>注</sup> 出力時	TOA3OFF <sup>注</sup>	-	HZA1CTL1 <sup>注</sup>

注 V850E/IG3のみ

注意 ハイ・インピーダンス制御が行なわれるのは、対象ポートを表中の対象端子に設定した場合にかぎります。

リセット時 : 00H R/W アドレス : HZA0CTL0 FFFF610H, HZA0CTL1 FFFF611H,  
 HZA1CTL0 FFFF618H, HZA1CTL1 FFFF619H<sup>注1</sup>,  
 HZA2CTL0 FFFF650H, HZA2CTL1 FFFF651H,  
 HZA3CTL0 FFFF658H, HZA3CTL1 FFFF659H

	⑦	⑥	5	4	③	②	1	①
HZAyCTLn	HZAyDCEn	HZAyDCMn	HZAyDCNn	HZAyDCPn	HZAyDCTn	HZAyDCCn	0	HZAyDCFn
V850E/IF3 n = 0, 1 y = 0, 2, 3 y = 1 のとき n = 0	HZAyDCEn	ハイ・インピーダンス出力の制御						
	0	ハイ・インピーダンス出力制御動作禁止。対象端子出力可能						
	1	ハイ・インピーダンス出力制御動作許可						
V850E/IG3 n = 0, 1 y = 0-3	HZAyDCMn	HZAyDCCnビットによるハイ・インピーダンス解除の条件						
	0	外部端子 <sup>注2</sup> 入力に関係なく, HZAyDCCnビットの設定が有効						
	1	外部端子 <sup>注2</sup> 入力が異常検出したレベル(アクティブ・レベル)を保持している期間はHZAyDCCnビットの設定が無効。						
	HZAyDCMnビットを書き換える場合はHZAyDCEnビット = 0のとき行ってください。							

注1. V850E/IG3のみ

2. ・V850E/IF3

HZA0CTL0 : TOB0OFF端子, HZA0CTL1 : TOA2OFF端子,  
 HZA1CTL0 : TOB1OFF端子,  
 HZA2CTL0 : ANI00/ANI05端子, HZA2CTL1 : ANI00/ANI05端子,  
 HZA3CTL0 : ANI10-ANI12, ANI15-ANI17端子,  
 HZA3CTL1 : ANI10-ANI12, ANI15-ANI17端子

・V850E/IG3

HZA0CTL0 : TOB0OFF端子, HZA0CTL1 : TOA2OFF端子,  
 HZA1CTL0 : TOB1OFF端子, HZA1CTL1 : TOA3OFF端子,  
 HZA2CTL0 : ANI00/ANI05端子, HZA2CTL1 : ANI00/ANI05端子,  
 HZA3CTL0 : ANI10-ANI12, ANI15-ANI17端子,  
 HZA3CTL1 : ANI10-ANI12, ANI15-ANI17端子

HZAyDCNn	HZAyDCPn	外部端子 <sup>注1</sup> の入力エッジ指定
0	0	有効エッジなし (外部端子 <sup>注1</sup> 入力によるHZAyDCFnビットのセット禁止)
0	1	外部端子 <sup>注1</sup> の入力の立ち上がりエッジを有効 (立ち上がりエッジ入力で異常検出) <sup>注2</sup>
1	0	外部端子 <sup>注1</sup> の入力の立ち下がりエッジを有効 (立ち下がりエッジ入力で異常検出) <sup>注2</sup>
1	1	設定禁止

- ・ HZAyDCNn, HZAyDCPnビットを書き換える場合はHZAyDCEnビット = 0のとき行ってください。
- ・ INTP00, INTP02, INTP08, INTP10端子のエッジ指定については,  
20. 4. 2 (1) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ0 (INTR0, INTF0), (2) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ1 (INTR1, INTF1) を参照してください。
- ・ 外部端子のエッジ指定は, まずTOB0OFF, TOB1OFF, TOA2OFF, TOA3OFF<sup>注3</sup>端子から行ってください。その後, TOB0OFF, TOB1OFF, TOA2OFF, TOA3OFF<sup>注3</sup>端子以外の外部端子のエッジ指定を行ってください。  
それ以外の場合には, TOB0OFF, TOB1OFF, TOA2OFF, TOA3OFF<sup>注3</sup>端子のエッジ指定時に不定なエッジを検出することがあります。
- ・ ハイ・インピーダンス出力制御は動作許可 (HZAyDCEnビット = 1) 後に有効エッジが入力された場合に行われます。したがって, 動作許可する時点で外部端子<sup>注1</sup>がアクティブ・レベルである場合は, ハイ・インピーダンス出力制御は行われません。

注1. ・ V850E/IF3

HZA0CTL0 : TOB0OFF端子, HZA0CTL1 : TOA2OFF端子,  
HZA1CTL0 : TOB1OFF端子,  
HZA2CTL0 : ANI00/ANI05端子, HZA2CTL1 : ANI00/ANI05端子,  
HZA3CTL0 : ANI10-ANI12, ANI15-ANI17端子,  
HZA3CTL1 : ANI10-ANI12, ANI15-ANI17端子

・ V850E/IG3

HZA0CTL0 : TOB0OFF端子, HZA0CTL1 : TOA2OFF端子,  
HZA1CTL0 : TOB1OFF端子, HZA1CTL1 : TOA3OFF端子,  
HZA2CTL0 : ANI00/ANI05端子, HZA2CTL1 : ANI00/ANI05端子,  
HZA3CTL0 : ANI10-ANI12, ANI15-ANI17端子,  
HZA3CTL1 : ANI10-ANI12, ANI15-ANI17端子

2. コンパレータの基準電圧超過を検出する場合は立ち上がりエッジ入力を, 基準電圧未満を検出する場合は立ち下がりエッジ入力を設定してください。
3. V850E/IG3のみ

HZAyDCTn	ハイ・インピーダンス出力トリガ・ビット
0	非動作
1	ソフトウェアで対象端子をハイ・インピーダンスにして、HZAyDCFnビットがセット(1)されます。

・外部端子<sup>注</sup>に異常を示すエッジが入力(HZAyDCNn, HZAyDCPnビットの設定により検出)された場合、HZAyDCTnビットに1を設定しても無効です。  
 ・HZAyDCTnビットはソフトウェア・トリガ・ビットなのでリードすると必ず0が読み出されます。  
 ・HZAyDCEnビット = 0のとき、HZAyDCTnビットに1を設定しても無効です。  
 ・HZAyDCTnビットとHZAyDCCnビットを同時に1に設定することは禁止です。

HZAyDCCn	ハイ・インピーダンス出力制御クリア・ビット
0	非動作
1	ハイ・インピーダンス状態の対象端子をソフトウェアで出力許可状態にして、HZAyDCFnビットがクリア(0)されます。

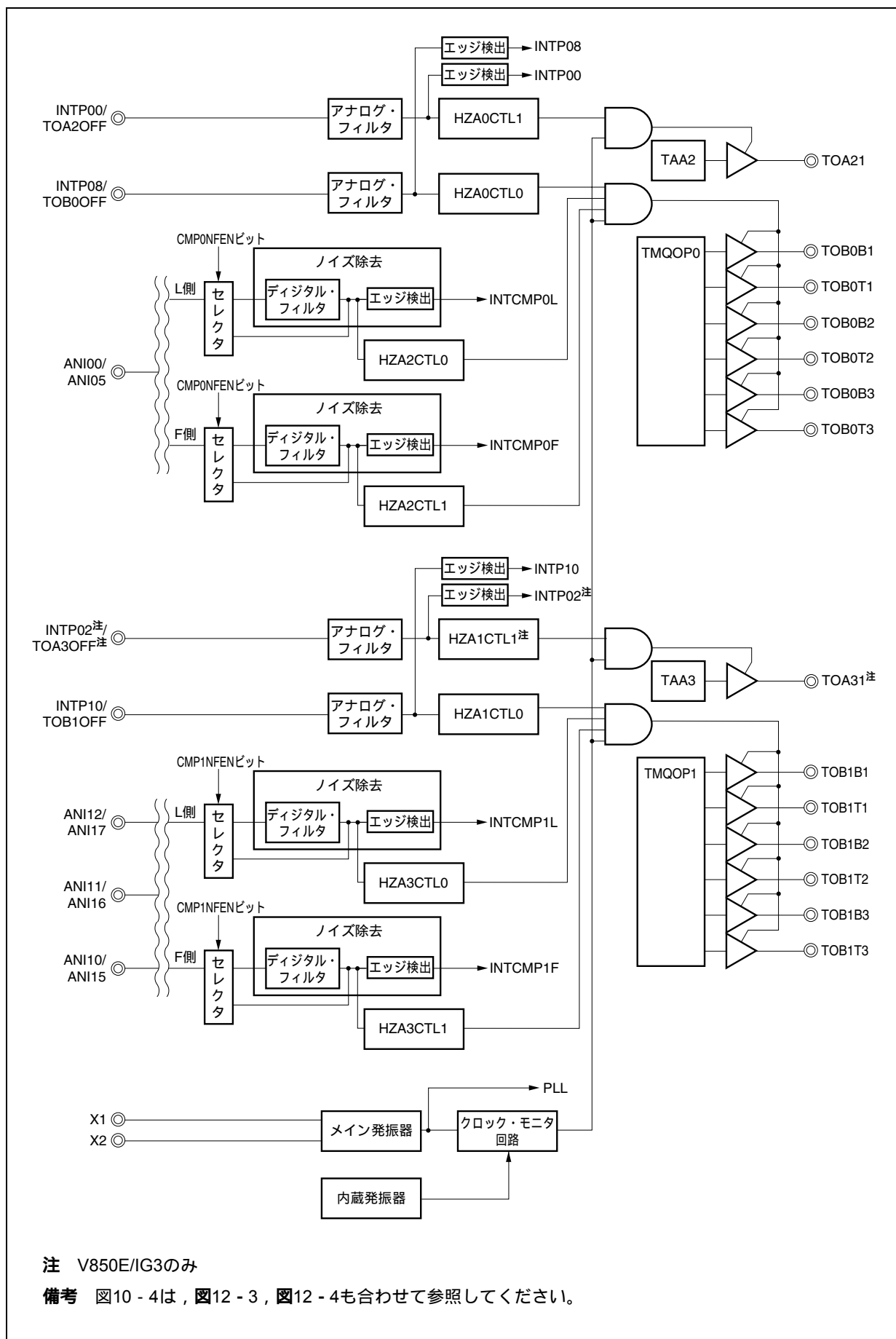
・HZAyDCMビット = 0のとき、外部端子<sup>注</sup>の状態にかかわらず対象端子の出力が可能です。  
 ・HZAyDCMビット = 1のとき、外部端子<sup>注</sup>に異常を示すエッジが入力(HZAyDCNn, HZAyDCPnビットの設定により検出)された場合、HZAyDCCnビットに1を設定しても無効です。  
 ・HZAyDCCnビットはリードすると必ず0が読み出されます。  
 ・HZAyDCEnビット = 0のとき、HZAyDCCnビットに1を設定しても無効です。  
 ・HZAyDCTnビットとHZAyDCCnビットを同時に1に設定することは禁止です。

HZAyDCFn	ハイ・インピーダンス出力状態フラグ
0	対象端子の出力が可能状態であることを示します。 ・HZAyDCEnビット = 0によりクリア(0)されます。 ・HZAyDCCnビット = 1によりクリア(0)されます。
1	対象端子の出力がハイ・インピーダンス状態であることを示します。 ・HZAyDCTnビット = 1によりセット(1)されます。 ・外部端子 <sup>注</sup> に異常を示すエッジが入力(HZAyDCNn, HZAyDCPnビットの設定により検出)された場合、セット(1)されます。

- 注**
- ・V850E/IF3  
 HZA0CTL0 : TOB0OFF端子,      HZA0CTL1 : TOA2OFF端子,  
 HZA1CTL0 : TOB1OFF端子,  
 HZA2CTL0 : ANI00/ANI05端子,      HZA2CTL1 : ANI00/ANI05端子,  
 HZA3CTL0 : ANI10-ANI12, ANI15-ANI17端子,  
 HZA3CTL1 : ANI10-ANI12, ANI15-ANI17端子
  - ・V850E/IG3  
 HZA0CTL0 : TOB0OFF端子,      HZA0CTL1 : TOA2OFF端子,  
 HZA1CTL0 : TOB1OFF端子,      HZA1CTL1 : TOA3OFF端子,  
 HZA2CTL0 : ANI00/ANI05端子,      HZA2CTL1 : ANI00/ANI05端子,  
 HZA3CTL0 : ANI10-ANI12, ANI15-ANI17端子,  
 HZA3CTL1 : ANI10-ANI12, ANI15-ANI17端子



図10 - 4 ハイ・インピーダンス出力制御回路構成



## (a) 設定手順

## (i) ハイ・インピーダンス制御動作を設定する方法

- <1> HZAyDCMn, HZAyDCNn, HZAyDCPnビットの設定
- <2> HZAyDCEnビット = 1 (ハイ・インピーダンス制御の許可)

## (ii) ハイ・インピーダンス制御許可設定後に変更する方法

- <1> HZAyDCEnビット = 0 (ハイ・インピーダンス制御動作の停止)。
- <2> HZAyDCMn, HZAyDCNn, HZAyDCPnビットの変更設定。
- <3> HZAyDCEnビット = 1 (ハイ・インピーダンス制御の再許可)。

## (iii) 端子がハイ・インピーダンス状態のとき、出力を再開する方法

HZAyDCMnビット = 1の場合、外部端子<sup>※</sup>の有効エッジ検出後、ハイ・インピーダンス状態の解除のためHZAyDCCnビットに1をセットしますが、外部端子<sup>※</sup>の入力レベルがインアクティブ状態のときにセットしなければハイ・インピーダンス状態の解除はできません。

- <1> HZAyDCCnビット = 1 (ハイ・インピーダンス状態の解除命令信号)。
- <2> HZAyDCFnビットをリードし、フラグの状態を確認。
- <3> HZAyDCFnビット = 1ならば<1>の操作に戻る。外部端子<sup>※</sup>の入力レベルの確認が必要。  
HZAyDCFnビット = 0ならば端子出力可能。

## (iv) ソフトウェアにより端子をハイ・インピーダンスにする方法

ソフトウェアによりHZAyDCTnビット = 1を設定し、端子をハイ・インピーダンスにするには、外部端子<sup>※</sup>の入力レベルがインアクティブ状態のときにセットしなければなりません。次の手順は、HZAyDCMnビットの設定に依存しない例です。

- <1> HZAyDCTnビット = 1 (ハイ・インピーダンス出力命令)。
- <2> HZAyDCFnビットをリードし、フラグの状態を確認。
- <3> HZAyDCFnビット = 0ならば<1>の操作に戻る。外部端子<sup>※</sup>の入力レベルの確認が必要。  
HZAyDCFnビット = 1ならばハイ・インピーダンス状態。

ただし、HZAyDCPnビット = 0, HZAyDCNnビット = 0に設定し、外部端子<sup>※</sup>入力を使用しない場合は、HZAyDCTnビットに1をセットすることでハイ・インピーダンス状態になります。

## 注 ・V850E/IF3

HZA0CTL0 : TOB0OFF端子,	HZA0CTL1 : TOA2OFF端子,
HZA1CTL0 : TOB1OFF端子,	
HZA2CTL0 : ANI00/ANI05端子,	HZA2CTL1 : ANI00/ANI05端子,
HZA3CTL0 : ANI10-ANI12, ANI15-ANI17端子,	HZA3CTL1 : ANI10-ANI12, ANI15-ANI17端子

## ・V850E/IG3

HZA0CTL0 : TOB0OFF端子,	HZA0CTL1 : TOA2OFF端子,
HZA1CTL0 : TOB1OFF端子,	HZA1CTL1 : TOA3OFF端子,
HZA2CTL0 : ANI00/ANI05端子,	HZA2CTL1 : ANI00/ANI05端子,
HZA3CTL0 : ANI10-ANI12, ANI15-ANI17端子,	HZA3CTL1 : ANI10-ANI12, ANI15-ANI17端子

## 10.4 動作

### 10.4.1 システム概要説明

#### (1) 6相PWM出力概要

6相PWM出力モードは、6相PWM出力波形を生成するためにTABnとTMQnオプションを組み合わせで使用します。

6相PWM出力モードはTABnのTABnCTL1.TABnMD2-TABnMD0ビットを“111”に設定することにより有効となります。

基本3相波生成用にTABnの1本の16ビット・カウンタと4本の16ビット・コンペア・レジスタを使用します。

コンペア・レジスタの機能は次のとおりです。

また、A/Dコンバータ0,1の変換開始トリガ・ソース用に、TAA<sub>n</sub>はTABnと同調動作を行うことができます。

**備考** n = 0, 1

コンペア・レジスタ	機能	設定可能範囲
TABnCCR0レジスタ	周期の設定	0002H m FFFE <sub>H</sub>
TABnCCR1レジスタ	U相の出力幅の指定	0000H i m + 1
TABnCCR2レジスタ	V相の出力幅の指定	0000H j m + 1
TABnCCR3レジスタ	W相の出力幅の指定	0000H k m + 1

**備考** m = TABnCCR0レジスタの設定値

i = TABnCCR1レジスタの設定値

j = TABnCCR2レジスタの設定値

k = TABnCCR3レジスタの設定値

生成された基本3相波を3本の10ビット・デッド・タイム・カウンタと1本のコンペア・レジスタでデッド・タイム間隔生成を行って、基本3相波の逆相波を作り、6相PWM出力波形 (U,  $\bar{U}$ , V,  $\bar{V}$ , W,  $\bar{W}$ ) を生成します。

基本3相波生成用の16ビット・カウンタは、アップ/ダウン・カウント動作を行います。動作開始後はアップ・カウント動作を行い、TABnCCR0レジスタに設定された周期値と一致するとダウン・カウント動作に切り替わります。次に0001Hとの一致が起これると再びアップ・カウント動作に切り替わります。つまりTABnCCR0レジスタに設定した値 + 1の2倍の値がキャリア周期となります。

デッド・タイム間隔生成用の10ビットのデッド・タイム・カウンタ1-3は、アップ・カウント動作を行うので、TABnデッド・タイム・コンペア・レジスタ (TABnDTC) に設定した値がデッド・タイム値そのものになります。また、カウンタは3本ありデッド・タイム生成をU相、V相、W相に対し独立に行うことができますが、デッド・タイム値の指定レジスタ (TABnDTC) は1本であるため、3相とも同じデッド・タイム値となります。

図10 - 5 6相PWM出力モードの概要

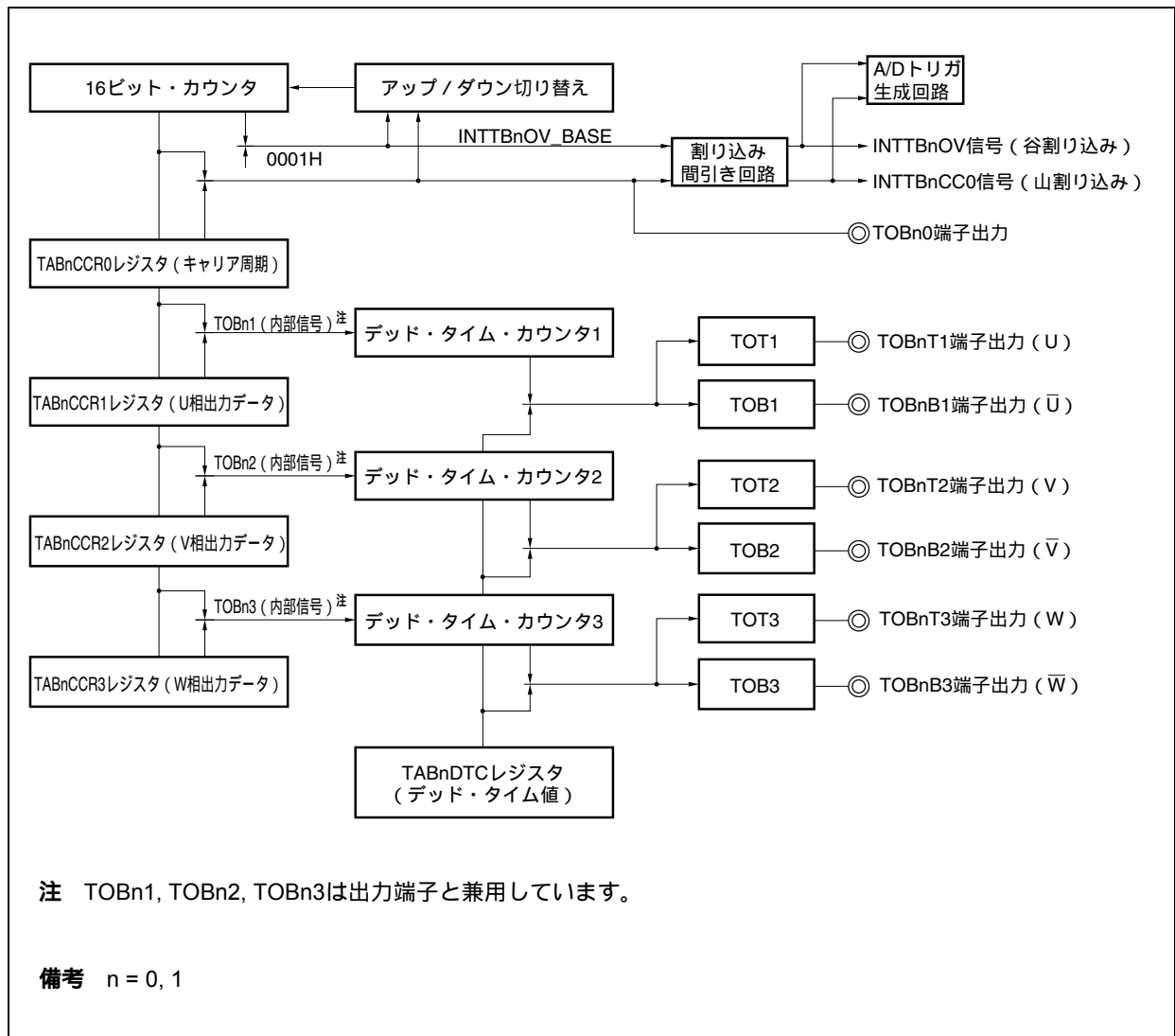
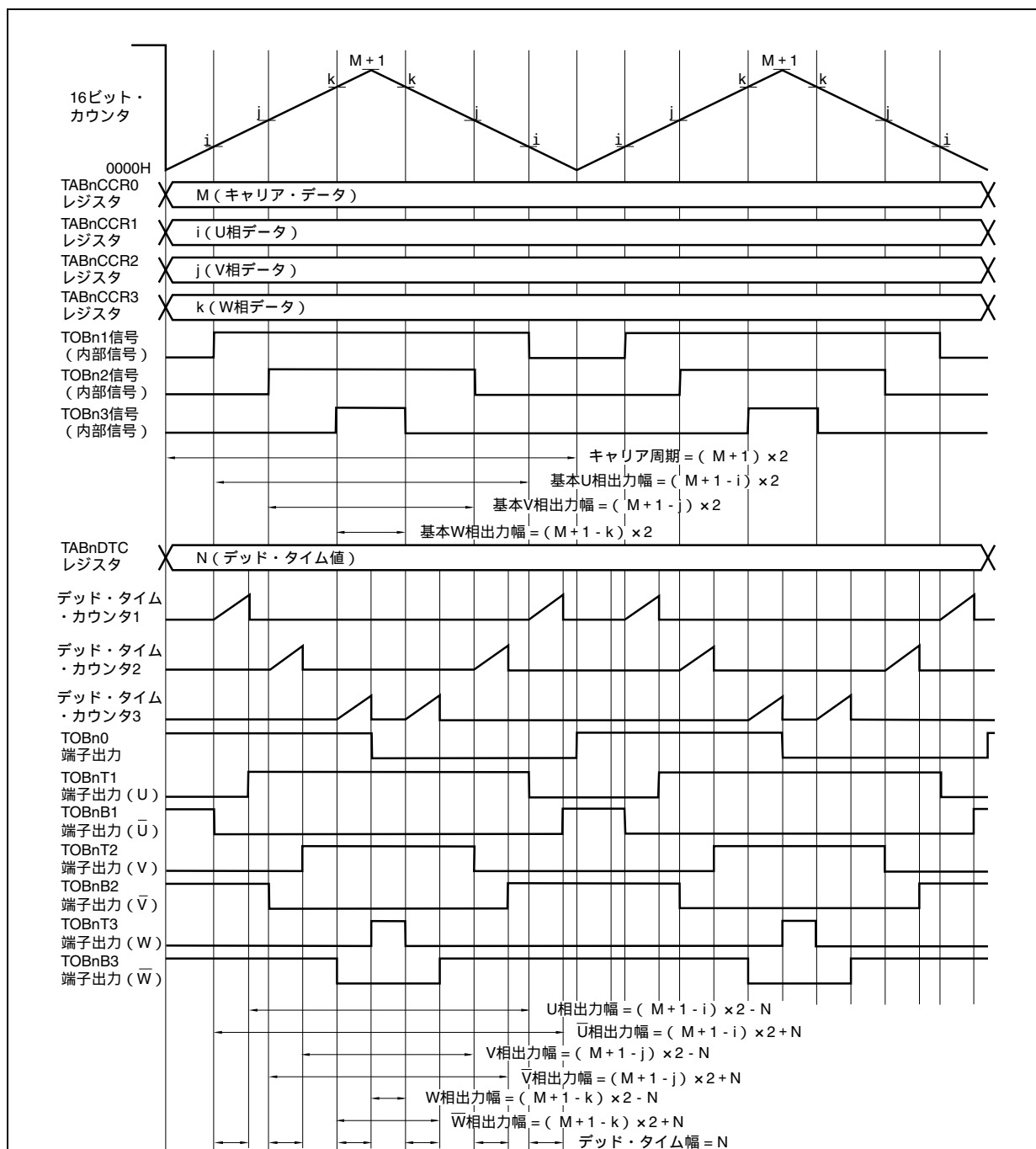


図10 - 6 6相PWM出力モードのタイミング図



注意1. 6相PWM出力モード時のTABnCCR0レジスタの設定値“M”は、(0002H M FFEH)の範囲で設定してください。

2. TABnCCR1, TABnCCR2, TABnCCR3レジスタには、“M+1”の値までを設定してください。
3. TABnCCR1, TABnCCR2, TABnCCR3レジスタに、“0000H”を設定した場合100%出力となります。TABnCCR1, TABnCCR2, TABnCCR3レジスタに、“M+1”を設定した場合0%出力となります。TABnCCR1, TABnCCR2, TABnCCR3レジスタに、“M+2”以上を設定した場合は16ビット・カウンタの山(M+1)で立ち上がり、谷(0000H)で立ち下がる出力(デューティ50%)となります。
4. U, V, W相の正相側の出力幅の算出式( $(M+1-i) \times 2 - N$ など)の演算値が0以下になった場合は、0(0%出力)に収束されます。また、演算値の範囲が“(M+1) × 2 - N ~ (M+1) × 2”になった場合は、(M+1) × 2(100%出力)に収束されます。

備考 n = 0, 1

(2) 割り込み要求

割り込み要求は、INTTBnCC0 (山割り込み) とINTTBnOV (谷割り込み) の2種類あります。  
 INTTBnCC0, INTTBnOVは、TABnOPT1レジスタで割り込み要求を間引くことができます。  
 割り込み間引きに関する詳細は、10.4.3 **割り込み間引き機能**を参照してください。

- ・ INTTBnCC0 (山割り込み) : アップ・カウント時の16ビット・カウンタの値とTABnCCR0レジスタの値との一致割り込み
- ・ INTTBnOV (谷割り込み) : ダウン・カウント時の16ビット・カウンタの値と0001Hの一致割り込み

(3) タイマ動作中のレジスタの書き換えについて

次のレジスタには、バッファ・レジスタがあり、随時書き換え、一斉書き換え、間欠一斉書き換えのいずれかの方法で書き換えができます。

関係ユニット	レジスタ
タイマAAn	TAAncapチャ/コンペア・レジスタ0 (TAAncCR0) TAAncapチャ/コンペア・レジスタ1 (TAAncCR1)
タイマABn	TABncapチャ/コンペア・レジスタ0 (TABncCR0) TABncapチャ/コンペア・レジスタ1 (TABncCR1) TABncapチャ/コンペア・レジスタ2 (TABncCR2) TABncapチャ/コンペア・レジスタ3 (TABncCR3)
タイマQnオプション	TABnOPT1・レジスタ1 (TABnOPT1)

備考 n = 0, 1

コンペア・レジスタの転送機能に関する詳細は、10.4.4 **転送機能付きレジスタの書き換え操作**を参照してください。

(4) 16ビット・カウンタのアップ/ダウン・カウント動作

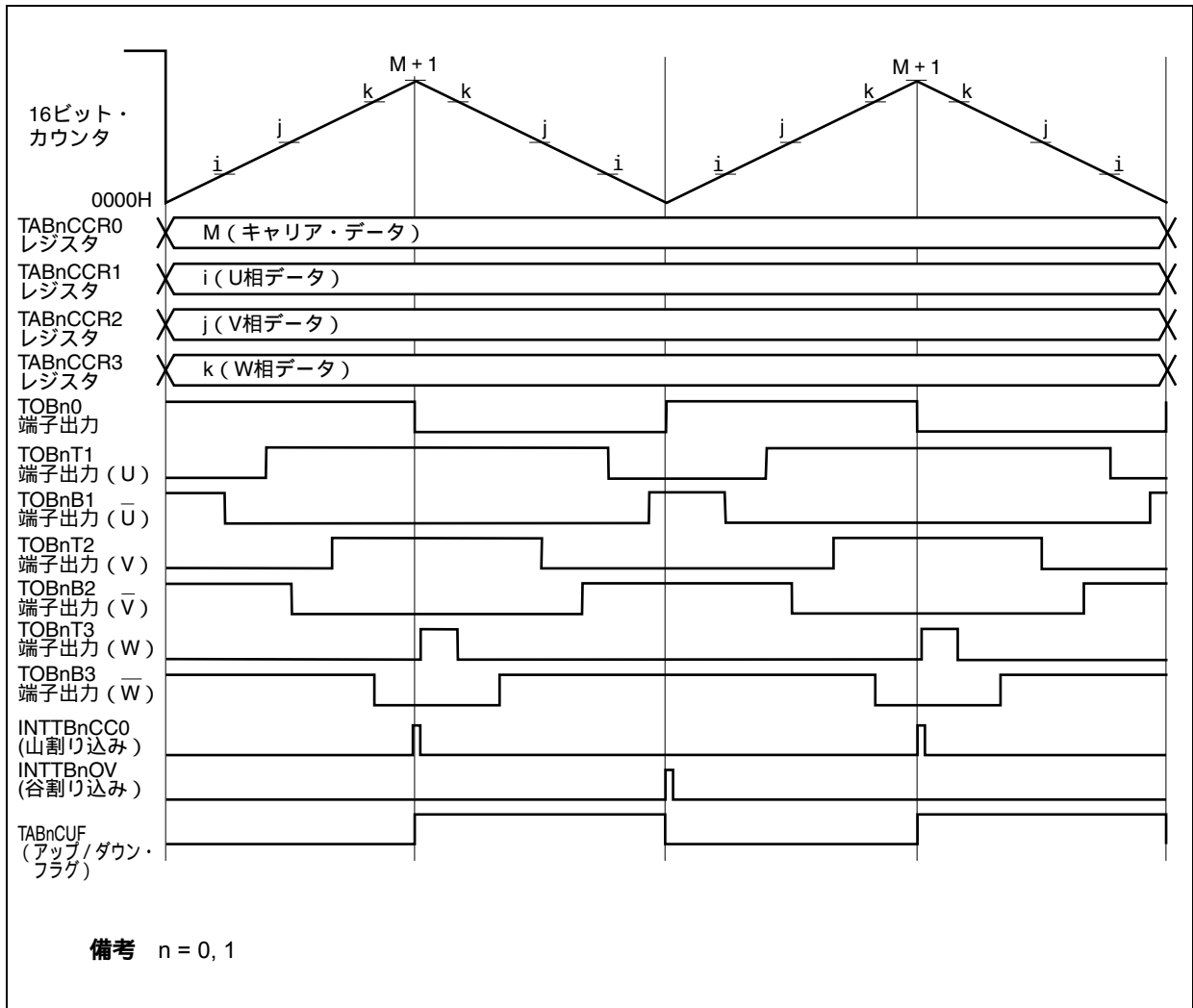
16ビット・カウンタの動作状態は、TABnOPT1・レジスタ0 (TABnOPT0) のTABnCUFビットにより確認できます。

TABnCUFビットの状態	16ビット・カウンタの状態	16ビット・カウンタの値の範囲
TABnCUFビット = 0	アップ・カウント	0000H - m
TABnCUFビット = 1	ダウン・カウント	(m + 1) - 0001H

備考1. m = TABnCCR0レジスタの設定値

2. n = 0, 1

図10-7 割り込みとアップ/ダウン・フラグ



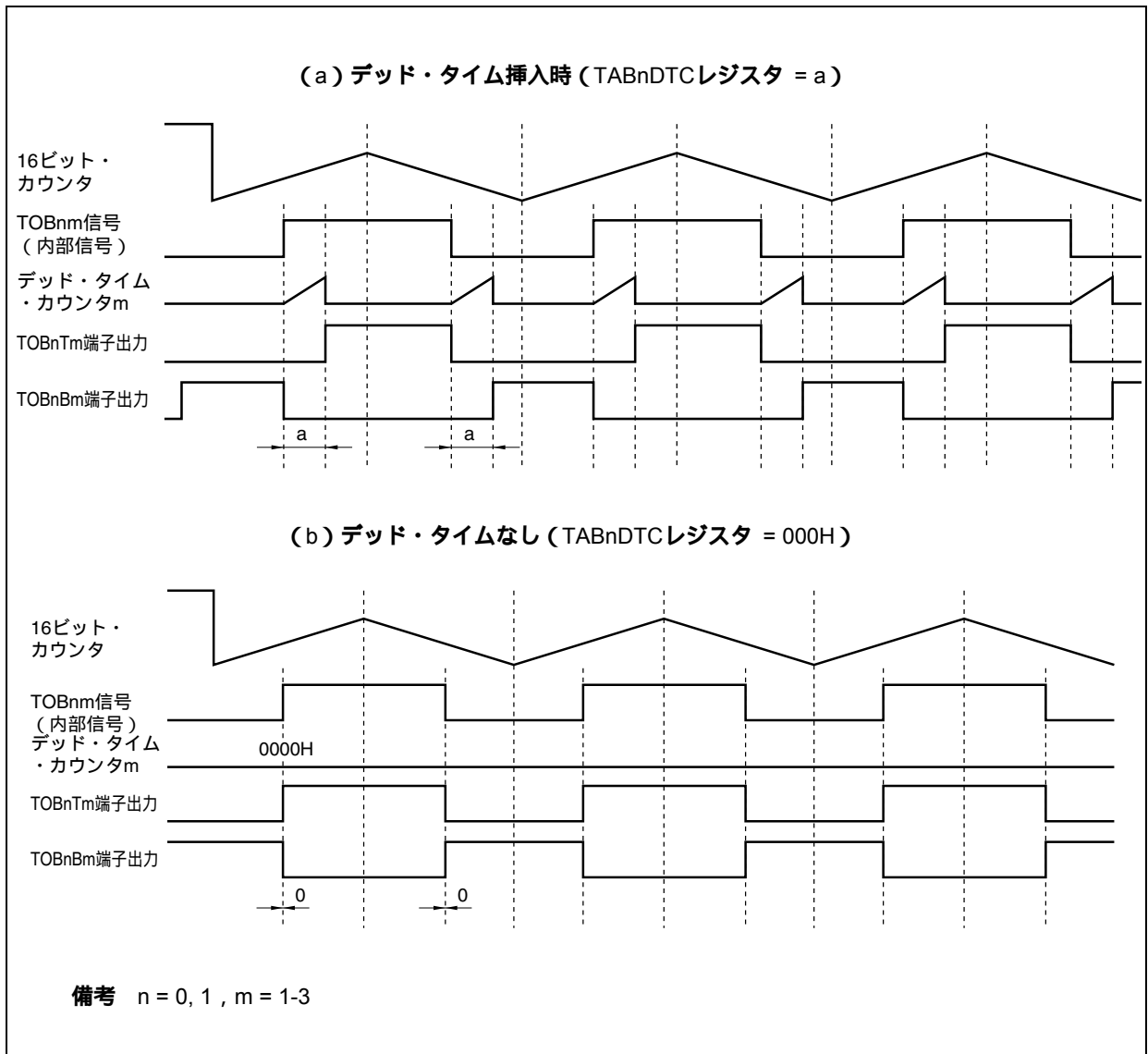
### 10.4.2 デッド・タイム制御 (逆相波信号の生成)

#### (1) デッド・タイム制御機構

6相PWM出力モードではデューティ用の設定レジスタはコンペア・レジスタ1-3 (TABnCCR1, TABnCCR2, TABnCCR3)とし、周期用の設定レジスタはコンペア・レジスタ0 (TABnCCR0)となります。この4種類のレジスタを設定し、TABを動作させることでデューティ可変型の3種類のPWM出力波形 (基本3相波) を生成します。この3種類のPWM出力波形をタイマQnオプション・ユニット (TMQOPn) で受け、デッド・タイムを付加した反転信号を作成することで、3組6本のPWM波形を生成します。

TMQOPnユニットは、TABnのカウンタ・クロックに同期して動作する3本の10ビット・カウンタ (デッド・タイム・カウンタ1-3) とデッド・タイムの時間を指定するTABnデッド・タイム・コンペア・レジスタ (TABnDTC) で構成されます。TABnDTCレジスタに "a" を設定するとデッド・タイム値は "a" となり、正相波と逆相波の間に "a" の間隔が作られます。

図10 - 8 デッド・タイム付加後のPWM出力波形 (1)





(2) 0 % / 100 %のPWM出力

V850E/IF3, V850E/IG3は、PWM出力の0 %波形出力、および100 %波形出力が可能です。

0 %波形出力は、TOBnTm端子からロウ・レベルを出力し続けます。100 %波形はTOBnTm端子からハイ・レベルを出力し続けます。

0 %波形は、TABnCCR0レジスタ = Mの場合、TABnCCRmを“ M + 1 ”に設定することにより出力されます。

100 %波形は、TABnCCRmレジスタを“ 0000H ”に設定することにより出力されます。

なお、タイマ動作中にTABnCCRmレジスタの書き換えは許可されており、山割り込み (INTTBnCC0) および谷割り込み (INTTBnOV) のポイントで0 %波形出力 / 100 %波形出力に切り替えられます。

備考 n = 0, 1, m = 1-3

図10 - 9 0 %PWM出力波形図 (デッド・タイムあり)

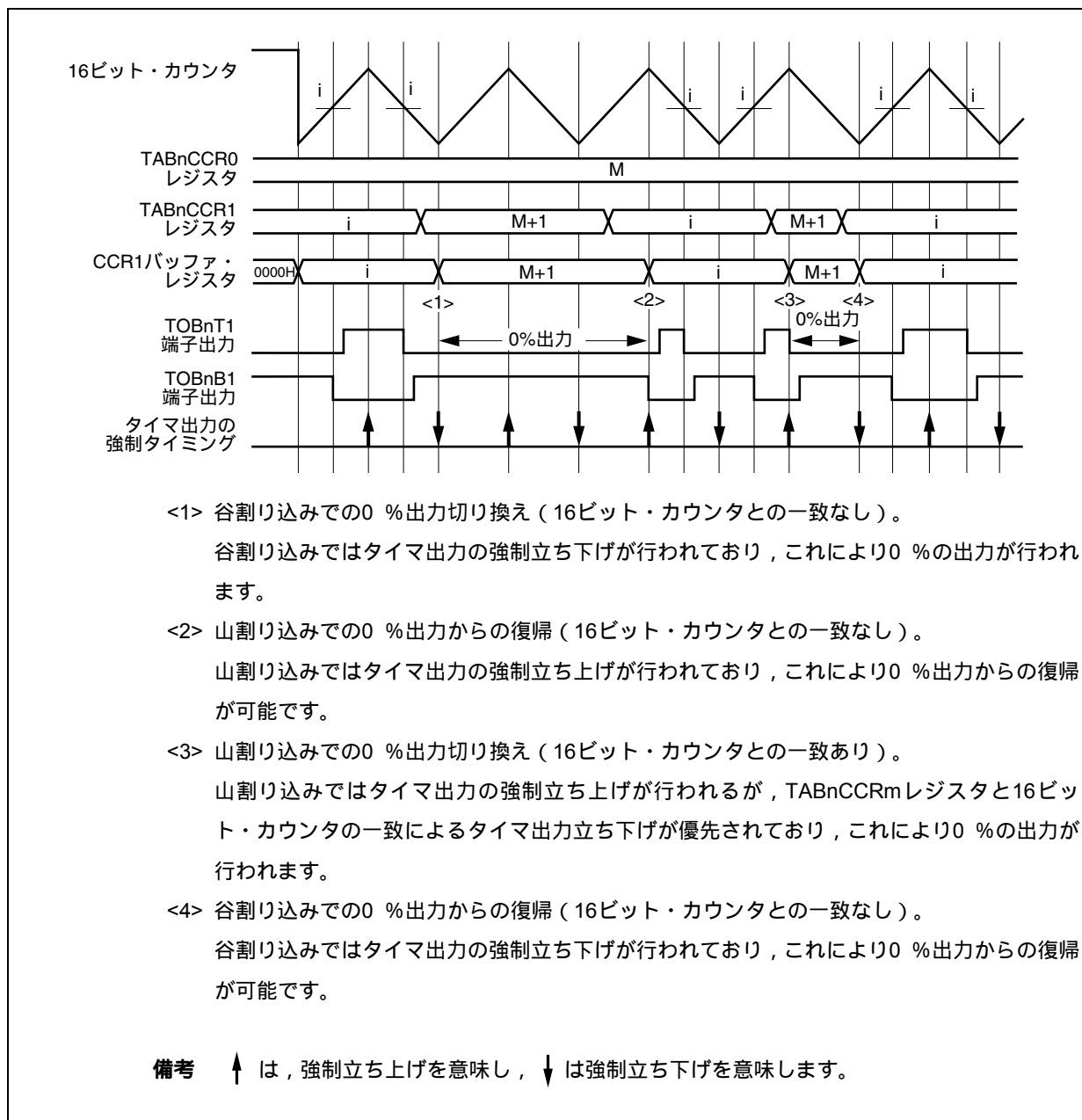


図10 - 10 100 %PWM出力波形図 (デッド・タイムあり)

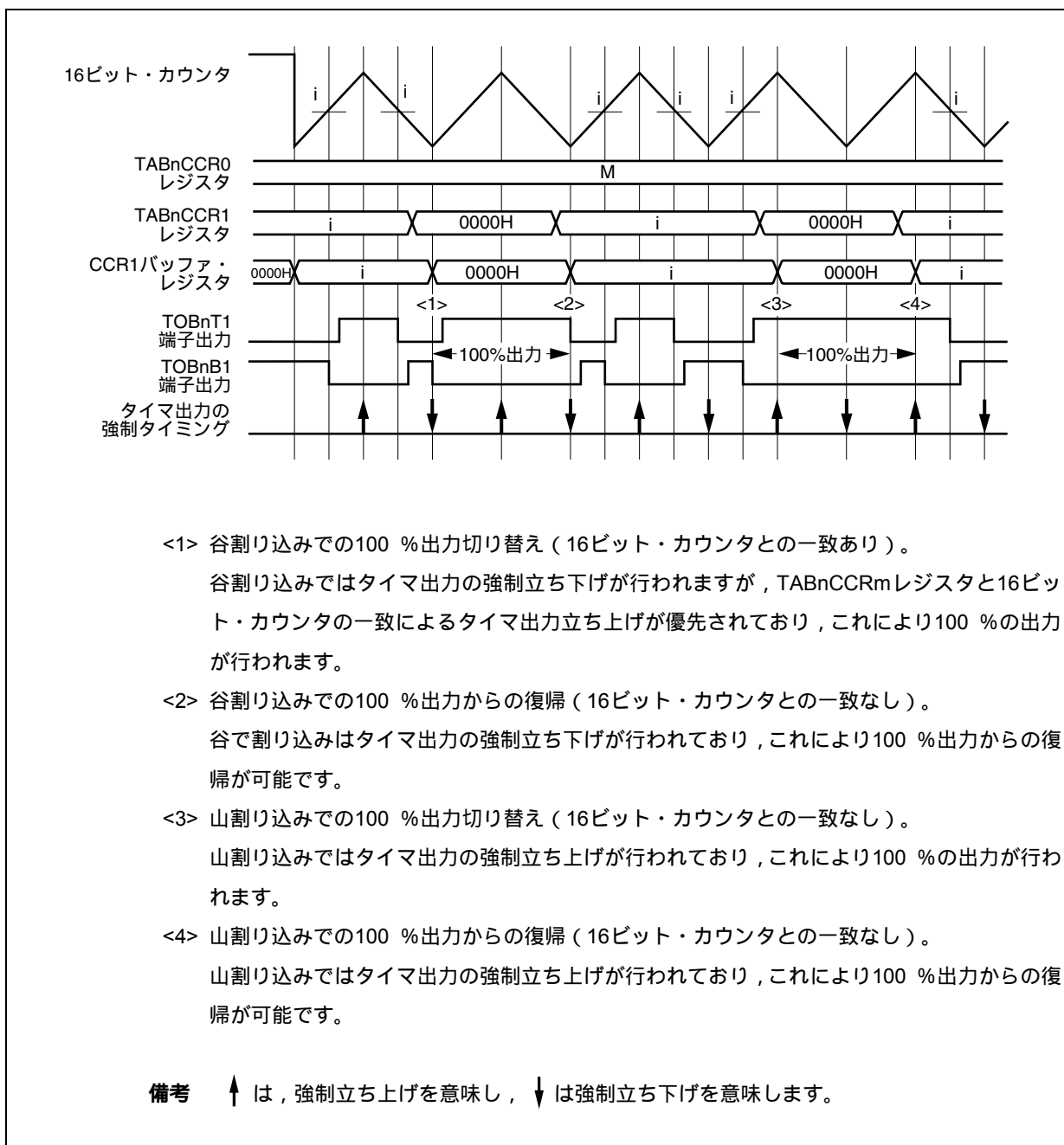
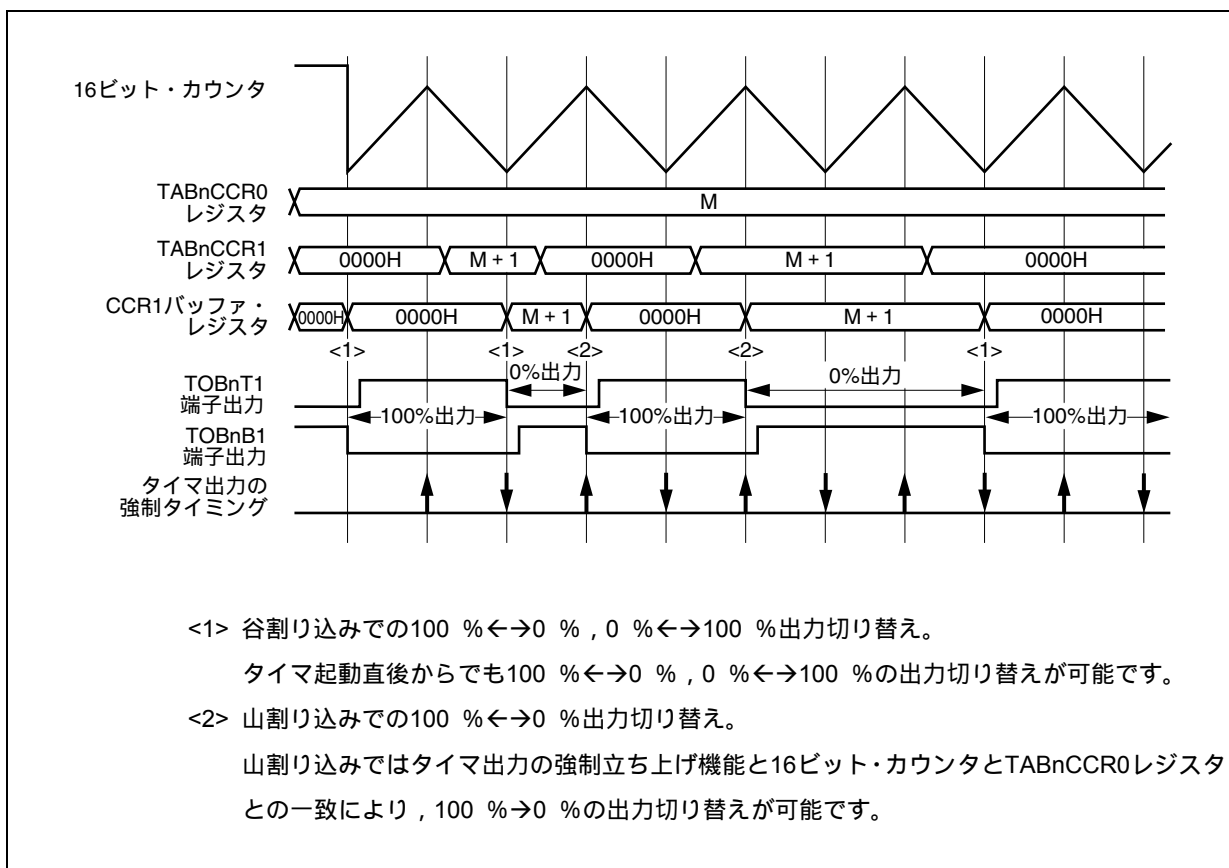


図10-11 0%から100% , 100%から0%のPWM出力波形図(デッド・タイムあり)



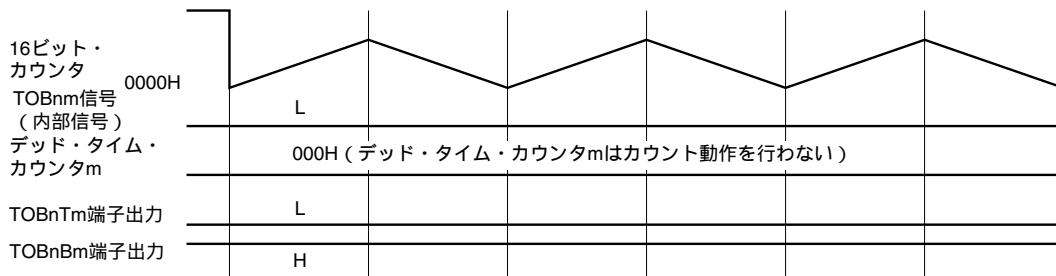
(3) 0% , 100%出力近傍の出力波形

デッド・タイム・カウント中にコンペア・レジスタと16ビット・カウンタとの一致割り込みが発生した場合 , デッド・タイム・カウンタはクリアされ , 再びカウント動作をします。

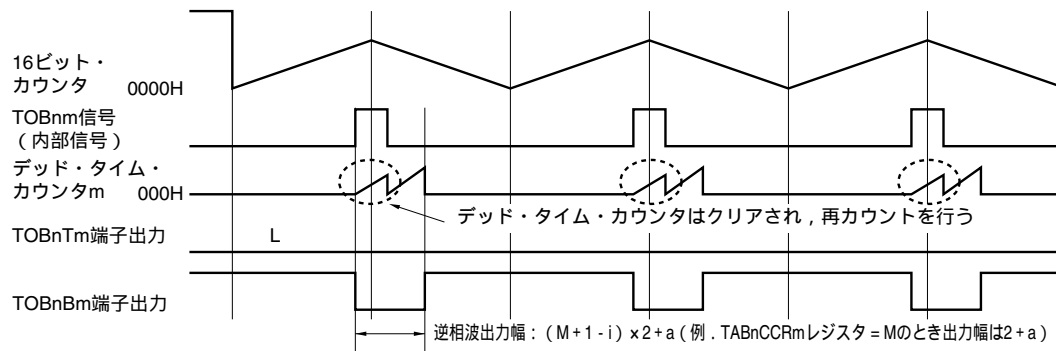
0% , 100%出力の近傍でのデッド・タイム制御の出力波形を次に示します。

図10 - 12 デッド・タイム付加後のPWM出力波形 (2)

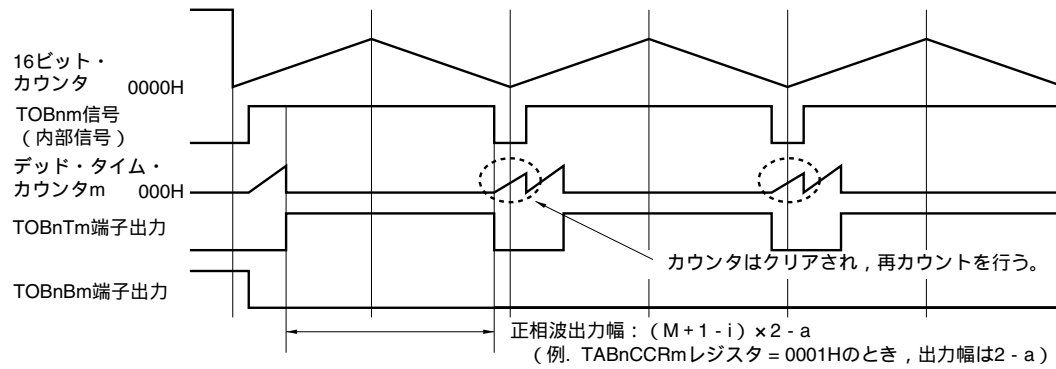
(a) 0 %出力 (TABnCCRmレジスタ = M + 1, TABnCCR0レジスタ = M, TABnDTCレジスタ = a)



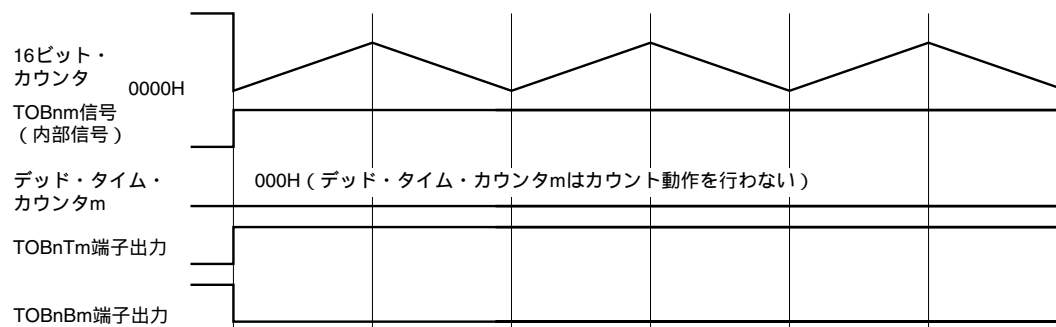
(b) 0 %出力近傍 (TABnCCRmレジスタ = i M + 1 - a/2, TABnCCR0レジスタ = M, TABnDTCレジスタ = a)



(c) 100 %出力近傍 (TABnCCRmレジスタ = i a/2, TABnCCR0レジスタ = M, TABnDTCレジスタ = a)



(d) 100 %出力 (TABnCCRmレジスタ = 0000H, TABnCCR0レジスタ = M, TABnDTCレジスタ = a)



備考 n = 0, 1  
m = 1-3

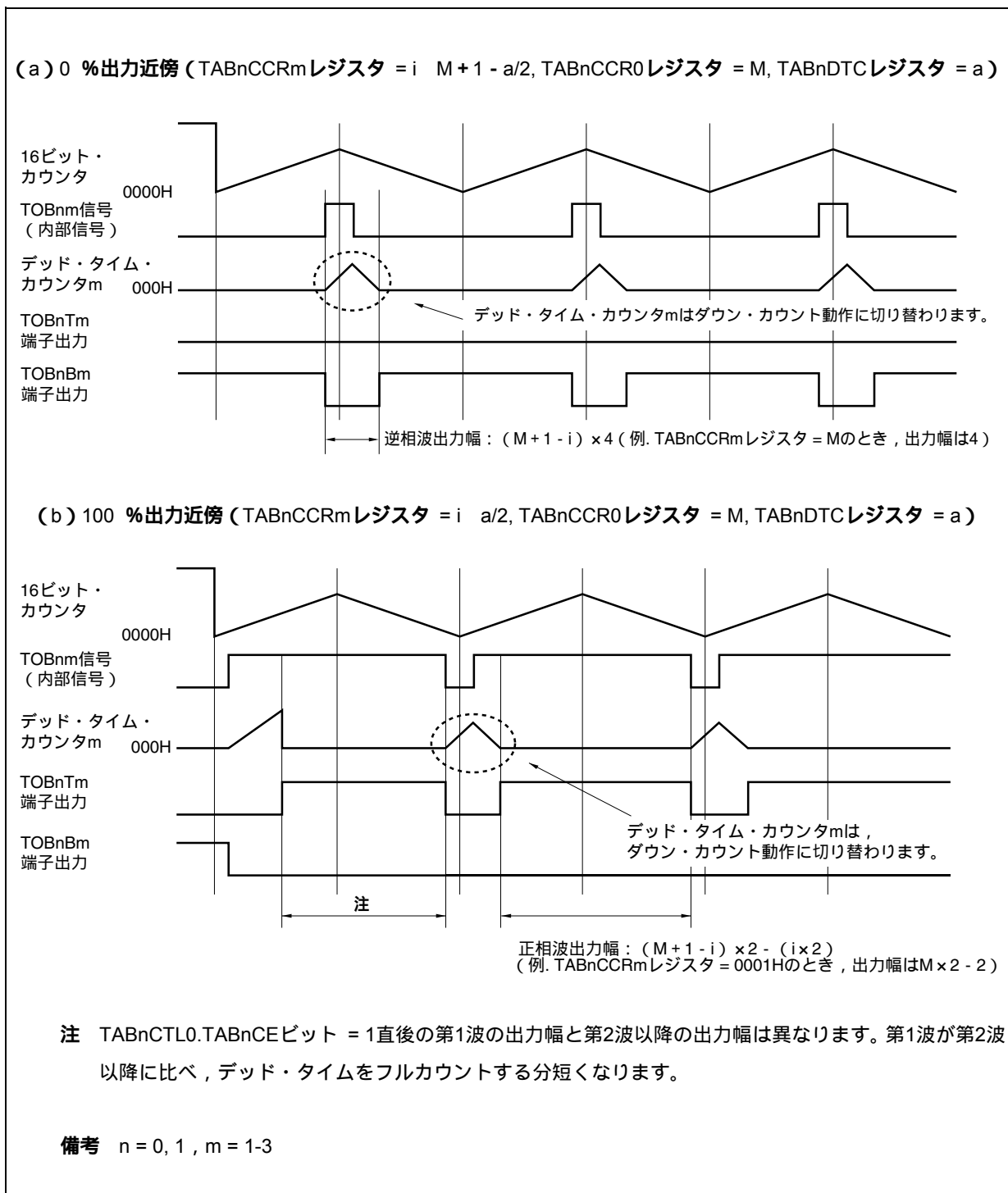
(4) デッド・タイム幅の自動縮小機能 (TABnOPT2.TABnDTMビット = 1)

TABnOPT2.TABnDTMビットを“1”に設定することにより,0 %出力近傍 / 100 %出力近傍でのデッド・タイム幅を自動で縮小ができます。

TABnDTMビット = 1に設定することにより,デッド・タイム・カウント中に再度のタイマABのTOBnm(内部信号)出力変化が起こった場合,カウンタ・クリア動作は行わず,デッド・タイム・カウンタはダウン・カウンタ動作に切り替わります。

TABnDTMビット = 1に設定した場合のタイミング・チャートを次に示します。

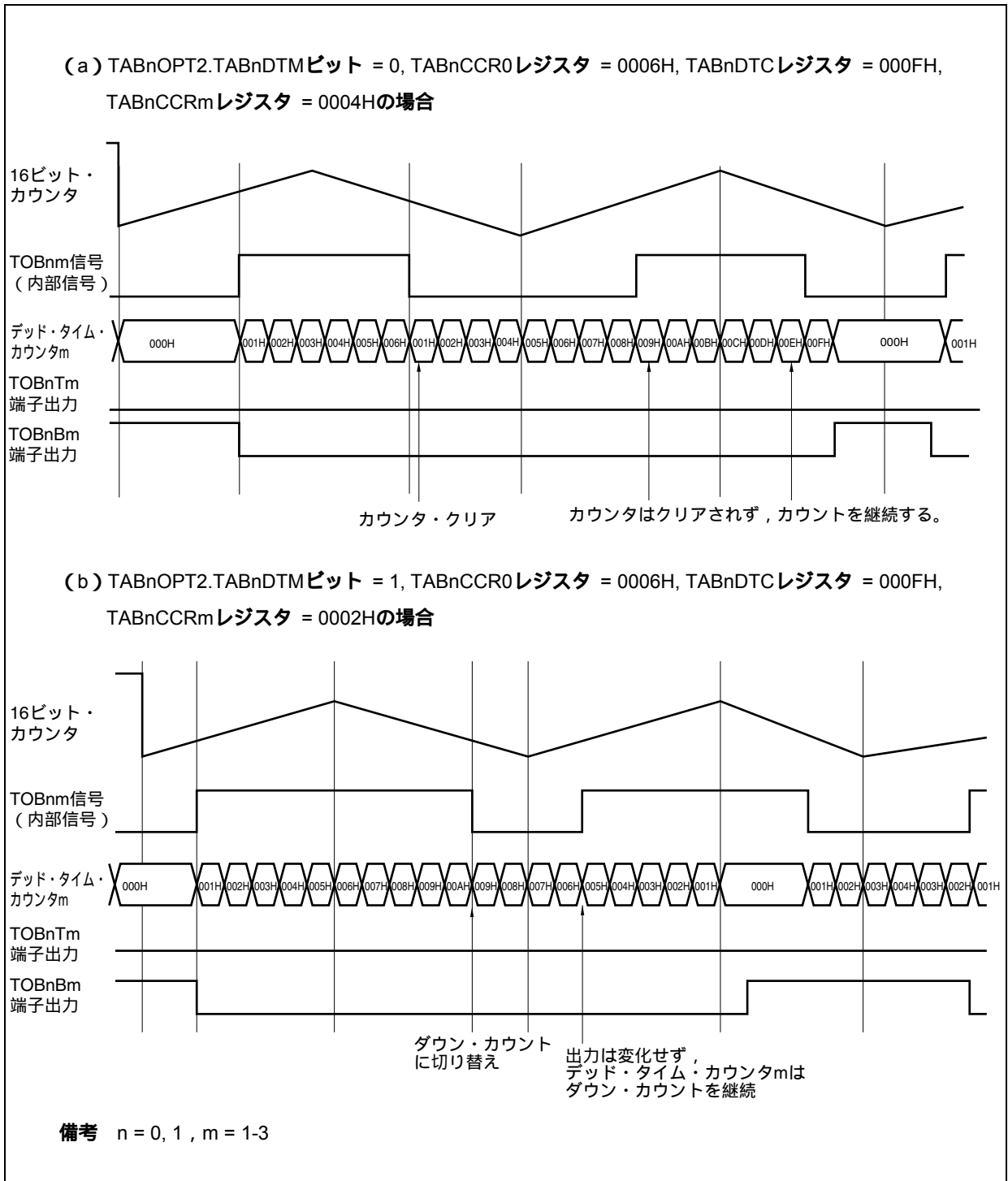
図10 - 13 デッド・タイム・カウンタ<sub>m</sub>の動作 (1)



(5) 異常設定時のデッド・タイム制御

通常使用であれば、デッド・タイム・カウント中に再度のTABnのTOBnm（内部信号）出力変化が起こるのは1度だけで、0%、100%出力の近傍のみです。ここでは、TABnCCR0レジスタ（キャリア周期）とTABnDTCレジスタ（デッド・タイム値）の設定を誤り異常な設定をした場合の動作を示します。異常設定をすると、デッド・タイム・カウント中に2、3度のTABnのTOBnm（内部信号）出力変化が起こります。この場合の6相PWM出力波形の出力例を示します。

図10-14 デッド・タイム・カウンタ<sub>m</sub>の動作(2)



### 10.4.3 割り込み間引き機能

- ・ 間引き対象割り込みは、INTTBnCC0（山割り込み）とINTTBnOV（谷割り込み）です。
- ・ TABnOPT1.TABnICEビットで、INTTBnCC0割り込みの出力許可と間引きカウント対象指定を行います。
- ・ TABnOPT1.TABnIOEビットで、INTTBnOV割り込みの出力許可と間引きカウント対象指定を行います。
- ・ TABnOPT1.TABnID4-TABnID0ビットで、間引きカウント対象に指定された割り込み間引きカウント数の指定を行います。  
指定した間引きカウント数分、割り込みはマスクされ、次の割り込みタイミングで割り込みが発生します。
- ・ TABnOPT2.TABnRDEビットで、転送の間引きあり/なしが指定可能です。  
間引きありに指定した場合は、間引き後の割り込み出力と同タイミングにて転送が実行されます。  
間引きなしに指定した場合は、TABnCCR1レジスタ書き込み後の転送タイミングで転送が実行されます。
- ・ TABnOPT0.TABnCMSビットで、一斉書き換え/随時書き換えが指定可能。  
TABnCMSビット = 0のときは転送に同期してレジスタ値が更新されますが、TABnCMSビット = 1のときは書き込み後、ただちにレジスタ値が更新されます。  
転送タイミングは、割り込み間引きタイミングに同期して、TABnCCRmレジスタからCCRmバッファ・レジスタに転送されます。

**注意1.** 一斉書き換えモード（転送モード）で割り込み間引き機能を使用する場合には、必ず間欠一斉書き換えモード（転送間引きモード）で行ってください。

2. 割り込みは間引き後のタイミングで発生します。

(1) 割り込み間引き動作

図10 - 15 TABnOPT1.TABnICEビット = 1, TABnIOEビット = 1, TABnOPT2.TABnRDEビット = 1での割り込み  
間引き動作 (山/谷割り込み出力)

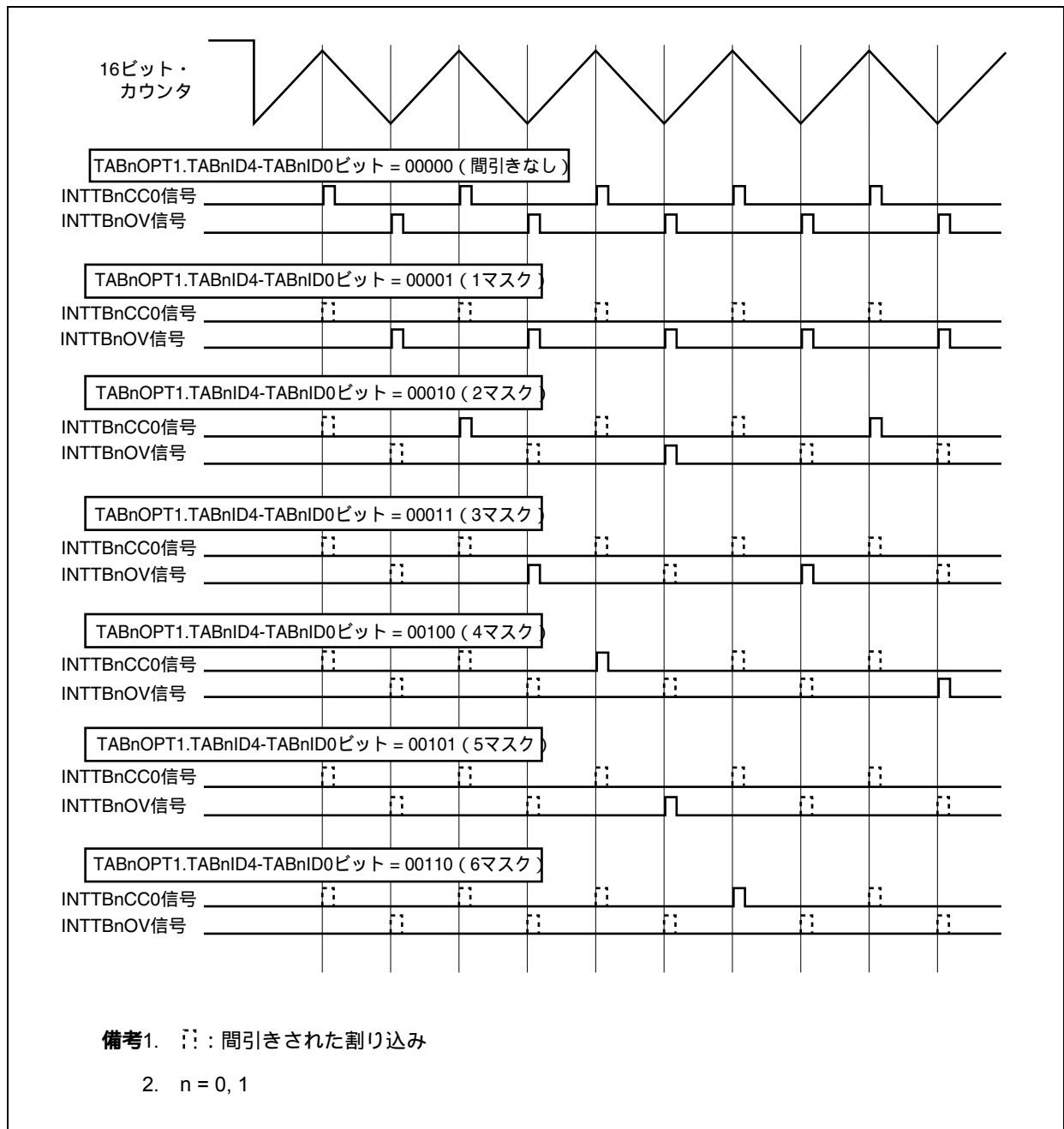




図10 - 16 TABnOPT1.TABnICEビット = 1, TABnIOEビット = 0, TABnOPT2.TABnRDEビット = 1での割り込み  
間引き動作（山割り込みのみ出力）

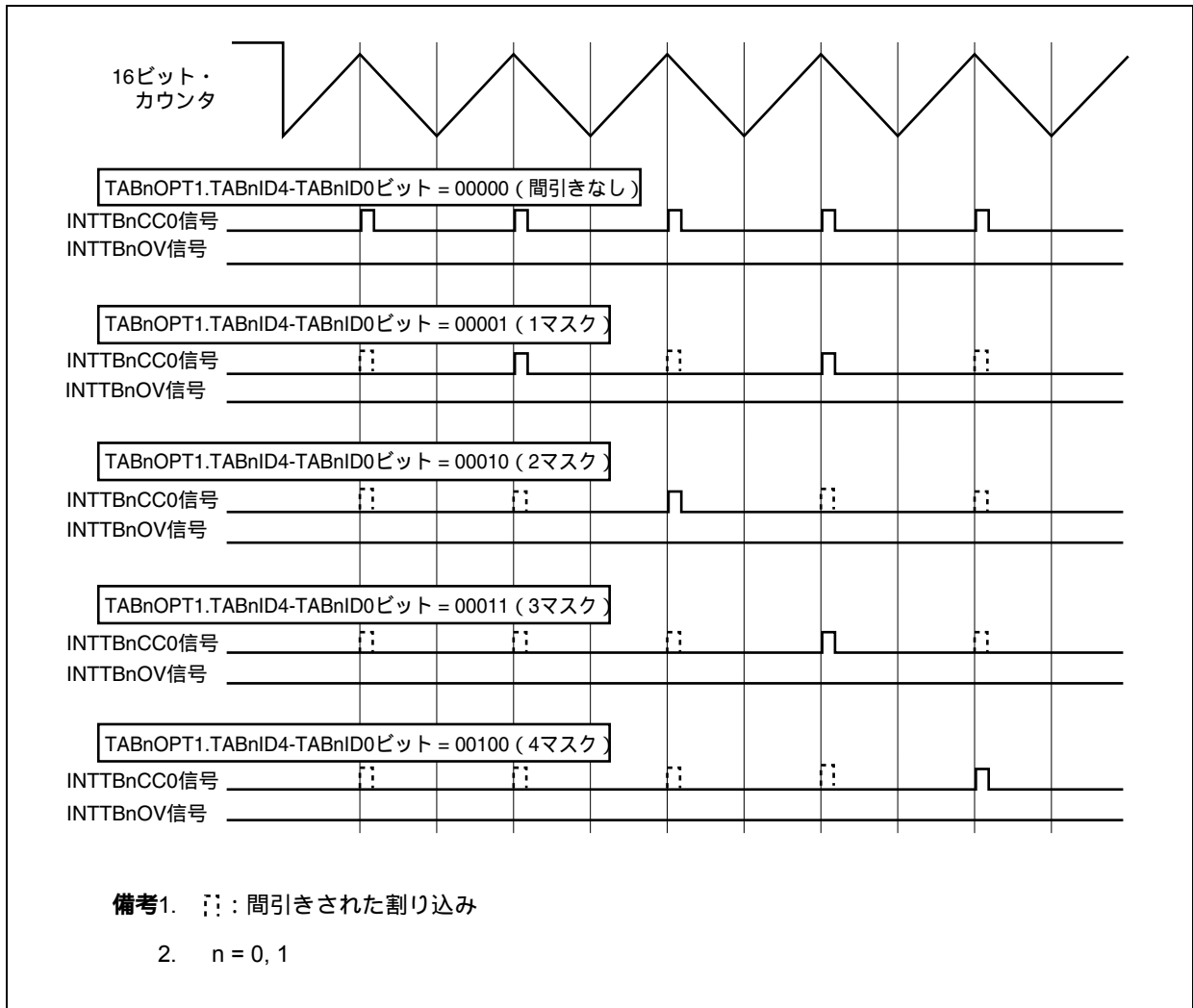
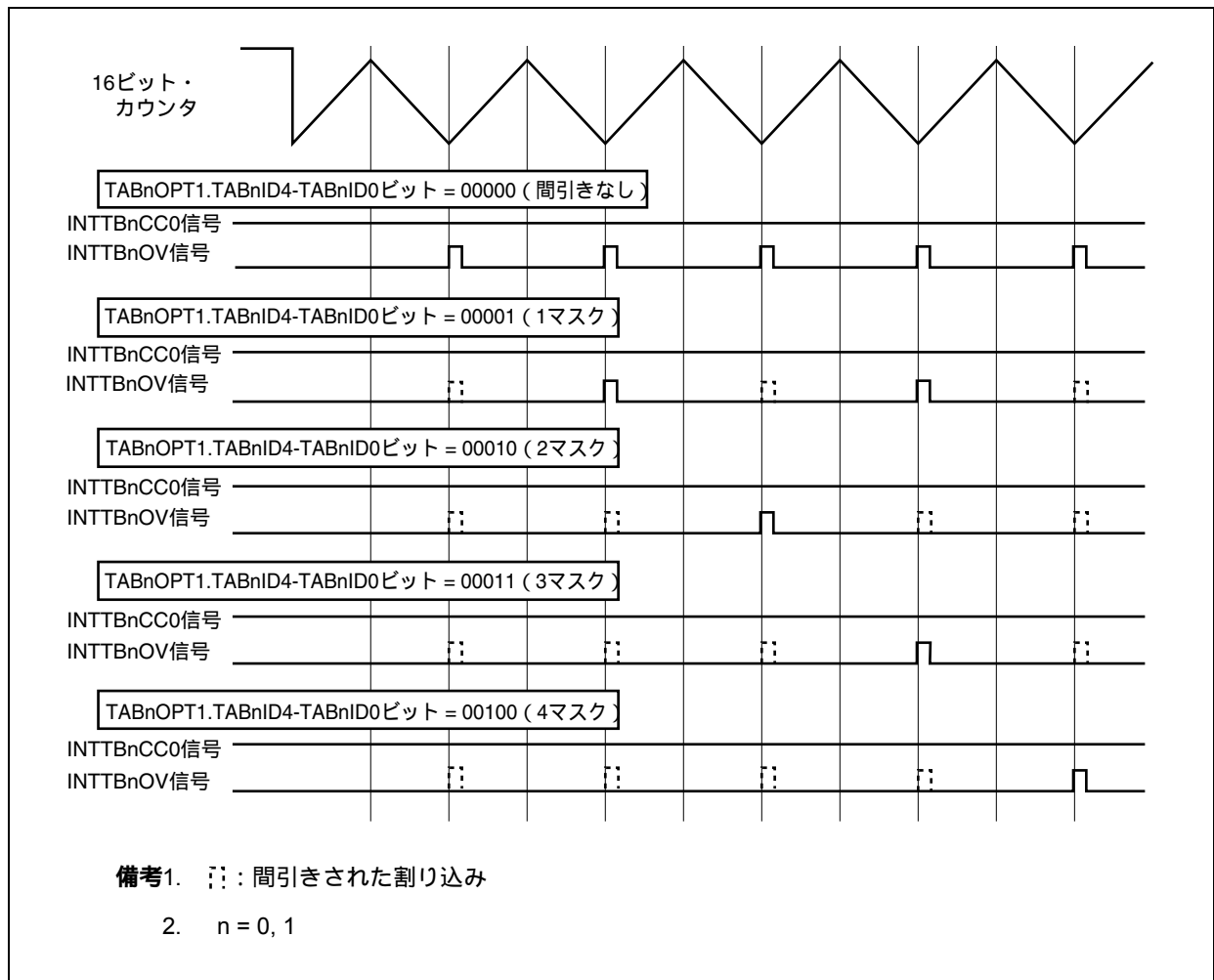


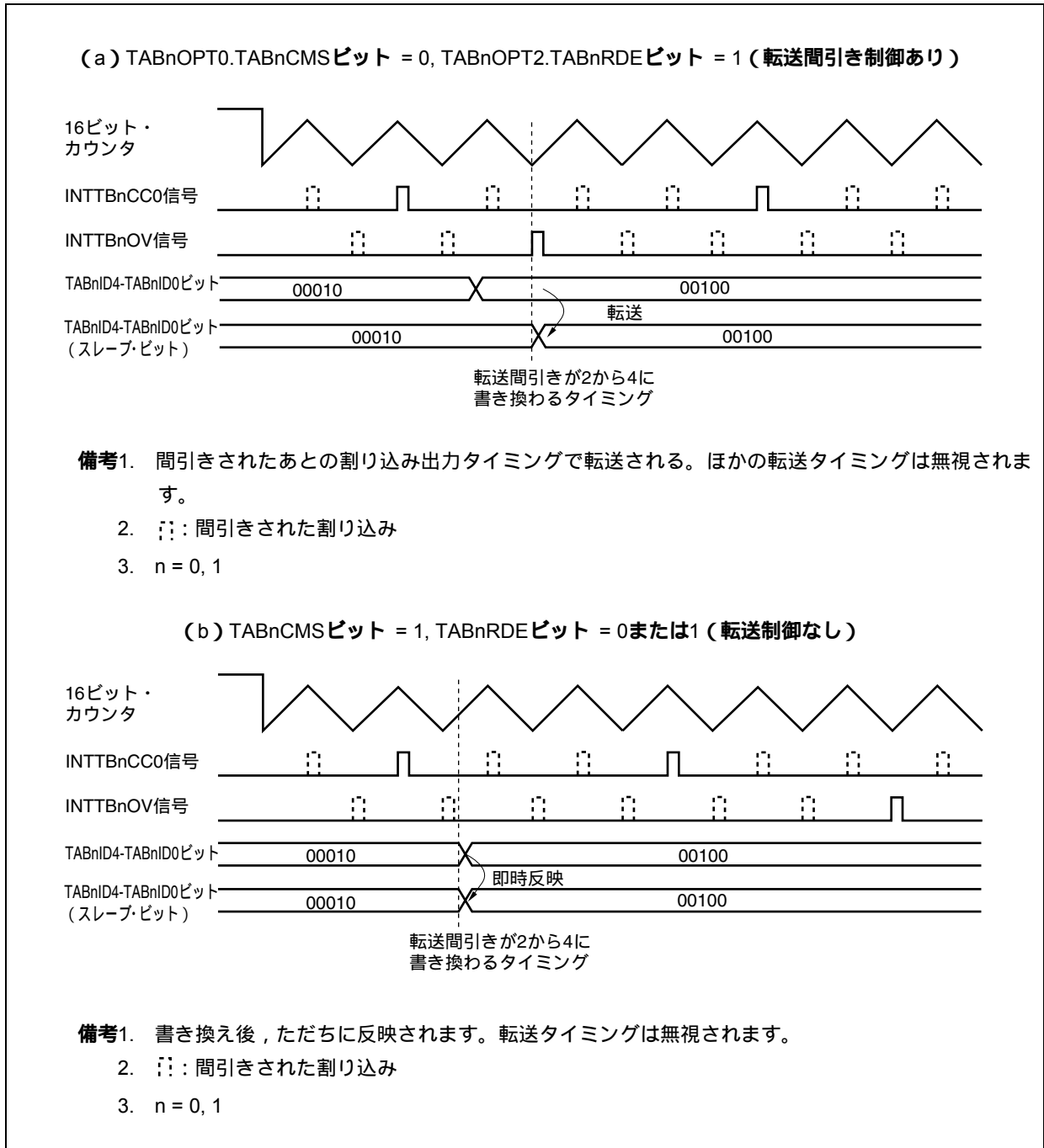
図10 - 17 TABnOPT1.TABnICEビット = 0, TABnIOEビット = 1, TABnOPT2.TABnRDEビット = 1での割り込み  
間引き動作 (谷割り込みのみ出力)



(2) 山割り込み (INTTBnCC0) と谷割り込み (INTTBnOV) を交互出力する場合

山割り込みと谷割り込みを交互に出力するにはTABnOPT1.TABnICE, TABnIOEビットをともに“1”に設定してください。

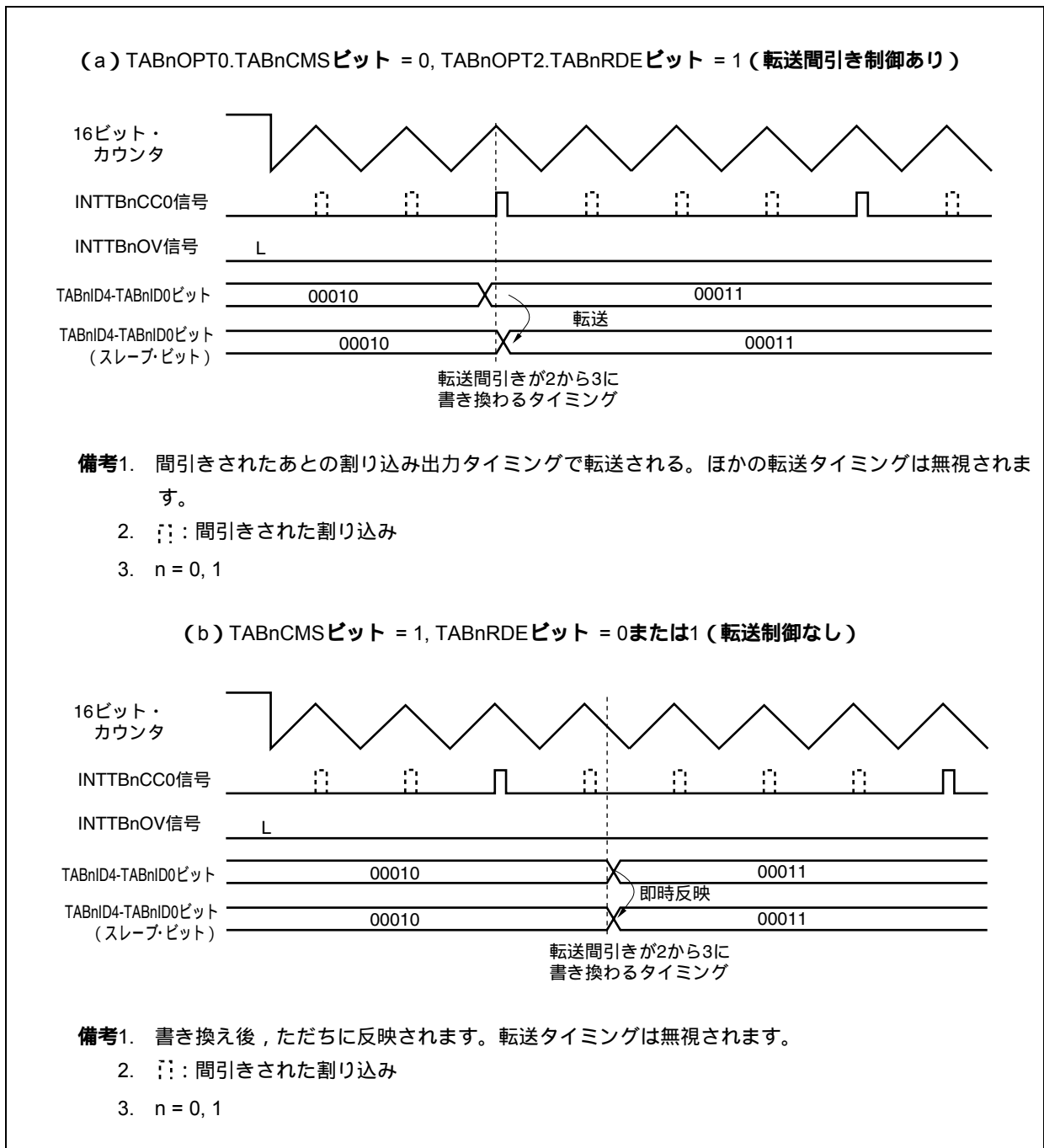
図10 - 18 山/谷割り込み出力



(3) 山割り込み (INTTBnCC0) のみを出力する場合

TABnOPT1.TABnICEビット = 1, TABnIOEビット = 0に設定してください。

図10 - 19 山割り込み出力



(4) 谷割り込み (INTTBnOV) のみを出力する場合

TABnOPT1.TABnICEビット = 0, TABnIOEビット = 1に設定してください。

図10 - 20 谷割り込み出力



#### 10.4.4 転送機能付きレジスタの書き換え操作

モータ制御に使用し、転送機能があるレジスタは次の7種類です。それぞれにバッファ・レジスタがあります。

- ・ TABnCCR0 : 16ビット・カウンタ (TAB) の周期指定用レジスタ
- ・ TABnCCR1 : TOBnT1 (U) , TOBnB1 ( $\bar{U}$ ) のデューティ指定用レジスタ
- ・ TABnCCR2 : TOBnT2 (V) , TOBnB2 ( $\bar{V}$ ) のデューティ指定用レジスタ
- ・ TABnCCR3 : TOBnT3 (W) , TOBnB3 ( $\bar{W}$ ) のデューティ指定用レジスタ
- ・ TABnOPT1 : 割り込み間引き指定用レジスタ
- ・ TAAncCR0 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTAAnc)
- ・ TAAncCR1 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTAAnc)

また、転送機能があるレジスタには、次の3種類の書き換えモードがあります。

##### ・ 随時書き換えモード

TABnOPT0.TABnCMSビット = 1で設定します。TABnOPT2.TABnRDEビットの指定は無視されま  
す。

このモードでは、各コンペア・レジスタが独立して更新動作を行い、各コンペア・レジスタに書き  
込むと即時に書き込み値が更新されます。

##### ・ 一斉書き換えモード (転送モード)

TABnOPT0.TABnCMSビット = 0, TABnOPT1.TABnID4-TABnID0ビット = 00000, TABnOPT2.TABnRDE  
ビット = 0で設定します。

TABnCCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レ  
ジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTABnCCR1レジスタへの書  
き込みを行わないと転送動作は起こりません。

転送タイミングは、割り込みとは関係なく毎回の山 (16ビット・カウンタとTABnCCR0レジスタの  
一致) タイミングと谷 (16ビット・カウンタと0001Hの一致) タイミングです。

##### ・ 間欠一斉書き換えモード (転送間引きモード)

TABnOPT0.TABnCMSビット = 0, TABnOPT2.TABnRDEビット = 1で設定します。

TABnCCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レ  
ジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTABnCCR1レジスタへの書  
き込みを行わないと転送動作は起こりません。

転送は、TABnOPT1レジスタで指定した割り込み間引きにあわせて転送タイミングが間引かれ、間  
引かれたあとの山割り込み (16ビット・カウンタとTABnCCR0レジスタの一致) タイミング、または  
谷割り込み (16ビット・カウンタと0001Hの一致) タイミングにより7つのレジスタに対して一斉に行  
われます。

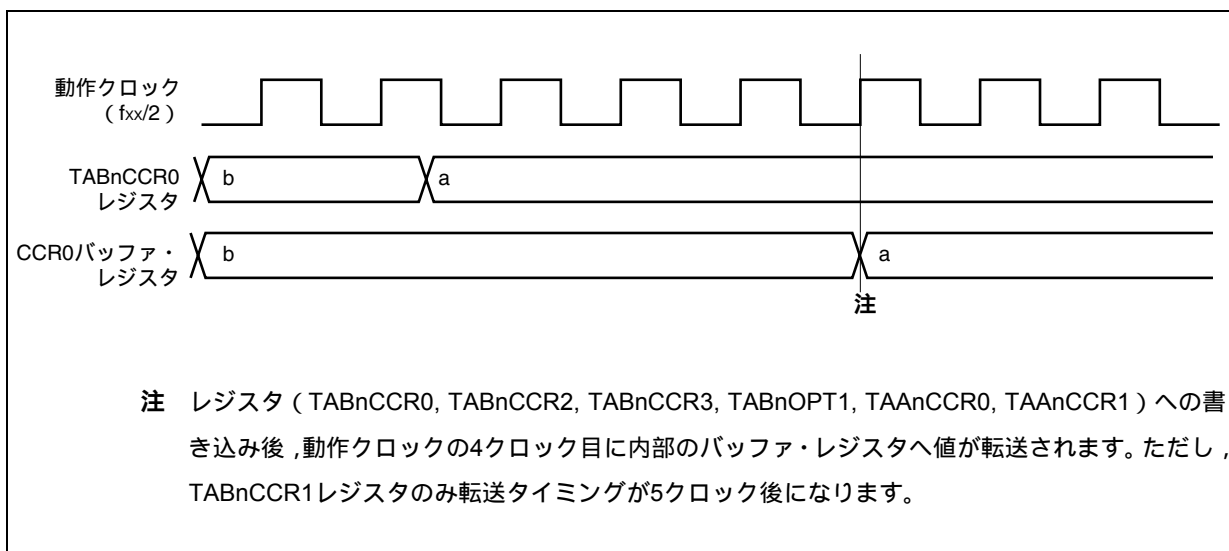
割り込み間引き機能についての詳細は、10.4.3 **割り込み間引き機能**を参照してください。

(1) 随時書き換えモード

TABnOPT0.TABnCMSビット = 1で設定します。TABnOPT2.TABnRDEビットの設定は無視されます。

各転送機能付きレジスタへの書き込み値が、すぐに内部のバッファ・レジスタに転送されカウント値との比較対象になるモードです。このモードではTABnCCRmと16ビット・カウンタの一致が発生後に書き換えると、一度一致が発生したあとの再度の一致は無視されるので書き換え値は反映されません。アップ・カウント中に書き換えた場合はダウン・カウントに切り替わったあとの一致で有効になります。

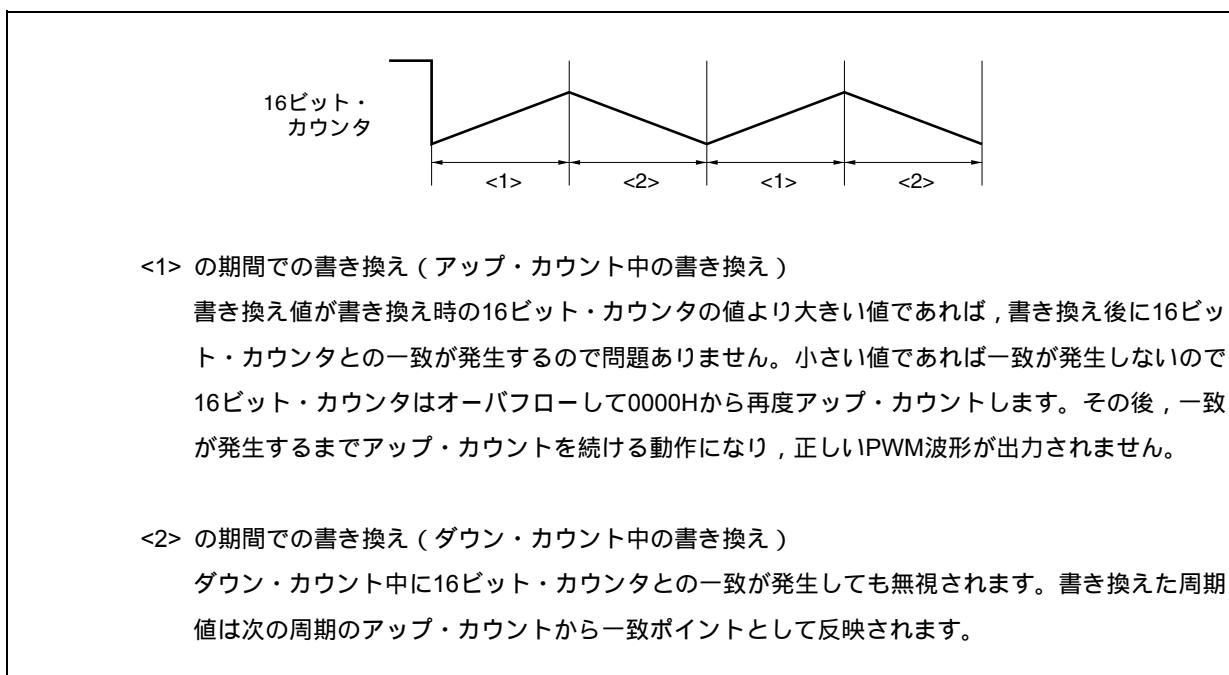
図10 - 21 書き換え値の反映タイミング



(a) TABnCCR0レジスタの書き換え

TABnCCR0レジスタを随時書き換えモードで書き換えても、すぐには値が反映されない場合があります。

図10 - 22 TABnCCR0レジスタの書き換え例



(b) TABnCCRmレジスタの書き換え

図10 - 24に16ビット・カウンタとTABnCCRmレジスタが一致する前に書き換えた場合のタイミング (図10 - 23の<1>) を, 図10 - 25に16ビット・カウンタとTABnCCRmレジスタが一致したあとに書き換えた場合のタイミング (図10 - 23の<2>) を示します。

図10 - 23 16ビット・カウンタとTABnCCRmレジスタの基本動作

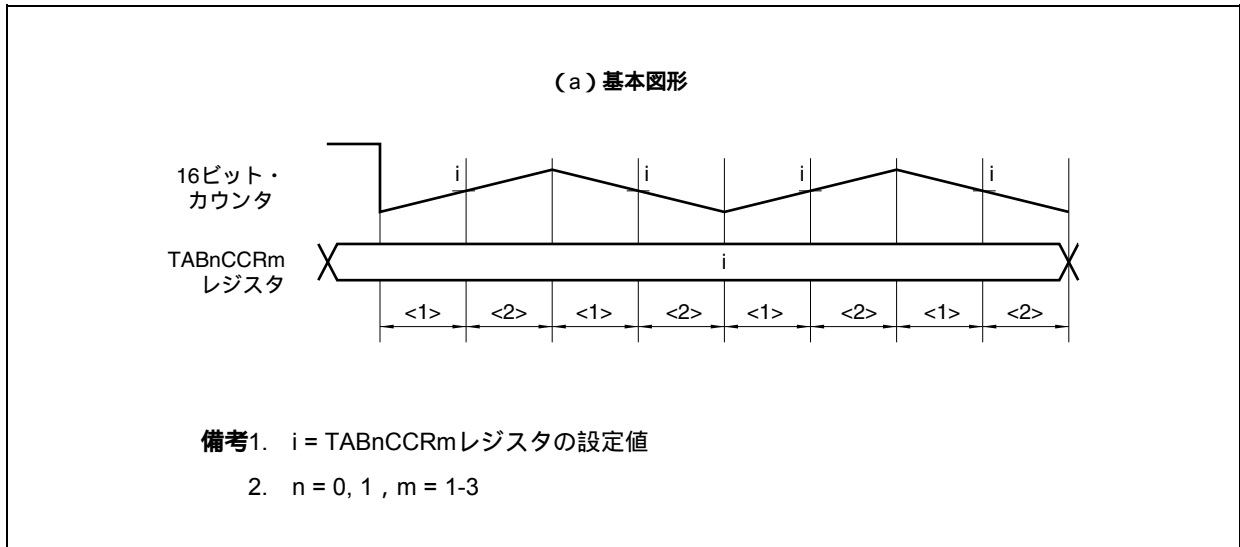




図10 - 24 TABnCCR1-TABnCCR3レジスタの書き換え例（一致発生前の書き換え）

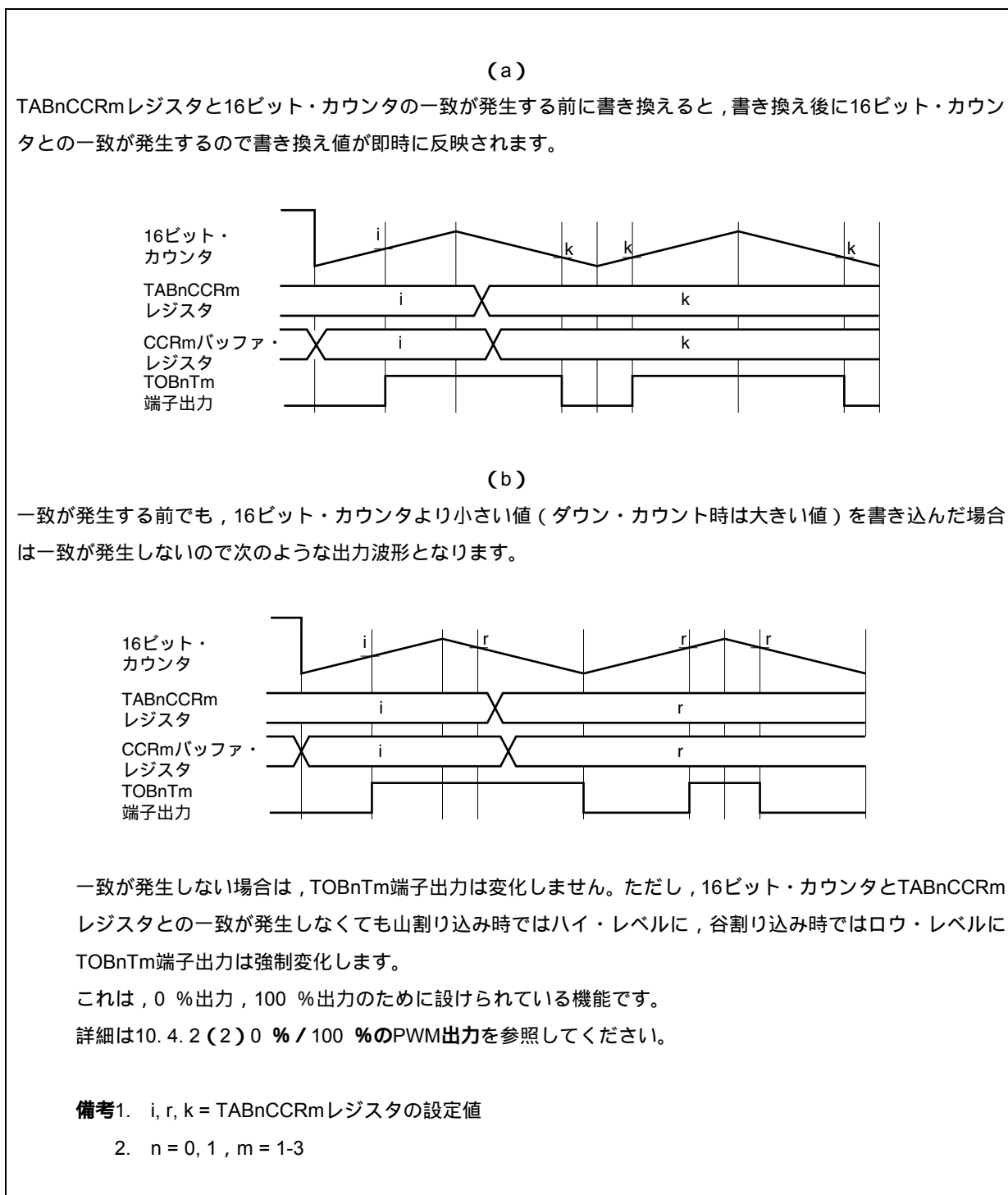
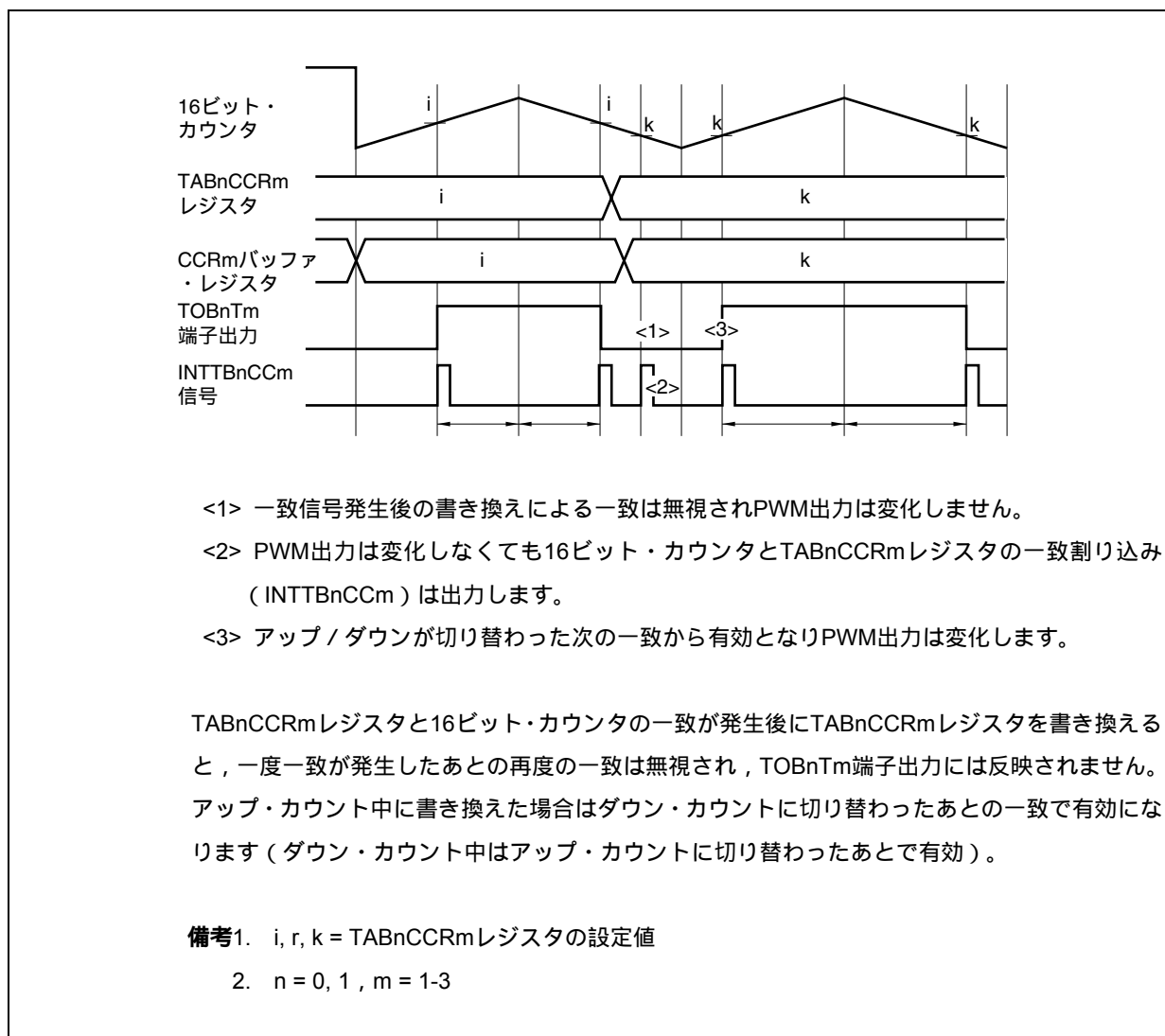


図10 - 25 TABnCCR1-TABnCCR3レジスタの書き換え例（一致発生後の書き換え）



(c) TABnOPT1レジスタの書き換え

TABnOPT1レジスタへの書き込みで割り込み間引きカウンタはクリアされます。割り込み間引きカウンタがクリアされることにより、それまで計測していた割り込み発生数は破棄されるので、一時的に割り込み発生間隔が長くなるので注意してください。

この動作を避けるためには、間欠一斉書き換えモード（転送間引きモード）での書き換えをしてください。

TABnOPT1レジスタへの書き換えについての詳細は、10.4.3 **割り込み間引き機能**を参照してください。

**(2) 一斉書き換えモード (転送モード)**

TABnOPT0.TABnCMSビット = 0, TABnOPT1.TABnID4-TABnID0ビット = 00000, TABnOPT2.TABnRDEビット = 0で設定します。

各コンペア・レジスタへの書き込み値が、転送タイミングで一斉に内部のバッファ・レジスタに転送され、カウント値との比較対象になるモードです。

**(a) 書き換え操作手順**

TABnCCR1レジスタへの書き込みが行われると、TABnCCR0-TABnCCR3, TABnOPT1, TAAAnCCR0, TAAAnCCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TABnCCR1レジスタへの書き込みは最後に行ってください。また、TABnCCR1レジスタへの書き込み後は、転送タイミング(山(16ビット・カウンタとTABnCCR0レジスタの一致)タイミング、または谷(16ビット・カウンタと0001Hの一致)タイミング)が発生するまで、レジスタへの書き込みは禁止です。操作手順を次に示します。

TABnCCR0, TABnCCR2, TABnCCR3, TABnOPT1, TAAAnCCR0, TAAAnCCR1レジスタの書き換え書き換えが必要ないレジスタは書き換え不要です。

TABnCCR1レジスタの書き換え

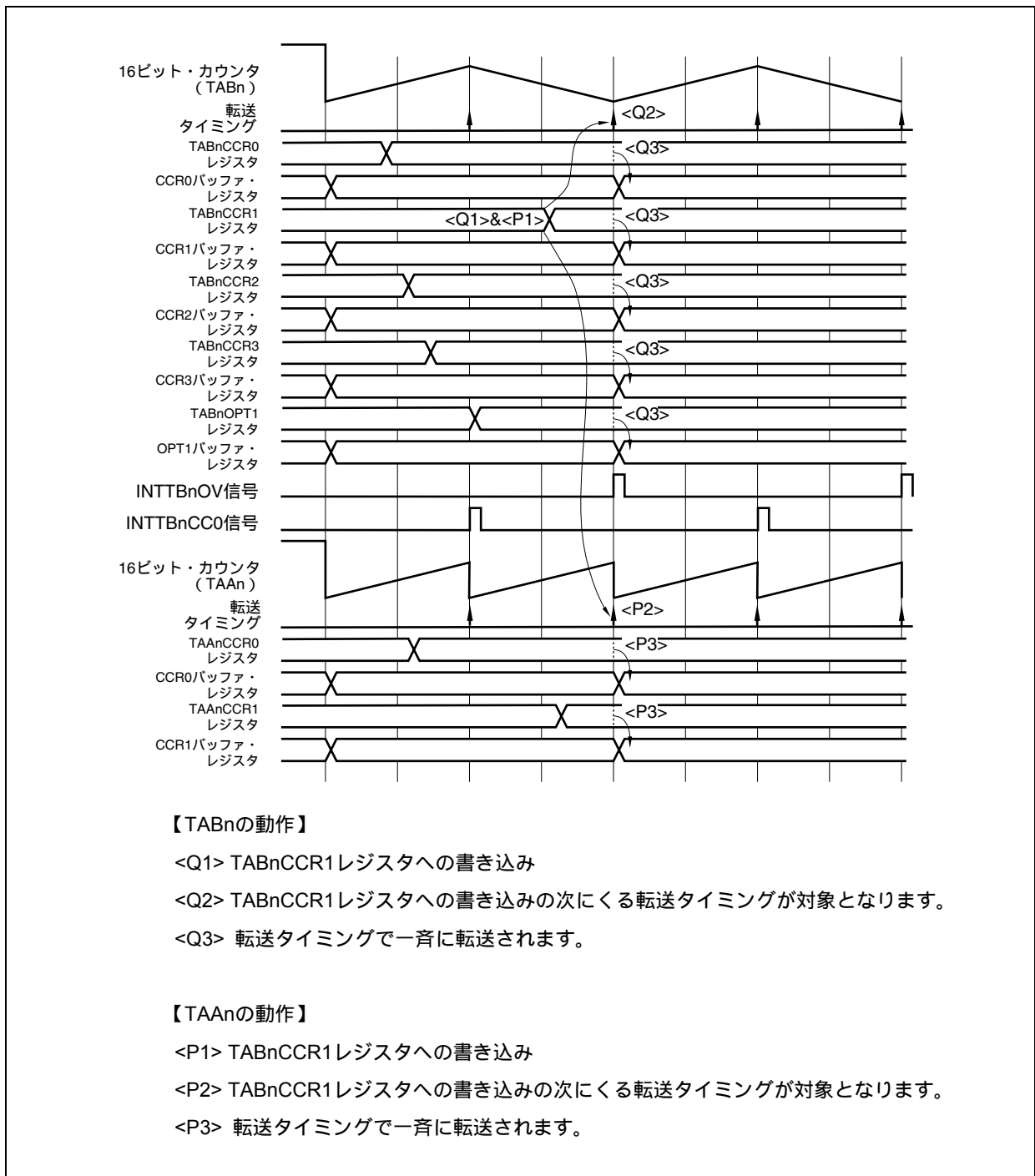
TABnCCR1レジスタを書き換える必要がない場合でも、同じ値を再書き込みしてください。

転送タイミングが発生するまで次の書き換えを保留

INTTBnOVまたはINTTBnCC0割り込みの発生を確認してから次の書き換えをしてください。

に戻る

図10 - 26 一斉書き込みモードの基本動作



(b) TABnCCR0レジスタの書き換え

TABnCCR0レジスタを一斉書き換えモードで書き換える場合、転送が山（16ビット・カウンタとTABnCCR0レジスタの一致）タイミング、谷（16ビット・カウンタと0001Hの一致）タイミングのどちらで起こるかにより出力波形が変わります。通常は、ダウン・カウント中に書き換えを行い、転送タイミングが谷タイミングのときに転送する操作を推奨します。

図10 - 28にアップ・カウント中（図10 - 27の<1>の期間）のTABnCCR0レジスタの書き換え例を、図10 - 29にダウン・カウント中（図10 - 27の<2>の期間）のTABnCCR0レジスタの書き換え例を示します。

図10 - 27 16ビット・カウンタの基本動作

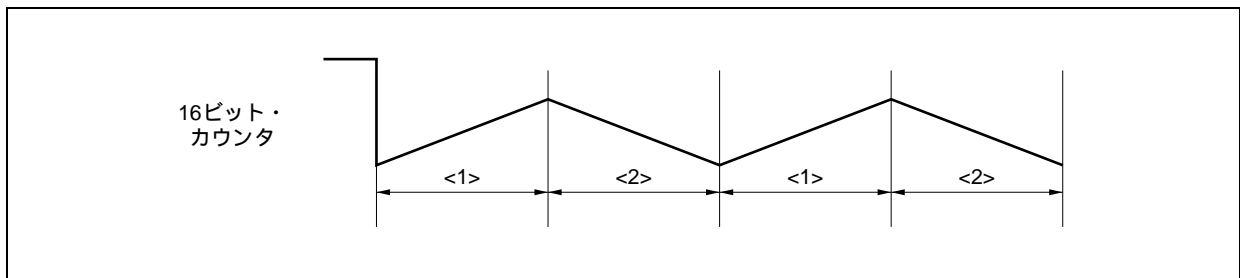


図10 - 28の転送タイミングは山タイミングのポイントになるので、ダウン・カウント側は周期が変わり非対称の三角波波形を出力します。また、周期が変化するので、デューティ比（電圧データ値）も書き換えてください。

図10 - 28 TABnCCR0レジスタの書き換え例（アップ・カウント時）

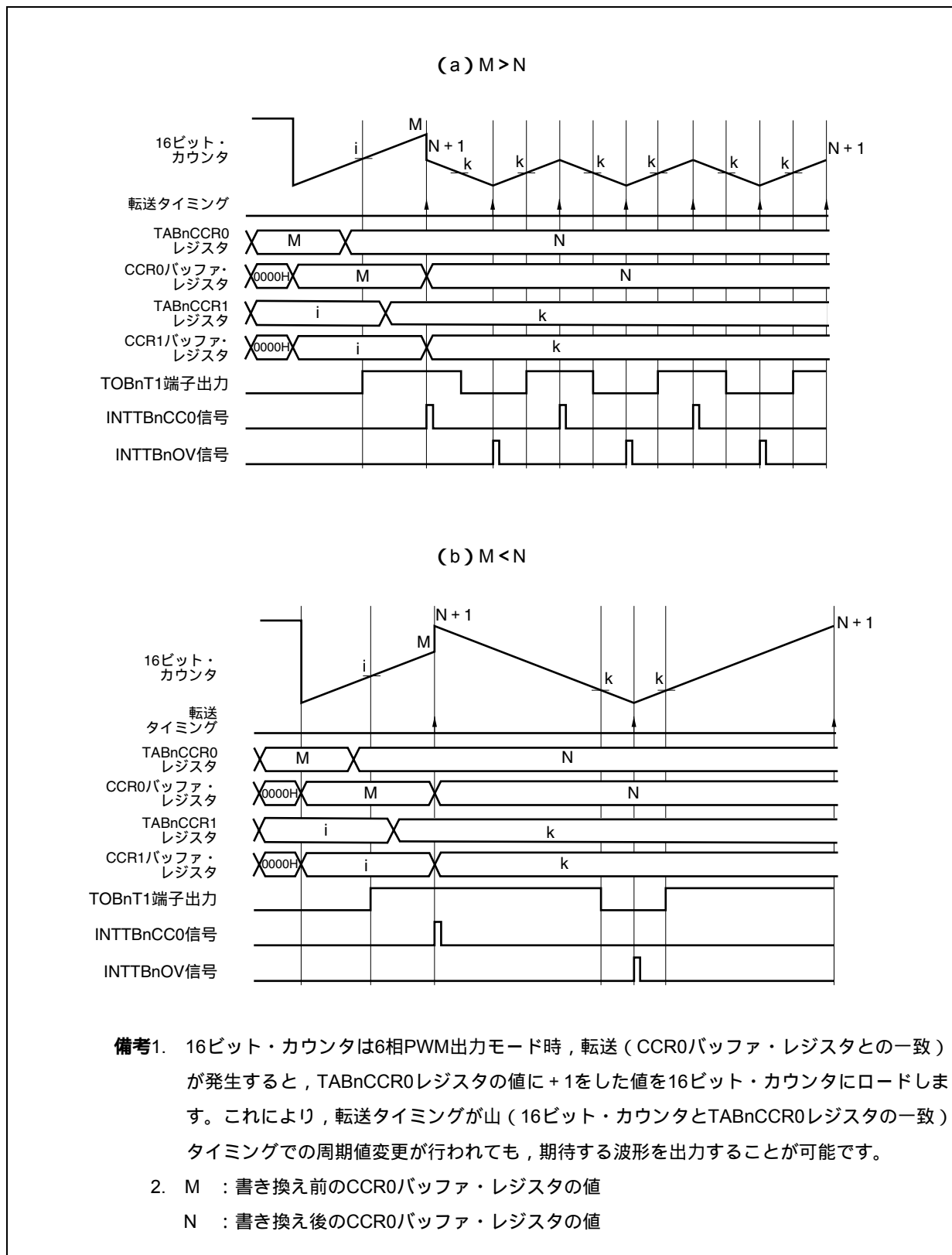
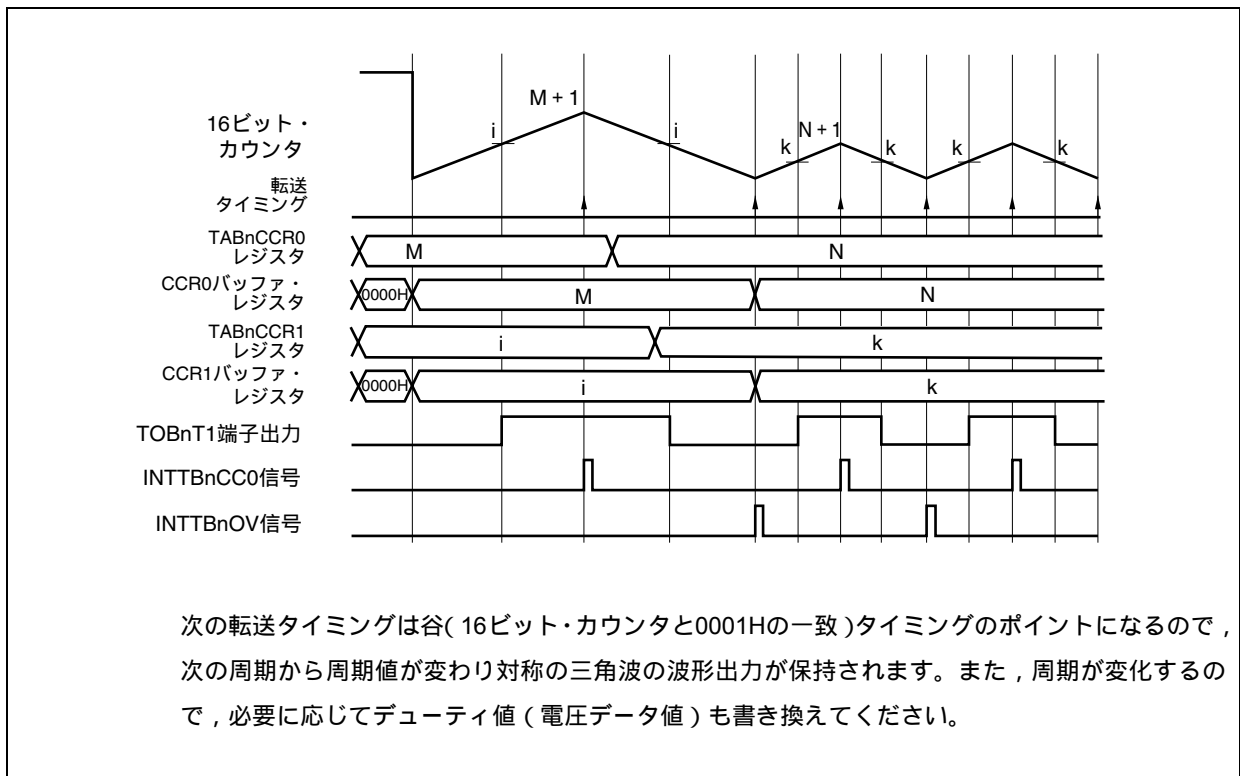
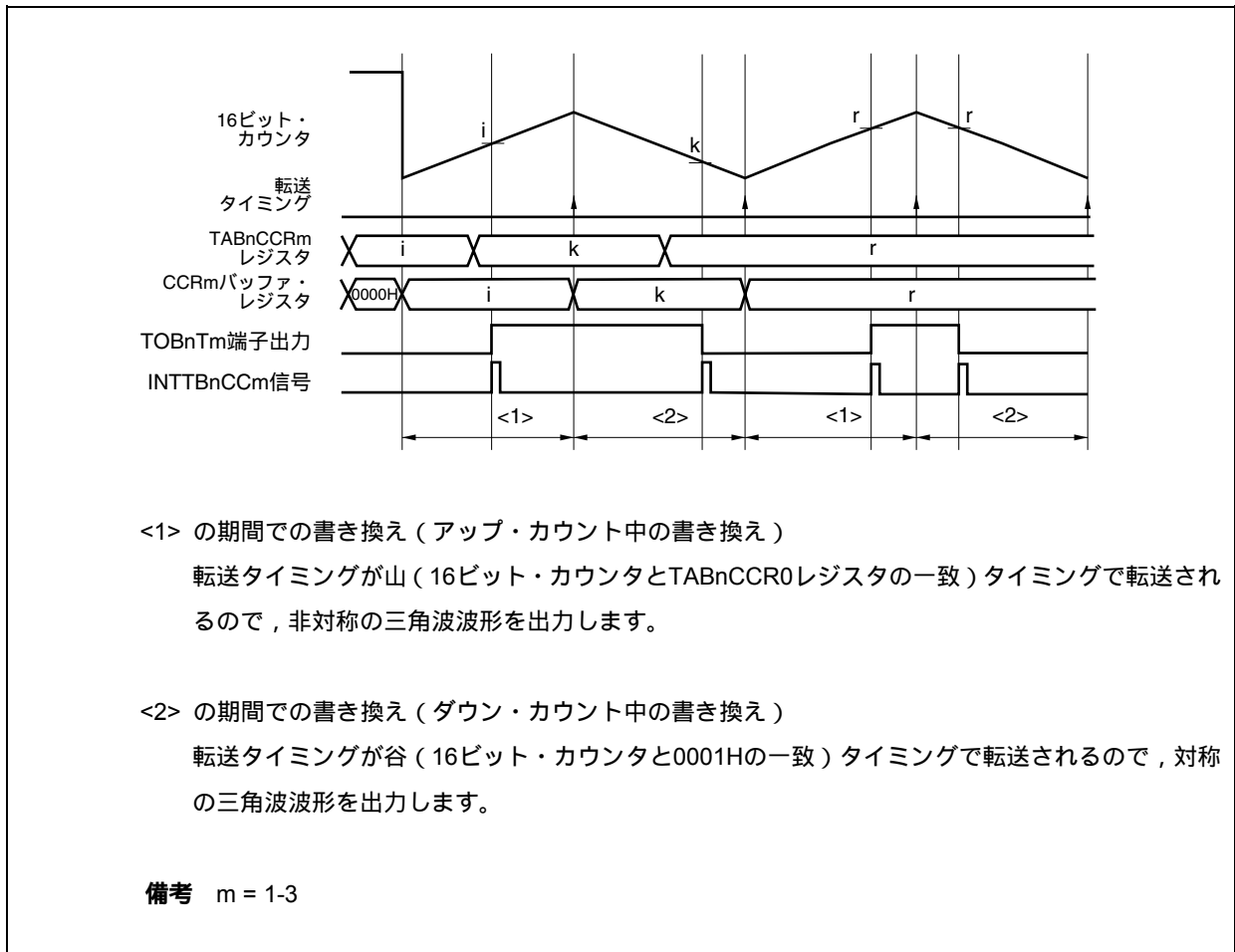


図10 - 29 TABnCCR0レジスタの書き換え例 (ダウン・カウント時)



(c) TABnCCRmレジスタの書き換え

図10 - 30 TABnCCRmレジスタの書き換え例



(d) TABnOPT1レジスタの転送

TABnOPT1.TABnID4-TABnID0ビット = 00000以外の値は設定しないでください。割り込み間引き機能を使用する場合は、間欠一斉書き換えモード（転送間引きモード）で書き換えてください。

TABnOPT1レジスタへの書き換えについての詳細は、10.4.3 **割り込み間引き機能**を参照してください。



**(3) 間欠一斉書き換えモード (転送間引きモード)**

TABnOPT0.TABnCMSビット = 0, TABnOPT2.TABnRDEビット = 1で設定します。

各コンペア・レジスタへの書き込み値が、間引きされたあとの転送タイミングで一斉に内部のバッファ・レジスタに転送されカウント値との比較対象になるモードです。転送タイミングは、割り込み間引きによる割り込み発生 (INTTBnCC0, INTTBnOV) タイミングになります。

割り込み間引き機能についての詳細は、10. 4. 3 **割り込み間引き機能**を参照してください。

**(a) 書き換え操作手順**

TABnCCR1レジスタへの書き込みが行われるとTABnCCR0-TABnCCR3, TABnOPT1, TAAAnCCR0, TAAAnCCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TABnCCR1レジスタへの書き込みは最後に行ってください。また、TABnCCR1レジスタへの書き込み後は、転送タイミングが発生するまで (INTTBnOV, INTTBnCC0の割り込み発生まで) レジスタへの書き込みは禁止です。操作手順を次に示します。

TABnCCR0, TABnCCR2, TABnCCR3, TABnOPT1, TAAAnCCR0, TAAAnCCR1レジスタの書き換え書き換えが必要ないレジスタは書き換え不要です。

TABnCCR1レジスタの書き換え

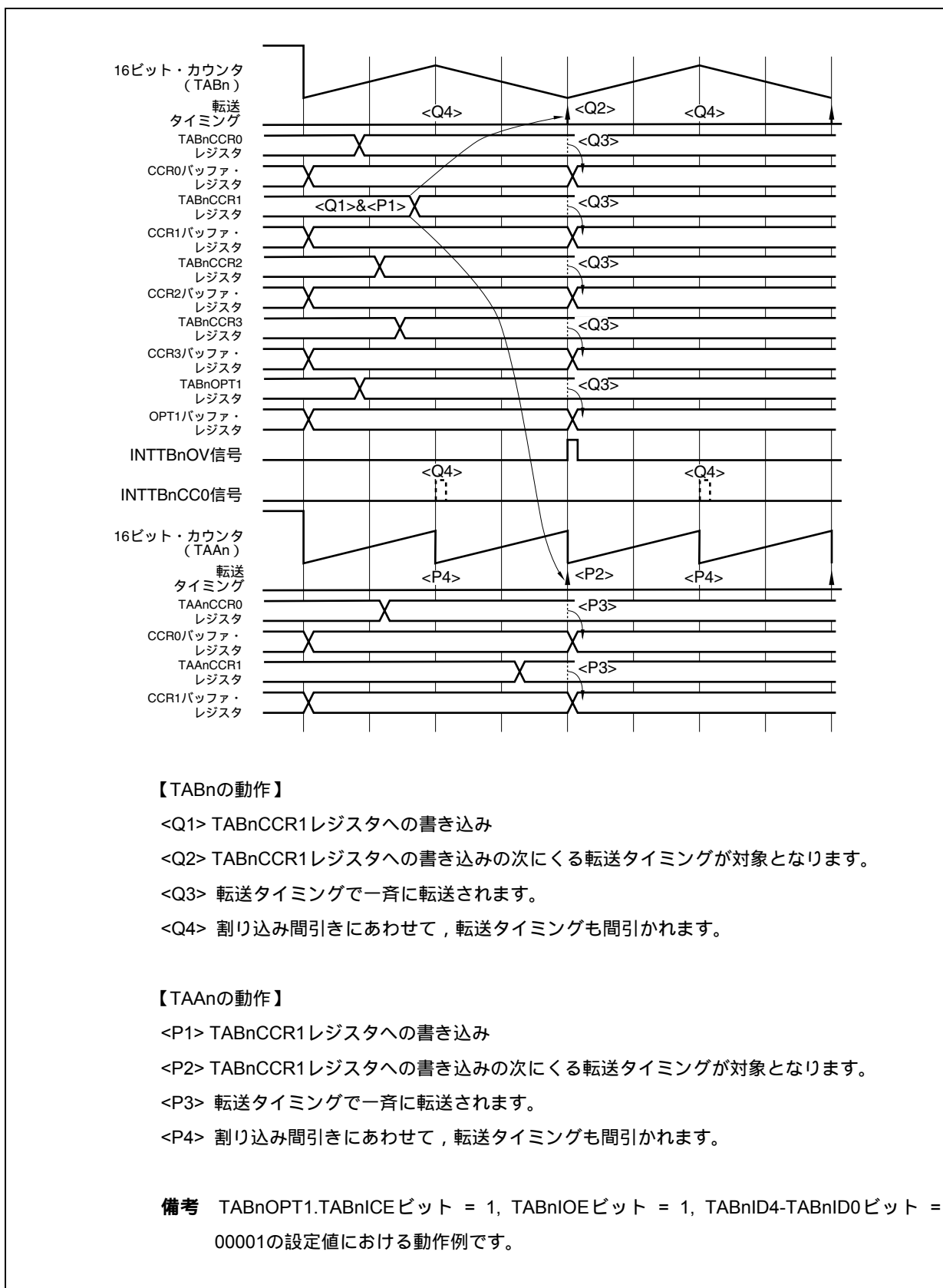
TABnCCR1レジスタを書き換える必要がない場合でも同じ値を再書き込みしてください。

転送タイミングが発生するまで次の書き換えを保留

INTTBnOVまたはINTTBnCC0の割り込み発生を確認してから次の書き換えをしてください。

に戻る

図10 - 31 間欠一斉書き込みモードの基本動作



(b) TABnCCR0レジスタの書き換え

TABnCCR0レジスタを間欠一斉書き換えモードで書き換える場合、割り込み間引き設定で山/谷割り込み発生をどこに指定しているかで出力波形が変わります。次に割り込み間引き設定での出力波形の変化を示します。

図10 - 32 TABnCCR0レジスタの書き換え（山割り込みを設定時）

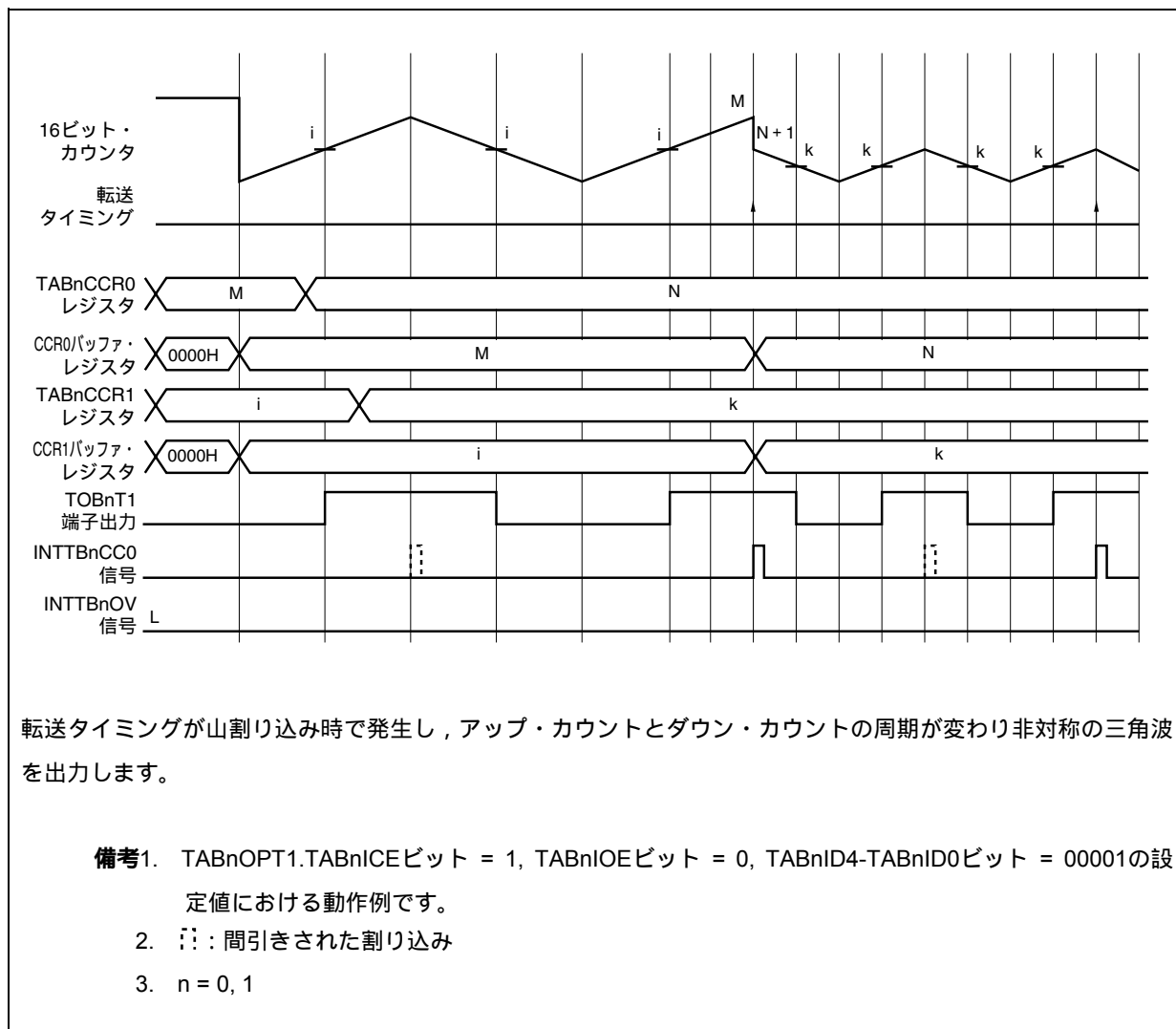
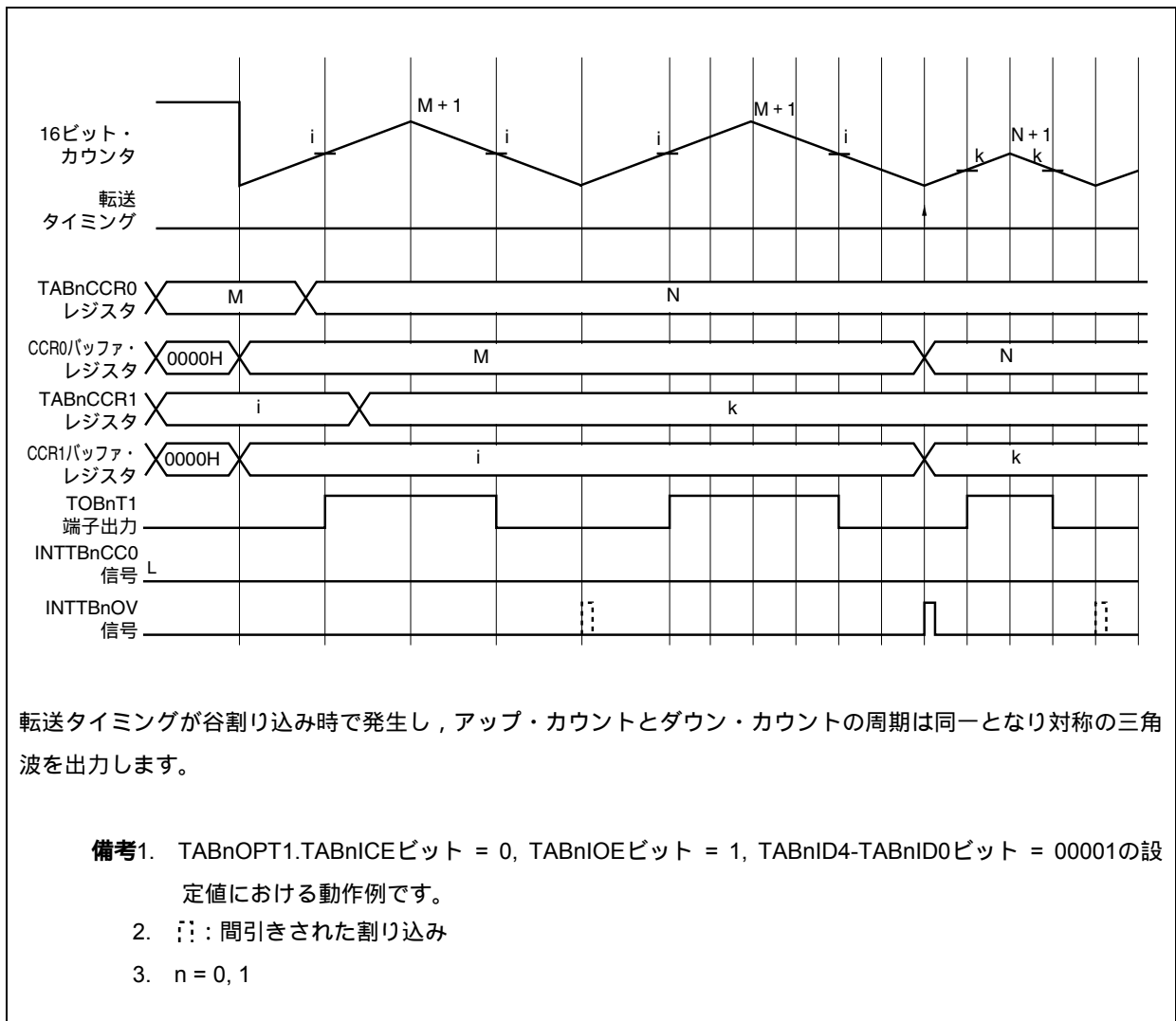


図10 - 33 TABnCCR0レジスタの書き換え（谷割り込みを設定時）

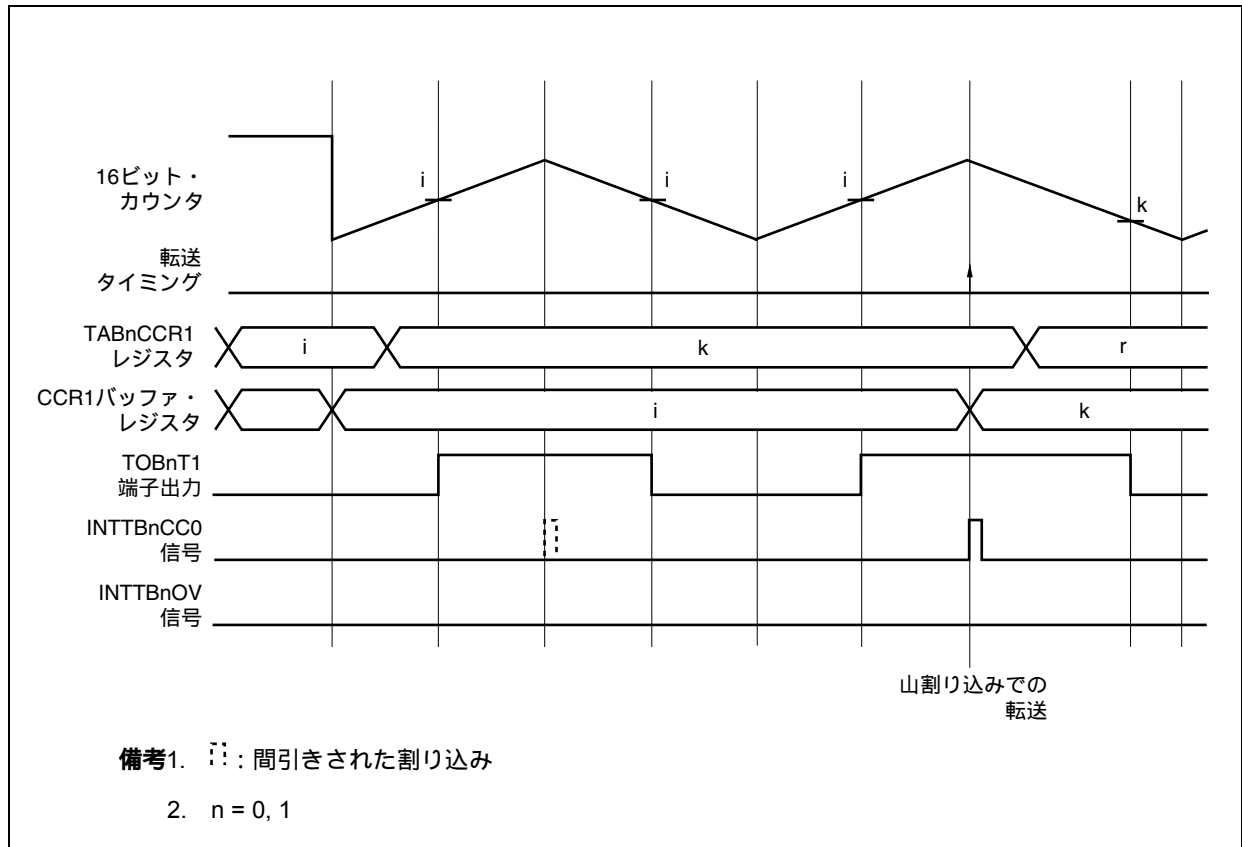


(c) TABnCCR1-TABnCCR3レジスタの書き換え

- ・山割り込みを設定した場合に山で転送された場合

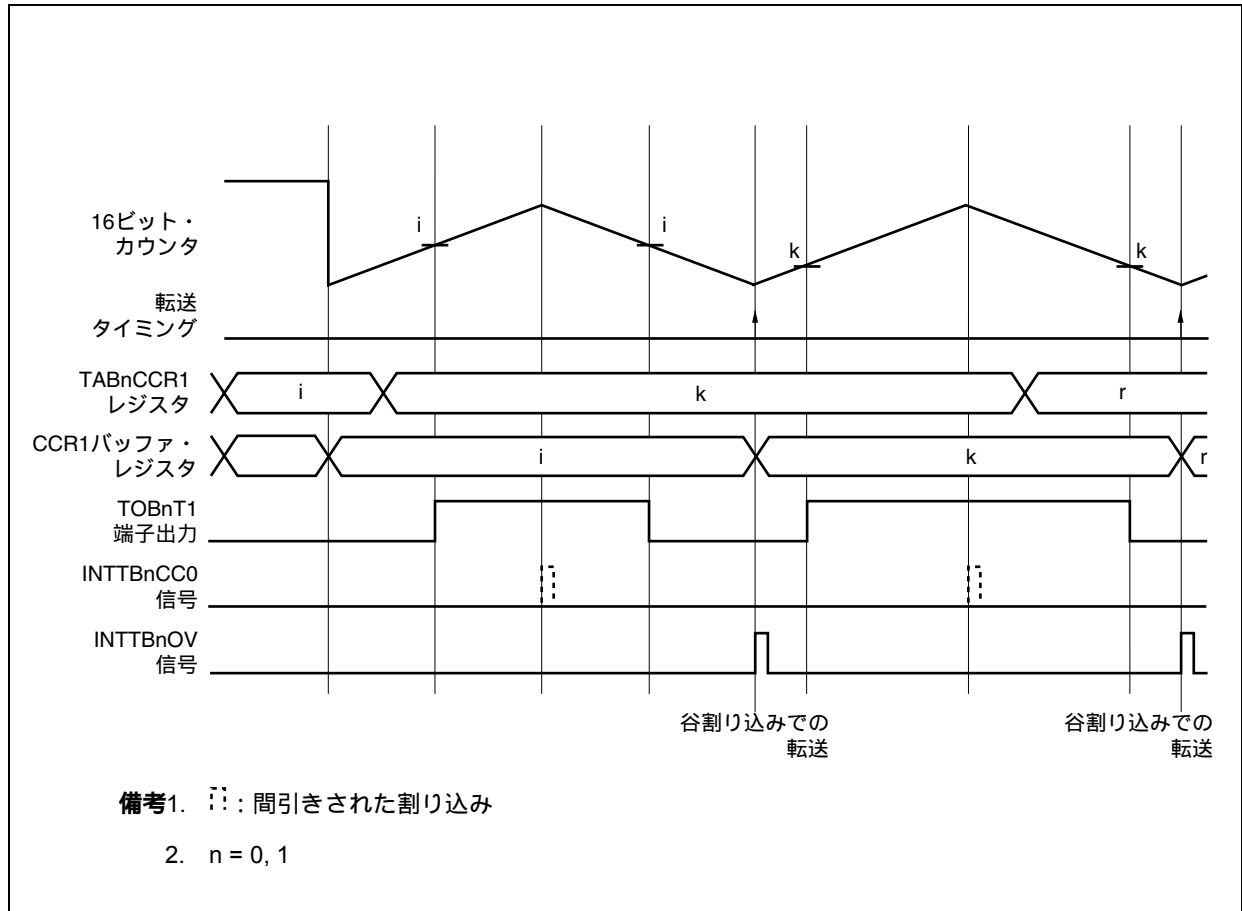
山の転送タイミングで転送されるので、非対称の三角波波形を出力します。

図10 - 34 TABnCCR1レジスタの書き換え (TABnOPT1.TABnICEビット = 1, TABnIOEビット = 0, TABnID4-TABnID0 = 00001の場合)



- ・谷割り込みを設定した場合に谷で転送された場合  
谷の転送タイミングで転送されるので、対称の三角波波形を出力します。

図 10 - 35 TABnCCR1 レジスタの書き換え (TABnOPT1.TABnICE ビット = 1, TABnIOE ビット = 1, TABnID4-TABnID0 = 00001の場合)



(d) TABnOPT1レジスタの書き換え

割り込み間引きカウンタが一致したときに、新しい割り込み間引き値が転送されるため、次から設定した間隔で割り込みが発生します。

TABnOPT1レジスタへの書き換えについての詳細は、10. 4. 3 割り込み間引き機能を参照してください。

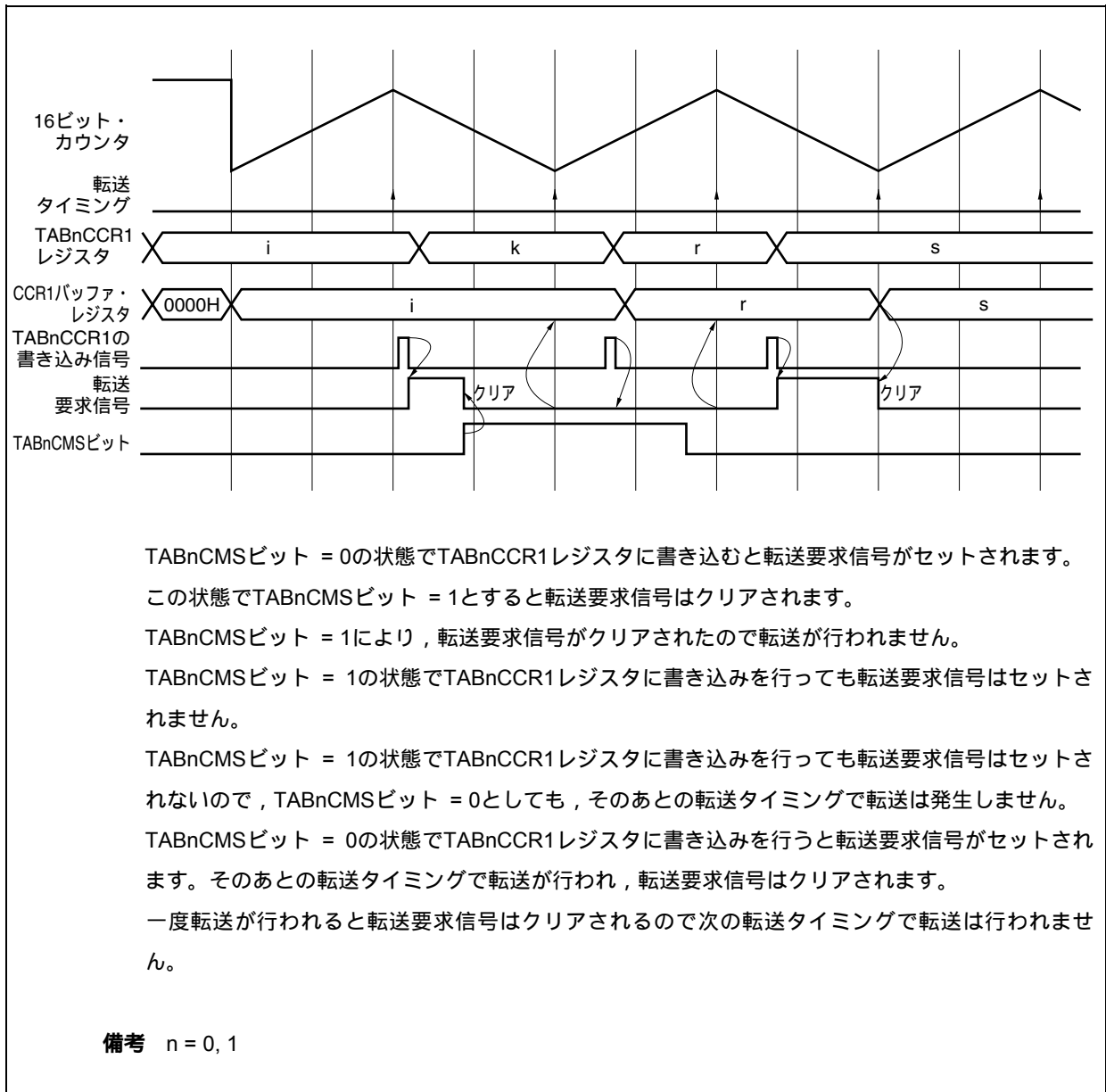
(4) TABnOPT0.TABnCMSビットの書き換え

TABnCMSビットは、随時書き換えモードと一斉書き換えモードの切り替えができます。タイマ動作中 (TABnCTL0.TABnCEビット = 1) の書き換えが可能です。図10 - 36で示す動作および注意が必要です。

TABnCMSビット = 0の状態ではTABnCCR1レジスタに書き込むと転送要求信号 (内部信号) がセットされます。

転送要求信号がセットされていると、次の転送タイミングで転送を行い、転送要求信号がクリアされます。この転送要求信号は、TABnCMSビット = 1によってもクリアされます。

図10 - 36 TABnCMSビットの書き換え



### 10.4.5 A/D変換開始トリガ信号出力用TAA<sub>n</sub>の同調動作

6相PWM出力モードで使用する場合は、TAA<sub>n</sub>およびTAB<sub>n</sub>の同調動作について示します。

6相PWM出力モードでは、TAB<sub>n</sub>をマスタとし、TAA<sub>n</sub>をスレーブとして同調動作を行い、A/D変換開始トリガ・ソースとしてTAA<sub>n</sub>のINTTA<sub>n</sub>CC0、INTTA<sub>n</sub>CC1信号とTAB<sub>n</sub>のINTTB<sub>n</sub>OV、INTTB<sub>n</sub>CC0信号でA/Dコンバータ0、1の変換開始トリガ信号を設定できます。

**備考** n = 0, 1

#### (1) 同調動作開始手順

同調動作を行わせるためのTAA<sub>n</sub>、TAB<sub>n</sub>のレジスタの設定手順を次に示します。

##### (a) TAA<sub>n</sub>レジスタ設定(TAB<sub>n</sub>、TAA<sub>n</sub>は動作停止状態(TAB<sub>n</sub>CTL0.TAB<sub>n</sub>CEビット = 0, TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CEビット = 0)にしてください)

- ・ TAA<sub>n</sub>CTL1レジスタ = 85Hに設定 (同調動作スレーブ・モード, フリー・ランニング・タイマ・モードに設定)
- ・ TAA<sub>n</sub>OPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択)
- ・ TAA<sub>n</sub>CCR0, TAA<sub>n</sub>CCR1レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)

##### (b) TAB<sub>n</sub>レジスタ設定

- ・ TAB<sub>n</sub>CTL1レジスタ = 07Hに設定 (マスタ・モード, 6相PWM出力モードに設定)
- ・ TAB<sub>n</sub>IOC0レジスタに適切な値を設定 (TOB<sub>n</sub>T1-TOB<sub>n</sub>T3の出力モードを設定)  
ただし、TAB<sub>n</sub>OL0, TAB<sub>n</sub>OE0ビットは必ずTAB<sub>n</sub>OL0ビット = 0, TAB<sub>n</sub>OE0ビット = 1に設定 (正相の出力許可) してください。この設定を行わない場合は、山割り込み (INTTB<sub>n</sub>CC0), 谷割り込み (INTTB<sub>n</sub>OV) が発生しないため、A/Dコンバータ0, 1の変換開始トリガ信号が正常に発生しません。
- ・ TAB<sub>n</sub>IOC1, TAB<sub>n</sub>IOC2レジスタ = 00Hに設定 (TAB<sub>n</sub>のTIB<sub>n</sub>0-TIB<sub>n</sub>3, EVT<sub>n</sub>, TRGB<sub>n</sub>端子は使用しない)
- ・ TAB<sub>n</sub>OPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択にする)
- ・ TAB<sub>n</sub>CCR0-TAB<sub>n</sub>CCR3レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)
- ・ TAB<sub>n</sub>CTL0レジスタ = 0xHに設定 (TAB<sub>n</sub>CEビットは0, TAB<sub>n</sub>の動作クロックを設定する)  
TAB<sub>n</sub>CTL0レジスタで設定したTAB<sub>n</sub>の動作クロックは、TAA<sub>n</sub>にも供給され、同じタイミングでカウント動作を行います。TAA<sub>n</sub>CTL0レジスタで設定したTAA<sub>n</sub>の動作クロックは無視されます。

##### (c) TMQOP<sub>n</sub> (TMQ<sub>n</sub>オプション) レジスタ設定

- ・ TAB<sub>n</sub>OPT1, TAB<sub>n</sub>OPT2レジスタに適切な値を設定
- ・ TAB<sub>n</sub>IOC3レジスタに適切な値を設定 (TOB<sub>n</sub>B1-TOB<sub>n</sub>B3の出力モードを設定)
- ・ TAB<sub>n</sub>DTCレジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)



**(d) 兼用機能設定**

- ・ポート・コントロール・モードにより、ポートを兼用機能にする。

**(e) TAA<sub>n</sub>CEビット = 1に設定し、直後にTAB<sub>n</sub>CEビット = 1に設定し、6相PWM出力動作を開始**

動作中におけるTAB<sub>n</sub>CTL0, TAB<sub>n</sub>CTL1, TAB<sub>n</sub>IOC1, TAB<sub>n</sub>IOC2, TAA<sub>n</sub>CTL0, TAA<sub>n</sub>CTL1レジスタの書き換えは禁止です。書き換えた場合の動作、および、PWM出力波形は保証できません。ただし、TAB<sub>n</sub>CTL0.TAB<sub>n</sub>CEビット = 0にするためのTAB<sub>n</sub>CEビットの書き換えは許可します。また、TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CEビット = 1としたあとTAB<sub>n</sub>CEビット = 1とするまでは、ほかのTAB<sub>n</sub>, TAA<sub>n</sub>, TMQ<sub>n</sub>オプションの各レジスタ操作（読み出し / 書き込み）は一切禁止です。

**(2) 同調動作解除手順**

同調動作を解除し、6相PWM出力モードを終了するためのTAA<sub>n</sub>, TAB<sub>n</sub>レジスタの設定手順を次に示します。

- TAB<sub>n</sub>CTL0.TAB<sub>n</sub>CEビット = 0に設定し、タイマ動作を停止
- TAA<sub>n</sub>CTL0.TAA<sub>n</sub>CEビット = 0に設定し、TAA<sub>n</sub>は分離可能状態
- TAB<sub>n</sub>IOC0レジスタによりタイマ出力を停止
- TAA<sub>n</sub>CTL1.TAA<sub>n</sub>SYEビット = 0に設定し、同調動作を解除

**注意** TAB<sub>n</sub>CEビット = 0としたあとTAA<sub>n</sub>CEビット = 0とするまでは、ほかのTAB<sub>n</sub>, TAA<sub>n</sub>, TMQ<sub>n</sub>オプションの各レジスタ操作（読み出し / 書き込み）は一切禁止です。

**(3) TAA<sub>n</sub>を同調動作させない場合について**

A/Dコンバータ0, 1の変換開始トリガ・ソースとしてTAA<sub>n</sub>の一致割り込み信号を使用しない場合は、TAA<sub>n</sub>を同調動作させず単独動作させて別機能のタイマとして使用できます。この場合、6相PWM出力モードにおいて、A/D変換開始トリガ・ソースとしてTAA<sub>n</sub>の一致割り込み信号を使用しないため、TAB<sub>n</sub>OPT2, TAB<sub>n</sub>AT2, TAB<sub>n</sub>AT3ビット, TAB<sub>n</sub>OPT3, TAB<sub>n</sub>AT6, TAB<sub>n</sub>AT7ビットは0固定にして使用してください。

ほかの制御ビットは、TAA<sub>n</sub>を同調動作させた場合と同様に使用できます。

TAA<sub>n</sub>を同調動作させていない場合、TAA<sub>n</sub>のコンペア・レジスタ（TAA<sub>n</sub>CCR0, TAA<sub>n</sub>CCR1）は、TAB<sub>n</sub>OPT0.TAB<sub>n</sub>CMSビット, TAB<sub>n</sub>OPT2.TAB<sub>n</sub>RDEビットの設定による影響を受けません。TAA<sub>n</sub>を同調動作させない場合の初期設定手順は、10.4.5(1)同調動作開始手順に示した手順の(b)-(e)を行ってください。(a)は同調動作させるTAA<sub>n</sub>の設定なので不要です。

**(4) 同調動作時のTAAの基本動作**

TAAの16ビット・カウンタは、アップ・カウント動作のみを行います。TABnCCR0レジスタによる周期設定値でTAAの16ビット・カウンタがクリアされ0000Hから再カウントを行います。したがって、TABnの16ビット・カウンタがアップ・カウント時はTAAの16ビット・カウンタと同値ですが、ダウン・カウント時はTAAのカウンタ値は同じではありません。

- ・TABnがアップ・カウント時（同値）

TABnの16ビット・カウンタ：0000H M（アップ・カウント）

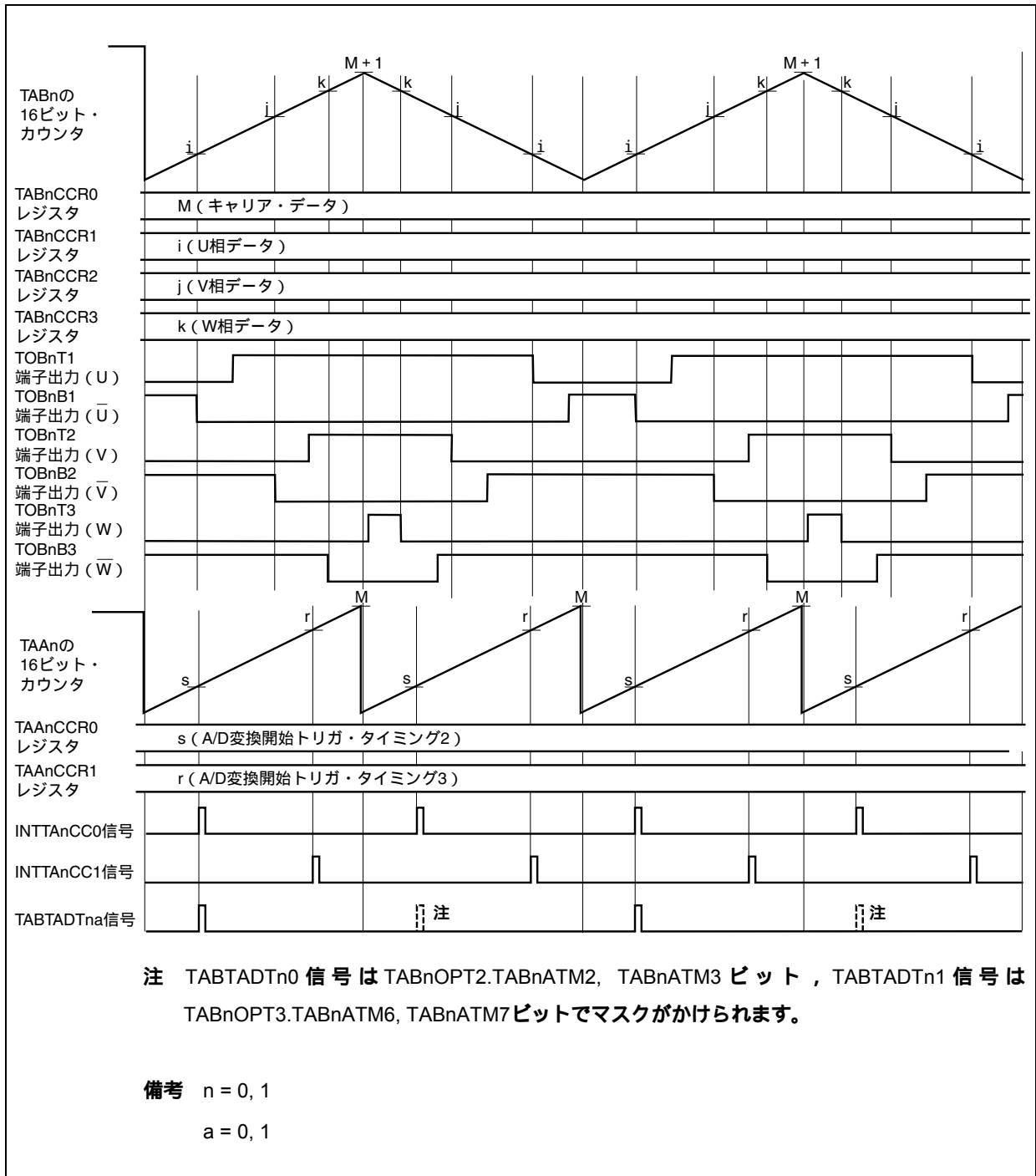
TAAの16ビット・カウンタ：0000H M（アップ・カウント）

- ・TABnがダウン・カウント時（同値でない）

TABnの16ビット・カウンタ：M+1 0001H（ダウン・カウント）

TAAの16ビット・カウンタ：0000H M（アップ・カウント）

図10 - 37 同調動作時のTAA<sub>n</sub>



### 10.4.6 A/D変換開始トリガ出力機能

V850E/IF3, V850E/IG3には、4つのトリガ・ソース (INTTBnOV, INTTBnCC0, INTTAnCC0, INTTAnCC1) を自由に選択して、A/Dコンバータ0, 1の変換開始トリガ信号 (TABTADTn0, TABTADTn1) を生成する機能があります。

トリガ・ソースは、TABnOPT2.TABnAT0-TABnAT3, TABnOPT3.TABnAT4-TABnAT7ビットで指定します。

- ・ TABnAT0, TABnAT4ビット = 1
  - : INTTBnOV (カウンタ・アンドフロー) 発生時にA/D変換開始トリガ信号を発生
- ・ TABnAT1, TABnAT5ビット = 1
  - : INTTBnCC0 (周期一致) 発生時にA/D変換開始トリガ信号を発生
- ・ TABnAT2, TABnAT6ビット = 1
  - : INTTAnCC0 (同調動作TAAのTAAAnCCR0レジスタとの一致) 発生時にA/D変換開始トリガ信号を発生
- ・ TABnAT3, TABnAT7ビット = 1
  - : INTTAnCC1 (同調動作TAAのTAAAnCCR1レジスタとの一致) 発生時にA/D変換開始トリガ信号を発生

TABnAT0-TABnAT3, TABnAT4-TABnAT7ビットにより選択されたA/D変換開始トリガ信号は、すべてORされて出力されるため、複数のトリガ・ソースを同時に指定できます。

TABnAT0, TABnAT1, TABnAT4, TABnAT5ビットによって選択されるINTTBnOV, INTTBnCC0信号は割り込み間引き後の信号となります。

したがって、割り込み間引き制御を受けたタイミングでの出力となり、割り込みの出力イネーブル (TABnOPT1.TABnICE, TABnIOEビット) を許可にしていない場合は、A/D変換開始トリガ信号も出力されません。

TAAnからのトリガ・ソース (INTTAnCC0, INTTAnCC1) は、TABnAT2, TABnAT3, TABnAT6, TABnAT7ビットの設定により、16ビット・カウンタのアップ・カウント/ダウン・カウントの状態によって、A/D変換開始トリガ信号をマスクする機能があります。

- ・ TABnATM2, TABnATM6ビット
  - : TABnAT2, TABnAT6ビットに対応し、TAAのINTTAnCC0 (一致割り込み信号) を制御
  - ・ TABnATM2, TABnATM6ビット = 0
    - : 16ビット・カウンタがアップ・カウント時 (TABnOPT0.TABnCUFビット = 0) はA/D変換開始トリガ信号を出力し、ダウン・カウント時 (TABnCUFビット = 1) はA/D変換開始トリガ信号を出力しない。
  - ・ TABnATM2, TABnATM6ビット = 1
    - : 16ビット・カウンタがダウン・カウント時 (TABnCUFビット = 1) はA/D変換開始トリガ信号を出力し、アップ・カウント時 (TABnCUFビット = 0) はA/D変換開始トリガ信号を出力しない。
- ・ TABnATM3, TABnATM7ビット
  - : TABnAT3, TABnAT7ビットに対応し、TAAのINTTAnCC1 (一致割り込み信号) を制御
  - ・ TABnATM3, TABnATM7ビット = 0
    - : 16ビット・カウンタがアップ・カウント時 (TABnCUFビット = 0) はA/D変換開始トリガ信号を出力し、ダウン・カウント時 (TABnCUFビット = 1) はA/D変換開始トリガ信号を出力しない。
  - ・ TABnATM3, TABnATM7ビット = 1
    - : 16ビット・カウンタがダウン・カウント時 (TABnCUFビット = 1) はA/D変換開始トリガ信号を出力し、アップ・カウント時 (TABnCUFビット = 0) はA/D変換開始トリガ信号を出力しない。

TABnATM3, TABnATM2, TABnAT3-TABnAT0, TABnATM7, TABnATM6, TABnAT7-TABnAT4ビットは、タイマ動作中に書き換えができません。タイマ動作中にA/D変換開始トリガ信号の設定ビットを書き換えると、即時にA/D変換開始トリガ信号の出力状態に反映されます。これらの制御ビットは、転送機能を持たず、随時書き換えモードのみ可能です。

- 注意1.** TABnAT2, TABnAT3, TABnAT6, TABnAT7ビットの設定におけるA/Dの変換開始トリガ信号出力は、TAA<sub>n</sub>がTAB<sub>n</sub>のスレーブ・タイマとして同調動作している場合にかぎり利用できます。TAB<sub>n</sub>, TAA<sub>n</sub>が同調動作を行っていない場合、および6相PWM出力モード以外で使用している場合は、出力を保証できません。
2. 16ビット・カウンタのアップ/ダウン・カウントの状態判定には、TOB<sub>n</sub>0信号出力を内部で利用しています。したがって、TAB<sub>n</sub>IOC0.TAB<sub>n</sub>OL0ビット = 0, TAB<sub>n</sub>OE0ビット = 1と設定し、TOB<sub>n</sub>0端子出力を有効にしてください。

図10 - 38 A/D変換開始トリガ(TABTADTn0)信号出力例(TABnOPT1.TABnICEビット = 1, TABnIOEビット = 1, TABnID4-TABnID0ビット = 00000 : 割り込み間引きなし)

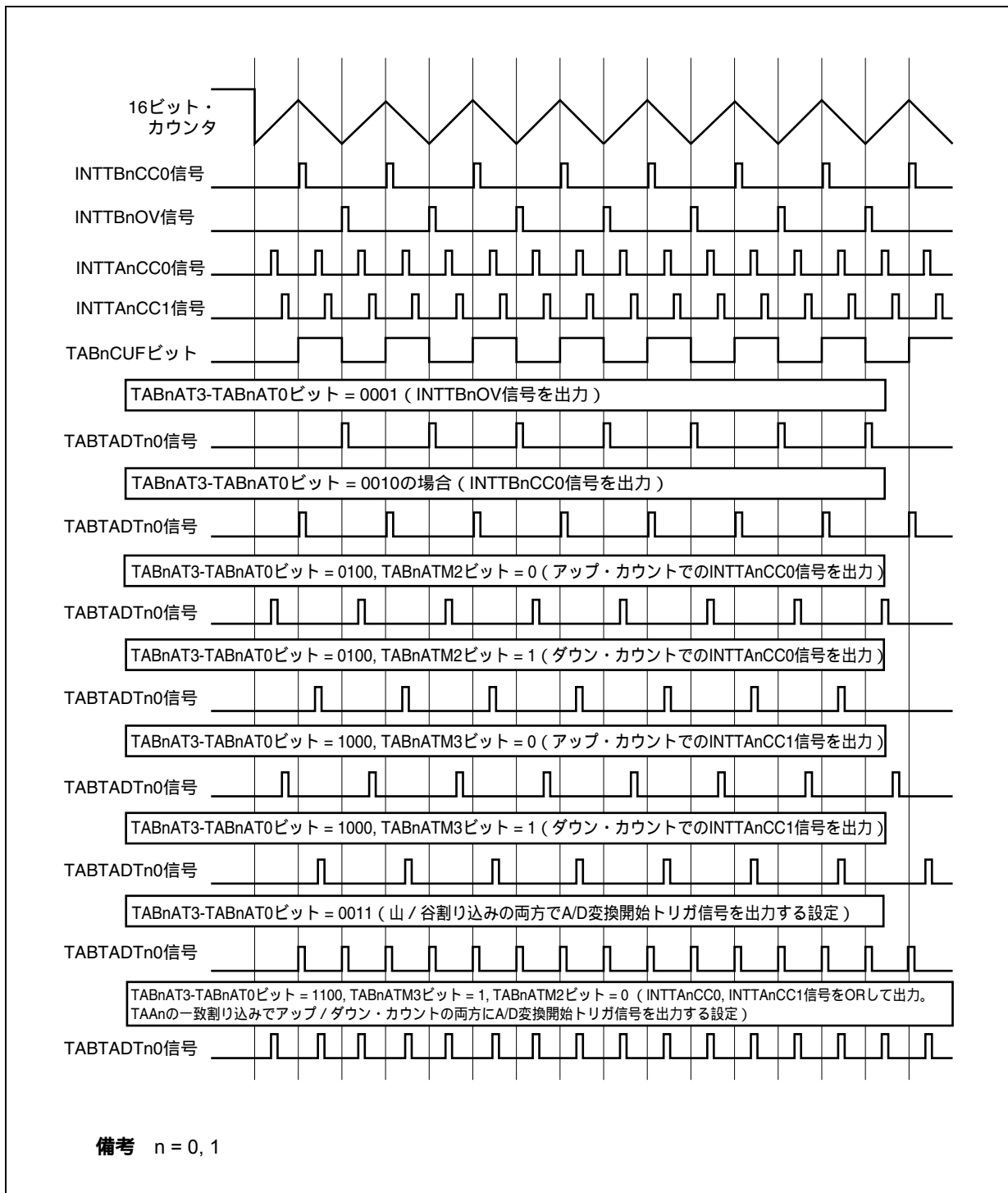


図10 - 39 A/D変換開始トリガ (TABTADTn0) 信号出力例 (TABnOPT1.TABnICEビット = 0, TABnIOEビット = 1, TABnID4-TABnID0ビット = 00010 : 割り込み間引きあり) (1)

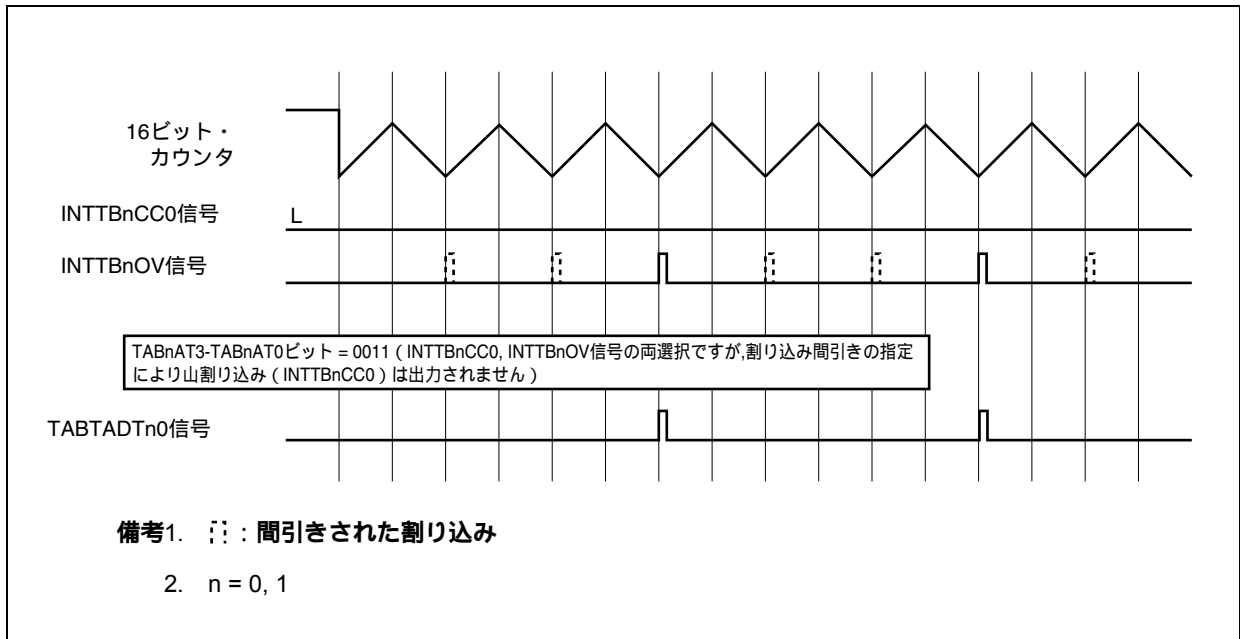
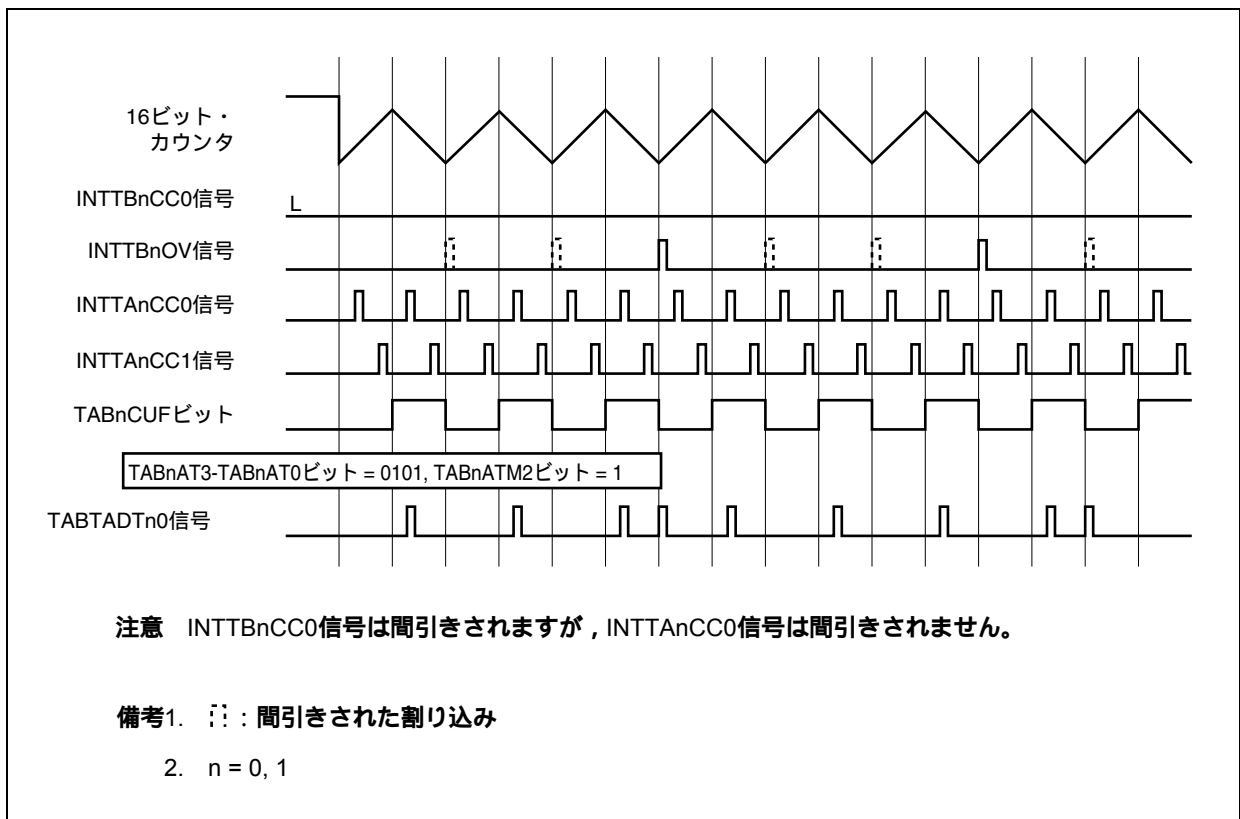


図10 - 40 A/D変換開始トリガ (TABTADTn0) 信号出力例 (TABnOPT1.TABnICEビット = 0, TABnIOEビット = 1, TABnID4-TABnID0ビット = 00010 : 割り込み間引きあり) (2)



(1) 境界条件での動作 (16ビット・カウンタとINTTAnCC0信号の一致発生時の動作説明)

表10 - 3 TABnCCR0レジスタ = M, TABnAT2ビット = 1, TABnAT6ビット = 1, TABnATM2ビット = 0, TABnATM6ビット = 0 (アップ・カウント期間選択) の動作

TAAAnCCR0レジスタの値	TABnの16ビット・カウンタの値	TAAAnの16ビット・カウンタの値	TABnの16ビット・カウンタの状態	INTTAnCC0信号によるTABTADTna信号の出力
0000H	0000H	0000H	-	出力する
0000H	M + 1	0000H	-	出力しない
0001H	0001H	0001H	アップ・カウント	出力する
0001H	M	0001H	ダウン・カウント	出力しない
M	M	M	アップ・カウント	出力する
M	0001H	M	ダウン・カウント	出力しない

表10 - 4 TABnCCR0レジスタ = M, TABnAT2ビット = 1, TABnAT6ビット = 1, TABnATM2ビット = 1, TABnATM6ビット = 1 (ダウン・カウント期間選択) の動作

TAAAnCCR0レジスタの値	TABnの16ビット・カウンタの値	TAAAnの16ビット・カウンタの値	TABnの16ビット・カウンタの状態	INTTAnCC0信号によるTABTADTna信号の出力
0000H	0000H	0000H	-	出力しない
0000H	M + 1	0000H	-	出力する
0001H	0001H	0001H	アップ・カウント	出力しない
0001H	M	0001H	ダウン・カウント	出力する
M	M	M	アップ・カウント	出力しない
M	0001H	M	ダウン・カウント	出力する

**注意** TAAAnCCRaレジスタは、TABnCCR0レジスタ = Mのとき、“0”から“M”までの設定を許可します。  
 “M + 1”以上は設定禁止です。  
 “M + 1”以上の値を設定した場合は、TAAAnの16ビット・カウンタは“M”でクリアされるため、TABTADTna信号は出力されません。

**備考** n = 0, 1  
 a = 0, 1



## 第11章 ウォッチドッグ・タイマ機能

### 11.1 機 能

ウォッチドッグ・タイマには、次のような機能があります。

- ・リセット・モード：ウォッチドッグ・タイマのオーバーフローによるリセット動作（WDTRESを発生）
- ・ノンマスカブル割り込み要求モード  
：ウォッチドッグ・タイマのオーバーフローによるノンマスカブル割り込み動作（INTWDTを発生）

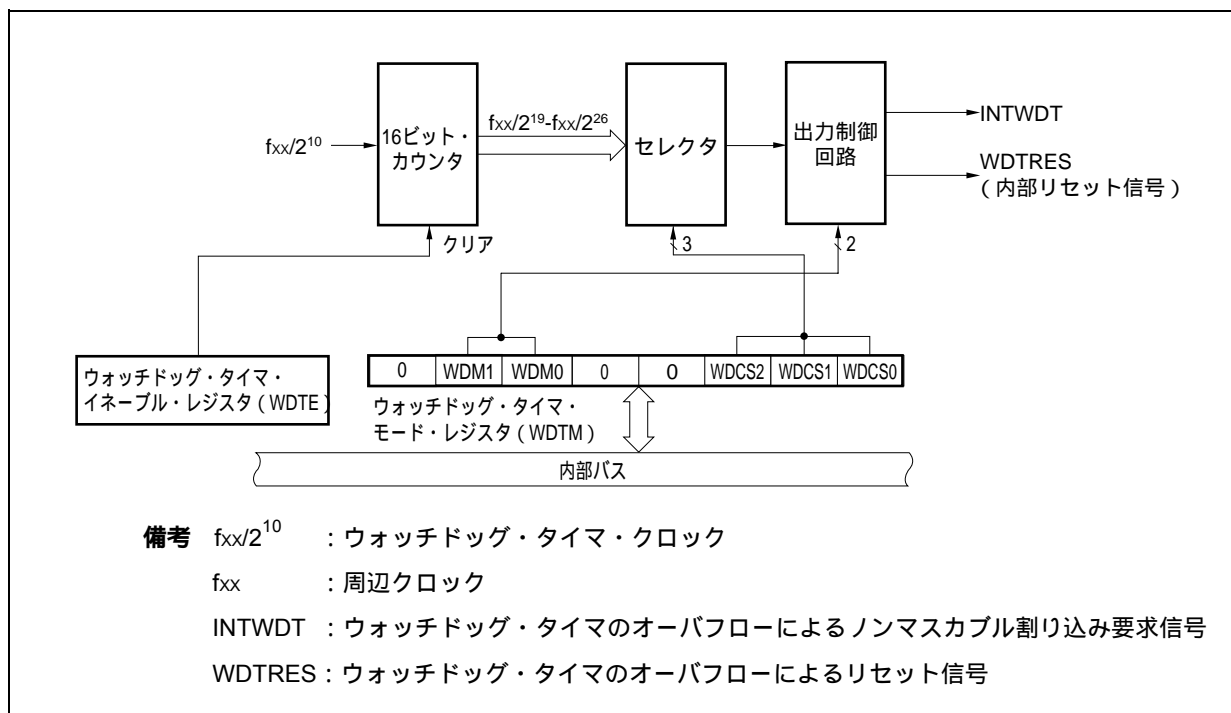
**注意** ウォッチドッグ・タイマは、リセット解除後は動作停止状態です。

ウォッチドッグ・タイマを使用する場合はWDTEレジスタに“ACH”を書き込むことで動作を開始します。また、デフォルトの設定（リセット・モード、インターバル時間： $2^{26}/f_{xx}$ ）で変更する必要がない場合も、動作を確定するためにWDTMレジスタに1回だけ書き込みを行ってください。

## 11.2 構成

次にウォッチドッグ・タイマのブロック図を示します。

図11-1 ウォッチドッグ・タイマのブロック図



ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表11-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

## 11.3 制御レジスタ

### (1) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマのオーバフロー時間および動作クロックを設定するレジスタです。

8ビット単位でリード/ライト可能です。読み出しは何回でもできますが、書き込みはリセット解除後に1回のみできます。なお、2回目以降は書き込みできません。

リセットにより67Hになります。

リセット時：67H R/W アドレス：FFFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM	0	WDM1	WDM0	0	0	WDCS2	WDCS1	WDCS0

WDM1	WDM0	ウォッチドッグ・タイマの動作モードの選択
0	0	動作停止
0	1	ノンマスクابل割り込み要求モード (INTWDTを発生)
1	x	リセット・モード (WDTRESを発生)

注意1. WDCS2-WDCS0ビットについては表11 - 2 オーバフロー時間を参照してください。

- ウォッチドッグ・タイマのカウンタ動作中にWDTMレジスタを書き換えた場合は、ウォッチドッグ・タイマのカウンタは0000Hにクリアされます。
- ビット3, 4, 7には必ず0を設定してください。

表11 - 2 オーバフロー時間

WDCS2	WDCS1	WDCS0	オーバフロー時間	$f_{xx} = 64 \text{ MHz}$	$f_{xx} = 32 \text{ MHz}$
0	0	0	$2^{19}/f_{xx}$	8.2 ms	16.4 ms
0	0	1	$2^{20}/f_{xx}$	16.4 ms	32.8 ms
0	1	0	$2^{21}/f_{xx}$	32.8 ms	65.5 ms
0	1	1	$2^{22}/f_{xx}$	65.5 ms	131.1 ms
1	0	0	$2^{23}/f_{xx}$	131.1 ms	262.1 ms
1	0	1	$2^{24}/f_{xx}$	262.1 ms	524.3 ms
1	1	0	$2^{25}/f_{xx}$	524.3 ms	1048.5 ms
1	1	1	$2^{26}/f_{xx}$	1048.5 ms	2097.1 ms

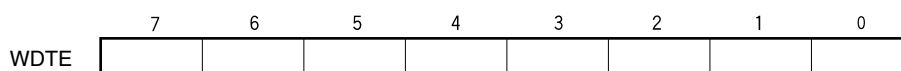
**(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)**

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

8ビット単位でリード/ライト可能です。

リセットにより1AHになります。

リセット時：1AH R/W アドレス：FFFFFF6D1H



- 注意1.** WDTEレジスタに“ACH”を書き込んでウォッチドッグ・タイマを動作許可したあと、WDTEレジスタに“ACH”以外の値を書き込んだ場合、WDTM.WDM1, WDM0ビットの指定によりウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込み要求信号 (INTWDT) またはウォッチドッグ・タイマのオーバフローによるリセット信号 (WDTRES) が発生します。
- 2.** WDTEレジスタに1ビット単位でリード/ライトを実行した場合、内部リセット信号が発生します。
- 3.** WDTEレジスタのリード値は、ウォッチドッグ・タイマ動作前は“1AH”，動作後は“9AH”です。書き込んだ値 (ACH) とは異なります。

**11.4 動作**

ウォッチドッグ・タイマは、リセット解除後は動作停止状態です。

WDTMレジスタへの書き込みはリセット解除後に1回だけ可能です。

ウォッチドッグ・タイマを使用する場合は、動作モードとインターバル時間を8ビット単位でWDTMレジスタに書き込んでください。この操作後、動作停止することはできません。

ウォッチドッグ・タイマを使用しない場合は、WDTMレジスタに00Hを書き込んでください。

**11.5 注意事項**

ウォッチドッグ・タイマのクリアを行わずにウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込み要求信号 (INTWDT) が連続して発生した場合のINTWDT割り込み要求信号発生周期は「WDTMレジスタで設定したインターバル時間 +  $2^7$  周辺クロック・パルス幅」で求められます。

なお、ウォッチドッグ・タイマ起動後の最初の割り込み要求信号の発生まではパルス幅を含みません。

## 第12章 A/Dコンバータ0, 1

### 12.1 特 徴

12ビット分解能A/Dコンバータを2回路（A/Dコンバータ0, 1）内蔵

2回路同時サンプリング可能

アナログ入力

・コンパレータ未使用時

2回路合計10チャンネル

A/Dコンバータ0：ANI00/ANI05, ANI01-ANI04（5チャンネル）

A/Dコンバータ1：ANI10/ANI15, ANI11/ANI16, ANI12/ANI17, ANI13, ANI14（5チャンネル）

・コンパレータ使用時

2回路合計6/8チャンネル

[ 6チャンネル時（ロウ・レンジおよびフル・レンジのコンパレータ使用時） ]

A/Dコンバータ0：ANI00/ANI05, ANI01, ANI02（3チャンネル）

A/Dコンバータ1：ANI10/ANI15, ANI11/ANI16, ANI12/ANI17（3チャンネル）

[ 8チャンネル時（ロウ・レンジまたはフル・レンジのコンパレータ使用時） ]

A/Dコンバータ0：ANI00/ANI05, ANI01, ANI02, ANI03またはANI04（4チャンネル）

A/Dコンバータ1：ANI10/ANI15, ANI11/ANI16, ANI12/ANI17, ANI13またはANI14（4チャンネル）

A/D変換結果レジスタ

12ビット×16本+12ビット×16本

A/Dコンバータ0：AD0CR0-AD0CR15

A/Dコンバータ1：AD1CR0-AD1CR15

A/D変換結果拡張レジスタ

拡張バッファ・モード時のみ使用可

12ビット×5本+12ビット×5本

A/Dコンバータ0：AD0ECR0-AD0ECR4

A/Dコンバータ1：AD1ECR0-AD1ECR4

動作モード

・通常動作モード

A/Dトリガ・モード

A/Dトリガ・ポーリング・モード

ハードウェア・トリガ・モード

・拡張動作モード

変換チャンネル指定モード

拡張バッファ・モード

## 入力レベル増幅用 (2.5倍 ~ 10倍) オペアンプ内蔵

入力レベル増幅用オペアンプ使用時のみ使用可

2回路合計4ユニット

A/Dコンバータ0 : ANI05 (1ユニット)

A/Dコンバータ1 : ANI15-ANI17 (3ユニット)

## 過電圧検出用コンパレータ内蔵

・過電圧検出用コンパレータ使用時のみ使用可

・2回路合計4ユニット

A/Dコンバータ0 : 1ユニット

A/Dコンバータ1 : 3ユニット

・基準電圧

CREF0L, CREF1L端子 (ロウ・レンジ側) の入力電圧範囲 =  $0.02AV_{DD} + 0.1 \sim 0.5AV_{DD} - 0.1 V$

CREF0F, CREF1F端子 (フル・レンジ側) の入力電圧範囲 =  $0.02AV_{DD} + 0.1 \sim 0.92AV_{DD} - 0.1 V$

・過電圧検出時は割り込み要求発生。割り込み要求は, ANI00/ANI05の過電圧検出信号 (フル・レンジ側, ロウ・レンジ側) 2本と, ANI10/ANI15, ANI11/ANI16, ANI12/ANI17の3チャンネルの過電圧検出信号の論理和 (OR) または論理積 (AND) の出力信号 (フル・レンジ側, ロウ・レンジ側) 2本で出力されます。

・過電圧検出時は設定によりモータ制御用タイマ出力をハイ・インピーダンス状態にすることが可能。

## 逐次変換方式

## 動作電圧範囲

$EV_{DD0} = EV_{DD1} = EV_{DD2}$  (V850E/IG3のみ) =  $AV_{DD0} = AV_{DD1} = AV_{REFP0} = AV_{REFP1} = 4.0 \sim 5.5 V$

## 12.2 構成

次にブロック図を示します。

図12-1 A/Dコンバータ0のブロック図

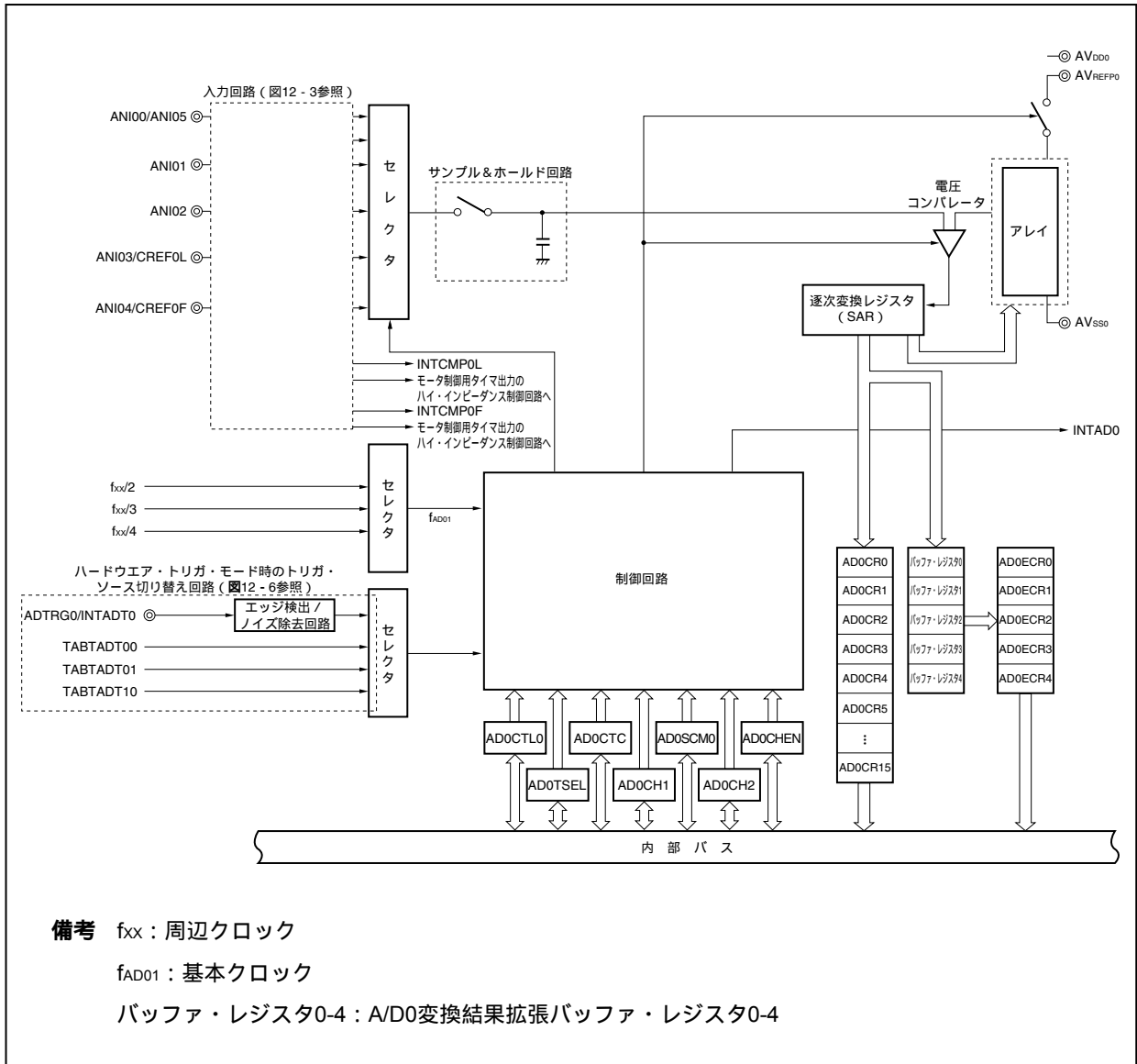
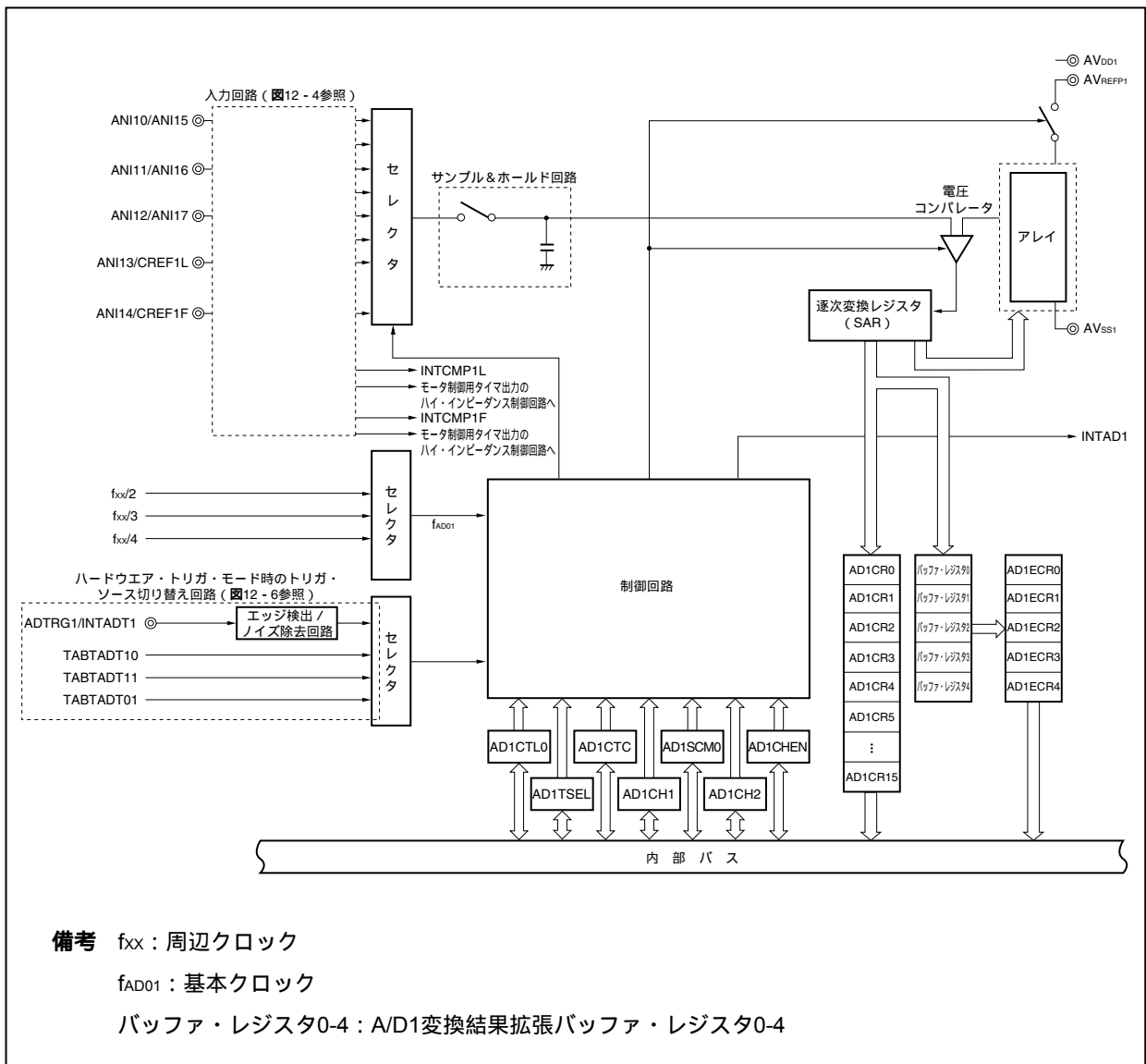


図12-2 A/Dコンバータ1のブロック図





注意1. アナログ入力端子 (ANI00-ANI05, ANI10-ANI17) およびA/Dコンバータ基準電圧入力端子 ( $AV_{REFP0}$ ,  $AV_{REFP1}$ ) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- ・ 複数回のA/D変換結果の平均値を、A/D変換結果として使用する。
  - ・ 複数回のA/D変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
  - ・ システムに異常が発生したと判断されるようなA/D変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。
2. A/Dコンバータ0, 1の入力端子として使用している端子には、 $AV_{SSn}-AV_{REFPn}$ の範囲外の電圧が加わらないようにしてください ( $n = 0, 1$ )。

図12-3 A/Dコンバータ0の入レベル増幅用オペアンプと過電圧検出用コンパレータのブロック図

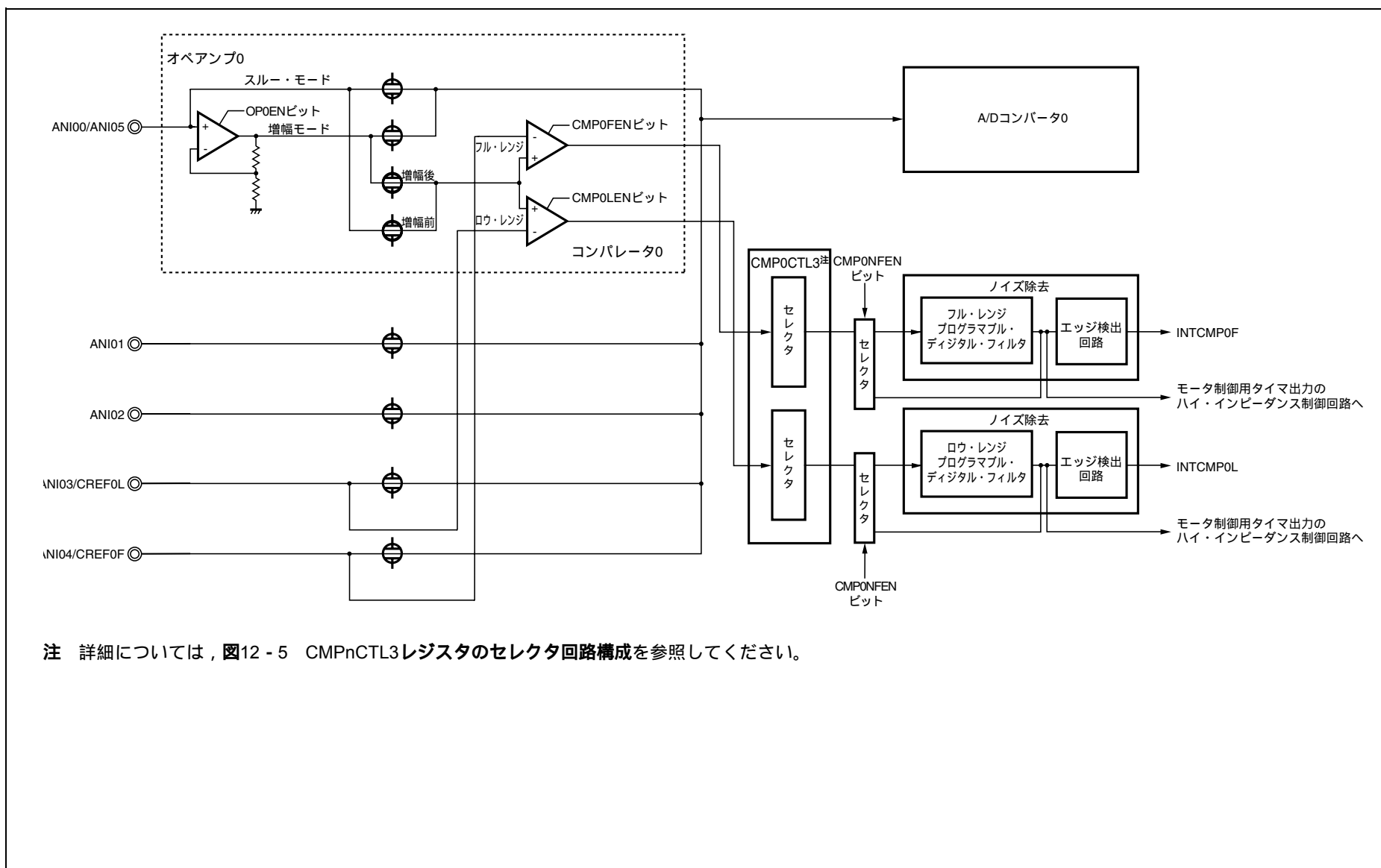
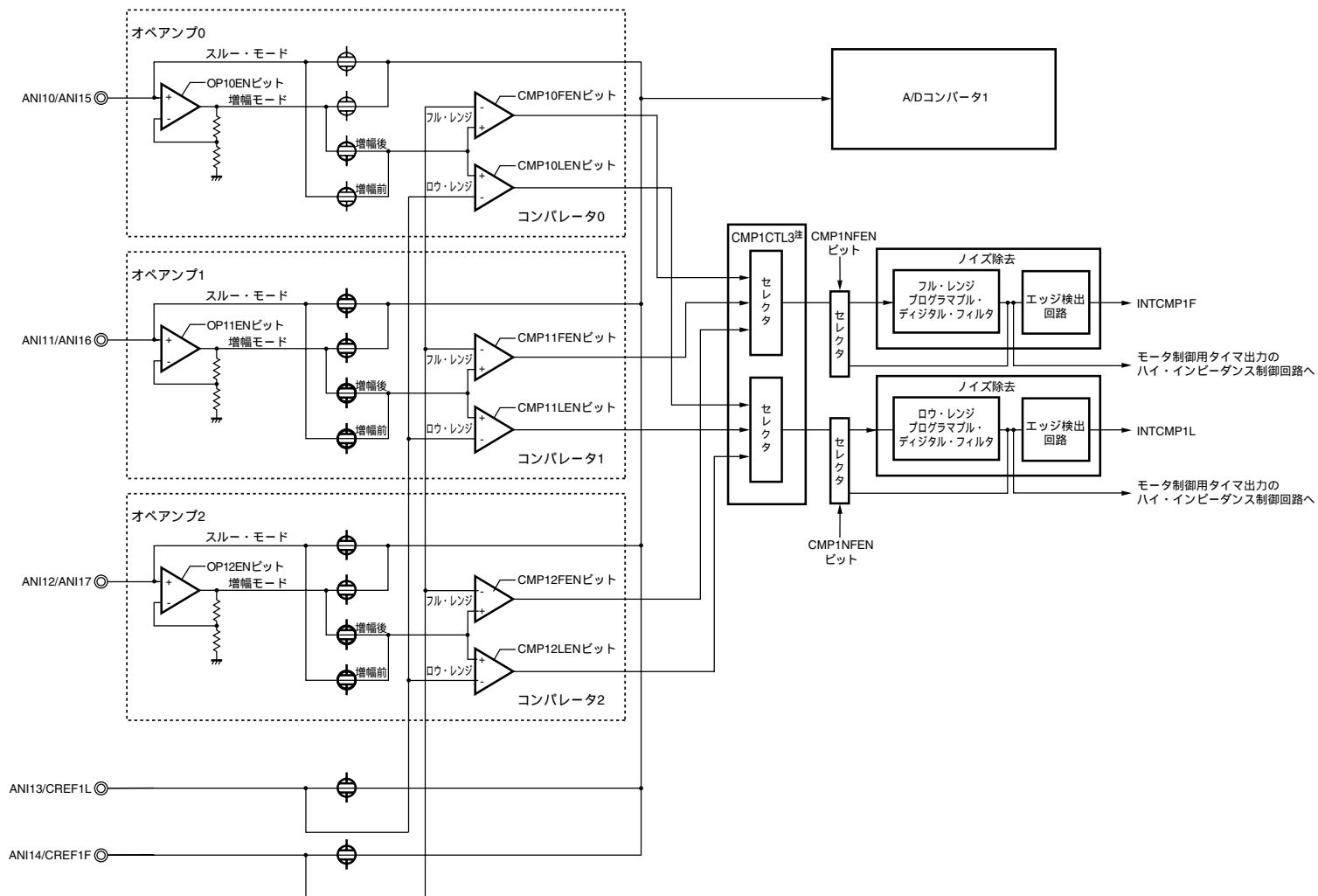


図12-4 A/Dコンバータ1の入力レベル増幅用オペアンプと過電圧検出用コンパレータのブロック図



注 詳細については、図12-5 CMPnCTL3レジスタのセクタ回路構成を参照してください。

図12 - 5 CMPnCTL3レジスタのセクタ回路構成

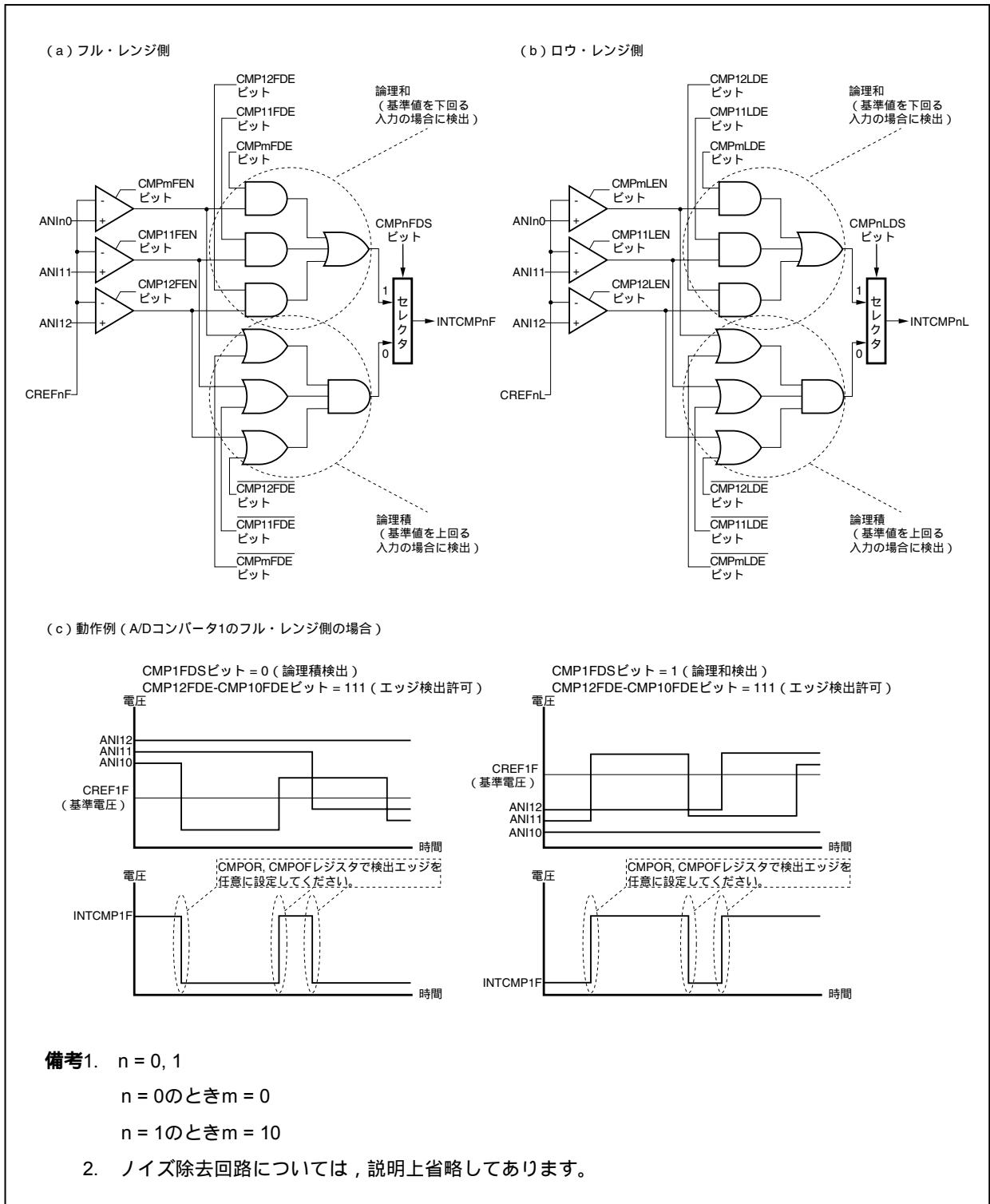
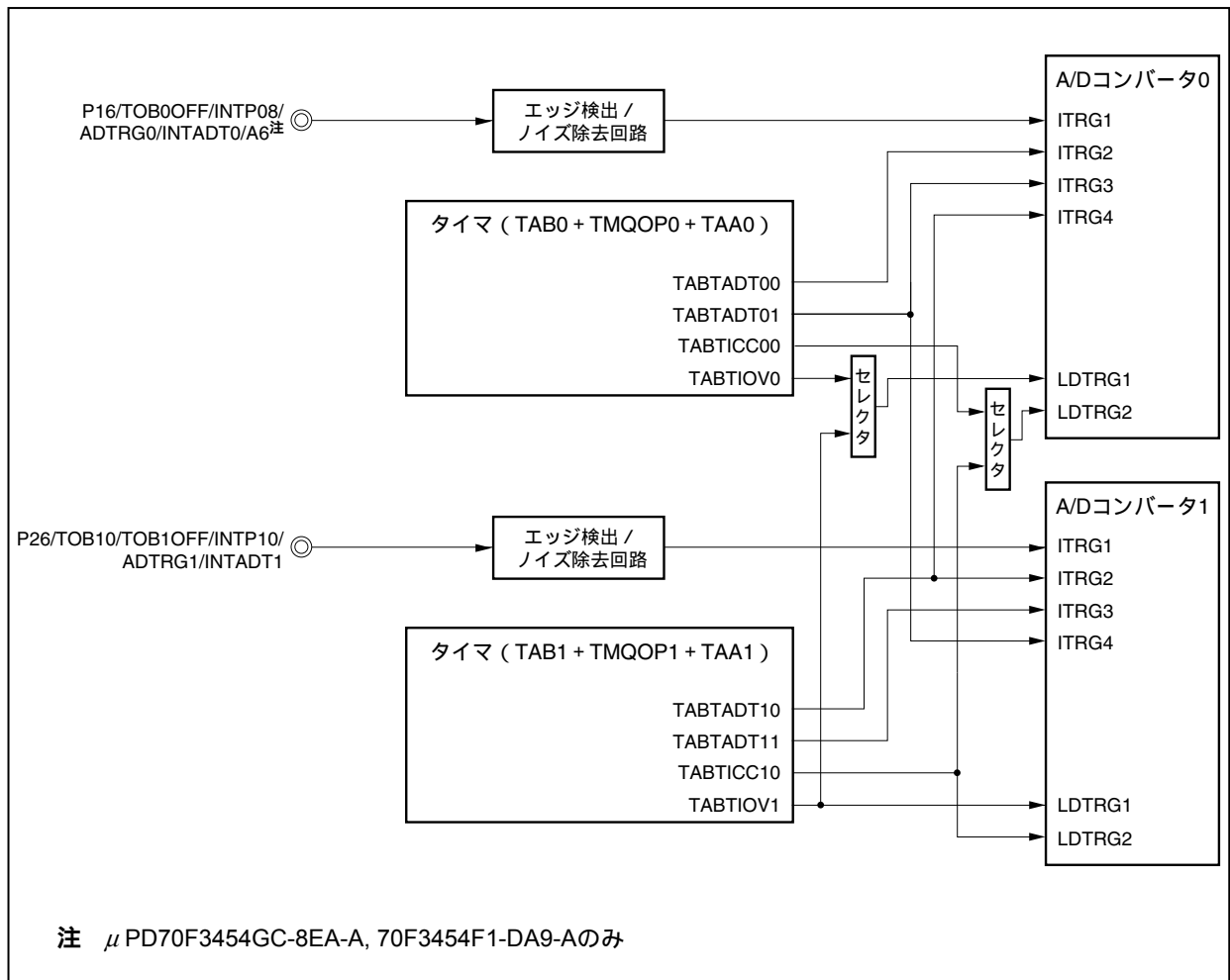


図12 - 6 ハードウェア・トリガ・モード時のトリガ・ソース切り替え回路のブロック図



A/Dコンバータ0, 1は、次のハードウェアで構成しています。

表12 - 1 A/Dコンバータ0, 1の構成

項 目	構 成
アナログ入力	<p>コンパレータ未使用時：ANI00/ANI05, ANI01-ANI04, ANI10/ANI15-ANI12/ANI17, ANI13, ANI14 (2回路合計10チャンネル)</p> <p>コンパレータ使用時(ロウ・レンジおよびフル・レンジのコンパレータ使用時) ：ANI00/ANI05, ANI01, ANI02, ANI10/ANI15-ANI12/ANI17 (2回路合計6チャンネル)</p> <p>コンパレータ使用時(ロウ・レンジまたはフル・レンジのコンパレータ使用時) ：ANI00/ANI05, ANI01, ANI02, ANI03またはANI04, ANI10/ANI15-ANI12/ANI17, ANI13またはANI14 (2回路合計8チャンネル)</p>
レジスタ	<p>逐次変換レジスタ(SAR)</p> <p>A/Dn変換結果レジスタ0-15(ADnCR0-ADnCR15)</p> <p>A/Dn変換結果レジスタ0H-15H(ADnCR0H-ADnCR15H)</p> <p>A/Dn変換結果拡張レジスタ0-4(ADnECR0-ADnECR4) (拡張動作モード(拡張バッファ・モード)時専用)</p> <p>A/Dn変換結果拡張レジスタ0H-4H(ADnECR0H-ADnECR4H) (拡張動作モード(拡張バッファ・モード)時専用)</p>
制御レジスタ	<p>A/Dコンバータnスキャン・モード・レジスタ(ADnSCM)</p> <p>A/Dコンバータnスキャン・モード・レジスタL(ADnSCML)</p> <p>A/Dコンバータnスキャン・モード・レジスタH(ADnSCMH)</p> <p>A/Dコンバータn変換時間制御レジスタ(ADnCTC)</p> <p>A/Dコンバータn変換チャンネル指定レジスタ(ADnCHEN)</p> <p>A/Dコンバータn変換チャンネル指定レジスタL(ADnCHENL)</p> <p>A/Dコンバータn変換チャンネル指定レジスタH(ADnCHENH)</p> <p>A/Dコンバータn制御レジスタ(ADnCTL0)</p> <p>A/Dコンバータnトリガ選択レジスタ(ADnTSEL)</p> <p>A/Dコンバータnチャンネル指定レジスタ1(ADnCH1)</p> <p>A/Dコンバータnチャンネル指定レジスタ2(ADnCH2)</p> <p>A/Dコンバータnフラグ・レジスタ(ADnFLG)</p> <p>A/Dコンバータnフラグ・バッファ・レジスタ(ADnFLGB)</p> <p>A/DLDTRG1入力選択レジスタ(ADLTS1)</p> <p>A/DLDTRG2入力選択レジスタ(ADLTS2)</p> <p>A/Dコンバータnクロック選択レジスタ(ADnOCKS)</p> <p>A/Dトリガ立ち下がりエッジ指定レジスタ(ADTF)</p> <p>A/Dトリガ立ち上がりエッジ指定レジスタ(ADTR)</p> <p>オペアンプn制御レジスタ0(OPnCTL0)</p> <p>コンパレータn制御レジスタ0(CMPnCTL0)</p> <p>コンパレータn制御レジスタ1(CMPnCTL1)</p> <p>コンパレータn制御レジスタ2(CMPnCTL2)</p> <p>コンパレータn制御レジスタ3(CMPnCTL3)</p> <p>コンパレータ出力デジタル・ノイズ除去レジスタnL(CMPNFCnL)</p> <p>コンパレータ出力デジタル・ノイズ除去レジスタnF(CMPNFCnF)</p> <p>コンパレータ出力割り込み立ち上がりエッジ指定レジスタ(CMPOR)</p> <p>コンパレータ出力割り込み立ち下がりエッジ指定レジスタ(CMPOF)</p>

備考 n = 0, 1

**(1) セレクタ**

ADnSCM, ADnCTC, ADnCHEN, ADnCTL0, ADnTSEL, ADnCH1, ADnCH2, ADLTS1, ADLTS2, ADnOCKSレジスタで設定したモードに従ってアナログ入力端子を選択し, サンプル&ホールド回路に送ります ( $n = 0, 1$ )。

なお, ANI05, ANI15-ANI17には, 入力レベル増幅用オペアンプと過電圧検出用コンパレータが内蔵されています。入力レベル増幅用オペアンプおよび過電圧検出用コンパレータは, アナログ入力端子ごとにオン/オフを指定できます。また, 入力レベル増幅用オペアンプは, ANI05, ANI15-ANI17端子ごとに増幅度(ゲイン)を2.5倍~10倍から選択できます。

**(2) サンプル&ホールド回路**

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし, 電圧コンパレータに送ります。入力レベル増幅用オペアンプを使用する場合は, OPnCTL0.OPnGA3-OPnGA0ビットで指定したゲイン数×入力電圧をサンプリングします。なお, A/D変換動作中は, サンプリングしたアナログ入力電圧を保持します。

**(3) 電圧コンパレータ**

アレイの電圧タップから発生した電圧と, アナログ入力電圧を電圧コンパレータで比較します。比較した結果, アナログ入力電圧がリファレンス電圧( $1/2 AV_{REFPn}$ )より大きい場合には, 逐次変換レジスタ(SAR)の最上位ビット(MSB)をセットします。アナログ入力電圧がリファレンス電圧( $1/2 AV_{REFPn}$ )より小さい場合には, SARレジスタのMSBをリセットします。

次にSARレジスタのビット10が自動的にセットされ, 次の比較に移ります。ここではすでに結果がセットされているビット11の値によって, アレイの電圧タップが選択されます。

ビット11 = 0 : ( $1/4 AV_{REFPn}$ )

ビット11 = 1 : ( $3/4 AV_{REFPn}$ )

アレイの電圧タップとアナログ入力電圧を比較し, その結果でSARレジスタのビット10を操作します。

アナログ入力電圧 アレイの電圧タップ: ビット10 = 1

アナログ入力電圧 アレイの電圧タップ: ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。

**(4) アレイ**

アナログ入力より入力された電圧の比較電圧を生成します。

**(5) 逐次変換レジスタ (SAR : Successive Approximation Register)**

SARレジスタは、アレイからの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する12ビット・レジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/Dn変換結果レジスタ0-15 (ADnCR0-ADnCR15) に保持されます ( $n = 0, 1$ )。ただし、拡張バッファ・モード時には、変換結果はA/Dn変換結果拡張バッファ・レジスタ0-4に格納され、選択ロード・トリガ $x$ の発生によりADnECR0-ADnECR4レジスタにシフトされ格納されます ( $x = 1, 2$ )。また、指定されたすべてのA/D変換が終了すると、A/Dn変換終了割り込み要求信号 (INTADn) が発生します。

**(6) A/Dn変換結果レジスタ0-15 (ADnCR0-ADnCR15) , A/Dn変換結果レジスタ0H-15H (ADnCR0H-ADnCR15H) ( $n = 0, 1$ )**

ADnCR0-ADnCR15, ADnCR0H-ADnCR15Hレジスタは、A/D変換結果を保持するレジスタです。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされ、変換結果をADnCR0-ADnCR15レジスタの上位12ビットに格納します。下位4ビットは常に0が読み出されます。

ADnCR0H-ADnCR15Hレジスタには、A/D変換結果の上位8ビットが読み出されます。

A/D変換結果を16ビット単位でリードする場合はADnCR0-ADnCR15レジスタ、上位8ビットをリードする場合はADnCR0H-ADnCR15Hレジスタを指定します。

**(7) A/Dn変換結果拡張レジスタ0-4 (ADnECR0-ADnECR4) , A/Dn変換結果拡張レジスタ0H-4H (ADnECR0H-ADnECR4H) ( $n = 0, 1$ )**

ADnECR0-ADnECR4, ADnECR0H-ADnECR4Hレジスタは、A/D変換結果を保持するレジスタです。拡張バッファ・モード時専用です。A/D変換が終了すると、A/D変換結果をA/Dn変換結果拡張バッファ・レジスタに格納します。その後、選択ロード・トリガ1が発生すると、A/D変換結果をA/Dn変換結果拡張バッファ・レジスタ0-2からADnECR0-ADnECR2レジスタの上位12ビットにシフトし格納します。ビット1-3は常に0が読み出されます。また、選択ロード・トリガ2が発生すると、A/D変換結果をA/Dn変換結果拡張バッファ・レジスタ3, 4からADnECR3, ADnECR4レジスタの上位12ビットにシフトし格納します。ビット1-3は常に0が読み出されます。

ADnECR0H-ADnECR4Hレジスタには、A/D変換結果の上位8ビットが読み出されます。

A/D変換結果を16ビット単位でリードする場合はADnECR0-ADnECR4レジスタ、上位8ビットをリードする場合はADnECR0H-ADnECR4Hレジスタを指定します。

**(8) ANI00-ANI05, ANI10-ANI17端子 ( $n = 0, 1$ )**

ANI00-ANI05, ANI10-ANI17端子は、A/Dコンバータ0, 1へのアナログ入力端子です。A/D変換するアナログ信号を入力します。

**注意** ANI00-ANI05, ANI10-ANI17入力電圧は規格の範囲内でご使用ください。特に $AV_{REFn}$ 以上、 $AV_{SSn}$ 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。



**(9) AV<sub>REFPn</sub>端子 (n = 0, 1)**

A/Dコンバータ0, 1の基準電圧を入力するための端子です。A/Dコンバータ0, 1では、AV<sub>REFPn</sub>-AV<sub>SSn</sub>間に加えられる電圧に基づいてアナログ入力端子に入力される信号をデジタル信号に変換します(n = 0, 1)。

A/Dコンバータ0, 1を使用しない場合でも、AV<sub>REFPn</sub>端子は常にEV<sub>DD0</sub>, EV<sub>DD1</sub>, EV<sub>DD2</sub> (V850E/IG3のみ) 端子と同電位で使用してください。

AV<sub>REFPn</sub>端子の動作電圧範囲は、EV<sub>DD0</sub> = EV<sub>DD1</sub> = EV<sub>DD2</sub> (V850E/IG3のみ) = AV<sub>DDn</sub> = AV<sub>REFPn</sub> = 4.0 ~ 5.5 Vです。

**(10) AV<sub>SSn</sub>端子 (n = 0, 1)**

A/Dコンバータ0, 1のグランド端子です。A/Dコンバータ0, 1を使用しない場合でも、AV<sub>SSn</sub>端子は常にEV<sub>SS0</sub>, EV<sub>SS1</sub>, EV<sub>SS2</sub> (V850E/IG3のみ) 端子と同電位で使用してください。

**(11) AV<sub>DDn</sub>端子 (n = 0, 1)**

A/Dコンバータ0, 1のアナログ電源端子です。

AV<sub>DD0</sub>端子とAV<sub>DD1</sub>端子には同電位を供給してください。

A/Dコンバータ0, 1を使用しない場合でも、AV<sub>DDn</sub>端子は常にEV<sub>DD0</sub>, EV<sub>DD1</sub>, EV<sub>DD2</sub> (V850E/IG3のみ) 端子と同電位で使用してください。

AV<sub>DDn</sub>端子の動作電圧範囲は、EV<sub>DD0</sub> = EV<sub>DD1</sub> = EV<sub>DD2</sub> (V850E/IG3のみ) = AV<sub>REFPn</sub> = AV<sub>DDn</sub> = 4.0 ~ 5.5 Vです。

**(12) CREF<sub>nL</sub>, CREF<sub>nF</sub>端子 (n = 0, 1)**

CREF<sub>nL</sub>端子はロウ・レンジ、CREF<sub>nF</sub>端子はフル・レンジの過電圧検出用コンパレータの基準電圧供給端子です (CREF<sub>0L</sub>, CREF<sub>1L</sub>端子の入力電圧範囲 =  $0.02AV_{DD} + 0.1 \sim 0.5AV_{DD} - 0.1$  V, CREF<sub>0F</sub>, CREF<sub>1F</sub>端子の入力電圧範囲 =  $0.02AV_{DD} + 0.1 \sim 0.92AV_{DD} - 0.1$  V)。

## 12.3 制御レジスタ

A/Dコンバータ0, 1は次に示すレジスタで制御します。

- ・ A/Dコンバータnスキャン・モード・レジスタ (ADnSCM)
- ・ A/Dコンバータnスキャン・モード・レジスタL (ADnSCML)
- ・ A/Dコンバータnスキャン・モード・レジスタH (ADnSCMH)
- ・ A/Dコンバータn変換時間制御レジスタ (ADnCTC)
- ・ A/Dコンバータn変換チャンネル指定レジスタ (ADnCHEN)
- ・ A/Dコンバータn変換チャンネル指定レジスタL (ADnCHENL)
- ・ A/Dコンバータn変換チャンネル指定レジスタH (ADnCHENH)
- ・ A/Dコンバータn制御レジスタ (ADnCTL0)
- ・ A/Dコンバータnトリガ選択レジスタ (ADnTSEL)
- ・ A/Dコンバータnチャンネル指定レジスタ1, 2 (ADnCH1, ADnCH2)
- ・ A/Dコンバータnフラグ・レジスタ (ADnFLG)
- ・ A/Dコンバータnフラグ・バッファ・レジスタ (ADnFLGB)
- ・ A/DLDTRG1入力選択レジスタ (ADLTS1)
- ・ A/DLDTRG2入力選択レジスタ (ADLTS2)
- ・ A/Dコンバータnクロック選択レジスタ (ADnOCKS)
- ・ A/Dトリガ立ち下がりエッジ指定レジスタ (ADTF)
- ・ A/Dトリガ立ち上がりエッジ指定レジスタ (ADTR)
- ・ オペアンブn制御レジスタ0 (OPnCTL0)
- ・ コンパレータn制御レジスタ0-3 (CMPnCTL0-CMPnCTL3)
- ・ コンパレータ出力デジタル・ノイズ除去レジスタnL, nF (CMPNFCnL, CMPNFCnF)
- ・ コンパレータ出力割り込み立ち上がりエッジ指定レジスタ (CMPOR)
- ・ コンパレータ出力割り込み立ち下がりエッジ指定レジスタ (CMPOF)

また、次のレジスタも使用します。

- ・ A/Dn変換結果レジスタ0-15 (ADnCR0-ADnCR15)
- ・ A/Dn変換結果レジスタ0H-15H (ADnCR0H-ADnCR15H)
- ・ A/Dn変換結果拡張レジスタ0-4 (ADnECR0-ADnECR4)
- ・ A/Dn変換結果拡張レジスタ0H-4H (ADnECR0H-ADnECR4H)

(1) A/Dコンバータ<sub>n</sub>スキャン・モード・レジスタ (ADnSCM)

ADnSCMレジスタは、通常動作モードの指定、および変換動作の制御を行うレジスタです。

16ビット単位でリード/ライト可能です。

ADnSCMレジスタの上位8ビットをADnSCMHレジスタ、下位8ビットをADnSCMLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。ただし、ビット14はリードのみ可能です。

リセットにより0000Hになります。

(1/2)

リセット時：0000H R/W アドレス：AD0SCM FFFFF220H, AD1SCM FFFFF2A0H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADnSCM (n = 0, 1)	ADn CE	ADn CS	0	0	0	ADn PLM	ADn TRG1	ADn TRG0	ADn PS	0	0	0	0	0	0 <sup>注1</sup>	0

注1. A/Dコンバータ0, 1を使用する場合、ビット1には必ず1を設定してください。  
この設定は、ADnSCMレジスタの他のビット設定と同時にできます。

ADnCE	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADnCS	A/Dコンバータ <sub>n</sub> のステータス <sup>注2</sup>
0	A/D変換停止中
1	A/D変換動作中（連続変換中のチャンネル切り替え時も"1"のまま）

ADnPLM	ADnTRG1	ADnTRG0	通常動作モードの指定
0	0	0	A/Dトリガ・モード
0	0	1	ハードウェア・トリガ・モード <sup>注3</sup>
1	0	0	A/Dトリガ・ポーリング・モード
その他			設定禁止

ADnPS	A/Dパワー・セーブ・モードの指定
0	A/Dパワー・セーブ・モード
1	A/D動作モード

注2. ADnCSビットは、ADnCEビット = 1設定後、A/D変換が開始されてから5基本クロック ( $f_{AD01}$ ) 後にセット(1)されます。

A/D変換の開始タイミングは、ハードウェア・トリガ・モード、変換チャンネル指定モード、拡張バッファ・モードではタイマなどのトリガ入力時、A/Dトリガ・モード、A/Dトリガ・ポーリング・モードではADnCEビット = 1時となります。

3. 拡張動作モード（変換チャンネル指定モード、拡張バッファ・モード）時は、必ずハードウェア・トリガ・モードに設定してください。

- 注意1. A/Dトリガ・モード, A/Dトリガ・ポーリング・モードでは, ADnCEビットに1を書き込むことが変換のトリガになります。
- ハードウェア・トリガ・モード, 変換チャンネル指定モード, 拡張バッファ・モードでは, ADnCEビットに1を書き込むと, トリガ信号待機状態になります。
- ADnCEビットは, すべてのモードでA/Dn変換終了割り込み要求信号 (INTADn) が発生したあともクリア (0) されません。したがって, A/D変換動作を停止するにはADnCEビットに0を書き込んでください。
2. A/D変換動作中 (ADnCSビット = 1) にADnSCMレジスタに書き込みを行った場合には, 各モードにより, 次のようになります。なお, A/D変換動作中に対応する変換結果レジスタは不定になります。
    - ・A/Dトリガ・モード, A/Dトリガ・ポーリング・モード時  
A/D変換動作は中断され, 再度, 最初から変換動作を行います。
    - ・ハードウェア・トリガ・モード, 変換チャンネル指定モード, 拡張バッファ・モード時  
A/D変換動作は中断され, 再度, トリガ待機状態になります。
  3. 変換動作許可 (ADnCEビット = 1) 時にADnSCMレジスタへの連続書き込みをする場合は, 必ず5基本クロック ( $f_{AD01}$ ) 以上時間を確保してください。確保できない場合には, 設定が正しく行われなことがあるあります。  
なお, ADnCEビット = 0時にADnSCMレジスタへ書き込み後, ADnCEビットを1に設定する場合は, 連続書き込み可能です。
  4. ADnCSビットは, 連続変換中の変換チャンネル切り替え時もセット (1) のままです。
  5. A/Dコンバータ未使用時は, A/Dパワー・セーブ・モード (ADnPSビット = 0) に設定することを推奨します。
  6. A/D変換動作開始時 (リセット解除後, およびA/Dパワー・セーブ・モード (ADnPSビット = 0) から復帰後) の設定手順は次のようになります。
    - ADnOCKSレジスタで入力クロック ( $f_{AD01}$ ) を選択し, ADnOCKSENビット = 1 (A/Dコンバータnの動作クロック供給許可) に設定
    - ADnCTC.ADnFR3-ADnFR0ビットでA/D変換時間を設定
    - ADnPSビット = 1 (A/D動作モード) に設定
    - 後1  $\mu$ s以上の時間確保
    - A/Dコンバータ0, 1の初期設定
    - ADnCEビット = 1 (変換動作許可) に設定
  7. A/D変換動作停止時の設定手順は次のようになります。
    - ADnCEビット = 0 (変換動作停止) に設定 (ADnPSビット = 1の状態を保持)
    - ADnPSビット = 0 (A/Dパワー・セーブ・モード) に設定
    - ADnOCKS.ADnOCKSENビット = 0 (A/Dコンバータnの動作クロック供給停止)
  8. IDLEモード, STOPモード時もA/Dパワー・セーブ・モードに設定することを推奨します。  
リセット信号によるIDLEモード, STOPモードの解除時は注意6の設定手順を行ってください。
  9. ビット0, 2-6, 11-13には, 必ず0を設定してください。

(2) A/Dコンバータn変換時間制御レジスタ (ADnCTC)

ADnCTCレジスタは、A/D変換クロック数、A/D変換時間の指定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：AD0CTC FFFFFFF222H, AD1CTC FFFFFFF2A2H

	7	6	5	4	3	2	1	0
ADnCTC (n = 0, 1)	0	0	0	0	ADnFR3	ADnFR2	ADnFR1	ADnFR0

- 注意1. ADnFR3-ADnFR0ビットについては表12 - 2 A/D変換クロック数とA/D変換時間を参照してください。
2. ADnFR3-ADnFR0ビットはADnSCM.ADnCEビット = 0 (変換動作停止) のときに設定してください。
3. ビット4-7には、必ず0を設定してください。

表12 - 2 A/D変換クロック数とA/D変換時間

ADnFR3	ADnFR2	ADnFR1	ADnFR0	A/D変換 クロック数 <sup>注1</sup>	A/D変換時間 (μs) <sup>注2</sup>	
					f <sub>AD01</sub> = 16 MHz (f <sub>xx</sub> = 64 MHz)	f <sub>AD01</sub> = 12 MHz (f <sub>xx</sub> = 48 MHz)
0	0	0	0	89	5.56	7.42
0	0	0	1	88	5.50	7.33
0	0	1	0	57	3.56	4.75
0	0	1	1	56	3.50	4.67
0	1	0	0	41	2.56	3.42
0	1	0	1	40	2.50	3.33
0	1	1	0	35	2.19	2.92
0	1	1	1	34	2.13	2.83
1	0	0	0	34	2.13	2.83
1	0	0	1	33	2.06	2.75
1	0	1	0	33	2.06	2.75
1	0	1	1	32	2.00	2.67
1	1	0	0	32	2.00	2.67
1	1	0	1	31	設定禁止	2.58
1	1	1	0	31	設定禁止	2.58
1	1	1	1	30	設定禁止	2.50

注1. A/D変換開始からA/D変換終了までのクロック (f<sub>AD01</sub>) 数です。

連続変換 (1チャンネル変換 (繰り返し) , 複数チャンネル変換 , 複数チャンネル変換 (繰り返し) ) 時における1変換あたりのクロック (f<sub>AD01</sub>) 数も同じです。

2. A/D変換時間は、2 ~ 7.42 μsの範囲内で設定してください。

$$A/D変換時間 = 1/f_{AD01} \times A/D変換クロック数$$

(3) A/Dコンバータ $n$ 変換チャンネル指定レジスタ (AD $n$ CHEN)

AD $n$ CHENレジスタは、アナログ入力端子の指定、および変換回数と変換結果レジスタの指定を行うレジスタです。

A/Dトリガ・モード、A/Dトリガ・ポーリング・モード、ハードウェア・トリガ・モード時は、アナログ入力端子の指定を行います。アナログ入力端子とAD $n$ CR $m$ レジスタは1対1に対応しています。ANI00-ANI05、ANI10-ANI17端子に相当するビット (AD0CHEN00-AD0CHEN05, AD1CHEN00-AD1CHEN07) を使用してください。複数のアナログ入力端子を指定した場合は、番号の小さいものから順番に連続して変換を行います (AD1CHENレジスタ = 004DHの場合 : ANI10 ANI12 ANI13 ANI16)。連続変換の途中に指定していないアナログ入力端子がある場合はスキップします。

変換チャンネル指定モード時は、変換回数と変換結果レジスタの指定を行います。アナログ入力端子は、AD $n$ CH1レジスタで指定します。変換回数と変換結果レジスタの指定は、AD $n$ CHENレジスタの下位ビットから下詰めで設定した値が変換回数で、その設定したビットとAD $n$ CR $m$ , AD $n$ CH $m$ Hレジスタは1対1に対応しています。

AD $n$ CHENレジスタは、マスタ/スレーブ構成のレジスタのため、A/D変換動作中に新たなアナログ入力端子をマスタ・レジスタに設定できます。また、A/D変換終了後(A/D $n$ 変換終了割り込み要求信号(INTAD $n$ )発生後)にマスタ・レジスタの設定値がスレーブ・レジスタに転送されます。

16ビット単位でリード/ライト可能です。

AD $n$ CHENレジスタの上位8ビットをAD $n$ CHENHレジスタ、下位8ビットをAD $n$ CHENLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時 : 0000H R/W アドレス : AD0CHEN FFFFF224H, AD1CHEN FFFFF2A4H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AD $n$ CHEN ( $n = 0, 1$ )	AD $n$ CHEN15	AD $n$ CHEN14	AD $n$ CHEN13	AD $n$ CHEN12	AD $n$ CHEN11	AD $n$ CHEN10	AD $n$ CHEN9	AD $n$ CHEN8	AD $n$ CHEN7	AD $n$ CHEN6	AD $n$ CHEN5	AD $n$ CHEN4	AD $n$ CHEN3	AD $n$ CHEN2	AD $n$ CHEN1	AD $n$ CHEN0

**備考** A/Dトリガ・モード、A/Dトリガ・ポーリング・モード、ハードウェア・トリガ・モードのアナログ入力端子の指定については表12-3 A/Dトリガ・モード、A/Dトリガ・ポーリング・モード、ハードウェア・トリガ・モード時のアナログ入力端子の指定を、変換チャンネル指定モード時の変換回数とA/D変換結果レジスタの指定については表12-4 変換チャンネル指定モード時のAD $n$ CHENレジスタ設定値、変換回数、A/D変換結果レジスタの対応表を参照してください。

- 注意1.** AD $n$ CHENレジスタ = 0000H設定時のA/D変換動作は禁止です。  
AD $n$ CHENレジスタ = 0000Hに設定した場合は、AD $n$ CHENレジスタ = 0001H設定時と同じ動作になります。
- AD $n$ SCM.AD $n$ PSビット = 0時にAD $n$ CHENレジスタをライトしないでください。ライトした場合、CPUがデッドロックします。
  - ハードウェア・トリガ・モード時は、AD $n$ SCM.AD $n$ CEビット = 1のときにAD $n$ CHENレジスタを変更する場合は、必ずAD $n$ CEビット = 0に設定してから行ってください。

表12 - 3 A/Dトリガ・モード, A/Dトリガ・ポーリング・モード, ハードウェア・トリガ・モード時のアナログ入力端子の指定

ADnCHENmビット	アナログ入力端子の指定
0	ANInk端子の指定禁止
1	ANInk端子の指定許可

備考 A/Dコンバータ0 : n = 0, k = 0-5, m = 0-15

A/Dコンバータ1 : n = 1, k = 0-7, m = 0-15

表12 - 4 変換チャンネル指定モード時のADnCHENレジスタ設定値, 変換回数, A/D変換結果レジスタの対応表

ADnCHEN レジスタ設定値	変換回数	A/D変換結果レジスタ	
		ADnCR0	ADnCR0H
0001H	1	ADnCR0	ADnCR0H
0003H	2	ADnCR0, ADnCR1	ADnCR0H, ADnCR1H
0007H	3	ADnCR0-ADnCR2	ADnCR0H-ADnCR2H
000FH	4	ADnCR0-ADnCR3	ADnCR0H-ADnCR3H
001FH	5	ADnCR0-ADnCR4	ADnCR0H-ADnCR4H
003FH	6	ADnCR0-ADnCR5	ADnCR0H-ADnCR5H
007FH	7	ADnCR0-ADnCR6	ADnCR0H-ADnCR6H
00FFH	8	ADnCR0-ADnCR7	ADnCR0H-ADnCR7H
01FFH	9	ADnCR0-ADnCR8	ADnCR0H-ADnCR8H
03FFH	10	ADnCR0-ADnCR9	ADnCR0H-ADnCR9H
07FFH	11	ADnCR0-ADnCR10	ADnCR0H-ADnCR10H
0FFFH	12	ADnCR0-ADnCR11	ADnCR0H-ADnCR11H
1FFFH	13	ADnCR0-ADnCR12	ADnCR0H-ADnCR12H
3FFFH	14	ADnCR0-ADnCR13	ADnCR0H-ADnCR13H
7FFFH	15	ADnCR0-ADnCR14	ADnCR0H-ADnCR14H
FFFFH	16	ADnCR0-ADnCR15	ADnCR0H-ADnCR15H
その他	設定禁止		

注意 変換チャンネル指定モード時のアナログ入力端子は, ADnCH1 レジスタで設定します。

備考 n = 0, 1

**(4) A/Dn変換結果レジスタ0-15, 0H-15H (ADnCR0-ADnCR15, ADnCR0H-ADnCR15H)**

ADnCRm, ADnCRmHレジスタは、A/Dトリガ・モード、A/Dトリガ・ポーリング・モード、ハードウェア・トリガ・モード、変換チャンネル指定モード時にA/D変換の結果を保持するレジスタです。このレジスタは1回路あたり16本を2回路備えています。A/D変換が終了するたびに、逐次変換レジスタ(SAR)から変換結果がロードされ、変換結果をADnCRmレジスタの上位12ビットに格納します。下位4ビットは常に0が読み出されます。

ADnCRmHレジスタには、A/D変換結果の上位8ビットが読み出されます。

16/8ビット単位でリードのみ可能です。A/D変換結果を16ビット単位でリードする場合はADnCRmレジスタを、上位8ビットをリードする場合はADnCRmHレジスタを指定します。

リセットにより0000Hになります。

**備考** ADnCRmレジスタに対してA/D変換結果の格納処理が行われている間は、同じレジスタに対するリード・アクセスは保留されます。保留されたリード・アクセスは、A/D変換結果の格納処理が終了したあとに行われます。同様に、ADnCRmレジスタに対してリード・アクセスが行われている間は、同じレジスタに対するA/D変換結果の格納処理は保留されます。保留されたA/D変換結果の格納処理は、リード・アクセス終了後に行われます。



リセット時：0000H R アドレス：AD0CR0 FFFFF200H, AD0CR1 FFFFF202H,  
 AD0CR2 FFFFF204H, AD0CR3 FFFFF206H,  
 AD0CR4 FFFFF208H, AD0CR5 FFFFF20AH,  
 AD0CR6 FFFFF20CH, AD0CR7 FFFFF20EH,  
 AD0CR8 FFFFF210H, AD0CR9 FFFFF212H,  
 AD0CR10 FFFFF214H, AD0CR11 FFFFF216H,  
 AD0CR12 FFFFF218H, AD0CR13 FFFFF21AH,  
 AD0CR14 FFFFF21CH, AD0CR15 FFFFF21EH,  
 AD1CR0 FFFFF280H, AD1CR1 FFFFF282H,  
 AD1CR2 FFFFF284H, AD1CR3 FFFFF286H,  
 AD1CR4 FFFFF288H, AD1CR5 FFFFF28AH,  
 AD1CR6 FFFFF28CH, AD1CR7 FFFFF28EH,  
 AD1CR8 FFFFF290H, AD1CR9 FFFFF292H,  
 AD1CR10 FFFFF294H, AD1CR11 FFFFF296H,  
 AD1CR12 FFFFF298H, AD1CR13 FFFFF29AH,  
 AD1CR14 FFFFF29CH, AD1CR15 FFFFF29EH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADnCRm (n = 0, 1) (m = 0-15)	ADn CRm	ADn CRm	ADn CRm	ADn CRm	ADn CRm	ADn CRm	ADn CRm	ADn CRm	ADn CRm	ADn CRm	ADn CRm	ADn CRm	0	0	0	0
	11	10	9	8	7	6	5	4	3	2	1	0				

リセット時：0000H R アドレス：AD0CR0H FFFFF201H, AD0CR1H FFFFF203H,  
 AD0CR2H FFFFF205H, AD0CR3H FFFFF207H,  
 AD0CR4H FFFFF209H, AD0CR5H FFFFF20BH,  
 AD0CR6H FFFFF20DH, AD0CR7H FFFFF20FH,  
 AD0CR8H FFFFF211H, AD0CR9H FFFFF213H,  
 AD0CR10H FFFFF215H, AD0CR11H FFFFF217H,  
 AD0CR12H FFFFF219H, AD0CR13H FFFFF21BH,  
 AD0CR14H FFFFF21DH, AD0CR15H FFFFF21FH,  
 AD1CR0H FFFFF281H, AD1CR1H FFFFF283H,  
 AD1CR2H FFFFF285H, AD1CR3H FFFFF287H,  
 AD1CR4H FFFFF289H, AD1CR5H FFFFF28BH,  
 AD1CR6H FFFFF28DH, AD1CR7H FFFFF28FH,  
 AD1CR8H FFFFF291H, AD1CR9H FFFFF293H,  
 AD1CR10H FFFFF295H, AD1CR11H FFFFF297H,  
 AD1CR12H FFFFF299H, AD1CR13H FFFFF29BH,  
 AD1CR14H FFFFF29DH, AD1CR15H FFFFF29FH

	7	6	5	4	3	2	1	0
ADnCRmH (n = 0, 1) (m = 0-15)	ADnCRm11	ADnCRm10	ADnCRm9	ADnCRm8	ADnCRm7	ADnCRm6	ADnCRm5	ADnCRm4

A/Dトリガ・モード, A/Dトリガ・ポーリング・モード, ハードウェア・トリガ・モード時と変換チャンネル指定モード時の各アナログ入力端子とA/D変換結果レジスタの対応を次に示します。

表12 - 5 A/Dトリガ・モード, A/Dトリガ・ポーリング・モード, ハードウェア・トリガ・モード時の各アナログ入力端子とA/D変換結果レジスタの対応表

A/Dコンバータ	アナログ入力端子	A/D変換結果レジスタ
A/Dコンバータ0	ANI00	AD0CR0, AD0CR0H
	ANI01	AD0CR1, AD0CR1H
	ANI02	AD0CR2, AD0CR2H
	ANI03	AD0CR3, AD0CR3H
	ANI04	AD0CR4, AD0CR4H
	ANI05	AD0CR5, AD0CR5H
A/Dコンバータ1	ANI10	AD1CR0, AD1CR0H
	ANI11	AD1CR1, AD1CR1H
	ANI12	AD1CR2, AD1CR2H
	ANI13	AD1CR3, AD1CR3H
	ANI14	AD1CR4, AD1CR4H
	ANI15	AD1CR5, AD1CR5H
	ANI16	AD1CR6, AD1CR6H
	ANI17	AD1CR7, AD1CR7H

表12 - 6 変換チャンネル指定モード時の各アナログ入力端子とA/D変換結果レジスタの対応表

ADnCHEN レジスタ設定 値	アナログ入力端子	A/D変換結果レジスタ	
		ADnCR0	ADnCR0H
0001H	ADnCH1.	ADnCR0	ADnCR0H
0003H	ADnTRGCH12- ADnTRGCH10 ビットで設定	ADnCR0, ADnCR1	ADnCR0H, ADnCR1H
0007H		ADnCR0-ADnCR2	ADnCR0H-ADnCR2H
000FH		ADnCR0-ADnCR3	ADnCR0H-ADnCR3H
001FH		ADnCR0-ADnCR4	ADnCR0H-ADnCR4H
003FH		ADnCR0-ADnCR5	ADnCR0H-ADnCR5H
007FH		ADnCR0-ADnCR6	ADnCR0H-ADnCR6H
00FFH		ADnCR0-ADnCR7	ADnCR0H-ADnCR7H
01FFH		ADnCR0-ADnCR8	ADnCR0H-ADnCR8H
03FFH		ADnCR0-ADnCR9	ADnCR0H-ADnCR9H
07FFH		ADnCR0-ADnCR10	ADnCR0H-ADnCR10H
0FFFH		ADnCR0-ADnCR11	ADnCR0H-ADnCR11H
1FFFH		ADnCR0-ADnCR12	ADnCR0H-ADnCR12H
3FFFH		ADnCR0-ADnCR13	ADnCR0H-ADnCR13H
7FFFH		ADnCR0-ADnCR14	ADnCR0H-ADnCR14H
FFFFH		ADnCR0-ADnCR15	ADnCR0H-ADnCR15H
0001H		ADnCH1.	ADnCR0
0003H	ADnTRGCH16- ADnTRGCH14 ビットで設定	ADnCR0, ADnCR1	ADnCR0H, ADnCR1H
0007H		ADnCR0-ADnCR2	ADnCR0H-ADnCR2H
000FH		ADnCR0-ADnCR3	ADnCR0H-ADnCR3H
001FH		ADnCR0-ADnCR4	ADnCR0H-ADnCR4H
003FH		ADnCR0-ADnCR5	ADnCR0H-ADnCR5H
007FH		ADnCR0-ADnCR6	ADnCR0H-ADnCR6H
00FFH		ADnCR0-ADnCR7	ADnCR0H-ADnCR7H
01FFH		ADnCR0-ADnCR8	ADnCR0H-ADnCR8H
03FFH		ADnCR0-ADnCR9	ADnCR0H-ADnCR9H
07FFH		ADnCR0-ADnCR10	ADnCR0H-ADnCR10H
0FFFH		ADnCR0-ADnCR11	ADnCR0H-ADnCR11H
1FFFH		ADnCR0-ADnCR12	ADnCR0H-ADnCR12H
3FFFH		ADnCR0-ADnCR13	ADnCR0H-ADnCR13H
7FFFH		ADnCR0-ADnCR14	ADnCR0H-ADnCR14H
FFFFH		ADnCR0-ADnCR15	ADnCR0H-ADnCR15H
その他		設定禁止	

備考 n = 0, 1

(5) A/Dコンバータ $n$ 制御レジスタ (ADnCTL0)

ADnCTL0レジスタは、動作モードの指定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：AD0CTL0 FFFFFFF230H, AD1CTL0 FFFFFFF2B0H

	7	6	5	4	3	2	1	0
ADnCTL0 (n = 0, 1)	0	0	0	0	0	0	ADnMD1	ADnMD0

ADnMD1	ADnMD0	拡張動作モードの指定
0	0	通常動作モード
0	1	設定禁止
1	0	変換チャンネル指定モード
1	1	拡張バッファ・モード

- 注意1. ADnMD1, ADnMD0ビットはADnSCM.ADnCEビット = 0 (変換動作停止) のときに設定してください (ADnCEビット = 1 (変換動作許可) のときの同値書き込みは可能)。
2. 変換チャンネル指定モード, 拡張バッファ・モードは, 通常動作モードに比べて最大1.5基本クロック ( $f_{AD01}$ ) 分A/D変換開始タイミングが遅れます。
  3. 変換チャンネル指定モード, 拡張バッファ・モード時は, 必ずハードウェア・トリガ・モードも設定してください。

(6) A/Dコンバータ<sub>n</sub>トリガ選択レジスタ (AD<sub>n</sub>TSEL)

AD<sub>n</sub>TSELレジスタは、ハードウェア・トリガ・モード、変換チャネル指定モード時のトリガ、および拡張バッファ・モード時のトリガ(選択トリガ1, 選択トリガ2, 選択ロード・トリガ1, 選択ロード・トリガ2)の指定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより10Hになります。

リセット時：10H R/W アドレス：AD0TSEL FFFFF231H, AD1TSEL FFFFF2B1H

	7	6	5	4	3	2	1	0
AD <sub>n</sub> TSEL (n = 0, 1)	AD <sub>n</sub> LDTSEL2 <sup>注</sup>	0	AD <sub>n</sub> TRGSEL21 <sup>注</sup>	AD <sub>n</sub> TRGSEL20 <sup>注</sup>	AD <sub>n</sub> LDTSEL1 <sup>注</sup>	0	AD <sub>n</sub> TRGSEL11	AD <sub>n</sub> TRGSEL10

AD <sub>n</sub> LDTSEL2 <sup>注</sup>	AD <sub>n</sub> ECR3, AD <sub>n</sub> ECR4レジスタに対する選択ロード・トリガ2の指定	
0	LDTRG1	
1	LDTRG2	

AD <sub>n</sub> TRGSEL21 <sup>注</sup>	AD <sub>n</sub> TRGSEL20 <sup>注</sup>	AD <sub>n</sub> ECR3, AD <sub>n</sub> ECR4レジスタに対する選択トリガ2の指定
0	0	ITRG1
0	1	ITRG2
1	0	ITRG3
1	1	ITRG4

AD <sub>n</sub> LDTSEL1 <sup>注</sup>	AD <sub>n</sub> ECR0-AD <sub>n</sub> ECR2レジスタに対する選択ロード・トリガ1の指定	
0	LDTRG1	
1	LDTRG2	

AD <sub>n</sub> TRGSEL11	AD <sub>n</sub> TRGSEL10	・ハードウェア・トリガ・モード、変換チャネル指定モード時 ：トリガの指定 ・拡張バッファ・モード時 ：AD <sub>n</sub> ECR0-AD <sub>n</sub> ECR2レジスタに対する選択トリガ1の指定
0	0	ITRG1
0	1	ITRG2
1	0	ITRG3
1	1	ITRG4

**注** ハードウェア・トリガ・モード、変換チャネル指定モード時のビット3, 5, 7には0を、ビット4には1を設定してください。

**注意** AD<sub>n</sub>TSELレジスタはAD<sub>n</sub>SCM.AD<sub>n</sub>CEビット = 0 (変換動作停止) のときに設定してください (AD<sub>n</sub>CEビット = 1 (変換動作許可) のときの同値書き込みは可能)。

(7) A/Dコンバータ<sub>n</sub>チャンネル指定レジスタ1 (AD<sub>n</sub>CH1)

AD<sub>n</sub>CH1レジスタは、変換チャンネル指定モード、拡張バッファ・モード時の選択トリガ1に対するアナログ入力端子の指定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H    R/W    アドレス：AD0CH1 FFFFFFF232H, AD1CH1 FFFFFFF2B2H

	7	6	5	4	3	2	1	0
AD <sub>n</sub> CH1 (n = 0, 1)	0	AD <sub>n</sub> TRGCH16	AD <sub>n</sub> TRGCH15	AD <sub>n</sub> TRGCH14	0	AD <sub>n</sub> TRGCH12	AD <sub>n</sub> TRGCH11	AD <sub>n</sub> TRGCH10

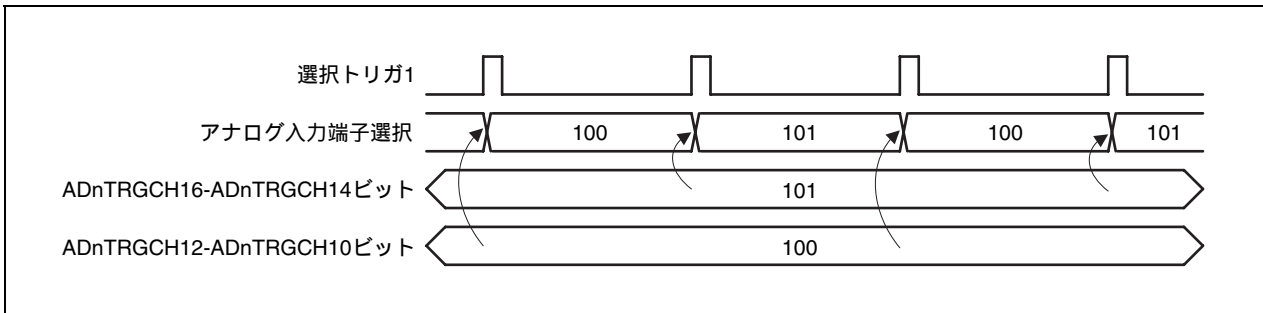
AD <sub>n</sub> TRGCH16	AD <sub>n</sub> TRGCH15	AD <sub>n</sub> TRGCH14	選択トリガ1に対するアナログ入力端子の指定
0	0	0	ANIn0
0	0	1	ANIn1
0	1	0	ANIn2
0	1	1	ANIn3
1	0	0	ANIn4
1	0	1	ANIn5
1	1	0	ANI16
1	1	1	ANI17

AD <sub>n</sub> TRGCH12	AD <sub>n</sub> TRGCH11	AD <sub>n</sub> TRGCH10	選択トリガ1に対するアナログ入力端子の指定
0	0	0	ANIn0
0	0	1	ANIn1
0	1	0	ANIn2
0	1	1	ANIn3
1	0	0	ANIn4
1	0	1	ANIn5
1	1	0	ANI16
1	1	1	ANI17

- 注意1. AD<sub>n</sub>CH1レジスタはAD<sub>n</sub>SCM.AD<sub>n</sub>CEビット = 0 (変換動作停止) のときに設定してください (AD<sub>n</sub>CEビット = 1 (変換動作許可) のときの同値書き込みは可能)。
2. ビット3, 7には、必ず0を設定してください。

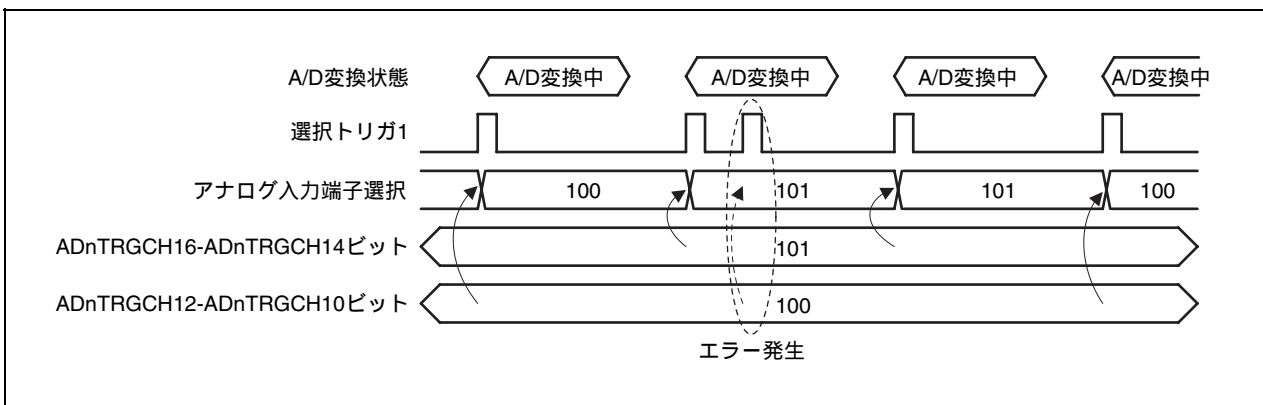
ADnCH1レジスタは、変換チャンネル指定モード、または拡張バッファ・モードで変換動作許可(ADnSCM.ADnCEビット=1)にすると、ADnCH1レジスタの設定が有効となります。変換動作許可(ADnCEビット=1)後、最初の選択トリガ1の発生でADnTRGCH12-ADnTRGCH10ビットで設定したアナログ入力端子が選択され、A/D変換を行います。その後、次の選択トリガ1が発生すると、ADnTRGCH16-ADnTRGCH14ビットで設定したアナログ入力端子が選択され、A/D変換を行います。これ以降、選択トリガ1が発生するごとにアナログ入力端子を交互に切り替えて出力します。

図12 - 7 ADnCH1レジスタ動作



エラー発生時(A/D変換中に選択トリガ1が発生した場合)もADnTRGCH12-ADnTRGCH10ビットで設定したアナログ入力端子とADnTRGCH16-ADnTRGCH14ビットで設定したアナログ入力端子を交互に切り替えますが、A/D変換中のため、アナログ入力端子の選択は変更されません。

図12 - 8 エラー発生時のADnCH1レジスタ動作



(8) A/Dコンバータ $n$ チャンネル指定レジスタ2 (AD $n$ CH2)

AD $n$ CH2レジスタは、拡張バッファ・モード時の選択トリガ2に対するアナログ入力端子の指定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H    R/W    アドレス：AD0CH2 FFFFFFF233H, AD1CH2 FFFFFFF2B3H

	7	6	5	4	3	2	1	0
AD $n$ CH2 ( $n = 0, 1$ )	0	AD $n$ TRGCH26	AD $n$ TRGCH25	AD $n$ TRGCH24	0	AD $n$ TRGCH22	AD $n$ TRGCH21	AD $n$ TRGCH20

AD $n$ TRGCH26	AD $n$ TRGCH25	AD $n$ TRGCH24	選択トリガ2に対するアナログ入力端子の指定
0	0	0	ANIn0
0	0	1	ANIn1
0	1	0	ANIn2
0	1	1	ANIn3
1	0	0	ANIn4
1	0	1	ANIn5
1	1	0	ANI16
1	1	1	ANI17

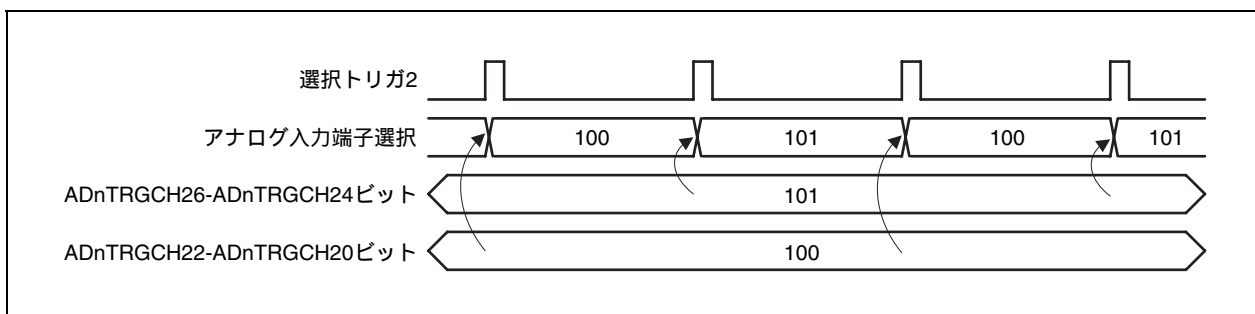
AD $n$ TRGCH22	AD $n$ TRGCH21	AD $n$ TRGCH20	選択トリガ2に対するアナログ入力端子の指定
0	0	0	ANIn0
0	0	1	ANIn1
0	1	0	ANIn2
0	1	1	ANIn3
1	0	0	ANIn4
1	0	1	ANIn5
1	1	0	ANI16
1	1	1	ANI17

- 注意1. AD $n$ CH2レジスタはAD $n$ SCM.AD $n$ CEビット = 0 (変換動作停止) のときに設定してください(AD $n$ CEビット = 1(変換動作許可)のときの同値書き込みは可能)。
2. AD $n$ CH2レジスタは拡張バッファ・モード時のみ有効です。それ以外のモードでは無効となります。
3. ビット3, 7には、必ず0を設定してください。



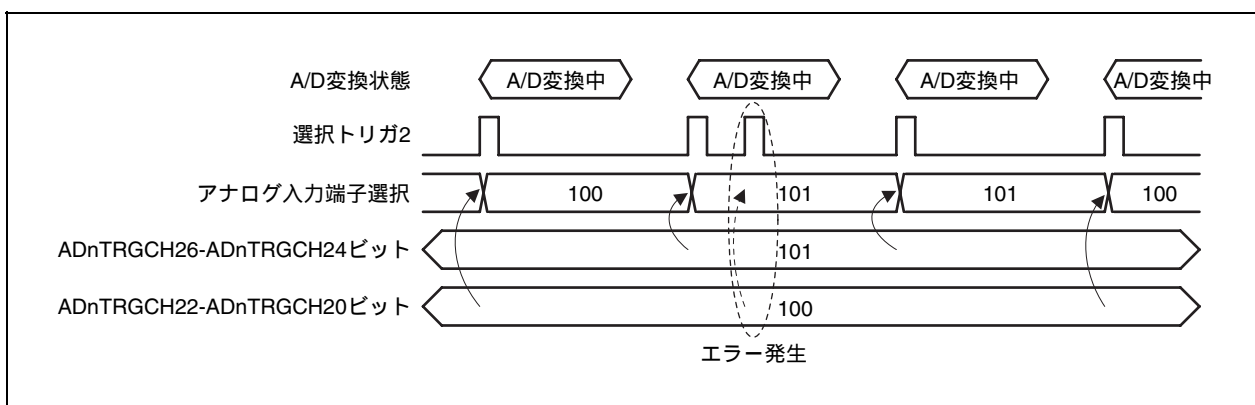
ADnCH2レジスタは、拡張バッファ・モードで変換動作許可 (ADnSCM.ADnCEビット = 1) にすると、ADnCH2レジスタの設定が有効となります。変換動作許可 (ADnCEビット = 1) 後、最初の選択トリガ2の発生でADnTRGCH22-ADnTRGCH20ビットで設定したアナログ入力端子が選択され、A/D変換を行います。その後、次の選択トリガ2が発生すると、ADnTRGCH26-ADnTRGCH24ビットで設定したアナログ入力端子が選択され、A/D変換を行います。これ以降、選択トリガ2が発生するごとにアナログ入力端子を交互に切り替えて出力します。

図12 - 9 ADnCH2レジスタ動作



エラー発生時 (A/D変換中に選択トリガ2が発生した場合) もADnTRGCH22-ADnTRGCH20ビットで設定したアナログ入力端子とADnTRGCH26-ADnTRGCH24ビットで設定したアナログ入力端子を交互に切り替えますが、A/D変換中のため、アナログ入力端子の選択は変更されません。

図12 - 10 エラー発生時のADnCH2レジスタ動作



**(9) A/Dn変換結果拡張レジスタ0-4, 0H-4H (ADnECR0-ADnECR4, ADnECR0H-ADnECR4H)**

ADnECRa, ADnECRaHレジスタは、拡張バッファ・モード時に上位12ビットにはA/D変換の結果を保持し、下位1ビットにはA/D変換結果のステータス (ADnCHx.ADnTRGCHx2-ADnTRGCHx0ビットまたはADnTRGCHx6-ADnTRGCHx4ビットのどちらで設定したアナログ入力端子に対するA/D変換結果であるかの情報) を示すレジスタです。このレジスタは1回路あたり5本を2回路備えています。

A/D変換が終了すると、A/D変換結果をA/Dn変換結果拡張バッファ・レジスタaに格納します。その後、選択ロード・トリガ1が発生すると、A/D変換結果をA/Dn変換結果拡張バッファ・レジスタ0-2からADnECR0-ADnECR2レジスタの上位12ビットにシフトし格納します。ビット1-3は常に0が読み出されます。また、選択ロード・トリガ2が発生すると、A/D変換結果をA/Dn変換結果拡張バッファ・レジスタ3, 4からADnECR3, ADnECR4レジスタの上位12ビットにシフトし格納します。ビット1-3は常に0が読み出されず。

ADnECRaHレジスタには、A/D変換結果の上位8ビットが読み出されます。

16/8ビット単位でリードのみ可能です。A/D変換結果を16ビット単位でリードする場合はADnECRaレジスタを、上位8ビットをリードする場合はADnECRaHレジスタを指定します。

リセットにより0000Hになります。

**備考** ADnECRaレジスタに対してA/D変換結果の格納処理が行われている間は、同じレジスタに対するリード・アクセスは保留されます。保留されたリード・アクセスは、A/D変換結果の格納処理が終了したあとに行われます。同様に、ADnECRaレジスタに対してリード・アクセスが行われている間は、同じレジスタに対するA/D変換結果の格納処理は保留されます。保留されたA/D変換結果の格納処理は、リード・アクセス終了後に行われます。

リセット時：0000H R アドレス：AD0ECR0 FFFFFFF240H, AD0ECR1 FFFFFFF242H,  
AD0ECR2 FFFFFFF244H, AD0ECR3 FFFFFFF246H,  
AD0ECR4 FFFFFFF248H,  
AD1ECR0 FFFFFFF2C0H, AD1ECR1 FFFFFFF2C2H,  
AD1ECR2 FFFFFFF2C4H, AD1ECR3 FFFFFFF2C6H,  
AD1ECR4 FFFFFFF2C8H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ADnECRa (n = 0, 1) (a = 0-4)	ADn ECRa	ADn ECRa	ADn ECRa	ADn ECRa	ADn ECRa	ADn ECRa	ADn ECRa	ADn ECRa	ADn ECRa	ADn ECRa	ADn ECRa	ADn ECRa	ADn ECRa	0	0	0	ADn CH FLGa
	11	10	9	8	7	6	5	4	3	2	1	0					

ADnCHFLGa	A/D変換結果のステータス (x = 1, 2)
0	ADnCHx.ADnTRGCHx2-ADnTRGCHx0ビットで設定したアナログ入力端子に対するA/D変換結果
1	ADnCHx.ADnTRGCHx6-ADnTRGCHx4ビットで設定したアナログ入力端子に対するA/D変換結果

リセット時：00H R アドレス：AD0ECR0H FFFFFFF241H, AD0ECR1H FFFFFFF243H,  
AD0ECR2H FFFFFFF245H, AD0ECR3H FFFFFFF247H,  
AD0ECR4H FFFFFFF249H,  
AD1ECR0H FFFFFFF2C1H, AD1ECR1H FFFFFFF2C3H,  
AD1ECR2H FFFFFFF2C5H, AD1ECR3H FFFFFFF2C7H,  
AD1ECR4H FFFFFFF2C9H,

	7	6	5	4	3	2	1	0
ADnECRaH (n = 0, 1) (a = 0-4)	ADnECRa11	ADnECRa10	ADnECRa9	ADnECRa8	ADnECRa7	ADnECRa6	ADnECRa5	ADnECRa4

**注意** ADnECRa, ADnECRaHレジスタは、拡張バッファ・モード時のみ有効です。  
それ以外のモードでは無効となります。

各アナログ入力端子とA/Dn変換結果拡張レジスタの対応を次に示します。

表12 - 7 各アナログ入力端子とA/Dn変換結果拡張レジスタの対応表

アナログ入力端子	A/Dn変換結果レジスタ
ADnCH1.	ADnECR0, ADnECR0H
ADnTRGCH12-ADnTRGCH10, ADnTRGCH16-ADnTRGCH14ビットで設定	ADnECR1, ADnECR1H
	ADnECR2, ADnECR2H
ADnCH2.	ADnECR3, ADnECR3H
ADnTRGCH22-ADnTRGCH20, ADnTRGCH26-ADnTRGCH24ビットで設定	ADnECR4, ADnECR4H

備考 n = 0, 1

(10) A/Dコンバータ<sub>n</sub>フラグ・レジスタ (AD<sub>n</sub>FLG)

AD<sub>n</sub>FLGレジスタは、拡張バッファ・モード時の選択ロード・トリガ<sub>x</sub>の発生タイミングにエラーが発生したことを示すレジスタです (x = 1, 2)。AD<sub>n</sub>TERR2, AD<sub>n</sub>TERR1フラグはリードのみ可能で変換動作停止 (AD<sub>n</sub>SCM.AD<sub>n</sub>CEビット = 0) 時にクリアされます。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H R アドレス：AD0FLG FFFFFFF254H, AD1FLG FFFFFFF2D4H

	7	6	5	4	3	2	1	0
AD <sub>n</sub> FLG (n = 0, 1)	0	0	0	0	0	0	AD <sub>n</sub> TERR2 <sup>注</sup>	AD <sub>n</sub> TERR1 <sup>注</sup>

AD <sub>n</sub> TERR2 <sup>注</sup>	選択ロード・トリガ2の発生タイミング・エラー・フラグ
0	選択ロード・トリガ2の発生タイミング・エラー発生なし
1	選択ロード・トリガ2の発生タイミング・エラー発生

AD <sub>n</sub> TERR1 <sup>注</sup>	選択ロード・トリガ1の発生タイミング・エラー・フラグ
0	選択ロード・トリガ1の発生タイミング・エラー発生なし
1	選択ロード・トリガ1の発生タイミング・エラー発生

注 AD<sub>n</sub>TERR2, AD<sub>n</sub>TERR1フラグは、拡張バッファ・モード時のみ有効です。  
それ以外のモードでは、0固定となります。

(11) A/Dコンバータ<sub>n</sub>フラグ・バッファ・レジスタ (AD<sub>n</sub>FLGB)

AD<sub>n</sub>FLGBレジスタは、拡張バッファ・モード時の選択トリガ<sub>x</sub>の発生タイミングにエラーが発生したことを示すレジスタです (x = 1, 2)。AD<sub>n</sub>TERRB2, AD<sub>n</sub>TERRB1フラグはリードのみ可能で変換動作停止 (AD<sub>n</sub>SCM.AD<sub>n</sub>CEビット = 0) 時にクリアされます。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H R アドレス：AD0FLGB FFFFF255H, AD1FLGB FFFFF2D5H

	7	6	5	4	3	2	1	0
AD <sub>n</sub> FLGB (n = 0, 1)	0	0	0	0	0	0	AD <sub>n</sub> TERRB2 <sup>注</sup>	AD <sub>n</sub> TERRB1 <sup>注</sup>

AD <sub>n</sub> TERRB2 <sup>注</sup>	選択トリガ2の発生タイミング・エラー・フラグ
0	選択トリガ2の発生タイミング・エラー発生なし
1	選択トリガ2の発生タイミング・エラー発生

AD <sub>n</sub> TERRB1 <sup>注</sup>	選択トリガ1の発生タイミング・エラー・フラグ
0	選択トリガ1の発生タイミング・エラー発生なし
1	選択トリガ1の発生タイミング・エラー発生

**注** AD<sub>n</sub>TERRB2, AD<sub>n</sub>TERRB1フラグは、拡張バッファ・モード時のみ有効です。それ以外のモードでは、0固定となります。

## (12) A/DLDRG1入力選択レジスタ (ADLTS1)

ADLTS1レジスタは、拡張バッファ・モード時の選択ロード・トリガ (LDTRG1) に対する入力信号の指定を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF2F8H

	7	6	5	4	3	2	1	0
ADLTS1	0	0	0	0	0	0	0	ADLTS10

ADLTS10	LDTRG1に対する入力信号の指定
0	TABTIOV0信号
1	TABTIOV1信号

**注** ADLTS1レジスタは、拡張バッファ・モード時のみ有効です。  
それ以外のモードでは無効となります。

## (13) A/DLDRG2入力選択レジスタ (ADLTS2)

ADLTS2レジスタは、拡張バッファ・モード時の選択ロード・トリガ (LDTRG2) に対する入力信号の指定を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF2FAH

	7	6	5	4	3	2	1	0
ADLTS2	0	0	0	0	0	0	0	ADLTS20

ADLTS20	LDTRG2に対する入力信号の指定
0	TABTICC00信号
1	TABTICC10信号

**注** ADLTS2レジスタは、拡張バッファ・モード時のみ有効です。  
それ以外のモードでは無効となります。

(14) A/Dコンバータ $n$ クロック選択レジスタ (AD $n$ OCKS)

AD $n$ OCKSレジスタは、A/Dコンバータ $n$ に入力されるクロック ( $f_{AD01}$ ) を選択するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : AD0OCKS FFFFFFF270H, AD1OCKS FFFFFFF274H

	7	6	5	4	3	2	1	0
AD $n$ OCKS ( $n = 0, 1$ )	0	0	0	AD $n$ OCKSEN	0	0	AD $n$ OCKS1	AD $n$ OCKS0

AD $n$ OCKSEN	クロック動作制御
0	A/Dコンバータ $n$ の動作クロック供給停止
1	A/Dコンバータ $n$ の動作クロック供給許可

AD $n$ OCKS1	AD $n$ OCKS0	A/Dコンバータ $n$ の入力クロックの選択 ( $f_{AD01}$ )
0	0	$f_{xx}/2$
0	1	$f_{xx}/3$
1	0	$f_{xx}/4$ ( $f_{xx} = 64$ MHzの場合)
1	1	設定禁止

- 注意1.**  $f_{AD01}$ は、16 MHz以下に設定してください。
2. A/Dコンバータ $n$ 使用時は、A/D変換結果レジスタのリードも含め、AD $n$ OCKSレジスタおよびAD $n$ SCM.AD $n$ PSビット = 1の設定を必ず行ってください。
3. ビット2, 3, 5-7には必ず0を設定してください。

(15) A/Dトリガ立ち上がり, 立ち下がりエッジ指定レジスタ (ADTR, ADTF)

ADTR, ADTFレジスタは, ADTRG0/INTADT0, ADTRG1/INTADT1端子のトリガ・モードを指定するレジスタです。

有効エッジは, 立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** A/Dコンバータ<sub>n</sub>の外部トリガ入力 (兼用機能) / 外部割り込み機能 (兼用機能) からポート・モードに切り替える場合には, エッジが検出される可能性があるため, 必ずADTF<sub>n</sub>, ADTR<sub>n</sub>ビット = 00に設定してからポート・モードに設定してください。

リセット時: 00H    R/W    アドレス: FFFFF2F2H

	7	6	5	4	3	2	1	0
ADTR	0	0	0	0	0	0	ADTR1	ADTR0

リセット時: 00H    R/W    アドレス: FFFFF2F0H

	7	6	5	4	3	2	1	0
ADTF	0	0	0	0	0	0	ADTF1	ADTF0

**備考** 有効エッジの指定については表12 - 8を参照してください。

表12 - 8 ADTRG0/INTADT0, ADTRG1/INTADT1端子の有効エッジの指定

ADTF <sub>n</sub>	ADTR <sub>n</sub>	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

**注意** ADTRG<sub>n</sub>/INTADT<sub>n</sub>端子として使用しない場合, 必ずADTF<sub>n</sub>, ADTR<sub>n</sub>ビット = 00に設定してください。

**備考** n = 0, 1



(16) オペアンプ<sub>n</sub>制御レジスタ0 (OPnCTL0)

OPnCTL0レジスタは、入力レベル増幅用オペアンプの動作制御、ゲイン指定を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：FFFFFF260H

	7	6	5	4	3	2	1	0
OP0CTL0	0	0	0	OP0EN	OP0GA3	OP0GA2	OP0GA1	OP0GA0

OP0EN	A/Dコンバータ0用オペアンプ0の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

OP0GA3	OP0GA2	OP0GA1	OP0GA0	オペアンプのゲイン指定
0	0	0	0	2.500倍
0	0	0	1	2.667倍
0	0	1	0	2.857倍
0	0	1	1	3.077倍
0	1	0	0	3.333倍
0	1	0	1	3.636倍
0	1	1	0	4.000倍
0	1	1	1	4.444倍
1	0	0	0	5.000倍
1	0	0	1	5.714倍
1	0	1	0	6.667倍
1	0	1	1	8.000倍
1	1	0	0	10.00倍
その他				設定禁止

注意1. OP0CTL0レジスタのビット5-7には必ず0を設定してください。

2. オペアンプ動作許可後、10  $\mu$ sの安定時間が必要となります。

また、OP0GA3-OP0GA0ビットの設定を変更した場合は、5  $\mu$ sの安定時間が必要となります。

リセット時：00H R/W アドレス：FFFFFF2E0H

	7	6	5	4	3	2	1	0
OP1CTL0	0	OP12EN	OP11EN	OP10EN	OP1GA3	OP1GA2	OP1GA1	OP1GA0

OP12EN	A/Dコンバータ1用オペアンプ2の動作制御
0	動作禁止（使用しない）
1	動作許可（使用する）

OP11EN	A/Dコンバータ1用オペアンプ1の動作制御
0	動作禁止（使用しない）
1	動作許可（使用する）

OP10EN	A/Dコンバータ1用オペアンプ0の動作制御
0	動作禁止（使用しない）
1	動作許可（使用する）

OP1GA3	OP1GA2	OP1GA1	OP1GA0	オペアンプのゲイン指定
0	0	0	0	2.500倍
0	0	0	1	2.667倍
0	0	1	0	2.857倍
0	0	1	1	3.077倍
0	1	0	0	3.333倍
0	1	0	1	3.636倍
0	1	1	0	4.000倍
0	1	1	1	4.444倍
1	0	0	0	5.000倍
1	0	0	1	5.714倍
1	0	1	0	6.667倍
1	0	1	1	8.000倍
1	1	0	0	10.00倍
その他				設定禁止

注意1. OP1CTL0レジスタのビット7には必ず0を設定してください。

2. オペアンプ動作許可後，10  $\mu$ sの安定時間が必要となります。

また，OP1GA3-OP1GA0ビットの設定を変更した場合は，5  $\mu$ sの安定時間が必要となります。

(17) コンパレータ<sub>n</sub>制御レジスタ0 (CMPnCTL0)

CMPnCTL0レジスタは、過電圧検出用コンパレータの動作制御を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：FFFFFF261H

	7	6	5	4	3	2	1	0
CMP0CTL0	0	0	0	CMP0FEN	0	0	0	CMP0LEN

CMP0FEN	A/Dコンバータ0用コンパレータ0 (フル・レンジ) の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

CMP0LEN	A/Dコンバータ0用コンパレータ0 (ロウ・レンジ) の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

リセット時：00H R/W アドレス：FFFFFF2E1H

	7	6	5	4	3	2	1	0
CMP1CTL0	0	CMP12FEN	CMP11FEN	CMP10FEN	0	CMP12LEN	CMP11LEN	CMP10LEN

CMP12FEN	A/Dコンバータ1用コンパレータ2 (フル・レンジ) の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

CMP11FEN	A/Dコンバータ1用コンパレータ1 (フル・レンジ) の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

CMP10FEN	A/Dコンバータ1用コンパレータ0 (フル・レンジ) の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

CMP12LEN	A/Dコンバータ1用コンパレータ2 (ロウ・レンジ) の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

CMP11LEN	A/Dコンバータ1用コンパレータ1 (ロウ・レンジ) の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

CMP10LEN	A/Dコンバータ1用コンパレータ0 (ロウ・レンジ) の動作制御
0	動作禁止 (使用しない)
1	動作許可 (使用する)

**注意1.** CMP0CTL0レジスタのビット1-3, 5-7, CMP1CTL0レジスタのビット3, 7には必ず0を設定してください。

2. コンパレータ動作許可後,  $10\ \mu\text{s}$ の安定時間が必要となります。

3. コンパレータの入力電圧範囲は, オペアンプの増幅有無にかかわらず, 次のようになります。

CREF0L, CREF1L端子 (ロウ・レンジ側) の入力電圧範囲

:  $0.02AV_{DD} + 0.1 \sim 0.5AV_{DD} - 0.1\ \text{V}$

CREF0F, CREF1F端子 (フル・レンジ側) の入力電圧範囲

:  $0.02AV_{DD} + 0.1 \sim 0.92AV_{DD} - 0.1\ \text{V}$

詳細については, 第28章 電気的特性を参照してください。

(18) コンパレータ<sub>n</sub>制御レジスタ1 (CMPnCTL1)

CMPnCTL1レジスタは、過電圧検出用コンパレータの出力モニタを行うレジスタです。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R アドレス：FFFFFF262H

	7	6	5	4	3	2	1	0
CMP0CTL1	0	0	0	CMP0FOUT	0	0	0	CMP0LOUT

CMP0FOUT	A/Dコンバータ0用コンパレータ0 (フル・レンジ) の出力レベル状態
0	コンパレータ出力 = 0 (過電圧検出なし)
1	コンパレータ出力 = 1 (過電圧検出あり)

CMP0LOUT	A/Dコンバータ0用コンパレータ0 (ロウ・レンジ) の出力レベル状態
0	コンパレータ出力 = 0 (過電圧検出なし)
1	コンパレータ出力 = 1 (過電圧検出あり)

リセット時：00H R アドレス：FFFFFF2E2H

	7	6	5	4	3	2	1	0
CMP1CTL1	0	CMP12FOUT	CMP11FOUT	CMP10FOUT	0	CMP12LOUT	CMP11LOUT	CMP10LOUT

CMP12FOUT	A/Dコンバータ1用コンパレータ2 (フル・レンジ) の出力レベル状態
0	コンパレータ出力 = 0 (過電圧検出なし)
1	コンパレータ出力 = 1 (過電圧検出あり)

CMP11FOUT	A/Dコンバータ1用コンパレータ1 (フル・レンジ) の出力レベル状態
0	コンパレータ出力 = 0 (過電圧検出なし)
1	コンパレータ出力 = 1 (過電圧検出あり)

CMP10FOUT	A/Dコンバータ1用コンパレータ0 (フル・レンジ) の出力レベル状態
0	コンパレータ出力 = 0 (過電圧検出なし)
1	コンパレータ出力 = 1 (過電圧検出あり)

CMP12LOUT	A/Dコンバータ1用コンパレータ2 (ロウ・レンジ) の出力レベル状態
0	コンパレータ出力 = 0 (過電圧検出なし)
1	コンパレータ出力 = 1 (過電圧検出あり)

CMP11LOUT	A/Dコンバータ1用コンパレータ1 (ロウ・レンジ) の出力レベル状態
0	コンパレータ出力 = 0 (過電圧検出なし)
1	コンパレータ出力 = 1 (過電圧検出あり)

CMP10LOUT	A/Dコンバータ1用コンパレータ0 (ロウ・レンジ) の出力レベル状態
0	コンパレータ出力 = 0 (過電圧検出なし)
1	コンパレータ出力 = 1 (過電圧検出あり)

- 注意1. CMP12FOUT, CMP11FOUT, CMP0FOUT, CMP10FOUT, CMP12LOUT, CMP11LOUT, CMP0LOUT, CMP10LOUTビットは、入力電圧が過電圧を検出しないレベルに低下した場合、0になります。
2. CMP0CTL1レジスタのビット1-3, 5-7, CMP1CTL1レジスタのビット3, 7には必ず0を設定してください。

(19) コンパレータ<sub>n</sub>制御レジスタ2 (CMPnCTL2)

CMPnCTL2レジスタは、過電圧検出用コンパレータの比較信号の指定を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF263H

	7	6	5	4	3	2	1	0
CMP0CTL2	0	0	0	0	0	0	0	CMP0SEL

CMP0SEL	A/Dコンバータ0用コンパレータ0の比較信号の指定
0	オペアンプ0増幅前
1	オペアンプ0増幅後

リセット時：00H R/W アドレス：FFFFFF2E3H

	7	6	5	4	3	2	1	0
CMP1CTL2	0	0	0	0	0	CMP12SEL	CMP11SEL	CMP10SEL

CMP12SEL	A/Dコンバータ1用コンパレータ2の比較信号の指定
0	オペアンプ2増幅前
1	オペアンプ2増幅後

CMP11SEL	A/Dコンバータ1用コンパレータ1の比較信号の指定
0	オペアンプ1増幅前
1	オペアンプ1増幅後

CMP10SEL	A/Dコンバータ1用コンパレータ0の比較信号の指定
0	オペアンプ0増幅前
1	オペアンプ0増幅後

**注意** CMP0CTL2レジスタのビット1-7, CMP1CTL2レジスタのビット3-7には必ず0を設定してください。

(20) コンパレータ<sub>n</sub>制御レジスタ3 (CMPnCTL3)

CMPnCTL3レジスタは、過電圧検出用コンパレータの検出方向の指定、エッジ検出の選択を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

( 1/2 )

リセット時 : 00H R/W アドレス : FFFFF264H

	7	6	5	4	3	2	1	0
CMP0CTL3	CMP0FDS	0	0	CMP0FDE	CMP0LDS	0	0	CMP0LDE

CMP0FDS	A/Dコンバータ0用コンパレータ(フル・レンジ)の検出方向の指定
0	論理積(AND)検出(基準値を下回る入力の場合は検出)
1	論理和(OR)検出(基準値を上回る入力の場合は検出)

CMP0FDE	A/Dコンバータ0用コンパレータ0(フル・レンジ)のエッジ検出選択
0	エッジ検出禁止(使用しない)
1	エッジ検出許可(使用する)

CMP0LDS	A/Dコンバータ0用コンパレータ(ロウ・レンジ)の検出方向の指定
0	論理積(AND)検出(基準値を下回る入力の場合は検出)
1	論理和(OR)検出(基準値を上回る入力の場合は検出)

CMP0LDE	A/Dコンバータ0用コンパレータ0(ロウ・レンジ)のエッジ検出選択
0	エッジ検出禁止(使用しない)
1	エッジ検出許可(使用する)

**備考** 基準値とは、CREF0L, CREF0F端子に入力される基準電圧です。



リセット時 : 00H R/W アドレス : FFFFF2E4H

	7	6	5	4	3	2	1	0
CMP1CTL3	CMP1FDS	CMP12FDE	CMP11FDE	CMP10FDE	CMP1LDS	CMP12LDE	CMP11LDE	CMP10LDE

CMP1FDS	A/Dコンバータ1用コンパレータ (フル・レンジ) の検出方向の指定
0	論理積 (AND) 検出 (基準値を下回る入力の場合は検出)
1	論理和 (OR) 検出 (基準値を上回る入力の場合は検出)

CMP12FDE	A/Dコンバータ1用コンパレータ2 (フル・レンジ) のエッジ検出選択
0	エッジ検出禁止 (使用しない)
1	エッジ検出許可 (使用する)

CMP11FDE	A/Dコンバータ1用コンパレータ1 (フル・レンジ) のエッジ検出選択
0	エッジ検出禁止 (使用しない)
1	エッジ検出許可 (使用する)

CMP10FDE	A/Dコンバータ1用コンパレータ0 (フル・レンジ) のエッジ検出選択
0	エッジ検出禁止 (使用しない)
1	エッジ検出許可 (使用する)

CMP1LDS	A/Dコンバータ1用コンパレータ (ロウ・レンジ) の検出方向の指定
0	論理積 (AND) 検出 (基準値を下回る入力の場合は検出)
1	論理和 (OR) 検出 (基準値を上回る入力の場合は検出)

CMP12LDE	A/Dコンバータ1用コンパレータ2 (ロウ・レンジ) のエッジ検出選択
0	エッジ検出禁止 (使用しない)
1	エッジ検出許可 (使用する)

CMP11LDE	A/Dコンバータ1用コンパレータ1 (ロウ・レンジ) のエッジ検出選択
0	エッジ検出禁止 (使用しない)
1	エッジ検出許可 (使用する)

CMP10LDE	A/Dコンバータ1用コンパレータ0 (ロウ・レンジ) のエッジ検出選択
0	エッジ検出禁止 (使用しない)
1	エッジ検出許可 (使用する)

**備考** 基準値とは, CREF1L, CREF1F端子に入力される基準電圧です。

(21) コンパレータ出力デジタル・ノイズ除去レジスタ<sub>nL, nF</sub> (CMPNFC<sub>nL, nF</sub>)

CMPNFC<sub>nL, nF</sub>レジスタは、過電圧検出用コンパレータ出力のデジタル・ノイズ除去の制御を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：CMPNFC0L FFFFF278H, CMPNFC1L FFFFF27CH

	7	6	5	4	3	2	1	0
CMPNFC <sub>nL</sub> (n = 0, 1)	CMPnNFEN	0	0	0	0	CMPnNFC2	CMPnNFC1	CMPnNFC0

リセット時：00H R/W アドレス：CMPNFC0F FFFFF27AH, CMPNFC1F FFFFF27EH

	7	6	5	4	3	2	1	0
CMPNFC <sub>nF</sub> (n = 0, 1)	CMPnNFEN	0	0	0	0	CMPnNFC2	CMPnNFC1	CMPnNFC0

CMPnNFEN	デジタル・ノイズ除去の設定
0	注
1	デジタル・ノイズ除去を行う

CMPnNFC2	CMPnNFC1	CMPnNFC0	サンプリング・クロックの選択
0	0	0	f <sub>xx</sub> /32
0	0	1	f <sub>xx</sub> /64
0	1	0	f <sub>xx</sub> /128
0	1	1	f <sub>xx</sub> /256
1	0	0	f <sub>xx</sub> /1024
1	0	1	f <sub>xx</sub> /4096
その他			設定禁止

**注** コンパレータ出力を使用する場合は、必ずCMPnNFENビット = 1 (デジタル・ノイズ除去を行う) の設定で使用してください。なお、その場合はサンプリング・クロックの選択が必要となります。

コンパレータ出力を使用しない場合は、CMPnNFENビット = 0に設定してください。

**注意** ビット3-6には必ず0を設定してください。

(22) コンパレータ出力割り込み立ち上がり, 立ち下がりエッジ指定レジスタ (CMPOR, CMPOF)

CMPOR, CMPOFレジスタは, INTCMP0L, INTCMP0F, INTCMP1L, INTCMP1F信号のトリガ・モードを指定するレジスタです。

有効エッジは, 立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを割り込み要求信号ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : FFFFF2F6H

	7	6	5	4	3	2	1	0
CMPOR	0	0	0	0	CMPOR1F	CMPOR1L	CMPOR0F	CMPOR0L

リセット時 : 00H    R/W    アドレス : FFFFF2F4H

	7	6	5	4	3	2	1	0
CMPOF	0	0	0	0	CMPOF1F	CMPOF1L	CMPOF0F	CMPOF0L

**備考** 有効エッジの指定については表12 - 9, 表12 - 10を参照してください。

表12 - 9 INTCMP0F, INTCMP1F信号の有効エッジの指定

CMPOFnF	CMPORnF	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

備考 n = 0, 1

表12 - 10 INTCMP0L, INTCMP1L信号の有効エッジの指定

CMPOFnL	CMPORnL	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

備考 n = 0, 1

## 12.4 動作

注意1. A/Dコンバータ0, 1は、2回路同時サンプリングが可能です。

2. 動作設定の詳細については、12.3(1) A/Dコンバータ $n$ スキャン・モード・レジスタ (ADnSCM) を参照してください。

### 12.4.1 基本動作

A/D変換は次の手順で行います。

- (1) ADnOCKSレジスタで入力クロック ( $f_{AD01}$ ) を選択し、ADnOCKSENビット = 1 (A/Dコンバータ $n$ の動作クロック供給許可) に設定します。
- (2) ADnSCM.ADnPSビット = 1に設定します。
- (3) (2) 後1  $\mu$ s以上の時間を確保します。
- (4) アナログ入力端子の選択、動作モードなどを、ADnSCM<sup>注</sup>、ADnCTC、ADnCHEN、ADnCTL0、ADnTSEL、ADnCH1、ADnCH2、ADLTS1、ADLTS2レジスタで指定します ( $n=0, 1$ )。ADnCTC.ADnFR3-ADnFR0ビットの指定により、A/D変換クロック数、A/D変換時間が決まります。

注 ADnSCMレジスタのビット1には、必ず1を設定してください。

この設定は、ADnSCMレジスタの他のビット設定と同時にできます。

- (5) A/Dトリガ・モード、A/Dトリガ・ポーリング・モード時は、ADnSCM.ADnCEビットをセット(1)すると、A/D変換を開始します ( $n=0, 1$ )。ハードウェア・トリガ・モード、変換チャンネル指定モード、拡張バッファ・モード時は、ADnCEビットをセット(1)すると、トリガ待機状態になります。
- (6) A/D変換を開始すると選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。入力レベル増幅用オペアンプを使用する場合は、OPnCTL0.OPnGA3-OPnGA0ビットで指定したゲイン数×入力電圧をサンプリングします。
- (7) 一定時間サンプリングを行うと、サンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。
- (8) 逐次変換レジスタ (SAR) のビット11をセットし、タップ・セクタはアレイの電圧タップをリファレンス電圧 ( $1/2 AV_{REFPn}$ ) にします。
- (9) アレイの電圧タップから発生した電圧と、アナログ入力電圧をコンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ( $1/2 AV_{REFPn}$ ) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットしたままです。アナログ入力電圧がリファレンス電圧 ( $1/2 AV_{REFPn}$ ) より小さい場合には、SARレジスタのMSBをリセットします。

(10)次に逐次変換レジスタ(SAR)のビット10が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット11の値によって、アレイの電圧タップが選択されます。

ビット11 = 0 : (  $1/4 AV_{REFPn}$  )

ビット11 = 1 : (  $3/4 AV_{REFPn}$  )

アレイの電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット10を操作します。

アナログ入力電圧 アレイの電圧タップ : ビット10 = 1

アナログ入力電圧 アレイの電圧タップ : ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。

(11)12ビットの比較が終了したとき、逐次変換レジスタ(SAR)には、有効なデジタル値の結果が残ります。A/Dトリガ・モード、A/Dトリガ・ポーリング・モード、ハードウェア・トリガ・モード、変換チャンネル指定モード時は、その値がA/Dn変換結果レジスタm ( $ADnCRm$ ) に転送されて変換結果を格納します ( $n = 0, 1, m = 0-15$ )。拡張バッファ・モード時はその値がA/Dn変換結果拡張バッファ・レジスタaに格納され、選択ロード・トリガxの発生によりA/Dn変換結果拡張レジスタaにシフトされ格納されます ( $x = 1, 2, a = 0-4$ )。指定した回数のA/D変換が終了したとき、A/Dn変換終了割り込み要求信号 (INTADn) を発生します。

## 12.4.2 入力電圧と変換結果

アナログ入力端子 (ANInk) に入力されたアナログ入力電圧とA/D変換結果 (A/Dn変換結果レジスタm (ADnCRm) またはA/Dn変換結果拡張レジスタa (ADnECRa)) には次式に示す関係があります。

$$\text{ADCR} = \text{INT} \left( \frac{V_{\text{IN}}}{AV_{\text{REFP}}} \times 4096 + 0.5 \right)$$

または,

$$\left( \text{ADCR} - 0.5 \right) \times \frac{AV_{\text{REFP}}}{4096} < V_{\text{IN}} < \left( \text{ADCR} + 0.5 \right) \times \frac{AV_{\text{REFP}}}{4096}$$

INT ( ) : ( ) 内の値の整数部を返す関数

$V_{\text{IN}}$  : アナログ入力電圧

$AV_{\text{REFP}}$  :  $AV_{\text{REFPn}}$ 端子電圧

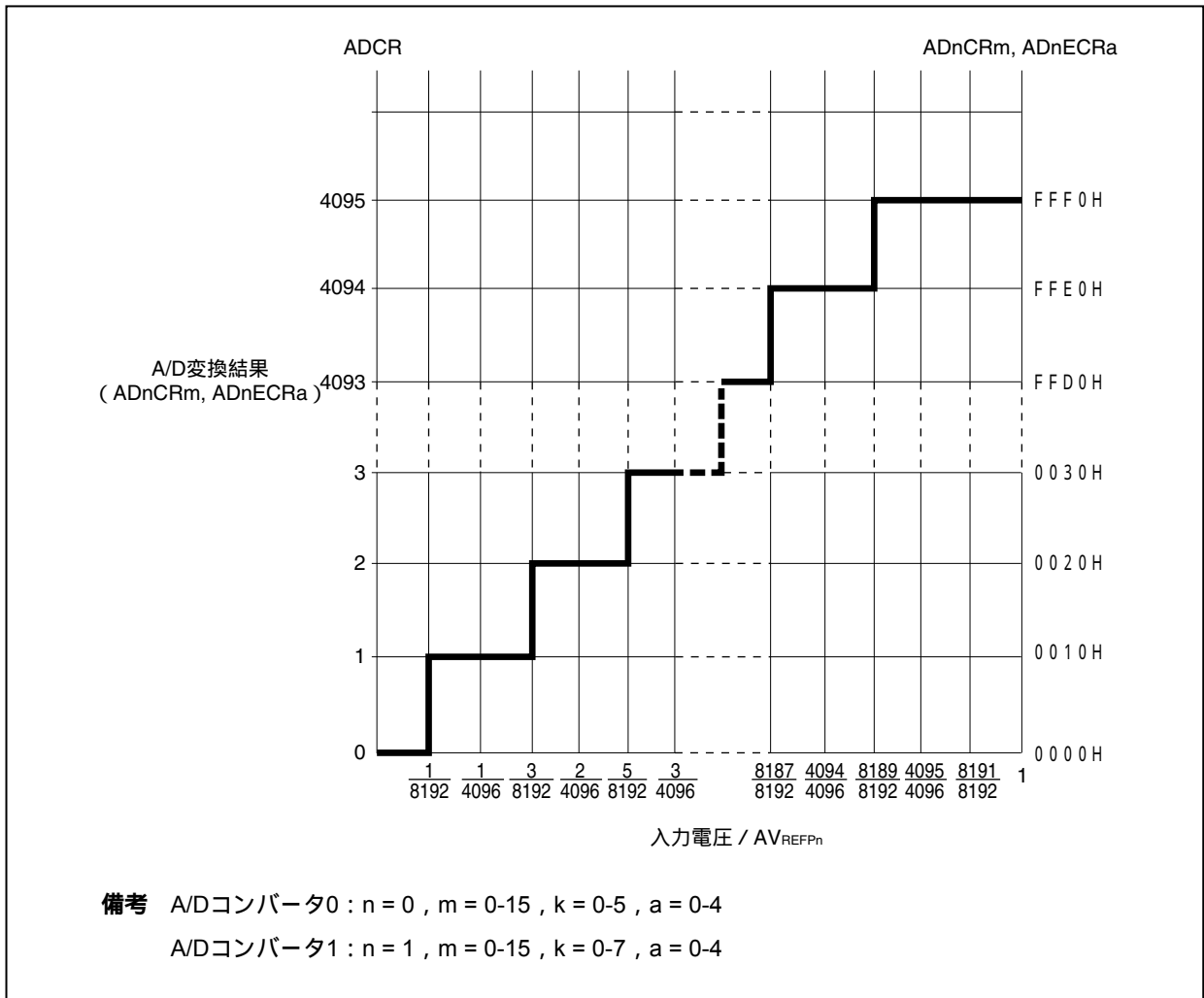
ADCR : A/Dn変換結果レジスタm (ADnCRm) の値, またはA/Dn変換結果拡張レジスタa (ADnECRa) の値

次にアナログ入力電圧とA/D変換結果の関係を示します。

**備考** A/Dコンバータ0 : n = 0, m = 0-15, k = 0-5, a = 0-4

A/Dコンバータ1 : n = 1, m = 0-15, k = 0-7, a = 0-4

図12 - 11 アナログ入力電圧とA/D変換結果の関係

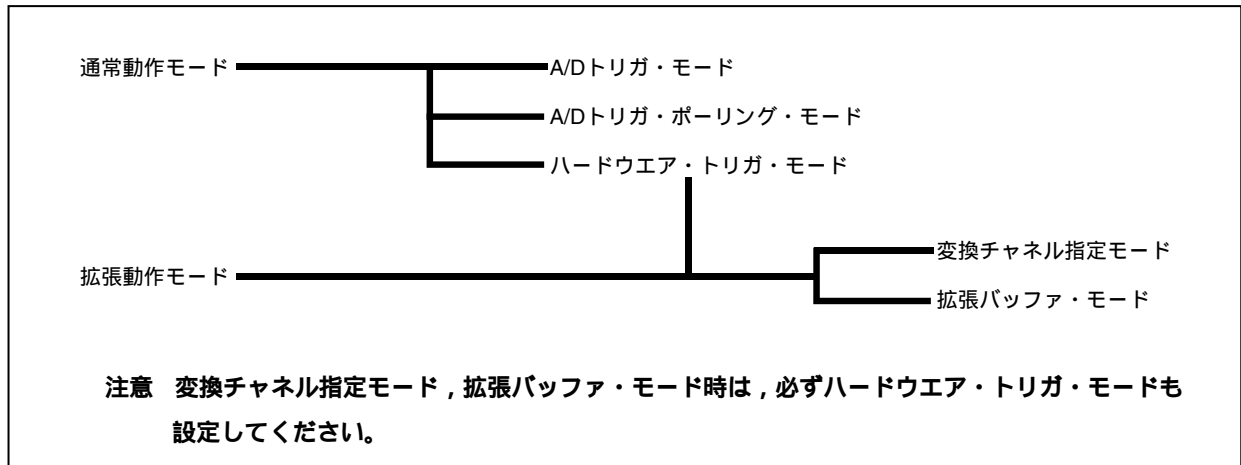


### 12.4.3 動作モード

A/Dコンバータ0, 1は、動作モードの指定により多彩な変換動作を指定できます。動作モードは、ADnSCM, ADnCTC, ADnCHEN, ADnCTL0, ADnTSEL, ADnCH1, ADnCH2, ADLTS1, ADLTS2, ADnOCKSレジスタで設定します。

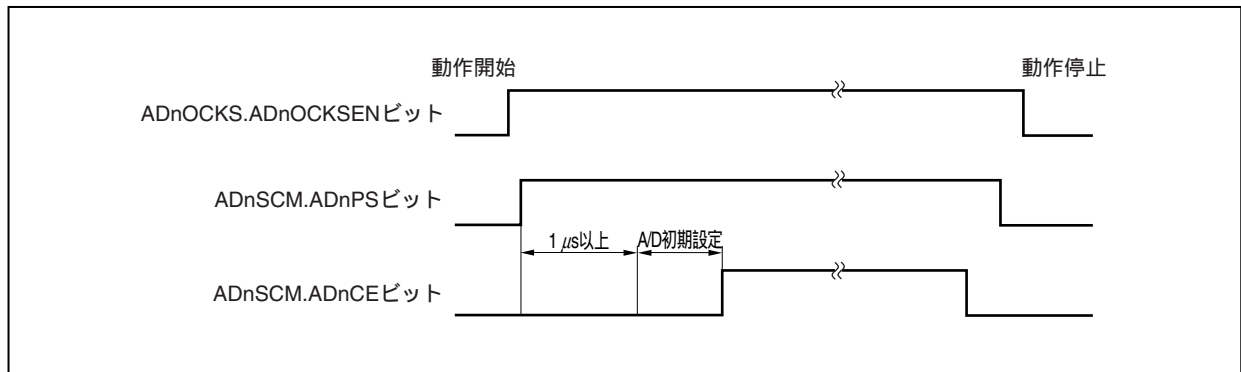
動作モードの関係を次に示します。

備考 n = 0, 1



### 12.4.4 動作設定

A/Dコンバータ0, 1の動作開始、動作停止は次の手順で行ってください。





### 12.4.5 1チャンネル変換の動作

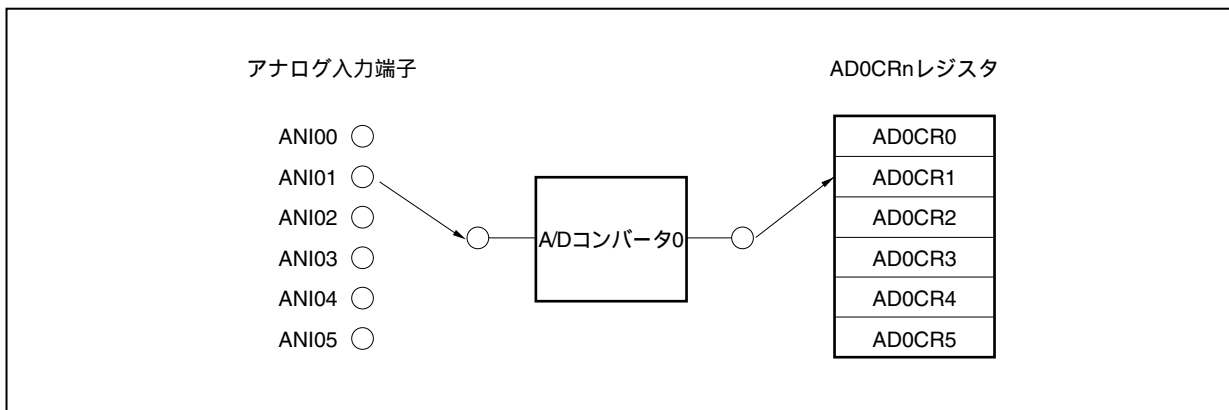
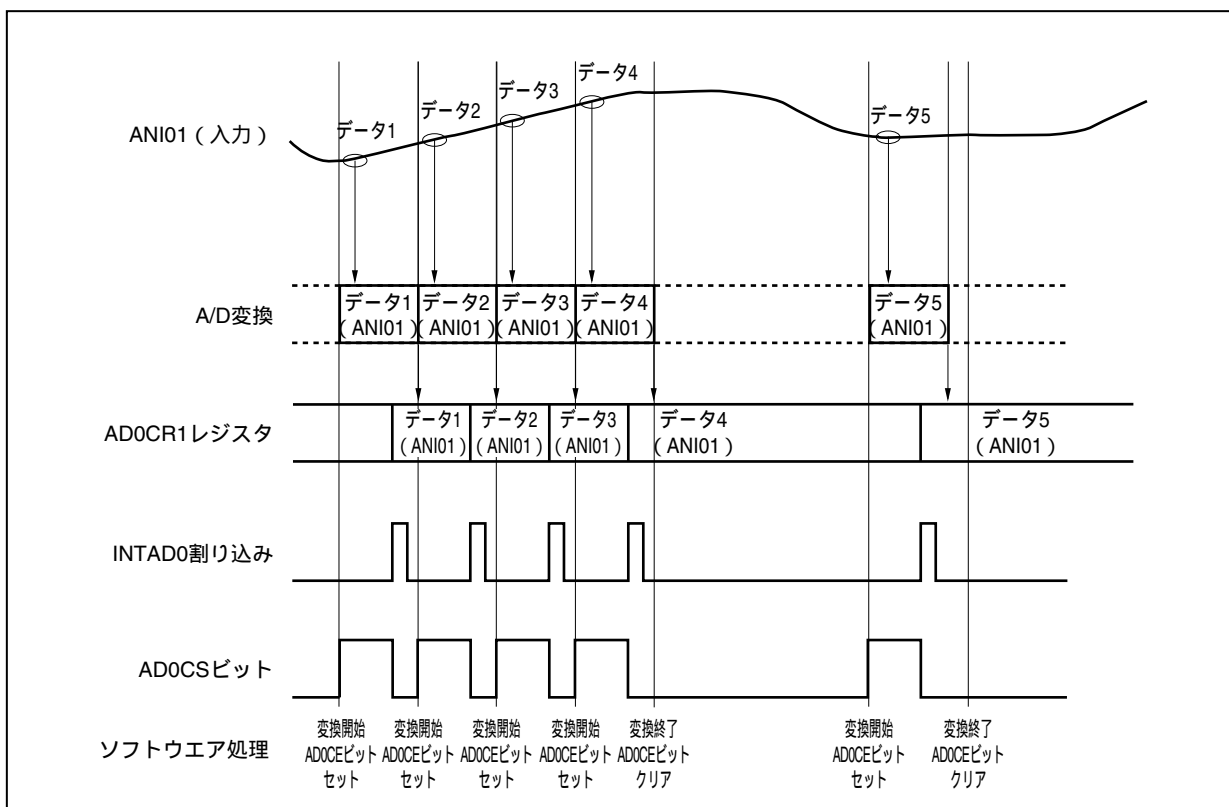
ADnCHENレジスタで指定される1つのアナログ入力端子 (ANInk) をA/D変換します。変換結果は, ANInk端子に対応したADnCRkレジスタに格納します。ANInk端子とADnCRkレジスタは1対1に対応しており, 1回の変換終了ごとにA/Dn変換終了割り込み要求信号 (INTADn) が発生します。

A/D変換終了後は, A/Dトリガ・モード, A/Dトリガ・ポーリング・モード時は変換動作を停止し, ハードウェア・トリガ・モード時はトリガ待機状態になります。

備考 A/Dコンバータ0 : n = 0, k = 0-5

A/Dコンバータ1 : n = 1, k = 0-7

図12 - 12 1チャンネル変換の動作 (A/Dトリガ・モード時) : A/Dコンバータ0の場合



### 12.4.6 複数チャネル変換の動作

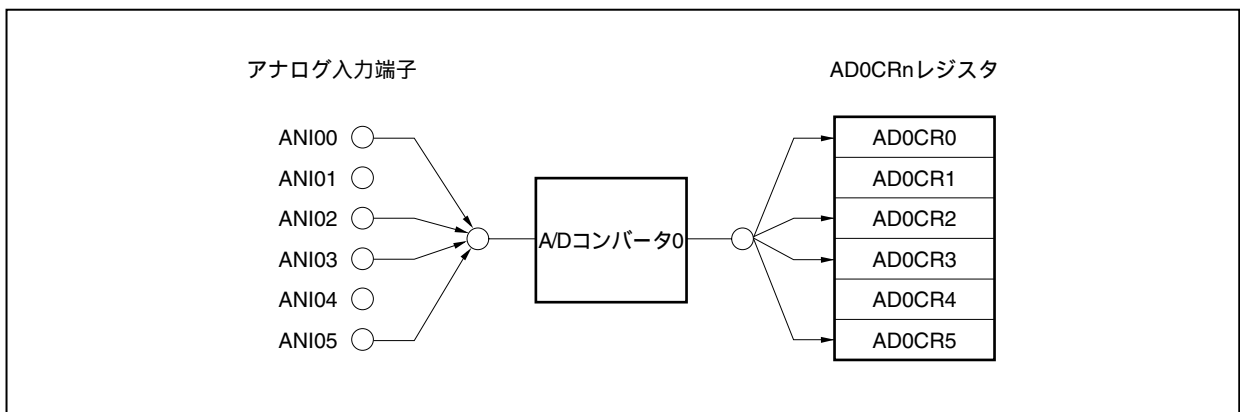
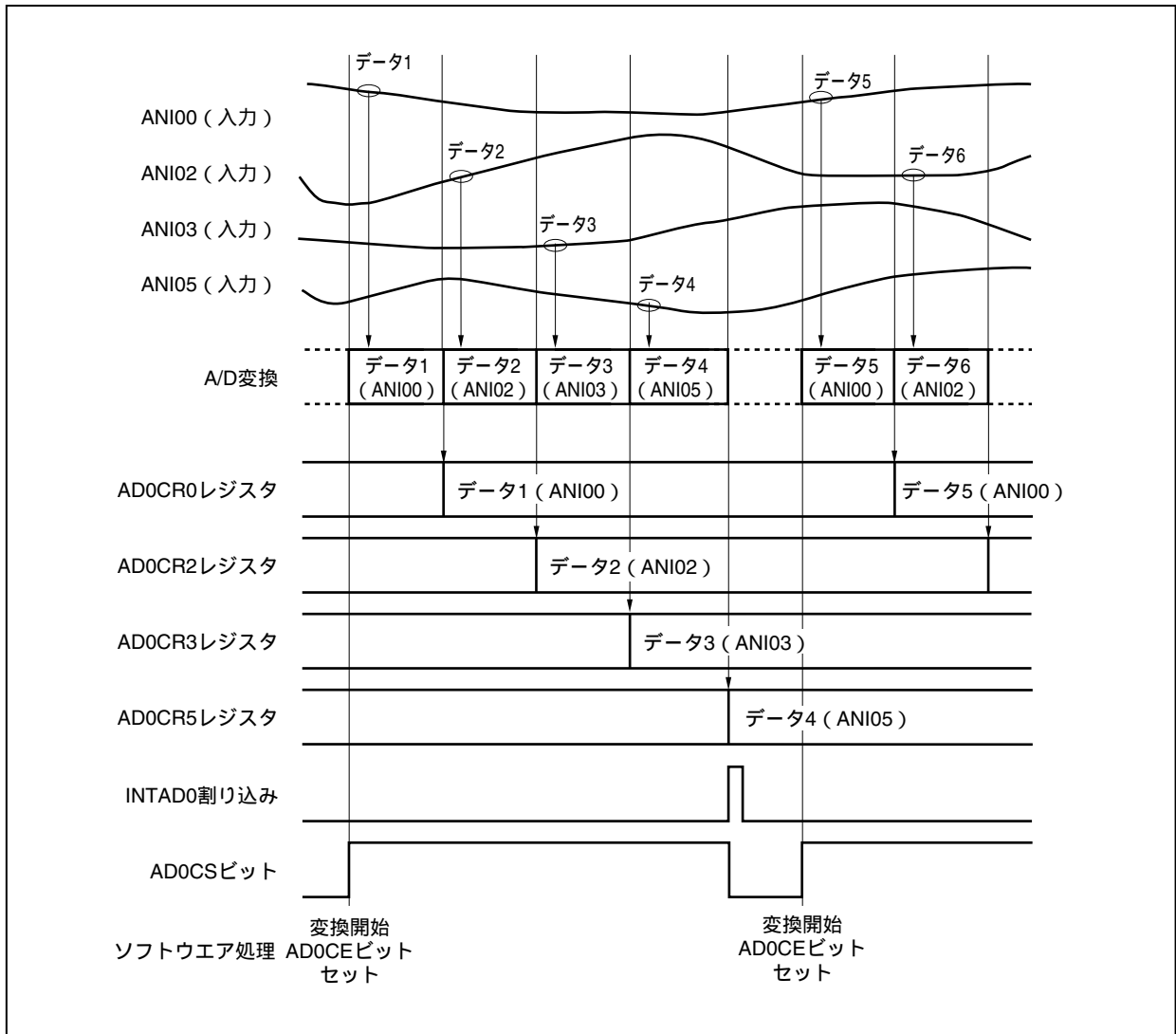
ADnCHENレジスタで指定される複数のアナログ入力端子 (ANInk) をA/D変換します。A/D変換は番号の小さいものから順番に連続して行います (図12 - 13の例ではANI00 ANI02 ANI03 ANI05)。連続変換の途中で指定していないアナログ入力端子がある場合はスキップします。変換結果は、ANInk端子に対応したADnCRkレジスタに格納します。ANInk端子とADnCRkレジスタは1対1に対応しており、指定したアナログ入力端子の変換が終了するとA/Dn変換終了割り込み要求信号 (INTADn) が発生します。

A/D変換終了後は、A/Dトリガ・モード、A/Dトリガ・ポーリング・モード時は変換動作を停止し、ハードウェア・トリガ・モード時はトリガ待機状態になります。

**備考** A/Dコンバータ0 : n = 0, k = 0-5

A/Dコンバータ1 : n = 1, k = 0-7

図12 - 13 複数チャンネル変換の動作 (A/Dトリガ・モード時) : A/Dコンバータ0の場合



### 12.4.7 A/Dトリガ・モード（通常動作モード）

ADnSCM.ADnCEビットをセット（1）すると、A/D変換を開始します。

A/D変換が開始されると、ADnSCM.ADnCSビット = 1（変換動作中）となります。

また、A/D変換動作中にADnSCMレジスタに書き込みを行った場合には、A/D変換は中断され、再度最初から変換を行います。

#### （1）1チャンネル変換の動作

1つのアナログ入力端子（ANInk）を1回A/D変換し、その結果を1つのADnCRkレジスタに格納します。

ANInk端子とADnCRkレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号（INTADn）を発生します。A/D変換終了後は、ADnSCM.ADnCEビット = 1のまま変換動作を停止します。

ADnCEビットをセット（1）すると、A/D変換を再起動できます。

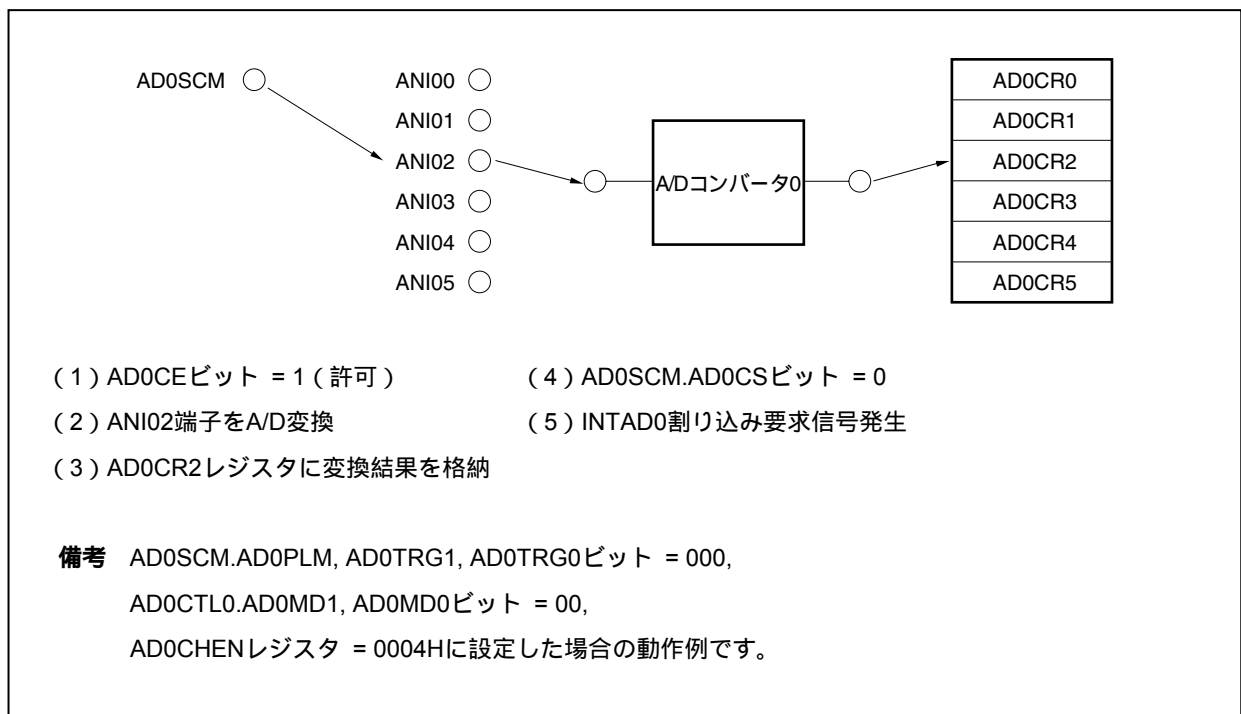
1回のA/D変換ごとに結果を読み出すような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInk	ADnCRk

**備考** A/Dコンバータ0 : n = 0, k = 0-5

A/Dコンバータ1 : n = 1, k = 0-7

図12 - 14 1チャンネル変換（A/Dトリガ・モード）の動作例：A/Dコンバータ0の場合



(2) 複数チャンネル変換の動作

ADnCHENレジスタで指定される複数のアナログ入力端子に対し、番号の小さいものから順番にアナログ入力端子を選択し、A/D変換を行います。その結果をアナログ入力端子に対応したADnCRkレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると、A/D変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は、ADnSCM.ADnCEビット = 1のまま変換動作を停止します。

ADnCEビットをセット (1) すると、A/D変換を再起動できます。

複数のアナログ入力を監視するような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInk <sup>注</sup>	ADnCRk
ANInk <sup>注</sup>	ADnCRk

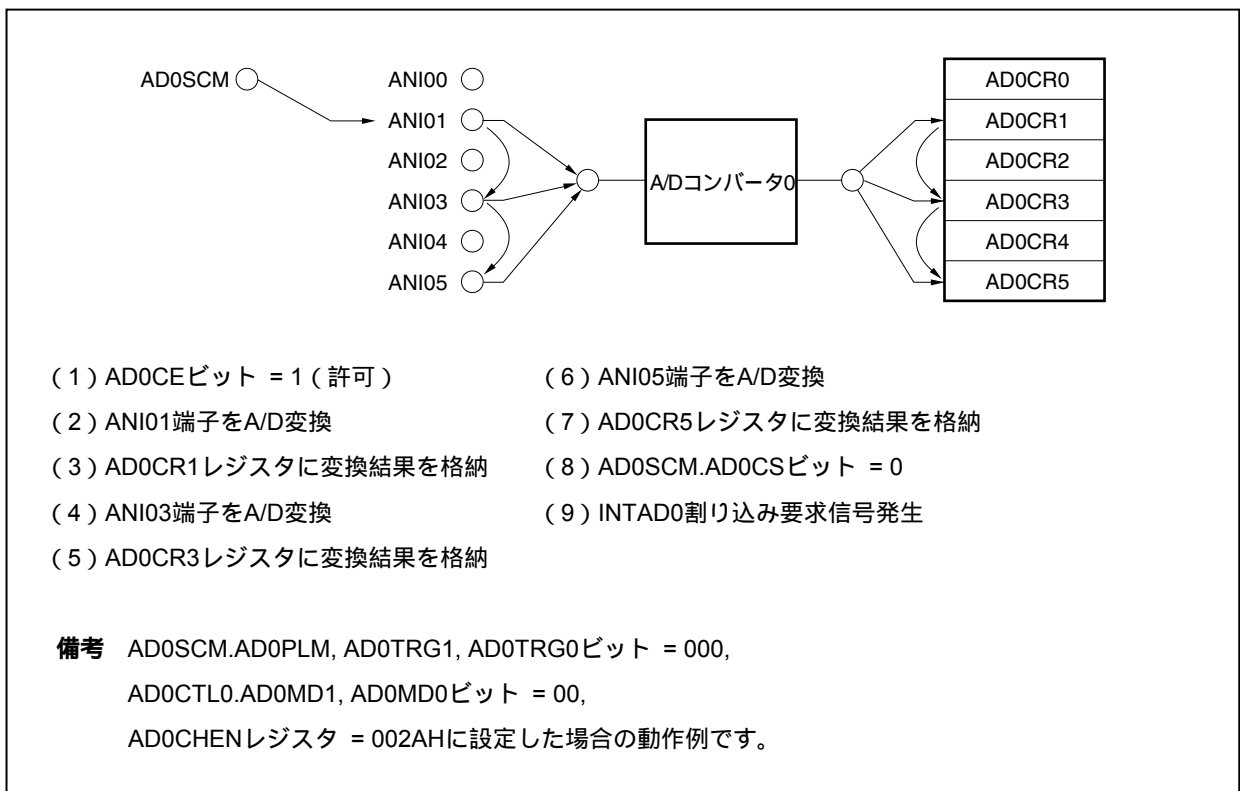
注 ADnCHENレジスタで複数設定可能です。

ただし、A/D変換は番号の小さいものから順番に行います。

備考 A/Dコンバータ0 : n = 0, k = 0-5

A/Dコンバータ1 : n = 1, k = 0-7

図12 - 15 複数チャンネル変換 (A/Dトリガ・モード) の動作例 : A/Dコンバータ0の場合



### 12.4.8 A/Dトリガ・ポーリング・モード（通常動作モード）

ADnSCM.ADnCEビットをセット（1）すると、A/D変換を開始します。

A/D変換が開始されると、ADnSCM.ADnCSビット = 1（変換動作中）となります。

A/Dトリガ・ポーリング・モードでは、A/Dn変換終了割り込み要求信号（INTADn）発生後、A/D変換の再起動動作としてADnCEビットに1を書き込む必要がありません。

また、A/D変換動作中にADnSCMレジスタに書き込みを行った場合には、A/D変換は中断され、再度最初から変換を行います。

#### （1）1チャンネル変換の動作

1つのアナログ入力端子（ANInk）を1回A/D変換し、その結果を1つのADnCRkレジスタに格納します。ANInk端子とADnCRkレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号（INTADn）を発生します。ADnSCM.ADnCEビットが0になるまでA/D変換を繰り返します。ADnCEビットをクリア（0）すると、変換動作を停止します。

A/D変換の再起動動作としてA/Dトリガ・ポーリング・モードでは、ADnCEビットをセット（1）する必要がありません。

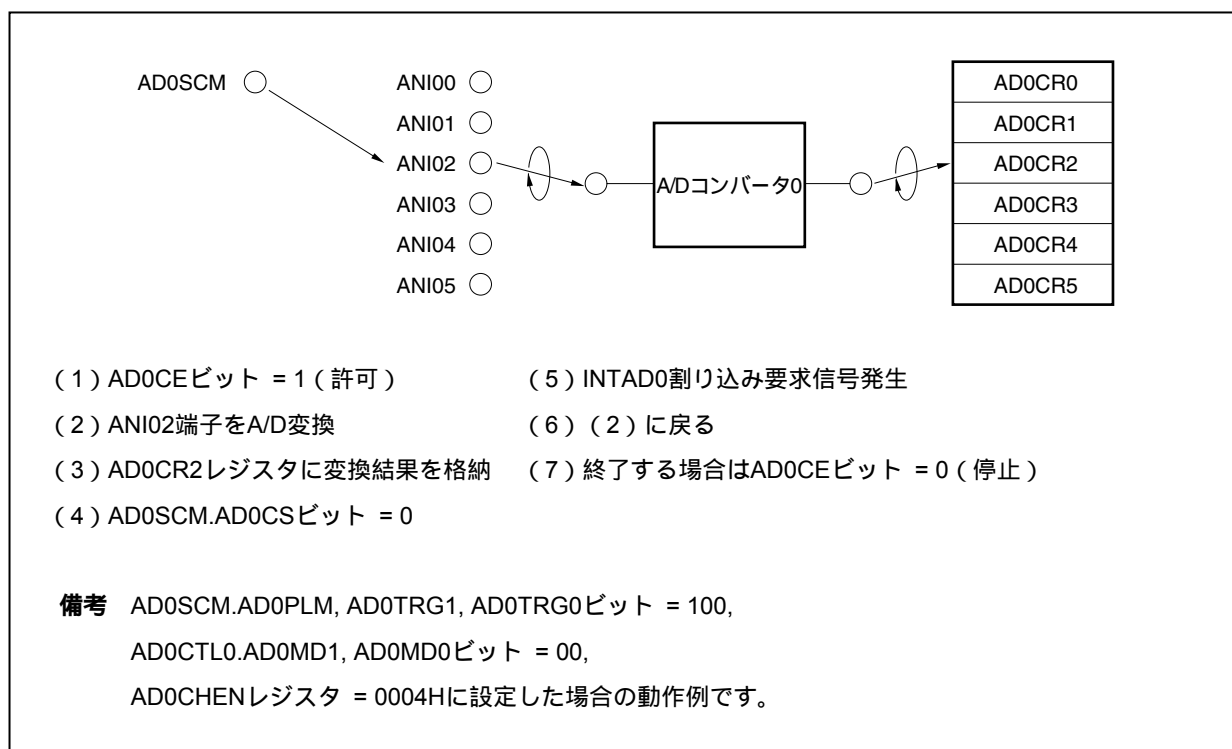
常時A/D変換値を読み出すような应用到に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInk <sup>注</sup>	ADnCRk

**備考** A/Dコンバータ0 : n = 0, k = 0-5

A/Dコンバータ1 : n = 1, k = 0-7

図12 - 16 1チャンネル変換（A/Dトリガ・ポーリング・モード）の動作例：A/Dコンバータ0の場合



(2) 複数チャンネル変換の動作

ADnCHENレジスタで指定される複数のアナログ入力端子に対し,番号の小さいものから順番にアナログ入力端子を選択し,A/D変換を行います。その結果をアナログ入力端子に対応したADnCRkレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると,A/D変換終了割り込み要求信号(INTADn)を発生します。ADnSCM.ADnCEビットが0になるまでA/D変換を繰り返します。ADnCEビットをクリア(0)すると,変換動作を停止します。

A/D変換の再起動動作としてA/Dトリガ・ポーリング・モードでは,ADnCEビットをセット(1)する必要がありません。

常時A/D変換値を読み出すような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInk <sup>注</sup>	ADnCRk
ANInk <sup>注</sup>	ADnCRk

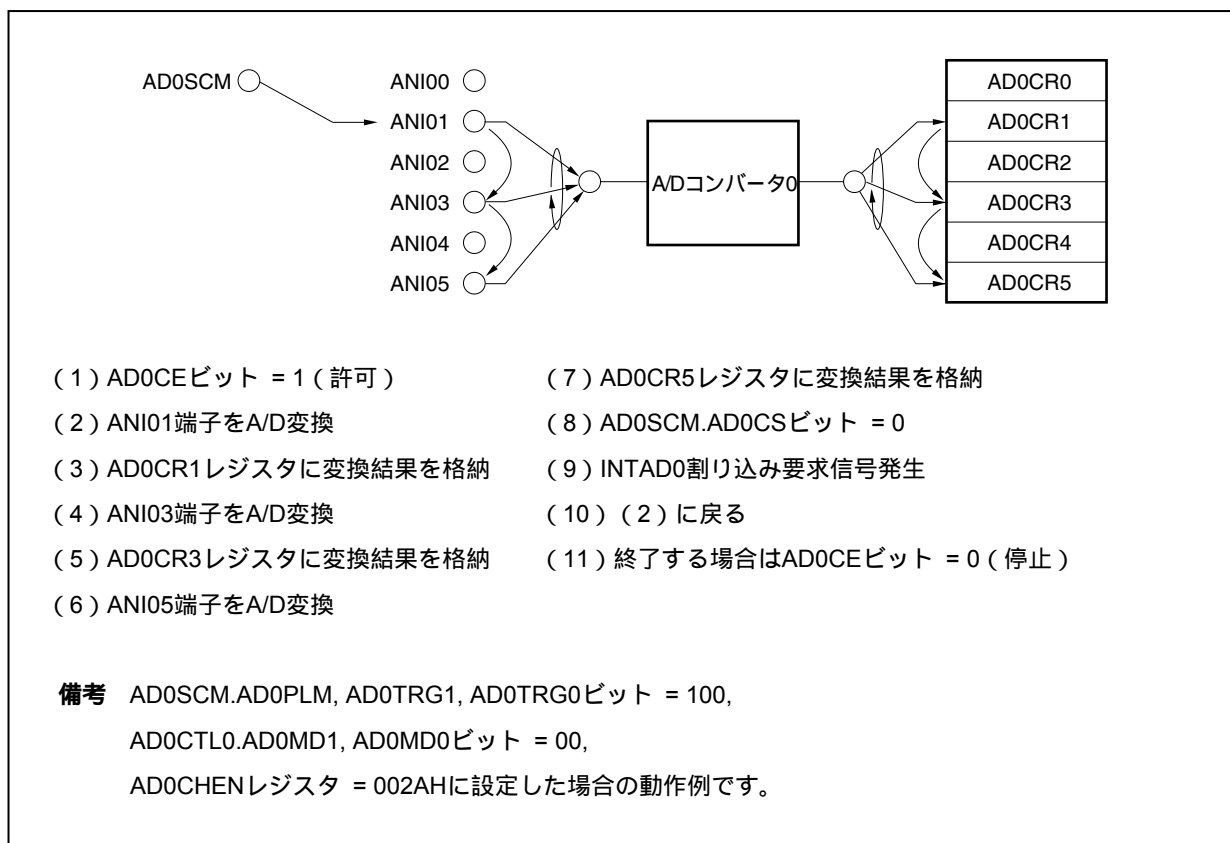
注 ADnCHENレジスタで複数設定可能です。

ただし,A/D変換は番号の小さいものから順番に行います。

備考 A/Dコンバータ0 : n = 0, k = 0-5

A/Dコンバータ1 : n = 1, k = 0-7

図12 - 17 複数チャンネル変換 (A/Dトリガ・ポーリング・モード) の動作例 : A/Dコンバータ0の場合



### 12.4.9 ハードウェア・トリガ・モード（通常動作モード）

ADnSCM.ADnCEビットをセット（1）すると、トリガ待機状態になり、ADnTSEL.ADnTRGSEL11, ADnTRGSEL10ビットで指定したトリガが発生すると、A/D変換を開始します。

A/D変換が開始されると、ADnSCM.ADnCSビット = 1（変換動作中）となります。

また、A/D変換動作中にADnSCMレジスタに書き込みを行った場合には、A/D変換は中断され、再度トリガ待機状態になります。

#### （1）1チャンネル変換の動作

ADnTSEL.ADnTRGSEL11, ADnTRGSEL10ビットで指定した信号をトリガとして、1つのアナログ入力端子（ANInk）を1回A/D変換し、その結果を1つのADnCRkレジスタに格納します。ANInk端子とADnCRkレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号（INTADn）を発生します。A/D変換終了後は、ADnSCM.ADnCEビット = 1のままトリガ待機状態になります。

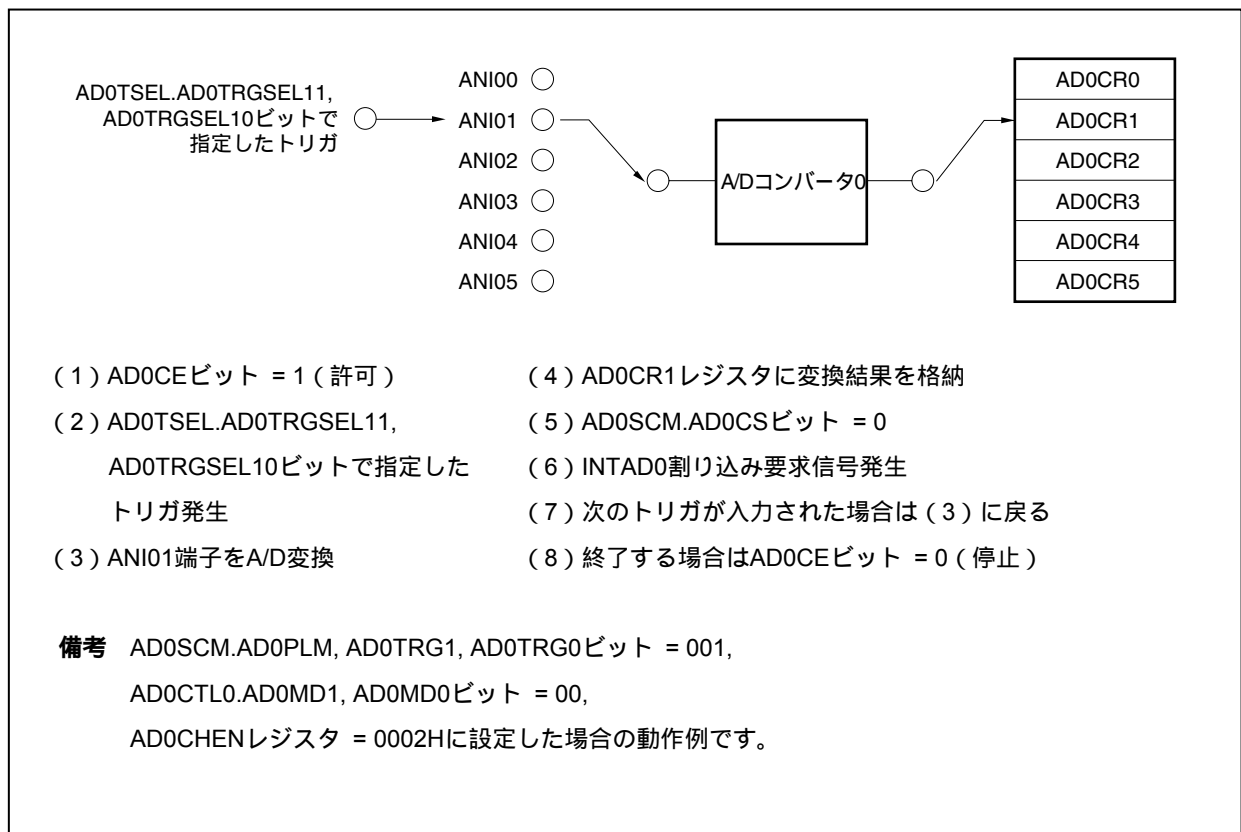
1回のトリガによるA/D変換ごとに結果を読み出すような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInk	ADnCRk

**備考** A/Dコンバータ0 : n = 0, k = 0-5

A/Dコンバータ1 : n = 1, k = 0-7

図12 - 18 1チャンネル変換（ハードウェア・トリガ・モード）の動作例：A/Dコンバータ0の場合





## (2) 複数チャネル変換の動作

ADnTSEL.ADnTRGSEL11, ADnTRGSEL10ビットで指定した信号をトリガとして, ADnCHENレジスタで指定される複数のアナログ入力端子に対し, 番号の小さいものから順番にアナログ入力端子を選択し, A/D変換を行います。その結果をアナログ入力端子に対応したADnCRkレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると, A/D変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は, ADnSCM.ADnCEビット = 1のままトリガ待機状態になります。

複数のアナログ入力をトリガ・タイミングで監視するような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInk <sup>注</sup>	ADnCRk
ANInk <sup>注</sup>	ADnCRk

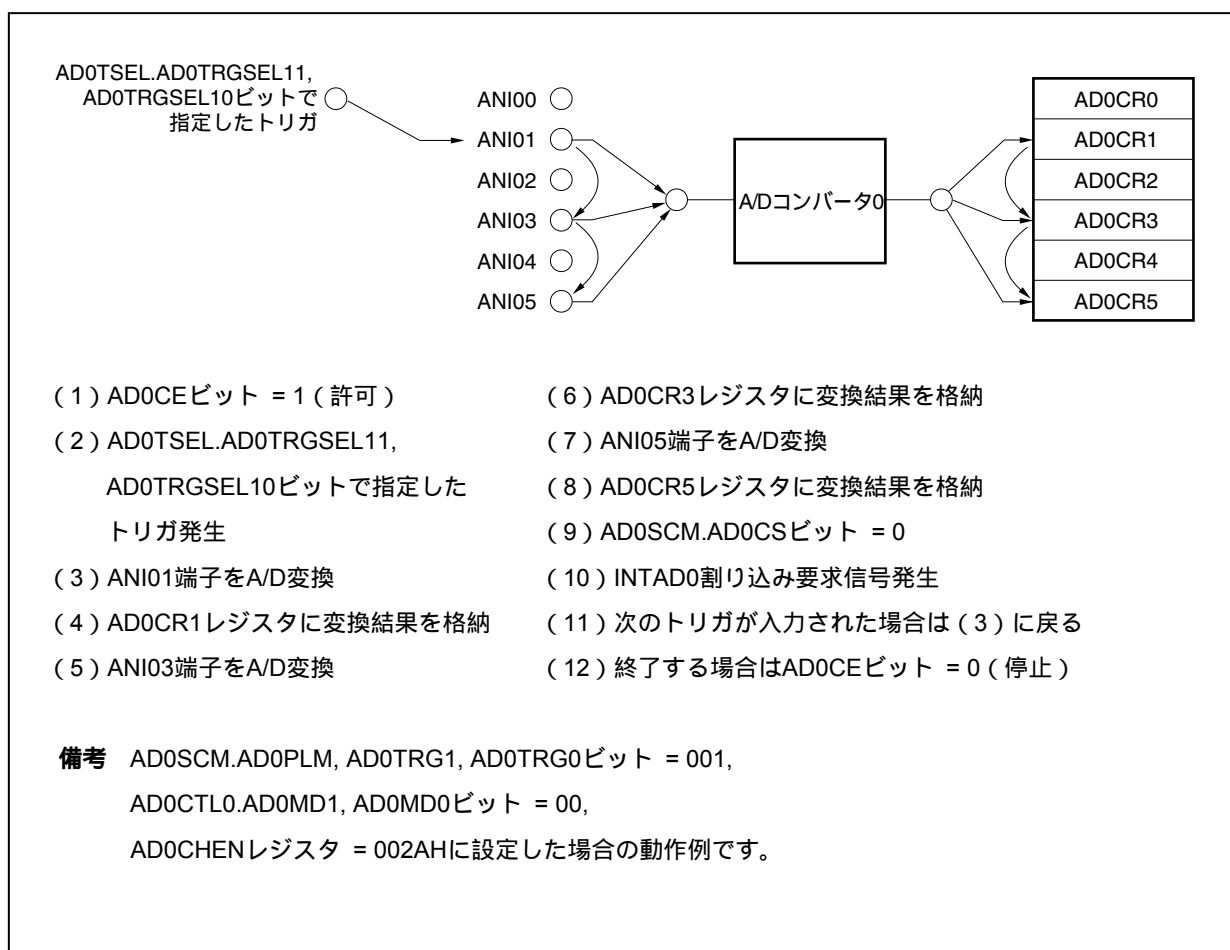
**注** ADnCHENレジスタで複数設定可能です。

ただし, A/D変換は番号の小さいものから順番に行います。

**備考** A/Dコンバータ0 : n = 0, k = 0-5

A/Dコンバータ1 : n = 1, k = 0-7

図12 - 19 複数チャネル変換 (ハードウェア・トリガ・モード) の動作例 : A/Dコンバータ0の場合



### 12.4.10 変換チャンネル指定モード（拡張動作モード）

ADnSCM.ADnCEビットをセット（1）すると、トリガ待機状態になり、ADnTSEL.ADnTRGSEL11, ADnTRGSEL10ビットで指定した選択トリガ1が発生すると、A/D変換を開始します。

A/D変換が開始されると、ADnSCM.ADnCSビット = 1（変換動作中）となります。

また、A/D変換動作中にADnSCMレジスタに書き込みを行った場合には、A/D変換は中断され、再度トリガ待機状態になります。

アナログ入力端子はADnCH1.ADnTRGCH12-ADnTRGCH10, ADnTRGCH16-ADnTRGCH14ビットで指定します。選択トリガ1が発生するごとに、ADnTRGCH12-ADnTRGCH10ビット, ADnTRGCH16-ADnTRGCH14ビットの順番で指定したアナログ入力端子を切り替えます。

選択トリガ1をトリガとして、指定したアナログ入力端子をADnCHENレジスタで設定した回数分（最大16回）A/D変換し、その結果をADnCHENレジスタで設定したADnCRmレジスタに格納します。変換結果はADnCR0から順番に格納します。

ADnCHENレジスタで設定した回数分（最大16回）のアナログ入力端子の変換をすべて終了すると、A/Dn変換終了割り込み要求信号（INTADn）を発生します。A/D変換終了後は、ADnSCM.ADnCEビット = 1のままトリガ待機状態になります。

複数のアナログ入力を監視するような応用に最適です。

選択トリガ	アナログ入力端子	A/D変換結果拡張レジスタ
選択トリガ1	ANInx <sup>注1</sup>	ADnCR0 <sup>注3</sup>
	ANInx <sup>注1</sup>	
	ANInx <sup>注1</sup>	ADnCRm <sup>注3</sup>
選択トリガ2	ANIny <sup>注2</sup>	ADnCR0 <sup>注3</sup>
	ANIny <sup>注2</sup>	
	ANIny <sup>注2</sup>	ADnCRm <sup>注3</sup>

注1. ADnCH1.ADnTRGCH12-ADnTRGCH10ビットで設定

2. ADnCH1.ADnTRGCH16-ADnTRGCH14ビットで設定

3. ADnCHENレジスタで複数設定可能です。

**注意1.** 変換チャンネル指定モードは、必ずハードウェア・トリガ・モードを設定してください。

2. ADnCHENレジスタの設定は必ず下位ビットの下詰めで設定してください。下詰めでない設定は禁止です。

3. ADnCH2レジスタの設定は無効です。

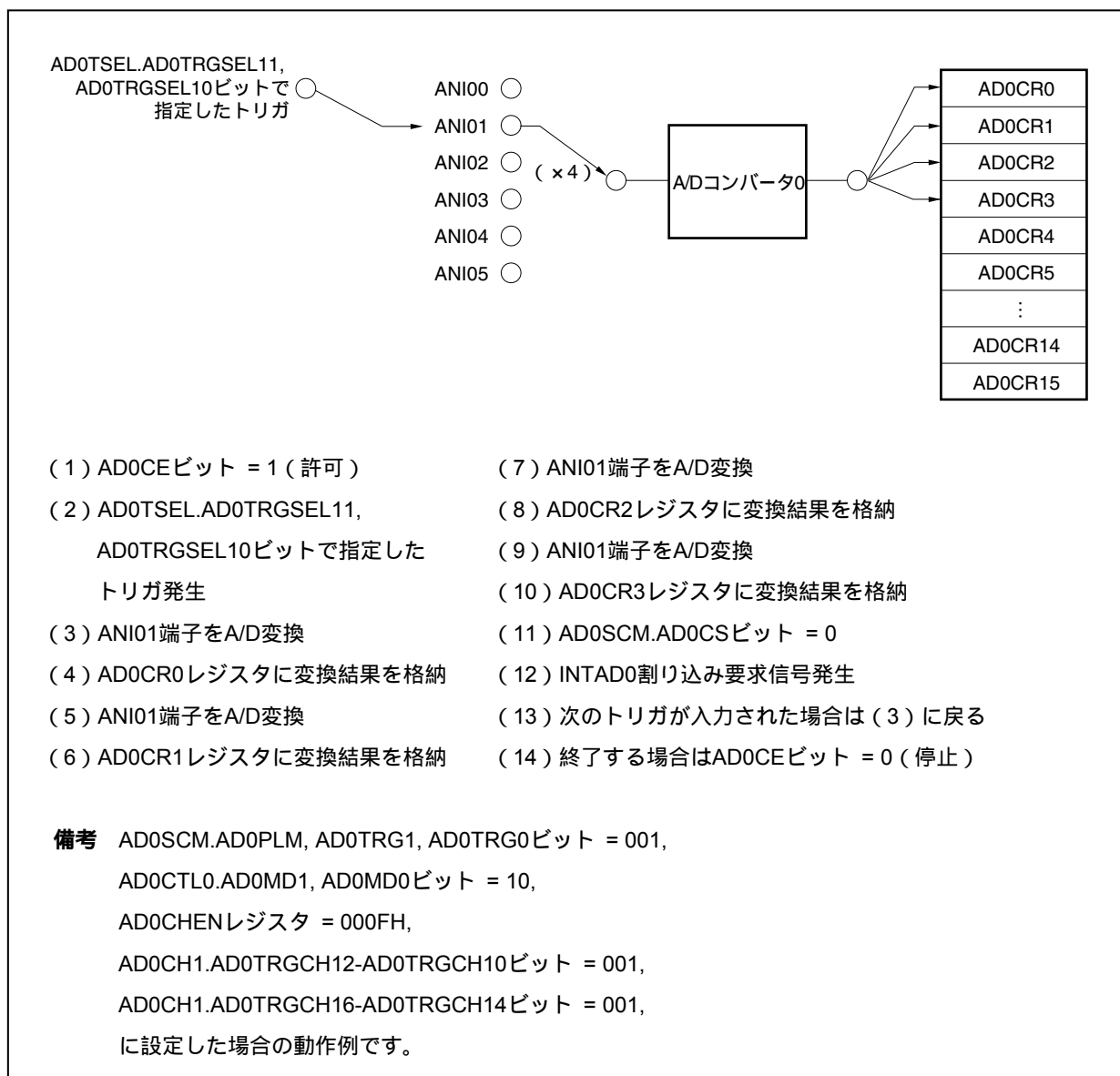
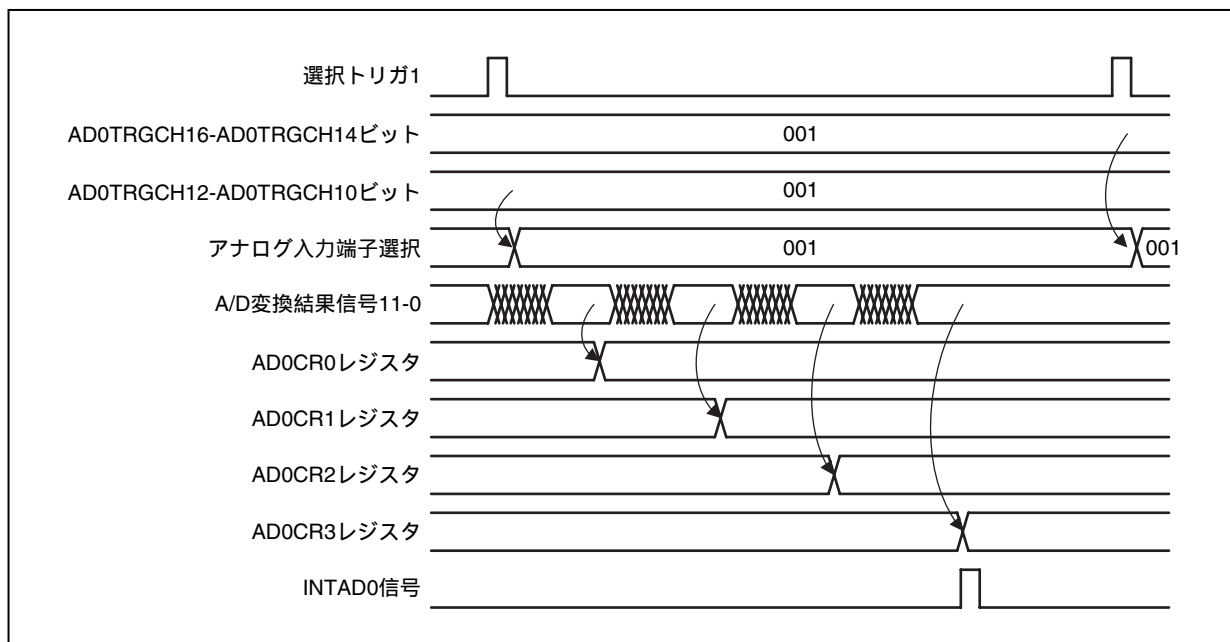
4. ADnECRa, ADnECRaH, ADnFLG, ADnFLGBレジスタは使用しません。リードした場合は0000Hおよび00Hが読み出せます。

5. A/D変換動作中に、選択トリガ1が発生した場合は無視されます。次の選択トリガ1はA/D変換終了後（INTADn信号発生後）に発生したトリガに対して受け付けます。

**備考** A/Dコンバータ0：n = 0, k = 0-5, m = 0-15

A/Dコンバータ1：n = 1, k = 0-7, m = 0-15

図12 - 20 変換チャンネル指定モードの動作例：A/Dコンバータ0の場合



### 12.4.11 拡張バッファ・モード (拡張動作モード)

ADnSCM.ADnCEビットをセット(1)すると、トリガ待機状態になり、ADnTSEL.ADnTRGSEL11, ADnTRGSEL10ビットで指定した選択トリガ1, またはADnTSEL.ADnTRGSEL21, ADnTRGSEL20ビットで指定した選択トリガ2が発生すると、A/D変換を開始します。

A/D変換が開始されると、ADnSCM.ADnCSビット = 1 (変換動作中) となります。

また、A/D変換動作中にADnSCMレジスタに書き込みを行った場合には、A/D変換は中断され、再度トリガ待機状態になります。

選択トリガxに対するアナログ入力端子は、ADnCHx.ADnTRGCHx2-ADnTRGCHx0ビットおよびADnCHx.ADnTRGCHx6-ADnTRGCHx4ビットで指定します。選択トリガxが発生するごとに、ADnTRGCHx2-ADnTRGCHx0ビット, ADnTRGCHx6-ADnTRGCHx4ビットの順番で指定したアナログ入力端子を切り替えます。

選択トリガ1をトリガとしたA/D変換は、まず1回目のトリガの発生でADnTRGCH12-ADnTRGCH10ビットで指定したアナログ入力端子をA/D変換し、その結果をA/Dn変換結果拡張バッファ・レジスタ0に格納し、A/Dn変換終了割り込み要求信号(INTADn)を発生します。次に2回目のトリガの発生でADnTRGCH16-ADnTRGCH14ビットで指定したアナログ入力端子をA/D変換し、その結果をA/Dn変換結果拡張バッファ・レジスタ0に格納し、同時に1回目に格納したA/Dn変換結果拡張バッファ・レジスタ0の値をA/Dn変換結果拡張バッファ・レジスタ1に格納し、INTADn割り込み要求信号を発生します。選択トリガ1をトリガとしたA/D変換では、A/Dn変換結果拡張バッファ・レジスタ0-2の最大3つを使用できます。その後、選択ロード・トリガ1が発生すると、A/Dn変換結果拡張バッファ・レジスタ0-2の値をADnECR0-ADnECR2レジスタに転送します。A/D変換終了後は、ADnSCM.ADnCEビット = 1のままトリガ待機状態になります。

選択トリガ2をトリガとしたA/D変換は、まず1回目のトリガの発生でADnTRGCH22-ADnTRGCH20ビットで指定したアナログ入力端子をA/D変換し、その結果をA/Dn変換結果拡張バッファ・レジスタ3に格納し、A/Dn変換終了割り込み要求信号(INTADn)を発生します。次に2回目のトリガの発生でADnTRGCH26-ADnTRGCH24ビットで指定したアナログ入力端子をA/D変換し、その結果をA/Dn変換結果拡張バッファ・レジスタ4に格納し、同時に1回目に格納したA/Dn変換結果拡張バッファ・レジスタ3の値をA/Dn変換結果拡張バッファ・レジスタ4に格納し、INTADn割り込み要求信号を発生します。選択トリガ2をトリガとしたA/D変換では、A/Dn変換結果拡張バッファ・レジスタ3, 4の最大2つを使用できます。その後、選択ロード・トリガ2が発生すると、A/Dn変換結果拡張バッファ・レジスタ3, 4の値をADnECR3, ADnECR4レジスタに転送し格納します。A/D変換終了後は、ADnCEビット = 1のままトリガ待機状態になります。

したがって、ADnECR0-ADnECR4レジスタをまとめてRAMに退避することができます。

変換結果を退避する時間が少なく複数のアナログ入力を複数のトリガ・タイミングで監視するような応用に最適です。

選択トリガ	アナログ入力端子	A/D変換結果拡張レジスタ
選択トリガ1	ANInx <sup>注1</sup>	ADnECR0-ADnECR2
選択トリガ1	ANIny <sup>注2</sup>	ADnECR0, ADnECR1
選択トリガ1	ANInx <sup>注1</sup>	ADnECR0
選択トリガ2	ANIns <sup>注3</sup>	ADnECR3, ADnECR4
選択トリガ2	ANInt <sup>注4</sup>	ADnECR3

注1. ADnCH1.ADnTRGCH12-ADnTRGCH10ビットで設定

2. ADnCH1. ADnTRGCH16-ADnTRGCH14ビットで設定

3. ADnCH2.ADnTRGCH22-ADnTRGCH20ビットで設定

4. ADnCH2. ADnTRGCH26-ADnTRGCH24ビットで設定

- 注意1. 拡張バッファ・モード時は、必ずハードウェア・トリガ・モード、ADnCHENレジスタ = 0001Hに設定してください。
2. 変換結果はADnECRaレジスタに格納されます。なお、ADnCRmレジスタの値は不定となります。

備考 n = 0, 1

図12 - 21 拡張バッファ・モード時のブロック図

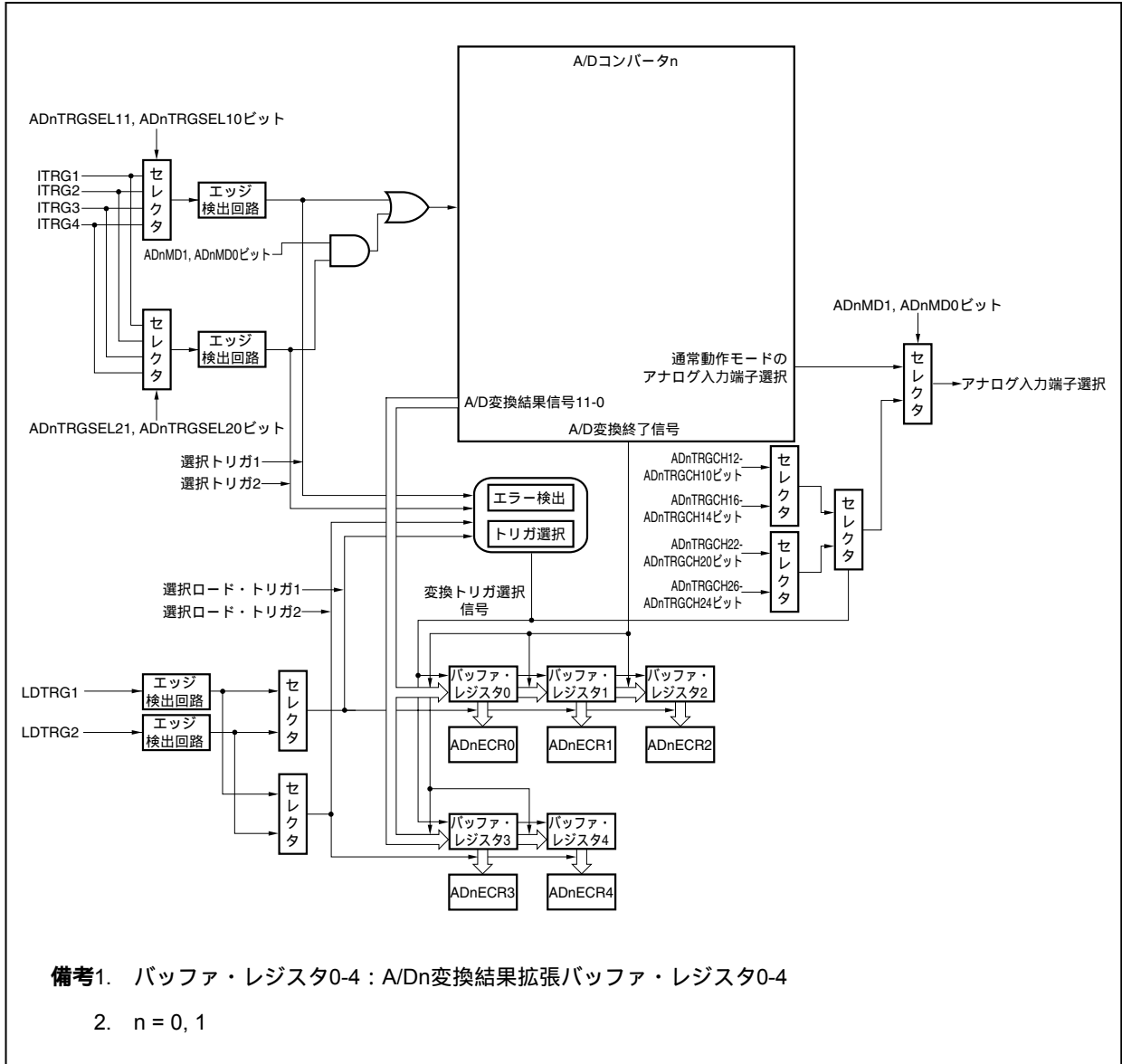


図12 - 22 拡張バッファ・モードの動作例：A/Dコンバータ0の場合（1/2）



図12 - 22 拡張バッファ・モードの動作例：A/Dコンバータ0の場合 (2/2)

- |                          |                               |
|--------------------------|-------------------------------|
| (1) AD0CEビット = 1 (許可)    | (24) 選択ロード・トリガ1発生             |
| (2) 選択トリガ2発生             | (25) バッファ・レジスタ0-2             |
| (3) ANI02端子をA/D変換        | AD0ECR0-AD0ECR2にシフト           |
| (4) バッファ・レジスタ3に変換結果を格納   | (26) AD0SCM.AD0CSビット = 0      |
| (5) AD0SCM.AD0CSビット = 0  | (27) 選択トリガ2発生                 |
| (6) INTAD0割り込み要求信号発生     | (28) ANI03端子をA/D変換            |
| (7) 選択トリガ1発生             | (29) バッファ・レジスタ3               |
| (8) ANI00端子をA/D変換        | バッファ・レジスタ4にシフト                |
| (9) バッファ・レジスタ0に変換結果を格納   | (30) バッファ・レジスタ3に変換結果を格納       |
| (10) AD0SCM.AD0CSビット = 0 | (31) AD0SCM.AD0CSビット = 0      |
| (11) INTAD0割り込み要求信号発生    | (32) INTAD0割り込み要求信号発生         |
| (12) 選択トリガ1発生            | (33) 選択トリガ1発生                 |
| (13) ANI05端子をA/D変換       | (34) ANI05端子をA/D変換            |
| (14) バッファ・レジスタ0          | (35) バッファ・レジスタ0 バッファ・レジスタ1    |
| バッファ・レジスタ1にシフト           | バッファ・レジスタ2にシフト                |
| (15) バッファ・レジスタ0に変換結果を格納  | (36) バッファ・レジスタ0に変換結果を格納       |
| (16) AD0SCM.AD0CSビット = 0 | (37) AD0SCM.AD0CSビット = 0      |
| (17) INTAD0割り込み要求信号発生    | (38) INTAD0割り込み要求信号発生         |
| (18) 選択トリガ1発生            | (39) 選択ロード・トリガ2発生             |
| (19) ANI00端子をA/D変換       | (40) バッファ・レジスタ3, 4            |
| (20) バッファ・レジスタ0          | AD0ECR3, AD0ECR4レジスタにシフト      |
| バッファ・レジスタ1               | (41) AD0SCM.AD0CSビット = 0      |
| バッファ・レジスタ2にシフト           | (42) 次のトリガが入力された場合はそのトリガに準じた  |
| (21) バッファ・レジスタ0に変換結果を格納  | 動作を行う                         |
| (22) AD0SCM.AD0CSビット = 0 | (43) 終了する場合はADnCEビット = 0 (停止) |
| (23) INTAD0割り込み要求信号発生    |                               |

(1) エラー検出機能

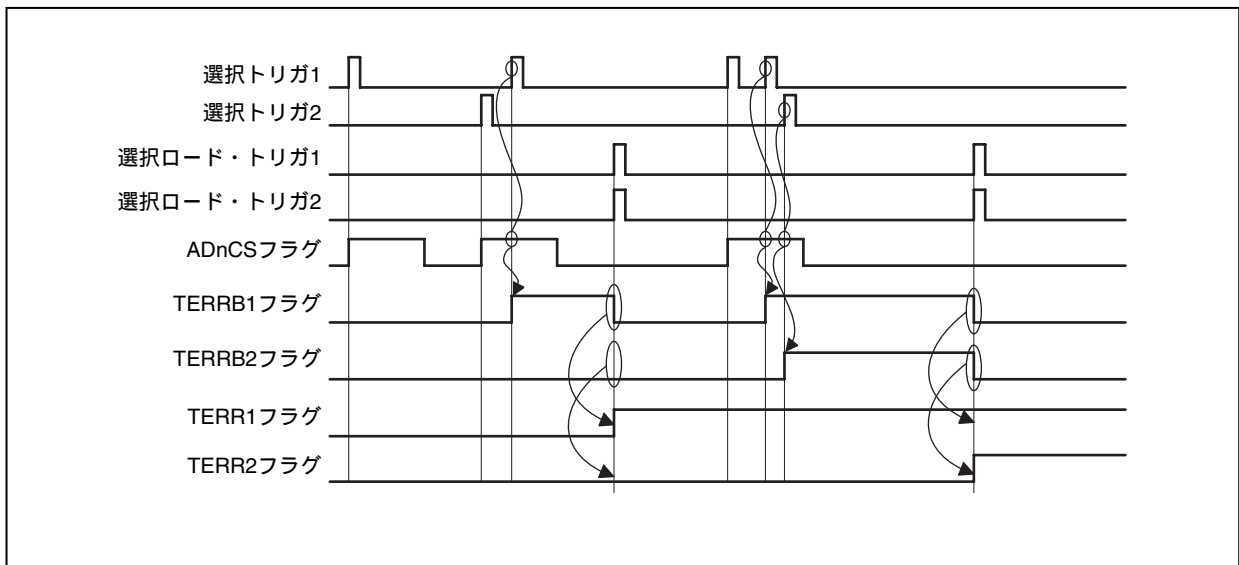
拡張バッファ・モードには、エラー検出機能があります。A/D変換中にトリガ（選択トリガ1，選択トリガ2，選択ロード・トリガ1，選択ロード・トリガ2）が発生すると、エラー状態になります。エラーの検出は、ADnFLG.ADnTERR2, ADnTERR1フラグ，ADnFLGB.ADnTERRB2, ADnTERRB1フラグで行います。

- 注意1. 選択トリガ1，選択トリガ2，選択ロード・トリガ1，選択ロード・トリガ2は、非同期信号であるITRG1-ITRG4, LDTRG1, LDTRG2信号を同期化したタイミングです。入力するタイミングが同じに見えても、非同期信号の同期化処理を行うため、同時性は保証できません。
2. 選択トリガ1または選択トリガ2が発生してから最大2.5基本クロック ( $f_{AD01}$ ) の期間は、再度選択トリガ1または選択トリガ2が発生しても無視されます（エラーも発生しない）。

(a) A/D変換中の選択トリガ1，選択トリガ2の発生によるエラー検出

A/D変換中に選択トリガ1が発生すると，ADnFLGB.ADnTERRB1フラグはセット（1）され，選択トリガ1によるA/D変換は無視されます。次に選択ロード・トリガ1が発生するとADnTERRB1フラグの値をADnFLG.ADnTERR1フラグに格納します。

同様に，A/D変換中に選択トリガ2が発生すると，ADnFLGB.ADnTERRB2フラグはセット（1）され，選択トリガ2によるA/D変換は無視されます。次に選択ロード・トリガ2が発生するとADnTERRB2フラグの値をADnFLG.ADnTERR2フラグに格納します。

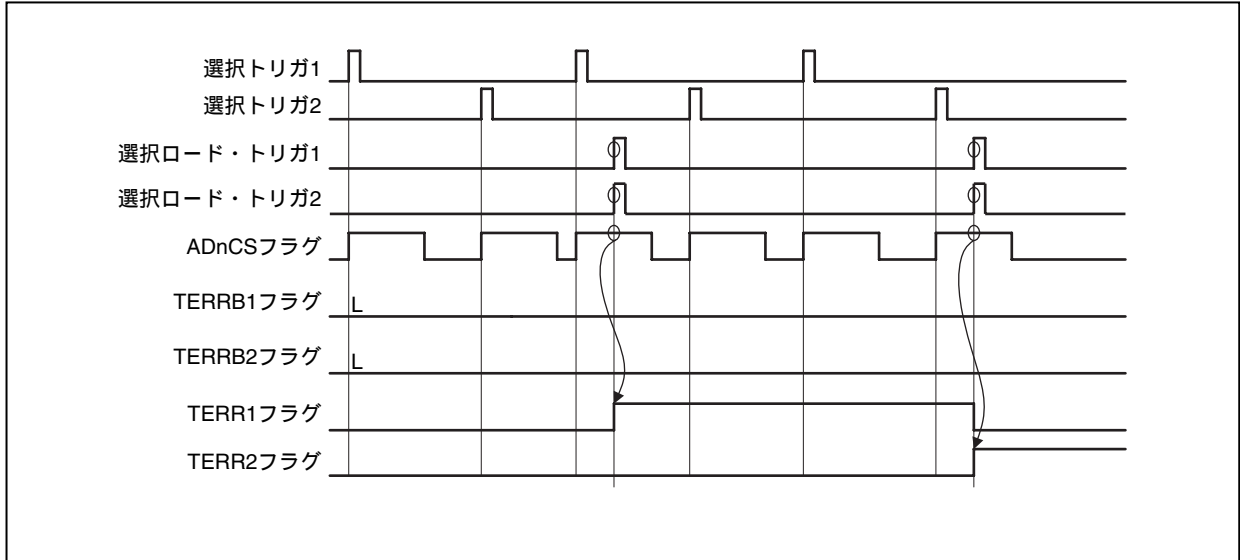




(b) A/D変換中の選択ロード・トリガ1, 選択ロード・トリガ2の発生によるエラー検出

選択トリガ1をトリガとしたA/D変換中に選択ロード・トリガ1が発生すると, ADnFLG.ADnTERR1フラグはセット(1)されます。なお, A/D変換, ロード動作は正常に行われます。

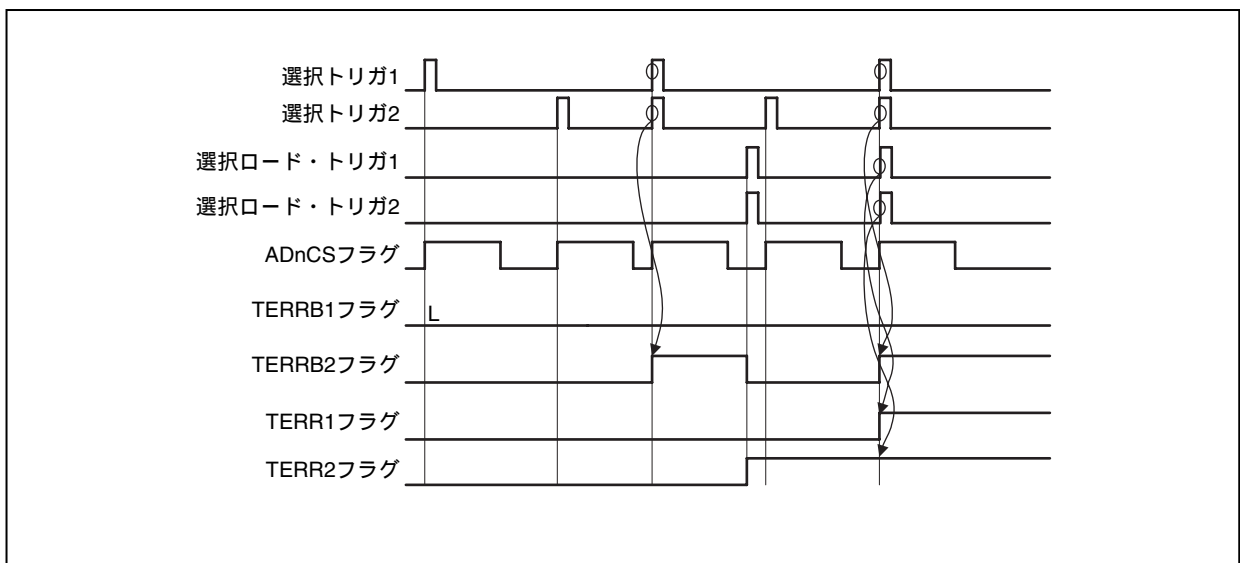
同様に, 選択トリガ2をトリガとしたA/D変換中に選択ロード・トリガ2が発生すると, ADnTERR2フラグはセット(1)されます。なお, A/D変換, ロード動作は正常に行われます。



(c) 選択トリガ1と選択トリガ2の同時発生, および選択トリガ1, 選択トリガ2, 選択ロード・トリガ1, 選択ロード・トリガ2の同時発生によるエラー検出

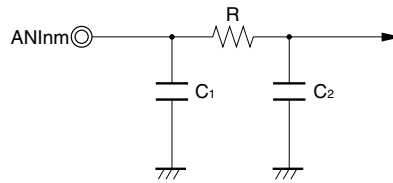
選択トリガ1と選択トリガ2が同時に発生すると, 選択トリガ1をトリガとしたA/D変換を開始し, 選択トリガ2は無視されるため, ADnFLGB.ADnTERRB2フラグはセット(1)されます。

選択トリガ1, 選択トリガ2, 選択ロード・トリガ1, 選択ロード・トリガ2が同時に発生すると, ADnFLGB.ADnTERRB2, ADnFLG.ADnTERR1, ADnTERR2フラグはセット(1)されます。なお, 選択トリガ1によるA/D変換および選択ロード・トリガ1, 選択ロード・トリガ2のロード動作は正常に行われます。選択トリガ2は無視されます。



## 12.5 内部等価回路

アナログ入力部の等価回路を次に示します。



R	C <sub>1</sub>	C <sub>2</sub>
5.1 kΩ	15 pF	3.9 pF

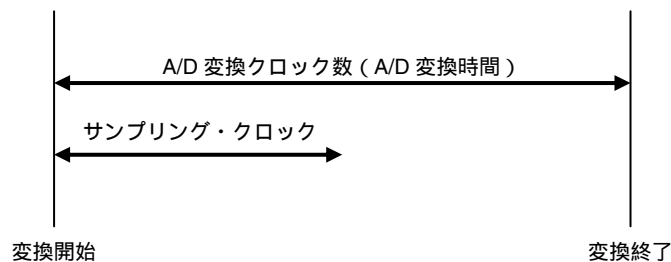
備考1. 値はMAX.値（参考値）です。

2. n = 0のとき, m = 0-5

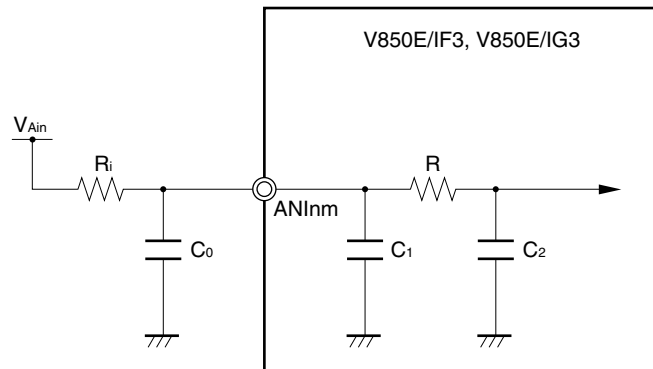
n = 1のとき, m = 0-7

ADnCTCレジスタ				A/D変換クロック数 ( $f_{AD01}$ )	サンプリング・クロック数
ADnFR3 ビット	ADnFR2 ビット	ADnFR1 ビット	ADnFR0 ビット		
0	0	0	0	89	69.5
0	0	0	1	88	68.5
0	0	1	0	57	37.5
0	0	1	1	56	36.5
0	1	0	0	41	21.5
0	1	0	1	40	20.5
0	1	1	0	35	15.5
0	1	1	1	34	14.5
1	0	0	0	34	14.5
1	0	0	1	33	13.5
1	0	1	0	33	13.5
1	0	1	1	32	12.5
1	1	0	0	32	12.5
1	1	0	1	31	11.5
1	1	1	0	31	11.5
1	1	1	1	30	10.5

注意 サンプリング・クロック数は, A/D変換クロック数に含まれます。



A/Dコンバータ0, 1の総合誤差の算出例を次に示します。



$f_{xx}$ (MHz)	A/D変換時間 ( $\mu s$ )	サンプリング ( $\mu s$ )	R (k $\Omega$ )	C <sub>1</sub> (pF)	C <sub>2</sub> (pF)	C <sub>0</sub> (pF)	R <sub>i</sub> (k $\Omega$ )	サンプリング誤差 (LSB) <sup>注</sup>
64	2.00 ( $32/f_{AD01}$ )	0.78 ( $12.5/f_{AD01}$ )	5.1	15	3.9	100	1.0	364.8
						100	0.5	30.4
						100	0.25	0.1以下
						100	0.125	0.1以下
						50	1.0	62.4
						50	0.5	0.8
						50	0.25	0.1以下
						50	0.125	0.1以下

注 信号源のインピーダンスを考慮した場合の誤差は「サンプリング誤差 + 総合誤差」となります。

備考1. 値はサンプリング開始と同時に $V_{Ain} = 0V \sim 5V$ が印加されたときに $C_2$ の電圧が $R_i, C_0$ によりどのようになるかをシミュレーションにより算出した参考値です。

2.  $n = 0$ のとき,  $m = 0-5$   
 $n = 1$ のとき,  $m = 0-7$
3.  $f_{xx}$ : システム・クロック周波数  
 $f_{AD01}$ : 基本クロック周波数

## 12.6 注意事項

### 12.6.1 変換動作の停止

変換動作中にADnSCM.ADnCEビットに0を書き込むと変換動作を停止します。そのときのA/Dn変換結果レジスタm (ADnCRm), A/Dn変換結果拡張レジスタa (ADnECRa) への変換結果は不定です。そのため、A/D変換結果の読み出しは、A/D変換終了 (A/Dn変換終了割り込み要求信号 (INTADn)) 後に行い、その後、必要に応じてADnCEビットに0を書き込んでください。

なお、ADnCEビットはすべてのモードでINTADn信号が発生したあともクリア (0) されません。

備考 n = 0, 1  
m = 0-15

### 12.6.2 ハードウェア・トリガ・モード, 変換チャンネル指定モード, 拡張バッファ・モード時の変換動作中のトリガのインターバル

ハードウェア・トリガ・モード, 変換チャンネル指定モード, 拡張バッファ・モード時, 変換動作中のトリガ入力は無視されます。そのため、ハードウェア・トリガ・モード, 変換チャンネル指定モード, 拡張バッファ・モード時のトリガのインターバル (入力時間の間隔) は, ADnCTC.ADnFR3-ADnFR0ビットで指定するA/D変換時間よりも長くしてください (表12-2 A/D変換クロック数とA/D変換時間参照)。

備考 n = 0, 1

### 12.6.3 ADnSCMレジスタへの書き込み

#### (1) A/D変換の再起動動作

A/D変換を再起動する場合は, ADnSCMレジスタは同値書き込みしてください。ADnPLM, ADnTRG1, ADnTRG0ビットを変更する場合は, 必ずADnCEビット = 0にしてから行ってください。

#### (2) A/D変換終了とADnSCMレジスタへの書き込みの競合

A/D変換動作中にA/D変換終了とADnSCMレジスタへの書き込みが競合した場合, A/Dn変換終了割り込み要求信号 (INTADn) が発生したときは正常に変換結果がADnCRm, ADnECRaレジスタに格納されます。INTADn信号が発生しなかったときはA/D変換動作が中断しているので, 前回の変換結果がADnCRm, ADnECRaレジスタに保持されています。

#### (3) ADnSCMレジスタへの連続書き込み

変換動作許可 (ADnCEビット = 1) 時にADnSCMレジスタへの連続書き込みをする場合は, 必ず5基本クロック ( $f_{AD01}$ ) 以上時間を確保してください。

なお, ADnCEビット = 0時にADnSCMレジスタへ書き込み後, ADnCEビットを1に設定する場合は, 連続書き込み可能です。

備考 n = 0, 1

## 12. 6. 4 A/D変換開始タイミング

変換チャンネル指定モード, 拡張バッファ・モードは, 通常動作モードに比べて最大1.5基本クロック ( $f_{AD01}$ ) 分A/D変換開始タイミングが遅れます。

## 12. 6. 5 スタンバイ・モード時の動作

### (1) HALTモード

A/D変換動作を継続します。マスクされていないマスカブル割り込み要求信号でHALTモードを解除した場合, ADnSCM, ADnCRm, ADnECRaレジスタの値は保持されます。

### (2) IDLEモード, STOPモード

A/Dコンバータ0, 1へのクロック供給が止まるため, 変換動作は行われません。

IDLEモード, STOPモード移行時は, 必ずADnSCM.ADnCEビット = 0にしてください。また, このとき, A/Dパワー・セーブ・モード (ADnSCM.ADnPSビット = 0) に設定することを推奨します。

**備考** n = 0, 1  
m = 0-15

## 12. 6. 6 変換チャンネル指定モード, 拡張バッファ・モード時のトリガの受け付けタイミング

変換チャンネル指定モード, 拡張バッファ・モード時は, 選択トリガ1または選択トリガ2の発生によりA/D変換を開始してからA/Dn変換終了割り込み要求信号 (INTADn) が発生するまでは, 再度選択トリガ1または選択トリガ2が発生しても無視されます。なお, 拡張バッファ・モードではこの期間中に選択トリガ1, 選択トリガ2, 選択ロード・トリガ1, 選択ロード・トリガ2が発生するとエラー条件に従いエラー・フラグをセット (1) します (ただし, 12. 4. 11 (1) エラー検出機能の注意2の場合は除きます)。

**備考** n = 0, 1

## 12. 6. 7 A/D変換結果のばらつき

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は, A/D変換結果の平均値をとるなど, プログラムで対策してください。

### 12.6.8 A/D変換のヒステリシス特性

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このためアナログ入力源の出カインピーダンスが高いと次のような現象が起きることがあります。

- ・同一チャンネルでA/D変換を実行している場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、アナログ入力源の出カインピーダンスを低くするか、または同一チャンネルで2回連続A/D変換を行い、1回目の変換結果を廃棄してください。

### 12.6.9 連続変換時のA/D変換トリガ間隔

連続変換時のA/D変換トリガ間隔は、次に示す最小トリガ間隔時間以上確保してから次のトリガを入力してください。この条件を満たさない場合は、トリガは無効となります（保留されません）。

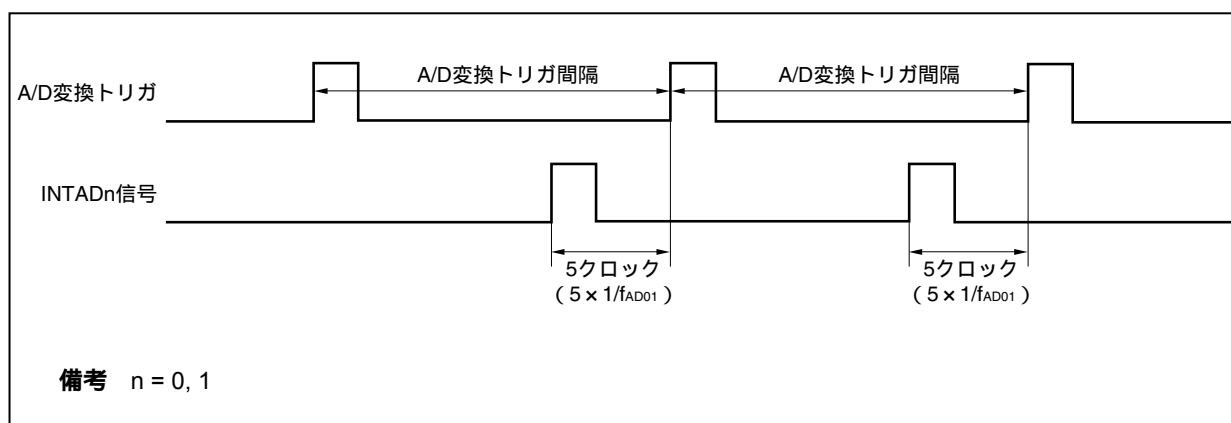
最小トリガ間隔クロック数 = A/D変換クロック数 + 5クロック

最小トリガ間隔時間 = 最小トリガ間隔クロック数 ×  $1/f_{AD01}$

【例】  $f_{AD01} = 16 \text{ MHz}$  , A/D変換時間 =  $2 \mu\text{s}$  , A/D変換クロック数 = 32クロック

最小トリガ間隔クロック数 =  $32 + 5 = 37$

最小トリガ間隔時間 =  $37 \times 1/16 = 2.3125 [\mu\text{s}]$



## 12.7 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

### (1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1\%FSR &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REFPn} - 0) / 100 \\ &= AV_{REFPn} / 100 \end{aligned}$$

分解能12ビットのとき、1 LSBは次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{12} = 1/4096 \\ &= 0.024\%FSR \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

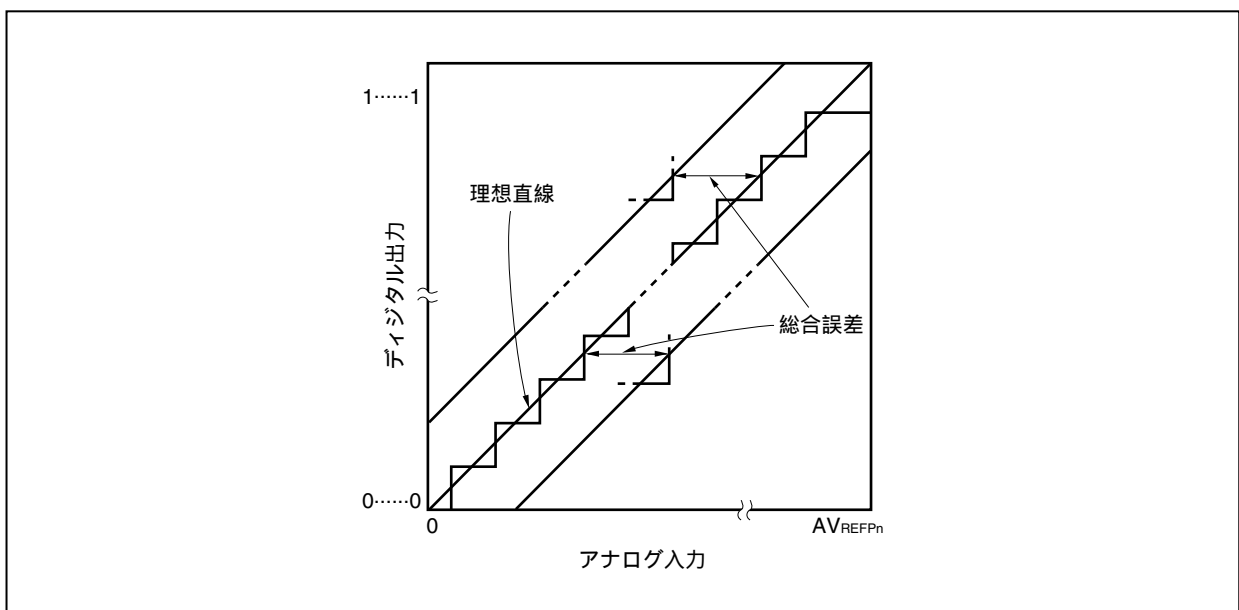
### (2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図12 - 23 総合誤差

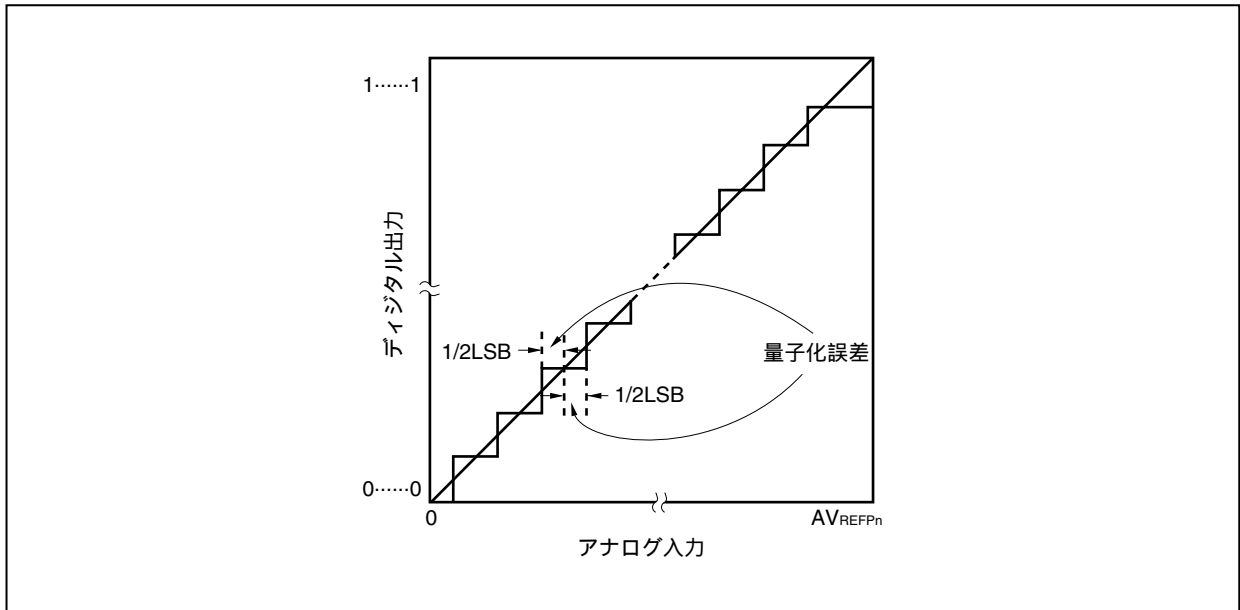


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる  $\pm 1/2$  LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$  LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

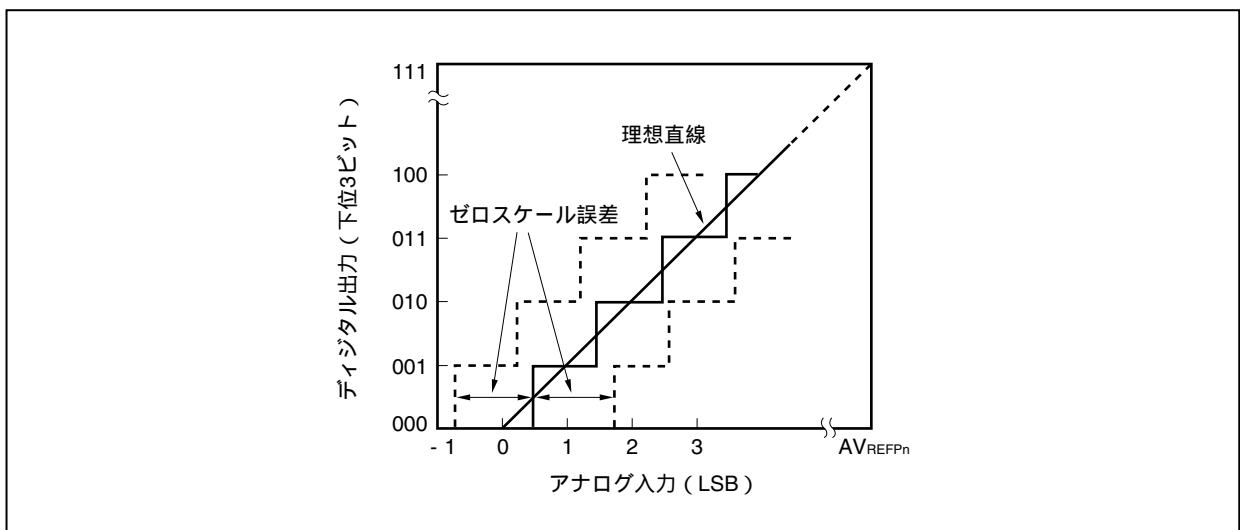
図12 - 24 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ( $1/2$  LSB) との差を表します。

図12 - 25 ゼロスケール誤差

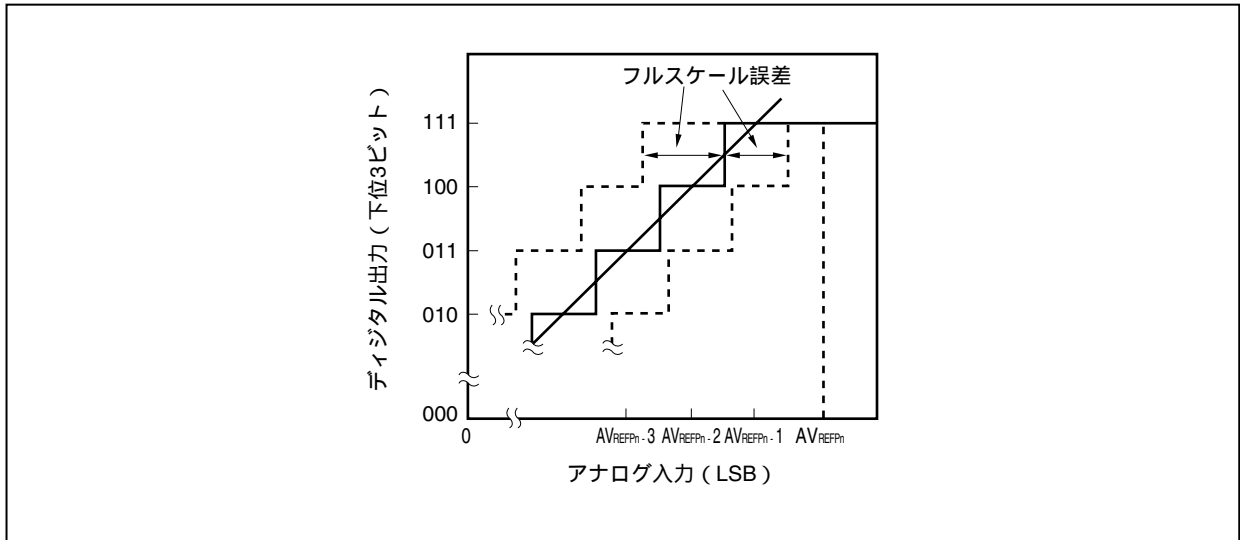




(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - 3/2 LSB）との差を表します。

図12 - 26 フルスケール誤差

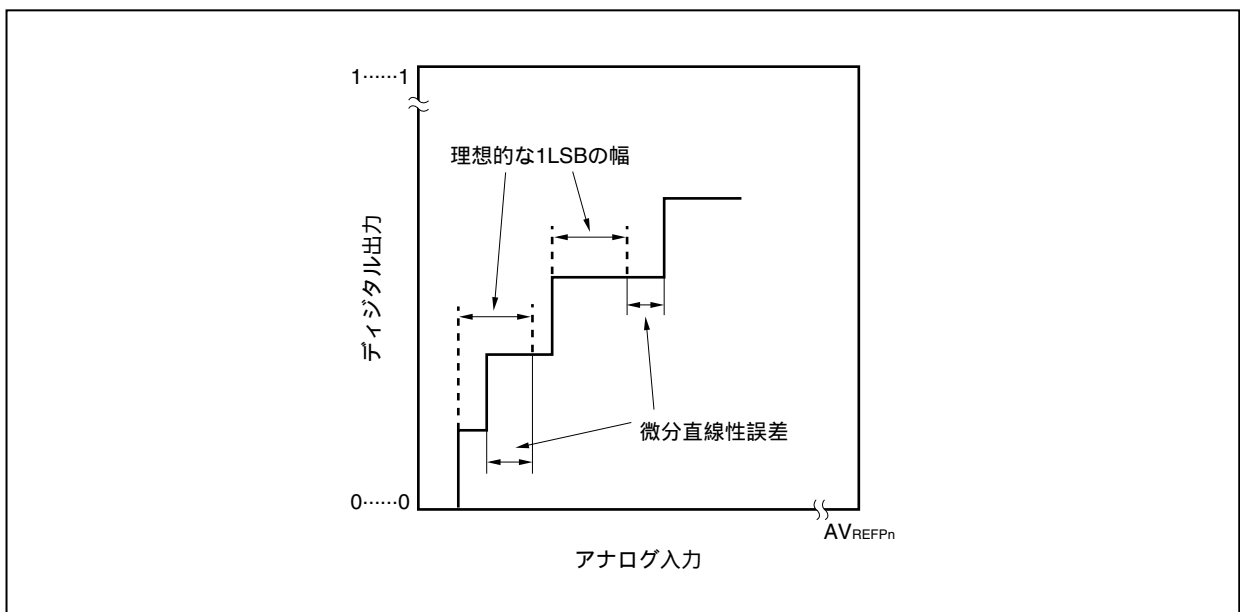


(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

同一チャンネルのアナログ入力端子に印加する電圧を $AV_{SSn}$ から $AV_{REFPn}$ まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャンネルを使用する場合は、12.7(2) 総合誤差を参照してください。

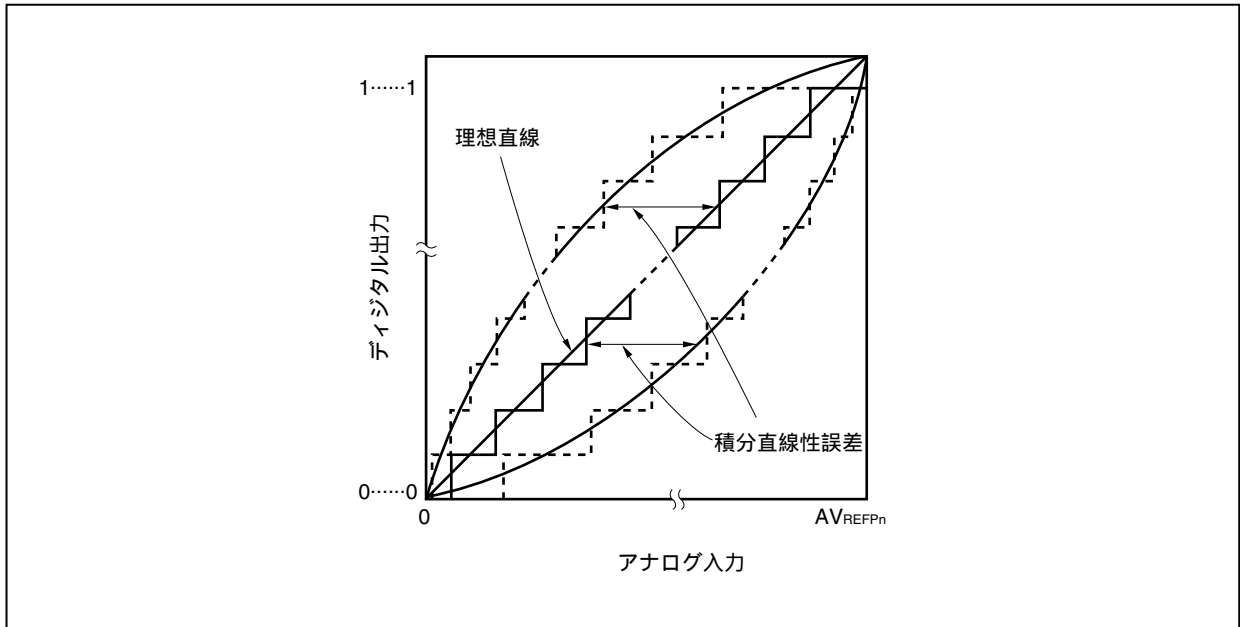
図12 - 27 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図12 - 28 積分直線性誤差



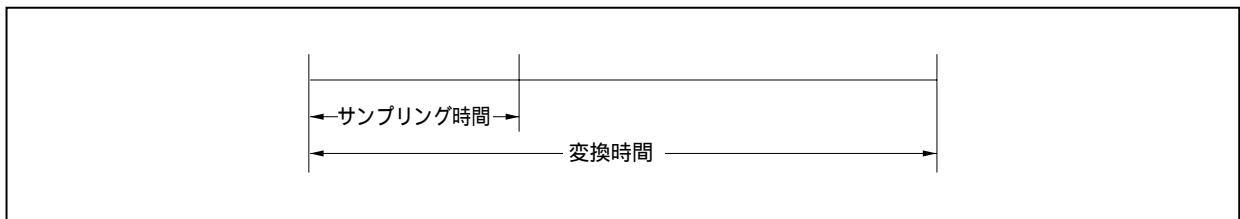
(8) 変換時間

各トリガが発生してから、デジタル出力が得られるまでの時間を表します。  
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図12 - 29 サンプリング時間



## 第13章 A/Dコンバータ2

### 13.1 特 徴

10ビット分解能A/Dコンバータ内蔵

アナログ入力

V850E/IF3 : ANI20-ANI23 (4チャンネル)

V850E/IG3 : ANI20-ANI27 (8チャンネル)

A/D変換結果レジスタ

V850E/IF3 : AD2CR0-AD2CR3 (10ビット×4本)

V850E/IG3 : AD2CR0-AD2CR7 (10ビット×8本)

A/D変換トリガ・モード

ソフトウェア・トリガ・モード

A/D変換動作モード

連続セレクト・モード

連続スキャン・モード

ワンショット・セレクト・モード

ワンショット・スキャン・モード

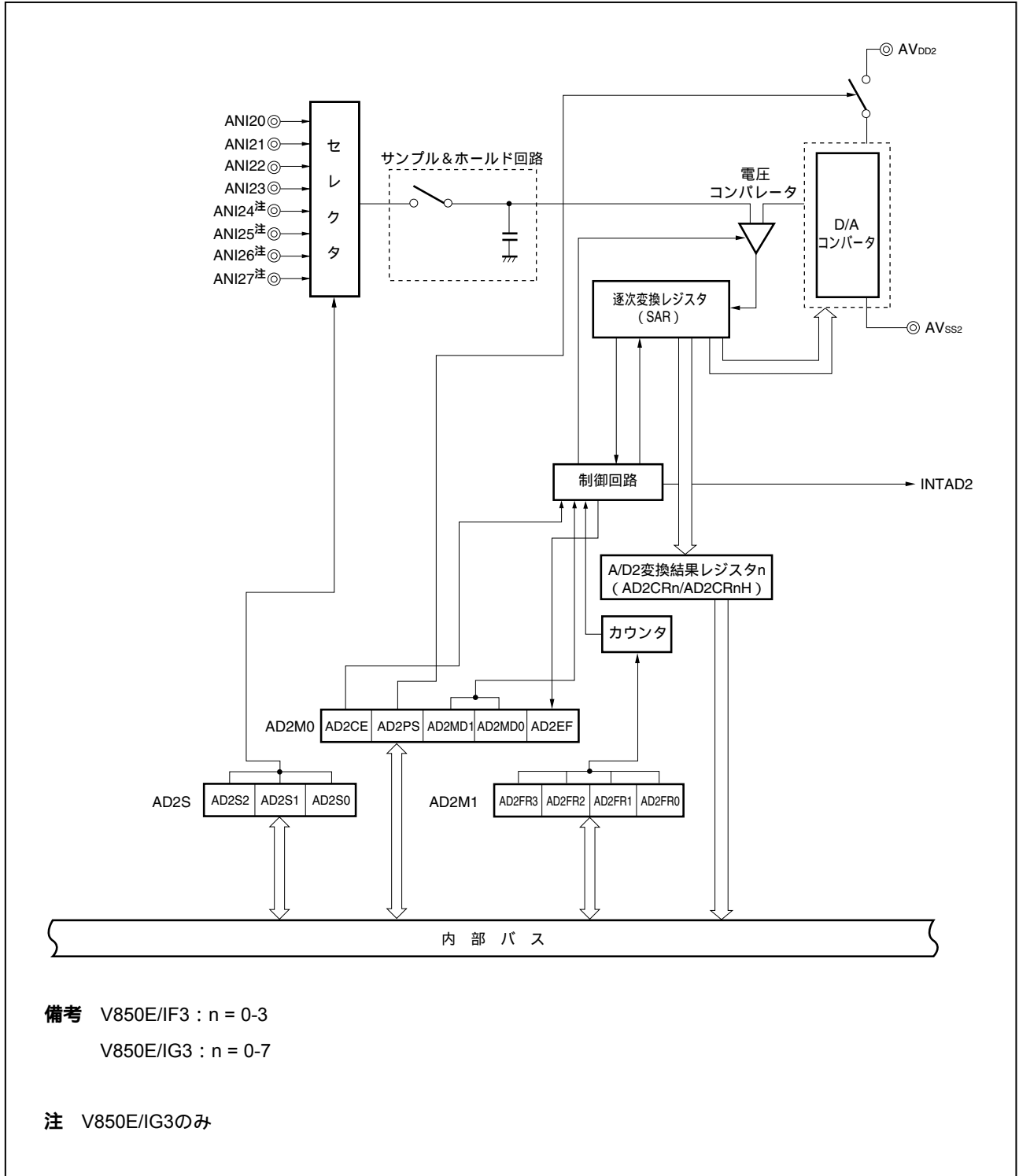
逐次比較変換方式

動作電圧 :  $EV_{DD0} = EV_{DD1} = EV_{DD2}$  (V850E/IG3のみ) =  $AV_{DD2} = 4.0 \sim 5.5$  V

## 13.2 構成

次にブロック図を示します。

図13 - 1 A/Dコンバータ2のブロック図



注意1. アナログ入力端子 (ANI2n) およびA/Dコンバータ電源電圧端子 (AV<sub>DD2</sub>) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- ・ 複数回のA/D変換結果の平均値を、A/D変換結果として使用する。
  - ・ 複数回のA/D変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
  - ・ システムに異常が発生したと判断されるようなA/D変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。
2. A/Dコンバータ2の入力端子として使用している端子には、AV<sub>SS2</sub>-AV<sub>DD2</sub>の範囲外の電圧が加わらないようにしてください。

A/Dコンバータ2は、次のハードウェアで構成しています。

表13 - 1 A/Dコンバータ2の構成

項目	構成
アナログ入力	V850E/IF3 : ANI20-ANI23 (4チャンネル) V850E/IG3 : ANI20-ANI27 (8チャンネル)
レジスタ	逐次変換レジスタ (SAR) V850E/IF3 : A/D2変換結果レジスタ0-3 (AD2CR0-AD2CR3) A/D2変換結果レジスタ0H-3H (AD2CR0H-AD2CR3H) : 上位8ビットだけ読み出し可能 V850E/IG3 : A/D2変換結果レジスタ0-7 (AD2CR0-AD2CR7) A/D2変換結果レジスタ0H-7H (AD2CR0H-AD2CR7H) : 上位8ビットだけ読み出し可能
制御レジスタ	A/Dコンバータ2モード・レジスタ0, 1 (AD2M0, AD2M1) A/Dコンバータ2チャンネル指定レジスタ (AD2S)

#### (1) 逐次変換レジスタ (SAR : Successive Approximation Register)

アナログ入力端子の電圧値とD/Aコンバータの電圧タップの値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了)、SARレジスタの内容はAD2CRnレジスタに転送されます。

また、指定されたすべてのA/D変換が終了するとA/D2変換終了割り込み要求信号 (INTAD2) が発生します。

#### (2) A/D変換結果レジスタn (AD2CRn)、A/D変換結果レジスタnH (AD2CRnH)

AD2CRnレジスタはA/D変換結果を保持するレジスタです。A/D変換結果はアナログ入力に対応したAD2CRnレジスタの上位10ビットに格納します。下位6ビットは常に0が読み出されます。

AD2CRnHレジスタには、A/D変換結果の上位8ビットが読み出されます。

A/D変換結果を16ビット単位でリードする場合はAD2CRnレジスタ、上位8ビットをリードする場合はAD2CRnHレジスタを指定します。

**注意** AD2M0, AD2M1, AD2Sレジスタに対する書き込み操作により、AD2CRnレジスタの内容が不定になる場合があります。変換後、AD2M0, AD2M1, AD2Sレジスタに書き込む前に変換結果を読み出してください。これ以外の手順を取った場合、正しい変換結果が読み出せません。

#### (3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路で選択されたアナログ入力信号をサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

#### (4) 電圧コンパレータ

電圧コンパレータは、サンプリングされ保持された電圧値とD/Aコンバータの電圧タップから発生した電圧を比較します。

### (5) D/Aコンバータ

D/Aコンバータは $AV_{DD2}$ - $AV_{SS2}$ 間に接続されており、アナログ入力と比較する電圧を発生します。

### (6) ANI2n端子

ANI2n端子は、A/Dコンバータ2へのアナログ入力端子です。A/D変換するアナログ信号を入力します。AD2Sレジスタでアナログ入力として選択した端子以外は、入力ポートとして使用できます。

- 注意1.** ANI2n端子入力電圧は規格の範囲内で使用してください。特に $AV_{DD2}$ 以上、 $AV_{SS2}$ 以下の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。
- 2.** アナログ入力 (ANI2n) 端子は入力ポート (P7n) 端子と兼用になっています。ANI2nのいずれかを選択してA/D変換する場合、変換中にポート7に対する入力命令を実行すると、変換分解能が低下することがあります。

### (7) $AV_{DD2}$ 端子

$AV_{DD2}$ 端子は、A/Dコンバータ2の正電源供給と基準電圧を入力するための端子を兼用しています。 $AV_{DD2}$ 、 $AV_{SS2}$ 間にかかる電圧に基づいて、ANI2n端子に入力される信号をデジタル信号に変換します。

A/Dコンバータ2を使用しない場合でも、 $AV_{DD2}$ 端子は常に $EV_{DD0}$ 、 $EV_{DD1}$ 、 $EV_{DD2}$  (V850E/IG3のみ) 端子と同電位で使用してください。

$AV_{DD2}$ 端子の動作電圧範囲は、 $EV_{DD0} = EV_{DD1} = EV_{DD2}$  (V850E/IG3のみ) =  $AV_{DD2} = 4.0 \sim 5.5$  Vです。

### (8) $AV_{SS2}$ 端子

A/Dコンバータ2のグランド端子です。A/Dコンバータ2を使用しない場合でも、 $AV_{DD2}$ 端子は常に $EV_{SS0}$ 、 $EV_{SS1}$ 、 $EV_{SS2}$  (V850E/IG3のみ) 端子と同電位で使用してください。

**備考** V850E/IF3 : n = 0-3

V850E/IG3 : n = 0-7

### 13.3 制御レジスタ

A/Dコンバータ2は、次に示すレジスタで制御します。

- ・ A/Dコンバータ2モード・レジスタ0, 1 (AD2M0, AD2M1)
- ・ A/Dコンバータ2チャンネル指定レジスタ (AD2S)

また、次のレジスタも使用します。

- ・ A/D2変換結果レジスタn (AD2CRn)
- ・ A/D2変換結果レジスタnH (AD2CRnH)



(1) A/Dコンバータ2モード・レジスタ0 (AD2M0)

動作モードの指定および変換動作の制御を行うレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、ビット0はリードのみ可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFFB80H

	⑦	6	5	4	3	2	1	0
AD2M0	AD2CE	AD2PS	AD2MD1	AD2MD0	0	0	0	AD2EF

AD2CE	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

AD2PS	A/D変換制御
0	A/D電源オフ
1	A/D電源オン

- ・A/Dコンバータ2は、AD2PSビット = 1 (A/D電源オン) 後、2 μs以上経過してからAD2CEビット = 1 (変換動作許可) にすると最初の変換結果が有効となります。なお、2 μs以上経過前にAD2CEビット = 1にすると、変換動作を開始しA/D変換時間後に終了しますが、変換結果は不正値となります。
- ・A/Dコンバータ2を使用しないときは、消費電力を小さくするためにAD2CEビット = 0 (変換動作停止) とし、AD2PSビット = 0 (A/D電源オフ) としてください。
- ・A/D変換動作中 (AD2EFビット = 1) にAD2PS2ビットに0を設定しないでください。A/D変換動作中でなければ、AD2CEビット = 0, AD2PSビット = 0に同時クリア可能です。

AD2MD1	AD2MD0	動作モードの指定
0	0	連続セレクト・モード
0	1	連続スキャン・モード
1	0	ワンショット・セレクト・モード
1	1	ワンショット・スキャン・モード

AD2EF	A/Dコンバータ2の状態 (ステータス)
0	A/D変換停止中
1	A/D変換動作中

- 注意1.** ビット0に書き込みを行った場合、書き込みは無視されます。
- A/D変換開始直後の最初の入力端子の変換分解能が低下する可能性があります。詳細は13.7 (6) AV<sub>DD2</sub>端子についてを参照してください。
  - A/D変換動作中 (AD2EFビット = 1) にAD2M0, AD2Sレジスタに書き込みを行った場合には、A/D変換は中断され、再度最初から変換を行います。
  - ビット1-3には、必ず0を設定してください。

(2) A/Dコンバータ2モード・レジスタ1 (AD2M1)

A/D変換クロック数, A/D変換時間の指定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFFFFB81H

	7	6	5	4	3	2	1	0
AD2M1	0	0	0	0	AD2FR3	AD2FR2	AD2FR1	AD2FR0

- 注意1. AD2FR3-AD2FR0ビットについては表13 - 2 変換モード時の設定例を参照してください。
2. 変換動作中(AD2CEビット = 1)は, AD2FR3-AD2FR0ビットの変更は禁止です。
3. ビット4-7には, 必ず0を設定してください。

表13 - 2 変換モード時の設定例

AD2FR3	AD2FR2	AD2FR1	AD2FR0	A/D変換 クロック数 <sup>注</sup>	A/D変換時間	f <sub>AD2</sub> = 32 MHz (f <sub>xx</sub> = 64 MHz)	f <sub>AD2</sub> = 24 MHz (f <sub>xx</sub> = 48 MHz)
0	0	0	1	62	62/f <sub>AD2</sub>	設定禁止	設定禁止
0	0	1	0	93	93/f <sub>AD2</sub>	設定禁止	3.86 μs
0	0	1	1	124	124/f <sub>AD2</sub>	3.88 μs	5.17 μs
0	1	0	0	155	155/f <sub>AD2</sub>	4.84 μs	6.46 μs
0	1	0	1	186	186/f <sub>AD2</sub>	5.81 μs	7.75 μs
0	1	1	0	217	217/f <sub>AD2</sub>	6.78 μs	9.04 μs
0	1	1	1	248	248/f <sub>AD2</sub>	7.75 μs	設定禁止
1	0	0	0	279	279/f <sub>AD2</sub>	8.72 μs	設定禁止
1	0	0	1	310	310/f <sub>AD2</sub>	9.69 μs	設定禁止
その他					設定禁止		

注 A/D変換開始からA/D変換終了までのクロック (f<sub>AD2</sub>) 数です。

注意 A/D変換時間は3.8 ~ 10 μsの範囲で設定してください。

備考 f<sub>AD2</sub>: A/Dコンバータ2の動作クロック

(3) A/Dコンバータ2チャンネル指定レジスタ (AD2S)

A/D変換するアナログ入力端子を指定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFFB82H

	7	6	5	4	3	2	1	0
AD2S	0	0	0	0	0	AD2S2	AD2S1	AD2S0

AD2S2	AD2S1	AD2S0	セレクト・モード	スキャン・モード
0	0	0	ANI20	ANI20
0	0	1	ANI21	ANI20, ANI21
0	1	0	ANI22	ANI20-ANI22
0	1	1	ANI23	ANI20-ANI23
1	0	0	ANI24 <sup>注</sup>	ANI20-ANI24 <sup>注</sup>
1	0	1	ANI25 <sup>注</sup>	ANI20-ANI25 <sup>注</sup>
1	1	0	ANI26 <sup>注</sup>	ANI20-ANI26 <sup>注</sup>
1	1	1	ANI27 <sup>注</sup>	ANI20-ANI27 <sup>注</sup>

**注** V850E/IG3のみ。

V850E/IF3の場合は、端子がないため設定できません。

**注意** ビット3-7には、必ず0を設定してください。

(4) A/D2変換結果レジスタ<sub>n</sub>, nH (AD2CR<sub>n</sub>, AD2CR<sub>n</sub>H)

AD2CR<sub>n</sub>, AD2CR<sub>n</sub>HレジスタはA/D変換の結果を保持するレジスタです。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされ、変換結果をAD2CR<sub>n</sub>レジスタの上位10ビットに格納します。下位6ビットは常に0が読み出されます。

AD2CR<sub>n</sub>Hレジスタには、A/D変換結果の上位8ビットが読み出されます。

16/8ビット単位でリードのみ可能です。A/D変換結果を16ビット単位でリードする場合はAD2CR<sub>n</sub>レジスタを、上位8ビットをリードする場合はAD2CR<sub>n</sub>Hレジスタを指定します。

リセットによりAD2CR<sub>n</sub>レジスタは0000H、AD2CR<sub>n</sub>Hレジスタは00Hになります。

**注意** AD2M0, AD2M1, AD2Sレジスタに対して書き込み動作を行ったとき、AD2CR<sub>n</sub>レジスタの内容は不定になることがあります。変換結果は、変換動作終了後、AD2M0, AD2M1, AD2Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

リセット時：0000H    R    アドレス：AD2CR0 FFFFFFFB90H, AD2CR1 FFFFFFFB92H,  
AD2CR2 FFFFFFFB94H, AD2CR3 FFFFFFFB96H,  
AD2CR4 FFFFFFFB98H<sup>注</sup>, AD2CR5 FFFFFFFB9AH<sup>注</sup>,  
AD2CR6 FFFFFFFB9CH<sup>注</sup>, AD2CR7 FFFFFFFB9EH<sup>注</sup>

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AD2CR <sub>n</sub>	AD	AD	AD	AD	AD	AD	AD	AD	AD	AD	0	0	0	0	0	0
[ V850E/IF3 n = 0-3 ]	29	28	27	26	25	24	23	22	21	20						
[ V850E/IG3 n = 0-7 ]																

**注 V850E/IG3のみ。**

リセット時：00H    R    アドレス：AD2CR0H FFFFFFFB91H, AD2CR1H FFFFFFFB93H,  
AD2CR2H FFFFFFFB95H, AD2CR3H FFFFFFFB97H,  
AD2CR4H FFFFFFFB99H<sup>注</sup>, AD2CR5H FFFFFFFB9BH<sup>注</sup>,  
AD2CR6H FFFFFFFB9DH<sup>注</sup>, AD2CR7H FFFFFFFB9FH<sup>注</sup>

	7	6	5	4	3	2	1	0
AD2CR <sub>n</sub> H	AD29	AD28	AD27	AD26	AD25	AD24	AD23	AD22
[ V850E/IF3 n = 0-3 ]								
[ V850E/IG3 n = 0-7 ]								

**注 V850E/IG3のみ。**

各アナログ入力端子とAD2CR<sub>n</sub>, AD2CR<sub>n</sub>Hレジスタの対応を次に示します。

表13 - 3 各アナログ入力端子とAD2CR<sub>n</sub>, AD2CR<sub>n</sub>Hレジスタの対応表

アナログ入力端子	A/D変換結果レジスタ
ANI20	AD2CR0, AD2CR0H
ANI21	AD2CR1, AD2CR1H
ANI22	AD2CR2, AD2CR2H
ANI23	AD2CR3, AD2CR3H
ANI24 <sup>注</sup>	AD2CR4 <sup>注</sup> , AD2CR4H <sup>注</sup>
ANI25 <sup>注</sup>	AD2CR5 <sup>注</sup> , AD2CR5H <sup>注</sup>
ANI26 <sup>注</sup>	AD2CR6 <sup>注</sup> , AD2CR6H <sup>注</sup>
ANI27 <sup>注</sup>	AD2CR7 <sup>注</sup> , AD2CR7H <sup>注</sup>

**注** V850E/IG3のみ

アナログ入力端子 ( ANI2n ) に入力されたアナログ入力電圧とA/D変換結果 ( A/D2変換結果レジスタn ( AD2CRn ) ) には次式に示す関係があります。

$$SAR = INT \left( \frac{V_{IN}}{AV_{DD2}} \times 1024 + 0.5 \right)$$

$$ADCR^{\#} = SAR \times 64$$

または,

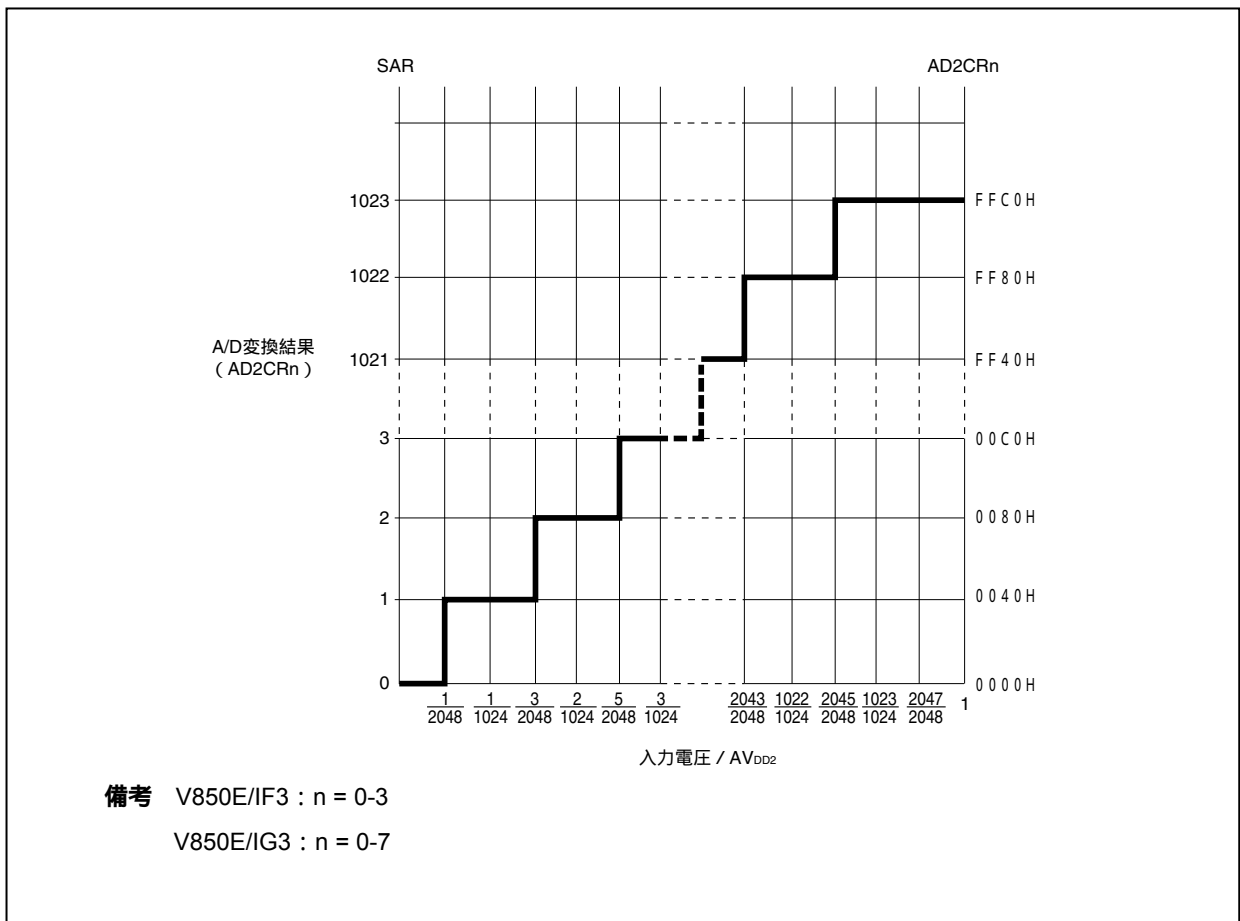
$$\left( SAR - 0.5 \right) \times \frac{AV_{DD2}}{1024} < V_{IN} < \left( SAR + 0.5 \right) \times \frac{AV_{DD2}}{1024}$$

- INT ( ) : ( ) 内の値の整数部を返す関数
- $V_{IN}$  : アナログ入力電圧
- $AV_{DD2}$  :  $AV_{DD2}$ 端子電圧
- ADCR : A/D2変換結果レジスタn ( AD2CRn ) の値

注 AD2CRnレジスタの下位6ビットは0固定です。

図13 - 2にアナログ入力電圧とA/D変換結果の関係を示します。

図13 - 2 アナログ入力電圧とA/D変換結果の関係



## 13.4 動作

### 13.4.1 基本動作

AD2M0.AD2CEビット = 0の状態では、AD2M0.AD2PSビットをセット (1) し、A/D電源オンにします。このとき、AD2M0.AD2CEビット以外のビットは同時設定できます。

A/D変換する動作モード、A/D変換時間などをAD2M0、AD2M1、AD2Sレジスタで設定します。

A/D電源オン (AD2M0.AD2PSビット = 0 1) し、 $2\mu\text{s}$ 以上経過してからAD2M0.AD2CEビット = 1 (変換動作許可) にすると、A/D変換を開始します。

なお、 $2\mu\text{s}$ 以上経過前にAD2CEビット = 1にすると、変換動作を開始しA/D変換時間後に終了しますが、変換結果は不正値となります。

A/D変換が開始されると選択されたアナログ入力チャネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、D/Aコンバータの電圧タップをリファレンス電圧 ( $1/2 AV_{DD2}$ ) にします。

D/Aコンバータの電圧タップから発生した電圧とアナログ入力電圧を電圧コンパレータで比較します。比較した結果、アナログ入力電圧が ( $1/2 AV_{DD2}$ ) よりも大きい場合には、SARレジスタのMSBをセットしたままです。アナログ入力電圧が ( $1/2 AV_{DD2}$ ) より小さい場合にはMSBをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すようにD/Aコンバータの電圧タップが選択されます。

ビット9 = 1 : ( $3/4 AV_{DD2}$ )

ビット9 = 0 : ( $1/4 AV_{DD2}$ )

D/Aコンバータの電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

アナログ入力電圧 D/Aコンバータの電圧タップ : ビット8 = 1

アナログ入力電圧 D/Aコンバータの電圧タップ : ビット8 = 0

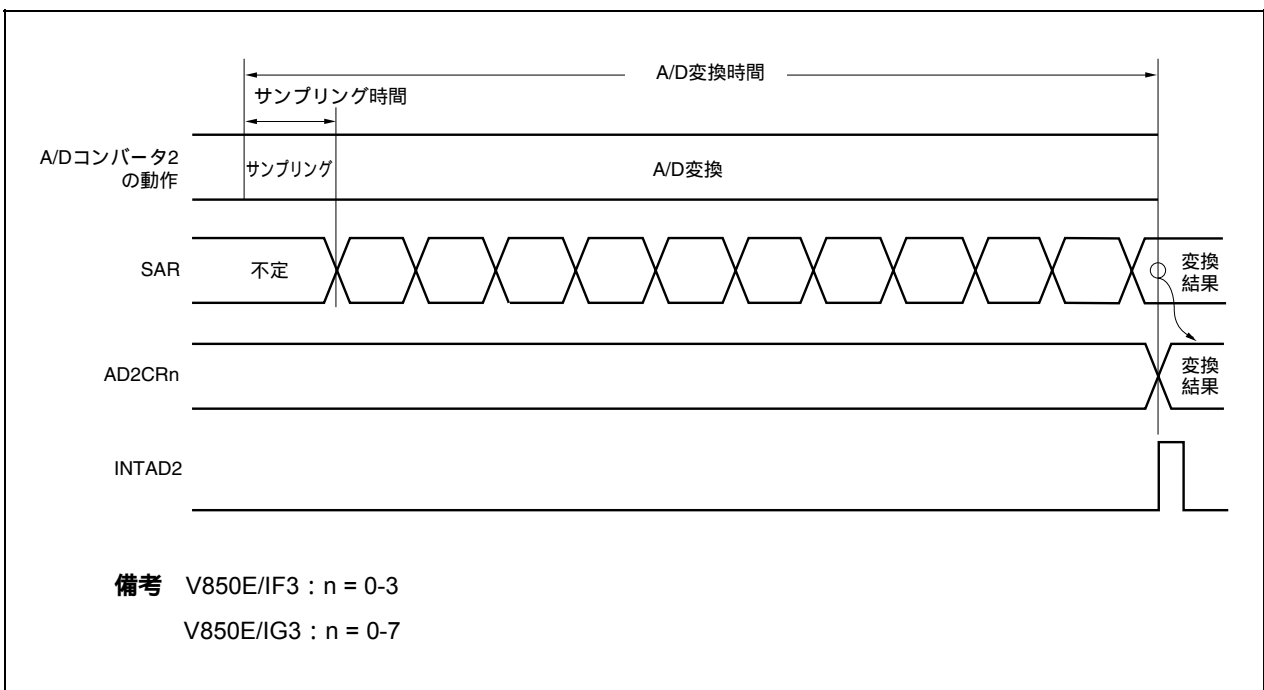
このような比較をSARレジスタのビット0まで続けます。

10ビットの比較が終了したとき，SARレジスタには有効なデジタルの結果が残り，その値がAD2CRnレジスタに転送されて変換結果を格納します（V850E/IF3：n = 0-3，V850E/IG3：n = 0-7）。セレクト・モード時には同時に，スキャン・モード時には指定されたすべてのA/D変換が終了するとA/D2変換終了割り込み要求信号（INTAD2）を発生します。

連続セレクト・モード，連続スキャン・モード時はA/D変換終了後，AD2CEビットを0にしないかぎり - を繰り返し行います。

ワンショット・セレクト・モード，ワンショット・スキャン・モード時はA/D変換終了後，変換動作を停止します（このとき，AD2M0.AD2CEビットは1を保持し，自動クリアされません）。再度変換動作を行う場合は，AD2CEビットに1を上書きしてください。

図13 - 3 A/Dコンバータ2の基本動作



## 13.4.2 トリガ・モード

A/D変換動作の開始タイミングとなるトリガ・モードは、ソフトウェア・トリガ・モードがあります。トリガ・モードは、AD2M0レジスタで設定します。

### (1) ソフトウェア・トリガ・モード

AD2S.AD2S2-AD2S0ビットで指定されたアナログ入力端子 (ANI2n) について、AD2M0.AD2CEビットをセット (1) することでA/D変換開始タイミングとして使用するモードです。

A/D変換終了後、変換結果は、A/D2変換結果レジスタn (AD2CRn) に格納します。

セレクト・モード時は、A/D変換が終了すると同時にA/D2変換終了割り込み要求信号 (INTAD2) を発生します。スキャン・モード時は、指定したすべてのA/D変換が終了するとINTAD2割り込み要求信号を発生します。

AD2M0.AD2MD1, AD2MD0ビットで設定された動作モードが、連続セレクト・モードおよび連続スキャン・モードの場合には、A/D変換終了後はAD2M0.AD2CEビットを0にしないかぎり再度変換動作を繰り返して行います。動作モードがワンショット・セレクト・モードおよびワンショット・スキャン・モードの場合には、A/D変換終了後は変換動作を停止します。

A/D変換が開始されるとAD2M0.AD2EFビット = 1 (変換動作中) となり、A/D変換が終了するとAD2EFビット = 0 (変換停止中) となります。

また、A/D変換動作中にAD2M0, AD2Sレジスタに書き込みを行った場合には、A/D変換は中断され、再度最初から変換を行います。

**備考** V850E/IF3 : n = 0-3

V850E/IG3 : n = 0-7



### 13.4.3 動作モード

動作モードには、ANI2n端子を設定するモードとして、連続セレクト・モード、連続スキャン・モード、ワンショット・セレクト・モード、ワンショット・スキャン・モードの4通りがあります。動作モードは、AD2M0.AD2MD1, AD2MD0ビットで設定します。

AD2M0, AD2M1, AD2Sレジスタと動作モードの関係を次に示します。

トリガ・モード	動作モード	設定値		
		AD2M0	AD2M1	AD2S
ソフトウェア・トリガ	連続セレクト	X100000XB	0000XXXXB	00000XXXXB
	連続スキャン	X101000XB	0000XXXXB	00000XXXXB
	ワンショット・セレクト	X110000XB	0000XXXXB	00000XXXXB
	ワンショット・スキャン	X111000XB	0000XXXXB	00000XXXXB

#### (1) 連続セレクト・モード

AD2Sレジスタで指定される1つのアナログ入力端子( ANI2n )のA/D変換を連続で行います。変換結果は、ANI2n端子に対応したAD2CRnレジスタに格納します。ANI2n端子とAD2CRnレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/D2変換終了割り込み要求信号( INTAD2 )が発生します。

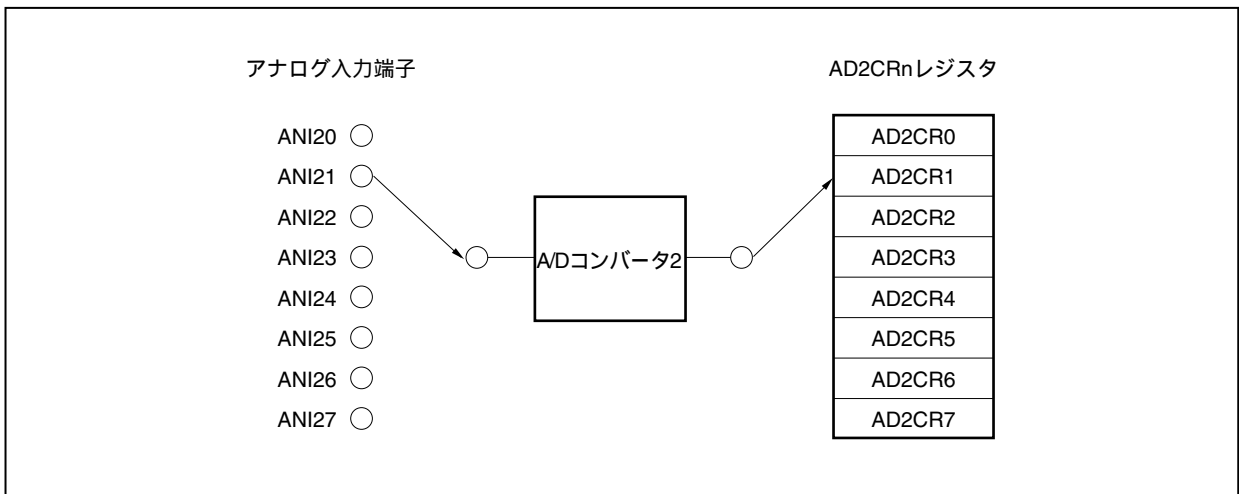
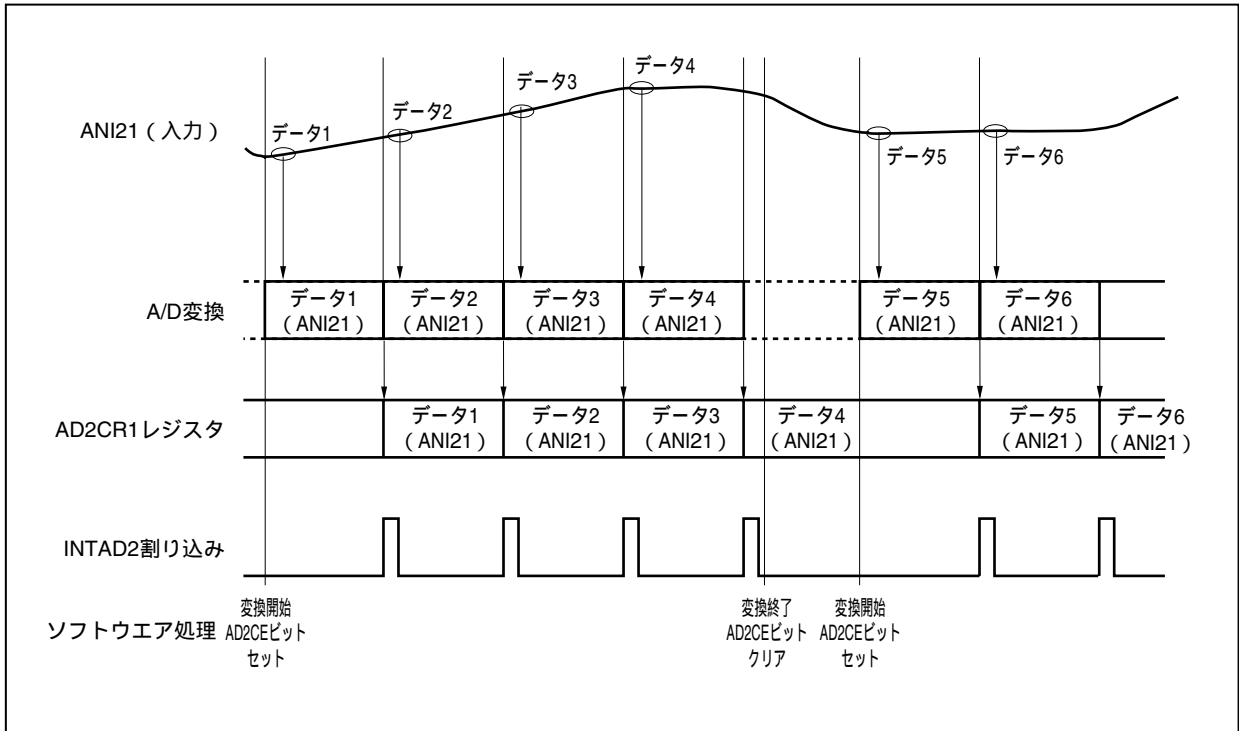
A/D変換終了後は、AD2M0.AD2CEビットを0にしないかぎり次の変換を繰り返し行います。

**備考** V850E/IF3 : n = 0-3

V850E/IG3 : n = 0-7

図13 - 4 連続セレクト・モードの動作タイミング例

(AD2M0.AD2MD1, AD2MD0ビット = 00, AD2S.AD2S2-AD2S0ビット = 001のとき) : V850E/IG3の場合



**(2) 連続スキャン・モード**

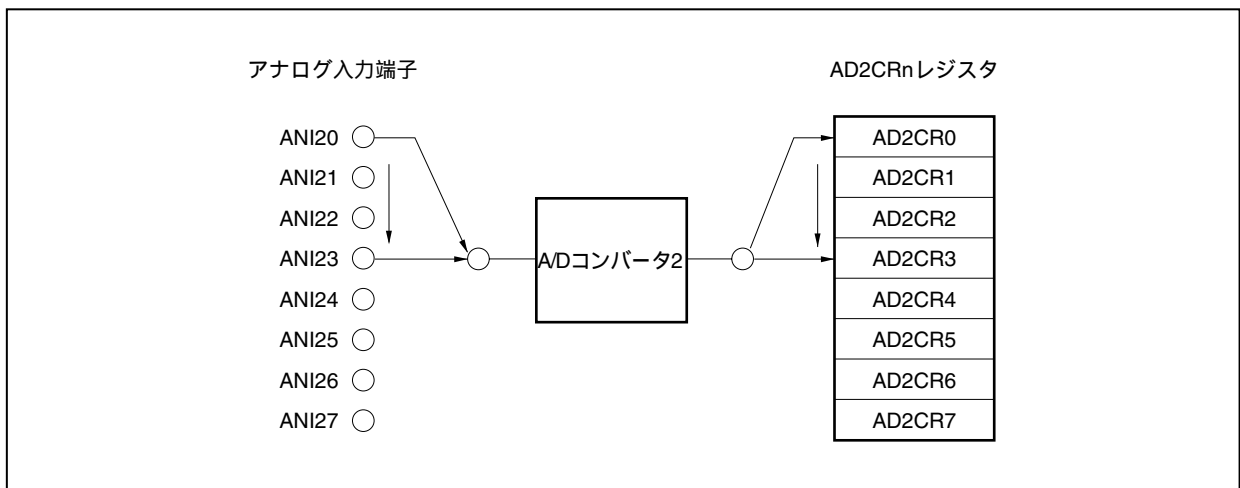
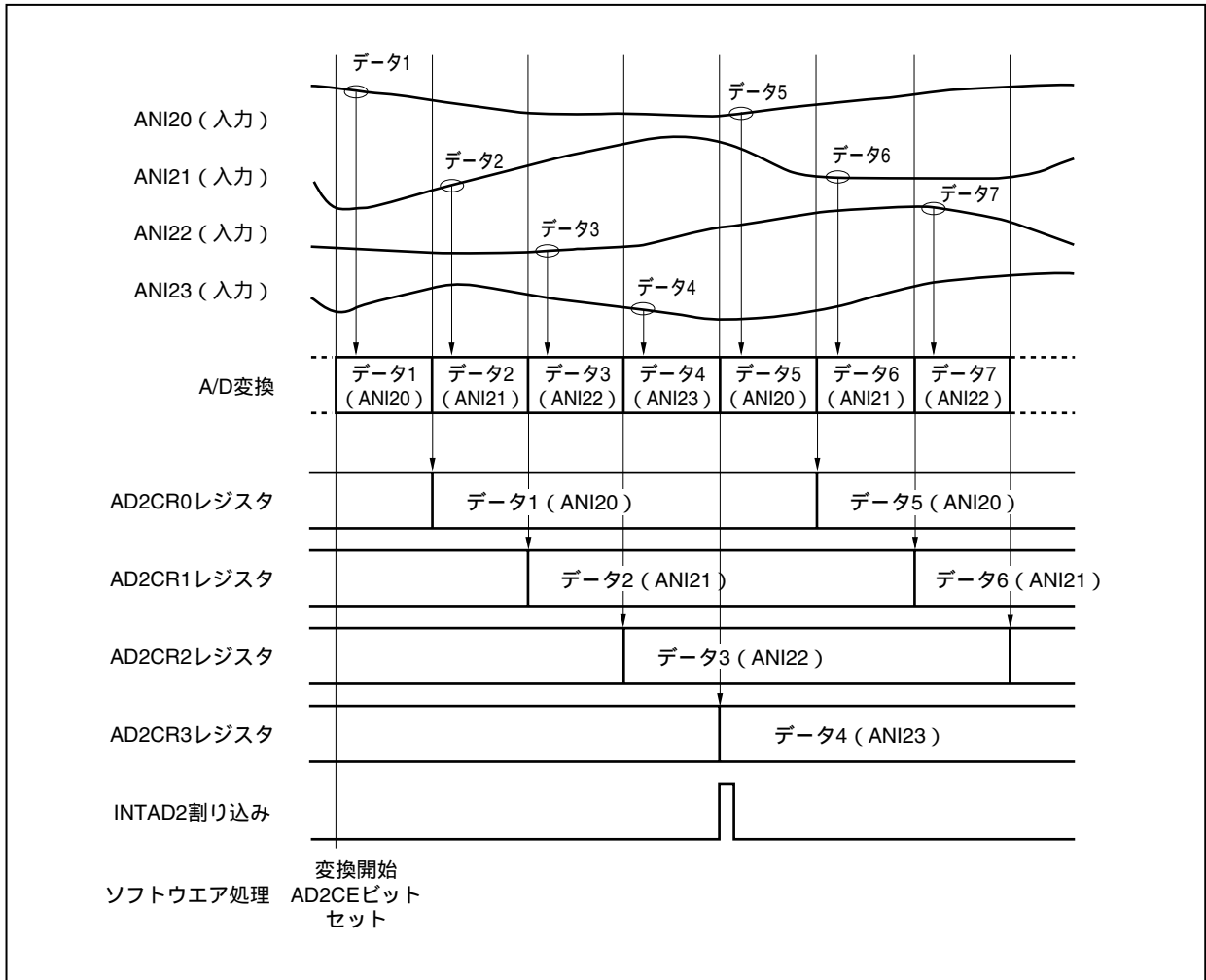
ANI20端子から,AD2Sレジスタで指定したアナログ入力端子 (ANI2n)までを順に選択し,A/D変換を連続で行います。A/D変換結果は,アナログ入力端子に対応したAD2CRnレジスタに格納します。指定したアナログ入力端子の変換が終了するとA/D2変換終了割り込み要求信号 (INTAD2)が発生します。A/D変換終了後は,AD2M0.AD2CEビットを0にしないかぎり再度ANI20端子から変換を開始します。

**備考** V850E/IF3 : n = 0-3

V850E/IG3 : n = 0-7

図13 - 5 連続スキャン・モードの動作タイミング例

(AD2M0.AD2MD1, AD2MD0ビット = 01, AD2S.AD2S2-AD2S0ビット = 011のとき) : V850E/IG3の場合



**(3) ワンショット・セレクト・モード**

AD2Sレジスタで指定される1つのアナログ入力端子 (ANI2n) のA/D変換を1回のみ行います。変換結果は, ANI2n端子に対応したAD2CRnレジスタに格納します。ANI2n端子とAD2CRnレジスタは1対1に対応しており, 1回のA/D変換終了ごとにA/D変換終了割り込み要求信号 (INTAD2) が発生します。

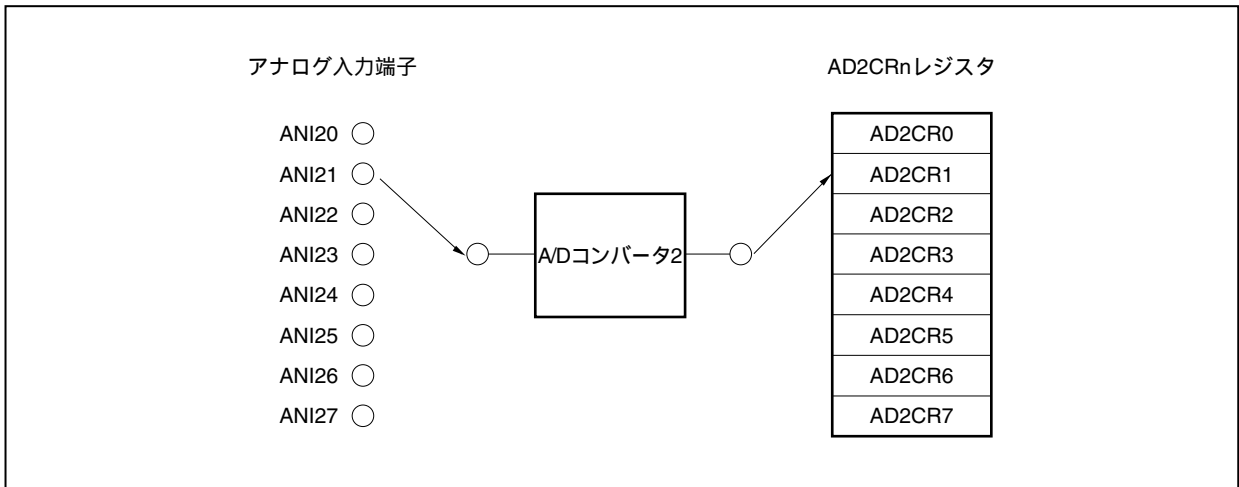
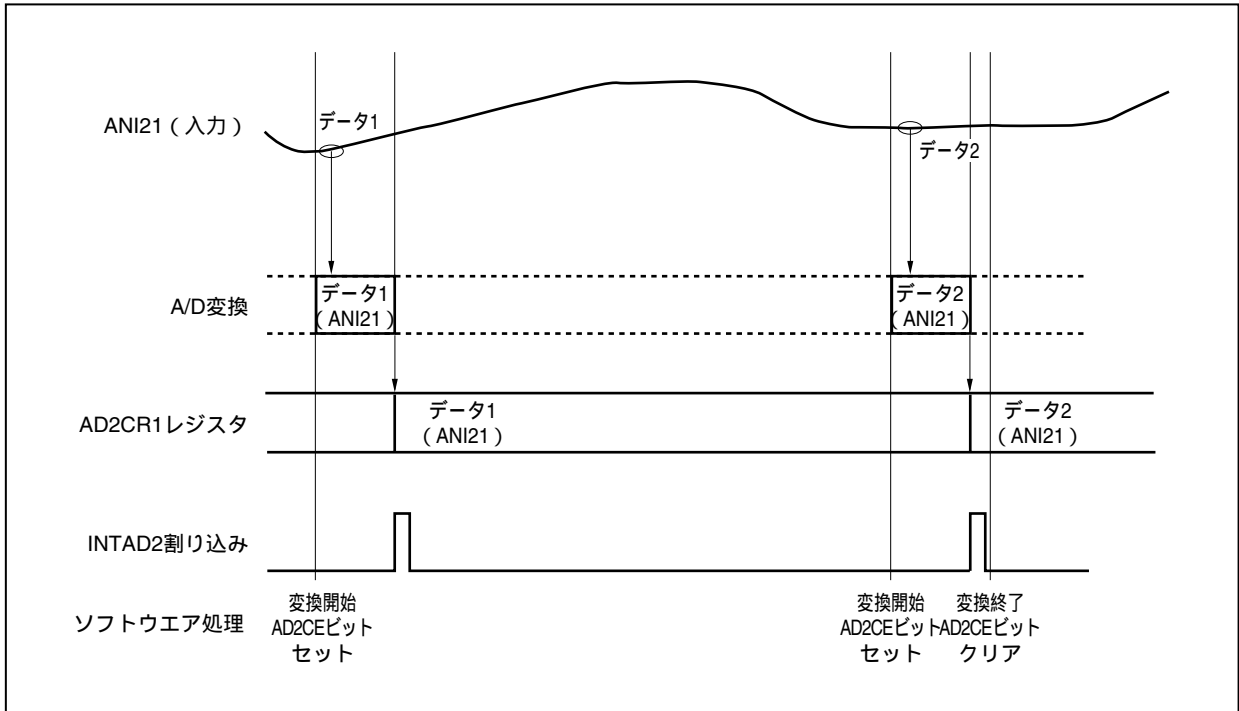
A/D変換終了後は, 変換動作を停止します。

**備考** V850E/IF3 : n = 0-3

V850E/IG3 : n = 0-7

図13-6 ワンショット・セレクト・モードの動作タイミング例

(AD2M0.AD2MD1, AD2MD0ビット = 10, AD2S.AD2S2-AD2S0ビット = 001のとき) : V850E/IG3の場合



**(4) ワンショット・スキャン・モード**

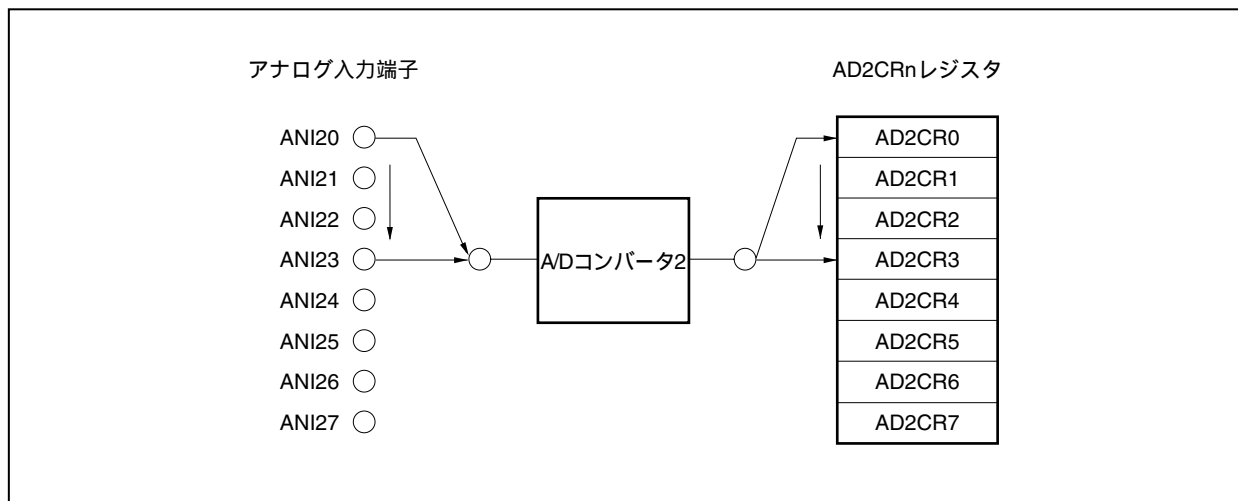
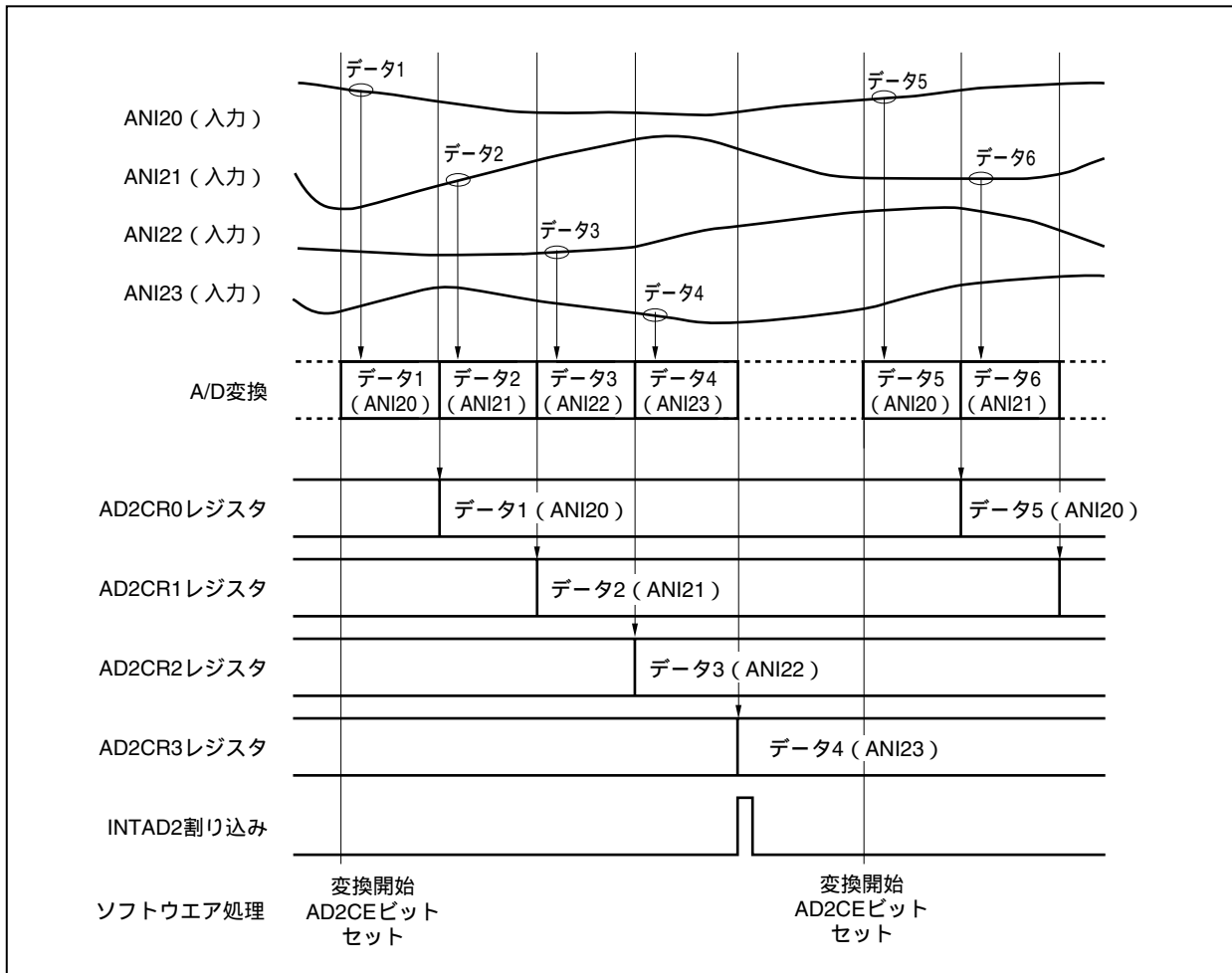
ANI20端子から,AD2Sレジスタで指定したアナログ入力端子 (ANI2n)までを順に選択し,A/D変換を行います。A/D変換結果は,アナログ入力端子に対応したAD2CRnレジスタに格納します。指定したアナログ入力端子の変換が終了するとA/D2変換終了割り込み要求信号(INTAD2)が発生します。A/D変換終了後は,変換動作を停止します。

**備考** V850E/IF3 : n = 0-3

V850E/IG3 : n = 0-7

図13-7 ワンショット・スキャン・モードの動作タイミング例

(AD2M0.AD2MD1, AD2MD0ビット = 11, AD2S.AD2S2-AD2S0ビット = 0111のとき) : V850E/IG3の場合





## 13.5 ソフトウェア・トリガ・モード時の動作

AD2M0.AD2CEビットをセット(1)すると、A/D変換を開始します。

A/D変換が開始されると、AD2M0.AD2EFビット = 1 (変換動作中) となります。

また、A/D変換動作中にAD2M0, AD2Sレジスタに書き込みを行った場合には、A/D変換は中断され、再度最初から変換を行います。

## (1) ソフトウェア・トリガ連続セレクト・モードの動作

AD2Sレジスタで指定される1つのアナログ入力端子( ANI2n )を1回A/D変換し ,その結果を1つのAD2CRnレジスタに格納します。ANI2n端子とAD2CRnレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/D2変換終了割り込み要求信号 (INTAD2) を発生します。A/D変換終了後は ,AD2M0.AD2CEビットを0にしないかぎり再度変換を繰り返します。

A/D変換の再起動動作として ,AD2M0.AD2CEビットをセット (1) する必要がありません<sup>※</sup>。

**注** ソフトウェア・トリガ連続セレクト・モードでは ,AD2M0.AD2CEビットを0にしないかぎりA/D変換動作を停止しないため ,次のA/D変換終了までにAD2CRnレジスタを読み出さないと ,上書きされます。

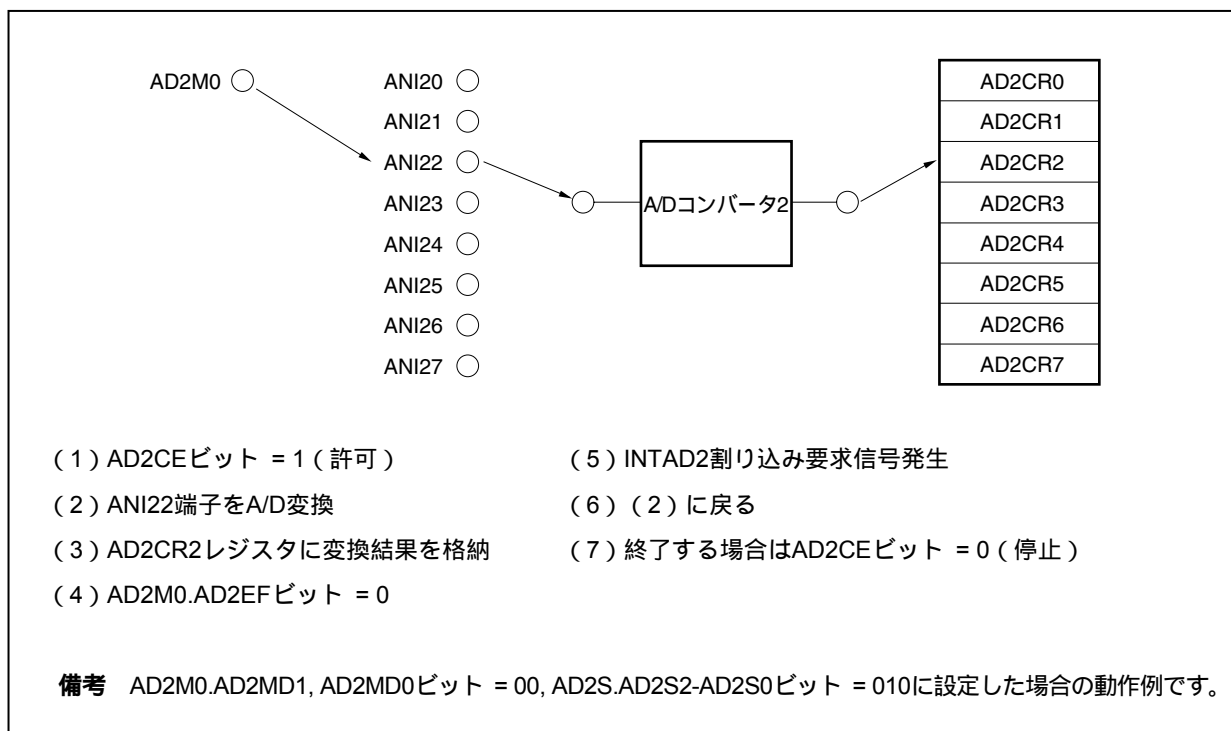
1つのアナログ入力端子のA/D変換値を読み出すような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANI2n	AD2CRn

**備考** V850E/IF3 : n = 0-3

V850E/IG3 : n = 0-7

図13 - 8 ソフトウェア・トリガ連続セレクト・モードの動作例 : V850E/IG3の場合



(2) ソフトウェア・トリガ連続スキャン・モードの動作

ANI20端子からAD2Sレジスタで指定されるアナログ入力端子 ( ANI2n ) までを順に選択し, A/D変換を連続で行います。A/D変換結果をアナログ入力端子に対応したAD2CRnレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると, A/D2変換終了割り込み要求信号 ( INTAD2 ) を発生します。A/D変換終了後は, AD2M0.AD2CEビットを0にしないかぎり再度ANI20端子から変換を開始します。

A/D変換の再起動動作として, AD2M0.AD2CEビットをセット ( 1 ) する必要がありません<sup>注</sup>。

**注** ソフトウェア・トリガ連続スキャン・モードでは, AD2M0.AD2CEビットを0にしないかぎりA/D変換動作を停止しないため, 次のA/D変換終了までにAD2CRnレジスタを読み出さないと, 上書きされます。

複数のアナログ入力を常時監視するような応用に最適です。

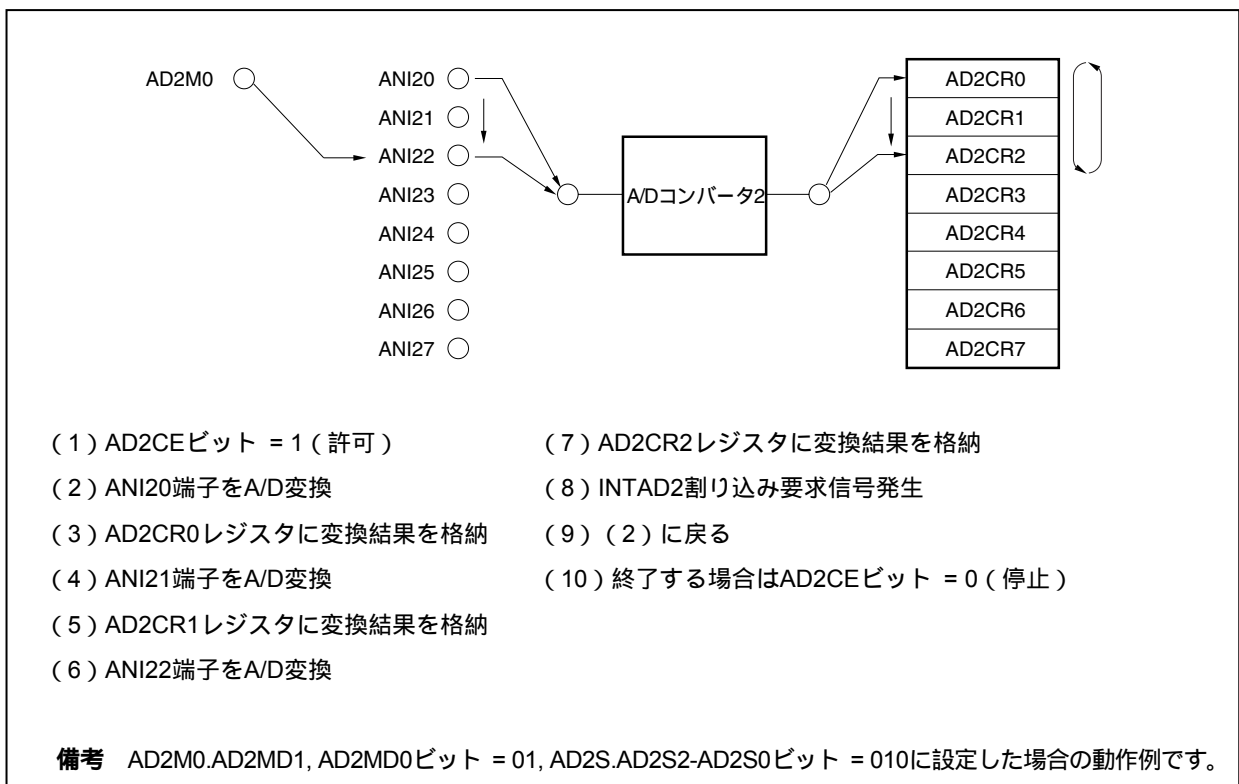
アナログ入力端子	A/D変換結果レジスタ
ANI20	AD2CR0
ANI2n <sup>注</sup>	AD2CRn

**注** AD2S.AD2S0-AD2S2ビットで設定

**備考** V850E/IF3 : n = 0-3

V850E/IG3 : n = 0-7

図13 - 9 ソフトウェア・トリガ連続スキャン・モードの動作例 : V850E/IG3の場合



(3) ソフトウェア・トリガ・ワンショット・セレクト・モード

AD2Sレジスタで指定される1つのアナログ入力端子( ANI2n )を1回A/D変換し ,その結果を1つのAD2CRnレジスタに格納します。ANI2n端子とAD2CRnレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/D2変換終了割り込み要求信号 ( INTAD2 ) を発生します。A/D変換終了後は ,変換動作を停止します。

AD2M0.AD2CEビットをセット ( 1 ) すると , A/D変換を再起動できます。

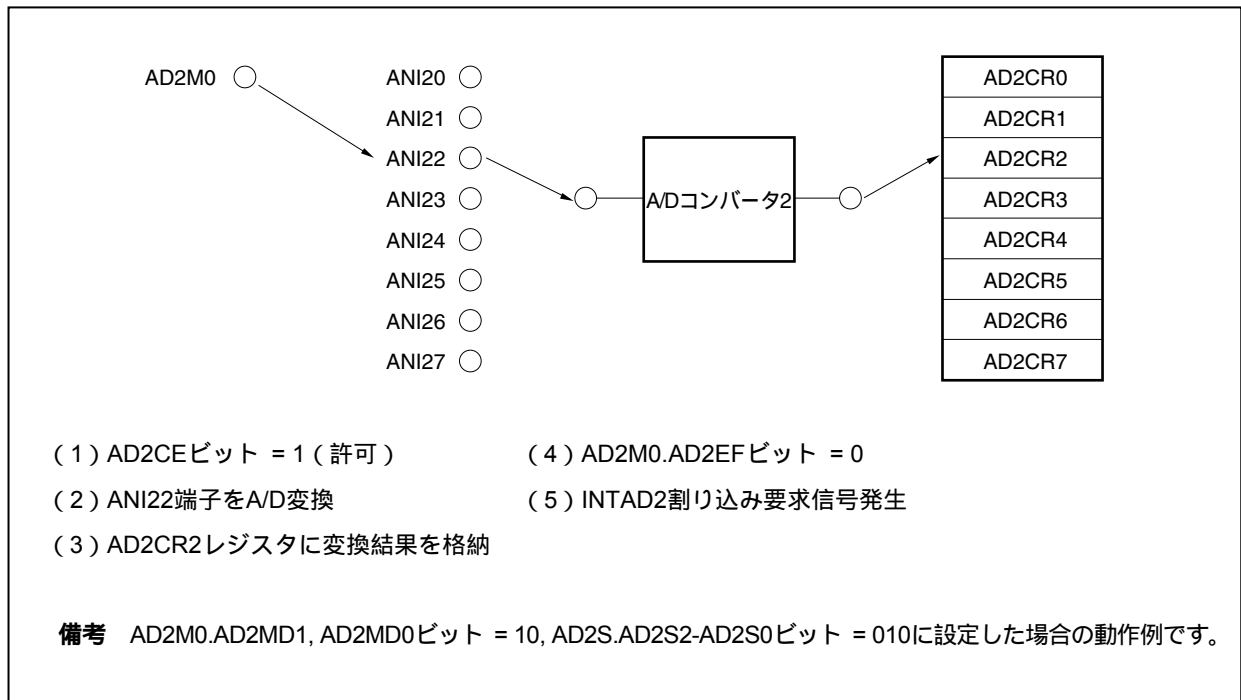
1回目のA/D変換ごとに結果を読み出すような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANI2n	AD2CRn

備考 V850E/IF3 : n = 0-3

V850E/IG3 : n = 0-7

図13 - 10 ソフトウェア・トリガ・ワンショット・セレクト・モードの動作例 : V850E/IG3の場合



(4) ソフトウェア・トリガ・ワンショット・スキャン・モードの動作

ANI20端子からAD2Sレジスタで指定されるアナログ入力端子 ( ANI2n ) までを順に選択し, A/D変換を連続で行います。A/D変換結果をアナログ入力端子に対応したAD2CRnレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると, A/D変換終了割り込み要求信号 ( INTAD2 ) を発生します。A/D変換終了後は, 変換動作を停止します。

AD2M0.AD2CEビットをセット ( 1 ) すると, A/D変換を再起動できます。

複数のアナログ入力を監視するような応用に最適です。

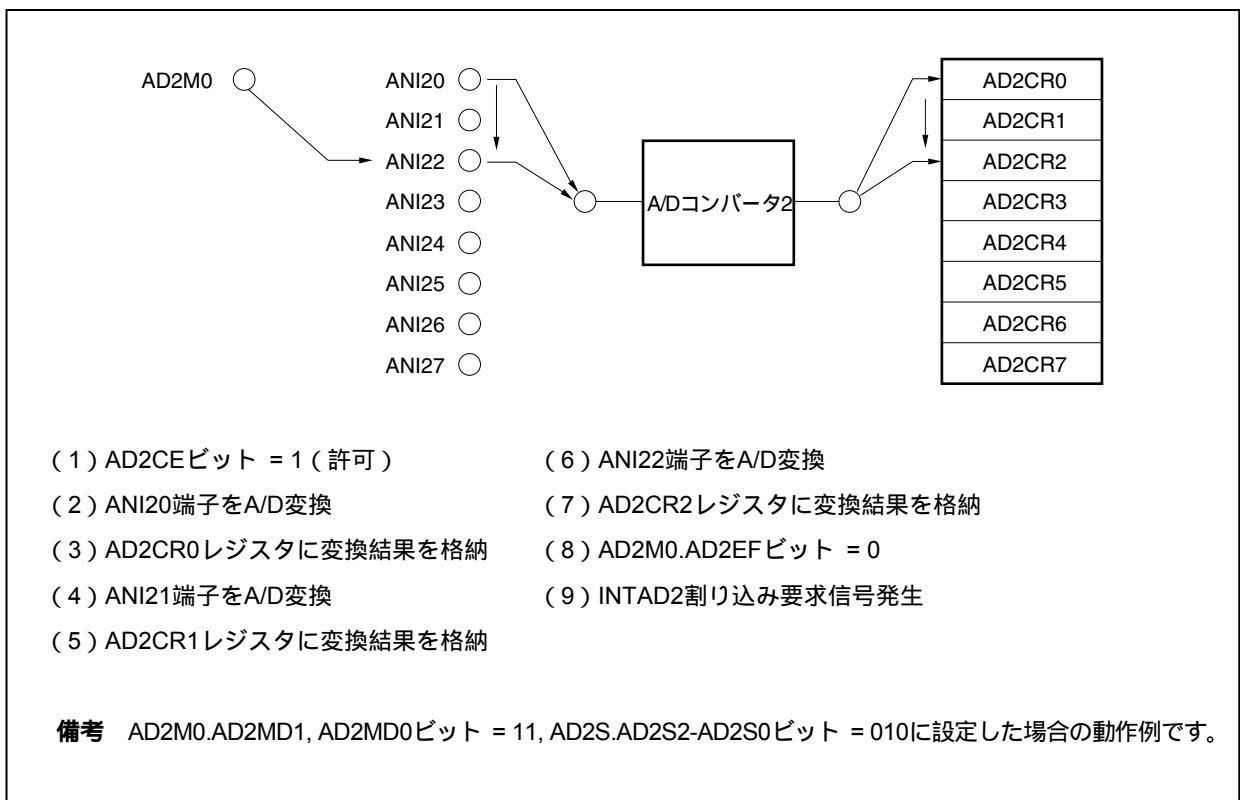
アナログ入力端子	A/D変換結果レジスタ
ANI20	AD2CR0
ANI2n <sup>注</sup>	AD2CRn

注 AD2S.AD2S0-AD2S2ビットで設定

備考 V850E/IF3 : n = 0-3

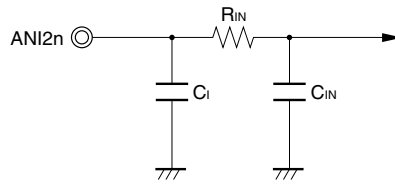
V850E/IG3 : n = 0-7

図13 - 11 ソフトウェア・トリガ・ワンショット・スキャン・モードの動作例 : V850E/IG3の場合



### 13.6 内部等価回路

アナログ入力部の等価回路を次に示します。



R	C <sub>1</sub>	C <sub>2</sub>
2.6 kΩ	15 pF	6.2 pF

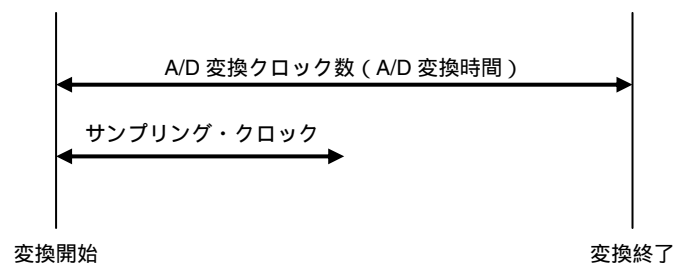
備考1. 値はMAX.値（参考値）です。

2. V850E/IF3 : n = 0-3

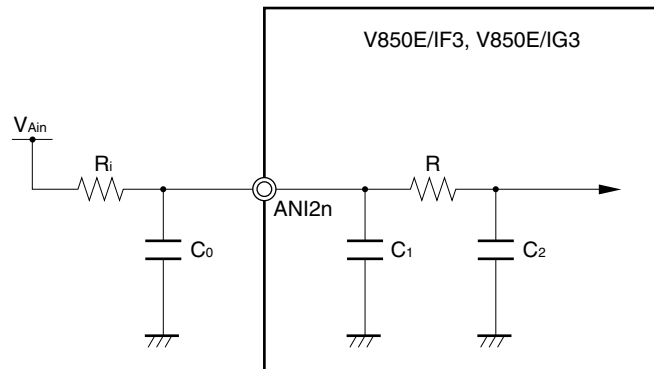
V850E/IG3 : n = 0-7

AD2M1レジスタ				A/D変換クロック数 (f <sub>AD2</sub> )	サンプリング・クロック数
AD2FR3 ビット	AD2FR2 ビット	AD2FR1 ビット	AD2FR0 ビット		
0	0	0	1	62	33
0	0	1	0	93	49.5
0	0	1	1	124	66
0	1	0	0	155	82.5
0	1	0	1	186	99
0	1	1	0	217	115.5
0	1	1	1	248	132
1	0	0	0	279	148.5
1	0	0	1	310	165

注意 サンプリング・クロック数は、A/D変換クロック数に含まれます。



A/Dコンバータ2の総合誤差の算出例を次に示します。



$f_{xx}$ (MHz)	A/D変換時間 ( $\mu s$ )	サンプリング ( $\mu s$ )	R (k $\Omega$ )	C <sub>1</sub> (pF)	C <sub>2</sub> (pF)	C <sub>0</sub> (pF)	R <sub>i</sub> (k $\Omega$ )	サンプリング誤差 (LSB) <sup>注</sup>
64	3.88 (62/ $f_{AD2}$ )	1.03 (33/ $f_{AD2}$ )	2.6	15	6.2	100	1.0	0.1以下
						100	0.5	0.1以下
						100	0.25	0.1以下
						100	0.125	0.1以下
						50	1.0	0.1以下
						50	0.5	0.1以下
						50	0.25	0.1以下
						50	0.125	0.1以下

注 信号源のインピーダンスを考慮した場合の誤差は「サンプリング誤差 + 総合誤差」となります。

備考1. 値はサンプリング開始と同時に $V_{Ain} = 0V \sim 5V$ が印加されたときに $C_2$ の電圧が $R_i, C_0$ によりどのようになるかをシミュレーションにより算出した参考値です。

2. V850E/IF3 :  $n = 0-3$

V850E/IG3 :  $n = 0-7$

3.  $f_{xx}$  : システム・クロック周波数

$f_{AD2}$  : 動作クロック周波数

## 13.7 注意事項

### (1) A/Dコンバータ未使用時について

未使用時は、AD2M0.AD2CEビット = 0, AD2M0.AD2PSビット = 0とすることにより消費電力を低減できます。

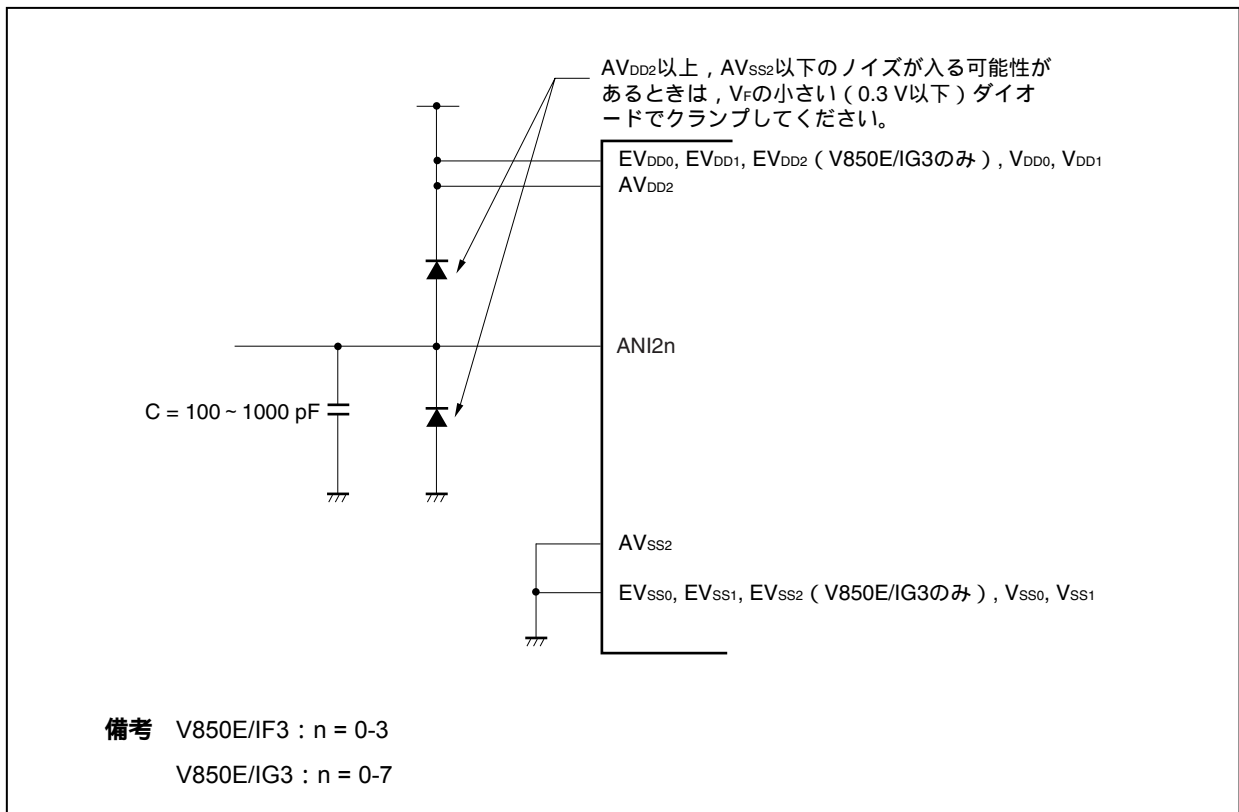
### (2) ANI2n端子入力範囲について

ANI2n端子の入力電圧は規格の範囲内で使用してください。ただし、絶対最大定格の範囲内であっても $AV_{DD2}$ 以上、 $AV_{SS2}$ 以下の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

### (3) ノイズ対策について

10ビット分解能を保つためには、ANI2n端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図13 - 12のようにコンデンサを外付けすることを推奨します。

図13 - 12 アナログ入力端子の処理



### (4) 兼用入力について

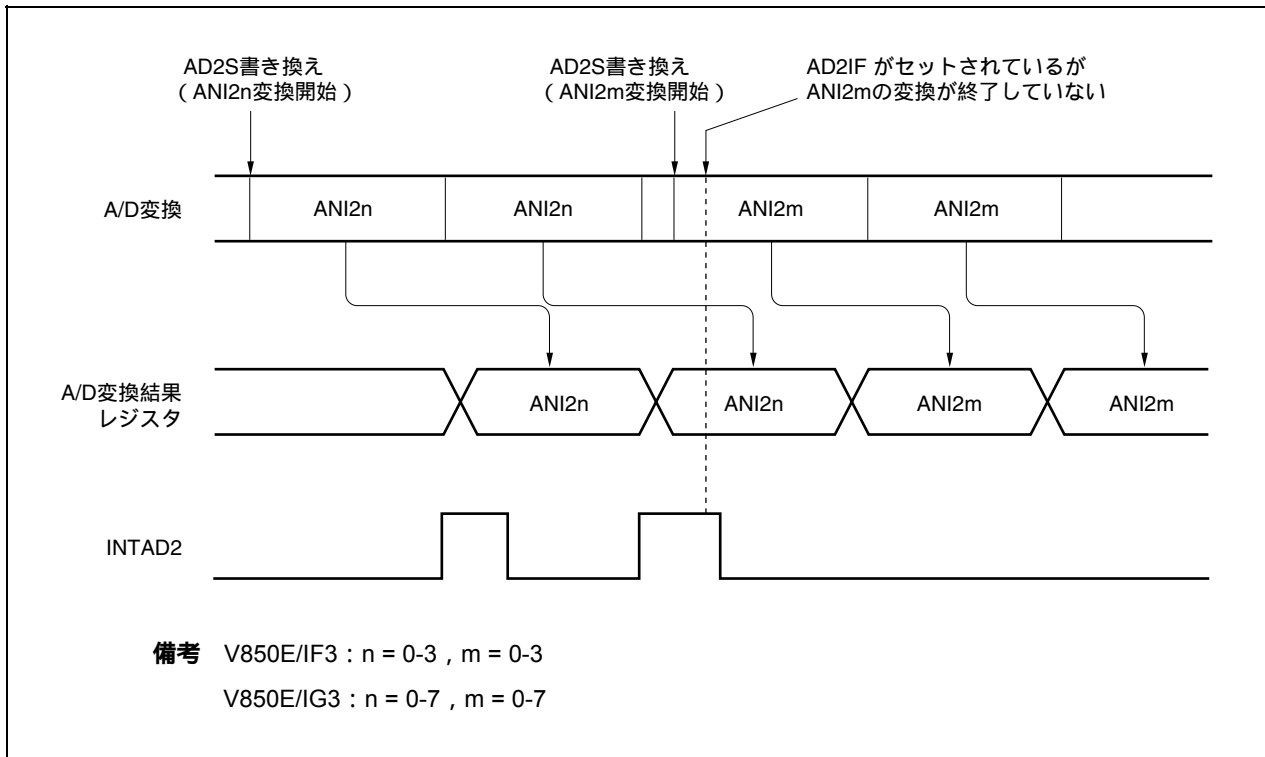
アナログ入力 (ANI2n) 端子は入力ポート (P7n) と兼用になっています。ANI2n端子のいずれかを選択してA/D変換をする場合、変換中にポート7に対する入力命令は実行しないでください。変換分解能が低下することがあります。



(5) 割り込み要求フラグ (AD2IF) について

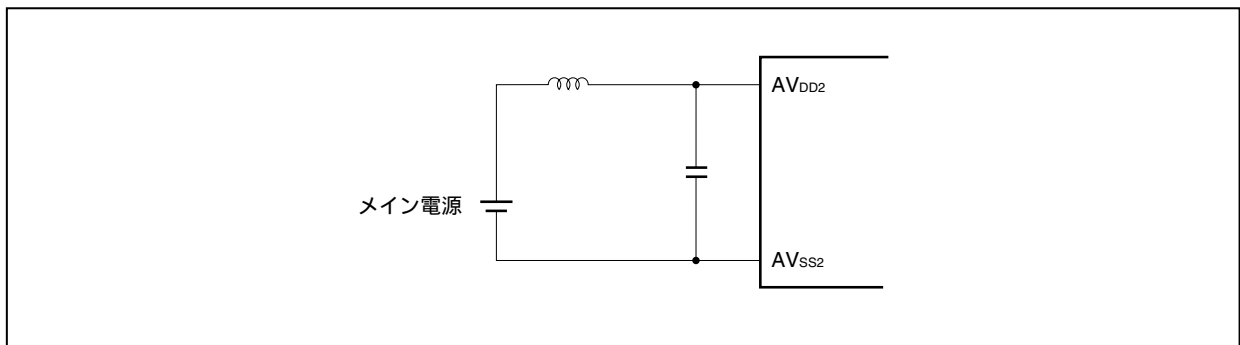
AD2Sレジスタを変更しても、割り込み要求フラグ (AD2IF) はクリアされません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、AD2Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果およびA/D2変換終了割り込み要求フラグがセットされる場合があります。AD2Sレジスタ書き換え直後にAD2IFフラグを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずAD2IFフラグがセットされている場合がありますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にAD2IFフラグをクリアしてください。

図13 - 13 A/D2変換終了割り込み要求発生タイミング



(6) AV<sub>DD2</sub>端子について

- (a) AV<sub>DD2</sub>端子はA/Dコンバータ2の電源端子を兼用しており、また兼用ポートにも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても図13 - 12のように必ずEV<sub>DD0</sub>、EV<sub>DD1</sub>、EV<sub>DD2</sub> (V850E/IG3のみ) と同じ電位を印加してください。
- (b) AV<sub>DD2</sub>端子はA/Dコンバータ2用の基準電圧端子を兼用しています。したがって、AV<sub>DD2</sub>端子への供給部のインピーダンス値が高い場合や、電源の電流供給能力が低い場合、変換時に流れる電流（特に変換動作許可 (AD2CEビット = 1) 直後) により基準電圧が変動し、変換精度が悪くなるおそれがあります。これを避けるため図13 - 14のようにAV<sub>DD2</sub>端子とAV<sub>SS2</sub>端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。
- (c) AV<sub>DD2</sub>端子への供給部に直流抵抗値 (ダイオード挿入など) が高いと、A/D変換電流による電圧降下により、変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。

図13 - 14 AV<sub>DD2</sub>端子の処理例

## (7) AD2CRnレジスタの読み出しについて

AD2M0, AD2M1, AD2Sレジスタに対して書き込み動作を行ったとき、AD2CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、AD2M0, AD2M1, AD2Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

## (8) A/D変換結果について

アナログ入力端子 (ANI2n) および電源電圧端子 (AV<sub>DD2</sub>) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- ・ 複数回の A/D 変換結果の平均値を A/D 変換結果として使用する。
- ・ 複数回の A/D 変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- ・ システムに異常が発生したと判断されるような A/D 変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

### (9) スタンバイ・モードについて

A/Dコンバータ2は、IDLEモードおよびSTOPモード時に動作が停止するため、変換結果は無効になり消費電力を低減できます。IDLEモードおよびSTOPモード解除後、再び動作を開始しますが、IDLEモードおよびSTOPモード解除後のA/D変換結果は無効です。IDLEモードおよびSTOPモード解除後にA/Dコンバータ2を使用する場合は、IDLEモードおよびSTOPモード設定前または解除後にAD2M0.AD2CEビット = 0に設定してからIDLEモードおよびSTOPモード解除後にAD2CEビット = 1に設定してください。

### (10) A/D変換結果のばらつき

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。

### (11) A/D変換のヒステリシス特性

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このためアナログ入力源の出力インピーダンスが高いと次のような現象が起きることがあります。

- ・同一チャンネルでA/D変換を実行している場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、アナログ入力源の出力インピーダンスを低くするか、または同一チャンネルで2回連続A/D変換を行い、1回目の変換結果を廃棄してください。

## 13.8 A/Dコンバータ特性表の読み方

詳細については、12.7 A/Dコンバータ特性表の読み方を参照してください。

# 第14章 アシクロナス・シリアル・インタフェースA(UARTA)

## 14.1 UARTAとほかのシリアル・インタフェースのモード切り替え

### 14.1.1 UARTA0とCSIB0のモード切り替え

V850E/IF3, V850E/IG3では, UARTA0とCSIB0は端子が兼用になっており, 同時に使用することはできません。UARTA0とCSIB0の切り替えは, あらかじめPMC4, PFC4, PFCE4レジスタを設定する必要があります。

**注意** UARTA0またはCSIB0において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図14 - 1 UARTA0とCSIB0のモード切り替え設定

リセット時 : 00H    R/W    アドレス : FFFFF448H

	7	6	5	4	3	2	1	0
PMC4	PMC47	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40

リセット時 : 00H    R/W    アドレス : FFFFF468H

	7	6	5	4	3	2	1	0
PFC4	PFC47	PFC46	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40

リセット時 : 00H    R/W    アドレス : FFFFF708H

	7	6	5	4	3	2	1	0
PFCE4	PFCE47	PFCE46	PFCE45	PFCE44	PFCE43	PFCE42	PFCE41	PFCE40

PMC42	PFCE42	PFC42	P42端子の兼用機能の指定
0	x	x	入出力ポート
1	0	0	SCKB0入出力
1	0	1	INTP13入力
1	1	0	設定禁止
1	1	1	設定禁止

PMC41	PFCE41	PFC41	P41端子の兼用機能の指定
0	x	x	入出力ポート
1	0	0	SOB0出力
1	0	1	TXDA0出力
1	1	0	設定禁止
1	1	1	設定禁止

PMC40	PFC40	P40端子の兼用機能の指定
0	x	入出力ポート
1	0	SIB0入力
1	1	RXDA0入力

**備考** x = don't care

### 14. 1. 2 UARTA1とI<sup>2</sup>Cのモード切り替え

V850E/IF3, V850E/IG3では, UARTA1とI<sup>2</sup>Cは端子が兼用になっており, 同時に使用することはできません。UARTA1とI<sup>2</sup>Cの切り替えは, あらかじめPMC3, PFC3, PFCE3レジスタを設定する必要があります。

**注意** UARTA1またはI<sup>2</sup>Cにおいて, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図14 - 2 UARTA1とI<sup>2</sup>Cのモード切り替え設定

リセット時: 00H R/W アドレス: FFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時: 00H R/W アドレス: FFFFF466H

	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

リセット時: 00H R/W アドレス: FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	PFCE37	PFCE36	PFCE35	PFCE34	0	PFCE32	PFCE31	PFCE30

PMC31	PFCE31	PFC31	P31端子の兼用機能の指定
0	x	x	入出力ポート
1	0	0	TXDA1出力
1	0	1	SDA入出力
1	1	0	設定禁止
1	1	1	設定禁止

PMC30	PFCE30	PFC30	P30端子の兼用機能の指定
0	x	x	入出力ポート
1	0	0	RXDA1入力
1	0	1	SCL入出力
1	1	0	設定禁止
1	1	1	設定禁止

**備考** x = don't care

### 14.1.3 UARTA2とCSIB1のモード切り替え

V850E/IF3, V850E/IG3では, UARTA2とCSIB1は端子が兼用になっており, 同時に使用することはできません。UARTA2とCSIB1の切り替えは, あらかじめPMC3, PFC3, PFCE3レジスタを設定する必要があります。

**注意** UARTA2またはCSIB1において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図14 - 3 UARTA2とCSIB1のモード切り替え設定

リセット時：00H R/W アドレス：FFFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時：00H R/W アドレス：FFFFFF466H

	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

リセット時：00H R/W アドレス：FFFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	PFCE37	PFCE36	PFCE35	PFCE34	0	PFCE32	PFCE31	PFCE30

PMC34	PFCE34	PFC34	P34端子の兼用機能の指定
0	x	x	入出力ポート
1	0	0	SCKB1入出力
1	0	1	INTP11入力
1	1	0	CS0 <sup>注</sup> 出力
1	1	1	設定禁止

PMC33	PFC33	P33端子の兼用機能の指定
0	x	入出力ポート
1	0	SOB1出力
1	1	TXDA2出力

PMC32	PFCE32	PFC32	P32端子の兼用機能の指定
0	x	x	入出力ポート
1	0	0	SIB1入力
1	0	1	RXDA2入力
1	1	0	CS1 <sup>注</sup> 出力
1	1	1	設定禁止

**注**  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

**備考** x = don't care

## 14.2 特 徴

転送速度 300 bps ~ 1.25 Mbps (周辺クロック (f<sub>xx</sub>) : 64 MHz, 専用ポー・レート・ジェネレータ使用)

全二重通信 UARTA受信データ・レジスタn (UAnRX) 内蔵

UARTA送信データ・レジスタn (UAnTX) 内蔵

2端子構成 TXDAn : 送信データの出力端子

RXDAn : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース : 3種類

- ・受信エラー割り込み (INTUAnRE) : 3種類の受信エラーの論理和で割り込みを発生
- ・受信終了割り込み (INTUAnR) : 受信許可状態において、シリアル転送終了後、シフト・レジスタからUAnRXレジスタへ受信データを転送すると発生
- ・送信許可割り込み (INTUAnT) : 送信許可状態において、UAnTXレジスタからシフト・レジスタへ送信データを転送すると発生

キャラクタ長 : 7, 8ビット

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

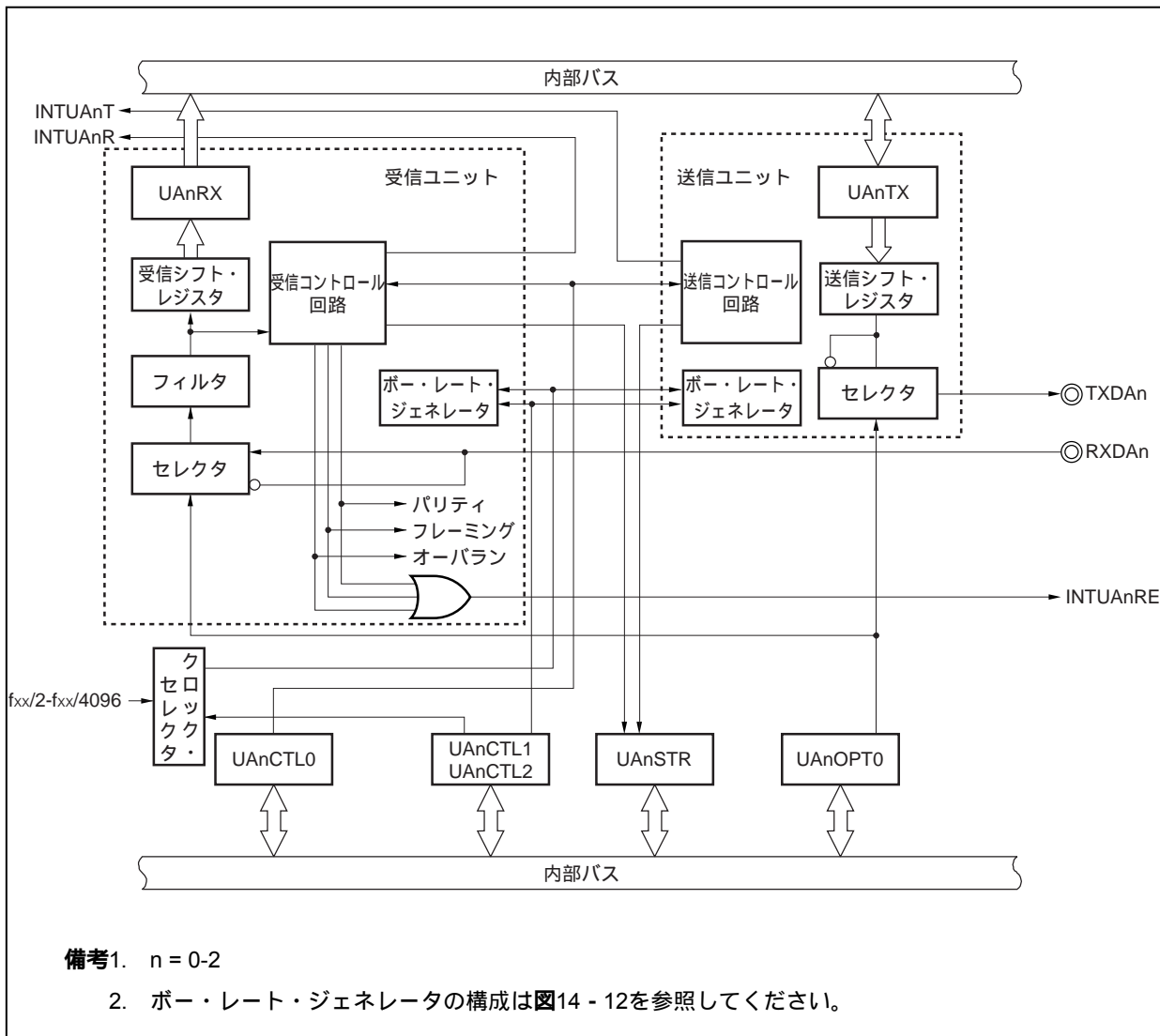
送受信データの反転入出力が可能

**備考** n = 0-2

### 14.3 構成

次にUARTAnのブロック図を示します。

図14 - 4 UARTAnのブロック図



UARTAnは、次のハードウェアで構成されています。

表14 - 1 UARTAnの構成

項目	構成
レジスタ	UARTAn制御レジスタ0 (UAnCTL0) UARTAn制御レジスタ1 (UAnCTL1) UARTAn制御レジスタ2 (UAnCTL2) UARTAnオプション制御レジスタ0 (UAnOPT0) UARTAn状態レジスタ (UAnSTR) UARTAn受信シフト・レジスタ UARTAn受信データ・レジスタ (UAnRX) UARTAn送信シフト・レジスタ UARTAn送信データ・レジスタ (UAnTX)



**(1) UARTAn制御レジスタ0 (UAnCTL0)**

UAnCTL0レジスタは、UARTAnの動作を指定する8ビットのレジスタです。

**(2) UARTAn制御レジスタ1 (UAnCTL1)**

UAnCTL1レジスタは、UARTAnの基本クロック (f<sub>CLK</sub>) を選択する8ビットのレジスタです。

**(3) UARTAn制御レジスタ2 (UAnCTL2)**

UAnCTL2レジスタは、UARTAnのポー・レート制御する8ビットのレジスタです。

**(4) UARTAnオプション制御レジスタ0 (UAnOPT0)**

UAnOPT0レジスタは、UARTAnのシリアル転送を制御する8ビットのレジスタです。

**(5) UARTAn状態レジスタ (UAnSTR)**

UAnSTRレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット (1) されます。

**(6) UARTAn受信シフト・レジスタ**

RXDAn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分のデータを受信し、ストップ・ビットを検出すると、受信データをUAnRXレジスタへ転送します。このレジスタは直接操作することはできません。

**(7) UARTAn受信データ・レジスタ (UAnRX)**

UAnRXレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます (LSBファースト受信時)。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期してUARTAn受信シフト・レジスタからUAnRXレジスタに転送されます。

また、UAnRXレジスタへの転送により、受信終了割り込み要求信号 (INTUAnR) が発生します。

**(8) UARTAn送信シフト・レジスタ**

UARTAn送信シフト・レジスタは、UAnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UAnTXレジスタから1バイト分のデータが転送されると、UARTAn送信シフト・レジスタのデータをTXDAn端子から出力します。

このレジスタは直接操作することはできません。

**(9) UARTAn送信データ・レジスタ (UAnTX)**

UAnTXレジスタは、8ビットの送信データ用バッファです。UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタにデータの書き込みが可能になる (UAnTXレジスタからUARTAn送信シフト・レジスタに1フレーム分のデータが転送される) と、送信許可割り込み要求信号 (INTUAnT) を発生します。

## 14.4 制御レジスタ

### (1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより10Hになります。

(1/2)

リセット時：10H    R/W    アドレス：UA0CTL0 FFFFFFFA00H, UA1CTL0 FFFFFFFA10H, UA2CTL0 FFFFFFFA20H								
	⑦	⑥	⑤	④	3	2	1	0
UAnCTL0	UAnPWR	UAnTXE	UAnRXE	UAnDIR	UAnPS1	UAnPS0	UAnCL	UAnSL
(n = 0-2)								
UAnPWR	UAnPWR    UAnTXE    UAnRXE    UAnDIR    UAnPS1    UAnPS0    UAnCL    UAnSL							
0	UARTAnの動作の制御							
1	UARTAn動作禁止 (UARTAnを非同期にリセット)							
0	UARTAn動作許可							
UAnPWRビットにより、UARTAn動作の制御を行います。UAnPWRビットをクリア (0) すると、TXDAn端子の出力はハイ・レベルに固定されます (UAnOPT0. UAnTDLビット = 1のときは、ロウ・レベルに固定されます)。								
UAnTXE	送信動作許可							
0	送信動作禁止							
1	送信動作許可							
<ul style="list-style-type: none"> <li>・ 起動時はUAnPWRビット = 1にしてから、UAnTXEビット = 1としてください。</li> <li>・ 送信ユニットを初期化する場合は、UAnTXEビットをクリア (0) して、基本クロック (fuCLK) の2周期分の時間を経過してから、再びUAnTXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては14.7 (1) (a) <b>基本クロック</b>参照)。</li> <li>・ 動作許可 (UAnPWRビット = 1) した場合には、UAnTXE = 1としたあと、基本クロック (fuCLK) の2周期分以上の時間を経過してから送信動作が許可状態になります。</li> <li>・ UAnPWRビット = 0にすると、UAnTXEビット = 1のときでも内部回路の状態はUAnPWRビットによりUAnTXEビット = 0の状態と同等になります。なお、再びUAnPWRビット = 1にすると、送信動作は許可状態になります。</li> </ul>								

UAnRXE	受信動作許可
0	受信動作禁止
1	受信動作許可

・起動時はUAnPWRビット = 1にしてから、UAnRXEビット = 1としてください。  
 ・受信ユニットの状態を初期化する場合は、UAnRXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUAnRXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 14.7 (1) (a) **基本クロック**参照)。  
 ・動作許可 (UAnPWRビット = 1) した場合には、UAnRXE = 1としたあと、基本クロック (f<sub>CLK</sub>) の2周期分以上の時間を経過してから受信動作が許可状態になります。受信動作の許可状態前にスタート・ビットを受信した場合は、スタート・ビットは無視されます。  
 ・UAnPWRビット = 0にすると、UAnRXEビット = 1のときでも内部回路の状態はUAnPWRビットによりUAnRXEビット = 0の状態と同等になります。なお、再びUAnPWRビット = 1にすると、受信動作は許可状態になります。

UAnDIR <sup>注</sup>	転送方向選択
0	MSB転送ファースト
1	LSB転送ファースト

UAnPS1 <sup>注</sup>	UAnPS0 <sup>注</sup>	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

受信時に「0パリティとして受信」を選択した場合、パリティ判定を行いません。したがって、UAnSTR.UAnPEビットはセットされないため、パリティ・エラーによるエラー割り込みも発生しません。

UAnCL <sup>注</sup>	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

UAnSL <sup>注</sup>	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

受信データのストップ・ビットは、UAnSLビットの値に関わらず、最初の1ビットのみチェックします。

**注** UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。ただし、同時にUAnPWR, UAnTXE, UAnRXEビットのいずれか、またはすべてを1とするのは可能です。

**備考** パリティについての詳細は、14.6.6 **パリティの種類と動作**を参照してください。

(2) UARTAn制御レジスタ1 (UAnCTL1)

詳細は、14.7 (2) UARTAn制御レジスタ1 (UAnCTL1) を参照してください。

(3) UARTAn制御レジスタ2 (UAnCTL2)

詳細は、14.7 (3) UARTAn制御レジスタ2 (UAnCTL2) を参照してください。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより14Hになります。

リセット時：14H R/W アドレス：UA0OPT0 FFFFFFFA03H, UA1OPT0 FFFFFFFA13H,  
UA2OPT0 FFFFFFFA23H

	7	6	5	4	3	2	1	0
UAnOPT0	0	0	0	1	0	1	UAnTDL	UAnRDL

(n = 0-2)

UAnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力
<ul style="list-style-type: none"> <li>・ UAnTDLビットによりTXDAn端子の出力レベルを反転できます。</li> <li>・ UAnCTL0.UAnPWRビット = 0またはUAnCTL0.UAnTXEビット = 0のとき設定できます。</li> </ul>	

UAnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力
<ul style="list-style-type: none"> <li>・ UAnRDLビットによりRXDAn端子の入力レベルを反転できます。</li> <li>・ UAnPWRビット = 0またはUAnCTL0.UAnRXEビット = 0のとき設定できます。</li> <li>・ UAnRDLビット = 1 (受信データ反転入力) と設定した場合は、必ず受信開始時にデータ受信端子をUART受信用端子 (RXDAn) に設定してから、受信許可 (UAnCTL0.UAnRXEビット = 1) にする必要があります。受信許可後に端子モードを変更すると、そのときの端子レベルがハイ・レベルの場合にはスタート・ビットを誤検出します。</li> </ul>	

**注意** ビット3, 5-7には必ず0を、ビット2, 4には必ず1を設定してください。  
それ以外の値を設定した場合の動作は保証できません。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、UARTAnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。UAnTSFビットはリードのみ可能で、UAnPE, UAnFE, UAnOVEビットについてはリード/ライト可能ですが、ライト時は“0”ライトによるクリアのみ可能で、“1”ライトによるセット動作はできません (“1”をライトしても値を保持します)。

次に初期化条件を示します。

レジスタ/ビット	初期化条件
UAnSTRレジスタ	<ul style="list-style-type: none"> <li>・リセット時</li> <li>・UAnCTL0.UAnPWRビット = 0</li> </ul>
UAnTSFビット	<ul style="list-style-type: none"> <li>・UAnCTL0.UAnTXEビット = 0</li> </ul>
UAnPE, UAnFE, UAnOVEビット	<ul style="list-style-type: none"> <li>・0の書き込み</li> <li>・UAnCTL0.UAnRXEビット = 0</li> </ul>

**注意** UAnPE, UAnFE, UAnOVEビットのエラー・フラグは、必ずリードしてフラグの状態を確認後、“0”ライトしてクリアしてください。

リセット時：00H R/W アドレス：UA0STR FFFFFFFA04H, UA1STR FFFFFFFA14H,  
UA2STR FFFFFFFA24H

	⑦	6	5	4	3	②	①	①
UAnSTR (n = 0-2)	UAnTSF	0	0	0	0	UAnPE	UAnFE	UAnOVE

UAnTSF	転送状態フラグ
0	<ul style="list-style-type: none"> <li>・UAnPWRビット = 0, またはUAnTXEビット = 0に設定したとき</li> <li>・転送終了後に, UAnTXレジスタに次のデータ転送がなかったとき</li> </ul>
1	UAnTXレジスタへの書き込み
<p>連続送信を行っている場合にはUAnTSFビットは常に“1”になっています。 送信ユニットの初期化を行う場合には, UAnTSFビット = 0になっていることを確認してから初期化を行ってください。UAnTSFビット = 1の状態での初期化を行った場合の送信データは保証できません。</p>	

UAnPE	パリティ・エラー・フラグ
0	<ul style="list-style-type: none"> <li>・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき</li> <li>・“0”をライトしたとき</li> </ul>
1	受信時, データのパリティとパリティ・ビットが一致しないとき
<ul style="list-style-type: none"> <li>・UAnPEビットの動作は, UAnCTL0.UAnPS1, UAnPS0ビットの設定により左右されます。</li> <li>・UAnPEビットはリード/ライト可能となっておりますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。</li> </ul>	

UAnFE	フレーミング・エラー・フラグ
0	<ul style="list-style-type: none"> <li>・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき</li> <li>・“0”をライトしたとき</li> </ul>
1	受信時, ストップ・ビットが検出されないとき
<ul style="list-style-type: none"> <li>・受信データのストップ・ビットは, UAnCTL0.UAnSLビットの値に関わらず, 最初の1ビットのみチェックします。</li> <li>・UAnFEビットはリード/ライト可能となっておりますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。</li> </ul>	

UAnOVE	オーバラン・エラー・フラグ
0	<ul style="list-style-type: none"> <li>・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき</li> <li>・“0”をライトしたとき</li> </ul>
1	UAnRXレジスタに受信データがセットされ, それを読み出す前に次の受信動作が終了したとき
<ul style="list-style-type: none"> <li>・オーバラン・エラーが発生したとき, 次の受信データはUAnRXレジスタに書き込まれず, データは破棄されます。</li> <li>・UAnOVEビットはリード/ライト可能となっておりますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。</li> </ul>	

## (6) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、UARTAn受信シフト・レジスタで変換したパラレル・データを格納するための8ビットのバッファ・レジスタです。

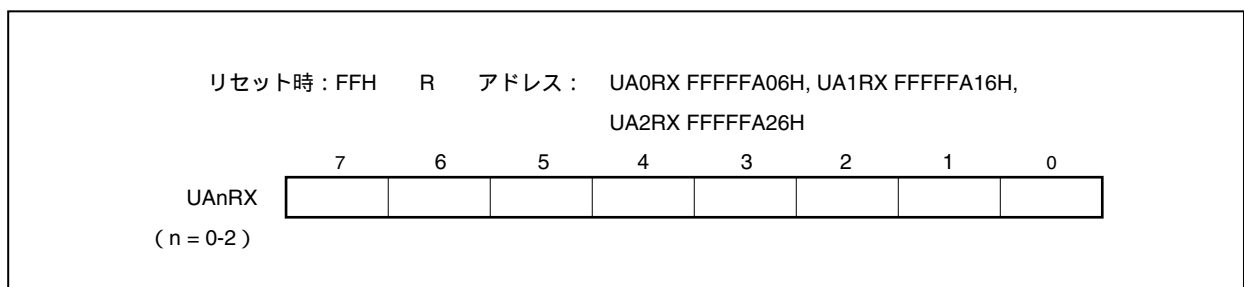
1バイト・データの受信終了によりUARTAn受信シフト・レジスタに格納したデータをUAnRXレジスタに転送します。このタイミングで受信終了割り込み要求信号 (INTUAnR) を発生します。

データ長を7ビットに指定し、LSBファーストで受信する場合、受信データはUAnRXレジスタのビット6-0に転送され、MSBは必ず“0”になります。MSBファーストで受信する場合、受信データはUAnRXレジスタのビット7-1に転送されLSBは必ず“0”になります。

オーバラン・エラーが発生した場合 (UAnSTR.UAnOVEビット = 1) は、そのときの受信データはUAnRXレジスタに転送されず破棄されます。

8ビット単位でリードのみ可能です。

リセット以外に、UAnCTL0.UAnPWRビット = 0によってもUAnRXレジスタはFFHになります。



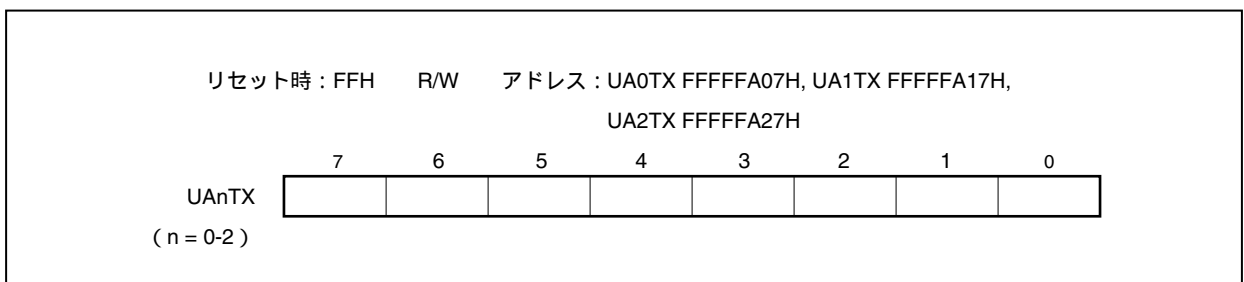
## (7) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、送信データを設定するための8ビットのレジスタです。

送信許可状態 (UAnCTL0.UAnTXEビット = 1) のときに、UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送終了したタイミングで、送信許可割り込み要求信号 (INTUAnT) を発生します。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。



## 14.5 割り込み要求信号

UARTAnからは次の3種類の割り込み要求信号を発生します。

- ・受信エラー割り込み要求信号 (INTUAnRE)
- ・受信終了割り込み要求信号 (INTUAnR)
- ・送信許可割り込み要求信号 (INTUAnT)

これら3種類の割り込み要求信号のデフォルト優先順位は受信エラー割り込み要求信号が最も高く、受信終了割り込み要求信号、送信許可割り込み要求信号の順に低くなります。

表14 - 2 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	高
受信終了	
送信許可	低

### (1) 受信エラー割り込み要求信号 (INTUAnRE)

受信許可状態で、UAnSTRレジスタで説明した3種類の受信エラー(パリティ・エラー、フレーミング・エラー、オーバラン・エラー)の論理和 (OR) で受信エラー割り込み要求信号を発生します。

### (2) 受信終了割り込み要求信号 (INTUAnR)

受信許可状態で、UARTAn受信シフト・レジスタにデータがシフト・インされUAnRXレジスタに転送されると受信終了割り込み要求信号が発生します。

受信禁止状態中は、受信終了割り込み要求信号は発生しません。

### (3) 送信許可割り込み要求信号 (INTUAnT)

送信許可状態で、UAnTXレジスタからUARTAn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。



## 14.6 動作

### 14.6.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

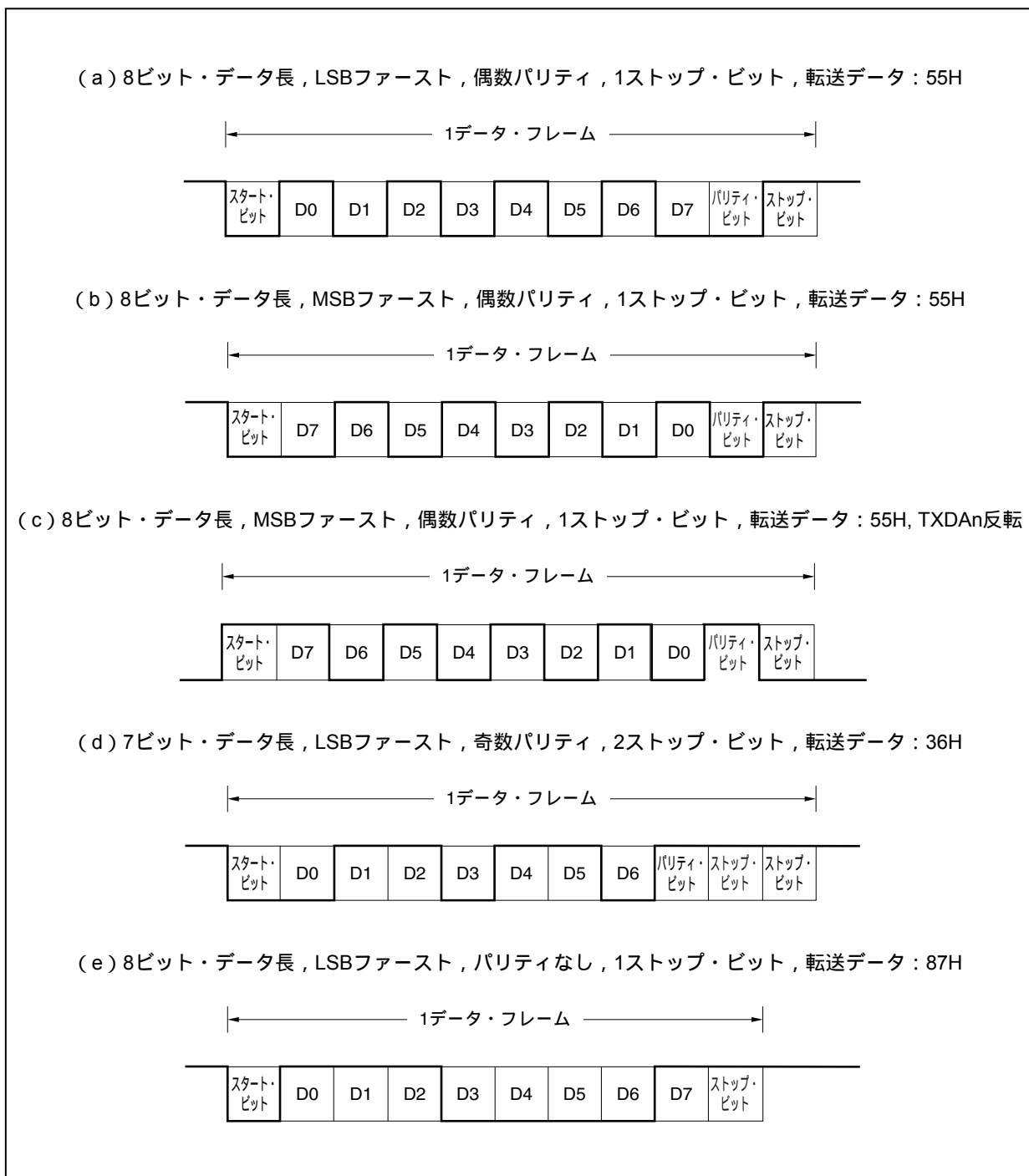
送受信データのフォーマットは図14-5に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSB/LSBファーストの転送指定は、UAnCTL0レジスタによって行います。

また、UAnOPT0.UAnTDLビットでTXDAn端子のUARTAn出力 / 反転出力の制御を行います。

- ・スタート・ビット ..... 1ビット
- ・キャラクタ・ビット ... 7ビット/8ビット
- ・パリティ・ビット ..... 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット ..... 1ビット/2ビット

図14 - 5 UARTAの送受信データのフォーマット



## 14.6.2 UART送信

UAnCTL0.UAnPWRビット = 1とすることにより、TXDAn端子からハイ・レベルを出力します。

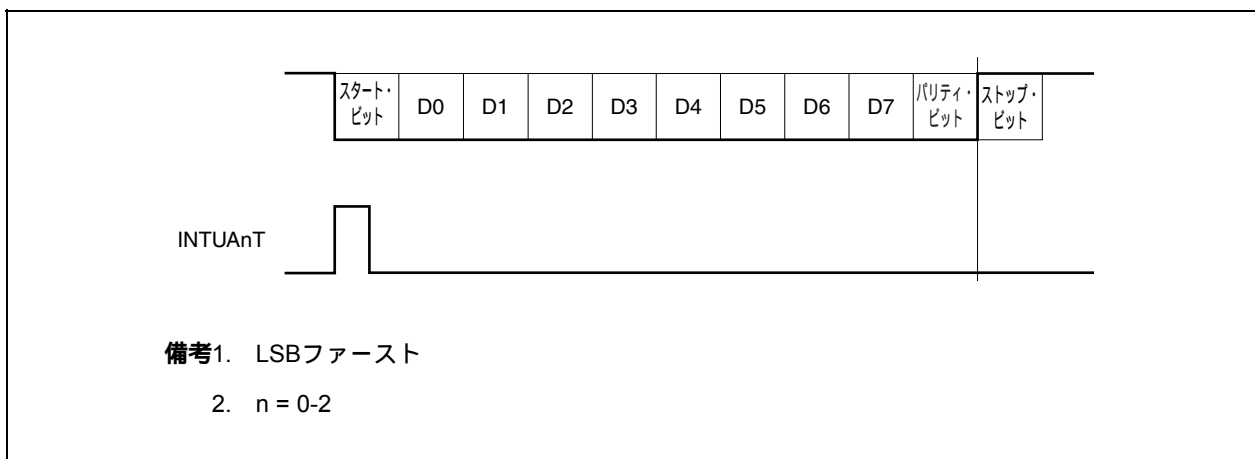
次に、UAnCTL0.UAnTXEビット = 1にすると送信許可状態となり、UAnTXレジスタに送信データを書き込むことにより送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加します。

なお、UARTAnにはCTS（送信許可信号）入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

送信動作の開始により、UAnTXレジスタ内のデータをUARTAn送信シフト・レジスタへ転送します。

UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送終了したタイミングで、送信許可割り込み要求信号（INTUAnT）を発生し、そのあとUARTAn送信シフト・レジスタから順次、TXDAn端子に出力します。INTUAnT信号が発生することで、UAnTXレジスタに次の転送データの書き込みを許可します。

図14 - 6 UART送信



### 14.6.3 連続送信の手順説明

UARTAnはUARTAn送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをUAnTXレジスタへ書き込むことができます。UARTAn送信シフト・レジスタへの送信タイミングは、送信許可割り込み要求信号 (INTUAnT) で判断できます。次に送信するデータを、転送中にUAnTXレジスタに書き込むことにより、効率的な通信レートを実現できます。

**注意** 連続送信実行中は、UAnSTR.UAnTSFビットが“0”であることを確認して初期化を実行してください。UAnTSFビットが“1”のときに初期化を実行した場合の送信データの保証できません。

**備考** n = 0-2

図14 - 7 連続送信の処理フロー

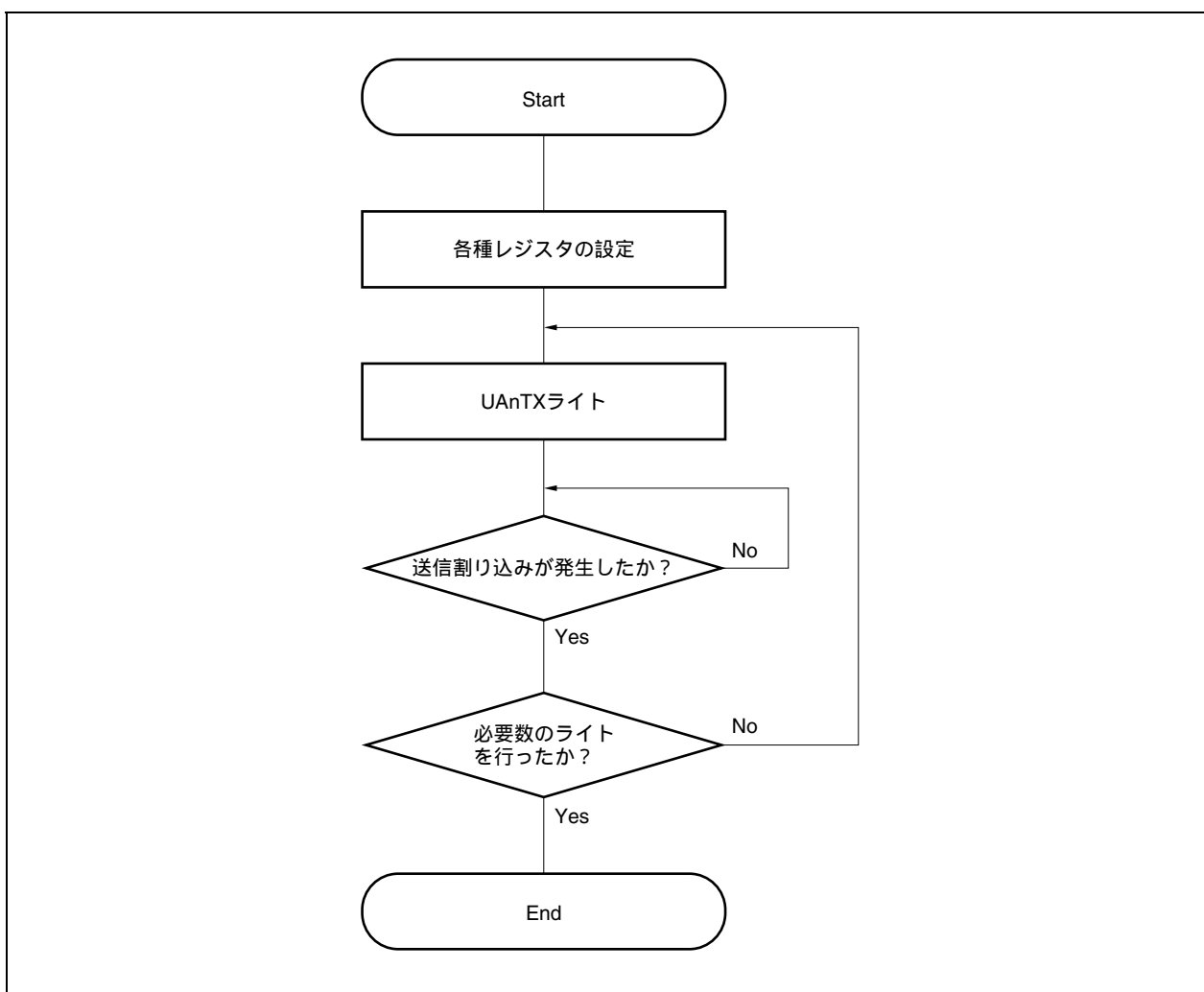
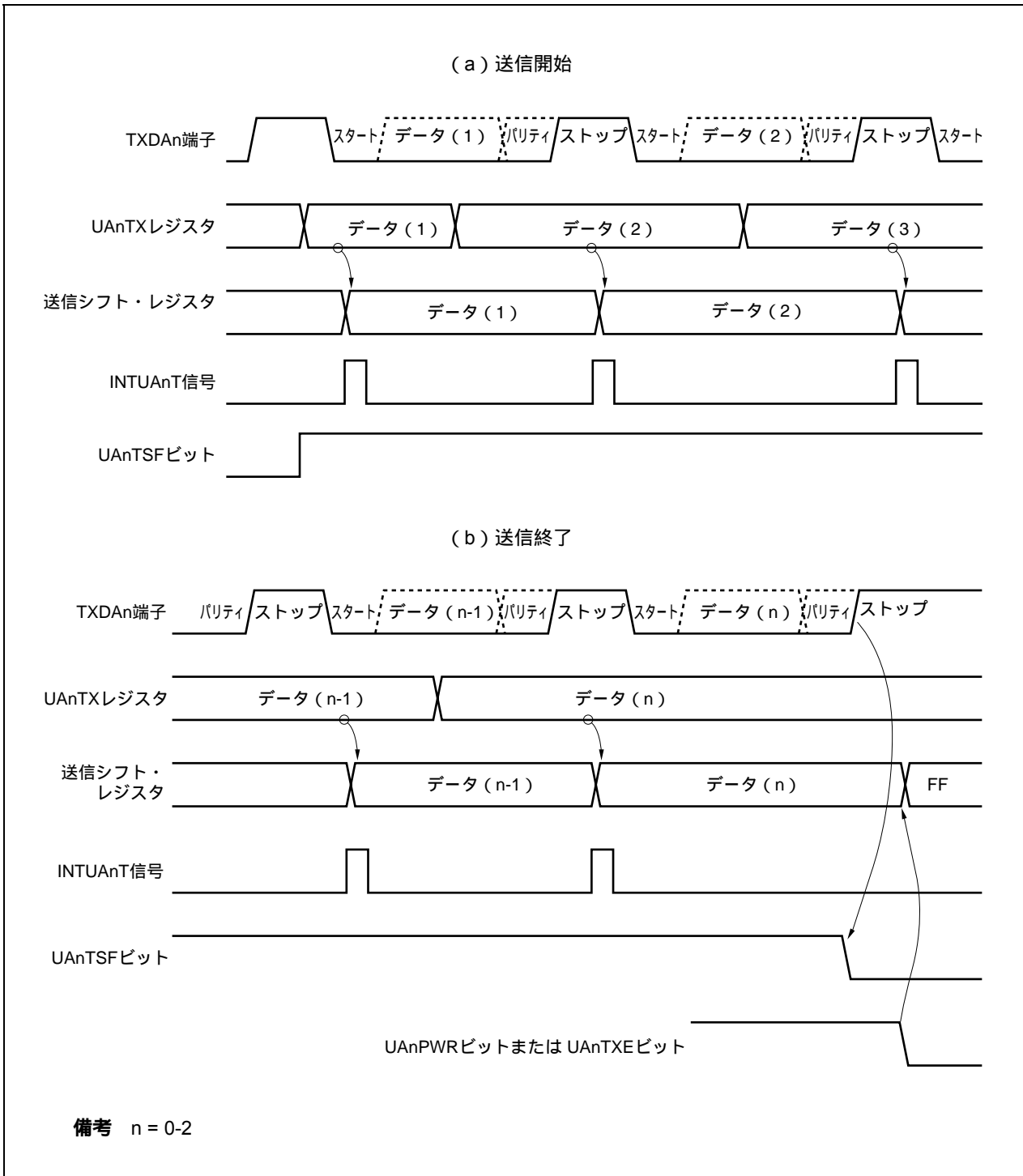


図14 - 8 連続送信動作のタイミング



### 14.6.4 UART受信

UAnCTL0.UAnPWRビット = 1にして、次にUAnCTL0.UAnRXEビット = 1にすることにより、受信待ち状態になります。受信待ち状態では、RXDAn端子をモニタし、スタート・ビットの検出を行います。

なおスタート・ビットの認識には2段階の検出ルーチンを取ります。

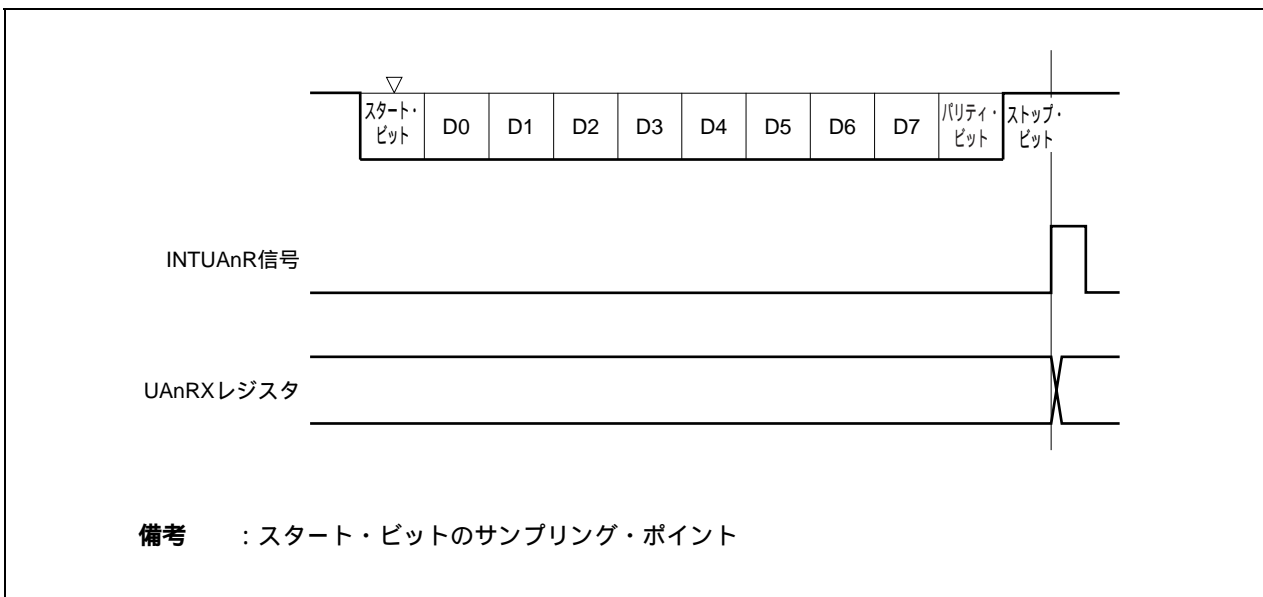
まずRXDAn端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDAn端子がロウ・レベルであれば、スタート・ビットと認識します。スタート・ビットが認識されたら、受信動作を開始し、設定されたボー・レートにあわせて、シリアル・データを順次、UARTAn受信シフト・レジスタに格納していきます。

ストップ・ビットを受信したら、受信終了割り込み要求信号 (INTUAnR) を発生すると同時に、UARTAn受信シフト・レジスタのデータをUAnRXレジスタに書き込みます。ただし、オーバラン・エラーが発生した場合 (UAnSTR.UAnOVEビット = 1)、そのときの受信データはUAnRXレジスタに書き込まれずに破棄されます。

受信途中に、パリティ・エラー (UAnSTR.UAnPEビット = 1)、フレーミング・エラー (UAnSTR.UAnFEビット = 1) が発生しても、1ビット目のストップ・ビットの受信位置までは、受信を継続し、受信終了後にINTUAnRE信号を発生します。

備考 n = 0-2

図14 - 9 UART受信



- 注意1. 受信エラー発生時にも、UAnRXレジスタは必ず読み出してください。UAnRXレジスタを読み出さないと、次のデータ受信にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続くことになります。
2. 受信時は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
  3. 受信終了時は、受信終了割り込み要求信号 (INTUAnR) 発生後、UAnRXレジスタを読み出してから UAnPWRビット = 0またはUAnRXEビット = 0としてください。INTUAnR信号が発生する前に UAnPWRビット = 0またはUAnRXEビット = 0とした場合、UAnRXレジスタのリード値は保証できません。
  4. UARTAnの受信終了処理(INTUAnR信号の発生)と、UAnPWRビット = 0またはUAnRXEビット = 0が競合した場合、UAnRXレジスタにデータを格納していないにもかかわらず、INTUAnR信号が発生することがあります。INTUAnR信号の発生を待たずに受信終了を行うときには、必ず割り込みマスク・フラグ (UAnRIC.UAnRMK) をセット (1) してから、UAnPWRビット = 0またはUAnRXEビット = 0とし、さらに割り込み要求フラグ (UAnRIC.UAnRIF) をクリア (0) してください。

### 14.6.5 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。データ受信の結果エラー・フラグがUAnSTRレジスタに設定され、受信エラー割り込み要求信号 (INTUAnRE) を発生します。

UAnSTRレジスタの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます。

受信エラー・フラグをリードしたあとは、“0” ライトによりクリアしてください。

**注意** 受信終了割り込み要求信号 (INTUAnR) と受信エラー割り込み要求信号 (INTUAnRE) は同時に発生しません。正常受信終了時にはINTUAnR信号が発生します。受信エラー時にはINTUAnRE信号が発生し、INTUAnR信号は発生しません。

備考 n = 0-2

・受信エラーの要因

エラー・フラグ	受信エラー	要 因
UAnPE	パリティ・エラー	受信したパリティ・ビットが設定と一致しない
UAnFE	フレーミング・エラー	ストップ・ビットが検出されない
UAnOVE	オーバーラン・エラー	UAnRXレジスタからデータを読み出す前に次のデータ受信が終了

### 14.6.6 パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは奇数個ビットの誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

#### (a) 偶数パリティ

##### (i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

##### (ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

#### (b) 奇数パリティ

##### (i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

##### (ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

#### (c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

#### (d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。



### 14.6.7 受信データのノイズ・フィルタ

専用ポー・レート・ジェネレータからの基本クロック ( $f_{CLK}$ ) でRXDAn端子をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、1クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図14-11参照)。基本クロックについては14.7(1)(a)基本クロックを参照してください。

また、回路は図14-10のようにになっているので、受信動作の内部での処理は、外部の信号状態より3クロック分遅れて動作することになります。

**備考**  $n = 0-2$

図14-10 ノイズ・フィルタ回路

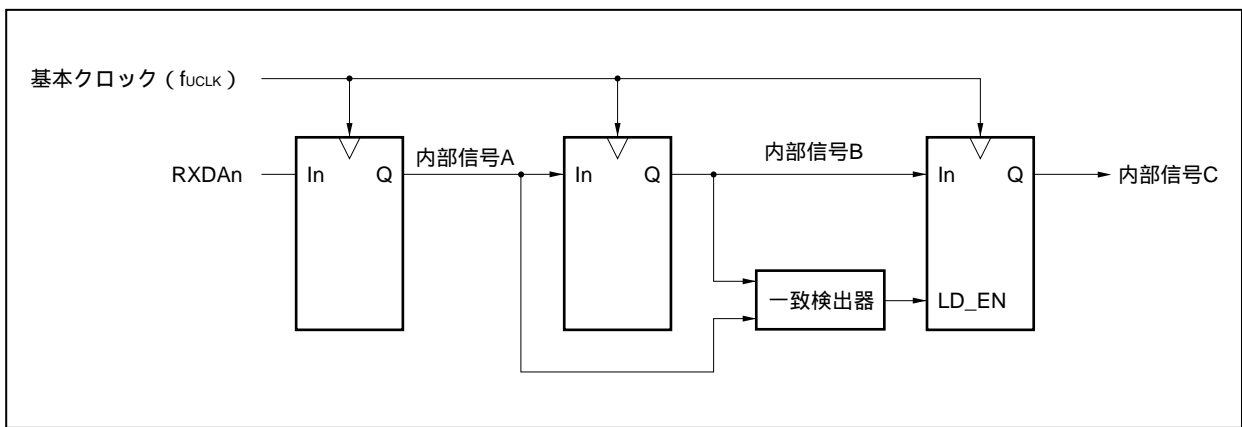
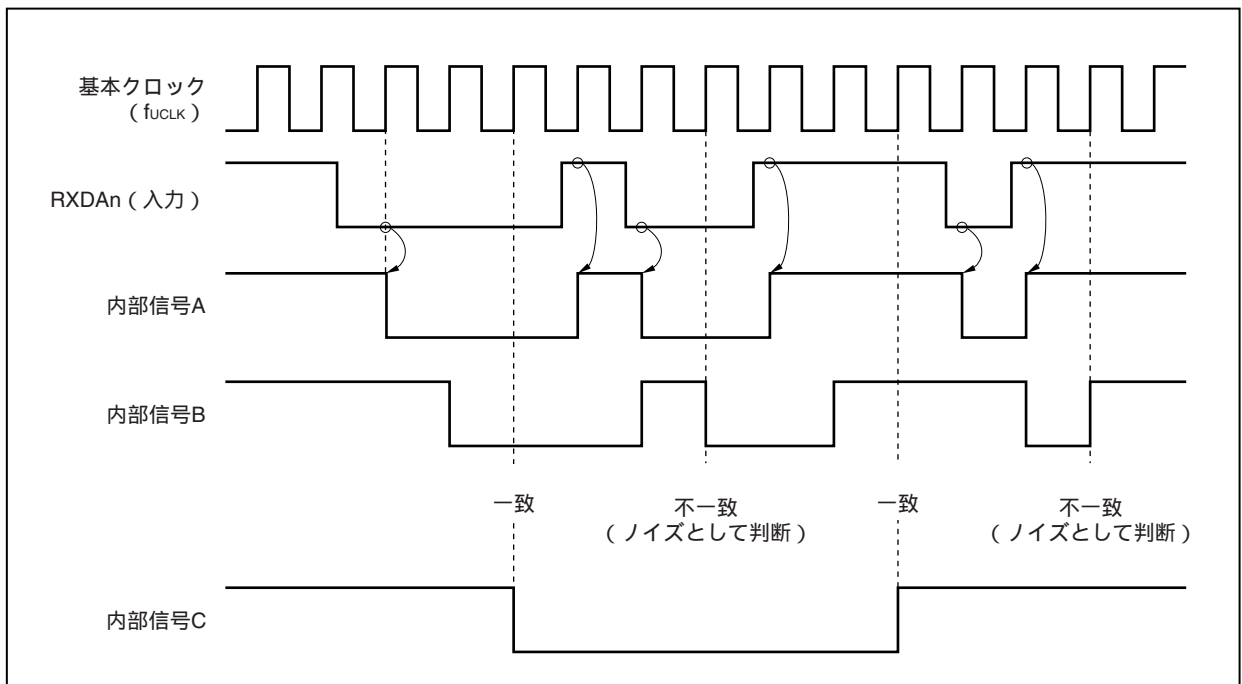


図14-11 ノイズとして判断されるRXDAn信号のタイミング



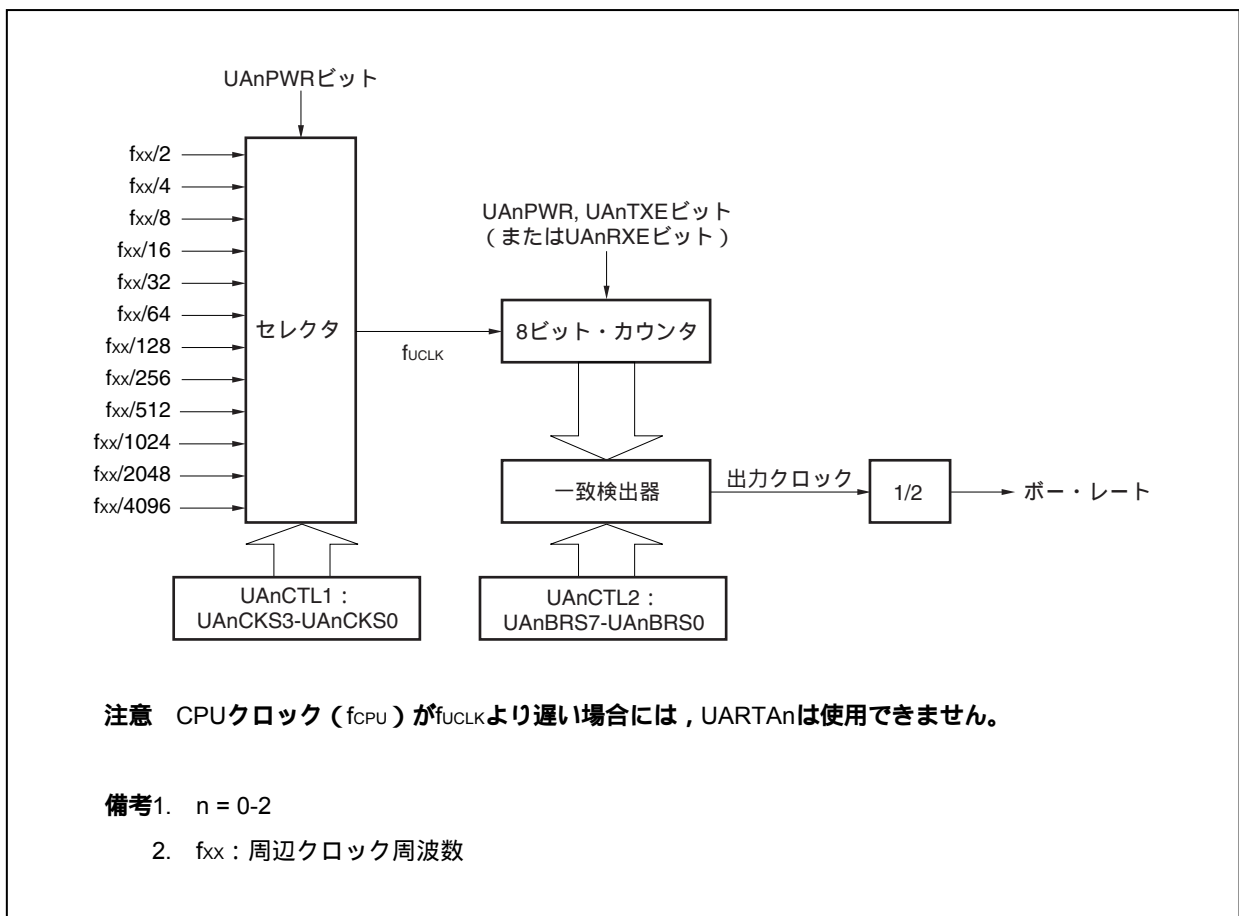
## 14.7 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTAnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

### (1) ポー・レート・ジェネレータの構成

図14 - 12 ポー・レート・ジェネレータの構成



#### (a) 基本クロック

UAnCTL0.UAnPWRビット = 1のとき、UAnCTL1.UAnCK3-UAnCK0ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロック ( $f_{uCLK}$ ) と呼びます。UAnPWRビット = 0のときは、 $f_{uCLK}$ はロウ・レベルに固定となります。

#### (b) シリアル・クロックの生成

UAnCTL1レジスタとUAnCTL2レジスタの設定により、シリアル・クロックを生成できます。

UAnCTL1.UAnCK3-UAnCK0ビットにより、基本クロック ( $f_{uCLK}$ ) を選択します。

UAnCTL2.UAnBRS7-UAnBRS0ビットにより、8ビット・カウンタの分周値を設定できます。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** UAnCTL1レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0にしてから行ってください。

リセット時：00H    R/W    アドレス：UA0CTL1 FFFFFFFA01H, UA1CTL1 FFFFFFFA11H,  
UA2CTL1 FFFFFFFA21H

	7	6	5	4	3	2	1	0
UAnCTL1 (n = 0-2)	0	0	0	0	UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0

UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0	基本クロック (f <sub>CLK</sub> ) の選択
0	0	0	0	f <sub>xx</sub> /2
0	0	0	1	f <sub>xx</sub> /4
0	0	1	0	f <sub>xx</sub> /8
0	0	1	1	f <sub>xx</sub> /16
0	1	0	0	f <sub>xx</sub> /32
0	1	0	1	f <sub>xx</sub> /64
0	1	1	0	f <sub>xx</sub> /128
0	1	1	1	f <sub>xx</sub> /256
1	0	0	0	f <sub>xx</sub> /512
1	0	0	1	f <sub>xx</sub> /1024
1	0	1	0	f <sub>xx</sub> /2048
1	0	1	1	f <sub>xx</sub> /4096
その他				設定禁止

**備考** f<sub>xx</sub> : 周辺クロック周波数

(3) UARTAn制御レジスタ2 (UAnCTL2)

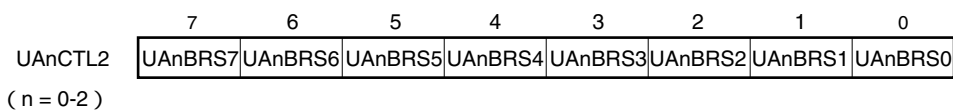
UAnCTL2レジスタは、UARTAnのボー・レート（シリアル転送スピード）クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。

**注意** UAnCTL2レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0、またはUAnTXE, UAnRXEビット = 00にしてから行ってください。

リセット時：FFH R/W アドレス：UA0CTL2 FFFFA02H, UA1CTL2 FFFFA12H,  
UA2CTL2 FFFFA22H



UAn BRS7	UAn BRS6	UAn BRS5	UAn BRS4	UAn BRS3	UAn BRS2	UAn BRS1	UAn BRS0	規定値 (k)	シリアル・クロック
0	0	0	0	0	0	×	×	-	設定禁止
0	0	0	0	0	1	0	0	4	f <sub>UCLK</sub> /4
0	0	0	0	0	1	0	1	5	f <sub>UCLK</sub> /5
0	0	0	0	0	1	1	0	6	f <sub>UCLK</sub> /6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	f <sub>UCLK</sub> /252
1	1	1	1	1	1	0	1	253	f <sub>UCLK</sub> /253
1	1	1	1	1	1	1	0	254	f <sub>UCLK</sub> /254
1	1	1	1	1	1	1	1	255	f <sub>UCLK</sub> /255

**備考** f<sub>UCLK</sub> : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

## (4) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{CLK}}}{2 \times k} \text{ [ bps ]}$$

$f_{\text{CLK}}$  : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

$k$  : UAnCTL2.UAnBRS7-UAnBRS0ビットで設定した値 ( $k = 4, 5, 6, \dots, 255$ )

## (5) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left( \frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(7) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 周辺クロック周波数 = 32 MHz = 32,000,000 Hz

UAnCTL1.UAnCKS3-UAnCKS0ビットの設定値 = 0000B ( $f_{\text{CLK}} = 16,000,000$  Hz)

UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 = 00110100B ( $k = 52$ )

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 16000000 / (2 \times 52) \\ &= 153846 \text{ [ bps ]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (153846/153600 - 1) \times 100 \\ &= 0.160 \text{ [\%]} \end{aligned}$$

(6) ボー・レート設定例

表14-3 ボー・レート・ジェネレータ設定データ

ボー・レート ( bps )	f <sub>xx</sub> = 64 MHz			f <sub>xx</sub> = 32 MHz		
	UAnCTL1	UAnCTL2	ERR ( % )	UAnCTL1	UAnCTL2	ERR ( % )
300	08H	D0H	0.16	07H	D0H	0.16
600	07H	D0H	0.16	06H	D0H	0.16
1200	06H	D0H	0.16	05H	D0H	0.16
2400	05H	D0H	0.16	04H	D0H	0.16
4800	04H	D0H	0.16	03H	D0H	0.16
9600	03H	D0H	0.16	02H	D0H	0.16
19200	02H	D0H	0.16	01H	D0H	0.16
31250	02H	80H	0	01H	80H	0
38400	01H	D0H	0.16	00H	D0H	0.16
76800	00H	D0H	0.16	00H	68H	0.16
153600	00H	68H	0.16	00H	34H	0.16
312500	00H	33H	0.39	00H	1AH	- 1.54
625000	00H	1AH	- 1.54	00H	0DH	- 1.54
1250000	00H	0DH	- 1.54	00H	06H	6.67

備考 f<sub>xx</sub> : 周辺クロック周波数  
 ERR : ボー・レート誤差 [ % ]

(7) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

**注意** 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図14 - 13 受信時の許容ボー・レート範囲

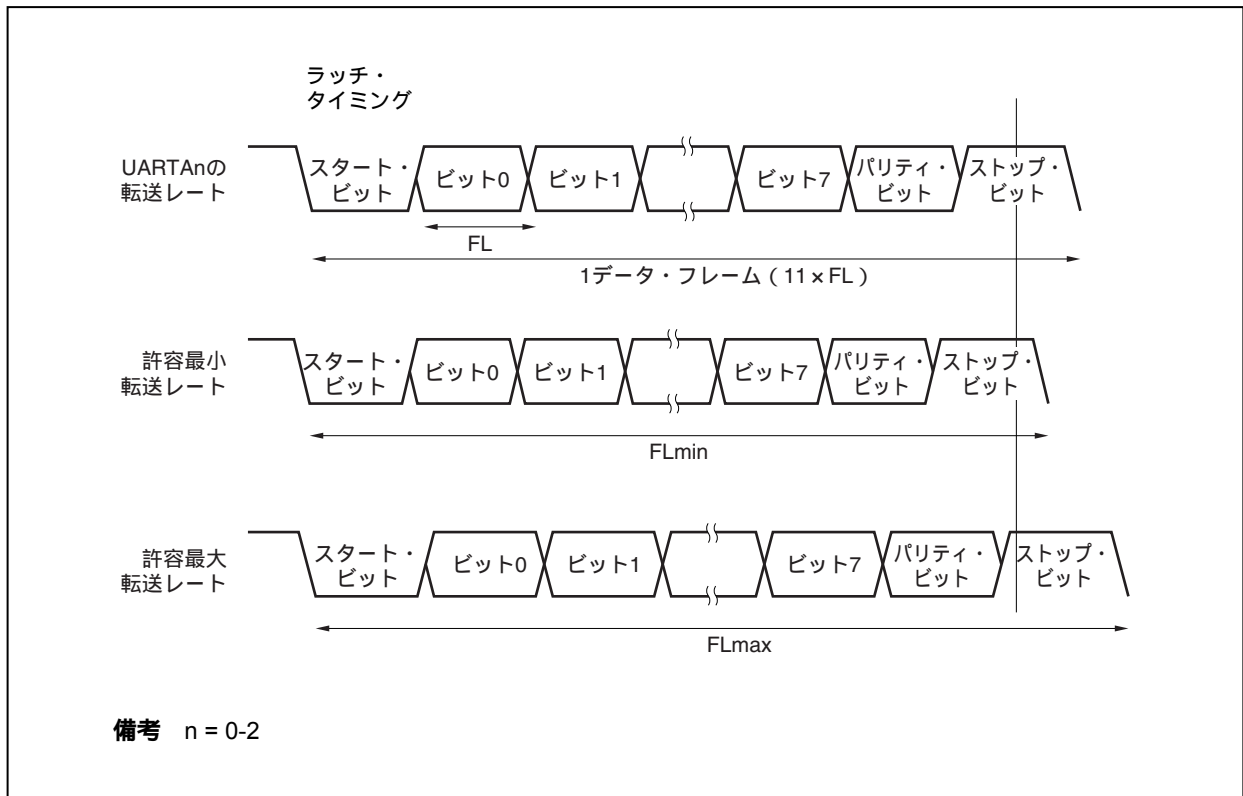


図14 - 13に示すように、スタート・ビット検出後はUAnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTAnのボー・レート (n = 0-2)

k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0-2)

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート} : FL_{\min} = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k + 2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\frac{10}{11} \times FL_{max} = 11 \times FL - \frac{k + 2}{2 \times k} \times FL = \frac{21k - 2}{2 \times k} FL$$

$$FL_{max} = \frac{21k - 2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k - 2} \text{ Brate}$$

前述の最小/最大ボー・レート値の算出式から、UARTAnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表14 - 4 許容最大/最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.32 %	- 2.43 %
8	+ 3.52 %	- 3.61 %
20	+ 4.26 %	- 4.30 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.72 %

**備考1.** 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

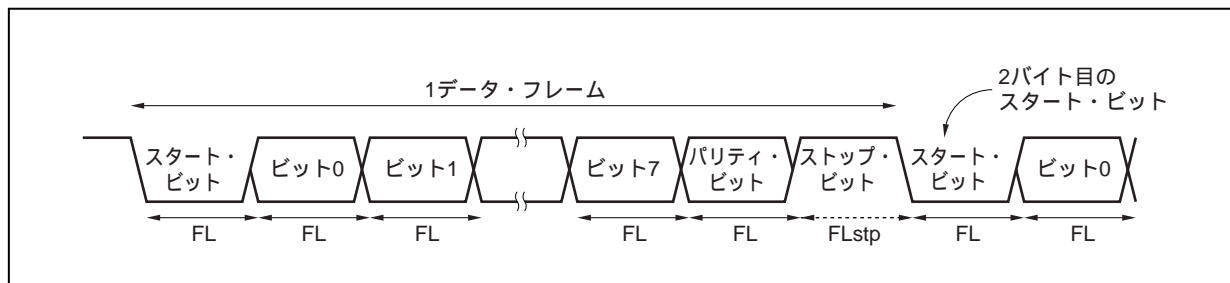
2. k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0-2)



(8) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図14 - 14 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：f<sub>CLK</sub>とすると次の式が成り立ちます。

$$FLstp = FL + 2 / f_{CLK}$$

したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + (2 / f_{CLK})$$

## 14.8 注意事項

UARTAnへの供給クロックが停止する場合（例：IDLE, STOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDAn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUAnCTL0.UAnPWR, UAnRXE, UAnTXEビット = 000とし、回路を初期化してください。

**備考** n = 0-2

# 第15章 アシクロナス・シリアル・インタフェースB(UARTB)

## 15.1 UARTBとCSIB2のモード切り替え

V850E/IF3, V850E/IG3では, UARTBとCSIB2は端子が兼用になっており, 同時に使用することはできません。UARTBとCSIB2の切り替えは, あらかじめPMC3, PFC3, PFCE3レジスタを設定する必要があります。

**注意** UARTBまたはCSIB2において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図15 - 1 UARTBとCSIB2のモード切り替え設定

リセット時 : 00H    R/W    アドレス : FFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時 : 00H    R/W    アドレス : FFFFF466H

	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

リセット時 : 00H    R/W    アドレス : FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	PFCE37	PFCE36	PFCE35	PFCE34	0	PFCE32	PFCE31	PFCE30

PMC37	PFCE37	PFC37	P37端子の兼用機能の指定
0	x	x	入出力ポート
1	0	0	SCKB2入出力
1	0	1	INTP12入力
1	1	0	ASTB <sup>注</sup> 出力
1	1	1	設定禁止

PMC36	PFCE36	PFC36	P36端子の兼用機能の指定
0	x	x	入出力ポート
1	0	0	SOB2出力
1	0	1	TXDB出力
1	1	0	設定禁止
1	1	1	設定禁止

PMC35	PFCE35	PFC35	P35端子の兼用機能の指定
0	x	x	入出力ポート
1	0	0	SIB2入力
1	0	1	RXDB入力
1	1	0	設定禁止
1	1	1	設定禁止

**注**  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

**備考** x = don't care

## 15.2 特徴

転送速度 最大5.33 Mbps (専用ポーレート・ジェネレータ使用)

全二重通信

シングル・モード/FIFOモード切り替え可能

- ・シングル・モード：送信/受信それぞれ8ビット幅×1段のデータレジスタ (UBTXレジスタ/UBRXレジスタ) を使用

- ・FIFOモード

- 送信FIFO：UBTXレジスタ (8ビット幅×16段)

- 受信FIFO：UBRXAPレジスタ (16ビット幅×16段)

なお、UBRXAPレジスタの上位8ビットのうち2ビットはエラー・フラグ用です。

2端子構成 TXDB：送信データの出力端子

RXDB：受信データの入力端子

受信エラー検出機能

- ・オーバフロー・エラー (FIFOモード時のみ)
- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー (シングル・モード時のみ)

割り込みソース：5種類

- ・受信エラー割り込み要求信号 (INTUBTIRE)
- ・受信終了割り込み要求信号 (INTUBTIR)
- ・送信許可割り込み要求信号 (INTUBTIT)
- ・FIFO送信終了割り込み要求信号 (INTUBTIF) (FIFOモード時のみ)
- ・受信タイムアウト割り込み要求信号 (INTUBTITO) (FIFOモード時のみ)

送受信データのキャラクタ長はUBCTL0レジスタで指定

キャラクタ長：7, 8ビット

パリティ機能：奇数, 偶数, 0, なし

送信ストップ・ビット：1, 2ビット

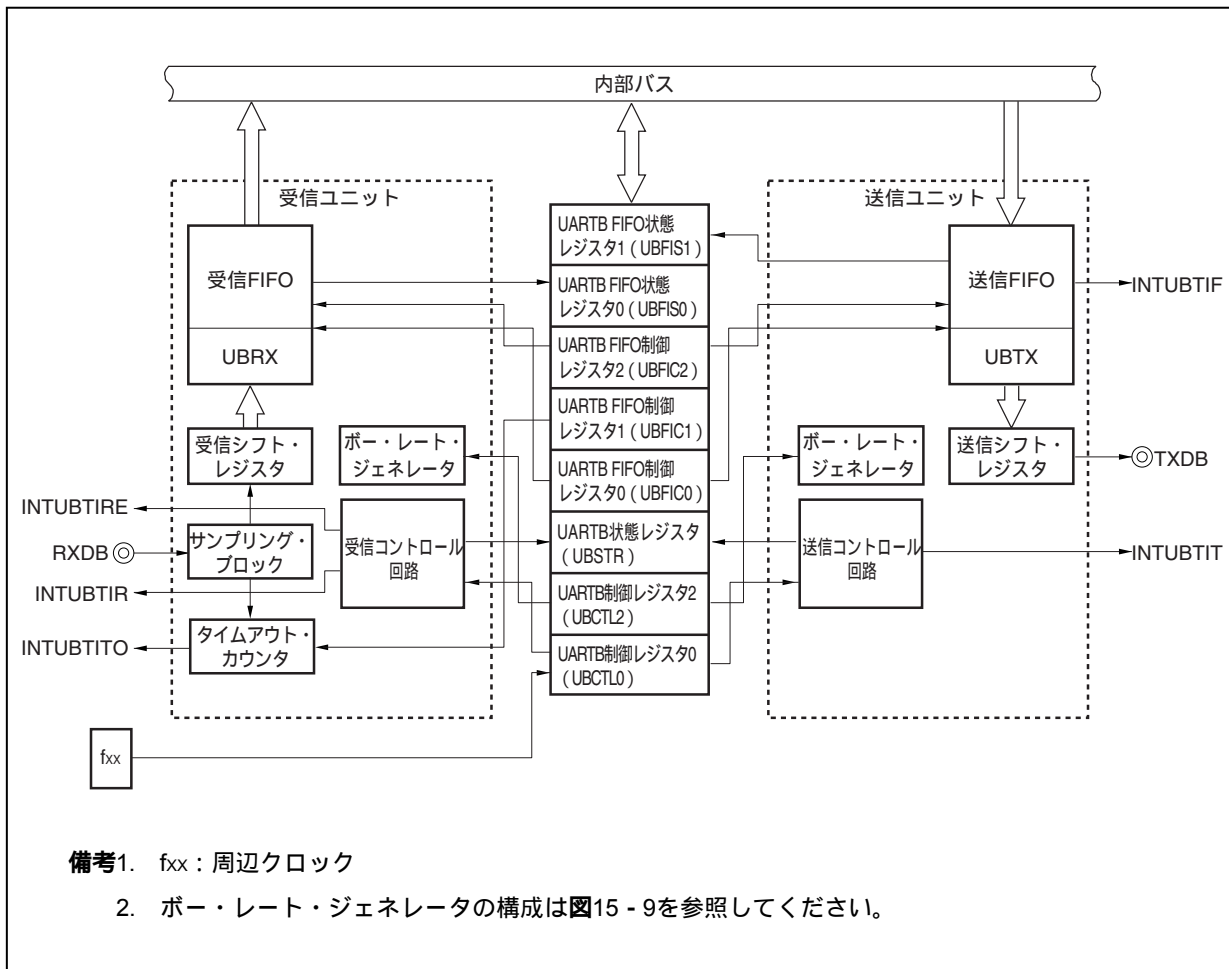
転送データのMSB先頭/LSB先頭を切り替え可能

専用ポーレート・ジェネレータ内蔵

### 15.3 構成

次にUARTBのブロック図を示します。

図15-2 UARTBのブロック図



UARTBは、次のハードウェアで構成されています。

表15 - 1 UARTBの構成

項 目	構 成
レジスタ	UARTB制御レジスタ0 (UBCTL0)
	UARTB制御レジスタ2 (UBCTL2)
	UARTB状態レジスタ (UBSTR)
	UARTB FIFO制御レジスタ0 (UBFIC0)
	UARTB FIFO制御レジスタ1 (UBFIC1)
	UARTB FIFO制御レジスタ2 (UBFIC2)
	UARTB FIFO状態レジスタ0 (UBFIS0)
	UARTB FIFO状態レジスタ1 (UBFIS1)
	受信シフト・レジスタ
	UARTB受信データ・レジスタAP (UBRXAP)
	UARTB受信データ・レジスタ (UBRX)
	送信シフト・レジスタ
	UARTB送信データ・レジスタ (UBTX)

(1) UARTB制御レジスタ0 (UBCTL0)

UBCTL0レジスタは、UARTBの転送動作を制御するレジスタです。

(2) UARTB状態レジスタ (UBSTR)

UBSTRレジスタは、送信時の転送状態と受信エラー内容を示すレジスタです。送信時の転送状態を示すステータス・フラグは送信シフト・レジスタおよび送信データ・レジスタ (シングル・モード時：UBTXレジスタ, FIFOモード時：送信FIFO) のデータ保持状態を示します。受信エラーの各フラグは受信エラー発生時にセット (1) され、UBSTRレジスタに0を書き込んだときにクリア (0) されます。

(3) UARTB制御レジスタ2 (UBCTL2)

UBCTL2レジスタは、UARTBのボー・レート (シリアル転送スピード) を制御するための分周値を指定するレジスタです。

(4) UARTB FIFO制御レジスタ0 (UBFIC0)

UBFIC0レジスタは、UARTBの動作モードの選択と、FIFOモード時に有効となる送信FIFO/受信FIFOのクリアおよび送信許可割り込み要求信号 (INTUBTIT) / 受信終了割り込み要求信号 (INTUBTIR) の発生タイミング・モードを指定します。

(5) UARTB FIFO制御レジスタ1 (UBFIC1)

UBFIC1レジスタは、FIFOモード時に有効となるレジスタで、ストップ・ビットを受信後、次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) ときに受信FIFO内にデータが格納されている場合、受信タイムアウト割り込み要求信号 (INTUBTITO) を発生させます。

**(6) UARTB FIFO制御レジスタ2 (UBFIC2)**

UBFIC2レジスタは、FIFOモード時に有効となるレジスタで、データの送受信数をトリガとして送信許可割り込み要求信号 (INTUBTIT) / 受信終了割り込み要求信号 (INTUBTIR) を発生させるタイミングを設定します。

**(7) UARTB FIFO状態レジスタ0 (UBFIS0)**

UBFIS0レジスタは、FIFOモード時に有効となるレジスタで、受信FIFOに格納されているデータのバイト数が読み出せます。

**(8) UARTB FIFO状態レジスタ1 (UBFIS1)**

UBFIS1レジスタは、FIFOモード時に有効となるレジスタで、送信FIFOの空きバイト数が読み出せます。

**(9) 受信シフト・レジスタ**

RXDB端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信し、ストップ・ビットを検出すると、受信データを受信データ・レジスタへ転送します。このレジスタは直接操作することはできません。

**(10) UARTB受信データ・レジスタAP (UBRXAP) , UARTB受信データ・レジスタ (UBRX)**

受信データ・レジスタは、受信データを保持するレジスタです。シングル・モード時には8ビット幅×1段のUBRXレジスタを、FIFOモード時には16ビット幅×16段の受信FIFO (UBRXAPレジスタ) を使用します。

受信FIFO (UBRXAPレジスタ) の下位8ビットには受信データを格納し、上位8ビット (ビット8およびビット9) にはそのとき受信したデータのエラー情報を格納します。FIFOモード時に受信エラー (パリティ・エラーまたはフレーミング・エラー) が発生したときには、UBRXAPレジスタを16ビット (ハーフワード) で読み出すことで、エラー対象となるデータを認識できます (エラー情報がUBPEFビット = 1, またはUBFEFビット = 1として付加されます)。UBRXAPレジスタは、下位8ビットを8ビット (バイト) で読み出した場合、上位8ビットは破棄されます。したがって、エラー未発生時には、UBRXレジスタと同様に8ビット (バイト) で読み出すことで、受信データだけを連続して読み出せます。

7ビット長の受信では、LSBファースト受信時、受信データは受信データ・レジスタのビット6-0にLSB (ビット0) から転送され、MSB (ビット7) は必ず0に、MSBファースト受信時、受信データは受信データ・レジスタのビット7-1にMSB (ビット7) から転送され、LSB (ビット0) は必ず0になります。また、オーバラン・エラーが発生した場合には、そのときの受信データは受信データ・レジスタに転送されません。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期して、受信シフト・レジスタから受信データ・レジスタに転送されます。

また、シングル・モード時にはUBRXレジスタへ転送することにより、FIFOモード時には受信FIFOへUBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分を転送することにより、受信終了割り込み要求信号 (INTUBTIR) が発生します。さらに、FIFOモード時にUBFIC1.UBTC4-UBTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) 状態でも受信FIFOにデータが格納されている場合には、受信タイムアウト割り込み要求信号 (INTUBTITO) が発生します。

### (11) 送信シフト・レジスタ

送信シフト・レジスタは、送信データ・レジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

送信データ・レジスタから1バイト分のデータが転送されると、送信シフト・レジスタのデータをTXDB端子から出力します。

このレジスタは直接操作することはできません。

### (12) UARTB送信データ・レジスタ (UBTX)

送信データ・レジスタは、送信データ用バッファです。シングル・モード時には8ビット幅×1段のUBTXレジスタを、FIFOモード時には8ビット幅×16段の送信FIFOを使用します。

7ビット長の送信では、LSBファースト送信時、送信データは送信データ・レジスタのビット6-0のデータをLSB (ビット0) から送信され、MSB (ビット7) は必ず0に、MSBファースト送信時、送信データは送信データ・レジスタのビット7-1のデータをMSB (ビット7) から送信され、LSB (ビット0) は必ず0になります。

シングル・モード時は、送信許可状態 (UBCTL0.UBTXEビット = 1) のときにUBTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UBTXレジスタに送信データの書き込みが可能になる (UBTXレジスタから送信シフト・レジスタに1バイト分のデータが転送される) と送信許可割り込み要求信号 (INTUBTIT) を発生します。

FIFOモード時は、送信FIFOにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと、送信許可 (UBTXEビット = 1) にすることにより、送信動作が開始されます。送信FIFOから送信シフト・レジスタにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のデータが転送される (指定した送信トリガ設定数分が書き込み可能となる) と送信許可割り込み要求信号 (INTUBTIT) を発生します。また、FIFOモード時には、送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった (空になった) 場合には、FIFO送信終了割り込み要求信号 (INTUBTIF) が発生します。

### (13) タイムアウト・カウンタ

受信データ数が、UBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数に達しない場合に、受信FIFOにデータが存在している (残っている) ことを認識するための機能で、FIFOモード時のみ有効となります。

ストップ・ビットを受信後、UBFIC1.UBTC4-UBTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) ときに受信FIFOにデータが格納されている場合には、受信タイムアウト割り込み要求信号 (INTUBTITO) が発生します。

### (14) サンプリング・ブロック

入力クロック (f<sub>xx</sub>) の立ち上がりに同期して、RXDB信号をサンプリングします。サンプリング値が同じ値を2回検出すると、一致検出器の出力が変化し、入力データとしてサンプリングされます。このため、1クロック幅以下のデータは、ノイズとして判断され、内部回路には伝わりません。

## 15.4 制御レジスタ

### (1) UARTB制御レジスタ0 (UBCTL0)

UBCTL0レジスタは、UARTBの転送動作を制御するレジスタです。

8/1ビット単位で、リード/ライト可能です。

リセットにより10Hになります。

**注意1.** UARTBを使用する場合には、必ずUARTB機能に関連する外部端子を兼用機能に設定したあと、UARTB制御レジスタ2 (UBCTL2) の設定を行ってからUBPWRビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。

**2.** UARTB機能に関連する外部端子を兼用機能に設定する場合には、RXDB端子には必ずハイ・レベルを入力してください。ロウ・レベルを入力したときには、UBRXEビットをセット(1)したあと、立ち下がりエッジが入力されたものと判断してしまい、受信を開始することがあります。

**備考** 受信禁止時は、受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理、受信データ・レジスタへの転送処理は行わず、受信データ・レジスタの内容は保持されます。

受信許可状態中は、スタート・ビットの検出に同期して受信シフト動作を開始し、1フレーム分の受信を終了すると受信シフト・レジスタの内容を受信データ・レジスタに転送します。

また、受信データ・レジスタへの転送 (FIFOモード時は受信トリガ数に達する転送) に同期して、受信終了割り込み要求信号 (INTUBTIR) を発生します。

FIFOモード時にUBFIC1.UBTC4-UBTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) ときに、受信FIFOにデータが格納されている場合には、受信タイムアウト割り込み要求信号 (INTUBTITO) が発生します。



リセット時：10H R/W アドレス：FFFFFFA40H

	⑦	⑥	⑤	④	3	2	1	0
UBCTL0	UBPWR	UBTXE	UBRXE	UBDIR	UBPS1	UBPS0	UBCL	UBSL

UBPWR	UARTBへの動作クロックの制御
0	UARTBへのクロック供給を停止
1	UARTBへクロックを供給

・UBPWRビット = 0にすると、UARTBを非同期にリセットします。  
 ・UBPWRビット = 0の場合は、UARTBはリセット状態なので、UARTBを動作させる場合には、まずUBPWRビット = 1にしてください。  
 ・UBPWRビットを1から0にした場合は、UARTBのすべてのレジスタが初期化されます。再度UBPWRビット = 1にした場合には、必ずUARTBのレジスタを再設定してください。  
 ・UBPWRビット = 0にすると、TXDB端子の出力はハイ・レベルになります。

UBTXE	送信動作許可
0	送信動作禁止
1	送信動作許可

・起動時はUBPWRビット = 1にしてから、UBTXEビット = 1としてください。また、逆に停止時はUBTXEビット = 0にしてから、UBPWRビット = 0としてください  
 ・送信ユニットの状態を初期化する場合は、UBTXEビットをクリア (0) して、 $f_{xx}$ の2周期分の時間を経過してから、再びUBTXEビットをセット (1) しなければ、状態の初期化ができない場合があります。

UBRXE	受信動作許可
0	受信動作禁止
1	受信動作許可

・起動時はUBPWRビット = 1にしてから、UBRXEビット = 1としてください。また、逆に停止時はUBRXEビット = 0にしてから、UBPWRビット = 0としてください。  
 ・受信ユニットの状態を初期化する場合は、UBRXEビットをクリア (0) して、 $f_{xx}$ の2周期分の時間を経過してから、再びUBRXEビットをセット (1) しなければ、状態の初期化ができない場合があります。

UBDIR	転送方向モード (MSB/LSB) の指定
0	MSB転送ファースト
1	LSB転送ファースト

・UBDIRビットを書き換えるときは、UBPWRビット、またはUBTXE、UBRXEビットをクリア (0) してから行ってください。

UBPS1	UBPS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・UBPS1, UBPS0ビットを書き換えるときは、UBTXE, UBRXEビットをクリア (0) してから行ってください。

・受信時に「0パリティ」を選択した場合、パリティ判定を行いません。したがって、UBSTR.UBPEビットはセット (1) されないため、エラー割り込みも発生しません。

UBCL	送受信データ1フレームのデータ・キャラクタ長の指定
0	7ビット
1	8ビット

UBCLビットを書き換えるときは、UBTXE, UBRXEビットをクリア (0) してから行ってください。

UBSL	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

・UBSLビットを書き換えるときは、UBTXEビットをクリア (0) してから行ってください。

・受信は常に「ストップ・ビット長 = 1」として動作するため、UBSLビットの設定は受信動作に影響を与えません。

**備考** パリティについての詳細は、15.7.6 **パリティの種類と動作**を参照してください。

(2) UARTB状態レジスタ (UBSTR)

UBSTRレジスタは、UARTBの送信時の転送状態と受信エラー内容を示すレジスタです。

送信時の転送状態を示すステータス・フラグは送信シフト・レジスタおよび送信データ・レジスタ (シングル・モード時:UBTXレジスタ, FIFOモード時:送信FIFO) のデータ保持状態を示します。受信エラーを示すステータス・フラグは、クリア (0) されるまで状態を保持します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** UBCTL0.UBPWR, UBRXEビットを0に設定したとき、またはUBSTRレジスタに0を書き込んだときに、UBSTR.UBOVF, UBPE, UBFE, UBOVEビットはクリア (0) されます。

( 1/2 )

リセット時 : 00H	R/W	アドレス : FFFFFFFA44H						
UBSTR	⑦	6	5	4	3	②	①	①
	UBTSF	0	0	0	UBOVF	UBPE	UBFE	UBOVE

UBTSF	転送状態フラグ
0	<ul style="list-style-type: none"> <li>・シングル・モード時 (UBFIC0.UBMODビット = 0) 送信シフト・レジスタおよびUBTXレジスタに転送すべきデータが存在しない (UBCTL0.UBPWRビット = 0またはUBTXEビット = 0に設定したときもクリア (0) されます)</li> <li>・FIFOモード時 (UBFIC0.UBMODビット = 1) 送信シフト・レジスタおよび送信FIFOに転送すべきデータが存在しない (UBCTL0.UBPWRビット = 0またはUBTXEビット = 0に設定したときもクリア (0) されます)</li> </ul>
1	<ul style="list-style-type: none"> <li>・シングル・モード時 (UBFIC0.UBMODビット = 0) 送信シフト・レジスタまたはUBTXレジスタに転送すべきデータが存在する (送信中)</li> <li>・FIFOモード時 (UBFIC0.UBMODビット = 1) 送信シフト・レジスタおよび送信FIFOに転送すべきデータが存在する (送信中)</li> </ul>

UBTSFビット値は、送信データをUBTXレジスタに書き込んだあと、f<sub>xx</sub>の2周期分の時間が経過してから反映されます。そのため、送信データをUBTXレジスタに書き込んだあとにUBTSFビットを参照する場合には注意してください。

UBOVF	オーバーフロー・フラグ
0	オーバーフロー発生なし
1	オーバーフロー発生 (受信時)

・UBOVFビットはFIFOモード (UBFIC0.UBMODビット = 1) 時のみ有効で、シングル・モード (UBFIC0.UBMODビット = 0) 時は無効です。  
 ・オーバーフローが発生した場合、その受信データは受信FIFOに書き込まれず、データは破棄されます。

UBPE	パリティ・エラー・フラグ
0	パリティ・エラー発生なし
1	パリティ・エラー発生 (受信時)

・UBPEビットはシングル・モード (UBFIC0.UBMODビット = 0) 時のみ有効で、FIFOモード (UBFIC0.UBMODビット = 1) 時は無効です。  
 ・UBPEビットの動作は、UBCTL0.UBPS1, UBPS0ビットの設定値により異なります。

UBFE	フレーミング・エラー・フラグ
0	フレーミング・エラー発生なし
1	フレーミング・エラー発生 (受信時)

・UBFEビットはシングル・モード (UBFIC0.UBMODビット = 0) 時のみ有効で、FIFOモード (UBFIC0.UBMODビット = 1) 時は無効です。  
 ・受信データのストップ・ビットは、ストップ・ビット長に関係なく最初の1ビットだけをチェックします。

UBOVE	オーバラン・エラー・フラグ
0	オーバラン・エラー発生なし
1	オーバラン・エラー発生 (受信時)

・UBOVEビットはシングル・モード (UBFIC0.UBMODビット = 0) 時のみ有効で、FIFOモード (UBFIC0.UBMODビット = 1) 時は無効です。  
 ・オーバラン・エラーが発生した場合、その受信データはUBRXレジスタに書き込まれず、データは破棄されます。

(3) UARTB制御レジスタ2 (UBCTL2)

UBCTL2レジスタは、UARTBのボー・レート（シリアル転送スピード）を制御するための分周値を指定するレジスタです。

16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

**注意** UBBRS15-UBBRS0ビットを書き換える場合は、UBCTL0.UBTXEビット = 0かつUBRXEビット = 0、またはUBPWRビット = 0の状態で行ってください。

リセット時：FFFFH R/W アドレス：FFFFFA42H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBCTL2	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB
	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

**備考** UBBRS15-UBBRS0ビットについては、表15-2 16ビット・カウンタの分周値を参照してください。

表15-2 16ビット・カウンタの分周値

UB BRS 15	UB BRS 14	UB BRS 13	UB BRS 12	UB BRS 11	UB BRS 10	UB BRS 9	UB BRS 8	UB BRS 7	UB BRS 6	UB BRS 5	UB BRS 4	UB BRS 3	UB BRS 2	UB BRS 1	UB BRS 0	k	出力 クロック 選択
0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	4	f <sub>xx</sub> /k
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	4	f <sub>xx</sub> /k
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	5	f <sub>xx</sub> /k
0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	6	f <sub>xx</sub> /k
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	65532	f <sub>xx</sub> /k
1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	65533	f <sub>xx</sub> /k
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	65534	f <sub>xx</sub> /k
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	65535	f <sub>xx</sub> /k

備考1. f<sub>xx</sub> : 周辺クロック

2. k : UBCTL2.UBBRS15-UBBRS0ビットで設定した値 (k = 4, 5, 6, ..., 65535)

3. x : 任意

(4) UARTB送信データ・レジスタ (UBTX)

UBTXレジスタは、送信データを設定するためのレジスタで、シングル・モード (UBFIC0.UBMODビット = 0) 時は8ビット幅×1段のUBTXレジスタ、FIFOモード (UBFIC0.UBMODビット = 1) 時は8ビット幅×16段の送信FIFOとして動作します。

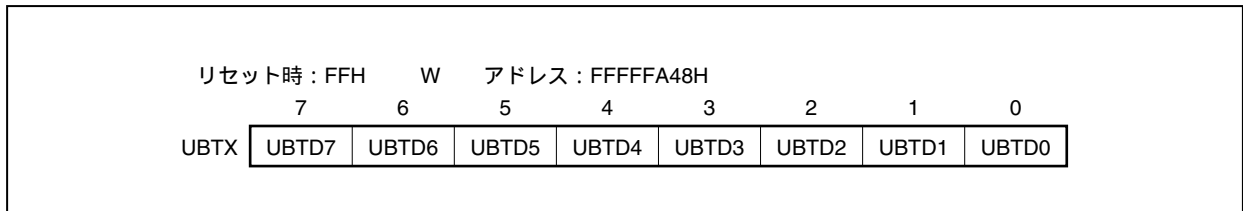
シングル・モード時は、送信許可状態 (UBCTL0.UBTXEビット = 1) のときにUBTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UBTXレジスタにデータの書き込みが可能になる (UBTXレジスタから送信シフト・レジスタに1バイト分のデータが転送される) と送信許可割り込み要求信号 (INTUBTIT) を発生します。

FIFOモード時は、送信FIFOにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと、送信許可 (UBTXEビット = 1) にすることにより、送信動作が開始されます。送信FIFOから送信シフト・レジスタにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のデータが転送される (指定した送信トリガ設定数分が書き込み可能となる) と送信許可割り込み要求信号 (INTUBTIT) を発生します。また、FIFOモード時には、送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった (空になった) 場合には、FIFO送信終了割り込み要求信号 (INTUBTIF) が発生します。

発生するタイミングについては、15.5 **割り込み要求信号**を参照してください。

データ長を7ビットに指定した場合、LSBファースト送信時には、送信データは送信データ・レジスタのビット6-0のデータをLSB (ビット0) から送信されMSB (ビット7) は必ず0に、MSBファースト送信時には、送信データは送信データ・レジスタのビット7-1のデータをMSB (ビット7) から送信されLSB (ビット0) は必ず0になります。

8ビット単位でライトのみ可能です。ライト時には、送信データ・レジスタにデータが書き込まれます。リセットによりFFHになります。



## (5) UARTB受信データ・レジスタAP (UBRXAP) , UARTB受信データ・レジスタ (UBRX)

受信シフト・レジスタで変換したパラレル・データを格納するためのレジスタで、シングル・モード (UBFIC0.UBMODビット = 0) 時は8ビット幅×1段のUBRXレジスタ, FIFOモード (UBFIC0.UBMODビット = 1) 時は16ビット幅×16段の受信FIFO (UBRXAPレジスタ) として動作します。

受信FIFO (UBRXAPレジスタ) の下位8ビットには受信データを格納し、上位8ビット (ビット8およびビット9) にはそのとき受信したデータのエラー情報を格納します。FIFOモード時に受信エラー (パリティ・エラーまたはフレーミング・エラー) が発生したときには、UBRXAPレジスタを16ビット (ハーフワード) で読み出すことで、受信FIFOに格納されているデータのフラグが確認でき (エラー情報がUBPEFビット = 1, またはUBFEFビット = 1として付加されます), エラー対象となるデータを認識できます (UBRXAPレジスタは、下位8ビットを8ビット (バイト) で読み出した場合、上位8ビットは破棄されます。したがって、エラー未発生時にはUBRXレジスタと同様に8ビット (バイト) で読み出すことで、受信データだけを連続して読み出せます)。

受信許可状態のとき (UBCTL0.UBRXEビット = 1), 受信データは1フレーム分のシフト・イン処理終了時に同期して、受信シフト・レジスタから受信データ・レジスタに転送されます。

また、シングル・モード時にはUBRXレジスタへ転送することにより、FIFOモード時には受信FIFOへUBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分を転送することにより、受信終了割り込み要求信号 (INTUBTIR) が発生します。さらに、FIFOモード時にUBFIC1.UBTC4-UBTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) 状態でも受信FIFOにデータが格納されている場合には、受信タイムアウト割り込み要求信号 (INTUBTITO) が発生します。

発生するタイミングについては、15.5 **割り込み要求信号**を参照してください。

データ長を7ビットに指定した場合、LSBファースト受信時には、受信データは受信データ・レジスタのビット6-0にLSB (ビット0) から転送されMSB (ビット7) は必ず0に、MSBファースト受信時には、受信データは受信データ・レジスタのビット7-1にMSB (ビット7) から転送されLSB (ビット0) は必ず0になります。また、オーバラン・エラーが発生した場合には、そのときの受信データは受信データ・レジスタに転送されません。

UBRXAPレジスタは、16ビット単位でリードのみ可能です。ただし、UBRXAPレジスタの下位8ビットに対しては、8ビット単位でリードのみ可能です。

UBRXレジスタは、8ビット単位でリードのみ可能です。

リセット入力以外に、UBCTL0.UBPWRビット = 0によっても、シングル・モード時にはFFH, FIFOモード時には00FFHになります。

- 注意1.** シングル・モード時には8ビット・レジスタとなるため、UBPEFビット, UBFEFビットはリードできません。
- 2.** FIFOモード時で受信エラー未発生 のときには、UBRXAPレジスタの下位8ビットを8ビット (バイト) で読み出すことで、受信データだけを連続して読み出せます。上位8ビットへの8ビット・アクセスは禁止です。アクセスした場合の動作は保証できません。

注意3. シングル・モードを使用したシステムをデバッグするときは次の操作を行わないでください。

- ・UBRXレジスタをリードした直後の命令にブレークをかける。
- ・UBRXレジスタを送信元に設定したDMA転送が終了する前にブレークをかける。
- ・データ受信後にUBRXレジスタをリードしてから、次のデータ受信が終了するまでにブレークをかけ、デバッガのI/Oレジスタ・ウィンドウでUBRXレジスタを確認する。

上記の操作を行った場合、以降の受信でオーバラン・エラーが発生することがあります。

リセット時：00FFH    R    アドレス： FFFFFFFA46H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBRXAP	0	0	0	0	0	0	UB	UB	UB	UB	UB	UB	UB	UB	UB	UB
							PEF	FEF	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0

リセット時：FFH    R    アドレス： FFFFFFFA46H								
	7	6	5	4	3	2	1	0
UBRX	UBRD7	UBRD6	UBRD5	UBRD4	UBRD3	UBRD2	UBRD1	UBRD0

UBPEF	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (受信時)
<ul style="list-style-type: none"> <li>・UBPEFビットはFIFOモード (UBFIC0.UBMODビット = 1) 時のみ有効で、シングル・モード (UBFIC0.UBMODビット = 0) 時は無効です。</li> <li>・UBPEビットの動作は、UBCTL0.UBPS1, UBPS0ビットの設定値により異なります。</li> </ul>	

UBFEF	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 (受信時)
<ul style="list-style-type: none"> <li>・UBFEFビットはFIFOモード (UBFIC0.UBMODビット = 1) 時のみ有効で、シングル・モード (UBFIC0.UBMODビット = 0) 時は無効です。</li> <li>・受信データのストップ・ビットは、ストップ・ビット長に関係なく最初の1ビットだけをチェックします。</li> </ul>	

UBRD7-UBRD0	受信データを格納しています。
-------------	----------------



(6) UARTB FIFO制御レジスタ0 (UBFIC0)

UBFIC0レジスタは、UARTBの動作モードの選択と、FIFOモード (UBMODビット = 1) 時に有効となる機能を設定するレジスタです。FIFOモード時には、送信FIFO/受信FIFOのクリアおよび送信許可割り込み要求信号 (INTUBTIT) / 受信終了割り込み要求信号 (INTUBTIR) の発生タイミング・モードを指定します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

( 1/2 )

リセット時 : 00H R/W アドレス : FFFFFFFA4AH

	7	6	5	4	3	2	1	0
UBFIC0	UBMOD	0	0	0	UBTFC	UBRFC	UBITM	UBIRM

UBMOD	UARTBの動作モードの指定
0	シングル・モード
1	FIFOモード

UBTFC	送信FIFOクリア・トリガ・ビット
0	通常状態
1	クリア (クリア実行終了後、自動的に0へ戻る)

- ・UBTFCビットはFIFOモード (UBMODビット = 1) 時のみ有効で、シングル・モード (UBMODビット = 0) 時は無効です。
- ・UBTFCビットに1をライトしたときには、送信FIFOのポインタをクリア (0) します。また、保留モード (UBITMビット = 0) 時には、保留されている割り込み要求信号 (INTUBTIT) をクリアします<sup>※</sup>。ただし、割り込み制御レジスタ (UTIC) のビット7 (UTIF) はクリア (0) されません。必要に応じてクリア (0) してください。  
UBTFCビットに0をライトしたときには、状態保持となります。クリア・セットなどの動作は実行しません。
- ・UBTFCビットに1をライトするときには、必ずUBCTL0.UBTXEビットをクリア (0) して (送信動作禁止) から行ってください。UBTXEビットがセット (1) の状態 (送信動作許可) でUBTFCビットに1をライトする場合の動作は保証できません。

**注** 送信FIFOクリアを実行した (UBTFCビット = 1) あと、f<sub>xx</sub>の4周期期間、またはUBFIC0レジスタのリードにより、UBTFCビットのクリア (自動復帰) が確認できるまでの期間は、UARTB関連レジスタへのアクセスは禁止です。アクセスした場合の動作は保証できません。

**備考** f<sub>xx</sub> : 周辺クロック

UBRFC	受信FIFO (UBRXAP) クリア・トリガ・ビット
0	通常状態
1	クリア (クリア実行終了後, 自動的に0に戻る)

・UBRFCビットはFIFOモード (UBMODビット = 1) 時のみ有効で, シングル・モード時 (UBMODビット = 0) 時は無効です。

・UBRFCビットに1をライトしたときには, 受信FIFOのポインタをクリア (0) します。また, 保留モード (UBIRMビット = 0) 時には, 保留されている割り込み要求信号 (INTUBTIR) をクリアします<sup>注</sup>。ただし, 割り込み制御レジスタ (URIC) のビット7 (URIF) はクリア (0) されません。必要に応じてクリア (0) してください。

UBRFCビットに0をライトしたときには, 状態保持となります。クリア・セットなどの動作は実行しません。

・UBRFCビットに1をライトするときには, 必ずUBCTL0.UBRXEビットをクリア (0) して (受信動作禁止) から行ってください。UBRXEビットがセット (1) の状態 (受信動作許可) でUBRFCビットに1をライトする場合の動作は保証できません。

UBITM	FIFOモード時のINTUBTIT割り込み発生タイミングの指定
0	保留モード
1	ポインタ・モード

FIFOモード時のINTUBTIT信号は, 送信FIFOから送信シフト・レジスタにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のデータが転送された時点で発生します。INTUBTIT信号が発生してから, 実際にINTUBTIT信号を発生させるタイミングを保留モード, ポインタ・モードとして指定します。詳細は, 15.6 (2) **保留モード/ポインタ・モード**を参照してください。

UBIRM	FIFOモード時のINTUBTIR割り込み発生タイミングの指定
0	保留モード
1	ポインタ・モード

FIFOモード時のINTUBTIR信号は, 受信シフト・レジスタから受信FIFOにUBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分のデータが転送された時点で発生します。INTUBTIR信号が発生してから, 実際にINTUBTIR信号を発生させるタイミングを保留モード, ポインタ・モードとして指定します。詳細は, 15.6 (2) **保留モード/ポインタ・モード**を参照してください。

**注** 受信FIFO (UBRXAP) クリアを実行した (UBRFCビット = 1) あと,  $f_{xx}$  の4周期期間, またはUBFIC0レジスタのリードにより, UBRFCビットのクリア (自動復帰) が確認できるまでの期間は, UARTB関連レジスタへのアクセスは禁止です。アクセスした場合の動作は保証できません。

**備考**  $f_{xx}$ : 周辺クロック

(7) UARTB FIFO制御レジスタ1 (UBFIC1)

UBFIC1レジスタは、FIFOモード (UBFIC0.UBMODビット = 1) 時に有効となるレジスタです。ストップ・ビットを受信後、UBTC4-UBTC0ビットで設定した時間 (次データ受信待ち時間) を経過しても次のデータが来ない (スタート・ビットが検出されない) ときに受信FIFO内にデータが格納されていた場合、受信タイムアウト割り込み要求信号 (INTUBTITO) を発生させます。

8/1ビット単位で、リード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : FFFFFFFA4BH								
	7	6	5	4	3	2	1	0
UBFIC1	UBTCE	0	0	UBTC4	UBTC3	UBTC2	UBTC1	UBTC0

UBTCE	タイムアウト・カウンタ機能の禁止 / 許可の指定
0	タイムアウト・カウンタ機能の使用禁止
1	タイムアウト・カウンタ機能の使用許可

UBTC4	UBTC3	UBTC2	UBTC1	UBTC0	次データ受信待ち時間
0	0	0	0	0	32バイト分 (32×8/ボー・レート)
0	0	0	0	1	31バイト分 (31×8/ボー・レート)
0	0	0	1	0	30バイト分 (30×8/ボー・レート)
0	0	0	1	1	29バイト分 (29×8/ボー・レート)
.	.	.	.	.	.
.	.	.	.	.	.
.	.	.	.	.	.
1	1	1	0	0	4バイト分 (4×8/ボー・レート)
1	1	1	0	1	3バイト分 (3×8/ボー・レート)
1	1	1	1	0	2バイト分 (2×8/ボー・レート)
1	1	1	1	1	1バイト分 (1×8/ボー・レート)

UBTC4-UBTC0ビット設定分のカウント・アップ終了後、受信FIFO内のデータ格納状態にかかわらず、タイムアウト・カウンタのカウントはクリア (0) されます。その後、次のスタート・ビットを検出すると、そのデータのストップ・ビットから再度カウントを開始します。

(8) UARTB FIFO制御レジスタ2 (UBFIC2)

UBFIC2レジスタは、FIFOモード (UBFIC0.UBMODビット = 1) 時に有効となるレジスタです。データの送受信数をトリガとして割り込みを発生させるタイミングを設定します。送信時は、送信FIFOから転送されたデータ数を、受信時は受信FIFOに格納されたデータ数を割り込みの発生条件として指定します。

UBFIC2レジスタは、16ビット単位でリード/ライト可能です。

UBFIC2レジスタの上位8ビットをUBFIC2Hレジスタ、下位8ビットをUBFIC2Lレジスタとして使用した場合は、8ビット単位でリード/ライト可能です。

リセットによりUBFIC2レジスタは0000H、UBFIC2H、UBFIC2Lレジスタは00Hになります。

**注意** UBFIC2レジスタへのライトは、必ずUBCTL0.UBTXEビット = 0 (送信禁止状態) およびUBRXEビット = 0 (受信禁止状態) に設定してから行ってください。UBTXEビット、またはUBRXEビットのいずれかを1に設定したままUBFIC2レジスタをライトした場合の動作は保証できません。

(1/2)

リセット時 : 0000H    R/W    アドレス : FFFFFFFA4CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBFIC2	0	0	0	0	UB TT3	UB TT2	UB TT1	UB TT0	0	0	0	0	UB RT3	UB RT2	UB RT1	UB RT0

UBTT3	UBTT2	UBTT1	UBTT0	送信FIFO トリガ数設定	ポインタ・ モード	保留モード
0	0	0	0	1バイト	設定可能 設定禁止	設定可能
0	0	0	1	2バイト		
0	0	1	0	3バイト		
0	0	1	1	4バイト		
0	1	0	0	5バイト		
0	1	0	1	6バイト		
0	1	1	0	7バイト		
0	1	1	1	8バイト		
1	0	0	0	9バイト		
1	0	0	1	10バイト		
1	0	1	0	11バイト		
1	0	1	1	12バイト		
1	1	0	0	13バイト		
1	1	0	1	14バイト		
1	1	1	0	15バイト		
1	1	1	1	16バイト		

- ・送信FIFOの送信トリガ数を設定します。
- ・指定した送信トリガ設定数のデータを送信FIFOから送信シフト・レジスタにシフト・アウトするごとにINTUBTIT信号を発生させます。
- 保留モード (UBFIC0.UBITMビット = 0) 時は、保留モードの条件によりINTUBTIT信号を発生させます
- ・ポインタ・モード (UBFIC0.UBITMビット = 1) 時は、送信トリガ設定数を1バイトに設定 (UBTT3-UBTT0ビット = 0000) したときのみ可能で、それ以外の設定は禁止です。1バイト以外の設定をした場合の動作は保障できません。

UBRT3	UBRT2	UBRT1	UBRT0	受信FIFO トリガ数設定	ポインタ・ モード	保留モード
0	0	0	0	1バイト	設定可能	設定可能
0	0	0	1	2バイト	設定禁止	
0	0	1	0	3バイト		
0	0	1	1	4バイト		
0	1	0	0	5バイト		
0	1	0	1	6バイト		
0	1	1	0	7バイト		
0	1	1	1	8バイト		
1	0	0	0	9バイト		
1	0	0	1	10バイト		
1	0	1	0	11バイト		
1	0	1	1	12バイト		
1	1	0	0	13バイト		
1	1	0	1	14バイト		
1	1	1	0	15バイト		
1	1	1	1	16バイト		

- ・受信FIFOの受信トリガ数を設定します。
- ・指定した受信トリガ設定数のデータを受信シフト・レジスタから受信FIFOに格納するごとにINTUBTIR信号を発生させます。  
保留モード (UBFIC0.UBIRMビット = 0) の時は、保留モードの条件によりINTUBTIR信号を発生させます
- ・ポインタ・モード (UBFIC0.UBIRMビット = 1) の時は、受信トリガ設定数を1バイトに設定 (UBRT3-UBRT0ビット = 0000) したときのみ可能で、それ以外の設定は禁止です。1バイト以外の設定をした場合の動作は保障できません。

(9) UARTB FIFO状態レジスタ0 (UBFIS0)

UBFIS0レジスタは、FIFOモード(UBFIC0.UBMODビット = 1)時に有効となるレジスタです。受信FIFOに格納されているデータのバイト数が読み出せます。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H    R    アドレス： FFFFFFFA4EH

	7	6	5	4	3	2	1	0
UBFIS0	0	0	0	UBRB4	UBRB3	UBRB2	UBRB1	UBRB0

UBRB4	UBRB3	UBRB2	UBRB1	UBRB0	受信FIFOポインタ
0	0	0	0	0	0バイト
0	0	0	0	1	1バイト
0	0	0	1	0	2バイト
0	0	0	1	1	3バイト
0	0	1	0	0	4バイト
0	0	1	0	1	5バイト
0	0	1	1	0	6バイト
0	0	1	1	1	7バイト
0	1	0	0	0	8バイト
0	1	0	0	1	9バイト
0	1	0	1	0	10バイト
0	1	0	1	1	11バイト
0	1	1	0	0	12バイト
0	1	1	0	1	13バイト
0	1	1	1	0	14バイト
0	1	1	1	1	15バイト
1	0	0	0	0	16バイト
その他					無効
受信FIFOポインタとして受信FIFOに格納されているデータのバイト数(読み出し可能なバイト数)を示します。					

(10) UARTB FIFO状態レジスタ1 (UBFIS1)

UBFIS1レジスタは、FIFOモード(UBFIC0.UBMODビット = 1)時に有効となるレジスタです。送信FIFOの空きバイト数が読み出せます。

8ビット単位でリードのみ可能です。

リセットにより10Hになります。

**注意** UBTB4-UBTB0ビット値は、送信データをUBTXレジスタに書き込んだあと、 $f_{xx}$ の2周期分の時間が経過してから反映されます。そのため、送信データをUBTXレジスタに書き込んだあとに、UBFIS1レジスタを参照する場合には注意してください。

リセット時：10H R アドレス： FFFFFFFA4FH

	7	6	5	4	3	2	1	0
UBFIS1	0	0	0	UBTB4	UBTB3	UBTB2	UBTB1	UBTB0

UBTB4	UBTB3	UBTB2	UBTB1	UBTB0	送信FIFOポインタ
0	0	0	0	0	0バイト
0	0	0	0	1	1バイト
0	0	0	1	0	2バイト
0	0	0	1	1	3バイト
0	0	1	0	0	4バイト
0	0	1	0	1	5バイト
0	0	1	1	0	6バイト
0	0	1	1	1	7バイト
0	1	0	0	0	8バイト
0	1	0	0	1	9バイト
0	1	0	1	0	10バイト
0	1	0	1	1	11バイト
0	1	1	0	0	12バイト
0	1	1	0	1	13バイト
0	1	1	1	0	14バイト
0	1	1	1	1	15バイト
1	0	0	0	0	16バイト
その他					無効
送信FIFOポインタとして送信FIFOの空きバイト数(書き込み可能なバイト数)を示します。					

## 15.5 割り込み要求信号

UARTBからは次の5種類の割り込み要求信号を発生します。

- ・受信エラー割り込み要求信号 (INTUBTIRE)
- ・受信終了割り込み要求信号 (INTUBTIR)
- ・送信許可割り込み要求信号 (INTUBTIT)
- ・FIFO送信終了割り込み要求信号 (INTUBTIF)
- ・受信タイムアウト割り込み要求信号 (INTUBTITO)

これら5種類の割り込み要求信号のデフォルト優先順位は受信エラー割り込み要求信号が最も高く、受信終了割り込み要求信号、送信許可割り込み要求信号、FIFO送信終了割り込み要求信号、受信タイムアウト割り込み要求信号の順に低くなります。

表15-3 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	1
受信終了	2
送信許可	3
FIFO送信終了	4
受信タイムアウト	5

### (1) 受信エラー割り込み要求信号 (INTUBTIRE)

#### (a) シングル・モード時

受信許可状態で、UBSTRレジスタで説明した3種類の受信エラー（パリティ・エラー、フレーミング・エラー、オーバラン・エラー）の論理和（OR）で受信エラー割り込み要求信号を発生します。  
受信禁止状態中は、受信エラー割り込み要求信号は発生しません。

#### (b) FIFOモード時

受信許可状態で、UBSTRレジスタで説明した3種類の受信エラー（パリティ・エラー、フレーミング・エラー、オーバフロー・エラー）の論理和（OR）で受信エラー割り込み要求信号を発生します。  
受信禁止状態中は、受信エラー割り込み要求信号は発生しません。

### (2) 受信終了割り込み要求信号 (INTUBTIR)

#### (a) シングル・モード時

受信許可状態中に、受信シフト・レジスタにデータがシフト・インされ、UBRXレジスタに格納される（受信データが読み出し可能となる）と受信終了割り込み要求信号が発生します。  
受信禁止状態中は、受信終了割り込み要求信号は発生しません。



**(b) FIFOモード時**

受信許可状態中に、受信シフト・レジスタにデータがシフト・インされ、受信FIFOにUBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分のデータが転送される(指定した受信トリガ設定数分が読み出し可能となる)と受信終了割り込み要求信号が発生します。

受信禁止状態中は、受信終了割り込み要求信号は発生しません。

**(3) 送信許可割り込み要求信号 (INTUBTIT)****(a) シングル・モード時**

送信シフト・レジスタから7ビット/8ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされ、UBTXレジスタが空となる(送信データが書き込み可能となる)と送信許可割り込み要求信号が発生します。

**(b) FIFOモード時**

送信FIFOから送信シフト・レジスタにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のデータが転送される(指定した送信トリガ設定数分が書き込み可能となる)と送信許可割り込み要求信号が発生します。

**(4) FIFO送信終了割り込み要求信号 (INTUBTIF)****(a) シングル・モード時**

使用できません。

**(b) FIFOモード時**

送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった(空になった)ときにFIFO送信終了割り込み要求信号が発生します。FIFO送信終了割り込み要求信号発生後、FIFOクリア(UBFIC0.UBTFCビット = 1)により、保留モード(UBFIC0.UBITMビット = 0)時の保留されている割り込み要求信号(INTUBTIT)をクリアしてください。

**注意** 送信FIFOに対する次の送信データの書き込み実行が遅れたためにFIFO送信終了割り込み要求信号が発生した(送信データをすべて送信していない)場合は、FIFOクリアを実行しないでください。

**(5) 受信タイムアウト割り込み要求信号 (INTUBTITO)****(a) シングル・モード時**

使用できません。

**(b) FIFOモード時**

受信時にタイムアウト・カウンタ機能 (UBFIC1.UBTCEビット = 1) を使用する場合、UBFIC1.UBTC4-UBTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない(スタート・ビットが検出されない)ときに、受信FIFOにデータが格納されている場合は受信タイムアウト割り込み要求信号を発生します。

受信禁止状態中は、受信タイムアウト割り込み要求信号は発生しません。

UBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分までデータが受信されない場合、受信タイムアウト割り込み要求信号により、指定した受信トリガ設定数未満の受信データ数を読み出すタイミングが設定できます。

また、タイムアウト・カウンタは、スタート・ビットの検出により、カウントを開始するため、1キヤラクタも受信していない場合、受信タイムアウト割り込み要求信号は発生しません。

## 15.6 制御方法

### (1) シングル・モード/FIFOモード

UBFIC0.UBMODビットにより、シングル・モードとFIFOモードの選択ができます。

#### (a) シングル・モード

- ・UBRXレジスタ,UBTXレジスタが各8ビット幅×1段のみの構成となります。
- ・受信時,1バイト受信でINTUBTIR信号を発生します。
- ・INTUBTIR信号発生後,UBRXレジスタの受信データを読み出す前にさらに次のUARTBの受信動作を終了したとき,INTUBTIRE信号が発生し,オーバーラン・エラーとなります。

#### (b) FIFOモード

- ・受信FIFO(UBRXAPレジスタ)が16ビット幅×16段,送信FIFOが8ビット幅×16段のFIFO構成となります。
- ・受信FIFOは,受信エラー(パリティ・エラーまたはフレーミング・エラー)が発生したときのみ,16ビットのUBRXAPレジスタとして読み出すことで,エラー対象となるデータを認識できます。
- ・送信時は,送信FIFOにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと,送信許可(UBCTL0.UBTXEビット=1)にすることにより,送信動作が開始されます。
- ・INTUBTIT信号,INTUBTIR信号の発生タイミングを保留モード,ポインタ・モードから選択できます。

**(2) 保留モード/ポインタ・モード**

FIFOモード (UBFIC0.UBMODビット = 1) 時に、UBFIC0.UBITMおよびUBIRMビットにより、保留モードとポインタ・モードの選択ができます。

また、送信時、送信FIFOにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数の倍以上のデータを書き込んで送信を起動した場合に複数回の送信許可割り込み要求信号 (INTUBTIT) が発生したり、受信時、受信FIFOにUBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数が8バイト以下の場合に複数回の受信終了割り込み要求信号 (INTUBTIR) が発生することがあります。そのため、保留モード/ポインタ・モードは、割り込み処理が保留された場合に、そのあと割り込みをどのようにするかを指定することができます。

**(a) 保留モード****(i) 送信時 (送信FIFOへの書き込み)**

- ・1回目の送信許可割り込み要求信号 (INTUBTIT) 発生後、その割り込みに対する送信FIFOへの書き込みが実行されていない場合、2回目のINTUBTIT信号の発生条件 (UBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分、送信FIFOから送信シフト・レジスタにデータが転送された) が発生しても、INTUBTIT信号は発生しません (保留されます)。その後、1回目のINTUBTIT信号に対する送信FIFOへの書き込みが実行されると、この保留されたINTUBTIT信号を発生させます<sup>※</sup>。

**注** 保留数は次のようになります。

1バイト・トリガ設定時 (UBFIC2.UBTT3-UBTT0ビット = 0000) : 最大15回分

2バイト・トリガ設定時 (UBFIC2.UBTT3-UBTT0ビット = 0001) : 最大7回分

:

6バイト・トリガ設定時 (UBFIC2.UBTT3-UBTT0ビット = 0101) : 最大1回分

7バイト・トリガ設定時 (UBFIC2.UBTT3-UBTT0ビット = 0110) : 最大1回分

8バイト・トリガ設定時 (UBFIC2.UBTT3-UBTT0ビット = 0111) : 最大1回分

- ・保留モード時、送信許可割り込み要求信号 (INTUBTIT) に対する送信FIFOへの書き込み数は、必ずUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のみとなります。指定した送信トリガ設定数より多い場合および少ない場合の書き込みは禁止です。指定した送信トリガ設定数以外の書き込みをした場合の動作は保証できません。
- ・DMA制御を使用して、送信FIFOへ送信データの書き込みを実行する場合は、UBFIC2.UBTT3-UBTT0ビット = 0000 (送信トリガ設定数: 1バイト) 固定としてください。それ以外の設定をした場合の動作は保証できません。

## (ii) 受信時 (受信FIFOからの読み出し)

- ・1回目の受信終了割り込み要求信号 (INTUBTIR) 発生後, その割り込みに対する受信FIFOからの読み出しが実行されていない場合, 2回目のINTUBTIR信号の発生条件 (UBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分, 受信FIFOから読み出し可能)が発生しても, INTUBTIR信号は発生しません(保留されます)。その後, 1回目のINTUBTIR信号に対する受信FIFOからの読み出しが実行されると, この保留されたINTUBTIR信号を発生させます<sup>注</sup>。

注 保留数は次のようになります。

1バイト・トリガ設定時 (UBFIC2.UBRT3-UBRT0ビット = 0000) : 最大15回分

2バイト・トリガ設定時 (UBFIC2.UBRT3-UBRT0ビット = 0001) : 最大7回分

:

6バイト・トリガ設定時 (UBFIC2.UBRT3-UBRT0ビット = 0101) : 最大1回分

7バイト・トリガ設定時 (UBFIC2.UBRT3-UBRT0ビット = 0110) : 最大1回分

8バイト・トリガ設定時 (UBFIC2.UBRT3-UBRT0ビット = 0111) : 最大1回分

- ・保留モード時, 受信終了割り込み要求信号 (INTUBTIR) に対する受信FIFOからの読み出し数は, 必ずUBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分のみとなります。指定した受信トリガ設定数より多い場合および少ない場合の読み出しは禁止です。指定した受信トリガ設定数以外の読み出しをした場合の動作は保証できません。
- ・DMA制御を使用して, 受信FIFOから受信データの読み出しを実行する場合は, UBFIC2.UBRT3-UBRT0ビット = 0000 (受信トリガ設定数: 1バイト) 固定としてください。それ以外の設定をした場合の動作は保証できません。

## (b) ポインタ・モード

## (i) 送信時 (送信FIFOへの書き込み)

- ・送信FIFOから送信シフト・レジスタに1バイトのデータが転送されるごとに, 送信許可割り込み要求信号 (INTUBTIT) が発生します。
- ・ポインタ・モード時, 送信許可割り込み要求信号 (INTUBTIT) に対する送信FIFOへの書き込み送信トリガ設定数は, 必ずUBFIC2.UBTT3-UBTT0ビット = 0000 (送信トリガ設定数: 1バイト) 固定としてください。それ以外の設定をした場合の動作は保証できません。
- ・DMA制御を使用して, 送信FIFOへ送信データの書き込みを実行することは禁止です。DMA制御を使用した場合の動作は保証できません。
- ・送信許可割り込み要求信号 (INTUBTIT) 受け付け後, 送信FIFOへの書き込み時に, UBFIS1レジスタを参照して, 送信FIFOの空きバイト数分, 送信FIFOに書き込みできます。

(ii) 受信時 (受信FIFOからの読み出し)

- ・受信シフト・レジスタから受信FIFOに1バイトのデータが転送されるごとに、受信終了割り込み要求信号 (INTUBTIR) が発生します。
- ・ポインタ・モード時、受信終了割り込み要求信号 (INTUBTIR) に対する受信FIFOからの読み出し受信トリガ設定数は、必ずUBFIC2.UBRT3-UBRT0ビット = 0000 (受信トリガ設定数: 1バイト) 固定としてください。それ以外の設定をした場合の動作は保証できません。
- ・DMA制御を使用して、受信FIFOから受信データの読み出しを実行することは禁止です。DMA制御を使用した場合の動作は保証できません。
- ・受信終了割り込み要求信号 (INTUBTIR) 受け付け後、受信FIFOからの読み出し時に、UBFIS0レジスタを参照して、受信FIFOの格納バイト数分、受信FIFOから読み出すことができます。ただし、INTUBTIR信号が発生したのにもかかわらず、受信FIFOにデータが格納されていない (UBFIS0.UBRB4-UBRB0ビット = 00000) 場合があります。その場合は、受信FIFOからはデータの読み出しをしないでください。受信FIFOからのデータの読み出しは、必ず受信FIFOの格納バイト数 = 1バイト以上 (UBRB4-UBRB0ビット = 00000以外) を確認してから行ってください。

## 15.7 動作

### 15.7.1 データ・フォーマット

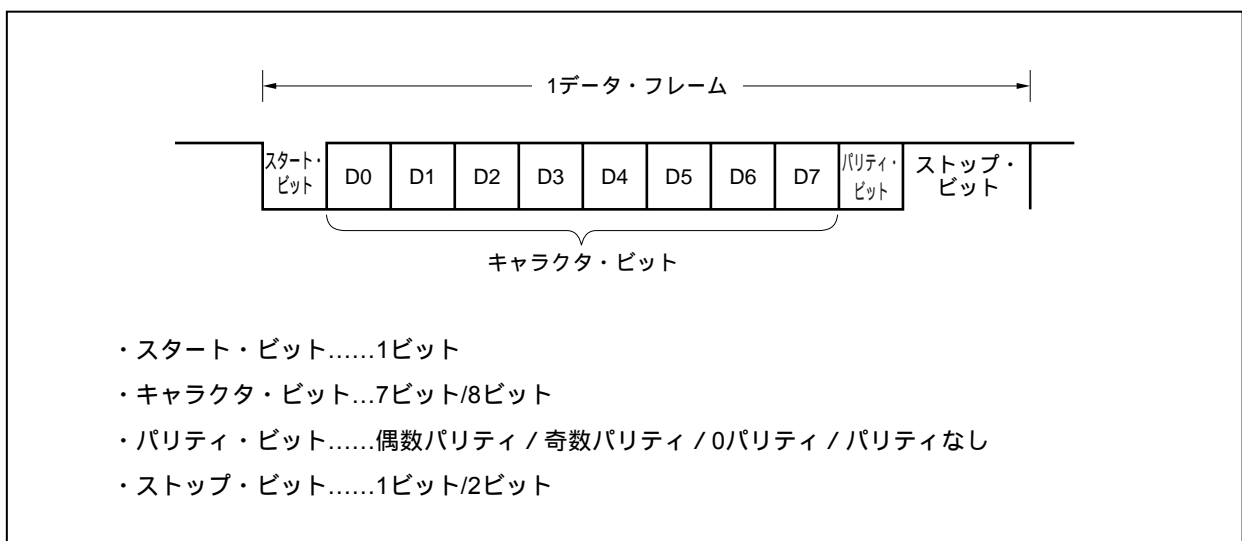
全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図15-3に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、UARTB制御レジスタ0 (UBCTL0) によって行います。

また、データはLSBファースト転送/MSBファースト転送を選択できます。

図15-3 アシクロナス・シリアル・インタフェースの送受信データのフォーマット  
(LSBファースト転送の場合)



## 15.7.2 送信動作

シングル・モード (UBFIC0.UBMODビット = 0) 時は、UBCTL0.UBTXEビット = 1にすると送信許可状態になり、UBTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。

FIFOモード (UBFIC0.UBMODビット = 1) 時は、送信FIFOにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと、UBTXEビット = 1にすると送信動作が開始されます。

**注意** FIFOモード時に、送信FIFOへ送信データを書き込む前にUBCTL0.UBTXEビット = 1に設定することは禁止です。この設定をした場合の動作は保証できません。

### (1) 送信許可状態

UBCTL0.UBTXEビットで設定します。

- ・ UBTXE = 1 : 送信許可状態
- ・ UBTXE = 0 : 送信禁止状態

ただし、CSIB2と兼用となっているため、CB2CTL0.CB2PWRビットを0に設定したあと、送信許可状態にしてください。

なお、UARTBにはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

### (2) 送信動作の起動

#### ・ シングル・モード (UBFIC0.UBMODビット = 0) 時

シングル・モード時は、送信許可状態のときにUBTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。

#### ・ FIFOモード (UBFIC0.UBMODビット = 1) 時

FIFOモード時は、送信FIFOにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと、送信許可 (UBTXEビット = 1) にすることにより、送信動作が開始されます。

送信動作の開始により、送信データ・レジスタ (シングル・モード時 : UBTXレジスタ, FIFOモード時 : 送信FIFO) 内のデータが送信シフト・レジスタに転送されます。そのあと、送信シフト・レジスタはTXDB端子にデータを出力します (スタート・ビットから順に送信されます)。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

### (3) 送信割り込み要求信号

#### (a) 送信許可割り込み要求信号 (INTUBTIT)

- ・ **シングル・モード (UBFIC0.UBMODビット = 0) 時**

シングル・モード時は、UBTXレジスタに送信データの書き込みが可能になる (UBTXレジスタから送信シフト・レジスタに1バイト分のデータが転送される) と送信許可割り込み要求信号 (INTUBTIT) を発生します。

- ・ **FIFOモード (UBFIC0.UBMODビット = 1) 時**

FIFOモード時は、送信FIFOから送信シフト・レジスタにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のデータが転送される (指定した送信トリガ設定数分が書き込み可能となる) とINTUBTIT信号を発生します。

- ・ **FIFOモード時に保留モード (UBFIC0.UBITMビット = 0) を指定した場合**

FIFOモード時に保留モードを指定した場合には、1回目のINTUBTIT信号発生後、その割り込みに対する送信FIFOへのUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のデータ書き込みが実行されるまで2回目のINTUBTIT信号の発生条件が発生しても、INTUBTIT信号は保留されます。その後、1回目のINTUBTIT信号に対する送信FIFOへの指定送信トリガ設定数分のデータ書き込みが実行されると、保留されていたINTUBTIT信号を発生させます。

- ・ **FIFOモード時にポインタ・モード (UBFIC0.UBITMビット = 1) を指定した場合**

FIFOモード時にポインタ・モードを指定した場合には、1回目のINTUBTIT信号に対する送信FIFOへのUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のデータ書き込みが実行されなくても、2回目のINTUBTIT信号の発生条件が発生すると、INTUBTIT信号を発生させます。

#### (b) FIFO送信終了割り込み要求信号 (INTUBTIF)

FIFOモード (UBFIC0.UBMODビット = 1) 時に送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった (空になった) 場合には、FIFO送信終了割り込み要求信号 (INTUBTIF) が発生します。INTUBTIF信号発生後、FIFOクリア (UBFIC0.UBTFCビット = 1) により、保留モード (UBFIC0.UBITMビット = 0) 時の保留されているINTUBTIT信号をクリアしてください。ただし、送信FIFOに対する次の送信データの書き込み実行が遅れたためにINTUBTIF信号が発生した (送信データをすべて送信していない) 場合は、FIFOクリアを実行しないでください。



なお、次に送信するデータを送信データ・レジスタに書き込まなければ、送信動作は中断されます。

**注意** シングル・モードでは、UBTXレジスタが空になった（UBTXレジスタから送信シフト・レジスタに1バイト分のデータが転送される）場合に、送信許可割り込み要求信号（INTUBTIT）が発生します。また、FIFOモードでは、送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった（空になった）場合に、FIFO送信終了割り込み要求信号（INTUBTIF）が発生します。ただし、RESET入力により、送信データ・レジスタが空になった場合には、INTUBTIT信号、またはINTUBTIF信号は発生しません。

図15 - 4 アシクロナス・シリアル・インタフェース送信許可割り込み要求信号（INTUBTIT）タイミング

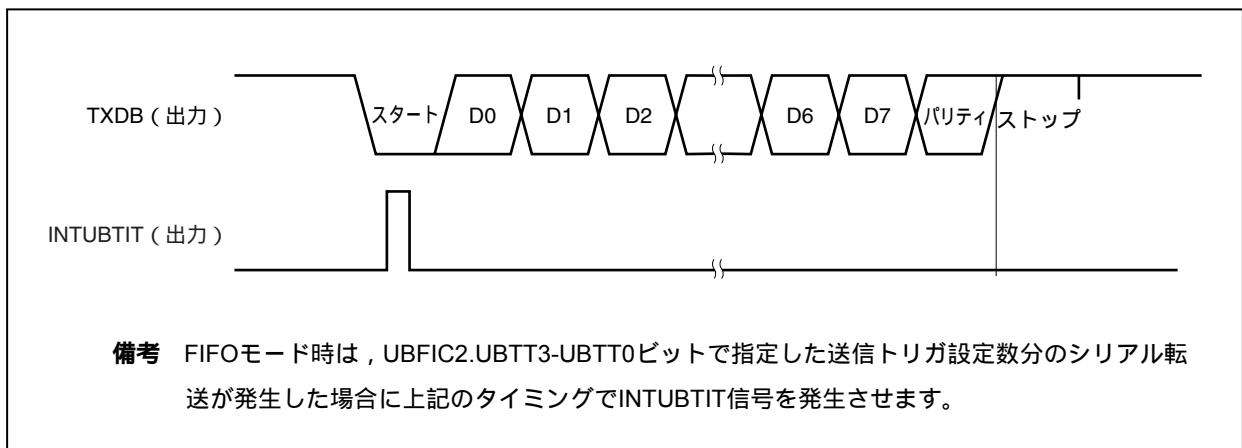
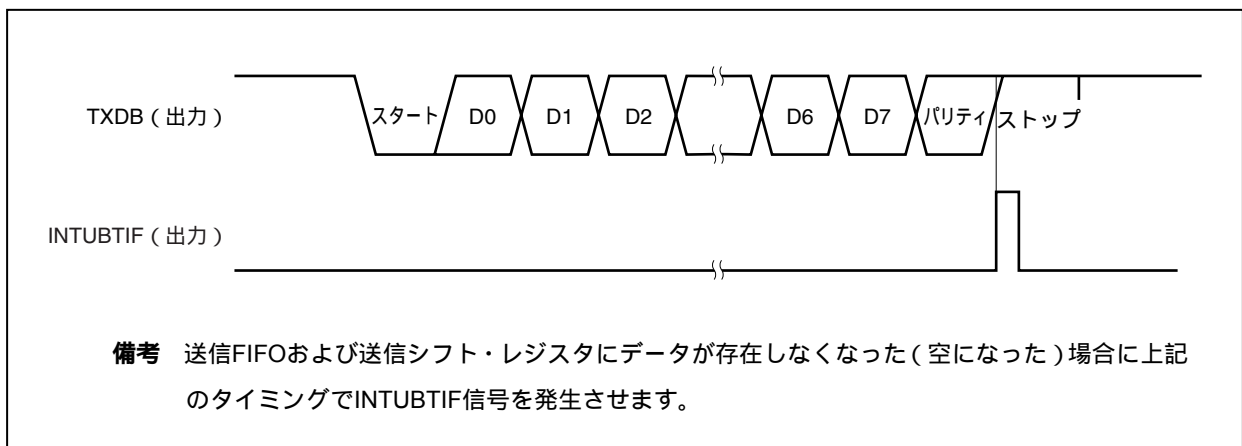


図15 - 5 アシクロナス・シリアル・インタフェースFIFO送信終了割り込み要求信号（INTUBTIF）タイミング



### 15.7.3 連続送信動作

#### ・シングル・モード (UBFIC0.UBMODビット = 0) 時

シングル・モード時、送信シフト・レジスタがシフト動作を開始した時点で、次のデータをUBTXレジスタへ書き込むことができます。転送タイミングは、送信許可割り込み要求信号 (INTUBTIT) で判断できます。INTUBTIT信号により、1データ・フレーム送信期間内に次の送信データをUBTXレジスタに書き込むことで、間隔を空けずに送信することが可能となり、効率的な通信レートを実現できます。

**注意** 送信処理中に初期化を実施する場合は、UBSTR.UBTSFビットが0であることを確認してください。UBTSFビットが1のときに初期化を実行した場合は、送信データの保証はできません。

#### ・FIFOモード時に保留モード (UBFIC0.UBITMビット = 0) を指定した場合

送信FIFOにUBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込むと、送信動作が開始されます。

FIFOモード時に保留モードを指定した場合、UBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数の最後のデータを送信シフト・レジスタがシフト動作を開始した時点で、次のデータを送信FIFOへ指定した送信トリガ設定数のデータを書き込むことができます。転送タイミングは、INTUBTIT信号で判断できます。INTUBTIT信号により、指定した送信トリガ設定数または送信FIFO内のデータの送信期間内に次の送信データを送信FIFOに書き込むことで、間隔を空けずに送信することが可能となり、効率的な通信レートを実現できます。

**注意** 送信処理中に初期化を実施する場合は、UBSTR.UBTSFビットが0であることを確認してください (FIFO送信終了割り込み要求信号 (INTUBTIF) での判断でも可能です)。

UBTSFビットが1のときに初期化を実行した場合は送信データの保証はできません。

DMA制御を使用して、送信FIFOへ送信データの書き込みを実行する場合は、UBFIC2.UBTT3-UBTT0ビットで指定する送信トリガ設定数 = 1バイトとしてください。1バイト以外を指定した場合の動作は保証できません。

#### ・FIFOモード時にポインタ・モード (UBFIC0.UBITMビット = 1) を指定した場合

FIFOモード時にポインタ・モードを指定した場合、データを送信シフト・レジスタがシフト動作を開始した時点で、INTUBTIT信号が発生し、次のデータを書き込むことができます。このとき、UBFIS1レジスタを参照して、送信FIFOの空きバイト数分、書き込むこともできます。転送タイミングは、INTUBTIT信号で判断できます。INTUBTIT信号により、指定した送信トリガ設定数 = 1バイトまたは送信FIFO内のデータの送信期間内に次の送信データを送信FIFOに書き込むことで、間隔を空けずに送信することが可能となり、効率的な通信レートを実現できます。

**注意** 送信処理中に初期化を実施する場合は、UBSTR.UBTSFビットが0であることを確認してください (FIFO送信終了割り込み要求信号 (INTUBTIF) での認識も可能です)。

UBTSFビットが1のときに初期化を実行する場合は、送信データの保証はできません。

### 15.7.4 受信動作

UBCTL0.UBPWRビット = 1にし、次にUBCTL0.UBRXEビット = 1にすることにより、受信待ち状態になります。RXDB端子のサンプリングを開始し、スタート・ビットの検出を行います。スタート・ビットを検出すると受信動作を開始し、設定されたボー・レートにあわせて、順に受信シフト・レジスタに格納していきます。

シングル・モード (UBFIC0.UBMODビット = 0) 時は、1フレームのデータ受信が終了するごとに受信終了割り込み要求信号 (INTUBTIR) が発生します。通常、この割り込み処理でUBRXレジスタからメモリに受信データを転送します。

FIFOモード (UBFIC0.UBMODビット = 1) 時は、UBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分のデータを受信FIFOへ転送することにより、INTUBTIR信号が発生します。

FIFOモード時に保留モード (UBFIC0.UBIRMビット = 0) を指定した場合には、UBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分のデータを受信FIFOから読み出しできます。

FIFOモード時にポインタ・モード (UBFIC0.UBIRMビット = 1) を指定した場合には、UBRT3-UBRT0ビットで指定した受信トリガ設定数 (1バイト)、またはUBFIS0レジスタを参照して、受信FIFOの格納バイト数分 (0バイト以上)、受信FIFOから読み出しできます。

**注意** FIFOモード時にポインタ・モードを指定した場合にUBFIS0レジスタを参照して受信FIFOの格納バイト数分まで受信FIFOから読み出すと、受信終了割り込み要求信号 (INTUBTIR) が発生したにもかかわらず、受信FIFOにデータが格納されていない (UBFIS0.UBRB4-UBRB0ビット = 00000) 場合があります。その場合は、受信FIFOからはデータの読み出しをしないでください。受信FIFOからのデータの読み出しは、必ず受信FIFOの格納バイト数 = 1バイト以上 (UBRB4-UBRB0ビット = 00000以外) を確認してから行ってください。

#### (1) 受信許可状態

UBCTL0.UBRXEビットで設定します。

- ・ UBRXE = 1 : 受信許可状態
- ・ UBRXE = 0 : 受信禁止状態

ただし、CSIB2と兼用となっているため、CB2CTL0.CB2PWRビットを0に設定し、CSIB2の動作を禁止したあと、受信許可状態にしてください。

なお、受信禁止状態では受信ハードウェアは初期状態で待機します。このとき、受信終了割り込み要求信号 / 受信エラー割り込み要求信号は発生せず、受信データ・レジスタ (シングル・モード時 : UBRXレジスタ, FIFOモード時 : 受信FIFO (UBRXAPレジスタ)) の内容は保持されます。

#### (2) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

UARTB制御レジスタ2 (UBCTL2) からのシリアル・クロックでRXDB端子をサンプリングします。

### (3) 受信割り込み要求信号

#### (a) 受信終了割り込み要求信号 (INTUBTIR)

##### ・シングル・モード (UBFIC0.UBMODビット = 0) 時

シングル・モード時は、UBCTL0.UBRXEビット = 1のとき、1フレーム分のデータの受信が終了 (ストップ・ビットの検出) すると、受信終了割り込み要求信号 (INTUBTIR) が発生すると同時に、受信シフト・レジスタ内の受信データをUBRXレジスタに転送します。

また、オーバラン・エラーが発生した場合、そのときの受信データは、UBRXレジスタに転送されず、受信エラー割り込み要求信号 (INTUBTIRE) が発生します。

なお、受信動作中にパリティ・エラーまたはフレーミング・エラーが発生した場合は、ストップ・ビットの受信位置までは受信動作を継続し、INTUBTIRE信号が発生します (受信シフト・レジスタ内の受信データはUBRXレジスタに転送されます)。

また、受信動作中にUBRXEビットをリセット (0) すると、すぐに受信動作を停止します。このとき、UBRXレジスタの内容は変化せず、UARTB状態レジスタ (UBSTR) の内容はクリアされ、INTUBTIR信号、またはINTUBTIRE信号は発生しません。

UBRXEビット = 0 (受信禁止) では、INTUBTIR信号は発生しません。

##### ・FIFOモード (UBFIC0.UBMODビット = 1) 時

FIFOモード時は、UBCTL0.UBRXEビット = 1のとき、1フレーム分のデータの受信が終了 (ストップ・ビットの検出) すると、受信シフト・レジスタから受信FIFOへUBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分の受信データを転送することにより、受信終了割り込み要求信号 (INTUBTIR) を発生します。

また、オーバフロー・エラーが発生した場合、そのときの受信データは、受信FIFOに転送されず、受信エラー割り込み要求信号 (INTUBTIRE) が発生します。

なお、受信動作中にパリティ・エラーまたはフレーミング・エラーが発生した場合は、ストップ・ビットの受信位置までは受信動作を継続し、受信終了後に、INTUBTIRE信号が発生し、受信シフト・レジスタ内の受信データは受信FIFOに転送されます。このとき、エラー情報がUBRXAP.UBPEFビット、またはUBFEFビット = 1として付加されます。INTUBTIRE信号が発生した場合は、受信FIFOを16ビット・レジスタのUBRXAPレジスタとして読み出すことで、エラー対象となるデータを認識できます。

(b) 受信タイムアウト割り込み要求信号 (INTUBTITO) (FIFOモード時のみ)

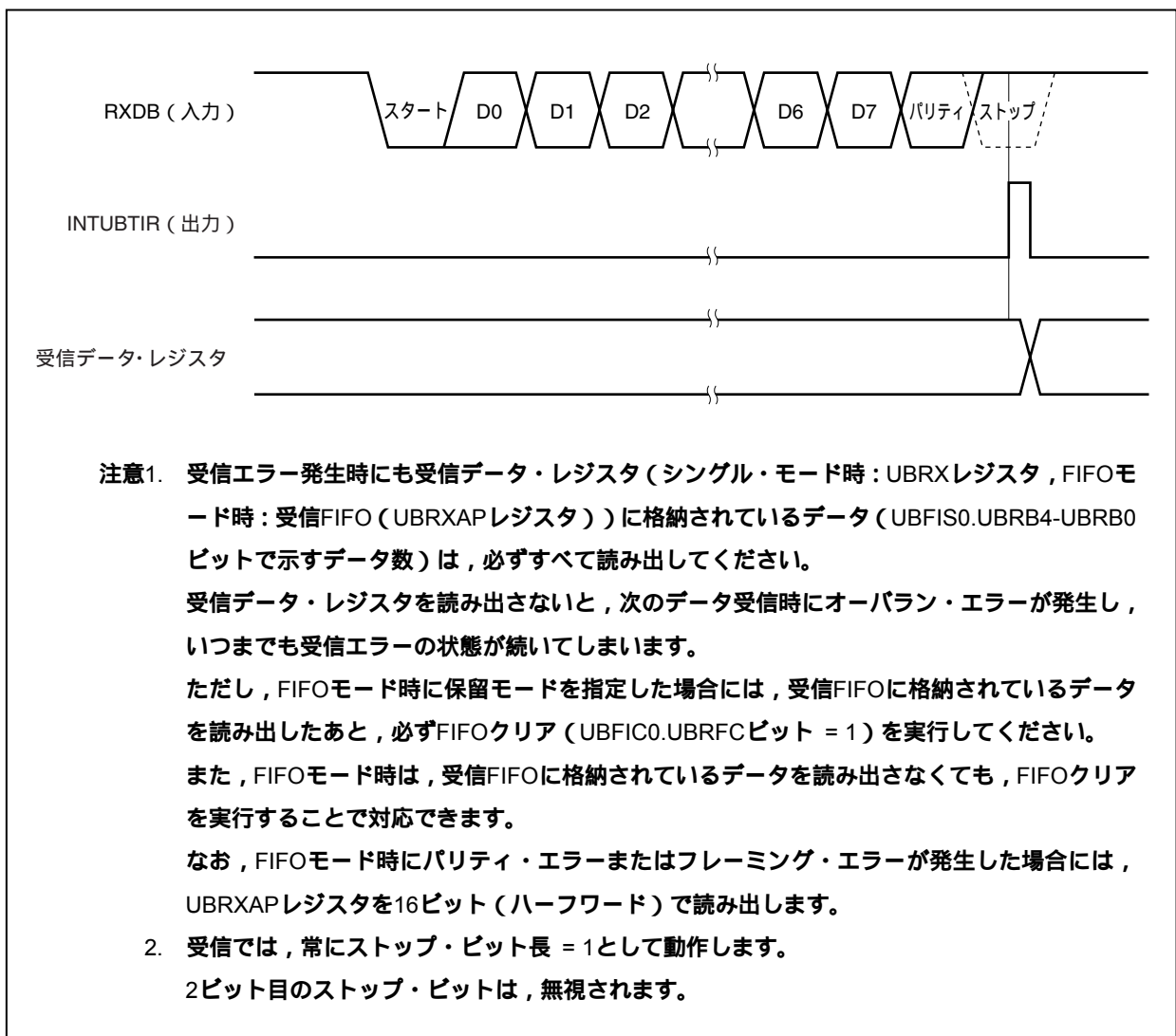
FIFOモード時の受信のときにタイムアウト・カウンタ機能 (UBFIC1.UBTCEビット = 1) を使用する場合,UBFIC1.UBTC4-UBTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない(スタート・ビットが検出されない)ときに,受信FIFOにデータが格納されている場合は受信タイムアウト割り込み要求信号 (INTUBTITO) を発生します。

受信禁止状態中は, INTUBTITO信号は発生しません。

UBFIC2.UBRT3-UBRT0ビットで指定した受信トリガ設定数分までデータが受信されない場合, INTUBTITO信号により, 指定した受信トリガ設定数未満の受信データ数を読み出すタイミングが設定できません。

また, タイムアウト・カウンタは, スタート・ビットの検出により, カウントを開始するため, 1キャラクタも受信していない場合, 受信タイムアウト割り込み要求信号は発生しません。

図15 - 6 アシクロナス・シリアル・インタフェース受信終了割り込み要求信号 (INTUBTIR) タイミング



### 15.7.5 受信エラー

受信動作時のエラーは、シングル・モード (UBFIC0.UBMODビット = 0) 時はパリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類、FIFOモード (UBFIC0.UBMODビット = 0) 時はパリティ・エラー、フレーミング・エラー、オーバフロー・エラーの3種類があります。データ受信の結果、シングル・モード時のパリティ・エラー、フレーミング・エラー、オーバラン・エラーはUBSTR.UBPE, UBFE, UBOVEビット、FIFOモード時のオーバフロー・エラーの場合はUBSTR.UBOVFビット、FIFOモード時のパリティ・エラー、フレーミング・エラーの場合はUBRXAP.UBPEF, UBFEFビットのいずれかがセット (1) されると同時に、受信エラー割り込み要求信号 (INTUBTIRE) が発生します。エラーの内容は、UBSTRレジスタまたはUBRXAPレジスタの内容を読み出すことによって、受信時に発生したエラーの内容を検出できます。

UBSTRレジスタの内容はUBOVF, UBPE, UBFE, UBOVEビット、またはUBCTL0.UBPWR, UBRXEビットに0を書き込んだとき、UBRXAPレジスタの内容はUBCTL0.UBPWRビットに0を書き込んだときにリセットされます。

表15 - 4 受信エラーの要因

エラー・フラグ	有効動作モード	エラー・フラグ	受信エラー	要 因
UBPE	シングル・モード	UBPE	パリティ・エラー	送信時のパリティ指定と受信データの パリティが一致しない
UBFE		UBFE	フレーミング・エラー	ストップ・ビットが検出されない
UBOVE		UBOVE	オーバラン・エラー	UBRXレジスタからデータを読み出す 前に次のデータ受信が終了
UBOVF	FIFOモード	UBOVF	オーバフロー・エラー	受信FIFOがフルの状態、データを読 み出す前に次のデータ受信が終了
UBPEF		UBPEF	パリティ・エラー	送信時のパリティ指定と対象受信デー タのパリティが一致しない
UBFEF		UBFEF	フレーミング・エラー	対象データの取り込みでストップ・ビ ットが検出されない

### 15.7.6 パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

#### (1) 偶数パリティ

##### (a) 送信時

パリティ・ビットを含めた送信データ中の“1”の値のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に“1”の値のビット数が奇数個：1
- ・送信データ中に“1”の値のビット数が偶数個：0

##### (b) 受信時

パリティ・ビットを含めた受信データ中の“1”の値のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

#### (2) 奇数パリティ

##### (a) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の“1”の値のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に“1”の値のビット数が奇数個：0
- ・送信データ中に“1”の値のビット数が偶数個：1

##### (b) 受信時

パリティ・ビットを含めた受信データ中の“1”の値のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

#### (3) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

#### (4) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

### 15.7.7 受信データのノイズ・フィルタ

入力クロック( $f_{xx}$ )の立ち上がりでRXDB信号をサンプリングします。サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、1クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図15-8参照)。

また、回路は図15-7のようになっているため、受信動作の内部での処理は、外部の信号状態により最大2クロック分遅れて動作することになります。

図15-7 ノイズ・フィルタ回路

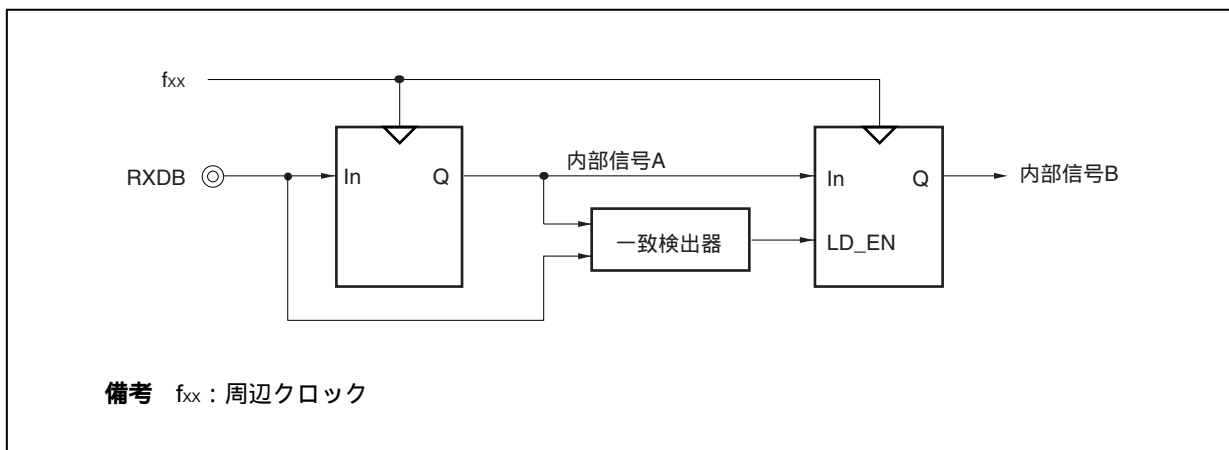
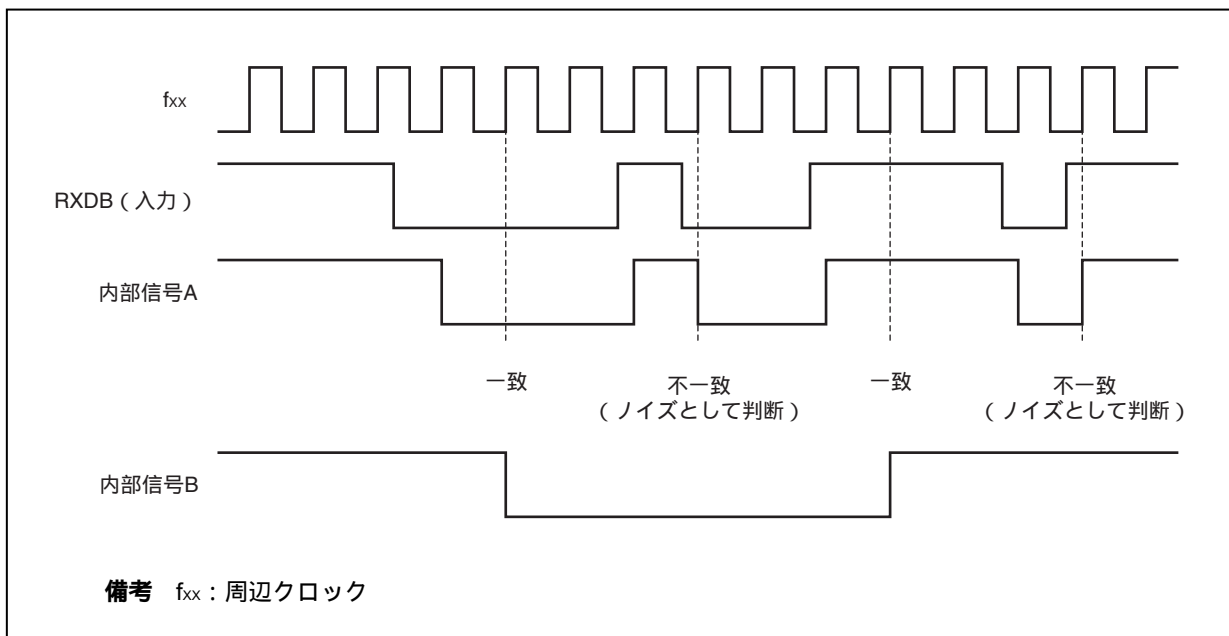


図15-8 ノイズとして判断されるRXDB信号のタイミング





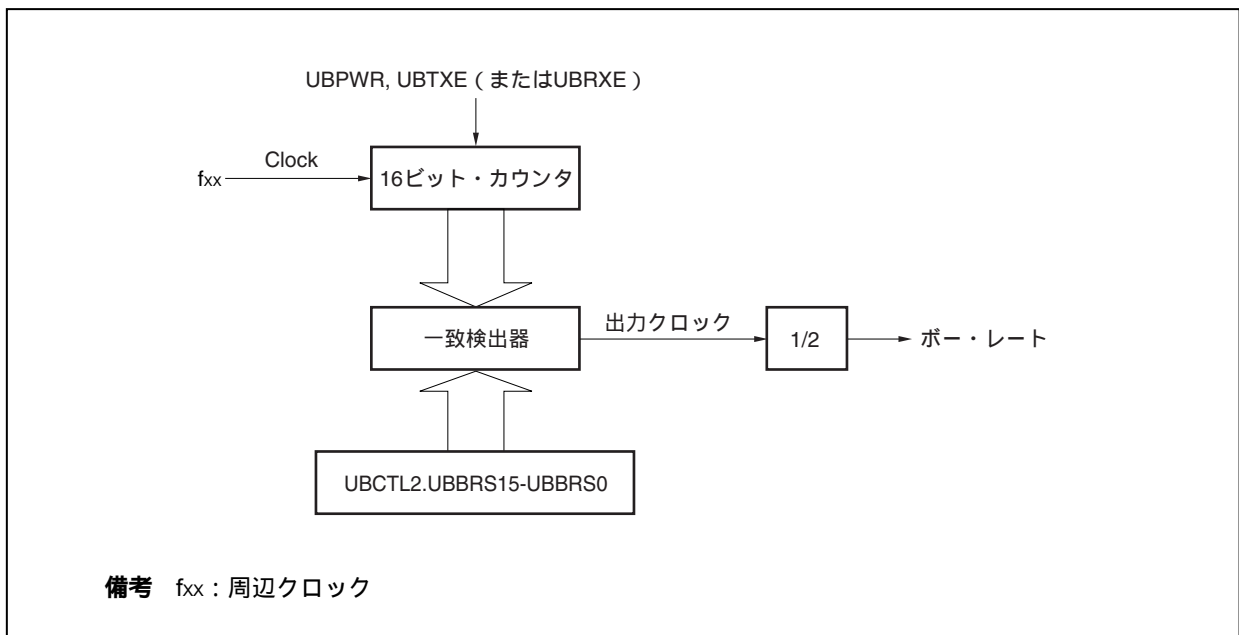
## 15.8 専用ボー・レート・ジェネレータ (BRG)

専用ボー・レート・ジェネレータは、16ビットのプログラマブル・カウンタにより構成され、UARTBにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ボー・レート・ジェネレータ出力を選択できます。

なお、16ビット・カウンタは送信用と受信用が別々に存在します。ただし、同一チャンネルにおける送受信のボー・レートは同一となります。

### (1) ボー・レート・ジェネレータの構成

図15-9 ボー・レート・ジェネレータの構成



#### (a) 基本クロック (Clock)

UBCTL0.UBPWRビット = 1のとき、入力クロック (f<sub>xx</sub>) を送信 / 受信ユニットに供給します。このクロックを基本クロック (Clock) と呼びます。UBPWRビット = 0のときは、Clockはロウ・レベルに固定となります。

#### (2) シリアル・クロックの生成

UBCTL2レジスタの設定により、シリアル・クロックを生成できます。

UBCTL2.UBBRS15-UBBRS0ビットにより、16ビット・カウンタの分周値を設定できます。

## (a) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{\text{基本クロック周波数}}{2 \times k} \text{ [ bps ]}$$

基本クロック周波数 =  $f_{xx}$

$k$  = UBCTL2.UBBRS15-UBBRS0ビットで設定した値 ( $k = 4, 5, 6, \dots, 65535$ )

## (b) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left( \frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロック ( $f_{xx}$ ) = 64 MHz = 64,000,000 Hz

UBCTL2.UBBRS15-UBBRS0ビットの設定値 = 0000000001100110B

( $k = 102$ )

目標ボー・レート = 312500 bps

$$\begin{aligned} \text{ボー・レート} &= 64 \text{ M} / (2 \times 102) \\ &= 64000000 / (2 \times 102) = 313725 \text{ [ bps ]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (313725/312500 - 1) \times 100 \\ &= 0.392 \text{ [\%]} \end{aligned}$$

なお、基本クロック ( $f_{xx}$ ) = 60 MHzで $k = 96$ の場合は、誤差0 %になります。

(3) ボー・レート設定例

表15 - 5 ボー・レート・ジェネレータ設定データ (1/2)

ボー・レート ( bps )	fxx = 64 MHz			fxx = 60 MHz			fxx = 50 MHz		
	k ( 10進数 )	k ( 16進数 )	ERR	k ( 10進数 )	k ( 16進数 )	ERR	k ( 10進数 )	k ( 16進数 )	ERR
300	-	-	-	-	-	-	-	-	-
600	53333	D055H	0.001	50000	C350H	0.000	41667	A2C3H	- 0.001
1200	26667	682BH	- 0.001	25000	61A8H	0.000	20833	5161H	0.002
2400	13333	3415H	0.003	12500	30D4H	0.000	10417	28B1H	- 0.003
4800	6667	1A0BH	- 0.005	6250	186AH	0.000	5208	1458H	0.006
9600	3333	0D05H	0.010	3125	0C35H	0.000	2604	0A2CH	0.006
19200	1667	0683H	- 0.020	1563	061BH	0.000	1302	0516H	0.006
31250	1024	0400H	0.000	960	03C0H	0.000	800	0320H	0.000
38400	833	0341H	0.040	781	030DH	0.000	651	028BH	0.006
76800	417	01A1H	- 0.080	391	0187H	0.000	326	0146H	- 0.147
153600	208	00D0H	0.160	195	00C3H	0.000	163	00A3H	- 0.147
312500	102	0066H	0.392	96	0060H	0.000	80	0050H	0.000
500000	64	0040H	0.000	60	003CH	0.000	50	0032H	0.000
1000000	32	0020H	0.000	30	001EH	0.000	25	0019H	0.000
2000000	16	0010H	0.000	15	000FH	0.000	13	000DH	- 3.846
3000000	11	000BH	- 3.030	10	000AH	0.000	8	0008H	4.167
4000000	8	0008H	0.000	8	0008H	- 6.250	-	-	-
5000000	6	0006H	6.667	6	0006H	0.000	-	-	-
5333333	6	0006H	0.000	-	-	-	-	-	-

**注意** 周辺クロック ( fxx ) の許容周波数は最大64 MHzです。

ボー・レートの最大転送スピードは、5.33 Mbpsです。

**備考** fxx : 周辺クロック

k : UBCTL2.UBBRS15-UBBRS0ビットの設定値

ERR : ボー・レート誤差 [ % ]

表15 - 5 ボー・レート・ジェネレータ設定データ (2/2)

ボー・レート (bps)	f <sub>xx</sub> = 40 MHz			f <sub>xx</sub> = 32 MHz		
	k (10進数)	k (16進数)	ERR	k (10進数)	k (16進数)	ERR
300	-	-	-	53333	D055H	0.001
600	33333	8235H	0.001	26667	682BH	- 0.001
1200	16667	411BH	- 0.002	13333	3415H	0.003
2400	8333	208DH	0.004	6667	1A0BH	- 0.005
4800	4167	1047H	- 0.008	3333	0D05H	0.010
9600	2083	0823H	0.016	1667	0683H	- 0.020
19200	1042	0412H	- 0.032	833	0341H	0.040
31250	640	0280H	0.000	512	0200H	0.000
38400	521	0209H	- 0.032	417	01A1H	- 0.080
76800	260	0104H	0.160	208	00D0H	0.160
153600	130	0082H	0.160	104	0068H	0.160
312500	64	0040H	0.000	51	0033H	0.392
500000	40	0028H	0.000	32	0020H	0.000
1000000	20	0014H	0.000	16	0010H	0.000
2000000	10	000AH	0.000	8	0008H	0.000
3000000	7	0007H	- 4.762	-	-	-
4000000	-	-	-	-	-	-
5000000	-	-	-	-	-	-
5333333	-	-	-	-	-	-

**注意** 周辺クロック (f<sub>xx</sub>) の許容周波数は最大64 MHzです。  
 ボー・レートの最大転送スピードは、5.33 Mbpsです。

**備考** f<sub>xx</sub> : 周辺クロック  
 k : UBCTL2.UBBRS15-UBBRS0ビットの設定値  
 ERR : ボー・レート誤差 [%]

(4) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

**注意** 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図15 - 10 受信時の許容ポー・レート範囲

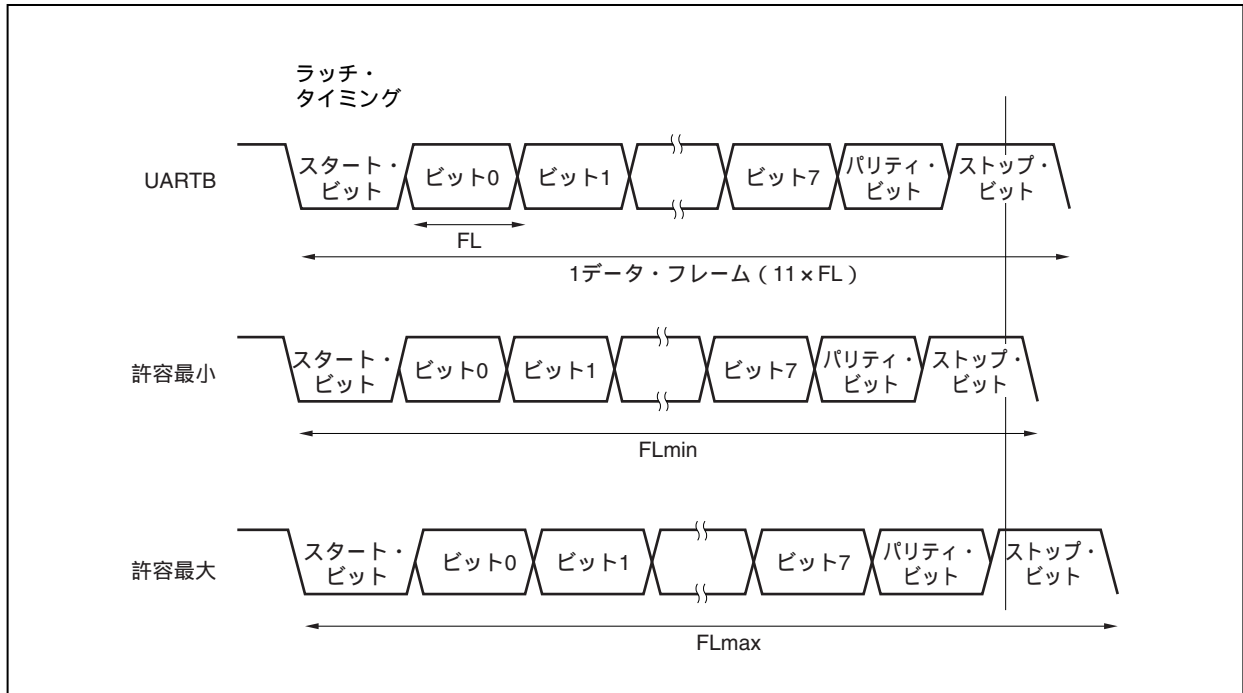


図15 - 10に示すように、スタート・ビット検出後はUBCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTBのポー・レート

k : UBCTL2の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小値} : FL_{\min} = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k + 2} \text{ Brate}$$

同様に、許容最大値を求めると、次のようになります。

$$\frac{10}{11} \times FL_{max} = 11 \times FL - \frac{k + 2}{2 \times k} \times FL = \frac{21k - 2}{2 \times k} FL$$

$$FL_{max} = \frac{21k - 2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k - 2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UARTBと送信先とのボー・レートの許容誤差を求めると次のようになります。

表15 - 6 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.33 %	- 2.44
8	+ 3.53 %	- 3.61
16	+ 4.14 %	- 4.19
32	+ 4.45 %	- 4.48
64	+ 4.61 %	- 4.62
128	+ 4.68 %	- 4.69
256	+ 4.72 %	- 4.73
512	+ 4.74 %	- 4.74
1024	+ 4.75 %	- 4.75
2048	+ 4.76 %	- 4.76
4096	+ 4.76 %	- 4.76
8192	+ 4.76 %	- 4.76
16384	+ 4.76 %	- 4.76
32768	+ 4.76 %	- 4.76
65535	+ 4.76 %	- 4.76

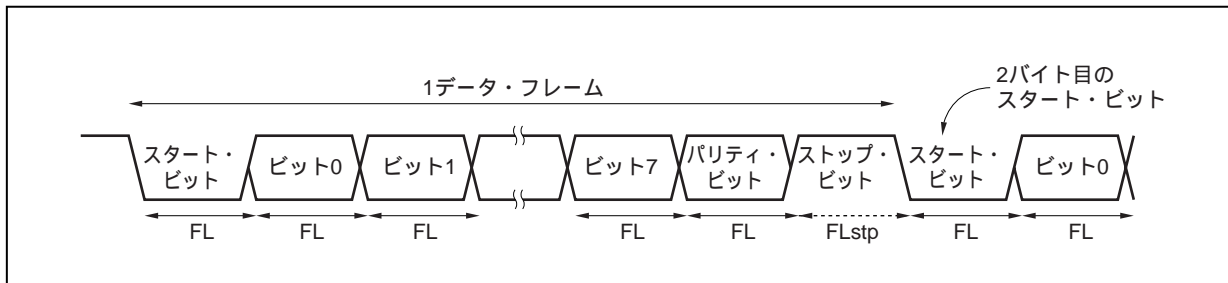
備考1. 受信の精度は、1フレーム・ビット数、基本クロック周波数、分周比 (k) に依存します。基本クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UBCTL2の設定値

(5) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図15 - 11 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：fxxとすると次の式が成り立ちます。

$$FLstp = FL + 2 / (fxx)$$

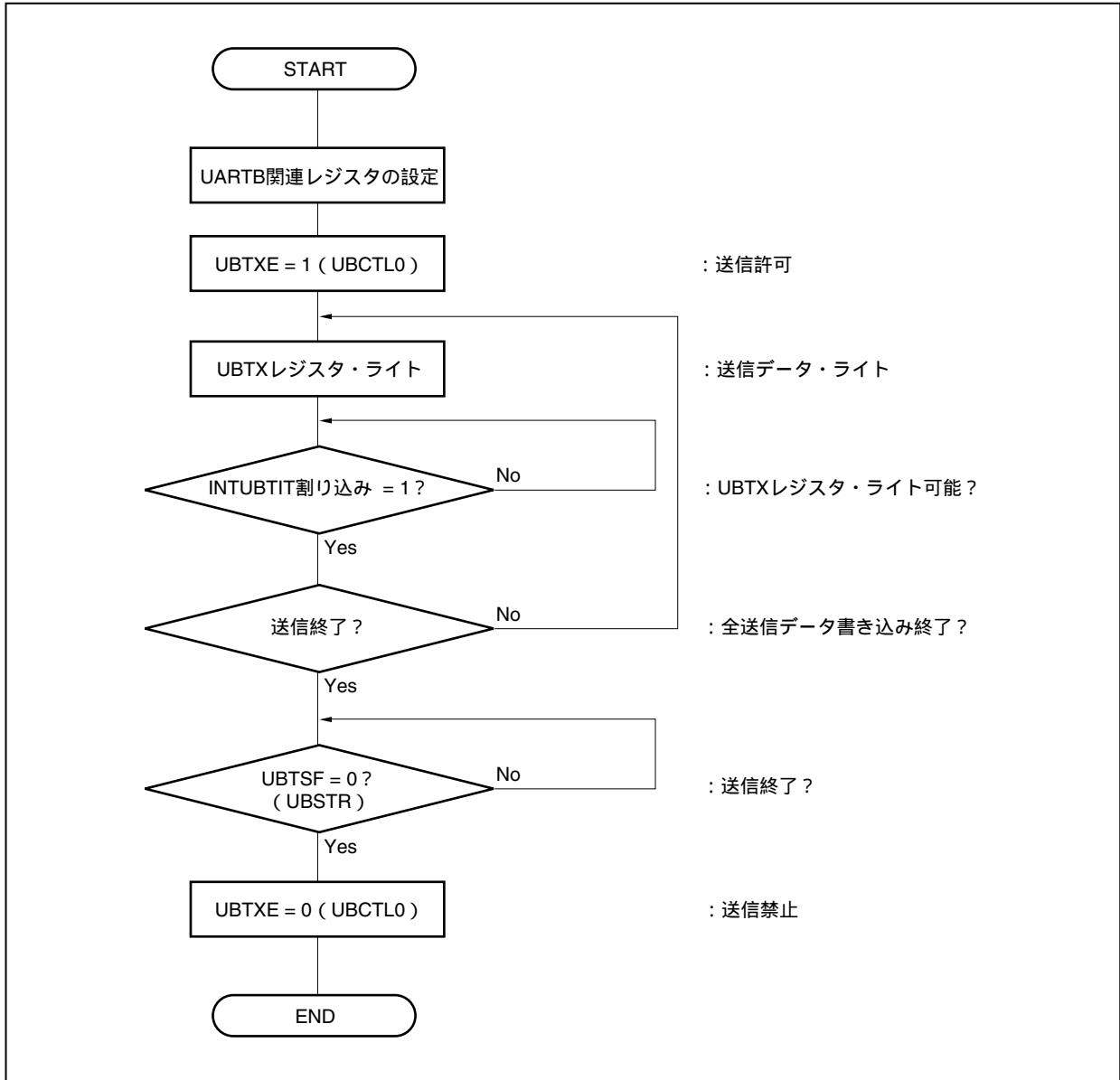
したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + 2 / (fxx)$$

## 15.9 制御フロー

### (1) シングル・モード時の連続送信処理概略フロー例 (CPU制御)

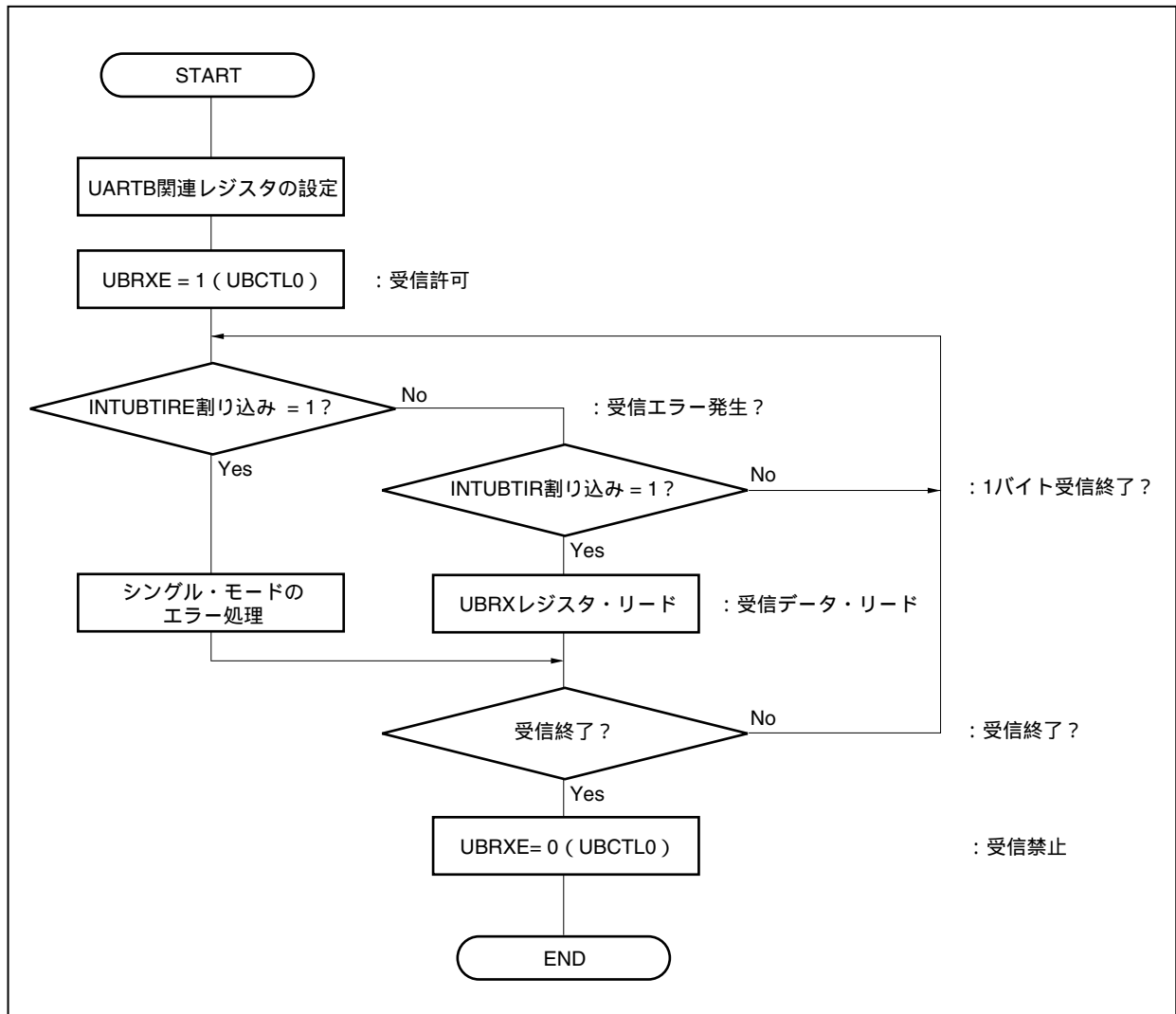
図15 - 12 シングル・モード時の連続送信処理概略フロー例 (CPU制御)





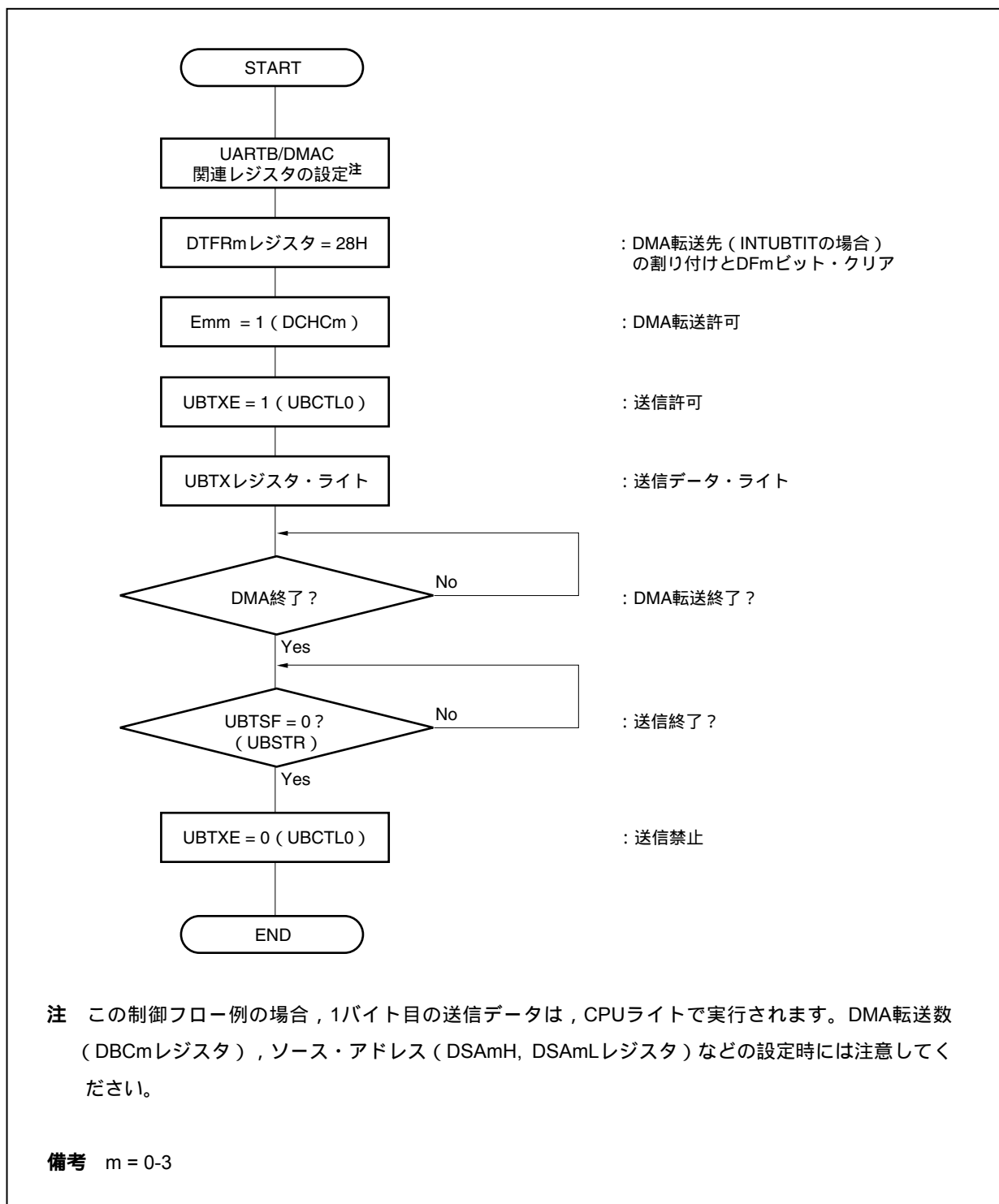
(2) シングル・モード時の連続受信処理概略フロー例 (CPU制御)

図15 - 13 シングル・モード時の連続受信処理概略フロー例 (CPU制御)



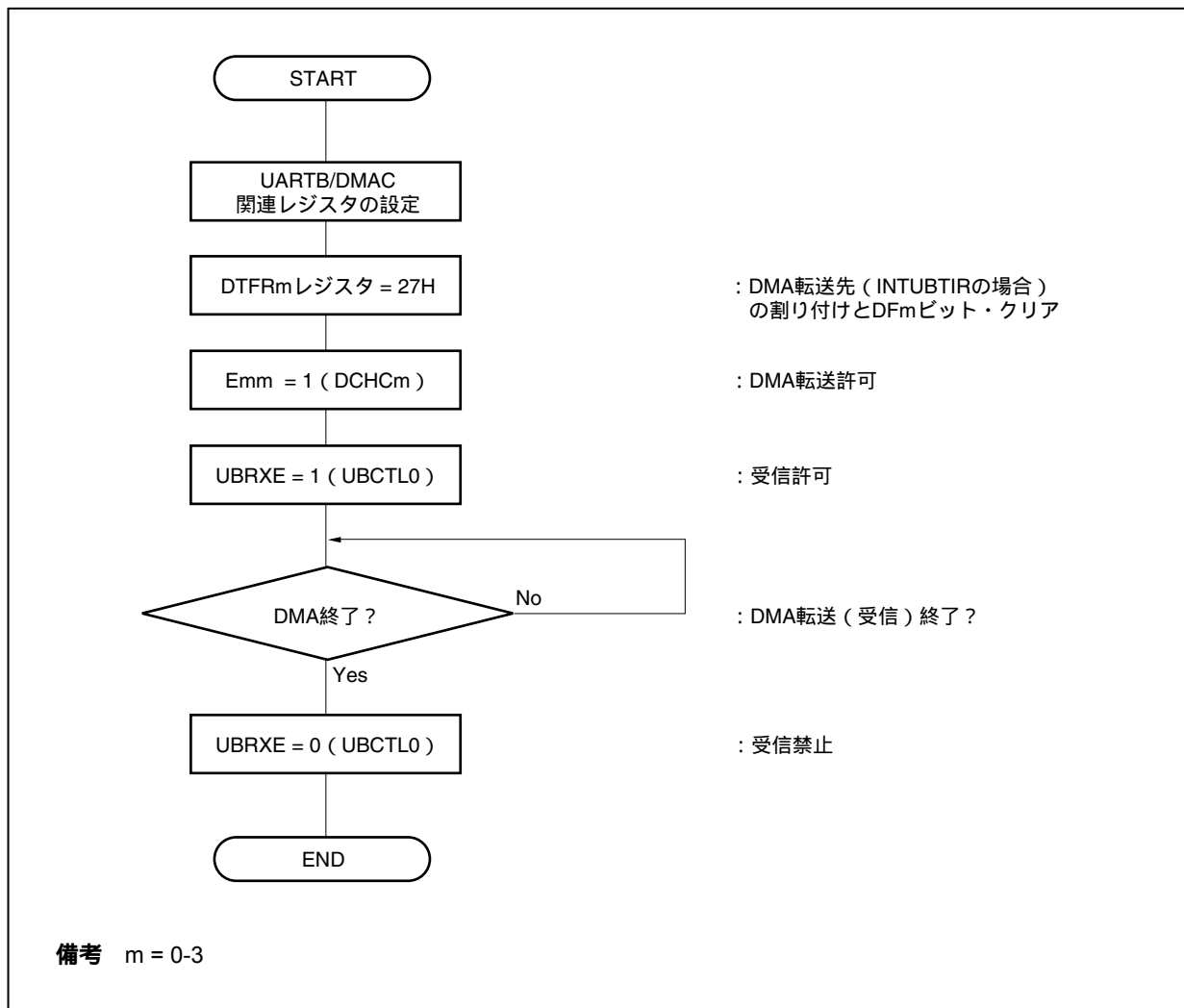
(3) シングル・モード時の連続送信処理概略フロー例 (DMA制御)

図15 - 14 シングル・モード時の連続送信処理概略フロー例 (DMA制御)



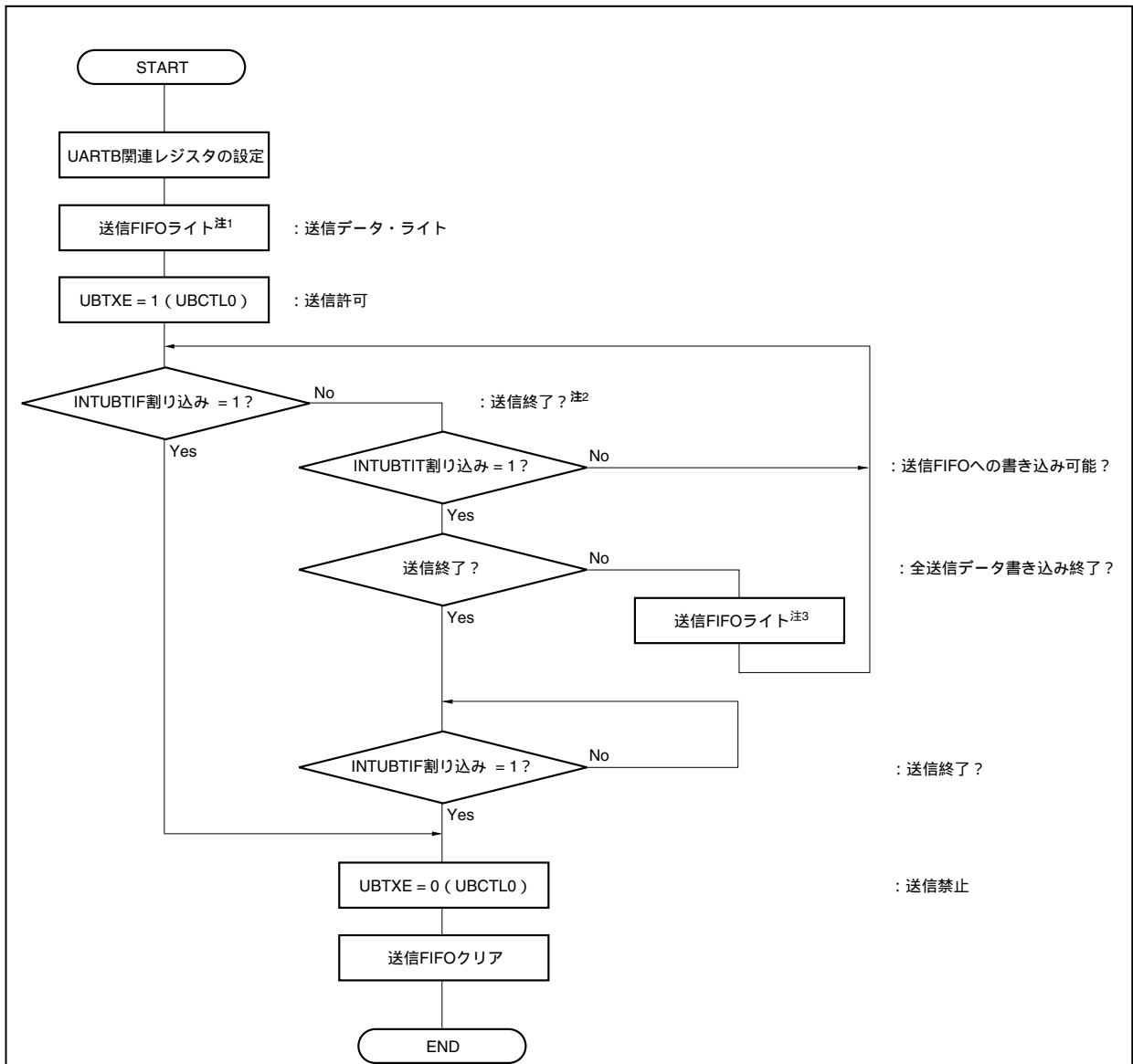
(4) シングル・モード時の連続受信処理概略フロー例 (DMA制御)

図15 - 15 シングル・モード時の連続受信処理概略フロー例 (DMA制御)



(5) FIFOモード時の連続送信処理概略フロー例 (CPU制御)

図15 - 16 FIFOモード時の連続送信処理概略フロー例 (CPU制御)

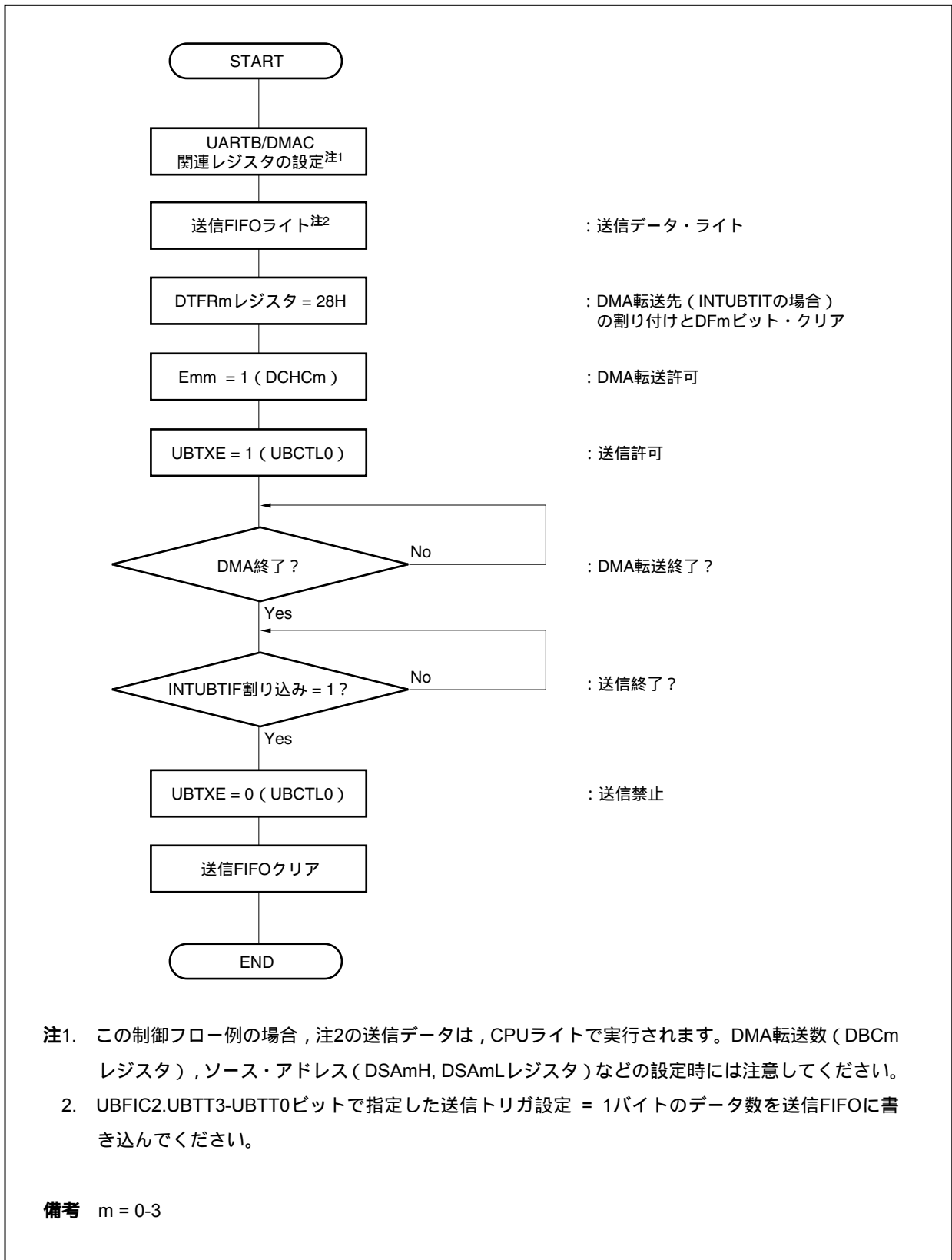


- 注1. UBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数以上のデータを送信FIFOに書き込んでください。
2. 次の送信データを書き込む前に送信終了 (送信FIFO, 送信シフト・レジスタが空) になった場合です。引き続きデータ送信を継続する場合には、INTUBTIF信号、INTUBTIT信号のクリアなどを実行後、送信FIFOに次のデータを書き込むなどの処理が必要です。
3. 保留モード (UBFIC0.UBITMビット = 0) 時は、UBFIC2.UBTT3-UBTT0ビットで指定した送信トリガ設定数分のデータを送信FIFOに書き込んでください。  
 ポインタ・モード (UBITMビット = 1) 時は、UBFIS1.UBTB4-UBTB0ビットを参照して、送信FIFOの空きバイト数分のデータを送信FIFOに書き込んでください。  
 なお、8ビット幅×16段のFIFO機能をフルで使用する場合には、16バイトのデータを書き込んでください。



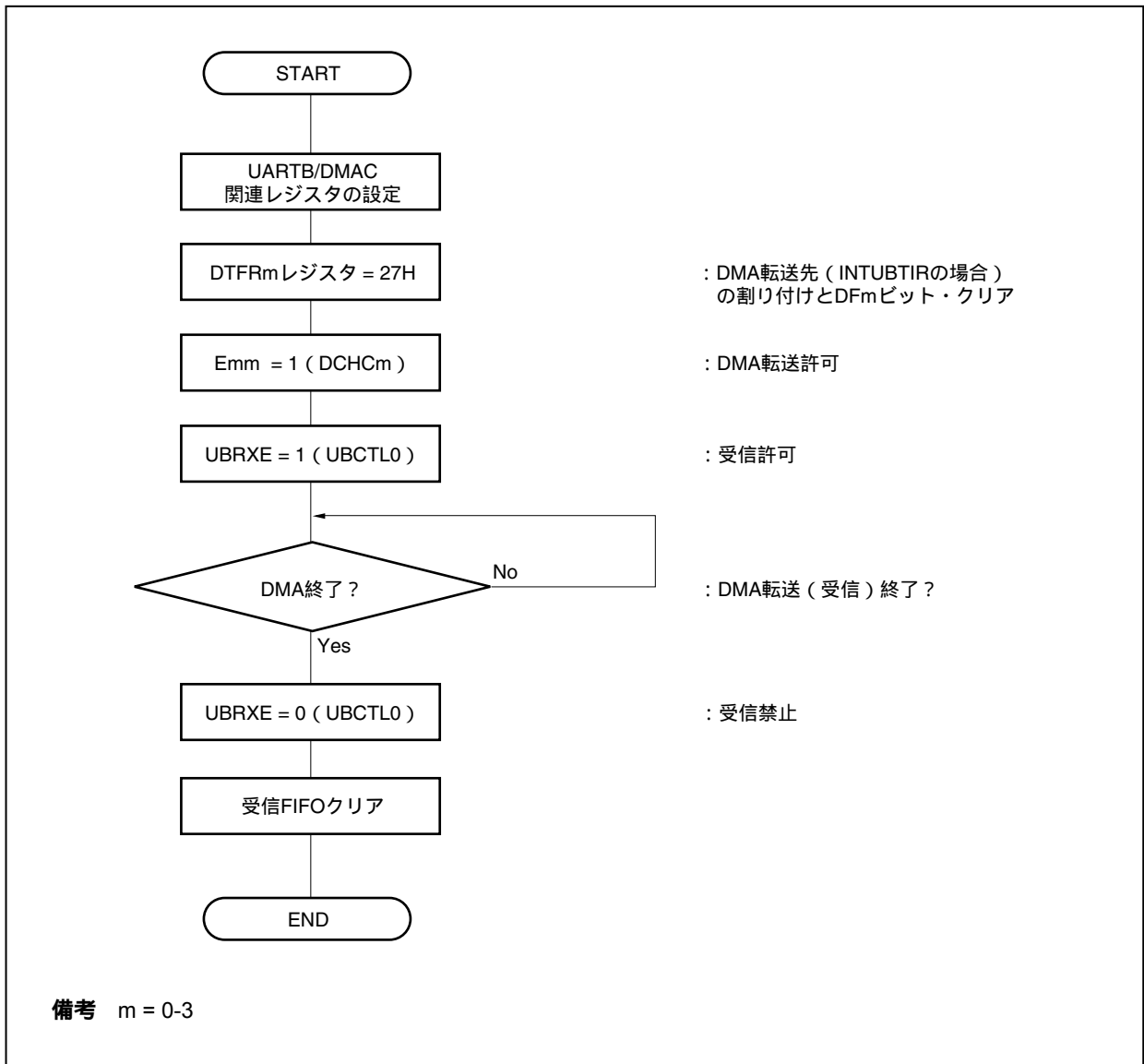
(7) FIFOモード時の連続送信 (保留モード時) 処理概略フロー例 (DMA制御)

図15 - 18 FIFOモード時の連続送信 (保留モード時) 処理概略フロー例 (DMA制御)



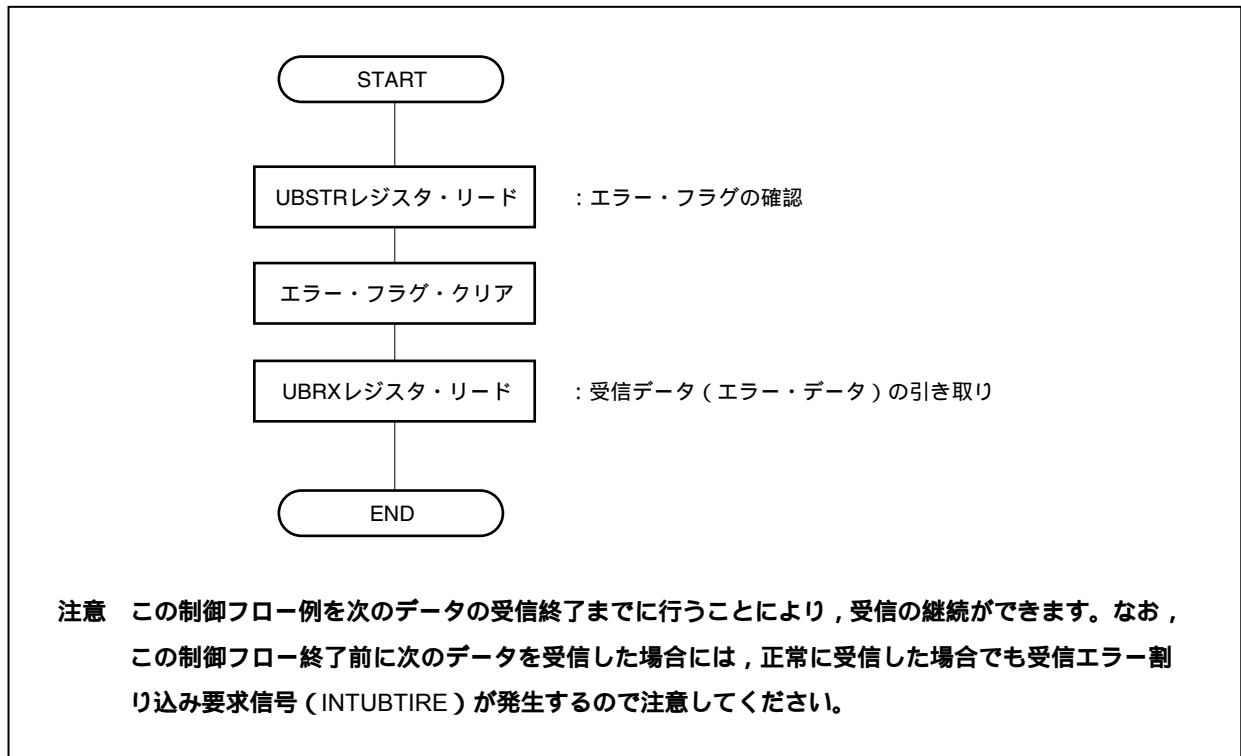
(8) FIFOモード時の連続受信 (保留モード時) 処理概略フロー例 (DMA制御)

図15 - 19 FIFOモード時の連続受信 (保留モード時) 処理概略フロー例 (DMA制御)



## (9) シングル・モード時の受信エラー処理フロー例

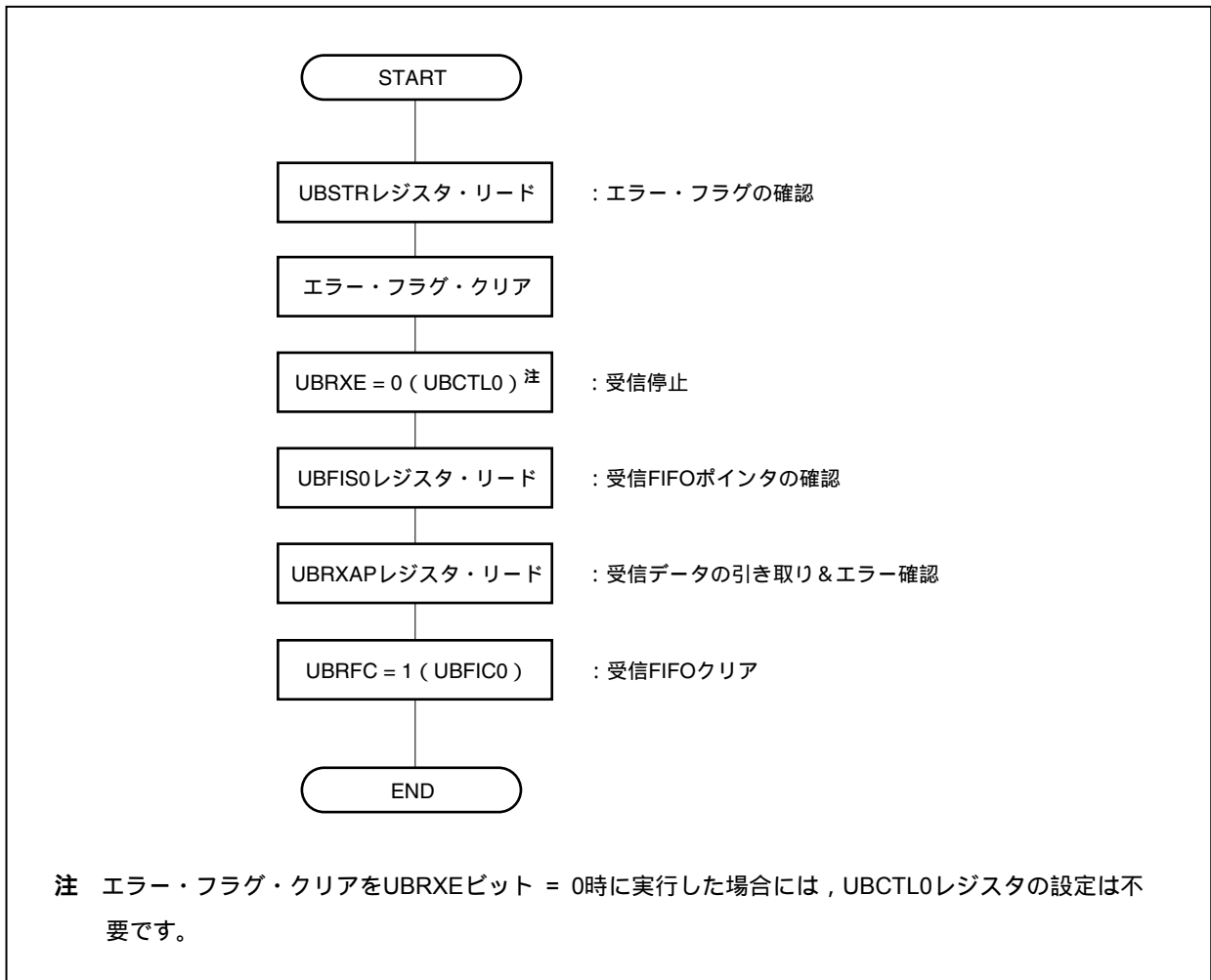
図15 - 20 シングル・モード時の受信エラー処理フロー例





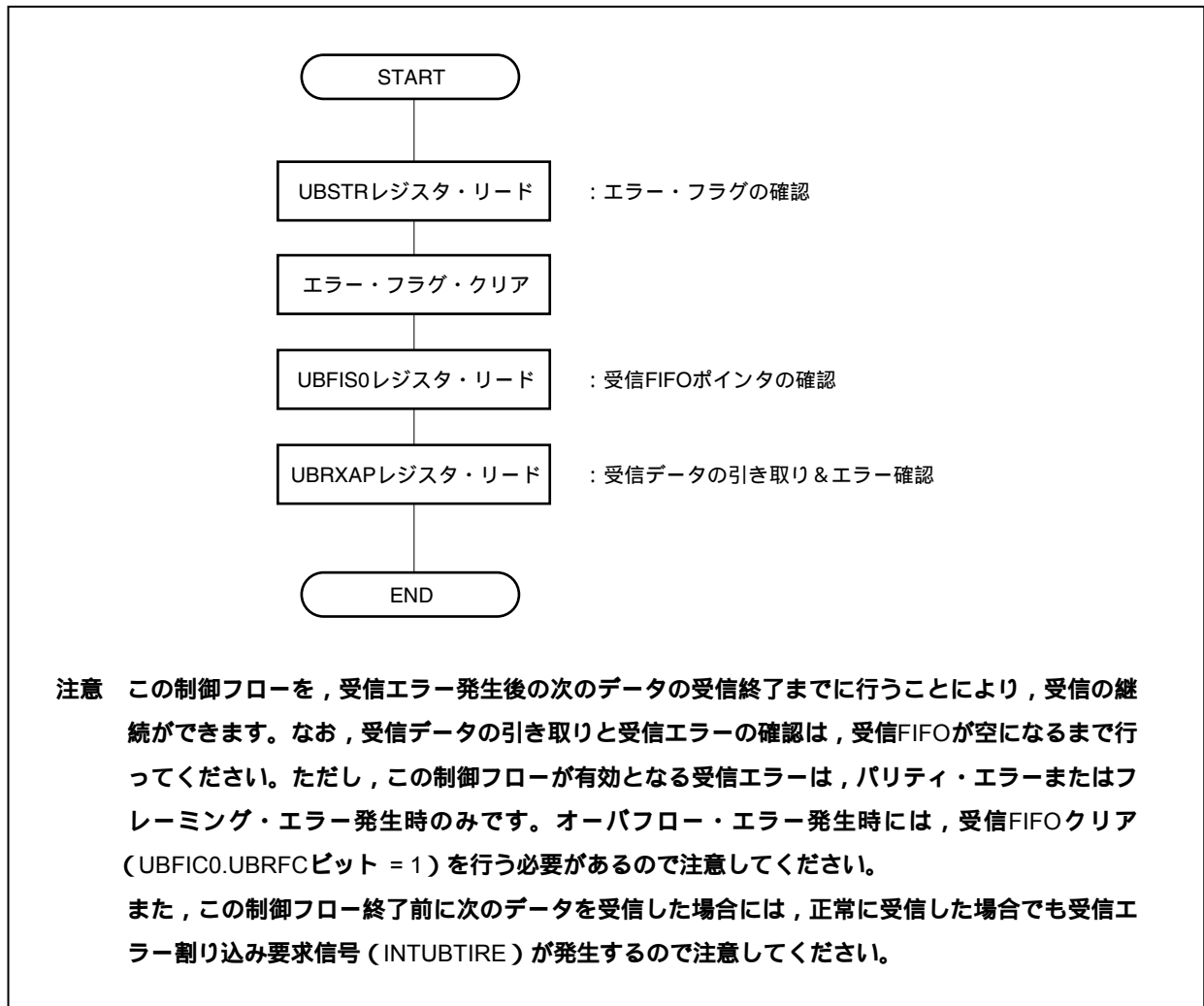
(10) FIFOモード時の受信エラー処理フロー例 (1)

図15 - 21 FIFOモード時の受信エラー処理フロー例 (1)



## (11) FIFOモード時の受信エラー処理フロー例 (2)

図15 - 22 FIFOモード時の受信エラー処理フロー例 (2)



## 15.10 注意事項

UARTBについての注意事項を次に示します。

### (1) UARTBへの供給クロックが停止した場合

UARTBへの供給クロックが停止する場合(例: IDLE, STOPモード)は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDB端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUBPWRビット = 0, UBRXEビット = 0, UBTXEビット = 0とし、回路を初期化してください。

### (2) UBCTL0レジスタ設定時の注意

- ・UARTBを使用する場合には、必ずUARTB機能に関連する外部端子を兼用機能に設定したあと、UBCTL2レジスタの設定を行ってからUBCTL0.UBPWRビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。
- ・UARTB機能に関連する外部端子を兼用機能に設定する場合には、RXDB端子には必ずハイ・レベルを入力してください。ロウ・レベルを入力したときには、UBCTL0.UBRXEビットをセット(1)したあと、立ち下がりエッジが入力されたものと判断してしまい、受信を開始することがあります。

### (3) UBFIC2レジスタ設定時の注意

UBFIC2レジスタへのライトは、必ずUBCTL0.UBTXEビット = 0 (送信禁止状態) およびUBRXEビット = 0 (受信禁止状態) に設定してから行ってください。UBTXEビット、またはUBRXEビットのいずれかを1に設定したままUBFIC2レジスタをライトした場合の動作は保証できません。

### (4) 送信割り込み要求信号

シングル・モードでは、UBTXレジスタが空になった(UBTXレジスタから送信シフト・レジスタに1バイト分のデータが転送される)場合に、送信許可割り込み要求信号(INTUBTIT)が発生します。また、FIFOモードでは、送信FIFOおよび送信シフト・レジスタにデータが存在しなくなった(空になった)場合に、FIFO送信終了割り込み要求信号(INTUBTIF)が発生します。

ただし、RESET入力により、送信データ・レジスタが空になった場合には、INTUBTIT信号、またはINTUBTIF信号は発生しません。

### (5) シングル・モード時の連続送信での初期化

送信処理中に初期化を実施する場合は、UBSTR.UBTSFビットが0であることを確認してください。UBTSFビットが1のときに初期化を実行した場合は、送信データの保証はできません。

### (6) FIFOモード時の連続送信(保留モード時)での初期化

送信処理中に初期化を実施する場合は、UBSTR.UBTSFビットが0であることを確認してください(FIFO送信終了割り込み要求信号(INTUBTIF)での判断でも可能です)。UBTSFビットが1のときに初期化を実行した場合は送信データの保証はできません。

DMA制御を使用して、送信FIFOへ送信データの書き込みを実行する場合は、UBFIC2.UBTT3-UBTT0ビットで指定する送信トリガ設定数 = 1バイトとしてください。1バイト以外を指定した場合の動作は保証できません。

**(7) FIFOモード時の連続送信 (ポインタ・モード時)での初期化**

送信処理中に初期化を実施する場合は、UBSTR.UBTSFビットが0であることを確認してください (FIFO送信終了割り込み要求信号 (INTUBTIF)での認識も可能です)。UBTSFビットが1のときに初期化を実行する場合は、送信データの保証はできません。

**(8) FIFOモード時 (ポインタ・モード指定)の受信動作**

FIFOモード時にポインタ・モードを指定した場合にUBFIS0レジスタを参照して受信FIFOの格納バイト数分まで受信FIFOから読み出すと、受信終了割り込み要求信号 (INTUBTIR)が発生したにもかかわらず、受信FIFOにデータが格納されていない (UBFIS0.UBRB4-UBRB0ビット = 00000)場合があります。その場合は、受信FIFOからはデータの読み出しをしないでください。受信FIFOからのデータの読み出しは、必ず受信FIFOの格納バイト数 = 1バイト以上 (UBRB4-UBRB0ビット = 00000以外)を確認してから行ってください。

## 第16章 クロック同期式シリアル・インタフェースB (CSIB)

### 16.1 CSIBとほかのシリアル・インタフェースのモード切り替え

#### 16.1.1 CSIB0とUARTA0のモード切り替え

V850E/IF3, V850E/IG3では, CSIB0とUARTA0は端子が兼用になっており, 同時に使用することはできません。CSIB0とUARTA0の切り替えは, あらかじめPMC4, PFC4, PFCE4レジスタを設定する必要があります。

**注意** CSIB0またはUARTA0において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16 - 1 CSIB0とUARTA0のモード切り替え設定

リセット時: 00H    R/W    アドレス: FFFFF448H								
PMC4	7	6	5	4	3	2	1	0
	PMC47	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40
リセット時: 00H    R/W    アドレス: FFFFF468H								
PFC4	7	6	5	4	3	2	1	0
	PFC47	PFC46	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40
リセット時: 00H    R/W    アドレス: FFFFF708H								
PFCE4	7	6	5	4	3	2	1	0
	PFCE47	PFCE46	PFCE45	PFCE44	PFCE43	PFCE42	PFCE41	PFCE40
PMC42	PFCE42	PFC42	P42端子の兼用機能の指定					
0	x	x	入出力ポート					
1	0	0	SCKB0入出力					
1	0	1	INTP13入力					
1	1	0	設定禁止					
1	1	1	設定禁止					
PMC41	PFCE41	PFC41	P41端子の兼用機能の指定					
0	x	x	入出力ポート					
1	0	0	SOB0出力					
1	0	1	TXDA0出力					
1	1	0	設定禁止					
1	1	1	設定禁止					
PMC40	PFC40	P40端子の兼用機能の指定						
0	x	入出力ポート						
1	0	SIB0入力						
1	1	RXDA0入力						
<b>備考</b> x = don't care								

## 16.1.2 CSIB1とUARTA2のモード切り替え

V850E/IF3, V850E/IG3では, CSIB1とUARTA2は端子が兼用になっており, 同時に使用することはできません。CSIB1とUARTA2の切り替えは, あらかじめPMC3, PFC3, PFCE3レジスタを設定する必要があります。

**注意** CSIB1またはUARTA2において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16-2 CSIB1とUARTA2のモード切り替え設定

リセット時: 00H    R/W    アドレス: FFFFF446H								
7	6	5	4	3	2	1	0	
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時: 00H    R/W    アドレス: FFFFF466H								
7	6	5	4	3	2	1	0	
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30
リセット時: 00H    R/W    アドレス: FFFFF706H								
7	6	5	4	3	2	1	0	
PFCE3	PFCE37	PFCE36	PFCE35	PFCE34	0	PFCE32	PFCE31	PFCE30
PMC34	PFCE34	PFC34	P34端子の兼用機能の指定					
0	x	x	入出力ポート					
1	0	0	SCKB1入出力					
1	0	1	INTP11入力					
1	1	0	CS0 <sup>注</sup> 出力					
1	1	1	設定禁止					
PMC33	PFC33	P33端子の兼用機能の指定						
0	x	入出力ポート						
1	0	SOB1出力						
1	1	TXDA2出力						
PMC32	PFCE32	PFC32	P32端子の兼用機能の指定					
0	x	x	入出力ポート					
1	0	0	SIB1入力					
1	0	1	RXDA2入力					
1	1	0	CS1 <sup>注</sup> 出力					
1	1	1	設定禁止					
注    μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ								
備考    x = don't care								

### 16.1.3 CSIB2とUARTBのモード切り替え

V850E/IF3, V850E/IG3では, CSIB2とUARTBは端子が兼用になっており, 同時に使用することはできません。CSIB2とUARTBの切り替えは, あらかじめPMC3, PFC3, PFCE3レジスタを設定する必要があります。

**注意** CSIB2またはUARTBにおいて, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16 - 3 CSIB2とUARTBのモード切り替え設定

リセット時：00H R/W アドレス：FFFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時：00H R/W アドレス：FFFFFF466H

	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

リセット時：00H R/W アドレス：FFFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	PFCE37	PFCE36	PFCE35	PFCE34	0	PFCE32	PFCE31	PFCE30

PMC37	PFCE37	PFC37	P37端子の兼用機能の指定
0	x	x	入出力ポート
1	0	0	SCKB2入出力
1	0	1	INTP12入力
1	1	0	ASTB <sup>注</sup> 出力
1	1	1	設定禁止

PMC36	PFCE36	PFC36	P36端子の兼用機能の指定
0	x	x	入出力ポート
1	0	0	SOB2出力
1	0	1	TXDB出力
1	1	0	設定禁止
1	1	1	設定禁止

PMC35	PFCE35	PFC35	P35端子の兼用機能の指定
0	x	x	入出力ポート
1	0	0	SIB2入力
1	0	1	RXDB入力
1	1	0	設定禁止
1	1	1	設定禁止

**注**  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

**備考** x = don't care

## 16.2 特 徴

転送速度：8 Mbps（内部クロック使用時）

マスタ・モードとスレーブ・モードを選択可能

割り込み要求信号：3種類

- ・受信終了割り込み要求信号（INTCBnR）：受信許可状態において、シリアル転送終了後、シフトレジスタからCSIBn受信データレジスタ（CBnRX）へ受信データを転送すると発生
- ・送信許可割り込み要求信号（INTCBnT）：連続送信/連続送受信モード時の送信許可状態において、CSIBn送信データレジスタ（CBnTX）からシフトレジスタへ送信データを転送すると発生
- ・受信エラー割り込み要求信号（INTCBnRE）：連続転送モード時の受信許可状態において、オーバラン・エラーが発生する（CBnSTR.CBnOVEビット = 1）と発生

シリアル・クロックとデータのフェーズ切り替えが可能

3線式シリアル・インタフェース、転送データ長を8-16ビットに1ビット単位で選択可能

転送データのMSB先頭/LSB先頭を切り替え可能

3線式 SOBn : シリアル・データ出力

SIBn : シリアル・データ入力

$\overline{\text{SCKBn}}$  : シリアル・クロック入出力

送信モード、受信モード、送受信モードを指定可能

送信、受信ともにダブル・バッファ構成

オーバラン・エラー検出機能

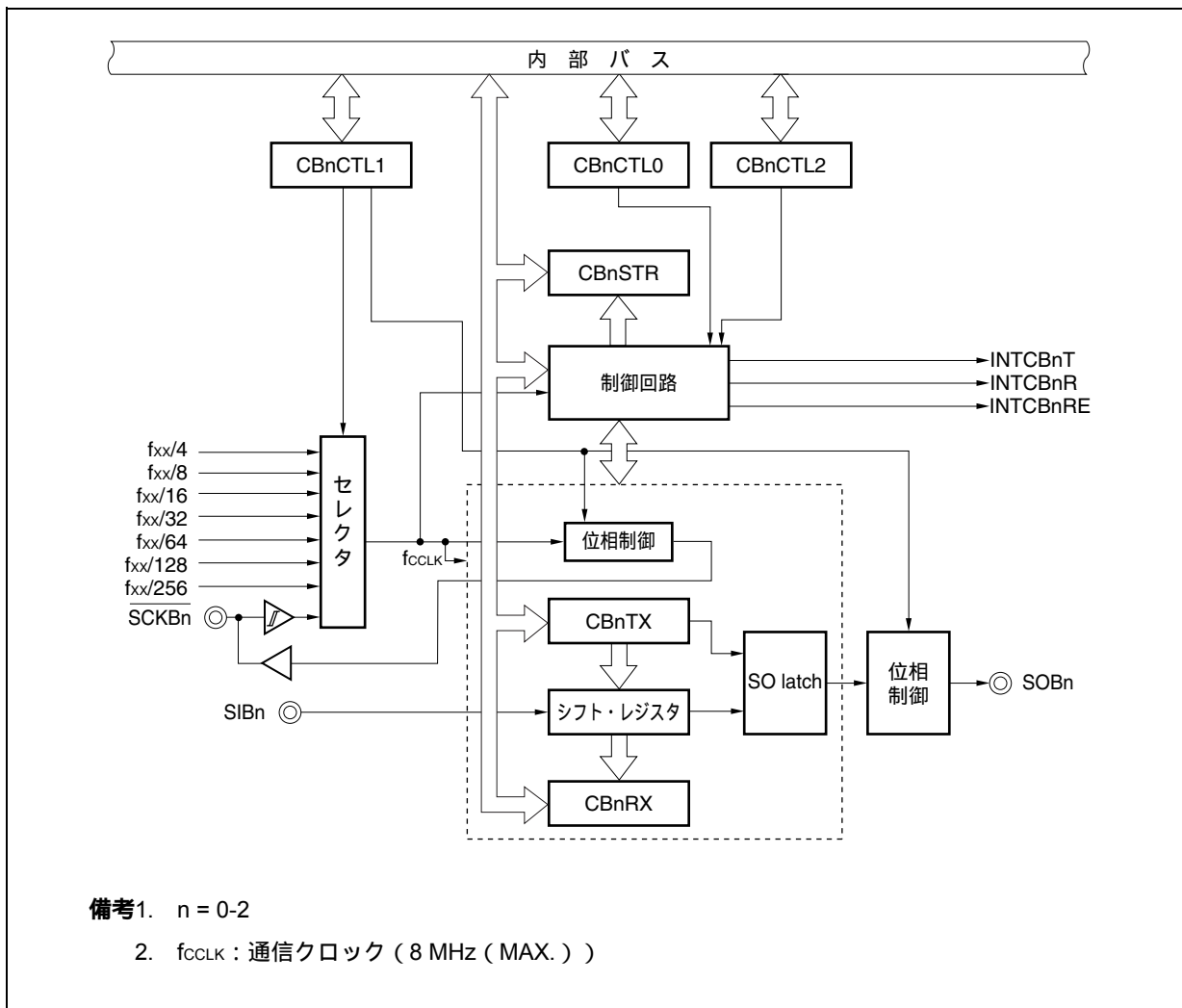
**備考** n = 0-2



### 16.3 構成

次にCSIBnのブロック図を示します。

図16-4 CSIBnのブロック図



CSIBnは、次のハードウェアで構成されています。

表16-1 CSIBnの構成

項目	構成
レジスタ	CSIBn受信データ・レジスタ (CBnRX) CSIBn送信データ・レジスタ (CBnTX)
制御レジスタ	CSIBn制御レジスタ0 (CBnCTL0) CSIBn制御レジスタ1 (CBnCTL1) CSIBn制御レジスタ2 (CBnCTL2) CSIBn状態レジスタ (CBnSTR)

(1) CSIBn受信データ・レジスタ (CBnRX)

CBnRXレジスタは、受信データを保持する16ビットのバッファ・レジスタです。

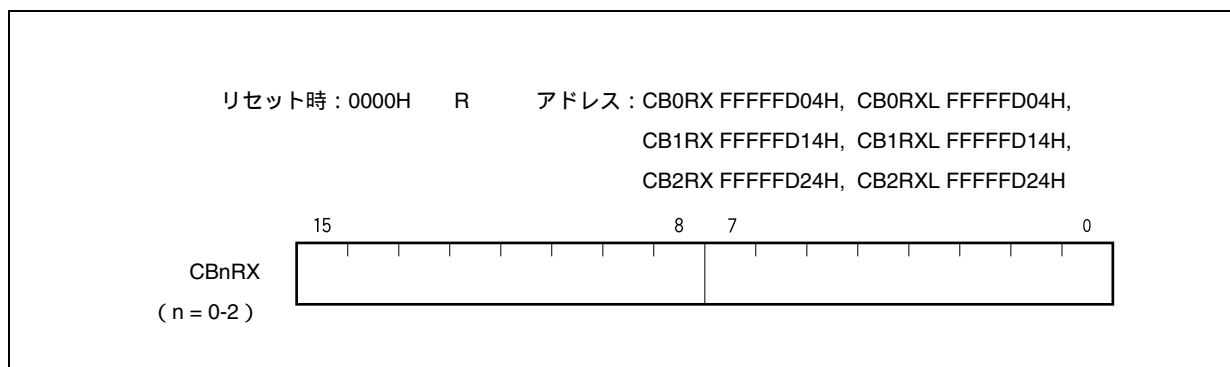
16ビット単位でリードのみ可能です。

受信モード中に、CBnRXレジスタをリードすることにより、受信動作を開始します。

転送データ長が8ビットの場合は、CBnRXレジスタの下位8ビットをCBnRXLレジスタとして、8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に、CBnCTL0.CBnPWRビットをクリア (0) しても初期化されます。



(2) CSIBn送信データ・レジスタ (CBnTX)

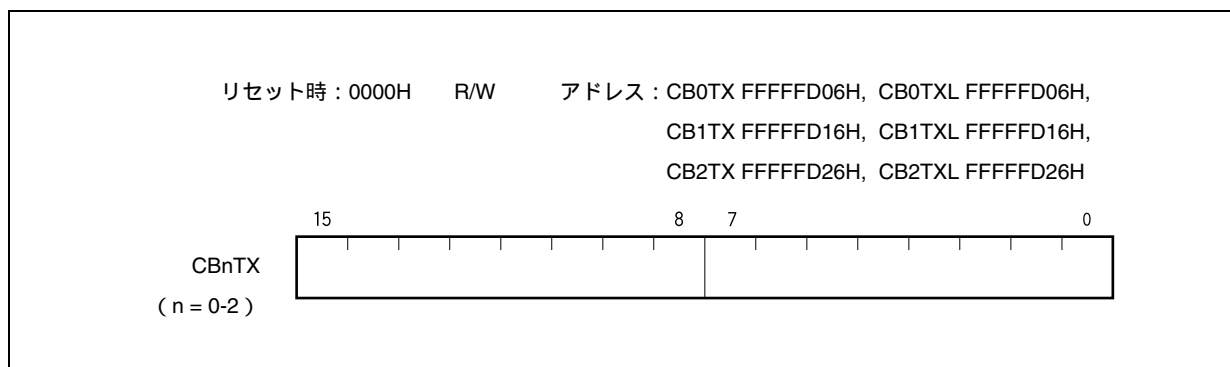
CBnTXレジスタは、CSIBnの転送データを書き込む16ビットのバッファ・レジスタです。

16ビット単位でリード/ライト可能です。

送信モード中に、CBnTXレジスタにデータをライトすることにより、送信動作を開始します。

転送データ長が8ビットの場合は、CBnTXレジスタの下位8ビットをCBnTXLレジスタとして、8ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



**備考** 通信開始条件について

送信モード (CBnTXEビット = 1, CBnRXEビット = 0) : CBnTXレジスタへのライト

送受信モード (CBnTXEビット = 1, CBnRXEビット = 1) : CBnTXレジスタへのライト

受信モード (CBnTXEビット = 0, CBnRXEビット = 1) : CBnRXレジスタのリード

## 16.4 制御レジスタ

CSIBnを制御するレジスタには、次のものがあります。

- ・ CSIBn制御レジスタ0 (CBnCTL0)
- ・ CSIBn制御レジスタ1 (CBnCTL1)
- ・ CSIBn制御レジスタ2 (CBnCTL2)
- ・ CSIBn状態レジスタ (CBnSTR)

### (1) CSIBn制御レジスタ0 (CBnCTL0)

CSIBnのシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

( 1/2 )

リセット時 : 01H    R/W    アドレス : CB0CTL0 FFFFFFFD00H, CB1CTL0 FFFFFFFD10H,  
CB2CTL0 FFFFFFFD20H

	⑦	⑥	⑤	④	3	2	1	①
CBnCTL0	CBnPWR	CBnTXE <sup>注</sup>	CBnRXE <sup>注</sup>	CBnDIR <sup>注</sup>	0	0	CBnTMS <sup>注</sup>	CBnSCE

( n = 0-2 )

CBnPWR	CSIBn動作禁止 / 許可の指定
0	CSIBn動作禁止, CBnSTRレジスタをリセットする
1	CSIBn動作許可
・ CBnPWRビット はCSIBnの動作の制御と内部回路のリセットを行います。	

CBnTXE <sup>注</sup>	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可
・ CBnTXEビット = 0のとき, SOBn出力はロウ・レベルとなります。	

CBnRXE <sup>注</sup>	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可
・ CBnRXEビット = 0にすることで受信動作を禁止するため, 規定のデータを転送されても受信終了割り込みは出力されず, 受信データ (CBnRXレジスタ) は更新されません。	

**注** CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。

**注意** ビット3, 2には必ず0を設定してください。

CBnDIR <sup>注1</sup>	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

CBnTMS <sup>注1</sup>	転送モードの指定
0	シングル転送モード
1	連続転送モード

・通信タイプ2, 4 (CBnCTL1.CBnDAPビット = 1) でシングル送信 / 送受信モードを使用する場合, CBnSTR.CBnTSFビット = 0であることを確認したあとにCBnTXレジスタに転送データを書き込んでください。

・DMAを使用する場合は, 連続転送モードを使用してください。

CBnSCE	起動転送無効 / 許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

・マスタ・モード時  
通信起動トリガの有効 / 無効を制御するビットです。  
(a) シングル受信モード  
受信データ (CBnRXレジスタ) のリードを行う前にCBnSCEビットを“0”に設定してください<sup>注2</sup>。  
(b) 連続受信モード時  
最終データの受信を終了する1通信クロック前までにCBnSCEビットを“0”に設定してください<sup>注3</sup>。

・スレーブ・モード時  
通信起動トリガの有効 / 無効を制御するビットです。  
(a) シングル受信モード, 連続受信モード時  
CBnSCEビットは“1”に設定してください<sup>注4</sup>。

・シングル送信 / 送受信モード, 連続送信 / 送受信モード時  
CBnSCEビットの機能は無効です。“1”に設定することを推奨します。

- 注1. CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。
2. CBnSCEビットが“1”のままリードした場合, 次回の通信動作が起動されません。
3. 最終データの受信を終了する1通信クロック前までにCBnSCEビットを“0”にしない場合, 自動的に次回の通信動作が起動されます。  
なお, 最終データのリード後に再び通信動作を起動したい場合, CBnSCEビットを“1”に設定し, CBnRXレジスタをダミー・リードします。
4. 受信を開始する場合には, ダミー・リードが必要です。

## (a) CBnSCEビットの使用法

## (i) シングル受信モード時

INTCBnR割り込み処理で最終データの受信が終了している場合は、CBnSCEビット = 0にしてから、CBnRXレジスタを読み出します。

最終データの受信終了後、受信を禁止する場合は、CBnSTR.CBnTSFビットが“0”であることを確認したあと、CBnPWRビット = 0, CBnRXEビット = 0にします。続けて受信する場合は、CBnSCEビット = 1にして、CBnRXレジスタのダミー・リードにより次の受信動作を開始します。

## (ii) 連続受信モード時

最終受信1つ前の受信によるINTCBnR割り込み処理で最終データの受信中にCBnSCEビット = 0にしてから、CBnRXレジスタを読み出します。

最終受信のINTCBnR信号を受けて、CBnRXレジスタにより最終データを読み出します。

最終データの受信終了後、受信を禁止する場合は、CBnSTR.CBnTSFビットが“0”であることを確認したあと、CBnPWRビット = 0, CBnRXEビット = 0にします。続けて受信する場合は、CBnSCEビット = 1にして、CBnRXレジスタのダミー・リードにより次の受信動作を開始します。

**注意** 連続受信の場合、ダミー・リードで受信を開始したあと、CBnSCEビット = 0設定時に実行中の受信が終了するまでシリアル・クロックは停止しません。

(2) CSIBn制御レジスタ1 (CBnCTL1)

CSIBnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** CBnCTL1レジスタは、CBnCTL0.CBnPWRビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CB0CTL1 FFFFFFFD01H, CB1CTL1 FFFFFFFD11H,  
CB2CTL1 FFFFFFFD21H

	7	6	5	4	3	2	1	0
CBnCTL1 (n = 0-2)	0	0	0	CBnCKP	CBnDAP	CBnCKS2	CBnCKS1	CBnCKS0

	CBnCKP	CBnDAP	SCKBnに対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

CBnCKS2	CBnCKS1	CBnCKS0	通信クロック (f <sub>CCLK</sub> )	モード
0	0	0	f <sub>xx</sub> /4	マスタ・モード
0	0	1	f <sub>xx</sub> /8	マスタ・モード
0	1	0	f <sub>xx</sub> /16	マスタ・モード
0	1	1	f <sub>xx</sub> /32	マスタ・モード
1	0	0	f <sub>xx</sub> /64	マスタ・モード
1	0	1	f <sub>xx</sub> /128	マスタ・モード
1	1	0	f <sub>xx</sub> /256	マスタ・モード
1	1	1	外部クロック (SCKBn)	スレーブ・モード

**注意** f<sub>CCLK</sub>は8 MHz以下に設定してください。

(3) CSIBn制御レジスタ2 (CBnCTL2)

CSIBnのシリアル転送ビット数を制御する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** CBnCTL2レジスタは、CBnCTL0.CBnPWRビット = 0、またはCBnTXE, CBnRXEビット = 0の場合のみ書き換えを許可します。

リセット時 : 00H    R/W    アドレス : CB0CTL2 FFFFFFFD02H, CB1CTL2 FFFFFFFD12H,  
CB2CTL2 FFFFFFFD22H

	7	6	5	4	3	2	1	0
CBnCTL2 (n = 0-2)	0	0	0	0	CBnCL3	CBnCL2	CBnCL1	CBnCL0

CBnCL3	CBnCL2	CBnCL1	CBnCL0	シリアル・レジスタのビット長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	x	x	x	16ビット

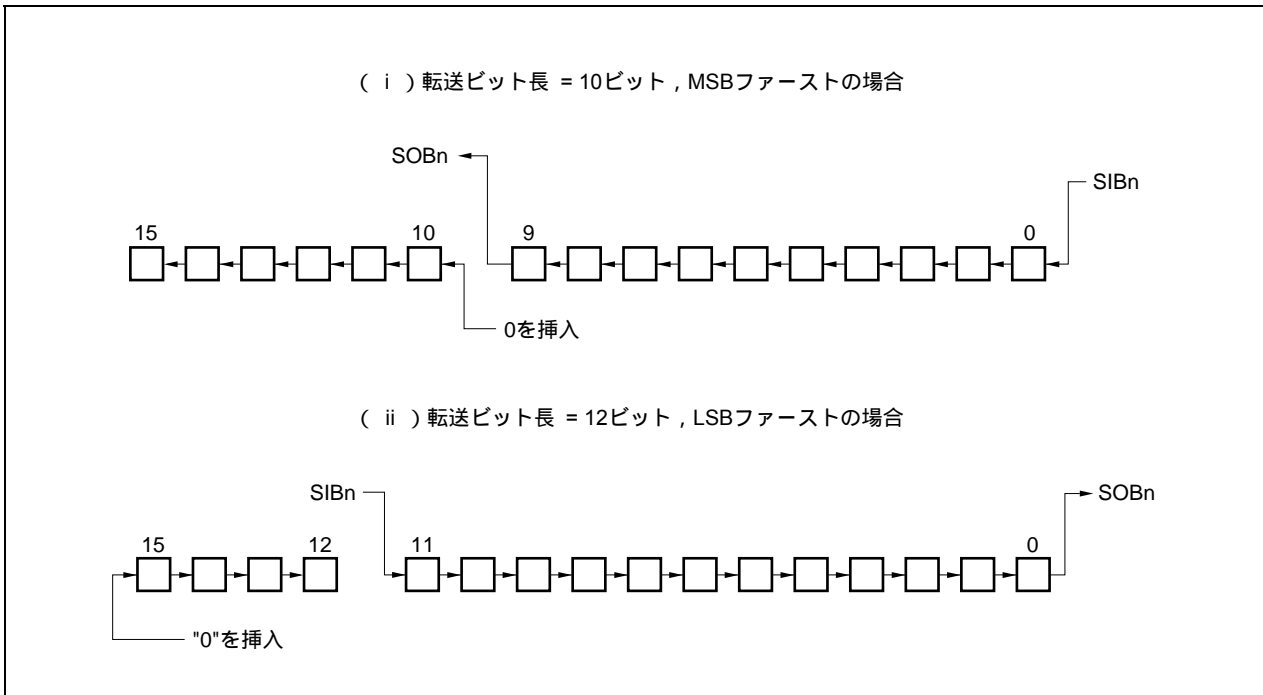
**備考** 転送ビット数が8/16ビットではない場合には、CBnTX, CBnRXレジスタの最下位ビットから詰めてデータを準備して使用してください。

(a) 転送データ長変更機能

CSIBnの転送データ長はCBnCTL2.CBnCL3-CBnCL0ビットによって、8-16ビットに1ビット単位で設定可能です。

転送ビット長を16ビット以外に設定した場合、CBnTX, CBnRXレジスタへは、転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。

備考 n = 0-2





(4) CSIBn状態レジスタ (CBnSTR)

CSIBnの状態をあらわす8ビットのレジスタです。

8/1ビット単位でリード/ライト可能ですが、CBnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に、CBnCTL0.CBnPWRビットをクリア (0) する場合も初期化されます。

リセット時 : 00H    R/W    アドレス : CB0STR FFFFFFFD03H, CB1STR FFFFFFFD13H,  
CB2STR FFFFFFFD23H

	⑦	6	5	4	3	2	1	⑩
CBnSTR (n = 0-2)	CBnTSF	0	0	0	0	0	0	CBnOVE
	CBnTSF	通信状態フラグ						
	0	通信停止						
	1	通信中						
	・送信時にはCBnTXレジスタにデータを準備したタイミングでセットされます。 受信時にはCBnRXレジスタをダミー・リードしたタイミングでセットされます。 転送終了時、クロックの最後のエッジでクリア (0) されます。							
	CBnOVE	オーバラン・エラー・フラグ						
	0	オーバランなし						
	1	オーバランあり						
	・受信時もしくは受信動作終了後に、CBnRXレジスタの値をCPUリードせずに次の 受信が開始した場合、オーバラン・エラーとする。 CBnOVEフラグは、このような場合のオーバラン・エラーの発生状態を示します。 ・CBnOVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセット されません							

**注意** シングル転送モードでは、CBnTSFビット = 1の状態でもCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。

たとえば、INTCBnR信号発生によりDMAを起動し、CBnTXレジスタに次のデータを書き込んでも、CBnTSFビット = 1のため書き込んだデータの転送は行われません。

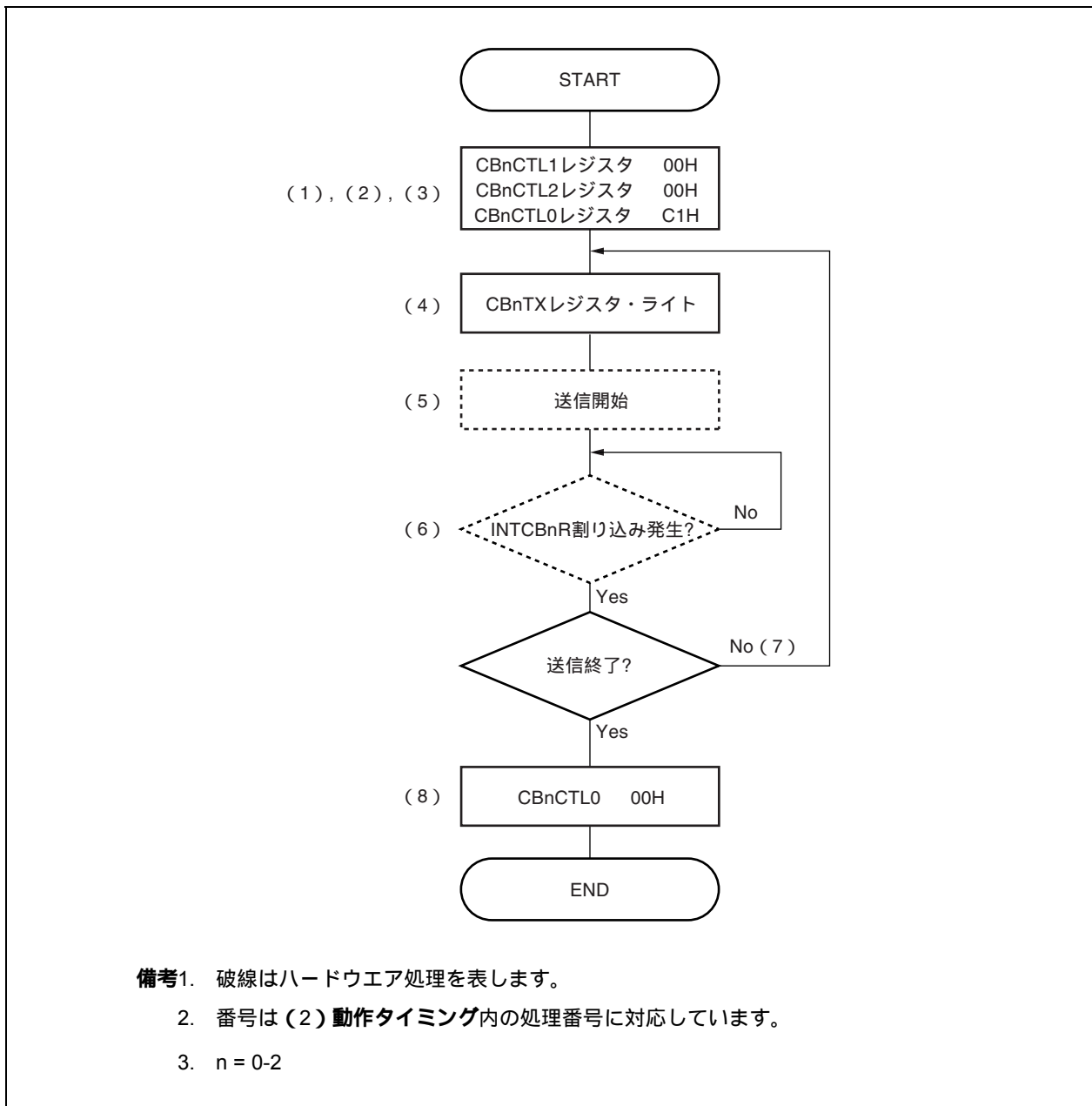
このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

## 16.5 動作

### 16.5.1 シングル転送モード (マスタ・モード, 送信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック ( $f_{CLK}$ ) =  $f_x/4$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

#### (1) 動作フロー

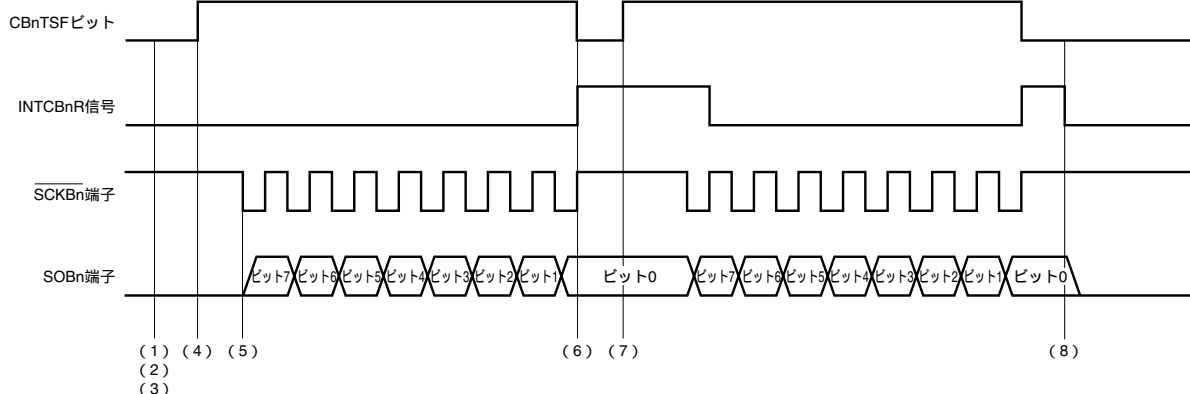


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3.  $n = 0-2$

## (2) 動作タイミング



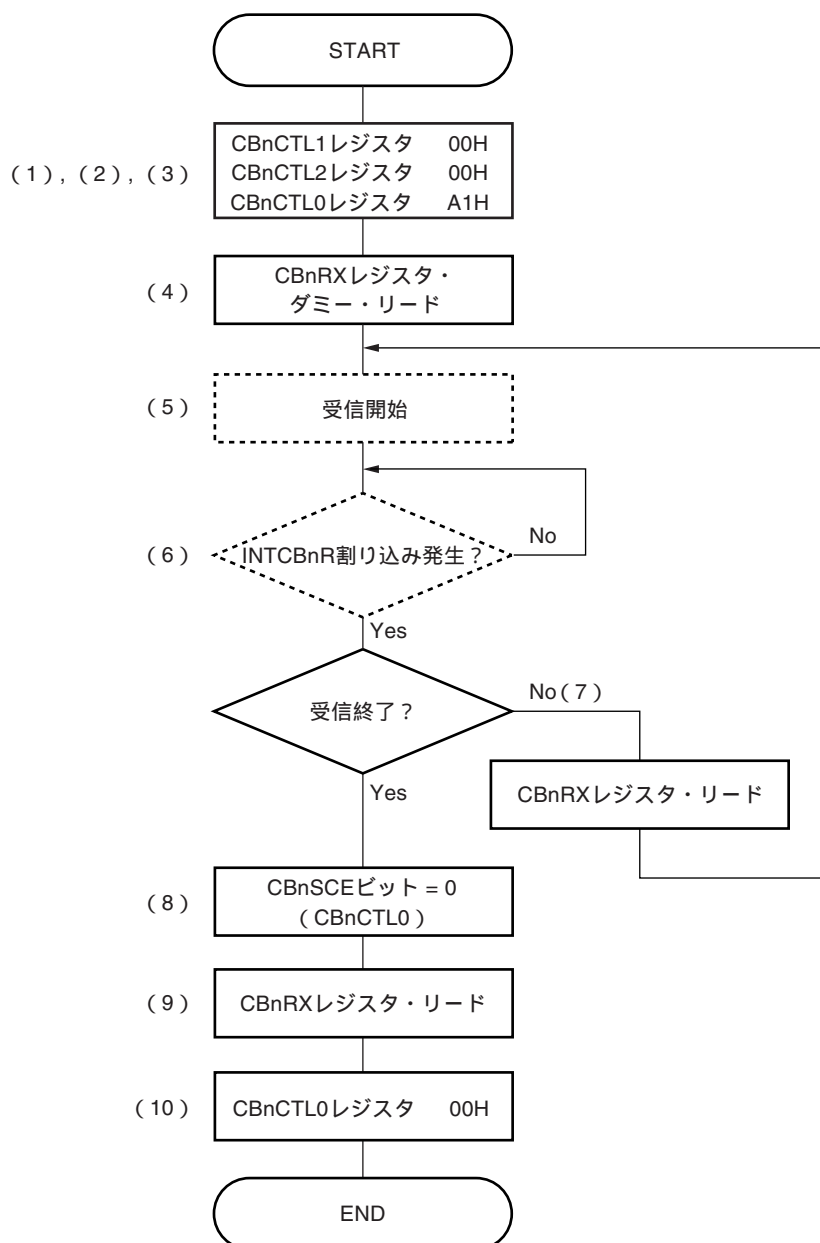
- (1) CbNCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ( $f_{CCLK}$ ) =  $f_{xx}/4$ 、マスタ・モードを選択する。
- (2) CbNCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CbNCTL0レジスタにC1Hをライトし、通信クロック ( $f_{CCLK}$ ) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CbNTXレジスタに送信データをライトすることで、CbNSTR.CbNtSFビットがセット(1)され、送信を開始する。
- (5) 送信が開始されると、SCKbN端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CbNCTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの出力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCbNR) を発生し、CbNtSFビットはクリア(0)される。
- (7) 続けて送信を行う場合は、INTCbNR信号発生後、再びCbNTXレジスタに送信データをライトすることで次の送信を開始する。
- (8) 送信を終了する場合は、CbNCTL0.CbNPWRビット = 0, CbNCTL0.CbNTXEビット = 0をライトする。

**備考** n = 0-2

## 16.5.2 シングル転送モード (マスタ・モード, 受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック( $f_{CLK}$ ) =  $f_x/4$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

## (1) 動作フロー

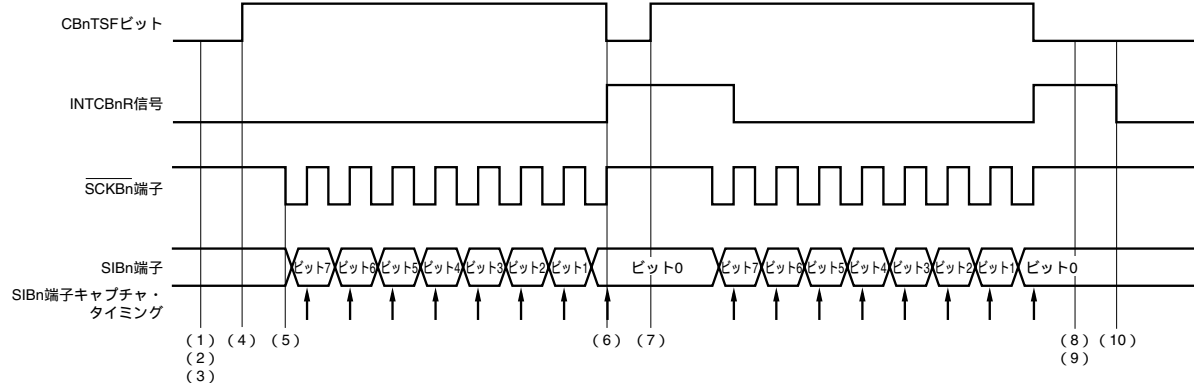


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3.  $n = 0-2$

## (2) 動作タイミング



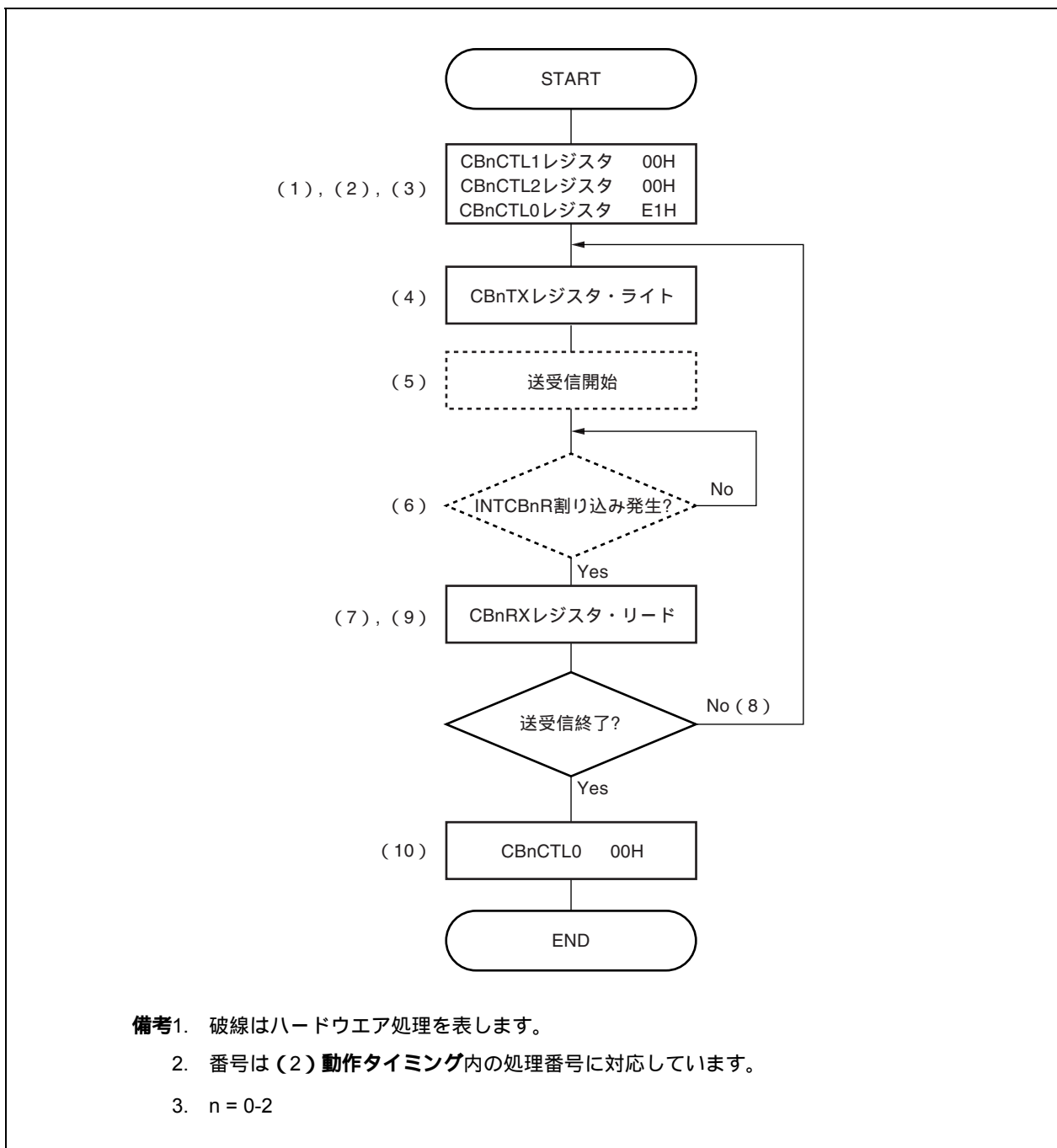
- (1) CBNCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CLK}}$ ) =  $f_{\text{xx}}/4$ 、マスタ・モードを選択する。
- (2) CBNCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBNCTL0レジスタにA1Hをライトし、通信クロック ( $f_{\text{CLK}}$ ) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CBNRXレジスタをダミー・リードすることで、CBNSTR.CBN\_TSFビットがセット(1)され、受信を開始する。
- (5) 受信が開始されると、SCK\_BN端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIB\_BN端子の受信データをキャプチャする。
- (6) CBNCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロック出力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INT\_CBN) を発生し、CBN\_TSFビットはクリア(0)される。
- (7) 続けて受信を行う場合は、INT\_CBN信号発生後、CBNCTL0.CBN\_SCEビット = 1のまま、CBNRXレジスタをリードする。
- (8) 次の受信を開始させずにCBNRXレジスタをリードする場合には、CBN\_SCEビット = 0をライトする。
- (9) CBNRXレジスタをリードする。
- (10) 受信を終了する場合は、CBNCTL0.CBN\_PWRビット = 0, CBNCTL0.CBN\_RXEビット = 0をライトする。

**備考** n = 0-2

### 16.5.3 シングル転送モード (マスタ・モード, 送受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック ( $f_{\text{CLK}}$ ) =  $f_{\text{X}}/4$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

#### (1) 動作フロー

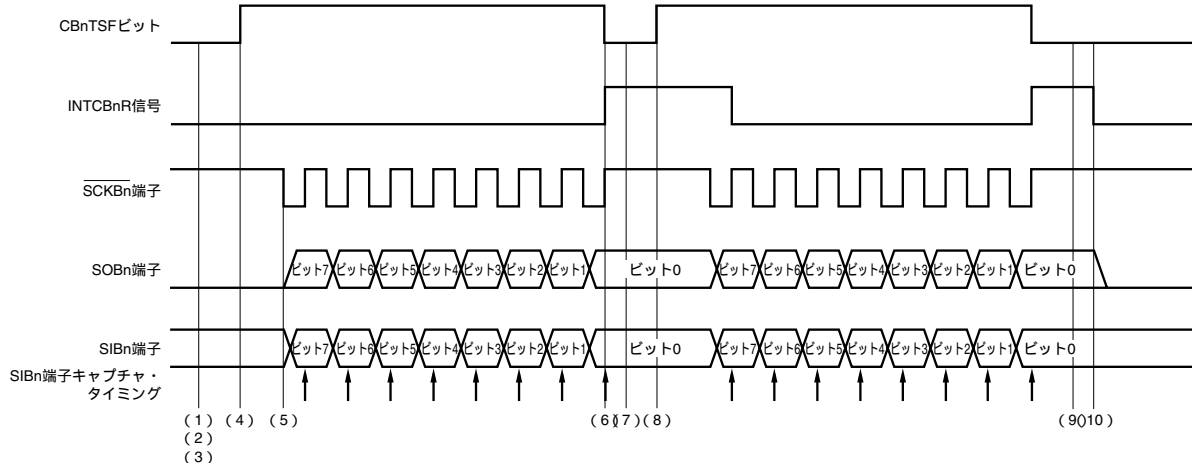


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3.  $n = 0-2$

## (2) 動作タイミング



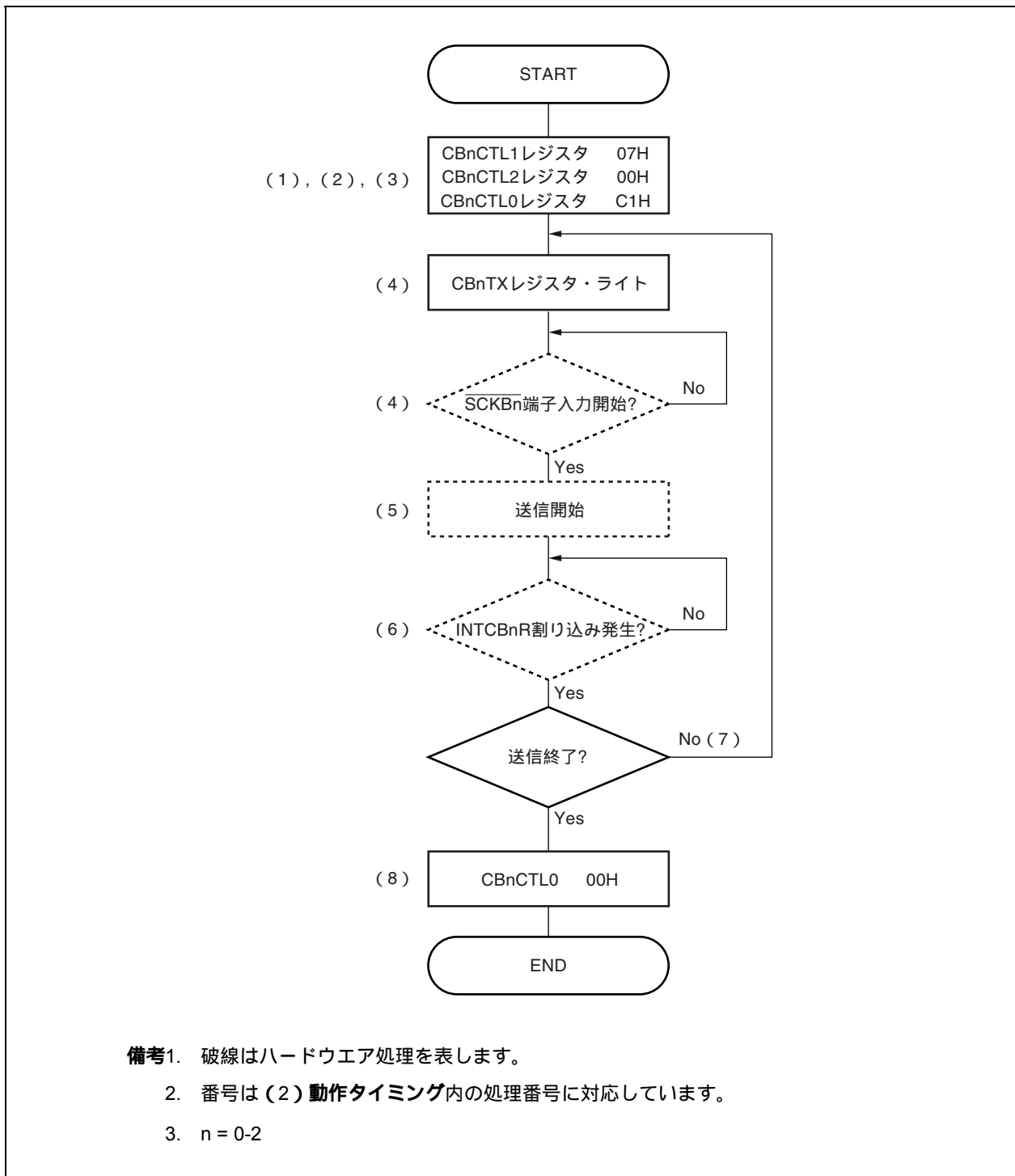
- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ( $f_{CCLK}$ ) =  $f_{xx}/4$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE1Hをライトし、通信クロック ( $f_{CCLK}$ ) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSMFビットがセット (1) され、送受信を開始する。
- (5) 送受信が開始されると、 $\overline{SCKBn}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子に送信データを出力し、SIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの出力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCBnR) を発生し、CBnTSMFビットはクリア (0) される。
- (7) CBnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再びCBnTXレジスタに送信データをライトする。
- (9) CBnRXレジスタをリードする。
- (10) 送受信を終了する場合は、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

**備考** n = 0-2

### 16.5.4 シングル転送モード (スレーブ・モード, 送信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック( $f_{CCLK}$ ) = 外部クロック( $\overline{SCKBn}$ ) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

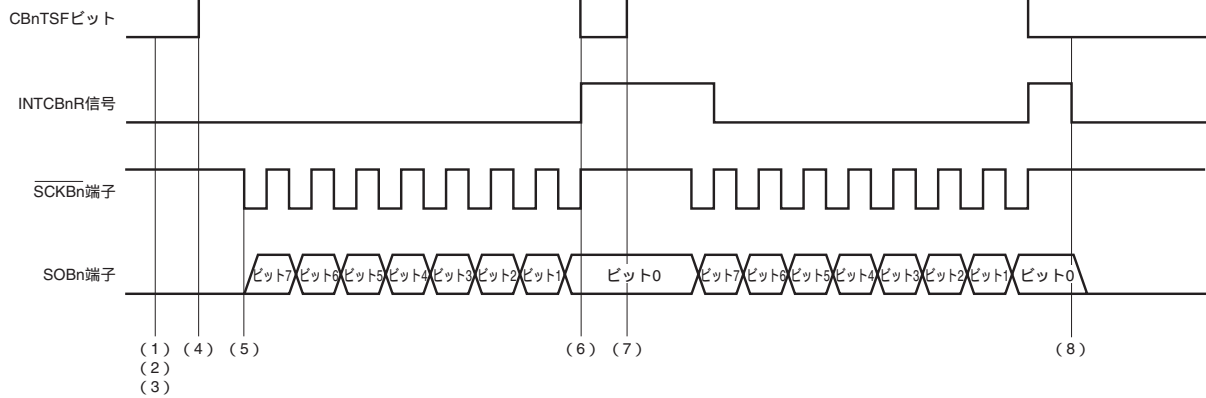
#### (1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。  
 2. 番号は(2)動作タイミング内の処理番号に対応しています。  
 3.  $n = 0-2$



## (2) 動作タイミング



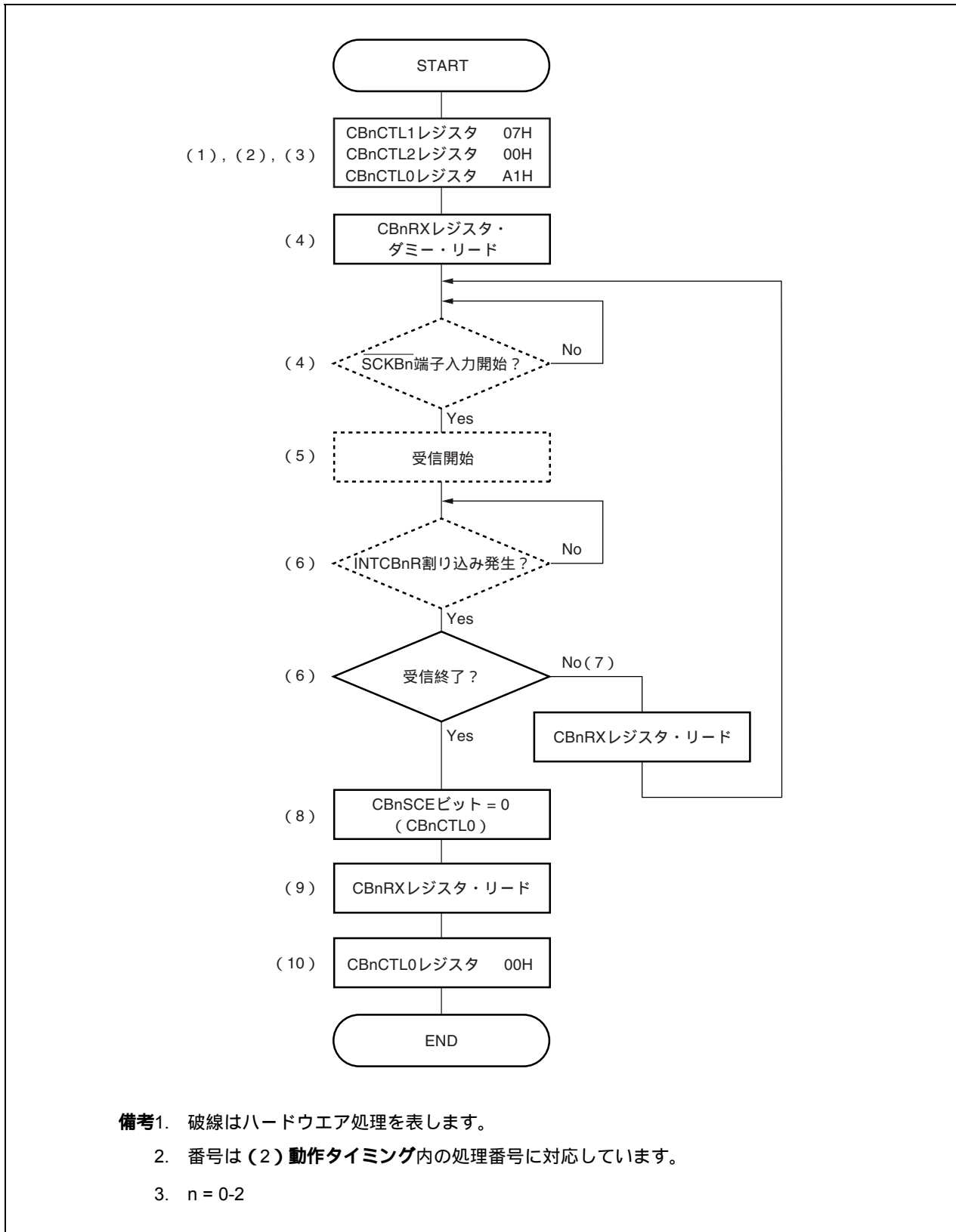
- (1) CnBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CLK}}$ ) = 外部クロック ( $\overline{\text{SCKn}}$ )、スレーブ・モードを選択する。
- (2) CnBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CnBnCTL0レジスタにC1Hをライトし、通信クロック ( $f_{\text{CLK}}$ ) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CnBnTXレジスタに送信データをライトすることで、CnBnSTR.CnBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CnBnCTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの入力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCnR) を発生し、CnBnTSFビットはクリア (0) される。
- (7) 続けて送信を行う場合は、INTCnR信号発生後、再びCnBnTXレジスタに送信データをライトし、シリアル・クロックの入力を待つ。
- (8) 送信を終了する場合は、CnBnCTL0.CnBnPWRビット = 0、CnBnCTL0.CnBnTXEビット = 0をライトする。

**備考** n = 0-2

### 16.5.5 シングル転送モード (スレーブ・モード, 受信モード)

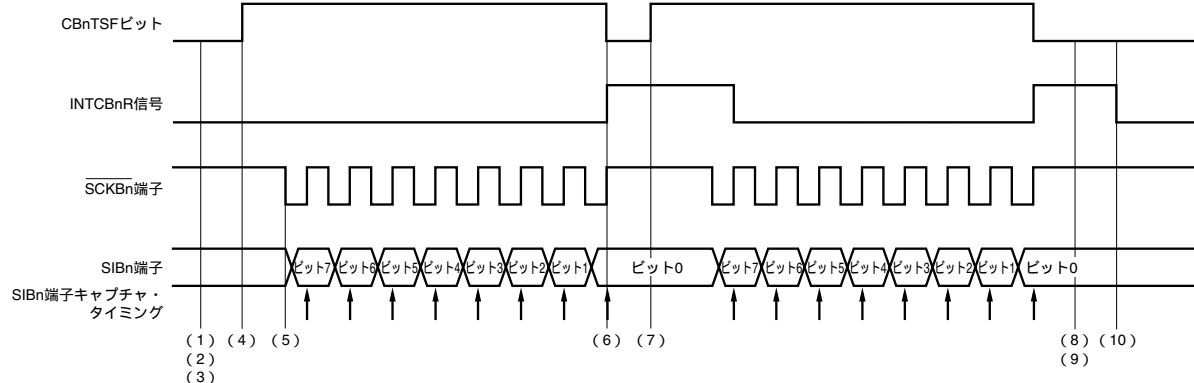
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f<sub>CCLK</sub>) = 外部クロック (SCKBn) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

#### (1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。  
 2. 番号は(2)動作タイミング内の処理番号に対応しています。  
 3. n = 0-2

## (2) 動作タイミング



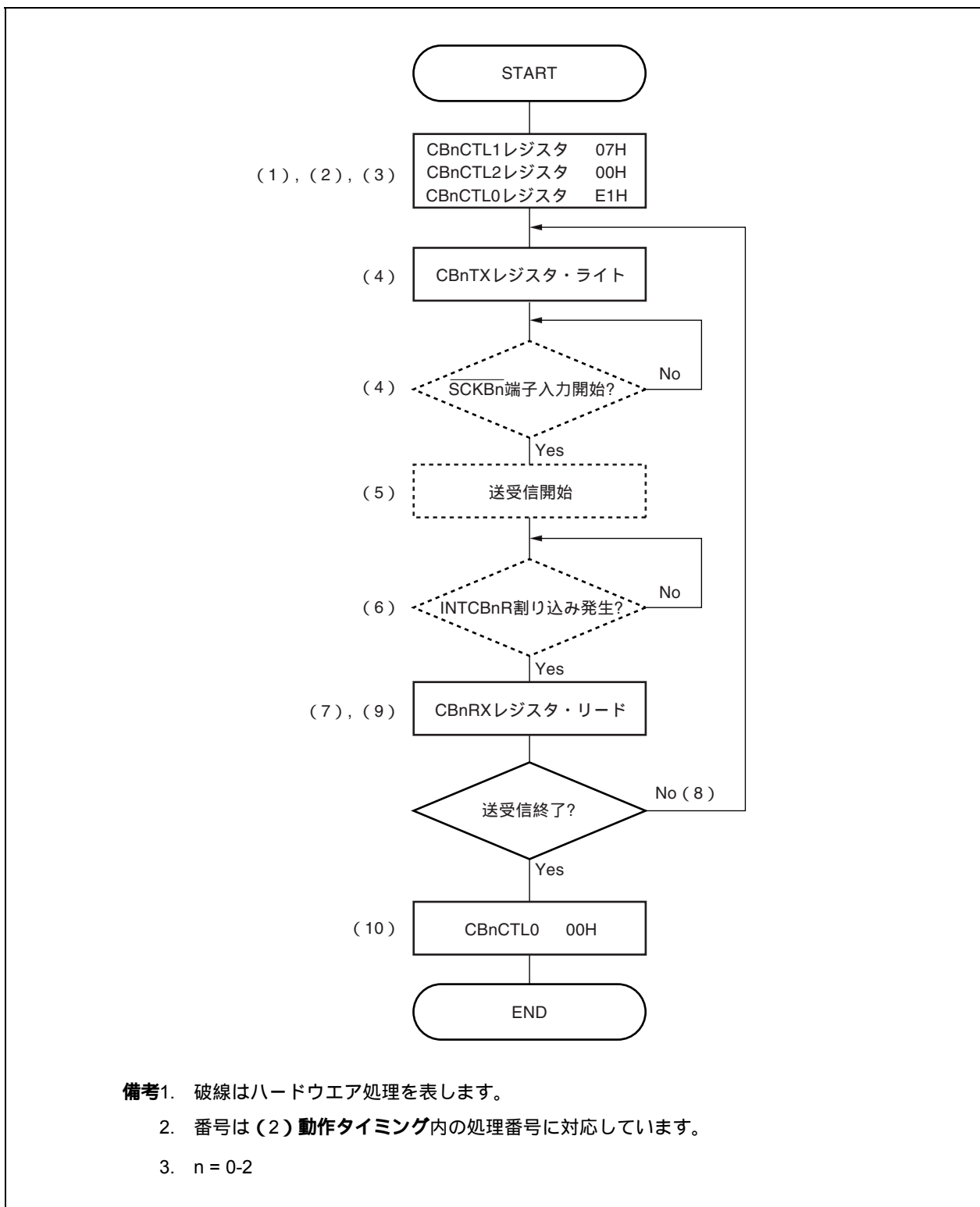
- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CLK}}$ ) = 外部クロック ( $\overline{\text{SCKBn}}$ )、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA1Hをライトし、通信クロック ( $f_{\text{CLK}}$ ) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロック入力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットはクリア(0)される。
- (7) 続けて受信を行う場合は、INTCBnR信号発生後、CBnCTL0.CBnSCEビット = 1のまま、CBnRXレジスタをリードし、シリアル・クロックの入力を待つ。
- (8) 受信を終了する場合は、CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信を終了する場合は、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

**備考** n = 0-2

### 16.5.6 シングル転送モード (スレーブ・モード, 送受信モード)

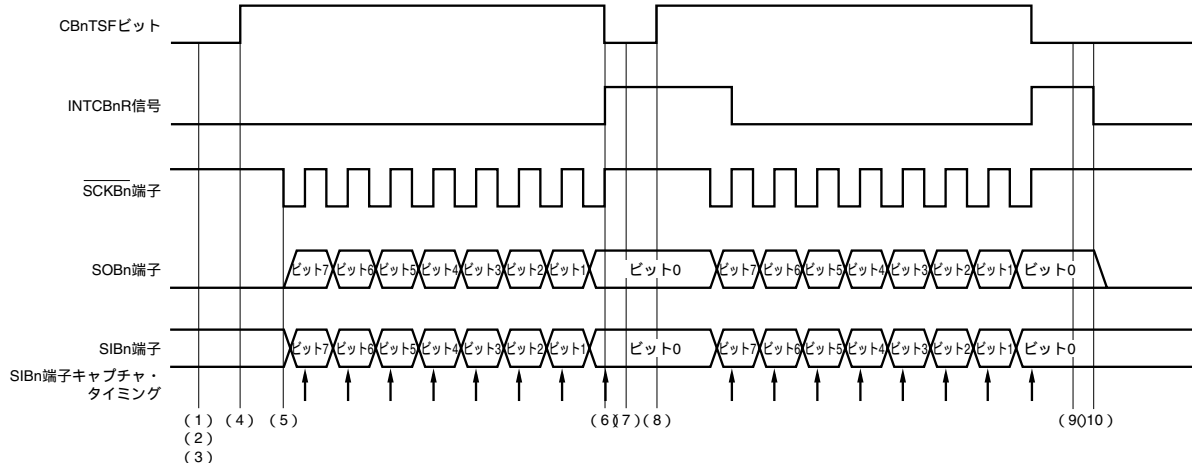
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック( $f_{CCLK}$ ) = 外部クロック( $\overline{SCKBn}$ ) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

#### (1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
  3.  $n = 0-2$

## (2) 動作タイミング



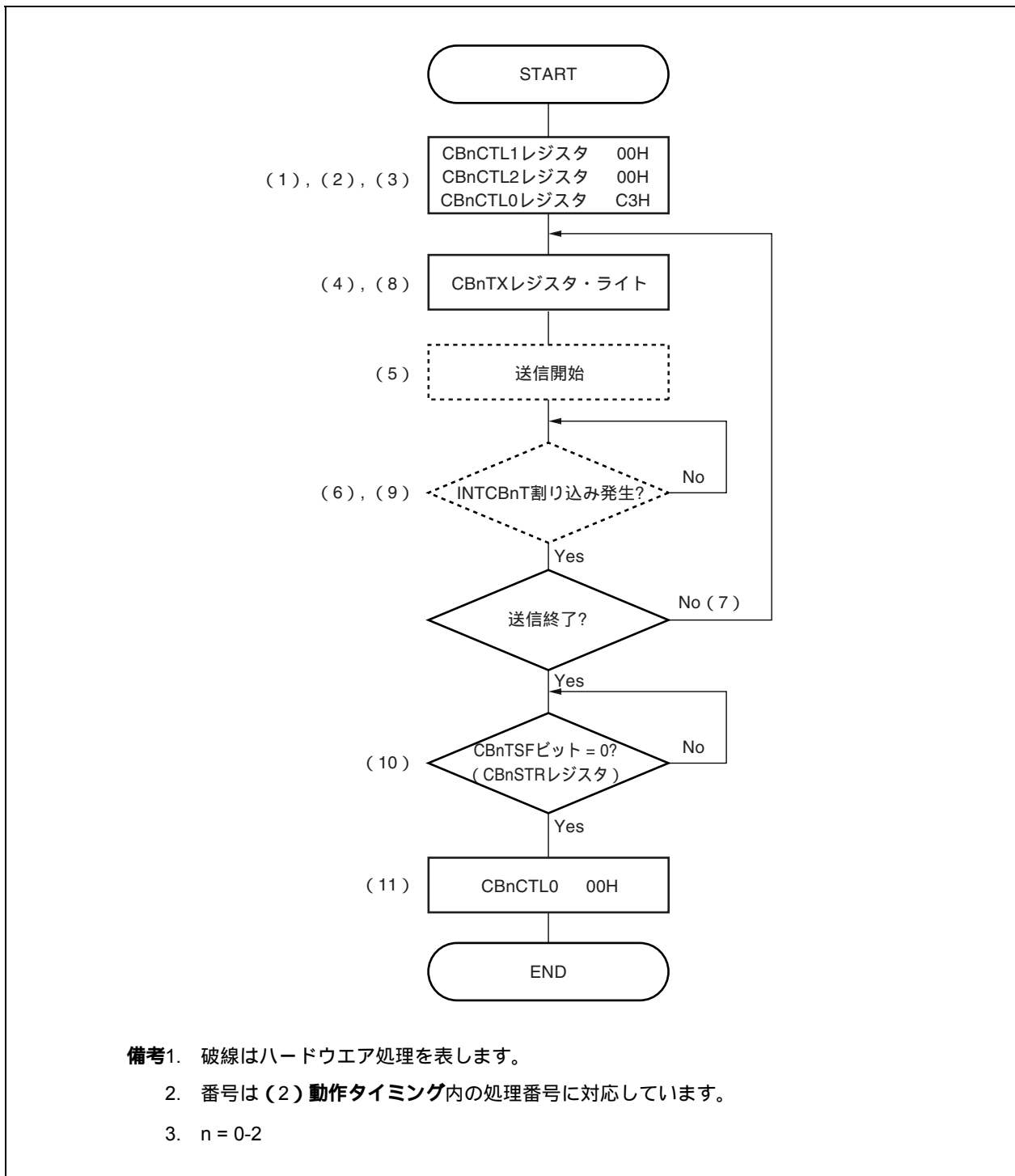
- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック ( $f_{CLK}$ ) = 外部クロック ( $\overline{SCKn}$ )、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE1Hをライトし、通信クロック ( $f_{CLK}$ ) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子に送信データを出し、SIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの入力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTnR) を発生し、CBnTSFビットはクリア (0) される。
- (7) CBnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再びCBnTXレジスタに送信データをライトし、シリアル・クロックの入力を待つ。
- (9) CBnRXレジスタをリードする。
- (10) 送受信を終了する場合は、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

**備考** n = 0-2

### 16. 5. 7 連続転送モード (マスタ・モード, 送信モード)

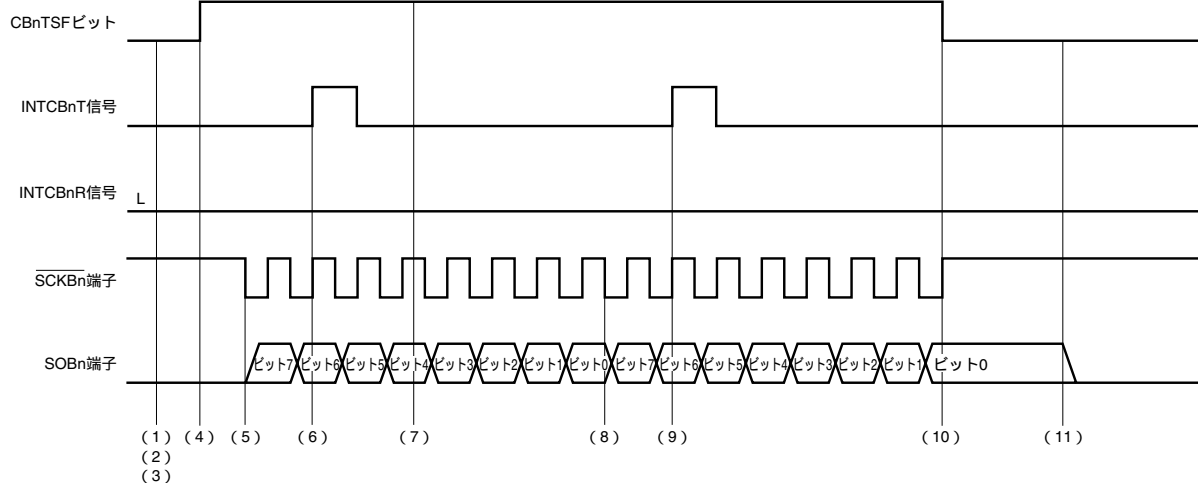
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック( $f_{CLK}$ ) =  $f_x/4$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

#### (1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
  3.  $n = 0-2$

## (2) 動作タイミング



- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ( $f_{CCLK}$ ) =  $f_{xx}/4$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし、通信クロック ( $f_{CCLK}$ ) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、送信を開始する。
- (5) 送信が開始されると、 $\overline{SCKBn}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が終了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) 通信終了前に新たな送信データがCBnTXレジスタへライトされていると、通信終了後に続けて次の通信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が終了し、INTCBnT信号が発生する。現送信で連続送信を終了する場合は、CBnTXレジスタへのライトを行わない。
- (10) 転送終了までに次の送信データがCBnTXレジスタへライトされない場合は、転送終了後、 $\overline{SCKBn}$ 端子へのシリアル・クロック出力を停止し、CBnTSFビットはクリア (0) される。
- (11) 送信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

**注意** 連続送信モードでは、受信終了割り込み要求信号 (INTCBnR) は発生しません。

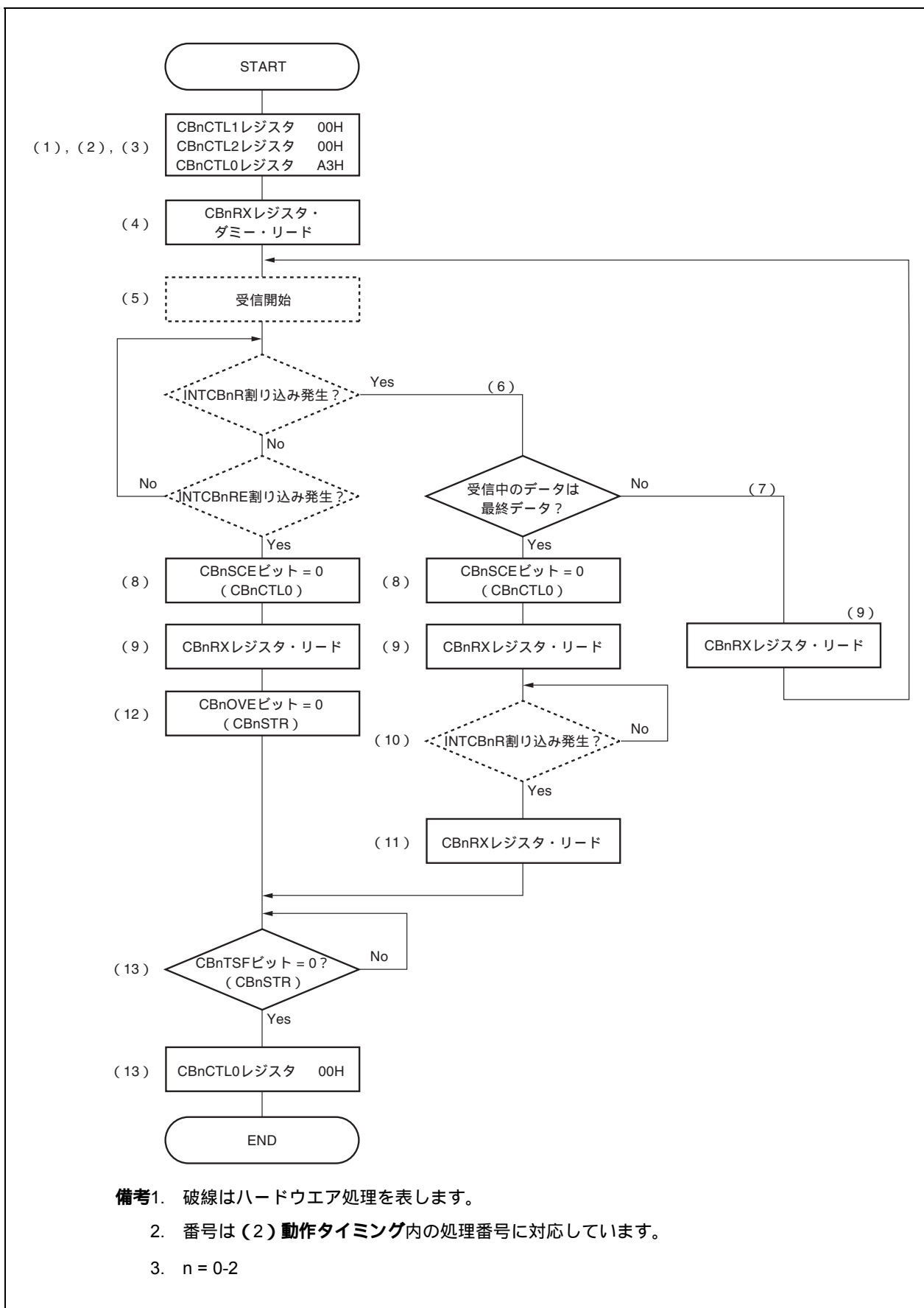
**備考** n = 0-2

### 16. 5. 8 連続転送モード (マスタ・モード, 受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック ( $f_{\text{CLK}}$ ) =  $f_{\text{xx}}/4$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

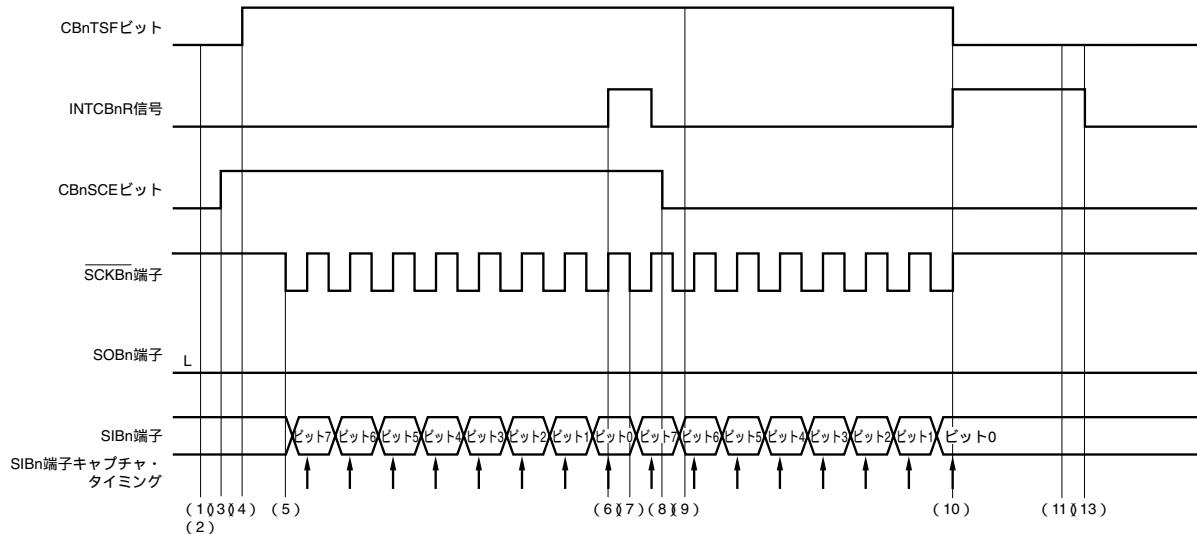


(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
- 2. 番号は(2)動作タイミング内の処理番号に対応しています。
- 3. n = 0-2

## (2) 動作タイミング



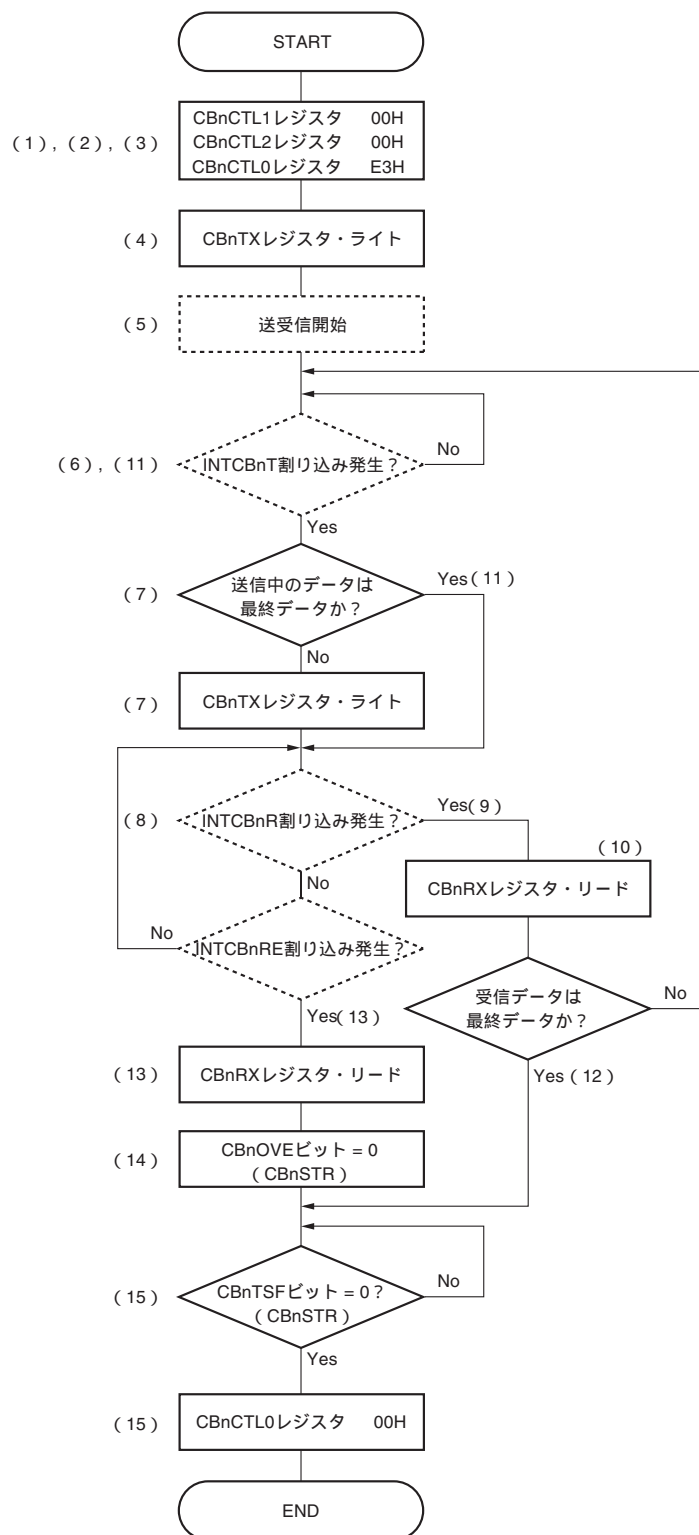
- (1) CbNCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CLK}}$ ) =  $f_{\text{xx}}/4$ 、マスタ・モードを選択する。
- (2) CbNCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CbNCTL0レジスタにA3Hをライトし、通信クロック ( $f_{\text{CLK}}$ ) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CbNRXレジスタをダミー・リードすることで、CbNSTR.CbNtSfビットがセット(1)され、受信を開始する。
- (5) 受信が開始されると、 $\overline{\text{SCKbN}}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が終了すると、受信終了割り込み要求信号 (INTCbNr) が発生し、CbNRXレジスタのリードが可能になる。
- (7) 通信終了時にCbNCTL0.CbNsceビット = 1だと、通信終了後に続けて次の通信を開始する。
- (8) 現受信で連続受信を終了する場合は、CbNsceビット = 0をライトする。
- (9) CbNRXレジスタをリードする。
- (10) 受信が終了すると、INTCbNr信号が発生し、CbNRXレジスタのリードが可能になる。通信終了前にCbNsceビット = 0に設定されていると、 $\overline{\text{SCKbN}}$ 端子へのシリアル・クロックの出力を停止し、CbNtSfビットはクリア(0)され、受信動作を終了する。
- (11) CbNRXレジスタをリードする。
- (12) オーバラン・エラー発生時は、CbNSTR.CbNOveビット = 0をライトして、エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は、CbNtSfビット = 0を確認後、CbNCTL0.CbNpwrビット = 0、CbNCTL0.CbNrxEビット = 0をライトする。

**備考** n = 0-2

### 16. 5. 9 連続転送モード (マスタ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック ( $f_{\text{CLK}}$ ) =  $f_{\text{X}}/4$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

(1) 動作フロー



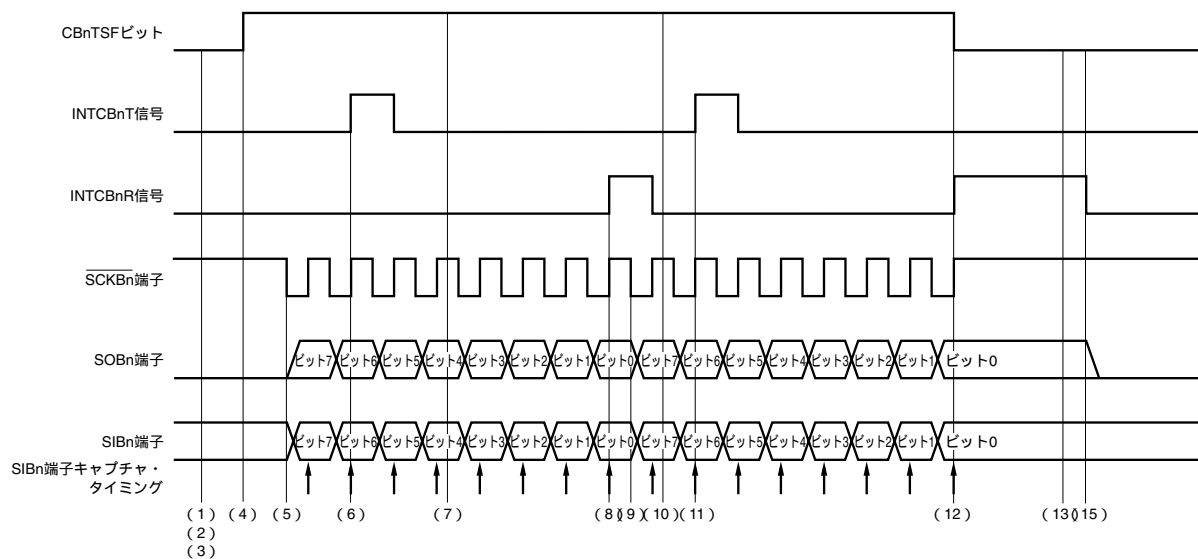
備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. n = 0-2

## (2) 動作タイミング

(1/2)



- (1) CbNCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CLK}}$ ) =  $f_{\text{xx}}/4$ 、マスタ・モードを選択する。
- (2) CbNCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CbNCTL0レジスタにE3Hをライトし、通信クロック ( $f_{\text{CLK}}$ ) を動作許可状態にすると同時に、送受信モード、MSBファースト、連続転送モードを選択する。
- (4) CbNTXレジスタに送信データをライトすることで、CbNSTR.CbNtSFビットがセット(1)され、送受信を開始する。
- (5) 送受信が開始されると、SCKBn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子に送信データを出力し、SIBn端子の受信データをキャプチャする。
- (6) CbNTXレジスタからシフト・レジスタへの送信データの転送が終了し、CbNTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送受信を行う場合は、INTCBnT信号発生後、再びCbNTXレジスタに送信データをライトする。
- (8) 1回の送受信が終了すると、受信終了割り込み要求信号 (INTCBnR) が発生し、CbNRXレジスタのリードが可能になる。
- (9) 通信終了前に新たな送信データがCbNTXレジスタへライトされていると、通信終了後に続けて次の通信を開始する。
- (10) CbNRXレジスタをリードする。

備考 n = 0-2

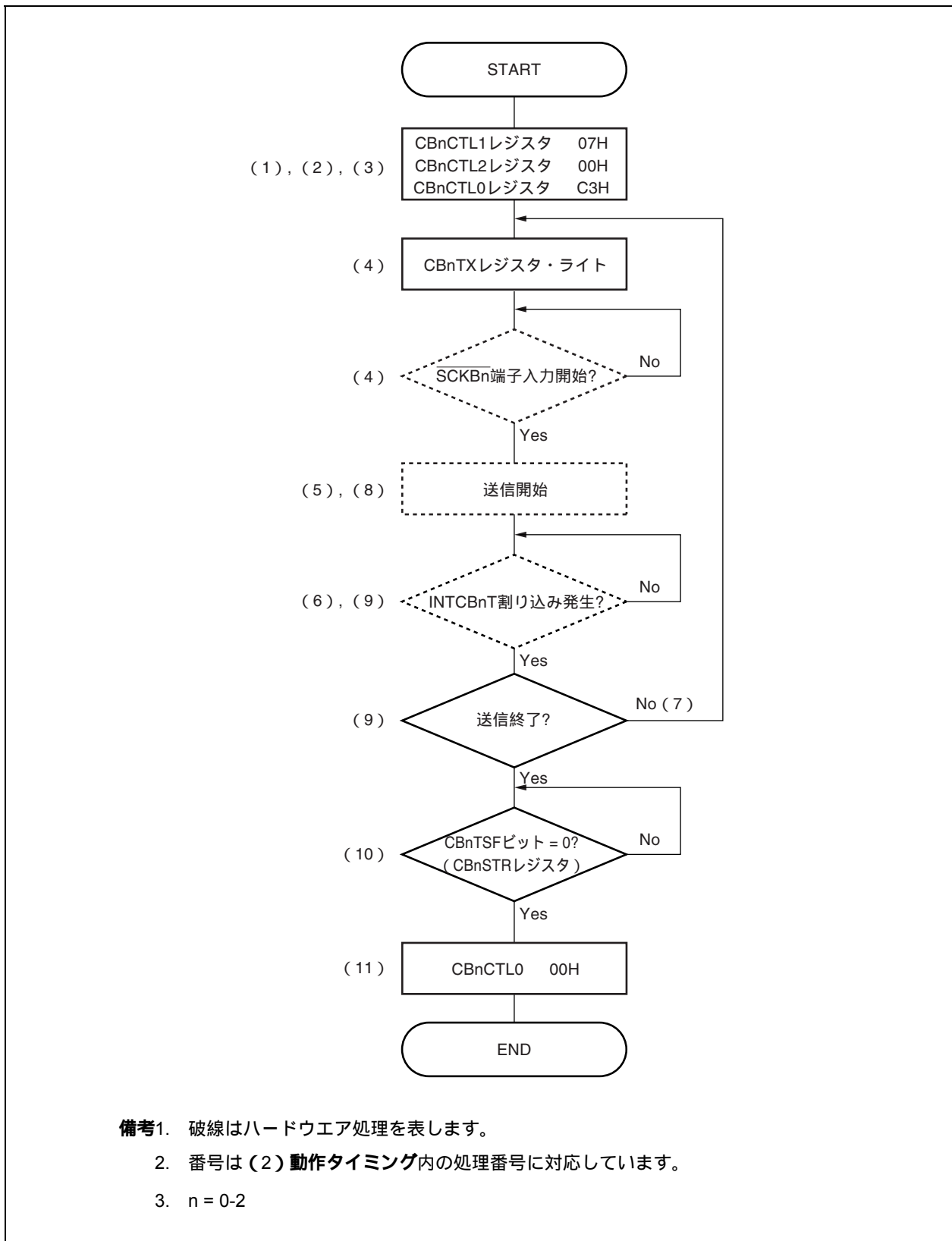
- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が終了し、INTCBnT信号が発生する。現送受信で連続送受信を終了する場合は、CBnTXレジスタへのライトを行わない。
- (12) 転送終了までに次の送信データがCBnTXレジスタへライトされない場合は、転送終了後、 $\overline{SCKBn}$ 端子へのシリアル・クロック出力を停止し、CBnTSFビットはクリア(0)される。
- (13) 受信エラー割り込み要求信号 (INTCBnRE) 発生時は、CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

**備考** n = 0-2

### 16.5.10 連続転送モード (スレーブ・モード, 送信モード)

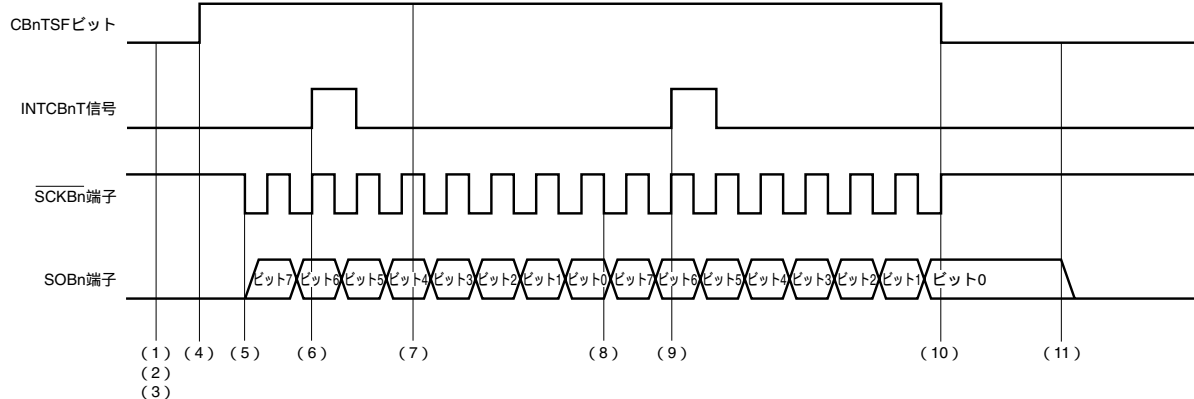
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック( $f_{CLK}$ ) = 外部クロック( $\overline{SCKBn}$ ) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

#### (1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。  
 2. 番号は(2)動作タイミング内の処理番号に対応しています。  
 3. n = 0-2

## (2) 動作タイミング



- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CLK}}$ ) = 外部クロック (SCKBn)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし、通信クロック ( $f_{\text{CLK}}$ ) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が終了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の送信が終了後に続けてシリアル・クロックが入力されると、連続送信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が終了し、CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送信で連続送信を終了する場合は、CBnTXレジスタへのライトを行わない。
- (10) CBnTXレジスタへライトされていない状態で、CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると、CBnTSFビットはクリア (0) され、送信を終了する。
- (11) 送信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

**注意** 連続送信モードでは、受信終了割り込み要求信号 (INTCBnR) は発生しません。

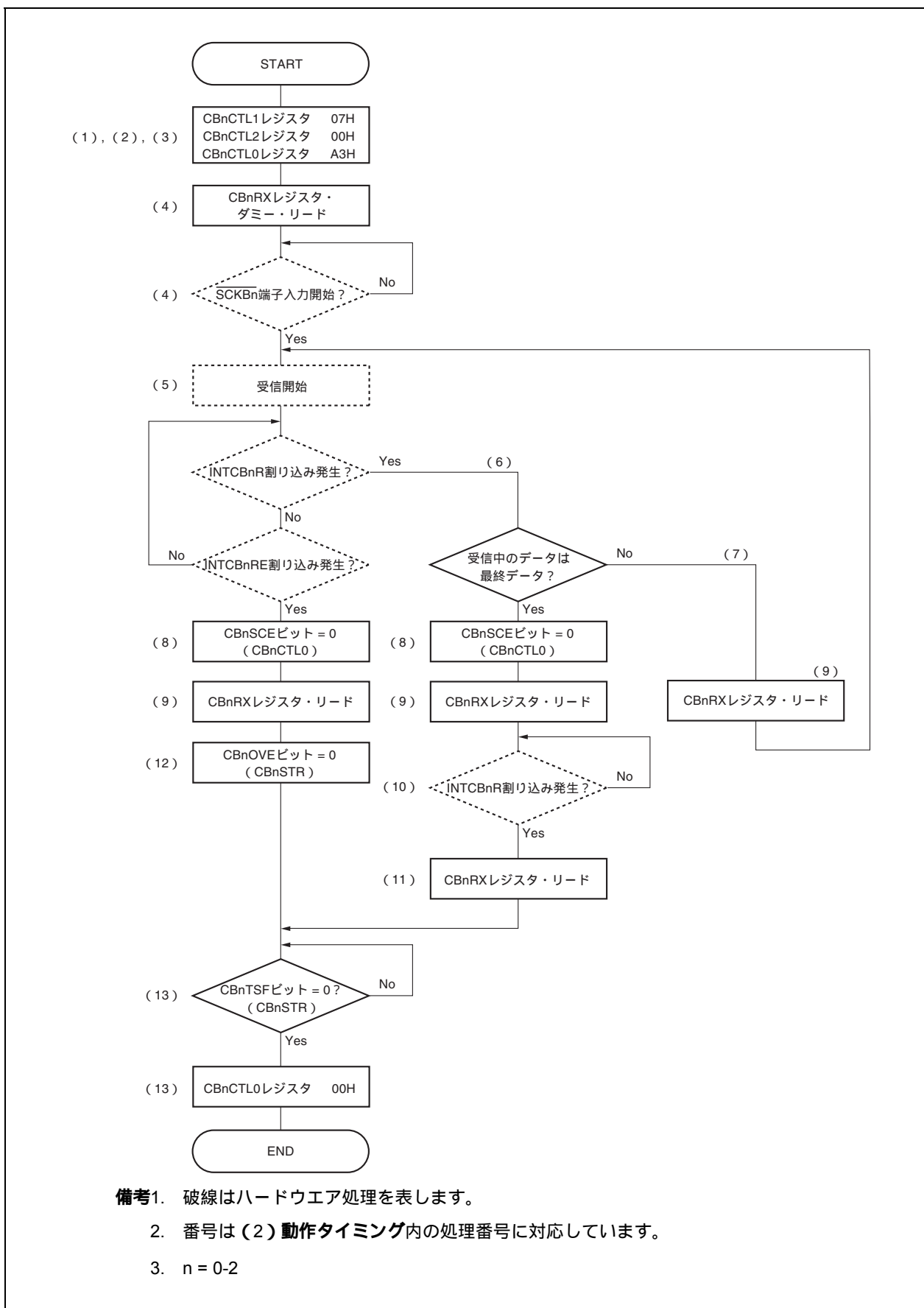
**備考** n = 0-2



### 16. 5. 11 連続転送モード (スレーブ・モード, 受信モード)

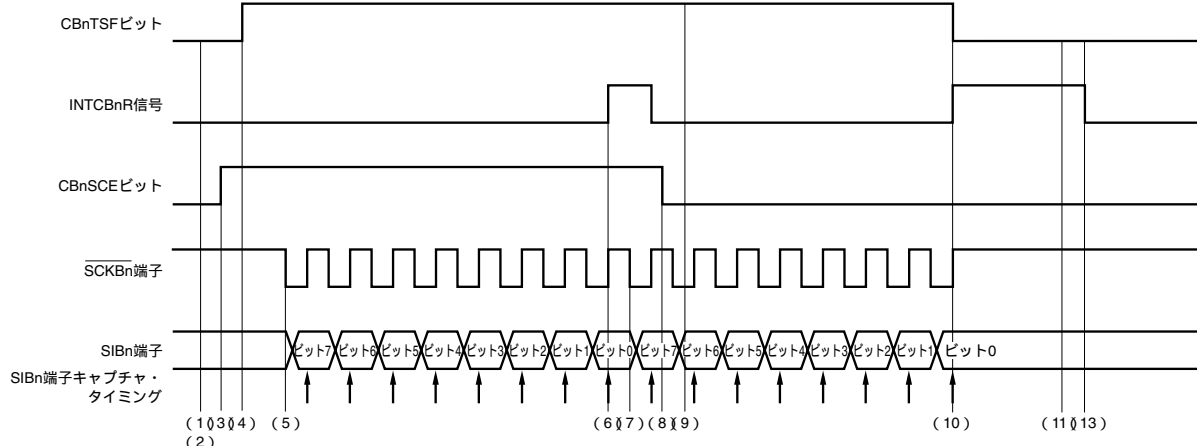
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック( $f_{\text{CLK}}$ ) = 外部クロック( $\overline{\text{SCKBn}}$ ) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。  
 2. 番号は(2)動作タイミング内の処理番号に対応しています。  
 3. n = 0-2

## (2) 動作タイミング



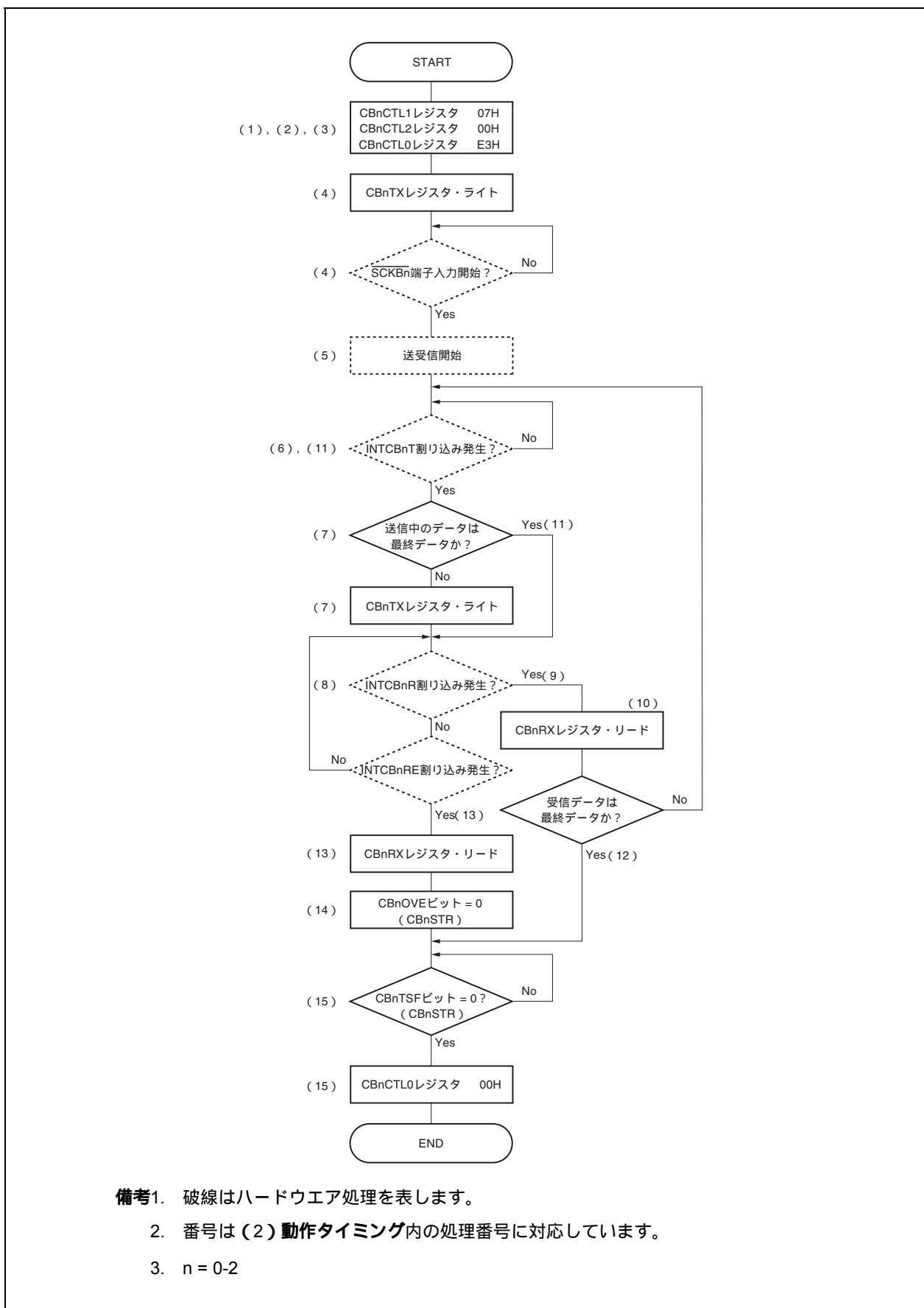
- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CCLK}}$ ) = 外部クロック ( $\overline{\text{SCKBn}}$ )、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA3Hをライトし、通信クロック ( $f_{\text{CCLK}}$ ) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が終了すると、受信終了割り込み要求信号 (INTCBnR) が発生し、CBnRXレジスタのリードが可能になる。
- (7) CBnCTL0.CBnSCEビット = 1状態でシリアル・クロックが入力されると、連続して受信動作を開始する。
- (8) 現受信で連続受信を終了する場合は、CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信が終了すると、INTCBnR信号が発生し、CBnRXレジスタのリードが可能になる。通信終了前にCBnSCEビット = 0に設定されていると、CBnTSFビットはクリア(0)され、受信動作を終了する。
- (11) CBnRXレジスタをリードする。
- (12) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnRXEビット = 0をライトする。

**備考** n = 0-2

### 16. 5. 12 連続転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック( $f_{\text{CLK}}$ ) = 外部クロック( $\overline{\text{SCKBn}}$ ) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

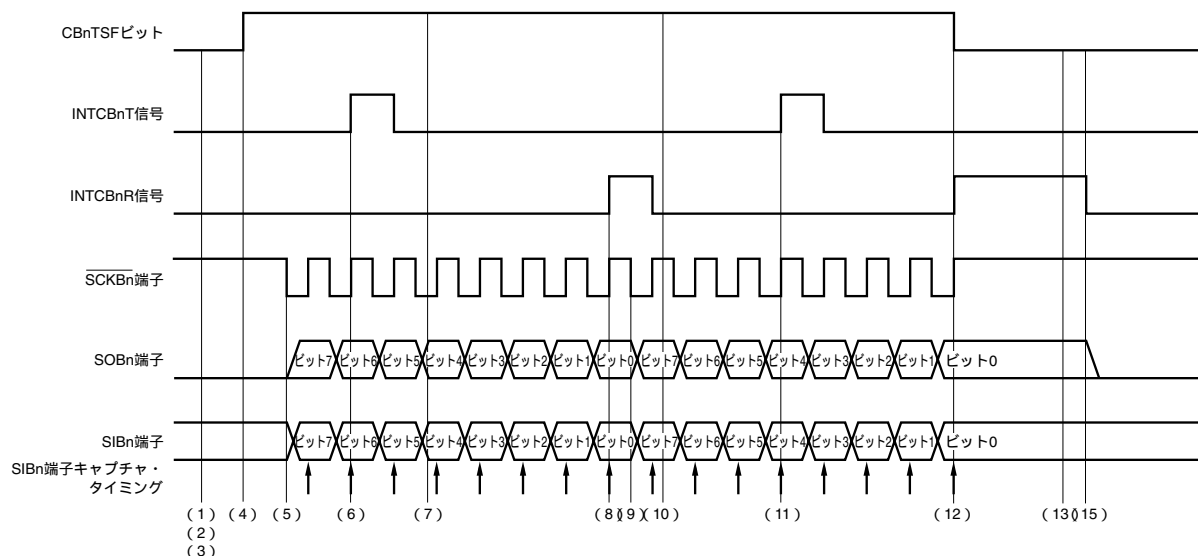
(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。  
 2. 番号は(2)動作タイミング内の処理番号に対応しています。  
 3. n = 0-2

## (2) 動作タイミング

(1/2)



- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CLK}}$ ) = 外部クロック ( $\overline{\text{SCKBn}}$ )、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE3Hをライトし、通信クロック ( $f_{\text{CLK}}$ ) を動作許可状態にすると同時に、送受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子に送信データを出し、SIBn端子の受信データをキャプチャする。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が終了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の受信が終了すると、受信終了割り込み要求信号 (INTCBnR) を発生し、CBnRXレジスタのリードが可能になる。
- (9) 続けてシリアル・クロックが入力されると、連続送受信を開始する。
- (10) CBnRXレジスタをリードする。
- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が終了し、CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送受信で連続送受信を終了する場合は、CBnTXレジスタへのライトを行わない。

備考 n = 0-2

- (12) CBnTXレジスタへライトされていない状態で、CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると、INTCBnR信号が発生し、CBnTSFビットはクリア(0)され、送受信を終了する。
- (13) 受信エラー割り込み要求信号 (INTCBnRE) 発生時は、CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

**備考** n = 0-2

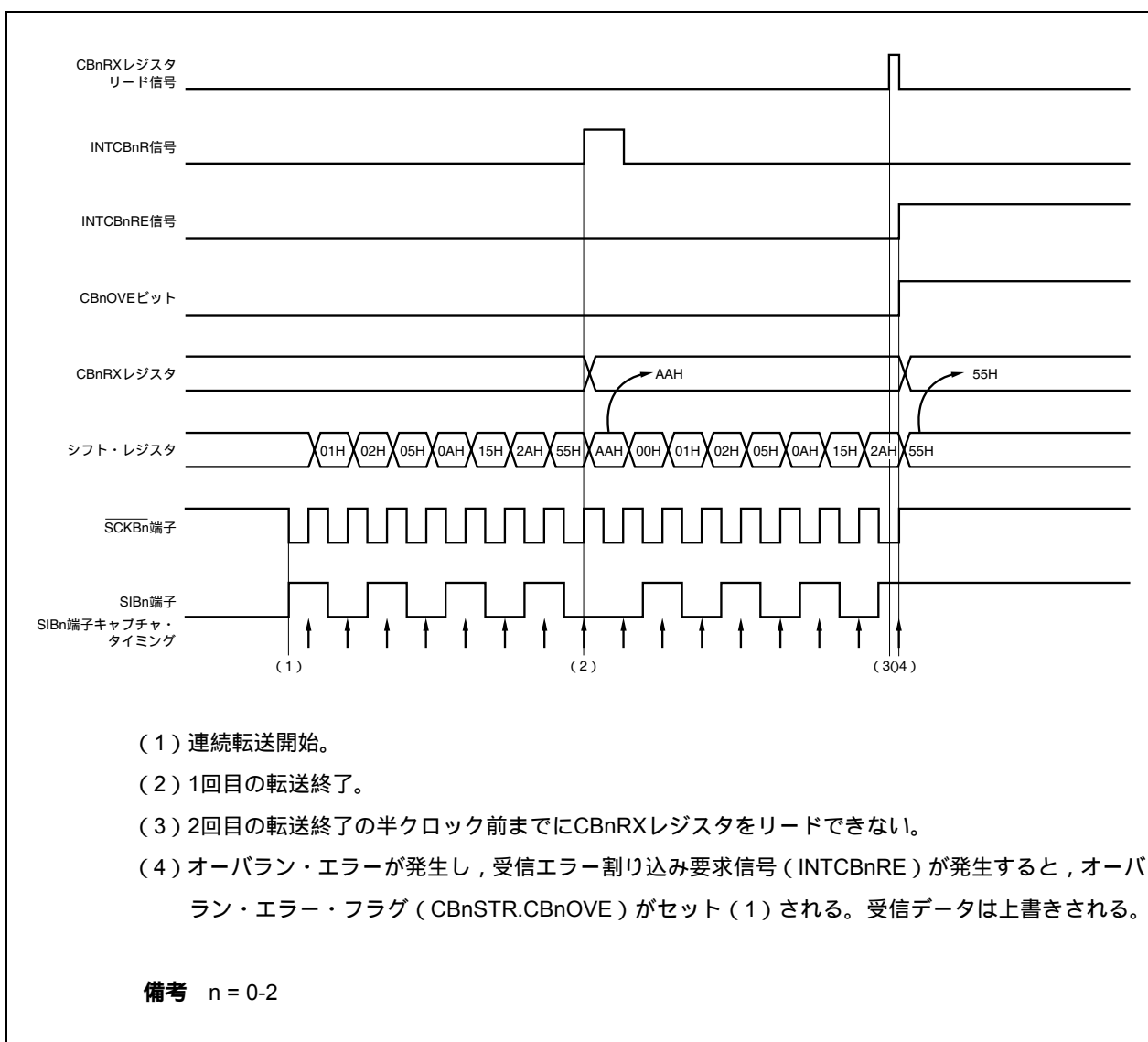
### 16.5.13 受信エラー

連続転送モード時に受信許可 (CBnCTL0.CBnRXEビット = 1) で転送を行う場合、受信終了割り込み要求信号 (INTCBnR) 発生後、CBnRXレジスタをリードする前に次の受信動作が終了すると受信エラー割り込み要求信号 (INTCBnRE) が発生し、オーバーラン・エラー・フラグ (CBnSTR.CBnOVE) がセット (1) されます。

オーバーラン・エラーが発生した場合でも、CBnRXレジスタは更新されるため、前回の受信データは失われます。また、受信エラーが発生した場合でもCBnRXレジスタをリードしないと、次の受信終了で再びINTCBnRE信号が発生します。

オーバーラン・エラーを回避するためには、INTCBnR信号発生後から次の受信データの最終ビットをサンプリングする半クロック前までにCBnRXレジスタのリードを終了してください。

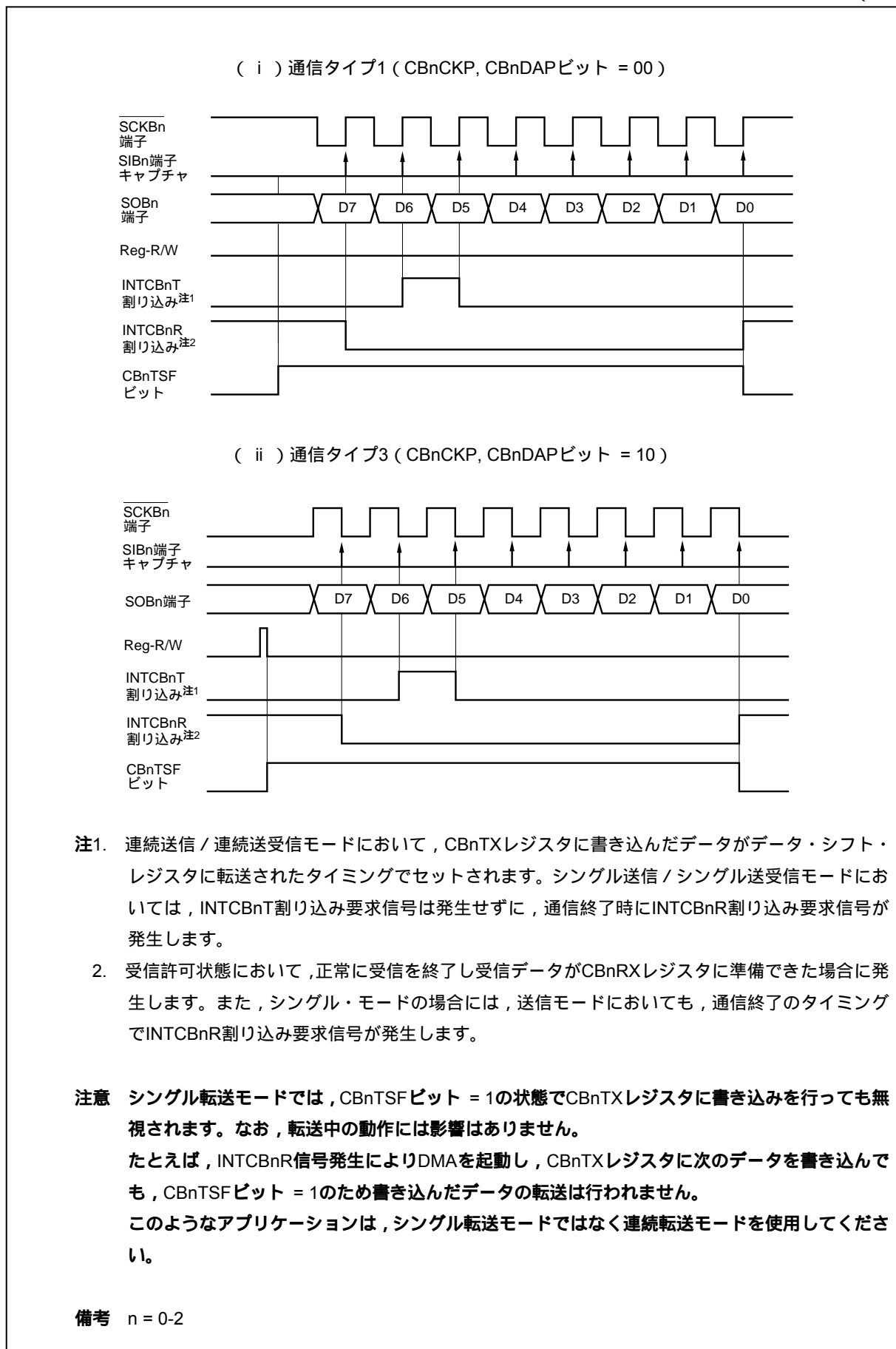
#### (1) 動作タイミング



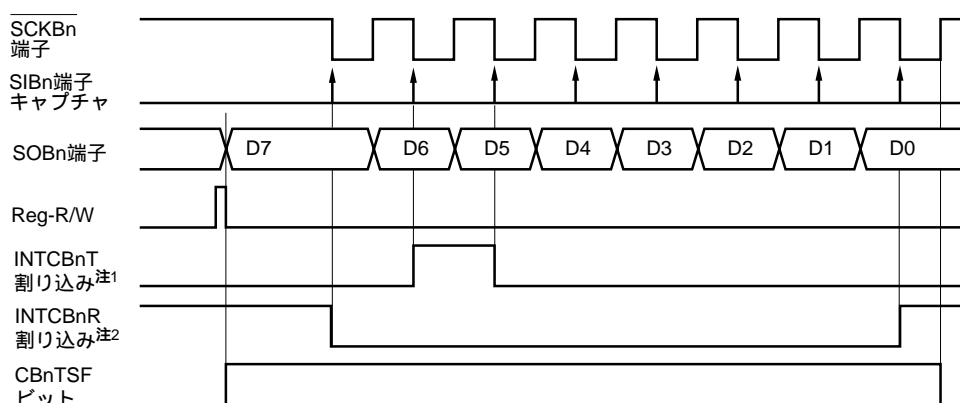


## 16.5.14 クロック・タイミング

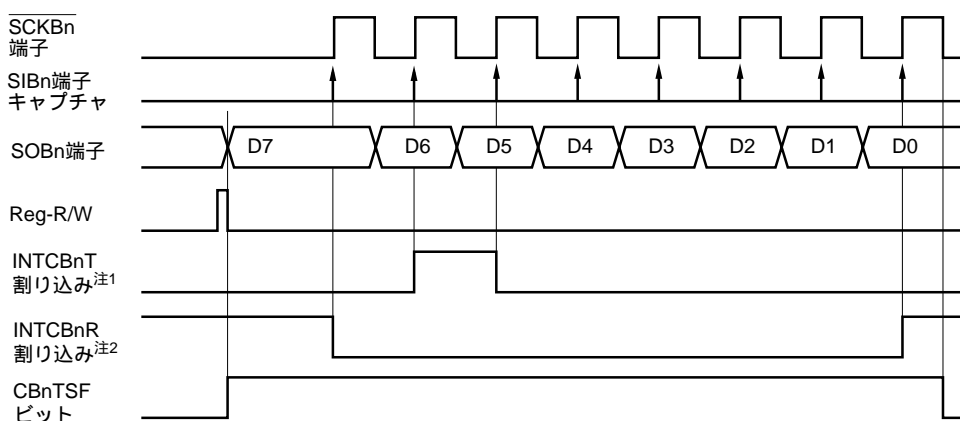
(1/2)



( iii ) 通信タイプ2 ( CBnCKP, CBnDAPビット = 01 )



( iv ) 通信タイプ4 ( CBnCKP, CBnDAPビット = 11 )



注1. 連続送信 / 連続送受信モードにおいて、CBnTXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信 / シングル送受信モードにおいては、INTCBnT割り込み要求信号は発生せずに、通信終了時にINTCBnR割り込み要求信号が発生します。

2. 受信許可状態において、正常に受信を終了し受信データがCBnRXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信終了のタイミングでINTCBnR割り込み要求信号が発生します。

**注意** シングル転送モードでは、CBnTSFビット = 1の状態でもCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。

たとえば、INTCBnR信号発生によりDMAを起動し、CBnTXレジスタに次のデータを書き込んでも、CBnTSFビット = 1のため書き込んだデータの転送は行われません。

このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

備考 n = 0-2

## 16.6 出力端子

### (1) $\overline{\text{SCKBn}}$ 端子

CSIBn動作禁止 (CBnCTL0.CBnPWRビット = 0) のとき,  $\overline{\text{SCKBn}}$ 端子出力状態は次のようになります。

備考 n = 0-2

CBnCKP	CBnCKS2	CBnCKS1	CBnCKS0	$\overline{\text{SCKBn}}$ 端子出力
0	1	1	1	ハイ・インピーダンス
	上記以外			ハイ・レベル固定
1	1	1	1	ハイ・インピーダンス
	上記以外			ロウ・レベル固定

備考 CBnCTL1.CBnCKP, CBnCKS2-CBnCKS0ビットのいずれかを書き換えると $\overline{\text{SCKBn}}$ 端子の出力が変化します。

### (2) $\text{SOBn}$ 端子

CSIBn動作禁止 (CBnPWRビット = 0) のとき,  $\text{SOBn}$ 端子出力状態は次のようになります。

備考 n = 0-2

CBnTXE	CBnDAP	CBnDIR	$\text{SOBn}$ 端子出力
0	x	x	ロウ・レベル固定
1	0	x	$\text{SOBn}$ ラッチの値 (ロウ・レベル)
	1	0	CBnTXの値 (MSB)
		1	CBnTXの値 (LSB)

備考1. CBnCTL0.CBnTXE, CBnDIRビット, CBnCTL1.CBnDAPビットのいずれかを書き換えると $\text{SOBn}$ 端子の出力が変化します。

2. x: 任意

## 第17章 I<sup>2</sup>Cバス

この機能を使用する場合は、P30/SCL, P31/SDA端子を兼用端子として使用し、N-chオープン・ドレイン出力に設定してください。

V850E/IF3, V850E/IG3は、I<sup>2</sup>Cバスを1チャンネル搭載しています。

### 17.1 I<sup>2</sup>CとUARTA1のモード切り替え

V850E/IF3, V850E/IG3では、I<sup>2</sup>CとUARTA1は端子が兼用になっており、同時に使用することはできません。I<sup>2</sup>CとUARTA1の切り替えは、あらかじめPMC3, PFC3, PFCE3レジスタを設定する必要があります。

**注意** I<sup>2</sup>CまたはUARTA1において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17 - 1 I<sup>2</sup>CとUARTA1のモード切り替え設定

<p>リセット時：00H    R/W    アドレス：FFFFFF446H</p> <table style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <tr> <td style="width: 10%;"></td> <td style="width: 12.5%; text-align: center;">7</td> <td style="width: 12.5%; text-align: center;">6</td> <td style="width: 12.5%; text-align: center;">5</td> <td style="width: 12.5%; text-align: center;">4</td> <td style="width: 12.5%; text-align: center;">3</td> <td style="width: 12.5%; text-align: center;">2</td> <td style="width: 12.5%; text-align: center;">1</td> <td style="width: 12.5%; text-align: center;">0</td> </tr> <tr> <td style="border: none;">PMC3</td> <td style="border: 1px solid black; text-align: center;">PMC37</td> <td style="border: 1px solid black; text-align: center;">PMC36</td> <td style="border: 1px solid black; text-align: center;">PMC35</td> <td style="border: 1px solid black; text-align: center;">PMC34</td> <td style="border: 1px solid black; text-align: center;">PMC33</td> <td style="border: 1px solid black; text-align: center;">PMC32</td> <td style="border: 1px solid black; text-align: center;">PMC31</td> <td style="border: 1px solid black; text-align: center;">PMC30</td> </tr> </table> <p style="margin-top: 10px;">リセット時：00H    R/W    アドレス：FFFFFF466H</p> <table style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <tr> <td style="width: 10%;"></td> <td style="width: 12.5%; text-align: center;">7</td> <td style="width: 12.5%; text-align: center;">6</td> <td style="width: 12.5%; text-align: center;">5</td> <td style="width: 12.5%; text-align: center;">4</td> <td style="width: 12.5%; text-align: center;">3</td> <td style="width: 12.5%; text-align: center;">2</td> <td style="width: 12.5%; text-align: center;">1</td> <td style="width: 12.5%; text-align: center;">0</td> </tr> <tr> <td style="border: none;">PFC3</td> <td style="border: 1px solid black; text-align: center;">PFC37</td> <td style="border: 1px solid black; text-align: center;">PFC36</td> <td style="border: 1px solid black; text-align: center;">PFC35</td> <td style="border: 1px solid black; text-align: center;">PFC34</td> <td style="border: 1px solid black; text-align: center;">PFC33</td> <td style="border: 1px solid black; text-align: center;">PFC32</td> <td style="border: 1px solid black; text-align: center;">PFC31</td> <td style="border: 1px solid black; text-align: center;">PFC30</td> </tr> </table> <p style="margin-top: 10px;">リセット時：00H    R/W    アドレス：FFFFFF706H</p> <table style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <tr> <td style="width: 10%;"></td> <td style="width: 12.5%; text-align: center;">7</td> <td style="width: 12.5%; text-align: center;">6</td> <td style="width: 12.5%; text-align: center;">5</td> <td style="width: 12.5%; text-align: center;">4</td> <td style="width: 12.5%; text-align: center;">3</td> <td style="width: 12.5%; text-align: center;">2</td> <td style="width: 12.5%; text-align: center;">1</td> <td style="width: 12.5%; text-align: center;">0</td> </tr> <tr> <td style="border: none;">PFCE3</td> <td style="border: 1px solid black; text-align: center;">PFCE37</td> <td style="border: 1px solid black; text-align: center;">PFCE36</td> <td style="border: 1px solid black; text-align: center;">PFCE35</td> <td style="border: 1px solid black; text-align: center;">PFCE34</td> <td style="border: 1px solid black; text-align: center;">0</td> <td style="border: 1px solid black; text-align: center;">PFCE32</td> <td style="border: 1px solid black; text-align: center;">PFCE31</td> <td style="border: 1px solid black; text-align: center;">PFCE30</td> </tr> </table>		7	6	5	4	3	2	1	0	PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30		7	6	5	4	3	2	1	0	PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30		7	6	5	4	3	2	1	0	PFCE3	PFCE37	PFCE36	PFCE35	PFCE34	0	PFCE32	PFCE31	PFCE30
	7	6	5	4	3	2	1	0																																														
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30																																														
	7	6	5	4	3	2	1	0																																														
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30																																														
	7	6	5	4	3	2	1	0																																														
PFCE3	PFCE37	PFCE36	PFCE35	PFCE34	0	PFCE32	PFCE31	PFCE30																																														
<table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 12.5%;">PMC31</th> <th style="width: 12.5%;">PFCE31</th> <th style="width: 12.5%;">PFC31</th> <th style="width: 62.5%;">P31端子の兼用機能の指定</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td>入出力ポート</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>TXDA1出力</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>SDA入出力</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>設定禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> </tbody> </table> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 12.5%;">PMC30</th> <th style="width: 12.5%;">PFCE30</th> <th style="width: 12.5%;">PFC30</th> <th style="width: 62.5%;">P30端子の兼用機能の指定</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td>入出力ポート</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>RXDA1入力</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>SCL入出力</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>設定禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> </tbody> </table> <p style="margin-top: 10px;"><b>備考</b> x = don't care</p>	PMC31	PFCE31	PFC31	P31端子の兼用機能の指定	0	x	x	入出力ポート	1	0	0	TXDA1出力	1	0	1	SDA入出力	1	1	0	設定禁止	1	1	1	設定禁止	PMC30	PFCE30	PFC30	P30端子の兼用機能の指定	0	x	x	入出力ポート	1	0	0	RXDA1入力	1	0	1	SCL入出力	1	1	0	設定禁止	1	1	1	設定禁止						
PMC31	PFCE31	PFC31	P31端子の兼用機能の指定																																																			
0	x	x	入出力ポート																																																			
1	0	0	TXDA1出力																																																			
1	0	1	SDA入出力																																																			
1	1	0	設定禁止																																																			
1	1	1	設定禁止																																																			
PMC30	PFCE30	PFC30	P30端子の兼用機能の指定																																																			
0	x	x	入出力ポート																																																			
1	0	0	RXDA1入力																																																			
1	0	1	SCL入出力																																																			
1	1	0	設定禁止																																																			
1	1	1	設定禁止																																																			

## 17.2 特 徴

I<sup>2</sup>Cには、次の2種類のモードがあります。

- ・動作停止モード
- ・I<sup>2</sup>C (Inter IC) バス・モード (マルチマスタ対応)

### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

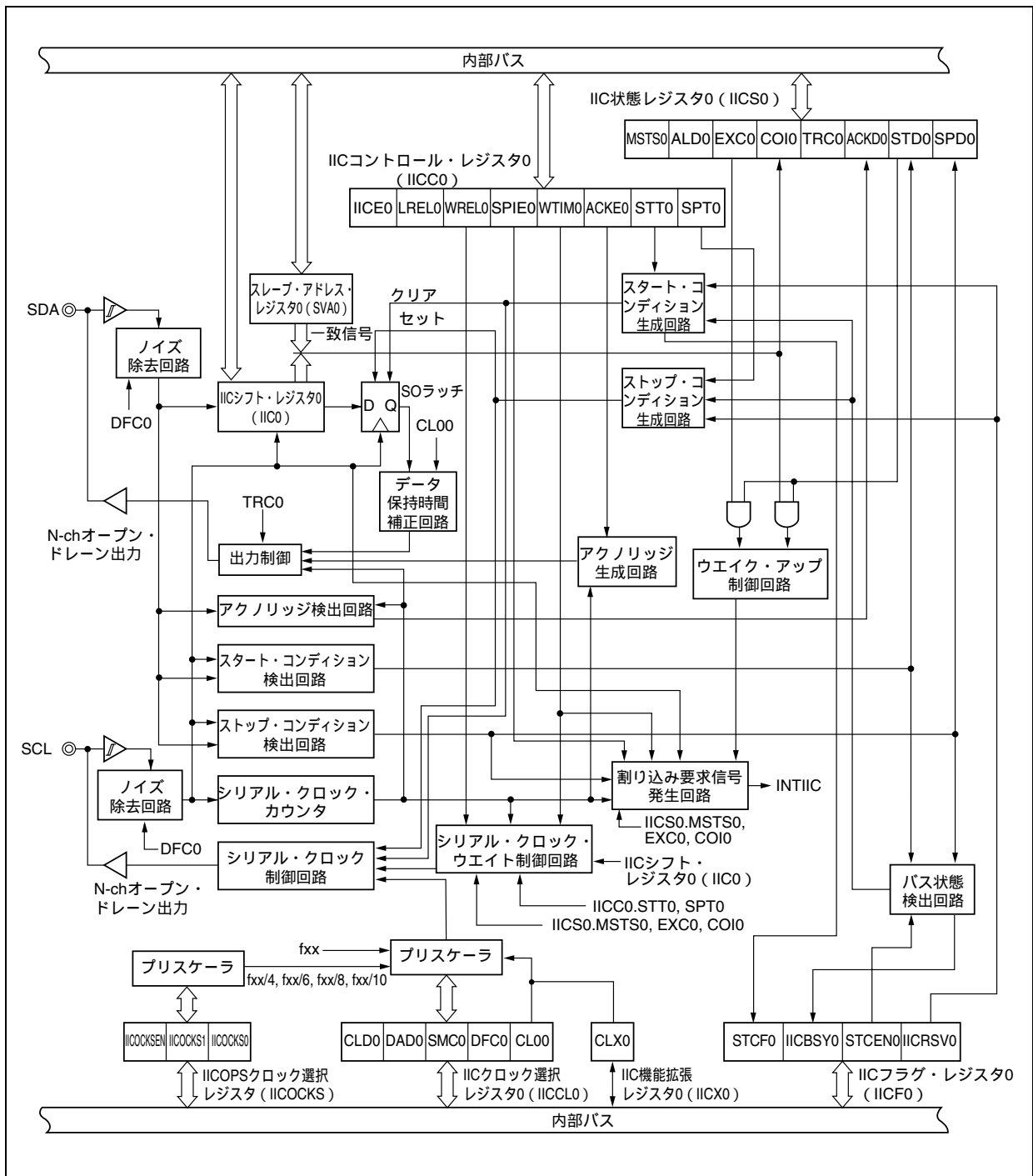
### (2) I<sup>2</sup>Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL) とシリアル・データ・バス (SDA) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I<sup>2</sup>Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI<sup>2</sup>Cバス制御部分を簡単にすることができます。

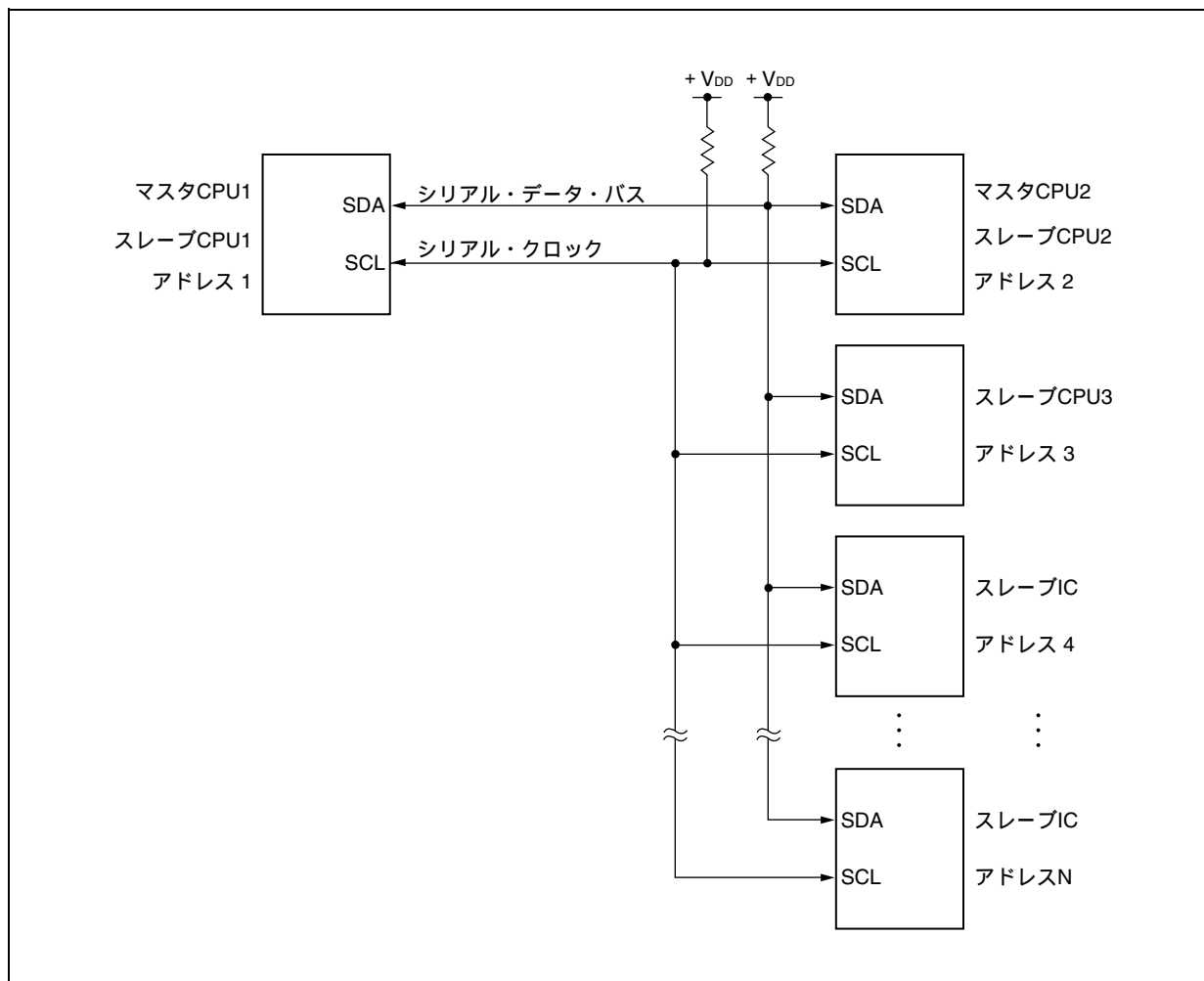
I<sup>2</sup>Cでは、SCL端子とSDA端子はN-chオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

図17-2 I<sup>2</sup>Cのブロック図



次にシリアル・バス構成例を示します。

図17 - 3 I<sup>2</sup>Cバスによるシリアル・バス構成例



## 17.3 構成

I<sup>2</sup>Cは、次のハードウェアで構成されています。

表17 - 1 I<sup>2</sup>Cの構成

項 目	構 成
レジスタ	IICシフト・レジスタ0 (IIC0) スレーブ・アドレス・レジスタ0 (SVA0)
制御レジスタ	IICコントロール・レジスタ0 (IICC0) IIC状態レジスタ0 (IICS0) IICフラグ・レジスタ0 (IICF0) IICクロック選択レジスタ0 (IICCL0) IIC機能拡張レジスタ0 (IICX0) IICOPSクロック選択レジスタ (IICOCKS)

### (1) IICシフト・レジスタ0 (IIC0)

IIC0レジスタは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IIC0レジスタは送信および受信の両方に使用されます。

IIC0レジスタに対する書き込み/読み出しにより、実際の送受信動作が制御されます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

### (2) スレーブ・アドレス・レジスタ0 (SVA0)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

### (3) SOラッチ

SOラッチは、SDA端子出力レベルを保持するラッチです。

### (4) ウェイク・アップ制御回路

SVA0レジスタに設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に、割り込み要求信号 (INTIIC) を発生させる回路です。

### (5) プリスケーラ

使用するサンプリング・クロックを選択します。

### (6) シリアル・クロック・カウンタ

送信/受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。



**(7) 割り込み要求信号発生回路**

割り込み要求信号 (INTIIC) の発生を制御します。

I<sup>2</sup>C割り込みは、次の2つのトリガで発生します。

- ・ シリアル・クロックの8クロック目または9クロック目の立ち下がり (IICC0.WTIM0ビットで設定)
- ・ ストップ・コンディション検出による割り込み発生 (IICC0.SPIE0ビットで設定)

**(8) シリアル・クロック制御回路**

マスタ・モード時に、SCL端子に出力するクロックをサンプリング・クロックから生成します。

**(9) シリアル・クロック・ウェイト制御回路**

ウェイト・タイミングを制御します。

**(10) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路**

各状態の生成および検出を行います。

**(11) データ保持時間補正回路**

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

**(12) スタート・コンディション生成回路**

IICC0.STT0ビットがセットされるとスタート・コンディションを生成します。

ただし通信予約禁止状態 (IICF0.IICRSV0ビット = 1) で、かつバスが解放されていない (IICF0.IICBSY0ビット = 1) 場合には、スタート・コンディション要求は無視し、IICF0.STCF0ビットをセット (1) します。

**(13) ストップ・コンディション生成回路**

IIC0.SPT0ビットがセット (1) されるとストップ・コンディションを生成します。

**(14) バス状態検出回路**

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、IICF0.STCEN0ビットにより、バス状態検出回路の初期状態を設定してください。

## 17.4 レジスタ

I<sup>2</sup>Cは、次のレジスタで制御します。

- ・ IICコントロール・レジスタ0 (IICC0)
- ・ IIC状態レジスタ0 (IICS0)
- ・ IICフラグ・レジスタ0 (IICF0)
- ・ IICクロック選択レジスタ0 (IICCL0)
- ・ IIC機能拡張レジスタ0 (IICX0)
- ・ IICOPSクロック選択レジスタ (IICOCKS)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタ0 (IIC0)
- ・ スレーブ・アドレス・レジスタ0 (SVA0)

**備考** 兼用端子の設定は表4 - 14 **ポート端子を兼用端子として使用する場合**を参照してください。

(1) IICコントロール・レジスタ0 (IICC0)

I<sup>2</sup>Cの動作許可/停止, ウェイト・タイミングの設定, その他I<sup>2</sup>C動作の設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。ただし, SPIE0, WTIM0, ACKE0ビットは, IICE0ビット = 0 のとき, またはウェイト期間中に設定してください。IICE0ビットを“0”から“1”に設定するとき, 同時にこれらのビットを設定できます。

リセットにより00Hになります。

(1/4)

リセット時: 00H R/W アドレス: FFFFFFFD82H

	⑦	⑥	⑤	④	③	②	①	①
IICC0	IICE0	LRELO	WRELO	SPIE0	WTIM0	ACEK0	STT0	SPT0

IICE0	I <sup>2</sup> C動作許可/禁止の指定
0	動作停止。IICS0レジスタをリセット <sup>注1</sup> 。内部動作も停止。
1	動作許可。
このビットのセット(1)は, 必ずSCL, SDAラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE0ビット = 0)	セットされる条件 (IICE0ビット = 1)
・命令によるクリア ・リセット時	・命令によるセット

LRELO <sup>注2</sup>	通信退避
0	通常動作。
1	現在行っている通信から退避し, 待機状態。実行後自動的にクリア(0)される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL, SDAラインはハイ・インピーダンス状態になる。 STT0, SPT0ビット, IICS0.MSTS0, EXC0, COI0, TRC0, ACKD0, STD0ビットがクリア(0)される。
次の通信参加条件が満たされるまでは, 通信から退避した待機状態となる。 ストップ・コンディション検出後, マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELOビット = 0)	セットされる条件 (LRELOビット = 1)
・実行後, 自動的にクリア ・リセット時	・命令によるセット

注1. リセットされるのはIICS0レジスタ, IICF0.STCF0, IICBSY0ビット, IICCL0.CLD0, DAD0ビットです。

2. IICE0ビット = 0により, このフラグの信号は無効にします。

**注意** SCLラインがハイ・レベル, SDAラインがロウ・レベルの状態, I<sup>2</sup>Cを動作許可 (IICE0ビット = 1) した場合, 直後にスタート・コンディションを検出してしまいます。I<sup>2</sup>Cを動作許可 (IICE0ビット = 1) したあと, 連続してビット操作命令によりLRELOビットをセット(1)してください。

WRELO <sup>注</sup>	ウェイト解除の制御	
0	ウェイトを解除しない。	
1	ウェイト解除する。ウェイト解除後、自動的にクリア(0)される。	
クリアされる条件 (WRELOビット = 0)		セットされる条件 (WRELOビット = 1)
・実行後、自動的にクリア ・リセット時		・命令によるセット

SPIE0 <sup>注</sup>	ストップ・コンディション検出による割り込み要求発生への許可/禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIE0ビット = 0)		セットされる条件 (SPIE0ビット = 1)
・命令によるクリア ・リセット時		・命令によるセット

WTIMO <sup>注</sup>	ウェイトおよび割り込み要求発生の制御	
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりですべての割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロック目の立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がりですべてのウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりですべてのウェイトに入ります。		
クリアされる条件 (WTIMOビット = 0)		セットされる条件 (WTIMOビット = 1)
・命令によるクリア ・リセット時		・命令によるセット

ACKE0 <sup>注</sup>	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAラインをロウ・レベルにする。	
アドレス受信のときは、ACKE0ビットの設定は無効です。この場合、アドレスが一致したときはアクノリッジを生成します。 ただし、拡張コードのアドレス受信のときは、ACKE0ビットの設定は有効になります。		
クリアされる条件 (ACKE0ビット = 0)		セットされる条件 (ACKE0ビット = 1)
・命令によるクリア ・リセット時		・命令によるセット

**注** IICE0ビット = 0により、このフラグの信号を無効にします。

STT0	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき（ストップ状態）：                      スタート・コンディションを生成する（マスタとしての起動）。SCLラインがハイ・レベルの状態でSDAラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCLラインをロウ・レベル（ウエイト状態）にする。</p> <p>第三者が通信中のとき：                      ・通信予約機能許可の場合（IICF0.IICRSV0ビット=0）                      スタート・コンディション予約フラグとして機能。セット（1）されると、バスが解放されたあと、自動的にスタート・コンディションを生成する。                      ・通信予約機能禁止の場合（IICRSV0ビット=1）                      IICF0.STCF0ビットをセット（1）しSTT0ビットにセット（1）した情報をクリアする。                      スタート・コンディションは生成しない。</p> <p>ウエイト状態（マスタ時）：                      ウエイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0ビット = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。</p> <ul style="list-style-type: none"> <li>・SPT0ビットと同時にセット（1）することは禁止です。</li> <li>・STT0ビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。</li> </ul>	
クリアされる条件（STT0ビット=0）	セットされる条件（STT0ビット=1）
<ul style="list-style-type: none"> <li>・通信予約禁止状態でのSTT0ビットのセット（1）</li> <li>・アービトレーションに負けたとき</li> <li>・マスタでのスタート・コンディション生成によるクリア</li> <li>・LREL0ビット = 1（通信退避）によるクリア</li> <li>・IICE0ビット = 0（動作停止）のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

**備考** STT0ビットは、データ設定後に読み出すと0になっています。

SPT0	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDAラインをロウ・レベルにしたあと、SCLラインをハイ・レベルにするか、またはSCL端子がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDAラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。				
<p><b>セット・タイミングに関する注意</b></p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0ビット = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。</p> <ul style="list-style-type: none"> <li>・STT0ビットと同時にセット（1）することは禁止です。</li> <li>・SPT0ビットのセット（1）は、マスタのときのみ行ってください<sup>注</sup>。</li> <li>・WTIM0ビット = 0設定時に、8クロック出力後のウエイト期間中にSPT0ビットをセット（1）すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIM0ビット = 0 1にセットし、9クロック目出力後のウエイト期間中にSPT0ビットをセット（1）してください。</li> <li>・SPT0ビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。</li> </ul>					
<table border="1"> <thead> <tr> <th>クリアされる条件 (SPT0ビット = 0)</th> <th>セットされる条件 (SPT0ビット = 1)</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> <li>・ストップ・コンディション検出後、自動的にクリア</li> <li>・LREL0ビット = 1 (通信退避) によるクリア</li> <li>・IICE0ビット = 0 (動作停止) のとき</li> <li>・リセット時</li> </ul> </td> <td> <ul style="list-style-type: none"> <li>・命令によるセット</li> </ul> </td> </tr> </tbody> </table>		クリアされる条件 (SPT0ビット = 0)	セットされる条件 (SPT0ビット = 1)	<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> <li>・ストップ・コンディション検出後、自動的にクリア</li> <li>・LREL0ビット = 1 (通信退避) によるクリア</li> <li>・IICE0ビット = 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>
クリアされる条件 (SPT0ビット = 0)	セットされる条件 (SPT0ビット = 1)				
<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> <li>・ストップ・コンディション検出後、自動的にクリア</li> <li>・LREL0ビット = 1 (通信退避) によるクリア</li> <li>・IICE0ビット = 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>				

**注** SPT0ビットのセット（1）は、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPT0ビットをセット（1）してストップ・コンディションを生成する必要があります。詳細は、17.15 **注意事項**を参照してください。

**注意** IICS0.TRC0ビット = 1のとき、9クロック目にWREL0ビットをセット（1）してウエイト解除すると、TRC0ビットをクリア（0）してSDAラインをハイ・インピーダンスにします。

**備考** SPT0ビットは、データ設定後に読み出すと0になっています。

(2) IIC状態レジスタ0 (IICS0)

I<sup>2</sup>Cのステータスを表すレジスタです。

8/1ビット単位でリードのみ可能です。

ただしIICS0レジスタは、IICC0.STT0ビット = 1のとき、またはウェイト期間中だけリード可能です。

リセットにより00Hになります。

( 1/3 )

リセット時：00H R アドレス：FFFFFFD86H

	⑦	⑥	⑤	④	③	②	①	①
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS0ビット = 0)		セットされる条件 (MSTS0ビット = 1)
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・ALD0ビット = 1 (アービトレーション負け) のとき</li> <li>・IICC0.LREL0ビット = 1 (通信退避) によるクリア</li> <li>・IICC0.IICE0ビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> </ul>

ALD0	アービトレーション負け検出	
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS0ビットがクリア (0) される。	
クリアされる条件 (ALD0ビット = 0)		セットされる条件 (ALD0ビット = 1)
<ul style="list-style-type: none"> <li>・IICS0レジスタ読み出し後、自動的にクリア<sup>注</sup></li> <li>・IICE0ビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> </ul>

EXC0	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXC0ビット = 0)		セットされる条件 (EXC0ビット = 1)
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・LREL0ビット = 1 (通信退避) によるクリア</li> <li>・IICE0ビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>受信したアドレス・データの上位4ビットが “0000” または “1111” のとき (8クロック目の立ち上がりでセット)</li> </ul>

**注** IICS0レジスタのほかのビットに対しビット操作命令を実行した場合もクリアされます。

COI0	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
	クリアされる条件 (COI0ビット = 0)	セットされる条件 (COI0ビット = 1)
	<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・LRELOビット = 1 (通信退避) によるクリア</li> <li>・IICE0ビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	受信アドレスが自局アドレス (SVA0レジスタ) と一致したとき (8クロック目の立ち上がりでセット)

TRC0	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDAラインをハイ・インピーダンスにする。	
1	送信状態。SDAラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
	クリアされる条件 (TRC0ビット = 0)	セットされる条件 (TRC0ビット = 1)
	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・LRELOビット = 1 (通信退避) によるクリア</li> <li>・IICE0ビット = 1 0 (動作停止) のとき</li> <li>・IICC0.WRELOビット = 1 (ウエイト解除) によるクリア<sup>注</sup></li> <li>・ALD0ビット = 0 1 (アービトレーション負け) のとき</li> <li>・リセット時</li> </ul> マスタの場合 <ul style="list-style-type: none"> <li>・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき</li> </ul> スレーブの場合 <ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> </ul> 通信不参加の場合	マスタの場合 <ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> <li>・1バイト目のLSB (転送方向指定ビット) に “0” を出力したとき</li> </ul> スレーブの場合 <ul style="list-style-type: none"> <li>・1バイト目のLSB (転送方向指定ビット) に “1” を入力したとき</li> </ul>

ACKD0	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
	クリアされる条件 (ACKD0ビット = 0)	セットされる条件 (ACKD0ビット = 1)
	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・次のバイトの1クロック目の立ち上がり時</li> <li>・LRELOビット = 1 (通信退避) によるクリア</li> <li>・IICE0ビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	SCL端子の9クロック目の立ち上がり時にSDA端子がロウ・レベルであったとき

**注** IICS0.TRC0ビット = 1のとき、9クロック目にIICC0.WRELOビットをセット (1) してウエイトを解除すると、TRC0ビットをクリア (0) してSDAラインをハイ・インピーダンスにします。



STD0	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
	クリアされる条件 (STD0ビット = 0)	セットされる条件 (STD0ビット = 1)
	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・アドレス転送後の次のバイトの1クロック目の立ち上がり時</li> <li>・LRELOビット = 1 (通信退避) によるクリア</li> <li>・IICE0ビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> </ul>

SPD0	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放される。	
	クリアされる条件 (SPD0ビット = 0)	セットされる条件 (SPD0ビット = 1)
	<ul style="list-style-type: none"> <li>・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時</li> <li>・IICE0ビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> </ul>

**(3) IICフラグ・レジスタ0 (IICF0)**

I<sup>2</sup>Cの動作モードの設定と、I<sup>2</sup>Cバスの状態を表すレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、STCF0, IICBSY0ビットはリードのみ可能です。

IICRSV0ビットにより通信予約機能の禁止/許可を設定します(17.14 **通信予約**参照)。

また、STCEN0ビットにより、IICBSY0ビットの初期値を設定します(17.15 **注意事項**参照)。

IICRSV0, STCEN0ビットは、I<sup>2</sup>Cが動作禁止(IICC0.IICE0ビット = 0)のときのみ書き込み可能です。動作許可後、IICF0レジスタは読み出し可能となります。

リセットにより00Hになります。

リセット時：00H R/W<sup>注</sup> アドレス：FFFFFFD8AH

	⑦	⑥	5	4	3	2	①	①
IICF0	STCF0	IICBSY0	0	0	0	0	STCEN0	IICRSV0

STCF0	IICC0.STT0クリア・フラグ
0	スタート・コンディション発行
1	スタート・コンディション発行できずSTT0フラグ・クリア
クリアされる条件 (STCF0ビット = 0)	
<ul style="list-style-type: none"> <li>・STT0ビット = 1によるクリア</li> <li>・IICE0ビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	
セットされる条件 (STCF0ビット = 1)	
<ul style="list-style-type: none"> <li>・通信予約禁止 (IICRSV0ビット = 1) 設定時にスタート・コンディション発行できず, STT0ビットがクリア (0) されたとき</li> </ul>	

IICBSY0	I <sup>2</sup> Cバス状態フラグ
0	バス解放状態 (STCEN0ビット = 1時の通信初期状態)
1	バス通信状態 (STCEN0ビット = 0時の通信初期状態)
クリアされる条件 (IICBSY0ビット = 0)	
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・IICE0ビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	
セットされる条件 (IICBSY0ビット = 1)	
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・STCEN0ビット = 0時のIICE0ビットのセット</li> </ul>	

STCEN0	初期スタート許可トリガ
0	動作許可 (IICE0ビット = 1) 後, ストップ・コンディションの検出により, スタート・コンディションを生成許可。
1	動作許可 (IICE0ビット = 1) 後, ストップ・コンディションを検出せずに, スタート・コンディションを生成許可。
クリアされる条件 (STCEN0ビット = 0)	
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・リセット時</li> </ul>	
セットされる条件 (STCEN0ビット = 1)	
<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>	

IICRSV0	通信予約機能禁止ビット
0	通信予約許可
1	通信予約禁止
クリアされる条件 (IICRSV0ビット = 0)	
<ul style="list-style-type: none"> <li>・命令によるクリア</li> <li>・リセット時</li> </ul>	
セットされる条件 (IICRSV0ビット = 1)	
<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>	

注 ビット6, 7はリード・オンリーです。

- 注意1. STCEN0ビットへの書き込みは動作停止 (IICE0ビット = 0) 時のみ行ってください。
2. STCEN0ビット = 1とした場合, 実際のバス状態にかかわらずバス解放状態 (IICBSY0ビット = 0)と認識しますので, 1回目のスタート・コンディションを発行 (STT0ビット = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。
3. IICRSV0ビットへの書き込みは動作停止 (IICE0ビット = 0) 時のみ行ってください。

(4) IICクロック選択レジスタ0 (IICCL0)

I<sup>2</sup>Cの転送クロックを設定するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、CLD0, DAD0ビットはリードのみ可能です。SMC0, CL00ビットの設定は、IICX0.CLX0ビットと、IICOCKS.IICOCKS1, IICOCKS0ビットを組み合わせで設定します(17.4(7)I<sup>2</sup>Cの転送クロックの設定方法参照)。

IICCL0レジスタはIICC0.IICE0ビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時：00H R/W<sup>注</sup> アドレス：FFFFFFD84H

	7	6	⑤	④	3	2	1	0
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	0	CL00

CLD0	SCL端子のレベル検出 (IICC0.IICE0ビット = 1のときのみ有効)	
0	SCL端子がロウ・レベルであることを検出	
1	SCL端子がハイ・レベルであることを検出	
クリアされる条件 (CLD0ビット = 0)		セットされる条件 (CLD0ビット = 1)
<ul style="list-style-type: none"> <li>・ SCL端子がロウ・レベルのとき</li> <li>・ IICE0ビット = 1 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・ SCL端子がハイ・レベルのとき</li> </ul>

DAD0	SDA端子のレベル検出 (IICE0ビット = 1のときのみ有効)	
0	SDA端子がロウ・レベルであることを検出	
1	SDA端子がハイ・レベルであることを検出	
クリアされる条件 (DAD0ビット = 0)		セットされる条件 (DAD0ビット = 1)
<ul style="list-style-type: none"> <li>・ SDA端子がロウ・レベルのとき</li> <li>・ IICE0ビット = 1 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・ SDA端子がハイ・レベルのとき</li> </ul>

SMC0	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

DFC0	デジタル・フィルタの動作制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
<p>デジタル・フィルタは、高速モード時にのみ使用できます。</p> <p>高速モード時はDFC0ビットのセット/クリアにより、転送クロックが変化することはありません。</p> <p>デジタル・フィルタは、高速モード時にノイズ除去のために使用します。</p>	

CL00	通信クロック選択	
	標準モード時	高速モード時
0	Fxx/44	Fxx/24
1	Fxx/86	Fxx/24

**注** ビット4, ビット5はリード・オンリーです。

**備考** Fxx: 選択クロック

(5) IIC機能拡張レジスタ0 (IICX0)

I<sup>2</sup>Cの機能拡張を設定するレジスタです (高速モード時のみ有効)。

8/1ビット単位でリード/ライト可能です。CLX0ビットの設定は、IICCL0.SMC0, CL00ビットと、IICOCKS.IICOCKS1, IICOCKS0ビットを組み合わせで設定します (17.4 (7) I<sup>2</sup>Cの転送クロックの設定方法参照)。

IICCX0レジスタはIICC0.IICE0ビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : FFFFFFFD85H

	7	6	5	4	3	2	1	①
IICX0	0	0	0	0	0	0	0	CLX0

CLX0	クロック選択拡張ビット
0	IICCL0.CL00ビットで設定された転送レートで通信する。
1	IICCL0.CL00ビットで設定された高速モード時の転送レートを2倍にして通信する。

(6) IICOPSクロック選択レジスタ (IICOCKS)

I<sup>2</sup>Cの分周クロックを制御するレジスタです。

8ビット単位でリード/ライト可能です。IICOCKS1, IICOCKS0ビットの設定は、IICCL0.SMC0, CL00ビットと、IICX0.CLX0ビットを組み合わせで設定します (17.4 (7) I<sup>2</sup>Cの転送クロックの設定方法参照)。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : FFFFFFFD90H

	7	6	5	4	3	2	1	0
IICOCKS	0	0	0	IICOCKSEN	0	0	IICOCKS1	IICOCKS0

IICOCKSEN	I <sup>2</sup> C分周クロック動作指定
0	I <sup>2</sup> C分周クロック動作停止
1	I <sup>2</sup> C分周クロック動作許可

IICOCKS1	IICOCKS0	I <sup>2</sup> C分周クロック選択
0	0	f <sub>xx</sub> /4
0	1	f <sub>xx</sub> /6
1	0	f <sub>xx</sub> /8
1	1	f <sub>xx</sub> /10

(7) I<sup>2</sup>Cの転送クロックの設定方法

I<sup>2</sup>Cの転送クロック周波数 ( f<sub>SCL</sub> ) は、次の計算式により求められます。

$$f_{SCL} = 1 / ( m \times T + t_r + t_f )$$

m = 96, 120, 144, 192, 240, 344, 352, 440, 516, 688, 860 ( 表17 - 2 選択クロックの設定参照 )

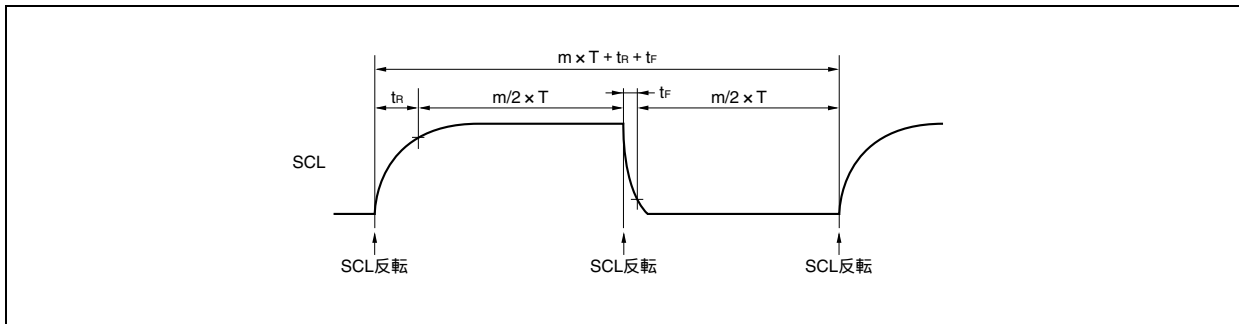
T : 1/f<sub>xx</sub>

t<sub>r</sub> : SCL立ち上がり時間

t<sub>f</sub> : SCL立ち下がり時間

たとえば、f<sub>xx</sub> = 64 MHz, m = 192, t<sub>r</sub> = 200 ns, t<sub>f</sub> = 50 nsの場合のI<sup>2</sup>Cの転送クロック周波数 ( f<sub>SCL</sub> ) は、次の計算式により求められます。

$$f_{SCL} = 1 / ( 192 \times 15.6 \text{ ns} + 200 \text{ ns} + 50 \text{ ns} ) \quad 308 \text{ kHz}$$



選択クロックは、IICL0.SMC0, CL00ビット, IICX0.CLX0ビット, IICOCKS.IICOCKS1, IICOCKS0ビットを組み合わせて設定します。

表17 - 2 選択クロックの設定

IICX0 ビット0 CLX0	IICL0		選択クロック	転送クロック ( f <sub>xx</sub> /m )	設定可能な 内部システム・クロック 周波数 ( f <sub>xx</sub> ) の範囲	動作モード	
	ビット3 SMC0	ビット0 CL00					
	0	0					0
			f <sub>xx</sub> /10 ( IICOCKS = 13H設定時 )	f <sub>xx</sub> /440	32.00 MHz ~ 41.90 MHz		
0	0	1	f <sub>xx</sub> /4 ( IICOCKS = 10H設定時 )	f <sub>xx</sub> /344	32.00 MHz ~ 33.52 MHz		
			f <sub>xx</sub> /6 ( IICOCKS = 11H設定時 )	f <sub>xx</sub> /516	32.00 MHz ~ 50.28 MHz		
			f <sub>xx</sub> /8 ( IICOCKS = 12H設定時 )	f <sub>xx</sub> /688	33.52 MHz ~ 64.00 MHz		
			f <sub>xx</sub> /10 ( IICOCKS = 13H設定時 )	f <sub>xx</sub> /860	41.90 MHz ~ 64.00 MHz		
0	1	x	f <sub>xx</sub> /4 ( IICOCKS = 10H設定時 )	f <sub>xx</sub> /96	32.00 MHz ~ 33.52 MHz	高速モード ( SMC0ビット = 1 )	
			f <sub>xx</sub> /6 ( IICOCKS = 11H設定時 )	f <sub>xx</sub> /144	32.00 MHz ~ 50.28 MHz		
			f <sub>xx</sub> /8 ( IICOCKS = 12H設定時 )	f <sub>xx</sub> /192	32.00 MHz ~ 64.00 MHz		
			f <sub>xx</sub> /10 ( IICOCKS = 13H設定時 )	f <sub>xx</sub> /240	40.00 MHz ~ 64.00 MHz		
1	0	x	設定禁止				
1	1	x	f <sub>xx</sub> /8 ( IICOCKS = 12H設定時 )	f <sub>xx</sub> /96	32.00 MHz ~ 33.52 MHz	高速モード ( SMC0ビット = 1 )	
			f <sub>xx</sub> /10 ( IICOCKS = 13H設定時 )	f <sub>xx</sub> /120	40.00 MHz ~ 41.90 MHz		

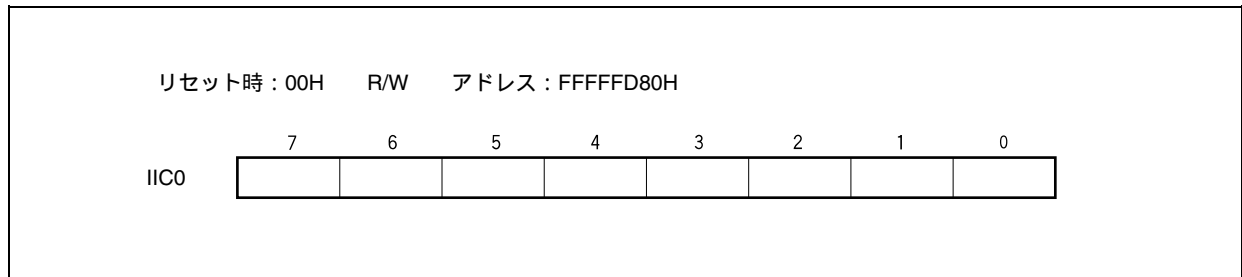
備考 x : Don't care

**(8) IICシフト・レジスタ0 (IIC0)**

このレジスタは、シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。8ビット単位でリード/ライト可能ですが、データ転送中にIIC0レジスタへデータを書き込まないでください。

IIC0レジスタには、ウエイト期間中にだけアクセス(リード/ライト)してください。ウエイト期間中を除く通信状態でのIIC0レジスタのアクセスは禁止です。ただし、マスタになる場合は、送信トリガ・ビット(IIC0.STT0)をセット(1)したあと、1回ライトできます。

ウエイト期間中のIIC0レジスタへの書き込みにより、ウエイトを解除しデータ転送を開始します。リセットにより00Hになります。

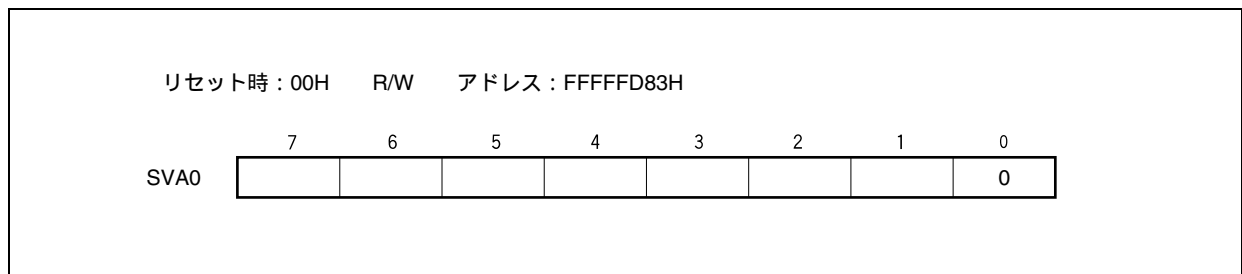
**(9) スレーブ・アドレス・レジスタ0 (SVA0)**

このレジスタには、I<sup>2</sup>Cバスのスレーブ・アドレスを格納します。

ただし、IICS0.STD0ビット = 1(スタート・コンディション検出)のときの書き換えは禁止です。

8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。

リセットにより00Hになります。



## 17.5 機能

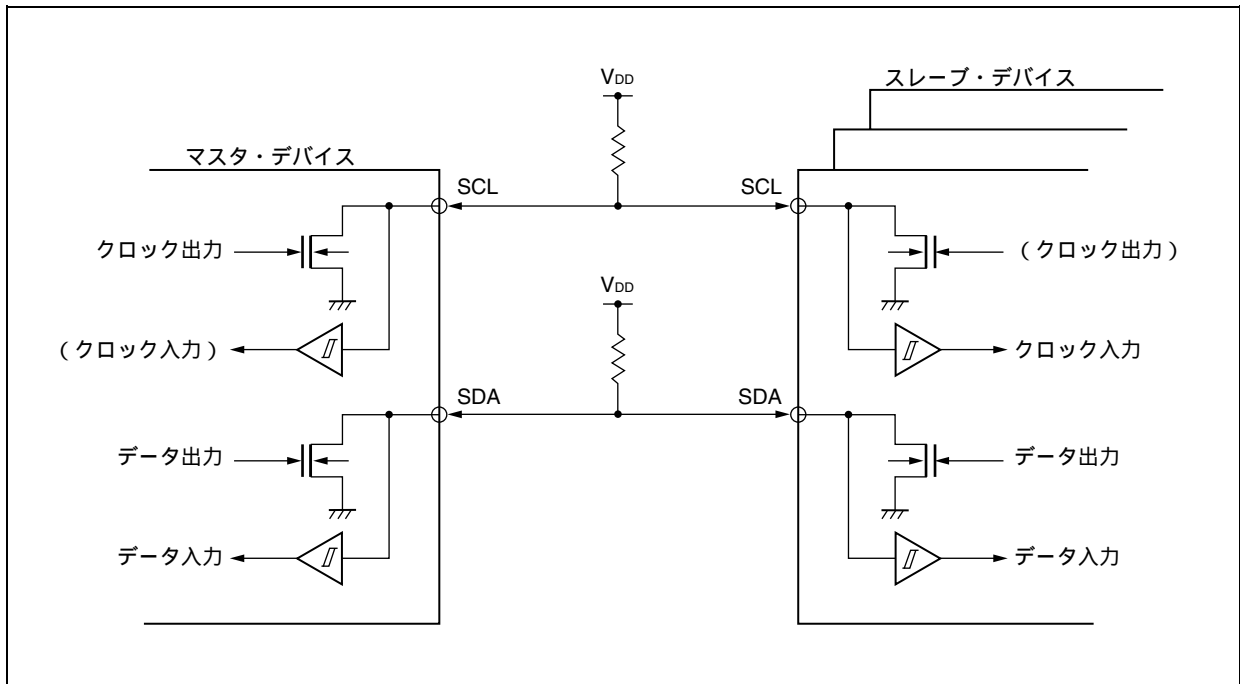
### 17.5.1 端子構成

シリアル・クロック端子 (SCL) と、シリアル・データ・バス端子 (SDA) の構成は、次のようになっています。

- SCL ... シリアル・クロックを入出力するための端子。  
 マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。
- SDA ... シリアル・データの入出力兼用端子。  
 マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図17-4 端子構成図



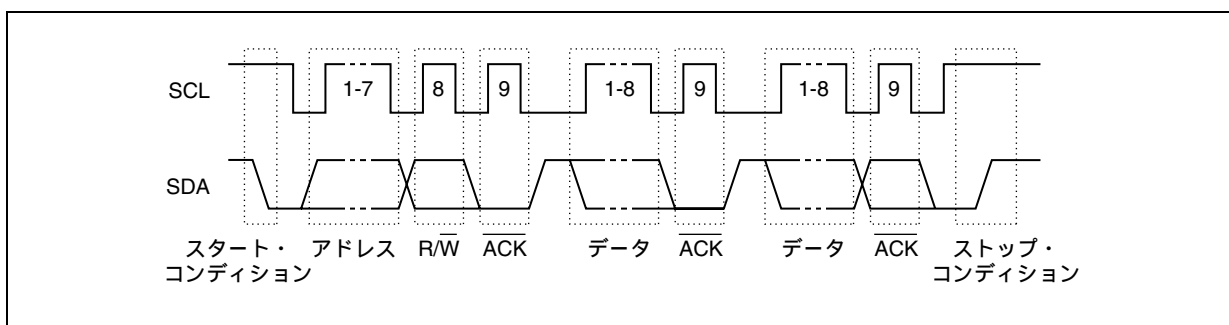


## 17.6 I<sup>2</sup>Cバスの定義および制御方法

I<sup>2</sup>Cバスのシリアル・データ通信フォーマットおよび、生成される状態の意味について次に説明します。

I<sup>2</sup>Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図17-5 I<sup>2</sup>Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

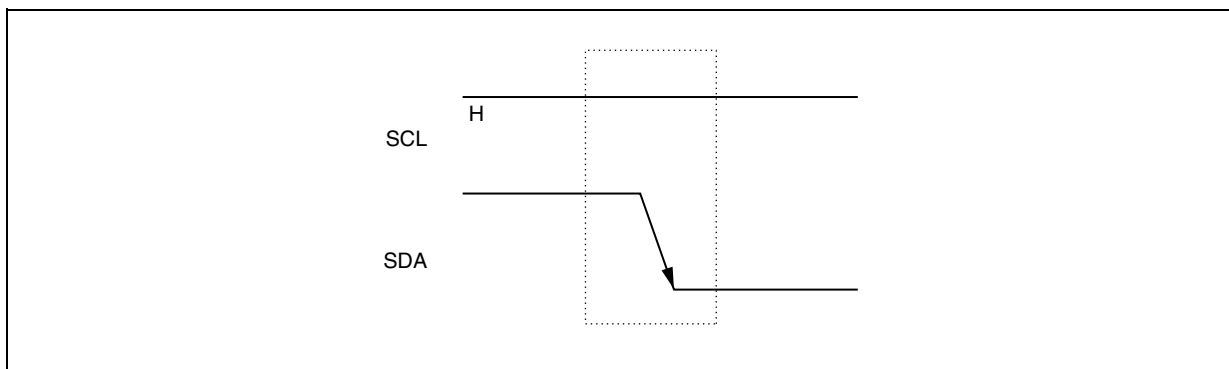
アクノリッジ (ACK) は、マスタ、スレーブのどちらでも生成できます (通常、8ビット・データの受信側が生成します)。

シリアル・クロック (SCL) は、マスタが出力し続けます。ただし、スレーブはSCLのロウ・レベル期間を延長し、ウエイトを挿入できます。

### 17.6.1 スタート・コンディション

SCL端子がハイ・レベルのときに、SDA端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL端子、SDA端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成されます。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図17-6 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (IICS0.SPD0ビット = 1) のときに IICC0.STT0ビットをセット (1) すると生成されます。また、スタート・コンディションを検出すると、IICS0.STD0ビットがセット (1) されます。

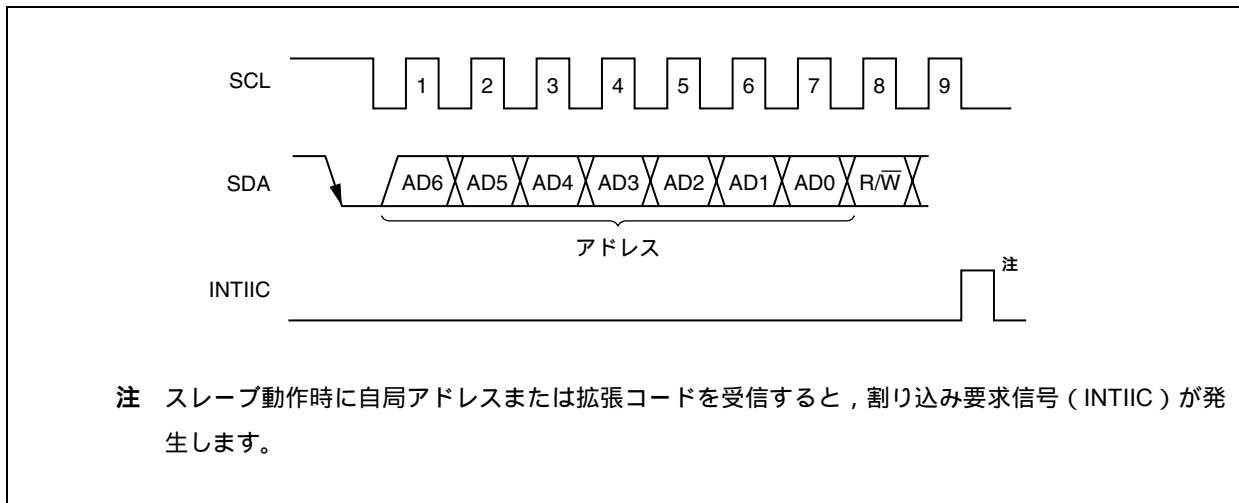
## 17.6.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがSVA0レジスタと一致しているかを調べます。このとき、7ビット・データとSVA0の値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図17-7 アドレス



アドレスは、スレーブのアドレスと17.6.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIIC0レジスタに書き込むと出力します。また、受信したアドレスはIIC0レジスタに書き込まれます。

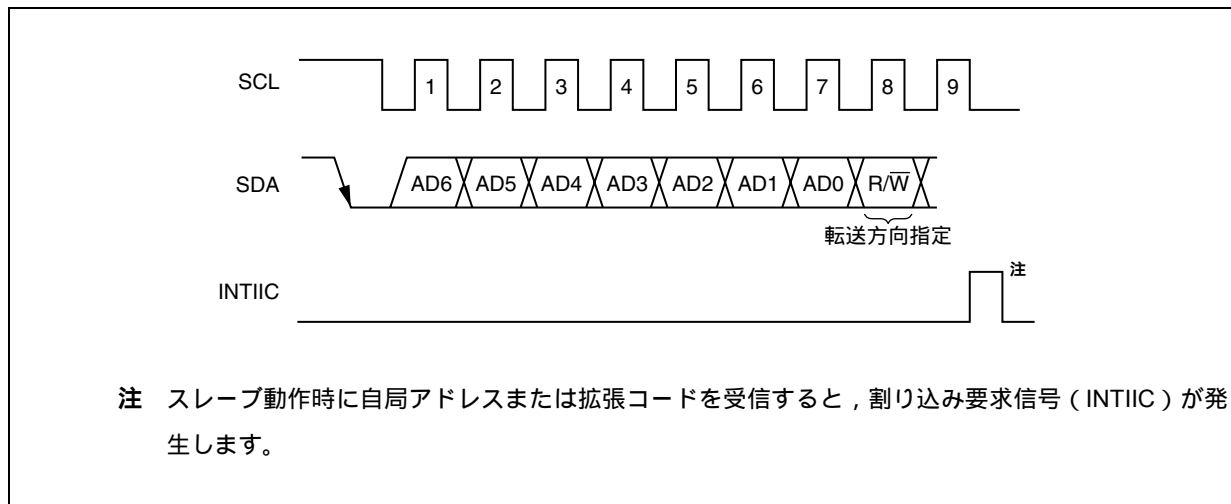
なお、スレーブのアドレスは、IIC0レジスタの上位7ビットに割り当てられます。

### 17.6.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図17 - 8 転送方向指定



### 17.6.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IIC0.ACKD0ビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを生成し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

アドレス指定した受信側が存在しない。

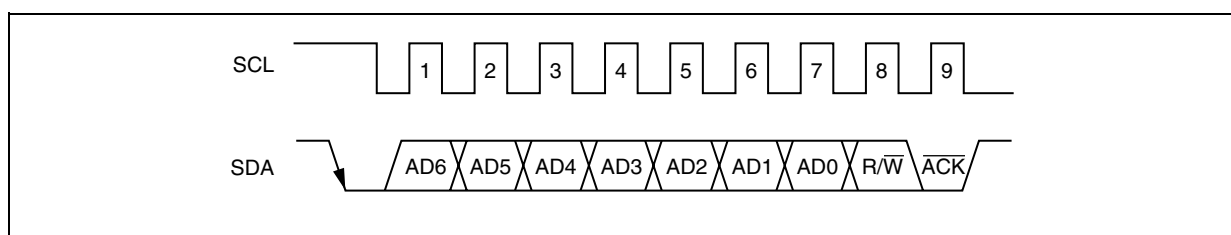
アクノリッジ生成は、受信側が9クロック目にSDAラインをロウ・レベルにすることによって行われます（正常受信）。

IIC0.ACKE0ビットをセット（1）することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIIC0.TRC0ビットが設定されます。受信（TRC0ビット = 0）の場合は、通常、ACKE0ビットをセット（1）してください。

スレーブ受信動作時（TRC0ビット = 0）にデータを受信できなくなったときは、ACKE0ビットをクリア（0）し、マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRC0ビット = 0）に、次のデータを必要としない場合、アクノリッジを生成しないようにACKE0ビットをクリア（0）してください。これによって、スレーブ送信側にデータの終わりを知らせます（送信停止）。

図17-9 アクノリッジ (ACK)



自局アドレス受信時は、ACKE0ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません（NACK）。

拡張コード受信時は、あらかじめACKE0ビットをセット（1）しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

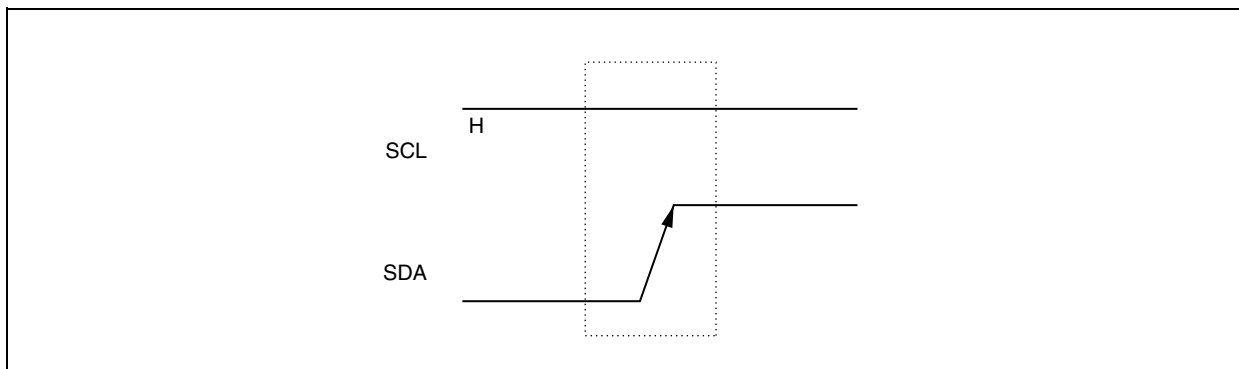
- ・8クロック・ウエイト選択時 (IICC0.WTIM0ビット = 0) :  
ウエイト解除を行う前にACKE0ビットをセット (1) することによって、SCL端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・ウエイト選択時 (WTIM0ビット = 1) :  
あらかじめACKE0ビットをセット (1) することによって、アクノリッジを生成します。

### 17.6.5 ストップ・コンディション

SCL端子がハイ・レベルのときに、SDA端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図17 - 10 ストップ・コンディション



ストップ・コンディションは、IICC0.SPT0ビットをセット (1) すると発生します。また、ストップ・コンディションを検出するとIICS0.SPD0ビットがセット (1) され、IICC0.SPIE0ビットがセット (1) されている場合には割り込み要求信号 (INTIIC) が発生します。

## 17.6.6 ウェイト

ウェイトは、マスタまたはスレーブがデータの送受信が準備中（ウェイト状態）であることを相手に知らせます。

SCL端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図17 - 11 ウェイト (1/2)

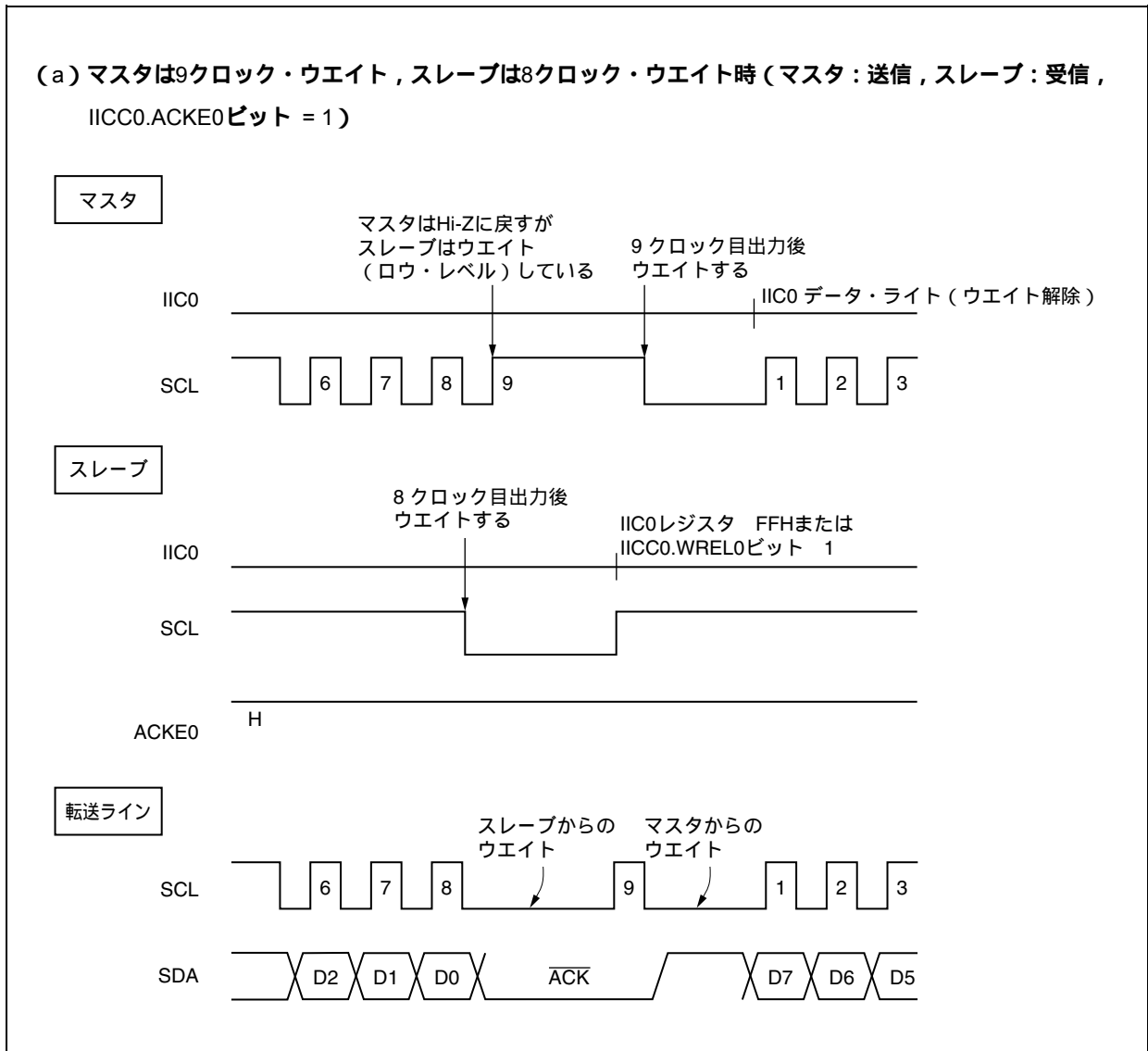
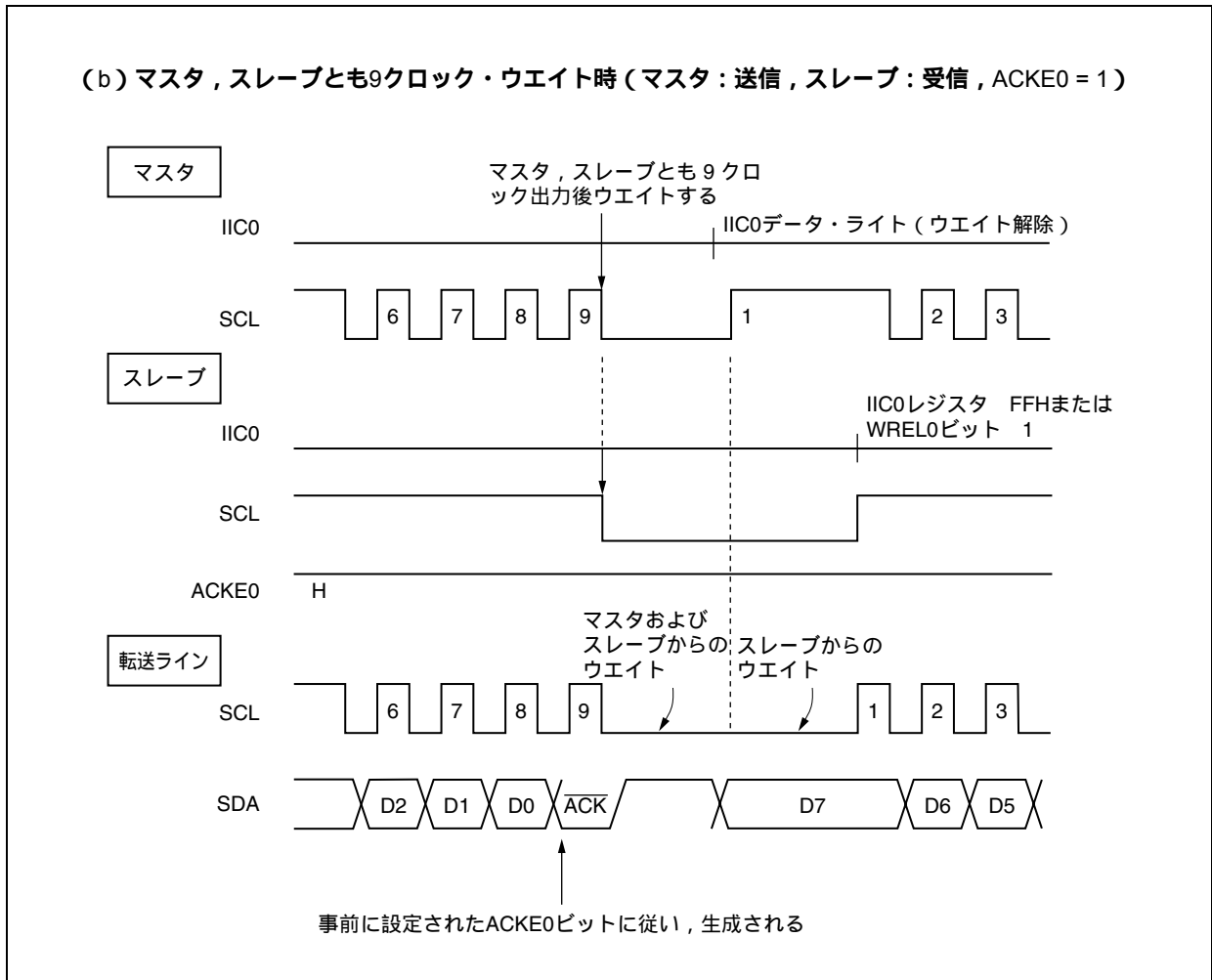


図17-11 ウェイト (2/2)



スタート・コンディション生成後,自動的にウェイト状態になります。また, IICC0.WTIM0ビットの設定により自動的にウェイト状態になります。

通常,受信側はWRELOビット= 1またはIIC0レジスタ FFHライトにするとウェイトを解除し,送信側はIIC0レジスタにデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICC0.STT0ビット= 1
- ・ IICC0.SPT0ビット= 1

### 17.6.7 ウェイト解除方法

I<sup>2</sup>Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IIC0レジスタへのデータ書き込み
- ・ IICC0.WREL0ビットのセット（ウェイト解除）
- ・ IICC0.STT0ビットのセット（スタート・コンディションの生成）<sup>注</sup>
- ・ IICC0.SPT0ビットのセット（ストップ・コンディションの生成）<sup>注</sup>

#### 注 マスタのみ

これらのウェイト解除処理を実行した場合、I<sup>2</sup>Cはウェイトを解除し通信が再開されます。

ウェイトを解除してデータ（アドレスを含む）を送信する場合には、IIC0レジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を終了する場合には、WREL0ビットをセット（1）してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、STT0ビットをセット（1）してください。

ウェイト解除後にストップ・コンディションを生成する場合には、SPT0ビットをセット（1）してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WREL0ビットのセット（1）によるウェイト解除後、IIC0レジスタへのデータ書き込みを実施した場合には、SDAラインの変化タイミングとIIC0レジスタへの書き込みタイミングの競合により、SDAラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICC0.IICE0ビットをクリア（0）すると通信を停止するので、ウェイトを解除できます。

I<sup>2</sup>Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICC0.LREL0ビットをセット（1）すると通信から退避するので、ウェイトを解除できます。



## 17.7 I<sup>2</sup>C割り込み要求信号 (INTIIC)

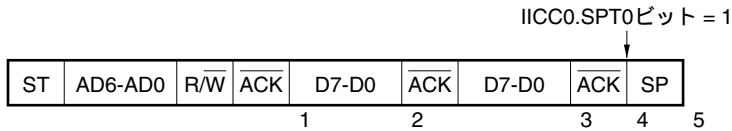
次に、INTIIC割り込み要求信号発生タイミングと、INTIIC信号タイミングでのIICS0レジスタの値を示します。

<b>備考</b> ST	: スタート・コンディション
AD6-AD0	: アドレス
$\overline{R/W}$	: 転送方向指定
$\overline{ACK}$	: アクノリッジ
D7-D0	: データ
SP	: ストップ・コンディション

## 17.7.1 マスタ動作

## (1) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

IICC0.WTIM0ビット = 0のとき

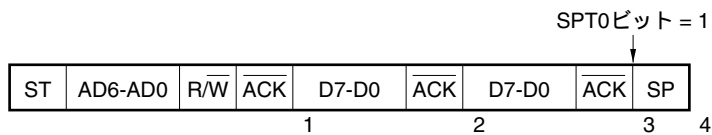


- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X000B
- 3 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1<sup>※</sup>)
- 4 : IICS0レジスタ = 1000XX00B
- 5 : IICS0レジスタ = 00000001B

**注** ストップ・コンディションを生成するためにWTIM0ビットをセット(1)し、割り込み要求信号(INTIIC)の発生タイミングを変更してください。

**備考** 必ず発生  
IICC0.SPIE0ビット = 1のときだけ発生  
X 任意

WTIM0ビット = 1のとき

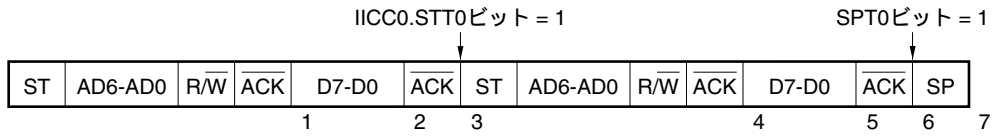


- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X100B
- 3 : IICS0レジスタ = 1000XX00B
- 4 : IICS0レジスタ = 00000001B

**備考** 必ず発生  
SPIE0ビット = 1のときだけ発生  
X 任意

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

WTIM0ビット = 0のとき

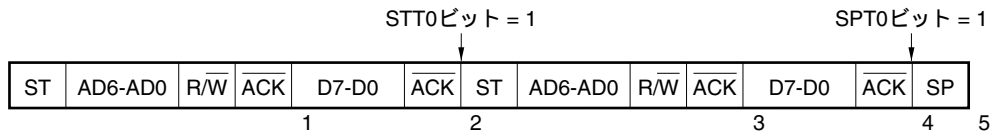


- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1<sup>注1</sup>)
- 3 : IICS0レジスタ = 1000XX00B (WTIM0ビット = 0<sup>注2</sup>)
- 4 : IICS0レジスタ = 1000X110B
- 5 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1<sup>注3</sup>)
- 6 : IICS0レジスタ = 1000XX00B
- 7 : IICS0レジスタ = 00000001B

- 注1. スタート・コンディションを生成するためにWTIM0ビットをセット(1)し、割り込み要求信号 (INTIIC) の発生タイミングを変更してください。
- 2. 設定を元に戻すためにWTIM0ビットをクリア(0)します。
- 3. ストップ・コンディションを生成するためにWTIM0ビットをセット(1)し、割り込み要求信号 (INTIIC) の発生タイミングを変更してください。

- 備考**     必ず発生  
                  SPIE0ビット = 1のときだけ発生  
                  X 任意

WTIM0ビット = 1のとき

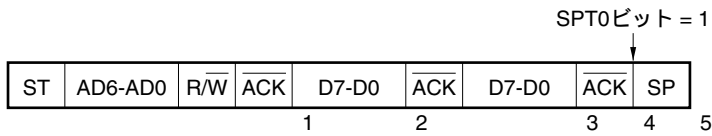


- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000XX00B
- 3 : IICS0レジスタ = 1000X110B
- 4 : IICS0レジスタ = 1000XX00B
- 5 : IICS0レジスタ = 00000001B

- 備考**     必ず発生  
                  SPIE0ビット = 1のときだけ発生  
                  X 任意

(3) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

WTIM0ビット = 0のとき

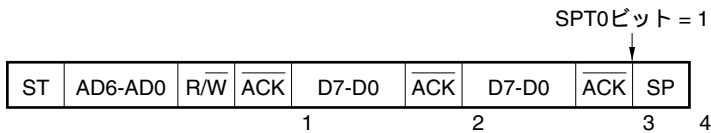


- 1 : IICS0レジスタ = 1010X110B
- 2 : IICS0レジスタ = 1010X000B
- 3 : IICS0レジスタ = 1010X000B (WTIM0ビット = 1<sup>※</sup>)
- 4 : IICS0レジスタ = 1010XX00B
- 5 : IICS0レジスタ = 00000001B

**注** ストップ・コンディションを生成するためにWTIM0ビットをセット(1)し、割り込み要求信号(INTIIC)の発生タイミングを変更してください。

- 備考**     必ず発生  
                  SPIE0ビット = 1のときだけ発生  
                  X 任意

WTIM0ビット = 1のとき



- 1 : IICS0レジスタ = 1010X110B
- 2 : IICS0レジスタ = 1010X100B
- 3 : IICS0レジスタ = 1010XX00B
- 4 : IICS0レジスタ = 00000001B

- 備考**     必ず発生  
                  SPIE0ビット = 1のときだけ発生  
                  X 任意

## 17.7.2 スレーブ動作（スレーブ・アドレス受信時（アドレス一致））

(1) Start ~ Address ~ Data ~ Data ~ Stop

IICC0.WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0001X000B

4 : IICS0レジスタ = 00000001B

**備考** 必ず発生

IICC0.SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X100B

3 : IICS0レジスタ = 0001XX00B

4 : IICS0レジスタ = 00000001B

**備考** 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

## (2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0001X110B

4 : IICS0レジスタ = 0001X000B

5 : IICS0レジスタ = 00000001B

**備考** 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001XX00B

3 : IICS0レジスタ = 0001X110B

4 : IICS0レジスタ = 0001XX00B

5 : IICS0レジスタ = 00000001B

**備考** 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス不一致 (拡張コード))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0010X010B

4 : IICS0レジスタ = 0010X000B

5 : IICS0レジスタ = 00000001B

**備考** 必ず発生  
SPIE0ビット = 1のときだけ発生  
X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス不一致 (拡張コード))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
				1	2					3	4	5	6

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001XX00B

3 : IICS0レジスタ = 0010X010B

4 : IICS0レジスタ = 0010X110B

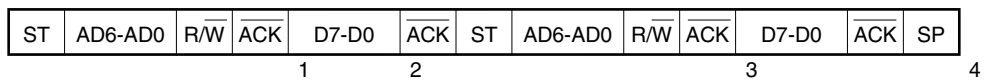
5 : IICS0レジスタ = 0010XX00B

6 : IICS0レジスタ = 00000001B

**備考** 必ず発生  
SPIE0ビット = 1のときだけ発生  
X 任意

(4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0レジスタ = 0001X110B

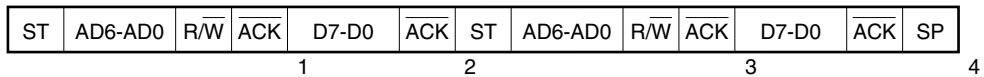
2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 00000110B

4 : IICS0レジスタ = 00000001B

**備考**      必ず発生  
                  SPIE0ビット = 1のときだけ発生  
                  X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001XX00B

3 : IICS0レジスタ = 00000110B

4 : IICS0レジスタ = 00000001B

**備考**      必ず発生  
                  SPIE0ビット = 1のときだけ発生  
                  X 任意

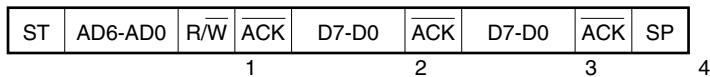


## 17.7.3 スレーブ動作（拡張コード受信時）

拡張コード受信時は常に通信に参加しています。

(1) Start ~ Code ~ Data ~ Data ~ Stop

IIC0.WTIM0ビット = 0のとき



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0010X000B

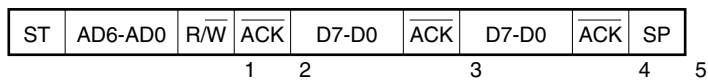
4 : IICS0レジスタ = 00000001B

**備考** 必ず発生

IIC0.SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010X100B

4 : IICS0レジスタ = 0010XX00B

5 : IICS0レジスタ = 00000001B

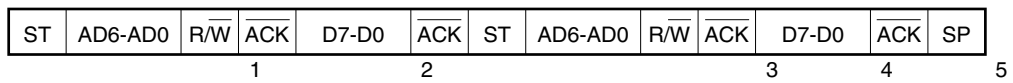
**備考** 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス一致)



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

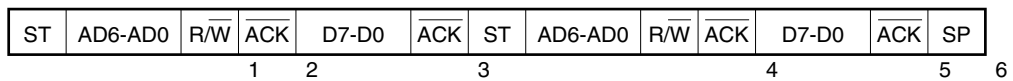
3 : IICS0レジスタ = 0001X110B

4 : IICS0レジスタ = 0001X000B

5 : IICS0レジスタ = 00000001B

**備考** 必ず発生  
SPIE0ビット = 1のときだけ発生  
X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス一致)



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010XX00B

4 : IICS0レジスタ = 0001X110B

5 : IICS0レジスタ = 0001XX00B

6 : IICS0レジスタ = 00000001B

**備考** 必ず発生  
SPIE0ビット = 1のときだけ発生  
X 任意

## (3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

## WTIM0ビット = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2				3		4	5

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0010X010B

4 : IICS0レジスタ = 0010X000B

5 : IICS0レジスタ = 00000001B

**備考** 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

## WTIM0ビット = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
			1	2		3			4	5		6	7

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010XX00B

4 : IICS0レジスタ = 0010X010B

5 : IICS0レジスタ = 0010X110B

6 : IICS0レジスタ = 0010XX00B

7 : IICS0レジスタ = 00000001B

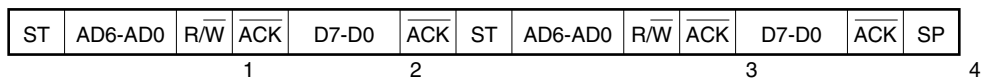
**備考** 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0レジスタ = 0010X010B

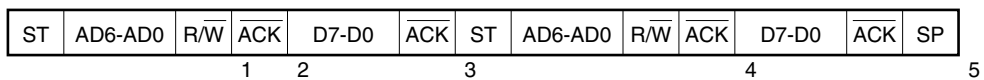
2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 00000110B

4 : IICS0レジスタ = 00000001B

**備考**      必ず発生  
                  SPIE0ビット = 1のときだけ発生  
                  X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010XX00B

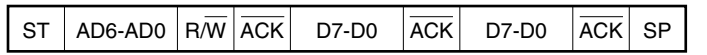
4 : IICS0レジスタ = 00000110B

5 : IICS0レジスタ = 00000001B

**備考**      必ず発生  
                  SPIE0ビット = 1のときだけ発生  
                  X 任意

## 17.7.4 通信不参加の動作

(1) Start ~ Code ~ Data ~ Data ~ Stop



1

1 : IICS0レジスタ = 00000001B

**備考** IICC0.SPIE0ビット = 1のときだけ発生

### 17.7.5 アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合はINTIIC割り込み発生ごとにアービトレーション結果を確認するためのIICS0.MSTS0ビットをリードし、アービトレーション結果を確認してください。

#### (1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

IICC0.WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS0レジスタ = 0101X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0001X000B

4 : IICS0レジスタ = 00000001B

**備考** 必ず発生

IICC0.SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS0レジスタ = 0101X110B

2 : IICS0レジスタ = 0001X100B

3 : IICS0レジスタ = 0001XX00B

4 : IICS0レジスタ = 00000001B

**備考** 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

## (2) 拡張コード送信中にアービトレーションに負けた場合

WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICS0レジスタ = 0110X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0010X000B

4 : IICS0レジスタ = 00000001B

**備考** 必ず発生  
 SPIE0ビット = 1のときだけ発生  
 X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP	
			1	2		3		4	5

1 : IICS0レジスタ = 0110X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010X100B

4 : IICS0レジスタ = 0010XX00B

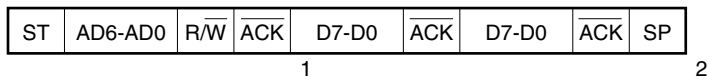
5 : IICS0レジスタ = 00000001B

**備考** 必ず発生  
 SPIE0ビット = 1のときだけ発生  
 X 任意

### 17.7.6 アービトレーション負けの動作(アービトレーション負けのあと,不参加)

マルチマスタ・システムでマスタとして使用する場合はINTIIC割り込み発生ごとにアービトレーション結果を確認するためのIICS0.MSTS0ビットをリードし,アービトレーション結果を確認してください。

#### (1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

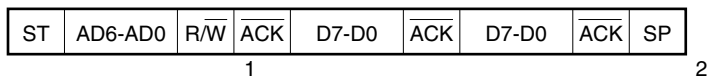


1 : IICS0レジスタ = 01000110B

2 : IICS0レジスタ = 00000001B

**備考**      必ず発生  
IICC0.SPIE0ビット = 1のときだけ発生

#### (2) 拡張コード送信中にアービトレーションに負けた場合



1 : IICS0レジスタ = 0110X010B

ソフトウェアでIICC0.LREL0ビット = 1を設定

2 : IICS0レジスタ = 00000001B

**備考**      必ず発生  
SPIE0ビット = 1のときだけ発生  
X 任意



## (3) データ転送時にアービトレーションに負けた場合

IIC0.WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICS0レジスタ = 10001110B

2 : IICS0レジスタ = 01000000B

3 : IICS0レジスタ = 00000001B

**備考** 必ず発生  
SPIE0ビット = 1のときだけ発生

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICS0レジスタ = 10001110B

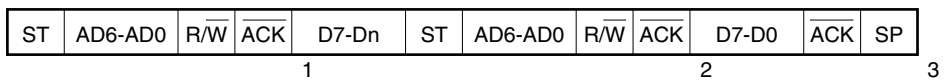
2 : IICS0レジスタ = 01000100B

3 : IICS0レジスタ = 00000001B

**備考** 必ず発生  
SPIE0ビット = 1のときだけ発生

(4) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 アドレス不一致)



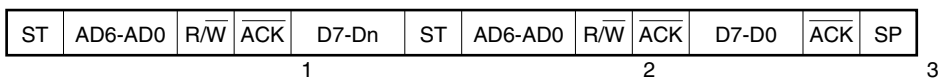
1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 01000110B

3 : IICS0レジスタ = 00000001B

**備考**      必ず発生  
                  SPIE0ビット = 1のときだけ発生  
                  X 任意  
                  Dn = D6-D0

拡張コード



1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 0110X010B

ソフトウェアでLREL0ビット = 1を設定

3 : IICS0レジスタ = 00000001B

**備考**      必ず発生  
                  SPIE0ビット = 1のときだけ発生  
                  X 任意  
                  Dn = D6-D0

## (5) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
			1		2

1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 01000001B

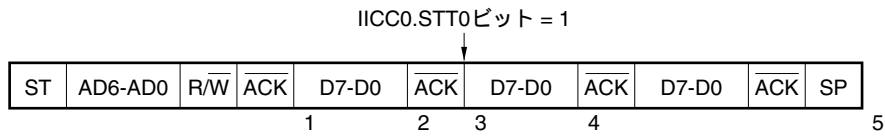
**備考**      必ず発生  
                  SPIE0ビット = 1のときだけ発生

X 任意

Dn = D6-D0

(6) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

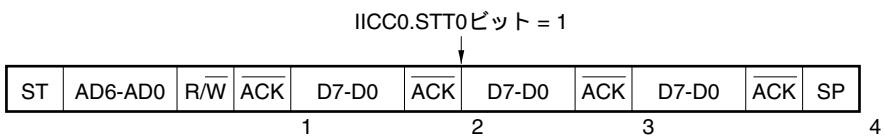
WTIM0ビット = 0のとき



- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1)
- 3 : IICS0レジスタ = 1000X100B (WTIM0ビット = 0)
- 4 : IICS0レジスタ = 01000000B
- 5 : IICS0レジスタ = 00000001B

**備考** 必ず発生  
SPIE0ビット = 1のときだけ発生  
X 任意

WTIM0ビット = 1のとき

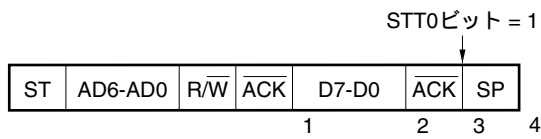


- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X100B
- 3 : IICS0レジスタ = 01000100B
- 4 : IICS0レジスタ = 00000001B

**備考** 必ず発生  
SPIE0ビット = 1のときだけ発生  
X 任意

(7) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

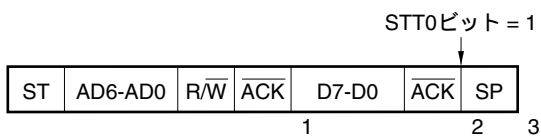
WTIM0ビット = 0のとき



- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1)
- 3 : IICS0レジスタ = 1000XX00B
- 4 : IICS0レジスタ = 01000001B

**備考**     必ず発生  
                  SPIE0ビット = 1のときだけ発生  
                  X 任意

WTIM0ビット = 1のとき

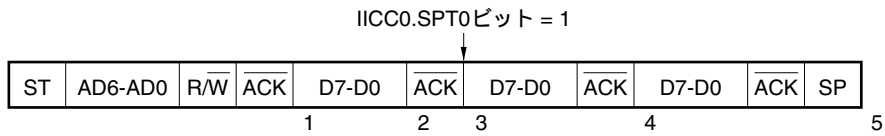


- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000XX00B
- 3 : IICS0レジスタ = 01000001B

**備考**     必ず発生  
                  SPIE0ビット = 1のときだけ発生  
                  X 任意

(8) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

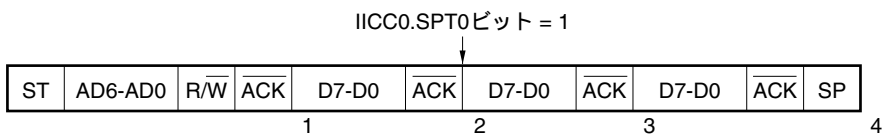
WTIM0ビット = 0のとき



- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1)
- 3 : IICS0レジスタ = 1000X100B (WTIM0ビット = 0)
- 4 : IICS0レジスタ = 01000100B
- 5 : IICS0レジスタ = 00000001B

**備考** 必ず発生  
 SPIE0ビット = 1のときだけ発生  
 X 任意

WTIM0ビット = 1のとき



- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X100B
- 3 : IICS0レジスタ = 01000100B
- 4 : IICS0レジスタ = 00000001B

**備考** 必ず発生  
 SPIE0ビット = 1のときだけ発生  
 X 任意

## 17.8 割り込み要求信号 (INTIIC) 発生タイミングおよびウェイト制御

IICC0.WTIM0ビットの設定で、次に示すタイミングでINTIIC信号が発生して、ウェイト制御を行います。

表17-3 INTIIC信号発生タイミングおよびウェイト制御

WTIM0ビット	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 <sup>注1,2</sup>	8 <sup>注2</sup>	8 <sup>注2</sup>	9	8	8
1	9 <sup>注1,2</sup>	9 <sup>注2</sup>	9 <sup>注2</sup>	9	9	9

注1. スレーブのINTIIC信号およびウェイトは、SVA0レジスタに設定しているアドレスと一致したときのみ、9クロック目の立ち下がりが発生します。

また、このとき、IICC0.ACKE0ビットの設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりINTIIC信号が発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりINTIIC信号が発生しますが、ウェイトは発生しません。

2. SVA0レジスタと受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIIC信号もウェイトも発生しません。

**備考** 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

### (1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がり発生します。

### (2) データ受信時

マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

### (3) データ送信時

マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

#### (4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IIC0レジスタへのデータ書き込み
- ・ IICC0.WREL0ビットのセット(ウェイト解除)
- ・ IICC0.STT0ビットのセット(スタート・コンディションの生成)<sup>注</sup>
- ・ IICC0.SPT0ビットのセット(ストップ・コンディションの生成)<sup>注</sup>

注 マスタのみ

8クロック・ウェイト選択(WTIM0ビット = 0)時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

#### (5) ストップ・コンディション検出

ストップ・コンディションを検出するとINTIIC信号を発生します。

## 17.9 アドレスの一致検出方法

I<sup>2</sup>Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。SVA0レジスタに自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVA0レジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC割り込み要求信号が発生します。

## 17.10 エラーの検出

I<sup>2</sup>Cバス・モードでは、送信中のシリアル・バス(SDA)の状態が、送信しているデバイスのIIC0レジスタにも取り込まれるため、送信開始前と送信終了後のIIC0レジスタのデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。



## 17.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXC0) をセットし、8クロック目の立ち下がりで割り込み要求信号 (INTIIC) を発生します。  
SVA0レジスタに格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVA0レジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIIC信号は、8クロック目の立ち下がりで発生します。

上位4ビット・データの一致 : IICS0.EXC0ビット = 1

7ビット・データの一致 : IICS0.COI0ビット = 1

(3) INTIIC信号発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。  
スレーブ動作時に拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。  
たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICC0.LREL0ビット= 1に設定してください。次の通信待機状態となります。

表17-4 主な拡張コードのビットの定義

スレーブ・アドレス	R $\bar{W}$ ビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

**備考** 上記以外の拡張コードについては、NXP社発行のI<sup>2</sup>Cバスの仕様書を参照してください。

## 17.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（IICS0.STD0ビット = 1になる前に IICC0.STT0ビット = 1にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、アービトレーション負けフラグ（IICS0.ALD0ビット）をセット（1）し、SCL、SDAラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求信号（INTIIC）発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアでALD0ビット = 1になっていることで検出します。

割り込み発生タイミングについては、17.7 I<sup>2</sup>C割り込み要求信号（INTIIC）を参照してください。

図17 - 12 アービトレーション・タイミング例

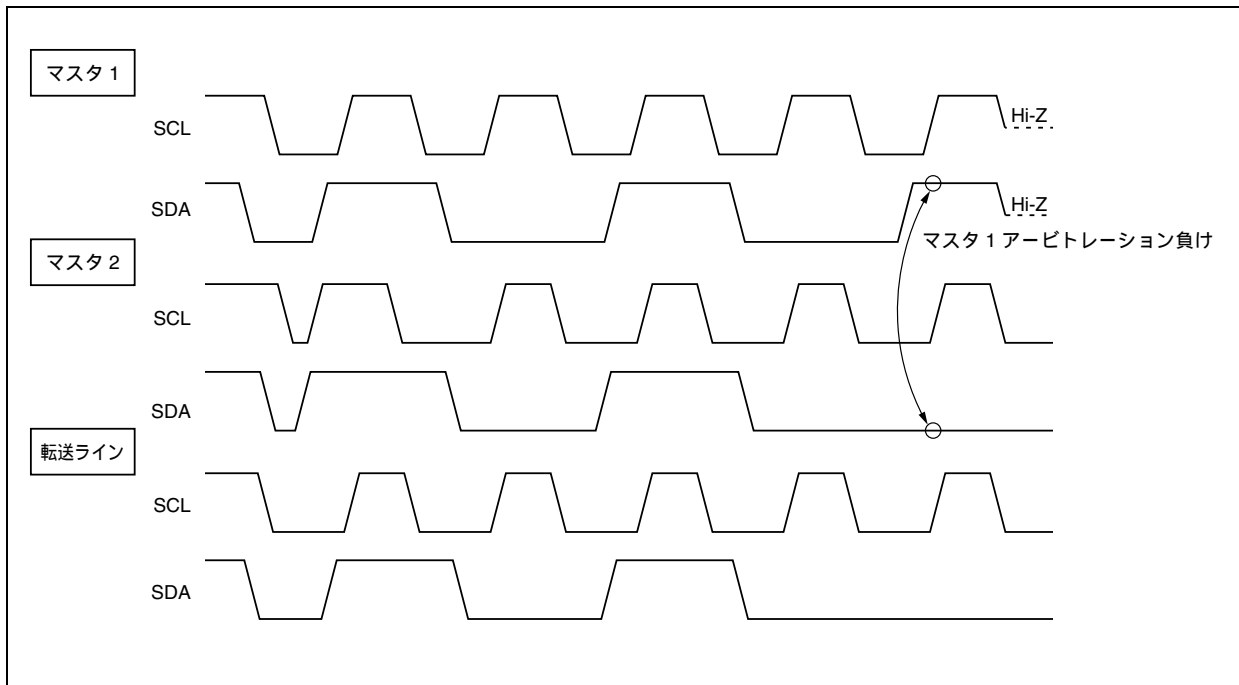


表17-5 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (IIC0.SPIE0ビット = 1時) <sup>注2</sup>
リスタート・コンディションを生成しようとしたがSDA端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0ビット = 1時) <sup>注2</sup>
ストップ・コンディションを生成しようとしたがSDA端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを生成しようとしたがSCL端子がロウ・レベル	

注1. IIC0.WTIM0ビット = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。  
WTIM0ビット = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE0ビット = 1にしてください。

## 17.13 ウェイク・アップ機能

I<sup>2</sup>Cバスのスレーブ機能で, 自局アドレスまたは拡張コードを受信したときに割り込み要求信号 (INTIIC) が発生する機能です。アドレスが一致しないときは不要な割り込み要求を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイク・アップ機能に関係なく, IIC0.SPIE0ビットの設定によって, 割り込み要求の発生許可/禁止が決定します。

## 17.14 通信予約

### 17.14.1 通信予約機能許可の場合 (IICF0.IICRSV0ビット = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICC0.LREL0ビット = 1でバスを解放した)とき。

バスに不参加の状態、IICC0.STT0ビットをセット(1)すると、バスが解放されたあと(ストップ・コンディション検出後)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICC0.SPIE0ビットをセット(1)し、割り込み要求(INTIIC)発生でバスの解放を検出(ストップ・コンディション検出)したあと、IIC0レジスタにアドレスを書き込むと、自動的にマスタとして通信を開始します。ストップ・コンディションを検出する前に、IIC0レジスタに書き込んだデータは無効となります。

STT0ビットをセット(1)したときスタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

バスが解放されているとき …………… スタート・コンディション生成  
 バスが解放されていないとき(待機状態) … 通信予約

通信予約として動作するかどうかを確認するには、STT0ビットをセット(1)し、ウェイト時間をとったあと、IICS0.MSTS0ビットを確認することで行います。

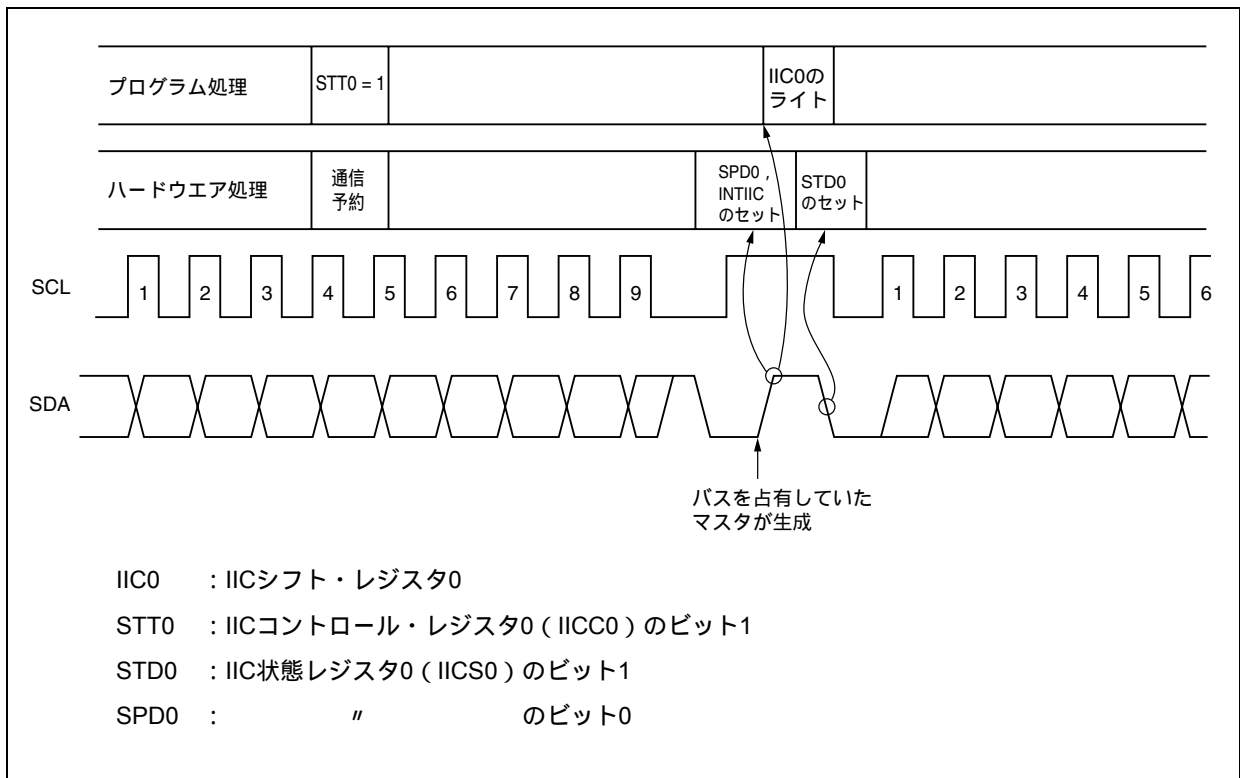
ウェイト時間は、表17-6に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICX0.CLX0、IICCL0.SMC0、CL00ビットにより設定できます。

表17-6 ウェイト時間

選択クロック	CLX0	SMC0	CL00	ウェイト・クロック	f <sub>xx</sub> = 64 MHz時の ウェイト時間
f <sub>xx</sub> /8 (IICOCKS = 12H)	0	0	0	23クロック	2.88 μs
f <sub>xx</sub> /10 (IICOCKS = 13H)	0	0	0	23クロック	3.59 μs
f <sub>xx</sub> /4 (IICOCKS = 10H)	0	0	1	43クロック	2.69 μs
f <sub>xx</sub> /6 (IICOCKS = 11H)	0	0	1	43クロック	4.03 μs
f <sub>xx</sub> /8 (IICOCKS = 12H)	0	0	1	43クロック	5.38 μs
f <sub>xx</sub> /10 (IICOCKS = 13H)	0	0	1	43クロック	6.72 μs
f <sub>xx</sub> /4 (IICOCKS = 10H)	0	1	x	15クロック	0.94 μs
f <sub>xx</sub> /6 (IICOCKS = 11H)	0	1	x	15クロック	1.41 μs
f <sub>xx</sub> /8 (IICOCKS = 12H)	0	1	x	15クロック	1.88 μs
f <sub>xx</sub> /10 (IICOCKS = 13H)	0	1	x	15クロック	2.34 μs
f <sub>xx</sub> /8 (IICOCKS = 12H)	1	1	x	9クロック	1.13 μs
f <sub>xx</sub> /10 (IICOCKS = 13H)	1	1	x	9クロック	1.41 μs

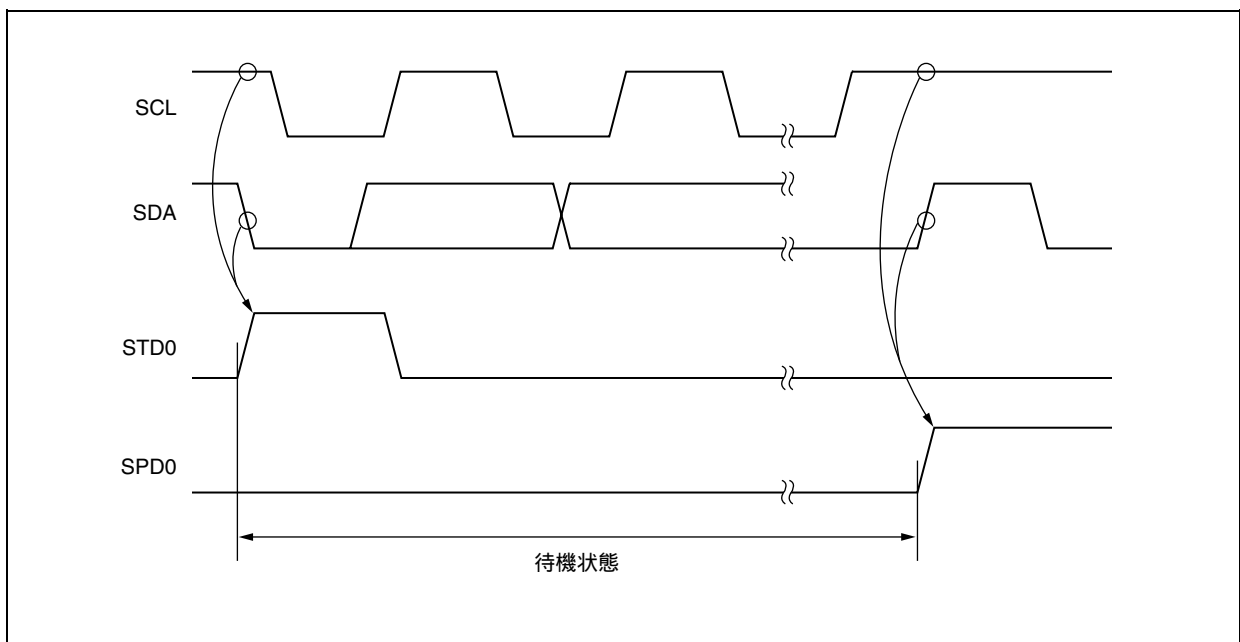
通信予約のタイミングを次に示します。

図17 - 13 通信予約のタイミング



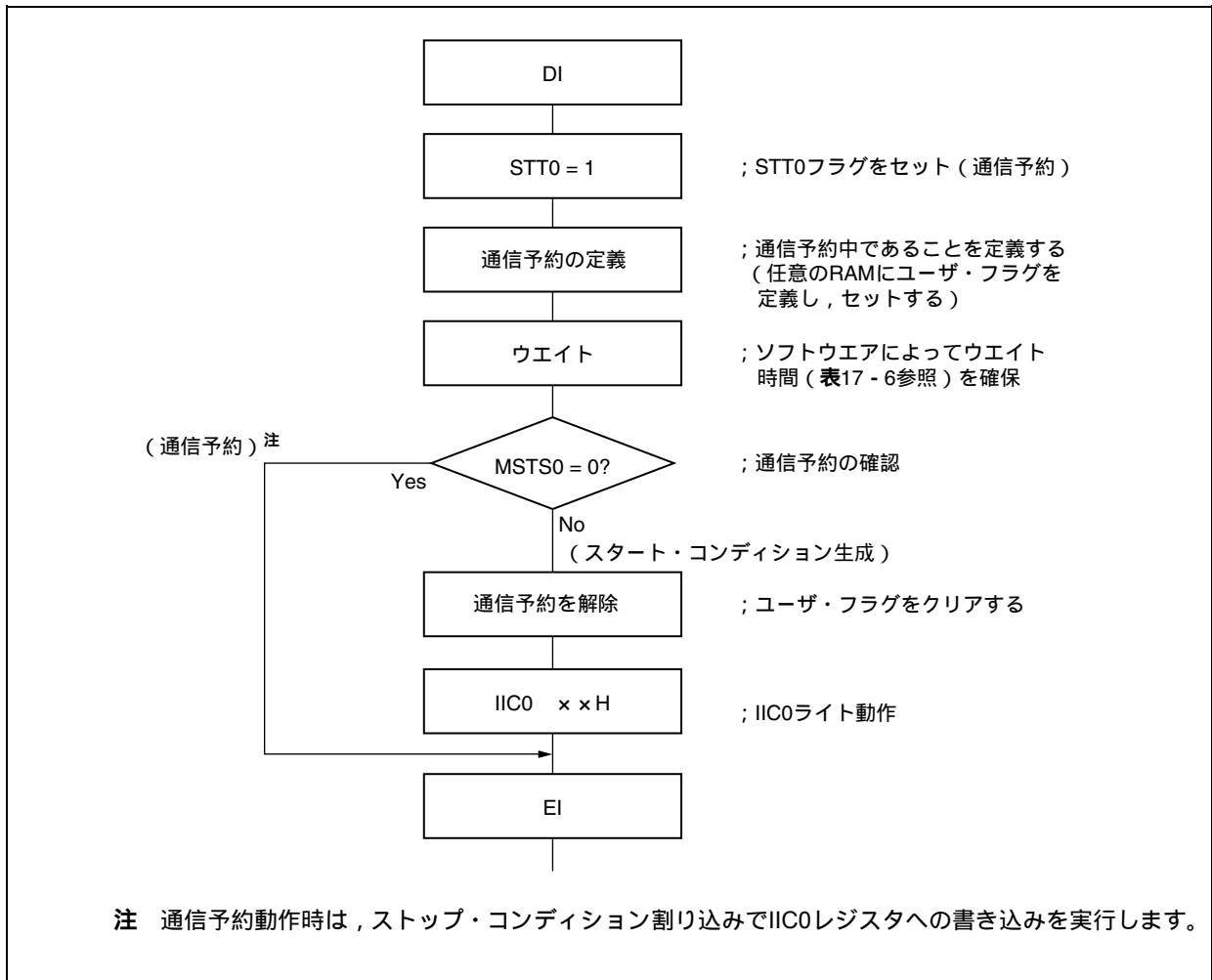
通信予約は次のタイミングで受け付けられます。IICS0.STD0ビット = 1になったあと、ストップ・コンディション検出までにIICC0.STT0ビット = 1で通信予約をします。

図17 - 14 通信予約受け付けタイミング



次に通信予約の手順を示します。

図17 - 15 通信予約の手順



### 17.14.2 通信予約機能禁止の場合 (IICF0.IICRSV0ビット = 1)

バスが通信中で、この通信に不参加の状態ではICC0.STT0ビットをセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクリッジを返さず、IICC0.LREL0ビット = 1でバスを解放した)とき。

スタート・コンディションが生成されたか拒絶されたを確認するには、IICF0.STCF0フラグを確認することにより行います。STT0ビット = 1としてからSTCF0フラグがセットされるまで表17 - 7に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表17 - 7 ウェイト時間

選択クロック	CLX0	SMC0	CL00	ウェイト・クロック	f <sub>xx</sub> = 64 MHz時の ウェイト時間
f <sub>xx</sub> /8 (IICOCKS = 12H)	0	0	0	5クロック	0.63 μs
f <sub>xx</sub> /10 (IICOCKS = 13H)	0	0	0	5クロック	0.78 μs
f <sub>xx</sub> /4 (IICOCKS = 10H)	0	0	1	5クロック	0.31 μs
f <sub>xx</sub> /6 (IICOCKS = 11H)	0	0	1	5クロック	0.47 μs
f <sub>xx</sub> /8 (IICOCKS = 12H)	0	0	1	5クロック	0.63 μs
f <sub>xx</sub> /10 (IICOCKS = 13H)	0	0	1	5クロック	0.78 μs

## 17.15 注意事項

### (1) IICF0.STCEN0ビット = 0の場合

I<sup>2</sup>C動作許可直後、実際のバス状態にかかわらず通信状態 (IICF0.IICBSY0ビット = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

ストップ・コンディションの生成は次の順番で行ってください。

IICL0レジスタの設定  
IICC0.IICE0ビットのセット  
IICC0.SPT0ビットのセット

### (2) IICF0.STCEN0ビット = 1の場合

I<sup>2</sup>C動作許可直後、実際のバス状態にかかわらず解放状態 (IICBSY0ビット = 0) と認識しますので、1回目のスタート・コンディションを生成 (IICC0.STT0ビット = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) ほかのデバイス同士の通信中にV850E/IF3, V850E/IG3のIICC0.IICE0ビットをセット (1) した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICC0.IICE0ビットのセット (1) は、必ずSCL, SDAラインがハイ・レベルの状態で行ってください。

### (4) I<sup>2</sup>Cの動作開始時および動作停止時の設定手順

#### (a) I<sup>2</sup>Cの動作開始時の設定手順

IICOCKSレジスタで分周クロックを選択し、IICOCKSENビット = 1 (I<sup>2</sup>C分周クロック動作許可) に設定  
IICL0レジスタとIICX0レジスタの設定 (転送速度の設定)  
IICC0.IICE0ビット = 1 (I<sup>2</sup>C動作開始)

なお、I<sup>2</sup>Cの転送速度を変更する場合は、一度IICC0.IICE0ビット = 0にしてから行ってください。

#### (b) I<sup>2</sup>Cの動作停止時の設定手順は次のようになります。

IICC0.IICE0ビット = 0 (I<sup>2</sup>C動作停止)  
IICOCKS.IICOCKSENビット = 0 (I<sup>2</sup>C分周クロック動作停止)

(5) IICC0.STT0, SPT0ビットをセット (1) したあと、クリア (0) される前の再セットは禁止します。

(6) 送信予約をした場合には、IICC0.SPIE0ビットをセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI<sup>2</sup>Cに通信データをライトすることによってウェイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでIICS0.MSTS0ビットを検出する場合には、SPIE0ビットをセット (1) する必要はありません。



## 17.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

### (1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

### (2) マルチマスタ・システムでのマスタ動作

I<sup>2</sup>Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI<sup>2</sup>Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

### (3) スレーブ動作

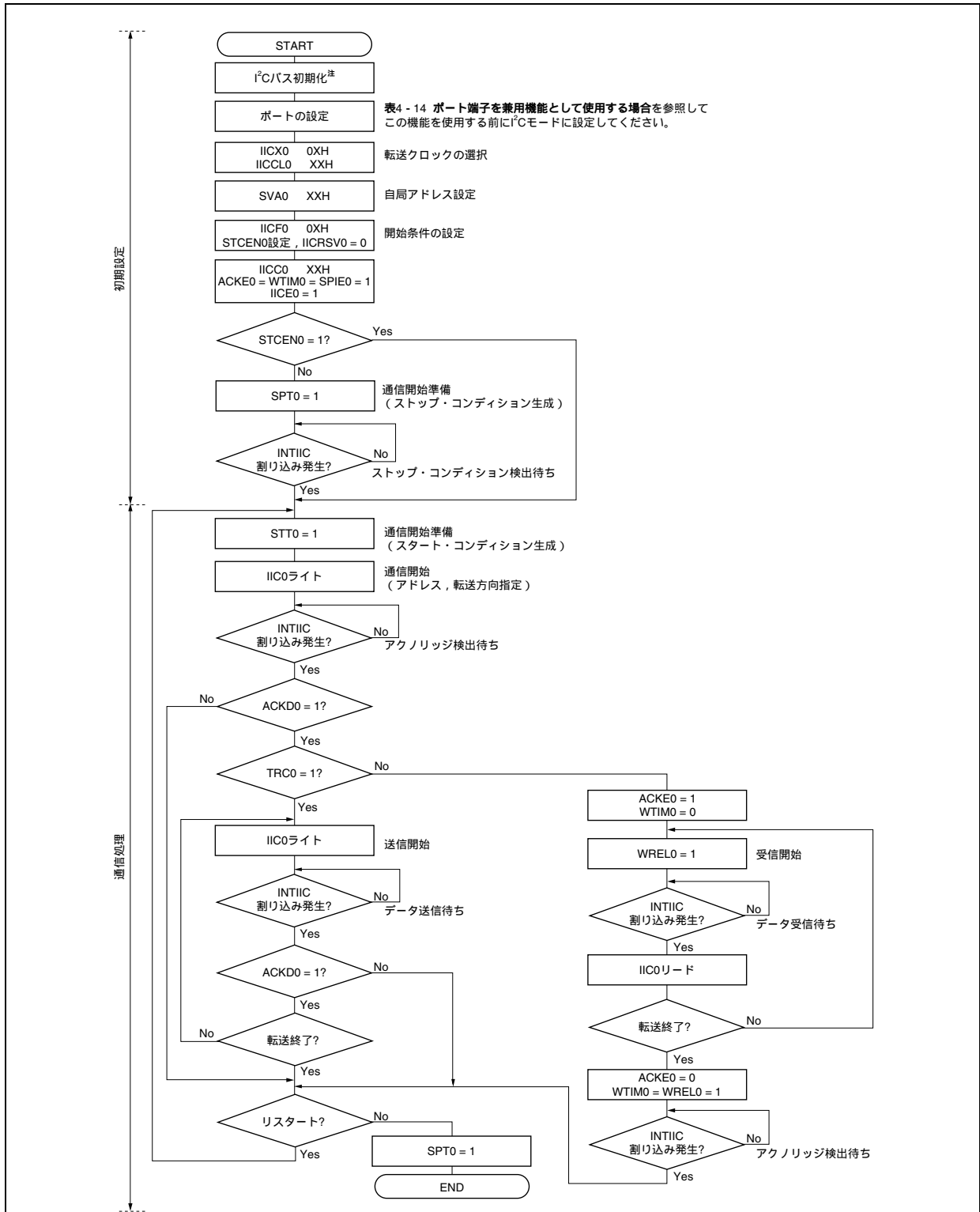
I<sup>2</sup>Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIIC割り込みの発生を待ちます。INTIIC割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

17.16.1 シングルマスタ・システムでのマスタ動作

図17-16 シングルマスタ・システムでのマスタ動作



**注** 通信している製品の仕様に準拠し、I<sup>2</sup>Cバスを解放 (SCL, SDA端子 = ハイ・レベル) してください。たとえば、EEPROM<sup>®</sup>がSDA端子にロウ・レベルを出力した状態であれば、SCL端子を出力ポートに設定し、SDA端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

**備考** 送信および受信フォーマットは通信している製品の仕様に準拠してください。

17. 16. 2 マルチマスタ・システムでのマスタ動作

図17 - 17 マルチマスタ・システムでのマスタ動作 (1/3)

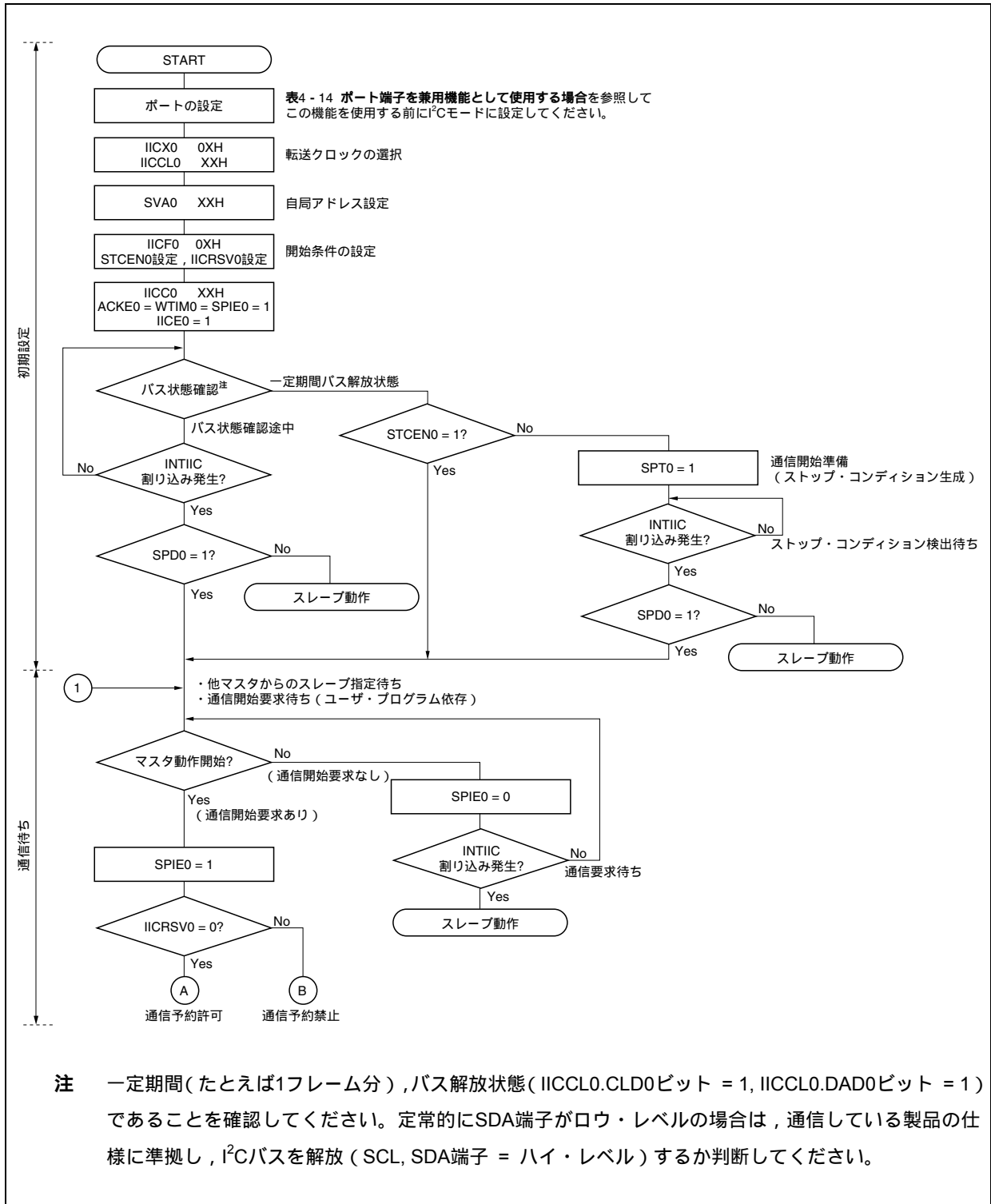


図17-17 マルチマスタ・システムでのマスタ動作 (2/3)

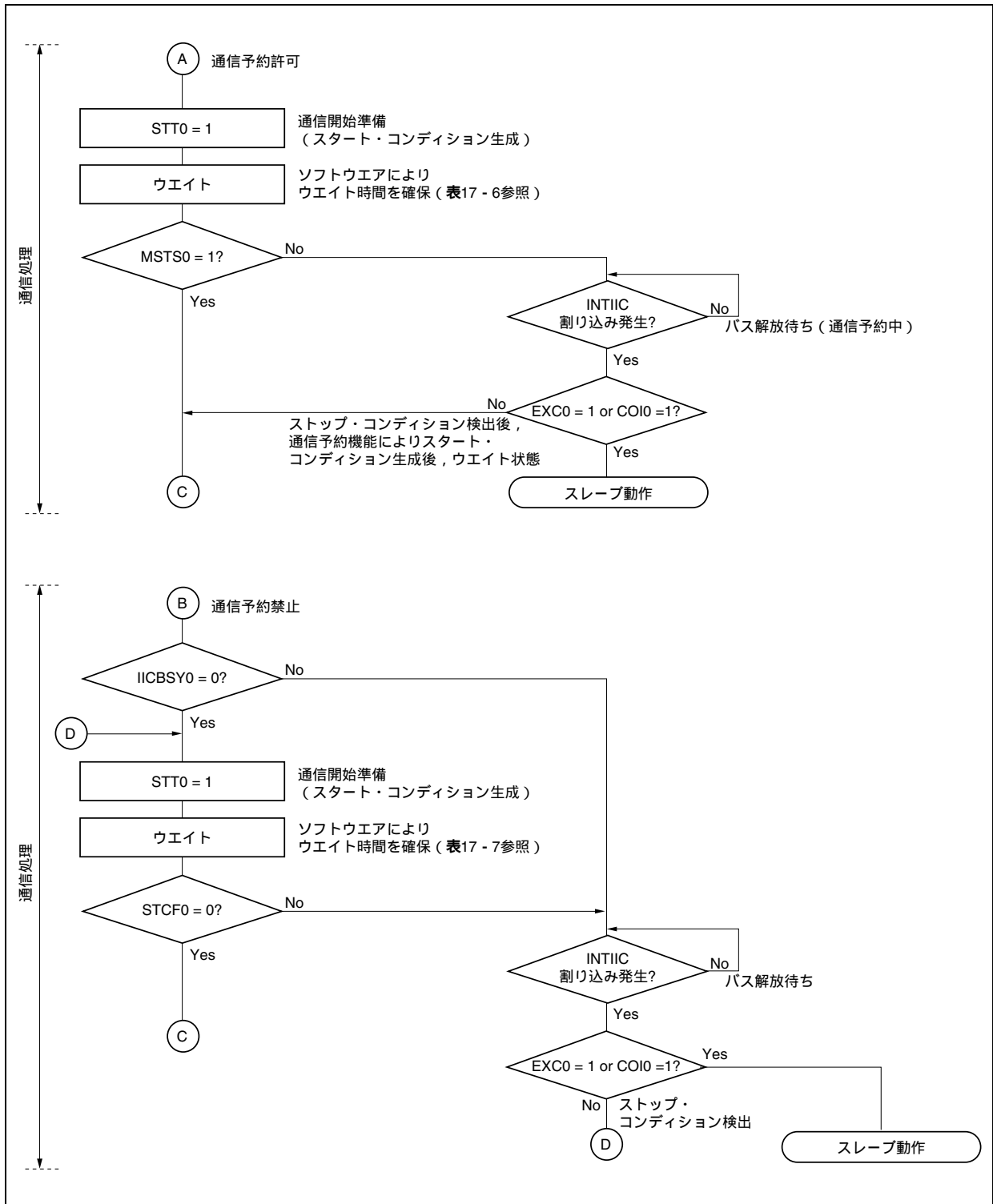
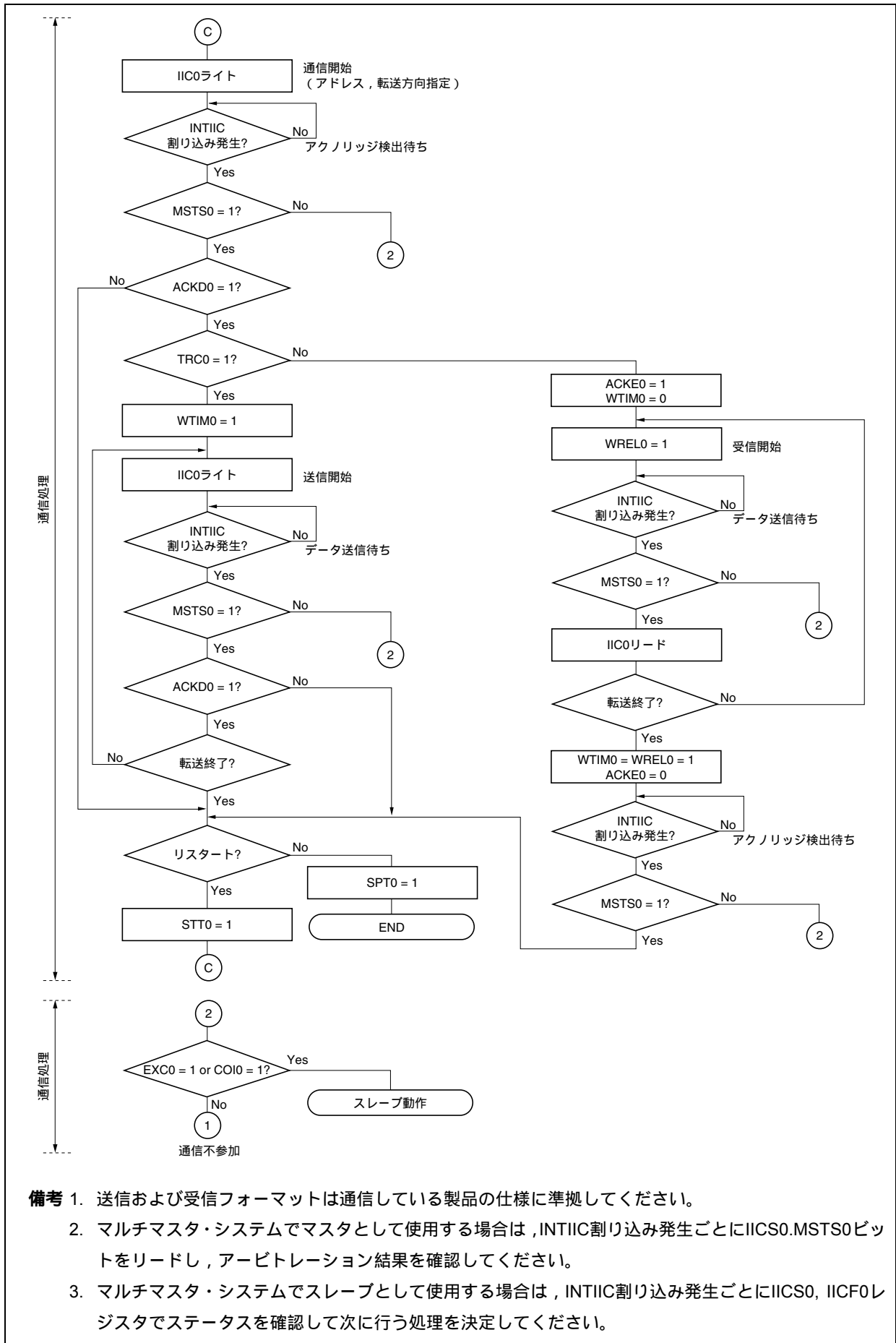


図17-17 マルチマスタ・システムでのマスタ動作 (3/3)



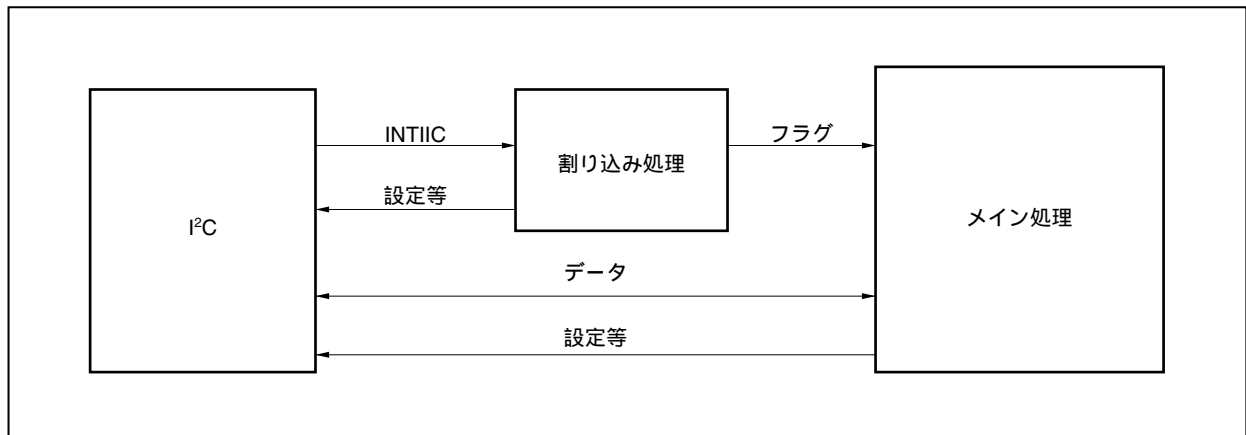
### 17.16.3 スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIIC割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIIC割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。

図17-18 スレーブ動作時のソフトウェア概要



このため、3つのフラグを準備し、これをINTIIC信号の代わりにメイン処理に渡すことでデータ転送処理を行います。

#### (1) 通信モード・フラグ

次の2つの通信状態を示します。

クリア・モード : データ通信を行っていない状態

通信モード : データの通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

#### (2) レディ・フラグ

データ通信が可能になったことを示します。通常のデータ転送ではINTIIC割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータについては、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

#### (3) 通信方向フラグ

通信の方向を示すフラグで、IIC0.TR0ビットの値と同じです。

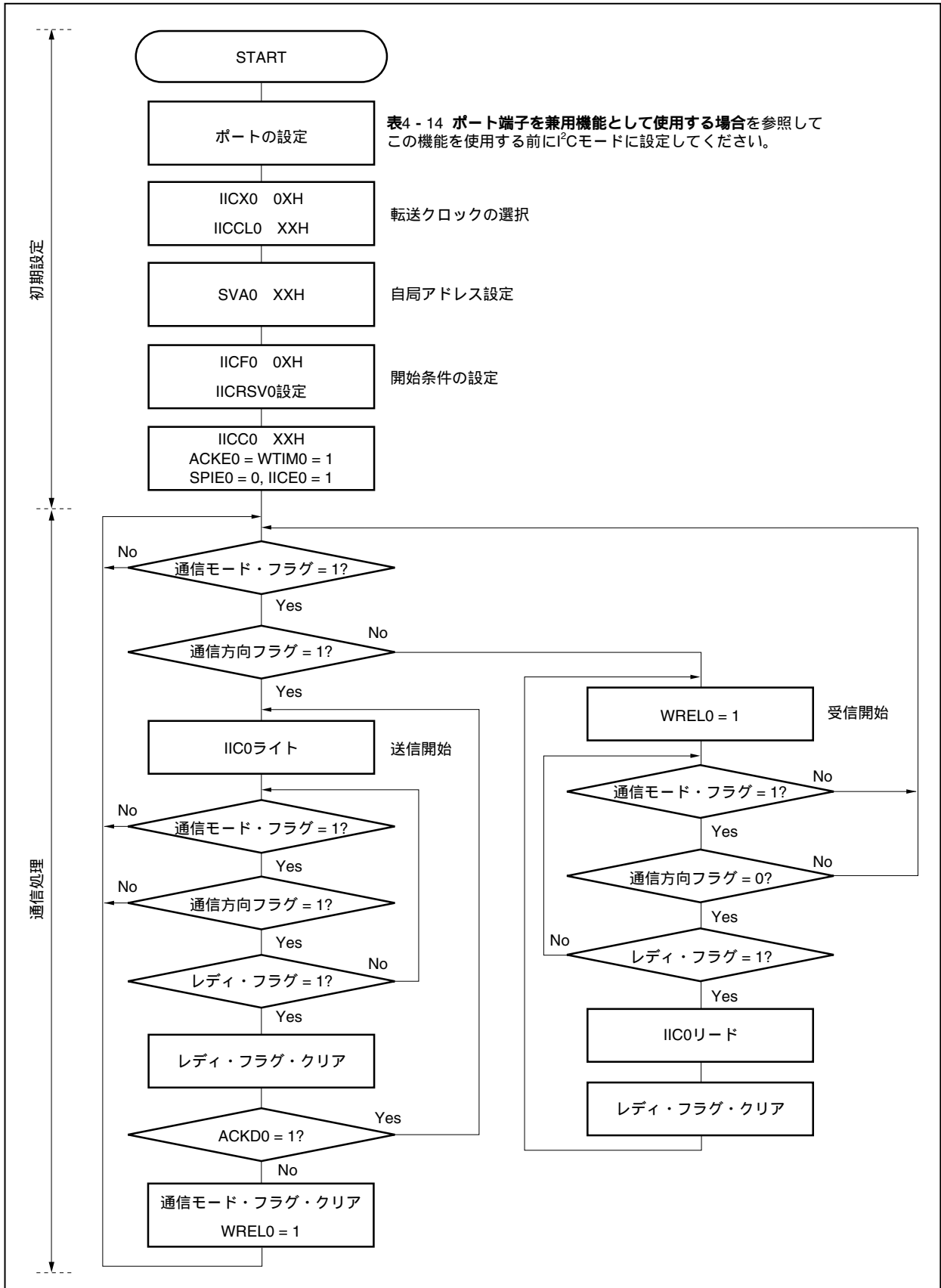
次にスレーブ動作でのメイン処理部の動作を示します。

I<sup>2</sup>Cを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って転送を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで確認します）。

送信ではマスタからアクノリッジが来なくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら転送を終了します。

受信では必要な数のデータ受信し、転送終了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図17-19 スレーブ動作手順(1)





スレーブのINTIIC割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIIC割り込みではステータスを確認して、次のように行います。

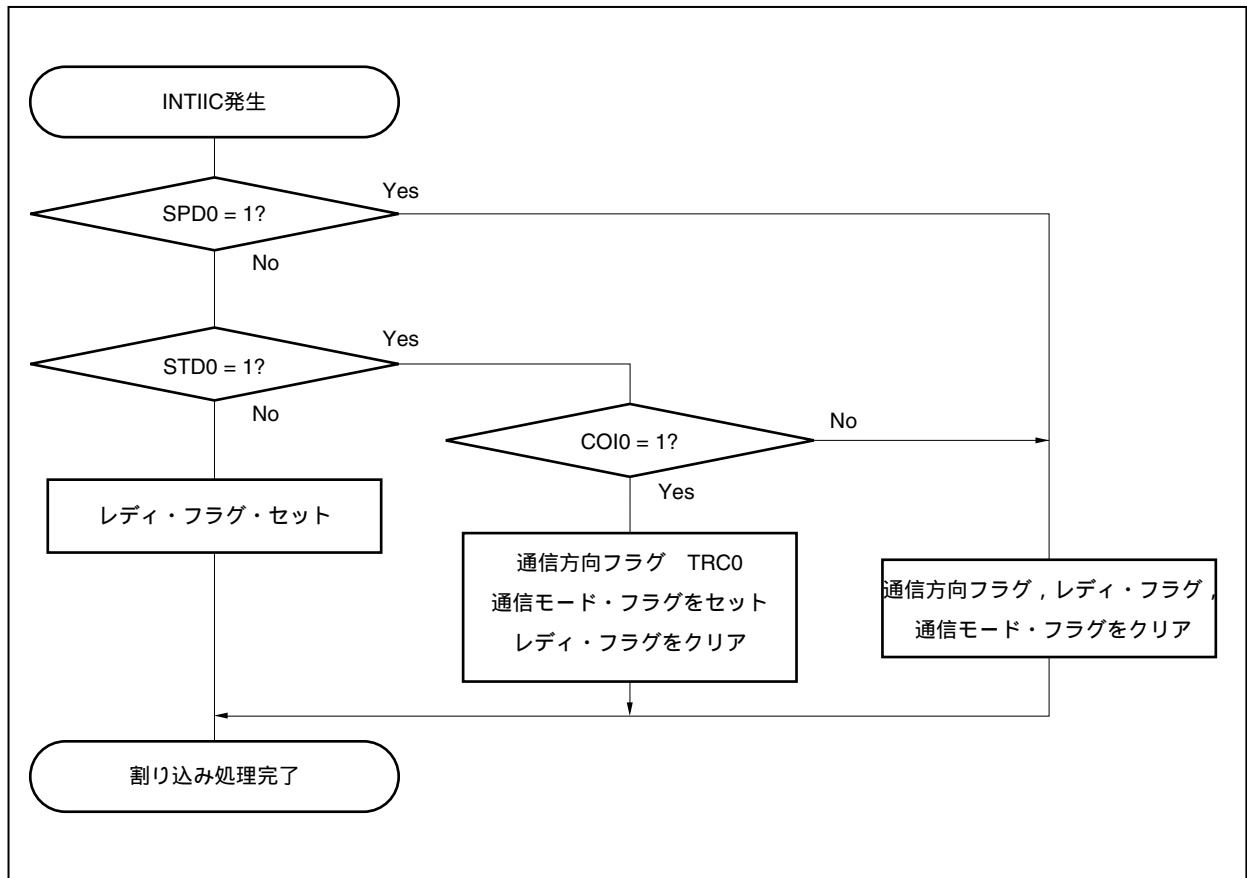
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウエイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

データ送受信の場合、レディ・フラグをセットするだけで、I<sup>2</sup>Cバスはウエイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図17-20 スレーブ動作手順(2)の ~ と対応しています。

図17-20 スレーブ動作手順(2)



## 17.17 データ通信のタイミング

I<sup>2</sup>Cバス・モードでは、マスタがシリアル・バス上にアドレスを生成することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すIICS0.TRC0ビットを送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック（SCL端子）の立ち下がりに同期してIIC0レジスタのシフト動作が行われ、送信データがSOラッチに転送され、SDA端子からMSBファーストで出力されます。

また、SCL端子の立ち上がりでSDA端子に入力されたデータがIIC0レジスタに取り込まれます。

データ通信のタイミングを次に示します。

図17-21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウェイト選択時) (1/3)

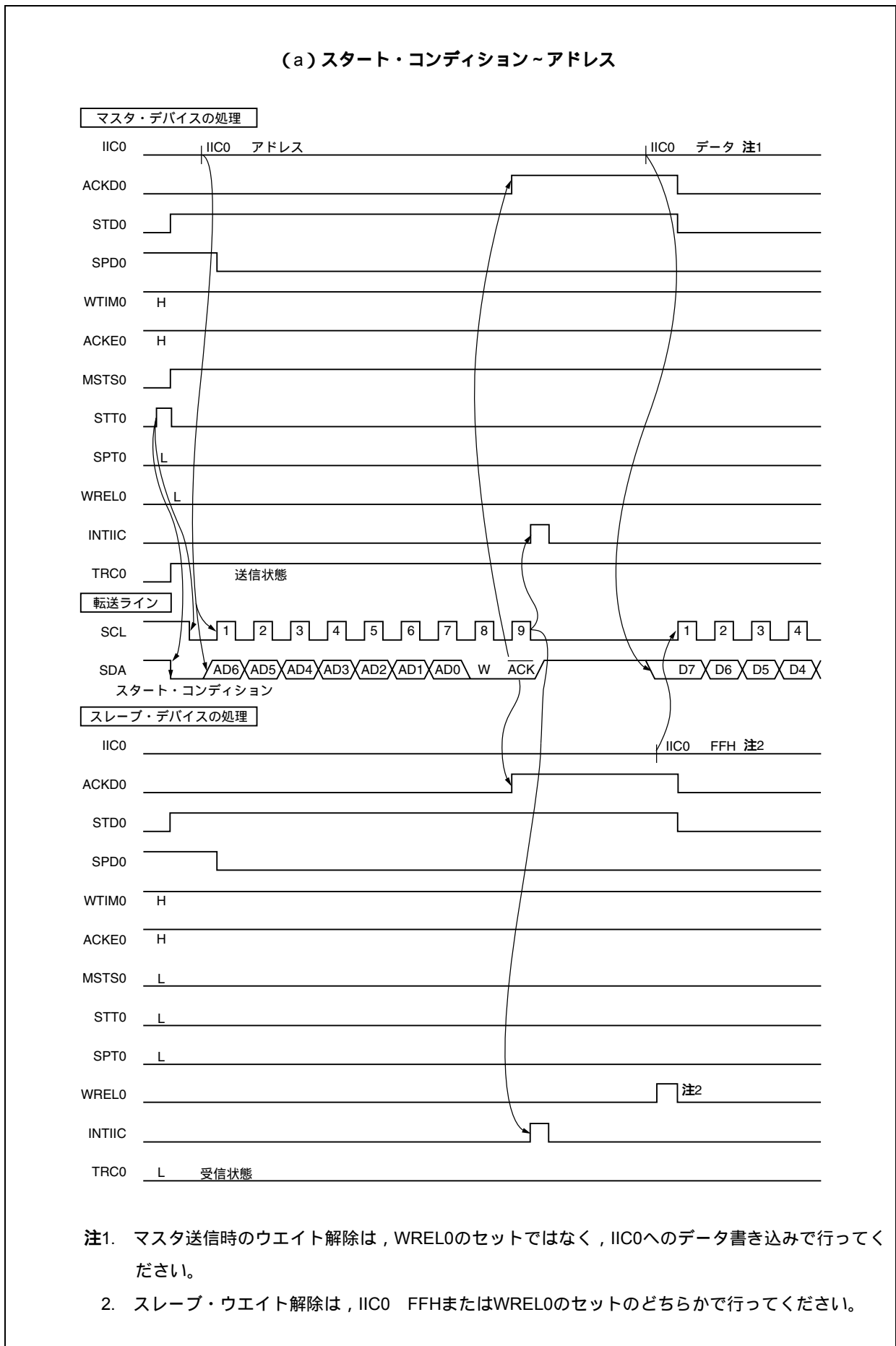


図17-21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウェイト選択時) (2/3)

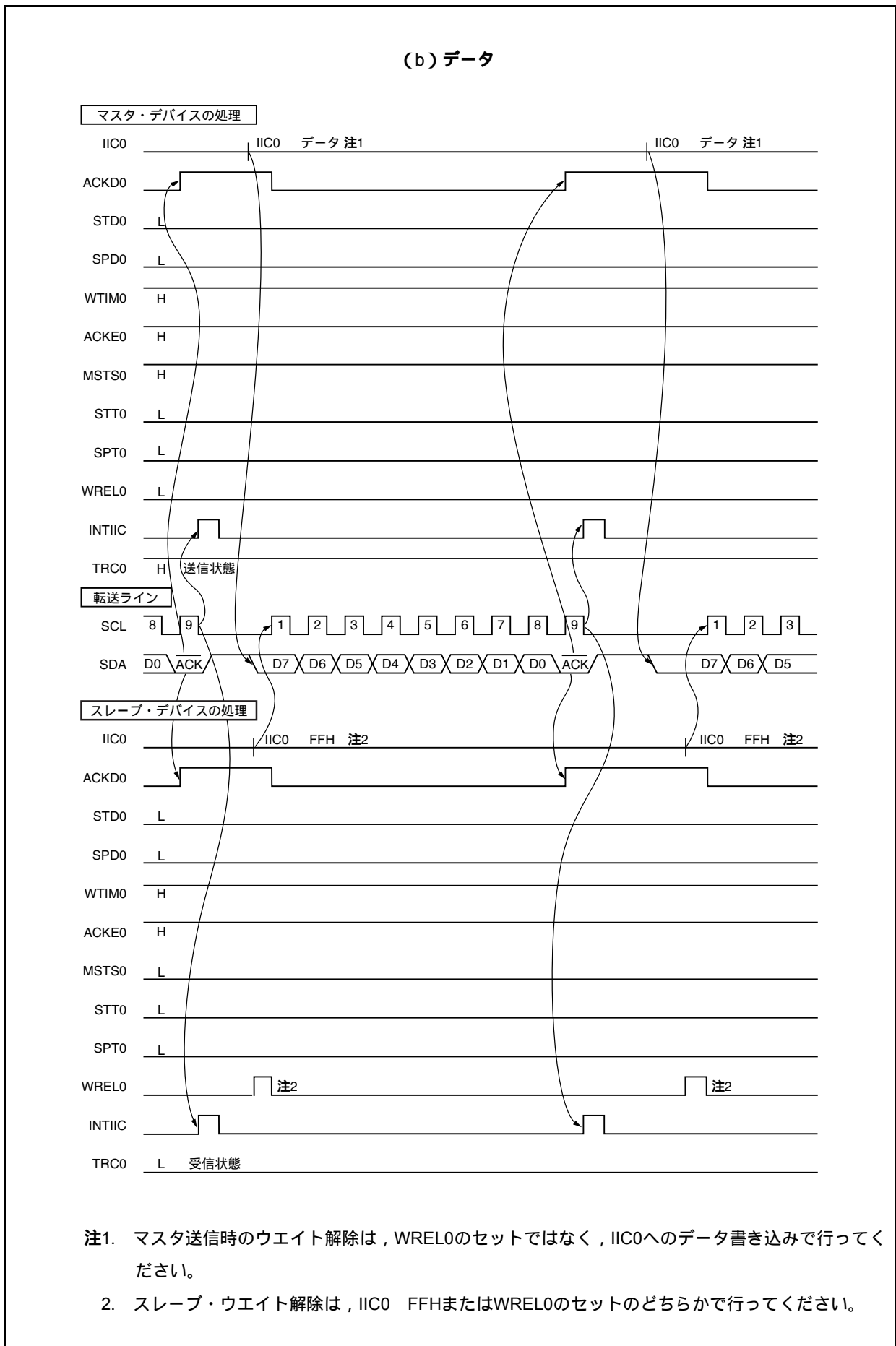


図17-21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウエイト選択時) (3/3)

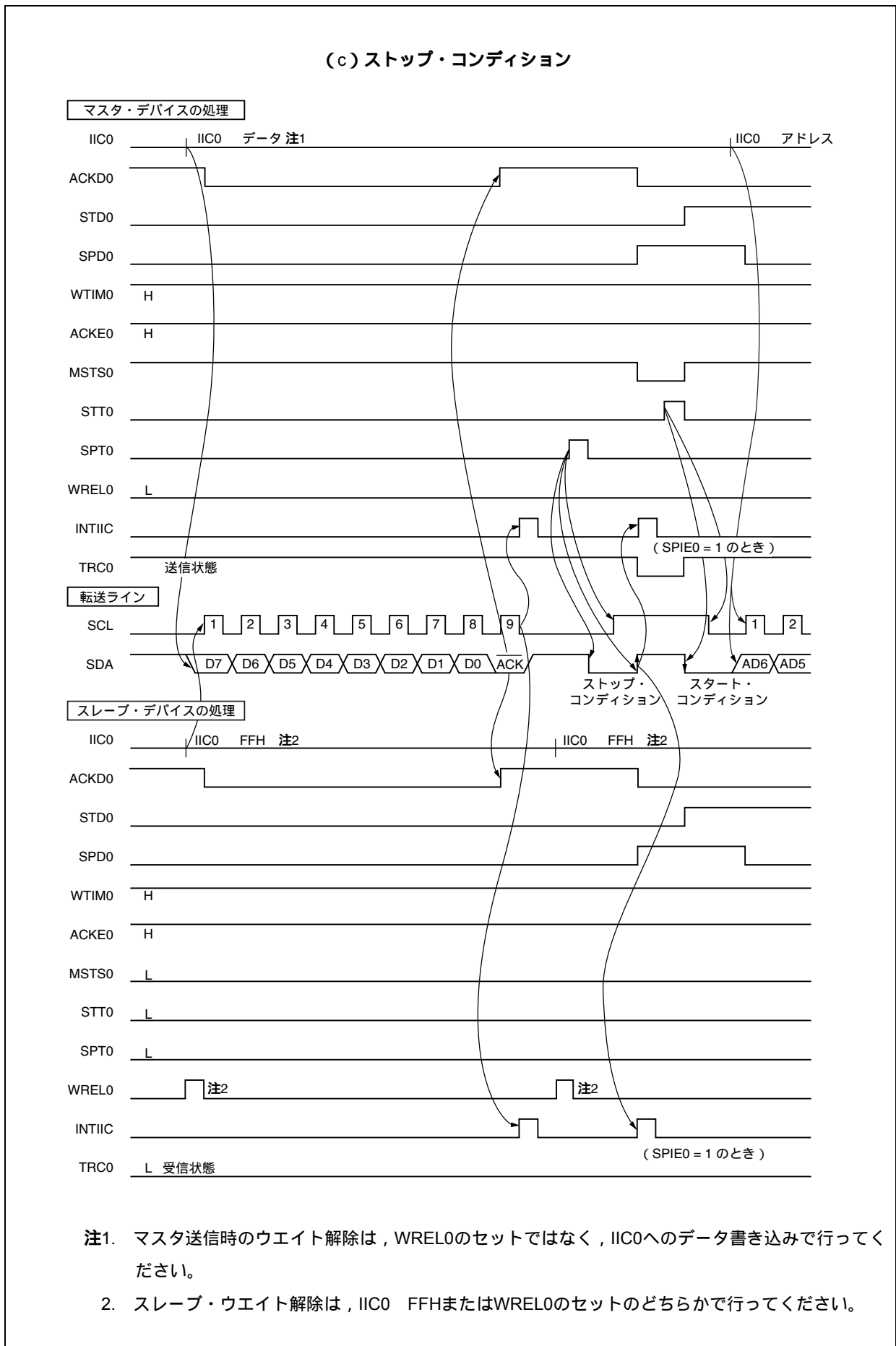


図17-22 スレーブ マスタ通信例 (マスタ:8クロック,スレーブ:9クロックでウェイト選択時) (1/3)

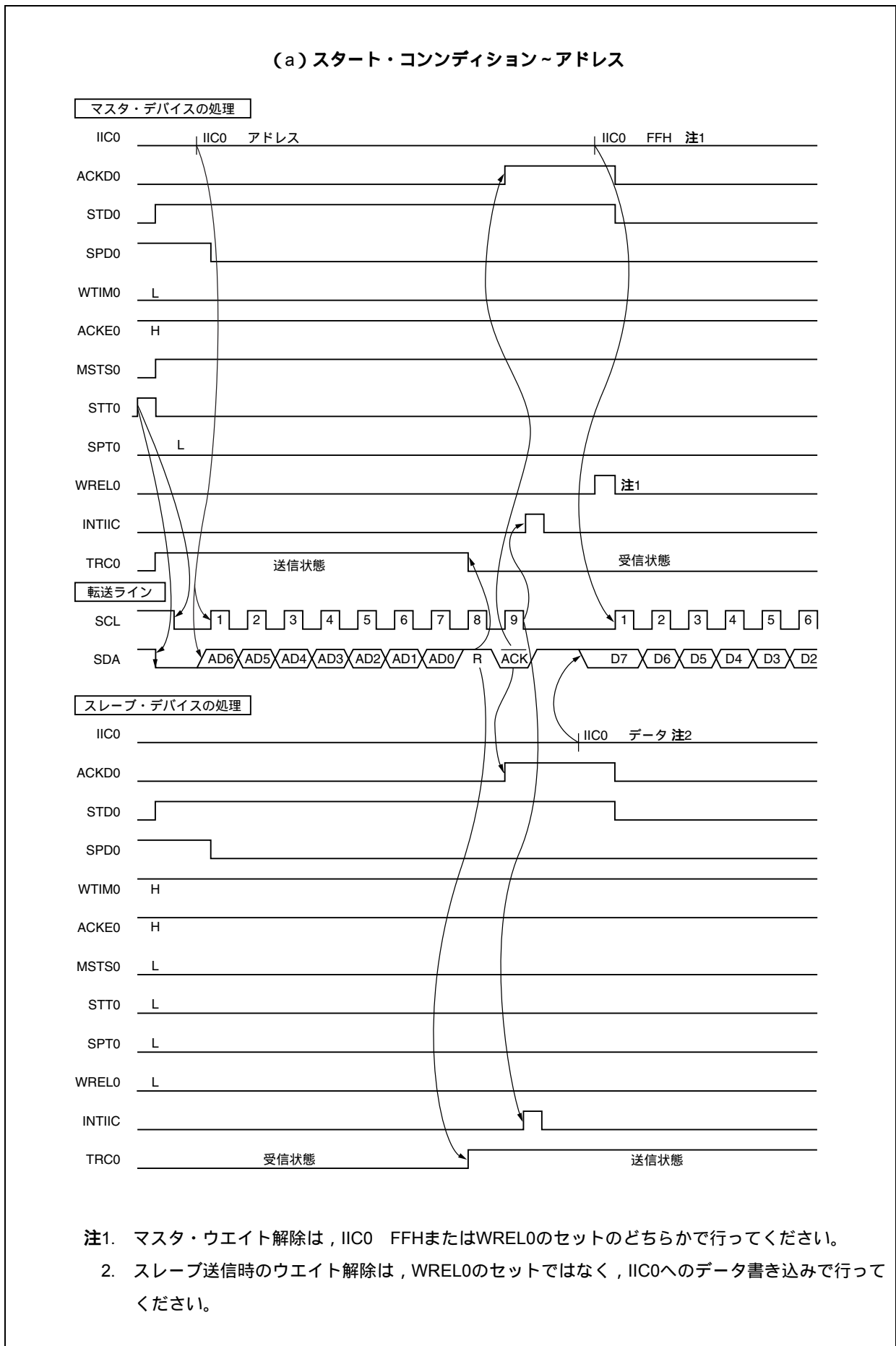


図17-22 スレーブ マスタ通信例 (マスタ:8クロック,スレーブ:9クロックでウエイト選択時) (2/3)

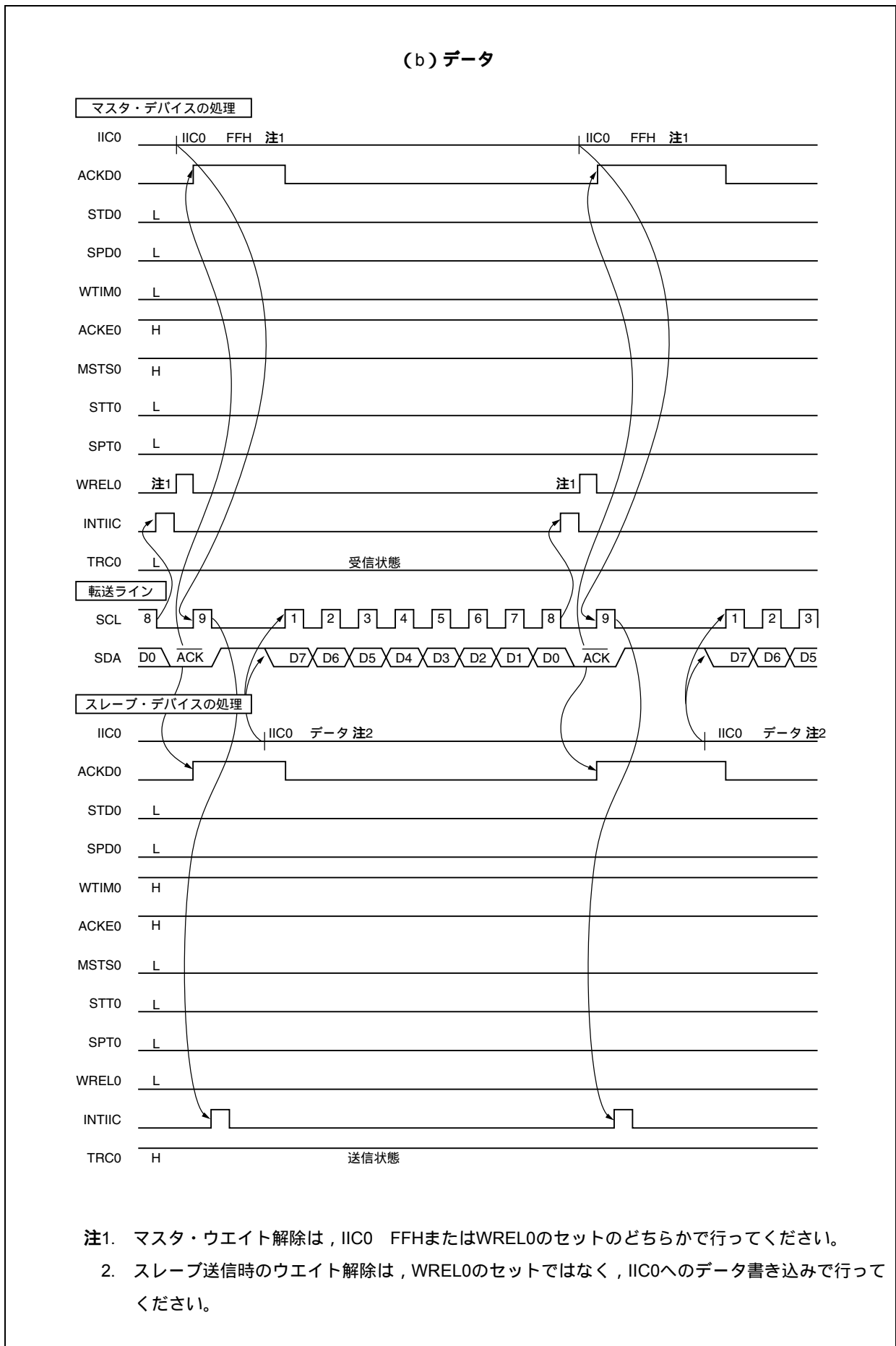
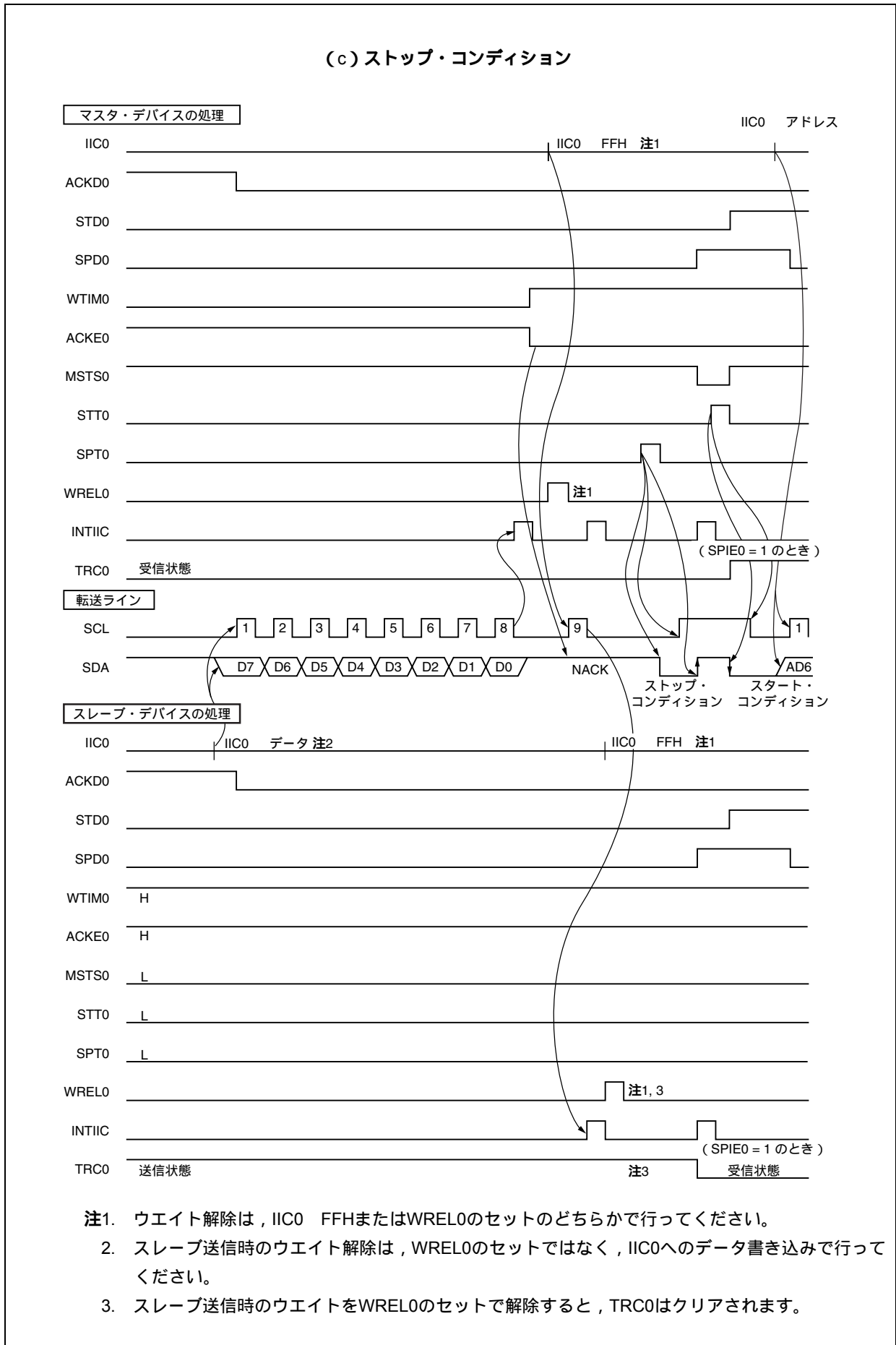


図17-22 スレーブ マスタ通信例 (マスタ: 8 クロック, スレーブ: 9クロックでウエイト選択時) (3/3)





## 第18章 バス制御機能

外部バス・インタフェース機能は、内蔵ROM、内蔵RAM、内蔵周辺I/O以外の領域に、外部デバイスを接続する機能です。 $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aの外部デバイスの接続は、ポート0, 1（セパレート・バス・モード時のみ）、3, 4, DLを使用します。ポート0, 1（セパレート・バス・モード時のみ）、3, 4, DLは、アドレス/データ、リード/ライト・ストロブ、ウエイト、クロック出力、アドレス・ストロブなどの制御を行います。

$\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aは、外部にROM、RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

$\mu$  PD70F3453GC-8EA-A, V850E/IG3のGF品、およびV850E/IF3は、外部バス・インタフェース機能を内蔵していません。

この章では、 $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aを対象マイコンとして説明します。

### 18.1 特 徴

16ビット/8ビット・データ・バス・サイジング機能

2空間のチップ・セレクト機能

ウエイト機能

- ・各メモリ・ブロックごとに最大7ステートのプログラマブル・ウエイト機能
- ・各メモリ・ブロックごとに1ステートのアドレス・セットアップ・ウエイト/アドレス・ホールド・ウエイト

挿入機能

- ・WAIT端子による外部ウエイト機能

アイドル・ステート挿入機能

- ・リード・サイクルのあとにアイドル・ステートを挿入することで、低速デバイスの接続が可能

ポートとの兼用端子で、外部デバイスに接続可能

セパレート・バス・モード（8ビット・アドレス・バス、8/16ビット・データ・バス）

マルチプレクス・バス・モード（16ビット・アドレス・バス、8/16ビット・データ・バス）

リトル・エンディアンに対応

外部バス・クロック周波数（ $f_{BUS}$ ） 32 MHz/16 MHz切り替え機能

ミスアライン・アクセス可能

最大4 Mバイトの物理メモリを接続可能（1 Mバイトは内蔵ROM領域と兼用）

## 18.2 バス制御端子

外部のデバイスを制御するために、各バス・モードにおいて次のような信号が使用できます。

表18-1 バス制御信号一覧（セパレート・バス・モード時）

バス制御信号	入出力	機能	兼用ポート	ポート・モード / 兼用機能の切り替えを行うレジスタ
AD0-AD15	入出力	データ・バス	PDL0-PDL15	PMCDLレジスタ
A0-A7	出力	アドレス・バス	P10-P17	PMC1レジスタ
WAIT	入力	外部ウェイト制御	P44	PMC4レジスタ
CLKOUT	出力	外部バス・クロック出力	P07	PMC0レジスタ
CS0, CS1	出力	チップ・セレクト	P34, P32	PMC3レジスタ
WR0, WR1	出力	ライト・ストロブ信号	P46, P45	PMC4レジスタ
RD	出力	リード・ストロブ信号	P47	PMC4レジスタ
ASTB	出力	アドレス・ストロブ信号	P37	PMC3レジスタ

表18-2 バス制御信号一覧（マルチプレクス・バス・モード時）

バス制御信号	入出力	機能	兼用ポート	ポート・モード / 兼用機能の切り替えを行うレジスタ
AD0-AD15	入出力	アドレス / データ・バス	PDL0-PDL15	PMCDLレジスタ
WAIT	入力	外部ウェイト制御	P44	PMC4レジスタ
CLKOUT	出力	外部バス・クロック出力	P07	PMC0レジスタ
CS0, CS1	出力	チップ・セレクト	P34, P32	PMC3レジスタ
WR0, WR1	出力	ライト・ストロブ信号	P46, P45	PMC4レジスタ
RD	出力	リード・ストロブ信号	P47	PMC4レジスタ
ASTB	出力	アドレス・ストロブ信号	P37	PMC3レジスタ

### 18.2.1 内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態

内蔵ROM，内蔵RAM，内蔵周辺I/Oへアクセスした場合，各端子の状態は次のようになります。

表18-1 内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態一覧

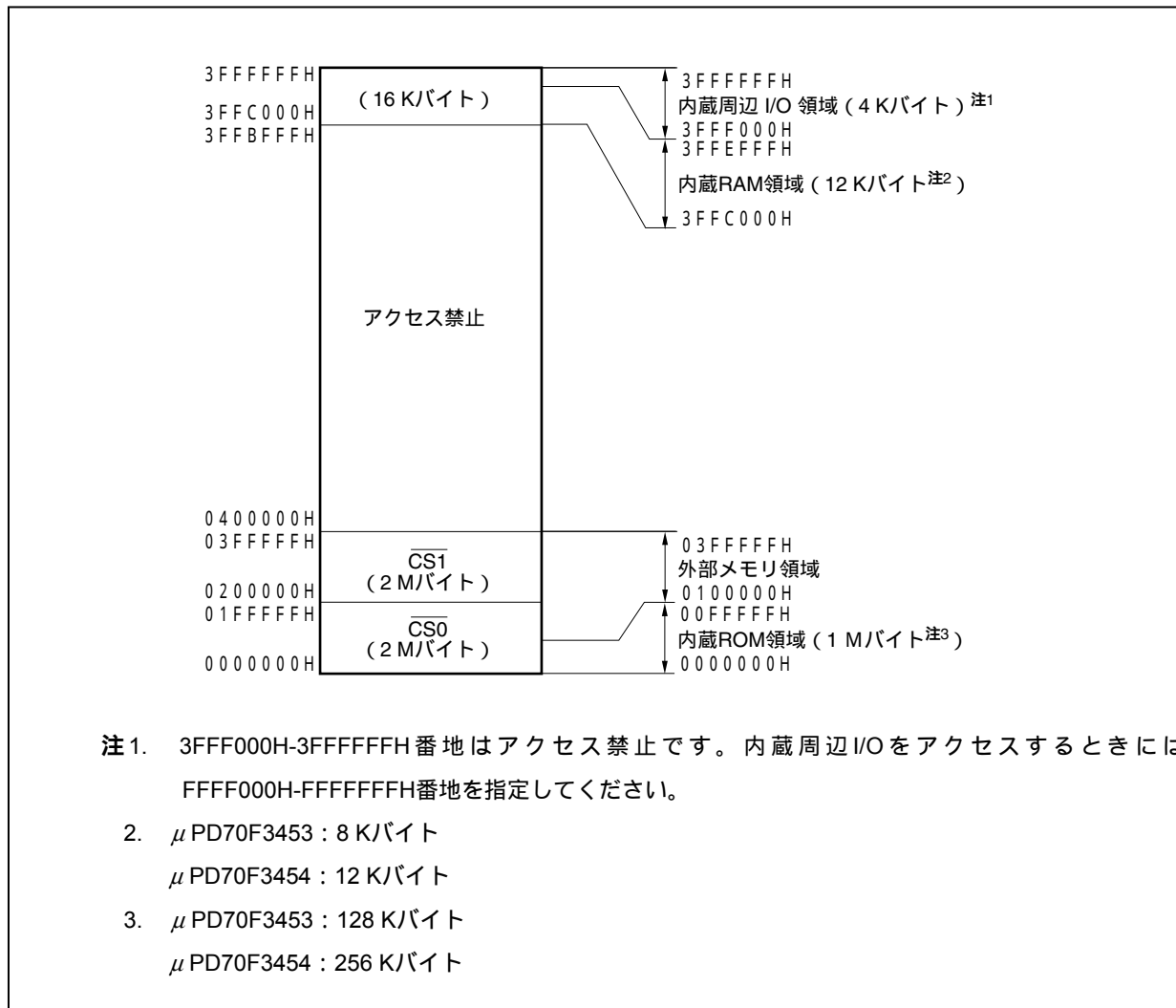
アクセス先	内蔵ROM	内蔵RAM	内蔵周辺I/O
アドレス・バス	不定	不定	注1
データ・バス	Hi-Z	Hi-Z	Hi-Z
外部バス制御信号	インアクティブ <sup>注2</sup>	インアクティブ <sup>注2</sup>	インアクティブ <sup>注2</sup>

注1 内蔵周辺I/Oアクセス時，内蔵周辺I/Oがアクセスするアドレスは，外部アドレス・バスにも出力されます。

2 WAIT端子は，この動作時には入力を受け付けません。

### 18.3 メモリ・ブロック機能

64 Mバイトのメモリ空間中で下位の4 Mバイトが外部拡張用に予約されており, 2 M, 2 Mバイトのメモリ・ブロックに分割されています。また, 各ブロックごとにバス幅, プログラマブル・ウエイトなどが独立して設定できます。



#### 18.3.1 チップ・セレクト制御機能

アドレス空間 : 64 Mバイト (リニア) のうち, 下位4 Mバイト (0000000H-03FFFFFFH) は $\overline{CS0}$ ,  $\overline{CS1}$ の2本のチップ・セレクト機能を内蔵しています。 $\overline{CS0}$ ,  $\overline{CS1}$ で選択される領域は固定されています。

チップ・セレクト制御機能により, メモリ・ブロックを分割してメモリ空間を有効に利用できます。メモリ・ブロックの割り当てを次に示します。

チップ・セレクト信号	領域
$\overline{CS0}$	0000000H-01FFFFFFH (2 Mバイト)
$\overline{CS1}$	0200000H-03FFFFFFH (2 Mバイト)

## 18.4 バス・サイクル・タイプ制御機能

$\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aは, SRAM, 外部ROM, 外部I/Oを直結できます。

### (1) バス・サイクル・タイプ・コンフィギュレーション・レジスタ0 (BCT0)

16ビット単位でリード/ライト可能です。

リセットによりCCCCHになります。

- 注意1.** BCT0レジスタの初期設定が終わるまでは, 外部メモリ領域をアクセスしないでください。  
ただし, 初期設定が終了した外部メモリ領域のアクセスは可能です。
- 2.** 動作禁止の設定を行ったCSn空間については, 各レジスタの設定内容は無効となります。

リセット時: CCCCH R/W アドレス: FFFFF480H

	15	14	13	12	11	10	9	8
BCT0	1	1	0	0	1	1	0	0
$\overline{\text{CSn}}$ 信号	7	6	5	4	3	2	1	0
	ME1	1	0	0	ME0	1	0	0
$\overline{\text{CSn}}$ 信号	CS1				CS0			
MEn	各CSn空間のメモリ・コントローラの動作許可 (n = 0, 1)							
0	動作禁止							
1	動作許可							

**注意** ビット0, 1, 4, 5, 8, 9, 12, 13には必ず0を, ビット2, 6, 10, 11, 14, 15には必ず1を設定してください。それ以外の値を設定した場合の動作は保証しません。

## 18.5 バス・アクセス

### 18.5.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数 (MIN.値) を次に示します。

バス・サイクル形態		命令フェッチ (通常アクセス)	命令フェッチ (分岐)	オペランド・データ・ アクセス
リソース (バス幅)				
内蔵ROM (32ビット)		1	2	5
内蔵RAM (32ビット)		1 <sup>注1</sup>	1 <sup>注1</sup>	1
内蔵周辺I/O (16ビット)		-	-	3 <sup>注2</sup>
外部メモリ (16ビット)	セパレート・バス・モード	3+n	3+n	3+n
	マルチプレクス・バス・モード	3+n	3+n	3+n

注1. データ・アクセスと競合した場合は2になります。

2. VSWCレジスタの設定値に依存します。

備考1. 単位はクロック/アクセスです。

2. n: ウェイト・ステート挿入数



### 18.5.3 エンディアン機能

$\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aは、リトル・エンディアンに対応しています。

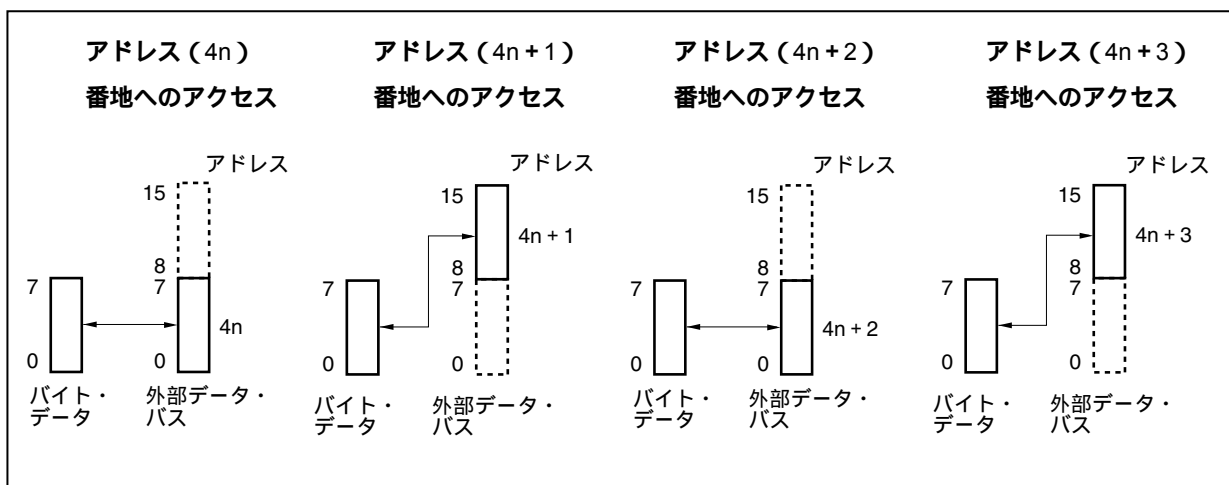
### 18.5.4 バス幅

$\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aが内蔵周辺I/Oアクセス、外部メモリ・アクセスを行う場合には、8, 16, 32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。

#### (1) バイト・アクセス (8ビット)

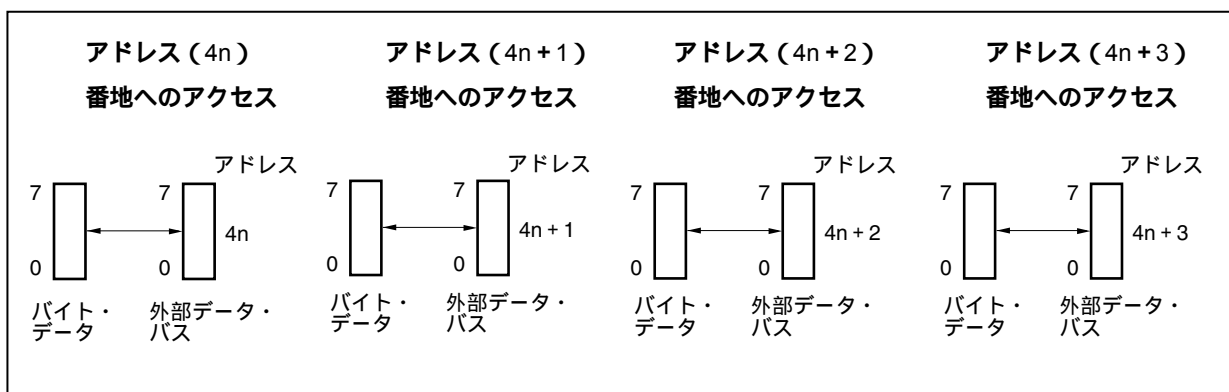
##### (a) 16ビット・データ・バス幅のとき

8ビットのデータに対し、バス幅が16ビットなので、偶数番地指定の場合は、外部データ・バスの下位バイトを介して偶数番地にアクセスします。奇数番地指定の場合は上位バイトを介して奇数番地にアクセスします。



##### (b) 8ビット・データ・バス幅のとき

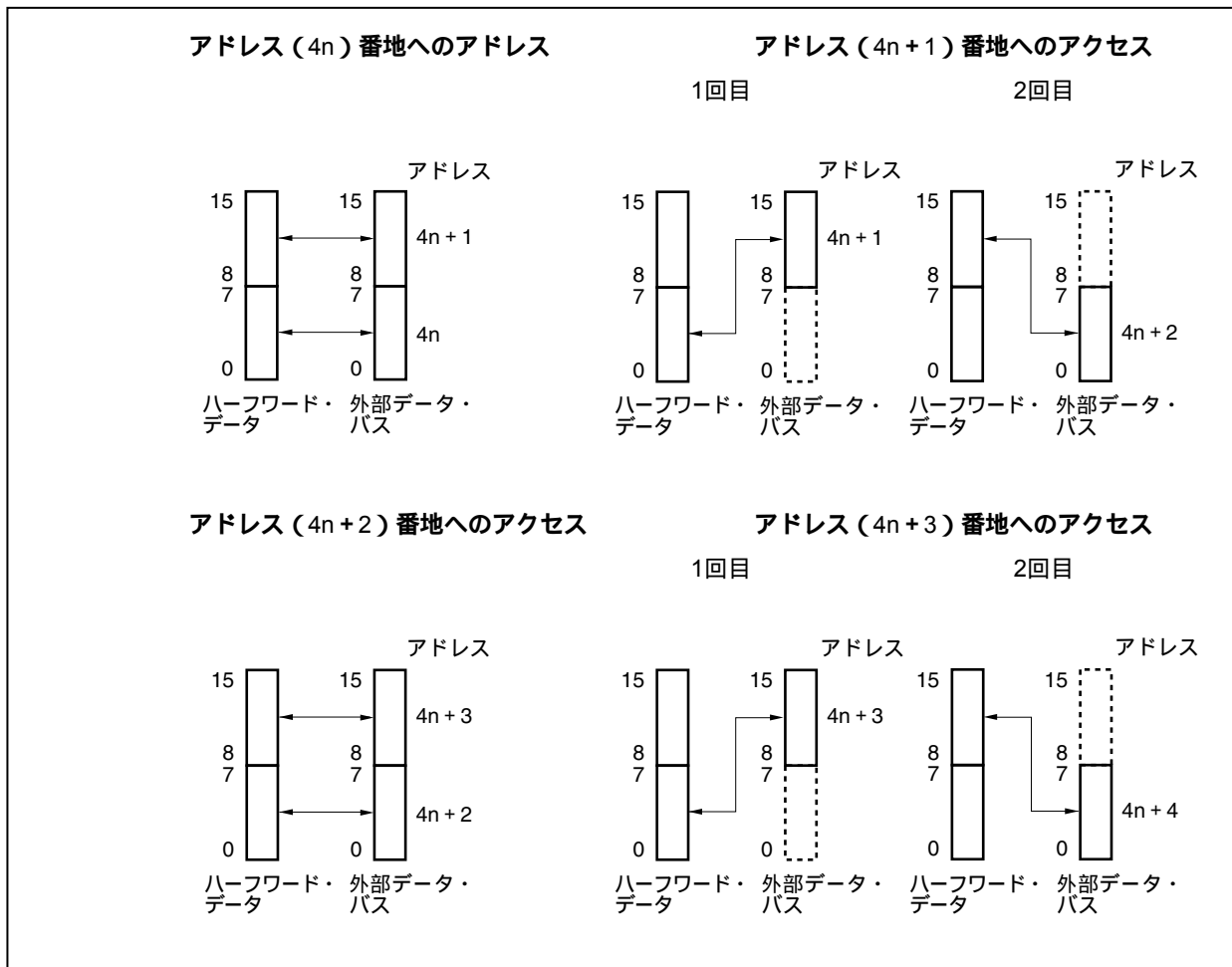
8ビットのデータに対し、バス幅が8ビットなので、偶数番地 / 奇数番地それぞれ指定の番地にアクセスします。



(2) ハーフワード・アクセス (16ビット)

(a) 16ビット・データ・バス幅のとき

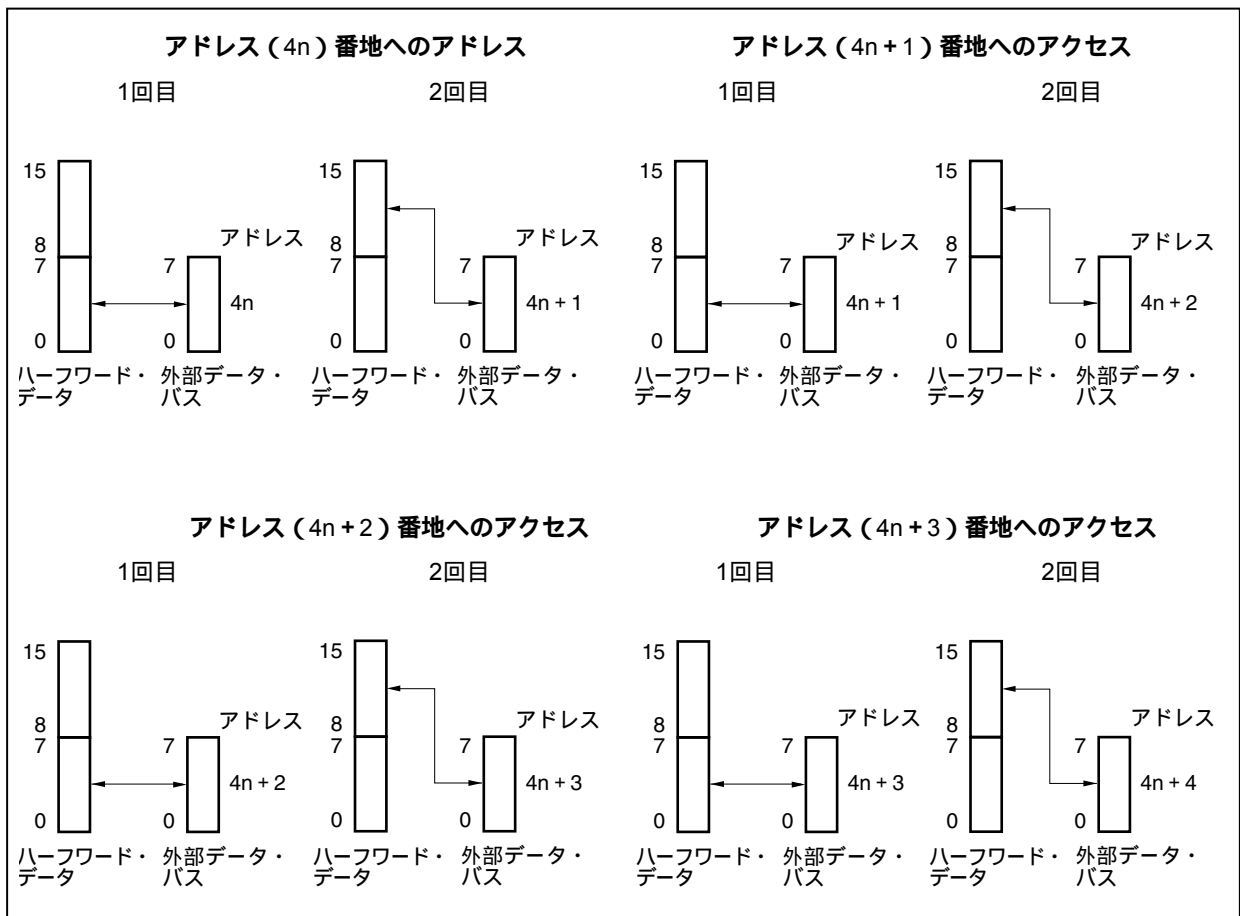
16ビットのデータに対し、バス幅が16ビットなので、偶数番地指定の場合はそのままアクセスします。奇数番地指定の場合、1回目はデータの低位バイトが外部データ・バスの上位バイトを介して奇数番地にアクセスします。2回目はデータの上位バイトが外部データ・バスの下位8ビットを介して偶数番地にアクセスします。





(b) 8ビット・データ・バス幅のとき

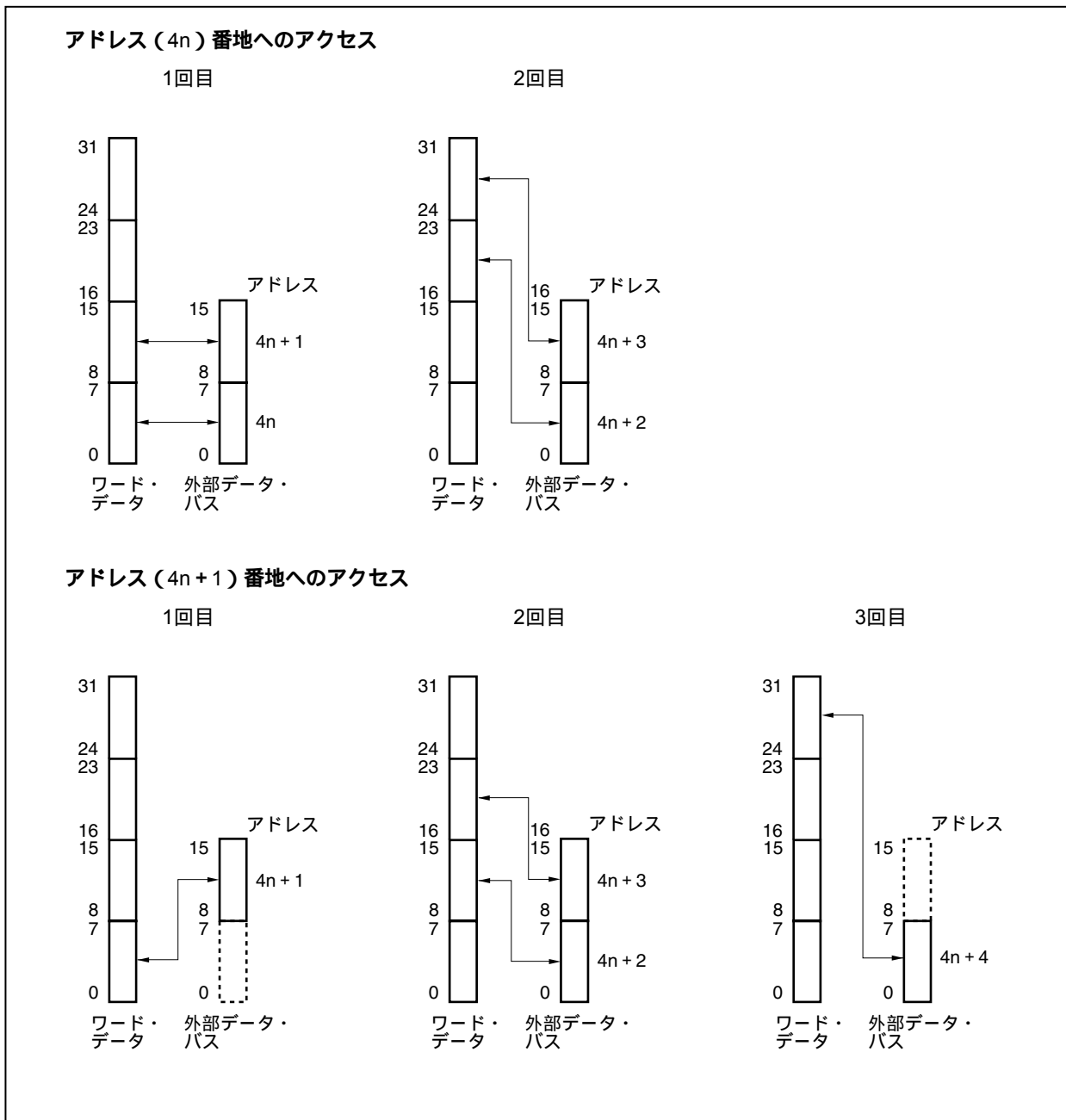
16ビットのデータに対し、バス幅が8ビットなので2回に分けて下位アドレス/上位アドレスそれぞれ対応した番地にアクセスします。



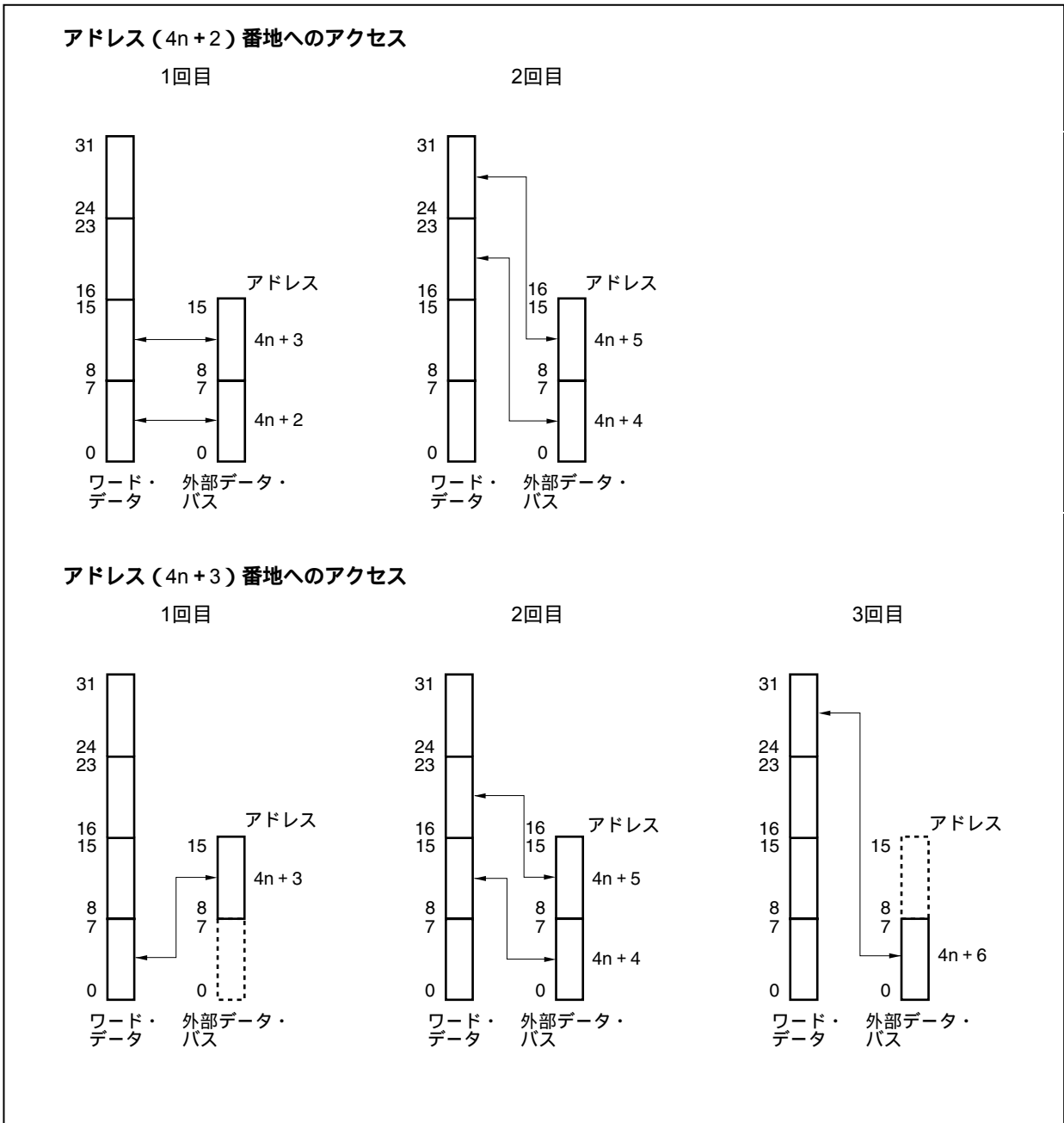
(3) ワード・アクセス (32ビット)

(a) 16ビット・データ・バス幅のとき (1/2)

32ビットのデータに対し、バス幅が16ビットなので、偶数番地指定の場合は16ビット単位に2回に分けてアクセスします。奇数番地指定の場合、1回目は下位1/4ワード・データを外部データ・バスの上位バイトを介して奇数番地にアクセスし、2回目は中位1/2ワード・データを16ビット・アクセスし、3回目は上位1/4ワード・データを外部データ・バスの下位バイトを介して偶数番地にアクセスします。

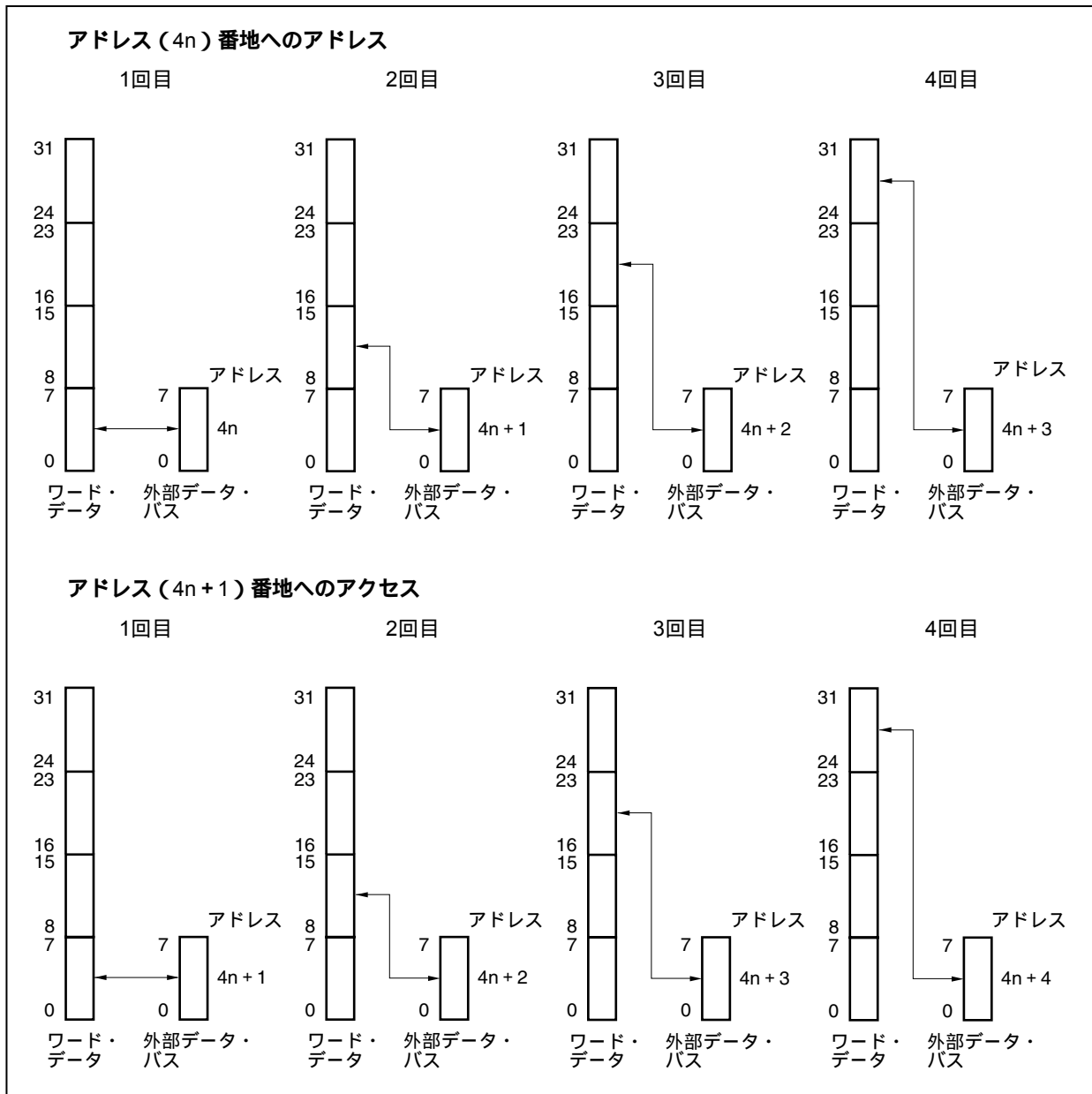


(a) 16ビット・データ・バス幅のとき (2/2)

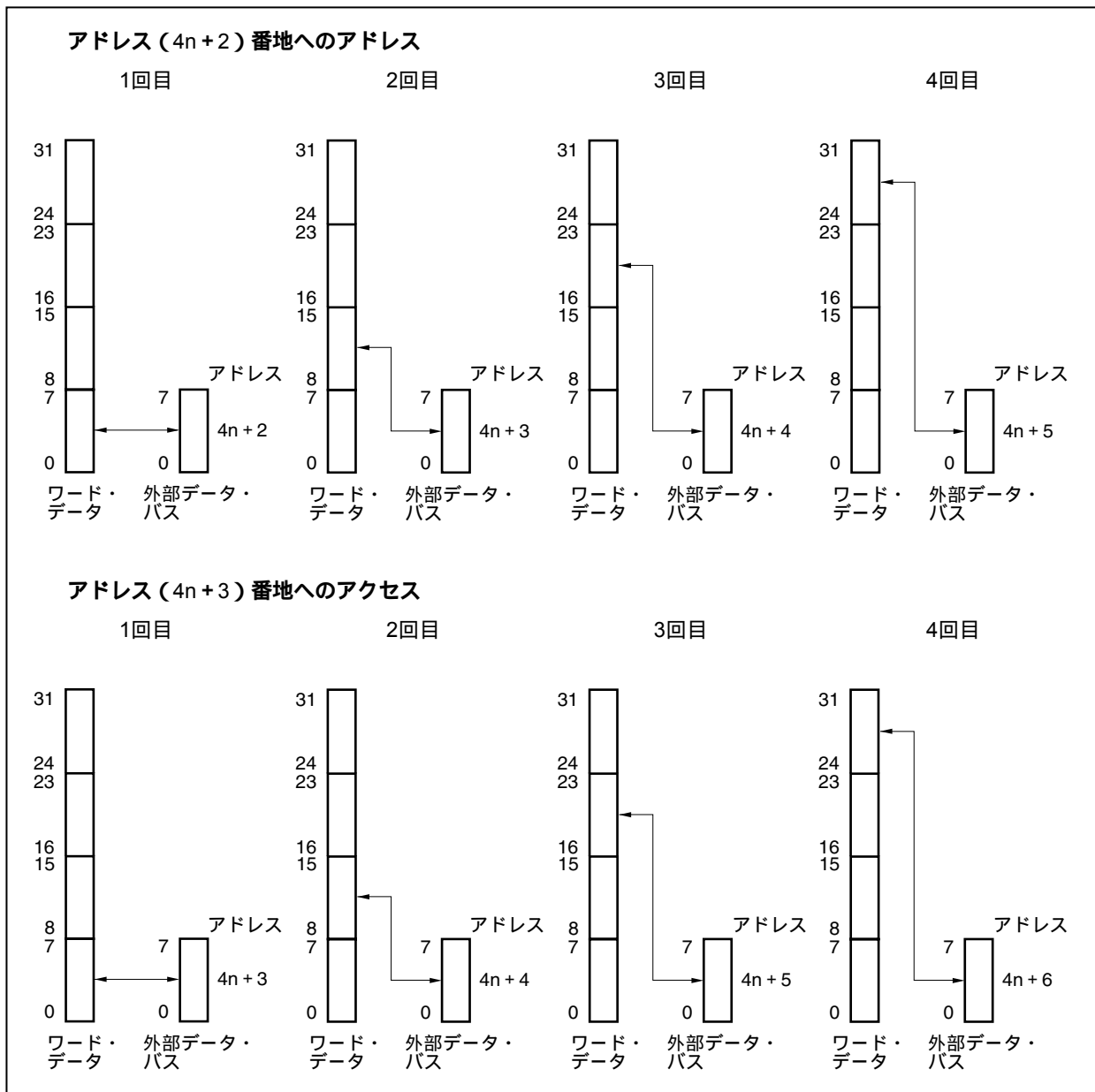


(b) 8ビット・データ・バス幅のとき (1/2)

32ビットのデータに対し、バス幅が8ビットなので4回に分けて偶数番地 / 奇数番地それぞれ指定の番地にアクセスします。



(b) 8ビット・データ・バス幅のとき (2/2)



## 18.6 ウェイト機能

### 18.6.1 プログラマブル・ウェイト機能

#### (1) データ・ウェイト・コントロール・レジスタ0 (DWC0)

低速メモリ, I/Oに対するインタフェース回路作成を容易に実現させることを目的とし, 各CS空間ごとに起動されるバス・サイクル<sup>※</sup>に対し, 最大7ステートのデータ・ウェイトを挿入可能です。

ウェイト数は, DWC0レジスタでプログラマブルに指定可能です。システム・リセット直後は, 全ブロックに対して7データ・ウェイトの挿入状態になります。

16ビット単位でリード/ライト可能です。

リセットにより7777Hになります。

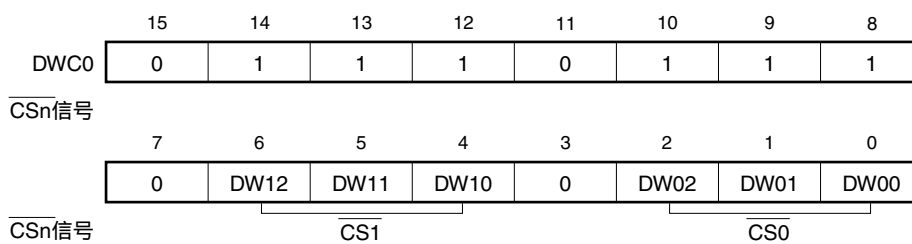
注 SRAMリード/ライト・サイクル

注意1. 内蔵ROM領域, 内蔵RAM領域は, プログラマブル・ウェイトの対象外で, 常にノー・ウェイト・アクセスを行います。

内蔵周辺I/O領域は, プログラマブル・ウェイトの対象外で, 各内蔵周辺機能からのウェイト制御だけ行われます。

2. DWC0レジスタへの書き込みはリセット後に行い, そのあとは値を変更しないでください。また, DWC0レジスタの初期値を変更する場合は, 設定が終了するまで外部メモリ領域にアクセスしないでください。ただし, 初期設定が終了した外部メモリ領域のアクセスは可能です。

リセット時 : 7777H R/W アドレス : FFFFF484H



DWn2	DWn1	DWn0	各CSn空間の挿入ウェイト・ステート数指定 (n = 0, 1)
0	0	0	挿入しない
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

**注意** ビット3, 7, 11, 15には必ず0を, ビット8-10, 12-14には必ず1を設定してください。それ以外の値を設定した場合の動作は保証できません。

(2) アドレス・ウェイト・コントロール・レジスタ (AWC)

アドレス・ラッチのセットアップ・ホールドを確保するための機能です。

AWCレジスタは、各バス・サイクルに対して挿入するアドレス・セットアップ・ウェイト・ステート / アドレス・ホールド・ウェイト・ステートを設定できます。アドレス・セットアップ・ウェイト・ステートはT1ステートの前に、アドレス・ホールド・ウェイト・ステートはT1ステートの次に挿入します。

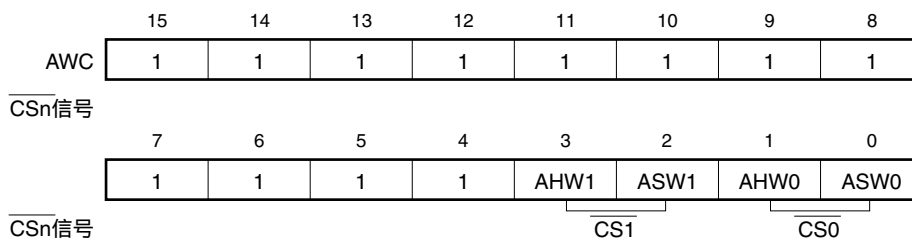
アドレス・セットアップ・ウェイト・ステート / アドレス・ホールド・ウェイト・ステート挿入は各CS空間ごとに設定できます。

16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

- 注意1. 内蔵ROM領域,内蔵RAM領域,内蔵周辺I/O領域は,アドレス・セットアップ・ウェイト・ステート / アドレス・ホールド・ウェイト・ステート挿入の対象外になります。
2. アドレス・セットアップ・ウェイト・ステート / アドレス・ホールド・ウェイト・ステートでは,  $\overline{\text{WAIT}}$ 端子による外部ウェイト機能は無効です。
3. AWCレジスタへの書き込みはリセット後に行い,そのあとは値を変更しないでください。また,AWCレジスタの初期値を変更する場合は,設定が終了するまで外部メモリ領域にアクセスしないでください。

リセット時: FFFFH R/W アドレス: FFFFF488H



AHWn	各CSn空間のアドレス・ホールド・ウェイト・ステート挿入指定 (n=0,1)
0	挿入しない
1	挿入する

ASWn	各CSn空間のアドレス・セットアップ・ウェイト・ステート挿入指定 (n=0,1)
0	挿入しない
1	挿入する

注意 ビット4-15は必ず1を設定してください。0を設定した場合の動作は保証できません。



### 18.6.2 外部ウエイト機能

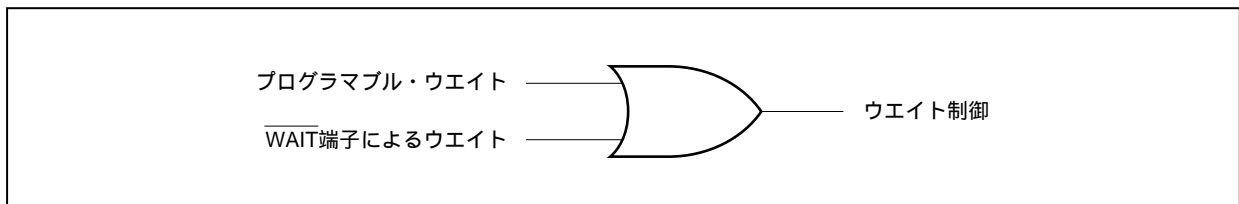
遅いデバイスや非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 ( $\overline{\text{WAIT}}$ ) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、外部バス・クロック周波数に対する非同期入力が可能です。

### 18.6.3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和 (OR) として挿入されます。



たとえば、プログラマブル・ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。 $\overline{\text{WAIT}}$ 端子によるウエイトでは、期待するタイミングでのウエイトに間に合わない場合があります。その場合はプログラマブル・ウエイトにて調整してください。

図18 - 1 ウエイト挿入例 (1/2)

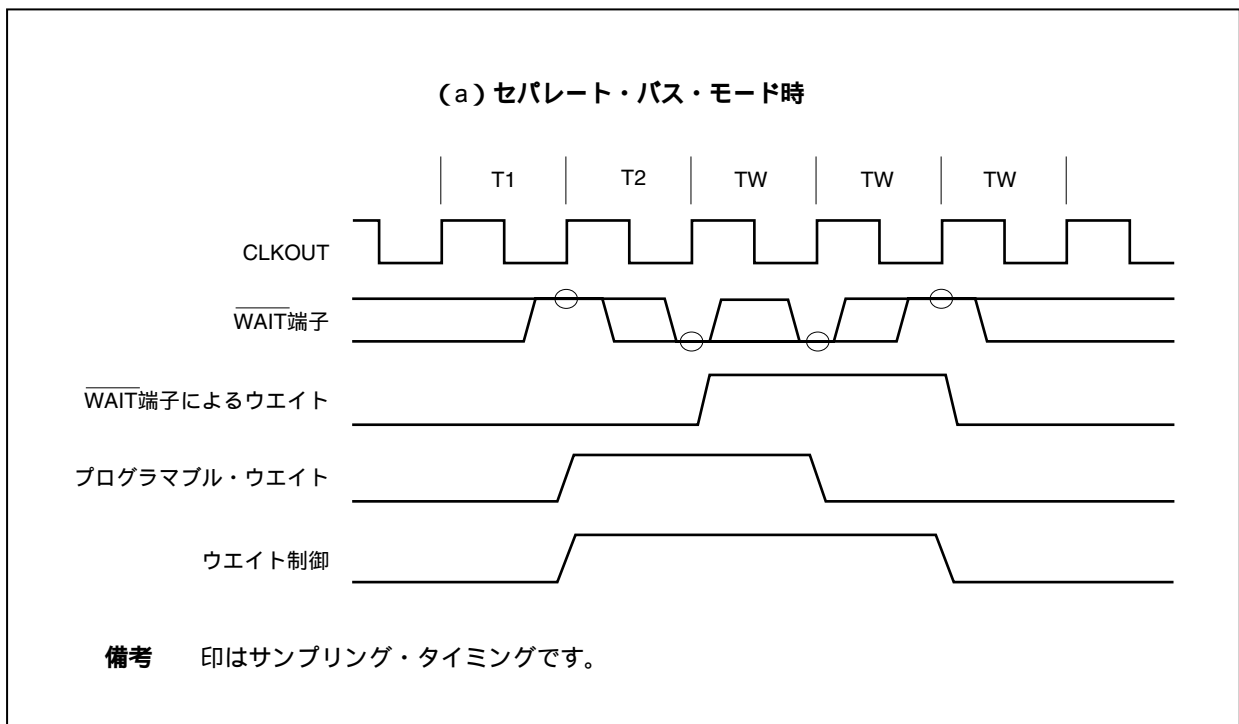
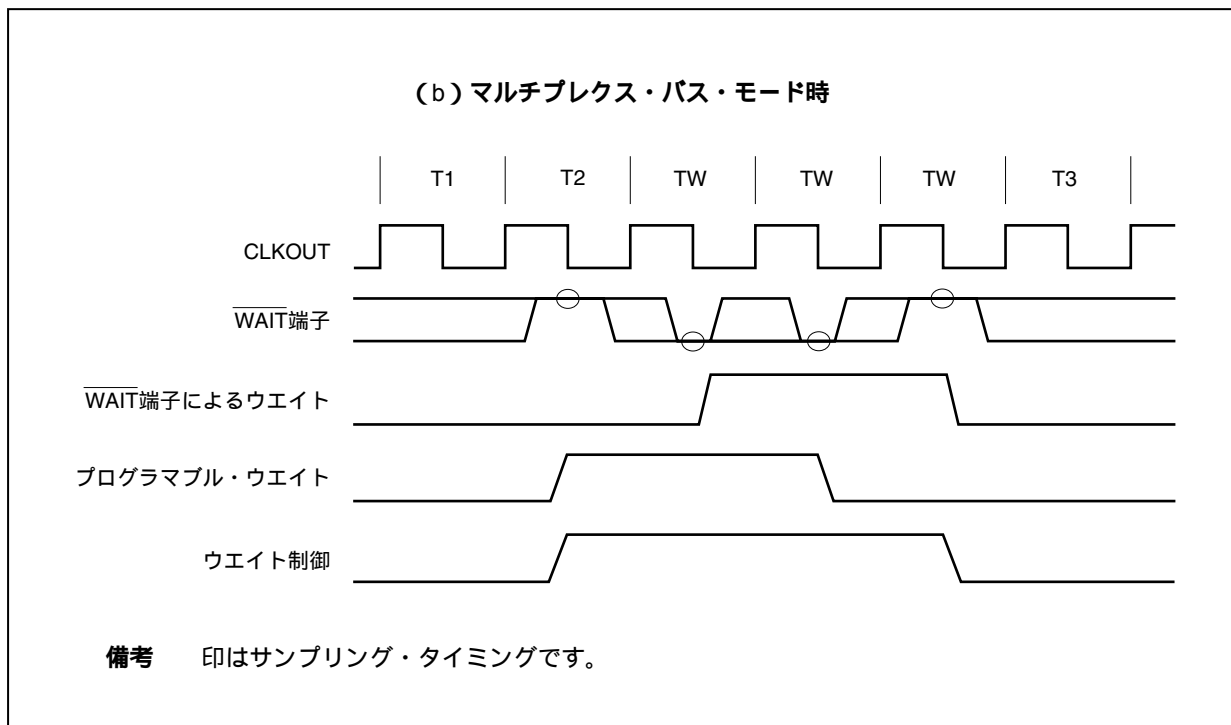


図18 - 1 ウェイト挿入例 (2/2)



#### 18.6.4 ウェイト機能が有効なバス・サイクル

μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aは, 各メモリ・ブロックごとにウェイト数を指定できます。ウェイト機能が有効なバス・サイクルとウェイト設定を行うレジスタを次に示します。

表18 - 2 ウェイト機能が有効なバス・サイクル

バス・サイクル	ウェイトの種類	プログラマブル・ウェイトの設定			WAIT端子によるウェイト
		レジスタ	ビット	ウェイト数	
SRAM, 外部ROM, 外部I/Oサイクル	アドレス・セットアップ・ウェイト	AWC	ASWn	0, 1	× (無効)
	アドレス・ホールド・ウェイト	AWC	AHWn	0, 1	× (無効)
	データ・ウェイト	DWC0	DWn2-DWn0	0-7	(有効)

**備考** n = 0, 1

## 18.7 アイドル・ステート挿入機能

アイドル・ステートはSRAM，外部ROM，外部I/Oに対するリード・サイクル後，ライト・サイクル後のタイミングで挿入されます。

### (1) バス・サイクル・コントロール・レジスタ (BCC)

低速デバイスに対するインタフェースを容易に実現させることを目的とし，各CS空間ごとにリード・アクセス時のメモリのデータ出力フロート遅延時間を確保するために，起動されるバス・サイクルに対し，T2ステート後（データ・ウエイトが挿入される場合はTWステート後）にアイドル・ステート（TI）を挿入可能です。T2ステート（またはTWステート）の次のバス・サイクルは，挿入されたアイドル・ステートのあとから開始します。

ライト・アクセス後のアイドル・ステートについては，バス・クロック分周制御レジスタ（DVC）で挿入を設定できます。

アイドル・ステートの挿入指定は，BCCレジスタでプログラマブルに指定可能です。システム・リセット直後は，全ブロックに対してアイドル・ステートの挿入状態になります。アイドル・ステート挿入時のタイミングは18.8 バス・タイミングを参照してください。

16ビット単位でリード/ライト可能です。

リセットによりAAAAHになります。

- 注意1.** 内蔵ROM領域，内蔵RAM領域，内蔵周辺I/O領域は，アイドル・ステート挿入の対象外になります。
- BCCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，BCCレジスタの初期値を変更する場合は，設定が終了するまで外部メモリ領域にアクセスしないでください。ただし，初期設定が終了した外部メモリ領域のアクセスは可能です。
  - アイドル・ステート時にチップ・セレクト信号( $\overline{CSn}$ )はアクティブにはなりません( $n = 0, 1$ )。

リセット時：AAAAH R/W アドレス：FFFFFF48AH

	15	14	13	12	11	10	9	8
BCC	1	0	1	0	1	0	1	0

CSn信号	7	6	5	4	3	2	1	0
	1	0	1	0	BC11	0	BC01	0

CSn信号	CS1		CS0	
-------	-----	--	-----	--

BCn1	各CSn空間のアイドル・ステート挿入指定 (n = 0, 1)
0	挿入しない
1	挿入する

リード・サイクル終了後/ライト・サイクル終了後の各CSn空間ごとにアイドル・ステートの挿入指定ができます。  
ただし，DVC.BCWIビット=0の場合，アイドル・ステートが挿入されるのはリード・サイクル終了後だけです。ライト・サイクル終了後には挿入されません。

**注意** ビット0, 2, 4, 6, 8, 10, 12, 14は必ず0を，ビット5, 7, 9, 11, 13, 15は必ず1を設定してください。それ以外の値を設定した場合の動作は保証できません。

(2) バス・クロック分周制御レジスタ (DVC)

DVCレジスタは、ライト・サイクル終了後のアイドル・ステート (TI) の挿入指定と外部バス・クロック周波数の指定を行うレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより81Hになります。

注意1. 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。

2. DVCレジスタへの書き込みはリセット後に1度だけ行い (初期設定)、そのあとは値を変更しないでください。また、DVCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

リセット時：81H R/W アドレス：FFFFFF48EH

	7	6	5	4	3	2	1	0
DVC	BCWI	0	0	0	0	0	DVC1	DVC0

BCWI	ライト・サイクル終了後のアイドル・ステート挿入指定
0	挿入しない
1	挿入する (BCC.BCn1ビット = 1の場合のみ)

DVC1	DVC0	外部バス・クロック周波数 (f <sub>bus</sub> ) の指定
0	0	f <sub>CLK</sub> /1 <sup>注</sup>
0	1	f <sub>CLK</sub> /2
1	0	設定禁止
1	1	f <sub>CLK</sub> /4

注 f<sub>CLK</sub> 32 MHz時のみ設定可能です。

32 MHz < f<sub>CLK</sub> 64 MHz時は設定禁止です。

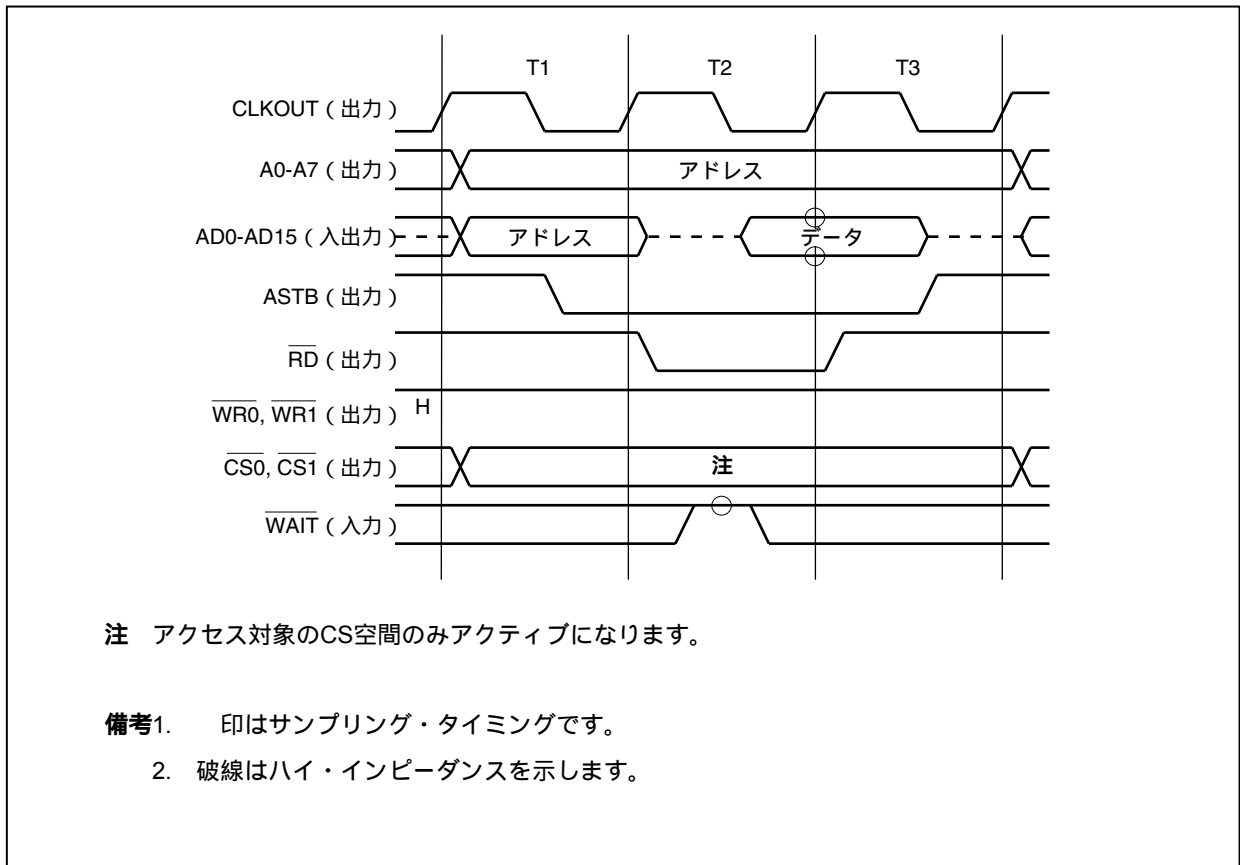
注意1. DVC1, DVC0ビットの設定を変更する場合は、必ずCLKOUT端子をポート・モードに設定してから行ってください。兼用機能 (CLKOUT) のままでDVC1, DVC0ビットの設定を変更することは禁止です。

2. 外部バス・クロック周波数 (f<sub>bus</sub>) は、16 MHz f<sub>bus</sub> 32 MHzの範囲で設定してください。

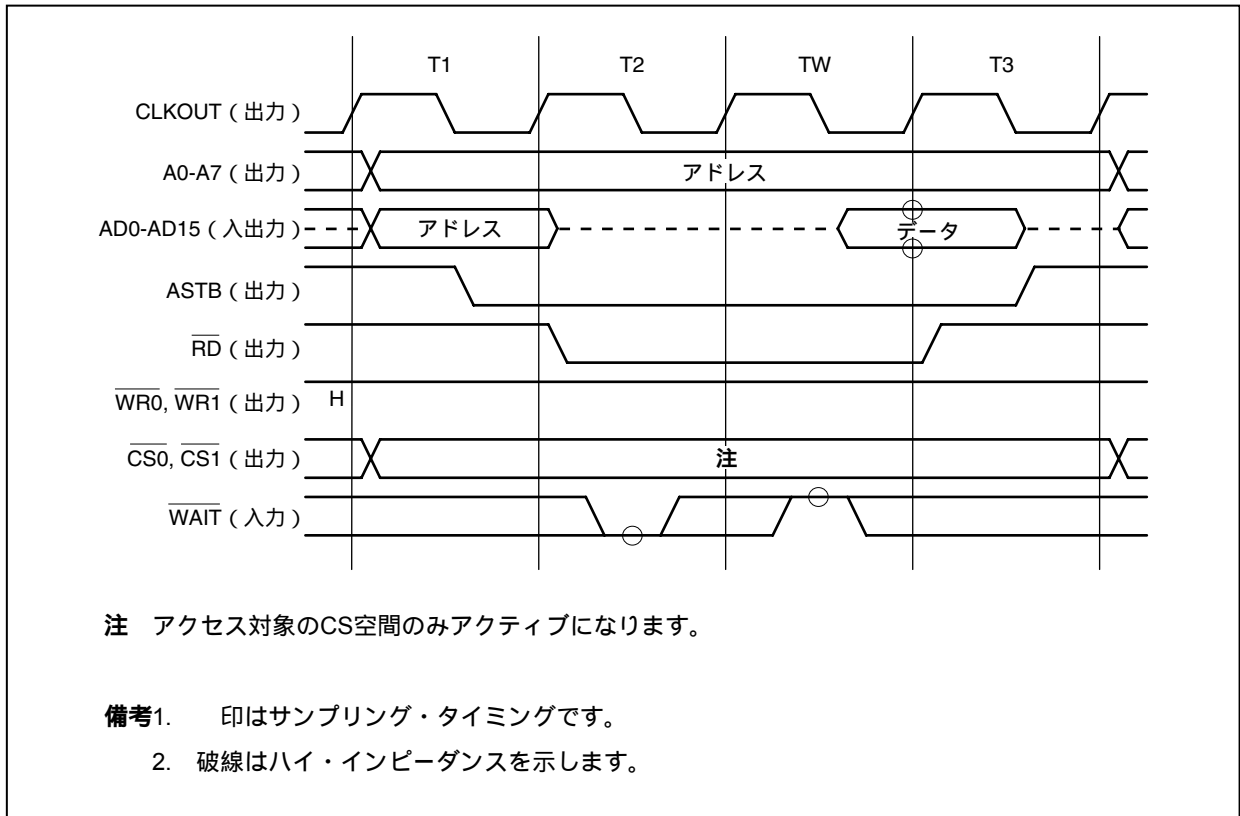
3. ビット2-6は必ず0を設定してください。1を設定した場合の動作は保証できません。

## 18.8 バス・タイミング

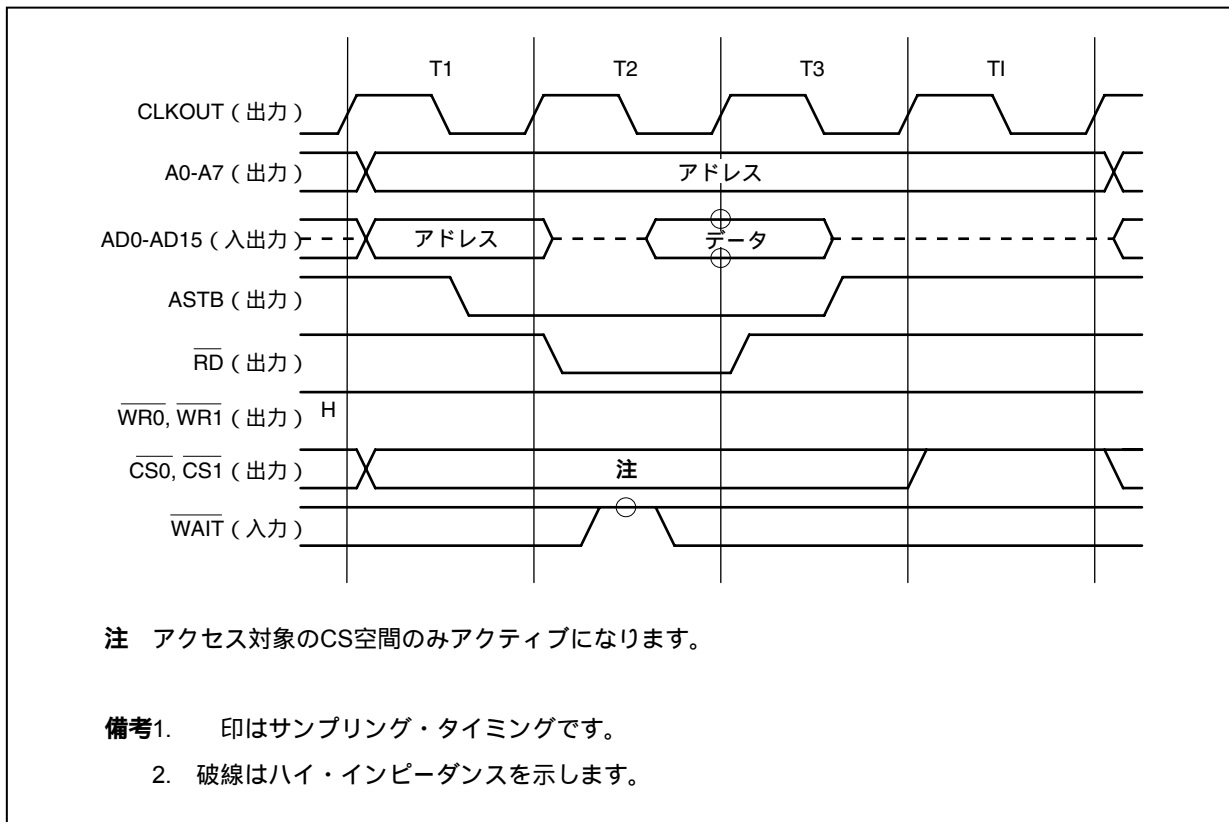
### (1) リード・サイクル (基本サイクル)



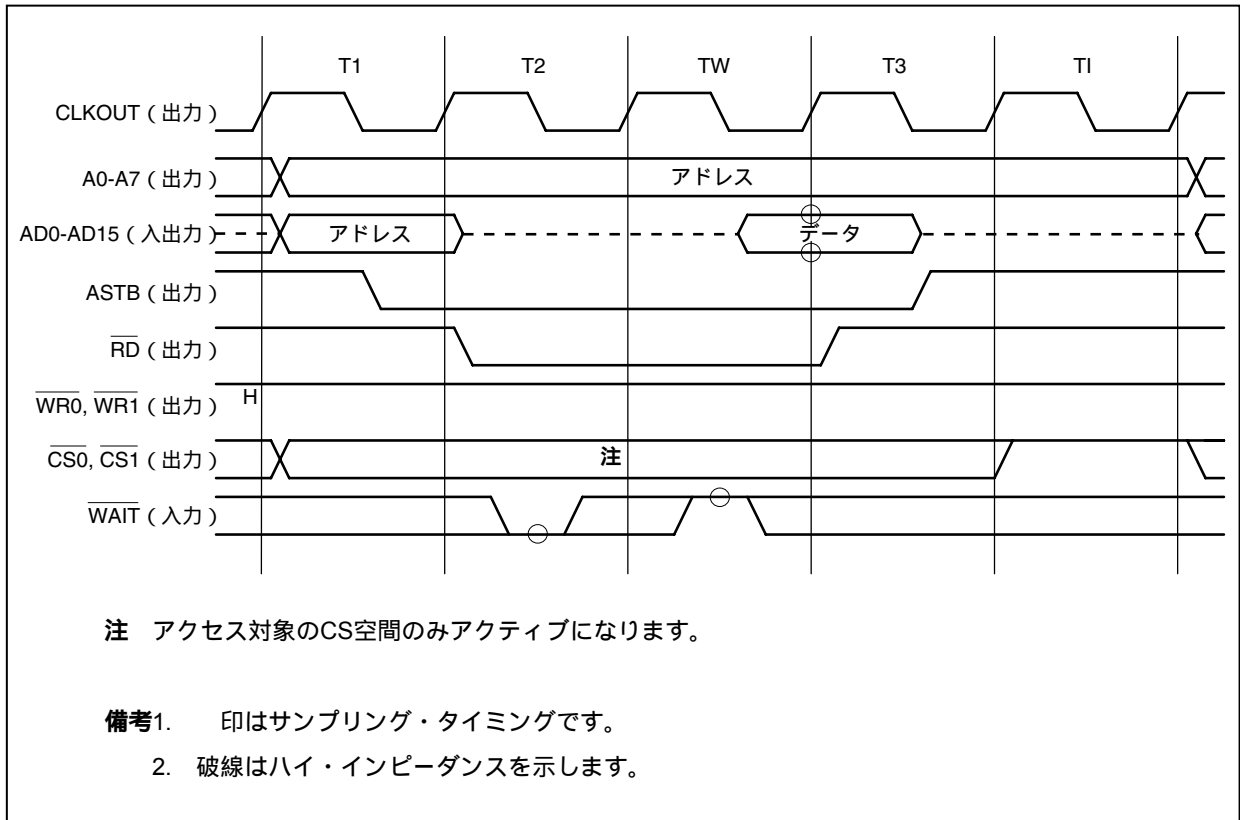
(2) リード・サイクル(データ・ウエイト・ステート(1ウエイト)挿入時)



(3) リード・サイクル (アイドル・ステート挿入時)

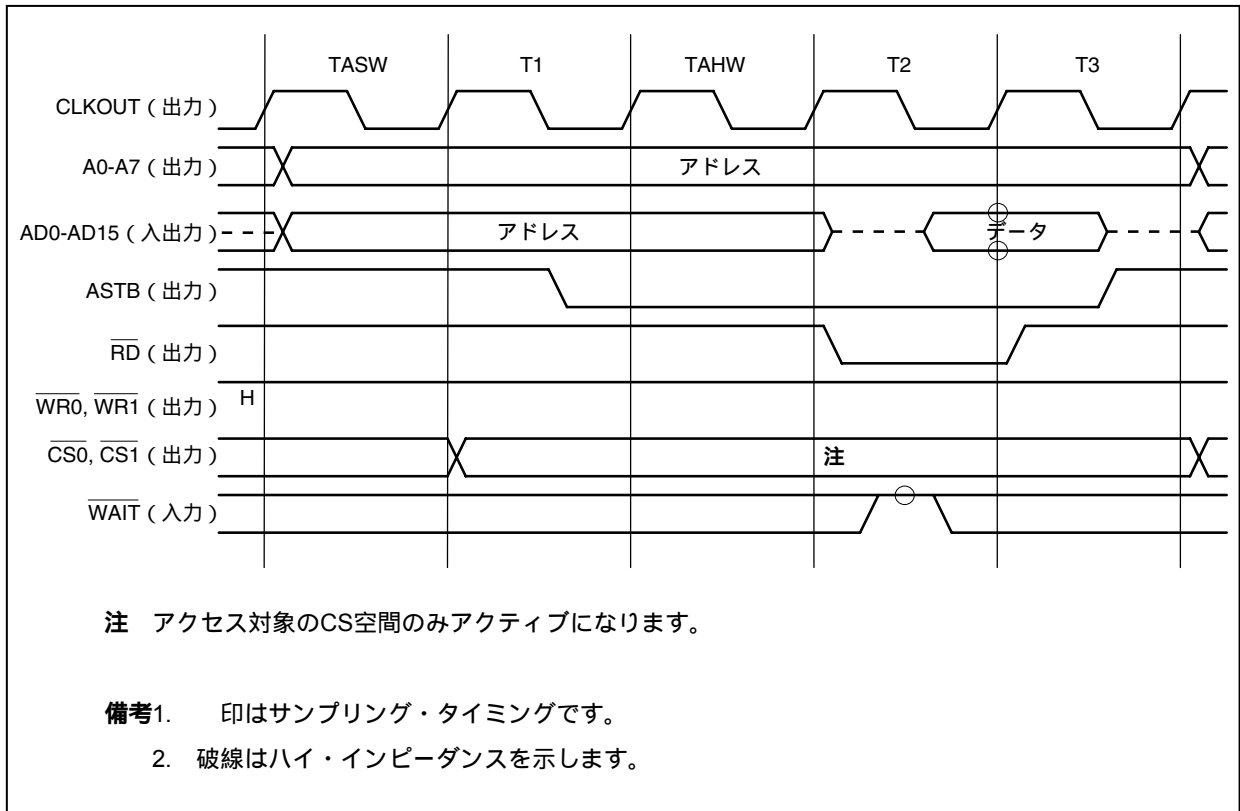


(4) リード・サイクル(データ・ウエイト・ステート(1ウエイト), アイドル・ステート挿入時)

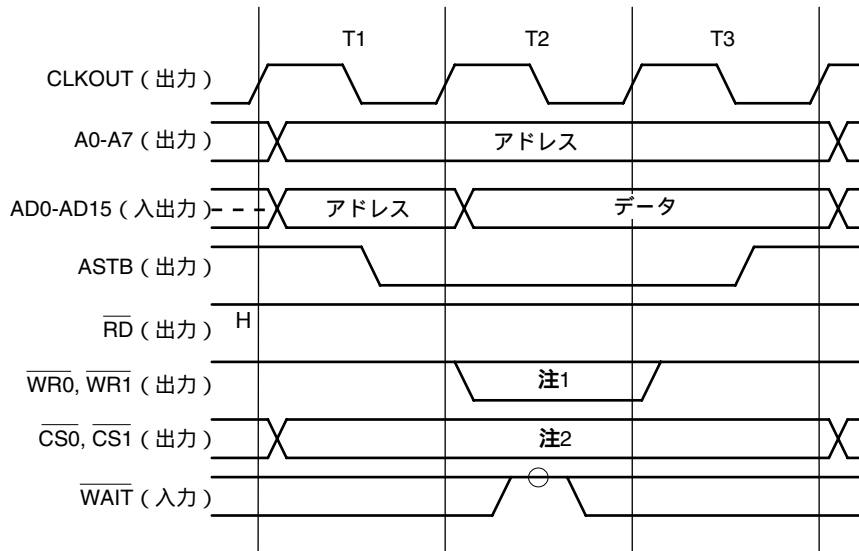




(5) リード・サイクル (アドレス・セットアップ・ウエイト・ステート, アドレス・ホールド・ウエイト・ステート挿入時)



(6) ライト・サイクル (基本サイクル)



注1. アクセス・データ・バス幅により次のようなレベルになります。

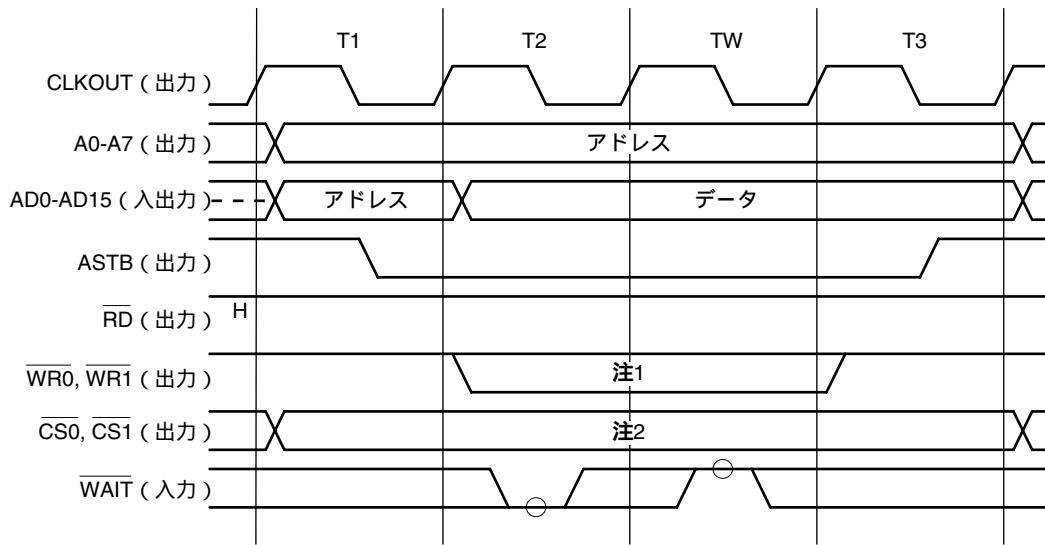
アクセス・データ・バス幅	$\overline{WR1}$	$\overline{WR0}$
16ビット	ロウ・レベル	ロウ・レベル
8ビット	ハイ・レベル	ロウ・レベル

2. アクセス対象のCS空間のみアクティブになります。

備考1. 印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

(7) ライト・サイクル(データ・ウェイト・ステート(1ウェイト)挿入時)



注1. アクセス・データ・バス幅により次のようなレベルになります。

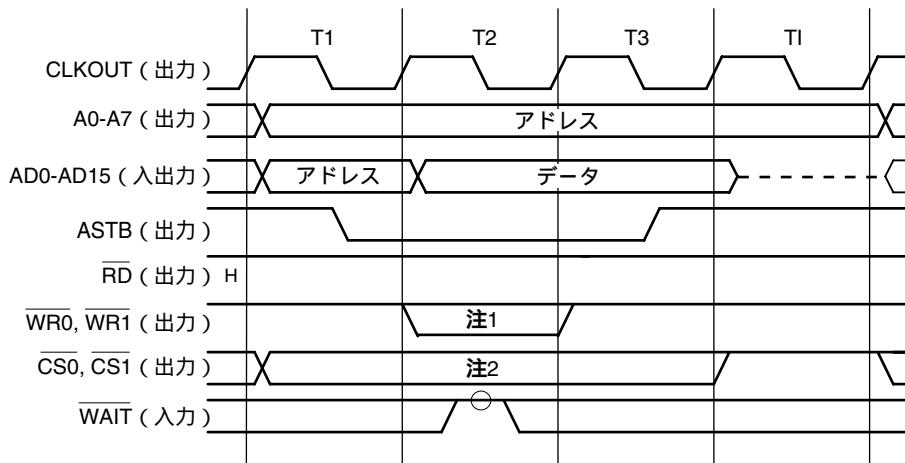
アクセス・データ・バス幅	$\overline{WR1}$	$\overline{WR0}$
16ビット	ロウ・レベル	ロウ・レベル
8ビット	ハイ・レベル	ロウ・レベル

2. アクセス対象のCS空間のみアクティブになります。

備考1. 印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

(8) ライト・サイクル (アイドル・ステート挿入時)



注1. アクセス・データ・バス幅により次のようなレベルになります。

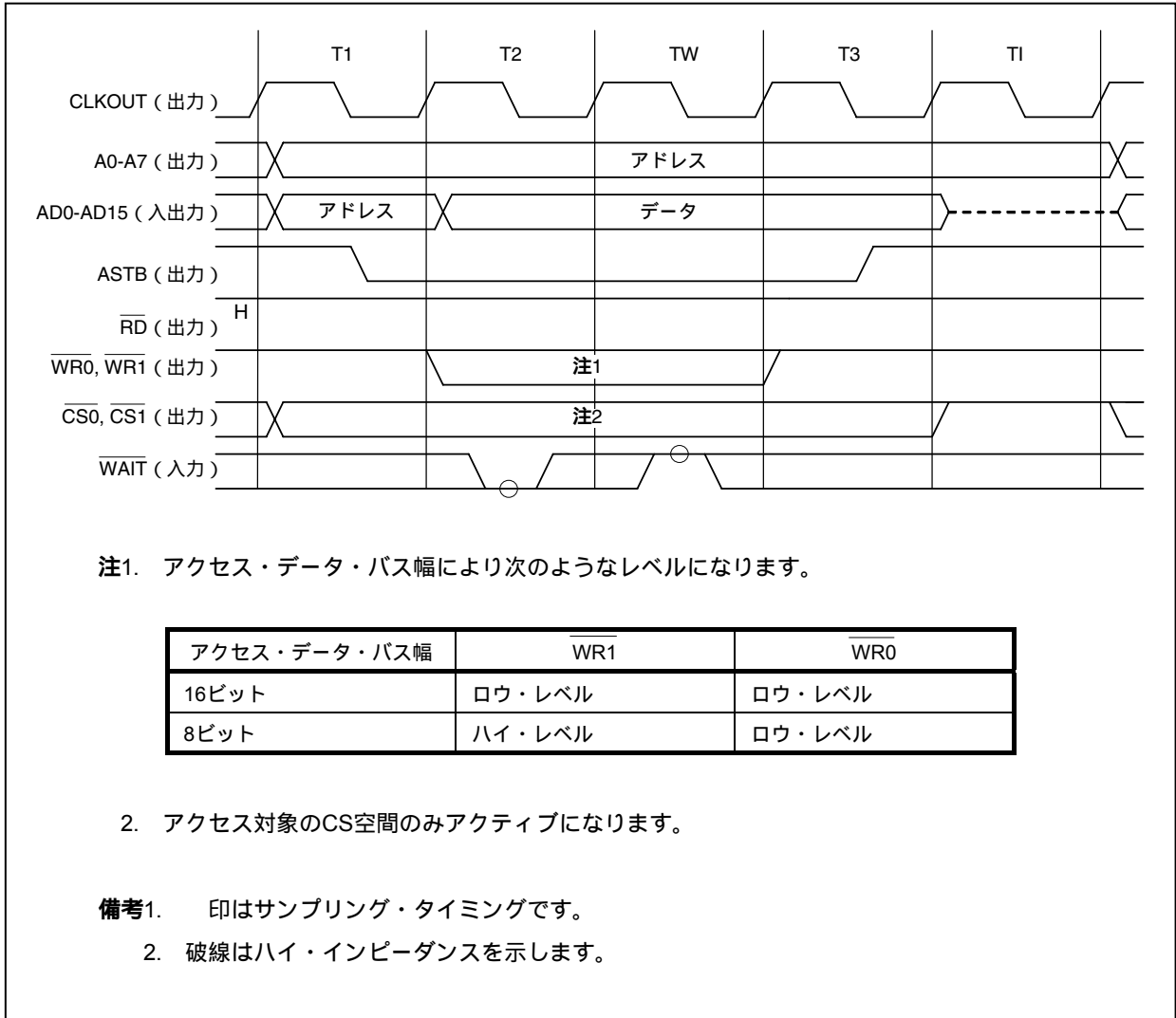
アクセス・データ・バス幅	$\overline{WR1}$	$\overline{WR0}$
16ビット	ロウ・レベル	ロウ・レベル
8ビット	ハイ・レベル	ロウ・レベル

2. アクセス対象のCS空間のみアクティブになります。

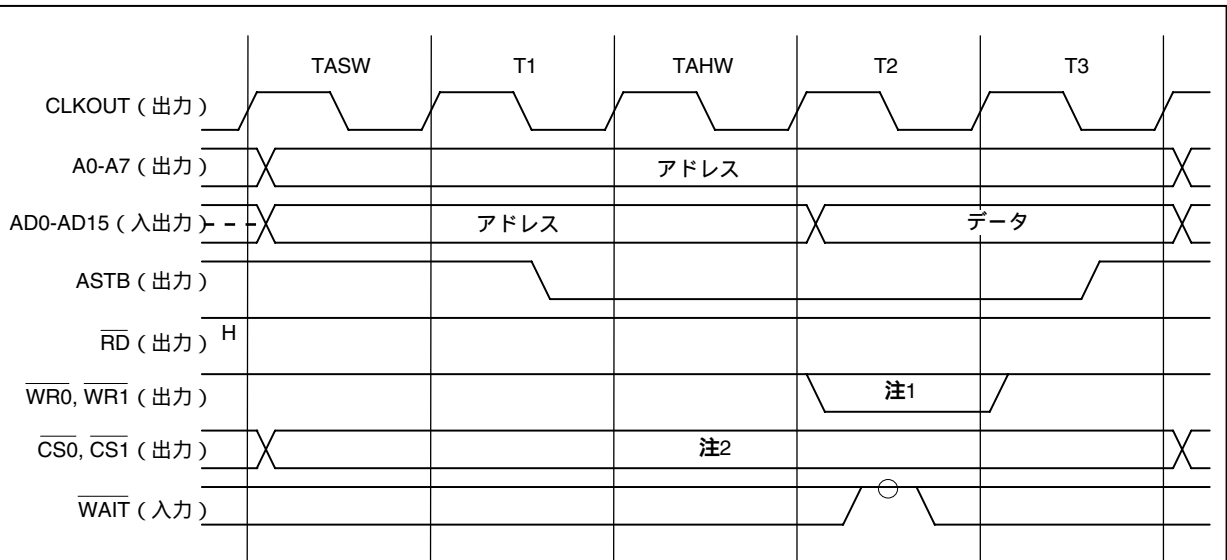
備考1. 印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

(9) ライト・サイクル(データ・ウエイト・ステート(1ウエイト), アイドル・ステート挿入時)



(10) ライト・サイクル (アドレス・セットアップ・ウエイト・ステート, アドレス・ホールド・ウエイト・ステート挿入時)



注1. アクセス・データ・バス幅により次のようなレベルになります。

アクセス・データ・バス幅	$\overline{WR1}$	$\overline{WR0}$
16ビット	ロウ・レベル	ロウ・レベル
8ビット	ハイ・レベル	ロウ・レベル

2. アクセス対象のCS空間のみアクティブになります。

備考1. 印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

## 18.9 バスの優先順位

外部バス・サイクルには、命令フェッチ、オペランド・データ・アクセスの2つがあります。

優先順位はオペランド・データ・アクセスが高く、命令フェッチが低くなります。

ただし、リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

表18-3 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い	オペランド・データ・アクセス	CPU
低い	命令フェッチ	CPU

## 18.10 境界動作条件

### 18.10.1 プログラム空間

内蔵周辺I/O領域への分岐は行わないでください。分岐を行った場合、不定データをフェッチし、外部メモリからのフェッチなどはいりません。

### 18.10.2 データ空間

$\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aはアドレス・ミスアライン機能を内蔵しています。

この機能により、データの形式（ワード・データ、ハーフワード・データ）にかかわらず、すべてのアドレスに対してデータを配置できます。ただし、ワード・データ、ハーフワード・データの場合、データが境界整列していないと、バス・サイクルが最低2回は発生し、バス効率が低下します。

#### (1) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき、バイト長のバス・サイクルを2回生成します。

#### (2) ワード長のデータ・アクセスの場合

(a) アドレスの最下位ビットが1のとき、バイト長のバス・サイクル、ハーフワード長のバス・サイクル、バイト長のバス・サイクルの順でバス・サイクルを生成します。

(b) アドレスの下位2ビットが10のとき、ハーフワード長のバス・サイクルを2回生成します。

## 第19章 DMA機能 (DMAコントローラ)

V850E/IF3, V850E/IG3は, DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは, 内蔵周辺I/O (各種シリアル・インタフェース, タイマ, A/Dコンバータ) からの割り込みによる要求, またはソフトウェア・トリガによるDMA要求に基づいて, 内蔵メモリ 内蔵周辺I/O間または内蔵周辺I/O 内蔵周辺I/O間でのデータ転送を制御します。

### 19.1 特 徴

4つの独立なDMAチャンネル

転送単位: 8ビット / 16ビット

最大転送回数: 65536 ( $2^{16}$ ) 回

転送タイプ: 2サイクル転送

3種類の転送モード

- ・シングル転送モード
- ・シングルステップ転送モード
- ・ブロック転送モード

転送要求

- ・内蔵周辺I/O (各種シリアル・インタフェース, タイマ, A/Dコンバータ) からの割り込みによる要求
- ・ソフトウェア・トリガによる要求

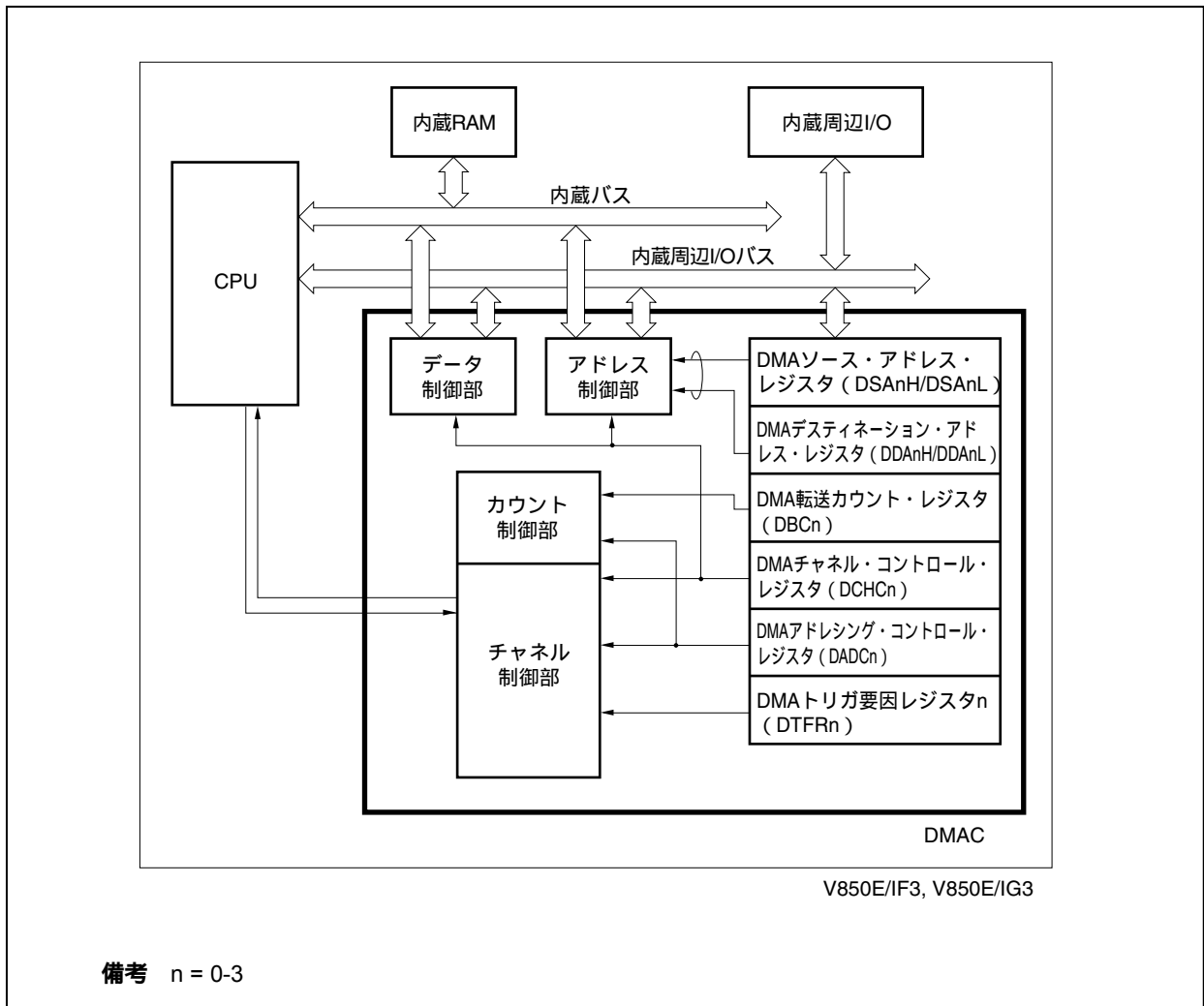
転送対象

- ・内蔵メモリ 内蔵周辺I/O
- ・内蔵周辺I/O 内蔵周辺I/O

ネクスト・アドレス設定機能



## 19.2 構成



## 19.3 制御レジスタ

### 19.3.1 DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネルnのDMA転送元アドレス(28ビット)を設定します(n=0-3)。このレジスタは,DSAnH, DSAnLの2つの16ビットのレジスタに分かれます。

また,このレジスタは,マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタなので,DMA転送中に新たなDMA転送の転送元アドレスが設定できます(19.8 **ネクスト・アドレス設定機能**参照)。ネクスト・アドレスを設定する場合,新たなDSAnレジスタの設定は,DMA転送が正常に終了し,DCHCn.TCnビットがセット(1)されたとき,またはDCHCn.INITnビットをセット(1)したときのみ,その設定値はスレーブ・レジスタに転送され,有効となります(n=0-3)。ただし,DCHCn.Ennビットをクリア(0)して,DMA転送を禁止状態にし,DSAnレジスタを設定しても,その設定値は無効となりますので注意してください。

#### (1) DMAソース・アドレス・レジスタ0H-3H (DSA0H-DSA3H)

16ビット単位でリード/ライト可能です。

リセットにより不定になります。

- 注意1.** ソース・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は,必ずFFFFFF00H-FFFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ(3FFF000H-3FFFFFFFH)のアドレスは指定できません。
- 2.** DSAnHレジスタの設定は,DMA中断中には行わないでください。

リセット時:不定 R/W アドレス: DSA0H FFFFFFF082H, DSA1H FFFFFFF08AH,  
DSA2H FFFFFFF092H, DSA3H FFFFFFF09AH

	15	14	13	12	11	10	9	8
DSAnH	IRSn	0	0	0	SAn27	SAn26	SAn25	SAn24
(n=0-3)	7	6	5	4	3	2	1	0
	SAn23	SAn22	SAn21	SAn20	SAn19	SAn18	SAn17	SAn16

IRSn	DMA転送元の指定
0	内蔵周辺I/O
1	内蔵RAM

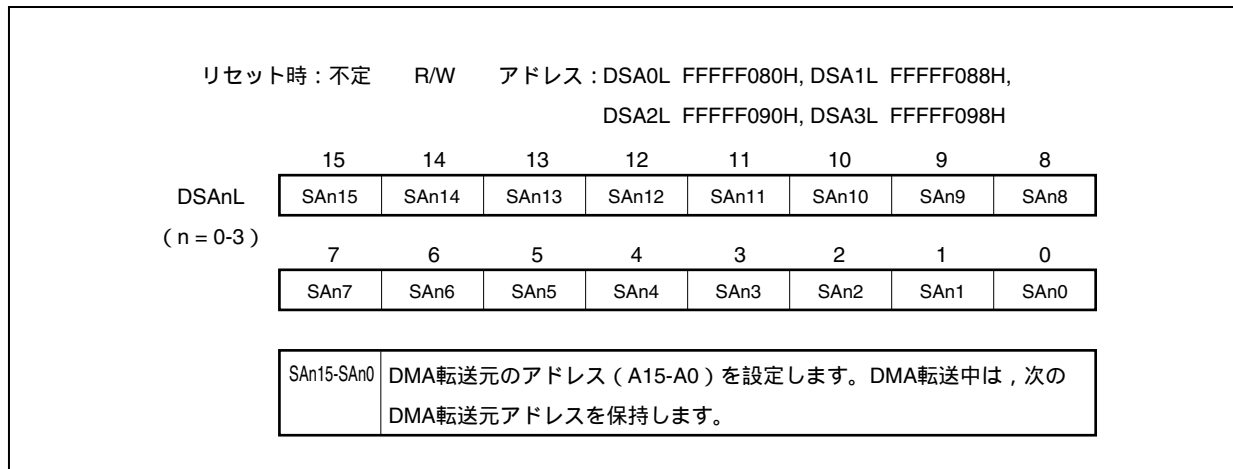
SAn27-SAn16	DMA転送元のアドレス(A27-A16)を設定します。DMA転送中は,次のDMA転送元アドレスを保持します。
-------------	--

**注意** ビット14-12には必ず0を設定してください。1を設定した場合の動作は保証できません。

(2) DMAソース・アドレス・レジスタ0L-3L (DSA0L-DSA3L)

16ビット単位でリード/ライト可能です。

リセットにより不定になります。



### 19.3.2 DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャネルnのDMA転送先アドレス(28ビット)を設定します(n = 0-3)。このレジスタは、DDAnH, DDAnLの2つの16ビットのレジスタに分かれます。

また、このレジスタは、マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタなので、DMA転送中に新たなDMA転送の転送先アドレスが設定できます(19.8 **ネクスト・アドレス設定機能**参照)。ネクスト・アドレスを設定する場合、新たなDDAnレジスタの設定は、DMA転送が正常に終了し、DCHCn.TCnビットがセット(1)されたとき、またはDCHCn.INITnビットをセット(1)したときのみ、その設定値はスレーブ・レジスタに転送され、有効となります(n = 0-3)。ただし、DCHCn.Ennビットをクリア(0)して、DMA転送を禁止状態にし、DDAnレジスタを設定しても、その設定値は無効となりますので注意してください。

#### (1) DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H)

16ビット単位でリード/ライト可能です。

リセットにより不定になります。

- 注意1.** デスティネーション・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は、必ずFFFF00H-FFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ(3FFF00H-3FFFFFFH)のアドレスは指定できません。
- 2.** DDAnHレジスタの設定は、DMA中断中には行わないでください。

リセット時：不定    R/W    アドレス：DDA0H FFFFF086H, DDA1H FFFFF08EH,  
DDA2H FFFFF096H, DDA3H FFFFF09EH

	15	14	13	12	11	10	9	8
DDAnH	IRAn	0	0	0	DAn27	DAn26	DAn25	DAn24
(n = 0-3)	7	6	5	4	3	2	1	0
	DAn23	DAn22	DAn21	DAn20	DAn19	DAn18	DAn17	DAn16

IRAn	DMA転送先の指定
0	内蔵周辺I/O
1	内蔵RAM

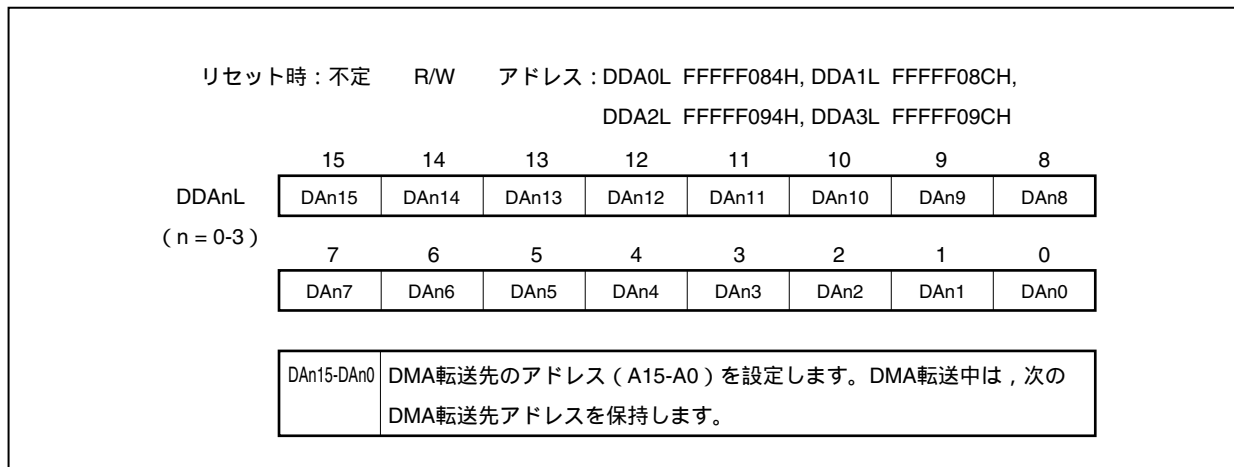
DAn27-DAn16	DMA転送先のアドレス(A27-A16)を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。
-------------	--

**注意** ビット14-12には必ず0を設定してください。1を設定した場合の動作は保証できません。

(2) DMAデスティネーション・アドレス・レジスタ0L-3L (DDA0L-DDA3L)

16ビット単位でリード/ライト可能です。

リセットにより不定になります。



### 19.3.3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャネルnの転送数を設定する16ビット・レジスタです (n = 0-3)。DMA転送中は、残りの転送数を保持します。

また、このレジスタは、マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタなので、DMA転送中に新たなDMA転送の転送回数が設定できます(19.8 **ネクスト・アドレス設定機能**参照)。ネクスト・アドレスを設定する場合、新たなDBCnレジスタの設定は、DMA転送が正常に終了し、DCHCn.TCnビットがセット(1)されたとき、またはDCHCn.INITnビットをセット(1)したときのみ、その設定値はスレーブ・レジスタに転送され、有効となります(n = 0-3)。ただし、DCHCn.Ennビットをクリア(0)して、DMA転送を禁止状態にし、DBCnレジスタを設定しても、その設定値は無効となりますので注意してください。

1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

16ビット単位でリード/ライト可能です。

リセットにより不定になります。

**注意** DBCnレジスタの設定は、DMA中断中には行わないでください。

**備考** DMA転送中にDBCnレジスタを書き換えることなくターミナル・カウントが発生したあと、DBCnレジスタを読み出した場合は、DMA転送の直前に設定された値が読み出されず(転送終了後でも0000Hは読み出されません)。

リセット時：不定		R/W	アドレス：DBC0 FFFFFFF0C0H, DBC1 FFFFFFF0C2H, DBC2 FFFFFFF0C4H, DBC3 FFFFFFF0C6H							
DBCn (n = 0-3)		15	14	13	12	11	10	9	8	
		BCn15	BCn14	BCn13	BCn12	BCn11	BCn10	BCn9	BCn8	
		7	6	5	4	3	2	1	0	
		BCn7	BCn6	BCn5	BCn4	BCn3	BCn2	BCn1	BCn0	
BCn15-BCn0		転送数の設定 (DMA転送中は残りの転送数を保持)								
	0000H	1回の転送, または残り転送数								
	0001H	2回の転送, または残り転送数								
	:	:								
	FFFFH	65536 (2 <sup>16</sup> ) 回の転送, または残り転送数								

### 19.3.4 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。DMA動作中はアクセスできません。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意1.** DSn0ビットは何ビットのデータを転送するかを設定するビットです。

転送データ・サイズを16ビットに設定した場合は下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。この場合は奇数アドレスから始まる転送はできません。

2. DADCnレジスタの設定は、対象となるチャネルが次のいずれかのタイミングのときに行ってください (これらのタイミング以外で設定を行った場合の動作は保証しません)。

- ・システム・リセットから最初のDMA転送要求発生までの期間
- ・DMA転送の終了後 (ターミナル・カウント後) から次のDMA転送要求発生までの期間
- ・DMA転送の強制終了後 (DCHCn.INITnビットがセット (1) 後) から次のDMA転送要求発生までの期間

リセット時 : 0000H    R/W    アドレス DADC0 FFFFF0D0H, DADC1 FFFFF0D2H,  
DADC2 FFFFF0D4H, DADC3 FFFFF0D6H

	15	14	13	12	11	10	9	8
DADCn	0	DSn0	0	0	0	0	0	0
(n = 0-3)	7	6	5	4	3	2	1	0
	SADn1	SADn0	DADn1	DADn0	TMn1	TMn0	0	0

DSn0	DMA転送での転送データ・サイズの設定	
0	8	ビット
1	16	ビット

SADn1	SADn0	DMAチャネルnの転送元アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DADn1	DADn0	DMAチャネルnの転送先アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

TMn1	TMn0	DMA転送時の転送モードの設定
0	0	シングル転送モード
0	1	シングルステップ転送モード
1	0	設定禁止
1	1	ブロック転送モード

**注意** ビット15, 13-8, 1, 0には必ず0を設定してください。1を設定した場合の動作は保証できません。

## 19.3.5 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャンネルnのDMA転送動作モードを制御する8ビット・レジスタです (n = 0-3)。

8/1ビット単位でリード/ライト可能です (ただし, ビット7はリードのみ可能です)。

リセットにより00Hになります。

- 注意1. MLEnビットがセット (1) された状態で転送を終了し, 次の転送要求を内蔵周辺I/Oからの割り込みで起動するDMA転送 (ハードウェアDMA) で行った場合, 次の転送はTCnビットがセット (1) された状態で実行されず (自動的にクリア (0) されません)。
2. MLEnビットの設定は, 対象となるチャンネルが次のいずれかのタイミングのときに行ってください (これらのタイミング以外で設定を行った場合の動作は保証しません)。
    - ・システム・リセットから最初のDMA転送要求発生までの期間
    - ・DMA転送の終了後 (ターミナル・カウント後) から次のDMA転送要求発生までの期間
    - ・DMA転送の強制終了後 (INITnビットのセット (1) 後) から次のDMA転送要求発生までの期間
  3. MLEnビットをセット (1) した状態で, DMA転送の最後の転送サイクル時に強制終了を行ったときは, 転送終了時と同様の動作 (TCnビットのセット (1)) を行います (Ennビットは, MLEnビットの値にかかわらず, 強制終了時にクリア (0) されます)。この場合, 次のDMA転送要求時は, Ennビットのセット (1) に加え, TCnビットの読み出し (クリア (0)) も必要です。
  4. DMA転送終了時 (ターミナル・カウント時) は, Ennビットのクリア (0) TCnビットのセット (1) の順で各ビットの更新が行われます。そのため, TCnビットとEnnビットの状態をポーリングしているような場合, DCHCnレジスタの読み出しタイミングが上記の各ビットの更新途中であると, 「転送未終了, かつ転送禁止」の状態を示す値 (TCnビット = 0, かつEnnビット = 0) が読み出されることがあります (異常動作ではありません)。
  5. DMA転送終了後 (ターミナル・カウント後) には必ずTCnビットの読み出し (クリア (0)) を行ってください。TCnビットの読み出し (クリア (0)) が必要ないのは, 次の2つの条件を満たす場合だけです。
    - ・DMA転送終了時 (ターミナル・カウント時) にMLEnビットがセット (1) されている
    - ・次のDMA転送起動要因が内蔵周辺I/Oからの割り込みで起動するDMA転送 (ハードウェアDMA)
 いずれか1つでも条件を満たしていない場合には, 必ず次のDMA転送要求発生までにTCnビットの読み出し (クリア (0)) を行ってください。  
TCnビットがセット (1) された状態で次のDMA転送要求を発生させた場合の動作は保証できません。
  6. Enn, STGnビットの設定は, DMA中断中には行わないでください。DMA中断中に設定した場合の動作は保証できません。
  7. Ennビットのクリア (0) により, DMA転送を終了させないでください。
  8. DMA転送の状態とレジスタ値の関係は次のようになります。
    - ・DMA転送動作中 : TCnビット = 0, Ennビット = 1
    - ・DMA転送中断中 : TCnビット = 0, Ennビット = 0
    - ・DMA転送停止中 (終了中) : TCnビット = 1



リセット時：00H R/W アドレス：DCHC0 FFFFF0E0H, DCHC1 FFFFF0E2H,  
DCHC2 FFFFF0E4H, DCHC3 FFFFF0E6H

DHCn (n = 0-3)		6	5	4	①		
	TCn	0	0	0	MLEn	INITn	STGn

TCn <sup>注1</sup>	DMAチャンネルnのDMA転送の終了 / 未終了を示すステータス・ビット
0	DMA転送未終了
1	DMA転送終了
DMA転送の最後の転送時にセット (1) され、読み出しによりクリア (0) されます。内蔵RAMを転送元とするDMA転送の場合、最後の転送が終了後4クロック経過してからセット (1) されます。	

MLEn	<p>DMA転送終了時 (ターミナル・カウント出力時) に、このビットがセット (1) されていると、Ennビットはクリア (0) されず、DMA転送許可状態のままになります。</p> <p>次のDMA転送起動要因が内蔵周辺I/Oからの割り込みの場合 (ハードウェアDMA) は、TCnビットを読み出さなくてもDMA転送要求が受け付けられます。次のDMA転送起動要因がSTGnビットのセット (1) の場合 (ソフトウェアDMA) は、TCnビットを読み出してクリア (0) すれば、DMA転送要求が受け付けられます。</p> <p>DMA転送終了時 (ターミナル・カウント出力時) に、このビットがクリア (0) されていると、Ennビットはクリア (0) され、DMA転送禁止状態になります。次のDMA転送要求時は、TCnビットの読み出しとEnnビットのセット (1) が必要です。</p>
------	---

INITn <sup>注2</sup>	DMA転送中、またはDMA中断中にこのビットをセット (1) すると、DMA転送を強制終了します。
---------------------	---

STGn <sup>注2</sup>	DMA転送が許可の状態 (TCnビット = 0, Ennビット = 1) で、このビットをセット (1) するとDMA転送を開始します。
--------------------	--

Enn	DMAチャンネルnのDMA転送の許可 / 禁止の設定
0	DMA転送の禁止
1	DMA転送の許可
<ul style="list-style-type: none"> <li>・DMA転送が終了するとクリア (0) されます。また、INITnビットのセット (1) による強制終了時にもクリア (0) されます。</li> <li>・Ennビットをセット (1) した場合、DBCnレジスタで設定した転送回数分のDMA転送が終了するか、またはINITnビットでDMA転送を強制終了させるまでは、Ennビットの設定は行わないでください。</li> </ul>	

- 注1. TCnビットはリードのみ可能です。
2. INITn, STGnビットはライトのみ可能です。リードした場合は、0が読み出されます。

**注意** ビット6-4には必ず0を設定してください。1を設定した場合の動作は保証できません。

### 19.3.6 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oから割り込み要求によるDMA転送開始トリガを制御する8ビットのレジスタです。

このレジスタで設定した割り込み要求が、DMA転送の起動要因になります。

8/1ビット単位でリード/ライト可能です。ただし、ビット7 (DFn)は1ビット単位、ビット5-0 (IFCn5-IFCn0)は8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意1.** DTFRnレジスタの設定を変更する場合は必ず次の手順で行ってください。

- IFCn5-IFCn0ビットに設定する値が他チャンネルのIFCm5-IFCm0ビットに設定されていない場合 (n = 0-3, m = 0-3, n ≠ m)

DCHCnレジスタのEnnビット = 0の場合は - , Ennビット = 1の場合は - の手順で行ってください。

書き換え対象となるチャンネルのDMA動作を停止 (DCHCn.INITnビット = 1) する。

DTFRnレジスタの設定を変更する (必ずDFnビット = 0とし、かつ8ビット操作で行ってください)。

DMA転送要求をクリアする必要がある場合には、DMA転送要求フラグをクリア (DTFRn.DFn = 0) する。

DMA動作を許可 (Ennビット = 1) する。

- IFCn5-IFCn0ビットに設定する値がすでに他チャンネルのIFCm5-IFCm0ビットに設定されている場合 (n = 0-3, m = 0-3, n = m)

DCHCnレジスタのEnnビット = 0の場合は - , Ennビット = 1の場合は - の手順で行ってください。

書き換え対象となるチャンネルのDMA動作を停止 (DCHCn.INITnビット = 1) する。

IFCn5-IFCn0ビットに書き換える値と同じ値がIFCm5-IFCm0ビットに設定されているチャンネルのDMA転送を停止 (DCHCm.INITmビット = 1) する。

DTFRnレジスタの設定を変更する (必ずDFnビット = 0とし、かつ8ビット操作で行ってください)。

DMA転送要求をクリアする必要がある場合には、DMA転送要求フラグをクリア (DTFRn.DFn = 0) する。

DMA動作を許可 (Ennビット = 1およびEmmビット = 1) する。

2. スタンバイ・モード (IDLE, STOPモード) 中に入力された内蔵周辺I/Oからの割り込み要求は、DMA転送の起動要因として保留されます。保留されたDMA起動要因は通常動作モードへ復帰後に実行されます。
3. IFCn5-IFCn0ビットにより、DMA転送の起動要因を変更した場合は、必ず直後の命令でDFnビットのクリア (0) も行ってください。

リセット時 : 00H R/W アドレス : DTFR0 FFFFF810H, DTFR1 FFFFF812H,  
DTFR2 FFFFF814H, DTFR3 FFFFF816H

		6	5	4	3	2	1	0
DTFRn (n = 0-3)	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

DFn <sup>注</sup>	DMA転送要求ステータス・フラグ
0	DMA転送要求なし
1	DMA転送要求あり

**注** DFnビットはソフトウェアにより1を設定しないでください。

DMA転送を禁止 (ソフトウェアによる強制終了を含む) している間に, DMA転送の起動要因に設定している割り込みが発生し, DMA転送要求をクリアする必要がある場合には, 割り込み発生要因の動作を停止したあとに, DFnビットに0をライトしてください (例 シリアル受信の場合, 受信を禁止)。なお, 次にDMA転送を再開するまでに再度割り込みが発生しないことがアプリケーション上で明確な場合は, 割り込み発生要因の動作を停止する必要はありません。

**注意1.** IFCn5-IFCn0ビットについては, 表19 - 1 DMA転送の起動要因を参照してください。

**2.** ビット6には必ず0を設定してください。1を設定した場合の動作は保証できません。

表19 - 1 DMA転送の起動要因 (1/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	内蔵周辺I/OからのDMA要求禁止
0	0	0	0	0	1	INTLVIL
0	0	0	0	1	0	INTLVIH
0	0	0	0	1	1	INTP11
0	0	0	1	0	0	INTP12
0	0	0	1	0	1	INTP13
0	0	0	1	1	0	INTP15
0	0	0	1	1	1	INTTB0OV_BASE <sup>注</sup>
0	0	1	0	0	0	INTTB1OV_BASE <sup>注</sup>
0	0	1	0	0	1	INTCMP0L
0	0	1	0	1	0	INTCMP0F
0	0	1	0	1	1	INTCMP1L
0	0	1	1	0	0	INTCMP1F
0	0	1	1	0	1	INTTB0CC0
0	0	1	1	1	0	INTTB0CC1
0	0	1	1	1	1	INTTB0CC2
0	1	0	0	0	0	INTTB0CC3
0	1	0	0	0	1	INTTB1CC0
0	1	0	0	1	0	INTTB1CC1
0	1	0	0	1	1	INTTB1CC2
0	1	0	1	0	0	INTTB1CC3
0	1	0	1	0	1	INTTTEQC00
0	1	0	1	1	0	INTTTEQC01
0	1	0	1	1	1	INTTTEQC10
0	1	1	0	0	0	INTTTEQC11
0	1	1	0	0	1	INTTA0CC0
0	1	1	0	1	0	INTTA0CC1
0	1	1	0	1	1	INTTA1CC0
0	1	1	1	0	0	INTTA1CC1
0	1	1	1	0	1	INTTA2CC0
0	1	1	1	1	0	INTTA2CC1
0	1	1	1	1	1	INTTA3CC0
1	0	0	0	0	0	INTTA3CC1
1	0	0	0	0	1	INTTA4CC0
1	0	0	0	1	0	INTTA4CC1
1	0	0	0	1	1	INTDMA0
1	0	0	1	0	0	INTDMA1
1	0	0	1	0	1	INTDMA2
1	0	0	1	1	0	INTDMA3

備考 n = 0-3

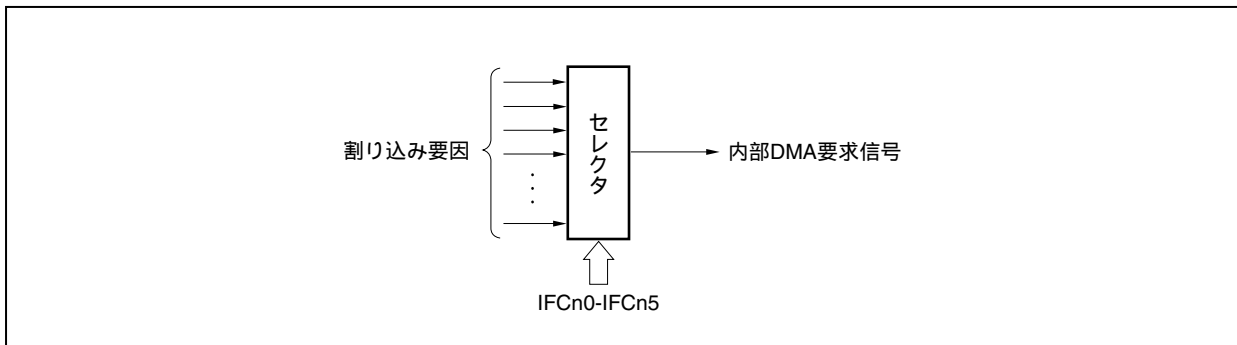
注 INTTBaOV\_BASEは、6相PWM出力モード時にINTTBaOVがTMQaオプション (TMQOPa) で間引き処理される前の割り込み信号です (a = 0, 1)。また、INTTBaCC0も間引き前の割り込み信号です。詳細については、図10 - 2 TMQnオプションを参照してください。

表19 - 1 DMA転送の起動要因 (2/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
1	0	0	1	1	1	INTUBTIR
1	0	1	0	0	0	INTUBTIT
1	0	1	0	0	1	INTUBTIF
1	0	1	0	1	0	INTUA0R
1	0	1	0	1	1	INTUA0T
1	0	1	1	0	0	INTCB0R
1	0	1	1	0	1	INTCB0T
1	0	1	1	1	0	INTUA1R
1	0	1	1	1	1	INTUA1T
1	1	0	0	0	0	INTCB1R
1	1	0	0	0	1	INTCB1T
1	1	0	0	1	0	INTUA2R
1	1	0	0	1	1	INTUA2T
1	1	0	1	0	0	INTCB2R
1	1	0	1	0	1	INTCB2T
1	1	0	1	1	0	INTIIC
1	1	0	1	1	1	INTAD0
1	1	1	0	0	0	INTAD1
1	1	1	0	0	1	INTAD2
1	1	1	0	1	0	INTTM0EQ0
1	1	1	0	1	1	INTTM1EQ0
1	1	1	1	0	0	INTTM2EQ0
1	1	1	1	0	1	INTTM3EQ0
その他						設定禁止

備考 n = 0-3

DMA転送トリガとなる割り込み要因の関係を次に示します (n = 0-3)。



- 注意1. IFCn5-IFCn0ビットで設定した割り込み要因によりDMAが起動とともに発生します。割り込み処理を実行させたくない場合は、割り込み制御レジスタで割り込みをマスクしてください。割り込みをマスクしてもDMAは起動されます。
2. クロック・ジェネレータのプリスケアラ2の設定により、CPUクロックの周波数を低下させることで各内蔵周辺I/Oのクロックより遅くなった場合には、DMA転送の起動要因が受け付けられない場合があります。

## 19.4 転送モード

### 19.4.1 シングル転送モード

シングル転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先されます。ただし、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合は、前回の優先順位が高いDMA転送要求信号がアクティブのままでもこの要求は優先されず、CPUにバスを解放した次の転送は新たに要求のあった優先順位の低い方のDMA転送となります。

図19 - 1から図19 - 4にシングル転送の例を示します。

図19 - 1 シングル転送例1

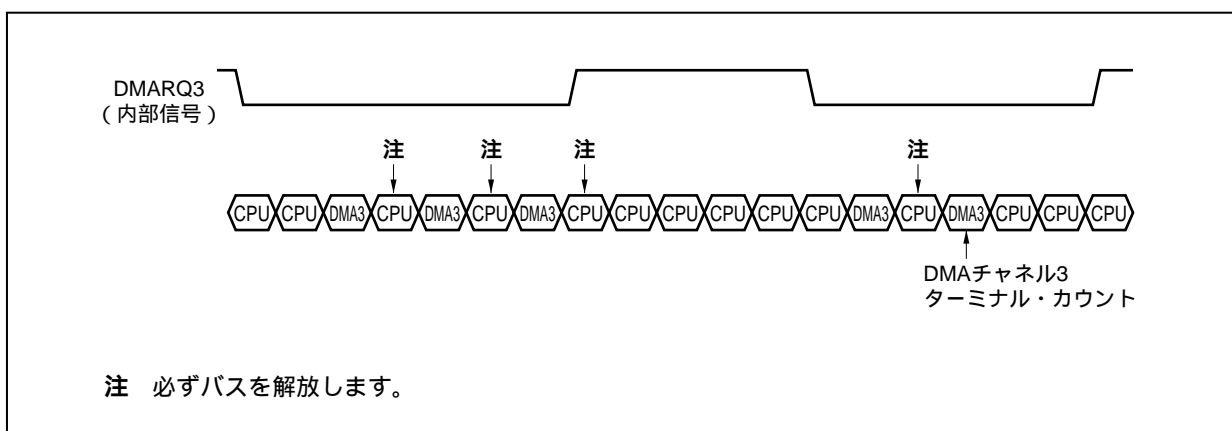


図19 - 2は、優先順位の高いDMA要求が発生した場合のシングル転送の例で、DMAチャンネル0-2はブロック転送、チャンネル3はシングル転送です。

図19 - 2 シングル転送例2

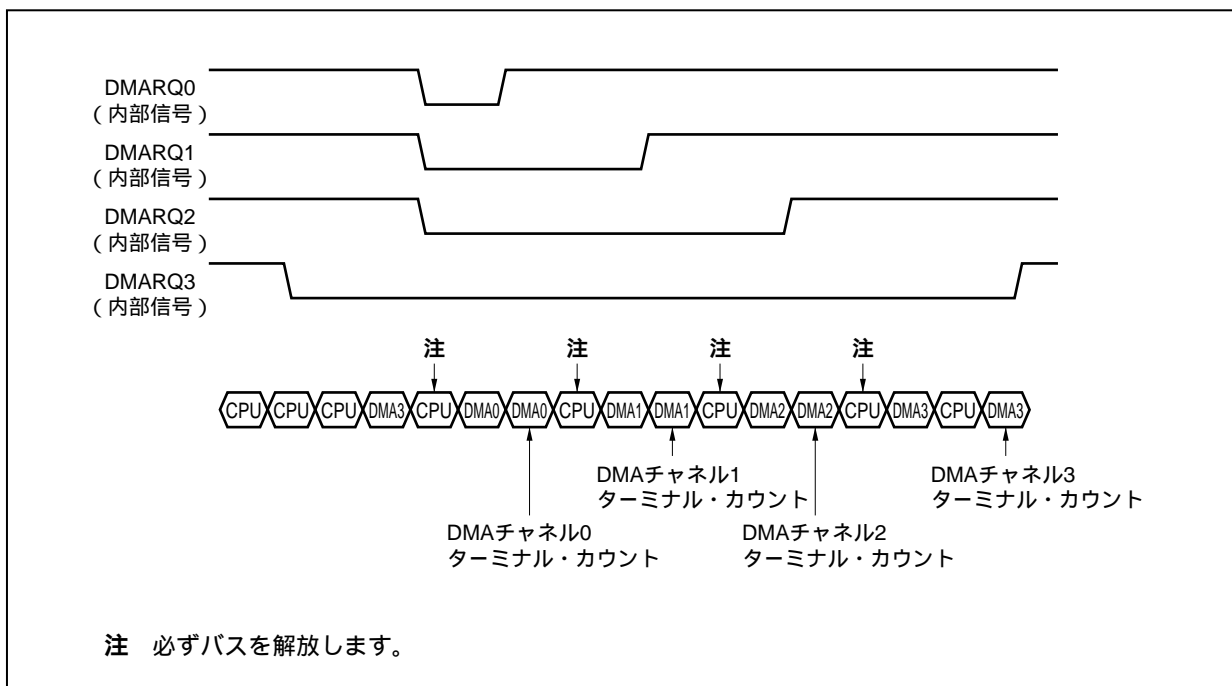


図19 - 3は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合のシングル転送の例で、DMAチャンネル0, 3はシングル転送です。2つのDMA転送要求信号が同時にアクティブになっているときは、2つのDMA転送を交互に行います。

図19 - 3 シングル転送例3

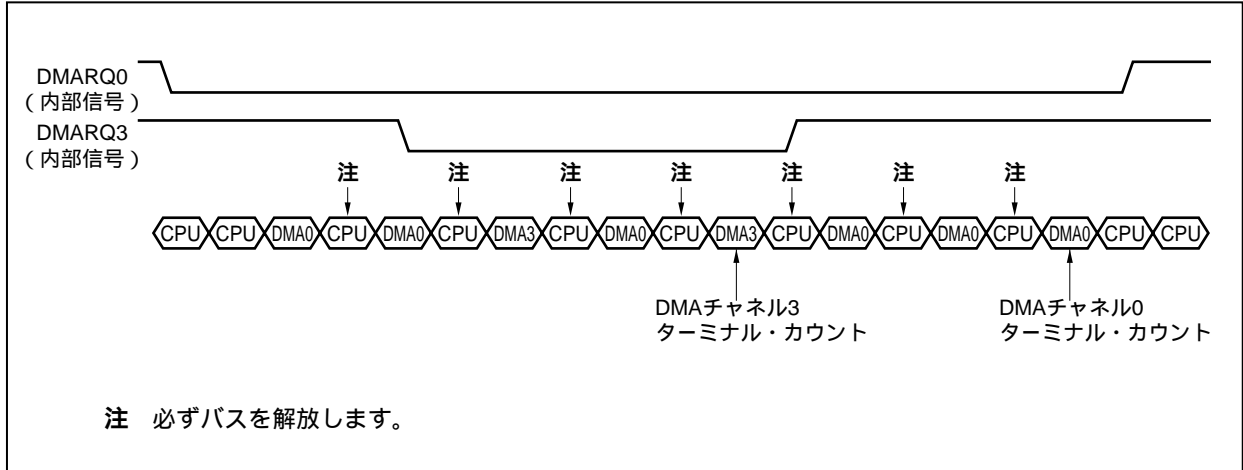
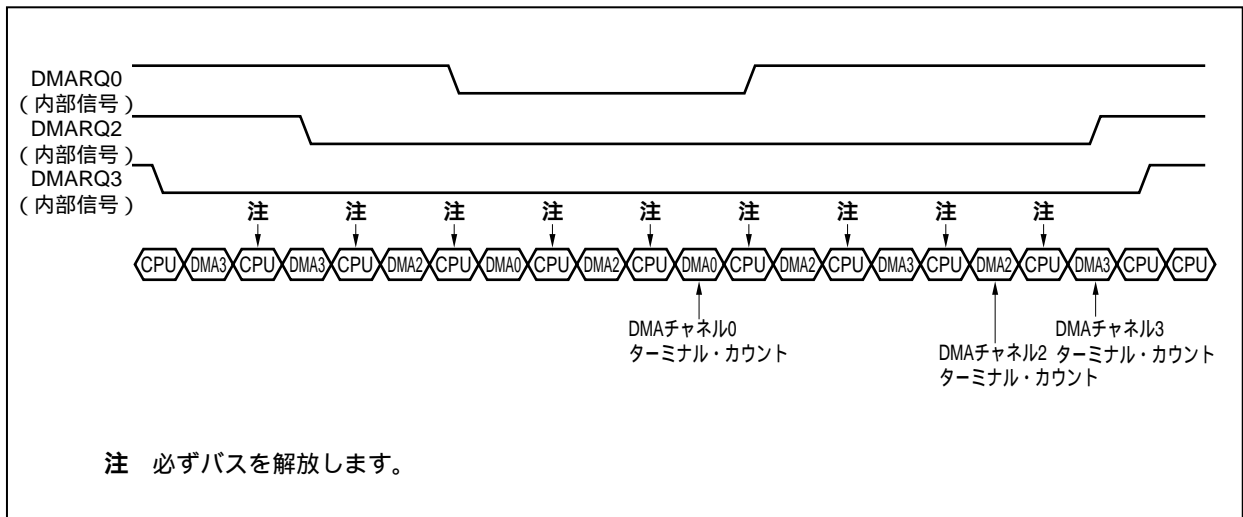


図19 - 4は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求の発生が複数あった場合のシングル転送の例で、DMAチャンネル0, 2, 3はシングル転送です。3つ以上のDMA転送要求信号が同時にアクティブになっているときは、優先順位が高い順から2つのDMA転送を交互に行います。

図19 - 4 シングル転送例4



### 19.4.2 シングルステップ転送モード

シングルステップ転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。一度、DMA転送要求信号を受けると、ターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

次にシングルステップ転送の例を示します。図19 - 6は、優先順位が高いDMA転送要求が発生した場合のシングルステップ転送モードの例で、DMAチャンネル0, 1ともにシングルステップ転送です。

図19 - 5 シングルステップ転送例1

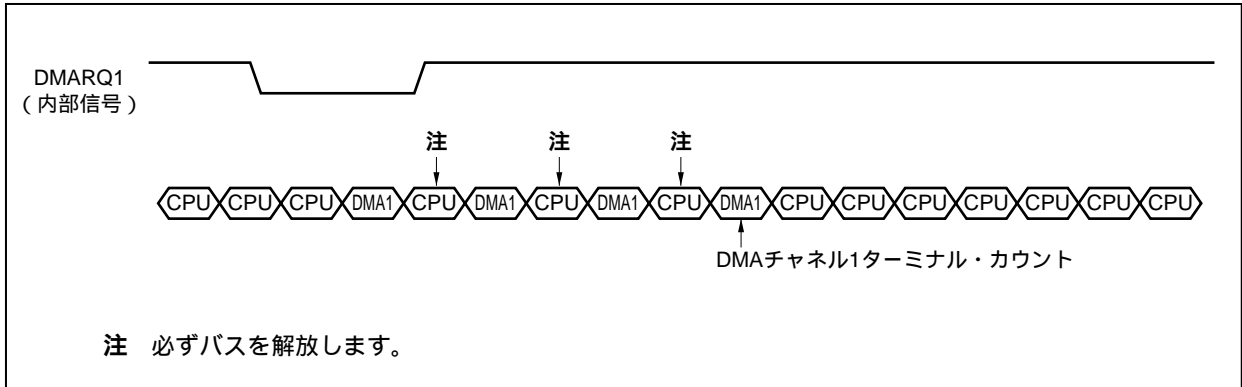
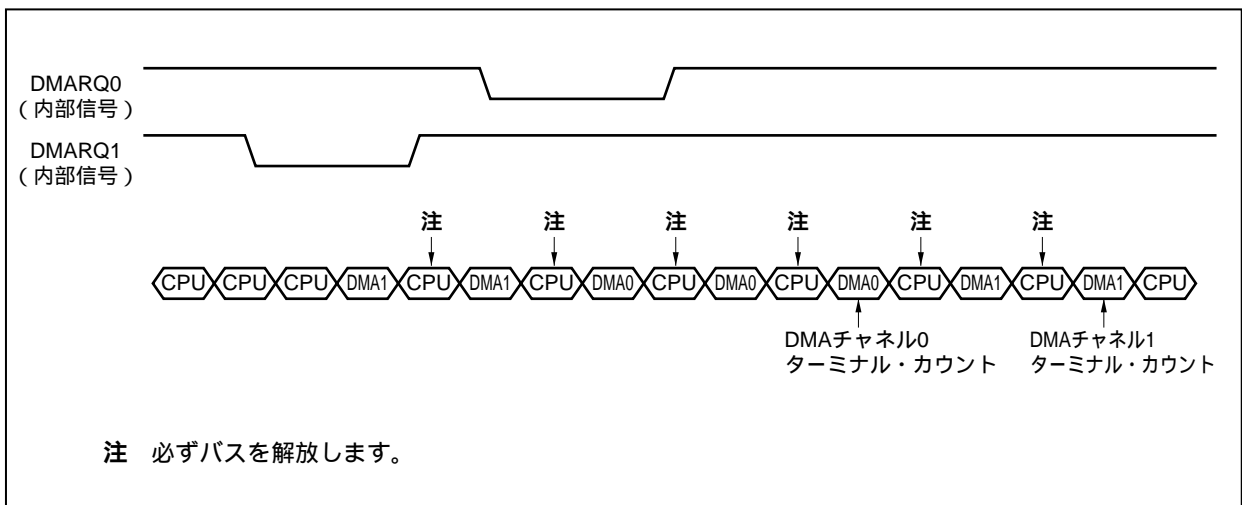


図19 - 6 シングルステップ転送例2





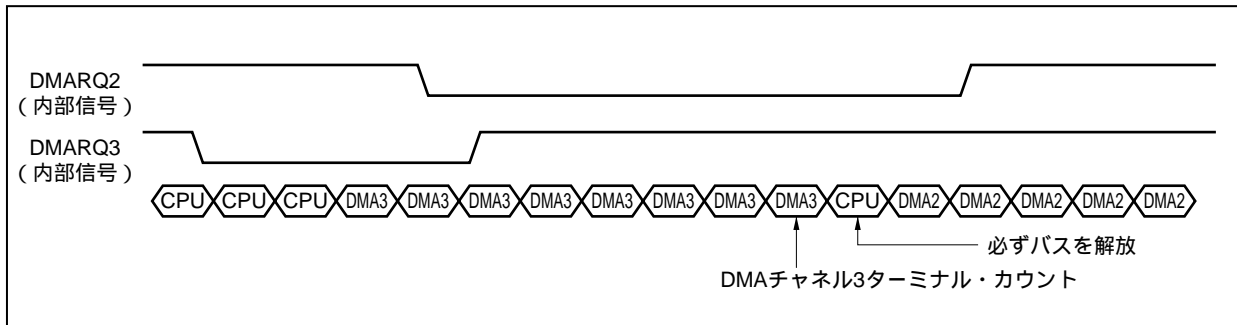
### 19.4.3 ブロック転送モード

ブロック転送では、転送が開始されると、ターミナル・カウントが発生するまでバスを解放せず転送を続けます。ブロック転送中は、ほかのDMA要求は受け付けません。

ブロック転送が終了しDMACがバスを解放したあとに、ほかのDMA転送を受け付けます。

次にブロック転送の例を示します。優先順位の高いDMA要求が発生した場合のブロック転送の例で、DMAチャンネル2, 3はブロック転送です。

図19 - 7 ブロック転送例



## 19.5 転送タイプ

### 19.5.1 2サイクル転送

2サイクル転送は、リード・サイクル (転送元 DMAC)、ライト・サイクル (DMAC 転送先) と2回のサイクルでデータを転送します。

1回目のサイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、2回目のサイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

**注意** リード・サイクルとライト・サイクルの間に、必ず1~2クロック分のアイドル・サイクルが挿入されます。

## 19.6 転送対象

### 19.6.1 転送の種類と転送対象

転送の種類と転送対象の関係を次に示します（○：転送可，×：転送不可）。

表19 - 2 転送の種類と転送対象の関係

		転送先		
		内蔵ROM	内蔵周辺I/O <sup>注</sup>	内蔵RAM
転送元	内蔵周辺I/O <sup>注</sup>	×		
	内蔵RAM	×		×
	内蔵ROM	×	×	×

注 転送対象が内蔵周辺I/Oの場合はシングル転送モードのみ使用可能です。

- 注意1. 表19 - 2に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証しません。
2. DMA転送の転送元，転送先のアドレスに3FFF000H-3FFFFFFFHを指定することができません。  
転送元，転送先のアドレスには，必ずFFFF000H-FFFFFFFHのアドレスを指定してください。

備考 内蔵周辺I/Oレジスタを対象（転送元 / 転送先）とするDMA転送の場合，必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば，8ビットのレジスタに対するDMA転送の場合は，必ずバイト（8ビット）転送を指定してください。

## 19.7 DMAチャネルの優先順位

DMAチャネルの優先順位は固定で、次のようになります。

DMAチャネル0 > DMAチャネル1 > DMAチャネル2 > DMAチャネル3

ブロック転送中は転送するチャネルが入れ替わることはありません。

シングルステップ転送中でバスを解放している期間中に、ほかの優先順位が高いDMA転送要求が発生した場合は、優先順位が高いDMA転送を行います。

## 19.8 ネクスト・アドレス設定機能

DSAnH, DSAnL, DDAAnH, DDAAnL, DBCnレジスタは、マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタです (n = 0-3)。

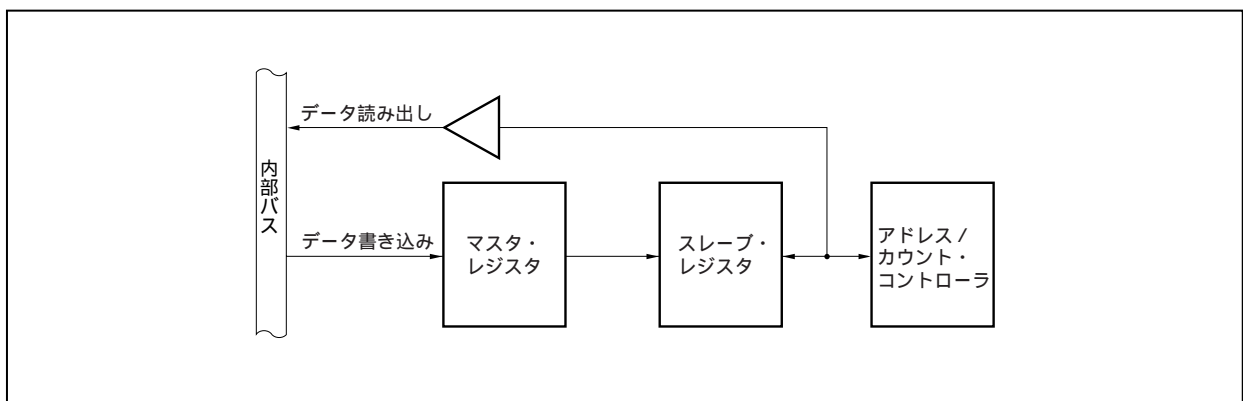
ターミナル・カウントが発生すると、これらのレジスタは直前に設定された値に自動的に書き換えられます。

したがって、DMA転送中に、これらのレジスタに対して新たなDMA転送の設定を行えば、転送終了後に、自動的に新たな設定値に更新されます<sup>※</sup>。

**注** さらに新たなDMA転送の設定を行う場合は、DMA転送が開始されたことを確認してから行ってください。DMA転送の開始前に新たな設定を行うと、マスタ、スレーブの両レジスタに設定値が上書きされてしまいます。

次にバッファ・レジスタの構成を示します。

図19-8 バッファ・レジスタの構成



実際のDMA転送はスレーブ・レジスタの内容に基づいて行われます。

マスタ・レジスタ、スレーブ・レジスタに反映される設定値は、設定を行うタイミング（期間）により、次のように異なります。

**(1) システム・リセットから最初のDMA転送要求発生までの期間**

設定値は、マスタ、スレーブの両レジスタに反映されます。

**(2) DMA転送中 (DMA転送要求発生からDMA転送終了までの期間)**

設定値は、マスタ・レジスタだけに反映されます。スレーブ・レジスタへは反映されません (スレーブ・レジスタは、次のDMA転送の設定値を保持します)。

ただし、DMA転送終了後、マスタ・レジスタの内容がスレーブ・レジスタに自動的に上書きされます。

なお、この期間に各レジスタの値を読み出すと、スレーブ・レジスタの値が読み出されます。

また、DMA転送が開始されたことを判別するには、DBCnレジスタを読み出して1回目の転送が行われたことを確認してください (n = 0-3)。

**(3) DMA転送終了から次のDMA転送開始までの期間**

設定値は、マスタ、スレーブの両レジスタに反映されます。

**備考** 「DMA転送終了」とは、次のどちらかの場合を示します。

- ・DMA転送の終了 (ターミナル・カウント)
- ・DMA転送の強制終了 (DCHCn.INITnビットのセット (1))

## 19.9 DMA転送起動要因

DMA転送の起動要因には、次の2種類があります。

**注意1.** 同一のチャンネルに対して、各起動要因（（1）、（2））を併用しないでください（各起動要因が同時に発生した場合、どちらか一方だけが有効となりますが、有効となった起動要因の特定はできません）。

併用した場合の動作は保証しません。

2. ソフトウェアDMAで転送を起動する場合、DCHCn.STGnビット操作（STGnビットのセット（1））によって、期待しているDMA転送動作が終了したかどうかをソフトウェア上で適切に検出しない場合、次に（2回目に）行われるSTGnビット操作が「ソフトウェアの期待する次のDMA転送」の起動に対応しているかどうかは、保証できません（ $n = 0-3$ ）。

たとえば、STGnビット操作によってシングル転送を起動した場合、そのシングル転送が実際に実行されたかどうかをソフトウェア上で確認しないで、次の（2回目の）STGnビット操作を行っても、次の（2回目の）DMA転送が実行されるとはかぎりません。これは、1回目のSTGnビット操作を行ったときに、優先順位がさらに高いDMA転送が起動していた場合など、1回目の起動対象のDMA転送が起動または終了しないまま、次の（2回目の）STGnビット操作が行われてしまう可能性があるためです。

したがって、STGnビット操作による対象のDMA転送が終了したかどうかを確認してから、次の（2回目の）STGnビット操作を行う必要があります。

DMA転送終了の確認例として、DBCnレジスタの内容を確認するという方法があります。

### （1）ソフトウェア・トリガによる起動要因

DCHCn.STGn, Enn, TCnビットが次のように設定されると、ソフトウェア要求によりDMA転送を開始します（ $n = 0-3$ ）。

- ・ STGnビット = 1
- ・ Ennビット = 1
- ・ TCnビット = 0

### （2）内蔵周辺I/Oによる起動要因

DCHCn.Enn, TCnビットが次のように設定されている状態で、DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると、DMA転送要求を開始します（ $n = 0-3$ ）。

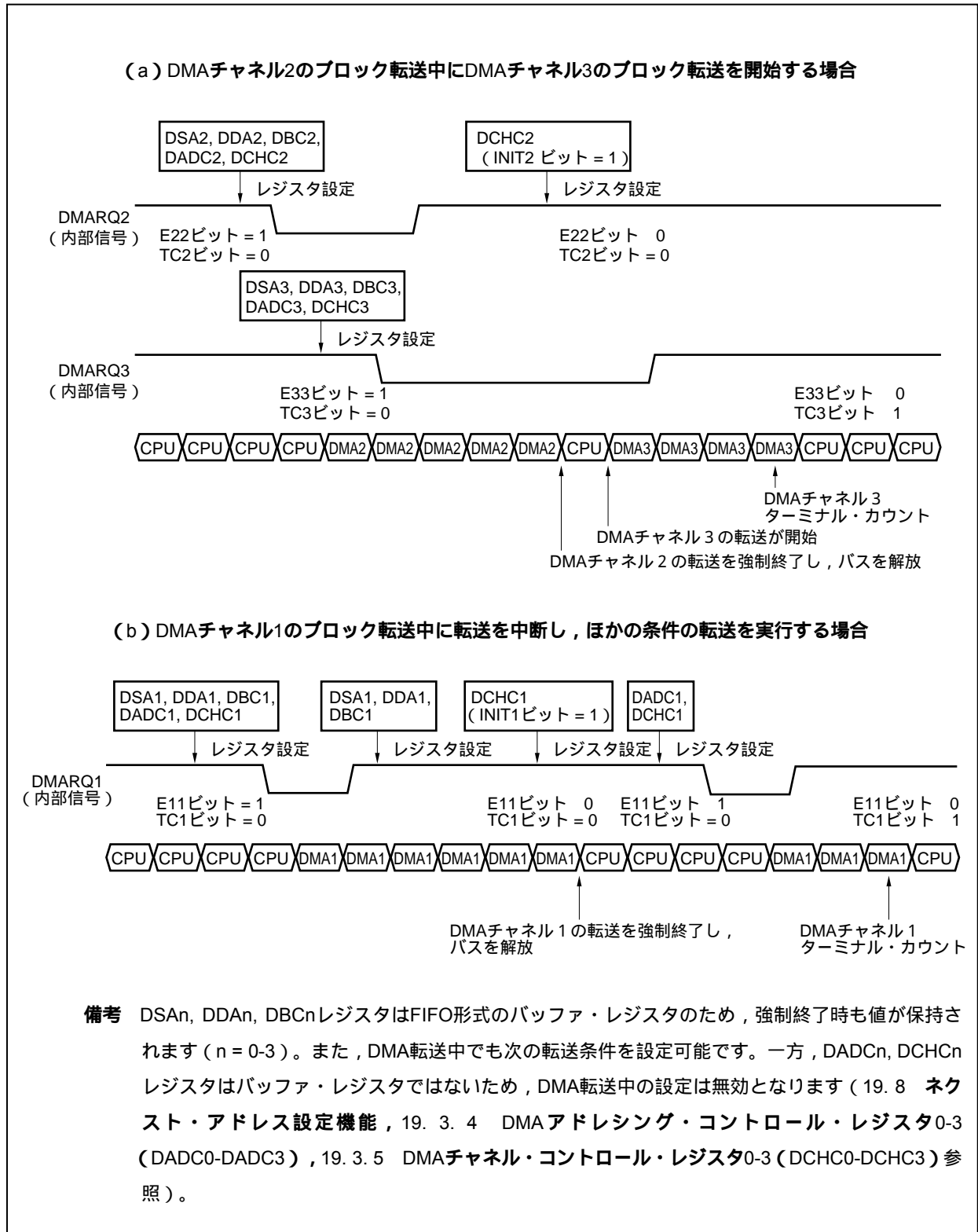
- ・ Ennビット = 1
- ・ TCnビット = 0

## 19.10 強制終了

DMA転送は、DCHCn.INITnビットによって強制終了することができます (n = 0-3)。

DCHCn.INITnビットによる強制終了動作の例を次に示します (n = 0-3)

図19-9 DMA転送の強制終了例



## 19.11 DMA転送に関する各種時間

DMA転送前後のオーバーヘッド部分，DMA転送にかかる最小クロック数を次に示します。

表19-3 DMAサイクル中の最小実行クロック数

DMAサイクル		最小実行クロック数
DMA要求に対する応答時間		4クロック <sup>注1</sup>
メモリ・アクセス	内蔵RAMアクセス	2クロック <sup>注2</sup>
	内蔵周辺I/Oレジスタ・アクセス	4クロック + VSWCレジスタによるウェイト数

注1. 外部割り込み (INTPn) をDMA転送の起動要因に指定した場合，ノイズ除去時間が加算されます (n = 11-13, 15, 17, 18)。

2. DMAサイクルの場合は，2クロックかかります。

また，各転送モードにおけるDMAサイクル中の最小実行クロックを次に示します。

シングル転送: DMA応答時間 ( ) + 転送元メモリ・アクセス ( ) + 1<sup>注</sup> + 転送先メモリ・アクセス ( )

ブロック転送: DMA応答時間 ( ) + ( 転送元メモリ・アクセス ( ) + 1<sup>注</sup> + 転送先メモリ・アクセス ( ) ) × 転送回数

注 DMA転送のリード・サイクルとライト・サイクルの間には，必ず1クロック挿入されます。

## 19.12 注意事項

### (1) メモリ境界

DMA転送中に，転送元，または転送先のアドレスがDMA対象 (内蔵RAM，内蔵周辺I/O) の領域を越えた場合の動作は保証しません。

### (2) ミスアライン・データの転送

16ビット・バス幅のミスアライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元，または転送先に指定した場合，アドレスの最下位ビットは強制的に0として扱われます。

### (3) CPUへのバス・アービトレーション

バス使用权の優先順位はCPUよりDMAコントローラが高いため，DMA転送中に発生したCPUのアクセスは，DMA転送サイクルが完了しCPUにバスが解放されるまで待たされます。

ただし，CPUはDMA転送を行っていない内蔵ROM，内蔵RAMにアクセスが可能です。

- ・内蔵周辺I/O 内蔵RAMでDMA転送が行われているときは，CPUは内蔵ROMにアクセスできます。
- ・内蔵周辺I/O 内蔵周辺I/OでDMA転送が行われているときは，CPUは内蔵ROM，内蔵RAMにアクセスできます。



**(4) DMAの起動要因**

複数のDMAチャネルを同じ起動要因で設定する場合は注意してください。

起動した場合、優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられる場合があります。

**(5) 内蔵RAMでのプログラム実行とDMA転送**

内蔵RAMを対象としたDMA転送と内蔵RAMでの命令実行は同時に行わないでください。

**(6) DCHCn.TCnビットのセット・タイミング**

DCHCn.TCnビットは、通常、DMA転送の最後の転送時にセット(1)されますが、内蔵RAMを転送元とするDMA転送の場合は、最後の転送が終了後4クロック経過してからセット(1)されます(n=0-3)。

**(7) DSAn, DDAnレジスタの読み出し値**

DMA転送中に、DSAn, DDAnレジスタの値を読み出した場合、更新途中の値が読み出されることがあります(n=0-3)。

たとえば、DMA転送元アドレス(DSAnレジスタ)が「0000FFFFH」、カウント方向がインクリメント(DADCnレジスタのSADn1, SADn0ビット=00)の場合、DSAnHレジスタ DSAnLレジスタの順に読み出しを行うと、DSAnHレジスタ読み出し直後のDMA転送の有無によって、DSAnLレジスタの値が次のように異なります。

**(a) DSAnレジスタの読み出し中にDMA転送が発生しない場合**

<1>DSAnHレジスタの読み出し: DSAnH = 0000H

<2>DSAnLレジスタの読み出し: DSAnL = FFFFH

**(b) DSAnレジスタの読み出し中にDMA転送が発生する場合**

<1>DSAnHレジスタの読み出し: DSAnH = 0000H

<2>DMA転送の発生

<3>DSAnレジスタのインクリメント: DSAn = 00010000H

<4>DSAnLレジスタの読み出し: DSAnL = 0000H

**(8) CLR1, NOT1, SET1命令**

CLR1, NOT1, SET1命令は、一度レジスタを読み出してから対象のビットを操作したあとに書き込みます。

そのため、DCHCn.Ennビット=1をSET1命令で実行する場合、DCHCn.TCnビット=1のときは、読み出しによって、TCnビットがクリア(0)されます(n=0-3)。

**19.13 DMA転送の終了**

DMA転送が終了し、DCHCn.TCnビットがセット(1)されると、割り込みコントローラ(INTC)に対して、DMA転送終了割り込み(INTDMA<sub>n</sub>)を発生します(n=0-3)。

## 第20章 割り込み / 例外処理機能

V850E/IF3, V850E/IG3は、割り込み処理用に専用の割り込みコントローラ (INTC) を内蔵し、合計89要因から96要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850E/IF3, V850E/IG3では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動 (ソフトウェア例外) や、例外事象の発生 (不正命令コードのフェッチ) による例外処理の起動 (例外トラップ) が可能です。

### 20.1 特 徴

#### 割り込み

- ・ ノンマスクابل割り込み：1要因 (外部：なし，内部：1要因)
- ・ マスクابل割り込み (製品によりマスクابل割り込みの要因数が異なります)
  - V850E/IF3：88要因 (外部：15要因，内部：73要因)
  - V850E/IG3：95要因 (外部：21要因，内部：74要因)
- ・ 8レベルのプログラマブル優先順位制御 (マスクابل割り込み)
- ・ 優先順位に従った割り込み多重処理制御
- ・ 個々のマスクابل割り込み要求に対するマスク指定
- ・ 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

#### 例外

- ・ ソフトウェア例外：32要因
- ・ 例外トラップ：2要因 (不正命令コード例外，デバッグ・トラップ)

これらの割り込み要因を表20 - 1に示します。

表20 - 1 割り込み要因一覧 (1/4)

種類	分類	割り込み / 例外要因				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
		名称	制御レジスタ	発生要因	発生ユニット				
リセット	割り込み	RESET	-	RESET端子入力	端子	-	0000H	00000000H	不定
			-	WDTオーバフロー (WDTRES)	WDT				
ノンマスクابل	割り込み	INTWDT	-	WDTオーバフロー	WDT	-	0010H	00000010H	nextPC
ソフトウェア例外	例外	TRAP0n <sup>注1</sup>	-	TRAP命令	-	-	004nH	00000040H	nextPC
	例外	TRAP1n <sup>注1</sup>	-	TRAP命令	-	-	005nH	00000050H	nextPC
例外トラップ	例外	ILGOP/ DBG0	-	不正命令コード / DBTRAP命令	-	-	0060H	00000060H	nextPC
マスクابل	割り込み	INTLVIL	LVLIC	LVI LOWレベル電圧検出	LVI	0	0080H	00000080H	nextPC
	割り込み	INTLVIH	LVIHIC	LVI HIGHレベル電圧検出	LVI	1	0090H	00000090H	nextPC
	割り込み	INTP00	PIC00	INTP00端子有効エッジ入力	端子	2	00A0H	000000A0H	nextPC
	割り込み	INTP01	PIC01	INTP01端子有効エッジ入力	端子	3	00B0H	000000B0H	nextPC
	割り込み	INTP02 <sup>注2</sup>	PIC02 <sup>注2</sup>	INTP02端子有効エッジ入力	端子	4	00C0H	000000C0H	nextPC
	割り込み	INTP03 <sup>注2</sup>	PIC03 <sup>注2</sup>	INTP03端子有効エッジ入力	端子	5	00D0H	000000D0H	nextPC
	割り込み	INTP04 <sup>注2</sup>	PIC04 <sup>注2</sup>	INTP04端子有効エッジ入力	端子	6	00E0H	000000E0H	nextPC
	割り込み	INTP05 <sup>注2</sup>	PIC05 <sup>注2</sup>	INTP05端子有効エッジ入力	端子	7	00F0H	000000F0H	nextPC
	割り込み	INTP06 <sup>注2</sup>	PIC06 <sup>注2</sup>	INTP06端子有効エッジ入力	端子	8	0100H	00000100H	nextPC
	割り込み	INTP07 <sup>注2</sup>	PIC07 <sup>注2</sup>	INTP07端子有効エッジ入力	端子	9	0110H	00000110H	nextPC
	割り込み	INTP08	PIC08	INTP08端子有効エッジ入力	端子	10	0120H	00000120H	nextPC
	割り込み	INTP09	PIC09	INTP09端子有効エッジ入力	端子	11	0130H	00000130H	nextPC
	割り込み	INTP10	PIC10	INTP10端子有効エッジ入力	端子	12	0140H	00000140H	nextPC
	割り込み	INTP11	PIC11	INTP11端子有効エッジ入力	端子	13	0150H	00000150H	nextPC
	割り込み	INTP12	PIC12	INTP12端子有効エッジ入力	端子	14	0160H	00000160H	nextPC
	割り込み	INTP13	PIC13	INTP13端子有効エッジ入力	端子	15	0170H	00000170H	nextPC
	割り込み	INTP14	PIC14	INTP14端子有効エッジ入力	端子	16	0180H	00000180H	nextPC
	割り込み	INTP15	PIC15	INTP15端子有効エッジ入力	端子	17	0190H	00000190H	nextPC
	割り込み	INTP16	PIC16	INTP16端子有効エッジ入力	端子	18	01A0H	000001A0H	nextPC
	割り込み	INTP17	PIC17	INTP17端子有効エッジ入力	端子	19	01B0H	000001B0H	nextPC
割り込み	INTP18	PIC18	INTP18端子有効エッジ入力	端子	20	01C0H	000001C0H	nextPC	
割り込み	INTCMP0L	CMPIC0L	ADC0の過電圧検出L (コンパレータ出力)	ADC0 (コンパレータ)	21	01D0H	000001D0H	nextPC	
割り込み	INTCMP0F	CMPIC0F	ADC0の過電圧検出F (コンパレータ出力)	ADC0 (コンパレータ)	22	01E0H	000001E0H	nextPC	
割り込み	INTCMP1L	CMPIC1L	ADC1の過電圧検出L (コンパレータ出力)	ADC1 (コンパレータ)	23	01F0H	000001F0H	nextPC	
割り込み	INTCMP1F	CMPIC1F	ADC1の過電圧検出F (コンパレータ出力)	ADC1 (コンパレータ)	24	0200H	00000200H	nextPC	

注1. nは0-FHの値

2. V850E/IG3のみ

表20 - 1 割り込み要因一覧 (2/4)

種類	分類	割り込み / 例外要因				ディフォ ールト・ プライオ リティ	例外 コード	ハンドラ・ アドレス	復帰PC
		名称	制御 レジスタ	発生要因	発生 ユニット				
マスク ブル	割り込み	INTTB0OV	TB0OVIC	TAB0オーバフロー <sup>注2</sup>	TAB0	25	0210H	00000210H	nextPC
	割り込み	INTTB0CC0	TB0CCIC0	TAB0CCR0キャプチャ入力/ コンペア一致 <sup>注3</sup>	TAB0	26	0220H	00000220H	nextPC
	割り込み	INTTB0CC1	TB0CCIC1	TAB0CCR1キャプチャ入力/ コンペア一致	TAB0	27	0230H	00000230H	nextPC
	割り込み	INTTB0CC2	TB0CCIC2	TAB0CCR2キャプチャ入力/ コンペア一致	TAB0	28	0240H	00000240H	nextPC
	割り込み	INTTB0CC3	TB0CCIC3	TAB0CCR3キャプチャ入力/ コンペア一致	TAB0	29	0250H	00000250H	nextPC
	割り込み	INTTB1OV	TB1OVIC	TAB1オーバフロー <sup>注2</sup>	TAB1	30	0260H	00000260H	nextPC
	割り込み	INTTB1CC0	TB1CCIC0	TAB1CCR0キャプチャ入力/ コンペア一致 <sup>注3</sup>	TAB1	31	0270H	00000270H	nextPC
	割り込み	INTTB1CC1	TB1CCIC1	TAB1CCR1キャプチャ入力/ コンペア一致	TAB1	32	0280H	00000280H	nextPC
	割り込み	INTTB1CC2	TB1CCIC2	TAB1CCR2キャプチャ入力/ コンペア一致	TAB1	33	0290H	00000290H	nextPC
	割り込み	INTTB1CC3	TB1CCIC3	TAB1CCR3キャプチャ入力/ コンペア一致	TAB1	34	02A0H	000002A0H	nextPC
	割り込み	INTTTIOV0	TT0OVIC	TMT0オーバフロー	TMT0	35	02B0H	000002B0H	nextPC
	割り込み	INTTTEQC00	TT0CCIC0	TT0CCR0キャプチャ入力 <sup>注4</sup> / コンペア一致	TMT0	36	02C0H	000002C0H	nextPC
	割り込み	INTTTEQC01	TT0CCIC1	TT0CCR1キャプチャ入力 <sup>注4</sup> / コンペア一致	TMT0	37	02D0H	000002D0H	nextPC
	割り込み	INTTIEC0 <sup>注1</sup>	TT0IECIC <sup>注1</sup>	エンコーダ入力割り込み0	TMT0	38	02E0H	000002E0H	nextPC
	割り込み	INTTTIOV1	TT1OVIC	TMT1オーバフロー	TMT1	39	02F0H	000002F0H	nextPC
	割り込み	INTTTEQC10	TT1CCIC0	TT1CCR0キャプチャ入力/ コンペア一致	TMT1	40	0300H	00000300H	nextPC
	割り込み	INTTTEQC11	TT1CCIC1	TT1CCR1キャプチャ入力/ コンペア一致	TMT1	41	0310H	00000310H	nextPC
	割り込み	INTTIEC1	TT1IECIC	エンコーダ入力割り込み1	TMT1	42	0320H	00000320H	nextPC
割り込み	INTTA0OV	TA0OVIC	TAA0オーバフロー	TAA0	43	0330H	00000330H	nextPC	

注1. V850E/IG3のみ

- TABmを6相PWM出力モードで使用する場合は、TMQmオプション (TMQOPm) からのINTTBmOV (谷割り込み) として機能します (m = 0, 1)。
- TABmを6相PWM出力モードで使用する場合は、TMQmオプション (TMQOPm) からのINTTBmCC0 (山割り込み) として機能します (m = 0, 1)。
- V850E/IG3のみ。  
V850E/IF3ではコンペア一致のみ。

表20 - 1 割り込み要因一覧 (3/4)

種類	分類	割り込み / 例外要因				ディフォ ールト・ プライオ リティ	例外 コード	ハンドラ・ アドレス	復帰PC
		名称	制御 レジスタ	発生要因	発生 ユニット				
マスク ブル	割り込み	INTTA0CC0	TA0CCIC0	TA0CCR0コンペアー致	TAA0	44	0340H	00000340H	nextPC
	割り込み	INTTA0CC1	TA0CCIC1	TA0CCR1コンペアー致	TAA0	45	0350H	00000350H	nextPC
	割り込み	INTTA1OV	TA1OVIC	TAA1オーバフロー	TAA1	46	0360H	00000360H	nextPC
	割り込み	INTTA1CC0	TA1CCIC0	TA1CCR0コンペアー致	TAA1	47	0370H	00000370H	nextPC
	割り込み	INTTA1CC1	TA1CCIC1	TA1CCR1コンペアー致	TAA1	48	0380H	00000380H	nextPC
	割り込み	INTTA2OV	TA2OVIC	TAA2オーバフロー	TAA2	49	0390H	00000390H	nextPC
	割り込み	INTTA2CC0	TA2CCIC0	TA2CCR0キャプチャ入力/ コンペアー致	TAA2	50	03A0H	000003A0H	nextPC
	割り込み	INTTA2CC1	TA2CCIC1	TA2CCR1キャプチャ入力/ コンペアー致	TAA2	51	03B0H	000003B0H	nextPC
	割り込み	INTTA3OV	TA3OVIC	TAA3オーバフロー	TAA3	52	03C0H	000003C0H	nextPC
	割り込み	INTTA3CC0	TA3CCIC0	TA3CCR0キャプチャ入力 <sup>注</sup> / コンペアー致	TAA3	53	03D0H	000003D0H	nextPC
	割り込み	INTTA3CC1	TA3CCIC1	TA3CCR1キャプチャ入力 <sup>注</sup> / コンペアー致	TAA3	54	03E0H	000003E0H	nextPC
	割り込み	INTTA4OV	TA4OVIC	TAA4オーバフロー	TAA4	55	03F0H	000003F0H	nextPC
	割り込み	INTTA4CC0	TA4CCIC0	TA4CCR0キャプチャ入力/ コンペアー致	TAA4	56	0400H	00000400H	nextPC
	割り込み	INTTA4CC1	TA4CCIC1	TA4CCR1キャプチャ入力/ コンペアー致	TAA4	57	0410H	00000410H	nextPC
	割り込み	INTDMA0	DMAIC0	DMAチャンネル0転送終了	DMA0	58	0420H	00000420H	nextPC
	割り込み	INTDMA1	DMAIC1	DMAチャンネル1転送終了	DMA1	59	0430H	00000430H	nextPC
	割り込み	INTDMA2	DMAIC2	DMAチャンネル2転送終了	DMA2	60	0440H	00000440H	nextPC
	割り込み	INTDMA3	DMAIC3	DMAチャンネル3転送終了	DMA3	61	0450H	00000450H	nextPC
	割り込み	INTUBTIRE	UREIC	UARTB受信エラー	UARTB	62	0460H	00000460H	nextPC
	割り込み	INTUBTIR	URIC	UARTB受信終了	UARTB	63	0470H	00000470H	nextPC
	割り込み	INTUBTIT	UTIC	UARTB送信許可	UARTB	64	0480H	00000480H	nextPC
	割り込み	INTUBTIF	UIFIC	UARTB FIFO送信終了	UARTB	65	0490H	00000490H	nextPC
	割り込み	INTUBTITO	UTOIC	UARTB受信タイムアウト	UARTB	66	04A0H	000004A0H	nextPC
	割り込み	INTUA0RE	UA0REIC	UARTA0受信エラー	UARTA0	67	04B0H	000004B0H	nextPC
	割り込み	INTUA0R	UA0RIC	UARTA0受信終了	UARTA0	68	04C0H	000004C0H	nextPC
	割り込み	INTUA0T	UA0TIC	UARTA0送信許可	UARTA0	69	04D0H	000004D0H	nextPC
	割り込み	INTCB0RE	CB0REIC	CSIB0受信エラー	CSIB0	70	04E0H	000004E0H	nextPC
	割り込み	INTCB0R	CB0RIC	CSIB0受信終了	CSIB0	71	04F0H	000004F0H	nextPC
	割り込み	INTCB0T	CB0TIC	CSIB0送信許可	CSIB0	72	0500H	00000500H	nextPC
	割り込み	INTUA1RE	UA1REIC	UARTA1受信エラー	UARTA1	73	0510H	00000510H	nextPC
割り込み	INTUA1R	UA1RIC	UARTA1受信終了	UARTA1	74	0520H	00000520H	nextPC	
割り込み	INTUA1T	UA1TIC	UARTA1送信許可	UARTA1	75	0530H	00000530H	nextPC	

注 V850E/IG3のみ。

V850E/IF3ではコンペアー致のみ。

表20 - 1 割り込み要因一覧 (4/4)

種類	分類	割り込み / 例外要因				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
		名称	制御レジスタ	発生要因	発生ユニット				
マスクブル	割り込み	INTCB1RE	CB1REIC	CSIB1受信エラー	CSIB1	76	0540H	00000540H	nextPC
	割り込み	INTCB1R	CB1RIC	CSIB1受信終了	CSIB1	77	0550H	00000550H	nextPC
	割り込み	INTCB1T	CB1TIC	CSIB1送信許可	CSIB1	78	0560H	00000560H	nextPC
	割り込み	INTUA2RE	UA2REIC	UARTA2受信エラー	UARTA2	79	0570H	00000570H	nextPC
	割り込み	INTUA2R	UA2RIC	UARTA2受信終了	UARTA2	80	0580H	00000580H	nextPC
	割り込み	INTUA2T	UA2TIC	UARTA2送信許可	UARTA2	81	0590H	00000590H	nextPC
	割り込み	INTCB2RE	CB2REIC	CSIB2受信エラー	CSIB2	82	05A0H	000005A0H	nextPC
	割り込み	INTCB2R	CB2RIC	CSIB2受信終了	CSIB2	83	05B0H	000005B0H	nextPC
	割り込み	INTCB2T	CB2TIC	CSIB2送信許可	CSIB2	84	05C0H	000005C0H	nextPC
	割り込み	INTIIC	IICIC	IICシリアル転送終了	IIC	85	05D0H	000005D0H	nextPC
	割り込み	INTAD0	AD0IC	ADC0変換終了	ADC0	86	05E0H	000005E0H	nextPC
	割り込み	INTAD1	AD1IC	ADC1変換終了	ADC1	87	05F0H	000005F0H	nextPC
	割り込み	INTAD2	AD2IC	ADC2変換終了	ADC2	88	0600H	00000600H	nextPC
	割り込み	INTTM0EQ0	TM0EQIC0	TM0CMP0コンペア一致	TMM0	89	0610H	00000610H	nextPC
	割り込み	INTTM1EQ0	TM1EQIC0	TM1CMP0コンペア一致	TMM1	90	0620H	00000620H	nextPC
	割り込み	INTTM2EQ0	TM2EQIC0	TM2CMP0コンペア一致	TMM2	91	0630H	00000630H	nextPC
	割り込み	INTTM3EQ0	TM3EQIC0	TM3CMP0コンペア一致	TMM3	92	0640H	00000640H	nextPC
	割り込み	INTADT0	ADT0IC	ADTRG0端子有効エッジ入力	端子	93	0650H	00000650H	nextPC
	割り込み	INTADT1	ADT1IC	ADTRG1端子有効エッジ入力	端子	94	0660H	00000660H	nextPC

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスクブル割り込み要求が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお、次の命令の実行中にノンマスクブル / マスクブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます。この場合、中断された命令のアドレスが復帰PCとなります）。

- ・ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- ・除算命令（DIV, DIVH, DIVU, DIVHU）
- ・PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、（復帰PC - 4）で求められます。

## 20.2 ノンマスカブル割り込み

ノンマスカブル割り込み要求信号は、CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求信号に対して最優先されます。

V850E/IF3, V850E/IG3のノンマスカブル割り込み要求信号は、ウォッチドッグ・タイマのオーバフローによるノンマスカブル割り込み要求信号（INTWDT）です。

INTWDTは、WDTM.WDM1, WDM0ビットを“01”と設定することで機能します。

## 20.2.1 動作

ノンマスクブル割り込み要求信号 (INTWDT) が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンに制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

ECRの上位ハーフワード (FECC) に例外コード (0010H) を書き込みます。

PSW.NP, IDビットをセット (1) し, PSW.EPビットをクリア (0) します。

PCにノンマスクブル割り込みに対するハンドラ・アドレス (00000010H) をセットし, 制御を移します。

ノンマスクブル割り込みの処理形態を次に示します。

図20 - 1 ノンマスクブル割り込みの処理形態

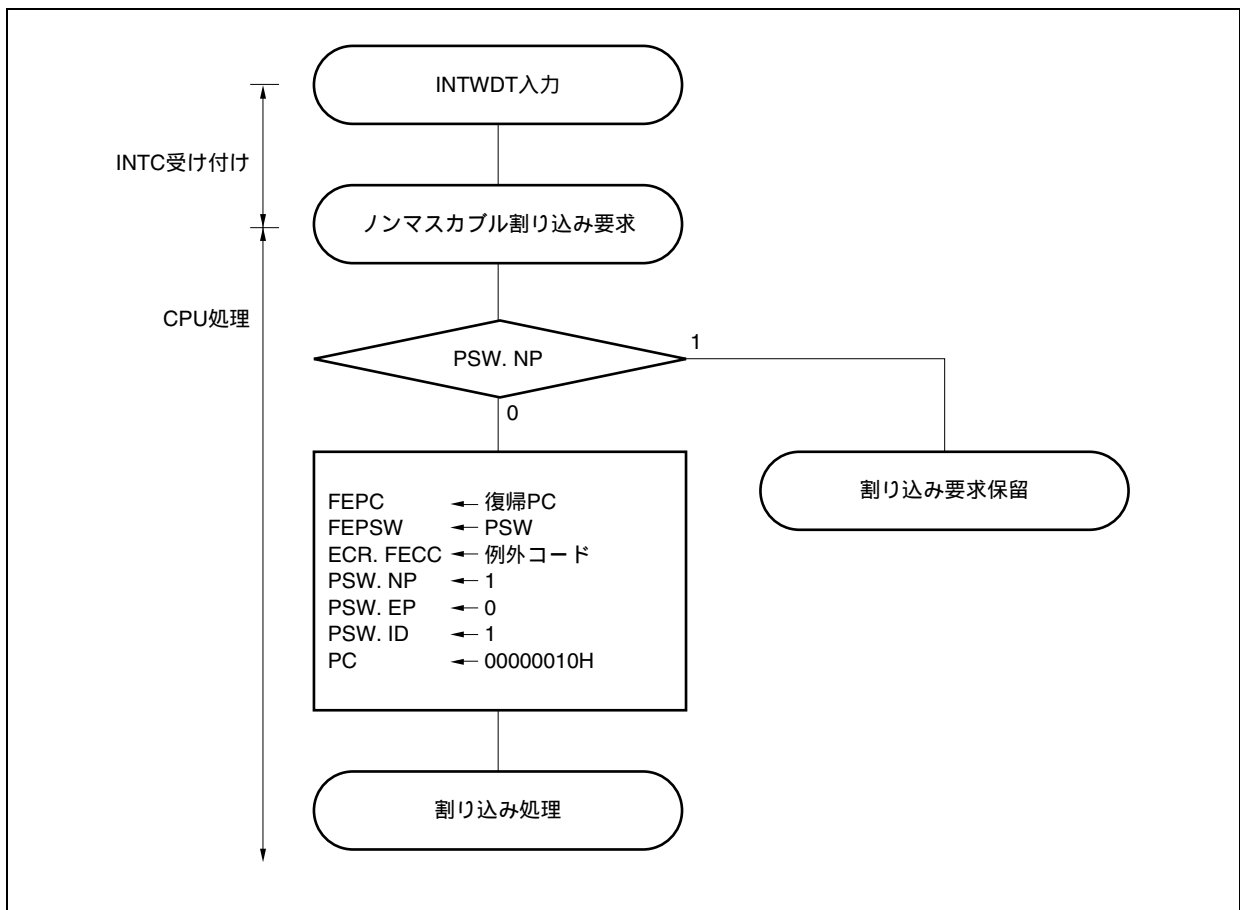
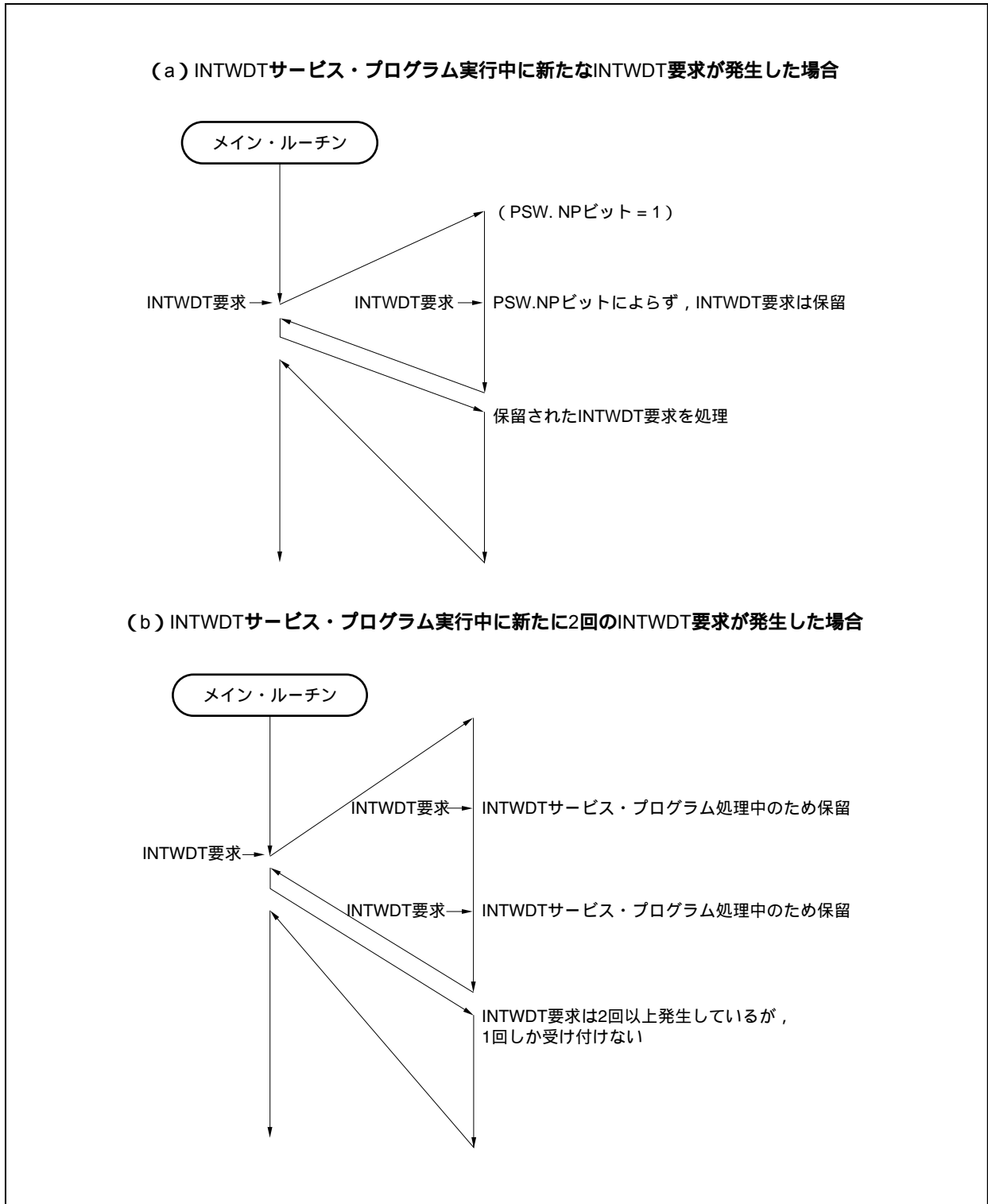




図20 - 2 ノンマスクブル割り込み要求の受け付け動作



## 20.2.2 復 帰

ノンマスクابل割り込み処理からの復帰は、RETI命令により行います。

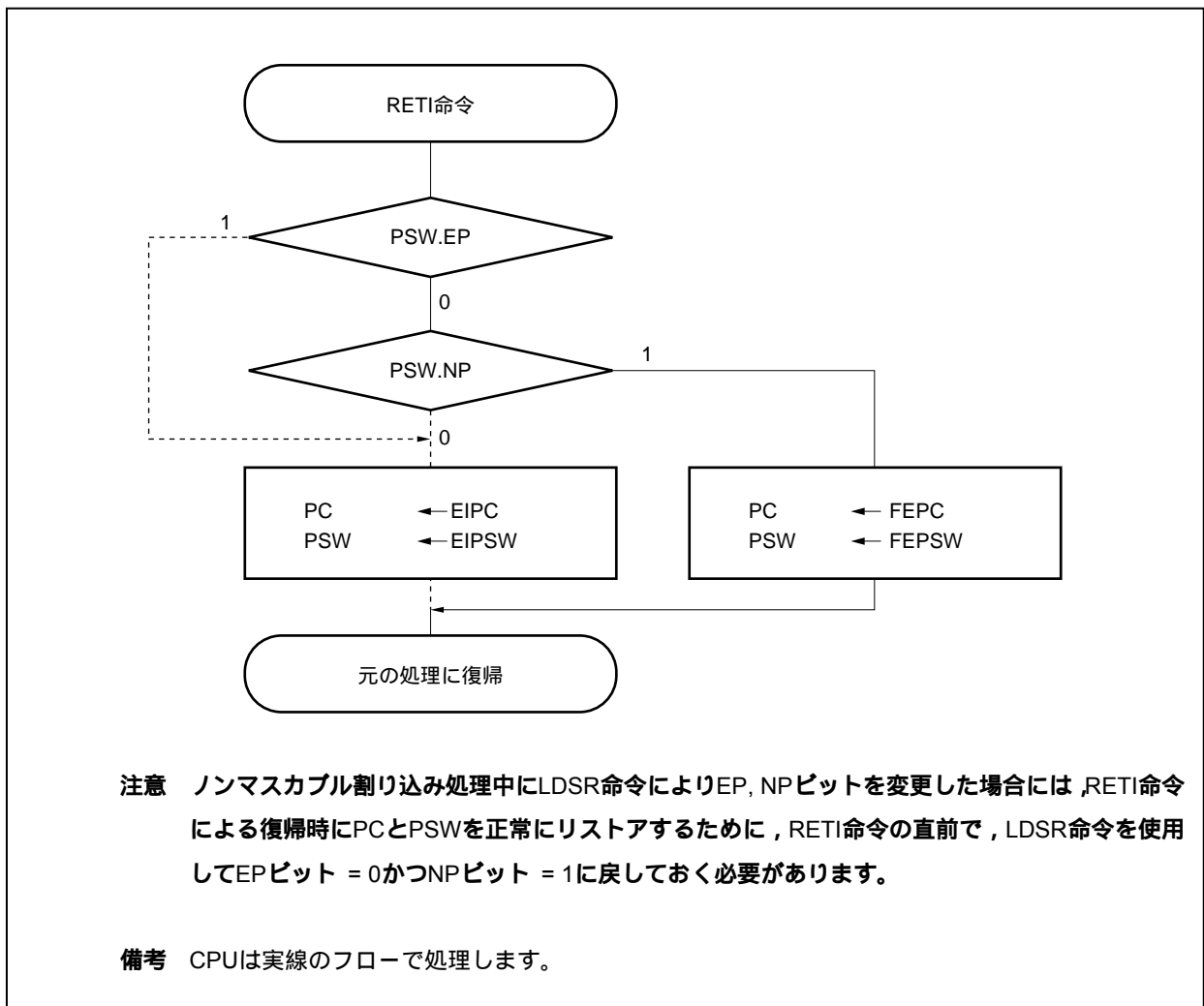
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSW.EPビットが0かつPSW.NPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図20 - 3 RETI命令の処理形態



### 20.2.3 ノンマスカブル割り込みステータス・フラグ (NP)

NPフラグは、ノンマスカブル割り込み (INTWDT) の処理中であることを示すステータス・フラグです。NPフラグは、PSWに割り付けられています。

INTWDT割り込み要求信号を受け付けるとセットされ、すべての割り込みと例外をマスクして多重割り込みを禁止します。

リセットにより00000020Hになります。

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0		
PSW	0					NP	EP	ID	SAT	CY	OV	S	Z

NP	ノンマスカブル割り込み (INTWDT) 処理状態
0	ノンマスカブル割り込み処理中でない
1	ノンマスカブル割り込み処理中

## 20.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求信号で、95種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC、EIPSWをメモリ、またはレジスタに退避し、RETI命令を実行する前にDIを行って、EIPC、EIPSWを元の値に復帰してください。

### 20.3.1 動作

マスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

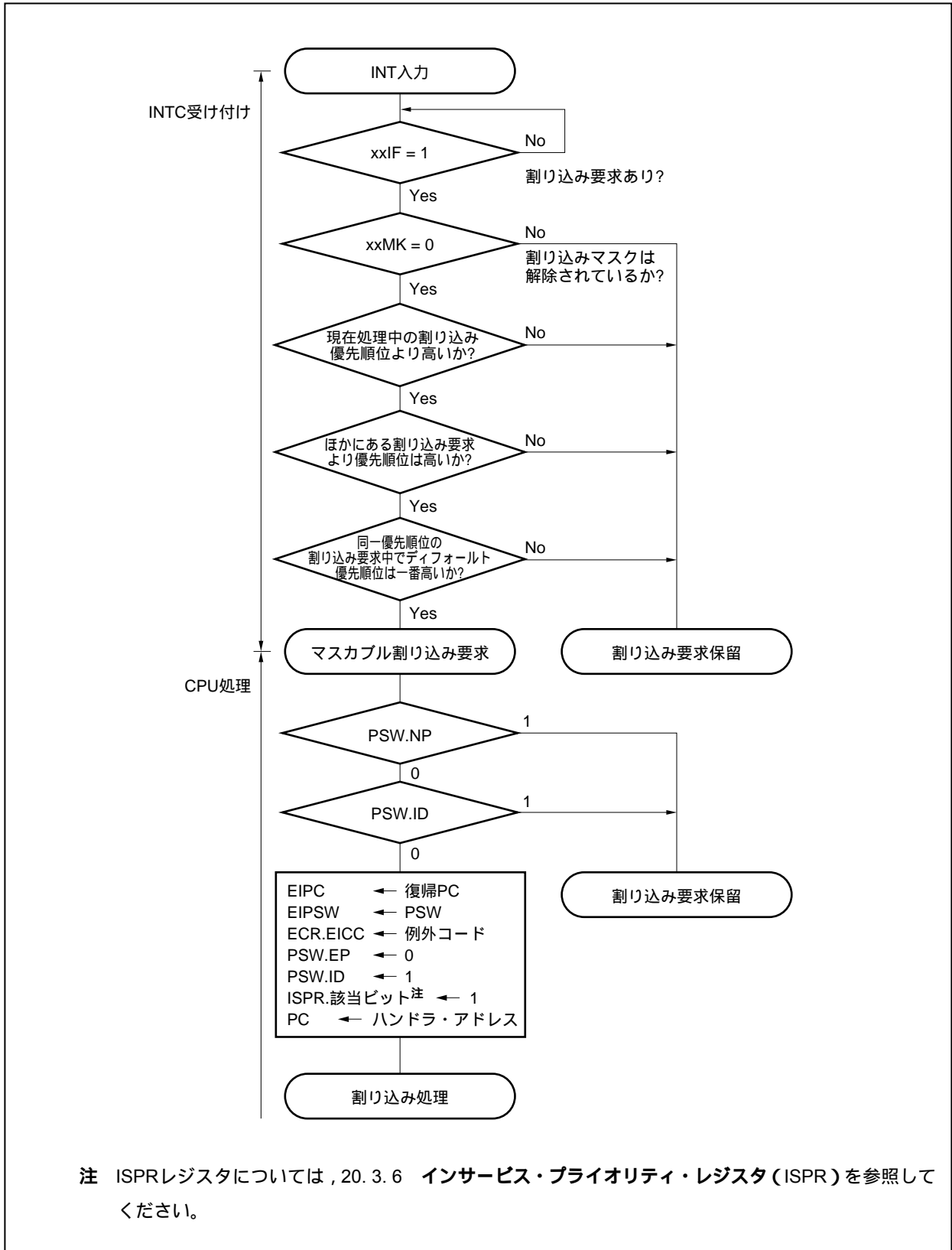
PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、割り込みコントローラ（INTC）でマスクされているマスカブル割り込み要求信号と、ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してNPビット = 0かつIDビット = 0にすると、保留していたマスカブル割り込み要求信号の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図20 - 4 マスカブル割り込みの処理形態



### 20.3.2 復 帰

マスクابل割り込み処理からの復帰は、RETI命令により行います。

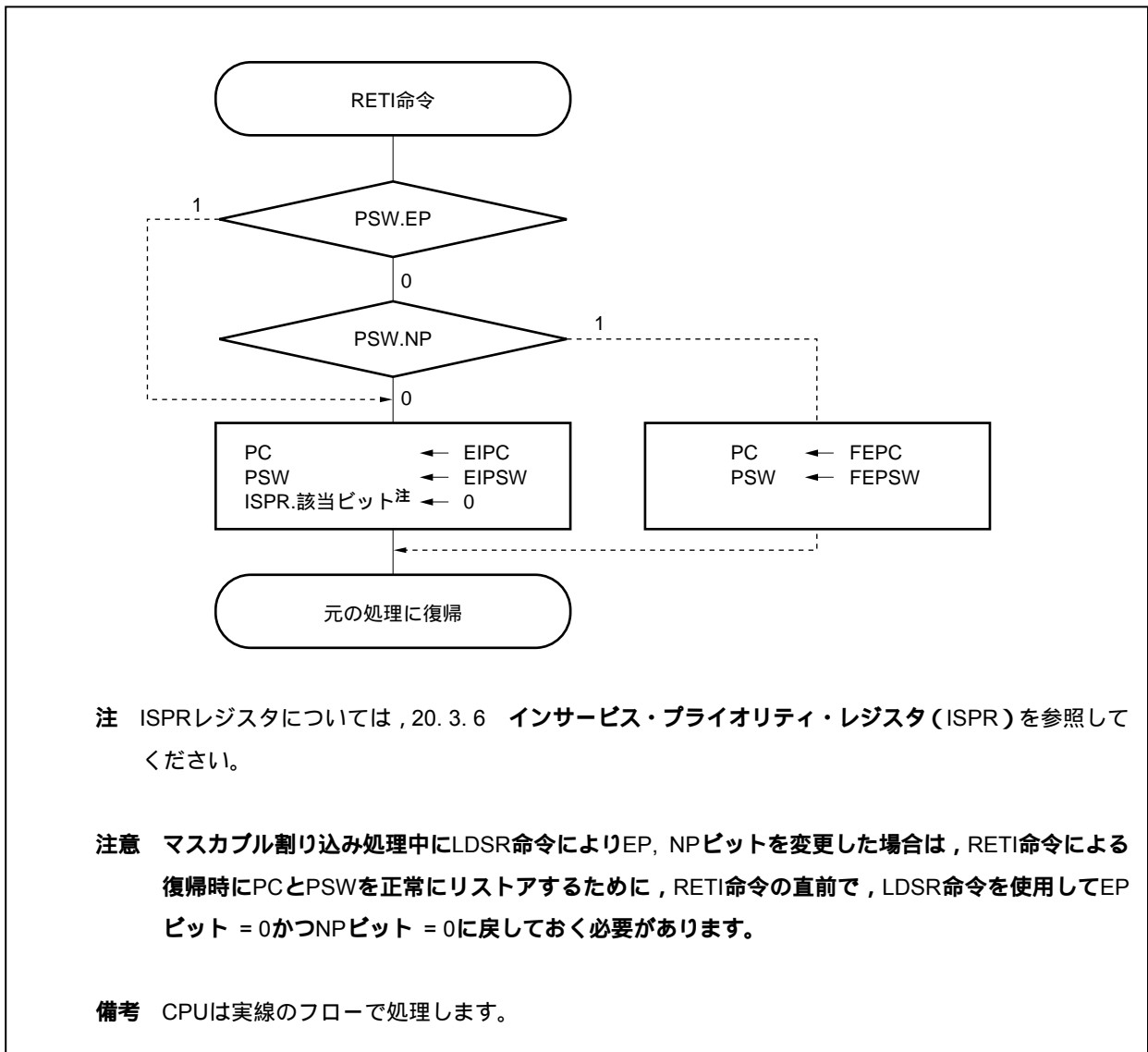
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットが0かつPSW.NPビットが0なので、EIPC、EIPSWから復帰PC、PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図20 - 5 RETI命令の処理形態



### 20.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求信号にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表20 - 1 割り込み要因一覧参照)。プログラマブル優先順位制御は、各割り込み要求信号を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

**備考** xx : 各周辺ユニット識別名称 (表20 - 2参照)

n : 周辺ユニット番号 (表20 - 2参照)

図20 - 6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

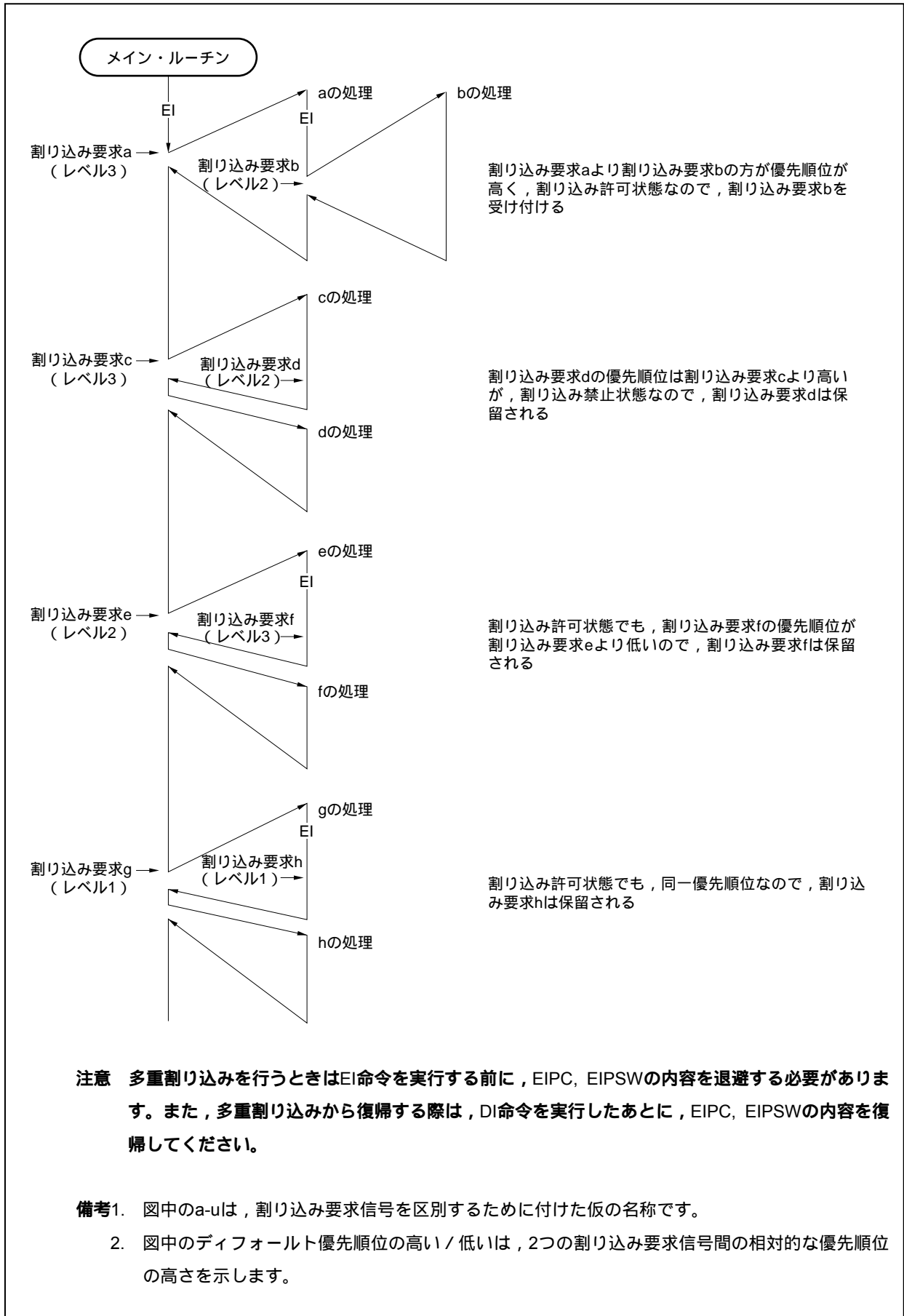




図20 - 6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

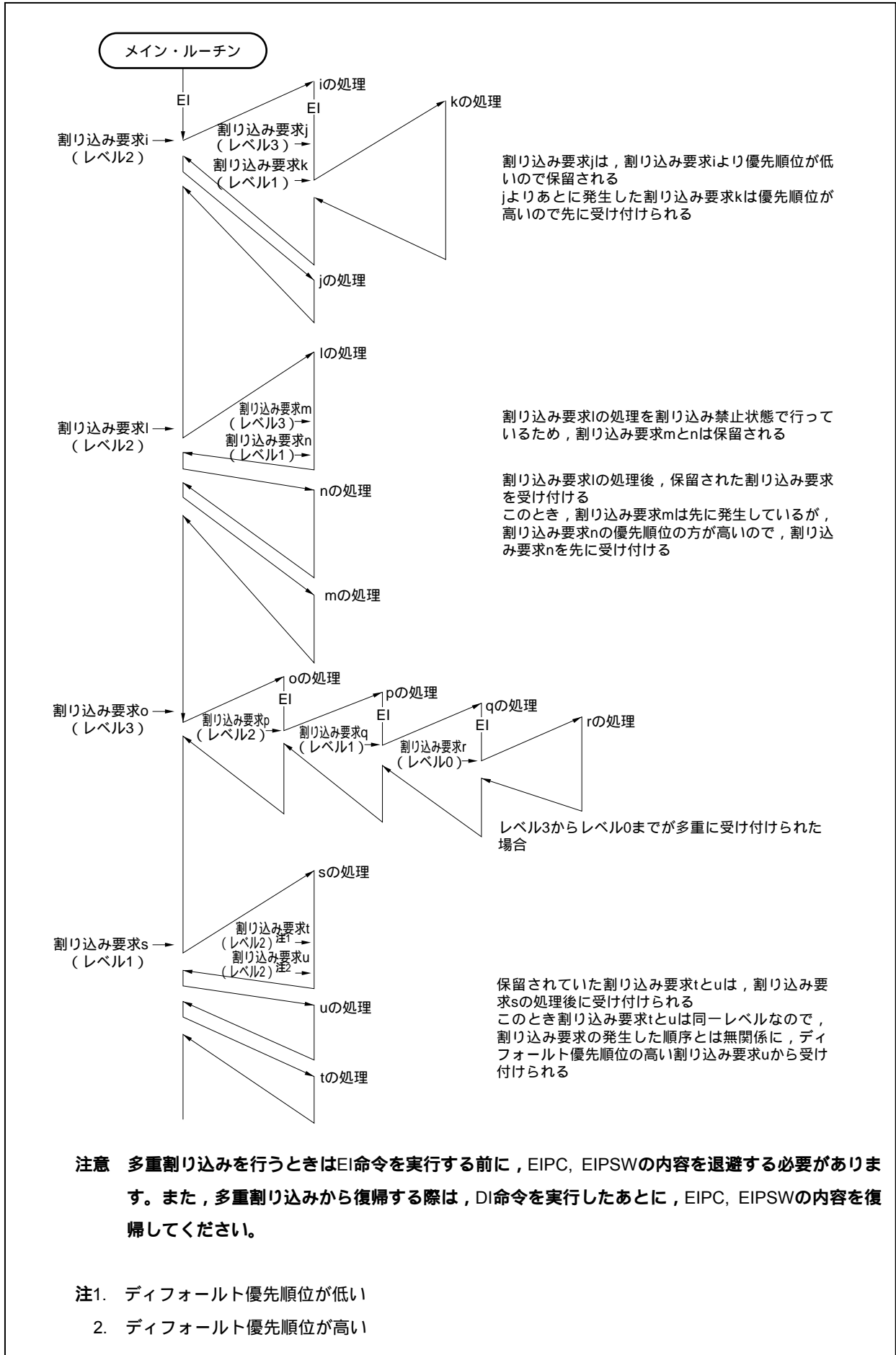
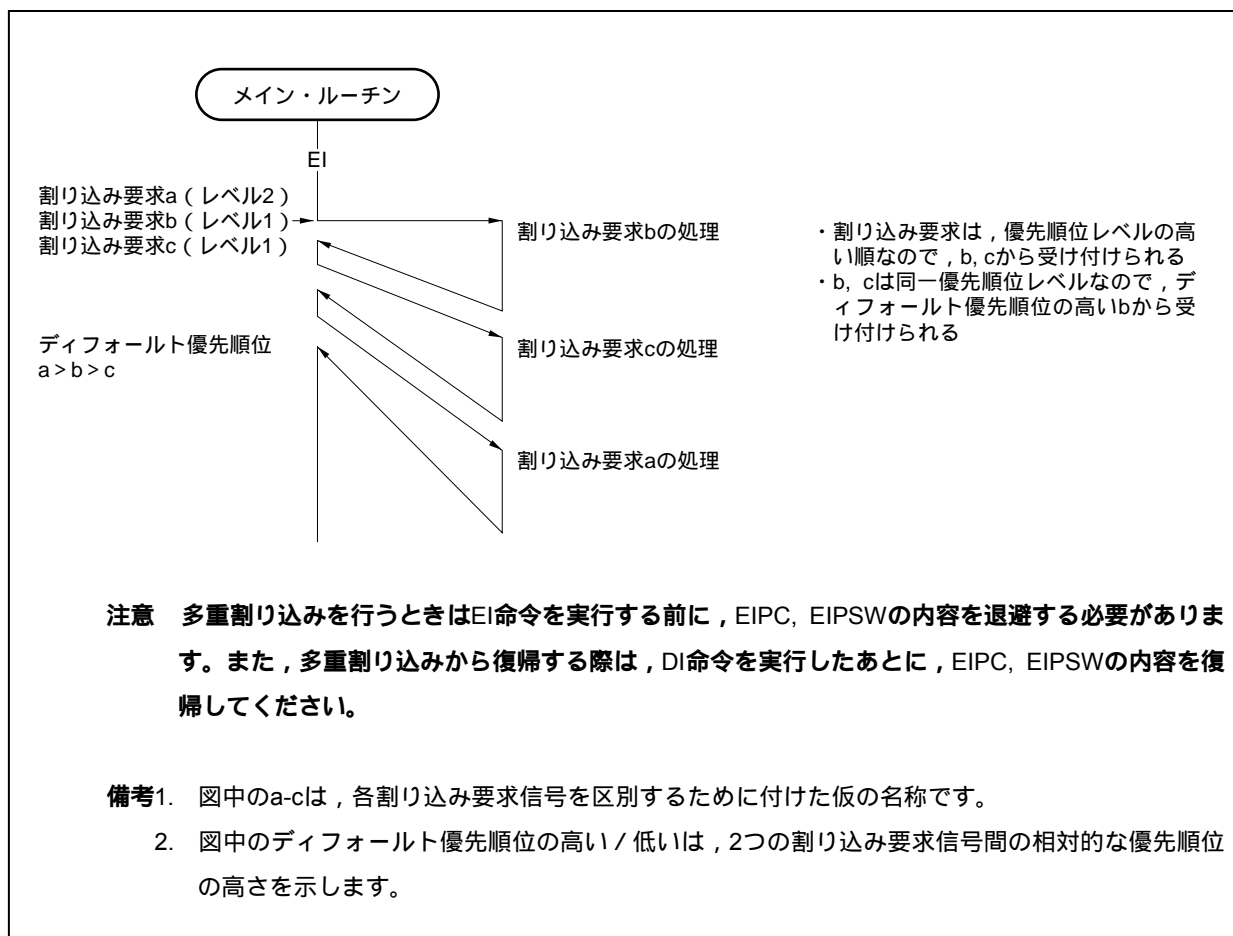


図20 - 7 同時発生した割り込み要求信号の処理例



### 20.3.4 割り込み制御レジスタ (xxICn)

割り込み要求信号(マスカブル割り込み)ごとに割り当てられ,各割り込みに対する制御条件を設定します。

8/1ビット単位でリード/ライト可能です。

リセットにより47Hになります。

- 注意1.** xxIFnビットを読み出す場合は,割り込み禁止(DI)状態で行ってください。割り込み許可(EI)状態でxxIFnビットを読み出すと,割り込みの受け付けとビットの読み出しのタイミングが競合した場合に,正常な値が読み出せないことがあります。
- 2.** 割り込み要求が発生する状態(割り込み禁止(DI)状態を含む)でxxICn.xxMKnビットを操作する場合は,必ずビット操作命令で操作するか,またはIMRm.xxMKnビットで操作してください(m = 0-5)。

リセット時：47H R/W アドレス：FFFFFF110H-FFFFFF1CCH

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ <sup>注</sup>
0	割り込み要求信号なし
1	割り込み要求信号あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止（保留）

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0（最高位）を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7（最低位）を指定

**注** 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされま  
す。

**備考** xx：各周辺ユニット識別名称（表20 - 2参照）  
n：周辺ユニット番号（表20 - 2参照）

各割り込み制御レジスタのアドレスとビットを次に示します。

表20 - 2 割り込み制御レジスタのアドレスとビット (1/3)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF110H	LVILIC	LVILIF	LVILMK	0	0	0	LVILPR2	LVILPR1	LVILPR0
FFFFF112H	LVIHIC	LVIHIF	LVIHMK	0	0	0	LVIHPR2	LVIHPR1	LVIHPR0
FFFFF114H	PIC00	PIF00	PMK00	0	0	0	PPR002	PPR001	PPR000
FFFFF116H	PIC01	PIF01	PMK01	0	0	0	PPR012	PPR011	PPR010
FFFFF118H	PIC02 <sup>注</sup>	PIF02	PMK02	0	0	0	PPR022	PPR021	PPR020
FFFFF11AH	PIC03 <sup>注</sup>	PIF03	PMK03	0	0	0	PPR032	PPR031	PPR030
FFFFF11CH	PIC04 <sup>注</sup>	PIF04	PMK04	0	0	0	PPR042	PPR041	PPR040
FFFFF11EH	PIC05 <sup>注</sup>	PIF05	PMK05	0	0	0	PPR052	PPR051	PPR050
FFFFF120H	PIC06 <sup>注</sup>	PIF06	PMK06	0	0	0	PPR062	PPR061	PPR060
FFFFF122H	PIC07 <sup>注</sup>	PIF07	PMK07	0	0	0	PPR072	PPR071	PPR070
FFFFF124H	PIC08	PIF08	PMK08	0	0	0	PPR082	PPR081	PPR080
FFFFF126H	PIC09	PIF09	PMK09	0	0	0	PPR092	PPR091	PPR090
FFFFF128H	PIC10	PIF10	PMK10	0	0	0	PPR102	PPR101	PPR100
FFFFF12AH	PIC11	PIF11	PMK11	0	0	0	PPR112	PPR111	PPR110
FFFFF12CH	PIC12	PIF12	PMK12	0	0	0	PPR122	PPR121	PPR120
FFFFF12EH	PIC13	PIF13	PMK13	0	0	0	PPR132	PPR131	PPR130
FFFFF130H	PIC14	PIF14	PMK14	0	0	0	PPR142	PPR141	PPR140
FFFFF132H	PIC15	PIF15	PMK15	0	0	0	PPR152	PPR151	PPR150
FFFFF134H	PIC16	PIF16	PMK16	0	0	0	PPR162	PPR161	PPR160
FFFFF136H	PIC17	PIF17	PMK17	0	0	0	PPR172	PPR171	PPR170
FFFFF138H	PIC18	PIF18	PMK18	0	0	0	PPR182	PPR181	PPR180
FFFFF13AH	CMPIC0L	CMPIF0L	CMPMK0L	0	0	0	CMPPR0L2	CMPPR0L1	CMPPR0L0
FFFFF13CH	CMPIC0F	CMPIF0F	CMPMK0F	0	0	0	CMPPR0F2	CMPPR0F1	CMPPR0F0
FFFFF13EH	CMPIC1L	CMPIF1L	CMPMK1L	0	0	0	CMPPR1L2	CMPPR1L1	CMPPR1L0
FFFFF140H	CMPIC1F	CMPIF1F	CMPMK1F	0	0	0	CMPPR1F2	CMPPR1F1	CMPPR1F0
FFFFF142H	TB0OVIC	TB0OVIF	TB0OVMK	0	0	0	TB0OVPR2	TB0OVPR1	TB0OVPR0
FFFFF144H	TB0CCIC0	TB0CCIF0	TB0CCMK0	0	0	0	TB0CCPR2	TB0CCPR1	TB0CCPR0
FFFFF146H	TB0CCIC1	TB0CCIF1	TB0CCMK1	0	0	0	TB0CCPR12	TB0CCPR11	TB0CCPR10
FFFFF148H	TB0CCIC2	TB0CCIF2	TB0CCMK2	0	0	0	TB0CCPR22	TB0CCPR21	TB0CCPR20
FFFFF14AH	TB0CCIC3	TB0CCIF3	TB0CCMK3	0	0	0	TB0CCPR32	TB0CCPR31	TB0CCPR30
FFFFF14CH	TB1OVIC	TB1OVIF	TB1OVMK	0	0	0	TB1OVPR2	TB1OVPR1	TB1OVPR0
FFFFF14EH	TB1CCIC0	TB1CCIF0	TB1CCMK0	0	0	0	TB1CCPR2	TB1CCPR1	TB1CCPR0
FFFFF150H	TB1CCIC1	TB1CCIF1	TB1CCMK1	0	0	0	TB1CCPR12	TB1CCPR11	TB1CCPR10
FFFFF152H	TB1CCIC2	TB1CCIF2	TB1CCMK2	0	0	0	TB1CCPR22	TB1CCPR21	TB1CCPR20
FFFFF154H	TB1CCIC3	TB1CCIF3	TB1CCMK3	0	0	0	TB1CCPR32	TB1CCPR31	TB1CCPR30
FFFFF156H	TT0OVIC	TT0OVIF	TT0OVMK	0	0	0	TT0OVPR2	TT0OVPR1	TT0OVPR0
FFFFF158H	TT0CCIC0	TT0CCIF0	TT0CCMK0	0	0	0	TT0CCPR2	TT0CCPR1	TT0CCPR0
FFFFF15AH	TT0CCIC1	TT0CCIF1	TT0CCMK1	0	0	0	TT0CCPR12	TT0CCPR11	TT0CCPR10
FFFFF15CH	TT0IECIC <sup>注</sup>	TT0IECIF	TT0IECMK	0	0	0	TT0IECPR2	TT0IECPR1	TT0IECPR0
FFFFF15EH	TT1OVIC	TT1OVIF	TT1OVMK	0	0	0	TT1OVPR2	TT1OVPR1	TT1OVPR0
FFFFF160H	TT1CCIC0	TT1CCIF0	TT1CCMK0	0	0	0	TT1CCPR2	TT1CCPR1	TT1CCPR0
FFFFF162H	TT1CCIC1	TT1CCIF1	TT1CCMK1	0	0	0	TT1CCPR12	TT1CCPR11	TT1CCPR10

注 V850E/IG3のみ

表20 - 2 割り込み制御レジスタのアドレスとビット (2/3)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF164H	TT1IECIC	TT1IECIF	TT1IECMK	0	0	0	TT1IECPR2	TT1IECPR1	TT1IECPR0
FFFFF166H	TA0OVIC	TA0OVIF	TA0OVMK	0	0	0	TA0OVPR2	TA0OVPR1	TA0OVPR0
FFFFF168H	TA0CCIC0	TA0CCIF0	TA0CCMK0	0	0	0	TA0CCPR02	TA0CCPR01	TA0CCPR00
FFFFF16AH	TA0CCIC1	TA0CCIF1	TA0CCMK1	0	0	0	TA0CCPR12	TA0CCPR11	TA0CCPR10
FFFFF16CH	TA1OVIC	TA1OVIF	TA1OVMK	0	0	0	TA1OVPR2	TA1OVPR1	TA1OVPR0
FFFFF16EH	TA1CCIC0	TA1CCIF0	TA1CCMK0	0	0	0	TA1CCPR02	TA1CCPR01	TA1CCPR00
FFFFF170H	TA1CCIC1	TA1CCIF1	TA1CCMK1	0	0	0	TA1CCPR12	TA1CCPR11	TA1CCPR10
FFFFF172H	TA2OVIC	TA2OVIF	TA2OVMK	0	0	0	TA2OVPR2	TA2OVPR1	TA2OVPR0
FFFFF174H	TA2CCIC0	TA2CCIF0	TA2CCMK0	0	0	0	TA2CCPR02	TA2CCPR01	TA2CCPR00
FFFFF176H	TA2CCIC1	TA2CCIF1	TA2CCMK1	0	0	0	TA2CCPR12	TA2CCPR11	TA2CCPR10
FFFFF178H	TA3OVIC	TA3OVIF	TA3OVMK	0	0	0	TA3OVPR2	TA3OVPR1	TA3OVPR0
FFFFF17AH	TA3CCIC0	TA3CCIF0	TA3CCMK0	0	0	0	TA3CCPR02	TA3CCPR01	TA3CCPR00
FFFFF17CH	TA3CCIC1	TA3CCIF1	TA3CCMK1	0	0	0	TA3CCPR12	TA3CCPR11	TA3CCPR10
FFFFF17EH	TA4OVIC	TA4OVIF	TA4OVMK	0	0	0	TA4OVPR2	TA4OVPR1	TA4OVPR0
FFFFF180H	TA4CCIC0	TA4CCIF0	TA4CCMK0	0	0	0	TA4CCPR02	TA4CCPR01	TA4CCPR00
FFFFF182H	TA4CCIC1	TA4CCIF1	TA4CCMK1	0	0	0	TA4CCPR12	TA4CCPR11	TA4CCPR10
FFFFF184H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFF186H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFF188H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFF18AH	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFF18CH	UREIC	UREIF	UREMK	0	0	0	UREPR2	UREPR1	UREPR0
FFFFF18EH	URIC	URIF	URMK	0	0	0	URPR2	URPR1	URPR0
FFFFF190H	UTIC	UTIF	UTMK	0	0	0	UTPR2	UTPR1	UTPR0
FFFFF192H	UIFIC	UIFIF	UIFMK	0	0	0	UIFPR2	UIFPR1	UIFPR0
FFFFF194H	UTOIC	UTOIF	UTOMK	0	0	0	UTOPR2	UTOPR1	UTOPR0
FFFFF196H	UA0REIC	UA0REIF	UA0REMK	0	0	0	UA0REPR2	UA0REPR1	UA0REPR0
FFFFF198H	UA0RIC	UA0RIF	UA0RMK	0	0	0	UA0RPR2	UA0RPR1	UA0RPR0
FFFFF19AH	UA0TIC	UA0TIF	UA0TMK	0	0	0	UA0TPR2	UA0TPR1	UA0TPR0
FFFFF19CH	CB0REIC	CB0REIF	CB0REMK	0	0	0	CB0REPR2	CB0REPR1	CB0REPR0
FFFFF19EH	CB0RIC	CB0RIF	CB0RMK	0	0	0	CB0RPR2	CB0RPR1	CB0RPR0
FFFFF1A0H	CB0TIC	CB0TIF	CB0TMK	0	0	0	CB0TPR2	CB0TPR1	CB0TPR0
FFFFF1A2H	UA1REIC	UA1REIF	UA1REMK	0	0	0	UA1REPR2	UA1REPR1	UA1REPR0
FFFFF1A4H	UA1RIC	UA1RIF	UA1RMK	0	0	0	UA1RPR2	UA1RPR1	UA1RPR0
FFFFF1A6H	UA1TIC	UA1TIF	UA1TMK	0	0	0	UA1TPR2	UA1TPR1	UA1TPR0
FFFFF1A8H	CB1REIC	CB1REIF	CB1REMK	0	0	0	CB1REPR2	CB1REPR1	CB1REPR0
FFFFF1AAH	CB1RIC	CB1RIF	CB1RMK	0	0	0	CB1RPR2	CB1RPR1	CB1RPR0
FFFFF1ACH	CB1TIC	CB1TIF	CB1TMK	0	0	0	CB1TPR2	CB1TPR1	CB1TPR0
FFFFF1AEH	UA2REIC	UA2REIF	UA2REMK	0	0	0	UA2REPR2	UA2REPR1	UA2REPR0
FFFFF1B0H	UA2RIC	UA2RIF	UA2RMK	0	0	0	UA2RPR2	UA2RPR1	UA2RPR0
FFFFF1B2H	UA2TIC	UA2TIF	UA2TMK	0	0	0	UA2TPR2	UA2TPR1	UA2TPR0
FFFFF1B4H	CB2REIC	CB2REIF	CB2REMK	0	0	0	CB2REPR2	CB2REPR1	CB2REPR0
FFFFF1B6H	CB2RIC	CB2RIF	CB2RMK	0	0	0	CB2RPR2	CB2RPR1	CB2RPR0
FFFFF1B8H	CB2TIC	CB2TIF	CB2TMK	0	0	0	CB2TPR2	CB2TPR1	CB2TPR0

表20 - 2 割り込み制御レジスタのアドレスとビット (3/3)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFFF1BAH	IICIC	IICIF	IICMK	0	0	0	IICPR2	IICPR1	IICPR0
FFFFFF1BCH	AD0IC	AD0IF	AD0MK	0	0	0	AD0PR2	AD0PR1	AD0PR0
FFFFFF1BEH	AD1IC	AD1IF	AD1MK	0	0	0	AD1PR2	AD1PR1	AD1PR0
FFFFFF1C0H	AD2IC	AD2IF	AD2MK	0	0	0	AD2PR2	AD2PR1	AD2PR0
FFFFFF1C2H	TM0EQIC0	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR02	TM0EQPR01	TM0EQPR00
FFFFFF1C4H	TM1EQIC0	TM1EQIF0	TM1EQMK0	0	0	0	TM1EQPR02	TM1EQPR01	TM1EQPR00
FFFFFF1C6H	TM2EQIC0	TM2EQIF0	TM2EQMK0	0	0	0	TM2EQPR02	TM2EQPR01	TM2EQPR00
FFFFFF1C8H	TM3EQIC0	TM3EQIF0	TM3EQMK0	0	0	0	TM3EQPR02	TM3EQPR01	TM3EQPR00
FFFFFF1CAH	ADT0IC	ADT0IF	ADT0MK	0	0	0	ADT0PR2	ADT0PR1	ADT0PR0
FFFFFF1CCH	ADT1IC	ADT1IF	ADT1MK	0	0	0	ADT1PR2	ADT1PR1	ADT1PR0

### 20.3.5 割り込みマスク・レジスタ0-5 (IMR0-IMR5)

マスクブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR5.xxMKnビットとxxICn.xxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です (m = 0-5)。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとして使用する場合は、8/16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

**注意** デバイス・ファイルでは、xxICn.xxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。



リセット時：FFFFH R/W アドレス：IMR5 FFFFF10AH  
IMR5L FFFFF10AH, IMR5H FFFFF10BH

	15	14	13	12	11	10	9	8
IMR5 (IMR5H <sup>注1</sup> )	1	ADT1MK	ADT0MK	TM3EQMK0	TM2EQMK0	TM1EQMK0	TM0EQMK0	AD2MK
	7	6	5	4	3	2	1	0
(IMR5L)	AD1MK	AD0MK	IICMK	CB2TMK	CB2RMK	CB2REMK	UA2TMK	UA2RMK

リセット時：FFFFH R/W アドレス：IMR4 FFFFF108H  
IMR4L FFFFF108H, IMR4H FFFFF109H

	15	14	13	12	11	10	9	8
IMR4 (IMR4H <sup>注1</sup> )	UA2REMK	CB1TMK	CB1RMK	CB1REMK	UA1TMK	UA1RMK	UA1REMK	CB0TMK
	7	6	5	4	3	2	1	0
(IMR4L)	CB0RMK	CB0REMK	UA0TMK	UA0RMK	UA0REMK	UTOMK	UIFMK	UTMK

リセット時：FFFFH R/W アドレス：IMR3 FFFFF106H  
IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3 (IMR3H <sup>注1</sup> )	URMK	UREMK	DMAMK3	DMAMK2	DMAMK1	DMAMK0	TA4CCMK1	TA4CCMK0
	7	6	5	4	3	2	1	0
(IMR3L)	TA4OVMK	TA3CCMK1	TA3CCMK0	TA3OVMK	TA2CCMK1	TA2CCMK0	TA2OVMK	TA1CCMK1

リセット時：FFFFH R/W アドレス：IMR2 FFFFF104H  
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2 (IMR2H <sup>注1</sup> )	TA1CCMK0	TA1OVMK	TA0CCMK1	TA0CCMK0	TA0OVMK	TT1IECMK	TT1CCMK1	TT1CCMK0
	7	6	5	4	3	2	1	0
(IMR2L)	TT1OVMK	TT0IECMK <sup>注2</sup>	TT0CCMK1	TT0CCMK0	TT0OVMK	TB1CCMK3	TB1CCMK2	TB1CCMK1

リセット時：FFFFH R/W アドレス：IMR1 FFFFF102H  
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H <sup>注1</sup> )	TB1CCMK0	TB1OVMK	TB0CCMK3	TB0CCMK2	TB0CCMK1	TB0CCMK0	TB0OVMK	CMPMK1F
	7	6	5	4	3	2	1	0
(IMR1L)	CMPMK1L	CMPMK0F	CMPMK0L	PMK18	PMK17	PMK16	PMK15	PMK14

リセット時：FFFFH R/W アドレス：IMR0 FFFFF100H  
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H <sup>注1</sup> )	PMK13	PMK12	PMK11	PMK10	PMK09	PMK08	PMK07 <sup>注2</sup>	PMK06 <sup>注2</sup>
	7	6	5	4	3	2	1	0
(IMR0L)	PMK05 <sup>注2</sup>	PMK04 <sup>注2</sup>	PMK03 <sup>注2</sup>	PMK02 <sup>注2</sup>	PMK01	PMK00	LVIHMK	LVILMK

注1. IMR0-IMR5レジスタのビット15-8を8/1ビット単位でリード/ライトする場合は、IMR0H-IMR5Hレジスタのビット7-0として指定してください。

2. V850E/IG3のみ有効です。  
V850E/IF3では必ず1を設定してください。

注意 IMR5レジスタのビット15 (IMR5Hレジスタのビット7) には1を設定してください。  
変更した場合の動作は保証できません。

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

**備考** xx : 各周辺ユニット識別名称 (表20 - 2参照)

n : 周辺ユニット番号 (表20 - 2参照)

### 20.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット(1)され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット(1)されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にクリア(0)されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はクリア(0)されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

**注意** 割り込み許可(EI)状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット(1)されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止(DI)状態でリードしてください。

リセット時 : 00H R アドレス : FFFFF1FAH

	⑦	⑥	⑤	④	③	②	①	①
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求信号を受け付けていない
1	優先順位nの割り込み要求信号を受け付け中

**備考** n : 0-7 (優先順位のレベル)

### 20.3.7 マスカブル割り込みステータス・フラグ (ID)

マスカブル割り込みの動作状態を制御し、割り込み要求受け付けの許可/禁止制御情報を記憶します。IDフラグは、PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時：00000020H

	31		8	7	6	5	4	3	2	1	0				
PSW	0							NP	EP	ID	SAT	CY	OV	S	Z

ID	マスカブル割り込み処理の指定 <sup>注</sup>
0	マスカブル割り込み要求信号の受け付けを許可
1	マスカブル割り込み要求信号の受け付けを禁止 (保留)

#### 注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1)、EI命令でクリア (0) されます。また、RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスカブル割り込み要求信号および例外は、このフラグの状態に関係なく受け付けられます。また、マスカブル割り込み要求信号を受け付けると、IDフラグはハードウェアで自動的にセット (1) されます。

受け付け禁止期間中 (IDフラグ = 1) に発生した割り込み要求信号は、xxICn.xxIFnビットがセット (1) され、IDフラグがクリア (0) されると受け付けられます。

## 20.4 外部割り込み要求入力端子(INTP00-INTP18, INTADT0, INTADT1)

### 20.4.1 ノイズ除去

#### (1) INTP00, INTP01, INTPa (V850E/IG3のみ), INTP08-INTP13, INTP17, INTP18, INTADT0, INTADT1端子のノイズ除去

INTP00, INTP01, INTPa (V850E/IG3のみ), INTP08-INTP13, INTP17, INTP18, INTADT0, INTADT1端子はアナログ・フィルタによるノイズ除去回路を内蔵しています(a = 02-07)。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

#### (2) INTP14-INTP16端子のノイズ除去

INTP14-INTP16端子はデジタル・ノイズ除去回路を内蔵しています。

デジタル・サンプリングを行うサンプリング・クロックをINTNFCm.INTNFCm2-INTNFCm0ビットで選択できます(m = 14-16)。

なお、IDLE, STOPモードでは、システム・クロックが停止するため、INTP14-INTP16端子はIDLE, STOPモードの解除には使用できません。

### 20.4.2 エッジ検出

INTn端子は、有効エッジをプログラマブルに選択できます(V850E/IF3 : n = P00, P01, P08-P18, ADT0, ADT1, V850E/IG3 : n = P00-P18, ADT0, ADT1)。

選択できる有効エッジについて次に示します。

- ・ 立ち上がりエッジ
- ・ 立ち下がりエッジ
- ・ 立ち上がり / 立ち下がり両エッジ

エッジ検出されたINTn信号は、割り込み要因になります。

有効エッジは、INTR0-INTR2, ADTR, INTF0-INTF2, ADTFレジスタで指定します。

(1) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ0 (INTR0, INTF0)

INTP00, INTP01, INTPa (V850E/IG3のみ) 端子のトリガ・モードを指定するレジスタです (a = 02-07)。有効エッジは, 立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

**注意** 外部割り込み機能 (兼用機能) からポート・モードに切り替える場合には, エッジが検出される可能性があるため, 必ずINTF0n, INTR0nビット = 00に設定してからポート・モードに設定してください (V850E/IF3 : n = 0, 1, V850E/IG3 : n = 0-7)。

リセット時 : 00H    R/W    アドレス : FFFFC20H

	⑦	⑥	⑤	④	③	②	①	①
INTR0	INTR07 <sup>注</sup>	INTR06 <sup>注</sup>	INTR05 <sup>注</sup>	INTR04 <sup>注</sup>	INTR03 <sup>注</sup>	INTR02 <sup>注</sup>	INTR01	INTR00

リセット時 : 00H    R/W    アドレス : FFFFC00H

	⑦	⑥	⑤	④	③	②	①	①
INTF0	INTF07 <sup>注</sup>	INTF06 <sup>注</sup>	INTF05 <sup>注</sup>	INTF04 <sup>注</sup>	INTF03 <sup>注</sup>	INTF02 <sup>注</sup>	INTF01	INTF00

**注** V850E/IG3のみ有効です。  
V850E/IF3では必ず0を設定してください。

**備考** 有効エッジの指定については表20 - 3を参照してください。

表20 - 3 INTP00-INTP07端子の有効エッジの指定

INTF0n	INTR0n	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

**注意** INTP0n端子として使用しない場合, 必ずINTF0n, INTR0nビット = 00に設定してください。

**備考** V850E/IF3 : n = 0, 1  
V850E/IG3 : n = 0-7

(2) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ1 (INTR1, INTF1)

INTP08-INTP13, INTP17, INTP18端子のトリガ・モードを指定するレジスタです。有効エッジは, 立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

**注意** 外部割り込み機能 (兼用機能) からポート・モードに切り替える場合には, エッジが検出される可能性があるため, 必ずINTFn, INTRnビット = 00に設定してからポート・モードに設定してください (n = 08-13, 17, 18)。

リセット時 : 00H    R/W    アドレス : FFFFFFFC22H

	⑦	⑥	⑤	④	③	②	①	①
INTR1	INTR18	INTR17	INTR13	INTR12	INTR11	INTR10	INTR09	INTR08

リセット時 : 00H    R/W    アドレス : FFFFFFFC02H

	⑦	⑥	⑤	④	③	②	①	①
INTF1	INTF18	INTF17	INTF13	INTF12	INTF11	INTF10	INTF09	INTF08

**備考** 有効エッジの指定については表20 - 4を参照してください。

表20 - 4 INTP08-INTP13, INTP17, INTP18端子の有効エッジの指定

INTFn	INTRn	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

**注意** INTPn端子として使用しない場合, 必ずINTFn, INTRnビット = 00に設定してください。

**備考** n = 08-13, 17, 18

(3) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ2 (INTR2, INTF2)

INTP14-INTP16端子のトリガ・モードを指定するレジスタです。有効エッジは, 立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり/立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** 外部割り込み機能(兼用機能)からポート・モードに切り替える場合には, エッジが検出される可能性があるため, 必ずINTF1n, INTR1nビット = 00に設定してからポート・モードに設定してください(n = 4-6)。

リセット時: 00H R/W アドレス: FFFFC24H

	7	6	5	4	3	②	①	①
INTR2	0	0	0	0	0	INTR16	INTR15	INTR14

リセット時: 00H R/W アドレス: FFFFC04H

	7	6	5	4	3	②	①	①
INTF2	0	0	0	0	0	INTF16	INTF15	INTF14

**備考** 有効エッジの指定については表20 - 5を参照してください。

表20 - 5 INTP14-INTP16端子の有効エッジの指定

INTF1n	INTR1n	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり/立ち下がり両エッジ

**注意** INTP1n端子として使用しない場合, 必ずINTF1n, INTR1nビット = 00に設定してください。

**備考** n = 4-6



(4) A/Dトリガ立ち上がり, 立ち下がりエッジ指定レジスタ (ADTR, ADTF)

ADTR, ADTFレジスタは, ADTRG0/INTADT0, ADTRG1/INTADT1端子のトリガ・モードを指定するレジスタです。

有効エッジは, 立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できる8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

**注意** A/Dコンバータ<sub>n</sub>の外部トリガ入力 (兼用機能) / 外部割り込み機能 (兼用機能) からポート・モードに切り替える場合には, エッジが検出される可能性があるため, 必ずADTF<sub>n</sub>, ADTR<sub>n</sub>ビット = 00に設定してからポート・モードに設定してください。

リセット時 : 00H    R/W    アドレス : FFFFF2F2H

	7	6	5	4	3	2	1	0
ADTR	0	0	0	0	0	0	ADTR1	ADTR0

リセット時 : 00H    R/W    アドレス : FFFFF2F0H

	7	6	5	4	3	2	1	0
ADTF	0	0	0	0	0	0	ADTF1	ADTF0

**備考** 有効エッジの指定については表12 - 8を参照してください。

表20 - 6 ADTRG0/INTADT0, ADTRG1/INTADT1端子の有効エッジの指定

ADTF <sub>n</sub>	ADTR <sub>n</sub>	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

**注意** ADTRG<sub>n</sub>/INTADT<sub>n</sub>端子として使用しない場合, 必ずADTF<sub>n</sub>, ADTR<sub>n</sub>ビット = 00に設定してください。

**備考** n = 0, 1

## 20.5 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

### 20.5.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

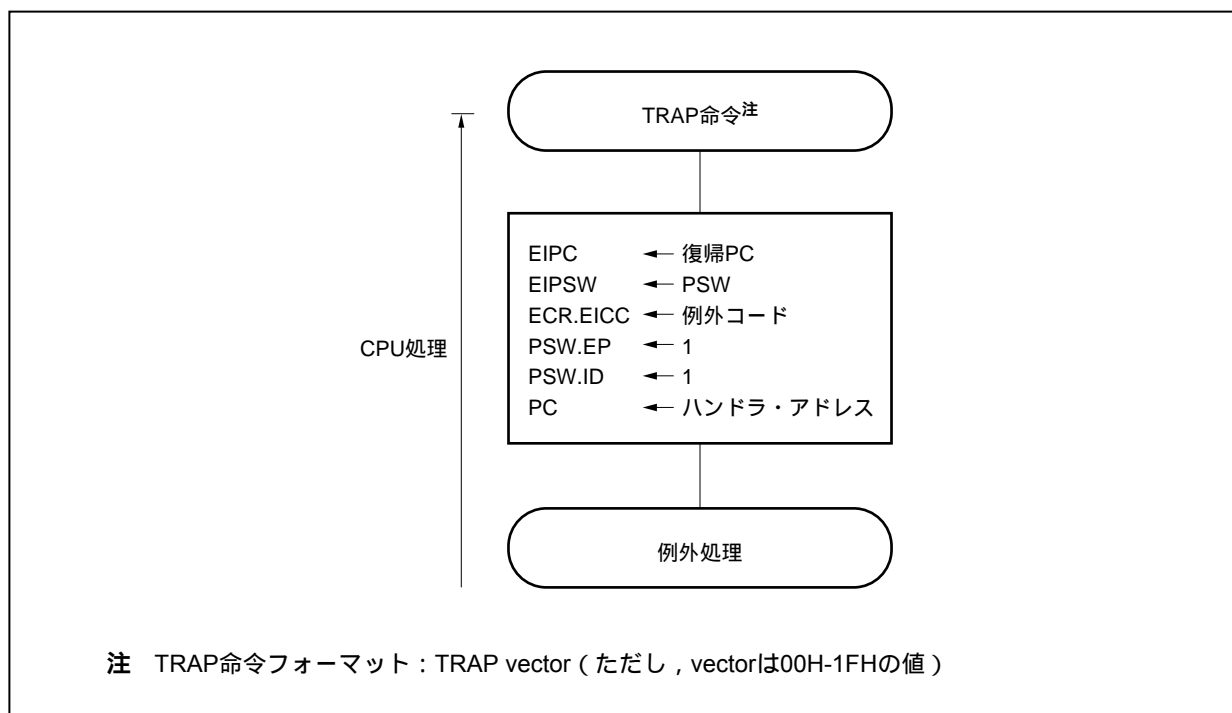
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSW.EP, IDビットをセット (1) します。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を次に示します。

図20 - 8 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

## 20.5.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

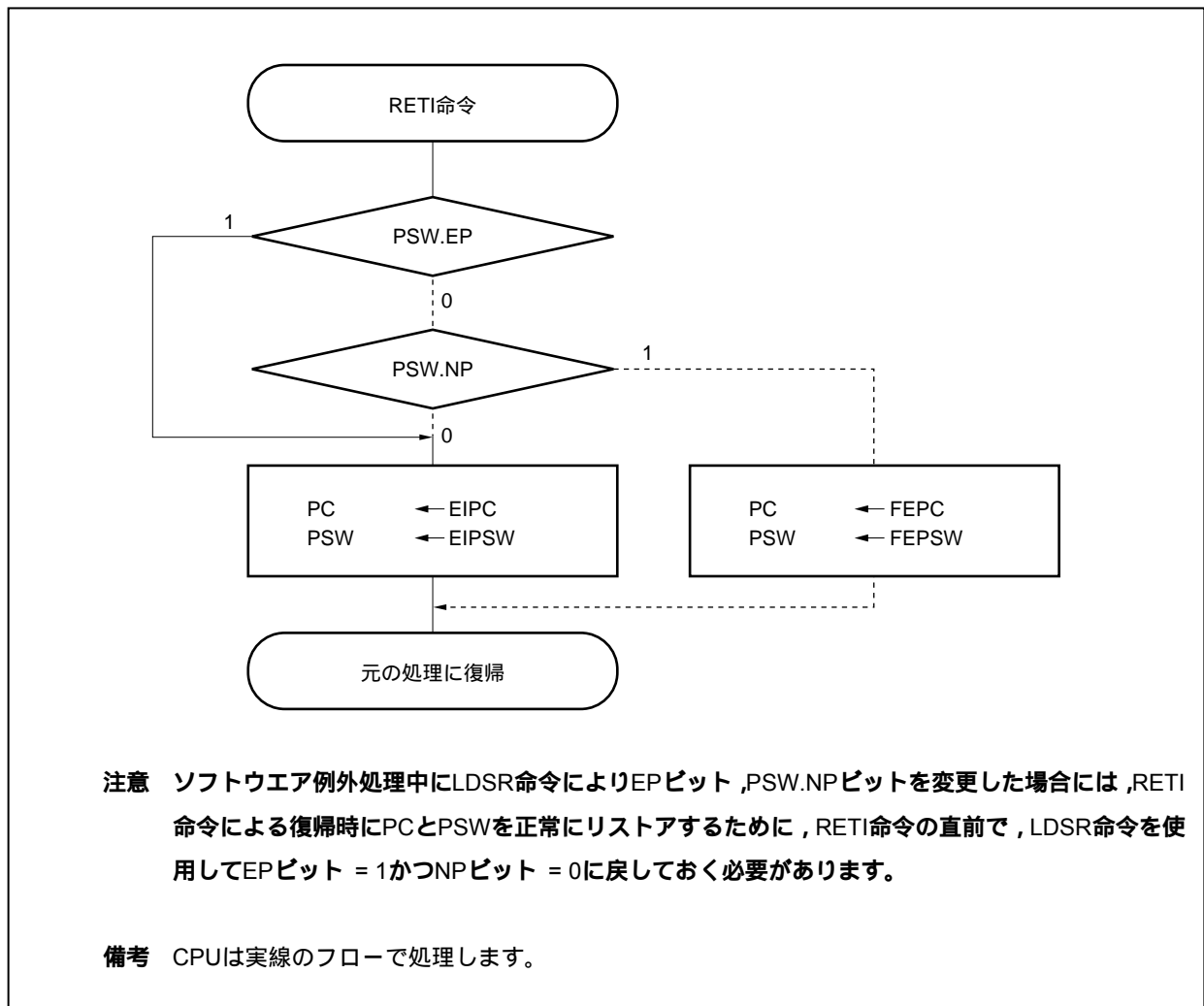
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図20 - 9 RETI命令の処理形態



### 20.5.3 例外ステータス・フラグ (EP)

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。EPフラグは、PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時：00000020H

	31		8	7	6	5	4	3	2	1	0
PSW	0			NP	EP	ID	SAT	CY	OV	S	Z

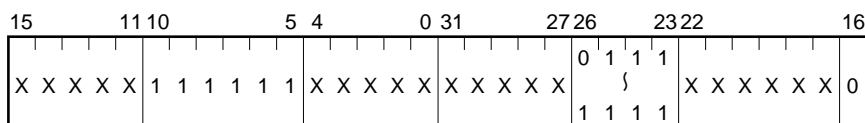
EP	例外処理状態
0	例外処理中でない
1	例外処理中

## 20.6 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850E/IF3, V850E/IG3では、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

### 20.6.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が111111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



X : 任意

**注意** 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

#### (1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

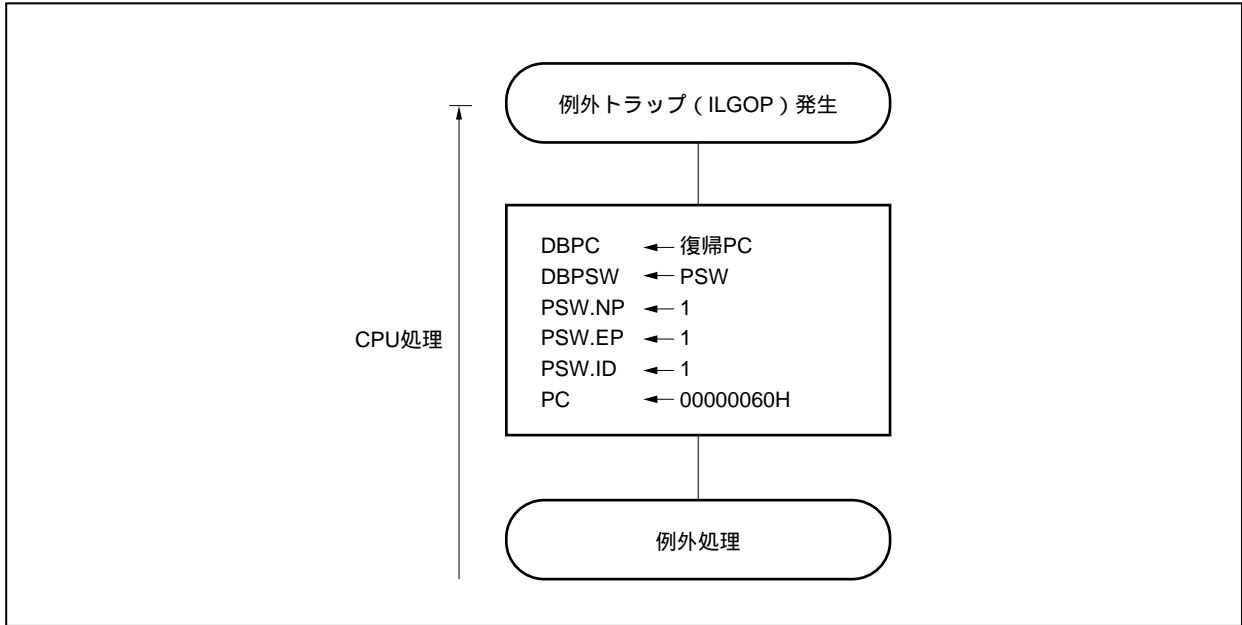
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCに例外トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

例外トラップの処理形態を次に示します。

図20 - 10 例外トラップの処理形態



(2) 復 帰

例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

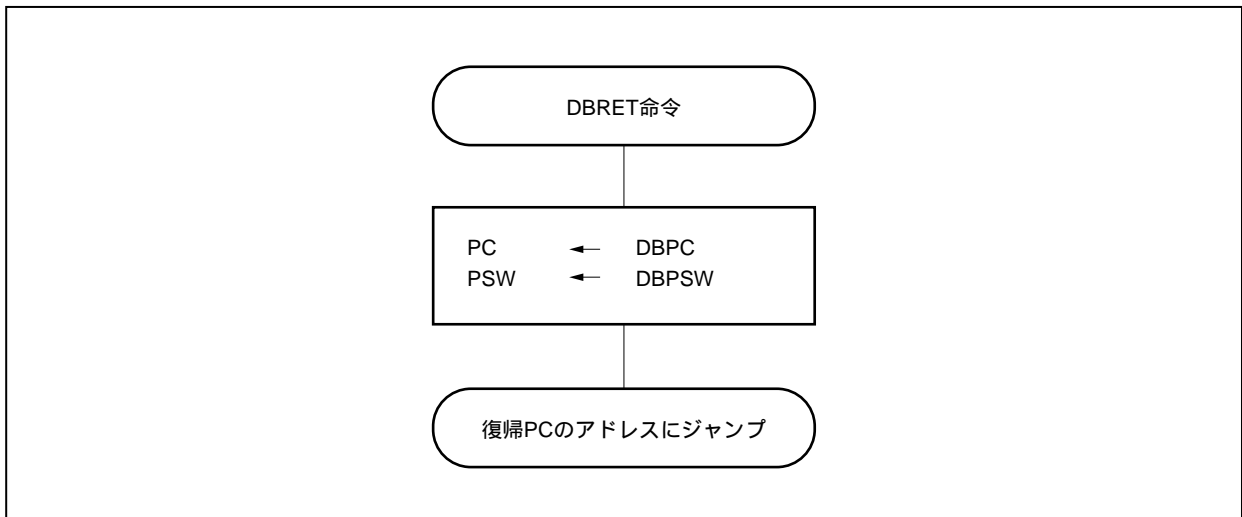
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

**注意** DBPCとDBPSWには、不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセスできます。

例外トラップからの復帰の処理形態を次に示します。

図20 - 11 例外トラップからの復帰の処理形態



## 20.6.2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

デバッグ・トラップが発生した場合、CPUは次の処理を行います。

### (1) 動作

復帰PCをDBPCに退避します。

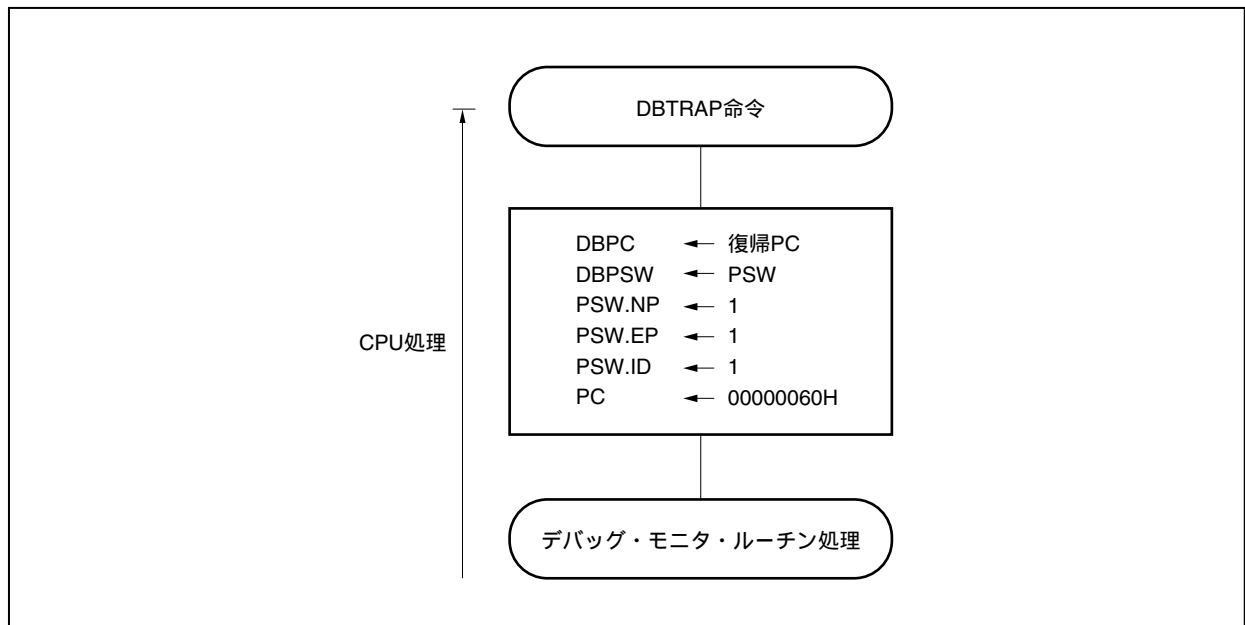
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCにデバッグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

デバッグ・トラップの処理形態を次に示します。

図20 - 12 デバッグ・トラップの処理形態



## (2) 復 帰

デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

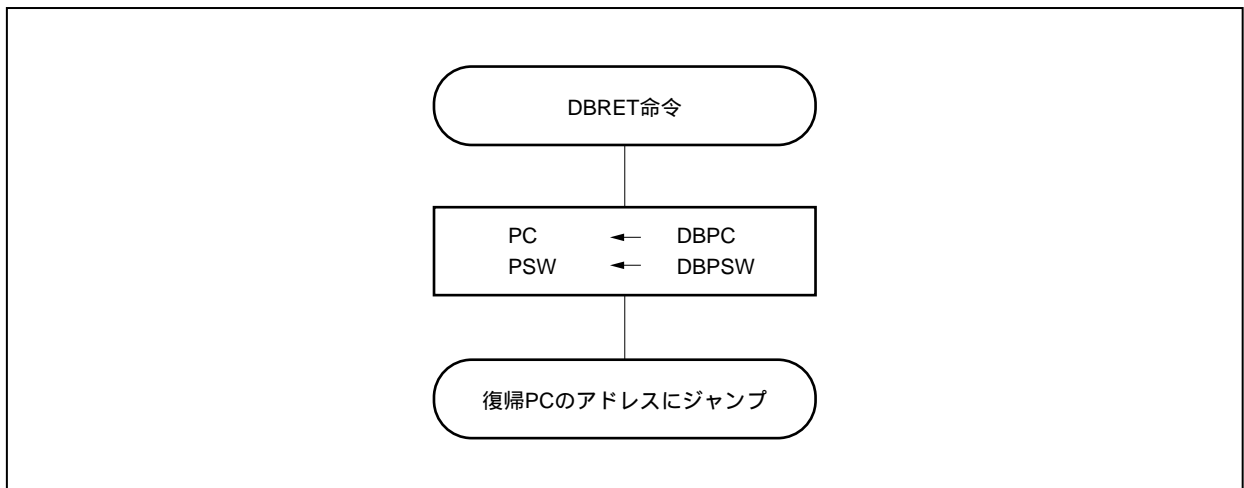
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

**注意** DBPCとDBPSWには、DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセスできます。

デバッグ・トラップからの復帰の処理形態を次に示します。

図20 - 13 デバッグ・トラップからの復帰の処理形態





## 20.7 多重割り込み処理制御

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求信号があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求信号を受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求信号だった場合は、その割り込み要求信号は保留されます。

マスクブル割り込みの多重処理制御は、割り込み許可状態 (PSW.IDビット = 0) のときに行われます。したがって、多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態 (PSW.IDビット = 0) にする必要があります。

マスクブル割り込みまたはソフトウェア例外のサービス・プログラム中に、マスクブル割り込みの許可またはソフトウェア例外を発生させる場合は、EIPC, EIPSWを退避する必要があります。

次のような手順で行います。

### (1) サービス・プログラム中にマスクブル割り込み要求信号を受け付ける場合

マスクブル割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
・ EI命令 (割り込み受け付け許可)
...
...
...
...
・ DI命令 (割り込み受け付け禁止)
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

マスクブル割り込み受け付け

## (2) サービス・プログラム中に例外を発生させる場合

マスクブル割り込みまたは例外のサービス・プログラム

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
...
・ TRAP命令
...
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

TRAP命令などの例外受け付け

多重割り込み処理制御のための優先順位は、各マスクブル割り込み要求信号ごとに0-7までの8レベル(0が最優先)が、ソフトウェアにより任意に設定可能です。優先順位レベルの設定は、マスクブル割り込み要求信号ごとに用意されている割り込み要求制御レジスタ(  $xxICn$  )の  $xxPRn0$ - $xxPRn2$  ビットで行います。システム・リセット時には、 $xxMKn$  ビットにより割り込み要求信号はマスクされ、 $xxPRn0$ - $xxPRn2$  ビットにより優先順位はレベル7に設定されます。

マスクブル割り込みの優先順位は次のようになります。

(高) レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 (低)

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

保留された割り込み要求信号は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

**注意** ノンマスクブル割り込み処理ルーチン内 (RETI命令を実行するまでの期間) では、マスクブル割り込みを受け付けず、保留します。

**備考**  $xx$  : 各周辺ユニット識別名称 (表20 - 2参照)

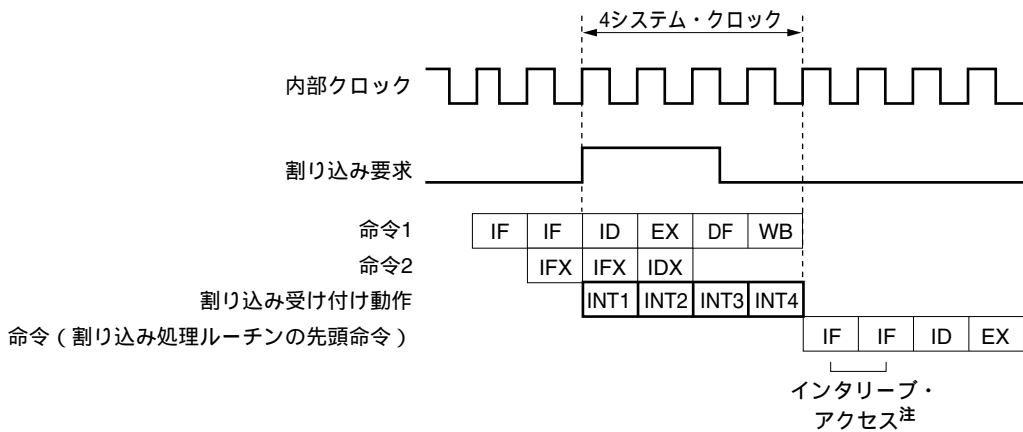
$n$  : 周辺ユニット番号 (表20 - 2参照)

## 20.8 CPUの割り込み応答時間

次の場合を除き、CPUの割り込み応答時間は、最小4クロックとなります。連続して割り込み要求信号を入力する場合には、最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

- ・ IDLE/STOPモード時
- ・ 割り込み要求非サンプル命令（20.9 CPUが割り込みを受け付けない期間参照）が連続しているとき
- ・ 内蔵周辺I/Oレジスタへのアクセス時

図20 - 14 割り込み要求受け付け時のパイプライン動作 (概略)



注 インタリーブ・アクセスについてはV850E1 ユーザーズ・マニュアル アーキテクチャ編 (U14559J) の8. 1. 2 2クロック分岐を参照してください。

- 備考 INT1-INT4 : 割り込み受け付け処理  
 IFX : 無効となる命令フェッチ  
 IDX : 無効となる命令デコード

割り込み応答時間 (内部システム・クロック)				条 件
内部 割り込み	外部割り込み			
	INTP00, INTP01, INTPa <sup>注1</sup> , INTP08-INTP13, INTP17, INTP18, INTADT0, INTADT1	INTP14-INTP16		
最小	4	4 + アナログ・フィルタ時間	4 + <sup>注3</sup> + デジタル・ノイズ・ フィルタ	次の場合は除きます。 ・ IDLE/STOPモード時 ・ 外部バス・アクセス時 ・ 割り込み要求非サンプル命令が連続しているとき ・ 内蔵周辺I/Oレジスタへのアクセス時
最大	7 <sup>注2</sup>	7 + アナログ・フィルタ時間	7 + <sup>注3</sup> + デジタル・ノイズ・ フィルタ	

注1. V850E/IG3のみ

- 内蔵ROMに対するLD命令実行時 (アライン・アクセス時)
- 内部システム・クロック数は4. 6 (1) デジタル・ノイズ除去0制御レジスタn (INTNFCn) を参照してください。

備考 a = 02-07

## 20.9 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・EI命令
- ・DI命令
- ・LDSR reg2, 0x5命令（対PSW）
- ・コマンド・レジスタ（PRCMD）に対するストア命令
- ・次のレジスタに対するストア命令およびtst1命令を除くビット操作命令
  - ・割り込み関連のレジスタ：
    - 割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-5（IMR0-IMR5）
  - ・パワー・セーブ・コントロール・レジスタ（PSC）

**備考** xx：各周辺ユニット識別名称（表20 - 2参照）

n：周辺ユニット番号（表20 - 2参照）

## 20.10 注意事項

ポートを外部割り込み入力（INTPn）に設定した場合には、兼用しているタイマ/カウンタ、シリアル・インタフェース、A/Dコンバータ関連の割り込みは発生しませんので注意してください（V850E/IF3：n = 00, 01, 08-18, ADT0, ADT1，V850E/IG3：n = 00-18, ADT0, ADT1）。

# 第21章 スタンバイ機能

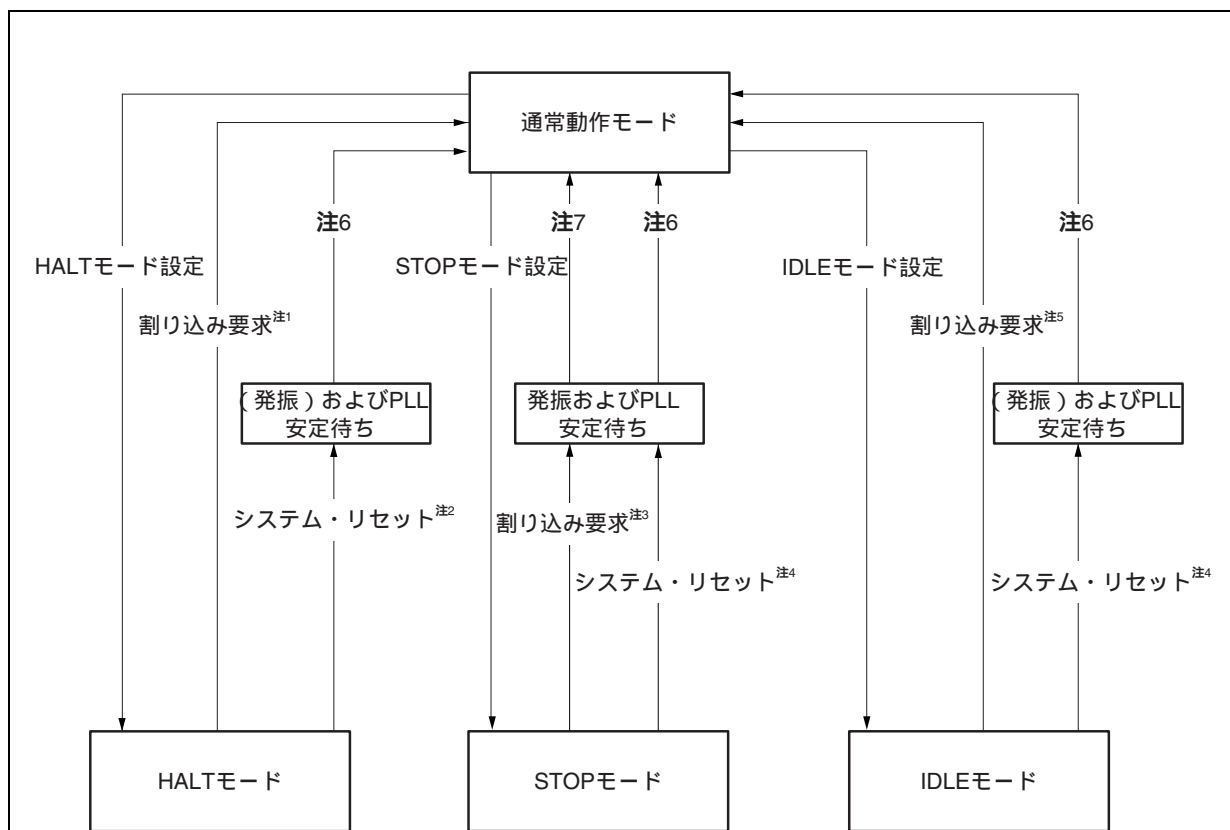
## 21.1 概 要

各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。スタンバイ機能には、次に示すものがあります。

表21-1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLEモード	発振回路、PLL、スレープ・モード時のCSIB、クロック・モニタ、低電圧検出回路（LVI）、パワーオン・クリア回路（POC）以外の内部回路の動作をすべて停止させるモード
STOPモード	スレープ・モード時のCSIB、低電圧検出回路（LVI）、パワーオン・クリア回路（POC）以外の内部回路の動作をすべて停止させるモード

図21 - 1 状態遷移図



- 注1. ノンマスカブル割り込み要求信号 (INTWDT) , マスクされていないマスカブル割り込み要求信号
2.  $\overline{\text{RESET}}$ 端子入力, ウォッチドッグ・タイマのオーバフローによるリセット信号 (WDTRES) 発生, 低電圧検出回路 (LVI) によるリセット信号 (LVIRE) 発生, パワーオン・クリア回路 (POC) によるリセット信号 (POCRES) 発生。
3. マスクされていない外部割り込み要求信号 (INTP00, INTP01, INTP02-INTP07 (V850E/IG3のみ) , INTP08-INTP13, INTP17, INTP18, INTADT0, INTADT1) , STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号 (スレープ・モード時のCSIB関連割り込み要求信号)
4.  $\overline{\text{RESET}}$ 端子入力, 低電圧検出回路 (LVI) によるリセット信号 (LVIRE) 発生, パワーオン・クリア回路 (POC) によるリセット信号 (POCRES) 発生。
5. マスクされていない外部割り込み要求信号 (INTP00, INTP01, INTP02-INTP07 (V850E/IG3のみ) , INTP08-INTP13, INTP17, INTP18, INTADT0, INTADT1) , IDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号 (スレープ・モード時のCSIB関連割り込み要求信号)
6. 発振安定時間ウェイト制御 (OST) による発振安定時間カウント。  
リセットにより, PLLは初期化状態になるため, リセット解除後に安定時間が必要です。安定時間はデフォルトで決められた時間となります。
7. 発振安定時間ウェイト制御 (OST) による発振安定時間カウント。  
安定時間はOSTSレジスタの設定で決定します。

## 21.2 制御レジスタ

### (1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STBビットの設定によりスタンバイ・モードを指定します。PSCレジスタは特定レジスタです(3.4.8 特定レジスタ参照)。特定のシーケンスの組み合わせによってだけ書き込みができます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFF1FEH

	7	6	5	④	3	2	①	0
PSC	0	0	0	INTM	0	0	STB	0

INTM	マスカブル割り込み要求 (INTxx <sup>注1</sup> ) によるスタンバイ・モードの制御 <sup>注2</sup>
0	INTxx要求によるスタンバイ・モード解除許可
1	INTxx要求によるスタンバイ・モード解除禁止

STB	動作モードの設定
0	通常モード
1	スタンバイ・モード

注1. 詳細は、表20-1 割り込み要因一覧を参照してください。

2. 設定はIDLEモードおよびSTOPモード時のみ有効です。

注意1. ビット0, 2, 3, 5-7には、必ず0を設定してください。

2. STBビット = 1によりスタンバイ・モードに移行する場合には、必ずPCCレジスタ = 03Hに設定してからSTBビットの指定をしてください。これ以外の設定では、スタンバイ・モードの移行や解除ができない場合があります。

なお、スタンバイ・モード解除後は、PCCレジスタを所望の値に変更してください。

3. IDLEモードおよびSTOPモードに設定する場合には、まずPCCレジスタ = 03H, PSMR.PSM0ビットの順序で設定してから、STBビット = 1にしてください。

### (2) パワー・セーブ・モード・レジスタ (PSMR)

ソフトウェア・スタンバイ・モード時の動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFF820H

	7	6	5	4	3	2	1	①
PSMR	0	0	0	0	0	0	0	PSM0

PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	IDLEモード
1	STOPモード

注意1. ビット1-7には、必ず0を設定してください。

2. PSM0ビットは、PSC.STBビット = 1のときのみ有効です。



## 21.3 HALTモード

### 21.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに移行します。

HALTモードに移行すると、CPUへのクロック供給のみが停止しますが、クロック・ジェネレータおよびPLLは動作を継続するので、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容はHALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表21-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減できます。

**注意1.** HALT命令の後には、NOP命令を5命令以上挿入してください。

2. 割り込み要求が保留されている状態で、HALT命令を実行した場合は、HALTモードに移行しますが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

### 21.3.2 HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求信号（INTWDT）、マスクされていないマスクابل割り込み要求信号、リセット信号（RESET端子入力、ウォッチドッグ・タイマのオーバフローによるリセット信号（WDTRES）発生、低電圧検出回路（LVI）によるリセット信号（LVIRET）発生、パワーオン・クリア回路（POC）によるリセット信号（POCRET）発生）により解除されます。

HALTモードの解除により、通常動作モードに移行します。

#### (1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号（INTWDT）、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込みよりも優先順位の低い割り込み要求信号、または同一優先順位の割り込み要求信号が発生するとHALTモードの解除のみ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。したがって、HALT命令の次の命令から実行を開始します。
- (b) 現在処理中の割り込みよりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、HALTモードの解除とともにこの割り込み要求信号を受け付けます。したがって、ハンドラ・アドレスに分岐します。

表21-2 割り込み要求信号によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクされていない マスクابل割り込み要求信号	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

(2) RESET端子入力, WDTRES信号発生, LVIRES信号発生, POCRES信号発生による解除  
通常のリセット動作と同じです。

表21 - 3 HALTモード時の動作状態

HALTモードの設定		動作状態
項目		
クロック・ジェネレータ, PLL		動作
システム・クロック (f <sub>xx</sub> )		供給
CPU		動作停止
外部バス・インタフェース <sup>注</sup>		表2 - 2 動作モードによる各端子の動作状態参照
DMA		動作可能
割り込みコントローラ		動作可能
タイマ	TAA0-TAA4	動作可能
	TAB0, TAB1	動作可能
	TMT0, TMT1	動作可能
	TMM0-TMM3	動作可能
ウォッチドッグ・タイマ		動作可能
シリアル・インタフェース	CSIB0-CSIB2	動作可能
	UARTA0-UARTA2	動作可能
	UARTB	動作可能
	I <sup>2</sup> C	動作可能
A/Dコンバータ0-2		動作可能
クロック・モニタ		動作可能
低電圧検出回路		動作可能
パワーオン・クリア回路		動作可能
ポート機能		HALTモード設定前の状態を保持
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持

注 μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

## 21.4 IDLEモード

### 21.4.1 設定および動作状態

通常動作モード時、PSMR.PSM0ビットをクリア(0)し、PSC.STBビットをセット(1)することにより、IDLEモードに移行します。

IDLEモードに移行すると、クロック・ジェネレータおよびPLLは動作を継続しますが、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLEモード設定前の状態を保持します。また、CPUや、そのほかの内蔵周辺機能は動作を停止します。ただし、外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表21-5にIDLEモード時の動作状態を示します。

IDLEモードは、内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。また、クロック・ジェネレータおよびPLLは停止しないので、IDLEモード解除時、HALTモードと同様に、発振安定時間を確保することなく通常動作モードに復帰できます。

**注意** IDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

### 21.4.2 IDLEモードの解除

IDLEモードは、マスクされていない外部割り込み要求信号 (INTP00, INTP01, INTP02-INTP07 (V850E/IG3のみ), INTP08-INTP13, INTP17, INTP18, INTADT0, INTADT1端子入力), IDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号 (スレープ・モード時のCSIB関連割り込み要求信号), リセット信号 ( $\overline{\text{RESET}}$ 端子入力, 低電圧検出回路 (LVI) によるリセット信号 (LVIRE) 発生, パワーオン・クリア回路 (POC) によるリセット信号 (POCRES) 発生) により解除されます。

IDLEモードの解除により、通常動作モードに移行します。

#### (1) マスクされていないマスクブル割り込み要求信号

マスクされていないマスクブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLEモードに設定した場合は次のようになります。

**注意** PSC.INTMビット = 1設定時には、マスクされていないマスクブル割り込み要求信号によるIDLEモードの解除はできません。

- (a) 現在処理中の割り込みよりも優先順位の低い割り込み要求信号、または同一優先順位の割り込み要求信号が発生するとIDLEモードの解除のみ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。したがって、IDLE命令の次の命令から実行を開始します。
- (b) 現在処理中の割り込みよりも優先順位が高い割り込み要求信号が発生すると、IDLEモードの解除とともにこの割り込み要求信号を受け付けます。したがって、ハンドラ・アドレスに分岐します。

表21 - 4 割り込み要求信号によるIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
マスクされていない マスカブル割り込み要求	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

(2) RESET端子入力, LVIRES信号発生, POCRES信号発生による解除  
通常のリセット動作と同じです。

表21 - 5 IDLEモード時の動作状態

IDLEモードの設定		動作状態
項目		
クロック・ジェネレータ, PLL		動作
システム・クロック (fx)		供給停止
CPU		動作停止
外部バス・インタフェース <sup>注</sup>		表2 - 2 動作モードによる各端子の動作状態参照
DMA		動作停止
割り込みコントローラ		動作停止
タイマ	TAA0-TAA4	動作停止
	TAB0, TAB1	動作停止
	TMT0, TMT1	動作停止
	TMM0-TMM3	動作停止
ウォッチドッグ・タイマ		動作停止
シリアル・インタフェース	CSIB0-CSIB2	カウント・クロックにSCKBn入力クロック選択時 (スレープ・モード時), 動作可能 (n = 0-2)
	UARTA0-UARTA2	動作停止
	UARTB	動作停止
	I <sup>2</sup> C	動作停止
A/Dコンバータ0-2		動作停止
クロック・モニタ		動作可能
低電圧検出回路		動作可能
パワーオン・クリア回路		動作可能
ポート機能		IDLEモード設定前の状態を保持
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLEモード設定前の状態を保持

注 μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

## 21.5 STOPモード

### 21.5.1 設定および動作状態

通常動作モード時、PSMR.PSM0ビットをセット(1)し、PSC.STBビットをセット(1)することにより、STOPモードに移行します。

STOPモードに移行するとクロック・ジェネレータは動作を停止します。また、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はSTOPモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、外部クロックで動作可能な内蔵周辺機能については、動作を継続します。

表21-7にSTOPモード時の動作状態を示します。

STOPモードは、クロック・ジェネレータの動作が停止するので、IDLEモードよりさらに低消費電力を実現できます。また、外部クロックを使用しない場合はリーク電流のみの超低消費電力を実現できます。

**注意** STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

### 21.5.2 STOPモードの解除

STOPモードは、マスクされていない外部割り込み要求信号(INTP00, INTP01, INTP02-INTP07 (V850E/IG3のみ)、INTP08-INTP13, INTP17, INTP18, INTADT0, INTADT1端子入力)、STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号(スレーブ・モード時のCSIB関連割り込み要求信号)、リセット信号(RESET端子入力、低電圧検出回路(LVI)によるリセット信号(LVIRE)発生、パワーオン・クリア回路(POC)によるリセット信号(POCRES)発生)により解除されます。

STOPモードの解除により、発振安定時間を確保したあと、通常動作モードに移行します。

#### (1) マスクされていないマスクブル割り込み要求信号

マスクされていないマスクブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

**注意** PSC.INTMビット = 1設定時には、マスクされていないマスクブル割り込み要求信号によるSTOPモードの解除はできません。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求、または同一優先順位の割り込み要求が発生するとSTOPモードの解除のみ行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。したがって、STOP命令の次の命令から実行を開始します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求が発生すると、STOPモードの解除とともにこの割り込み要求を受け付けます。したがって、ハンドラ・アドレスに分岐します。

表21 - 6 割り込み要求信号によるSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
マスクされていない マスカブル割り込み要求	発振安定時間確保後, ハンドラ・アドレスに分岐, または次の命令を実行	発振安定時間確保後, 次の命令を実行

(2) RESET端子入力, LVIRES信号発生, POCRES信号発生による解除

通常のリセット動作と同じです。

表21 - 7 STOPモード時の動作状態

STOPモード の設定		動作状態
項目		
クロック・ジェネレータ, PLL		動作停止
システム・クロック (f <sub>xx</sub> )		供給停止
CPU		動作停止
外部バス・インタフェース <sup>注</sup>		表2 - 2 動作モードによる各端子の動作状態参照
DMA		動作停止
割り込みコントローラ		動作停止
タイマ	TAA0-TAA4	動作停止
	TAB0, TAB1	動作停止
	TMT0, TMT1	動作停止
	TMM0-TMM3	動作停止
ウォッチドッグ・タイマ		動作停止
シリアル・インタフェース	CSIB0-CSIB2	カウント・クロックにSCKBn入力クロック選択時 (スレーブ・モード時), 動作可能 (n = 0-2)
	UARTA0-UARTA2	動作停止
	UARTB	動作停止
	I <sup>2</sup> C	動作停止
A/Dコンバータ0-2		動作停止
クロック・モニタ		動作停止
低電圧検出回路		動作可能
パワーオン・クリア回路		動作可能
ポート機能		STOPモード設定前の状態を保持
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてSTOPモード設定前の状態を保持

注 μ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

## 21.6 発振安定時間の確保

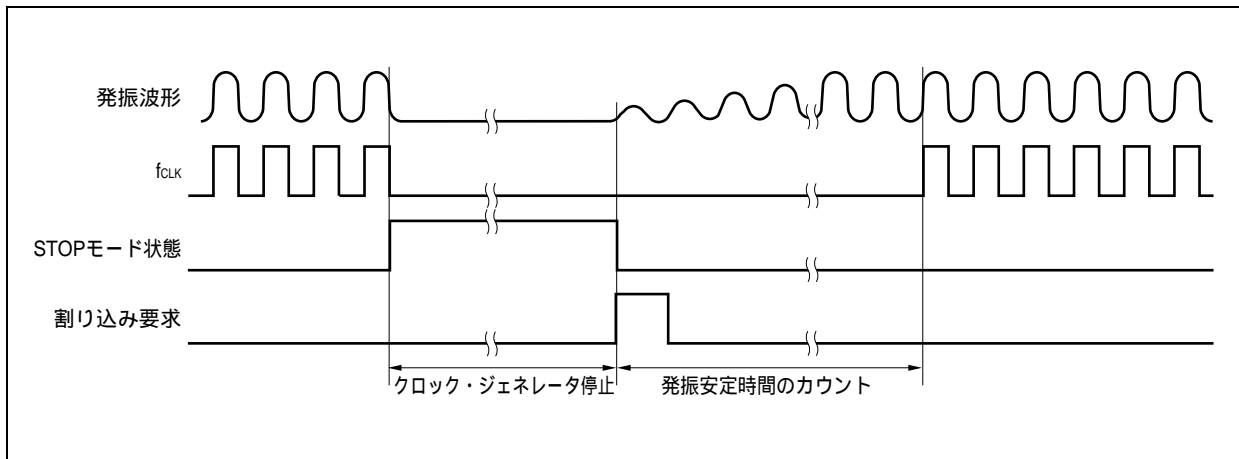
STOPモードを解除すると、OSTSレジスタで設定していた時間だけ発振安定時間を確保します。 $\overline{\text{RESET}}$ 端子入力による解除時は、OSTSレジスタのリセット値： $2^{14}/f_x$  ( $f_x = 8 \text{ MHz}$ 時、 $2.048 \text{ ms}$ ) となります。

ただし、実際の発振安定時間はこの半分の時間（リセット時： $2^{13}/f_x$  ( $f_x = 8 \text{ MHz}$ 時、 $1.024 \text{ ms}$ ) となり、あとの半分はPLLの安定時間となります。STOPモードからの解除時の発振安定時間は、使用する発振子の発振安定時間に対して倍の時間を設定してください。また、 $\overline{\text{RESET}}$ 端子入力による解除時、発振安定時間を考慮して、必ず「使用する発振子の発振安定時間 - 固定発振安定時間」以上の $\overline{\text{RESET}}$ 信号のロウ・レベル幅で発振安定時間を確保してください。

なお、発振安定時間カウント用タイマはそのオーバフロー時間だけ発振安定時間を確保します。

STOPモードを割り込み要求信号で解除した場合の動作を次に示します。

図21-2 発振安定時間



**注意** OSTSレジスタの詳細は、5.3 (5) 発振安定時間選択レジスタ (OSTS) を参照してください。

## 第22章 リセット機能

### 22.1 概 要

- ・  $\overline{\text{RESET}}$ 端子入力によるシステム・リセット
- ・ ウォッチドッグ・タイマ (WDT) のオーバフローによるシステム・リセット信号 (WDTRES) 発生
- ・ 低電圧検出回路 (LVI) によるシステム・リセット信号 (LVIRESE)
- ・ パワーオン・クリア回路 (POC) によるシステム・リセット信号 (POCRESE)
- ・ オンチップ・デバッグ機能による強制リセット, リセット・マスク機能 (第26章 オンチップ・デバッグ機能参照)



## 22.2 制御レジスタ

### (1) リセット要因フラグ・レジスタ (RESF)

RESFレジスタは、ウォッチドッグ・タイマ (WDT) または低電圧検出回路 (LVI) からのリセット要求の発生を示す8ビット・レジスタです。

WDTまたはLVIからの内部リセット要因信号がアクティブになった場合に、WDTRFまたはLVIRFビットがセット (1) されます。WDTRFまたはLVIRFビットのクリアは、リセット信号 ( $\overline{\text{RESET}}$  端子入力, パワーオン・クリア回路 (POC) によるリセット信号 (POCRES) 発生, オンチップ・デバッグ機能による強制リセット発生), またはビット操作命令またはストア命令によるクリア (WDTRFまたはLVIRFビットへの0ライト) で行います。

RESFレジスタは、特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。ただし、ビット0, 4のライトはクリア (0) のみ可能です。

$\overline{\text{RESET}}$  端子入力, パワーオン・クリア回路 (POC) によるリセット, オンチップ・デバッグ機能による強制リセットで00Hになります。それ以外の要因のリセットによりリセット値は異なります。リセットが競合した場合の詳細については注意を参照してください。

リセット時：00H<sup>注</sup> R/W アドレス：FFFFFF888H

	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	ウォッチドッグ・タイマ (WDT) からのリセット信号発生有無
0	リード時：リセット要求の発生なし，ライト時：クリア
1	リセット要求の発生あり

LVIRF	低電圧検出回路 (LVI) からのリセット信号発生有無
0	リード時：リセット要求の発生なし，ライト時：クリア
1	リセット要求の発生あり

**注**  $\overline{\text{RESET}}$ 端子入力，パワーオン・クリア回路 (POC) によるリセット時，オンチップ・デバッグ機能による強制リセット：00H  
 ウォッチドッグ・タイマのオーバーフローによるリセット時：10H  
 低電圧検出回路 (LVI) によるリセット時：01H

**注意1.** RESFレジスタのビット・セット (セット要因のリセット発生) とクリア (システム・リセットの発生，およびWDTRF, LVIRFビットへの0ライト) が競合した場合は，次のような優先順位となります。

$\overline{\text{RESET}}$ 端子入力，パワーオン・クリア回路 (POC) によるリセット発生，オンチップ・デバッグ機能による強制リセット (RESFレジスタ・クリア)  
 WDT, LVIによるリセット発生 (RESFレジスタ・セット)  
 ビット操作命令またはストア命令によるWDTRF, LVIRFビットへの0ライト (RESFレジスタ・クリア)

2. フラグ・セット要因発生時にリセット・マスクを設定していても，フラグはセットされます (リセット・マスクの影響を受けない)。

## 22.3 動作

### (1) RESET端子入力によるリセット動作

RESET端子にロウ・レベルを入力すると、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

RESET端子へのロウ・レベル入力期間中も発振回路は発振を継続しますが、発振モードはクロック・スルー・モード（PLLCTLレジスタ = 01H）に、CPUクロック（ $f_{CPU}$ ）分周は、 $f_{xx}/8$ （PCCレジスタ = 03H）に初期化されます。

RESET端子がロウ・レベルからハイ・レベルに変化すると、リセット状態を解除します。リセット状態を解除後、発振回路の発振安定時間とPLLのロックアップ時間（両時間の合計時間としてOSTSレジスタの初期値： $2^{14}/f_x$ （2.05 ms（ $f_x = 8$  MHz時）））を確保したあと、CPUはプログラムの実行を開始します。したがって、リセット解除後はクロック・スルー・モードおよび $f_{xx}/8$ で動作を開始します。

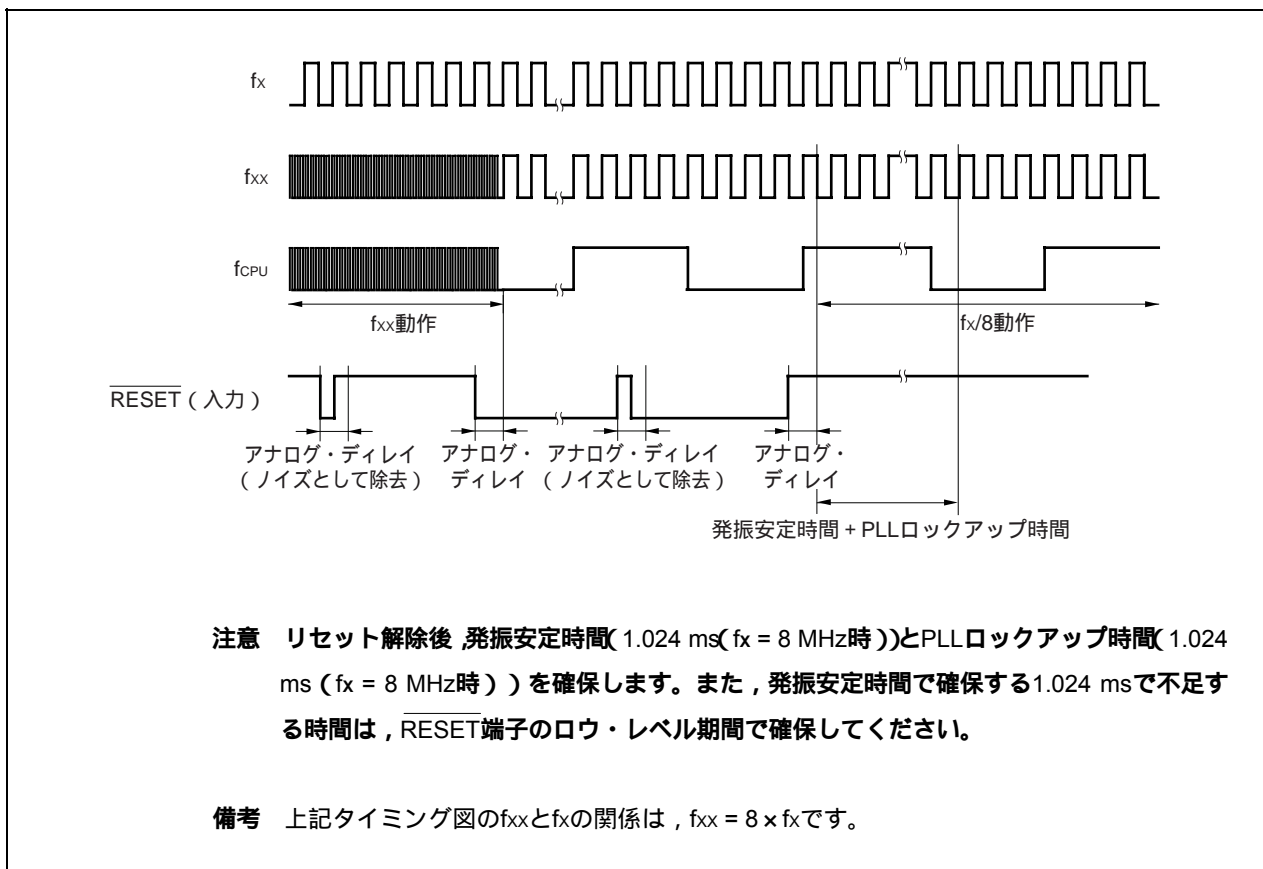
リセット期間中とリセット解除後の各ハードウェアの状態を次に示します。

項目	リセット期間中	リセット解除後
クロック・ジェネレータ： 発振回路（ $f_x$ ） 内部システム・クロック（ $f_{CLK}$ ） CPUクロック（ $f_{CPU}$ ） 外部バス・クロック（ $f_{BUS}$ ） <sup>注</sup>	発振 / 供給継続 ただし、CPUクロック（ $f_{CPU}$ ）を $f_{xx}/8$ に初期化する	
クロック・ジェネレータ： 周辺クロック（ $f_{xx}-f_{xx}/4096$ ）	発振 / 供給停止	発振安定時間を確保後、発振 / 供給開始
クロック・ジェネレータ： ウォッチドッグ・タイマ・クロック（ $f_{xx}/1024$ ）	発振 / 供給停止	発振 / 供給開始
CPU	初期化	発振安定時間を確保後、プログラムの実行開始
内蔵RAM	リセット入力時にSTOPモードの場合のみリセット入力直前の値を保持。それ以外は不定。	
ポート（兼用端子も含む）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ（ポート以外）	所定の状態に初期化	
上記以外の内蔵周辺機能	動作停止	動作開始可能

注  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

RESET端子入力によるリセット動作を次に示します。

図22 - 1 RESET端子入力によるリセット動作



リセット解除後の動作は、PLLモード、クロック・スルー・モードともに共通で、クロック・スルー・モードで立ち上がります。PLLモードにする場合には、ソフトウェアで制御してください(PLLCTL.SELPLLビット = 1に設定)。耐ノイズを考慮する場合には、PLLモードに設定してから、CPUクロックを高速化(例: PCCレジスタ = 00H( $f_{xx}$ 動作))させることを推奨します。

**(2) ウォッチドッグ・タイマ (WDT) のオーバフローによるリセット動作 (WDTRES)**

ウォッチドッグ・タイマ (WDT) のオーバフローによるリセット・モードに設定した (WDTM.WDM1, WDM0ビット = 10または11) 場合, WDTにオーバフロー (WDTRES) が発生すると, システム・リセットがかかり, 各ハードウェアを所定の状態に初期化します。

WDTRES信号が発生するとRESF.WDTRFビットをセット (1) し, 内部リセットが発生したことを示します。

RESFレジスタ動作以外のリセット期間中およびリセット解除後の動作は,  $\overline{\text{RESET}}$ 端子入力によるリセット動作と同じです ( (1)  $\overline{\text{RESET}}$ 端子入力によるリセット動作参照)。

**(3) 低電圧検出回路 (LVI) によるリセット動作 (LVIRES)**

LVIの動作許可時, 電源電圧 ( $V_{DD0}$ ,  $V_{DD1}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し, 電源電圧 < 検出電圧になると, システム・リセットがかかり (LVIM.LVIMDビット = 1設定時), 各ハードウェアを所定の状態に初期化します。

電源電圧 < 検出電圧でリセット状態となり, 電源電圧 検出電圧でリセット解除されます。リセット解除後は, 発振回路の発振安定時間 (OSTSレジスタの初期値:  $2^{14}/f_x$ ) を確保したあと, CPUはプログラムの実行を開始します。

リセット期間中およびリセット解除後の各ハードウェアの状態は,  $\overline{\text{RESET}}$ 端子によるリセット動作と同じです ( (1)  $\overline{\text{RESET}}$ 端子入力によるリセット動作参照)。

低電圧検出回路 (LVI) によるリセット動作の詳細については, 第23章 低電圧検出回路を参照してください。

**(4) パワーオン・クリア回路 (POC) によるリセット動作 (POCRES)**

電源電圧 ( $V_{DD0}$ ,  $V_{DD1}$ ) と検出電圧 ( $V_{POC0}$ ) を比較し, 電源電圧 < 検出電圧になる (電源投入時含む) と, システム・リセットがかかり, 各ハードウェアを所定の状態に初期化します。

電源電圧 < 検出電圧でリセット状態となり, 電源電圧 検出電圧でリセット解除されます。リセット解除後は, 発振回路の発振安定時間 (OSTSレジスタの初期値:  $2^{14}/f_x$ ) を確保したあと, CPUはプログラムの実行を開始します。

リセット期間中およびリセット解除後の各ハードウェア状態は,  $\overline{\text{RESET}}$ 端子によるリセット動作と同じです ( (1)  $\overline{\text{RESET}}$ 端子入力によるリセット動作参照)。

パワーオン・クリア回路 (POC) によるリセット動作の詳細については, 第24章 パワーオン・クリア回路を参照してください。

## 第23章 低電圧検出回路

### 23.1 機能

低電圧検出回路 (LVI) は、次のような機能を持ちます。

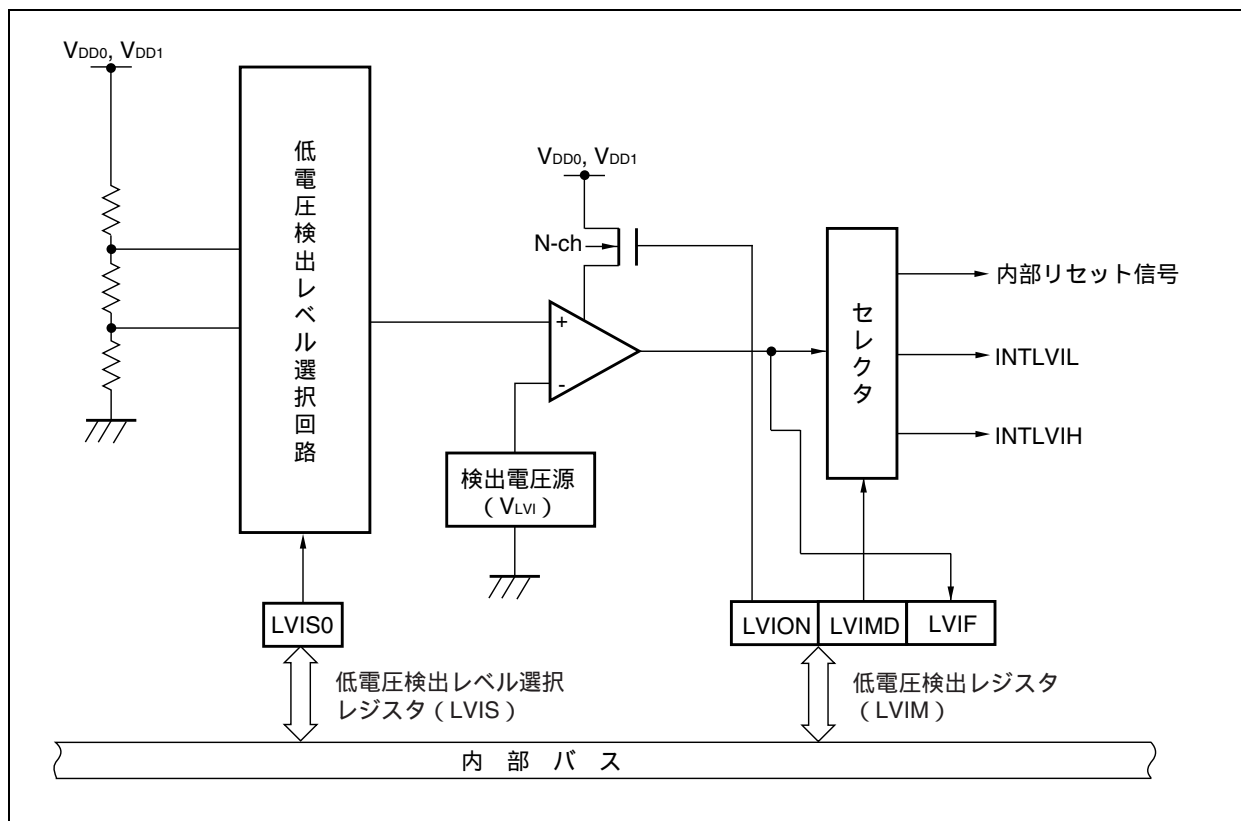
- ・電源電圧 ( $V_{DD0}$ ,  $V_{DD1}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し、電源電圧 < 検出電圧になったとき、割り込み要求信号 (INTLVIL, INTLVIH) または内部リセット信号 (LVIRES) を発生します。
- ・電源電圧の検出レベル (2段階) をソフトウェアにて変更できます。
- ・割り込み要求信号 (INTLVIL, INTLVIH) / 内部リセット信号 (LVIRES) を選択可能です。
- ・STOPモードにおいても動作可能です。
- ・ソフトウェアにて動作停止可能です。

低電圧検出回路をリセットとして使用した場合に、リセットが発生するとRESF.LVIRFビットがセット (1) されます。RESFレジスタについての詳細は、第22章 リセット機能を参照してください。

### 23.2 構成

次にブロック図を示します。

図23 - 1 低電圧検出回路のブロック図



## 23.3 制御レジスタ

### (1) 低電圧検出レジスタ (LVIM)

LVIMレジスタは、低電圧検出動作モードを設定するレジスタです。LVIMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。ただし、ビット0はリードのみ可能です。

低電圧検出回路(LVI)によるリセット以外のリセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF890H

	⑦	6	5	4	3	2	①	⑧
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION	低電圧検出動作の許可/禁止
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧 < 検出電圧時に割り込み要求信号INTLVILを発生 電源電圧 > 検出電圧時に割り込み要求信号INTLVIHを発生
1	電源電圧 < 検出電圧時に内部リセット信号LVIRESを発生

LVIF	低電圧検出フラグ
0	電源電圧 > 検出電圧, または動作禁止時
1	電源電圧 < 検出電圧

- 注意1. LVIONビット = 1設定後, 0.1 ms以上間隔を空けてから, LVIFビットで電圧を確認してください。
- LVIFフラグの値は, LVIONビット = 1かつLVIMDビット = 0の場合に, 出力信号INTLVILまたはINTLVIHとして出力されます。
  - LVIONビット = 1かつLVIMDビット = 1に設定した場合, 低電圧検出回路(LVI)によるリセット以外のリセット要求が発生するまで低電圧検出回路(LVI)は停止できません。
  - ビット2-6には, 必ず0を設定してください。

## (2) 低電圧検出レベル選択レジスタ (LVIS)

LVISレジスタは、低電圧検出レベルを選択するレジスタです。

8ビット単位でリード/ライト可能です。

低電圧検出回路 (LVI) によるリセット以外のリセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF891H

	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	0	0	0	LVIS0

LVIS0	検出レベル
0	4.4 V ± 0.2 V
1	4.2 V ± 0.2 V

**注意1.** LVIM.LVIONビット = 1かつLVIM.LVIMDビット = 1に設定したあと、低電圧検出回路 (LVI) によるリセット以外のリセット要求が発生するまで、LVISレジスタへの書き込みはできません。

**2.** ビット1-7には必ず0を設定してください。



## 23.4 動作

LVIM.LVIMDビットの設定により、割り込み要求信号 (INTLVIL, INTLVIH) または内部リセット信号 (LVIRES) を発生します。

### 23.4.1 内部リセット信号として使用する場合

<動作開始時>

低電圧検出回路 (LVI) の割り込みをマスクします。

LVIS.LVIS0ビットにて検出電圧を設定します。

LVIM.LVIONビット = 1に設定 (動作許可) します。

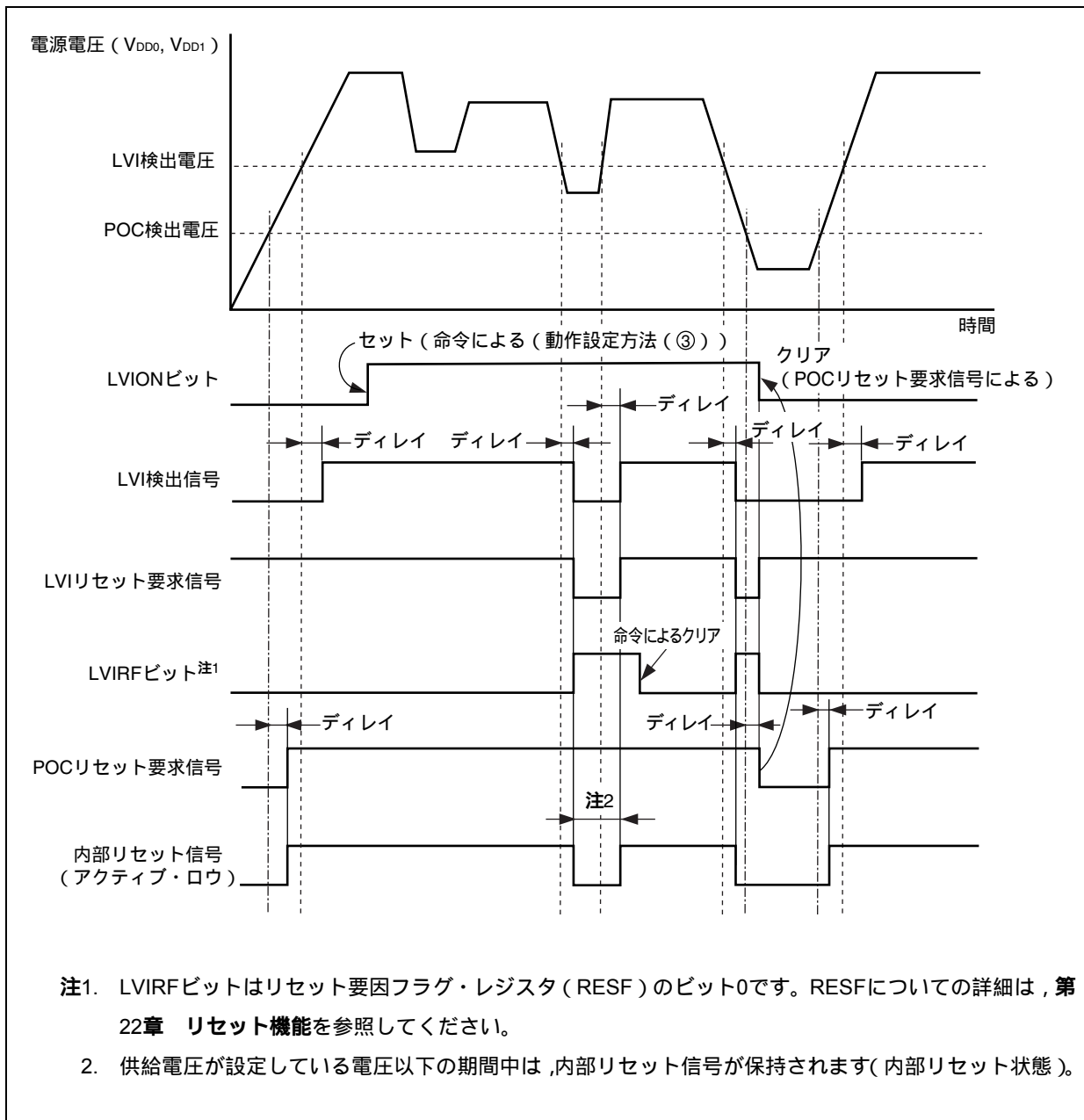
0.1 ms以上ソフトウェアにてウェイトを挿入します。

LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。

LVIM.LVIMDビット = 1 (内部リセット発生) を設定します。

**注意** LVIMDビット = 1に設定した場合、低電圧検出回路 (LVI) 以外のリセット要求が発生するまで、LVIM, LVISレジスタの変更はできません。

図23 - 2 低電圧検出回路の動作タイミング (LVIMDビット = 1)



### 23.4.2 割り込みとして使用する場合

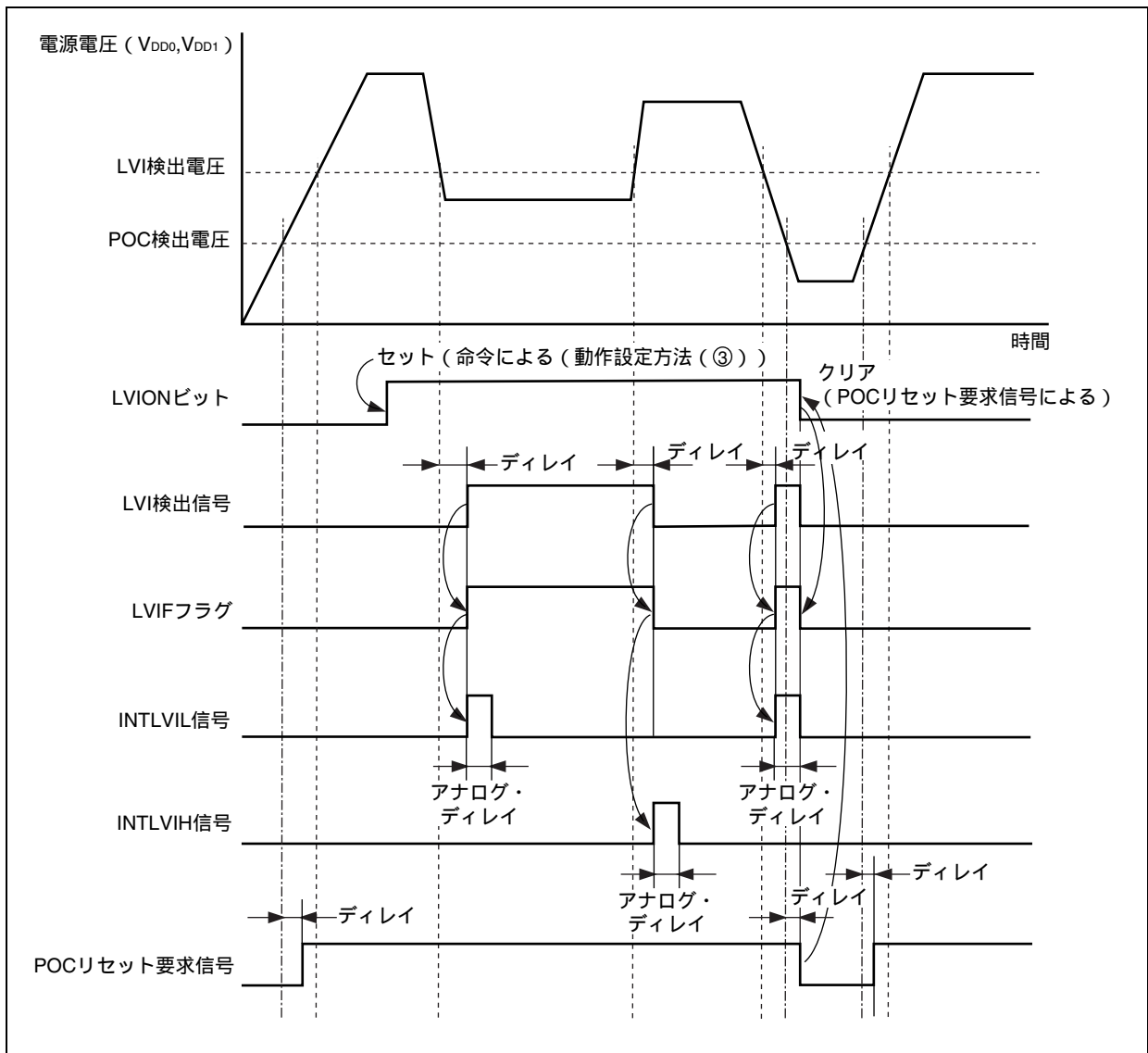
<動作開始時>

- 低電圧検出回路 (LVI) の割り込みをマスクします。
- LVIS.LVIS0ビットにて検出電圧を設定します。
- LVIM.LVIONビット = 1に設定 (動作許可) します。
- 0.1 ms以上ソフトウェアにてウェイトを挿入します。
- LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。
- LVIの割り込み要求フラグをクリアします。
- LVIの割り込みマスクを解除します。

<動作停止時>

- LVIONビット = 0に設定します。

図23 - 3 低電圧検出回路の動作タイミング (LVIMDビット = 0)



## 第24章 パワーオン・クリア回路

### 24.1 機能

パワーオン・クリア回路（POC）の機能を次に示します。

- ・電源投入時にリセット信号（POCRES）を発生します。
- ・電源電圧（ $V_{DD0}$ ,  $V_{DD1}$ ）と検出電圧（ $V_{POC0}$ ）を比較し、電源電圧 < 検出電圧になったとき、リセット信号を発生します（検出電圧（ $V_{POC0}$ ）： $3.7\text{V} \pm 0.2\text{V}$ ）。

**備考** V850E/IF3, V850E/IG3には、ウォッチドッグ・タイマのオーバフローによるリセット信号（WDTRES）、低電圧検出回路（LVI）によるリセット信号（LVIRE）の発生の有無を示すフラグが割り付けられたリセット要因フラグ・レジスタ（RESF）があります。

RESFレジスタは、WDTRES, LVIREのいずれかのリセット信号が発生した場合は、クリア（00H）されずフラグがセット（1）されます。

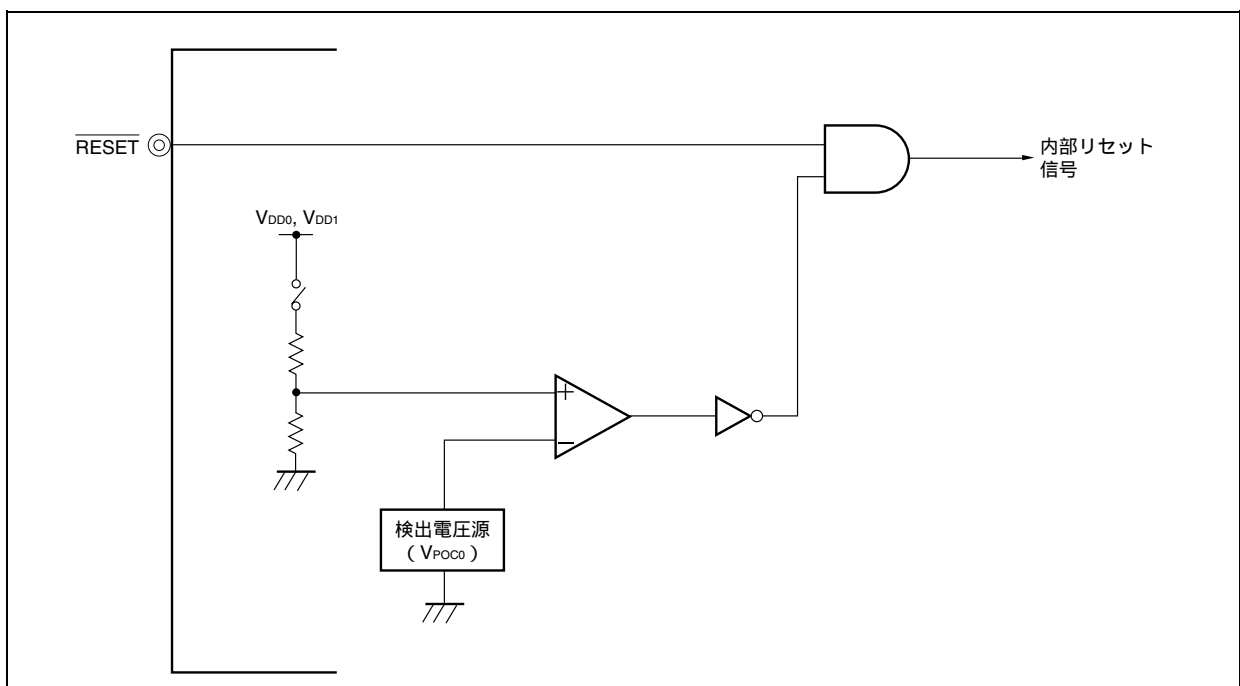
なお、パワーオン・クリア回路（POC）によるリセット信号（POCRES）が発生した場合は、RESFレジスタはクリア（00H）されます。

RESFレジスタの詳細については、第22章 リセット機能を参照してください。

### 24.2 構成

次にブロック図を示します。

図24 - 1 パワーオン・クリア回路のブロック図



## 24.3 動作

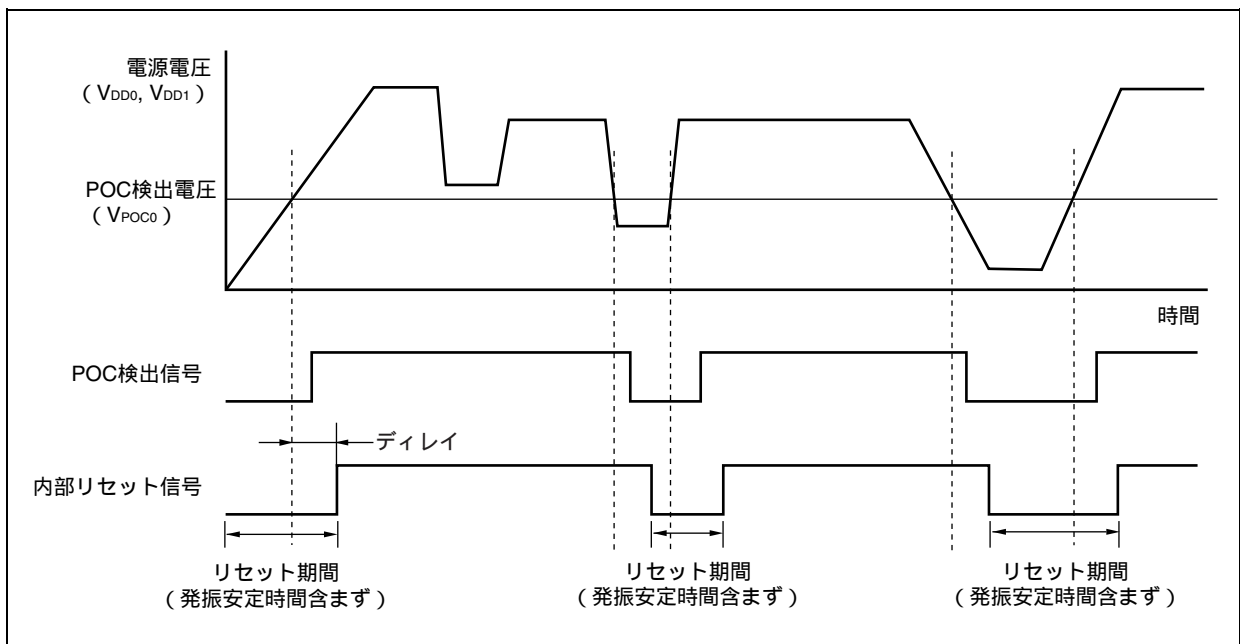
電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合（電源投入時含む）、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となり、リセット解除後は、発振回路の発振安定時間（OSTSレジスタの初期値： $2^{14}/f_x$ ）を確保したあと、CPUはプログラムの実行を開始します。

リセット期間中およびリセット解除後の各ハードウェア状態は、 $\overline{\text{RESET}}$ 端子によるリセット動作と同じです（22.3(1)  $\overline{\text{RESET}}$ 端子入力によるリセット動作参照）。

次にタイミング・チャートを示します。

図24-2 パワーオン・クリア回路によるリセット信号発生のタイミング



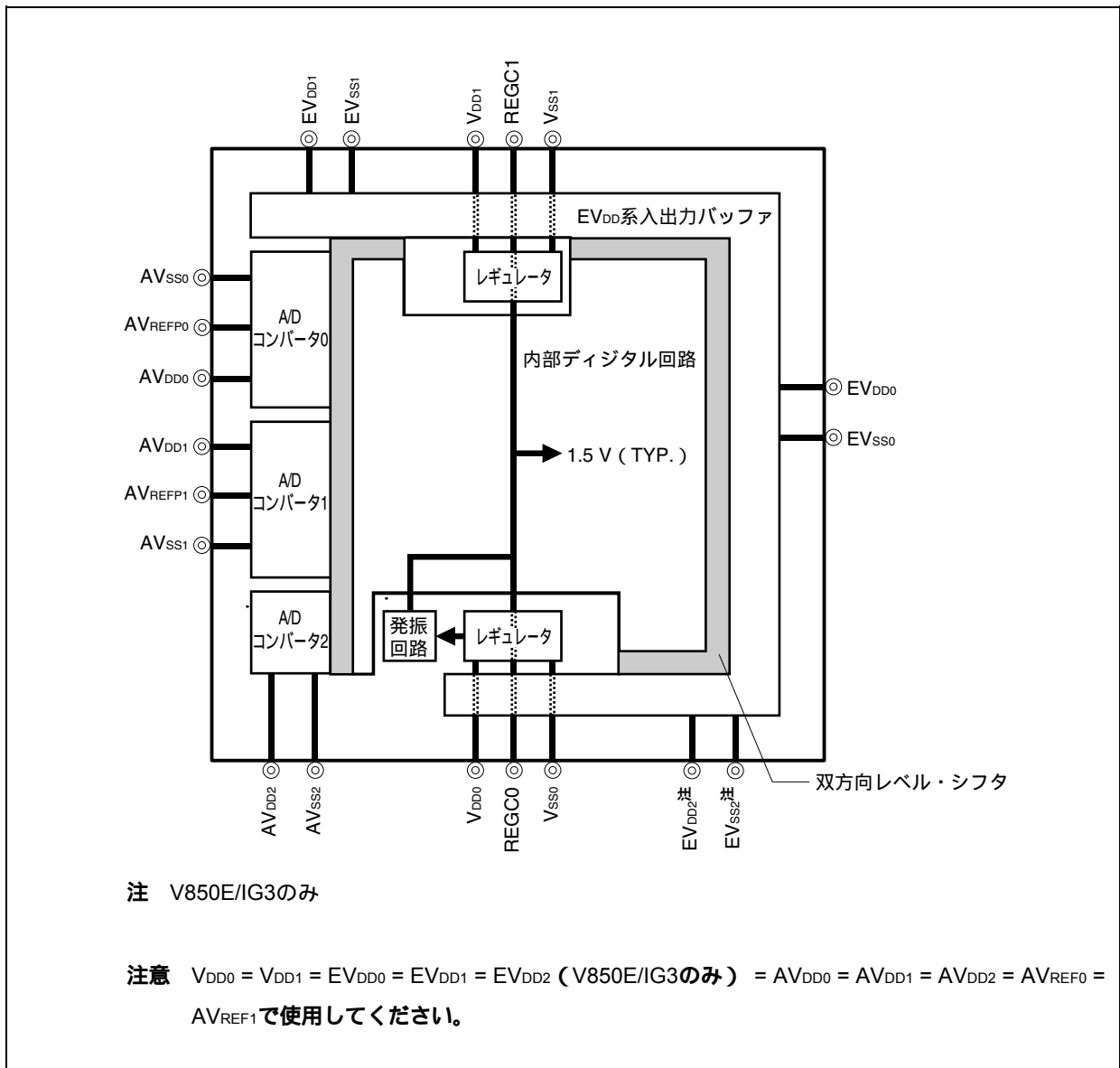
## 第25章 レギュレータ

### 25.1 概要

この製品では、5V単電源動作を実現するために、レギュレータを内蔵しています。

このレギュレータは、発振ブロックと内部ロジック回路(A/Dコンバータ0-2, 入出力バッファは除く)に、 $V_{DD0}$ 、 $V_{DD1}$ 電源電圧を降圧した電圧を供給します。レギュレータ出力電圧(REGC0, REGC1端子)は、1.5V(TYP.)に設定しています。

図25-1 レギュレータ



## 25.2 動作

この製品のレギュレータは、いかなるモード（通常動作モード / HALTモード / IDLEモード / STOPモード / リセット中）でも常に動作します。

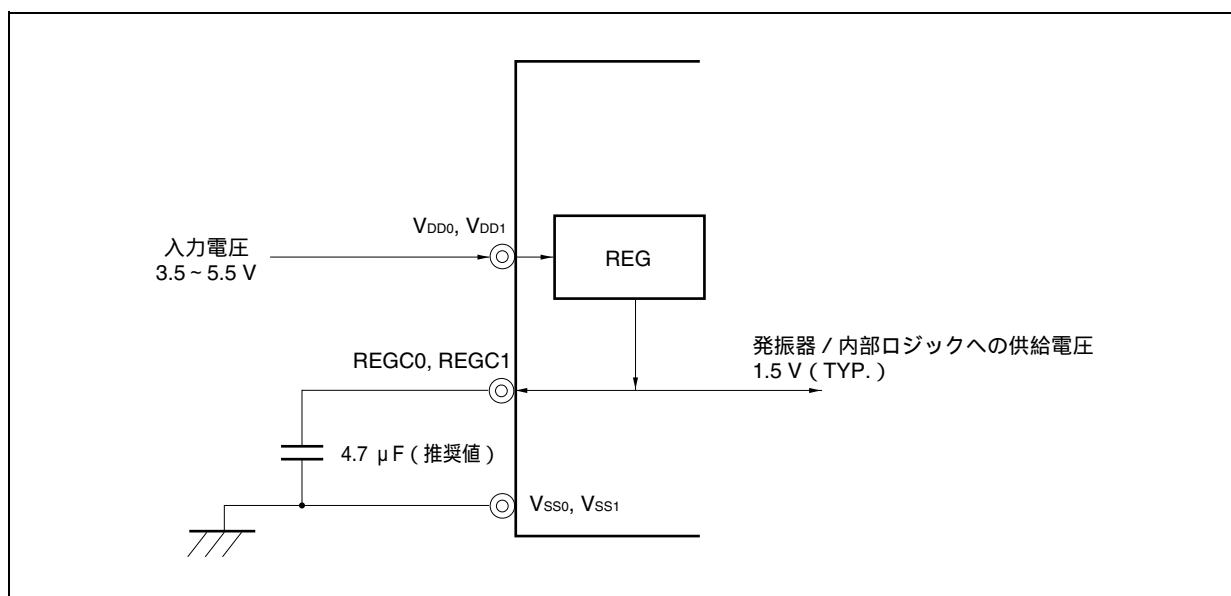
また、レギュレータの出力を安定させるためにREGC0, REGC1端子にコンデンサ（ $4.7\ \mu\text{F}$ （推奨値））<sup>※</sup>を接続してください。

次に端子の接続の方法を示します。

**注** 直列抵抗成分ESRは低ESR（ $0.5\ \Omega$ 以下）のタイプを使用してください。

**注意** V850E/IF3, V850E/IG3では、レギュレータを2個搭載しています。そのため、REGC0, REGC1端子にそれぞれコンデンサを接続してください。

図25 - 2 REGC0, REGC1端子の接続



## 第26章 オンチップ・デバッグ機能

V850E/IF3, V850E/IG3のオンチップ・デバッグ機能を実現するには次の2つの方法があります。

- ・ DCU (デバッグ・コントロール・ユニット) を使用する方法 (MINICUBE使用)
  - $\overline{\text{DRST}}$ , DCK, DMS, DDI, DDO端子をデバッグ・インタフェース端子としてV850E/IG3<sup>※</sup>に内蔵されているDCUによってオンチップ・デバッグを実現します。
- ・ DCUを使用しない方法 (MINICUBE2使用)
  - DCUを使用せず, ユーザ資源を使用してMINICUBE2などによってオンチップ・デバッグを実現します。

注 V850E/IF3はDCUが内蔵されていません。

2つのオンチップ・デバッグ機能の特徴を次に示します。

表26 - 1 オンチップ・デバッグ機能の特徴

	DCUを使用する方法	DCUを使用しない方法				
対象製品	V850E/IG3	V850E/IF3, V850E/IG3				
デバッグ・インタフェース端子	$\overline{\text{DRST}}$ , DCK, DMS, DDI, DDO	<ul style="list-style-type: none"> <li>・ UARTA0使用時 RXDA0, TXDA0</li> <li>・ CSIB0使用時 SIB0, SOB0, <math>\overline{\text{SCKB0}}</math>, HS ( P43 )</li> </ul>				
ユーザ資源の確保	不要	必要				
ハードウェア・ブ레이크機能	2ポイント	2ポイント ( V850E/IG3のみ )				
ソフトウェア・ブ레이크機能	<table border="1" style="width: 100%;"> <tr> <td style="width: 50%;">内蔵ROM領域</td> <td>4ポイント</td> </tr> <tr> <td>RAM領域</td> <td>2000ポイント</td> </tr> </table>	内蔵ROM領域	4ポイント	RAM領域	2000ポイント	4ポイント 2000ポイント
内蔵ROM領域	4ポイント					
RAM領域	2000ポイント					
リアルタイムRAMモニタ機能 <sup>注1</sup>	可能	可能				
ダイナミック・メモリ・モディフィケーション (DMM) 機能 <sup>注2</sup>	可能	可能				
マスク機能	リセット, INTWDT, $\overline{\text{WAIT}}$ <sup>注3</sup>	$\overline{\text{RESET}}$ , $\overline{\text{WAIT}}$ <sup>注3</sup>				
ROMセキュリティ機能	10バイトIDコード認証	10バイトIDコード認証				
使用するハードウェア	MINICUBE	MINICUBE2				
トレース機能	サポートしていません	サポートしていません				
デバッグ割り込みインタフェース機能 (DBINT)	サポートしていません	サポートしていません				

注1. プログラム実行中にメモリの内容の読み出しを行う機能です。

2. プログラム実行中にRAMの内容の書き換えを行う機能です。

3.  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ



## 26.1 DCUを使用する方法

デバッグ・インタフェース端子（ $\overline{\text{DRST}}$ , DCK, DMS, DDI, DDO端子）を利用して，オンチップ・デバッグ・エミュレータ（MINICUBE）を接続することで，プログラムのデバッグが可能です。

**注意** DCUは，V850E/IG3のみに搭載しています。

### 26.1.1 接続回路例

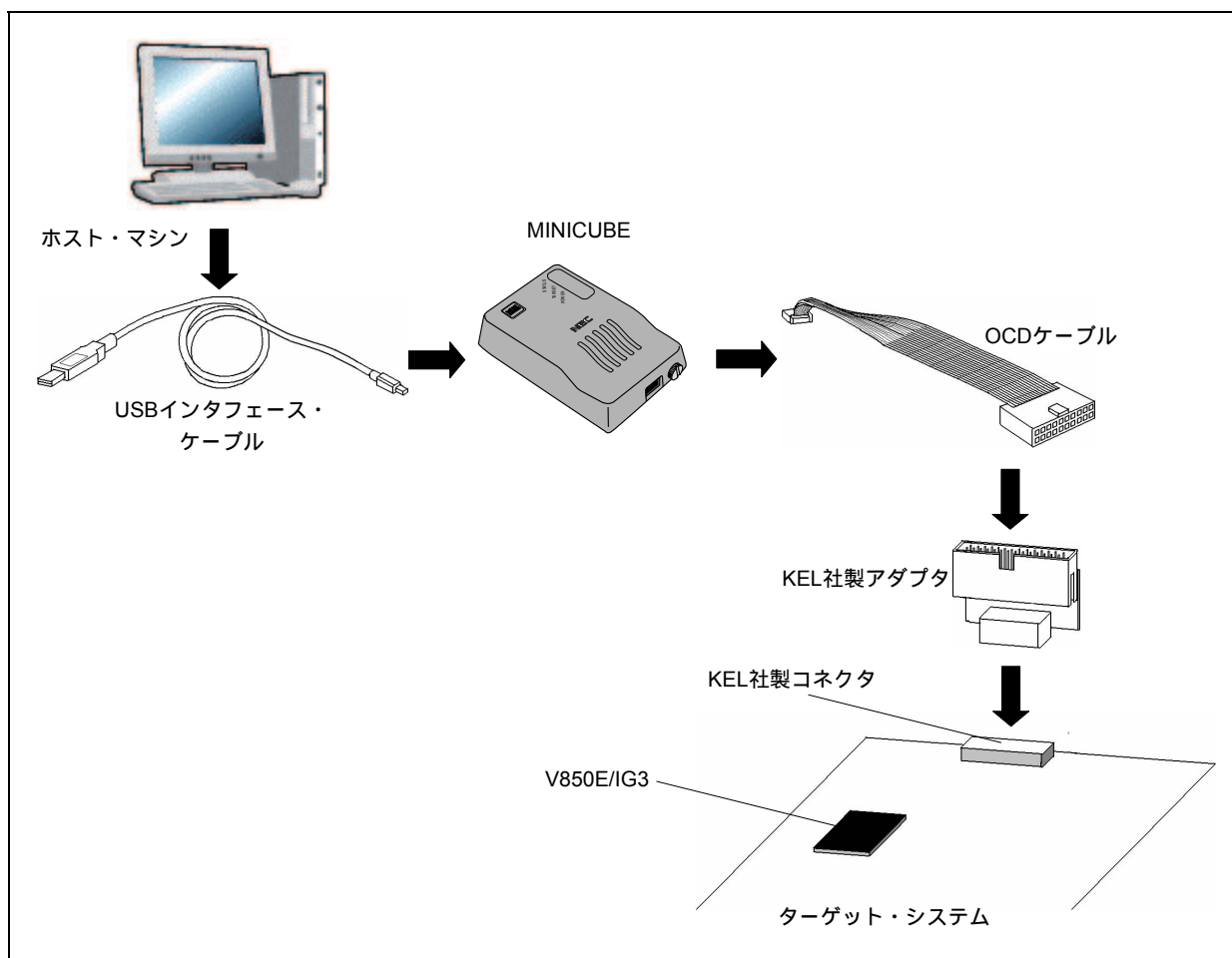
MINICUBEを使用する場合は，KEL社製の次のコネクタを推奨します。

製品名

- ・ 8830E-026-170S：ストレート・タイプ
- ・ 8830E-026-170L：ライト・アングル・タイプ

ターゲット・システム上にエミュレータと接続用回路を実装する必要があります。

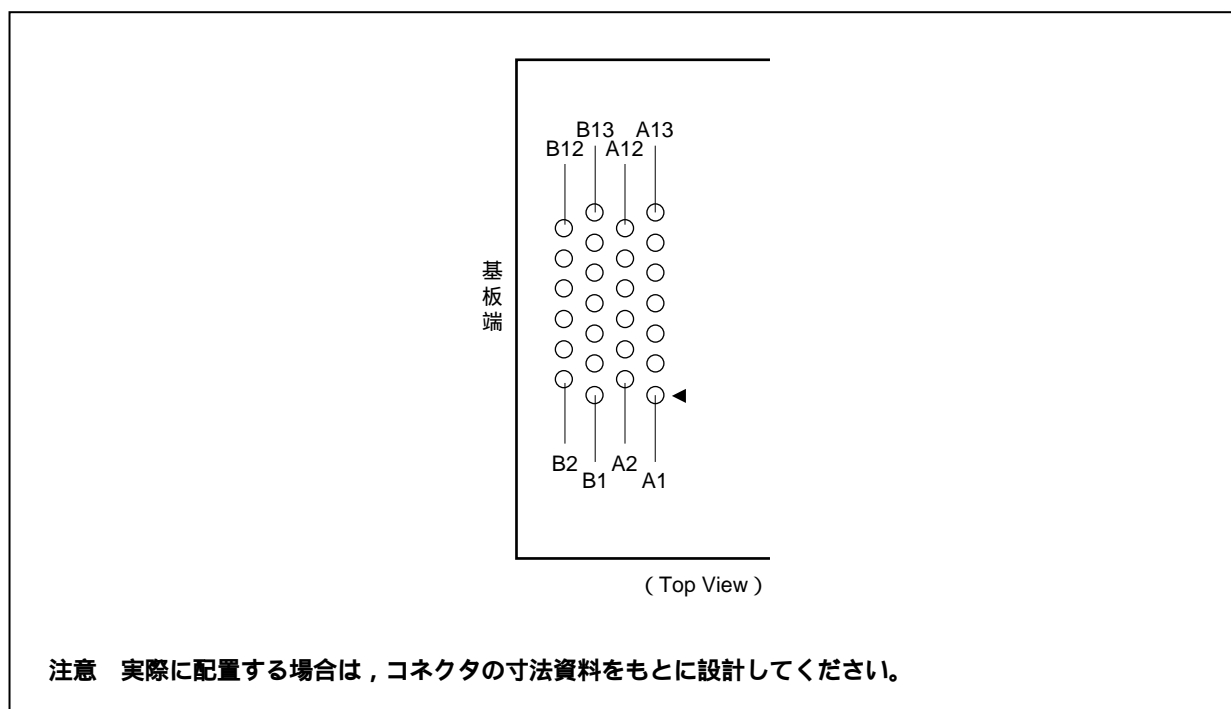
図26 - 1 オンチップ・デバッグ・エミュレータ（MINICUBE）との接続例



#### (1) ピン配置図

次にエミュレータ接続用コネクタ（ターゲット・システム側）のピン配置図を示します。

図26 - 2 エミュレータ接続用コネクタ（ターゲット・システム側）のピン配置図



## (2) ピン機能

次にエミュレータ接続用コネクタ（ターゲット・システム側）のピン機能を示します。

表26 - 2 エミュレータ接続用コネクタ（ターゲット・システム側）ピン機能

ピン番号	端子名	入出力	端子機能
A1	(予約1)	-	(GNDに接続してください)
A2	(予約2)	-	(GNDに接続してください)
A3	(予約3)	-	(GNDに接続してください)
A4	(予約4)	-	(GNDに接続してください)
A5	(予約5)	-	(GNDに接続してください)
A6	(予約6)	-	(GNDに接続してください)
A7	DDI	出力	デバッグ・シリアル・インタフェース用データ出力
A8	DCK	出力	デバッグ・シリアル・インタフェース用クロック出力
A9	DMS	出力	デバッグ・シリアル・インタフェース用転送モード選択出力
A10	DDO	入力	デバッグ・シリアル・インタフェース用データ入力
A11	$\overline{\text{DRST}}$	出力	DCUリセット出力
A12	(予約7)	-	(オープンにしてください)
A13	FLMD0	出力	フラッシュ・ダウンロード用制御信号
B1	GND	-	-
B2	GND	-	-
B3	GND	-	-
B4	GND	-	-
B5	GND	-	-
B6	GND	-	-
B7	GND	-	-
B8	GND	-	-
B9	GND	-	-
B10	GND	-	-
B11	PORT0_IN	-	(GNDに接続してください)
B12	PORT1_IN	-	(GNDに接続してください)
B13	V <sub>DD</sub>	-	5V入力(ターゲット電源投入監視用)

注意1. V850E/IG3でサポートしていない端子の接続については、使用されるエミュレータに依存します。

2. ターゲット・ボード上のパターンは次に示す条件にする必要があります。

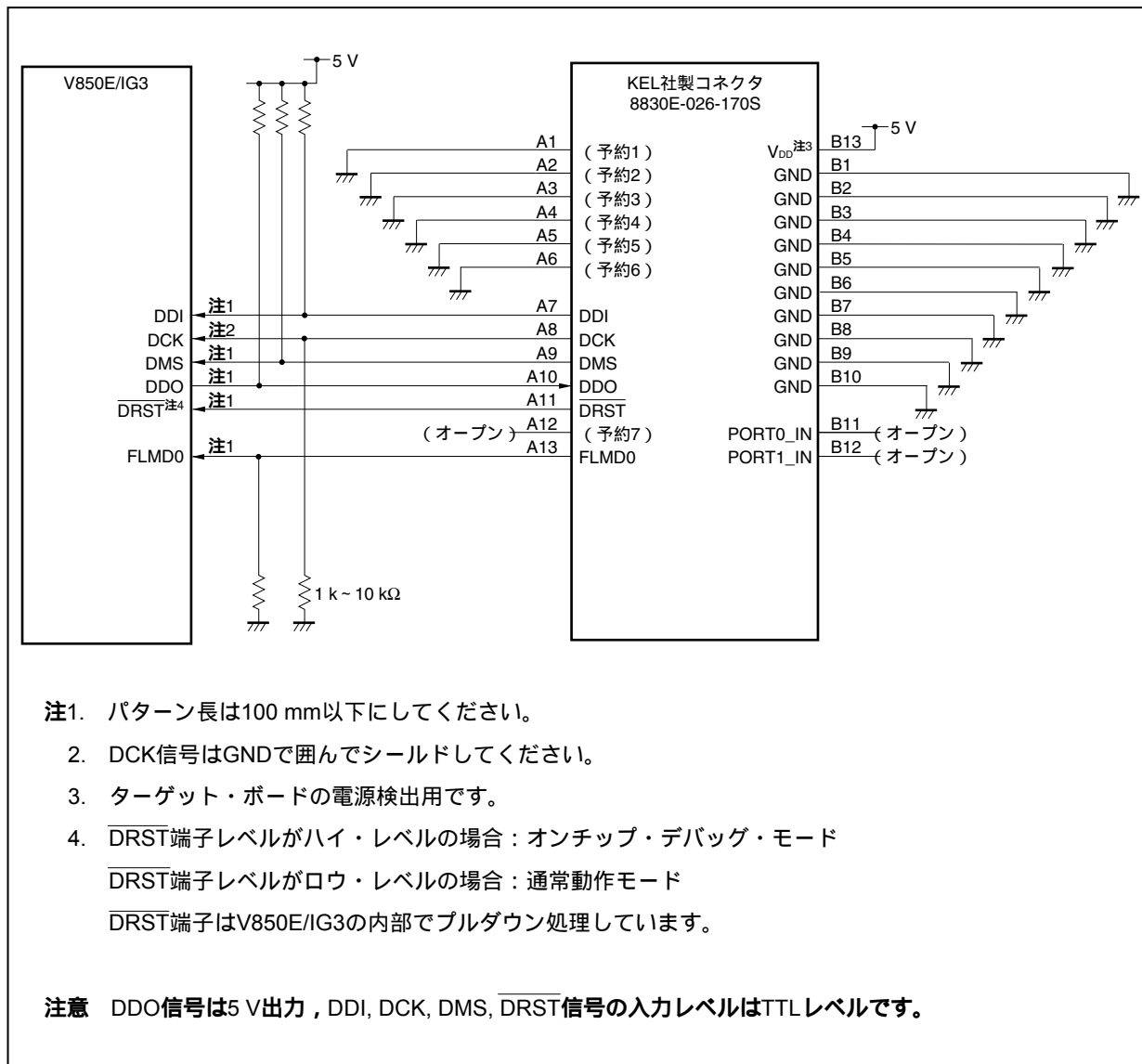
- ・パターン長は100 mm以下にしてください。
- ・クロック信号はGNDでシールドしてください。

備考 入出力はエミュレータ側からの方向です。

(3) 推奨回路例

次にエミュレータ接続用コネクタ部（ターゲット・システム側）の推奨回路例を示します。

図26 - 3 エミュレータ接続推奨回路例



## 26.1.2 インタフェース信号

V850E/I3側のインタフェース信号について説明します。

### (1) $\overline{\text{DRST}}$

内蔵のオンチップ・デバッグ・ユニット用のリセット入力信号です。デバッグ・コントロール・ユニット (DCU) を非同期に初期化するための負論理の信号です。

MINICUBEは、統合デバッグの起動後にターゲット・システムのVDDを検出すると、 $\overline{\text{DRST}}$ 信号をロウ・レベルからハイ・レベルにして出力し、V850E/I3のオンチップ・デバッグ・ユニットを起動させます。ターゲット・システムからのVDDが未検出の場合は、MINICUBEからの出力信号 ( $\overline{\text{DRST}}$ , DCK, DMS, DDI, FLMD0端子) はハイ・インピーダンスになります。

V850E/I3は、 $\overline{\text{DRST}}$ 信号がロウ・レベルからハイ・レベルに立ち上がることで、リセットが発生します。統合デバッグを起動してデバッグを開始する際には、必ずリセットが発生します。

### (2) DCK

クロック入力信号です。MINICUBEから20 MHzのクロックを供給します。オンチップ・デバッグ・ユニット内で、DCK信号の立ち上がりに同期してDMS, DDI信号をサンプリングし、DCK信号の立ち下がりに同期してデータDDOを出力します。

### (3) DMS

転送モード選択信号です。DMS信号のレベルによりオンチップ・デバッグ・ユニット内の転送状態が遷移します。

### (4) DDI

データ入力信号です。オンチップ・デバッグ・ユニット内でDCKの立ち上がりに同期してサンプリングします。

### (5) DDO

データ出力信号です。オンチップ・デバッグ・ユニットからDCK信号の立ち下がりに同期して出力されます。

(6) FLMD0

統合デバッガによるフラッシュ・メモリへのダウンロード機能は、フラッシュ・セルフ・プログラミング機能を利用しています。フラッシュ・セルフ・プログラミング中はFLMD0端子をハイ・レベルにする必要があります。また、FLMD0端子にはプルダウン抵抗を接続してください。

FLMD0端子の制御方法として、次の2種類のうち、どちらかの方法を選択してください。

MINICUBEから制御する場合

MINICUBEからのFLMD0信号をV850E/IG3のFLMD0端子に接続します。

通常モード時はMINICUBEからは何もドライブしません（ハイ・インピーダンス）。

ブ레이크中、統合デバッガのダウンロード機能を実行した際にMINICUBEはFLMD0端子をハイ・レベルに制御します。

ポートから制御する場合

V850E/IG3の任意のポートをFLMD0端子に接続します。

ユーザ・プログラムにおいてフラッシュ・セルフ・プログラミング機能を実現する場合と同じポート端子で問題ありません。

統合デバッガのコンソールによって、ダウンロード機能実行前にポート端子をハイ・レベルにする、または、ダウンロード機能実行後にポート端子をロウ・レベルにする設定を行ってください。

詳細はID850QB **統合デバッガ ユーザーズ・マニュアル 操作編**を参照してください。

26. 1. 3 マスク機能

リセット、INTWDT、 $\overline{\text{WAIT}}$ <sup>注</sup>信号のマスクが可能です。

次にデバッガ（ID850QB）のマスク機能および対応する機能を示します。

注  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

表26 - 3 マスク機能

デバッガ（ID850QB）のマスク機能	対応するV850E/IG3の機能
NMI0	ノンマスクブル割り込み要求信号（INTWDT）発生
NMI1	x
NMI2	x
STOP	x
HOLD	x
RESET	RESET端子入力、ウォッチドッグ・タイマのオーバフローによるリセット信号（WDTRES）発生、低電圧検出回路（LVI）によるリセット信号（LVIRE）発生、パワーオン・クリア回路（POC）によるリセット信号（POCRES）発生
WAIT	$\overline{\text{WAIT}}$ 端子 <sup>注</sup> 入力

注  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

## 26.1.4 注意事項

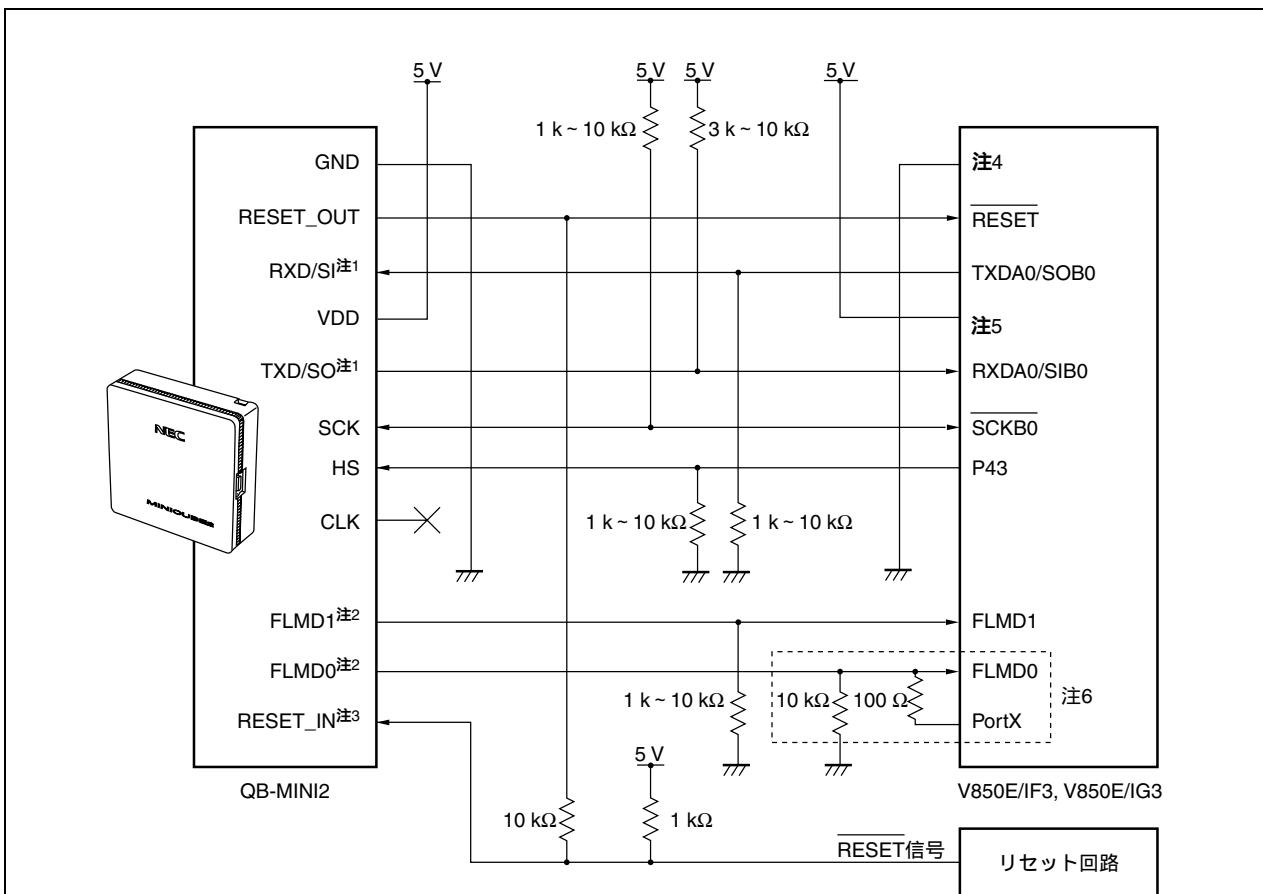
- (1) RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合、内蔵フラッシュ・メモリの領域に設定したソフトウェア・ブレークが発生しなくなります。回避するためには、ハードウェア・ブレークを使用するようにしてください。なお、発生しなくなったソフトウェア・ブレークは、強制ブレーク、またはハードウェア・ブレークの発生によって再度有効になります。
- (2) ブレーク中の端子リセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMMで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。
- (3) オンチップ・デバッグ・モード時、DDO端子は強制的にハイ・レベル出力に設定されます。
- (4) デバッグに使用したデバイスは、デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保障することができないため、量産製品に搭載しないでください。
- (5) DDI, DCK端子は、CSIB0の入出力端子（SOB0,  $\overline{\text{SCKB0}}$ ）、UARTA0の出力端子（TXDA0）、外部割り込み端子（INTP13）と兼用しているため、オンチップ・デバッグ機能使用時には、CSIB0, UARTA0, INTP13は使用できません。
- (6) オンチップ・デバッグ機能使用時には、STOPモードに設定してもクロック・ジェネレータ、PLLは動作を継続します。

## 26.2 DCUを使用しない方法

DCUを使用せず，UARTA0用端子 (RXDA0, TXDA0) またはCSIB0用端子 (SIB0, SOB0,  $\overline{\text{SCKB0}}$ , HS (P43)) をデバッグ・インタフェースとしてMINICUBE2を使用してオンチップ・デバッグ機能を実現する方法を次に示します。

### 26.2.1 接続回路例

図26 - 4 UARTA0/CSIB0を通信インタフェースとして使用する場合の回路接続例



- 注1. V850E/IF3, V850E/IG3のTXDA0/SOB0 (送信側) はターゲット・コネクタのRXD/SI (受信側) に，ターゲット・コネクタのTXD/SO (送信側) はV850E/IF3, V850E/IG3のRXDA0/SIB0 (受信側) に接続してください。
2. デバッグ時ブレイク中のメモリ書き換え以外は，Hi-Zになるため兼用機能としての使用は可能です。
3. RESET信号の出力がN-chオープン・ドレインのバッファ (出力抵抗100Ω以下) によるものを想定した回路接続です。
4. EVSS0, EVSS1, EVSS2 (V850E/IG3のみ) , VSS0, VSS1, AVSS0, AVSS1, AVSS2
5. EVDD0, EVDD1, EVDD2 (V850E/IG3のみ) , VDD0, VDD1, AVDD0, AVDD1, AVDD2
6. 点線内の回路はフラッシュ・セルフ・プログラミング用にFLMD0端子をポートで制御する場合の回路です。ポートは，ハイ・レベル出力か入力で使用してください。フラッシュ・セルフ・プログラミングを使用しない場合，FLMD0端子のプルダウン抵抗は1kΩ~10kΩで構いません。

**備考** UARTA0またはCSIB0を通信インタフェースとして使用する場合に使用する端子については表26 - 4を参照してください。



表26 - 4 V850E/IF3, V850E/IG3とMINICUBE2の配線表 (1/2)

MINICUBE2 (QB-MINI2) 接続端子			UARTA0使用時				
信号名	入出力	端子機能	端子名	ピン番号			
				IF3	IG3		
				GC	GC	GF	F1
SI/RxD	入力	V850E/IF3, V850E/IG3からのコマンド, データ受信端子	TXDA0	39	48	76	N12
SO/TxD	出力	V850E/IF3, V850E/IG3へのコマンド, データ送信端子	RXDA0	38	47	75	P12
SCK	出力	3線式シリアル通信用クロック出力端子	必要なし	必要なし	必要なし	必要なし	必要なし
CLK	出力	V850E/IF3, V850E/IG3へのクロック出力端子	必要なし	必要なし	必要なし	必要なし	必要なし
RESET_OUT	出力	V850E/IF3, V850E/IG3へのリセット出力端子	RESET	35	40	68	P9
FLMD0	出力	V850E/IF3, V850E/IG3をデバッグ・モード, またはプログラミング・モードにするための出力端子	FLMD0	37	46	74	N9
FLMD1	出力	プログラミング・モードにするための出力端子	FLMD1	60	76	4	A12
HS	入力	CSI0 + HS通信のハンドシェイク信号	必要なし	必要なし	必要なし	必要なし	必要なし
GND	-	グラウンド	V <sub>SS0</sub>	32	37	65	N7, P7
			V <sub>SS1</sub>	66	85	13	A9, B9
			AV <sub>SS0</sub>	6	7	35	E1, E2
			AV <sub>SS1</sub>	11	12	40	H1, H2
			AV <sub>SS2</sub>	22	27	55	P1, N2, M3, L4
			EV <sub>SS0</sub>	54	64	92	A14, G13, G14
			EV <sub>SS1</sub>	79	1	29	A1, B1, C1, C2, D3, E4
			EV <sub>SS2</sub>	必要なし	42	70	N11, P11, P14
RESET_IN	入力	ターゲット・システム上のリセット入力端子					

表26 - 4 V850E/IF3, V850E/IG3とMINICUBE2の配線表 (2/2)

MINICUBE2 (QB-MINI2) 接続端子			CSIB0-HS使用時				
信号名	入出力	端子機能	端子名	ピン番号			
				IF3	IG3		
				GC	GC	GF	F1
SI/RxD	入力	V850E/IF3, V850E/IG3からのコマンド, データ受信端子	SOB0	39	48	76	N12
SO/TxD	出力	V850E/IF3, V850E/IG3へのコマンド, データ送信端子	SIB0	38	47	75	P12
SCK	出力	3線式シリアル通信用クロック出力端子	$\overline{\text{SCKB0}}$	40	49	77	M14
CLK	出力	V850E/IF3, V850E/IG3へのクロック出力端子	必要なし	必要なし	必要なし	必要なし	必要なし
RESET_OUT	出力	V850E/IF3, V850E/IG3へのリセット出力端子	$\overline{\text{RESET}}$	35	40	68	P9
FLMD0	出力	V850E/IF3, V850E/IG3をデバッグ・モード, またはプログラミング・モードにするための出力端子	FLMD0	37	46	74	N9
FLMD1	出力	プログラミング・モードにするための出力端子	FLMD1	60	76	4	A12
HS	入力	CSI0 + HS通信のハンドシェイク信号	P43	41	50	78	M13
GND	-	グラウンド	V <sub>SS0</sub>	32	37	65	N7, P7
			V <sub>SS1</sub>	66	85	13	A9, B9
			AV <sub>SS0</sub>	6	7	35	E1, E2
			AV <sub>SS1</sub>	11	12	40	H1, H2
			AV <sub>SS2</sub>	22	27	55	P1, N2, M3, L4
			EV <sub>SS0</sub>	54	64	92	A14, G13, G14
			EV <sub>SS1</sub>	79	1	29	A1, B1, C1, C2, D3, E4
			EV <sub>SS2</sub>	必要なし	42	70	N11, P11, P14
RESET_IN	入力	ターゲット・システム上のリセット入力端子					

## 26.2.2 マスク機能

リセット信号のみマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

表26 - 5 マスク機能

デバッガ (ID850QB) のマスク機能	対応するV850E/IF3, V850E/IG3の機能
NMI0	×
NMI1	×
NMI2	×
STOP	×
HOLD	×
RESET	RESET端子入力によるリセット信号発生
WAIT	WAIT端子 <sup>注</sup> 入力

注  $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ

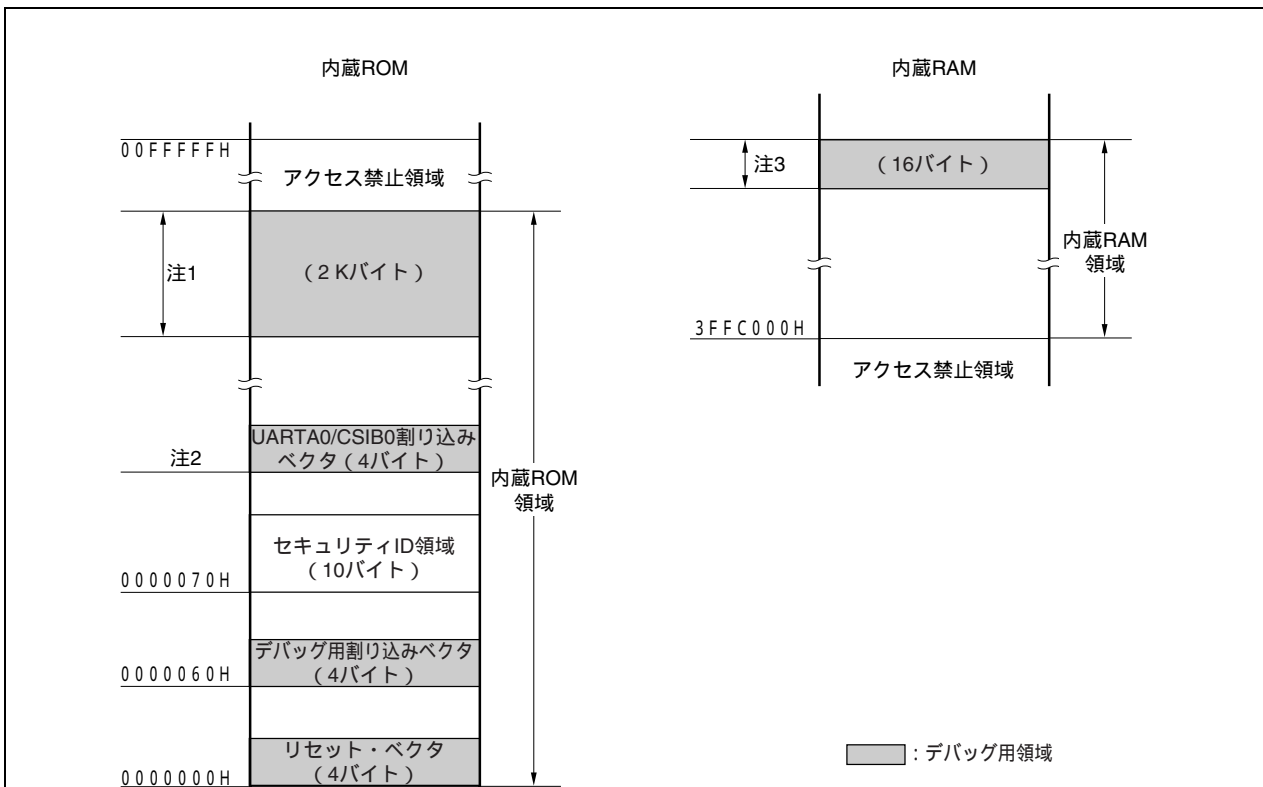
## 26.2.3 ユーザ資源の確保

MINICUBE2はV850E/IF3, V850E/IG3との通信, または各デバッグ機能を実現するために次に示す準備を行う必要があります。これらは, ユーザ・プログラムやコンパイラ・オプションで設定する必要があります。

### (1) メモリ空間の確保

図26 - 5で示すデバッグ領域はデバッグ用のモニタ・プログラムを組み込むために, ユーザ・プログラムやデータを配置できない空間です。この空間を使用しないように, 領域を確保する必要があります。

図26 - 5 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって次のようにアドレス値が異なります。

	内蔵ROMサイズ	デバッグ用領域
μ PD70F3451 (V850E/IF3)	128 Kバイト	001F800H-001FFFFH
μ PD70F3453 (V850E/IG3)		
μ PD70F3452 (V850E/IF3)	256 Kバイト	003F800H-003FFFFH
μ PD70F3454 (V850E/IG3)		

2. UARTA0使用時とCSIB0使用時の開始アドレス値は次のとおりです。

対象シリアル・インタフェース	割り込み名	開始アドレス
UARTA0	INTUA0RE	000004B0H
	INTUA0R	000004C0H
	INTUA0T	000004D0H
CSIB0	INTCB0RE	000004E0H
	INTCB0R	000004F0H
	INTCB0T	00000500H

3. 製品によって次のようにアドレス値が異なります。

	内蔵RAMサイズ	デバッグ用領域
μ PD70F3451 (V850E/IF3)	8 Kバイト	3FFDFF0H-3FFDFFFH
μ PD70F3453 (V850E/IG3)		
μ PD70F3452 (V850E/IF3)	12 Kバイト	3FFEFF0H-3FFEFFFH
μ PD70F3454 (V850E/IG3)		

・セキュリティIDの設定

図26 - 5で示す0000070H-0000079H領域は第3者からメモリの内容を読み取られないようにするために、IDコードを埋め込む必要があります。詳細は26.3 ROMセキュリティ機能を参照してください。

(2) リセット・ベクタ

リセット・ベクタにはデバッグ用モニタ・プログラムへのジャンプ命令が組み込まれます。

【領域確保の方法】

この領域は意図的に確保する必要はありません。ただし、プログラムのダウンロード時に、次のケースに応じてデバッガがリセット・ベクタの書き換えを行います。書き換えパターンが次に示すケースに一致しない場合、デバッガがエラーを発生します（ID850QBの場合F0c34番）。

(a) 0番地からnopが2個連続している場合

書き換え前	書き換え後
0x0 nop	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 nop	0x4 xxxx
0x4 xxxx	

(b) 0番地から0xFFFFが2個連続している場合（消去済みデバイスが該当します）

書き換え前	書き換え後
0x0 0xFFFF	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 0xFFFF	0x4 xxxx
0x4 xxxx	

(c) 0番地がjr命令の場合（CA850では通常このケースに該当）

書き換え前	書き換え後
0x0 jr disp22	0x0 デバッグ用モニタ・プログラムへジャンプ
	0x4 jr disp22 - 4

(d) 0番地からmov32とjmpが連続している（IAR社製コンパイラ ICCV850では通常このケースに該当）

書き換え前	書き換え後
0x0 mov imm32,reg1	0x0 デバッグ用モニタ・プログラムへジャンプ
0x6 jmp [reg1]	0x4 mov imm32,reg1
	0xa jmp [reg1]

(e) 0番地が既にデバッグ用モニタ・プログラムへのジャンプ命令の場合

書き換え前	書き換え後
0x0 デバッグ用モニタ・プログラムへジャンプ	変更なし

**(3) デバッグ用モニタ・プログラム領域の確保**

図26 - 5の示すデバック用領域は、デバッグ用モニタ・プログラムが配置される空間です。モニタ・プログラムはデバッグ用通信インタフェースの初期化処理や、CPUのRUN / ブレーク処理などを行うものです。内蔵ROM領域については0xFFでフィルする必要があります。また、この領域をユーザ・プログラム内で書き換えないようにする必要があります。

**【領域確保の方法】**

この空間をユーザ・プログラムで使用しない場合は、必ずしも領域を確保する必要はありません。

しかし、デバッグ起動時のトラブルを回避するために、あらかじめコンパイラなどで領域確保しておくことを推奨いたします。

次に、NECエレクトロニクス社製コンパイラCA850を使用している場合に領域の確保を行う例を示します。次に示すように、アセンブル・ソースとリンクディレクティブ・コードを追加してください。

- ・アセンブル・ソース（次の内容をアセンブル・ソース・ファイルとして追加してください）

```
-- MonitorROMセクションとして2Kバイトの空間を確保
.section "MonitorROM", const
.space 0x800, 0xff

-- デバッグ用割り込みベクタの確保
.section "DBG0"
.space 4, 0xff

-- シリアル通信用割り込みベクタの確保
-- セクション名は使用するシリアル通信に応じて変更してください
.section "INTCB0RE"
.space 4, 0xff
.section "INTCB0R"
.space 4, 0xff
.section "INTCB0T"
.space 4, 0xff

-- MonitorRAMセクションとして16バイトの空間を確保
.section "MonitorRAM", bss
.lcomm monitorrmsym, 16, 4 ; -- monitorrmsymシンボルを定義
```

- リンク・ディレクティブ (以下をリンク・ディレクティブ・ファイルの内容に追加してください)  
次の例は、内蔵ROMが256 Kバイト (最終アドレス003FFFFH) , 内蔵RAMが12 Kバイト (最終アドレス: 3FFEFFFH) の場合です。

```
MROMSEG : !LOAD ?R V0x03f800{
        MonitorROM = $PROGBITS ?A MonitorROM;
};
MRAMSEG : !LOAD ?RW V0x03ffeff0{
        MonitorRAM = $NOBITS ?AW MonitorRAM;
};
```

#### (4) 通信シリアル・インタフェースの確保

MINICUBE2はV850E/IF3, V850E/IG3と通信するためにUARTA0, もしくはCSIB0のいずれかを使用します。これらのシリアル・インタフェースに関する設定は、デバッグ用モニタ・プログラムで行っていますが、ユーザ・プログラム上で、この設定を変更した場合、通信異常となりエラーが発生する可能性があります。

このようなトラブルが発生しないよう、ユーザ・プログラムで通信シリアル・インタフェースの確保を行う必要があります。

#### 【通信シリアル・インタフェース確保の方法】

##### •シリアル・インタフェースのレジスタ

通信用に使用するUARTA0やCSIB0のレジスタ設定は、ユーザ・プログラムで行わないようにしてください。

##### •割り込みマスク・レジスタ

通信用にUARTA0を使用する場合、受信終了割り込み (INTUA0R) をマスクしないようにしてください。CSIB0の場合、受信終了割り込み (INTCB0R) をマスクしないようにしてください。

#### (a) UARTA0の場合

	7	6	5	4	3	2	1	0
UA0RIC	x	0	x	x	x	x	x	x

#### (b) CSIB0の場合

	7	6	5	4	3	2	1	0
CB0RIC	x	0	x	x	x	x	x	x

備考 x : 任意

●UARTA0使用時のポートに関するレジスタ

通信用にUARTA0を使用する場合，TXDA0, RXDA0端子を有効になるように，デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

	7	6	5	4	3	2	1	0
PFCE4	x	x	x	x	x	x	0	0
	7	6	5	4	3	2	1	0
PFC4	x	x	x	x	x	x	1	1
	7	6	5	4	3	2	1	0
PMC4	x	x	x	x	x	x	1	1

備考 x：任意

●CSIB0使用時のポートに関するレジスタ

通信用にCSIB0を使用する場合，SIB0, SOB0,  $\overline{\text{SCKB0}}$ およびHS (P43) 端子が有効になるように，デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

(a) SIB0, SOB0,  $\overline{\text{SCKB0}}$ の設定

	7	6	5	4	3	2	1	0
PFCE4	x	x	x	x	x	0	0	0
	7	6	5	4	3	2	1	0
PFC4	x	x	x	x	x	0	0	0
	7	6	5	4	3	2	1	0
PMC4	x	x	x	x	x	1	1	1

(b) HS (P43端子) の設定

	7	6	5	4	3	2	1	0
PMC4	x	x	x	x	0	x	x	x
	7	6	5	4	3	2	1	0
PM4	x	x	x	x	0	x	x	x
	7	6	5	4	3	2	1	0
P4	x	x	x	x	注	x	x	x

注 ライト禁止です。

HS端子の値はモニタ・プログラムがデバッグの状態に応じて変更を行っています。ポート・レジスタの設定を8ビット単位で操作したい場合，ユーザ・プログラム上でリード・モディファイ・ライトを行えば，ほとんど問題ありませんが，ライト前にデバッグ用の割り込みが入った場合，意図しない動作になる可能性があります。

備考 x：任意



## 26.2.4 注意事項

### (1) デバッグに使用したデバイスの取り扱いについて

デバッグに使用したデバイスを、量産製品に搭載しないでください（デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保証することができないためです）。また、デバッグ用モニタ・プログラムは量産製品には組み込まないでください。

### (2) ブレークができない場合について

次の状態が継続している場合は、強制ブレークすることができません。

- 割り込み禁止中（DI）の場合
- MINICUBE2とV850E/IF3, V850E/IG3の通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2とV850E/IF3, V850E/IG3の通信インタフェースがUARTA0の場合に、周辺クロックを停止している場合

### (3) 疑似リアルタイムRAMモニタ（RRM）機能やDMM機能が動作しない場合について

次の状態の場合、疑似RRM機能、DMM機能が動作しません。

- 割り込み禁止中（DI）の場合
- MINICUBE2とV850E/IF3, V850E/IG3の通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2とV850E/IF3, V850E/IG3の通信インタフェースがUARTA0の場合に、周辺クロックを停止している場合
- MINICUBE2とV850E/IF3, V850E/IG3の通信インタフェースがUARTA0の場合に、デバッガで指定する動作クロックと異なるクロックで動作している場合

### (4) 疑似RRMやDMM機能を有効にしている場合のスタンバイ解除について

次の状態の場合、疑似RRM機能、DMM機能によりスタンバイ・モードが解除されます。

- MINICUBE2とV850E/IF3, V850E/IG3の通信インタフェースがCSIB0の場合
- MINICUBE2とV850E/IF3, V850E/IG3の通信インタフェースがUARTA0の場合に、周辺クロックが停止していない場合

### (5) 特定シーケンスを必要とする周辺I/OレジスタへのDMM機能による書き換えについて

特定シーケンスを必要とする周辺I/Oレジスタは、DMM機能により書き換えることができません。

### (6) フラッシュ・セルフ・プログラミングについて

デバッグ用モニタ・プログラムが配置された空間を、フラッシュ・セルフ・プログラミングで書き換えた場合、デバッガが正常に動作しなくなります。

## 26.3 ROMセキュリティ機能

### 26.3.1 セキュリティID

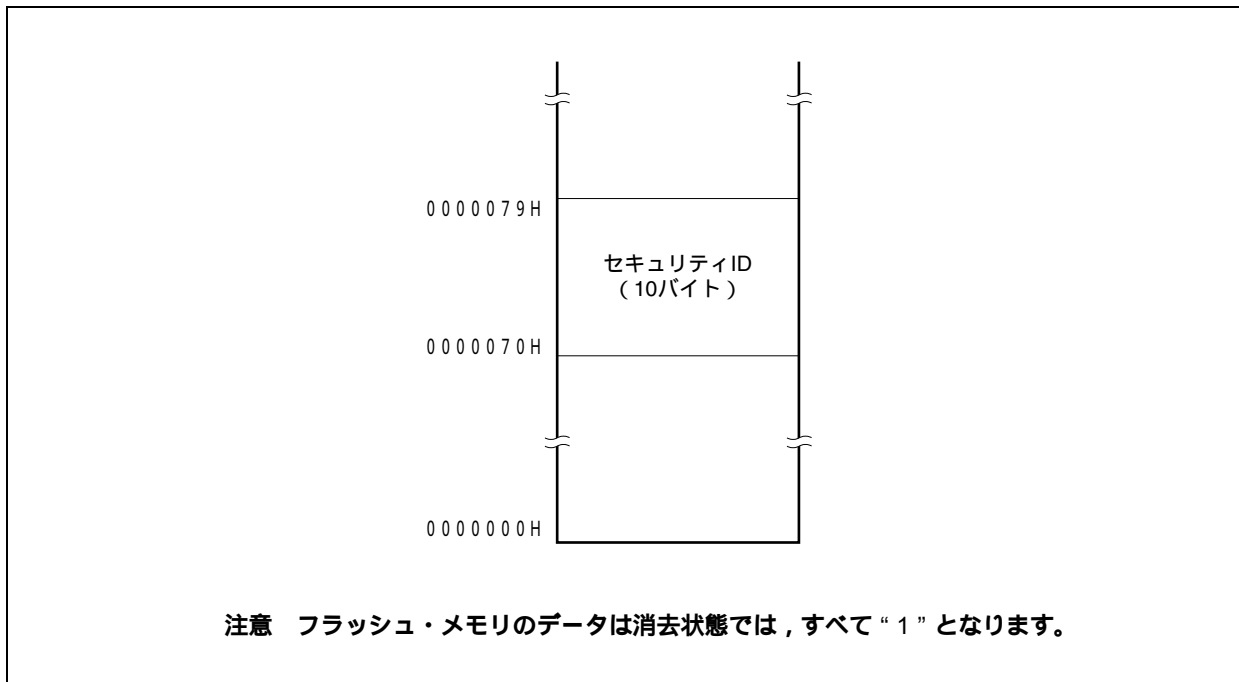
オンチップ・デバッグ・エミュレータによるオンチップ・デバッグ時、フラッシュ・メモリの内容を第三者に読み出されることを防ぐために、10バイトのIDコードによる認証を行います。

IDコードは、あらかじめ内蔵フラッシュ・メモリ領域の0000070H-0000079Hの10バイト分に設定し、デバッガがID認証を行います。

このID照合が一致していれば、セキュリティが解除されフラッシュ・メモリ読み出し許可、オンチップ・デバッグ・エミュレータ使用許可となります。

- ・10バイトのIDコードは、0000070H-0000079Hに設定します。
- ・0000079Hのビット7はオンチップ・デバッグ・エミュレータ使用許可フラグです。  
(0: 使用禁止, 1: 使用許可)
- ・オンチップ・デバッグ・エミュレータを起動すると、デバッガがID入力を要求します。デバッガ上で入力したIDコードと、0000070H-0000079Hに埋め込んだIDコードが一致すればデバッガが起動します。
- ・IDコードが一致しても、オンチップ・デバッグ・エミュレータ使用許可フラグが“0”である場合は、デバッグを行うことはできません。

図26 - 6 セキュリティID領域



### 26.3.2 設定方法

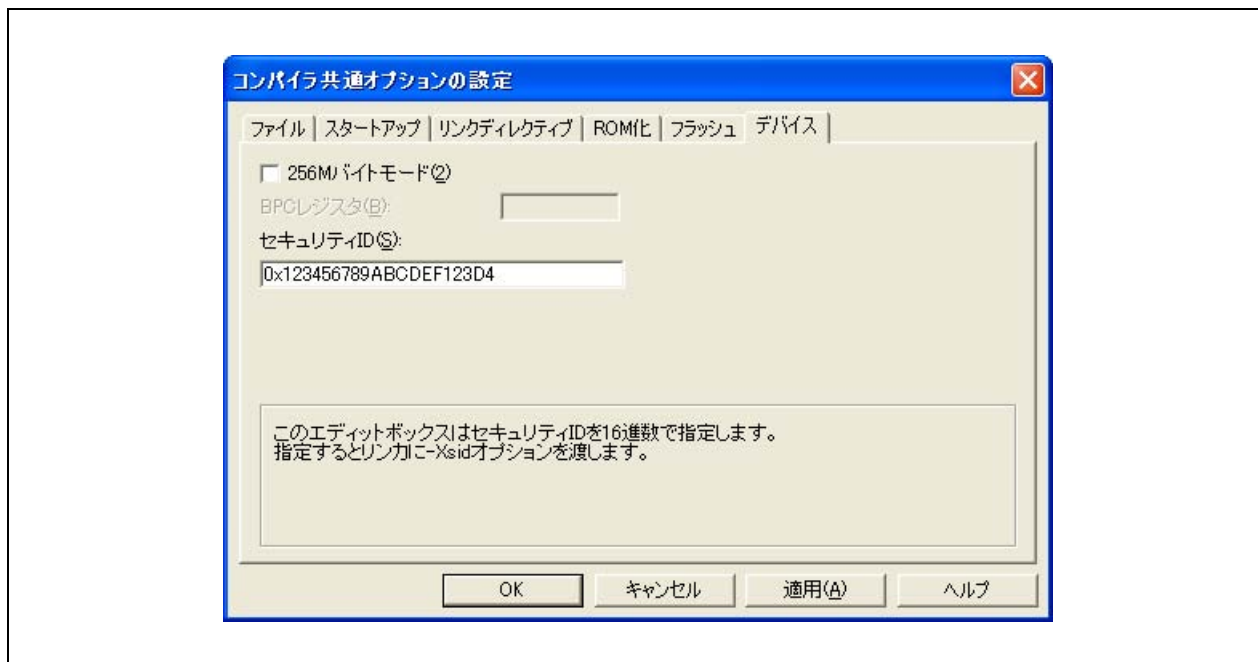
IDコードを表26 - 6のように設定する方法を次に示します。

表26 - 6のようにIDコードを設定した場合、ID850QBのコンフィギュレーション・ダイアログ上で入力するIDコードは「123456789ABCDEF123D4」となります（英数字は大文字でも小文字でも同じIDコードとして認識します）。

表26 - 6 IDコード

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4

CA850 Ver. 2.60以上とセキュリティIDに対応したデバイス・ファイルであれば、PM+のコンパイラ共通オプション設定でIDコードを指定することができます。



## 第27章 フラッシュ・メモリ

V850E/IF3, V850E/IG3は, 128 Kバイト, 256 Kバイトのフラッシュ・メモリを内蔵しています。

- ・  $\mu$  PD70F3451 (V850E/IF3), 70F3453 (V850E/IG3) : 128 Kバイトのフラッシュ・メモリ内蔵品
- ・  $\mu$  PD70F3452 (V850E/IF3), 70F3454 (V850E/IG3) : 256 Kバイトのフラッシュ・メモリ内蔵品

フラッシュ・メモリは, フラッシュ・メモリ・プログラマと, セルフ・プログラミングの2種類で書き換え可能です。

フラッシュ・メモリ・プログラマによる書き込みは, フラッシュ・メモリ・プログラマをターゲット・システムに接続して行います。

セルフ・プログラミングによる書き換えは, フラッシュ・メモリ・プログラマを使用せず, アプリケーション・プログラムにより行います。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

ターゲット・システムにV850E/IF3, V850E/IG3を半田実装後, ソフトウェアの変更可能  
ソフトウェアを区別することで少量多品種生産が容易  
量産立ち上げ時のデータ調整が容易

### 27.1 特 徴

全エリア一括消去, またはブロック (2 Kバイト) 単位消去

フラッシュ・メモリ・プログラマからシリアル・インタフェースを介して通信

消去 / 書き込み電圧: 単一電源による消去 / 書き込みが可能

オンボード・プログラミング

フラッシュ・メモリ・セルフ・プログラミングが可能

ブート・スワップ機能により, セルフ・プログラムによる全フラッシュ・メモリ領域のセキュアな書き換えが可能

書き換え方式

- ・ フラッシュ・メモリ・プログラマとのシリアル・インタフェースを介しての通信による書き換え (オンボード / オフボード・プログラミング)

- ・ ユーザ・プログラムによるフラッシュ・メモリの書き換え (セルフ・プログラミング)

フラッシュ・メモリの書き換え, リード禁止機能をサポート (セキュリティ強化)

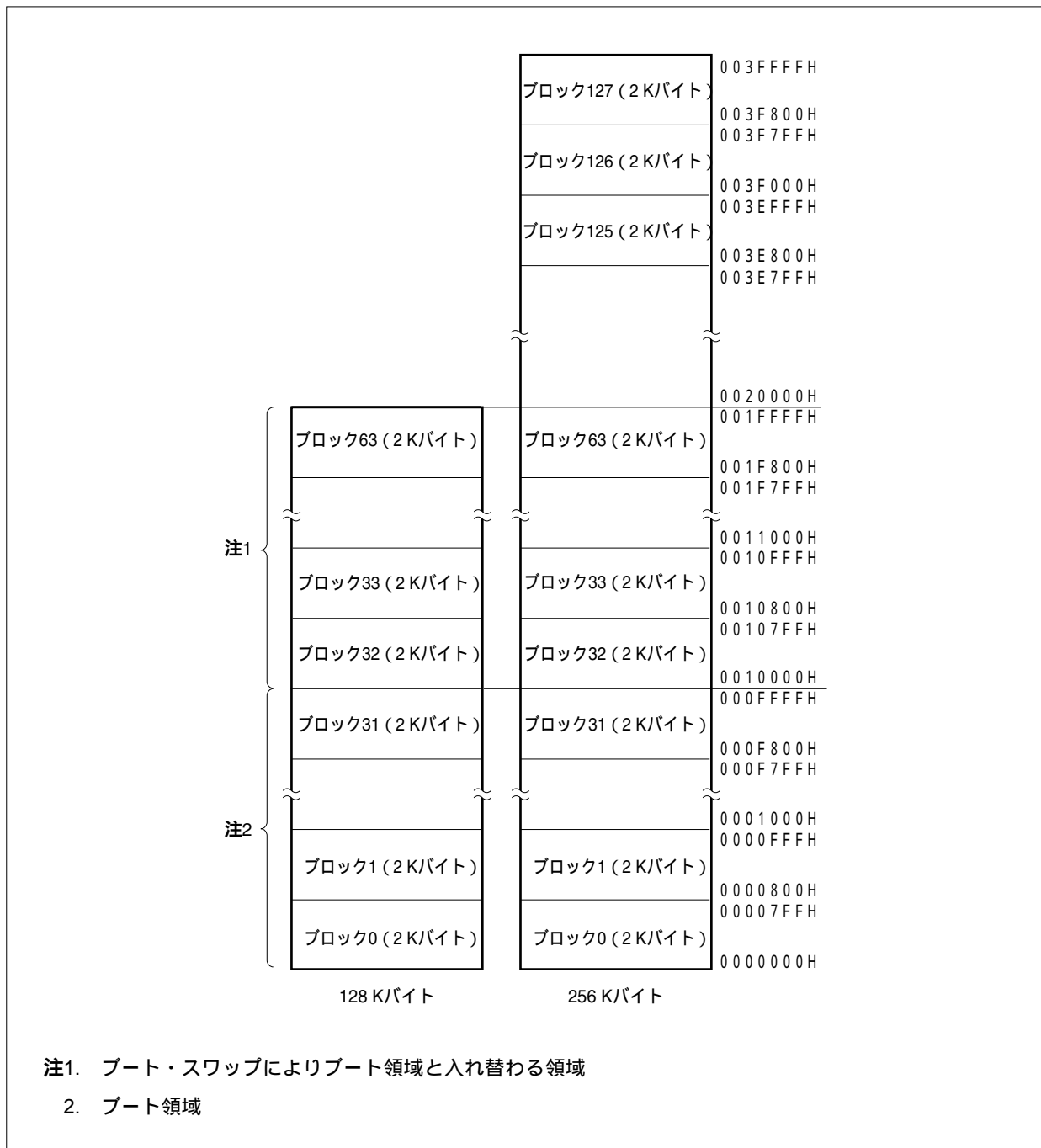
セルフ・プログラミング中の割り込み受け付け可能

## 27.2 メモリ構成

V850E/IF3, V850E/IG3の内蔵フラッシュ・メモリの領域は64, 128個のブロックに分割されており, 各ブロック単位でプログラム/消去可能となっています。また, 全ブロックの一括消去も可能です。

また, ブート・スワップ機能を用いた場合, ブロック0-31のアドレスに配置された物理メモリと, ブロック32-63のアドレスに配置された物理メモリが入れ替わります。ブート・スワップ機能詳細については, 27.7 セルフ・プログラミングによる書き換えを参照してください。

図27-1 フラッシュ・メモリ・マッピング



## 27.3 機能概要

V850E/IF3, V850E/IG3の内蔵フラッシュ・メモリは、専用フラッシュ・プログラマによる書き換え機能により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です（オフボード/オンボード・プログラミング）。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は、ターゲット・システムの製造/出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

表27-1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・メモリ・プログラマを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・メモリ・プログラマと専用プログラム・アダプタ・ボード（FAシリーズ）を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オフボード/オンボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です（セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので、内蔵RAMまたは外部メモリ（ $\mu$ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ）へ書き換え用のプログラムをあらかじめ転送して実行する必要があります）。	通常動作モード

備考 FAシリーズは（株）内藤電誠町田製作所の製品です。

表27 - 2 基本機能一覧

機能	機能概要	サポートの有無（：サポート，×：未サポート）	
		オンボード/オフボード・プログラミング	セルフ・プログラミング
ブロック消去	指定したブロックのメモリの内容の消去を行います。		
チップ消去	全メモリの内容の一括消去を行います。		× (ブロック消去の領域指定で可能)
書き込み	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。		
ベリファイ/チェックサム	フラッシュ・メモリから読み出したデータと、フラッシュ・メモリ・プログラマから転送されたデータの比較を行います。		× (ユーザ・プログラムにて読み出しは可能)
ブランク・チェック	全メモリの消去状態の確認を行います。		
セキュリティ設定	ブロック消去コマンド/チップ消去コマンド/プログラム・コマンド/リード・コマンドの使用禁止設定を行います。		× (オンボード/オフボード・プログラミングで設定した値の保持のみ可能)

表27 - 3 セキュリティ機能一覧

機能	機能概要	サポートの有無	
		オンボード/オフボード・プログラミング	セルフ・プログラミング
ブロック消去コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。	詳細は27.3.2 <b>セキュリティ機能</b> を参照してください。	
チップ消去コマンド禁止	全ブロックに対してのブロック消去および、チップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため、すべての禁止設定の初期化ができなくなります。		
プログラム・コマンド禁止	全ブロックに対しての書き込みコマンドとブロック消去コマンドを禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。		
リード・コマンド禁止	全ブロックに対してのリード・コマンドを禁止にします。 チップ消去コマンドの実行によって、禁止設定は初期化されます。		

### 27.3.1 消去単位

#### (1) 全エリア一括消去

フラッシュ・メモリ領域128 K/256 Kバイトを一括で消去できます。

#### (2) ブロック消去

ブロック単位で消去ができます。

- ・  $\mu$  PD70F3451 (V850E/IF3) , 70F3453 (V850E/IG3) : ブロック0~ブロック63 : 各2 Kバイト
- ・  $\mu$  PD70F3452 (V850E/IF3) , 70F3454 (V850E/IG3) : ブロック0~ブロック127 : 各2 Kバイト

### 27.3.2 セキュリティ機能

フラッシュ書き換え時のコマンド / 関数にセキュリティを設定できます。

V850E/IF3, V850E/IG3出荷時の未書き込み品は, 「すべて許可」の状態にセキュリティ設定されています。

#### (1) フラッシュ・メモリ・プログラミング・モードの場合

コマンド \ セキュリティ設定 (フラグ)	すべて許可	読み出し禁止	書き込み禁止	チップ消去禁止	ブロック消去禁止	ブート・ブロック・クラスタ書き換え禁止
読み出し		×				
書き込み			×			
チップ消去				×		×
ブロック消去			×	×	×	
セキュリティ設定の変更		注1	注1	注1	注1	注1, 2
その他のコマンド (ブランク・チェック, ベリファイなど)						

○ : コマンド受付可能

○ : ブート・ブロック・クラスタ以外の領域をコマンド受付可能

× : プロテクト・エラー

注1. 許可から禁止への変更は可能です。禁止から許可への変更はプロテクト・エラーとなります。禁止に設定したセキュリティを許可に戻すには, チップ消去が必要となります。チップ消去禁止, ブート・ブロック・クラスタ書き換え禁止を設定した場合, セキュリティ設定を許可に戻すことはできません。

2. ブート・ブロック・クラスタ書き換え禁止を設定した場合, ブート・ブロック・クラスタ最終ブロック番号 (128 Kバイト品 : 63, 256 Kバイト品 : 127) を変更することはできません。



## (2) セルフ・プログラミング・モードの場合

セキュリティ設定 (フラグ) コマンド	すべて 許可	読み出し 禁止	書き込み 禁止	チップ 消去禁止	ブロック 消去禁止	ブート・ブロック・ クラスタ 書き換え禁止
FlashWordRead						
FlashWordWrite						
FlashBlockErase						
FlashBootSwap						×
FlashSetInfo		注1	注1	注1	注1	注1, 2
その他の関数 (FlashBlockBlankCheck, FlashBlockIVerifyなど)						

○ : コマンド受付可能

△ : ブート・ブロック・クラスタ以外の領域の場合, 関数実行可能

× : プロテクト・エラー

- 注1. 許可から禁止への変更は可能です。禁止から許可への変更はプロテクト・エラーとなります。禁止に設定したセキュリティを許可に戻すには、フラッシュ・セルフ・プログラミング・モードでのチップ消去が必要となります。チップ消去禁止を設定した場合、セキュリティ設定を許可に戻すことはできません。
2. ブート・ブロック・クラスタ書き換え禁止を設定した場合、ブート・ブロック・クラスタ最終ブロック番号 (128 Kバイト品 : 63, 256 Kバイト品 : 127) およびブート・スワップ・クラスタ設定フラグを変更することはできません。

## 27.4 フラッシュ・メモリ・プログラマによる書き込み方法

フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5, FL-PR4, FL-PR5) およびMINICUBE2により, オンボードまたはオフボードでの書き込みができます。

### (1) オンボード・プログラミング

ターゲット・システム上にV850E/IF3, V850E/IG3を実装後, フラッシュ・メモリの内容を書き換えます。  
ターゲット・システム上には, フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

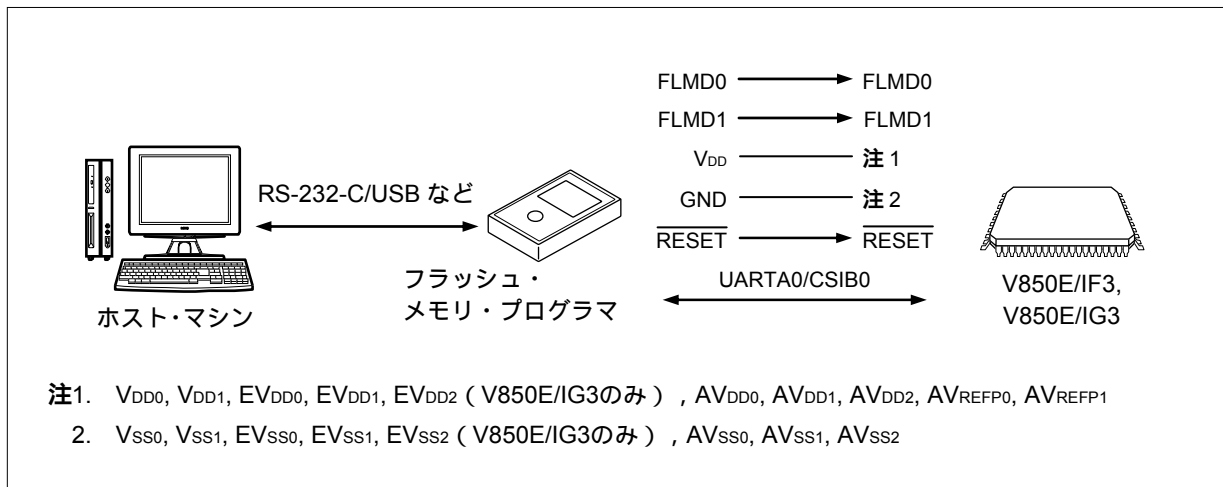
### (2) オフボード・プログラミング

ターゲット・システム上にV850E/IF3, V850E/IG3を実装する前にフラッシュ・メモリに書き込みます。

**備考** FL-PR4, FL-PR5は, (株)内藤電誠町田製作所の製品です。

## 27.5 フラッシュ・メモリ・プログラミング環境

V850E/IF3, V850E/IG3のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。



フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、フラッシュ・メモリ・プログラマとV850E/IF3, V850E/IG3とのインタフェースはUARTA0, CSIB0を使用して、書き込み、消去等の操作を行います。V850E/IF3, V850E/IG3の動作クロックは、V850E/IF3, V850E/IG3搭載ボード上で発振子およびコンデンサにより発振回路を構成して供給してください。

表27 - 4 環境と通信方式

環 境	通信方式		
	UARTA0	CSIB0	ハンドシェーク 対応CSIB0
フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5, FL-PR4, FL-PR5)			
MINICUBE2		×	

備考 : 対応, × : 非対応

## 27.6 フラッシュ・メモリ・プログラミングの通信方式

## (1) UARTA0通信方式

転送レート：9600 bps ~ 153600 bps (LSBファースト)

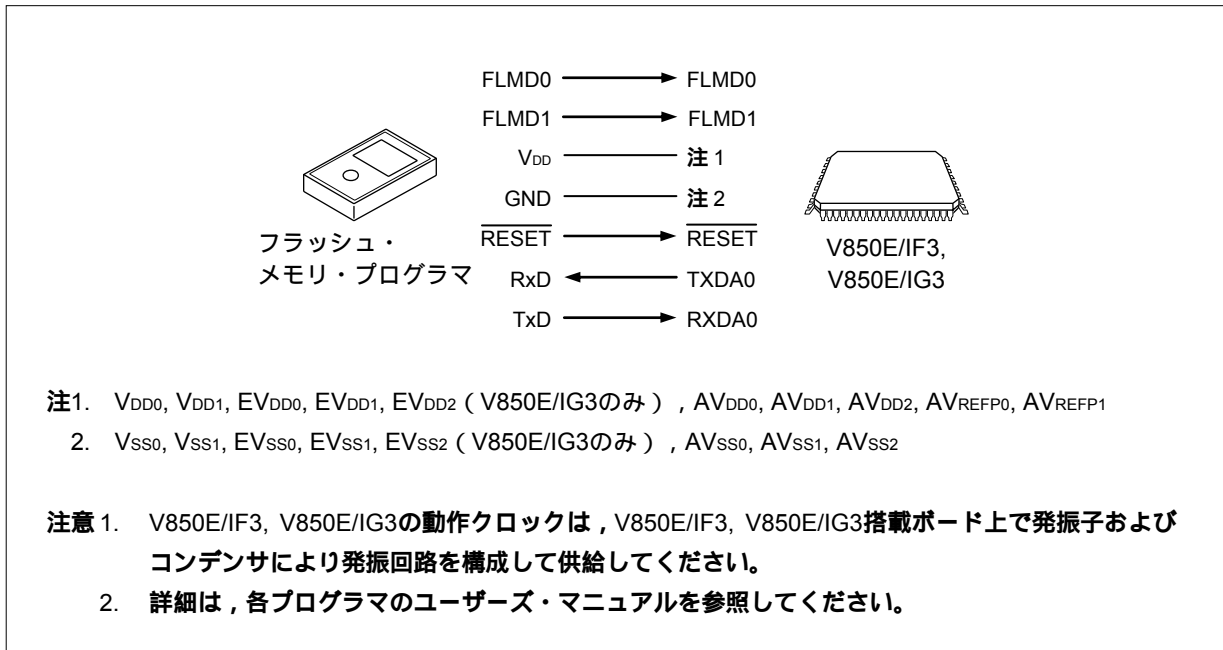


表27 - 5 フラッシュ・メモリ・プログラマとV850E/IF3, V850E/IG3との配線対応表

端子番号	専用フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5)	入出力 (PG-FP4, PG-FP5側)	V850E/IF3, V850E/IG3				
			端子名	ピン番号			
				V850E/IF3	V850E/IG3		
					GC	GC	GF
1	GND	-	V <sub>SS0</sub>	32	37	65	N7, P7
			V <sub>SS1</sub>	66	85	13	A9, B9
			EV <sub>SS0</sub>	54	64	92	A14, G13, G14
			EV <sub>SS1</sub>	79	1	29	注1
			EV <sub>SS2</sub>	-	42	70	N11, P11, P14
			AV <sub>SS0</sub>	6	7	35	E1, E2
			AV <sub>SS1</sub>	11	12	40	H1, H2
			AV <sub>SS2</sub>	22	27	55	L4, M3, N2, P1
2	RESET	出力	RESET	35	40	68	P9
3	SI/RxD	入力	TXDA0	39	48	76	N12
4	V <sub>DD</sub>	-	V <sub>DD0</sub>	30	35	63	N5, P5
			V <sub>DD1</sub>	68	87	15	A7, B7
			EV <sub>DD0</sub>	55	65	93	F13, F14
			EV <sub>DD1</sub>	80	100	28	A3, B2
			EV <sub>DD2</sub>	-	41	69	N10, P10
			AV <sub>DD0</sub>	8	9	37	F1
			AV <sub>DD1</sub>	9	10	38	G1
			AV <sub>DD2</sub>	21	26	54	M1, M2
			AV <sub>REFP0</sub>	7	8	36	F2
AV <sub>REFP1</sub>	10	11	39	G2			
5	SO/TxD	出力	RXDA0	38	47	75	P12
6	V <sub>PP</sub>	x	NC	-	-	-	-
7	SCK	x	NC	-	-	-	-
8	H/S	x	NC	-	-	-	-
9	CLK <sup>注2</sup>	出力	X1 <sup>注2</sup>	33	38	66	P8
10	VDE	x	NC	-	-	-	-
11	V <sub>DD2</sub>	-	NC	-	-	-	-
12	FLMD1	出力	注3	60	76	4	A12
13	RFU-1	x	NC	-	-	-	-
14	FLMD0	出力	FLMD0	37	46	74	N9
15	Not used	x	NC	-	-	-	-
16	Not used	x	NC	-	-	-	-

注1. A1, B1, C1, C2, D3, E4

- V850E/IF3, V850E/IG3は外部クロックを禁止しています。ボード上に発振子を搭載してください。
- FLMD1または抵抗を介してGNDに接続してください。

備考 NC : No Connection

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

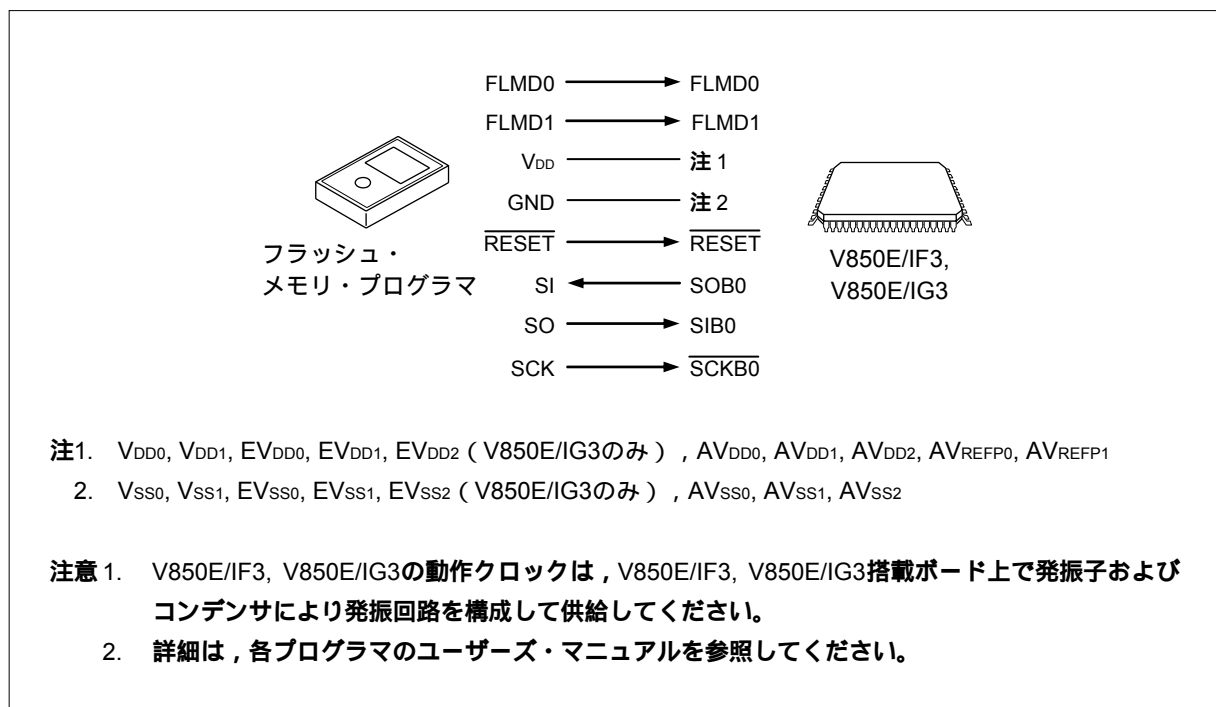
GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

(2) CSIB0通信方式

転送レート：～2.5 Mbps (MSBファースト)



フラッシュ・メモリ・プログラマが転送クロックを出力 (マスタ) し, V850E/IF3, V850E/IG3はスレーブとして動作します。

表27 - 6 フラッシュ・メモリ・プログラマとV850E/IF3, V850E/IG3との配線対応表

端子番号	フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5)	入出力 (PG-FP4, PG-FP5側)	V850E/IF3, V850E/IG3				
			端子名	ピン番号			
				V850E/IF3	V850E/IG3		
				GC	GC	GF	F1
1	GND	-	V <sub>SS0</sub>	32	37	65	N7, P7
			V <sub>SS1</sub>	66	85	13	A9, B9
			EV <sub>SS0</sub>	54	64	92	A14, G13, G14
			EV <sub>SS1</sub>	79	1	29	注1
			EV <sub>SS2</sub>	-	42	70	N11, P11, P14
			AV <sub>SS0</sub>	6	7	35	E1, E2
			AV <sub>SS1</sub>	11	12	40	H1, H2
			AV <sub>SS2</sub>	22	27	55	L4, M3, N2, P1
2	RESET	出力	RESET	35	40	68	P9
3	SI/RxD	入力	SOB0	39	48	76	N12
4	V <sub>DD</sub>	-	V <sub>DD0</sub>	30	35	63	N5, P5
			V <sub>DD1</sub>	68	87	15	A7, B7
			EV <sub>DD0</sub>	55	65	93	F13, F14
			EV <sub>DD1</sub>	80	100	28	A3, B2
			EV <sub>DD2</sub>	-	41	69	N10, P10
			AV <sub>DD0</sub>	8	9	37	F1
			AV <sub>DD1</sub>	9	10	38	G1
			AV <sub>DD2</sub>	21	26	54	M1, M2
			AV <sub>REFP0</sub>	7	8	36	F2
			AV <sub>REFP1</sub>	10	11	39	G2
5	SO/TxD	出力	SIB0	38	47	75	P12
6	V <sub>PP</sub>	x	NC	-	-	-	-
7	SCK	出力	SCKB0	40	49	77	M14
8	H/S	x	NC	-	-	-	-
9	CLK <sup>注2</sup>	出力	X1 <sup>注2</sup>	33	38	66	P8
10	VDE	x	NC	-	-	-	-
11	V <sub>DD2</sub>	-	NC	-	-	-	-
12	FLMD1	出力	注3	60	76	4	A12
13	RFU-1	x	NC	-	-	-	-
14	FLMD0	出力	FLMD0	37	46	74	N9
15	Not used	x	NC	-	-	-	-
16	Not used	x	NC	-	-	-	-

注1. A1, B1, C1, C2, D3, E4

- V850E/IF3, V850E/IG3は外部クロックを禁止しています。ボード上に発振子を搭載してください。
- FLMD1または抵抗を介してGNDに接続してください。

備考 NC : No Connection

GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)

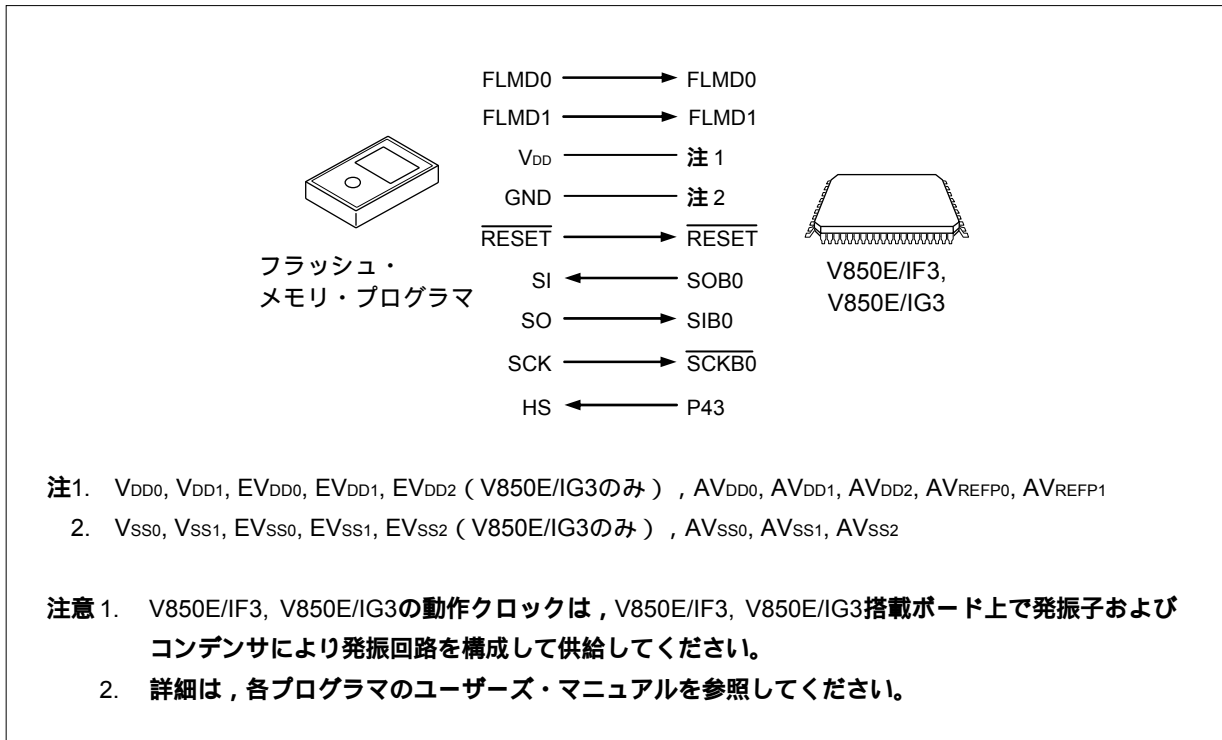
GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)

F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

(3) ハンドシェイク対応CSIB0通信方式

転送レート：～2.5 Mbps (MSBファースト)



フラッシュ・メモリ・プログラマが転送クロックを出力し, V850E/IF3, V850E/IG3はスレーブとして動作します。

フラッシュ・メモリ・プログラマとしてPG-FP4, PG-FP5を使用した場合, PG-FP4, PG-FP5はV850E/IF3, V850E/IG3に対して次の信号を生成します。詳細はPG-FP4 ユーザーズ・マニュアル (U15260J), PG-FP5 ユーザーズ・マニュアル (U18865J)を参照してください。



表27-7 フラッシュ・メモリ・プログラマとV850E/IF3, V850E/IG3との配線対応表

端子番号	フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5)	入出力 (PG-FP4, PG-FP5側)	V850E/IF3, V850E/IG3				
			ピン番号	ピン番号			
				V850E/IF3	V850E/IG3		
					GC	GC	GF
1	GND	-	V <sub>SS0</sub>	32	37	65	N7, P7
			V <sub>SS1</sub>	66	85	13	A9, B9
			EV <sub>SS0</sub>	54	64	92	A14, G13, G14
			EV <sub>SS1</sub>	79	1	29	注1
			EV <sub>SS2</sub>	-	42	70	N11, P11, P14
			AV <sub>SS0</sub>	6	7	35	E1, E2
			AV <sub>SS1</sub>	11	12	40	H1, H2
			AV <sub>SS2</sub>	22	27	55	L4, M3, N2, P1
2	RESET	出力	RESET	35	40	68	P9
3	SI/RxD	入力	SOB0	39	48	76	N12
4	V <sub>DD</sub>	-	V <sub>DD0</sub>	30	35	63	N5, P5
			V <sub>DD1</sub>	68	87	15	A7, B7
			EV <sub>DD0</sub>	55	65	93	F13, F14
			EV <sub>DD1</sub>	80	100	28	A3, B2
			EV <sub>DD2</sub>	-	41	69	N10, P10
			AV <sub>DD0</sub>	8	9	37	F1
			AV <sub>DD1</sub>	9	10	38	G1
			AV <sub>DD2</sub>	21	26	54	M1, M2
			AV <sub>REFP0</sub>	7	8	36	F2
			AV <sub>REFP1</sub>	10	11	39	G2
5	SO/TxD	出力	SIB0	38	47	75	P12
6	V <sub>PP</sub>	x	NC	-	-	-	-
7	SCK	出力	SCKB0	40	49	77	M14
8	H/S	入力	P43	41	50	78	M13
9	CLK <sup>注2</sup>	出力	X1 <sup>注2</sup>	33	38	66	P8
10	VDE	x	NC	-	-	-	-
11	V <sub>DD2</sub>	-	NC	-	-	-	-
12	FLMD1	出力	注3	60	76	4	A12
13	RFU-1	x	NC	-	-	-	-
14	FLMD0	出力	FLMD0	37	46	74	N9
15	Not used	x	NC	-	-	-	-
16	Not used	x	NC	-	-	-	-

注1. A1, B1, C1, C2, D3, E4

2. V850E/IF3, V850E/IG3は外部クロックを禁止しています。ボード上に発振子を搭載してください。
3. FLMD1または抵抗を介してGNDに接続してください。

備考 NC : No Connection

- GC (V850E/IF3) : 80ピン・プラスチックLQFP (14×14)
- GC (V850E/IG3) : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)
- GF (V850E/IG3) : 100ピン・プラスチックLQFP (14×20)
- F1 (V850E/IG3) : 161ピン・プラスチックFBGA (10×10)

## 27.7 フラッシュ・メモリ・プログラミング時の端子処理

オンボード書き込みを行う場合は、ターゲット・システム上にフラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべて通常動作モードのリセット直後と同じ状態になります。したがって、ポートはすべてハイ・インピーダンス状態になるため、外部デバイスがハイ・インピーダンス状態を認めない場合は端子処理が必要です。

### 27.7.1 電 源

電源 ( $V_{DD0}$ ,  $V_{DD1}$ ,  $V_{SS0}$ ,  $V_{SS1}$ ,  $EV_{DD0}$ ,  $EV_{DD1}$ ,  $EV_{DD2}$  (V850E/IG3のみ),  $EV_{SS0}$ ,  $EV_{SS1}$ ,  $EV_{SS2}$  (V850E/IG3のみ),  $AV_{DD0}$ ,  $AV_{DD1}$ ,  $AV_{DD2}$ ,  $AV_{SS0}$ ,  $AV_{SS1}$ ,  $AV_{SS2}$ ,  $AV_{REFP0}$ ,  $AV_{REFP1}$ ) は、通常動作モード時と同じ電源を供給してください。また、 $V_{DD0}$ ,  $V_{DD1}$ ,  $V_{SS0}$ ,  $V_{SS1}$ ,  $EV_{DD0}$ ,  $EV_{DD1}$ ,  $EV_{DD2}$  (V850E/IG3のみ),  $EV_{SS0}$ ,  $EV_{SS1}$ ,  $EV_{SS2}$  (V850E/IG3のみ),  $AV_{DD0}$ ,  $AV_{DD1}$ ,  $AV_{DD2}$ ,  $AV_{SS0}$ ,  $AV_{SS1}$ ,  $AV_{SS2}$ ,  $AV_{REFP0}$ ,  $AV_{REFP1}$  は、フラッシュ・メモリ・プログラマの  $V_{DD}$ , GND を接続してください (フラッシュ・メモリ・プログラマの  $V_{DD}$  は、電源監視機能がついています)。

フラッシュ・メモリ・プログラミング・モード時 (フラッシュ・メモリ・セルフ・プログラミングを含む) は、 $V_{DD0}$ ,  $V_{DD1}$  端子と  $V_{SS0}$ ,  $V_{SS1}$  端子、 $EV_{DD0}$ ,  $EV_{DD1}$ ,  $EV_{DD2}$  (V850E/IG3のみ) 端子と  $EV_{SS0}$ ,  $EV_{SS1}$ ,  $EV_{SS2}$  (V850E/IG3のみ) 端子の間にコンデンサを挿入し、電源電圧を安定させてください。

### 27.7.2 使用端子

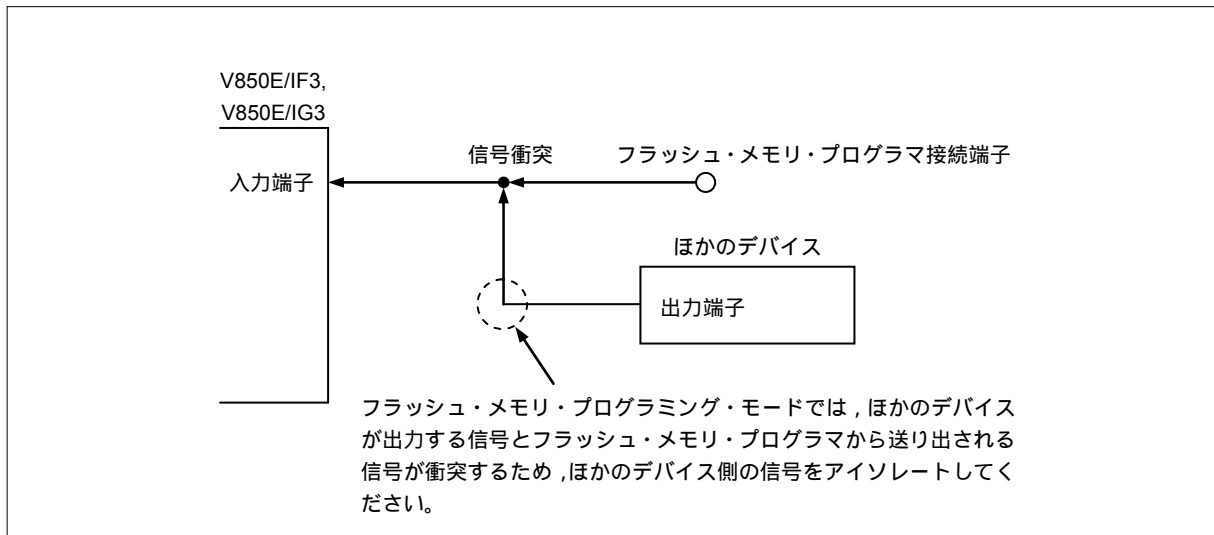
各インタフェースが使用する端子を次に示します。

通信方式	使用端子
UARTA0	TXDA0, RXDA0
CSIB0	SOB0, SIB0, $\overline{SCKB0}$
ハンドシェーク対応CSIB0	SOB0, SIB0, $\overline{SCKB0}$ , P43

オンボード上でほかのデバイスと接続している各インタフェース用の端子に、フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

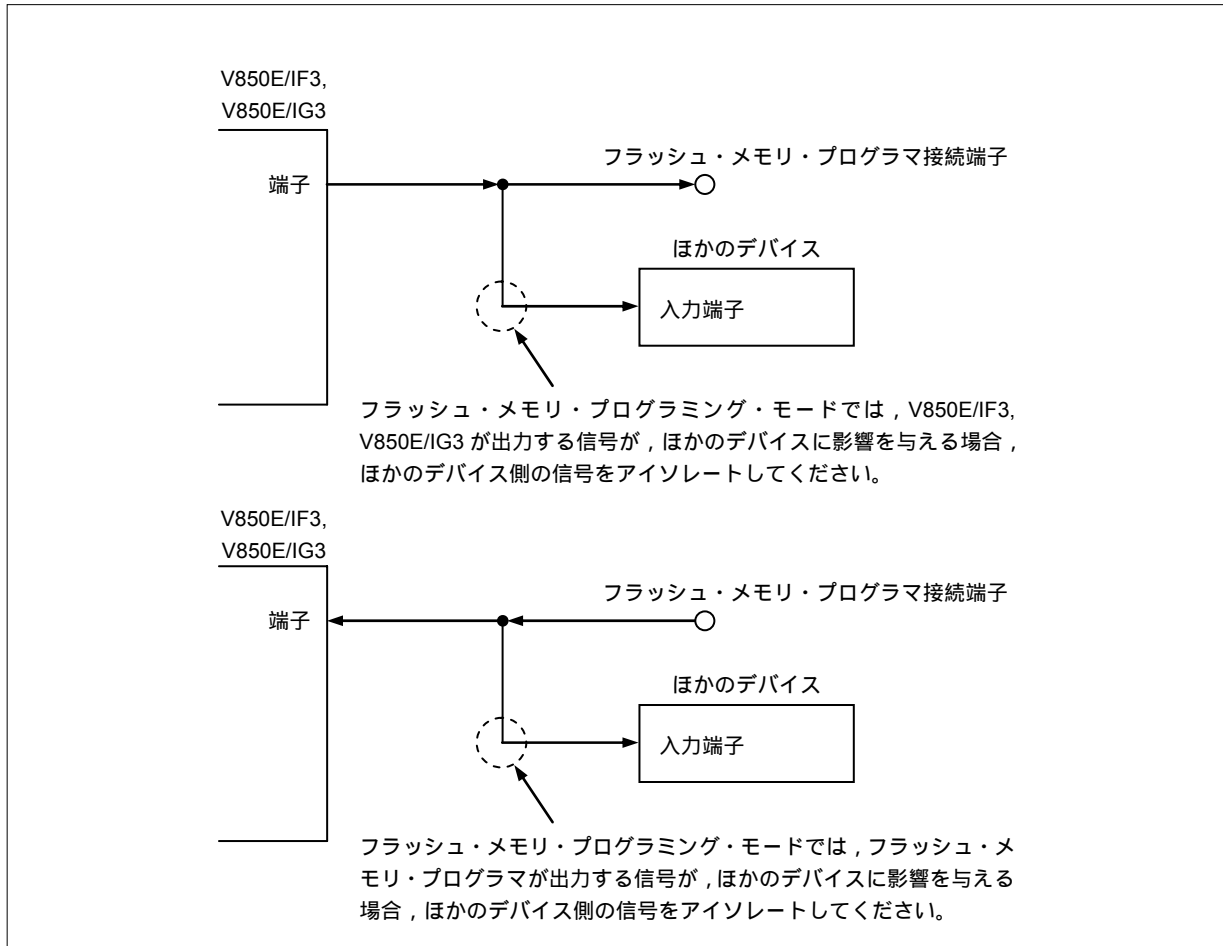
(1) 信号の衝突

ほかのデバイス（出力）と接続しているインタフェース用の端子（入力）に、フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。



(2) ほかのデバイスの異常動作

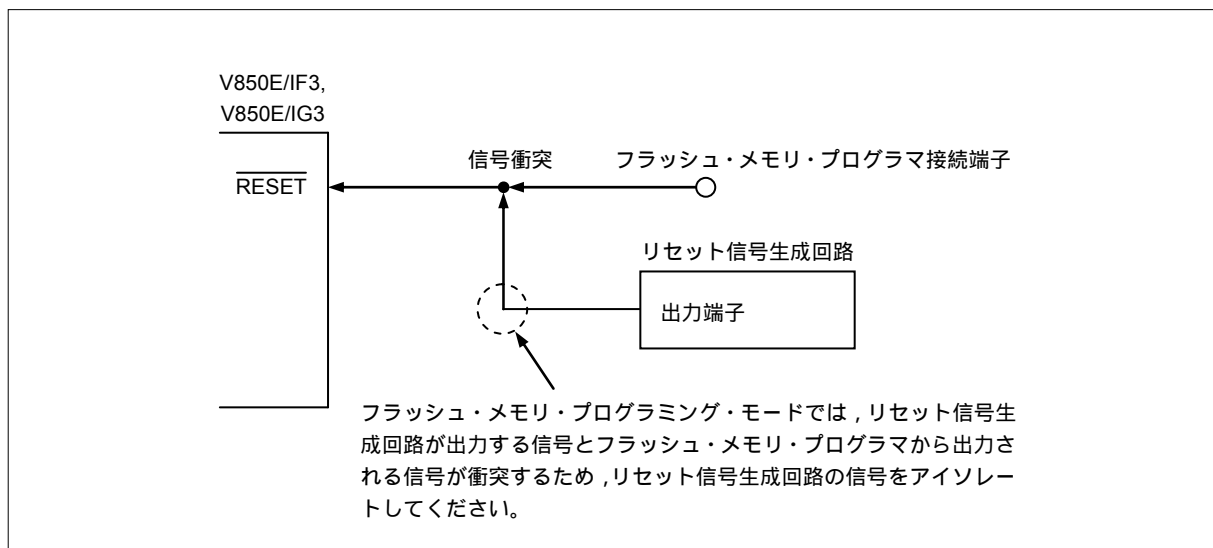
ほかのデバイス（入力）と接続しているインタフェース用の端子（入力または出力）に、フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。



### 27.7.3 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

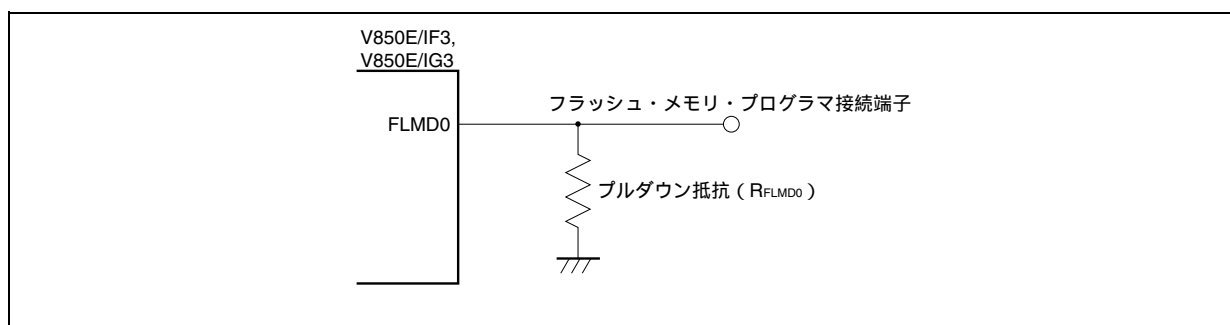


### 27.7.4 FLMD0, FLMD1端子

#### (1) FLMD0端子

通常動作モード時は、FLMD0端子に $\text{EV}_{\text{SS}0}$ ,  $\text{EV}_{\text{SS}1}$ ,  $\text{EV}_{\text{SS}2}$  (V850E/IG3) レベルの電圧を入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に $\text{EV}_{\text{DD}0}$ ,  $\text{EV}_{\text{DD}1}$ ,  $\text{EV}_{\text{DD}2}$  (V850E/IG3のみ) レベルの書き込み電圧を供給します。

また、FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため、書き換え前にポート制御などによって、FLMD0端子に $\text{EV}_{\text{DD}0}$ ,  $\text{EV}_{\text{DD}1}$ ,  $\text{EV}_{\text{DD}2}$  (V850E/IG3のみ) レベルの電圧を供給する必要があります。詳細は、27.9.5 (1) FLMD0端子を参照してください。



(2) FLMD1端子

FLMD0端子に0 Vを入力された場合、FLMD1端子は機能しません。FLMD0端子にEV<sub>DD0</sub>、EV<sub>DD1</sub>、EV<sub>DD2</sub> (V850E/IG3のみ)が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子に0 Vを入力する必要があります。FLMD1端子の接続例を次に示します。

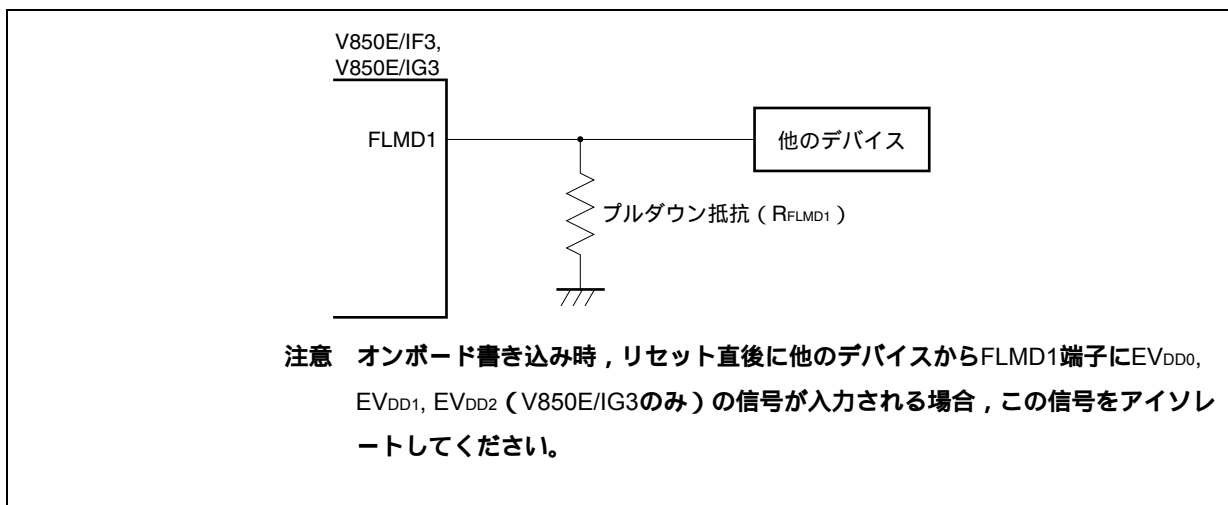


表27 - 8 リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
EV <sub>DD</sub>	0	フラッシュ・メモリ・プログラミング・モード
EV <sub>DD</sub>	EV <sub>DD</sub>	設定禁止

備考 EV<sub>DD</sub> : EV<sub>DD0</sub>, EV<sub>DD1</sub>, EV<sub>DD2</sub> (V850E/IG3のみ)

27.7.5 ポート端子

フラッシュ・メモリ・プログラミング・モードに設定すると、フラッシュ・メモリ・プログラマと通信する端子を除くすべてのポート端子はハイ・インピーダンス状態になります。これらのポート端子を処理する必要はありません。なお、ポートに接続されている外部デバイスにハイ・インピーダンス状態禁止などの問題が生じる場合には、抵抗を介してEV<sub>DD0</sub>、EV<sub>DD1</sub>、EV<sub>DD2</sub> (V850E/IG3のみ)に接続するか、または抵抗を介してEV<sub>SS0</sub>、EV<sub>SS1</sub>、EV<sub>SS2</sub> (V850E/IG3のみ)に接続するなどの処置をしてください。

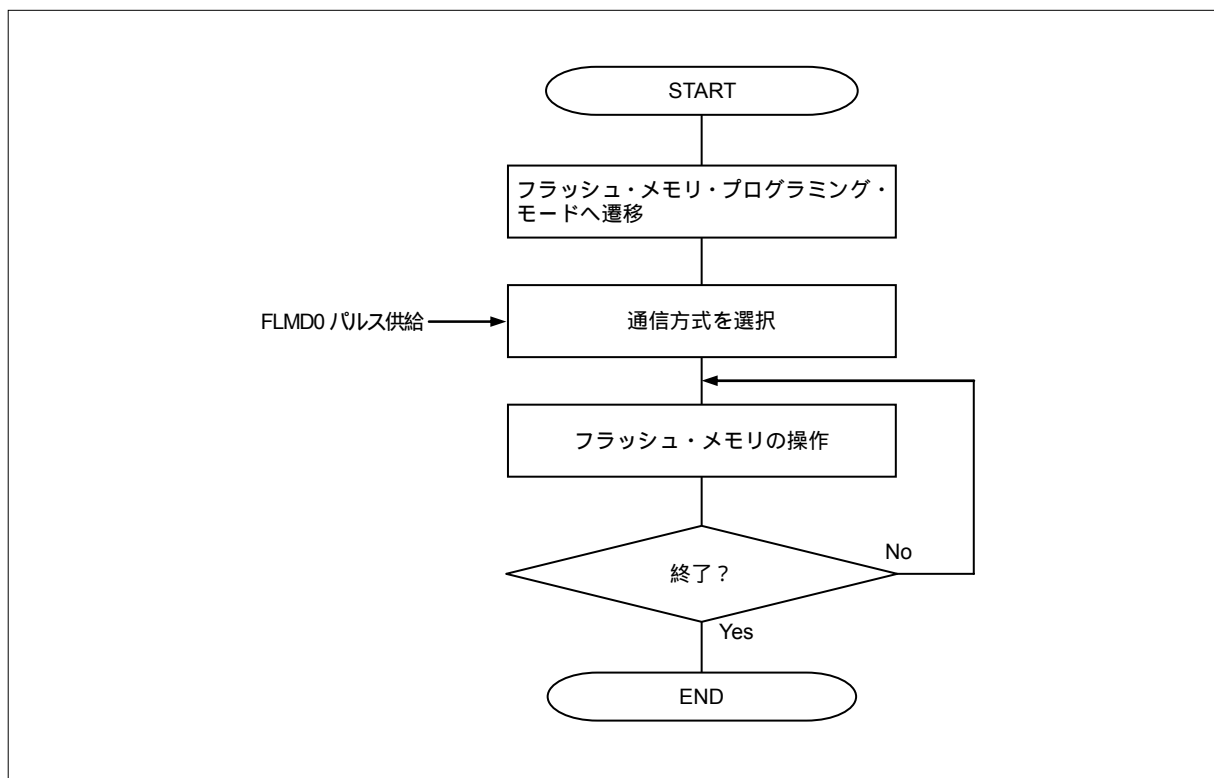
27.7.6 その他の信号端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

## 27.8 フラッシュ・メモリ・プログラミング方法

### 27.8.1 フラッシュ・メモリ制御

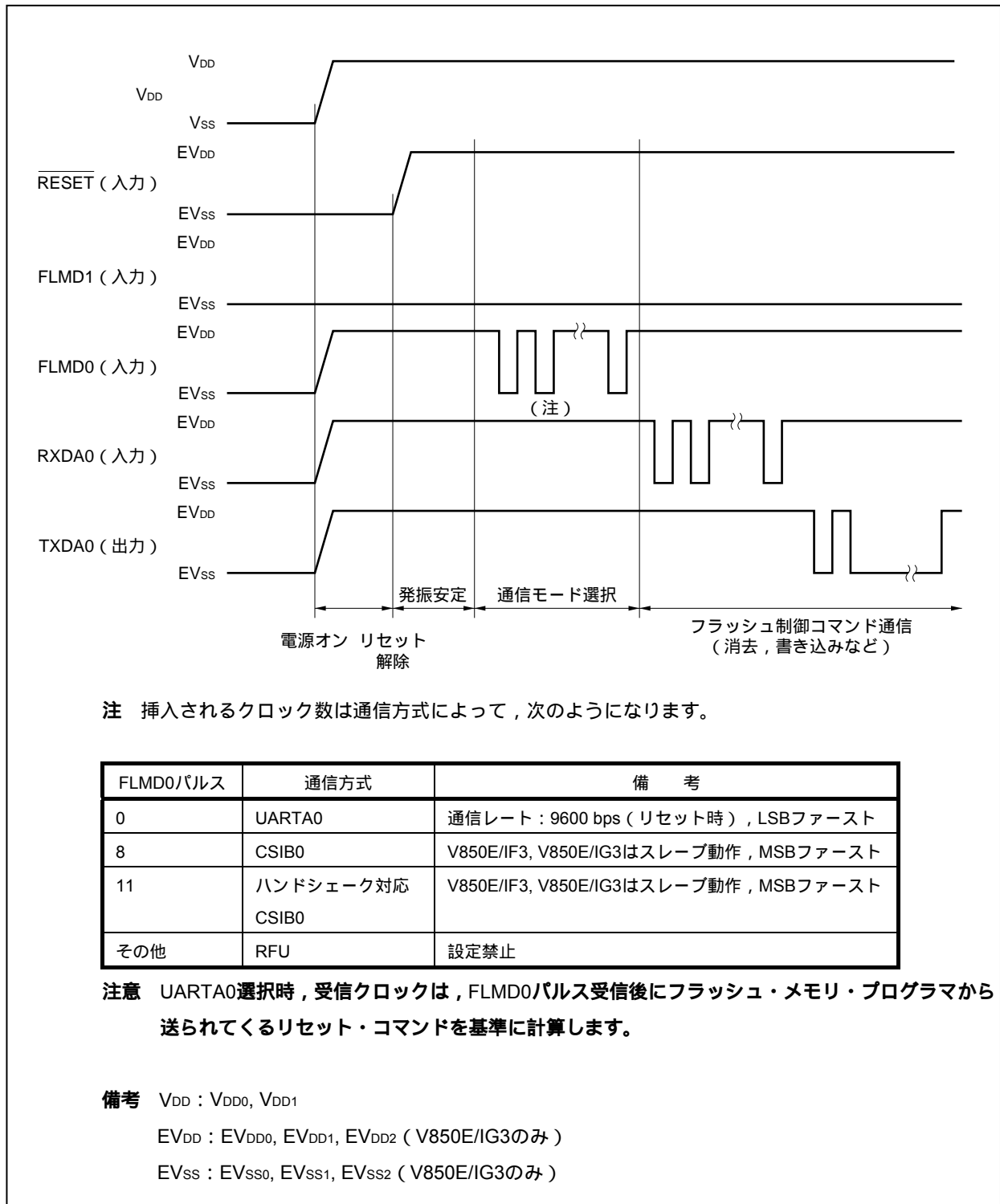
フラッシュ・メモリを操作する手順を次に示します。



### 27.8.2 通信方式の選択

V850E/IF3, V850E/IG3では、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大11パルス）を入力することで通信方式を選択します。このFLMD0パルスはフラッシュ・メモリ・プログラマが生成します。

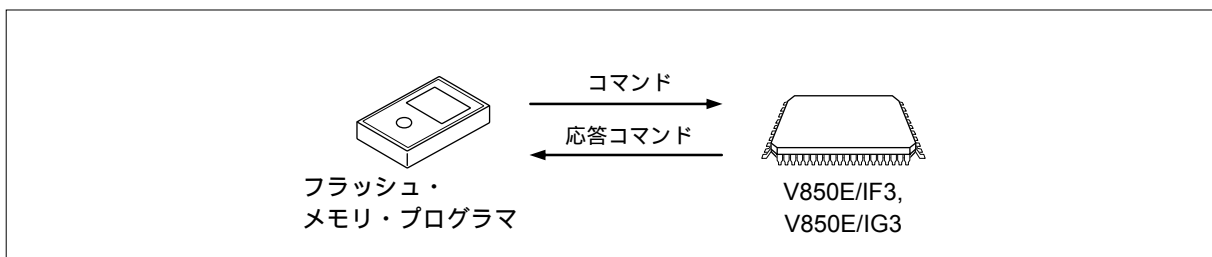
パルス数と通信方式の関係を次に示します。





### 27. 8. 3 通信コマンド

V850E/IF3, V850E/IG3とフラッシュ・メモリ・プログラマは, コマンドを介して通信します。フラッシュ・メモリ・プログラマからV850E/IF3, V850E/IG3へ送られるコマンドを「コマンド」と呼び、V850E/IF3, V850E/IG3からフラッシュ・メモリ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。



V850E/IF3, V850E/IG3のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、V850E/IF3, V850E/IG3がコマンドに対応した各処理を行います。

表27 - 9 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	対応			機能
		UARTA0	CSIB0	注	
ベリファイ	ブロック・ベリファイ・コマンド				指定したブロックの内容と入力したデータを比較
消去	チップ消去コマンド				全フラッシュ・メモリを消去
	ブロック消去コマンド				指定したブロックの内容を消去
ブランク・チェック	ブロック・ブランク・チェック・コマンド				指定したブロックの消去状態を確認
データ・ライト	書き込みコマンド				指定したブロックにデータの書き込みを実行
データ・リード	読み出しコマンド				指定したブロックのデータの読み出しを実行
システム 設定, 制御	ステータス・コマンド		×		動作状況のステータスを得る
	発振周波数設定コマンド				発振周波数の設定
	ポー・レート設定コマンド		×	×	UARTA0選択時のポー・レートを変更
	シリコン・シグネチャ・コマンド				シリコン・シグネチャ情報を読み出す
	バージョン取得コマンド				デバイスのバージョン, ファームウェアのバージョンを読み出す
	セキュリティ設定コマンド				セキュリティ情報とブート・ブロック・サイズを設定
	チェックサム・コマンド				指定したブロックのデータのチェックサム値を送信
	リセット・コマンド				通信同期検出に使用

注 ハンドシェイク対応CSIB0

また、フラッシュ・メモリ・プログラマから発行されたコマンドに対して、V850E/IF3, V850E/IG3は応答コマンドを返します。V850E/IF3, V850E/IG3が送出する応答コマンドを次に示します。

表27 - 10 応答コマンド

応答コマンド名称	機 能
ACK (アクリッジ)	コマンド/データなどのアクリッジ
NAK (ノット・アクリッジ)	不正なフレームなどのアクリッジ
コマンド番号エラー	不正なコマンド/データなどのアクリッジ
パラメータ・エラー	不正なパラメータなどのアクリッジ
チェックサム・エラー	フレームに対するチェックサムのアクリッジ
プロテクト・エラー	プロテクトが掛かっているときのアクリッジ
処理中 (BUSY)	処理中のアクリッジ
上記以外	エラー

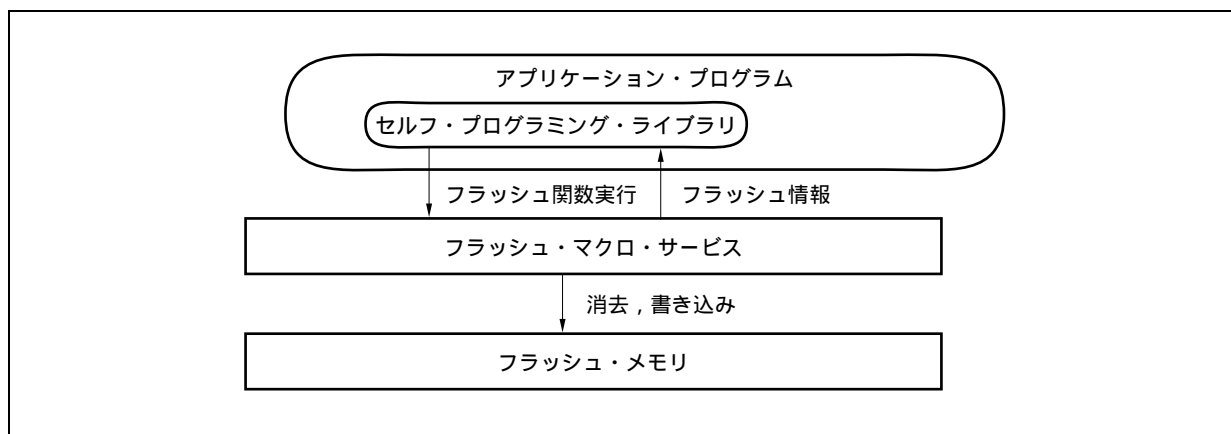
## 27.9 セルフ・プログラミングによる書き換え

### 27.9.1 概 要

V850E/IF3, V850E/IG3は、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび、フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより、内蔵RAMもしくは、外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換え<sup>※</sup>を行うことができます。セルフ・プログラミングの詳細については、**フラッシュ・メモリ・セルフ・プログラミング・ライブラリ ユーザーズ・マニュアル**を参照してください。

**注** 書き換え対象の定数データがあるブロックに、プログラム・コードを配置しないよう注意してください。ブロック構成については、27.2 **メモリ構成**を参照してください。

図27-2 セルフ・プログラミングの概念図



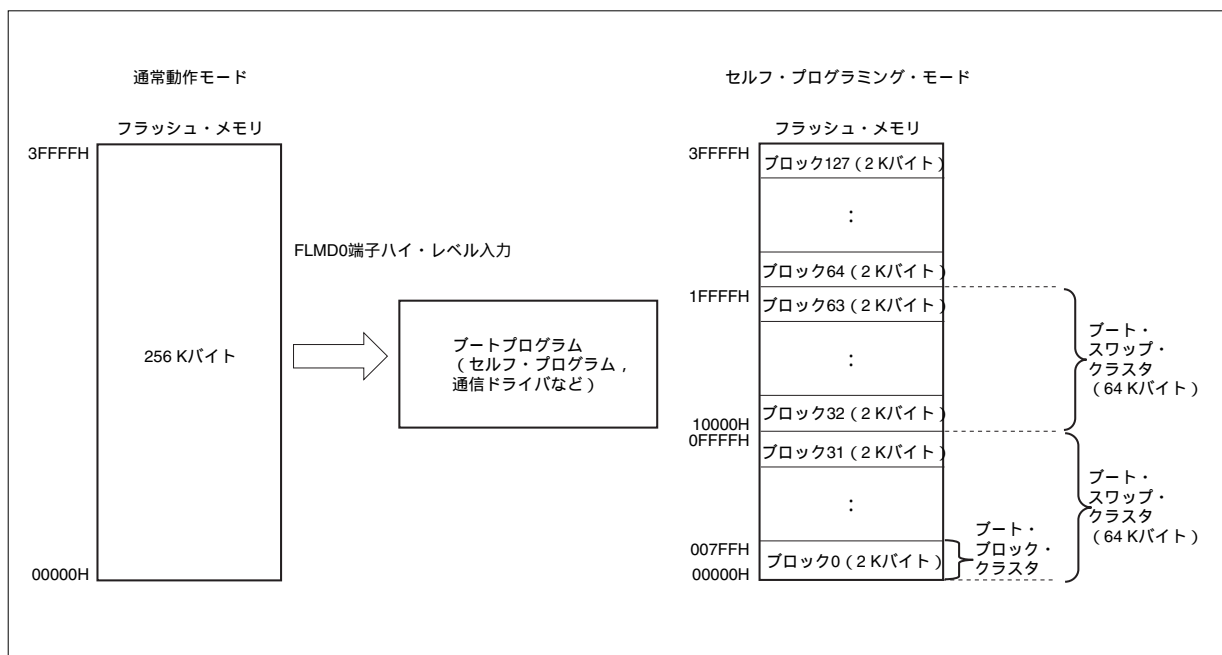
## 27.9.2 特 徴

## (1) フラッシュ・メモリ・セルフ・プログラミング

フラッシュ・メモリ・セルフ・プログラミングは、消去/書き込み対象のフラッシュ・メモリ・エリア以外の領域に配置されたプログラム上で、フラッシュ関数を呼び出すことにより、フラッシュ・メモリの消去/書き込みを実現します。セルフ・プログラミングを実現するためのプログラムを消去/書き込み対象のブロックに配置する場合は、内蔵RAM領域にプログラムをコピーしたあと、コピー先でプログラムを実行して、フラッシュ関数を呼び出してください。

フラッシュ関数の呼び出しは、通常動作モードからセルフ・プログラミング・モードに切り替えて行います。

図27-3 セルフ・プログラミング



## (a) ブート・スワップ・クラスタ

フラッシュ・メモリ・プログラミング時にアドレス下位側 (00000H-0FFFFH) のブート・スワップ・クラスタとアドレス上位側 (10000H-1FFFFH) のブート・スワップ・クラスタを入れ替えることができます。

## (b) ブート・ブロック・クラスタ

フラッシュ・メモリ・プログラミング時に、ブート・ブロック・クラスタを00000Hから2 Kバイト単位で指定することにより、ブート・ブロック・クラスタの内容を書き換えないようにすることができます。

(2) 割り込み対応

フラッシュ関数実行中は、割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できません。

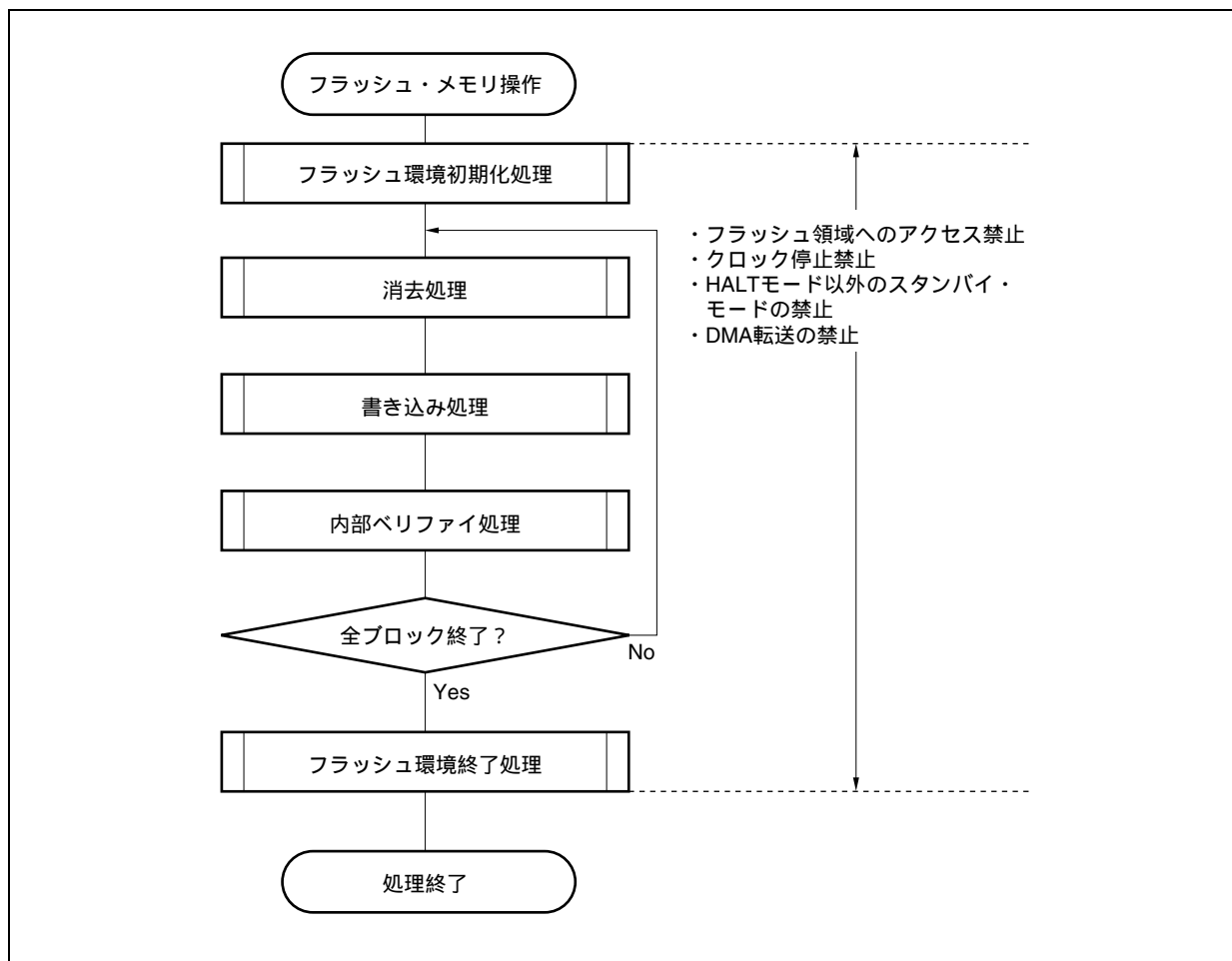
そのため、V850E/IF3, V850E/IG3では、フラッシュ関数実行中に割り込みを利用する場合、内蔵RAMの特定番地<sup>註</sup>に処理が移ります。したがって、あらかじめ内蔵RAMの特定番地<sup>註</sup>にユーザ割り込み処理へ遷移するJMP命令を用意してください。

- 注 NMI割り込み : 内蔵RAMの先頭番地  
 マスカブル割り込み : 内蔵RAMの先頭 + 4番地

27.9.3 標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて、フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。

図27-4 標準セルフ・プログラミング・フロー



## 27.9.4 フラッシュ関数一覧

表27 - 11 フラッシュ関数一覧

分類	関数名	省略形	機能
初期化	FlashEnv	FLE	フラッシュ制御を初期化します。
消去	FlashBlockErase	FLBE	指定したブロックを消去します。
書き込み	FlashWordWrite	FLWW	指定したフラッシュ・メモリのアドレスから4バイト単位で指定したワード数だけ、指定したメモリの内容を連続して書き込みます。
チェック	FlashBlockBlankCheck	FLBBC	指定したブロックの消去状態をチェックします。
	FlashBlockIVerify	FLBIV	指定したブロックの内部ベリファイを行います。
	FlashFLMDCheck	FLFC	FLMD0端子の入力、FLMD0設定レジスタ値をチェックします。
情報取得	FlashGetInfo	FLGI	フラッシュ・メモリに関する情報を読み出します。
設定	FlashSetInfo	FLSI	フラッシュ情報を設定します。
	FlashBootSwap	FLBS	ブート・スワップ・クラスタを入れ替えます。
	FlashWordRead	FLWR	指定したアドレスからのデータを読み出します。

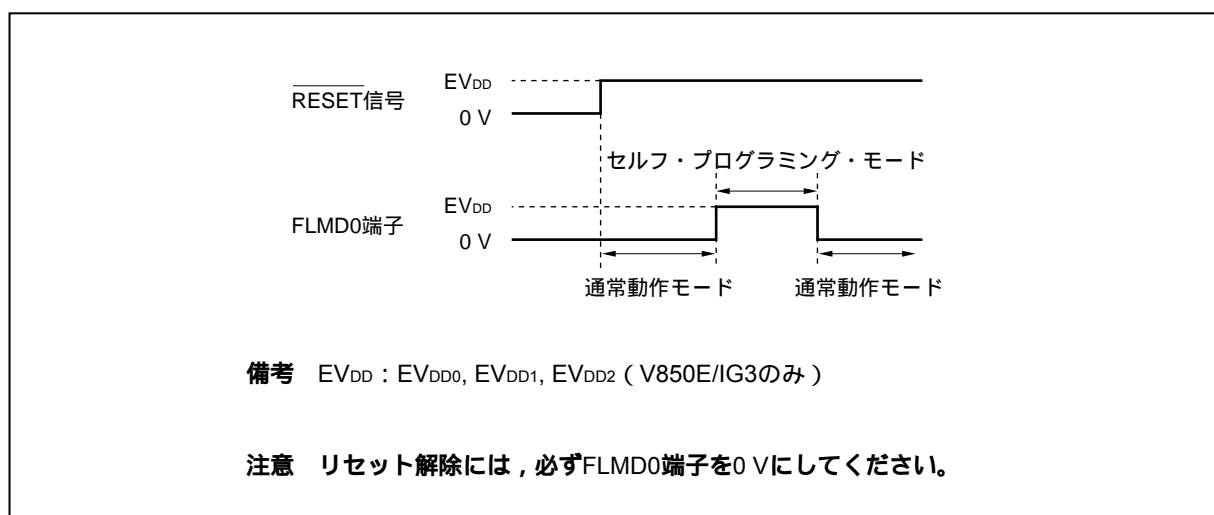
## 27.9.5 端子処理

## (1) FLMD0端子

FLMD0端子は、リセット解除時の動作モード設定と、セルフ書き換え時の書き換え保護機能の兼用端子となっているため、リセット解除～通常動作実行時は、FLMD0端子へ印加される電圧を0Vに保持し、セルフ・プログラミング・モードの期間は、書き換え前にポート制御などによって、FLMD0端子にEV<sub>DD0</sub>、EV<sub>DD1</sub>、EV<sub>DD2</sub>（V850E/IG3のみ）レベルの電圧を印加する必要があります。

また、セルフ・プログラミングが終了したあとは、FLMD0端子の電圧を0Vに戻す必要があります。

図27 - 5 モード切り替わりタイミング



## 27.9.6 使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお、セルフ・プログラミング以外では、次の内部資源については自由に使用できます。

表27 - 12 使用する内部資源

リソース名	説明
スタック領域	ユーザの使用しているスタックの延長をライブラリが使用。 (内部RAM / 外部RAMのどちらでも使用可)
ライブラリ・コード <sup>注</sup>	ライブラリのプログラム本体。 (操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可)
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態、フラッシュ関数実行状態で利用可能。 フラッシュ関数実行状態で利用した場合、内蔵RAMの先頭+4番地に処理が移るため、あらかじめ内蔵RAMの先頭+4番地にユーザ割り込み処理へ遷移するjump命令を用意してください。
NMI割り込み	ユーザ・アプリケーションの実行状態、フラッシュ関数実行状態で利用可能。 フラッシュ関数実行状態で利用した場合、内蔵RAMの先頭番地に処理が移るため、あらかじめ内蔵RAMの先頭番地にユーザ割り込み処理へ遷移するjump命令を用意してください。

注 使用リソースについては、**フラッシュ・メモリ・セルフ・プログラミング・ライブラリ ユーザーズ・マニュアル**を参照してください。

## 第28章 電気的特性

### 28.1 V850E/IF3

#### 28.1.1 絶対最大定格

( $T_A = 25\text{ }^\circ\text{C}$ )

項目	略号	条件	定格	単位	
電源電圧	$V_{DD}$	$V_{DDa} = EV_{DDb} = AV_{DDk}$	- 0.5 ~ + 6.5	V	
	$V_{SS}$	$V_{SSa} = EV_{SSb} = AV_{SSk}$	- 0.5 ~ + 0.5	V	
	$EV_{DD}$	$V_{DDa} = EV_{DDb} = AV_{DDk}$	- 0.5 ~ + 6.5	V	
	$EV_{SS}$	$V_{SSa} = EV_{SSb} = AV_{SSk}$	- 0.5 ~ + 0.5	V	
	$AV_{DD}$	$V_{DDa} = EV_{DDb} = AV_{DDk}$	- 0.5 ~ + 6.5	V	
	$AV_{SS}$	$V_{SSa} = EV_{SSb} = AV_{SSk}$	- 0.5 ~ + 0.5	V	
入力電圧	$V_{I1}$	注1	- 0.5 ~ $EV_{DD} + 0.5$ <sup>注2</sup>	V	
	$V_{I2}$	X1, X2	- 0.5 ~ $V_{RO} + 0.35$	V	
ロウ・レベル出力電流	$I_{OL}$	すべての端子	1端子	4	mA
			全端子合計	42	mA
ハイ・レベル出力電流	$I_{OH}$	すべての端子	1端子	- 4	mA
			全端子合計	- 42	mA
アナログ入力電圧	$V_{IAN}$	P70/ANI20-P73/ANI23, ANI00-ANI05, ANI10-ANI17	- 0.5 ~ $AV_{DD} + 0.5$ <sup>注2</sup>	V	
アナログ基準入力電圧	$V_{IREF}$	$AV_{REFP0}$ , $AV_{REFP1}$	- 0.5 ~ $AV_{DD} + 0.5$ <sup>注2</sup>	V	
コンパレータ基準入力電圧	$V_{CREF}$	$CREF0L$ , $CREF1L$ , $CREF0F$ , $CREF1F$	- 0.5 ~ $AV_{DD} + 0.5$ <sup>注2</sup>	V	
動作周囲温度	$T_A$	通常動作時	- 40 ~ + 85		
		フラッシュ・メモリ・プログラミング時	- 40 ~ + 85		
保存温度	$T_{stg}$		- 40 ~ + 125		

注1. P00, P01, P10-P17, P20-P27, P30-P37, P40-P47, PDL0-PDL9,  $\overline{RESET}$ , FLMD0

2. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

注意1. IC製品の出力(出力状態の入出力端子)をほかの出力端子(出力状態の入出力端子を含む),および $V_{DD}$ ,  $EV_{DD}$ などの電源端子やGND端子に直線接続しないでください。ただし,入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。

2. 各項目のうち1項目でも,また一瞬でも絶対最大定格を越えると,製品の品質を損なう恐れがあります。つまり絶対最大定格とは,製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で,製品をご使用ください。

DC特性とAC特性に示す規格や条件が,製品の正常動作,品質保証の範囲です。

備考 a = 0, 1

b = 0, 1

k = 0-2



### 28.1.2 容 量

( $T_A = 25$  ,  $V_{DD0} = V_{SS0} = V_{DD1} = V_{SS1} = EV_{DD0} = EV_{SS0} = EV_{DD1} = EV_{SS1} = AV_{DD0} = AV_{SS0} = AV_{DD1} = AV_{SS1} = AV_{DD2} = AV_{SS2} = 0\text{ V}$ )

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	$C_i$	$f_c = 1\text{ MHz}$			15	pF
入出力容量	$C_{iO}$	被測定ピン以外は0V			15	pF

注1. ANI00-ANI05, ANI10-ANI17, RESET

2. P00, P01, P10-P17, P20-P27, P30-P37, P40-P47, P70-P73, PDL0-PDL9

注意1. FLMD0, X1, X2端子を除きます。

2. ANI00-ANI05, ANI10-ANI17, ANI20-ANI23端子には入力容量のほかにサンプリング時にはサンプリング容量が追加されます。

### 28.1.3 動作条件

( $T_A = -40 \sim +85$  ,  $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0\text{ V}$ )

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
システム・クロック周波数	$f_{xx}$	PLLモード	32		64	MHz
		クロック・スルー・モード	4		8	MHz
CPUクロック周波数	$f_{CPU}$	PLLモード	4		64	MHz
		クロック・スルー・モード	0.5		8	MHz
$V_{DD}$ , $EV_{DD}$ 電圧	$V_{DD}$ , $EV_{DD}$	$V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} =$ $AV_{DD0} = AV_{DD1} = AV_{DD2}$	3.5		5.5	V
$AV_{DD}$ 電圧	$AV_{DD}$	A/Dコンバータ0-2動作時	4.0		5.5	V
		A/Dコンバータ0-2非動作時	3.5		5.5	V

### 28.1.4 クロック発振回路特性

( $T_A = -40 \sim +85 \text{ } ^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ )

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子 / 水 晶振動子		発振周波数 ( $f_x$ )		4		8	MHz
		発振安定時間	リセット解除後		$2^{14}/f_x$		ms
			STOPモード解除後		注		ms

注 発振安定時間選択レジスタ (OSTS) の設定によって値が異なります。

- 注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。
- 破線の範囲にほかの信号線を通さないでください。
  - 発振子の選択および発振回路定数については, お客様において発振評価していただくか, 発振子メーカーに評価を依頼してください。
  - V850E/IF3では外部クロック入力は禁止です。

(i) 村田製作所: セラミック発振子 ( $T_A = -40 \sim +85 \text{ } ^\circ\text{C}$ )

タイプ	品名	発振周波数 $f_x$ (MHz)	推奨回路定数			発振電圧範囲	
			C1	C2	Rd (k $\Omega$ )	MIN. (V)	MAX. (V)
リード	CSTLS4M00G56-B0	4	内蔵 (47 pF)	内蔵 (47 pF)	0	3.5	5.5
	CSTLS5M00G56-B0	5	内蔵 (47 pF)	内蔵 (47 pF)	0	3.5	5.5
	CSTLS8M00G56-B0	8	内蔵 (47 pF)	内蔵 (47 pF)	0	3.5	5.5
表面実装	CSTCR4M00G55-R0	4	内蔵 (39 pF)	内蔵 (39 pF)	0	3.5	5.5
	CSTCR5M00G55-R0	5	内蔵 (39 pF)	内蔵 (39 pF)	0	3.5	5.5
	CSTCE8M00G55-R0	8	内蔵 (33 pF)	内蔵 (33 pF)	0	3.5	5.5

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は, 実装回路上での評価を発振子メーカーに依頼してください。また, 発振電圧, 発振周波数はあくまで発振回路特性を示すものであり, V850E/IF3の内部動作条件についてはAC, DC特性の規格内で使用してください。

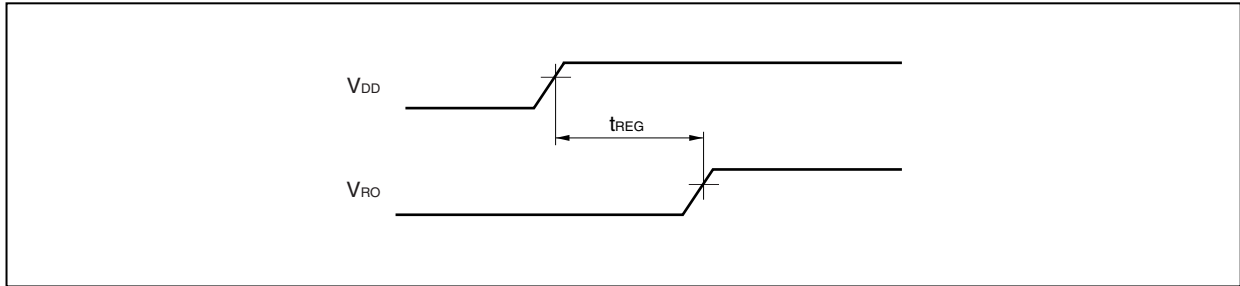
### 28.1.5 レギュレータ特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = 3.5 \sim 5.5 \text{ V}$ ,  $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	$V_{DD}$		3.5		5.5	V
出力電圧	$V_{RO}$			1.5		V
出力電圧安定時間	$t_{REG}$	安定化容量: $C = 4.7 \text{ } \mu\text{F}$ <sup>注1</sup>			<sup>注2</sup>	ms

注1. 安定化容量は、REGC0端子と $V_{SS0}$ 端子、REGC1端子と $V_{SS1}$ 端子間にそれぞれ接続してください。

2.  $t_{REG}$ 期間にパワーオン・クリア回路(POC)が出力電圧安定するまで内部リセット信号を出力します。



### 28.1.6 DC特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$ ,

$V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	$V_{IH1}$	注1		0.7 $EV_{DD}$		$EV_{DD}$	V
	$V_{IH2}$	注2		0.8 $EV_{DD}$		$EV_{DD}$	V
	$V_{IH3}$	注3		0.7 $AV_{DD}$		$AV_{DD}$	V
ロウ・レベル入力電圧	$V_{IL1}$	注1		$EV_{SS}$		0.3 $EV_{DD}$	V
	$V_{IL2}$	注2		$EV_{SS}$		0.2 $EV_{DD}$	V
	$V_{IL3}$	注3		$AV_{SS}$		0.3 $AV_{DD}$	V
ハイ・レベル入カリーク電流	$I_{LIH1}$	$V_i =$ 注4	X1以外			5	$\mu\text{A}$
	$I_{LIH2}$		X1			20	$\mu\text{A}$
ロウ・レベル入カリーク電流	$I_{LIL1}$	$V_i = 0 \text{ V}$	X1以外			- 5	$\mu\text{A}$
	$I_{LIL2}$		X1			- 20	$\mu\text{A}$
ハイ・レベル出カリーク電流	$I_{LOH}$	$V_o =$ 注4				5	$\mu\text{A}$
ロウ・レベル出カリーク電流	$I_{LOL}$	$V_o = 0 \text{ V}$				- 5	$\mu\text{A}$
ハイ・レベル出力電圧	$V_{OH1}$	注5	$I_{OH} = -1.0 \text{ mA}$	$EV_{DD} - 1.0$			V
ロウ・レベル出力電圧	$V_{OL1}$	注5	$I_{OL} = 1.0 \text{ mA}$			0.4	V
ブルアップ抵抗	$R_{L1}$			10	30	100	$\text{k}\Omega$

注1. P33, P36, P41, PDL0-PDL9端子

2. P00, P01, P10-P17, P20-P27, P30-P32, P34, P35, P37, P40, P42-P47,  $\overline{\text{RESET}}$ , FLMD0端子

3. P70-P73端子

4.  $AV_{DD0} = AV_{DD1} = AV_{DD2} = EV_{DD0} = EV_{DD1}$

5. P00, P01, P10-P17, P20-P27, P30-P37, P40-P47, PDL0-PDL9端子

備考 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ) (2/2)

項目	略号	条件	MIN.	TYP. <sup>注1</sup>	MAX.	単位
V <sub>DD</sub> 電源電流 <sup>注2</sup>	I <sub>DD1</sub>	f <sub>xx</sub> = 64 MHz 通常動作		64	93	mA
	I <sub>DD2</sub>		HALTモード	42	60	mA
	I <sub>DD3</sub>		IDLEモード	5	10	mA
	I <sub>DD4</sub>	STOPモード		40	800	μA

注1. TYP.値は、 $V_{DD0} = V_{DD1} = 5.0 \text{ V}$ ,  $T_A = 25 \text{ }^\circ\text{C}$ での参考値です。

2. EV<sub>DD</sub>系（出力バッファ、プルアップ抵抗）で消費する電流、A/Dコンバータ0-2およびオペアンプ、コンパレータの動作電流は含みません。

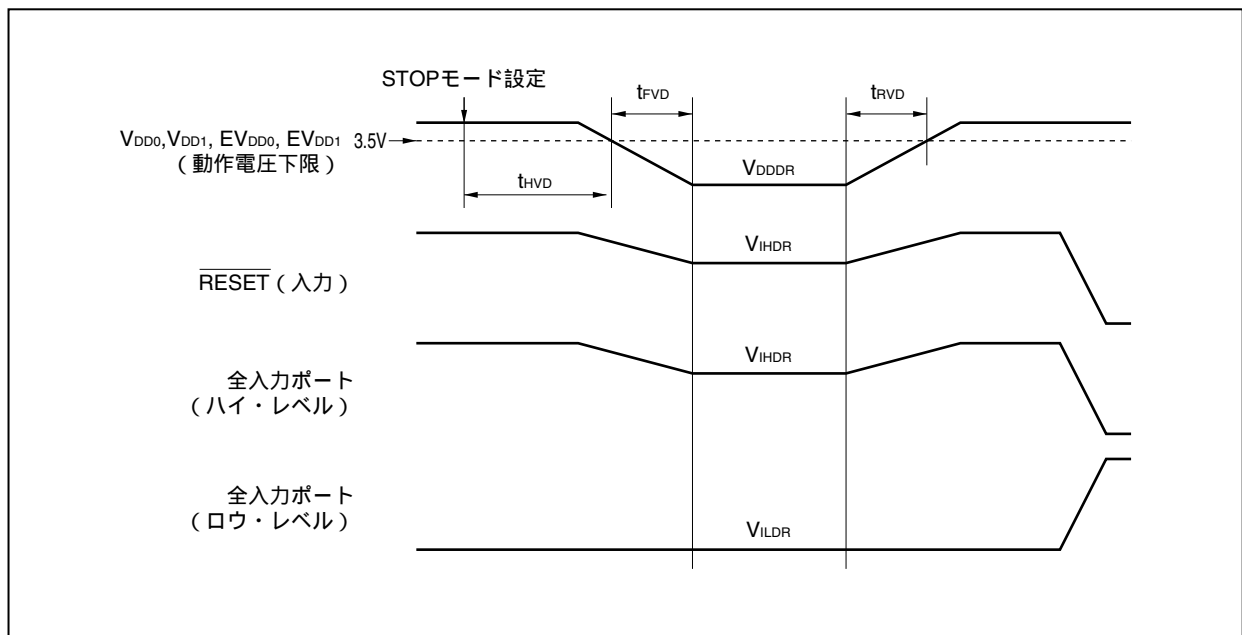
### 28.1.7 データ保持特性

STOPモード時 ( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V <sub>DDDR</sub>	STOPモード	注		5.5	V
データ保持電流	I <sub>DDDR</sub>	$V_{DD0} = V_{DD1} = V_{DDDR}$		40	800	μA
電源電圧立ち上がり時間	t <sub>RVD</sub>		1			μs
電源電圧立ち下がり時間	t <sub>FVD</sub>		1			μs
電源電圧保持時間 (対STOPモード設定)	t <sub>HVD</sub>		0			ms
データ保持ハイ・レベル入力電圧	V <sub>IHDR</sub>	全入力ポート	0.9V <sub>DDDR</sub>		V <sub>DDDR</sub>	V
データ保持ロウ・レベル入力電圧	V <sub>ILDR</sub>	全入力ポート	EV <sub>SS</sub>		0.1V <sub>DDDR</sub>	V

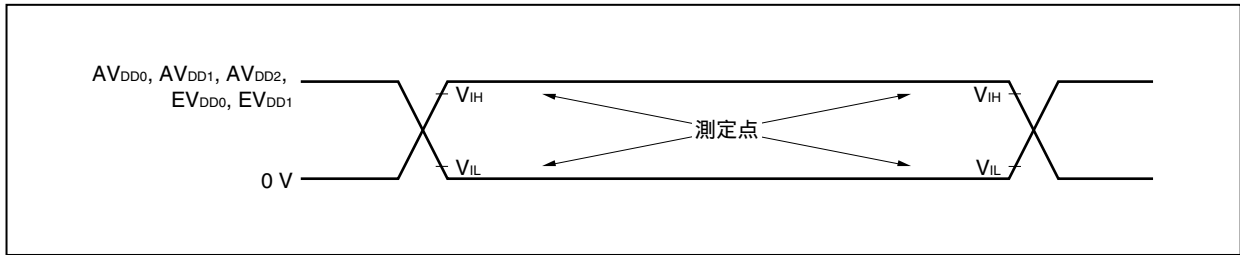
注 低電圧検出回路（LVI）のリセット・モード（LVIM.LVIMDビット = 0）未使用時：POC検出電圧（V<sub>POC0</sub>）

低電圧検出回路（LVI）のリセット・モード（LVIM.LVIMDビット = 1）使用時：LVI検出電圧（V<sub>LV10</sub>/V<sub>LV11</sub>）

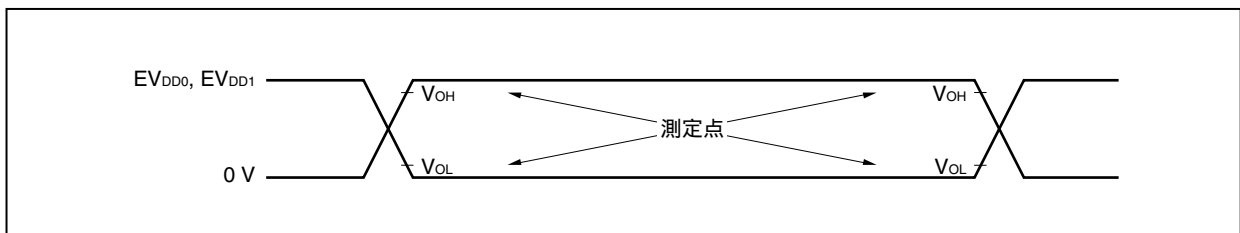


### 28.1.8 AC特性

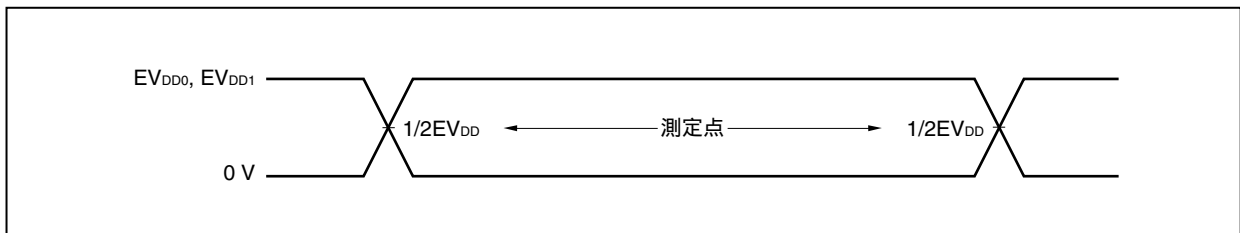
#### ACテスト入力測定点 (CSIB0-CSIB2以外の端子)



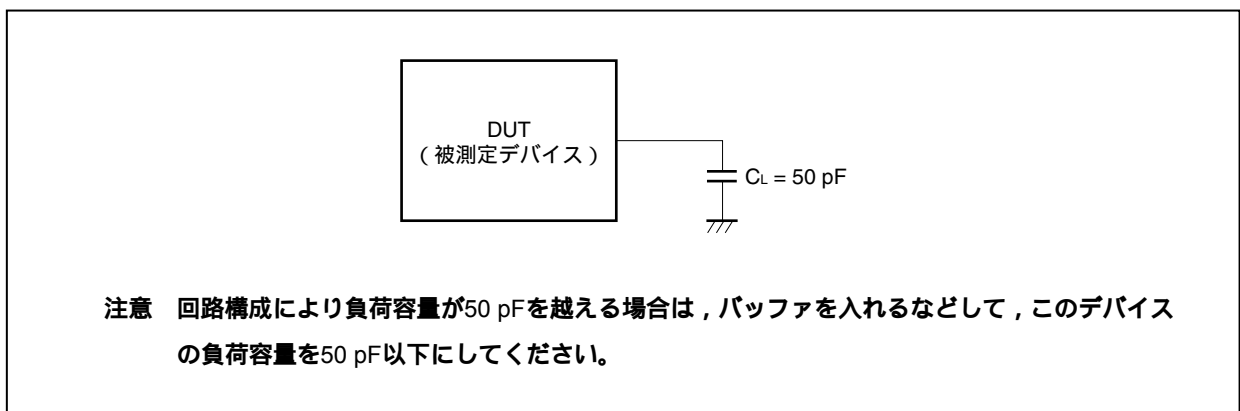
#### ACテスト出力測定点 (CSIB0-CSIB2以外の端子)



#### ACテスト入出力測定点 (CSIB0-CSIB2の端子)



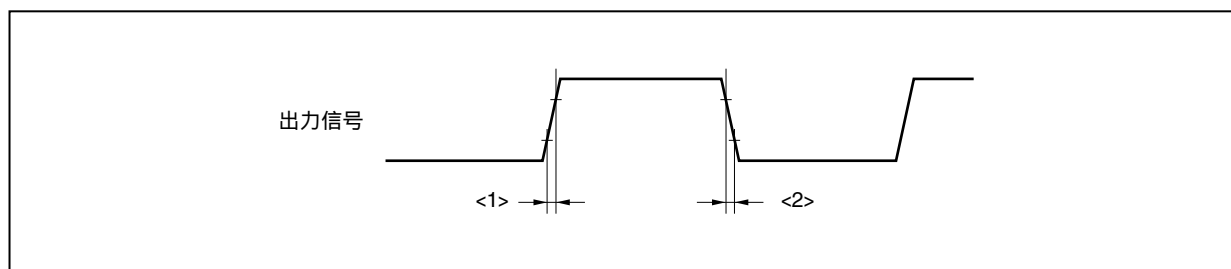
#### 負荷条件



(1) 出力信号タイミング

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	tor	<1> PDL0-PDL9		8	ns
		上記以外		15	ns
出力立ち下がり時間	tof	<2> PDL0-PDL9		8	ns
		上記以外		15	ns



(2) リセット, 外部割り込みタイミング

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

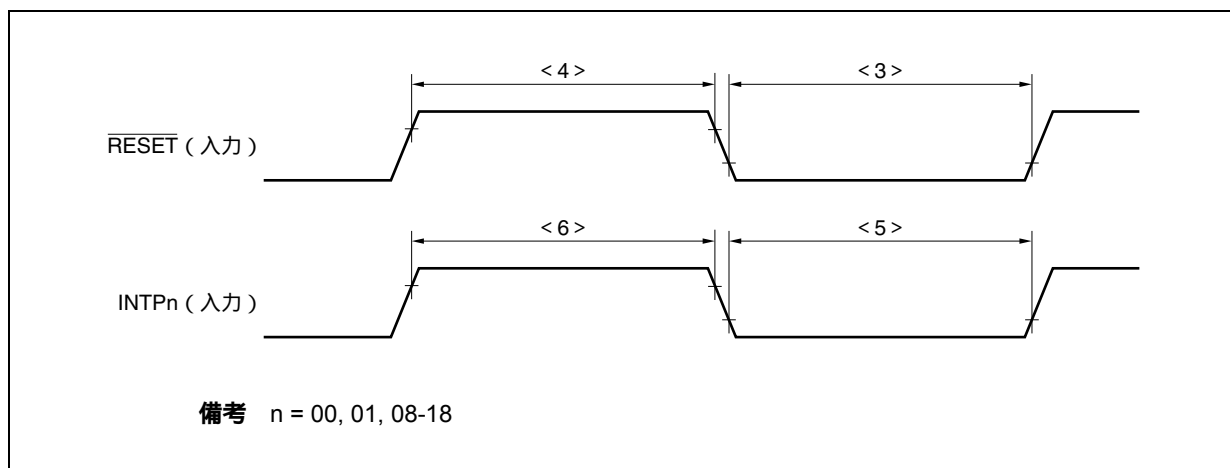
項目	略号	条件	MIN.	MAX.	単位
RESETロウ・レベル幅	t <sub>WRSL</sub>	<3> 電源オン時, STOPモード解除時	500 + T <sub>os</sub>		ns
		上記以外	500		ns
RESETハイ・レベル幅	t <sub>WRSH</sub>	<4>	500		ns
INTPnロウ・レベル幅	t <sub>WITL</sub>	<5> n = 00, 01, 08-13, 17, 18 (アナログ・ノイズ除去)	500		ns
		n = 14-16 (デジタル・ノイズ除去)	4T <sub>smp</sub>		ns
INTPnハイ・レベル幅	t <sub>WITH</sub>	<6> n = 00, 01, 08-13, 17, 18 (アナログ・ノイズ除去)	500		ns
		n = 14-16 (デジタル・ノイズ除去)	4T <sub>smp</sub>		ns

備考1. T<sub>os</sub>: 発振安定時間

T<sub>smp</sub>: ノイズ除去サンプリング・クロック周期 (INTNFCnレジスタで設定)

- リセット解除後は, 発振周波数 (f<sub>x</sub>) = 8 MHzの場合, 内部で1 ms間の発振安定時間が確保され, 発振安定時間は (T<sub>os</sub> + 1) msとなります。STOPモード解除後は, 内部でOSTSレジスタ設定値の1/2の発振安定時間が確保されます。したがって, OSTSレジスタの設定で十分な安定時間を確保できる場合はT<sub>os</sub> = 0 nsでもかまいません。

リセット/割り込み



## (3) タイマ・タイミング

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,

$V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位	
TInハイ・レベル幅 <sup>注1, 2</sup>	tWTIHn	<7>	n = B00-B03, B10-B13	12T + 10		ns
			n = A20, A21, A40, A41	3T <sub>smp1</sub> + 10		ns
TInロウ・レベル幅 <sup>注1, 2</sup>	tWTILn	<8>	n = B00-B03, B10-B13	12T + 10		ns
			n = A20, A21, A40, A41	3T <sub>smp1</sub> + 10		ns
EVTBmハイ・レベル幅 <sup>注1</sup>	tWEVBHm	<9>	m = 0, 1	12T + 10		ns
EVTBmロウ・レベル幅 <sup>注1</sup>	tWEVBLm	<10>	m = 0, 1	12T + 10		ns
TRGBmハイ・レベル幅 <sup>注1</sup>	tWTRHm	<11>	m = 0, 1	12T + 10		ns
TRGBmロウ・レベル幅 <sup>注1</sup>	tWTRLm	<12>	m = 0, 1	12T + 10		ns
TENC10/TENC11 ハイ・レベル幅 <sup>注3</sup>	tWENCH1	<13>		3T <sub>smp2</sub> + 10		ns
TENC10/TENC11 ロウ・レベル幅 <sup>注3</sup>	tWENCL1	<14>		3T <sub>smp2</sub> + 10		ns
TECR1ハイ・レベル幅 <sup>注3</sup>	tWCRH1	<15>		3T <sub>smp2</sub> + 10		ns
TECR1ロウ・レベル幅 <sup>注3</sup>	tWCRL1	<16>		3T <sub>smp2</sub> + 10		ns
TIT10/TIT11 ハイ・レベル幅 <sup>注3</sup>	tWTITH1	<17>		3T <sub>smp2</sub> + 10		ns
TIT10/TIT11 ロウ・レベル幅 <sup>注3</sup>	tWTITL1	<18>		3T <sub>smp2</sub> + 10		ns
EVTT1ハイ・レベル幅 <sup>注3</sup>	tWEVTH1	<19>		3T <sub>smp2</sub> + 10		ns
EVTT1ロウ・レベル幅 <sup>注3</sup>	tWEVTL1	<20>		3T <sub>smp2</sub> + 10		ns
TENC10/TENC11 入力時間差 <sup>注3</sup>	tPHUD1	<21>		3T <sub>smp2</sub> + 10		ns

注1.  $T = 1/f_{xx}$

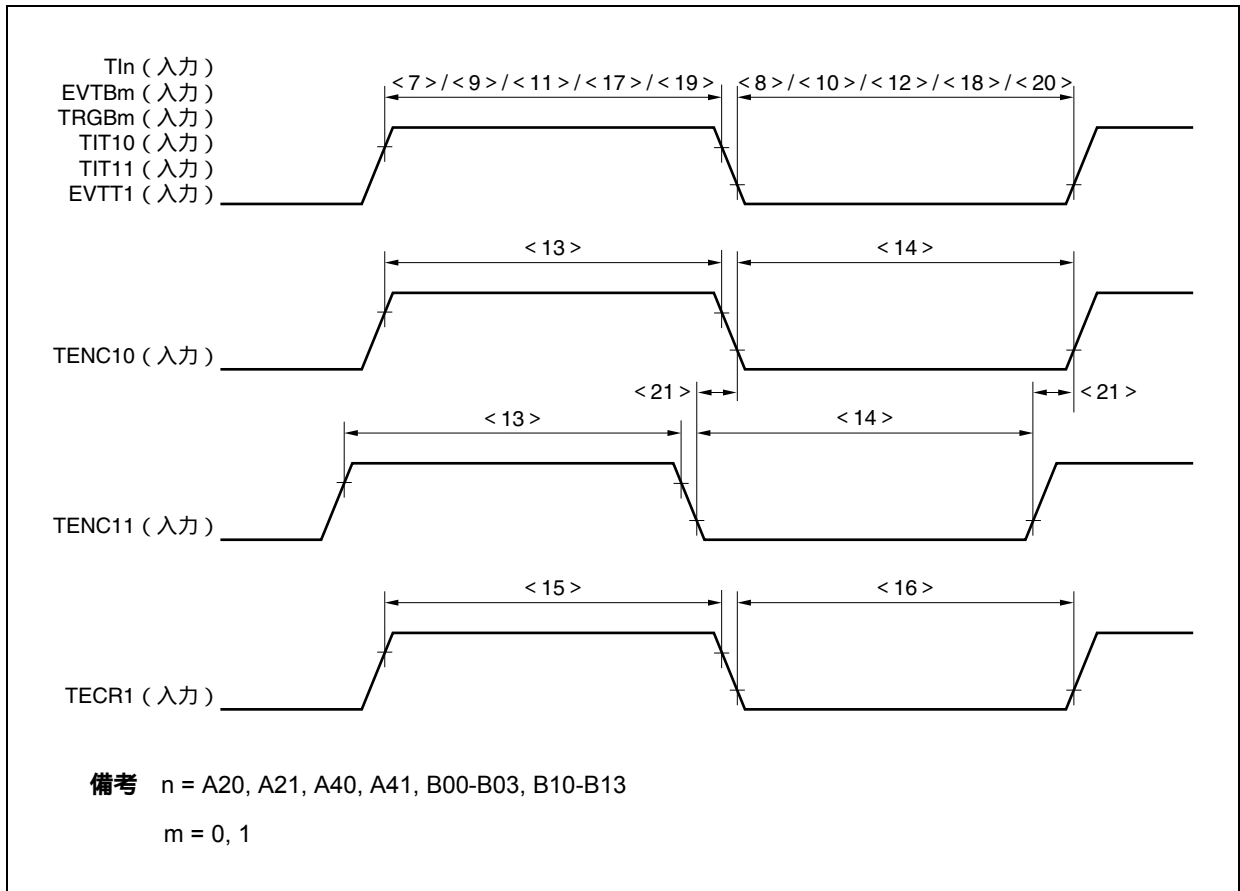
2. T<sub>smp1</sub>: ノイズ除去サンプリング・クロック周期 (TANFC2, TANFC4レジスタで設定)

3. T<sub>smp2</sub>: ノイズ除去サンプリング・クロック周期 (TTNFC1レジスタで設定)

備考 上記のスペックは、有効エッジとして確実に検出されるパルス幅を示しているため、上記のスペックより小さいパルス幅を入力しても有効エッジとして検出される可能性があります。



タイマ入力タイミング



(4) CSIBタイミング

(a) マスタ・モード

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,

$V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
SCKBn周期	t <sub>KCYM</sub>	<22>	125		ns
SCKBnハイ/ロウ・レベル幅	t <sub>KWHM</sub> , t <sub>KWLM</sub>	<23>	t <sub>KCYM</sub> /2 - 10		ns
SIBnセットアップ時間 (対SCKBn)	t <sub>SSIM</sub>	<24>	30		ns
SIBnセットアップ時間 (対SCKBn)			30		ns
SIBnホールド時間 (対SCKBn)	t <sub>HSIM</sub>	<25>	30		ns
SIBnホールド時間 (対SCKBn)			30		ns
SOBn出力遅延時間 (対SCKBn)	t <sub>DSOM</sub>	<26>		30	ns
SOBn出力遅延時間 (対SCKBn)				30	ns
SOBn出力保持時間 (対SCKBn)	t <sub>HSOM</sub>	<27>		t <sub>KCYM</sub> /2 - 10	ns
SOBn出力保持時間 (対SCKBn)				t <sub>KCYM</sub> /2 - 10	ns

備考 n = 0-2

(b) スレーブ・モード

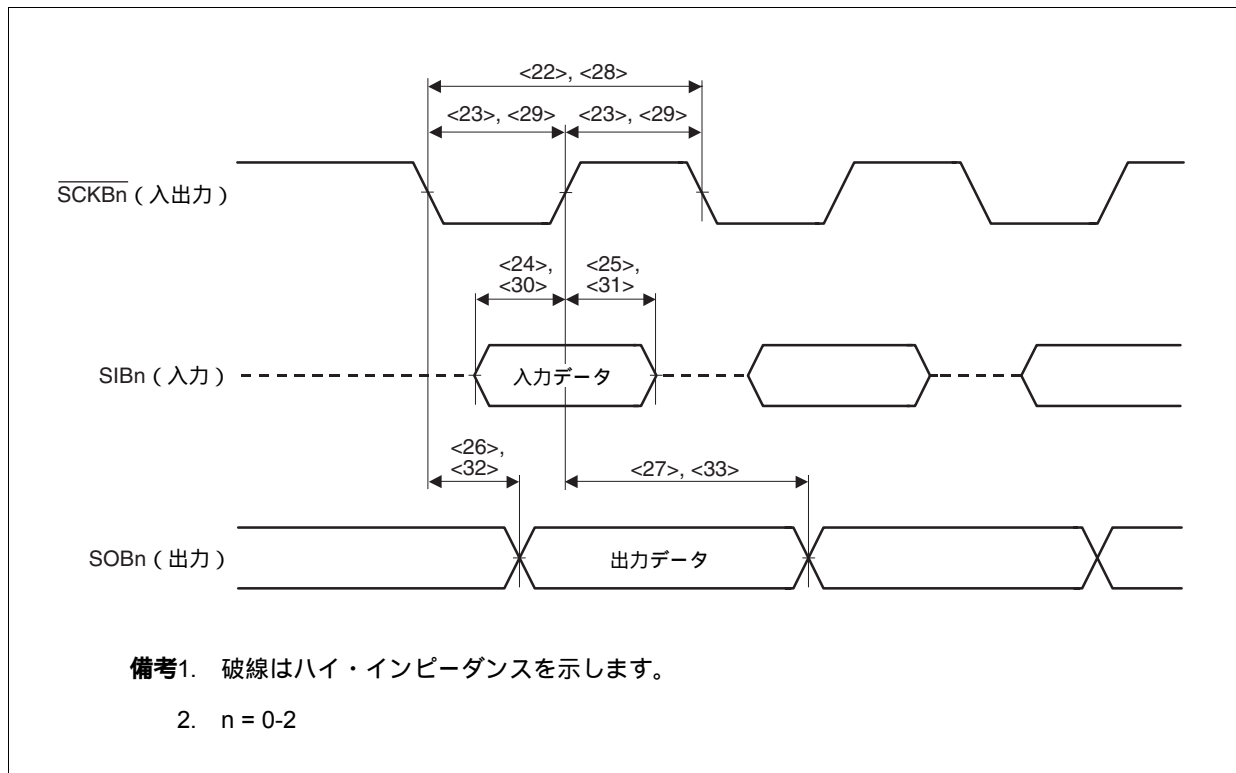
( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,

$V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

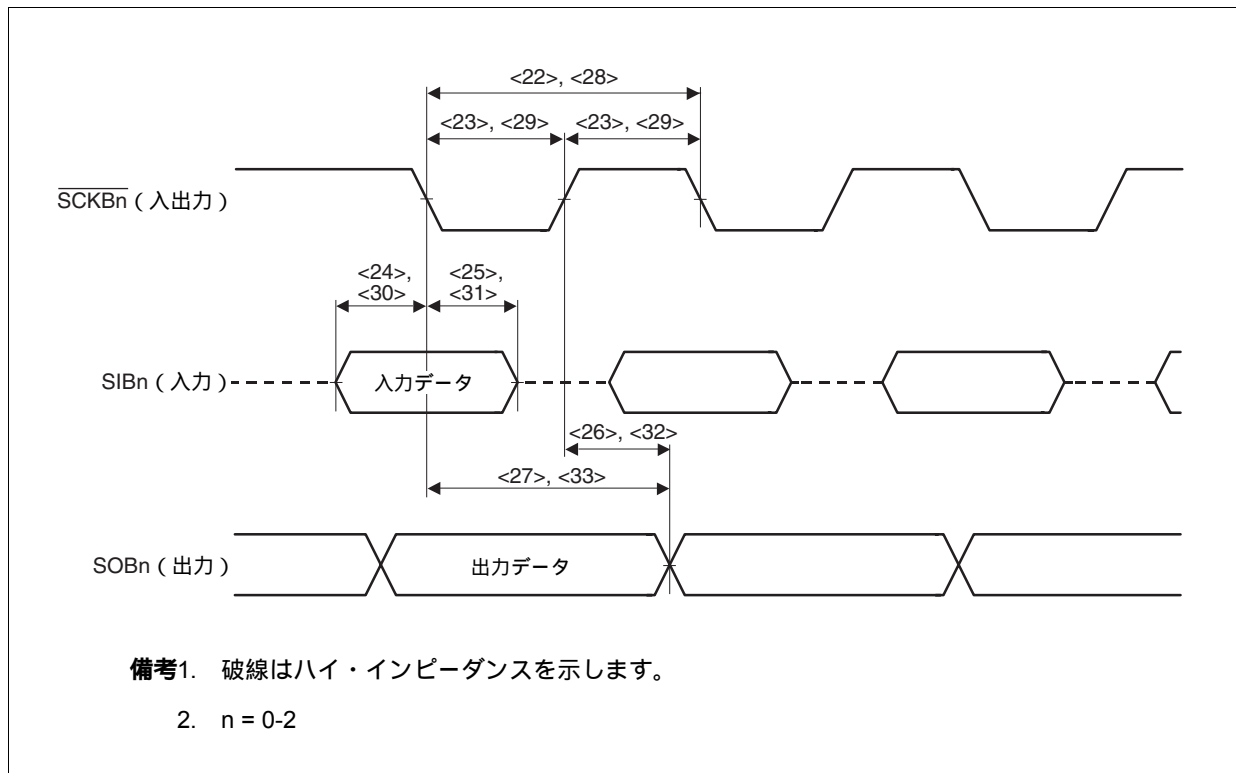
項目	略号	条件	MIN.	MAX.	単位
SCKBn周期	t <sub>KCYS</sub>	<28>	125		ns
SCKBnハイ/ロウ・レベル幅	t <sub>KWHS</sub> , t <sub>KWLS</sub>	<29>	t <sub>KCYS</sub> /2 - 10		ns
SIBnセットアップ時間 (対SCKBn)	t <sub>SSIS</sub>	<30>	30		ns
SIBnセットアップ時間 (対SCKBn)			30		ns
SIBnホールド時間 (対SCKBn)	t <sub>HSIS</sub>	<31>	30		ns
SIBnホールド時間 (対SCKBn)			30		ns
SOBn出力遅延時間 (対SCKBn)	t <sub>DSOS</sub>	<32>		30	ns
SOBn出力遅延時間 (対SCKBn)				30	ns
SOBn出力保持時間 (対SCKBn)	t <sub>HSOS</sub>	<33>		t <sub>KCYS</sub> /2 - 10	ns
SOBn出力保持時間 (対SCKBn)				t <sub>KCYS</sub> /2 - 10	ns

備考 n = 0-2

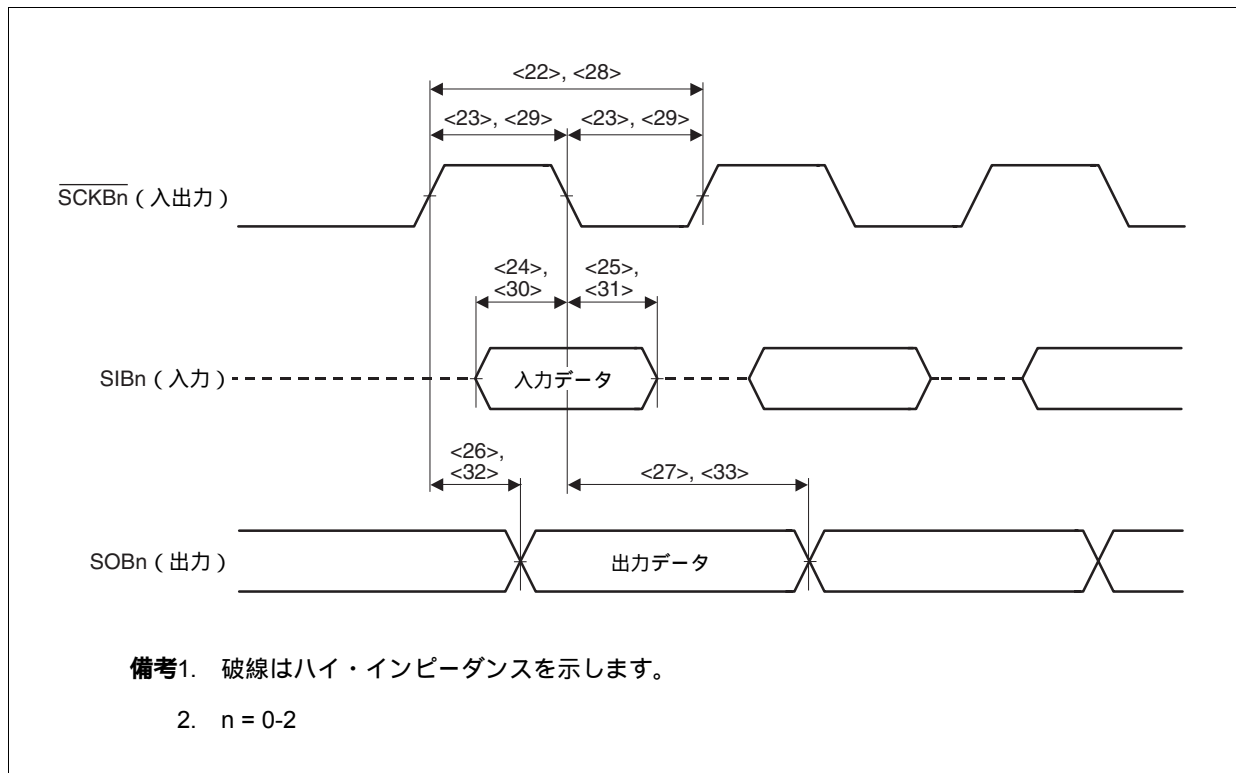
CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 00時



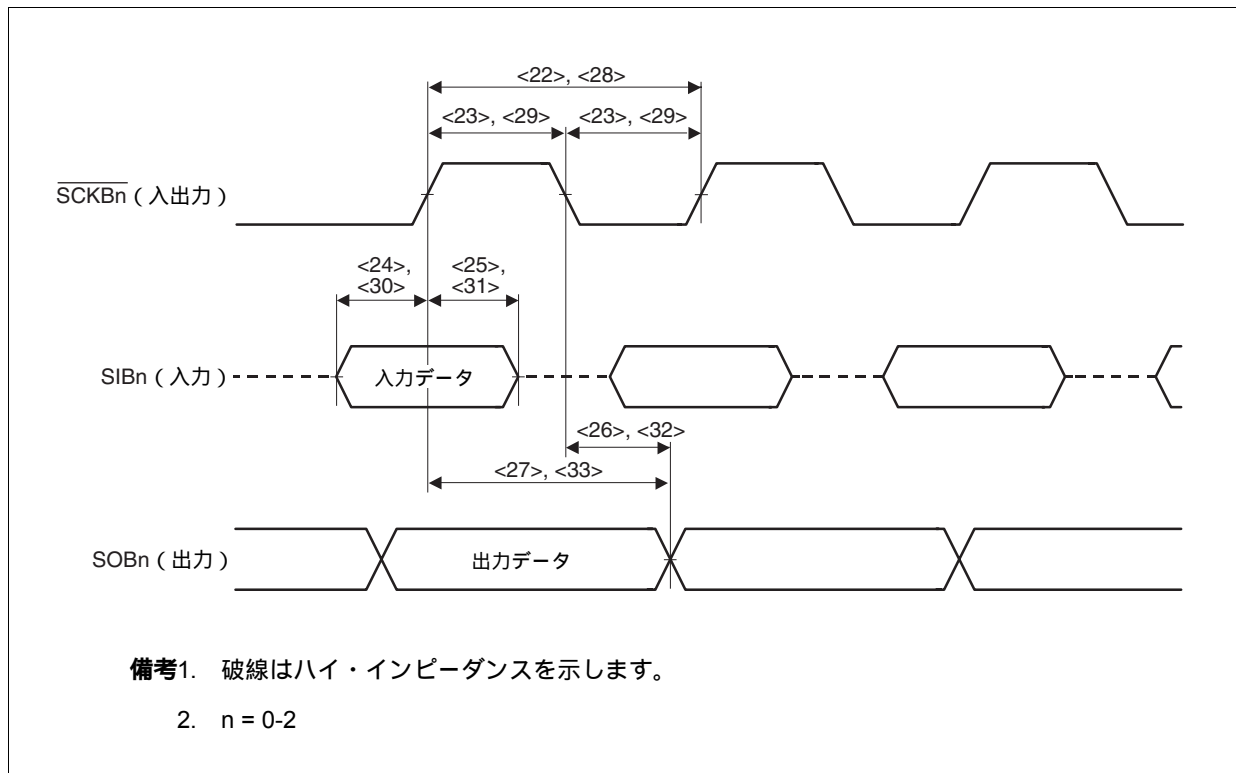
CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 01時



CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 10時



CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 11時



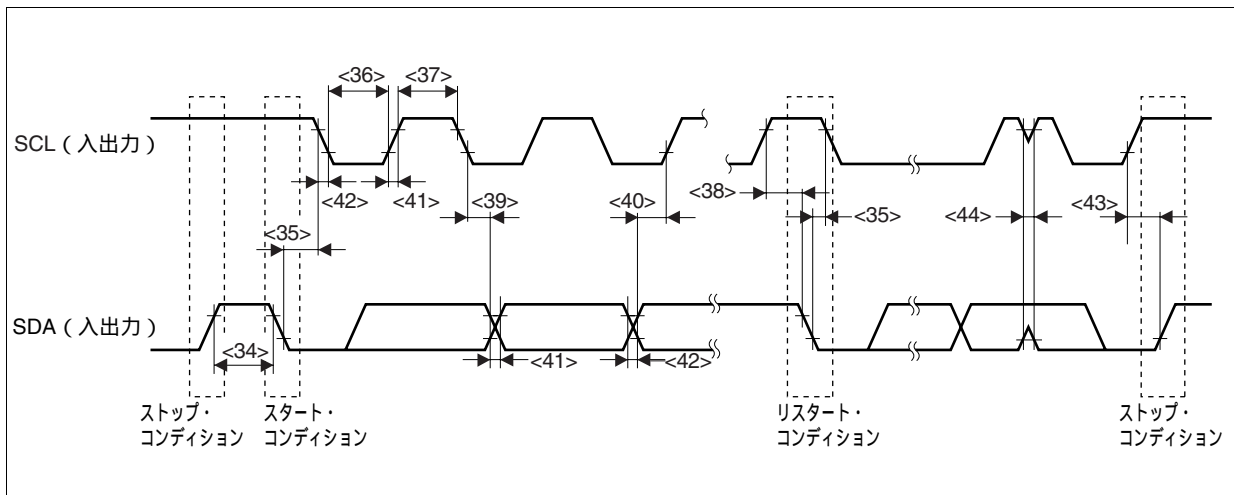
(5) I<sup>2</sup>Cバス・タイミング

(T<sub>A</sub> = -40 ~ +85 °C , V<sub>DD0</sub> = V<sub>DD1</sub> = EV<sub>DD0</sub> = EV<sub>DD1</sub> = AV<sub>DD0</sub> = AV<sub>DD1</sub> = AV<sub>DD2</sub> = 4.0 ~ 5.5 V ,  
V<sub>SS0</sub> = V<sub>SS1</sub> = EV<sub>SS0</sub> = EV<sub>SS1</sub> = AV<sub>SS0</sub> = AV<sub>SS1</sub> = AV<sub>SS2</sub> = 0 V , C<sub>L</sub> = 50 pF)

項目	略号		標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLクロック周波数	f <sub>CLK</sub>	-	0	100	0	400	kHz
バス・フリー・タイム (ストップ-スタート・コンディション間)	t <sub>BUF</sub>	<34>	4.7	-	1.3	-	μs
ホールド時間 <sup>注1</sup>	t <sub>HD : STA</sub>	<35>	4.0	-	0.6	-	μs
SCLクロックのロウ・レベル幅	t <sub>LOW</sub>	<36>	4.7	-	1.3	-	μs
SCLクロックのハイ・レベル幅	t <sub>HIGH</sub>	<37>	4.0	-	0.6	-	μs
スタート/リスタート・コンディションのセットアップ時間	t <sub>SU : STA</sub>	<38>	4.7	-	0.6	-	μs
データ・ホールド時間	CBUS互換マスタ	t <sub>HD : DAT</sub>	<39>	-	-	-	μs
	I <sup>2</sup> Cモード			0 <sup>注2</sup>	-	0 <sup>注2</sup>	0.9 <sup>注3</sup>
データ・セットアップ時間	t <sub>SU : DAT</sub>	<40>	250	-	100 <sup>注4</sup>	-	ns
SDAおよびSCL信号の立ち上がり時間	t <sub>R</sub>	<41>	-	1000	20 + 0.1Cb <sup>注5</sup>	300	ns
SDAおよびSCL信号の立ち下がり時間	t <sub>F</sub>	<42>	-	300	20 + 0.1Cb <sup>注5</sup>	300	ns
ストップ・コンディションのセットアップ時間	t <sub>SU : STO</sub>	<43>	4.0	-	0.6	-	μs
入力フィルタによって抑制されるスパイクのパルス幅	t <sub>SP</sub>	<44>	-	-	0	50	ns
各バス・ラインの容量性負荷	C <sub>b</sub>	-	-	400	-	400	pF

- 注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。
2. 装置は、SCLの立ち下がり端の未定義領域を埋めるために（SCL信号のV<sub>IHmin</sub>.での）SDA信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
3. 装置がSCL信号のロウ・ホールド時間（t<sub>LOW</sub>）を延長しない場合は、最大データ・ホールド時間（t<sub>HD : DAT</sub>）のみ満たすことが必要です。
4. 高速モードI<sup>2</sup>Cバスは、標準モードI<sup>2</sup>Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。
- ・装置がSCL信号のロウ状態ホールド時間を延長しない場合  
t<sub>SU : DAT</sub> 250 ns
  - ・装置がSCL信号のロウ状態ホールド時間を延長する場合  
SCLラインが解放される（t<sub>Rmax</sub>. + t<sub>SU : DAT</sub> = 1000 + 250 = 1250 ns : 標準モードI<sup>2</sup>Cバス仕様）前に、次のデータ・ビットをSDAラインに送出してください。
5. C<sub>b</sub> : 1つのバス・ラインの合計キャパシタンス（単位：pF）

I<sup>2</sup>Cバス・タイミング



(6) ハイ・インピーダンス制御タイミング

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
発振停止 タイマ出力ハイ・インピーダンス	t <sub>CLM</sub>	クロック・モニタ動作時		65	μs
TOBnOFF入力 タイマ出力ハイ・インピーダンス	t <sub>HnQn</sub>			300	ns
TOA2OFF入力 タイマ出力ハイ・インピーダンス	t <sub>HnP2</sub>			300	ns
ANI00/ANI05入力 タイマ出力ハイ・インピーダンス	t <sub>ANI0</sub>			10	μs
ANI10/ANI15-ANI12/ANI17入力 タイマ出力ハイ・インピーダンス	t <sub>ANI1</sub>			10	μs

備考 n = 0, 1

## 28.1.9 A/Dコンバータ0,1特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = AV_{REFP0} = AV_{REFP1} = 4.0 \sim 5.5 \text{ V}$ ,  $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			12	12	12	bit
総合誤差 <sup>注1</sup>					$\pm 10$	LSB
変換時間	$t_{CONV}$	$f_{AD01} = 16 \text{ MHz}$ , ADAnCTC レジスタ = 0BHまたは0CH	2.0			$\mu\text{s}$
		$f_{AD01} = 12 \text{ MHz}$ , ADAnCTC レジスタ = 00H			7.42	$\mu\text{s}$
ゼロスケール誤差 <sup>注1</sup>					$\pm 10$	LSB
フルスケール誤差 <sup>注1</sup>					$\pm 10$	LSB
積分直線性誤差 <sup>注1</sup>					$\pm 4$	LSB
微分直線性誤差 <sup>注1</sup>					$\pm 2.5$	LSB
アナログ基準電圧	$AV_{DD}$		4.0		5.5	V
アナログ入力電圧	$V_{IAN}$		$AV_{SS}$		$AV_{DD}$	V
$AV_{DD}$ 電源電流 <sup>注2</sup>	$AI_{DD}$	動作時		4.5	7.5	mA
	$AI_{DDS}$	STOPモード時 <sup>注3</sup>		3.5	17.5	$\mu\text{A}$

注1. 量子化誤差 ( $\pm 0.5 \text{ LSB}$ ) は含みません。

- この値はA/Dコンバータ0またはA/Dコンバータ1のいずれか1回路分です。
- STOPモードに設定する前に、A/Dコンバータ0,1の動作を停止 ( $ADnSCM.ADnCE$ ビット = 0) してください。

備考1. LSB : Least Significant Bit

- $f_{AD01}$  : A/Dコンバータ0,1の基本クロック
- $n = 0, 1$

## 28. 1. 10 A/Dコンバータ2特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,

$V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 <sup>注1</sup>					$\pm 4.0$	LSB
変換時間	$t_{CONV}$		3.88		10	$\mu\text{s}$
ゼロスケール誤差 <sup>注1</sup>					$\pm 4.0$	LSB
フルスケール誤差 <sup>注1</sup>					$\pm 4.0$	LSB
積分直線性誤差 <sup>注1</sup>					$\pm 4.0$	LSB
微分直線性誤差 <sup>注1</sup>					$\pm 2.0$	LSB
アナログ基準電圧	$AV_{DD}$		4.0		5.5	V
アナログ入力電圧	$V_{IAN}$		$AV_{SS}$		$AV_{DD}$	V
AV <sub>DD</sub> 電源電流	$AI_{DD}$	動作時		3.5	7	mA
	$AI_{DDS}$	STOPモード時 <sup>注2</sup>		1	10	$\mu\text{A}$

注1. 量子化誤差 ( $\pm 0.5 \text{ LSB}$ ) は含みません。

2. STOPモードに設定する前に, A/Dコンバータ2の動作を停止 ( $AD2M0.AD2CE$ ビット = 0) してください。

備考 LSB : Least Significant Bit



### 28.1.11 オペアンプ特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	$V_{IO}$			$\pm 9.0$		mV
入力電圧範囲	$V_I$	ゲイン = 2.500	$0.04AV_{DD}$		$0.36AV_{DD}$	V
		ゲイン = 5.000	$0.02AV_{DD}$		$0.18AV_{DD}$	V
		ゲイン = 10.00	$0.01AV_{DD}$		$0.085AV_{DD}$	V
スルー・レート <sup>注1</sup>	$S_R$		10	15		V/ $\mu$ s
ゲイン誤差		注2  ゲイン = 2.500 ~ 4.444		$\pm 1.0$	$\pm 1.3$	%
		ゲイン = 5.000 ~ 6.667		$\pm 1.0$	$\pm 1.5$	%
		ゲイン = 8.000, 10.00		$\pm 1.0$	$\pm 1.7$	%
		注3  ゲイン = 2.500 ~ 4.444		$\pm 1.0$	$\pm 2.0$	%
		ゲイン = 5.000 ~ 6.667		$\pm 1.0$	$\pm 2.1$	%
		ゲイン = 8.000, 10.00		$\pm 1.0$	$\pm 2.2$	%
動作電流 <sup>注4</sup>	$I_{OPDD}$	動作時		1.8	2.6	mA
	$A_{IDDS}$	STOPモード時 <sup>注5</sup>		1.0	10	$\mu$ A

注1. 出力電圧の10% ~ 90%までの傾きの特性です。

2.  $AV_{DD0} = AV_{DD1} = 4.5 \sim 5.5 \text{ V}$

3.  $AV_{DD0} = AV_{DD1} = 4.0 \sim 5.5 \text{ V}$

4. オペアンプを合計4つ搭載しています。この値は1つあたりの動作電流です。

5. STOPモードに設定する前に、オペアンプの動作を停止 ( $OP0CTL0.OP0EN$ ビット = 0,  $OP1CTL0.OP12EN$ ,  $OP11EN$ ,  $OP10EN$ ビット = 0) してください。

備考 オペアンプの電源は、 $AV_{DD0}$ ,  $AV_{DD1}$ を使用します。

### 28. 1. 12 コンパレータ特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

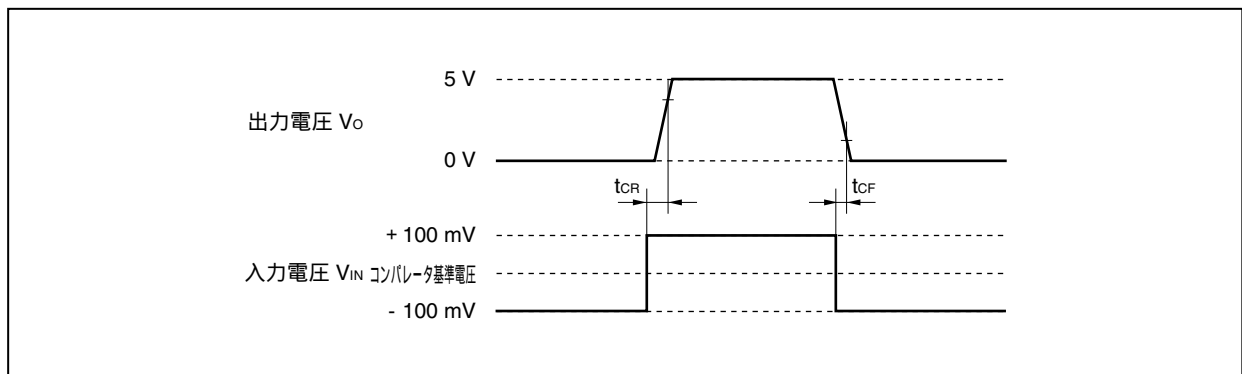
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	$V_{IO}$			$\pm 3.0$		mV
入力電圧範囲	$V_I$		$AV_{SS}$		$AV_{DD}$	V
コンパレータ基準電圧 (フル・レンジ)	CREFnF		$0.02AV_{DD} + 0.1$		$0.92AV_{DD} - 0.1$	V
コンパレータ基準電圧 (ロウ・レンジ)	CREFnL		$0.02AV_{DD} + 0.1$		$0.5AV_{DD} - 0.1$	V
応答時間	$t_{CR}$	入力振幅 = 100 mV , 立ち上がり <sup>注1</sup>		1.0		$\mu\text{s}$
	$t_{CF}$	入力振幅 = 100 mV , 立ち下がり <sup>注2</sup>		1.0		$\mu\text{s}$
動作電流 <sup>注3</sup>	$I_{CPDD}$	動作時			250	$\mu\text{A}$
	$A_{IDDS}$	STOPモード時 <sup>注4</sup>		2.0	20	nA

- 注1. ANIm入力がコンパレータ基準電圧 - 100 mVからコンパレータ基準電圧 + 100 mVに変化するときのパルス応答特性
2. ANIm入力がコンパレータ基準電圧 + 100 mVからコンパレータ基準電圧 - 100 mVに変化するときのパルス応答特性
3. コンパレータを合計4つ搭載しています。この値は1つあたりの動作電流です。
4. STOPモードに設定する前に、コンパレータの動作を停止 (CMPnCTL0レジスタ = 00H) してください。

備考1. コンパレータの電源は、 $AV_{DD0}$ ,  $AV_{DD1}$ を使用します。

2.  $m = 05, 15-17$   
 $n = 0, 1$

#### コンパレータ特性



### 28. 1. 13 パワーオン・クリア回路 (POC)

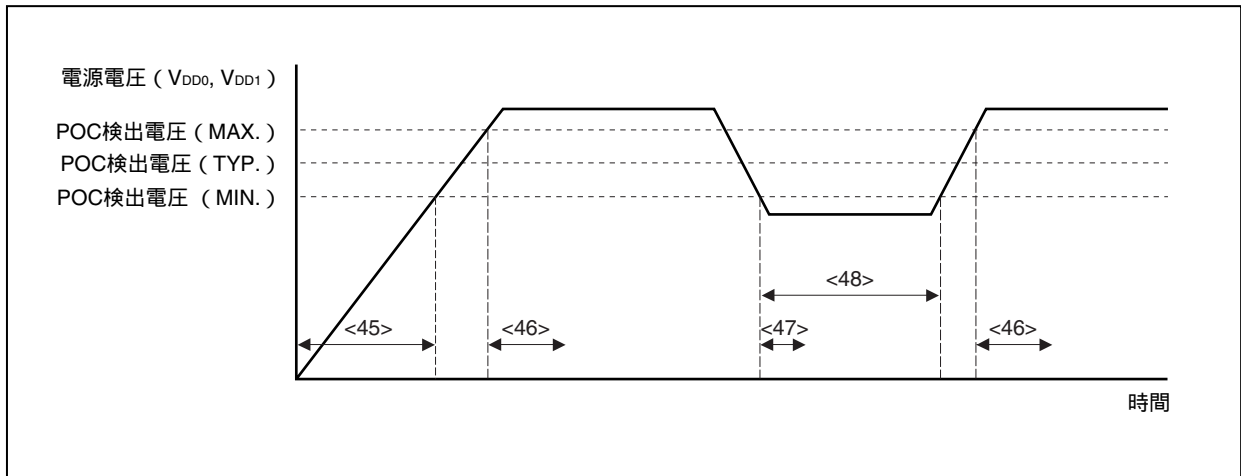
( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$ ,

$V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
POC検出電圧	$V_{POC0}$		3.5	3.7	3.9	V
電源電圧立ち上がり時間	$t_{PTH}$	<45> $V_{DD0}, V_{DD1} = 0 \sim 3.5 \text{ V}$	$2.5 \mu\text{s}$		1.8 s	
応答時間1 <sup>注1</sup>	$t_{PTH0}$	<46> パワーオン時, $V_{DD0}, V_{DD1}$ が3.9 Vに到達後			3.0	ms
応答時間2 <sup>注2</sup>	$t_{PD}$	<47> パワーオフ時, $V_{DD0}, V_{DD1}$ が3.5 Vに落ちたあと			1.0	ms
$V_{DD0}, V_{DD1}$ 最小幅	$t_{PW}$	<48>	0.2			ms

注1. POC検出電圧を検出してからリセット信号 (POCRES) を解除するまでの時間です。

2. POC検出電圧を検出してからリセット信号 (POCRES) を発生するまでの時間です。



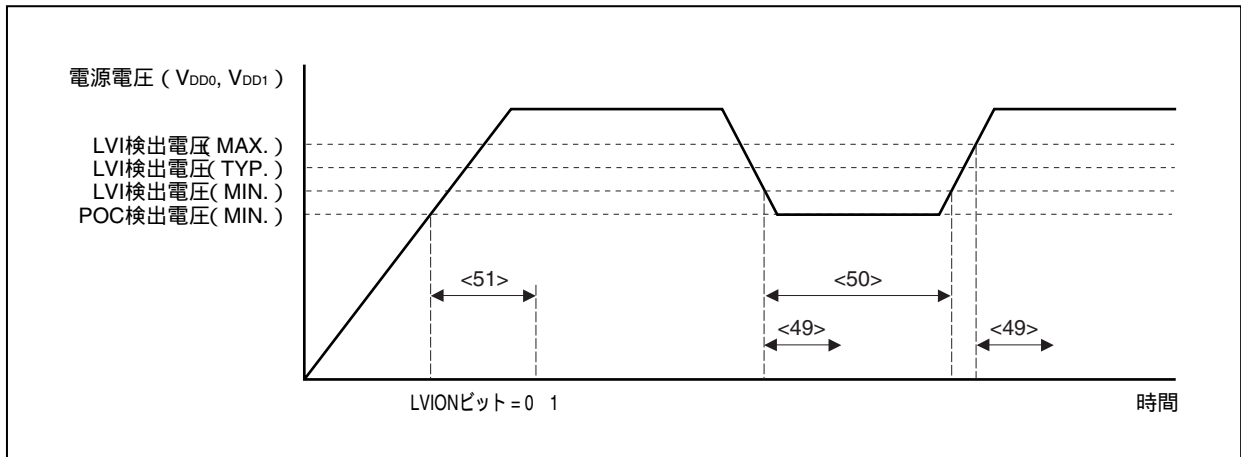
### 28. 1. 14 低電圧検出回路 (LVI)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$ ,

$V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
LVI検出電圧	$V_{LV10}$	LVIS.LVIS0ビット = 0	4.2	4.4	4.6	V
	$V_{LV11}$	LVIS.LVIS0ビット = 1	4.0	4.2	4.4	V
応答時間 <sup>1</sup> 注	$t_{LD}$	<49> $V_{DD0}, V_{DD1}$ が $V_{LV10}/V_{LV11}$ (MAX.) に到達 後, または $V_{DD0}, V_{DD1}$ が $V_{LV10}/V_{LV11}$ (MIN.) に落ち たあと		0.2	2.0	ms
$V_{DD0}, V_{DD1}$ 最小幅	$t_{LW}$	<50>	0.2			ms
基準電圧安定待ち時間	$t_{LWAIT}$	<51> $V_{DD0}, V_{DD1}$ が POC検出電圧 (MIN.) に 到達後, および LVIM.LVIONビットを0 1に変更したあと		0.1		ms

注 LVI検出電圧を検出してから割り込み要求信号 (INTLVIL, INTLVIH) または内部リセット信号 (LVIRES) を発生するまでの時間です。



## 28. 1. 15 フラッシュ・メモリ・プログラミング特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$ ,

$V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き換え回数	$C_{ERWR}$	注		100		回

注 書き換えは次の例のように行ってください。

書き換え回数3回の場合の例：出荷品 E P E P E P (P：書き込み，E：消去)

## 28.2 V850E/IG3

### 28.2.1 絶対最大定格

( $T_A = 25\text{ }^\circ\text{C}$ )

項目	略号	条件	定格	単位	
電源電圧	$V_{DD}$	$V_{DDa} = EV_{DDb} = AV_{DDk}$	- 0.5 ~ + 6.5	V	
	$V_{SS}$	$V_{SSa} = EV_{SSb} = AV_{SSk}$	- 0.5 ~ + 0.5	V	
	$EV_{DD}$	$V_{DDa} = EV_{DDb} = AV_{DDk}$	- 0.5 ~ + 6.5	V	
	$EV_{SS}$	$V_{SSa} = EV_{SSb} = AV_{SSk}$	- 0.5 ~ + 0.5	V	
	$AV_{DD}$	$V_{DDa} = EV_{DDb} = AV_{DDk}$	- 0.5 ~ + 6.5	V	
	$AV_{SS}$	$V_{SSa} = EV_{SSb} = AV_{SSk}$	- 0.5 ~ + 0.5	V	
入力電圧	$V_{I1}$	注1	- 0.5 ~ $EV_{DD} + 0.5$ <sup>注2</sup>	V	
	$V_{I2}$	X1, X2	- 0.5 ~ $V_{RO} + 0.35$	V	
ロウ・レベル出力電流	$I_{OL}$	すべての端子	1端子	4	mA
			全端子合計	63	mA
ハイ・レベル出力電流	$I_{OH}$	すべての端子	1端子	- 4	mA
			全端子合計	- 63	mA
アナログ入力電圧	$V_{IAN}$	P70/ANI20-P77/ANI27, ANI00-ANI05, ANI10-ANI17	- 0.5 ~ $AV_{DD} + 0.5$ <sup>注2</sup>	V	
アナログ基準入力電圧	$V_{IREF}$	$AV_{REFP0}$ , $AV_{REFP1}$	- 0.5 ~ $AV_{DD} + 0.5$ <sup>注2</sup>	V	
コンパレータ基準入力電圧	$V_{CREF}$	$CREF0L$ , $CREF1L$ , $CREF0F$ , $CREF1F$	- 0.5 ~ $AV_{DD} + 0.5$ <sup>注2</sup>	V	
動作周囲温度	$T_A$	通常動作時	- 40 ~ + 85		
		フラッシュ・メモリ・プログラミング時	- 40 ~ + 85		
保存温度	$T_{stg}$		- 40 ~ + 125		

注1. P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, PDL0-PDL15, RESET, FLMD0, DRST

2. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

注意1. IC製品の出力(出力状態の入出力端子)をほかの出力端子(出力状態の入出力端子を含む),および $V_{DD}$ ,  $EV_{DD}$ などの電源端子やGND端子に直線接続しないでください。ただし,入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。

2. 各項目のうち1項目でも,また一瞬でも絶対最大定格を越えると,製品の品質を損なう恐れがあります。つまり絶対最大定格とは,製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で,製品をご使用ください。

DC特性とAC特性に示す規格や条件が,製品の正常動作,品質保証の範囲です。

備考 a = 0, 1

b = 0-2

k = 0-2

### 28.2.2 容量

( $T_A = 25$  ,  $V_{DD0} = V_{SS0} = V_{DD1} = V_{SS1} = EV_{DD0} = EV_{SS0} = EV_{DD1} = EV_{SS1} = EV_{DD2} = EV_{SS2} = AV_{DD0} = AV_{SS0} = AV_{DD1} = AV_{SS1} = AV_{DD2} = AV_{SS2} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	$C_i$	$f_c = 1\text{ MHz}$			15	pF
入出力容量	$C_{iO}$	被測定ピン以外は0 V			15	pF
出力容量	$C_o$				15	pF

注1. ANI00-ANI05, ANI10-ANI17,  $\overline{\text{RESET}}$

- P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, P70-P77, PDL0-PDL15
- DDO

注意1. FLMD0,  $\overline{\text{DRST}}$ , X1, X2端子を除きます。

- ANI00-ANI05, ANI10-ANI17, ANI20-ANI27端子には入力容量のほかにサンプリング時にはサンプリング容量が追加されます。

### 28.2.3 動作条件

( $T_A = -40 \sim +85$  ,  $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	$f_{xx}$	PLLモード	32		64	MHz
		クロック・スルー・モード	4		8	MHz
CPUクロック周波数	$f_{CPU}$	PLLモード	4		64	MHz
		クロック・スルー・モード	0.5		8	MHz
$V_{DD}$ , $EV_{DD}$ 電圧	$V_{DD}$ , $EV_{DD}$	注1 外部バス未使用時	3.5		5.5	V
		外部バス使用時 <sup>注2</sup>	4.0		5.5	V
$AV_{DD}$ 電圧	$AV_{DD}$	A/Dコンバータ0-2動作時	4.0		5.5	V
		A/Dコンバータ0-2非動作時	3.5		5.5	V

注1.  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2}$

- $\mu\text{PD70F3454GC-8EA-A}$ ,  $70\text{F3454F1-DA9-A}$ のみ

### 28.2.4 クロック発振回路特性

( $T_A = -40 \sim +85 \text{ } ^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ )

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子 / 水 晶振動子		発振周波数 ( $f_x$ )		4		8	MHz
		発振安定時間	リセット解除後		$2^{14}/f_x$		ms
			STOPモード解除後		注		ms

注 発振安定時間選択レジスタ (OSTS) の設定によって値が異なります。

注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。

2. 破線の範囲にほかの信号線を通さないでください。

3. 発振子の選択および発振回路定数については, お客様において発振評価していただくか, 発振子メーカーに評価を依頼してください。

4. V850E/IG3では外部クロック入力は禁止です。

(i) 村田製作所: セラミック発振子 ( $T_A = -40 \sim +85$ ) ( $\mu$ PD70F3454F1-DA9-A以外の製品)

タイプ	品名	発振周波数 $f_x$ (MHz)	推奨回路定数			発振電圧範囲	
			C1	C2	Rd (k $\Omega$ )	MIN. (V)	MAX. (V)
リード	CSTLS4M00G56-B0	4	内蔵 (47 pF)	内蔵 (47 pF)	0	3.5	5.5
	CSTLS5M00G56-B0	5	内蔵 (47 pF)	内蔵 (47 pF)	0	3.5	5.5
	CSTLS8M00G56-B0	8	内蔵 (47 pF)	内蔵 (47 pF)	0	3.5	5.5
表面実装	CSTCR4M00G55-R0	4	内蔵 (39 pF)	内蔵 (39 pF)	0	3.5	5.5
	CSTCR5M00G55-R0	5	内蔵 (39 pF)	内蔵 (39 pF)	0	3.5	5.5
	CSTCE8M00G55-R0	8	内蔵 (33 pF)	内蔵 (33 pF)	0	3.5	5.5

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は, 実装回路上での評価を発振子メーカーに依頼してください。

また, 発振電圧, 発振周波数はあくまで発振回路特性を示すものであり, V850E/IG3の内部動作条件についてはAC, DC特性の規格内で使用してください。



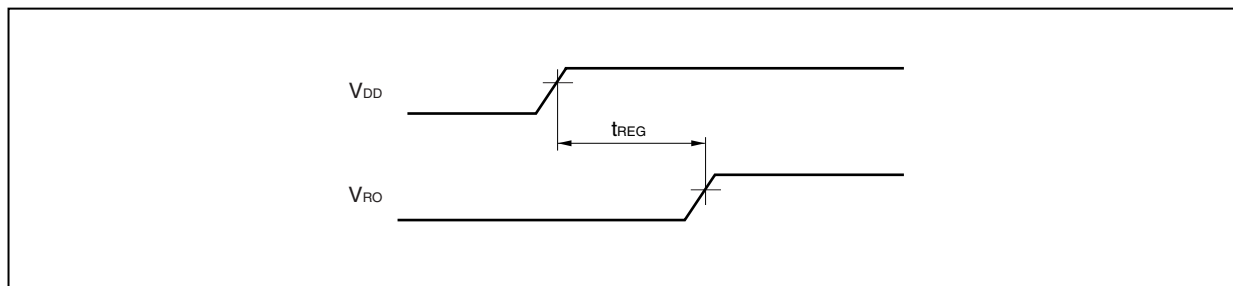
## 28.2.5 レギュレータ特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = 3.5 \sim 5.5 \text{ V}$ ,  $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	$V_{DD}$		3.5		5.5	V
出力電圧	$V_{RO}$			1.5		V
出力電圧安定時間	$t_{REG}$	安定化容量: $C = 4.7 \mu\text{F}$ <sup>注1</sup>			$1$ <sup>注2</sup>	ms

注1. 安定化容量は、REGC0端子と $V_{SS0}$ 端子、REGC1端子と $V_{SS1}$ 端子間にそれぞれ接続してください。

2.  $t_{REG}$ 期間にパワーオン・クリア回路(POC)が出力電圧安定するまで内部リセット信号を出力します。



### 28.2.6 DC特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	$V_{IH1}$	注1		0.7 $EV_{DD}$		$EV_{DD}$	V
	$V_{IH2}$	注2		0.8 $EV_{DD}$		$EV_{DD}$	V
	$V_{IH3}$	注3		2.2		$EV_{DD}$	V
	$V_{IH4}$	注4		0.7 $AV_{DD}$		$AV_{DD}$	V
ロウ・レベル入力電圧	$V_{IL1}$	注1		$EV_{SS}$		0.3 $EV_{DD}$	V
	$V_{IL2}$	注2		$EV_{SS}$		0.2 $EV_{DD}$	V
	$V_{IL3}$	注3		$EV_{SS}$		0.8	V
	$V_{IL4}$	注4		$AV_{SS}$		0.3 $AV_{DD}$	V
ハイ・レベル入力電流	$I_{LIH1}$	$V_i =$ 注5, 注6 X1以外 X1				5	$\mu\text{A}$
	$I_{LIH2}$				20	$\mu\text{A}$	
ロウ・レベル入力電流	$I_{LIL1}$	$V_i = 0 \text{ V}$ X1以外 X1				- 5	$\mu\text{A}$
	$I_{LIL2}$				- 20	$\mu\text{A}$	
ハイ・レベル出力電流	$I_{LOH}$	$V_o =$ 注5				5	$\mu\text{A}$
ロウ・レベル出力電流	$I_{LOL}$	$V_o = 0 \text{ V}$				- 5	$\mu\text{A}$
ハイ・レベル出力電圧	$V_{OH1}$	注7	$I_{OH} = -1.0 \text{ mA}$ 端子合計 = - 57 mA	$EV_{DD} - 1.0$			V
ロウ・レベル出力電圧	$V_{OL1}$	注7	$I_{OL} = 1.0 \text{ mA}$ 端子合計 = 57 mA			0.4	V
プルアップ抵抗	$R_{L1}$			10	30	100	$\text{k}\Omega$
プルダウン抵抗 <sup>注8</sup>	$R_{L2}$			10	30	100	$\text{k}\Omega$

注1. P33, P36, P41, PDL0-PDL15端子

2. P00-P07, P10-P17, P20-P27, P30-P32, P34, P35, P37, P40, P42-P47,  $\overline{\text{RESET}}$ , FLMD0端子
3.  $\overline{\text{DRST}}$ , DDI, DCK, DMS端子
4. P70-P77端子
5.  $AV_{DD0} = AV_{DD1} = AV_{DD2} = EV_{DD0} = EV_{DD1} = EV_{DD2}$
6.  $\overline{\text{DRST}}$ 端子は除く
7. P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, PDL0-PDL15, DDO端子
8.  $\overline{\text{DRST}}$ 端子のみ

備考 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ) (2/2)

項目	略号	条件	MIN.	TYP. <sup>注1</sup>	MAX.	単位	
V <sub>DD</sub> 電源電流 <sup>注2</sup>	I <sub>DD1</sub>	f <sub>xx</sub> = 64 MHz		通常動作	64	93	mA
	I <sub>DD2</sub>			HALTモード	42	60	mA
	I <sub>DD3</sub>			IDLEモード	5	10	mA
	I <sub>DD4</sub>	STOPモード		40	800	μA	

注1. TYP.値は、 $V_{DD0} = V_{DD1} = 5.0 \text{ V}$ ,  $T_A = 25 \text{ }^\circ\text{C}$ での参考値です。

- EV<sub>DD</sub>系（出力バッファ、プルアップ抵抗）で消費する電流、A/Dコンバータ0-2およびオペアンプ、コンパレータの動作電流は含みません。

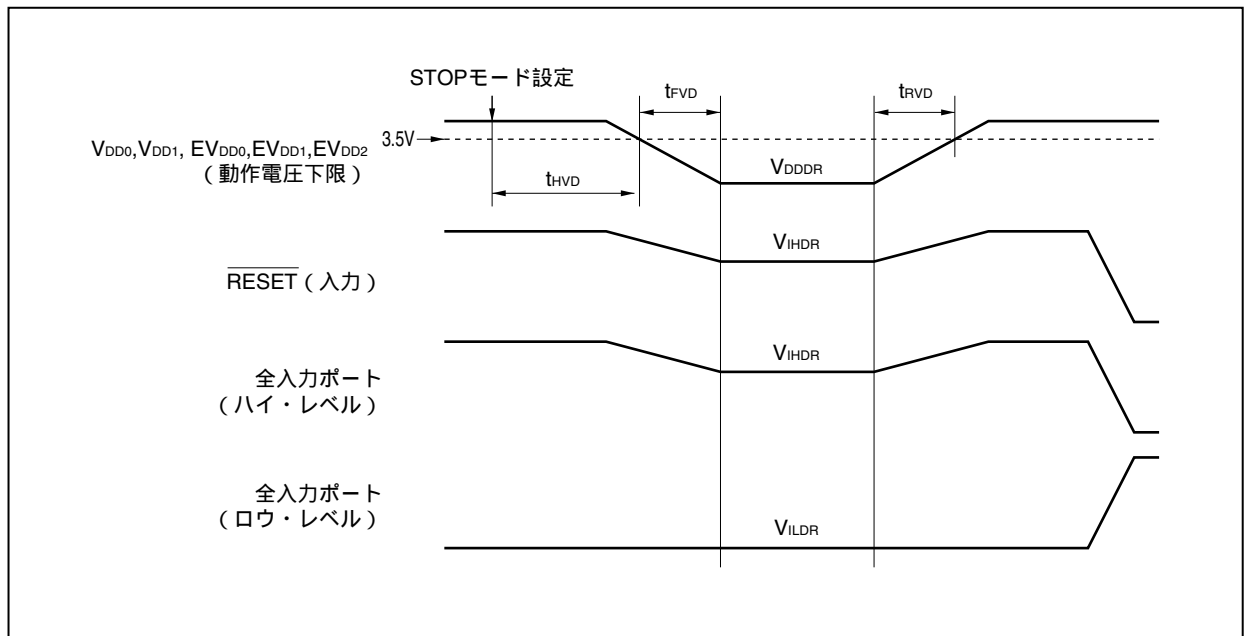
28.2.7 データ保持特性

STOPモード時 ( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	$V_{DDDR}$	STOPモード	注		5.5	V
データ保持電流	$I_{DDDR}$	$V_{DD0} = V_{DD1} = V_{DDDR}$		40	800	$\mu\text{A}$
電源電圧立ち上がり時間	$t_{rVD}$		1			$\mu\text{s}$
電源電圧立ち下がり時間	$t_{fVD}$		1			$\mu\text{s}$
電源電圧保持時間 (対STOPモード設定)	$t_{hVD}$		0			ms
データ保持ハイ・レベル入力電圧	$V_{IHDR}$	全入力ポート	$0.9V_{DDDR}$		$V_{DDDR}$	V
データ保持ロウ・レベル入力電圧	$V_{ILDR}$	全入力ポート	$EV_{SS}$		$0.1V_{DDDR}$	V

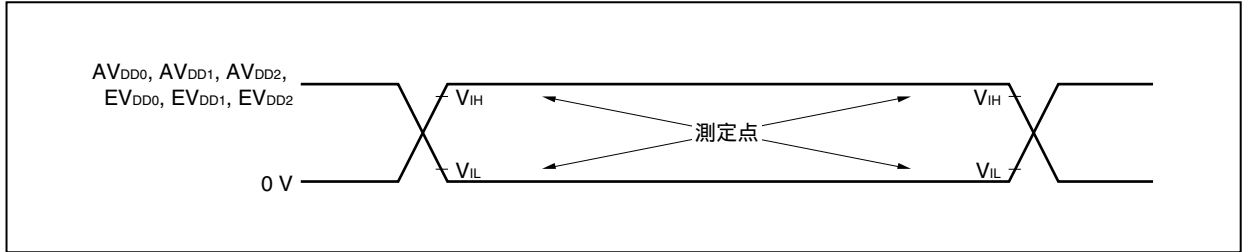
注 低電圧検出回路 (LVI) のリセット・モード (LVIM.LVIMDビット = 0) 未使用時 : POC検出電圧 ( $V_{POC0}$ )

低電圧検出回路 (LVI) のリセット・モード (LVIM.LVIMDビット = 1) 使用時 : LVI検出電圧 ( $V_{LV10}/V_{LV11}$ )

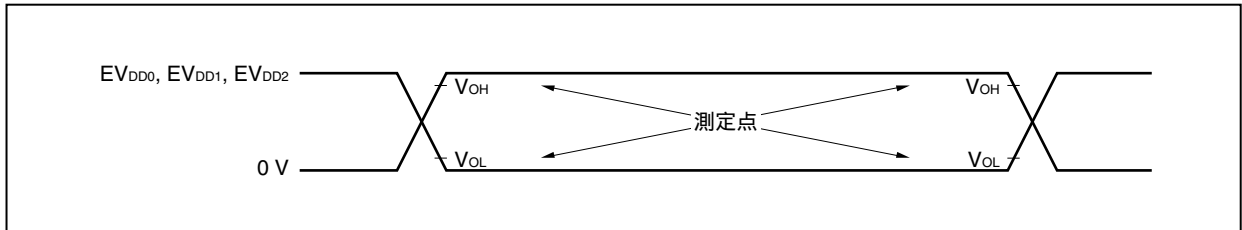


### 28.2.8 AC特性

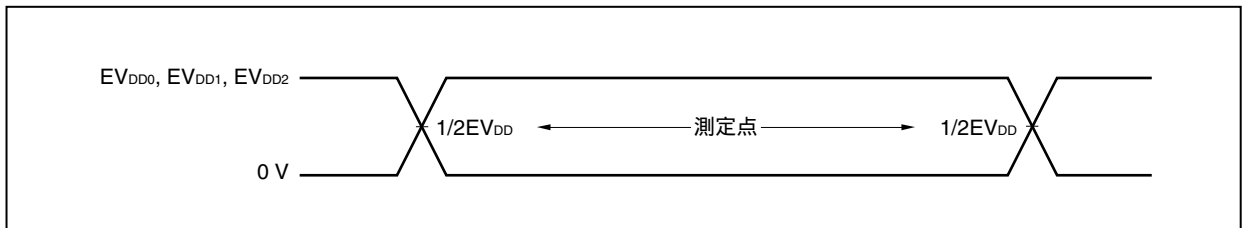
ACテスト入力測定点（外部バス（ $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ）, CSIB0-CSIB2以外の端子）



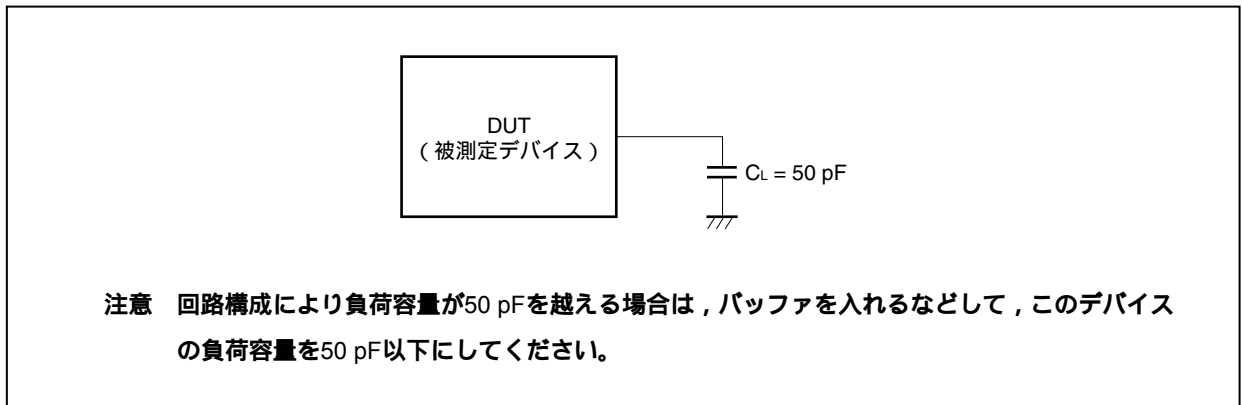
ACテスト出力測定点（外部バス（ $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ）, CSIB0-CSIB2以外の端子）



ACテスト入出力測定点（外部バス（ $\mu$  PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ）, CSIB0-CSIB2の端子）



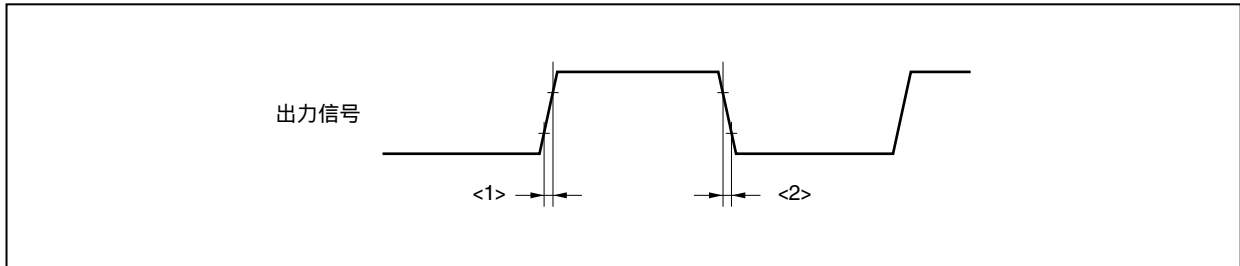
#### 負荷条件



(1) 出力信号タイミング

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	tor	<1> P07, PDL0-PDL15, DDO		8	ns
		上記以外		15	ns
出力立ち下がり時間	tof	<2> P07, PDL0-PDL15, DDO		8	ns
		上記以外		15	ns



(2) リセット, 外部割り込みタイミング

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

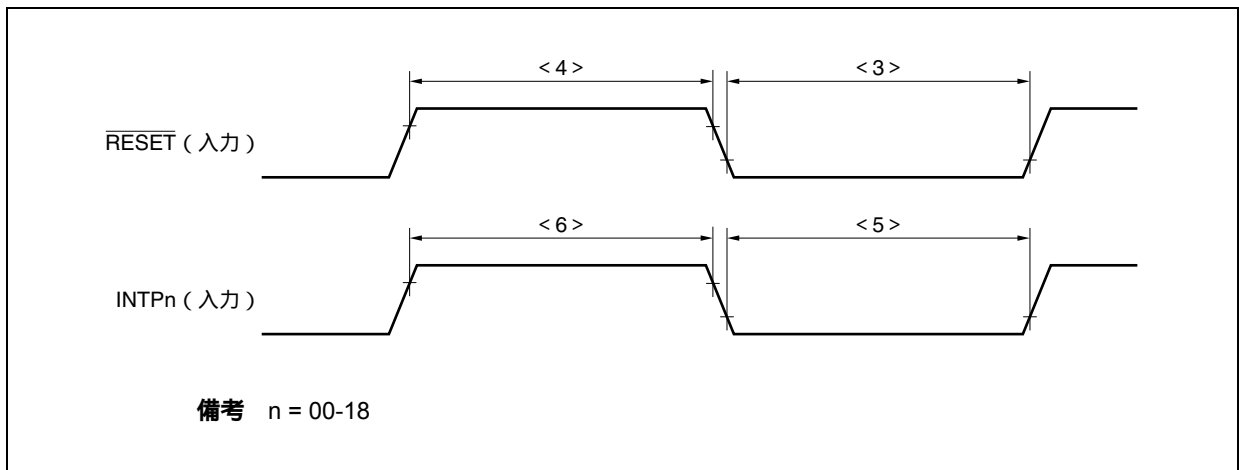
項目	略号	条件	MIN.	MAX.	単位
RESETロウ・レベル幅	t <sub>WRSL</sub>	<3> 電源オン時, STOPモード解除時	500 + T <sub>os</sub>		ns
		上記以外	500		ns
RESETハイ・レベル幅	t <sub>WRSH</sub>	<4>	500		ns
INTPnロウ・レベル幅	t <sub>WITL</sub>	<5> n = 00-13, 17, 18 (アナログ・ノイズ除去)	500		ns
		n = 14-16 (デジタル・ノイズ除去)	4T <sub>smp</sub>		ns
INTPnハイ・レベル幅	t <sub>WITH</sub>	<6> n = 00-13, 17, 18 (アナログ・ノイズ除去)	500		ns
		n = 14-16 (デジタル・ノイズ除去)	4T <sub>smp</sub>		ns

備考1. T<sub>os</sub>: 発振安定時間

T<sub>smp</sub>: ノイズ除去サンプリング・クロック周期 (INTNFCnレジスタで設定)

- リセット解除後は, 発振周波数 (f<sub>x</sub>) = 8 MHzの場合, 内部で1 ms間の発振安定時間が確保され, 発振安定時間は (T<sub>os</sub> + 1) msとなります。STOPモード解除後は, 内部でOSTSレジスタ設定値の1/2の発振安定時間が確保されます。したがって, OSTSレジスタの設定で十分な安定時間を確保できる場合はT<sub>os</sub> = 0 nsでもかまいません。

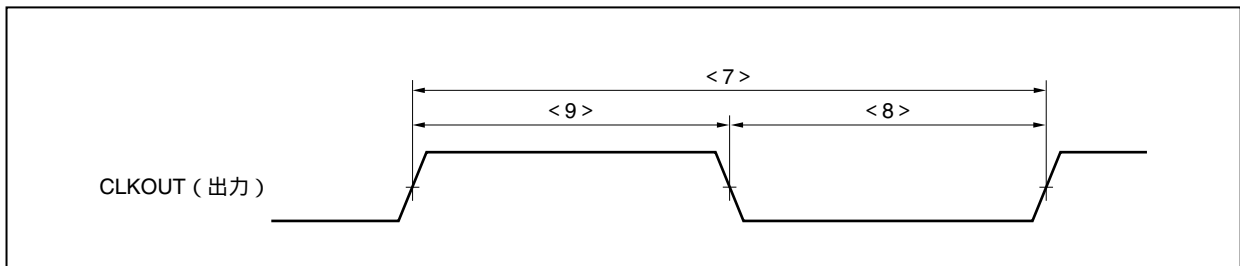
リセット / 割り込み



(3) CLKOUT出力タイミング ( $\mu$ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
出力周期	$t_{CYK}$	<7>	31.25 ns	8 $\mu$ s	
ロウ・レベル幅	$t_{WKH}$	<8>	$t_{CYK}/2 - 6.2$		ns
ハイ・レベル幅	$t_{WKL}$	<9>	$t_{CYK}/2 - 6.2$		ns



(4) バス・タイミング ( $\mu$ PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ)

(a) リード・サイクル (CLKOUT非同期)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
アドレス ASTB 遅延時間	$t_{DAST2}$	<10>	$(0.5 + W_{AS}) T - 20$		ns
ASTBハイ・レベル幅	$t_{WSTH}$	<11>	$(1 + W_{AS} + i) T - 17$		ns
ASTB アドレス保持時間	$t_{HSTA}$	<12>	$(0.5 + W_{AH}) T - 19$		ns
$\overline{RD}$ アドレス保持時間	$t_{HRDA2}$	<13>	$(1 + i) T - 29$		ns
アドレス $\overline{RD}$ 遅延時間	$t_{DARD2}$	<14>	$(1 + W_{AS} + W_{AH}) T - 36$		ns
$\overline{RD}$ アドレス・フロート遅延時間	$t_{FRDA}$	<15>		16	ns
アドレス データ入力設定時間	$t_{DAID2}$	<16>		$(2 + W_D + W + W_{AS} + W_{AH}) T - 37$	ns
ASTB データ入力設定時間	$t_{DSTID}$	<17>		$(1.5 + W_D + W + W_{AH}) T - 37$	ns
$\overline{RD}$ データ入力設定時間	$t_{DRDID2}$	<18>		$(1 + W_D + W) T - 37$	ns
ASTB $\overline{RD}$ 遅延時間	$t_{DSTRD3}$	<19>	$(0.5 + W_{AH}) T - 16$		ns
データ入力保持時間 (対 $\overline{RD}$ )	$t_{HRDID2}$	<20>	2		ns
$\overline{RD}$ バス出力遅延時間	$t_{DRDOD2}$	<21>	$(1 + i) T - 19$		ns
$\overline{RD}$ ASTB 遅延時間	$t_{DRDST}$	<22>	$0.5T - 16$		ns
$\overline{RD}$ 口ウ・レベル幅	$t_{WRDL2}$	<23>	$(1 + W_D + W) T - 20$		ns
$\overline{RD}$ ハイ・レベル幅	$t_{WRDH2}$	<24>	$(2 + i + W_{AS} + W_{AH}) T - 20$		ns
$\overline{RD}$ $\overline{WRn}$ ハイ・レベル保持時間	$t_{HRDWR2}$	<25>	$(2 + i + W_{AS} + W_{AH}) T - 20$		ns
$\overline{WAIT}$ 設定時間 (対アドレス)	$t_{DAWT2}$	<26>		$(1.5 + W_D + W + W_{AS} + W_{AH}) T - 45$	ns
$\overline{WAIT}$ 保持時間 (対アドレス)	$t_{HAWT2}$	<27>	$(1.5 + W_D + W + W_{AS} + W_{AH}) T - 1$		ns
$\overline{WAIT}$ 設定時間 (対ASTB)	$t_{DSTWT}$	<28>		$(1 + W_D + W + W_{AH}) T - 37$	ns
$\overline{WAIT}$ 保持時間 (対ASTB)	$t_{HSTWT}$	<29>	$(1 + W_D + W + W_{AH}) T + 2$		ns
$\overline{WAIT}$ 設定時間 (対 $\overline{RD}$ )	$t_{DRDWT2}$	<30>		$(0.5 + W_D + W) T - 37$	ns
$\overline{WAIT}$ 保持時間 (対 $\overline{RD}$ )	$t_{HRDWT2}$	<31>	$(0.5 + W_D + W) T + 2$		ns

注意1. Tは次の条件に従って設定してください。

$$31.25 \text{ ns } T$$

2. 必ずアドレス・セットアップ・ウエイトとアドレス・ホールド・ウエイトを挿入してください。

備考1.  $W_{AS}$  : AWCレジスタによるアドレス・セットアップ・ウエイト数

$W_{AH}$  : AWCレジスタによるアドレス・ホールド・ウエイト数

$W_D$  : DWC0レジスタによるデータ・ウエイト数

$w$  :  $\overline{WAIT}$ 端子による外部ウエイト数

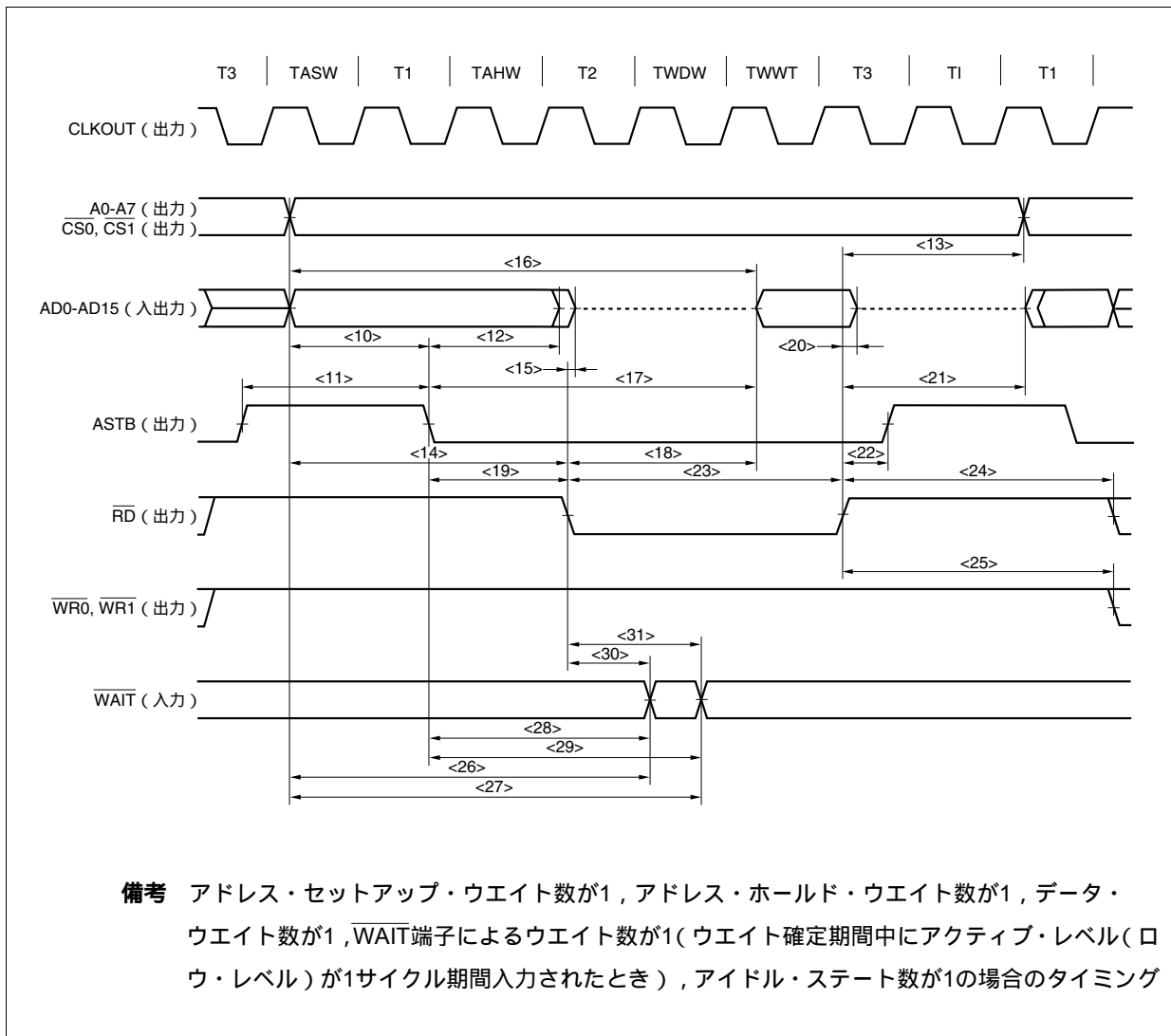
2.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPUクロック周波数)

3.  $n = 0, 1$

4.  $i$  : アイドル・ステート数



リード・サイクル (CLKOUT非同期)



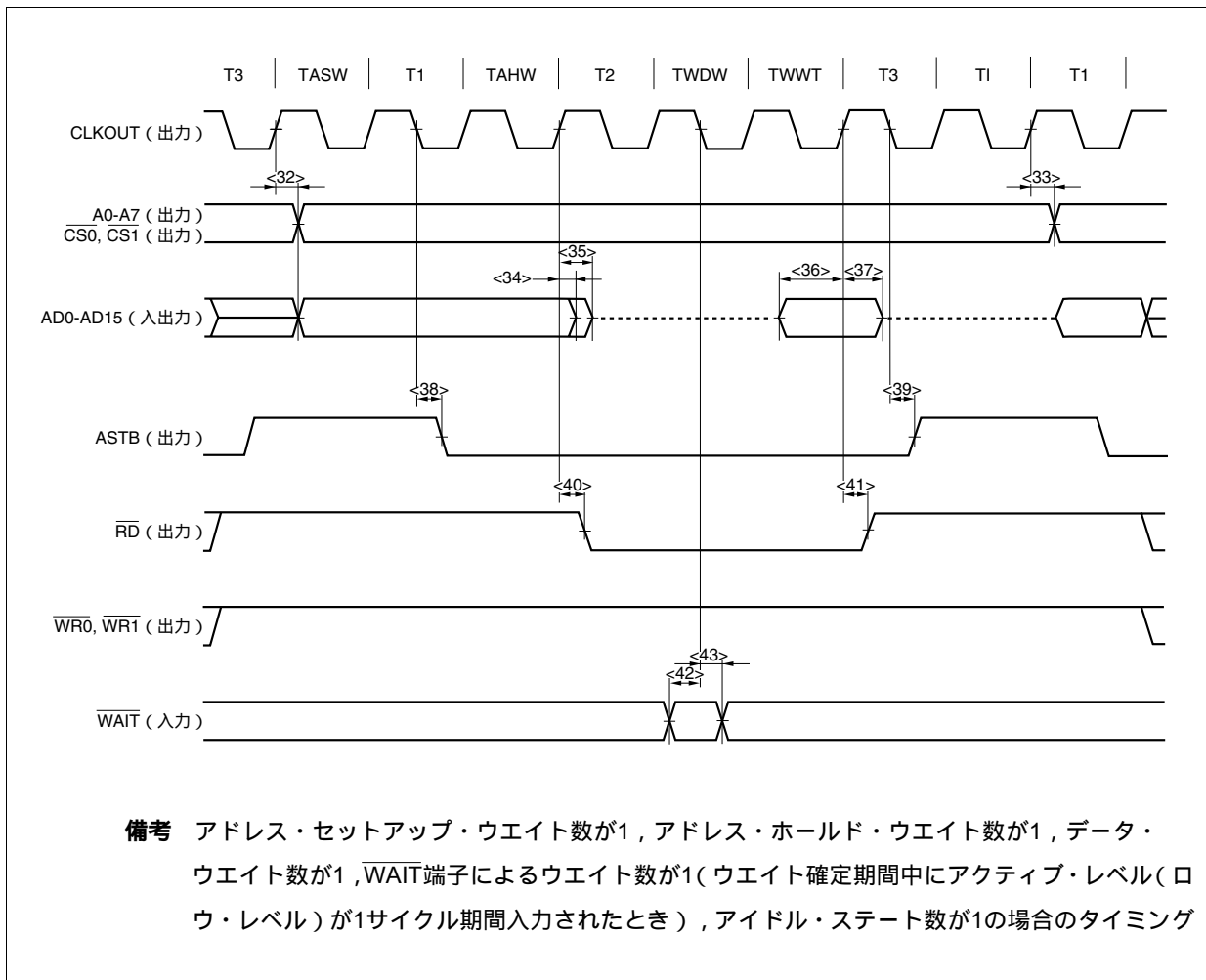
(b) リード・サイクル (CLKOUT同期)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	$t_{DKA2}$	<32>		22	ns
CLKOUT アドレス保持時間	$t_{HKA2}$	<33>	- 5		ns
CLKOUT アドレス保持時間	$t_{HKA3}$	<34>	- 8		ns
CLKOUT アドレス・フロート遅延時間	$t_{FKA}$	<35>		15	ns
データ入力設定時間 (対CLKOUT )	$t_{SIDK2}$	<36>	30		ns
データ入力保持時間 (対CLKOUT )	$t_{HKID2}$	<37>	9		ns
CLKOUT ASTB 遅延時間	$t_{DKST3}$	<38>	- 8	18	ns
CLKOUT ASTB 遅延時間	$t_{DKST4}$	<39>	- 8	18	ns
CLKOUT $\overline{RD}$ 遅延時間	$t_{DKRD3}$	<40>	- 10	17	ns
CLKOUT $\overline{RD}$ 遅延時間	$t_{DKRD4}$	<41>	- 10	17	ns
$\overline{WAIT}$ 設定時間 (対CLKOUT )	$t_{SWTK2}$	<42>	30		ns
$\overline{WAIT}$ 保持時間 (対CLKOUT )	$t_{HKWT2}$	<43>	9		ns

**注意** 必ずアドレス・セットアップ・ウエイトとアドレス・ホールド・ウエイトを挿入してください。

リード・サイクル (CLKOUT同期)



(c) ライト・サイクル (CLKOUT非同期)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
アドレス ASTB 遅延時間	$t_{DAST2}$	<10>	$(0.5 + W_{AS}) T - 20$		ns
ASTBハイ・レベル幅	$t_{WSTH}$	<11>	$(1 + W_{AS} + i) T - 16$		ns
ASTB アドレス保持時間	$t_{HSTA}$	<12>	$(0.5 + W_{AH}) T - 19$		ns
$\overline{WRn}$ アドレス保持時間	$t_{HWRA2}$	<44>	$T - 19$		ns
アドレス $\overline{WRn}$ 遅延時間	$t_{DAWR2}$	<45>	$(1 + W_{AS} + W_{AH}) T - 36$		ns
$\overline{WRn}$ データ出力遅延時間	$t_{DWRD3}$	<46>		15	ns
ASTB $\overline{WRn}$ 遅延時間	$t_{DSTWR3}$	<47>	$(0.5 + W_{AH}) T - 16$		ns
データ出力 $\overline{WRn}$ 遅延時間	$t_{DODWR2}$	<48>	$(1 + W_D + W) T - 25$		ns
$\overline{WRn}$ データ出力保持時間	$t_{HWROD2}$	<49>	$T - 19$		ns
$\overline{WRn}$ ASTB 遅延時間	$t_{DWRST}$	<50>	$0.5T - 16$		ns
$\overline{WRn}$ 口ウ・レベル幅	$t_{WURL2}$	<51>	$(1 + W_D + W) T - 20$		ns
$\overline{WRn}$ ハイ・レベル幅	$t_{WWRH2}$	<52>	$(2 + W_{AS} + W_{AH}) T - 20$		ns
$\overline{WRn}$ RDハイ・レベル保持時間	$t_{HWRRD2}$	<53>	$(2 + W_{AS} + W_{AH}) T - 20$		ns
WAIT設定時間 (対アドレス)	$t_{DAWT2}$	<26>		$(1.5 + W_D + W + W_{AS} + W_{AH}) T - 45$	ns
WAIT保持時間 (対アドレス)	$t_{HAWT2}$	<27>	$(1.5 + W_D + W + W_{AS} + W_{AH}) T - 1$		ns
WAIT設定時間 (対ASTB)	$t_{DSTWT}$	<28>		$(1 + W_D + W + W_{AH}) T - 37$	ns
WAIT保持時間 (対ASTB)	$t_{HSTWT}$	<29>	$(1 + W_D + W + W_{AH}) T + 2$		ns
WAIT設定時間 (対 $\overline{WRn}$ )	$t_{DWRWT2}$	<54>		$(0.5 + W_D + W) T - 37$	ns
WAIT保持時間 (対 $\overline{WRn}$ )	$t_{HWRWT2}$	<55>	$(0.5 + W_D + W) T + 2$		ns

注意1. Tは次の条件に従って設定してください。

$$31.25 \text{ ns } T$$

- 必ずアドレス・セットアップ・ウエイトとアドレス・ホールド・ウエイトを挿入してください。

備考1.  $W_{AS}$  : AWCレジスタによるアドレス・セットアップ・ウエイト数

$W_{AH}$  : AWCレジスタによるアドレス・ホールド・ウエイト数

$W_D$  : DWC0レジスタによるデータ・ウエイト数

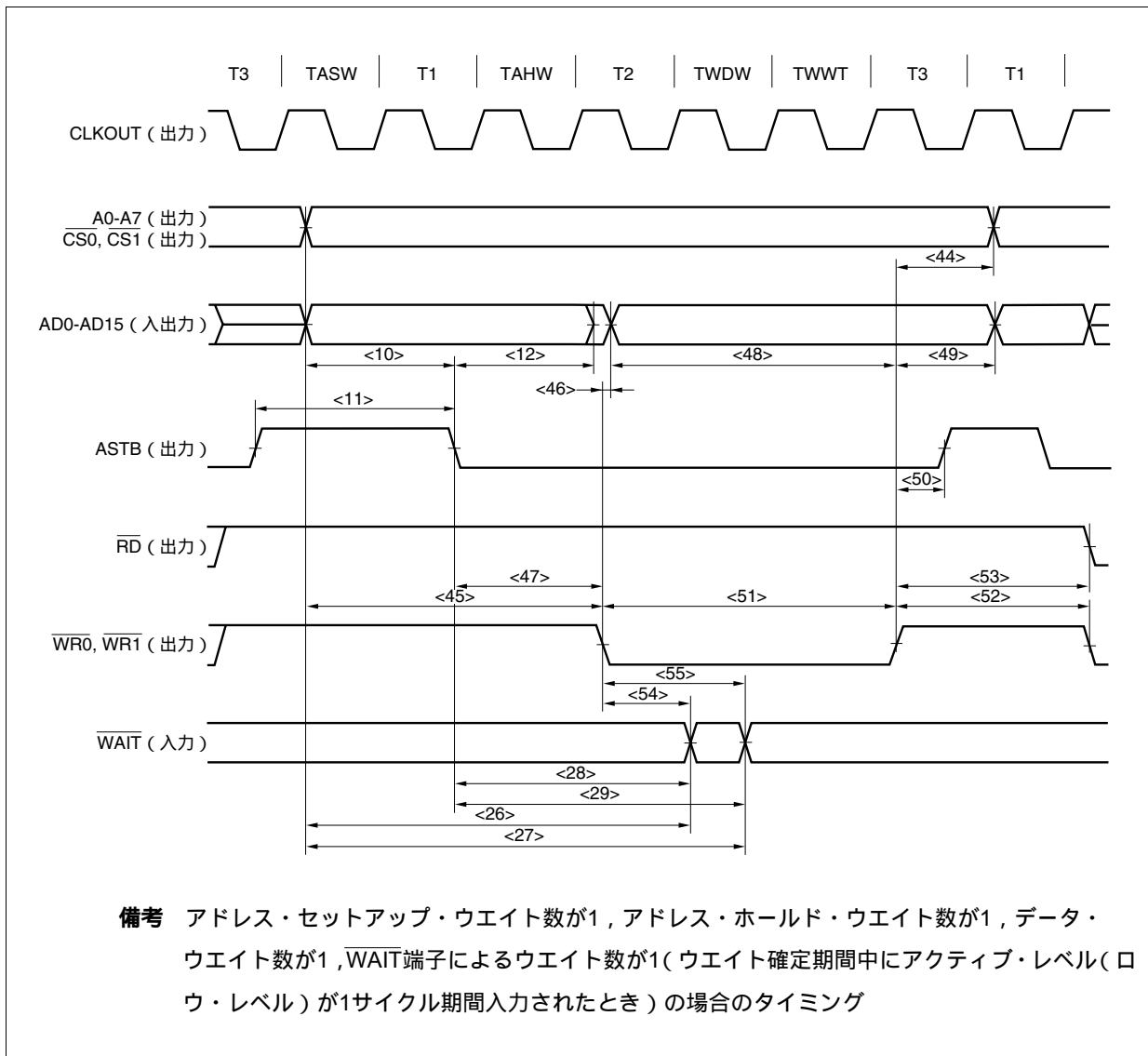
$w$  : WAIT端子による外部ウエイト数

- $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPUクロック周波数)

- $n = 0, 1$

- $i$  : アイドル・ステート数

ライト・サイクル (CLKOUT非同期)



## (d) ライト・サイクル (CLKOUT同期)

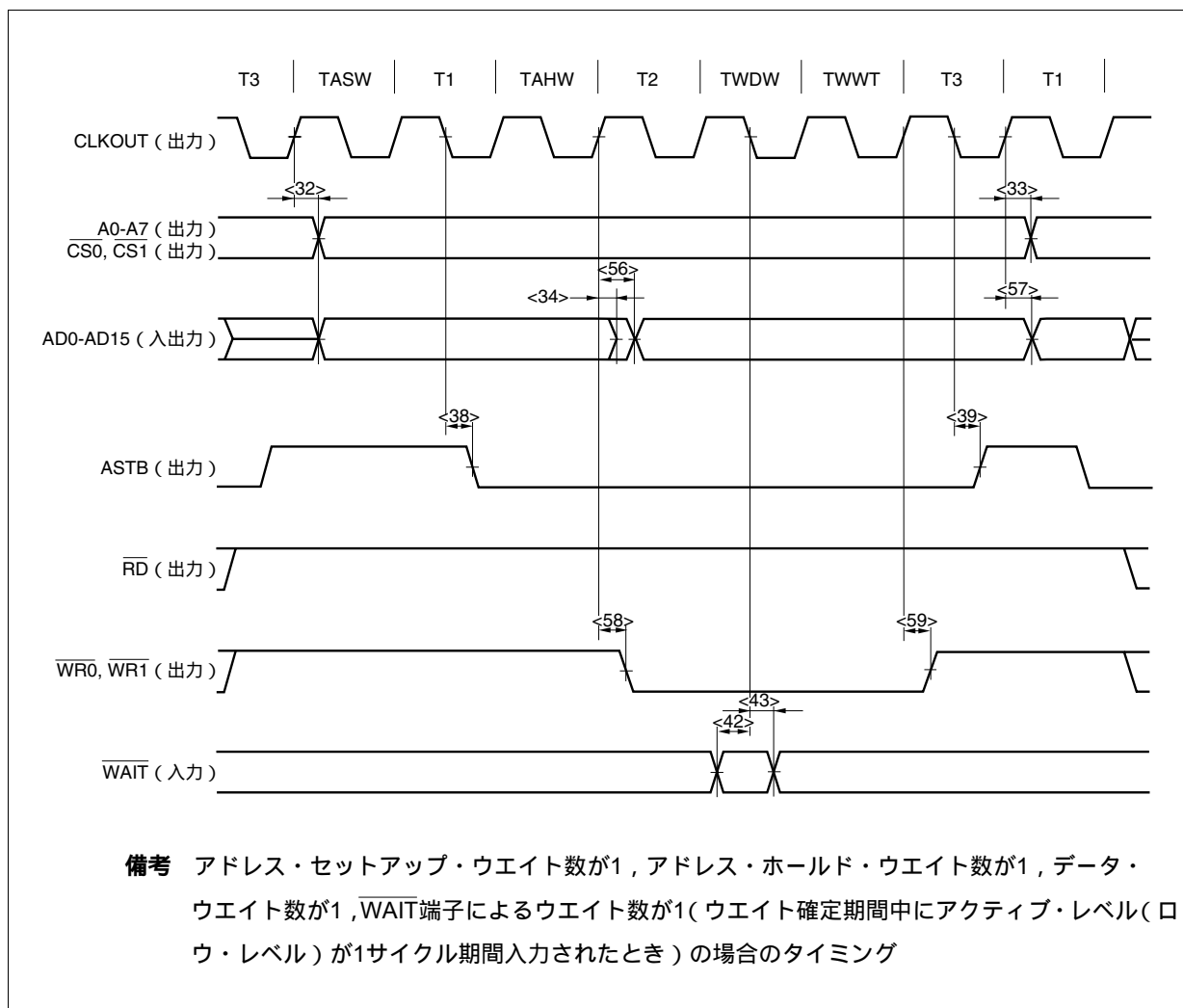
( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	$t_{DKA2}$	<32>		22	ns
CLKOUT アドレス保持時間	$t_{HKA2}$	<33>	- 5		ns
CLKOUT アドレス保持時間	$t_{HKA3}$	<34>	- 8		ns
CLKOUT ASTB 遅延時間	$t_{DKST3}$	<38>	- 8	18	ns
CLKOUT ASTB 遅延時間	$t_{DKST4}$	<39>	- 8	18	ns
CLKOUT データ出力遅延時間	$t_{DKOD3}$	<56>		22	ns
CLKOUT データ出力保持時間	$t_{HKOD2}$	<57>	- 9		ns
CLKOUT $\overline{WRn}$ 遅延時間	$t_{DKWR3}$	<58>	- 10	17	ns
CLKOUT $\overline{WRn}$ 遅延時間	$t_{DKWR4}$	<59>	- 10	17	ns
WAIT設定時間 (対CLKOUT)	$t_{SWTK2}$	<42>	30		ns
WAIT保持時間 (対CLKOUT)	$t_{HKWT2}$	<43>	9		ns

**注意** 必ずアドレス・セットアップ・ウエイトとアドレス・ホールド・ウエイトを挿入してください。

**備考**  $n = 0, 1$

ライト・サイクル (CLKOUT同期)



(5) タイマ・タイミング

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位	
TInハイ・レベル幅 <sup>注1, 2</sup>	tWTIHn	<60>	n = B00-B03, B10-B13	12T + 10		ns
			n = A20, A21, A30, A31, A40, A41	3T <sub>smp1</sub> + 10		ns
TInロウ・レベル幅 <sup>注1, 2</sup>	tWTILn	<61>	n = B00-B03, B10-B13	12T + 10		ns
			n = A20, A21, A30, A31, A40, A41	3T <sub>smp1</sub> + 10		ns
EVTBmハイ・レベル幅 <sup>注1</sup>	tWEVBHm	<62>	m = 0, 1	12T + 10		ns
EVTBmロウ・レベル幅 <sup>注1</sup>	tWEVBLm	<63>	m = 0, 1	12T + 10		ns
TRGBmハイ・レベル幅 <sup>注1</sup>	tWTRHm	<64>	m = 0, 1	12T + 10		ns
TRGBmロウ・レベル幅 <sup>注1</sup>	tWTRLm	<65>	m = 0, 1	12T + 10		ns
TENCm0/TENCm1 ハイ・レベル幅 <sup>注3</sup>	tWENCHm	<66>	m = 0, 1	3T <sub>smp2</sub> + 10		ns
TENCm0/TENCm1 ロウ・レベル幅 <sup>注3</sup>	tWENCLm	<67>	m = 0, 1	3T <sub>smp2</sub> + 10		ns
TECRmハイ・レベル幅 <sup>注3</sup>	tWCRHm	<68>	m = 0, 1	3T <sub>smp2</sub> + 10		ns
TECRmロウ・レベル幅 <sup>注3</sup>	tWCRLm	<69>	m = 0, 1	3T <sub>smp2</sub> + 10		ns
TITm0/TITm1 ハイ・レベル幅 <sup>注3</sup>	tWTITHm	<70>	m = 0, 1	3T <sub>smp2</sub> + 10		ns
TITm0/TITm1 ロウ・レベル幅 <sup>注3</sup>	tWTITLm	<71>	m = 0, 1	3T <sub>smp2</sub> + 10		ns
EVTmハイ・レベル幅 <sup>注3</sup>	tWEVTHm	<72>	m = 0, 1	3T <sub>smp2</sub> + 10		ns
EVTmロウ・レベル幅 <sup>注3</sup>	tWEVTLm	<73>	m = 0, 1	3T <sub>smp2</sub> + 10		ns
TENCm0/TENCm1 入力時間差 <sup>注3</sup>	tPHUDm	<74>	m = 0, 1	3T <sub>smp2</sub> + 10		ns

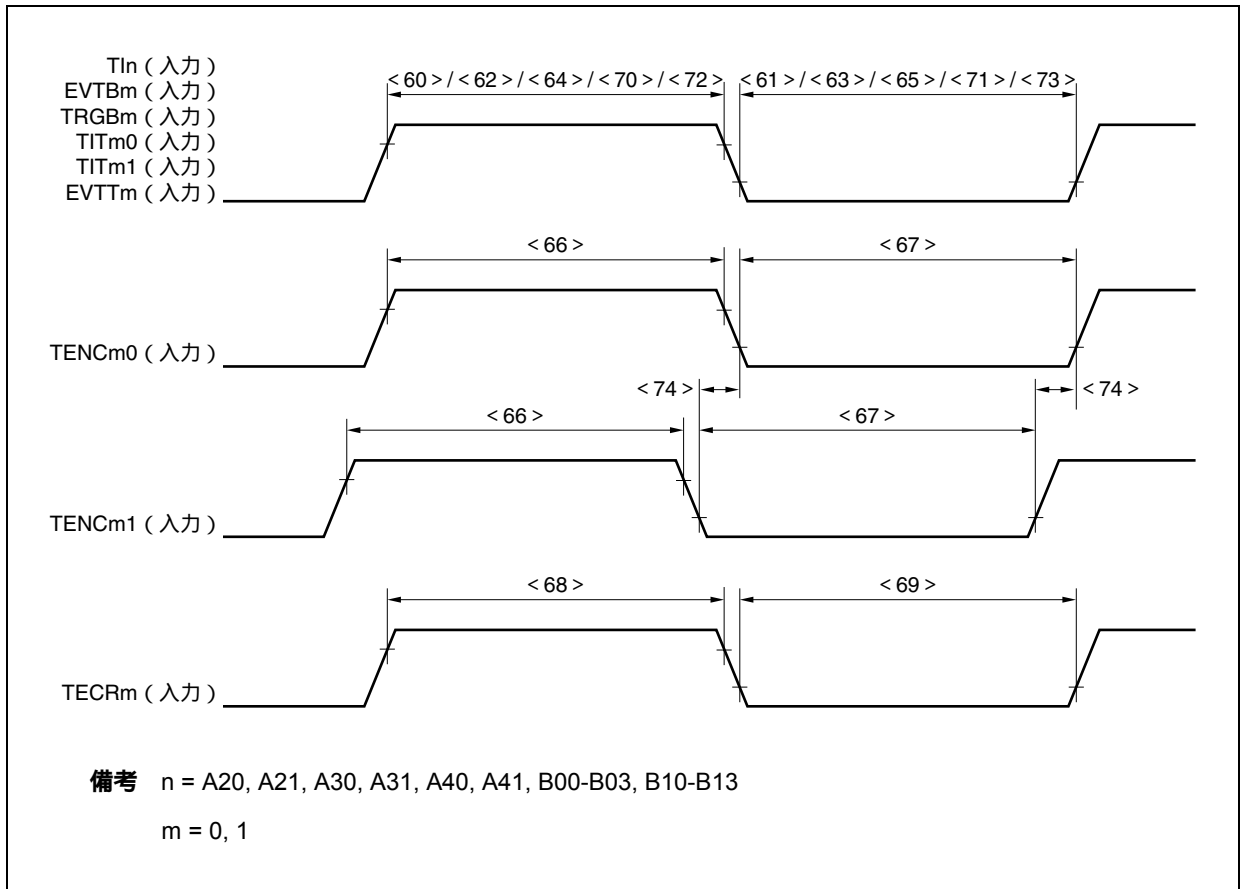
注1.  $T = 1/f_{xx}$

2. T<sub>smp1</sub>: ノイズ除去サンプリング・クロック周期 (TANFC2-TANFC4レジスタで設定)
3. T<sub>smp2</sub>: ノイズ除去サンプリング・クロック周期 (TTNFC0, TTNFC1レジスタで設定)

備考 上記のスペックは、有効エッジとして確実に検出されるパルス幅を示しているため、上記のスペックより小さいパルス幅を入力しても有効エッジとして検出される可能性があります。



タイマ入力タイミング



(6) CSIBタイミング

(a) マスタ・モード

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,

$V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
SCKBn周期	t <sub>KCYM</sub>	<75>	125		ns
SCKBnハイ/ロウ・レベル幅	t <sub>KWHM</sub> , t <sub>KWLM</sub>	<76>	t <sub>KCYM</sub> /2 - 10		ns
SIBnセットアップ時間 (対SCKBn)	t <sub>SSIM</sub>	<77>	30		ns
SIBnセットアップ時間 (対SCKBn)			30		ns
SIBnホールド時間 (対SCKBn)	t <sub>HSIM</sub>	<78>	30		ns
SIBnホールド時間 (対SCKBn)			30		ns
SOBn出力遅延時間 (対SCKBn)	t <sub>DSOM</sub>	<79>		30	ns
SOBn出力遅延時間 (対SCKBn)				30	ns
SOBn出力保持時間 (対SCKBn)	t <sub>HSOM</sub>	<80>		t <sub>KCYM</sub> /2 - 10	ns
SOBn出力保持時間 (対SCKBn)				t <sub>KCYM</sub> /2 - 10	ns

備考 n = 0-2

(b) スレーブ・モード

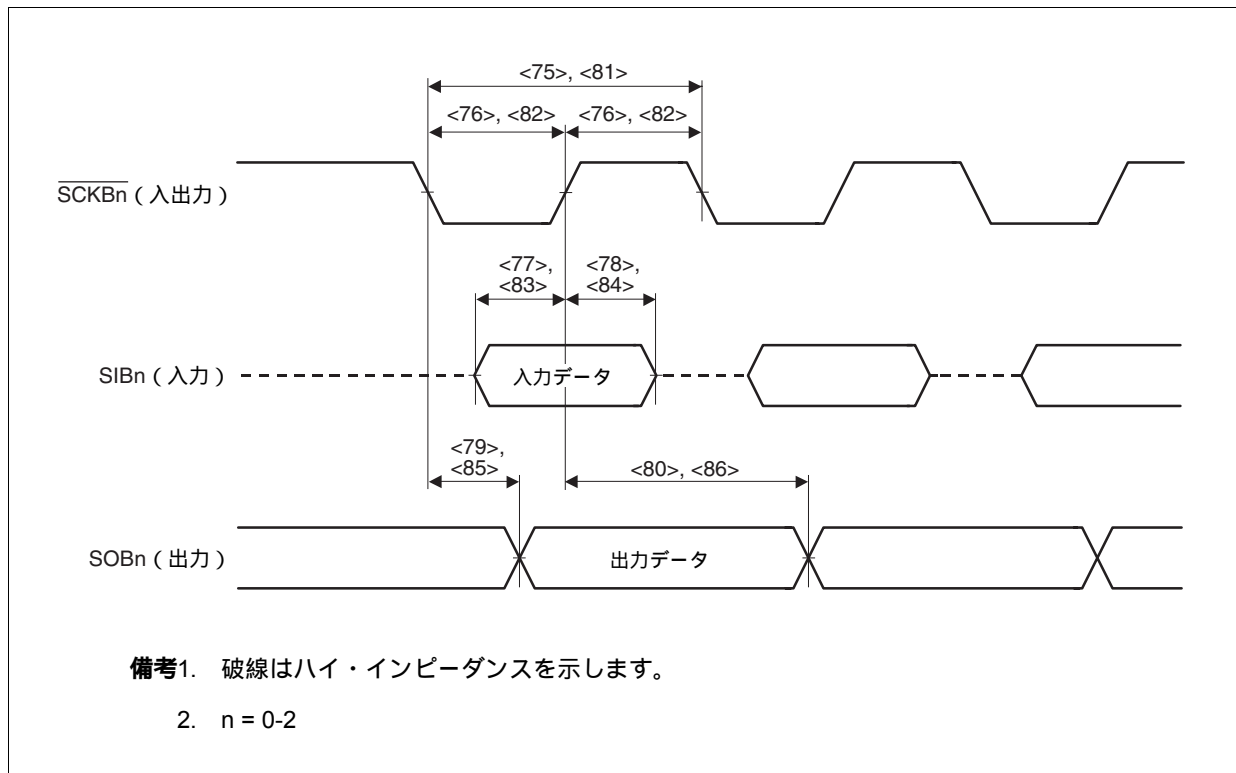
( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,

$V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

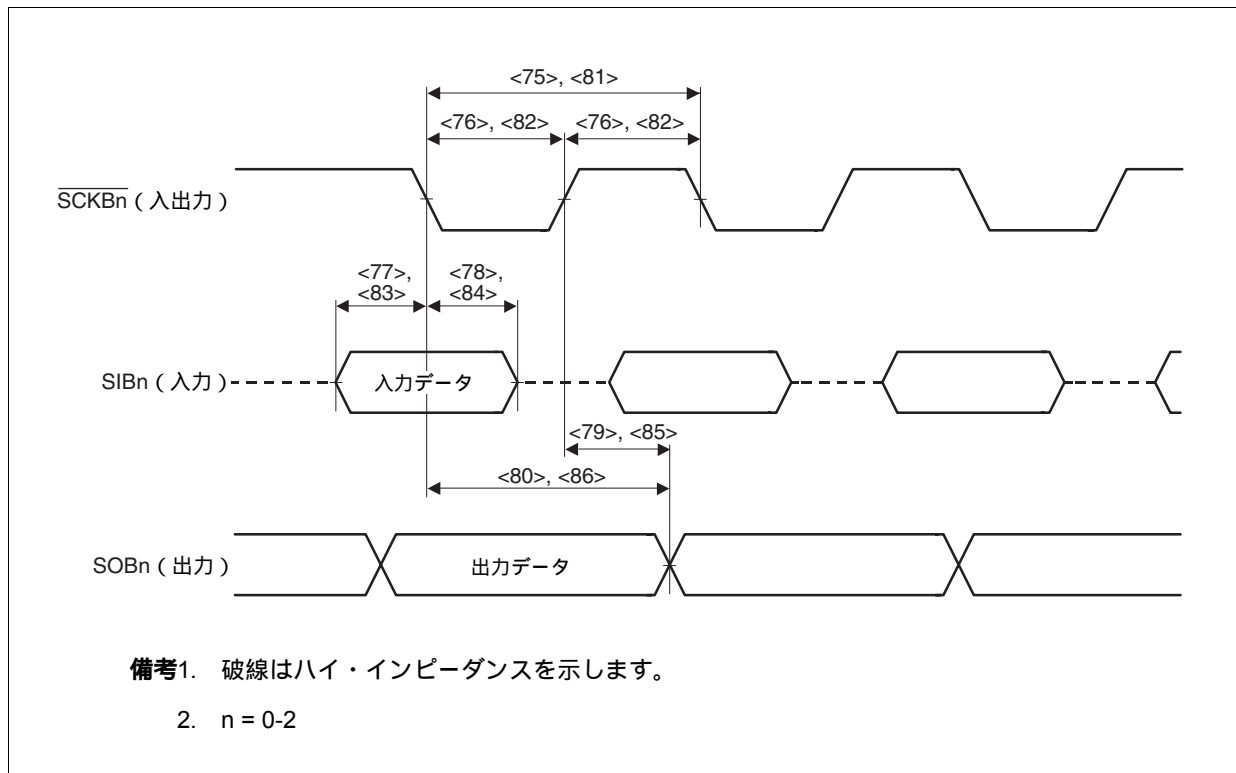
項目	略号	条件	MIN.	MAX.	単位
SCKBn周期	t <sub>KCYS</sub>	<81>	125		ns
SCKBnハイ/ロウ・レベル幅	t <sub>KWHS</sub> , t <sub>KWLS</sub>	<82>	t <sub>KCYS</sub> /2 - 10		ns
SIBnセットアップ時間 (対SCKBn)	t <sub>SSIS</sub>	<83>	30		ns
SIBnセットアップ時間 (対SCKBn)			30		ns
SIBnホールド時間 (対SCKBn)	t <sub>HSIS</sub>	<84>	30		ns
SIBnホールド時間 (対SCKBn)			30		ns
SOBn出力遅延時間 (対SCKBn)	t <sub>DSOS</sub>	<85>		30	ns
SOBn出力遅延時間 (対SCKBn)				30	ns
SOBn出力保持時間 (対SCKBn)	t <sub>HSOS</sub>	<86>		t <sub>KCYS</sub> /2 - 10	ns
SOBn出力保持時間 (対SCKBn)				t <sub>KCYS</sub> /2 - 10	ns

備考 n = 0-2

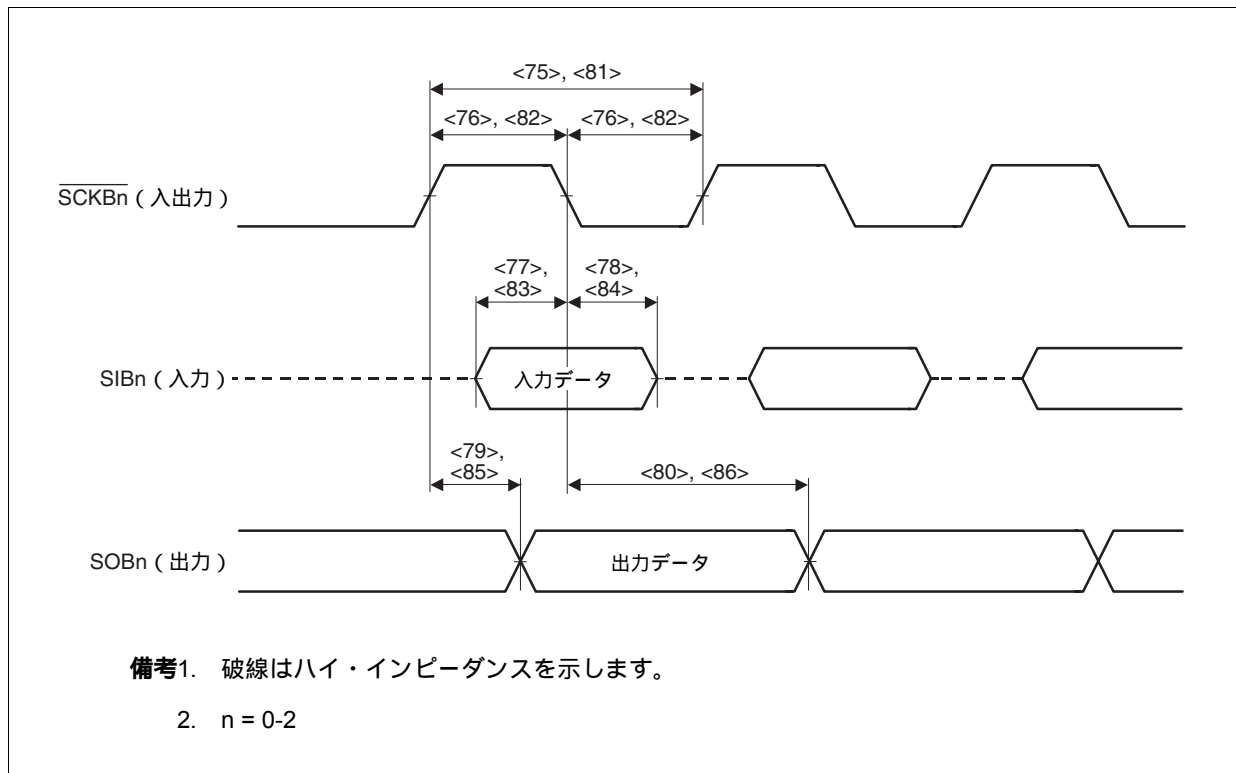
CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 00時



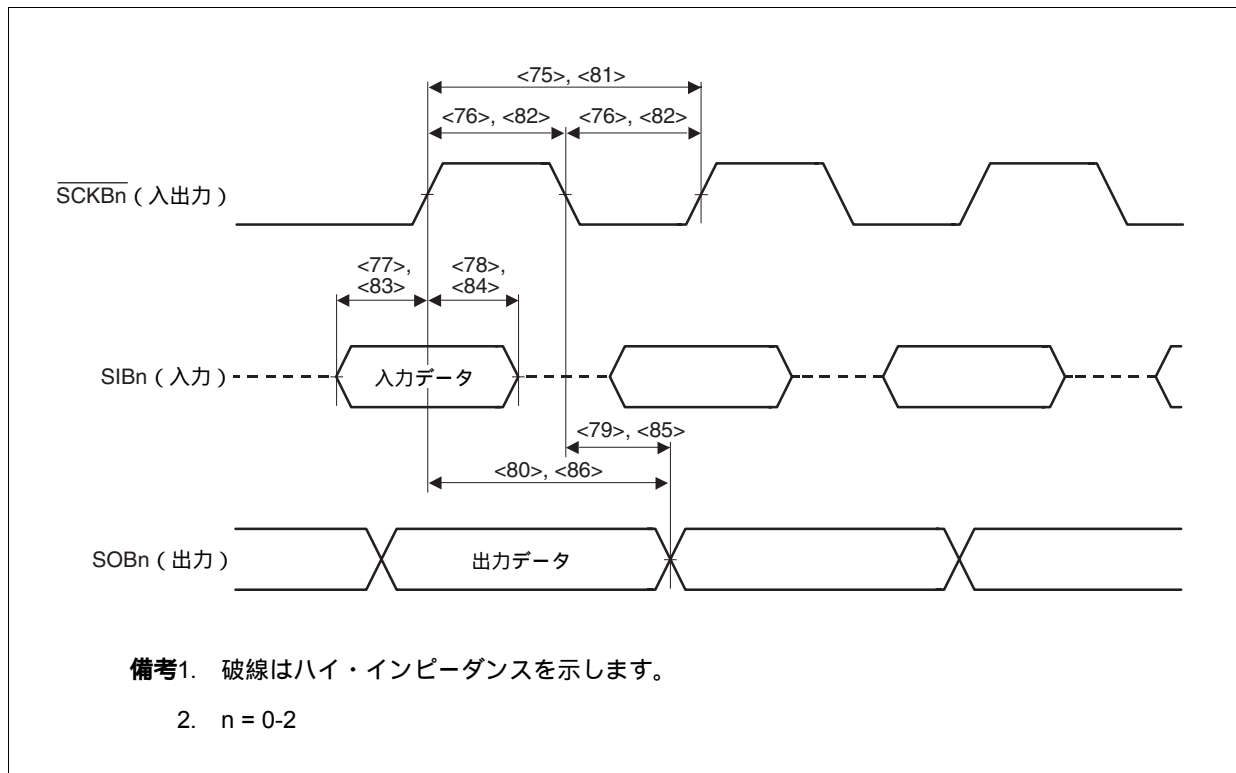
CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 01時



CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 10時



CSIBタイミング : CBnCTL1レジスタのCBnCKP, CBnDAPビット = 11時



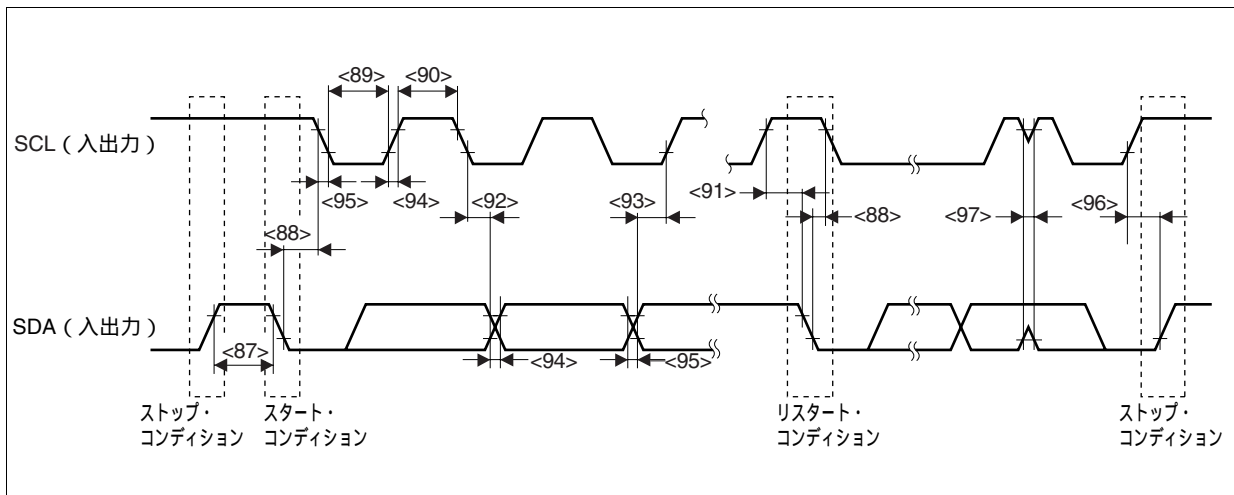
(7) I<sup>2</sup>Cバス・タイミング

(T<sub>A</sub> = -40 ~ +85 °C , V<sub>DD0</sub> = V<sub>DD1</sub> = EV<sub>DD0</sub> = EV<sub>DD1</sub> = EV<sub>DD2</sub> = AV<sub>DD0</sub> = AV<sub>DD1</sub> = AV<sub>DD2</sub> = 4.0 ~ 5.5 V , V<sub>SS0</sub> = V<sub>SS1</sub> = EV<sub>SS0</sub> = EV<sub>SS1</sub> = EV<sub>SS2</sub> = AV<sub>SS0</sub> = AV<sub>SS1</sub> = AV<sub>SS2</sub> = 0 V , C<sub>L</sub> = 50 pF )

項目	略号		標準モード		高速モード		単位	
			MIN.	MAX.	MIN.	MAX.		
SCLクロック周波数	f <sub>CLK</sub>	-	0	100	0	400	kHz	
バス・フリー・タイム (ストップ-スタート・コンディション間)	t <sub>BUF</sub>	<87>	4.7	-	1.3	-	μs	
ホールド時間 <sup>注1</sup>	t <sub>HD : STA</sub>	<88>	4.0	-	0.6	-	μs	
SCLクロックのロウ・レベル幅	t <sub>LOW</sub>	<89>	4.7	-	1.3	-	μs	
SCLクロックのハイ・レベル幅	t <sub>HIGH</sub>	<90>	4.0	-	0.6	-	μs	
スタート/リスタート・コンディションのセットアップ時間	t <sub>SU : STA</sub>	<91>	4.7	-	0.6	-	μs	
データ・ホールド時間	CBUS互換マスタ	t <sub>HD : DAT</sub>	<92>	5.0	-	-	-	μs
	I <sup>2</sup> Cモード			0 <sup>注2</sup>	-	0 <sup>注2</sup>	0.9 <sup>注3</sup>	μs
データ・セットアップ時間	t <sub>SU : DAT</sub>	<93>	250	-	100 <sup>注4</sup>	-	ns	
SDAおよびSCL信号の立ち上がり時間	t <sub>r</sub>	<94>	-	1000	20 + 0.1Cb <sup>注5</sup>	300	ns	
SDAおよびSCL信号の立ち下がり時間	t <sub>f</sub>	<95>	-	300	20 + 0.1Cb <sup>注5</sup>	300	ns	
ストップ・コンディションのセットアップ時間	t <sub>SU : STO</sub>	<96>	4.0	-	0.6	-	μs	
入力フィルタによって抑制されるスパイクのパルス幅	t <sub>SP</sub>	<97>	-	-	0	50	ns	
各バス・ラインの容量性負荷	C <sub>b</sub>	-	-	400	-	400	pF	

- 注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。
2. 装置は、SCLの立ち下がり端の未定義領域を埋めるために（SCL信号のV<sub>IHmin</sub>.での）SDA信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
3. 装置がSCL信号のロウ・ホールド時間（t<sub>LOW</sub>）を延長しない場合は、最大データ・ホールド時間（t<sub>HD : DAT</sub>）のみ満たすことが必要です。
4. 高速モードI<sup>2</sup>Cバスは、標準モードI<sup>2</sup>Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。
- ・装置がSCL信号のロウ状態ホールド時間を延長しない場合  
t<sub>SU : DAT</sub> 250 ns
  - ・装置がSCL信号のロウ状態ホールド時間を延長する場合  
SCLラインが解放される（t<sub>Rmax</sub>. + t<sub>SU : DAT</sub> = 1000 + 250 = 1250 ns : 標準モードI<sup>2</sup>Cバス仕様）前に、次のデータ・ビットをSDAラインに送出してください。
5. C<sub>b</sub> : 1つのバス・ラインの合計キャパシタンス（単位：pF）

I<sup>2</sup>Cバス・タイミング



(8) ハイ・インピーダンス制御タイミング

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
発振停止 タイマ出力ハイ・インピーダンス	t <sub>CLM</sub>	クロック・モニタ動作時		65	μs
TOBnOFF入力 タイマ出力ハイ・インピーダンス	t <sub>HToQn</sub>			300	ns
TOAmOFF入力 タイマ出力ハイ・インピーダンス	t <sub>HTPm</sub>			300	ns
ANI00/ANI05入力 タイマ出力ハイ・インピーダンス	t <sub>ANI0</sub>			10	μs
ANI10/ANI15-ANI12/ANI17入力 タイマ出力ハイ・インピーダンス	t <sub>ANI1</sub>			10	μs

備考 n = 0, 1  
 m = 2, 3

## 28.2.9 A/Dコンバータ0, 1特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = AV_{REFP0} =$

$AV_{REFP1} = 4.0 \sim 5.5 \text{ V}$ ,  $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			12	12	12	bit
総合誤差 <sup>注1</sup>					$\pm 10$	LSB
変換時間	$t_{CONV}$	$f_{AD01} = 16 \text{ MHz}$ , ADAnCTC レジスタ = 0BHまたは0CH	2.0			$\mu\text{s}$
		$f_{AD01} = 12 \text{ MHz}$ , ADAnCTCレジスタ = 00H			7.42	$\mu\text{s}$
ゼロスケール誤差 <sup>注1</sup>					$\pm 10$	LSB
フルスケール誤差 <sup>注1</sup>					$\pm 10$	LSB
積分直線性誤差 <sup>注1</sup>					$\pm 4$	LSB
微分直線性誤差 <sup>注1</sup>					$\pm 2.5$	LSB
アナログ基準電圧	$AV_{DD}$		4.0		5.5	V
アナログ入力電圧	$V_{IAN}$		$AV_{SS}$		$AV_{DD}$	V
$AV_{DD}$ 電源電流 <sup>注2</sup>	$AI_{DD}$	動作時		4.5	7.5	mA
	$AI_{DDS}$	STOPモード時 <sup>注3</sup>		3.5	17.5	$\mu\text{A}$

注1. 量子化誤差 ( $\pm 0.5 \text{ LSB}$ ) は含みません。

2. この値はA/Dコンバータ0またはA/Dコンバータ1のいずれか1回路分です。

3. STOPモードに設定する前に, A/Dコンバータ0, 1の動作を停止 ( $ADnSCM.ADnCE$ ビット = 0) してください。

備考1. LSB : Least Significant Bit

2.  $f_{AD01}$  : A/Dコンバータ0, 1の基本クロック

3.  $n = 0, 1$

## 28.2.10 A/Dコンバータ2特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 <sup>注1</sup>					$\pm 4.0$	LSB
変換時間	$t_{CONV}$		3.88		10	$\mu\text{s}$
ゼロスケール誤差 <sup>注1</sup>					$\pm 4.0$	LSB
フルスケール誤差 <sup>注1</sup>					$\pm 4.0$	LSB
積分直線性誤差 <sup>注1</sup>					$\pm 4.0$	LSB
微分直線性誤差 <sup>注1</sup>					$\pm 2.0$	LSB
アナログ基準電圧	$AV_{DD}$		4.0		5.5	V
アナログ入力電圧	$V_{IAN}$		$AV_{SS}$		$AV_{DD}$	V
AV <sub>DD</sub> 電源電流	$AI_{DD}$	動作時		3.5	7	mA
	$AI_{DDS}$	STOPモード時 <sup>注2</sup>		1	10	$\mu\text{A}$

注1. 量子化誤差 ( $\pm 0.5 \text{ LSB}$ ) は含みません。

2. STOPモードに設定する前に、A/Dコンバータ2の動作を停止 ( $AD2M0.AD2CE$ ビット = 0) してください。

備考 LSB : Least Significant Bit



### 28.2.11 オペアンプ特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	$V_{IO}$			$\pm 9.0$		mV
入力電圧範囲	$V_I$	ゲイン = 2.500	$0.04AV_{DD}$		$0.36AV_{DD}$	V
		ゲイン = 5.000	$0.02AV_{DD}$		$0.18AV_{DD}$	V
		ゲイン = 10.00	$0.01AV_{DD}$		$0.085AV_{DD}$	V
スルー・レート <sup>注1</sup>	$S_R$		10	15		V/ $\mu$ s
ゲイン誤差		注2  ゲイン = 2.500 ~ 4.444		$\pm 1.0$	$\pm 1.3$	%
		ゲイン = 5.000 ~ 6.667		$\pm 1.0$	$\pm 1.5$	%
		ゲイン = 8.000, 10.00		$\pm 1.0$	$\pm 1.7$	%
		注3  ゲイン = 2.500 ~ 4.444		$\pm 1.0$	$\pm 2.0$	%
		ゲイン = 5.000 ~ 6.667		$\pm 1.0$	$\pm 2.1$	%
		ゲイン = 8.000, 10.00		$\pm 1.0$	$\pm 2.2$	%
動作電流 <sup>注4</sup>	$I_{OPDD}$	動作時		1.8	2.6	mA
	$A_{IDDS}$	STOPモード時 <sup>注5</sup>		1.0	10	$\mu$ A

注1. 出力電圧の10% ~ 90%までの傾きの特性です。

2.  $AV_{DD0} = AV_{DD1} = 4.5 \sim 5.5 \text{ V}$

3.  $AV_{DD0} = AV_{DD1} = 4.0 \sim 5.5 \text{ V}$

4. オペアンプを合計4つ搭載しています。この値は1つあたりの動作電流です。

5. STOPモードに設定する前に、オペアンプの動作を停止 ( $OP0CTL0.OP0EN$ ビット = 0,  $OP1CTL0.OP12EN$ ,  $OP11EN$ ,  $OP10EN$ ビット = 0) してください。

備考 オペアンプの電源は、 $AV_{DD0}$ ,  $AV_{DD1}$ を使用します。

### 28. 2. 12 コンパレータ特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 4.0 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	$V_{IO}$			$\pm 3.0$		mV
入力電圧範囲	$V_I$		$AV_{SS}$		$AV_{DD}$	V
コンパレータ基準電圧 (フル・レンジ)	CREFnF		$0.02AV_{DD} + 0.1$		$0.92AV_{DD} - 0.1$	V
コンパレータ基準電圧 (ロウ・レンジ)	CREFnL		$0.02AV_{DD} + 0.1$		$0.5AV_{DD} - 0.1$	V
応答時間	$t_{CR}$	入力振幅 = 100 mV , 立ち上がり <sup>注1</sup>		1.0		$\mu\text{s}$
	$t_{CF}$	入力振幅 = 100 mV , 立ち下がり <sup>注2</sup>		1.0		$\mu\text{s}$
動作電流 <sup>注3</sup>	$I_{CPDD}$	動作時			250	$\mu\text{A}$
	$A_{IDDS}$	STOPモード時 <sup>注4</sup>		2.0	20	nA

注1. ANIm入力がコンパレータ基準電圧 - 100 mVからコンパレータ基準電圧 + 100 mVに変化する時のパルス応答特性

2. ANIm入力がコンパレータ基準電圧 + 100 mVからコンパレータ基準電圧 - 100 mVに変化する時のパルス応答特性

3. コンパレータを合計4つ搭載しています。この値は1つあたりの動作電流です。

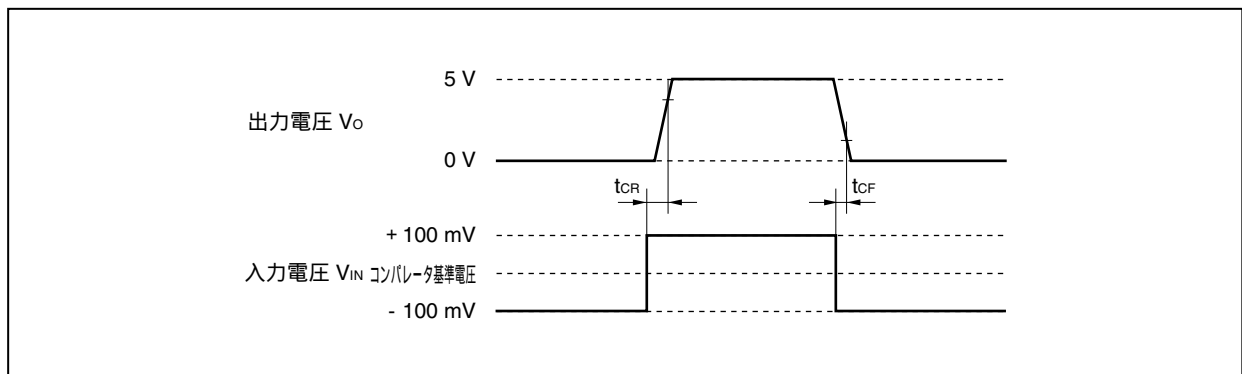
4. STOPモードに設定する前に、コンパレータの動作を停止 (CMPnCTL0レジスタ = 00H) してください。

備考1. コンパレータの電源は、 $AV_{DD0}$ ,  $AV_{DD1}$ を使用します。

2.  $m = 05, 15-17$

$n = 0, 1$

#### コンパレータ特性



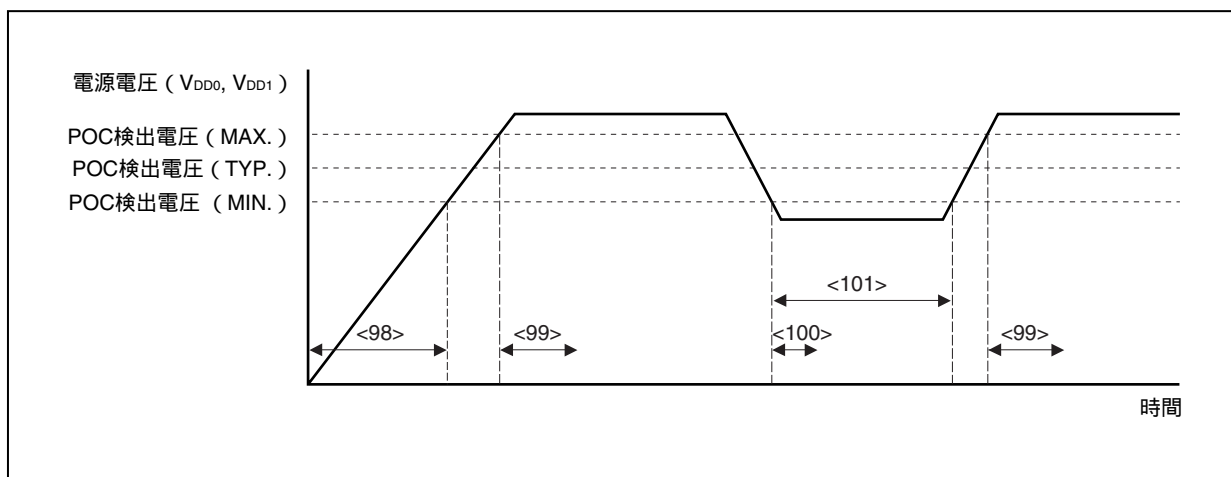
### 28. 2. 13 パワーオン・クリア回路 (POC)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
POC検出電圧	$V_{POC0}$		3.5	3.7	3.9	V
電源電圧立ち上がり時間	$t_{PTH}$	<98> $V_{DD0}, V_{DD1} = 0 \sim 3.5 \text{ V}$	$2.5 \mu\text{s}$		1.8 s	
応答時間1 <sup>注1</sup>	$t_{PTH0}$	<99> パワーオン時, $V_{DD0}, V_{DD1}$ が3.9 Vに到達後			3.0	ms
応答時間2 <sup>注2</sup>	$t_{PD}$	<100> パワーオフ時, $V_{DD0}, V_{DD1}$ が3.5 Vに落ちたあと			1.0	ms
$V_{DD0}, V_{DD1}$ 最小幅	$t_{PW}$	<101>	0.2			ms

注1. POC検出電圧を検出してからリセット信号 (POCRES) を解除するまでの時間です。

2. POC検出電圧を検出してからリセット信号 (POCRES) を発生するまでの時間です。

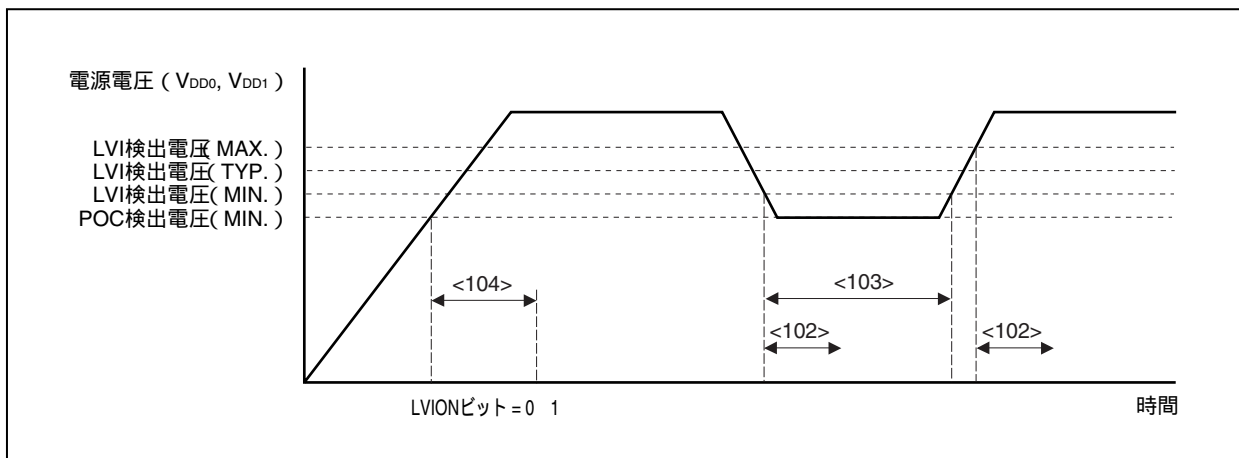


### 28. 2. 14 低電圧検出回路 (LVI)

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
LVI検出電圧	$V_{LV10}$	LVIS.LVIS0ビット = 0	4.2	4.4	4.6	V
	$V_{LV11}$	LVIS.LVIS0ビット = 1	4.0	4.2	4.4	V
応答時間 <sup>1</sup> 注	$t_{LD}$	<102> $V_{DD0}, V_{DD1}$ が $V_{LV10}/V_{LV11}$ (MAX.) に到達 後, または $V_{DD0}, V_{DD1}$ が $V_{LV10}/V_{LV11}$ (MIN.) に落ち たあと		0.2	2.0	ms
$V_{DD0}, V_{DD1}$ 最小幅	$t_{LW}$	<103>	0.2			ms
基準電圧安定待ち時間	$t_{LWAIT}$	<104> $V_{DD0}, V_{DD1}$ が POC検出電圧 (MIN.) に 到達後, および LVIM.LVIONビットを0 1に変更したあと		0.1		ms

注 LVI検出電圧を検出してから割り込み要求信号 (INTLVIL, INTLVIH) または内部リセット信号 (LVIRESET) を発生するまでの時間です。



## 28. 2. 15 フラッシュ・メモリ・プログラミング特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD0} = V_{DD1} = EV_{DD0} = EV_{DD1} = EV_{DD2} = AV_{DD0} = AV_{DD1} = AV_{DD2} = 3.5 \sim 5.5 \text{ V}$ ,  
 $V_{SS0} = V_{SS1} = EV_{SS0} = EV_{SS1} = EV_{SS2} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

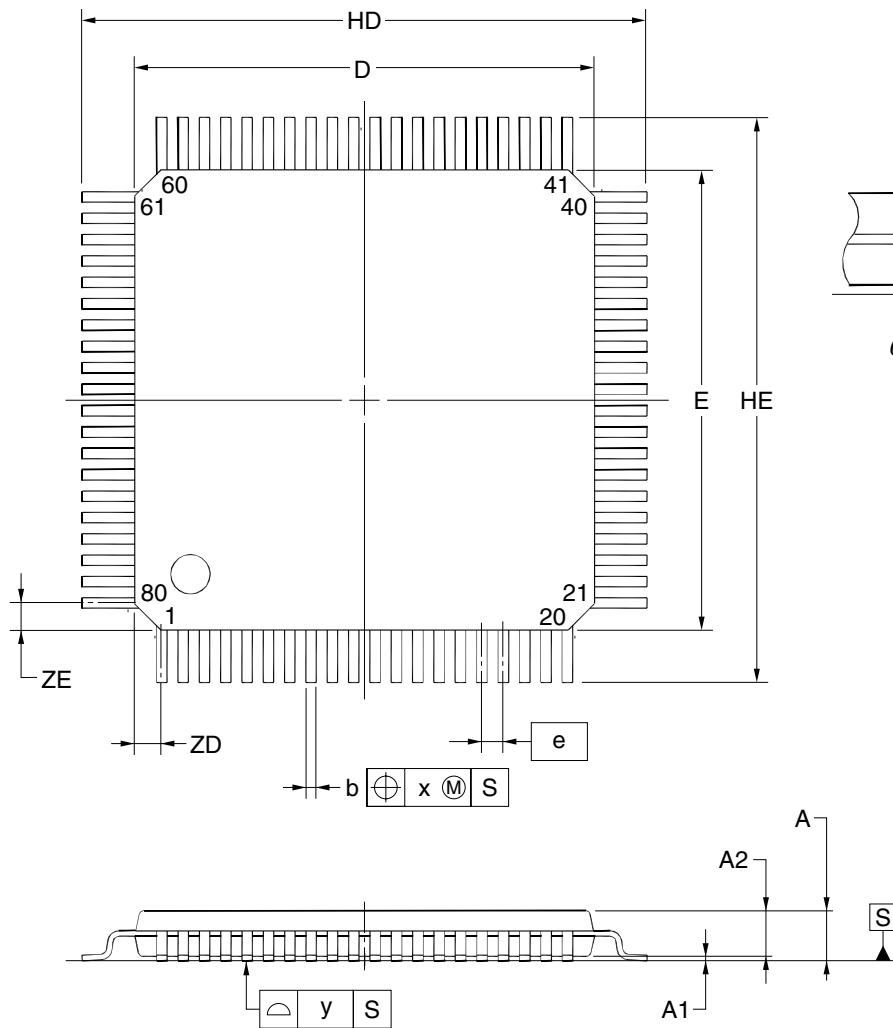
項目	略号	条件	MIN.	TYP.	MAX.	単位
書き換え回数	$C_{ERWR}$	注		100		回

注 書き換えは次の例のように行ってください。

書き換え回数3回の場合の例：出荷品 E P E P E P (P：書き込み，E：消去)

# 第29章 外形図

80ピン・プラスチック LQFP (14x14) 外形図



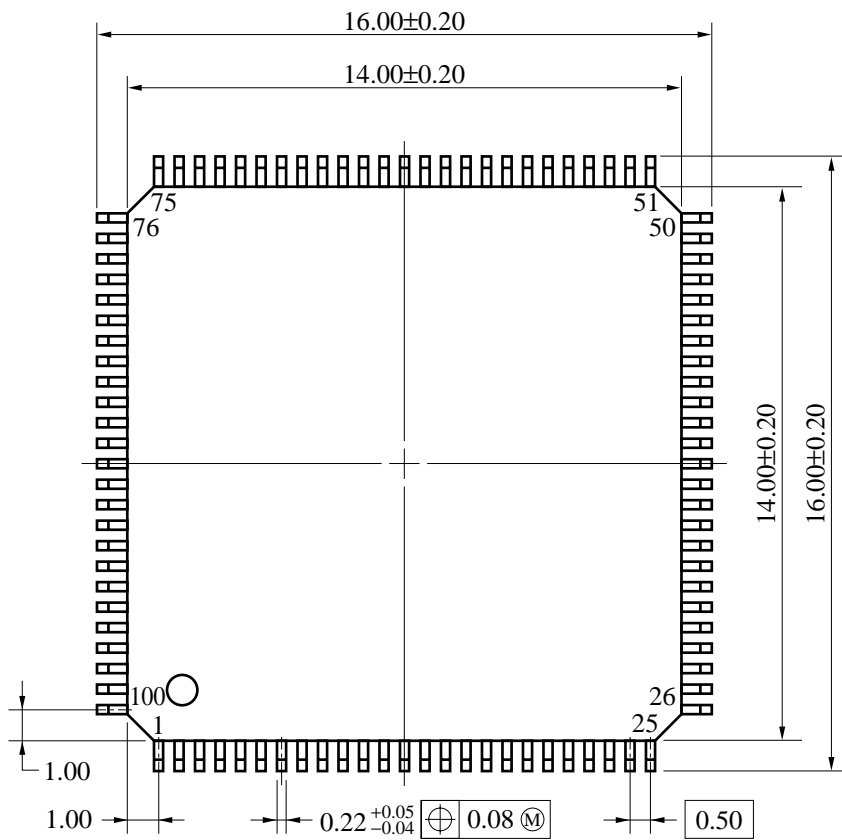
(UNIT:mm)

ITEM	DIMENSIONS
D	14.00±0.20
E	14.00±0.20
HD	17.20±0.20
HE	17.20±0.20
A	1.70 MAX.
A1	0.125±0.075
A2	1.40±0.05
A3	0.25
b	0.32±0.06
c	0.17 <sup>+0.03</sup> <sub>-0.06</sub>
L	0.80
Lp	0.886±0.15
L1	1.60±0.20
θ	3° <sup>+5°</sup> <sub>-3°</sub>
e	0.65
x	0.13
y	0.10
ZD	0.825
ZE	0.825

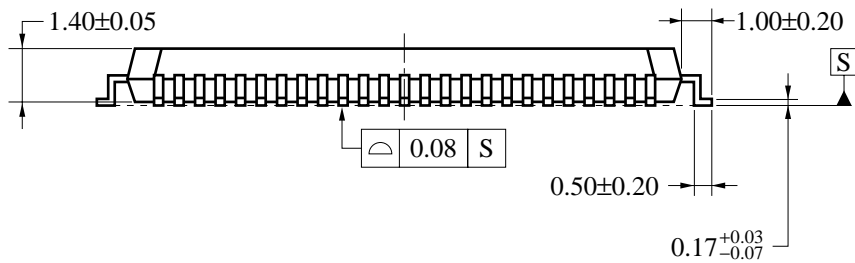
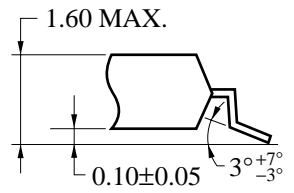
**NOTE**  
Each lead centerline is located within 0.13 mm of its true position at maximum material condition.

P80GC-65-UBT

100ピン・プラスチック LQFP (ファインピッチ)(14x14) 外形図 (単位: mm)

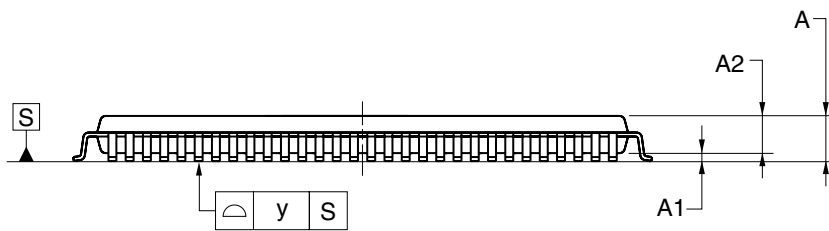
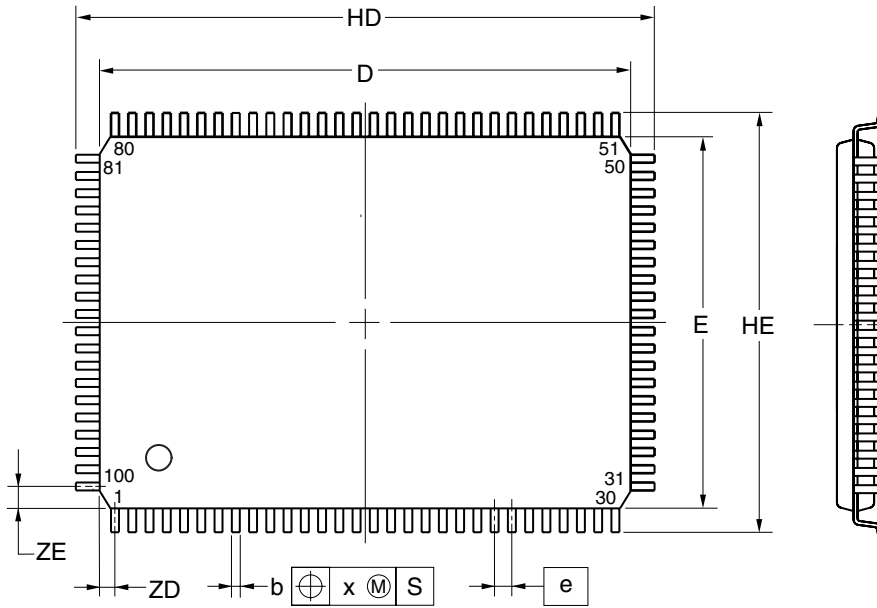


端子先端形状詳細図

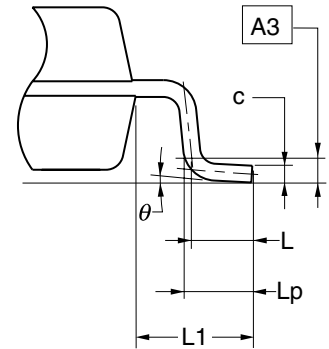


S100GC-50-8EU, 8EA-2

100-PIN PLASTIC LQFP (14x20)



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	20.00±0.20
E	14.00±0.20
HD	22.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.30 <sup>+0.08</sup> <sub>-0.04</sub>
c	0.125 <sup>+0.075</sup> <sub>-0.025</sub>
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° <sup>+5°</sup> <sub>-3°</sub>
e	0.65
x	0.13
y	0.10
ZD	0.575
ZE	0.825

P100GF-65-GAS

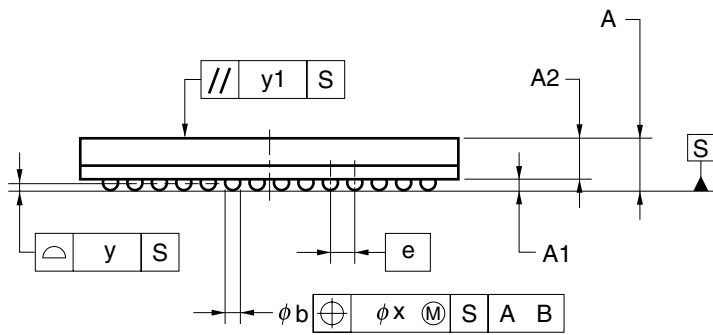
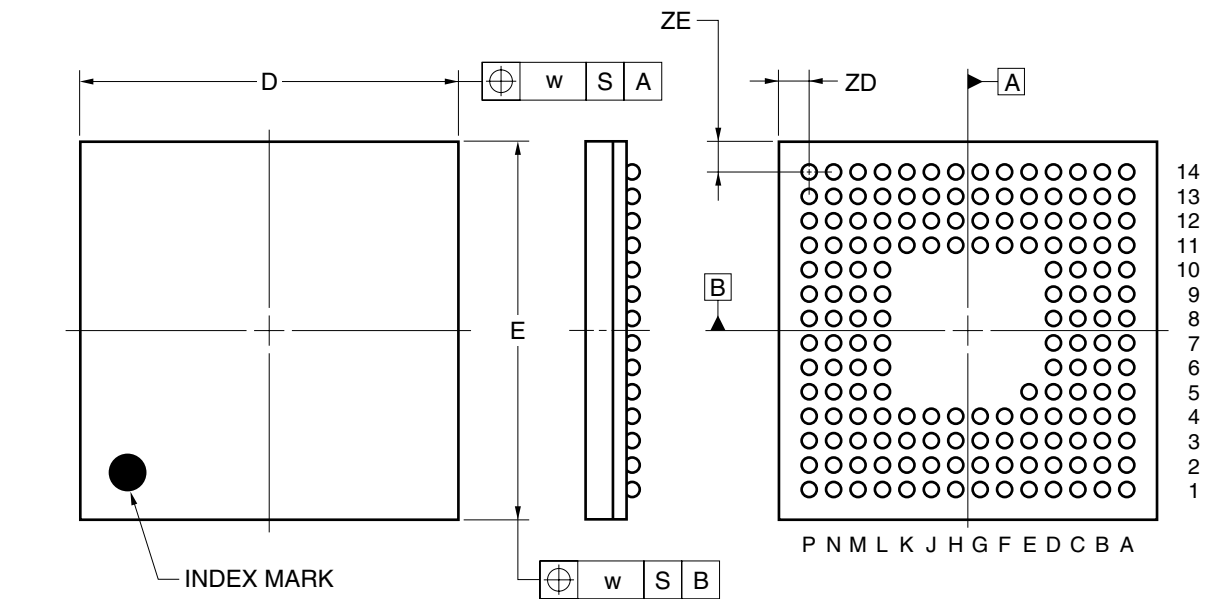
NOTE

Each lead centerline is located within 0.13 mm of its true position at maximum material condition.

© NEC Electronics Corporation 2006



161-PIN PLASTIC FBGA (10x10)



(UNIT:mm)

ITEM	DIMENSIONS
D	10.00±0.10
E	10.00±0.10
w	0.20
A	1.41±0.10
A1	0.30±0.05
A2	1.11
e	0.65
b	0.40±0.05
x	0.08
y	0.10
y1	0.20
ZD	0.775
ZE	0.775

**P161F1-65-DA9**

© NEC Electronics Corporation 2007

## 第30章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表30 - 1 表面実装タイプの半田付け条件 (1/2)

- (1)  $\mu$ PD70F3451GC-UBT-A : 80ピン・プラスチックLQFP (14 × 14)  
 $\mu$ PD70F3452GC-UBT-A : "  
 $\mu$ PD70F3453GC-8EA-A : 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)  
 $\mu$ PD70F3454GC-8EA-A : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内 制限日数：7日間 <sup>※</sup> （以降は125 プリベーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3
ウェーブ・ソルダリング	詳細については，当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライバック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

表30 - 1 表面実装タイプの半田付け条件 (2/2)

(2)  $\mu$  PD70F3453GF-GAS-AX : 100ピン・プラスチックLQFP (14×20)

$\mu$  PD70F3454GF-GAS-AX : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内 制限日数：7日間 <sup>※</sup> （以降は125 プリベーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウェーブ・ソルダリング	詳細については，当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

**注意** 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. オーダ名称末尾「-AX」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

(3)  $\mu$  PD70F3454F1-DA9-A : 161ピン・プラスチックFBGA (10×10)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内 制限日数：7日間 <sup>※</sup> （以降は125 プリベーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウェーブ・ソルダリング	詳細については，当社販売員にお問い合わせください。	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

**注意** 半田付け方式の併用はお避けください。

備考1. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

## 付録A 注意事項

### A. 1 sld命令と割り込み競合に関する制限事項

#### A. 1.1 内 容

次の命令<1>の事項が完了する前に、後続のsld命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ld命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・sld命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

< > ld.w [r11], r10	・ ・ ・	< >のld命令の実行が完了する前に、< >のsld命令の直前のmov命令< >のデコード動作と割り込み要求が競合した場合、< >のld命令の実行結果がレジスタに格納されないことがあります。
< > mov r10, r28		
< > sld.w 0x28, r10		

#### A. 1.2 回避策

##### (1) コンパイラ (CA850) 使用時

CA850はVer.2.61以降を使用してください。該当命令シーケンスの生成を自動的に抑止します。

##### (2) アセンブラでの対策

命令< >の直後にsld命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・sld命令の直前にnop命令を入れる。
- ・sld命令のディスティネーション・レジスタと同じレジスタを、sld命令の直前で実行する上記< >の命令で使用しない。

## 付録B レジスタ索引

( 1/13 )

略号	名称	ユニット	ページ
AD0CH1	A/Dコンバータ0チャンネル指定レジスタ1	ADC0	652
AD0CH2	A/Dコンバータ0チャンネル指定レジスタ2	ADC0	654
AD0CHEN	A/Dコンバータ0変換チャンネル指定レジスタ	ADC0	644
AD0CHENH	A/Dコンバータ0変換チャンネル指定レジスタH	ADC0	644
AD0CHENL	A/Dコンバータ0変換チャンネル指定レジスタL	ADC0	644
AD0CR0	A/D0変換結果レジスタ0	ADC0	646
AD0CR0H	A/D0変換結果レジスタ0H	ADC0	646
AD0CR1	A/D0変換結果レジスタ1	ADC0	646
AD0CR10	A/D0変換結果レジスタ10	ADC0	646
AD0CR10H	A/D0変換結果レジスタ10H	ADC0	646
AD0CR11	A/D0変換結果レジスタ11	ADC0	646
AD0CR11H	A/D0変換結果レジスタ11H	ADC0	646
AD0CR12	A/D0変換結果レジスタ12	ADC0	646
AD0CR12H	A/D0変換結果レジスタ12H	ADC0	646
AD0CR13	A/D0変換結果レジスタ13	ADC0	646
AD0CR13H	A/D0変換結果レジスタ13H	ADC0	646
AD0CR14	A/D0変換結果レジスタ14	ADC0	646
AD0CR14H	A/D0変換結果レジスタ14H	ADC0	646
AD0CR15	A/D0変換結果レジスタ15	ADC0	646
AD0CR15H	A/D0変換結果レジスタ15H	ADC0	646
AD0CR1H	A/D0変換結果レジスタ1H	ADC0	646
AD0CR2	A/D0変換結果レジスタ2	ADC0	646
AD0CR2H	A/D0変換結果レジスタ2H	ADC0	646
AD0CR3	A/D0変換結果レジスタ3	ADC0	646
AD0CR3H	A/D0変換結果レジスタ3H	ADC0	646
AD0CR4	A/D0変換結果レジスタ4	ADC0	646
AD0CR4H	A/D0変換結果レジスタ4H	ADC0	646
AD0CR5	A/D0変換結果レジスタ5	ADC0	646
AD0CR5H	A/D0変換結果レジスタ5H	ADC0	646
AD0CR6	A/D0変換結果レジスタ6	ADC0	646
AD0CR6H	A/D0変換結果レジスタ6H	ADC0	646
AD0CR7	A/D0変換結果レジスタ7	ADC0	646
AD0CR7H	A/D0変換結果レジスタ7H	ADC0	646
AD0CR8	A/D0変換結果レジスタ8	ADC0	646
AD0CR8H	A/D0変換結果レジスタ8H	ADC0	646
AD0CR9	A/D0変換結果レジスタ9	ADC0	646
AD0CR9H	A/D0変換結果レジスタ9H	ADC0	646
AD0CTC	A/Dコンバータ0変換時間制御レジスタ	ADC0	643
AD0CTL0	A/Dコンバータ0制御レジスタ	ADC0	650

略号	名称	ユニット	ページ
AD0ECR0	A/D0変換結果拡張レジスタ0	ADC0	656
AD0ECR0H	A/D0変換結果拡張レジスタ0H	ADC0	656
AD0ECR1	A/D0変換結果拡張レジスタ1	ADC0	656
AD0ECR1H	A/D0変換結果拡張レジスタ1H	ADC0	656
AD0ECR2	A/D0変換結果拡張レジスタ2	ADC0	656
AD0ECR2H	A/D0変換結果拡張レジスタ2H	ADC0	656
AD0ECR3	A/D0変換結果拡張レジスタ3	ADC0	656
AD0ECR3H	A/D0変換結果拡張レジスタ3H	ADC0	656
AD0ECR4	A/D0変換結果拡張レジスタ4	ADC0	656
AD0ECR4H	A/D0変換結果拡張レジスタ4H	ADC0	656
AD0FLG	A/Dコンバータ0フラグ・レジスタ	ADC0	658
AD0FLGB	A/Dコンバータ0フラグ・バッファ・レジスタ	ADC0	659
AD0IC	割り込み制御レジスタ	INTC	1025
AD0OCKS	A/Dコンバータ0クロック選択レジスタ	ADC0	661
AD0SCM	A/Dコンバータ0スキャン・モード・レジスタ	ADC0	641
AD0SCMH	A/Dコンバータ0スキャン・モード・レジスタH	ADC0	641
AD0SCML	A/Dコンバータ0スキャン・モード・レジスタL	ADC0	641
AD0TSEL	A/Dコンバータ0トリガ選択レジスタ	ADC0	651
AD1CH1	A/Dコンバータ1チャンネル指定レジスタ1	ADC1	652
AD1CH2	A/Dコンバータ1チャンネル指定レジスタ2	ADC1	654
AD1CHEN	A/Dコンバータ1変換チャンネル指定レジスタ	ADC1	644
AD1CHENH	A/Dコンバータ1変換チャンネル指定レジスタH	ADC1	644
AD1CHENL	A/Dコンバータ1変換チャンネル指定レジスタL	ADC1	644
AD1CR0	A/D1変換結果レジスタ0	ADC1	646
AD1CR0H	A/D1変換結果レジスタ0H	ADC1	646
AD1CR1	A/D1変換結果レジスタ1	ADC1	646
AD1CR10	A/D1変換結果レジスタ10	ADC1	646
AD1CR10H	A/D1変換結果レジスタ10H	ADC1	646
AD1CR11	A/D1変換結果レジスタ11	ADC1	646
AD1CR11H	A/D1変換結果レジスタ11H	ADC1	646
AD1CR12	A/D1変換結果レジスタ12	ADC1	646
AD1CR12H	A/D1変換結果レジスタ12H	ADC1	646
AD1CR13	A/D1変換結果レジスタ13	ADC1	646
AD1CR13H	A/D1変換結果レジスタ13H	ADC1	646
AD1CR14	A/D1変換結果レジスタ14	ADC1	646
AD1CR14H	A/D1変換結果レジスタ14H	ADC1	646
AD1CR15	A/D1変換結果レジスタ15	ADC1	646
AD1CR15H	A/D1変換結果レジスタ15H	ADC1	646
AD1CR1H	A/D1変換結果レジスタ1H	ADC1	646
AD1CR2	A/D1変換結果レジスタ2	ADC1	646
AD1CR2H	A/D1変換結果レジスタ2H	ADC1	646
AD1CR3	A/D1変換結果レジスタ3	ADC1	646
AD1CR3H	A/D1変換結果レジスタ3H	ADC1	646
AD1CR4	A/D1変換結果レジスタ4	ADC1	646

略号	名称	ユニット	ページ
AD1CR4H	A/D1変換結果レジスタ4H	ADC1	646
AD1CR5	A/D1変換結果レジスタ5	ADC1	646
AD1CR5H	A/D1変換結果レジスタ5H	ADC1	646
AD1CR6	A/D1変換結果レジスタ6	ADC1	646
AD1CR6H	A/D1変換結果レジスタ6H	ADC1	646
AD1CR7	A/D1変換結果レジスタ7	ADC1	646
AD1CR7H	A/D1変換結果レジスタ7H	ADC1	646
AD1CR8	A/D1変換結果レジスタ8	ADC1	646
AD1CR8H	A/D1変換結果レジスタ8H	ADC1	646
AD1CR9	A/D1変換結果レジスタ9	ADC1	646
AD1CR9H	A/D1変換結果レジスタ9H	ADC1	646
AD1CTC	A/Dコンバータ1変換時間制御レジスタ	ADC1	643
AD1CTL0	A/Dコンバータ1制御レジスタ	ADC1	650
AD1ECR0	A/D1変換結果拡張レジスタ0	ADC1	656
AD1ECR0H	A/D1変換結果拡張レジスタ0H	ADC1	656
AD1ECR1	A/D1変換結果拡張レジスタ1	ADC1	656
AD1ECR1H	A/D1変換結果拡張レジスタ1H	ADC1	656
AD1ECR2	A/D1変換結果拡張レジスタ2	ADC1	656
AD1ECR2H	A/D1変換結果拡張レジスタ2H	ADC1	656
AD1ECR3	A/D1変換結果拡張レジスタ3	ADC1	656
AD1ECR3H	A/D1変換結果拡張レジスタ3H	ADC1	656
AD1ECR4	A/D1変換結果拡張レジスタ4	ADC1	656
AD1ECR4H	A/D1変換結果拡張レジスタ4H	ADC1	656
AD1FLG	A/Dコンバータ1フラグ・レジスタ	ADC1	658
AD1FLGB	A/Dコンバータ1フラグ・バッファ・レジスタ	ADC1	659
AD1IC	割り込み制御レジスタ	INTC	1025
AD1OCKS	A/Dコンバータ1クロック選択レジスタ	ADC1	661
AD1SCM	A/Dコンバータ1スキャン・モード・レジスタ	ADC1	641
AD1SCMH	A/Dコンバータ1スキャン・モード・レジスタH	ADC1	641
AD1SCML	A/Dコンバータ1スキャン・モード・レジスタL	ADC1	641
AD1TSEL	A/Dコンバータ1トリガ選択レジスタ	ADC1	651
AD2CR0	A/D2変換結果レジスタ0	ADC2	714
AD2CR0H	A/D2変換結果レジスタ0H	ADC2	714
AD2CR1	A/D2変換結果レジスタ1	ADC2	714
AD2CR1H	A/D2変換結果レジスタ1H	ADC2	714
AD2CR2	A/D2変換結果レジスタ2	ADC2	714
AD2CR2H	A/D2変換結果レジスタ2H	ADC2	714
AD2CR3	A/D2変換結果レジスタ3	ADC2	714
AD2CR3H	A/D2変換結果レジスタ3H	ADC2	714
AD2CR4	A/D2変換結果レジスタ4	ADC2	714
AD2CR4H	A/D2変換結果レジスタ4H	ADC2	714
AD2CR5	A/D2変換結果レジスタ5	ADC2	714
AD2CR5H	A/D2変換結果レジスタ5H	ADC2	714
AD2CR6	A/D2変換結果レジスタ6	ADC2	714

略号	名称	ユニット	ページ
AD2CR6H	A/D2変換結果レジスタ6H	ADC2	714
AD2CR7	A/D2変換結果レジスタ7	ADC2	714
AD2CR7H	A/D2変換結果レジスタ7H	ADC2	714
AD2IC	割り込み制御レジスタ	INTC	1025
AD2M0	A/Dコンバータ2モード・レジスタ0	ADC2	711
AD2M1	A/Dコンバータ2モード・レジスタ1	ADC2	712
AD2S	A/Dコンバータ2チャンネル指定レジスタ	ADC2	713
ADLTS1	A/DLDRG1入力選択レジスタ	ADC0, ADC1	660
ADLTS2	A/DLDRG2入力選択レジスタ	ADC0, ADC1	660
ADT0IC	割り込み制御レジスタ	INTC	1025
ADT1IC	割り込み制御レジスタ	INTC	1025
ADTF	A/Dトリガ立ち下がりエッジ指定レジスタ	ADC0, ADC1	662, 1039
ADTR	A/Dトリガ立ち上がりエッジ指定レジスタ	ADC0, ADC1	662, 1039
AWC	アドレス・ウェイト・コントロール・レジスタ	BCU	966
BCC	バス・サイクル・コントロール・レジスタ	BCU	969
BCT0	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCU	954
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	956
CB0CTL0	CSIB0制御レジスタ0	CSIB	833
CB0CTL1	CSIB0制御レジスタ1	CSIB	836
CB0CTL2	CSIB0制御レジスタ2	CSIB	837
CB0REIC	割り込み制御レジスタ	INTC	1025
CB0RIC	割り込み制御レジスタ	INTC	1025
CB0RX	CSIB0受信データ・レジスタ	CSIB	832
CB0RXL	CSIB0受信データ・レジスタL	CSIB	832
CB0STR	CSIB0状態レジスタ	CSIB	839
CB0TIC	割り込み制御レジスタ	INTC	1025
CB0TX	CSIB0送信データ・レジスタ	CSIB	832
CB0TXL	CSIB0送信データ・レジスタL	CSIB	832
CB1CTL0	CSIB1制御レジスタ0	CSIB	833
CB1CTL1	CSIB1制御レジスタ1	CSIB	836
CB1CTL2	CSIB1制御レジスタ2	CSIB	837
CB1REIC	割り込み制御レジスタ	INTC	1025
CB1RIC	割り込み制御レジスタ	INTC	1025
CB1RX	CSIB1受信データ・レジスタ	CSIB	832
CB1RXL	CSIB1受信データ・レジスタL	CSIB	832
CB1STR	CSIB1状態レジスタ	CSIB	839
CB1TIC	割り込み制御レジスタ	INTC	1025
CB1TX	CSIB1送信データ・レジスタ	CSIB	832
CB1TXL	CSIB1送信データ・レジスタL	CSIB	832
CB2CTL0	CSIB2制御レジスタ0	CSIB	833
CB2CTL1	CSIB2制御レジスタ1	CSIB	836
CB2CTL2	CSIB2制御レジスタ2	CSIB	837
CB2REIC	割り込み制御レジスタ	INTC	1025
CB2RIC	割り込み制御レジスタ	INTC	1025



略号	名称	ユニット	ページ
CB2RX	CSIB2受信データ・レジスタ	CSIB	832
CB2RXL	CSIB2受信データ・レジスタL	CSIB	832
CB2STR	CSIB2状態レジスタ	CSIB	839
CB2TIC	割り込み制御レジスタ	INTC	1025
CB2TX	CSIB2送信データ・レジスタ	CSIB	832
CB2TXL	CSIB2送信データ・レジスタL	CSIB	832
CLM	クロック・モニタ・モード・レジスタ	CG	191
CMPOCTL0	コンパレータ0制御レジスタ0	ADC0	665
CMPOCTL1	コンパレータ0制御レジスタ1	ADC0	667
CMPOCTL2	コンパレータ0制御レジスタ2	ADC0	669
CMPOCTL3	コンパレータ0制御レジスタ3	ADC0	670
CMP1CTL0	コンパレータ1制御レジスタ0	ADC1	665
CMP1CTL1	コンパレータ1制御レジスタ1	ADC1	667
CMP1CTL2	コンパレータ1制御レジスタ2	ADC1	669
CMP1CTL3	コンパレータ1制御レジスタ3	ADC1	670
CMPIC0F	割り込み制御レジスタ	INTC	1025
CMPIC0L	割り込み制御レジスタ	INTC	1025
CMPIC1F	割り込み制御レジスタ	INTC	1025
CMPIC1L	割り込み制御レジスタ	INTC	1025
CMPNFC0F	コンパレータ出力デジタル・ノイズ除去レジスタ0F	ADC0	672
CMPNFC0L	コンパレータ出力デジタル・ノイズ除去レジスタ0L	ADC0	672
CMPNFC1F	コンパレータ出力デジタル・ノイズ除去レジスタ1F	ADC1	672
CMPNFC1L	コンパレータ出力デジタル・ノイズ除去レジスタ1L	ADC1	672
CMPOF	コンパレータ出力割り込み立ち下がりエッジ指定レジスタ	ADC0, ADC1	673
CMPOR	コンパレータ出力割り込み立ち上がりエッジ指定レジスタ	ADC0, ADC1	673
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMAC	989
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMAC	989
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMAC	989
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMAC	989
DBC0	DMA転送カウント・レジスタ0	DMAC	988
DBC1	DMA転送カウント・レジスタ1	DMAC	988
DBC2	DMA転送カウント・レジスタ2	DMAC	988
DBC3	DMA転送カウント・レジスタ3	DMAC	988
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	990
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	990
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	990
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMAC	990
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	986
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	987
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	986
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	987
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	986
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	987
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	986

略号	名称	ユニット	ページ
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	987
DMAIC0	割り込み制御レジスタ	INTC	1025
DMAIC1	割り込み制御レジスタ	INTC	1025
DMAIC2	割り込み制御レジスタ	INTC	1025
DMAIC3	割り込み制御レジスタ	INTC	1025
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	984
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	985
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	984
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	985
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	984
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	985
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	984
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	985
DTFR0	DMAトリガ要因レジスタ0	DMAC	992
DTFR1	DMAトリガ要因レジスタ1	DMAC	992
DTFR2	DMAトリガ要因レジスタ2	DMAC	992
DTFR3	DMAトリガ要因レジスタ3	DMAC	992
DVC	バス・クロック分周制御レジスタ	BCU	970
DWC0	データ・ウェイト・コントロール・レジスタ0	BCU	964
HZA0CTL0	ハイ・インピーダンス出力制御レジスタ00	タイマ	571
HZA0CTL1	ハイ・インピーダンス出力制御レジスタ01	タイマ	571
HZA1CTL0	ハイ・インピーダンス出力制御レジスタ10	タイマ	571
HZA1CTL1	ハイ・インピーダンス出力制御レジスタ11	タイマ	571
HZA2CTL0	ハイ・インピーダンス出力制御レジスタ20	タイマ	571
HZA2CTL1	ハイ・インピーダンス出力制御レジスタ21	タイマ	571
HZA3CTL0	ハイ・インピーダンス出力制御レジスタ30	タイマ	571
HZA3CTL1	ハイ・インピーダンス出力制御レジスタ31	タイマ	571
IIC0	IICシフト・レジスタ0	I <sup>2</sup> C	893
IICC0	IICコントロール・レジスタ0	I <sup>2</sup> C	881
IICCL0	IICクロック選択レジスタ0	I <sup>2</sup> C	890
IICF0	IICフラグ・レジスタ0	I <sup>2</sup> C	888
IICIC	割り込み制御レジスタ	INTC	1025
IICOCKS	IICOPSクロック選択レジスタ	I <sup>2</sup> C	891
IICS0	IIC状態レジスタ0	I <sup>2</sup> C	885
IICX0	IIC機能拡張レジスタ0	I <sup>2</sup> C	891
IMR0	割り込みマスク・レジスタ0	INTC	1030
IMR0H	割り込みマスク・レジスタ0H	INTC	1030
IMR0L	割り込みマスク・レジスタ0L	INTC	1030
IMR1	割り込みマスク・レジスタ1	INTC	1030
IMR1H	割り込みマスク・レジスタ1H	INTC	1030
IMR1L	割り込みマスク・レジスタ1L	INTC	1030
IMR2	割り込みマスク・レジスタ2	INTC	1030
IMR2H	割り込みマスク・レジスタ2H	INTC	1030
IMR2L	割り込みマスク・レジスタ2L	INTC	1030

略号	名称	ユニット	ページ
IMR3	割り込みマスク・レジスタ3	INTC	1030
IMR3H	割り込みマスク・レジスタ3H	INTC	1030
IMR3L	割り込みマスク・レジスタ3L	INTC	1030
IMR4	割り込みマスク・レジスタ4	INTC	1030
IMR4H	割り込みマスク・レジスタ4H	INTC	1030
IMR4L	割り込みマスク・レジスタ4L	INTC	1030
IMR5	割り込みマスク・レジスタ5	INTC	1030
IMR5H	割り込みマスク・レジスタ5H	INTC	1030
IMR5L	割り込みマスク・レジスタ5L	INTC	1030
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	1036
INTF1	外部割り込み立ち下がりエッジ指定レジスタ1	INTC	1037
INTF2	外部割り込み立ち下がりエッジ指定レジスタ2	INTC	1038
INTNFC14	デジタル・ノイズ除去0制御レジスタ14	ポート	177
INTNFC15	デジタル・ノイズ除去0制御レジスタ15	ポート	177
INTNFC16	デジタル・ノイズ除去0制御レジスタ16	ポート	177
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	1036
INTR1	外部割り込み立ち上がりエッジ指定レジスタ1	INTC	1037
INTR2	外部割り込み立ち上がりエッジ指定レジスタ2	INTC	1038
ISPR	インサースビス・プライオリティ・レジスタ	INTC	1033
LVIHIC	割り込み制御レジスタ	INTC	1025
LVILIC	割り込み制御レジスタ	INTC	1025
LVIM	低電圧検出レジスタ	LVI	1069
LVIS	低電圧検出レベル選択レジスタ	LVI	1070
OP0CTL0	オペアンブ0制御レジスタ0	ADC0	663
OP1CTL0	オペアンブ1制御レジスタ0	ADC0	663
OSTS	発振安定時間選択レジスタ	CG	190
P0	ポート0レジスタ	ポート	114
P1	ポート1レジスタ	ポート	120
P2	ポート2レジスタ	ポート	127
P3	ポート3レジスタ	ポート	133
P4	ポート4レジスタ	ポート	139
P7	ポート7レジスタ	ポート	145
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	187
PDL	ポートDLレジスタ	ポート	148
PDLH	ポートDLHレジスタ	ポート	148
PDLL	ポートDLLレジスタ	ポート	148
PF3	ポート3ファンクション・レジスタ	ポート	137
PFC0	ポート0ファンクション・コントロール・レジスタ	ポート	116
PFC1	ポート1ファンクション・コントロール・レジスタ	ポート	122
PFC2	ポート2ファンクション・コントロール・レジスタ	ポート	129
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	135
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	141
PFCE0	ポート0ファンクション・コントロール拡張レジスタ	ポート	116
PFCE1	ポート1ファンクション・コントロール拡張レジスタ	ポート	122

略号	名称	ユニット	ページ
PFCE2	ポート2ファンクション・コントロール拡張レジスタ	ポート	129
PFCE3	ポート3ファンクション・コントロール拡張レジスタ	ポート	135
PFCE4	ポート4ファンクション・コントロール拡張レジスタ	ポート	141
PIC00	割り込み制御レジスタ	INTC	1025
PIC01	割り込み制御レジスタ	INTC	1025
PIC02	割り込み制御レジスタ	INTC	1025
PIC03	割り込み制御レジスタ	INTC	1025
PIC04	割り込み制御レジスタ	INTC	1025
PIC05	割り込み制御レジスタ	INTC	1025
PIC06	割り込み制御レジスタ	INTC	1025
PIC07	割り込み制御レジスタ	INTC	1025
PIC08	割り込み制御レジスタ	INTC	1025
PIC09	割り込み制御レジスタ	INTC	1025
PIC10	割り込み制御レジスタ	INTC	1025
PIC11	割り込み制御レジスタ	INTC	1025
PIC12	割り込み制御レジスタ	INTC	1025
PIC13	割り込み制御レジスタ	INTC	1025
PIC14	割り込み制御レジスタ	INTC	1025
PIC15	割り込み制御レジスタ	INTC	1025
PIC16	割り込み制御レジスタ	INTC	1025
PIC17	割り込み制御レジスタ	INTC	1025
PIC18	割り込み制御レジスタ	INTC	1025
PLLCTL	PLLコントロール・レジスタ	CG	186
PM0	ポート0モード・レジスタ	ポート	114
PM1	ポート1モード・レジスタ	ポート	120
PM2	ポート2モード・レジスタ	ポート	127
PM3	ポート3モード・レジスタ	ポート	133
PM4	ポート4モード・レジスタ	ポート	139
PMC0	ポート0モード・コントロール・レジスタ	ポート	115
PMC1	ポート1モード・コントロール・レジスタ	ポート	121
PMC2	ポート2モード・コントロール・レジスタ	ポート	128
PMC3	ポート3モード・コントロール・レジスタ	ポート	134
PMC4	ポート4モード・コントロール・レジスタ	ポート	140
PMC7	ポート7モード・コントロール・レジスタ	ポート	146
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	150
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	150
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	150
PMDL	ポートDLモード・レジスタ	ポート	149
PMDLH	ポートDLモード・レジスタH	ポート	149
PMDLL	ポートDLモード・レジスタL	ポート	149
PRCMD	コマンド・レジスタ	CPU	100
PSC	パワー・セーブ・コントロール・レジスタ	CPU	188, 1054
PSMR	パワー・セーブ・モード・レジスタ	CPU	189, 1054
PU0	プルアップ抵抗オプション・レジスタ0	ポート	118

略号	名称	ユニット	ページ
PU1	ブルアップ抵抗オプション・レジスタ1	ポート	125
PU2	ブルアップ抵抗オプション・レジスタ2	ポート	131
PU3	ブルアップ抵抗オプション・レジスタ3	ポート	137
PU4	ブルアップ抵抗オプション・レジスタ4	ポート	143
PUDL	ブルアップ抵抗オプション・レジスタDL	ポート	151
PUDLH	ブルアップ抵抗オプション・レジスタDLH	ポート	151
PUDLL	ブルアップ抵抗オプション・レジスタDLL	ポート	151
RESF	リセット要因フラグ・レジスタ	リセット	1063
SVA0	スレーブ・アドレス・レジスタ0	I <sup>2</sup> C	893
SYS	システム・ステータス・レジスタ	CPU	101
TA0CCIC0	割り込み制御レジスタ	INTC	1025
TA0CCIC1	割り込み制御レジスタ	INTC	1025
TA0OVIC	割り込み制御レジスタ	INTC	1025
TA1CCIC0	割り込み制御レジスタ	INTC	1025
TA1CCIC1	割り込み制御レジスタ	INTC	1025
TA1OVIC	割り込み制御レジスタ	INTC	1025
TA2CCIC0	割り込み制御レジスタ	INTC	1025
TA2CCIC1	割り込み制御レジスタ	INTC	1025
TA2OVIC	割り込み制御レジスタ	INTC	1025
TA3CCIC0	割り込み制御レジスタ	INTC	1025
TA3CCIC1	割り込み制御レジスタ	INTC	1025
TA3OVIC	割り込み制御レジスタ	INTC	1025
TA4CCIC0	割り込み制御レジスタ	INTC	1025
TA4CCIC1	割り込み制御レジスタ	INTC	1025
TA4OVIC	割り込み制御レジスタ	INTC	1025
TAA0CCR0	TAA0キャプチャ/コンペア・レジスタ0	TAA	214
TAA0CCR1	TAA0キャプチャ/コンペア・レジスタ1	TAA	216
TAA0CNT	TAA0カウンタ・リード・バッファ・レジスタ	TAA	218
TAA0CTL0	TAA0制御レジスタ0	TAA	206
TAA0CTL1	TAA0制御レジスタ1	TAA	207
TAA0OPT0	TAA0オプション・レジスタ0	TAA	213
TAA1CCR0	TAA1キャプチャ/コンペア・レジスタ0	TAA	214
TAA1CCR1	TAA1キャプチャ/コンペア・レジスタ1	TAA	216
TAA1CNT	TAA1カウンタ・リード・バッファ・レジスタ	TAA	218
TAA1CTL0	TAA1制御レジスタ0	TAA	206
TAA1CTL1	TAA1制御レジスタ1	TAA	207
TAA1OPT0	TAA1オプション・レジスタ0	TAA	213
TAA2CCR0	TAA2キャプチャ/コンペア・レジスタ0	TAA	214
TAA2CCR1	TAA2キャプチャ/コンペア・レジスタ1	TAA	216
TAA2CNT	TAA2カウンタ・リード・バッファ・レジスタ	TAA	218
TAA2CTL0	TAA2制御レジスタ0	TAA	206
TAA2CTL1	TAA2制御レジスタ1	TAA	207
TAA2IOC0	TAA2I/O制御レジスタ0	TAA	209
TAA2IOC1	TAA2I/O制御レジスタ1	TAA	211

略号	名称	ユニット	ページ
TAA2IOC2	TAA2I/O制御レジスタ2	TAA	212
TAA2OPT0	TAA2オプション・レジスタ0	TAA	213
TAA3CCR0	TAA3キャプチャ/コンペア・レジスタ0	TAA	214
TAA3CCR1	TAA3キャプチャ/コンペア・レジスタ1	TAA	216
TAA3CNT	TAA3カウンタ・リード・バッファ・レジスタ	TAA	218
TAA3CTL0	TAA3制御レジスタ0	TAA	206
TAA3CTL1	TAA3制御レジスタ1	TAA	207
TAA3IOC0	TAA3I/O制御レジスタ0	TAA	209
TAA3IOC1	TAA3I/O制御レジスタ1	TAA	211
TAA3IOC2	TAA3I/O制御レジスタ2	TAA	212
TAA3OPT0	TAA3オプション・レジスタ0	TAA	213
TAA4CCR0	TAA4キャプチャ/コンペア・レジスタ0	TAA	214
TAA4CCR1	TAA4キャプチャ/コンペア・レジスタ1	TAA	216
TAA4CNT	TAA4カウンタ・リード・バッファ・レジスタ	TAA	218
TAA4CTL0	TAA4制御レジスタ0	TAA	206
TAA4CTL1	TAA4制御レジスタ1	TAA	207
TAA4IOC0	TAA4I/O制御レジスタ0	TAA	209
TAA4IOC1	TAA4I/O制御レジスタ1	TAA	211
TAA4IOC2	TAA4I/O制御レジスタ2	TAA	212
TAA4OPT0	TAA4オプション・レジスタ0	TAA	213
TAB0CCR0	TAB0キャプチャ/コンペア・レジスタ0	TAB	313
TAB0CCR1	TAB0キャプチャ/コンペア・レジスタ1	TAB	315
TAB0CCR2	TAB0キャプチャ/コンペア・レジスタ2	TAB	316
TAB0CCR3	TAB0キャプチャ/コンペア・レジスタ3	TAB	318
TAB0CNT	TAB0カウンタ・リード・バッファ・レジスタ	TAB	319
TAB0CTL0	TAB0制御レジスタ0	TAB	307
TAB0CTL1	TAB0制御レジスタ1	TAB	307
TAB0DTC	TAB0デッド・タイム・コンペア・レジスタ	タイマ	562
TAB0IOC0	TAB0I/O制御レジスタ0	TAB	309
TAB0IOC1	TAB0I/O制御レジスタ1	TAB	310
TAB0IOC2	TAB0I/O制御レジスタ2	TAB	311
TAB0IOC3	TAB0I/O制御レジスタ3	タイマ	568
TAB0OPT0	TAB0オプション・レジスタ0	TAB	312, 563
TAB0OPT1	TAB0オプション・レジスタ1	タイマ	564
TAB0OPT2	TAB0オプション・レジスタ2	タイマ	565
TAB0OPT3	TAB0オプション・レジスタ3	タイマ	567
TAB1CCR0	TAB1キャプチャ/コンペア・レジスタ0	TAB	313
TAB1CCR1	TAB1キャプチャ/コンペア・レジスタ1	TAB	315
TAB1CCR2	TAB1キャプチャ/コンペア・レジスタ2	TAB	316
TAB1CCR3	TAB1キャプチャ/コンペア・レジスタ3	TAB	318
TAB1CNT	TAB1カウンタ・リード・バッファ・レジスタ	TAB	319
TAB1CTL0	TAB1制御レジスタ0	TAB	307
TAB1CTL1	TAB1制御レジスタ1	TAB	307
TAB1DTC	TAB1デッド・タイム・コンペア・レジスタ	TAB	562

略号	名称	ユニット	ページ
TAB1IOC0	TAB1I/O制御レジスタ0	TAB	309
TAB1IOC1	TAB1I/O制御レジスタ1	TAB	310
TAB1IOC2	TAB1I/O制御レジスタ2	TAB	311
TAB1IOC3	TAB1I/O制御レジスタ3	TAB	568
TAB1OPT0	TAB1オプション・レジスタ0	TAB	312, 563
TAB1OPT1	TAB1オプション・レジスタ1	TAB	564
TAB1OPT2	TAB1オプション・レジスタ2	TAB	565
TAB1OPT3	TAB1オプション・レジスタ3	TAB	567
TANFC2	デジタル・ノイズ除去1制御レジスタ2	ポート	178
TANFC3	デジタル・ノイズ除去1制御レジスタ3	ポート	178
TANFC4	デジタル・ノイズ除去1制御レジスタ4	ポート	178
TB0CCIC0	割り込み制御レジスタ	INTC	1025
TB0CCIC1	割り込み制御レジスタ	INTC	1025
TB0CCIC2	割り込み制御レジスタ	INTC	1025
TB0CCIC3	割り込み制御レジスタ	INTC	1025
TB0OVIC	割り込み制御レジスタ	INTC	1025
TB1CCIC0	割り込み制御レジスタ	INTC	1025
TB1CCIC1	割り込み制御レジスタ	INTC	1025
TB1CCIC2	割り込み制御レジスタ	INTC	1025
TB1CCIC3	割り込み制御レジスタ	INTC	1025
TB1OVIC	割り込み制御レジスタ	INTC	1025
TM0CMP0	TMM0コンペア・レジスタ0	TMM	551
TM0CTL0	TMM0制御レジスタ0	TMM	552
TM0EQIC0	割り込み制御レジスタ	INTC	1025
TM1CMP0	TMM1コンペア・レジスタ0	TMM	551
TM1CTL0	TMM1制御レジスタ0	TMM	552
TM1EQIC0	割り込み制御レジスタ	INTC	1025
TM2CMP0	TMM2コンペア・レジスタ0	TMM	551
TM2CTL0	TMM2制御レジスタ0	TMM	552
TM2EQIC0	割り込み制御レジスタ	INTC	1025
TM3CMP0	TMM3コンペア・レジスタ0	TMM	551
TM3CTL0	TMM3制御レジスタ0	TMM	552
TM3EQIC0	割り込み制御レジスタ	INTC	1025
TT0CCIC0	割り込み制御レジスタ	INTC	1025
TT0CCIC1	割り込み制御レジスタ	INTC	1025
TT0CCR0	TMT0キャプチャ/コンペア・レジスタ0	TMT	433
TT0CCR1	TMT0キャプチャ/コンペア・レジスタ1	TMT	435
TT0CNT	TMT0カウンタ・リード・バッファ・レジスタ	TMT	437
TT0CTL0	TMT0制御レジスタ0	TMT	418
TT0CTL1	TMT0制御レジスタ1	TMT	419
TT0CTL2	TMT0制御レジスタ2	TMT	421
TT0IECIC	割り込み制御レジスタ	INTC	1025
TT0IOC0	TMT0I/O制御レジスタ0	TMT	423
TT0IOC1	TMT0I/O制御レジスタ1	TMT	425

略号	名称	ユニット	ページ
TT0IOC2	TMT0I/O制御レジスタ2	TMT	426
TT0IOC3	TMT0I/O制御レジスタ3	TMT	427
TT0OPT0	TMT0オプション・レジスタ0	TMT	429
TT0OPT1	TMT0オプション・レジスタ1	TMT	430
TT0OVIC	割り込み制御レジスタ	INTC	1025
TT0TCW	TMT0カウンタ・ライト・レジスタ	TMT	437
TT1CCIC0	割り込み制御レジスタ	INTC	1025
TT1CCIC1	割り込み制御レジスタ	INTC	1025
TT1CCR0	TMT1キャプチャ/コンペア・レジスタ0	TMT	433
TT1CCR1	TMT1キャプチャ/コンペア・レジスタ1	TMT	435
TT1CNT	TMT1カウンタ・リード・バッファ・レジスタ	TMT	437
TT1CTL0	TMT1制御レジスタ0	TMT	418
TT1CTL1	TMT1制御レジスタ1	TMT	419
TT1CTL2	TMT1制御レジスタ2	TMT	421
TT1ECIC	割り込み制御レジスタ	INTC	1025
TT1IOC0	TMT1I/O制御レジスタ0	TMT	423
TT1IOC1	TMT1I/O制御レジスタ1	TMT	425
TT1IOC2	TMT1I/O制御レジスタ2	TMT	426
TT1IOC3	TMT1I/O制御レジスタ3	TMT	427
TT1OPT0	TMT1オプション・レジスタ0	TMT	429
TT1OPT1	TMT1オプション・レジスタ1	TMT	430
TT1OVIC	割り込み制御レジスタ	INTC	1025
TT1TCW	TMT1カウンタ・ライト・レジスタ	TMT	437
TTISL0	TMT0キャプチャ入力選択レジスタ	TMT	432
TTISL1	TMT1キャプチャ入力選択レジスタ	TMT	432
TTNFC0	デジタル・ノイズ除去2制御レジスタ0	ポート	179
TTNFC1	デジタル・ノイズ除去2制御レジスタ1	ポート	179
UA0CTL0	UARTA0制御レジスタ0	UARTA	744
UA0CTL1	UARTA0制御レジスタ1	UARTA	761
UA0CTL2	UARTA0制御レジスタ2	UARTA	762
UA0OPT0	UARTA0オプション制御レジスタ0	UARTA	746
UA0REIC	割り込み制御レジスタ	INTC	1025
UA0RIC	割り込み制御レジスタ	INTC	1025
UA0RX	UARTA0受信データ・レジスタ	UARTA	749
UA0STR	UARTA0状態レジスタ	UARTA	747
UA0TIC	割り込み制御レジスタ	INTC	1025
UA0TX	UARTA0送信データ・レジスタ	UARTA	749
UA1CTL0	UARTA1制御レジスタ0	UARTA	744
UA1CTL1	UARTA1制御レジスタ1	UARTA	761
UA1CTL2	UARTA1制御レジスタ2	UARTA	762
UA1OPT0	UARTA1オプション制御レジスタ0	UARTA	746
UA1REIC	割り込み制御レジスタ	INTC	1025
UA1RIC	割り込み制御レジスタ	INTC	1025
UA1RX	UARTA1受信データ・レジスタ	UARTA	749



略号	名称	ユニット	ページ
UA1STR	UARTA1状態レジスタ	UARTA	747
UA1TIC	割り込み制御レジスタ	INTC	1025
UA1TX	UARTA1送信データ・レジスタ	UARTA	749
UA2CTL0	UARTA2制御レジスタ0	UARTA	744
UA2CTL1	UARTA2制御レジスタ1	UARTA	761
UA2CTL2	UARTA2制御レジスタ2	UARTA	762
UA2OPT0	UARTA2オプション制御レジスタ0	UARTA	746
UA2REIC	割り込み制御レジスタ	INTC	1025
UA2RIC	割り込み制御レジスタ	INTC	1025
UA2RX	UARTA2受信データ・レジスタ	UARTA	749
UA2STR	UARTA2状態レジスタ	UARTA	747
UA2TIC	割り込み制御レジスタ	INTC	1025
UA2TX	UARTA2送信データ・レジスタ	UARTA	749
UBCTL0	UARTB制御レジスタ0	UARTB	774
UBCTL2	UARTB制御レジスタ2	UARTB	779
UBFIC0	UARTBFIFO制御レジスタ0	UARTB	783
UBFIC1	UARTBFIFO制御レジスタ1	UARTB	785
UBFIC2	UARTBFIFO制御レジスタ2	UARTB	786
UBFIC2H	UARTBFIFO制御レジスタ2H	UARTB	786
UBFIC2L	UARTBFIFO制御レジスタ2L	UARTB	786
UBFIS0	UARTBFIFO状態レジスタ0	UARTB	788
UBFIS1	UARTBFIFO状態レジスタ1	UARTB	789
UBRX	UARTB受信データ・レジスタ	UARTB	781
UBRXAP	UARTB受信データ・レジスタAP	UARTB	781
UBSTR	UARTB状態レジスタ	UARTB	777
UBTX	UARTB送信データ・レジスタ	UARTB	780
UIFIC	割り込み制御レジスタ	INTC	1025
UREIC	割り込み制御レジスタ	INTC	1025
URIC	割り込み制御レジスタ	INTC	1025
UTIC	割り込み制御レジスタ	INTC	1025
UTOIC	割り込み制御レジスタ	INTC	1025
VSWC	システム・ウェイト・コントロール・レジスタ	BCU	102
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	626
WDTM	ウォッチドッグ・タイマ・モード・レジスタ	WDT	625

## 付録C 命令セット一覧

### C.1 凡 例

#### (1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (ソース・レジスタとして使用)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。)
reg3	汎用レジスタ (おもに除算結果の余り、乗算結果の上位32ビットを格納)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ (r3)
ep	エレメント・ポインタ (r30)
list x	x個のレジスタ・リスト

#### (2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエトの1ビット分データ (イミューディエトの上位ビットを示す)
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ
S	レジスタ・リスト中のシステム・レジスタを指定する1ビット分データ

## (3) オペレーションに使われる略号

略号	説明
	代入
GR[ ]	汎用レジスタ
SR[ ]	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果、n < 7FFFFFFFHとなった場合、n = 7FFFFFFFHとする。 nが計算の結果、n > 80000000Hとなった場合、n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

## (4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

## (5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

## (6) 条件コード

条件名 ( cond )	条件コード ( cccc )	条件式	説 明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower ( Less than )
NC/NL	1001	$CY = 0$	No carry No lower ( Greater than or equal )
Z/E	0010	$Z = 1$	Zero Equal
NZ/NE	1010	$Z = 0$	Not zero Not equal
NH	0011	$( CY \text{ or } Z ) = 1$	Not higher ( Less than or equal )
H	1011	$( CY \text{ or } Z ) = 0$	Higher ( Greater than )
N	0100	$S = 1$	Negative
P	1100	$S = 0$	Positive
T	0101	-	Always ( 無条件 )
SA	1101	$SAT = 1$	Saturated
LT	0110	$( S \text{ xor } OV ) = 1$	Less than signed
GE	1110	$( S \text{ xor } OV ) = 0$	Greater than or equal signed
LE	0111	$( ( S \text{ xor } OV ) \text{ or } Z ) = 1$	Less than or equal signed
GT	1111	$( ( S \text{ xor } OV ) \text{ or } Z ) = 0$	Greater than signed

## C.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x	
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	0	x	
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied	条件成立時	3	3	3				
			then PC PC + sign-extend (disp9)	注2	注2	注2					
			条件不成立時	1	1	1					
BSH	reg2, reg3	rrrrr1111100000 wwww01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x	
BSW	reg2, reg3	rrrrr1111100000 wwww01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x	
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr, Half-word))	5	5	5					
CLR1	bit#3, disp16[reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3	3	3				x	
	reg2, [reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3				x	
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1					
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1					
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x	
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	4	4	4	R	R	R	R	R
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	4	4	4	R	R	R	R	R
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	4	4	4					
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1					

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4					
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4					
DIV	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup>	35	35	35		x	x	x	
	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup> GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW010110000010	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup> GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
EI		1000011111100000 0000000101100000	PSW.ID 0	1	1	1					
HALT		0000011111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr11111100000 WWWWW01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x	
JARL	disp22, reg2	rrrrr11110dddddd ddddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	3	3	3					
JMP	[reg1]	00000000011RRRRR	PC GR[reg1]	4	4	4					
JR	disp22	0000011110dddddd ddddddddddddddd0 注7	PC PC + sign-extend(disp22)	3	3	3					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte) )	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte) )	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword) )	1	1	注11					
LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID] GR[reg2]	regID = PSW以外	1	1	1				
				regID = PSW	1	1	1	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword) )	1	1	注11					

モニタック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11						
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2] GR[reg1]	1	1	1						
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1						
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2						
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1						
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 <sup>16</sup> )	1	1	1						
MUL <sup>注22</sup>	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100000	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	2	2						
	imm9, reg2, reg3	rrrrr111111iiii WWWWW01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	2	2						
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] <sup>注6</sup> × GR[reg1] <sup>注6</sup>	1	1	2						
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] <sup>注6</sup> × sign-extend (imm5)	1	1	2						
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] <sup>注6</sup> × imm16	1	1	2						
MULU <sup>注22</sup>	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100010	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	2	2						
	imm9, reg2, reg3	rrrrr111111iiii WWWWW01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	2	2						
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1						
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT ( GR[reg1] )	1	1	1		0	×	×		
NOT1	bit#3, disp16[reg1]	01bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) ) Store-memory-bit (adr, bit#3, Zフラグ)	3	3	3					×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) ) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					×	
				注3	注3	注3						
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	×	×		
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	×	×		
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4						
	list12, imm5, sp/imm <sup>注15</sup>	0000011110iiiiL LLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+2 注4	n+2 注4	n+2 注4						
				注17	注17	注17						

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	4	4	4	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1] )	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5) )	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16) )	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) ) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) ) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte) )	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte) )	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword) )	1	1	注9					



二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword) )	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr111111RRRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	0000000010RRRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	0000000101RRRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0) )	1	1	1					
SXH	reg1	0000000111RRRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0) )	1	1	1					
TRAP	vector	000001111111iiii 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 例外コード (40H-4FH, 50H-5FH) PSW.EP 1 PSW.ID 1 PC 0000040H (vectorが00H-0FH (例外コード : 40H-4FH) のとき) 0000050H (vectorが10H-1FH (例外コード : 50H-5FH) のとき)	4	4	4					
TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) )	3	3	3	注3	注3	注3		x
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) )	3	3	3	注3	注3	注3		x
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	00000000100RRRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0) )	1	1	1					
ZXH	reg1	00000000110RRRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0) )	1	1	1					

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は4。
  3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
  4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ合計数。n = 0の場合, n = 1と同じ動作)
  5. RRRRR : 00000以外
  6. 下位ハーフワード・データだけ有効
  7. ddddddddddddddddddddはdisp22の上位21ビットです。
  8. ddddddddddddddddはdisp16の上位15ビットです。
  9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
  10. b : disp16のビット0
  11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
  12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
    - rrrrr = regID指定
    - RRRRR = reg2指定
  13. iiii : imm9の下位5ビット  
IIII : imm9の上位4ビット
  14. reg2 = reg3 (結果の下位32ビットがレジスタに書き込まれない), またはreg3 = r0 (結果の上位32ビットはレジスタに書き込まれない) 場合は1クロック短縮されます。
  15. sp/imm : サブオペコードのビット19, 20で指定
  16. ff = 00 : spをepにロード
    - 01 : 符号拡張した16ビット・イミディエト・データ (ビット47-32) をepにロード
    - 10 : 16ビット論理左シフトした16ビット・イミディエト・データ (ビット47-32) をepにロード
    - 11 : 32ビット・イミディエト・データ (ビット63-32) をepにロード
  17. imm = imm32の場合はn + 3クロック
  18. rrrrr : 00000以外
  19. dddddddはdisp8の上位7ビットです。
  20. ddddはdisp5の上位4ビットです。
  21. dddddddはdisp8の上位6ビットです。
  22. 「MUL reg1, reg2, reg3」命令, 「MULU reg1, reg2, reg3」命令において, 次の条件をすべて満たすレジスタの組み合わせは行わないでください。この条件に当てはまる命令を実行した場合の動作は保証しません。
    - reg1 = reg3
    - reg1 reg2
    - reg1 r0
    - reg3 r0

## 付録D 改版履歴

### D.1 本版で改訂された主な箇所

箇所	内容
p.191	5.3(6) クロック・モニタ・モード・レジスタ (CLM) 記述削除
p.579	図10 - 6 6相PWM出力モードのタイミング図 記述変更
p.597	図10 - 21 書き換え値の反映タイミング 記述変更
p.615	10.4.5(3) TAA <sub>n</sub> を同調動作させない場合について 記述変更
p.625	11.3(1) ウォッチドッグ・タイマ・モード・レジスタ (WDTM) 記述追加
p.626	11.4 動作 記述削除
p.632	図12 - 3 A/Dコンバータ0の入力レベル増幅用オペアンプと過電圧検出用コンパレータのブロック図 記述変更
p.633	図12 - 4 A/Dコンバータ1の入力レベル増幅用オペアンプと過電圧検出用コンパレータのブロック図 記述変更
p.634	図12 - 5 CMPnCTL3レジスタのセレクト回路構成 追加
p.642	12.3(1) A/Dコンバータ <sub>n</sub> スキャン・モード・レジスタ (ADnSCM) 記述変更
p.663, 664	12.3(16) オペアンプ制御レジスタ0 (OPnCTL0) 記述追加
p.666	12.3(17) コンパレータ <sub>n</sub> 制御レジスタ0 (CMPnCTL0) 記述変更
p.697	12.5 内部等価回路 記述変更
p.734	図13 - 12 アナログ入力端子の処理 記述変更
p.831	図16 - 4 CSIB <sub>n</sub> のブロック図 図変更
p.934	17.15(4) I <sup>2</sup> Cの動作開始時および動作停止時の設定手順 記述変更
p.967	18.6.3 プログラマブル・ウェイトと外部ウェイトの関係 記述追加
p.967, 968	図18 - 1 ウェイト挿入例 記述変更
p.1006	19.12(3) CPUへのバス・アービトレーション 記述追加
p.1063, 1064	22.2(1) リセット要因フラグ・レジスタ (RESF) 記述変更
p.1067	22.3(3) 低電圧検出回路 (LVI) によるリセット動作 (LVIRES) 記述削除
p.1067	22.3(4) パワーオン・クリア回路 (POC) によるリセット動作 (POCRES) 記述削除
p.1069	23.3(1) 低電圧検出レジスタ (LVIM) 記述変更
p.1071	23.4.1 内部リセット信号として使用する場合 記述変更
p.1073	23.4.2 割り込みとして使用する場合 記述変更
p.1085	26.1.4 注意事項 記述変更
p.1097	26.3.2 設定方法 記述変更
p.1099	27.2 メモリ構成 追加
p.1100	27.3 機能概要 記述追加
p.1121-1123, 1125	27.9 セルフ・プログラミングによる書き換え 記述変更
p.1183	第29章 外形図 記述変更

## D.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/2)

版数	前版までの改版内容	適用箇所
第2版	<ul style="list-style-type: none"> <li>・製品を追加 μ PD70F3454F1-DA9-A</li> <li>・パッケージを追加 161ピン・プラスチックFBGA (10×10)</li> <li>・フラッシュ・メモリ・プログラマ追加 PG-FP5, FL-PR5</li> </ul>	全般
	1.3.4 端子接続図 (V850E/IG3) 注の記述追加	第1章 イン트로ダクション
	3.2.2 (2) NMI時状態退避レジスタ (FEPC, FEPSW) 記述変更	第3章 CPU機能
	表4-15 ノイズ除去回路 (1/2) 注意1, 2記述変更	第4章 ポート機能
	表4-15 ノイズ除去回路 (2/2) 注意1, 2記述変更	
	4.6 (1) デジタル・ノイズ除去0制御レジスタ <sub>n</sub> (INTNFC <sub>n</sub> ) 注を追加	
	6.6 (1) (a) カウント開始動作 記述変更	
	図6-19 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2) 注意2を追加	第6章 16ビット・タイマ/イベント・カウンタAA (TAA)
	図6-24 外部トリガ・パルス出力モードの構成図 記述変更, 注意追加	
	図6-26 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2) 記述変更	
	図6-26 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2) 記述変更	
	図6-28 ワンショット・パルス出力モードの構成図 記述変更, 注意追加	
	図6-30 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2) 記述変更	
	図6-30 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2) 記述変更, 注意追加	
	図6-31 ワンショット・パルス出力モード使用時のソフトウェア処理フロー 記述追加	
	図6-42 パルス幅測定モードの構成図 記述変更, 注意追加	
	図6-44 パルス幅測定モード動作時のレジスタ設定内容 (1/2) 記述変更	
	図6-44 パルス幅測定モード動作時のレジスタ設定内容 (2/2) 記述変更	
	図6-45 カウント動作開始フロー 記述変更	
	7.6 (1) (a) カウント開始動作 記述変更	
	図7-26 ワンショット・パルス出力モード動作時のレジスタ設定内容 (3/3) 注意追加	
	8.6 (1) (a) カウント開始動作 記述変更	第8章 16ビット・タイマ/イベント・カウンタT (TMT)
	図8-16 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2) 注意追加	
	8.6.2 (2) 外部イベント・カウント・モード動作タイミング 注意追加	
	図8-27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2) 注意追加	
	図8-28 ワンショット・パルス出力モード使用時のソフトウェア処理フロー 図変更	
	8.6.8 (1) 0% / 100%のPWM出力 追加	
	10.3 (2) TAB <sub>n</sub> オプション・レジスタ1 (TAB <sub>n</sub> OPT1) 記述変更, 注追加	第10章 モータ制御機能

版数	前版までの改版内容	適用箇所
第2版	12. 3 (20) コンパレータ出力デジタル・ノイズ除去レジスタnL, nF (CMPNFCnL, CMPNFCnF) 記述変更	第12章 A/Dコンバータ0, 1
	12. 6. 8 A/D変換のヒステリシス特性 記述変更	
	13. 3 (2) A/Dコンバータ2モード・レジスタ1 (AD2M1) 注意の記述変更	第13章 A/Dコンバータ2
	13. 7 (11) A/D変換のヒステリシス特性 記述追加	
	図14 - 4 UARTAnのブロック図 記述変更	第14章 アシクロナス・シリアル・インタフェースA (UARTA)
	図14 - 8 連続送信動作のタイミング 記述変更	
	図17 - 21 (a) スタート・コンディション~アドレス 図変更	第17章 I <sup>2</sup> Cバス
	図17 - 21 (b) データ 図変更	
	図17 - 21 (c) ストップ・コンディション 図変更	
	図17 - 22 (a) スタート・コンディション~アドレス 図変更	
	図17 - 22 (b) データ 図変更	
	図17 - 22 (c) ストップ・コンディション 図変更	
	19. 3. 6 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) 注意1を記述変更	第19章 DMA機能 (DMAコントローラ)
	表19 - 1 DMA起動要因 (1/2) 注の記述変更	
	19. 12 (3) CPUへのバス・アービトレーション 記述変更	
	19. 12 (4) DMAの起動要因 追加	
	20. 3. 4 割り込み制御レジスタ (xxICn) 注意2を記述変更	第20章 割り込み / 例外処理機能
	26. 3. 2 設定方法 記述削除	第26章 オンチップ・デバッグ機能
	28. 1. 4 (i) 村田製作所:セラミック発振子 (T <sub>A</sub> = -40 ~ +85 ) 追加	第28章 電気的特性
	28. 2. 4 (i) 村田製作所:セラミック発振子 (T <sub>A</sub> = -40 ~ +85 ) (μ PD70F3454F1-DA9-A以外の製品) 追加	
28. 2. 8 (4) (b) リード・サイクル (CLKOUT同期) 注意追加		
28. 2. 8 (4) (d) ライト・サイクル (CLKOUT同期) 注意追加		
第30章 半田付け推奨条件 記述追加	第30章 半田付け推奨条件	
付録D 改版履歴 追加	付録D 改版履歴	

【発行】NECエレクトロニクス株式会社 ( <http://www.necel.co.jp/> )

【問い合わせ先】 <http://www.necel.com/contact/ja/>