

## V850E/SJ3-H, V850E/SK3-H

## ユーザーズマニュアル ハードウェア編

## ルネサスマイクロコンピュータ

## V850E/Sx3-H マイクロコントローラ

## V850E/SJ3-H :

μPD70F3474A	μPD70F3475A	μPD70F3476A
μPD70F3477A	μPD70F3478A	μPD70F3479A
μPD70F3931B	μPD70F3932B	μPD70F3933B
μPD70F3934B	μPD70F3935B	μPD70F3936B
μPD70F3937B	μPD70F3938B	μPD70F3939B

## V850E/SK3-H :

μPD70F3480A	μPD70F3481A	μPD70F3482A
μPD70F3486A	μPD70F3487A	μPD70F3488A
μPD70F3925A	μPD70F3926A	μPD70F3927A

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

# このマニュアルの使い方

- 対象者** このマニュアルは、V850E/SJ3-H, V850E/SK3-Hの機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850E/SJ3-H, V850E/SK3-Hのユーザーズ・マニュアルは、ハードウェア編(このマニュアル)と、アーキテクチャ編(V850E1 ユーザーズ・マニュアル アーキテクチャ編)の2冊に分かれています。

## ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

## アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

**注意1.** このマニュアルの使用例は、一般電子機器用の『標準』品質水準品用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部品および回路について、その品質水準についてご検討のうえご使用ください。

**2.** 特別品のマニュアルとして使用する場合には、次のように読み替えてください。

- ・ $\mu$  PD70F347nA →  $\mu$  PD70F347nA(A)または $\mu$  PD70F347nA(A9)
- ・ $\mu$  PD70F348mA →  $\mu$  PD70F348mA(A)または $\mu$  PD70F348mA(A9)
- ・ $\mu$  PD70F392aA →  $\mu$  PD70F392aA(A)または $\mu$  PD70F392aA(A9)
- ・ $\mu$  PD70F393bB →  $\mu$  PD70F393bB(A)または $\mu$  PD70F393bB(A9)

**備考** n = 4-9 m = 0-2, 6-8 a = 5-7 b = 1-9

一通りV850E/SJ3-H, V850E/SK3-Hの機能を理解しようとするとき  
目次に従ってお読みください。

レジスタ名がわかっていて、レジスタの詳細を確認するとき  
**付録B レジスタ索引**を利用してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

命令機能の詳細を理解しようとするとき

別冊のV850E1 **ユーザーズ・マニュアル アーキテクチャ編**を参照してください。

V850E/SJ3-H, V850E/SK3-Hの電気的特性を知りたいとき

**第35章 電気的特性 (A)品** , **第36章 電気的特性 (A9)品** を参照してください。

このマニュアルでは、「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ/アセンブラは正しく認識できませんので、注意してください。

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この“ ”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

- 凡 例**
- データ表記の重み：左が上位桁，右が下位桁
  - アクティブ・ロウの表記：xxx (端子，信号名称に上線)
  - メモリ・マップのアドレス：上部 - 上位，下部 - 下位
  - 注：本文中に付けた注の説明
  - 注意：気を付けて読んでいただきたい内容
  - 備考：本文の補足説明
  - 数の表記：2進数 ... xxxxまたはxxxxB
    - 10進数 ... xxxx
    - 16進数 ... xxxxH
  - 2のべき数を示す接頭語 (アドレス空間，メモリ容量)：
    - K (キロ) :  $2^{10} = 1024$
    - M (メガ) :  $2^{20} = 1024^2$
    - G (ギガ) :  $2^{30} = 1024^3$

**関連資料** 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

**V850E/SJ3-H, V850E/SK3-Hに関する資料**

資料名	資料番号
V850E1 ユーザーズ・マニュアル アーキテクチャ編	U14559J
V850E/SJ3-H, V850E/SK3-H ユーザーズ・マニュアル ハードウェア編	このマニュアル

**開発ツールに関する資料(ユーザーズ・マニュアル)**

資料名	資料番号	
IE-V850E1-CD-NW (PCMCIA カード型オンチップ・デバッグ・エミュレータ)	U16647J	
QB-V850ESX3H (インサーキット・エミュレータ)	作成中	
QB-V850MINI, QB-V850MINIL (オンチップ・デバッグ・エミュレータ)	U17638J	
QB-MINI2 (プログラミング機能付きオンチップ・デバッグ・エミュレータ)	U18371J	
QB-Programmer プログラミングGUI	操作編	U18527J
CA850 Ver.3.20 Cコンパイラ・パッケージ	操作編	U18512J
	C言語編	U18513J
	アセンブリ言語編	U18514J
	リンク・ディレクティブ編	U18515J
PM+ Ver.6.30 プロジェクト・マネージャ		U18416J
ID850QB Ver.3.40 統合デバッガ	操作編	U18604J
TW850 Ver.2.00 性能解析チューニング・ツール		U17241J
RX850 Ver.3.20 リアルタイムOS	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro Ver.3.21 リアルタイムOS	基礎編	U18165J
	内部構造編	U18164J
	タスク・デバッガ編	U17422J
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ		U17423J
PG-FP5 フラッシュ・メモリ・プログラマ		R20UT0008J

## その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ 総合カタログ	R01CS0001J	R01CS0001E
半導体パッケージ実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注 「半導体パッケージ実装マニュアル」のホーム・ページ参照

<http://japan.renesas.com/products/package/manual/index.jsp>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

注意：本製品は、Silicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROM, IEBus, Inter Equipment Bus, IECUBE, MINICUBEは、ルネサス エレクトロニクス株式会社の登録商標です。

Windows, Windows XP, およびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

PC/ATは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

# 目 次

<b>第1章</b>	<b>イントロダクション</b>	... 23
1.1	概 説	... 23
1.2	特 徴	... 27
1.3	応用分野	... 29
1.4	オーダ情報	... 30
1.4.1	V850E/SJ3-H	... 30
1.4.2	V850E/SK3-H	... 31
1.5	端子接続図 (Top View)	... 31
1.5.1	V850E/SJ3-H	... 31
1.5.2	V850E/SK3-H	... 34
1.6	機能ブロック構成	... 38
1.6.1	内部ブロック図	... 38
1.6.2	内部ユニット	... 42
<b>第2章</b>	<b>端子機能</b>	... 47
2.1	端子機能一覧	... 47
2.2	兼用機能のポート・シェア	... 65
2.3	端子状態	... 70
2.4	端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理	... 71
2.5	注意事項	... 78
<b>第3章</b>	<b>CPU機能</b>	... 79
3.1	特 徴	... 79
3.2	CPUレジスタ・セット	... 80
3.2.1	プログラム・レジスタ・セット	... 81
3.2.2	システム・レジスタ・セット	... 82
3.3	動作モード	... 89
3.3.1	動作モード指定	... 89
3.4	アドレス空間	... 90
3.4.1	CPUアドレス空間	... 90
3.4.2	CPUアドレス空間のラップ・アラウンド	... 91
3.4.3	メモリ・マップ	... 92
3.4.4	領 域	... 96
3.4.5	アドレス空間の推奨使用方法	... 105
3.4.6	周辺I/Oレジスタ	... 109
3.4.7	プログラマブル周辺I/Oレジスタ	... 128
3.4.8	特定レジスタ	... 129
3.4.9	注意事項	... 133



## 第4章 ポート機能 ... 138

- 4.1 特 徴 ... 138
  - 4.1.1 V850E/SJ3-H ... 138
  - 4.1.2 V850E/SK3-H ... 138
- 4.2 ポートの基本構成 ... 139
  - 4.2.1 V850E/SJ3-H ... 139
  - 4.2.2 V850E/SK3-H ... 140
- 4.3 ポートの構成 ... 141
  - 4.3.1 ポート0 ... 146
  - 4.3.2 ポート1 ... 150
  - 4.3.3 ポート2 (V850E/SK3-Hのみ) ... 151
  - 4.3.4 ポート3 ... 153
  - 4.3.5 ポート4 ... 162
  - 4.3.6 ポート5 ... 166
  - 4.3.7 ポート6 ... 172
  - 4.3.8 ポート7 ... 180
  - 4.3.9 ポート8 ... 182
  - 4.3.10 ポート9 ... 187
  - 4.3.11 ポート13 (V850E/SK3-Hのみ) ... 195
  - 4.3.12 ポート14 (V850E/SK3-Hのみ) ... 196
  - 4.3.13 ポート15 (V850E/SK3-Hのみ) ... 197
  - 4.3.14 ポートCD ... 199
  - 4.3.15 ポートCM ... 201
  - 4.3.16 ポートCS ... 203
  - 4.3.17 ポートCT ... 205
  - 4.3.18 ポートDH ... 207
  - 4.3.19 ポートDL ... 209
- 4.4 ブロック図 ... 212
- 4.5 兼用機能使用時のポートのレジスタ設定 ... 273
- 4.6 注意事項 ... 287
  - 4.6.1 ポート端子設定上の注意事項 ... 287
  - 4.6.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項 ... 290
  - 4.6.3 オンチップ・デバッグ用端子に関する注意事項 ... 291
  - 4.6.4 P05/INTP2/DRST端子に関する注意事項 ... 291
  - 4.6.5 P53端子に関する電源投入時の注意事項 ... 291
  - 4.6.6 ヒステリシス特性について ... 291
  - 4.6.7 セパレート・バス・モード時の注意事項 ... 292
  - 4.6.8 ポートnレジスタ (Pn : n = 3-5, 8) のリード時の注意事項 (V850E/SJ3-Hのみ) ... 292
  - 4.6.9 ポートnモード・コントロール・レジスタ (PMCn : n = 3-5, 8) の設定に関する注意事項 ... 292

## 第5章 バス制御機能 ... 293

- 5.1 特 徴 ... 293
- 5.2 バス制御端子 ... 294
  - 5.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/O, 拡張内蔵RAMアクセス時の端子状態 ... 295
  - 5.2.2 各動作モードの端子状態 ... 295
- 5.3 メモリ・ブロック機能 ... 296

5.3.1	チップ・セレクト制御機能	...	299
5.4	外部バス・インタフェース・モード制御機能	...	304
5.5	バス・アクセス	...	305
5.5.1	アクセス・クロック数	...	305
5.5.2	バス・サイズ設定機能	...	306
5.5.3	バス・サイズによるアクセス	...	307
5.6	ウェイト機能	...	314
5.6.1	プログラマブル・ウェイト機能	...	314
5.6.2	外部ウェイト機能	...	317
5.6.3	プログラマブル・ウェイトと外部ウェイトの関係	...	318
5.6.4	プログラマブル・アドレス・ウェイト機能	...	319
5.7	アイドル・ステート挿入機能	...	321
5.8	バス・ホールド機能	...	322
5.8.1	機能概要	...	322
5.8.2	バス・ホールド手順	...	323
5.8.3	パワー・セーブ・モード時の動作	...	323
5.9	バスの優先順位	...	324
5.10	バス・タイミング	...	325

## 第6章 クロック発生機能 ... 331

6.1	概 要	...	331
6.2	クロック・モード	...	332
6.2.1	クロック・モード1	...	335
6.2.2	クロック・モード2	...	338
6.2.3	クロック・モード3	...	342
6.2.4	クロック・モード4	...	346
6.2.5	クロック・モードの設定	...	349
6.3	レジスタ	...	350
6.4	動 作	...	360
6.4.1	各クロックの動作	...	360
6.4.2	クロック出力機能	...	361
6.4.3	クロック・モード1使用時のクロック発生機能の設定手順	...	362
6.4.4	クロック・モード2-4使用時のクロック発生機能の設定手順	...	365

## 第7章 16ビット・タイマ/イベント・カウンタP (TMP) ... 369

7.1	概 要	...	369
7.1.1	TMP0-TMP6	...	369
7.1.2	TMP7, TMP8	...	369
7.2	機 能	...	370
7.2.1	TMP0-TMP6	...	370
7.2.2	TMP7, TMP8	...	370
7.3	構 成	...	371
7.3.1	TMP0-TMP6	...	371
7.3.2	TMP7, TMP8	...	374
7.4	レジスタ	...	377
7.5	タイマ出力動作説明	...	400
7.6	動 作	...	401

7.6.1	インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000)	...	411
7.6.2	外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001)	...	423
7.6.3	外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット = 010)	...	432
7.6.4	ワンショット・パルス出力モード (TPnMD2-TPnMD0ビット = 011)	...	444
7.6.5	PWM出力モード (TPnMD2-TPnMD0ビット = 100)	...	451
7.6.6	フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101)	...	460
7.6.7	パルス幅測定モード (TPnMD2-TPnMD0ビット = 110)	...	478
7.6.8	エンコーダ・カウント機能 (TMP7, TMP8のみ)	...	484
7.6.9	エンコーダ・コンペア・モード (TPnMD3-TPnMD0ビット = 1000)	...	498
7.7	セレクト機能	...	506
7.8	注意事項	...	509

## 第8章 16ビット・タイマ/イベント・カウンタQ (TMQ) ... 510

8.1	概要	...	510
8.2	機能	...	510
8.3	構成	...	511
8.4	レジスタ	...	514
8.5	タイマ出力動作説明	...	529
8.6	動作	...	530
8.6.1	インターバル・タイマ・モード (TQ0MD2-TQ0MD0ビット = 000)	...	538
8.6.2	外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット = 001)	...	549
8.6.3	外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0ビット = 010)	...	559
8.6.4	ワンショット・パルス出力モード (TQ0MD2-TQ0MD0ビット = 011)	...	572
8.6.5	PWM出力モード (TQ0MD2-TQ0MD0ビット = 100)	...	581
8.6.6	フリー・ランニング・タイマ・モード (TQ0MD2-TQ0MD0ビット = 101)	...	592
8.6.7	パルス幅測定モード (TQ0MD2-TQ0MD0ビット = 110)	...	613
8.7	セレクト機能	...	618
8.8	注意事項	...	619

## 第9章 16ビット・インターバル・タイマM (TMM) ... 620

9.1	概要	...	620
9.2	構成	...	621
9.3	レジスタ	...	624
9.4	動作	...	625
9.4.1	インターバル・タイマ・モード	...	625
9.4.2	注意事項	...	629

## 第10章 時計機能 ... 631

10.1	概要	...	631
10.2	構成	...	632
10.3	プリスケアラ3	...	633
10.3.1	機能	...	633
10.3.2	構成	...	633
10.3.3	レジスタ	...	634
10.4	時計タイマ機能	...	636
10.4.1	機能	...	636

10.4.2	構 成	...	637
10.4.3	レジスタ	...	639
10.4.4	動 作	...	641
10.5	リアルタイム・カウンタ (RTC)	...	645
10.5.1	機 能	...	645
10.5.2	構 成	...	646
10.5.3	レジスタ	...	649
10.5.4	動 作	...	662
<b>第11章</b>	<b>ウォッチドッグ・タイマ2機能</b>	...	674
11.1	機 能	...	674
11.2	構 成	...	675
11.3	レジスタ	...	676
11.4	動 作	...	679
<b>第12章</b>	<b>リアルタイム出力機能 (RTO)</b>	...	681
12.1	機 能	...	681
12.2	構 成	...	682
12.3	レジスタ	...	684
12.4	動 作	...	686
12.5	使用方法	...	688
12.6	注意事項	...	690
<b>第13章</b>	<b>A/Dコンバータ</b>	...	691
13.1	概 要	...	691
13.2	機 能	...	691
13.3	構 成	...	692
13.4	レジスタ	...	695
13.5	動 作	...	706
13.5.1	基本動作	...	706
13.5.2	変換動作タイミング	...	707
13.5.3	トリガ・モード	...	708
13.5.4	動作モード	...	710
13.5.5	パワー・フェイル比較モード	...	714
13.6	注意事項	...	719
13.7	A/Dコンバータ特性表の読み方	...	724
<b>第14章</b>	<b>D/Aコンバータ</b>	...	728
14.1	機 能	...	728
14.2	構 成	...	728
14.3	レジスタ	...	729
14.4	動 作	...	731
14.4.1	通常モード時の動作	...	731
14.4.2	リアルタイム出力モード時の動作	...	731
14.4.3	使用上の注意点	...	733

## 第15章 アシクロナス・シリアル・インタフェースA (UARTA) ... 734

- 15.1 UARTA0-UARTA5のポート設定 ... 734
  - 15.1.1 V850E/SJ3-Hの場合 ... 734
  - 15.1.2 V850E/SK3-Hの場合 ... 736
- 15.2 特 徴 ... 738
- 15.3 構 成 ... 739
- 15.4 レジスタ ... 742
- 15.5 割り込み要求信 ... 749
- 15.6 動 作 ... 750
  - 15.6.1 データ・フォーマット ... 750
  - 15.6.2 SBF送信/受信フォーマット ... 752
  - 15.6.3 SBF送信 ... 754
  - 15.6.4 SBF受信 ... 755
  - 15.6.5 UART送信 ... 757
  - 15.6.6 連続送信の手順説明 ... 758
  - 15.6.7 UART受信 ... 760
  - 15.6.8 受信エラー ... 762
  - 15.6.9 パリティの種類と動作 ... 764
  - 15.6.10 受信データのノイズ・フィルタ ... 765
- 15.7 専用ポー・レート・ジェネレータ ... 766
- 15.8 注意事項 ... 777

## 第16章 アシクロナス・シリアル・インタフェースB (UARTB) ... 779

- 16.1 特 徴 ... 779
- 16.2 構 成 ... 780
- 16.3 制御レジスタ ... 784
- 16.4 割り込み要求信号 ... 804
- 16.5 制御方法 ... 807
- 16.6 動 作 ... 810
  - 16.6.1 データ・フォーマット ... 810
  - 16.6.2 送信動作 ... 811
  - 16.6.3 連続送信動作 ... 814
  - 16.6.4 受信動作 ... 815
  - 16.6.5 受信エラー ... 818
  - 16.6.6 パリティの種類と動作 ... 819
  - 16.6.7 受信データのノイズ・フィルタ ... 820
- 16.7 専用ポー・レート・ジェネレータ (BRG) ... 822
- 16.8 制御フロー ... 828
- 16.9 注意事項 ... 837

## 第17章 3線式可変長シリアル/O B (CSIB) ... 839

- 17.1 CSIB0-CSIB5のポート設定 ... 839
  - 17.1.1 V850E/SJ3-Hの場合 ... 839
  - 17.1.2 V850E/SK3-Hの場合 ... 841
- 17.2 特 徴 ... 843
- 17.3 構 成 ... 844

17.4	レジスタ	...	847
17.5	割り込み要求信号	...	855
17.6	動作	...	856
17.6.1	シングル転送モード(マスタ・モード,送信モード)	...	856
17.6.2	シングル転送モード(マスタ・モード,受信モード)	...	859
17.6.3	シングル転送モード(マスタ・モード,送受信モード)	...	862
17.6.4	シングル転送モード(スレーブ・モード,送信モード)	...	865
17.6.5	シングル転送モード(スレーブ・モード,受信モード)	...	867
17.6.6	シングル転送モード(スレーブ・モード,送受信モード)	...	869
17.6.7	連続転送モード(マスタ・モード,送信モード)	...	871
17.6.8	連続転送モード(マスタ・モード,受信モード)	...	874
17.6.9	連続転送モード(マスタ・モード,送受信モード)	...	877
17.6.10	連続転送モード(スレーブ・モード,送信モード)	...	881
17.6.11	連続転送モード(スレーブ・モード,受信モード)	...	883
17.6.12	連続転送モード(スレーブ・モード,送受信モード)	...	886
17.6.13	受信エラー	...	890
17.6.14	クロック・タイミング	...	891
17.7	出力端子	...	893
17.8	ポー・レート・ジェネレータ	...	894
17.8.1	ポー・レートの生成	...	896
17.9	注意事項	...	897

## 第18章 3線式可変長シリアルI/O E (CSIE) ... 898

18.1	CSIE0, CSIE1のポート設定	...	898
18.1.1	V850E/SJ3-H ( $\mu$ PD70F3931B, 70F3932B, 70F3933B以外)の場合	...	898
18.1.2	V850E/SK3-Hの場合	...	899
18.2	特徴	...	900
18.3	構成	...	901
18.4	制御レジスタ	...	905
18.5	専用ポー・レート・ジェネレータn (BRGn)	...	915
18.6	動作	...	917
18.7	使用方法	...	938
18.8	注意事項	...	945

## 第19章 I<sup>2</sup>Cバス ... 946

19.1	I <sup>2</sup> C00-I <sup>2</sup> C05のポート設定	...	947
19.1.1	V850E/SJ3-Hの場合	...	947
19.1.2	V850E/SK3-Hの場合	...	949
19.2	特徴	...	951
19.3	構成	...	952
19.4	レジスタ	...	956
19.5	I <sup>2</sup> Cバス・モードの機能	...	974
19.5.1	端子構成	...	974
19.6	I <sup>2</sup> Cバスの定義および制御方法	...	975
19.6.1	スタート・コンディション	...	976
19.6.2	アドレス	...	977
19.6.3	転送方向指定	...	978

19.6.4	アクリッジ ( $\overline{ACK}$ )	...	979
19.6.5	ストップ・コンディション	...	980
19.6.6	ウェイト	...	981
19.6.7	ウェイト解除方法	...	983
19.7	<b>I<sup>2</sup>C割り込み要求信号 (INTIICn)</b>	...	984
19.7.1	マスタ動作	...	985
19.7.2	スレーブ動作 (スレーブ・アドレス受信時 (アドレス一致))	...	988
19.7.3	スレーブ動作 (拡張コード受信時)	...	992
19.7.4	通信不参加の動作	...	996
19.7.5	アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作)	...	997
19.7.6	アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)	...	999
19.8	<b>割り込み要求信号 (INTIICn) 発生タイミングおよびウェイト制御</b>	...	1006
19.9	<b>アドレスの一致検出方法</b>	...	1007
19.10	<b>エラーの検出</b>	...	1007
19.11	<b>拡張コード</b>	...	1008
19.12	<b>アービトレーション</b>	...	1009
19.13	<b>ウェイク・アップ機能</b>	...	1010
19.14	<b>通信予約</b>	...	1011
19.14.1	通信予約機能許可の場合 (IICFn.IICRSVnビット = 0)	...	1011
19.14.2	通信予約機能禁止の場合 (IICFn.IICRSVnビット = 1)	...	1015
19.15	<b>注意事項</b>	...	1016
19.16	<b>通信動作</b>	...	1018
19.16.1	シングルマスタ・システムでのマスタ動作	...	1019
19.16.2	マルチマスタ・システムでのマスタ動作	...	1020
19.16.3	スレーブ動作	...	1023
19.17	<b>データ通信のタイミング</b>	...	1027

## 第20章 IEBusコントローラ ... 1034

20.1	<b>機能</b>	...	1034
20.1.1	IEBusの通信プロトコル	...	1034
20.1.2	バス占有権の決定 (アービトレーション)	...	1035
20.1.3	通信モード	...	1035
20.1.4	通信アドレス	...	1036
20.1.5	同報通信	...	1036
20.1.6	IEBusの伝送フォーマット	...	1037
20.1.7	伝送データ	...	1047
20.1.8	ビット・フォーマット	...	1050
20.2	<b>構成</b>	...	1051
20.3	<b>レジスタ</b>	...	1053
20.4	<b>IEBusコントローラの割り込み動作</b>	...	1085
20.4.1	割り込み制御部	...	1085
20.4.2	割り込み判定例	...	1088
20.4.3	割り込み要因一覧	...	1091
20.4.4	通信エラー要因処理一覧	...	1092
20.5	<b>割り込み要求信号発生タイミングおよび主なCPU処理内容</b>	...	1094
20.5.1	マスタ送信	...	1094

20.5.2	マスタ受信	...	1096
20.5.3	スレーブ送信	...	1098
20.5.4	スレーブ受信	...	1100
20.5.5	IEBus制御用割り込み要求信号発生間隔	...	1102
20.6	<b>注意事項</b>	...	1106

## 第21章 CANコントローラ ... 1107

21.1	<b>概要</b>	...	1107
21.1.1	特徴	...	1107
21.1.2	機能概要	...	1108
21.1.3	構成	...	1109
21.2	<b>CANプロトコル</b>	...	1111
21.2.1	フレーム・フォーマット	...	1112
21.2.2	フレーム・タイプ	...	1112
21.2.3	データ・フレーム/リモート・フレーム	...	1113
21.2.4	エラー・フレーム	...	1121
21.2.5	オーバロード・フレーム	...	1122
21.3	<b>機能</b>	...	1123
21.3.1	バス・プライオリティの決定	...	1123
21.3.2	ビット・スタッフ	...	1123
21.3.3	マルチマスタ	...	1123
21.3.4	マルチキャスト	...	1124
21.3.5	CANスリープ・モード/CANストップ・モード機能	...	1124
21.3.6	エラー制御機能	...	1124
21.3.7	ポー・レート制御機能	...	1130
21.4	<b>ターゲット・システムとの接続</b>	...	1135
21.5	<b>CANコントローラの内部レジスタ</b>	...	1136
21.5.1	CANコントローラの構成	...	1136
21.5.2	レジスタ・アクセス・タイプ	...	1137
21.5.3	レジスタのビット構成	...	1171
21.6	<b>レジスタ</b>	...	1175
21.7	<b>ビットのセット/クリア機能</b>	...	1211
21.8	<b>CANコントローラの初期化処理</b>	...	1213
21.8.1	CANモジュールの初期化	...	1213
21.8.2	メッセージ・バッファの初期化	...	1213
21.8.3	メッセージ・バッファの再定義	...	1214
21.8.4	動作モードへの移行	...	1216
21.8.5	CANモジュールのエラー・カウンタCnERCのリセット	...	1217
21.9	<b>メッセージ受信</b>	...	1218
21.9.1	メッセージ受信	...	1218
21.9.2	受信データの読み出し	...	1219
21.9.3	受信ヒストリ・リスト機能	...	1220
21.9.4	マスク機能	...	1222
21.9.5	マルチ・バッファ受信ブロック機能	...	1223
21.9.6	リモート・フレーム受信	...	1225
21.10	<b>メッセージ送信</b>	...	1226
21.10.1	メッセージ送信	...	1226
21.10.2	送信ヒストリ・リスト機能	...	1228



21. 10. 3	自動ブロック送信機能 ( ABT : Automatic Block Transmission )	...	1230
21. 10. 4	送信中断処理	...	1231
21. 10. 5	リモート・フレーム送信	...	1232
21. 11	<b>パワー・セーブ・モード</b>	...	1233
21. 11. 1	CANスリープ・モード	...	1233
21. 11. 2	CANストップ・モード	...	1236
21. 11. 3	パワー・セーブ・モード使用例	...	1237
21. 12	<b>割り込み機能</b>	...	1238
21. 13	<b>診断機能と特殊動作モード</b>	...	1239
21. 13. 1	受信オンリー・モード	...	1239
21. 13. 2	シングル・ショット・モード	...	1240
21. 13. 3	セルフ・テスト・モード	...	1241
21. 13. 4	各動作モードにおける送受信動作	...	1242
21. 14	<b>タイム・スタンプ機能</b>	...	1243
21. 14. 1	タイム・スタンプ機能	...	1243
21. 15	<b>ボー・レート設定について</b>	...	1244
21. 15. 1	ビット・レート設定について	...	1244
21. 15. 2	代表的なボー・レート設定例	...	1248
21. 16	<b>CANコントローラの動作</b>	...	1252

## 第22章 DMA機能 (DMAコントローラ) ... 1278

22. 1	<b>特 徴</b>	...	1278
22. 2	<b>構 成</b>	...	1279
22. 3	<b>レジスタ</b>	...	1280
22. 4	<b>転送対象</b>	...	1289
22. 5	<b>転送モード</b>	...	1289
22. 6	<b>転送タイプ</b>	...	1290
22. 7	<b>DMAチャンネルの優先順位</b>	...	1291
22. 8	<b>DMA転送に関する各種時間</b>	...	1292
22. 9	<b>DMA転送起動要因</b>	...	1293
22. 10	<b>DMAの中断要因</b>	...	1294
22. 11	<b>DMA転送の終了</b>	...	1294
22. 12	<b>動作タイミング</b>	...	1294
22. 13	<b>注意事項</b>	...	1299

## 第23章 CRC機能 ... 1302

23. 1	<b>機 能</b>	...	1302
23. 2	<b>構 成</b>	...	1302
23. 3	<b>レジスタ</b>	...	1303
23. 4	<b>動 作</b>	...	1304
23. 5	<b>使用方法</b>	...	1305

## 第24章 割り込み / 例外処理機能 ... 1307

24. 1	<b>特 徴</b>	...	1307
24. 2	<b>ノンマスカブル割り込み</b>	...	1313
24. 2. 1	動 作	...	1316
24. 2. 2	復 帰	...	1317

24.2.3	NPフラグ	...	1318
24.3	<b>マスカブル割り込み</b>	...	1319
24.3.1	動作	...	1319
24.3.2	復帰	...	1321
24.3.3	マスカブル割り込みの優先順位	...	1322
24.3.4	割り込み制御レジスタ (xxICn)	...	1326
24.3.5	割り込みマスク・レジスタ0-6, 7L (IMR0-IMR6, IMR7L)	...	1330
24.3.6	インサースビス・プライオリティ・レジスタ (ISPR)	...	1333
24.3.7	IDフラグ	...	1334
24.3.8	ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)	...	1334
24.4	<b>ソフトウェア例外</b>	...	1335
24.4.1	動作	...	1335
24.4.2	復帰	...	1336
24.4.3	EPフラグ	...	1337
24.5	<b>例外トラップ</b>	...	1338
24.5.1	不正命令コード	...	1338
24.5.2	デバッグ・トラップ	...	1340
24.6	<b>外部割り込み要求入力端子 (NMI, INTP0-INTP9)</b>	...	1342
24.6.1	ノイズ除去	...	1342
24.6.2	エッジ検出	...	1342
24.7	CPUの割り込み応答時間	...	1354
24.8	CPUが割り込みを受け付けない期間	...	1356
24.9	注意事項	...	1356

## 第25章 キー割り込み機能 ... 1357

25.1	機能	...	1357
25.2	レジスタ	...	1358
25.3	注意事項	...	1359

## 第26章 スタンバイ機能 ... 1360

26.1	概要	...	1360
26.2	レジスタ	...	1361
26.3	<b>HALTモード</b>	...	1365
26.3.1	設定および動作状態	...	1365
26.3.2	HALTモードの解除	...	1365
26.4	<b>IDLE1モード</b>	...	1367
26.4.1	設定および動作状態	...	1367
26.4.2	IDLE1モードの解除	...	1367
26.5	<b>IDLE2モード</b>	...	1370
26.5.1	設定および動作状態	...	1370
26.5.2	IDLE2モードの解除	...	1371
26.5.3	IDLE2モード解除時のセットアップ時間の確保	...	1373
26.6	<b>STOPモード</b>	...	1374
26.6.1	設定および動作状態	...	1374
26.6.2	STOPモードの解除	...	1374
26.6.3	STOPモード解除時の発振安定時間の確保	...	1377
26.7	<b>サブクロック動作モード</b>	...	1378

26.7.1	設定および動作状態	...	1378
26.7.2	サブクロック動作モードの解除	...	1379
26.8	<b>サブIDLEモード</b>	...	1382
26.8.1	設定および動作状態	...	1382
26.8.2	サブIDLEモードの解除	...	1383
26.9	<b>状態遷移図</b>	...	1386
<b>第27章</b>	<b>リセット機能</b>	...	1390
27.1	<b>概要</b>	...	1390
27.2	<b>リセット要因を確認するレジスタ</b>	...	1391
27.3	<b>動作</b>	...	1392
27.3.1	RESET端子によるリセット動作	...	1392
27.3.2	ウォッチドッグ・タイマ2によるリセット動作 (WDT2RES)	...	1394
27.3.3	低電圧検出回路によるリセット動作 (LVIRES)	...	1396
27.3.4	クロック・モニタによるリセット動作 (CLMRES)	...	1397
27.3.5	リセット解除後の動作	...	1399
27.3.6	リセット機能の動作フロー	...	1400
<b>第28章</b>	<b>クロック・モニタ</b>	...	1401
28.1	<b>機能</b>	...	1401
28.2	<b>構成</b>	...	1402
28.3	<b>レジスタ</b>	...	1403
28.4	<b>動作</b>	...	1404
<b>第29章</b>	<b>低電圧検出回路</b>	...	1407
29.1	<b>機能</b>	...	1407
29.2	<b>構成</b>	...	1407
29.3	<b>レジスタ</b>	...	1408
29.4	<b>動作</b>	...	1410
29.4.1	内部リセット信号 (LVIRES) として使用する場合	...	1410
29.4.2	割り込み (INTLVI) として使用する場合	...	1411
29.5	<b>RAM保持電圧検出動作</b>	...	1412
29.6	<b>エミュレーション機能</b>	...	1413
<b>第30章</b>	<b>レギュレータ</b>	...	1414
30.1	<b>概要</b>	...	1414
30.2	<b>動作</b>	...	1415
<b>第31章</b>	<b>ROMコレクション機能</b>	...	1416
31.1	<b>概要</b>	...	1416
31.2	<b>レジスタ</b>	...	1417
31.3	<b>ROMコレクションの動作とプログラムの流れ</b>	...	1419
31.4	<b>注意事項</b>	...	1421

<b>第32章</b>	<b>フラッシュ・メモリ</b>	...	1422
32.1	特 徴	...	1422
32.2	メモリ構成	...	1423
32.3	機能概要	...	1425
32.4	専用フラッシュ・メモリ・プログラマでの書き換え	...	1429
32.4.1	プログラミング環境	...	1429
32.4.2	通信方式	...	1430
32.4.3	フラッシュ・メモリ制御	...	1439
32.4.4	通信方式の選択	...	1440
32.4.5	通信コマンド	...	1441
32.4.6	端子処理	...	1442
32.5	セルフ・プログラミングによる書き換え	...	1446
32.5.1	概 要	...	1446
32.5.2	特 徴	...	1447
32.5.3	標準セルフ・プログラミング・フロー	...	1450
32.5.4	フラッシュ関数一覧	...	1451
32.5.5	端子処理	...	1451
32.5.6	使用する内部資源	...	1452
<b>第33章</b>	<b>オプション・バイト機能</b>	...	1453
33.1	オプション・バイト (0000007AH)	...	1454
33.2	オプション・バイト (0000007BH)	...	1455
<b>第34章</b>	<b>オンチップ・デバッグ機能</b>	...	1457
34.1	DCUを使用する方法	...	1458
34.1.1	接続回路例	...	1458
34.1.2	インタフェース信号	...	1459
34.1.3	マスク機能	...	1461
34.1.4	レジスタ	...	1461
34.1.5	動 作	...	1463
34.1.6	注意事項	...	1464
34.2	DCUを使用しない方法	...	1465
34.2.1	接続回路例	...	1465
34.2.2	マスク機能	...	1467
34.2.3	ユーザ資源の確保	...	1468
34.2.4	注意事項	...	1475
34.3	ROMセキュリティ機能	...	1476
34.3.1	セキュリティID	...	1476
34.3.2	設定方法	...	1477
<b>第35章</b>	<b>電気的特性 ((A)品)</b>	...	1479
35.1	絶対最大定格	...	1479
35.2	容 量	...	1481
35.3	動作条件	...	1481
35.4	発振回路特性	...	1482

35.4.1	メイン・クロック発振回路特性	...	1482
35.4.2	サブクロック発振回路特性	...	1485
35.4.3	PLL特性	...	1486
35.4.4	SSCG特性	...	1486
35.4.5	内蔵発振器特性	...	1486
35.5	レギュレータ特性	...	1487
35.6	DC特性	...	1488
35.6.1	入出力レベル	...	1488
35.6.2	電源電流	...	1490
35.7	データ保持特性	...	1491
35.8	AC特性	...	1492
35.8.1	CLKOUT出力タイミング	...	1493
35.8.2	バス・タイミング	...	1494
35.9	基本動作	...	1507
35.10	フラッシュ・メモリ・プログラミング特性	...	1518

## 第36章 電気的特性 ((A9)品) ... 1520

36.1	絶対最大定格	...	1520
36.2	容量	...	1522
36.3	動作条件	...	1522
36.4	発振回路特性	...	1523
36.4.1	メイン・クロック発振回路特性	...	1523
36.4.2	サブクロック発振回路特性	...	1526
36.4.3	PLL特性	...	1527
36.4.4	SSCG特性	...	1527
36.4.5	内蔵発振器特性	...	1527
36.5	レギュレータ特性	...	1528
36.6	DC特性	...	1529
36.6.1	入出力レベル	...	1529
36.6.2	電源電流	...	1531
36.7	データ保持特性	...	1532
36.8	AC特性	...	1533
36.8.1	CLKOUT出力タイミング	...	1534
36.8.2	バス・タイミング	...	1535
36.9	基本動作	...	1548
36.10	フラッシュ・メモリ・プログラミング特性	...	1559

## 第37章 外形図 ... 1561

## 第38章 半田付け推奨条件 ... 1563

## 付録A 開発ツール ... 1566

A.1	ソフトウェア・パッケージ	...	1571
A.2	言語処理用ソフトウェア	...	1571
A.3	制御ソフトウェア	...	1571
A.4	デバッグ用ツール (ハードウェア)	...	1572
A.4.1	IECUBE QB-V850ESX3Hを使用する場合	...	1572

A. 4. 2	オンチップ・デバッグ・エミュレータ IE-V850E1-CD-NWを使用する場合	...	1575
A. 4. 3	MINICUBE QB-V850MINIを使用する場合	...	1576
A. 4. 4	MINICUBE2 QB-MINI2を使用する場合	...	1577
A. 5	デバッグ用ツール(ソフトウェア)	...	1578
A. 6	組み込み用ソフトウェア	...	1579
A. 7	フラッシュ・メモリ書き込み用ツール	...	1579
<b>付録B</b>	<b>レジスタ索引</b>	...	1580
<b>付録C</b>	<b>命令セット一覧</b>	...	1600
C. 1	凡 例	...	1600
C. 2	インストラクション・セット(アルファベット順)	...	1603
<b>付録D</b>	<b>注意事項一覧</b>	...	1609
<b>付録E</b>	<b>改版履歴</b>	...	1657
E. 1	本版で改訂された主な箇所	...	1657
E. 2	前版までの改版履歴	...	1658

## 第1章 イン트로ダクション

V850E/SJ3-H, V850E/SK3-Hは、ルネサス エレクトロニクスのリアルタイム制御向けシングルチップ・マイクロコントローラ「V850マイコン」の1製品です。

### 1.1 概 説

V850E/SJ3-H, V850E/SK3-Hは、V850E1 CPUコアを使用し、ROM/RAM、タイマ/カウンタ、シリアル・インタフェース、A/Dコンバータ、D/Aコンバータ、などの周辺機能を内蔵した32ビット・シングルチップ・マイクロコントローラです。V850E/SJ3-H, V850E/SK3-Hでは、車輻内LANとして、IEBus<sup>®</sup> (Inter Equipment Bus<sup>®</sup>) を内蔵しており、またCAN (Controller Area Network) を内蔵した製品も用意しています。

V850E/SJ3-H, V850E/SK3-Hは、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、デジタル・サーボ制御の応用に最適な命令として、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。また、リアルタイム制御システムとして、カー・オーディオをはじめとするカー・マルチメディア機器などへの応用が、きわめて高いコスト・パフォーマンスで実現できます。

表1 - 1にV850E/SJ3-H, V850E/SK3-Hの製品一覧について示します。

また、V850マイコンでは、V850E/SJ3-H, V850E/SK3-Hに対してI/O、タイマ/カウンタ、シリアル・インタフェースなどの機能を縮小したV850ES/SJ3を用意しています。表1 - 2にV850ES/SJ3の製品一覧について示します。

表1 - 1 V850E/SJ3-H, V850E/SK3-Hの製品一覧 (1/2)

## (a) V850E/SJ3-H (144ピン・プラスチックLQFP (20×20))

機能 製品名	ROM		RAMサイズ (+ 拡張内蔵 RAMサイズ)	動作周波数 (MAX.)	I <sup>2</sup> C	車輦内LAN	マスクابل割り込み		ノンマスクابل 割り込み
	種類	サイズ					外部	内部	
μ PD70F3474A	フラッシュ・ メモリ	1280 Kバイト	60 Kバイト (+32Kバイト)	48 MHz	あり	IEBus:1 ch	10	94	2
μ PD70F3475A						IEBus/CAN:1 ch		98	
μ PD70F3476A						IEBus/CAN:1 ch, CAN:1 ch		102	
μ PD70F3477A						IEBus:1 ch		94	
μ PD70F3478A						IEBus/CAN:1 ch		98	
μ PD70F3479A						IEBus/CAN:1 ch, CAN:1 ch		102	
μ PD70F3931B		512 Kバイト	60 Kバイト (なし)			IEBus:1 ch		88	
μ PD70F3932B						IEBus/CAN:1 ch		92	
μ PD70F3933B						IEBus/CAN:1 ch, CAN:1 ch		96	
μ PD70F3934B		768 Kバイト	60 Kバイト (+16Kバイト)			IEBus:1 ch		94	
μ PD70F3935B						IEBus/CAN:1 ch		98	
μ PD70F3936B						IEBus/CAN:1 ch, CAN:1 ch		102	
μ PD70F3937B						IEBus:1 ch		94	
μ PD70F3938B						IEBus/CAN:1 ch		98	
μ PD70F3939B	1024 Kバイト	IEBus/CAN:1 ch, CAN:1 ch	102						

備考 次ページに注意と備考を記載しています。



表1 - 1 V850E/SJ3-H, V850E/SK3-Hの製品一覧 (2/2)

## (b) V850E/SK3-H (176ピン・プラスチックLQFP (24×24))

機能 製品名	ROM		RAMサイズ (+ 拡張内蔵 RAMサイズ)	動作周波数 (MAX.)	I <sup>2</sup> C	車輦内LAN	マスカブル割り込み		ノンマスカブル 割り込み	
	種類	サイズ					外部	内部		
μ PD70F3480A	フラッシュ・ メモリ	1536 Kバイト	60 Kバイト (+32Kバイト)	48 MHz	あり	IEBus:1 ch	10	94	2	
μ PD70F3481A						IEBus:1 ch				98
μ PD70F3482A						IEBus:1 ch CAN:2 ch				102
μ PD70F3486A						IEBus:1 ch				94
μ PD70F3487A						IEBus:1 ch, CAN:1 ch				98
μ PD70F3488A						IEBus:1 ch, CAN:2 ch				102
μ PD70F3925A		1024 Kバイト	60 Kバイト (+16Kバイト)			IEBus:1 ch				94
μ PD70F3926A						IEBus:1 ch, CAN:1 ch				98
μ PD70F3927A						IEBus:1 ch, CAN:2 ch				102
μ PD70F3927A						IEBus:1 ch, CAN:2 ch				102

**注意** μ PD70F3931B, 70F3932B, 70F3933Bは, μ PD70F3931B, 70F3932B, 70F3933B以外と上記表の内容のほか  
に次の機能が異なりますので注意してください。

製品名	CSIE	I <sup>2</sup> C
μ PD70F3931B, 70F3932B, 70F3933B	なし	4 ch
μ PD70F3931B, 70F3932B, 70F3933B以外	あり (2 ch)	6 ch

**備考** このマニュアルでは, V850E/SJ3-H, V850E/SK3-Hの品名を次のように記載しています。

- ・ CANコントローラ内蔵品  
μ PD70F3475A, 70F3476A, 70F3478A, 70F3479A, 70F3481A, 70F3482A, 70F3487A, 70F3488A,  
70F3926A, 70F3927A, 70F3932B, 70F3933B, 70F3935B, 70F3936B, 70F3938B, 70F3939B
- ・ CANコントローラ (2チャンネル) 内蔵品  
μ PD70F3476A, 70F3479A, 70F3482A, 70F3488A, 70F3927A, 70F3933B, 70F3936B, 70F3939B
- ・ 拡張内蔵RAM内蔵品  
μ PD70F3474A, 70F3475A, 70F3476A, 70F3477A, 70F3478A, 70F3479A, 70F3480A, 70F3481A,  
70F3482A, 70F3486A, 70F3487A, 70F3488A, 70F3925A, 70F3926A, 70F3927A, 70F3934B, 70F3935B,  
70F3936B, 70F3937B, 70F3938B, 70F3939B

(次ページに備考の続きを記載しています。)

## ・ (A)品

μ PD70F3474AGJA-GAE-G, 70F3475AGJA-GAE-G, 70F3476AGJA-GAE-G, 70F3477AGJA-GAE-G,  
 70F3478AGJA-GAE-G, 70F3479AGJA-GAE-G, 70F3480AGMA-GAR-G, 70F3481AGMA-GAR-G,  
 70F3482AGMA-GAR-G, 70F3486AGMA-GAR-G, 70F3487AGMA-GAR-G, 70F3488AGMA-GAR-G,  
 70F3925AGMA-GAR-G, 70F3926AGMA-GAR-G, 70F3927AGMA-GAR-G, 70F3931BGJA-GAE-G,  
 70F3932BGJA-GAE-G, 70F3933BGJA-GAE-G, 70F3934BGJA-GAE-G, 70F3935BGJA-GAE-G,  
 70F3936BGJA-GAE-G, 70F3937BGJA-GAE-G, 70F3938BGJA-GAE-G, 70F3939BGJA-GAE-G

## ・ (A9)品

μ PD70F3474AGJA9-GAE-G, 70F3475AGJA9-GAE-G, 70F3476AGJA9-GAE-G, 70F3477AGJA9-GAE-G,  
 70F3478AGJA9-GAE-G, 70F3479AGJA9-GAE-G, 70F3480AGMA9-GAR-G, 70F3481AGMA9-GAR-G,  
 70F3482AGMA9-GAR-G, 70F3486AGMA9-GAR-G, 70F3487AGMA9-GAR-G, 70F3488AGMA9-GAR-G,  
 70F3925AGMA9-GAR-G, 70F3926AGMA9-GAR-G, 70F3927AGMA9-GAR-G, 70F3931BGJA9-GAE-G,  
 70F3932BGJA9-GAE-G, 70F3933BGJA9-GAE-G, 70F3934BGJA9-GAE-G, 70F3935BGJA9-GAE-G,  
 70F3936BGJA9-GAE-G, 70F3937BGJA9-GAE-G, 70F3938BGJA9-GAE-G, 70F3939BGJA9-GAE-G

表1 - 2 V850ES/SJ3の製品一覧

機能 製品名	ROM		RAM	動作周波数 (MAX.)	I <sup>2</sup> C	車体内LAN	マスクابل割り込み		ノンマスクابل 割り込み
	種類	サイズ	サイズ				外部	内部	
μ PD70F3344	フラッシュ・ メモリ	384 Kバイト	32 Kバイト	32 MHz	あり	IEBus:1 ch	9	64	2
μ PD70F3345		512 Kバイト	40 Kバイト						
μ PD70F3346		640 Kバイト	48 Kバイト						
μ PD70F3347		768 Kバイト	60 Kバイト						
μ PD70F3348		1024 Kバイト	60 Kバイト						
μ PD70F3354		384 Kバイト	32 Kバイト						
μ PD70F3355		512 Kバイト	40 Kバイト						
μ PD70F3356		640 Kバイト	48 Kバイト						
μ PD70F3357		768 Kバイト	60 Kバイト						
μ PD70F3358		1024 Kバイト	60 Kバイト						
μ PD70F3364		384 Kバイト	32 Kバイト			IEBus/CAN:1 ch CAN:1 ch	68		
μ PD70F3365		512 Kバイト	40 Kバイト						
μ PD70F3366		640 Kバイト	48 Kバイト						
μ PD70F3367		768 Kバイト	60 Kバイト						
μ PD70F3368		1024 Kバイト	60 Kバイト						

## 1.2 特 徴

最小命令実行時間 20.8 ns (48 MHz動作時)

汎用レジスタ 32ビット×32本

CPUの特徴 符号付き乗算 (16×16 32) : 1-2クロック

符号付き乗算 (32×32 64) : 1-2クロック

飽和演算 (オーバフロー/アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング/ショート形式を持つロード/ストア命令

符号付きロード命令

メモリ空間 64 Mバイト・リニア・アドレス空間 (プログラム/データ共用)

外部拡張 : 最大約30 Mバイトまで可能

・内蔵メモリ RAM : 60 Kバイト (表1 - 1参照)

拡張内蔵RAM : 16/32 Kバイト (表1 - 1参照)

フラッシュ・メモリ : 512/768/1024/1280/1536 Kバイト (表1 - 1参照)

・外部バス・インタフェース

セパレート・バス/マルチプレクス・バス出力選択可能

8/16ビット・データ・バス・サイジング機能

ウエイト機能

・プログラマブル・ウエイト機能

・外部ウエイト機能

アイドル・ステート機能

バス・ホールド機能

割り込み / 例外

ノンマスカブル割り込み : 2要因

マスカブル割り込み : 98/102/104/106/108/112要因 (表1 - 1参照)

ソフトウエア例外 : 32要因

例外トラップ : 2要因

I/Oライン 入出力ポート : 128 (V850E/SJ3-H)

156 (V850E/SK3-H)

タイマ機能

16ビット・インターバル・タイマM (TMM) : 3ch

16ビット・タイマ/イベント・カウンタP (TMP) : 9ch

(TMP7, TMP8はエンコーダ・カウント機能を搭載)

16ビット・タイマ/イベント・カウンタQ (TMQ) : 1ch

時計用タイマ : 1ch

リアルタイム・カウンタ (RTC) : 1ch

ウォッチドッグ・タイマ : 1ch

リアルタイム出力ポート 6ビット×2ch

## シリアル・インタフェース

アシンクロナス・シリアル・インタフェースA (UARTA) : 6ch

アシンクロナス・シリアル・インタフェースB (UARTB) : 2ch

3線式可変長シリアル・インタフェースB (CSIB) : 6ch

3線式可変長シリアル・インタフェースE (CSIE)

: 2ch ( $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外)

0ch ( $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ)

I<sup>2</sup>Cバス・インタフェース (I<sup>2</sup>C)

: 6ch ( $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外)

4ch ( $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ)

UARTA : 1ch

UARTB : 2ch

CSIB : 3ch<sup>注</sup>

CSIE

: 1ch ( $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外)

0ch ( $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ)

I<sup>2</sup>C

: 2ch ( $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外)

1ch ( $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ)

CSIB/I<sup>2</sup>C : 1ch

UARTA/CSIB : 1ch

UARTA/CSIE

: 1ch ( $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外)

0ch ( $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ)

UARTA/I<sup>2</sup>C : 2ch<sup>注</sup>

UARTA/CSIB/I<sup>2</sup>C

: 1ch ( $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外)

0ch ( $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ)

**注** 次の組み合わせで使用することも可能です。

CSIB : 2ch

UARTA/I<sup>2</sup>C : 1ch

CSIB (受信専用) /UARTA/I<sup>2</sup>C : 1ch

**注意** V850E/SK3-Hの場合、次の組み合わせで使用することも可能です。

UARTA : 5ch

UARTB : 2ch

CSIB : 3ch

CSIE : 2ch

I<sup>2</sup>C : 4ch

CSIB/I<sup>2</sup>C : 2ch

UARTA/CSIB : 1ch

IEBusコントローラ : 1ch

CANコントローラ : 1/2ch (CANコントローラ内蔵品のみ)

A/Dコンバータ 10ビット分解能 : 16ch

D/Aコンバータ 8ビット分解能 : 2ch

DMAコントローラ : 4ch

CRC機能 8ビット単位のデータに対して16ビットの誤り検出用コードを生成

DCU (デバッグ・コントロール・ユニット) : JTAGインタフェース

ROMコレクション : 8箇所修正可能

クロック・ジェネレータ メイン・クロック / サブクロック動作

CPUクロック7段階 ( f<sub>xx</sub>, f<sub>xx</sub>/2, f<sub>xx</sub>/4, f<sub>xx</sub>/8, f<sub>xx</sub>/16, f<sub>xx</sub>/32, f<sub>xt</sub> )

クロック・スルー・モード / PLLモード / SSCGモード選択可

オプション・バイト設定によるクロック発生機能の選択可

内蔵発振クロック : 220 kHz ( TYP. )

パワー・セーブ機能 HALT/IDLE1/IDLE2/STOP / サブクロック / サブIDLEモード

パッケージ 144ピン・プラスチックLQFP (ファインピッチ) ( 20 × 20 ) ( V850E/SJ3-H )

176ピン・プラスチックLQFP (ファインピッチ) ( 24 × 24 ) ( V850E/SK3-H )

### 1.3 応用分野

カー・オーディオをはじめとするカー・マルチメディア機器

## 1.4 オーダ情報

### 1.4.1 V850E/SJ3-H

オーダ名称	パッケージ	内蔵ROM (フラッシュ・メモリ)	品質水準
μ PD70F3474AGJA-GAE-G	144ピン・プラスチックLQFP (ファインピッチ) (20×20)	1280 Kバイト	(A)
μ PD70F3474AGJA9-GAE-G			(A9)
μ PD70F3475AGJA-GAE-G			(A)
μ PD70F3475AGJA9-GAE-G			(A9)
μ PD70F3476AGJA-GAE-G			(A)
μ PD70F3476AGJA9-GAE-G			(A9)
μ PD70F3477AGJA-GAE-G		1536 Kバイト	(A)
μ PD70F3477AGJA9-GAE-G			(A9)
μ PD70F3478AGJA-GAE-G			(A)
μ PD70F3478AGJA9-GAE-G			(A9)
μ PD70F3479AGJA-GAE-G			(A)
μ PD70F3479AGJA9-GAE-G			(A9)
μ PD70F3931BGJA-GAE-G		512 Kバイト	(A)
μ PD70F3931BGJA9-GAE-G			(A9)
μ PD70F3932BGJA-GAE-G			(A)
μ PD70F3932BGJA9-GAE-G			(A9)
μ PD70F3933BGJA-GAE-G			(A)
μ PD70F3933BGJA9-GAE-G			(A9)
μ PD70F3934BGJA-GAE-G		768 Kバイト	(A)
μ PD70F3934BGJA9-GAE-G			(A9)
μ PD70F3935BGJA-GAE-G			(A)
μ PD70F3935BGJA9-GAE-G			(A9)
μ PD70F3936BGJA-GAE-G			(A)
μ PD70F3936BGJA9-GAE-G			(A9)
μ PD70F3937BGJA-GAE-G		1024 Kバイト	(A)
μ PD70F3937BGJA9-GAE-G			(A9)
μ PD70F3938BGJA-GAE-G			(A)
μ PD70F3938BGJA9-GAE-G			(A9)
μ PD70F3939BGJA-GAE-G			(A)
μ PD70F3939BGJA9-GAE-G			(A9)

備考 V850E/SJ3-Hは、鉛フリー製品です。

## 1.4.2 V850E/SK3-H

オーダ名称	パッケージ	内蔵ROM (フラッシュ・メモリ)	品質水準
$\mu$ PD70F3480AGMA-GAR-G	176ピン・プラスチックLQFP (ファインピッチ) (24×24)	1536 Kバイト	(A)
$\mu$ PD70F3480AGMA9-GAR-G			(A9)
$\mu$ PD70F3481AGMA-GAR-G			(A)
$\mu$ PD70F3481AGMA9-GAR-G			(A9)
$\mu$ PD70F3482AGMA-GAR-G			(A)
$\mu$ PD70F3482AGMA9-GAR-G			(A9)
$\mu$ PD70F3486AGMA-GAR-G		1280 Kバイト	(A)
$\mu$ PD70F3486AGMA9-GAR-G			(A9)
$\mu$ PD70F3487AGMA-GAR-G			(A)
$\mu$ PD70F3487AGMA9-GAR-G			(A9)
$\mu$ PD70F3488AGMA-GAR-G			(A)
$\mu$ PD70F3488AGMA9-GAR-G			(A9)
$\mu$ PD70F3925AGMA-GAR-G		1024 Kバイト	(A)
$\mu$ PD70F3925AGMA9-GAR-G			(A9)
$\mu$ PD70F3926AGMA-GAR-G			(A)
$\mu$ PD70F3926AGMA9-GAR-G			(A9)
$\mu$ PD70F3927AGMA-GAR-G			(A)
$\mu$ PD70F3927AGMA9-GAR-G			(A9)

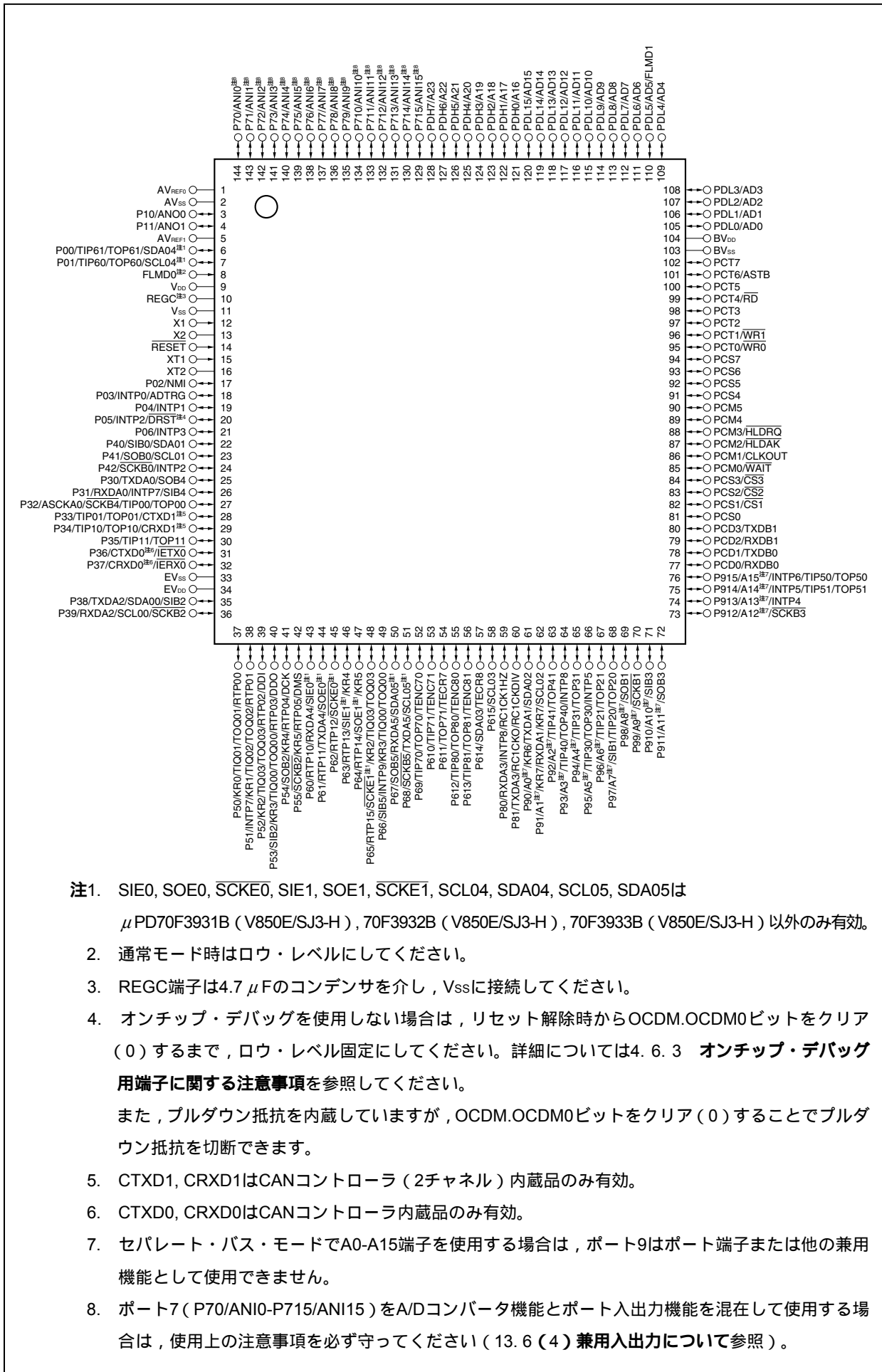
備考 V850E/SK3-Hは、鉛フリー製品です。

## 1.5 端子接続図 (Top View)

## 1.5.1 V850E/SJ3-H

144ピン・プラスチックLQFP (ファインピッチ) (20×20)

$\mu$ PD70F3474AGJA-GAE-G	$\mu$ PD70F3475AGJA-GAE-G	$\mu$ PD70F3476AGJA-GAE-G
$\mu$ PD70F3477AGJA-GAE-G	$\mu$ PD70F3478AGJA-GAE-G	$\mu$ PD70F3479AGJA-GAE-G
$\mu$ PD70F3931BGJA-GAE-G	$\mu$ PD70F3932BGJA-GAE-G	$\mu$ PD70F3933BGJA-GAE-G
$\mu$ PD70F3934BGJA-GAE-G	$\mu$ PD70F3935BGJA-GAE-G	$\mu$ PD70F3936BGJA-GAE-G
$\mu$ PD70F3937BGJA-GAE-G	$\mu$ PD70F3938BGJA-GAE-G	$\mu$ PD70F3939BGJA-GAE-G
$\mu$ PD70F3474AGJA9-GAE-G	$\mu$ PD70F3475AGJA9-GAE-G	$\mu$ PD70F3476AGJA9-GAE-G
$\mu$ PD70F3477AGJA9-GAE-G	$\mu$ PD70F3478AGJA9-GAE-G	$\mu$ PD70F3479AGJA9-GAE-G
$\mu$ PD70F3931BGJA9-GAE-G	$\mu$ PD70F3932BGJA9-GAE-G	$\mu$ PD70F3933BGJA9-GAE-G
$\mu$ PD70F3934BGJA9-GAE-G	$\mu$ PD70F3935BGJA9-GAE-G	$\mu$ PD70F3936BGJA9-GAE-G
$\mu$ PD70F3937BGJA9-GAE-G	$\mu$ PD70F3938BGJA9-GAE-G	$\mu$ PD70F3939BGJA9-GAE-G



- 注1. SIE0, SOE0, SCKE0, SIE1, SOE1, SCKE1, SCL04, SDA04, SCL05, SDA05は  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外のみ有効。
2. 通常モード時はロウ・レベルにしてください。
  3. REGC端子は4.7  $\mu$ Fのコンデンサを介し, Vssに接続してください。
  4. オンチップ・デバッグを使用しない場合は, リセット解除時からOCDM.OCDM0ビットをクリア (0) するまで, ロウ・レベル固定にしてください。詳細については4. 6. 3 **オンチップ・デバッグ用端子に関する注意事項**を参照してください。  
 また, プルダウン抵抗を内蔵していますが, OCDM.OCDM0ビットをクリア (0) することでプルダウン抵抗を切断できます。
  5. CTXD1, CRXD1はCANコントローラ (2チャンネル) 内蔵品のみ有効。
  6. CTXD0, CRXD0はCANコントローラ内蔵品のみ有効。
  7. セパレート・バス・モードでA0-A15端子を使用する場合は, ポート9はポート端子または他の兼用機能として使用できません。
  8. ポート7 (P70/ANI0-P715/ANI15) をA/Dコンバータ機能とポート入出力機能を混在して使用する場合は, 使用上の注意事項を必ず守ってください (13. 6 (4) **兼用入出力について**参照)。



## 端子名称 (1/2)

A0-A23	: Address Bus	PCD0-PCD3	: Port CD
AD0-AD15	: Address/Data Bus	PCM0-PCM5	: Port CM
ADTRG	: A/D Trigger Input	PCS0-PCS7	: Port CS
ANI0-ANI15	: Analog Input	PCT0-PCT7	: Port CT
ANO0, ANO1	: Analog Output	PDH0-PDH7	: Port DH
ASCKA0	: Asynchronous Serial Clock	PDL0-PDL15	: Port DL
ASTB	: Address Strobe	RC1CK1HZ,	: Real-time Counter Clock Output
AVREF0, AVREF1	: Analog Reference Voltage	RC1CKDIV,	
AVSS	: Analog V <sub>SS</sub>	RC1CKO	
BVDD	: Power Supply for Bus Interface	RD	: Read Strobe
BVSS	: Ground for Bus Interface	REGC	: Regulator Control
CLKOUT	: Clock Output	RESET	: Reset
CRXD0, CRXD1	: CAN Receive Data	RTP00-RTP05,	: Real-time Output Port
CS1-CS3	: Chip Select	RTP10-RTP15	
CTXD0, CTXD1	: CAN Transmit Data	RXDA0-RXDA5,	: Receive Data
DCK	: Debug Clock	RXDB0, RXDB1	
DDI	: Debug Data Input	SCKB0-SCKB5,	: Serial Clock
DDO	: Debug Data Output	SCKE0, SCKE1	
DMS	: Debug Mode Select	SCL00-SCL05	: Serial Clock
DRST	: Debug Reset	SDA00-SDA05	: Serial Data
EVDD	: Power Supply for Port	SIB0-SIB5,	: Serial Input
EVSS	: Ground for Port	SIE0, SIE1	
FLMD0, FLMD1	: Flash Programming Mode	SOB0-SOB5,	: Serial Output
HLDAK	: Hold Acknowledge	SOE0, SOE1	
HLDRQ	: Hold Request	TECR7, TECR8	: Timer Encoder Clear Input
IERX0	: IEBus Receive Data	TENC70,	: Timer Encoder Input
IETX0	: IEBus Transmit Data	TENC71,	
INTP0-INTP9	: External Interrupt Input	TENC80,	
KR0-KR7	: Key Return	TENC81	
NMI	: Non-maskable Interrupt Request	TIP00, TIP01,	: Timer Input
P00-P06	: Port 0	TIP10, TIP11,	
P10, P11	: Port 1	TIP20, TIP21,	
P30-P39	: Port 3	TIP30, TIP31,	
P40-P42	: Port 4	TIP40, TIP41,	
P50-P55	: Port 5	TIP50, TIP51,	
P60-P615	: Port 6	TIP60, TIP61,	
P70-P715	: Port 7	TIP70, TIP71,	
P80, P81	: Port 8	TIP80, TIP81,	
P90-P915	: Port 9	TIQ00-TIQ03	

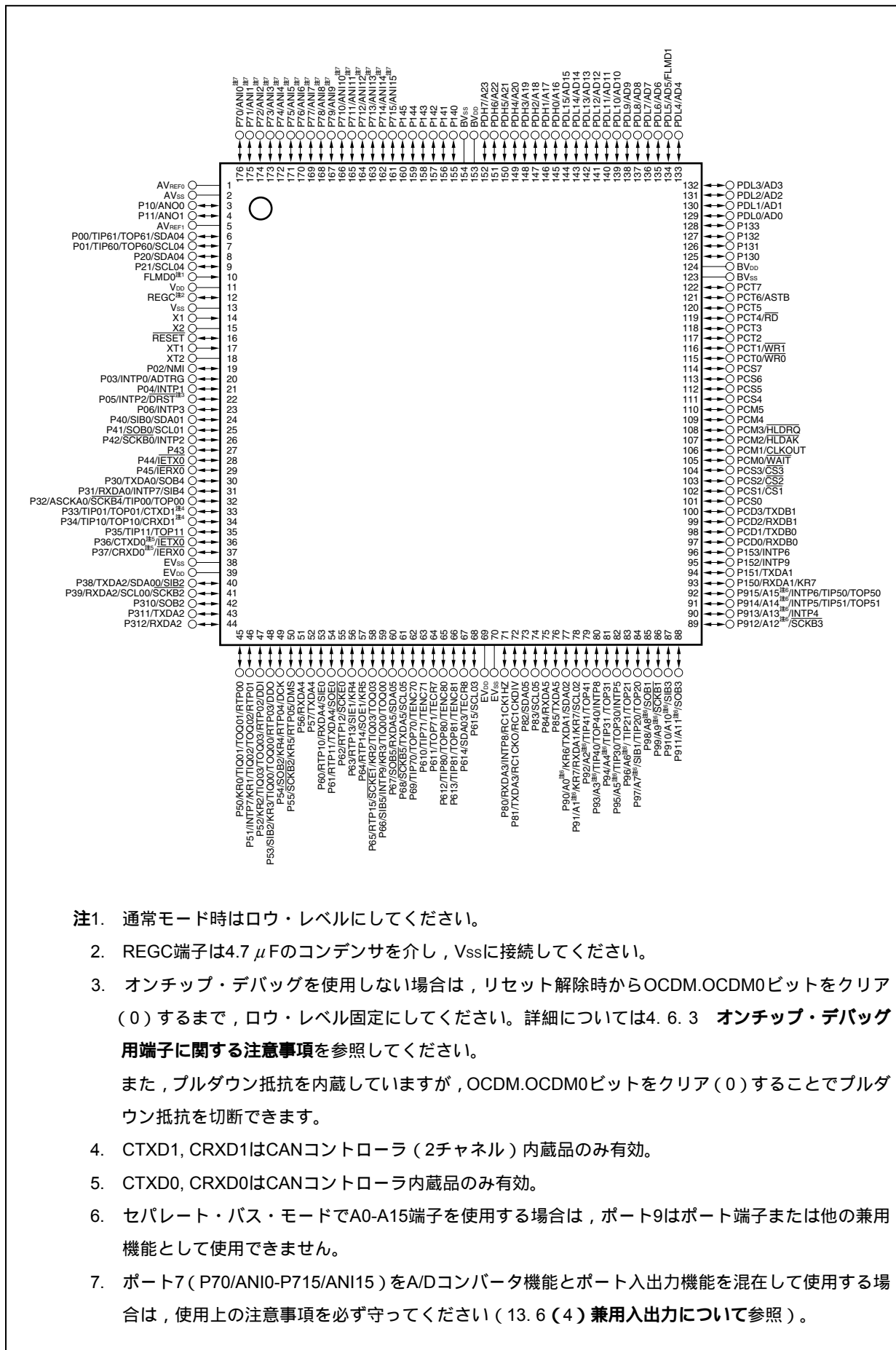
## 端子名称 (2/2)

TOP00, TOP01,	: Timer Output	TXDA0-TXDA5,	: Transmit Data
TOP10, TOP11,		TXDB0, TXDB1	
TOP20, TOP21,		V <sub>DD</sub>	: Power Supply
TOP30, TOP31,		V <sub>SS</sub>	: Ground
TOP40, TOP41,		$\overline{\text{WAIT}}$	: Wait
TOP50, TOP51,		$\overline{\text{WR0}}$	: Lower Byte Write Strobe
TOP60, TOP61,		$\overline{\text{WR1}}$	: Upper Byte Write Strobe
TOP70, TOP71,		X1, X2	: Crystal for Main Clock
TOP80, TOP81,		XT1, XT2	: Crystal for Subclock
TOQ00-TOQ03			

## 1.5.2 V850E/SK3-H

176ピン・プラスチックLQFP (ファインピッチ) (24 × 24)

$\mu$ PD70F3480AGMA-GAR-G	$\mu$ PD70F3481AGMA-GAR-G	$\mu$ PD70F3482AGMA-GAR-G
$\mu$ PD70F3486AGMA-GAR-G	$\mu$ PD70F3487AGMA-GAR-G	$\mu$ PD70F3488AGMA-GAR-G
$\mu$ PD70F3925AGMA-GAR-G	$\mu$ PD70F3926AGMA-GAR-G	$\mu$ PD70F3927AGMA-GAR-G
$\mu$ PD70F3480AGMA9-GAR-G	$\mu$ PD70F3481AGMA9-GAR-G	$\mu$ PD70F3482AGMA9-GAR-G
$\mu$ PD70F3486AGMA9-GAR-G	$\mu$ PD70F3487AGMA9-GAR-G	$\mu$ PD70F3488AGMA9-GAR-G
$\mu$ PD70F3925AGMA9-GAR-G	$\mu$ PD70F3926AGMA9-GAR-G	$\mu$ PD70F3927AGMA9-GAR-G



注1. 通常モード時はロウ・レベルにしてください。

2. REGC端子は4.7  $\mu$ Fのコンデンサを介し, V<sub>SS</sub>に接続してください。
3. オンチップ・デバッグを使用しない場合は, リセット解除時からOCDM.OCDM0ビットをクリア(0)するまで, ロウ・レベル固定にしてください。詳細については4. 6. 3 **オンチップ・デバッグ用端子に関する注意事項**を参照してください。

また, プルダウン抵抗を内蔵していますが, OCDM.OCDM0ビットをクリア(0)することでプルダウン抵抗を切断できます。

4. CTXD1, CRXD1はCANコントローラ(2チャンネル)内蔵品のみ有効。
5. CTXD0, CRXD0はCANコントローラ内蔵品のみ有効。
6. セパレート・バス・モードでA0-A15端子を使用する場合は, ポート9はポート端子または他の兼用機能として使用できません。
7. ポート7(P70/ANI0-P715/ANI15)をA/Dコンバータ機能とポート入出力機能を混在して使用する場合は, 使用上の注意事項を必ず守ってください(13. 6(4) **兼用入出力について**参照)。

## 端子名称 (1/2)

A0-A23	: Address Bus	P140-P145	: Port 14
AD0-AD15	: Address/Data Bus	P150-P153	: Port 15
ADTRG	: A/D Trigger Input	PCD0-PCD3	: Port CD
ANI0-ANI15	: Analog Input	PCM0-PCM5	: Port CM
ANO0, ANO1	: Analog Output	PCS0-PCS7	: Port CS
ASCKA0	: Asynchronous Serial Clock	PCT0-PCT7	: Port CT
ASTB	: Address Strobe	PDH0-PDH7	: Port DH
AVREF0, AVREF1	: Analog Reference Voltage	PDL0-PDL15	: Port DL
AVSS	: Analog V <sub>SS</sub>	RC1CK1HZ,	: Real-time Counter Clock Output
BVDD	: Power Supply for Bus Interface	RC1CKDIV,	
BVSS	: Ground for Bus Interface	RC1CKO	
CLKOUT	: Clock Output	$\overline{RD}$	: Read Strobe
CRXD0, CRXD1	: CAN Receive Data	REGC	: Regulator Control
$\overline{CS1-CS3}$	: Chip Select	$\overline{RESET}$	: Reset
CTXD0, CTXD1	: CAN Transmit Data	RTP00-RTP05,	: Real-time Output Port
DCK	: Debug Clock	RTP10-RTP15	
DDI	: Debug Data Input	RXDA0-RXDA5,	: Receive Data
DDO	: Debug Data Output	RXDB0, RXDB1	
DMS	: Debug Mode Select	$\overline{SCKB0-SCKB5}$ ,	: Serial Clock
$\overline{DRST}$	: Debug Reset	$\overline{SCKE0}, \overline{SCKE1}$	
EVDD	: Power Supply for Port	SCL00-SCL05	: Serial Clock
EVSS	: Ground for Port	SDA00-SDA05	: Serial Data
FLMD0, FLMD1	: Flash Programming Mode	SIB0-SIB5,	: Serial Input
$\overline{HLDAK}$	: Hold Acknowledge	SIE0, SIE1	
$\overline{HLDRQ}$	: Hold Request	SOB0-SOB5,	: Serial Output
$\overline{IERX0}$	: IEBus Receive Data	SOE0, SOE1	
$\overline{IETX0}$	: IEBus Transmit Data	TECR7, TECR8	: Timer Encoder Clear Input
INTP0-INTP9	: External Interrupt Input	TENC70,	: Timer Encoder Input
KR0-KR7	: Key Return	TENC71,	
NMI	: Non-maskable Interrupt Request	TENC80,	
P00-P06	: Port 0	TENC81	
P10, P11	: Port 1	TIP00, TIP01,	: Timer Input
P20, P21	: Port 2	TIP10, TIP11,	
P30-P312	: Port 3	TIP20, TIP21,	
P40-P45	: Port 4	TIP30, TIP31,	
P50-P57	: Port 5	TIP40, TIP41,	
P60-P615	: Port 6	TIP50, TIP51,	
P70-P715	: Port 7	TIP60, TIP61,	
P80-P85	: Port 8	TIP70, TIP71,	
P90-P915	: Port 9	TIP80, TIP81,	
P130-P133	: Port 13	TIQ00-TIQ03	

## 端子名称 (2/2)

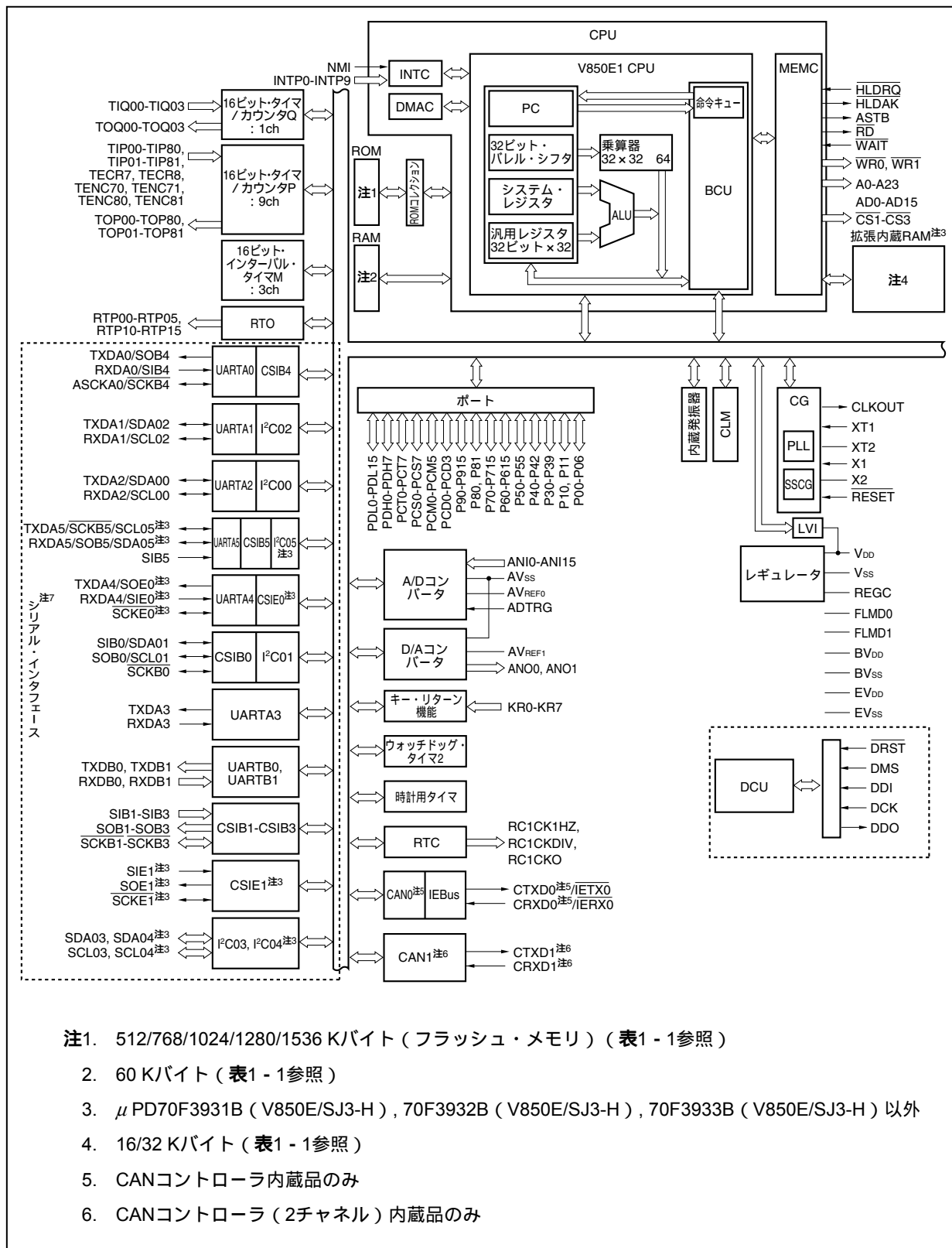
TOP00, TOP01,	: Timer Output	TXDA0-TXDA5,	: Transmit Data
TOP10, TOP11,		TXDB0, TXDB1	
TOP20, TOP21,		V <sub>DD</sub>	: Power Supply
TOP30, TOP31,		V <sub>SS</sub>	: Ground
TOP40, TOP41,		$\overline{\text{WAIT}}$	: Wait
TOP50, TOP51,		$\overline{\text{WR0}}$	: Lower Byte Write Strobe
TOP60, TOP61,		$\overline{\text{WR1}}$	: Upper Byte Write Strobe
TOP70, TOP71,		X1, X2	: Crystal for Main Clock
TOP80, TOP81,		XT1, XT2	: Crystal for Subclock
TOQ00-TOQ03			

## 1.6 機能ブロック構成

### 1.6.1 内部ブロック図

(1) V850E/SJ3-H

(1/2)



注1. 512/768/1024/1280/1536 Kバイト (フラッシュ・メモリ) (表1 - 1参照)

2. 60 Kバイト (表1 - 1参照)

3.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

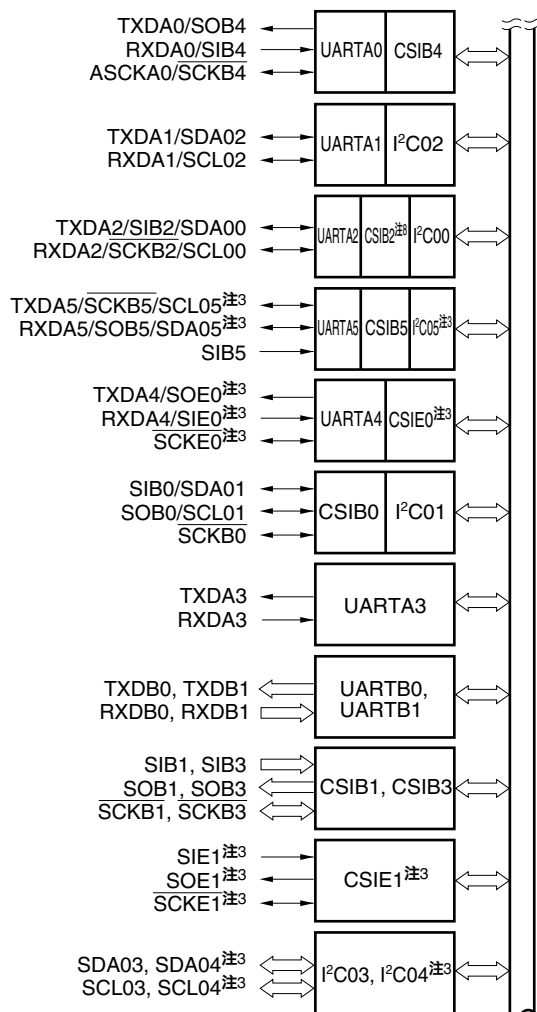
4. 16/32 Kバイト (表1 - 1参照)

5. CANコントローラ内蔵品のみ

6. CANコントローラ (2チャンネル) 内蔵品のみ

(2/2)

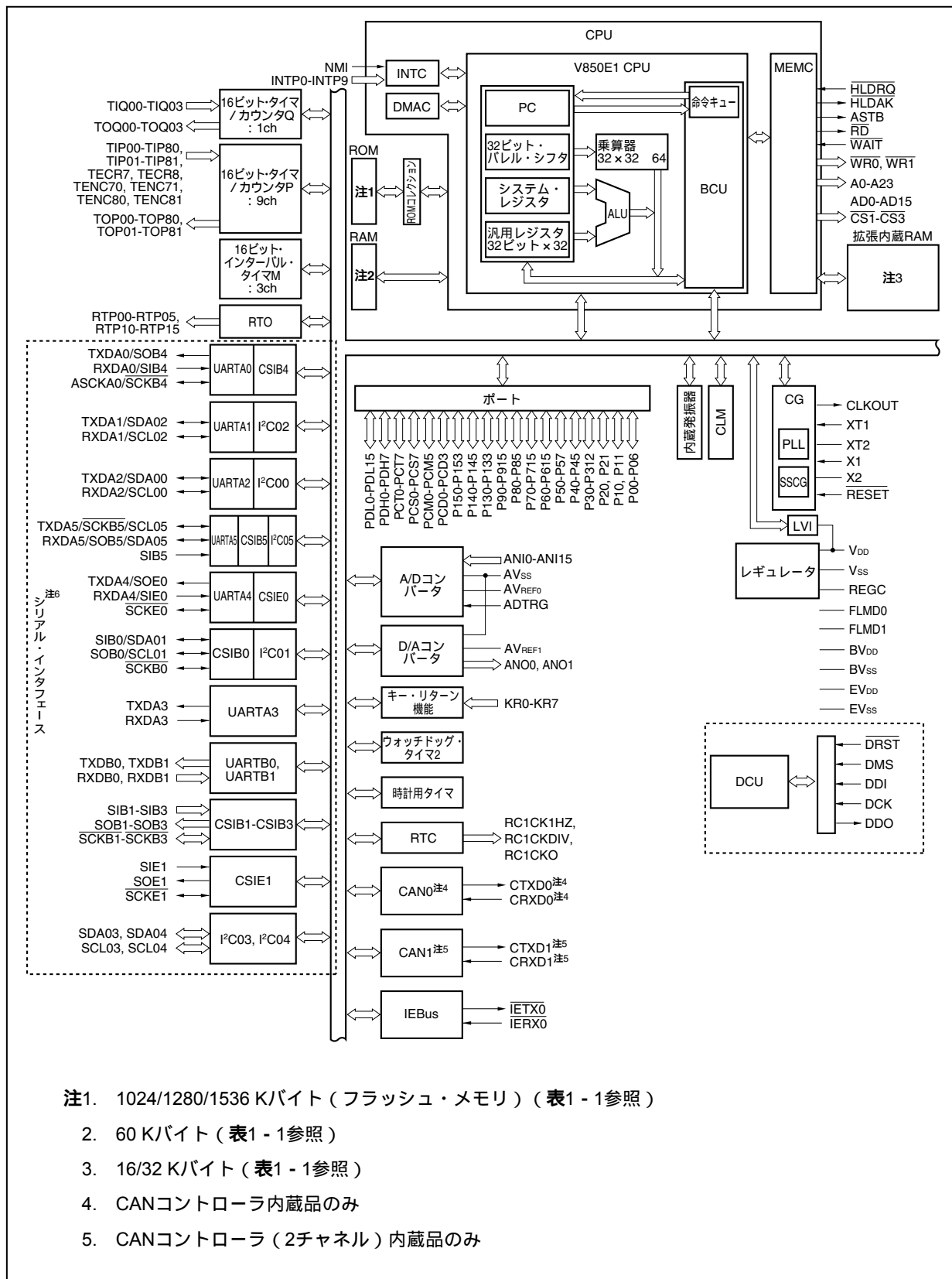
注7. ポート・シェアの組み合わせによりさらにもう1種類のブロック図があります。



8. シリアル送信データ出力端子 (SOB2) はありません。

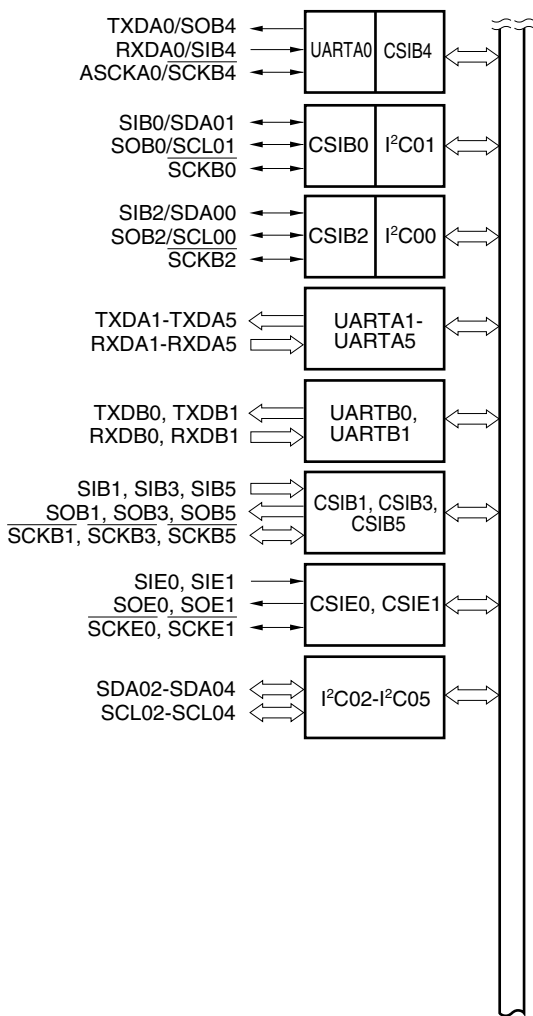
(2) V850E/SK3-H

(1/2)





注6. ポート・シェアの組み合わせ例として次のブロック図を示します。



## 1.6.2 内部ユニット

### (1) CPU

アドレス計算, 算術論理演算, データ転送などのほとんどの命令処理を, 5段パイプライン制御により1クロックで実行できます。

乗算器 (32ビット×32ビット 64ビット), バレル・シフタ (32ビット) などの専用ハードウェアを内蔵し, 複雑な処理の高速化を図っています。

### (2) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときCPUからのバス・サイクル起動の要求がない場合は, プリフェッチ・アドレスを生成し, 命令コードのプリフェッチを行います。プリフェッチされた命令コードは, CPU内部の命令キューに取り込まれます。

BCUは, メモリ・コントローラ (MEMC) を制御し, 外部メモリや拡張内蔵RAMへのアクセスを行います。

#### (a) メモリ・コントローラ (MEMC)

SRAM, 外部ROM, 外部I/Oのアクセス制御を行います。

### (3) ROM

0000000H-017FFFFH/0000000H-013FFFFH/0000000H-00FFFFFFH/0000000H-00BFFFFH/0000000H-007FFFFH番地にマッピングされる1536/1280/1024/768/512 Kバイトのフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

### (4) RAM

3FF0000H-3FFEFFFH番地にマッピングされる60 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

### (5) 拡張内蔵RAM

3FE4000H-3FEBFFFH/3FE8000H-3FEBFFFH番地にマッピングされる32/16 KバイトのRAMです。最小3バス・サイクルでアクセスできます。

### (6) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア, および外部からのハードウェア割り込み要求 (NMI, INTP0-INTP9) を処理します。これらの割り込み要求は, 8レベルの割り込み優先順位を指定でき, 多重処理制御ができます。

### (7) クロック・ジェネレータ (CG)

メイン・クロック発振回路とサブクロック発振回路があり、メイン・クロック発振周波数 ( $f_x$ ) とサブクロック発振周波数 ( $f_{XT}$ ) を生成しています。メイン・クロック周波数として、 $f_x$  をそのまま使用するクロック・スルー・モード、PLL入力クロック周波数 ( $f_{PLLI}$ ) を8通倍または8通倍後2分周して使用するPLLモード、 $f_{PLLI}$  を8通倍または12通倍して使用するSSCGモードがあります。

CPUクロック周波数 ( $f_{CPU}$ ) としては、 $f_{xx}$ ,  $f_{xx}/2$ ,  $f_{xx}/4$ ,  $f_{xx}/8$ ,  $f_{xx}/16$ ,  $f_{xx}/32$ ,  $f_{XT}$  の7種類から選択できます。

周辺クロック周波数 ( $f_{XP}$ ) としては、PLLモードの場合はメイン・クロック周波数 ( $f_{xx}$ )、SSCGモードの場合はPLLにより  $f_{PLLI}$  を8通倍または8通倍後2分周したクロックを使用します。

### (8) 内蔵発振器

内蔵発振器を搭載しています。発振周波数は220 kHz (TYP.) です。ウォッチドッグ・タイマ2とタイマMへクロック供給します。

### (9) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタP (TMP) を9チャンネル (TMP7, TMP8はエンコーダ・カウンタ機能を搭載)、16ビットのタイマ/イベント・カウンタQ (TMQ) を1チャンネル、16ビットのインターバル・タイマM (TMM) を3チャンネル内蔵しています。

### (10) 時計用タイマ

サブクロック (32.768 kHz) またはプリスケアラ3からの  $f_{BRG}$  (32.768 kHz) から時計カウンタ用の基準時間 (0.5秒または0.25秒) をカウントします。メイン・クロックによるインターバル・タイマとしても同時に使用できます。

### (11) リアルタイム・カウンタ (時計用)

サブクロック (32.768 kHz) またはメイン・クロックから時計カウンタ用の基準時間 (1秒) をカウントします。メイン・クロックによるインターバル・タイマとしても同時に使用できます。年、月、曜日、日、時、分、秒の専用ハードウェア・カウンタを持ち、最長99年までカウントが可能です。

### (12) ウォッチドッグ・タイマ2

プログラムの暴走、システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。

ソース・クロックとして内蔵発振クロック、メイン・クロック、サブクロックを選択できます。

オーバフローでノンマスカブル割り込み要求信号 (INTWDT2)、またはシステム・リセット信号 (WDT2RES) を発生します。

オプション・バイト機能により、ウォッチドッグ・タイマの動作モードをリセット・モードに固定できます。

### (13) シリアル・インタフェース

V850E/SJ3-H, V850E/SK3-Hには、シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA (UARTA)、アシンクロナス・シリアル・インタフェースB (UARTB)、3線式可変長シリアル・インタフェースB (CSIB)、3線式可変長シリアル・インタフェースE (CSIE)、I<sup>2</sup>Cバス・インタフェース (I<sup>2</sup>C) を内蔵しています。

UARTAは、TXDA0-TXDA5, RXDA0-RXDA5端子によりデータ転送を行います。

UARTBは、TXDB0, TXDB1, RXDB0, RXDB1端子によりデータ転送を行います。

CSIBは、SOB0-SOB5, SIB0-SIB5, SCKB0-SCKB5端子によりデータ転送を行います。

CSIEは、SOE0<sup>注</sup>, SOE1<sup>注</sup>, SIE0<sup>注</sup>, SIE1<sup>注</sup>, SCKE0<sup>注</sup>, SCKE1<sup>注</sup>端子によりデータ転送を行います。

I<sup>2</sup>Cは、SDA00-SDA03, SDA04<sup>注</sup>, SDA05<sup>注</sup>, SCL00-SCL03, SCL04<sup>注</sup>, SCL05<sup>注</sup>端子によりデータ転送を行います。

注  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

### (14) IEBusコントローラ

IEBusコントローラは、ユニット間のデータ転送を行うことを目的とした小規模のデジタル・データ伝送システムです。

### (15) CANコントローラ

CANコントローラは、ユニット間のデータ転送を行うことを目的とした小規模のデジタル・データ伝送システムです。

CANコントローラはCANコントローラ内蔵品だけに内蔵されています (表1-1参照)。

### (16) A/Dコンバータ

16本のアナログ入力端子を持つ10ビットA/Dコンバータです。逐次変換方式で変換します。

### (17) D/Aコンバータ

8ビット分解能のD/Aコンバータを2チャンネル内蔵しています。R-2Rラダー方式です。

### (18) DMAコントローラ

4チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて、内蔵RAM、内蔵周辺I/O、外部メモリ、拡張内蔵RAM間でデータを転送します。

### (19) ROMコレクション

内蔵ROM内のプログラムの一部を内蔵RAMのプログラムで置き換えて実行する機能です。8箇所修正可能です。

### (20) キー割り込み機能

8チャンネルのキー入力端子に立ち下がりエッジを入力することによって、キー割り込み要求信号 (INTKR) を発生させることができます。

**(21) リアルタイム出力機能**

あらかじめ設定しておいた6ビット・データを、タイマのコンペア・レジスタの一致信号により出力ラッチに転送します。

**(22) CRC機能**

8ビットのデータ設定により、16ビットのCRC (Cyclic Redundancy Check) コードを生成する、CRC演算回路を内蔵します。

**(23) DCU (デバッグ・コントロール・ユニット)**

JTAG (Joint Test Action Group) の通信仕様を利用して、オンチップ・デバッグ・エミュレータを介したオンチップ・デバッグ機能を内蔵しています。通常ポート機能とオンチップ・デバッグ機能の切り替えは、制御端子の入力レベルとオンチップ・デバッグ・モード・レジスタ (OCDM) の2つで行います。

## (24) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
P0	7ビット入出力	タイマ入出力, シリアル・インタフェース <sup>注2</sup> , NMI, 外部割り込み, A/Dコンバータ・トリガ, デバッグ・リセット
P1	2ビット入出力	D/Aコンバータ・アナログ出力
P2 <sup>注1</sup>	2ビット入出力 (V850E/SK3-H)	シリアル・インタフェース
P3	10ビット入出力 (V850E/SJ3-H) 13ビット入出力 (V850E/SK3-H)	外部割り込み, シリアル・インタフェース, タイマ入出力, CANデータ入出力 <sup>注3</sup> , IEBusデータ入出力
P4	3ビット入出力 (V850E/SJ3-H) 6ビット入出力 (V850E/SK3-H)	シリアル・インタフェース, 外部割り込み, IEBusデータ入出力 <sup>注1</sup>
P5	6ビット入出力 (V850E/SJ3-H) 8ビット入出力 (V850E/SK3-H)	タイマ入出力, リアルタイム出力, キー割り込み入力, 外部割り込み, シリアル・インタフェース, デバッグ入出力
P6	16ビット入出力	リアルタイム出力, シリアル・インタフェース, タイマ入出力, エンコーダ入力, キー割り込み入力, 外部割り込み
P7	16ビット入出力	A/Dコンバータ・アナログ入力
P8	2ビット入出力 (V850E/SJ3-H) 6ビット入出力 (V850E/SK3-H)	シリアル・インタフェース, 外部割り込み, リアルタイム・カウンタ出力
P9	16ビット入出力	外部アドレス・バス, シリアル・インタフェース, キー割り込み入力, タイマ入出力, 外部割り込み
P13 <sup>注1</sup>	4ビット入出力 (V850E/SK3-H)	-
P14 <sup>注1</sup>	6ビット入出力 (V850E/SK3-H)	-
P15 <sup>注1</sup>	4ビット入出力 (V850E/SK3-H)	シリアル・インタフェース, 外部割り込み, キー割り込み入力
PCD	4ビット入出力	シリアル・インタフェース
PCM	6ビット入出力	外部制御信号
PCS	8ビット入出力	チップ・セレクト出力
PCT	8ビット入出力	外部制御信号
PDH	8ビット入出力	外部アドレス・バス
PDL	16ビット入出力	外部アドレス/データ・バス, フラッシュ・メモリ・プログラミング・モード入力信号

注1. V850E/SK3-Hのみ

2.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外
3. CANコントローラ内蔵品のみ

## 第2章 端子機能

### 2.1 端子機能一覧

V850E/SJ3-H, V850E/SK3-Hの端子名称と機能を次に示します。

端子の入出力バッファ電源には,  $AV_{REF0}$ ,  $AV_{REF1}$ ,  $BV_{DD}$ ,  $EV_{DD}$ の4系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

(a) V850E/SJ3-Hの場合

電 源	対応する端子
$AV_{REF0}$	ポート7
$AV_{REF1}$	ポート1
$BV_{DD}$	ポートCD, CM, CS, CT, DH, DL
$EV_{DD}$	$\overline{RESET}$ , ポート0, 3-6, 8, 9

(b) V850E/SK3-Hの場合

電 源	対応する端子
$AV_{REF0}$	ポート7
$AV_{REF1}$	ポート1
$BV_{DD}$	ポート13, 14, CD, CM, CS, CT, DH, DL
$EV_{DD}$	$\overline{RESET}$ , ポート0, 2-6, 8, 9, 15

## (1) ポート端子

(1/6)

端子名称	ピン番号		入出力	機 能	兼用端子
	SJ3-H	SK3-H			
	GJ	GM			
P00	6	6	入出力	ポート0 7ビット入出力ポート 1ビット単位で入力/出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力指定可能 5Vトレラント対応	TIP61/TOP61/SDA04 <sup>注3</sup>
P01	7	7			TIP60/TOP60/SCL04 <sup>注3</sup>
P02	17	19			NMI
P03	18	20			INTP0/ADTRG
P04	19	21			INTP1
P05 <sup>注1</sup>	20	22			INTP2/DRST
P06	21	23			INTP3
P10	3	3	入出力	ポート1 2ビット入出力ポート 1ビット単位で入力/出力の指定が可能	ANO0
P11	4	4			ANO1
P20 <sup>注2</sup>	-	8	入出力	ポート2 (V850E/SK3-Hのみ) 2ビット入出力ポート 1ビット単位で入力/出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力指定可能 5Vトレラント対応	SDA04 <sup>注2</sup>
P21 <sup>注2</sup>	-	9			SCL04 <sup>注2</sup>
P30	25	30	入出力	ポート3 V850E/SJ3-H: 10ビット入出力ポート V850E/SK3-H: 13ビット入出力ポート 1ビット単位で入力/出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力指定可能 5Vトレラント対応	TXDA0/SOB4
P31	26	31			RXDA0/INTP7/SIB4
P32	27	32			ASCKA0/SCKB4/TIP00/TOP00
P33	28	33			TIP01/TOP01/CTXD1 <sup>注4</sup>
P34	29	34			TIP10/TOP10/CRXD1 <sup>注4</sup>
P35	30	35			TIP11/TOP11
P36	31	36			CTXD0 <sup>注5</sup> /IETX0
P37	32	37			CRXD0 <sup>注5</sup> /IERX0
P38	35	40			TXDA2/SDA00/SIB2
P39	36	41			RXDA2/SCL00/SCKB2
P310 <sup>注2</sup>	-	42			SOB2 <sup>注2</sup>
P311 <sup>注2</sup>	-	43			TXDA2 <sup>注2</sup>
P312 <sup>注2</sup>	-	44			RXDA2 <sup>注2</sup>

注1. オンチップ・デバッグを使用しない場合は、リセット解除時からOCDM.OCDM0ビットをクリア(0)するまで、ロウ・レベル固定にしてください。詳細については4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。また、プルダウン抵抗を内蔵していますが、OCDM.OCDM0ビットをクリアすることでプルダウン抵抗を切断できます。

2. V850E/SK3-Hのみ
3.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外
4. CANコントローラ(2チャンネル)内蔵品のみ
5. CANコントローラ内蔵品のみ

備考 SJ3-H: V850E/SJ3-H  
SK3-H: V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)



(2/6)

端子名称	ピン番号		入出力	機能	兼用端子
	SJ3-H	SK3-H			
	GJ	GM			
P40	22	24	入出力	ポート4 V850E/SJ3-H : 3ビット入出力ポート V850E/SK3-H : 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力指定可能 5Vトレラント対応	SIB0/SDA01
P41	23	25			SOB0/SCL01
P42	24	26			SCKB0/INTP2
P43 <sup>注1</sup>	-	27			-
P44 <sup>注1</sup>	-	28			IETX0 <sup>注1</sup>
P45 <sup>注1</sup>	-	29			IEX0 <sup>注1</sup>
P50	37	45	入出力	ポート5 V850E/SJ3-H : 6ビット入出力ポート V850E/SK3-H : 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力指定可能 5Vトレラント対応	KR0/TIQ01/TOQ01/RTP00
P51	38	46			INTP7/KR1/TIQ02/TOQ02/RTP01
P52	39	47			KR2/TIQ03/TOQ03/RTP02/DDI
P53	40	48			SIB2/KR3/TIQ00/TOQ00/RTP03/DDO
P54	41	49			SOB2/KR4/RTP04/DCK
P55	42	50			SCKB2/KR5/RTP05/DMS
P56 <sup>注1</sup>	-	51			RXDA4 <sup>注1</sup>
P57 <sup>注1</sup>	-	52			TXDA4 <sup>注1</sup>
P60	43	53	入出力	ポート6 16ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力指定可能 5Vトレラント対応	RTP10/RXDA4/SIE0 <sup>注2</sup>
P61	44	54			RTP11/TXDA4/SOE0 <sup>注2</sup>
P62	45	55			RTP12/SCKE0 <sup>注2</sup>
P63	46	56			RTP13/SIE1 <sup>注2</sup> /KR4
P64	47	57			RTP14/SOE1 <sup>注2</sup> /KR5
P65	48	58			RTP15/SCKE1 <sup>注2</sup> /KR2/TIQ03/TOQ03
P66	49	59			SIB5/INTP9/KR3/TIQ00/TOQ00
P67	50	60			SOB5/RXDA5/SDA05 <sup>注2</sup>
P68	51	61			SCKB5/TXDA5/SCL05 <sup>注2</sup>
P69	52	62			TIP70/TOP70/TENC70
P610	53	63			TIP71/TENC71
P611	54	64			TOP71/TECR7
P612	55	65			TIP80/TOP80/TENC80
P613	56	66			TIP81/TOP81/TENC81
P614	57	67			SDA03/TECR8
P615	58	68	SCL03		

注1. V850E/SK3-Hのみ

2.  $\mu$  PD70F3931B (V850E/SJ3-H) , 70F3932B (V850E/SJ3-H) , 70F3933B (V850E/SJ3-H) 以外

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

( 3/6 )

端子名称	ピン番号		入出力	機能	兼用端子
	SJ3-H	SK3-H			
	GJ	GM			
P70	144	176	入出力	ポート7 16ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	ANI0
P71	143	175			ANI1
P72	142	174			ANI2
P73	141	173			ANI3
P74	140	172			ANI4
P75	139	171			ANI5
P76	138	170			ANI6
P77	137	169			ANI7
P78	136	168			ANI8
P79	135	167			ANI9
P710	134	166			ANI10
P711	133	165			ANI11
P712	132	164			ANI12
P713	131	163			ANI13
P714	130	162			ANI14
P715	129	161	ANI15		
P80	59	71	入出力	ポート8 V850E/SJ3-H : 2ビット入出力ポート V850E/SK3-H : 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力指定可能 5Vトレラント対応	RXDA3/INTP8/RC1CK1HZ
P81	60	72			TXDA3/RC1CKO <sup>注2</sup> /RC1CKDIV <sup>注2</sup>
P82 <sup>注1</sup>	-	73			SDA05 <sup>注1</sup>
P83 <sup>注1</sup>	-	74			SCL05 <sup>注1</sup>
P84 <sup>注1</sup>	-	75			RXDA5 <sup>注1</sup>
P85 <sup>注1</sup>	-	76			TXDA5 <sup>注1</sup>

注1. V850E/SK3-Hのみ

- RC1CKDIV端子とRC1CKO端子は兼用となっています。RC1CKDIV端子として使用する場合は、兼用しているRC1CKO端子の出力を禁止にしてください (RC1CC1.CLOE0ビット = 0に設定)。また、RC1CKO端子として使用する場合は、RC1CKDIV端子の出力を禁止にしてください (RC1CC3.CLOE2ビット = 0)。

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

( 4/6 )

端子名称	ピン番号		入出力	機 能	兼用端子
	SJ3-H	SK3-H			
	GJ	GM			
P90	61	77	入出力	ポート9 16ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力指定可能 5Vトレラント対応	A0/KR6/TXDA1/SDA02
P91	62	78			A1/KR7/RXDA1/KR7/SCL02
P92	63	79			A2/TIP41/TOP41
P93	64	80			A3/TIP40/TOP40/INTP8
P94	65	81			A4/TIP31 /TOP31
P95	66	82			A5/TIP30/TOP30/INTP5
P96	67	83			A6/TIP21/TOP21
P97	68	84			A7/SIB1/TIP20/TOP20
P98	69	85			A8/SOB1
P99	70	86			A9/SCKB1
P910	71	87			A10/SIB3
P911	72	88			A11/SOB3
P912	73	89			A12/SCKB3
P913	74	90			A13/INTP4
P914	75	91			A14/INTP5/TIP51/TOP51
P915	76	92	A15/INTP6/TIP50/TOP50		
P130 <sup>注</sup>	-	125	入出力	ポート13 (V850E/SK3-Hのみ) 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	-
P131 <sup>注</sup>	-	126			-
P132 <sup>注</sup>	-	127			-
P133 <sup>注</sup>	-	128			-
P140 <sup>注</sup>	-	155	入出力	ポート14 (V850E/SK3-Hのみ) 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	-
P141 <sup>注</sup>	-	156			-
P142 <sup>注</sup>	-	157			-
P143 <sup>注</sup>	-	158			-
P144 <sup>注</sup>	-	159			-
P145 <sup>注</sup>	-	160			-
P150 <sup>注</sup>	-	93	入出力	ポート15 (V850E/SK3-Hのみ) 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力指定可能 5Vトレラント対応	RXDA1 <sup>注</sup> /KR7 <sup>注</sup>
P151 <sup>注</sup>	-	94			TXDA1 <sup>注</sup>
P152 <sup>注</sup>	-	95			INTP9 <sup>注</sup>
P153 <sup>注</sup>	-	96			INTP6 <sup>注</sup>

注 V850E/SK3-Hのみ

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

( 5/6 )

端子名称	ピン番号		入出力	機 能	兼用端子
	SJ3-H	SK3-H			
	GJ	GM			
PCD0	77	97	入出力	ポートCD 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	RXDB0
PCD1	78	98			TXDB0
PCD2	79	99			RXDB1
PCD3	80	100			TXDB1
PCM0	85	105	入出力	ポートCM 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	WAIT
PCM1	86	106			CLKOUT
PCM2	87	107			HLDAK
PCM3	88	108			HLDRQ
PCM4	89	109			-
PCM5	90	110			-
PCS0	81	101	入出力	ポートCS 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	-
PCS1	82	102			CS1
PCS2	83	103			CS2
PCS3	84	104			CS3
PCS4	91	111			-
PCS5	92	112			-
PCS6	93	113			-
PCS7	94	114			-
PCT0	95	115	入出力	ポートCT 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	WR0
PCT1	96	116			WR1
PCT2	97	117			-
PCT3	98	118			-
PCT4	99	119			RD
PCT5	100	120			-
PCT6	101	121			ASTB
PCT7	102	122			-
PDH0	121	145	入出力	ポートDH 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	A16
PDH1	122	146			A17
PDH2	123	147			A18
PDH3	124	148			A19
PDH4	125	149			A20
PDH5	126	150			A21
PDH6	127	151			A22
PDH7	128	152			A23

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

( 6/6 )

端子名称	ピン番号		入出力	機 能	兼用端子
	SJ3-H	SK3-H			
	GJ	GM			
PDL0	105	129	入出力	ポートDH 16ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	AD0
PDL1	106	130			AD1
PDL2	107	131			AD2
PDL3	108	132			AD3
PDL4	109	133			AD4
PDL5	110	134			AD5/FLMD1
PDL6	111	135			AD6
PDL7	112	136			AD7
PDL8	113	137			AD8
PDL9	114	138			AD9
PDL10	115	139			AD10
PDL11	116	140			AD11
PDL12	117	141			AD12
PDL13	118	142			AD13
PDL14	119	143			AD14
PDL15	120	144			AD15

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

## (2) ポート以外の端子

(1/11)

端子名称	ピン番号		入出力	機 能	兼用端子
	SJ3-H	SK3-H			
	GJ	GM			
A0	61	77	出力	外部メモリに対するアドレス・バス (セパレート・バス使用時) セパレート・バス・モードでA0-A15端子を使用する場合は、ポート9はポート端子または他の兼用機能として使用できません。 N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P90/KR6/TXDA1/SDA02
A1	62	78			P91/KR7/RXDA1/KR7/SCL02
A2	63	79			P92/TIP41/TOP41
A3	64	80			P93/TIP40/TOP40/INTP8
A4	65	81			P94/TIP31 /TOP31
A5	66	82			P95/TIP30/TOP30/INTP5
A6	67	83			P96/TIP21/TOP21
A7	68	84			P97/SIB1/TIP20/TOP20
A8	69	85			P98/SOB1
A9	70	86			P99/SCKB1
A10	71	87			P910/SIB3
A11	72	88			P911/SOB3
A12	73	89			P912/SCKB3
A13	74	90			P913/INTP4
A14	75	91			P914/INTP5/TIP51/TOP51
A15	76	92			P915/INTP6/TIP50/TOP50
A16	121	145	出力	外部メモリに対するアドレス・バス	PDH0
A17	122	146			PDH1
A18	123	147			PDH2
A19	124	148			PDH3
A20	125	149			PDH4
A21	126	150			PDH5
A22	127	151			PDH6
A23	128	152			PDH7

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

(2/11)

端子名称	ピン番号		入出力	機 能	兼用端子
	SJ3-H	SK3-H			
	GJ	GM			
AD0	105	129	入出力	外部メモリに対するアドレス/データ・バス	PDL0
AD1	106	130			PDL1
AD2	107	131			PDL2
AD3	108	132			PDL3
AD4	109	133			PDL4
AD5	110	134			PDL5/FLMD1
AD6	111	135			PDL6
AD7	112	136			PDL7
AD8	113	137			PDL8
AD9	114	138			PDL9
AD10	115	139			PDL10
AD11	116	140			PDL11
AD12	117	141			PDL12
AD13	118	142			PDL13
AD14	119	143			PDL14
AD15	120	144			PDL15
ADTRG	18	20	入力	A/Dコンバータ外部トリガ入力, 5Vトレラント対応	P03/INTP0
ANI0	144	176	入力	A/Dコンバータ用アナログ電圧入力	P70
ANI1	143	175			P71
ANI2	142	174			P72
ANI3	141	173			P73
ANI4	140	172			P74
ANI5	139	171			P75
ANI6	138	170			P76
ANI7	137	169			P77
ANI8	136	168			P78
ANI9	135	167			P79
ANI10	134	166			P710
ANI11	133	165			P711
ANI12	132	164			P712
ANI13	131	163			P713
ANI14	130	162			P714
ANI15	129	161			P715
ANO0	3	3	出力	D/Aコンバータ用アナログ電圧出力	P10
ANO1	4	4			P11
ASCKA0	27	32	入力	UARTA0のボー・レート・クロック入力 5Vトレラント対応	P32/SCKB4/TIP00/TOP00
ASTB	101	121	出力	外部メモリに対するアドレス・ストロープ信号出力	PCT6

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

(3/11)

端子名称	ピン番号		入出力	機能	兼用端子
	SJ3-H	SK3-H			
	GJ	GM			
AV <sub>REF0</sub>	1	1	-	A/Dコンバータ用基準電圧入力, 兼ポート7用正電源供給	-
AV <sub>REF1</sub>	5	5	-	D/Aコンバータ用基準電圧入力, 兼ポート1用正電源供給	-
AV <sub>SS</sub>	2	2	-	A/D, D/Aコンバータ用グランド電位 (V <sub>SS</sub> と同電位)	-
BV <sub>DD</sub>	104	124	-	バス・インタフェースおよび兼用ポート用正電源供給	-
	-	153			-
BV <sub>SS</sub>	103	123	-	バス・インタフェースおよび兼用ポート用グランド電位	-
	-	154			-
CLKOUT	86	106	出力	内部システム・クロック出力	PCM1
CRXD0 <sup>注1</sup>	32	37	入力	CAN0, CAN1受信データ入力 5Vトレラント対応	P37/I <sub>ERX0</sub>
CRXD1 <sup>注2</sup>	29	34			P34/TIP10/TOP10
CS1	82	102	出力	チップ・セレクト出力	PCS1
CS2	83	103			PCS2
CS3	84	104			PCS3
CTXD0 <sup>注1</sup>	31	36	出力	CAN0, CAN1送信データ出力 N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P36/I <sub>ETX0</sub>
CTXD1 <sup>注2</sup>	28	33			P33/TIP01/TOP01
DCK	41	49	入力	デバッグ・クロック入力, 5Vトレラント対応	P54/SOB2/KR4/RTP04
DDI	39	47	入力	デバッグ・データ入力, 5Vトレラント対応	P52/KR2/TIQ03/TOQ03/RTP02
DDO <sup>注3</sup>	40	48	出力	デバッグ・データ出力 N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P53/SIB2/KR3/TIQ00/TOQ00/RTP03
DMS	42	50	入力	デバッグ・モード・セレクト入力, 5Vトレラント対応	P55/SCKB2/KR5/RTP05
DRST	20	22	入力	デバッグ・リセット入力, 5Vトレラント対応	P05/INTP2
EV <sub>DD</sub>	34	39	-	外部用正電源供給 (V <sub>DD</sub> と同電位)	-
	-	69			-
EV <sub>SS</sub>	33	38	-	外部用グランド電位 (V <sub>SS</sub> と同電位)	-
	-	70			-
FLMD0	8	10	入力	フラッシュ・メモリ・プログラミング・モード引き込み用 端子	-
FLMD1	110	134			PDL5/AD5
HLD <sub>AK</sub>	87	107	出力	バス・ホールド・アクノリッジ出力	PCM2
HLD <sub>RQ</sub>	88	108	入力	バス・ホールド要求入力	PCM3
I <sub>ERX0</sub>	-	29	入力	IEBus受信データ入力, 5Vトレラント対応	P45 <sup>注4</sup>
	32	37			P37/CRXD0 <sup>注1</sup>
I <sub>ETX0</sub>	-	28	出力	IEBus送信データ出力 N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P44 <sup>注4</sup>
	31	36			P36/CTXD0 <sup>注1</sup>

注1. CANコントローラ内蔵品のみ

2. CANコントローラ (2チャンネル) 内蔵品のみ

3. オンチップ・デバッグ・モード時, 強制的にハイ・レベル出力に設定されます。

4. V850E/SK3-Hのみ

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)



(4/11)

端子名称	ピン番号		入出力	機能	兼用端子
	SJ3-H	SK3-H			
	GJ	GM			
INTP0	18	20	入力	外部割り込み要求入力(マスカブル,アナログ・ノイズ除去) INTP3端子は,アナログ・ノイズ除去/デジタル・ノイズ除去選択可能 5Vトレラント対応	P03/ADTRG
INTP1	19	21			P04
INTP2	20	22			P05/DRST
	24	26			P42/SCKB0
INTP3	21	23			P06
INTP4	74	90			P913/A13
INTP5	66	82			P95/A5/TIP30/TOP30
	75	91			P914/A14/TIP51/TOP51
INTP6	-	96			P153 <sup>注1</sup>
	76	92			P915/A15/TIP50/TOP50
INTP7	26	31			P31/RXDA0/SIB4
	38	46			P51/KR1/TIQ02/TOQ02/RTP01
INTP8 <sup>注2</sup>	59	71			P80/RXDA3/RC1CK1HZ
	64	80			P93/A3/TIP40/TOP40
INTP9	49	59			P66/SIB5/KR3/TIQ00/TOQ00
	-	95	P152 <sup>注1</sup>		
KR0 <sup>注3,4</sup>	37	45	入力	キー割り込み入力(アナログ・ノイズ除去回路内蔵) 5Vトレラント対応	P50/TIQ01/TOQ01/RTP00
KR1 <sup>注3,5</sup>	38	46			P51/INTP7/TIQ02/TOQ02/RTP01
KR2 <sup>注3,6</sup>	39	47			P52/TIQ03/TOQ03/RTP02/DDI
	48	58			P65/RTP15/SCKE1 <sup>注8</sup> /TIQ03/TOQ03
KR3 <sup>注3,7</sup>	40	48			P53/SIB2/TIQ00/TOQ00/RTP03/DDO
	49	59			P66/SIB5/INTP9/TIQ00/TOQ00

## 注1. V850E/SK3-Hのみ

- RXDA3端子とINTP8端子を同時に使用するには, V850E/SJ3-Hの場合はRXDA3端子を59番ピン, INTP8端子を64番ピン, V850E/SK3-Hの場合はRXDA3端子を71番ピン, INTP8端子を80番ピンで使用してください。また, RXDA3端子を使用する場合は, 必ず59番ピン(V850E/SJ3-H)または71番ピン(V850E/SK3-H)のINTP8端子のエッジ検出を無効にしてください。
- 外部でプルアップ処理を行ってください。
- KR0端子を使用する場合は, TIQ01端子のエッジ検出を無効にしてください。
- KR1端子を使用する場合は, TIQ02端子のエッジ検出を無効にしてください。
- KR2端子を使用する場合は, TIQ03端子のエッジ検出を無効にしてください。  
KR2端子とTIQ03端子は, とともに2つのポートに兼用されていますが, それぞれ異なるポートで同時に使用できません。
- KR3端子を使用する場合は, TIQ00端子のエッジ検出を無効にしてください。  
KR3端子とTIQ00端子は, とともに2つのポートに兼用されていますが, それぞれ異なるポートで同時に使用できません。
- $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

(5/11)

端子名称	ピン番号		入出力	機能	兼用端子
	SJ3-H	SK3-H			
	GJ	GM			
KR4 <sup>注1</sup>	41	49	入力	キー割り込み入力(アナログ・ノイズ除去回路内蔵) 5Vトレラント対応	P54/SOB2/RTP04/DCK
	46	56			P63/RTP13/SIE1 <sup>注5</sup>
KR5 <sup>注1</sup>	42	50			P55/SCKB2/RTP05/DMS
	47	57			P64/RTP14/SOE1 <sup>注5</sup>
KR6 <sup>注1</sup>	61	77			P90/A0/TXDA1/SDA02
KR7 <sup>注1,2</sup>	62	78			P91/A1/RXDA1/KR7/SCL02
	-	93			P150 <sup>注6</sup> /RXDA1 <sup>注6</sup>
NMI <sup>注3</sup>	17	19			入力
RC1CK1HZ	59	71	出力	リアルタイム・カウンタ補正クロック(1Hz)出力 N-chオープン・ドレイン出力選択可能,5Vトレラント対応	P80/RXDA3/INTP8
RC1CKDIV <sup>注4</sup>	60	72	出力	リアルタイム・カウンタ・クロック(32kHz分周)出力 N-chオープン・ドレイン出力選択可能,5Vトレラント対応	P81/TXDA3/RC1CKO
RC1CKO <sup>注4</sup>	60	72	出力	リアルタイム・カウンタ・クロック(32kHz原発)出力 N-chオープン・ドレイン出力選択可能,5Vトレラント対応	P81/TXDA3/RC1CKDIV
RD	99	119	出力	外部メモリに対するリード・ストロブ信号出力	PCT4
REGC	10	12	-	レギュレータ出力安定容量接続(4.7 $\mu$ F)	-
RESET	14	16	入力	システム・リセット入力	-

注1. 外部でプルアップ処理を行ってください。

2. KR7端子を使用する場合は、UARTA1の受信動作を禁止にしてください。V850E/SK3-Hの場合、KR7端子とRXDA1端子は、ともに2つのポートに兼用されていますが、それぞれ異なるポートで同時に使用できません。
3. NMI端子はP02端子と兼用しており、リセット後はP02端子として機能します。NMI端子を有効にする場合は、PMC0.PMC02ビットをセット(1)してください。また、NMI端子の初期設定は“エッジ検出なし”になっています。INTF0,INTR0レジスタでNMI端子の有効エッジを選択してください。
4. RC1CKDIV端子とRC1CKO端子は兼用となっています。RC1CKDIV端子として使用する場合は、兼用しているRC1CKO端子の出力を禁止にしてください(RC1CC1.CLOE0ビット=0に設定)。また、RC1CKO端子として使用する場合は、RC1CKDIV端子の出力を禁止にしてください(RC1CC3.CLOE2ビット=0)。
5.  $\mu$ PD70F3931B(V850E/SJ3-H),70F3932B(V850E/SJ3-H),70F3933B(V850E/SJ3-H)以外
6. V850E/SK3-Hのみ

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP(ファインピッチ)(20 $\times$ 20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP(ファインピッチ)(24 $\times$ 24)

(6/11)

端子名称	ピン番号		入出力	機能	兼用端子		
	SJ3-H	SK3-H					
	GJ	GM					
RTP00	37	45	出力	リアルタイム出力ポート N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P50/KR0/TIQ01/TOQ01		
RTP01	38	46			P51/INTP7/KR1/TIQ02/TOQ02		
RTP02	39	47			P52/KR2/TIQ03/TOQ03/DDI		
RTP03	40	48			P53/SIB2/KR3/TIQ00/TOQ00/DDO		
RTP04	41	49			P54/SOB2/KR4/DCK		
RTP05	42	50			P55/SCKB2/KR5/DMS		
RTP10	43	53			P60/RXDA4/SIE0 <sup>注3</sup>		
RTP11	44	54			P61/TXDA4/SOE0 <sup>注3</sup>		
RTP12	45	55			P62/SCKE0 <sup>注3</sup>		
RTP13	46	56			P63/SIE1 <sup>注3</sup> /KR4		
RTP14	47	57			P64/SOE1 <sup>注3</sup> /KR5		
RTP15	48	58			P65/SCKE1 <sup>注3</sup> /KR2/TIQ03/TOQ03		
RXDA0	26	31			入力	シリアル受信データ入力 (UARTA0-UARTA5) 5Vトレラント対応	P31/INTP7/SIB4
RXDA1 <sup>注1</sup>	62	78					P91/A1/KR7/KR7/SCL02
	-	93					P150 <sup>注4</sup> /KR7 <sup>注4</sup>
RXDA2	36	41	P39/SCL00/SCKB2				
	-	44	P312 <sup>注4</sup>				
RXDA3 <sup>注2</sup>	59	71	P80/INTP8/RC1CK1HZ				
RXDA4	-	51	P56 <sup>注4</sup>				
	43	53	P60/RTP10/SIE0 <sup>注3</sup>				
RXDA5	50	60	P67/SOB5/SDA05 <sup>注3</sup>				
	-	75	P84 <sup>注4</sup>				
RXDB0	77	97	入力	シリアル受信データ入力 (UARTB0, UARTB1)			PCD0
RXDB1	79	99					PCD2

注1. RXDA1端子を使用する場合は、KR7端子のキー・リターン信号の検出を無効にしてください。

V850E/SK3-Hの場合、RXDA1端子とKR7端子は、ともに2つのポートに兼用されていますが、それぞれ異なるポートで同時に使用できません。

- RXDA3端子を使用する場合は、必ず59番ピン (V850E/SJ3-H) または71番ピン (V850E/SK3-H) のINTP8端子のエッジ検出を無効にしてください。  
この場合、INTP8端子は、64番ピン (V850E/SJ3-H) または80番ピン (V850E/SK3-H) で使用してください。
- $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外
- V850E/SK3-Hのみ

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

(7/11)

端子名称	ピン番号		入出力	機 能	兼用端子
	SJ3-H	SK3-H			
	GJ	GM			
SCKB0	24	26	入出力	シリアル・クロック入出力 (CSIB0-CSIB5) N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P42/INTP2
SCKB1	70	86			P99/A9
SCKB2	36	41			P39/RXDA2/SCL00
	42	50			P55/KR5/RTP05/DMS
SCKB3	73	89			P912/A12
SCKB4	27	32			P32/ASCKA0/TIP00/TOP00
SCKB5	51	61			P68/TXDA5/SCL05 <sup>注1</sup>
SCKE0 <sup>注1</sup>	45	55	入出力	シリアル・クロック入出力 (CSIE0, CSIE1) N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P62/RTP12
SCKE1 <sup>注1</sup>	48	58			P65/RTP15/KR2/TIQ03/TOQ03
SCL00	36	41	入出力	シリアル・クロック入出力 (I <sup>2</sup> C00-I <sup>2</sup> C04) N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P39/RXDA2/SCKB2
SCL01	23	25			P41/SOB0
SCL02	62	78			P91/A1/KR7/RXDA1/KR7
SCL03	58	68			P615
SCL04 <sup>注1</sup>	7	7			P01/TIP60/TOP60
	-	9	P21 <sup>注2</sup>		
SCL05 <sup>注1</sup>	51	61	入出力	シリアル・クロック入出力 (I <sup>2</sup> C05) N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P68/SCKB5/TXDA5
	-	74			P83 <sup>注2</sup>
SDA00	35	40	入出力	シリアル送受信データ入出力 (I <sup>2</sup> C00-I <sup>2</sup> C05) N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P38/TXDA2/SIB2
SDA01	22	24			P40/SIB0
SDA02	61	77			P90/A0/KR6/TXDA1
SDA03	57	67			P614/TECR8
SDA04 <sup>注1</sup>	6	6			P00/TIP61/TOP61
	-	8			P20 <sup>注2</sup>
SDA05 <sup>注1</sup>	50	60			P67/SOB5/RXDA5
	-	73	P82 <sup>注2</sup>		
SIB0	22	24	入力	シリアル受信データ入力 (CSIB0-CSIB5) 5Vトレラント対応	P40/SDA01
SIB1	68	84			P97/A7/TIP20/TOP20
SIB2	35	40			P38/TXDA2/SDA00
	40	48			P53/KR3/TIQ00/TOQ00/RTP03/DDO
SIB3	71	87			P910/A10
SIB4	26	31			P31/RXDA0/INTP7
SIB5	49	59			P66/INTP9/KR3/TIQ00/TOQ00

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

2. V850E/SK3-Hのみ

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

( 8/11 )

端子名称	ピン番号		入出力	機 能	兼用端子	
	SJ3-H	SK3-H				
	GJ	GM				
SIE0 <sup>注1</sup>	43	53	入力	シリアル受信データ入力 (CSIE0, CSIE1)	P60/RTP10/RXDA4	
SIE1 <sup>注1</sup>	46	56		5Vトレラント対応	P63/RTP13/KR4	
SOB0	23	25	出力	シリアル送信データ出力 (CSIB0-CSIB5) N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P41/SCL01	
SOB1	69	85			P98/A8	
SOB2	-	42			P310 <sup>注2</sup>	
	41	49			P54/KR4/RTP04/DCK	
SOB3	72	88			P911/A11	
SOB4	25	30			P30/TXDA0	
SOB5	50	60			P67/RXDA5/SDA05 <sup>注1</sup>	
SOE0 <sup>注1</sup>	44	54			出力	シリアル送信データ出力 (CSIE0, CSIE1) N-chオープン・ドレイン出力選択可能 5Vトレラント対応
SOE1 <sup>注1</sup>	47	57	P64/RTP14/KR5			
TECR7	54	64	入力	エンコーダ・クリア入力 (TMP7, TMP8) 5Vトレラント対応	P611/TOP71	
TECR8	57	67			P614/SDA03	
TENC70	52	62	入力	エンコーダ入力 (TMP7, TMP8) 5Vトレラント対応	P69/TIP70/TOP70	
TENC71	53	63			P610/TIP71	
TENC80	55	65			P612/TIP80/TOP80	
TENC81	56	66			P613/TIP81/TOP81	
TIP00	27	32	入力	外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMP0) 5Vトレラント対応	P32/ASCKA0/SCKB4/TOP00	
TIP01	28	33			キャプチャ・トリガ入力 (TMP0) 5Vトレラント対応	P33/TOP01/CTXD1 <sup>注3</sup>
TIP10	29	34			外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMP1) 5Vトレラント対応	P34/TOP10/CRXD1 <sup>注3</sup>
TIP11	30	35			キャプチャ・トリガ入力 (TMP1) 5Vトレラント対応	P35/TOP11
TIP20	68	84			外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMP2) 5Vトレラント対応	P97/A7/SIB1/TOP20
TIP21	67	83			キャプチャ・トリガ入力 (TMP2)	P96/A6/TOP21
					5Vトレラント対応	

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

- V850E/SK3-Hのみ
- CANコントローラ (2チャンネル) 内蔵品のみ

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

( 9/11 )

端子名称	ピン番号		入出力	機 能	兼用端子
	SJ3-H	SK3-H			
	GJ	GM			
TIP30	66	82	入力	外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMP3) 5Vトレラント対応	P95/A5/TOP30/INTP5
TIP31	65	81		キャプチャ・トリガ入力 (TMP3) 5Vトレラント対応	P94/A4/TOP31
TIP40	64	80		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMP4) 5Vトレラント対応	P93/A3/TOP40/INTP8
TIP41	63	79		キャプチャ・トリガ入力 (TMP4) 5Vトレラント対応	P92/A2/TOP41
TIP50	76	92		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMP5) 5Vトレラント対応	P915/A15/INTP6/TOP50
TIP51	75	91		キャプチャ・トリガ入力 (TMP5) 5Vトレラント対応	P914/A14/INTP5/TOP51
TIP60	7	7		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMP6) 5Vトレラント対応	P01/TOP60/SCL04 <sup>注</sup>
TIP61	6	6		キャプチャ・トリガ入力 (TMP6) 5Vトレラント対応	P00/TOP61/SDA04 <sup>注</sup>
TIP70	52	62		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMP7) 5Vトレラント対応	P69/TOP70/TENC70
TIP71	53	63		キャプチャ・トリガ入力 (TMP7) 5Vトレラント対応	P610/TENC71
TIP80	55	65		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMP8) 5Vトレラント対応	P612/TOP80/TENC80
TIP81	56	66		キャプチャ・トリガ入力 (TMP8) 5Vトレラント対応	P613/TOP81/TENC81

注  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

( 10/11 )

端子名称	ピン番号		入出力	機 能	兼用端子		
	SJ3-H	SK3-H					
	GJ	GM					
TIQ00 <sup>注1</sup>	40	48	入力	外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMQ0) 5Vトレラント対応	P53/SIB2/KR3/TOQ00/RTP03/DDO		
	49	59			P66/SIB5/INTP9/KR3/TOQ00		
TIQ01 <sup>注2</sup>	37	45			キャプチャ・トリガ入力 (TMQ0)	P50/KR0/TOQ01/RTP00	
TIQ02 <sup>注3</sup>	38	46			5Vトレラント対応	P51/INTP7/KR1/TOQ02/RTP01	
TIQ03 <sup>注4</sup>	39	47			5Vトレラント対応	P52/KR2/TOQ03/RTP02/DDI	
	48	58				P65/RTP15/SCKE1 <sup>注5</sup> /KR2/TOQ03	
TOP00	27	32			出力	タイマ出力 (TMP0)	P32/ASCKA0/SCKB4/TIP00
TOP01	28	33				N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P33/TIP01/CTXD1 <sup>注6</sup>
TOP10	29	34				タイマ出力 (TMP1)	P34/TIP10/CRXD1 <sup>注6</sup>
TOP11	30	35				N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P35/TIP11
TOP20	68	84	タイマ出力 (TMP2)	P97/A7/SIB1/TIP20			
TOP21	67	83	N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P96/A6/TIP21			
TOP30	66	82	タイマ出力 (TMP3)	P95/A5/TIP30/INTP5			
TOP31	65	81	N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P94/A4/TIP31			
TOP40	64	80	タイマ出力 (TMP4)	P93/A3/TIP40/INTP8			
TOP41	63	79	N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P92/A2/TIP41			
TOP50	76	92	出力	タイマ出力 (TMP5)	P915/A15/INTP6/TIP50		
TOP51	75	91		N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P914/A14/INTP5/TIP51		
TOP60	7	7		タイマ出力 (TMP6)	P01/TIP60/SCL04 <sup>注5</sup>		
TOP61	6	6		N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P00/TIP61/SDA04 <sup>注5</sup>		
TOP70	52	62		タイマ出力 (TMP7)	P69/TIP70/TENC70		
TOP71	54	64		N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P611/TECR7		
TOP80	55	65		タイマ出力 (TMP8)	P612/TIP80/TENC80		
TOP81	56	66		N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P613/TIP81/TENC81		

注1. TIQ00端子を使用する場合, KR3端子のキー・リターン信号の検出を無効にしてください。

TIQ00端子とKR3端子は, とともに2つのポートに兼用されていますが, それぞれ異なるポートで同時に使用できません。

- TIQ01端子を使用する場合, KR0端子のキー・リターン信号の検出を無効にしてください。
- TIQ02端子を使用する場合, KR1端子のキー・リターン信号の検出を無効にしてください。
- TIQ03端子を使用する場合, KR2端子のキー・リターン信号の検出を無効にしてください。

TIQ03端子とKR2端子は, とともに2つのポートに兼用されていますが, それぞれ異なるポートで同時に使用できません。

- $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外
- CANコントローラ (2チャンネル) 内蔵品のみ

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

(11/11)

端子名称	ピン番号		入出力	機能	兼用端子
	SJ3-H	SK3-H			
	GJ	GM			
TOQ00	40	48	出力	タイマ出力 (TMQ0) N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P53/SIB2/KR3/TIQ00/RTP03/DDO
	49	59			P66/SIB5/INTP9/KR3/TIQ00
TOQ01	37	45			P50/KR0/TIQ01/RTP00
TOQ02	38	46			P51/INTP7/KR1/TIQ02/RTP01
TOQ03	39	47			P52/KR2/TIQ03/RTP02/DDI
	48	58			P65/RTP15/SCKE1 <sup>注1</sup> /KR2/TIQ03
TXDA0	25	30	出力	シリアル送信データ出力 (UARTA0-UARTA5) N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P30/SOB4
TXDA1	61	77			P90/A0/KR6/SDA02
	-	94			P151 <sup>注2</sup>
TXDA2	35	40			P38/SDA00/SIB2
	-	43			P311 <sup>注2</sup>
TXDA3	60	72			P81/RC1CKO/RC1CKDIV
TXDA4	-	52			P57 <sup>注2</sup>
	44	54			P61/RTP11/SOE0 <sup>注1</sup>
TXDA5	51	61	P68/SCKB5/SCL05 <sup>注1</sup>		
	-	76	P85 <sup>注2</sup>		
TXDB0	78	98	出力	シリアル送信データ出力 (UARTB0, UARTB1)	PCD1
TXDB1	80	100			PCD3
V <sub>DD</sub>	9	11	-	内部用正電源供給端子	-
V <sub>SS</sub>	11	13	-	内部用グランド電位	-
WAIT	85	105	入力	外部ウエイト入力	PCM0
WR0	95	115	出力	外部メモリ (下位8ビット) に対するライト・ストロープ	PCT0
WR1	96	116		外部メモリ (上位8ビット) に対するライト・ストロープ	PCT1
X1	12	14	入力	メイン・クロック用発振子接続	-
X2	13	15	-		-
XT1	15	17	入力	サブクロック用発振子接続	-
XT2	16	18	-		-

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

2. V850E/SK3-Hのみ

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)



## 2.2 兼用機能のポート・シェア

V850E/SJ3-H, V850E/SK3-Hでは、同じ兼用機能を2つのポートに割り付けられたものがあります。どちらのポートで兼用機能を使用するかは、ポート設定で選択できます。

**注意** 2つのポートに割り付けられた兼用機能を使用する場合は、必ず2つのポートのうち、どちらか一方で使用してください。

表2-2 兼用機能のポート・シェア (1/2)

## (a) V850E/SJ3-Hの場合

機能	兼用機能	入出力	ポート		ポート	
			ピン番号	ポート機能	ピン番号	ポート機能
外部割り込み	INTP2	入力	20	P05	24	P42
	INTP5		75	P914	66	P95
	INTP7		26	P31	38	P51
	INTP8		59	P80	64	P93
CSIB2	SIB2	入力	40	P53	35	P38
	SCKB2	入出力	42	P55	36	P39
キー割り込み	KR4	入力	41	P54	46	P63
	KR5		42	P55	47	P64
TMQ0 (/KR2, /KR3)	TIQ00/KR3 <sup>注1</sup>	入力	40	P53	49	P66
	TOQ00	出力	40	P53	49	P66
	TIQ03/KR2 <sup>注2</sup>	入力	39	P52	48	P65
	TOQ03	出力	39	P52	48	P65

注1. TIQ00端子とKR3端子は、ともに2つのポートに兼用されていますが、それぞれ異なるポートで同時に使用できません。

2. TIQ03端子とKR2端子は、ともに2つのポートに兼用されていますが、それぞれ異なるポートで同時に使用できません。

表2-2 兼用機能のポート・シェア (2/2)

## (b) V850E/SK3-Hの場合

機能	兼用機能	入出力	ポート		ポート		
			ピン番号	ポート機能	ピン番号	ポート機能	
外部割り込み	INTP2	入力	22	P05	26	P42	
	INTP5		91	P914	82	P95	
	INTP6		92	P915	96	P153	
	INTP7		31	P31	46	P51	
	INTP8		71	P80	80	P93	
	INTP9		59	P66	95	P152	
I <sup>2</sup> C04	SCL04	入出力	7	P01	9	P21	
	SDA04		6	P00	8	P20	
I <sup>2</sup> C05	SCL05		61	P68	74	P83	
	SDA05		60	P67	73	P82	
CSIB2	SIB2		入力	48	P53	40	P38
	SOB2		出力	49	P54	42	P310
	SCKB2	入出力	50	P55	41	P39	
UARTA1 (/KR7)	RXDA1/KR7 <sup>注1</sup>	入力	78	P91	93	P150	
	TXDA1	出力	77	P90	94	P151	
UARTA2	RXDA2	入力	41	P39	44	P312	
	TXDA2	出力	40	P38	43	P311	
UARTA4	RXDA4	入力	53	P60	51	P56	
	TXDA4	出力	54	P61	52	P57	
UARTA5	RXDA5	入力	60	P67	75	P84	
	TXDA5	出力	61	P68	76	P85	
IEBus	I <sup>2</sup> CX0	入力	37	P37	29	P45	
	I <sup>2</sup> TX0	出力	36	P36	28	P44	
キー割り込み	KR4	入力	49	P54	56	P63	
	KR5		50	P55	57	P64	
TMQ0 (/KR2, /KR3)	TIQ00/KR3 <sup>注2</sup>	入力	48	P53	59	P66	
	TOQ00	出力	48	P53	59	P66	
	TIQ03/KR2 <sup>注3</sup>	入力	47	P52	58	P65	
	TOQ03	出力	47	P52	58	P65	

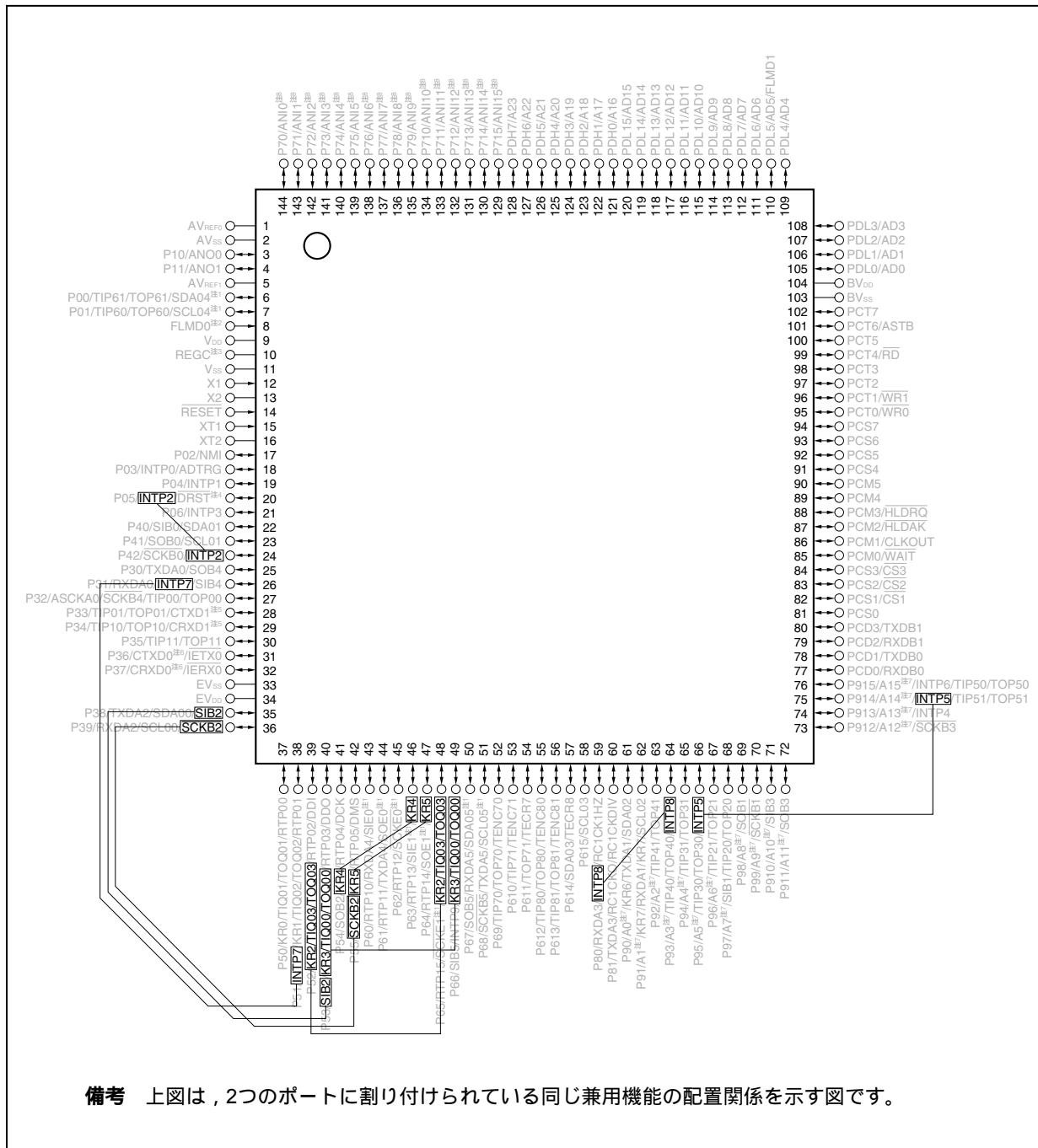
注1. RXDA1端子とKR7端子は、ともに2つのポートに兼用されていますが、それぞれ異なるポートで同時に使用できません。

2. TIQ00端子とKR3端子は、ともに2つのポートに兼用されていますが、それぞれ異なるポートで同時に使用できません。

3. TIQ03端子とKR2端子は、ともに2つのポートに兼用されていますが、それぞれ異なるポートで同時に使用できません。

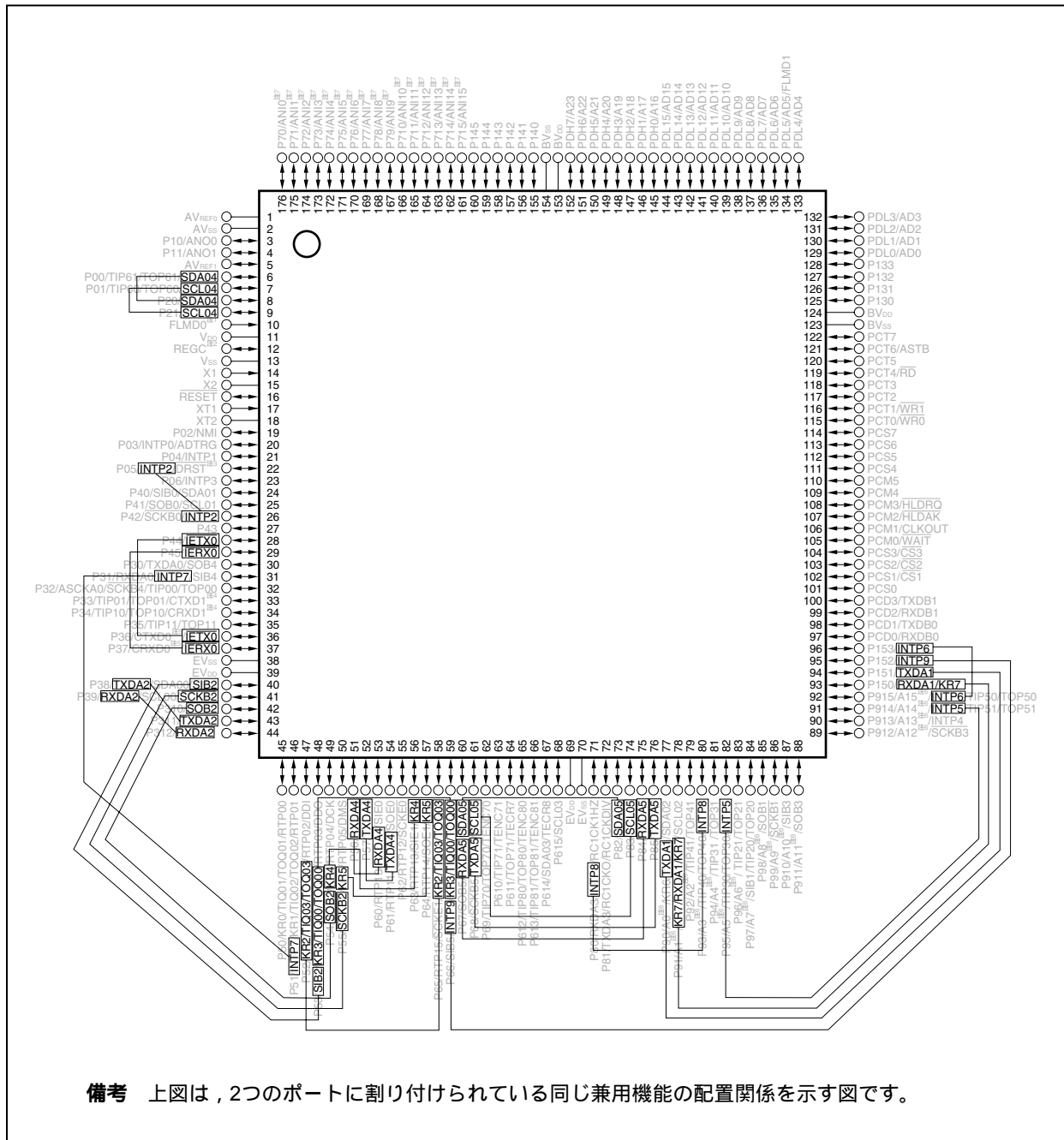
次に兼用機能のポート・シェアの配置図を示します。

図2 - 1 V850E/SJ3-Hの兼用機能のポート・シェア配置図  
(144ピン・プラスチックLQFP (ファインピッチ) (20×20))



備考 上図は、2つのポートに割り付けられている同じ兼用機能の配置関係を示す図です。

図 2 - 2 V850E/SK3-Hの兼用機能のポート・シェア配置図  
(176ピン・プラスチックLQFP (ファインピッチ) (24×24))



## 2.3 端子状態

動作モードによる各端子の動作状態を次に示します。

表2-3 動作モードによる各端子の動作状態

端子名称	リセット中 (電源投入直 後)	リセット中 (電源投入直 後以外)	HALT モード <sup>注2</sup>	IDLE1, IDLE2, サブIDLE モード <sup>注2</sup>	STOP モード <sup>注2</sup>	アイドル・ ステート <sup>注3</sup>	バス・ ホールド				
P05/DRST	ブルダウン	ブルダウン <sup>注4</sup>	保持	保持	保持	保持	保持				
P10/ANO0, P11/ANO1	Hi-Z	Hi-Z	保持	保持	注10	保持	保持				
P53/DDO	不定 <sup>注1</sup>	Hi-Z <sup>注5</sup>	保持	保持	保持	保持	保持				
AD0-AD15	Hi-Z <sup>注6</sup>	Hi-Z <sup>注6</sup>	注7, 8	Hi-Z	Hi-Z	保持	Hi-Z				
A0-A15			不定 <sup>注7, 9</sup>								
A16-A23			不定 <sup>注7</sup>								
WAIT			-								
CLKOUT			動作					L	L	動作	動作
WR0, WR1			H <sup>注7</sup>					H	H	H	Hi-Z
RD											
ASTB											
HLDK			動作 <sup>注7</sup>								L
HLDK											
HLDK											
HLDK											動作
CS1-CS3	H <sup>注7</sup>	H	H	H	H	Hi-Z					
その他のポート端子	Hi-Z	Hi-Z	保持	保持	保持	保持	保持				

注1. 電源投入時に瞬間的に不定レベルを出力する可能性があります。

2. 兼用機能が動作しているときは動作します。

3. セパレート・バス・モード時は、T2ステート後に挿入されるアイドル・ステート時の端子状態を示します。マルチプレクス・バス・モード時は、T3ステート後に挿入されるアイドル・ステート時の端子状態を示します。

4. 外部リセット時はブルダウンされます。ウォッチドッグ・タイマ、低電圧検出回路、クロック・モニタなどによる内部リセット時は、OCDM.OCDM0ビットの設定によって異なります。

5. オンチップ・デバッグ・モード時には、DDO出力になります。

6. バス制御端子はポート端子と兼用するので、入力モード(ポート・モード)に初期化します。

7. HALTモード時でもDMA動作中は動作します。

8. セパレート・バス・モード時 : Hi-Z  
マルチプレクス・バス・モード時 : 不定

9. セパレート・バス・モード時

10. ポート・モード時 : 保持  
兼用機能時 : Hi-Z

**備考** Hi-Z : ハイ・インピーダンス

保持 : 直前の外部バス・サイクルでの状態を保持

L : ロウ・レベル出力

H : ハイ・レベル出力

- : 入力非サンプリング(受け付けない)

## 2.4 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理

(1/6)

端子	兼用端子名	ピン番号		入出力回路タイプ	推奨接続方法
		SJ3-H	SK3-H		
		GJ	GM		
P00	TIP61/TOP61/SDA04 <sup>注2</sup>	6	6	10-D	入力時：個別に抵抗を介して, EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P01	TIP60/TOP60/SCL04 <sup>注2</sup>	7	7		
P02	NMI	17	19		
P03	INTP0/ADTRG	18	20		
P04	INTP1	19	21		
P05	INTP2/ $\overline{\text{DRST}}$	20	22	10-N	入力時：個別に抵抗を介して, EV <sub>SS</sub> に接続してください。V <sub>DD</sub> レベルへの固定は禁止です。 出力時：オープンにしてください。 $\overline{\text{RESET}}$ 端子によるリセット時, 内部でプルダウンされます。
P06	INTP3	21	23	10-D	入力時：個別に抵抗を介して, EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P10	ANO0	3	3	12-D	入力時：個別に抵抗を介して, AV <sub>REF1</sub> またはAV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P11	ANO1	4	4		
P20 <sup>注1</sup>	SDA04	-	8	10-D	入力時：個別に抵抗を介して, EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P21 <sup>注1</sup>	SCL04	-	9		
P30	TXDA0/SOB4	25	30	10-G	出力時：オープンにしてください。
P31	RXDA0/INTP7/SIB4	26	31	10-D	
P32	ASCKA0/ $\overline{\text{SCKB4}}$ /TIP00/TOP00	27	32		
P33	TIP01/TOP01/CTXD1 <sup>注3</sup>	28	33		
P34	TIP10/TOP10/CRXD1 <sup>注3</sup>	29	34	10-G	
P35	TIP11/TOP11	30	35		
P36	CTXD0 <sup>注4</sup> / $\overline{\text{IETX0}}$	31	36		
P37	CRXD0 <sup>注4</sup> / $\overline{\text{IERX0}}$	32	37		
P38	TXDA2/SDA00/SIB2	35	40	10-D	
P39	RXDA2/SCL00/ $\overline{\text{SCKB2}}$	36	41		
P310 <sup>注1</sup>	SOB2 <sup>注1</sup>	-	42	10-G	
P311 <sup>注1</sup>	TXDA2 <sup>注1</sup>	-	43	10-D	
P312 <sup>注1</sup>	RXDA2 <sup>注1</sup>	-	44		

注1. V850E/SK3-Hのみ

2.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外
3. CANコントローラ (2チャンネル) 内蔵品のみ
4. CANコントローラ内蔵品のみ

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

( 2/6 )

端 子	兼用端子名	ピン番号		入出力回路タイプ	推奨接続方法
		SJ3-H	SK3-H		
		GJ	GM		
P40	SIB0/SDA01	22	24	10-D	入力時：個別に抵抗を介して，EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P41	SOB0/SCL01	23	25		
P42	SCKB0/INTP2	24	26		
P43 <sup>注1</sup>	-	-	27	10-G	
P44 <sup>注1</sup>	IETX0 <sup>注1</sup>	-	28	10-D	
P45 <sup>注1</sup>	IEX0 <sup>注1</sup>	-	29		
P50	KR0/TIQ01/TOQ01/RTP00	37	45		
P51	INTP7/KR1/TIQ02/TOQ02/ RTP01	38	46		
P52	KR2/TIQ03/TOQ03/RTP02/ DDI	39	47		
P53	SIB2/KR3/TIQ00/TOQ00/RTP03/ DDO	40	48		
P54	SOB2/KR4/RTP04/DCK	41	49		
P55	SCKB2/KR5/RTP05/DMS	42	50		
P56 <sup>注1</sup>	RXDA4 <sup>注1</sup>	-	51		
P57 <sup>注1</sup>	TXDA4 <sup>注1</sup>	-	52		
P60	RTP10/RXDA4/SIE0 <sup>注2</sup>	43	53	10-D	
P61	RTP11/TXDA4/SOE0 <sup>注2</sup>	44	54	10-G	
P62	RTP12/SCKE0 <sup>注2</sup>	45	55	10-D	
P63	RTP13/SIE1 <sup>注2</sup> /KR4	46	56		
P64	RTP14/SOE1 <sup>注2</sup> /KR5	47	57		
P65	RTP15/SCKE1 <sup>注2</sup> /KR2/TIQ03/ TOQ03	48	58		
P66	SIB5/INTP9/KR3/TIQ00/ TOQ00	49	59		
P67	SOB5/RXDA5/SDA05 <sup>注2</sup>	50	60		
P68	SCKB5/TXDA5/SCL05 <sup>注2</sup>	51	61		
P69	TIP70/TOP70/TENC70	52	62		
P610	TIP71/TENC71	53	63		
P611	TOP71/TECR7	54	64		
P612	TIP80/TOP80/TENC80	55	65		
P613	TIP81/TOP81/TENC81	56	66		
P614	SDA03/TECR8	57	67		
P615	SCL03	58	68		

注1. V850E/SK3-Hのみ

2.  $\mu$ PD70F3931B (V850E/SJ3-H) , 70F3932B (V850E/SJ3-H) , 70F3933B (V850E/SJ3-H) 以外

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)



(3/6)

端子	兼用端子名	ピン番号		入出力回路タイプ	推奨接続方法
		SJ3-H	SK3-H		
		GJ	GM		
P70	ANI0	144	176	11-G	入力時：個別に抵抗を介して，AV <sub>REF0</sub> またはAV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P71	ANI1	143	175		
P72	ANI2	142	174		
P73	ANI3	141	173		
P74	ANI4	140	172		
P75	ANI5	139	171		
P76	ANI6	138	170		
P77	ANI7	137	169		
P78	ANI8	136	168		
P79	ANI9	135	167		
P710	ANI10	134	166		
P711	ANI11	133	165		
P712	ANI12	132	164		
P713	ANI13	131	163		
P714	ANI14	130	162		
P715	ANI15	129	161		
P80	RXDA3/INTP8/RC1CK1HZ	59	71	10-D	入力時：個別に抵抗を介して，EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P81	TXDA3/RC1CK0/RC1CKDIV	60	72	10-G	
P82 <sup>注</sup>	SDA05 <sup>注</sup>	-	73	10-D	
P83 <sup>注</sup>	SCL05 <sup>注</sup>	-	74		
P84 <sup>注</sup>	RXDA5 <sup>注</sup>	-	75		
P85 <sup>注</sup>	TXDA5 <sup>注</sup>	-	76	10-G	
P90	A0/KR6/TXDA1/SDA02	61	77	10-D	
P91	A1/KR7/RXDA1/KR7/SCL02	62	78		
P92	A2/TIP41/TOP41	63	79		
P93	A3/TIP40/TOP40/INTP8	64	80		
P94	A4/TIP31/TOP31	65	81		
P95	A5/TIP30/TOP30/INTP5	66	82		
P96	A6/TIP21/TOP21	67	83		
P97	A7/SIB1/TIP20/TOP20	68	84		
P98	A8/SOB1	69	85	10-G	
P99	A9/SCKB1	70	86	10-D	
P910	A10/SIB3	71	87		
P911	A11/SOB3	72	88	10-G	

注 V850E/SK3-Hのみ

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

(4/6)

端 子	兼用端子名	ピン番号		入出力回路タイプ	推奨接続方法		
		SJ3-H	SK3-H				
		GJ	GM				
P912	A12/SCKB3	73	89	10-D	入力時：個別に抵抗を介して，EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。		
P913	A13/INTP4	74	90				
P914	A14/INTP5/TIP51/TOP51	75	91				
P915	A15/INTP6/TIP50/TOP50	76	92				
P130 <sup>注</sup>	-	-	125	5	入力時：個別に抵抗を介して，BV <sub>DD</sub> またはBV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。		
P131 <sup>注</sup>	-	-	126				
P132 <sup>注</sup>	-	-	127				
P133 <sup>注</sup>	-	-	128				
P140 <sup>注</sup>	-	-	155				
P141 <sup>注</sup>	-	-	156				
P142 <sup>注</sup>	-	-	157				
P143 <sup>注</sup>	-	-	158				
P144 <sup>注</sup>	-	-	159				
P145 <sup>注</sup>	-	-	160				
P150 <sup>注</sup>	RXDA1 <sup>注</sup> /KR7 <sup>注</sup>	-	93			10-D	入力時：個別に抵抗を介して，EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P151 <sup>注</sup>	TXDA1 <sup>注</sup>	-	94			10-G	
P152 <sup>注</sup>	INTP9 <sup>注</sup>	-	95	10-D			
P153 <sup>注</sup>	INTP6 <sup>注</sup>	-	96				
PCD0	RXDB0	77	97		入力時：個別に抵抗を介して，BV <sub>DD</sub> またはBV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。		
PCD1	TXDB0	78	98	10-G			
PCD2	RXDB1	79	99	10-D			
PCD3	TXDB1	80	100	10-G			
PCM0	WAIT	85	105	5			
PCM1	CLKOUT	86	106				
PCM2	HLD $\overline{AK}$	87	107				
PCM3	HLDR $\overline{Q}$	88	108				
PCM4	-	89	109				
PCM5	-	90	110				
PCS0	-	81	101				
PCS1	$\overline{CS1}$	82	102				
PCS2	$\overline{CS2}$	83	103				
PCS3	$\overline{CS3}$	84	104				
PCS4	-	91	111				
PCS5	-	92	112				
PCS6	-	93	113				
PCS7	-	94	114				

注 V850E/SK3-Hのみ

備考 SJ3-H：V850E/SJ3-H

SK3-H：V850E/SK3-H

GJ (V850E/SJ3-H)：144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H)：176ピン・プラスチックLQFP (ファインピッチ) (24×24)

( 5/6 )

端 子	兼用端子名	ピン番号		入出力回路タイプ	推奨接続方法
		SJ3-H	SK3-H		
		GJ	GM		
PCT0	WR0	95	115	5	入力時：個別に抵抗を介して，BV <sub>DD</sub> またはBV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
PCT1	WR1	96	116		
PCT2	-	97	117		
PCT3	-	98	118		
PCT4	RD	99	119		
PCT5	-	100	120		
PCT6	ASTB	101	121		
PCT7	-	102	122		
PDH0	A16	121	145		
PDH1	A17	122	146		
PDH2	A18	123	147		
PDH3	A19	124	148		
PDH4	A20	125	149		
PDH5	A21	126	150		
PDH6	A22	127	151		
PDH7	A23	128	152		
PDL0	AD0	105	129		
PDL1	AD1	106	130		
PDL2	AD2	107	131		
PDL3	AD3	108	132		
PDL4	AD4	109	133		
PDL5	AD5/FLMD1	110	134		個別に抵抗を介して，BV <sub>SS</sub> に接続してください。
PDL6	AD6	111	135		入力時：個別に抵抗を介して，BV <sub>DD</sub> またはBV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
PDL7	AD7	112	136		
PDL8	AD8	113	137		
PDL9	AD9	114	138		
PDL10	AD10	115	139		
PDL11	AD11	116	140		
PDL12	AD12	117	141		
PDL13	AD13	118	142		
PDL14	AD14	119	143		
PDL15	AD15	120	144		

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

(6/6)

端子	兼用端子名	ピン番号		入出力回路タイプ	推奨接続方法
		SJ3-H	SK3-H		
		GJ	GM		
AV <sub>REF0</sub>	—	1	1	—	常に電源に接続してください(スタンバイ時も同様です)。
AV <sub>REF1</sub>	—	5	5		
AV <sub>SS</sub>	—	2	2	-	常にグランドに直接接続してください(スタンバイ時も同様です)。
BV <sub>DD</sub>	—	104	124	—	常に電源に接続してください(スタンバイ時も同様です)。
	—	-	153		
BV <sub>SS</sub>	—	103	123	—	常にグランドに直接接続してください(スタンバイ時も同様です)。
	—	-	154		
EV <sub>DD</sub>	-	34	39	-	常に電源に接続してください(スタンバイ時も同様です)。
	-	-	69		
EV <sub>SS</sub>	-	33	38	-	常にグランドに直接接続してください(スタンバイ時も同様です)。
	-	-	70		
FLMD0	-	8	10	-	フラッシュ・メモリ・プログラミング・モード時以外はV <sub>SS</sub> に接続してください。
REGC	-	10	12	-	レギュレータ出力安定容量接続(4.7 μF)
RESET	-	14	16	2	-
V <sub>DD</sub>	-	9	11	-	常に電源に接続してください(スタンバイ時も同様です)。
V <sub>SS</sub>	-	11	13	-	常にグランドに直接接続してください(スタンバイ時も同様です)。
X1	-	12	14	-	-
X2	-	13	15	-	-
XT1	-	15	17	16-C	V <sub>SS</sub> に接続してください。
XT2	-	16	18		オープンにしてください。

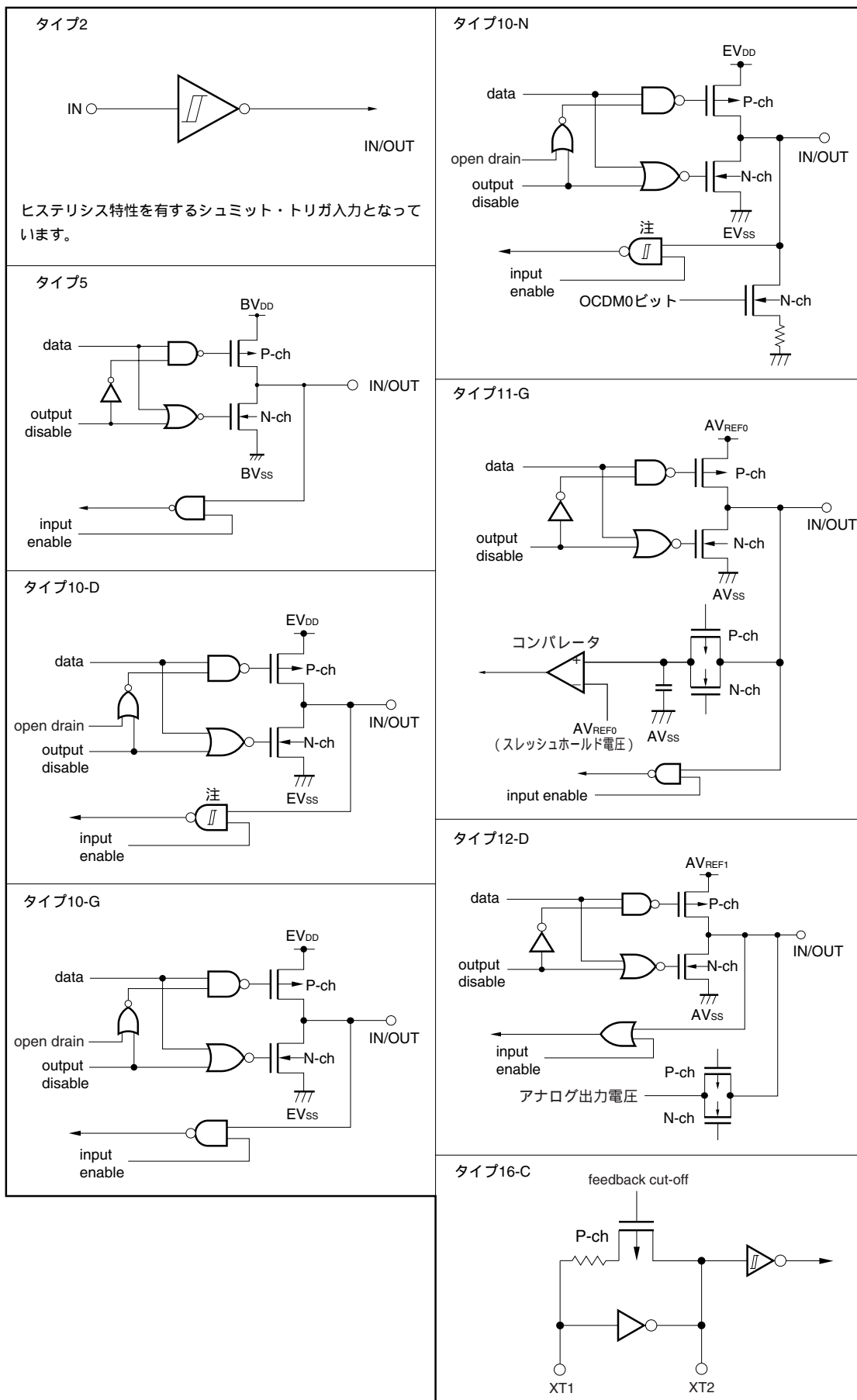
備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

図2 - 3 端子の入出力回路タイプ



注 ポート・モード時はヒステリシス特性を持ちません。

## 2.5 注意事項

### (1) 電源投入時の注意事項

次に示す端子は、電源投入時に瞬間的に不定レベルを出力する可能性があります。

- ・ P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO端子

## 第3章 CPU機能

V850E/SJ3-H, V850E/SK3-HのCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

### 3.1 特 徴

最小命令実行時間：20.8 ns (48 MHz動作時)

30.5  $\mu$ s (サブクロック ( $f_{XT}$ ) = 32.768 kHz動作時)

メモリ空間 プログラム (物理アドレス) 空間：64 Mバイト・リニア

データ (論理アドレス) 空間 : 4 Gバイト・リニア

汎用レジスタ：32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令：1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

- ・ SET1
- ・ CLR1
- ・ NOT1
- ・ TST1

## 3.2 CPUレジスタ・セット

V850E/SJ3-H, V850E/SK3-Hのレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850E1 ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	0	31	0
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態回避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態回避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態回避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態回避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態回避レジスタ)
r11		CTPSW	(CALLT実行時状態回避レジスタ)
r12			
r13		DBPC	(例外/デバッグ・トラップ時状態回避レジスタ)
r14		DBPSW	(例外/デバッグ・トラップ時状態回避レジスタ)
r15			
r16		CTBP	(CALLTベース・ポインタ)
r17			
r18		ASID	(プログラムIDレジスタ)
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31	0		
PC	(プログラム・カウンタ)		



### 3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

#### (1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1, r3-r5, r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用することがあります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3 - 1 汎用レジスタ一覧

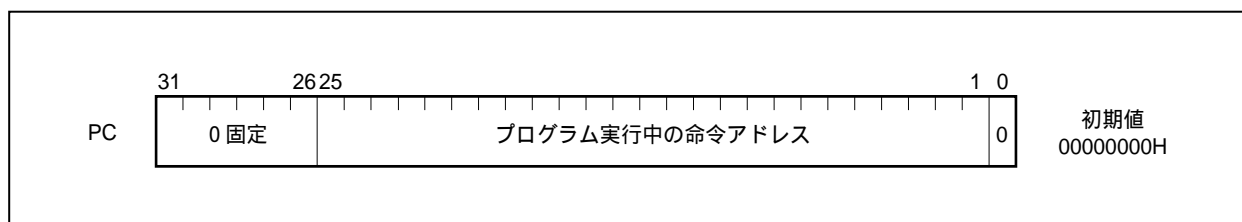
名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス/データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス/データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用

**備考** アセンブラやCコンパイラで使用されるr1, r3-r5, r31の詳細な説明は、CA850 (Cコンパイラ・パッケージ) ユーザーズ・マニュアル アセンブリ言語編を参照してください。

#### (2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



### 3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) <sup>注1</sup>		
1	割り込み時状態退避レジスタ (EIPSW) <sup>注1</sup>		
2	NMI時状態退避レジスタ (FEPC) <sup>注1</sup>		
3	NMI時状態退避レジスタ (FEPSW) <sup>注1</sup>		
4	割り込み要因レジスタ (ECR)	x	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/デバッグ・トラップ時状態退避レジスタ (DBPC)	注2	注2
19	例外/デバッグ・トラップ時状態退避レジスタ (DBPSW)	注2	注2
20	CALLTベース・ポインタ (CTBP)		
21, 22	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x
23	プログラムIDレジスタ (ASID)		
24-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x

注1. これらのレジスタは1組しかいないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令、または不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

**注意** LDSR命令によりEIPCかFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC、FEPC、CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

**備考** : アクセス可能

x : アクセス禁止

## (1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

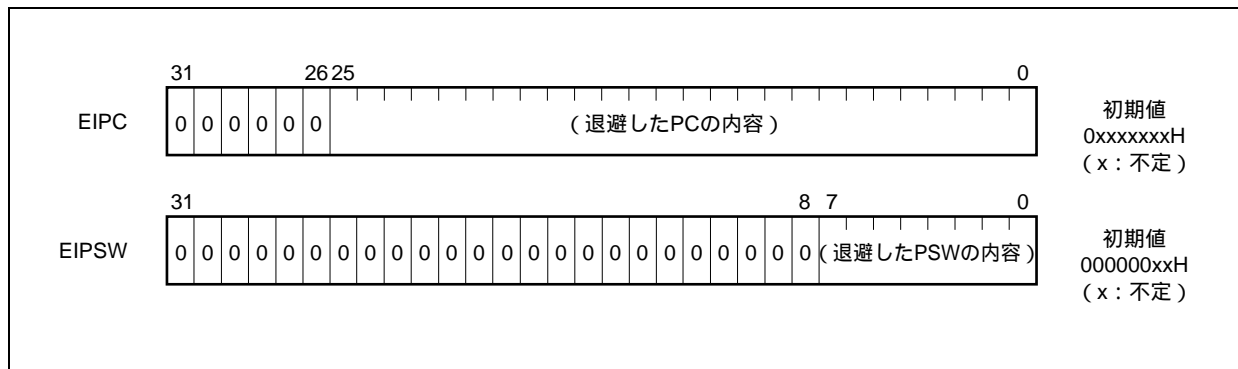
EIPCには、一部の命令 (24.8 CPUが割り込みを受け付けない期間参照) を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



**(2) NMI時状態退避レジスタ (FEPC, FEPSW)**

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

ノンマスクابل割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSW に退避されます。

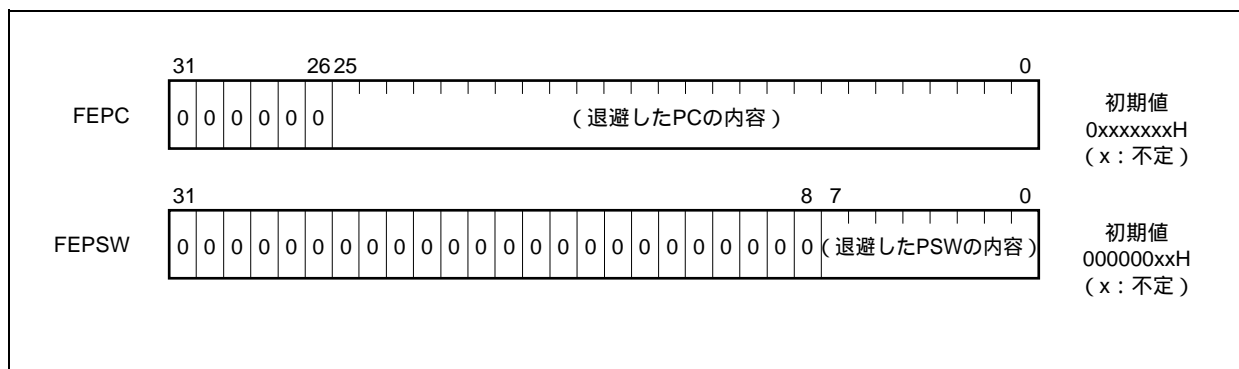
FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

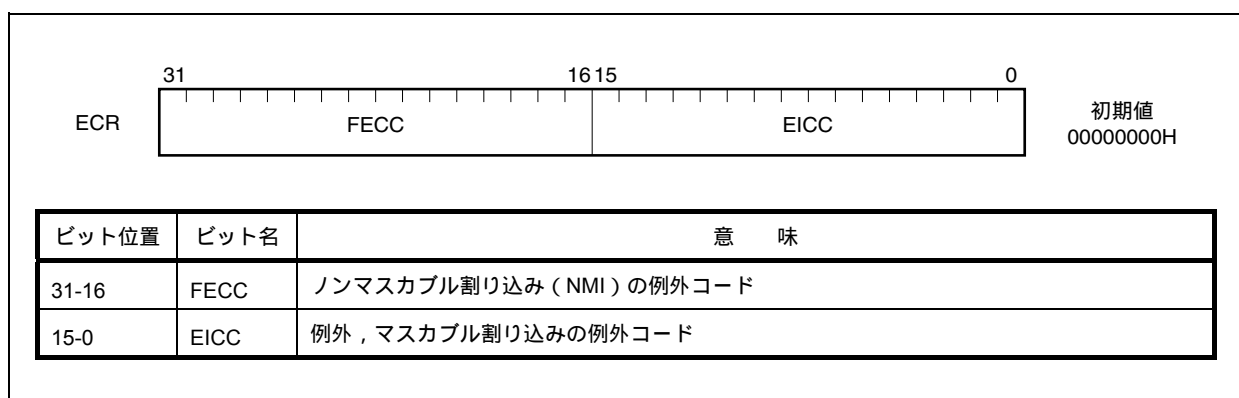
NMI時状態退避レジスタは1組しかないため、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。

**(3) 割り込み要因レジスタ (ECR)**

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



## (4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。ただし、IDフラグをセット (1) する場合、LDSR命令実行中から割り込み要求の受け付けを禁止します。

なお、ビット31-8は、将来の機能拡張のために予約されています (0に固定)。

(1/2)

ビット位置	フラグ名	意味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスカブル割り込み (NMI) 処理中であることを示します。NMI要求が受け付けられるとセット“1”され、多重割り込みを禁止します。 0: NMI処理中でない。 1: NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み可 1: 割り込み不可
4	SAT <sup>注</sup>	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV <sup>注</sup>	演算中にオーバーフローが発生したかどうかを示します。 0: オーバーフローは発生していない。 1: オーバーフローが発生した。
1	S <sup>注</sup>	演算の結果が負かどうかを示します。 0: 演算の結果は、正または0であった。 1: 演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0: 演算の結果は0でなかった。 1: 演算の結果は0であった。

**備考** 注の説明は次ページに記載しています。

(2/2)

**注** 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また、飽和演算時にOVフラグがセット(1)された場合だけ、SATフラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負(最大値を越えない)	保持		1	

#### (5) CALLT実行時状態退避レジスタ(CTPC, CTPSW)

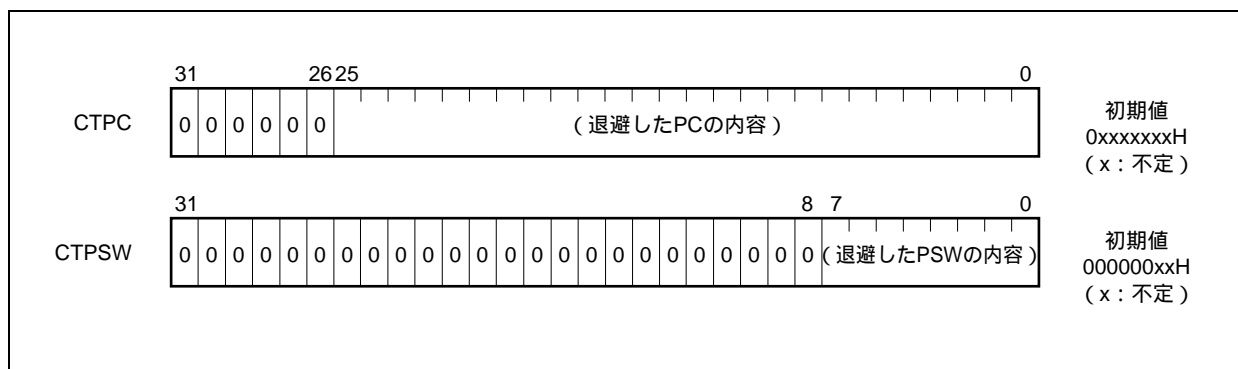
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ(PC)の内容がCTPCに、プログラム・ステータス・ワード(PSW)の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。



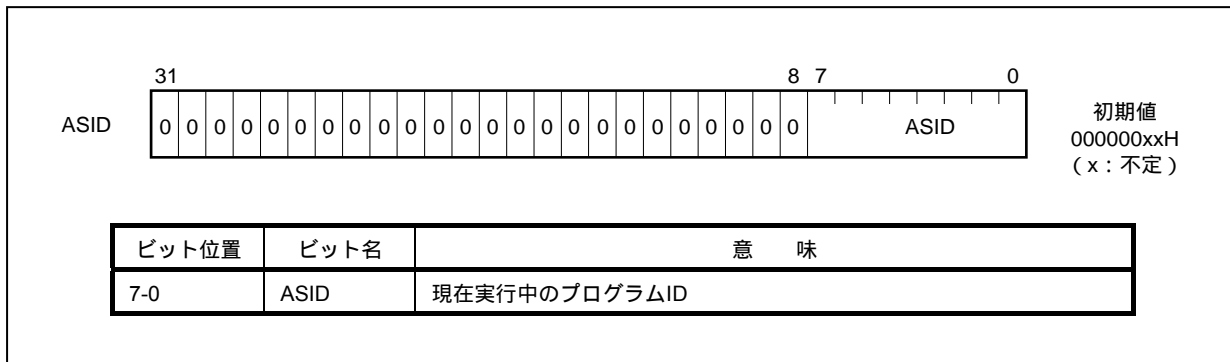


(8) プログラムIDレジスタ (ASID)

現在進行中のプログラムIDを設定します。

なお、ビット31-8は、将来の機能拡張のために予約されています(0に固定)。

**注意** V850E/SJ3-H, V850E/SK3-Hを使用する場合、その初期化ルーチンの最初にASIDレジスタを00Hに初期化してください。





### 3.3 動作モード

V850E/SJ3-H, V850E/SK3-Hは次に示す動作モードを備えます。

#### (1) 通常動作モード

システム・リセット解除後，バス・インタフェース関連の各端子はポート・モードになり，内蔵ROMのリセット・エントリ・アドレスに分岐し，命令処理を開始します。

#### (2) フラッシュ・メモリ・プログラミング・モード

このモードを指定すると，フラッシュ・メモリ・プログラマによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

#### (3) オンチップ・デバッグ・モード

JTAG (Joint Test Action Group) の通信仕様を利用して，オンチップ・デバッグ・エミュレータを介したオンチップ・デバッグ機能を内蔵しています。

詳細は第34章 **オンチップ・デバッグ機能**を参照してください。

#### 3.3.1 動作モード指定

FLMD0, FLMD1端子の状態により，動作モードを指定します。

通常モード時は，リセット解除時に，FLMD0端子にロウ・レベルを入力してください。

フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力は，フラッシュ・メモリ・プログラマ接続時はフラッシュ・メモリ・プログラマから行いますが，セルフ・プログラミング時は外部回路で行ってください。

リセット解除時の動作		リセット後の動作モード
FLMD0	FLMD1	
L	x	通常動作モード
H	L	フラッシュ・メモリ・プログラミング・モード
H	H	設定禁止

**備考** L：ロウ・レベル入力

H：ハイ・レベル入力

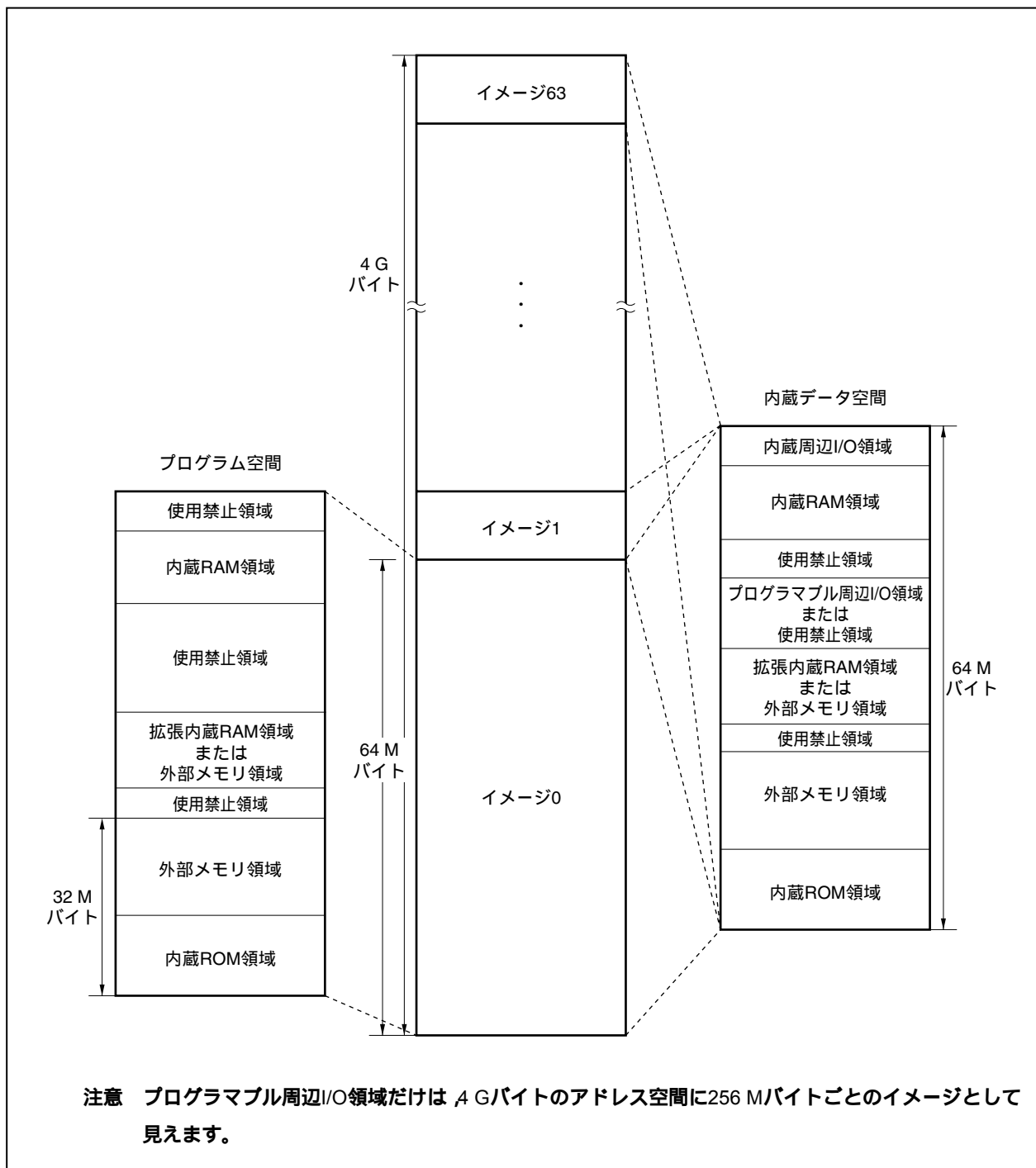
x：任意

## 3.4 アドレス空間

### 3.4.1 CPUアドレス空間

命令アドレスのアドレッシングにおいては、最大で64 Mバイトのリニア・アドレス空間（プログラム空間）のうち最大32 Mバイトの外部メモリ領域および内蔵ROM領域と、内蔵RAM領域をサポートしています。オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし、4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり、ビット31-26がどのような値でも、同じ64 Mバイトの物理アドレス空間をアクセスします。

図3 - 1 アドレス空間上のイメージ



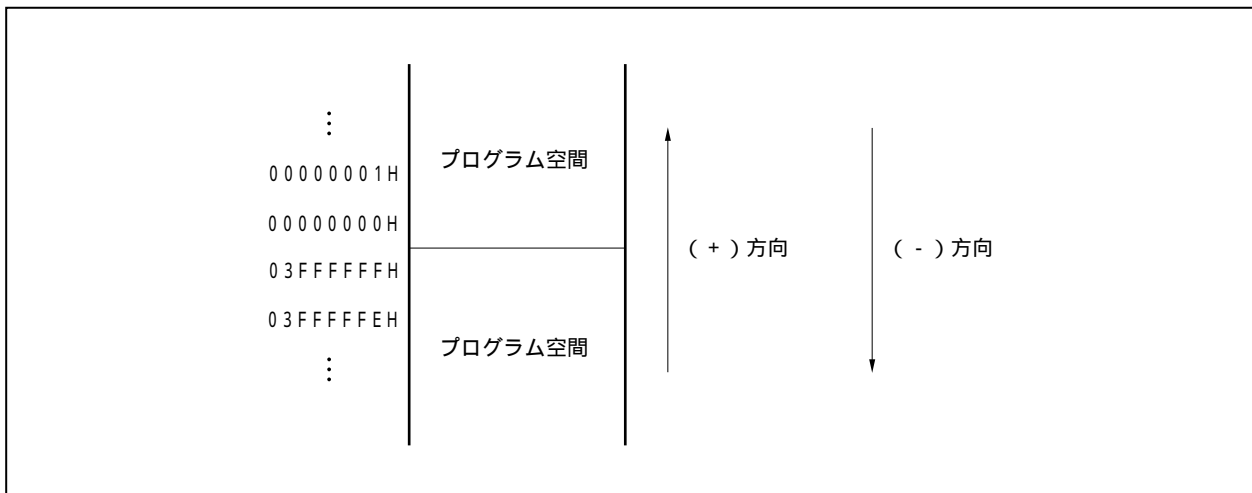
### 3.4.2 CPUアドレス空間のラップ・アラウンド

#### (1) プログラム空間

PC(プログラム・カウンタ)は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の上限の03FFFFFFH番地と、下限である00000000H番地は連続したアドレスとなります。このようにメモリ空間の上限と下限が連続したアドレスになることをラップ・アラウンドといいます。

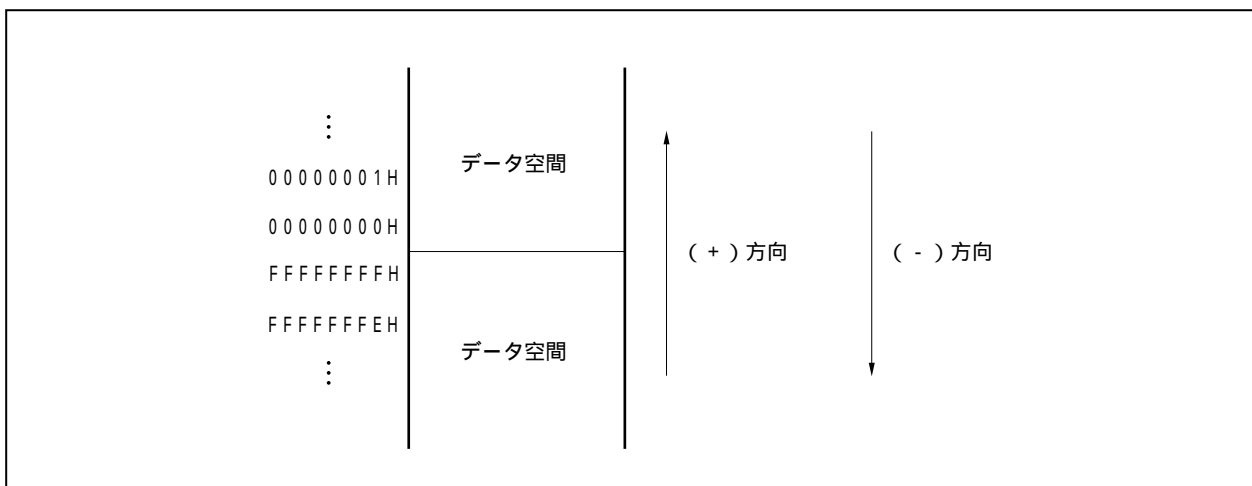
**注意** 03FFF000H-03FFFFFFHの4 Kバイトの領域は、内蔵周辺I/O領域のため、命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



#### (2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の上限のFFFFFFFFH番地と、下限である00000000H番地は連続したアドレスになり、この境界でラップ・アラウンドします。



### 3.4.3 メモリ・マップ

V850E/SJ3-H, V850E/SK3-Hでは、次に示すように各領域を予約しています。

図3-2 データ・メモリ・マップ(物理アドレス) (1/2)

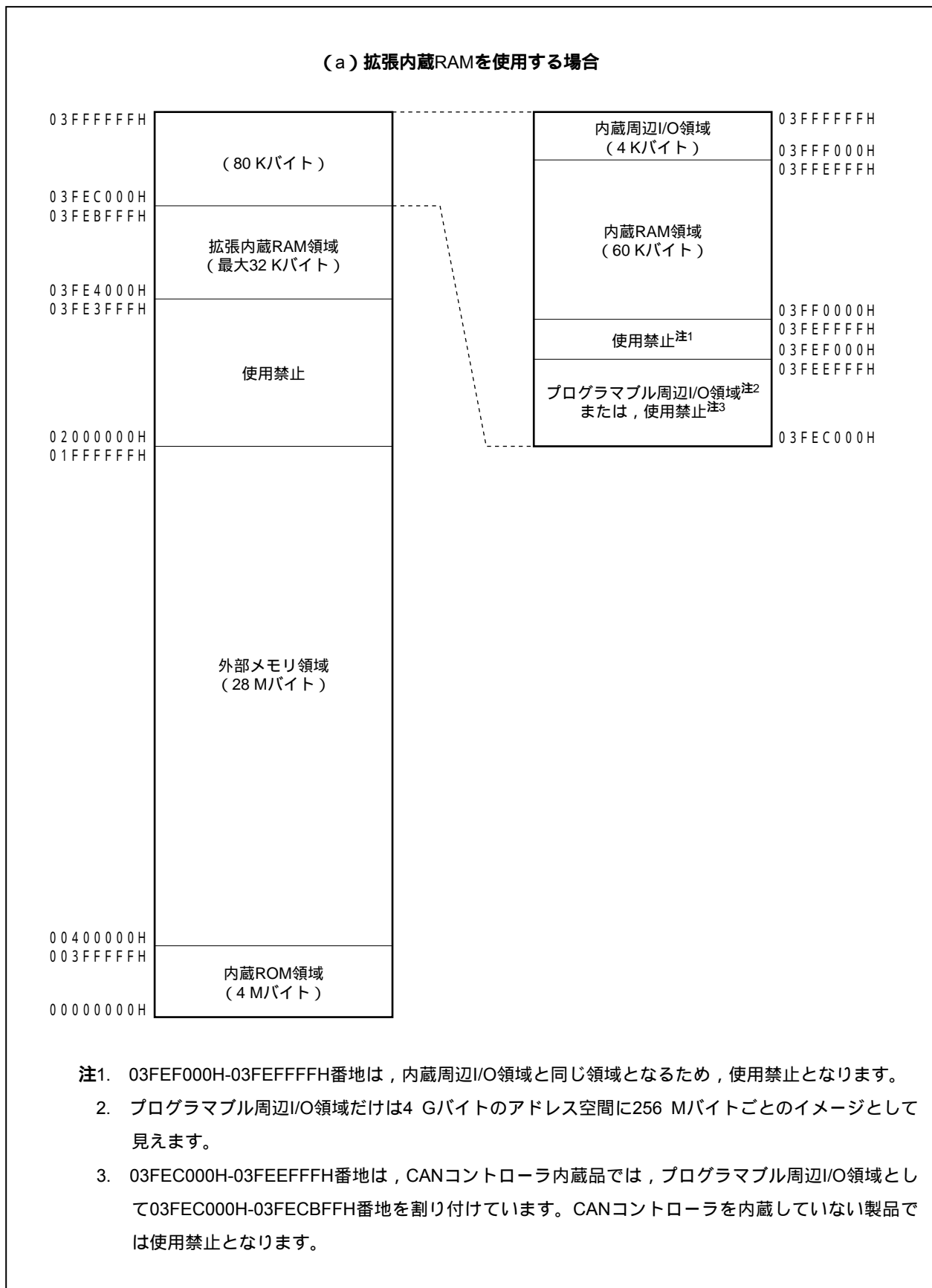


図3-2 データ・メモリ・マップ(物理アドレス) (2/2)

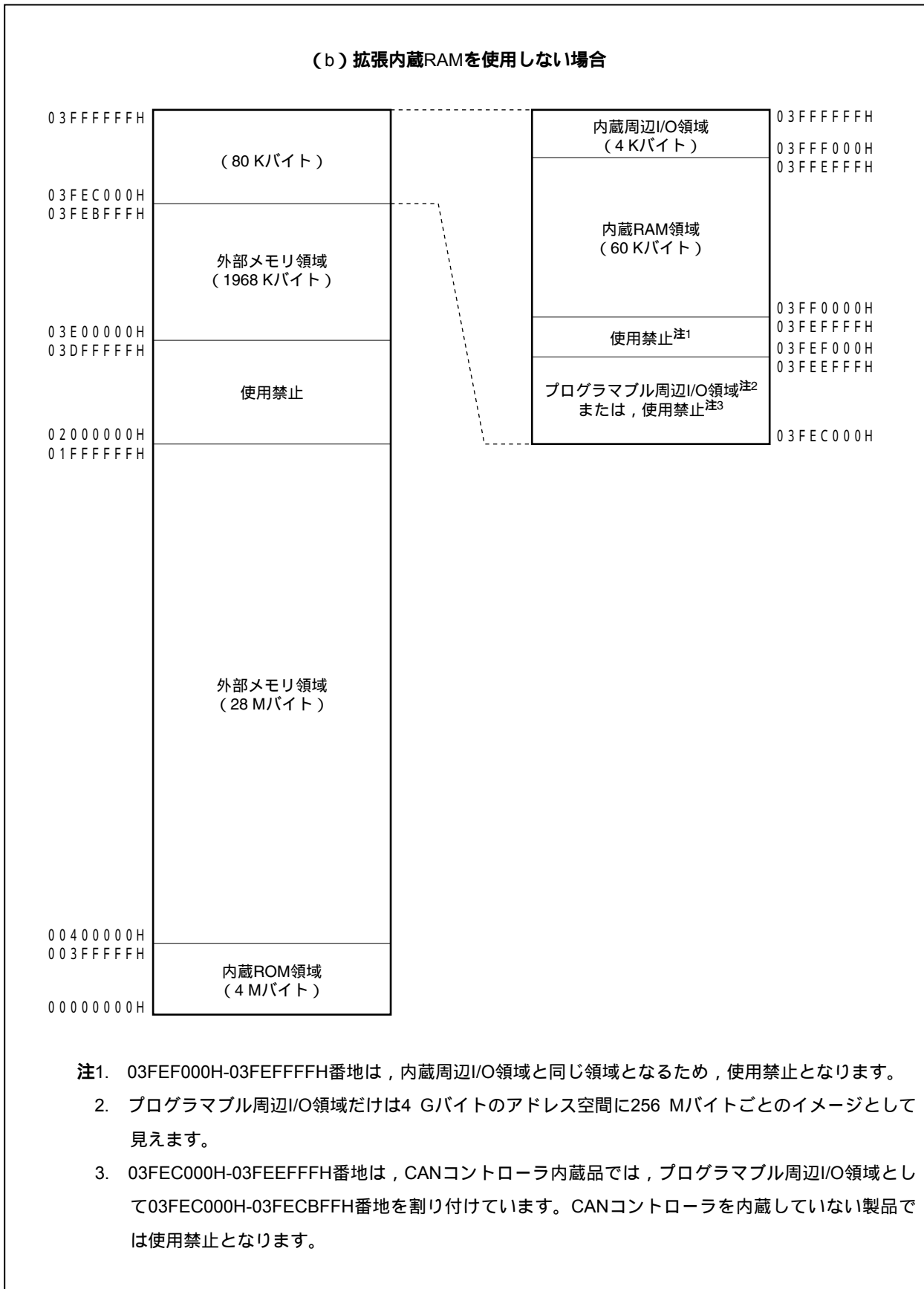


図3-3 プログラム・メモリ・マップ(1/2)

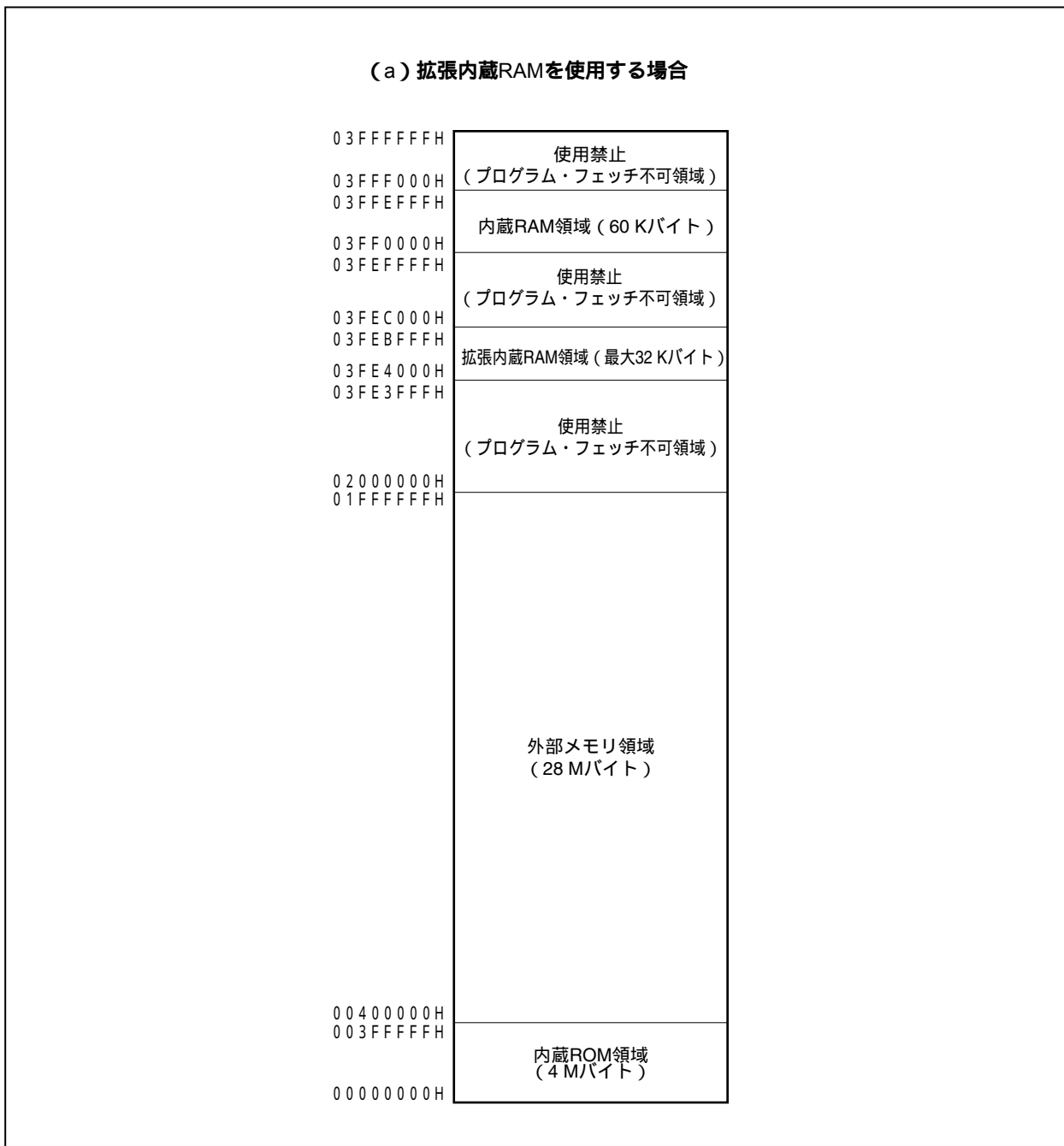
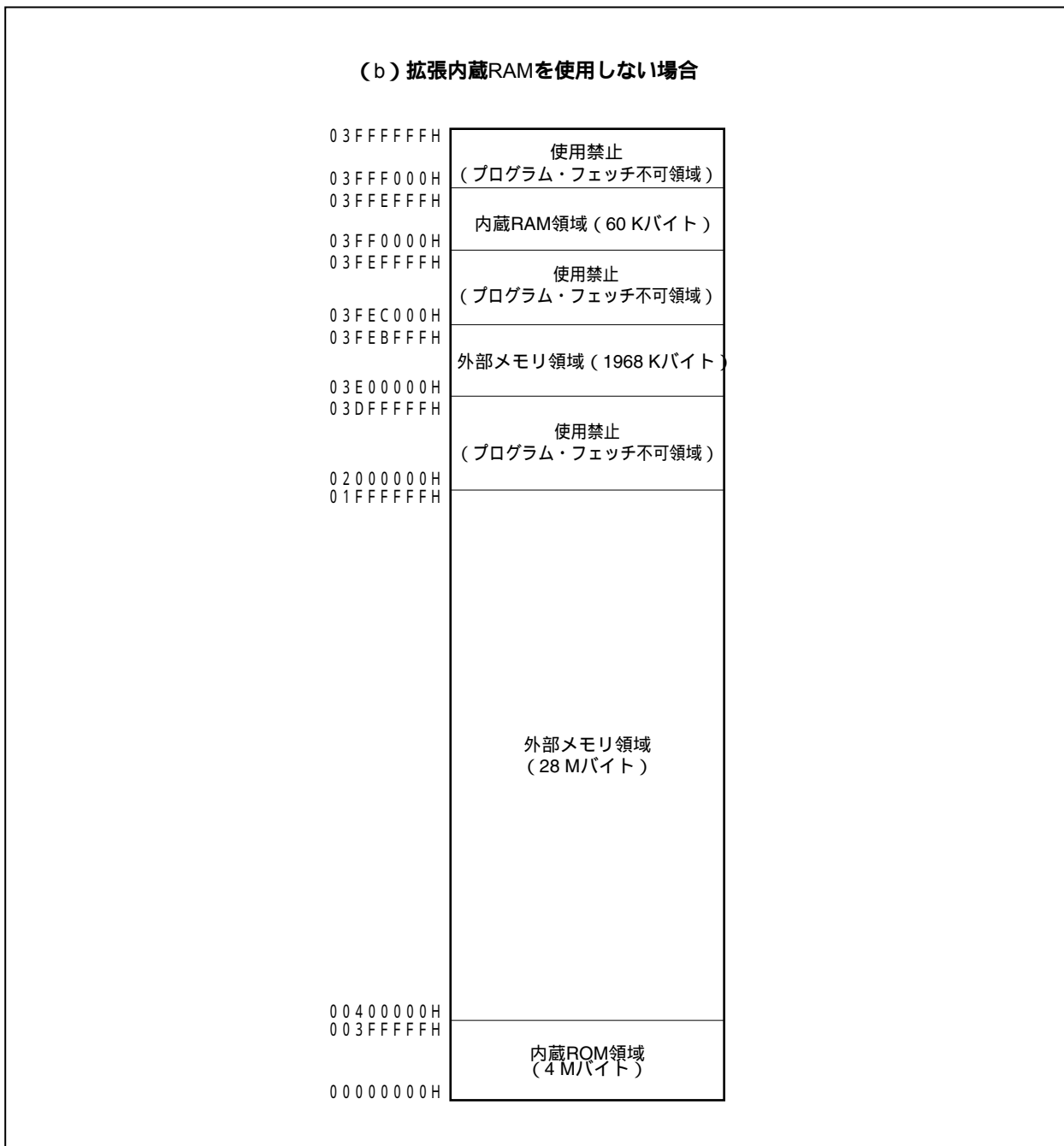


図3-3 プログラム・メモリ・マップ (2/2)



### 3.4.4 領域

#### (1) 内蔵ROM領域

内蔵ROM領域は、最大4 Mバイトが予約されています。

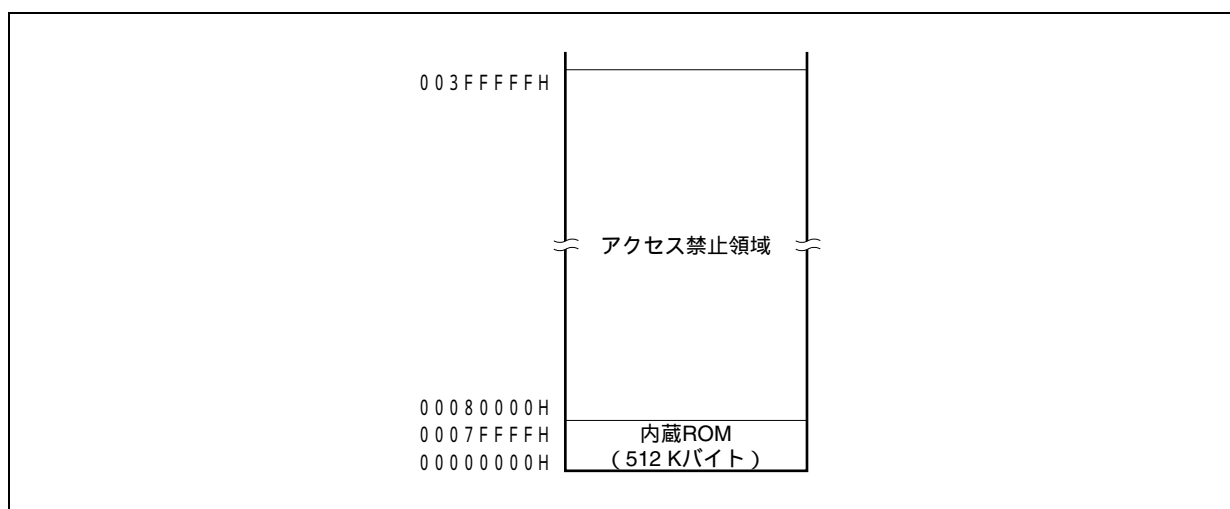
##### (a) 内蔵ROM (512 Kバイト)

次の製品には00000000Hから0007FFFFH番地に512 Kバイト実装しています。

00080000Hから003FFFFFFH番地はアクセス禁止領域です。

・ $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)

図3-4 内蔵ROM領域 (512 Kバイト)



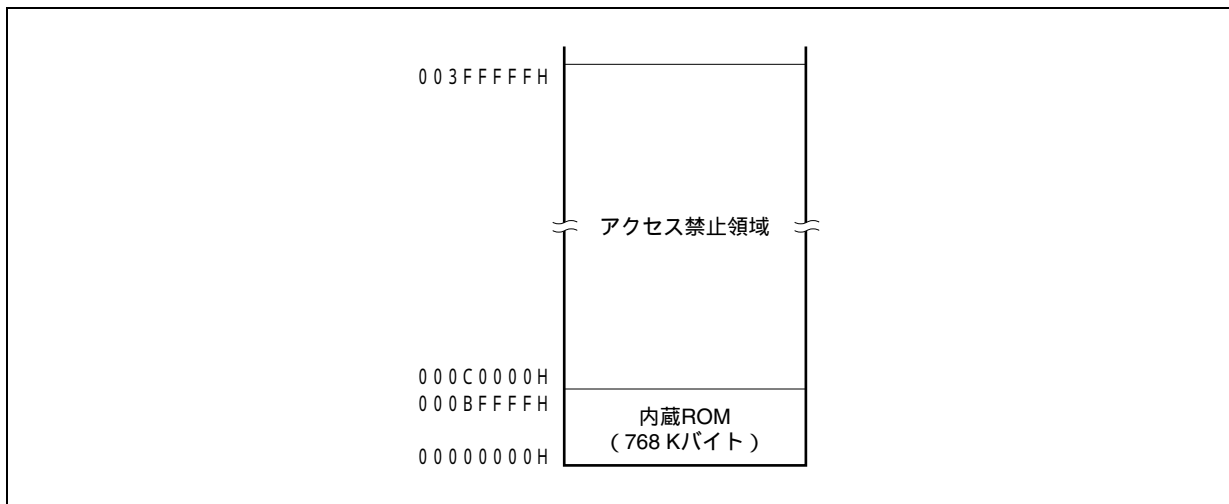


**(b) 内蔵ROM (768 Kバイト)**

次の製品には00000000Hから000BFFFFH番地に768 Kバイト実装しています。  
000C0000Hから003FFFFFFH番地はアクセス禁止領域です。

・ $\mu$  PD70F3934B (V850E/SJ3-H), 70F3935B (V850E/SJ3-H), 70F3936B (V850E/SJ3-H)

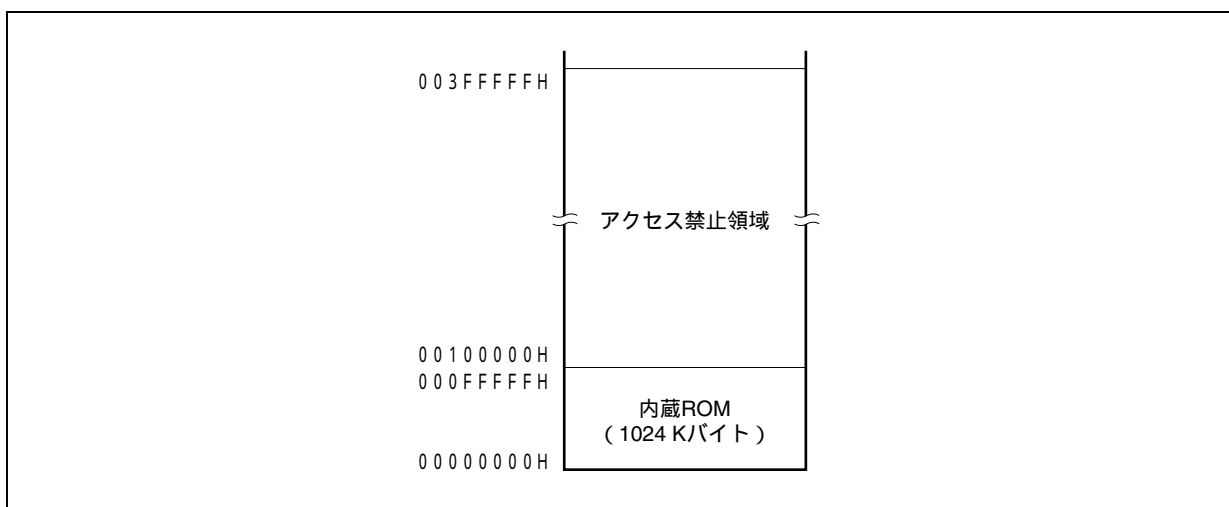
図3 - 5 内蔵ROM領域 (768 Kバイト)

**(c) 内蔵ROM (1024 Kバイト)**

次の製品には00000000Hから000FFFFFFH番地に1024 Kバイト実装しています。  
00100000Hから003FFFFFFH番地はアクセス禁止領域です。

・ $\mu$  PD70F3925A (V850E/SK3-H), 70F3926A (V850E/SK3-H), 70F3927A (V850E/SK3-H),  
70F3937B (V850E/SJ3-H), 70F3938B (V850E/SJ3-H), 70F3939B (V850E/SJ3-H)

図3 - 6 内蔵ROM領域 (1024 Kバイト)



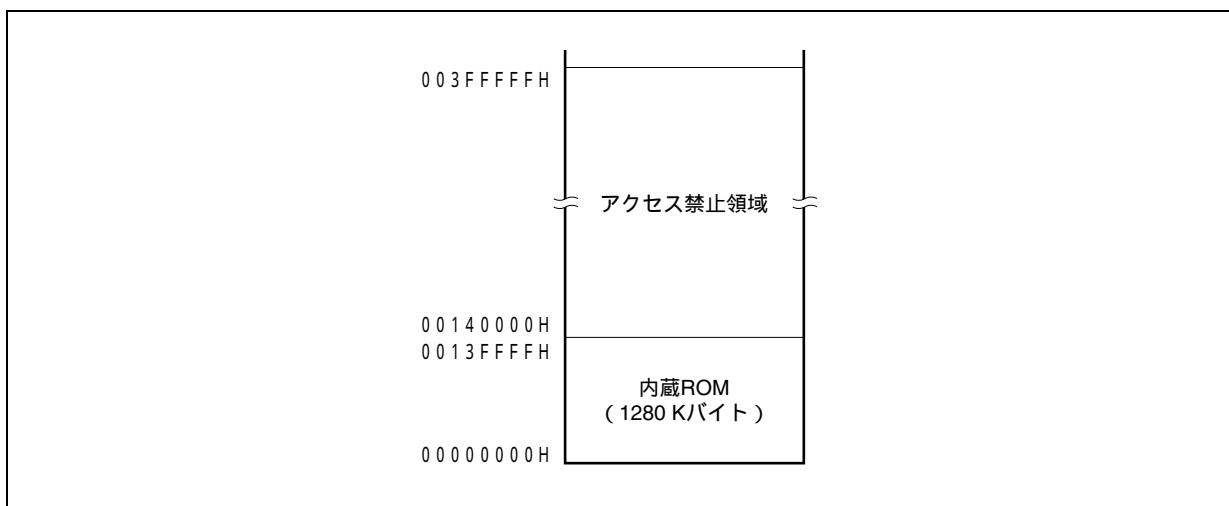
**(d) 内蔵ROM (1280 Kバイト)**

次の製品には00000000Hから0013FFFFH番地に1280 Kバイト実装しています。

00140000Hから003FFFFFFH番地はアクセス禁止領域です。

- ・ $\mu$  PD70F3474A (V850E/SJ3-H) , 70F3475A (V850E/SJ3-H) , 70F3476A (V850E/SJ3-H) ,  
70F3486A (V850E/SK3-H) , 70F3487A (V850E/SK3-H) , 70F3488A (V850E/SK3-H)

図3 - 7 内蔵ROM領域 (1280 Kバイト)

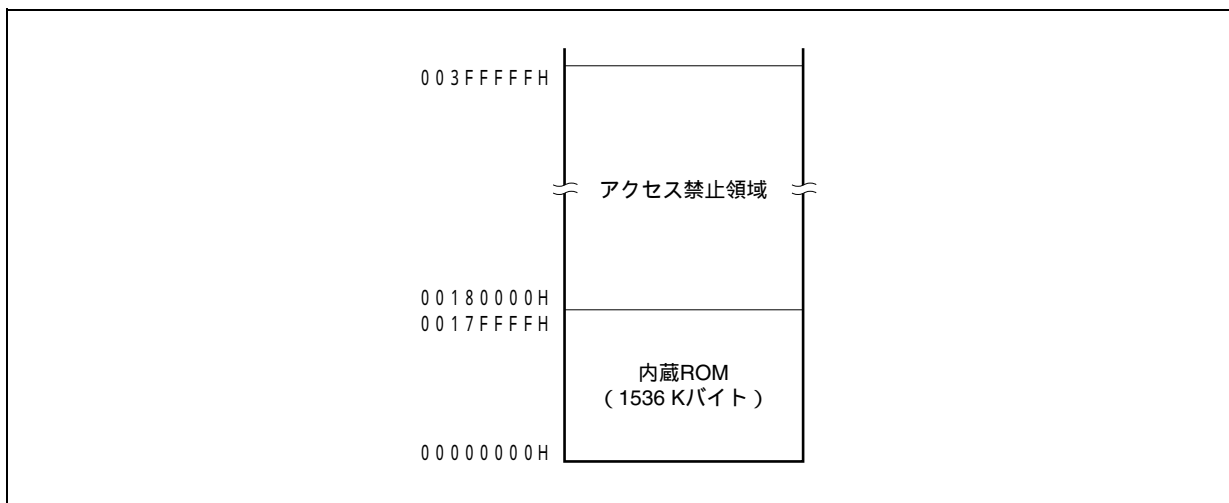
**(e) 内蔵ROM (1536 Kバイト)**

次の製品には00000000Hから0017FFFFH番地に1536 Kバイト実装しています。

00180000Hから003FFFFFFH番地はアクセス禁止領域です。

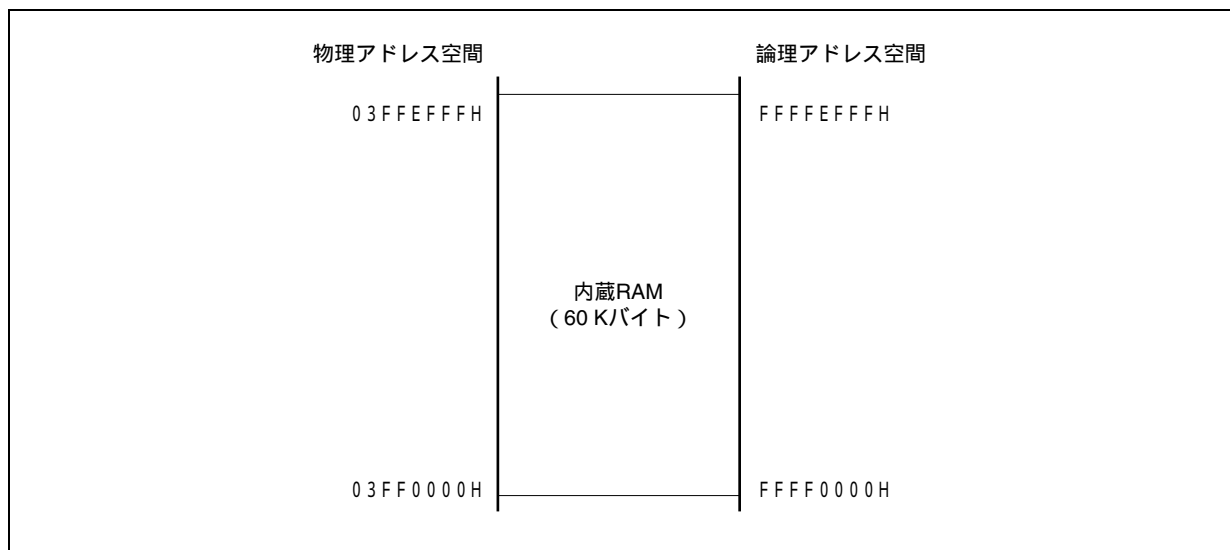
- ・ $\mu$  PD70F3477A (V850E/SJ3-H) , 70F3478A (V850E/SJ3-H) , 70F3479A (V850E/SJ3-H) ,  
70F3480A (V850E/SK3-H) , 70F3481A (V850E/SK3-H) , 70F3482A (V850E/SK3-H)

図3 - 8 内蔵ROM領域 (1536 Kバイト)



**(2) 内蔵RAM領域**

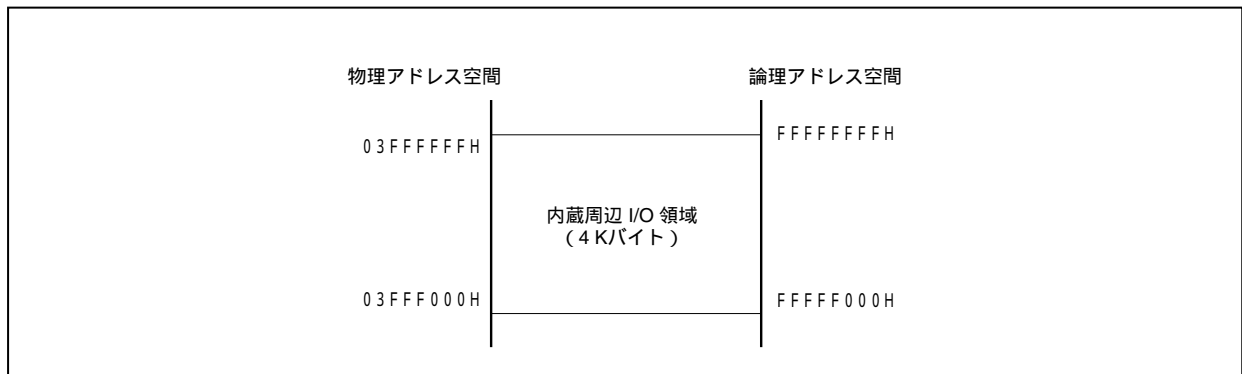
内蔵RAM領域は、03FF0000Hから03FFFEFFH番地に60 Kバイト実装しています。

**図3 - 9 内蔵RAM領域 (60 Kバイト)**

**(3) 内蔵周辺I/O領域**

内蔵周辺I/O領域として03FFF000H-03FFFFFFFH番地の4 Kバイトを予約しています。

図3 - 10 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

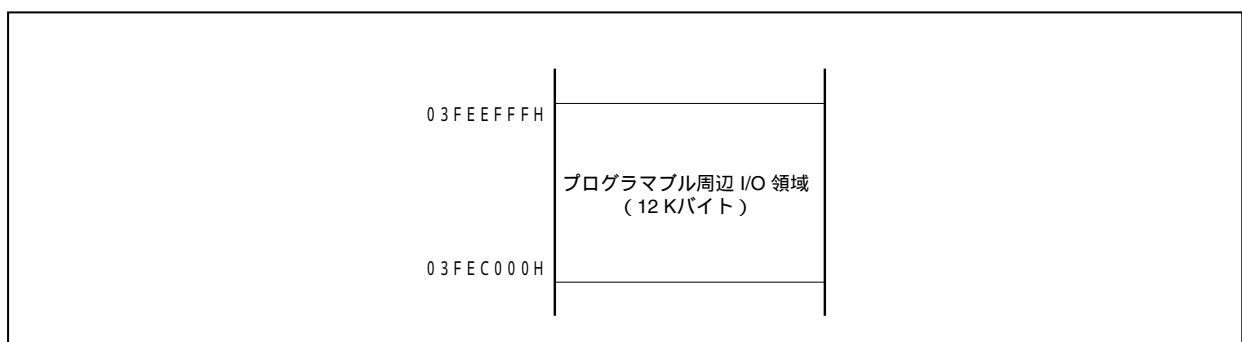
- 注意1. レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。
4. 内蔵ROM/RAM領域と、内蔵周辺I/O領域のアドレスは連続しています。  
そのため、ポインタ操作などでアドレスをインクリメント/デクリメントしながらアクセスする場合は、誤って内蔵ROM/RAM領域を越えて内蔵周辺I/O領域へアクセスしないでください。

**(4) プログラマブル周辺I/O領域**

- 注意1. プログラマブル周辺I/O領域は、CANコントローラ内蔵品だけにあります。CANコントローラを内蔵していない製品では、使用禁止となります。
2. プログラマブル周辺I/O領域は、4 Gバイトのアドレス空間に256 Mバイトごとのイメージとして見えます。

プログラマブル周辺I/O領域として03FEC000H-03FEEFFFFH番地の12 Kバイトを予約しています。

図3 - 11 プログラマブル周辺I/O領域



**(5) 外部メモリ領域**

外部メモリ領域として最大約30 Mバイト (00400000H-01FFFFFFH, 03E00000H-03FEBFFFH) あります。詳細は第5章 **バス制御機能**を参照してください。

**(6) 拡張内蔵RAM領域**

拡張内蔵RAM領域として、03FE4000H-03FEBFFFH番地の32 Kバイトが予約されています。

拡張内蔵RAM領域は、外部バス・インタフェースを介してアクセスします。そのため、拡張内蔵RAMにアクセスする場合は、前もって必ず外部バス・インタフェース関連のレジスタの設定 (拡張内蔵RAMの初期化) をしてください。

**備考1.** 次の製品には、拡張内蔵RAMがありません。

・ $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)

2. 拡張内蔵RAM領域は、拡張内蔵RAM領域としてではなく、外部メモリ領域として使用することもできます。詳細は、第5章 **バス制御機能**を参照してください。

**注意1.** 外部メモリと拡張内蔵RAMを同時に使用する場合は、外部バス・インタフェースの設定と拡張内蔵RAMの設定を同時に行ってください。

2. 拡張内蔵RAMへのアクセス時は、 $\overline{CSn}$ 信号以外の外部バス・インタフェースの制御信号がアクティブになります ( $n = 1-3$ )。そのため、拡張内蔵RAMと外部メモリを同時に使用する場合は、必ずチップから出力される $\overline{CSn}$ 信号を使用して外部メモリのアクセス制御をしてください。

3.  $\overline{WAIT}$ 端子による外部ウエイトが挿入された場合、拡張内蔵RAMのアクセスにも外部ウエイトが挿入されます。

4. 拡張内蔵RAMを使用する場合は、必ず拡張内蔵RAMの初期設定を行ってください。

**(a) 拡張内蔵RAM (16 Kバイト)**

次の製品には03FE8000Hから03FEBFFFH番地に16 Kバイト実装しています。

03FE4000Hから03FE7FFFH番地はアクセス禁止領域です。

・ $\mu$  PD70F3925A (V850E/SK3-H), 70F3926A (V850E/SK3-H), 70F3927A (V850E/SK3-H),  
70F3934B (V850E/SJ3-H), 70F3935B (V850E/SJ3-H), 70F3936B (V850E/SJ3-H),  
70F3937B (V850E/SJ3-H), 70F3938B (V850E/SJ3-H), 70F3939B (V850E/SJ3-H)

図3 - 12 拡張内蔵RAM領域 (16 Kバイト)

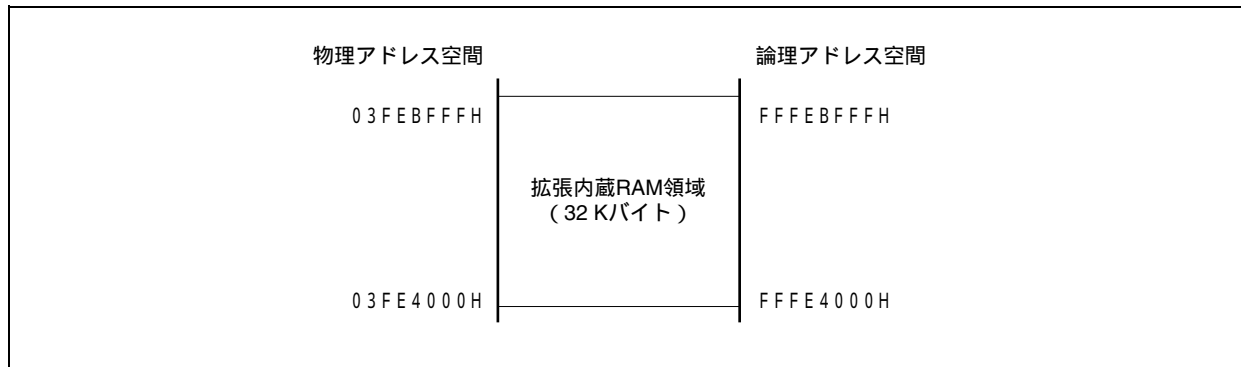
物理アドレス空間		論理アドレス空間
03FEBFFFH	拡張内蔵RAM (16 Kバイト)	FFFEBFFFH
03FE8000H 03FE7FFFH		FFFE8000H FFFE7FFFH
03FE4000H	アクセス禁止領域	FFFE4000H

**(b) 拡張内蔵RAM (32 Kバイト)**

次の製品には03FE4000Hから03FEBFFFH番地に32 Kバイト実装しています。

- ・  $\mu$  PD70F3474A (V850E/SJ3-H), 70F3475A (V850E/SJ3-H), 70F3476A (V850E/SJ3-H),  
70F3477A (V850E/SJ3-H), 70F3478A (V850E/SJ3-H), 70F3479A (V850E/SJ3-H),  
70F3480A (V850E/SK3-H), 70F3481A (V850E/SK3-H), 70F3482A (V850E/SK3-H),  
70F3486A (V850E/SK3-H), 70F3487A (V850E/SK3-H), 70F3488A (V850E/SK3-H)

図3 - 13 拡張内蔵RAM領域 (32 Kバイト)

**(c) 拡張内蔵RAMの特徴**

- ・ 最小3バス・サイクルでアクセスが可能
- ・ 32ビット・データ・バス
- ・ ミスアライン・アクセスが可能

**(d) 拡張内蔵RAMの初期設定**

拡張内蔵RAMの初期設定を次に示します。

**注意** 次に示す初期設定以外の設定で拡張内蔵RAMを使用した場合の動作は保証しません。

## ・ BSCレジスタの設定

BSCレジスタのビット15-8には必ず10010101を設定してください。

## ・ DWC1レジスタの設定

EXIMCレジスタ設定値により、DWC1レジスタの設定値を次のように設定してください。

EXIMCレジスタ設定値	DWC1レジスタ設定値
00H (マルチプレクス・バス・モード)	0777H
01H (セパレート・バス・モード)	1777H

## ・ AWCレジスタの設定

AWCレジスタのビット15-8には必ず00111111を設定してください。

## ・ BCCレジスタの設定

BCCレジスタのビット15-8には必ず00101010を設定してください。

## (7) 製品選択レジスタ (PRDSEL)

PRDSELレジスタは、製品名や内蔵RAM領域を識別するためのレジスタです。

このレジスタは、PRDSELH, PRDSELLの2つの16ビット・レジスタに分かれます。

16ビット単位でリードのみ可能です。

リセット時：製品依存		R	アドレス：PRDSELL FFFFCC8H, PRDSELH FFFFCCA8H													
PRDSELH	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	x	x	x	x	x	x	x	x	x	x	x	x	RAM3	RAM2	RAM1	RAM0
PRDSELL	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	製品名 (下3桁)												x	x	x	x
RAM3-RAM0		RAMの先頭アドレス														
1010 <sup>注1</sup>		03FF0000H番地														
1011 <sup>注2</sup>																

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ  
 2.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

**注意** インサーキット・エミュレータ (QB-V850ESX3H) では、このレジスタの読み出しはできません (不定値が読み出されます)。

**備考**1. 製品名の設定例については表3 - 3を参照してください。  
 2. X：不定値

表3 - 3 製品名の設定例 (1/2)

製品名	PRDSELLレジスタ											
	ビット15	ビット14	ビット13	ビット12	ビット11	ビット10	ビット9	ビット8	ビット7	ビット6	ビット5	ビット4
$\mu$ PD70F3474A	0	1	0	0	0	1	1	1	0	1	0	0
$\mu$ PD70F3475A	0	1	0	0	0	1	1	1	0	1	0	1
$\mu$ PD70F3476A	0	1	0	0	0	1	1	1	0	1	1	0
$\mu$ PD70F3477A	0	1	0	0	0	1	1	1	0	1	1	1
$\mu$ PD70F3478A	0	1	0	0	0	1	1	1	1	0	0	0
$\mu$ PD70F3479A	0	1	0	0	0	1	1	1	1	0	0	1
$\mu$ PD70F3480A	0	1	0	0	1	0	0	0	0	0	0	0
$\mu$ PD70F3481A	0	1	0	0	1	0	0	0	0	0	0	1
$\mu$ PD70F3482A	0	1	0	0	1	0	0	0	0	0	1	0
$\mu$ PD70F3486A	0	1	0	0	1	0	0	0	0	1	1	0
$\mu$ PD70F3487A	0	1	0	0	1	0	0	0	0	1	1	1
$\mu$ PD70F3488A	0	1	0	0	1	0	0	0	1	0	0	0
$\mu$ PD70F3925A	1	0	0	1	0	0	1	0	0	1	0	1
$\mu$ PD70F3926A	1	0	0	1	0	0	1	0	0	1	1	0
$\mu$ PD70F3927A	1	0	0	1	0	0	1	0	0	1	1	1
$\mu$ PD70F3931B	1	0	0	1	0	0	1	1	0	0	0	1
$\mu$ PD70F3932B	1	0	0	1	0	0	1	1	0	0	1	0
$\mu$ PD70F3933B	1	0	0	1	0	0	1	1	0	0	1	1
$\mu$ PD70F3934B	1	0	0	1	0	0	1	1	0	1	0	0



表3 - 3 製品名の設定例 (2/2)

製品名	PRDSELLレジスタ											
	ビット15	ビット14	ビット13	ビット12	ビット11	ビット10	ビット9	ビット8	ビット7	ビット6	ビット5	ビット4
μ PD70F3935B	1	0	0	1	0	0	1	1	0	1	0	1
μ PD70F3936B	1	0	0	1	0	0	1	1	0	1	1	0
μ PD70F3937B	1	0	0	1	0	0	1	1	0	1	1	1
μ PD70F3938B	1	0	0	1	0	0	1	1	1	0	0	0
μ PD70F3939B	1	0	0	1	0	0	1	1	1	0	0	1

### 3.4.5 アドレス空間の推奨使用方法

V850E/SJ3-H, V850E/SK3-Hのアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

#### (1) プログラム空間

PC (プログラム・カウンタ) は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は、03FF0000H-03FFEFFFH番地に対してアクセスしてください。

**注意** 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作 (無効フェッチ) は発生しません。

#### (2) データ空間

V850E/SJ3-H, V850E/SK3-Hでは、4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため、この26ビット・アドレスの最上位ビット (ビット25) を32ビット長まで符号拡張したアドレスとして割り当てています。

## (a) ラップ・アラウンドを利用した応用例

LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地 ± 32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ(r0)はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

例 μPD70F3474A (V850E/SJ3-H), 70F3475A (V850E/SJ3-H), 70F3476A (V850E/SJ3-H) の場合

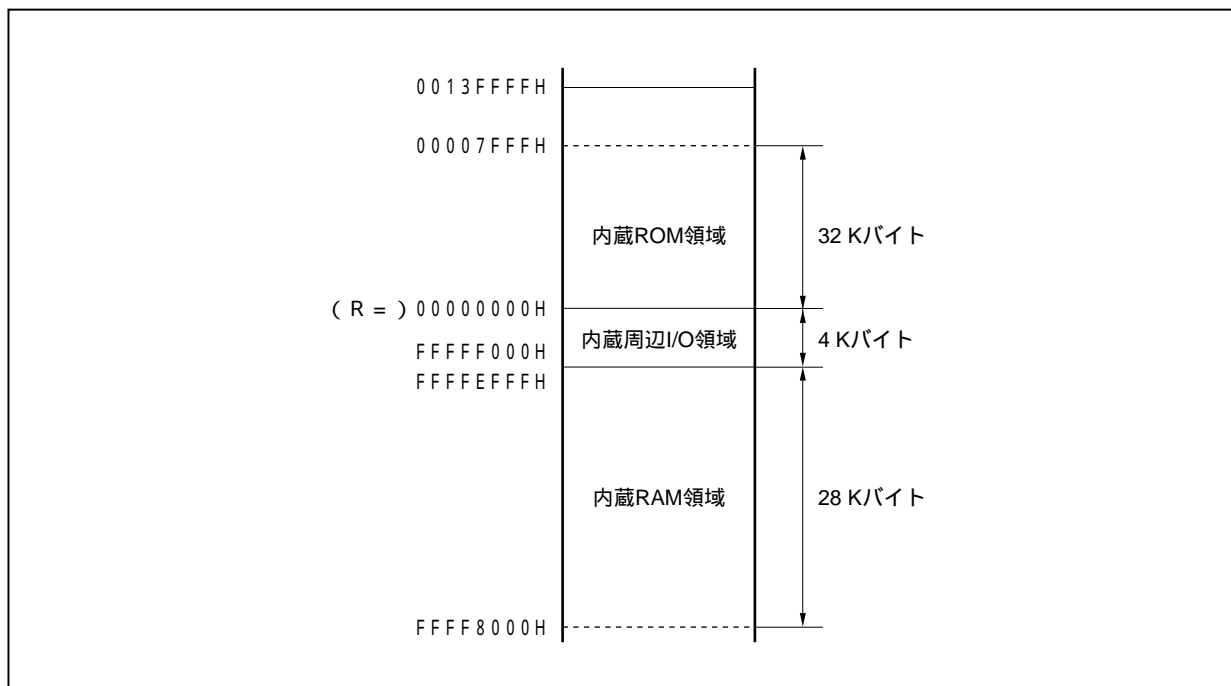


図3-14 推奨メモリ・マップ (1/2)

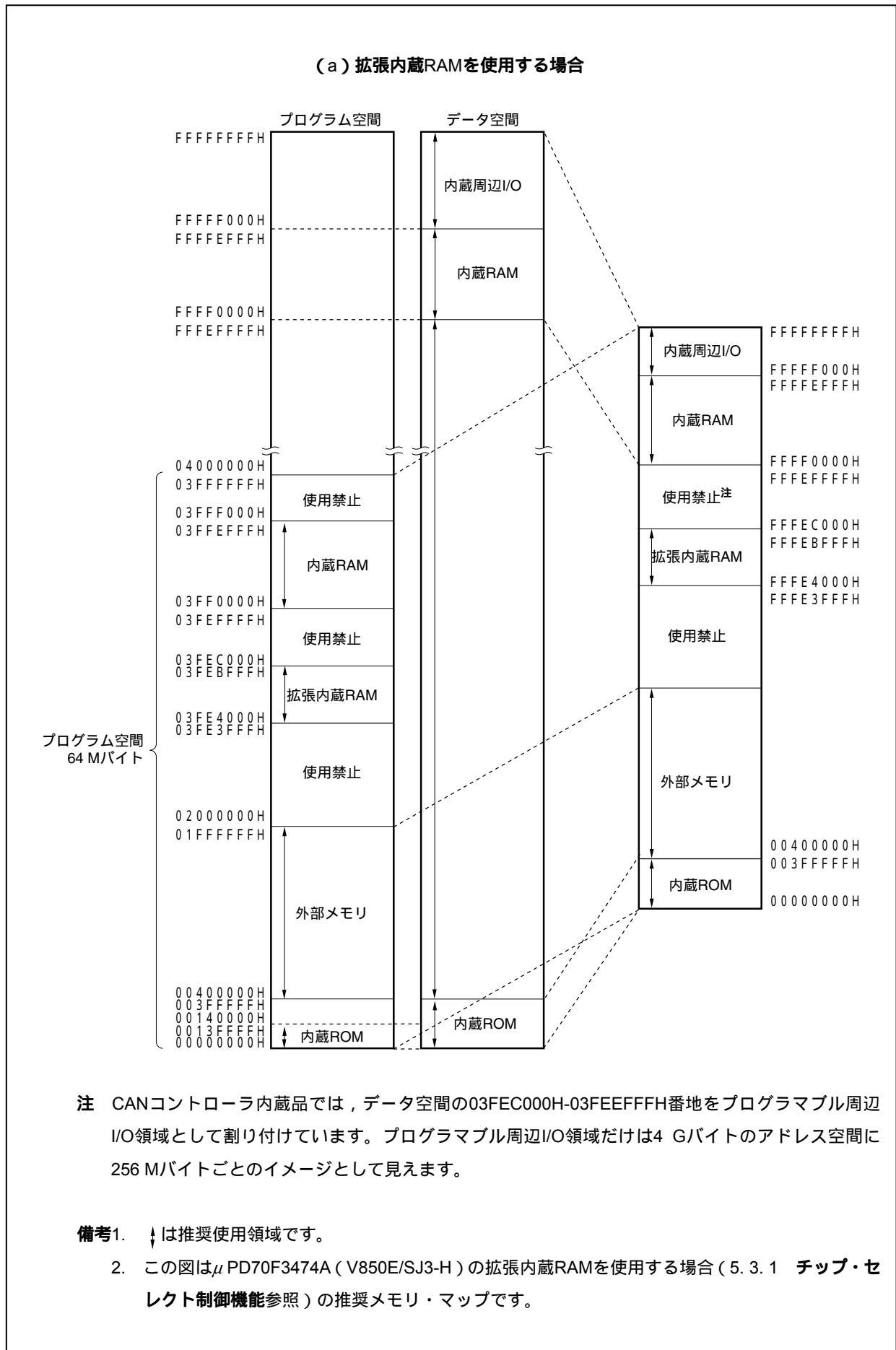
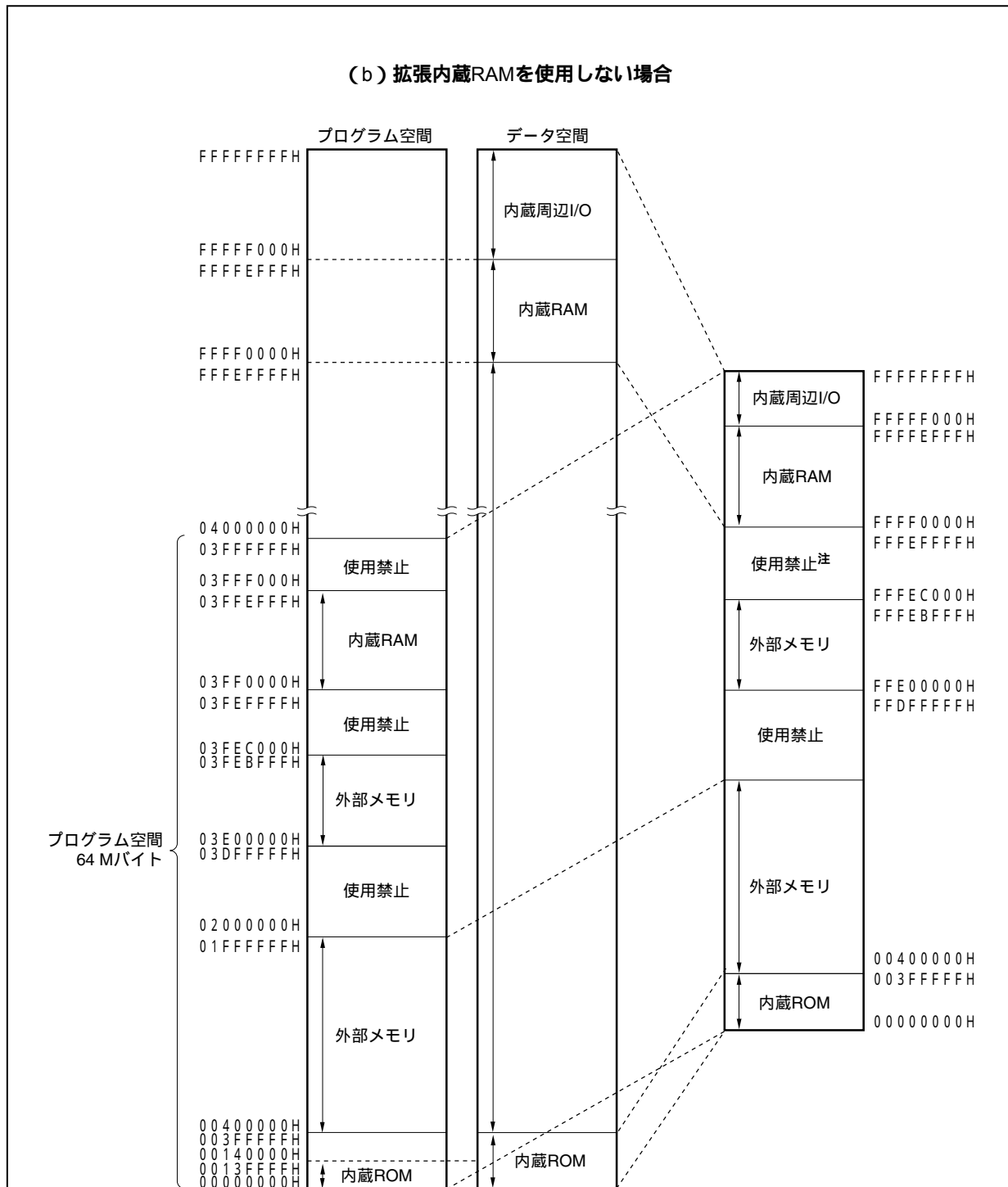


図3 - 14 推奨メモリ・マップ (2/2)



注 CANコントローラ内蔵品では、データ空間の03FEC000H-03FEEFFFH番地をプログラマブル周辺I/O領域として割り付けています。プログラマブル周辺I/O領域だけは4 Gバイトのアドレス空間に256 Mバイトごとのイメージとして見えます。

備考1. ↓は推奨使用領域です。

2. この図はμPD70F3474A (V850E/SJ3-H) の拡張内蔵RAMを使用しない場合 (5.3.1 チップ・セレクト制御機能参照) の推奨メモリ・マップです。

## 3.4.6 周辺I/Oレジスタ

(1/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF004H	ポートDLレジスタ	PDL	R/W				0000H <sup>注1</sup>
FFFFFF004H	ポートDLLレジスタ	PDLL					00H <sup>注1</sup>
FFFFFF005H	ポートDLHレジスタ	PDLH					00H <sup>注1</sup>
FFFFFF006H	ポートDHレジスタ	PDH					00H <sup>注1</sup>
FFFFFF008H	ポートCSレジスタ	PCS					00H <sup>注1</sup>
FFFFFF00AH	ポートCTレジスタ	PCT					00H <sup>注1</sup>
FFFFFF00CH	ポートCMレジスタ	PCM					00H <sup>注1</sup>
FFFFFF00EH	ポートCDレジスタ	PCD					00H <sup>注1</sup>
FFFFFF024H	ポートDLモード・レジスタ	PMDL					FFFFH
FFFFFF024H	ポートDLモード・レジスタL	PMDLL					FFH
FFFFFF025H	ポートDLモード・レジスタH	PMDLH					FFH
FFFFFF026H	ポートDHモード・レジスタ	PMDH					FFH
FFFFFF028H	ポートCSモード・レジスタ	PMCS					FFH
FFFFFF02AH	ポートCTモード・レジスタ	PMCT					FFH
FFFFFF02CH	ポートCMモード・レジスタ	PMCM					FFH
FFFFFF02EH	ポートCDモード・レジスタ	PMCD					FFH
FFFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL					0000H
FFFFFF044H	ポートDLモード・コントロール・レジスタL	PMCDLL					00H
FFFFFF045H	ポートDLモード・コントロール・レジスタH	PMCDLH					00H
FFFFFF046H	ポートDHモード・コントロール・レジスタ	PMCDH					00H
FFFFFF048H	ポートCSモード・コントロール・レジスタ	PMCCS					00H
FFFFFF04AH	ポートCTモード・コントロール・レジスタ	PMCCCT					00H
FFFFFF04CH	ポートCMモード・コントロール・レジスタ	PMCCM					00H
FFFFFF04EH	ポートCDモード・コントロール・レジスタ	PMCCD					00H
FFFFFF04FH	ポートCDファンクション・コントロール・レジスタ	PFCCD					00H
FFFFFF060H	チップ領域セレクト・コントロール・レジスタ0	CSC0					2C11H
FFFFFF062H	チップ領域セレクト・コントロール・レジスタ1	CSC1					2C11H
FFFFFF064H	周辺I/O領域セレクト制御レジスタ	BPC <sup>注2</sup>					0000H
FFFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC					5555H
FFFFFF06EH	システム・ウエイト・コントロール・レジスタ	VSWC					77H
FFFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L					不定
FFFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H					不定
FFFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L					不定
FFFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H				不定	
FFFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L				不定	
FFFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H				不定	
FFFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L				不定	
FFFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H				不定	
FFFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L				不定	
FFFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H				不定	

注1. 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

2. CANコントローラ内蔵品のみ

(2/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L	R/W				不定
FFFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H					不定
FFFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L					不定
FFFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H					不定
FFFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L					不定
FFFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H					不定
FFFFFF0C0H	DMA転送カウント・レジスタ0	DBC0					不定
FFFFFF0C2H	DMA転送カウント・レジスタ1	DBC1					不定
FFFFFF0C4H	DMA転送カウント・レジスタ2	DBC2					不定
FFFFFF0C6H	DMA転送カウント・レジスタ3	DBC3					不定
FFFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0					0000H
FFFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1					0000H
FFFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2					0000H
FFFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3					0000H
FFFFFF0E0H	DMAチャンネル・コントロール・レジスタ0	DCHC0					00H
FFFFFF0E2H	DMAチャンネル・コントロール・レジスタ1	DCHC1					00H
FFFFFF0E4H	DMAチャンネル・コントロール・レジスタ2	DCHC2					00H
FFFFFF0E6H	DMAチャンネル・コントロール・レジスタ3	DCHC3					00H
FFFFFF100H	割り込みマスク・レジスタ0	IMR0					FFFFH
FFFFFF100H	割り込みマスク・レジスタ0L	IMR0L					FFH
FFFFFF101H	割り込みマスク・レジスタ0H	IMR0H					FFH
FFFFFF102H	割り込みマスク・レジスタ1	IMR1					FFFFH
FFFFFF102H	割り込みマスク・レジスタ1L	IMR1L					FFH
FFFFFF103H	割り込みマスク・レジスタ1H	IMR1H					FFH
FFFFFF104H	割り込みマスク・レジスタ2	IMR2					FFFFH
FFFFFF104H	割り込みマスク・レジスタ2L	IMR2L					FFH
FFFFFF105H	割り込みマスク・レジスタ2H	IMR2H					FFH
FFFFFF106H	割り込みマスク・レジスタ3	IMR3					FFFFH
FFFFFF106H	割り込みマスク・レジスタ3L	IMR3L					FFH
FFFFFF107H	割り込みマスク・レジスタ3H	IMR3H					FFH
FFFFFF108H	割り込みマスク・レジスタ4	IMR4					FFFFH
FFFFFF108H	割り込みマスク・レジスタ4L	IMR4L					FFH
FFFFFF109H	割り込みマスク・レジスタ4H	IMR4H				FFH	
FFFFFF10AH	割り込みマスク・レジスタ5	IMR5				FFFFH	
FFFFFF10AH	割り込みマスク・レジスタ5L	IMR5L				FFH	
FFFFFF10BH	割り込みマスク・レジスタ5H	IMR5H				FFH	
FFFFFF10CH	割り込みマスク・レジスタ6	IMR6				FFFFH	
FFFFFF10CH	割り込みマスク・レジスタ6L	IMR6L				FFH	
FFFFFF10DH	割り込みマスク・レジスタ6H	IMR6H				FFH	
FFFFFF10EH	割り込みマスク・レジスタ7L	IMR7L				1FH	
FFFFFF110H	割り込み制御レジスタ	LVIC				47H	
FFFFFF112H	割り込み制御レジスタ	PIC0				47H	
FFFFFF114H	割り込み制御レジスタ	PIC1				47H	

(3/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF116H	割り込み制御レジスタ	PIC2	R/W				47H
FFFFFF118H	割り込み制御レジスタ	PIC3					47H
FFFFFF11AH	割り込み制御レジスタ	PIC4					47H
FFFFFF11CH	割り込み制御レジスタ	PIC5					47H
FFFFFF11EH	割り込み制御レジスタ	PIC6					47H
FFFFFF120H	割り込み制御レジスタ	PIC7					47H
FFFFFF122H	割り込み制御レジスタ	TQ0OVIC					47H
FFFFFF124H	割り込み制御レジスタ	TQ0CCIC0					47H
FFFFFF126H	割り込み制御レジスタ	TQ0CCIC1					47H
FFFFFF128H	割り込み制御レジスタ	TQ0CCIC2					47H
FFFFFF12AH	割り込み制御レジスタ	TQ0CCIC3					47H
FFFFFF12CH	割り込み制御レジスタ	TP0OVIC					47H
FFFFFF12EH	割り込み制御レジスタ	TP0CCIC0					47H
FFFFFF130H	割り込み制御レジスタ	TP0CCIC1					47H
FFFFFF132H	割り込み制御レジスタ	TP1OVIC					47H
FFFFFF134H	割り込み制御レジスタ	TP1CCIC0					47H
FFFFFF136H	割り込み制御レジスタ	TP1CCIC1					47H
FFFFFF138H	割り込み制御レジスタ	TP2OVIC					47H
FFFFFF13AH	割り込み制御レジスタ	TP2CCIC0					47H
FFFFFF13CH	割り込み制御レジスタ	TP2CCIC1					47H
FFFFFF13EH	割り込み制御レジスタ	TP3OVIC					47H
FFFFFF140H	割り込み制御レジスタ	TP3CCIC0					47H
FFFFFF142H	割り込み制御レジスタ	TP3CCIC1					47H
FFFFFF144H	割り込み制御レジスタ	TP4OVIC					47H
FFFFFF146H	割り込み制御レジスタ	TP4CCIC0					47H
FFFFFF148H	割り込み制御レジスタ	TP4CCIC1					47H
FFFFFF14AH	割り込み制御レジスタ	TP5OVIC					47H
FFFFFF14CH	割り込み制御レジスタ	TP5CCIC0					47H
FFFFFF14EH	割り込み制御レジスタ	TP5CCIC1					47H
FFFFFF150H	割り込み制御レジスタ	TM0EQIC0					47H
FFFFFF152H	割り込み制御レジスタ	CB0RIC/IIC1					47H
FFFFFF154H	割り込み制御レジスタ	CB0TIC					47H
FFFFFF156H	割り込み制御レジスタ	CB1RIC					47H
FFFFFF158H	割り込み制御レジスタ	CB1TIC					47H
FFFFFF15AH	割り込み制御レジスタ	CB2RIC					47H
FFFFFF15CH	割り込み制御レジスタ	CB2TIC					47H
FFFFFF15EH	割り込み制御レジスタ	CB3RIC					47H
FFFFFF160H	割り込み制御レジスタ	CB3TIC					47H
FFFFFF162H	割り込み制御レジスタ	UA0RIC/CB4RIC					47H
FFFFFF164H	割り込み制御レジスタ	UA0TIC/CB4TIC					47H
FFFFFF166H	割り込み制御レジスタ	UA1RIC				47H	
FFFFFF168H	割り込み制御レジスタ	UA1TIC				47H	
FFFFFF16AH	割り込み制御レジスタ	UA2RIC				47H	

(4/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF16CH	割り込み制御レジスタ	UA2TIC	R/W				47H
FFFFFF16EH	割り込み制御レジスタ	ADIC					47H
FFFFFF170H	割り込み制御レジスタ	DMAIC0					47H
FFFFFF172H	割り込み制御レジスタ	DMAIC1					47H
FFFFFF174H	割り込み制御レジスタ	DMAIC2					47H
FFFFFF176H	割り込み制御レジスタ	DMAIC3					47H
FFFFFF178H	割り込み制御レジスタ	KRIC					47H
FFFFFF17AH	割り込み制御レジスタ	WTIIC					47H
FFFFFF17CH	割り込み制御レジスタ	WTIC					47H
FFFFFF17EH	割り込み制御レジスタ	ERRIC0 <sup>注1</sup>					47H
FFFFFF180H	割り込み制御レジスタ	WUPIC0 <sup>注1</sup>					47H
FFFFFF182H	割り込み制御レジスタ	RECIC0 <sup>注1</sup>					47H
FFFFFF184H	割り込み制御レジスタ	TRXIC0 <sup>注1</sup>					47H
FFFFFF186H	割り込み制御レジスタ	ERRIC1 <sup>注2</sup>					47H
FFFFFF188H	割り込み制御レジスタ	WUPIC1 <sup>注2</sup>					47H
FFFFFF18AH	割り込み制御レジスタ	RECIC1 <sup>注2</sup>					47H
FFFFFF18CH	割り込み制御レジスタ	TRXIC1 <sup>注2</sup>					47H
FFFFFF18EH	割り込み制御レジスタ	PIC8					47H
FFFFFF190H	割り込み制御レジスタ	TP6OVIC					47H
FFFFFF192H	割り込み制御レジスタ	TP6CCIC0					47H
FFFFFF194H	割り込み制御レジスタ	TP6CCIC1					47H
FFFFFF196H	割り込み制御レジスタ	TP7OVIC					47H
FFFFFF198H	割り込み制御レジスタ	TP7CCIC0					47H
FFFFFF19AH	割り込み制御レジスタ	TP7CCIC1					47H
FFFFFF19CH	割り込み制御レジスタ	TP8OVIC					47H
FFFFFF19EH	割り込み制御レジスタ	TP8CCIC0					47H
FFFFFF1A0H	割り込み制御レジスタ	TP8CCIC1					47H
FFFFFF1A2H	割り込み制御レジスタ	CB5RIC					47H
FFFFFF1A4H	割り込み制御レジスタ	CB5TIC					47H
FFFFFF1A6H	割り込み制御レジスタ	UA3RIC					47H
FFFFFF1A8H	割り込み制御レジスタ	UA3TIC					47H
FFFFFF1B0H	割り込み制御レジスタ	UA4RIC					47H
FFFFFF1B2H	割り込み制御レジスタ	UA4TIC				47H	
FFFFFF1B4H	割り込み制御レジスタ	IICIC3				47H	
FFFFFF1B6H	割り込み制御レジスタ	IICIC0				47H	
FFFFFF1B8H	割り込み制御レジスタ	IICIC2				47H	

注1. CANコントローラ内蔵品のみ

2. CANコントローラ(2チャンネル)内蔵品のみ



(5/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFF1BAH	割り込み制御レジスタ	IICIC4 <sup>注</sup>	R/W				47H
FFFF1BCH	割り込み制御レジスタ	IICIC5 <sup>注</sup>					47H
FFFF1BEH	割り込み制御レジスタ	PIC9					47H
FFFF1C0H	割り込み制御レジスタ	TP7IECIC					47H
FFFF1C2H	割り込み制御レジスタ	TP8IECIC					47H
FFFF1C4H	割り込み制御レジスタ	TM1EQIC0					47H
FFFF1C6H	割り込み制御レジスタ	TM2EQIC0					47H
FFFF1C8H	割り込み制御レジスタ	CE0TIC <sup>注</sup>					47H
FFFF1CAH	割り込み制御レジスタ	CE0TIOFIC <sup>注</sup>					47H
FFFF1CCH	割り込み制御レジスタ	CE1TIC <sup>注</sup>					47H
FFFF1CEH	割り込み制御レジスタ	CE1TIOFIC <sup>注</sup>					47H
FFFF1D0H	割り込み制御レジスタ	UB0TIRIC					47H
FFFF1D2H	割り込み制御レジスタ	UB0TITIC					47H
FFFF1D4H	割り込み制御レジスタ	UB0TIFIC					47H
FFFF1D6H	割り込み制御レジスタ	UB0TIREIC					47H
FFFF1D8H	割り込み制御レジスタ	UB0TIOIC					47H
FFFF1DAH	割り込み制御レジスタ	UB1TIRIC					47H
FFFF1DCH	割り込み制御レジスタ	UB1TITIC					47H
FFFF1DEH	割り込み制御レジスタ	UB1TIFIC					47H
FFFF1E0H	割り込み制御レジスタ	UB1TIREIC					47H
FFFF1E2H	割り込み制御レジスタ	UB1TIOIC					47H
FFFF1E4H	割り込み制御レジスタ	UA5RIC					47H
FFFF1E6H	割り込み制御レジスタ	UA5TIC					47H
FFFF1E8H	割り込み制御レジスタ	ERRIC					47H
FFFF1EAH	割り込み制御レジスタ	STAIC					47H
FFFF1ECH	割り込み制御レジスタ	IEIC1					47H
FFFF1EEH	割り込み制御レジスタ	IEIC2					47H
FFFF1F0H	割り込み制御レジスタ	RTC0IC					47H
FFFF1F2H	割り込み制御レジスタ	RTC1IC				47H	
FFFF1F4H	割り込み制御レジスタ	RTC2IC				47H	
FFFF1FAH	インサービス・プライオリティ・レジスタ	ISPR	R				00H
FFFF1FCH	コマンド・レジスタ	PRCMD	W				不定
FFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H
FFFF200H	A/Dコンバータ・モード・レジスタ0	ADA0M0					00H
FFFF201H	A/Dコンバータ・モード・レジスタ1	ADA0M1					00H
FFFF202H	A/Dコンバータ・チャンネル指定レジスタ	ADA0S					00H
FFFF203H	A/Dコンバータ・モード・レジスタ2	ADA0M2					00H
FFFF204H	パワー・フェイル比較モード・レジスタ	ADA0PFM					00H
FFFF205H	パワー・フェイル比較しきい値レジスタ	ADA0PFT					00H

注  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

(6/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF210H	A/D変換結果レジスタ0	ADA0CR0	R				不定
FFFFFF211H	A/D変換結果レジスタ0H	ADA0CR0H					不定
FFFFFF212H	A/D変換結果レジスタ1	ADA0CR1					不定
FFFFFF213H	A/D変換結果レジスタ1H	ADA0CR1H					不定
FFFFFF214H	A/D変換結果レジスタ2	ADA0CR2					不定
FFFFFF215H	A/D変換結果レジスタ2H	ADA0CR2H					不定
FFFFFF216H	A/D変換結果レジスタ3	ADA0CR3					不定
FFFFFF217H	A/D変換結果レジスタ3H	ADA0CR3H					不定
FFFFFF218H	A/D変換結果レジスタ4	ADA0CR4					不定
FFFFFF219H	A/D変換結果レジスタ4H	ADA0CR4H					不定
FFFFFF21AH	A/D変換結果レジスタ5	ADA0CR5					不定
FFFFFF21BH	A/D変換結果レジスタ5H	ADA0CR5H					不定
FFFFFF21CH	A/D変換結果レジスタ6	ADA0CR6					不定
FFFFFF21DH	A/D変換結果レジスタ6H	ADA0CR6H					不定
FFFFFF21EH	A/D変換結果レジスタ7	ADA0CR7					不定
FFFFFF21FH	A/D変換結果レジスタ7H	ADA0CR7H					不定
FFFFFF220H	A/D変換結果レジスタ8	ADA0CR8					不定
FFFFFF221H	A/D変換結果レジスタ8H	ADA0CR8H					不定
FFFFFF222H	A/D変換結果レジスタ9	ADA0CR9					不定
FFFFFF223H	A/D変換結果レジスタ9H	ADA0CR9H					不定
FFFFFF224H	A/D変換結果レジスタ10	ADA0CR10					不定
FFFFFF225H	A/D変換結果レジスタ10H	ADA0CR10H					不定
FFFFFF226H	A/D変換結果レジスタ11	ADA0CR11					不定
FFFFFF227H	A/D変換結果レジスタ11H	ADA0CR11H					不定
FFFFFF228H	A/D変換結果レジスタ12	ADA0CR12					不定
FFFFFF229H	A/D変換結果レジスタ12H	ADA0CR12H					不定
FFFFFF22AH	A/D変換結果レジスタ13	ADA0CR13					不定
FFFFFF22BH	A/D変換結果レジスタ13H	ADA0CR13H					不定
FFFFFF22CH	A/D変換結果レジスタ14	ADA0CR14					不定
FFFFFF22DH	A/D変換結果レジスタ14H	ADA0CR14H					不定
FFFFFF22EH	A/D変換結果レジスタ15	ADA0CR15				不定	
FFFFFF22FH	A/D変換結果レジスタ15H	ADA0CR15H				不定	
FFFFFF280H	D/Aコンバータ変換値設定レジスタ0	DA0CS0	R/W				00H
FFFFFF281H	D/Aコンバータ変換値設定レジスタ1	DA0CS1					00H
FFFFFF282H	D/Aコンバータ・モード・レジスタ	DA0M					00H
FFFFFF300H	キー・リターン・モード・レジスタ	KRM					00H
FFFFFF308H	セレクト動作制御レジスタ0	SELCNT0					00H
FFFFFF310H	CRCインプット・レジスタ	CRCIN					00H
FFFFFF312H	CRCデータ・レジスタ	CRCD					0000H
FFFFFF318H	ノイズ除去制御レジスタ	NFC					00H
FFFFFF31CH	TMP7ノイズ除去制御レジスタ	EN0NFC					00H
FFFFFF31EH	TMP8ノイズ除去制御レジスタ	EN1NFC					00H

(7/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF320H	BRG1プリスケラ・モード・レジスタ	PRSM1	R/W				00H
FFFFFF321H	BRG1プリスケラ・コンペア・レジスタ	PRSCM1					00H
FFFFFF324H	BRG2プリスケラ・モード・レジスタ	PRSM2					00H
FFFFFF325H	BRG2プリスケラ・コンペア・レジスタ	PRSCM2					00H
FFFFFF328H	BRG3プリスケラ・モード・レジスタ	PRSM3					00H
FFFFFF329H	BRG3プリスケラ・コンペア・レジスタ	PRSCM3					00H
FFFFFF340H	IIC分周クロック選択レジスタ0	OCKS0					00H
FFFFFF344H	IIC分周クロック選択レジスタ1	OCKS1					00H
FFFFFF348H	IEBusクロック選択レジスタ	OCKS2					00H
FFFFFF34CH	IIC分周クロック選択レジスタ3	OCKS3 <sup>注1</sup>					00H
FFFFFF360H	IEBusコントロール・レジスタ	BCR					00H
FFFFFF361H	IEBusパワー・セーブ・レジスタ	PSR					00H
FFFFFF362H	IEBusスレーブ・ステータス・レジスタ	SSR	R				81H
FFFFFF363H	IEBusユニット・ステータス・レジスタ	USR					00H
FFFFFF364H	IEBusインタラプト・ステータス・レジスタ	ISR	R/W				00H
FFFFFF365H	IEBusエラー・ステータス・レジスタ	ESR					00H
FFFFFF366H	IEBusユニット・アドレス・レジスタ	UAR					0000H
FFFFFF368H	IEBusスレーブ・アドレス・レジスタ	SAR					0000H
FFFFFF36AH	IEBusパートナ・アドレス・レジスタ	PAR	R				0000H
FFFFFF36CH	IEBus受信スレーブ・アドレス・レジスタ	RSA					0000H
FFFFFF36EH	IEBusコントロール・データ・レジスタ	CDR	R/W				00H
FFFFFF36FH	IEBus電文長レジスタ	DLR					01H
FFFFFF370H	IEBusデータ・レジスタ	DR					00H
FFFFFF371H	IEBusフィールド・ステータス・レジスタ	FSR	R				00H
FFFFFF372H	IEBusサクセス・カウント・レジスタ	SCR					01H
FFFFFF373H	IEBusコミュニケーション・カウント・レジスタ	CCR					20H
FFFFFF3F0H	SSCGコントロール・レジスタ	SSCGCTL	R/W				00H
FFFFFF3F1H	SSCG周波数コントロール・レジスタ0	SFC0					00H
FFFFFF3F2H	SSCG周波数コントロール・レジスタ1	SFC1					00H
FFFFFF400H	ポート0レジスタ	P0					00H <sup>注2</sup>
FFFFFF402H	ポート1レジスタ	P1					00H <sup>注2</sup>
FFFFFF404H	ポート2レジスタ	P2					00H <sup>注2</sup>
FFFFFF406H	ポート3レジスタ	P3					0000H <sup>注2</sup>
FFFFFF406H	ポート3Lレジスタ	P3L					00H <sup>注2</sup>
FFFFFF407H	ポート3Hレジスタ	P3H					00H <sup>注2</sup>
FFFFFF408H	ポート4レジスタ	P4					00H <sup>注2</sup>
FFFFFF40AH	ポート5レジスタ	P5					00H <sup>注2</sup>
FFFFFF40CH	ポート6レジスタ	P6					0000H <sup>注2</sup>
FFFFFF40CH	ポート6Lレジスタ	P6L					00H <sup>注2</sup>
FFFFFF40DH	ポート6Hレジスタ	P6H					00H <sup>注2</sup>

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

2. 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

(8/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF40EH	ポート7Lレジスタ	P7L	R/W				00H <sup>注1</sup>
FFFFFF40FH	ポート7Hレジスタ	P7H					00H <sup>注1</sup>
FFFFFF410H	ポート8レジスタ	P8					00H <sup>注1</sup>
FFFFFF412H	ポート9レジスタ	P9					0000H <sup>注1</sup>
FFFFFF412H	ポート9Lレジスタ	P9L					00H <sup>注1</sup>
FFFFFF413H	ポート9Hレジスタ	P9H					00H <sup>注1</sup>
FFFFFF41AH	ポート13レジスタ	P13 <sup>注2</sup>					00H <sup>注1</sup>
FFFFFF41CH	ポート14レジスタ	P14 <sup>注2</sup>					00H <sup>注1</sup>
FFFFFF41EH	ポート15レジスタ	P15 <sup>注2</sup>					00H <sup>注1</sup>
FFFFFF420H	ポート0モード・レジスタ	PM0					FFH
FFFFFF422H	ポート1モード・レジスタ	PM1					FFH
FFFFFF424H	ポート2モード・レジスタ	PM2 <sup>注2</sup>					FFH
FFFFFF426H	ポート3モード・レジスタ	PM3					FFFFH
FFFFFF426H	ポート3モード・レジスタL	PM3L					FFH
FFFFFF427H	ポート3モード・レジスタH	PM3H					FFH
FFFFFF428H	ポート4モード・レジスタ	PM4					FFH
FFFFFF42AH	ポート5モード・レジスタ	PM5					FFH
FFFFFF42CH	ポート6モード・レジスタ	PM6					FFFFH
FFFFFF42CH	ポート6モード・レジスタL	PM6L					FFH
FFFFFF42DH	ポート6モード・レジスタH	PM6H					FFH
FFFFFF42EH	ポート7モード・レジスタL	PM7L					FFH
FFFFFF42FH	ポート7モード・レジスタH	PM7H					FFH
FFFFFF430H	ポート8モード・レジスタ	PM8					FFH
FFFFFF432H	ポート9モード・レジスタ	PM9					FFFFH
FFFFFF432H	ポート9モード・レジスタL	PM9L					FFH
FFFFFF433H	ポート9モード・レジスタH	PM9H					FFH
FFFFFF43AH	ポート13モード・レジスタ	PM13 <sup>注2</sup>					FFH
FFFFFF43CH	ポート14モード・レジスタ	PM14 <sup>注2</sup>				FFH	
FFFFFF43EH	ポート15モード・レジスタ	PM15 <sup>注2</sup>				FFH	
FFFFFF440H	ポート0モード・コントロール・レジスタ	PMC0				00H	
FFFFFF444H	ポート2モード・コントロール・レジスタ	PMC2 <sup>注2</sup>				00H	
FFFFFF446H	ポート3モード・コントロール・レジスタ	PMC3				0000H	
FFFFFF446H	ポート3モード・コントロール・レジスタL	PMC3L				00H	
FFFFFF447H	ポート3モード・コントロール・レジスタH	PMC3H				00H	
FFFFFF448H	ポート4モード・コントロール・レジスタ	PMC4				00H	
FFFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5				00H	
FFFFFF44CH	ポート6モード・コントロール・レジスタ	PMC6				0000H	
FFFFFF44CH	ポート6モード・コントロール・レジスタL	PMC6L				00H	
FFFFFF44DH	ポート6モード・コントロール・レジスタH	PMC6H				00H	

注1. 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

2. V850E/SK3-Hのみ

(9/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFFF450H	ポート8モード・コントロール・レジスタ	PMC8	R/W				00H	
FFFFFF452H	ポート9モード・コントロール・レジスタ	PMC9					0000H	
FFFFFF452H	ポート9モード・コントロール・レジスタL	PMC9L					00H	
FFFFFF453H	ポート9モード・コントロール・レジスタH	PMC9H					00H	
FFFFFF45EH	ポート15モード・コントロール・レジスタ	PMC15 <sup>注</sup>					00H	
FFFFFF460H	ポート0ファンクション・コントロール・レジスタ	PFC0					00H	
FFFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3					0000H	
FFFFFF466H	ポート3ファンクション・コントロール・レジスタL	PFC3L					00H	
FFFFFF467H	ポート3ファンクション・コントロール・レジスタH	PFC3H					00H	
FFFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4					00H	
FFFFFF46AH	ポート5ファンクション・コントロール・レジスタ	PFC5					00H	
FFFFFF46CH	ポート6ファンクション・コントロール・レジスタ	PFC6					0000H	
FFFFFF46CH	ポート6ファンクション・コントロール・レジスタL	PFC6L					00H	
FFFFFF46DH	ポート6ファンクション・コントロール・レジスタH	PFC6H					00H	
FFFFFF470H	ポート8ファンクション・コントロール・レジスタ	PFC8					00H	
FFFFFF472H	ポート9ファンクション・コントロール・レジスタ	PFC9					0000H	
FFFFFF472H	ポート9ファンクション・コントロール・レジスタL	PFC9L					00H	
FFFFFF473H	ポート9ファンクション・コントロール・レジスタH	PFC9H					00H	
FFFFFF484H	データ・ウェイト・コントロール・レジスタ0	DWC0					7777H	
FFFFFF486H	データ・ウェイト・コントロール・レジスタ1	DWC1					7777H	
FFFFFF488H	アドレス・ウェイト・コントロール・レジスタ	AWC					FFFFH	
FFFFFF48AH	バス・サイクル・コントロール・レジスタ	BCC					AAAAH	
FFFFFF540H	TMQ0制御レジスタ0	TQ0CTL0					00H	
FFFFFF541H	TMQ0制御レジスタ1	TQ0CTL1					00H	
FFFFFF542H	TMQ0I/O制御レジスタ0	TQ0IOC0					00H	
FFFFFF543H	TMQ0I/O制御レジスタ1	TQ0IOC1					00H	
FFFFFF544H	TMQ0I/O制御レジスタ2	TQ0IOC2					00H	
FFFFFF545H	TMQ0オプション・レジスタ0	TQ0OPT0					00H	
FFFFFF546H	TMQ0キャプチャ/コンペア・レジスタ0	TQ0CCR0					0000H	
FFFFFF548H	TMQ0キャプチャ/コンペア・レジスタ1	TQ0CCR1					0000H	
FFFFFF54AH	TMQ0キャプチャ/コンペア・レジスタ2	TQ0CCR2					0000H	
FFFFFF54CH	TMQ0キャプチャ/コンペア・レジスタ3	TQ0CCR3					0000H	
FFFFFF54EH	TMQ0カウンタ・リード・バッファ・レジスタ	TQ0CNT		R			0000H	
FFFFFF590H	TMP0制御レジスタ0	TP0CTL0		R/W				00H
FFFFFF591H	TMP0制御レジスタ1	TP0CTL1						00H
FFFFFF592H	TMP0I/O制御レジスタ0	TP0IOC0						00H
FFFFFF593H	TMP0I/O制御レジスタ1	TP0IOC1						00H
FFFFFF594H	TMP0I/O制御レジスタ2	TP0IOC2						00H
FFFFFF595H	TMP0オプション・レジスタ0	TP0OPT0						00H
FFFFFF596H	TMP0キャプチャ/コンペア・レジスタ0	TP0CCR0						0000H
FFFFFF598H	TMP0キャプチャ/コンペア・レジスタ1	TP0CCR1					0000H	
FFFFFF59AH	TMP0カウンタ・リード・バッファ・レジスタ	TP0CNT	R				0000H	

注 V850E/SK3-Hのみ

(10/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF5A0H	TMP1制御レジスタ0	TP1CTL0	R/W				00H
FFFFF5A1H	TMP1制御レジスタ1	TP1CTL1					00H
FFFFF5A2H	TMP1I/O制御レジスタ0	TP1IOC0					00H
FFFFF5A3H	TMP1I/O制御レジスタ1	TP1IOC1					00H
FFFFF5A4H	TMP1I/O制御レジスタ2	TP1IOC2					00H
FFFFF5A5H	TMP1オプション・レジスタ0	TP1OPT0					00H
FFFFF5A6H	TMP1キャプチャ/コンペア・レジスタ0	TP1CCR0					0000H
FFFFF5A8H	TMP1キャプチャ/コンペア・レジスタ1	TP1CCR1					0000H
FFFFF5AAH	TMP1カウンタ・リード・バッファ・レジスタ	TP1CNT	R				0000H
FFFFF5B0H	TMP2制御レジスタ0	TP2CTL0	R/W				00H
FFFFF5B1H	TMP2制御レジスタ1	TP2CTL1					00H
FFFFF5B2H	TMP2I/O制御レジスタ0	TP2IOC0					00H
FFFFF5B3H	TMP2I/O制御レジスタ1	TP2IOC1					00H
FFFFF5B4H	TMP2I/O制御レジスタ2	TP2IOC2					00H
FFFFF5B5H	TMP2オプション・レジスタ0	TP2OPT0					00H
FFFFF5B6H	TMP2キャプチャ/コンペア・レジスタ0	TP2CCR0					0000H
FFFFF5B8H	TMP2キャプチャ/コンペア・レジスタ1	TP2CCR1					0000H
FFFFF5BAH	TMP2カウンタ・リード・バッファ・レジスタ	TP2CNT	R				0000H
FFFFF5C0H	TMP3制御レジスタ0	TP3CTL0	R/W				00H
FFFFF5C1H	TMP3制御レジスタ1	TP3CTL1					00H
FFFFF5C2H	TMP3I/O制御レジスタ0	TP3IOC0					00H
FFFFF5C3H	TMP3I/O制御レジスタ1	TP3IOC1					00H
FFFFF5C4H	TMP3I/O制御レジスタ2	TP3IOC2				00H	
FFFFF5C5H	TMP3オプション・レジスタ0	TP3OPT0	R/W				00H
FFFFF5C6H	TMP3キャプチャ/コンペア・レジスタ0	TP3CCR0					0000H
FFFFF5C8H	TMP3キャプチャ/コンペア・レジスタ1	TP3CCR1					0000H
FFFFF5CAH	TMP3カウンタ・リード・バッファ・レジスタ	TP3CNT	R				0000H
FFFFF5D0H	TMP4制御レジスタ0	TP4CTL0	R/W				00H
FFFFF5D1H	TMP4制御レジスタ1	TP4CTL1					00H
FFFFF5D2H	TMP4I/O制御レジスタ0	TP4IOC0					00H
FFFFF5D3H	TMP4I/O制御レジスタ1	TP4IOC1					00H
FFFFF5D4H	TMP4I/O制御レジスタ2	TP4IOC2					00H
FFFFF5D5H	TMP4オプション・レジスタ0	TP4OPT0					00H
FFFFF5D6H	TMP4キャプチャ/コンペア・レジスタ0	TP4CCR0					0000H
FFFFF5D8H	TMP4キャプチャ/コンペア・レジスタ1	TP4CCR1					0000H
FFFFF5DAH	TMP4カウンタ・リード・バッファ・レジスタ	TP4CNT	R				0000H
FFFFF5E0H	TMP5制御レジスタ0	TP5CTL0	R/W				00H
FFFFF5E1H	TMP5制御レジスタ1	TP5CTL1					00H
FFFFF5E2H	TMP5I/O制御レジスタ0	TP5IOC0					00H
FFFFF5E3H	TMP5I/O制御レジスタ1	TP5IOC1					00H
FFFFF5E4H	TMP5I/O制御レジスタ2	TP5IOC2					00H
FFFFF5E5H	TMP5オプション・レジスタ0	TP5OPT0					00H
FFFFF5E6H	TMP5キャプチャ/コンペア・レジスタ0	TP5CCR0					0000H

(11/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFF5E8H	TMP5キャプチャ/コンペア・レジスタ1	TP5CCR1	R/W				0000H	
FFFFF5EAH	TMP5カウンタ・リード・バッファ・レジスタ	TP5CNT	R				0000H	
FFFFF5F0H	TMP6制御レジスタ0	TP6CTL0	R/W				00H	
FFFFF5F1H	TMP6制御レジスタ1	TP6CTL1					00H	
FFFFF5F2H	TMP6I/O制御レジスタ0	TP6IOC0					00H	
FFFFF5F3H	TMP6I/O制御レジスタ1	TP6IOC1					00H	
FFFFF5F4H	TMP6I/O制御レジスタ2	TP6IOC2					00H	
FFFFF5F5H	TMP6オプション・レジスタ0	TP6OPT0					00H	
FFFFF5F6H	TMP6キャプチャ/コンペア・レジスタ0	TP6CCR0					0000H	
FFFFF5F8H	TMP6キャプチャ/コンペア・レジスタ1	TP6CCR1					0000H	
FFFFF5FAH	TMP6カウンタ・リード・バッファ・レジスタ	TP6CNT		R				0000H
FFFFF640H	TMP7制御レジスタ0	TP7CTL0		R/W				00H
FFFFF641H	TMP7制御レジスタ1	TP7CTL1					00H	
FFFFF642H	TMP7制御レジスタ2	TP7CTL2					00H	
FFFFF643H	TMP7I/O制御レジスタ0	TP7IOC0					00H	
FFFFF644H	TMP7I/O制御レジスタ1	TP7IOC1					00H	
FFFFF645H	TMP7I/O制御レジスタ2	TP7IOC2					00H	
FFFFF646H	TMP7I/O制御レジスタ3	TP7IOC3					00H	
FFFFF647H	TMP7オプション・レジスタ0	TP7OPT0					00H	
FFFFF648H	TMP7オプション・レジスタ1	TP7OPT1					00H	
FFFFF64AH	TMP7キャプチャ/コンペア・レジスタ0	TP7CCR0					0000H	
FFFFF64CH	TMP7キャプチャ/コンペア・レジスタ1	TP7CCR1				0000H		
FFFFF64EH	TMP7カウンタ・リード・バッファ・レジスタ	TP7CNT	R				0000H	
FFFFF650H	TMP7カウンタ・ライト・レジスタ	TP7TCW	R/W				0000H	
FFFFF660H	TMP8制御レジスタ0	TP8CTL0					00H	
FFFFF661H	TMP8制御レジスタ1	TP8CTL1					00H	
FFFFF662H	TMP8制御レジスタ2	TP8CTL2					00H	
FFFFF663H	TMP8I/O制御レジスタ0	TP8IOC0					00H	
FFFFF664H	TMP8I/O制御レジスタ1	TP8IOC1					00H	
FFFFF665H	TMP8I/O制御レジスタ2	TP8IOC2					00H	
FFFFF666H	TMP8I/O制御レジスタ3	TP8IOC3					00H	
FFFFF667H	TMP8オプション・レジスタ0	TP8OPT0					00H	
FFFFF668H	TMP8オプション・レジスタ1	TP8OPT1					00H	
FFFFF66AH	TMP8キャプチャ/コンペア・レジスタ0	TP8CCR0				0000H		
FFFFF66CH	TMP8キャプチャ/コンペア・レジスタ1	TP8CCR1				0000H		
FFFFF66EH	TMP8カウンタ・リード・バッファ・レジスタ	TP8CNT	R				0000H	
FFFFF670H	TMP8カウンタ・ライト・レジスタ	TP8TCW	R/W				0000H	
FFFFF680H	時計タイマ動作モード・レジスタ	WTM					00H	

(12/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF690H	TMM0制御レジスタ0	TM0CTL0	R/W				00H
FFFFFF694H	TMM0コンペア・レジスタ0	TM0CMP0					0000H
FFFFFF6A0H	TMM1制御レジスタ0	TM1CTL0					00H
FFFFFF6A4H	TMM1コンペア・レジスタ0	TM1CMP0					0000H
FFFFFF6B0H	TMM2制御レジスタ0	TM2CTL0					00H
FFFFFF6B4H	TMM2コンペア・レジスタ0	TM2CMP0					0000H
FFFFFF6C0H	発振安定時間選択レジスタ	OSTS					06H
FFFFFF6C1H	PLLロックアップ時間指定レジスタ	PLLS					03H
FFFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ2	WDTM2					67H
FFFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE					9AH
FFFFFF6E0H	リアルタイム出力バッファ・レジスタ0L	RTBL0					00H
FFFFFF6E2H	リアルタイム出力バッファ・レジスタ0H	RTBH0					00H
FFFFFF6E4H	リアルタイム出力ポート・モード・レジスタ0	RTPM0					00H
FFFFFF6E5H	リアルタイム出力ポート・コントロール・レジスタ0	RTPC0					00H
FFFFFF6F0H	リアルタイム出力バッファ・レジスタ1L	RTBL1					00H
FFFFFF6F2H	リアルタイム出力バッファ・レジスタ1H	RTBH1					00H
FFFFFF6F4H	リアルタイム出力ポート・モード・レジスタ1	RTPM1					00H
FFFFFF6F5H	リアルタイム出力ポート・コントロール・レジスタ1	RTPC1					00H
FFFFFF700H	ポート0ファンクション・コントロール拡張レジスタ	PFCE0 <sup>注</sup>					00H
FFFFFF706H	ポート3ファンクション・コントロール拡張レジスタ	PFCE3					0000H
FFFFFF706H	ポート3ファンクション・コントロール拡張レジスタL	PFCE3L					00H
FFFFFF707H	ポート3ファンクション・コントロール拡張レジスタH	PFCE3H					00H
FFFFFF70AH	ポート5ファンクション・コントロール拡張レジスタ	PFCE5					00H
FFFFFF70CH	ポート6ファンクション・コントロール拡張レジスタ	PFCE6					0000H
FFFFFF70CH	ポート6ファンクション・コントロール拡張レジスタL	PFCE6L					00H
FFFFFF70DH	ポート6ファンクション・コントロール拡張レジスタH	PFCE6H					00H
FFFFFF710H	ポート8ファンクション・コントロール拡張レジスタ	PFCE8					00H
FFFFFF712H	ポート9ファンクション・コントロール拡張レジスタ	PFCE9				0000H	
FFFFFF712H	ポート9ファンクション・コントロール拡張レジスタL	PFCE9L				00H	
FFFFFF713H	ポート9ファンクション・コントロール拡張レジスタH	PFCE9H				00H	
FFFFFF802H	システム・ステータス・レジスタ	SYS				00H	
FFFFFF80CH	内蔵発振モード・レジスタ	RCM				00H	
FFFFFF810H	DMAトリガ要因レジスタ0	DTFR0				00H	
FFFFFF812H	DMAトリガ要因レジスタ1	DTFR1				00H	
FFFFFF814H	DMAトリガ要因レジスタ2	DTFR2				00H	
FFFFFF816H	DMAトリガ要因レジスタ3	DTFR3				00H	
FFFFFF820H	パワー・セーブ・モード・レジスタ	PSMR				00H	
FFFFFF822H	クロック・コントロール・レジスタ	CKC				0AH	
FFFFFF824H	ロック・レジスタ	LOCKR	R			00H	
FFFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W			03H	
FFFFFF82CH	PLLコントロール・レジスタ	PLLCTL				01H	
FFFFFF82EH	CPU動作クロック・ステータス・レジスタ	CCLS	R			00H	

注  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外



(13/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFF840H	コレクション・アドレス・レジスタ0	CORAD0	R/W					0000000H
FFFFF840H	コレクション・アドレス・レジスタ0L	CORAD0L						0000H
FFFFF842H	コレクション・アドレス・レジスタ0H	CORAD0H						0000H
FFFFF844H	コレクション・アドレス・レジスタ1	CORAD1						0000000H
FFFFF844H	コレクション・アドレス・レジスタ1L	CORAD1L						0000H
FFFFF846H	コレクション・アドレス・レジスタ1H	CORAD1H						0000H
FFFFF848H	コレクション・アドレス・レジスタ2	CORAD2						0000000H
FFFFF848H	コレクション・アドレス・レジスタ2L	CORAD2L						0000H
FFFFF84AH	コレクション・アドレス・レジスタ2H	CORAD2H						0000H
FFFFF84CH	コレクション・アドレス・レジスタ3	CORAD3						0000000H
FFFFF84CH	コレクション・アドレス・レジスタ3L	CORAD3L						0000H
FFFFF84EH	コレクション・アドレス・レジスタ3H	CORAD3H						0000H
FFFFF850H	コレクション・アドレス・レジスタ4	CORAD4						0000000H
FFFFF850H	コレクション・アドレス・レジスタ4L	CORAD4L						0000H
FFFFF852H	コレクション・アドレス・レジスタ4H	CORAD4H						0000H
FFFFF854H	コレクション・アドレス・レジスタ5	CORAD5						0000000H
FFFFF854H	コレクション・アドレス・レジスタ5L	CORAD5L						0000H
FFFFF856H	コレクション・アドレス・レジスタ5H	CORAD5H						0000H
FFFFF858H	コレクション・アドレス・レジスタ6	CORAD6						0000000H
FFFFF858H	コレクション・アドレス・レジスタ6L	CORAD6L						0000H
FFFFF85AH	コレクション・アドレス・レジスタ6H	CORAD6H						0000H
FFFFF85CH	コレクション・アドレス・レジスタ7	CORAD7						0000000H
FFFFF85CH	コレクション・アドレス・レジスタ7L	CORAD7L						0000H
FFFFF85EH	コレクション・アドレス・レジスタ7H	CORAD7H						0000H
FFFFF870H	クロック・モニタ・モード・レジスタ	CLM						00H
FFFFF880H	コレクション・コントロール・レジスタ	CORCN						00H
FFFFF888H	リセット要因フラグ・レジスタ	RESF						00H
FFFFF890H	低電圧検出レジスタ	LVIM						00H
FFFFF891H	低電圧検出レベル選択レジスタ	LVIS						00H
FFFFF892H	内蔵RAMデータ・ステータス・レジスタ	RAMS						01H <sup>注1</sup>
FFFFF8B0H	プリスケアラ・モード・レジスタ0	PRSM0						00H
FFFFF8B1H	プリスケアラ・コンペア・レジスタ0	PRSCM0						00H
FFFFF900H	CSIE0制御レジスタ0	CE0CTL0 <sup>注2</sup>						00H
FFFFF901H	CSIE0制御レジスタ1	CE0CTL1 <sup>注2</sup>					07H	
FFFFF902H	CSIE0受信データ・バッファ・レジスタ	CE0RX0 <sup>注2</sup>	R				0000H	
FFFFF902H	CSIE0受信データ・バッファ・レジスタL	CE0RX0L <sup>注2</sup>					00H	
FFFFF903H	CSIE0受信データ・バッファ・レジスタH	CE0RX0H <sup>注2</sup>					00H	
FFFFF906H	CSIE0送信データ・バッファ・レジスタ	CE0TX0 <sup>注2</sup>	R/W				0000H	
FFFFF906H	CSIE0送信データ・バッファ・レジスタL	CE0TX0L <sup>注2</sup>					00H	
FFFFF907H	CSIE0送信データ・バッファ・レジスタH	CE0TX0H <sup>注2</sup>					00H	
FFFFF908H	CSIE0状態レジスタ	CE0STR <sup>注2</sup>					20H	

注1. 初期値は電源投入後の値です。リセット後は前状態を保持します。

2.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

(14/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF909H	CSIE0制御レジスタ2	CE0CTL2 <sup>注1</sup>	R/W				00H
FFFFF90CH	CSIE0制御レジスタ3	CE0CTL3 <sup>注1</sup>					00H
FFFFF940H	CSIE1制御レジスタ0	CE1CTL0 <sup>注1</sup>					00H
FFFFF941H	CSIE1制御レジスタ1	CE1CTL1 <sup>注1</sup>					07H
FFFFF942H	CSIE1受信データ・バッファ・レジスタ	CE1RX0 <sup>注1</sup>	R				0000H
FFFFF942H	CSIE1受信データ・バッファ・レジスタL	CE1RX0L <sup>注1</sup>					00H
FFFFF943H	CSIE1受信データ・バッファ・レジスタH	CE1RX0H <sup>注1</sup>					00H
FFFFF946H	CSIE1送信データ・バッファ・レジスタ	CE1TX0 <sup>注1</sup>	R/W				0000H
FFFFF946H	CSIE1送信データ・バッファ・レジスタL	CE1TX0L <sup>注1</sup>					00H
FFFFF947H	CSIE1送信データ・バッファ・レジスタH	CE1TX0H <sup>注1</sup>					00H
FFFFF948H	CSIE1状態レジスタ	CE1STR <sup>注1</sup>					20H
FFFFF949H	CSIE1制御レジスタ2	CE1CTL2 <sup>注1</sup>					00H
FFFFF94CH	CSIE1制御レジスタ3	CE1CTL3 <sup>注1</sup>					00H
FFFFF9FCH	オンチップ・デバッグ・モード・レジスタ	OCDM					01H
FFFFF9FEH	周辺エミュレーション・レジスタ1	PEMU1 <sup>注2</sup>					00H
FFFFFA00H	UARTA0制御レジスタ0	UA0CTL0					10H
FFFFFA01H	UARTA0制御レジスタ1	UA0CTL1					00H
FFFFFA02H	UARTA0制御レジスタ2	UA0CTL2					FFH
FFFFFA03H	UARTA0オプション制御レジスタ0	UA0OPT0					14H
FFFFFA04H	UARTA0状態レジスタ	UA0STR					00H
FFFFFA06H	UARTA0受信データ・レジスタ	UA0RX	R				FFH
FFFFFA07H	UARTA0送信データ・レジスタ	UA0TX	R/W				FFH
FFFFFA10H	UARTA1制御レジスタ0	UA1CTL0					10H
FFFFFA11H	UARTA1制御レジスタ1	UA1CTL1					00H
FFFFFA12H	UARTA1制御レジスタ2	UA1CTL2					FFH
FFFFFA13H	UARTA1オプション制御レジスタ0	UA1OPT0					14H
FFFFFA14H	UARTA1状態レジスタ	UA1STR					00H
FFFFFA16H	UARTA1受信データ・レジスタ	UA1RX	R				FFH
FFFFFA17H	UARTA1送信データ・レジスタ	UA1TX	R/W				FFH
FFFFFA20H	UARTA2制御レジスタ0	UA2CTL0					10H
FFFFFA21H	UARTA2制御レジスタ1	UA2CTL1					00H
FFFFFA22H	UARTA2制御レジスタ2	UA2CTL2					FFH
FFFFFA23H	UARTA2オプション制御レジスタ0	UA2OPT0					14H
FFFFFA24H	UARTA2状態レジスタ	UA2STR					00H
FFFFFA26H	UARTA2受信データ・レジスタ	UA2RX	R				FFH
FFFFFA27H	UARTA2送信データ・レジスタ	UA2TX	R/W				FFH
FFFFFA30H	UARTA3制御レジスタ0	UA3CTL0					10H
FFFFFA31H	UARTA3制御レジスタ1	UA3CTL1					00H

注1.  $\mu$  PD70F3931B ( V850E/SJ3-H ) , 70F3932B ( V850E/SJ3-H ) , 70F3933B ( V850E/SJ3-H ) 以外

2. エミュレーション時のみ

(15/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFA32H	UARTA3制御レジスタ2	UA3CTL2	R/W				FFH
FFFFFFA33H	UARTA3オプション制御レジスタ0	UA3OPT0					14H
FFFFFFA34H	UARTA3状態レジスタ	UA3STR					00H
FFFFFFA36H	UARTA3受信データ・レジスタ	UA3RX	R				FFH
FFFFFFA37H	UARTA3送信データ・レジスタ	UA3TX	R/W				FFH
FFFFFFA40H	UARTA4制御レジスタ0	UA4CTL0					10H
FFFFFFA41H	UARTA4制御レジスタ1	UA4CTL1					00H
FFFFFFA42H	UARTA4制御レジスタ2	UA4CTL2					FFH
FFFFFFA43H	UARTA4オプション制御レジスタ0	UA4OPT0					14H
FFFFFFA44H	UARTA4状態レジスタ	UA4STR					00H
FFFFFFA46H	UARTA4受信データ・レジスタ	UA4RX	R				FFH
FFFFFFA47H	UARTA4送信データ・レジスタ	UA4TX	R/W				FFH
FFFFFFA50H	UARTA5制御レジスタ0	UA5CTL0					10H
FFFFFFA51H	UARTA5制御レジスタ1	UA5CTL1					00H
FFFFFFA52H	UARTA5制御レジスタ2	UA5CTL2					FFH
FFFFFFA53H	UARTA5オプション制御レジスタ0	UA5OPT0					14H
FFFFFFA54H	UARTA5状態レジスタ	UA5STR					00H
FFFFFFA56H	UARTA5受信データ・レジスタ	UA5RX	R				FFH
FFFFFFA57H	UARTA5送信データ・レジスタ	UA5TX	R/W				FFH
FFFFFFA80H	UARTB0制御レジスタ0	UB0CTL0					10H
FFFFFFA82H	UARTB0制御レジスタ2	UB0CTL2					FFFFH
FFFFFFA84H	UARTB0状態レジスタ	UB0STR					00H
FFFFFFA86H	UARTB0受信データ・レジスタAP	UB0RXAP	R				00FFH
FFFFFFA86H	UARTB0受信データ・レジスタ	UB0RX					FFH
FFFFFFA88H	UARTB0送信データ・レジスタ	UB0TX	W				FFH
FFFFFFA8AH	UARTB0 FIFO制御レジスタ0	UB0FIC0	R/W				00H
FFFFFFA8BH	UARTB0 FIFO制御レジスタ1	UB0FIC1					00H
FFFFFFA8CH	UARTB0 FIFO制御レジスタ2	UB0FIC2					0000H
FFFFFFA8CH	UARTB0 FIFO制御レジスタ2L	UB0FIC2L					00H
FFFFFFA8DH	UARTB0 FIFO制御レジスタ2H	UB0FIC2H					00H
FFFFFFA8EH	UARTB0 FIFO状態レジスタ0	UB0FIS0	R				00H
FFFFFFA8FH	UARTB0 FIFO状態レジスタ1	UB0FIS1					10H
FFFFFFAA0H	UARTB1制御レジスタ0	UB1CTL0	R/W				10H
FFFFFFAA2H	UARTB1制御レジスタ2	UB1CTL2					FFFFH
FFFFFFAA4H	UARTB1状態レジスタ	UB1STR					00H
FFFFFFAA6H	UARTB1受信データ・レジスタAP	UB1RXAP	R				00FFH
FFFFFFAA6H	UARTB1受信データ・レジスタ	UB1RX					FFH
FFFFFFAA8H	UARTB1送信データ・レジスタ	UB1TX	W				FFH
FFFFFFAAAH	UARTB1 FIFO制御レジスタ0	UB1FIC0	R/W				00H
FFFFFFAABH	UARTB1 FIFO制御レジスタ1	UB1FIC1					00H
FFFFFFAACH	UARTB1 FIFO制御レジスタ2	UB1FIC2					0000H
FFFFFFAACH	UARTB1 FIFO制御レジスタ2L	UB1FIC2L					00H
FFFFFFAADH	UARTB1 FIFO制御レジスタ2H	UB1FIC2H					00H

(16/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFAAEH	UARTB1 FIFO状態レジスタ0	UB1FIS0	R				00H
FFFFFAAFH	UARTB1 FIFO状態レジスタ1	UB1FIS1					10H
FFFFFAD0H	サブカウント・レジスタ	RC1SUBC					0000H
FFFFFAD2H	秒カウント・レジスタ	RC1SEC	R/W				00H
FFFFFAD3H	分カウント・レジスタ	RC1MIN					00H
FFFFFAD4H	時カウント・レジスタ	RC1HOUR					12H
FFFFFAD5H	曜日カウント・レジスタ	RC1WEEK					00H
FFFFFAD6H	日カウント・レジスタ	RC1DAY					01H
FFFFFAD7H	月カウント・レジスタ	RC1MONTH					01H
FFFFFAD8H	年カウント・レジスタ	RC1YEAR					00H
FFFFFAD9H	時計誤差補正レジスタ	RC1SUBU					00H
FFFFFADAH	アラーム分設定レジスタ	RC1ALM					00H
FFFFFADBH	アラーム時設定レジスタ	RC1ALH					12H
FFFFFADCH	アラーム曜日設定レジスタ	RC1ALW					00H
FFFFFADDH	リアルタイム・カウンタ・コントロール・レジスタ0	RC1CC0					00H
FFFFFADEH	リアルタイム・カウンタ・コントロール・レジスタ1	RC1CC1					00H
FFFFFADFH	リアルタイム・カウンタ・コントロール・レジスタ2	RC1CC2					00H
FFFFFAE0H	リアルタイム・カウンタ・コントロール・レジスタ3	RC1CC3					00H
FFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0					00H
FFFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3	INTF3					00H
FFFFFC08H	外部割り込み立ち下がりエッジ指定レジスタ4	INTF4					00H
FFFFFC0AH	外部割り込み立ち下がりエッジ指定レジスタ5	INTF5					00H
FFFFFC0CH	外部割り込み立ち下がりエッジ指定レジスタ6	INTF6					00H
FFFFFC10H	外部割り込み立ち下がりエッジ指定レジスタ8	INTF8					00H
FFFFFC12H	外部割り込み立ち下がりエッジ指定レジスタ9	INTF9					0000H
FFFFFC12H	外部割り込み立ち下がりエッジ指定レジスタ9L	INTF9L					00H
FFFFFC13H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTF9H					00H
FFFFFC1EH	外部割り込み立ち下がりエッジ指定レジスタ15	INTF15 <sup>注</sup>					00H
FFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0					00H
FFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3					00H
FFFFFC28H	外部割り込み立ち上がりエッジ指定レジスタ4	INTR4					00H
FFFFFC2AH	外部割り込み立ち上がりエッジ指定レジスタ5	INTR5					00H
FFFFFC2CH	外部割り込み立ち上がりエッジ指定レジスタ6	INTR6					00H
FFFFFC30H	外部割り込み立ち上がりエッジ指定レジスタ8	INTR8					00H
FFFFFC32H	外部割り込み立ち上がりエッジ指定レジスタ9	INTR9					0000H
FFFFFC32H	外部割り込み立ち上がりエッジ指定レジスタ9L	INTR9L					00H
FFFFFC33H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTR9H					00H
FFFFFC3EH	外部割り込み立ち上がりエッジ指定レジスタ15	INTR15 <sup>注</sup>					00H
FFFFFC60H	ポート0ファンクション・レジスタ	PF0					00H
FFFFFC64H	ポート2ファンクション・レジスタ	PF2 <sup>注</sup>					00H

注 V850E/SK3-Hのみ

(17/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFFFC66H	ポート3ファンクション・レジスタ	PF3	R/W				0000H	
FFFFFFC66H	ポート3ファンクション・レジスタL	PF3L					00H	
FFFFFFC67H	ポート3ファンクション・レジスタH	PF3H					00H	
FFFFFFC68H	ポート4ファンクション・レジスタ	PF4					00H	
FFFFFFC6AH	ポート5ファンクション・レジスタ	PF5					00H	
FFFFFFC6CH	ポート6ファンクション・レジスタ	PF6					0000H	
FFFFFFC6CH	ポート6ファンクション・レジスタL	PF6L					00H	
FFFFFFC6DH	ポート6ファンクション・レジスタH	PF6H					00H	
FFFFFFC70H	ポート8ファンクション・レジスタ	PF8					00H	
FFFFFFC72H	ポート9ファンクション・レジスタ	PF9					0000H	
FFFFFFC72H	ポート9ファンクション・レジスタL	PF9L					00H	
FFFFFFC73H	ポート9ファンクション・レジスタH	PF9H					00H	
FFFFFFC7EH	ポート15ファンクション・レジスタ	PF15 <sup>注</sup>					00H	
FFFFFFC8H	製品選択レジスタL	PRDSELL		R				製品に依存する
FFFFFFCAH	製品選択レジスタH	PRDSELH						製品に依存する
FFFFFFD00H	CSIB0制御レジスタ0	CB0CTL0	R/W				01H	
FFFFFFD01H	CSIB0制御レジスタ1	CB0CTL1					00H	
FFFFFFD02H	CSIB0制御レジスタ2	CB0CTL2					00H	
FFFFFFD03H	CSIB0状態レジスタ	CB0STR					00H	
FFFFFFD04H	CSIB0受信データ・レジスタ	CB0RX	R				0000H	
FFFFFFD04H	CSIB0受信データ・レジスタL	CB0RXL					00H	
FFFFFFD06H	CSIB0送信データ・レジスタ	CB0TX	R/W				0000H	
FFFFFFD06H	CSIB0送信データ・レジスタL	CB0TXL					00H	
FFFFFFD10H	CSIB1制御レジスタ0	CB1CTL0	R/W				01H	
FFFFFFD11H	CSIB1制御レジスタ1	CB1CTL1					00H	
FFFFFFD12H	CSIB1制御レジスタ2	CB1CTL2					00H	
FFFFFFD13H	CSIB1状態レジスタ	CB1STR					00H	
FFFFFFD14H	CSIB1受信データ・レジスタ	CB1RX		R				0000H
FFFFFFD14H	CSIB1受信データ・レジスタL	CB1RXL						00H
FFFFFFD16H	CSIB1送信データ・レジスタ	CB1TX		R/W				0000H
FFFFFFD16H	CSIB1送信データ・レジスタL	CB1TXL					00H	
FFFFFFD20H	CSIB2制御レジスタ0	CB2CTL0	R/W				01H	
FFFFFFD21H	CSIB2制御レジスタ1	CB2CTL1					00H	
FFFFFFD22H	CSIB2制御レジスタ2	CB2CTL2					00H	
FFFFFFD23H	CSIB2状態レジスタ	CB2STR					00H	
FFFFFFD24H	CSIB2受信データ・レジスタ	CB2RX		R				0000H
FFFFFFD24H	CSIB2受信データ・レジスタL	CB2RXL						00H
FFFFFFD26H	CSIB2送信データ・レジスタ	CB2TX		R/W				0000H
FFFFFFD26H	CSIB2送信データ・レジスタL	CB2TXL					00H	
FFFFFFD30H	CSIB3制御レジスタ0	CB3CTL0	R/W				01H	
FFFFFFD31H	CSIB3制御レジスタ1	CB3CTL1					00H	
FFFFFFD32H	CSIB3制御レジスタ2	CB3CTL2					00H	

注 V850E/SK3-Hのみ

(18/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFD33H	CSIB3状態レジスタ	CB3STR	R/W				00H
FFFFFFD34H	CSIB3受信データ・レジスタ	CB3RX	R				0000H
FFFFFFD34H	CSIB3受信データ・レジスタL	CB3RXL					00H
FFFFFFD36H	CSIB3送信データ・レジスタ	CB3TX	R/W				0000H
FFFFFFD36H	CSIB3送信データ・レジスタL	CB3TXL					00H
FFFFFFD40H	CSIB4制御レジスタ0	CB4CTL0					01H
FFFFFFD41H	CSIB4制御レジスタ1	CB4CTL1					00H
FFFFFFD42H	CSIB4制御レジスタ2	CB4CTL2				00H	
FFFFFFD43H	CSIB4状態レジスタ	CB4STR				00H	
FFFFFFD44H	CSIB4受信データ・レジスタ	CB4RX	R				0000H
FFFFFFD44H	CSIB4受信データ・レジスタL	CB4RXL					00H
FFFFFFD46H	CSIB4送信データ・レジスタ	CB4TX	R/W				0000H
FFFFFFD46H	CSIB4送信データ・レジスタL	CB4TXL					00H
FFFFFFD50H	CSIB5制御レジスタ0	CB5CTL0					01H
FFFFFFD51H	CSIB5制御レジスタ1	CB5CTL1					00H
FFFFFFD52H	CSIB5制御レジスタ2	CB5CTL2				00H	
FFFFFFD53H	CSIB5状態レジスタ	CB5STR				00H	
FFFFFFD54H	CSIB5受信データ・レジスタ	CB5RX	R				0000H
FFFFFFD54H	CSIB5受信データ・レジスタL	CB5RXL					00H
FFFFFFD56H	CSIB5送信データ・レジスタ	CB5TX	R/W				0000H
FFFFFFD56H	CSIB5送信データ・レジスタL	CB5TXL					00H
FFFFFFD80H	IICシフト・レジスタ0	IIC0					00H
FFFFFFD82H	IICコントロール・レジスタ0	IIC0					00H
FFFFFFD83H	スレーブ・アドレス・レジスタ0	SVA0				00H	
FFFFFFD84H	IICクロック選択レジスタ0	IICCL0				00H	
FFFFFFD85H	IIC機能拡張レジスタ0	IICX0				00H	
FFFFFFD86H	IIC状態レジスタ0	IICS0	R				00H
FFFFFFD8AH	IICフラグ・レジスタ0	IICF0	R/W				00H
FFFFFFD90H	IICシフト・レジスタ1	IIC1					00H
FFFFFFD92H	IICコントロール・レジスタ1	IICC1					00H
FFFFFFD93H	スレーブ・アドレス・レジスタ1	SVA1					00H
FFFFFFD94H	IICクロック選択レジスタ1	IICCL1				00H	
FFFFFFD95H	IIC機能拡張レジスタ1	IICX1				00H	
FFFFFFD96H	IIC状態レジスタ1	IICS1	R				00H
FFFFFFD9AH	IICフラグ・レジスタ1	IICF1	R/W				00H
FFFFFFDA0H	IICシフト・レジスタ2	IIC2					00H
FFFFFFDA2H	IICコントロール・レジスタ2	IICC2					00H
FFFFFFDA3H	スレーブ・アドレス・レジスタ2	SVA2					00H
FFFFFFDA4H	IICクロック選択レジスタ2	IICCL2				00H	
FFFFFFDA5H	IIC機能拡張レジスタ2	IICX2				00H	
FFFFFFDA6H	IIC状態レジスタ2	IICS2	R				00H
FFFFFFDAAH	IICフラグ・レジスタ2	IICF2	R/W				00H

(19/19)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFDB0H	IICシフト・レジスタ3	IIC3	R/W				00H
FFFFFDB2H	IICコントロール・レジスタ3	IICC3					00H
FFFFFDB3H	スレーブ・アドレス・レジスタ3	SVA3					00H
FFFFFDB4H	IICクロック選択レジスタ3	IICCL3					00H
FFFFFDB5H	IIC機能拡張レジスタ3	IICX3					00H
FFFFFDB6H	IIC状態レジスタ3	IICS3	R				00H
FFFFFDBAH	IICフラグ・レジスタ3	IICF3	R/W				00H
FFFFFDC0H	IICシフト・レジスタ4	IIC4 <sup>注</sup>					00H
FFFFFDC2H	IICコントロール・レジスタ4	IICC4 <sup>注</sup>					00H
FFFFFDC3H	スレーブ・アドレス・レジスタ4	SVA4 <sup>注</sup>					00H
FFFFFDC4H	IICクロック選択レジスタ4	IICCL4 <sup>注</sup>					00H
FFFFFDC5H	IIC機能拡張レジスタ4	IICX4 <sup>注</sup>					00H
FFFFFDC6H	IIC状態レジスタ4	IICS4 <sup>注</sup>	R				00H
FFFFFDCAH	IICフラグ・レジスタ4	IICF4 <sup>注</sup>	R/W				00H
FFFFFDD0H	IICシフト・レジスタ5	IIC5 <sup>注</sup>					00H
FFFFFDD2H	IICコントロール・レジスタ5	IICC5 <sup>注</sup>					00H
FFFFFDD3H	スレーブ・アドレス・レジスタ5	SVA5 <sup>注</sup>					00H
FFFFFDD4H	IICクロック選択レジスタ5	IICCL5 <sup>注</sup>					00H
FFFFFDD5H	IIC機能拡張レジスタ5	IICX5 <sup>注</sup>					00H
FFFFFDD6H	IIC状態レジスタ5	IICS5 <sup>注</sup>	R				00H
FFFFFDDAH	IICフラグ・レジスタ5	IICF5 <sup>注</sup>	R/W				00H
FFFFFBEH	外部バス・インタフェース・モード・コントロール・レジスタ	EXIMC					00H

注  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

### 3.4.7 プログラマブル周辺I/Oレジスタ

プログラマブル周辺I/Oレジスタ領域の選択にはBPCレジスタを使用します。

#### (1) 周辺I/O領域セレクト制御レジスタ (BPC)

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BPC	PA15	0	PA13	PA12	PA11	PA10	PA09	PA08	PA07	PA06	PA05	PA04	PA03	PA02	PA01	PA00	FFFFFF064H	0000H

ビット位置	ビット名	意味						
15	PA15	プログラマブル周辺I/O領域の使用許可 / 不許可を設定します。 <table border="1" data-bbox="592 775 1326 909"> <tr> <td>PA15</td> <td>プログラマブル周辺I/O領域の使用許可 / 不許可</td> </tr> <tr> <td>0</td> <td>プログラマブル周辺I/O領域の使用を不許可</td> </tr> <tr> <td>1</td> <td>プログラマブル周辺I/O領域の使用を許可</td> </tr> </table>	PA15	プログラマブル周辺I/O領域の使用許可 / 不許可	0	プログラマブル周辺I/O領域の使用を不許可	1	プログラマブル周辺I/O領域の使用を許可
PA15	プログラマブル周辺I/O領域の使用許可 / 不許可							
0	プログラマブル周辺I/O領域の使用を不許可							
1	プログラマブル周辺I/O領域の使用を許可							
13-0	PA13-PA00	プログラマブル周辺I/O領域のアドレスを設定します (A27-A14に対応)。						

**注意** PA15ビット = 1にする場合は、必ずBPCレジスタに8FFBHを設定してください。

PA15ビット = 0にする場合は、必ずBPCレジスタに0000Hを設定してください。

プログラマブル周辺I/Oレジスタ領域の一覧は、表21-16 レジスタ・アクセス・タイプを参照してください。



### 3.4.8 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850E/SJ3-H, V850E/SK3-Hには次の10個の特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・クロック・コントロール・レジスタ (CKC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・SSCG周波数コントロール・レジスタ0 (SFC0)
- ・SSCG周波数コントロール・レジスタ1 (SFC1)
- ・クロック・モニタ・モード・レジスタ (CLM)
- ・リセット要因フラグ・レジスタ (RESF)
- ・低電圧検出レジスタ (LVIM)
- ・内蔵RAMデータ・ステータス・レジスタ (RAMS)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM)

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、PRCMDレジスタがあり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はSYSレジスタに報告されます。

**(1) 特定レジスタへのデータ設定**

特定レジスタへのデータ設定は次のシーケンスで行います。

DMA動作を禁止する。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

PRCMDレジスタに で用意したデータを書き込む。

特定レジスタに設定データを書き込む（次の命令で行う）。

- ・ストア命令（ST/SST命令）
- ・ビット操作命令（SET1/CLR1/NOT1命令）

（ - NOP命令を挿入する（5命令）。）<sup>注</sup>

DMA動作が必要な場合，DMA動作を許可する。

[ 記述例 ] PSCレジスタの場合（スタンバイ・モードの設定）

```
ST.B r11, PSMR [ r0 ] ;PSMRレジスタ設定 (IDLE1, IDLE2, STOPモードの設定)
CLR1 0, DCHCn [ r0 ] ;DMA動作禁止, n = 0-3
MOV 0x02, r10
ST.B r10, PRCMD [ r0 ] ;PRCMDレジスタ書き込み
ST.B r10, PSC [ r0 ] ;PSCレジスタ設定
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
SET1 0, DCHCn [ r0 ] ;DMA動作許可, n = 0-3
(next instruction)
```

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

**注** IDLE1, IDLE2, STOPモードに移行する場合（PSC.STPビット = 1）には，直後にNOP命令を5命令以上挿入する必要があります。

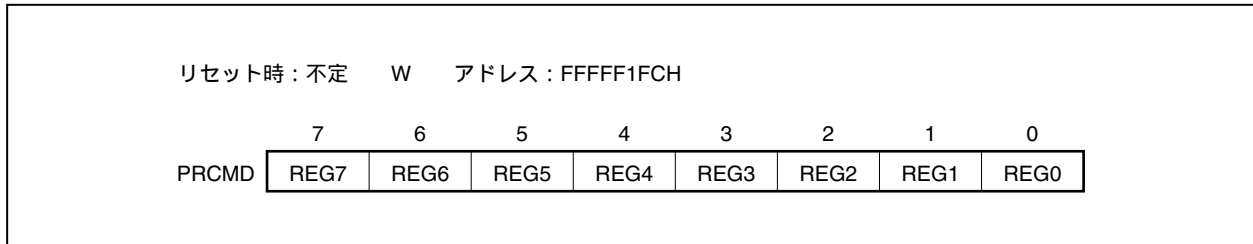
- 注意1.** コマンド・レジスタに対するストア命令では，割り込みを受け付けません。これはプログラムで上記 ， を連続したストア命令で行うことを前提としているためです。 ， の間にほかの命令が置かれていると，その命令で割り込みを受け付けた際，上記シーケンスが成立しなくなる場合があります，誤動作の要因となります。
- 2.** PRCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（例 ）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（例 ）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。

## (2) コマンド・レジスタ (PRCMD)

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定期間への書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセットにより不定になります。



**(3) システム・ステータス・レジスタ (SYS)**

システム全体の動作状態を示すステータス・フラグが割り付けられています。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF802H							
	7	6	5	4	3	2	1	①								
SYS	0	0	0	0	0	0	0	PRERR								
PRERR	プロテクション・エラーの検出															
0	プロテクション・エラーは発生していない															
1	プロテクション・エラーが発生している															

PRERRフラグの動作条件を次に示します。

**(a) セット条件 (PRERRフラグ = 1)**

- (i) PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき (3.4.8(1) **特定レジスタへのデータ設定**で示す を行わずに を行ったとき)。
- (ii) PRCMDレジスタへの書き込み動作後、特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作 (ビット操作命令を含む) を行ったとき (3.4.8(1) **特定レジスタへのデータ設定**で示す が特定レジスタでなかったとき)。

**備考** 特定レジスタは、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作 (ビット操作命令を除く) など (内蔵RAMへのアクセスなど) を行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

**(b) クリア条件 (PRERRフラグ = 0)**

- (i) PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意1.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります (ライト優先)。
- 2.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

### 3.4.9 注意事項

#### (1) 最初に設定するレジスタ

V850E/SJ3-H, V850E/SK3-Hを使用する際には、必ず最初に次のレジスタを設定してください。

- ・システム・ウェイト・コントロール・レジスタ (VSWC)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM)
- ・ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)
- ・拡張内蔵RAM関連のレジスタ
  - ・バス・サイズ・コンフィギュレーション・レジスタ (BSC)
  - ・データ・ウェイト・コントロール・レジスタ1 (DWC1)
  - ・アドレス・ウェイト・コントロール・レジスタ (AWC)
  - ・バス・サイクル・コントロール・レジスタ (BCC)
- ・プログラムIDレジスタ (ASID)
- ・クロック・モード2-4使用時の初期化設定レジスタ
  - ・クロック・コントロール・レジスタ (CKC)
  - ・SSCG周波数コントロール・レジスタ0 (SFC0)
  - ・SSCG周波数コントロール・レジスタ1 (SFC1)

上記レジスタを設定後、必要に応じてその他の各レジスタを設定してください。

なお、外部バスを使用する場合は上記レジスタを設定したあと、ただちにポート関連のレジスタの設定により、各端子を兼用するバス制御端子に設定してください。

#### (a) システム・ウェイト・コントロール・レジスタ (VSWC)

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウェイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック（ノー・ウェイト時）ですが、V850E/SJ3-H, V850E/SK3-Hでは動作周波数によりウェイトが必要です。使用する動作周波数に応じて、VSWCレジスタには次に示す値を設定してください。

8ビット単位でリード/ライト可能です（アドレス：FFFFFF06EH，初期値：77H）。

動作周波数 (f <sub>CLK</sub> )	VSWCの設定値	ウェイト数
32 kHz f <sub>CLK</sub> < 16.6 MHz	00H	0 (ノー・ウェイト)
16.6 MHz f <sub>CLK</sub> < 25 MHz	01H	1
25 MHz f <sub>CLK</sub> < 33.3 MHz	11H	2
33.3 MHz f <sub>CLK</sub> 48 MHz	12H	3

#### (b) オンチップ・デバッグ・モード・レジスタ (OCDM)

詳細は、第34章 オンチップ・デバッグ機能を参照してください。

**(c) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)**

WDTM2レジスタは、ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。動作を確定するために、WDTM2レジスタへ書き込みを行ってください。

詳細は、**第11章 ウォッチドッグ・タイマ2機能**を参照してください。

**(d) 拡張内蔵RAM関連のレジスタ**

拡張内蔵RAMは、外部バス・インタフェースを介してアクセスします。そのため、拡張内蔵RAMにアクセスする場合は、前もって、必ず外部バス・インタフェース関連のレジスタの設定(拡張内蔵RAMの初期設定)をしてください。

詳細は、**3.4.4 (6) 拡張内蔵RAM**を参照してください。

**(e) プログラムIDレジスタ (ASID)**

詳細は、**3.2.2 (8) プログラムIDレジスタ (ASID)**を参照してください。

**(f) クロック・モード2-4使用時の初期化設定レジスタ**

詳細は、**6.4.4 (1) クロック・モード2-4使用時の初期化設定**を参照してください。

**(2) 特定の内蔵周辺I/Oレジスタへのアクセスについて**

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。したがって、競合の恐れがある周辺ハードウェアへのアクセス時は、CPUは正しいデータの受け渡しが行われるよう、アクセス・サイクル数が変わります。その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数が次に示すウェイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は、この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に、VSWCレジスタで設定したウェイト以外に、さらにウェイトを要する場合があります。

その際のアクセス条件と、挿入されるウェイト数(CPUクロック数)の算出方法を次に示します。

(1/2)

周辺機能	レジスタ名称	アクセス	k
16ビット・タイマ/イベント・カウンタP (TMP) (n = 0-8)	TPnCNT	リード	1-2
	TPnCCR0, TPnCCR1	ライト	・1回目: ウェイトなし ・連続書き込み: 0-3
		リード	1-2
16ビット・タイマ/イベント・カウンタQ (TMQ)	TQ0CNT	リード	1-2
	TQ0CCR0-TQ0CCR3	ライト	・1回目: ウェイトなし ・連続書き込み: 0-3
		リード	1-2
3線式可変長シリアルI/O E (CSIE) <sup>注</sup> (n = 0, 1)	CEnCTL0 <sup>注</sup>	ライト	1-5
	CEnTX0 <sup>注</sup>	ライト	0-4
	CEnSTR <sup>注</sup>	リード	1-5
アシンクロナス・シリアル・インタフェースB (UARTB) (n = 0, 1)	UBnTX	ライト	0-4
	UBnRX UBnRXAP UBnFIS0 UBnFIS1	リード	1-5
		リード	
		リード	
		リード	
ウォッチドッグ・タイマ2 (WDT2)	WDTM2	ライト (WDT2動作時)	3
リアルタイム出力機能 (RTO)	RTBL0, RTBL1	ライト (RTPCn.RTPOEn ビット = 0)	1
	RTBH0, RTBH1	ライト (RTPCn.RTPOEn ビット = 0)	1
A/Dコンバータ	ADA0M0	リード	1-3
	ADA0CR0-ADA0CR15	リード	1-3
	ADA0CR0H-ADA0CR15H	リード	1-3
I <sup>2</sup> C00-I <sup>2</sup> C03, I <sup>2</sup> C04 <sup>注</sup> , I <sup>2</sup> C05 <sup>注</sup>	IICS0-IICS3, IICS4 <sup>注</sup> , IICS5 <sup>注</sup>	リード	1

注  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

(2/2)

周辺機能	レジスタ名称	アクセス	k
CANコントローラ <sup>注1</sup> (n = 0, 1, m = 0-31, a = 1-4)	CnGMABT <sup>注1</sup> , CnGMABTD <sup>注1</sup> , CnMASKaL <sup>注1</sup> , CnMASKaH <sup>注1</sup> , CnLEC <sup>注1</sup> , CnINFO <sup>注1</sup> , CnERC <sup>注1</sup> , CnIE <sup>注1</sup> , CnINTS <sup>注1</sup> , CnBRP <sup>注1</sup> , CnBTR <sup>注1</sup> , CnTS <sup>注1</sup>	リード/ライト	(f <sub>CPU</sub> /f <sub>CANMOD</sub> + 1) / (2 + j) (MIN.) <sup>注2</sup> (2 × f <sub>CPU</sub> /f <sub>CANMOD</sub> + 1) / (2 + j) (MAX.) <sup>注2</sup>
	CnGMCTRL <sup>注1</sup> , CnGMCS <sup>注1</sup> , CnCTRL <sup>注1</sup>	リード/ライト	(f <sub>CPU</sub> /f <sub>CAN</sub> + 1) / (2 + j) (MIN.) <sup>注2</sup> (2 × f <sub>CPU</sub> /f <sub>CAN</sub> + 1) / (2 + j) (MAX.) <sup>注2</sup>
	CnRGPT <sup>注1</sup> , CnTGPT <sup>注1</sup>	ライト	(f <sub>CPU</sub> /f <sub>CANMOD</sub> + 1) / (2 + j) (MIN.) <sup>注2</sup> (2 × f <sub>CPU</sub> /f <sub>CANMOD</sub> + 1) / (2 + j) (MAX.) <sup>注2</sup>
		リード	(3 × f <sub>CPU</sub> /f <sub>CANMOD</sub> + 1) / (2 + j) (MIN.) <sup>注2</sup> (4 × f <sub>CPU</sub> /f <sub>CANMOD</sub> + 1) / (2 + j) (MAX.) <sup>注2</sup>
	CnLIPT <sup>注1</sup> , CnLOPT <sup>注1</sup>	リード	(3 × f <sub>CPU</sub> /f <sub>CANMOD</sub> + 1) / (2 + j) (MIN.) <sup>注2</sup> (4 × f <sub>CPU</sub> /f <sub>CANMOD</sub> + 1) / (2 + j) (MAX.) <sup>注2</sup>
		CnMCTRLm <sup>注1</sup>	ライト
	リード		(3 × f <sub>CPU</sub> /f <sub>CAN</sub> + 1) / (2 + j) (MIN.) <sup>注2</sup> (4 × f <sub>CPU</sub> /f <sub>CAN</sub> + 1) / (2 + j) (MAX.) <sup>注2</sup>
CnMDATA01m <sup>注1</sup> , CnMDATA0m <sup>注1</sup> , CnMDATA1m <sup>注1</sup> , CnMDATA23m <sup>注1</sup> , CnMDATA2m <sup>注1</sup> , CnMDATA3m <sup>注1</sup> , CnMDATA45m <sup>注1</sup> , CnMDATA4m <sup>注1</sup> , CnMDATA5m <sup>注1</sup> , CnMDATA67m <sup>注1</sup> , CnMDATA6m <sup>注1</sup> , CnMDATA7m <sup>注1</sup> , CnMDLcm <sup>注1</sup> , CnMCONFm <sup>注1</sup> , CnMIDLm <sup>注1</sup> , CnMIDHm <sup>注1</sup>	ライト (8ビット)	(4 × f <sub>CPU</sub> /f <sub>CANMOD</sub> + 1) / (2 + j) (MIN.) <sup>注2</sup> (5 × f <sub>CPU</sub> /f <sub>CANMOD</sub> + 1) / (2 + j) (MAX.) <sup>注2</sup>	
	ライト (16ビット)	(2 × f <sub>CPU</sub> /f <sub>CANMOD</sub> + 1) / (2 + j) (MIN.) <sup>注2</sup> (3 × f <sub>CPU</sub> /f <sub>CANMOD</sub> + 1) / (2 + j) (MAX.) <sup>注2</sup>	
	リード (8/16ビット)	(3 × f <sub>CPU</sub> /f <sub>CANMOD</sub> + 1) / (2 + j) (MIN.) <sup>注2</sup> (4 × f <sub>CPU</sub> /f <sub>CANMOD</sub> + 1) / (2 + j) (MAX.) <sup>注2</sup>	
CRC	CRCD	ライト	1

アクセスに必要なクロック数 = 3 + i + j + (2 + j) × k

注1. CANコントローラ内蔵品のみ

2. 小数点以下切り上げ

注意 次に示す状態において、上記レジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットだけです。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

備考 f<sub>CPU</sub> : CPUクロック周波数

f<sub>CANMOD</sub> : CANモジュール・システム・クロック f<sub>CAN</sub> : CANへの供給クロック

i : VSWCレジスタの上位4ビットの値 (0, 1)

j : VSWCレジスタの下位4ビットの値 (0, 1)



**(3) sld命令と割り込み競合に関する制限事項****(a) 内 容**

次の命令<1>の事項が完了する前に、後続の sld 命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ ld 命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・ sld 命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・ 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

<pre>&lt; &gt; ld.w [r11], r10       .       . &lt; &gt; mov r10, r28 &lt; &gt; sld.w 0x28, r10</pre>	<p>&lt; &gt;の ld 命令の実行が完了する前に、&lt; &gt;の sld 命令の直前の mov 命令&lt; &gt;のデコード動作と割り込み要求が競合した場合、&lt; &gt;の ld 命令の実行結果がレジスタに格納されないことがあります。</p>
---	--

**(b) 回避策****コンパイラ (CA850) 使用時**

Ver.2.61以降のバージョンを使用してください。該当命令シーケンスの生成を自動的に抑止します。

**アセンブラでの対策**

命令< >の直後に sld 命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・ sld 命令の直前に nop 命令を入れる。
- ・ sld 命令のディスティネーション・レジスタと同じレジスタを、sld 命令の直前で実行する上記< >の命令で使用しない。

## 第4章 ポート機能

### 4.1 特 徴

#### 4.1.1 V850E/SJ3-H

入出力ポート：128本

・5Vトレラント/N-chオープン・ドレイン出力切り替え可能：60本（ポート0, 3-6, 8, 9）

1ビット単位で入力/出力指定可能

#### 4.1.2 V850E/SK3-H

入出力ポート：156本

・5Vトレラント/N-chオープン・ドレイン出力切り替え可能：78本（ポート0, 2-6, 8, 9, 15）

1ビット単位で入力/出力指定可能

## 4.2 ポートの基本構成

### 4.2.1 V850E/SJ3-H

V850E/SJ3-Hは、ポート0, 1, 3-9, CD, CM, CS, CT, DH, DLの合計128本の入出力ポートを内蔵しています。ポートの構成を次に示します。

図4-1 ポートの構成図

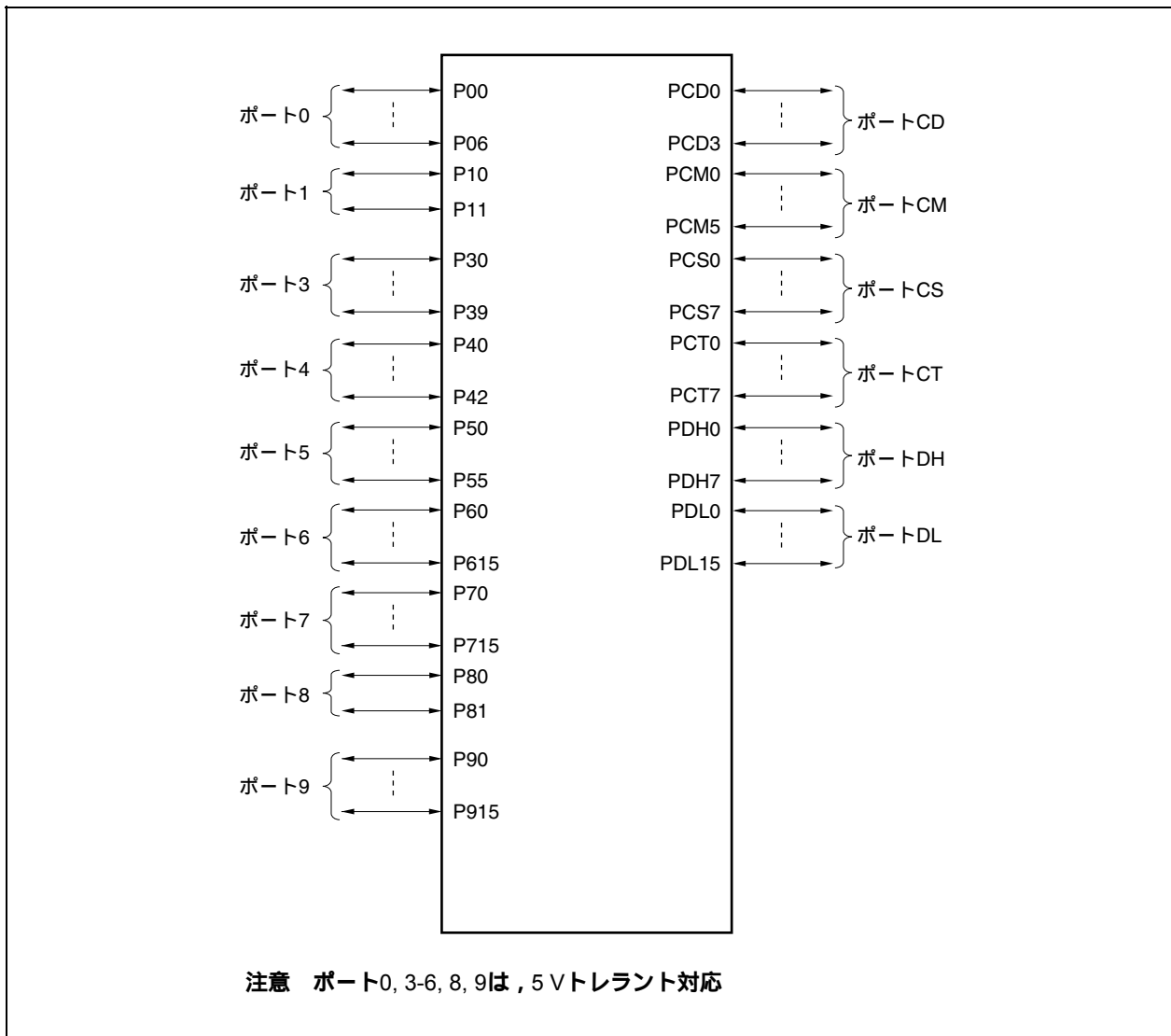


表4-1 各端子の入出力バッファ電源

電源	対応する端子
AV <sub>REF0</sub>	ポート7
AV <sub>REF1</sub>	ポート1
BV <sub>DD</sub>	ポートCD, CM, CS, CT, DH, DL
EV <sub>DD</sub>	RESET, ポート0, 3-6, 8, 9

4.2.2 V850E/SK3-H

V850E/SK3-Hは、ポート0-9, 13-15, CD, CM, CS, CT, DH, DLの合計156本の入出力ポートを内蔵しています。ポートの構成を次に示します。

図4-2 ポートの構成図

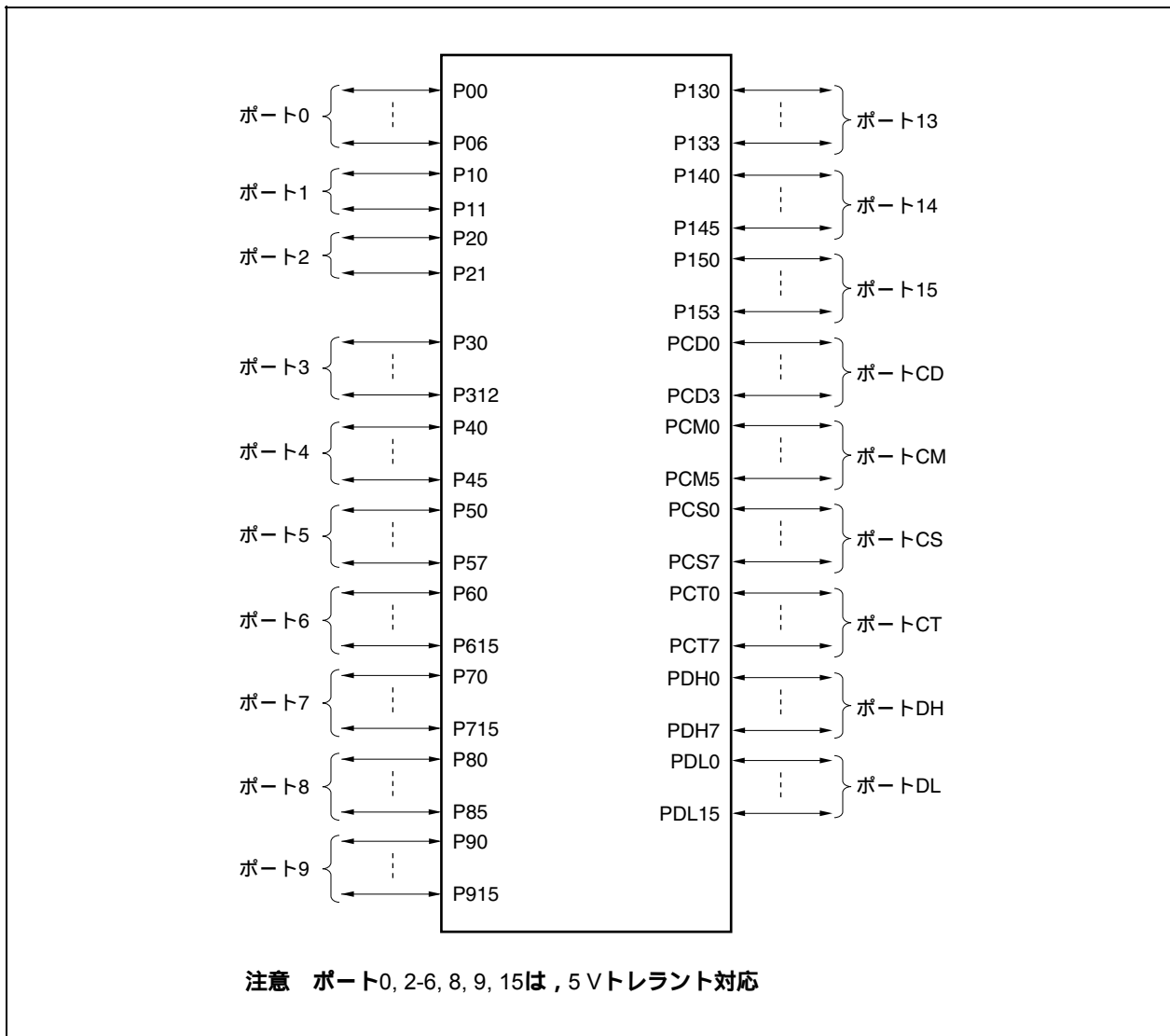


表4-2 各端子の入出力バッファ電源

電 源	対応する端子
AV <sub>REF0</sub>	ポート7
AV <sub>REF1</sub>	ポート1
BV <sub>DD</sub>	ポート13, 14, CD, CM, CS, CT, DH, DL
EV <sub>DD</sub>	RESET, ポート0, 2-6, 8, 9, 15

### 4.3 ポートの構成

表4-3 ポートの構成 (V850E/SJ3-H)

項目	構成
制御レジスタ	ポートnモード・レジスタ (PMn : n = 0, 1, 3-9, CD, CM, CS, CT, DH, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0, 3-6, 8, 9, CD, CM, CS, CT, DH, DL) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0, 3-6, 8, 9, CD) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 0 <sup>注</sup> , 3, 5, 6, 8, 9) ポートnファンクション・レジスタ (PFn : n = 0, 3-6, 8, 9)
ポート	入出力 : 128本

注  $\mu$  PD70F3931B, 70F3932B, 70F3933B以外

表4-4 ポートの構成 (V850E/SK3-H)

項目	構成
制御レジスタ	ポートnモード・レジスタ (PMn : n = 0-9, 13-15, CD, CM, CS, CT, DH, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0, 2-6, 8, 9, 15, CD, CM, CS, CT, DH, DL) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0, 3-6, 8, 9, CD) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 0, 3, 5, 6, 8, 9) ポートnファンクション・レジスタ (PFn : n = 0, 2-6, 8, 9, 15)
ポート	入出力 : 156本

#### (1) ポートnレジスタ (Pn)

外部とのデータ入出力は、Pnレジスタへの書き込み、および読み出しによって行います。Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位でリード/ライト可能です。

	リセット時 : 00H (出力ラッチ)				R/W			
	7	6	5	7	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
	Pnm		出力データの制御 (出力モード時)					
	0	0を出力						
	1	1を出力						

PMCnレジスタの設定によらず、Pnレジスタへの書き込みや読み出しは次のようになります。

表4-5 Pnレジスタへの書き込み/読み出しについて

PMnレジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
出力モード (PMnm = 0)	出力ラッチに対して書き込みます <sup>注</sup> 。 ポート・モード (PMCn = 0) の場合、出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します。
入力モード (PMnm = 1)	出力ラッチに対して書き込みます。 端子の状態には影響ありません <sup>注</sup> 。	端子状態を読み出します。

注 出力ラッチに書き込まれた値は、再度出力ラッチに値を書き込まれるまで保持されます。

**(2) ポートnモード・レジスタ (PMn)**

ポートの入力モード/出力モードを指定します。

PMnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: FFH R/W								
	7	6	5	4	3	2	1	0
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
PMnm	入出力モードの制御							
0	出力モード							
1	入力モード							

**(3) ポートnモード・コントロール・レジスタ (PMcn)**

ポート・モード/兼用機能を指定します。

PMcnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: 00H R/W								
	7	6	5	4	3	2	1	0
PMcn	PMcn7	PMcn6	PMcn5	PMcn4	PMcn3	PMcn2	PMcn1	PMcn0
PMcnm	動作モードの指定							
0	ポート・モード							
1	兼用機能モード							

**(4) ポートnファンクション・コントロール・レジスタ (PFCn)**

1本の端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H    R/W								
	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
	兼用機能の指定							
	0	兼用機能1						
	1	兼用機能2						

**(5) ポートnファンクション・コントロール拡張レジスタ (PFCEn)**

1本の端子に兼用機能が3つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H    R/W								
	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0
	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
	PFCEnm	PFCnm	兼用機能の指定					
	0	0	兼用機能1					
	0	1	兼用機能2					
	1	0	兼用機能3					
	1	1	兼用機能4					

**(6) ポートnファンクション・レジスタ (PFn)**

通常出力/N-chオープン・ドレイン出力を指定するレジスタです。

PFnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H    R/W																	
PFn	<table border="1" style="border-collapse: collapse; width: 100%; text-align: center;"> <tr> <td style="width: 12.5%;">7</td> <td style="width: 12.5%;">6</td> <td style="width: 12.5%;">5</td> <td style="width: 12.5%;">4</td> <td style="width: 12.5%;">3</td> <td style="width: 12.5%;">2</td> <td style="width: 12.5%;">1</td> <td style="width: 12.5%;">0</td> </tr> <tr> <td>PFn7</td> <td>PFn6</td> <td>PFn5</td> <td>PFn4</td> <td>PFn3</td> <td>PFn2</td> <td>PFn1</td> <td>PFn0</td> </tr> </table>	7	6	5	4	3	2	1	0	PFn7	PFn6	PFn5	PFn4	PFn3	PFn2	PFn1	PFn0
7	6	5	4	3	2	1	0										
PFn7	PFn6	PFn5	PFn4	PFn3	PFn2	PFn1	PFn0										
PFnm <sup>注</sup>	通常出力/N-chオープン・ドレイン出力の制御																
0	通常出力 (CMOS出力)																
1	N-chオープン・ドレイン出力																

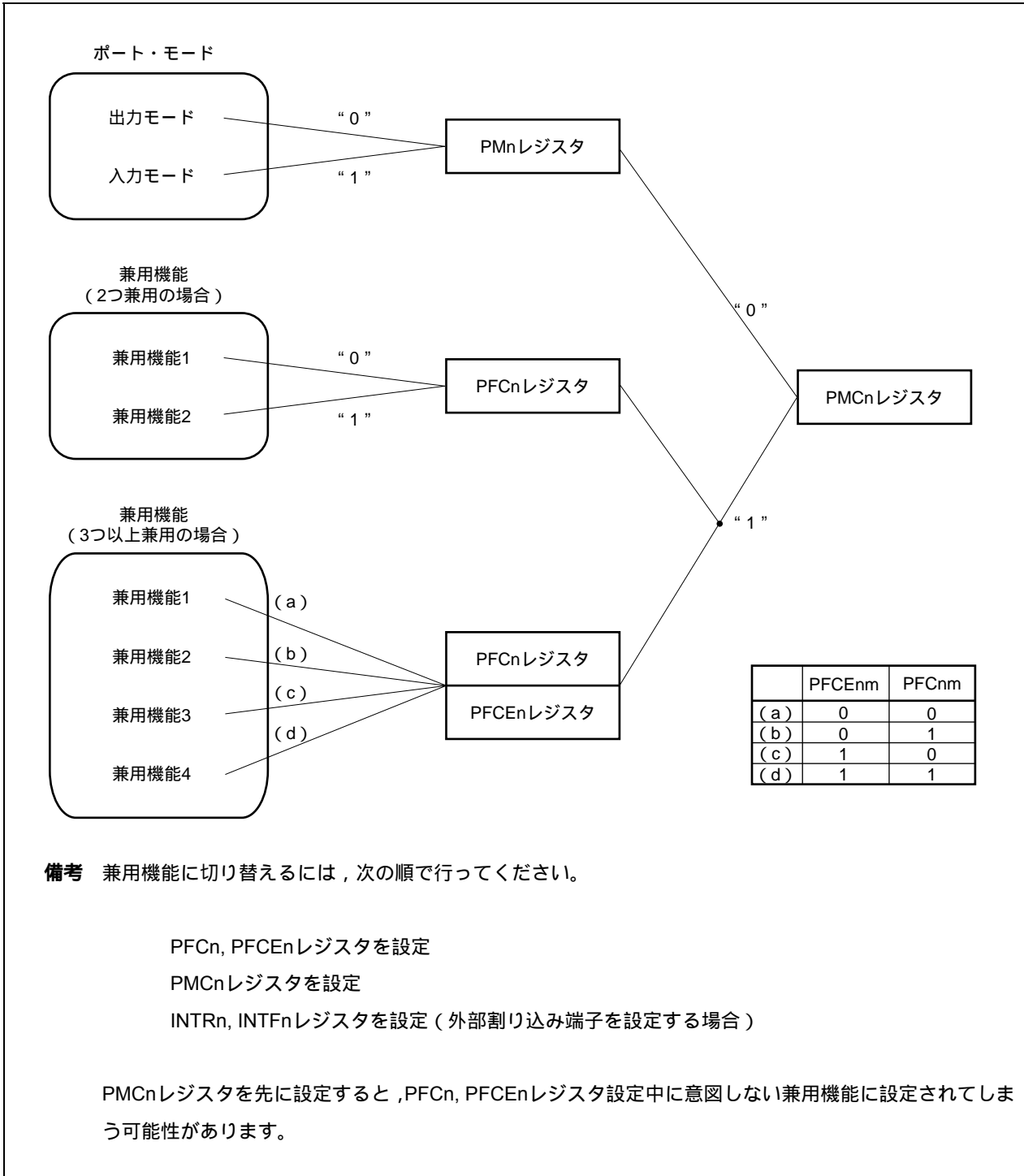
**注** ポート・モード時 (PMcnmビット = 0)、PFnレジスタのPFnmビットは、PMnレジスタのPMnmビット = 0 (出力モード時) のときのみ有効です。PMnmビット = 1 (入力モード時) のときは、PFnレジスタの設定値は無効です。



(7) ポートの設定

ポートの設定は、次のように設定してください。

図4-3 各レジスタの設定と端子の機能



### 4.3.1 ポート0

ポート0は1ビット単位で入出力を制御できる7ビットのポートです。

ポート0は、次に示す端子と兼用しています。

表4-6 ポート0の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
P00	6	6	TIP61/TOP61/SDA04 <sup>注1</sup>	入出力	N-chオープン・ドレイン 出力選択可能	注3
P01	7	7	TIP60/TOP60/SCL04 <sup>注1</sup>	入出力		注3
P02	17	19	NMI	入力		L-1
P03	18	20	INTP0/ADTRG	入力		N-1
P04	19	21	INTP1	入力		L-1
P05	20	22	INTP2/DRST <sup>注2</sup>	入力		AA-1
P06	21	23	INTP3	入力		L-1

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

2. DRST端子はオンチップ・デバッグ用の端子です。

オンチップ・デバッグを使用しない場合、RESET端子によるリセット解除後から、OCMD.OCMD0ビットをクリア(0)するまで、P05/INTP2/DRST端子状態をロウ・レベルに固定してください。

詳細は、4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。

3.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : U-16

$\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : U-4

**注意** P00-P06端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

**備考** SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

#### (1) ポート0レジスタ (P0)

リセット時 : 00H (出力ラッチ)    R/W    アドレス : FFFFF400H								
	7	6	5	4	3	2	1	0
P0	0	P06	P05	P04	P03	P02	P01	P00
P0n	出力データの制御 (出力モード時) (n = 0-6)							
0	0を出力							
1	1を出力							

## (2) ポート0モード・レジスタ (PM0)

リセット時: FFH R/W アドレス: FFFFF420H

	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00
PM0n	入出力モードの制御 (n = 0-6)							
0	出力モード							
1	入力モード							

## (3) ポート0モード・コントロール・レジスタ (PMC0)

リセット時: 00H R/W アドレス: FFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00
PMC06	P06端子の動作モードの指定							
0	入出力ポート							
1	INTP3入力							
PMC05	P05端子の動作モードの指定							
0	入出力ポート							
1	INTP2入力							
PMC04	P04端子の動作モードの指定							
0	入出力ポート							
1	INTP1入力							
PMC03	P03端子の動作モードの指定							
0	入出力ポート							
1	INTP0入力/ADTRG入力							
PMC02	P02端子の動作モードの指定							
0	入出力ポート							
1	NMI入力							
PMC01	P01端子の動作モードの指定							
0	入出力ポート							
1	TIP60入力/TOP60出力/SCL04 <sup>注</sup> 入出力							
PMC00	P00端子の動作モードの指定							
0	入出力ポート							
1	TIP61入力/TOP61出力/SDA04 <sup>注</sup> 入出力							

注  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外注意 P05/INTP2/ $\overline{\text{DRST}}$ 端子は, OCDM.OCDM0ビット = 1のときは, PMC05ビットの値に関係なく $\overline{\text{DRST}}$ 端子となります。

## (4) ポート0ファンクション・コントロール・レジスタ (PFC0)

リセット時 : 00H R/W アドレス : FFFFF460H

	7	6	5	4	3	2	1	0
PFC0	0	0	0	0	PFC03	0	PFC01	PFC00

備考 兼用機能の指定については4.3.1(6) ポート0の兼用機能の指定を参照してください。

## (5) ポート0ファンクション・コントロール拡張レジスタ (PFCE0)

(μPD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外)

リセット時 : 00H R/W アドレス : FFFFF700H

	7	6	5	4	3	2	1	0
PFCE0	0	0	0	0	0	0	PFCE01	PFCE00

備考 兼用機能の指定については4.3.1(6) ポート0の兼用機能の指定を参照してください。

## (6) ポート0の兼用機能の指定

PFC03	P03端子の兼用機能の指定
0	INTP0入力
1	ADTRG入力

PFCE01	PFC01	P01端子の兼用機能の指定
0	0	TIP60入力
0	1	TOP60出力
1	0	SCL04 <sup>注</sup> 入出力
1	1	設定禁止

PFCE00	PFC00	P00端子の兼用機能の指定
0	0	TIP61入力
0	1	TOP61出力
1	0	SDA04 <sup>注</sup> 入出力
1	1	設定禁止

注 μPD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

## (7) ポート0ファンクション・レジスタ (PF0)

リセット時 : 00H R/W アドレス : FFFFFFFC60H

	7	6	5	4	3	2	1	0
PF0	0	PF06	PF05	PF04	PF03	PF02	PF01	PF00

PF0n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-6)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

**注意** 出力端子に対して $E_{VDD}$ 以上の電圧でプルアップする場合は、必ず該当するPF0nビットを1に設定してください。

### 4.3.2 ポート1

ポート1は1ビット単位で入出力を制御できる2ビットのポートです。

ポート1は、次に示す端子と兼用しています。

表4-7 ポート1の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
P10	3	3	ANO0	出力	-	A-2
P11	4	4	ANO1	出力	-	A-2

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

#### (1) ポート1レジスタ (P1)

リセット時: 00H (出力ラッチ) R/W アドレス: FFFFF402H

	7	6	5	4	3	2	1	0
P1	0	0	0	0	0	0	P11	P10

P1n	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

**注意** D/A変換中にP1レジスタをリード/ライトしないでください (15.4.3 使用上の注意点参照)。

#### (2) ポート1モード・レジスタ (PM1)

リセット時: FFH R/W アドレス: FFFFF422H

	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	1	PM11	PM10

PM1n	入出力モードの制御 (n = 0, 1)
0	出力モード
1	入力モード

**注意1.** P1nを兼用機能 (ANO<sub>n</sub>端子出力) として使用する場合, PM1nビットを1に設定してください。

**2.** 1本を入出力ポート, 1本をD/A出力端子として使用する場合, D/A出力中は, ポートの入出力レベルが変化しないようなアプリケーションで使用してください。

### 4.3.3 ポート2 (V850E/SK3-Hのみ)

ポート2は1ビット単位で入出力を制御できる2ビットのポートです。

ポート2は、次に示す端子と兼用しています。

表4-8 ポート2の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
P20	-	8	SDA04	入出力	N-chオープン・ドレイン出力選択可能	E-3
P21	-	9	SCL04	入出力		E-3

**注意** P20, P21端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

**備考** SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

#### (1) ポート2レジスタ (P2)

リセット時 : 00H (出力ラッチ)    R/W    アドレス : FFFFF404H								
	7	6	5	4	3	2	1	0
P2	0	0	0	0	0	0	P21	P20
	出力データの制御 (出力モード時) (n = 0, 1)							
	P2n							
	0	0を出力						
	1	1を出力						

#### (2) ポート2モード・レジスタ (PM2)

リセット時 : FFH    R/W    アドレス : FFFFF424H								
	7	6	5	4	3	2	1	0
PM2	1	1	1	1	1	1	PM21	PM20
	入出力モードの制御 (n = 0, 1)							
	PM2n							
	0	出力モード						
	1	入力モード						

## (3) ポート2モード・コントロール・レジスタ (PMC2)

リセット時 : 00H    R/W    アドレス : FFFFF444H

	7	6	5	4	3	2	1	0
PMC2	0	0	0	0	0	0	PMC21	PMC20

PMC21	P21端子の動作モードの指定	
0	入出力ポート	
1	SCL04入出力	

PMC20	P20端子の動作モードの指定	
0	入出力ポート	
1	SDA04入出力	

## (4) ポート2ファンクション・レジスタ (PF2)

リセット時 : 00H    R/W    アドレス : FFFFC64H

	7	6	5	4	3	2	1	0
PF2	0	0	0	0	0	0	PF21	PF20

PF2n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0, 1)	
0	通常出力 (CMOS出力)	
1	N-chオープン・ドレイン出力	

**注意** 出力端子に対して $EV_{DD}$ 以上の電圧でプルアップする場合は、必ず該当するPF2nビットを1に設定してください。



### 4.3.4 ポート3

ポート3は1ビット単位で入出力を制御できる10ビット（V850E/SJ3-H）または13ビット（V850E/SK3-H）のポートです。

ポート3は、次に示す端子と兼用しています。

表4-9 ポート3の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
P30	25	30	TXDA0/SOB4	出力	N-chオープン・ドレイン 出力選択可能	G-2
P31	26	31	RXDA0/INTP7/SIB4	入力		N-3
P32	27	32	ASCKA0/SCKB4/TIP00/TOP00	入出力		U-1
P33	28	33	TIP01/TOP01/CTXD1 <sup>注2</sup>	入出力		U-2
P34	29	34	TIP10/TOP10/CRXD1 <sup>注2</sup>	入出力		U-3
P35	30	35	TIP11/TOP11	入出力		U-4
P36	31	36	CTXD0 <sup>注3</sup> /IETX0	出力		G-2
P37	32	37	CRXD0 <sup>注3</sup> /IERX0	入力		G-3
P38	35	40	TXDA2/SDA00/SIB2	入出力		U-17
P39	36	41	RXDA2/SCL00/SCKB2	入出力		U-18
P310 <sup>注1</sup>	-	42	SOB2 <sup>注1</sup>	出力		U-19
P311 <sup>注1</sup>	-	43	TXDA2 <sup>注1</sup>	出力		E-2
P312 <sup>注1</sup>	-	44	RXDA2 <sup>注1</sup>	入力		E-1

注1. V850E/SK3-Hのみ

2. CANコントローラ（2チャンネル）内蔵品のみ
3. CANコントローラ内蔵品のみ

**注意** P31-P35, P37-P39, P312端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

**備考** SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

## (1) ポート3レジスタ (P3)

リセット時：0000H (出力ラッチ) R/W アドレス：P3 FFFFF406H,  
P3L FFFFF406H, P3H FFFFF407H

	15	14	13	12	11	10	9	8
P3 (P3H)	0	0	0	P312 <sup>注</sup>	P311 <sup>注</sup>	P310 <sup>注</sup>	P39	P38
	7	6	5	4	3	2	1	0
(P3L)	P37	P36	P35	P34	P33	P32	P31	P30
	出力データの制御 (出力モード時)							
P3n								
0	0を出力							
1	1を出力							

**注** V850E/SK3-Hのみ有効です。

V850E/SJ3-Hでは必ず0を設定してください。ただし、リード値は不定になります。

**注意** ビット13-15には必ず0を設定してください。

**備考1.** P3レジスタは、16ビット単位でリード/ライト可能です。

ただし、P3レジスタの上位8ビットをP3Hレジスタ、下位8ビットをP3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. P3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P3Hレジスタのビット0-7として指定してください。

3. V850E/SJ3-H : n = 0-9

V850E/SK3-H : n = 0-12

## (2) ポート3モード・レジスタ (PM3)

リセット時 : FFFFH R/W アドレス : PM3 FFFFF426H,  
PM3L FFFFF426H, PM3H FFFFF427H

	15	14	13	12	11	10	9	8
PM3 (PM3H)	1	1	1	PM312 <sup>注</sup>	PM311 <sup>注</sup>	PM310 <sup>注</sup>	PM39	PM38
	7	6	5	4	3	2	1	0
(PM3L)	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御
0	出力モード
1	入力モード

**注** V850E/SK3-Hのみ有効です。

V850E/SJ3-Hでは必ず1を設定してください。

**注意** ビット13-15には必ず1を設定してください。

**備考1.** PM3レジスタは、16ビット単位でリード/ライト可能です。

ただし、PM3レジスタの上位8ビットをPM3Hレジスタ、下位8ビットをPM3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. PM3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM3Hレジスタのビット0-7として指定してください。

3. V850E/SJ3-H : n = 0-9

V850E/SK3-H : n = 0-12

## (3) ポート3モード・コントロール・レジスタ (PMC3)

(1/2)

リセット時：0000H R/W アドレス：PMC3 FFFFF446H,  
PMC3L FFFFF446H, PMC3H FFFFF447H

	15	14	13	12	11	10	9	8
PMC3 (PMC3H)	0	0	0	PMC312 <sup>注1</sup>	PMC311 <sup>注1</sup>	PMC310 <sup>注1</sup>	PMC39	PMC38
	7	6	5	4	3	2	1	0
(PMC3L)	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

PMC312 <sup>注1</sup>	P312端子の動作モードの指定	
0	入出力ポート	
1	RXDA2 <sup>注2</sup> 入力	

PMC311 <sup>注1</sup>	P311端子の動作モードの指定	
0	入出力ポート	
1	TXDA2 <sup>注2</sup> 出力	

PMC310 <sup>注1</sup>	P310端子の動作モードの指定	
0	入出力ポート	
1	SOB2 <sup>注2</sup> 出力	

PMC39	P39端子の動作モードの指定	
0	入出力ポート	
1	RXDA2入力/SCL00入出力/SCKB2入出力	

PMC38	P38端子の動作モードの指定	
0	入出力ポート	
1	TXDA2出力/SDA00入出力/SIB2入力	

PMC37	P37端子の動作モードの指定	
0	入出力ポート	
1	CRXD0 <sup>注3</sup> 入力/IERX0入力	

PMC36	P36端子の動作モードの指定	
0	入出力ポート	
1	CTXD0 <sup>注3</sup> 出力/IETX0出力	

PMC35	P35端子の動作モードの指定	
0	入出力ポート	
1	TIP11入力/TOP11出力	

- 注1. V850E/SK3-Hのみ有効です。  
V850E/SJ3-Hでは必ず0を設定してください。
2. V850E/SK3-Hのみ
3. CANコントローラ内蔵品のみ

**注意** ビット13-15には必ず0を設定してください。

(2/2)

PMC34	P34端子の動作モードの指定
0	入出力ポート
1	TIP10入力/TOP10出力/CRXD1 <sup>注</sup> 入力
PMC33	P33端子の動作モードの指定
0	入出力ポート
1	TIP01入力/TOP01出力/CTXD1 <sup>注</sup> 出力
PMC32	P32端子の動作モードの指定
0	入出力ポート
1	ASCKA0入力/SCKB4入出力/TIP00入力/TOP00出力
PMC31	P31端子の動作モードの指定
0	入出力ポート
1	RXDA0入力/INTP7入力/SIB4入力
PMC30	P30端子の動作モードの指定
0	入出力ポート
1	TXDA0出力/SOB4出力

注 CANコントローラ（2チャンネル）内蔵品のみ

備考1. PMC3レジスタは、16ビット単位でリード/ライト可能です。

ただし、PMC3レジスタの上位8ビットをPMC3Hレジスタ、下位8ビットをPMC3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. PMC3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC3Hレジスタのビット0-7として指定してください。

## (4) ポート3ファンクション・コントロール・レジスタ (PFC3)

リセット時：0000H R/W アドレス：PFC3 FFFFF466H,  
PFC3L FFFFF466H, PFC3H FFFFF467H

	15	14	13	12	11	10	9	8
PFC3 (PFC3H)	0	0	0	0	0	PFC310 <sup>注</sup>	PFC39	PFC38
	7	6	5	4	3	2	1	0
(PFC3L)	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

**注** V850E/SK3-Hのみ有効です。  
V850E/SJ3-Hでは必ず0を設定してください。

**注意** ビット11-15には必ず0を設定してください。

**備考1.** 兼用機能の指定については4.3.4(6)ポート3の兼用機能の指定を参照してください。  
2. PFC3レジスタは、16ビット単位でリード/ライト可能です。  
ただし、PFC3レジスタの上位8ビットをPFC3Hレジスタ、下位8ビットをPFC3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。  
3. PFC3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFC3Hレジスタのビット0-7として指定してください。

## (5) ポート3ファンクション・コントロール拡張レジスタ (PFCE3)

リセット時：0000H R/W アドレス：PFCE3 FFFFF706H,  
PFCE3L FFFFF706H, PFCE3H FFFFF707H

	15	14	13	12	11	10	9	8
PFCE3 (PFCE3H)	0	0	0	0	0	PFCE310 <sup>注</sup>	PFCE39	PFCE38
	7	6	5	4	3	2	1	0
(PFCE3L)	0	0	0	PFCE34	PFCE33	PFCE32	0	0

**注** V850E/SK3-Hのみ有効です。  
V850E/SJ3-Hでは必ず0を設定してください。

**注意** ビット0, 1, 5-7, 11-15には必ず0を設定してください。

**備考** 兼用機能の指定については4.3.4(6)ポート3の兼用機能の指定を参照してください。

## (6) ポート3の兼用機能の指定

PFCE310	PFC310	P310端子の兼用機能の指定
1	0	SOB2 <sup>注1</sup> 出力
上記以外		設定禁止

PFCE39	PFC39	P39端子の兼用機能の指定
0	0	RXDA2入力
0	1	SCL00入出力
1	0	SCKB2入出力
1	1	設定禁止

PFCE38	PFC38	P38端子の兼用機能の指定
0	0	TXDA2出力
0	1	SDA00入出力
1	0	SIB2入力
1	1	設定禁止

PFC37	P37端子の兼用機能の指定	
0	CRXD0 <sup>注2</sup> 入力	
1	IERX0入力	

PFC36	P36端子の兼用機能の指定	
0	CTXD0 <sup>注2</sup> 出力	
1	IETX0出力	

PFC35	P35端子の兼用機能の指定	
0	TIP11入力	
1	TOP11出力	

注1. V850E/SK3-Hのみ

2. CANコントローラ内蔵品のみ

PFCE34	PFC34	P34端子の兼用機能の指定
0	0	TIP10入力
0	1	TOP10出力
1	0	CRXD1 <sup>注1</sup> 入力
1	1	設定禁止

PFCE33	PFC33	P33端子の兼用機能の指定
0	0	TIP01入力
0	1	TOP01出力
1	0	CTXD1 <sup>注1</sup> 出力
1	1	設定禁止

PFCE32	PFC32	P32端子の兼用機能の指定
0	0	ASCKA0入力
0	1	SCKB4入出力
1	0	TIP00入力
1	1	TOP00出力

PFC31	P31端子の兼用機能の指定
0	RXDA0入力/INTP7 <sup>注2</sup> 入力
1	SIB4入力

PFC30	P30端子の兼用機能の指定
0	TXDA0出力
1	SOB4出力

注1. CANコントローラ（2チャンネル）内蔵品のみ

- INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は、兼用しているINTP7端子のエッジ検出を無効にしてください（INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定）。また、INTP7端子として使用する場合は、UARTA0を受信動作停止としてください（UA0CTL0.UA0RXEビット = 0）。



## (7) ポート3ファンクション・レジスタ (PF3)

リセット時 : 0000H R/W アドレス : PF3 FFFFFFFC66H,  
PF3L FFFFFFFC66H, PF3H FFFFFFFC67H

	15	14	13	12	11	10	9	8
PF3 (PF3H)	0	0	0	PF312 <sup>注</sup>	PF311 <sup>注</sup>	PF310 <sup>注</sup>	PF39	PF38
	7	6	5	4	3	2	1	0
(PF3L)	PF37	PF36	PF35	PF34	PF33	PF32	PF31	PF30

PF3n	通常出力/N-chオープン・ドレイン出力の制御
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

**注** V850E/SK3-Hのみ有効です。  
V850E/SJ3-Hでは必ず0を設定してください。

- 注意1.** 出力端子に対して $V_{DD}$ 以上の電圧でプルアップする場合は、必ず該当するPF3nビットを1に設定してください。
- 2.** ビット13-15には必ず0を設定してください。

- 備考1.** PF3レジスタは、16ビット単位でリード/ライト可能です。  
ただし、PF3レジスタの上位8ビットをPF3Hレジスタ、下位8ビットをPF3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PF3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PF3Hレジスタのビット0-7として指定してください。
- 3.** V850E/SJ3-H : n = 0-9  
V850E/SK3-H : n = 0-12

### 4.3.5 ポート4

ポート4は1ビット単位で入出力を制御できる3ビット（V850E/SJ3-H）または6ビット（V850E/SK3-H）のポートです。

ポート4は、次に示す端子と兼用しています。

表4 - 10 ポート4の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
P40	22	24	SIB0/SDA01	入出力	N-chオープン・ドレイン 出力選択可能	G-5
P41	23	25	SOB0/SCL01	入出力		G-6
P42	24	26	SCKB0/INTP2	入出力		N-4
P43 <sup>注</sup>	-	27	-	-		C-1
P44 <sup>注</sup>	-	28	$\overline{\text{IETX0}}$ <sup>注</sup>	出力		E-2
P45 <sup>注</sup>	-	29	$\overline{\text{IERX0}}$ <sup>注</sup>	入力		E-1

注 V850E/SK3-Hのみ

**注意** P40-P42, P45端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

**備考** SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

## (1) ポート4レジスタ (P4)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	P45 <sup>注</sup>	P44 <sup>注</sup>	P43 <sup>注</sup>	P42	P41	P40

P4n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

**注** V850E/SK3-Hのみ有効です。

V850E/SJ3-Hでは必ず0を設定してください。ただし、リード値は不定になります。

**注意** ビット6, 7には必ず0を設定してください。**備考** V850E/SJ3-H : n = 0-2

V850E/SK3-H : n = 0-5

## (2) ポート4モード・レジスタ (PM4)

リセット時 : FFH R/W アドレス : FFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	1	PM45 <sup>注</sup>	PM44 <sup>注</sup>	PM43 <sup>注</sup>	PM42	PM41	PM40

PM4n	入出力モードの制御
0	出力モード
1	入力モード

**注** V850E/SK3-Hのみ有効です。

V850E/SJ3-Hでは必ず1を設定してください。

**注意** ビット6, 7には必ず1を設定してください。**備考** V850E/SJ3-H : n = 0-2

V850E/SK3-H : n = 0-5

## (3) ポート4モード・コントロール・レジスタ (PMC4)

リセット時：00H R/W アドレス：FFFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	PMC45 <sup>注1</sup>	PMC44 <sup>注1</sup>	0	PMC42	PMC41	PMC40

PMC45 <sup>注1</sup>	P45端子の動作モードの指定
0	入出力ポート
1	I $\overline{\text{ERX0}}$ <sup>注2</sup> 入力

PMC44 <sup>注1</sup>	P44端子の動作モードの指定
0	入出力ポート
1	I $\overline{\text{ETX0}}$ <sup>注2</sup> 出力

PMC42	P42端子の動作モードの指定
0	入出力ポート
1	SCKB0入出力/I $\overline{\text{NTP2}}$ 入力

PMC41	P41端子の動作モードの指定
0	入出力ポート
1	SOB0出力/SCL01入出力

PMC40	P40端子の動作モードの指定
0	入出力ポート
1	SIB0入力/SDA01入出力

- 注1. V850E/SK3-Hのみ有効です。  
V850E/SJ3-Hでは必ず0を設定してください。
2. V850E/SK3-Hのみ

**注意** ビット3, 6, 7には必ず0を設定してください。

## (4) ポート4ファンクション・コントロール・レジスタ (PFC4)

リセット時 : 00H R/W アドレス : FFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	PFC42	PFC41	PFC40

PFC42	P42端子の兼用機能の指定
0	SCKB0入出力
1	INTP2入力

PFC41	P41端子の兼用機能の指定
0	SOB0出力
1	SCL01入出力

PFC40	P40端子の兼用機能の指定
0	SIB0入力
1	SDA01入出力

**注意** ビット3-7には必ず0を設定してください。

## (5) ポート4ファンクション・レジスタ (PF4)

リセット時 : 00H R/W アドレス : FFFFC68H

	7	6	5	4	3	2	1	0
PF4	0	0	PF45 <sup>注</sup>	PF44 <sup>注</sup>	PF43 <sup>注</sup>	PF42	PF41	PF40

PF4n	通常出力/N-chオープン・ドレイン出力の制御
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

**注** V850E/SK3-Hのみ有効です。

V850E/SJ3-Hでは必ず0を設定してください。

**注意1.** 出力端子に対してEV<sub>DD</sub>以上の電圧でプルアップする場合は、必ず該当するPF4nビットを1に設定してください。

**2.** ビット6, 7には必ず0を設定してください。

**備考** V850E/SJ3-H : n = 0-2

V850E/SK3-H : n = 0-5

### 4.3.6 ポート5

ポート5は1ビット単位で入出力を制御できる6ビット（V850E/SJ3-H）または8ビット（V850E/SK3-H）のポートです。

ポート5は、次に示す端子と兼用しています。

表4-11 ポート5の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
P50	37	45	KR0/TIQ01/TOQ01/RTP00	入出力	N-chオープン・ドレイン 出力選択可能	U-5
P51	38	46	INTP7/KR1/TIQ02/TOQ02/RTP01	入出力		U-20
P52	39	47	KR2/TIQ03/TOQ03/RTP02/DDI <sup>注1</sup>	入出力		U-6
P53	40	48	SIB2/KR3/TIQ00/TOQ00/RTP03/DDO <sup>注1</sup>	入出力		U-7
P54	41	49	SOB2/KR4/RTP04/DCK <sup>注1</sup>	入出力		U-8
P55	42	50	SCKB2/KR5/RTP05/DMS <sup>注1</sup>	入出力		U-9
P56 <sup>注2</sup>	-	51	RXDA4 <sup>注2</sup>	入力		E-1
P57 <sup>注2</sup>	-	52	TXDA4 <sup>注2</sup>	出力		E-2

注1. DDI, DDO, DCK, DMS端子はオンチップ・デバッグ用の端子です。

オンチップ・デバッグを使用しない場合、 $\overline{\text{RESET}}$ 端子によるリセット解除後から、OCDM.OCDM0ビットをクリア（0）するまで、P05/INTP2/ $\overline{\text{DRST}}$ 端子状態をロウ・レベルに固定してください。

詳細は、4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。

2. V850E/SK3-Hのみ

注意1. P53端子は、電源投入時に瞬間的に不定レベルを出力する可能性があります。

2. P50-P56端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

## (1) ポート5レジスタ (P5)

リセット時: 00H (出力ラッチ) R/W アドレス: FFFFF40AH

	7	6	5	4	3	2	1	0
P5	P57 <sup>注</sup>	P56 <sup>注</sup>	P55	P54	P53	P52	P51	P50

P5n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

**注** V850E/SK3-Hのみ有効です。

V850E/SJ3-Hでは必ず0を設定してください。ただし、リード値は不定になります。

**備考** V850E/SJ3-H : n = 0-5

V850E/SK3-H : n = 0-7

## (2) ポート5モード・レジスタ (PM5)

リセット時: FFH R/W アドレス: FFFFF42AH

	7	6	5	4	3	2	1	0
PM5	PM57 <sup>注</sup>	PM56 <sup>注</sup>	PM55	PM54	PM53	PM52	PM51	PM50

PM5n	入出力モードの制御
0	出力モード
1	入力モード

**注** V850E/SK3-Hのみ有効です。

V850E/SJ3-Hでは必ず1を設定してください。

**備考** V850E/SJ3-H : n = 0-5

V850E/SK3-H : n = 0-7

## (3) ポート5モード・コントロール・レジスタ (PMC5)

リセット時：00H R/W アドレス：FFFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	PMC57 <sup>注1</sup>	PMC56 <sup>注1</sup>	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50
	P57端子の動作モードの指定							
	0	入出力ポート						
	1	TXDA4 <sup>注2</sup> 出力						
	P56端子の動作モードの指定							
	0	入出力ポート						
	1	RXDA4 <sup>注2</sup> 入力						
	P55端子の動作モードの指定							
	0	入出力ポート						
	1	SCKB2入出力/KR5入力/RTP05出力						
	P54端子の動作モードの指定							
	0	入出力ポート						
	1	SOB2出力/KR4入力/RTP04出力						
	P53端子の動作モードの指定							
	0	入出力ポート						
	1	SIB2入力/KR3入力/TIQ00入力/TOQ00出力/RTP03出力						
	P52端子の動作モードの指定							
	0	入出力ポート						
	1	KR2入力/TIQ03入力/TOQ03出力/RTP02出力						
	P51端子の動作モードの指定							
	0	入出力ポート						
	1	INTP7入力/KR1入力/TIQ02入力/TOQ02出力/RTP01出力						
	P50端子の動作モードの指定							
	0	入出力ポート						
	1	KR0入力/TIQ01入力/TOQ01出力/RTP00出力						

注1. V850E/SK3-Hのみ有効です。

V850E/SJ3-Hでは必ず0を設定してください。

2. V850E/SK3-Hのみ



## (4) ポート5ファンクション・コントロール・レジスタ (PFC5)

リセット時：00H R/W アドレス：FFFFFF46AH

	7	6	5	4	3	2	1	0
PFC5	0	0	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50

備考 兼用機能の指定については4.3.6(6)ポート5の兼用機能の指定を参照してください。

## (5) ポート5ファンクション・コントロール拡張レジスタ (PFCE5)

リセット時：00H R/W アドレス：FFFFFF70AH

	7	6	5	4	3	2	1	0
PFCE5	0	0	PFCE55	PFCE54	PFCE53	PFCE52	PFCE51	PFCE50

備考 兼用機能の指定については4.3.6(6)ポート5の兼用機能の指定を参照してください。

## (6) ポート5の兼用機能の指定

PFCE55	PFC55	P55端子の兼用機能の指定
0	0	SCKB2入出力
0	1	KR5入力
1	0	設定禁止
1	1	RTP05出力

PFCE54	PFC54	P54端子の兼用機能の指定
0	0	SOB2出力
0	1	KR4入力
1	0	設定禁止
1	1	RTP04出力

PFCE53	PFC53	P53端子の兼用機能の指定
0	0	SIB2入力
0	1	KR3 <sup>注</sup> 入力/TIQ00入力
1	0	TOQ00出力
1	1	RTP03出力

PFCE52	PFC52	P52端子の兼用機能の指定
0	0	設定禁止
0	1	KR2 <sup>注</sup> 入力/TIQ03入力
1	0	TOQ03出力
1	1	RTP02出力

PFCE51	PFC51	P51端子の兼用機能の指定
0	0	INTP7入力
0	1	KR1 <sup>注</sup> 入力/TIQ02入力
1	0	TOQ02出力
1	1	RTP01出力

PFCE50	PFC50	P50端子の兼用機能の指定
0	0	設定禁止
0	1	KR0 <sup>注</sup> 入力/TIQ01入力
1	0	TOQ01出力
1	1	RTP00出力

注 KRn端子とTIQ0m端子は兼用となっています。端子をTIQ0m端子として使用する場合は、兼用しているKRn端子のキー・リターン検出を無効にしてください（KRM.KRMnビットに0を設定）。また、KRn端子として使用する場合は、兼用しているTIQ0m端子のエッジ検出を無効にしてください（n = 0-3, m = 0-3）。

端子名称	TIQ0m端子として使用する場合	KRn端子として使用する場合
KR0/TIQ01	KRM.KRM0ビット = 0	TQ0IOC1. TQ0IS3, TQ0IS2ビット = 00
KR1/TIQ02	KRM.KRM1ビット = 0	TQ0IOC1. TQ0IS5, TQ0IS4ビット = 00
KR2/TIQ03	KRM.KRM2ビット = 0	TQ0IOC1. TQ0IS7, TQ0IS6ビット = 00
KR3/TIQ00	KRM.KRM3ビット = 0	TQ0IOC1. TQ0IS1, TQ0IS0ビット = 00 TQ0IOC2. TQ0EES1, TQ0EES0ビット = 00 TQ0IOC2. TQ0ETS1, TQ0ETS0ビット = 00

## (7) ポート5ファンクション・レジスタ (PF5)

リセット時 : 00H R/W アドレス : FFFFFFFC6AH

	7	6	5	4	3	2	1	0
PF5	PF57 <sup>注</sup>	PF56 <sup>注</sup>	PF55	PF54	PF53	PF52	PF51	PF50

PF5n	通常出力/N-chオープン・ドレイン出力の制御
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

**注** V850E/SK3-Hのみ有効です。  
V850E/SJ3-Hでは必ず0を設定してください。

**注意** 出力端子に対して $EV_{DD}$ 以上の電圧でプルアップする場合は、必ず該当するPF5nビットを1に設定してください。

**備考** V850E/SJ3-H : n = 0-5  
V850E/SK3-H : n = 0-7

### 4.3.7 ポート6

ポート6は1ビット単位で入出力を制御できる16ビットのポートです。

ポート6は、次に示す端子と兼用しています。

表4-12 ポート6の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
P60	43	53	RTP10/RXDA4/SIE0 <sup>注1</sup>	入出力	N-chオープン・ドレイン 出力指定可能	注2
P61	44	54	RTP11/TXDA4/SOE0 <sup>注1</sup>	出力		注2
P62	45	55	RTP12/SCKE0 <sup>注1</sup>	入出力		注2
P63	46	56	RTP13/SIE1 <sup>注1</sup> /KR4	入出力		注2
P64	47	57	RTP14/SOE1 <sup>注1</sup> /KR5	入出力		注2
P65	48	58	RTP15/SCKE1 <sup>注1</sup> /KR2/TIQ03/TOQ03	入出力		注2
P66	49	59	SIB5/INTP9/KR3/TIQ00/TOQ00	入出力		U-26
P67	50	60	SOB5/RXDA5/SDA05 <sup>注1</sup>	入出力		注2
P68	51	61	SKCB5/TXDA5/SCL05 <sup>注1</sup>	入出力		注2
P69	52	62	TIP70/TOP70/TENC70	入出力		U-29
P610	53	63	TIP71/TENC71	入力		U-30
P611	54	64	TOP71/TECR7	入出力		U-31
P612	55	65	TIP80/TOP80/TENC80	入出力		U-29
P613	56	66	TIP81/TOP81/TENC81	入出力		U-29
P614	57	67	SDA03/TECR8	入出力		U-32
P615	58	68	SCL03	入出力	E-3	

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

2. 各製品により、ブロック・タイプが異なります。

・  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

端子名	P60	P61	P62	P63	P64	P65	P67	P68
ブロック・タイプ	U-21	U-22	U-38	U-23	U-24	U-25	U-27	U-28

・  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ

端子名	P60	P61	P62	P63	P64	P65	P67	P68
ブロック・タイプ	G-1	G-2	E-2	U-36	U-36	U-37	G-1	G-7

**注意** P60, P62-P615端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

**備考** SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

## (1) ポート6レジスタ (P6)

リセット時：0000H (出力ラッチ) R/W アドレス：P6 FFFFF40CH  
P6L FFFFF40CH, P6LH FFFFF40DH

	15	14	13	12	11	10	9	8
P6 (P6H)	P615	P614	P613	P612	P611	P610	P69	P68
	7	6	5	4	3	2	1	0
(P6L)	P67	P66	P65	P64	P63	P62	P61	P60
P6n	出力データの制御 (出力モード時) (n = 0-15)							
0	0を出力							
1	1を出力							

- 備考1.** P6レジスタは、16ビット単位でリード/ライト可能です。  
ただし、P6レジスタの上位8ビットをP6Hレジスタ、下位8ビットをP6Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** P6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P6Hレジスタのビット0-7として指定してください。

## (2) ポート6モード・レジスタ (PM6)

リセット時：FFFFH R/W アドレス：PM6 FFFFF42CH  
PM6L FFFFF42CH, PM6H FFFFF42DH

	15	14	13	12	11	10	9	8
PM6 (PM6H)	PM615	PM614	PM613	PM612	PM611	PM610	PM69	PM68
	7	6	5	4	3	2	1	0
(PM6L)	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60
PM6n	入出力モードの制御(n = 0-15)							
0	出力モード							
1	入力モード							

- 備考1.** PM6レジスタは、16ビット単位でリード/ライト可能です。  
ただし、PM6レジスタの上位8ビットをPM6Hレジスタ、下位8ビットをPM6Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PM6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM6Hレジスタのビット0-7として指定してください。

## (3) ポート6モード・コントロール・レジスタ (PMC6)

(1/2)

リセット時：0000H R/W アドレス：PMC6 FFFFF44CH  
 PMC6L FFFFF44CH, PMC6H FFFFF44DH

	15	14	13	12	11	10	9	8
PMC6 (PMC6H)	PMC615	PMC614	PMC613	PMC612	PMC611	PMC610	PMC69	PMC68
	7	6	5	4	3	2	1	0
(PMC6L)	PMC67	PMC66	PMC65	PMC64	PMC63	PMC62	PMC61	PMC60

PMC615	P615端子の動作モードの指定
0	入出力ポート
1	SCL03入出力

PMC614	P614端子の動作モードの指定
0	入出力ポート
1	SDA03入出力/TECR8入力

PMC613	P613端子の動作モードの指定
0	入出力ポート
1	TIP81入力/TOP81出力/TENC81入力

PMC612	P612端子の動作モードの指定
0	入出力ポート
1	TIP80入力/TOP80出力/TENC80入力

PMC611	P611端子の動作モードの指定
0	入出力ポート
1	TOP71出力/TECR7入力

PMC610	P610端子の動作モードの指定
0	入出力ポート
1	TIP71入力/TENC71入力

PMC69	P69端子の動作モードの指定
0	入出力ポート
1	TIP70入力/TOP70出力/TENC70入力

PMC68	P68端子の動作モードの指定
0	入出力ポート
1	SCKB5入出力/TXDA5出力/SCL05 <sup>注</sup> 入出力

PMC67	P67端子の動作モードの指定
0	入出力ポート
1	SOB5出力/RXDA5入力/SDA05 <sup>注</sup> 入出力

PMC66	P66端子の動作モードの指定
0	入出力ポート
1	SIB5入力/INTP9入力/KR3入力/TIQ00入力/TOQ00出力

注  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

(2/2)

PMC65	P65端子の動作モードの指定
0	入出力ポート
1	RTP15出力/SCKE1 <sup>注</sup> 入出力/KR2入力/TIQ03入力/TOQ03出力
PMC64	P64端子の動作モードの指定
0	入出力ポート
1	RTP14出力/SOE1 <sup>注</sup> 出力/KR5入力
PMC63	P63端子の動作モードの指定
0	入出力ポート
1	RTP13出力/SIE1 <sup>注</sup> 入力/KR4入力
PMC62	P62端子の動作モードの指定
0	入出力ポート
1	RTP12出力/SCKE0 <sup>注</sup> 入出力
PMC61	P61端子の動作モードの指定
0	入出力ポート
1	RTP11出力/TXDA4出力/SOE0 <sup>注</sup> 出力
PMC60	P60端子の動作モードの指定
0	入出力ポート
1	RTP10出力/RXDA4入力/SIE0 <sup>注</sup> 入力

注  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

備考1. PMC6レジスタは、16ビット単位でリード/ライト可能です。

ただし、PMC6レジスタの上位8ビットをPMC6Hレジスタ、下位8ビットをPMC6Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. PMC6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC6Hレジスタのビット0-7として指定してください。

## (4) ポート6ファンクション・コントロール・レジスタ (PFC6)

リセット時：0000H R/W アドレス：PFC6 FFFFF46CH,  
PFC6L FFFFF46CH, PFC6H FFFFF46DH

	15	14	13	12	11	10	9	8
PFC6 (PFC6H)	0	PFC614	PFC613	PFC612	PFC611	PFC610	PFC69	PFC68
	7	6	5	4	3	2	1	0
(PFC6L)	PFC67	PFC66	PFC65	PFC64	PFC63	PFC62 <sup>注</sup>	PFC61	PFC60

**注**  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外のみ有効です。  
 $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) では必ず0を設定してください。

**注意** ビット15には必ず0を設定してください。

**備考1.** 兼用機能の指定については4.3.7(6)ポート6の兼用機能の指定を参照してください。  
2. PFC6レジスタは、16ビット単位でリード/ライト可能です。  
ただし、PFC6レジスタの上位8ビットをPFC6Hレジスタ、下位8ビットをPFC6Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。  
3. PFC6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFC6Hレジスタのビット0-7として指定してください。

## (5) ポート6ファンクション・コントロール拡張レジスタ (PFCE6)

リセット時：0000H R/W アドレス：PFCE6 FFFFF70CH,  
PFCE6L FFFFF70CH, PFCE6H FFFFF70DH

	15	14	13	12	11	10	9	8
PFCE6 (PFCE6H)	0	PFCE614	PFCE613	PFCE612	PFCE611	PFCE610	PFCE69	PFCE68 <sup>注</sup>
	7	6	5	4	3	2	1	0
(PFCE6L)	PFCE67 <sup>注</sup>	PFCE66	PFCE65	PFCE64	PFCE63	PFCE62 <sup>注</sup>	PFCE61 <sup>注</sup>	PFCE60 <sup>注</sup>

**注**  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外のみ有効です。  
 $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) では必ず0を設定してください。

**注意** ビット15には必ず0を設定してください。

**備考** 兼用機能の指定については4.3.7(6)ポート6の兼用機能の指定を参照してください。



## (6) ポート6の兼用機能の指定

PFCE614	PFC614	P614端子の兼用機能の指定
0	0	SDA03入出力
0	1	設定禁止
1	0	TECR8入力
1	1	設定禁止

PFCE613	PFC613	P613端子の兼用機能の指定
0	0	TIP81入力
0	1	TOP81出力
1	0	TENC81入力
1	1	設定禁止

PFCE612	PFC612	P612端子の兼用機能の指定
0	0	TIP80入力
0	1	TOP80出力
1	0	TENC80入力
1	1	設定禁止

PFCE611	PFC611	P611端子の兼用機能の指定
0	0	TOP71出力
0	1	設定禁止
1	0	TECR7入力
1	1	設定禁止

PFCE610	PFC610	P610端子の兼用機能の指定
0	0	TIP71入力
0	1	設定禁止
1	0	TENC71入力
1	1	設定禁止

PFCE69	PFC69	P69端子の兼用機能の指定
0	0	TIP70入力
0	1	TOP70出力
1	0	TENC70入力
1	1	設定禁止

PFCE68 <sup>注1</sup>	PFC68	P68端子の兼用機能の指定
0	0	SCKB5入出力
0	1	TXDA5出力
1	0	SCL05 <sup>注2</sup> 入出力
1	1	設定禁止

PFCE67 <sup>注1</sup>	PFC67	P67端子の兼用機能の指定
0	0	SOB5出力
0	1	RXDA5入力
1	0	SDA05 <sup>注2</sup> 入出力
1	1	設定禁止

PFCE66	PFC66	P66端子の兼用機能の指定
0	0	SIB5入力
0	1	INTP9入力
1	0	KR3 <sup>注3</sup> 入力/TIQ00入力
1	1	TOQ00出力

PFCE65	PFC65	P65端子の兼用機能の指定
0	0	RTP15出力
0	1	SCKE1 <sup>注2</sup> 入出力
1	0	KR2 <sup>注3</sup> 入力/TIQ03入力
1	1	TOQ03出力

PFCE64	PFC64	P64端子の兼用機能の指定
0	0	RTP14出力
0	1	SOE1 <sup>注2</sup> 出力
1	0	KR5入力
1	1	設定禁止

PFCE63	PFC63	P63端子の兼用機能の指定
0	0	RTP13出力
0	1	SIE1 <sup>注2</sup> 入力
1	0	KR4入力
1	1	設定禁止

PFCE62 <sup>注1</sup>	PFC62 <sup>注1</sup>	P62端子の兼用機能の指定
0	0	RTP12出力
0	1	設定禁止
1	0	SCKE0 <sup>注2</sup> 入出力
1	1	設定禁止

PFCE61 <sup>注1</sup>	PFC61	P61端子の兼用機能の指定
0	0	RTP11出力
0	1	TXDA4出力
1	0	SOE0 <sup>注2</sup> 出力
1	1	設定禁止

PFCE60 <sup>注1</sup>	PFC60	P60端子の兼用機能の指定
0	0	RTP10出力
0	1	RXDA4入力
1	0	SIE0 <sup>注2</sup> 入力
1	1	設定禁止

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外ののみ有効です。

$\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) では必ず0を設定してください。

- $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外
- KRn端子とTIQ0m端子は兼用となっています。端子をTIQ0m端子として使用する場合は、兼用しているKRn端子のキー・リターン検出を無効にしてください(KRM.KRMnビットに0を設定)。また、KRn端子として使用する場合は、兼用しているTIQ0m端子のエッジ検出を無効にしてください(n = 2, 3, m = 0, 3)。

端子名称	TIQ0m端子として使用する場合	KRn端子として使用する場合
KR2/TIQ03	KRM.KRM2ビット = 0	TQ0IOC1. TQ0IS7, TQ0IS6ビット = 00
KR3/TIQ00	KRM.KRM3ビット = 0	TQ0IOC1. TQ0IS1, TQ0IS0ビット = 00 TQ0IOC2. TQ0EES1, TQ0EES0ビット = 00 TQ0IOC2. TQ0ETS1, TQ0ETS0ビット = 00

#### (7) ポート6ファンクション・レジスタ (PF6)

リセット時: 0000H R/W アドレス: PF6 FFFFFFFC6CH  
PF6L FFFFFFFC6CH, PF6H FFFFFFFC6DH

	15	14	13	12	11	10	9	8
PF6 (PF6H)	PF615	PF614	PF613	PF612	PF611	PF610	PF69	PF68

	7	6	5	4	3	2	1	0
(PF6L)	PF67	PF66	PF65	PF64	PF63	PF62	PF61	PF60

PF6n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-15)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

**注意** 出力端子に対して $E_{VDD}$ 以上の電圧でプルアップする場合は、必ず該当するPF6nビットを1に設定してください。

**備考1.** PF6レジスタは、16ビット単位でリード/ライト可能です。

ただし、PF6レジスタの上位8ビットをPF6Hレジスタ、下位8ビットをPF6Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

**2.** PF6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PF6Hレジスタのビット0-7として指定してください。

### 4.3.8 ポート7

ポート7は1ビット単位で入出力を制御できる16ビットのポートです。

ポート7は、次に示す端子と兼用しています。

表4 - 13 ポート7の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
P70	144	176	ANI0	入力	-	A-1
P71	143	175	ANI1	入力		A-1
P72	142	174	ANI2	入力		A-1
P73	141	173	ANI3	入力		A-1
P74	140	172	ANI4	入力		A-1
P75	139	171	ANI5	入力		A-1
P76	138	170	ANI6	入力		A-1
P77	137	169	ANI7	入力		A-1
P78	136	168	ANI8	入力		A-1
P79	135	167	ANI9	入力		A-1
P710	134	166	ANI10	入力		A-1
P711	133	165	ANI11	入力		A-1
P712	132	164	ANI12	入力		A-1
P713	131	163	ANI13	入力		A-1
P714	130	162	ANI14	入力		A-1
P715	129	161	ANI15	入力		A-1

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

## (1) ポート7レジスタH, ポート7レジスタL (P7H, P7L)

リセット時: 00H (出力ラッチ) R/W アドレス: P7L FFFFF40EH, P7H FFFFF40FH

	7	6	5	4	3	2	1	0
P7H	P715	P714	P713	P712	P711	P710	P79	P78

	7	6	5	4	3	2	1	0
P7L	P77	P76	P75	P74	P73	P72	P71	P70

P7n	出力データの制御 (出力モード時) (n = 0-15)
0	0を出力
1	1を出力

**注意** A/D変換中にP7H, P7Lレジスタをリード/ライトしないでください(13.6(4)兼用入出力について参照)。

**備考** P7レジスタとして16ビット・アクセスはできません。P7H, P7Lレジスタとして8/1ビット単位でリード/ライト可能です。

## (2) ポート7モード・レジスタH, ポート7モード・レジスタL (PM7H, PM7L)

リセット時: FFH R/W アドレス: PM7L FFFFF42EH, PM7H FFFFF42FH

	7	6	5	4	3	2	1	0
PM7H	PM715	PM714	PM713	PM712	PM711	PM710	PM79	PM78

	7	6	5	4	3	2	1	0
PM7L	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	入出力モードの制御 (n = 0-15)
0	出力モード
1	入力モード

**注意** P7n端子を兼用機能 (ANIn端子) として使用する場合は, PM7nビット = 1に設定してください。

**備考** PM7レジスタとして16ビット・アクセスはできません。PM7H, PM7Lレジスタとして8/1ビット単位でリード/ライト可能です。

### 4.3.9 ポート8

ポート8は1ビット単位で入出力を制御できる2ビット（V850E/SJ3-H）または6ビット（V850E/SK3-H）のポートです。

ポート8は、次に示す端子と兼用しています。

表4 - 14 ポート8の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
P80	59	71	RXDA3/INTP8/RC1CK1HZ	入出力	N-chオープン・ドレイン 出力指定可能	U-33
P81	60	72	TXDA3/RC1CKO/RC1CKDIV	出力		U-34
P82 <sup>注</sup>	-	73	SDA05 <sup>注</sup>	入出力		E-3
P83 <sup>注</sup>	-	74	SCL05 <sup>注</sup>	入出力		E-3
P84 <sup>注</sup>	-	75	RXDA5 <sup>注</sup>	入力		E-1
P85 <sup>注</sup>	-	76	TXDA5 <sup>注</sup>	出力		E-2

注 V850E/SK3-Hのみ

**注意** P80, P82-P84端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

**備考** SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

#### (1) ポート8レジスタ (P8)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF410H

	7	6	5	4	3	2	1	0
P8	0	0	P85 <sup>注</sup>	P84 <sup>注</sup>	P83 <sup>注</sup>	P82 <sup>注</sup>	P81	P80

P8n	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

**注** V850E/SK3-Hのみ有効です。

V850E/SJ3-Hでは必ず0を設定してください。ただし、リード値は不定になります。

**注意** ビット6, 7には必ず0を設定してください。

**備考** V850E/SJ3-H : n = 0, 1

V850E/SK3-H : n = 0-5

## (2) ポート8モード・レジスタ (PM8)

リセット時 : FFH R/W アドレス : FFFFF430H

	7	6	5	4	3	2	1	0
PM8	1	1	PM85 <sup>注</sup>	PM84 <sup>注</sup>	PM83 <sup>注</sup>	PM82 <sup>注</sup>	PM81	PM80

PM8n	入出力モードの制御
0	出力モード
1	入力モード

**注** V850E/SK3-Hのみ有効です。  
V850E/SJ3-Hでは必ず1を設定してください。

**注意** ビット6, 7には必ず1を設定してください。

**備考** V850E/SJ3-H : n = 0, 1  
V850E/SK3-H : n = 0-5

## (3) ポート8モード・コントロール・レジスタ (PMC8)

リセット時：00H R/W アドレス：FFFFFF450H

	7	6	5	4	3	2	1	0
PMC8	0	0	PMC85 <sup>注1</sup>	PMC84 <sup>注1</sup>	PMC83 <sup>注1</sup>	PMC82 <sup>注1</sup>	PMC81	PMC80
PMC85 <sup>注1</sup>	P85端子の動作モードの指定							
0	入出力ポート							
1	TXDA5 <sup>注2</sup> 出力							
PMC84 <sup>注1</sup>	P84端子の動作モードの指定							
0	入出力ポート							
1	RXDA5 <sup>注2</sup> 入力							
PMC83 <sup>注1</sup>	P83端子の動作モードの指定							
0	入出力ポート							
1	SCL05 <sup>注2</sup> 入出力							
PMC82 <sup>注1</sup>	P82端子の動作モードの指定							
0	入出力ポート							
1	SDA05 <sup>注2</sup> 入出力							
PMC81	P81端子の動作モードの指定							
0	入出力ポート							
1	TXDA3出力/RC1CKO出力/RC1CKDIV出力							
PMC80	P80端子の動作モードの指定							
0	入出力ポート							
1	RXDA3入力/INTP8入力/RC1CK1HZ出力							

注1. V850E/SK3-Hのみ有効です。

V850E/SJ3-Hでは必ず0を設定してください。

2. V850E/SK3-Hのみ

**注意** ビット6, 7には必ず0を設定してください。



## (4) ポート8ファンクション・コントロール・レジスタ (PFC8)

リセット時：00H R/W アドレス：FFFFFF470H

	7	6	5	4	3	2	1	0
PFC8	0	0	0	0	0	0	PFC81	PFC80

備考 兼用機能の指定については4.3.9(6) ポート8の兼用機能の指定を参照してください。

## (5) ポート8ファンクション・コントロール拡張レジスタ (PFCE8)

リセット時：00H R/W アドレス：FFFFFF710H

	7	6	5	4	3	2	1	0
PFCE8	0	0	0	0	0	0	PFCE81	PFCE80

備考 兼用機能の指定については4.3.9(6) ポート8の兼用機能の指定を参照してください。

## (6) ポート8の兼用機能の指定

PFCE81	PFC81	P81端子の兼用機能の指定
0	0	TXDA3出力
0	1	設定禁止
1	0	RC1CKO出力/RC1CKDIV <sup>注1</sup> 出力
1	1	設定禁止

PFCE80	PFC80	P80端子の兼用機能の指定
0	0	RXDA3入力/INTP8 <sup>注2</sup> 入力
0	1	設定禁止
1	0	RC1CK1HZ出力
1	1	設定禁止

注1. RC1CKDIV端子とRC1CKO端子は兼用となっています。RC1CKDIV端子として使用する場合は、兼用しているRC1CKO端子の出力を禁止にしてください (RC1CC1.CLOE0ビット = 0に設定)。また、RC1CKO端子として使用する場合は、RC1CKDIV端子の出力を禁止にしてください (RC1CC3.CLOE2ビット = 0)。

2. INTP8端子とRXDA3端子は兼用となっています。RXDA3端子として使用する場合は、兼用しているINTP8端子のエッジ検出を無効にしてください (INTF8.INTF80ビット = 0, INTR8.INTR80ビット = 0に設定)。また、INTP8端子として使用する場合は、UARTA3を受信動作停止としてください (UA3CTL0.UA3RXEビット = 0)。

## (7) ポート8ファンクション・レジスタ (PF8)

リセット時 : 00H R/W アドレス : FFFFFFFC70H

	7	6	5	4	3	2	1	0
PF8	0	0	PF85 <sup>注</sup>	PF84 <sup>注</sup>	PF83 <sup>注</sup>	PF82 <sup>注</sup>	PF81	PF80

PF8n	通常出力/N-chオープン・ドレイン出力の制御
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

**注** V850E/SK3-Hのみ有効です。

V850E/SJ3-Hでは必ず0を設定してください。

**注意1.** 出力端子に対して $V_{DD}$ 以上の電圧でプルアップする場合は、必ず該当するPF8nビットを1に設定してください。

2. ビット6, 7には必ず0を設定してください。

**備考** V850E/SJ3-H : n = 0, 1

V850E/SK3-H : n = 0-5

## 4.3.10 ポート9

ポート9は1ビット単位で入出力を制御できる16ビットのポートです。

ポート9は、次に示す端子と兼用しています。

表4 - 15 ポート9の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
P90	61	77	A0/KR6/TXDA1/SDA02	入出力	N-chオープン・ドレイン 出力指定可能	U-10
P91	62	78	A1/KR7/RXDA1/KR7/SCL02	入出力		U-11
P92	63	79	A2/TIP41/TOP41	入出力		U-12
P93	64	80	A3/TIP40/TOP40/INTP8	入出力		U-35
P94	65	81	A4/TIP31 /TOP31	入出力		U-12
P95	66	82	A5/TIP30/TOP30/INTP5	入出力		U-35
P96	67	83	A6/TIP21/TOP21	入出力		U-13
P97	68	84	A7/SIB1/TIP20/TOP20	入出力		U-14
P98	69	85	A8/SOB1	出力		G-2
P99	70	86	A9/ $\overline{\text{SCKB1}}$	入出力		G-4
P910	71	87	A10/SIB3	入出力		G-1
P911	72	88	A11/SOB3	出力		G-2
P912	73	89	A12/ $\overline{\text{SCKB3}}$	入出力		G-4
P913	74	90	A13/INTP4	入出力		N-2
P914	75	91	A14/INTP5/TIP51/TOP51	入出力		U-15
P915	76	92	A15/INTP6/TIP50/TOP50	入出力	U-15	

**注意** P90-P97, P99, P910, P912-P915端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

**備考** SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

## (1) ポート9レジスタ (P9)

リセット時：0000H (出力ラッチ) R/W アドレス：P9 FFFFF412H,  
P9L FFFFF412H, P9H FFFFF413H

	15	14	13	12	11	10	9	8
P9 (P9H)	P915	P914	P913	P912	P911	P910	P99	P98
	7	6	5	4	3	2	1	0
(P9L)	P97	P96	P95	P94	P93	P92	P91	P90
P9n	出力データの制御 (出力モード時) (n = 0-15)							
0	0を出力							
1	1を出力							

備考1. P9レジスタは、16ビット単位でリード/ライト可能です。

ただし、P9レジスタの上位8ビットをP9Hレジスタ、下位8ビットをP9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. P9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P9Hレジスタのビット0-7として指定してください。

## (2) ポート9モード・レジスタ (PM9)

リセット時：FFFFH R/W アドレス：PM9 FFFFF432H,  
PM9L FFFFF432H, PM9H FFFFF433H

	15	14	13	12	11	10	9	8
PM9 (PM9H)	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98
	7	6	5	4	3	2	1	0
(PM9L)	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90
PM9n	入出力モードの制御 (n = 0-15)							
0	出力モード							
1	入力モード							

備考1. PM9レジスタは、16ビット単位でリード/ライト可能です。

ただし、PM9レジスタの上位8ビットをPM9Hレジスタ、下位8ビットをPM9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. PM9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM9Hレジスタのビット0-7として指定してください。

## (3) ポート9モード・コントロール・レジスタ (PMC9)

(1/2)

リセット時：0000H R/W アドレス：PMC9 FFFFF452H,  
PMC9L FFFFF452H, PMC9H FFFFF453H

	15	14	13	12	11	10	9	8
PMC9 ( PMC9H )	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
( PMC9L )	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

PMC915	P915端子の動作モードの指定
0	入出力ポート
1	A15出力/INTP6入力/TIP50入力/TOP50出力
PMC914	P914端子の動作モードの指定
0	入出力ポート
1	A14出力/INTP5入力/TIP51入力/TOP51出力
PMC913	P913端子の動作モードの指定
0	入出力ポート
1	A13出力/INTP4入力
PMC912	P912端子の動作モードの指定
0	入出力ポート
1	A12出力/SCKB3入出力
PMC911	P911端子の動作モードの指定
0	入出力ポート
1	A11出力/SOB3出力
PMC910	P910端子の動作モードの指定
0	入出力ポート
1	A10出力/SIB3入力
PMC99	P99端子の動作モードの指定
0	入出力ポート
1	A9出力/SCKB1入出力
PMC98	P98端子の動作モードの指定
0	入出力ポート
1	A8出力/SOB1出力

備考1. PMC9レジスタは、16ビット単位でリード/ライト可能です。

ただし、PMC9レジスタの上位8ビットをPMC9Hレジスタ、下位8ビットをPMC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. PMC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC9Hレジスタのビット0-7として指定してください。

(2/2)

PMC97	P97端子の動作モードの指定
0	入出力ポート
1	A7出力/SIB1入力/TIP20入力/TOP20出力
PMC96	P96端子の動作モードの指定
0	入出力ポート
1	A6出力/TIP21入力/TOP21出力
PMC95	P95端子の動作モードの指定
0	入出力ポート
1	A5出力/TIP30入力/TOP30出力/INTP5入力
PMC94	P94端子の動作モードの指定
0	入出力ポート
1	A4出力/TIP31入力/TOP31出力
PMC93	P93端子の動作モードの指定
0	入出力ポート
1	A3出力/TIP40入力/TOP40出力/INTP8入力
PMC92	P92端子の動作モードの指定
0	入出力ポート
1	A2出力/TIP41入力/TOP41出力
PMC91	P91端子の動作モードの指定
0	入出力ポート
1	A1出力/KR7入力/RXDA1入力/KR7入力/SCL02入出力
PMC90	P90端子の動作モードの指定
0	入出力ポート
1	A0出力/KR6入力/TXDA1出力/SDA02入出力

**注意** セバレート・バス・モードでA0-A15端子を1本でも使用する場合は、ポート9はポート端子または他の兼用機能として使用できません。したがって、PFC9, PFCE9レジスタを0000Hに設定後、PMC9レジスタは一括してFFFFHに16ビット設定してください。セバレート・バス・モードでA0-A15端子を1本も使用しない場合は、ポート9はポート端子または他の兼用機能として使用できます。

## (4) ポート9ファンクション・コントロール・レジスタ (PFC9)

**注意** セバレート・バス・モードでA0-A15端子を1本でも使用する場合は、ポート9はポート端子または他の兼用機能として使用できません。したがって、PFC9、PFCE9レジスタを0000Hに設定後、PMC9レジスタは一括してFFFFHに16ビット設定してください。

セバレート・バス・モードでA0-A15端子を1本も使用しない場合は、ポート9はポート端子または他の兼用機能として使用できます。

リセット時：0000H R/W アドレス：PFC9 FFFFF472H,  
PFC9L FFFFF472H, PFC9H FFFFF473H

	15	14	13	12	11	10	9	8
PFC9 ( PFC9H )	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
( PFC9L )	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

- 備考1.** 兼用機能の指定については4. 3. 10(6)ポート9の兼用機能の指定を参照してください。
2. PFC9レジスタは、16ビット単位でリード/ライト可能です。  
ただし、PFC9レジスタの上位8ビットをPFC9Hレジスタ、下位8ビットをPFC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
3. PFC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFC9Hレジスタのビット0-7として指定してください。

## (5) ポート9ファンクション・コントロール拡張レジスタ (PFCE9)

リセット時：0000H R/W アドレス：PFCE9 FFFFF712H,  
PFCE9L FFFFF712H, PFCE9H FFFFF713H

	15	14	13	12	11	10	9	8
PFCE9 ( PFCE9H )	PFCE915	PFCE914	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
( PFCE9L )	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

- 備考1.** 兼用機能の指定については4. 3. 10(6)ポート9の兼用機能の指定を参照してください。
2. PFCE9レジスタは、16ビット単位でリード/ライト可能です。  
ただし、PFCE9レジスタの上位8ビットをPFCE9Hレジスタ、下位8ビットをPFCE9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
3. PFCE9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFCE9Hレジスタのビット0-7として指定してください。

## (6) ポート9の兼用機能の指定

PFCE915	PFC915	P915端子の兼用機能の指定
0	0	A15出力
0	1	INTP6入力
1	0	TIP50入力
1	1	TOP50出力

PFCE914	PFC914	P914端子の兼用機能の指定
0	0	A14出力
0	1	INTP5入力
1	0	TIP51入力
1	1	TOP51出力

PFC913	P913端子の兼用機能の指定
0	A13出力
1	INTP4入力

PFC912	P912端子の兼用機能の指定
0	A12出力
1	SCKB3入出力

PFC911	P911端子の兼用機能の指定
0	A11出力
1	SOB3出力

PFC910	P910端子の兼用機能の指定
0	A10出力
1	SIB3入力

PFC99	P99端子の兼用機能の指定
0	A9出力
1	SCKB1入出力

PFC98	P98端子の兼用機能の指定
0	A8出力
1	SOB1出力

PFCE97	PFC97	P97端子の兼用機能の指定
0	0	A7出力
0	1	SIB1入力
1	0	TIP20入力
1	1	TOP20出力



PFCE96	PFC96	P96端子の兼用機能の指定
0	0	A6出力
0	1	設定禁止
1	0	TIP21入力
1	1	TOP21出力

PFCE95	PFC95	P95端子の兼用機能の指定
0	0	A5出力
0	1	TIP30入力
1	0	TOP30出力
1	1	INTP5入力

PFCE94	PFC94	P94端子の兼用機能の指定
0	0	A4出力
0	1	TIP31入力
1	0	TOP31出力
1	1	設定禁止

PFCE93	PFC93	P93端子の兼用機能の指定
0	0	A3出力
0	1	TIP40入力
1	0	TOP40出力
1	1	INTP8入力

PFCE92	PFC92	P92端子の兼用機能の指定
0	0	A2出力
0	1	TIP41入力
1	0	TOP41出力
1	1	設定禁止

PFCE91	PFC91	P91端子の兼用機能の指定
0	0	A1出力
0	1	KR7入力
1	0	RXDA1入力/KR7入力 <sup>注</sup>
1	1	SCL02入出力

PFCE90	PFC90	P90端子の兼用機能の指定
0	0	A0出力
0	1	KR6入力
1	0	TXDA1出力
1	1	SDA02入出力

注 RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください(KRM.KRM7ビット = 0に設定してください)。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください(PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します。PFC91ビット = 0, PFCE91ビット = 1で使用する場合はUA1CTL0.UA1RXEビット = 0に設定してください)。

## (7) ポート9ファンクション・レジスタ (PF9)

リセット時 : 0000H R/W アドレス : PF9 FFFFFFFC72H,  
PF9L FFFFFFFC72H, PF9H FFFFFFFC73H

	15	14	13	12	11	10	9	8
PF9 (PF9H)	PF915	PF914	PF913	PF912	PF911	PF910	PF99	PF98
	7	6	5	4	3	2	1	0
(PF9L)	PF97	PF96	PF95	PF94	PF93	PF92	PF91	PF90

PF9n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-15)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

**注意** 出力端子に対して $EV_{DD}$ 以上の電圧でプルアップする場合は、必ず該当するPF9nビットを1に設定してください。

- 備考1.** PF9レジスタは、16ビット単位でリード/ライト可能です。  
ただし、PF9レジスタの上位8ビットをPF9Hレジスタ、下位8ビットをPF9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PF9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PF9Hレジスタのビット0-7として指定してください。

### 4.3.11 ポート13 (V850E/SK3-Hのみ)

ポート13は1ビット単位で入出力を制御できる4ビットのポートです。

ポート13は、次に示す端子と兼用しています。

表4 - 16 ポート13の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
P130	-	125	-	-	-	B-1
P131	-	126	-	-	-	B-1
P132	-	127	-	-	-	B-1
P133	-	128	-	-	-	B-1

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

#### (1) ポート13レジスタ (P13)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF41AH

	7	6	5	4	3	2	1	0
P13	0	0	0	0	P133	P132	P131	P130

P13n	出力データの制御 (出力モード時) (n = 0-3)
0	0を出力
1	1を出力

**注意** ビット4-7には必ず0を設定してください。

#### (2) ポート13モード・レジスタ (PM13)

リセット時 : FFH R/W アドレス : FFFFF43AH

	7	6	5	4	3	2	1	0
PM13	1	1	1	1	PM133	PM132	PM131	PM130

PM13n	入出力モードの制御 (n = 0-3)
0	出力モード
1	入力モード

**注意** ビット4-7には必ず1を設定してください。

### 4.3.12 ポート14 (V850E/SK3-Hのみ)

ポート14は1ビット単位で入出力を制御できる6ビットのポートです。

ポート14は、次に示す端子と兼用しています。

表4-17 ポート14の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
P140	-	155	-	-	-	B-1
P141	-	156	-	-	-	B-1
P142	-	157	-	-	-	B-1
P143	-	158	-	-	-	B-1
P144	-	159	-	-	-	B-1
P145	-	160	-	-	-	B-1

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

#### (1) ポート14レジスタ (P14)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF41CH

	7	6	5	4	3	2	1	0
P14	0	0	P145	P144	P143	P142	P141	P140

P14n	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

**注意** ビット6, 7には必ず0を設定してください。

#### (2) ポート14モード・レジスタ (PM14)

リセット時 : FFH R/W アドレス : FFFFF43CH

	7	6	5	4	3	2	1	0
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140

PM14n	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

**注意** ビット6, 7には必ず1を設定してください。

### 4.3.13 ポート15 (V850E/SK3-Hのみ)

ポート15は1ビット単位で入出力を制御できる6ビットのポートです。

ポート15は、次に示す端子と兼用しています。

表4 - 18 ポート15の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
P150	-	93	RXDA1/KR7	入力	N-chオープン・ドレイン 出力指定可能	E-4
P151	-	94	TXDA1	出力		E-2
P152	-	95	INTP9	入力		L-1
P153	-	96	INTP6	入力		L-1

**注意** P150, P152, P153端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

**備考** SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

#### (1) ポート15レジスタ (P15)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF41EH

	7	6	5	4	3	2	1	0
P15	0	0	0	0	P153	P152	P151	P150

P15n	出力データの制御 (出力モード時) (n = 0-3)
0	0を出力
1	1を出力

**注意** ビット4-7には必ず0を設定してください。

#### (2) ポート15モード・レジスタ (PM15)

リセット時 : FFH R/W アドレス : FFFFF43EH

	7	6	5	4	3	2	1	0
PM15	1	1	1	1	PM153	PM152	PM151	PM150

PM15n	入出力モードの制御 (n = 0-3)
0	出力モード
1	入力モード

**注意** ビット4-7には必ず1を設定してください。

## (3) ポート15モード・コントロール・レジスタ (PMC15)

リセット時：00H R/W アドレス：FFFFFF45EH

	7	6	5	4	3	2	1	0
PMC15	0	0	0	0	PMC153	PMC152	PMC151	PMC150
PMC153	P153端子の動作モードの指定							
0	入出力ポート							
1	INTP6入力							
PMC152	P152端子の動作モードの指定							
0	入出力ポート							
1	INTP9入力							
PMC151	P151端子の動作モードの指定							
0	入出力ポート							
1	TXDA1出力							
PMC150	P150端子の動作モードの指定							
0	入出力ポート							
1	RXDA1入力/KR7入力 <sup>注</sup>							

**注** RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください (KRM.KRM7ビット = 0に設定してください)。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください (UA1CTL0.UA1RXEビット = 0に設定してください)。

**注意** ビット4-7には必ず0を設定してください。

## (4) ポート15ファンクション・レジスタ (PF15)

リセット時：00H R/W アドレス：FFFFFFC7EH

	7	6	5	4	3	2	1	0
PF15	0	0	0	0	PF153	PF152	PF151	PF150
PF15n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-3)							
0	通常出力 (CMOS出力)							
1	N-chオープン・ドレイン出力							

**注意1.** 出力端子に対してEV<sub>DD</sub>以上の電圧でプルアップする場合は、必ず該当するPF15nビットを1に設定してください。

**2.** ビット4-7には必ず0を設定してください。

### 4.3.14 ポートCD

ポートCDは1ビット単位で入出力を制御できる4ビットのポートです。

ポートCDは、次に示す端子と兼用しています。

表4 - 19 ポートCDの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
PCD0	77	97	RXDB0	入力		F-1
PCD1	78	98	TXDB0	出力		F-2
PCD2	79	99	RXDB1	入力		F-1
PCD3	80	100	TXDB1	出力		F-2

**注意** PCD0, PCD2端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

**備考** SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

#### (1) ポートCDレジスタ (PCD)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF00EH

	7	6	5	4	3	2	1	0
PCD	0	0	0	0	PCD3	PCD2	PCD1	PCD0

PCDn	出力データの制御 (出力モード時) (n = 0-3)
0	0を出力
1	1を出力

**注意** ビット4-7には必ず0を設定してください。

#### (2) ポートCDモード・レジスタ (PMCD)

リセット時 : FFH R/W アドレス : FFFFF02EH

	7	6	5	4	3	2	1	0
PMCD	1	1	1	1	PMCD3	PMCD2	PMCD1	PMCD0

PMCDn	入出力モードの制御 (n = 0-3)
0	出力モード
1	入力モード

**注意** ビット4-7には必ず1を設定してください。

## (3) ポートCDモード・コントロール・レジスタ (PMCCD)

リセット時 : 00H R/W アドレス : FFFFF04EH

	7	6	5	4	3	2	1	0
PMCCD	0	0	0	0	PMCCD3	PMCCD2	PMCCD1	PMCCD0
PMCCD3	PCD3端子の動作モードの指定							
0	入出力ポート							
1	TXDB1出力							
PMCCD2	PCD2端子の動作モードの指定							
0	入出力ポート							
1	RXDB1入力							
PMCCD1	PCD1端子の動作モードの指定							
0	入出力ポート							
1	TXDB0出力							
PMCCD0	PCD0端子の動作モードの指定							
0	入出力ポート							
1	RXDB0入力							

**注意** ビット4-7には必ず0を設定してください。

## (4) ポートCDファンクション・コントロール・レジスタ (PFCCD)

リセット時 : 00H R/W アドレス : FFFFF04FH

	7	6	5	4	3	2	1	0
PFCCD	0	0	0	0	PFCCD3	PFCCD2	PFCCD1	PFCCD0
PFCCD3	PCD3端子の兼用機能の指定							
0	設定禁止							
1	TXDB1入力							
PFCCD2	PCD2端子の兼用機能の指定							
0	設定禁止							
1	RXDB1入力							
PFCCD1	PCD1端子の兼用機能の指定							
0	設定禁止							
1	TXDB0出力							
PFCCD0	PCD0端子の兼用機能の指定							
0	設定禁止							
1	RXDB0入力							

**注意** ビット4-7には必ず0を設定してください。



### 4.3.15 ポートCM

ポートCMは1ビット単位で入出力を制御できる6ビットのポートです。

ポートCMは、次に示す端子と兼用しています。

表4 - 20 ポートCMの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
PCM0	85	105	WAIT	入力	-	D-1
PCM1	86	106	CLKOUT	出力		D-2
PCM2	87	107	HLDK	出力		D-2
PCM3	88	108	HLDK	入力		D-1
PCM4	89	109	-	-		B-1
PCM5	90	110	-	-		B-1

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

#### (1) ポートCMレジスタ (PCM)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	PCM5	PCM4	PCM3	PCM2	PCM1	PCM0

PCMn	出力データの制御 (出力モード時) (n=0-5)
0	0を出力
1	1を出力

#### (2) ポートCMモード・レジスタ (PMCM)

リセット時 : FFH R/W アドレス : FFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	PMCM5	PMCM4	PMCM3	PMCM2	PMCM1	PMCM0

PMCMn	入出力モードの制御 (n=0-5)
0	出力モード
1	入力モード

## (3) ポートCMモード・コントロール・レジスタ (PMCCM)

リセット時 : 00H R/W アドレス : FFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	PMCCM3	PMCCM2	PMCCM1	PMCCM0
PMCCM3	PCM3端子の動作モードの指定							
0	入出力ポート							
1	HLDRQ入力							
PMCCM2	PCM2端子の動作モードの指定							
0	入出力ポート							
1	HLDAK出力							
PMCCM1	PCM1端子の動作モードの指定							
0	入出力ポート							
1	CLKOUT出力							
PMCCM0	PCM0端子の動作モードの指定							
0	入出力ポート							
1	WAIT入力							

### 4.3.16 ポートCS

ポートCSは1ビット単位で入出力を制御できる8ビットのポートです。

ポートCSは、次に示す端子と兼用しています。

表4 - 21 ポートCSの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
PCS0	81	101	-	-	-	B-1
PCS1	82	102	$\overline{CS1}$	出力		D-2
PCS2	83	103	$\overline{CS2}$	出力		D-2
PCS3	84	104	$\overline{CS3}$	出力		D-2
PCS4	91	111	-	-		B-1
PCS5	92	112	-	-		B-1
PCS6	93	113	-	-		B-1
PCS7	94	114	-	-		B-1

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

#### (1) ポートCSレジスタ (PCS)

リセット時: 00H (出力ラッチ) R/W アドレス: FFFFF008H

	7	6	5	4	3	2	1	0
PCS	PCS7	PCS6	PCS5	PCS4	PCS3	PCS2	PCS1	PCS0

PCS <sub>n</sub>	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

#### (2) ポートCSモード・レジスタ (PMCS)

リセット時: FFH R/W アドレス: FFFFF028H

	7	6	5	4	3	2	1	0
PMCS	PMCS7	PMCS6	PMCS5	PMCS4	PMCS3	PMCS2	PMCS1	PMCS0

PMCS <sub>n</sub>	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

## (3) ポートCSモード・コントロール・レジスタ (PMCCS)

リセット時：00H R/W アドレス：FFFFFF048H

	7	6	5	4	3	2	1	0
PMCCS	0	0	0	0	PMCCS3	PMCCS2	PMCCS1	0

PMCCS3	PCS3端子の動作モードの指定	
0	入出力ポート	
1	$\overline{\text{CS3}}$ 出力	

PMCCS2	PCS2端子の動作モードの指定	
0	入出力ポート	
1	$\overline{\text{CS2}}$ 出力	

PMCCS1	PCS1端子の動作モードの指定	
0	入出力ポート	
1	$\overline{\text{CS1}}$ 出力	

**注意** ビット0, 4-7には必ず0を設定してください。

## 4.3.17 ポートCT

ポートCTは1ビット単位で入出力を制御できる8ビットのポートです。

ポートCTは次に示す端子と兼用しています。

表4 - 22 ポートCTの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
PCT0	95	115	$\overline{WR0}$	出力	-	D-2
PCT1	96	116	$\overline{WR1}$	出力		D-2
PCT2	97	117	-	-		B-1
PCT3	98	118	-	-		B-1
PCT4	99	119	$\overline{RD}$	出力		D-2
PCT5	100	120	-	-		B-1
PCT6	101	121	ASTB	出力		D-2
PCT7	102	122	-	-		B-1

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

## (1) ポートCTレジスタ (PCT)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFF00AH

	7	6	5	4	3	2	1	0
PCT	PCT7	PCT6	PCT5	PCT4	PCT3	PCT2	PCT1	PCT0
PCTn	出力データの制御 (出力モード時) (n = 0-7)							
0	0を出力							
1	1を出力							

## (2) ポートCTモード・レジスタ (PMCT)

リセット時 : FFH R/W アドレス : FFFF02AH

	7	6	5	4	3	2	1	0
PMCT	PMCT7	PMCT6	PMCT5	PMCT4	PMCT3	PMCT2	PMCT1	PMCT0
PMCTn	入出力モードの制御 (n = 0-7)							
0	出力モード							
1	入力モード							

## (3) ポートCTモード・コントロール・レジスタ (PMCCT)

リセット時: 00H R/W アドレス: FFFFF04AH

	7	6	5	4	3	2	1	0
PMCCT	0	PMCCT6	0	PMCCT4	0	0	PMCCT1	PMCCT0

PMCCT6	PCT6端子の動作モードの指定	
0	入出力ポート	
1	ASTB出力	

PMCCT4	PCT4端子の動作モードの指定	
0	入出力ポート	
1	$\overline{RD}$ 出力	

PMCCT1	PCT1端子の動作モードの指定	
0	入出力ポート	
1	$\overline{WR1}$ 出力	

PMCCT0	PCT0端子の動作モードの指定	
0	入出力ポート	
1	$\overline{WR0}$ 出力	

## 4.3.18 ポートDH

ポートDHは1ビット単位で入出力を制御できる8ビットのポートです。

ポートDHは、次に示す端子と兼用しています。

表4 - 23 ポートDHの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
PDH0	121	145	A16	出力	-	D-2
PDH1	122	146	A17	出力		D-2
PDH2	123	147	A18	出力		D-2
PDH3	124	148	A19	出力		D-2
PDH4	125	149	A20	出力		D-2
PDH5	126	150	A21	出力		D-2
PDH6	127	151	A22	出力		D-2
PDH7	128	152	A23	出力		D-2

**備考** SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

## (1) ポートDHレジスタ (PDH)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF06H

	7	6	5	4	3	2	1	0
PDH	PDH7	PDH6	PDH5	PDH4	PDH3	PDH2	PDH1	PDH0

PDHn	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

## (2) ポートDHモード・レジスタ (PMDH)

リセット時：FFH R/W アドレス：FFFFFF026H

	7	6	5	4	3	2	1	0
PMDH	PMDH7	PMDH6	PMDH5	PMDH4	PMDH3	PMDH2	PMDH1	PMDH0

PMDHn	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

## (3) ポートDHモード・コントロール・レジスタ (PMCDH)

リセット時：00H R/W アドレス：FFFFFF046H

	7	6	5	4	3	2	1	0
PMCDH	PMCDH7	PMCDH6	PMCDH5	PMCDH4	PMCDH3	PMCDH2	PMCDH1	PMCDH0

PMCDHn	PDHn端子の動作モードの指定 (n = 0-7)
0	入出力ポート
1	Am出力 (アドレス・バス出力) (m = 16-23)



## 4.3.19 ポートDL

ポートDLは1ビット単位で入出力を制御できる16ビットのポートです。

ポートDLは、次に示す端子と兼用しています。

表4 - 24 ポートDLの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	SJ3-H	SK3-H				
	GJ	GM				
PDL0	105	129	AD0	入出力	-	D-3
PDL1	106	130	AD1	入出力		D-3
PDL2	107	131	AD2	入出力		D-3
PDL3	108	132	AD3	入出力		D-3
PDL4	109	133	AD4	入出力		D-3
PDL5	110	134	AD5/FLMD1 <sup>注</sup>	入出力		D-3
PDL6	111	135	AD6	入出力		D-3
PDL7	112	136	AD7	入出力		D-3
PDL8	113	137	AD8	入出力		D-3
PDL9	114	138	AD9	入出力		D-3
PDL10	115	139	AD10	入出力		D-3
PDL11	116	140	AD11	入出力		D-3
PDL12	117	141	AD12	入出力		D-3
PDL13	118	142	AD13	入出力		D-3
PDL14	119	143	AD14	入出力		D-3
PDL15	120	144	AD15	入出力		D-3

**注** フラッシュ・メモリ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第32章 **フラッシュ・メモリ**を参照してください。

**備考** SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

## (1) ポートDLレジスタ (PDL)

リセット時：0000H (出力ラッチ) R/W アドレス：PDL FFFF004H,  
PDL FFFF004H, PDLH FFFF005H

	15	14	13	12	11	10	9	8
PDL (PDLH)	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8
	7	6	5	4	3	2	1	0
(PDLL)	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0
PDLn	出力データの制御 (出力モード時) (n = 0-15)							
0	0を出力							
1	1を出力							

- 備考1.** PDLレジスタは、16ビット単位でリード/ライト可能です。  
ただし、PDLレジスタの上位8ビットをPDLHレジスタ、下位8ビットをPDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PDLHレジスタのビット0-7として指定してください。

## (2) ポートDLモード・レジスタ (PMDL)

リセット時：FFFFH R/W アドレス：PMDL FFFF024H,  
PMDL FFFF024H, PMDLH FFFF025H

	15	14	13	12	11	10	9	8
PMDL (PMDLH)	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8
	7	6	5	4	3	2	1	0
(PMDLL)	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0
PMDLn	入出力モードの制御 (n = 0-15)							
0	出力モード							
1	入力モード							

- 備考1.** PMDLレジスタは、16ビット単位でリード/ライト可能です。  
ただし、PMDLレジスタの上位8ビットをPMDLHレジスタ、下位8ビットをPMDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PMDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMDLHレジスタのビット0-7として指定してください。

## (3) ポートDLモード・コントロール・レジスタ (PMCDL)

リセット時 : 0000H R/W アドレス : PMCDL FFFF044H,  
PMCDLL FFFF044H, PMCDLH FFFF045H

	15	14	13	12	11	10	9	8
PMCDL (PMCDLH)	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8
	7	6	5	4	3	2	1	0
(PMCDLL)	PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0
PMCDLn	PDLn端子の動作モードの指定 (n = 0-15)							
0	入出力ポート							
1	ADn入出力 (アドレス/データ・バス入出力)							

**注意** EXIMC.SMSELビット = 1 (セパレート・モード) かつBSC.BS30-BS00ビット = 0 (8ビット・バス幅) のとき, AD8-AD15端子を指定しないでください。

- 備考1.** PMCDLレジスタは, 16ビット単位でリード/ライト可能です。  
ただし, PMCDLレジスタの上位8ビットをPMCDLHレジスタ, 下位8ビットをPMCDLLレジスタとして使用する場合は, 8/1ビット単位でリード/ライト可能です。
- 2.** PMCDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は, PMCDLHレジスタのビット0-7として指定してください。

### 4.4 ブロック図

図4-4 タイプA-1のブロック図

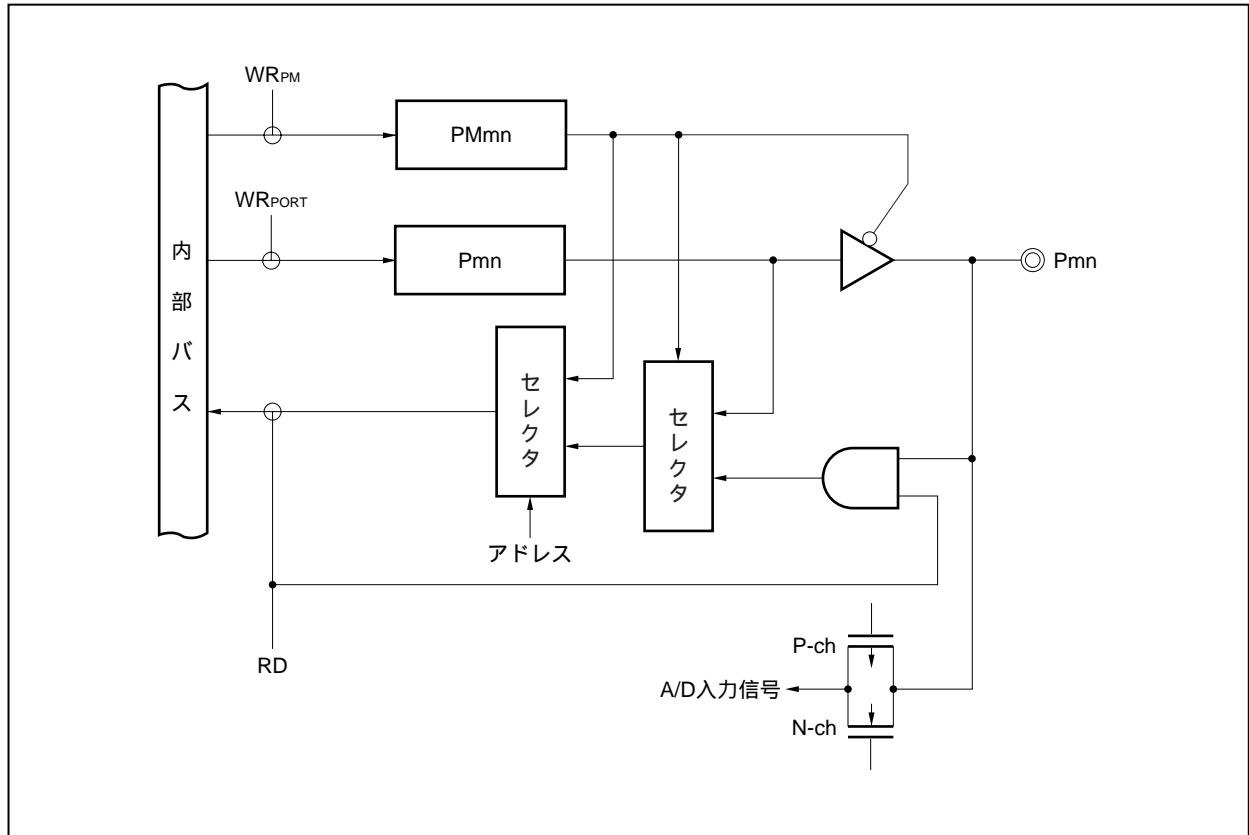


図4-5 タイプA-2のブロック図

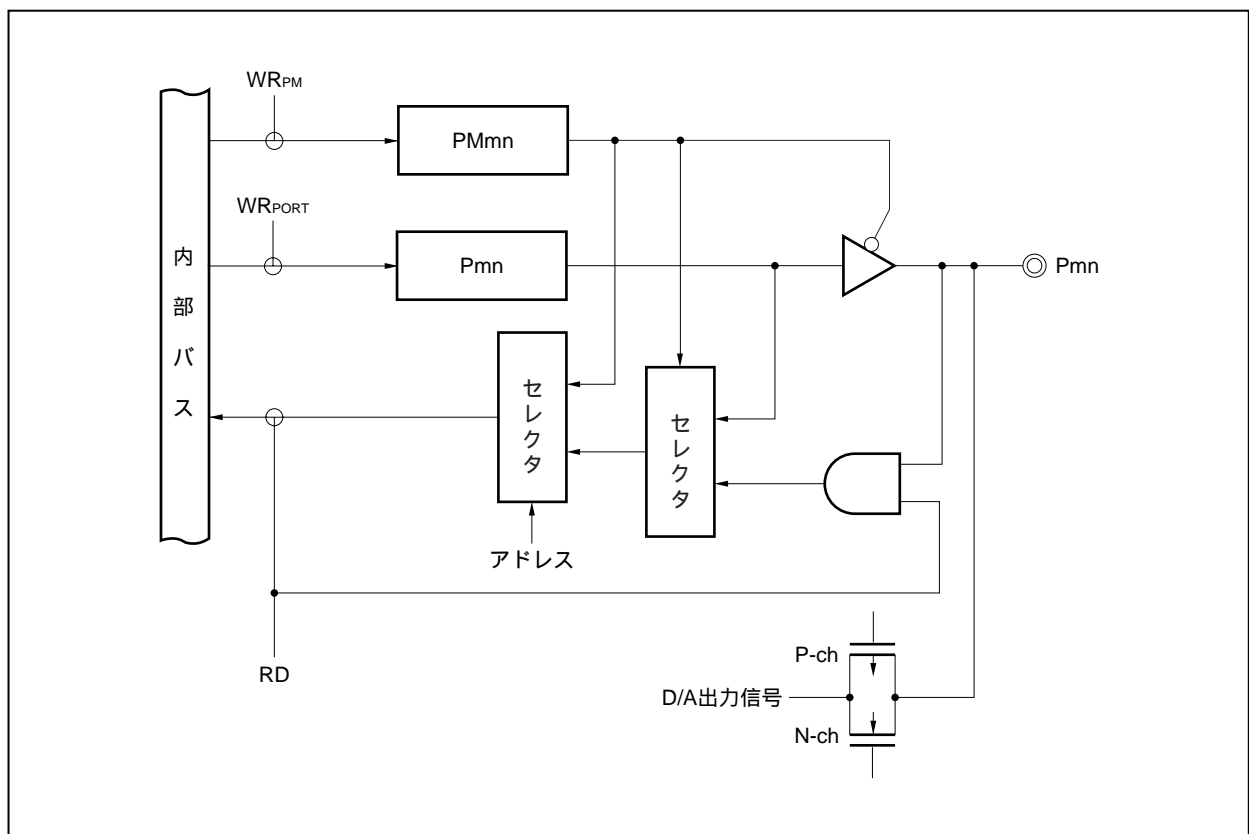


図4-6 タイプB-1のブロック図

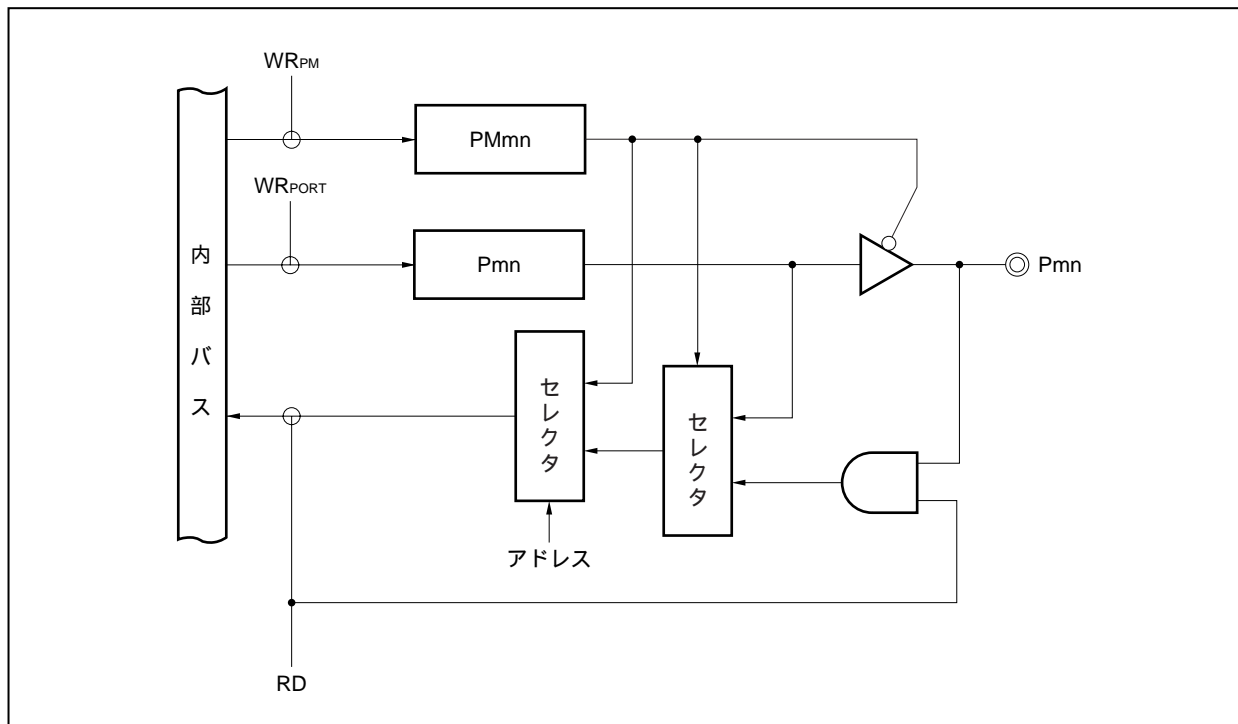
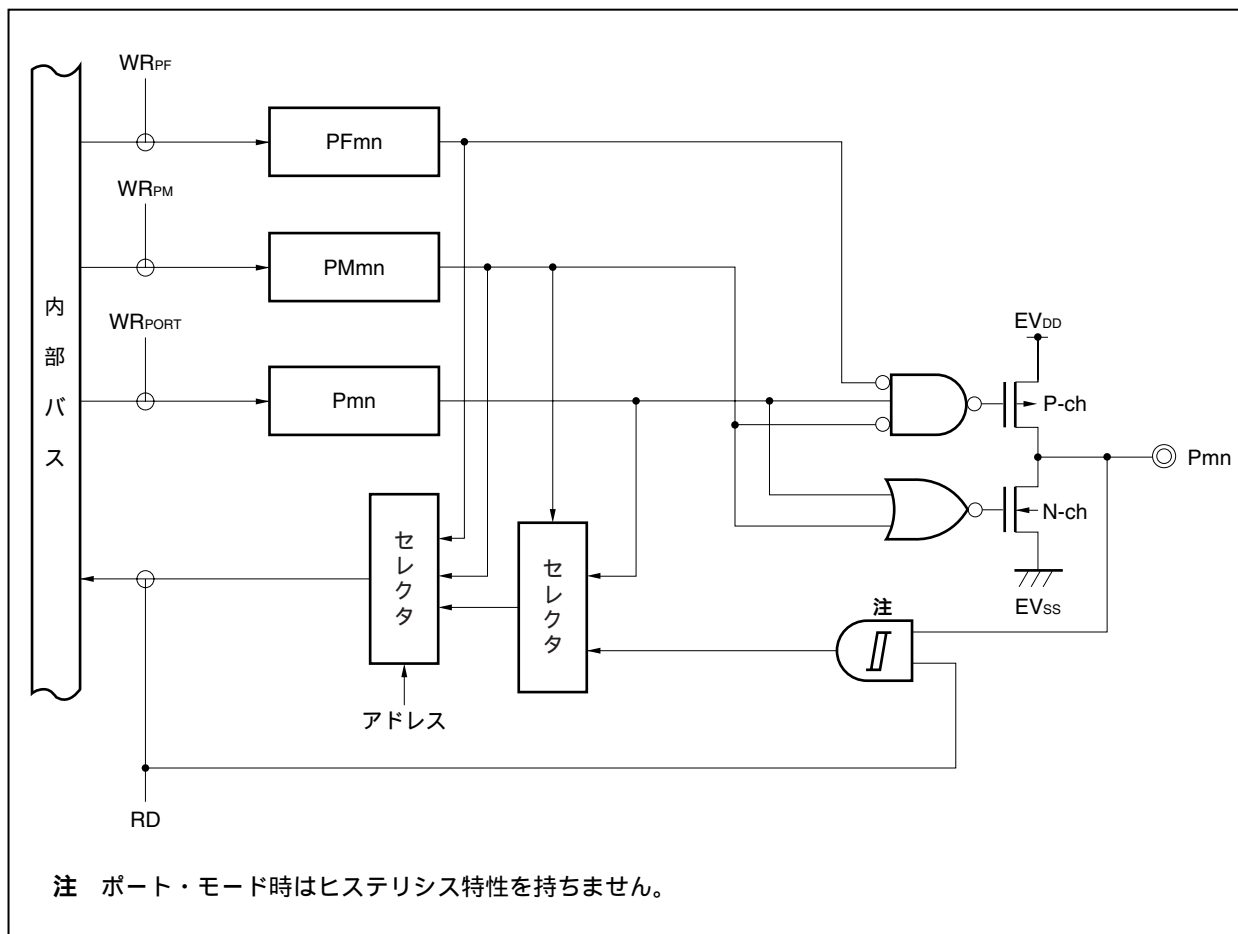


図4-7 タイプC-1のブロック図



注 ポート・モード時はヒステリシス特性を持ちません。

図4-8 タイプD-1のブロック図

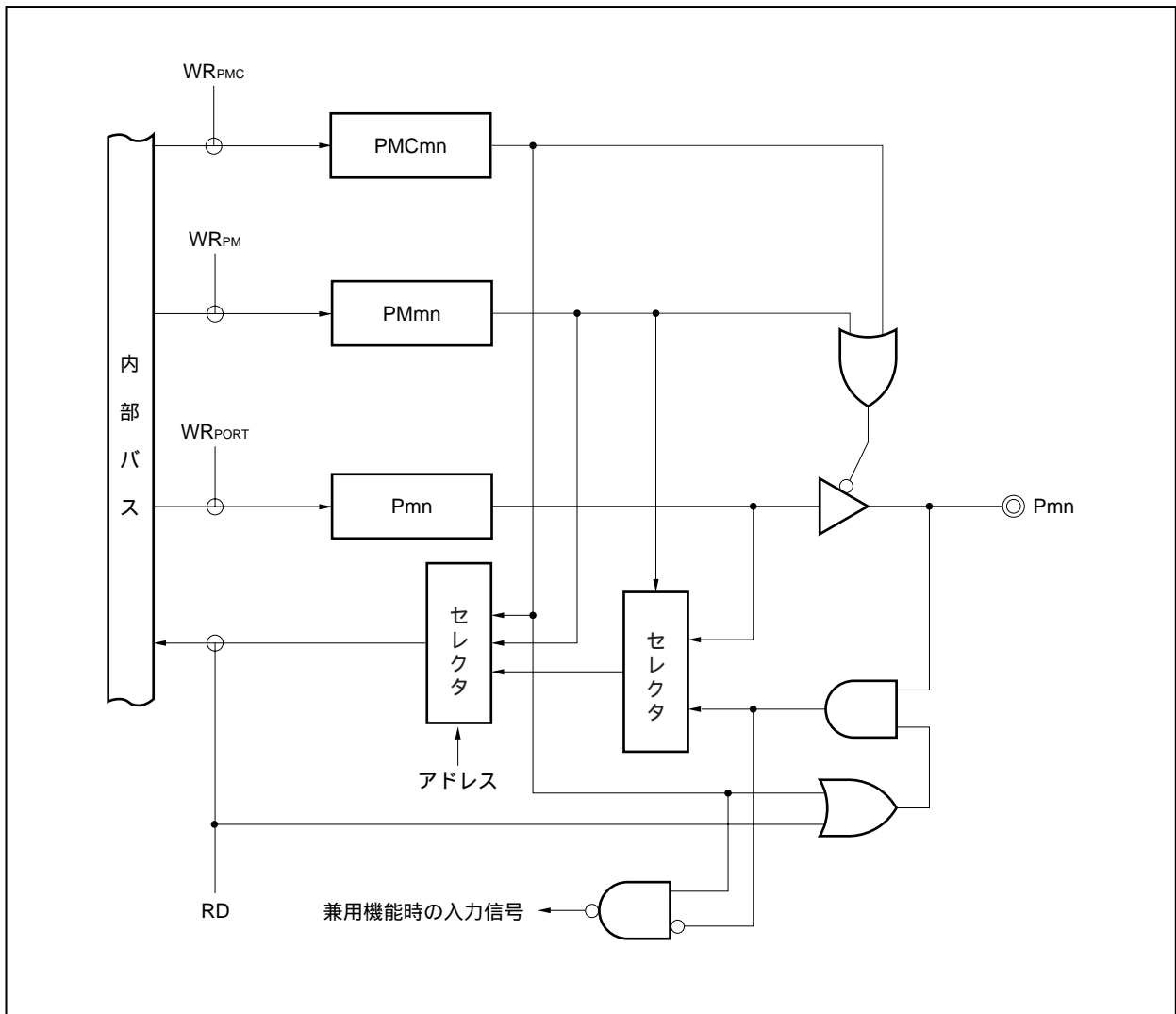


図4-9 タイプD-2のブロック図

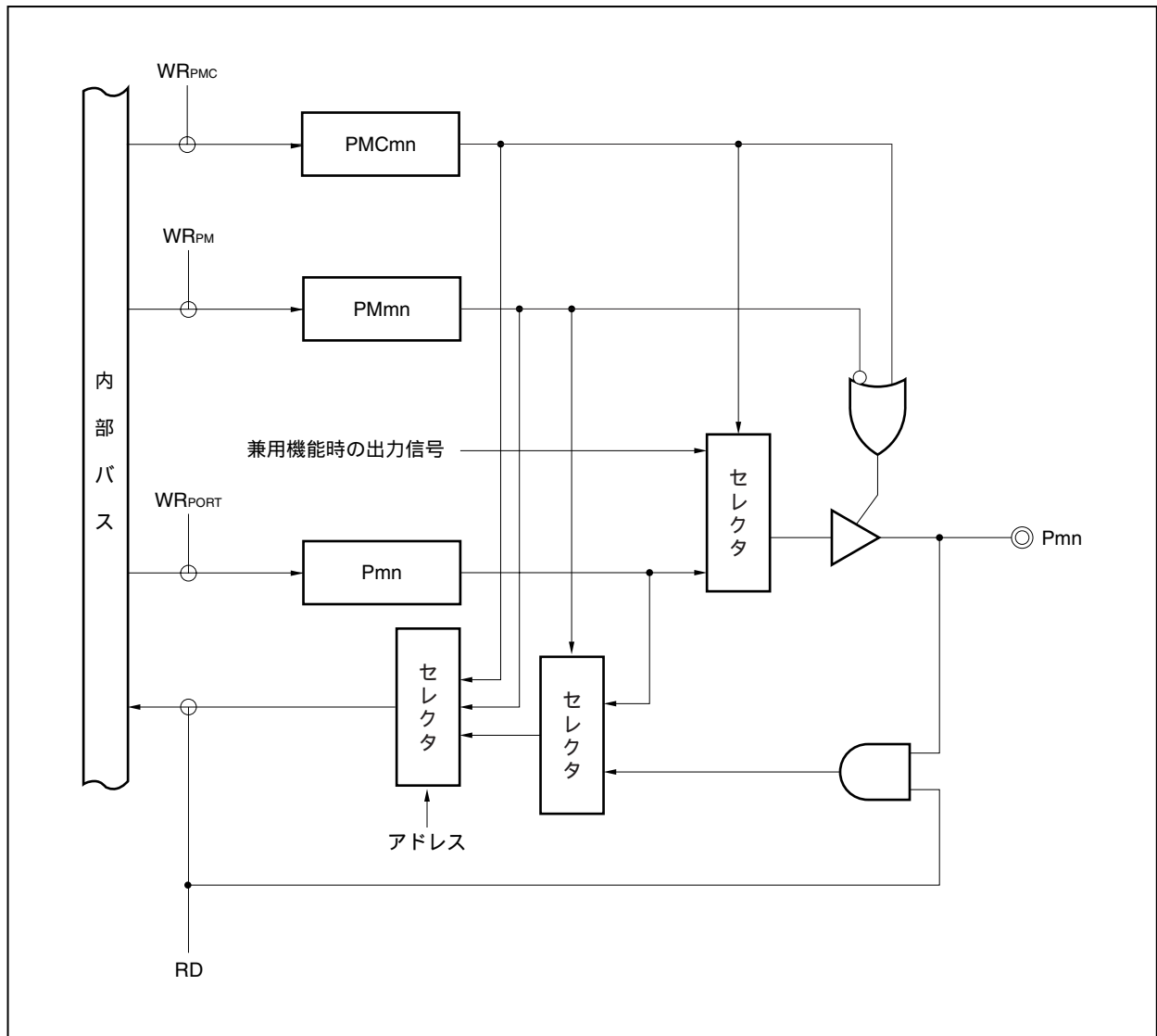


図4 - 10 タイプD - 3のブロック図

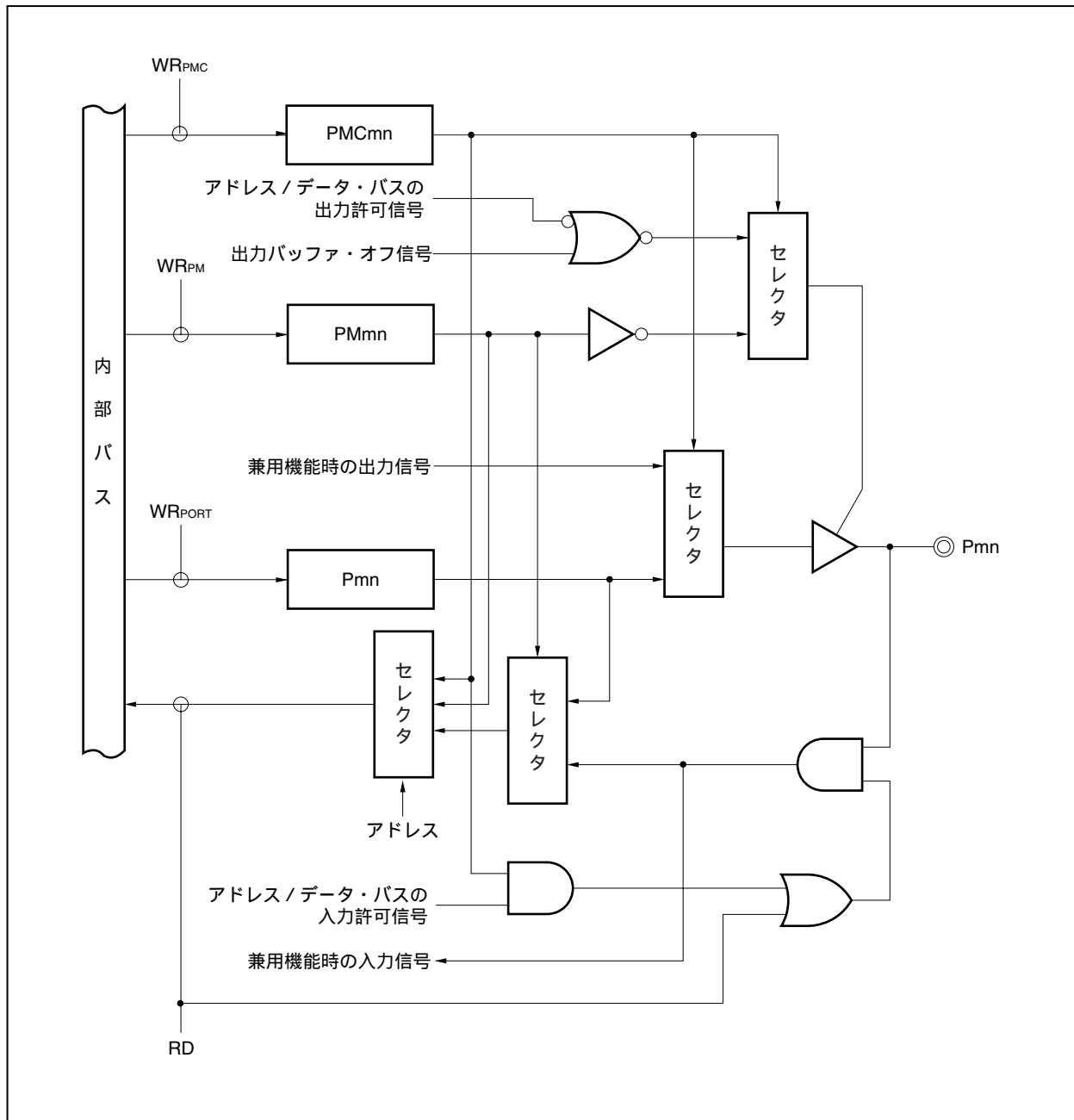




図4-11 タイプE-1のブロック図

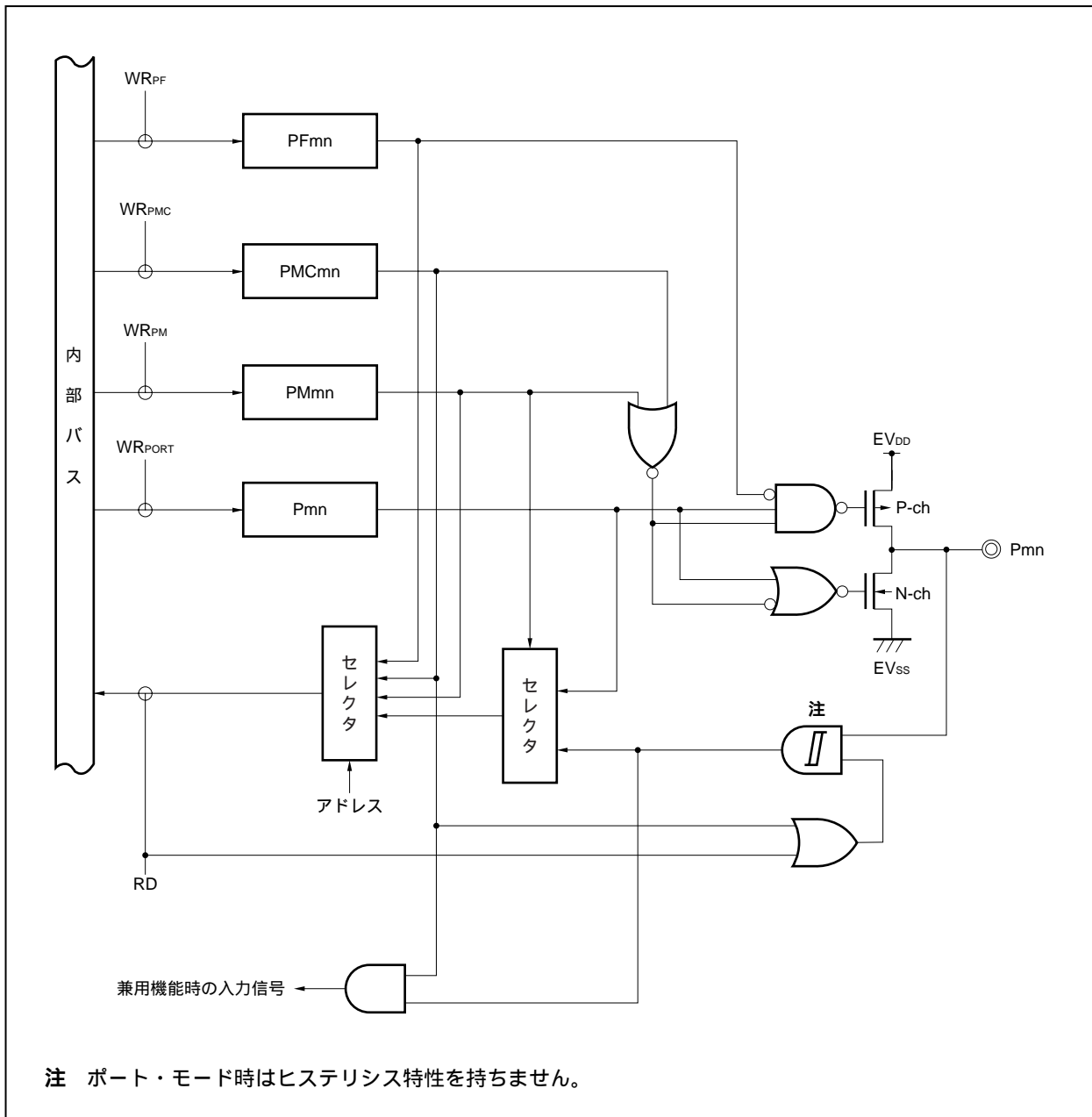


図4 - 12 タイプE - 2のブロック図

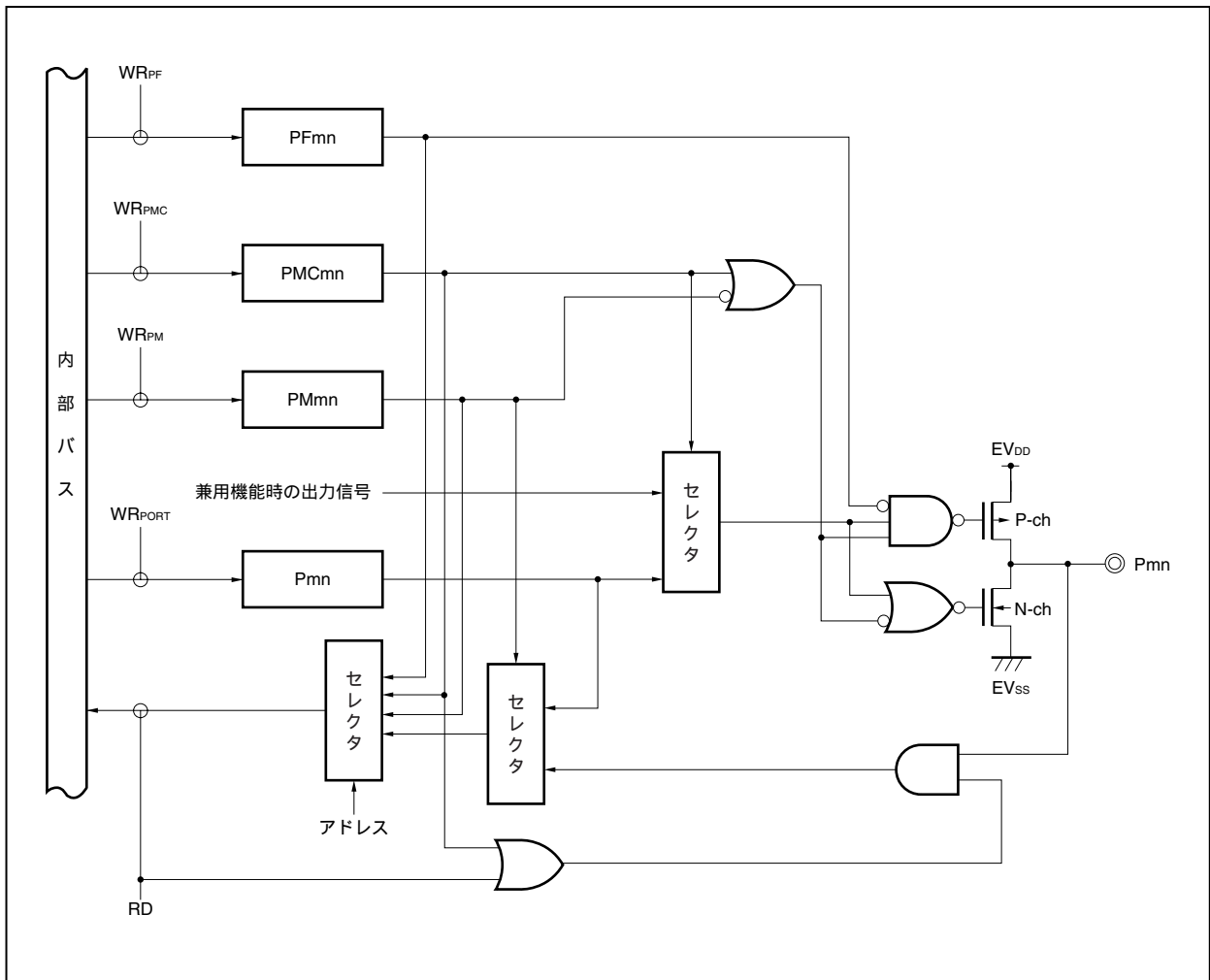


図4 - 13 タイプE - 3のブロック図

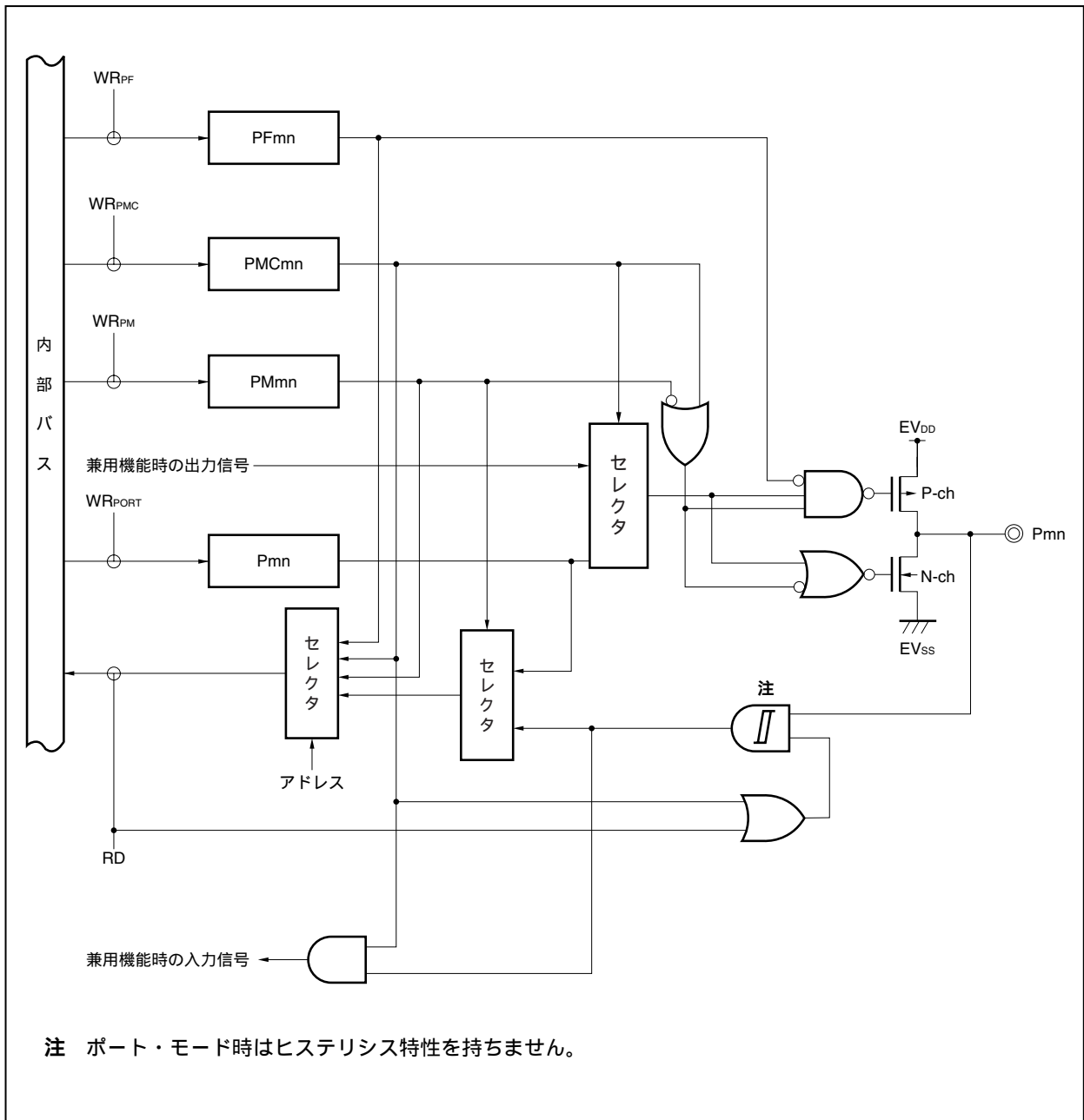


図4-14 タイプE-4のブロック図

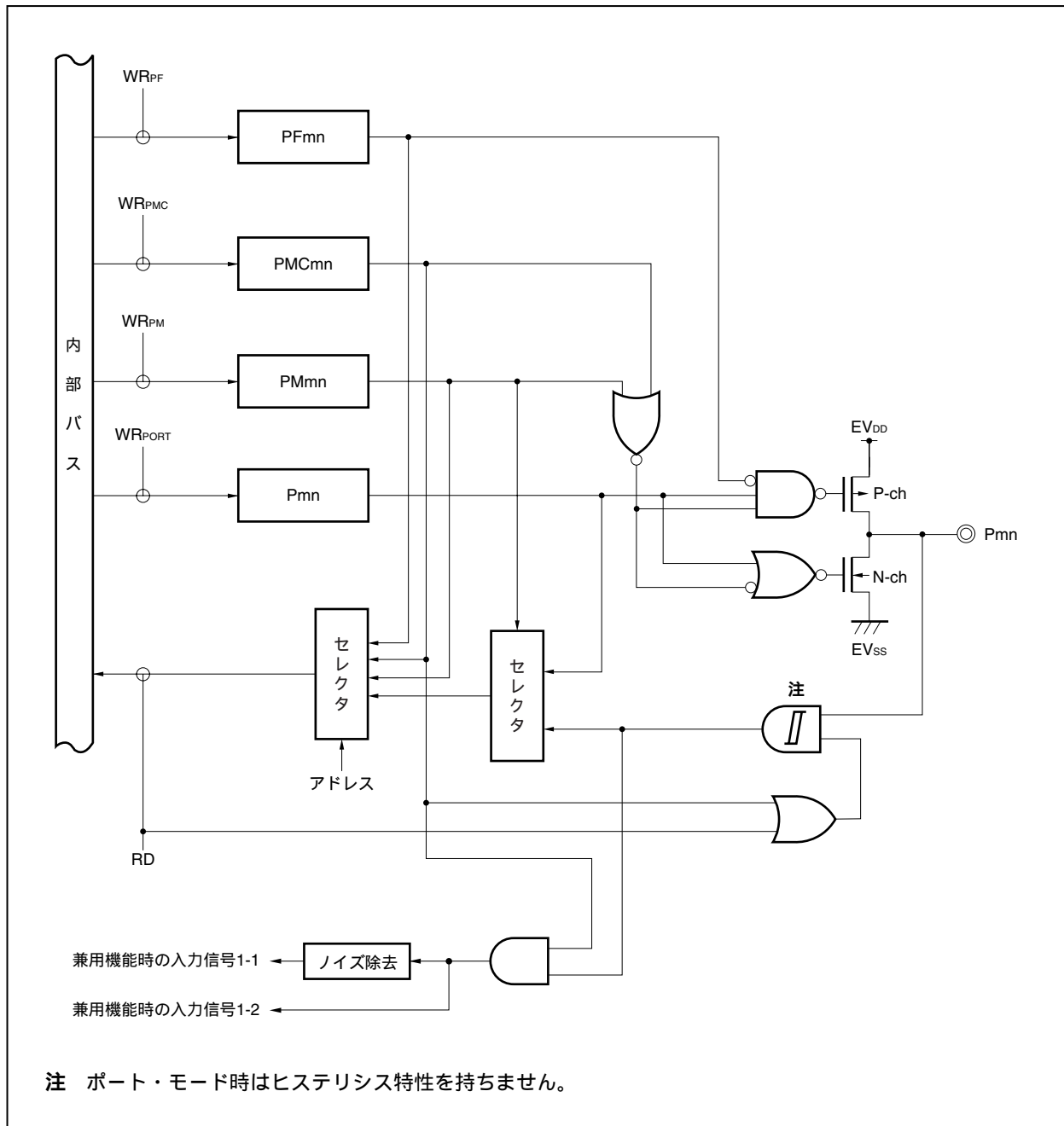


図4 - 15 タイプ F - 1のブロック図

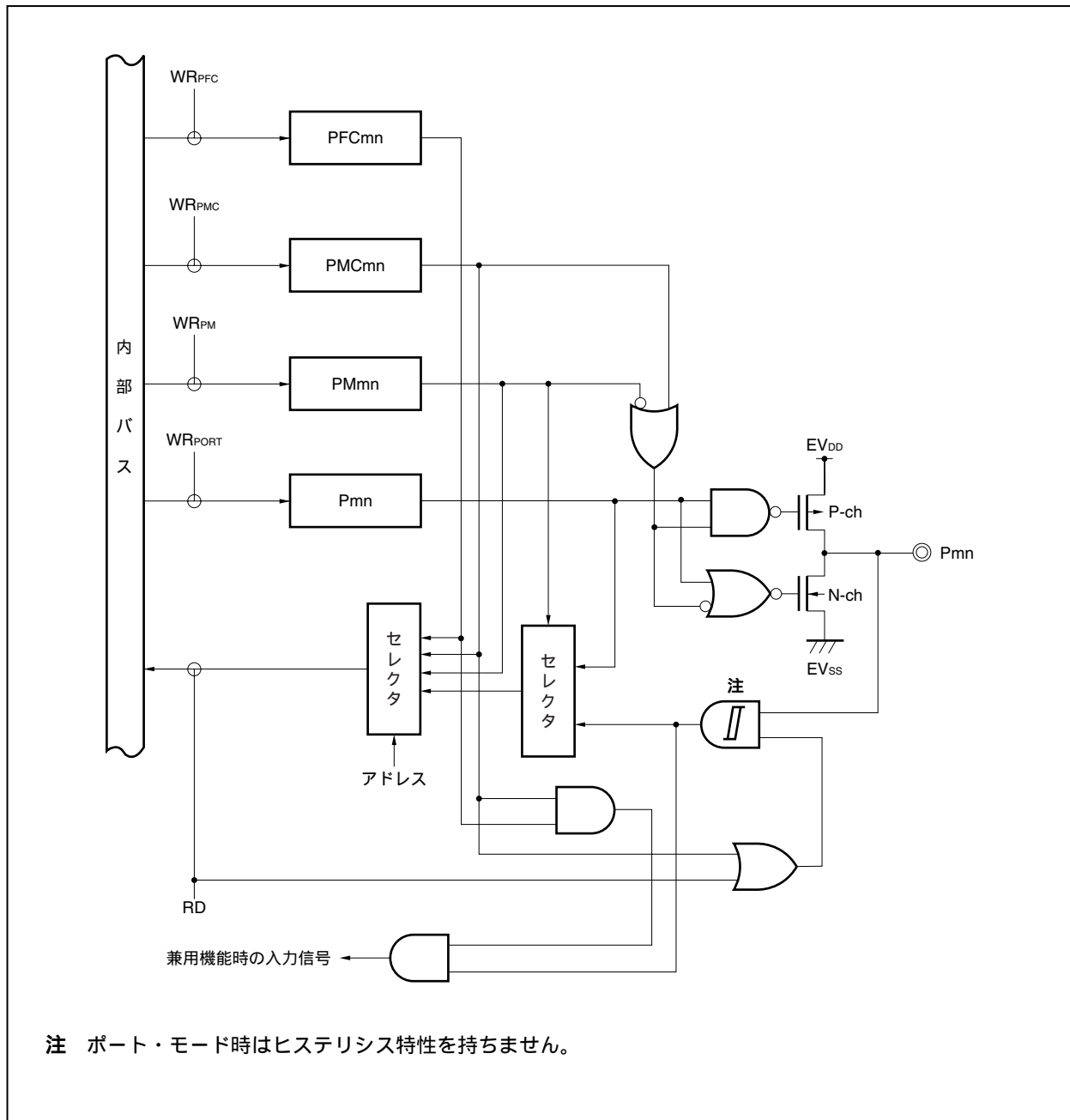


図4 - 16 タイプF - 2のブロック図

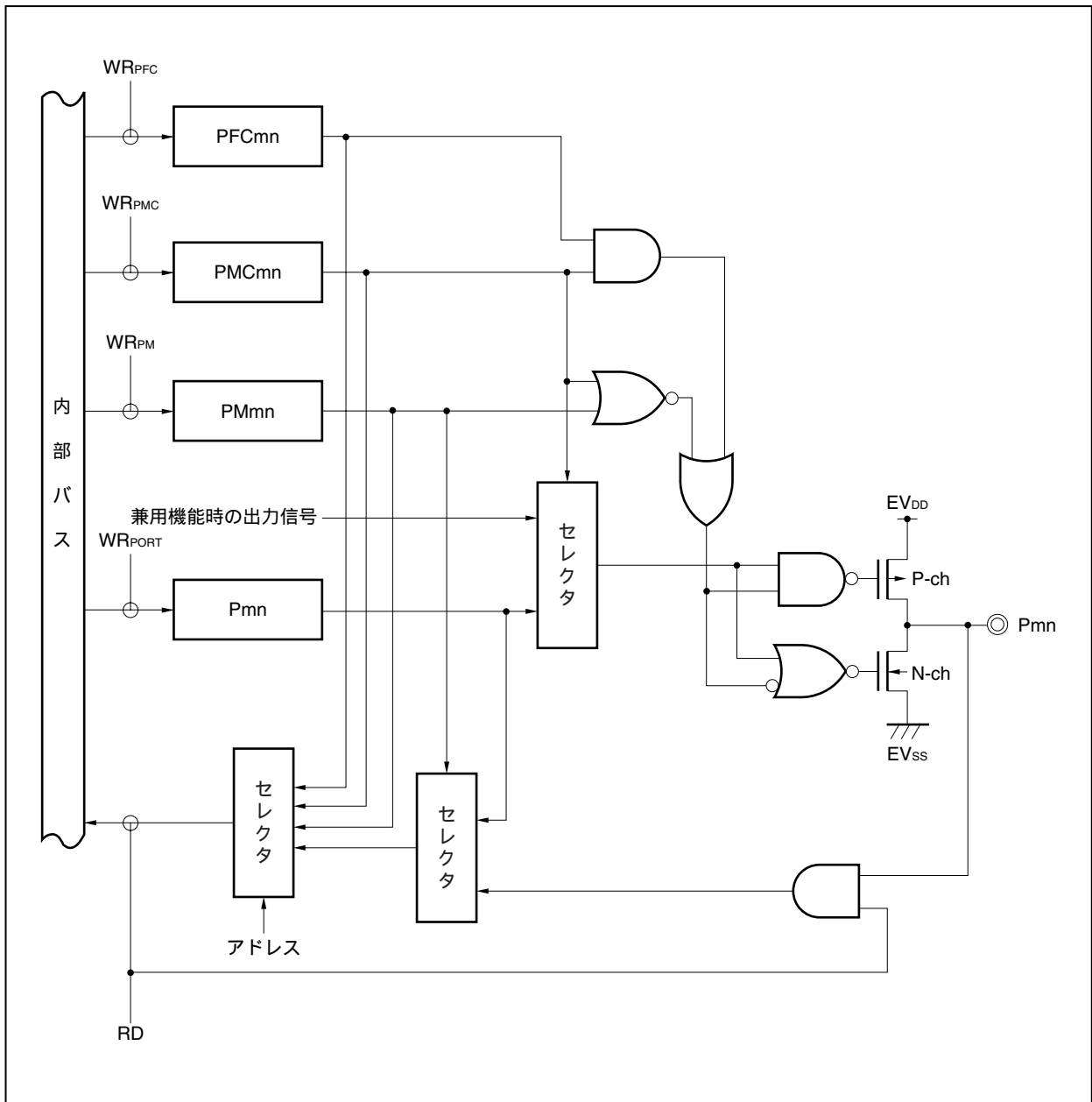


図4-17 タイプG-1のブロック図

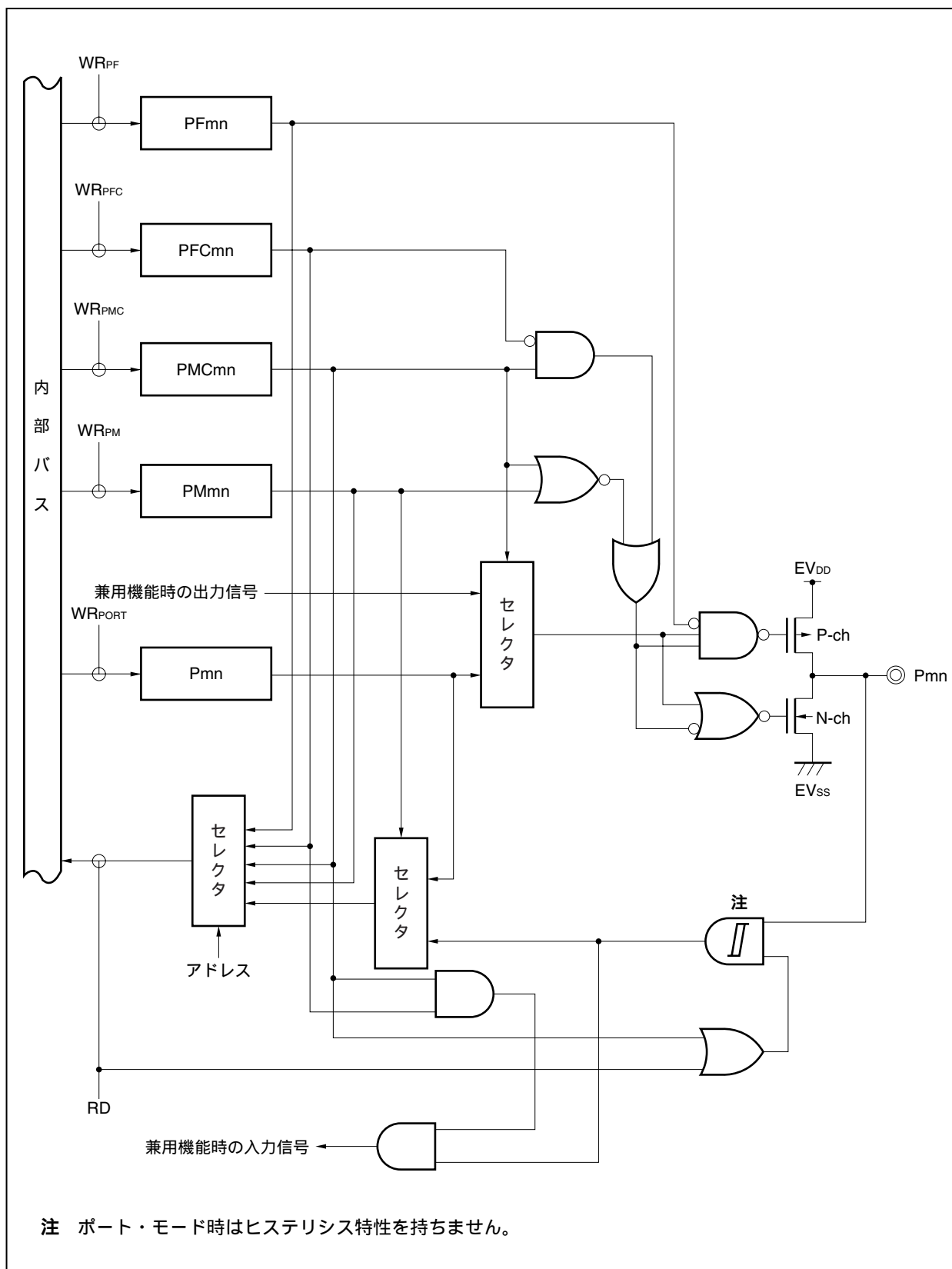


図4-18 タイプG-2のブロック図

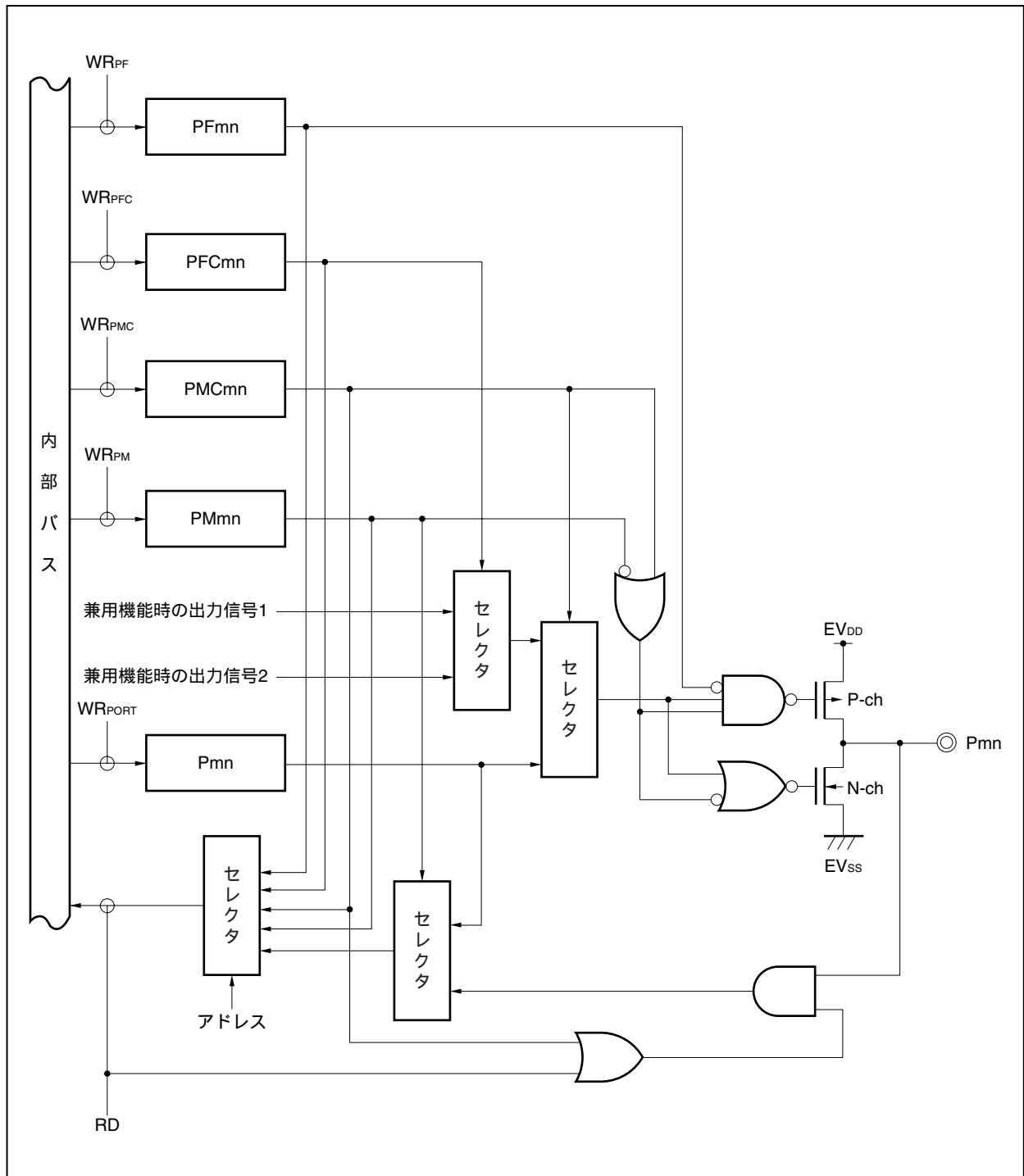




図4-19 タイプG-3のブロック図

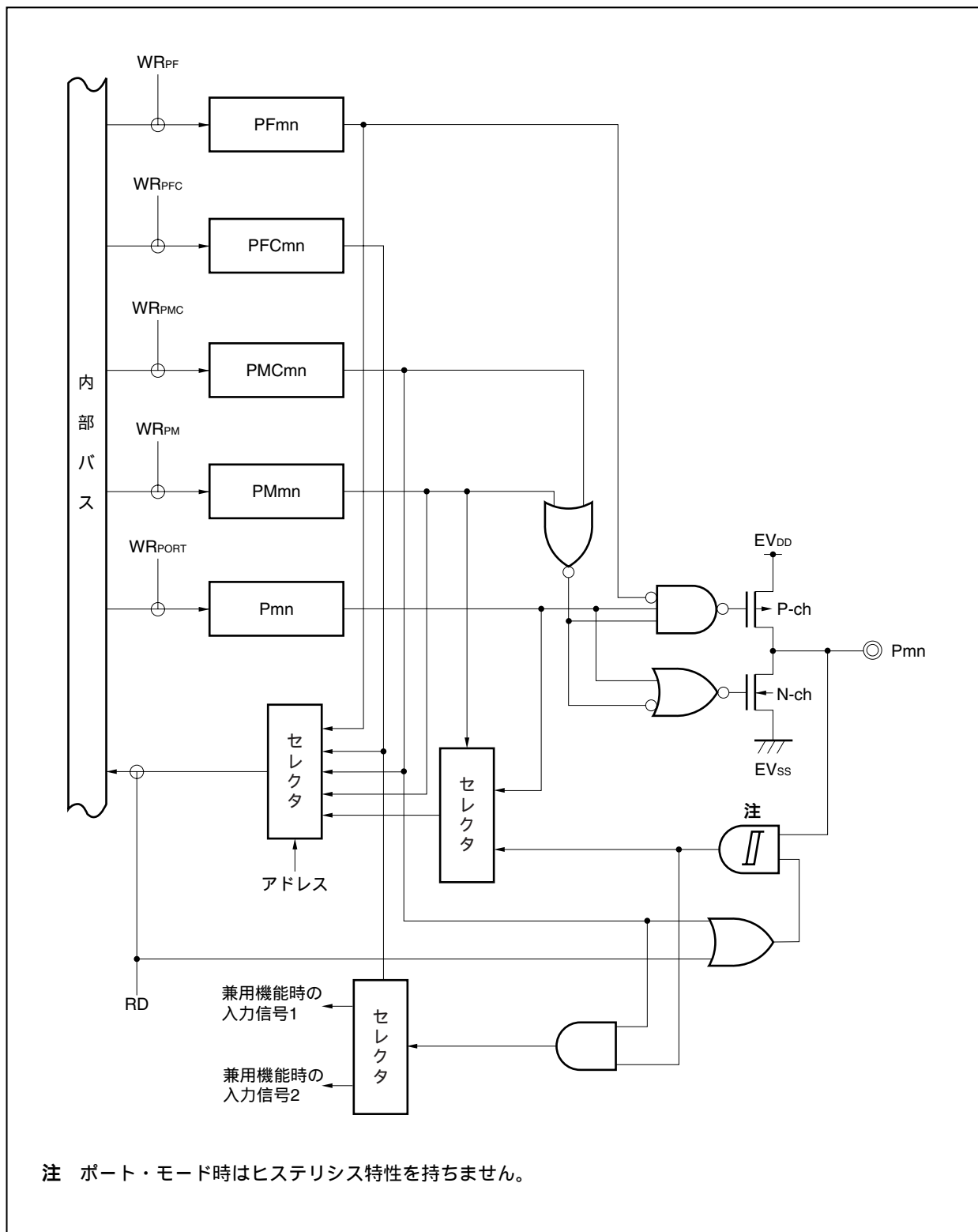


図4-20 タイプG-4のブロック図

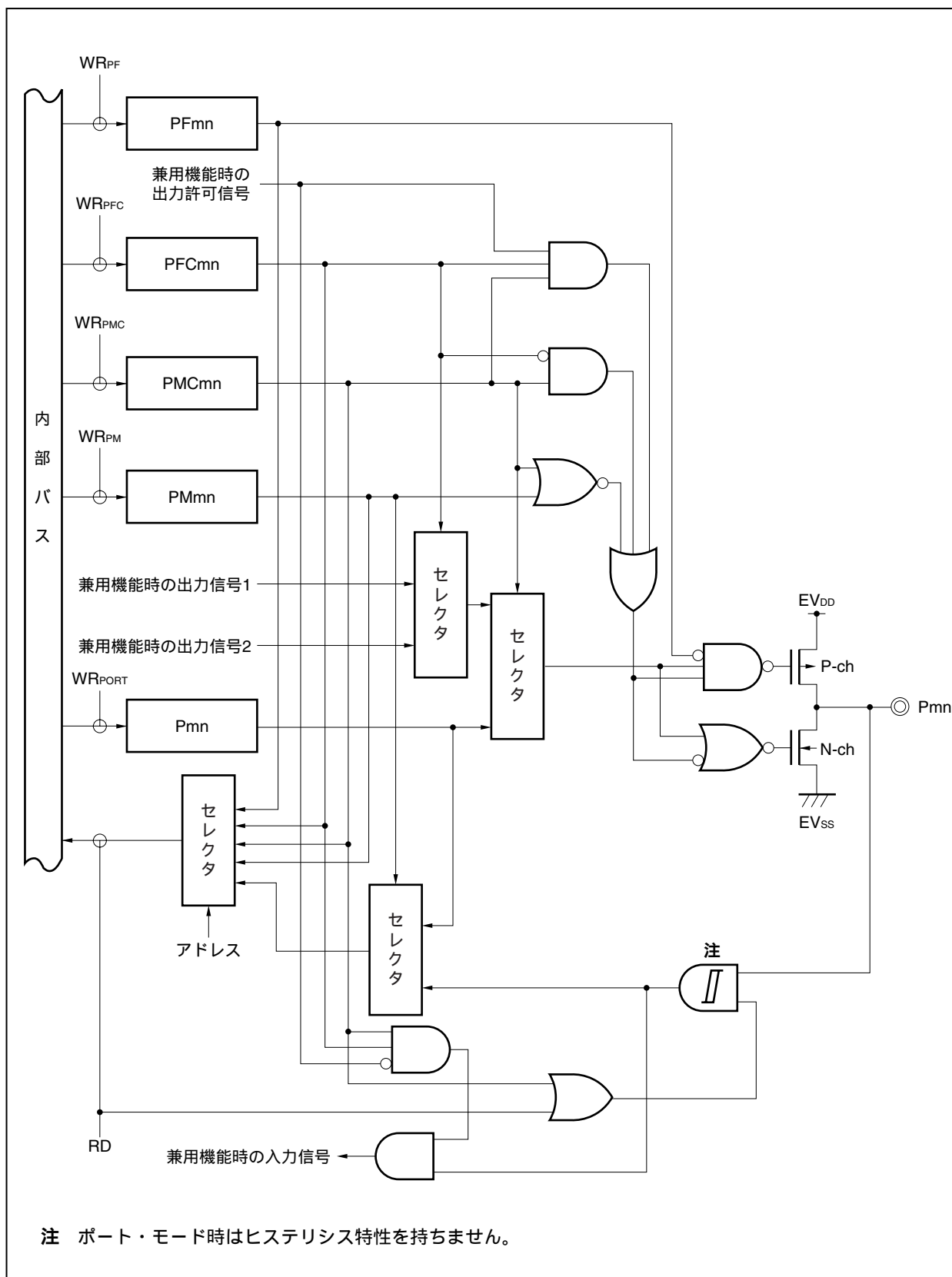


図4-21 タイプG-5のブロック図

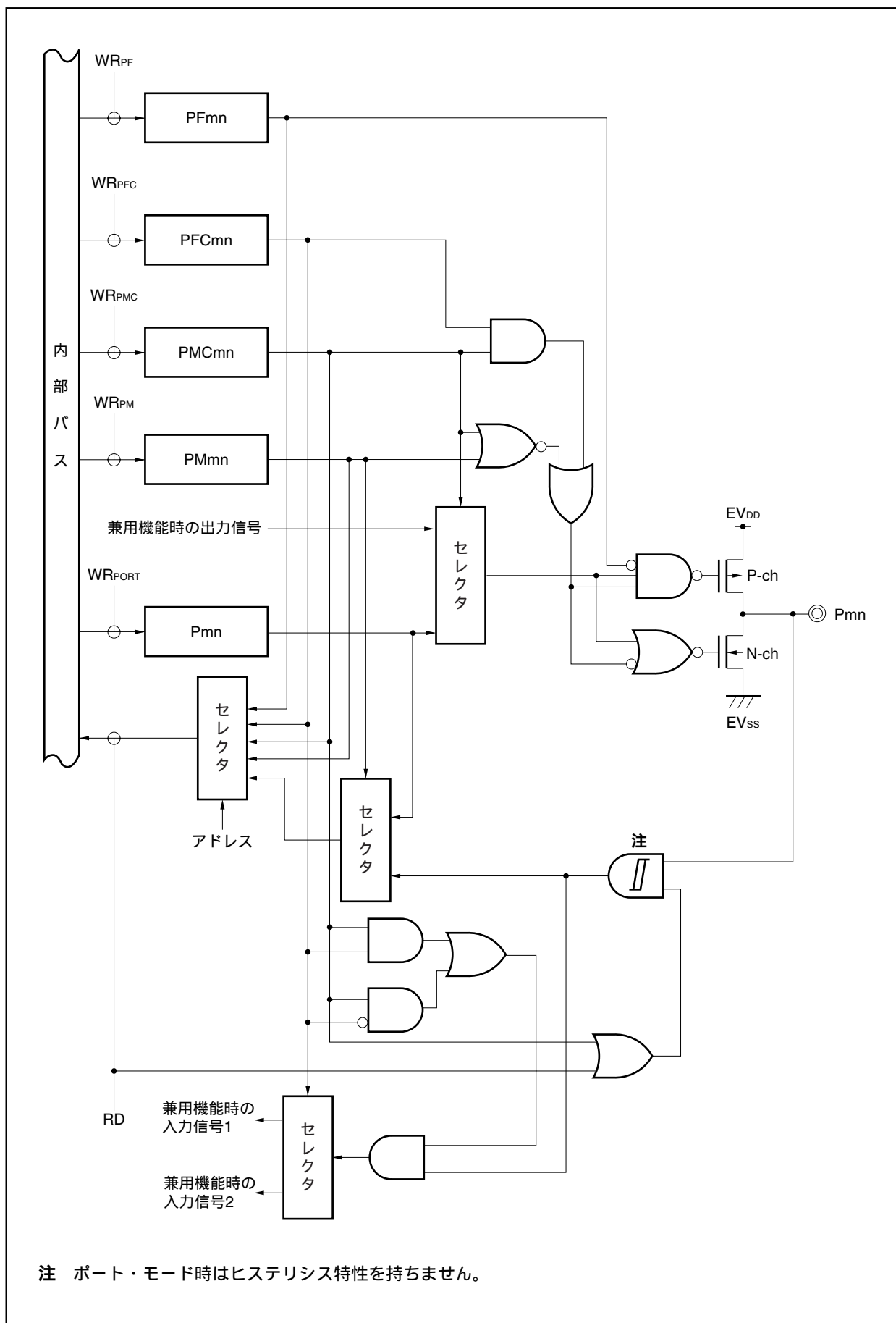


図4-22 タイプG-6のブロック図

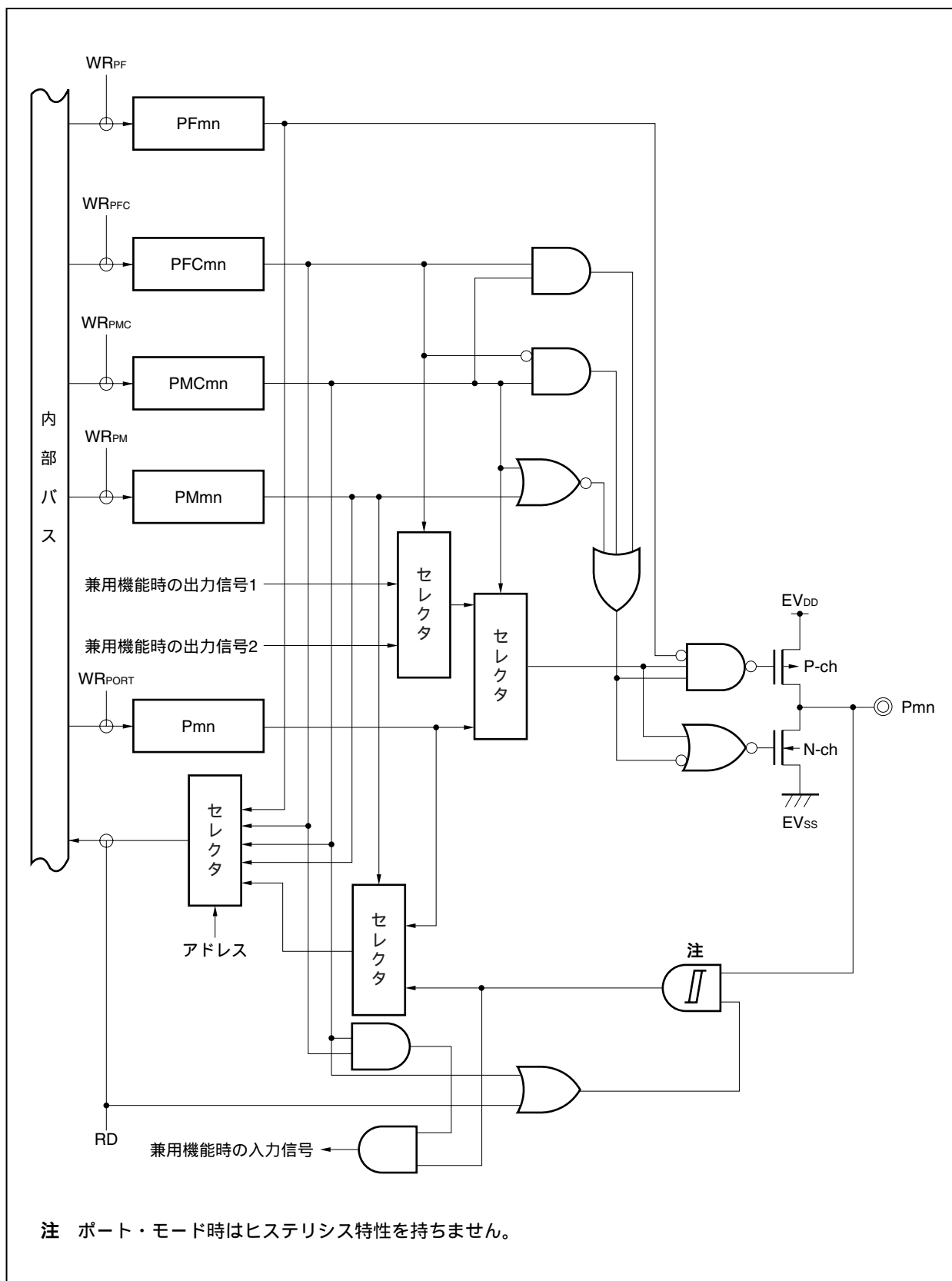


図4-23 タイプG-7のブロック図

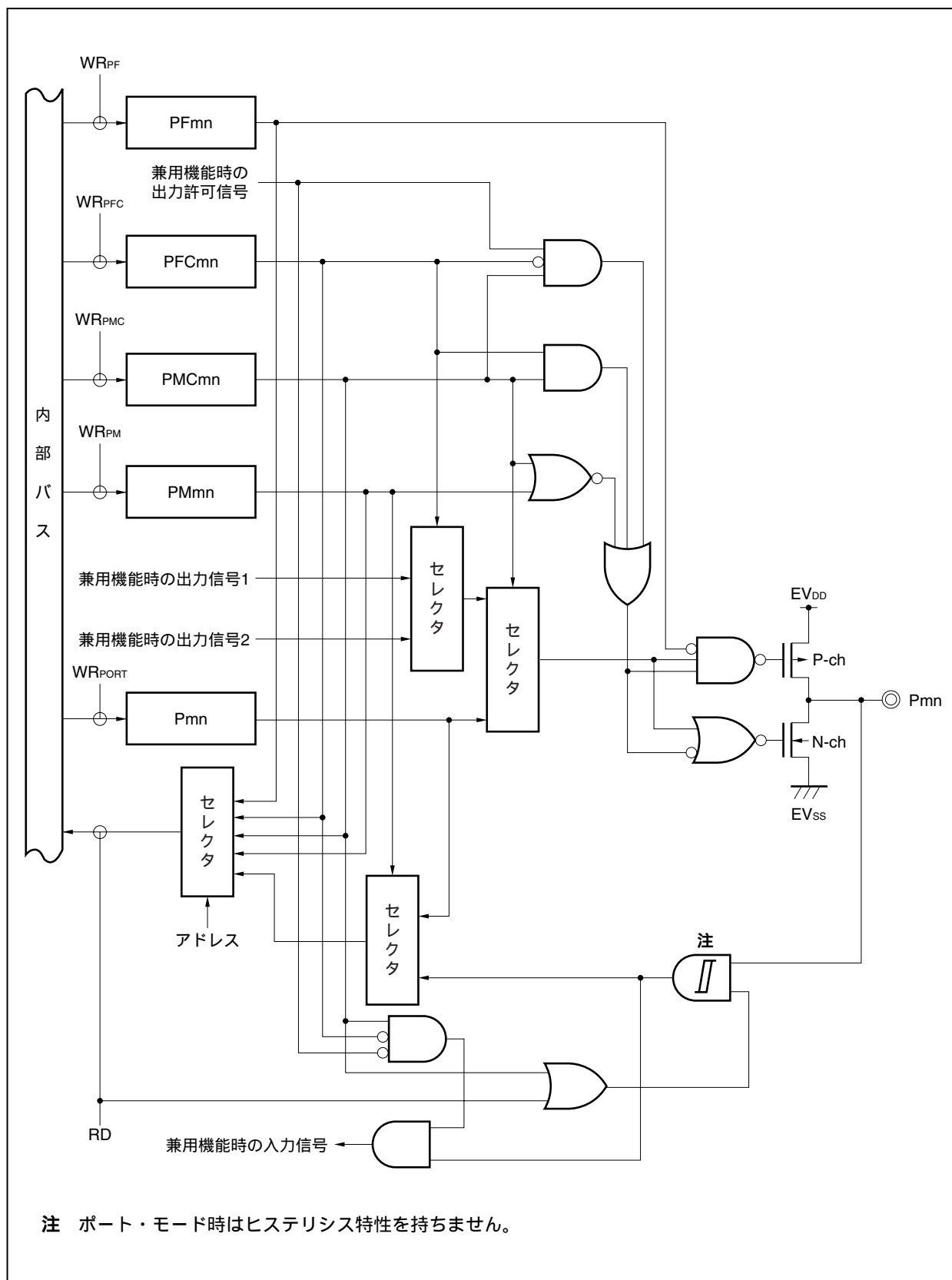


図4-24 タイプL-1のブロック図

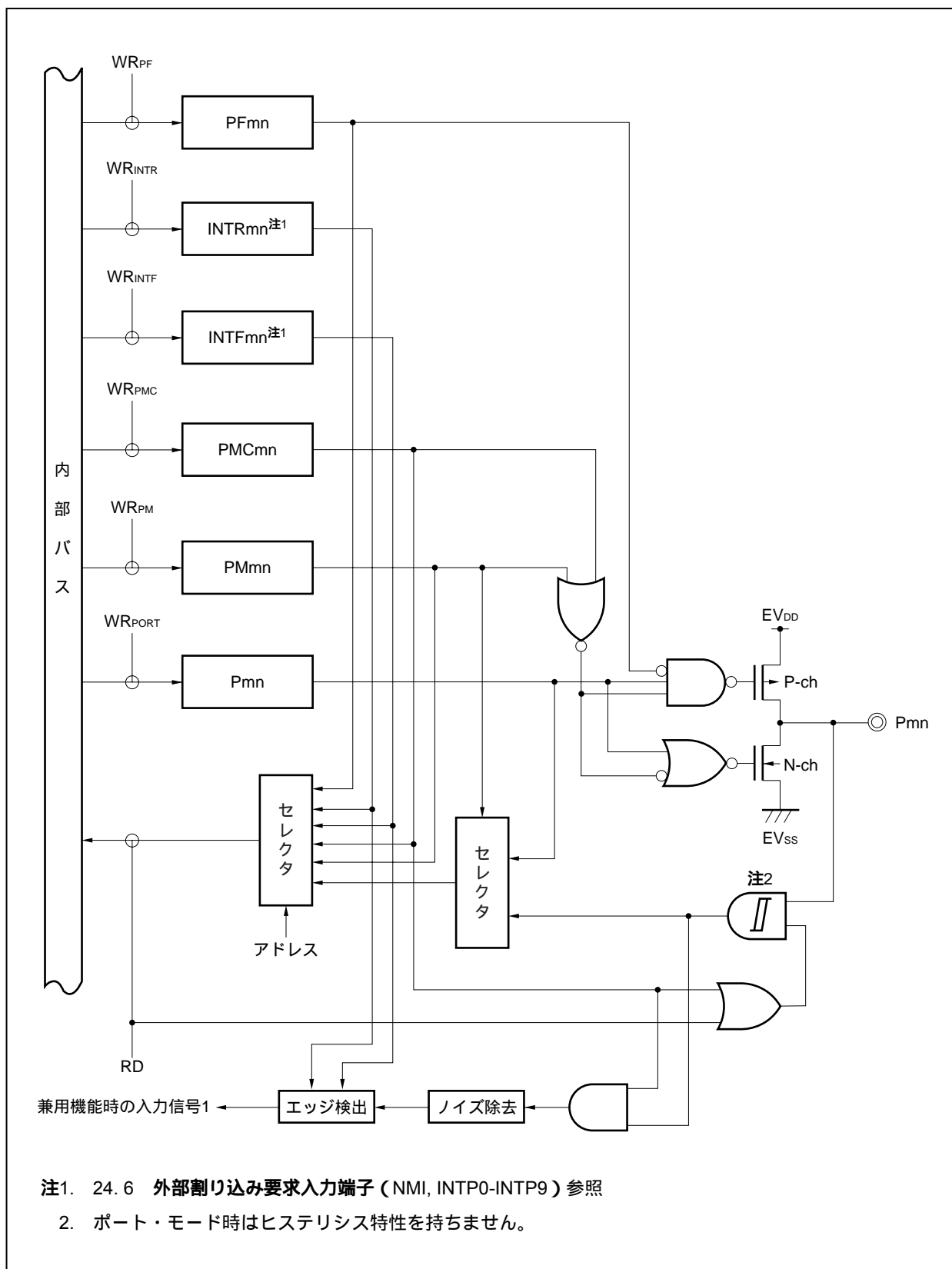


図4-25 タイプN-1のブロック図

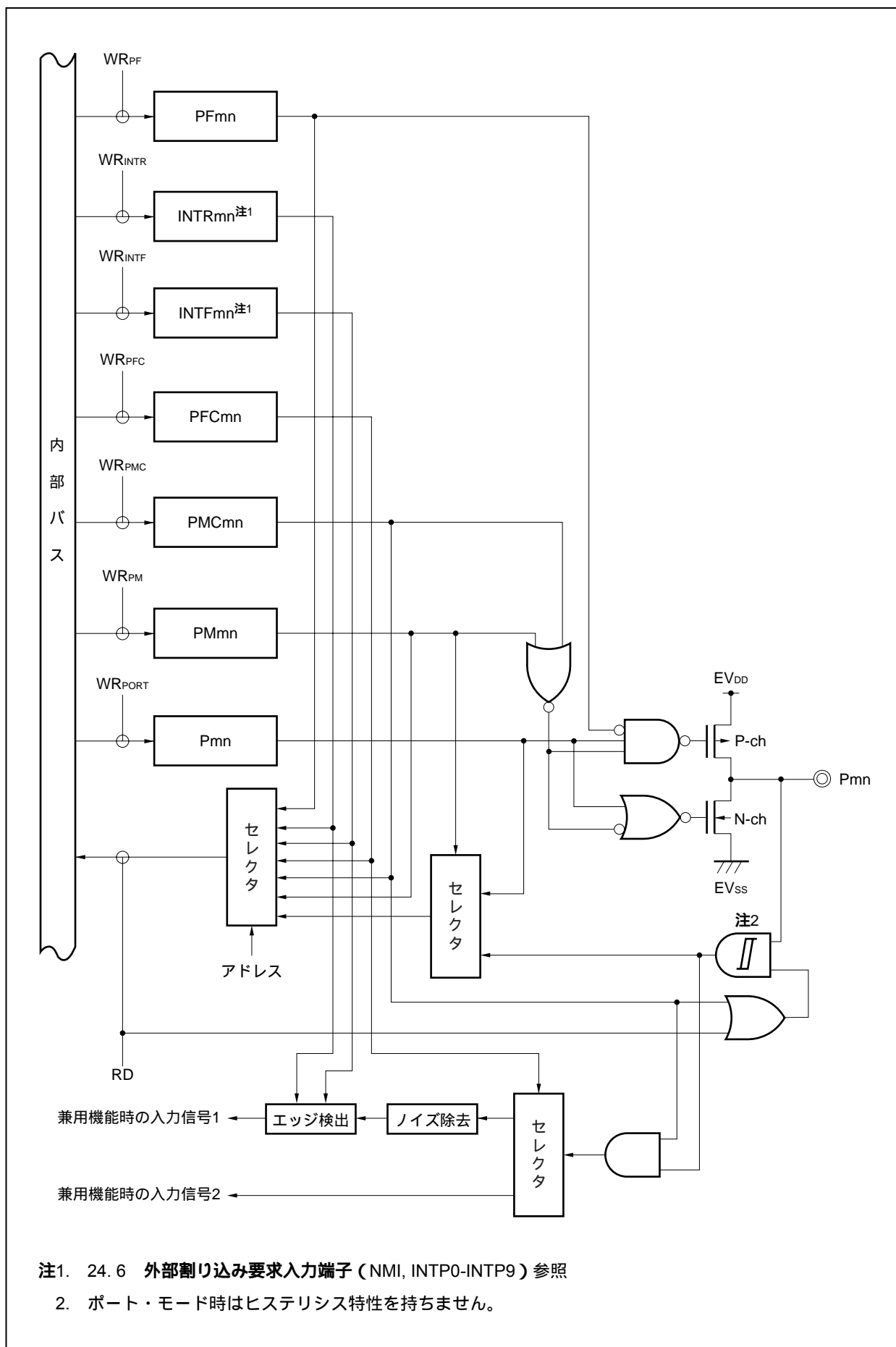


図4-26 タイプN-2のブロック図

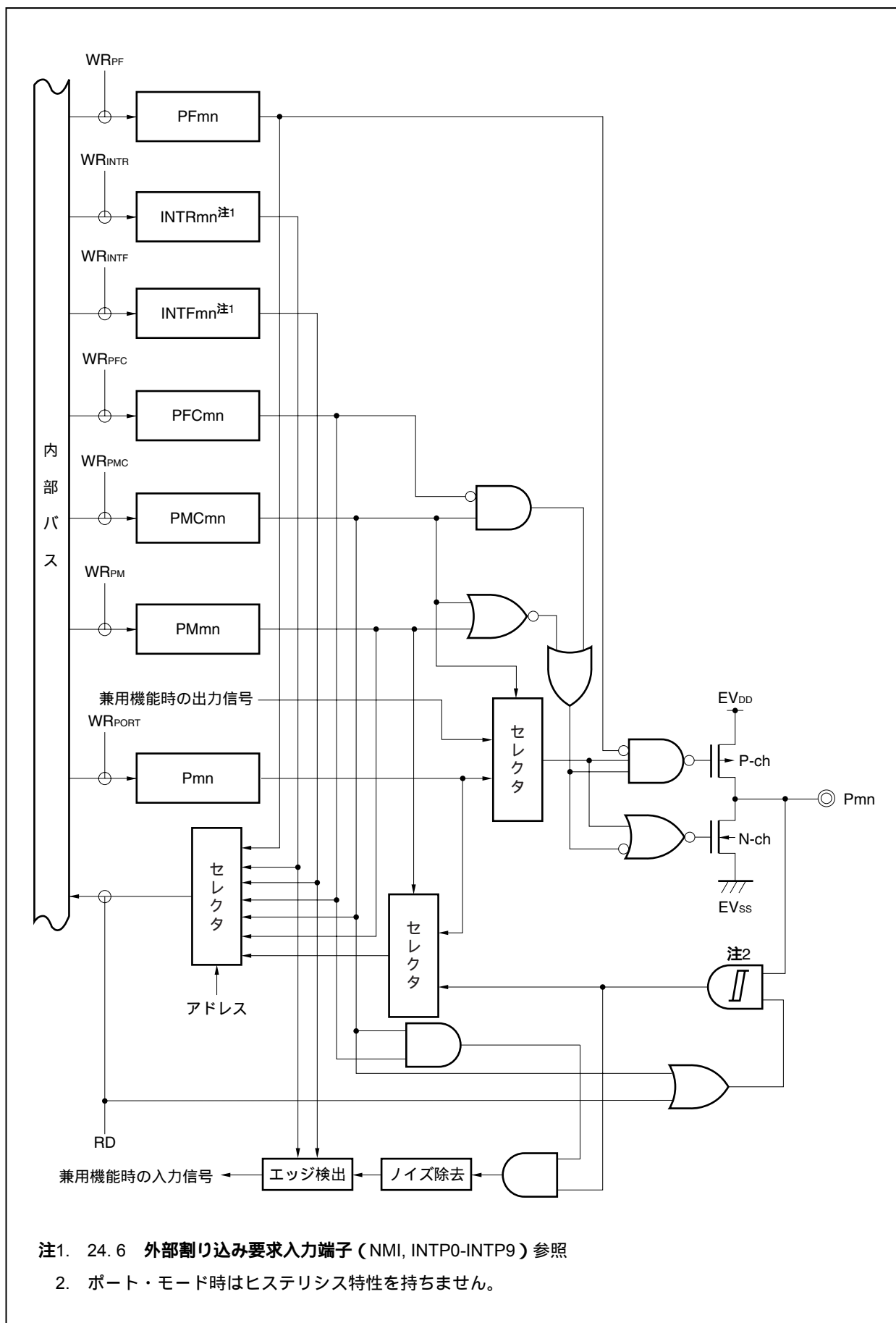




図4-27 タイプN-3のブロック図

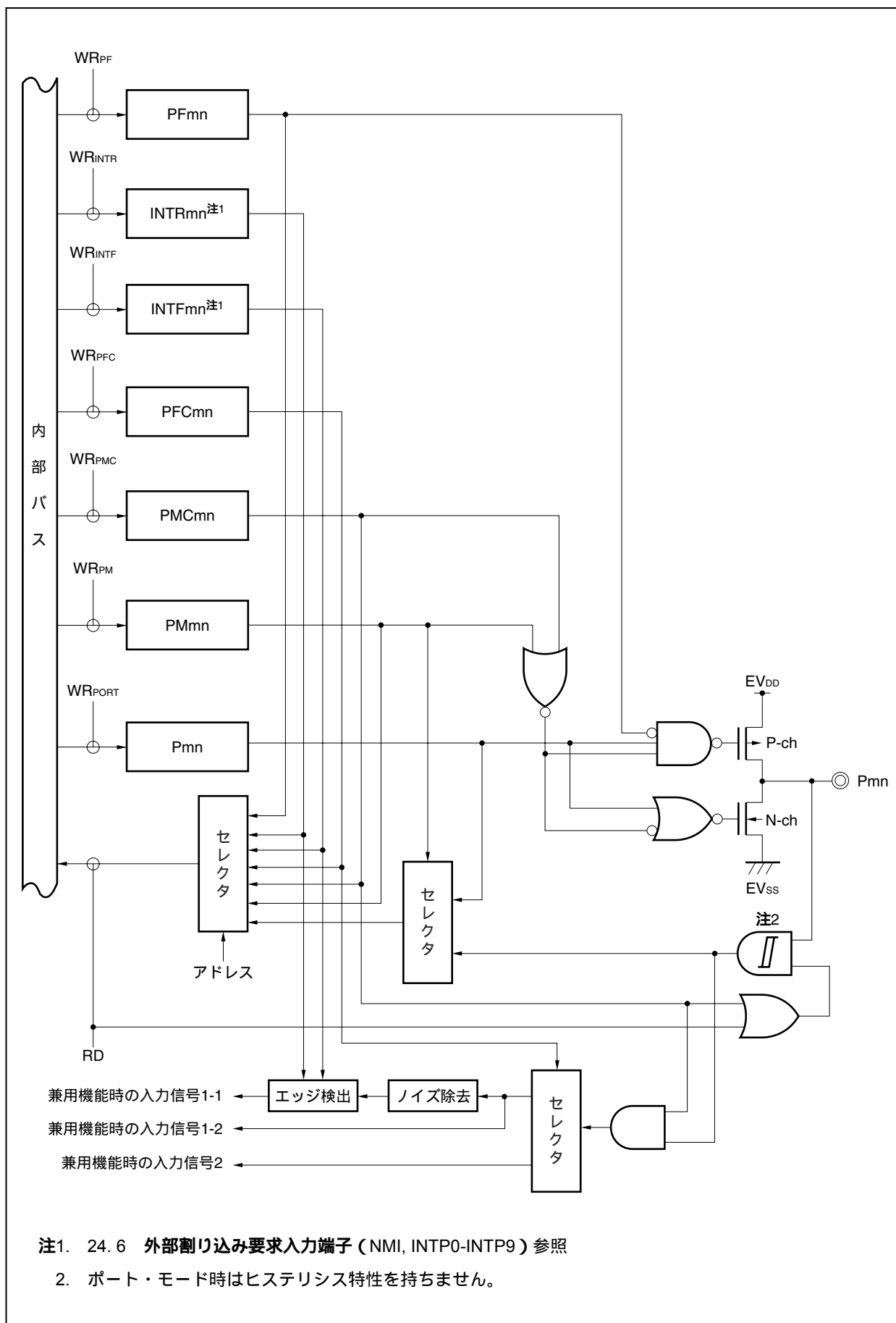


図4-28 タイプN-4のブロック図

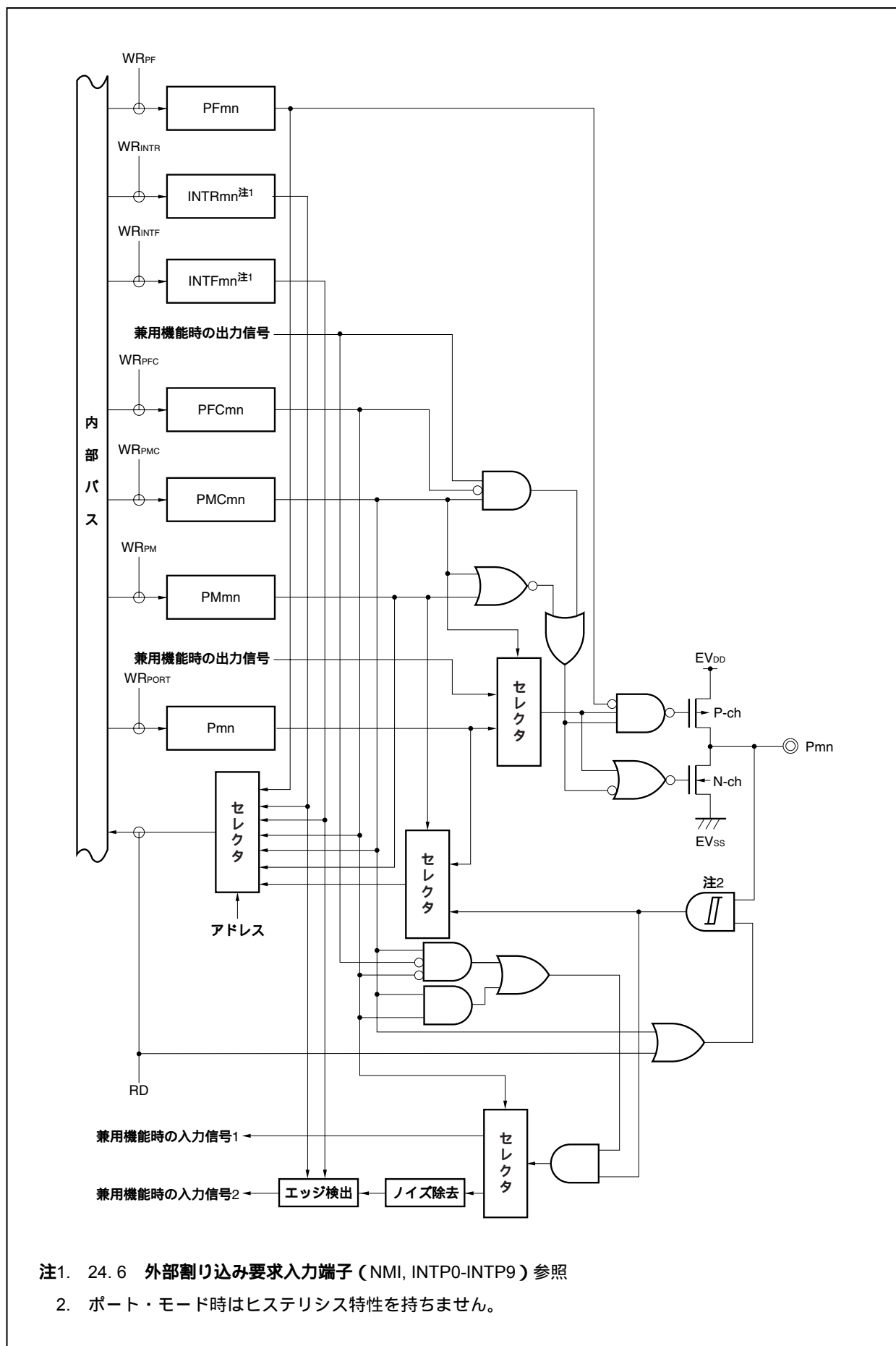
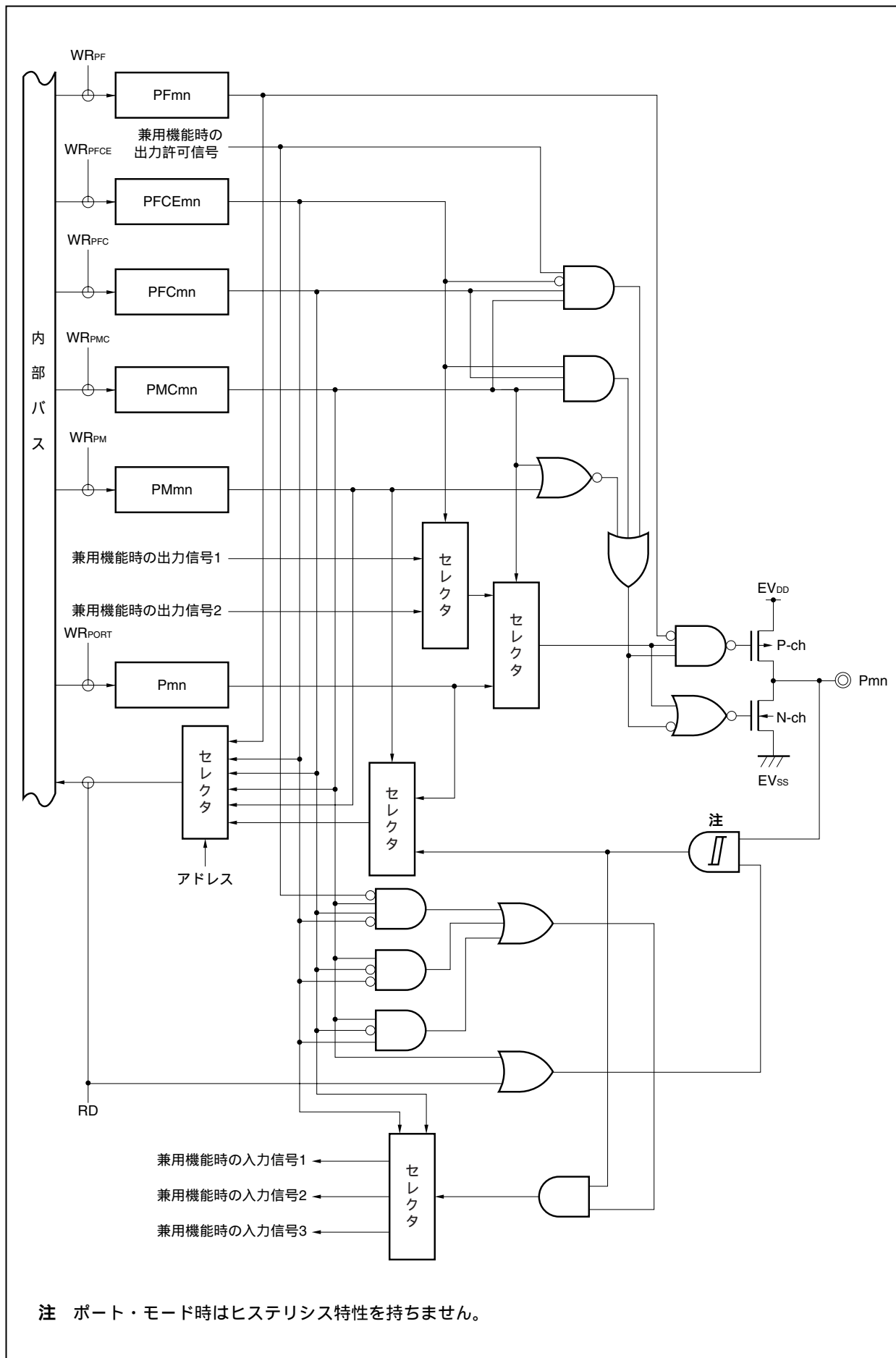


図4-29 タイプU-1のブロック図



注 ポート・モード時はヒステリシス特性を持ちません。

図4-30 タイプU-2のブロック図

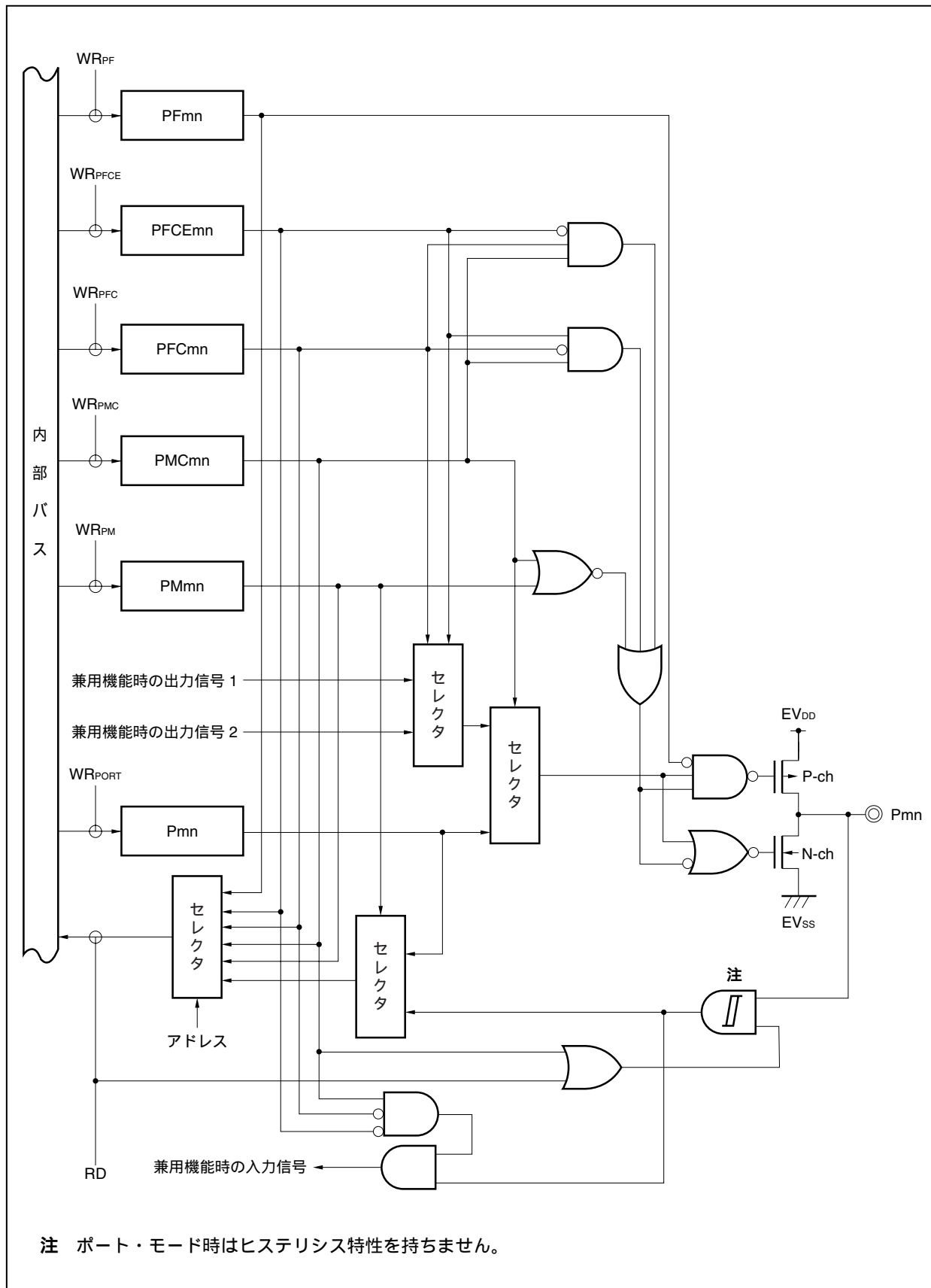


図4-31 タイプU-3のブロック図

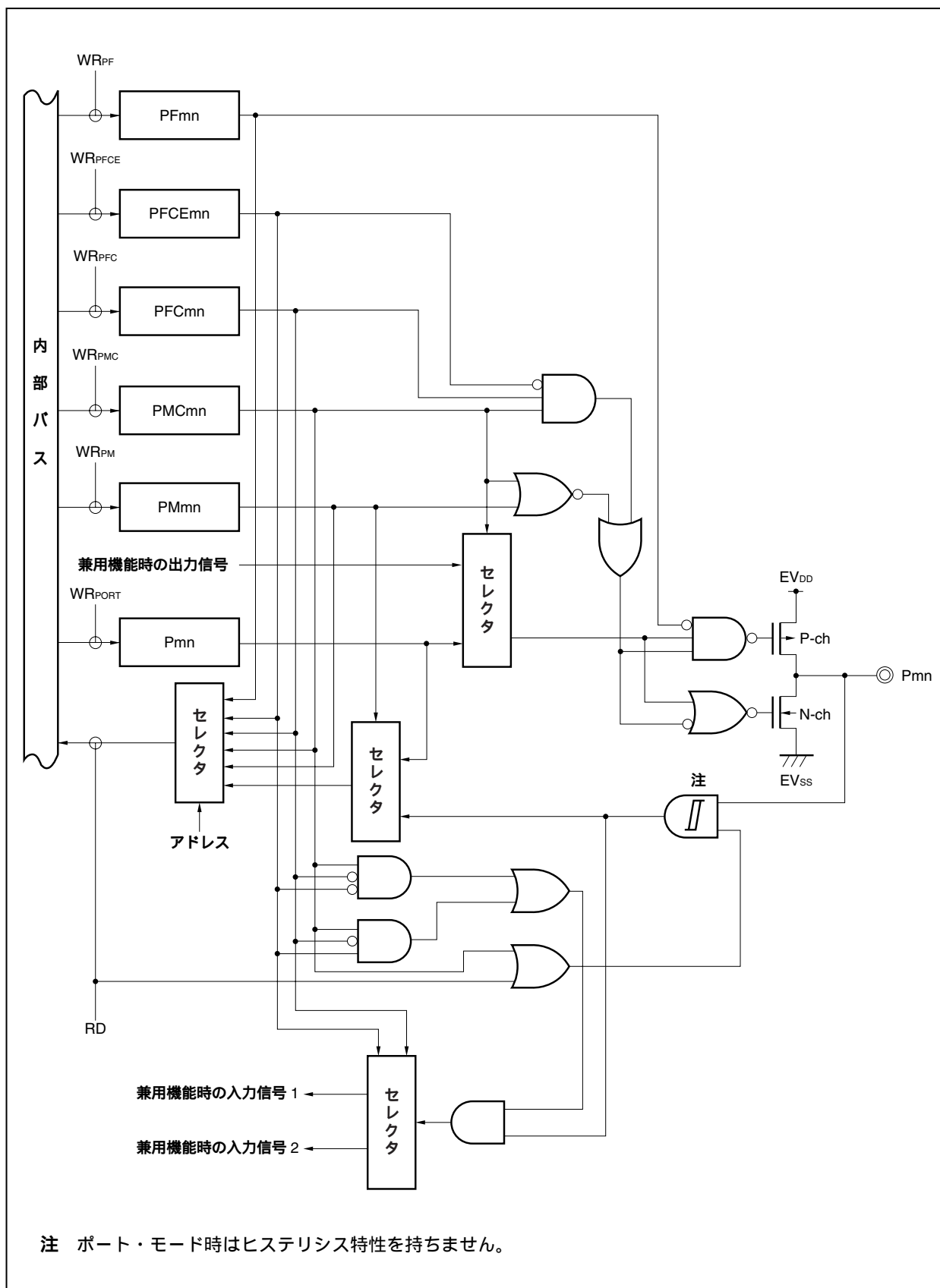


図4-32 タイプU-4のブロック図

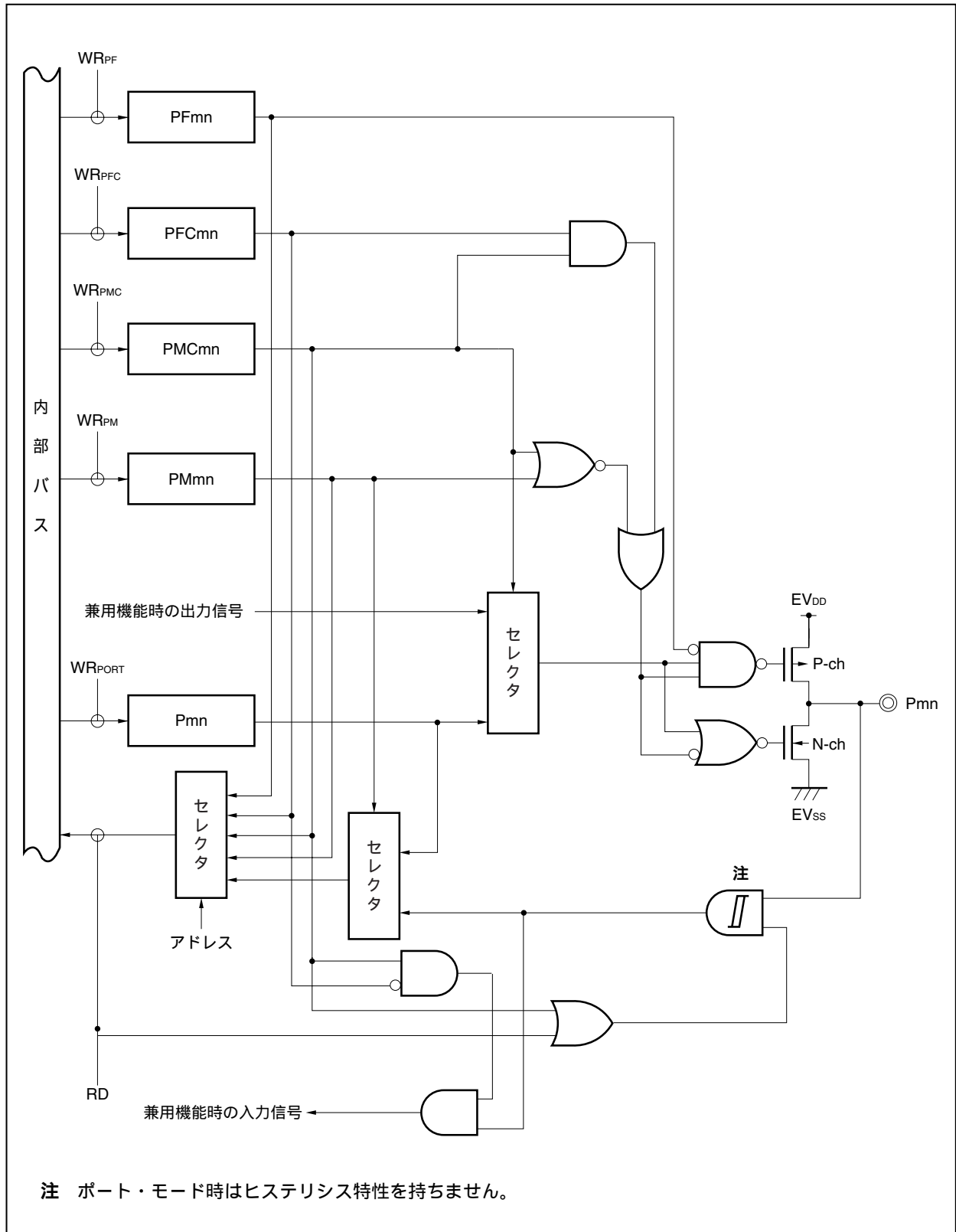


図4-33 タイプU-5のブロック図

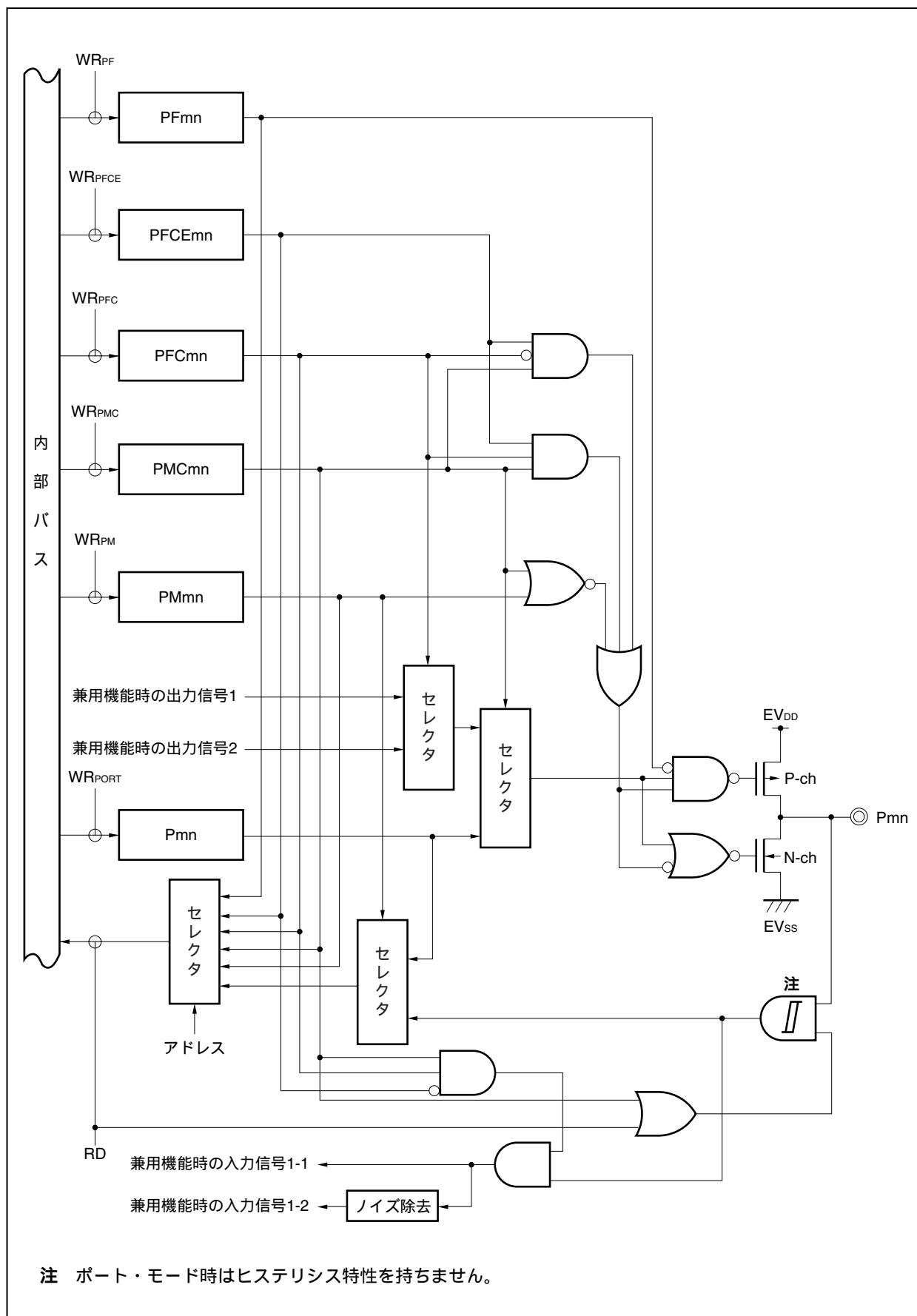


図4-34 タイプU-6のブロック図

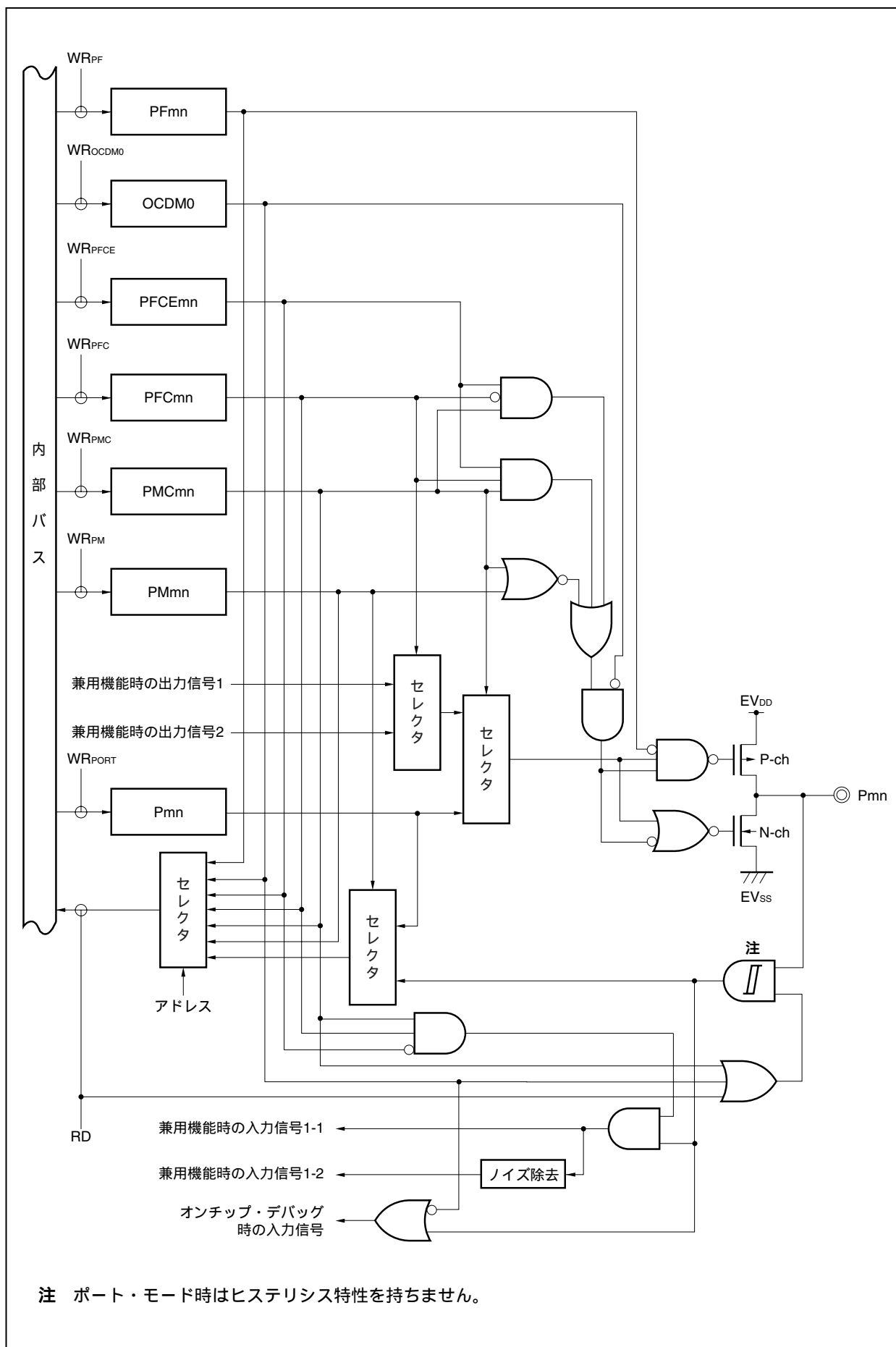




図4-35 タイプU-7のブロック図

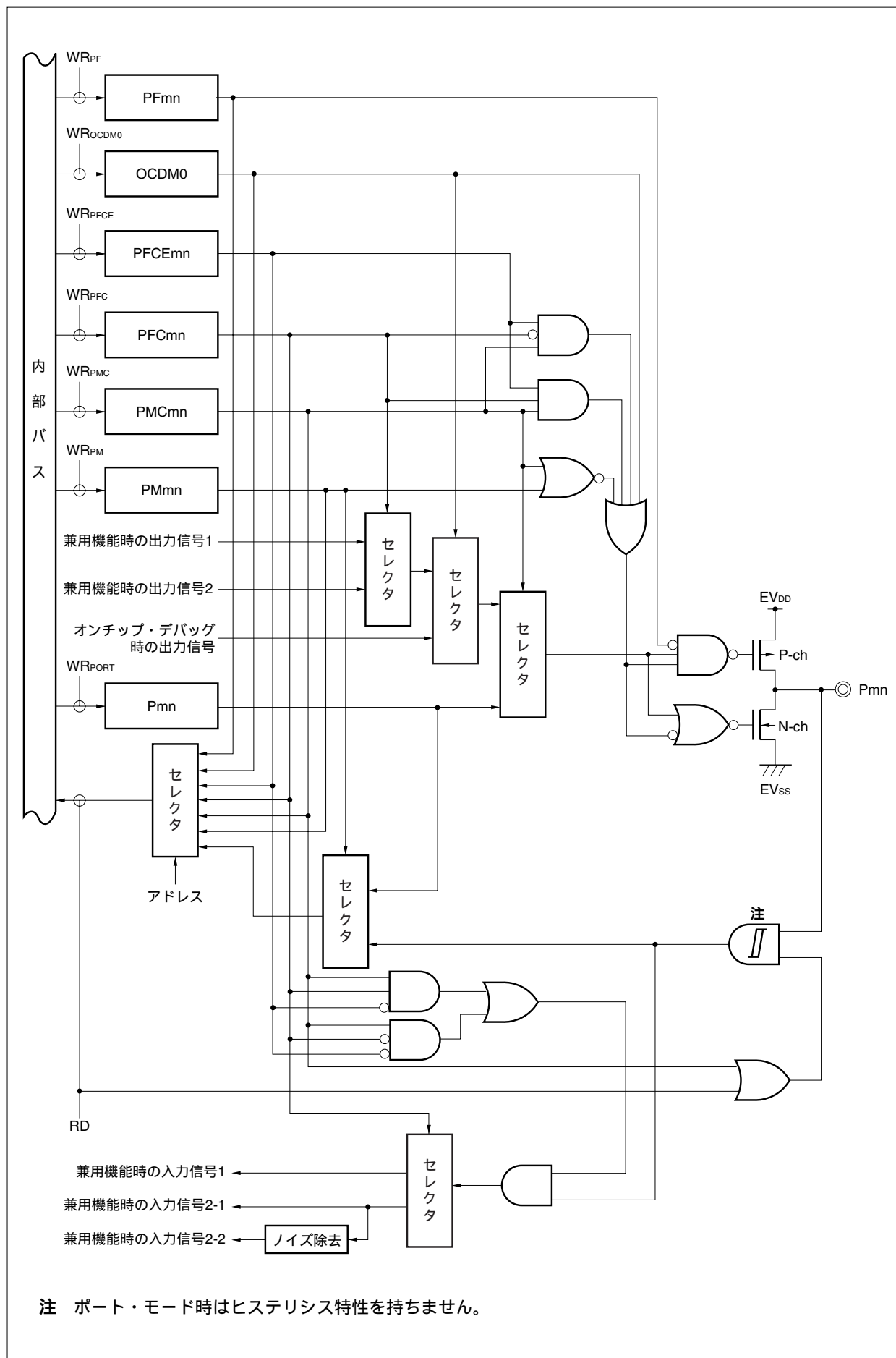


図4-36 タイプU-8のブロック図

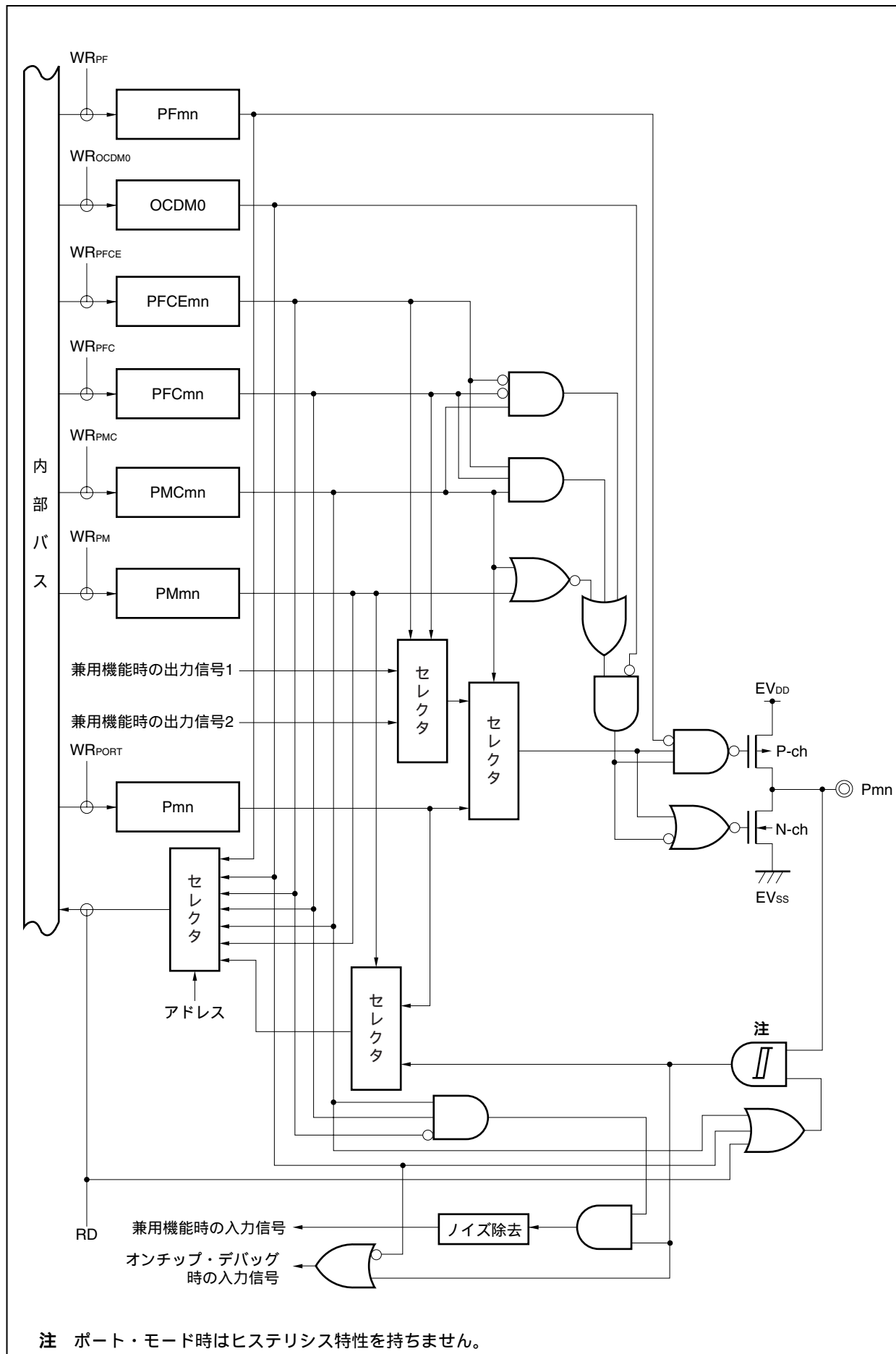


図4-37 タイプU-9のブロック図

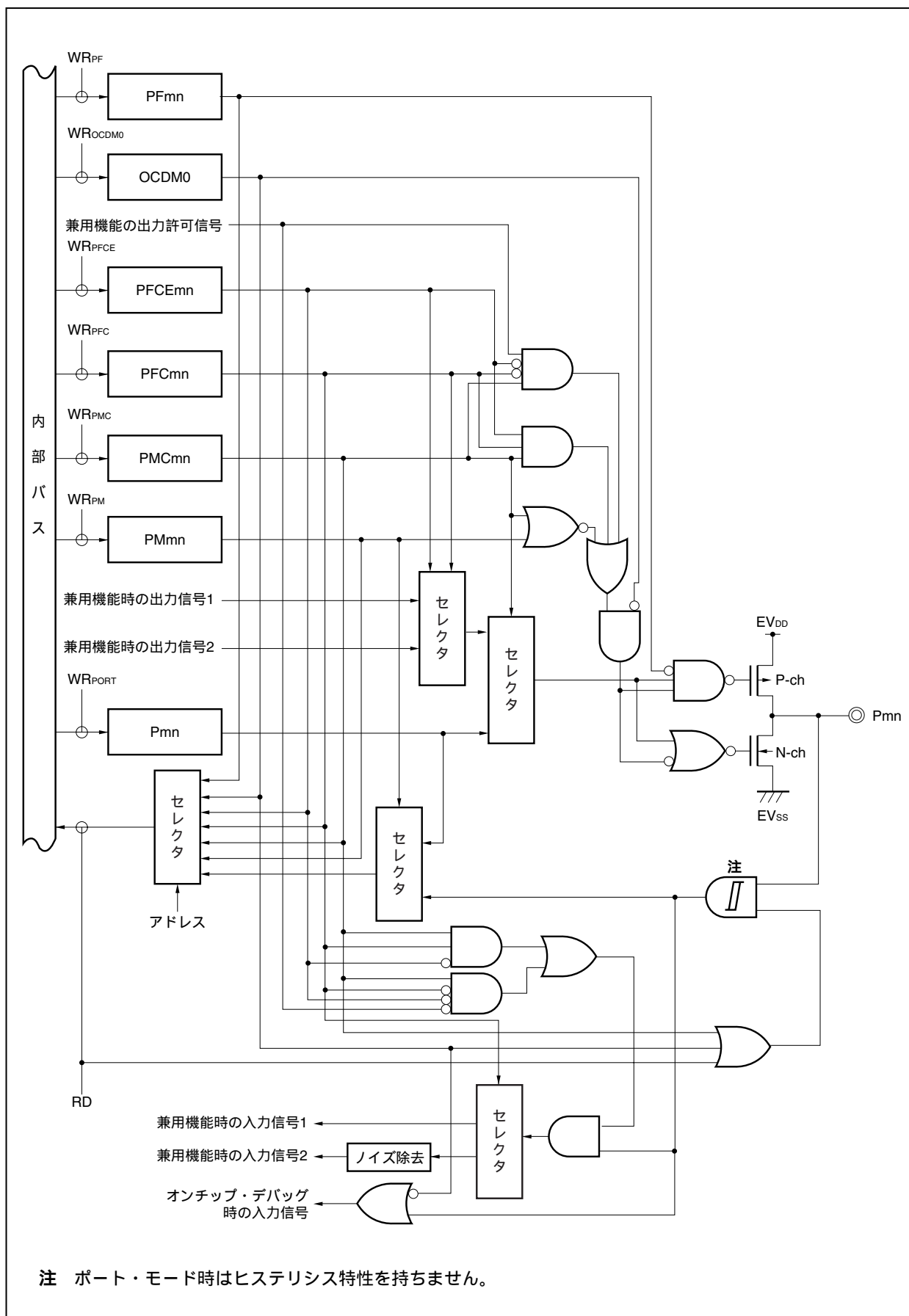


図4 - 38 タイプU - 10のブロック図

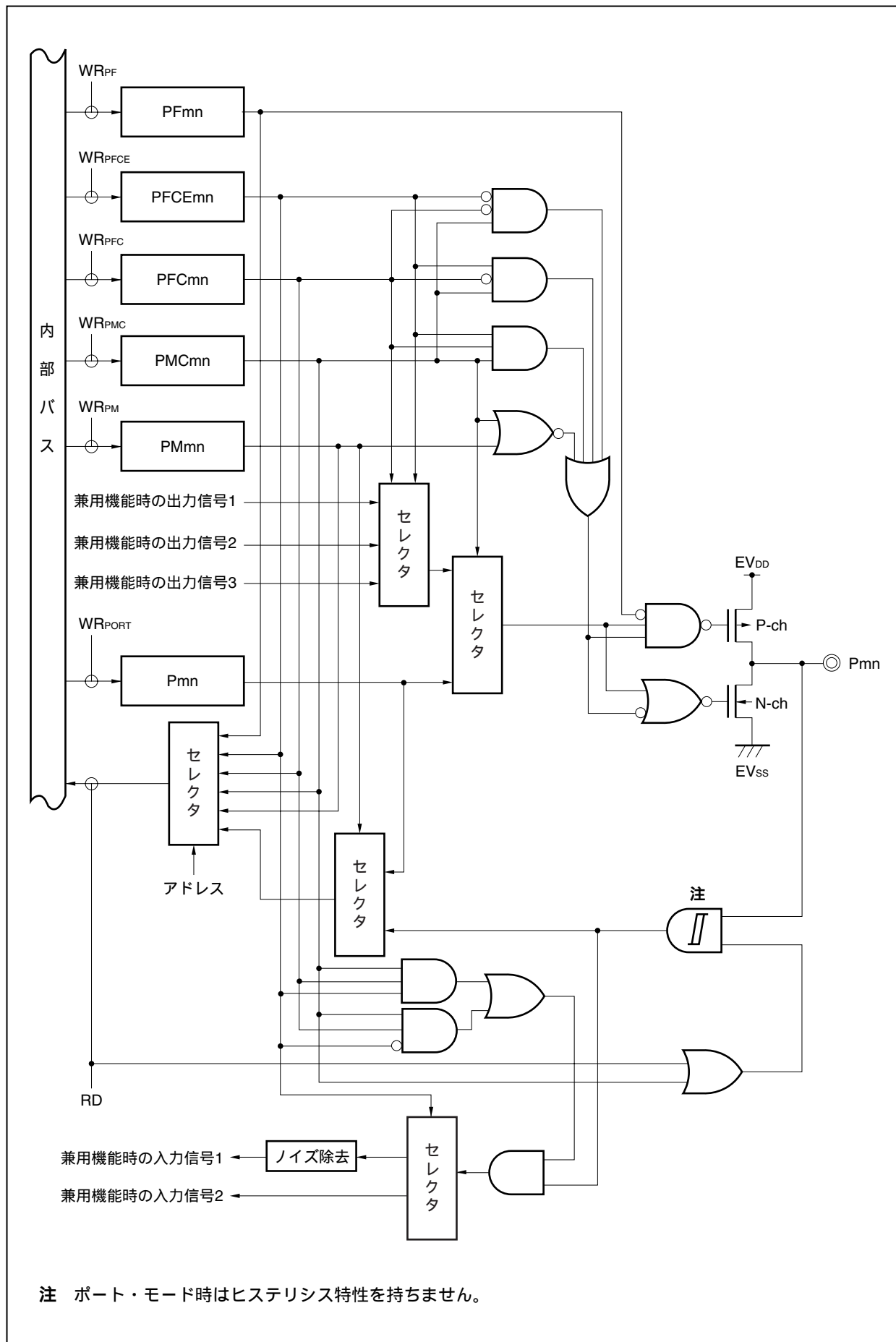


図4 - 39 タイプU - 11のブロック図

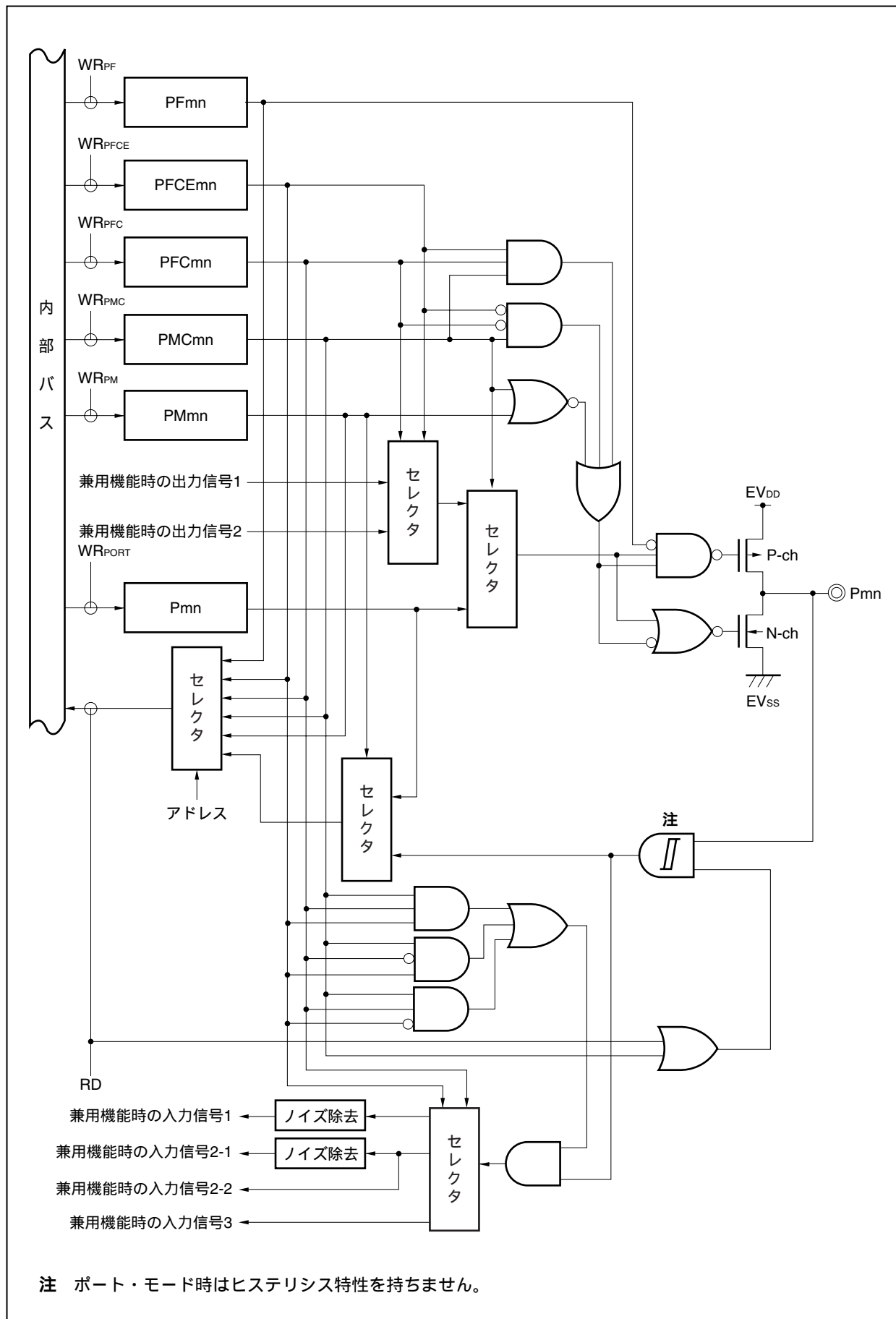


図4-40 タイプU-12のブロック図

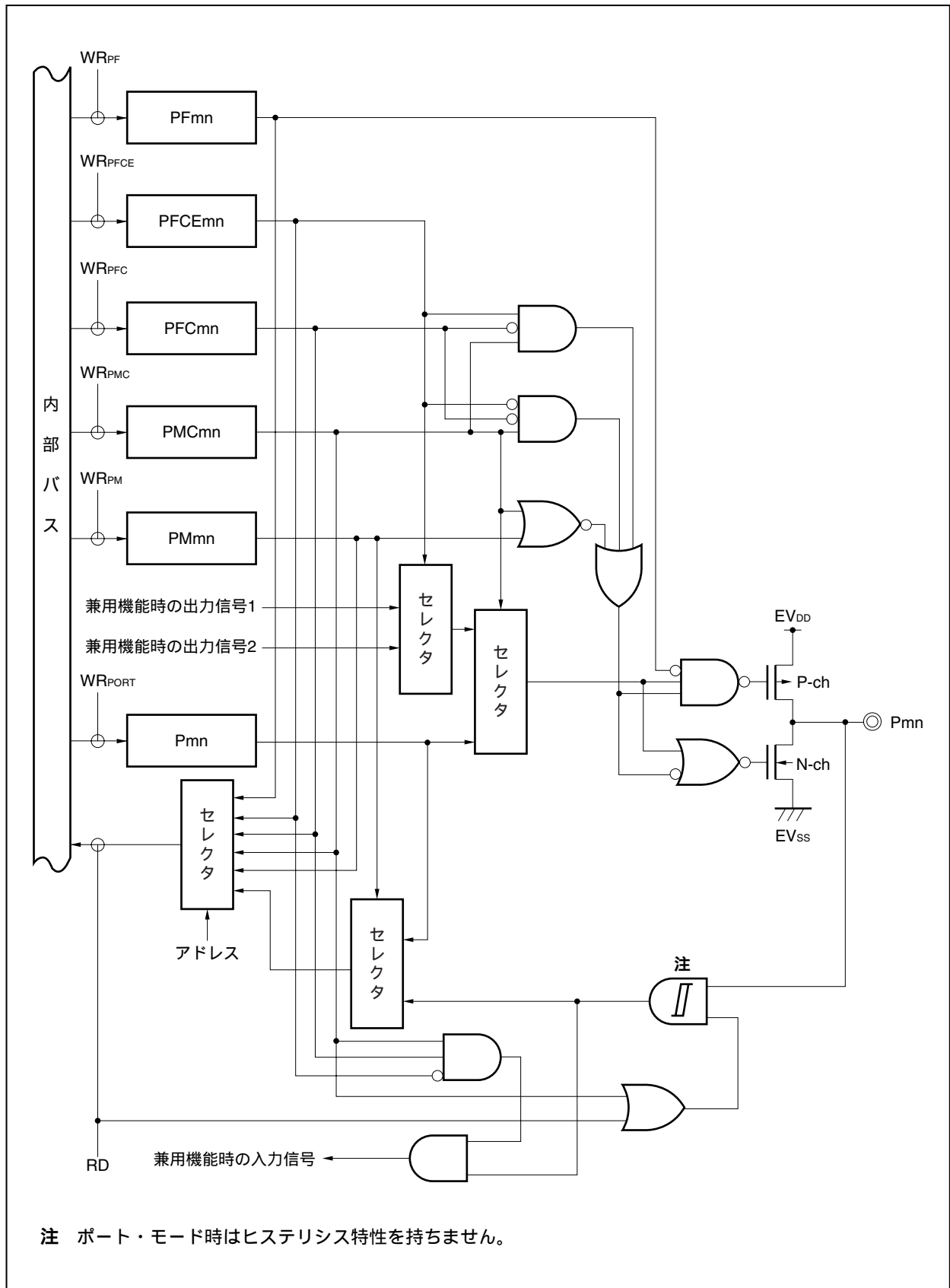


図4 - 41 タイプU - 13のブロック図

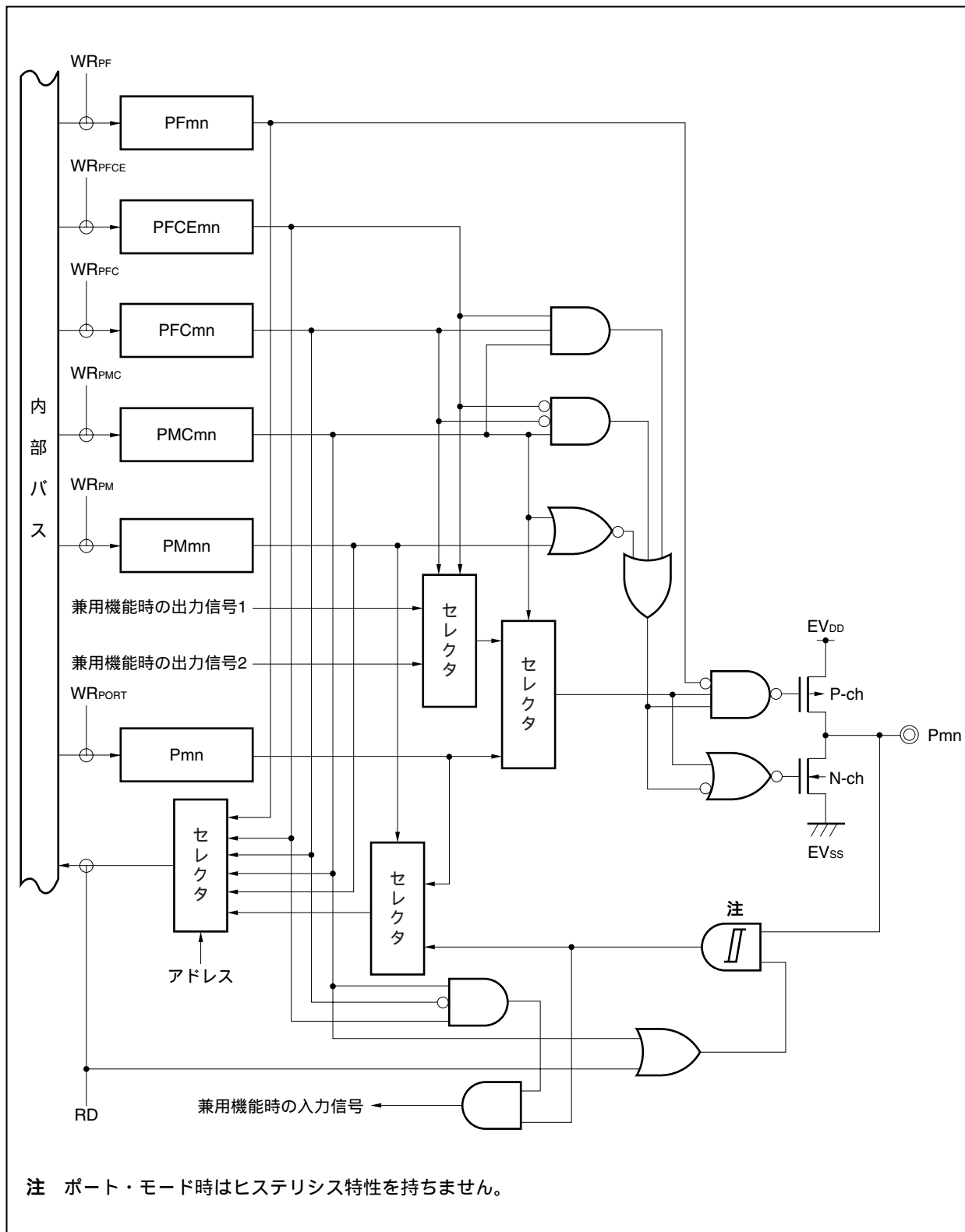


図4 - 42 タイプU - 14のブロック図

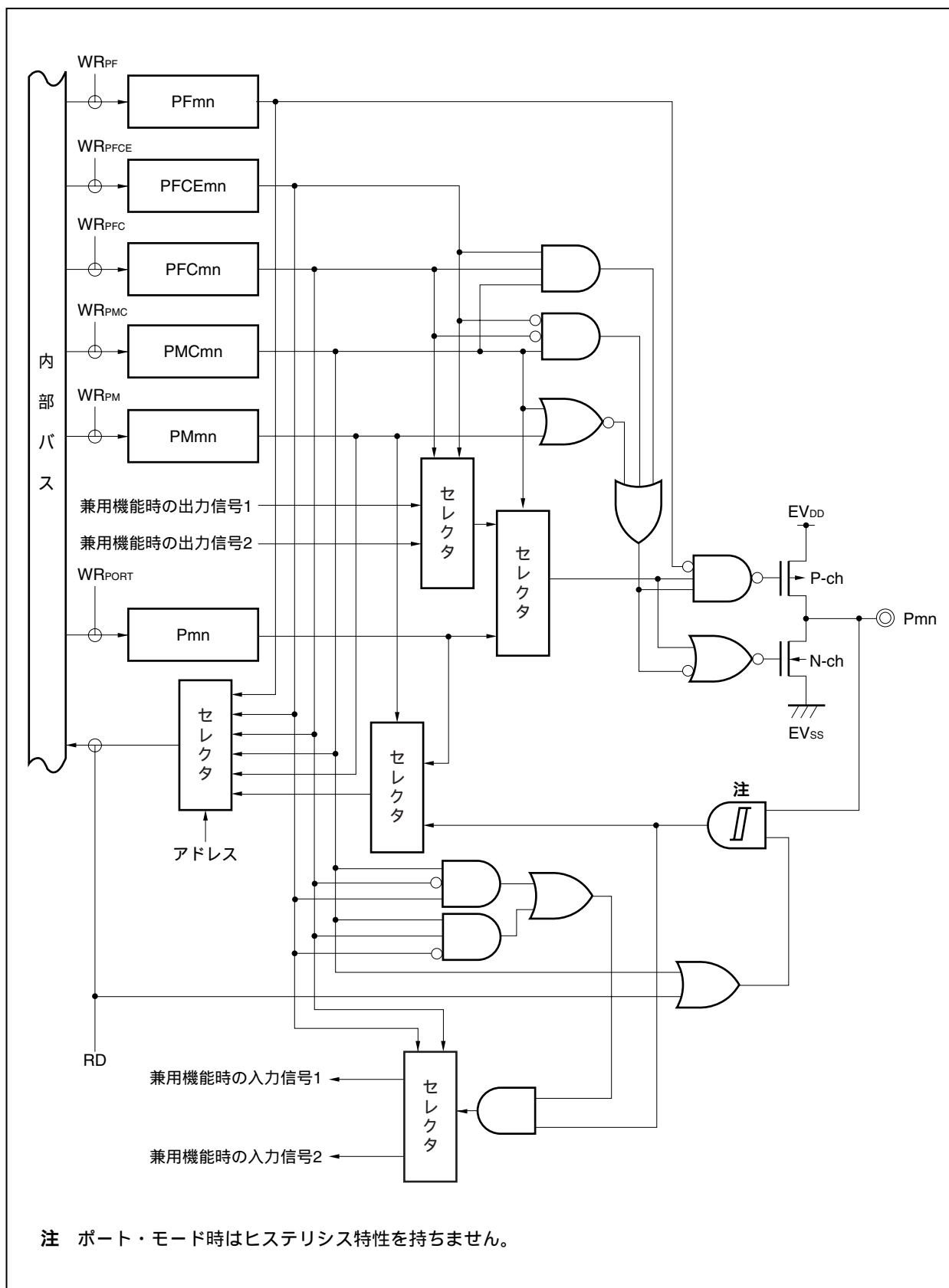




図4 - 43 タイプU - 15のブロック図

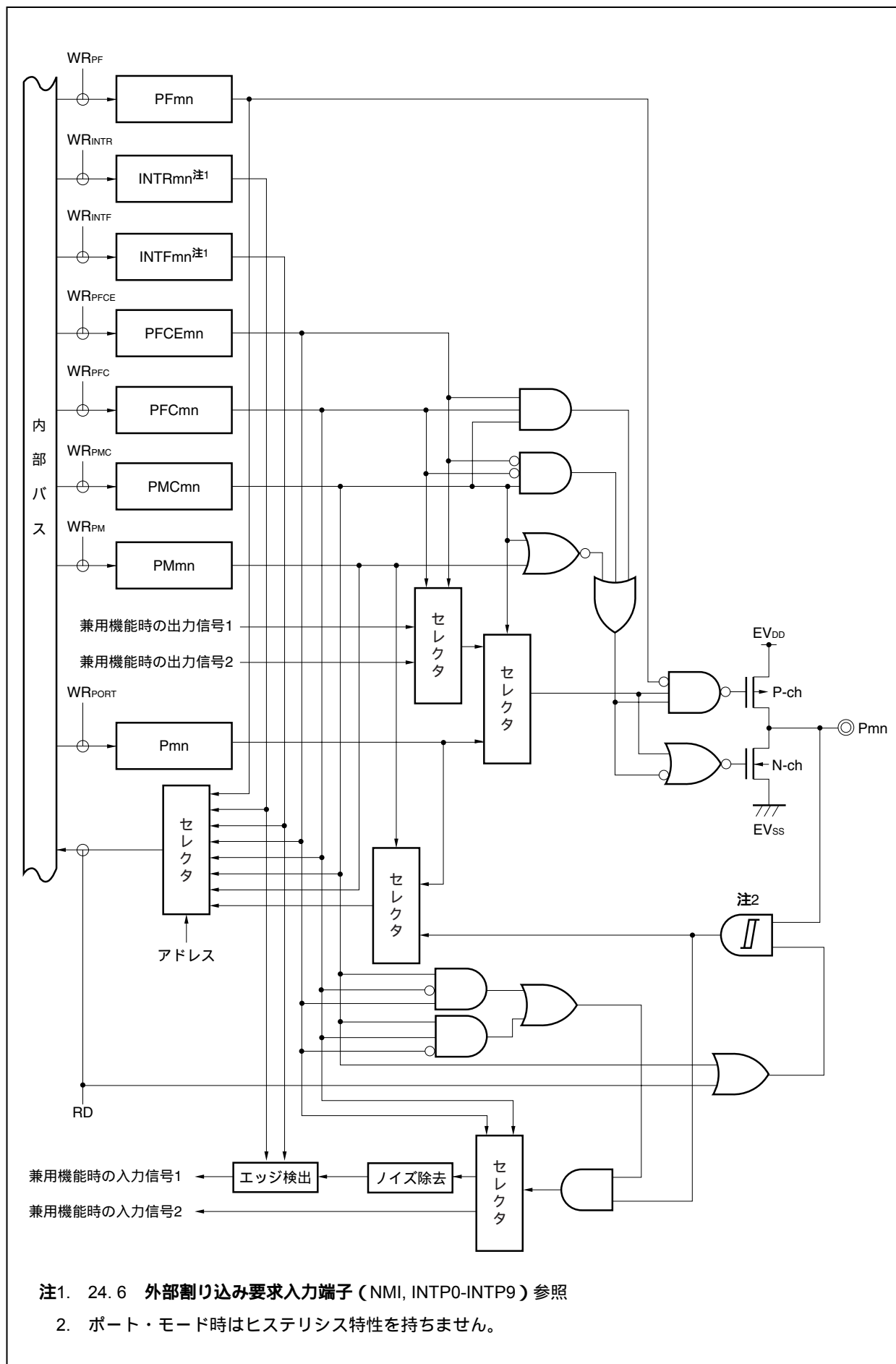


図4 - 44 タイプU - 16のブロック図

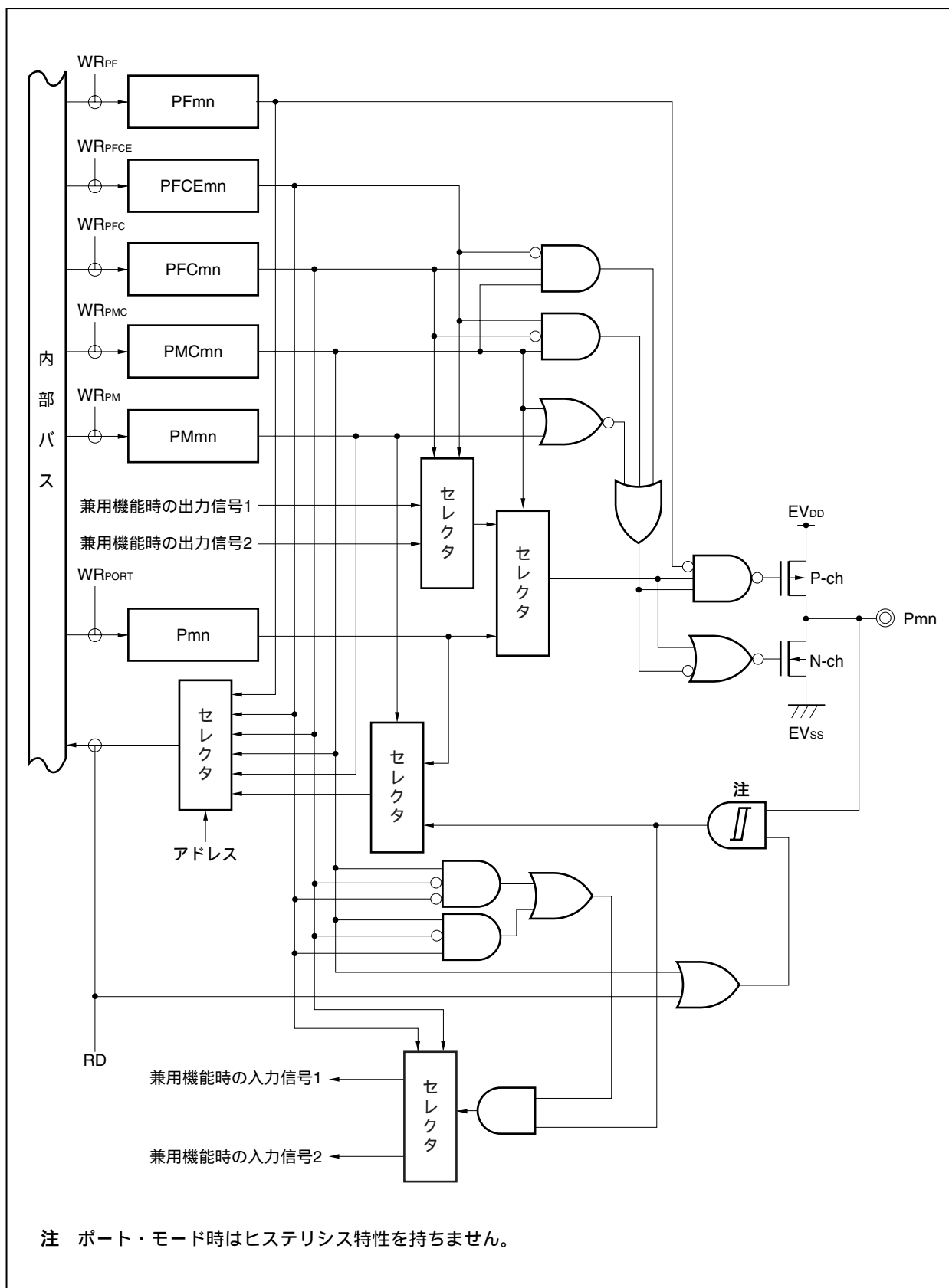


図4 - 45 タイプU - 17のブロック図

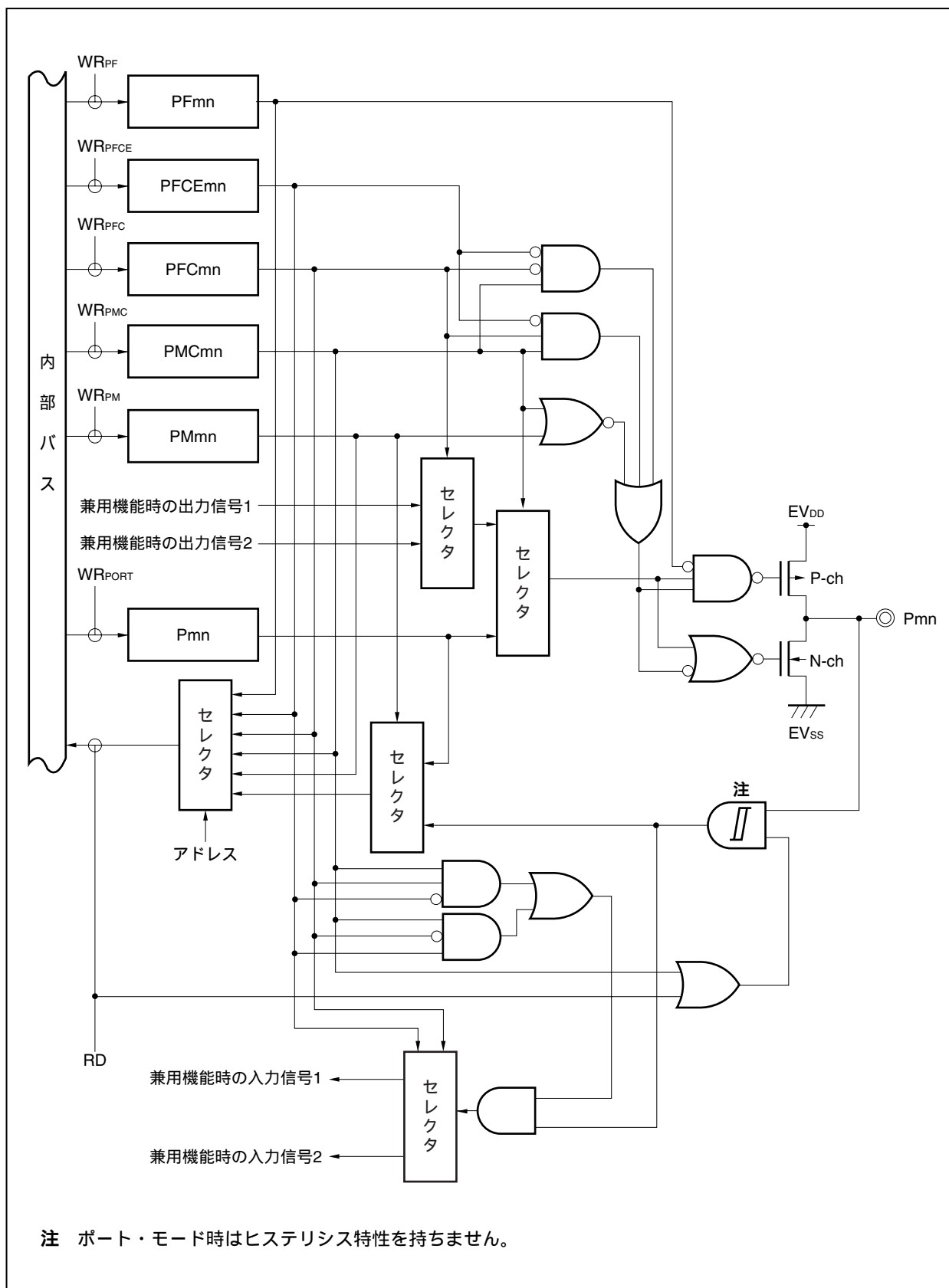


図4 - 46 タイプU - 18のブロック図

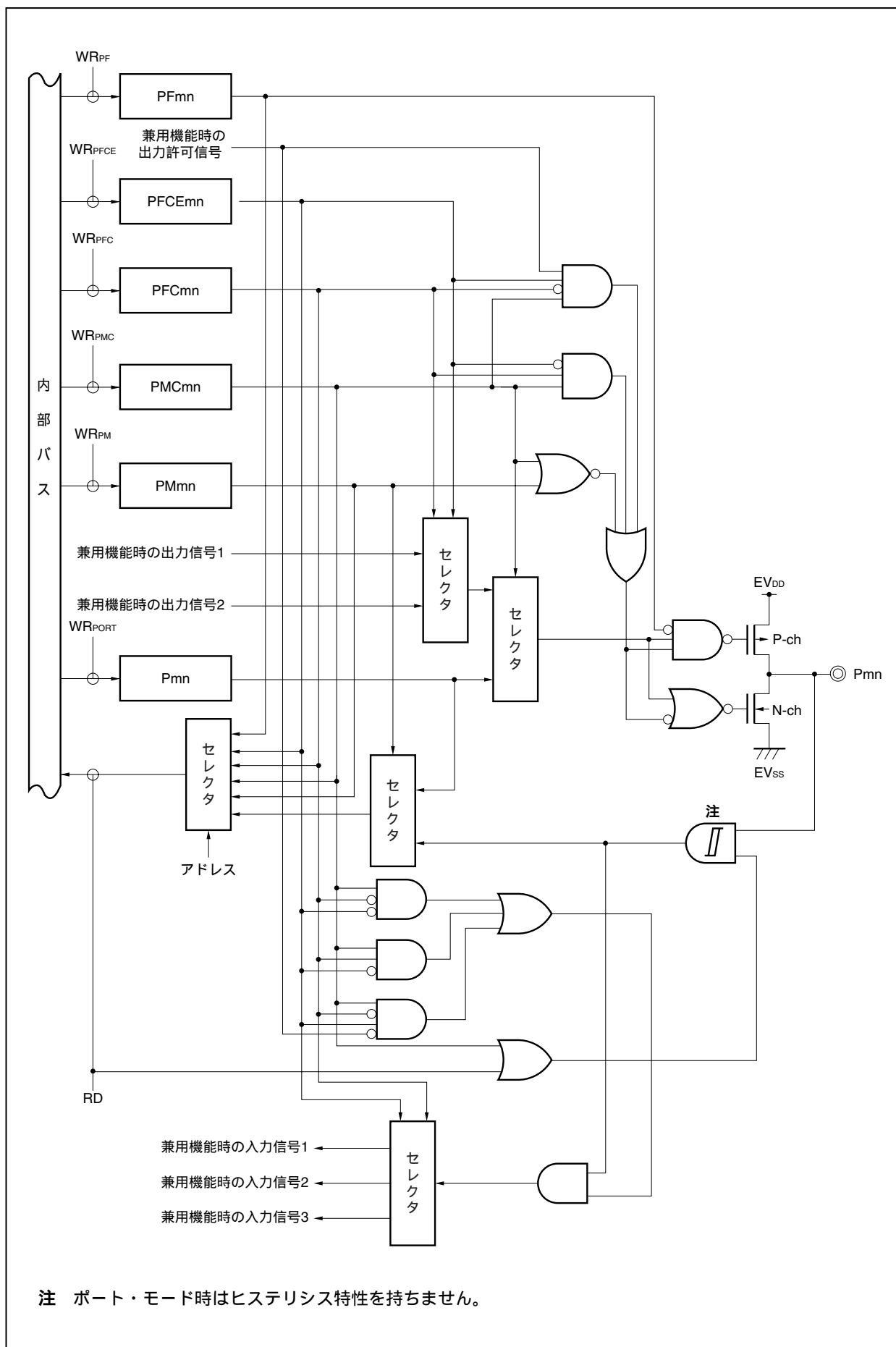


図4 - 47 タイプU - 19のブロック図

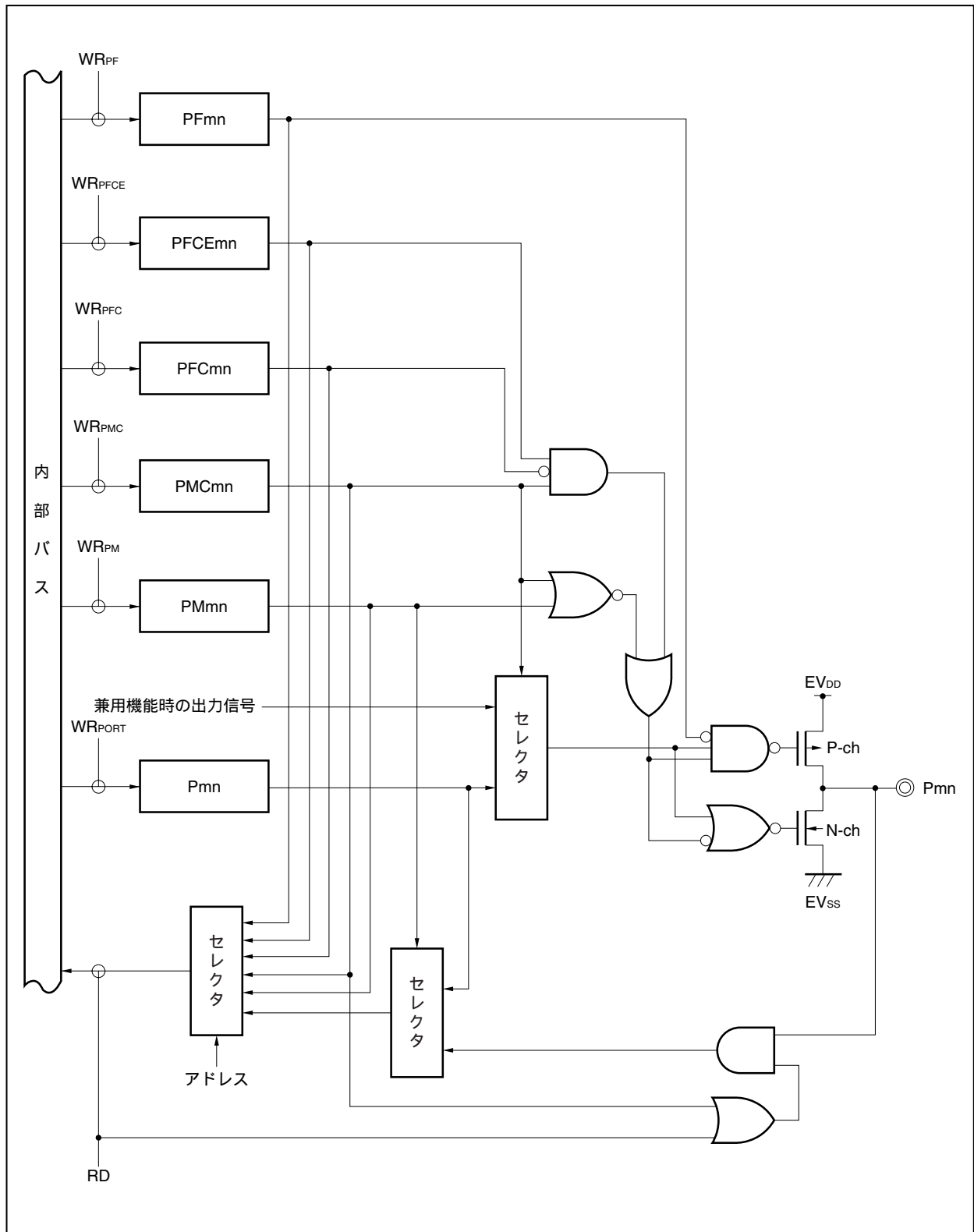


図4 - 48 タイプU - 20のブロック図

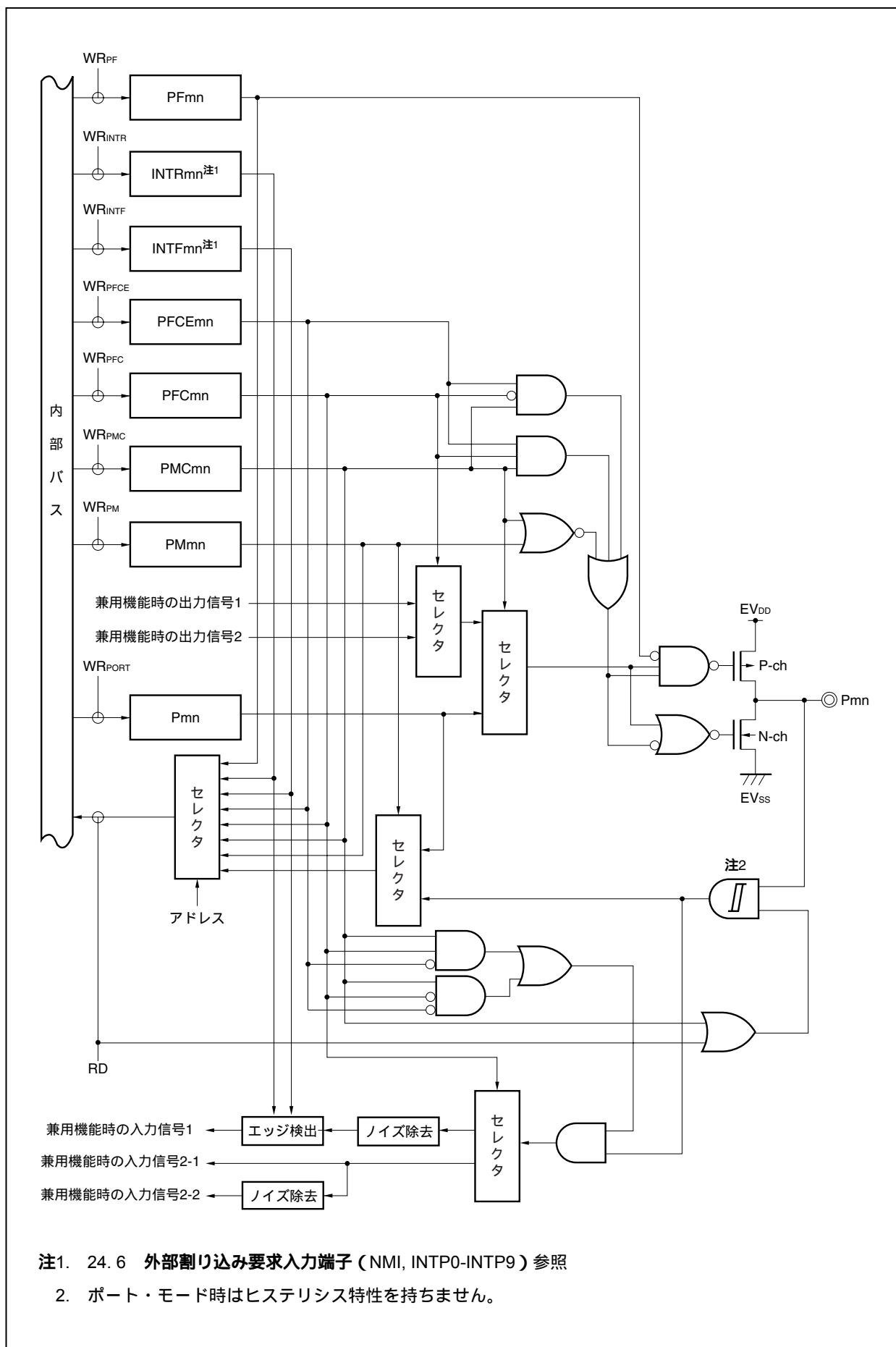


図4 - 49 タイプU - 21のブロック図

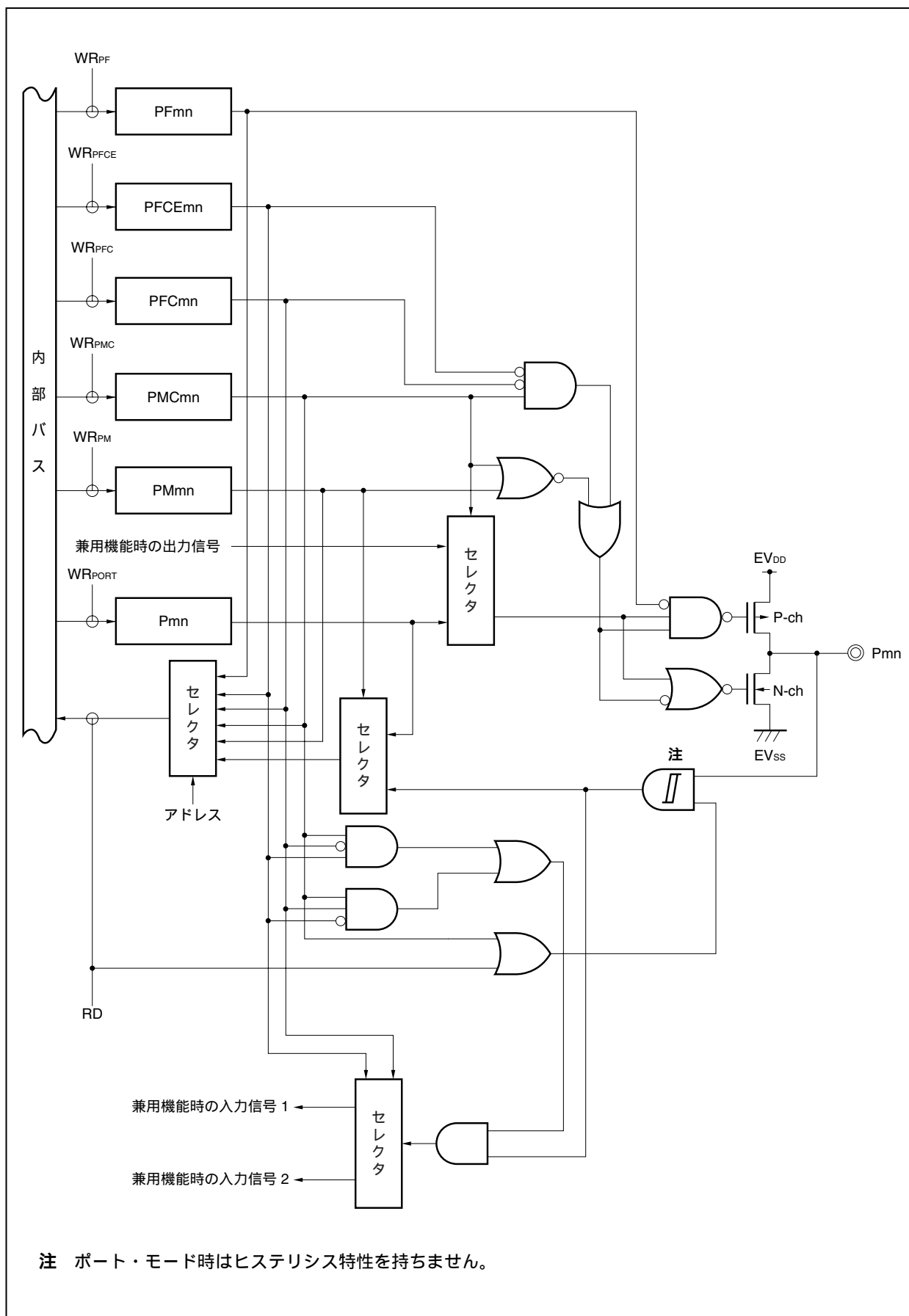


図4 - 50 タイプU - 22のブロック図

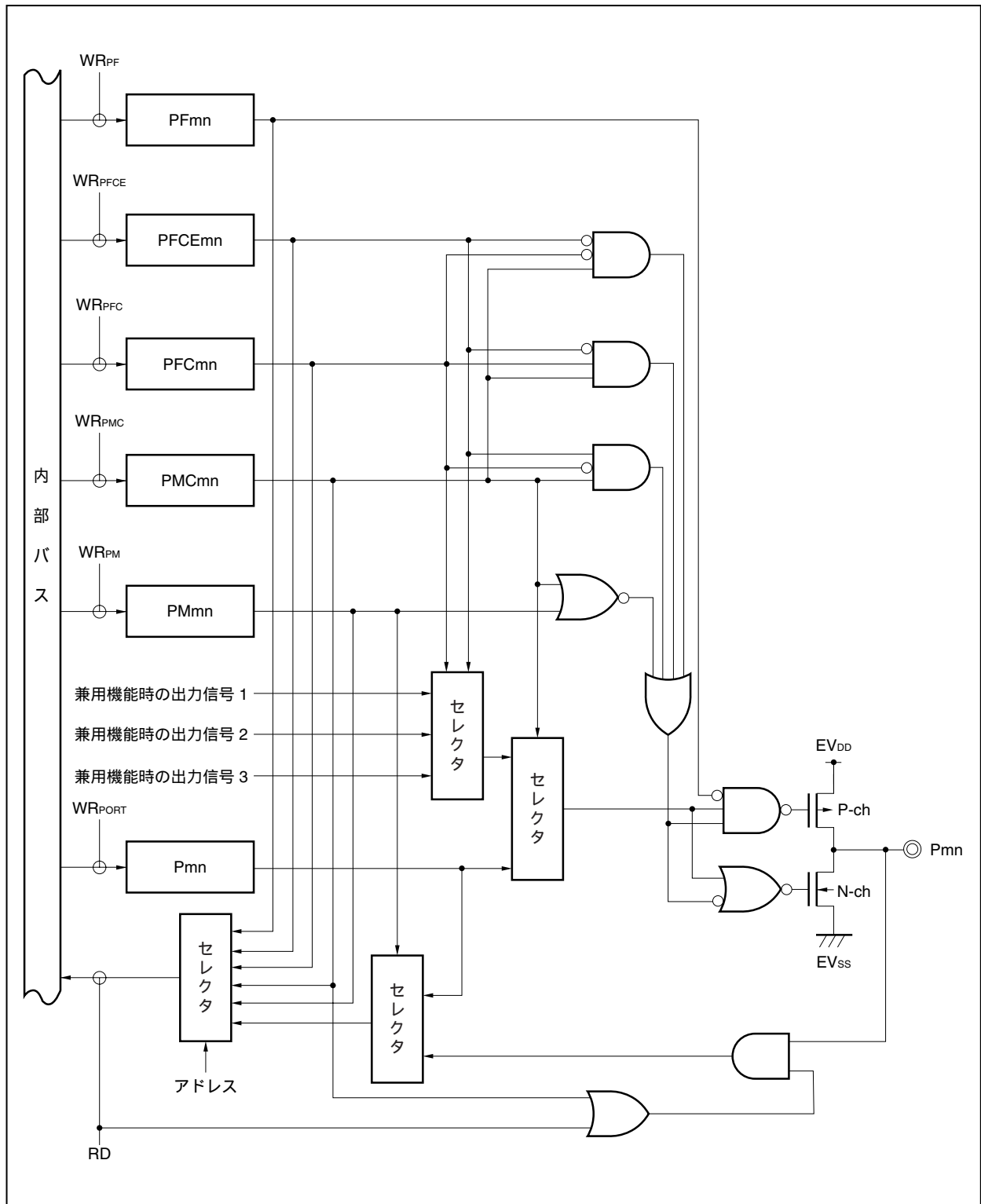




図4 - 51 タイプU - 23のブロック図

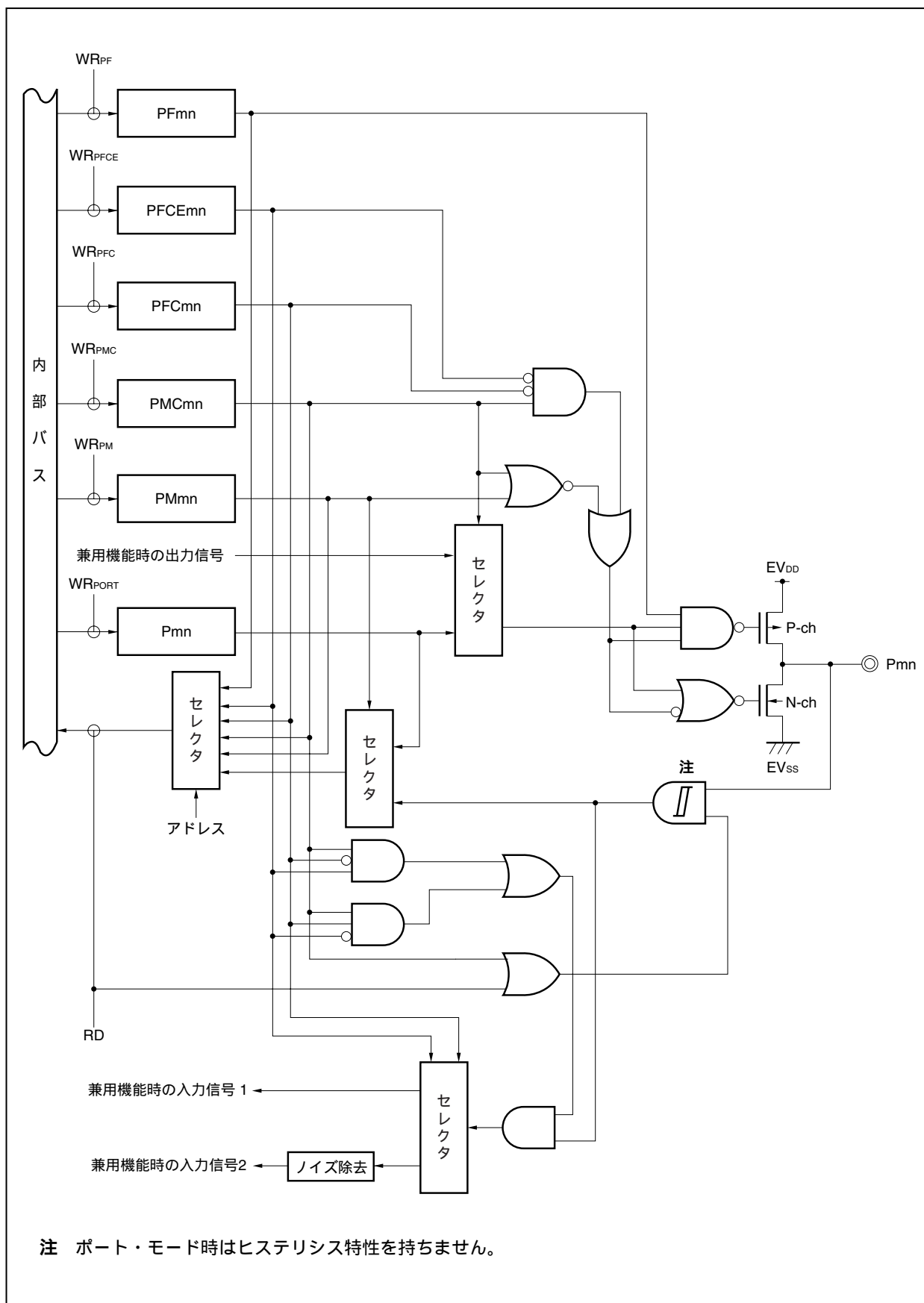


図4 - 52 タイプU - 24のブロック図

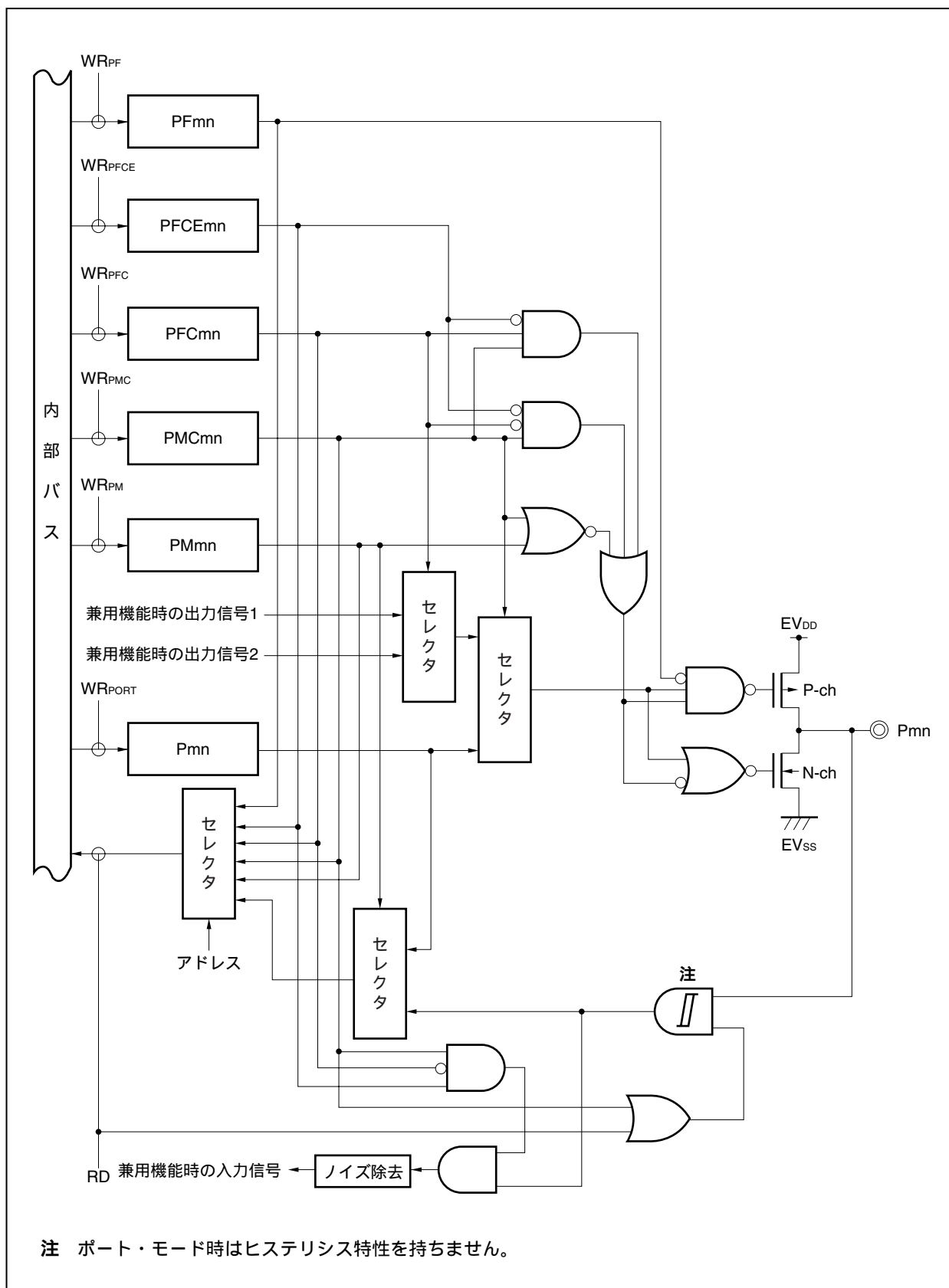


図4 - 53 タイプU - 25のブロック図

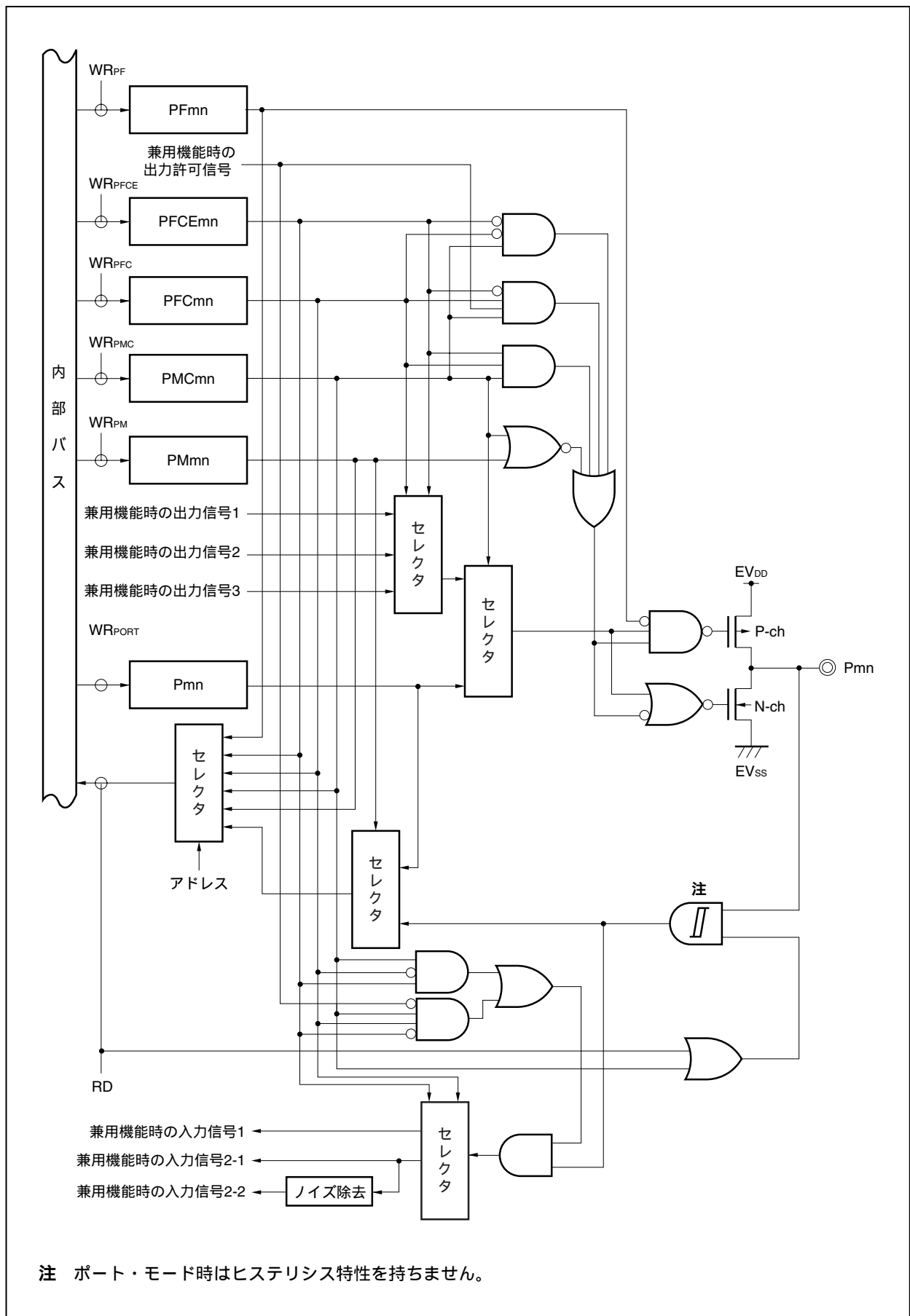


図4 - 54 タイプU - 26のブロック図

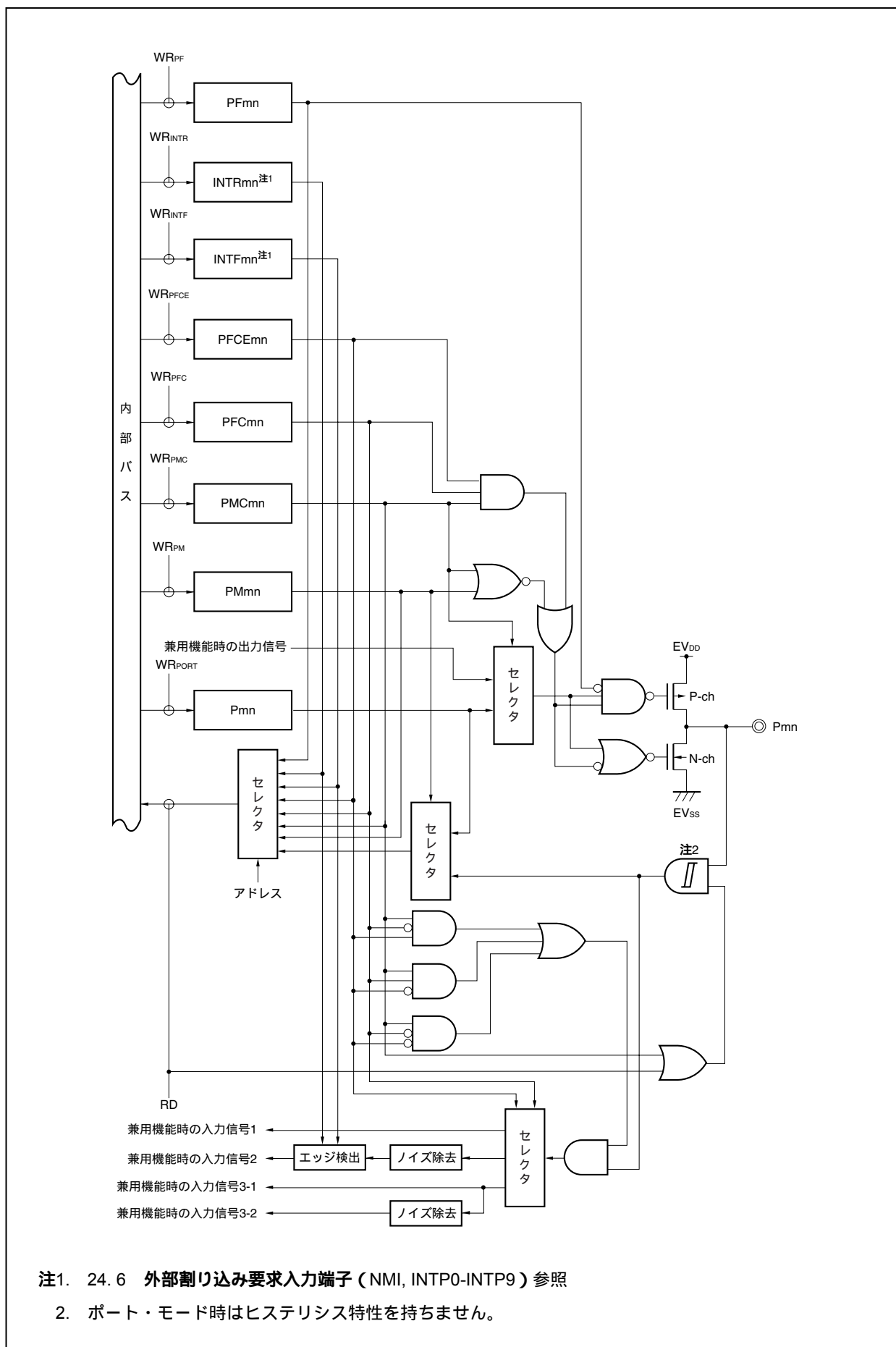


図4 - 55 タイプU - 27のブロック図

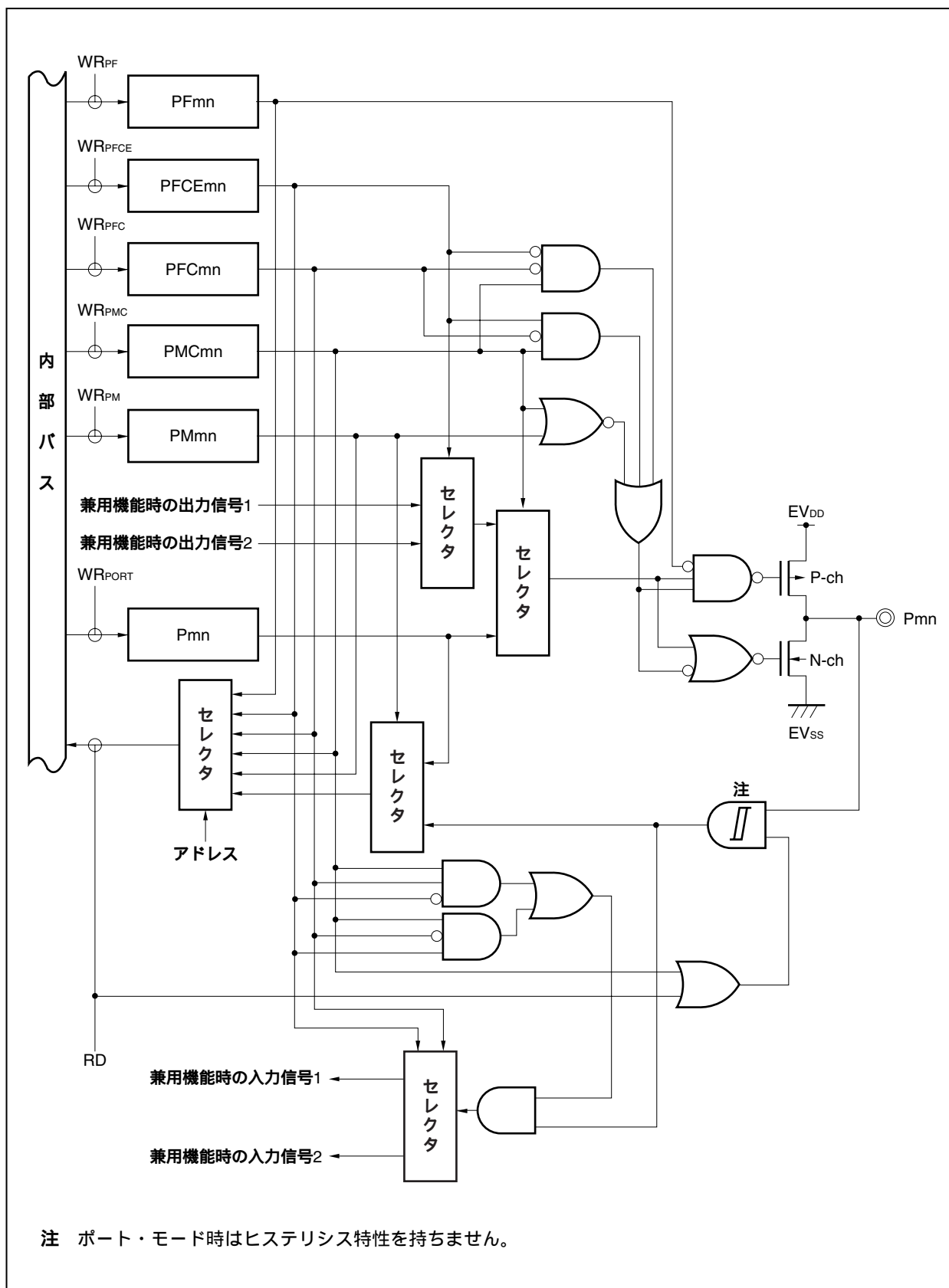


図4-56 タイプU-28のブロック図

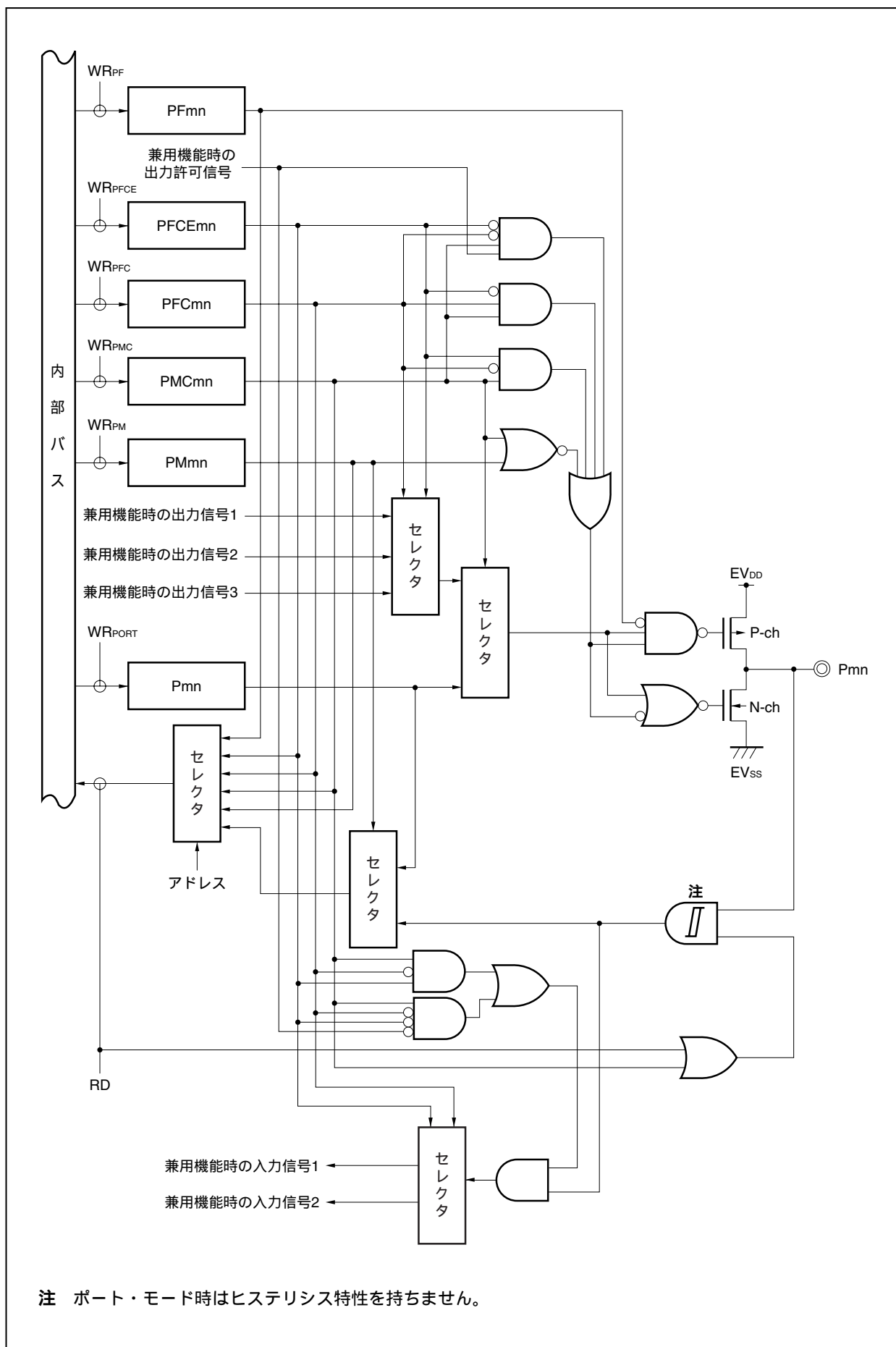


図4 - 57 タイプU - 29のブロック図

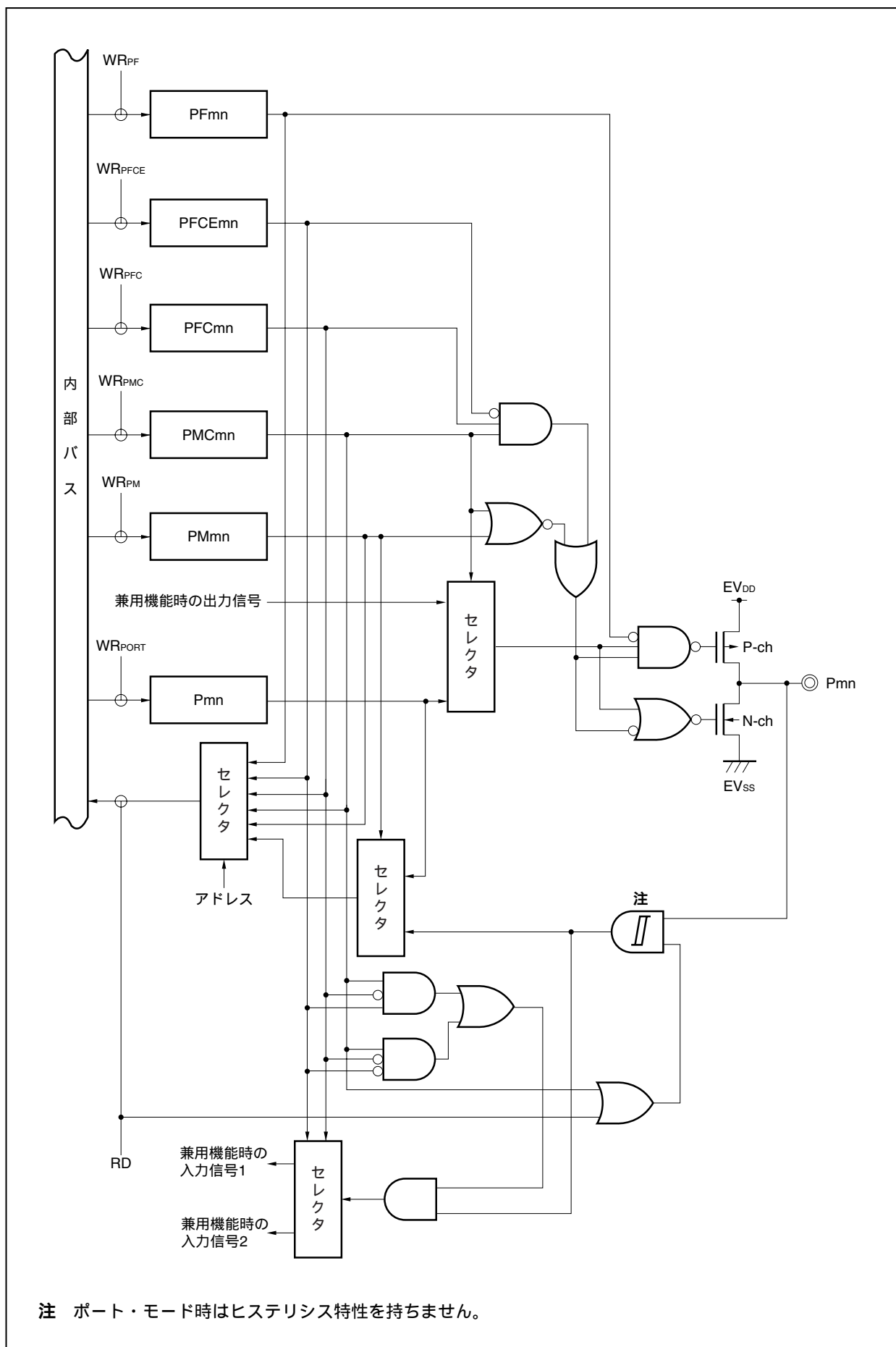
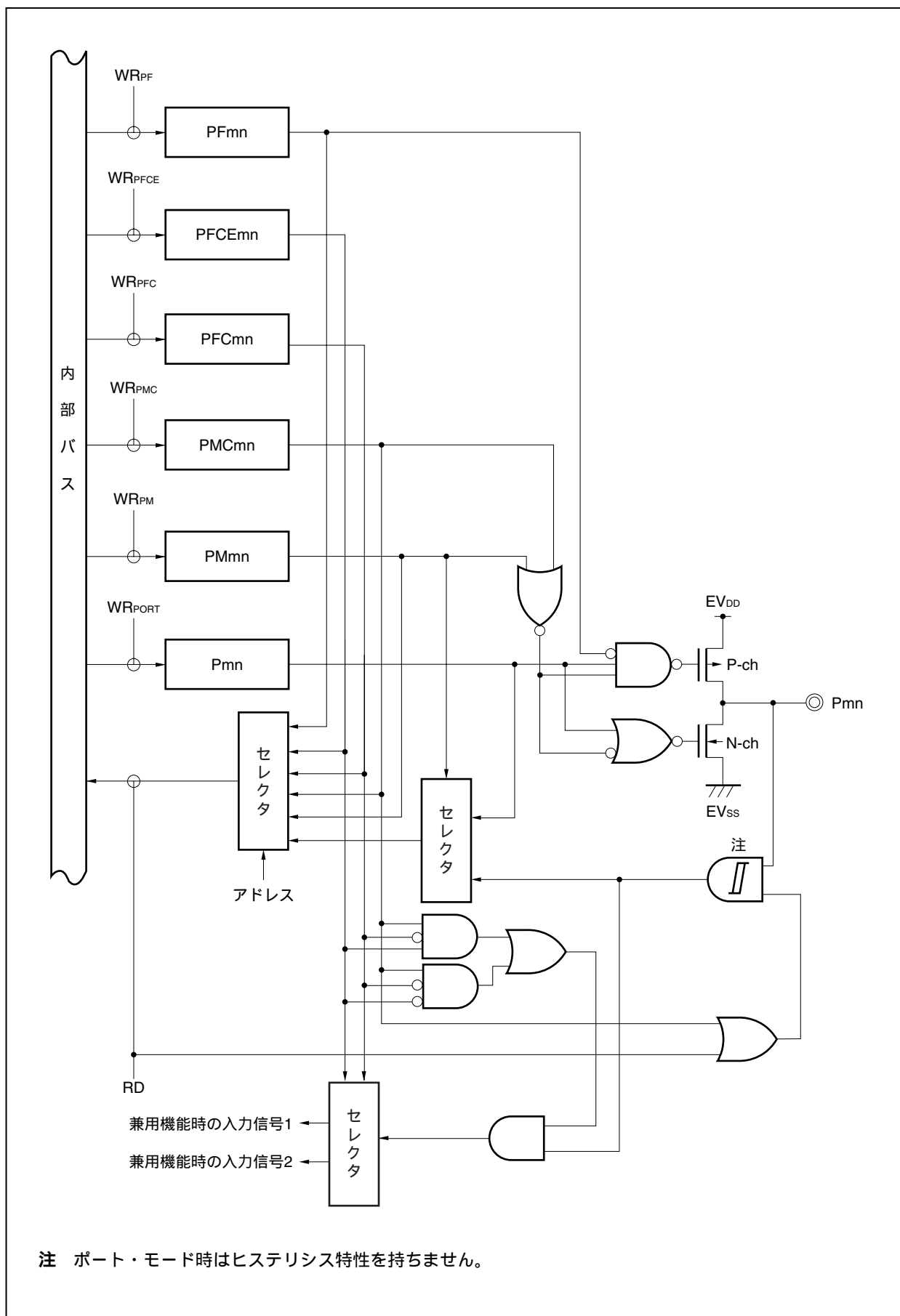


図4 - 58 タイプU - 30のブロック図



注 ポート・モード時はヒステリシス特性を持ちません。



図4 - 59 タイプU - 31のブロック図

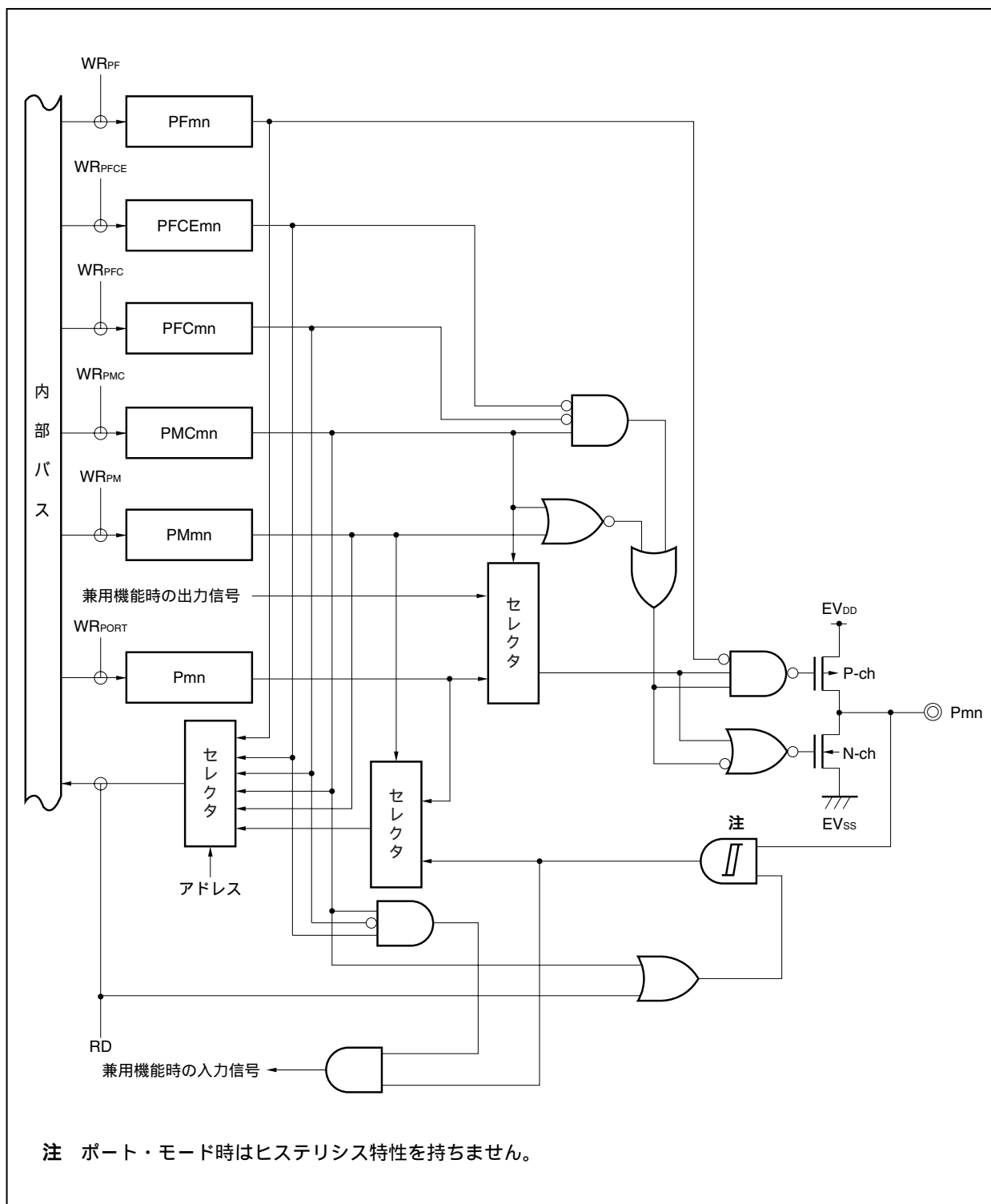


図4 - 60 タイプU - 32のブロック図

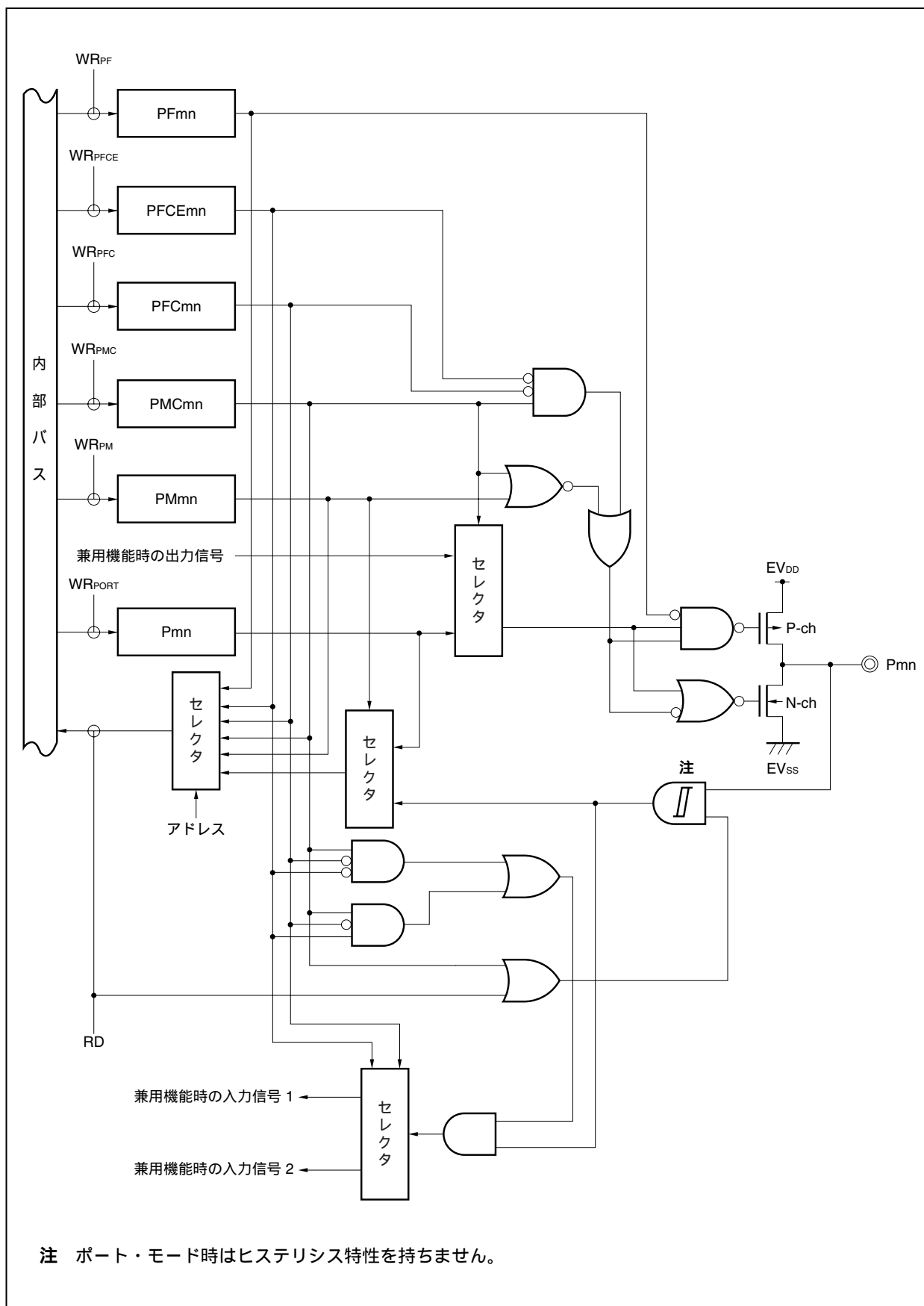


図4 - 61 タイプU - 33のブロック図

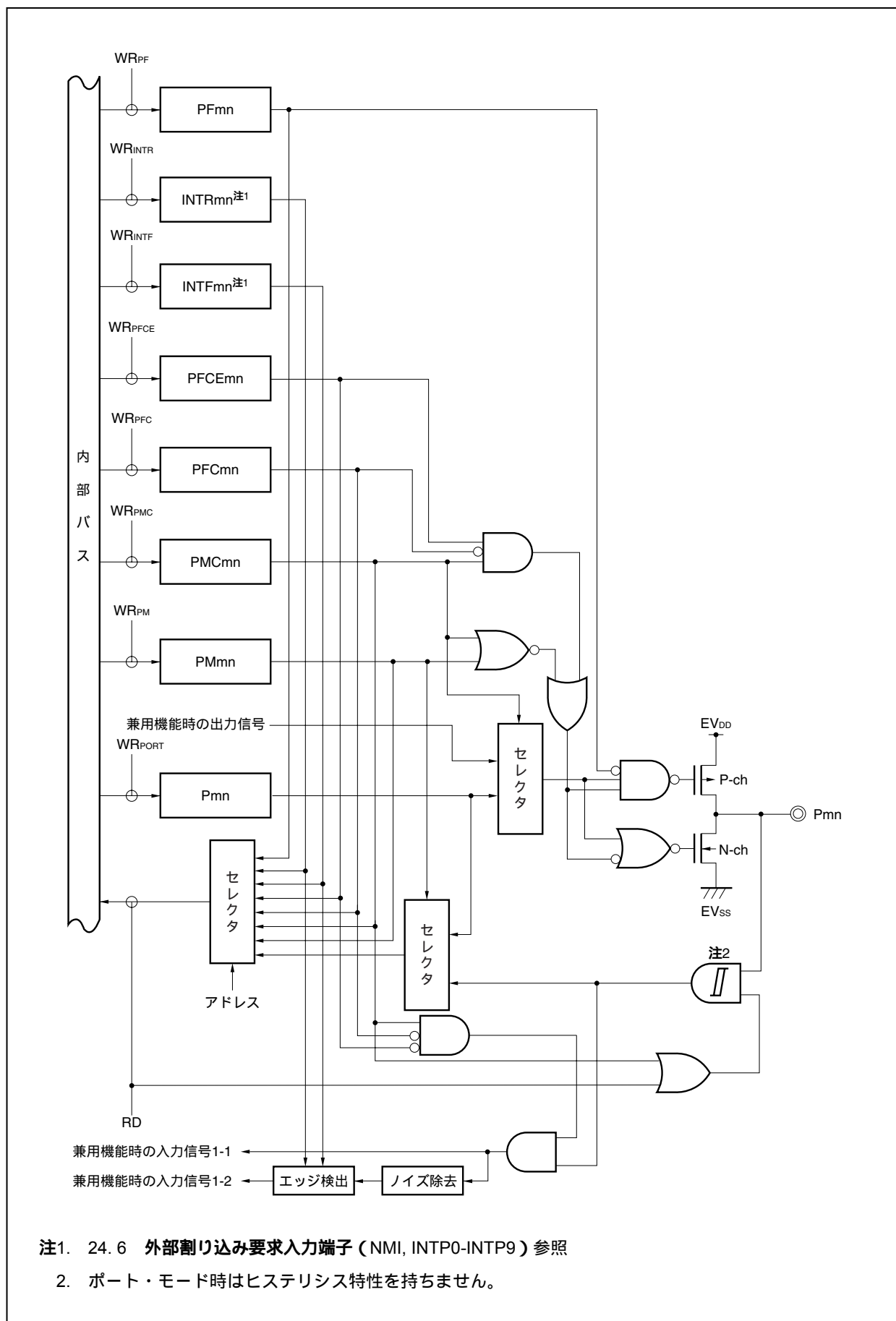


図4 - 62 タイプU - 34のブロック図

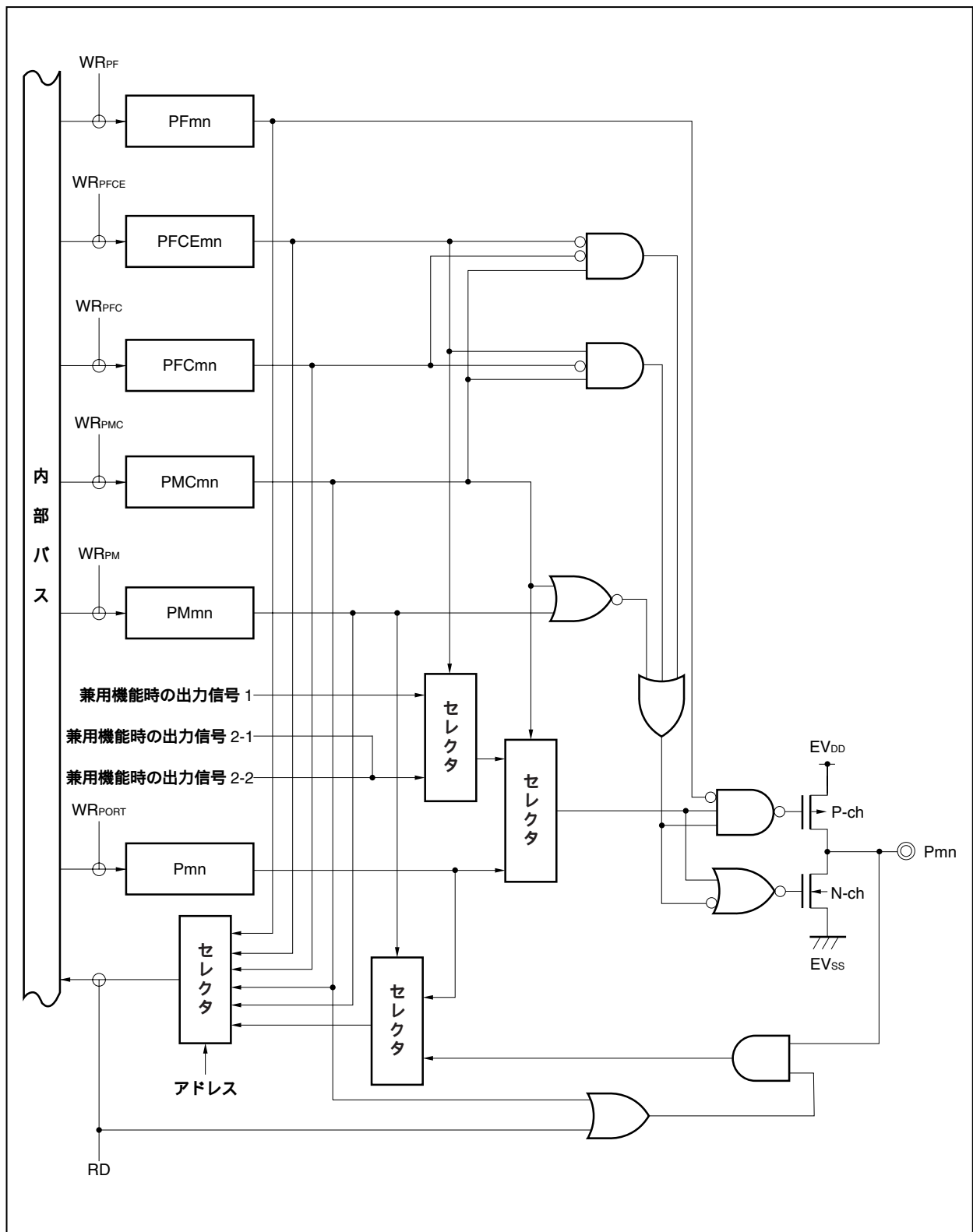


図4 - 63 タイプU - 35のブロック図

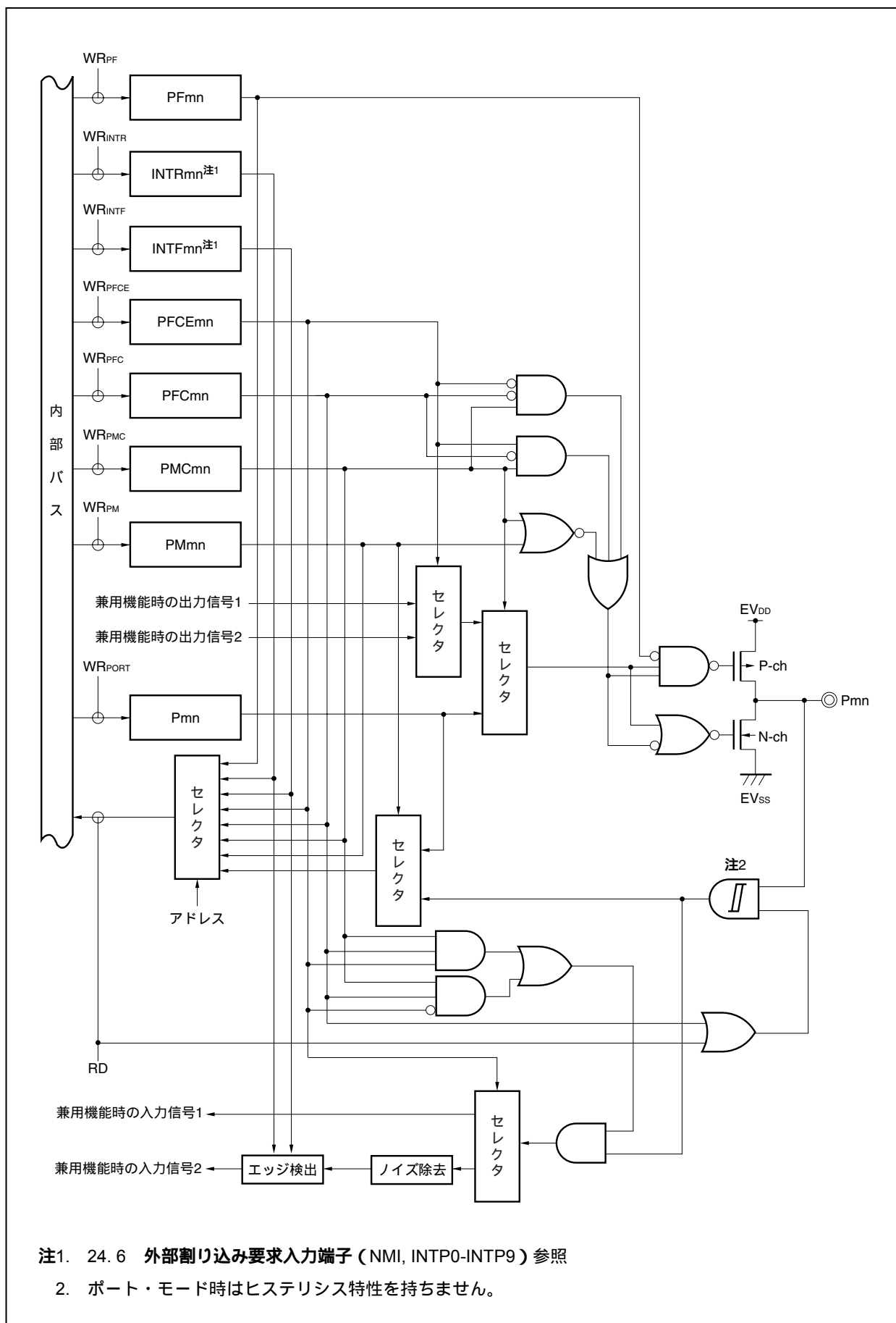


図4 - 64 タイプU - 36のブロック図

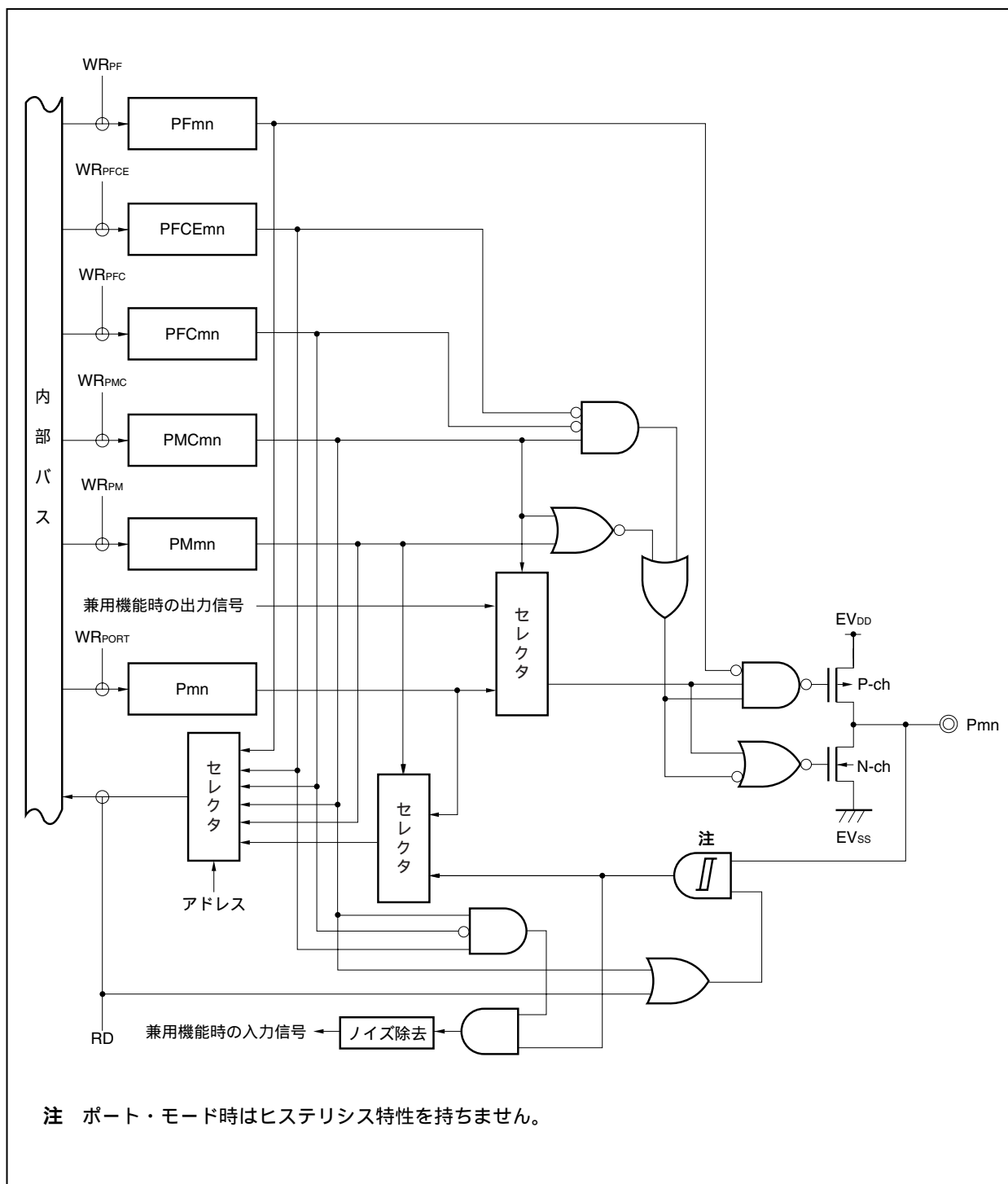


図4 - 65 タイプU - 37のブロック図

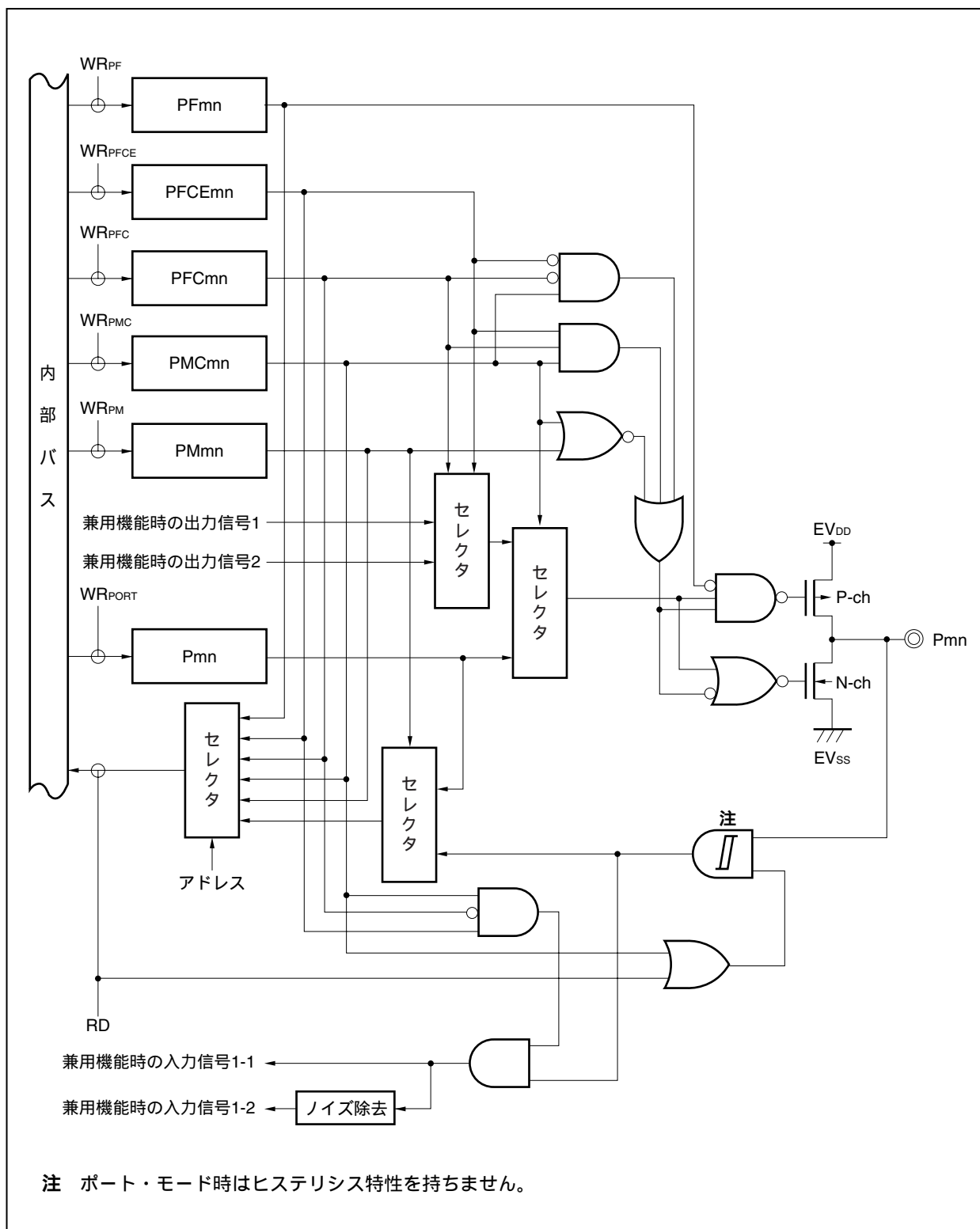


図4 - 66 タイプU - 38のブロック図

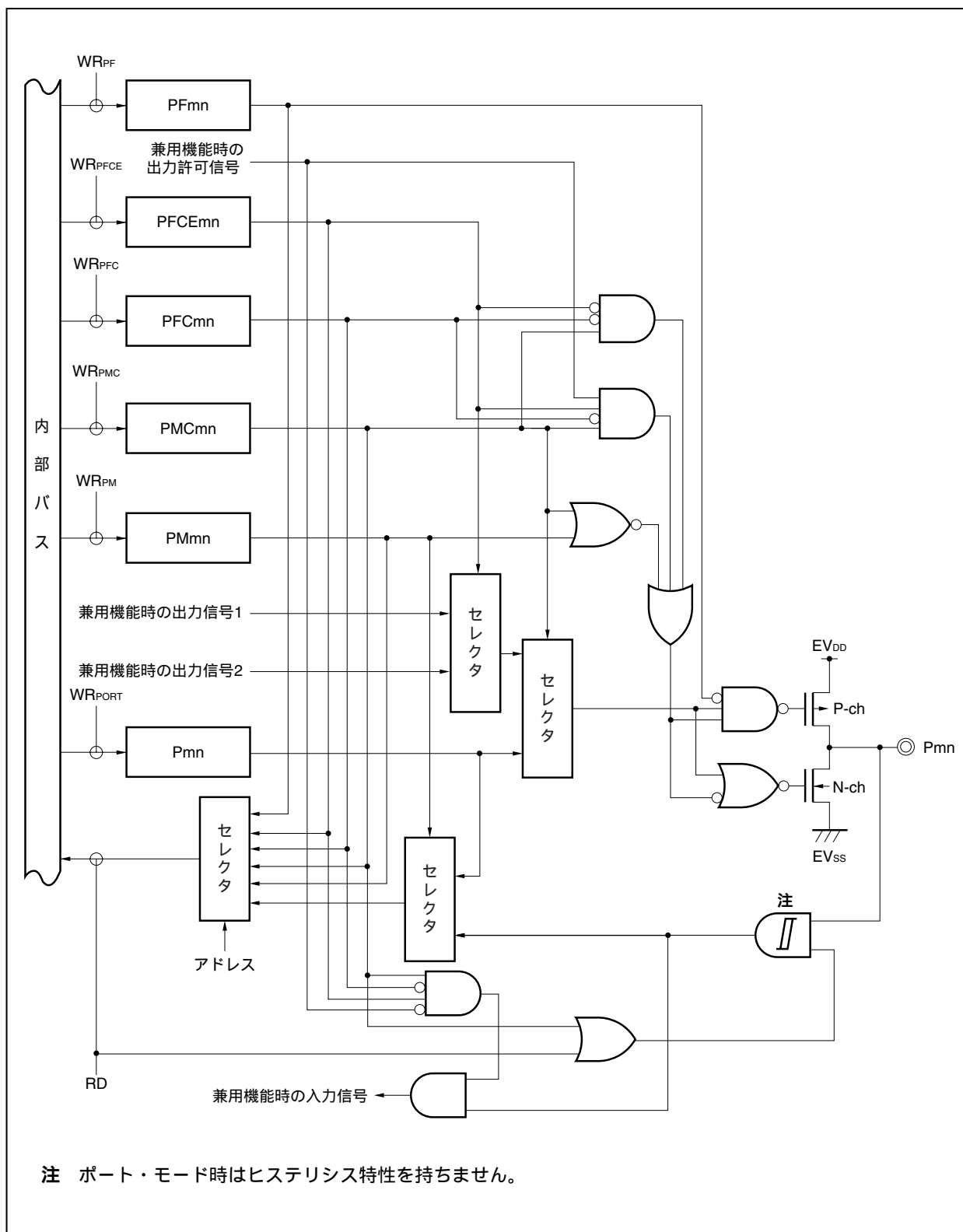
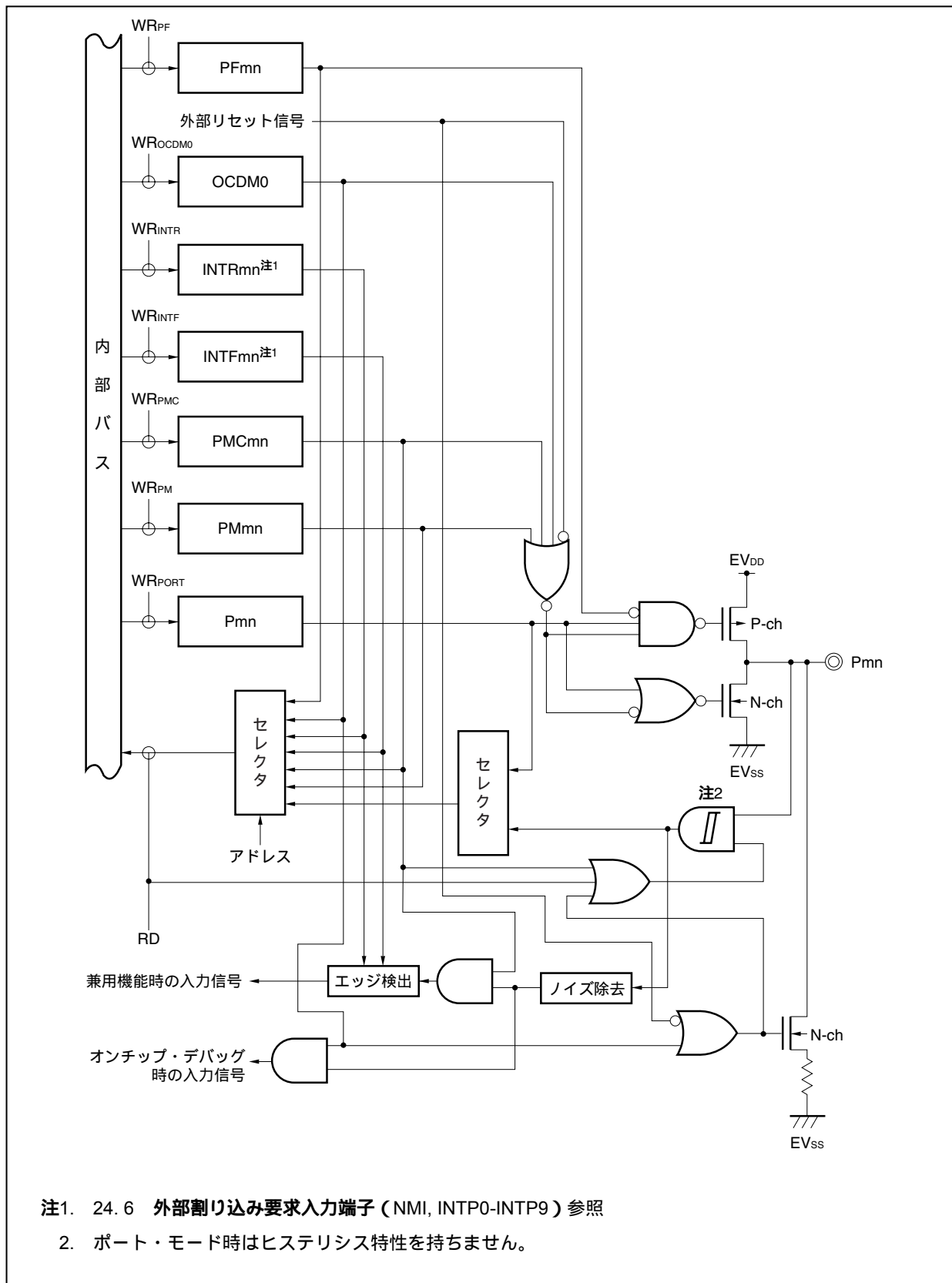




図4 - 67 タイプAA - 1のブロック図



#### 4.5 兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を表4 - 25に示します。  
兼用端子として使用する場合は各機能を参照してください。

表4 - 25 ポート端子を兼用端子として使用する場合 (1/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P00	TIP61	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 0 <sup>注3</sup>	PFC00 = 0	
	TOP61	出力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 0 <sup>注3</sup>	PFC00 = 1	
	SDA04 <sup>注2</sup>	入出力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	PFCE00 = 1	PFC00 = 0	PF00 (PF0) = 1
P01	TIP60	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	PFCE01 = 0 <sup>注3</sup>	PFC01 = 0	
	TOP60	出力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	PFCE01 = 0 <sup>注3</sup>	PFC01 = 1	
	SCL04 <sup>注2</sup>	入出力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	PFCE01 = 1	PFC01 = 0	PF01 (PF0) = 1
P02	NMI	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	-	-	
P03	INTP0	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	-	PFC03 = 0	
	ADTRG	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	-	PFC03 = 1	
P04	INTP1	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	-	-	
P05	INTP2	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	-	-	
	DRST	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 設定不要	-	-	OCDM0 (OCDM) = 1
P06	INTP3	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	-	-	
P10	ANO0	出力	P10 = 設定不要	PM10 = 1	-	-	-	
P11	ANO1	出力	P11 = 設定不要	PM11 = 1	-	-	-	
P20 <sup>注1</sup>	SDA04 <sup>注1</sup>	入出力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	-	-	PF20 (PF2) = 1
P21 <sup>注1</sup>	SCL04 <sup>注1</sup>	入出力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	-	-	PF21 (PF2) = 1
P30	TXDA0	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	-	PFC30 = 0	
	SOB4	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	-	PFC30 = 1	

注1. V850E/SK3-Hのみ

- μ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外
- μ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外のみ有効です。  
μ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) の場合には “ - ” となります。

注意 P10, P11端子を, 1本を入出力ポート, 1本をD/A出力端子 (ANO0, ANO1) として使用する場合, D/A出力中は, ポートの入出力レベルが変化しないようにしてください。

表4 - 25 ポート端子を兼用端子として使用する場合 (2/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P31	RXDA0	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	注3, PFC31 = 0	
	INTP7	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	注3, PFC31 = 0	
	SIB4	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	PFC31 = 1	
P32	ASCKA0	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 0	
	SCKB4	入出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 1	
	TIP00	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 0	
	TOP00	出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 1	
P33	TIP01	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 0	PFC33 = 0	
	TOP01	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 0	PFC33 = 1	
	CTXD1 <sup>注1</sup>	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 1	PFC33 = 0	
P34	TIP10	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 0	
	TOP10	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 1	
	CRXD1 <sup>注1</sup>	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 1	PFC34 = 0	
P35	TIP11	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 0	
	TOP11	出力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 1	
P36	CTXD0 <sup>注2</sup>	出力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	-	PFC36 = 0	
	IETX0	出力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	-	PFC36 = 1	
P37	CRXD0 <sup>注2</sup>	入力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	-	PFC37 = 0	
	IERX0	入力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	-	PFC37 = 1	
P38	TXDA2	出力	P38 = 設定不要	PM38 = 設定不要	PMC38 = 1	PFCE38 = 0	PFC38 = 0	
	SDA00	入出力	P38 = 設定不要	PM38 = 設定不要	PMC38 = 1	PFCE38 = 0	PFC38 = 1	PF38 (PF3) = 1
	SIB2	入力	P38 = 設定不要	PM38 = 設定不要	PMC38 = 1	PFCE38 = 1	PFC38 = 0	

注1. CANコントローラ (2チャンネル) 内蔵品のみ

2. CANコントローラ内蔵品のみ

3. INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は兼用しているINTP7端子のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定)。またINTP7端子として使用する場合はUARTA0を受信動作停止としてください (UA0CTL0.UA0RXEビット = 0)。

表4 - 25 ポート端子を兼用端子として使用する場合 (3/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P39	RXDA2	入力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	PFCE39 = 0	PFC39 = 0	
	SCL00	入出力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	PFCE39 = 0	PFC39 = 1	PF39 ( PF3 ) = 1
	SCKB2	入出力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	PFCE39 = 1	PFC39 = 0	
P310 <sup>注</sup>	SOB2 <sup>注</sup>	出力	P310 = 設定不要	PM310 = 設定不要	PMC310 = 1	PFCE310 = 1	PFC310 = 0	
P311 <sup>注</sup>	TXDA2 <sup>注</sup>	出力	P311 = 設定不要	PM311 = 設定不要	PMC311 = 1	-	-	
P312 <sup>注</sup>	RXDA2 <sup>注</sup>	入力	P312 = 設定不要	PM312 = 設定不要	PMC312 = 1	-	-	
P40	SIB0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	PFC40 = 0	
	SDA01	入出力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	PFC40 = 1	PF40 ( PF4 ) = 1
P41	SOB0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	PFC41 = 0	
	SCL01	入出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	PFC41 = 1	PF41 ( PF4 ) = 1
P42	SCKB0	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	PFC42 = 0	
	INTP2	入力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	PFC42 = 1	
P44 <sup>注</sup>	IETX0 <sup>注</sup>	出力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	-	-	
P45 <sup>注</sup>	IERX0 <sup>注</sup>	入力	P45 = 設定不要	PM45 = 設定不要	PMC45 = 1	-	-	
P50	KR0	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 1	TQ0IS3, TQ0IS2 ( TQ0IOC1 ) = 00
	TIQ01	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 1	KRM0 ( KRM ) = 0
	TOQ01	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 0	
	RTP00	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 1	
P51	INTP7	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 0	
	KR1	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 1	TQ0IS5, TQ0IS4 ( TQ0IOC1 ) = 00
	TIQ02	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 1	KRM1 ( KRM ) = 0
	TOQ02	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 0	
	RTP01	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 1	

注 V850E/SK3-Hのみ

表4 - 25 ポート端子を兼用端子として使用する場合 (4/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P52	KR2	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 1	TQ0IS7, TQ0IS6 ( TQ0IOC1 ) = 00
	TIQ03	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 1	KRM2 ( KRM ) = 0
	TOQ03	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 1	PFC52 = 0	
	RTP02	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 1	PFC52 = 1	
	DDI	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 設定不要	PFCE52 = 設定不要	PFC52 = 設定不要	OCDM0 ( OCDM ) = 1
P53	SIB2	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 0	
	KR3	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 1	TQ0IS1, TQ0IS0 ( TQ0IOC1 ) = 00, TQ0EES1, TQ0EES0 ( TQ0IOC2 ) = 00, TQ0ETS1, TQ0ETS0 ( TQ0IOC2 ) = 00
	TIQ00	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 1	KRM3 ( KRM ) = 0
	TOQ00	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 1	PFC53 = 0	
	RTP03	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 1	PFC53 = 1	
	DDO	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 設定不要	PFCE53 = 設定不要	PFC53 = 設定不要	OCDM0 ( OCDM ) = 1
P54	SOB2	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 0	PFC54 = 0	
	KR4	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 0	PFC54 = 1	
	RTP04	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 1	PFC54 = 1	
	DCK	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 設定不要	PFCE54 = 設定不要	PFC54 = 設定不要	OCDM0 ( OCDM ) = 1
P55	SCKB2	入出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 0	
	KR5	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 1	
	RTP05	出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 1	PFC55 = 1	
	DMS	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 設定不要	PFCE55 = 設定不要	PFC55 = 設定不要	OCDM0 ( OCDM ) = 1
P56 <sup>注</sup>	RXDA4 <sup>注</sup>	入力	P56 = 設定不要	PM56 = 設定不要	PMC56 = 1	-	-	
P57 <sup>注</sup>	TXDA4 <sup>注</sup>	出力	P57 = 設定不要	PM57 = 設定不要	PMC57 = 1	-	-	

注 V850E/SK3-Hのみ

表4 - 25 ポート端子を兼用端子として使用する場合 (5/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P60	RTP10	出力	P60 = 設定不要	PM60 = 設定不要	PMC60 = 1	PFCE60 = 0 <sup>注2</sup>	PFC60 = 0	
	RXDA4	入力	P60 = 設定不要	PM60 = 設定不要	PMC60 = 1	PFCE60 = 0 <sup>注2</sup>	PFC60 = 1	
	SIE0 <sup>注1</sup>	入力	P60 = 設定不要	PM60 = 設定不要	PMC60 = 1	PFCE60 = 1	PFC60 = 0	
P61	RTP11	出力	P61 = 設定不要	PM61 = 設定不要	PMC61 = 1	PFCE61 = 0 <sup>注2</sup>	PFC61 = 0	
	TXDA4	出力	P61 = 設定不要	PM61 = 設定不要	PMC61 = 1	PFCE61 = 0 <sup>注2</sup>	PFC61 = 1	
	SOE0 <sup>注1</sup>	出力	P61 = 設定不要	PM61 = 設定不要	PMC61 = 1	PFCE61 = 1	PFC61 = 0	
P62	RTP12	出力	P62 = 設定不要	PM62 = 設定不要	PMC62 = 1	PFCE62 = 0 <sup>注2</sup>	PFC62 = 0 <sup>注2</sup>	
	$\overline{\text{SCKE0}}$ <sup>注1</sup>	入出力	P62 = 設定不要	PM62 = 設定不要	PMC62 = 1	PFCE62 = 1	PFC62 = 0	
P63	RTP13	出力	P63 = 設定不要	PM63 = 設定不要	PMC63 = 1	PFCE63 = 0	PFC63 = 0	
	SIE1 <sup>注1</sup>	入力	P63 = 設定不要	PM63 = 設定不要	PMC63 = 1	PFCE63 = 0	PFC63 = 1	
	KR4	入力	P63 = 設定不要	PM63 = 設定不要	PMC63 = 1	PFCE63 = 1	PFC63 = 0	
P64	RTP14	出力	P64 = 設定不要	PM64 = 設定不要	PMC64 = 1	PFCE64 = 0	PFC64 = 0	
	SOE1 <sup>注1</sup>	出力	P64 = 設定不要	PM64 = 設定不要	PMC64 = 1	PFCE64 = 0	PFC64 = 1	
	KR5	入力	P64 = 設定不要	PM64 = 設定不要	PMC64 = 1	PFCE64 = 1	PFC64 = 0	
P65	RTP15	出力	P65 = 設定不要	PM65 = 設定不要	PMC65 = 1	PFCE65 = 0	PFC65 = 0	
	$\overline{\text{SCKE1}}$ <sup>注1</sup>	入出力	P65 = 設定不要	PM65 = 設定不要	PMC65 = 1	PFCE65 = 0	PFC65 = 1	
	KR2	入力	P65 = 設定不要	PM65 = 設定不要	PMC65 = 1	PFCE65 = 1	PFC65 = 0	TQ0IS7, TQ0IS6 ( TQ0I0C1 ) = 00
	TIQ03	入力	P65 = 設定不要	PM65 = 設定不要	PMC65 = 1	PFCE65 = 1	PFC65 = 0	KRM2 ( KRM ) = 0
	TOQ03	出力	P65 = 設定不要	PM65 = 設定不要	PMC65 = 1	PFCE65 = 1	PFC65 = 1	

注1.  $\mu$  PD70F3931B ( V850E/SJ3-H ) , 70F3932B ( V850E/SJ3-H ) , 70F3933B ( V850E/SJ3-H ) 以外

2.  $\mu$  PD70F3931B ( V850E/SJ3-H ) , 70F3932B ( V850E/SJ3-H ) , 70F3933B ( V850E/SJ3-H ) 以外のみ有効です。

$\mu$  PD70F3931B ( V850E/SJ3-H ) , 70F3932B ( V850E/SJ3-H ) , 70F3933B ( V850E/SJ3-H ) の場合には “ - ” となります。

表4 - 25 ポート端子を兼用端子として使用する場合 (6/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P66	SIB5	入力	P66 = 設定不要	PM66 = 設定不要	PMC66 = 1	PFCE66 = 0	PFC66 = 0	
	INTP9	入力	P66 = 設定不要	PM66 = 設定不要	PMC66 = 1	PFCE66 = 0	PFC66 = 1	
	KR3	入力	P66 = 設定不要	PM66 = 設定不要	PMC66 = 1	PFCE66 = 1	PFC66 = 0	TQ0IS1, TQ0IS0 ( TQ0IOC1 ) = 00, TQ0EES1, TQ0EES0 ( TQ0IOC2 ) = 00, TQ0ETS1, TQ0ETS0 ( TQ0IOC2 ) = 00
	TIQ00	入力	P66 = 設定不要	PM66 = 設定不要	PMC66 = 1	PFCE66 = 1	PFC66 = 0	KRM3 ( KRM ) = 0
	TOQ00	出力	P66 = 設定不要	PM66 = 設定不要	PMC66 = 1	PFCE66 = 1	PFC66 = 1	
P67	SOB5	出力	P67 = 設定不要	PM67 = 設定不要	PMC67 = 1	PFCE67 = 0 <sup>注2</sup>	PFC67 = 0	
	RXDA5	入力	P67 = 設定不要	PM67 = 設定不要	PMC67 = 1	PFCE67 = 0 <sup>注2</sup>	PFC67 = 1	
	SDA05 <sup>注1</sup>	入出力	P67 = 設定不要	PM67 = 設定不要	PMC67 = 1	PFCE67 = 1	PFC67 = 0	PF67 ( PF6 ) = 1
P68	SCKB5	入出力	P68 = 設定不要	PM68 = 設定不要	PMC68 = 1	PFCE68 = 0 <sup>注2</sup>	PFC68 = 0	
	TXDA5	出力	P68 = 設定不要	PM68 = 設定不要	PMC68 = 1	PFCE68 = 0 <sup>注2</sup>	PFC68 = 1	
	SCL05 <sup>注1</sup>	入出力	P68 = 設定不要	PM68 = 設定不要	PMC68 = 1	PFCE68 = 1	PFC68 = 0	PF68 ( PF6 ) = 1
P69	TIP70	入力	P69 = 設定不要	PM69 = 設定不要	PMC69 = 1	PFCE69 = 0	PFC69 = 0	
	TOP70	出力	P69 = 設定不要	PM69 = 設定不要	PMC69 = 1	PFCE69 = 0	PFC69 = 1	
	TENC70	入力	P69 = 設定不要	PM69 = 設定不要	PMC69 = 1	PFCE69 = 1	PFC69 = 0	
P610	TIP71	入力	P610 = 設定不要	PM610 = 設定不要	PMC610 = 1	PFCE610 = 0	PFC610 = 0	
	TENC71	入力	P610 = 設定不要	PM610 = 設定不要	PMC610 = 1	PFCE610 = 1	PFC610 = 0	
P611	TOP71	出力	P611 = 設定不要	PM611 = 設定不要	PMC611 = 1	PFCE611 = 0	PFC611 = 0	
	TECR7	入力	P611 = 設定不要	PM611 = 設定不要	PMC611 = 1	PFCE611 = 1	PFC611 = 0	
P612	TIP80	入力	P612 = 設定不要	PM612 = 設定不要	PMC612 = 1	PFCE612 = 0	PFC612 = 0	
	TOP80	出力	P612 = 設定不要	PM612 = 設定不要	PMC612 = 1	PFCE612 = 0	PFC612 = 1	
	TENC80	入力	P612 = 設定不要	PM612 = 設定不要	PMC612 = 1	PFCE612 = 1	PFC612 = 0	

注1.  $\mu$  PD70F3931B ( V850E/SJ3-H ) , 70F3932B ( V850E/SJ3-H ) , 70F3933B ( V850E/SJ3-H ) 以外

2.  $\mu$  PD70F3931B ( V850E/SJ3-H ) , 70F3932B ( V850E/SJ3-H ) , 70F3933B ( V850E/SJ3-H ) 以外のみ有効です。

$\mu$  PD70F3931B ( V850E/SJ3-H ) , 70F3932B ( V850E/SJ3-H ) , 70F3933B ( V850E/SJ3-H ) の場合には “ - ” となります。

表4 - 25 ポート端子を兼用端子として使用する場合 (7/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P613	TIP81	入力	P613 = 設定不要	PM613 = 設定不要	PMC613 = 1	PFCE613 = 0	PFC613 = 0	
	TOP81	出力	P613 = 設定不要	PM613 = 設定不要	PMC613 = 1	PFCE613 = 0	PFC613 = 1	
	TENC81	入力	P613 = 設定不要	PM613 = 設定不要	PMC613 = 1	PFCE613 = 1	PFC613 = 0	
P614	SDA03	入出力	P614 = 設定不要	PM614 = 設定不要	PMC614 = 1	PFCE614 = 0	PFC614 = 0	PF614 (PF6) = 1
	TECR8	入力	P614 = 設定不要	PM614 = 設定不要	PMC614 = 1	PFCE614 = 1	PFC614 = 0	
P615	SCL03	入出力	P615 = 設定不要	PM615 = 設定不要	PMC615 = 1	-	-	PF615 (PF6) = 1
P70	ANI0	入力	P70 = 設定不要	PM70 = 1	-	-	-	
P71	ANI1	入力	P71 = 設定不要	PM71 = 1	-	-	-	
P72	ANI2	入力	P72 = 設定不要	PM72 = 1	-	-	-	
P73	ANI3	入力	P73 = 設定不要	PM73 = 1	-	-	-	
P74	ANI4	入力	P74 = 設定不要	PM74 = 1	-	-	-	
P75	ANI5	入力	P75 = 設定不要	PM75 = 1	-	-	-	
P76	ANI6	入力	P76 = 設定不要	PM76 = 1	-	-	-	
P77	ANI7	入力	P77 = 設定不要	PM77 = 1	-	-	-	
P78	ANI8	入力	P78 = 設定不要	PM78 = 1	-	-	-	
P79	ANI9	入力	P79 = 設定不要	PM79 = 1	-	-	-	
P710	ANI10	入力	P710 = 設定不要	PM710 = 1	-	-	-	
P711	ANI11	入力	P711 = 設定不要	PM711 = 1	-	-	-	
P712	ANI12	入力	P712 = 設定不要	PM712 = 1	-	-	-	
P713	ANI13	入力	P713 = 設定不要	PM713 = 1	-	-	-	
P714	ANI14	入力	P714 = 設定不要	PM714 = 1	-	-	-	
P715	ANI15	入力	P715 = 設定不要	PM715 = 1	-	-	-	



表4 - 25 ポート端子を兼用端子として使用する場合 (8/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P80	RXDA3	入力	P80 = 設定不要	PM80 = 設定不要	PMC80 = 1	PFCE80 = 0	PFC80 = 0	注2
	INTP8	入力	P80 = 設定不要	PM80 = 設定不要	PMC80 = 1	PFCE80 = 0	PFC80 = 0	注2
	RC1CK1HZ	出力	P80 = 設定不要	PM80 = 設定不要	PMC80 = 1	PFCE80 = 1	PFC80 = 0	
P81	TXDA3	出力	P81 = 設定不要	PM81 = 設定不要	PMC81 = 1	PFCE81 = 0	PFC81 = 0	
	RC1CKO	出力	P81 = 設定不要	PM81 = 設定不要	PMC81 = 1	PFCE81 = 1	PFC81 = 0	RC1CC3.CLOE2ビット = 0, 注3
	RC1CKDIV	出力	P81 = 設定不要	PM81 = 設定不要	PMC81 = 1	PFCE81 = 1	PFC81 = 0	RC1CC1.CLOE0ビット = 0, 注3
P82 <sup>注1</sup>	SDA05 <sup>注1</sup>	入出力	P82 = 設定不要	PM82 = 設定不要	PMC82 = 1	-	-	PF82 (PF8) = 1
P83 <sup>注1</sup>	SCL05 <sup>注1</sup>	入出力	P83 = 設定不要	PM83 = 設定不要	PMC83 = 1	-	-	PF83 (PF8) = 1
P84 <sup>注1</sup>	RXDA5 <sup>注1</sup>	入力	P84 = 設定不要	PM84 = 設定不要	PMC84 = 1	-	-	
P85 <sup>注1</sup>	TXDA5 <sup>注1</sup>	出力	P85 = 設定不要	PM85 = 設定不要	PMC85 = 1	-	-	
P90	A0	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 0	PFC90 = 0	注4
	KR6	入力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 0	PFC90 = 1	
	TXDA1	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 1	PFC90 = 0	
	SDA02	入出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 1	PFC90 = 1	PF90 (PF9) = 1

注1. V850E/SK3-Hのみ

- INTP8端子とRXDA3端子は兼用となっています。RXDA3端子として使用する場合は兼用しているINTP8端子のエッジ検出を無効にしてください (INTF8.INTF80ビット = 0, INTR8.INTR80ビット = 0に設定)。またINTP8端子として使用する場合はUARTA3を受信動作停止としてください (UA3CTL0.UA3RXEビット = 0)。
- RC1CKDIV端子とRC1CKO端子は兼用となっています。RC1CKDIV端子として使用する場合は、兼用しているRC1CKO端子の出力を禁止にしてください (RC1CC1.CLOE0ビット = 0に設定)。また、RC1CKO端子として使用する場合は、RC1CKDIV端子の出力を禁止にしてください (RC1CC3.CLOE2ビット = 0)。
- セパレート・バス・モードでA0-A15端子を1本でも使用する場合は、ポート9はポート端子または他の兼用機能として使用できません。したがって、PFC9, PFCE9レジスタを0000Hに設定後、PMC9レジスタは一括してFFFFHに16ビット設定してください。

表4 - 25 ポート端子を兼用端子として使用する場合 (9/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P91	A1	出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 0	PFC91 = 0	注2
	KR7	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 0	PFC91 = 1	
	RXDA1 <sup>注1</sup>	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 1	PFC91 = 0	
	KR7 <sup>注1</sup>	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 1	PFC91 = 0	
	SCL02	入出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 1	PFC91 = 1	PF91 (PF9) = 1
P92	A2	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 0	PFC92 = 0	注2
	TIP41	入力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 0	PFC92 = 1	
	TOP41	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 1	PFC92 = 0	
P93	A3	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 0	PFC93 = 0	注2
	TIP40	入力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 0	PFC93 = 1	
	TOP40	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 1	PFC93 = 0	
	INTP8	入力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 1	PFC93 = 1	
P94	A4	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 0	PFC94 = 0	注2
	TIP31	入力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 0	PFC94 = 1	
	TOP31	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 1	PFC94 = 0	
P95	A5	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 0	PFC95 = 0	注2
	TIP30	入力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 0	PFC95 = 1	
	TOP30	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 1	PFC95 = 0	
	INTP5	入力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 1	PFC95 = 1	

- 注1. RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください (KRM.KRM7ビット = 0に設定してください)。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください (PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します。PFC91ビット = 0, PFCE91ビット = 1で使用する場合は、UA1RXEビット = 0に設定してください)。
2. セパレート・バス・モードでA0-A15端子を1本でも使用する場合は、ポート9はポート端子または他の兼用機能として使用できません。したがって、PFC9, PFCE9レジスタを0000Hに設定後、PMC9レジスタは一括してFFFFHに16ビット設定してください。

表4 - 25 ポート端子を兼用端子として使用する場合 (10/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P96	A6	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 0	PFC96 = 0	注
	TIP21	入力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 0	
	TOP21	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 1	
P97	A7	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 0	PFC97 = 0	注
	SIB1	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 0	PFC97 = 1	
	TIP20	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 0	
	TOP20	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 1	
P98	A8	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	-	PFC98 = 0	注
	SOB1	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	-	PFC98 = 1	
P99	A9	出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	-	PFC99 = 0	注
	SCKB1	入出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	-	PFC99 = 1	
P910	A10	出力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	-	PFC910 = 0	注
	SIB3	入力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	-	PFC910 = 1	
P911	A11	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	-	PFC911 = 0	注
	SOB3	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	-	PFC911 = 1	
P912	A12	出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	-	PFC912 = 0	注
	SCKB3	入出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	-	PFC912 = 1	
P913	A13	出力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	-	PFC913 = 0	注
	INTP4	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	-	PFC913 = 1	
P914	A14	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 0	PFC914 = 0	注
	INTP5	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 0	PFC914 = 1	
	TIP51	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 1	PFC914 = 0	
	TOP51	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 1	PFC914 = 1	

注 セパレート・バス・モードでA0-A15端子を1本でも使用する場合は、ポート9はポート端子または他の兼用機能として使用できません。したがって、PFC9、PFCE9レジスタを0000Hに設定後、PMC9レジスタは一括してFFFFHに16ビット設定してください。

表4 - 25 ポート端子を兼用端子として使用する場合 (11/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P915	A15	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 0	PFC915 = 0	注3
	INTP6	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 0	PFC915 = 1	
	TIP50	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 1	PFC915 = 0	
	TOP50	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 1	PFC915 = 1	
P150 <sup>注1</sup>	RXDA1 <sup>注1,2</sup>	入力	P150 = 設定不要	PM150 = 設定不要	PMC150 = 1	-	-	
	KR7 <sup>注1,2</sup>	入力	P150 = 設定不要	PM150 = 設定不要	PMC150 = 1	-	-	
P151 <sup>注1</sup>	TXDA1 <sup>注1</sup>	出力	P151 = 設定不要	PM151 = 設定不要	PMC151 = 1	-	-	
P152 <sup>注1</sup>	INTP9 <sup>注1</sup>	入力	P152 = 設定不要	PM152 = 設定不要	PMC152 = 1	-	-	
P153 <sup>注1</sup>	INTP6 <sup>注1</sup>	入力	P153 = 設定不要	PM153 = 設定不要	PMC153 = 1	-	-	
PCD0	RXDB0	入力	PCD0 = 設定不要	PMCD0 = 設定不要	PMCCD0 = 1	-	PFCCD0 = 1	
PCD1	TXDB0	出力	PCD1 = 設定不要	PMCD1 = 設定不要	PMCCD1 = 1	-	PFCCD1 = 1	
PCD2	RXDB1	入力	PCD2 = 設定不要	PMCD2 = 設定不要	PMCCD2 = 1	-	PFCCD2 = 1	
PCD3	TXDB1	出力	PCD3 = 設定不要	PMCD3 = 設定不要	PMCCD3 = 1	-	PFCCD3 = 1	
PCM0	WAIT	入力	PCM0 = 設定不要	PMCM0 = 設定不要	PMCCM0 = 1	-	-	
PCM1	CLKOUT	出力	PCM1 = 設定不要	PMCM1 = 設定不要	PMCCM1 = 1	-	-	
PCM2	HLDK	出力	PCM2 = 設定不要	PMCM2 = 設定不要	PMCCM2 = 1	-	-	
PCM3	HLDRQ	入力	PCM3 = 設定不要	PMCM3 = 設定不要	PMCCM3 = 1	-	-	
PCS1	CS1	出力	PCS1 = 設定不要	PMCS1 = 設定不要	PMCCS1 = 1	-	-	
PCS2	CS2	出力	PCS2 = 設定不要	PMCS2 = 設定不要	PMCCS2 = 1	-	-	
PCS3	CS3	出力	PCS3 = 設定不要	PMCS3 = 設定不要	PMCCS3 = 1	-	-	

注1. V850E/SK3-Hのみ

- RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください (KRM.KRM7ビット = 0に設定してください)。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください (UA1CTL0.UA1RXEビット = 0に設定してください)。
- セパレート・バス・モードでA0-A15端子を1本でも使用する場合は、ポート9はポート端子または他の兼用機能として使用できません。したがって、PFC9, PFCE9レジスタを0000Hに設定後、PMC9レジスタは一括してFFFFHに16ビット設定してください。

表4 - 25 ポート端子を兼用端子として使用する場合 (12/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
PCT0	WR0	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCCT0 = 1	-	-	
PCT1	WR1	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCCT1 = 1	-	-	
PCT4	RD	出力	PCT4 = 設定不要	PMCT4 = 設定不要	PMCCT4 = 1	-	-	
PCT6	ASTB	出力	PCT6 = 設定不要	PMCT6 = 設定不要	PMCCT6 = 1	-	-	
PDH0	A16	出力	PDH0 = 設定不要	PMDH0 = 設定不要	PMCDH0 = 1	-	-	
PDH1	A17	出力	PDH1 = 設定不要	PMDH1 = 設定不要	PMCDH1 = 1	-	-	
PDH2	A18	出力	PDH2 = 設定不要	PMDH2 = 設定不要	PMCDH2 = 1	-	-	
PDH3	A19	出力	PDH3 = 設定不要	PMDH3 = 設定不要	PMCDH3 = 1	-	-	
PDH4	A20	出力	PDH4 = 設定不要	PMDH4 = 設定不要	PMCDH4 = 1	-	-	
PDH5	A21	出力	PDH5 = 設定不要	PMDH5 = 設定不要	PMCDH5 = 1	-	-	
PDH6	A22	出力	PDH6 = 設定不要	PMDH6 = 設定不要	PMCDH6 = 1	-	-	
PDH7	A23	出力	PDH7 = 設定不要	PMDH7 = 設定不要	PMCDH7 = 1	-	-	

表4 - 25 ポート端子を兼用端子として使用する場合 (13/13)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
PDL0	AD0	入出力	PDL0 = 設定不要	PMDL0 = 設定不要	PMCDL0 = 1	-	-	
PDL1	AD1	入出力	PDL1 = 設定不要	PMDL1 = 設定不要	PMCDL1 = 1	-	-	
PDL2	AD2	入出力	PDL2 = 設定不要	PMDL2 = 設定不要	PMCDL2 = 1	-	-	
PDL3	AD3	入出力	PDL3 = 設定不要	PMDL3 = 設定不要	PMCDL3 = 1	-	-	
PDL4	AD4	入出力	PDL4 = 設定不要	PMDL4 = 設定不要	PMCDL4 = 1	-	-	
PDL5	AD5	入出力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 1	-	-	
	FLMD1 <sup>注</sup>	入力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 設定不要	-	-	
PDL6	AD6	入出力	PDL6 = 設定不要	PMDL6 = 設定不要	PMCDL6 = 1	-	-	
PDL7	AD7	入出力	PDL7 = 設定不要	PMDL7 = 設定不要	PMCDL7 = 1	-	-	
PDL8	AD8	入出力	PDL8 = 設定不要	PMDL8 = 設定不要	PMCDL8 = 1	-	-	
PDL9	AD9	入出力	PDL9 = 設定不要	PMDL9 = 設定不要	PMCDL9 = 1	-	-	
PDL10	AD10	入出力	PDL10 = 設定不要	PMDL10 = 設定不要	PMCDL10 = 1	-	-	
PDL11	AD11	入出力	PDL11 = 設定不要	PMDL11 = 設定不要	PMCDL11 = 1	-	-	
PDL12	AD12	入出力	PDL12 = 設定不要	PMDL12 = 設定不要	PMCDL12 = 1	-	-	
PDL13	AD13	入出力	PDL13 = 設定不要	PMDL13 = 設定不要	PMCDL13 = 1	-	-	
PDL14	AD14	入出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	-	-	
PDL15	AD15	入出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	-	-	

注 フラッシュ・メモリ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第32章 フラッシュ・メモリを参照してください。

## 4.6 注意事項

### 4.6.1 ポート端子設定上の注意事項

(1) V850E/SJ3-H, V850E/SK3-Hでは、1本の端子に汎用ポートと複数の周辺機能の入出力端子が兼用されています。汎用ポート(ポート・モード)と、周辺機能の入出力端子(兼用機能モード)との切り替えは、PMCnレジスタで設定します。このレジスタの設定順序に関して、次の点に注意してください。

#### (a) ポート・モードから兼用機能モードへ切り替える場合の注意事項

ポート・モードから兼用機能モードへ切り替える場合は、次の順序で行ってください。

PFnレジスタを設定 <sup>注</sup>	: N-chオープン・ドレイン設定
PFCn, PFCEnレジスタを設定	: 兼用端子機能選択
PMCnレジスタの該当ビットに1を設定	: 兼用機能モードへ切り替え

PMCnレジスタを先に設定すると、その瞬間、またそのあとのPFn, PFCn, PFCEnレジスタの設定に伴う端子状態の変化によっては、意図しない動作に陥る可能性があるため注意してください。

【例】に具体例を示します。

注 N-chオープン・ドレイン出力端子のみ

注意 ポート・モード/兼用機能モードに関係なく、Pnレジスタのリード/ライトは次のようになります。

- ・Pnレジスタのリード : ポート出力ラッチの値(PMn.PMnmビット = 0時)、または端子状態(PMn.PMnmビット = 1時)の読み出し
- ・Pnレジスタへのライト : ポート出力ラッチへの書き込み

#### 【例】SCL01端子の設定例

SCL01端子は、P41/SOB0と兼用されています。有効な端子機能を、PMC4, PFC4, PF4レジスタによって次のように選択します。

PMC41ビット	PFC41ビット	PF41ビット	有効な端子機能
0	don't care	1	P41 (出力ポート・モードの場合、N-chオープン・ドレイン出力)
1	0	1	SOB0出力 (N-chオープン・ドレイン出力)
	1	1	SCL01入出力 (N-chオープン・ドレイン出力)

次に、P41端子からSCL01端子への切り替え時に、問題が発生する可能性がある設定順序を示します。

設定順	設定内容	端子状態	端子レベル
	初期値 (PMC41ビット = 0, PFC41ビット = 0, PF41ビット = 0)	ポート・モード (入力)	Hi-Z
	PMC41ビット←1	SOB0出力	ロウ・レベル(CSIB0の設定によってはハイ・レベル)
	PFC41ビット←1	SCL01入出力	ハイ・レベル(CMOS出力)
	PF41ビット←1	SCL01入出力	Hi-Z(N-chオープン・ドレイン出力)

で、兼用されているSOB0出力が端子に出力されるため、I<sup>2</sup>C通信に影響を与える可能性があります。また、  
、  
のCMOS出力の期間に、不要な電流が発生する可能性があります。

#### (b) 兼用機能モード(入力)に関する注意事項

兼用機能ブロックへの入力信号は、PMcNレジスタの設定値と端子レベルのAND出力のため、PMcN.PMcNmビット = 0のときはロウ・レベルとなります。そのため、ポート設定と兼用機能動作許可のタイミングによっては、意図しない動作に陥る可能性があります。したがって、PMcNレジスタによるポート・モードと兼用機能モードの切り替えは、次に示す順序で実行してください。

- ・ポート・モードから兼用機能モード(入力)へ切り替える場合  
PMcNレジスタで端子を兼用機能モードにしてから、兼用機能の動作を許可してください。
- ・兼用機能モード(入力)からポート・モードへ切り替える場合  
兼用機能の動作を停止してから、端子をポート・モードへ切り替えてください。

【例1】、【例2】に具体例を示します。

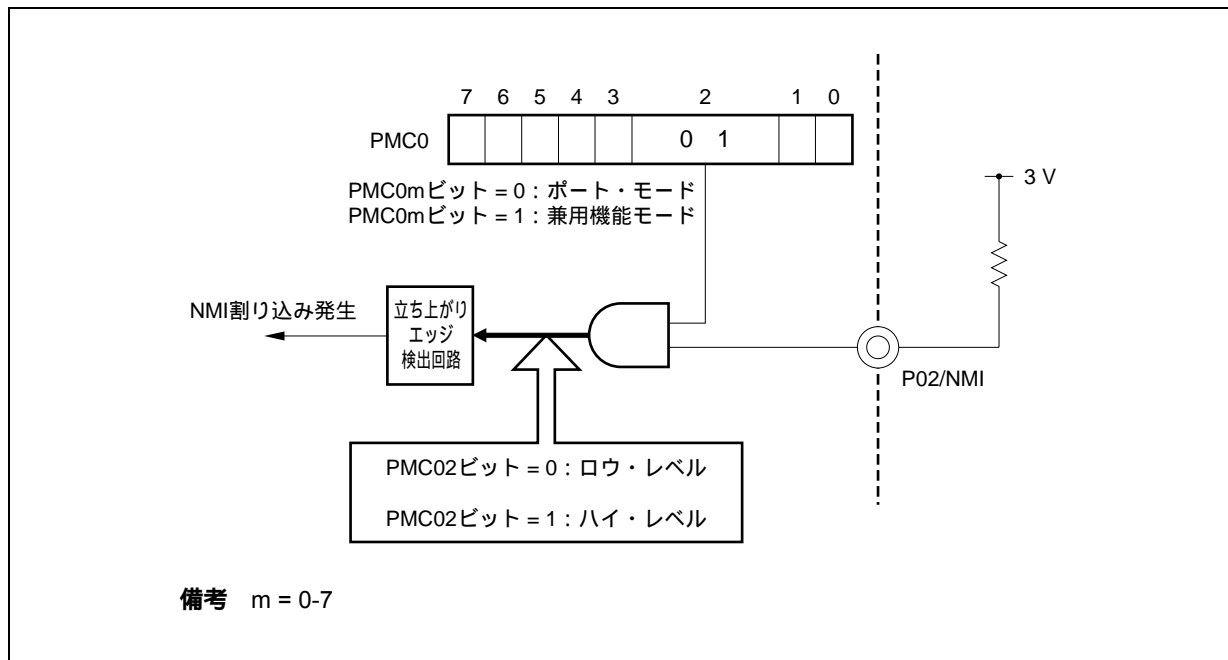
#### 【例1】汎用ポート(P02)から外部割り込み端子(NMI)への切り替え

P02/NMI端子が図4-68のようにプルアップされており、かつNMI端子のエッジ検出設定で立ち上がりエッジを指定している場合に、P02端子からNMI端子へ切り替えたとき(PMC02ビット = 0→1)、NMI端子にはハイ・レベルが入力され続けているにもかかわらず、ロウ・レベル→ハイ・レベルと変化したかのように立ち上がりエッジとして検出し、NMI割り込みが発生します。

対策として、P02端子からNMI端子へ切り替えてから、NMI端子の有効エッジを設定してください。



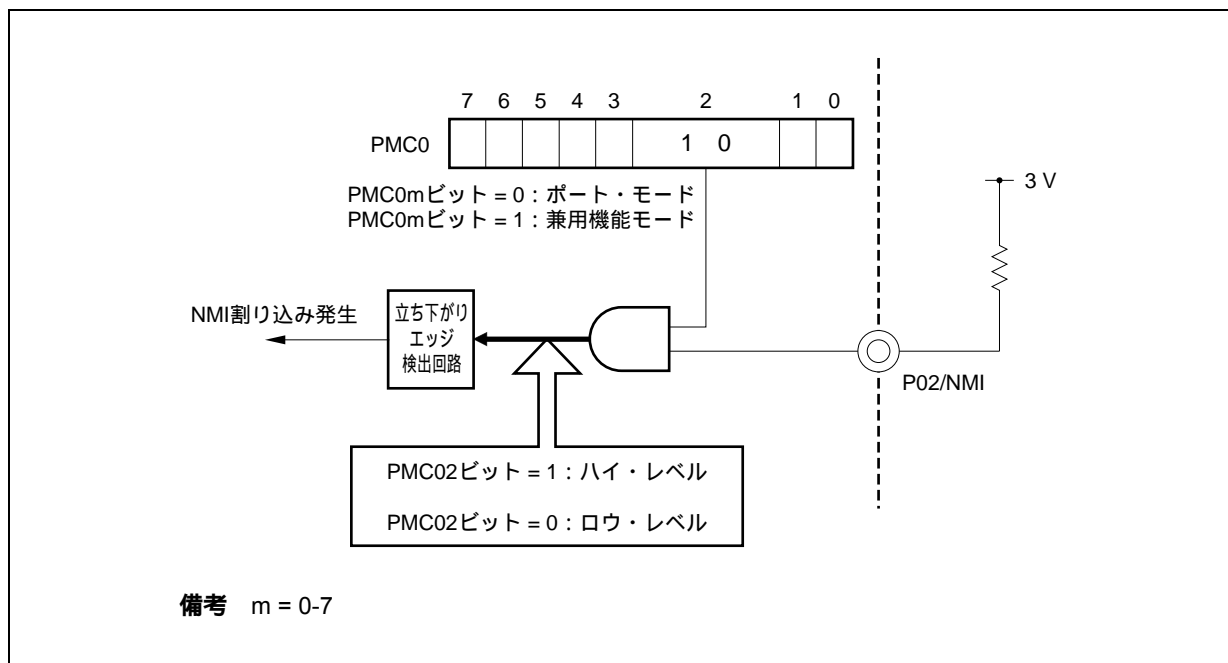
図4 - 68 P02からNMIへの切り替え（悪い例）



## 【例2】外部割り込み端子（NMI）から、汎用ポート（P02）への切り替え

P02/NMI端子が図4 - 69のようにプルアップされており、かつNMI端子のエッジ検出設定で立ち下がりエッジを指定している場合に、NMI端子からP02端子へ切り替えたとき（PMCO2ビット = 1→0）、NMI端子にはハイ・レベルが入力され続けているにもかかわらず、ハイ・レベル→ロウ・レベルと変化したかのように立ち下がりエッジとして検出し、NMI割り込みが発生します。対策として、NMI端子のエッジ検出設定を“エッジ検出しない”にしてから、NMI端子からP02端子へ切り替えてください。

図4 - 69 NMIからP02への切り替え（悪い例）



(2) ポート・モードにおいてPFn.PFnmビットは、出力モード（PMn.PMnmビット = 0）時のみ有効となります。入力モード（PMnmビット = 1）のとき、PFnmビットの値はバッファに反映されません。

#### 4.6.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P90端子は出力ポート、P91-P97端子は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき、P90端子の出力をビット操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート・ラッチの値は、“FFH” になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み/読み出しの対象は、それぞれ出力ラッチ/端子状態です。

また、ビット操作命令はV850E/SJ3-H, V850E/SK3-H内部で、次の順序で行われます。

<1> Pnレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

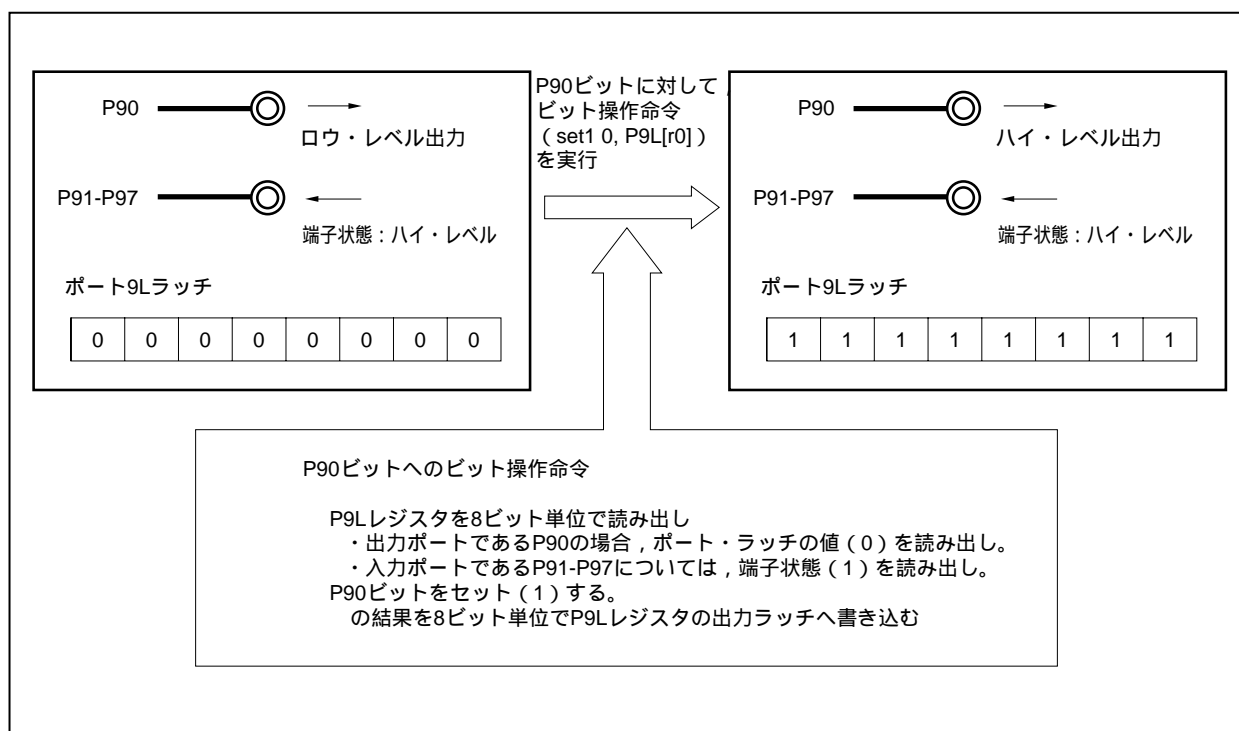
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP90端子は出力ラッチの値（0）を読み出しますが、入力ポートであるP91-P97端子は端子状態を読み出します。このときP91-P97端子の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4 - 70 ビット操作命令（P90端子の場合）



### 4.6.3 オンチップ・デバッグ用端子に関する注意事項

$\overline{\text{DRST}}$ , DCK, DMS, DDI, DDO端子はオンチップ・デバッグ用の端子です。

$\overline{\text{RESET}}$ 端子によるリセット後, P05/INTP2/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子 ( $\overline{\text{DRST}}$ ) に初期化されます。このとき $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, オンチップ・デバッグ・モードになり, DCK, DMS, DDI, DDO端子が使用可能になります。

オンチップ・デバッグを使用しない場合は, 次の処置が必要です。

- ・OCDMレジスタ(特定レジスタ)のOCDM0ビットをクリア(0)

このとき,  $\overline{\text{RESET}}$ 端子によるリセット解除時から, 上記の処理を終えるまで, P05/INTP2/ $\overline{\text{DRST}}$ 端子をロウ・レベル固定にしてください。

上記処置を行う前に $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, 誤動作(CPUデッド・ロック)の原因となるため, P05端子の取り扱いには十分注意してください。

**注意** ウォッチドッグ・タイマのオーバーフローによるリセット信号(WDT2RES)発生, 低電圧検出回路(LVI)によるリセット信号(LVIRE)発生, クロック・モニタ(CLM)によるリセット信号(CLMRES)発生時は, P05/INTP2/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子( $\overline{\text{DRST}}$ )に初期化されません。また, OCDMレジスタも値を保持します。

### 4.6.4 P05/INTP2/ $\overline{\text{DRST}}$ 端子に関する注意事項

P05/INTP2/ $\overline{\text{DRST}}$ 端子はプルダウン抵抗(30 k $\Omega$ (TYP.))を内蔵しています。 $\overline{\text{RESET}}$ 端子によるリセット後は, プルダウン抵抗が接続されています。OCDM0ビットをクリア(0)することにより, プルダウン抵抗は切断されます。

### 4.6.5 P53端子に関する電源投入時の注意事項

次に示す端子は, 電源投入時に瞬間的に不定レベルを出力する可能性があります。

- ・P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO端子

### 4.6.6 ヒステリシス特性について

ポート・モードでは, 次のポートはヒステリシス特性を持ちません。

P00-P06  
 P20<sup>注</sup>, P21<sup>注</sup>  
 P31-P35, P37-P39, P312<sup>注</sup>  
 P40-P42, P45<sup>注</sup>  
 P50-P55, P56<sup>注</sup>  
 P60, P62-P615  
 P80, P82-P84<sup>注</sup>  
 P90-P97, P99, P910, P912-P915  
 P150<sup>注</sup>, P152<sup>注</sup>, P153<sup>注</sup>  
 PCD0, PCD2

注 V850E/SK3-Hのみ

#### 4.6.7 セパレート・バス・モード時の注意事項

セパレート・バス・モードでA0-A15端子を1本でも使用する場合は、ポート9はポート端子または他の兼用機能として使用できません。したがって、PFC9, PFCE9レジスタを0000Hに設定後、PMC9レジスタは一括してFFFFHに16ビット設定してください。

セパレート・バス・モードでA0-A15端子を1本も使用しない場合は、ポート9はポート端子または他の兼用機能として使用できます。

#### 4.6.8 ポートnレジスタ (Pn : n = 3-5, 8) のリード時の注意事項 (V850E/SJ3-Hのみ)

V850E/SJ3-Hでは、次のポートnレジスタのビットのリード値は不定になります。

ポート3レジスタ : P310-P312

ポート4レジスタ : P43-P45

ポート5レジスタ : P56, P57

ポート8レジスタ : P82-P85

#### 4.6.9 ポートnモード・コントロール・レジスタ (PMcn : n = 3-5, 8) の設定に関する注意事項

V850E/SJ3-Hでは、次のポートnモード・コントロール・レジスタのビットには、必ず0を設定してください。

ポート3モード・コントロール・レジスタ : PMC310-PMC312

ポート4モード・コントロール・レジスタ : PMC44, PMC45

ポート5モード・コントロール・レジスタ : PMC56, PMC57

ポート8モード・コントロール・レジスタ : PMC82-PMC85

## 第5章 バス制御機能

V850E/SJ3-H, V850E/SK3-Hは、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

### 5.1 特 徴

最小で3バス・サイクルのマルチプレクス・バスと、最小で2バス・サイクルのセパレート・バス出力選択可能

8ビット/16ビット・データ・バス切り替え可能

ウェイト機能

- ・最大で7ステートのプログラマブル・ウェイト機能
- ・ $\overline{\text{WAIT}}$ 端子による外部ウェイト機能

アイドル・ステート機能

バス・ホールド機能

最大約30 Mバイト物理メモリを接続可能

$BV_{DD} = EV_{DD} = V_{DD}$ とすることで、バスを動作電圧と異なった電圧で制御可能。ただし、セパレート・バス・モード時は、 $BV_{DD} = EV_{DD} = V_{DD}$ としてください。

## 5.2 バス制御端子

外部デバイスの接続には、次の端子を使用します。

表5 - 1 バス制御端子一覧

### (a) マルチプレクス・バス選択時

バス制御端子	兼用端子	入出力	機 能
AD0-AD15	PDL0-PDL15	入出力	アドレス / データ・バス
A16-A23	PDH0-PDH7	出力	アドレス・バス
WAIT	PCM0	入力	外部ウエイト制御
CLKOUT	PCM1	出力	内部システム・クロック
WR0, WR1	PCT0, PCT1	出力	ライト・ストロープ信号
RD	PCT4	出力	リード・ストロープ信号
ASTB	PCT6	出力	アドレス・ストロープ信号
HLDRQ	PCM3	入力	バス・ホールド制御
HLDK	PCM2	出力	
CS1-CS3	PCS1-PCS3	出力	チップ・セレクト

### (b) セパレート・バス選択時

バス制御端子	兼用端子	入出力	機 能
AD0-AD15	PDL0-PDL15	入出力	データ・バス
A0-A15	P90-P915	出力	アドレス・バス
A16-A23	PDH0-PDH7	出力	アドレス・バス
WAIT	PCM0	入力	外部ウエイト制御
CLKOUT	PCM1	出力	内部システム・クロック
WR0, WR1	PCT0, PCT1	出力	ライト・ストロープ信号
RD	PCT4	出力	リード・ストロープ信号
HLDRQ	PCM3	入力	バス・ホールド制御
HLDK	PCM2	出力	
CS1-CS3	PCS1-PCS3	出力	チップ・セレクト

### 5.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/O, 拡張内蔵RAMアクセス時の端子状態

内蔵ROM, 内蔵RAM, 内蔵周辺I/O, 拡張内蔵RAMへアクセスした場合, 各端子状態は次のようになります。

表5-2 内蔵ROM, 内蔵RAM, 内蔵周辺I/O, 拡張内蔵RAMアクセス時の端子状態一覧

#### (a) 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時

セバレート・バス・モード			マルチプレクス・バス・モード		
アドレス・バス (A23-A0)	不定		アドレス・バス (A23-A16)	不定	
アドレス/データ・バス (AD15-AD0)	ハイ・インピーダンス		アドレス/データ・バス (AD15-AD0)	不定	
制御信号	CS1-CS3	インアクティブ・レベル	制御信号	CS1-CS3	インアクティブ・レベル
	RD, WR0, WR1, ASTB	インアクティブ・レベル		RD, WR0, WR1, ASTB	インアクティブ・レベル

**注意** 内蔵ROMへライト・アクセスしようとしたときには, 外部メモリ領域へのアクセスと同じく, アドレス・バス, アドレス/データ・バス, 制御信号ともに活性化されます。ただし, ライト・アクセスは禁止です。

#### (b) 拡張内蔵RAMアクセス時

セバレート・バス・モード			マルチプレクス・バス・モード		
アドレス・バス (A23-A0)	不定		アドレス・バス (A23-A16)	不定	
アドレス/データ・バス (AD15-AD0)	不定		アドレス/データ・バス (AD15-AD0)	不定	
制御信号	CS1-CS3	インアクティブ・レベル	制御信号	CS1-CS3	インアクティブ・レベル
	RD, WR0, WR1, ASTB	アクティブ・レベル		RD, WR0, WR1, ASTB	アクティブ・レベル

**注意** 拡張内蔵RAMへのアクセス時には, 制御信号 (RD, WR0, WR1, ASTB) が活性化されます。

そのため, 外部メモリや外部I/Oに対しては, CS<sub>n</sub>信号によるアクセス制御が必要となります (n = 1-3)。

### 5.2.2 各動作モードの端子状態

V850E/SJ3-H, V850E/SK3-H各動作モードの端子状態については, 2.3 端子状態を参照してください。

### 5.3 メモリ・ブロック機能

28 Mバイトの外部メモリ空間は下位より4 M, 4 M, 4 M, 16 Mバイト単位のメモリ・ブロックに分割され、3つのCS空間 ( $\overline{CS1}$ ,  $\overline{CS2}$ ,  $\overline{CS3}$ ) として使用できます。

$\overline{CS1}$ 空間と $\overline{CS3}$ 空間のメモリ・ブロックとの対応はCSC0, CSC1レジスタにより設定できます。また、CS空間ごとにプログラマブル・ウエイト機能、バス・サイズなどを独立に制御できます。

なお、CSC0, CSC1レジスタの設定により、拡張内蔵RAMを使用しない場合は、3E00000H-3FEBFFFFH番地を外部メモリ領域として使用できます。このため、最大約30 Mバイトの外部メモリ空間を使用できます。



図5 - 1 データ・メモリ・マップ：物理アドレス (1/2)

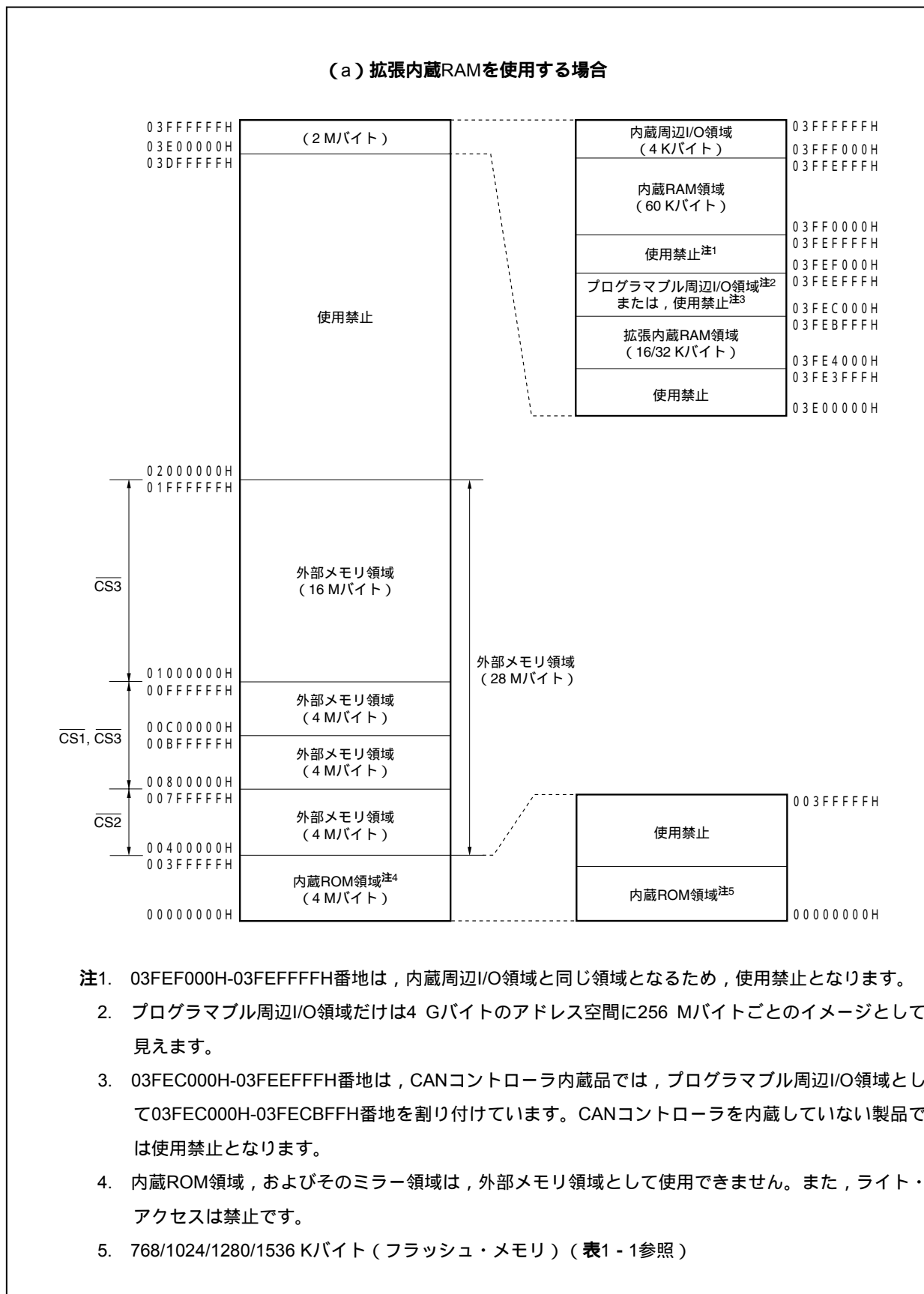
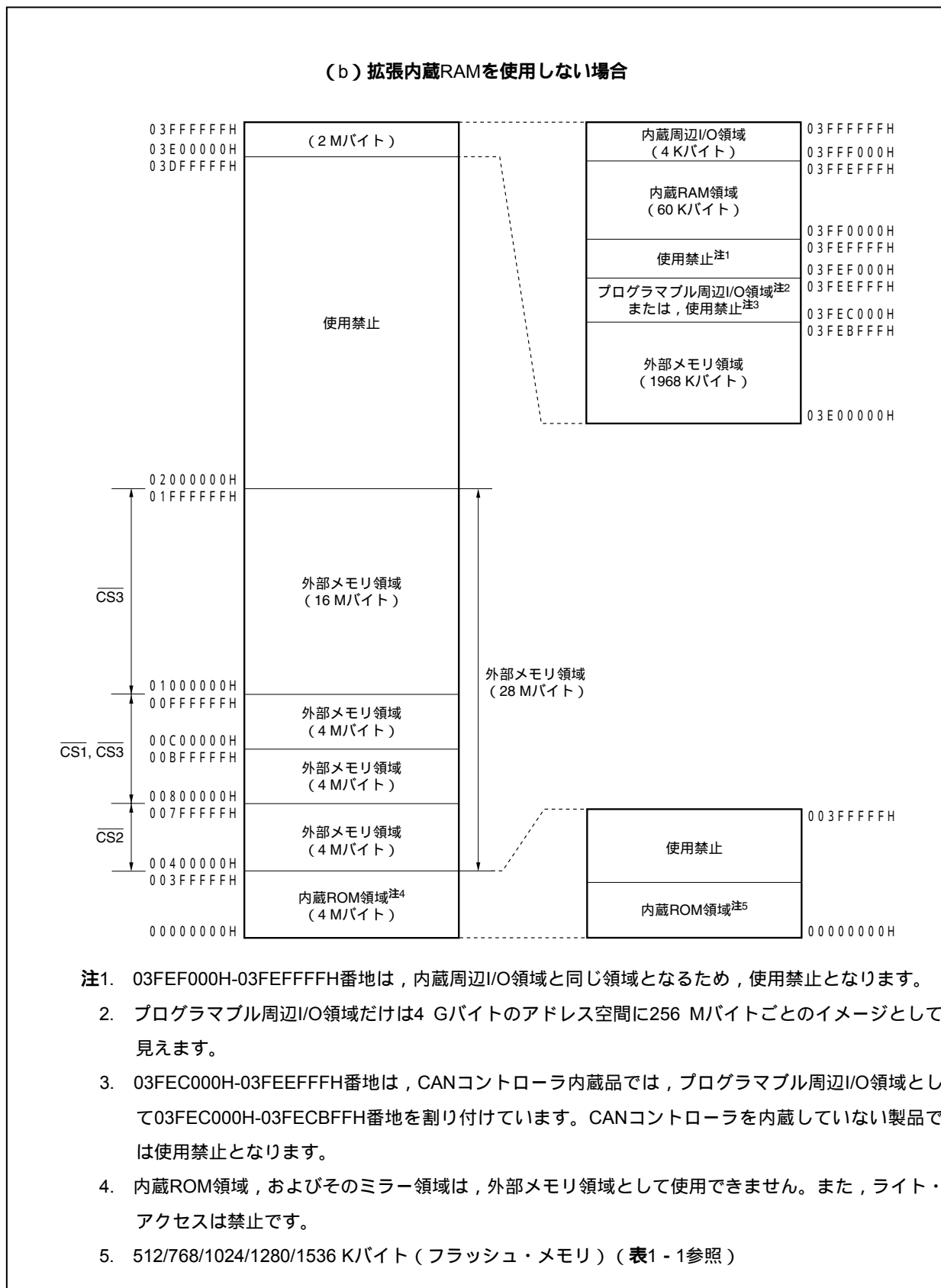


図5-1 データ・メモリ・マップ：物理アドレス (2/2)



### 5.3.1 チップ・セレクト制御機能

V850E/SJ3-H, V850E/SK3-Hは、CSC0, CSC1レジスタにより、8種類のメモリ・マップを選択できます。

#### (1) チップ領域セレクト・コントロール・レジスタ0, 1 (CSC0, CSC1)

CSC0, CSC1レジスタには、次に示す設定値を設定してください。

16ビット単位でリード/ライト可能です。

CSC0, CSC1レジスタのアドレス、初期値は次のようになります。

レジスタ名	アドレス	初期値
CSC0	FFFFFF060H	2C11H
CSC1	FFFFFF062H	2C11H

**注意** CSC0, CSC1レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、CSC0, CSC1レジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

#### (a) 拡張内蔵RAMを使用する場合 ( $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外)

CSC0, CSC1レジスタの設定値とメモリ・マップの関係を次に示します。

**注意**  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) は、拡張内蔵RAMを搭載していません。そのため、5.3.1(1)(a) 拡張内蔵RAMを使用する場合の設定はできません。必ず5.3.1(1)(b) 拡張内蔵RAMを使用しない場合の設定をしてください。

CSC0レジスタの設定値	CSC1レジスタの設定値	メモリ・マップ
2C11H (初期値)	2C11H (初期値)	メモリ・マップ1 (図5-2の 参照)
ECC3H	2C11H (初期値)	メモリ・マップ2 (図5-2の 参照)
2C83H	2C11H (初期値)	メモリ・マップ3 (図5-2の 参照)
2C43H	2C11H (初期値)	メモリ・マップ4 (図5-2の 参照)
上記以外	上記以外	設定禁止

図5-2 CSC0, CSC1レジスタにより設定可能な4種類のメモリ・マップ：拡張内蔵RAMを使用する場合（1/2）

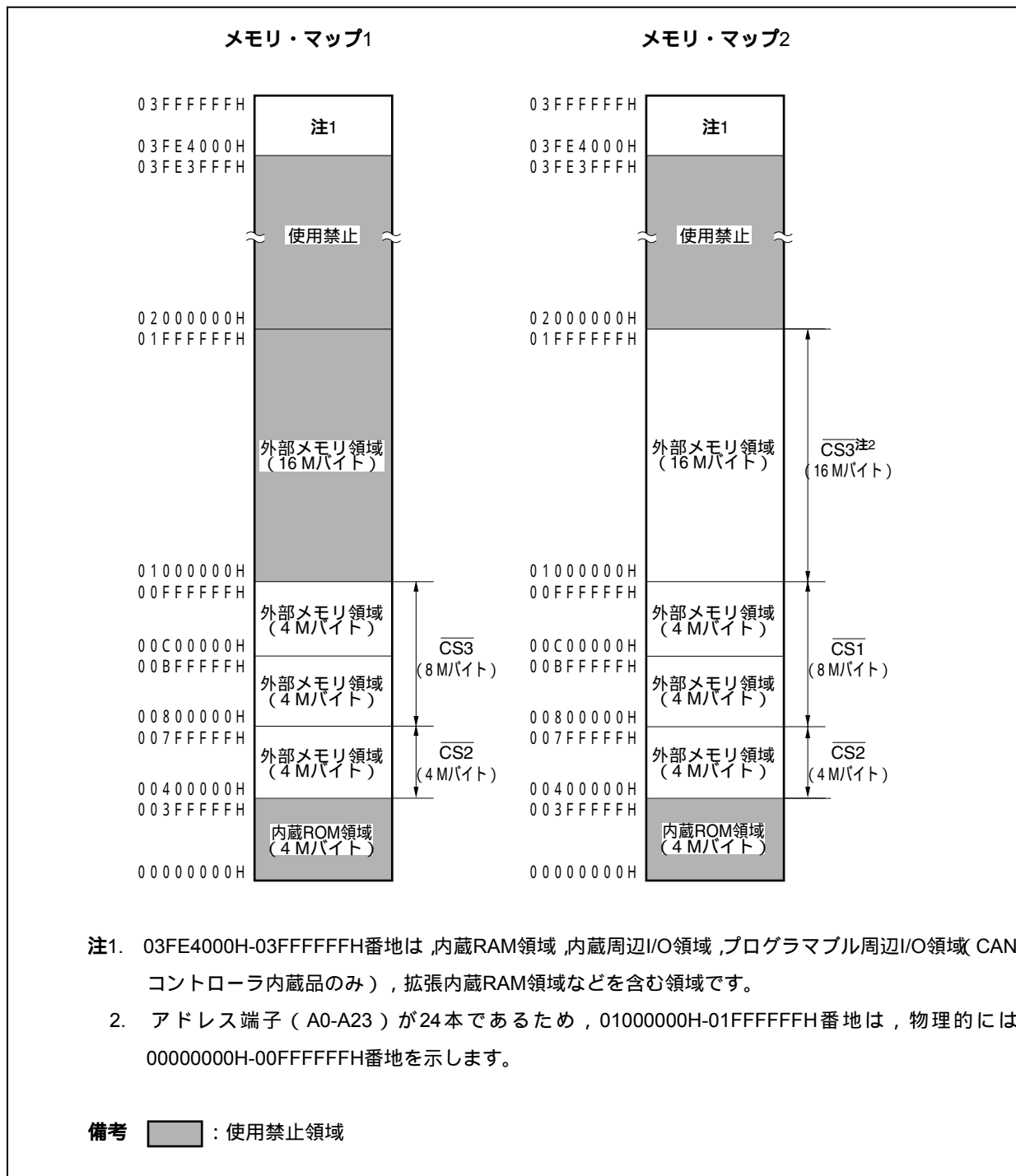
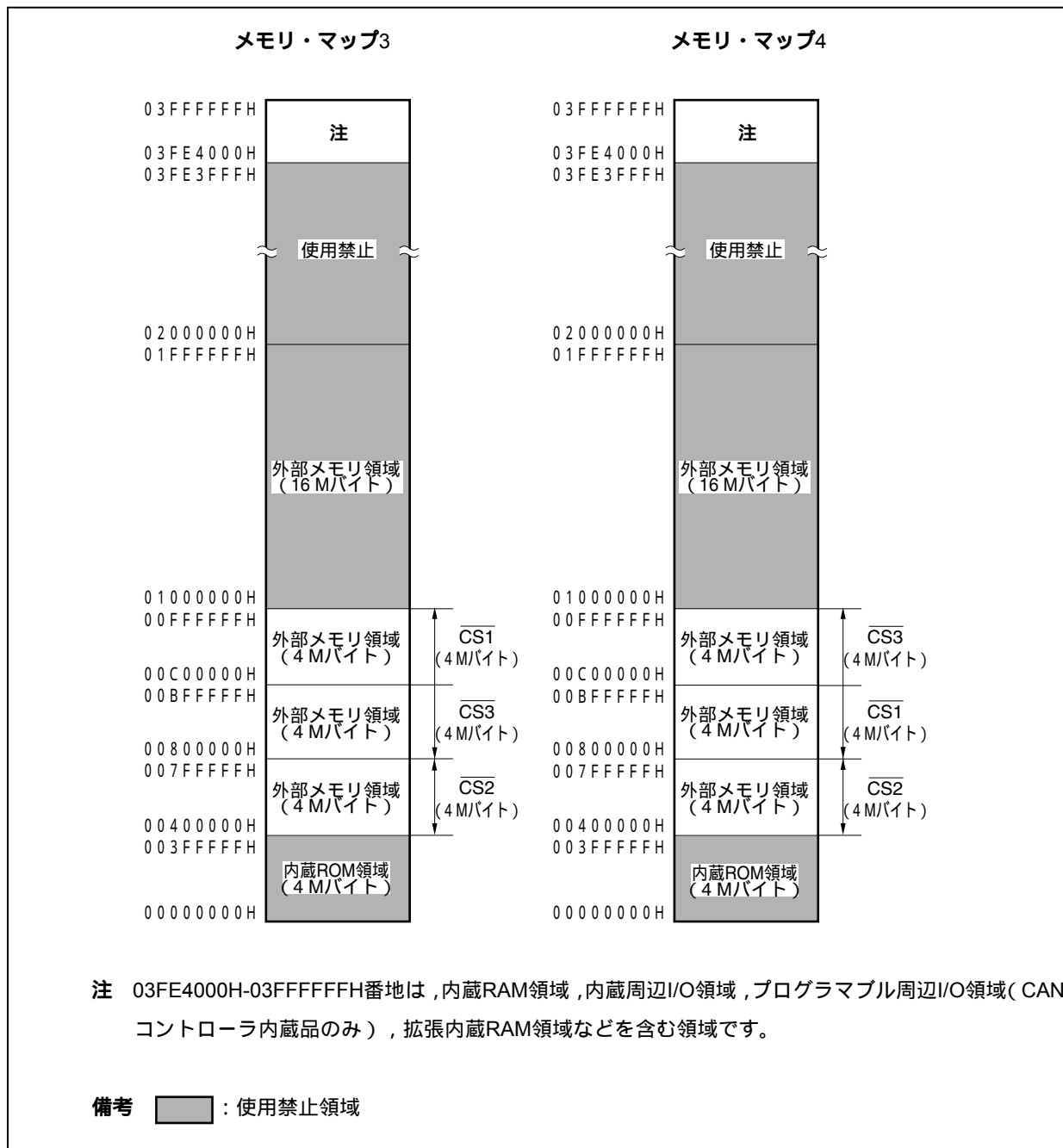


図5 - 2 CSC0, CSC1レジスタにより設定可能な4種類のメモリ・マップ：拡張内蔵RAMを使用する場合（2/2）



## (b) 拡張内蔵RAMを使用しない場合

CSC0, CSC1レジスタの設定値とメモリ・マップの関係を次に示します。

CSC0レジスタの設定値	CSC1レジスタの設定値	メモリ・マップ
2C11H (初期値)	0100H	メモリ・マップ1 (図5-3の 参照)
ECC3H	0100H	メモリ・マップ2 (図5-3の 参照)
2C83H	0100H	メモリ・マップ3 (図5-3の 参照)
2C43H	0100H	メモリ・マップ4 (図5-3の 参照)
上記以外	上記以外	設定禁止

図5-3 CSC0, CSC1レジスタにより設定可能な4種類のメモリ・マップ：拡張内蔵RAMを使用しない場合 (1/2)

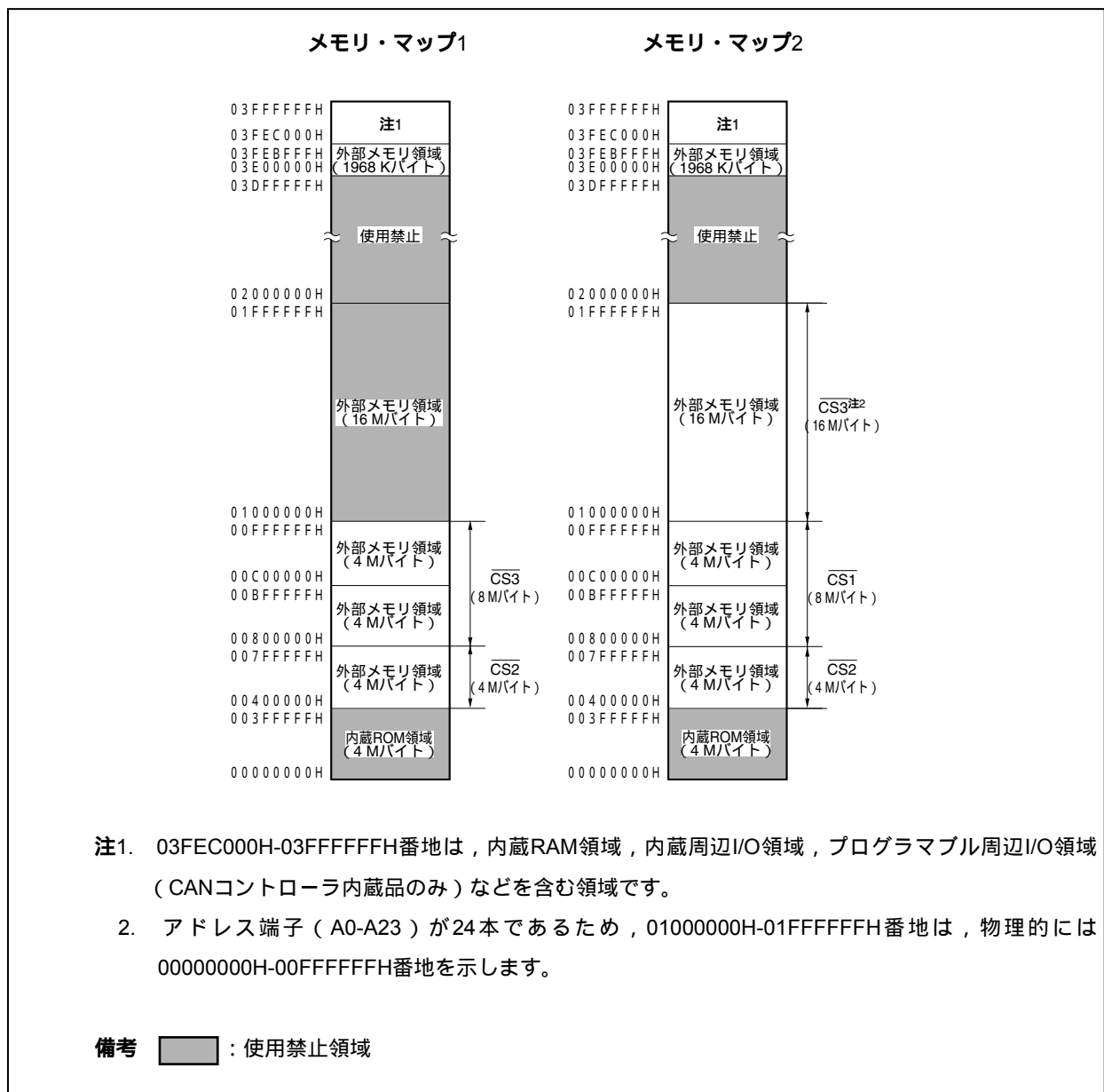
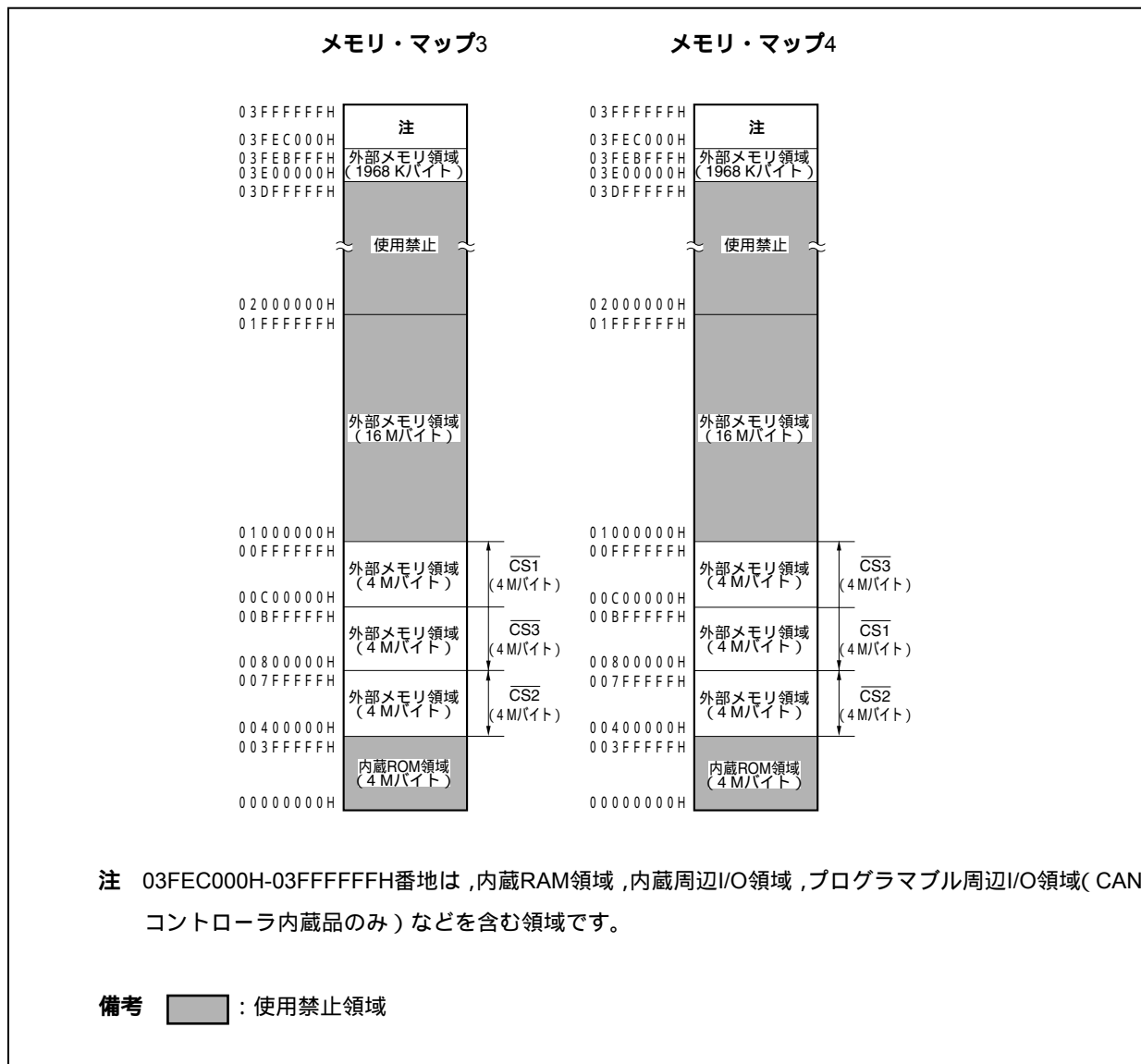


図5 - 3 CSC0, CSC1レジスタにより設定可能な4種類のメモリ・マップ：拡張内蔵RAMを使用しない場合（2/2）



## 5.4 外部バス・インタフェース・モード制御機能

V850E/SJ3-H, V850E/SK3-Hは、外部バス・インタフェースとして次の2つのモードがあります。

- ・マルチプレクス・バス・モード
- ・セパレート・バス・モード

2つのモードの切り替えは、EXIMCレジスタで設定します。

### (1) 外部バス・インタフェース・モード・コントロール・レジスタ (EXIMC)

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** EXIMCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。  
また、EXIMCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：00H    R/W    アドレス：FFFFFFBEH								
	7	6	5	4	3	2	1	0
EXIMC	0	0	0	0	0	0	0	SMSEL
SMSEL	モード切り替え							
0	マルチプレクス・バス・モード							
1	セパレート・バス・モード							

**注意** EXIMCレジスタの設定は、外部アクセスを行う前に、内蔵ROMまたは内蔵RAM領域から行ってください。  
また、EXIMCレジスタ設定後には、必ずNOP命令を1つ挿入してください。



## 5.5 バス・アクセス

### 5.5.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

領域 (バス) バス・ サイクル・タイプ	内蔵ROM (32ビット)	内蔵RAM (32ビット)	外部メモリ (マルチプレクス・バス) (16ビット)	外部メモリ (セパレート・バス) (16ビット)	拡張内蔵RAM (32ビット) <sup>注3</sup>
命令フェッチ (通常アクセス)	1	1 <sup>注1</sup>	3+n <sup>注2</sup>	2+n <sup>注2</sup>	3+n
命令フェッチ (分岐)	3	2 <sup>注1</sup>	3+n <sup>注2</sup>	2+n <sup>注2</sup>	3+n
オペランド・ データ・アクセス	5	1	3+n <sup>注2</sup>	2+n <sup>注2</sup>	3+n

注1. データ・アクセスと競合した場合は、+1されます。

2. データ・ウエイト, アドレス・セットアップ・ウエイト, アドレス・ホールド・ウエイト, アイドル・ステータは含みません。
3. 外部バスがマルチプレクス・バス・モードに設定されている場合は, 拡張内蔵RAMもマルチプレクス・バス・アクセスとなり, 外部バスがセパレート・バス・モードに設定されている場合は, 拡張内蔵RAMもセパレート・バス・アクセスとなります。

備考1. 単位はクロック / アクセスです。

2. n: WAIT端子によるウエイト挿入数

## 5.5.2 バス・サイズ設定機能

外部メモリ領域は、 $\overline{CSn}$ で選択される領域ごとにBSCレジスタで設定できます。ただし、設定可能なバス・サイズは8ビットと16ビットのみです。

V850E/SJ3-H, V850E/SK3-Hの外部メモリ領域は、 $\overline{CS1}$ - $\overline{CS3}$ で選択されます。

### (1) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

16ビット単位でリード/ライト可能です。

リセットにより5555Hになります。

**注意** BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：5555H R/W アドレス：FFFFF066H

	15	14	13	12	11	10	9	8
BSC	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
	7	6	5	4	3	2	1	0
	0	BS30	0	BS20	0	BS10	0/1	0/1
		<input type="checkbox"/>		<input type="checkbox"/>		<input type="checkbox"/>		
		CS3		CS2		CS1		

ビット15-8	拡張内蔵RAM / 外部メモリ領域の設定
01010001	拡張内蔵RAMを使用しない。外部メモリ領域 (3E00000H-3FEBFFFH, データ・バス幅8ビット)を使用する。
01010101	拡張内蔵RAMを使用しない。外部メモリ領域 (3E00000H-3FEBFFFH, データ・バス幅16ビット)を使用する。
10010101 <sup>注</sup>	拡張内蔵RAMを使用する。外部メモリ領域 (3E00000H-3FEBFFFH)を使用しない。
上記以外	設定禁止

BSn0	CSn空間のデータ・バス幅 (n = 1-3)
0	8ビット
1	16ビット

ビット1, 0	インサーキット・エミュレータ (IECUBE <sup>®</sup> ) の設定
10	IECUBEを使用する
上記以外	設定禁止

**注**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) は設定禁止です。

**注意** ビット7, 5, 3には必ず0を設定してください。

### 5.5.3 バス・サイズによるアクセス

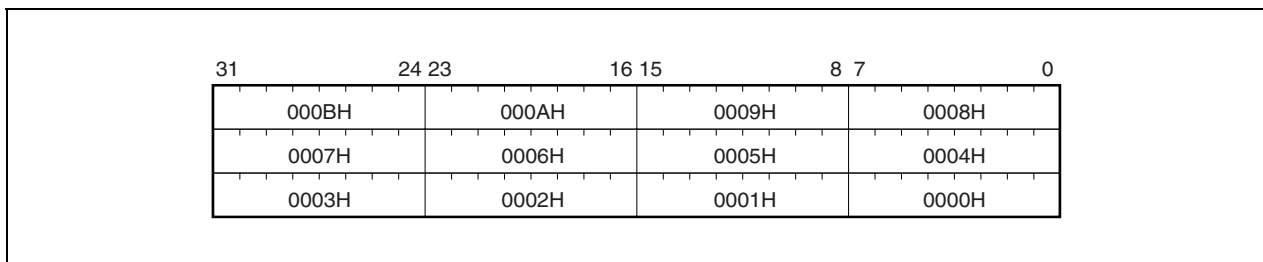
V850E/SJ3-H, V850E/SK3-Hが内蔵周辺I/Oアクセス, 外部メモリ・アクセスを行う場合には, 8, 16, 32ビット・アクセスがあります。またバス・サイズは次のとおりです。

- ・内蔵周辺I/Oのバス・サイズは16ビット固定
- ・外部メモリのバス・サイズは8ビット/16ビット選択可能 (BSCレジスタにより設定)

次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。

V850E/SJ3-H, V850E/SK3-Hは, リトル・エンディアン形式のみ対応しています。

図5-4 ワード内のリトル・エンディアン・アドレス



#### (1) データ空間

V850E/SJ3-H, V850E/SK3-Hはアドレス・ミスアライン機能を内蔵しています。

この機能により, データの形式 (ワード・データ, ハーフワード・データ) にかかわらず, すべてのアドレスに対してデータを配置できます。ただし, ワード・データ, ハーフワード・データの場合, データが境界整列していないと, バス・サイクルが最低2回は発生し, バス効率が低下します。

#### (a) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき, バイト長のバス・サイクルを2回生成します。

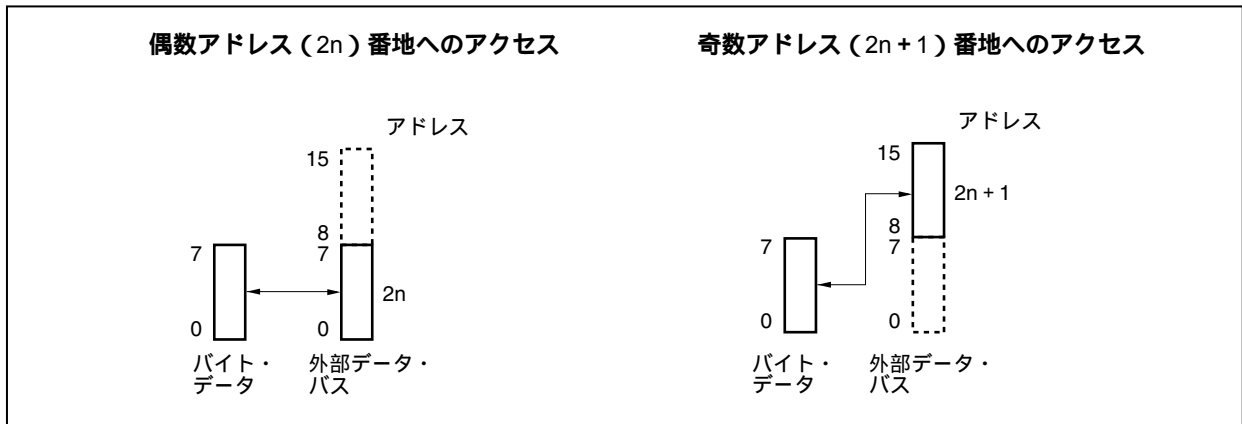
#### (b) ワード長のデータ・アクセスの場合

(i) アドレスの最下位ビットが1のとき, バイト長のバス・サイクル, ハーフワード長のバス・サイクル, バイト長のバス・サイクルの順でバス・サイクルを生成します。

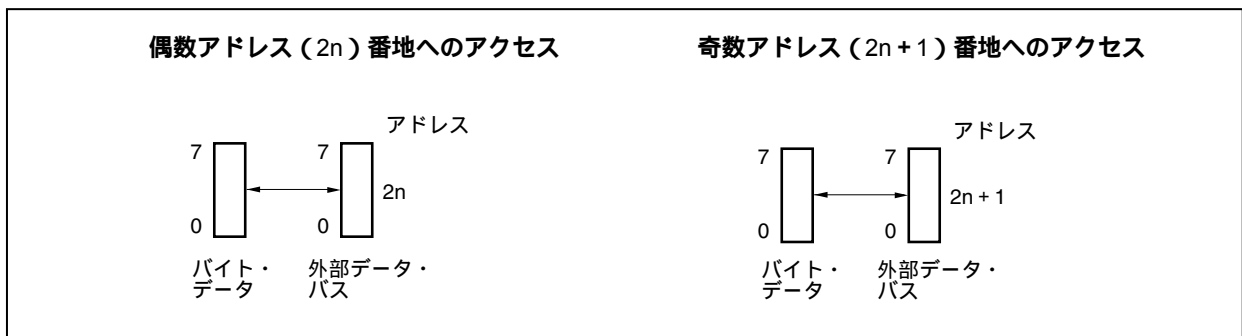
(ii) アドレスの下位2ビットが10のとき, ハーフワード長のバス・サイクルを2回生成します。

## (2) バイト・アクセス (8ビット)

## (a) 16ビット・データ・バス幅のとき

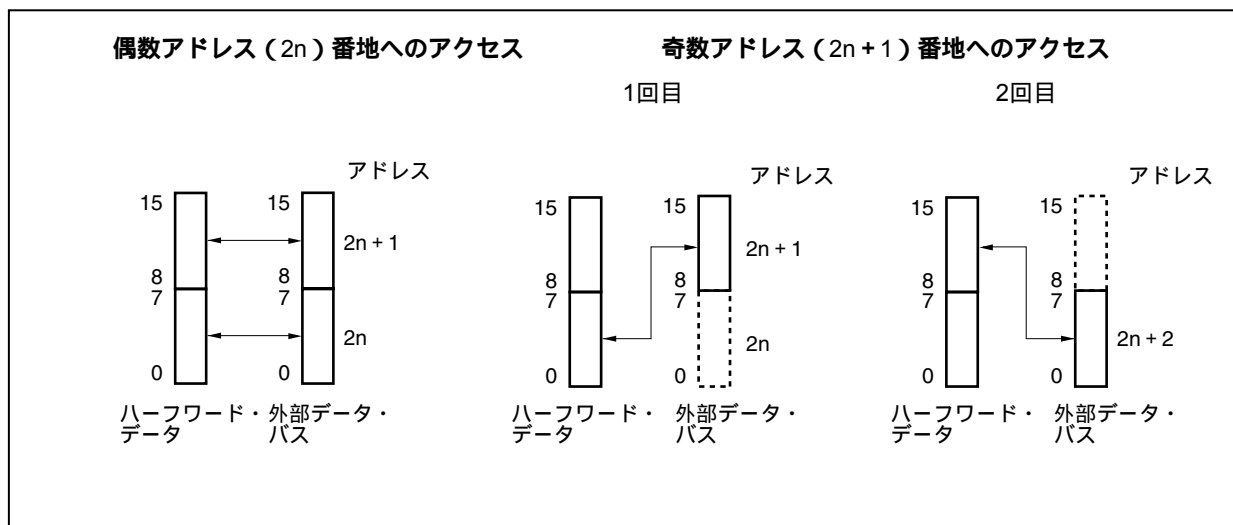


## (b) 8ビット・データ・バス幅のとき

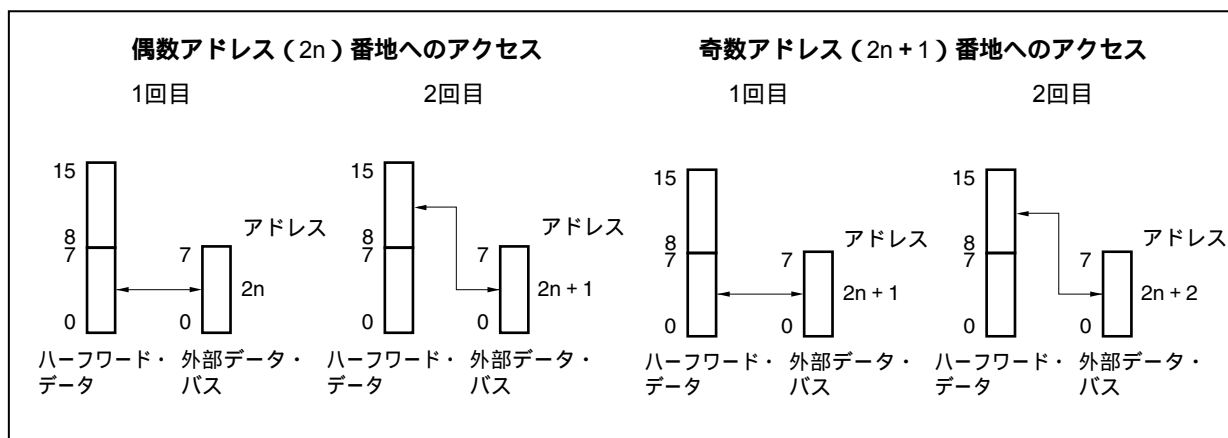


(3) ハーフワード・アクセス (16ビット)

(a) 16ビット・データ・バス幅のとき

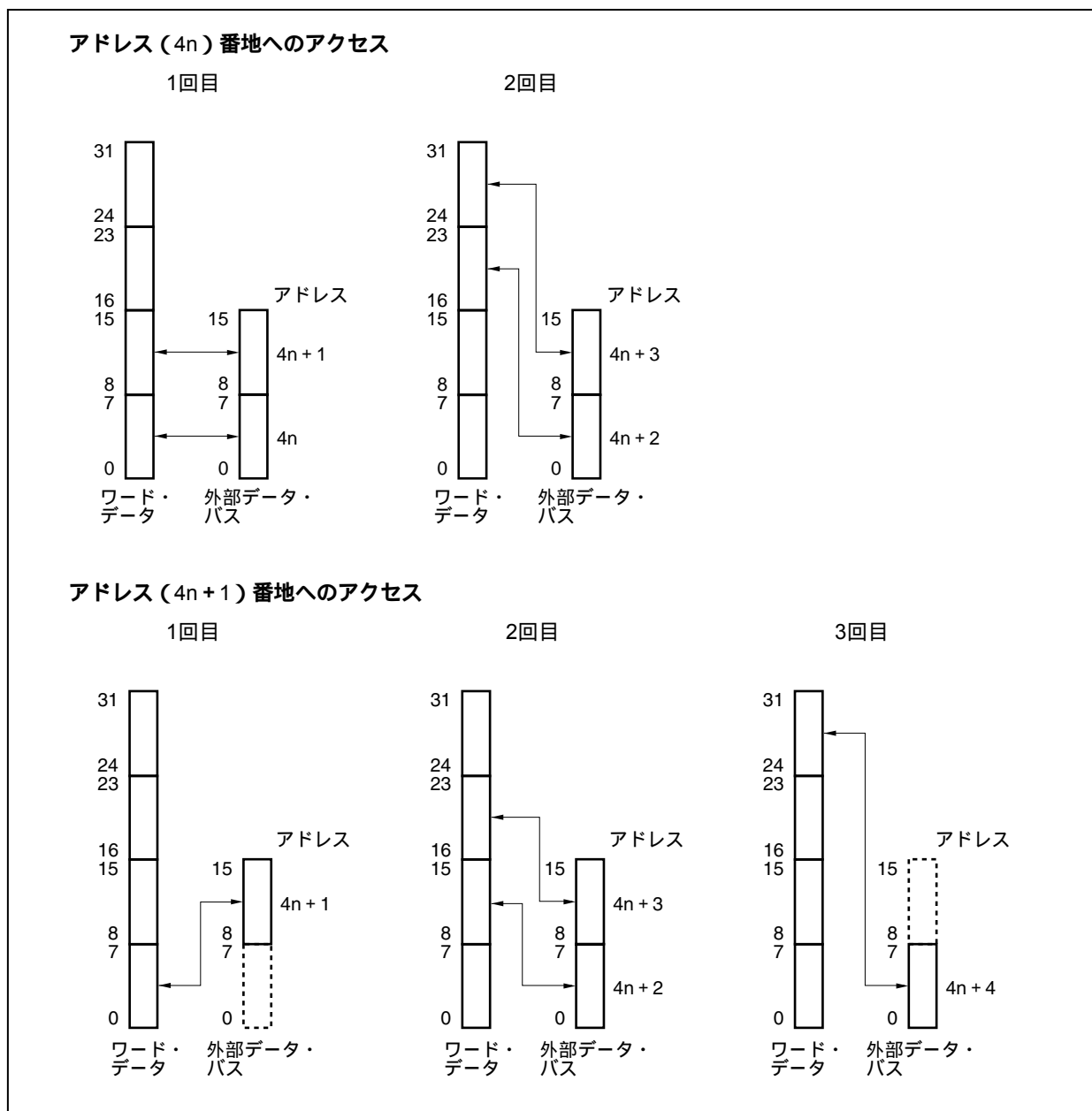


(b) 8ビット・データ・バス幅のとき

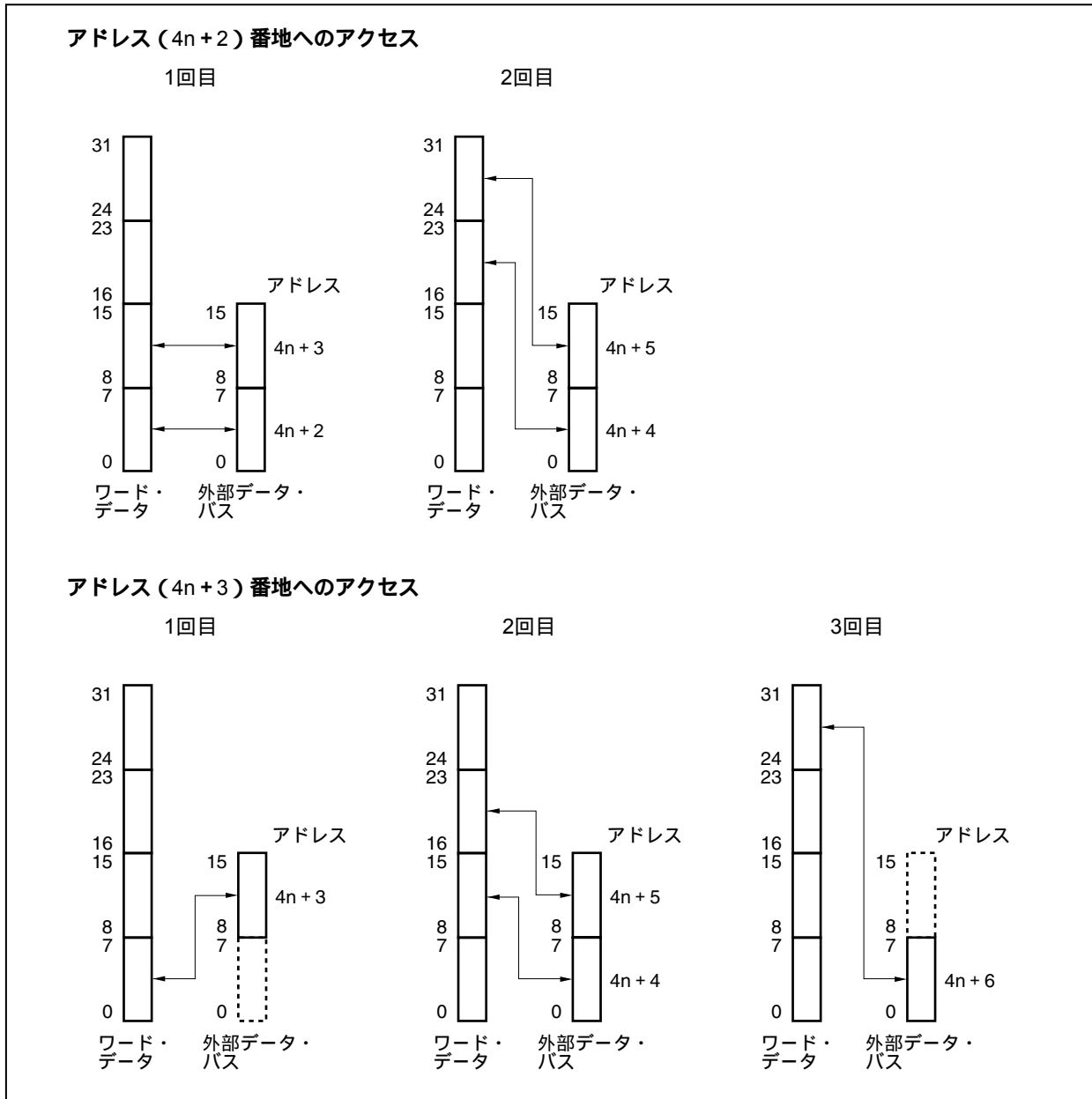


(4) ワード・アクセス (32ビット)

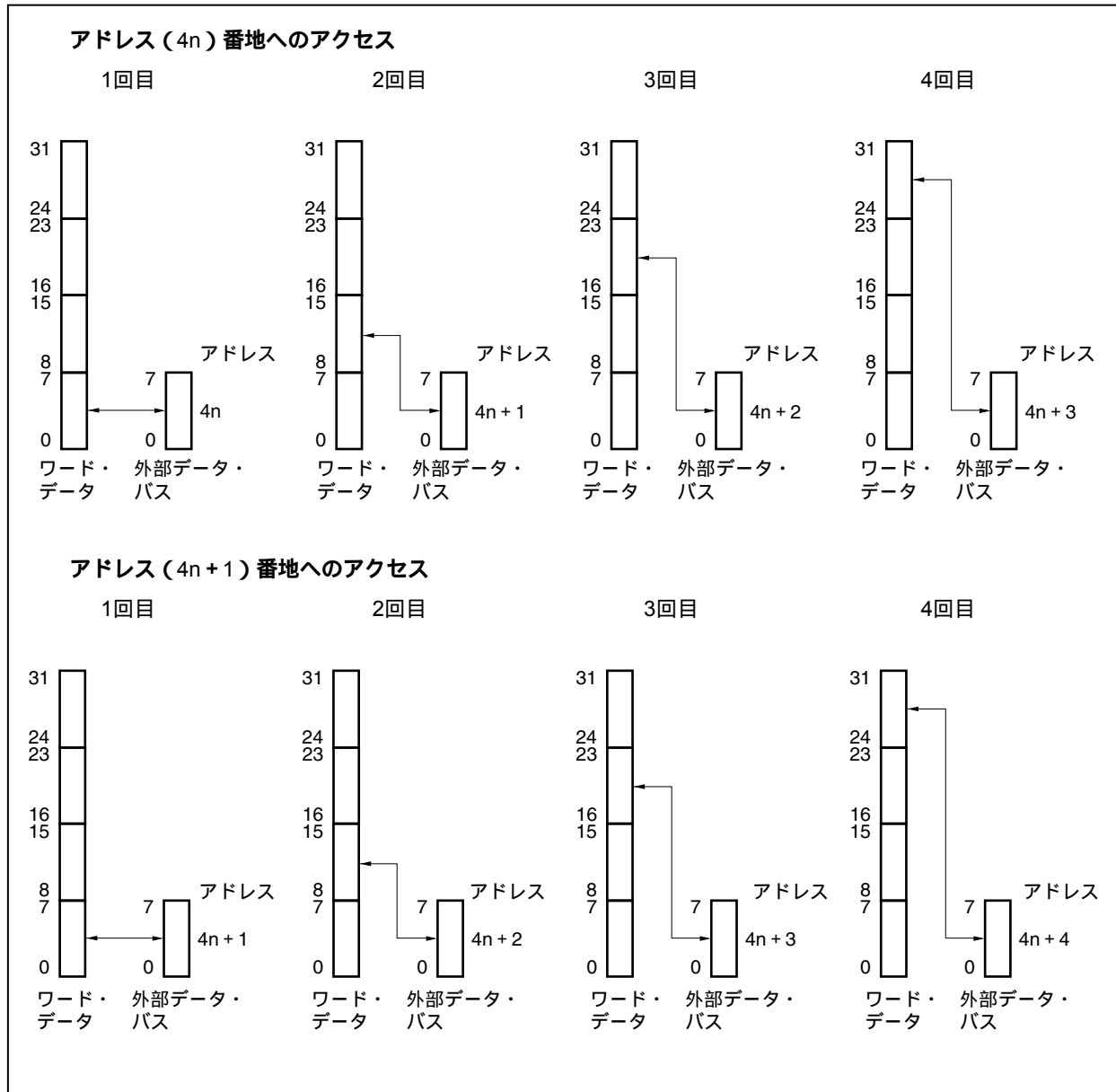
(a) 16ビット・データ・バス幅のとき (1/2)



(a) 16ビット・データ・バス幅のとき (2/2)

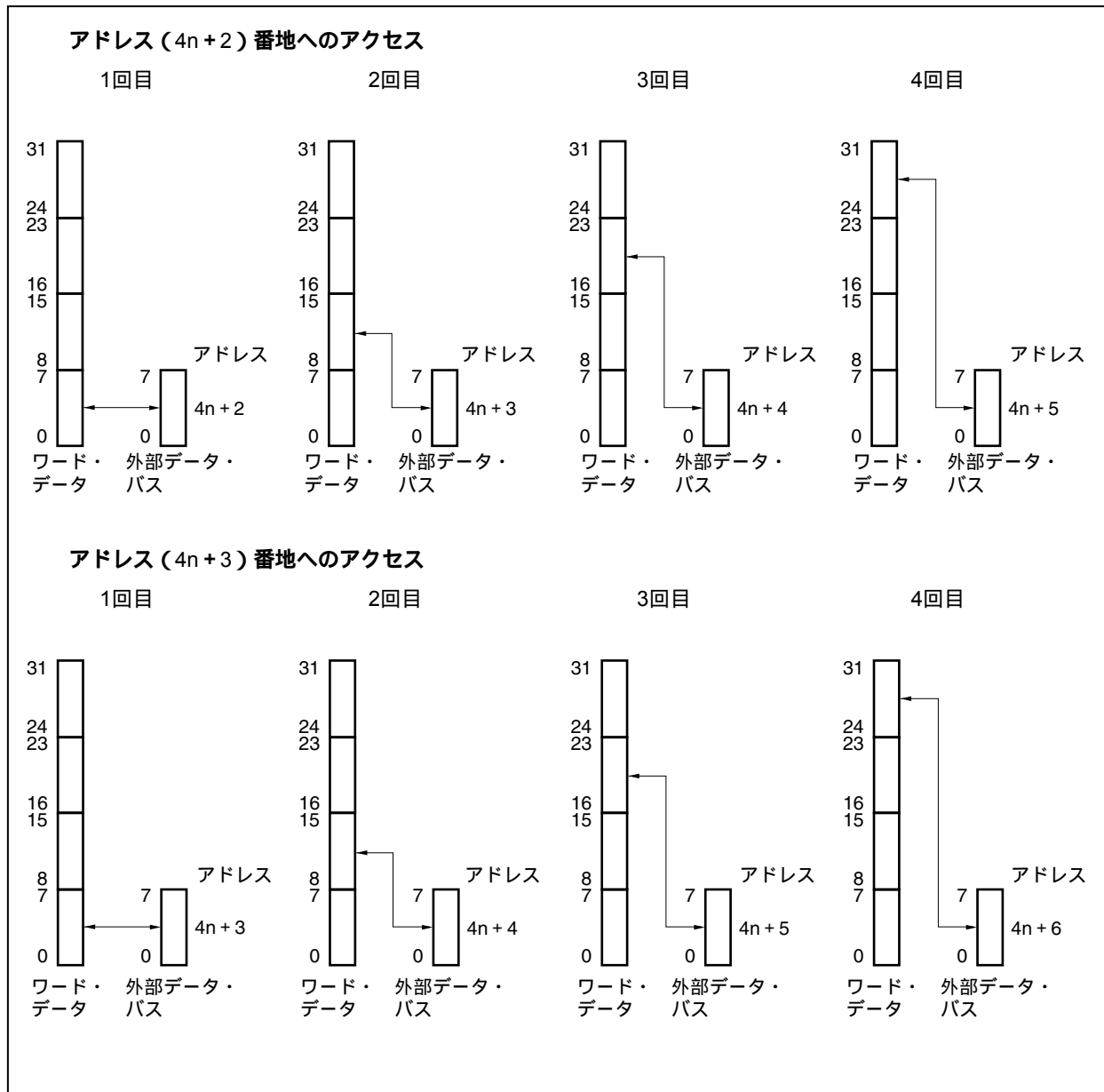


(b) 8ビット・データ・バス幅のとき (1/2)





(b) 8ビット・データ・バス幅のとき (2/2)



## 5.6 ウェイト機能

### 5.6.1 プログラマブル・ウェイト機能

#### (1) データ・ウェイト・コントロール・レジスタ0 (DWC0)

低速メモリ, I/Oに対するインタフェースを容易に実現させることを目的とし, CS空間ごとに起動されるバス・サイクルに対し, 最大7ステートのデータ・ウェイトを挿入可能です。

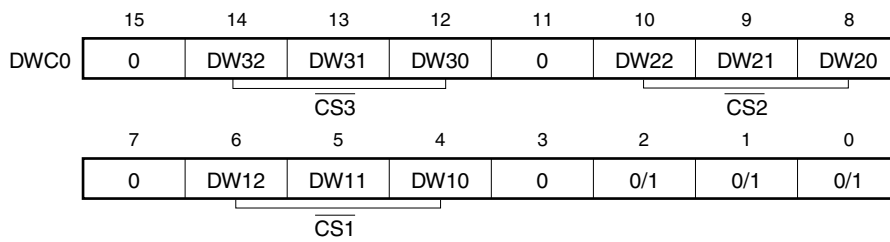
ウェイト数は, DWC0レジスタでプログラマブルに指定可能です。システム・リセット直後は, 全ブロックに対して7データ・ウェイトの挿入状態になります。

16ビット単位でリード/ライト可能です。

リセットにより7777Hになります。

- 注意1. 内蔵ROM領域, 内蔵RAM領域は, プログラマブル・ウェイトの対象外で, 常にノー・ウェイト・アクセスを行います。また, 内蔵周辺I/O領域も, プログラマブル・ウェイトの対象外で, 各周辺機能からのウェイト制御だけ行われます。
2. DWC0レジスタへの書き込みはリセット後に行い, そのあとは値を変更しないでください。また, DWC0レジスタの初期設定が終わるまでは, 外部メモリ領域をアクセスしないでください。
3. セパレート・バスで使用し, かつ $f_{CPU} > 20$  MHzで動作させる場合, 必ずウェイトを1つ以上挿入してください。
4. マルチプレクス・バスで使用し, かつ $f_{CPU} > 32$  MHzで動作させる場合, 必ずウェイトを1つ以上挿入してください。

リセット時：7777H R/W アドレス：FFFFFF484H



DWn2	DWn1	DWn0	CSn空間の挿入ウェイト数 (n = 1-3)			
			マルチプレクス・バス		セパレート・バス	
			f <sub>CPU</sub> 32 MHz	f <sub>CPU</sub> > 32 MHz	f <sub>CPU</sub> 20 MHz	f <sub>CPU</sub> > 20 MHz
0	0	0	挿入しない	設定禁止	挿入しない	設定禁止
0	0	1	1			
0	1	0	2			
0	1	1	3			
1	0	0	4			
1	0	1	5			
1	1	0	6			
1	1	1	7			

ビット2-0	インサーキット・エミュレータ (IECUBE) の設定
001	EXIMCレジスタ = 01Hかつf <sub>CPU</sub> > 32 MHzでIECUBEを使用する
000	上記以外でIECUBEを使用する
上記以外	設定禁止

**注意** ビット15, 11, 7, 3には必ず0を設定してください。

## (2) データ・ウェイト・コントロール・レジスタ1 (DWC1)

16ビット単位でリード/ライト可能です (アドレス：FFFFFF486H, 初期値：7777H)。

### (a) 拡張内蔵RAMを使用する場合 (μ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外)

EXIMCレジスタの設定値により, DWC1レジスタの設定値を次のように設定してください。

**注意** μ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) は, 拡張内蔵RAMを搭載していません。そのため, 5. 6. 1 (2) (a) 拡張内蔵RAMを使用する場合の設定はできません。必ず5. 6. 1 (2) (b) 拡張内蔵RAMを使用しない場合の設定をしてください。

EXIMCレジスタ設定値	DWC1レジスタ設定値
00H (マルチプレクス・バス・モード)	0777H
01H (セパレート・バス・モード)	1777H

## (b) 拡張内蔵RAMを使用しない場合

低速メモリ、I/Oに対するインタフェースを容易に実現させることを目的とし、外部メモリ領域(3E00000H-3FEBFFFH)に起動されるバス・サイクルに対し、最大7ステートのデータ・ウエイトを挿入可能です。

ウエイト数は、DWC1レジスタでプログラマブルに指定可能です。システム・リセット直後は、7データ・ウエイトの挿入状態になります。

- 注意1. DWC1レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、DWC1レジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。
2. セパレート・バスで使用し、かつ $f_{CPU} > 20$  MHzで動作させる場合、必ずウエイトを1つ以上挿入してください。
  3. マルチプレクス・バスで使用し、かつ $f_{CPU} > 32$  MHzで動作させる場合、必ずウエイトを1つ以上挿入してください。

リセット時：7777H R/W アドレス：FFFFFF486H

	15	14	13	12	11	10	9	8
DWC1	0	1	1	1	0	1	1	1
	7	6	5	4	3	2	1	0
	0	0/1	0/1	0/1	0	1	1	1

ビット7-0	外部メモリ領域(3E00000H-3FEBFFFH)の挿入ウエイト数			
	マルチプレクス・バス		セパレート・バス	
	$f_{CPU} \leq 32$ MHz	$f_{CPU} > 32$ MHz	$f_{CPU} \leq 20$ MHz	$f_{CPU} > 20$ MHz
00000111	挿入しない	設定禁止	挿入しない	設定禁止
00010111	1			
00100111	2			
00110111	3			
01000111	4			
01010111	5			
01100111	6			
01110111	7			

注意 ビット15, 11, 7, 3には必ず0を、ビット14-12, 10-8, 2-0には必ず1を設定してください。

### 5.6.2 外部ウエイト機能

極端に遅いメモリや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 (WAIT) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

PCM0端子が兼用機能に設定されている場合に、外部ウエイト機能が有効になります。

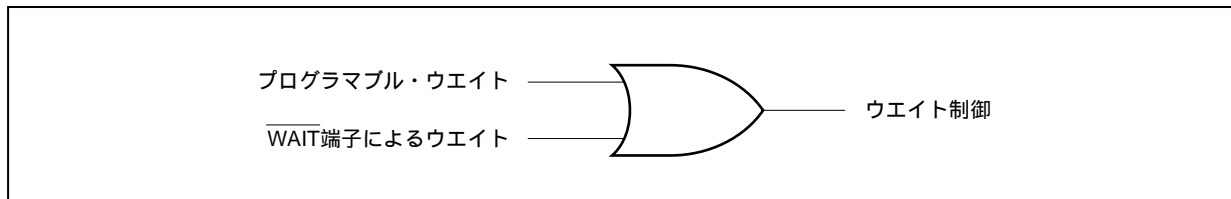
内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

拡張内蔵RAM領域へのアクセスに対しては、外部ウエイトによる制御の対象になります。

WAIT入力は、CLKOUTに対する非同期入力が可能で、マルチプレクス・バス時にはバス・サイクルのT2、TWステートのクロックの立ち下がりでサンプリングされます。セパレート・バス時にはバス・サイクルのT1とTWステート直後のクロックの立ち上がりでサンプリングされます。サンプル・タイミングにおける設定/保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

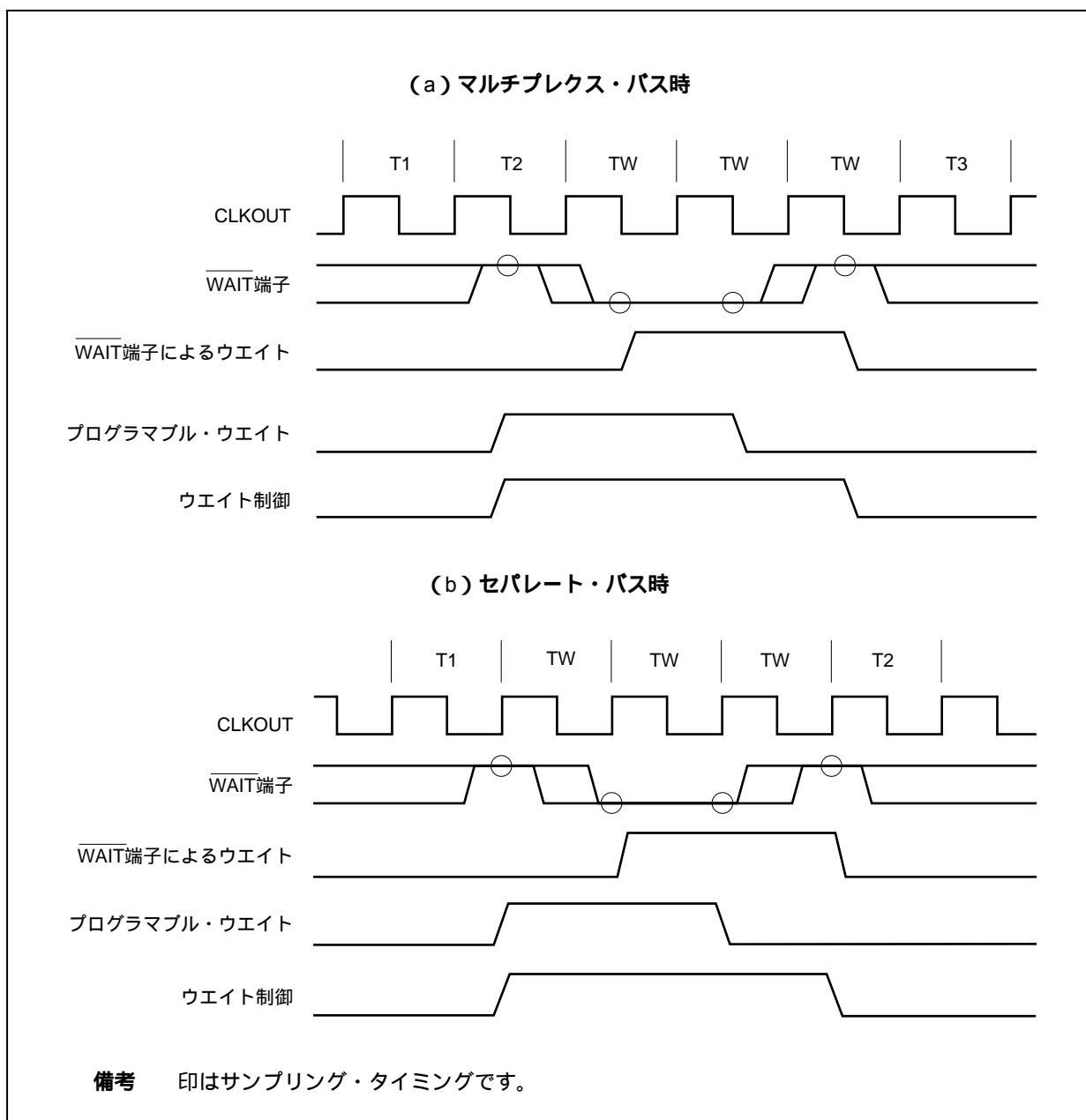
### 5.6.3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和 (OR) として挿入されます。



たとえば、プログラマブル・ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図5-5 ウエイト挿入例



#### 5.6.4 プログラマブル・アドレス・ウエイト機能

AWCレジスタにより、各バス・サイクルに対して挿入するアドレス・セットアップ・ウエイト (ASW) / アドレス・ホールド・ウエイト (AHW) を設定できます。アドレス・ウエイト挿入はチップ・セレクト領域 ( $\overline{CS1}$ - $\overline{CS3}$ ) ごとに設定します。

アドレス・セットアップ・ウエイトを挿入すると、T1ステートのハイ・クロック期間が1クロック分伸びたイメージになります。また、アドレス・ホールド・ウエイトを挿入すると、T1ステートのロウ・クロック期間が1クロック分伸びたイメージになります。

##### (1) アドレス・ウエイト・コントロール・レジスタ (AWC)

16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

- 注意1.** 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アドレス・セットアップ・ウエイト/アドレス・ホールド・ウエイト挿入の対象外になります。
- AWCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、AWCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。
  - f<sub>CPU</sub> > 20 MHzで動作させる場合、必ずアドレス・ホールド・ウエイトとアドレス・セットアップ・ウエイトを挿入してください。

リセット時：FFFFH R/W アドレス：FFFFFF488H

	15	14	13	12	11	10	9	8
AWC	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
	7	6	5	4	3	2	1	0
	AHW3	ASW3	AHW2	ASW2	AHW1	ASW1	0/1	0/1
	CS3		CS2		CS1			

ビット15-8	拡張内蔵RAM / 外部メモリ領域の設定
00111111 <sup>注</sup>	拡張内蔵RAMを使用する。 外部メモリ領域 (3E00000H-3FEBFFFH) を使用しない。
11110011	拡張内蔵RAMを使用しない。 外部メモリ領域 (3E00000H-3FEBFFFH, AHW, ASWを挿入しない ( $f_{CPU} > 20$ MHz時は設定禁止)) を使用する。
11110111	拡張内蔵RAMを使用しない。 外部メモリ領域 (3E00000H-3FEBFFFH, AHWを挿入しない ( $f_{CPU} > 20$ MHz時は設定禁止), ASWを挿入する) を使用する。
11111011	拡張内蔵RAMを使用しない。 外部メモリ領域 (3E00000H-3FEBFFFH, AHWを挿入する, ASWを挿入しない ( $f_{CPU} > 20$ MHz時は設定禁止)) を使用する。
11111111	拡張内蔵RAMを使用しない。 外部メモリ領域 (3E00000H-3FEBFFFH, AHW, ASWを挿入する) を使用する。
上記以外	設定禁止

AHWn	アドレス・ホールド・ウエイト (AHW) 挿入指定 (n = 1-3)	
	$f_{CPU} < 20$ MHz	$f_{CPU} > 20$ MHz
0	挿入しない	設定禁止
1	挿入する	挿入する

ASWn	アドレス・セットアップ・ウエイト (ASW) 挿入指定 (n = 1-3)	
	$f_{CPU} < 20$ MHz	$f_{CPU} > 20$ MHz
0	挿入しない	設定禁止
1	挿入する	挿入する

ビット1,0	インサーキット・エミュレータ (IECUBE) の設定
00	IECUBEを使用する
上記以外	設定禁止

**注**  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) は設定禁止です。



## 5.7 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし、チップ・セレクトで選択される空間ごとに起動されるバス・サイクルに対し、マルチプレクス・アドレス/データ・バス時にはT3ステート後に、1ステートのアイドル・ステート(TI)を挿入できます。また、セパレート・バス時には、T2ステート後に1ステートのアイドル・ステート(TI)を挿入できます。アイドル・ステートを挿入することにより、リード・アクセス時のメモリのデータ出力フロート遅延時間を確保することができます(ライト・アクセス時には、アイドル・ステートは挿入できません)。

アイドル・ステートの挿入指定は、BCCレジスタでプログラマブルに設定できます。

システム・リセット直後は、全領域に対してアイドル・ステートの挿入状態になります。

### (1) バス・サイクル・コントロール・レジスタ (BCC)

16ビット単位でリード/ライト可能です。

リセットによりAAAAHになります。

**注意1.** 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。

**2.** BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時: AAAAH R/W アドレス: FFFFF48AH

	15	14	13	12	11	10	9	8
BCC	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
	7	6	5	4	3	2	1	0
BC31	0	BC21	0	BC11	0	0/1	0	
<input type="checkbox"/>		<input type="checkbox"/>		<input type="checkbox"/>				
CS3		CS2		CS1				

ビット15-8	拡張内蔵RAM / 外部メモリ領域の設定
00101010 <sup>注</sup>	拡張内蔵RAMを使用する。外部メモリ領域(3E00000H-3FEBFFFH)を使用しない。
10100010	拡張内蔵RAMを使用しない。外部メモリ領域(3E00000H-3FEBFFFH, TIを挿入しない)を使用する。
10101010	拡張内蔵RAMを使用しない。外部メモリ領域(3E00000H-3FEBFFFH, TIを挿入する)を使用する。
上記以外	設定禁止

BCn1	アイドル・ステート挿入指定 (n = 1-3)
0	挿入しない
1	挿入する

ビット1	インサーキット・エミュレータ (IECUBE) の設定
0	IECUBEを使用する
1	設定禁止

**注**  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) は設定禁止です。

**注意** ビット6, 4, 2, 0には必ず0を設定してください。

## 5.8 バス・ホールド機能

### 5.8.1 機能概要

PCM2, PCM3端子が兼用機能に設定されていれば,  $\overline{\text{HLDRQ}}$ ,  $\overline{\text{HLDK}}$ 機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になったことを受け付けると, 外部アドレス/データ・バスをハイ・インピーダンス状態にし, 解放します(バス・ホールド状態)。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ(ハイ・レベル)になりバス獲得要求が解除されれば, 再びこれらの端子の駆動を開始します。

バス・ホールド期間中は, 内蔵周辺I/Oレジスタ・アクセスあるいは, 外部メモリ・アクセスがあるまで, 内蔵ROM, 内蔵RAMからのプログラムの実行を継続します。

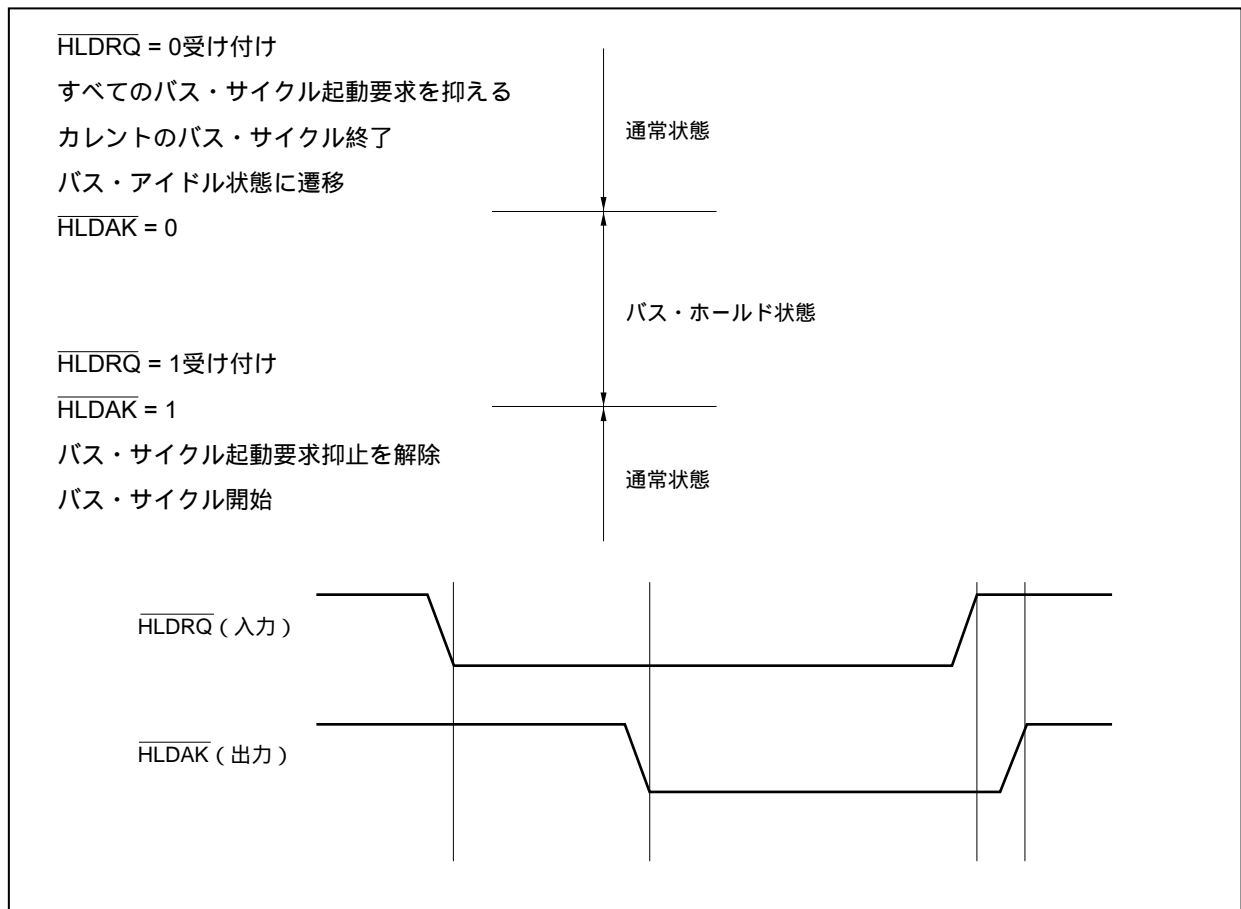
バス・ホールド状態は,  $\overline{\text{HLDK}}$ 端子がアクティブ(ロウ・レベル)になったことにより知ることができます。マルチプロセッサ構成など, バス・マスタが複数存在するようなシステムを構成できます。

なお, バス・サイジングおよびビット操作命令による複数アクセスのサイクル中は, バス・ホールド要求を受け付けません。

状 態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間 2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間
			2回目と3回目の間 3回目と4回目の間
		ハーフワード・アクセス	1回目と2回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	-	-	リード・アクセスとライト・アクセスの間

### 5.8.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。



### 5.8.3 パワー・セーブ・モード時の動作

STOPモード期間中およびIDLE1, IDLE2, サブIDLEモード期間中は、内部システム・クロックが停止するため、 $\overline{\text{HLDARQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDARQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDARQ}}$ 端子がアクティブになり、バス・ホールド状態になります。その後、 $\overline{\text{HLDARQ}}$ 端子がインアクティブになると、 $\overline{\text{HLDARQ}}$ 端子もインアクティブになり、バス・ホールド状態は解除されます。

## 5.9 バスの優先順位

外部バス・サイクルには、バス・ホールド、DMA転送、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の5つがあります。

優先順位はバス・ホールドが最も高く、DMA転送、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、バス・サイズの関係で、数回のアクセスで命令を実行するとき、アクセスとアクセスの間には命令フェッチとバス・ホールドは挿入されません。

表5-3 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↑ ↓ 低い	バス・ホールド	外部デバイス
	DMA転送	DMAC
	オペランド・データ・アクセス	CPU
	命令フェッチ（分岐）	CPU
	命令フェッチ（連続）	CPU

### 5.10 バス・タイミング

図5-6 マルチプレクス・バス・リード・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

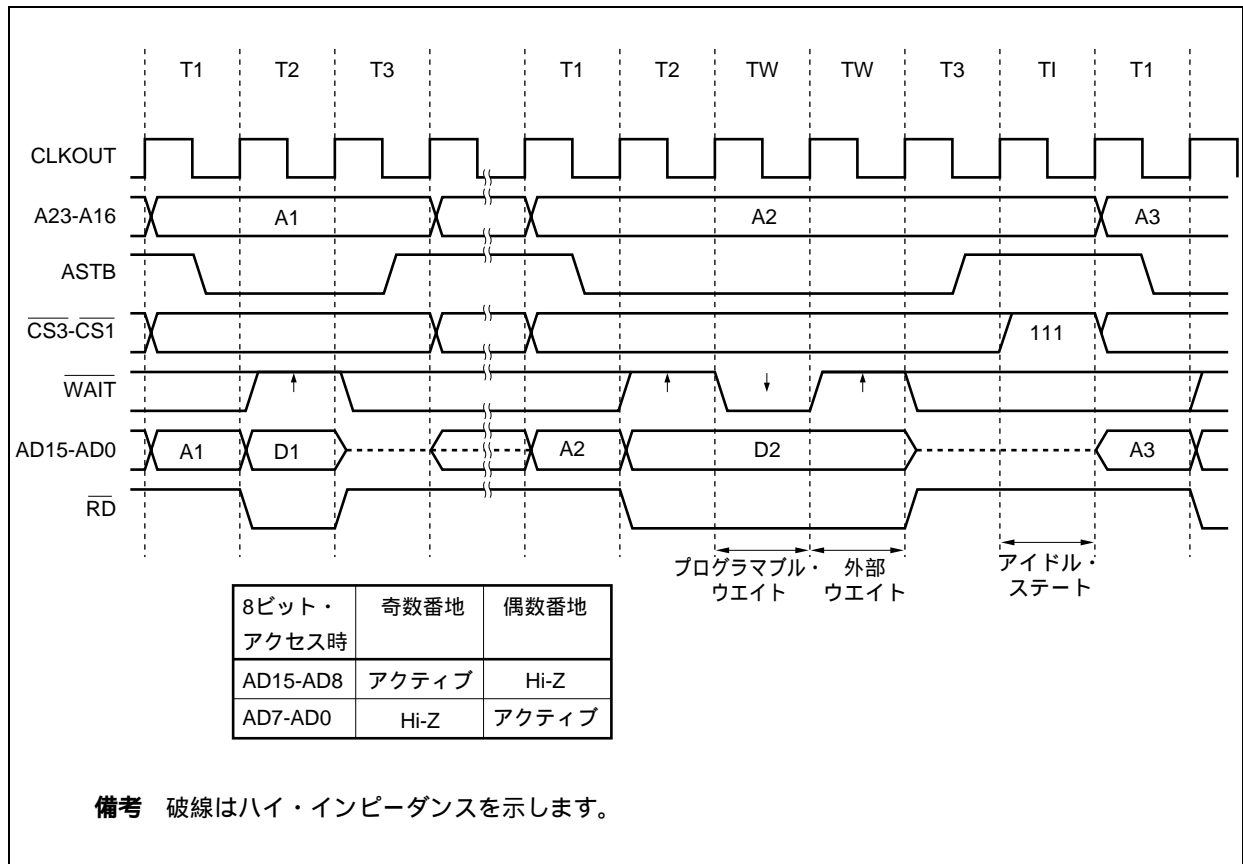


図5-7 マルチプレクス・バス・リード・タイミング (バス・サイズ: 8ビット)

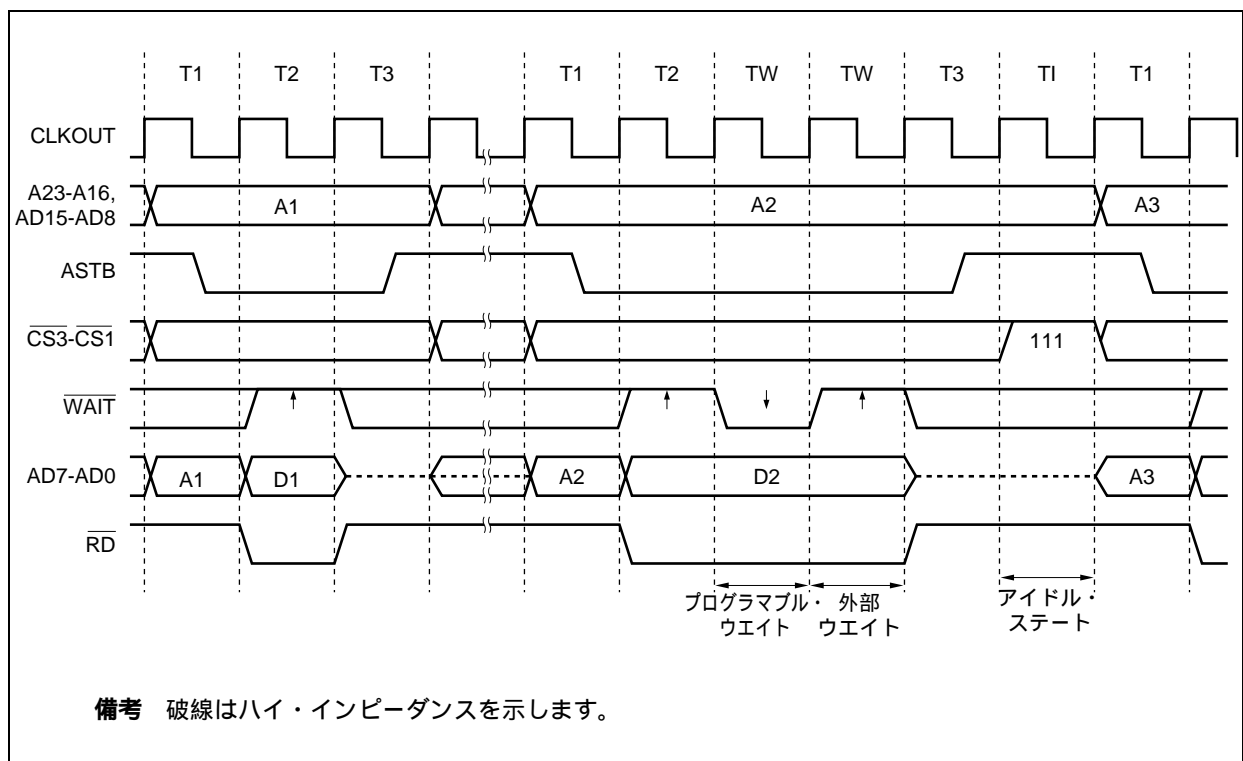


図5-8 マルチプレクス・バス・ライト・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

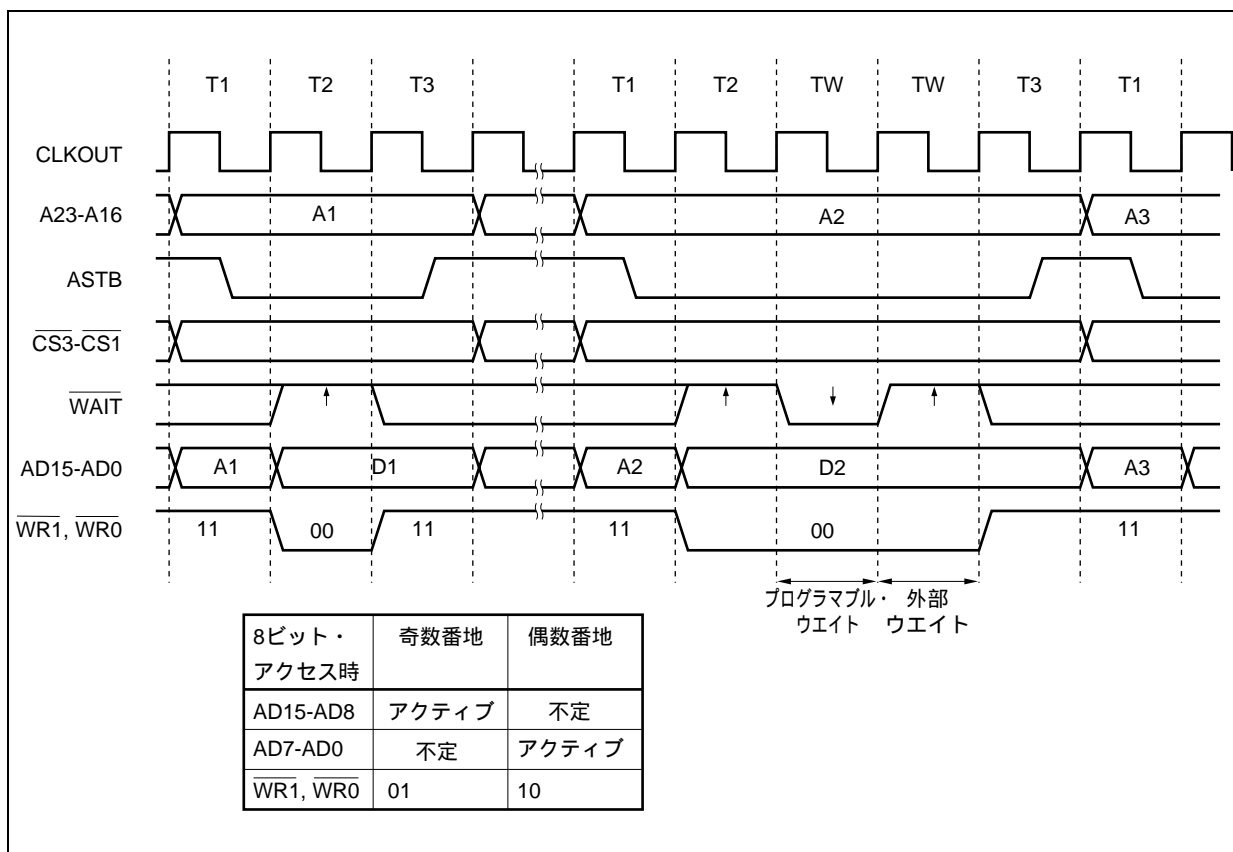


図5-9 マルチプレクス・バス・ライト・タイミング (バス・サイズ: 8ビット)

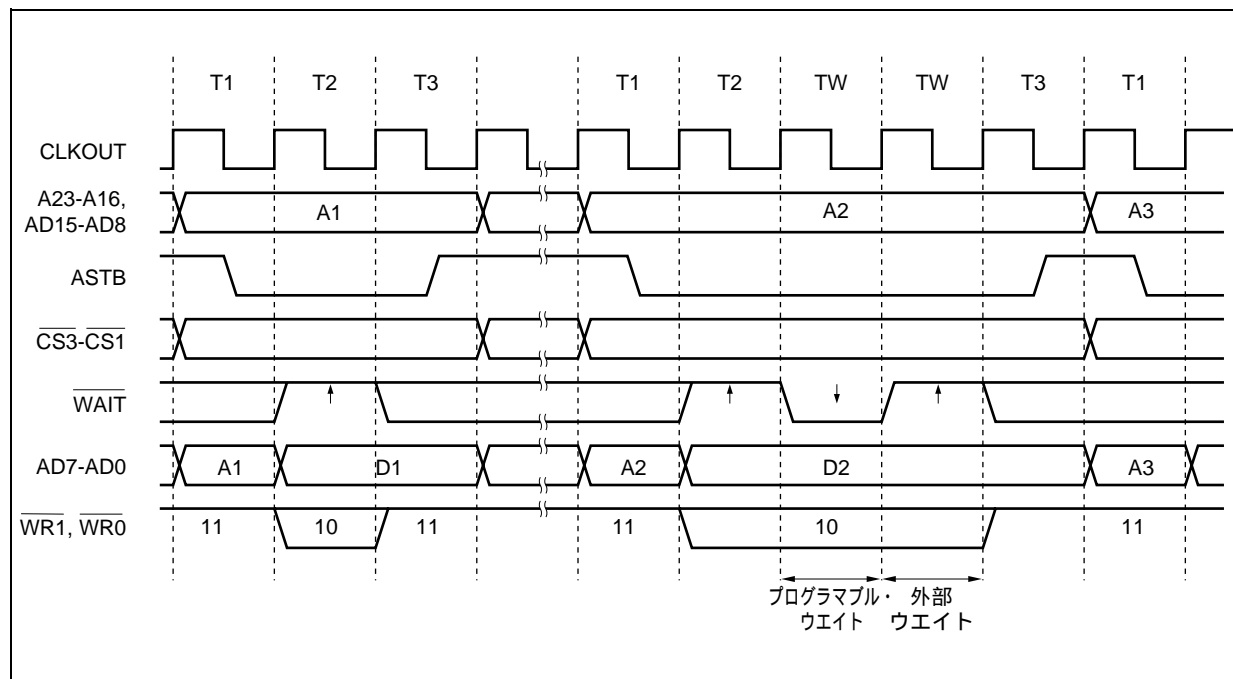


図5 - 10 マルチプレクス・バス・ホールド・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

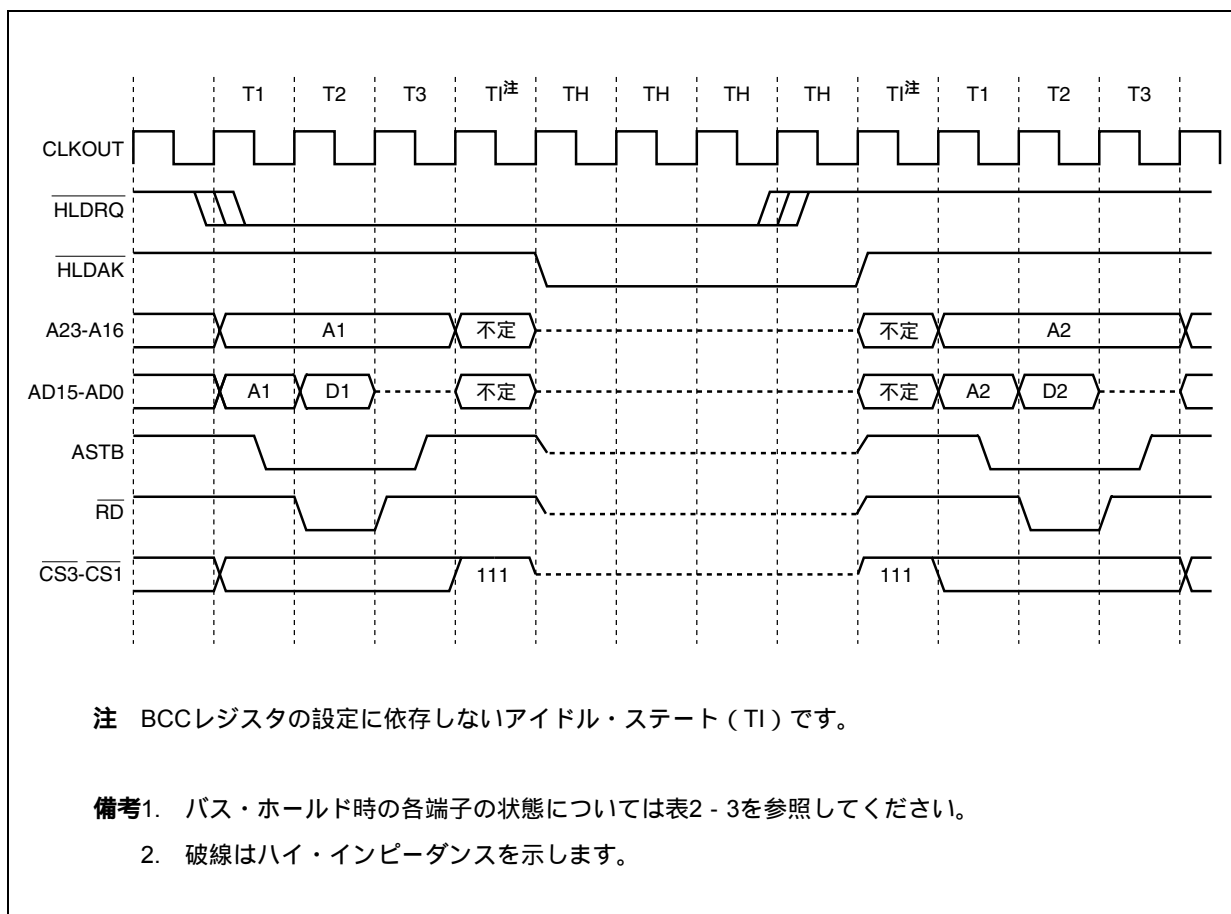


図5-11 セパレート・バス・リード・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

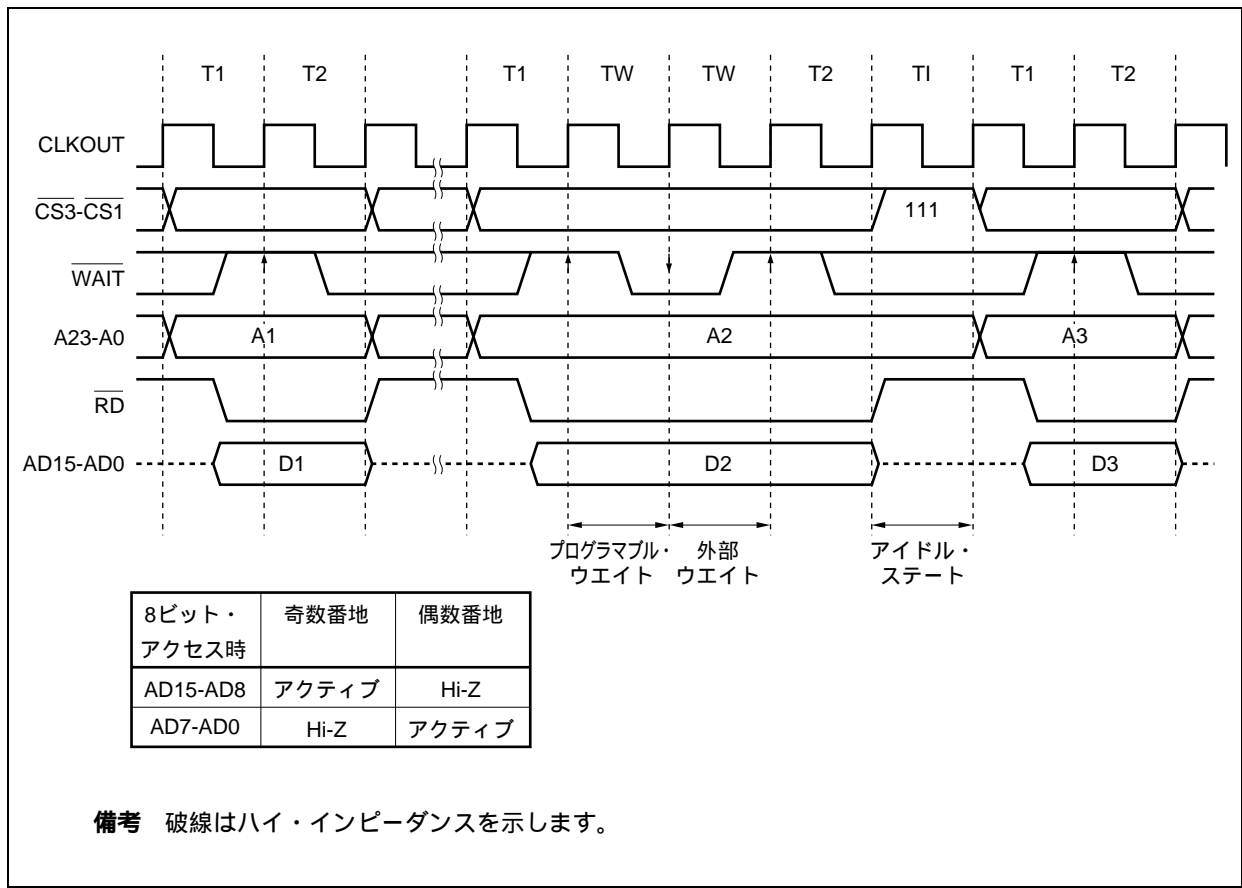


図5-12 セパレート・バス・リード・タイミング (バス・サイズ: 8ビット)

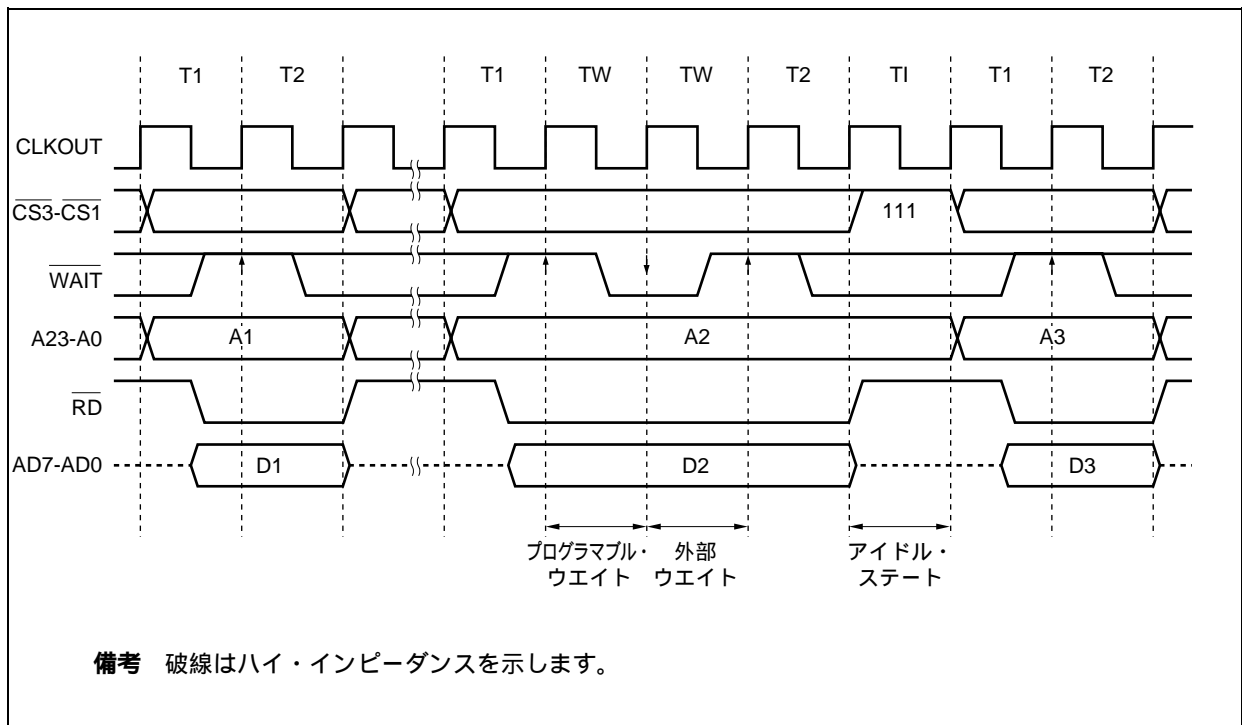




図5 - 13 セパレート・バス・ライト・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

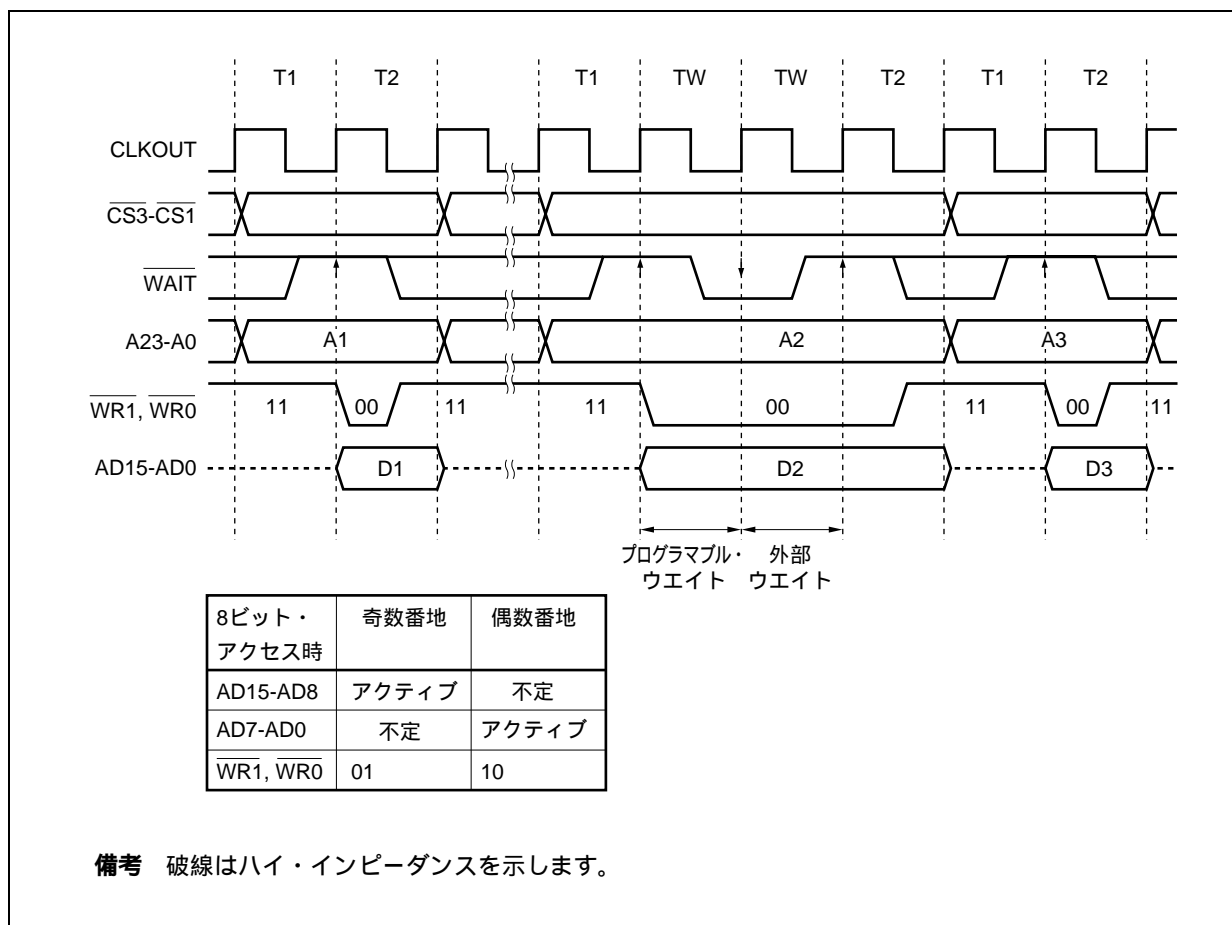


図5 - 14 セパレート・バス・ライト・タイミング (バス・サイズ: 8ビット)

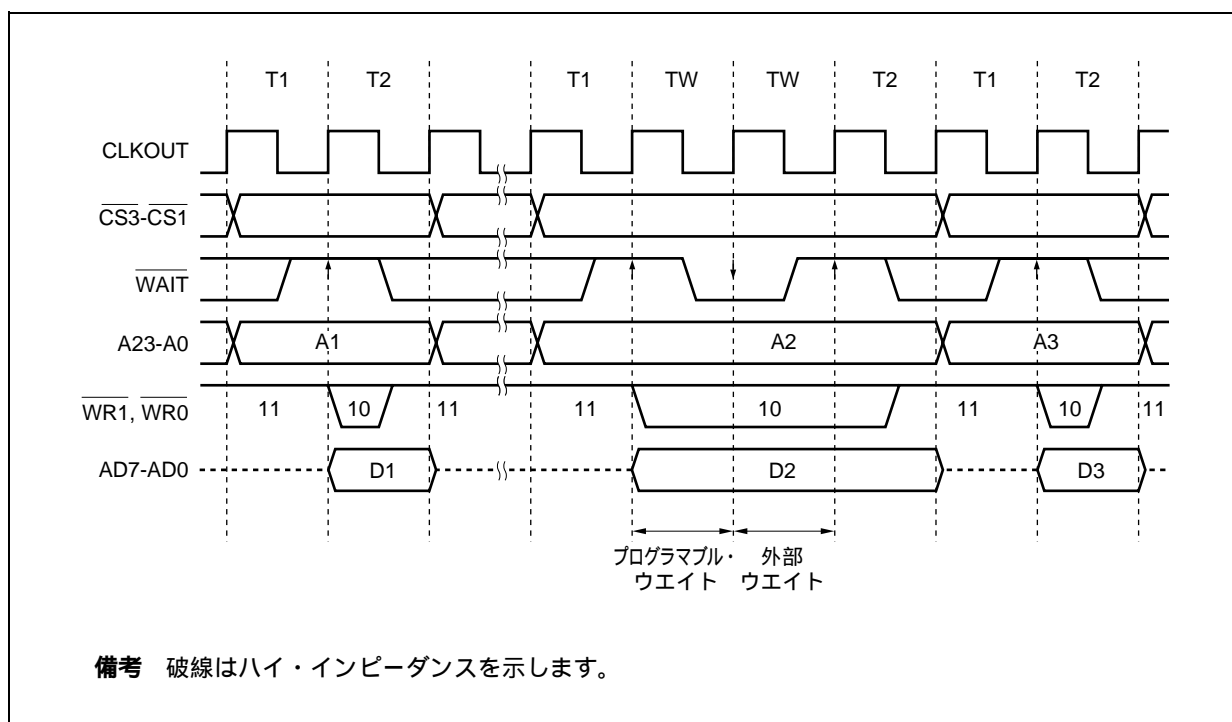
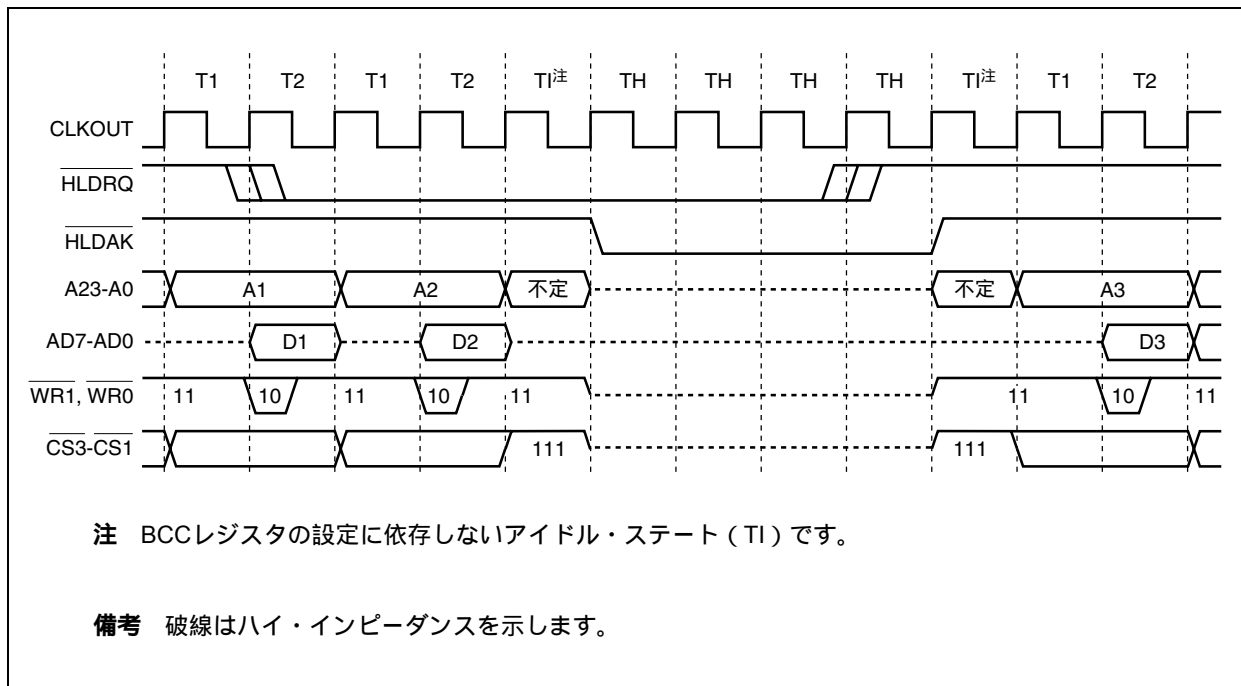
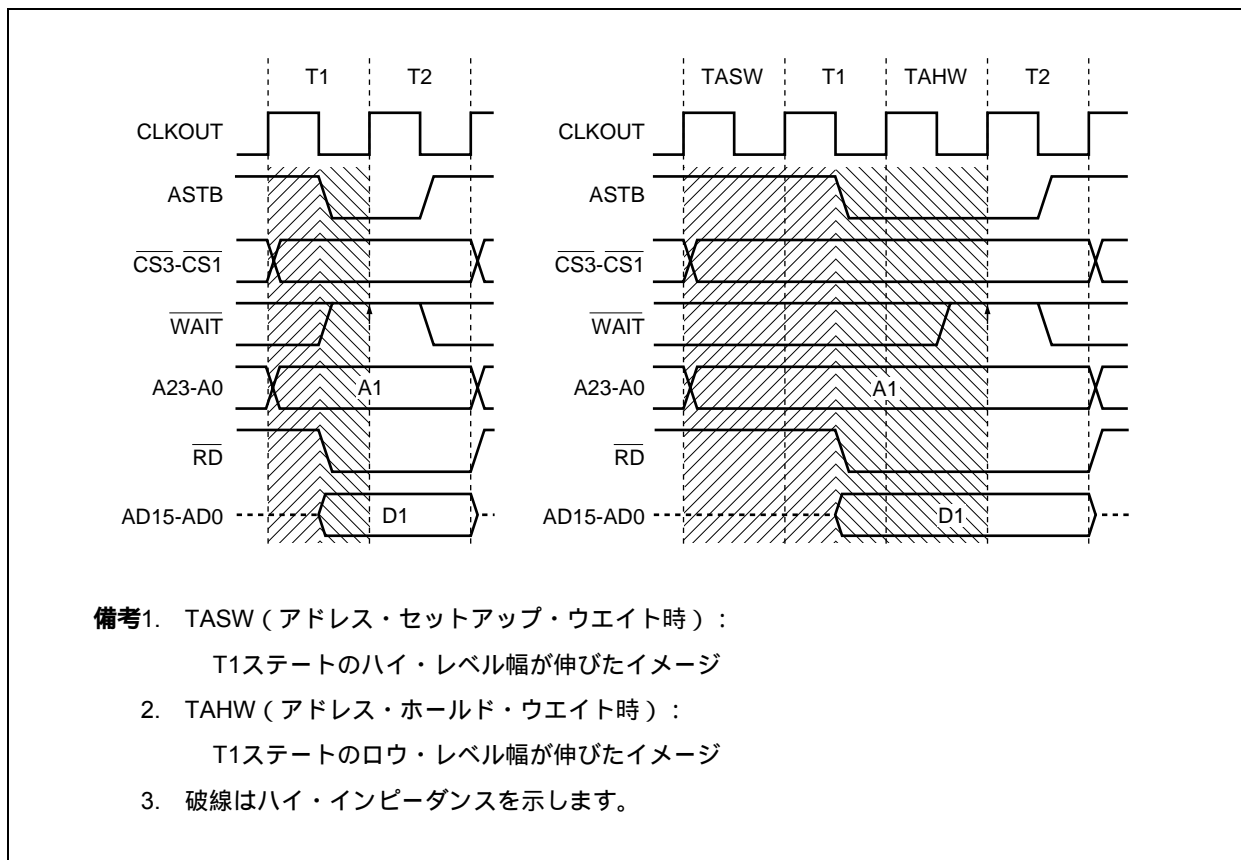


図5-15 セパレート・バス・ホールド・タイミング(バス・サイズ:8ビット,ライト時)

図5-16 アドレス・ウエイト・タイミング  
(セパレート・バス・リード, バス・サイズ:16ビット, 16ビット・アクセス時)

## 第6章 クロック発生機能

### 6.1 概要

クロック発生機能の概要を次に示します。

メイン・クロック発振回路

- ・ 3 ~ 10 MHzの外付け発振子と接続し発振 ( $f_X$ )<sup>注</sup>

サブクロック発振回路

- ・ 32.768 kHzの外付け発振子と接続し発振 ( $f_{XT}$ )

内蔵発振器

- ・  $f_R = 100 \sim 400$  kHz, 220 kHz (TYP.)
- ・ ウォッチドッグ・タイマ2のデフォルト・クロック・ソースとして使用
- ・ TMM0-TMM2のソース・クロックとして使用
- ・ メイン・クロック発振器の異常停止監視 (クロック・モニタ) 用サンプリング・クロックとして使用
- ・ オプション・バイト機能により, ソフトウェアによる内蔵発振器の停止可能 / 停止不可の選択が可能

PLL (Phase Locked Loop) による逡倍機能

- ・ 8逡倍 (8逡倍後に2分周 / 分周なしの選択が可能)

PLL入力クロック ( $f_{PLLI}$ ) の分周機能

- ・ オプション・バイト機能により, 分周なし / 2分周の選択が可能

SSCG (Spread Spectrum Clock Generator) による逡倍機能, 周波数変調機能

- ・ 8逡倍 / 12逡倍
- ・ 変調なし / 変調ありの選択が可能
- ・ 変調率 (TYP.) : - 1 %, - 2 %, - 4 %から選択が可能 (Down Spread方式)
- ・ 変調周期 (TYP.) : 40 kHz, 50 kHz, 60 kHzから選択が可能

内部システム・クロックの生成

- ・ クロック・スルー, またはPLLやSSCGの出力クロックを内部システム・クロックとして選択が可能
- ・ 内部システム・クロック用プリスケアラ : 7段階 ( $f_{XX}$ ,  $f_{XX}/2$ ,  $f_{XX}/4$ ,  $f_{XX}/8$ ,  $f_{XX}/16$ ,  $f_{XX}/32$ ,  $f_{XT}$ )

周辺クロック ( $f_{XP}$ ) の生成

- ・ 内部システム・クロックにSSCGを使用する場合, 各内蔵周辺機能にはPLL出力クロックを供給
- クロック出力機能 (CLKOUT端子)

**注** クロック・モードにより, 接続可能な外付け発振子の周波数範囲が異なります。

- 備考**
- $f_X$  : メイン発振クロック周波数
  - $f_{XX}$  : メイン・クロック周波数
  - $f_{XT}$  : サブクロック周波数
  - $f_R$  : 内蔵発振クロック周波数
  - $f_{PLLI}$  : PLL入力クロック周波数
  - $f_{XP}$  : 周辺クロック周波数

## 6.2 クロック・モード

V850E/SJ3-H, V850E/SK3-Hでは、4つのクロック・モードが使用できます。各クロック・モードの特徴を次に示します。

- 注意1.** クロック・モードは、オプション・バイトで設定するため、動作中に切り替えることはできません。そのため、どのクロック・モードを使用するか、あらかじめ決定してください。
2. (A9)品は、クロック・モード1、クロック・モード3 (SSCG出力 (8通倍) の場合) のみ設定できません。クロック・モード2、クロック・モード3 (SSCG出力 (12通倍) の場合)、クロック・モード4は設定できません。
- 詳細については、表6-1を参照してください。

- ・クロック・モード1：メイン・クロック (f<sub>xx</sub>) として、PLL出力 (8通倍 / 8通倍後2分周) を選択でき、最大32 MHz動作が可能です。  
周辺クロックのソース・クロックは、メイン・クロックとなります。
- ・クロック・モード2：メイン・クロック (f<sub>xx</sub>) として、SSCG出力 (12通倍) を選択でき、最大48 MHz動作が可能です。  
周辺クロックには、メイン・クロックとは別に2分周されたPLL出力 (8通倍後2分周、最大16 MHz) が選択されます。ただし、IEBusコントローラ、CANコントローラへの供給クロックは分周なしのPLL出力 (8通倍、最大32 MHz) が選択されます。
- ・クロック・モード3：メイン・クロック (f<sub>xx</sub>) として、SSCG出力 (8通倍 / 12通倍) を選択でき、最大48 MHz動作が可能です。  
周辺クロックには、メイン・クロックとは別にPLL出力 (8通倍、最大32 MHz) が選択されます。
- ・クロック・モード4：メイン・クロック (f<sub>xx</sub>) として、SSCG出力 (8通倍) を選択でき、最大48 MHz動作が可能です。  
周辺クロックには、メイン・クロックとは別に2分周されたPLL出力 (8通倍後2分周、最大24 MHz) が選択されます。  
クロック・モード4では、IEBusコントローラは使用できません。

クロック・モードにおける各動作クロックの周波数範囲とソース・クロックを次に示します。

表6-1 クロック・モードにおける各動作クロックの周波数範囲とソース・クロック (1/2)

クロック・モード	オプション・バイト 0000007BH <sup>注1</sup>	メイン発振クロック 周波数 (fx) の範囲	設定可能な動作モードと メイン・クロック周波数 (fxx)	周辺クロック (fxp), IEBusクロック (fie), CANクロック (fcAN) のソース・クロック
	PLLI0ビットの 設定値			
クロック・モード1	0	3~10 MHz	クロック・スルー・モード : 3~10 MHz	メイン・クロック : 3~10 MHz (fxp = fie = fcAN = fxx)
		3~5 MHz	クロック・スルー・モード : 3~5 MHz	メイン・クロック : 3~5 MHz (fxp = fie = fcAN = fxx)
			PLLモード (8通倍後2分周) : 12~20 MHz	メイン・クロック : 12~20 MHz (fxp = fie = fcAN = fxx)
		3~4 MHz	クロック・スルー・モード : 3~4 MHz	メイン・クロック : 3~4 MHz (fxp = fie = fcAN = fxx)
			PLLモード (8通倍) : 24~32 MHz	メイン・クロック : 24~32 MHz (fxp = fie = fcAN = fxx)
	1	6~10 MHz	クロック・スルー・モード : 6~10 MHz	メイン・クロック : 6~10 MHz (fxp = fie = fcAN = fxx)
			クロック・スルー・モード : 6~10 MHz	
		6~10 MHz	PLLモード (8通倍後2分周) : 12~20 MHz	メイン・クロック : 12~20 MHz (fxp = fie = fcAN = fxx)
			6~8 MHz	クロック・スルー・モード : 6~8 MHz
		PLLモード (8通倍) : 24~32 MHz	メイン・クロック : 24~32 MHz (fxp = fie = fcAN = fxx)	
クロック・モード2 <sup>注2</sup>	0	3.66~4 MHz	クロック・スルー・モード : 3.66~4 MHz	・fxp PLLクロック (8通倍後2分周) : 14.64~16 MHz
			SSCGモード (12通倍) : 43.92~48 MHz	
	1	7.32~8 MHz	クロック・スルー・モード : 7.32~8 MHz	PLLクロック (8通倍) : 29.28~32 MHz
			SSCGモード (12通倍) : 43.92~48 MHz	

注1. 詳細については、第33章 オプション・バイト機能を参照してください。

2. (A9)品は設定できません。

注意1. クロック・モード1では、周辺クロック (fxp, fie, fcAN) のソース・クロックとしてメイン・クロック (fxx) が供給されます。また、メイン・クロックにSSCG出力クロックを使用することは禁止です。

2. クロック・モード2では、メイン・クロックにSSCG出力クロックを使用し、周辺クロックにはPLL出力クロックを使用します。メイン・クロックにPLL出力クロックを使用することは禁止です。また、メイン・クロックにクロック・スルー・モードを選択した場合でも、周辺クロックのソース・クロックはPLL出力クロックとなります。

表6-1 クロック・モードにおける各動作クロックの周波数範囲とソース・クロック (2/2)

クロック・モード	オプション・バイト 0000007BH <sup>注1</sup>	メイン発振クロック 周波数 (fx) の範囲	設定可能な動作モードと メイン・クロック周波数 (fxx)	周辺クロック (f <sub>XP</sub> ) , IEBusクロック (f <sub>IE</sub> ) , CANクロック (f <sub>CAN</sub> ) のソース・クロック
	PLL10ビットの 設定値			
クロック・モード3	0	3.66 ~ 4 MHz	クロック・スルー・モード : 3.66 ~ 4 MHz	PLLクロック (8通倍) : 29.28 ~ 32 MHz (f <sub>XP</sub> = f <sub>IE</sub> = f <sub>CAN</sub> )
			SSCGモード (8通倍) : 29.28 ~ 32 MHz	
			SSCGモード (12通倍) <sup>注2</sup> : 43.92 ~ 48 MHz	
	1	7.32 ~ 8 MHz	クロック・スルー・モード : 7.32 ~ 8 MHz	
			SSCGモード (8通倍) : 29.28 ~ 32 MHz	
			SSCGモード (12通倍) <sup>注2</sup> : 43.92 ~ 48 MHz	
クロック・モード4 <sup>注2</sup>	0	5.22 ~ 6 MHz	クロック・スルー・モード : 5.22 ~ 6 MHz	PLLクロック (8通倍後2分周) : 20.88 ~ 24 MHz (f <sub>XP</sub> = f <sub>IE</sub> = f <sub>CAN</sub> )
			SSCGモード (8通倍) : 41.76 ~ 48 MHz	
	1	設定禁止		

注1. 詳細については、第33章 オプション・バイト機能を参照してください。

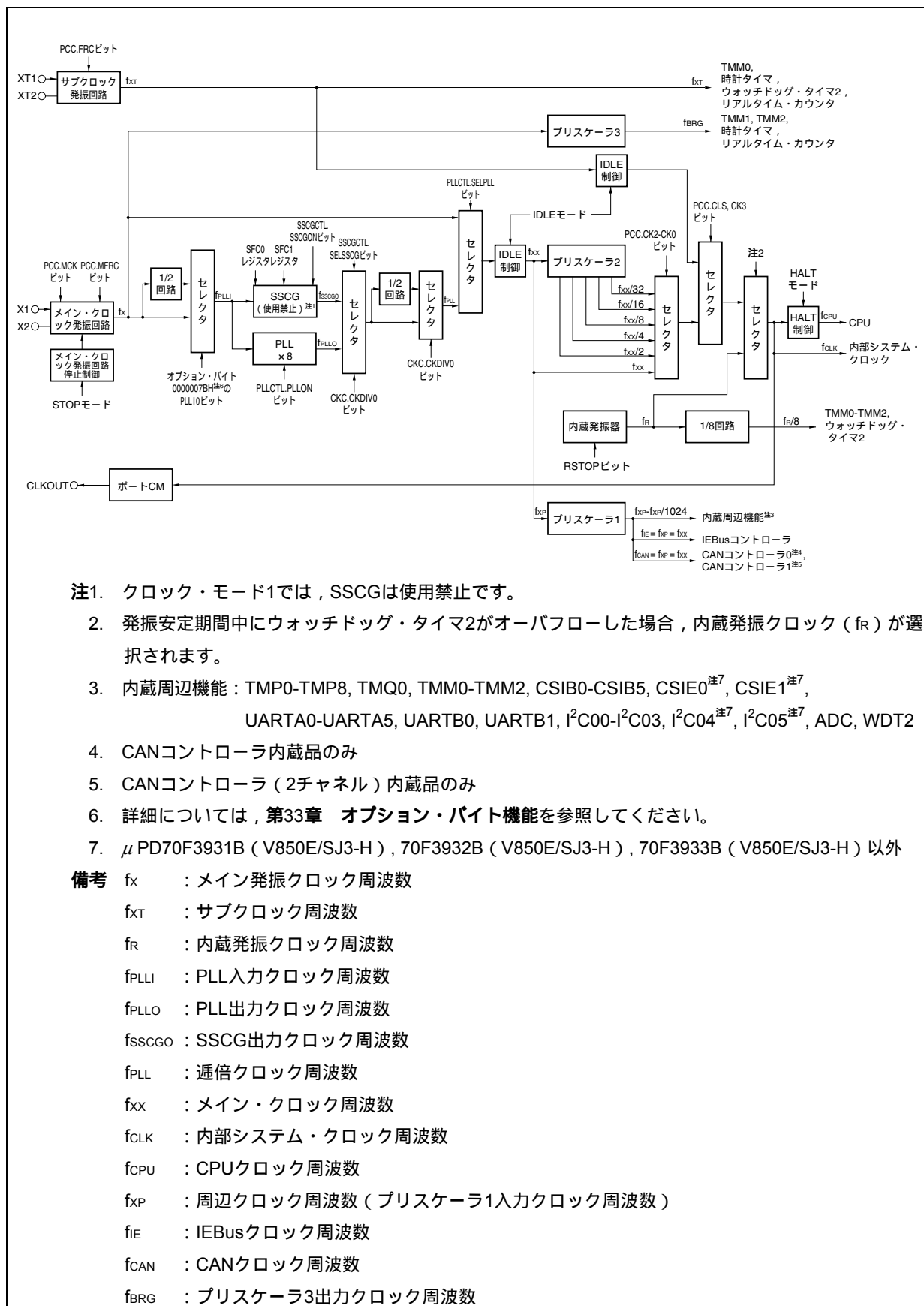
2. (A9)品は設定できません。

注意1. クロック・モード3, 4では、メイン・クロックにSSCG出力クロックを使用し、周辺クロックにはPLL出力クロックを使用します。メイン・クロックにPLL出力クロックを使用することは禁止です。また、メイン・クロックにクロック・スルー・モードを選択した場合でも、周辺クロックのソース・クロックはPLL出力クロックとなります。

2. クロック・モード4では、IEBusコントローラは使用できません。

### 6.2.1 クロック・モード1

図6-1 クロック・モード1のクロック発生回路



- 注1. クロック・モード1では、SSCGは使用禁止です。
2. 発振安定期間中にウォッチドッグ・タイマ2がオーバーフローした場合、内蔵発振クロック (fr) が選択されます。
  3. 内蔵周辺機能 : TMP0-TMP8, TMQ0, TMM0-TMM2, CSIB0-CSIB5, CSIE0<sup>注7</sup>, CSIE1<sup>注7</sup>, UARTA0-UARTA5, UARTB0, UARTB1, I<sup>2</sup>C00-I<sup>2</sup>C03, I<sup>2</sup>C04<sup>注7</sup>, I<sup>2</sup>C05<sup>注7</sup>, ADC, WDT2
  4. CANコントローラ内蔵品のみ
  5. CANコントローラ (2チャンネル) 内蔵品のみ
  6. 詳細については、第33章 オプション・バイト機能を参照してください。
  7.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

- 備考**
- fx : メイン発振クロック周波数
  - fXT : サブクロック周波数
  - fr : 内蔵発振クロック周波数
  - fPLLI : PLL入力クロック周波数
  - fPLLO : PLL出力クロック周波数
  - fSSCGO : SS CG出力クロック周波数
  - fPLL : 逡倍クロック周波数
  - fxx : メイン・クロック周波数
  - fCLK : 内部システム・クロック周波数
  - fCPU : CPUクロック周波数
  - fXP : 周辺クロック周波数 (プリスケラ1入力クロック周波数)
  - fIE : IEBusクロック周波数
  - fCAN : CANクロック周波数
  - fBRG : プリスケラ3出力クロック周波数

### (1) メイン・クロック発振回路

次の周波数 ( $f_x$ ) を発振します。

#### (a) オプション・バイト0000007BH (第33章 オプション・バイト機能参照) のPLL10ビット = 0 (分周なし) の場合

- ・クロック・スルー・モード時  
 $f_x = 3 \sim 10$  MHz
- ・PLLモード時  
 $f_x = 3 \sim 5$  MHz (PLL : 8通倍後2分周)  
 $f_x = 3 \sim 4$  MHz (PLL : 8通倍)

#### (b) PLL10ビット = 1 (2分周) の場合

- ・クロック・スルー・モード時  
 $f_x = 6 \sim 10$  MHz
- ・PLLモード時  
 $f_x = 6 \sim 10$  MHz (PLL : 8通倍後2分周)  
 $f_x = 6 \sim 8$  MHz (PLL : 8通倍)

リセット解除後、メイン・クロック発振回路は動作を開始します。

### (2) サブクロック発振回路

32.768 kHzの周波数 ( $f_{XT}$ ) を発振します。

### (3) メイン・クロック発振回路停止制御

メイン・クロック発振回路の発振を停止する制御信号を生成します。

STOPモード時、またはPCC.MCKビット = 1 (PCC.CLSビット = 1のときだけ有効) のとき、メイン・クロック発振回路の発振を停止します。

### (4) 内蔵発振器

220 kHz (TYP.) の周波数 ( $f_R$ ) を発振します。

RCM.RSTOPビットの設定により発振を停止できますが、オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のRMOPINビット=1で内蔵発振器の停止不可を選択している場合、発振は停止できません。



**(5) PLL**

PLL入力クロック ( $f_{PLLI}$ ) を8通倍 (最大32 MHz) します。PLL出力クロック ( $f_{PLLO}$ ) は、メイン・クロック ( $f_{XX}$ ) として選択できます。PLLCTL.SELPLLビットにより、 $f_X$ をそのまま出力するクロック・スルー・モードと、通倍クロックを出力するPLLモードを選択できます。

CKC.CKDIV0ビットによりPLL出力クロック ( $f_{PLLO}$ ) を2分周することが可能です。また、PLLCTL.PLLONビットによりPLLを動作/停止できます。

リセット解除後、PLLは動作状態かつロック状態になります (PLLCTL.PLLONビット = 1, LOCKR.LOCKビット = 0)。

**(6) SSCG**

クロック・モード1では、SSCGは使用禁止です。

**(7) プリスケーラ1**

周辺クロック ( $f_{XP}$ ) (= メイン・クロック ( $f_{XX}$ )) をソース・クロックとして、内蔵周辺機能に供給するクロック ( $f_{XP}-f_{XP}/1024$ ) を生成します。

クロック供給の対象となるブロックを次に示します。

TMP0-TMP8, TMQ0, TMM0-TMM2, CSIB0-CSIB5, CSIE0<sup>注1</sup>, CSIE1<sup>注1</sup>, UARTA0-UARTA5, UARTB0, UARTB1, I<sup>2</sup>C00-I<sup>2</sup>C03, I<sup>2</sup>C04<sup>注1</sup>, I<sup>2</sup>C05<sup>注1</sup>, ADC, WDT2, CAN0<sup>注2</sup>, CAN1<sup>注3</sup>, IEBus

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

2. CANコントローラ内蔵品のみ

3. CANコントローラ (2チャンネル) 内蔵品のみ

**(8) プリスケーラ2**

メイン・クロック ( $f_{XX}$ ) を分周する回路です。

CPUクロック ( $f_{CPU}$ )、内部システム・クロック ( $f_{CLK}$ ) を生成するセレクタに、プリスケーラ2で生成したクロック ( $f_{XX}-f_{XX}/32$ ) を供給します。

なお、 $f_{CLK}$ は、DMAC, INTC, ROMコレクション, ROM, RAM, 拡張内蔵RAMブロックに供給するクロックで、CLKOUT端子から出力できます。

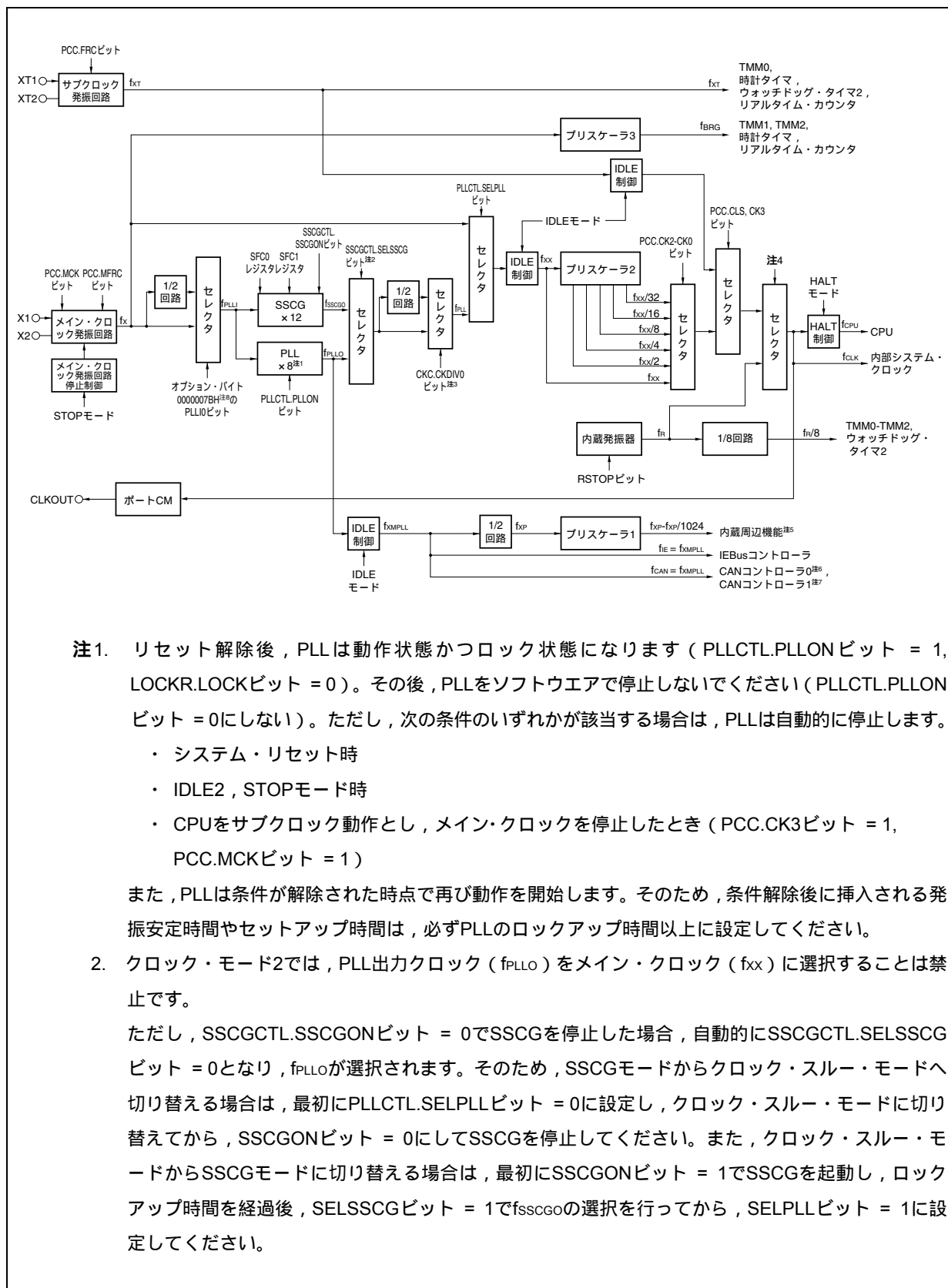
**(9) プリスケーラ3**

メイン・クロック発振回路で生成するクロック ( $f_X$ ) を所定の周波数まで分周する回路で、時計タイマ, TMM1, TMM2, リアルタイム・カウンタ (RTC) ブロックに供給します。

詳細は、**第10章 時計機能**を参照してください。

## 6.2.2 クロック・モード2

図6-2 クロック・モード2のクロック発生回路 (1/2)



注1. リセット解除後、PLLは動作状態かつロック状態になります（PLLCTL.PLLONビット = 1, LOCKR.LOCKビット = 0）。その後、PLLをソフトウェアで停止しないでください（PLLCTL.PLLONビット = 0にしない）。ただし、次の条件のいずれかが該当する場合は、PLLは自動的に停止します。

- ・ システム・リセット時
- ・ IDLE2, STOPモード時
- ・ CPUをサブクロック動作とし、メイン・クロックを停止したとき（PCC.CK3ビット = 1, PCC.MCKビット = 1）

また、PLLは条件が解除された時点で再び動作を開始します。そのため、条件解除後に挿入される発振安定時間やセットアップ時間は、必ずPLLのロックアップ時間以上に設定してください。

2. クロック・モード2では、PLL出力クロック（f<sub>PLLO</sub>）をメイン・クロック（f<sub>XX</sub>）に選択することは禁止です。

ただし、SSCGCTL.SSCGONビット = 0でSSCGを停止した場合、自動的にSSCGCTL.SELSSCGビット = 0となり、f<sub>PLLO</sub>が選択されます。そのため、SSCGモードからクロック・スルー・モードへ切り替える場合は、最初にPLLCTL.SELPLLビット = 0に設定し、クロック・スルー・モードに切り替えてから、SSCGONビット = 0にしてSSCGを停止してください。また、クロック・スルー・モードからSSCGモードに切り替える場合は、最初にSSCGONビット = 1でSSCGを起動し、ロックアップ時間を経過後、SELSSCGビット = 1でf<sub>SSCGO</sub>の選択を行ってから、SELPLLビット = 1に設定してください。

図6-2 クロック・モード2のクロック発生回路 (2/2)

- 注3. クロック・モード2では、必ずCKC.CKDIV0ビット = 1 (分周なし) に設定してください。
4. 発振安定期間中にウォッチドッグ・タイマ2がオーバフローした場合、内蔵発振クロック ( $f_R$ ) が選択されます。
  5. 内蔵周辺機能 : TMP0-TMP8, TMQ0, TMM0-TMM2, CSIB0-CSIB5, CSIE0<sup>注9</sup>, CSIE1<sup>注9</sup>, UARTA0-UARTA5, UARTB0, UARTB1, I<sup>2</sup>C00-I<sup>2</sup>C03, I<sup>2</sup>C04<sup>注9</sup>, I<sup>2</sup>C05<sup>注9</sup>, ADC, WDT2
  6. CANコントローラ内蔵品のみ
  7. CANコントローラ (2チャンネル) 内蔵品のみ
  8. 詳細については、第33章 オプション・バイト機能を参照してください。
  9.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

**注意** (A9)品はクロック・モード2は設定できません。

**備考**

$f_X$	: メイン発振クロック周波数
$f_{XT}$	: サブクロック周波数
$f_R$	: 内蔵発振クロック周波数
$f_{PLLI}$	: PLL入力クロック周波数
$f_{PLLO}$	: PLL出力クロック周波数
$f_{SSCGO}$	: SSCG出力クロック周波数
$f_{PLL}$	: 逡倍クロック周波数
$f_{XX}$	: メイン・クロック周波数
$f_{CLK}$	: 内部システム・クロック周波数
$f_{CPU}$	: CPUクロック周波数
$f_{XMPLL}$	: 周辺クロック用途PLL出力クロック周波数
$f_{XP}$	: 周辺クロック周波数 (プリスケアラ1入力クロック周波数)
$f_{IE}$	: IEBusクロック周波数
$f_{CAN}$	: CANクロック周波数
$f_{BRG}$	: プリスケアラ3出力クロック周波数

### (1) メイン・クロック発振回路

次の周波数 ( $f_X$ ) を発振します。

(a) オプション・バイト0000007BH (第33章 オプション・バイト機能参照) のPLLI0ビット = 0

(分周なし) の場合

・  $f_X = 3.66 \sim 4$  MHz

(b) PLLI0ビット = 1 (2分周) の場合

・  $f_X = 7.32 \sim 8$  MHz

リセット解除後、メイン・クロック発振回路は動作を開始します。

**(2) サブクロック発振回路**

32.768 kHzの周波数 ( $f_{XT}$ ) を発振します。

**(3) メイン・クロック発振回路停止制御**

メイン・クロック発振回路の発振を停止する制御信号を生成します。

STOPモード時、またはPCC.MCKビット = 1 (PCC.CLSビット = 1のときだけ有効) のとき、メイン・クロック発振回路の発振を停止します。

**(4) 内蔵発振器**

220 kHz (TYP.) の周波数 ( $f_R$ ) を発振します。

RCM.RSTOPビットの設定により発振を停止できますが、オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のRMOPINビット= 1で内蔵発振器の停止不可を選択している場合、発振は停止できません。

**(5) PLL**

PLL入力クロック ( $f_{PLLI}$ ) を8通倍後2分周 (最大16 MHz) し、周辺クロック ( $f_{XP}$ ) を生成します。

**(6) SSCG**

PLL入力クロック ( $f_{PLLI}$ ) を12通倍 (最大48 MHz) します。SSCG出力クロック ( $f_{SSCGO}$ ) は、メイン・クロック ( $f_{XX}$ ) として選択できます。PLLCTL.SELPLLビットにより、 $f_X$ をそのまま出力するクロック・スルー・モードと、 $f_{SSCGO}$ を出力するSSCGモードを選択できます。

SSCGモード時、周波数変調機能によりEMIノイズのピーク値を低減する効果があります。

周波数変調あり/周波数変調なし、周波数変調率 (Down Spread方式)、変調周期の設定は、リセット後、一度だけ設定可能です。

また、SSCGCTL.SSCGONビットにより、SSCG動作/SSCG停止を制御できます。ただし、PLLCTL.PLLONビットが1であるときのみ有効です。

リセット解除後、SSCGは停止状態になります。

**(7) プリスケーラ1**

周辺クロック ( $f_{XP}$ ) (= 周辺クロック用途PLL出力クロック ( $f_{XMPLL}$ ) の2分周) をソース・クロックとして、内蔵周辺機能に供給するクロック ( $f_{XP}-f_{XP}/1024$ ) を生成します。

クロック供給の対象となるブロックを次に示します。

TMP0-TMP8, TMQ0, TMM0-TMM2, CSIB0-CSIB5, CSIE0<sup>注1</sup>, CSIE1<sup>注1</sup>, UARTA0-UARTA5, UARTB0, UARTB1, I<sup>2</sup>C00-I<sup>2</sup>C03, I<sup>2</sup>C04<sup>注1</sup>, I<sup>2</sup>C05<sup>注1</sup>, ADC, WDT2

なお、CAN0<sup>注2</sup>, CAN1<sup>注3</sup>, IEBusには、周辺クロック用途PLL出力クロック ( $f_{XMPLL}$ ) が直接供給されます。

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

2. CANコントローラ内蔵品のみ

3. CANコントローラ (2チャンネル) 内蔵品のみ

**(8) プリスケアラ2**

メイン・クロック ( $f_{xx}$ ) を分周する回路です。

CPUクロック ( $f_{CPU}$ ) , 内部システム・クロック ( $f_{CLK}$ ) を生成するセクタに , プリスケアラ2で生成したクロック ( $f_{xx}-f_{xx}/32$ ) を供給します。

なお ,  $f_{CLK}$ は , DMAC, INTC, ROMコレクション , ROM, RAM, 拡張内蔵RAMブロックに供給するクロックで , CLKOUT端子から出力できます。

**(9) プリスケアラ3**

メイン・クロック発振回路で生成するクロック ( $f_x$ ) を所定の周波数まで分周する回路で , 時計タイマ , TMM1, TMM2 , リアルタイム・カウンタ (RTC) ブロックに供給します。

詳細は , 第10章 時計機能を参照してください。

## 6.2.3 クロック・モード3

図6-3 クロック・モード3のクロック発生回路 (1/2)

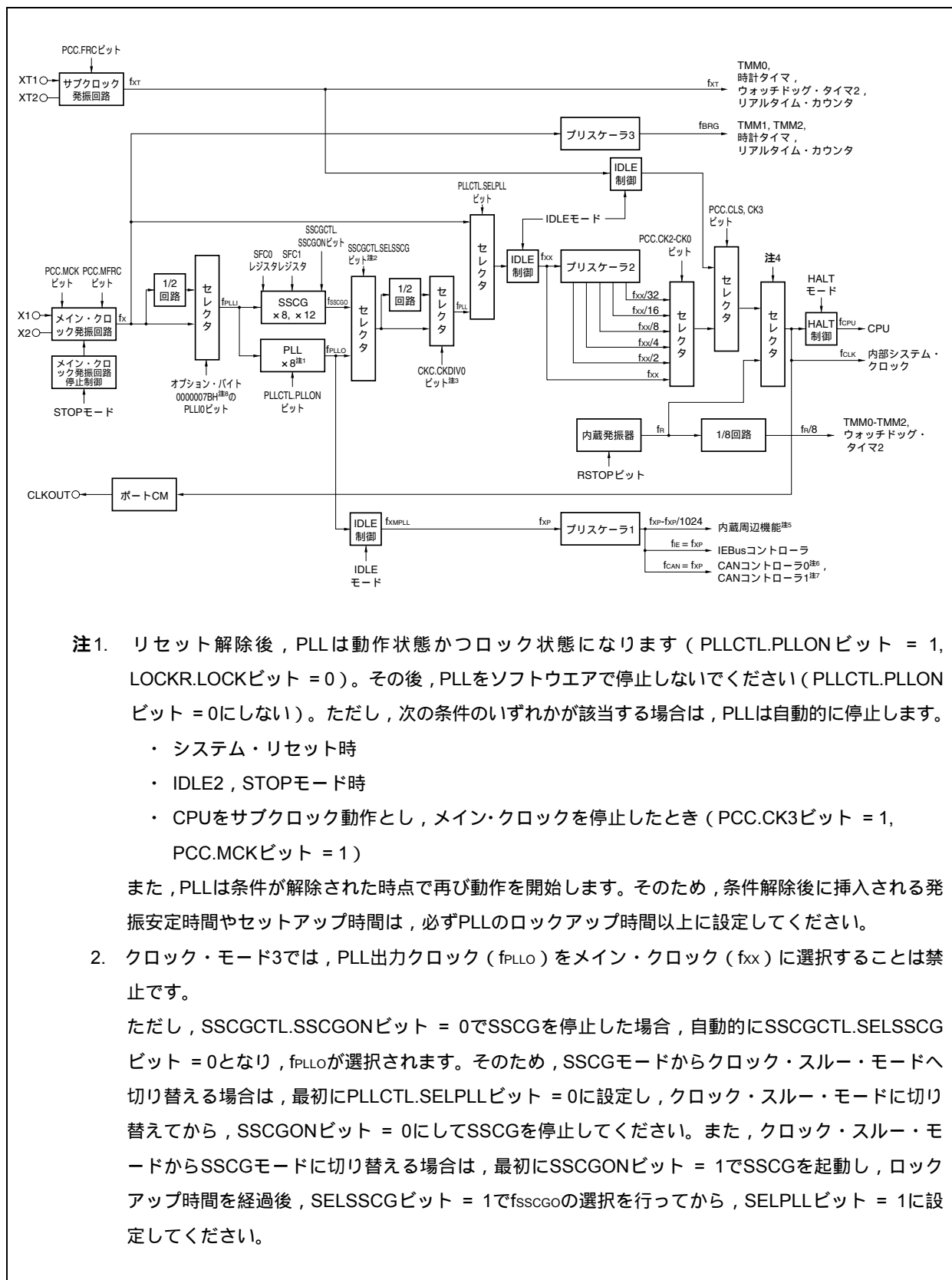


図6-3 クロック・モード3のクロック発生回路 (2/2)

- 注3. クロック・モード3では、必ずCKC.CKDIV0ビット = 1 (分周なし) に設定してください。
4. 発振安定期間中にウォッチドッグ・タイマ2がオーバフローした場合、内蔵発振クロック ( $f_R$ ) が選択されます。
  5. 内蔵周辺機能 : TMP0-TMP8, TMQ0, TMM0-TMM2, CSIB0-CSIB5, CSIE0<sup>注9</sup>, CSIE1<sup>注9</sup>,  
UARTA0-UARTA5, UARTB0, UARTB1, I<sup>2</sup>C00-I<sup>2</sup>C03, I<sup>2</sup>C04<sup>注9</sup>, I<sup>2</sup>C05<sup>注9</sup>, ADC, WDT2
  6. CANコントローラ内蔵品のみ
  7. CANコントローラ (2チャンネル) 内蔵品のみ
  8. 詳細については、第33章 オプション・バイト機能を参照してください。
  9.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

**注意** (A9)品は、クロック・モード3 (SSCG出力 (12逓倍) の場合) は設定できません。

**備考**

$f_X$	: メイン発振クロック周波数
$f_{XT}$	: サブクロック周波数
$f_R$	: 内蔵発振クロック周波数
$f_{PLLI}$	: PLL入力クロック周波数
$f_{PLLO}$	: PLL出力クロック周波数
$f_{SSCGO}$	: SSCG出力クロック周波数
$f_{PLL}$	: 逓倍クロック周波数
$f_{XX}$	: メイン・クロック周波数
$f_{CLK}$	: 内部システム・クロック周波数
$f_{CPU}$	: CPUクロック周波数
$f_{XMPLL}$	: 周辺クロック用途PLL出力クロック周波数
$f_{XP}$	: 周辺クロック周波数 (プリスケラ1入力クロック周波数)
$f_{IE}$	: IEBusクロック周波数
$f_{CAN}$	: CANクロック周波数
$f_{BRG}$	: プリスケラ3出力クロック周波数

### (1) メイン・クロック発振回路

次の周波数 ( $f_X$ ) を発振します。

(a) オプション・バイト0000007BH (第33章 オプション・バイト機能参照) のPLLI0ビット = 0 (分周なし) の場合

・  $f_X = 3.66 \sim 4$  MHz

(b) PLLI0ビット = 1 (2分周) の場合

・  $f_X = 7.32 \sim 8$  MHz

リセット解除後、メイン・クロック発振回路は動作を開始します。

**(2) サブクロック発振回路**

32.768 kHzの周波数 ( $f_{XT}$ ) を発振します。

**(3) メイン・クロック発振回路停止制御**

メイン・クロック発振回路の発振を停止する制御信号を生成します。

STOPモード時、またはPCC.MCKビット = 1 (PCC.CLSビット = 1のときだけ有効) のとき、メイン・クロック発振回路の発振を停止します。

**(4) 内蔵発振器**

220 kHz (TYP.) の周波数 ( $f_R$ ) を発振します。

RCM.RSTOPビットの設定により発振を停止できますが、オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のRMOPINビット= 1で内蔵発振器の停止不可を選択している場合、発振は停止できません。

**(5) PLL**

PLL入力クロック ( $f_{PLLI}$ ) を8通倍 (最大32 MHz) し、周辺クロック ( $f_{XP}$ ) を生成します。

**(6) SSCG**

PLL入力クロック ( $f_{PLLI}$ ) を8通倍 (最大32 MHz) します。SSCG出力クロック ( $f_{SSCGO}$ ) は、メイン・クロック ( $f_{XX}$ ) として選択できます。PLLCTL.SELPLLビットにより、 $f_X$ をそのまま出力するクロック・スルー・モードと、 $f_{SSCGO}$ を出力するSSCGモードを選択できます。

SSCGモード時、周波数変調機能によりEMIノイズのピーク値を低減する効果があります。

周波数変調あり/周波数変調なし、周波数変調率 (Down Spread方式)、変調周期の設定は、リセット後、一度だけ設定可能です。

また、SSCGCTL.SSCGONビットにより、SSCG動作/SSCG停止を制御できます。ただし、PLLCTL.PLLONビットが1であるときのみ有効です。

リセット解除後、SSCGは停止状態になります。

**(7) プリスケーラ1**

周辺クロック ( $f_{XP}$ ) (= 周辺クロック用途PLL出力クロック ( $f_{XMPLL}$ )) をソース・クロックとして、内蔵周辺機能に供給するクロック ( $f_{XP}-f_{XP}/1024$ ) を生成します。

クロック供給の対象となるブロックを次に示します。

TMP0-TMP8, TMQ0, TMM0-TMM2, CSIB0-CSIB5, CSIE0<sup>注1</sup>, CSIE1<sup>注1</sup>, UARTA0-UARTA5, UARTB0, UARTB1, I<sup>2</sup>C00-I<sup>2</sup>C03, I<sup>2</sup>C04<sup>注1</sup>, I<sup>2</sup>C05<sup>注1</sup>, ADC, WDT2, CAN0<sup>注2</sup>, CAN1<sup>注3</sup>, IEBus

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

2. CANコントローラ内蔵品のみ

3. CANコントローラ (2チャンネル) 内蔵品のみ



**(8) プリスケーラ2**

メイン・クロック ( $f_{xx}$ ) を分周する回路です。

CPUクロック ( $f_{CPU}$ ) , 内部システム・クロック ( $f_{CLK}$ ) を生成するセクタに , プリスケーラ2で生成したクロック ( $f_{xx-fxx/32}$ ) を供給します。

なお ,  $f_{CLK}$ は , DMAC, INTC, ROMコレクション , ROM, RAM, 拡張内蔵RAMブロックに供給するクロックで , CLKOUT端子から出力できます。

**(9) プリスケーラ3**

メイン・クロック発振回路で生成するクロック ( $f_x$ ) を所定の周波数まで分周する回路で , 時計タイマ , TMM1, TMM2 , リアルタイム・カウンタ (RTC) ブロックに供給します。

詳細は , 第10章 時計機能を参照してください。

## 6.2.4 クロック・モード4

図6-4 クロック・モード4のクロック発生回路 (1/2)

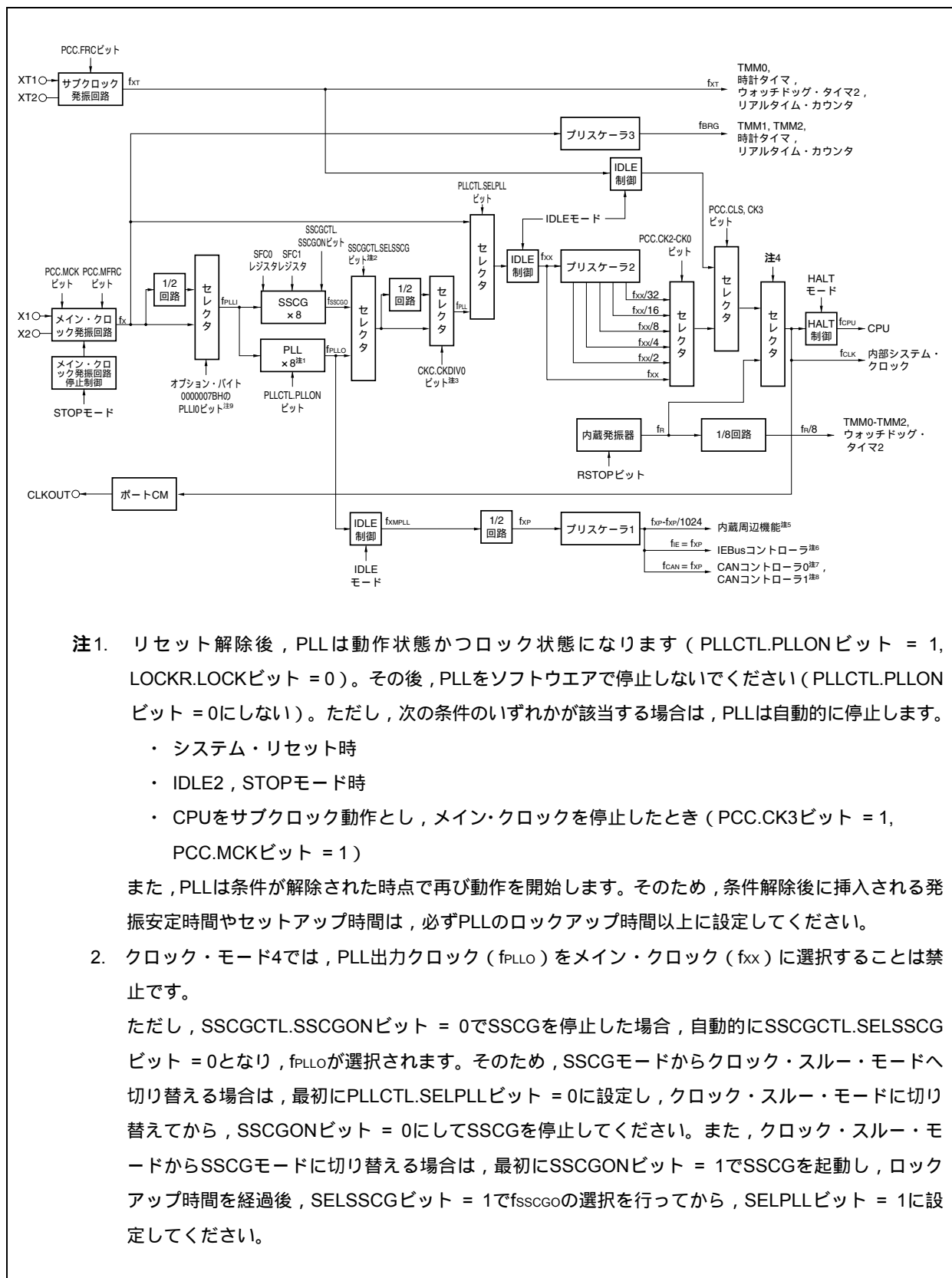


図6-4 クロック・モード4のクロック発生回路 (2/2)

- 注3. クロック・モード4では、必ずCKC.CKDIV0ビット = 1 (分周なし) に設定してください。
4. 発振安定期間中にウォッチドッグ・タイマ2がオーバフローした場合、内蔵発振クロック ( $f_R$ ) が選択されます。
  5. 内蔵周辺機能 : TMP0-TMP8, TMQ0, TMM0-TMM2, CSIB0-CSIB5, CSIE0<sup>注10</sup>, CSIE1<sup>注10</sup>, UARTA0-UARTA5, UARTB0, UARTB1, I<sup>2</sup>C00-I<sup>2</sup>C03, I<sup>2</sup>C04<sup>注10</sup>, I<sup>2</sup>C05<sup>注10</sup>, ADC, WDT2
  6. クロック・モード4では、IEBusコントローラは使用できません。
  7. CANコントローラ内蔵品のみ
  8. CANコントローラ (2チャンネル) 内蔵品のみ
  9. クロック・モード4では、必ずオプション・バイト0000007BHのPLLI0ビット = 0 (分周なし) に設定してください。
  10.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

**注意** (A9)品は、クロック・モード4は設定できません。

**備考**

$f_X$	: メイン発振クロック周波数
$f_{XT}$	: サブクロック周波数
$f_R$	: 内蔵発振クロック周波数
$f_{PLLI}$	: PLL入力クロック周波数
$f_{PLLO}$	: PLL出力クロック周波数
$f_{SSCGO}$	: SSCG出力クロック周波数
$f_{PLL}$	: 逡倍クロック周波数
$f_{XX}$	: メイン・クロック周波数
$f_{CLK}$	: 内部システム・クロック周波数
$f_{CPU}$	: CPUクロック周波数
$f_{XMPLL}$	: 周辺クロック用途PLL出力クロック周波数
$f_{XP}$	: 周辺クロック周波数 (プリスケアラ1入力クロック周波数)
$f_{IE}$	: IEBusクロック周波数
$f_{CAN}$	: CANクロック周波数
$f_{BRG}$	: プリスケアラ3出力クロック周波数

#### (1) メイン・クロック発振回路

5.22 ~ 6 MHzの周波数 ( $f_X$ ) を発振します。

リセット解除後、メイン・クロック発振回路は動作を開始します。

#### (2) サブクロック発振回路

32.768 kHzの周波数 ( $f_{XT}$ ) を発振します。

#### (3) メイン・クロック発振回路停止制御

メイン・クロック発振回路の発振を停止する制御信号を生成します。

STOPモード時、またはPCC.MCKビット = 1 (PCC.CLSビット = 1のときだけ有効) のとき、メイン・クロック発振回路の発振を停止します。

**(4) 内蔵発振器**

220 kHz (TYP.) の周波数 ( $f_R$ ) を発振します。

RCM.RSTOPビットの設定により発振を停止できますが、オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のRMOPINビット=1で内蔵発振器の停止不可を選択している場合、発振は停止できません。

**(5) PLL**

PLL入力クロック ( $f_{PLLI}$ ) を8逓倍後2分周 (最大24 MHz) し、周辺クロック ( $f_{XP}$ ) を生成します。

**(6) SSCG**

PLL入力クロック ( $f_{PLLI}$ ) を8逓倍 (最大32 MHz) します。SSCG出力クロック ( $f_{SSCGO}$ ) は、メイン・クロック ( $f_{XX}$ ) として選択できます。PLLCTL.SELPLLビットにより、 $f_X$ をそのまま出力するクロック・スルー・モードと、 $f_{SSCGO}$ を出力するSSCGモードを選択できます。

SSCGモード時、周波数変調機能によりEMIノイズのピーク値を低減する効果があります。

周波数変調あり/周波数変調なし、周波数変調率 (Down Spread方式)、変調周期の設定は、リセット後、一度だけ設定可能です。

また、SSCGCTL.SSCGONビットにより、SSCG動作/SSCG停止を制御できます。ただし、PLLCTL.PLLONビットが1であるときのみ有効です。

リセット解除後、SSCGは停止状態になります。

**(7) プリスケーラ1**

周辺クロック ( $f_{XP}$ ) (= 周辺クロック用途PLL出力クロック ( $f_{XMPLL}$ ) の2分周) をソース・クロックとして、内蔵周辺機能に供給するクロック ( $f_{XP}-f_{XP}/1024$ ) を生成します。

クロック供給の対象となるブロックを次に示します。

TMP0-TMP8, TMQ0, TMM0-TMM2, CSIB0-CSIB5, CSIE0<sup>注1</sup>, CSIE1<sup>注1</sup>, UARTA0-UARTA5, UARTB0, UARTB1, I<sup>2</sup>C00-I<sup>2</sup>C03, I<sup>2</sup>C04<sup>注1</sup>, I<sup>2</sup>C05<sup>注1</sup>, ADC, WDT2, CAN0<sup>注2</sup>, CAN1<sup>注3</sup>, IEBus<sup>注4</sup>

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

2. CANコントローラ内蔵品のみ

3. CANコントローラ (2チャンネル) 内蔵品のみ

4. IEBusコントローラへ供給される周辺クロック周波数から6.29 MHzへ分周できないため、IEBusコントローラは使用できません。

**(8) プリスケーラ2**

メイン・クロック ( $f_{XX}$ ) を分周する回路です。

CPUクロック ( $f_{CPU}$ )、内部システム・クロック ( $f_{CLK}$ ) を生成するセレクトに、プリスケーラ2で生成したクロック ( $f_{XX}-f_{XX}/32$ ) を供給します。

なお、 $f_{CLK}$ は、DMAC, INTC, ROMコレクション, ROM, RAM, 拡張内蔵RAMブロックに供給するクロックで、CLKOUT端子から出力できます。

**(9) プリスケアラ3**

メイン・クロック発振回路で生成するクロック (fx) を所定の周波数まで分周する回路で、時計タイマ、TMM1, TMM2, リアルタイム・カウンタ (RTC) ブロックに供給します。

詳細は、第10章 時計機能を参照してください。

**6.2.5 クロック・モードの設定**

クロック・モードは、オプション・バイト0000007BHのSELCM2-SELCM0ビットで設定します。詳細については、第33章 オプション・バイト機能を参照してください。

**注意1.** クロック・モードは動作中に変更できません。

2. (A9)品は、クロック・モード1, クロック・モード3 (SSCG出力 (8通倍) の場合) のみ設定できません。クロック・モード2, クロック・モード3 (SSCG出力 (12通倍) の場合), クロック・モード4は設定できません。

詳細については、表6-1を参照してください。

表6-2 クロック・モードの設定

クロック・モード	オプション・バイト0000007BHのSELCM2-SELCM0ビットの設定値		
	SELCM2	SELCM1	SELCM0
クロック・モード1	0	0	0
クロック・モード2	1	1	1
クロック・モード3	1	0	0
クロック・モード4	1	1	0

また、クロック・モード2-4を使用する場合は、リセット解除後の初期状態であるクロック・スルー・モードで、かつSSCGが動作停止の状態、CKC, SFC0レジスタを所定の値に設定してください。また、SFC1レジスタにより、SSCGの周波数変調あり/周波数変調なし、周波数変調率 (Down Spread方式)、変調周期を設定してください。

なお、クロック・モード2-4では、CKC, SFC0, SFC1レジスタは、リセット解除後、一度だけ設定してください。動作中のレジスタ設定の変更は禁止です。

クロック・モード2-4を使用する場合の初期化設定の詳細は、6.4.4(1) **クロック・モード2-4使用時の初期化設定**を参照してください。

## 6.3 レジスタ

**注意** (A9)品は、クロック・モード1、クロック・モード3 (SSCG出力 (8逓倍) の場合) のみ設定できます。  
 クロック・モード2、クロック・モード3 (SSCG出力 (12逓倍) の場合)、クロック・モード4は設定  
 できません。  
 詳細については、表6-1を参照してください。

### (1) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.

#### 4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより03Hになります。

(1/2)

リセット時 : 03H    R/W    アドレス : FFFFF828H								
PCC	7	⑥	5	④	③	2	1	0
	FRC	MCK	MFRC	CLS <sup>注</sup>	CK3	CK2	CK1	CK0
FRC	サブクロックの内蔵帰還抵抗の選択							
0	使用する							
1	使用しない							
MCK	メイン・クロック発振回路の制御							
0	発振許可							
1	発振停止							
<ul style="list-style-type: none"> <li>・CPUクロックがメイン・クロックで動作中にMCKビットをセット (1) しても、メイン・クロックの動作は停止しません。CPUクロックをサブクロックに変更したあと、停止します。</li> <li>・MCKビットを0から1にセットする前に、メイン・クロックで動作している内蔵周辺機能を停止してください。</li> <li>・メイン・クロックを停止させてサブクロックで動作している場合に、再度CPUクロックをメイン・クロックに切り替えるとき、または内蔵周辺機能を動作させたときは、MCKビットをクリア (0) し、ソフトウェアで発振安定時間を確保したあとにCPUクロックを切り替え、または内蔵周辺機能を動作させてください。</li> </ul>								
MFRC	メイン・クロックの内蔵帰還抵抗の選択							
0	使用する							
1	使用しない							
CLS <sup>注</sup>	CPUクロック (f <sub>CPU</sub> ) の状態							
0	メイン・クロック動作							
1	サブクロック動作							
<p><b>注</b> CLSビットはリードのみ可能です。</p>								

( 2/2 )

CK3	CK2	CK1	CK0	クロックの選択 ( $f_{CLK}/f_{CPU}$ )
0	0	0	0	$f_{xx}$
0	0	0	1	$f_{xx}/2$
0	0	1	0	$f_{xx}/4$
0	0	1	1	$f_{xx}/8$
0	1	0	0	$f_{xx}/16$
0	1	0	1	$f_{xx}/32$
0	1	1	X	設定禁止
1	X	X	X	$f_{XT}$

- 注意1. CLKOUTを出力している間は、CPUクロック (CK3-CK0ビット) を変更しないでください。
- CK3ビットを操作する際は、CK2-CK0ビットの設定値を変更しないでください。
  - メイン・クロック発振回路を停止する場合は、周辺クロック ( $f_{XP}$ ,  $f_{IE}$ ,  $f_{CAN}$ ) で動作している内蔵周辺機能の動作を停止してください。
  - サブクロック動作モードに設定する場合 (CK3ビット = 1) , 次の条件を満たしていないときは、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

内部システム・クロック ( $f_{CLK}$ ) > サブクロック ( $f_{XT} : 32.768 \text{ kHz}$ )  $\times 4$

備考 X : 任意

**(2) 内蔵発振モード・レジスタ (RCM)**

RCMレジスタは、内蔵発振器の動作モードの設定を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF80CH

	7	6	5	4	3	2	1	①
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	内蔵発振器の発振 / 停止
0	内蔵発振器発振
1	内蔵発振器停止

- 注意1.** CPUが内蔵発振クロックで動作している間(CCLS.CCLSFビット = 1)は内蔵発振器を停止できません。RSTOPビットをセット(1)しないでください。
2. RSTOPビットがセット(1)されている場合でも,CCLS.CCLSFビットがセット(1)されると(発振安定時間中にWDTオーバフローが発生),内蔵発振器は発振します。このときRSTOPビットはセット(1)されたままです。
3. RSTOPビットの設定は,オプション・バイト0000007AH(第33章 オプション・バイト機能参照)のRMOPINビット = 0で内蔵発振器の停止可能に設定した場合のみ有効です。オプション・バイト0000007AHのRMOPINビット = 1で内蔵発振器の停止禁止に設定した場合は,RSTOPビットの設定は無効です。
4. ビット1-7には必ず0を設定してください。

**(3) CPU動作クロック・ステータス・レジスタ (CCLS)**

CCLSレジスタは、CPU動作クロックの状態を示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H<sup>注</sup> R アドレス：FFFFFF82EH

	7	6	5	4	3	2	1	0
CCLS	0	0	0	0	0	0	0	CCLSF

CCLSF	CPU動作クロックの状態
0	メイン・クロック (f <sub>x</sub> ) またはサブクロック (f <sub>xT</sub> ) で動作
1	内蔵発振クロック (f <sub>R</sub> ) で動作

**注** リセット解除後の発振安定時間中にWDTオーバフローが発生した場合,CPUは内蔵発振クロック (f<sub>R</sub>) で動作します。このときにCCLSFビットがセット(1)され,リセット値は01Hになります。



## (4) PLLコントロール・レジスタ (PLLCTL)

PLLを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

リセット時：01H R/W アドレス：FFFFFF82CH

	7	6	5	4	3	2	①	②
PLLCTL	0	0	0	0	0	0	SELPLL	PLLON

PLLON	PLL動作停止レジスタ
0	PLL停止
1	PLL動作 (PLLを動作開始後, 周波数が安定するまで所定のロックアップ時間が必要)

SELPLL	CPU動作クロック選択レジスタ
0	クロック・スルー・モード
1	PLLモードまたはSSCGモード

- 注意1. クロック・モード2-4では, PLLをソフトウェアで停止しないでください (PLLCTL.PLLONビット = 0にしない)。
- クロック・モード1でPLL動作を停止させる場合は, 最初にクロック・スルー・モード (SELPLLビット = 0) とし, 8クロック以上経過後にPLL停止 (PLLONビット = 0) としてください。なお, PLLONビット = 0に設定すると, 自動的にSELPLLビット = 0 (クロック・スルー・モード) になりますが, PLL停止の手順は必ず前述のようにしてください。
  - クロック・モード2-4でSSCGを停止させる場合は, 最初にクロック・スルー・モード (SELPLLビット = 0) とし, 8クロック以上経過後にSSCG停止 (SSCGCTL.SSCGONビット = 0) としてください。
  - SELPLLビット = 1の設定は, PLLクロック周波数やSSCGクロック周波数が安定した状態 (ロック状態) で実行してください。PLLの安定していないとき (LOCKR.LOCKビット = 1 (アンロック中)) にSELPLLビットに “1” をライトしても “0” がライトされます。また, SSCGのロックアップ時間はソフトウェアで確実に確保してください。

## (5) クロック・コントロール・レジスタ (CKC)

CKCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

## 4.8 特定レジスタ参照)。

CKCレジスタは、逡倍クロック ( $f_{PLL}$ ) を設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより0AHになります。

リセット時: 0AH R/W アドレス: FFFFF822H

	7	6	5	4	3	2	1	0
CKC	0	0	0	0	1	0	1	CKDIV0

CKDIV0	逡倍クロック ( $f_{PLL}$ ) の選択
0	$f_{PLL} = f_{PLLO}/2$ (逡倍後2分周)
1	$f_{PLL} = f_{PLLO}$ または $f_{SSCGO}$ (逡倍後分周なし)

- 注意1.** クロック・モード1では、CKC.CKDIV0ビットの切り替えが可能です。ただし、CKDIV0ビットを設定する場合は、クロック・スルー・モードに設定し、かつPLLを停止してください。
- 2.** クロック・モード2-4では、CKCレジスタの設定は必ずリセット解除後、ただちにクロック・スルー・モード (PLLCTL.SELPLLビット = 0) の状態で、CKDIV0ビット = 1 (分周なし) に設定してください。また、CKCレジスタは、リセット解除後、一度だけ設定してください。動作中のレジスタ設定の変更は禁止です。詳細は、6.4.4 (1) クロック・モード2-4使用時の初期化設定を参照してください。
- 3.** ビット1, 3には必ず1を設定し、ビット2, 4-7には必ず0を設定してください。

**備考** クロック・モード1でPLLモードを使用する場合は、周辺クロックはメイン・クロックと同一になるため、CKDIV0ビットでの分周の選択は、メイン・クロックと周辺クロックの両方が対象となります。

**(6) ロック・レジスタ (LOCKR)**

電源投入後,またはSTOPモード解除直後から所定の周波数でフェーズ・ロックし,安定するまでの時間がロックアップ時間(周波数安定時間)です。この安定するまでの状態をロックアップ状態と呼び,安定した状態をロック状態と呼びます。

LOCKRレジスタには,PLL周波数の安定状態を反映するLOCKビットがあります。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時: 00H R アドレス: FFFFF824H

	7	6	5	4	3	2	1	①
LOCKR	0	0	0	0	0	0	0	LOCK

LOCK	PLLのロック状態の確認
0	ロック状態
1	アンロック(ロックしていない)状態

**注意** LOCKビットはPLLのロック状態をリアルタイムに反映するものではありません。セット/クリア条件は次のとおりです。

**【セット条件】**

- ・システム・リセット時<sup>※</sup>
- ・IDLE2, STOPモード時
- ・PLL停止を設定した時(PLLCTL.PLLONビットに“0”を設定)
- ・CPUをサブクロック動作としメイン・クロックを停止したとき(PCC.CK3ビットに“1”を設定し,PCC.MCKビットに“1”を設定)
- ・メイン発振していないとき(内蔵発振クロック( $f_R$ )で動作時(CCLS.CCLSFBビットに“1”を設定))

**注** リセットで01Hになり,リセット解除後の発振安定時間経過後に00Hになります。

**【クリア条件】**

- ・リセット解除後の発振安定用タイマのオーバーフロー(OSTSレジスタの初期値の時間(26.2(3)発振安定時間選択レジスタ(OSTS)参照))
- ・PLL動作状態でSTOPモードを設定した場合の,STOPモード解除後の発振安定用タイマのオーバーフロー(OSTSレジスタで時間設定)
- ・PLLCTL.PLLONビットを0 1に設定した時の,PLLロックアップ時間タイマのオーバーフロー(PLLSレジスタで時間設定)
- ・PLL動作状態でIDLE2モードを設定した場合の,IDLE2モード解除時に挿入されるセットアップ時間解除後(OSTSレジスタで時間設定)

## (7) PLLロックアップ時間指定レジスタ (PLLS)

PLLSレジスタは、PLLCTL.PLLONビットを0 1に設定したときの、PLLロックアップ時間を選択する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより03Hになります。

リセット時：03H R/W アドレス：FFFFFF6C1H

	7	6	5	4	3	2	1	0
PLLS	0	0	0	0	0	0	PLLS1	PLLS0

PLLS1	PLLS0	PLLロックアップ時間の選択
0	0	$2^{10}/f_x$
0	1	$2^{11}/f_x$
1	0	$2^{12}/f_x$
1	1	$2^{13}/f_x$ (初期値)

- 注意1.** ロックアップ時間は、 $800 \mu s$ 以上になるように設定してください。
- 2.** ロックアップ期間中は、PLLSレジスタの設定を変更しないでください。
- 3.** ビット2-7には必ず0を設定してください。

## (8) SSCGコントロール・レジスタ (SSCGCTL)

SSCGCTLレジスタは、SSCGを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF3F0H

	7	6	5	4	3	2	①	②
SSCGCTL	0	0	0	0	0	0	SELSSCG	SSCGON

SELSSCG	メイン・クロック ( $f_{xx}$ ) を設定する通倍クロック ( $f_{PLL}$ ) の選択
0	PLL出力クロック ( $f_{PLLO}$ )
1	SSCG出力クロック ( $f_{SSCGO}$ )

SSCGON	SSCGの動作制御
0	SSCG停止
1	SSCG動作 (動作開始時ロックアップ時間が必要)

- 注意1. クロック・モード1では、SSCGは使用できません。SSCGCTLレジスタは初期値のまま使用してください。
2. クロック・モード2-4では、通倍クロック ( $f_{PLL}$ ) にPLL出力クロック ( $f_{PLLO}$ ) を選択することは禁止です。  
ただし、SSCGCTL.SSCGONビット = 0でSSCGを停止した場合、自動的にSSCGCTL.SELSSCGビット = 0となり、 $f_{PLLO}$ が選択されます。そのため、SSCGモードからクロック・スルー・モードへ切り替える場合は、最初にPLLCTL.SELPLLビット = 0に設定し、クロック・スルー・モードに切り替えてから、SSCGONビット = 0にしてSSCGを停止してください。また、クロック・スルー・モードからSSCGモードに切り替える場合は、最初にSSCGONビット = 1でSSCGを起動し、ロックアップ時間を経過後、SELSSCGビット = 1で $f_{SSCGO}$ の選択を行ってから、SELPLLビット = 1に設定してください。
3. PLL停止 (PLLCTL.PLLONビット = 0) 時、SSCGCTL.SSCGONビット = 1としてもSSCGは動作しません。ただし、クロック・モード2-4で、PLLを停止することは禁止です。
4. ビット2-7には必ず0を設定してください。

## (9) SSCG周波数コントロール・レジスタ0 (SFC0)

SFC0レジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.8 特定レジスタ参照)。

SFC0レジスタは、SSCGのメイン発振クロック周波数 (fx) を制御する8ビットのレジスタです。使用するクロック・モードに応じて、SFC0レジスタには次に示す値を設定してください。8ビット単位でリード/ライト可能です (アドレス: FFFFF3F1H, 初期値: 00H)。

- 注意1. クロック・モード1では、SSCGは使用できません。SFC0レジスタは初期値のまま使用してください。
2. クロック・モード2-4では、SFC0レジスタの設定は必ずリセット解除後、ただちにクロック・スルー・モード (PLLCTL.SELPLLビット = 0) で、かつSSCGが停止 (SSCGCTL.SSCGONビット = 0) の状態で設定してください。また、SFC0レジスタは、リセット解除後、一度だけ設定してください。動作中のレジスタ設定の変更は禁止です。詳細は、6.4.4(1) クロック・モード2-4使用時の初期化設定を参照してください。

クロック・モード		SFC0レジスタ の設定値	オプション・バイト 0000007BHの PLLIOビットの設定値	設定されるSSCG通倍数 / SSCGのメイン発振クロッ ク周波数 (fx)
クロック・モード1	メイン・クロック (f <sub>xx</sub> ) にPLL出 力クロック (8通倍, 最大32 MHz) を選択可能	設定禁止	0	SSCGは使用禁止
			1	
クロック・モード2 <sup>注</sup>	メイン・クロック (f <sub>xx</sub> ) にSSCG 出力クロック (12通倍, 最大48 MHz) を選択可能	34H	0	12通倍 / 3.66 ~ 4 MHz
			1	12通倍 / 7.32 ~ 8 MHz
クロック・モード3	メイン・クロック (f <sub>xx</sub> ) にSSCG 出力クロック (8通倍, 最大32 MHz) を選択可能)	2AH	0	8通倍 / 3.66 ~ 4 MHz
			1	8通倍 / 7.32 ~ 8 MHz
	メイン・クロック (f <sub>xx</sub> ) にSSCG 出力クロック (12通倍, 最大48 MHz) を選択可能 <sup>注</sup>	34H	0	12通倍 / 3.66 ~ 4 MHz
			1	12通倍 / 7.32 ~ 8 MHz
クロック・モード4 <sup>注</sup>	メイン・クロック (f <sub>xx</sub> ) にSSCG 出力クロック (8通倍, 最大48 MHz) を選択可能	54H	0	8通倍 / 5.22 ~ 6 MHz
			1	設定禁止

注 (A9)品は、クロック・モード2, クロック・モード3 (SSCG出力 (12通倍) の場合), クロック・モード4は設定できません。

詳細については、表6-1を参照してください。

## (10) SSCG周波数コントロール・レジスタ1 (SFC1)

SFC1レジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.8 特定レジスタ参照)。

SFC1レジスタは、SSCGの周波数変調、周波数変調率、変調周期を制御する8ビットのレジスタです。8ビット単位でリード/ライト可能です。

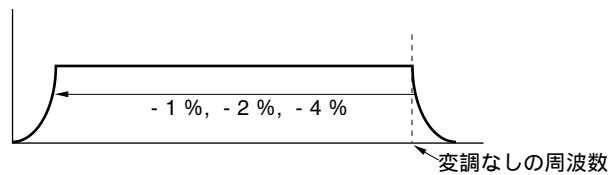
リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF3F2H

	7	6	5	4	3	2	1	0
SFC1	SFC17	0	SFC15	SFC14	0	0	SFC11	SFC10

SFC17	SSCG周波数変調の指定
0	変調なし
1	変調あり

SFC15	SFC14	SSCG出力の周波数変調率の選択
0	0	- 1 % (TYP.値)
0	1	- 2 % (TYP.値)
1	0	- 4 % (TYP.値)
1	1	設定禁止



SFC11	SFC10	SSCG出力の変調周期の選択
0	0	40 kHz (TYP.値)
0	1	50 kHz (TYP.値)
1	0	60 kHz (TYP.値)
1	1	設定禁止

- 注意1.** クロック・モード1では、SSCGは使用できません。SFC1レジスタは初期値のまま使用してください。
- 2.** クロック・モード2-4では、SFC1レジスタの設定は必ずリセット解除後、ただちにクロック・スルー・モード (PLLCTL.SELPLLビット = 0) で、かつSSCGが停止 (SSCGCTL.SSCGONビット = 0) の状態で設定してください。また、SFC1レジスタは、リセット解除後、一度だけ設定してください。動作中のレジスタ設定の変更は禁止です。詳細は、6.4.4(1)クロック・モード2-4使用時の初期化設定を参照してください。
- 3.** ビット2, 3, 6には必ず0を設定してください。

## 6.4 動作

### 6.4.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表6-3 各クロックの動作状態

レジスタ設定および 動作状態  対象クロック	CLSビット = 0, MCKビット = 0, SELPLLビット = 0										CLSビット = 0, MCKビット = 0, SELPLLビット = 1										CLSビット=1, MCKビット=0, SELPLLビット =0/1				CLSビット=1, MCKビット=1, SELPLLビット =0/1			
メイン・クロック発振回路 (fx)	x							x									x									x	x	
サブクロック発振回路 (fxr)																												
CPUクロック (fcpu)	x	x			x	x	x	x	x									x	x	x	x	x	x				x	
メイン・クロック (fxx)	x	x			x	x		x	x									x	x	x	x	x	x			x	x	
内部システム・クロック (fclk)	x	x			x	x	x	x	x									x	x	x	x	x	x			x	x	
周辺クロック (fxp-fxp/1024)	x	x			x	x	x	x	x									x	x	x	x	x	x			x	x	
WTクロック (メイン)	x	x						x	x													x	x			x	x	
WTクロック (サブ)																												
WDT2クロック (内蔵発振)	x																											
WDT2クロック (メイン)	x	x			x	x	x	x	x									x	x	x	x	x	x			x	x	
WDT2クロック (サブ)																												

RESET端子入力

発振安定時間カウント中

メイン・クロック動作モード

HALTモード

IDLE1モード

IDLE2モード

IDLE2モード解除, セットアップ時間カウント

STOPモード

STOPモード解除, 発振安定時間カウント

サブクロック動作モード

サブIDLEモード

注1. 発振安定時間経過後, x となります。

2. セットアップ時間経過後, x となります。

備考 : 動作可能

x : 停止



## 6.4.2 クロック出力機能

クロック出力機能は、内部システム・クロック ( $f_{CLK}$ ) をCLKOUT端子から出力します。

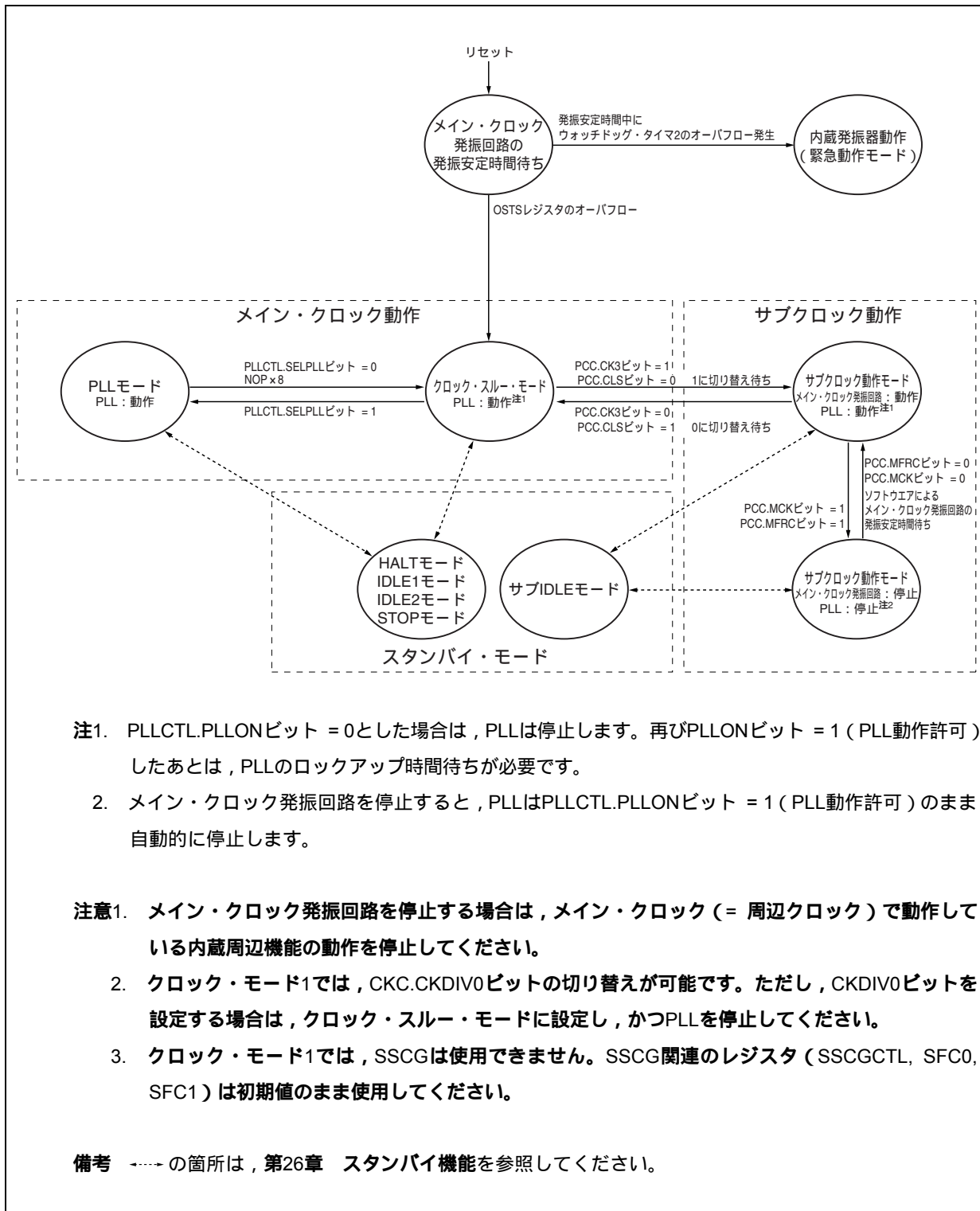
内部システム・クロック ( $f_{CLK}$ ) は、PCC.CK3-CK0ビットで選択します。

CLKOUT端子はPCM1端子と兼用しており、ポートCMの制御レジスタを操作することにより、クロック出力端子として機能します。

CLKOUT端子の状態は表6 - 3の内部システム・クロックと同じ状態になり、（動作可能）のときにクロックを出力できます。また、×（停止）のときにはロウ・レベルを出力します。ただし、リセット後、CLKOUT端子の出力設定をするまでは、ポート・モード（PCM1端子：入力モード）となるので、端子の状態はハイ・インピーダンスになります。

6.4.3 クロック・モード1使用時のクロック発生機能の設定手順

図6-5 クロック・モード1使用時のクロック発生機能の設定手順



## (1) クロック・スルー・モードからPLLモードへの切り替え

PLLSレジスタの設定	: ロックアップ時間の選択 ロックアップ時間は、800 $\mu$ s以上になるように設定してください。
PLLCTL.PLLONビット 1	: PLL動作許可
LOCKR.LOCKビット = 0になるまでウエイト	: PLLのロックアップ時間待ち
PLLCTL.SELPLLビット 1	: 通倍クロック ( $f_{PLL} = f_{PLLO}$ ) をメイン・クロック ( $f_{XX}$ ) に選択 (PLLモード)

**注意** PLLが停止(PLLCTL.PLLONビット=0)している場合、- の設定が必要です。すでにPLLが動作し、かつロックアップ時間も経過している場合は、- の操作のみでPLLモードへ切り替え可能です。リセット解除後、PLLはロック状態になります。

## (2) PLLモードからクロック・スルー・モードへの切り替え

PLLCTL.SELPLLビット 0	: メイン発振クロック ( $f_x$ ) をメイン・クロックに選択 (クロック・スルー・モード)
NOPを8命令実行	
PLLCTL.PLLONビット 0	: PLLを停止する場合、PLLONビットを0に設定します。

## (3) メイン・クロック動作からサブクロック動作への切り替え

PCC.CK3ビット 1	: ビット操作命令推奨。 PCC.CK2-CK0ビットは変更しないでください。
サブクロック動作	: PCC.CLSビットをリードして、サブクロック動作に切り替わったかどうかを確認してください。 CK3ビットを設定したあと、サブクロック動作に切り替わるまでの時間を次に示します。 最大: $1/f_{XT}$ (1/サブクロック周波数)
PCC.MCKビット 1	: メイン・クロック発振回路を停止するときだけ、MCKビットを1に設定します。

**注意1.** メイン・クロック発振回路を停止する場合は、メイン・クロック (= 周辺クロック) で動作している内蔵周辺機能の動作を停止してください。

**2.** 次の条件を満たしていない場合は、条件を満たすようにPCC.CK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

$$\text{内部システム・クロック (} f_{CLK} \text{)} > \text{サブクロック (} f_{XT} : 32.768 \text{ kHz)} \times 4$$

**備考** 内部システム・クロック ( $f_{CLK}$ ) : PCC.CK2-CK0ビットの設定によってメイン・クロック ( $f_{XX}$ ) から生成するクロック

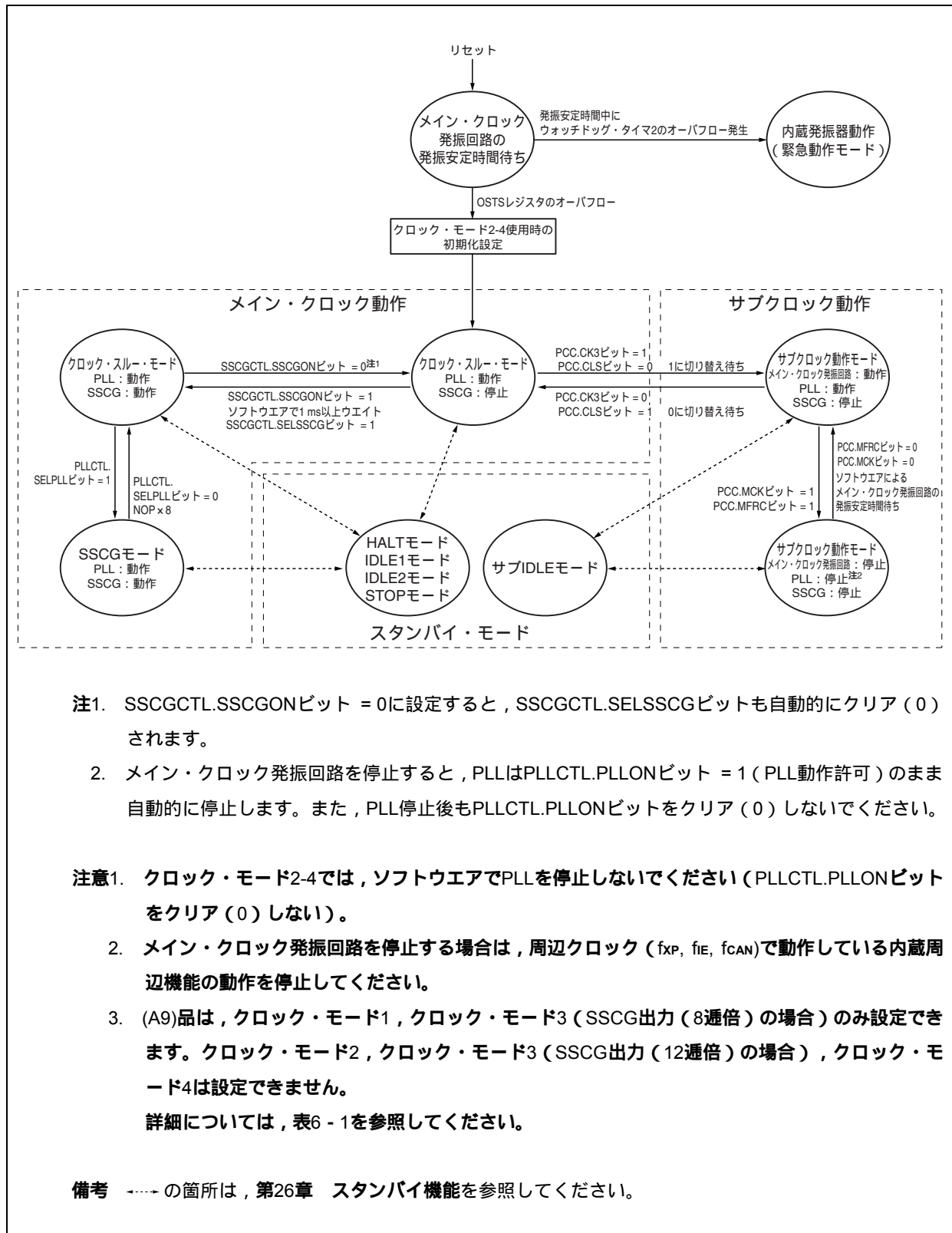
## (4) サブクロック動作からメイン・クロック動作への切り替え

PCC.MCKビット	0	: メイン・クロック発振開始 プログラムによりウエイトを挿入して、メイン・クロック発振回路の発振安定時間が経過するまで待ちます。
PCC.CK3ビット	0	: ビット操作命令を推奨します。PCC.CK2-CK0ビットは変更しないでください。
メイン・クロック動作		: CK3ビットを設定したあと、メイン・クロック動作に切り替わるまでの時間を次に示します。 最大: $1/f_{XT}$ (1/サブクロック周波数) したがって、CK3ビットを0とした直後にNOP命令を1つ挿入するか、またはPCC.CLSビットをリードして、メイン・クロック動作に切り替わったかどうかを確認してください。

**注意** メイン・クロック (= 周辺クロック) で動作する内蔵周辺機能は、メイン・クロックの発振が安定してから動作を許可してください。発振安定時間が経過する前に動作許可すると、誤動作する可能性があります。

## 6.4.4 クロック・モード2-4使用時のクロック発生機能の設定手順

図6-6 クロック・モード2-4使用時のクロック発生機能の設定手順

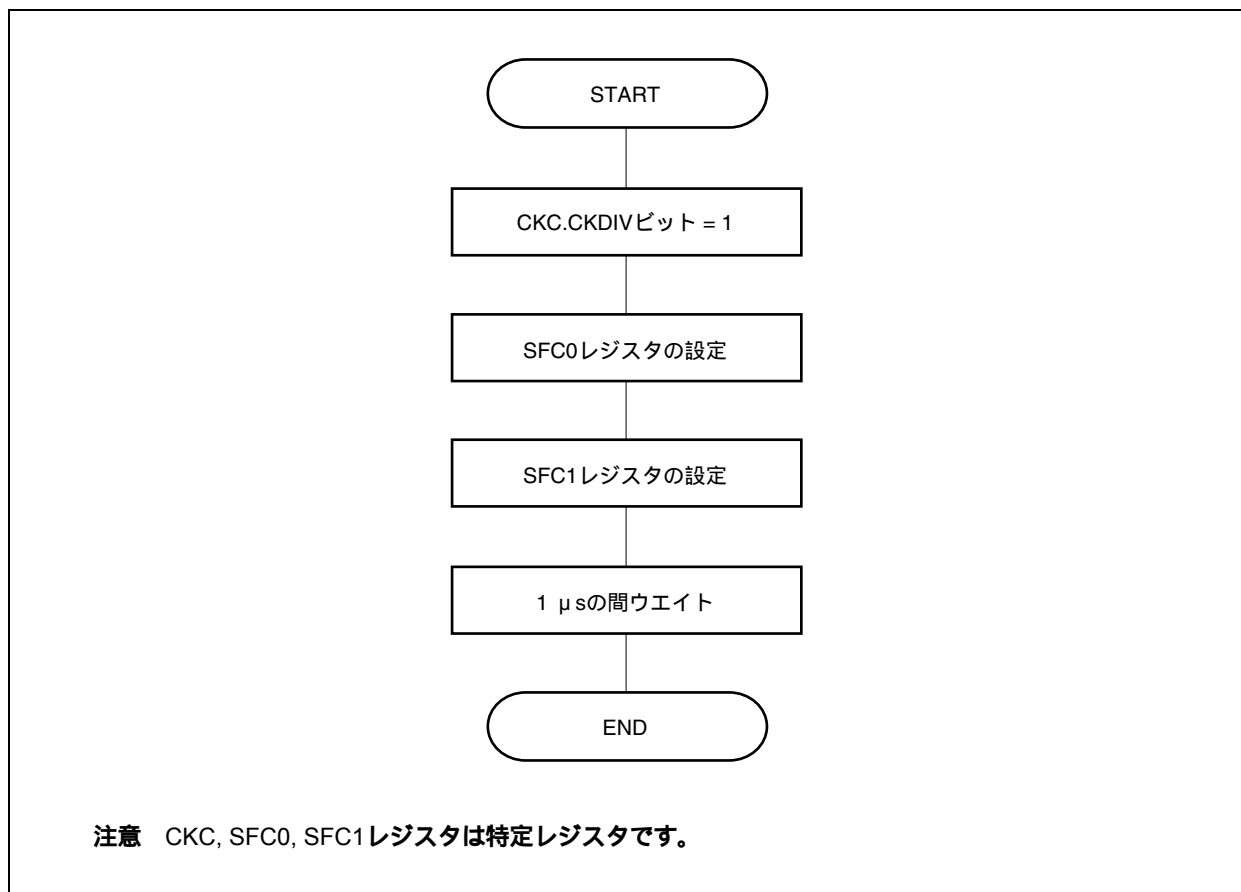


**(1) クロック・モード2-4使用時の初期化設定**

クロック・モード2-4を使用する場合は、リセット解除後の初期状態であるクロック・スルー・モードで、かつSSCGが動作停止の状態、CKC, SFC0レジスタを所定の値に設定してください。また、SFC1レジスタにより、SSCGの周波数変調あり/周波数変調なし、周波数変調率（Down Spread方式）、変調周期を設定してください。

クロック・モード2-4では、CKC, SFC0, SFC1レジスタの設定は、リセット解除後、一度だけ可能です。動作中のレジスタ設定の変更は禁止です。

- 注意1. クロック・モード2-4では、CKC, SFC0, SFC1レジスタの設定は必ずリセット解除後、ただちにクロック・スルー・モード（PLLCTL.SELPLLビット = 0）で、かつSSCGが停止（SSCGCTL.SSCGONビット = 0）の状態を設定してください。
2. CKC, SFC0, SFC1レジスタは、リセット解除後、一度だけ設定してください。動作中のレジスタ設定の変更は禁止です。
3. CKC, SFC0, SFC1レジスタの設定後は、必ず1  $\mu$ sのウェイトを挿入してください。

**図6 - 7 クロック・モード2-4使用時の初期化処理フロー**

## (2) クロック・スルー・モードからSSCGモードへの切り替え

SSCGCTL.SSCGONビット	1	: SSCG動作許可
ソフトウェアで1 ms以上ウエイト		: SSCGのロックアップ時間待ち
SSCGCTL.SELSSCGビット	1	: 逡倍クロック ( $f_{PLL}$ ) をSSCG出力クロック ( $f_{SSCGO}$ ) に選択
PLLCTL.SELPLLビット	1	: 逡倍クロック ( $f_{PLL} = f_{SSCGO}$ ) をメイン・クロック ( $f_{XX}$ ) に選択 (SSCGモード)

注意1. リセット解除後SSCGは停止するので、 - の設定が必要です。すでにSSCGが動作し、かつロックアップ時間も経過している場合は、 の操作のみでSSCGモードへ切り替え可能です。

2. PLLは停止しないでください (PLLCTL.PLLONビットをクリア (0) しない)。

## (3) SSCGモードからクロック・スルー・モードへの切り替え

PLLCTL.SELPLLビット	0	: メイン発振クロック ( $f_x$ ) をメイン・クロック ( $f_{XX}$ ) に選択 (クロック・スルー・モード)
NOPを8命令実行		
SSCGCTL.SSCGONビット	0	: SSCGを停止する場合、SSCGONビットを0に設定します。

注意1. SSCGCTL.SSCGONビット = 0に設定すると、SSCGCTL.SELSSCGビットも自動的にクリア (0) されます。

2. PLLは停止しないでください (PLLCTL.PLLONビットをクリアしない)。

## (4) メイン・クロック動作からサブクロック動作への切り替え

PCC.CK3ビット	1	: ビット操作命令推奨。 PCC.CK2-CK0ビットは変更しないでください。
サブクロック動作		: PCC.CLSビットをリードして、サブクロック動作に切り替わったかどうかを確認してください。 CK3ビットを設定したあと、サブクロック動作に切り替わるまでの時間を次に示します。 最大: $1/f_{XT}$ ( $1/\text{サブクロック周波数}$ )
PCC.MCKビット	1	: メイン・クロック発振回路を停止するときだけ、MCKビットを1に設定します。

注意1. サブクロック動作へ切り替えるには、最初にクロック・スルー・モードに切り替え、かつSSCGを停止してください。

2. メイン・クロック発振回路を停止する場合は、周辺クロック ( $f_{XP}$ ,  $f_{IE}$ ,  $f_{CAN}$ ) で動作している内蔵周辺機能の動作を停止してください。

3. ソフトウェアでPLLは停止しないでください。メイン・クロック発振回路を停止すると、PLLはPLLCTL.PLLONビット = 1 (PLL動作許可) のまま自動的に停止します。また、PLL停止後もPLLCTL.PLLONビットをクリア (0) しないでください。

**注意4.** 次の条件を満たしていない場合は、条件を満たすようにPCC.CK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

$$\text{内部システム・クロック (} f_{\text{CLK}} \text{)} > \text{サブクロック (} f_{\text{XT}} : 32.768 \text{ kHz)} \times 4$$

**備考** 内部システム・クロック ( $f_{\text{CLK}}$ ) : PCC.CK2-CK0ビットの設定によってメイン・クロック ( $f_{\text{XX}}$ ) から生成するクロック

#### (5) サブクロック動作からメイン・クロック動作への切り替え

PCC.MCKビット 0 : メイン・クロック発振開始  
プログラムによりウエイトを挿入して、メイン・クロック発振回路の発振安定時間が経過するまで待ちます。

PCC.CK3ビット 0 : ビット操作命令を推奨します。PCC.CK2-CK0ビットは変更しないでください。

メイン・クロック動作 : CK3ビットを設定したあと、メイン・クロック動作に切り替わるまでの時間を次に示します。  
最大： $1/f_{\text{XT}}$  (1/サブクロック周波数)  
したがって、CK3ビットを0とした直後にNOP命令を1つ挿入するか、またはPCC.CLSビットをリードして、メイン・クロック動作に切り替わったかどうかを確認してください。

**注意1.** 周辺クロック ( $f_{\text{XP}}$ ,  $f_{\text{IE}}$ ,  $f_{\text{CAN}}$ ) で動作する内蔵周辺機能は、メイン・クロックの発振が安定してから動作を許可してください。発振安定時間が経過する前に動作許可すると、誤動作する可能性があります。

2. SSCGはメイン・クロック動作に切り替わってから動作許可してください。



## 第7章 16ビット・タイマ/イベント・カウンタP (TMP)

タイマP (TMP) は、16ビットのタイマ/イベント・カウンタです。

V850E/SJ3-H, V850E/SK3-Hは、TMP0-TMP8を内蔵しています。

### 7.1 概要

#### 7.1.1 TMP0-TMP6

TMP0-TMP6の概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 2本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 2本
・キャプチャ/コンペア一致割り込み要求信号	: 2本
・オーバフロー割り込み要求信号	: 1本
・タイマ出力端子	: 2本

#### 7.1.2 TMP7, TMP8

TMP7, TMP8の概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 2本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・エンコーダ入力端子	: 2本
・エンコーダ・クリア入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 2本
・キャプチャ/コンペア一致割り込み要求信号	: 2本
・オーバフロー割り込み要求信号	: 1本
・エンコーダ・クリア割り込み要求信号	: 1本
・タイマ出力端子	: 2本

## 7.2 機能

### 7.2.1 TMP0-TMP6

TMP0-TMP6の機能を次に示します。

- ・ インターバル・タイマ
- ・ 外部イベント・カウンタ
- ・ 外部トリガ・パルス出力
- ・ ワンショット・パルス出力
- ・ PWM出力
- ・ フリー・ランニング・タイマ
- ・ パルス幅測定

### 7.2.2 TMP7, TMP8

TMP7, TMP8の機能を次に示します。

- ・ インターバル・タイマ
- ・ 外部イベント・カウンタ
- ・ 外部トリガ・パルス出力
- ・ ワンショット・パルス出力
- ・ PWM出力
- ・ フリー・ランニング・タイマ
- ・ パルス幅測定
- ・ エンコーダ・カウント機能

## 7.3 構成

### 7.3.1 TMP0-TMP6

TMP0-TMP6は、次のハードウェアで構成されています。

表7-1 TMP0-TMP6の構成

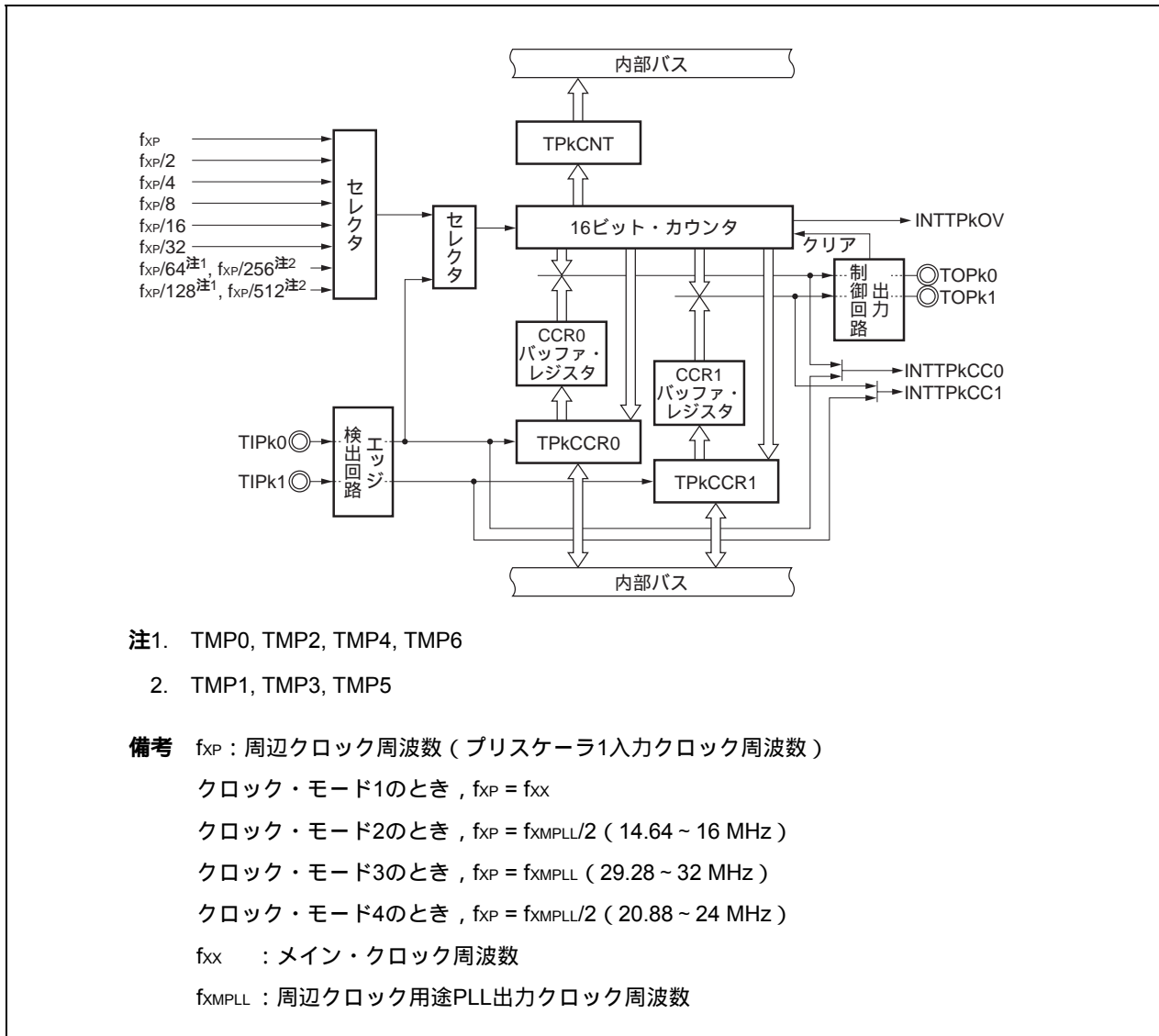
項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMPkキャプチャ/コンペア・レジスタ0, 1 (TPkCCR0, TPkCCR1) TMPkカウンタ・リード・バッファ・レジスタ (TPkCNT) CCR0, CCR1バッファ・レジスタ
タイマ入力	2本 (TIPk0 <sup>注1</sup> , TIPk1端子)
タイマ出力	2本 (TOPk0, TOPk1端子)
制御レジスタ <sup>注2</sup>	TMPk制御レジスタ0, 1 (TPkCTL0, TPkCTL1) TMPkI/O制御レジスタ0-2 (TPkIOC0-TPkIOC2) TMPkオプション・レジスタ0 (TPkOPT0)

注1. TIPk0端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

2. TIPk0, TIPk1, TOPk0, TOPk1端子の機能を使用する場合は、表4-25 **ポート端子を兼用端子として使用する場合**を参照してください。

備考 k = 0-6

図7-1 TMPkのブロック図



**(1) 16ビット・カウンタ**

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TPkCNTレジスタでリードできます。

TPkCTL0.TPkCEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTPkCNTレジスタをリードすると、0000Hがリードされます。

リセットによりTPkCEビット = 0になります。

**(2) CCR0バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPkCCR0レジスタをコンペア・レジスタとして使用するとき、TPkCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPkCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTPkCCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

**(3) CCR1バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPkCCR1レジスタをコンペア・レジスタとして使用するとき、TPkCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPkCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTPkCCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

**(4) エッジ検出回路**

TIPk0, TIPk1端子に入力される有効エッジを検出します。有効エッジは、TPkIOC1, TPkIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

**(5) 出力制御回路**

TOPk0, TOPk1端子の出力を制御します。TOPk0, TOPk1端子の出力は、TPkIOC0レジスタで制御します。

**(6) セレクタ**

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

## 7.3.2 TMP7, TMP8

TMP7, TMP8は、次のハードウェアで構成されています。

表7-2 TMP7, TMP8の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMPmキャプチャ/コンペア・レジスタ0, 1 (TPmCCR0, TPmCCR1) TMPmカウンタ・リード・バッファ・レジスタ (TPmCNT) TMPmカウンタ・ライト・レジスタ (TPmTCW) CCR0, CCR1バッファ・レジスタ
タイマ入力	5本 (TIPm0 <sup>注1</sup> , TIPm1, TECRm, TENCm0, TENCm1端子)
タイマ出力	2本 (TOPm0, TOPm1端子)
制御レジスタ <sup>注2</sup>	TMPm制御レジスタ0, 1 (TPmCTL0, TPmCTL1) TMPm制御レジスタ2 (TPmCTL2) TMPmI/O制御レジスタ0-3 (TPmIOC0-TPmIOC3) TMPmオプション・レジスタ0 (TPmOPT0) TMPmオプション・レジスタ1 (TPmOPT1) TMPaノイズ除去制御レジスタ (ENaNFC)

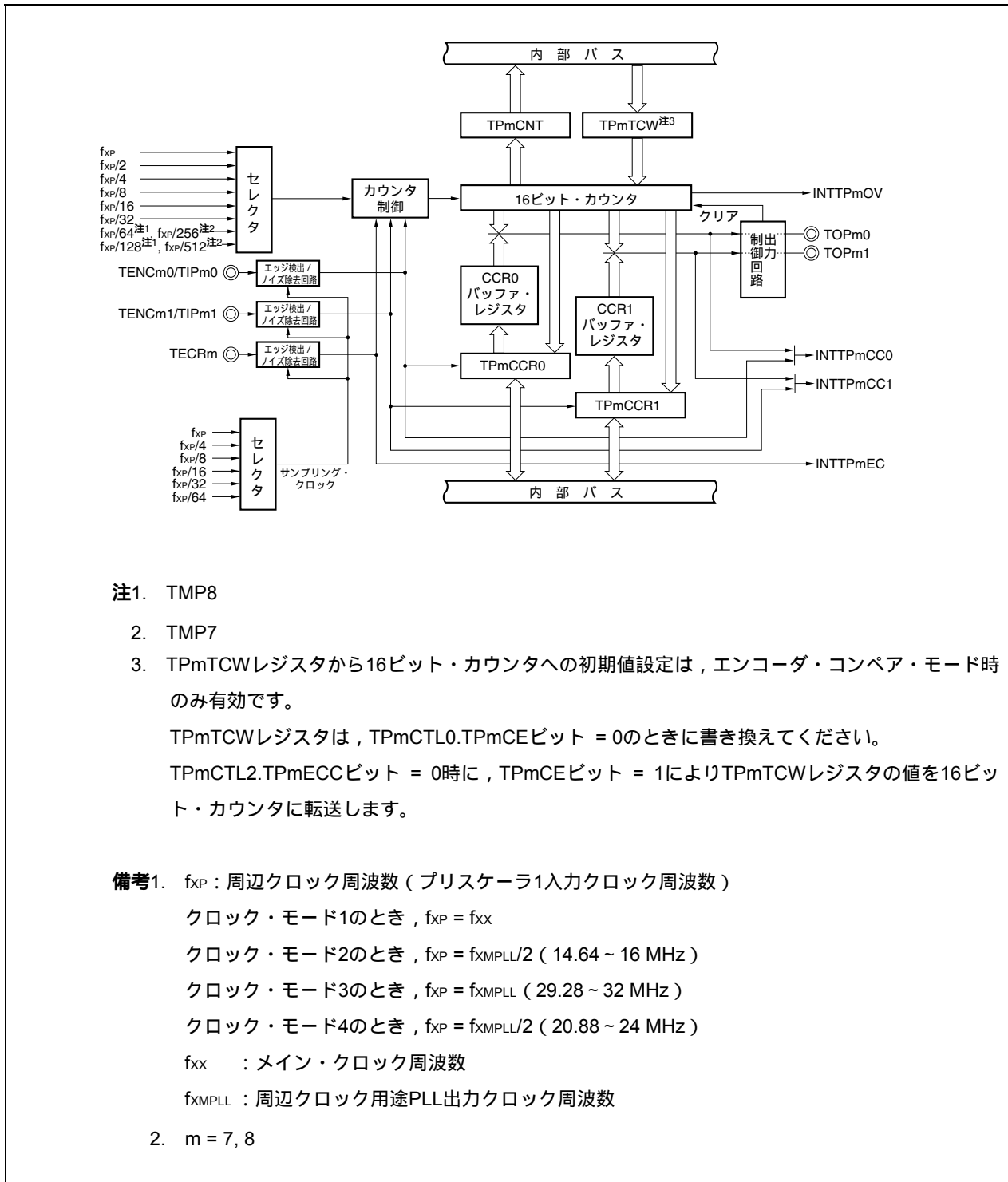
注1. TIPm0端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

注意 TIPm0, TIPm1, TOPm0, TOPm1, TECRm, TENCm0, TENCm1端子の機能を使用する場合は、表4-25 ポート端子を兼用端子として使用する場合を参照してください。

備考 m = 7, 8

a = 0, 1

図7-2 TMP7, TMP8のブロック図



**(1) 16ビット・カウンタ**

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TPmCNTレジスタでリードできます。

TPmCTL0.TPmCEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTPmCNTレジスタをリードすると、0000Hがリードされます。

リセットによりTPmCEビット = 0になります。

**(2) CCR0バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPmCCR0レジスタをコンペア・レジスタとして使用するとき、TPmCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPmCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTPmCCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

**(3) CCR1バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPmCCR1レジスタをコンペア・レジスタとして使用するとき、TPmCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPmCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTPmCCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

**(4) エッジ検出回路**

TIPm0, TIPm1, TECRm, TENCm0, TENCm1端子に入力される有効エッジを検出します。有効エッジは、TPmIOC1, TPmIOC2, TPmIOC3レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

**(5) 出力制御回路**

TOPm0, TOPm1端子の出力をTPmIOC0レジスタで制御します。

**(6) セレクタ**

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

**(7) カウンタ制御**

TPmCTL1レジスタで選択したタイマ・モードにより、カウント動作を制御します。



## 7.4 レジスタ

TMPnを制御するレジスタを次に示します。

- ・TMPn制御レジスタ0 (TPnCTL0)
- ・TMPn制御レジスタ1 (TPnCTL1)
- ・TMPm制御レジスタ2 (TPmCTL2)
- ・TMPnI/O制御レジスタ0 (TPnIOC0)
- ・TMPnI/O制御レジスタ1 (TPnIOC1)
- ・TMPnI/O制御レジスタ2 (TPnIOC2)
- ・TMPmI/O制御レジスタ3 (TPmIOC3)
- ・TMPnオプション・レジスタ0 (TPnOPT0)
- ・TMPmオプション・レジスタ1 (TPmOPT1)
- ・TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)
- ・TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)
- ・TMPmカウンタ・ライト・レジスタ (TPmTCW)
- ・TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)
- ・TMPaノイズ除去制御レジスタ (ENaNFC)

**備考1.** TIPn0, TIPn1, TOPn0, TOPn1, TECRm, TENCm0, TENCm1端子の機能を使用する場合は、表4-25 ポート端子を兼用端子として使用する場合を参照してください。

2. n = 0-8, m = 7, 8, a = 0, 1

### (1) TMPn制御レジスタ0 (TPnCTL0)

TPnCTL0レジスタは、TMPnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TPnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

(1/2)

リセット時：00H    R/W    アドレス：TP0CTL0 FFFFF590H, TP1CTL0 FFFFF5A0H,  
TP2CTL0 FFFFF5B0H, TP3CTL0 FFFFF5C0H,  
TP4CTL0 FFFFF5D0H, TP5CTL0 FFFFF5E0H,  
TP6CTL0 FFFFF5F0H, TP7CTL0 FFFFF640H,  
TP8CTL0 FFFFF660H

	⑦	6	5	4	3	2	1	0
TPnCTL0 (n = 0-8)	TPnCE	0	0	0	0	TPnCKS2	TPnCKS1	TPnCKS0
	TPnCE	TMPnの動作の制御						
	0	TMPn動作禁止 (TMPnを非同期にリセット <sup>注</sup> )						
	1	TMPn動作許可。TMPn動作開始						

TPnCKS2	TPnCKS1	TPnCKS0	内部カウント・クロックの選択	
			n = 0, 2, 4, 6, 8	n = 1, 3, 5, 7
0	0	0	$f_{XP}$	
0	0	1	$f_{XP}/2$	
0	1	0	$f_{XP}/4$	
0	1	1	$f_{XP}/8$	
1	0	0	$f_{XP}/16$	
1	0	1	$f_{XP}/32$	
1	1	0	$f_{XP}/64$	$f_{XP}/256$
1	1	1	$f_{XP}/128$	$f_{XP}/512$

**注** TPnOPT0.TPnOVFビット, 16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOPn0, TOPn1端子) も16ビット・カウンタと同時にTPnIOC0レジスタの設定状態にリセットされます。

**注意1.** TPnCKS2-TPnCKS0ビットは, TPnCEビット = 0のときに設定してください。TPnCEビットを“0”から“1”に設定するときも, 同時にTPnCKS2-TPnCKS0ビットを設定できます。

2. ビット3-6には必ず“0”を設定してください。

**備考**  $f_{XP}$ : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)  
 クロック・モード1のとき,  $f_{XP} = f_{XX}$   
 クロック・モード2のとき,  $f_{XP} = f_{XMPLL}/2$  (14.64 ~ 16 MHz)  
 クロック・モード3のとき,  $f_{XP} = f_{XMPLL}$  (29.28 ~ 32 MHz)  
 クロック・モード4のとき,  $f_{XP} = f_{XMPLL}/2$  (20.88 ~ 24 MHz)  
 $f_{XX}$ : メイン・クロック周波数  
 $f_{XMPLL}$ : 周辺クロック用途PLL出力クロック周波数

## (2) TMPn制御レジスタ1 (TPnCTL1)

TPnCTL1レジスタは、TMPnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TP0CTL1 FFFFFFF591H, TP1CTL1 FFFFFFF5A1H,  
TP2CTL1 FFFFFFF5B1H, TP3CTL1 FFFFFFF5C1H,  
TP4CTL1 FFFFFFF5D1H, TP5CTL1 FFFFFFF5E1H,  
TP6CTL1 FFFFFFF5F1H, TP7CTL1 FFFFFFF641H,  
TP8CTL1 FFFFFFF661H

	7	⑥	⑤	4	3	2	1	0
TPnCTL1	0	TPnEST	TPnEEE	0	TPnMD3	TPnMD2	TPnMD1	TPnMD0

$n = 0-8$   
 $m = 7, 8$

TPnEST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 ：TPnESTビットへの"1"ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時 ：TPnESTビットへの"1"ライトをトリガとして、PWM波形を出力
TPnESTビットのリード値は常に0です。	

TPnEEE	カウント・クロックの選択
0	外部イベント・カウント入力 (TIPn0端子) での動作禁止 (TPnCTL0.TPnCKS0-TPnCKS2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力 (TIPn0端子) での動作許可 (外部イベント・カウント入力信号 (TIPn0端子) の有効エッジごとにカウント動作を行う)
TPnEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TPnMD3	TPnMD2	TPnMD1	TPnMD0	タイマ・モードの選択
0	0	0	0	インターバル・タイマ・モード
0	0	0	1	外部イベント・カウント・モード
0	0	1	0	外部トリガ・パルス出力モード
0	0	1	1	ワンショット・パルス出力モード
0	1	0	0	PWM出力モード
0	1	0	1	フリー・ランニング・タイマ・モード
0	1	1	0	パルス幅測定モード
1	0	0	0	エンコーダ・コンペア・モード
上記以外				設定禁止

- 注意1. TPnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
2. TPnEEEビットは、インターバル・タイマ・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モード、フリー・ランニング・タイマ・モード、パルス幅測定モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
  3. 外部イベント・カウント・モード、エンコーダ・コンペア・モードのときは、TPnEEEビットの値にかかわらず外部イベント・カウント入力 (TIPn0)、エンコーダ入力 (TENCm0, TENCm1) が選択されます。
  3. TPnEEE, TPnMD3-TPnMD0ビットは、TPnCTL0.TPnCEビット = 0のときに設定してください (TPnCEビット = 1のときの同値書き込みは可能)。TPnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TPnCEビットをクリア (0)してから再設定してください。
  4. TMP0-TMP6の場合はビット3, 4, 7, TMP7, TMP8の場合はビット4, 7には必ず0を設定してください。

## (3) TMPm制御レジスタ2 (TPmCTL2)

TPmCTL2レジスタは、エンコーダ・カウンタ機能の動作を制御する8ビットのレジスタです。

TPmCTL2レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** TPmCTL2レジスタの各ビットの詳細については、7.6.8(5)TPmCTL2レジスタのビット制御を参照してください。

(1/2)

リセット時：00H		R/W	アドレス：TP7CTL2 FFFFF642H, TP8CTL2 FFFFF662H						
		⑦	6	5	4	3	2	1	0
TPmCTL2	TPmECC	0	0	TPmLDE	TPmECM1	TPmECM0	TPmUDS1	TPmUDS0	
(m = 7, 8)									
TPmECC	エンコーダ・カウンタ制御								
0	通常動作								
1	TPmCTL0.TPmCEビット = 0時、16ビット・カウンタのカウンタ値を保持								
TPmLDE	16ビット・カウンタへの転送設定								
0	アンダフロー発生時、16ビット・カウンタへTPmCCR0設定値の転送禁止								
1	アンダフロー発生時、16ビット・カウンタへTPmCCR0設定値の転送許可								
TPmECM1	エンコーダ・クリア動作1の制御								
0	16ビット・カウンタのカウンタ値とCCR1レジスタの値の一致ではカウンタを0000Hにクリアしない								
1	16ビット・カウンタのカウンタ値とCCR1レジスタの値の一致で次のカウンタがダウン・カウントの場合、カウンタを0000Hにクリアする								
TPmECM0	エンコーダ・クリア動作0の制御								
0	16ビット・カウンタのカウンタ値とCCR0レジスタの値の一致ではカウンタを0000Hにクリアしない								
1	16ビット・カウンタのカウンタ値とCCR0レジスタの値の一致で次のカウンタがアップ・カウントの場合、カウンタを0000Hにクリアする								

TPmUDS1	TPmUDS0	アップ/ダウン・カウントの選択
0	0	TENCM0入力の有効エッジ検出時, TENCM1 = ハイ・レベルのとき, ダウン・カウント TENCM1 = ロウ・レベルのとき, アップ・カウント
0	1	TENCM0入力の有効エッジ検出でアップ・カウント TENCM1入力の有効エッジ検出でダウン・カウント
1	0	TENCM0入力の立ち上がりエッジ検出でダウン・カウント TENCM0入力の立ち下がりエッジ検出でアップ・カウント ただし, TENCM1 = ロウ・レベルのときのみカウント動作
1	1	TENCM0, TENCM1入力の立ち上がり/立ち下がり両エッジを検出。エッジ検出とレベル検出の組み合わせでカウント動作を自動判別。

- 注意1.** TPmECCビットは、エンコーダ・コンペア・モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- TPmECCビット = 1のときTPmCTL0.TPmCEビット = 0にすると、タイマ・カウンタ、キャプチャ・レジスタ (TPmCCR0, TPmCCR1)、TPmOPT1, TPmEUF, TPmEOF, TPmESF フラグの値は保持されません。
- TPmECCビット = 1のときTPmCEビットを0 1にすると、TPmTCW レジスタの値を16ビット・カウンタに転送しません。
- TPmLDEビットは、TPmECM1, TPmECM0ビット = 00, 01時のみ有効です。TPmECM1, TPmECM0ビット = 10, 11のときに“1”をライトしても無視されます。
  - TPmUDS1, TPmUDS0ビット = 10, 11のとき、TPmIOC3.TPmEIS1, TPmEIS0ビットで設定したTENCM0, TENCM1入力のエッジ検出は無効となり、立ち上がり/立ち下がり両エッジ固定となります。
  - TPmLDE, TPmECM1, TPmECM0, TPmUDS1, TPmUDS0ビットは、TPmCTL0.TPmCEビット = 0のときに設定してください (TPmCEビット = 1のときの同値書き込みは可能)。TPmCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TPmCEビットをクリア (0) してから再設定してください。
  - ビット5, 6は必ず0を設定してください。

**(4) TMPnI/O制御レジスタ0 (TPnIOC0)**

TPnIOC0レジスタは、タイマ出力 (TOPn0, TOPn1端子) を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0IOC0 FFFF592H, TP1IOC0 FFFF5A2H,  
 TP2IOC0 FFFF5B2H, TP3IOC0 FFFF5C2H,  
 TP4IOC0 FFFF5D2H, TP5IOC0 FFFF5E2H,  
 TP6IOC0 FFFF5F2H, TP7IOC0 FFFF643H,  
 TP8IOC0 FFFF663H

	7	6	5	4	3	②	1	①
TPnIOC0 (n = 0-8)	0	0	0	0	TPnOL1	TPnOE1	TPnOL0	TPnOE0

TPnOL1	TOPn1端子出力レベルの設定 <sup>注</sup>
0	TOPn1端子ハイ・レベル・スタート
1	TOPn1端子ロウ・レベル・スタート

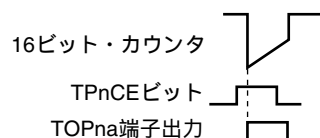
TPnOE1	TOPn1端子出力の設定
0	タイマ出力禁止 ・TPnOL1ビット = 0のときTOPn1端子からロウ・レベルを出力 ・TPnOL1ビット = 1のときTOPn1端子からハイ・レベルを出力
1	タイマ出力許可 (TOPn1端子からパルスを出力)

TPnOL0	TOPn0端子出力レベルの設定 <sup>注</sup>
0	TOPn0端子ハイ・レベル・スタート
1	TOPn0端子ロウ・レベル・スタート

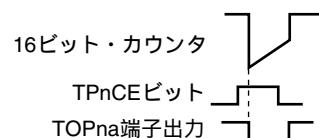
TPnOE0	TOPn0端子出力の設定
0	タイマ出力禁止 ・TPnOL0ビット = 0のときTOPn0端子からロウ・レベルを出力 ・TPnOL0ビット = 1のときTOPn0端子からハイ・レベルを出力
1	タイマ出力許可 (TOPn0端子からパルスを出力)

注 TPnOLaビットの指定によるタイマ出力端子 (TOPna) の出力レベルを次に示します (a = 0, 1)。

・TPnOLaビット = 0の場合



・TPnOLaビット = 1の場合



- 注意1. ポート設定がTOPn0, TOPn1出力設定の場合, TPnIOC0レジスタの設定を書き換えると端子出力が変化するので, ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして, 端子状態の変化に注意してください。
2. TPnOL1, TPnOE1, TPnOL0, TPnOE0ビットは, TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TPnCEビットをクリア (0) してから再設定してください。
3. TPnCEビット = 0, TPnOEaビット = 0の状態において, TPnOLaビットを操作した場合でも, TOPna端子の出力レベルは変化します (a = 0, 1)。



## (5) TMPnI/O制御レジスタ1 (TPnIOC1)

TPnIOC1レジスタは、キャプチャ・トリガ入力信号 (TIPn0, TIPn1端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : TP0IOC1 FFFFF593H, TP1IOC1 FFFFF5A3H,  
TP2IOC1 FFFFF5B3H, TP3IOC1 FFFFF5C3H,  
TP4IOC1 FFFFF5D3H, TP5IOC1 FFFFF5E3H,  
TP6IOC1 FFFFF5F3H, TP7IOC1 FFFFF644H,  
TP8IOC1 FFFFF664H

	7	6	5	4	3	2	1	0
TPnIOC1 (n = 0-8)	0	0	0	0	TPnIS3	TPnIS2	TPnIS1	TPnIS0

TPnIS3	TPnIS2	キャプチャ・トリガ入力信号 (TIPn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnIS1	TPnIS0	キャプチャ・トリガ入力信号 (TIPn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPnIS3-TPnIS0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。
2. TPnIS3, TPnIS2ビットは、フリー・ランニング・タイマ・モード (TPnOPT0.TPnCCS1ビット = 1時のみ) と、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。
- TPnIS1, TPnIS0ビットは、フリー・ランニング・タイマ・モード (TPnOPT0.TPnCCS0ビット = 1時のみ) と、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。
3. ビット4-7には必ず“0”を設定してください。

## (6) TMPnI/O制御レジスタ2 (TPnIOC2)

TPnIOC2レジスタは、外部イベント・カウント入力信号 (TIPn0端子)、外部トリガ入力信号 (TIPn0端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H    R/W    アドレス：TP0IOC2 FFFFF594H, TP1IOC2 FFFFF5A4H,  
TP2IOC2 FFFFF5B4H, TP3IOC2 FFFFF5C4H,  
TP4IOC2 FFFFF5D4H, TP5IOC2 FFFFF5E4H,  
TP6IOC2 FFFFF5F4H, TP7IOC2 FFFFF645H,  
TP8IOC2 FFFFF665H

	7	6	5	4	3	2	1	0
TPnIOC2 (n = 0-8)	0	0	0	0	TPnEES1	TPnEES0	TPnETS1	TPnETS0

TPnEES1	TPnEES0	外部イベント・カウント入力信号 (TIPn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnETS1	TPnETS0	外部トリガ入力信号 (TIPn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPnEES1, TPnEES0, TPnETS1, TPnETS0ビットは、  
TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCE  
ビット = 1のときの同値書き込みは可能)。誤って書き換えた場合  
は、TPnCEビットをクリア (0) してから再設定してください。
2. TPnEES1, TPnEES0ビットは、TPnCTL1.TPnEEEビット = 1、また  
は外部イベント・カウント・モード (TPnCTL1.TPnMD2-TPnMD0  
ビット = 001) に設定したときのみ有効です。
3. TPnETS1, TPnETS0ビットは、外部トリガ・パルス出力モード  
(TPnCTL1.TPnMD2-TPnMD0ビット = 010)、ワンショット・パル  
ス出力モード (TPnCTL1.TPnMD2-TPnMD0 = 011) に設定したと  
きのみ有効です。
4. ビット4-7には必ず“0”を設定してください。

## (7) TMPmI/O制御レジスタ3 (TPmIOC3)

TPmIOC3レジスタは、エンコーダ・クリアを制御する8ビットのレジスタです。

TPmIOC3レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TP7IOC3 FFFFF646H, TP8IOC3 FFFFF666H

	7	6	5	4	3	2	1	0
TPmIOC3	TPmSCE	TPmZCL	TPmBCL	TPmACL	TPmECS1	TPmECS0	TPmEIS1	TPmEIS0

(m = 7, 8)

TPmSCE	エンコーダ・クリア選択
0	エンコーダ・クリア信号 (TECRm端子) のエッジ検出クリア
1	TENCm0, TENCm1, TECRm端子のクリア・レベル条件検出クリア
<ul style="list-style-type: none"> <li>TPmSCEビット = 0のとき、TPmECS1, TPmECS0ビットで指定したTECRm端子の有効エッジ検出により、16ビット・カウンタを0000Hにクリアします。</li> <li>TPmSCEビット = 1のとき、TPmZCL, TPmBCL, TPmACLビットのクリア・レベル条件と、TECRm, TENCm1, TENCm0端子の入力レベルが一致すると16ビット・カウンタを0000Hにクリアします。</li> <li>TPmSCEビット = 1のとき、TPmZCL, TPmBCL, TPmACLビットの設定が有効となり、TPmECS1, TPmECS0ビットの設定は無効となります。エンコーダ・クリア割り込み要求信号 (INTTPmEC) は発生しません。</li> <li>TPmSCEビット = 0のとき、TPmZCL, TPmBCL, TPmACLビットの設定が無効となり、TPmECS1, TPmECS0ビットの設定は有効となります。</li> <li>TPmECS1, TPmECS0ビットで設定した有効エッジ検出によりINTTPmEC信号が発生します。</li> <li>TPmSCEビット = 1の設定をするときには、必ずTPmCTL2.TPmUDS1, TPmUDS0ビット = 10または11に設定してください。TPmUDS1, TPmUDS0ビット = 00または01に設定し、TPmSCEビット = 1とした場合の動作は保証しません。</li> </ul>	

TPmZCL	エンコーダ・クリア信号 (TECRm端子) のクリア・レベル選択
0	TECRm端子ロウ・レベル・クリア
1	TECRm端子ハイ・レベル・クリア
TPmZCLビットの設定はTPmSCEビット = 1のときのみ有効になります。	

TPmBCL	エンコーダ入力信号 (TENCm1端子) のクリア・レベル選択
0	TENCm1端子ロウ・レベル・クリア
1	TENCm1端子ハイ・レベル・クリア
TPmBCLビットの設定はTPmSCEビット = 1のときのみ有効になります。	

TPmACL	エンコーダ入力信号 (TENCm0端子) のクリア・レベル選択
0	TENCm0端子ロウ・レベル・クリア
1	TENCm0端子ハイ・レベル・クリア
TPmACLビットの設定はTPmSCEビット = 1のときのみ有効になります。	

(2/2)

TPmECS1	TPmECS0	エンコーダ・クリア入力信号 (TECRm端子) の有効エッジの設定
0	0	エッジ検出なし (エンコーダ・クリア無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPmEIS1	TPmEIS0	エンコーダ入力信号 (TENCm0, TENCm1端子) の有効エッジの設定
0	0	エッジ検出なし (エンコーダ入力無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPmSCE, TPmZCL, TPmBCL, TPmACL, TPmECS1, TPmECS0, TPmEIS1, TPmEIS0ビットは, TPmCTL0.TPmCEビット = 0のときに書き換えてください (TPmCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TPmCEビットをクリア (0) してから再設定してください。
- TPmECS1, TPmECS0ビットは, TPmSCEビット = 0, かつエンコーダ・コンペア・モード時のみ有効です。
  - TPmEIS1, TPmEIS0ビットは, TPmCTL2.TPmUDS1, TPmUDS0ビット = 00または01時のみ有効です。

## (8) TMPnオプション・レジスタ0 (TPnOPT0)

TPnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0OPT0 FFFFF595H, TP1OPT0 FFFFF5A5H,  
TP2OPT0 FFFFF5B5H, TP3OPT0 FFFFF5C5H,  
TP4OPT0 FFFFF5D5H, TP5OPT0 FFFFF5E5H,  
TP6OPT0 FFFFF5F5H, TP7OPT0 FFFFF647H,  
TP8OPT0 FFFFF667H

	7	6	5	4	3	2	1	②
TPnOPT0 (n=0-8)	0	0	TPnCCS1	TPnCCS0	0	0	0	TPnOVF

TPnCCS1	TPnCCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TPnCTL0.TPnCEビット = 0によりクリア)
TPnCCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnCCS0	TPnCCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TPnCTL0.TPnCEビット = 0によりクリア)
TPnCCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnOVF	TMPnのオーバフロー検出フラグ
セット(1)	オーバフロー発生
リセット(0)	TPnOVFビットへの0ライトまたはTPnCTL0.TPnCEビット = 0
<ul style="list-style-type: none"> <li>・TPnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウンタ値がFFFFHから0000Hにオーバフローするときセット(1)されます。</li> <li>・TPnOVFビットがセット(1)されると同時に、オーバフロー割り込み要求信号(INTTPnOV)が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTPnOV信号は発生しません。</li> <li>・TPnOVFビット = 1のときにTPnOVFビットまたはTPnOPT0レジスタをリードしても、TPnOVFビットはクリア(0)されません。</li> <li>・INTTPnOV信号発生後、TPnOVFビットをクリア(0)する場合は、必ずTPnOVFビットがセット(1)されているのを確認(リード)後クリア(0)してください。</li> <li>・TPnOVFビットはリード/ライト可能ですが、ソフトウェアでTPnOVFビットをセット(1)することはできません。“1”をライトしてもTMPnの動作に影響はありません。</li> </ul>	

注意1. TPnCCS1, TPnCCS0ビットは、TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。

2. ビット1-3, 6, 7には必ず“0”を設定してください。

## (9) TMPmオプション・レジスタ1 (TPmOPT1)

TPmOPT1レジスタは、エンコーダ・カウント機能のアンダフロー、オーバフロー、アップ/ダウン・カウント動作の状態を検出する8ビットのレジスタです。

TPmOPT1レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TPmOPT1レジスタは、TPmCTL0.TPmCEビット = 1のときでも書き換えできます。

(1/2)

リセット時：00H    R/W    アドレス：TP7OPT1 FFFFF648H, TP8OPT1 FFFFF668H								
	7	6	5	4	3	②	①	①
TPmOPT1	0	0	0	0	0	TPmEUF	TPmEOF	TPmESF
(m = 7, 8)								
TPmEUF	TMPmのアンダフロー検出フラグ							
セット(1)	アンダフロー発生							
リセット(0)	TPmEUFビットへの0書き込みまたはTPmCTL0.TPmCEビット = 0によりクリア							
<ul style="list-style-type: none"> <li>・TPmEUFビットは、エンコーダ・コンペア・モード時に、16ビット・カウンタの値が0000HからFFFFHにアンダフローするときにセット(1)されます。</li> <li>・TPmCTL2.TPmLDEビット = 1のときは、アンダフロー発生により16ビット・カウンタの値が0000HからTPmCCR0レジスタの設定値へ書き換わると、TPmEUFビットがセット(1)されます。</li> <li>・TPmEUFビットがセット(1)されると同時に、オーバフロー割り込み要求信号(INTTPmOV)が発生します。</li> <li>・TPmEUFビット = 1のときにTPmEUFビットまたはTPmOPT1レジスタをリードしても、TPmEUFビットはクリア(0)されません。</li> <li>・TPmCTL2.TPmECCビット = 1時にTPmCTL0.TPmCEビット = 0にしてもTPmEUFビットの状態は保持されます。</li> <li>・INTTPmOV信号発生後、TPmEUFビットをクリア(0)する場合は、必ずTPmEUFビットがセット(1)されているのを確認(リード)後クリア(0)してください。</li> <li>・TPmEUFビットはリード/ライト可能ですが、ソフトウェアでTPmEUFビットをセット(1)することはできません。1をライトしてもTMPmの動作に影響はありません。</li> </ul>								

TPmEOF	TMPmのエンコーダ機能用オーバーフロー検出フラグ
セット(1)	オーバーフロー発生
リセット(0)	TPmEOFビットへの0書き込みまたはTPmCTL0.TPmCEビット = 0によりクリア)
	<ul style="list-style-type: none"> <li>・TPmEOFビットは、エンコーダ・コンペア・モード時に、16ビット・カウンタの値がFFFFHから0000Hにオーバーフローするときにセット(1)されます。</li> <li>・TPmEOFビットがセット(1)されると同時に、オーバーフロー割り込み要求信号(INTTPmOV)が発生します。このとき、TPmOPT0.TPmOVFビットはセット(1)されません。</li> <li>・TPmEOFビット = 1のときにTPmEOFビットまたはTPmOPT1レジスタをリードしても、TPmEOFビットはクリア(0)されません。</li> <li>・TPmCTL2.TPmECCビット = 1時にTPmCTL0.TPmCEビット = 0にしてもTPmEOFビットの状態は保持されます。</li> <li>・INTTPmOV信号発生後、TPmEOFビットをクリア(0)する場合は、必ずTPmEOFビットがセット(1)されているのを確認(リード)後クリア(0)してください。</li> <li>・TPmEOFビットはリード/ライト可能ですが、ソフトウェアでTPmEOFビットをセット(1)することはできません。1をライトしてもTMPmの動作に影響はありません。</li> </ul>

TPmESF	TMPmのアップ/ダウン・カウント動作状態検出フラグ
0	TMPmのアップ・カウント動作中
1	TMPmのダウン・カウント動作中
	<ul style="list-style-type: none"> <li>・TPmCTL2.TPmECCビット = 0時にTPmCTL0.TPmCEビット = 0によりクリア(0)されます。</li> <li>・TPmECCビット = 1時にTPmCEビット = 0にしてもTPmESFビットの状態は保持されます。</li> </ul>

**注意** ビット3-7には必ず0を設定してください。

## (10) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TPnCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TPnCCR0レジスタは、動作中のリード/ライトを許可します。

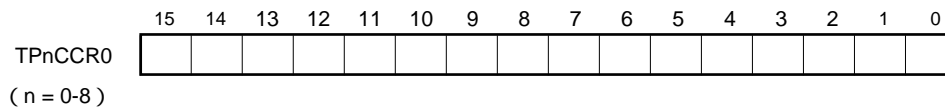
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** 次に示す状態において、TPnCCR0レジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：0000H    R/W    アドレス：TP0CCR0 FFFFF596H, TP1CCR0 FFFFF5A6H,  
TP2CCR0 FFFFF5B6H, TP3CCR0 FFFFF5C6H,  
TP4CCR0 FFFFF5D6H, TP5CCR0 FFFFF5E6H,  
TP6CCR0 FFFFF5F6H, TP7CCR0 FFFFF64AH,  
TP8CCR0 FFFFF66AH





## (a) コンペア・レジスタとしての機能

TPnCCR0レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC0) を発生し、TOPn0端子出力を許可している場合、TOPn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モード、エンコーダ・コンペア・モードにおいて、TPnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TPnCTL0.TPnCEビット = 0によりコンペア・レジスタはクリアされません。

## (b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モード (TPnCCR0レジスタをキャプチャ・レジスタとして使用する場合は)、キャプチャ・トリガ入力 (TIPn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIPn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPnCCR0レジスタのリードが競合しても、TPnCCR0レジスタはキャプチャした値をリードできます。

TPnCTL0.TPnCEビット = 0によりキャプチャ・レジスタはクリアされます。

**備考** n = 0-8

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし
エンコーダ・コンペア	コンペア・レジスタ	随時書き込み

**注** TPnCCR1レジスタへの書き込みがトリガになります。

**備考** 随時書き込みと一斉書き込みについては、7.6(3) **随時書き込みと一斉書き込み**を参照してください。

## (11) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

TPnCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TPnCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TPnCCR1レジスタは、動作中のリード/ライトを許可します。

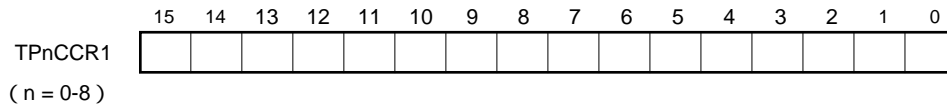
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** 次に示す状態において、TPnCCR1レジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：0000H    R/W    アドレス：TP0CCR1 FFFFF598H, TP1CCR1 FFFFF5A8H,  
TP2CCR1 FFFFF5B8H, TP3CCR1 FFFFF5C8H,  
TP4CCR1 FFFFF5D8H, TP5CCR1 FFFFF5E8H,  
TP6CCR1 FFFFF5F8H, TP7CCR1 FFFFF64CH,  
TP8CCR1 FFFFF66CH



## (a) コンペア・レジスタとしての機能

TPnCCR1レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC1) を発生し、TOPn1端子出力を許可している場合、TOPn1端子出力を反転します。

TPnCTL0.TPnCEビット = 0によりコンペア・レジスタはクリアされません。

## (b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モード (TPnCCR1レジスタをキャプチャ・レジスタとして使用する場合)、キャプチャ・トリガ入力 (TIPn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIPn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPnCCR1レジスタのリードが競合しても、TPnCCR1レジスタはキャプチャした値をリードできます。

TPnCTL0.TPnCEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 n = 0-8

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし
エンコーダ・コンペア	コンペア・レジスタ	随時書き込み

注 TPnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、7.6(3)随時書き込みと一斉書き込みを参照してください。

## (12) TMPmカウンタ・ライト・レジスタ (TPmTCW)

TPmTCWレジスタは、16ビット・カウンタの初期値を設定するレジスタです。

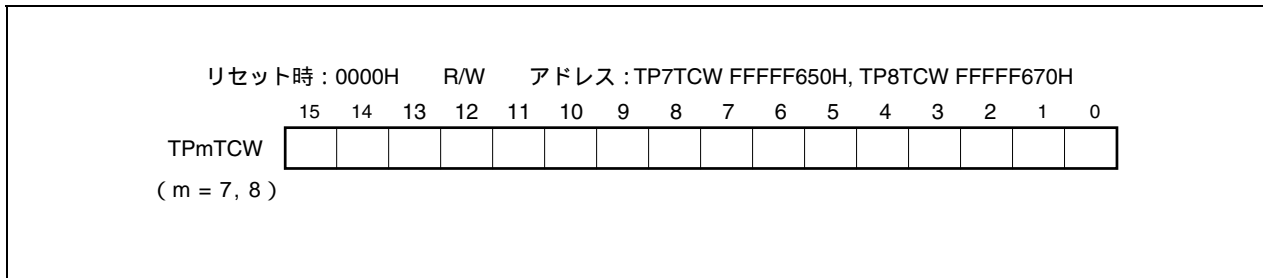
TPmTCWレジスタは、エンコーダ・コンペア・モード時のみ有効です。

16ビット単位でリード/ライト可能です。

TPmTCWレジスタは、TPmCTL0.TPmCEビット = 0のときに書き換えてください。

TPmCEビットをセット (1) するとTPmTCWレジスタの値を16ビット・カウンタに転送します。

リセットにより0000Hになります。



## (13) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TPnCTL0.TPnCEビット = 1のときにTPnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TMP0-TMP6の場合は、TPkCEビット = 0のとき、TPkCNTレジスタは0000Hになります。このときにTPkCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) ではなく、そのまま0000Hがリードされます。

リセットによりTPkCEビット = 0になり、TPkCNTレジスタは0000Hになります。

TMP7, TMP8の場合は、TPmCTL2.TPmECCビット = 0かつTPmCEビット = 0のとき、TPmCNTレジスタは0000Hになります。このときにTPmCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) ではなく、そのまま0000Hがリードされます。TPmECCビット = 1かつTPmCEビット = 0のとき、TPmCNTレジスタは0000Hとならずに直前の値がリードされます。

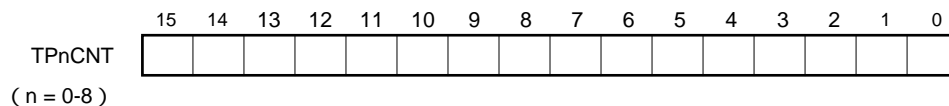
リセットによりTPmECCビット = 0かつTPmCEビット = 0になり、TPmCNTレジスタは0000Hになります。

**注意** 次に示す状態において、TPnCNTレジスタへのアクセスは禁止です。詳細は3.4.9(2) 特定の  
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

**備考** n = 0-8  
k = 0-6  
m = 7, 8

リセット時：0000H R アドレス：TP0CNT FFFFF59AH, TP1CNT FFFFF5AAH,  
TP2CNT FFFFF5BAH, TP3CNT FFFFF5CAH,  
TP4CNT FFFFF5DAH, TP5CNT FFFFF5EAH,  
TP6CNT FFFFF5FAH, TP7CNT FFFFF64EH,  
TP8CNT FFFFF66EH



## (14) TMPmノイズ除去制御レジスタ (ENaNFc)

TECRm, TENCm0, TENCm1端子はデジタル・ノイズ除去を選択することが可能で, ENaNFcレジスタにてノイズ除去の設定を選択します。

デジタル・ノイズ除去を選択した場合, デジタル・サンプリングを行うサンプリング・クロックを,  $f_{XP}$ ,  $f_{XP}/4$ ,  $f_{XP}/8$ ,  $f_{XP}/16$ ,  $f_{XP}/32$ ,  $f_{XP}/64$ の中から選択できます。なおサンプリングの回数は2回または3回を選択できます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** サンプリング・クロック変更後, デジタル・ノイズ除去回路が初期化されるのに, サンプリング回数3回の場合はサンプリング・クロック×3クロック, サンプリング回数2回の場合はサンプリング・クロック×2クロックの時間がかかります。そのため, サンプリング・クロックを変更してからサンプリング・クロック×3クロックまたはサンプリング・クロック×2クロックの間に, TECRm, TENCm0, TENCm1の有効エッジが入力されるとエンコーダ入力が発生する可能性があります。したがって, TMPmのエンコーダ・カウント機能を使用する場合は, サンプリング・クロック×3クロックまたはサンプリング・クロック×2クロック経過後, TMPmを許可してください。

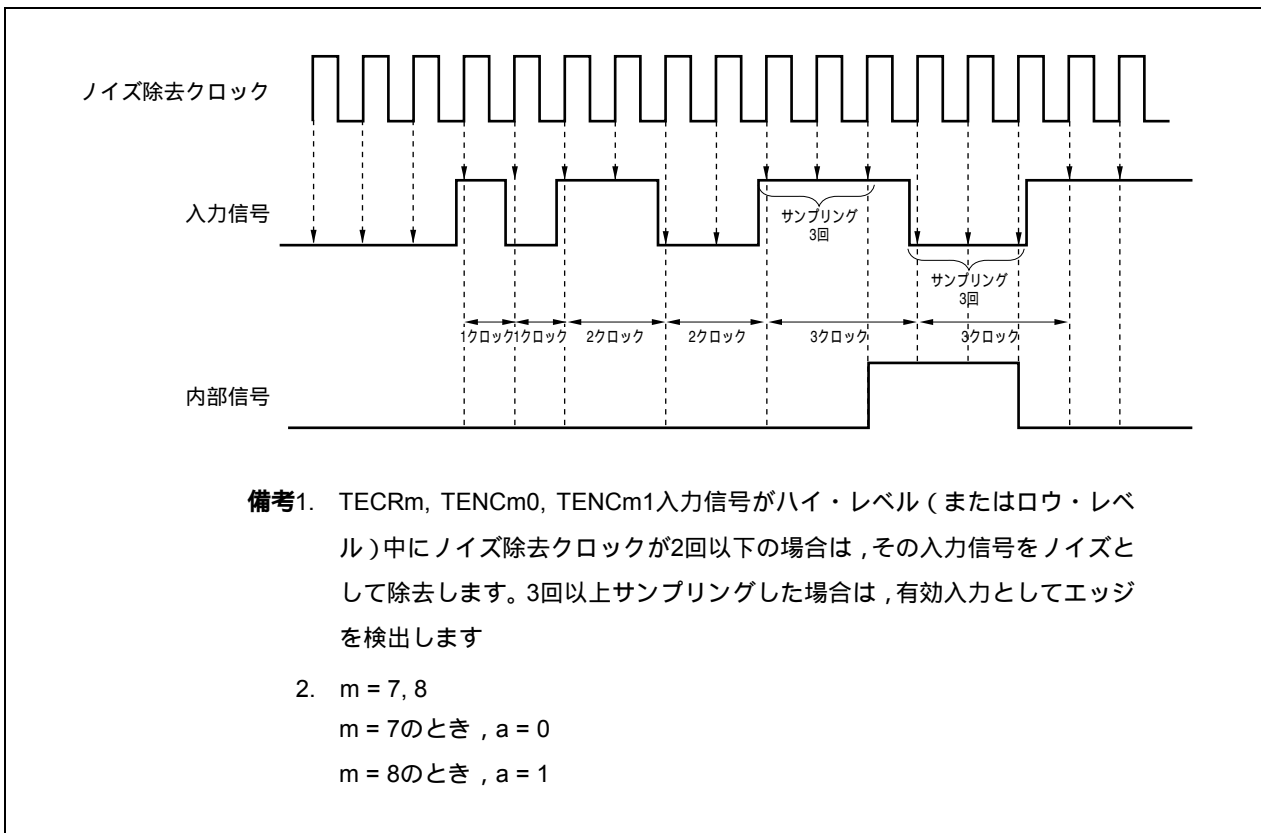
リセット時: 00H R/W アドレス: EN0NFC FFFFF31CH, EN1NFC FFFFF31EH

		7	6	5	4	3	2	1	0
ENaNFc		ENaNFEN	ENaNFSTS	0	0	0	ENaNFc2	ENaNFc1	ENaNFc0
[ m = 7のとき a = 0 ]	ENaNFEN	TECRm, TENCm0, TENCm1端子のデジタル・ノイズ除去の設定							
	0	デジタル・ノイズ除去を行わない							
[ m = 8のとき a = 1 ]	1	デジタル・ノイズ除去を行う							
	ENaNFSTS	サンプリング回数の選択							
	0	3回							
	1	2回							
ENaNFc2	ENaNFc1	ENaNFc0	デジタル・サンプリングを行うクロック						
0	0	0	$f_{XP}$						
0	0	1	$f_{XP}/4$						
0	1	0	$f_{XP}/8$						
0	1	1	$f_{XP}/16$						
1	0	0	$f_{XP}/32$						
1	0	1	$f_{XP}/64$						
その他			設定禁止						

- 備考1.** 確実に除去するノイズ幅は, サンプリング回数3回の場合はサンプリング・クロック×2, サンプリング回数2回の場合はサンプリング・クロック×1となります。
- 2.** サンプリング・クロック×2またはサンプリング・クロック×1より短いノイズがあっても, サンプリング・クロックに同期したノイズが入力された場合には, エンコーダ・カウント動作を行います。

図7-3にエンコーダ・カウント機能入力端子 (TECRm, TENCm0, TENCm1) のデジタル・フィルタによるノイズ除去のタイミング例を示します。

図7-3 デジタル・ノイズ除去タイミング例 (サンプリング回数3回 (ENaNFSTSビット = 0) 設定時)



## 7.5 タイマ出力動作説明

次にTOPn0, TOPn1端子の動作, および出力レベルを示します。

表7-5 各モードによるタイマ出力制御

動作モード	TOPn1端子	TOPn0端子
インターバル・タイマ・モード	方形波出力	
外部イベント・カウント・モード	なし	
外部トリガ・パルス出力モード	外部トリガ・パルス出力	方形波出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)	
パルス幅測定モード	なし	
エンコーダ・コンペア・モード	なし	

備考 n = 0-8

表7-6 タイマ出力制御ビットによるTOPn0, TOPn1端子の真値表

TPnIOC0.TPnOLaビット	TPnIOC0.TPnOEaビット	TPnCTL0.TPnCEビット	TOPna端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 n = 0-8,

m = 0, 1



## 7.6 動作

TMP0-TMP6には次のような動作があります。

動作	TPkCTL1.TPkESTビット (ソフトウェア・トリガ・ビット)	TIPk0端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード <sup>注1</sup>	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード <sup>注2</sup>	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード <sup>注2</sup>	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード <sup>注2</sup>	無効	無効	キャプチャ専用	対象外

- 注1. 外部イベント・カウント・モードを使用する場合、TIPk0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TPkIOC1.TPkIS1, TPKIS0ビットを“00”) に設定してください。
2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TPkCTL1.TPkEEEビット = 0に設定) してください。

備考 k = 0-6

TMP7, TMP8には次のような動作があります。

動作	TPmCTL1.TPmESTビット (ソフトウェア・トリガ・ビット)	TIPm0端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード <sup>注1</sup>	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード <sup>注2</sup>	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード <sup>注2</sup>	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード <sup>注2</sup>	無効	無効	キャプチャ専用	対象外
エンコーダ・コンペア・モード	無効	無効	コンペア専用	随時書き込み

- 注1. 外部イベント・カウント・モードを使用する場合、TIPm0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TPmIOC1.TPmIS1, TPmIS0ビットを“00”) に設定してください。
2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TPmCTL1.TPmEEEビット = 0に設定) してください。

備考 m = 7, 8

### (1) TMP0-TMP6の場合のカウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

**備考** k = 0-6

#### (a) カウント開始動作

##### ・外部イベント・カウント・モード

TPkCEビット = 0 1のタイミングで16ビット・カウンタに0000Hが設定されます。その後は、外部イベント・カウント入力 (TIPk0) の有効エッジ検出するごとに0001H, 0002H, 0003H, ...とカウント・アップします。

##### ・上記以外のモード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

#### (b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって、INTTPkCC0, INTTPkCC1割り込み信号は発生しません。

#### (c) オーバフロー動作

16ビット・カウンタのオーバフローは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバフローが発生すると、TPkOPT0.TPkOVFビットがセット (1) され、割り込み要求信号 (INTTPkOV) が発生します。なお、次の条件ではINTTPkOV信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値がFFFFHで一致&クリアされた場合
- ・パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

**注意** オーバフロー割り込み要求信号 (INTTPkOV) 発生後は、必ずオーバフロー・フラグ (TPkOVFビット) が "1" にセットされているのを確認してください。

#### (d) カウント動作中のカウンタ・リード動作

TMPkでは、TPkCNTレジスタにより、カウント動作中の16ビット・カウンタの値をリードできます。

TPkCTL0.TPkCEビット = 1のときは、TPkCNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TPkCEビット = 0のときは、16ビット・カウンタがFFFFHで、TPkCNTレジスタが0000Hです。

**(e) 割り込み動作**

TMPkでは、次の3種類の割り込み要求信号を発生します。

- ・INTTPkCC0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号、およびTPkCCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・INTTPkCC1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号、およびTPkCCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・INTTPkOV割り込み : オーバフロー割り込み要求信号として機能します。

**(2) TMP7, TMP8の場合のカウンタ基本動作**

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

**備考** m = 7, 8

**(a) カウント開始動作****・エンコーダ・コンペア・モード**

TENCM0, TENCM1の位相によりカウント動作を制御します。

TPmTCWレジスタ設定値を16ビット・カウンタに転送することでカウンタの初期設定を行い、カウント動作を開始します (TPmTCWレジスタ設定値は、TPmCTL2.TPmECCビット = 0時にTPmCTL0.TPmCEビット = 0 1となるタイミングで16ビット・カウンタに転送されます)。

**・外部イベント・カウント・モード**

TPmCEビット = 0 1のタイミングで16ビット・カウンタに0000Hが設定されます。その後は、外部イベント・カウント入力(TIPm0)の有効エッジ検出するごとに0001H, 0002H, 0003H, ...とカウント・アップします。

**・上記以外のモード**

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

**(b) クリア動作**

16ビット・カウンタとコンペア・レジスタの値の一致&クリア, 16ビット・カウンタの値のキャプチャ&クリア, エンコーダ・クリア信号のエッジ検出クリア, TENCM0, TENCM1, TECRm端子のクリア・レベル条件検出クリアの場合, 16ビット・カウンタは0000Hにクリアされます。なお, カウント動作開始直後およびオーバーフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって, INTTPmCC0, INTTPmCC1割り込み信号は発生しません。

**(c) オーバフロー動作**

16ビット・カウンタのオーバフローは、フリー・ランニング・モード、パルス幅測定モード、エンコーダ・コンペア・モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。

フリー・ランニング・モード、パルス幅測定モード時は、オーバフローが発生すると、TPmOPT0.TPmOVFビットがセット(1)され、割り込み要求信号(INTTPmOV)が発生します。

エンコーダ・コンペア・モード時は、オーバフローが発生すると、TPmOPT1.TPmEOFビットがセット(1)され、割り込み要求信号(INTTPmOV)が発生します。

なお、次の条件ではINTTPmOV信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値がFFFFHで一致&クリアされた場合
- ・パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

**注意** オーバフロー割り込み要求信号(INTTPmOV)発生後は、必ずオーバフロー・フラグ(TPmOVF,TPmEOFビット)が“1”にセットされているのを確認してください。

**(d) カウントの保持動作**

エンコーダ・コンペア・モード時に、TPmCTL2.TPmECCビットにより16ビット・カウンタの値の保持制御を行います。TPmECCビット = 0かつTPmCTL0.TPmCEビット = 0の場合は、16ビット・カウンタの値はFFFFHにリセットされ、次のTPmCEビット = 1でTPmTCWレジスタ設定値を16ビット・カウンタに転送し、カウント動作を行います。

TPmECCビット = 1かつTPmCEビット = 0の場合は、16ビット・カウンタの値は保持され、次にTPmCEビット = 1にすると保持していた値からカウント動作を再開します。

**(e) カウント動作中のカウンタ・リード動作**

TMPmでは、TPmCNTレジスタにより、カウント動作中の16ビット・カウンタの値をリードできません。

TPmCTL0.TPmCEビット = 1のときは、TPmCNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TPmCTL2.TPmECCビット = 0かつTPmCEビット = 0のときにTPmCNTレジスタをリードすると0000Hです。TPmECCビット = 1かつTPmCEビット = 0のときにTPmCNTレジスタをリードすると保持していた値となります。

**(f) アンダフロー動作**

16ビット・カウンタのアンダフローは、エンコーダ・コンペア・モード時に、0000HからFFFFHになるタイミングで発生します。アンダフローが発生すると、TPmOPT1.TPmEUFビットがセット(1)され、割り込み要求信号(INTTPmOV)が発生します。

**(g) 割り込み動作**

TMPmでは、次の4種類の割り込み要求信号を発生します。

- ・ INTTPmCC0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号, およびTPmCCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTPmCC1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号, およびTPmCCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTPmOV割り込み : オーバフロー割り込み要求信号として機能します。
- ・ INTTPmEC割り込み : エンコーダ・クリア入力 (TECRm端子) の有効エッジ検出割り込み要求信号として機能します。

## (3) 随時書き込みと一斉書き込み

TMPnでは、タイマ動作中 (TPnCTL0.TPnCEビット = 1) でもTPnCCR0, TPnCCR1レジスタの書き換えを許可していますが、モードによってCCR0, CCR1バッファ・レジスタへの書き込み方法 (随時書き込み, 一斉書き込み) が異なります。

## (a) 随時書き込み

このモードは、タイマ動作中にTPnCCR0, TPnCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を随時行います (n = 0-8)。

図7-4 随時書き込みの基本動作フロー・チャート

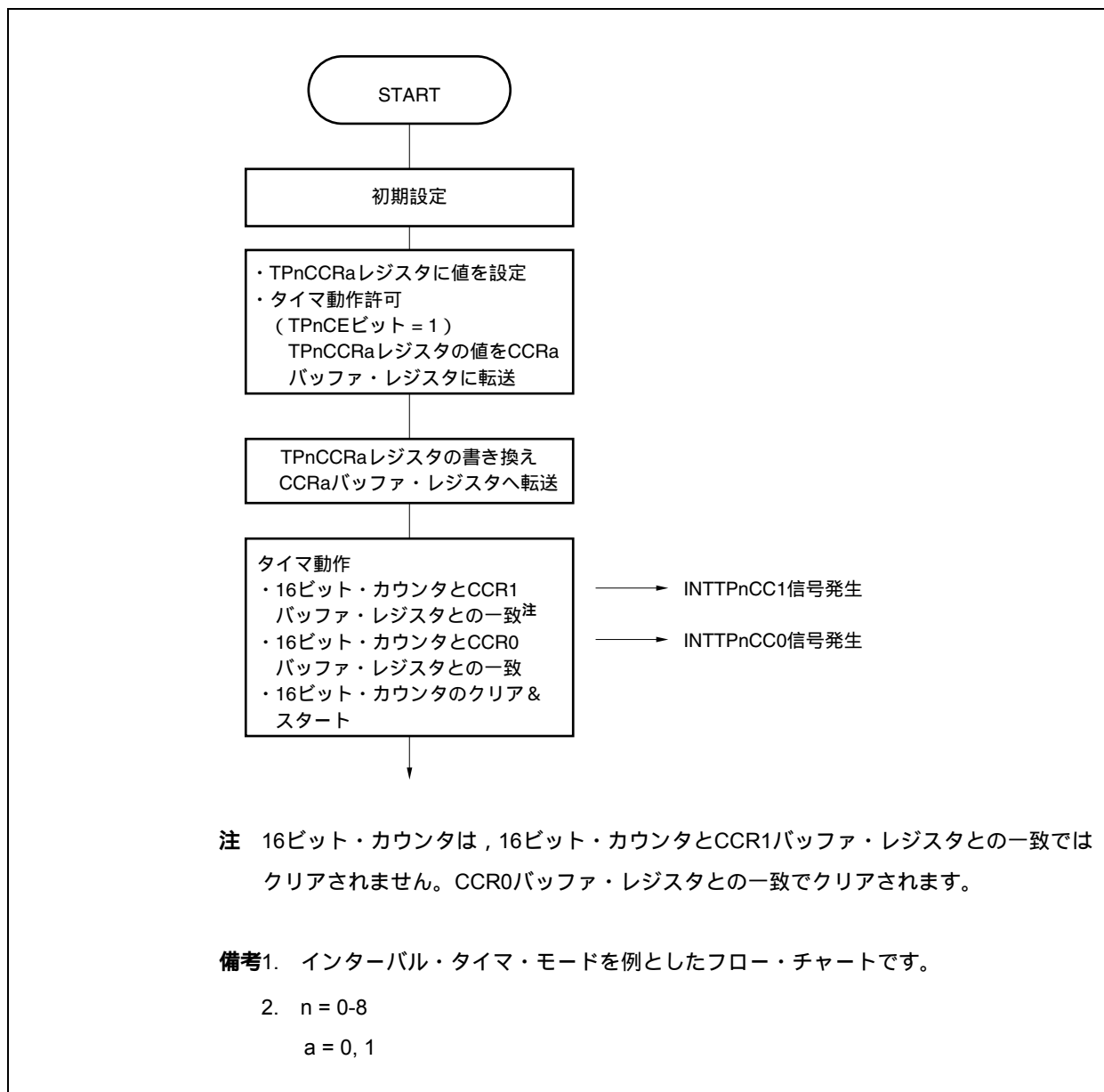
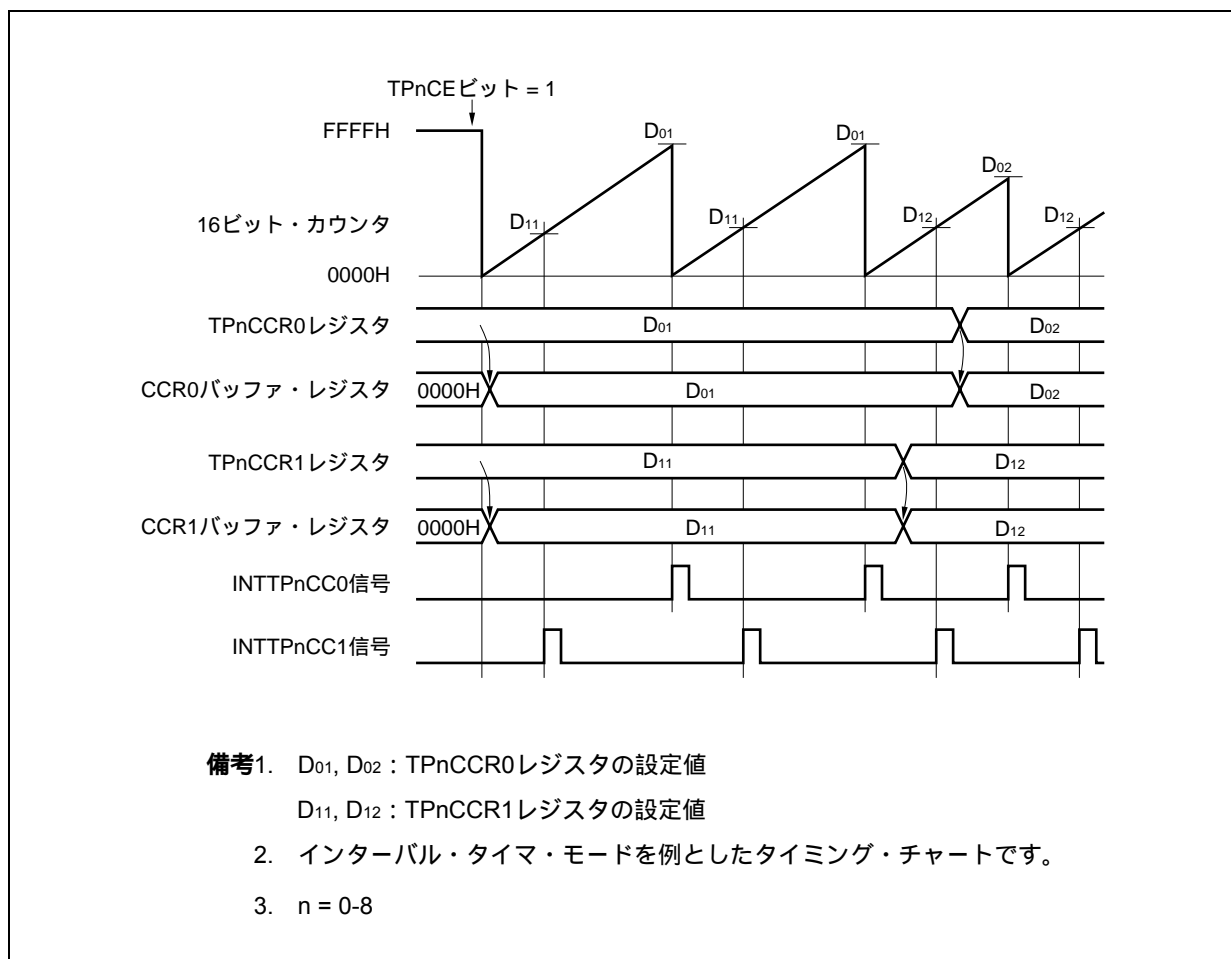


図7-5 随時書き込みのタイミング



**(b) 一斉書き込み**

このモードは、タイマ動作中にTPnCCR0, TPnCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTPnCCR1レジスタへの書き込みとなります。TPnCCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TPnCCR0, TPnCCR1レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする(CCR0, CCR1バッファ・レジスタに転送される)には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTPnCCR0レジスタを書き換え、次にTPnCCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TPnCCR0, TPnCCR1レジスタの値はCCR0, CCR1バッファ・レジスタに転送されます。なお、TPnCCR0レジスタの値だけ書き換えたい場合でも、TPnCCR1レジスタに同値(すでに設定したTPnCCR1レジスタと同じ値)を書き込んでください。



図7-6 一斉書き込みの基本動作フロー・チャート

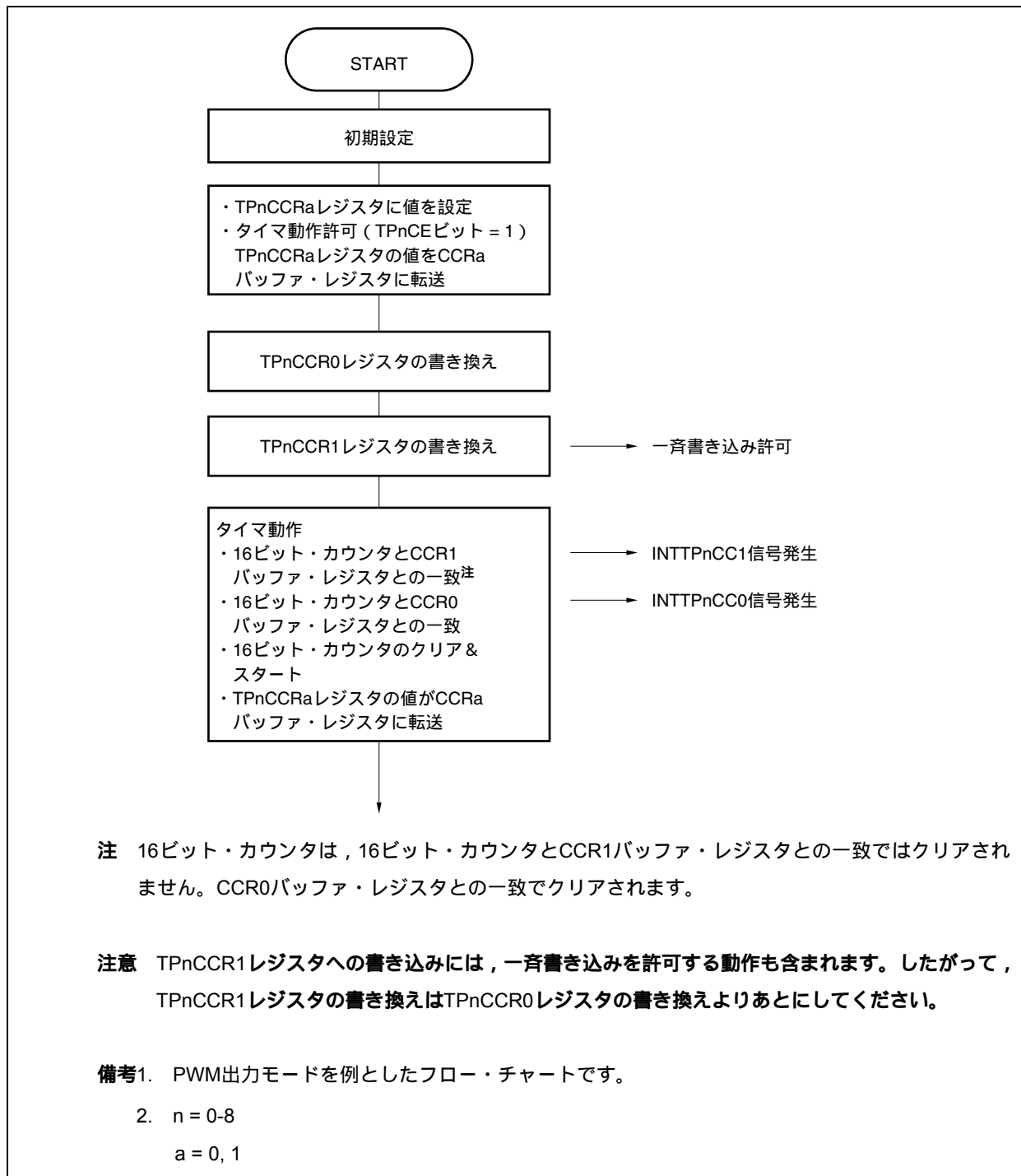
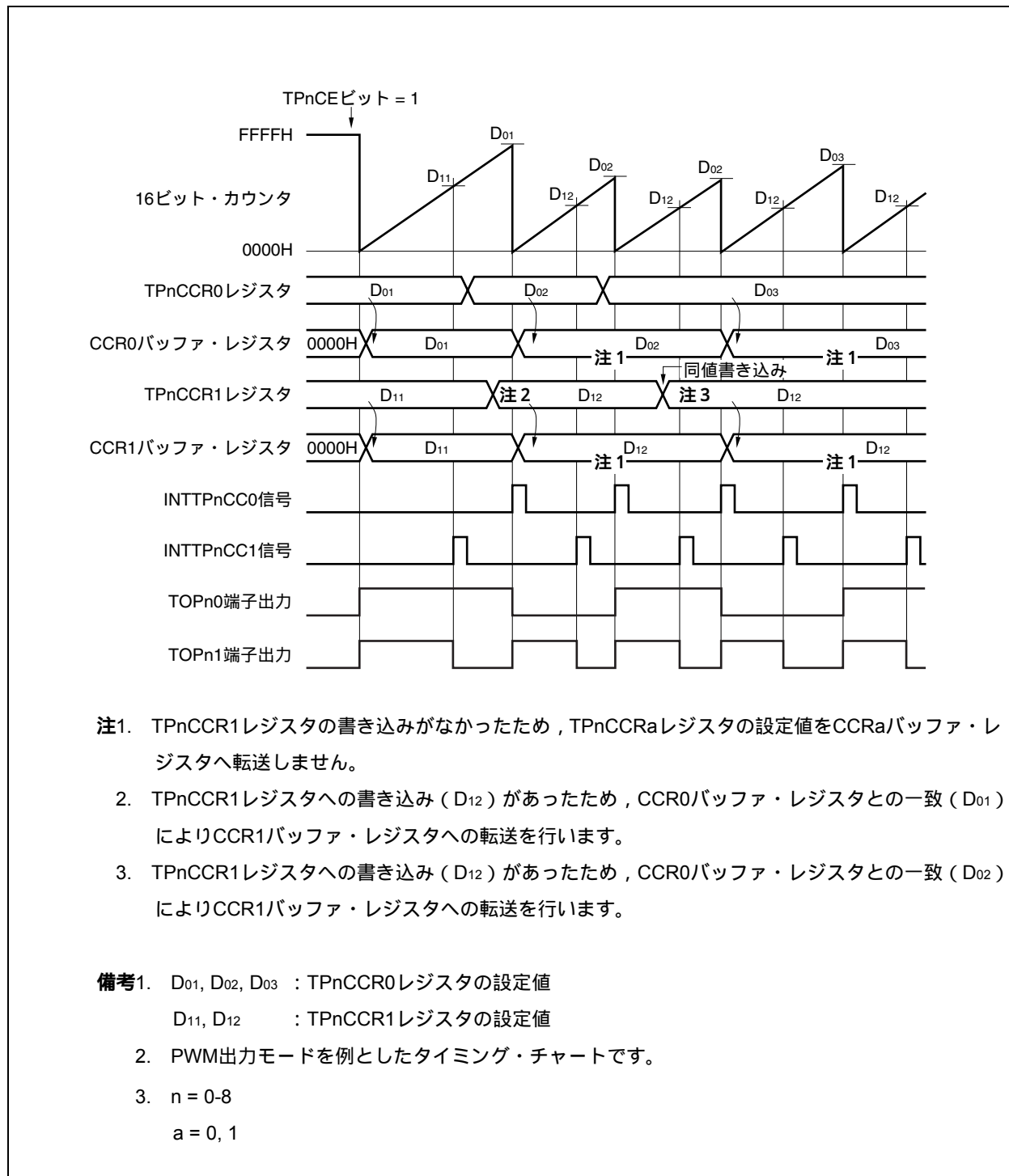


図7-7 一斉書き込みのタイミング



### 7.6.1 インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000)

インターバル・タイマ・モードは、TPnCTL0.TPnCEビットをセット (1) することで、TPnCCR0レジスタで設定したインターバル間隔にて割り込み要求信号 (INTTPnCC0) を発生します。また、TOPn0端子から、インターバル間隔を半周期とする50 %デューティの方形波を出力できます。

インターバル・タイマ・モードでは、TPnCCR1レジスタを使用しません。しかし、TPnCCR1レジスタでは、TPnCCR1レジスタの設定値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペアー一致割り込み要求信号 (INTTPnCC1) が発生します。また、TOPn1端子から、INTTPnCC1信号の発生タイミングにより反転する50 %デューティの方形波を出力できます。

なお、TPnCCR0, TPnCCR1レジスタのタイマ動作中の書き換えは可能です。

図7-8 インターバル・タイマの構成図

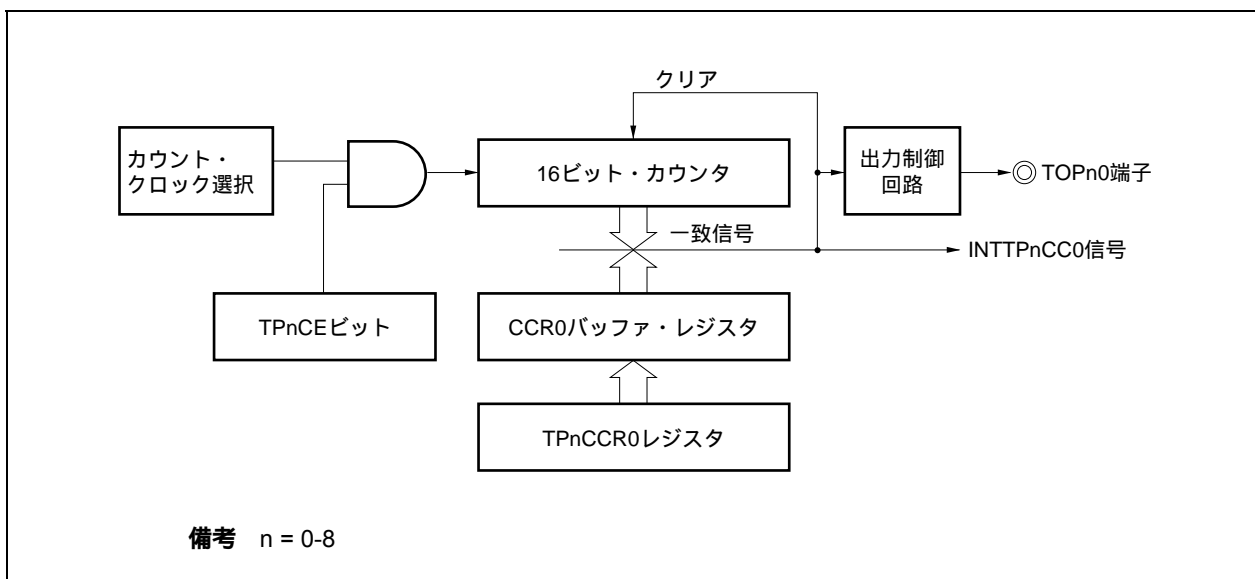
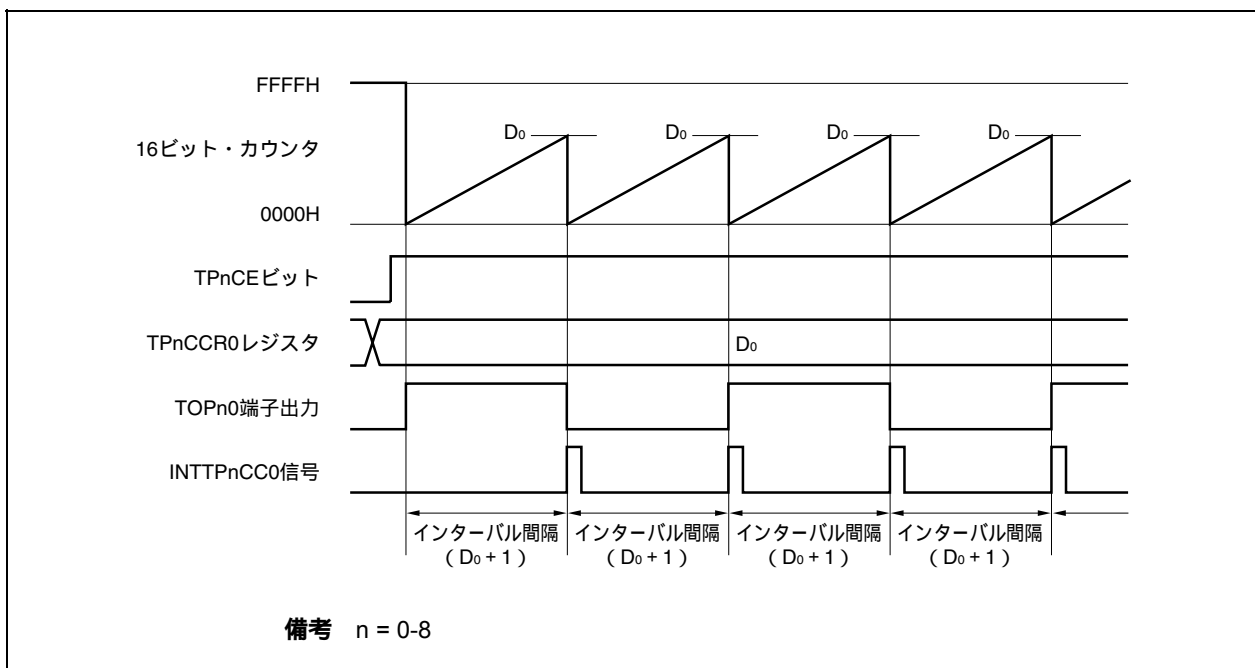


図7-9 インターバル・タイマ・モード動作の基本タイミング



TPnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOPn0端子出力を反転します。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOPn0端子出力を反転させて、コンペア一致割り込み要求信号(INTTPnCC0)を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TPnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0-8

図7-10 インターバル・タイマ・モード動作時のレジスタ設定内容(1/3)

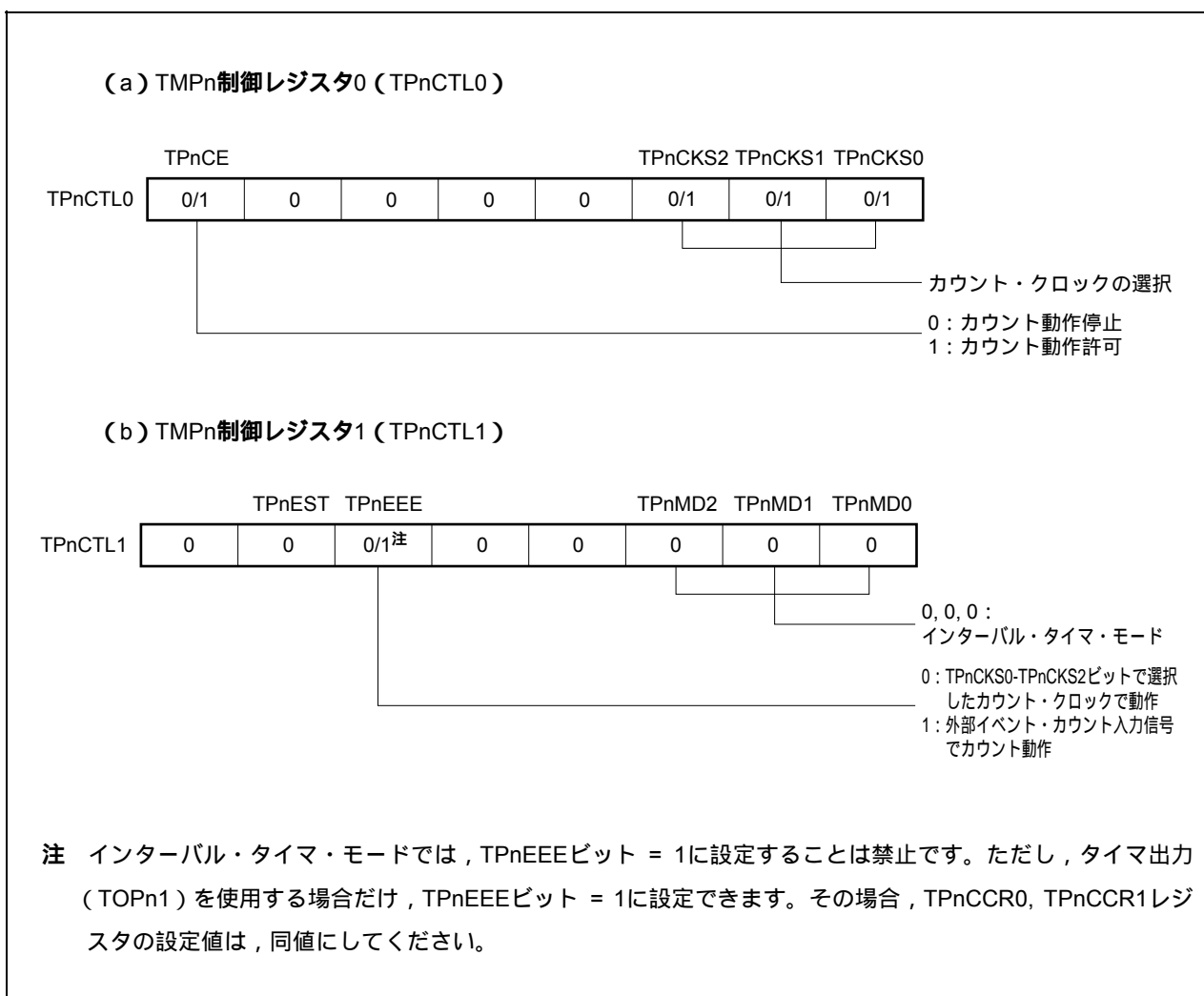


図7-10 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/3)

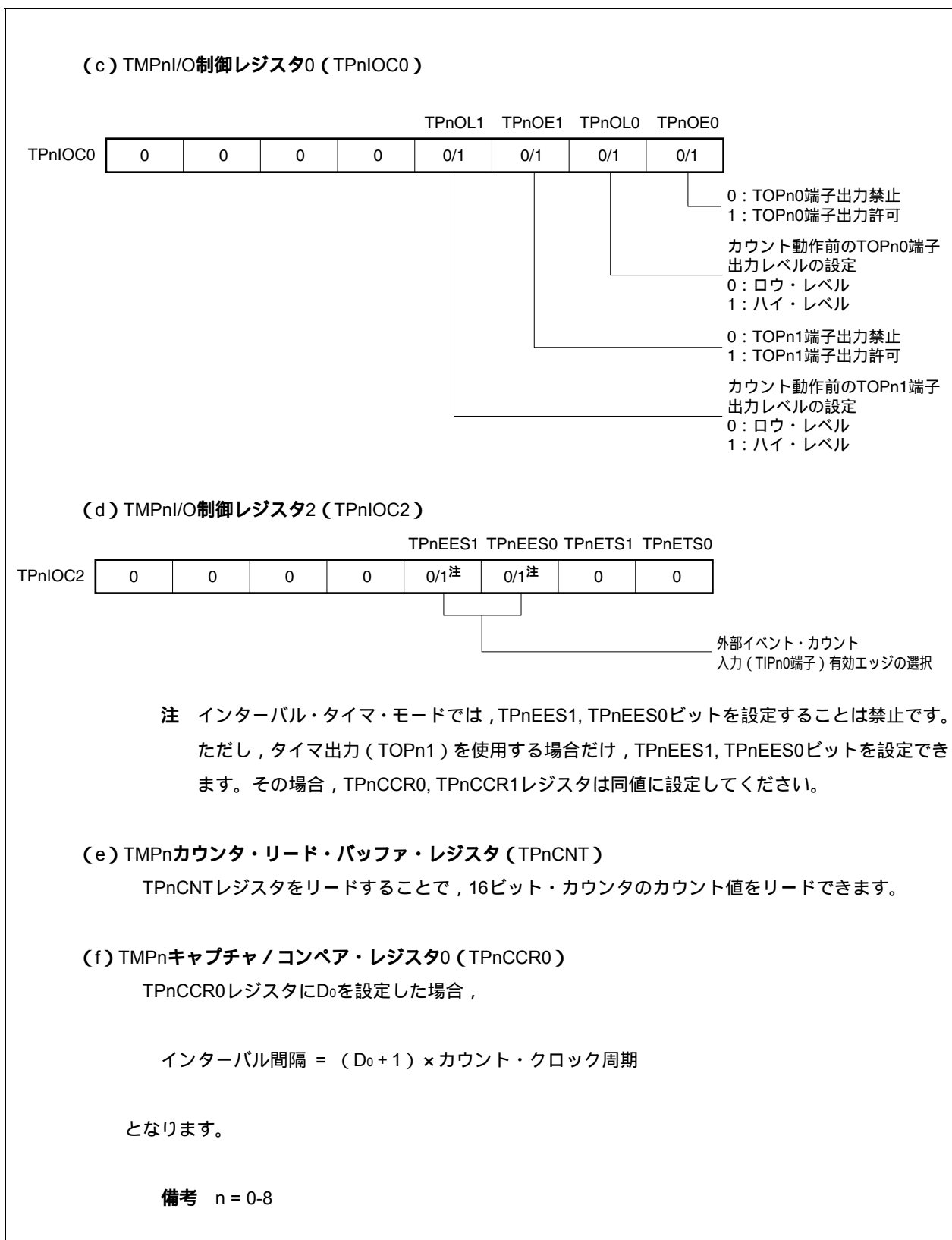


図7-10 インターバル・タイマ・モード動作時のレジスタ設定内容 (3/3)

**(g) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)**

インターバル・タイマ・モードでは、TPnCCR1レジスタを使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、TOPn1端子出力を反転し、コンペア一致割り込み要求信号 (INTTPnCC1) が発生します。

TPnCCR0レジスタの設定値と同じ値を設定することにより、TOPn1端子から50 %デューティの方形波を出力できます。

TPnCCR1レジスタを使用しない場合には、TPnCCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TPnCCIC1.TPnCCMK1) でマスク設定してください。

**備考1.** TMPnI/O制御レジスタ1 (TPnIOC1) , TMPnオプション・レジスタ0 (TPnOPT0) は、インターバル・タイマ・モードでは使用しません。

2. n = 0-8

(1) インターバル・タイマ・モード動作フロー

図7-11 インターバル・タイマ・モード使用時のソフトウェア処理フロー (1/2)

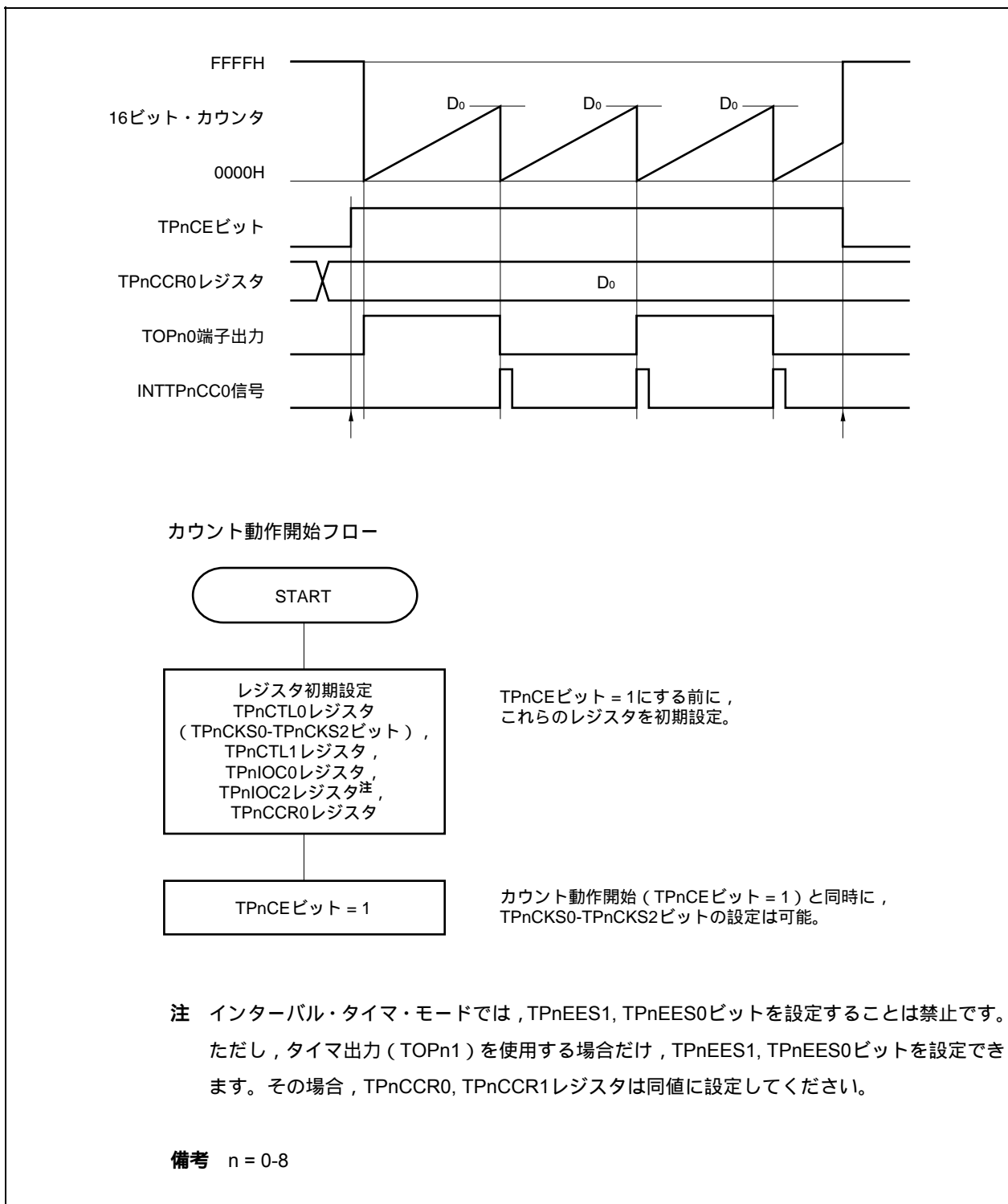
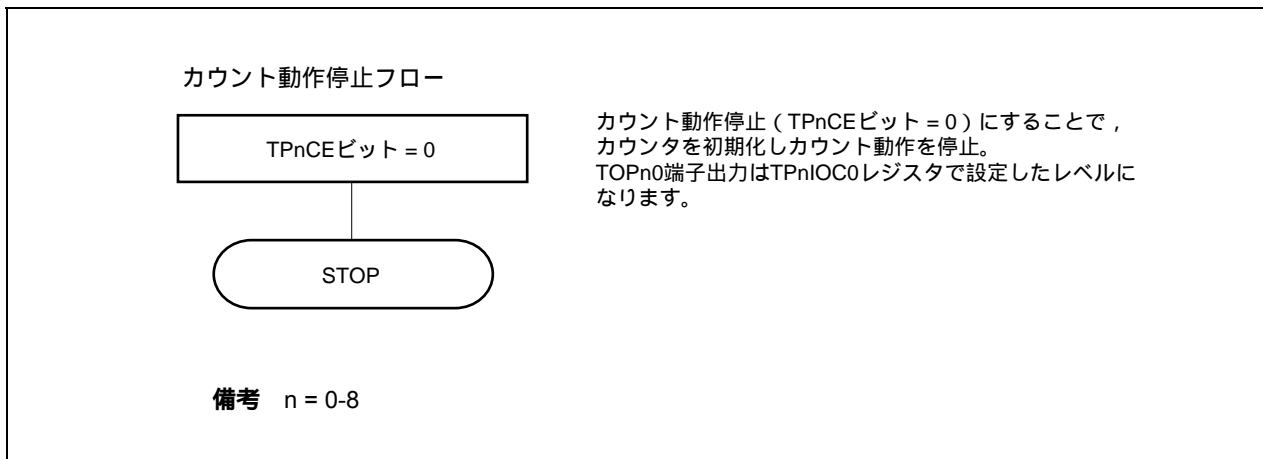


図7-11 インターバル・タイマ・モード使用時のソフトウェア処理フロー (2/2)

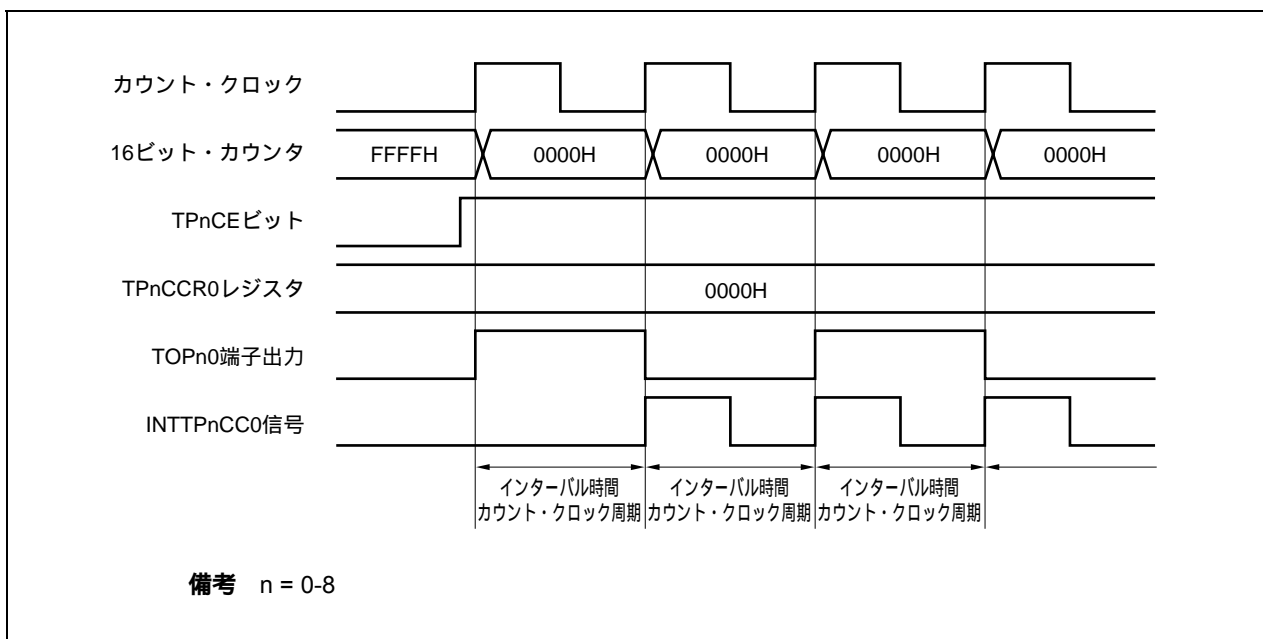


## (2) インターバル・タイマ・モード動作タイミング

## (a) TPnCCR0レジスタに0000Hを設定した場合の動作

TPnCCR0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTPnCC0信号を発生し、TOPn0端子の出力を反転します。

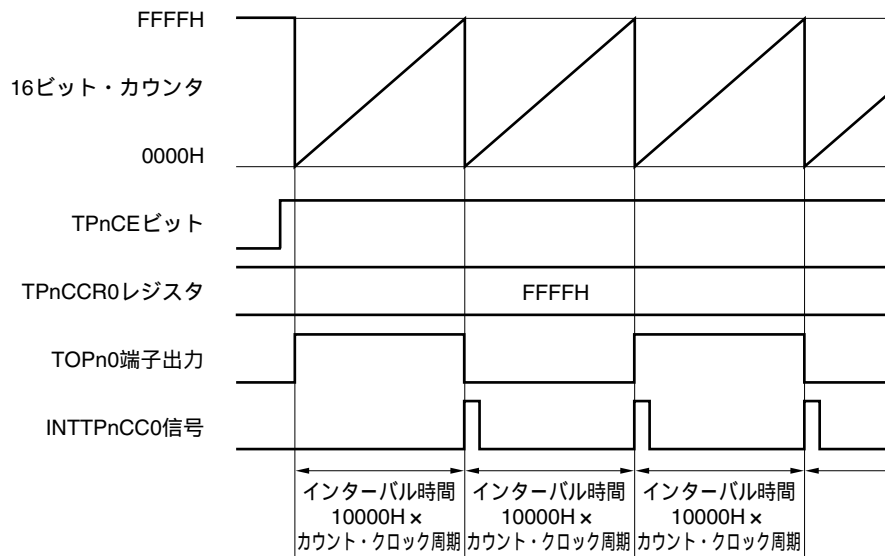
16ビット・カウンタは、常に0000Hとなります。





## (b) TPnCCR0レジスタにFFFFHを設定した場合の動作

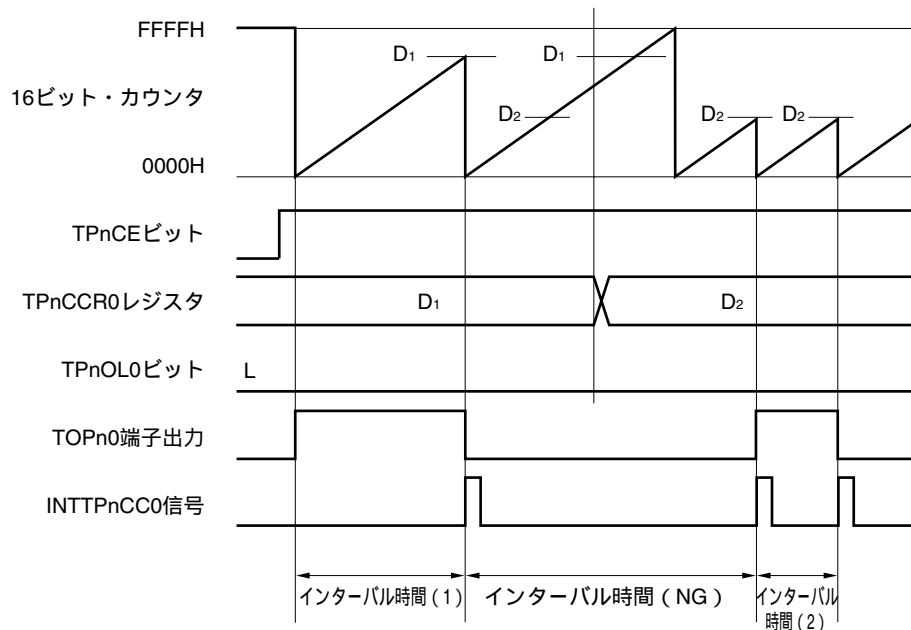
TPnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTPnCC0信号を発生し、TOPn0端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTPnOV) は発生せず、オーバフロー・フラグ (TPnOPT0.TPnOVFビット) もセット (1) されません。



備考 n = 0-8

## (c) TPnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



- 備考1. インターバル時間 (1) :  $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$   
 インターバル時間 (NG) :  $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$   
 インターバル時間 (2) :  $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
2.  $n = 0-8$

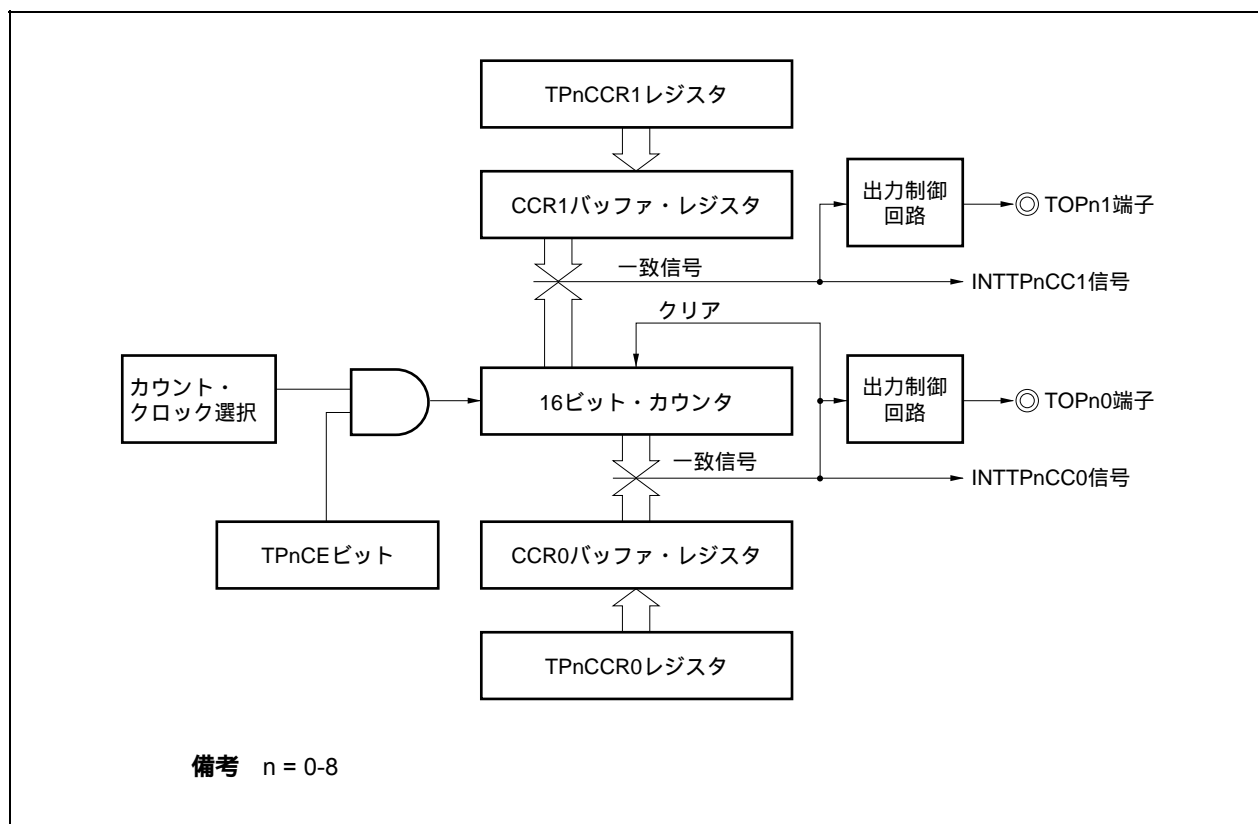
カウント値が $D_2$ よりも大きく $D_1$ よりも小さい状態において、TPnCCR0レジスタを $D_1$ から $D_2$ に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が $D_2$ となります。

しかし、カウント値はすでに $D_2$ を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 $D_2$ との一致でINTTPnCC0信号を発生しTOPn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTPnCC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTPnCC0信号が発生する場合があります。

## (d) TPnCCR1レジスタの動作

図7 - 12 TPnCCR1レジスタの構成図



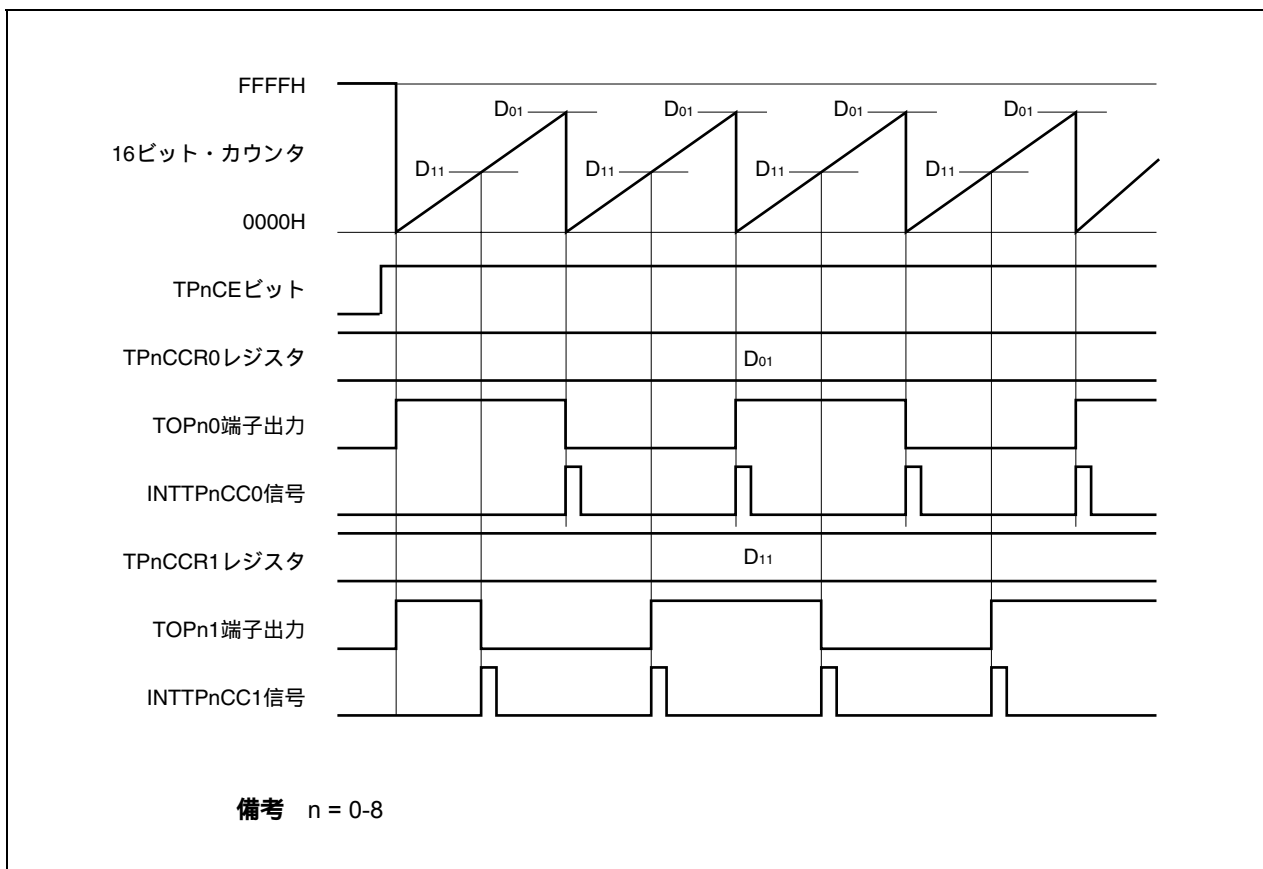
TPnCCR1レジスタにTPnCCR0レジスタの設定値と同じ値を設定すると、INTTPnCC0信号と同じタイミングでINTTPnCC1信号が発生し、TOPn1端子出力が反転します。すなわち、TOPn1端子から50%デューティの方形波を出力できます。

TPnCCR0レジスタの設定値とは異なる値をTPnCCR1レジスタに設定した場合の動作を次に示します。

TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。また、同じタイミングでTOPn1端子出力は反転します。

TOPn1端子出力は、最初に短い幅のパルスを出力したあと、50%デューティの方形波を出力します。

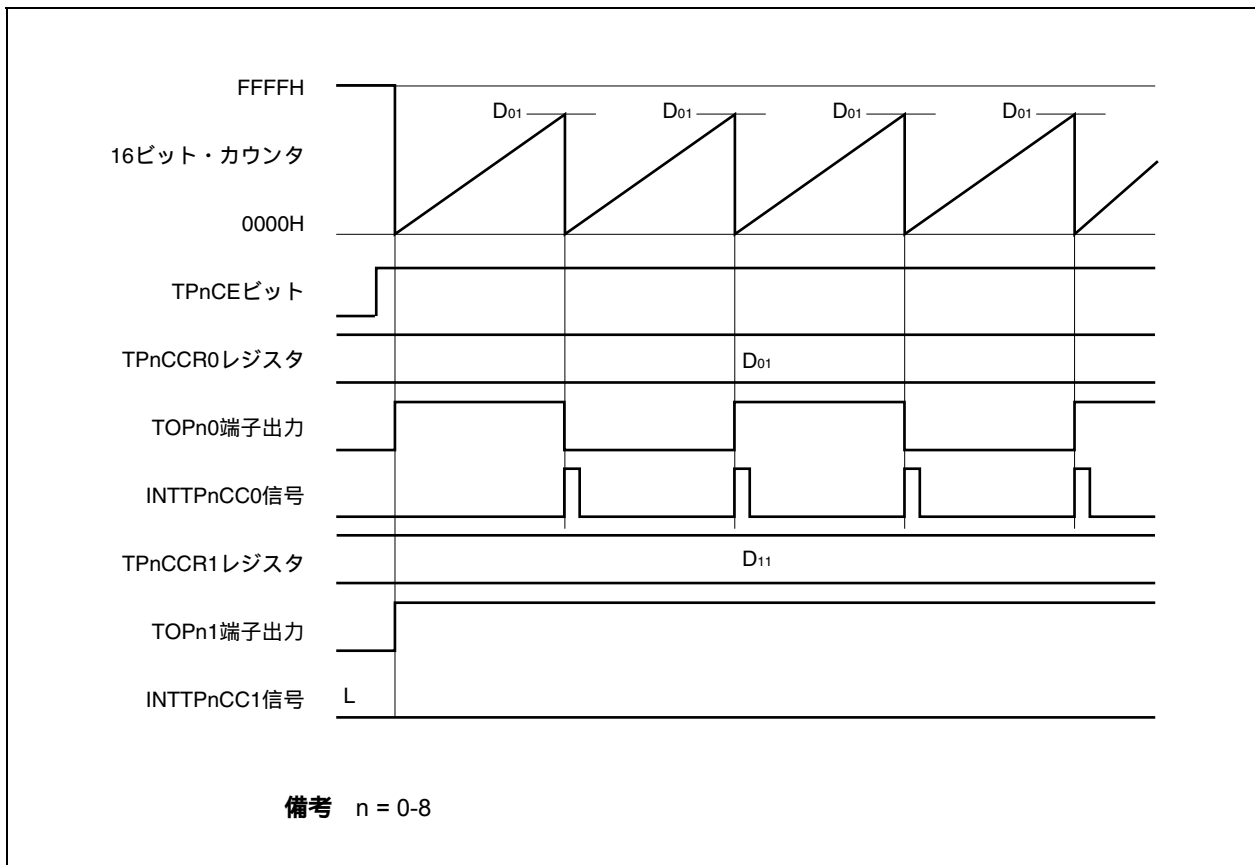
図7-13 D<sub>01</sub> D<sub>11</sub>の場合のタイミング図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。また、TOPn1端子出力も変化しません。

TPnCCR1レジスタを使用しない場合には、TPnCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図7 - 14 D<sub>01</sub> < D<sub>11</sub>の場合のタイミング図



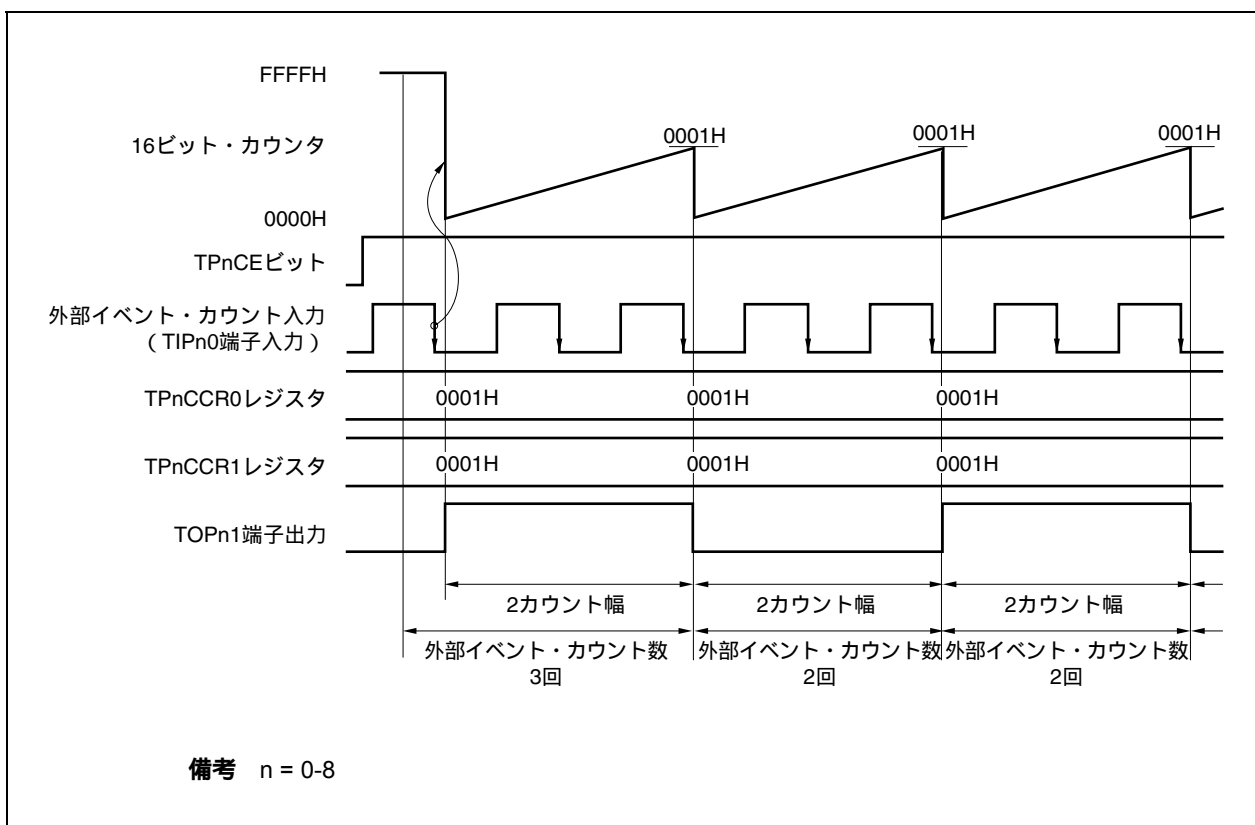
## (3) 外部イベント・カウント入力 (TIPn0) による動作

## (a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力 (TIPn0) の有効エッジで16ビット・カウンタをカウントする場合、TPnCEビットを0から1に設定した直後に、16ビット・カウンタをFFFFHから0000Hにクリアするために、1回の外部イベント・カウント入力の有効エッジが必要です。

TPnCCR0, TPnCCR1レジスタに0001Hを設定 (同値設定) すると、16ビット・カウンタの2カウントごとにTOPn1端子の出力を反転します。

外部イベント・カウント入力でタイマ出力 (TOPn1) を使用する場合だけ、インターバル・タイマ・モード時にTPnCTL1.TPnEEEビット = 1の設定が可能です。



### 7.6.2 外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001)

外部イベント・カウント・モードは、TPnCTL0.TPnCEビットをセット(1)することで、外部イベント・カウント入力(TIPn0)の有効エッジをカウントし、TPnCCR0レジスタで設定したカウント数をカウントするごとに割り込み要求信号(INTTPnCC0)を発生します。TOPn0, TOPn1端子は使用できません。外部イベント・カウント入力でTOPn1端子を使用する場合は、インターバル・タイマ・モード時にTPnCTL1.TPnEEEビット = 1に設定してください(7.6.1(3)外部イベント・カウント入力(TIPn0)による動作参照)。

外部イベント・カウント・モードでは、TPnCCR1レジスタは使用しません。

**注意** 外部イベント・カウント・モードでは、TPnCCR0, TPnCCR1レジスタに0000Hを設定することは禁止します。

図7-15 外部イベント・カウント・モードの構成図

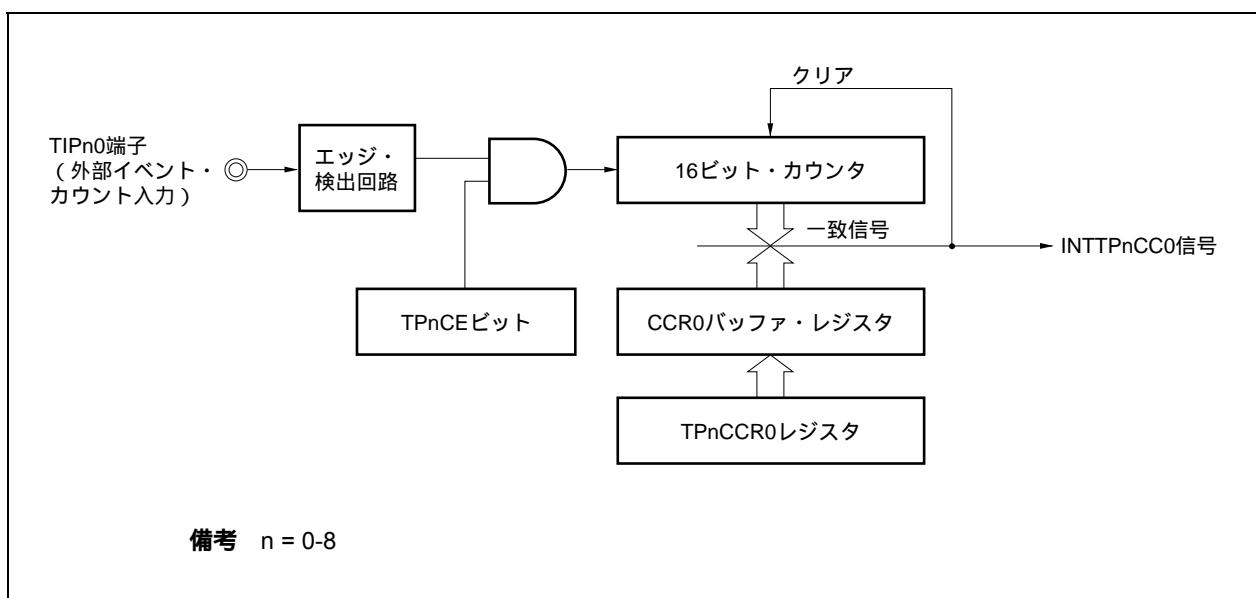
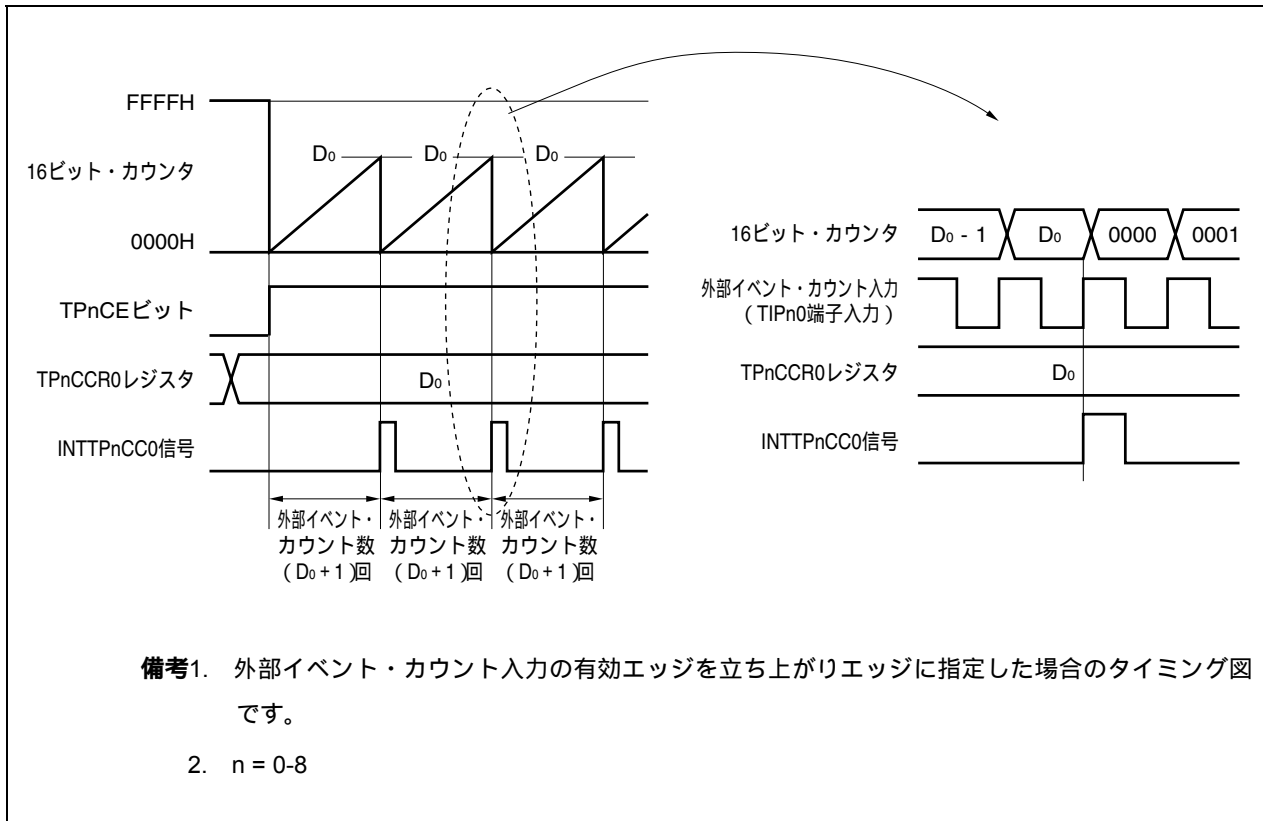


図7-16 外部イベント・カウント・モードの基本タイミング





TPnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することによりカウント動作を行います。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTPnCC0)を発生します。

INTTPnCC0信号の発生は、外部イベント・カウント入力の有効エッジを(TPnCCR0レジスタに設定した値+1)回検出することにより発生します。

図7-17 外部イベント・カウント・モード動作時のレジスタ設定内容(1/2)

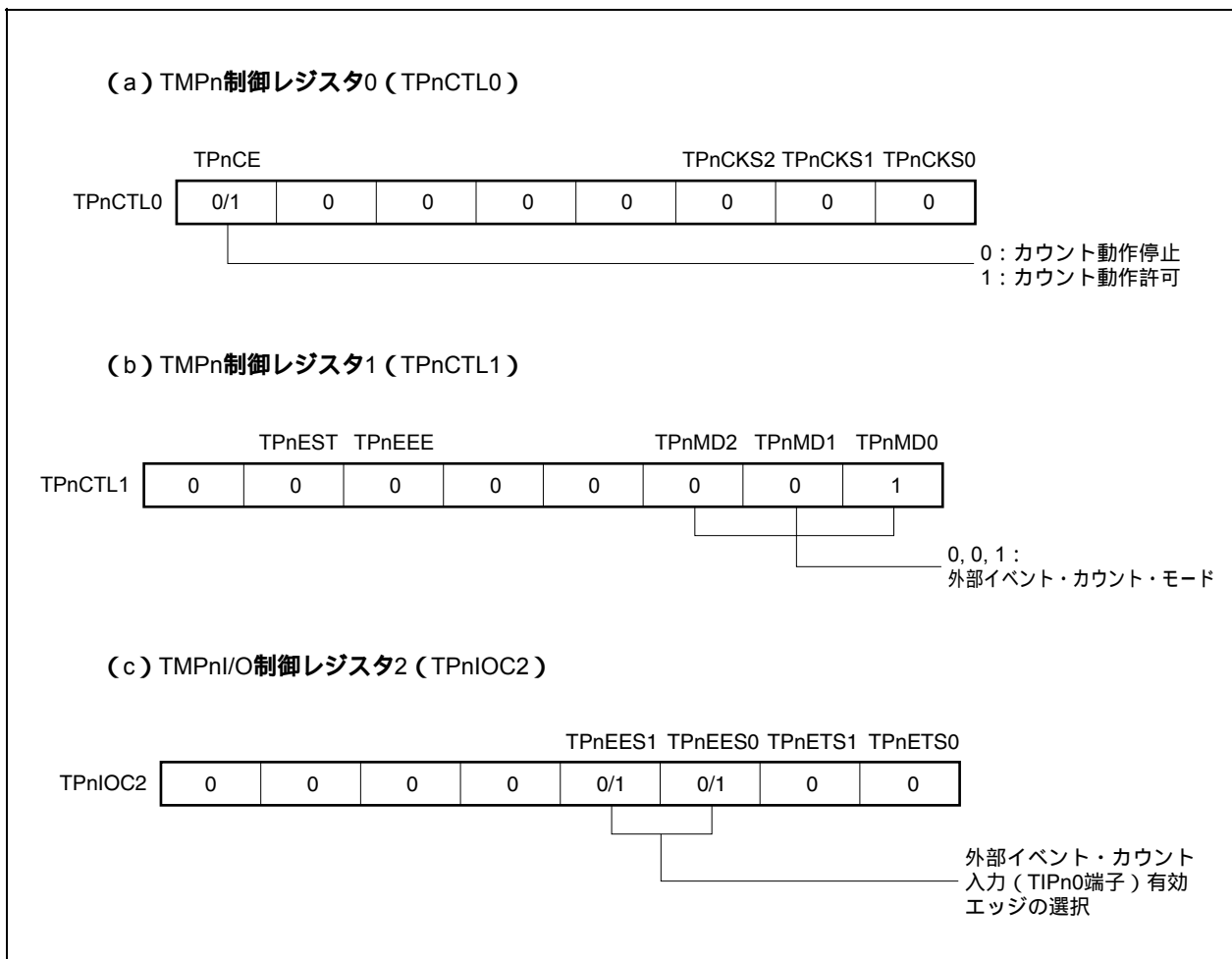


図7-17 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

**(d) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)**

TPnCNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

**(e) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)**

TPnCCR0レジスタにD<sub>0</sub>を設定した場合、外部イベント・カウント数が(D<sub>0</sub>+1)回となるとカウントをクリアしコンペア一致割り込み要求信号 (INTTPnCC0) を発生します。

**(f) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)**

外部イベント・カウント・モードでは、TPnCCR1レジスタは使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTPnCC1) が発生します。

TPnCCR1レジスタを使用しない場合には、TPnCCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TPnCCIC1.TPnCCMK1) でマスク設定してください。

**注意1.** TPnIOC0レジスタには00Hを設定してください。

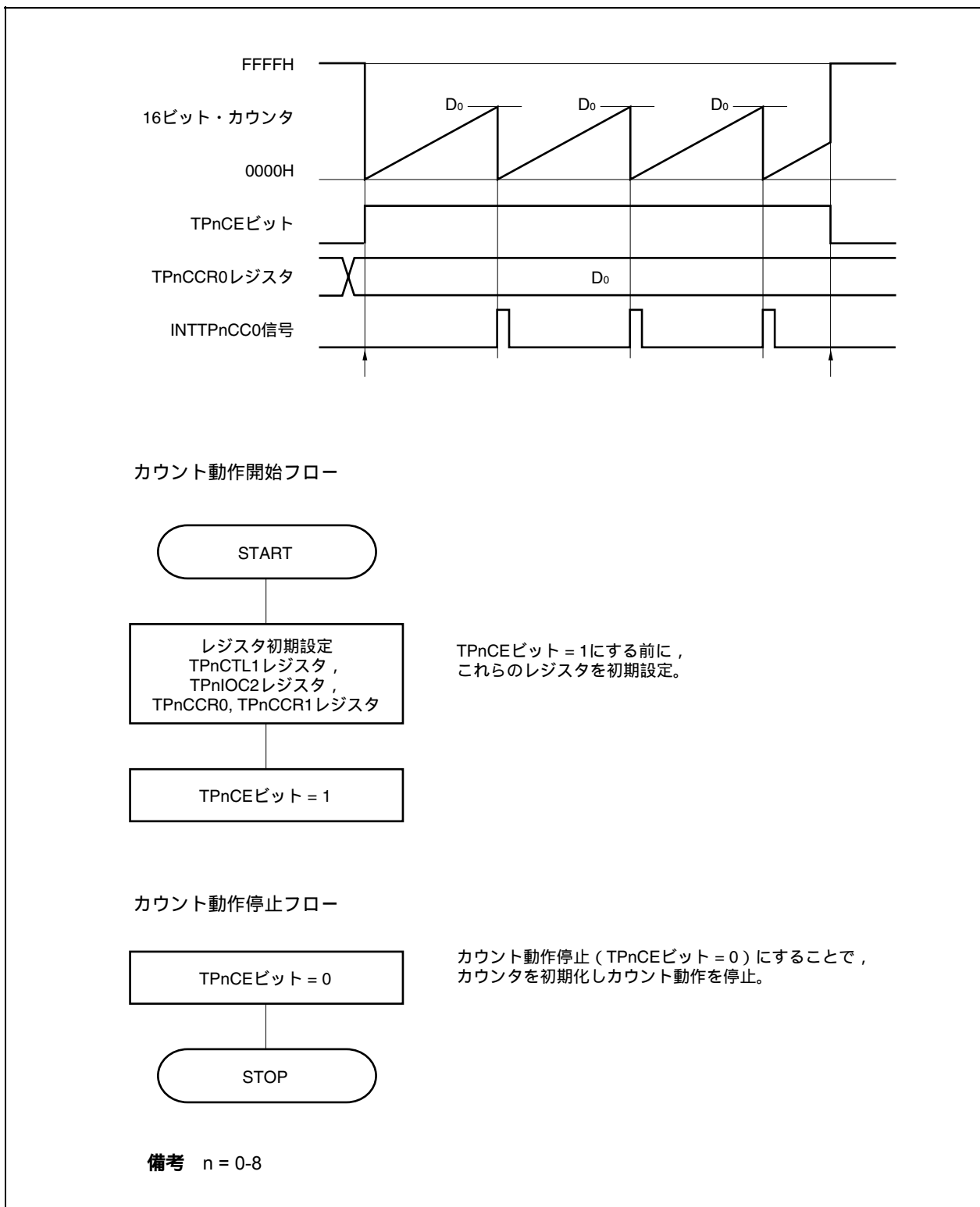
2. カウント・クロックとして外部クロックを使用するときは、外部クロックはTIPn0端子からのみ入力できます。このとき、TPnIOC1.TPnIS1, TPnIS0ビット = 00 (キャプチャ・トリガ入力 (TIPn0端子) : エッジ検出なし) に設定してください。

**備考1.** TMPnI/O制御レジスタ1 (TPnIOC1), TMPnオプション・レジスタ0 (TPnOPT0) は、外部イベント・カウント・モードでは使用しません。

2. n = 0-8

(1) 外部イベント・カウント・モード動作フロー

図7-18 外部イベント・カウント・モード使用時のソフトウェア処理フロー

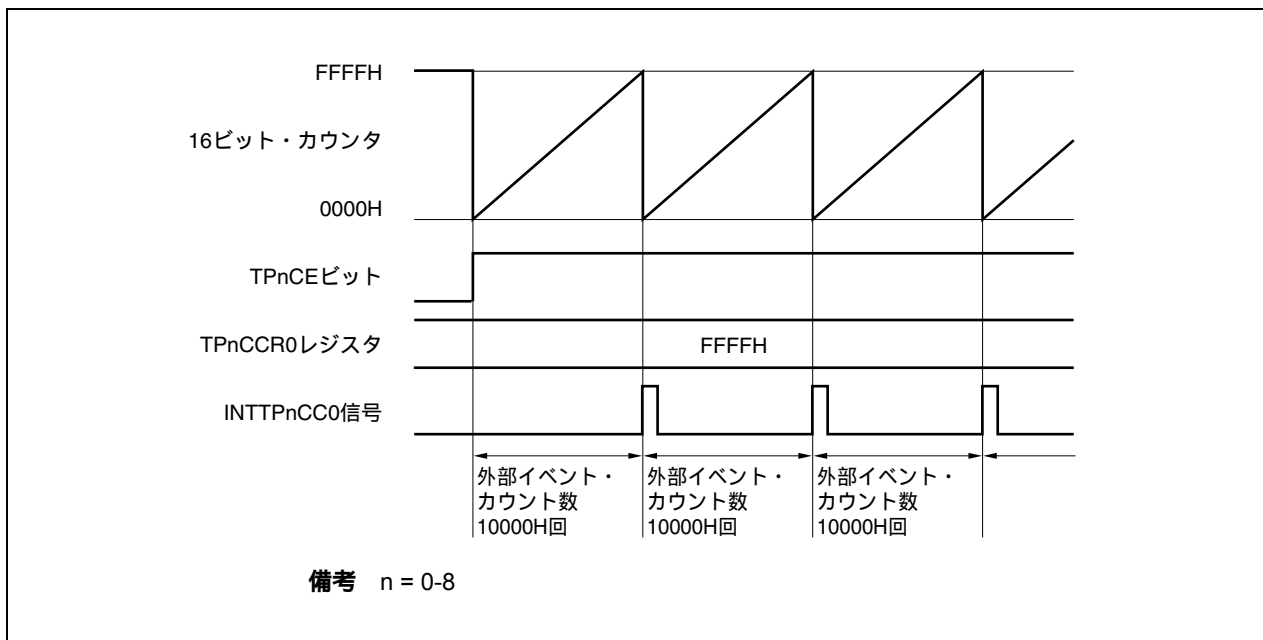


## (2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モード時, TPnCCR0, TPnCCR1レジスタには, 0000Hを設定しないでください。
2. 外部イベント・カウント・モード時, タイマ出力 (TOPn0, TOPn1) は使用禁止です。外部イベント・カウント入力 (TIPn0) でタイマ出力 (TOPn1) を使用する場合は, インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可 (TPnCTL1.TPnEEEビット = 1) に設定してください (7.6.1 (3) 外部イベント・カウント入力 (TIPn0) による動作参照)。

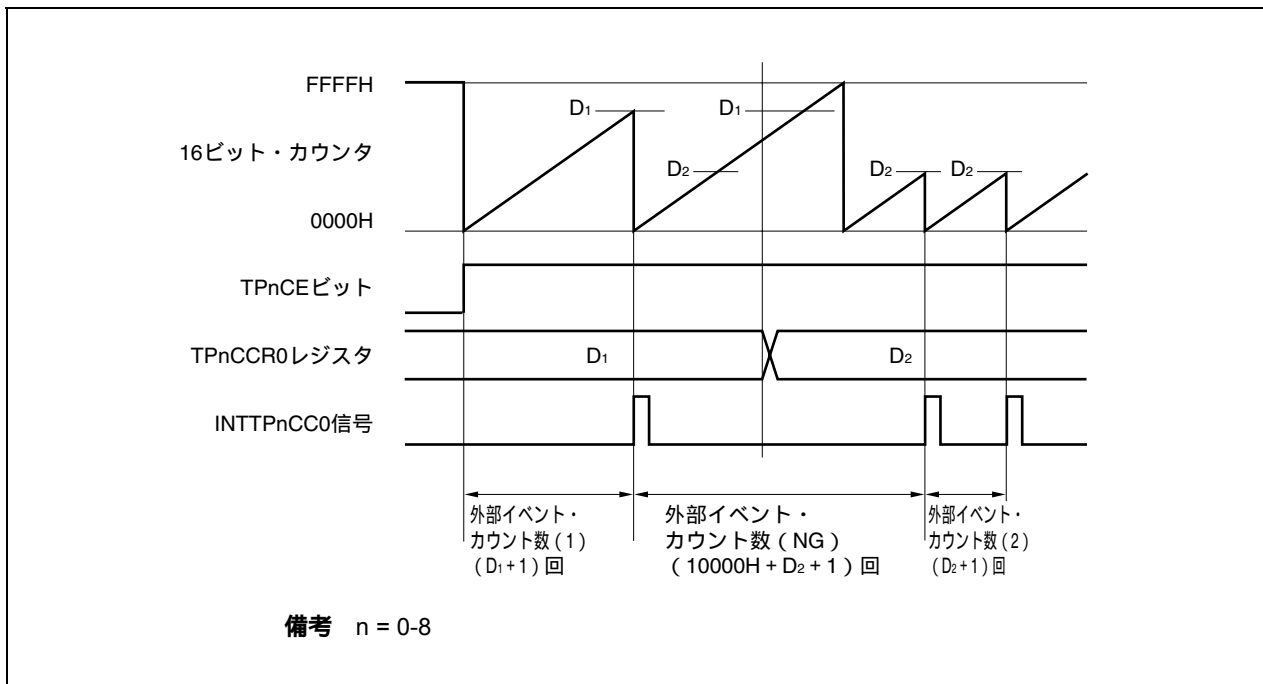
## (a) TPnCCR0レジスタにFFFFHを設定した場合の動作

TPnCCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次のカウント・アップ・タイミングに同期して, 16ビット・カウンタを0000Hにクリアし, INTTPnCC0信号を発生します。このとき, TPnOPT0.TPnOVFビットはセットされません。



## (b) TPnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



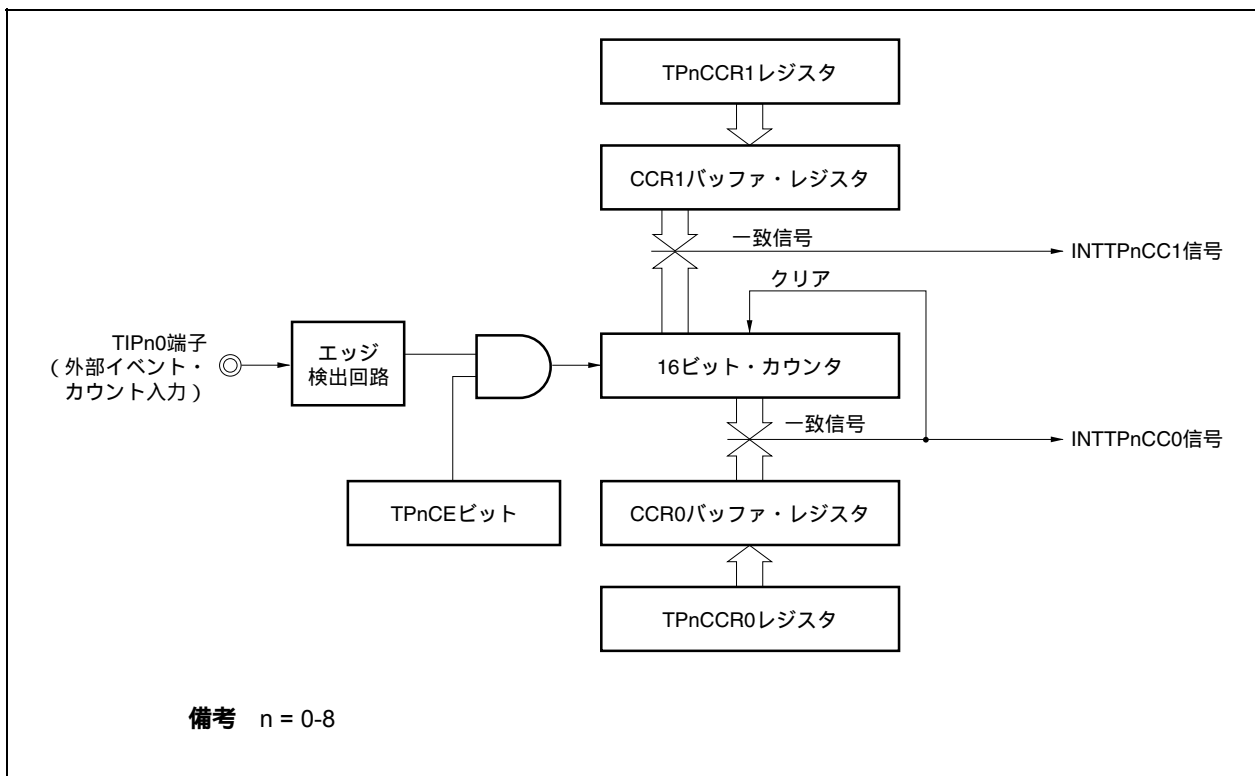
カウント値が $D_2$ よりも大きく $D_1$ よりも小さい状態において、TPnCCR0レジスタを $D_1$ から $D_2$ に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が $D_2$ となります。

しかし、カウント値はすでに $D_2$ を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 $D_2$ との一致でINTTPnCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「 $(D_1 + 1)$ 回」または「 $(D_2 + 1)$ 回」の有効エッジ数でINTTPnCC0信号は発生せずに、「 $(10000H + D_2 + 1)$ 回」の有効エッジ数でINTTPnCC0信号が発生する場合があります。

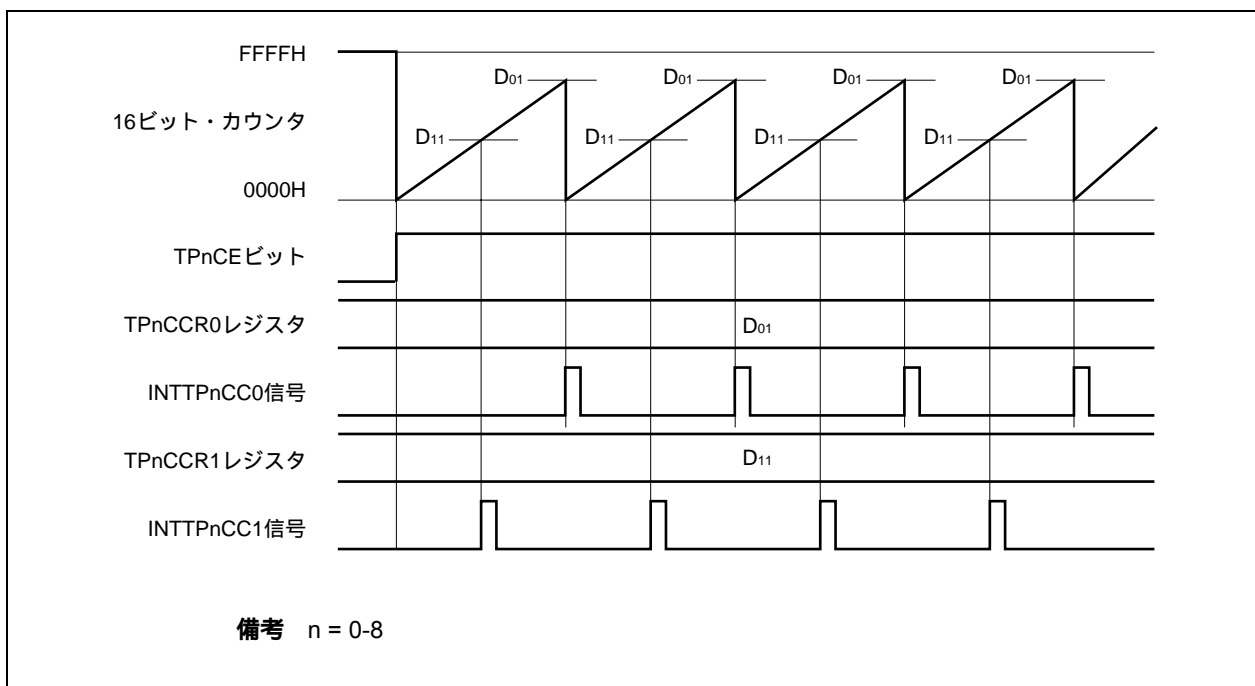
(c) TPnCCR1レジスタの動作

図7 - 19 TPnCCR1レジスタの構成図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。

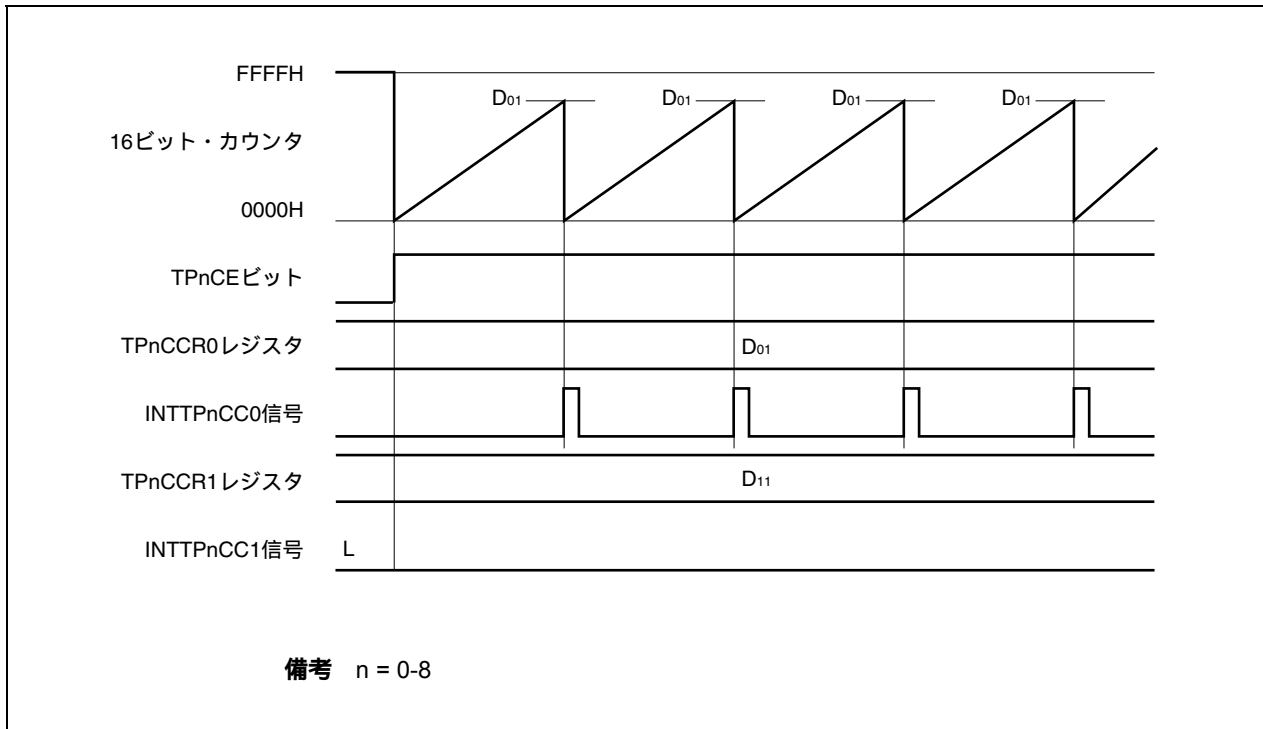
図7 - 20 D<sub>01</sub> D<sub>11</sub>の場合のタイミング図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。

TPnCCR1レジスタを使用しない場合には、TPnCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図7 - 21  $D_{01} < D_{11}$ の場合のタイミング図



### 7.6.3 外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット = 010)

外部トリガ・パルス出力モードは、TPnCTL0.TPnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOPn1端子からPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOPn0端子から、PWM波形の1周期を半周期とする方形波を出力できます。

図7-22 外部トリガ・パルス出力モードの構成図

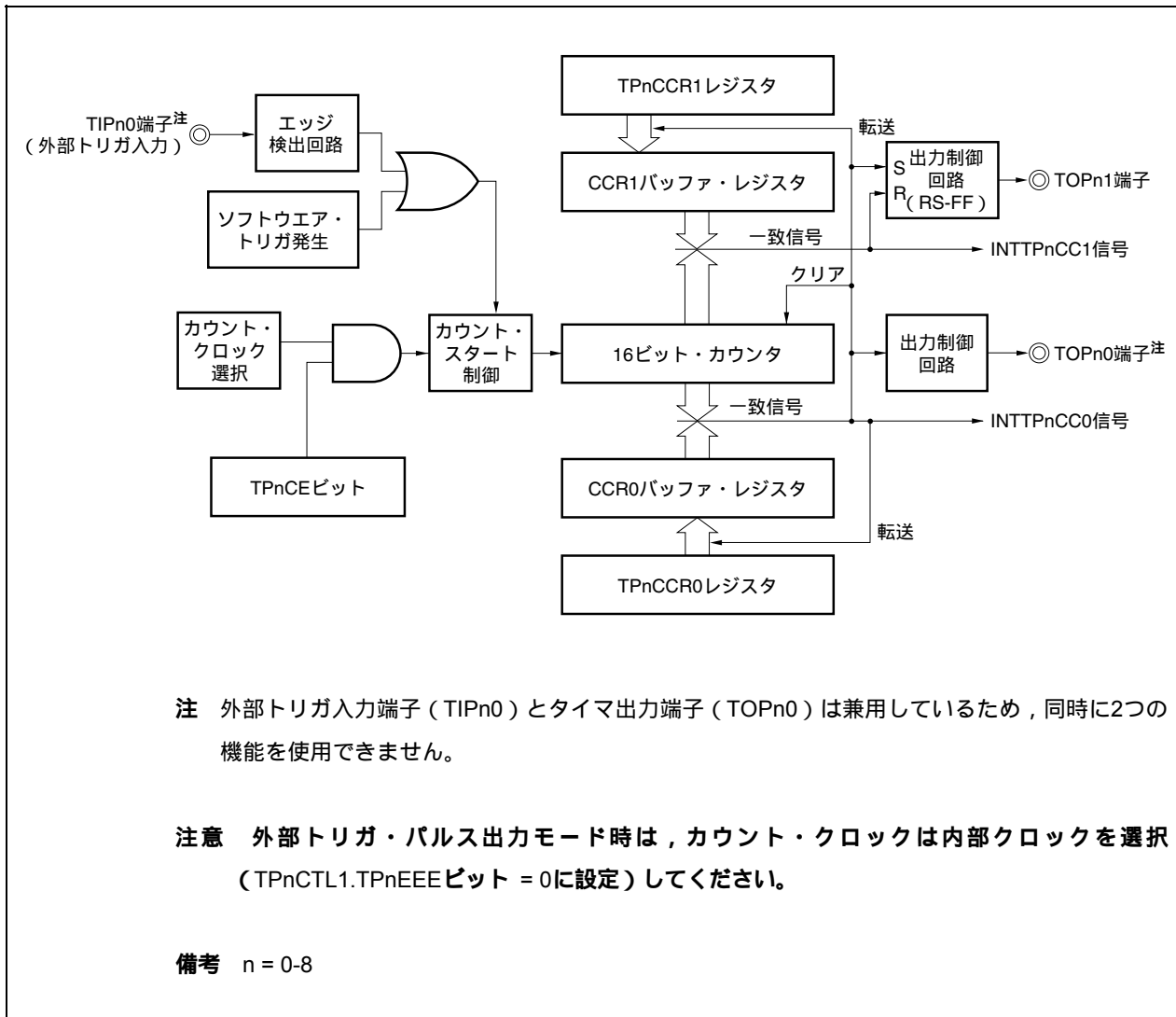
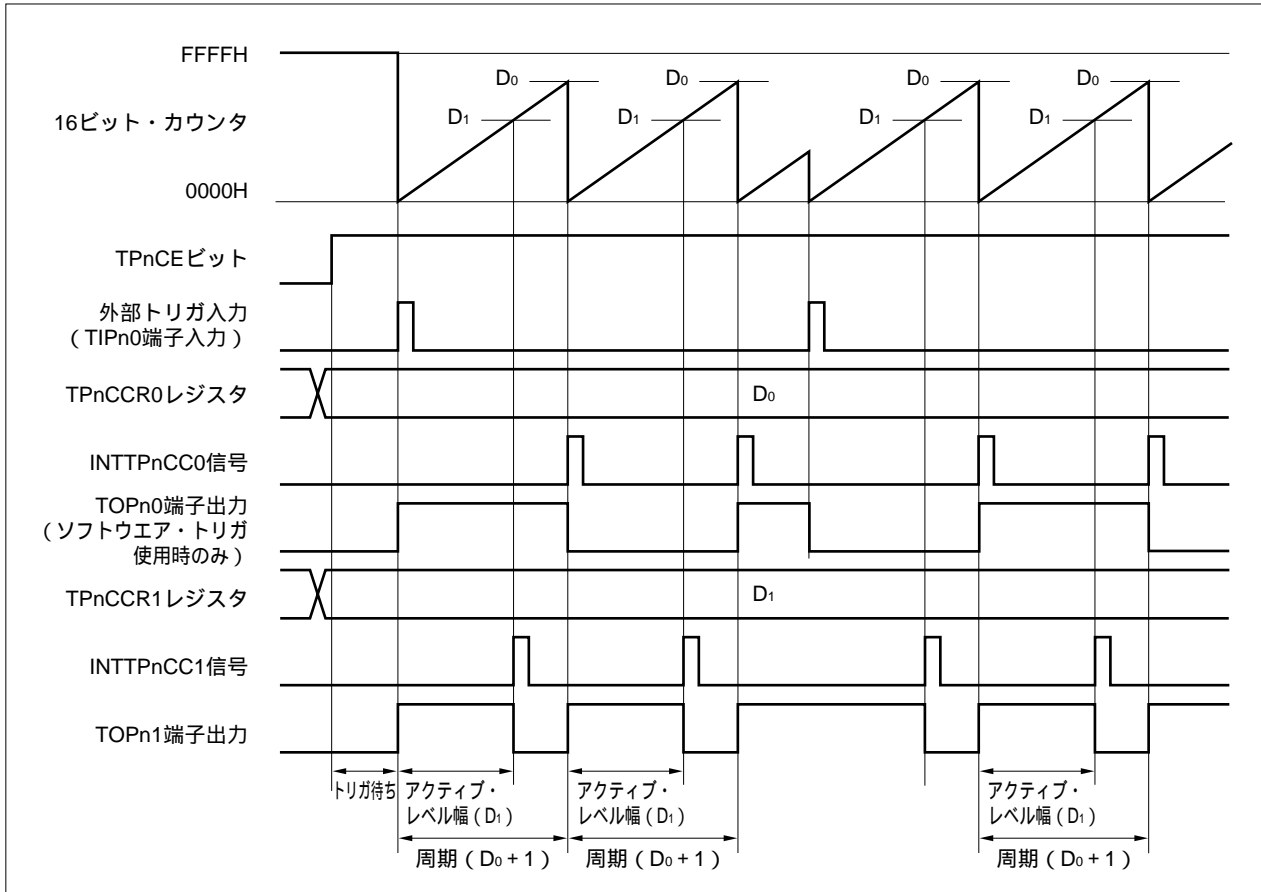




図7-23 外部トリガ・パルス出力モードの基本タイミング



TPnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOPn1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOPn0端子出力は反転します。TOPn1端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TPnCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TPnCCR1レジスタの設定値}) / (\text{TPnCCR0レジスタの設定値} + 1)$$

コンパレー一致割り込み要求信号(INTTPnCC0)は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号(INTTPnCC1)は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPnCCR<sub>a</sub>レジスタに設定した値は、16ビット・カウンタのカウンタ値とCCR<sub>a</sub>バッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCR<sub>a</sub>バッファ・レジスタに転送されます。

トリガには、外部トリガ入力(TIPn0)の有効エッジ、またはソフトウェア・トリガ(TPnCTL1.TPnESTビット)のセット(1)があります。

備考 n = 0-8, a = 0, 1

図7-24 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

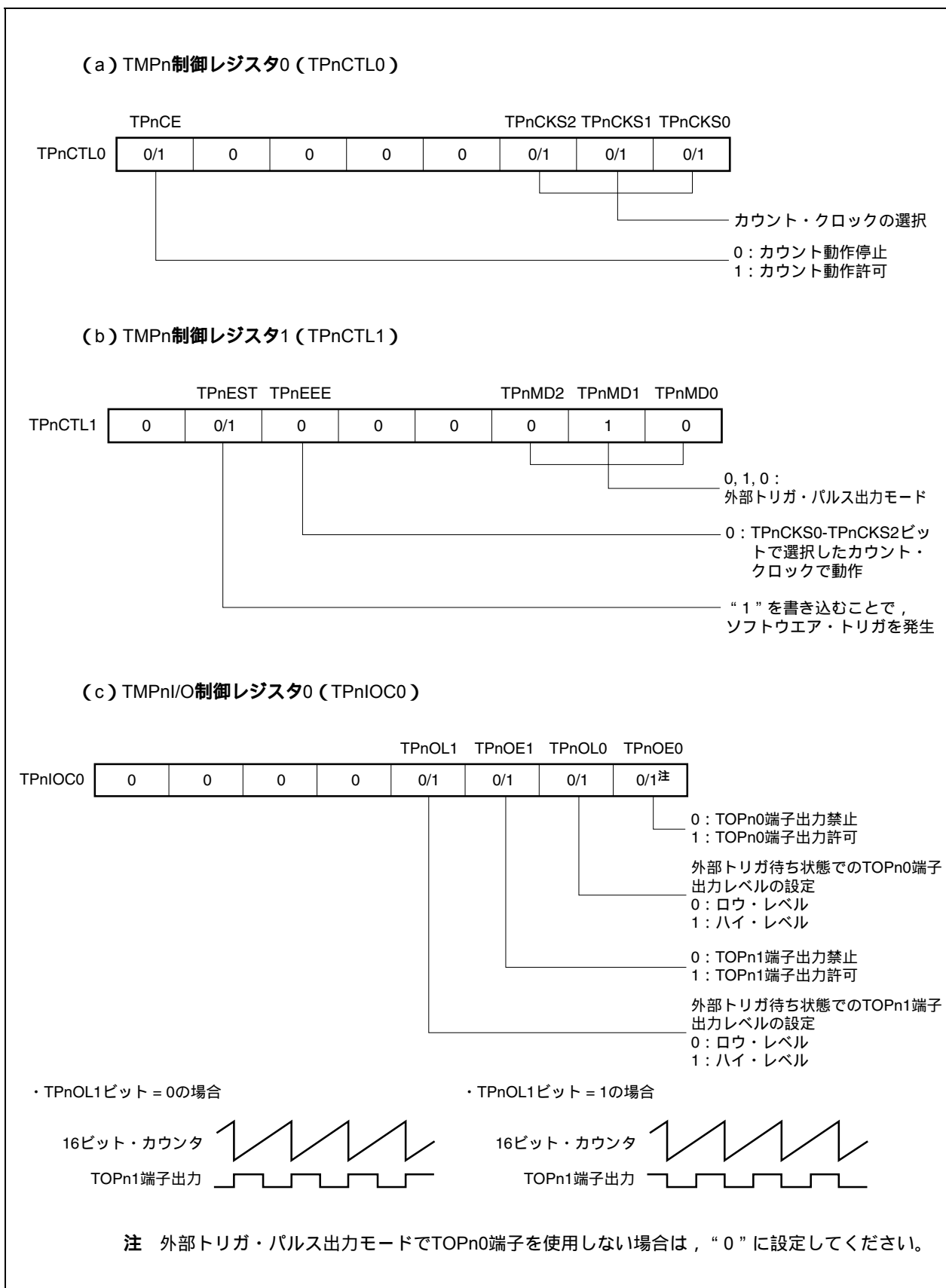
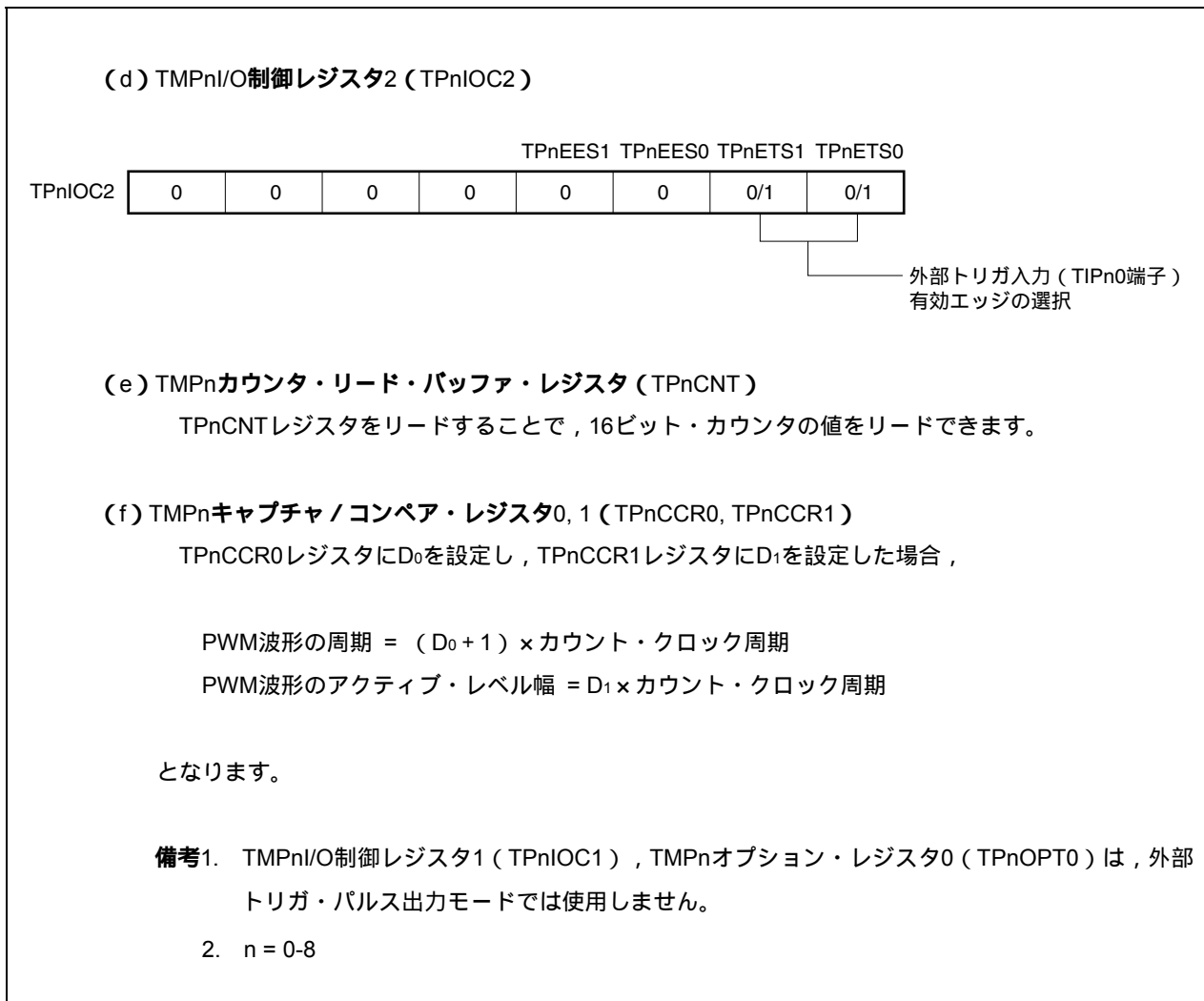


図7-24 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) 外部トリガ・パルス出力モード動作フロー

図7-25 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

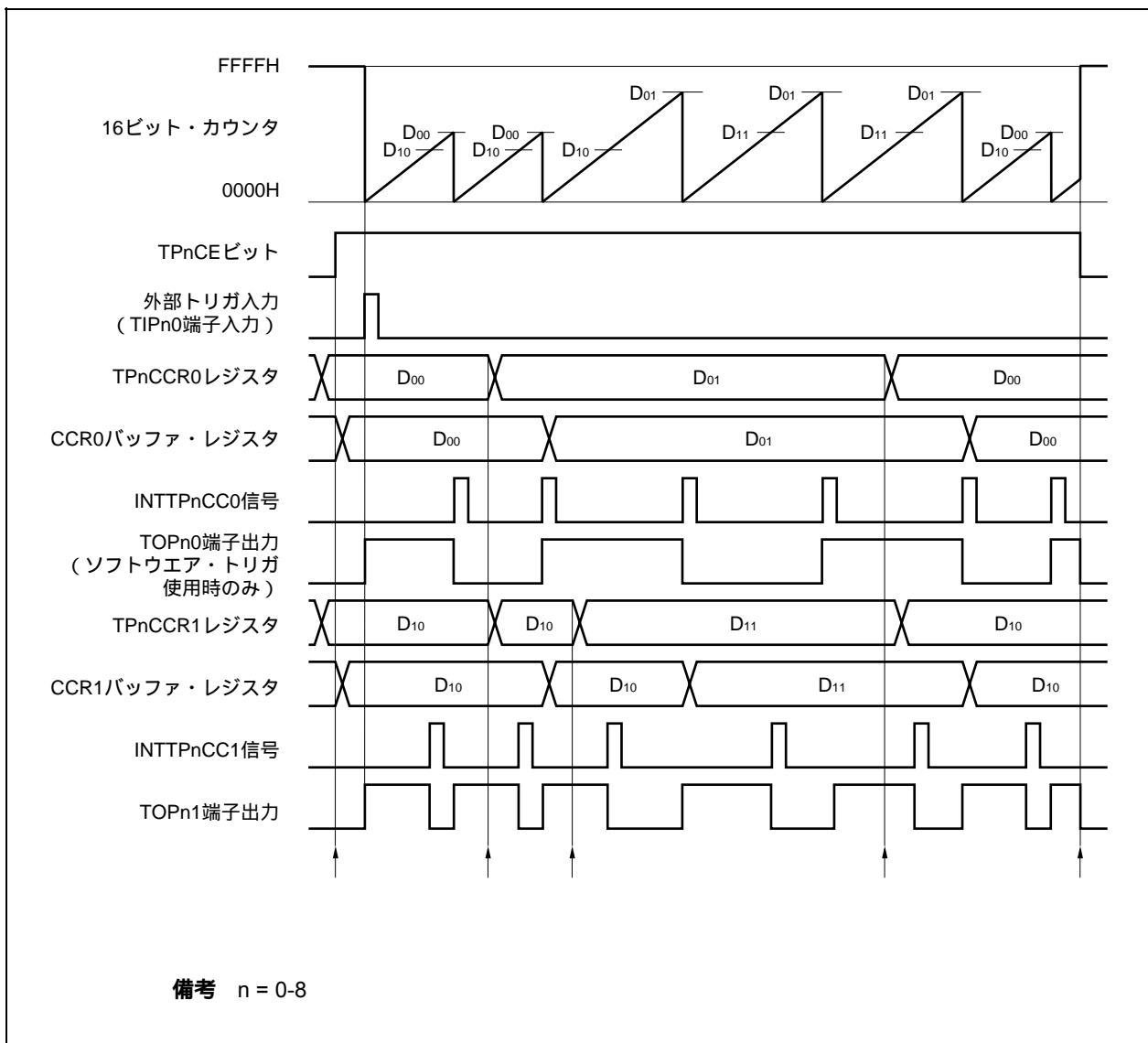
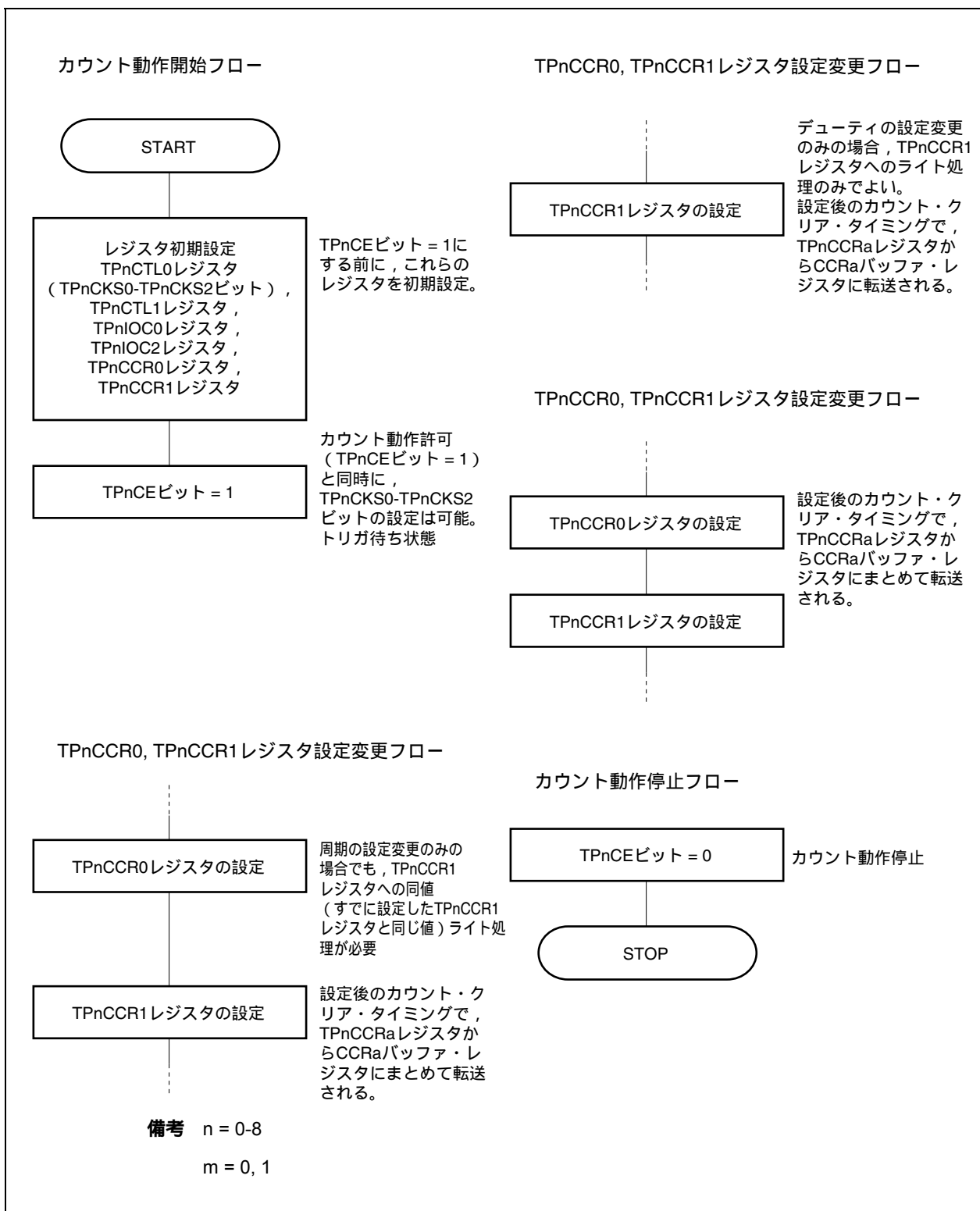


図7 - 25 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

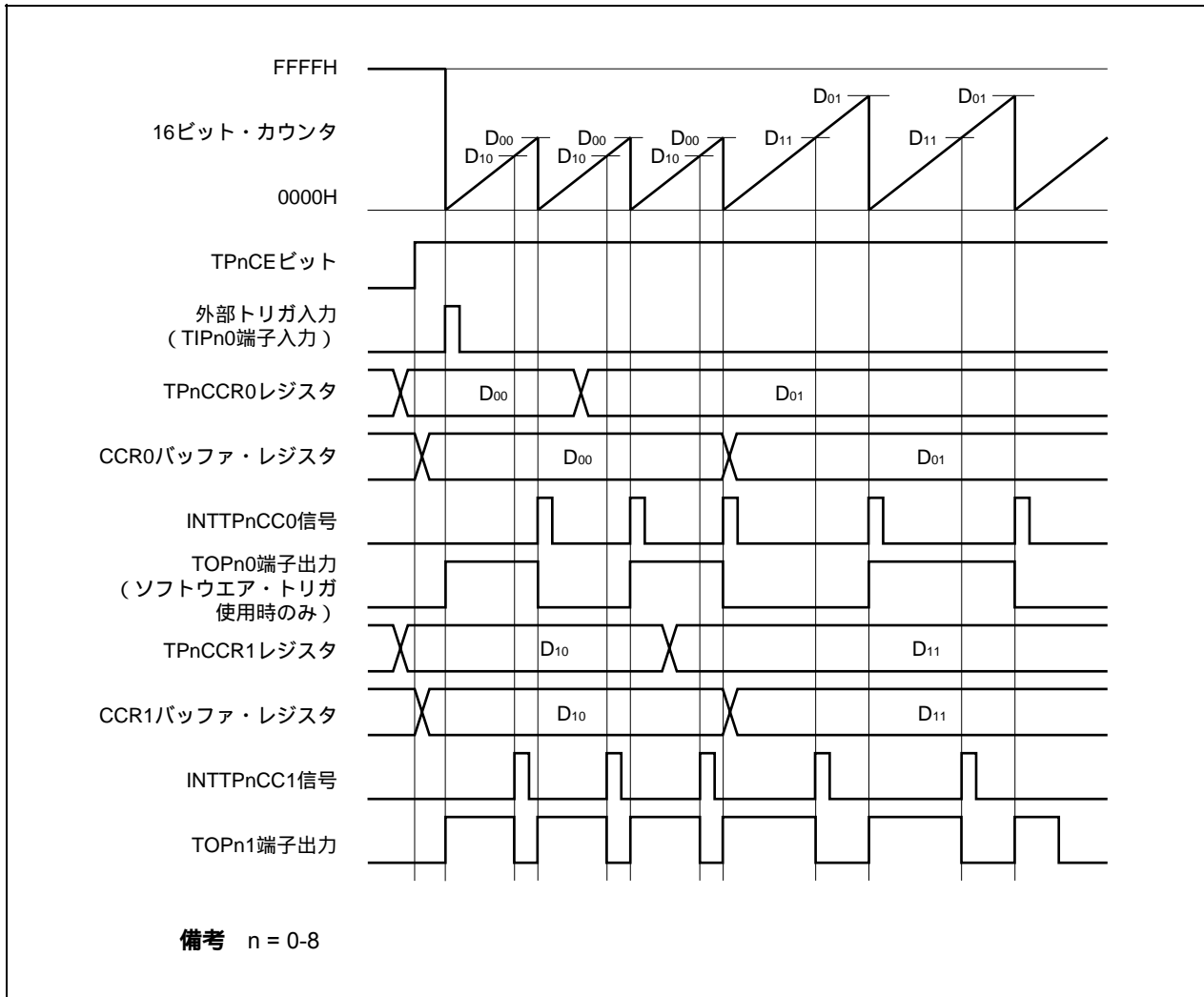


## (2) 外部トリガ・パルス出力モード動作タイミング

## (a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRmレジスタの書き換えを行う場合には、INTTPnCC0信号を検出後に書き換えてください。



TPnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタに同値（すでに設定したTPnCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

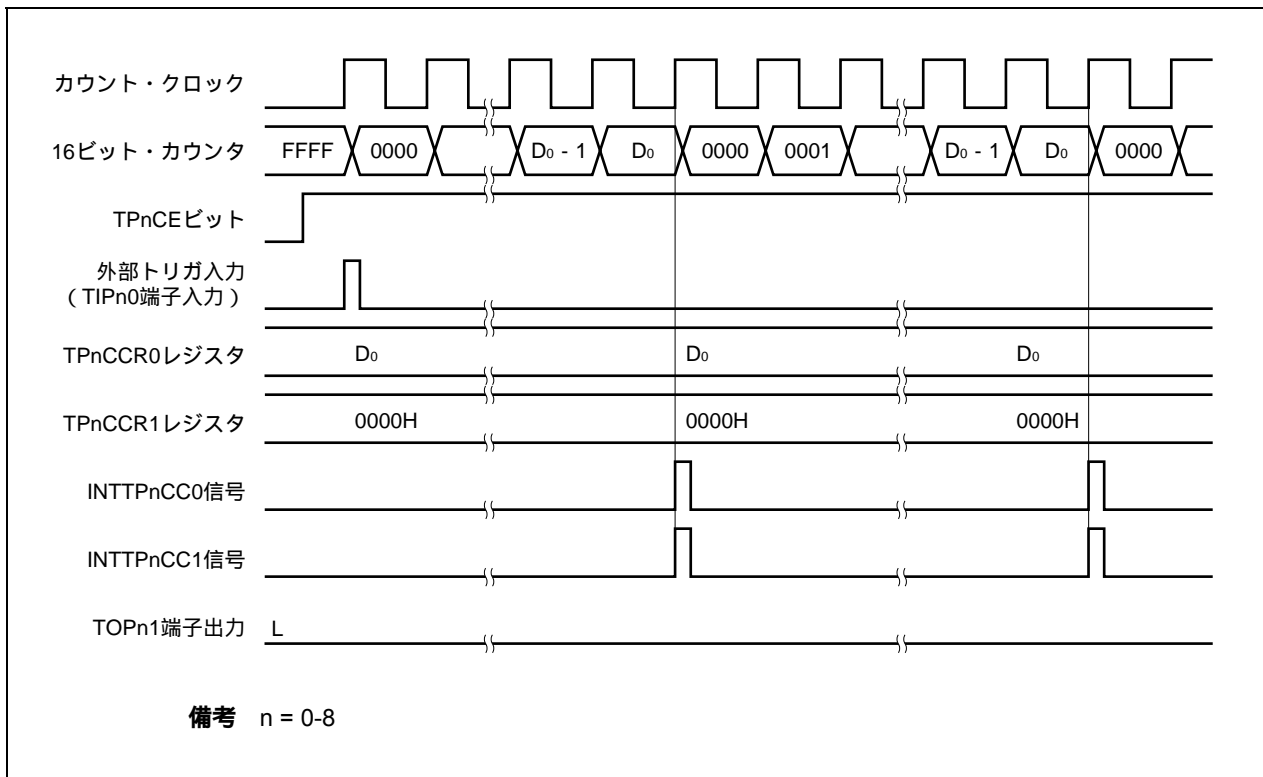
また、一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0、またはTPnCCR1レジスタへのライトを行う場合は、INTTPnCC0信号の発生後に行ってください。これを守れない場合には、TPnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TPnCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

**備考** n = 0-8

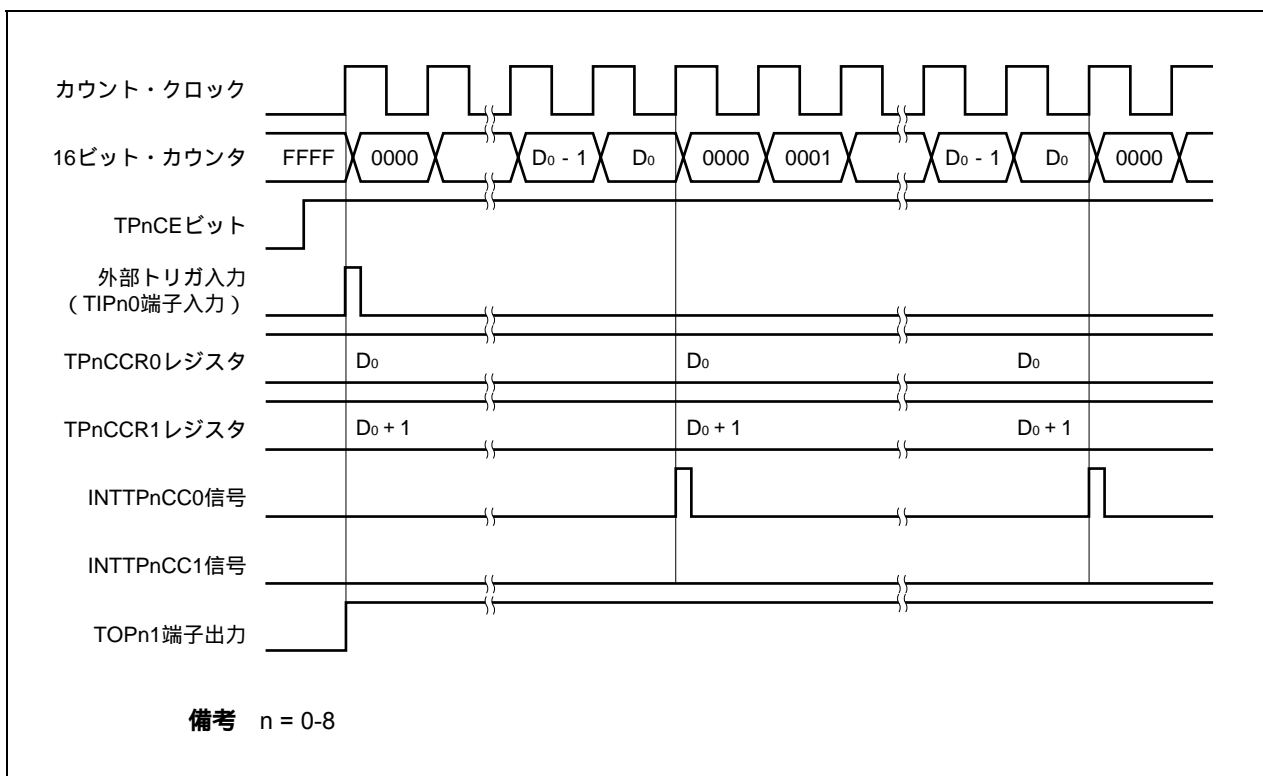
a = 0, 1

## (b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TPnCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTPnCC0信号とINTTPnCC1信号が発生します。



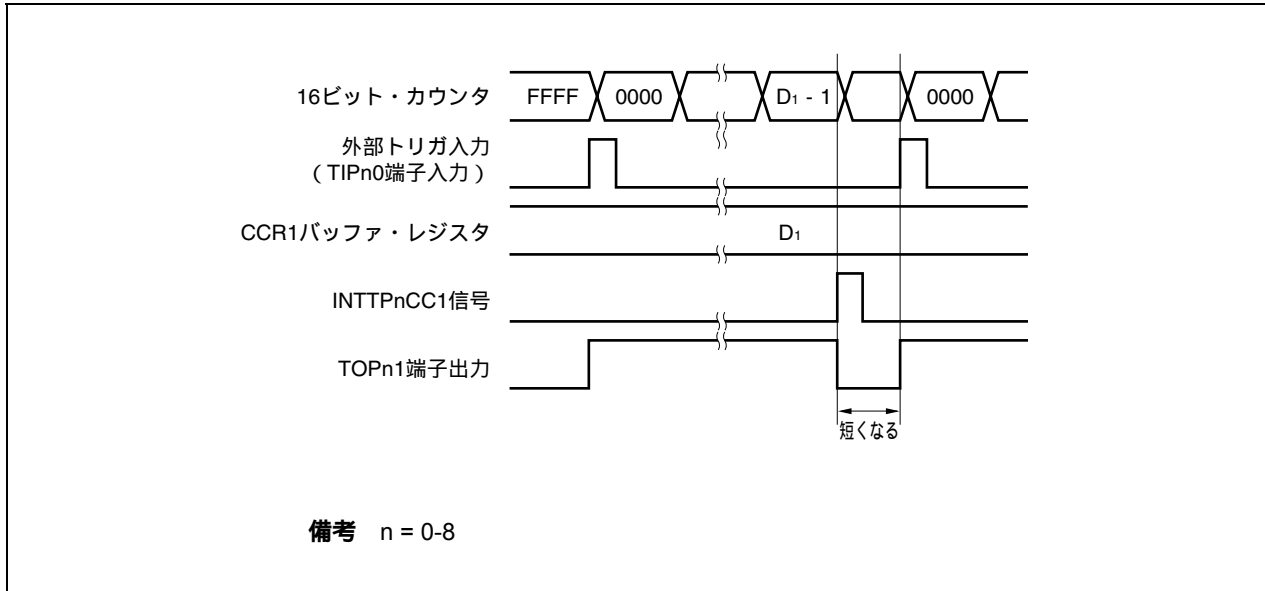
100 % 波形を出力するためには、TPnCCR1レジスタに対して (TPnCCR0レジスタの設定値 + 1) の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には、100 % 出力はできません。



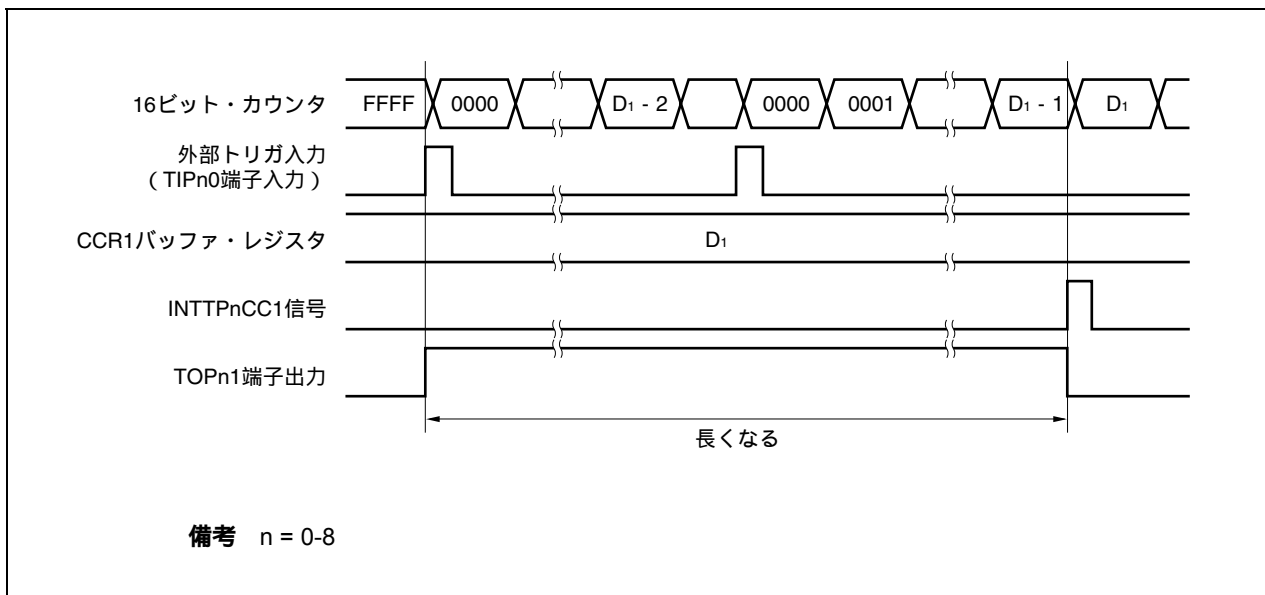


## (c) トリガ検出とCCR1バッファ・レジスタとの一致の競合

INTTPnCC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOPn1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

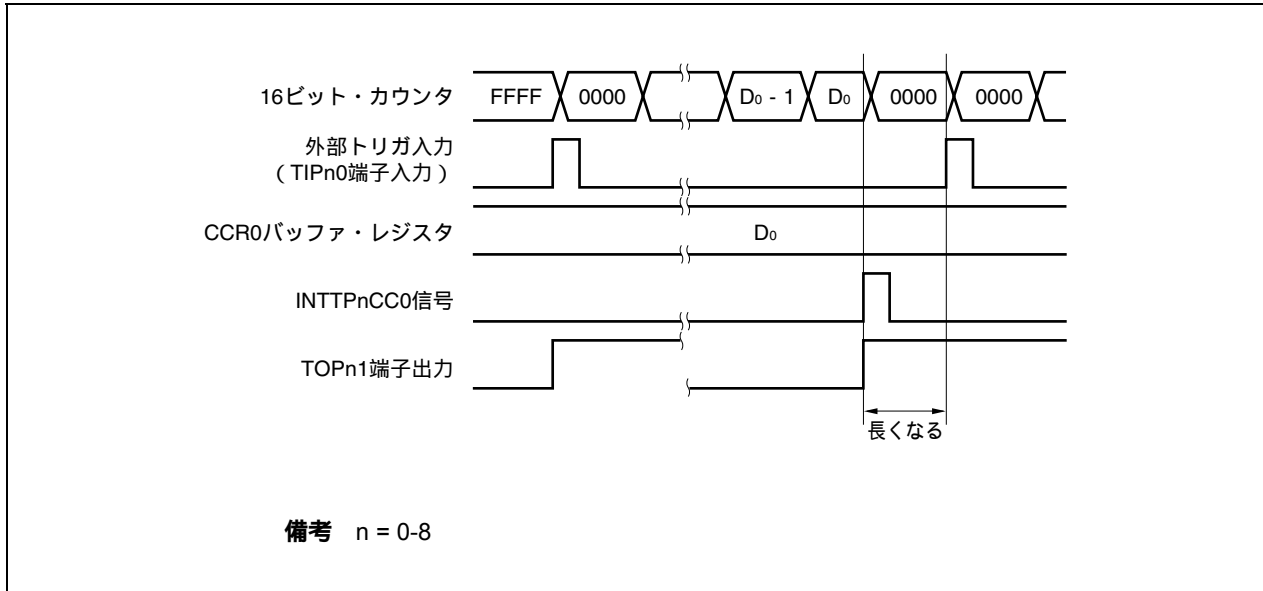


INTTPnCC1信号発生直前にトリガを検出した場合には、INTTPnCC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOPn1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

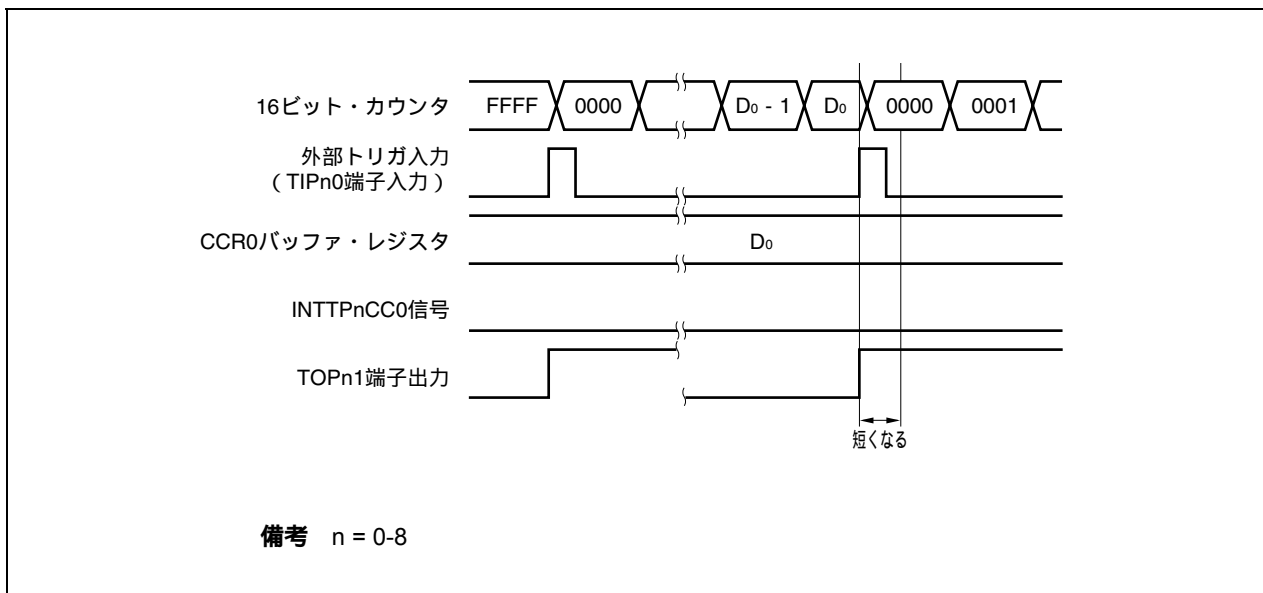


## (d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTPnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOPn1端子出力のアクティブ期間が、INTTPnCC0信号発生からトリガ検出までの分だけ長くなります。

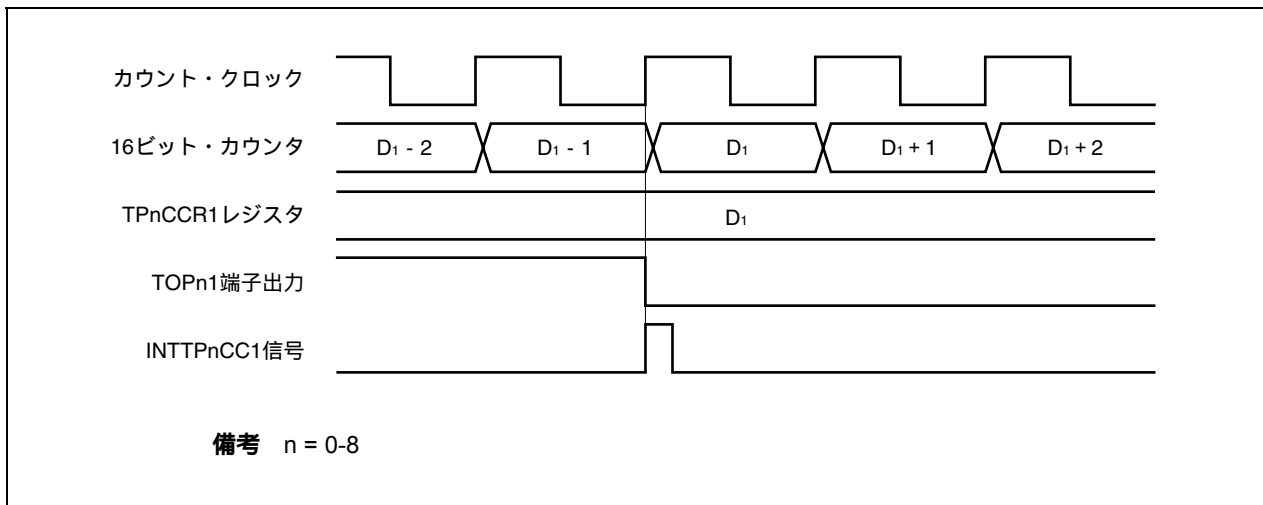


INTTPnCC0信号発生直前にトリガを検出した場合、INTTPnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOPn1端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



## (e) コンパレー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのモードのINTTPnCC1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



通常、INTTPnCC1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 7.6.4 ワンショット・パルス出力モード (TPnMD2-TPnMD0ビット = 011)

ワンショット・パルス出力モードは、TPnCTL0.TPnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力(TIPn0)の有効エッジを検出すると、カウント動作を開始し、TOPn1端子からワンショット・パルスを出力します。

外部トリガ入力(TIPn0)の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合、TOPn0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図7-26 ワンショット・パルス出力モードの構成図

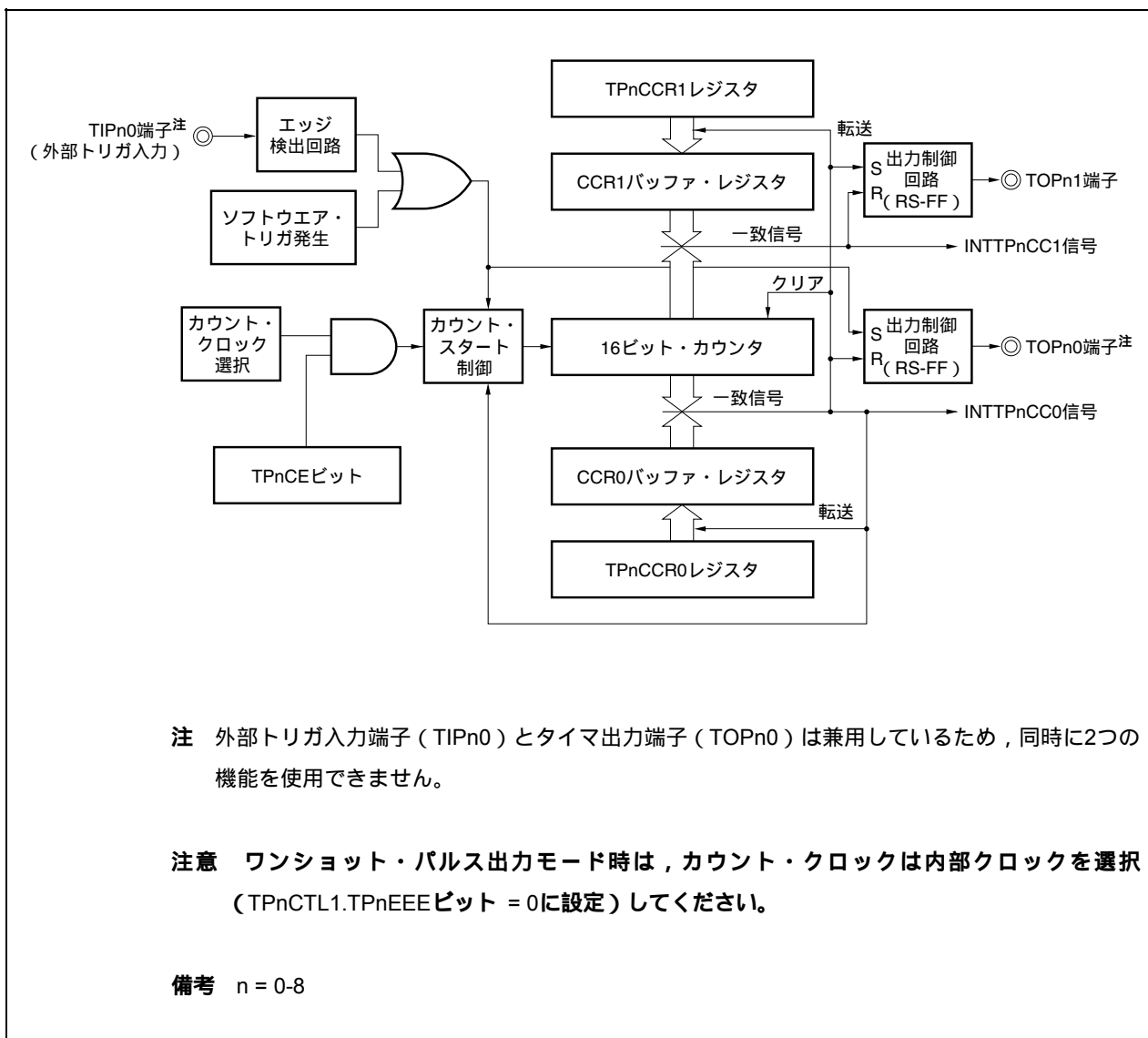
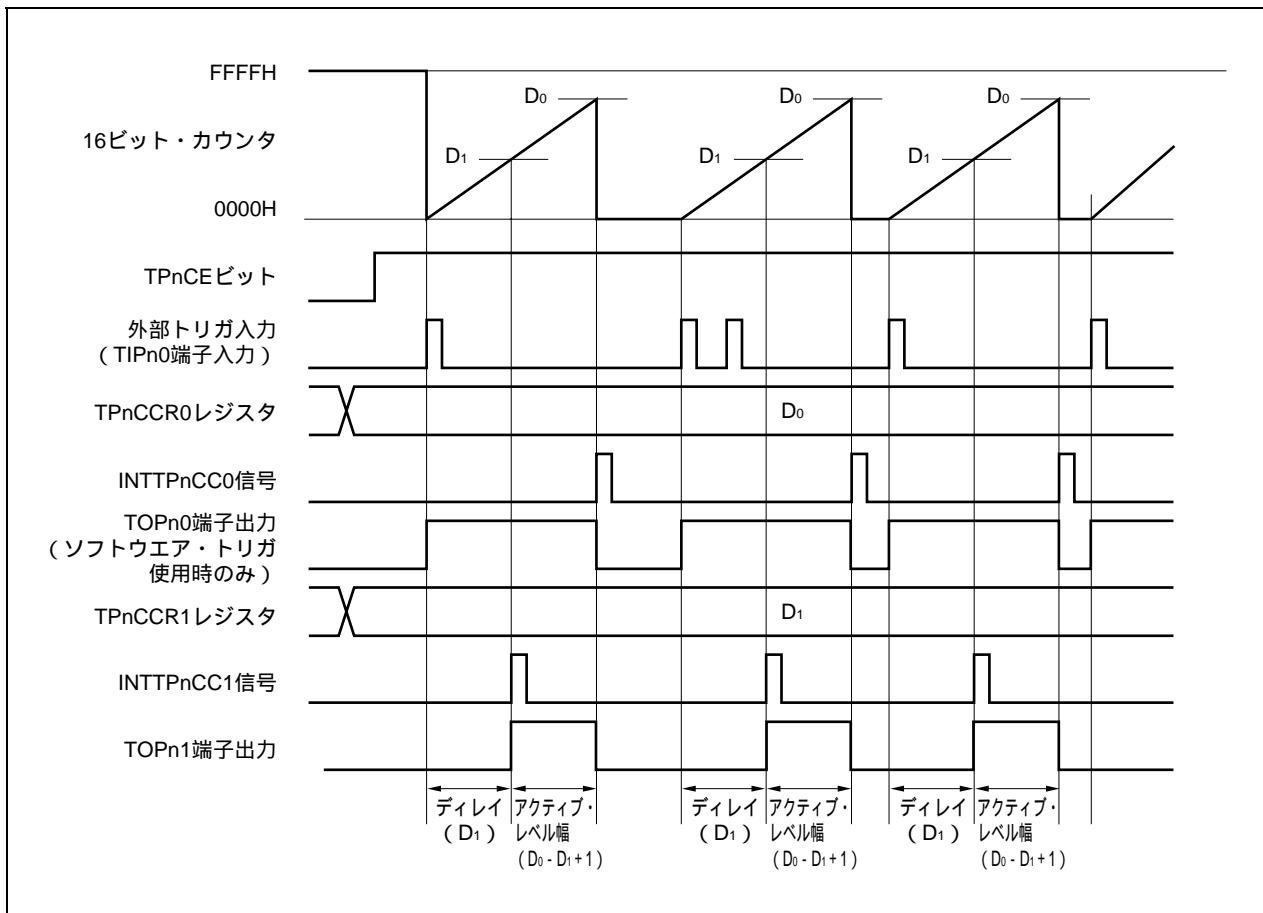


図7-27 ワンショット・パルス出力モードの基本タイミング



TPnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOPn1端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウンタ動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hからカウンタ動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 = (TPnCCR1レジスタの設定値) × カウンタ・クロック周期

アクティブ・レベル幅 = (TPnCCR0レジスタの設定値 - TPNCCR1レジスタの設定値 + 1)  
× カウンタ・クロック周期

コンペアー一致割り込み要求信号 (INTTPnCC0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTPnCC1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (TIPn0端子) の有効エッジ、またはソフトウェア・トリガ (TPnCTL1.TPnESTビット) のセット(1)があります。

備考 n = 0-8

図7-28 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

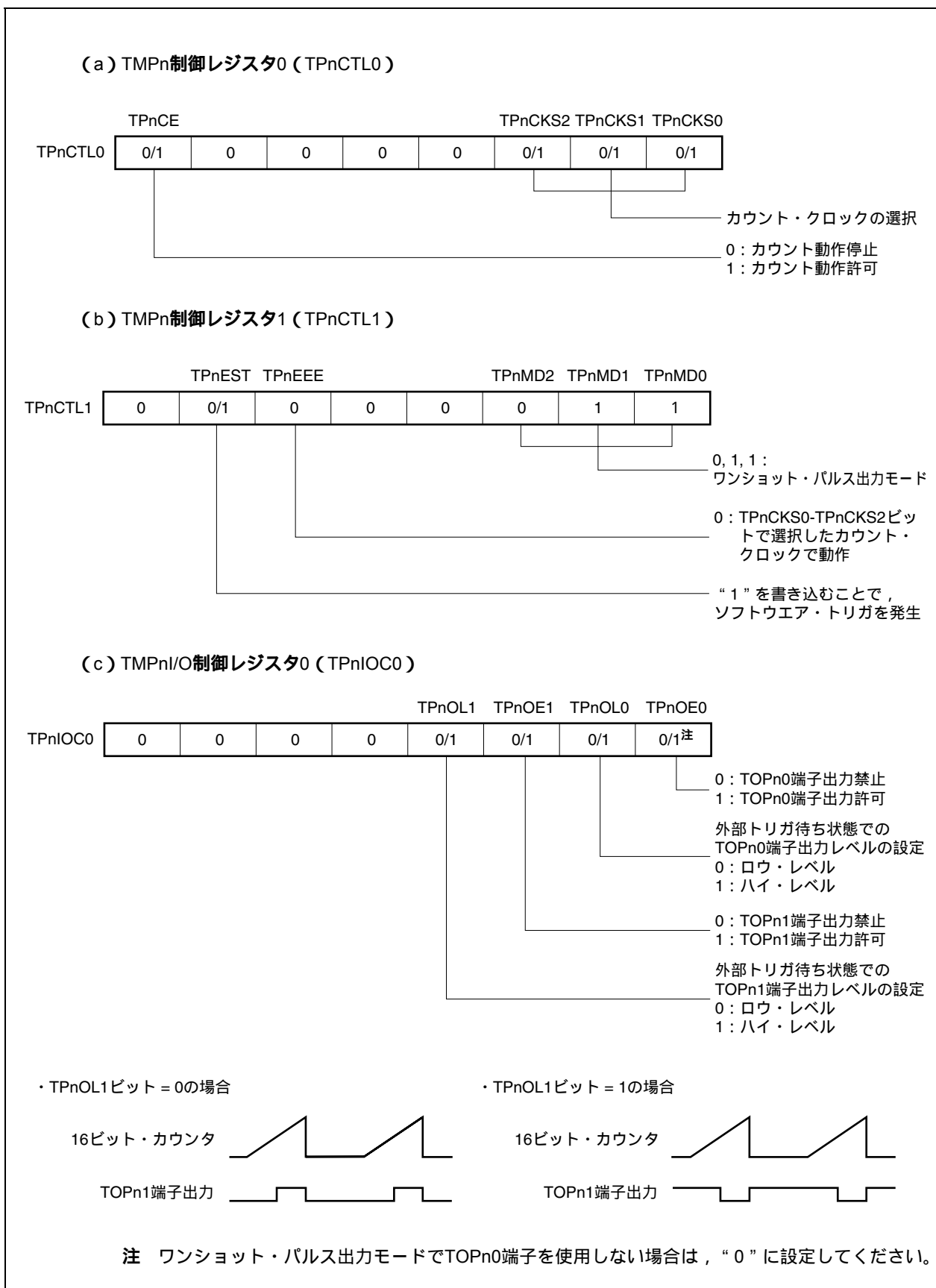
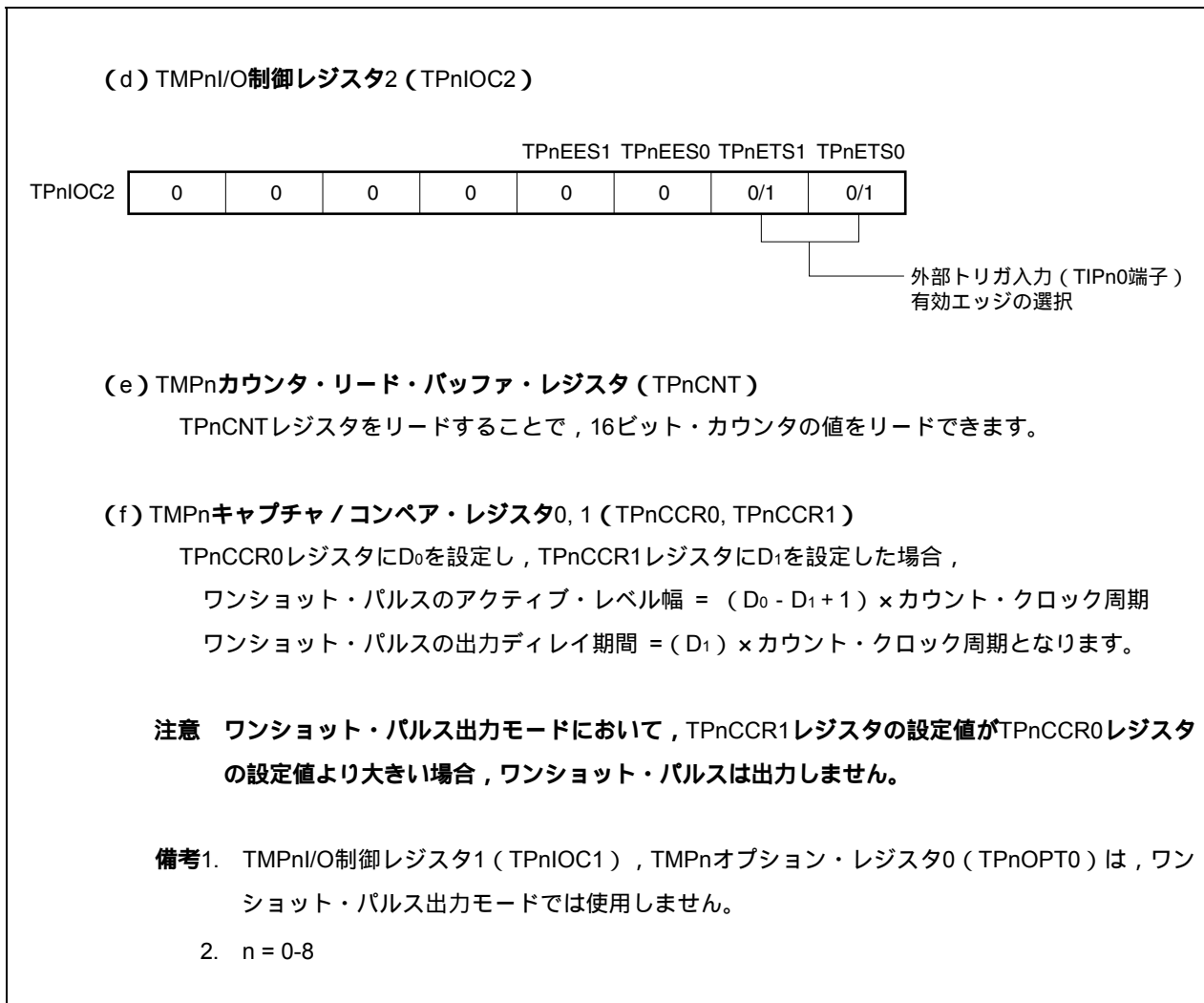
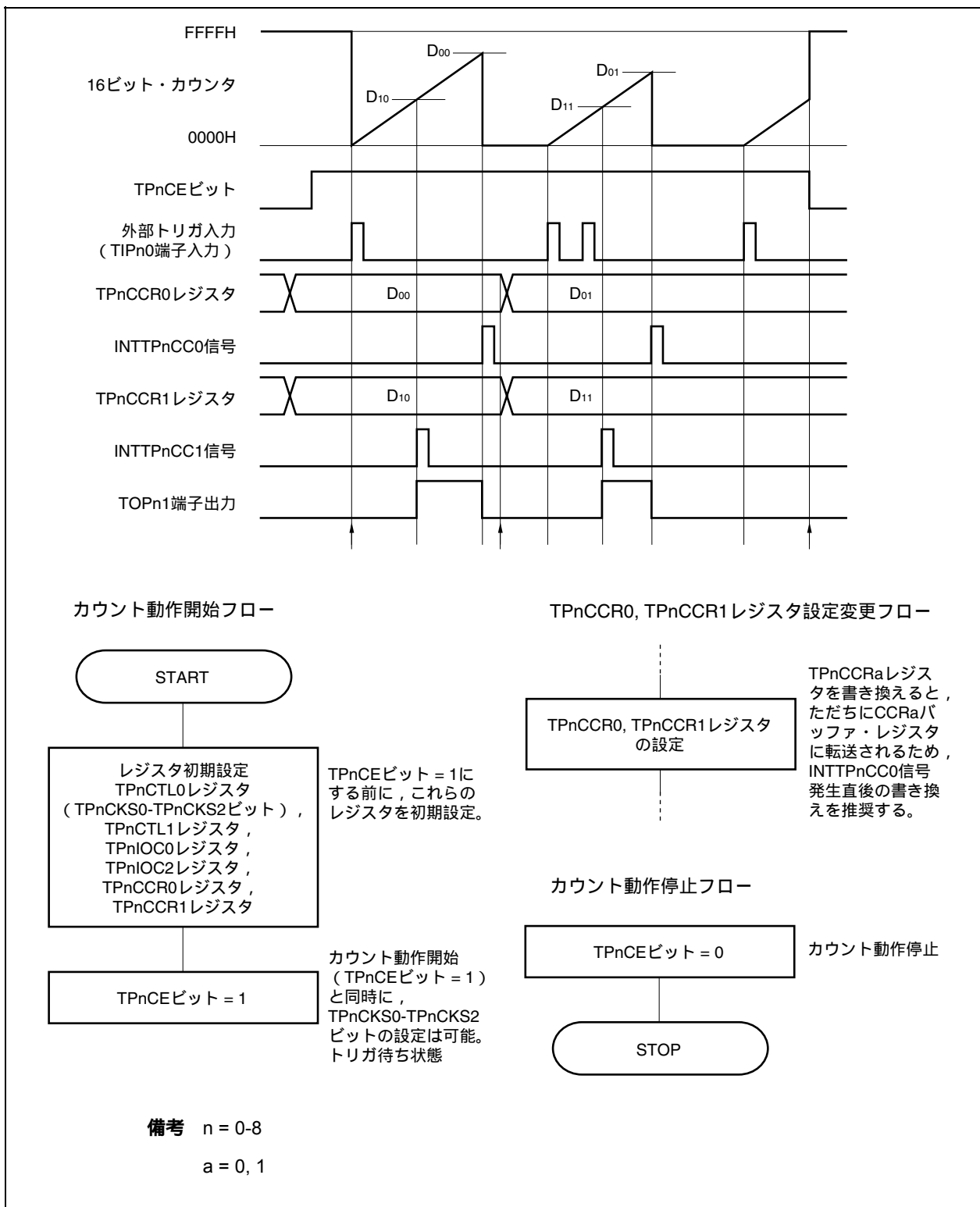


図7-28 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) ワンショット・パルス出力モード動作フロー

図7-29 ワンショット・パルス出力モード使用時のソフトウェア処理フロー

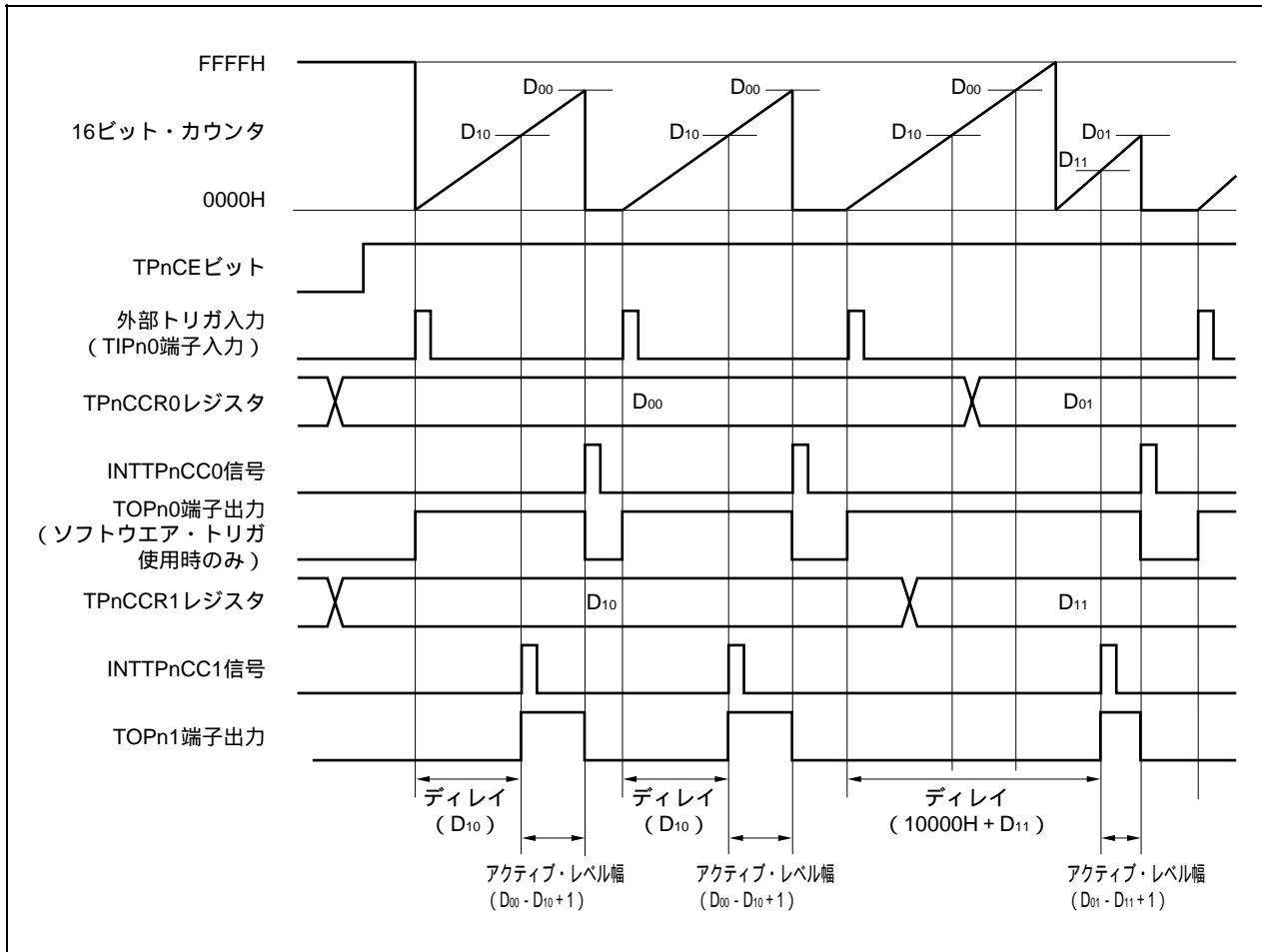




## (2) ワンショット・パルス出力モード動作タイミング

## (a) TPnCCRaレジスタの書き換えに関する注意事項

カウント動作中にTPnCCRaレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



TPnCCR0レジスタをD00からD01に、TPnCCR1レジスタをD10からD11に書き換える場合において、 $D_{00} > D_{01}$ 、 $D_{10} > D_{11}$ の状態では、16ビット・カウンタのカウント値がD11よりも大きくD10よりも小さい状態のときTPnCCR1レジスタを書き換え、カウント値がD01よりも大きくD00よりも小さい状態でTPnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D11との一致でINTTPnCC1信号を発生してTOPn1端子出力をアクティブ・レベルにし、D01との一致でINTTPnCC0信号を発生してTOPn1端子出力をインアクティブにしてカウント動作を停止します。

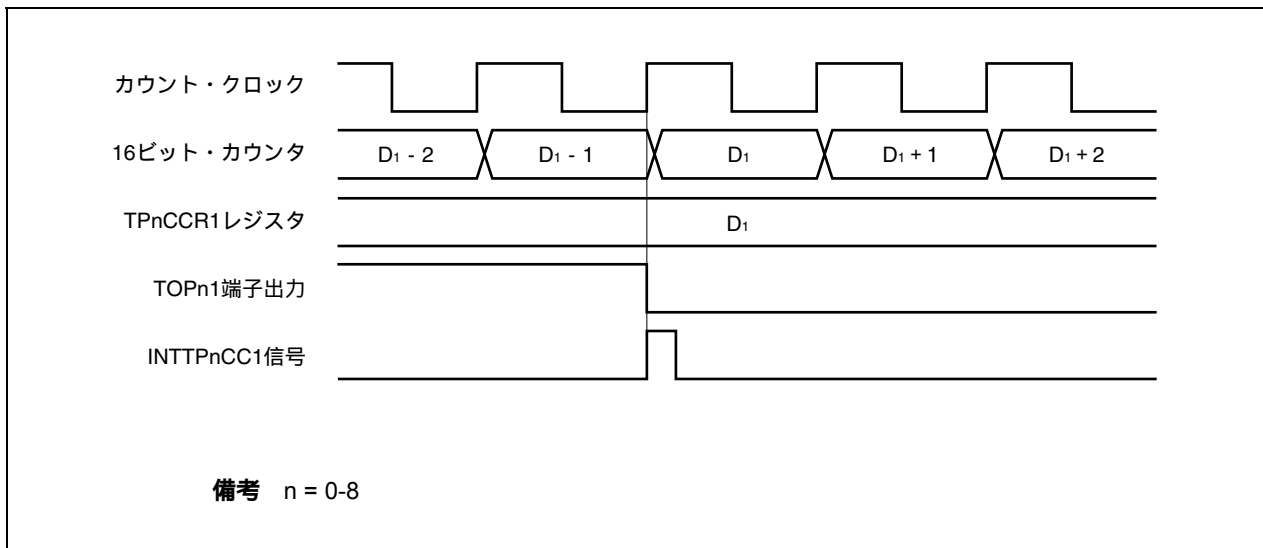
したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 n = 0-8

a = 0, 1

## (b) コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのモードのINTTPnCC1信号と異なり、16ビット・カウンタのカウント値とTPnCCR1レジスタの値との一致と同時に発生します。



通常、INTTPnCC1信号は、16ビット・カウンタのカウント値とTPnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

備考 n = 0-8

### 7.6.5 PWM出力モード (TPnMD2-TPnMD0ビット = 100)

PWM出力モードは、TPnCTL0.TPnCEビットをセット(1)することで、TOPn1端子からPWM波形を出力します。

また、TOPn0端子から、TPnCCR0レジスタの設定値+1を半周期とする50%デューティの方形波を出力します。

図7-30 PWM出力モードの構成図

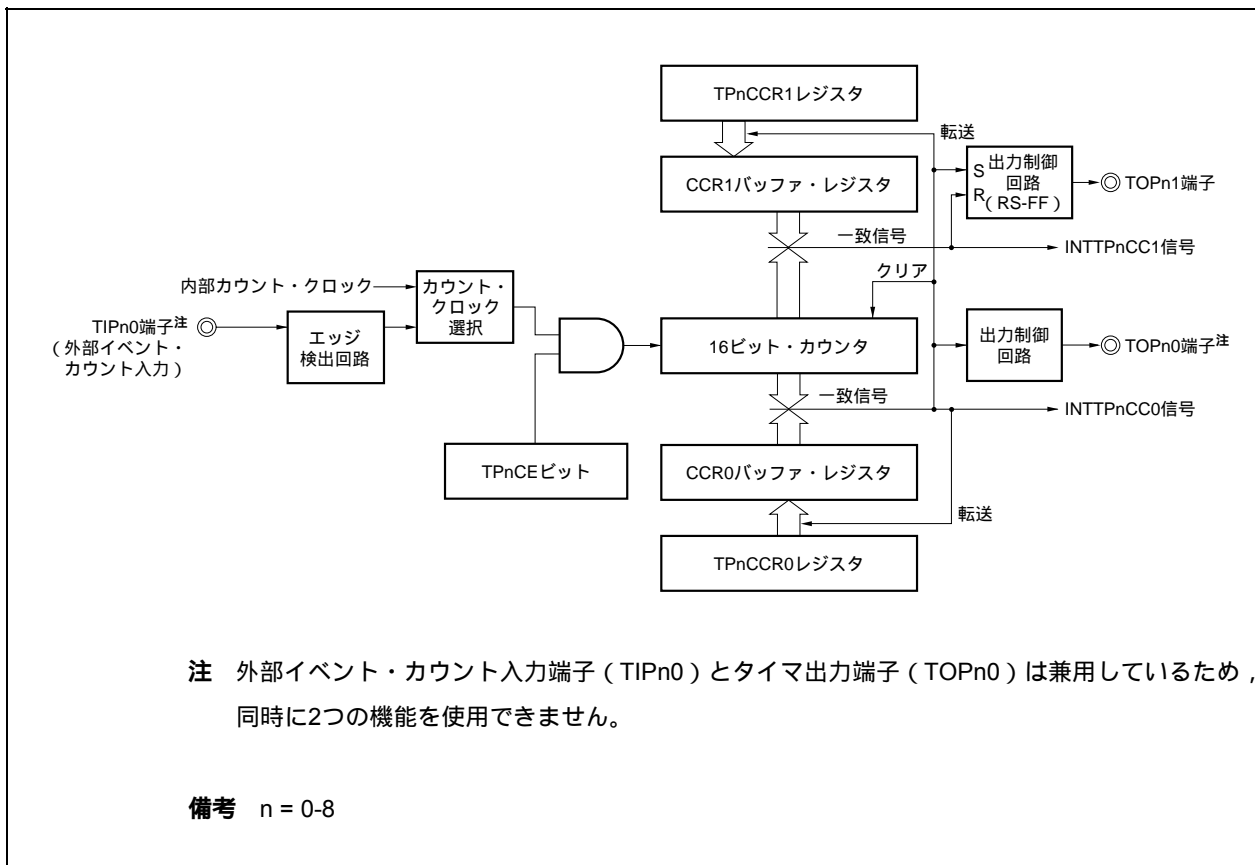
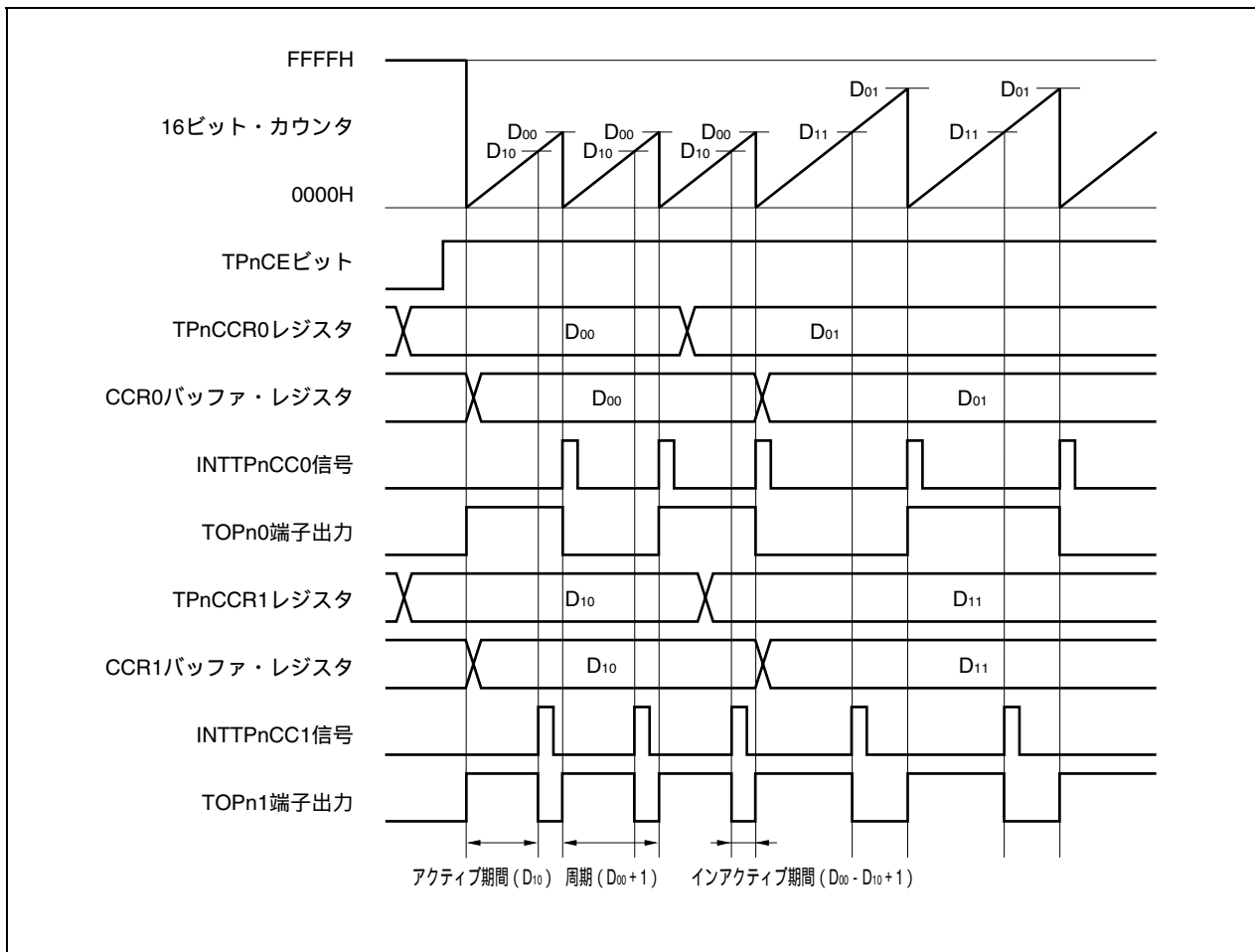


図7-31 PWM出力モードの基本タイミング



TPnCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOPn1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅，周期，およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TPnCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TPnCCR1レジスタの設定値}) / (\text{TPnCCR0レジスタの設定値} + 1)$$

動作中にTPnCCRaレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンパレー一致割り込み要求信号 (INTTPnCC0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号 (INTTPnCC1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPnCCRaレジスタに設定した値は、16ビット・カウンタのカウンタ値とCCRaバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRaバッファ・レジスタに転送されます。

備考 n = 0-8, a = 0, 1

図7 - 32 PWM出力モード動作時のレジスタ設定内容 (1/2)

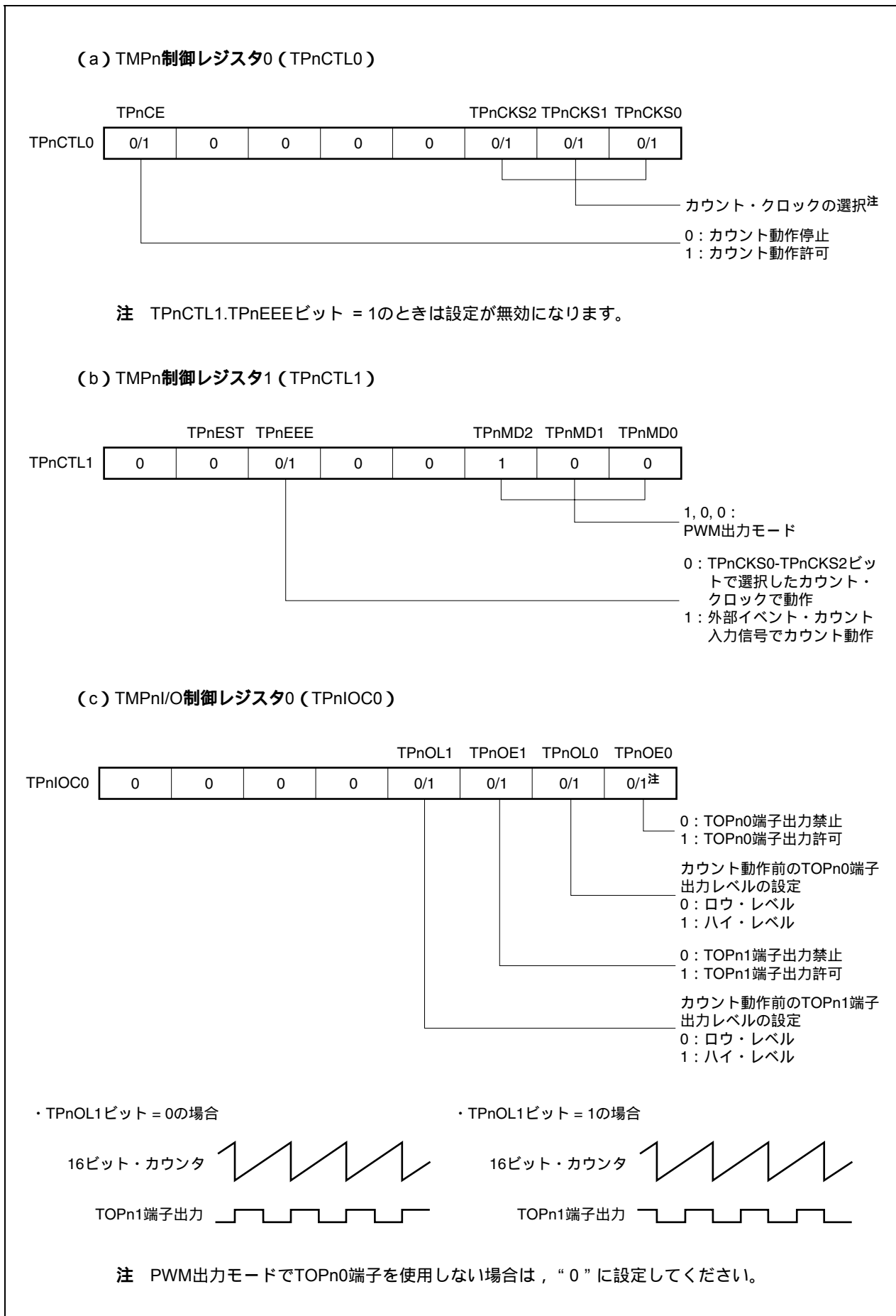
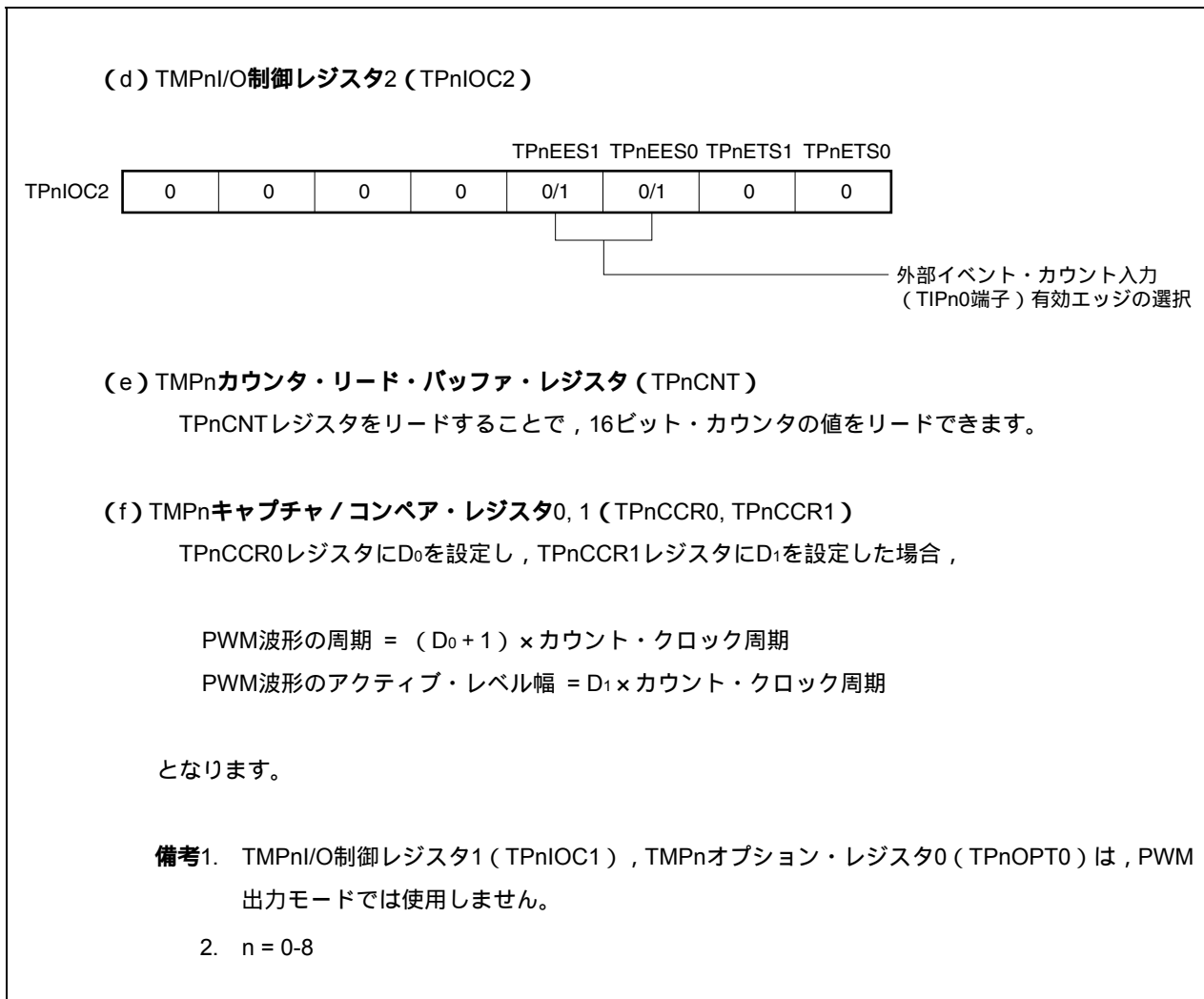


図7 - 32 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図7 - 33 PWM出力モード使用時のソフトウェア処理フロー (1/2)

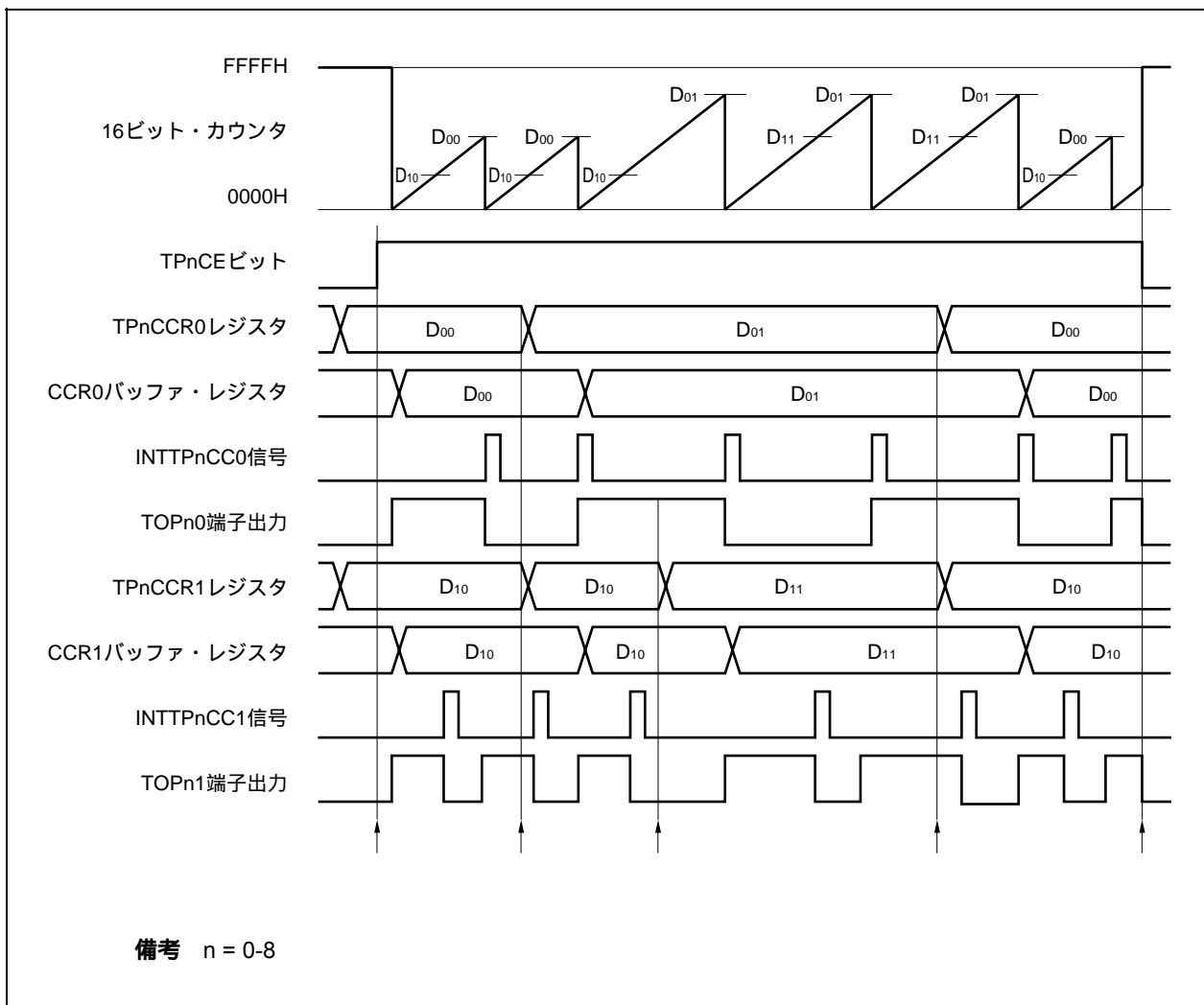
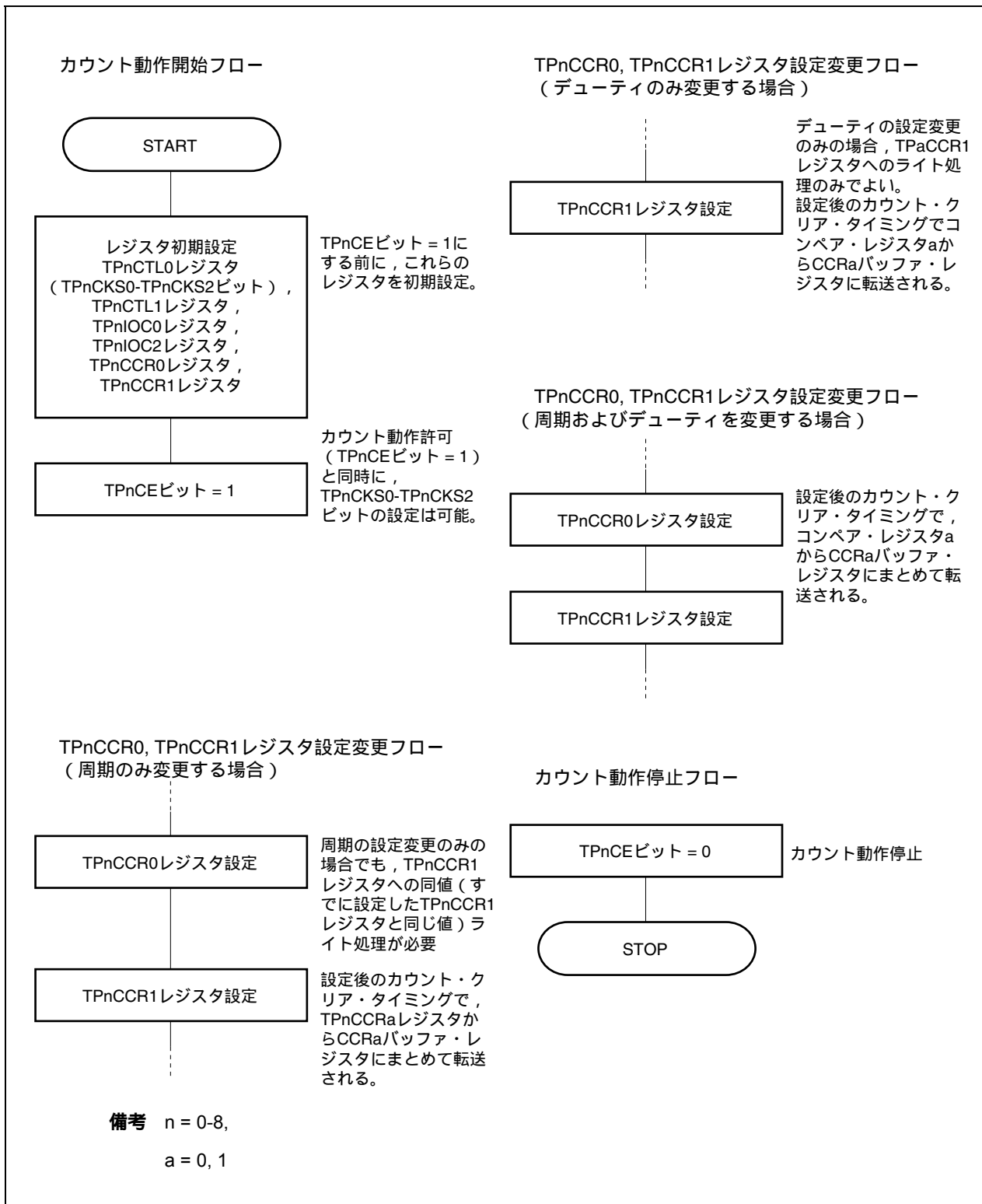


図7 - 33 PWM出力モード使用時のソフトウェア処理フロー (2/2)



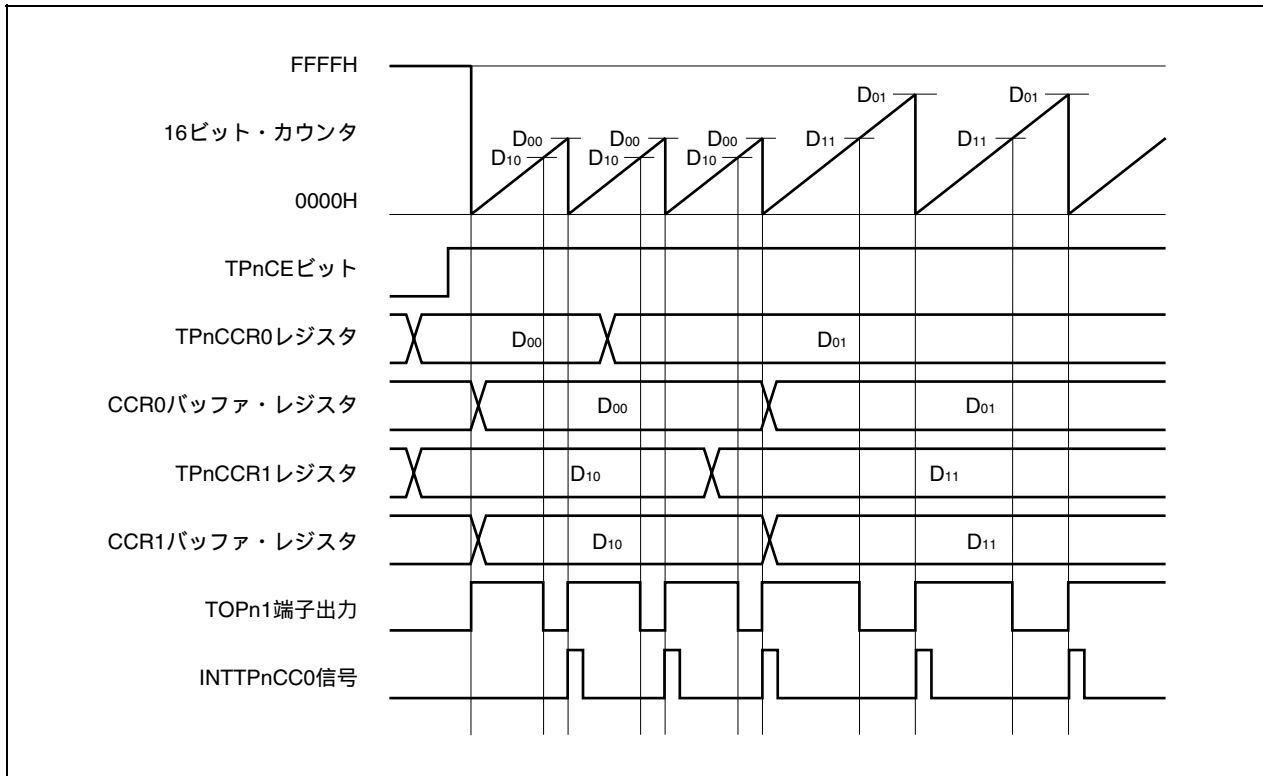


## (2) PWM出力モード動作タイミング

## (a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRaレジスタの書き換えを行う場合には、INTTPnCC0信号を検出後に書き換えてください。



TPnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタに同値（すでに設定したTPnCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

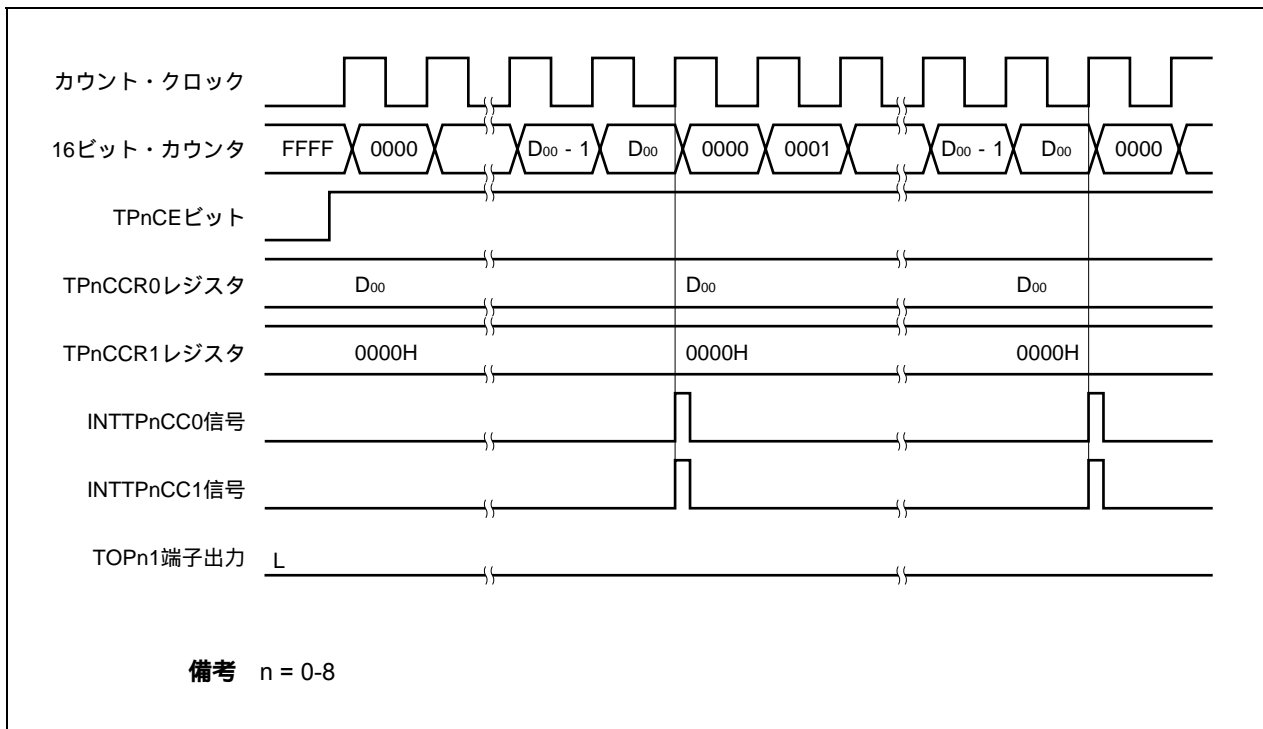
TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0、またはTPnCCR1レジスタへのライトを行う場合は、INTTPnCC0信号の発生後に行ってください。これを守れない場合には、TPnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TPnCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

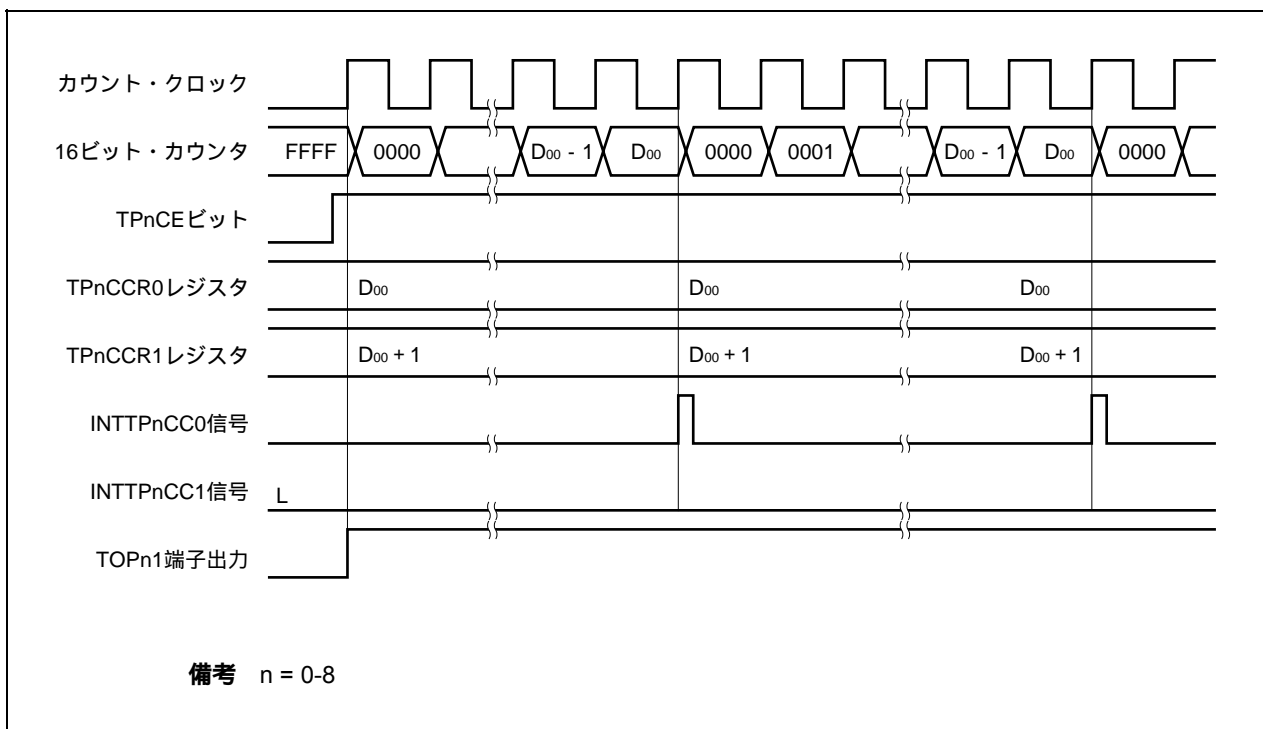
備考 n = 0-8, a = 0, 1

## (b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TPnCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTPnCC0信号とINTTPnCC1信号が発生します。

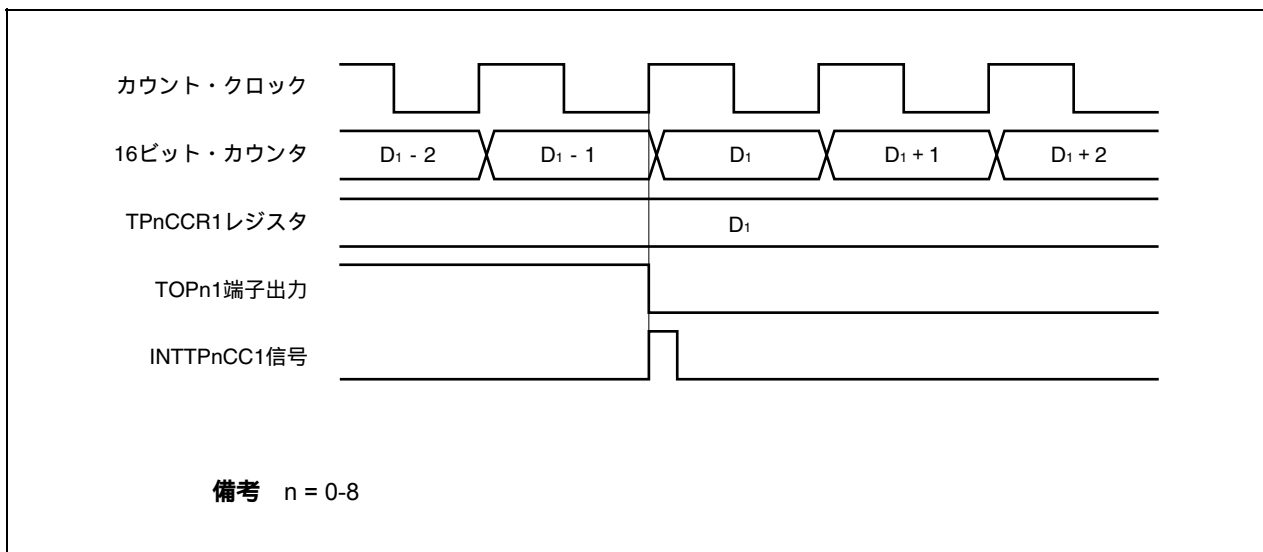


100 % 波形を出力するためには、TPnCCR1レジスタに対して (TPnCCR0レジスタの設定値 + 1) の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には、100 % 出力はできません。



## (c) コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

PWM出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのモードのINTTPnCC1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



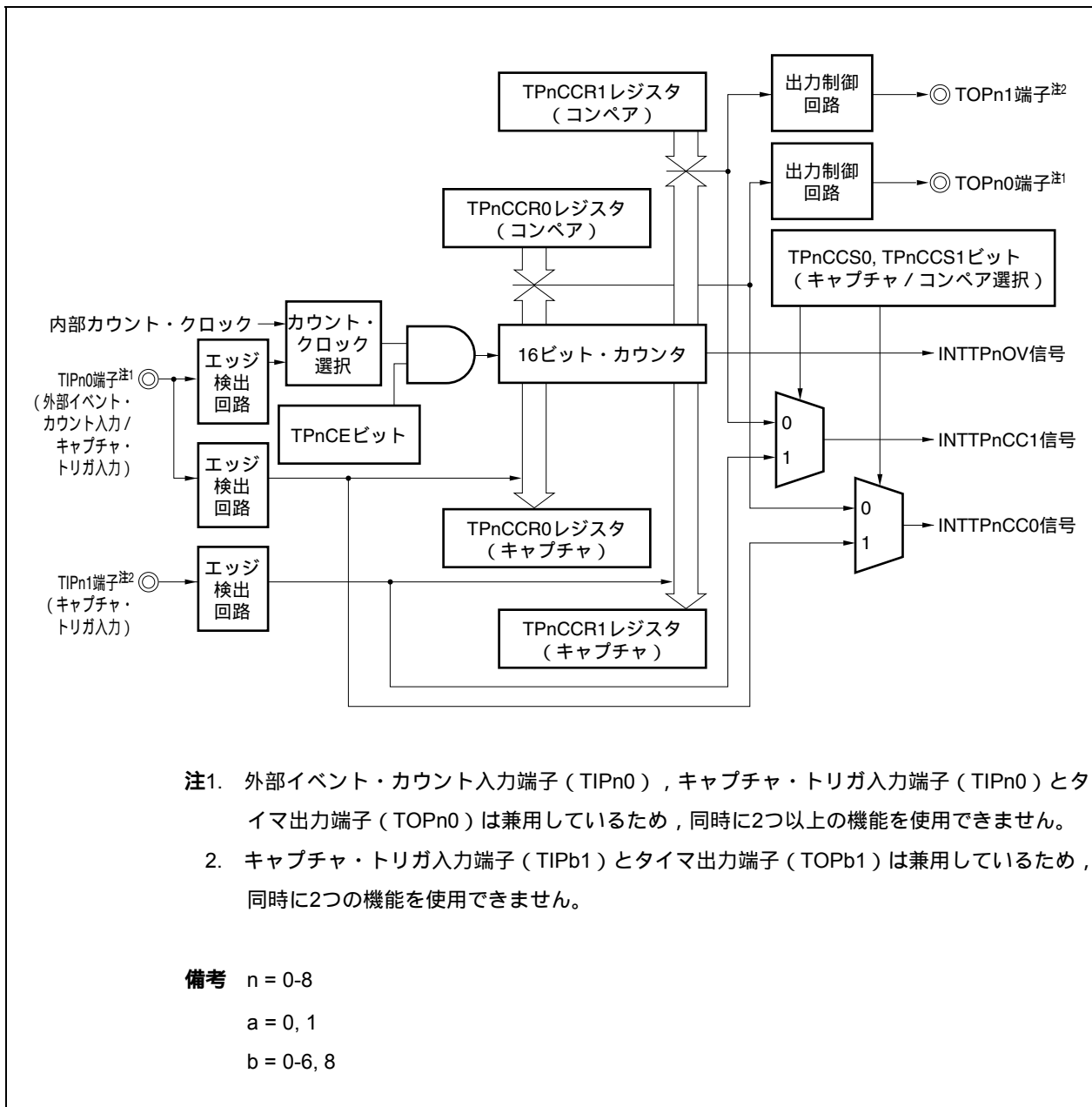
通常、INTTPnCC1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 7.6.6 フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101)

フリー・ランニング・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始します。このときのTPnCCR<sub>a</sub>レジスタの動作は、TPnOPT0.TPnCCS0, TPnCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図7-34 フリー・ランニング・タイマ・モードの構成図



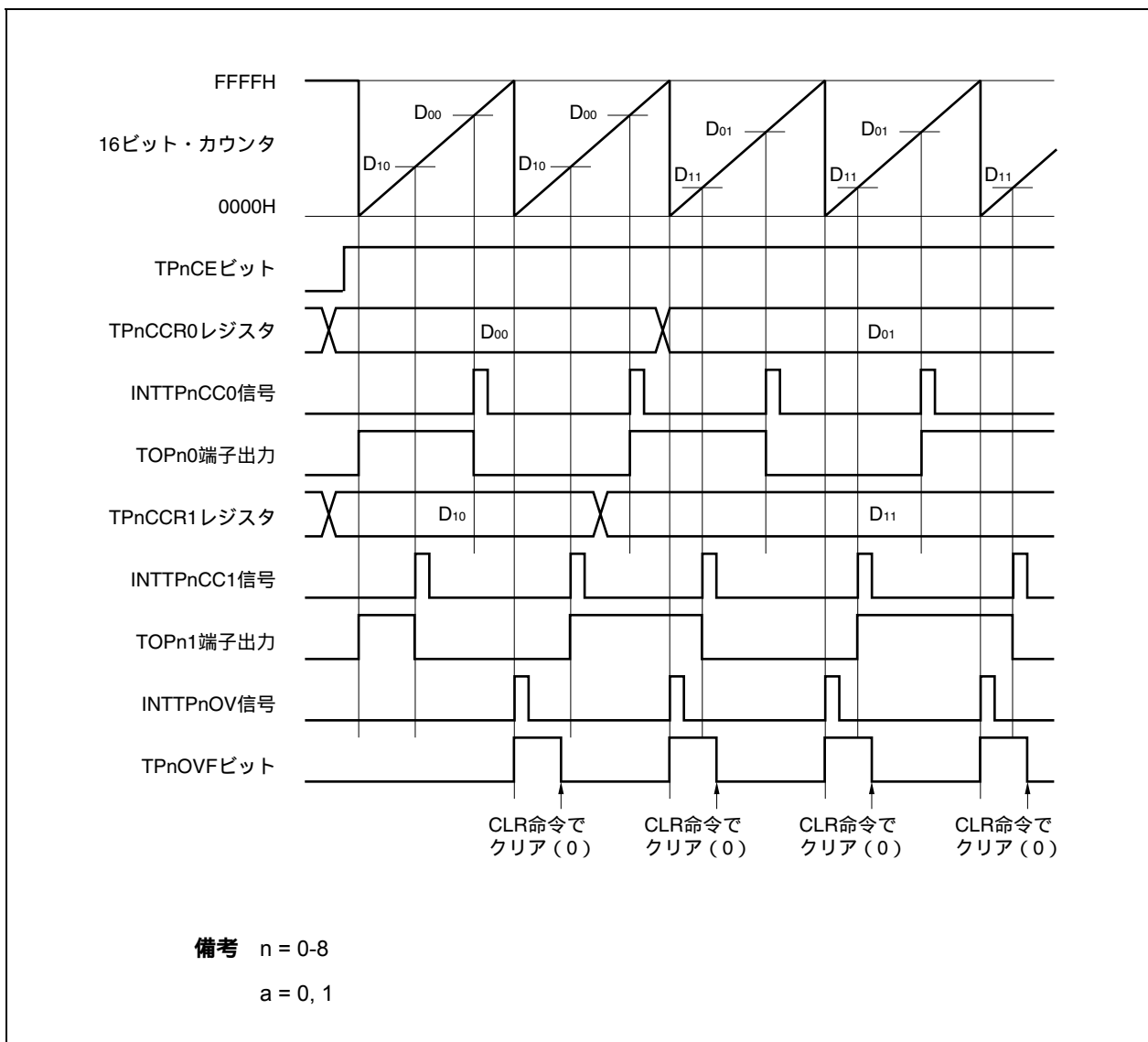
### ・コンペア動作

TPnCEビットをセット(1)することで、カウント動作を開始し、TOPn0, TOPn1端子出力を反転します。その後、16ビット・カウンタのカウント値とTPnCCRaレジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTPnCCa) を発生し、TOPna端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTPnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TPnOPT0.TPnOVFビット) もセット(1)されます。オーバーフロー・フラグがセット(1)されているのを確認してからソフトウェアでCLR命令を実行してクリア(0)してください。

TPnCCRaレジスタは、カウント動作中の書き換えを許可しています。書き換えした場合、随時書き込みにより値が即反映され、カウント値と比較されます。

図7-35 フリー・ランニング・タイマ・モードの基本タイミング(コンペア機能)



・キャプチャ動作

TPnCEビットをセット (1) することで、カウント動作を開始します。その後、TIPna端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRnレジスタに格納し、キャプチャ割り込み要求信号 (INTTPnCCa) を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTPnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TPnOPT0.TPnOVFビット) もセット (1) されます。オーバーフロー・フラグがセット (1) されていることを確認してからソフトウェアでCLR命令を実行してクリア (0) してください。

図7-36 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)

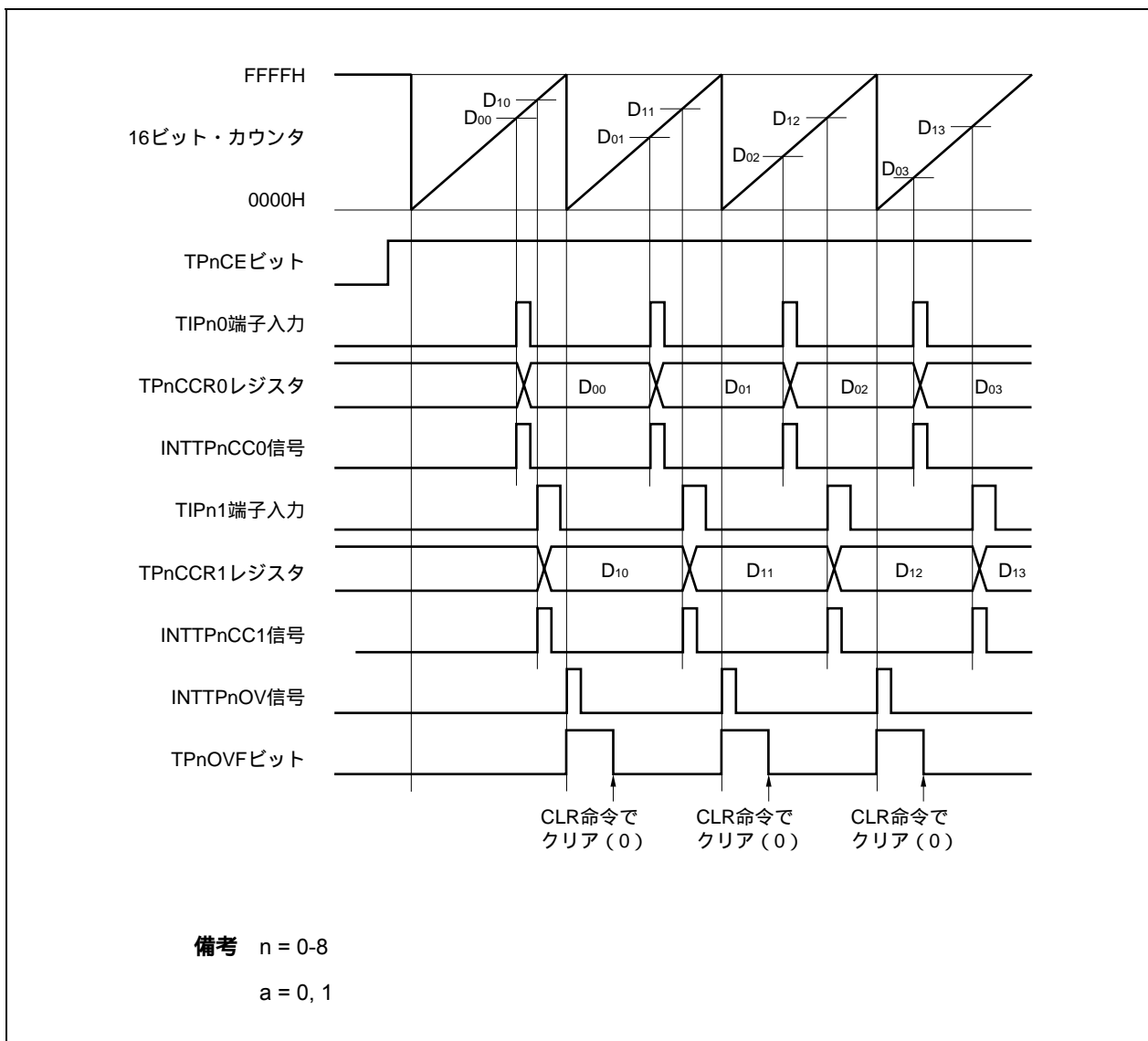


図7-37 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

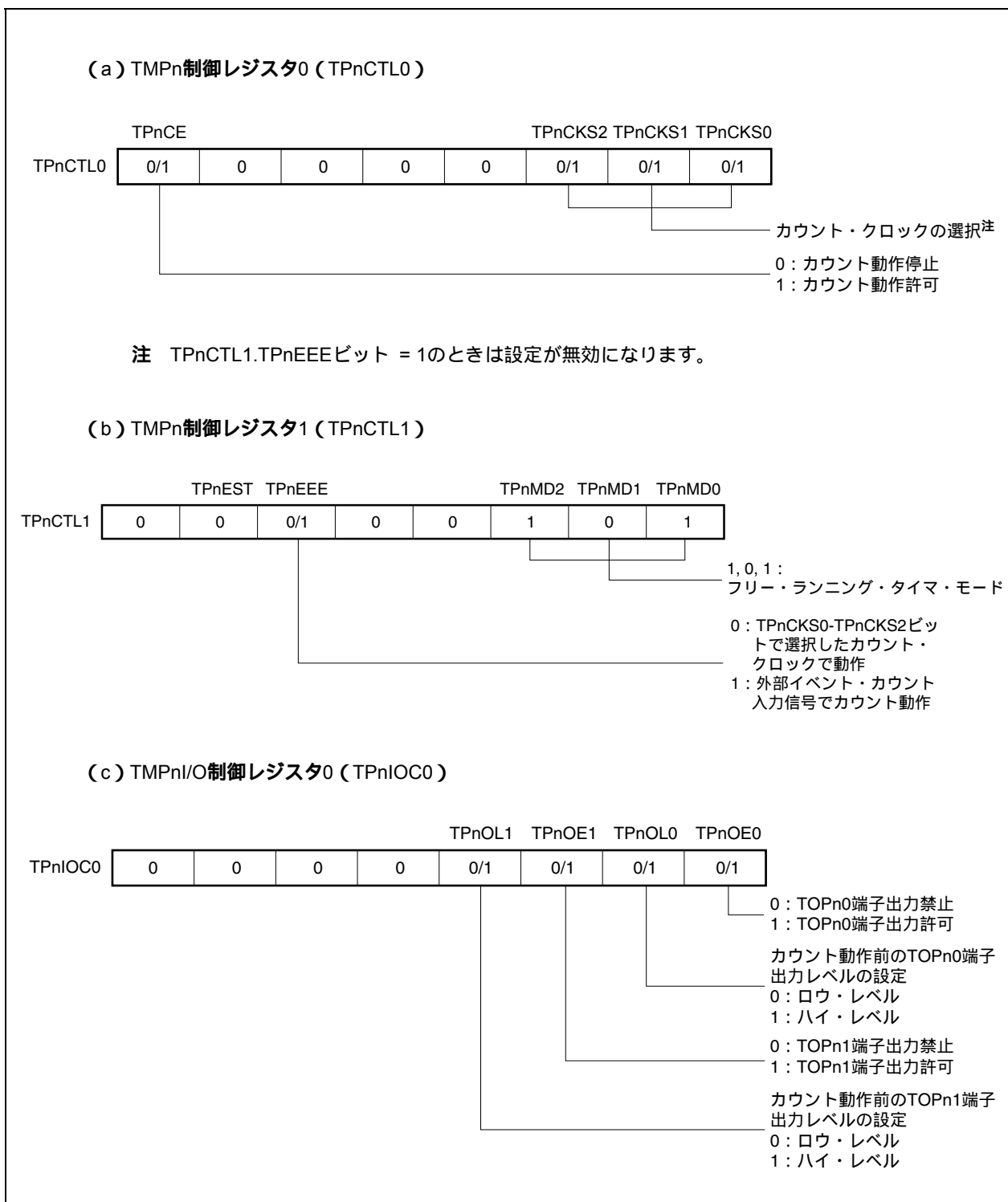
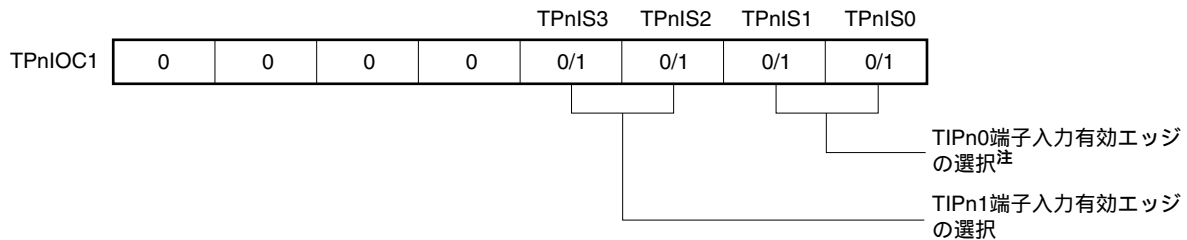


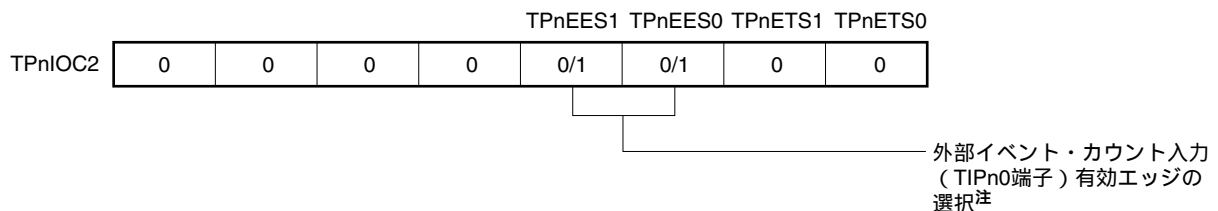
図7-37 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

## (d) TMPnI/O制御レジスタ1 (TPnIOC1)



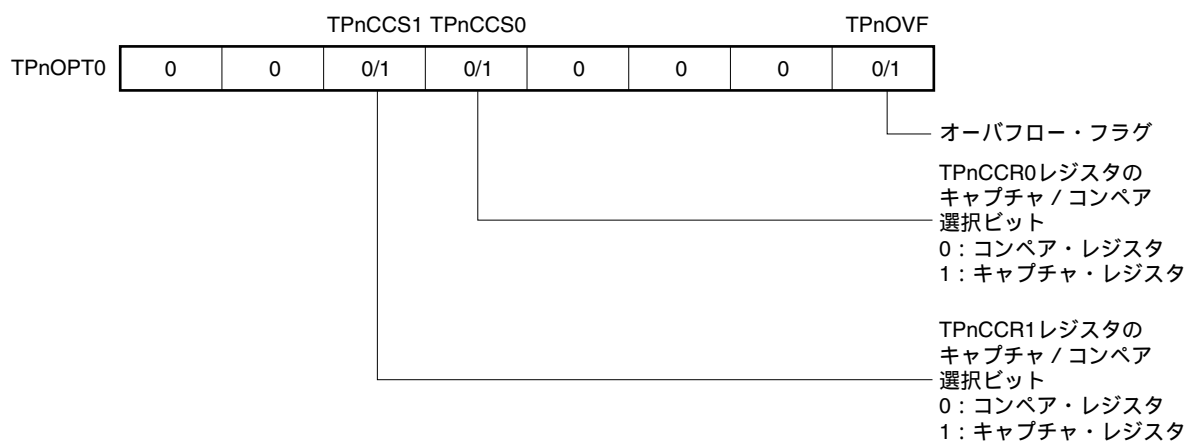
注 使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

## (e) TMPnI/O制御レジスタ2 (TPnIOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

## (f) TMPnオプション・レジスタ0 (TPnOPT0)



## (g) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。



図7 - 37 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

**(h) TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)**

TPnOPT0.TPnCCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には, TPnCa端子入力の有効エッジ検出により, 16ビット・カウンタのカウンタ値を格納します。

コンペア・レジスタとして動作する場合には, TPnCCR<sub>a</sub>レジスタにD<sub>a</sub>を設定した場合, カウンタが(D<sub>a</sub> + 1)になるタイミングでINTTPnCCa信号を発生し, TOPna端子出力を反転します。

**備考** n = 0-8,

a = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図7-38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (1/2)

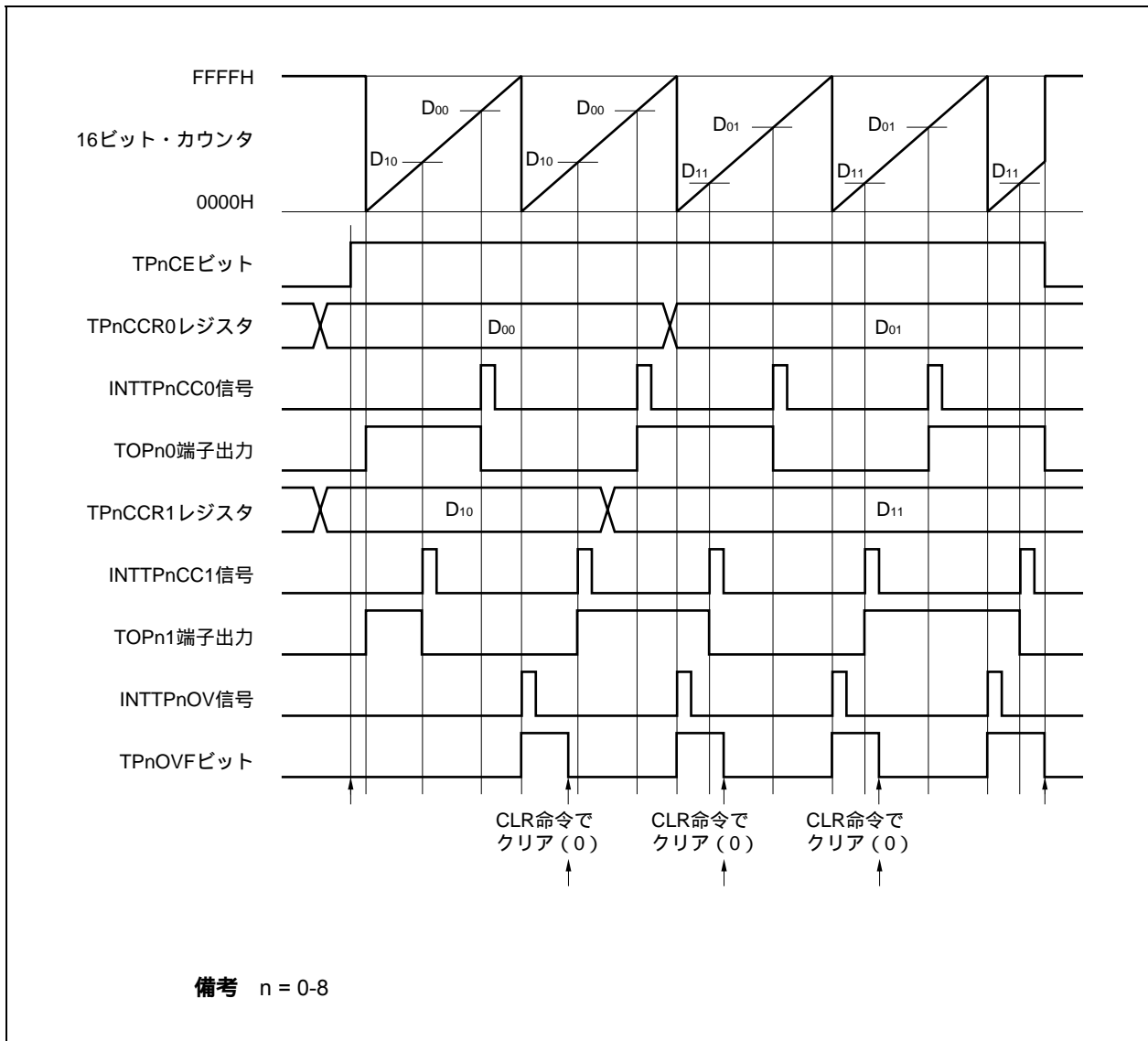
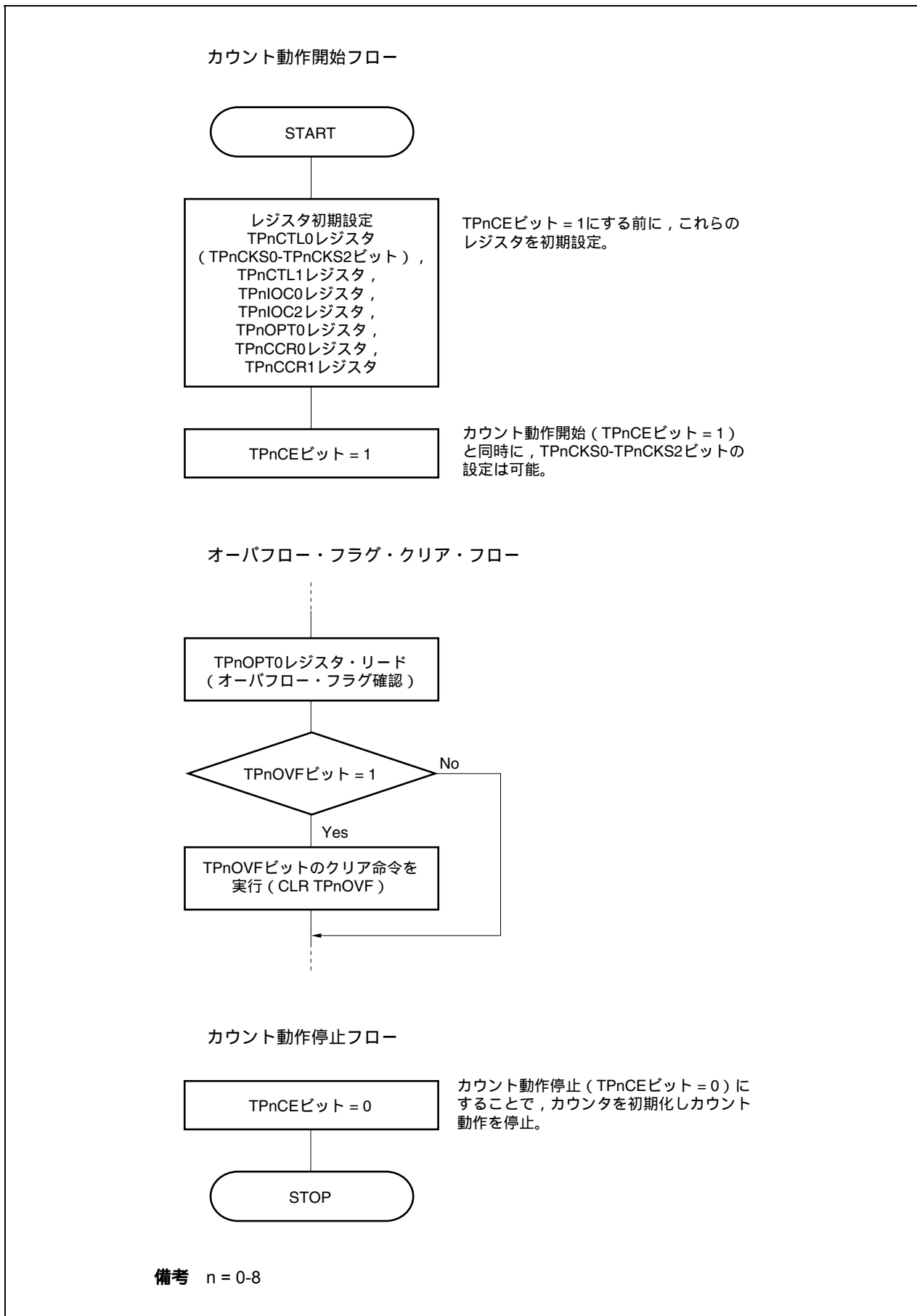


図7-38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（2/2）



## (b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7-39 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

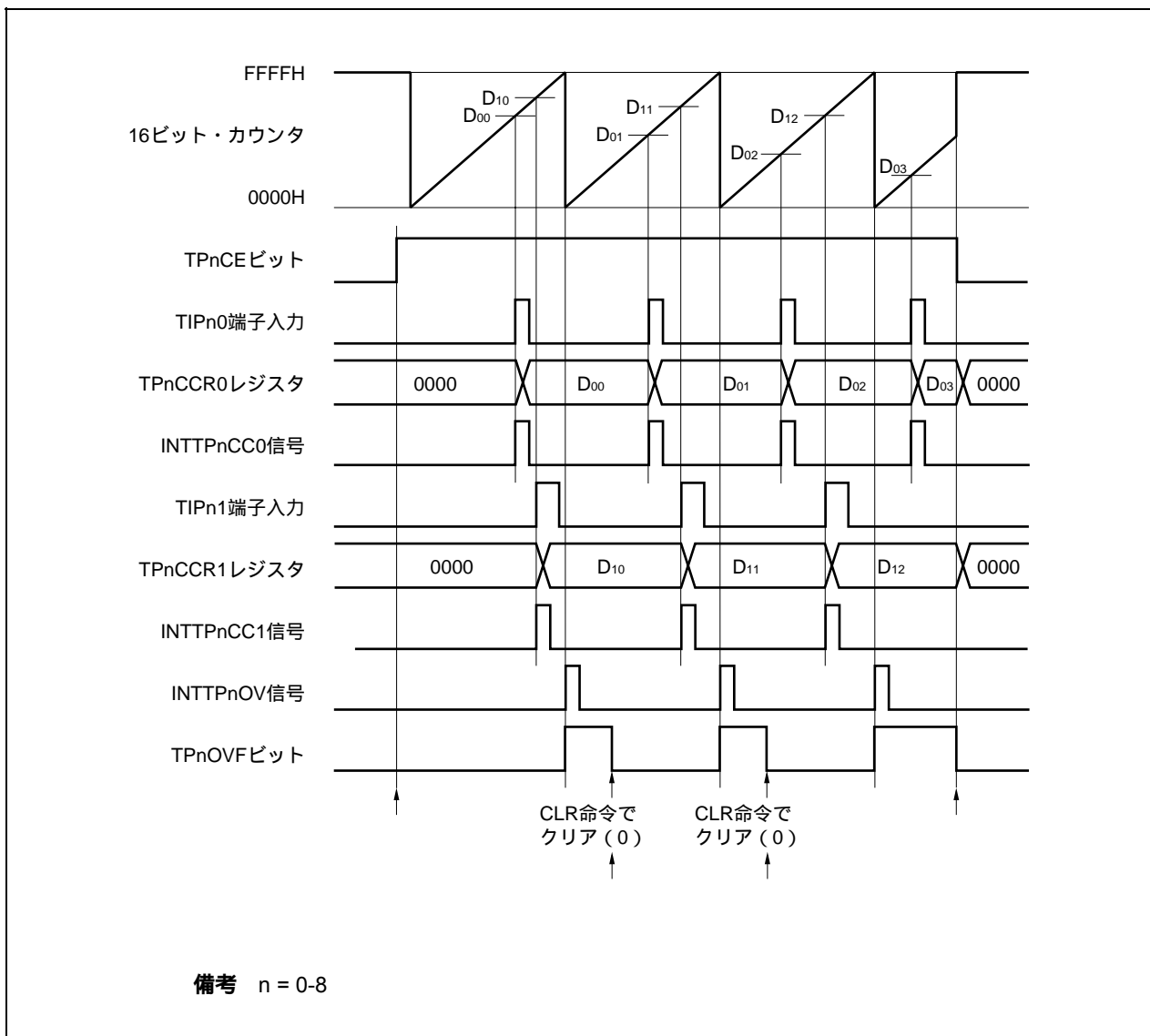
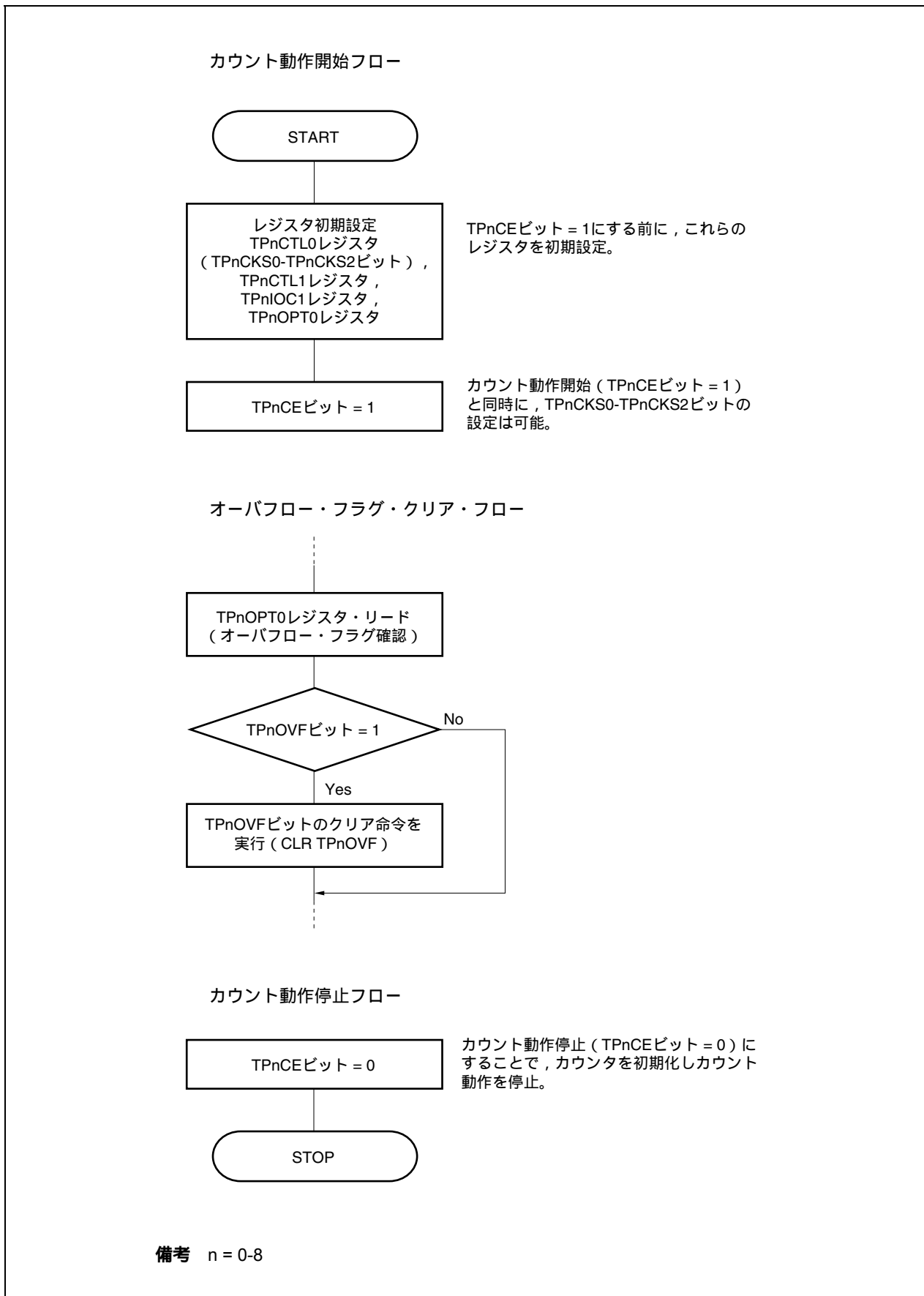


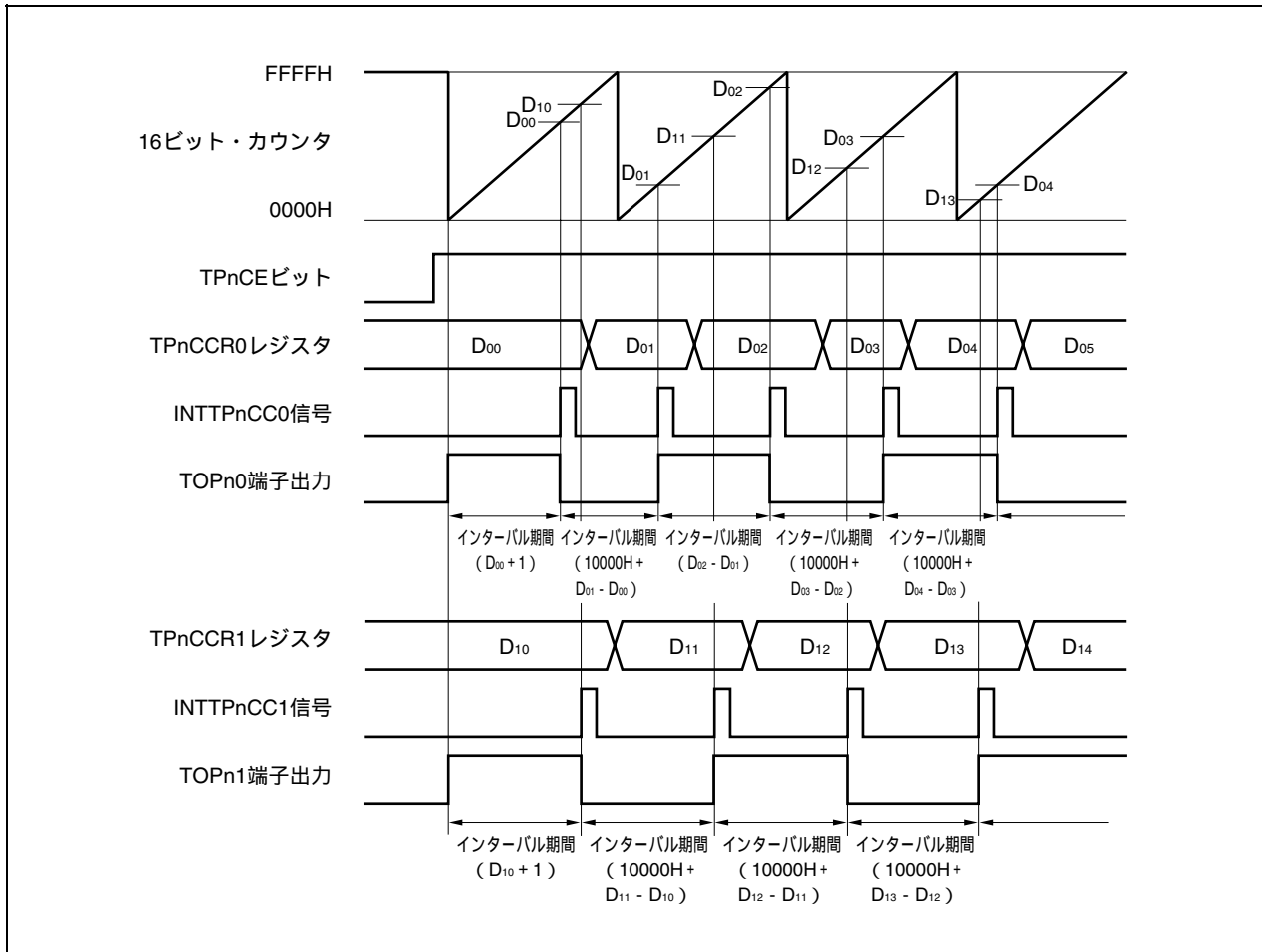
図7-39 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



## (2) フリー・ランニング・タイマ・モード動作タイミング

## (a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TPnCCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTPnCCa信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTPnCCa信号を検出したときの割り込み処理中に、対応するTPnCCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ $D_a$ ”とすると、次のように求められます。

コンペア・レジスタ初期値 :  $D_a - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 +  $D_a$

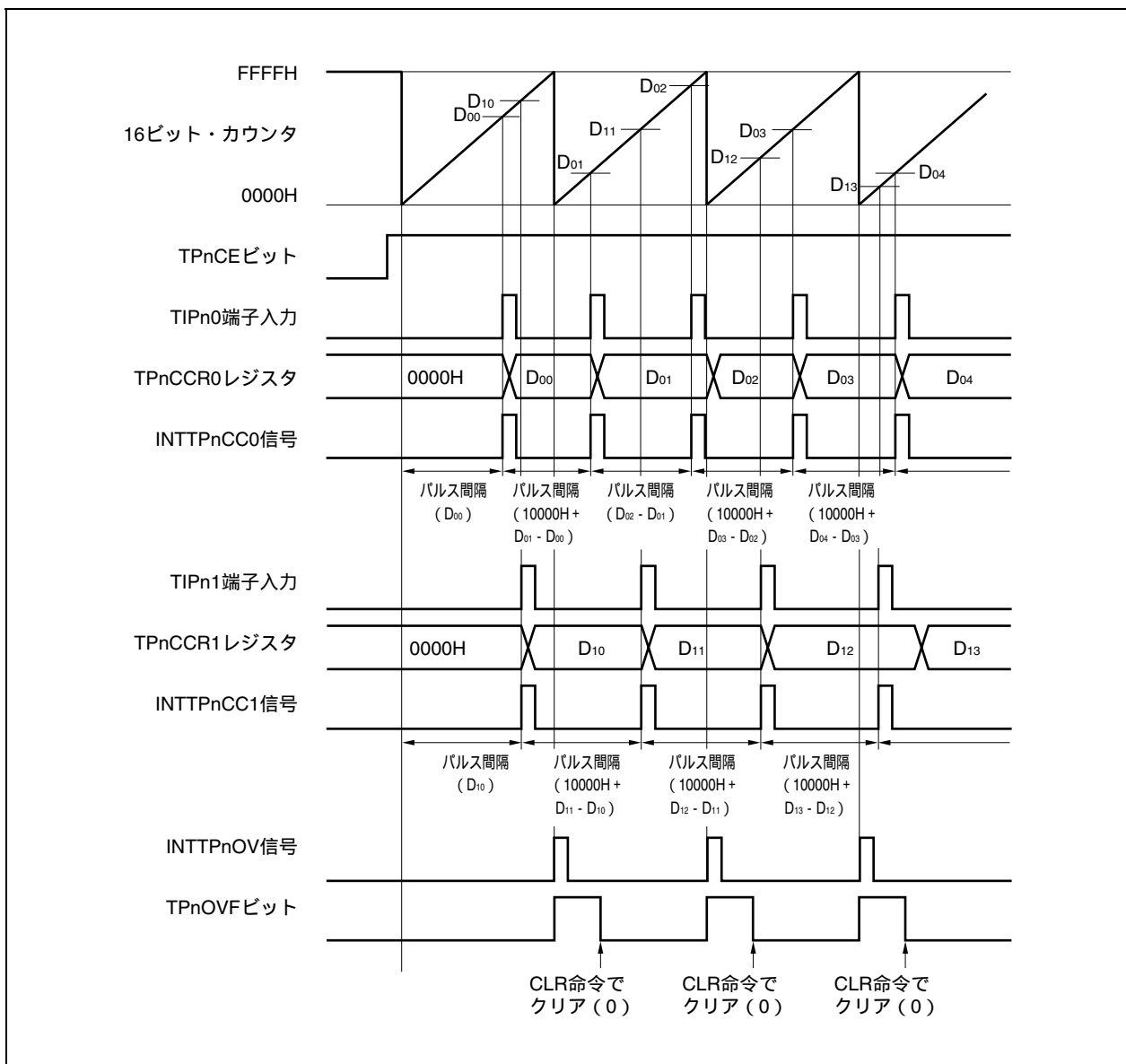
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 n = 0-8,

a = 0, 1

## (b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TPnCCRaレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTPnCCa信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

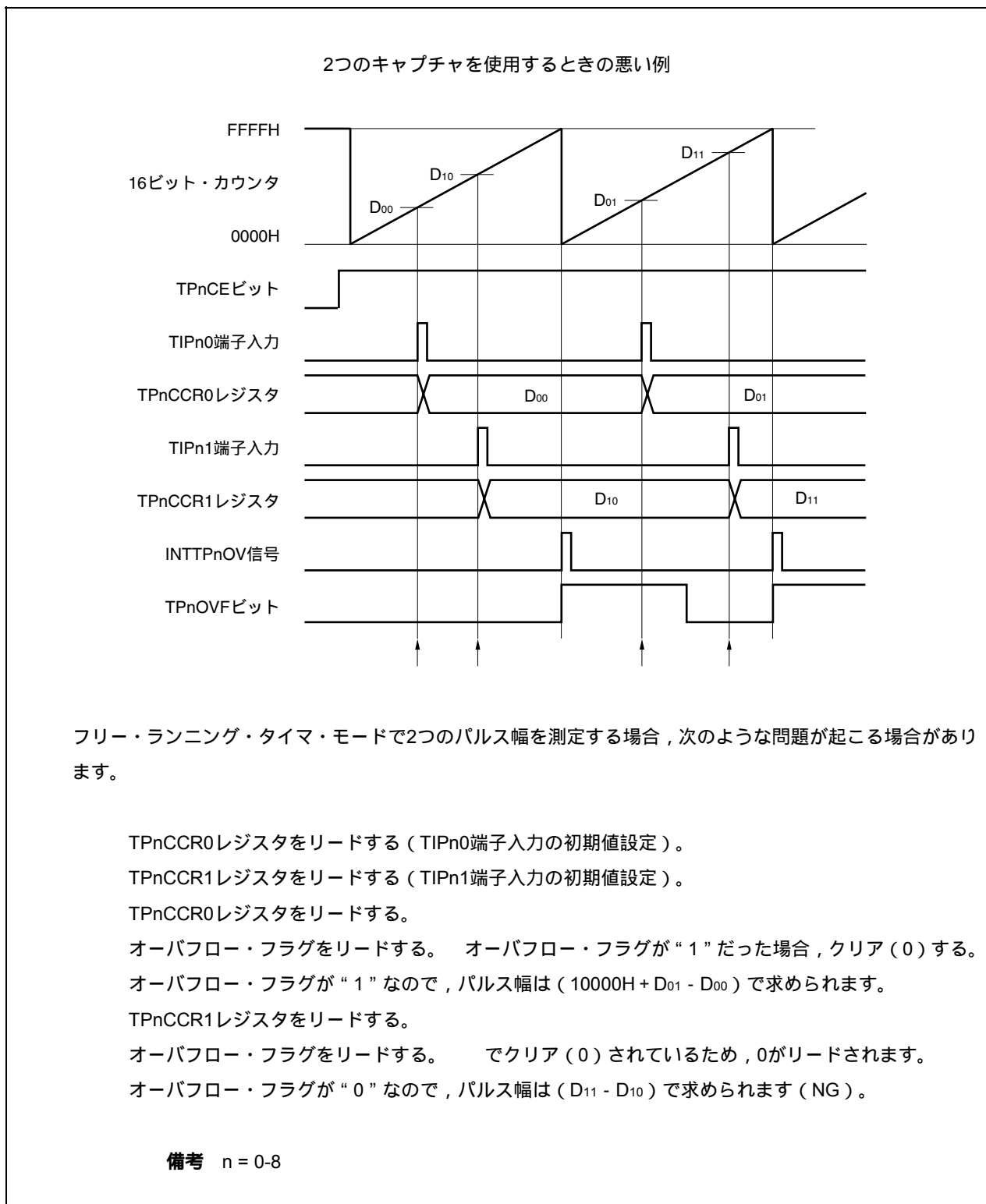
パルス幅測定を行う場合、INTTPnCCa信号に同期してTPnCCRaレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 n = 0-8,

a = 0, 1

## (c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

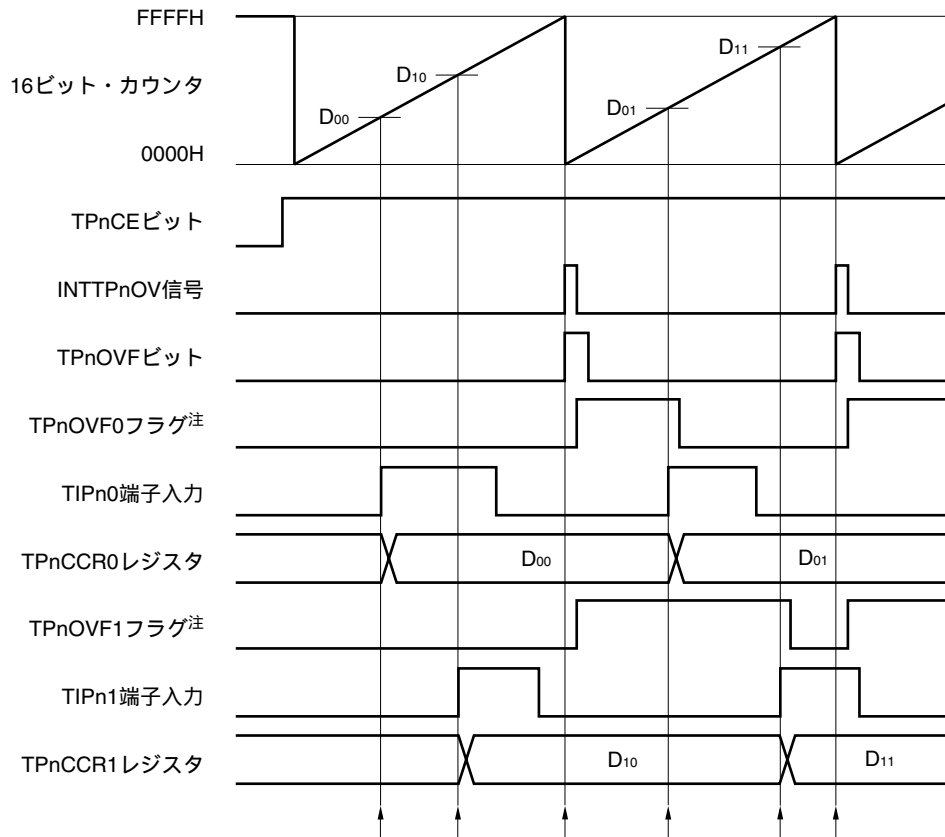


このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。



## 2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TPnOVF0, TPnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCR0レジスタをリードする (TIPn0端子入力の初期値設定)。

TPnCCR1レジスタをリードする (TIPn1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TPnOVF0, TPnOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TPnCCR0レジスタをリードする。

TPnOVF0フラグをリードする。 TPnOVF0フラグが“1”だった場合、クリア (0) する。

TPnOVF0フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TPnCCR1レジスタをリードする。

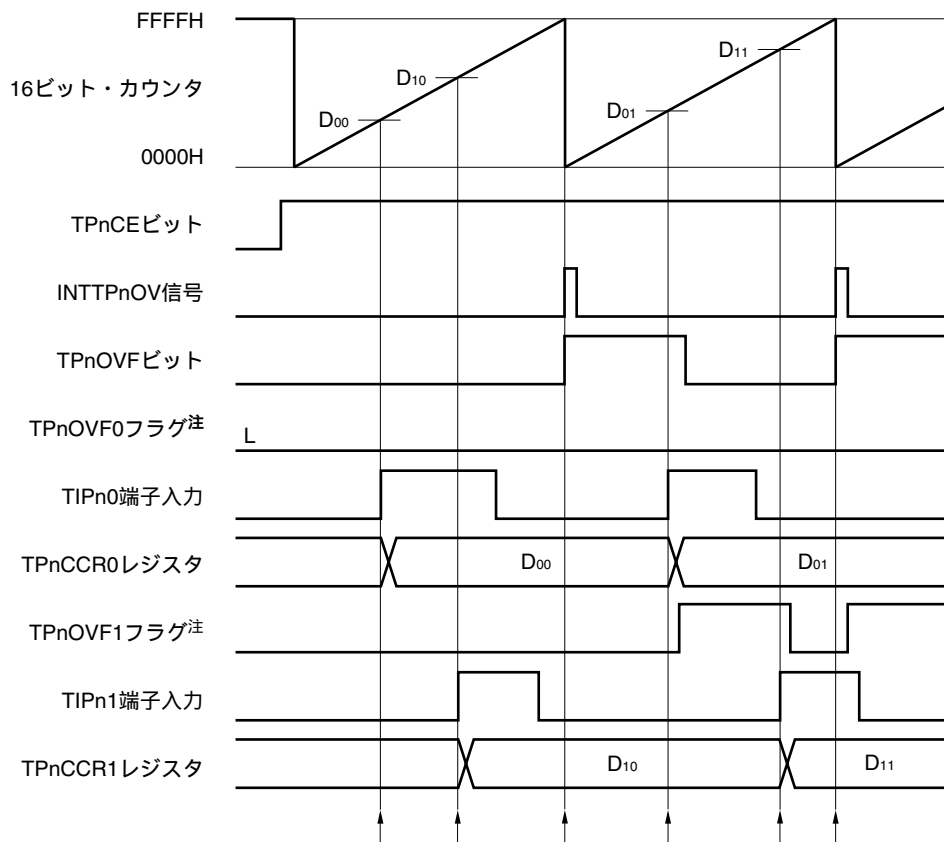
TPnOVF1フラグをリードする。 TPnOVF1フラグが“1”だった場合、クリア (0) する ( でクリア (0) されたのはTPnOVF0フラグであり、TPnOVF1フラグは“1”のまま)。

TPnOVF1フラグが“1”なので、パルス幅は  $(10000H + D_{11} - D_{10})$  で求められます (OK)。

と同じです。

備考 n = 0-8

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TPnOVF0, TPnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCR0レジスタをリードする (TIPn0端子入力の初期値設定)。

TPnCCR1レジスタをリードする (TIPn1端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TPnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TPnOVF1フラグのみをセット(1)し、オーバーフロー・フラグをクリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TPnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア(0)されているので“0”がリードされる。

TPnOVF1フラグをリードする。TPnOVF1フラグが“1”だった場合、クリア(0)する。

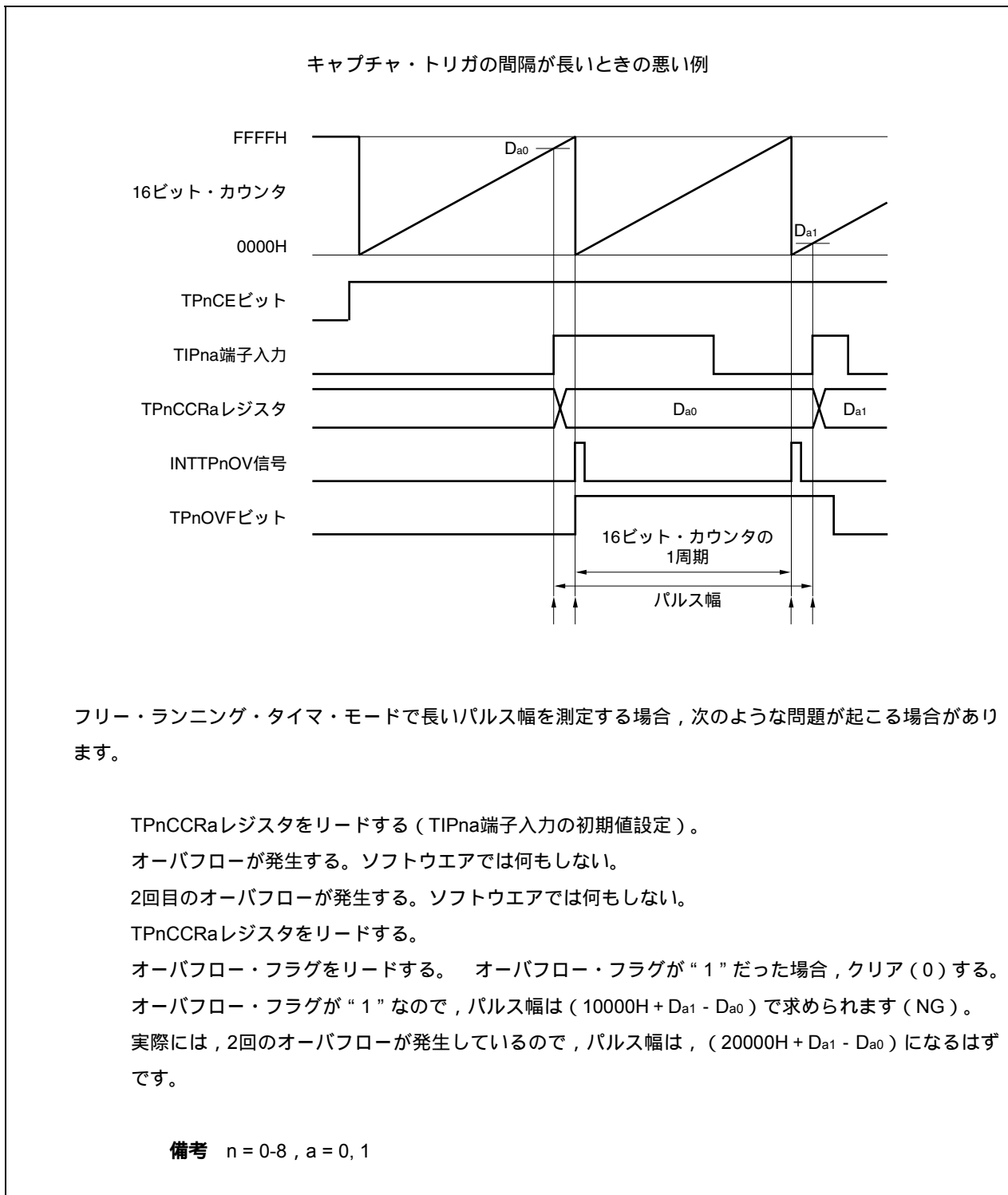
TPnOVF1フラグが“1”なので、パルス幅は  $(10000H + D_{11} - D_{10})$  で求められます (OK)。

と同じです。

備考 n = 0-8

## (d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

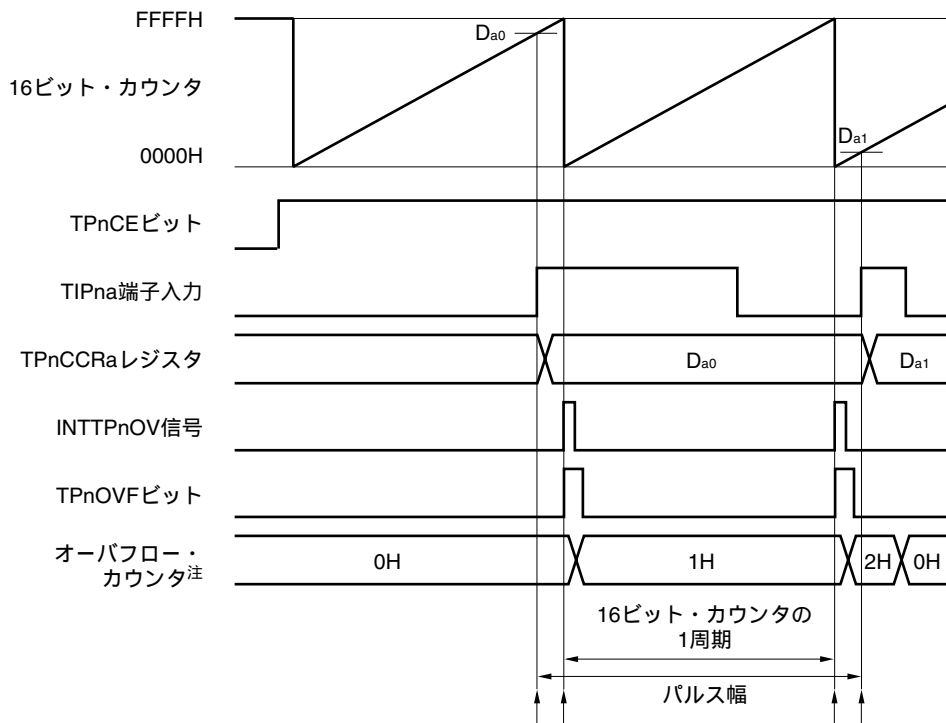
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

## キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCRaレジスタをリードする (TIPna端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメント (+1) し、オーバフロー・フラグをクリア (0) する。

TPnCCRaレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが“N”のとき、パルス幅は  $(N \times 10000H + D_{a1} - D_{a0})$  で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{a1} - D_{a0})$  になります。

オーバフロー・カウンタをクリア (0H) する。

備考 n = 0-8

a = 0, 1

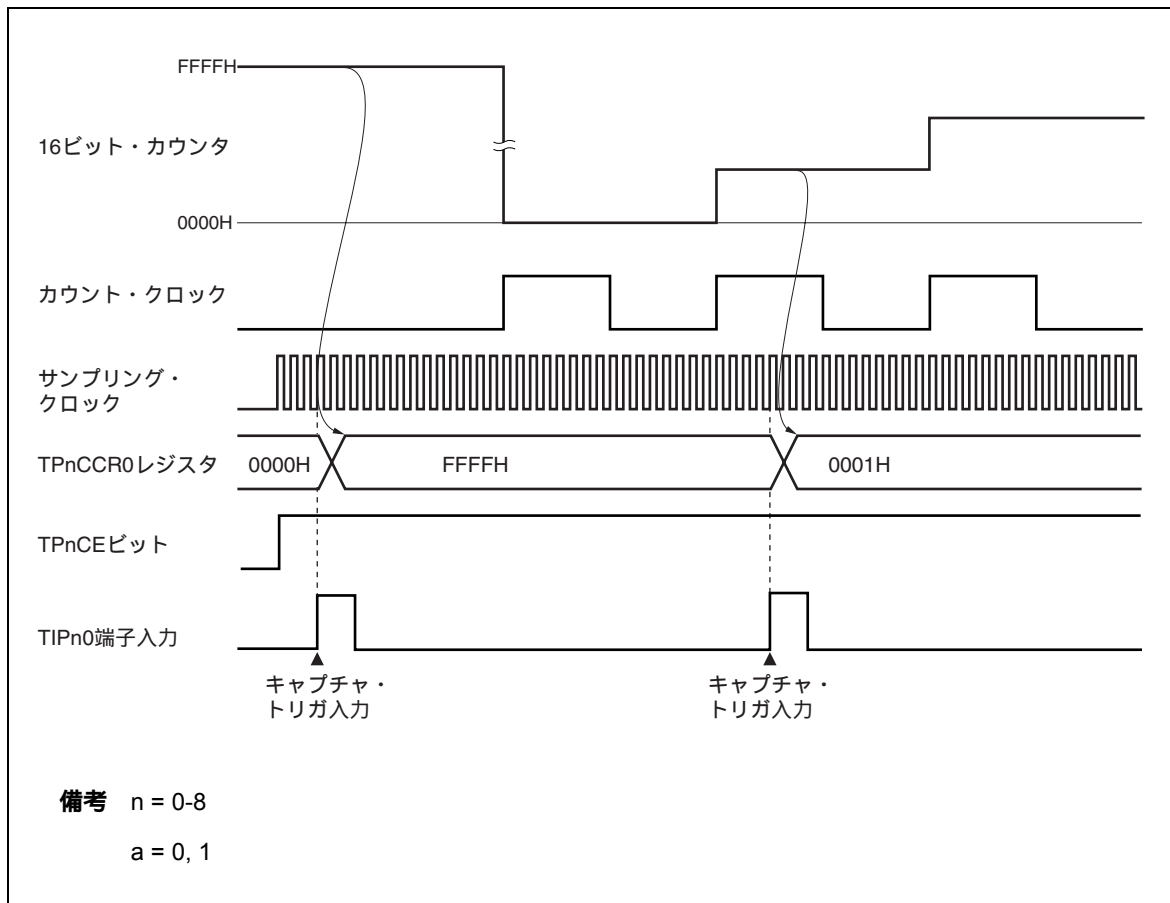
## (e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TPnOVFビット = 1をリードしたあとにTPnOVFビットをCLR命令でクリア (0) する方法と、TPnOVFビット = 1をリードしたあとにTPnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

## (3) キャプチャ動作の注意事項

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TPnCTL0.TPnCEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TPnCCRaレジスタに0000HではなくFFFFHがキャプチャされる場合やキャプチャ動作が行われない (キャプチャ割り込みが発生しない) 場合があります。

キャプチャ動作を使用し、かつカウント・クロックとして外部イベント・カウント入力を選択し、外部イベントが一度も入力されない期間もFFFFHがキャプチャされる場合やキャプチャ動作が行われない (キャプチャ割り込みが発生しない) 場合があります。



### 7.6.7 パルス幅測定モード (TPnMD2-TPnMD0ビット = 110)

パルス幅測定モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始し、TIPna端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTPnCCa)が発生したあと、TPnCCRaレジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図7-41のような場合は、キャプチャ・トリガ入力端子としてTIPn0, TIPn1端子のいずれか1本を使用し、使用しない端子はTPnIOC1レジスタで“エッジ検出なし”に設定してください。

図7-40 パルス幅測定モードの構成図

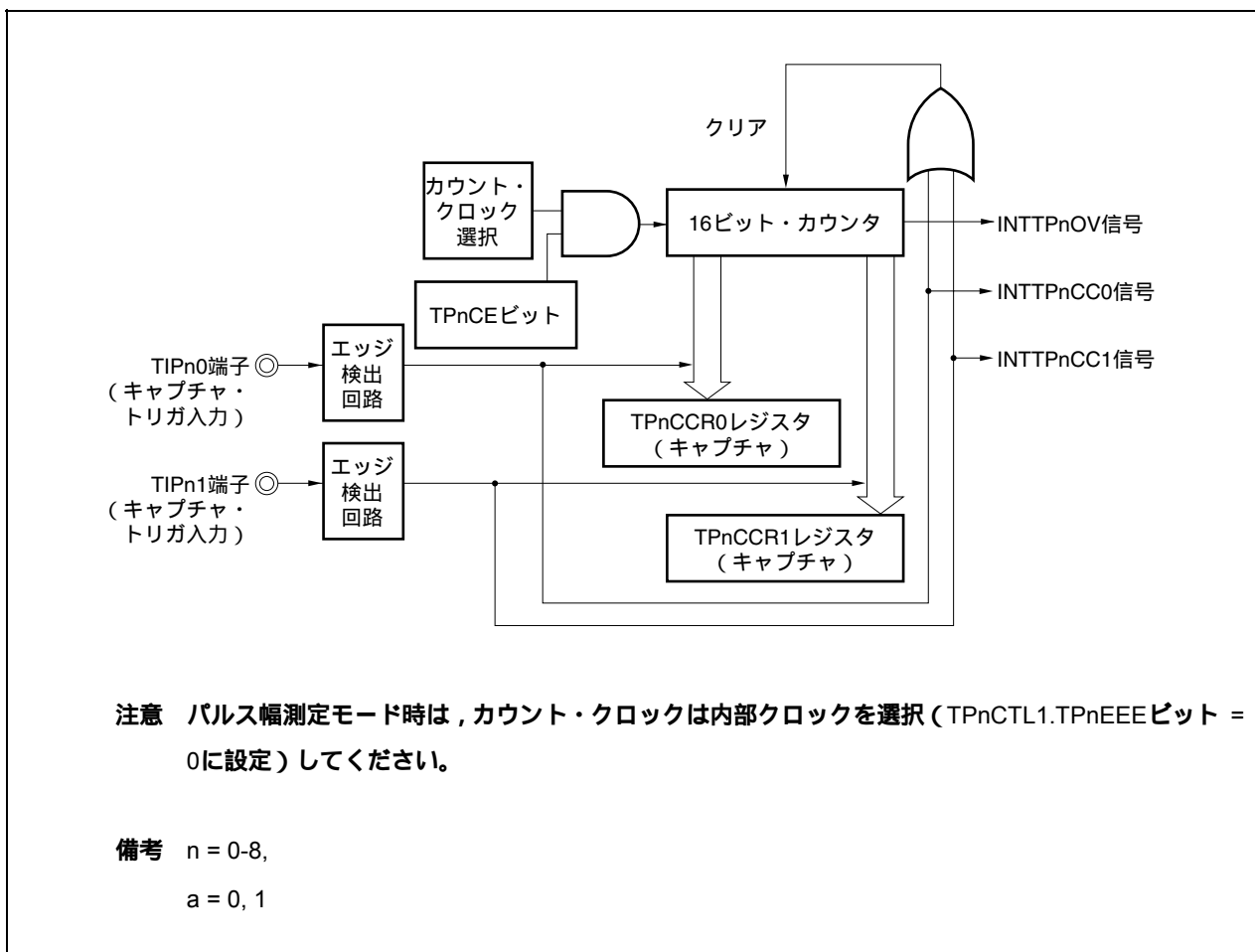
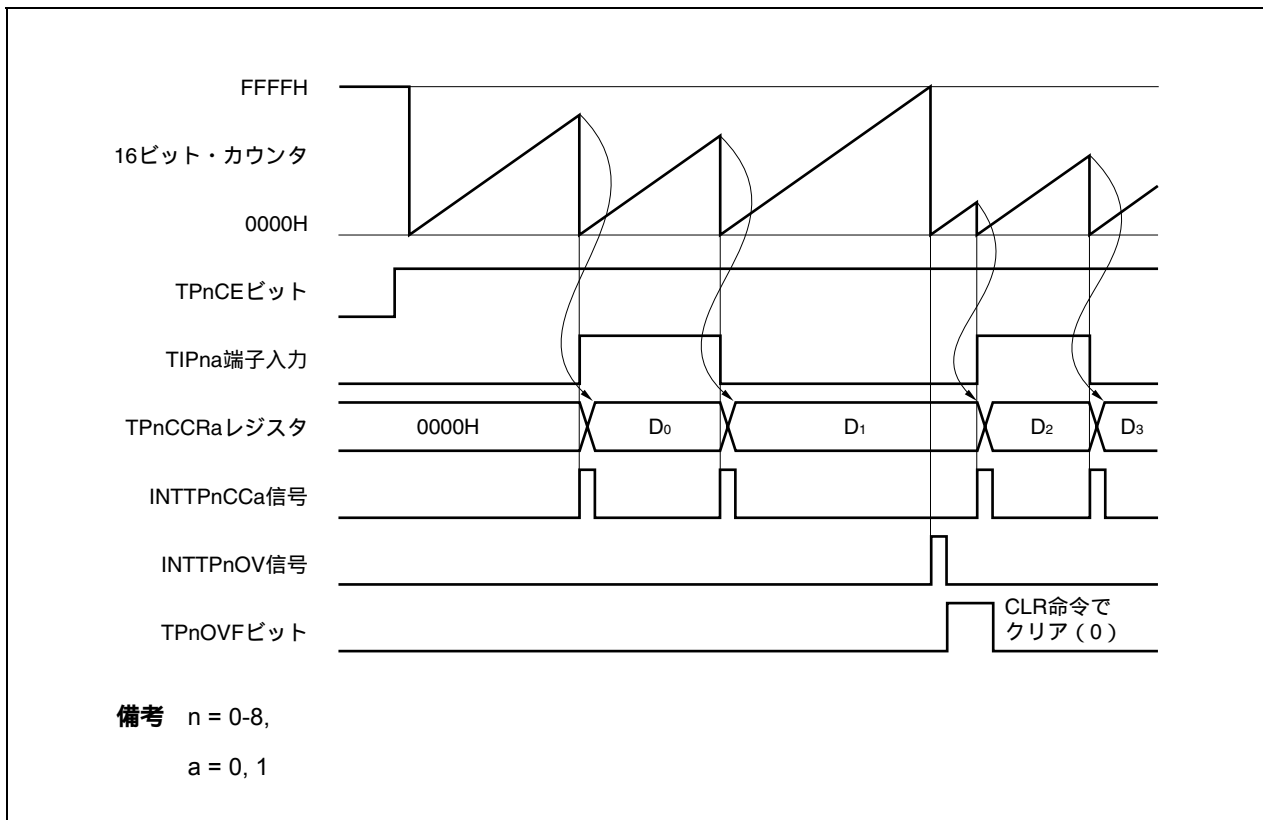


図7-41 パルス幅測定モードの基本タイミング



TPnCEビットをセット(1)することで、カウント動作を開始します。その後、TIPna端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTPnCa)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTPnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TPnOPT0.TPnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TPnOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 n = 0-8,  
a = 0, 1

図7-42 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

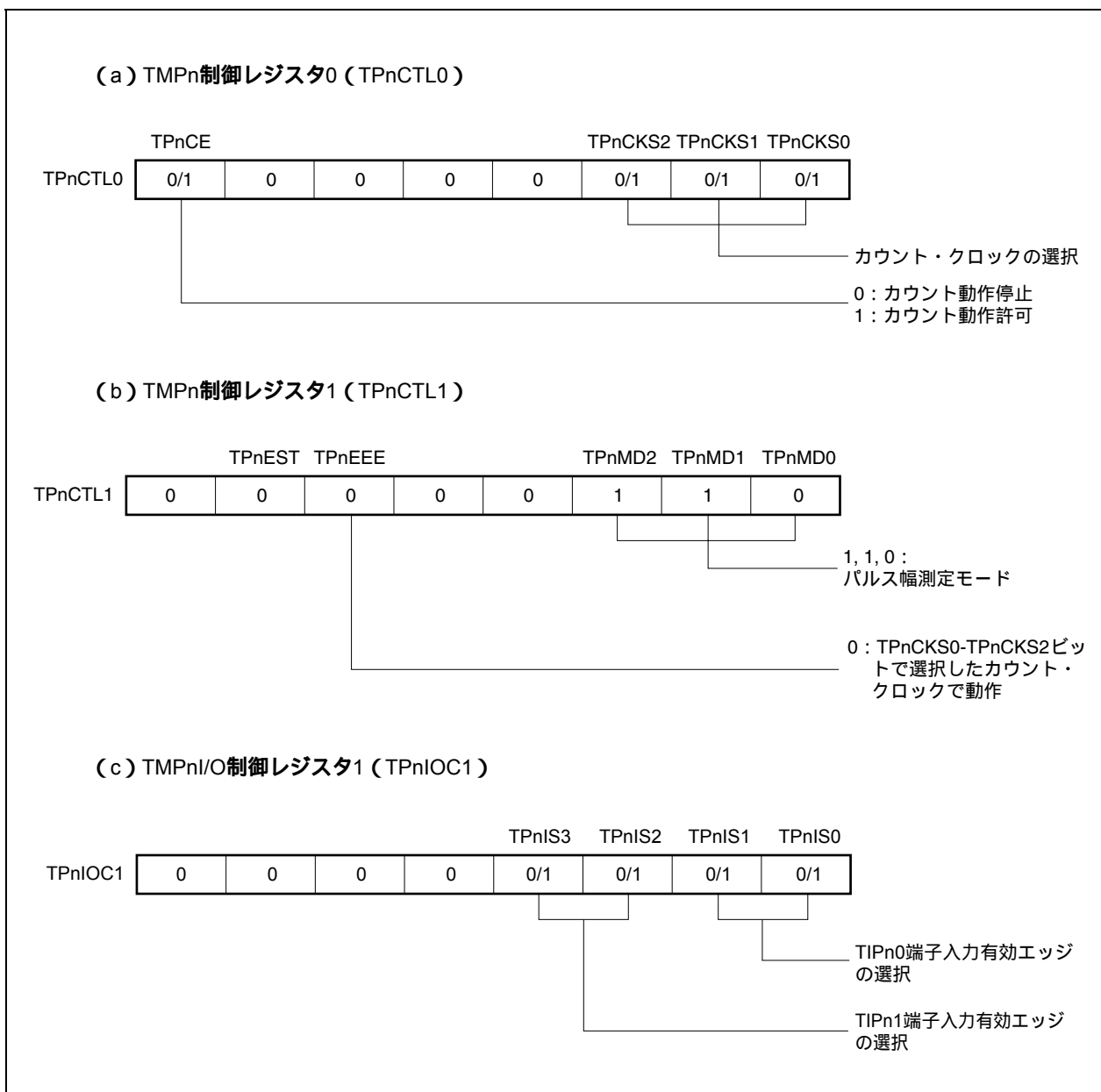
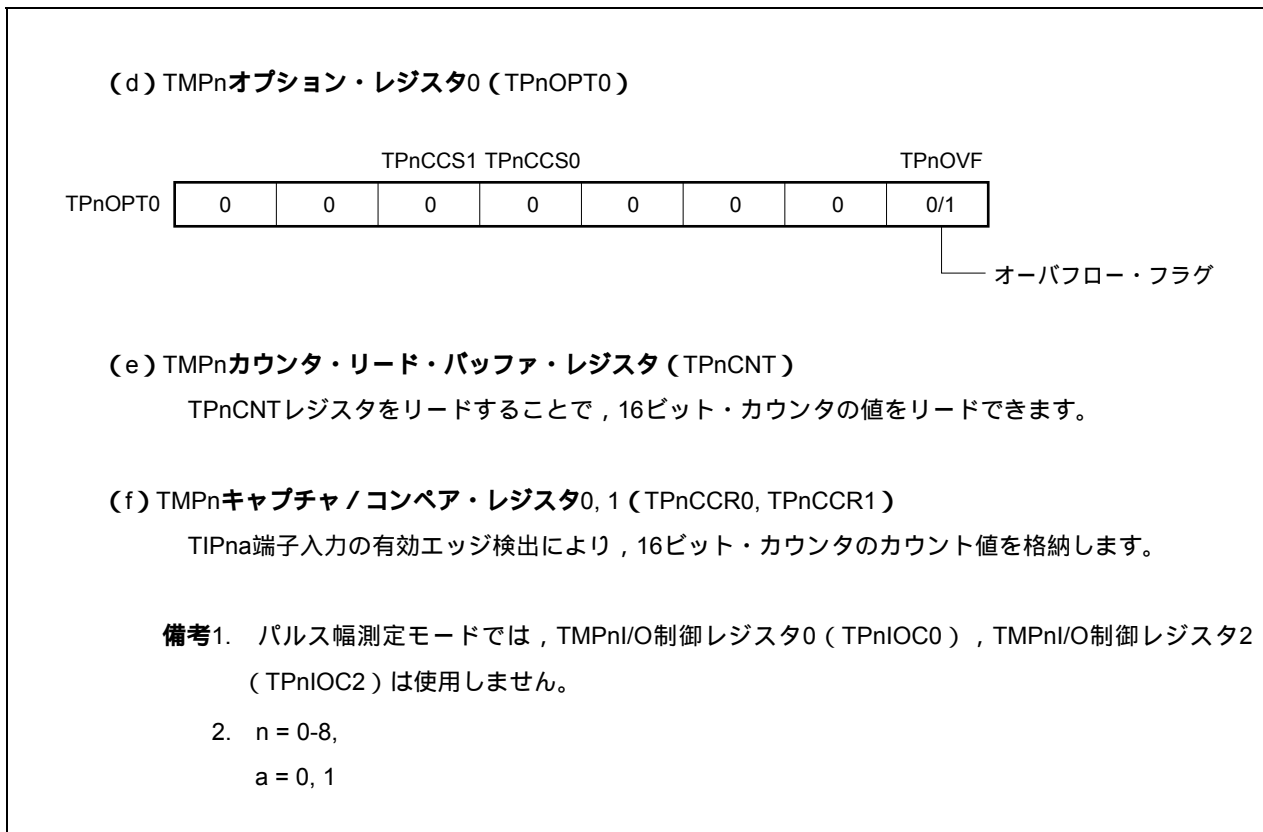


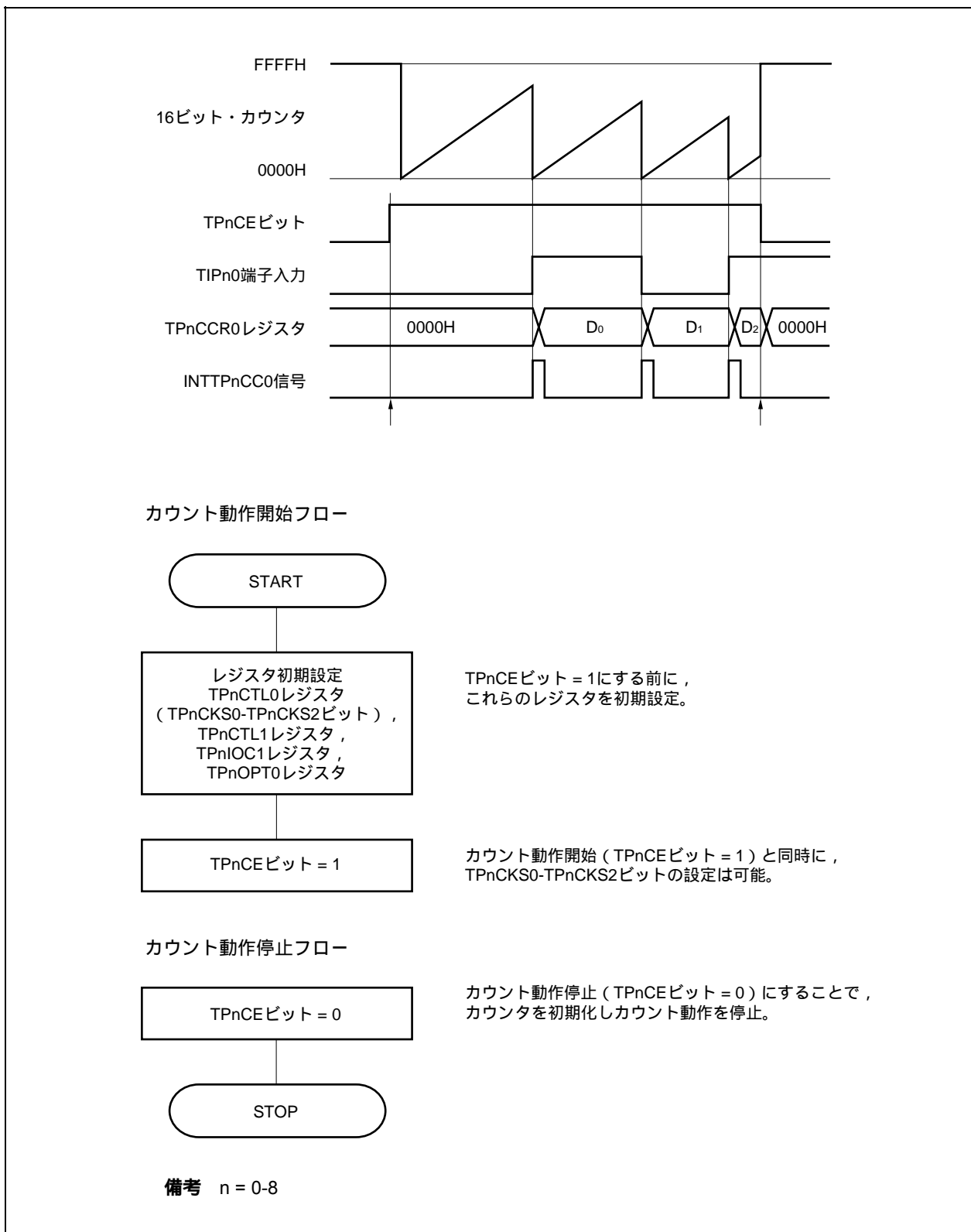


図7-42 パルス幅測定モード動作時のレジスタ設定内容 (2/2)



(1) パルス幅測定モード動作フロー

図7 - 43 パルス幅測定モード使用時のソフトウェア処理フロー



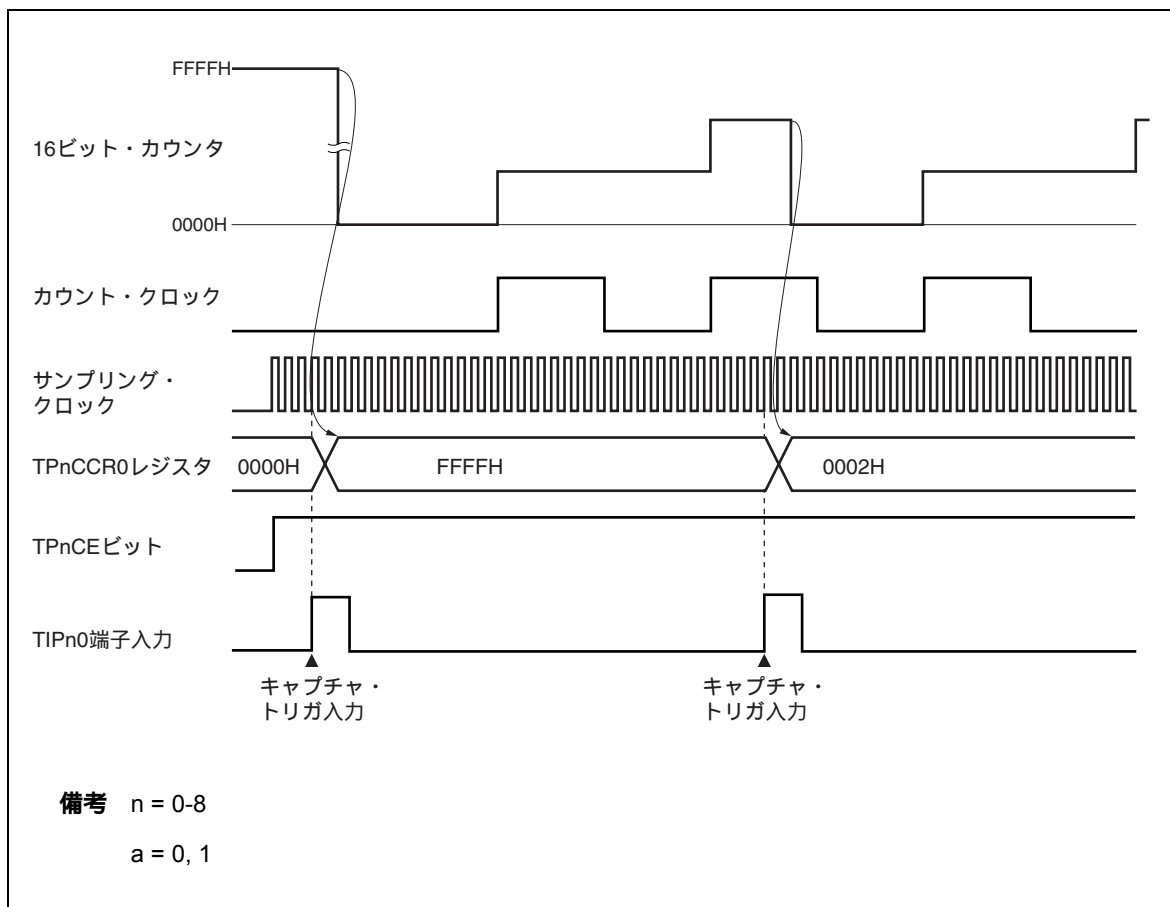
## (2) パルス幅測定モード動作タイミング

## (a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TPnOVFビット = 1をリードしたあとにTPnOVFビットをCLR命令でクリア (0) する方法と、TPnOVFビット = 1をリードしたあとにTPnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

## (3) 注意事項

カウント・クロックとして遅いクロックを選択した場合、TPnCTL0.TPnCEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TPnCCRnレジスタに0000HではなくFFFFHがキャプチャされる場合やキャプチャ動作が行われない (キャプチャ割り込みが発生しない) 場合があります。



### 7.6.8 エンコーダ・カウント機能 (TMP7, TMP8のみ)

エンコーダ・カウント機能には、エンコーダ・コンペア・モード (7.6.9 エンコーダ・コンペア・モード (TPmMD3-TPmMD0ビット = 1000) 参照) があります。

モード	TPmCCR0レジスタ	TPmCCR1レジスタ
エンコーダ・コンペア・モード	コンペア専用	コンペア専用

#### (1) アップ/ダウン・カウント制御

エンコーダ入力信号 (TENCm0, TENCm1) の位相とTPmCTL2.TPmUDS1, TPmUDS0ビットの設定により16ビット・カウンタのアップ/ダウン制御を行い、カウント動作を行います。

エンコーダ・カウント機能では、内部カウント・クロックおよび外部イベント・カウント入力 (TIPm0) は使用できません。TPmCTL0.TPmCKS2-TPmCKS0ビット = 000, TPmCTL1.TPmEEEビット = 0に設定してください。

#### (2) 16ビット・カウンタの初期値設定

TPmCTL2.TPmECCビット = 0時にTPmTCWレジスタに設定したカウント初期値を、カウント動作の開始 (TPmCTL0.TPmCEビット = 0 1)直後に16ビット・カウンタに転送し、エンコーダ入力信号 (TENCm0, TENCm1) の有効エッジ検出後にカウント動作を開始します

#### (3) 基本動作

TPmCCR<sub>a</sub>レジスタは、16ビット・カウンタのカウント値とCCR<sub>a</sub>バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPmCC<sub>a</sub>) が発生します。

#### (4) クリア動作

エンコーダ・コンペア・モード時の16ビット・カウンタのクリアは、次の条件で発生します。

- ・ 16ビット・カウンタとコンペア・レジスタの値の一致によるクリア  
(TPmCTL2.TPmECM1, TPmECM0ビットを設定)
- ・ エンコーダ・クリア入力 (TECR<sub>m</sub>) のエッジ検出クリア  
(TPmIOC3.TPmSCEビット = 0時にTPmECS1, TPmECS0ビットを設定)
- ・ TENCm0, TENCm1, TECR<sub>m</sub>端子のクリア・レベル条件検出クリア  
(TPmSCEビット = 1時にTPmZCL, TPmBCL, TPmACLビットを設定)

備考 m = 7, 8, a = 0, 1

## (5) TPmCTL2レジスタのビット制御

エンコーダ・コンペア・モード時のTPmCTL2レジスタの設定を次に示します。

表7-7 TPmCTL2レジスタの設定

モード	TPmUDS1, TPmUDS0 ビット( )	TPmECM1 ビット ( )	TPmECM0 ビット ( )	TPmLDE ビット ( )	カウンタ・ クリア (対象のコ ンペア・ レジスタ)	カウンタへ の転送
エンコーダ・コンペア・ モード	00, 01, 10, 11 の全設定可能	0	0	0	-	-
				1		可能
			1	0	TPmCCR0	-
				1		可能 <sup>注</sup>
		1	0	無効	TPmCCR1	-
			1		TPmCCR0, TPmCCR1	-

注 「0000H-TPmCCR0レジスタ設定値」範囲内でカウント動作が可能です。

備考 m = 7, 8

## (a) 各ビットの概要

TPmUDS1, TPmUDS0ビットは、エンコーダ入力端子 (TENCm0, TENCm1) から入力された位相に対して、アップ/ダウン・カウンタの判別制御を行います。

TPmECM1, TPmECM0ビットは、16ビット・カウンタのカウント値とCCR0, CCR1バッファ・レジスタの値が一致した場合の16ビット・カウンタのクリアを制御します。

TPmLDEビットは、アンダフローが発生したときに、TPmCCR0レジスタ設定値を16ビット・カウンタに転送する機能を制御します。TPmLDEビットは、TPmECM1, TPmECM0ビットが00, 01時のみ有効となります。それ以外の設定は無効となります。

(b) 各ビットの詳細説明

TPmUDS1, TPmUDS0ビット：アップ/ダウン・カウントの選択

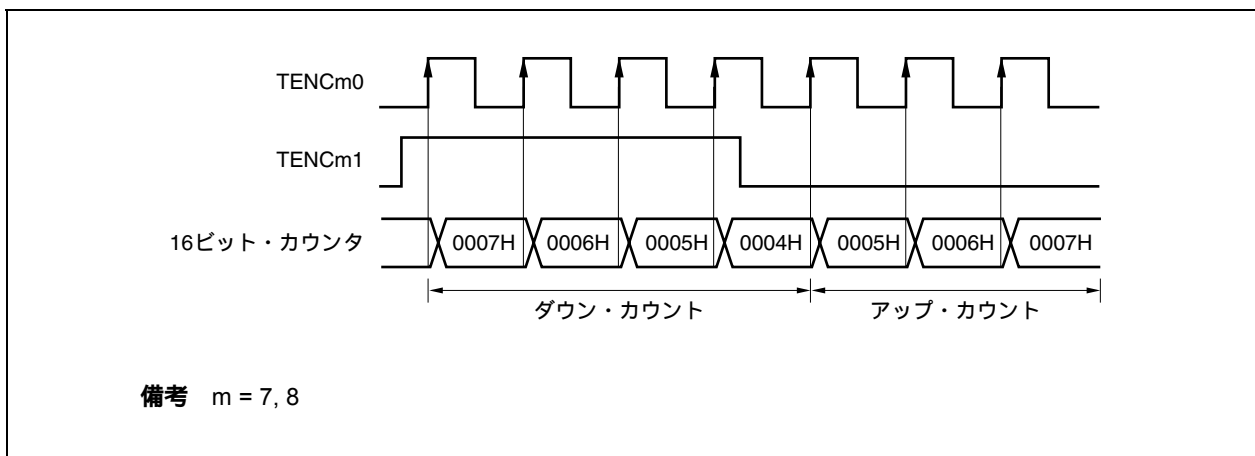
TPmUDS1, TPmUDS0ビット設定とTENCm0, TENCm1端子から入力された位相により, アップ/ダウン・カウントを判別します。TPmUDS1, TPmUDS0ビットは, エンコーダ・コンペア・モード時のみ有効です。

・ TPmUDS1, TPmUDS0ビット = 00時

TENCm0端子	TENCm1端子	カウント動作
立ち上がりエッジ	ハイ・レベル	ダウン・カウント
立ち下がりエッジ		
両エッジ		
立ち上がりエッジ	ロウ・レベル	アップ・カウント
立ち下がりエッジ		
両エッジ		

備考 TENCm0端子のエッジ検出は, TPmIOC3.TPmEIS1, TPmEIS0ビットで設定します。

図7 - 44 動作例 (TENCm0端子の有効エッジが立ち上がりエッジ指定, TENCm1端子の有効エッジがエッジ検出なしの場合)



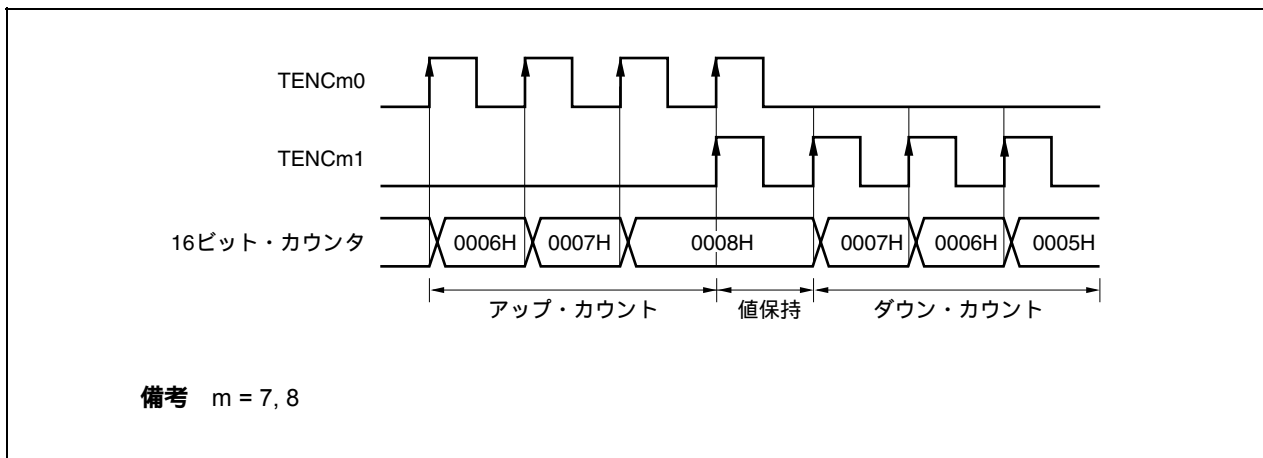
備考 m = 7, 8

・ TPmUDS1, TPmUDS0ビット = 01時

TENCm0端子	TENCm1端子	カウント動作	
ロウ・レベル	立ち上がりエッジ	ダウン・カウント	
	立ち下がりエッジ		
	両エッジ		
ハイ・レベル	立ち上がりエッジ		
	立ち下がりエッジ		
	両エッジ		
立ち上がりエッジ	ハイ・レベル	アップ・カウント	
立ち下がりエッジ			
両エッジ			
立ち上がりエッジ	ロウ・レベル		アップ・カウント
立ち下がりエッジ			
両エッジ			
TENCm0, TENCm1端子同時入力		カウント動作は行わず, 直前の値を保持	

**備考** TENCm0, TENCm1端子のエッジ検出は, TPmIOC3.TPmEIS1, TPmEIS0ビットで設定します。

図7 - 45 動作例 (TENCm0, TENCm1端子の有効エッジが立ち上がりエッジ指定の場合)



**備考** m = 7, 8

・ TPmUDS1, TPmUDS0ビット = 10時

TENCm0端子	TENCm1端子	カウント動作
ロウ・レベル	立ち下がりエッジ	カウント動作は行わず、直前の値を保持
立ち上がりエッジ	ロウ・レベル	ダウン・カウント
ハイ・レベル	立ち上がりエッジ	カウント動作は行わず、直前の値を保持
立ち下がりエッジ	ハイ・レベル	
立ち上がりエッジ	立ち下がりエッジ	アップ・カウント
ハイ・レベル		
立ち下がりエッジ	ロウ・レベル	アップ・カウント
ロウ・レベル	立ち上がりエッジ	カウント動作は行わず、直前の値を保持
立ち上がりエッジ		
立ち下がりエッジ		
立ち上がりエッジ	立ち下がりエッジ	ダウン・カウント
立ち下がりエッジ		アップ・カウント

注意 TENCm0端子とTENCm1端子の有効エッジ指定は無効となります。

図7 - 46 動作例 (TENCm0, TENCm1端子の有効エッジが重ならない場合のカウント動作)

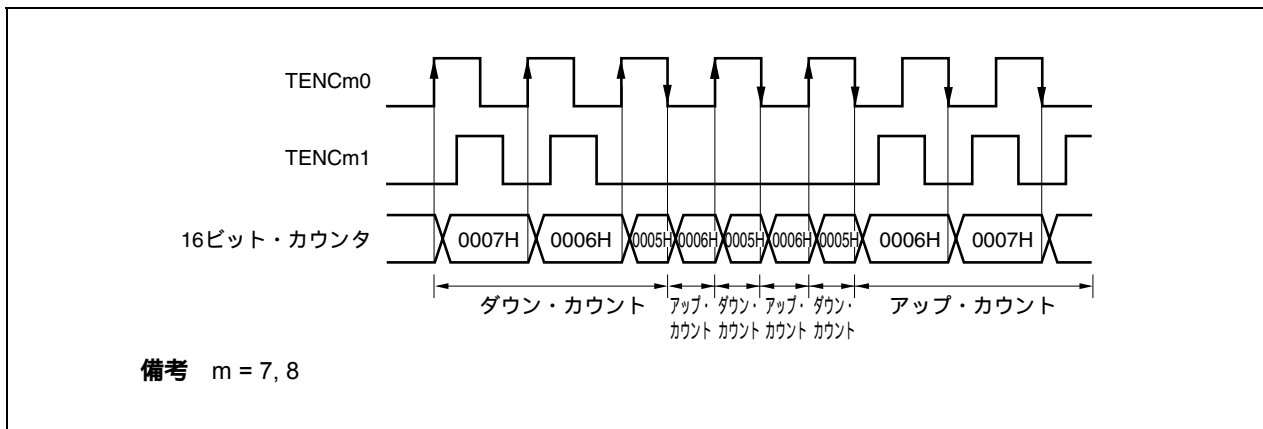
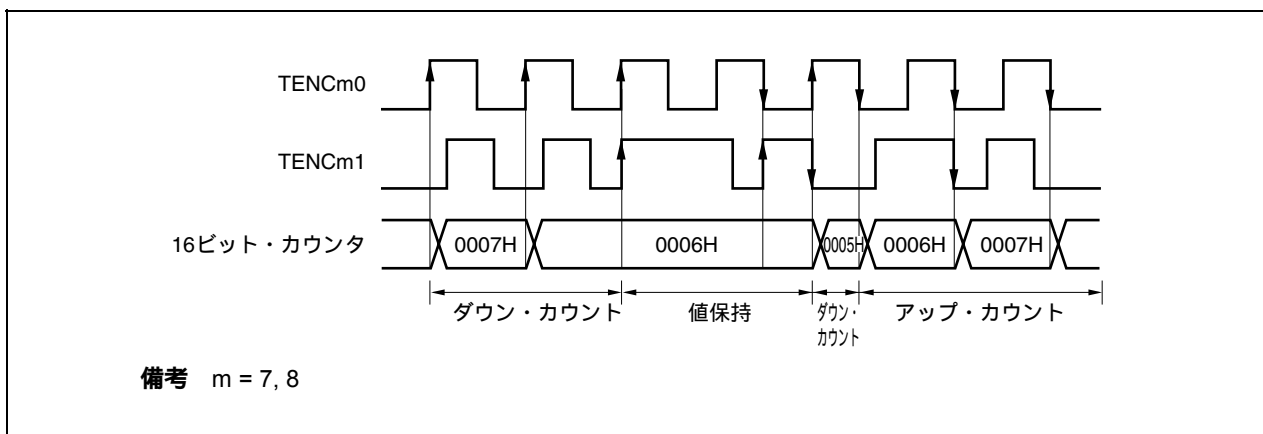


図7 - 47 動作例 (TENCm0, TENCm1端子の有効エッジが重なった場合のカウント動作)





・ TPmUDS1, TPmUDS0ビット = 11時

TENCm0端子	TENCm1端子	カウント動作
ロウ・レベル	立ち下がりエッジ	ダウン・カウント
立ち上がりエッジ	ロウ・レベル	
ハイ・レベル	立ち上がりエッジ	
立ち下がりエッジ	ハイ・レベル	
立ち上がりエッジ	立ち下がりエッジ	アップ・カウント
ハイ・レベル		
立ち下がりエッジ		
ロウ・レベル		
TENCm0, TENCm1端子同時入力		カウント動作は行わず, 直前の値を保持

注意 TENCm0端子とTENCm1端子の有効エッジ指定は無効となります。

図7 - 48 動作例 (TENCm0, TENCm1端子の有効エッジが重ならない場合のカウント動作)

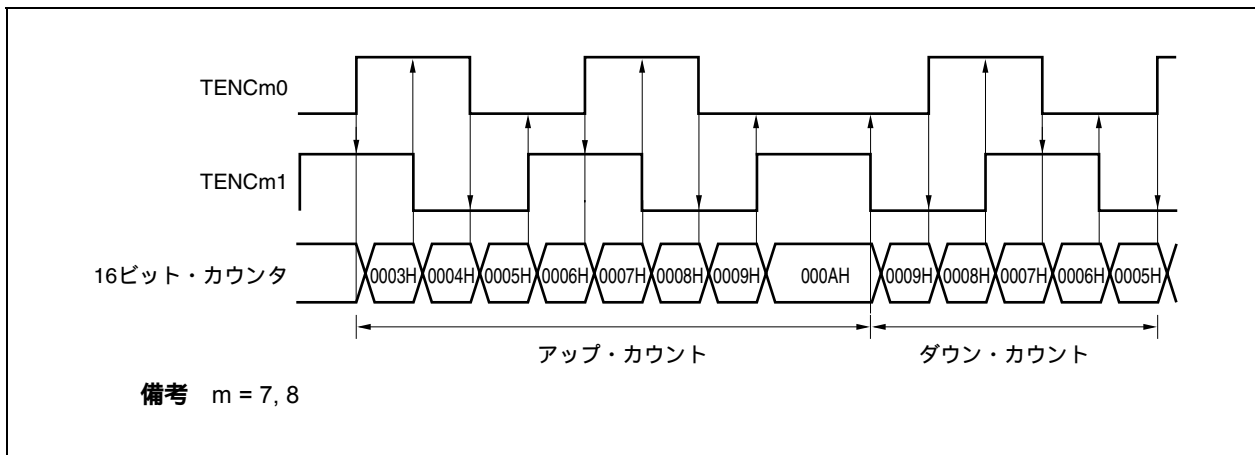
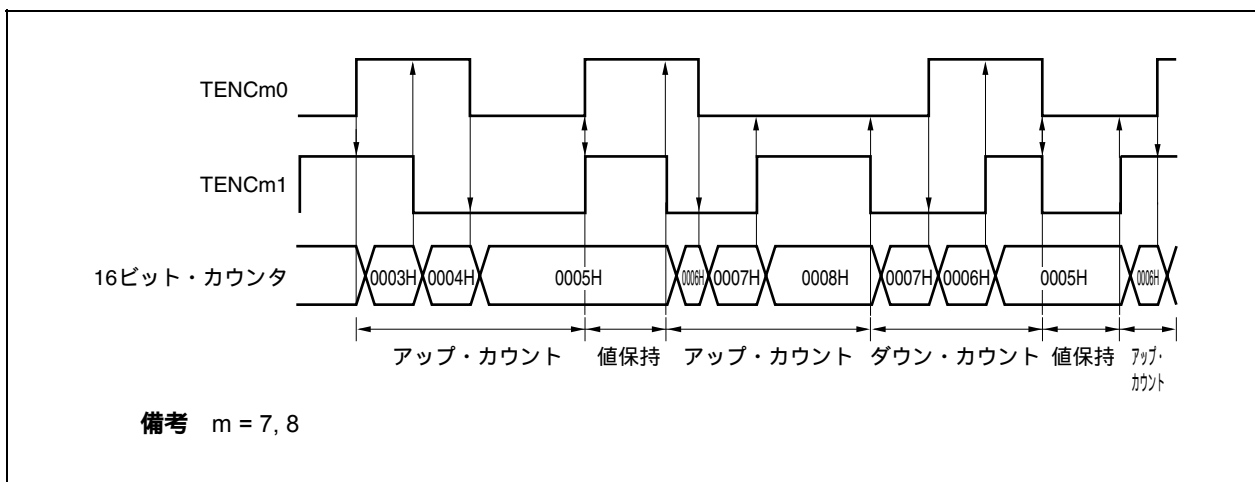


図7 - 49 動作例 (TENCm0, TENCm1端子の有効エッジが重なった場合のカウント動作)



TPmECM1, TPmECM0ビット：コンペア・レジスタ一致によるタイマ・カウンタ・クリア機能  
16ビット・カウンタのカウンタ値とCCR<sub>a</sub>バッファ・レジスタの値が一致したときにTPmECM1, TPmECM0ビットの設定値に従い、カウンタ動作を行います。

・ TPmECM1, TPmECM0ビット = 00時

16ビット・カウンタのカウンタ値とCCR<sub>a</sub>バッファ・レジスタの値の一致によるカウンタ・クリアを行わない。

・ TPmECM1, TPmECM0ビット = 01時

16ビット・カウンタのカウンタ値とCCR<sub>0</sub>バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウンタ	16ビット・カウンタを0000Hにクリアする。
ダウン・カウンタ	16ビット・カウンタのカウンタ値をダウン・カウントする

・ TPmECM1, TPmECM0ビット = 10時

16ビット・カウンタのカウンタ値とCCR<sub>1</sub>バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウンタ	16ビット・カウンタのカウンタ値をアップ・カウントする
ダウン・カウンタ	16ビット・カウンタを0000Hにクリアする。

・ TPmECM1, TPmECM0ビット = 11時

16ビット・カウンタのカウンタ値とCCR<sub>0</sub>バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウンタ	16ビット・カウンタを0000Hにクリアする。
ダウン・カウンタ	16ビット・カウンタのカウンタ値をダウン・カウントする

16ビット・カウンタのカウンタ値とCCR<sub>1</sub>バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウンタ	16ビット・カウンタのカウンタ値をアップ・カウントする
ダウン・カウンタ	16ビット・カウンタを0000Hにクリアする。

**TPmLDEビット：アンダフロー発生時のTPmCCR0レジスタ設定値の16ビット・カウンタへの転送機能**

TPmLDEビット = 1に設定することにより、アンダフロー発生時にTPmCCR0レジスタ設定値を16ビット・カウンタに転送することができます。

TPmLDEビットは、エンコーダ・コンペア・モード時のみ有効です。

- ・「0000H-TPmCCR0レジスタ設定値」範囲内でのカウント動作

TPmLDEビット = 1, TPmECM1, TPmECM0ビット = 01に設定し、カウント動作を行うと、TPmECM0ビット = 1のときに16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値の一致発生後、次のカウントがアップ・カウントの場合に16ビット・カウンタが0000Hにクリアされます。

TPmLDEビット = 1のときにアンダフロー発生時にTPmCCR0レジスタ設定値が16ビット・カウンタに転送されます。

したがって、TPmCCR0レジスタ設定値をカウント上限値、0000Hをカウント下限値とした「0000H-TPmCCR0レジスタ設定値」範囲内でのカウント動作が実現できます。

図7 - 50 動作例（「0000H-TPmCCR0レジスタ設定値」範囲内でのカウント動作）

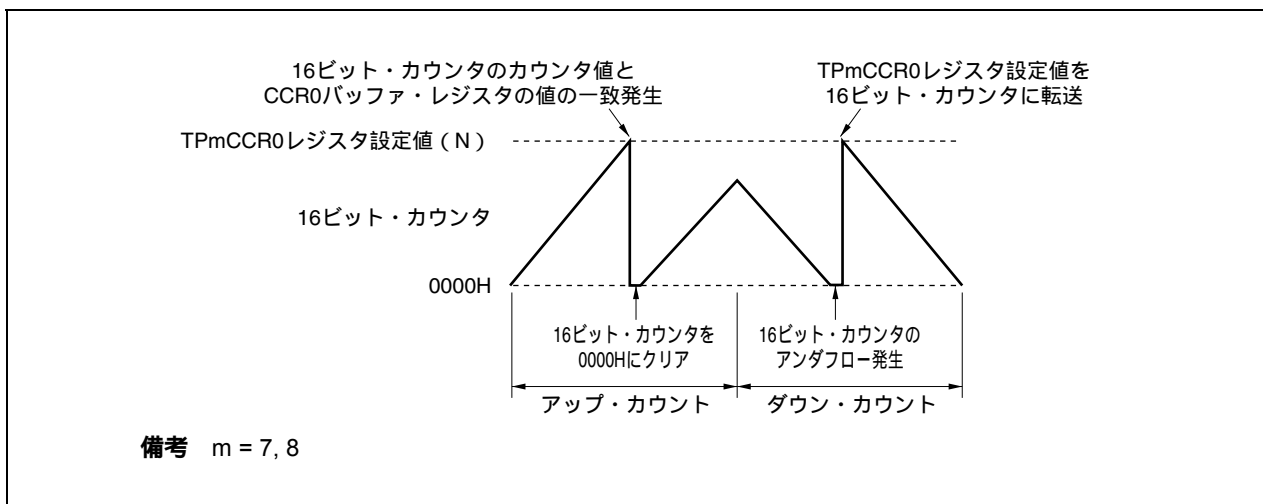
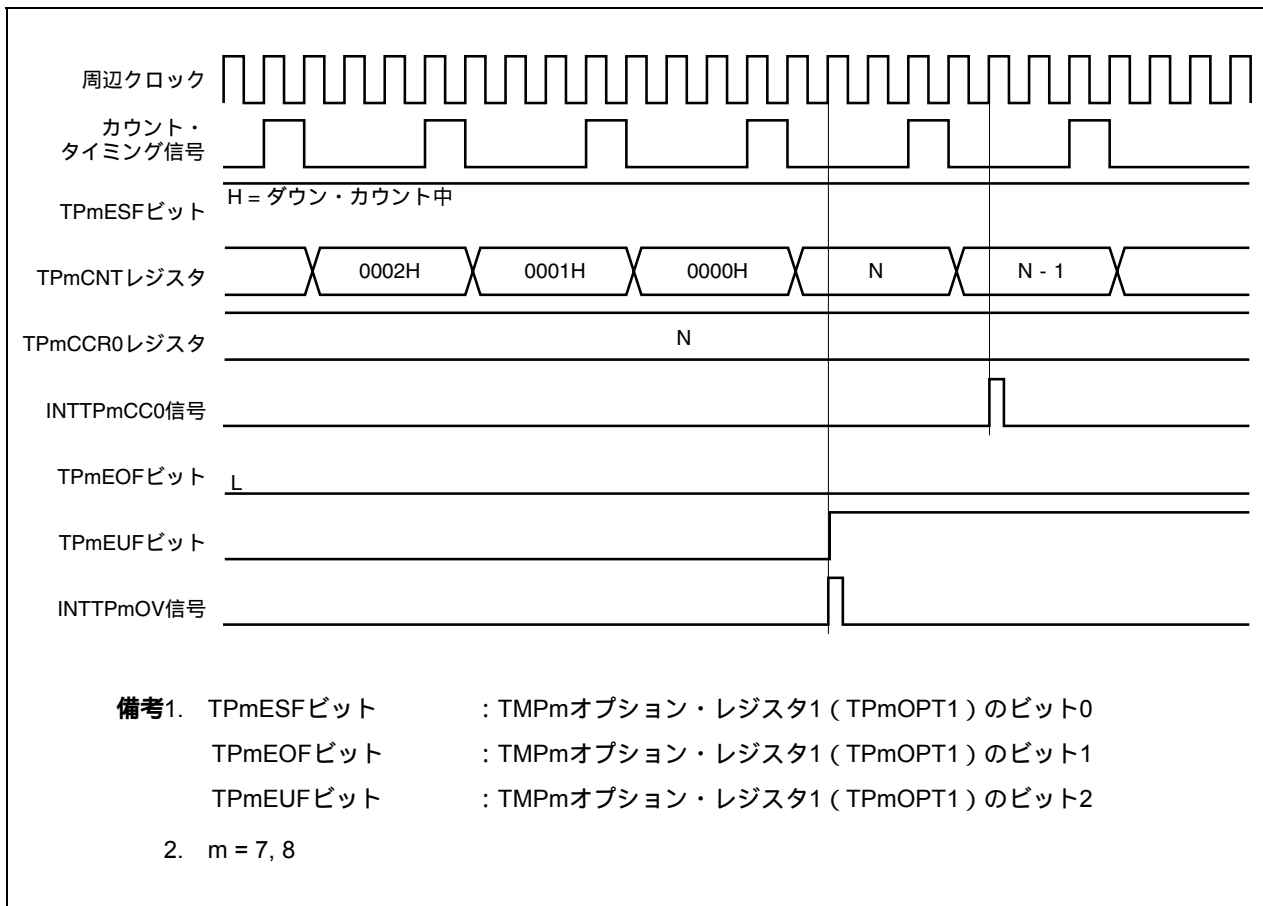


図7-51 動作タイミング (「0000H-TPmCCR0レジスタ設定値」範囲内でのカウント動作)



## (6) エンコーダ・クリア信号 (TECRm端子) によるカウンタの0000Hクリア機能

TECRm端子入力により16ビット・カウンタを0000Hにクリアする方法は2種類あり, TPmIOC3.TPmSCEビットにより制御されます。また, TPmSCEビットは, その設定によりTPmIOC3.TPmZCL, TPmBCL, TPmACL, TPmECS1, TPmECS0ビットを制御します。

これらのクリア方法は, エンコーダ・コンペア・モード時のみ有効です。

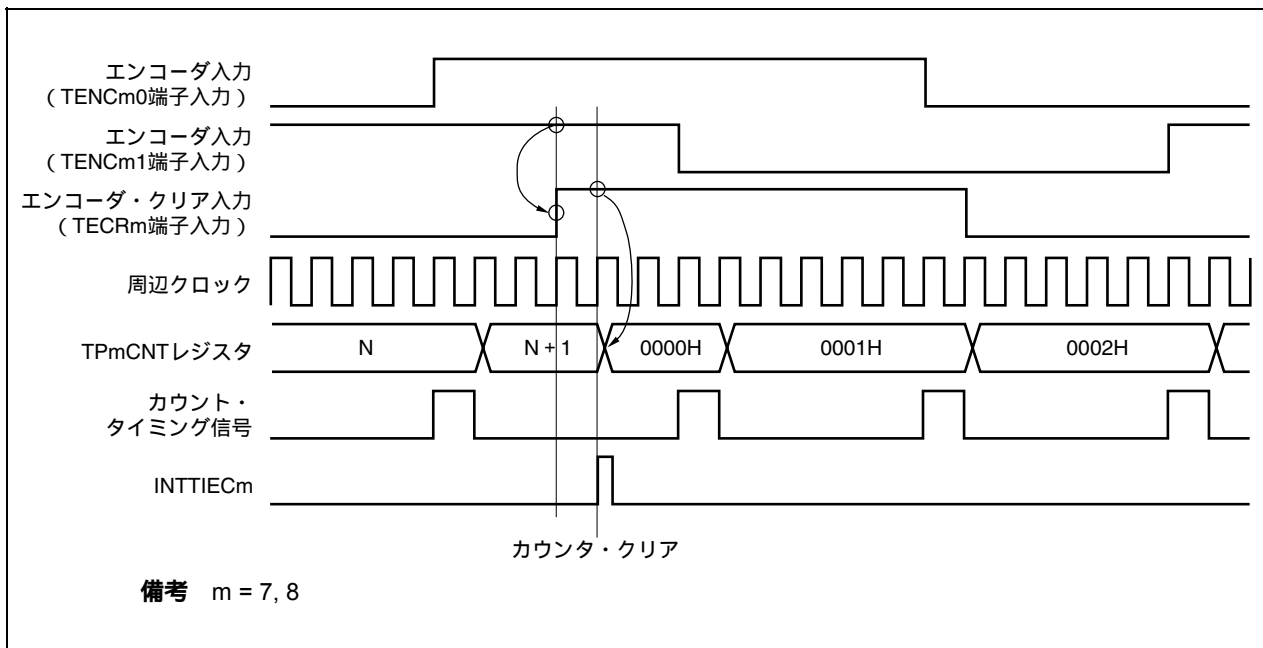
表7-8 TPmSCEビットとTPmZCL, TPmBCL, TPmACL, TPmECS1, TPmECS0ビットの関係

クリア方法	TPmSCEビット	TPmZCLビット	TPmBCLビット	TPmACLビット	TPmECS1, TPmECS0ビット
	0	無効	無効	無効	有効
	1	有効	有効	有効	無効

## (a) クリア方法 : エンコーダ・クリア信号 (TECRm端子) のエッジ検出クリア (TPmSCEビット = 0)

TPmSCEビット = 0のとき, TPmECS1, TPmECS0ビットで指定したTECRm端子の有効エッジ検出により, 周辺クロックに同期して16ビット・カウンタを0000Hにクリアします。このとき, エンコーダ・クリア割り込み要求信号 (INTTIECm) が発生します。なお, TPmSCEビット = 0のとき, TPmZCL, TPmBCL, TPmACLビットの設定は無効です。

図7-52 動作例 (TPmSCEビット = 0, TPmECS1, TPmECS0ビット = 01, TPmUDS1, TPmUDS0ビット = 11の場合)



(b)クリア方法 : TENCm0, TENCm1, TECRm端子のクリア・レベル条件検出クリア (TPmSCEビット = 1)

TPmSCEビット = 1のとき, TPmZCL, TPmBCL, TPmACLビットで設定したTECRm, TENCm0, TENCm1端子のクリア・レベル条件検出により16ビット・カウンタを0000Hにクリアします。このとき, エンコーダ・クリア割り込み要求信号 (INTTIECm) は発生しません。なお, TPmSCEビット = 1のとき, TPmECS1, TPmECS0ビットの設定は無効です。

表7-9 TPmSCEビット = 1のときの16ビット・カウンタのクリア条件

クリア・レベル条件設定			エンコーダ端子の入力レベル		
TPmZCLビット	TPmBCLビット	TPmACLビット	TECRm端子	TENCm1端子	TENCm0端子
0	0	0	L	L	L
0	0	1	L	L	H
0	1	0	L	H	L
0	1	1	L	H	H
1	0	0	H	L	L
1	0	1	H	L	H
1	1	0	H	H	L
1	1	1	H	H	H

**注意** TPmZCL, TPmBCL, TPmACLビットのクリア・レベル条件と, TECRm, TENCm1, TENCm0端子の入力レベルが一致したときに16ビット・カウンタを0000Hにクリアします。

**備考** m = 7, 8

図7-53 動作例 (TPmSCEビット = 1, TPmZCLビット = 1, TPmBCLビット = 0, TPmACLビット = 1, TPmUDS1, TTmUDS0ビット = 11, TECRm = ハイ・レベル, TENCm1 = ロウ・レベル, TENCm0 = ハイ・レベルの場合) (1/3)

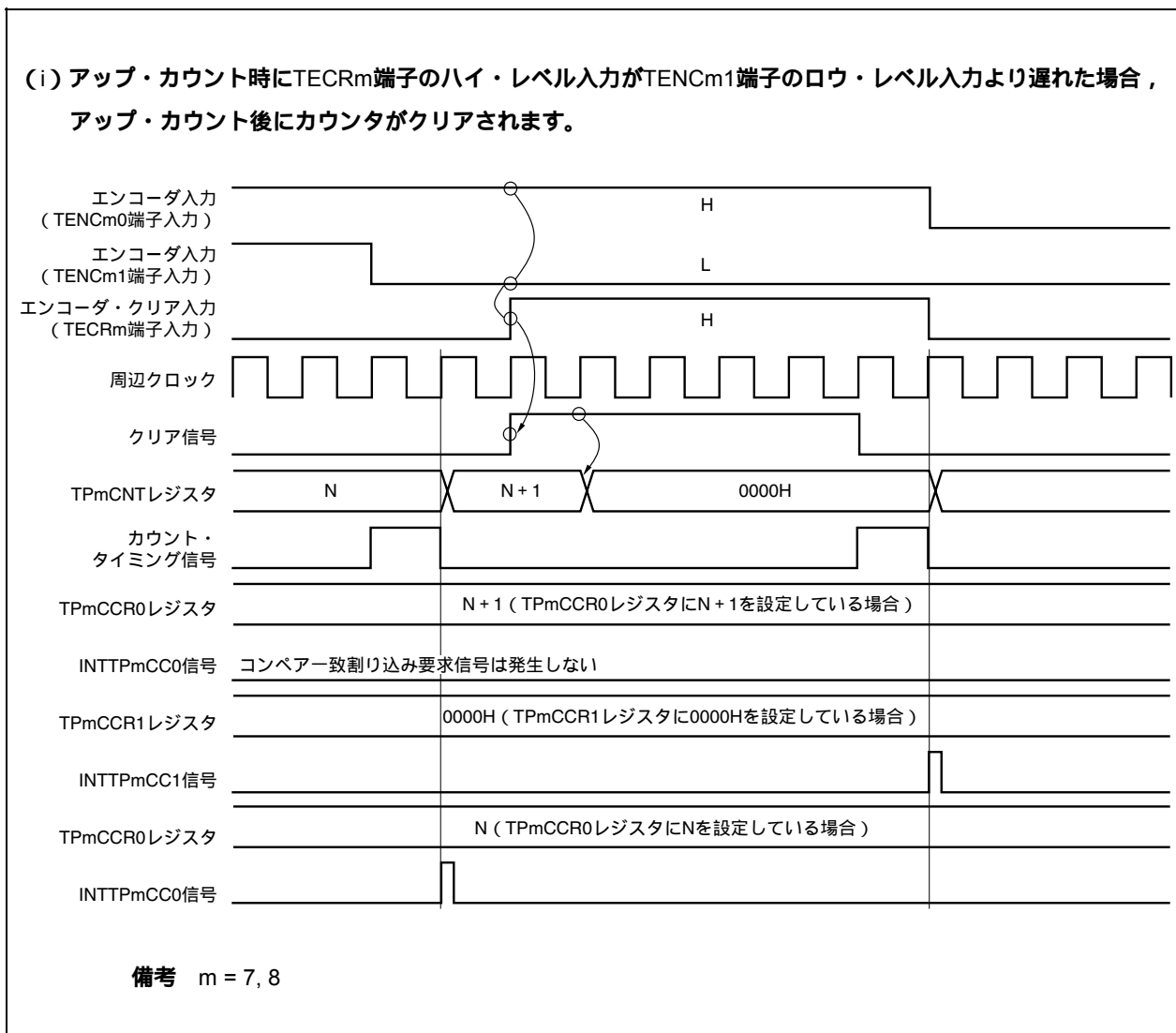
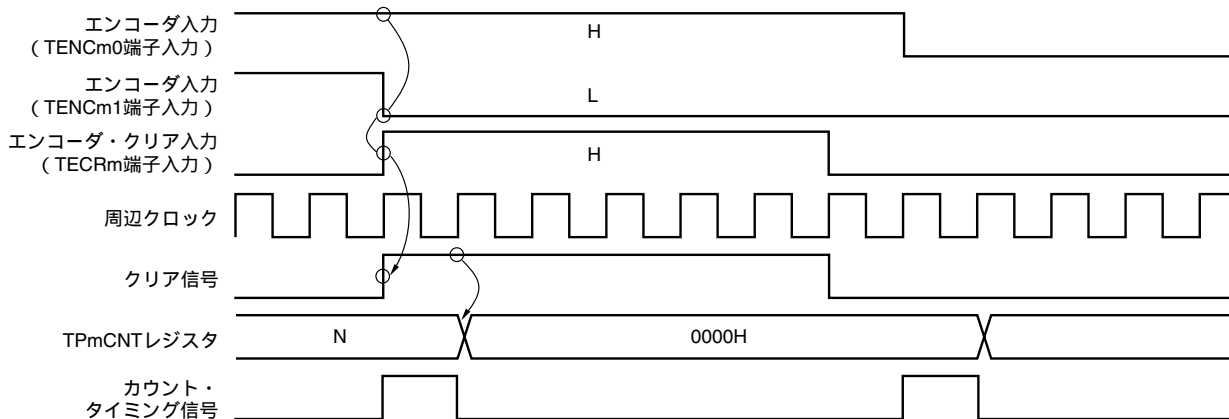
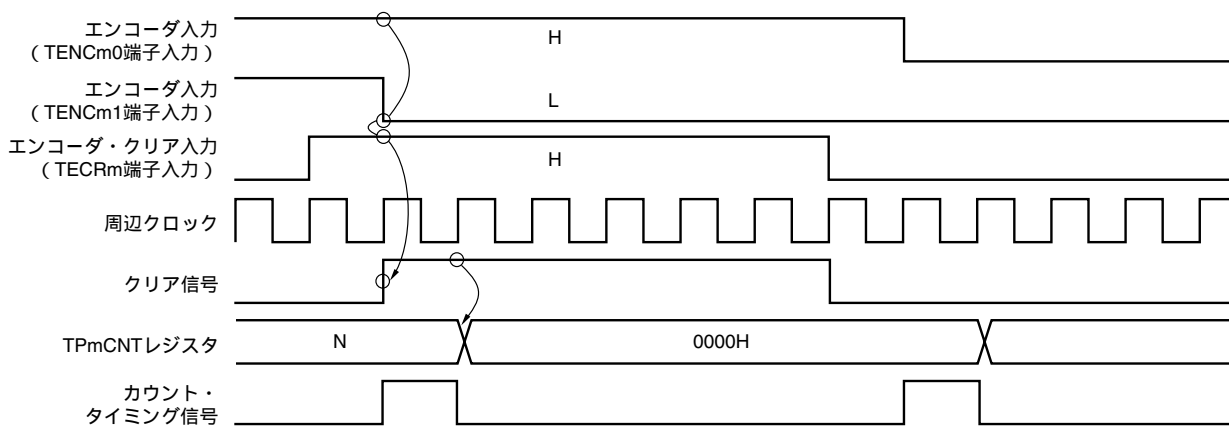


図7-53 動作例 (TPmSCEビット = 1, TPmZCLビット = 1, TPmBCLビット = 0, TPmACLビット = 1,  
TPmUDS1, TPmUDS0ビット = 11, TECRm = ハイ・レベル, TENCm1 = ロウ・レベル,  
TENCm0 = ハイ・レベルの場合) (2/3)

(ii) アップ・カウント時にTECRm端子のハイ・レベル入力とTENCm1端子のロウ・レベル入力が同時の場合、  
アップ・カウントせずにカウンタがクリアされます。



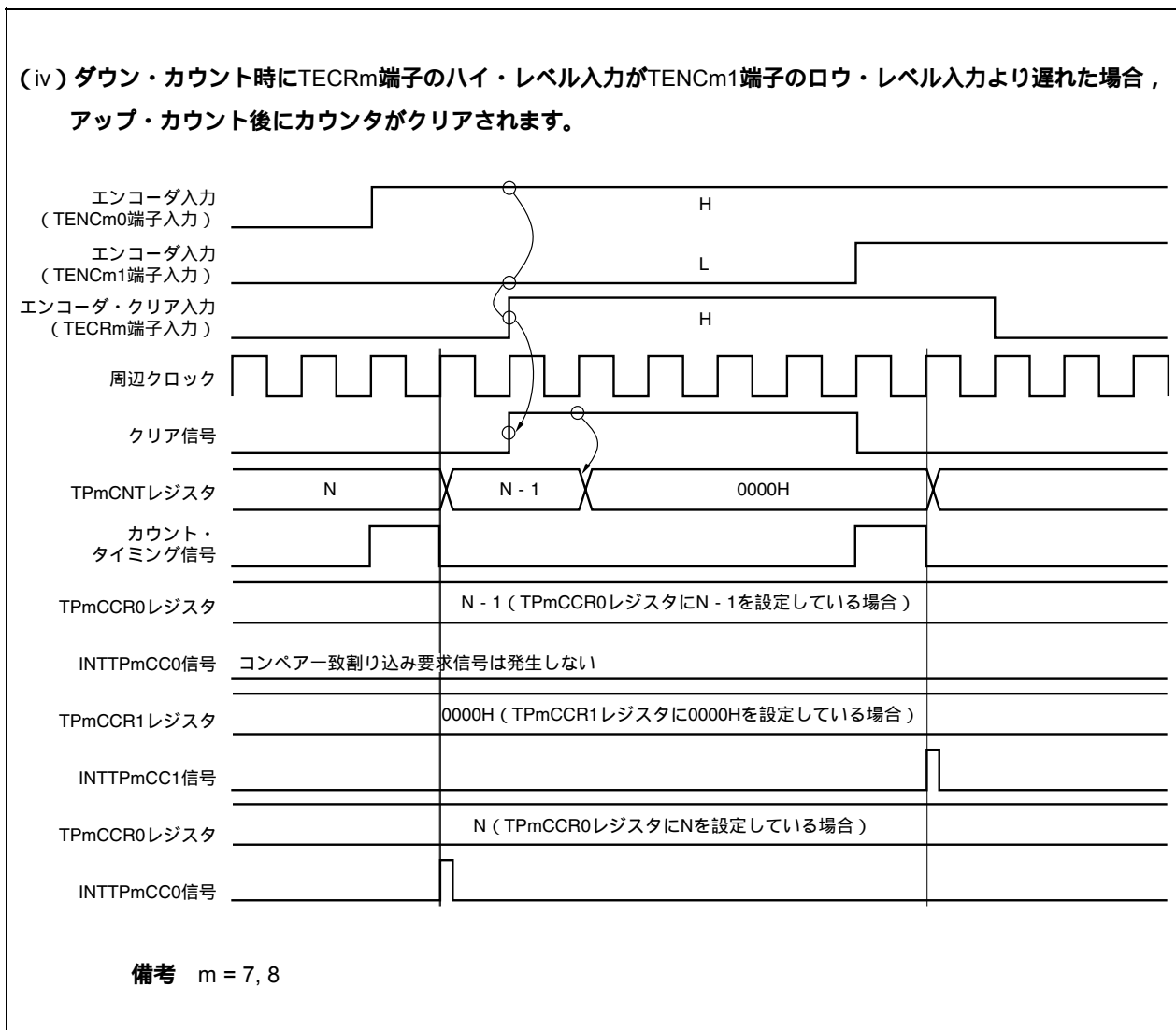
(iii) アップ・カウント時にTECRm端子のハイ・レベル入力がTENCm1端子のロウ・レベル入力より早い場合、  
アップ・カウントせずにカウンタがクリアされます。



備考 m = 7, 8



図7-53 動作例 (TPmSCEビット = 1, TPmZCLビット = 1, TPmBCLビット = 0, TPmACLビット = 1,  
TPmUDS1, TPmUDS0ビット = 11, TECRm = ハイ・レベル, TENCm1 = ロウ・レベル,  
TENCm0 = ハイ・レベルの場合) (3/3)



このクリア方法では、TECRm, TENCm1, TENCm0端子入力のクリア・レベル条件を設定し、クリア・レベル条件の検出により16ビット・カウンタを0000Hにクリアするため、TECRm端子入力の遅延による誤カウントは発生しません。

### 7.6.9 エンコーダ・コンペア・モード (TPmMD3-TPmMD0ビット = 1000)

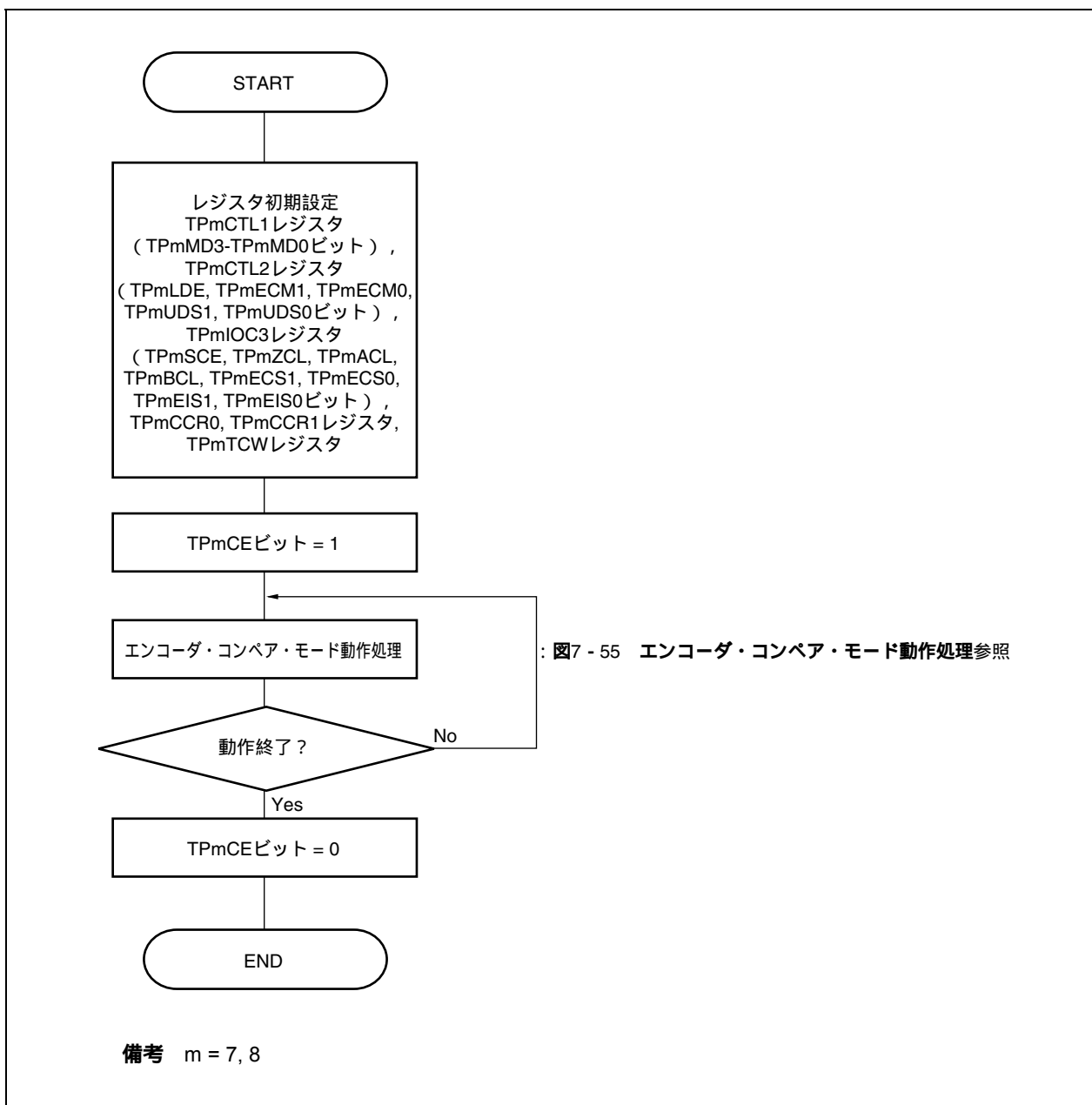
エンコーダ・コンペア・モードは、TPmCCR0, TPmCCR1レジスタをと共にコンペア機能として使用し、エンコーダ・カウント機能用入力端子 (TENCm0, TENCm1, TECEm) により、エンコーダ制御を実現します。

クリア動作としては3つの条件があります。16ビット・カウンタのカウント値とCCRaバッファ・レジスタの値の一致によるクリア (コンペアー一致割り込み要求信号 (INTTPmCCa) を発生)、エンコーダ・クリア入力 (TECEm端子) のエッジ検出クリア、TENCm0, TENCm1, TECEm端子のクリア・レベル条件検出クリアにより、16ビット・カウンタを0000Hにクリアします。

アンダフロー発生時にTPmCCR0レジスタ設定値を16ビット・カウンタに転送することができます。

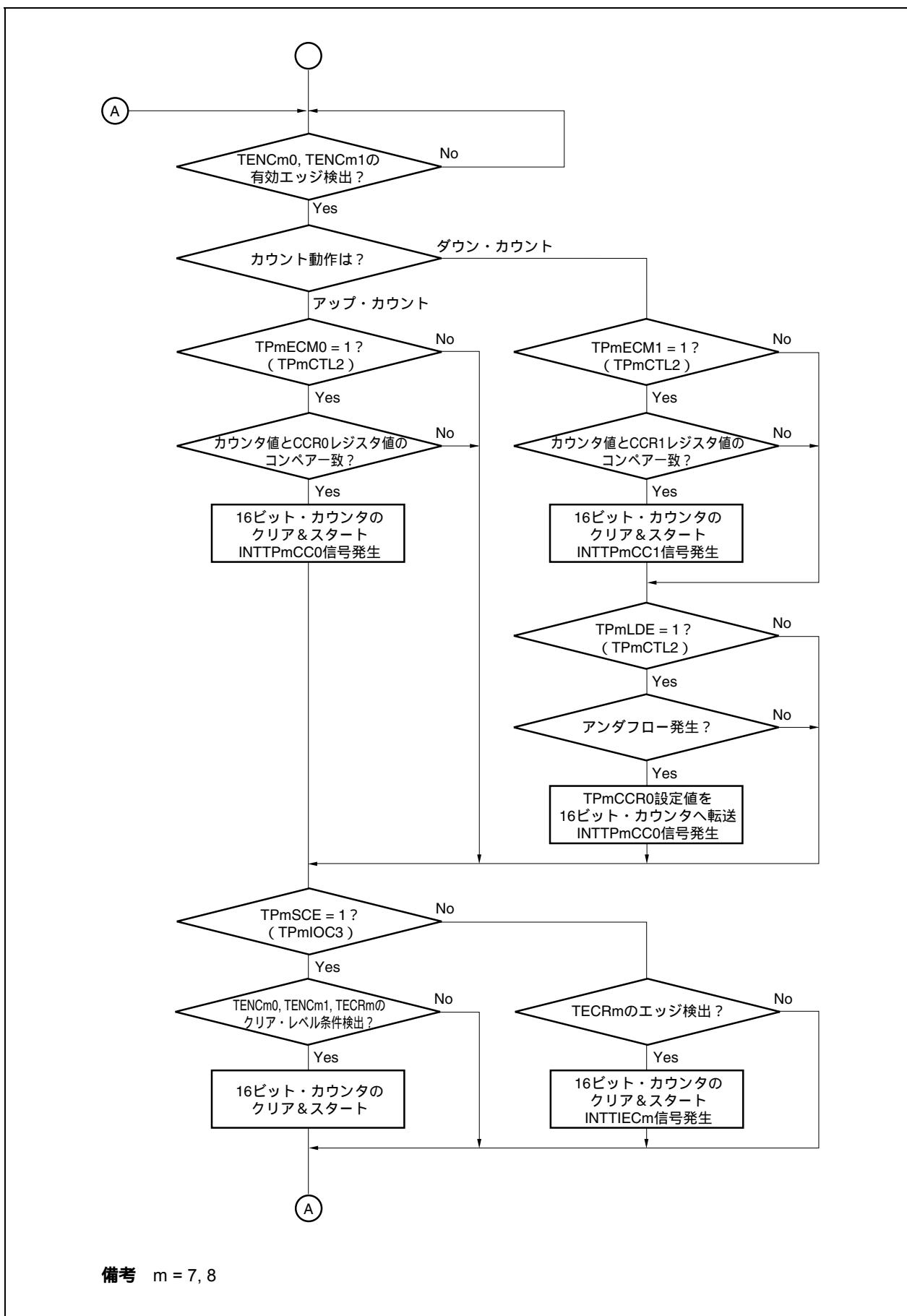
#### (1) エンコーダ・コンペア・モード動作フロー

図7-54 エンコーダ・コンペア・モード動作フロー



: 図7-55 エンコーダ・コンペア・モード動作処理参照

図7-55 エンコーダ・コンペア・モード動作処理

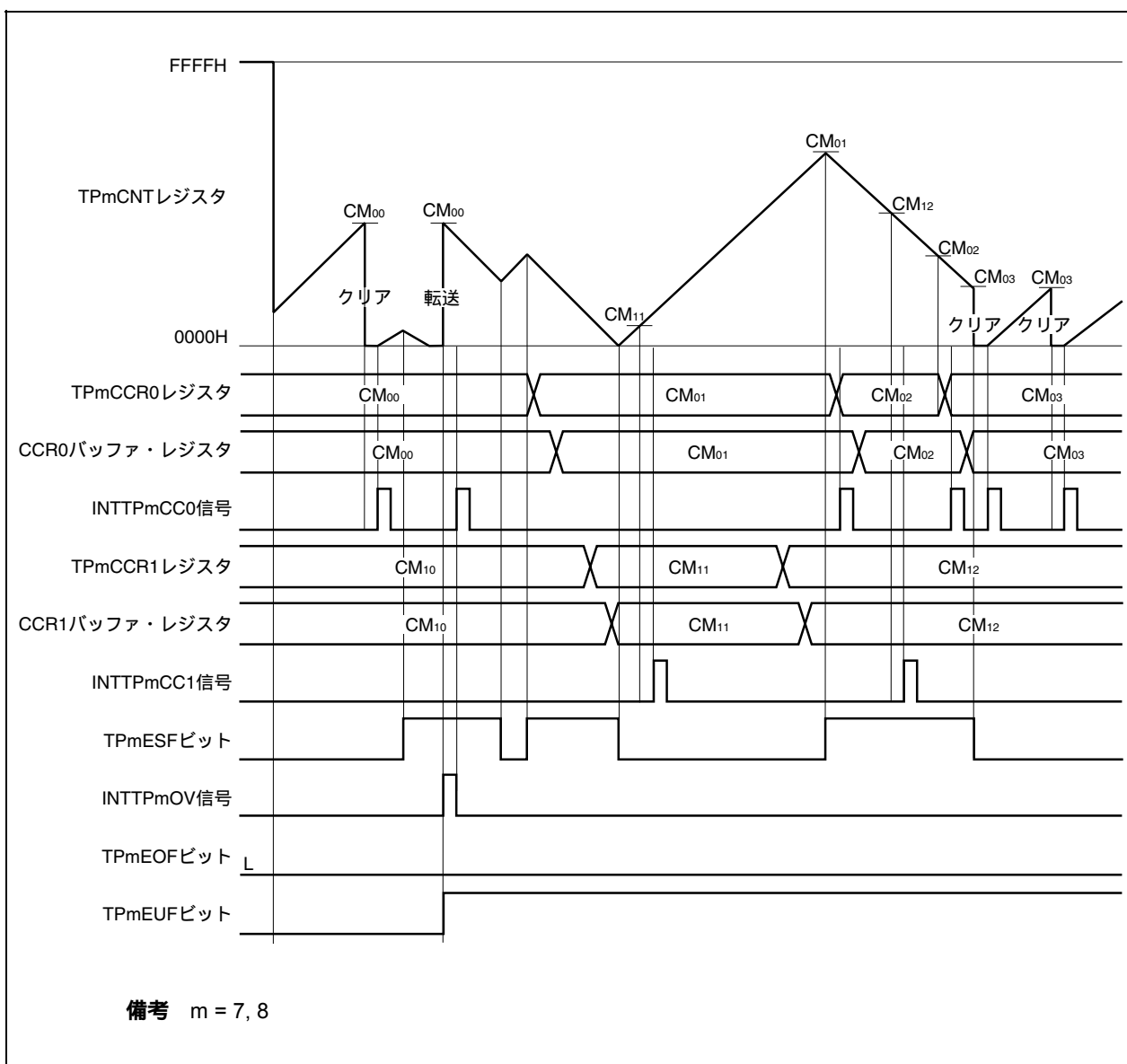


## (2) エンコーダ・コンペア・モード動作タイミング

## (a) 基本タイミング1

## 【レジスタ設定条件】

- ・ TPmCTL2.TPmECM1, TPmECM0ビット = 01  
16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタ値の一致でカウンタを0000Hにクリアする。
- ・ TPmCTL2.TPmLDEビット = 1  
アンダフロー発生時, TPmCCR0レジスタ設定値を16ビット・カウンタに転送する。
- ・ TPmIOC3.TPmSCEビット = 0, TPmECS1, TPmECS0ビット = 00  
エンコーダ・クリア入力 (TECRm端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TPmCEビット = 0 1) にTPmTCWレジスタ設定値を16ビット・カウンタに転送し、カウント動作を開始します。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTPmCC0) が発生します。TPmECM0ビット = 1のため、次のカウント動作がアップ・カウンタの場合に16ビット・カウンタを0000Hにクリアします。

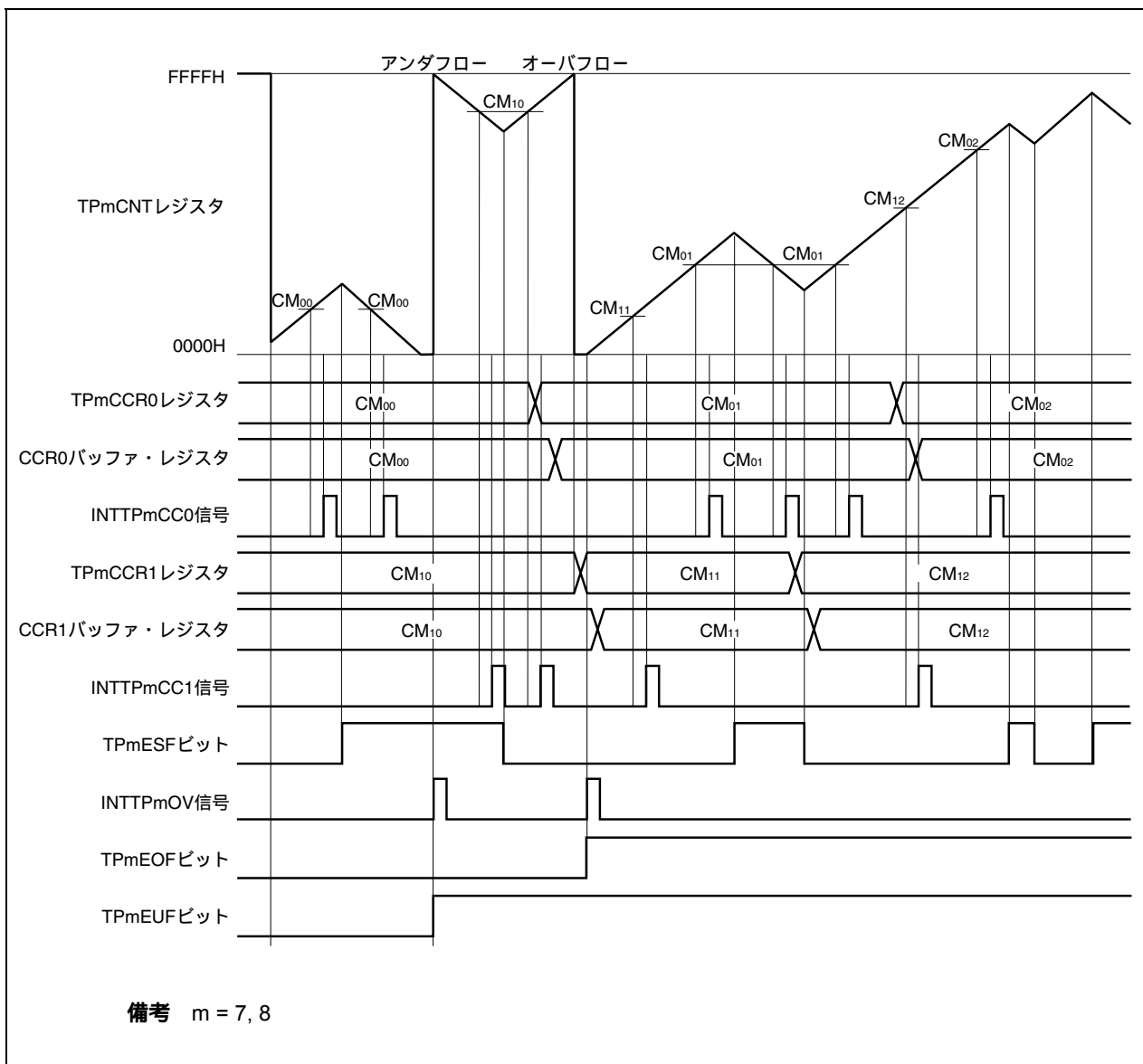
16ビット・カウンタのカウント値とCCR1バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTPmCC1) が発生します。TPmECM1ビット = 0のため、一致条件では16ビット・カウンタは0000Hにクリアされません。

また、TPmLDEビット = 1, TPmECM0ビット = 1の設定により、「0000H-TPmCCR0レジスタ設定値」範囲内でカウント動作が可能です。

## (b) 基本タイミング2

## 【レジスタ設定条件】

- ・ TPmCTL2.TPmECM1, TPmECM0ビット = 00  
16ビット・カウンタのカウンタ値とCCR<sub>a</sub>バッファ・レジスタ値の一致でのカウンタ・クリアなし (a = 0, 1)。
- ・ TPmCTL2.TPmLDEビット = 0  
アンダフロー発生時, TPmCCR0レジスタ設定値を16ビット・カウンタに転送しない。
- ・ TPmIOC3.TPmSCEビット = 0, TPmECS1, TPmECS0ビット = 00  
エンコーダ・クリア入力 (TECR<sub>m</sub>端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TPmCEビット = 0 1) にTPmTCWレジスタ設定値を16ビット・カウンタに転送し、カウンタ動作を開始します。

16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTPmCC0) が発生します。

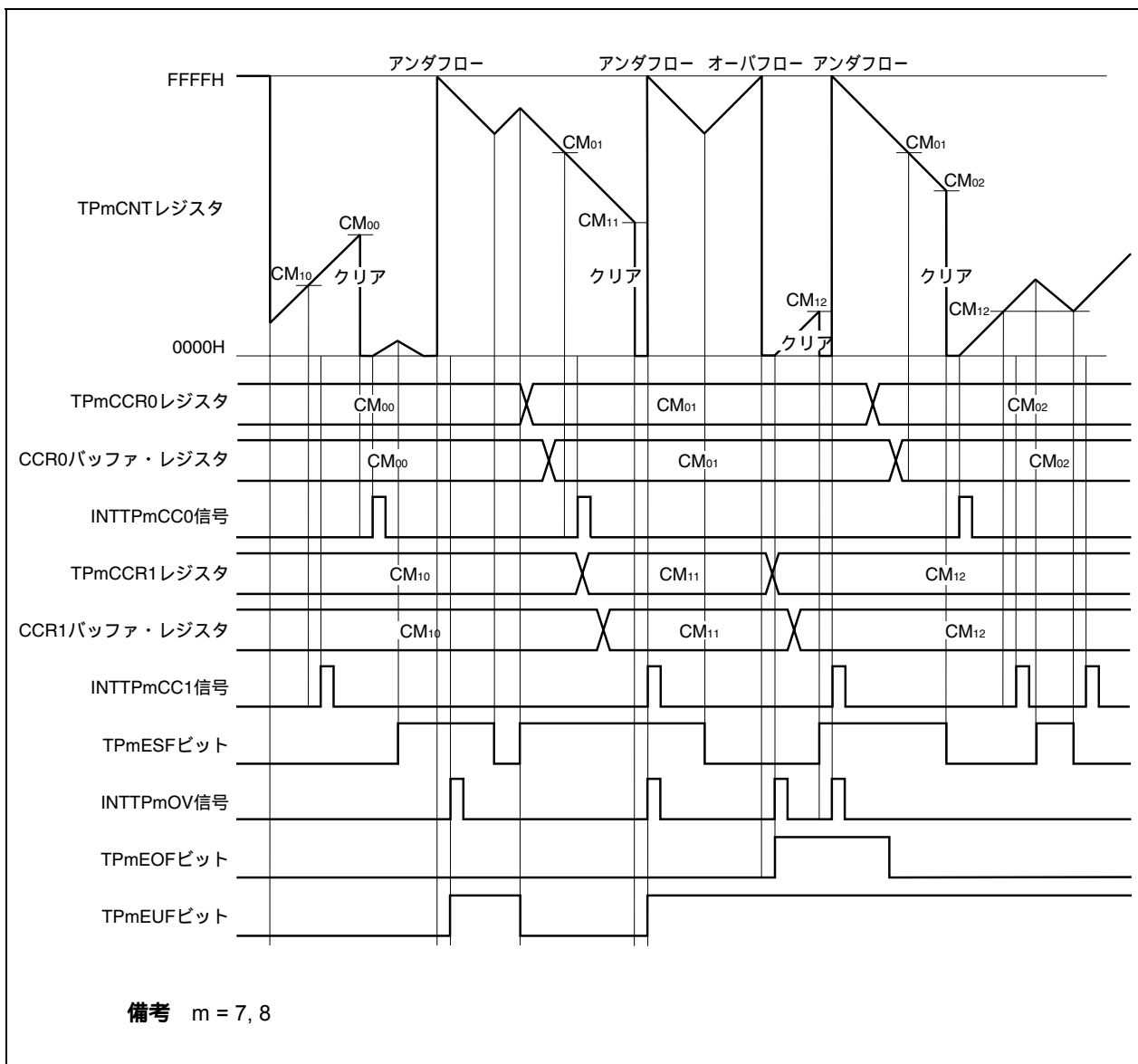
16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTPmCC1) が発生します。

また、TPmECM1, TPmECM0ビット = 00のため、16ビット・カウンタのカウンタ値とCCRaバッファ・レジスタとの一致では、16ビット・カウンタは0000Hにクリアされません (a = 0, 1)。

## (c) 基本タイミング3

## 【レジスタ設定条件】

- ・ TPmCTL2.TPmECM1, TPmECM0ビット = 11
  - 16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタ値の一致でカウンタを0000Hにクリアする。
  - 16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタ値の一致でカウンタを0000Hにクリアする。
- ・ TPmCTL2.TPmLDEビットの設定無効
- ・ TPmIOC3.TPmSCEビット = 0, TPmECS1, TPmECS0ビット = 00
  - エンコーダ・クリア入力 (TECRm端子) のエッジ検出クリア指定 (エッジ指定なし)。





動作開始時 (TPmCEビット = 0 1) にTPmTCWレジスタ設定値を16ビット・カウンタに転送し、カウント動作を開始します。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTPmCC0) が発生します。このとき、次のカウント動作がアップ・カウントの場合に16ビット・カウンタを0000Hにクリアします。

16ビット・カウンタのカウント値とCCR1バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTPmCC1) が発生します。このとき、次のカウント動作がダウン・カウントの場合に16ビット・カウンタを0000Hにクリアします。

## 7.7 セレクタ機能

V850E/SJ3-H, V850E/SK3-HではTMP, TMQのキャプチャ・トリガ入力を, ポートの兼用端子と周辺I/O (TMP, TMQ, UARTA, CANコントローラ<sup>注</sup>) 信号とで選択が可能です。

この機能を利用して, 次のことが可能です。

- ・ TMQ0のTIQ02, TIQ03入力信号を, ポートのタイマ兼用端子 (TIQ02, TIQ03端子) とCANコントローラのTSOUT信号<sup>注</sup>とで選択。

CAN0, CAN1のTSOUT信号を選択すると, CANコントローラのタイム・スタンプ機能として使用

- ・ TMP1のTIP10, TIP11入力信号を, ポートのタイマ兼用端子 (TIP10, TIP11端子) とUARTAの受信兼用端子 (RXDA0, RXDA1) とで選択。TMP3のTIP31入力信号を, ポートのタイマ兼用端子 (TIP31端子) とUARTAの受信兼用端子 (RXDA3) とで選択。

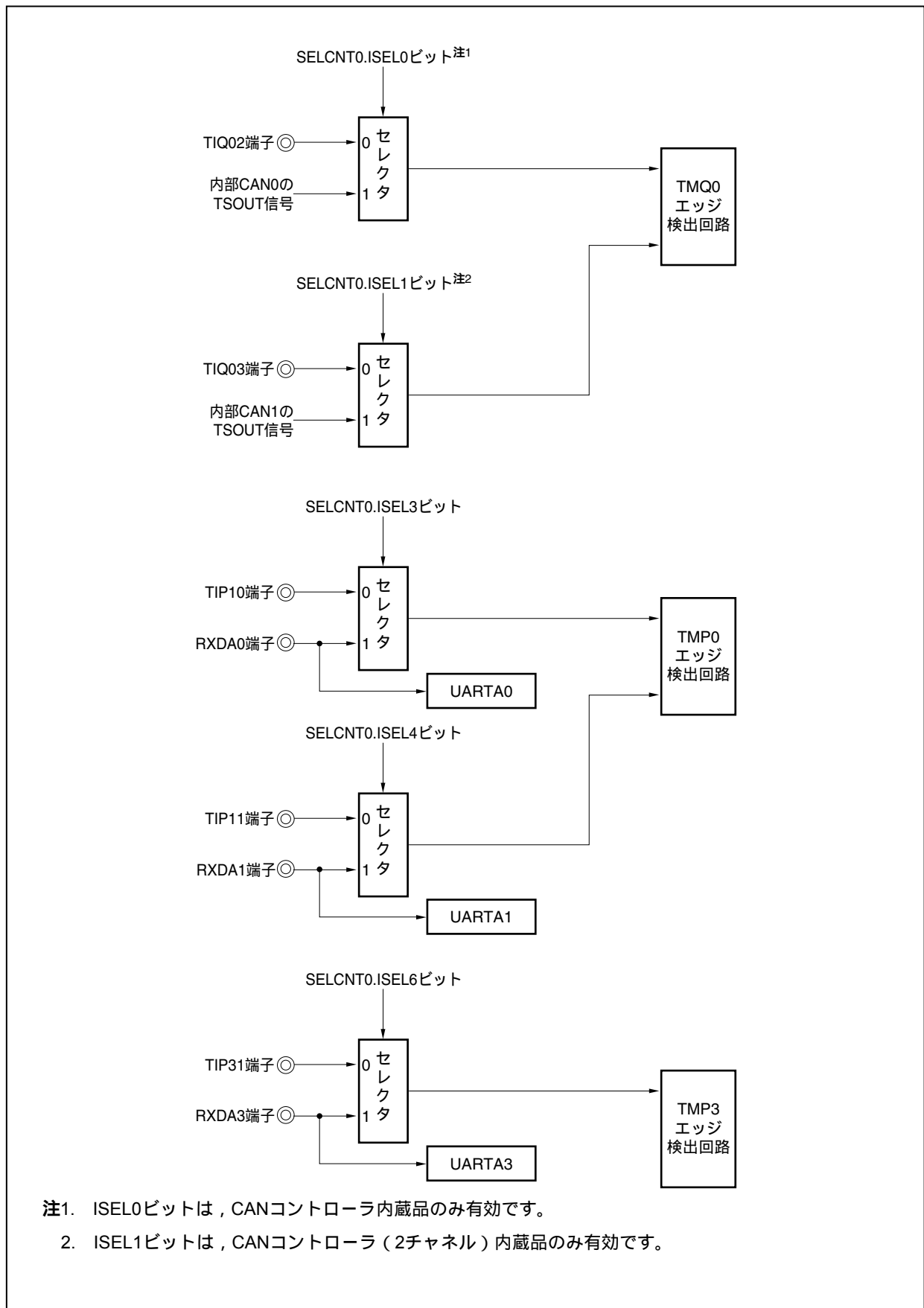
UARTA0, UARTA1, UARTA3のRXDA0, RXDA1, RXDA3信号を選択すると, UARTAのLIN受信転送レートのポー・レート誤差算出として使用

**注** CANコントローラ内蔵品のみ

- 注意1.** セレクタ機能を使用する場合は, 接続されるTMP, TMQをキャプチャ・トリガ入力に設定してください。
- 2.** セレクタ機能を設定する場合は, 接続される周辺I/O (TMP, TMQ, UARTA, CANコントローラ<sup>注</sup>) を動作禁止にしてから設定してください。

次にセクタ機能のブロック図を示します。

図7 - 56 セクタ機能のブロック図



セレクト機能によるキャプチャ・トリガ入力の設定は次のレジスタで設定します。

#### (1) セレクト動作制御レジスタ0 (SELCNT0)

SELCNT0 レジスタは, TMP1, TMP3, TMQ0 のキャプチャ・トリガを選択する 8 ビット・レジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

リセット時 : 00H    R/W    アドレス : FFFFF308H							
7	⑥	5	④	③	2	①	①
SELCNT0	0	ISEL6	0	ISEL4	ISEL3	0	ISEL1 <sup>注1</sup> ISEL0 <sup>注2</sup>
ISEL6	TIP31入力信号選択 (TMP3)						
0	TIP31端子入力 (P94端子の兼用機能)						
1	RXDA3端子入力 (P80端子の兼用機能)						
ISEL4	TIP11入力信号選択 (TMP1)						
0	TIP11端子入力 (P35端子の兼用機能)						
1	RXDA1端子入力 / KR3端子入力 (P91またはP150 <sup>注3</sup> 端子の兼用機能)						
ISEL3	TIP10入力信号選択 (TMP1)						
0	TIP10端子入力 (P34端子の兼用機能)						
1	RXDA0端子入力 (P31端子の兼用機能)						
ISEL1 <sup>注1</sup>	TIQ03入力信号選択 (TMQ0)						
0	TIQ03端子入力 / KR2端子入力 (P52またはP65端子の兼用機能)						
1	CAN1のTSOUT信号						
ISEL0 <sup>注2</sup>	TIQ02入力信号選択 (TMQ0)						
0	TIQ02端子入力 (P51端子の兼用機能)						
1	CAN0のTSOUT信号						

**注1.** ISEL1ビットは, CANコントローラ (2チャンネル) 内蔵品のみ有効です。  
それ以外の場合は必ず0を設定してください。

**2.** ISEL0ビットは, CANコントローラ内蔵品のみ有効です。  
それ以外の場合は必ず0を設定してください。

**3.** P150/RXDA1/KR7はV850E/SK3-Hのみ有効です。

**注意** ISEL0, ISEL1, ISEL3, ISEL4, ISEL6の各ビットを“1”に設定する場合は, 対応する機能端子をキャプチャ・トリガ入力に設定してください。

## 7.8 注意事項

### (1) DMA転送の起動要因の切り替え

V850E/SJ3-H, V850E/SK3-Hでは, DMA転送の起動要因のINTTP0OV信号とINTUB0TIT信号, INTTP1OV信号とINTUB1TIR信号, INTTP2OV信号とINTUB1TIT信号が兼用になっており, 同時には使用できません。INTTP0OV信号, INTTP1OV信号, またはINTTP2OV信号をDMA転送の起動要因として使用するときは, オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のDTFROB0ビット = 0に設定してください。この場合, INTUB0TIT信号, INTUB1TIR信号, INTUB1TIT信号はDMA転送の起動要因として使用できません。

**備考** 詳細については, 表22 - 1 DMA転送の起動要因を参照してください。

## 第8章 16ビット・タイマ/イベント・カウンタQ (TMQ)

タイマQ (TMQ) は、16ビットのタイマ/イベント・カウンタです。

V850E/SJ3-H, V850E/SK3-Hは、TMQ0を内蔵しています。

### 8.1 概 要

TMQ0の概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 4本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 4本
・キャプチャ/コンペア一致割り込み要求信号	: 4本
・オーバフロー割り込み要求信号	: 1本
・タイマ出力端子	: 4本

### 8.2 機 能

TMQ0の機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定

## 8.3 構成

TMQ0は、次のハードウェアで構成されています。

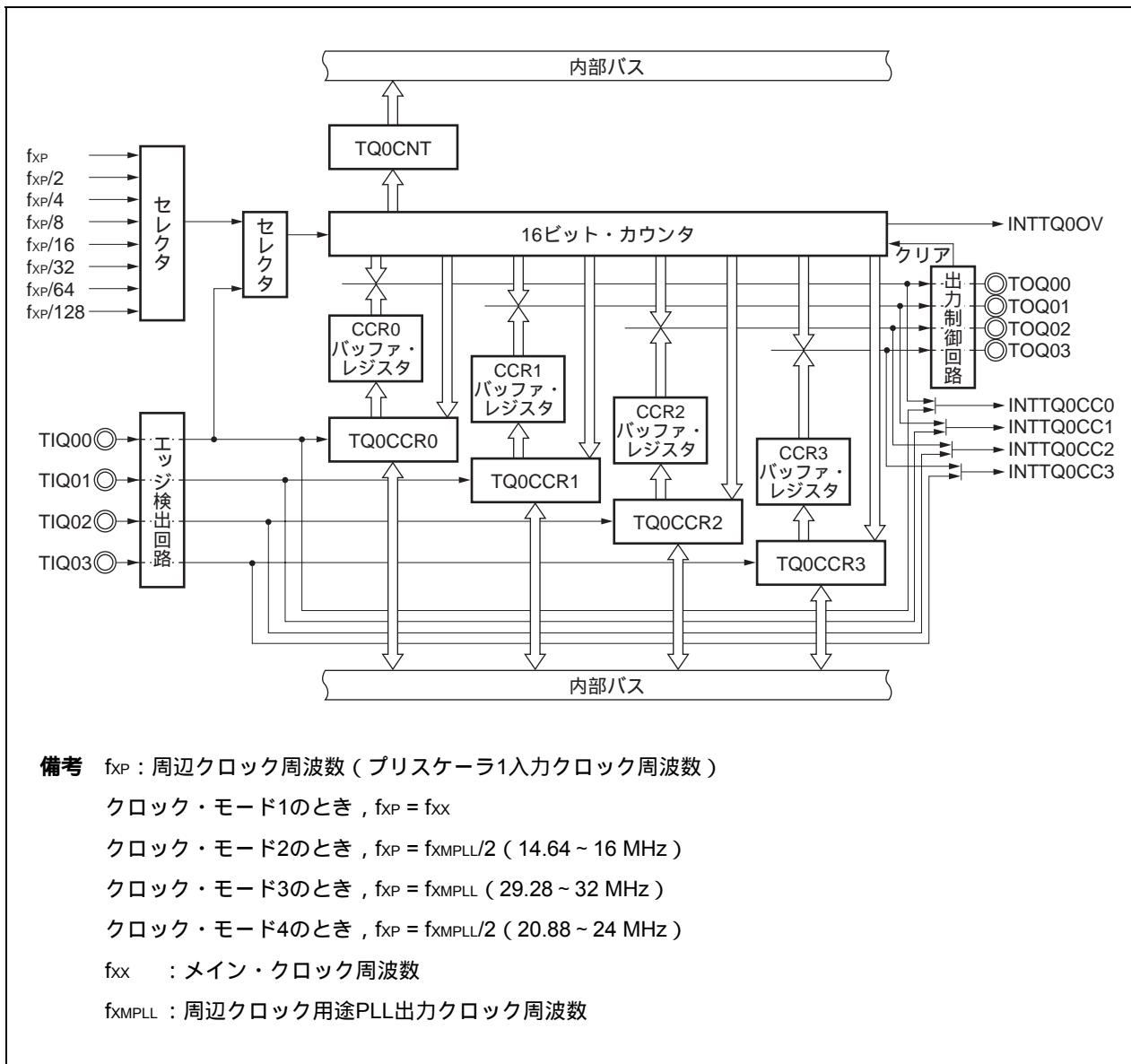
表8 - 1 TMQ0の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT) CCR0-CCR3バッファ・レジスタ
タイマ入力	4本 (TIQ00 <sup>注1</sup> -TIQ03端子)
タイマ出力	4本 (TOQ00-TOQ03端子)
制御レジスタ <sup>注2</sup>	TMQ0制御レジスタ0, 1 (TQ0CTL0, TQ0CTL1) TMQ0I/O制御レジスタ0-2 (TQ0IOC0-TQ0IOC2) TMQ0オプション・レジスタ0 (TQ0OPT0)

注1. TIQ00端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

2. TIQ00-TIQ03, TOQ00-TOQ03端子の機能を使用する場合は、表4 - 25 ポート端子を兼用端子として使用する場合を参照してください。

図8-1 TMQ0のブロック図



### (1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TQ0CNTレジスタでリードできます。

TQ0CTL0.TQ0CEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTQ0CNTレジスタをリードすると、0000Hがリードされます。

リセットによりTQ0CEビット = 0になります。

### (2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR0レジスタをコンペア・レジスタとして使用するとき、TQ0CCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQ0CC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。



**(3) CCR1バッファ・レジスタ**

16ビット・カウンタのカウンタ値を比較する16ビットのコンペア・レジスタです。

TQ0CCR1レジスタをコンペア・レジスタとして使用するとき、TQ0CCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQ0CC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

**(4) CCR2バッファ・レジスタ**

16ビット・カウンタのカウンタ値を比較する16ビットのコンペア・レジスタです。

TQ0CCR2レジスタをコンペア・レジスタとして使用するとき、TQ0CCR2レジスタにライトした値がCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR2バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQ0CC2) を発生します。

CCR2バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR2レジスタが0000Hになるため、CCR2バッファ・レジスタも0000Hになります。

**(5) CCR3バッファ・レジスタ**

16ビット・カウンタのカウンタ値を比較する16ビットのコンペア・レジスタです。

TQ0CCR3レジスタをコンペア・レジスタとして使用するとき、TQ0CCR3レジスタにライトした値がCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR3バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQ0CC3) を発生します。

CCR3バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR3レジスタが0000Hになるため、CCR3バッファ・レジスタも0000Hになります。

**(6) エッジ検出回路**

TIQ00-TIQ03端子に入力される有効エッジを検出します。有効エッジは、TQ0IOC1、TQ0IOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

**(7) 出力制御回路**

TOQ00-TOQ03端子の出力を制御します。TOQ00-TOQ03端子の出力は、TQ0IOC0レジスタで制御します。

**(8) セレクタ**

16ビット・カウンタのカウンタ・クロックを選択します。カウンタ・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

## 8.4 レジスタ

TMQ0を制御するレジスタを次に示します。

- ・ TMQ0制御レジスタ0 (TQ0CTL0)
- ・ TMQ0制御レジスタ1 (TQ0CTL1)
- ・ TMQ0I/O制御レジスタ0 (TQ0IOC0)
- ・ TMQ0I/O制御レジスタ1 (TQ0IOC1)
- ・ TMQ0I/O制御レジスタ2 (TQ0IOC2)
- ・ TMQ0オプション・レジスタ0 (TQ0OPT0)
- ・ TMQ0キャプチャ/コンペア・レジスタ0 (TQ0CCR0)
- ・ TMQ0キャプチャ/コンペア・レジスタ1 (TQ0CCR1)
- ・ TMQ0キャプチャ/コンペア・レジスタ2 (TQ0CCR2)
- ・ TMQ0キャプチャ/コンペア・レジスタ3 (TQ0CCR3)
- ・ TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

**備考** TIQ00-TIQ03, TOQ00-TOQ03端子の機能を使用する場合は、表4 - 25 ポート端子を兼用端子として使用する場合を参照してください。

### (1) TMQ0制御レジスタ0 (TQ0CTL0)

TQ0CTL0レジスタは、TMQ0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TQ0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

(1/2)

リセット時：00H		R/W	アドレス：FFFF540H								
		⑦	6	5	4	3	2	1	0		
TQ0CTL0	TQ0CE	0	0	0	0	0	TQ0CKS2	TQ0CKS1	TQ0CKS0		
	TQ0CE	TMQ0の動作の制御									
	0	TMQ0動作禁止 (TMQ0を非同期にリセット注)									
	1	TMQ0動作許可。TMQ0動作開始									
	TQ0CKS2	TQ0CKS1	TQ0CKS0	内部カウント・クロックの選択							
	0	0	0	fxP							
	0	0	1	fxP/2							
	0	1	0	fxP/4							
	0	1	1	fxP/8							
	1	0	0	fxP/16							
	1	0	1	fxP/32							
	1	1	0	fxP/64							
	1	1	1	fxP/128							

**注** TQ0OPT0.TQ0OVFビット, 16ビット・カウンタが同時にリセットされま  
す。さらにタイマ出力 (TOQ00-TOQ03端子) も16ビット・カウンタと同  
時にTQ0IOC0レジスタの設定状態にリセットされます。

**注意1.** TQ0CKS2-TQ0CKS0ビットは, TQ0CEビット = 0のときに設定して  
ください。TQ0CEビットを“0”から“1”に設定するときも, 同時に  
TQ0CKS2-TQ0CKS0ビットを設定できません。

2. ビット3-6には必ず“0”を設定してください。

**備考**  $f_{XP}$ : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき,  $f_{XP} = f_{XX}$

クロック・モード2のとき,  $f_{XP} = f_{XMPLL}/2$  (14.64 ~ 16 MHz)

クロック・モード3のとき,  $f_{XP} = f_{XMPLL}$  (29.28 ~ 32 MHz)

クロック・モード4のとき,  $f_{XP} = f_{XMPLL}/2$  (20.88 ~ 24 MHz)

$f_{XX}$  : メイン・クロック周波数

$f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

## (2) TMQ0制御レジスタ1 (TQ0CTL1)

TQ0CTL1レジスタは, TMQ0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF541H

	7	⑥	⑤	4	3	2	1	0
TQ0CTL1	0	TQ0EST	TQ0EEE	0	0	TQ0MD2	TQ0MD1	TQ0MD0

TQ0EST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 : TQ0ESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時 : TQ0ESTビットへの“1”ライトをトリガとして、PWM波形を出力
TQ0ESTビットのリード値は常に0です。	

TQ0EEE	カウント・クロックの選択
0	外部イベント・カウント入力 (TIQ00端子) での動作禁止 (TQ0CTL0.TQ0CKS0-TQ0CKS2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力 (TIQ00端子) での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)
TQ0EEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TQ0MD2	TQ0MD1	TQ0MD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1. TQ0ESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- 外部イベント・カウント・モードのときは、TQ0EEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
  - TQ0EEE, TQ0MD2-TQ0MD0ビットは、TQ0CTL0.TQ0CEビット = 0のときに設定してください (TQ0CEビット = 1のときの同値書き込みは可能)。TQ0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
  - ビット3, 4, 7は必ず“0”を設定してください。

## (3) TMQ0I/O制御レジスタ0 (TQ0IOC0)

TQ0IOC0レジスタは、タイマ出力 (TOQ00-TOQ03端子) を制御する8ビット・レジスタです。  
8/1ビット単位でリード/ライト可能です。  
リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFF542H

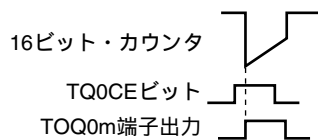
	7	⑥	5	④	3	②	1	①
TQ0IOC0	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0

TQ0OLm	TOQ0m端子出力レベルの設定 (m = 0-3) 注
0	TOQ0m端子出力反転禁止
1	TOQ0m端子出力反転許可

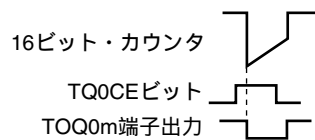
TQ0OEm	TOQ0m端子出力の設定 (m = 0-3)
0	タイマ出力禁止 ・ TQ0OLmビット = 0のときTOQ0m端子からロウ・レベルを出力 ・ TQ0OLmビット = 1のときTOQ0m端子からハイ・レベルを出力
1	タイマ出力許可 (TOQ0m端子からパルスを出力)

注 TQ0OLmビットの指定によるタイマ出力端子 (TOQ0m) の出力レベルを次に示します。

・ TQ0OLmビット = 0の場合



・ TQ0OLmビット = 1の場合



注意1. ポート設定がTOQ0m出力設定の場合、TQ0IOC0レジスタの設定を書き換えると端子出力が変化するので、ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして、端子状態の変化に注意してください。

2. TQ0OLm, TQ0OEmビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。

3. TQ0CEビット = 0, TQ0OEmビット = 0の状態において、TQ0OLmビットを操作した場合でも、TOQ0m端子の出力レベルは変化します。

備考 m = 0-3

## (4) TMQ0I/O制御レジスタ1 (TQ0IOC1)

TQ0IOC1レジスタは、キャプチャ・トリガ入力信号 (TIQ00-TIQ03端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF543H

	7	6	5	4	3	2	1	0
TQ0IOC1	TQ0IS7	TQ0IS6	TQ0IS5	TQ0IS4	TQ0IS3	TQ0IS2	TQ0IS1	TQ0IS0

TQ0IS7	TQ0IS6	キャプチャ・トリガ入力信号 (TIQ03端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS5	TQ0IS4	キャプチャ・トリガ入力信号 (TIQ02端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS3	TQ0IS2	キャプチャ・トリガ入力信号 (TIQ01端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS1	TQ0IS0	キャプチャ・トリガ入力信号 (TIQ00端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1. TQ0IS7-TQ0IS0ビットは、TQ0CTL0.TQ0CEビット=0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
2. TQ0IS7-TQ0IS0ビットは、フリー・ランニング・タイマ・モード (TQ0OPT0.TQ0CCSmビット = 1時のみ) と、パルス幅測定モードのときのみ有効です (m = 0-3)。それ以外のモードではキャプチャ動作は行われません。

## (5) TMQ0I/O制御レジスタ2 (TQ0IOC2)

TQ0IOC2レジスタは、外部イベント・カウント入力信号 (TIQ00端子)、外部トリガ入力信号 (TIQ00端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF544H

	7	6	5	4	3	2	1	0
TQ0IOC2	0	0	0	0	TQ0EES1	TQ0EES0	TQ0ETS1	TQ0ETS0

TQ0EES1	TQ0EES0	外部イベント・カウント入力信号 (TIQ00端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0ETS1	TQ0ETS0	外部トリガ入力信号 (TIQ00端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TQ0EES1, TQ0EES0, TQ0ETS1, TQ0ETS0ビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
2. TQ0EES1, TQ0EES0ビットは、TQ0CTL1.TQ0EEEビット = 1、または外部イベント・カウント・モード (TQ0CTL1.TQ0MD2-TQ0MD0ビット = 001) に設定したときのみ有効です。
3. TQ0ETS1, TQ0ETS0ビットは、外部トリガ・パルス出力モード (TQ0CTL1.TQ0MD2-TQ0MD0ビット = 010)、ワンショット・パルス出力モード (TQ0CTL1.TQ0MD2-TQ0MD0ビット = 011) に設定したときのみ有効です。

## (6) TMQ0オプション・レジスタ0 (TQ0OPT0)

TQ0OPT0レジスタは、キャプチャ/コンペア動作の設定、オーバーフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF545H

	7	6	5	4	3	2	1	①
TQ0OPT0	TQ0CCS3	TQ0CCS2	TQ0CCS1	TQ0CCS0	0	0	0	TQ0OVF

TQ0CCSm	TQ0CCRmレジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TQ0CTL0.TQ0CEビット = 0によりクリア)
TQ0CCSmビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TQ0OVF	TMQ0のオーバーフロー検出フラグ
セット (1)	オーバーフロー発生
リセット (0)	TQ0OVFビットへの0ライトまたはTQ0CTL0.TQ0CEビット = 0
<ul style="list-style-type: none"> <li>・ TQ0OVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウンタ値がFFFFHから0000Hにオーバーフローするときセット (1) されます。</li> <li>・ TQ0OVFビットがセット (1) されると同時に、オーバーフロー割り込み要求信号 (INTTQ0OV) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTQ0OV信号は発生しません。</li> <li>・ TQ0OVFビット = 1のときにTQ0OVFビットまたはTQ0OPT0レジスタをリードしてもTQ0OVFビットはクリア (0) されません。</li> <li>・ INTTQ0OV信号発生後、TQ0OVFビットをクリア (0) する場合は、必ずTQ0OVFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。</li> <li>・ TQ0OVFビットはリード/ライト可能ですが、ソフトウェアでTQ0OVFビットをセット (1) することはできません。“1”をライトしてもTMQ0の動作に影響はありません。</li> </ul>	

- 注意1.** TQ0CCS3-TQ0CCS0ビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
- 2.** ビット1-3には必ず“0”を設定してください。

**備考** m = 0-3



## (7) TMQ0キャプチャ/コンペア・レジスタ0 (TQ0CCR0)

TQ0CCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TQ0CCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

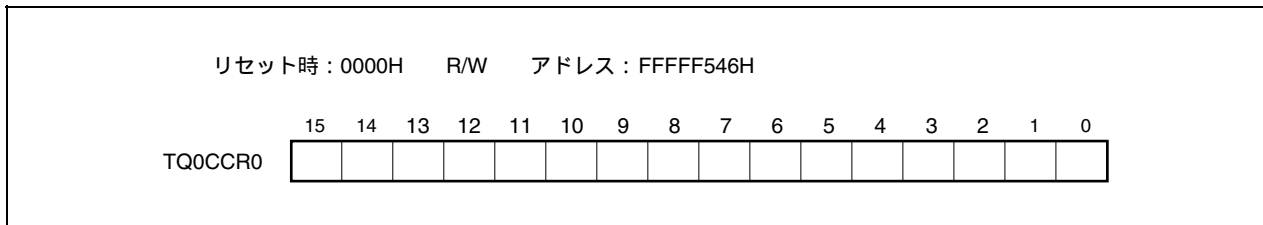
TQ0CCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** 次に示す状態において、TQ0CCR0レジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



**(a) コンペア・レジスタとしての機能**

TQ0CCR0レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQ0CC0) を発生し、TOQ00端子出力を許可している場合、TOQ00端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TQ0CCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TQ0CTL0.TQ0CEビット = 0によりコンペア・レジスタはクリアされません。

**(b) キャプチャ・レジスタとしての機能**

フリー・ランニング・タイマ・モードにおいて、TQ0CCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR0レジスタのリードが競合しても、TQ0CCR0レジスタはキャプチャした値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、8.6(2) 随時書き込みと一斉書き込みを参照してください。

**(8) TMQ0キャプチャ/コンペア・レジスタ1 (TQ0CCR1)**

TQ0CCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TQ0CCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

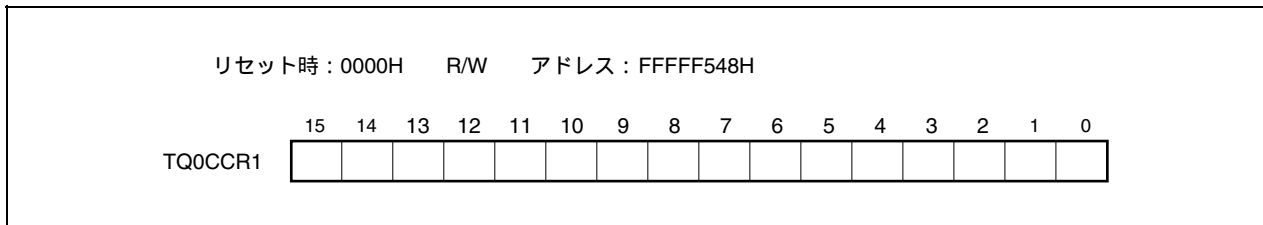
TQ0CCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** 次に示す状態において、TQ0CCR1レジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



**(a) コンペア・レジスタとしての機能**

TQ0CCR1レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQ0CC1) を発生し、TOQ01端子出力を許可している場合、TOQ01端子出力を反転します。

TQ0CTL0.TQ0CEビット = 0によりコンペア・レジスタはクリアされません。

**(b) キャプチャ・レジスタとしての機能**

フリー・ランニング・タイマ・モードにおいて、TQ0CCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR1レジスタのリードが競合しても、TQ0CCR1レジスタはキャプチャした値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、8.6(2) 随時書き込みと一斉書き込みを参照してください。

## (9) TMQ0キャプチャ/コンペア・レジスタ2 (TQ0CCR2)

TQ0CCR2レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TQ0CCR2レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS2ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

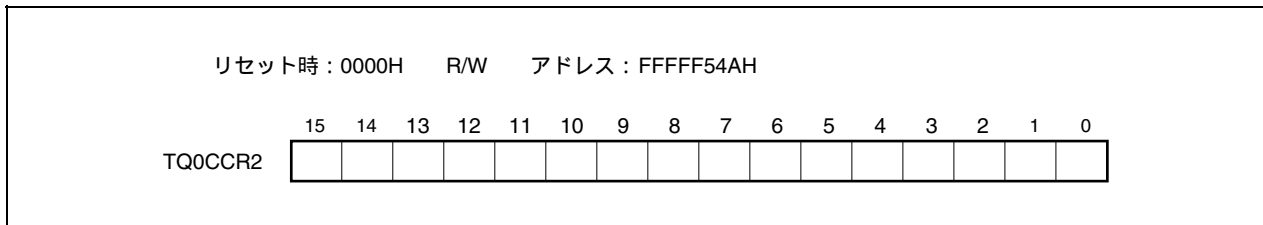
TQ0CCR2レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** 次に示す状態において、TQ0CCR2レジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



## (a) コンペア・レジスタとしての機能

TQ0CCR2レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR2レジスタの設定値はCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR2バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQ0CC2) を発生し、TOQ02端子出力を許可している場合、TOQ02端子出力を反転します。

TQ0CTL0.TQ0CEビット = 0によりコンペア・レジスタはクリアされません。

## (b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR2レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ02端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR2レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ02端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR2レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR2レジスタのリードが競合しても、TQ0CCR2レジスタはキャプチャした値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、8.6(2) 随時書き込みと一斉書き込みを参照してください。

## (10) TMQ0キャプチャ/コンペア・レジスタ3 (TQ0CCR3)

TQ0CCR3レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TQ0CCR3レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS3ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

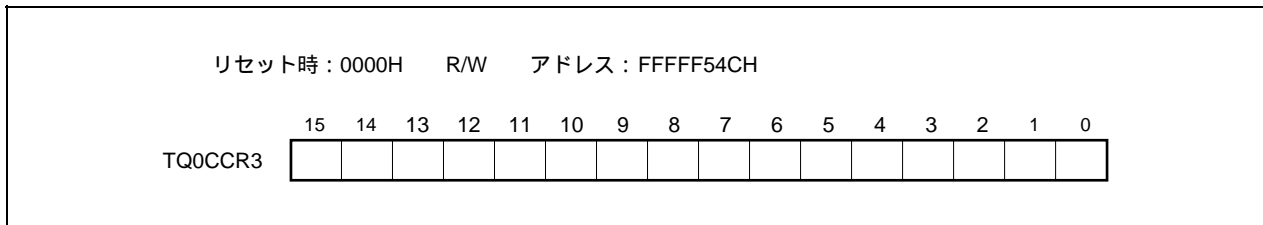
TQ0CCR3レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** 次に示す状態において、TQ0CCR3レジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



**(a) コンペア・レジスタとしての機能**

TQ0CCR3レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR3レジスタの設定値はCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR3バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQ0CC3) を発生し、TOQ03端子出力を許可している場合、TOQ03端子出力を反転します。

TQ0CTL0.TQ0CEビット = 0によりコンペア・レジスタはクリアされません。

**(b) キャプチャ・レジスタとしての機能**

フリー・ランニング・タイマ・モードにおいて、TQ0CCR3レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ03端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR3レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ03端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR3レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR3レジスタのリードが競合しても、TQ0CCR3レジスタはキャプチャした値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、8.6(2) 随時書き込みと一斉書き込みを参照してください。



## (11) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TQ0CTL0.TQ0CEビット = 1のときにTQ0CNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

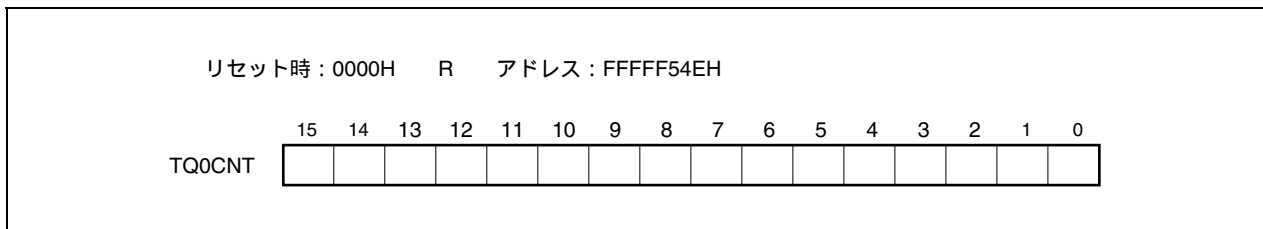
16ビット単位でリードのみ可能です。

TQ0CEビット = 0のとき、TQ0CNTレジスタは0000Hになります。このときにTQ0CNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTQ0CEビット = 0になるため、TQ0CNTレジスタは0000Hになります。

**注意** 次に示す状態において、TQ0CNTレジスタへのアクセスは禁止です。詳細は3.4.9(2) 特定の  
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



## 8.5 タイマ出力動作説明

次にTOQ00-TOQ03端子の動作，および出力レベルを示します。

表8-6 各モードによるタイマ出力制御

動作モード	TOQ00端子	TOQ01端子	TOQ02端子	TOQ03端子
インターバル・タイマ・モード	方形波出力			
外部イベント・カウント・モード	なし			
外部トリガ・パルス出力モード	方形波出力	外部トリガ・パルス出力		
ワンショット・パルス出力モード		ワンショット・パルス出力		
PWM出力モード		PWM出力		
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)			
パルス幅測定モード	なし			

表8-7 タイマ出力制御ビットによるTOQ00-TOQ03端子の真値表

TQ0IOC0.TQ0OLmビット	TQ0IOC0.TQ0OEmビット	TQ0CTL0.TQ0CEビット	TOQ0m端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 m = 0-3

## 8.6 動作

TMQ0には次のような動作があります。

動作	TQ0CTL1.TQ0ESTビット (ソフトウェア・トリガ・ビット)	TIQ00端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード <sup>注1</sup>	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード <sup>注2</sup>	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード <sup>注2</sup>	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード <sup>注2</sup>	無効	無効	キャプチャ専用	対象外

注1. 外部イベント・カウント・モードを使用する場合、TIQ00端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない(TQ0IOC1.TQ0IS1, TQ0IS0ビットを“00”)に設定してください。

2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択(TQ0CTL1.TQ0EEEビット = 0に設定)してください。

### (1) カウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

#### (a) カウント開始動作

- ・外部イベント・カウント・モード

TQ0CEビット = 0 1のタイミングで16ビット・カウンタに0000Hが設定されます。

その後は、外部イベント・カウント入力(TIQ00)の有効エッジ検出するごとに0001H, 0002H, 0003H, ...とカウント・アップします。

- ・上記以外のモード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

#### (b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバフローの場合のFFFFHから0000Hへのカウントはクリア動作ではありません。したがって、INTTQ0CCm割り込み信号は発生しません(m = 0-3)。

#### (c) オーバフロー動作

16ビット・カウンタのオーバフローは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバフローが発生すると、TQ0OPT0.TQ0OVFビットがセット(1)され、割り込み要求信号(INTTQ0OV)が発生します。なお、次の条件ではINTTQ0OV信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値がFFFFHで一致&クリアされた場合
- ・パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

**注意** オーバフロー割り込み要求信号(INTTQ0OV)発生後は、必ずオーバフロー・フラグ(TQ0OVFビット)が“1”にセットされているのを確認してください。

#### (d) カウンタ動作中のカウンタ・リード動作

TMQ0では、TQ0CNTレジスタにより、カウンタ動作中の16ビット・カウンタの値をリードできません。

TQ0CTL0.TQ0CEビット = 1のときは、TQ0CNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TQ0CEビット = 0のときは、16ビット・カウンタがFFFFHで、TQ0CNTレジスタが0000Hです。

**(e) 割り込み動作**

TMQ0では、次の5種類の割り込み要求信号を発生します。

- ・ INTTQ0CC0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号, およびTQ0CCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTQ0CC1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号, およびTQ0CCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTQ0CC2割り込み : CCR2バッファ・レジスタの一致割り込み要求信号, およびTQ0CCR2レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTQ0CC3割り込み : CCR3バッファ・レジスタの一致割り込み要求信号, およびTQ0CCR3レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTQ0OV割り込み : オーバフロー割り込み要求信号として機能します。

## (2) 随時書き込みと一斉書き込み

TMQ0では、タイマ動作中 (TQ0CTL0.TQ0CEビット = 1) でもTQ0CCR0-TQ0CCR3レジスタの書き換えを許可していますが、モードによってCCR0-CCR3バッファ・レジスタへの書き込み方法(随時書き込み、一斉書き込み)が異なります。

## (a) 随時書き込み

このモードは、タイマ動作中にTQ0CCR0-TQ0CCR3レジスタからCCR0-CCR3バッファ・レジスタへの転送を随時行います。

図8 - 2 随時書き込みの基本動作フロー・チャート

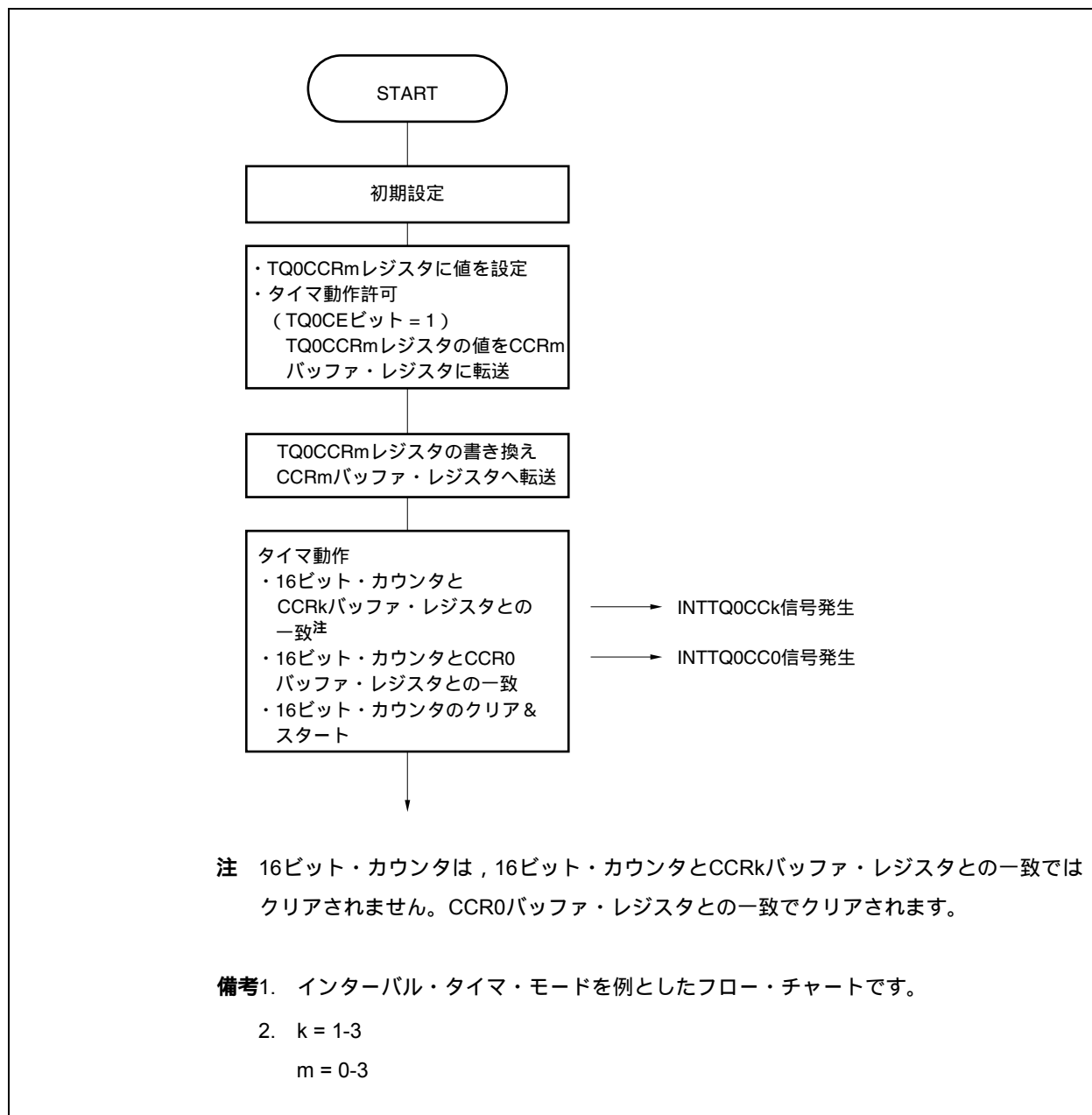
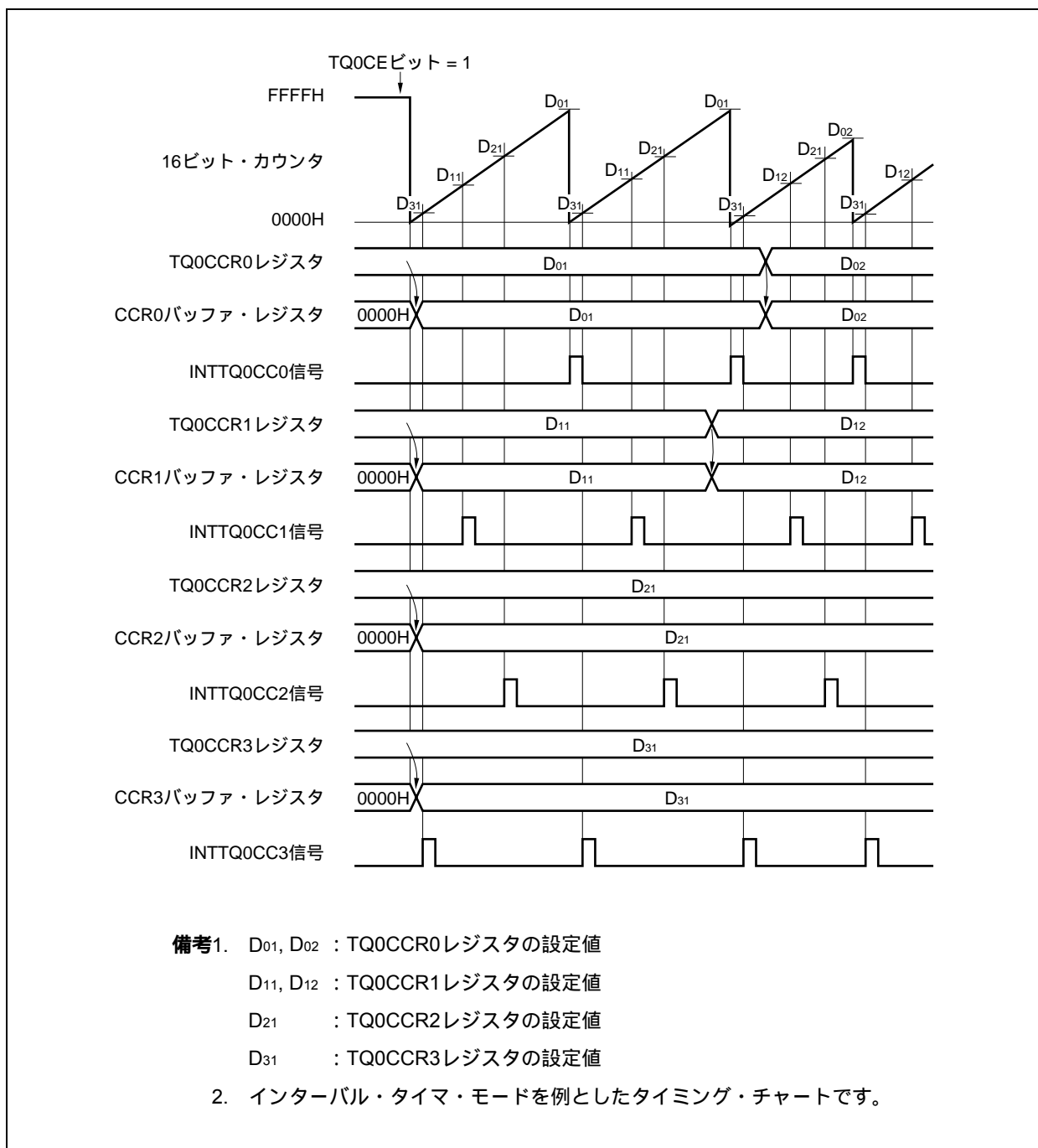


図8 - 3 随時書き込みのタイミング



**(b) 一斉書き込み**

このモードは、タイマ動作中にTQ0CCR0-TQ0CCR3レジスタからCCR0-CCR3バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTQ0CCR1レジスタへの書き込みとなります。TQ0CCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TQ0CCR0-TQ0CCR3レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする(CCR0-CCR3バッファ・レジスタに転送される)には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTQ0CCR0レジスタを書き換え、最後にTQ0CCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TQ0CCR0-TQ0CCR3レジスタの値はCCR0-CCR3バッファ・レジスタに転送されます。なお、TQ0CCR0、TQ0CCR2、TQ0CCR3レジスタのいずれかの値だけ書き換えたい場合でも、TQ0CCR1レジスタに同値(すでに設定したTQ0CCR1レジスタと同じ値)を書き込んでください。

図8 - 4 一斉書き込みの基本動作フロー・チャート

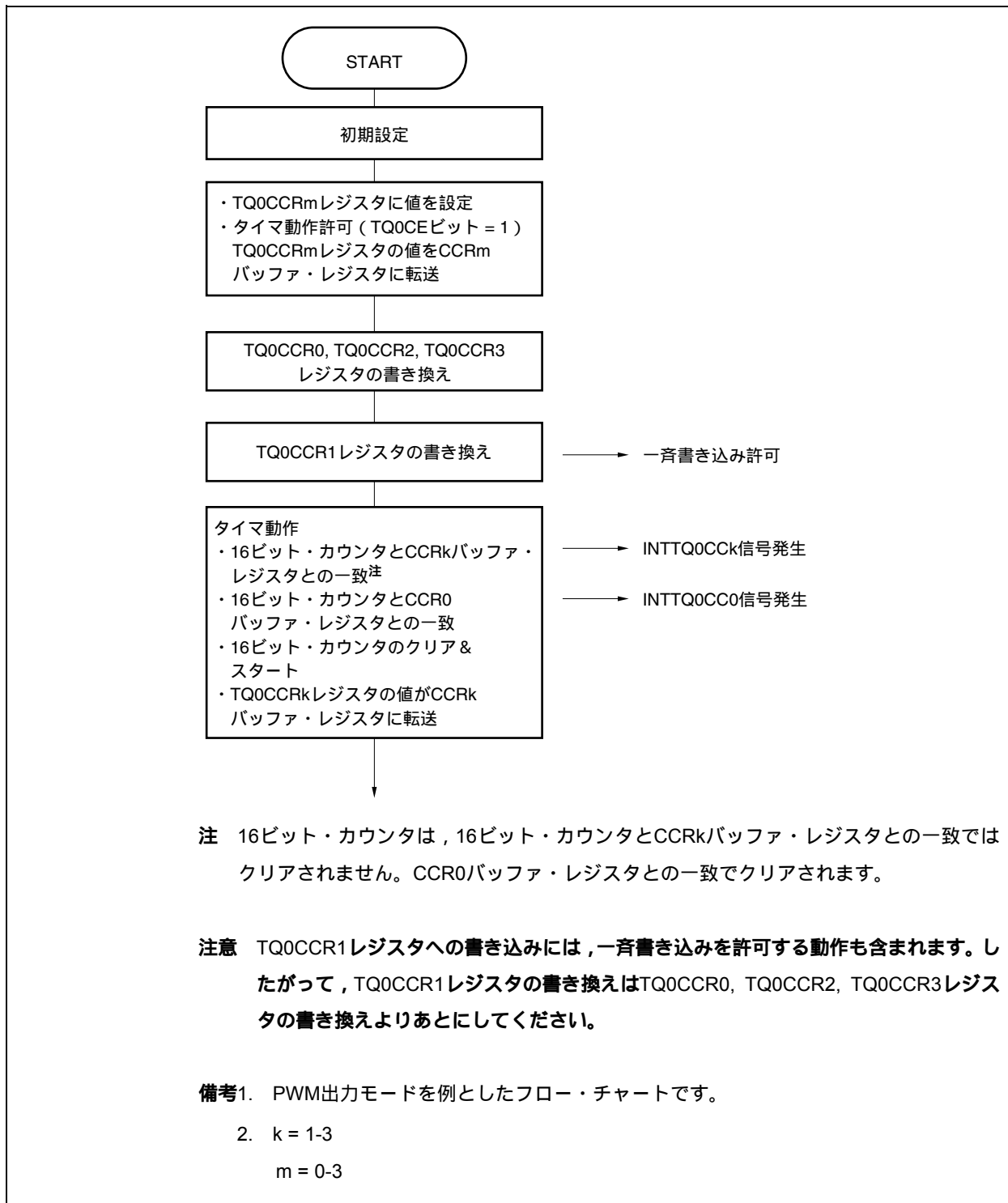
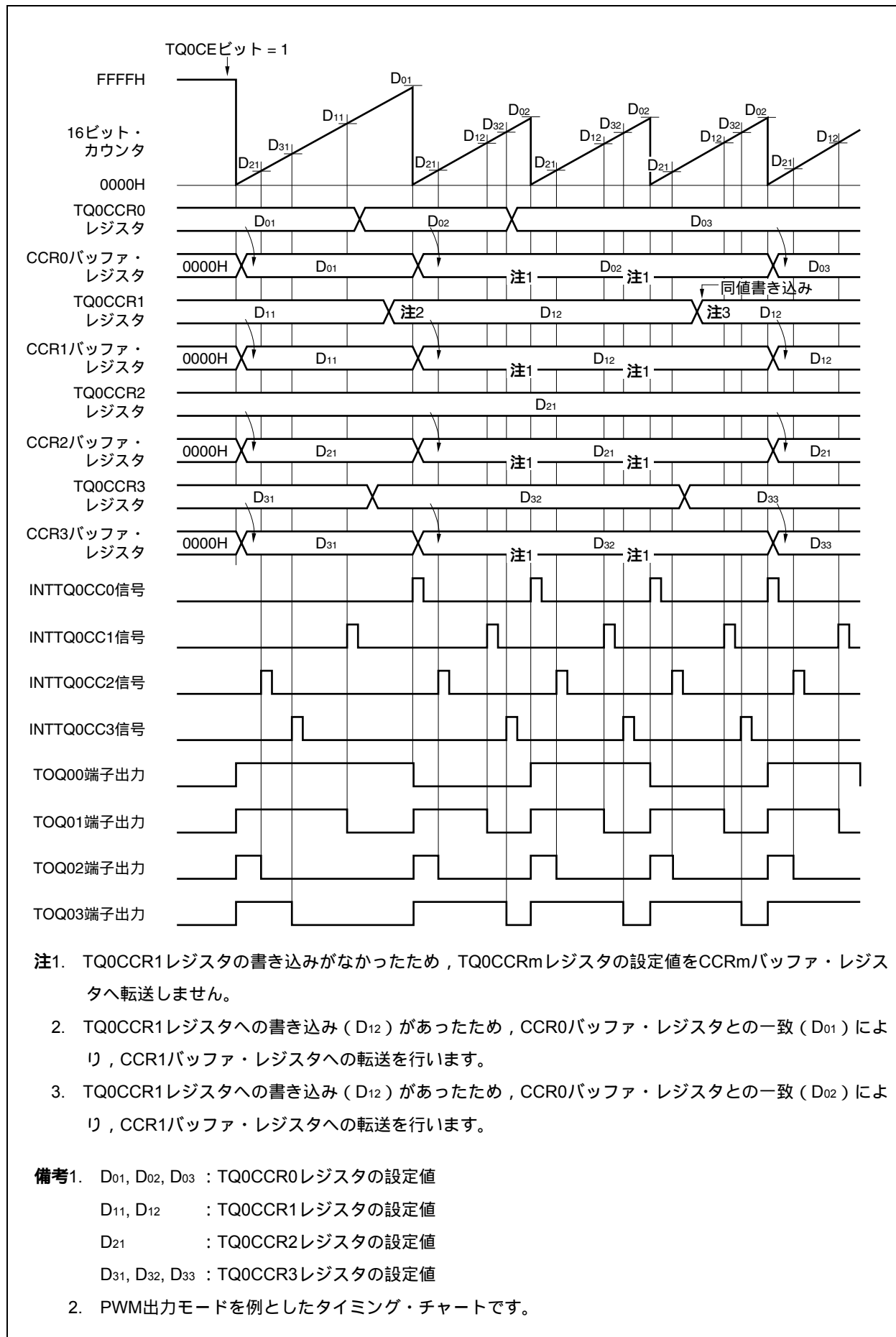




図8-5 一斉書き込みのタイミング



### 8.6.1 インターバル・タイマ・モード (TQ0MD2-TQ0MD0ビット = 000)

インターバル・タイマ・モードは、TQ0CTL0.TQ0CEビットをセット (1) することで、TQ0CCR0レジスタで設定したインターバル間隔にて割り込み要求信号 (INTTQ0CC0) を発生します。また、TOQ00端子から、インターバル間隔を半周期とする50 %デューティの方形波を出力できます。

インターバル・タイマ・モードでは、TQ0CCR1-TQ0CCR3レジスタを使用しません。しかし、TQ0CCR1-TQ0CCR3レジスタでは、TQ0CCR1-TQ0CCR3レジスタの設定値がCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTQ0CC1-INTTQ0CC3) が発生します。また、TOQ01-TOQ03端子から、INTTQ0CC1-INTTQ0CC3信号の発生タイミングで反転する50 %デューティの方形波を出力できます。

なお、TQ0CCR1-TQ0CCR3レジスタのタイマ動作中の書き換えは可能です。

図8 - 6 インターバル・タイマの構成図

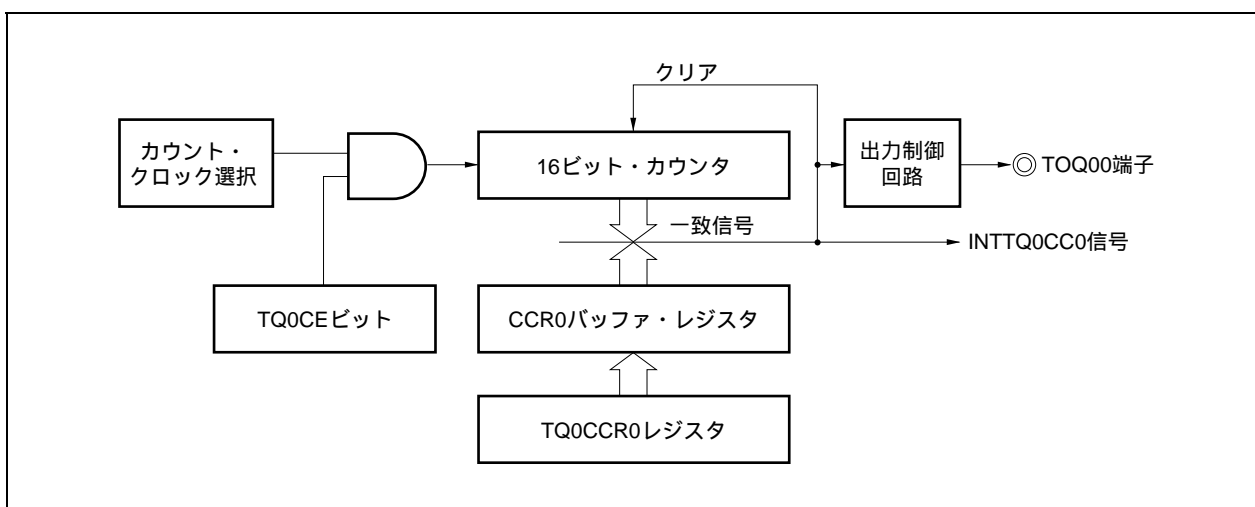
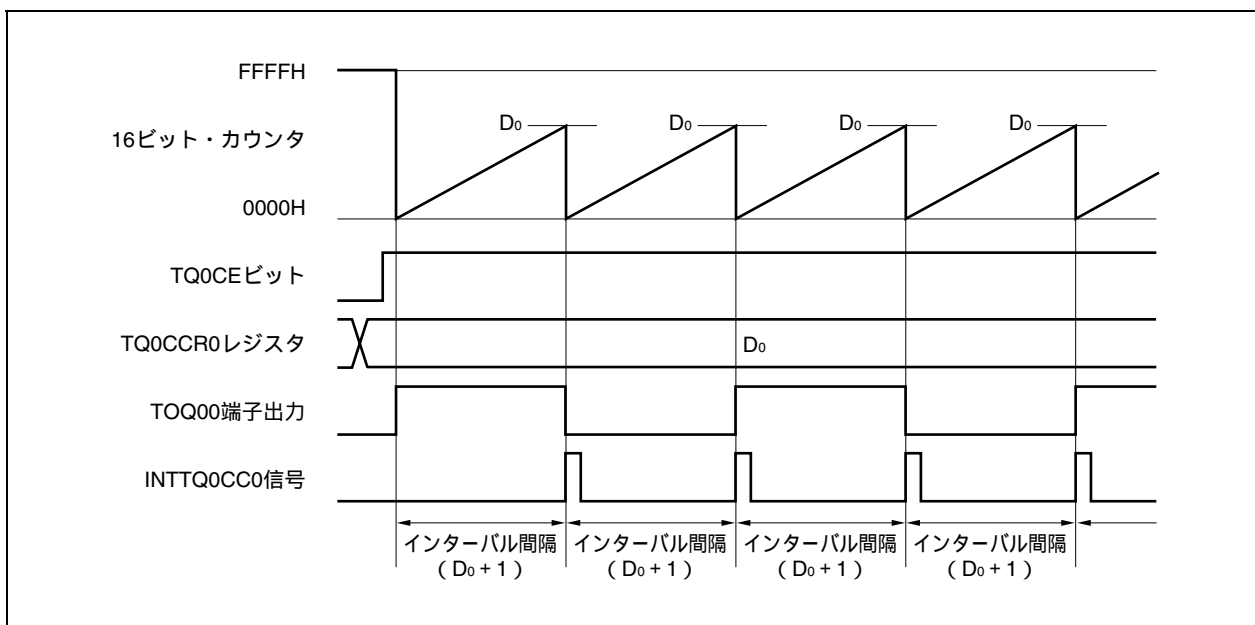


図8 - 7 インターバル・タイマ・モード動作の基本タイミング



TQ0CEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOQ00端子出力を反転します。また、TQ0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOQ00端子出力を反転させて、コンペア一致割り込み要求信号(INTTQ0CC0)を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TQ0CCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図8-8 インターバル・タイマ・モード動作時のレジスタ設定内容(1/3)

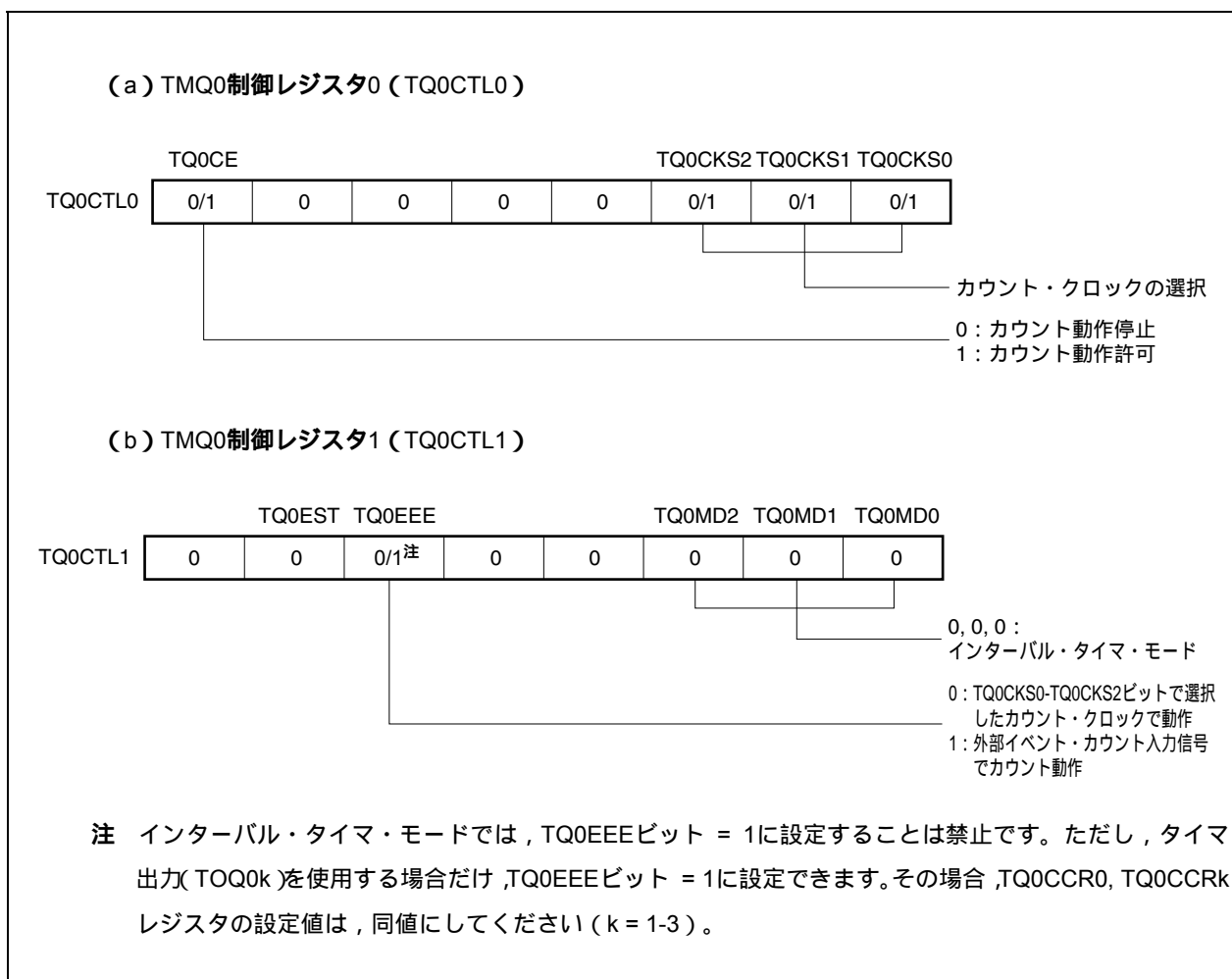


図8 - 8 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/3)

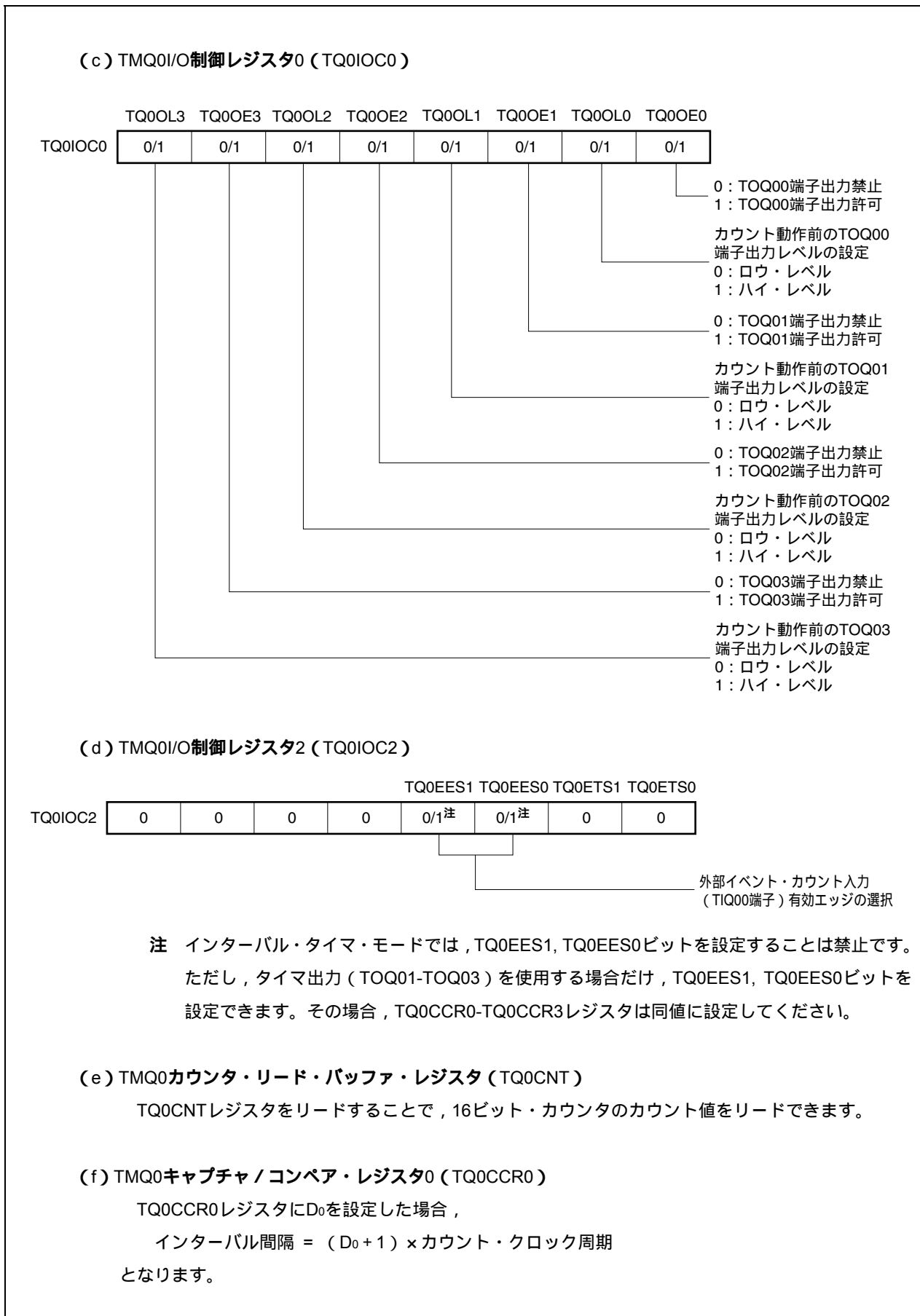


図8 - 8 インターバル・タイマ・モード動作時のレジスタ設定内容 (3/3)

**(g) TMQ0キャプチャ/コンペア・レジスタ1-3 (TQ0CCR1-TQ0CCR3)**

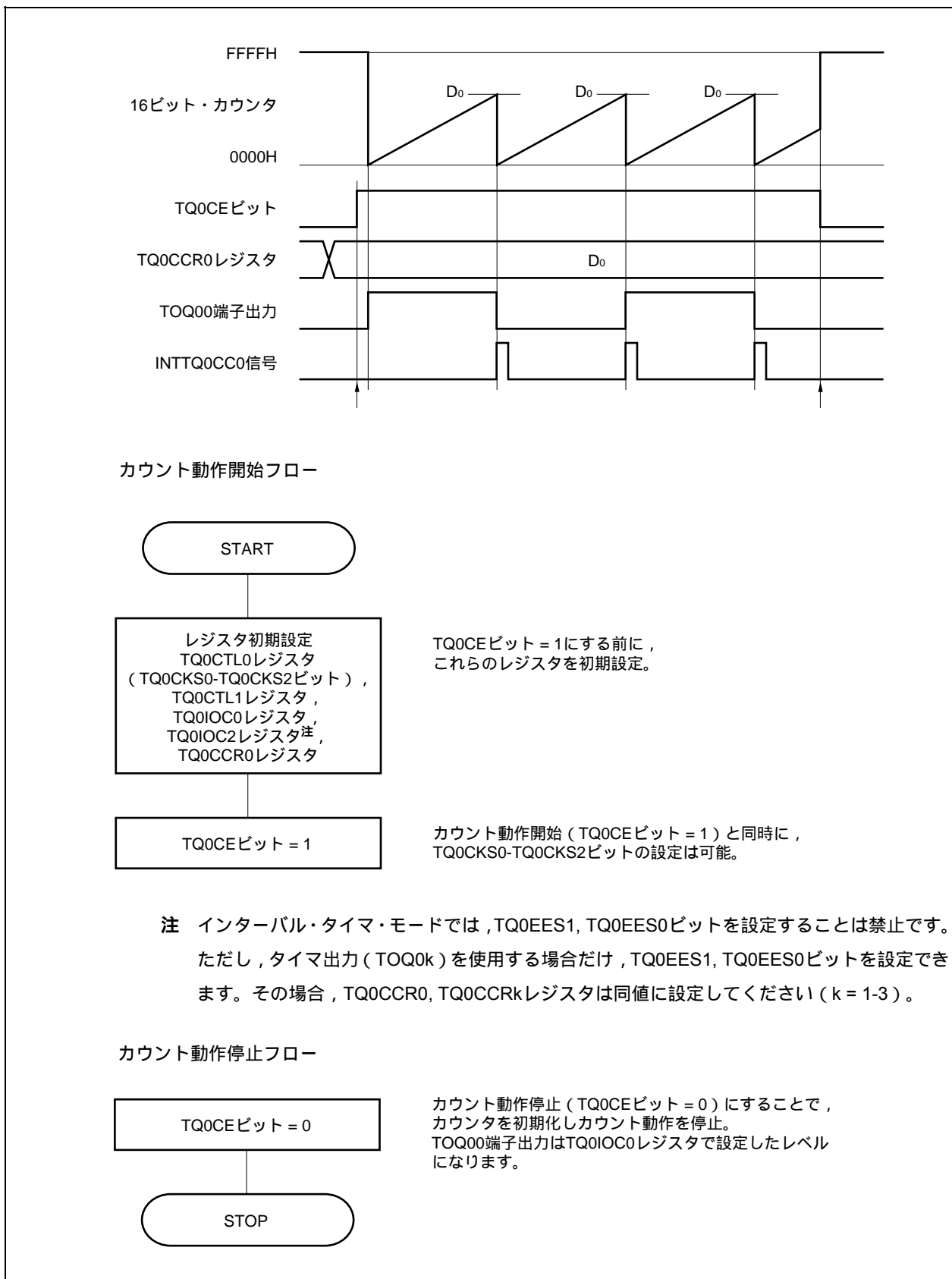
インターバル・タイマ・モードでは、TQ0CCR1-TQ0CCR3レジスタを使用しません。しかし、TQ0CCR1-TQ0CCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1-CCR3バッファ・レジスタの値が一致すると、TOQ01-TOQ03端子出力を反転し、コンペア一致割り込み要求信号 (INTTQ0CC1- INTTQ0CC3) が発生します。

TQ0CCR1-TQ0CCR3レジスタを使用しない場合には、TQ0CCR1-TQ0CCR3レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TQ0CCIC1.TQ0CCMK1-TQ0CCIC3.TQ0CCMK3) でマスク設定してください。

**備考** TMQ0I/O制御レジスタ1 (TQ0IOC1) , TMQ0オプション・レジスタ0 (TQ0OPT0) は、インターバル・タイマ・モードでは使用しません。

(1) インターバル・タイマ・モード動作フロー

図8-9 インターバル・タイマ・モード使用時のソフトウェア処理フロー

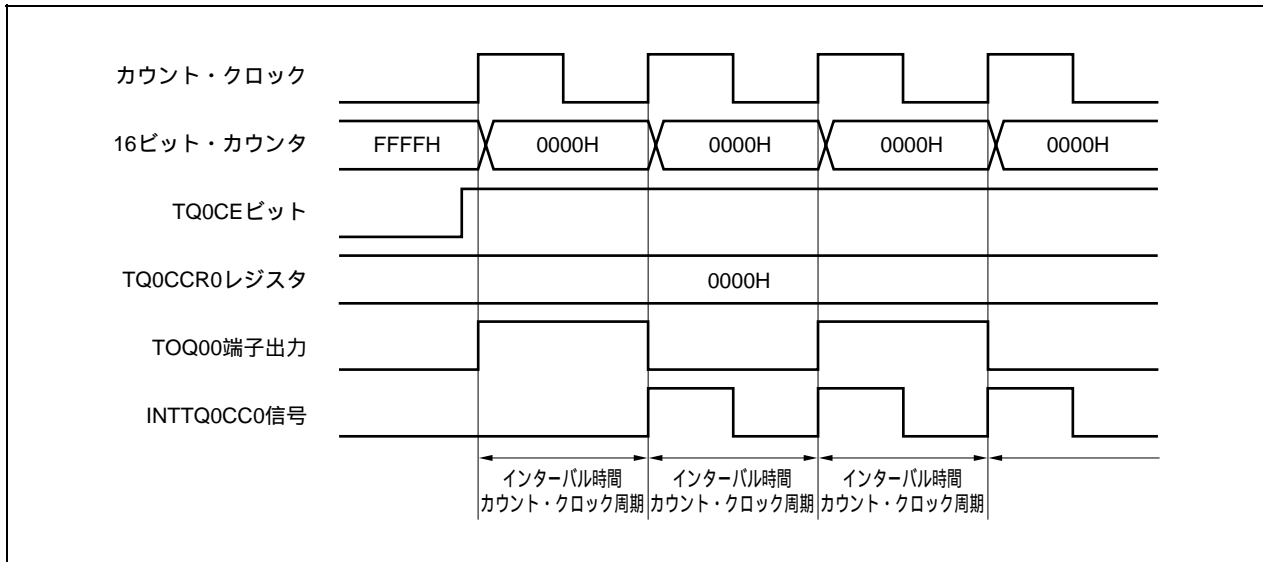


## (2) インターバル・タイマ・モード動作タイミング

## (a) TQ0CCR0レジスタに0000Hを設定した場合の動作

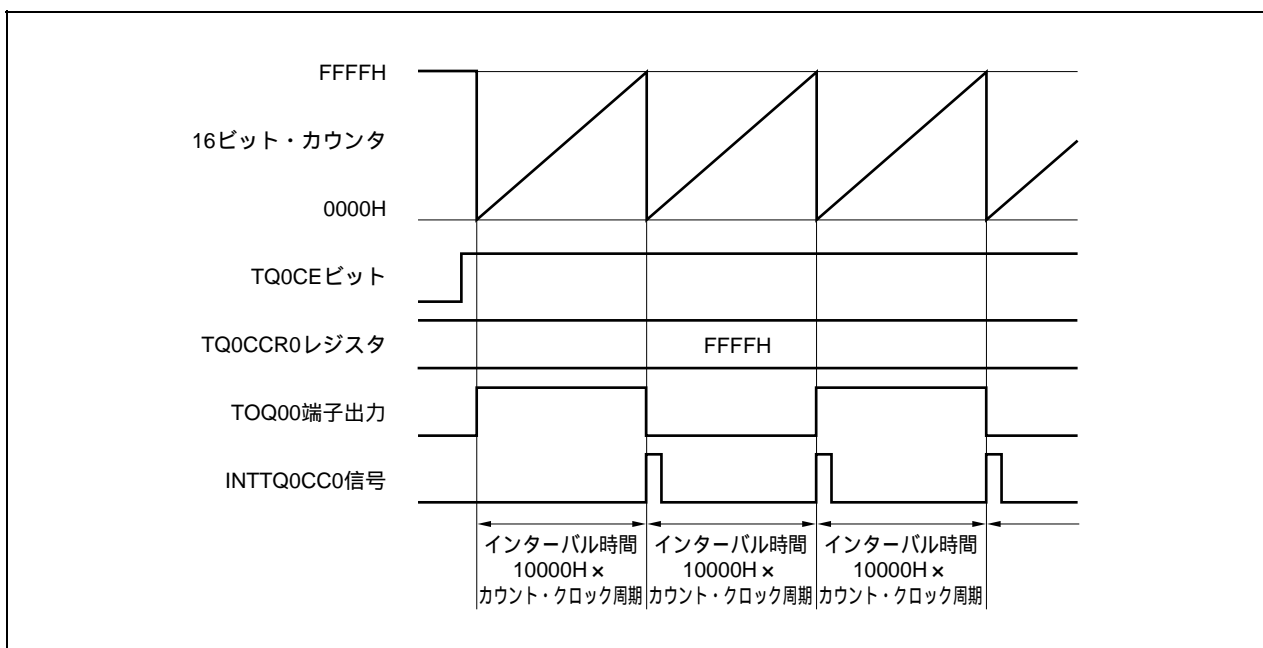
TQ0CCR0レジスタに0000Hを設定した場合,カウント・クロックごとにINTTQ0CC0信号を発生し, TOQ00端子の出力を反転します。

16ビット・カウンタは,常に0000Hとなります。



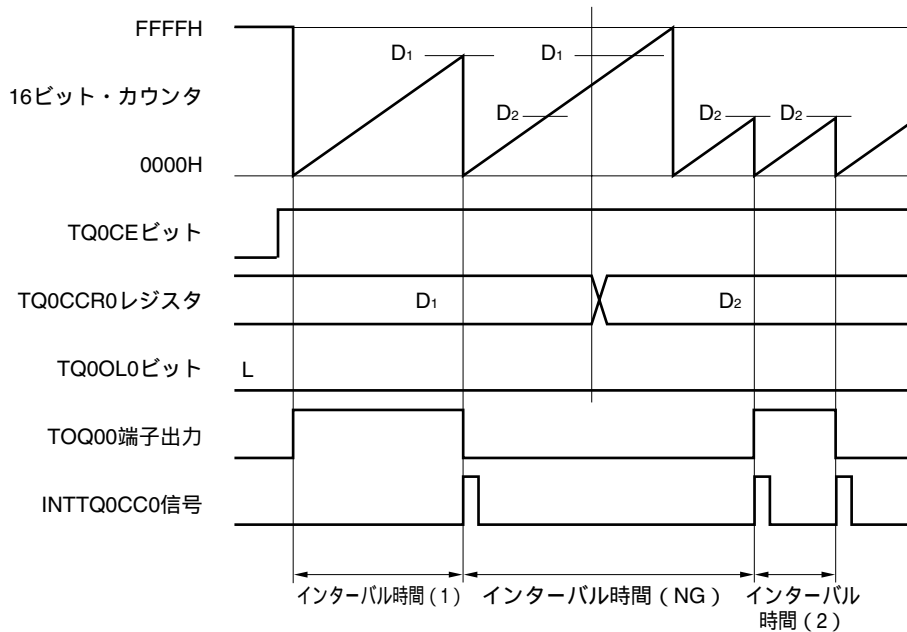
## (b) TQ0CCR0レジスタにFFFFHを設定した場合の動作

TQ0CCR0レジスタにFFFFHを設定した場合,16ビット・カウンタはFFFFHまでカウント動作を行い,次のカウント・アップ・タイミングに同期して,16ビット・カウンタを0000Hにクリアし,INTTQ0CC0信号を発生し,TOQ00端子の出力を反転します。このとき,オーバフロー割り込み要求信号 (INTTQ0OV) は発生せず,オーバフロー・フラグ (TQ0OPT0.TQ0OVFビット) もセット (1) されません。



## (c) TQ0CCR0レジスタの書き換えに関する注意事項

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



**備考** インターバル時間 (1) :  $(D_1 + 1) \times \text{カウント・クロック周期}$   
 インターバル時間 (NG) :  $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$   
 インターバル時間 (2) :  $(D_2 + 1) \times \text{カウント・クロック周期}$

カウント値が $D_2$ よりも大きく $D_1$ よりも小さい状態において、TQ0CCR0レジスタを $D_1$ から $D_2$ に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が $D_2$ となります。

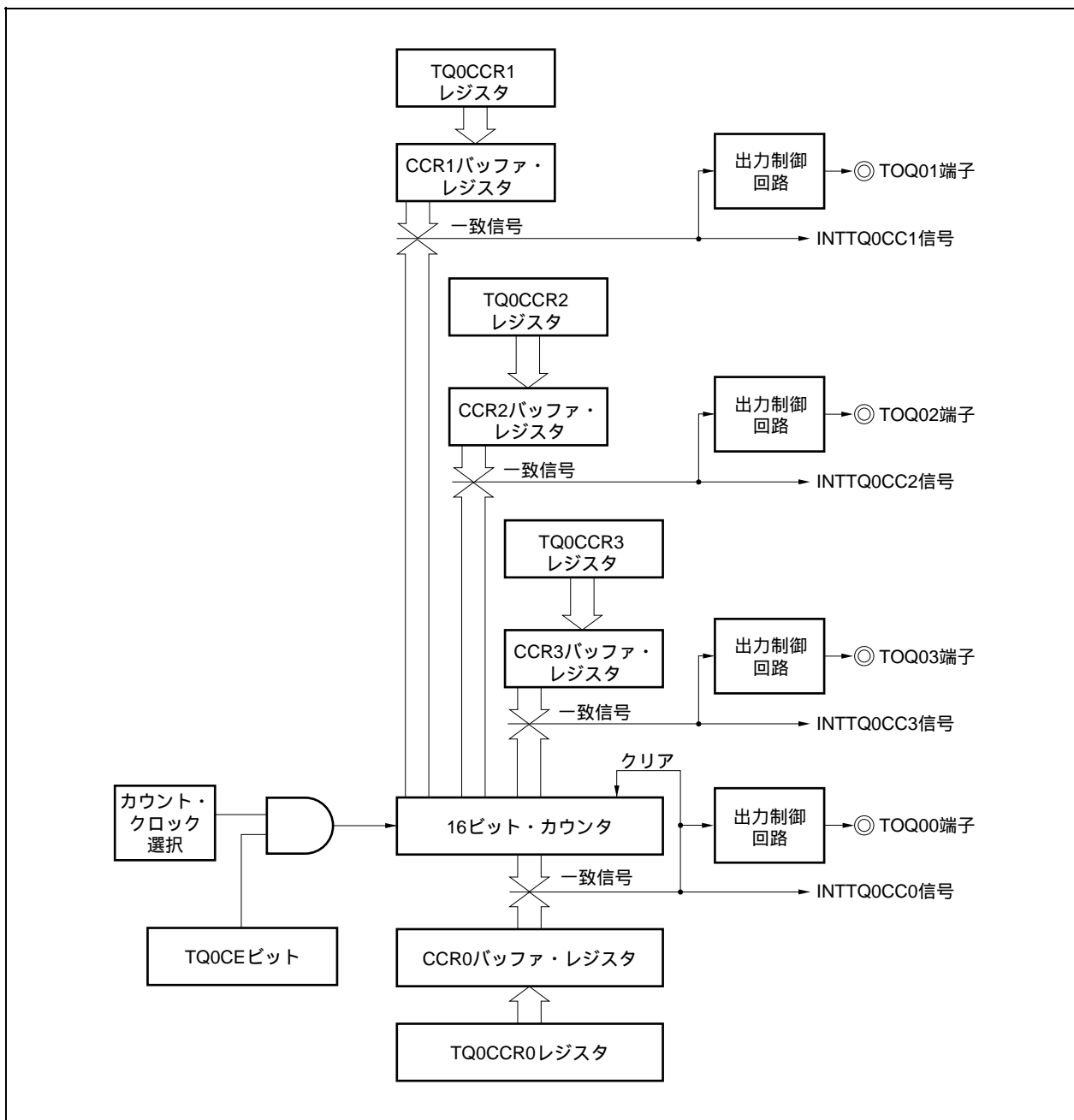
しかし、カウント値はすでに $D_2$ を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 $D_2$ との一致でINTTQ0CC0信号を発生しTOQ00端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント・クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント・クロック周期}$ 」でINTTQ0CC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$ 」の間隔でINTTQ0CC0信号が発生する場合があります。



(d) TQ0CCR1-TQ0CCR3レジスタの動作

図8 - 10 TQ0CCR1-TQ0CCR3レジスタの構成図



TQ0CCRkレジスタにTQ0CCR0レジスタの設定値と同じ値を設定すると、INTTQ0CC0信号と同じタイミングでINTTQ0CCk信号が発生し、TOQ0k端子出力が反転します。すなわち、TOQ0k端子から50%デューティの方形波を出力できます。

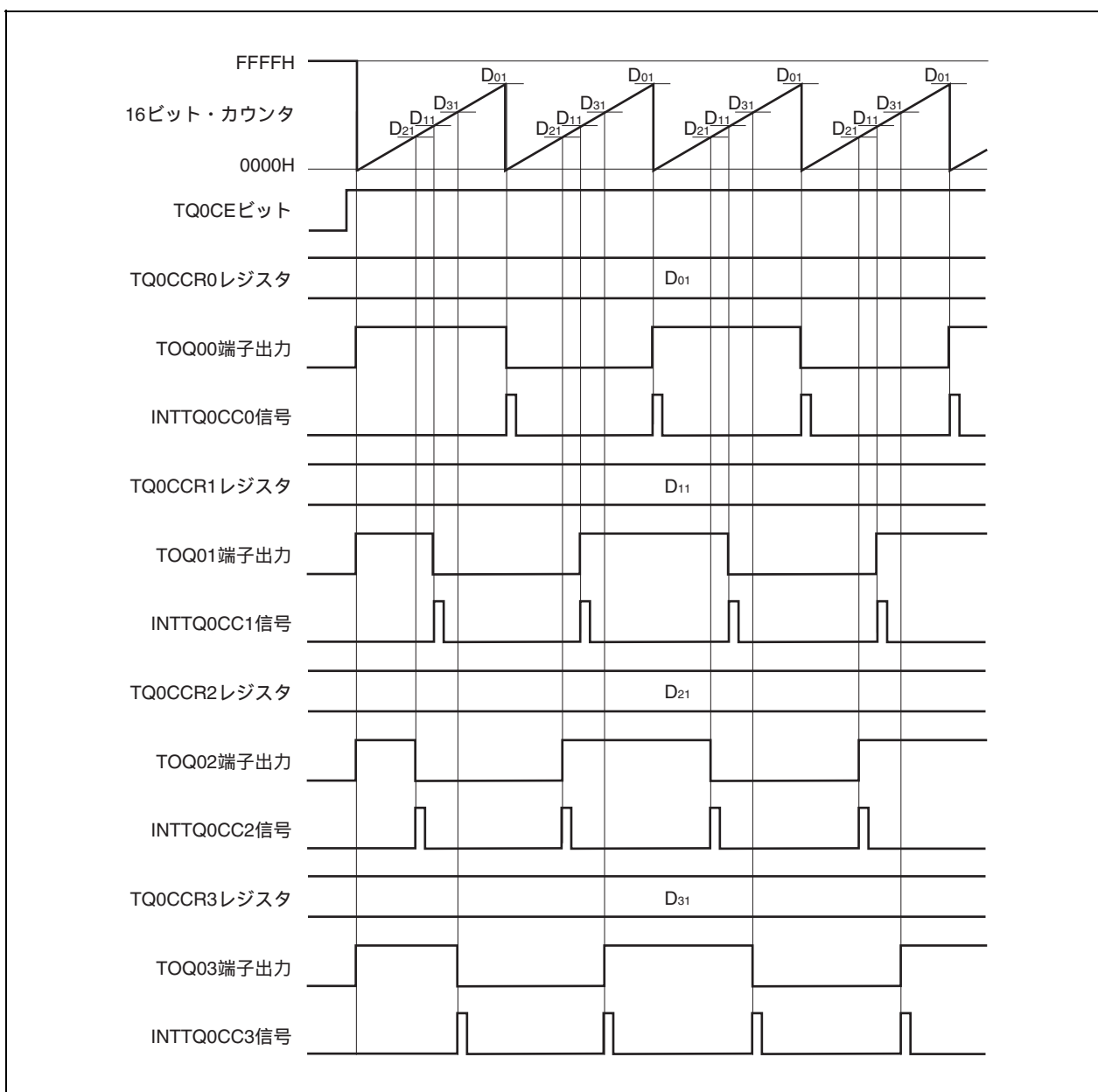
TQ0CCR0レジスタの設定値とは異なる値をTQ0CCRkレジスタに設定した場合の動作を次に示します。

TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTQ0CCk信号が発生します。また、同じタイミングでTOQ0k端子出力は反転します。

TOQ0k端子出力は、最初に短い幅のパルスを出力したあと、50%デューティの方形波を出力します。

備考 k = 1-3

図8 - 11 D<sub>01</sub>、D<sub>k1</sub>の場合のタイミング図

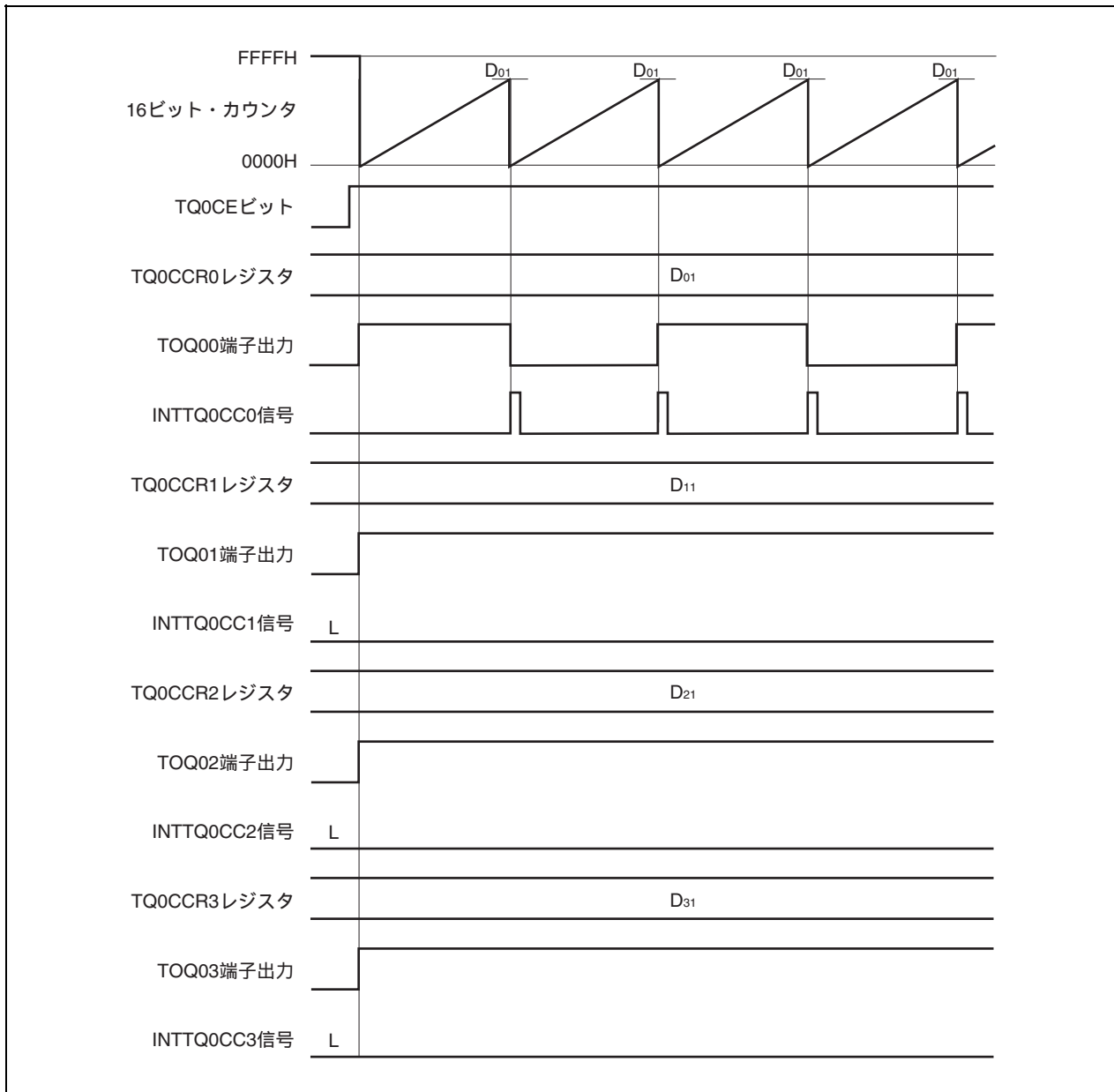


TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTQ0CCRkレジスタの値が一致しないので、INTTQ0CCk信号は発生しません。また、TOQ0k端子出力も変化しません。

TQ0CCRkレジスタを使用しない場合には、TQ0CCRkレジスタの設定値をFFFFHにすることを推奨します。

備考 k = 1-3

図8 - 12 D<sub>01</sub> < D<sub>k1</sub>の場合のタイミング図



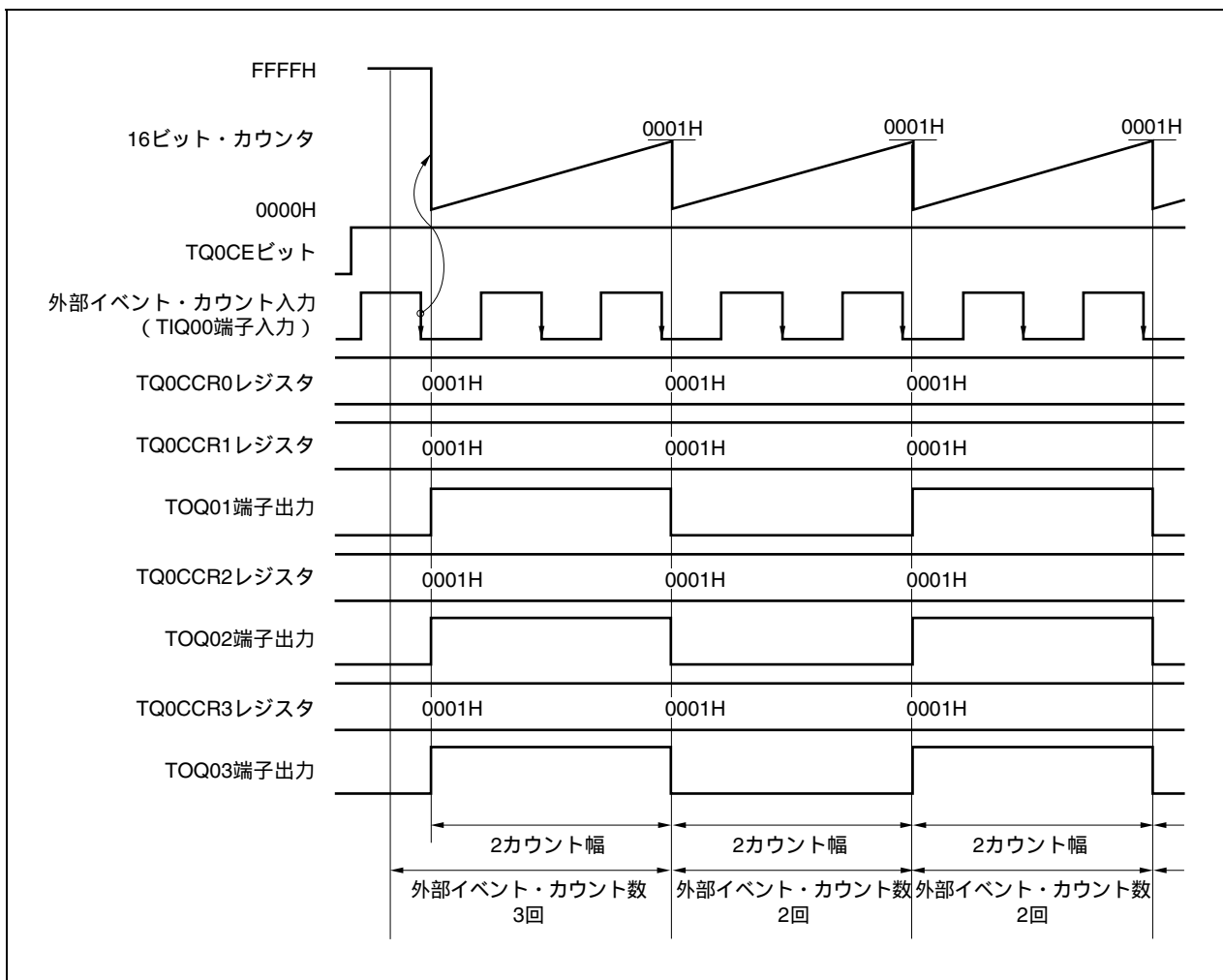
## (3) 外部イベント・カウント入力 (TIQ00) による動作

## (a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力 (TIQ00) の有効エッジで16ビット・カウンタをカウントする場合、TQ0CEビットを0から1に設定した直後に、16ビット・カウンタをFFFFHから0000Hにクリアするために、1回の外部イベント・カウント入力の有効エッジが必要です。

TQ0CCR0, TQ0CCRkレジスタに0001Hを設定 (同値設定) すると、16ビット・カウンタの2カウントごとにTOQ0k端子の出力を反転します (k = 1-3)。

外部イベント・カウント入力でタイマ出力 (TOQ0k) を使用する場合だけ、インターバル・タイマ・モード時にTQ0CTL1.TQ0EEEビット = 1の設定が可能です。



### 8.6.2 外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット = 001)

外部イベント・カウント・モードは、TQ0CTL0.TQ0CEビットをセット(1)することで、外部イベント・カウント入力(TIQ00)の有効エッジをカウントし、TQ0CCR0レジスタで設定したカウント数をカウントするごとに割り込み要求信号(INTTQ0CC0)を発生します。また、TOQ00-TOQ03端子は使用できません。外部イベント・カウント入力(TIQ00)でTOQ01-TOQ03端子を使用する場合は、インターバル・タイマ・モード時にTQ0CTL1.TQ0EEEビット = 1に設定してください(8.6.1(3)外部イベント・カウント入力(TIQ00)による動作参照)。

外部イベント・カウント・モードでは、TQ0CCR1-TQ0CCR3レジスタは使用しません。

**注意** 外部イベント・カウント・モードでは、TQ0CCR0-TQ0CCR3レジスタに0000Hを設定することは禁止します。

図8-13 外部イベント・カウント・モードの構成図

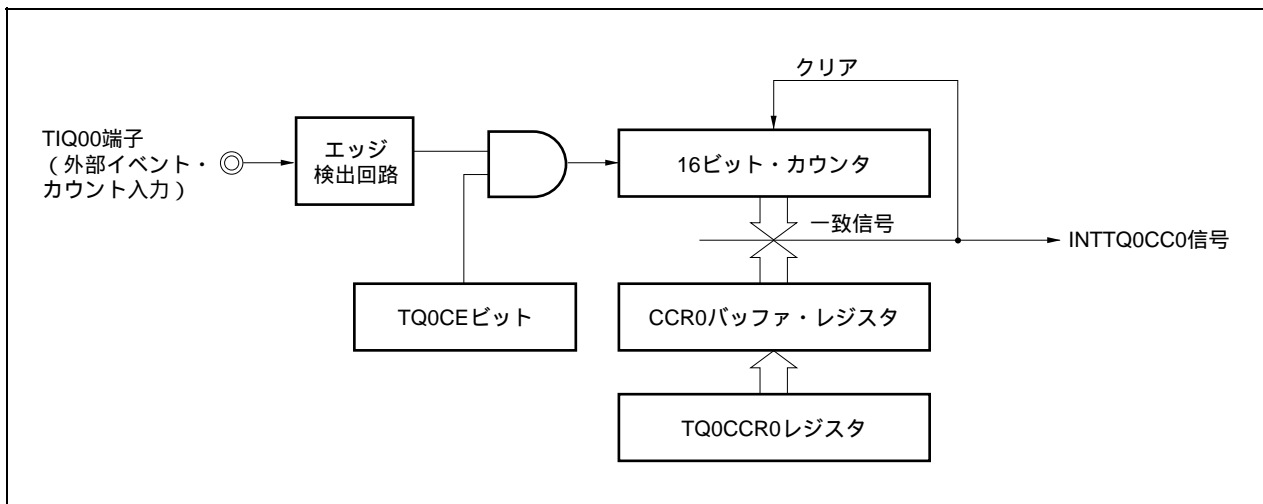
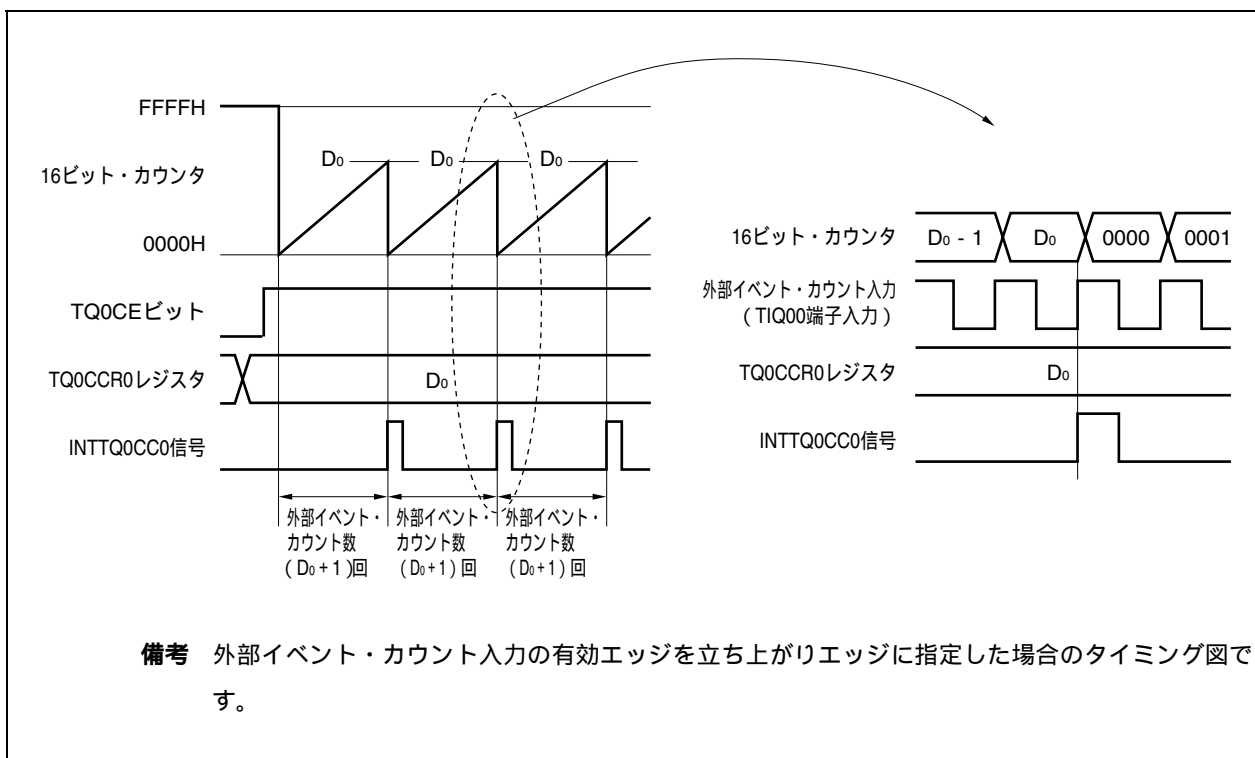


図8 - 14 外部イベント・カウント・モードの基本タイミング



TQ0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することにカウント動作を行います。また、TQ0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号 (INTTQ0CC0) を発生します。

INTTQ0CC0信号の発生は、(TQ0CCR0レジスタに設定した値 + 1) 回検出することに発生します。

図8 - 15 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

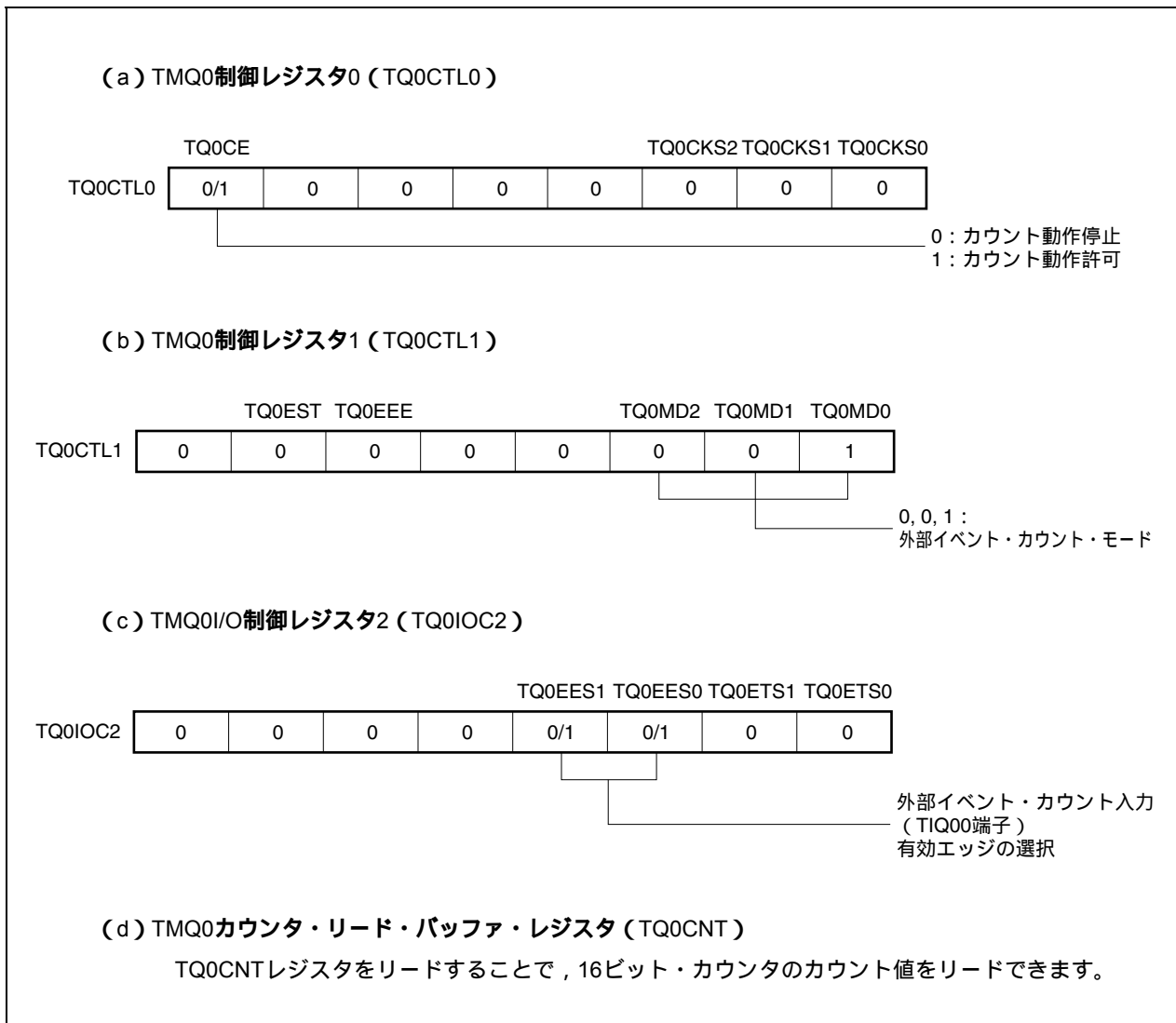


図8 - 15 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

**(e) TMQ0キャプチャ/コンペア・レジスタ0 (TQ0CCR0)**

TQ0CCR0レジスタにD<sub>0</sub>を設定した場合、外部イベント・カウント数が(D<sub>0</sub>+1)回となるとカウントをクリアしコンペア一致割り込み要求信号 (INTTQ0CC0) を発生します。

**(f) TMQ0キャプチャ/コンペア・レジスタ1-3 (TQ0CCR1-TQ0CCR3)**

外部イベント・カウント・モードでは、TQ0CCR1-TQ0CCR3レジスタは使用しません。しかし、TQ0CCR1-TQ0CCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTQ0CC1- INTTQ0CC3) が発生します。

TQ0CCR1-TQ0CCR3レジスタを使用しない場合には、TQ0CCR1-TQ0CCR3レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TQ0CCIC1.TQ0CCMK1-TQ0CCIC3.TQ0CCMK3) でマスク設定してください。

**注意1.** TQ0IOC0レジスタには00Hを設定してください。

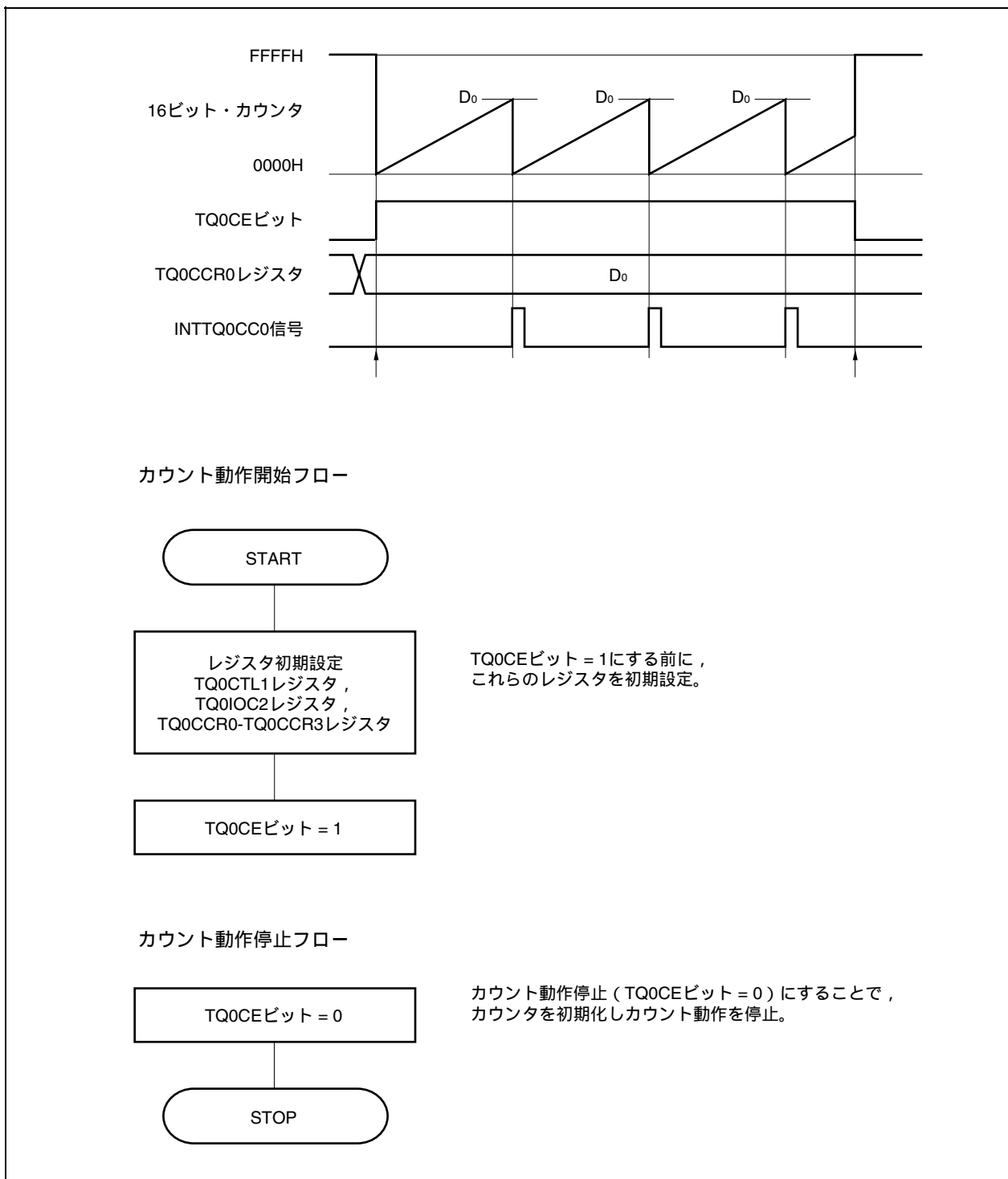
2. カウント・クロックとして外部クロックを使用するときは、外部クロックはTIQ00端子からのみ入力できます。このとき、TQ0IOC1.TQ0IS1, TQ0IS0ビット = 00 (キャプチャ・トリガ入力 (TIQ00端子) : エッジ検出なし) に設定してください。

**備考** TMQ0I/O制御レジスタ1 (TQ0IOC1) , TMQ0オプション・レジスタ0 (TQ0OPT0) は、外部イベント・カウント・モードでは使用しません。



(1) 外部イベント・カウント・モード動作フロー

図8 - 16 外部イベント・カウント・モード使用時のソフトウェア処理フロー

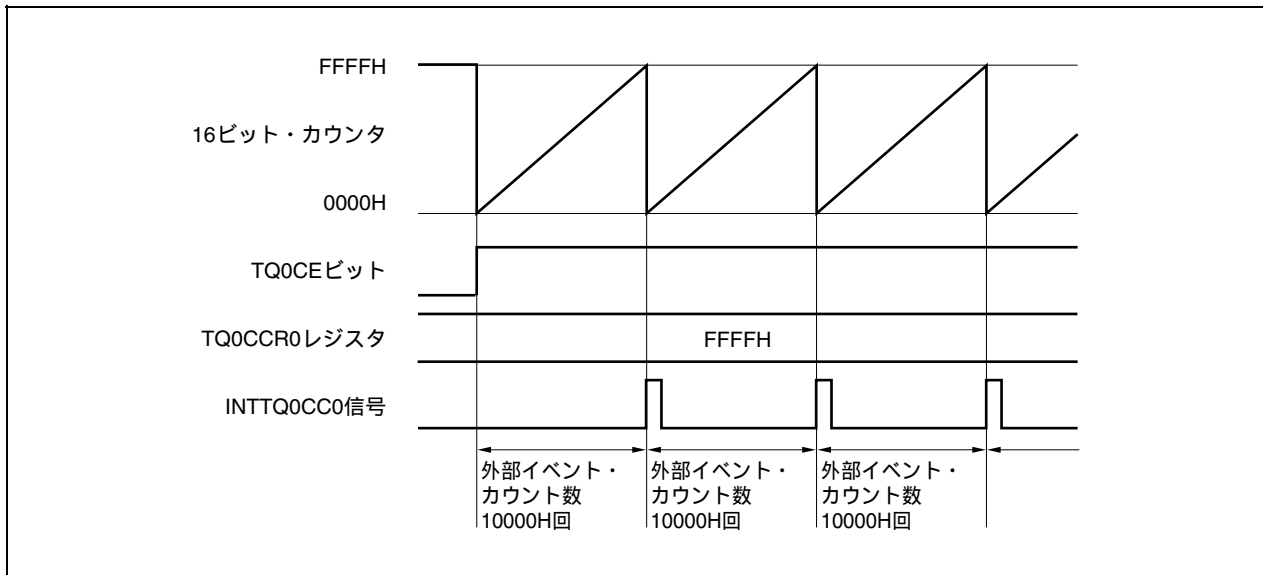


## (2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モード時, TQ0CCR0-TQ0CCR3レジスタには, 0000Hを設定することは禁止します。
2. 外部イベント・カウント・モード時, タイマ出力 (TOQ00-TOQ03) は使用禁止です。外部イベント・カウント入力 (TIQ00) でタイマ出力 (TOQ01-TOQ03) を使用する場合は, インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可 (TQ0CTL1.TQ0EEEビット = 1) に設定してください(8. 6. 1 (3) 外部イベント・カウント入力 (TIQ00) による動作参照)。

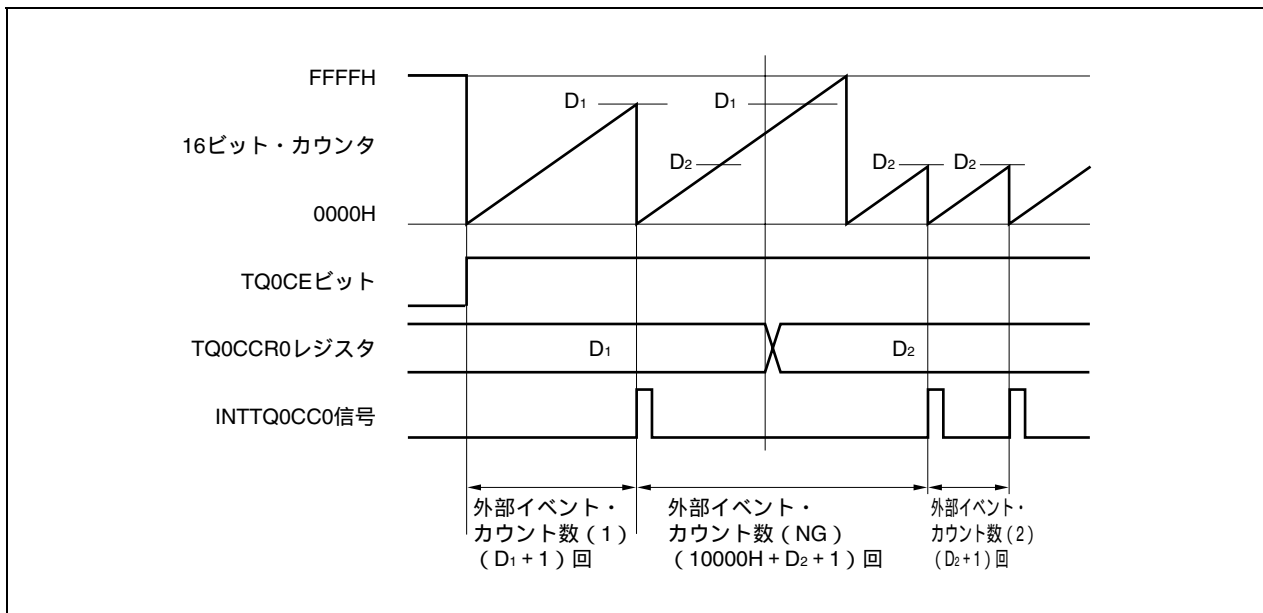
## (a) TQ0CCR0レジスタにFFFFHを設定した場合の動作

TQ0CCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次のカウント・アップ・タイミングに同期して, 16ビット・カウンタを0000Hにクリアし, INTTQ0CC0信号を発生します。このとき, TQ0OPT0.TQ0OVFビットはセットされません。



## (b) TQ0CCR0レジスタの書き換えに関する注意事項

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



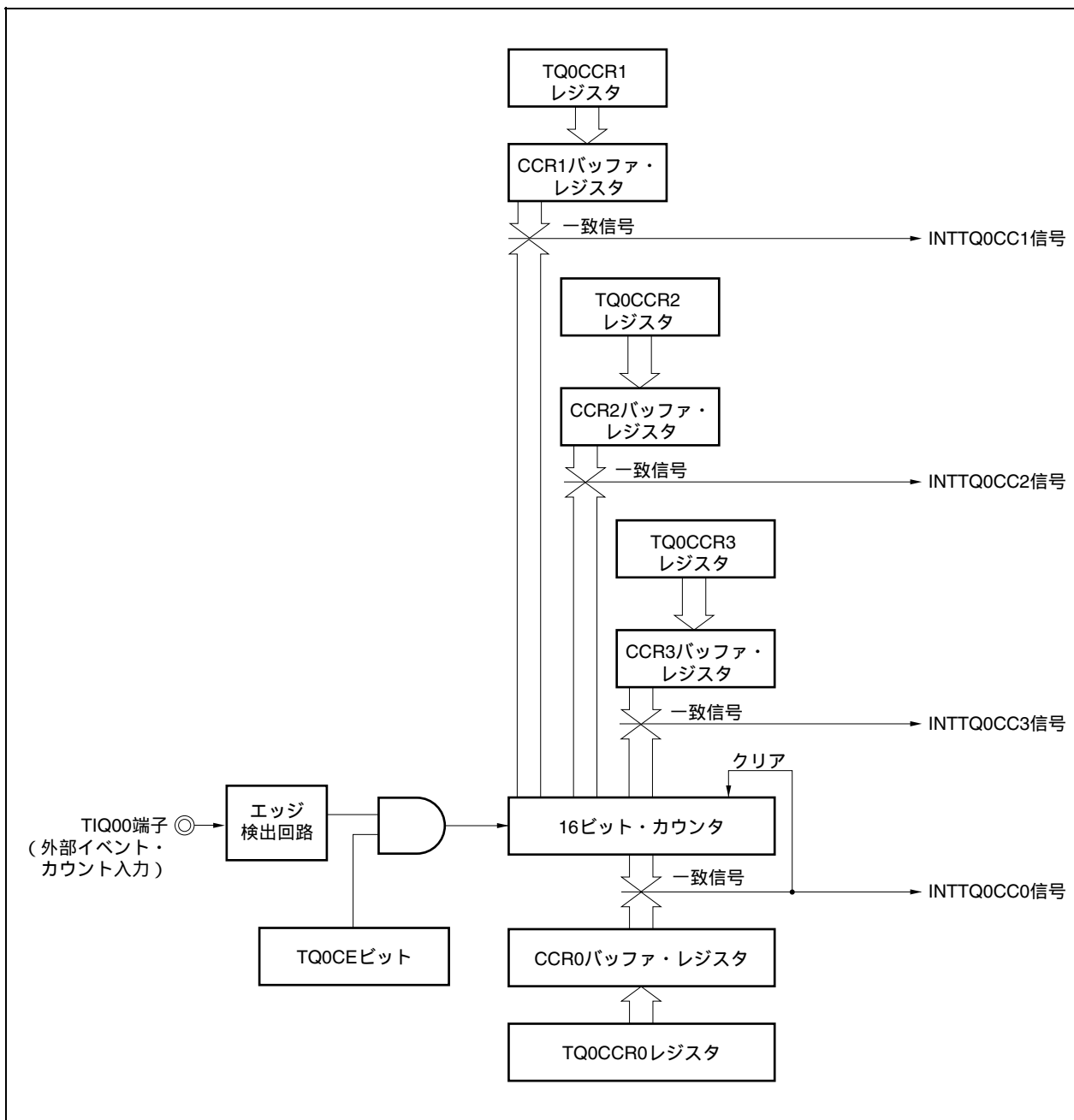
カウント値が $D_2$ よりも大きく $D_1$ よりも小さい状態において、TQ0CCR0レジスタを $D_1$ から $D_2$ に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が $D_2$ となります。

しかし、カウント値はすでに $D_2$ を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 $D_2$ との一致でINTTQ0CC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「 $(D_1 + 1)$ 回」または「 $(D_2 + 1)$ 回」の有効エッジ数でINTTQ0CC0信号は発生せずに、「 $(10000H + D_2 + 1)$ 回」の有効エッジ数でINTTQ0CC0信号が発生する場合があります。

(c) TQ0CCR1-TQ0CCR3レジスタの動作

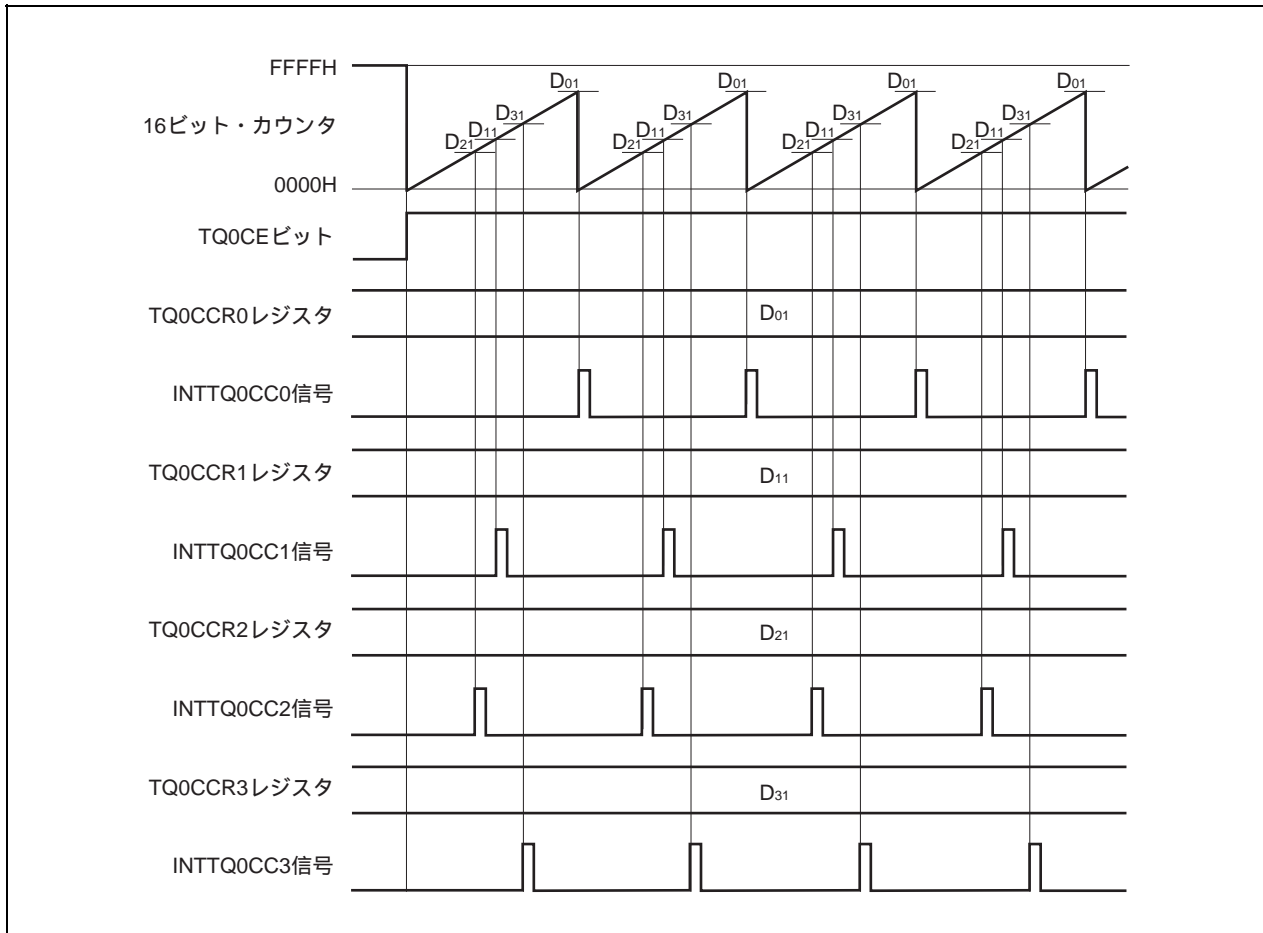
図8 - 17 TQ0CCR1-TQ0CCR3レジスタの構成図



TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTQ0CCK信号が発生します。

備考 k = 1-3

図8 - 18 D<sub>01</sub> D<sub>k1</sub>の場合のタイミング図

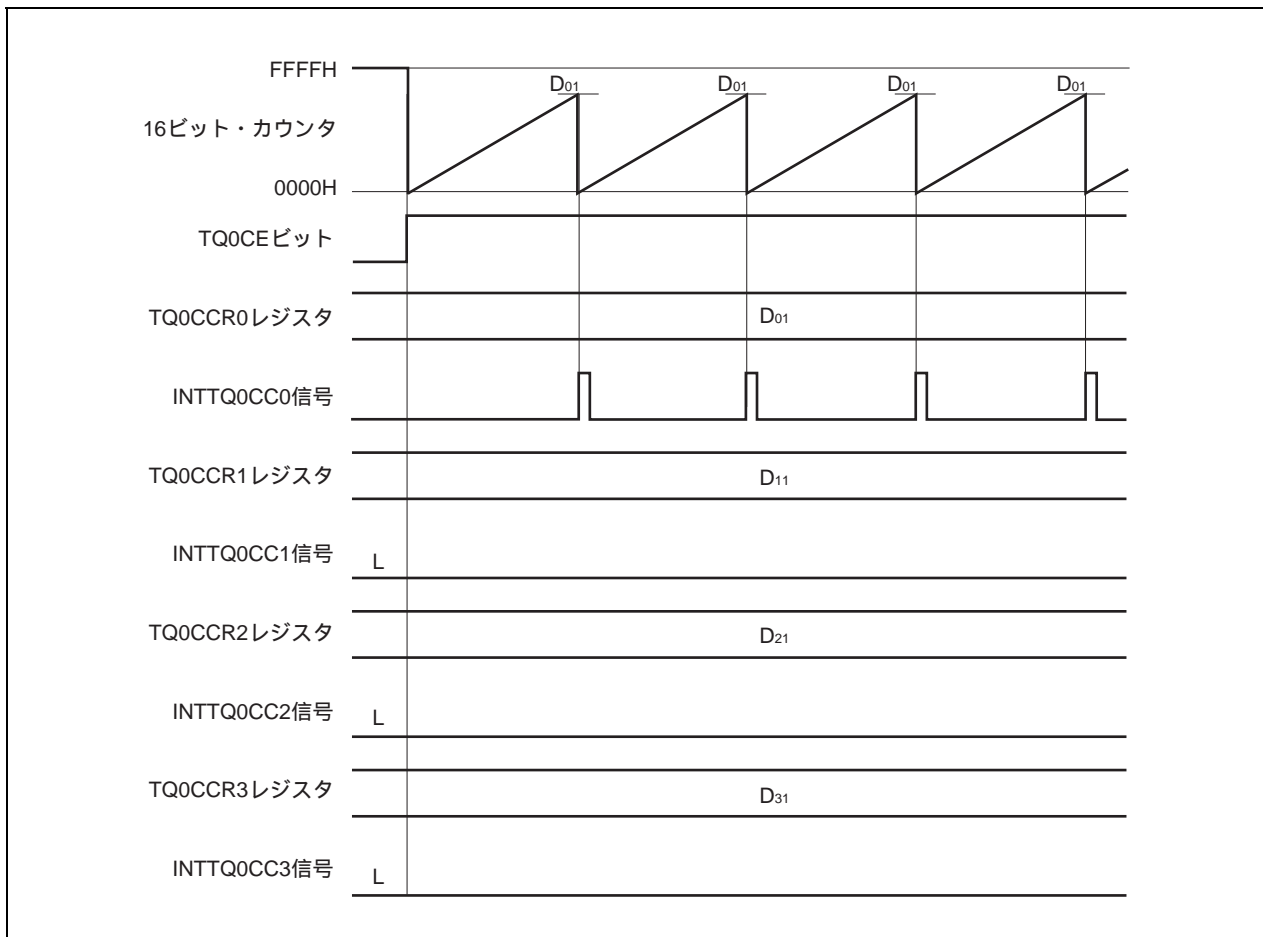


TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTQ0CCRkレジスタの値が一致しないので、INTTQ0CCk信号は発生しません。

TQ0CCRkレジスタを使用しない場合には、TQ0CCRkレジスタの設定値をFFFFHに設定することを推奨します。

備考 k = 1-3

図8 - 19  $D_{01} < D_{k1}$ の場合のタイミング図



### 8.6.3 外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0ビット = 010)

外部トリガ・パルス出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力 (TIQ00) の有効エッジを検出すると、カウント動作を開始し、TOQ01-TOQ03端子から最大3相のPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOQ00端子から、TQ0CCR0レジスタの設定値+1を半周期とする50%デューティの方形波を出力できます。

図8-20 外部トリガ・パルス出力モードの構成図

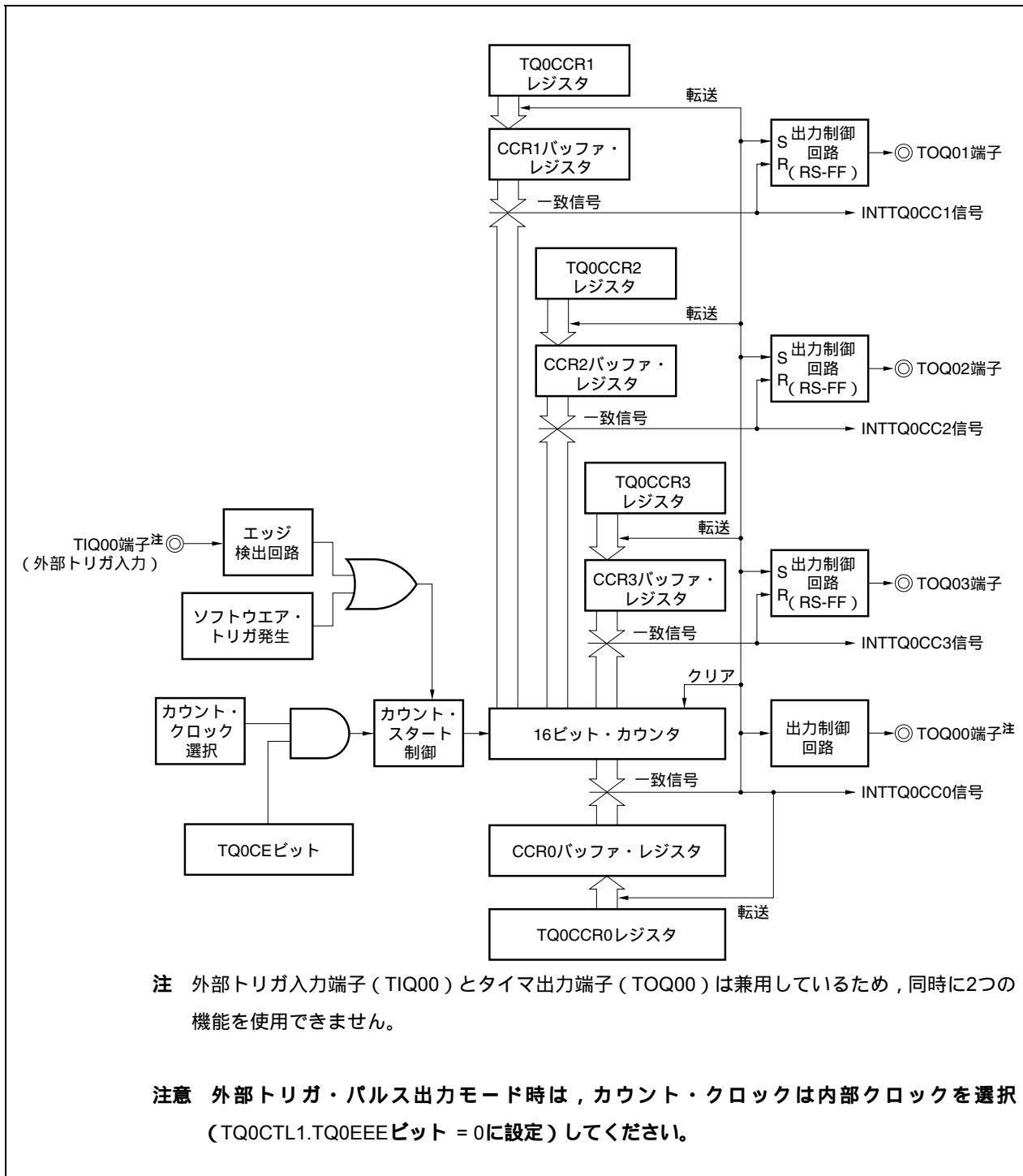
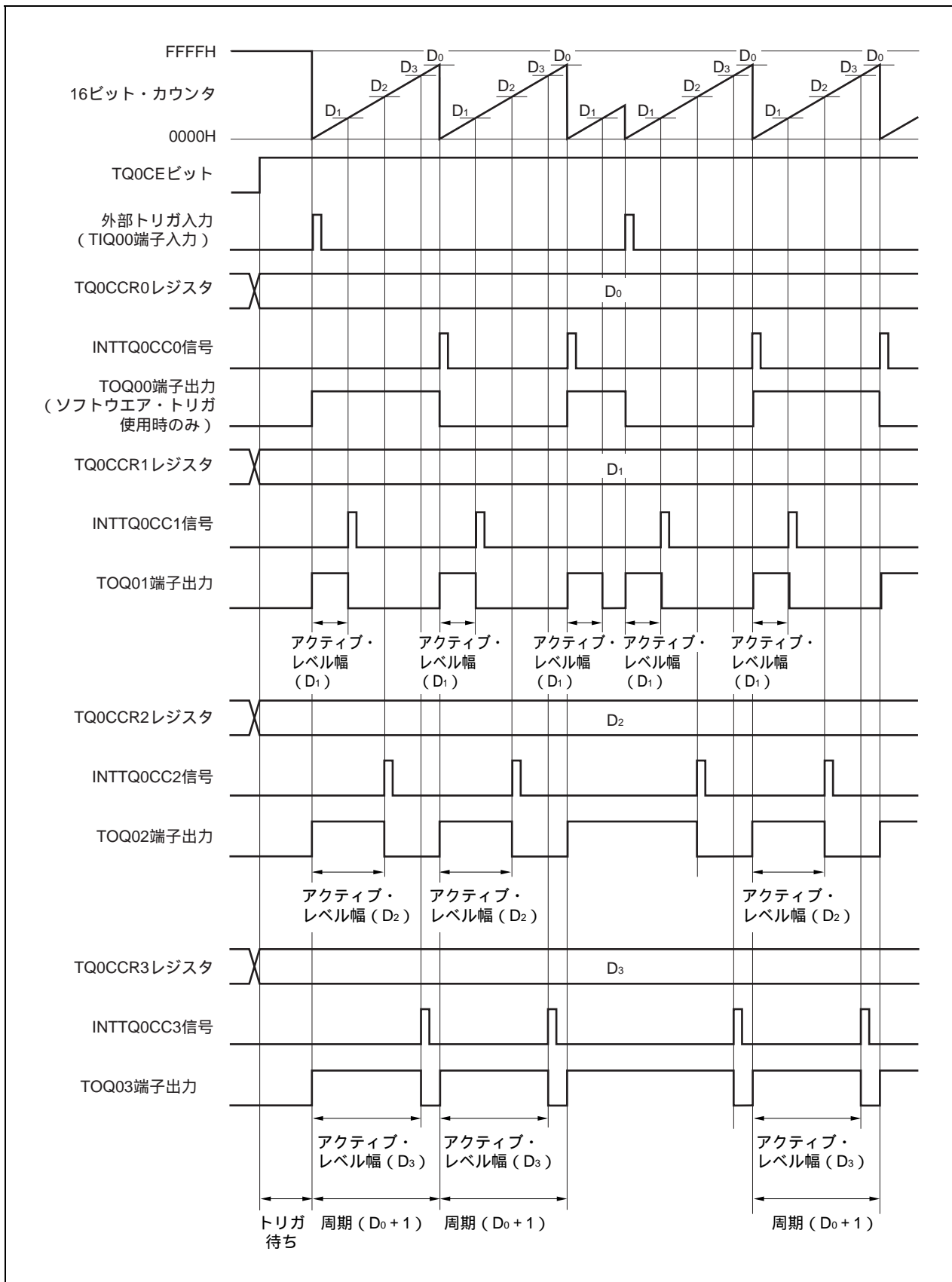


図8 - 21 外部トリガ・パルス出力モードの基本タイミング





TQ0CEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ0Qk端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TQ0Q0端子出力は反転します。TQ0Qk端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

アクティブ・レベル幅 = (TQ0CCRkレジスタの設定値) × カウント・クロック周期

周期 = (TQ0CCR0レジスタの設定値 + 1) × カウント・クロック周期

デューティ = (TQ0CCRkレジスタの設定値) / (TQ0CCR0レジスタの設定値 + 1)

コンペアー一致割り込み要求信号(INTTQ0CC0)は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号(INTTQ0CCk)は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

TQ0CCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

トリガには、外部トリガ入力(TIQ00)の有効エッジ、またはソフトウェア・トリガ(TQ0CTL1.TQ0ESTビット)のセット(1)があります。

備考 k = 1-3,

m = 0-3

図8 - 22 外部トリガ・パルス出力モード動作時のレジスタ設定内容(1/3)

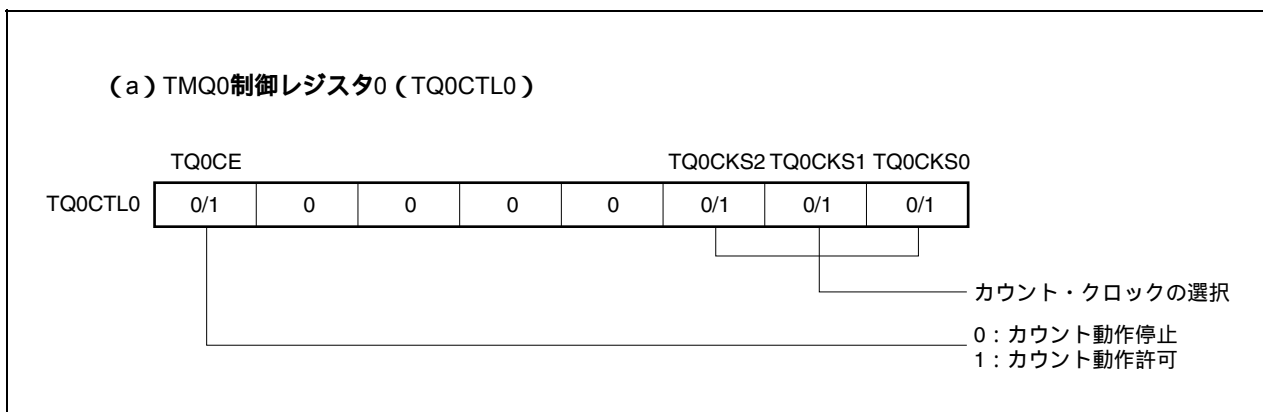


図8 - 22 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

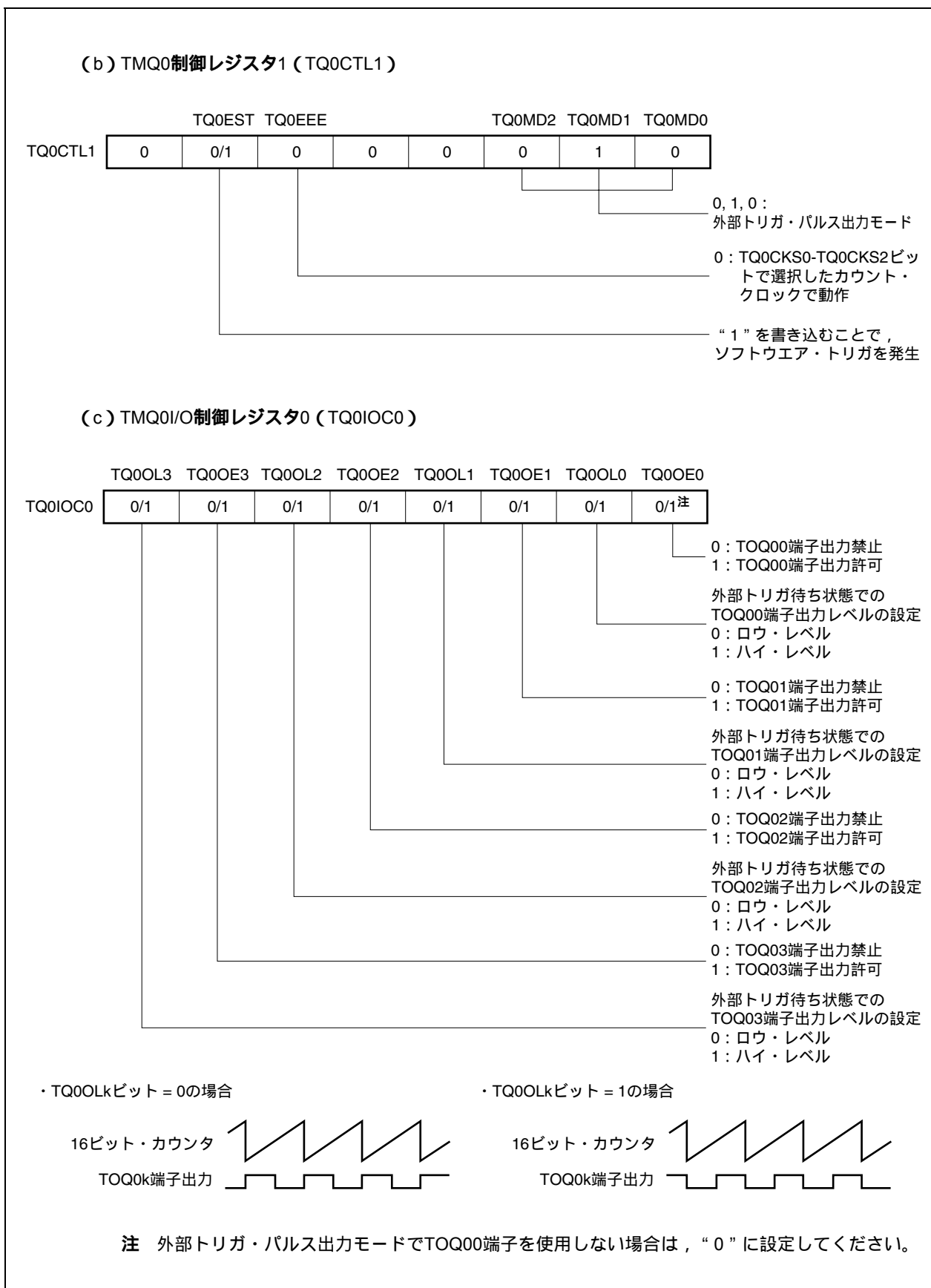
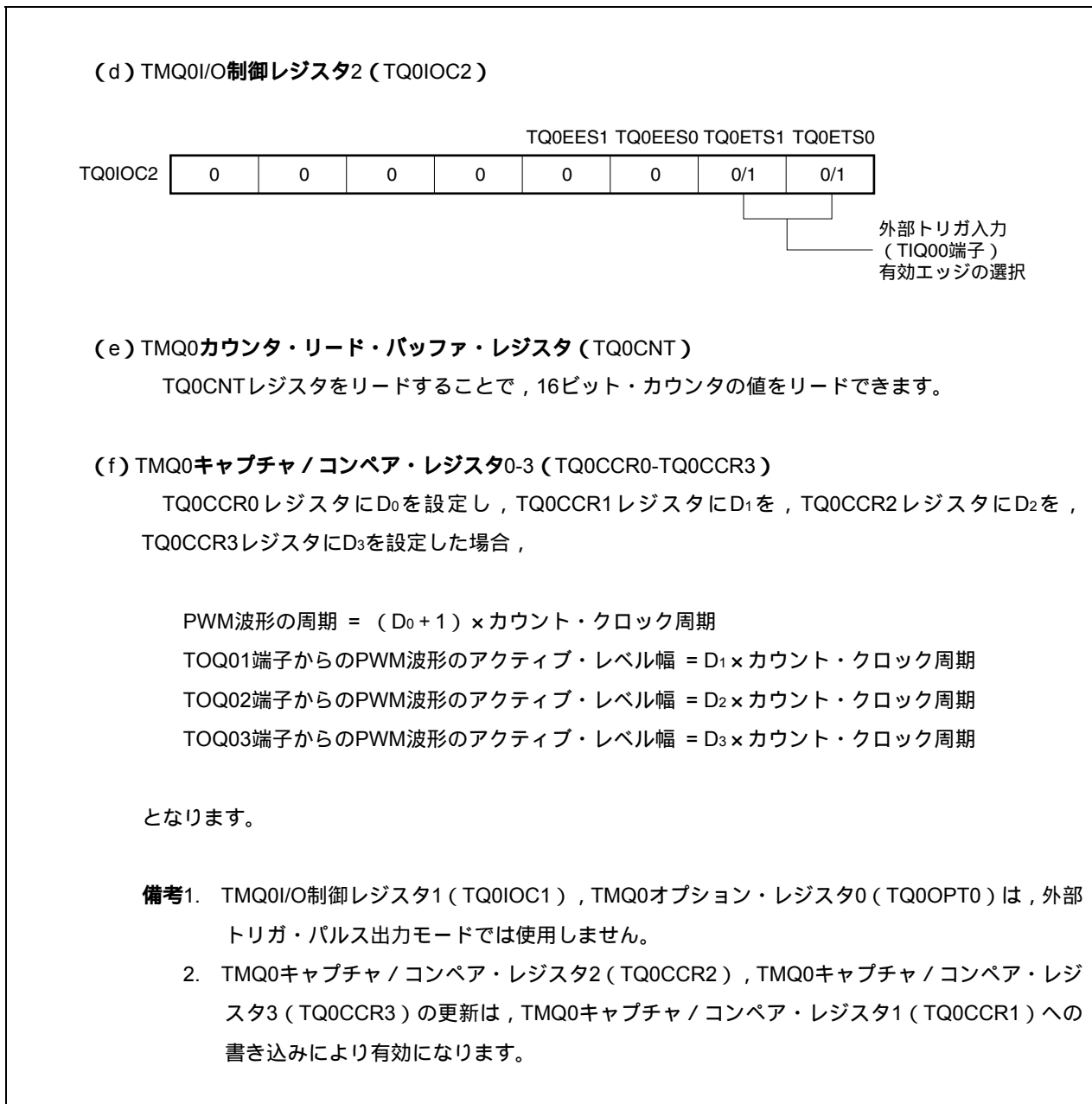


図8 - 22 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)



(1) 外部トリガ・パルス出力モード動作フロー

図8 - 23 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

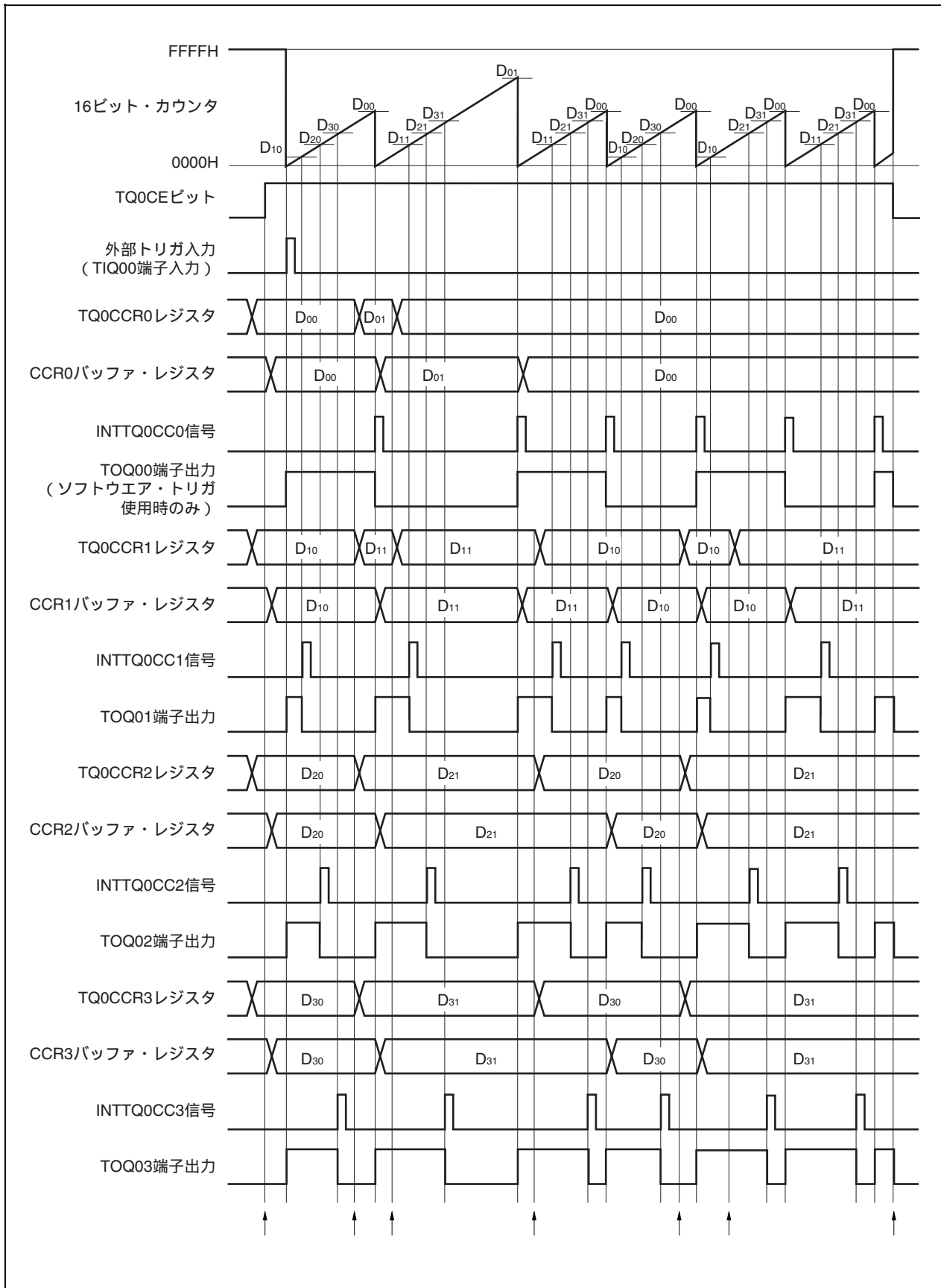
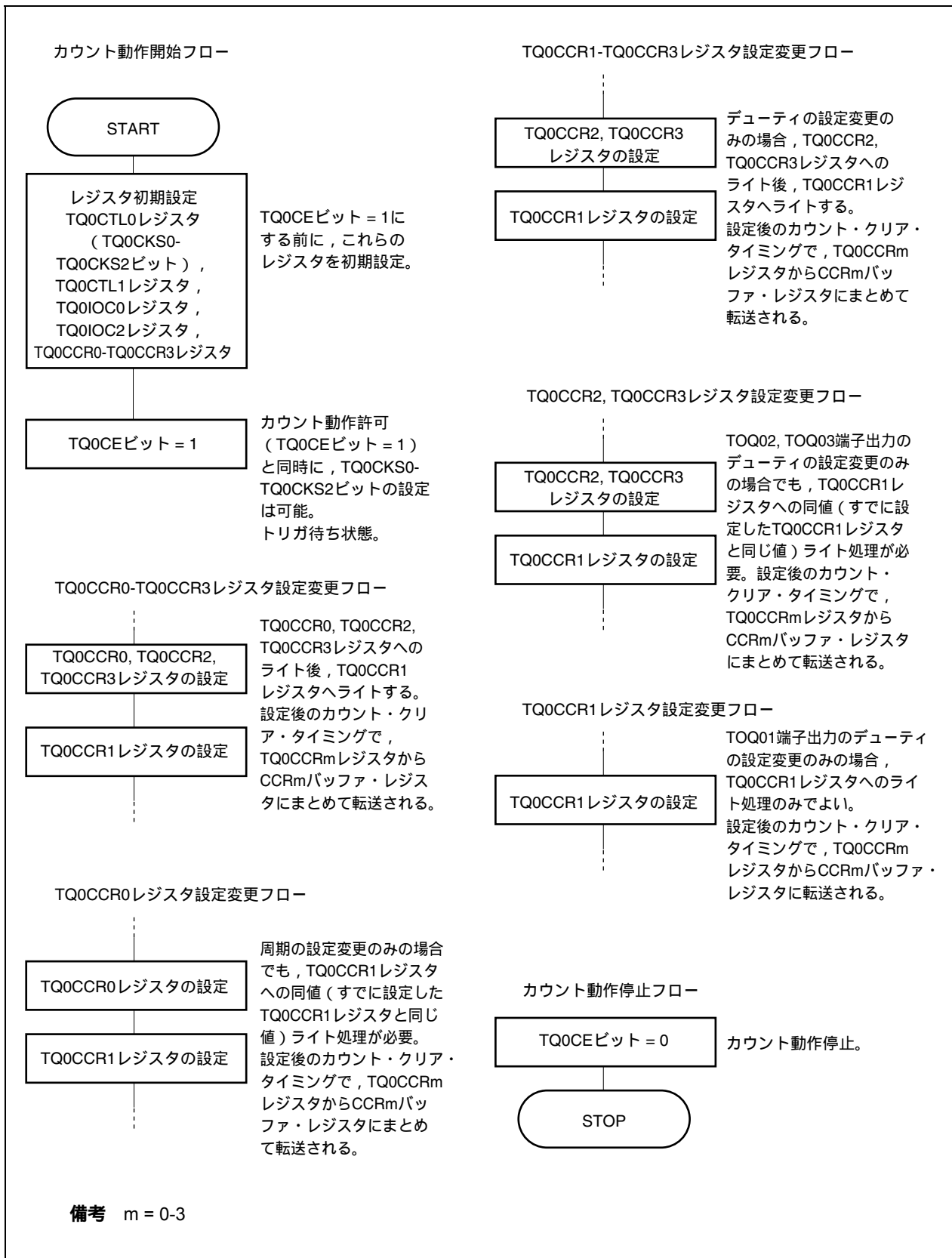


図8 - 23 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

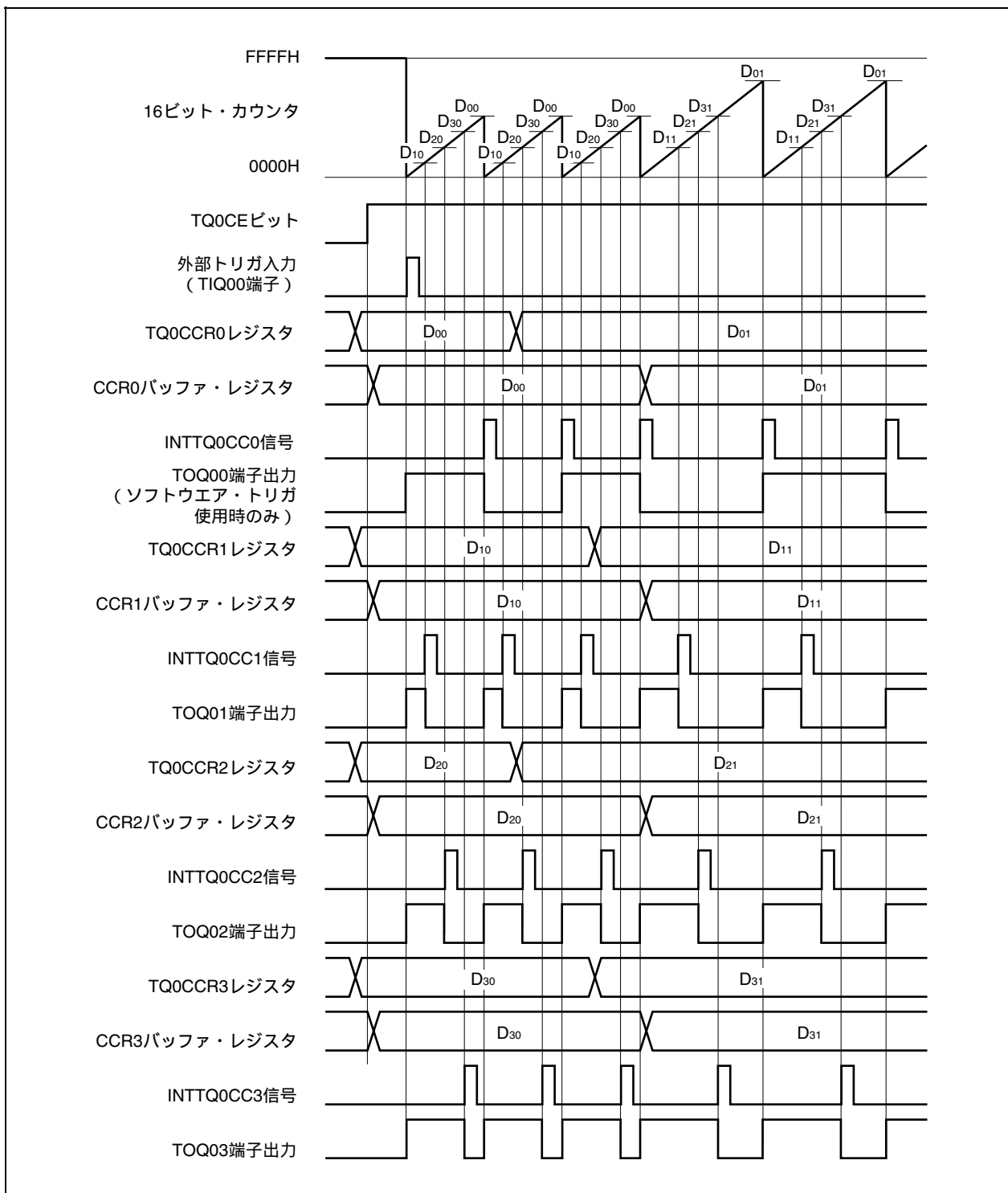


## (2) 外部トリガ・パルス出力モード動作タイミング

## (a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後、再度TQ0CCRkレジスタの書き換えを行う場合には、INTTQ0CC0信号を検出後に書き換えてください。



TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TQ0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQ0CCR0レジスタに周期を、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTQ0CCR0レジスタに周期を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合には、まず、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

TOQ01端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TQ0CCR1レジスタのみの設定でかまいません。

TOQ02, TOQ03端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、まずTQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

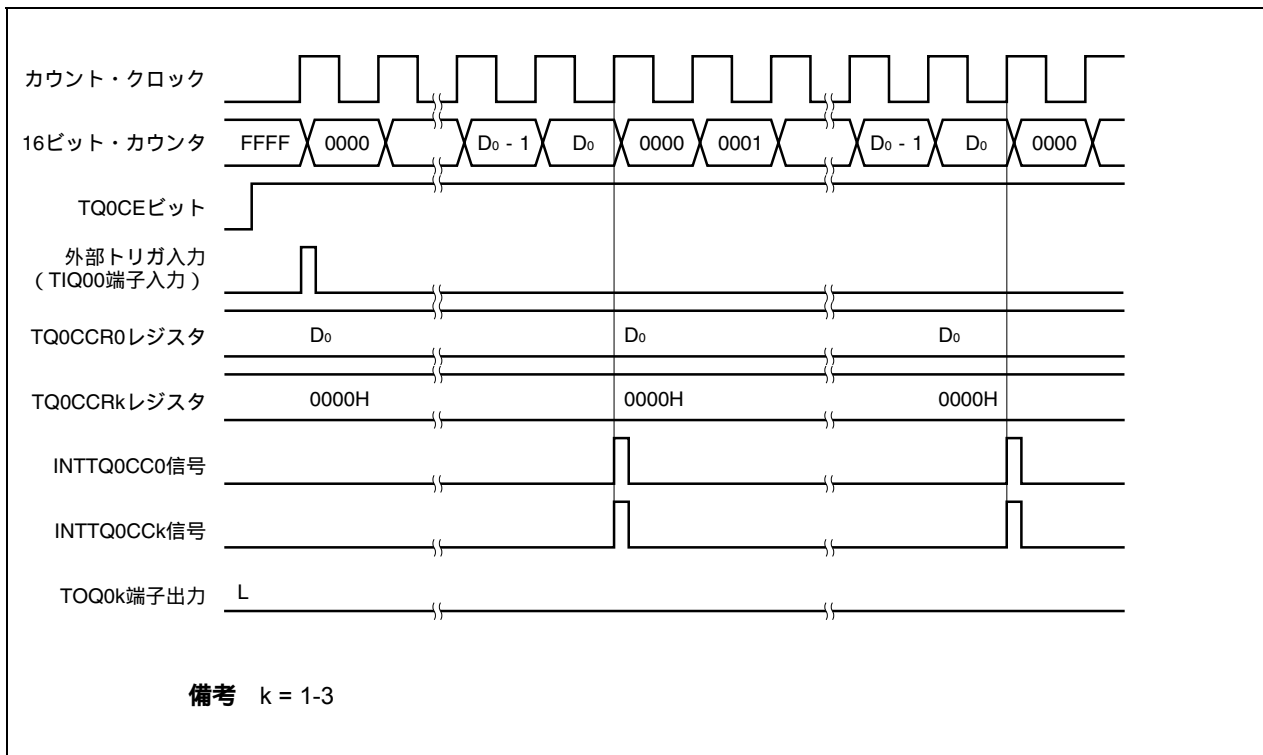
TQ0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQ0CCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TQ0CCR1レジスタにライトしたあとで、再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は、INTTQ0CC0信号の発生後に行ってください。これを守れない場合には、TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TQ0CCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

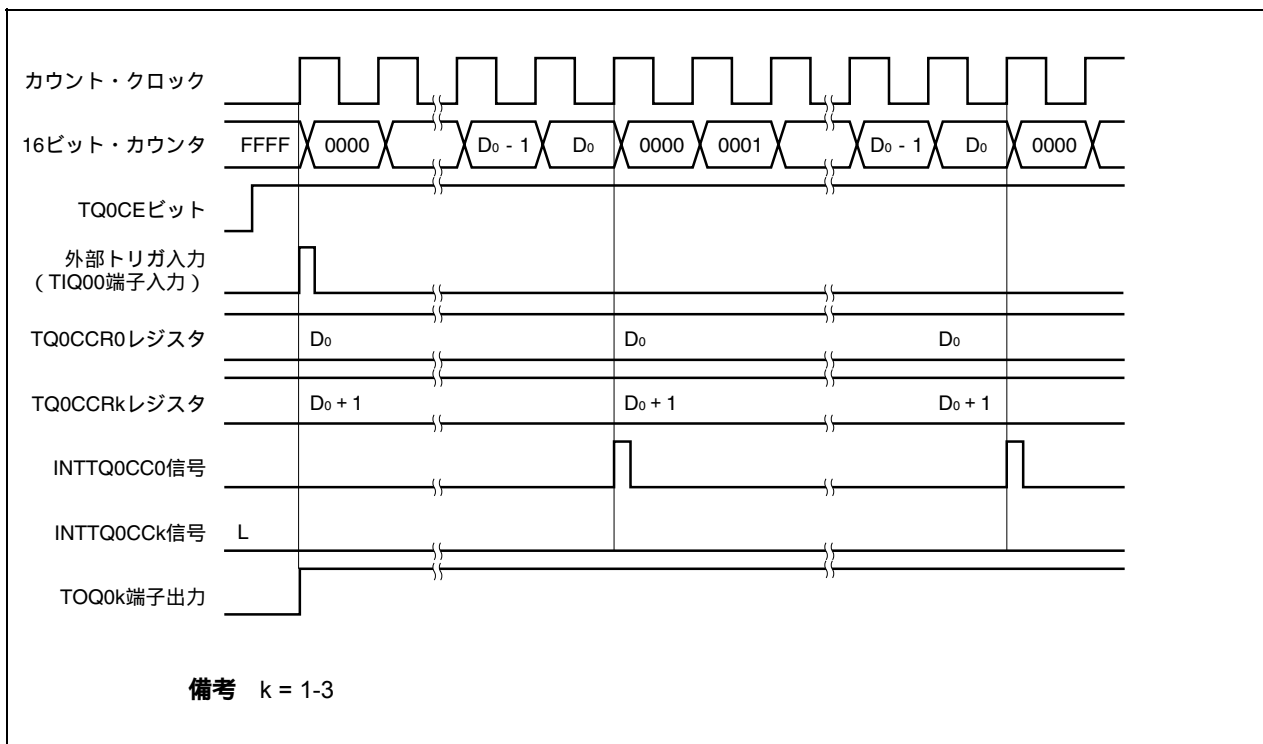
**備考** m = 0-3

## (b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TQ0CCRkレジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTQ0CC0信号とINTTQ0CCK信号が発生します。



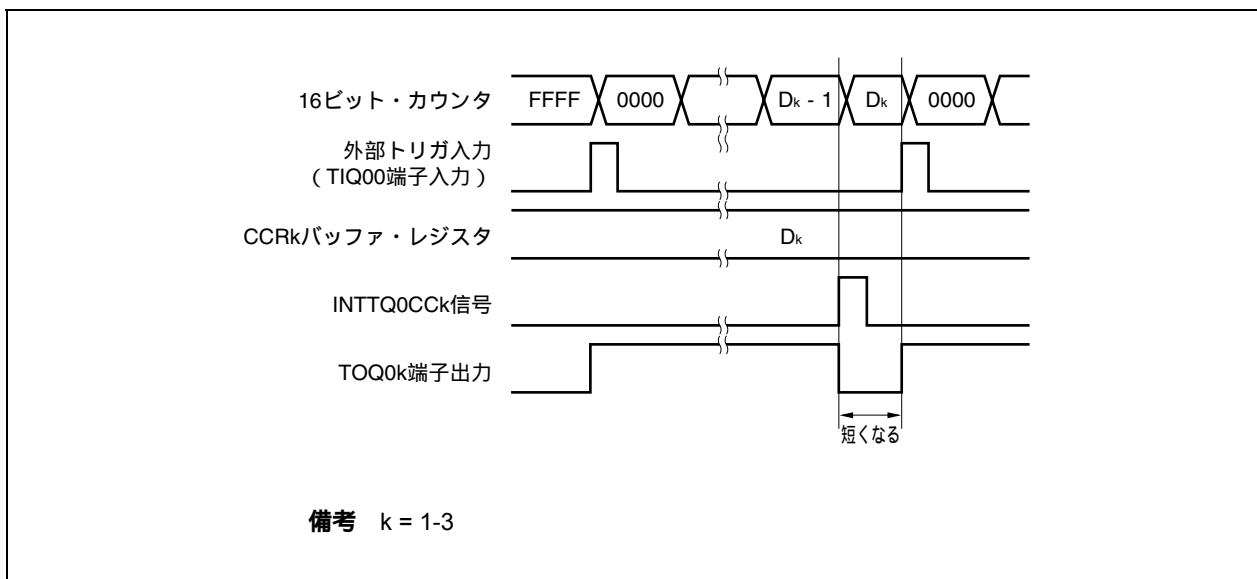
100 % 波形を出力するためには、TQ0CCRkレジスタに対して (TQ0CCR0レジスタの設定値 + 1) の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



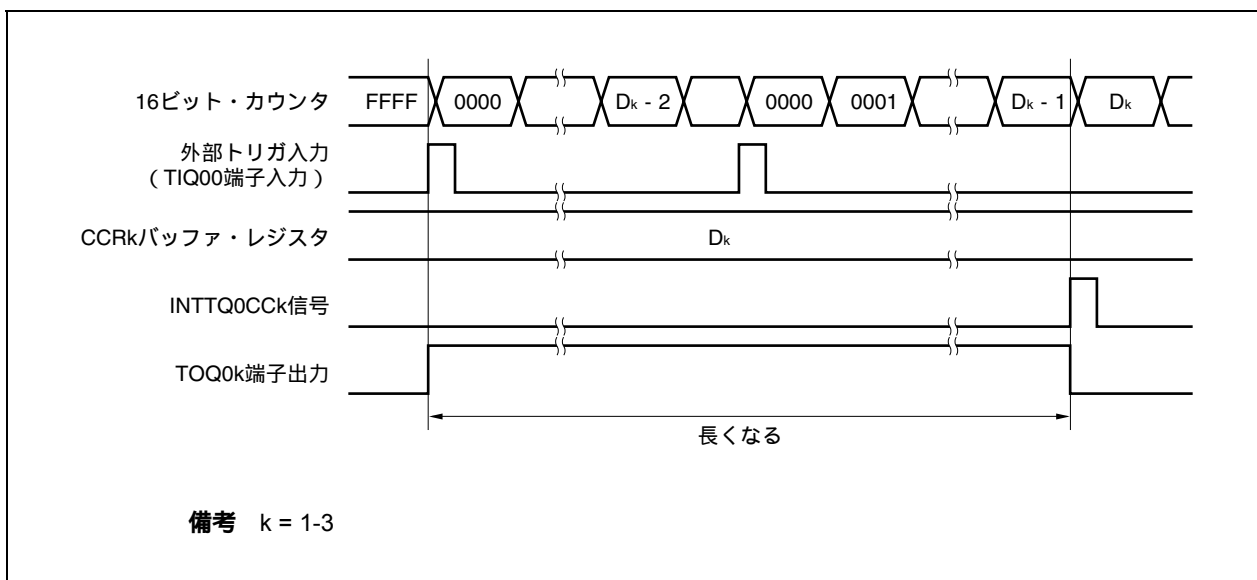


## (c) トリガ検出とCCRkバッファ・レジスタとの一致の競合

INTTQ0CCK信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOQ0k端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

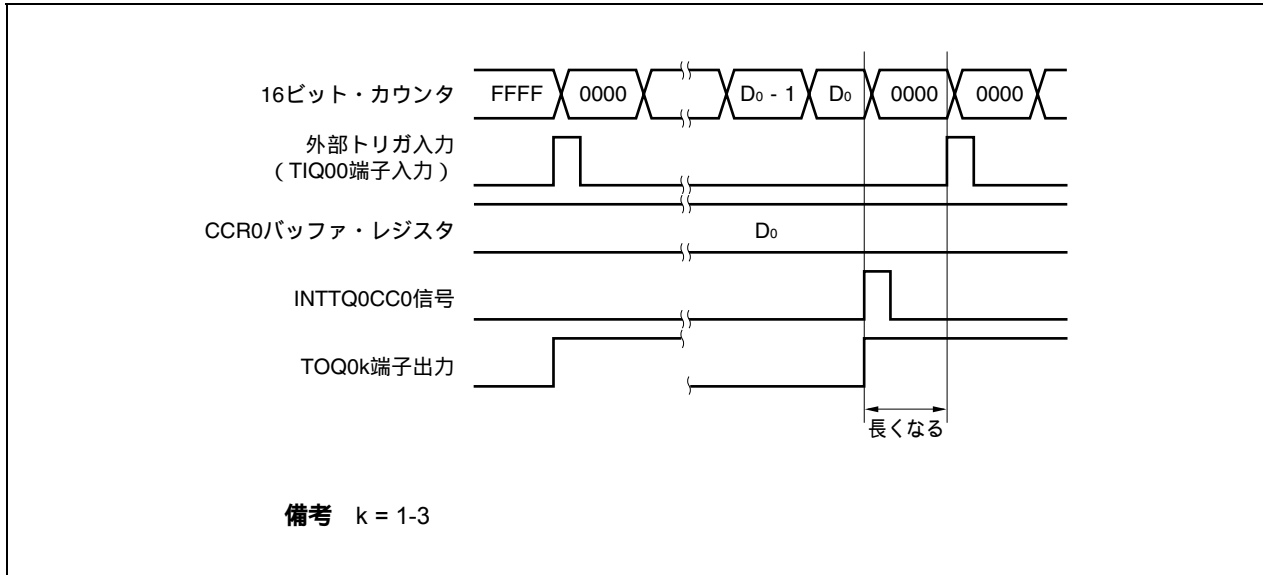


INTTQ0CCK信号発生直前にトリガを検出した場合には、INTTQ0CCK信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOQ0k端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

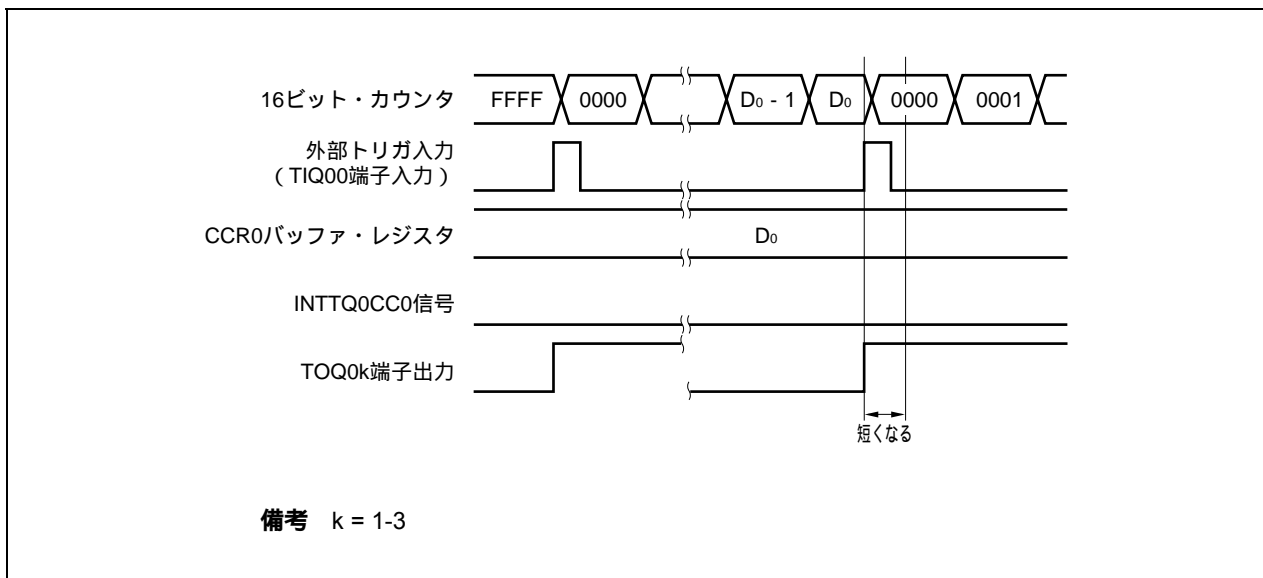


## (d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTQ0CC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOQ0k端子出力のアクティブ期間が、INTTQ0CC0信号発生からトリガ検出までの分だけ長くなります。

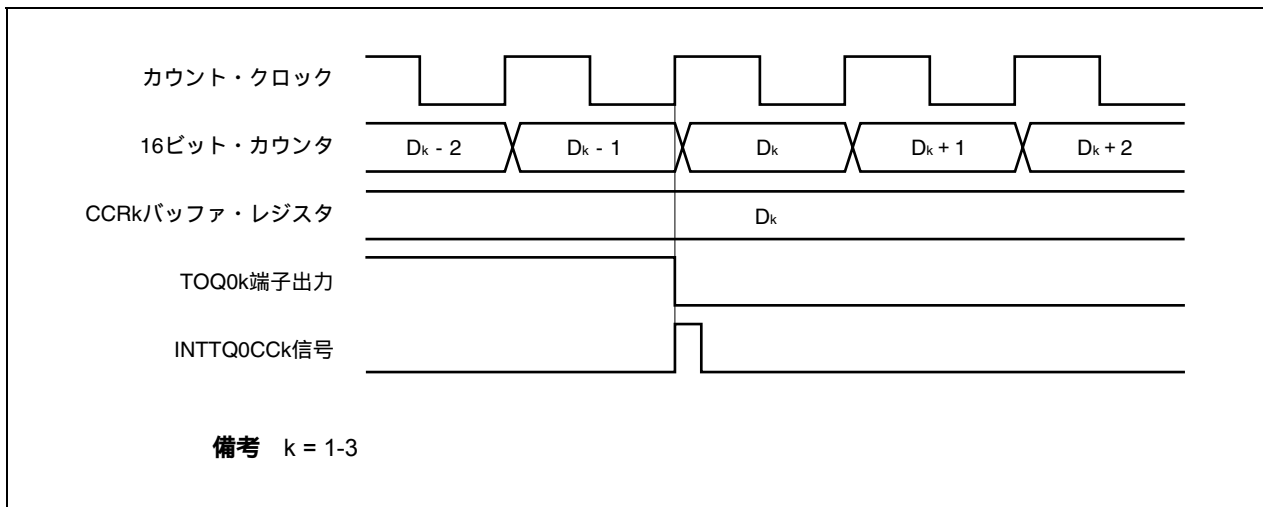


INTTQ0CC0信号発生直前にトリガを検出した場合、INTTQ0CC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOQ0k端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



## (e) コンペアー一致割り込み要求信号 (INTTQ0CCK) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTQ0CCK信号の発生タイミングは、ほかのモードのINTTQ0CCK信号と異なり、16ビット・カウンタのカウンタ値とCCRkバッファ・レジスタの値との一致と同時に発生します。



通常、INTTQ0CCK信号は、16ビット・カウンタのカウンタ値とCCRkバッファ・レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOQ0k端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 8.6.4 ワンショット・パルス出力モード (TQ0MD2-TQ0MD0ビット = 011)

ワンショット・パルス出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力(TIQ00)の有効エッジを検出すると、カウント動作を開始し、TOQ01-TOQ03端子からワンショット・パルスを出力します。

外部トリガ入力(TIQ00)の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合、TOQ00端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図8-24 ワンショット・パルス出力モードの構成図

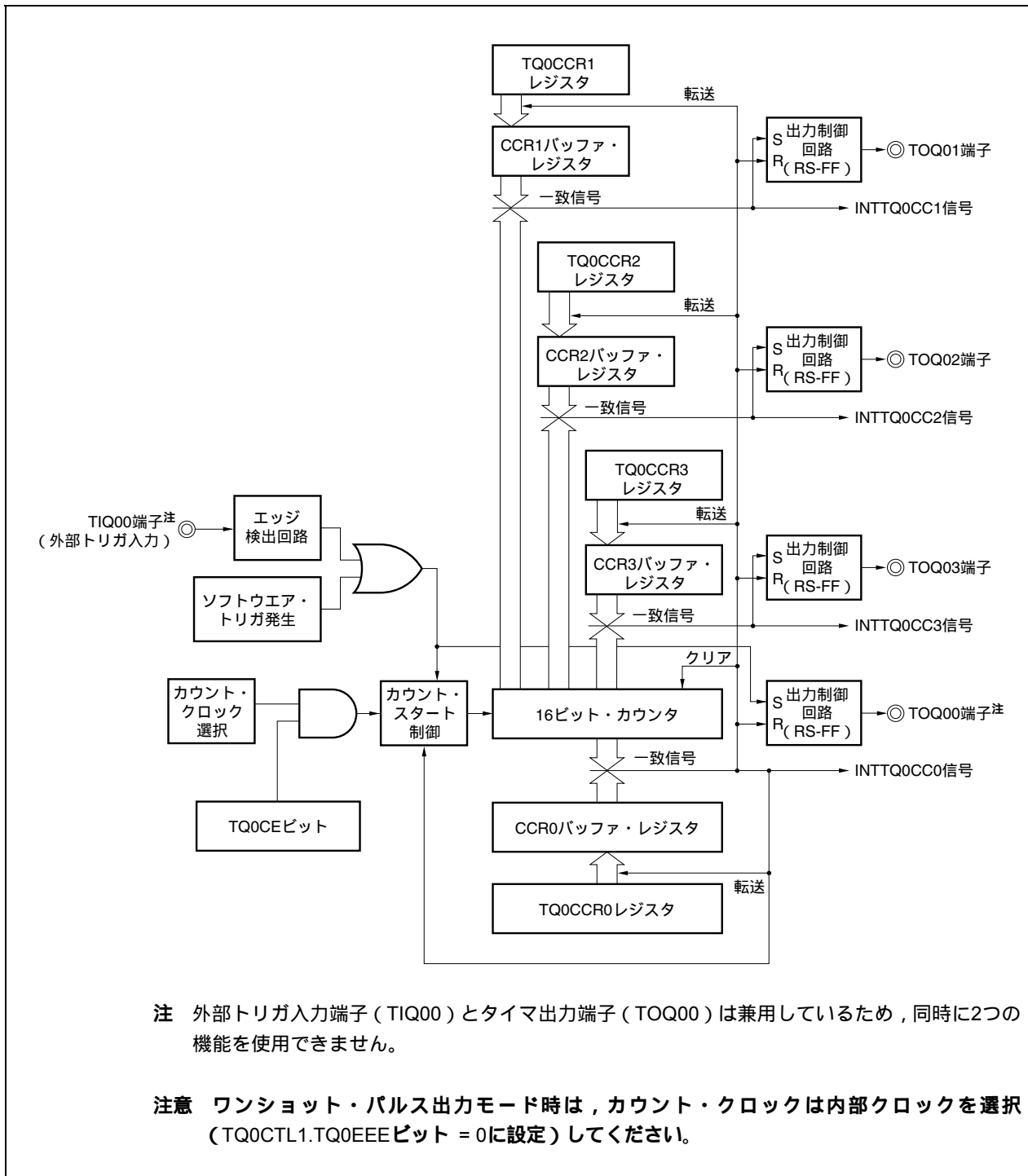
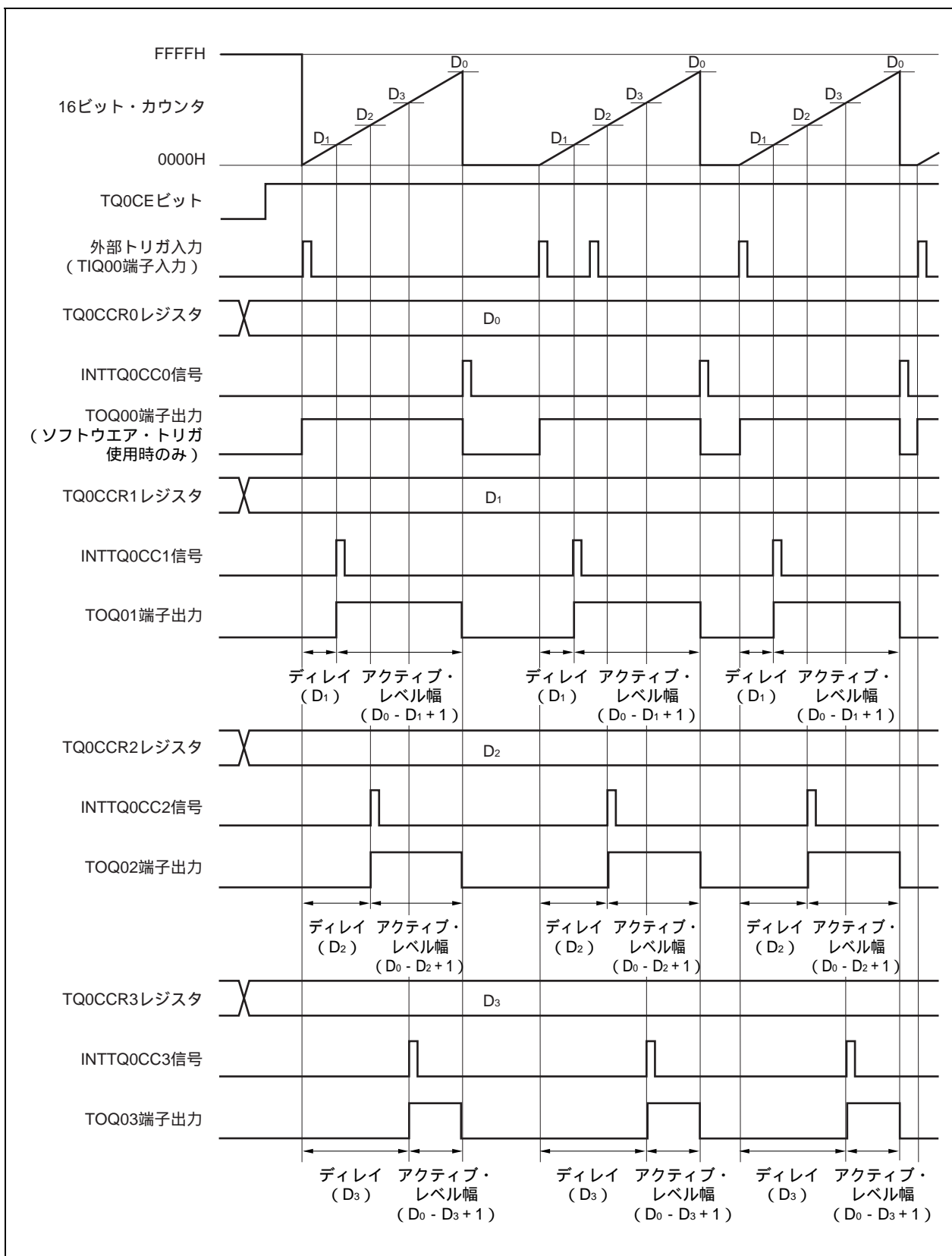


図8 - 25 ワンショット・パルス出力モードの基本タイミング



TQ0CEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ0k端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hからカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 = (TQ0CCRkレジスタの設定値) × カウント・クロック周期

アクティブ・レベル幅 = (TQ0CCR0レジスタの設定値 - TQ0CCRkレジスタの設定値 + 1)  
× カウント・クロック周期

コンペアー一致割り込み要求信号 (INTTQ0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTQ0CCk) は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (TIQ00端子) の有効エッジ、またはソフトウェア・トリガ (TQ0CTL1.TQ0ESTビット) のセット(1)があります。

備考 k = 1-3

図8 - 26 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/3)

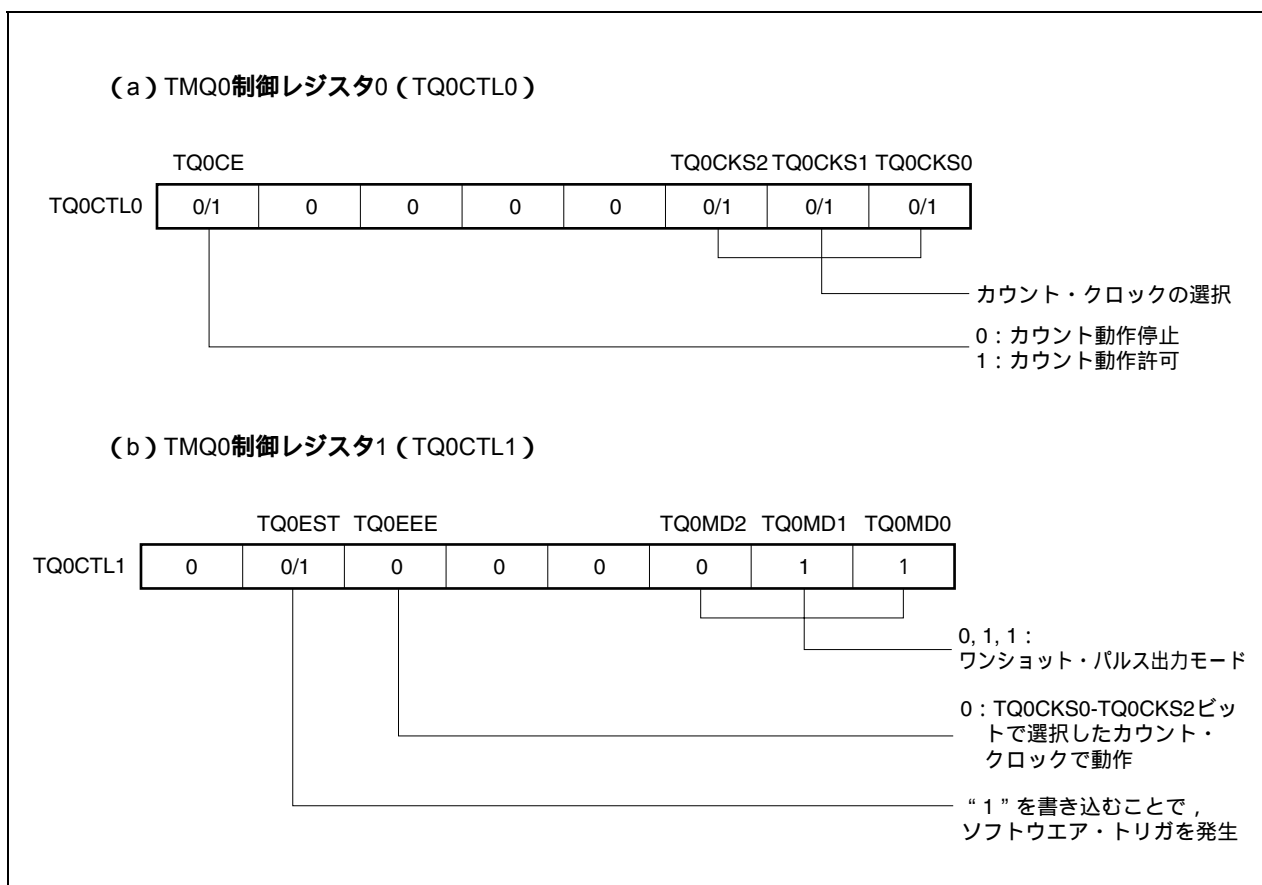


図8 - 26 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/3)

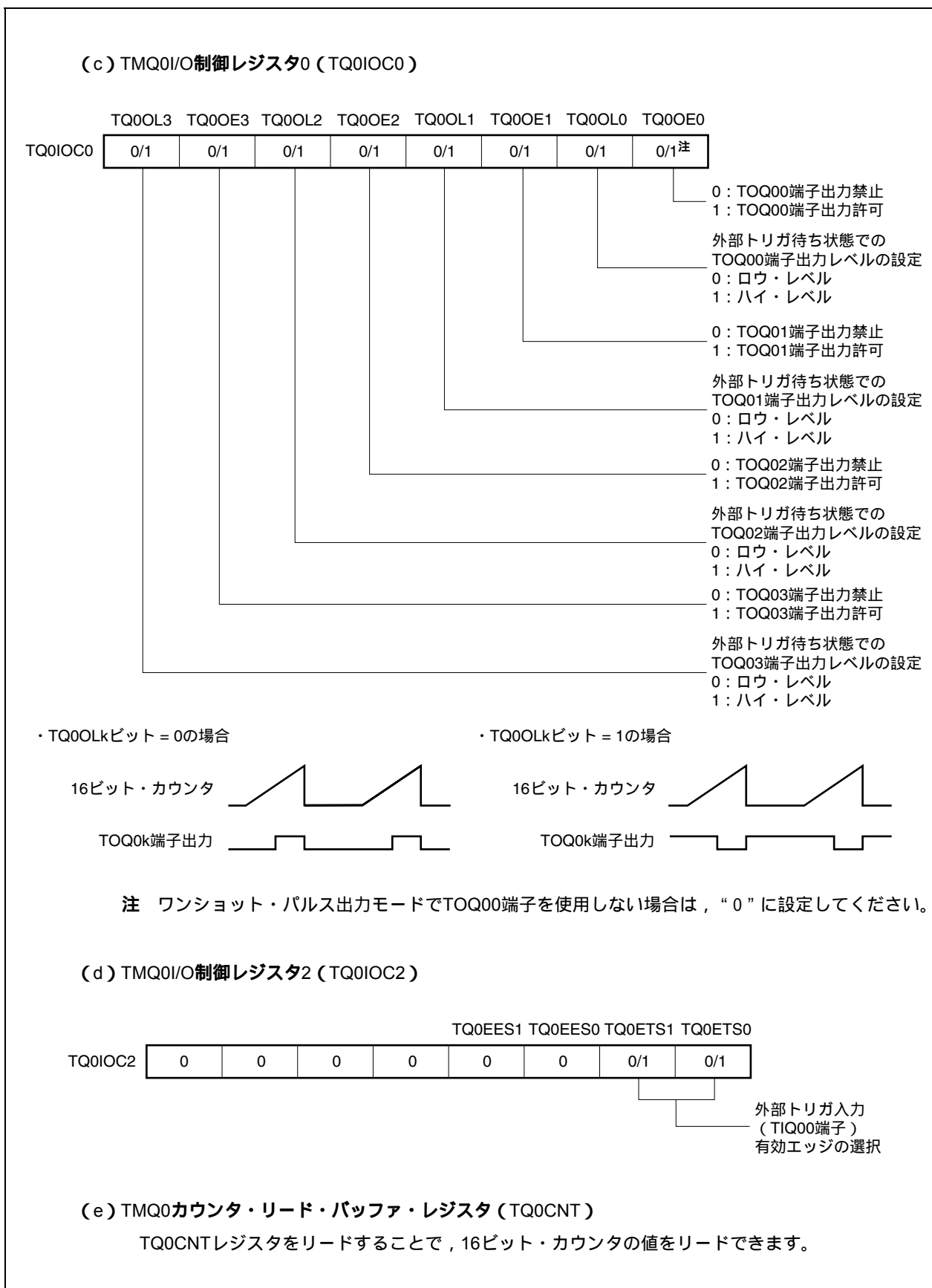


図8 - 26 ワンショット・パルス出力モード動作時のレジスタ設定内容 (3/3)

**(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)**

TQ0CCR0レジスタにD<sub>0</sub>を設定し, TQ0CCRkレジスタにD<sub>k</sub>を設定した場合,

ワンショット・パルスのアクティブ・レベル幅 = (D<sub>0</sub> - D<sub>k</sub> + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = (D<sub>k</sub>) × カウント・クロック周期

となります。

**注意** ワンショット・パルス出力モードにおいて, TQ0CCRkレジスタの設定値が, TQ0CCR0レジスタの設定値より大きい場合, ワンショット・パルスは出力しません。

**備考1.** TMQ0I/O制御レジスタ1 (TQ0IOC1), TMQ0オプション・レジスタ0 (TQ0OPT0) は, ワンショット・パルス出力モードでは使用しません。

2. k = 1-3



(1) ワンショット・パルス出力モード動作フロー

図8 - 27 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (1/2)

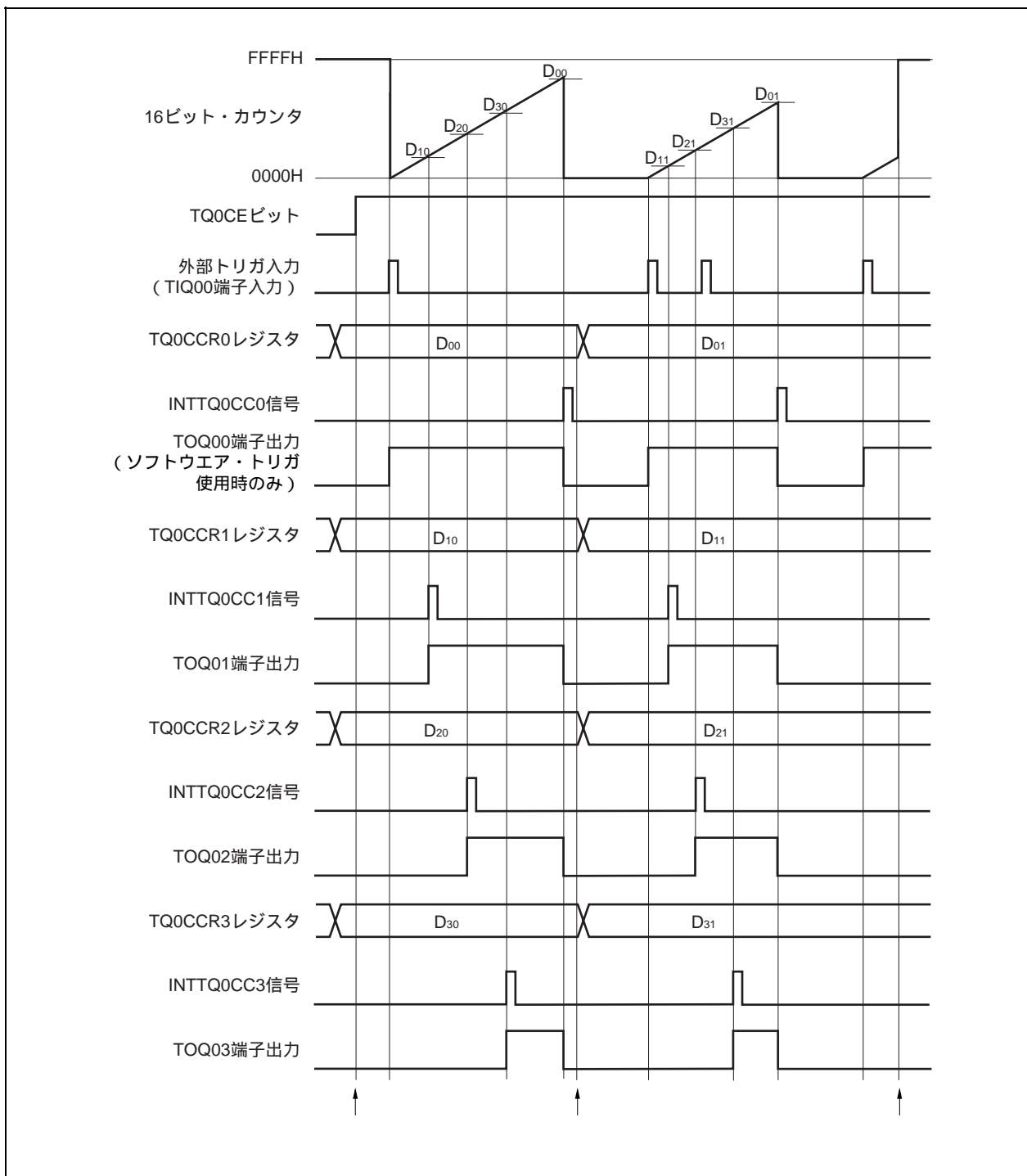
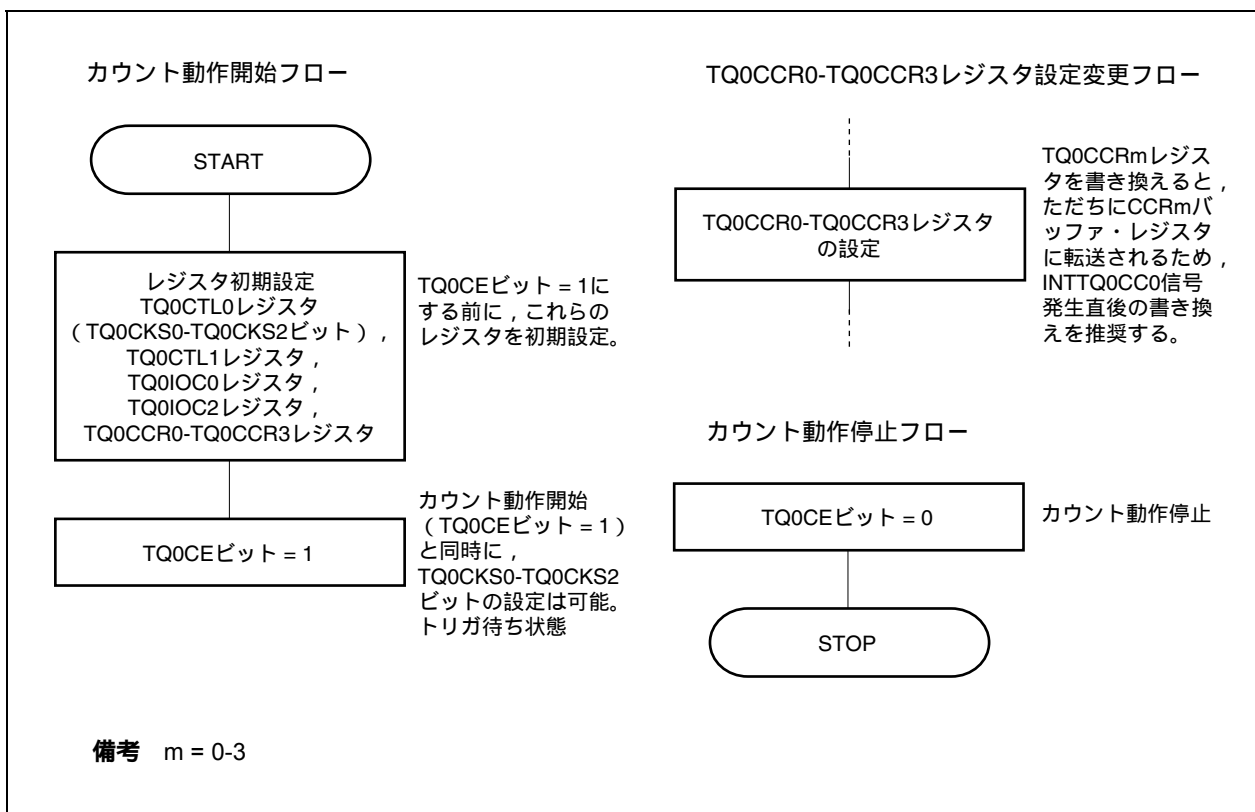


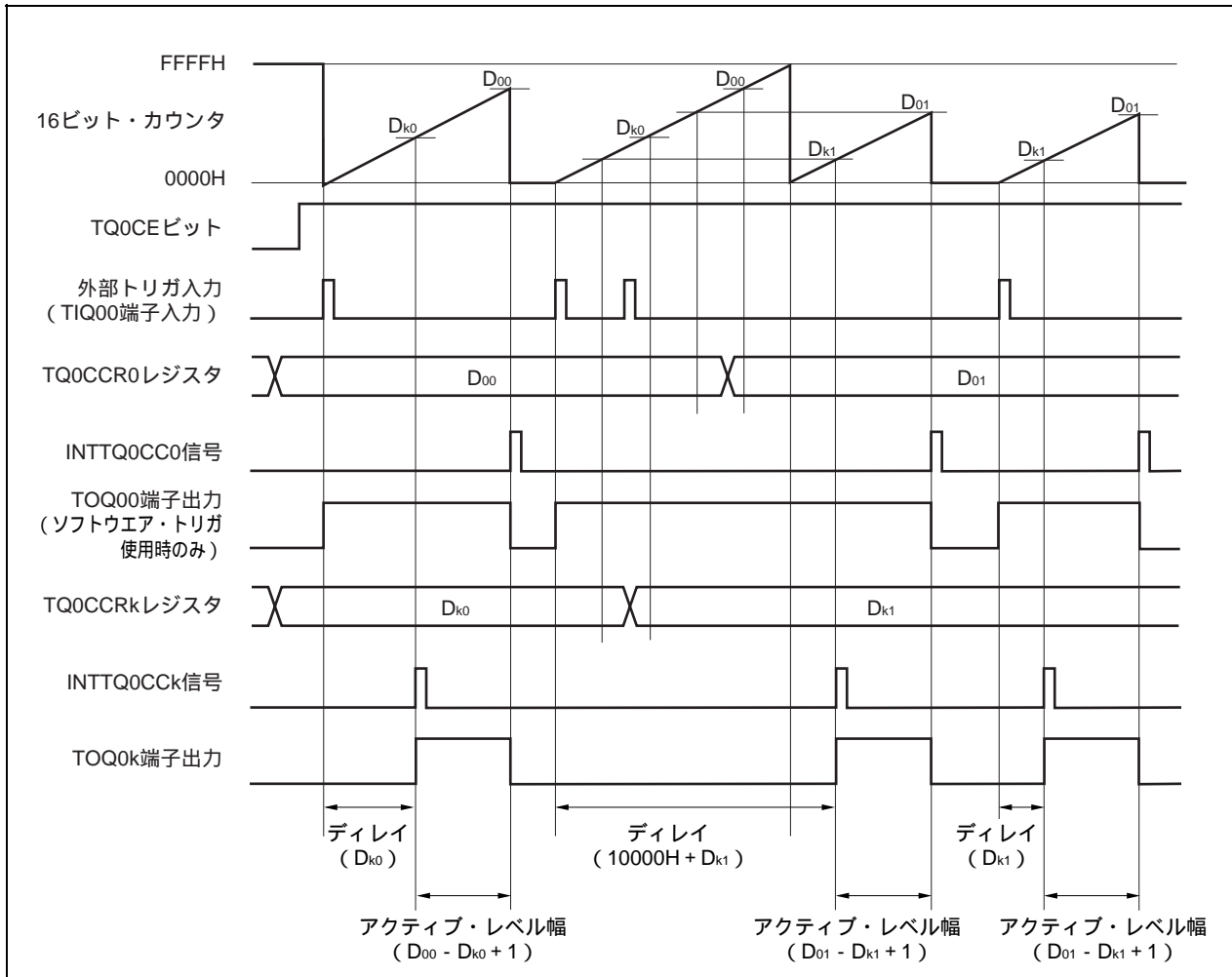
図8 - 27 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (2/2)



## (2) ワンショット・パルス出力モード動作タイミング

## (a) TQ0CCRmレジスタの書き換えに関する注意事項

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



TQ0CCR0レジスタをD<sub>00</sub>からD<sub>01</sub>に、TQ0CCRkレジスタをD<sub>k0</sub>からD<sub>k1</sub>に書き換える場合において、D<sub>00</sub> > D<sub>01</sub>、D<sub>k0</sub> > D<sub>k1</sub>の状態では、16ビット・カウンタのカウント値がD<sub>k1</sub>よりも大きくD<sub>k0</sub>よりも小さい状態のときTQ0CCRkレジスタを書き換え、カウント値がD<sub>01</sub>よりも大きくD<sub>00</sub>よりも小さい状態でTQ0CCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D<sub>k1</sub>との一致でINTTQ0CCk信号を発生してTOQ0k端子出力をアクティブ・レベルにし、D<sub>01</sub>との一致でINTTQ0CC0信号を発生してTOQ0k端子出力をインアクティブにしてカウント動作を停止します。

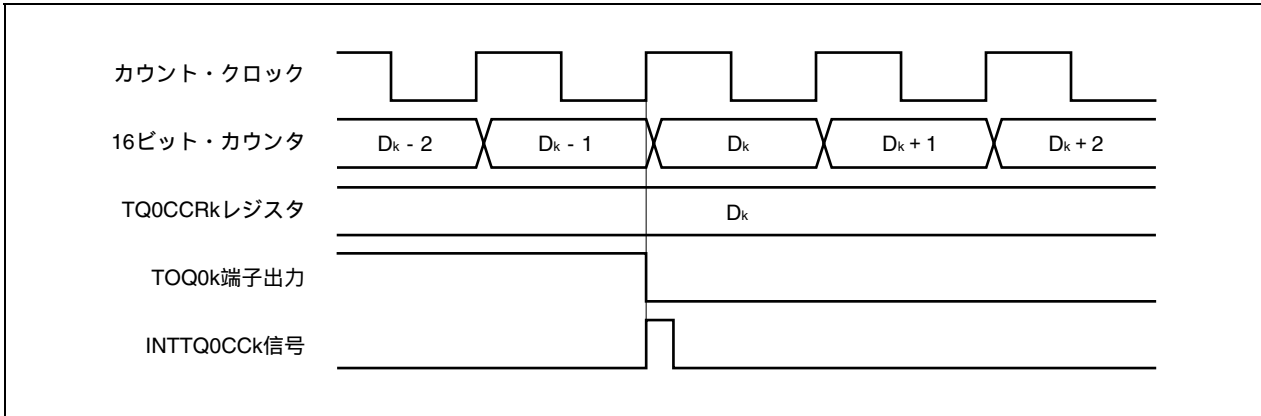
したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 m = 0-3

k = 1-3

## (b) コンペアー一致割り込み要求信号 (INTTQ0CCK) の発生タイミング

ワンショット・パルス出力モードにおけるINTTQ0CCK信号の発生タイミングは、ほかのモードのINTTQ0CCK信号と異なり、16ビット・カウンタのカウント値とTQ0CCRkレジスタの値との一致と同時に発生します。



通常、INTTQ0CCK信号は、16ビット・カウンタのカウント値とTQ0CCRkレジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOQ0k端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

**備考** k = 1-3

## 8.6.5 PWM出力モード (TQ0MD2-TQ0MD0ビット = 100)

PWM出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することで、TOQ01-TOQ03端子からPWM波形を出力します。

また、TOQ00端子から、TQ0CCR0レジスタの設定値+1を半周期とする50%デューティの方形波を出力します。

図8-28 PWM出力モードの構成図

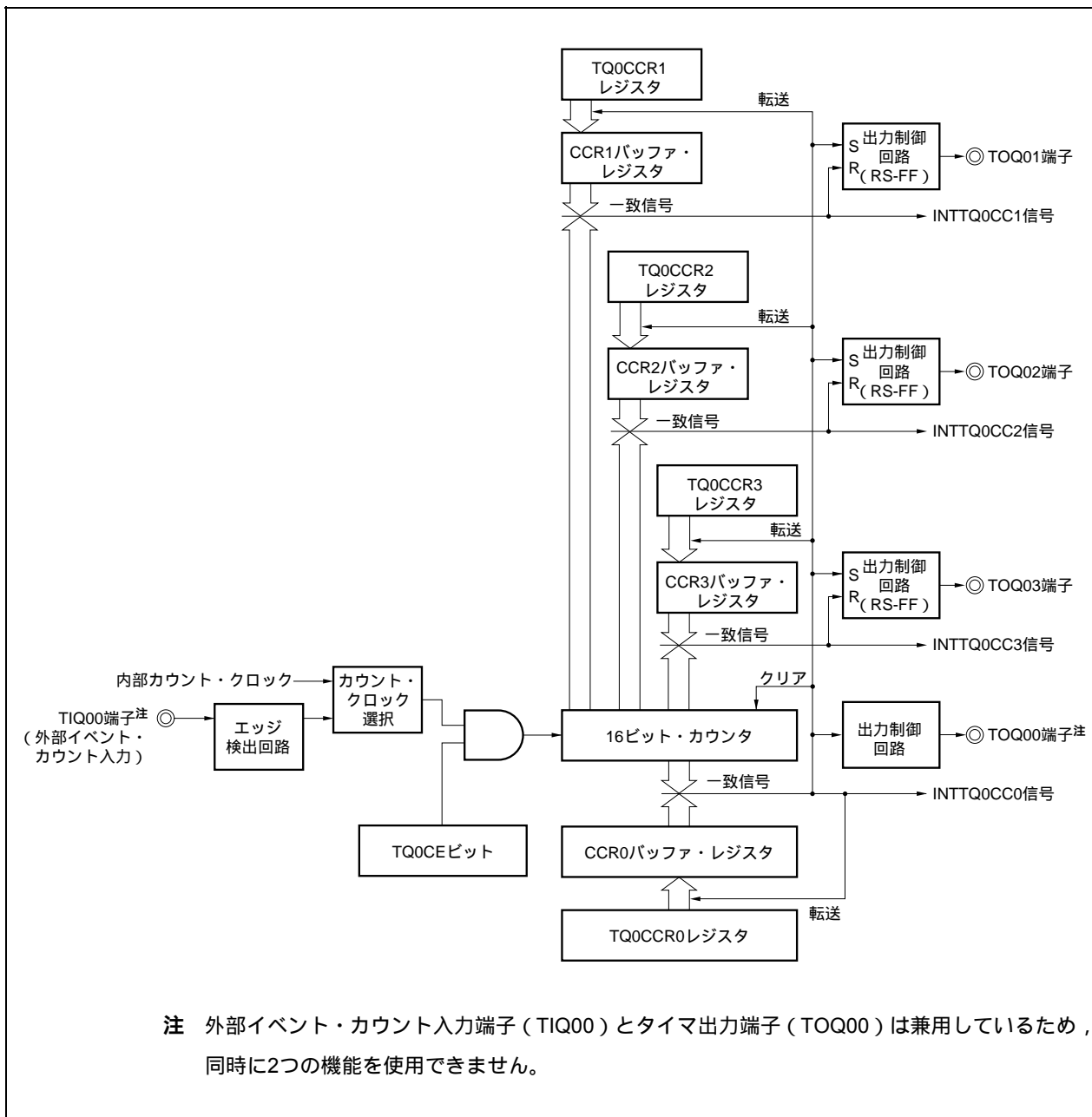
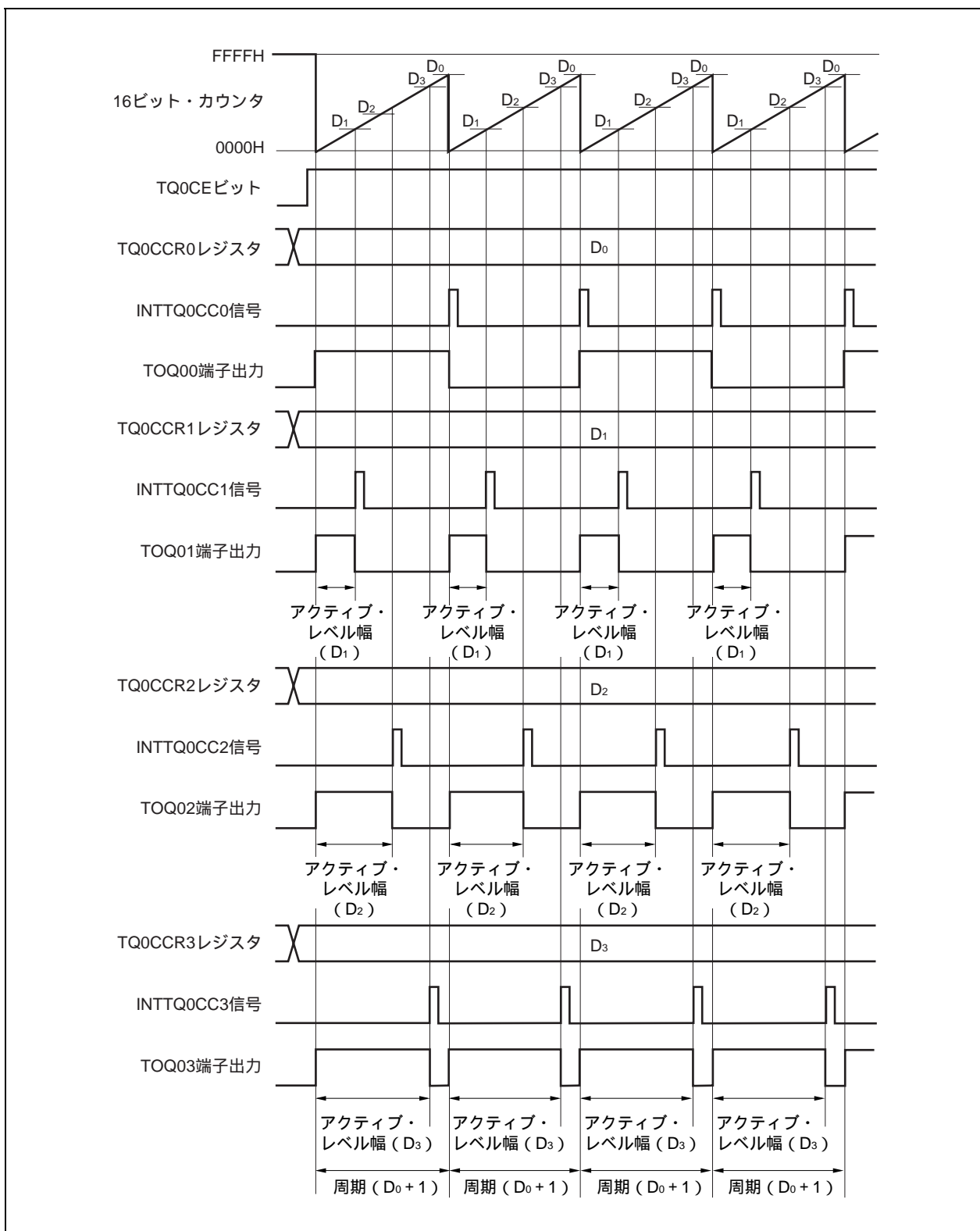


図8 - 29 PWM出力モードの基本タイミング



TQ0CEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ0k端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅, 周期, およびデューティは次のように求められます。

アクティブ・レベル幅 = (TQ0CCRkレジスタの設定値) × カウント・クロック周期

周期 = (TQ0CCR0レジスタの設定値 + 1) × カウント・クロック周期

デューティ = (TQ0CCRkレジスタの設定値) / (TQ0CCR0レジスタの設定値 + 1)

動作中にTQ0CCRmレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペア一致割り込み要求信号 (INTTQ0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号 (INTTQ0CCk) は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

備考 k = 1-3,

m = 0-3

図8 - 30 PWM出力モード動作時のレジスタ設定内容 (1/3)

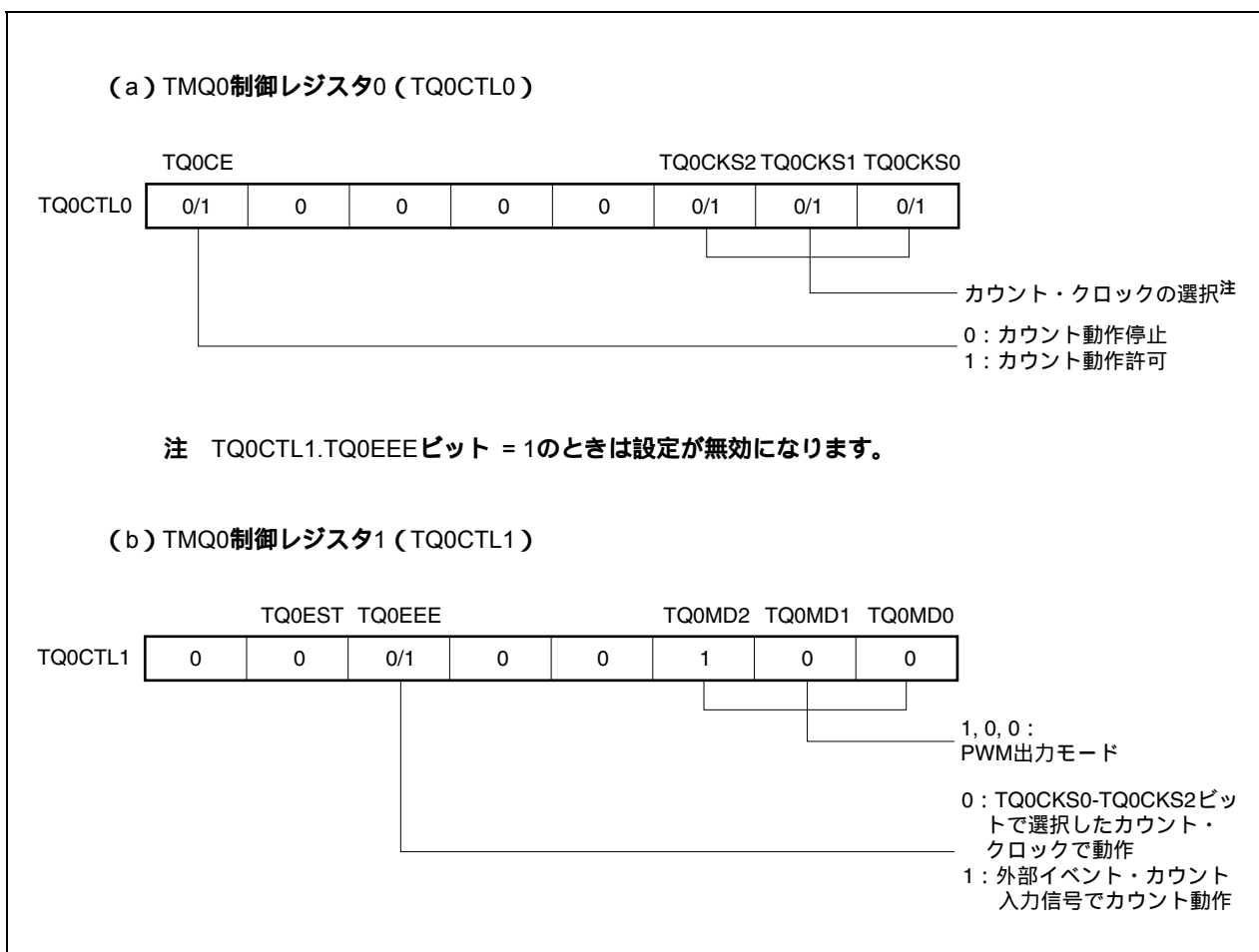


図8 - 30 PWM出力モード動作時のレジスタ設定内容 (2/3)

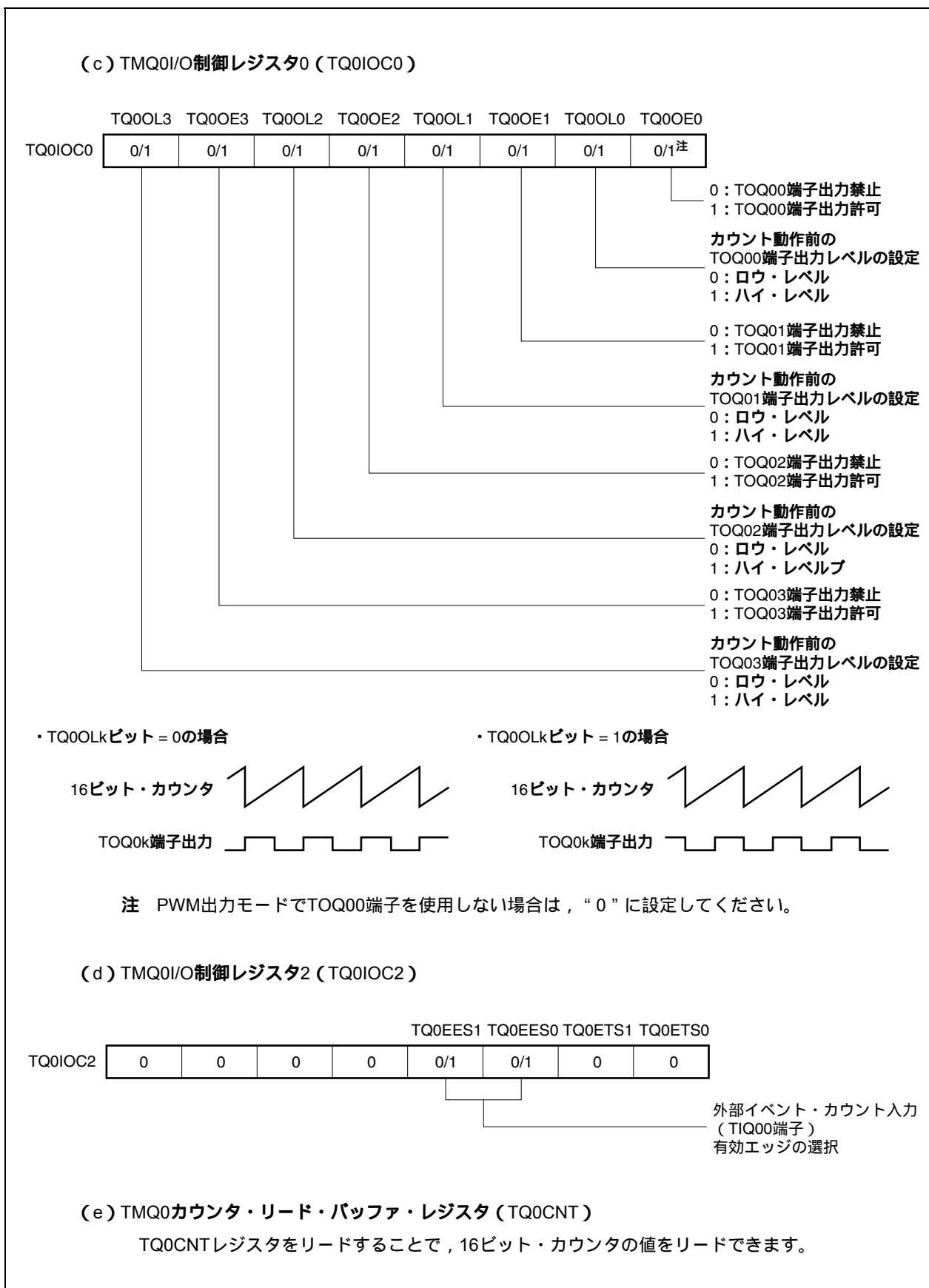




図8 - 30 PWM出力モード動作時のレジスタ設定内容 (3/3)

**(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)**

TQ0CCR0レジスタにD<sub>0</sub>を設定し, TQ0CCRkレジスタにD<sub>k</sub>を設定した場合,

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_k \times \text{カウント} \cdot \text{クロック周期}$$

となります。

- 備考1.** TMQ0I/O制御レジスタ1 (TQ0IOC1), TMQ0オプション・レジスタ0 (TQ0OPT0) は, PWM出力モードでは使用しません。
- 2.** TMQ0キャプチャ/コンペア・レジスタ2 (TQ0CCR2), TMQ0キャプチャ/コンペア・レジスタ3 (TQ0CCR3) の更新は, TMQ0キャプチャ/コンペア・レジスタ1 (TQ0CCR1) への書き込みにより有効になります。

(1) PWM出力モード動作フロー

図8 - 31 PWM出力モード使用時のソフトウェア処理フロー (1/2)

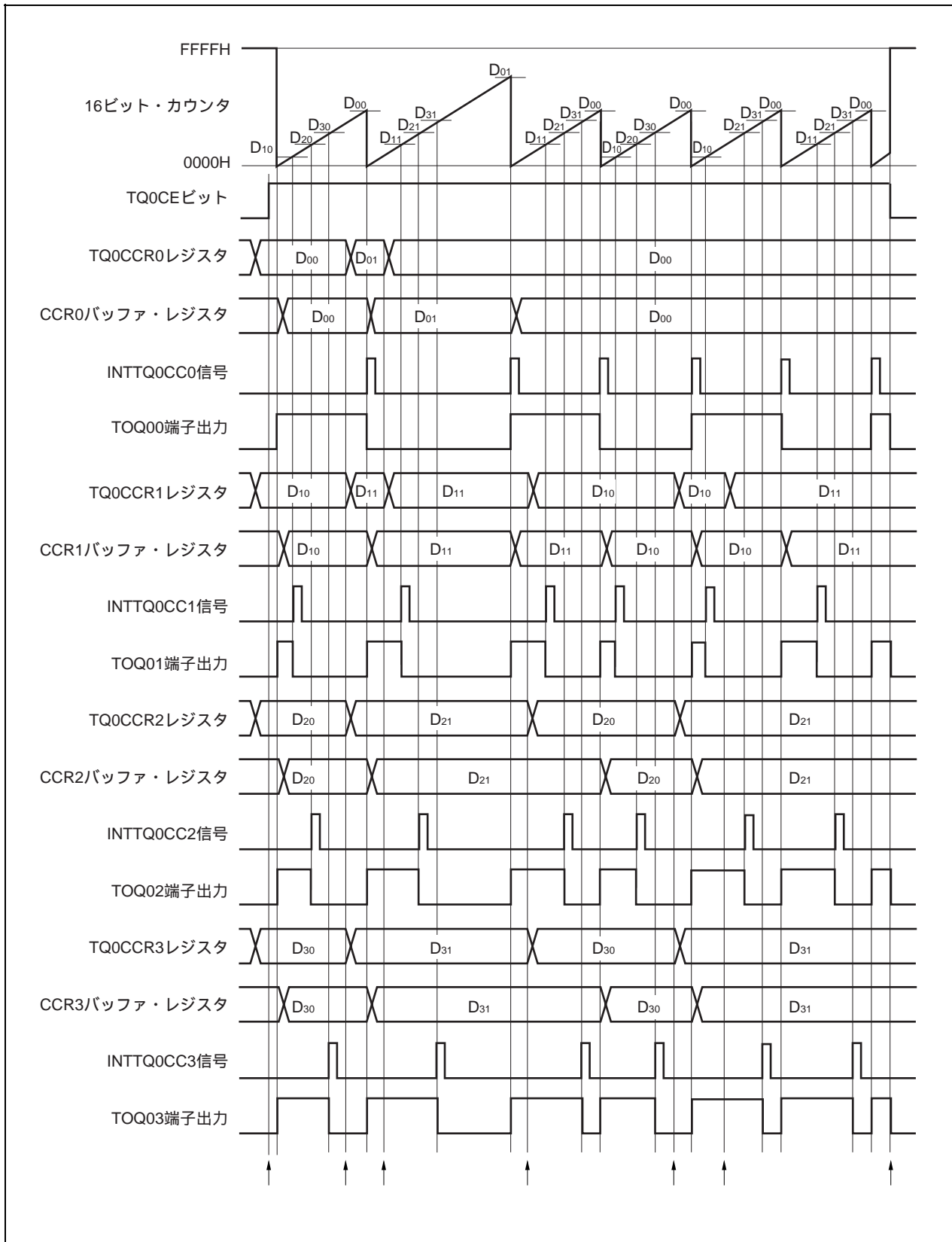
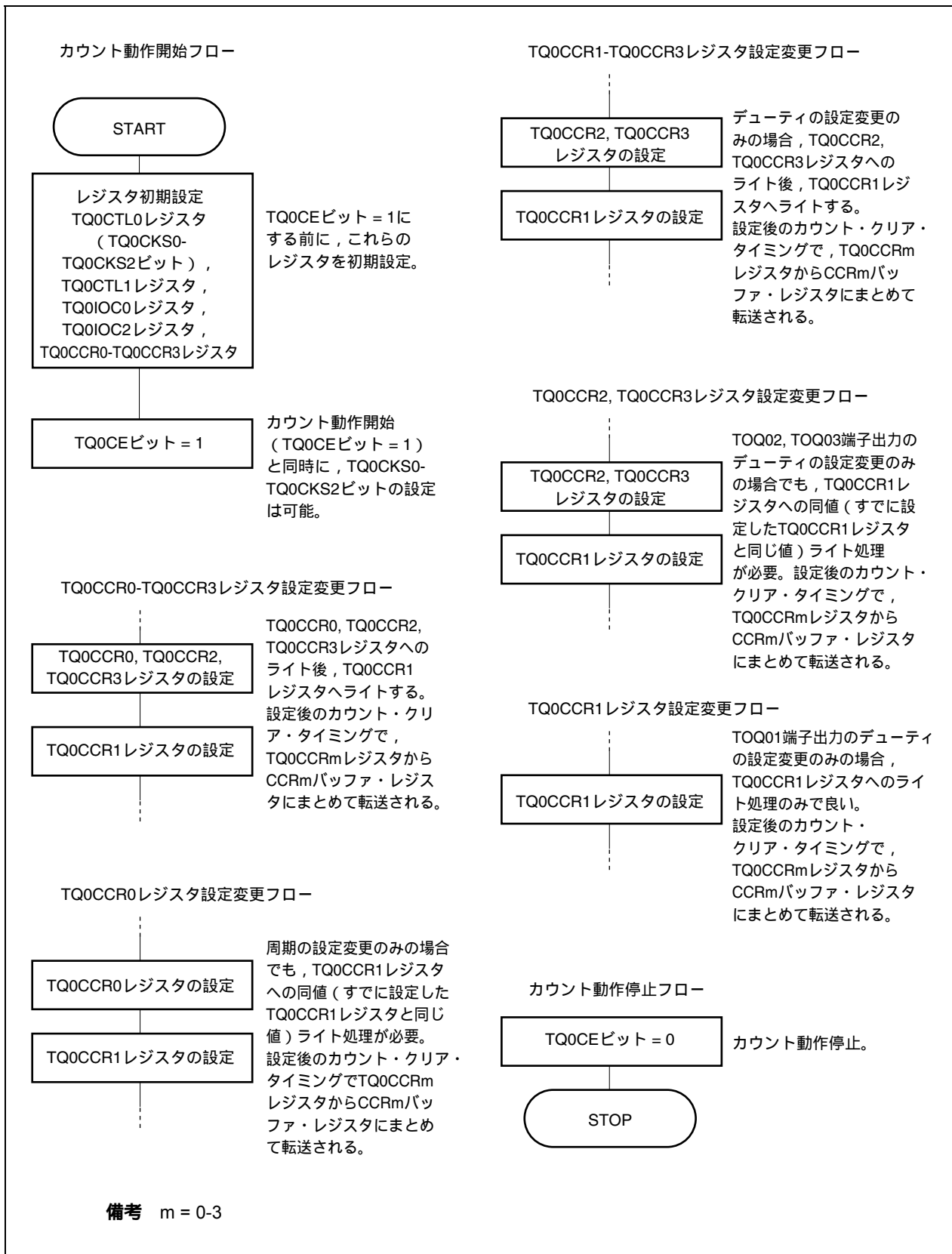


図8 - 31 PWM出力モード使用時のソフトウェア処理フロー (2/2)

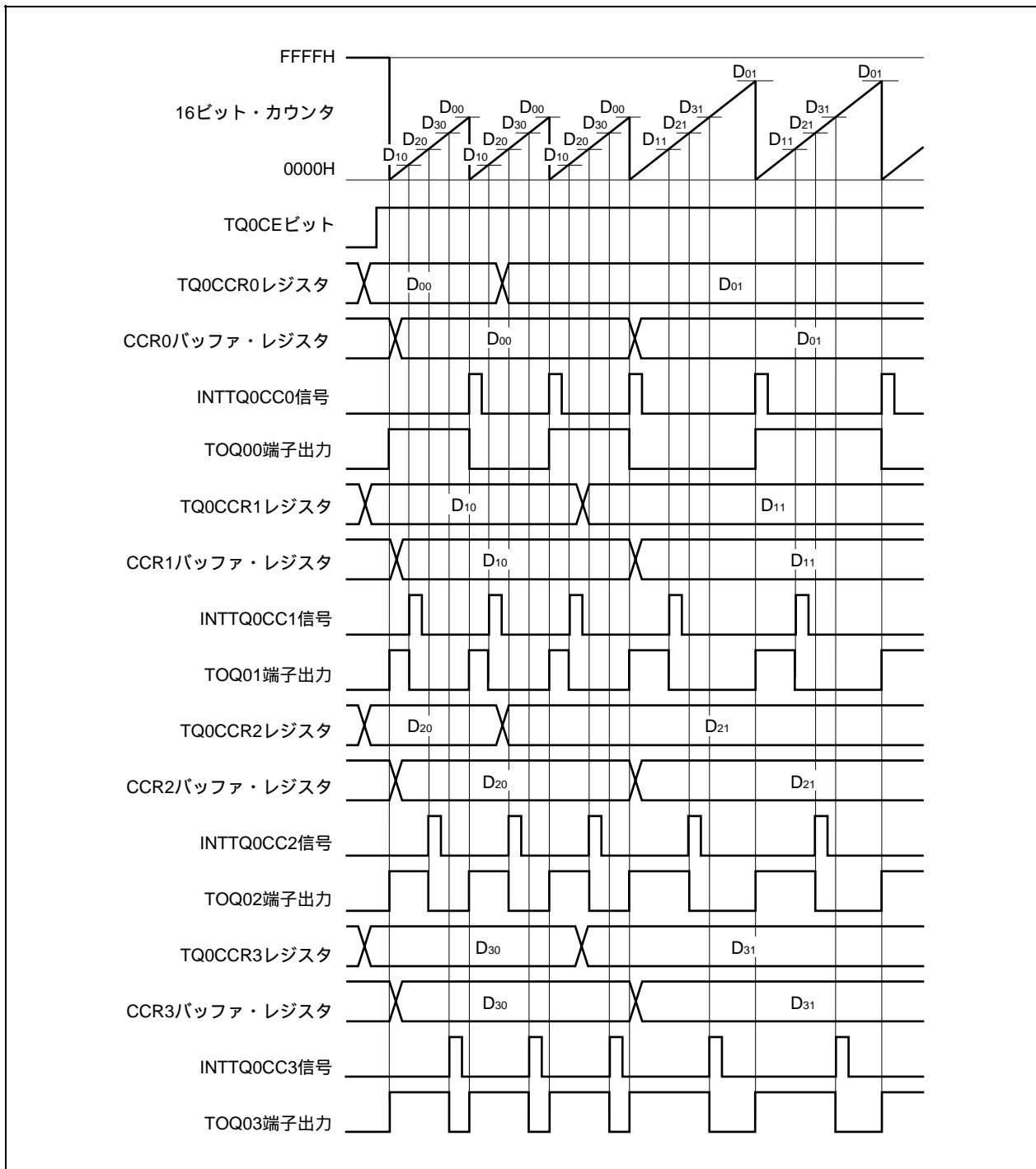


## (2) PWM出力モード動作タイミング

## (a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後、再度TQ0CCRmレジスタの書き換えを行う場合には、INTTQ0CC0信号を検出後に書き換えてください。



TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TQ0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQ0CCR0レジスタに周期を、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTQ0CCR0レジスタに周期を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合には、まず、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

TOQ01端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TQ0CCR1レジスタのみの設定でかまいません。

TOQ02, TOQ03端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、まずTQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

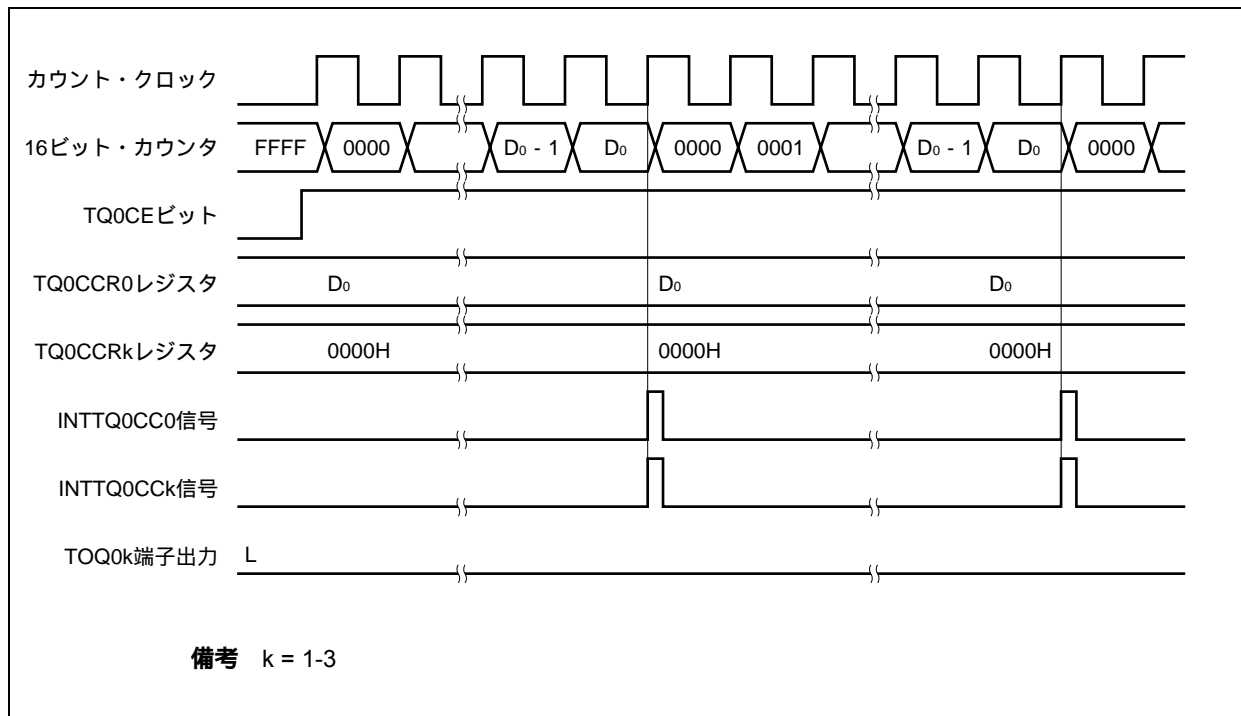
TQ0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQ0CCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TQ0CCR1レジスタにライトしたあとで、再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は、INTTQ0CC0信号の発生後に行ってください。これを守れない場合には、TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TQ0CCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

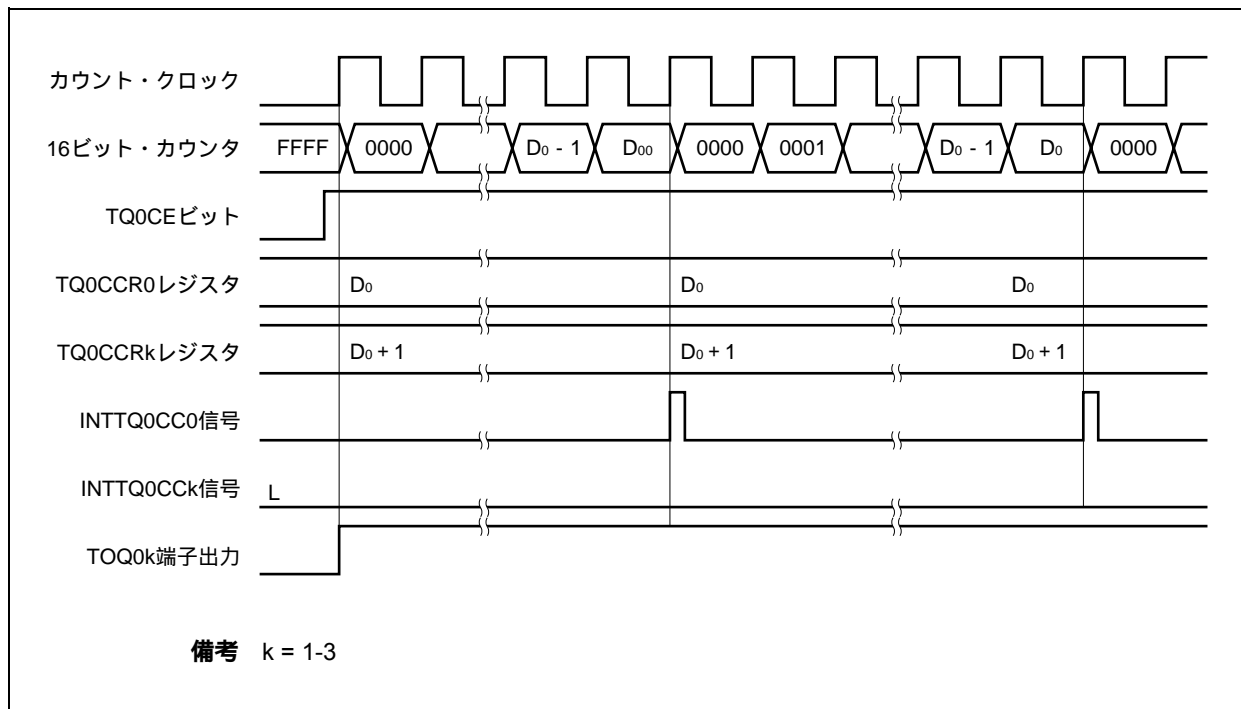
**備考** m = 0-3

## (b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TQ0CCRkレジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTQ0CC0信号とINTTQ0CCK信号が発生します。

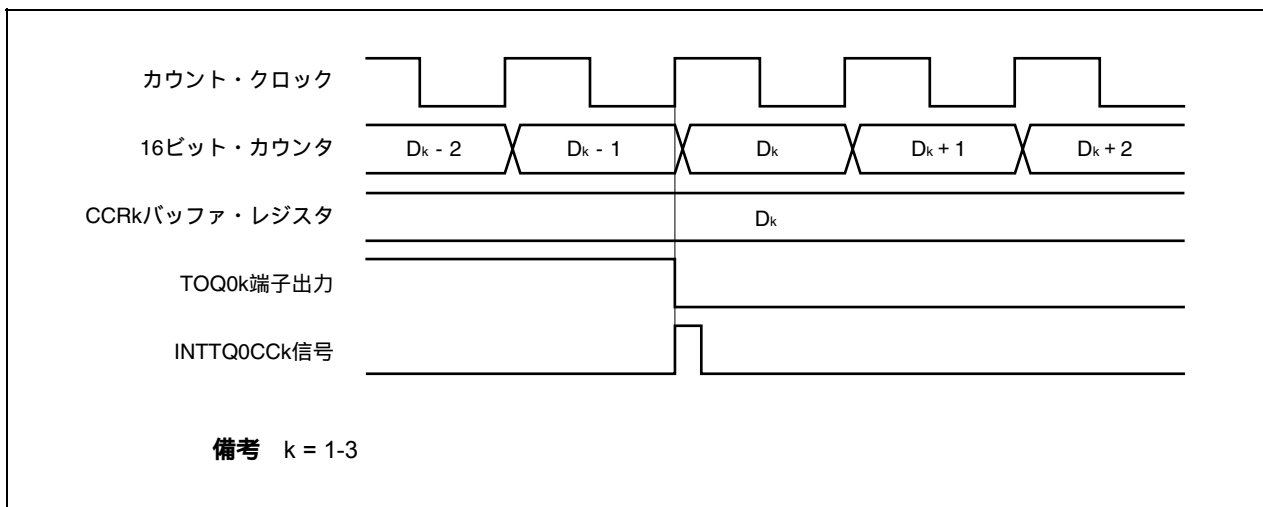


100 % 波形を出力するためには、TQ0CCRkレジスタに対して (TQ0CCR0レジスタの設定値 + 1) の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



## (c) コンペアー一致割り込み要求信号 (INTTQ0CCK) の発生タイミング

PWM出力モードにおけるINTTQ0CCK信号の発生タイミングは、ほかのモードのINTTQ0CCK信号と異なり、16ビット・カウンタのカウンタ値とTQ0CCRkレジスタの値との一致と同時に発生します。



通常、INTTQ0CCK信号は、16ビット・カウンタのカウンタ値とTQ0CCRkレジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOQ0k端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

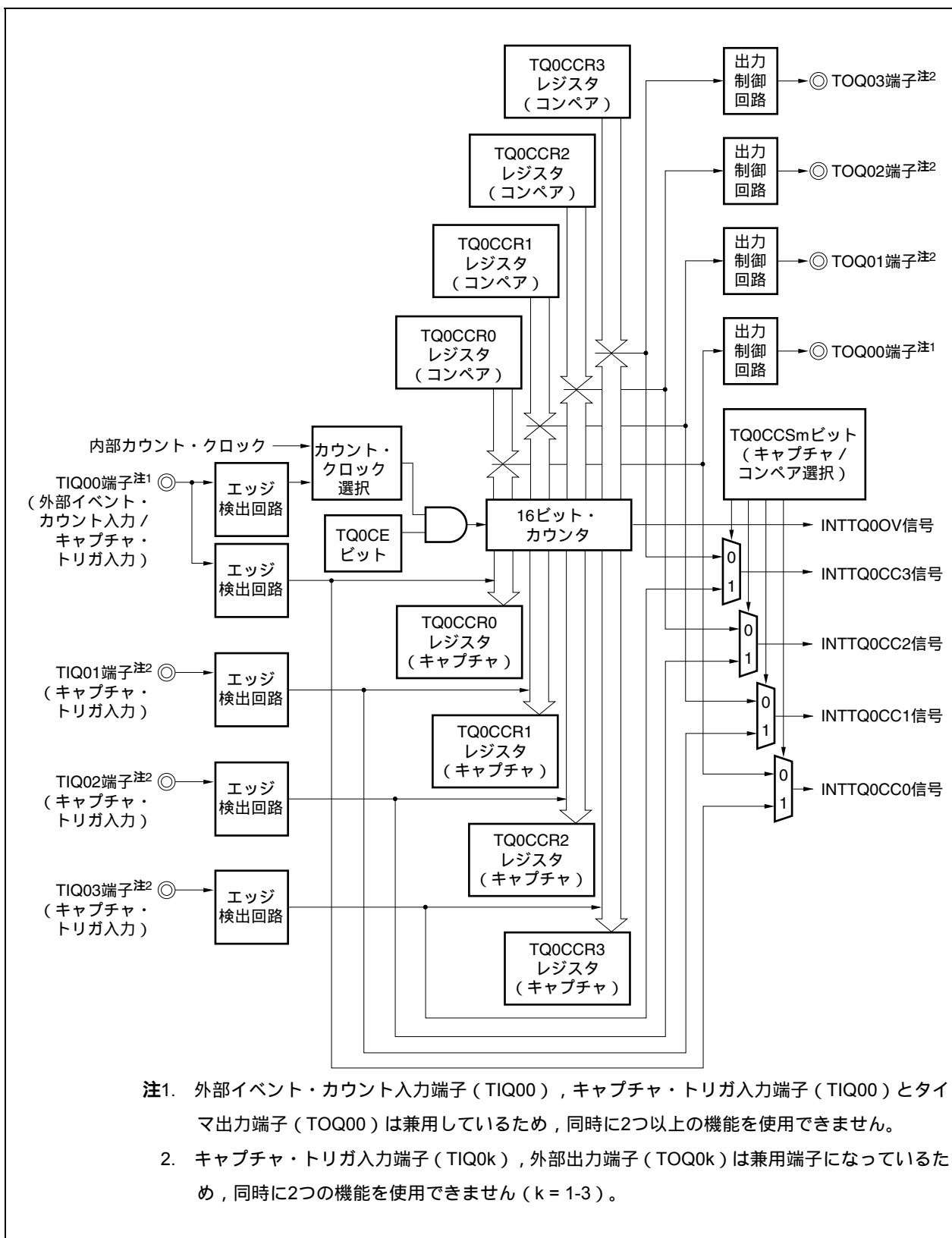
### 8.6.6 フリー・ランニング・タイマ・モード (TQ0MD2-TQ0MD0ビット = 101)

フリー・ランニング・タイマ・モードは、TQ0CTL0.TQ0CEビットをセット(1)することでカウント動作を開始します。このときのTQ0CCRmレジスタの動作は、TQ0OPT0.TQ0CCSmビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

**備考** m = 0-3



図8 - 32 フリー・ランニング・タイマ・モードの構成図



- 注1. 外部イベント・カウント入力端子 (TIQ00) , キャプチャ・トリガ入力端子 (TIQ00) とタイマ出力端子 (TOQ00) は兼用しているため、同時に2つ以上の機能を使用できません。
2. キャプチャ・トリガ入力端子 (TIQ0k) , 外部出力端子 (TOQ0k) は兼用端子になっているため、同時に2つの機能を使用できません (k = 1-3)。

・コンペア動作

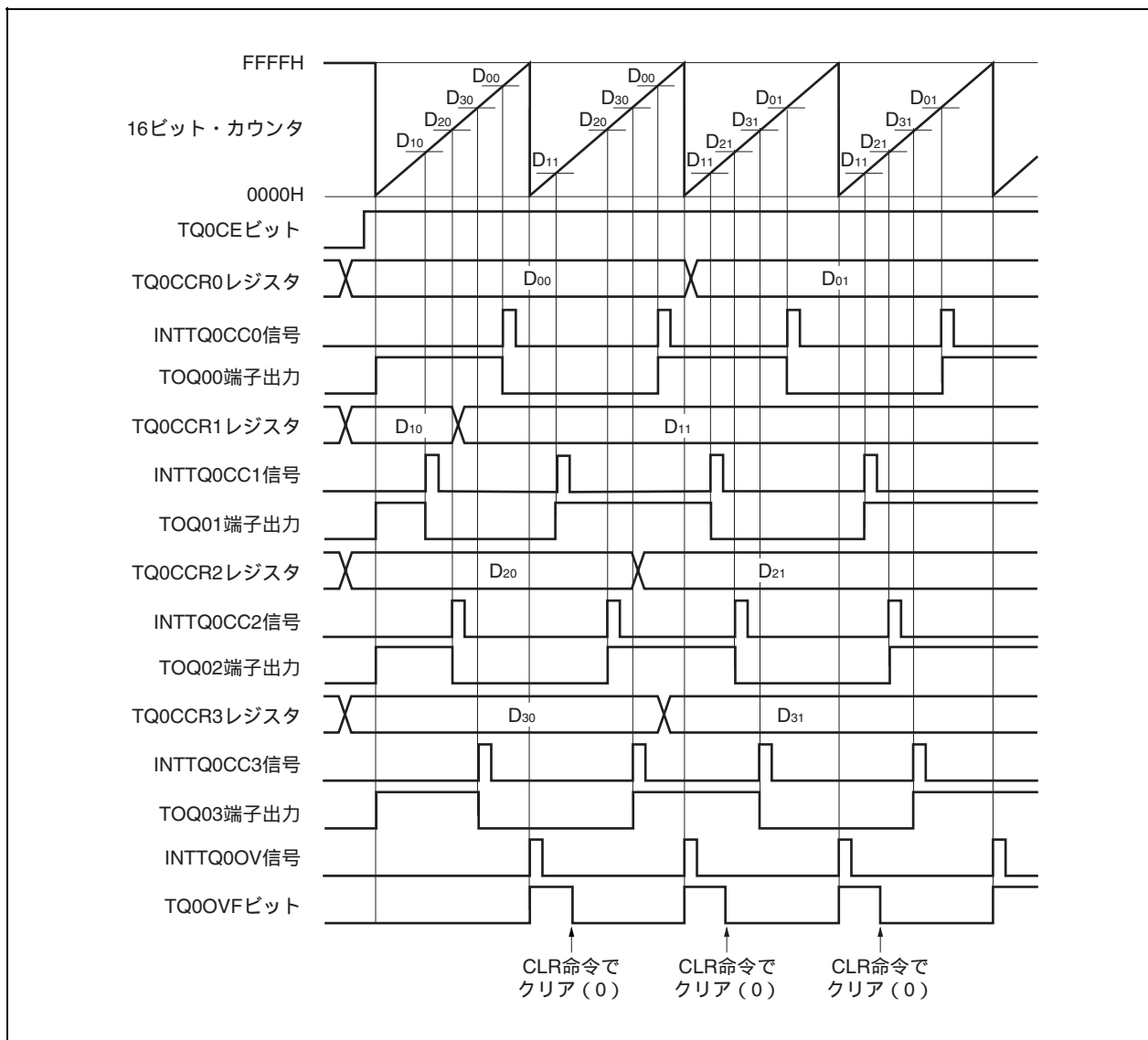
TQ0CEビットをセット(1)することで、カウント動作を開始し、TOQ00-TOQ03端子出力を反転します。その後、16ビット・カウンタのカウント値とTQ0CCRmレジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTQ0CCm) を発生し、TOQ0m端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTQ0OV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TQ0OPT0.TQ0OVFビット) もセット(1) されます。オーバーフロー・フラグがセット(1) されているのを確認してからソフトウェアでCLR命令を実行してクリア(0) してください。

TQ0CCRmレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き込みにより値が即反映され、カウント値と比較されます。

備考 m = 0-3

図8 - 33 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



### ・キャプチャ動作

TQ0CEビットをセット (1) することで、カウント動作を開始します。その後、TIQ0m端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQ0CCRmレジスタに格納し、キャプチャ割り込み要求信号 (INTTQ0CCm) を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTQ0OV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TQ0OPT0.TQ0OVFビット) もセット (1) されます。オーバーフロー・フラグがセット (1) されていることを確認してからソフトウェアでCLR命令を実行してクリア (0) してください。

備考 m = 0-3

図8 - 34 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)

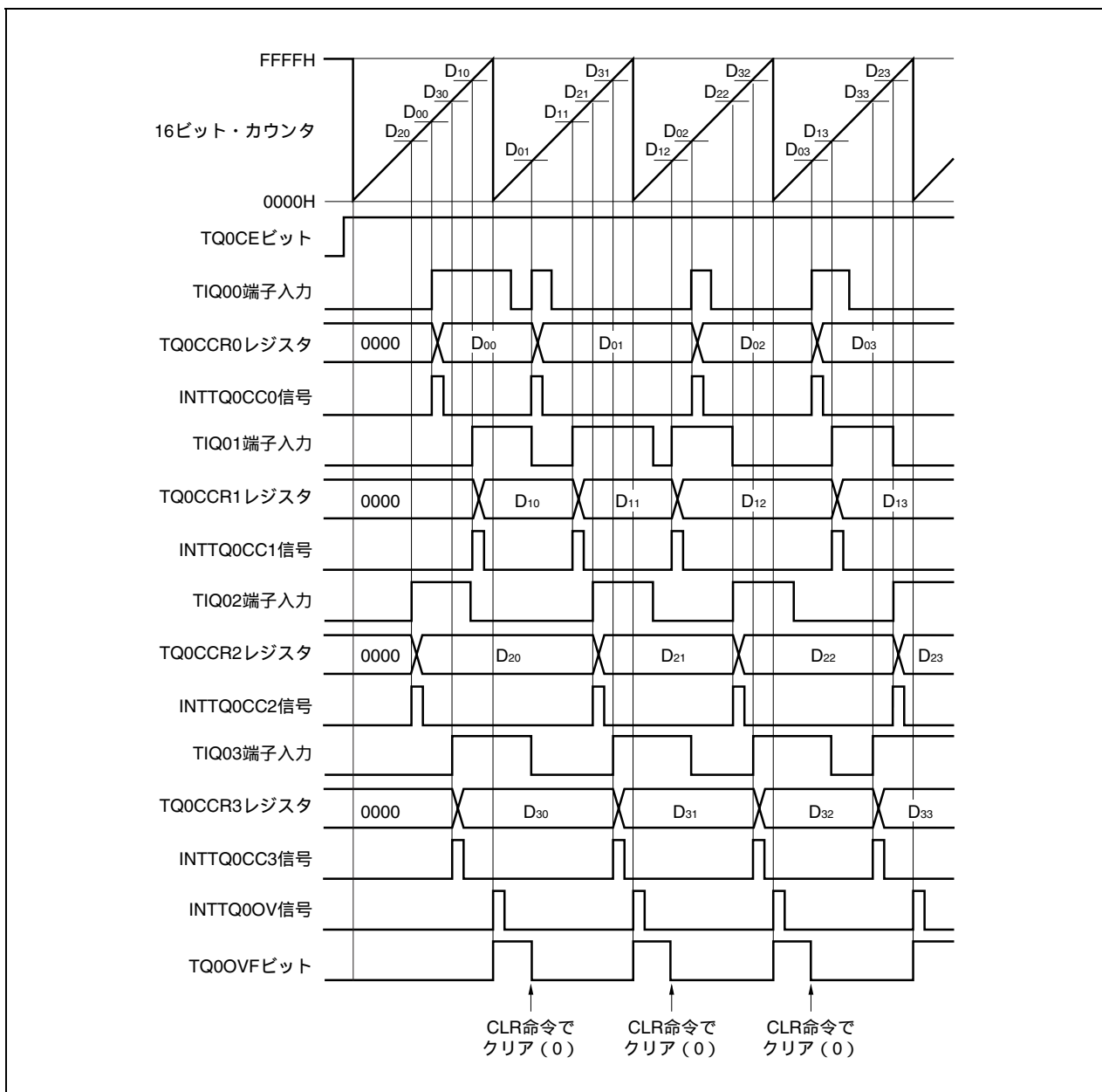


図8 - 35 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

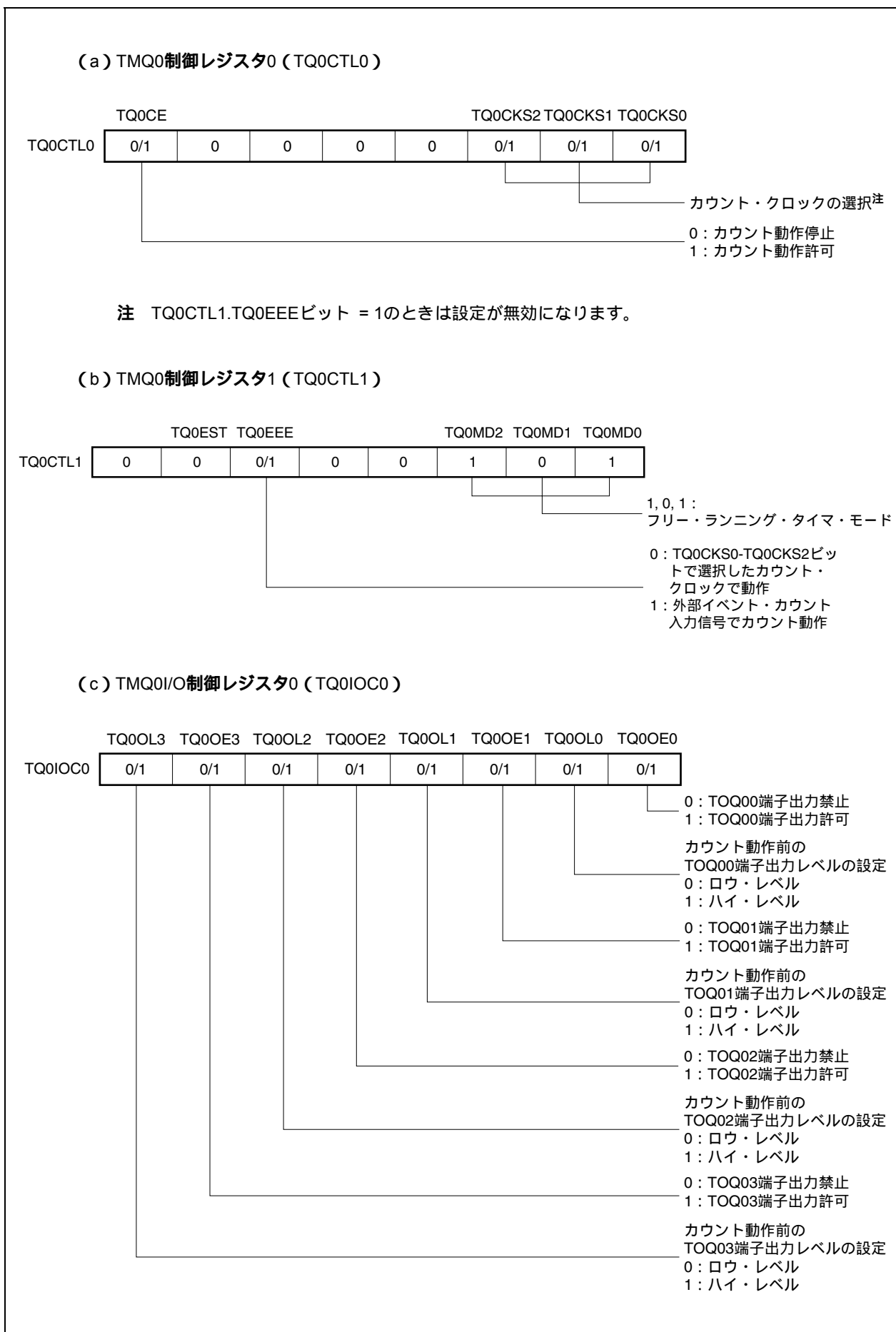
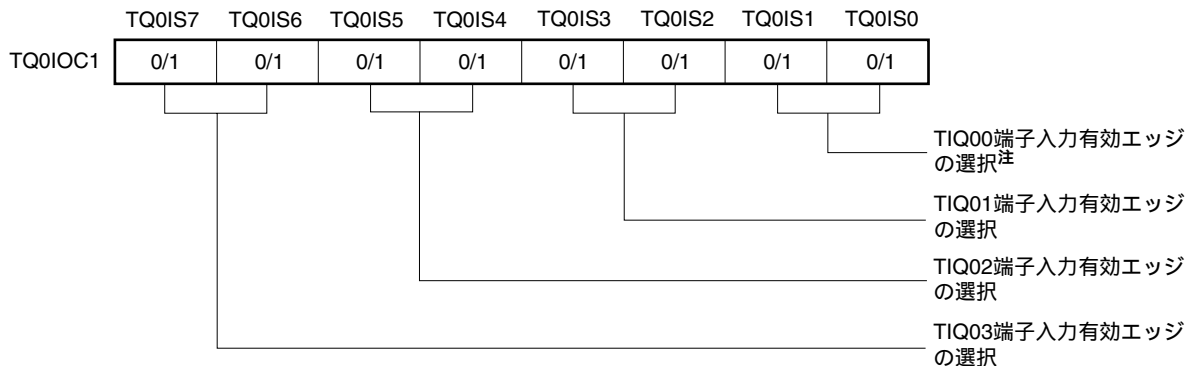


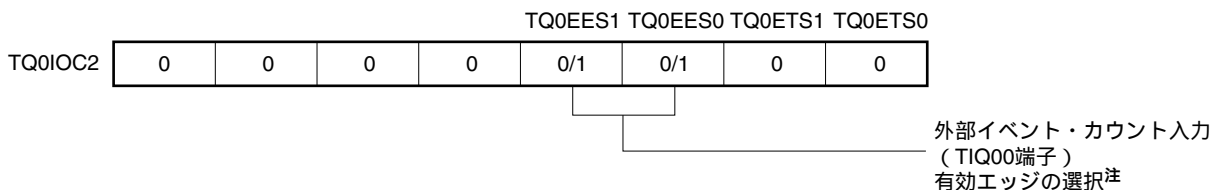
図8 - 35 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

(d) TMQ0I/O制御レジスタ1 (TQ0IOC1)



注 使用しない兼用外部入力信号の有効エッジの選択は, “エッジ検出なし” に設定してください。

(e) TMQ0I/O制御レジスタ2 (TQ0IOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は, “エッジ検出なし” に設定してください。

(f) TMQ0オプション・レジスタ0 (TQ0OPT0)

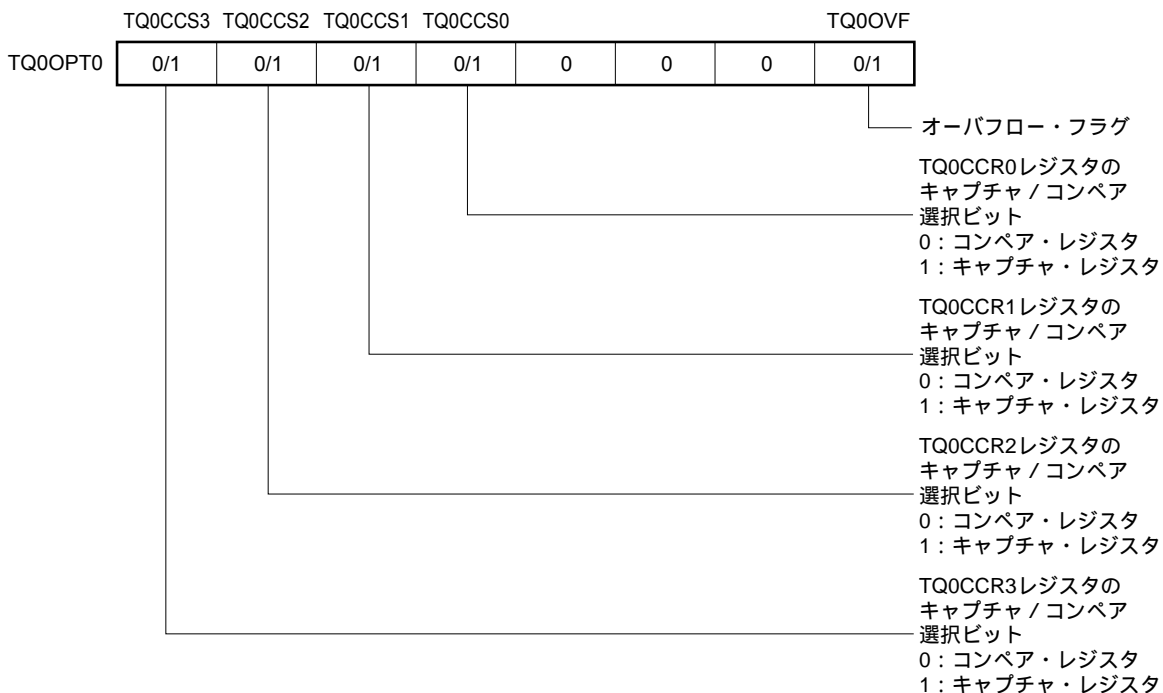


図8 - 35 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

**(g) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)**

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

**(h) TMQ0キャプチャ / コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)**

TQ0OPT0.TQ0CCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIQ0m端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TQ0CCRmレジスタにD<sub>m</sub>を設定した場合、カウンタが (D<sub>m</sub> + 1) になるタイミングでINTTQ0CCm信号を発生し、TOQ0m端子出力を反転します。

**備考** m = 0-3

## (1) フリー・ランニング・タイマ・モード動作フロー

## (a) キャプチャ / コンペア・レジスタをコンペア・レジスタとして使用した場合

図8 - 36 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

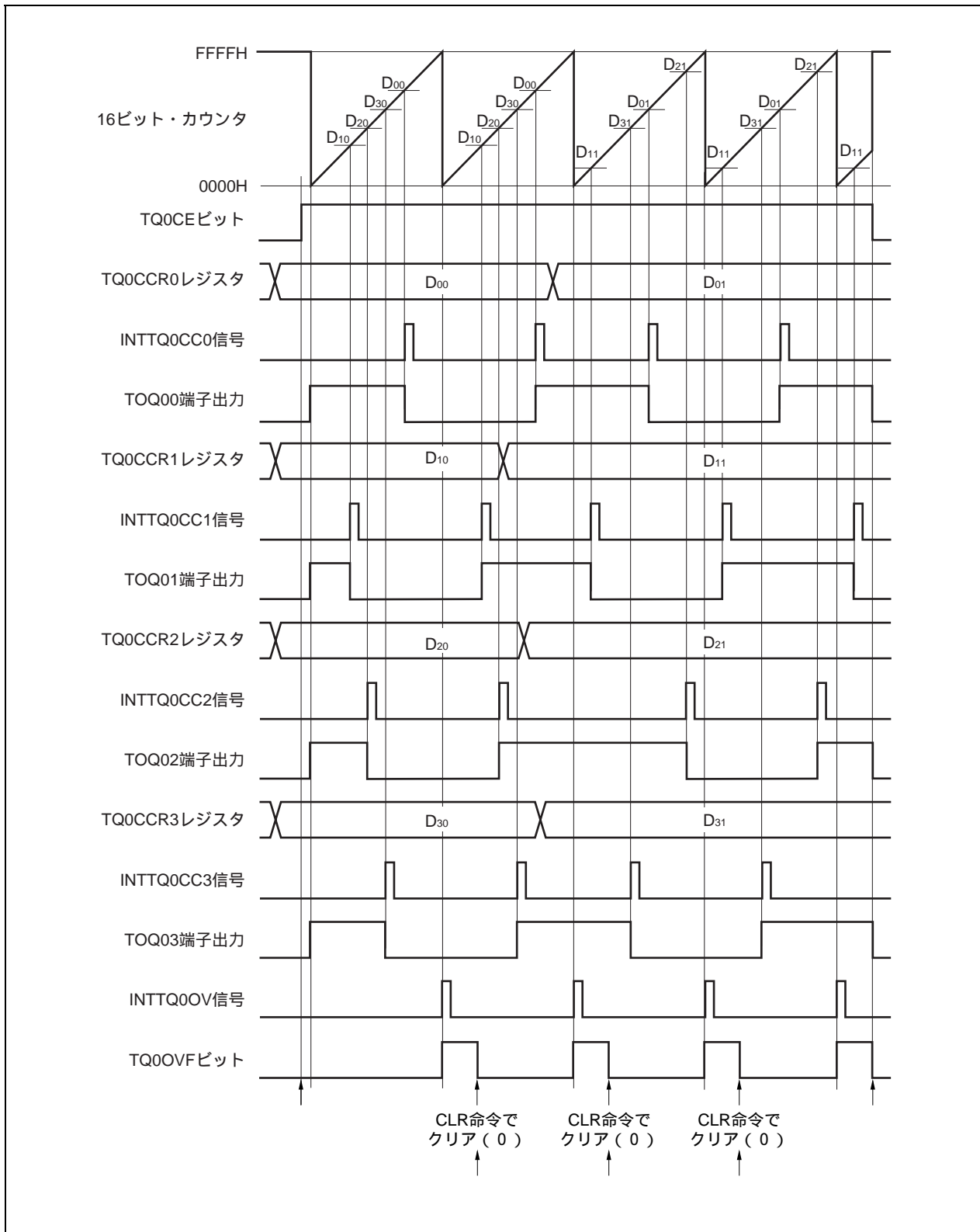
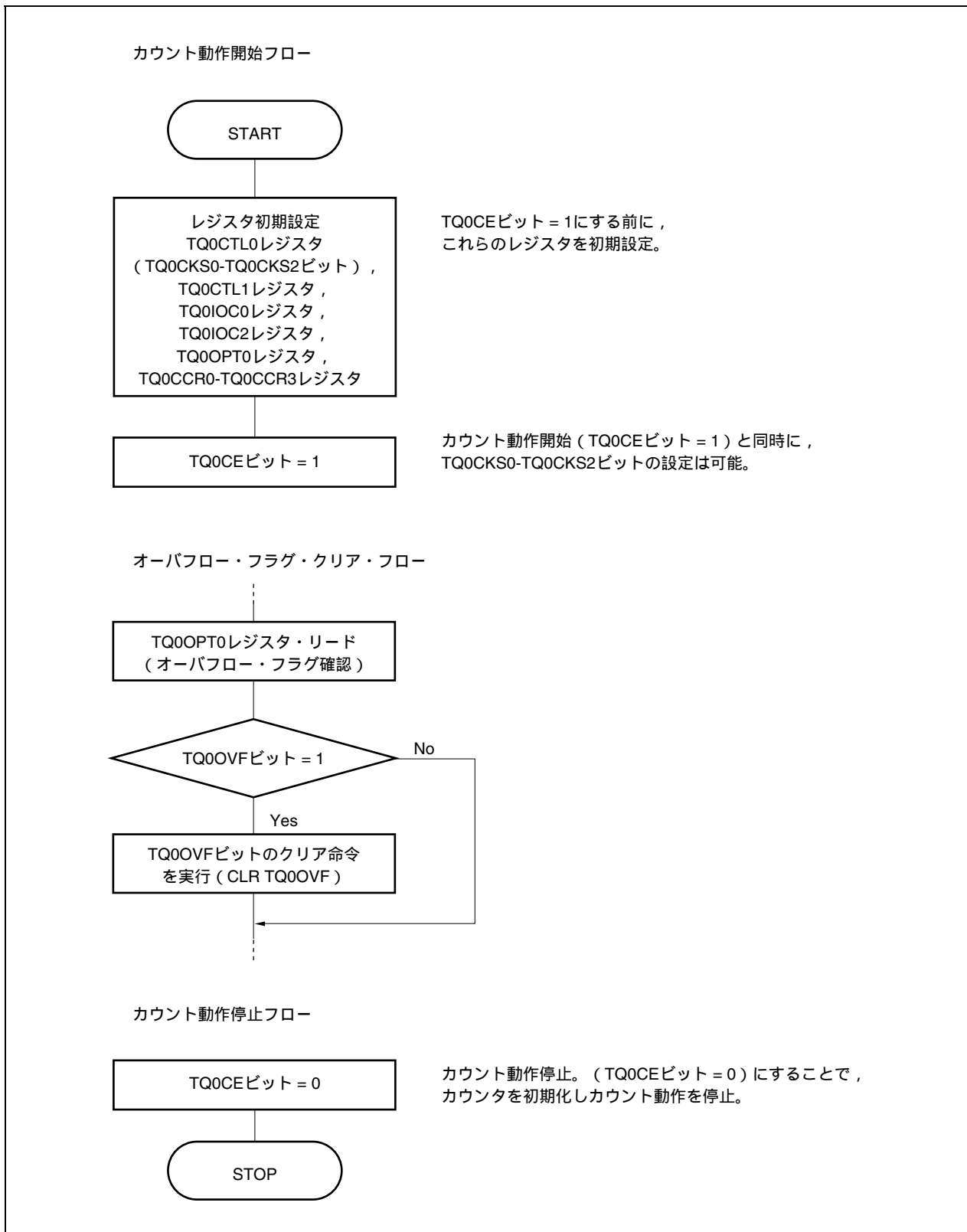


図8 - 36 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（2/2）





(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図8 - 37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

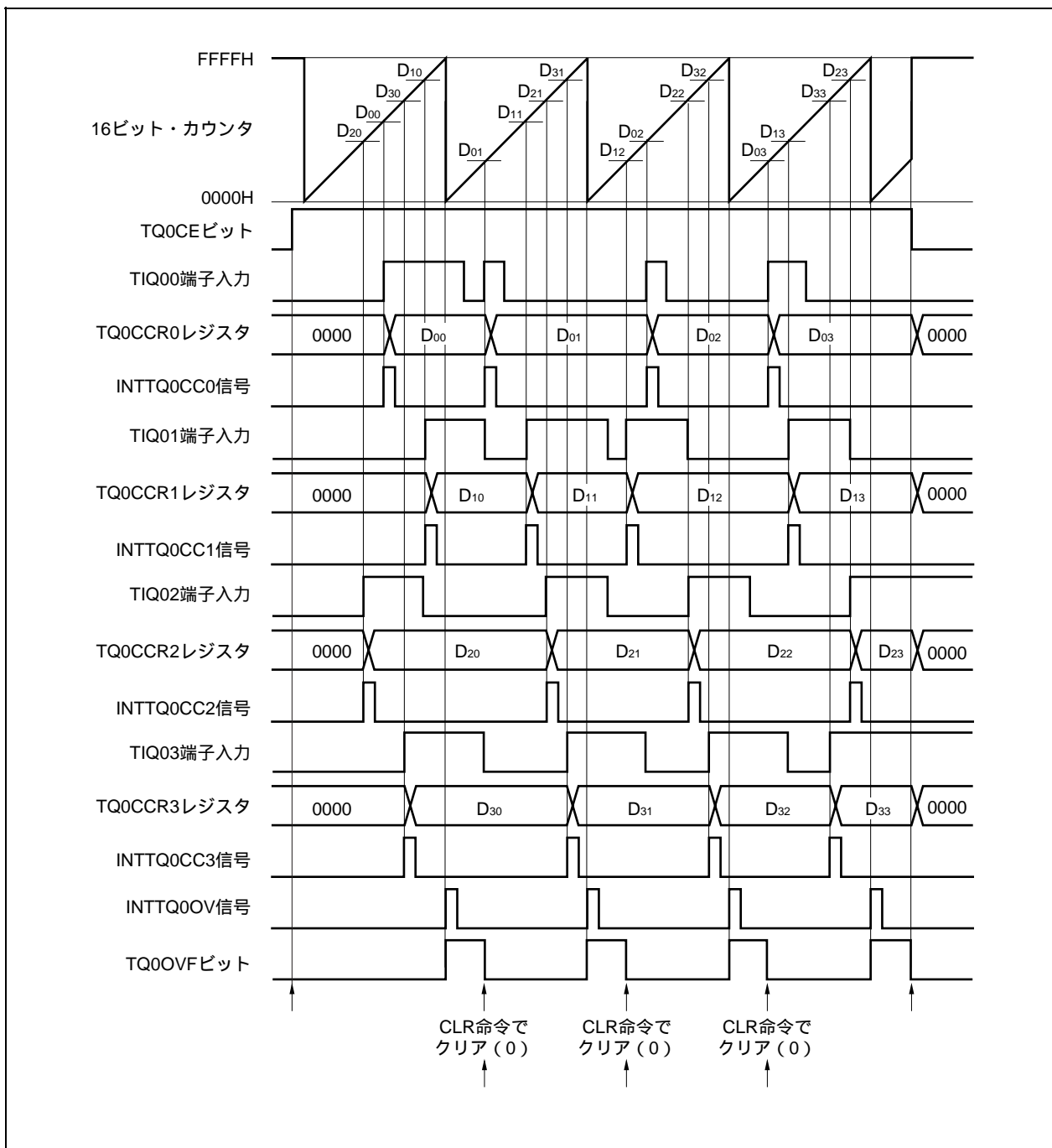
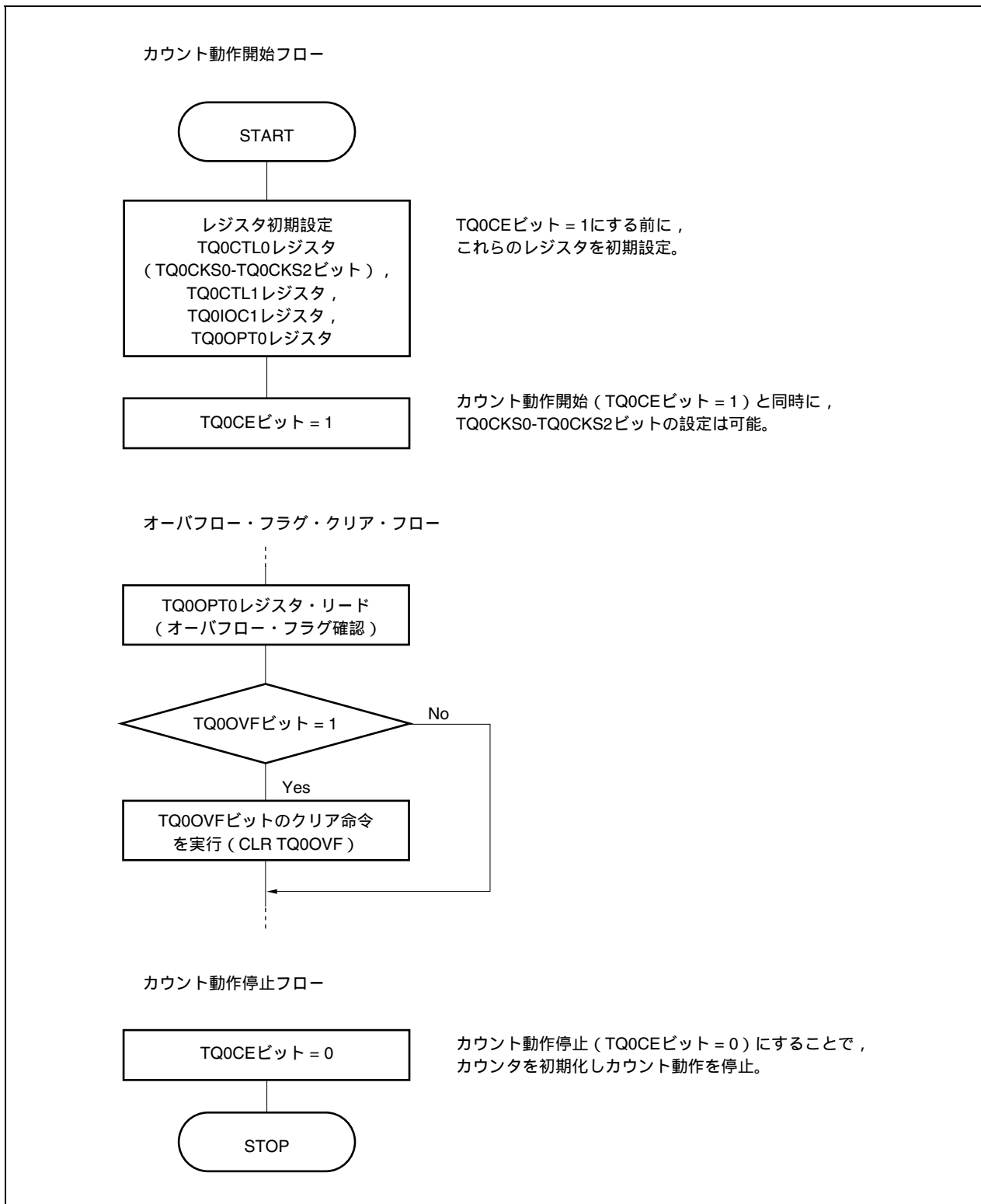


図8 - 37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）

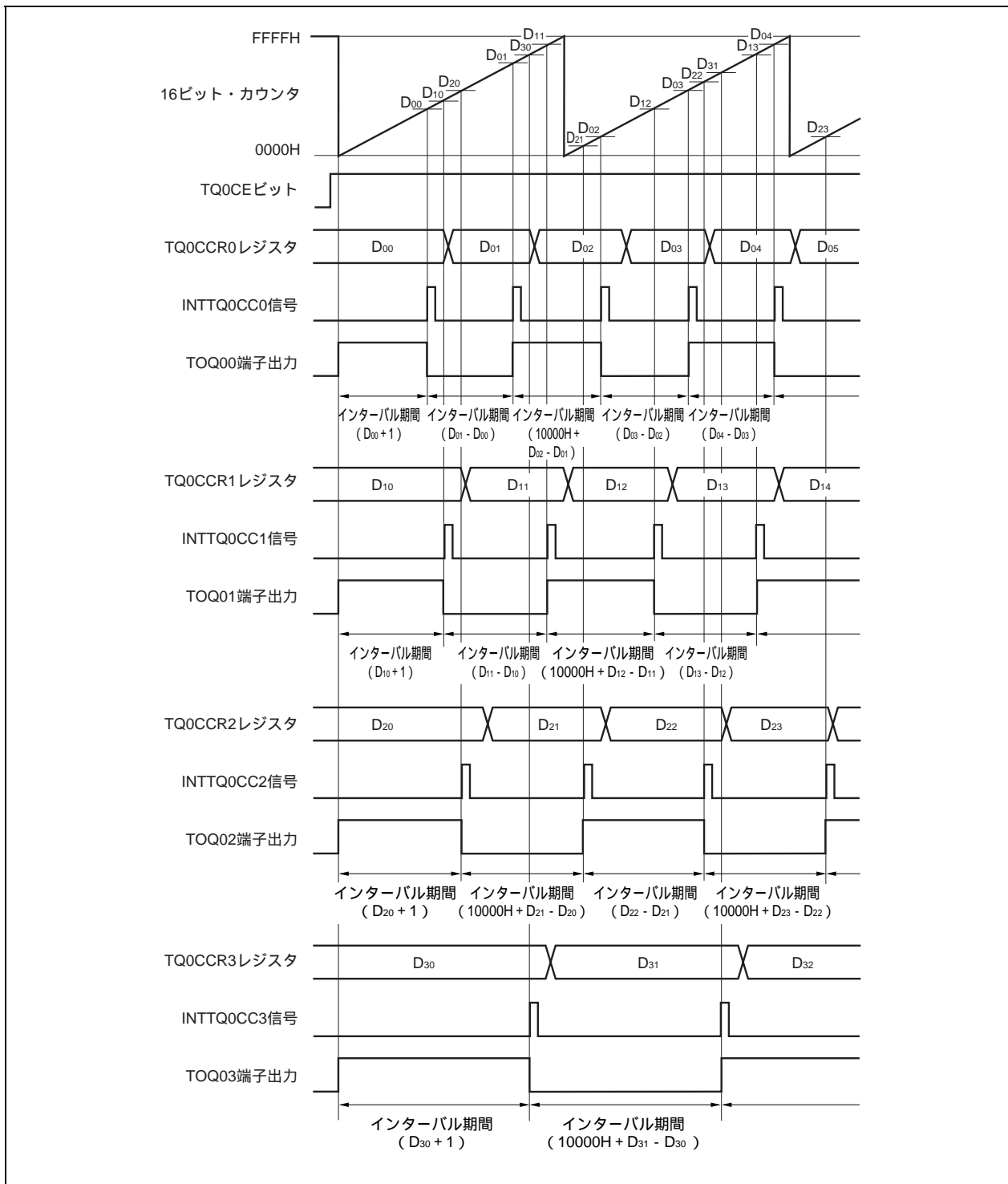


(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TQ0CCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTQ0CCm信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。

備考 m = 0-3



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、4つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTQ0CCm信号を検出したときの割り込み処理中に、対応するTQ0CCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ $D_m$ ” とすると、次のように求められます。

コンペア・レジスタ初期値 :  $D_m - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 +  $D_m$

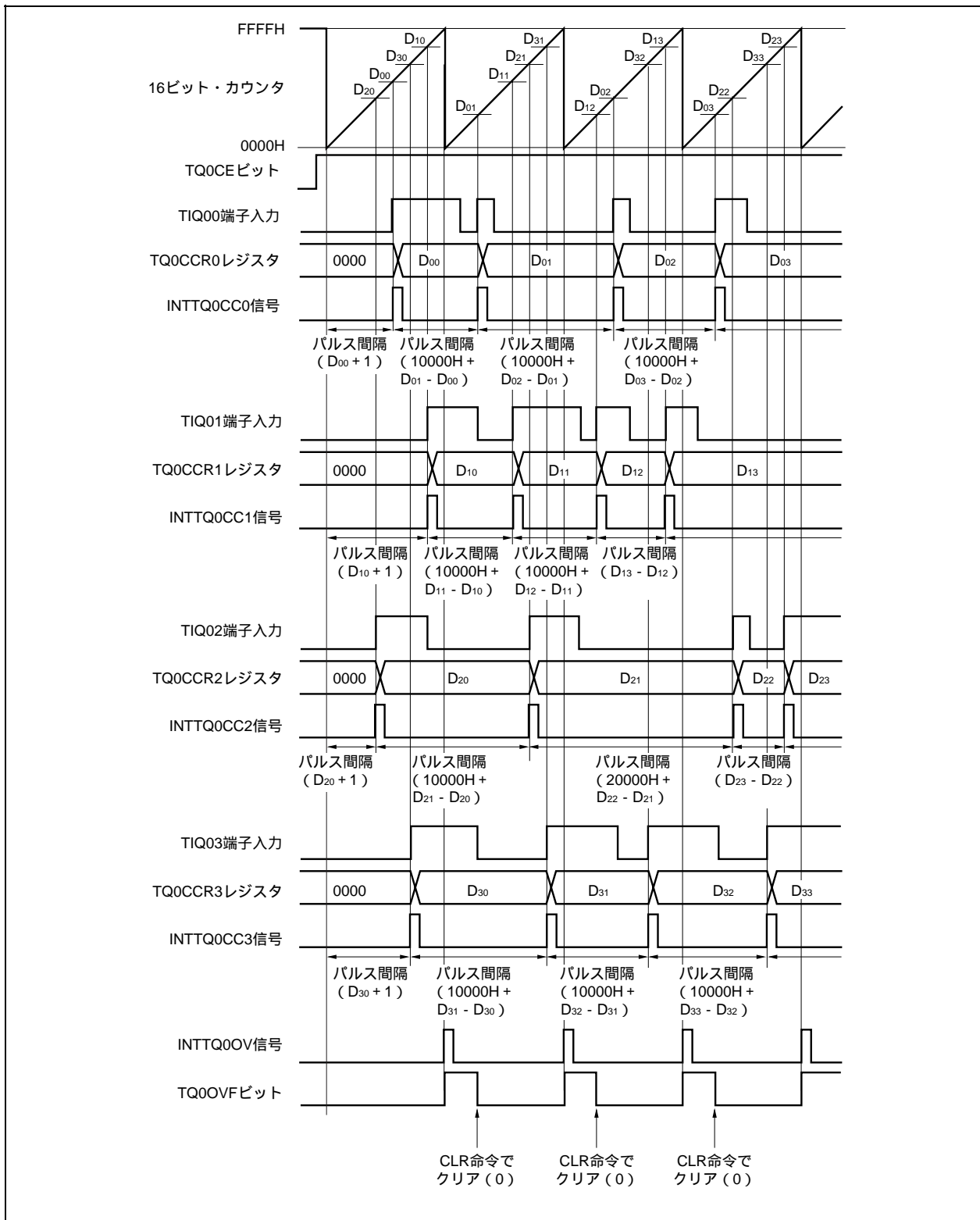
( 演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください。 )

**備考**  $m = 0-3$

## (b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TQ0CCRmレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTQ0CCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。

備考 m = 0-3



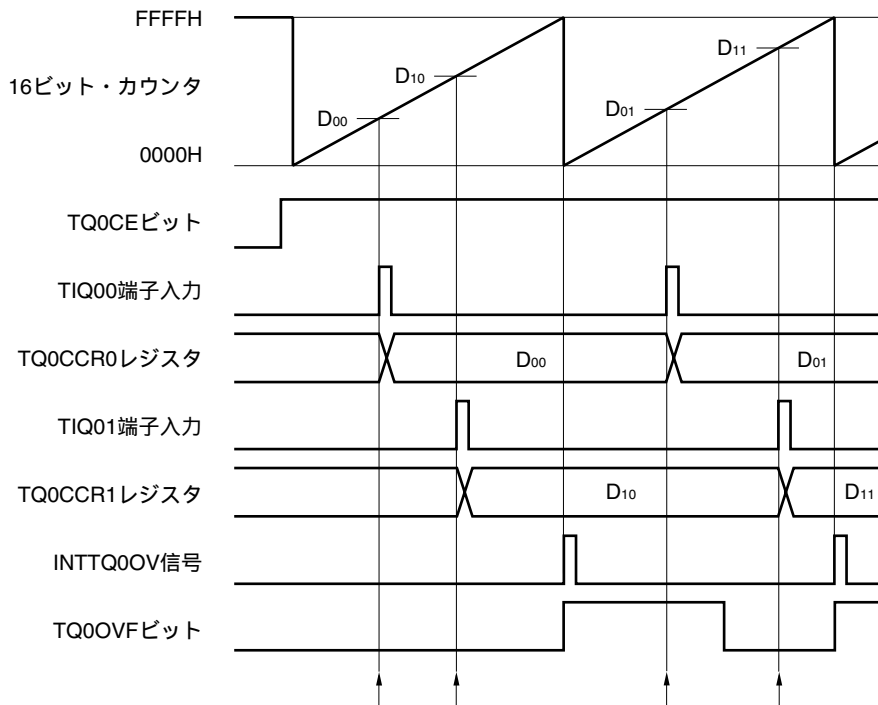
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、4つのパルス幅測定ができます。  
パルス幅測定を行う場合、INTTQ0CCm信号に同期してTQ0CCRmレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

**備考** m = 0-3

## (c) 2つ以上のキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つ以上のキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つ以上のキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TQ0CCR0レジスタをリードする (TIQ00端子入力の初期値設定)。

TQ0CCR1レジスタをリードする (TIQ01端子入力の初期値設定)。

TQ0CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TQ0CCR1レジスタをリードする。

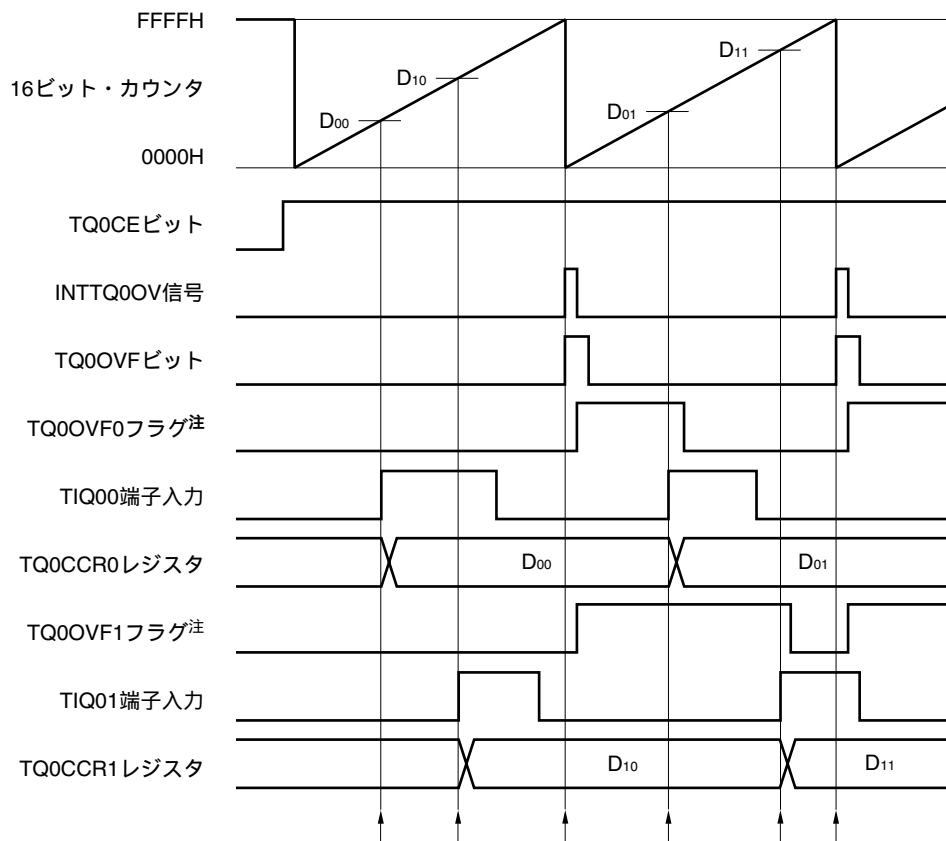
オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバーフロー・フラグが“0”なので、パルス幅は  $(D_{11} - D_{10})$  で求められます (NG)。

このように、2つ以上のキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、他のキャプチャは正しいパルス幅が求められない可能性があります。

2つ以上のキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

## 2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TQ0OVF0, TQ0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCR0レジスタをリードする (TIQ00端子入力の初期値設定)。

TQ0CCR1レジスタをリードする (TIQ01端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TQ0OVF0, TQ0OVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TQ0CCR0レジスタをリードする。

TQ0OVF0フラグをリードする。 TQ0OVF0フラグが“1”だった場合、クリア (0) する。

TQ0OVF0フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TQ0CCR1レジスタをリードする。

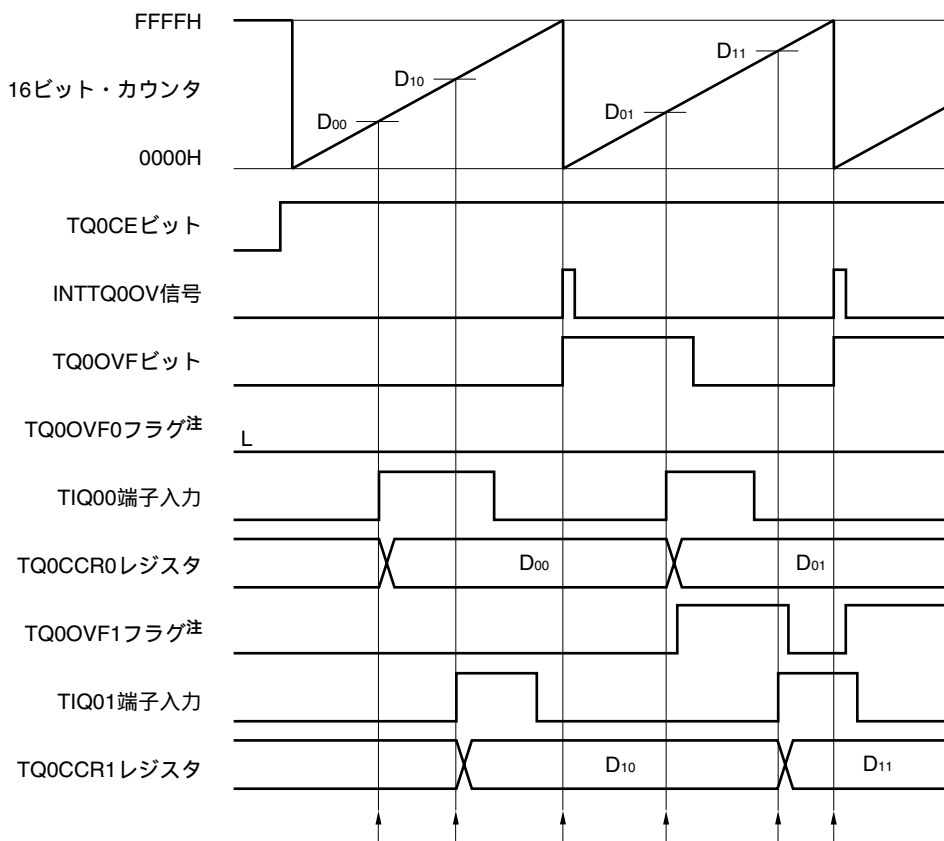
TQ0OVF1フラグをリードする。 TQ0OVF1フラグが“1”だった場合、クリア (0) する ( でクリア (0) されたのはTQ0OVF0フラグであり、TQ0OVF1フラグは“1”のまま)。

TQ0OVF1フラグが“1”なので、パルス幅は  $(10000H + D_{11} - D_{10})$  で求められます (OK)。

と同じです。



## 2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TQ0OVF0, TQ0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCR0レジスタをリードする (TIQ00端子入力の初期値設定)。

TQ0CCR1レジスタをリードする (TIQ01端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TQ0CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TQ0OVF1フラグのみをセット (1) し、オーバーフロー・フラグをクリア (0) する。

オーバーフロー・フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TQ0CCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア (0) されているので“0”がリードされる。

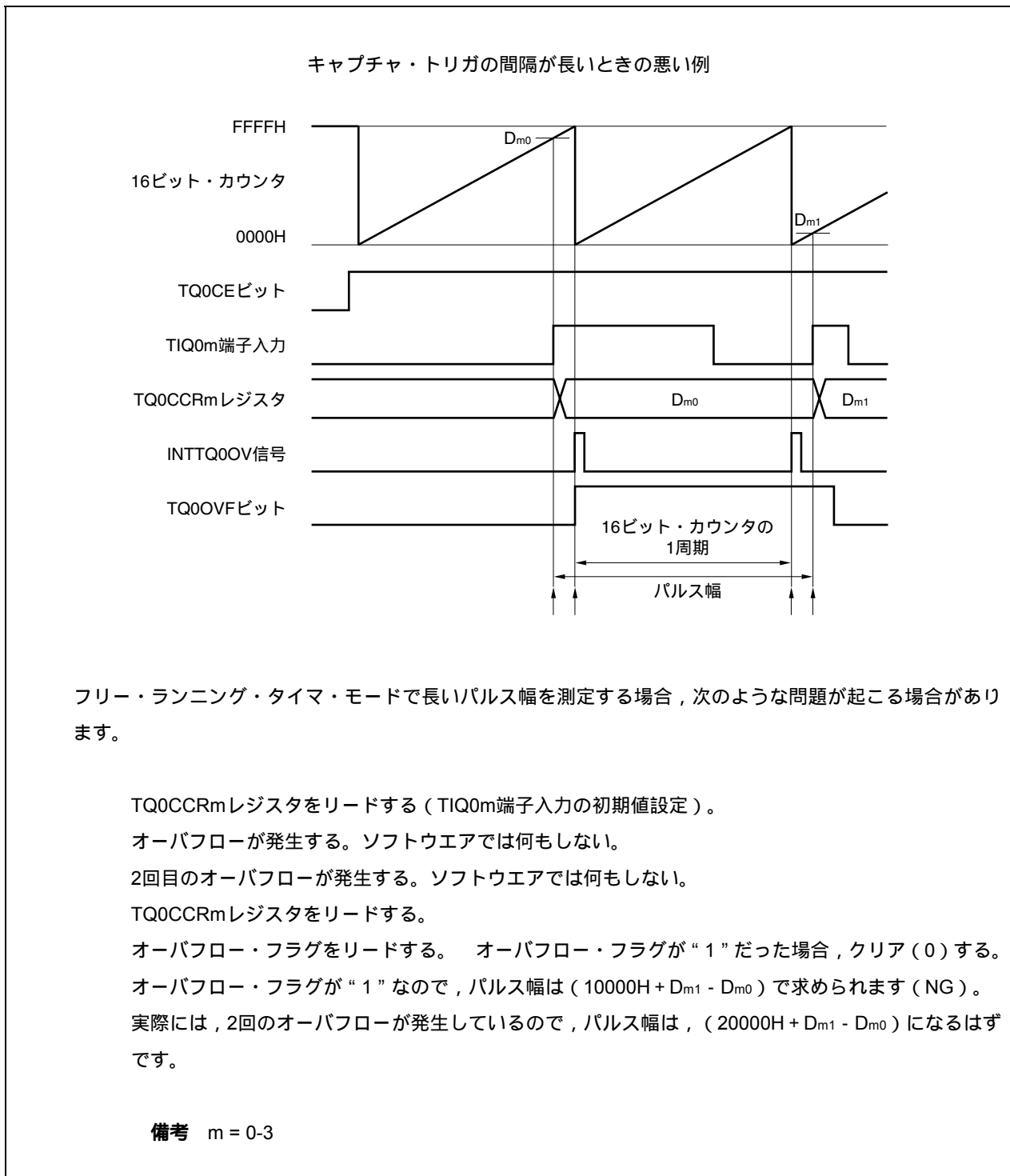
TQ0OVF1フラグをリードする。TQ0OVF1フラグが“1”だった場合、クリア (0) する。

TQ0OVF1フラグが“1”なので、パルス幅は  $(10000H + D_{11} - D_{10})$  で求められます (OK)。

と同じです。

## (d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

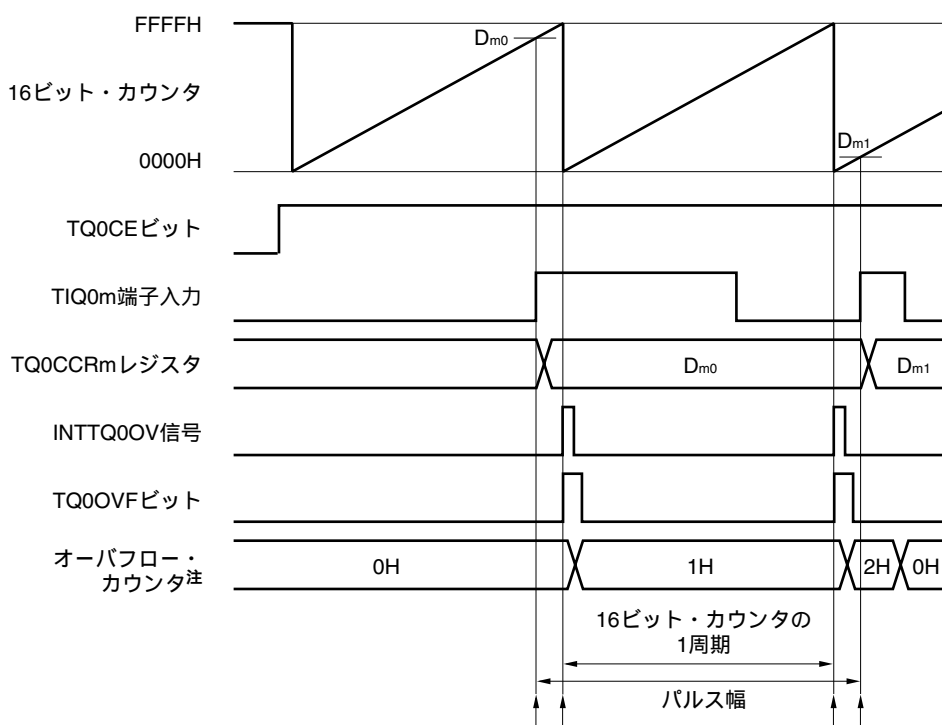
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCRmレジスタをリードする (TIQ0m端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TQ0CCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが “N” のとき、パルス幅は  $(N \times 10000H + D_{m1} - D_{m0})$  で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{m1} - D_{m0})$  になります。

オーバフロー・カウンタをクリア (0H) する。

備考 m = 0-3

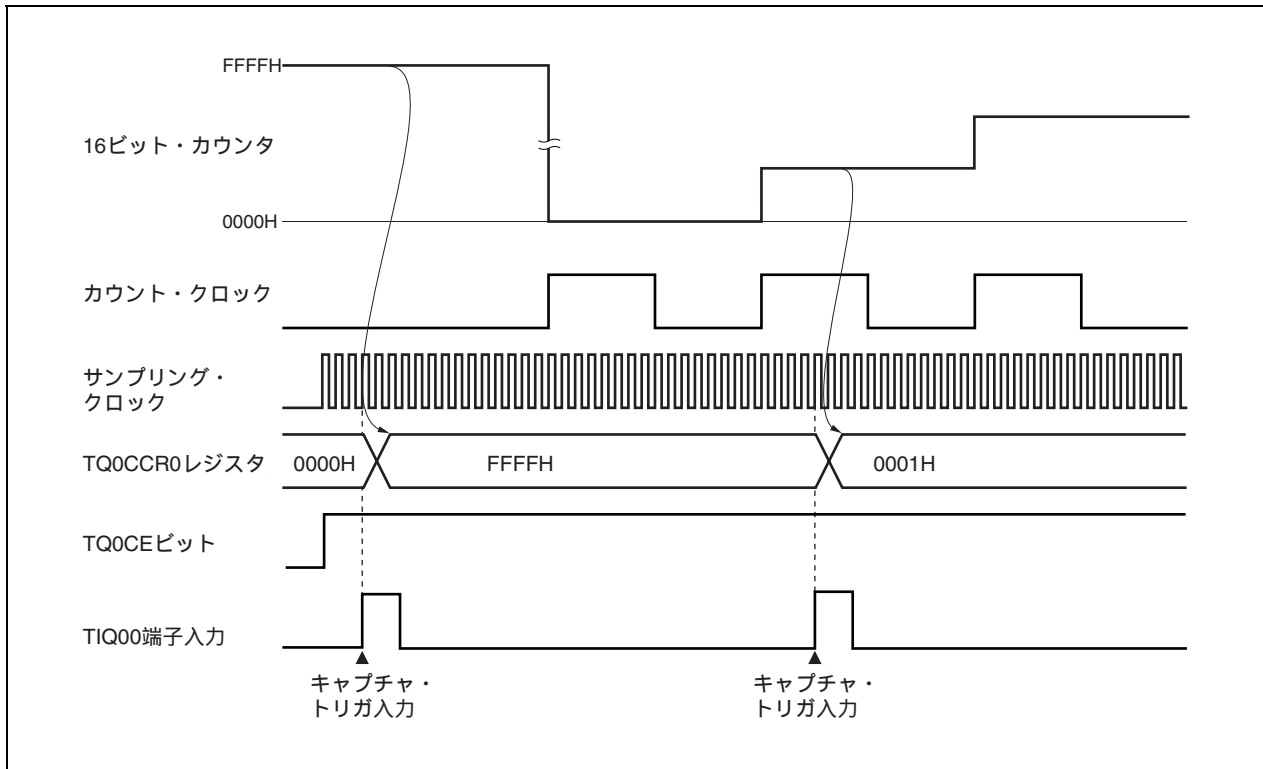
#### (e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TQ0OVFビット = 1をリードしたあとにTQ0OVFビットをCLR命令でクリア (0) する方法と、TQ0OVFビット = 1をリードしたあとにTQ0OPT0レジスタに8ビット・データ (ビット0は “0”) をライトする方法があります。

## (3) キャプチャ動作の注意事項

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TQ0CTL0.TQ0CEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TQ0CCRmレジスタに0000HではなくFFFFHがキャプチャされる場合やキャプチャ動作が行われない(キャプチャ割り込みが発生しない)場合があります(m = 0-3)。

キャプチャ動作を使用し、かつカウント・クロックとして外部イベント・カウント入力を選択し、外部イベントが一度も入力されない期間もFFFFHがキャプチャされる場合やキャプチャ動作が行われない(キャプチャ割り込みが発生しない)場合があります。



### 8.6.7 パルス幅測定モード (TQ0MD2-TQ0MD0ビット = 110)

パルス幅測定モードは、TQ0CTL0.TQ0CEビットをセット(1)することでカウント動作を開始し、TIQ0m端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTQ0CCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTQ0CCm)が発生したあと、TQ0CCRmレジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図8-39のような場合は、キャプチャ・トリガ入力端子として、TIQ00-TIQ03端子のいずれか1本を使用し、使用しない端子は、TQ0IOC1レジスタで“エッジ検出なし”に設定してください。

備考 m = 0-3

k = 1-3

図8-38 パルス幅測定モードの構成図

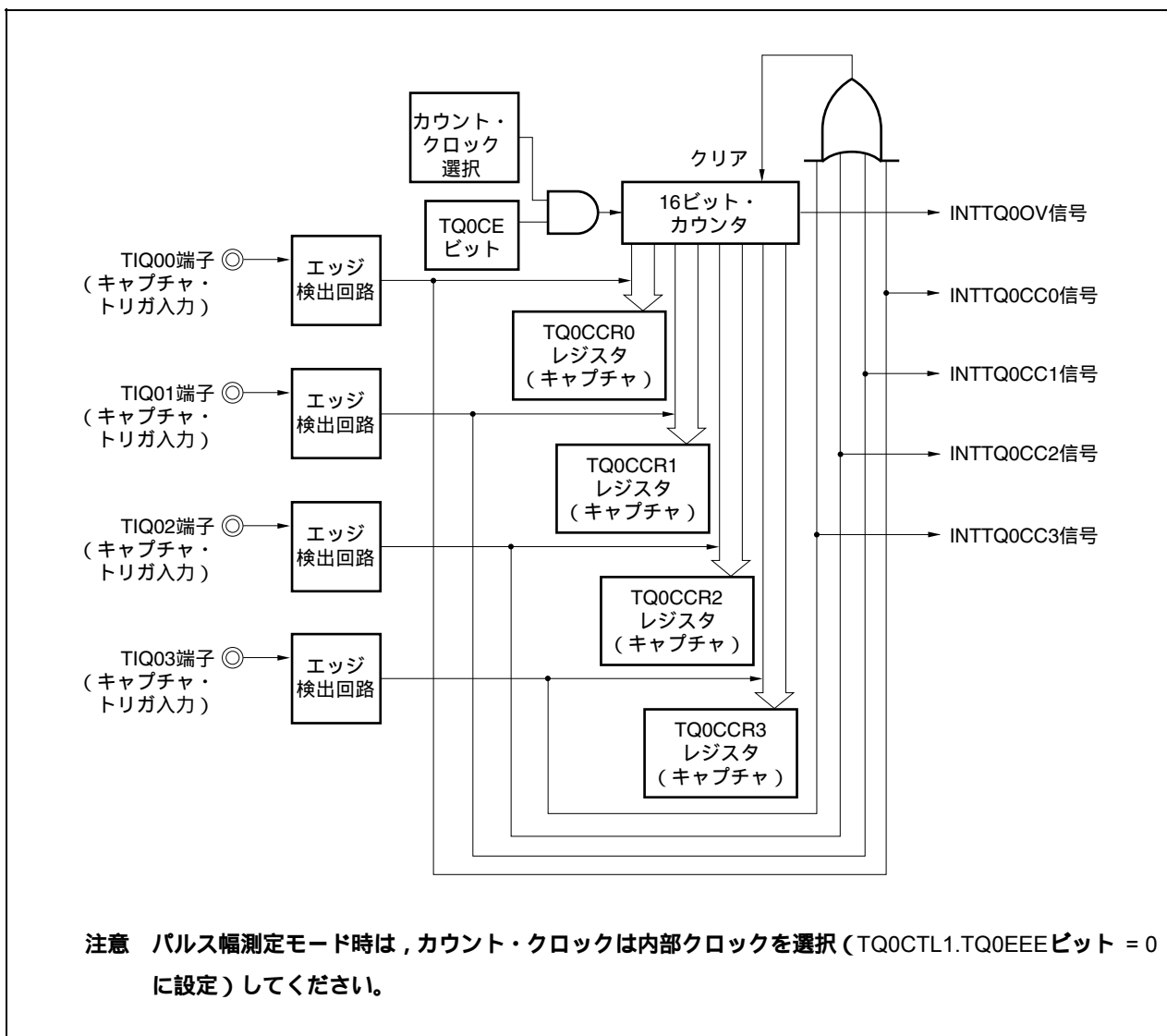
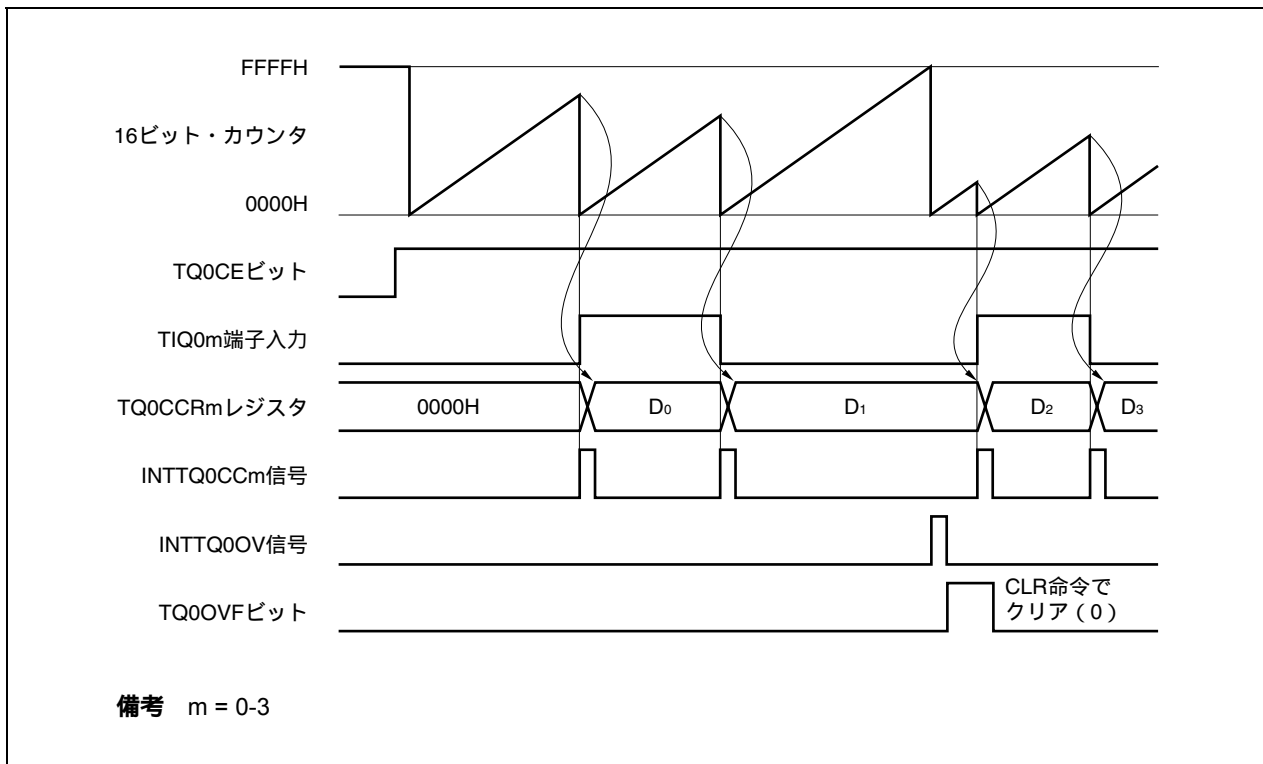


図8 - 39 パルス幅測定モードの基本タイミング



TQ0CEビットをセット(1)することで、カウント動作を開始します。その後、TIQ0m端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQ0CCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTQ0CCm)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTQ0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TQ0OPT0.TQ0OVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)した場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TQ0OVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 m = 0-3

図8 - 40 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

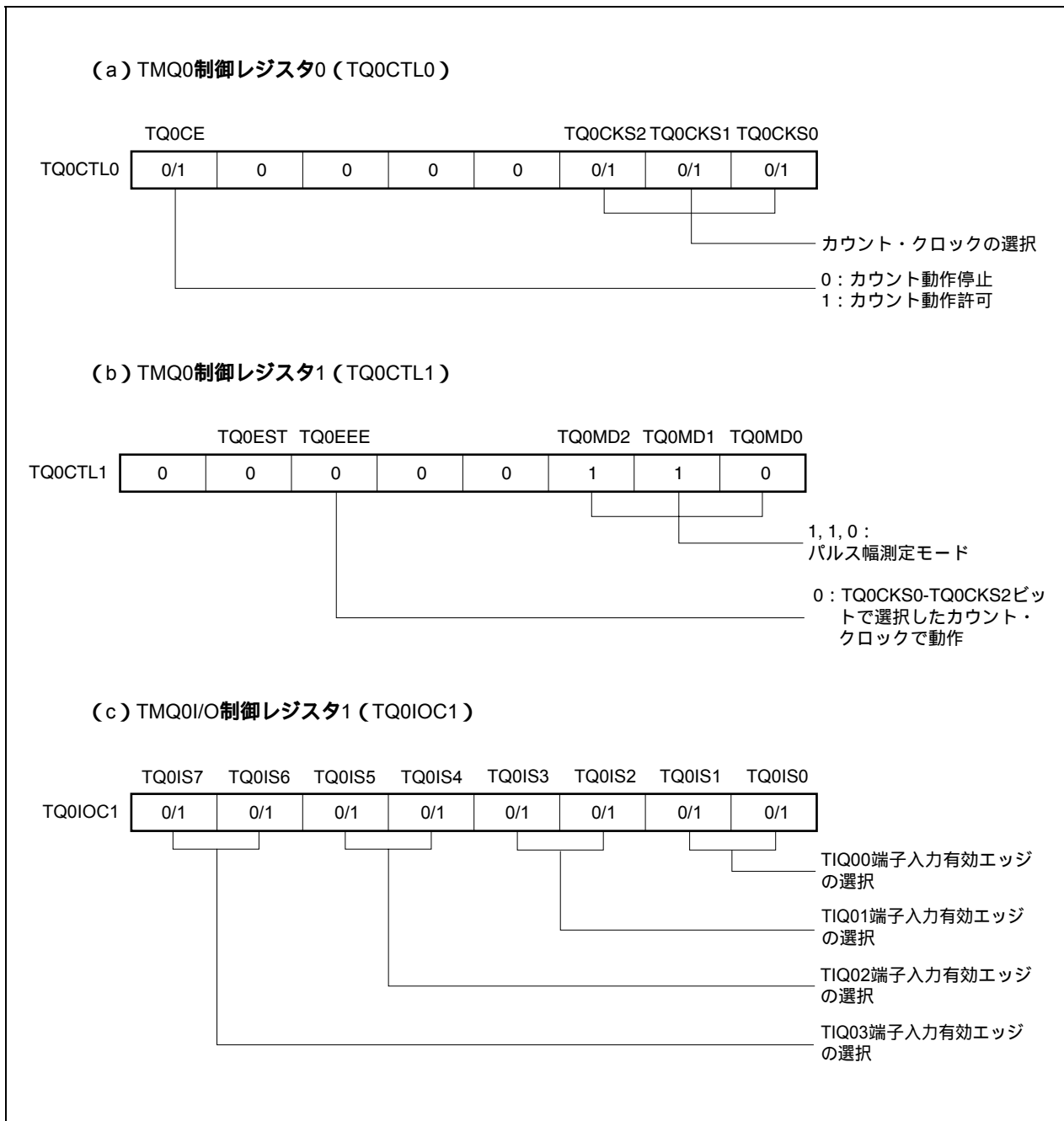
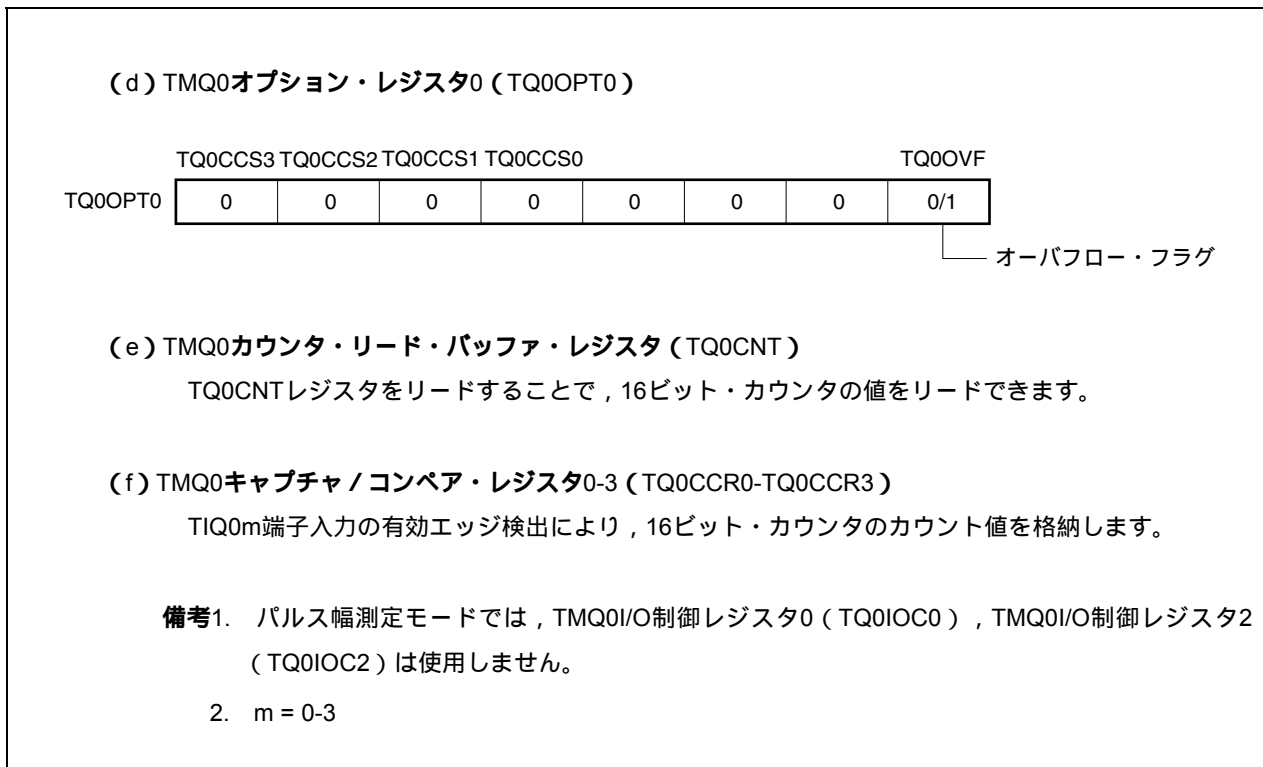


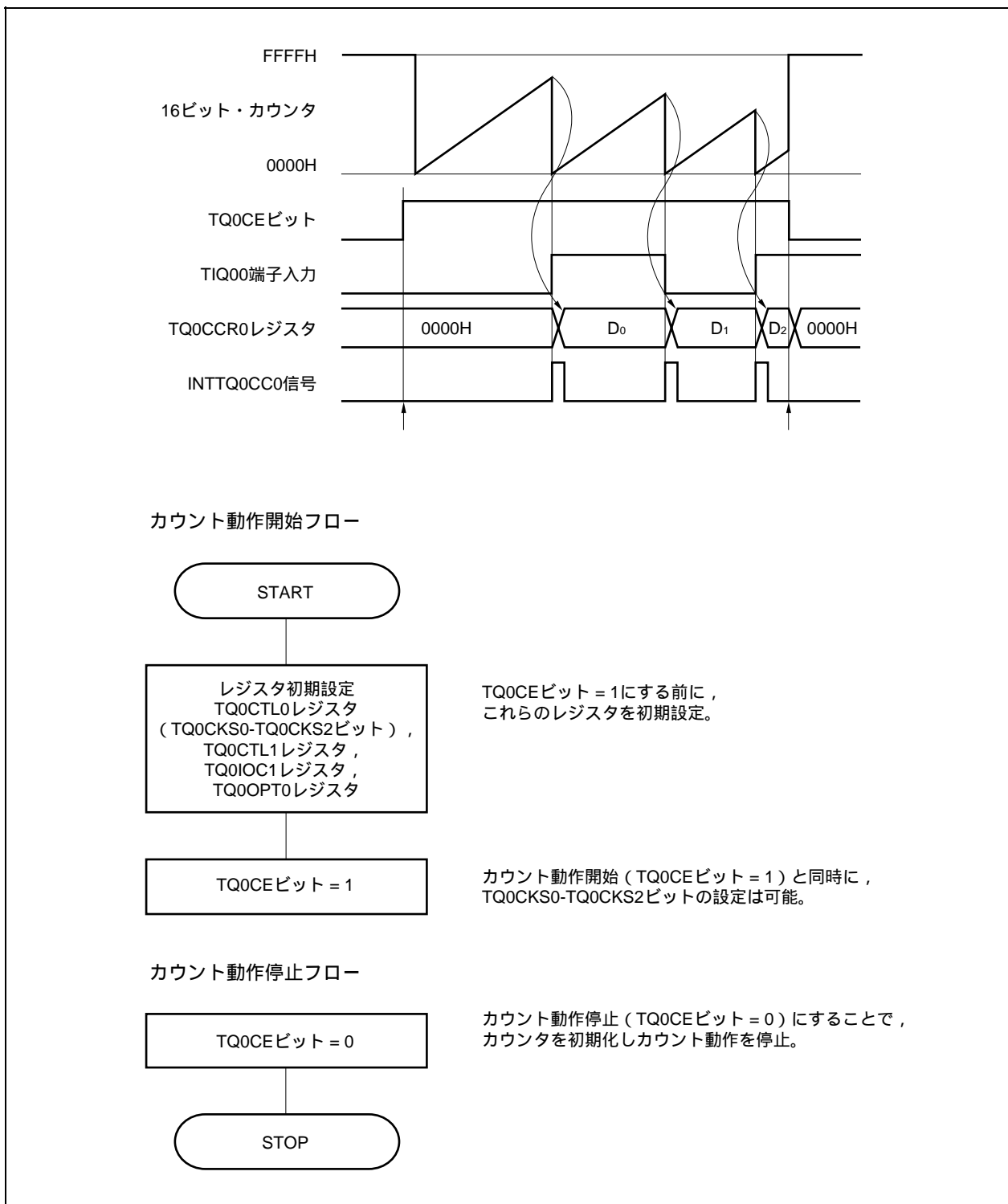
図8 - 40 パルス幅測定モード動作時のレジスタ設定内容 (2/2)





(1) パルス幅測定モード動作フロー

図8 - 41 パルス幅測定モード使用時のソフトウェア処理フロー



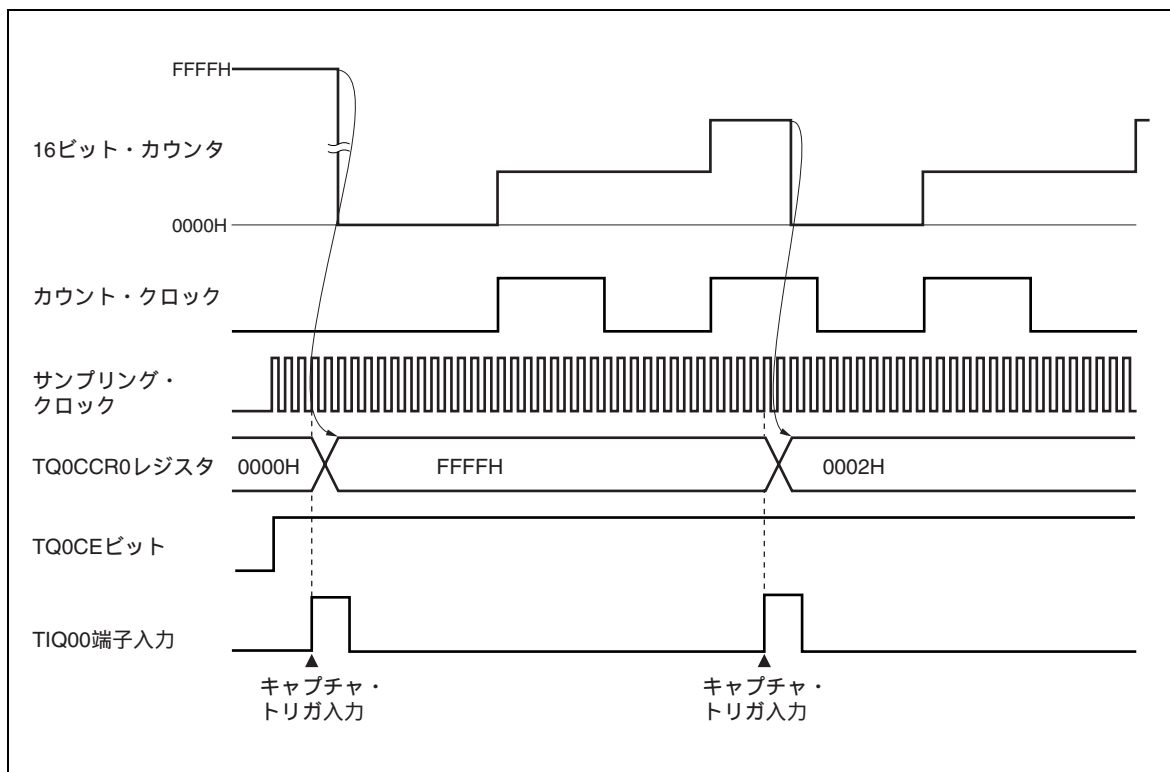
## (2) パルス幅測定モード動作タイミング

## (a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TQ0OVFビット = 1をリードしたあとにTQ0OVFビットをCLR命令でクリア (0) する方法と、TQ0OVFビット = 1をリードしたあとにTQ0OPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

## (3) 注意事項

カウント・クロックとして遅いクロックを選択した場合、TQ0CTL0.TQ0CEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TQ0CCRmレジスタに0000HではなくFFFFHがキャプチャされる場合やキャプチャ動作が行われない (キャプチャ割り込みが発生しない) 場合があります (m = 0-3)。



## 8.7 セレクタ機能

セレクタ機能については7.7 セレクタ機能を参照してください。

## 8.8 注意事項

### (1) DMA転送の起動要因の切り替え

V850E/SJ3-H, V850E/SK3-Hでは、DMA転送の起動要因のINTTQ0OV信号とINTUB0TIR信号が兼用になっており、同時には使用できません。INTTQ0OV信号をDMA転送の起動要因として使用するときは、オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のDTFROB0ビット = 0に設定してください。この場合、INTUB0TIR信号はDMA転送の起動要因として使用できません。

**備考** 詳細については、表22 - 1 DMA転送の起動要因を参照してください。

### (2) TIQ0m端子とKRn端子の同時使用

TIQ0m端子とKRn端子は、同時に使用することはできません ( $m = 0-3, n = 0-3$ )。TIQ00端子とKR3端子、TIQ03端子とKR2端子は、ともに2つのポートに兼用されていますが、それぞれ異なるポートで同時に使用することはできません。TIQ0m端子を使用する場合、またはKRn端子を使用する場合の設定を次に示します。

端子名称	TIQ0m端子として使用する場合	KRn端子として使用する場合
KR0/TIQ01	KRM.KRM0ビット = 0	TQ0IOC1. TQ0IS3, TQ0IS2ビット = 00
KR1/TIQ02	KRM.KRM1ビット = 0	TQ0IOC1. TQ0IS5, TQ0IS4ビット = 00
KR2/TIQ03	KRM.KRM2ビット = 0	TQ0IOC1. TQ0IS7, TQ0IS6ビット = 00
KR3/TIQ00	KRM.KRM3ビット = 0	TQ0IOC1. TQ0IS1, TQ0IS0ビット = 00 TQ0IOC2. TQ0EES1, TQ0EES0ビット = 00 TQ0IOC2. TQ0ETS1, TQ0ETS0ビット = 00

## 第9章 16ビット・インターバル・タイマM (TMM)

タイマM (TMM) は、16ビットのインターバル・タイマです。

V850E/SJ3-H, V850E/SK3-Hでは、TMM0-TMM2を内蔵しています。

### 9.1 概 要

TMMnの概要を次に示します (n = 0-2)。

- ・インターバル機能
- ・クロック選択 × 8
- ・16ビット・カウンタ × 1 (タイマ・カウント動作中のカウンタ・リードはできません。)
- ・コンペア・レジスタ × 1 (タイマ・カウント動作中のコンペア・レジスタへのライトはできません。)
- ・コンペア一致割り込み × 1

タイマMはクリア&スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

## 9.2 構成

TMMnは、次のハードウェアで構成されています (n = 0-2)。

表9-1 TMMnの構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMMnコンペア・レジスタ0 (TMnCMP0)
制御レジスタ	TMMn制御レジスタ0 (TMnCTL0)

備考 n = 0-2

図9-1 TMM0のブロック図

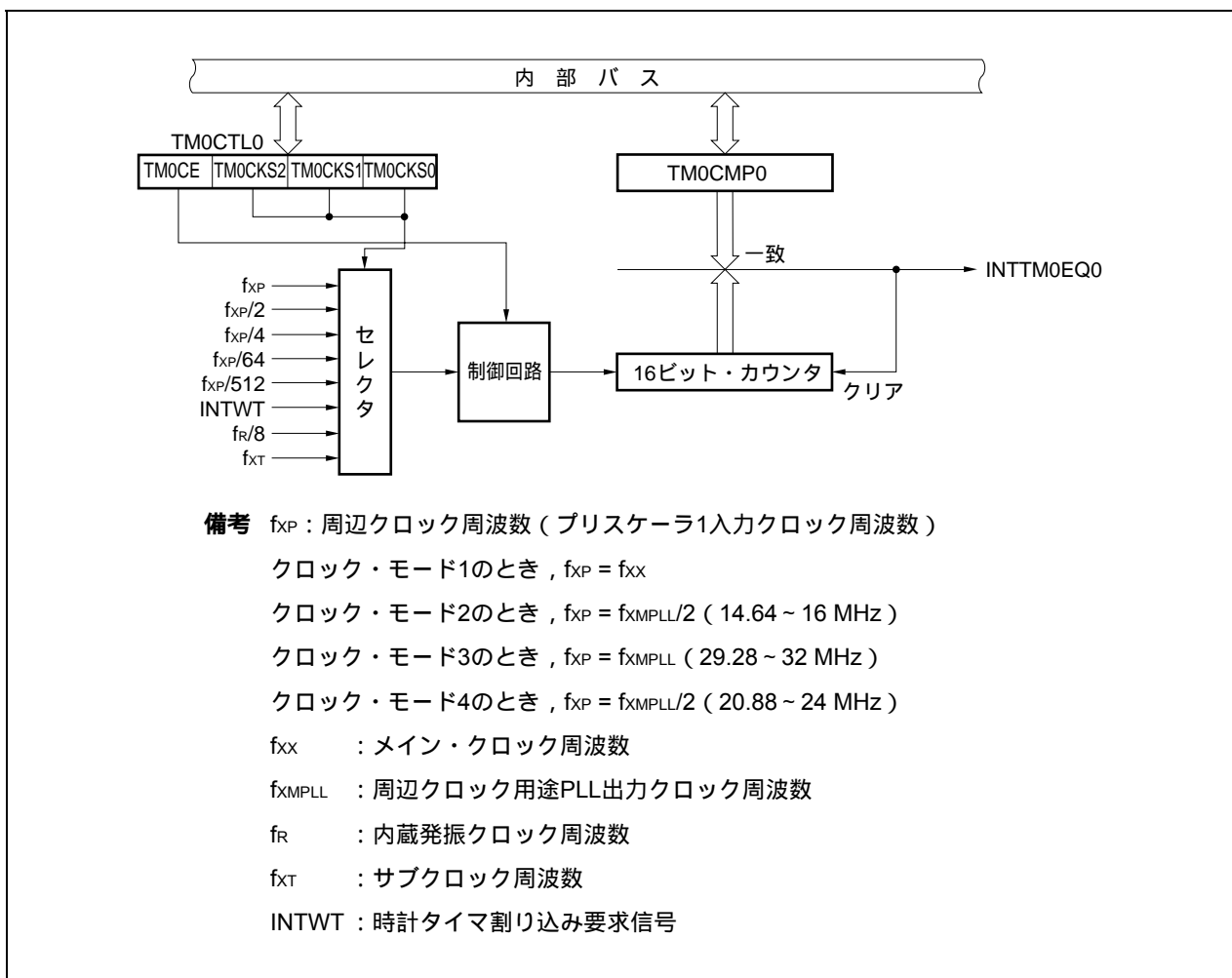
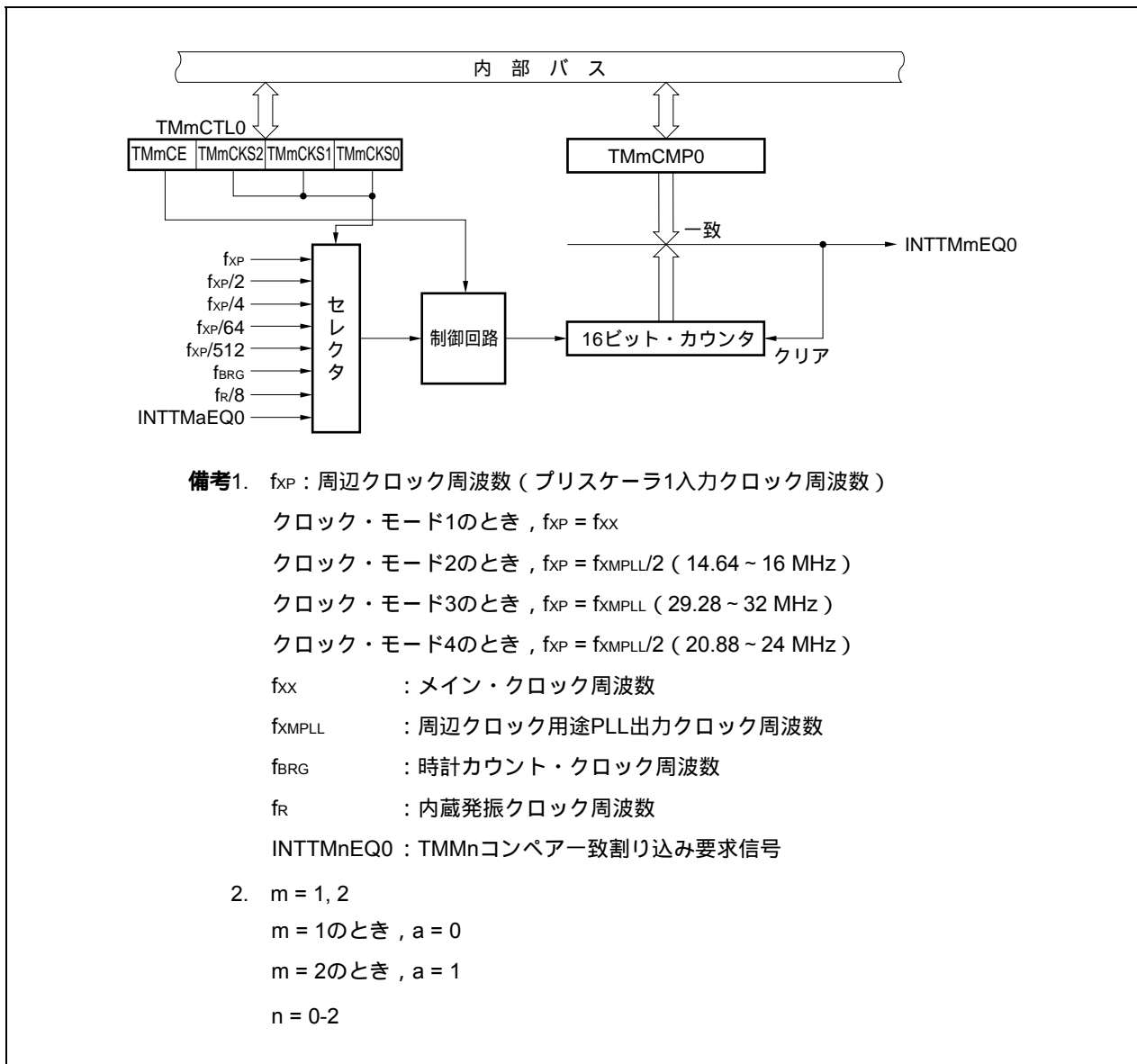


図9-2 TMM1, TMM2のブロック図



**(1) 16ビット・カウンタ**

内部クロックをカウントする16ビットのカウンタです。

16ビット・カウンタはリード/ライトできません。

**(2) TMMnコンペア・レジスタ0 (TMnCMP0)**

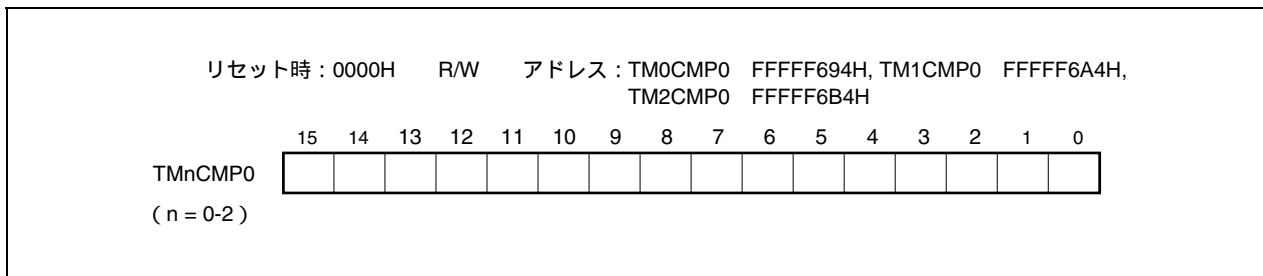
TMnCMP0レジスタは16ビットのコンペア・レジスタです。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

TMnCMP0レジスタは、常時ソフトウェアでの同値書き込みができます。

TMMn動作中 (TMnCTL0.TMnCEビット = 1) , TMnCMP0レジスタの書き換えは禁止です。



## 9.3 レジスタ

### (1) TMMn制御レジスタ0 (TMnCTL0)

TMnCTL0レジスタはTMMnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TMnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

(1/2)

リセット時：00H R/W アドレス：TM0CTL0 FFFFF690H, TM1CTL0 FFFFF6A0H,  
TM2CTL0 FFFFF6B0H

	⑦	6	5	4	3	2	1	0
TMnCTL0 (n = 0-2)	TMnCE	0	0	0	0	TMnCKS2	TMnCKS1	TMnCKS0

TMnCE	内部クロック動作許可/禁止指定
0	TMMn動作禁止 (16ビット・カウンタを非同期にリセット)。動作クロック供給停止
1	TMMn動作許可。動作クロック供給開始。TMMn動作開始

TMnCEビットにより、TMMnの内部クロックの制御と内部回路のリセットを非同期に行います。TMnCEビットをクリア (0) すると、TMMnの内部クロックは停止 (ロウ・レベル固定) し、16ビット・カウンタが非同期にリセットされます。

TMnCKS2	TMnCKS1	TMnCKS0	カウント・クロックの選択		
			TMM0	TMM1	TMM2
0	0	0	fXP	fXP	fXP
0	0	1	fXP/2	fXP/2	fXP/2
0	1	0	fXP/4	fXP/4	fXP/4
0	1	1	fXP/64	fXP/64	fXP/64
1	0	0	fXP/512	fXP/512	fXP/512
1	0	1	INTWT	fBRG	fBRG
1	1	0	fR/8	fR/8	fR/8
1	1	1	fXT	INTTM0EQ0	INTTM1EQ0

- 注意1.** TMnCKS2-TMnCKS0ビットはTMnCEビット = 0のときに設定してください。TMnCEビットを“0”から“1”に設定するときに、同時にTMnCKS2-TMnCKS0ビットを設定できません。
- 2.** ビット3-6には必ず“0”を設定してください。



(2/2)

- 備考1.**  $f_{XP}$  : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)  
 クロック・モード1のとき,  $f_{XP} = f_{XX}$   
 クロック・モード2のとき,  $f_{XP} = f_{XMPLL}/2$  (14.64 ~ 16 MHz)  
 クロック・モード3のとき,  $f_{XP} = f_{XMPLL}$  (29.28 ~ 32 MHz)  
 クロック・モード4のとき,  $f_{XP} = f_{XMPLL}/2$  (20.88 ~ 24 MHz)  
 $f_{XX}$  : メイン・クロック周波数  
 $f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数  
 $f_{BRG}$  : 時計カウント・クロック周波数  
 $f_R$  : 内蔵発振クロック周波数  
 $f_{XT}$  : サブクロック周波数  
 INTTMaEQ0 : TMMaコンペアー一致割り込み要求信号
2.  $a = 0, 1$

## 9.4 動作

**注意** TMnCMP0レジスタには, FFFFHを設定しないでください。

### 9.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは, TMnCTL0.TMnCEビットをセット (1) することで, TMnCMP0レジスタで設定したインターバル間隔にて割り込み要求信号 (INTTMnEQ0) を発生します。

図9-3 インターバル・タイマの構成図

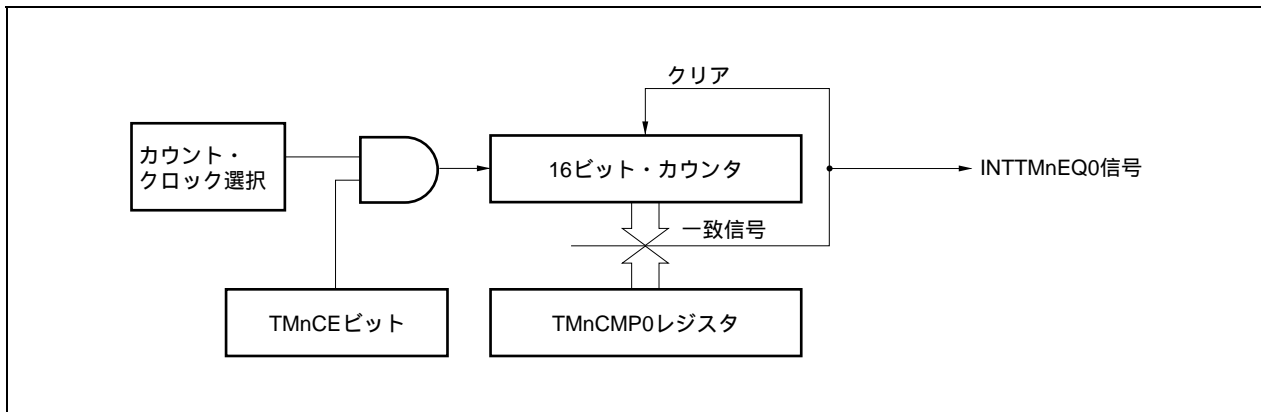
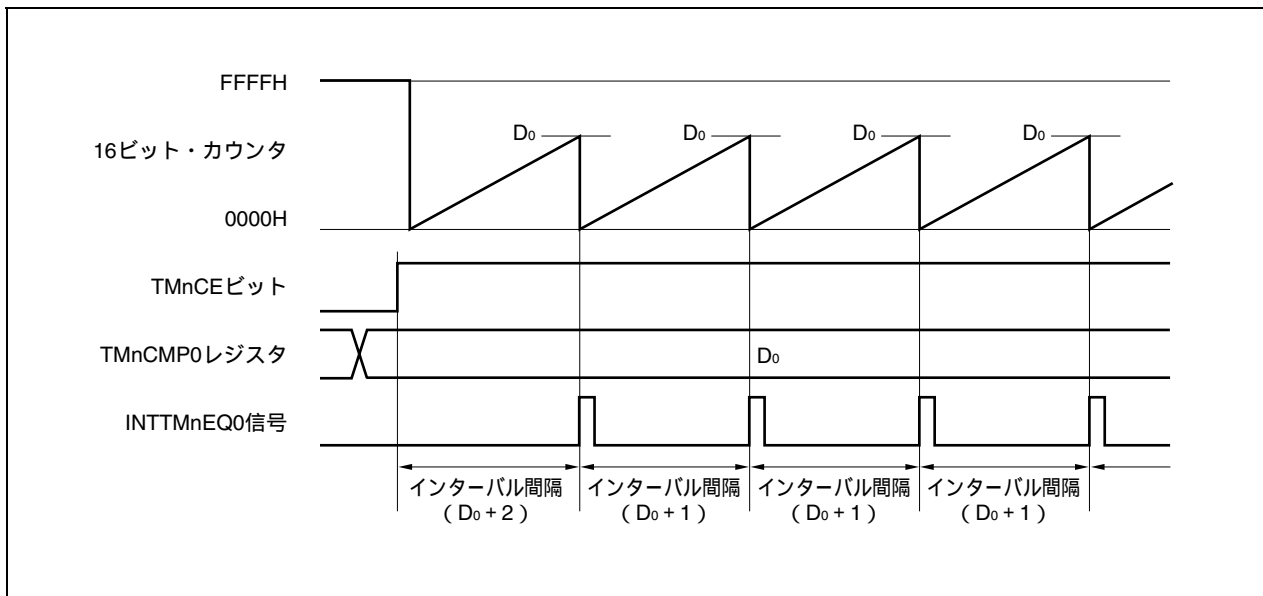


図9-4 インターバル・タイマ・モード動作の基本タイミング



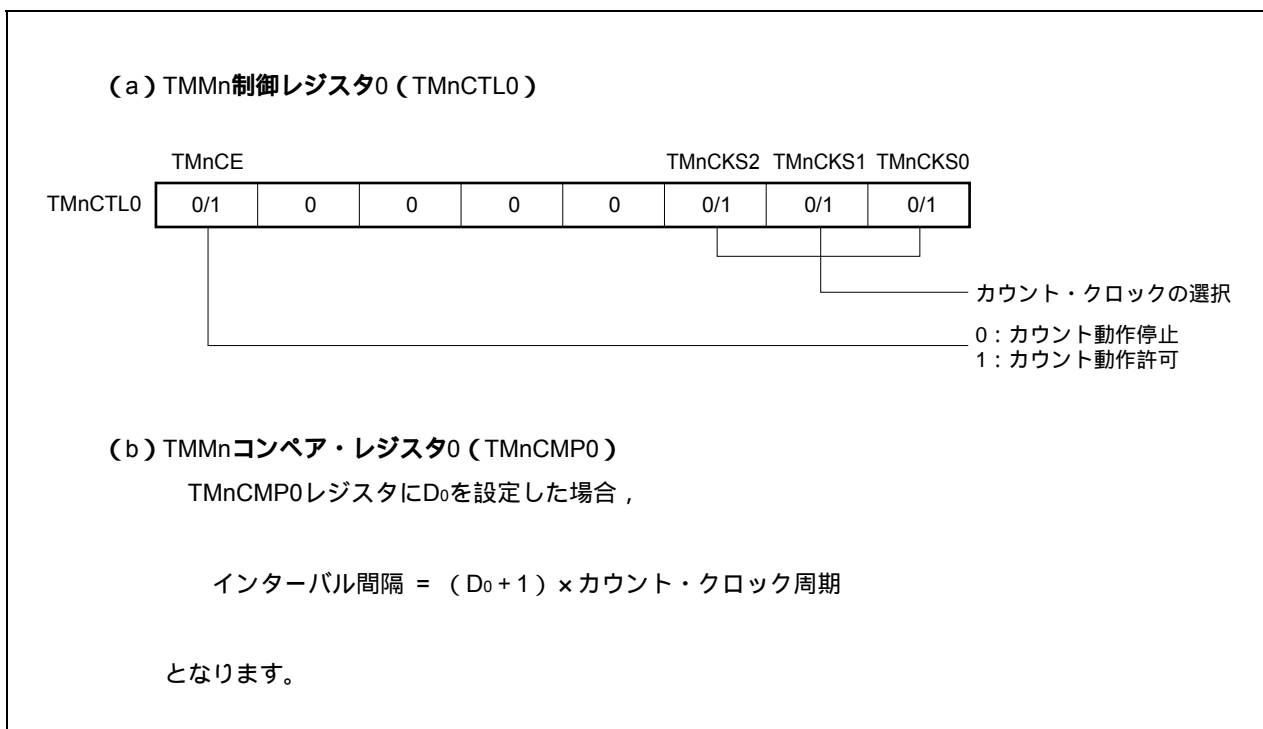
TMnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。

16ビット・カウンタのカウント値とTMnCMP0レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンパレー一致割り込み要求信号(INTTMnEQ0)を発生します。

インターバル間隔は次のようになります。

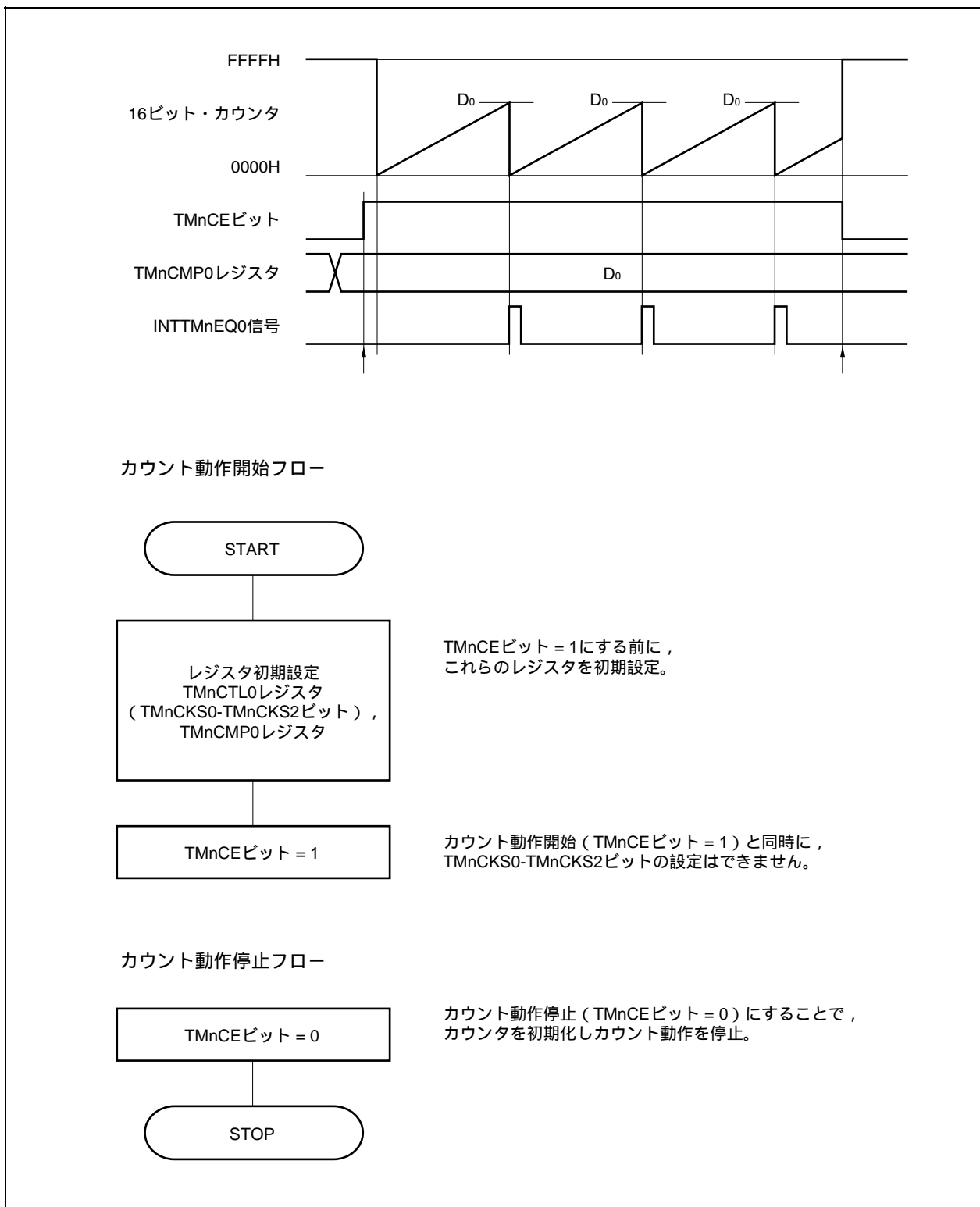
$$\text{インターバル間隔} = (\text{TMnCMP0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図9-5 インターバル・タイマ・モード動作時のレジスタ設定内容



(1) インターバル・タイマ・モード動作フロー

図9-6 インターバル・タイマ・モード使用時のソフトウェア処理フロー



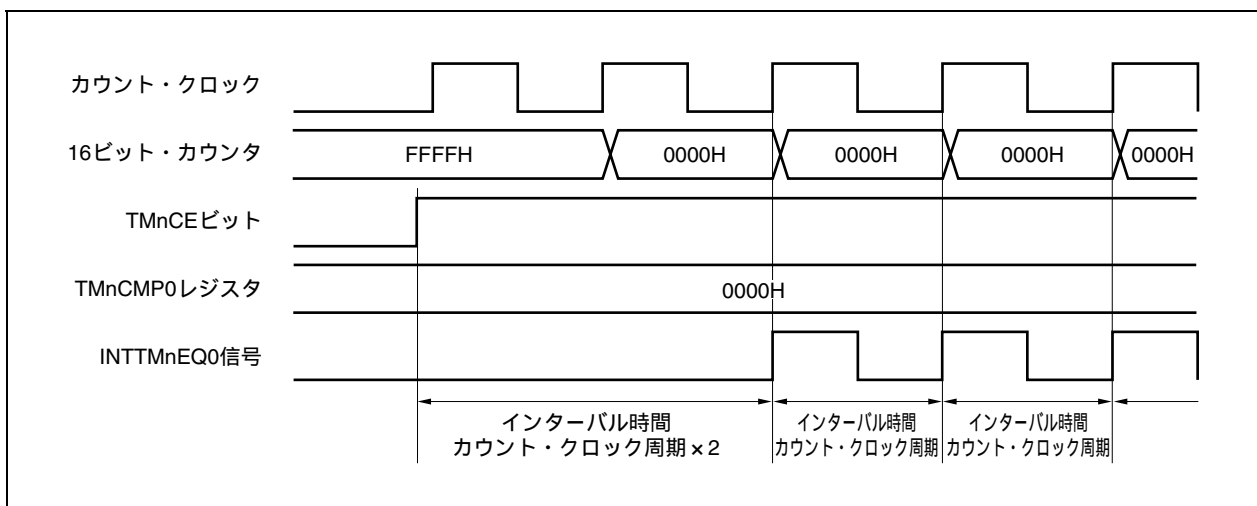
## (2) インターバル・タイマ・モード動作タイミング

**注意** TMnCMP0レジスタには、FFFFHを設定しないでください。

## (a) TMnCMP0レジスタに0000Hを設定した場合の動作

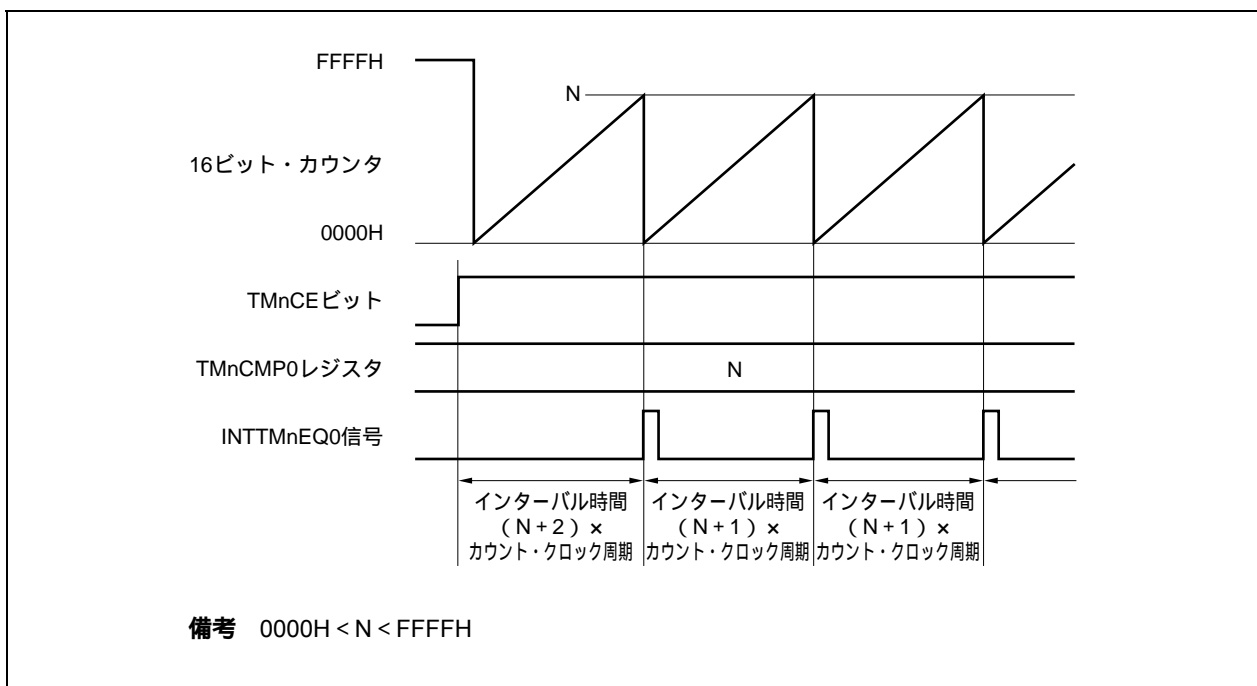
TMnCMP0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTMnEQ0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



## (b) TMnCMP0レジスタにNを設定した場合の動作

TMnCMP0レジスタにNを設定した場合、16ビット・カウンタはNまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTMnEQ0信号を発生します。



## 9.4.2 注意事項

### (1) カウント開始までの最大時間

TMnCTL0.TMnCEビット = 1としてからカウント開始するまで、選択したカウント・クロックによって次の時間が最大かかります。

選択したカウント・クロック	カウント開始までの最大時間
$f_{XP}$	$2/f_{XP}$
$f_{XP}/2$	$3/f_{XP}$
$f_{XP}/4$	$6/f_{XP}$
$f_{XP}/64$	$128/f_{XP}$
$f_{XP}/512$	$1024/f_{XP}$
INTWT	INTWT信号の2回目の立ち上がり
$f_R/8$	$16/f_R$
$f_{XT}$	$2/f_{XT}$
$f_{BRG}$	$2/f_{BRG}$
INTTM0EQ0	INTTM0EQ0信号の2回目の立ち上がり
INTTM1EQ0	INTTM1EQ0信号の2回目の立ち上がり

**備考1.**  $f_{XP}$  : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき,  $f_{XP} = f_{XX}$

クロック・モード2のとき,  $f_{XP} = f_{XMPLL}/2$  (14.64 ~ 16 MHz)

クロック・モード3のとき,  $f_{XP} = f_{XMPLL}$  (29.28 ~ 32 MHz)

クロック・モード4のとき,  $f_{XP} = f_{XMPLL}/2$  (20.88 ~ 24 MHz)

$f_{XX}$  : メイン・クロック周波数

$f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

$f_{BRG}$  : 時計カウント・クロック周波数

$f_R$  : 内蔵発振クロック周波数

$f_{XT}$  : サブクロック周波数

INTTMaEQ0 : TMMaコンペア一致割り込み要求信号

2.  $a = 0, 1$

### (2) TMnCMP0, TMnCTL0レジスタ設定時の注意

TMnCMP0, TMnCTL0レジスタはTMMn動作中の書き換えは禁止です。

TMnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TMnCTL0.TMnCEビットをクリア(0)してから再設定してください。

**(3) インターバル・タイマ・モード時の注意**

TMnCMP0レジスタには、FFFFHを設定しないでください。

**(4) DMA転送の起動要因の切り替え**

V850E/SJ3-H, V850E/SK3-Hでは、DMA転送の起動要因のINTTM1EQ0信号とINTKR信号、INTTM2EQ0信号とINTP8信号が兼用になっており、同時には使用できません。INTTM1EQ0信号またはINTTM2EQ0信号をDMA転送の起動要因として使用するときは、オプション・バイト0000007AH (第33章 オプション・バイト機能参照)のDTFROB0ビット = 1に設定してください。この場合、INTKR信号、INTP8信号はDMA転送の起動要因として使用できません。

**備考** 詳細については、表22 - 1 DMA転送の起動要因を参照してください。

## 第10章 時計機能

第10章では、プリスケアラ3、時計タイマ、リアルタイム・カウンタ (RTC) について説明します。タイマMについては、第9章 16ビット・インターバル・タイマM (TMM) を参照してください。

### 10.1 概要

V850E/SJ3-H, V850E/SK3-Hでは、時計機能を実現する手段として、次の4つがあります。

#### (1) 時計タイマ

メイン発振クロック ( $f_x$ ) またはサブクロック ( $f_{XT}$ ) を使用することで、0.5秒または0.25秒の時間間隔で割り込み要求信号 (INTWT) を発生します。メイン発振クロック ( $f_x$ ) を使用する場合、プリスケアラ3で32.768 kHzまで分周し、カウント・クロックとして選択します。

#### (2) 時計タイマ + タイマM0 (TMM0)

メイン発振クロック ( $f_x$ ) をプリスケアラ3、時計タイマ、TMM0で分周し、0.5秒または0.25秒の時間間隔で割り込み要求信号 (INTTMM0EQ0) を発生します。32.768 kHzを必要としないことが特徴で、任意の周波数のメイン発振クロック ( $f_x$ ) から時計機能を実現できます。

#### (3) リアルタイム・カウンタ (RTC)

年、月、曜日、日、時、分、秒、サブカウンタを持ち、99年までをカウント可能で、年、月、曜日、日、時、分、秒カウンタはBCDコード<sup>注</sup>で表示されます。また、任意の曜日、時間、分に割り込みを発生するアラーム割り込み信号 (INTRTC1) や、1ヶ月から0.5秒までの定周期割り込み信号 (INTRTC0) に対応しています。

カウント・クロックとして、メイン発振クロック ( $f_x$ ) またはサブクロック ( $f_{XT}$ ) を使用できます。メイン発振クロック ( $f_x$ ) を使用する場合、プリスケアラ3で32.768 kHzまで分周し、カウント・クロックとして選択します。

#### (4) タイマM1、タイマM2 (TMM1, TMM2)

メイン発振クロック ( $f_x$ ) をプリスケアラ3と、TMM1またはTMM2で分周し、0.5秒または0.25秒の時間間隔で割り込み要求信号 (INTTMMnEQ0) を発生します。32.768 kHzを必要としないことが特徴で、任意の周波数のメイン発振クロック ( $f_x$ ) から時計機能を実現できます。

**注** BCDコード (Binary Coded Decimal) とは、10進数の各桁の値を4ビットの2進数で表現したものです。

**備考1.** 上記 (1)、(2) はV850ES/SG3, V850ES/SJ3と互換性を持ちます。

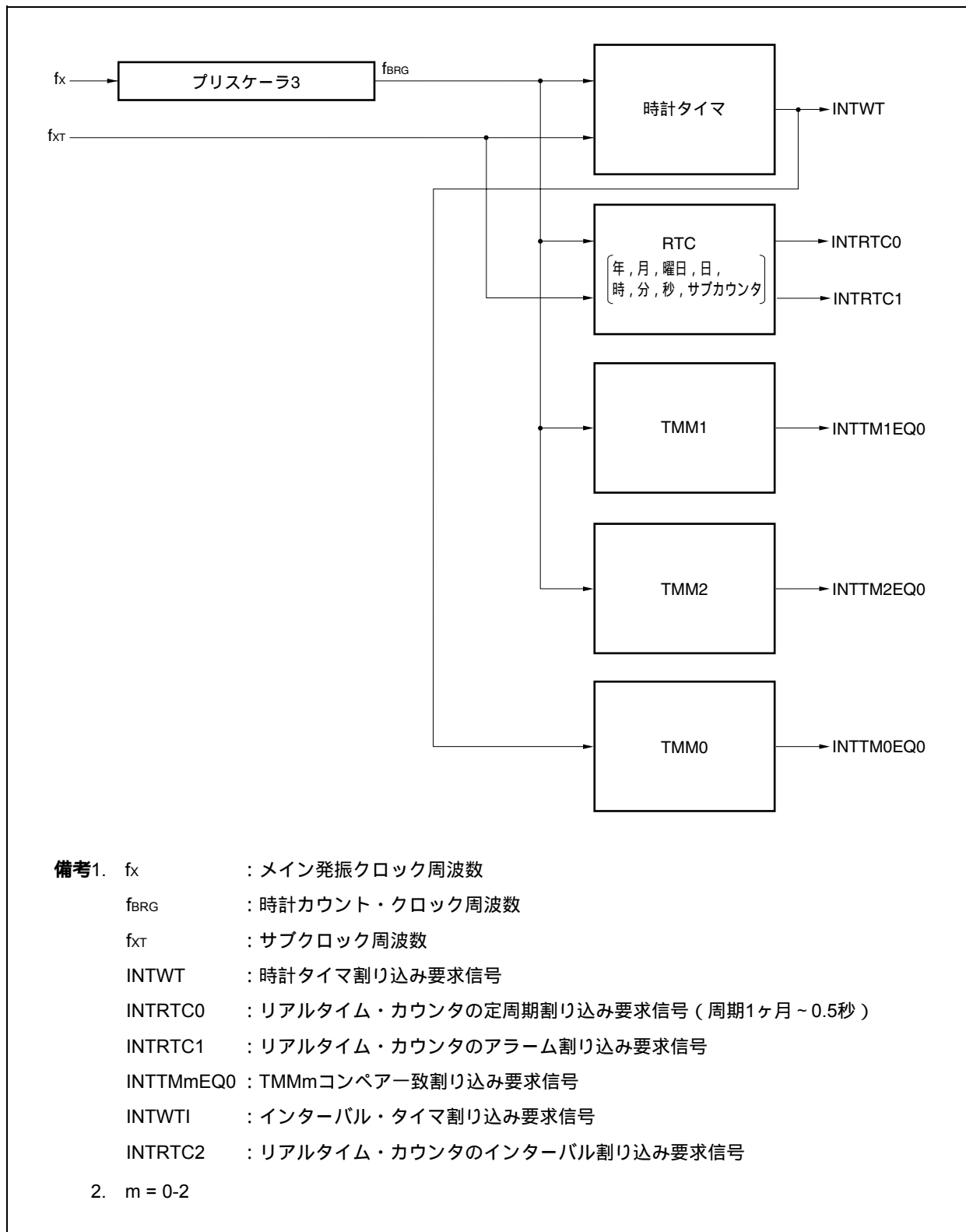
2. メイン発振クロック ( $f_x$ ) をカウント・クロックに使用する場合、低消費電流を実現するスタンバイ・モードとしては、IDLE2モードを使用します。IDLE2モードでは、メイン発振クロック ( $f_x$ ) が継続するので、スタンバイ中でも時計機能を継続できます。

3.  $n = 1, 2$

## 10.2 構 成

次に時計機能のブロック図を示します。

図10 - 1 時計機能のブロック図





## 10.3 プリスケーラ3

### 10.3.1 機能

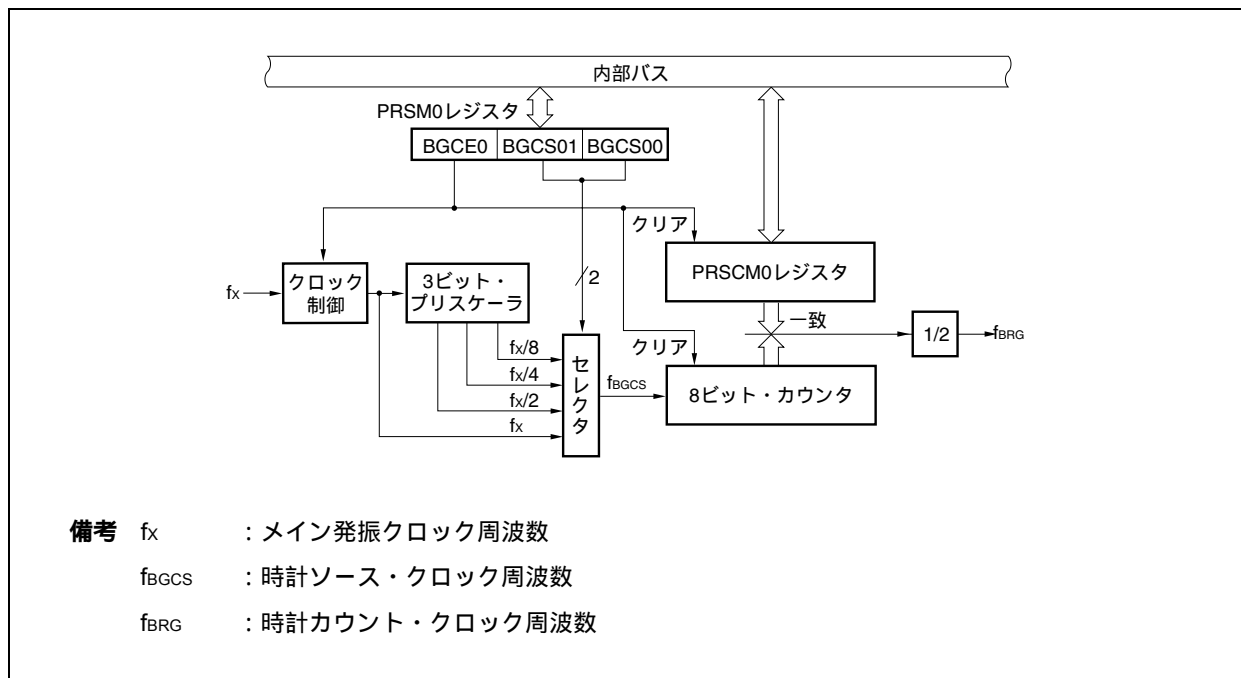
メイン発振クロック( $f_x$ )を分周し,時計タイマやリアルタイム・カウンタのカウント・クロック(32.768 kHz)を生成します。

また, TMM1, TMM2との組み合わせ,または時計タイマとTMM0との組み合わせにより,任意の周波数のメイン発振クロック( $f_x$ )から時計機能に必要な0.5秒または0.25秒の時間間隔の割り込み要求信号(INTTMMEQ0)を発生します( $m = 0-2$ )。

### 10.3.2 構成

次にプリスケーラ3のブロック図を示します。

図10-2 プリスケーラ3のブロック図



#### (1) クロック制御

メイン発振クロック( $f_x$ )の供給/停止を制御します。

#### (2) 3ビット・プリスケーラ

$f_x$ を分周して, $f_x/2$ ,  $f_x/4$ ,  $f_x/8$ を生成します。

#### (3) 8ビット・カウンタ

時計ソース・クロック( $f_{BGCS}$ )をカウントする8ビットのカウンタです。

#### (4) PRSCM0 レジスタ

$f_{BRG}$ のインターバル時間を設定する8ビットのコンペア・レジスタです。

#### (5) PRSM0 レジスタ

時計タイマへのクロック供給の制御と時計ソース・クロック( $f_{BGCS}$ )を選択するレジスタです。

### 10.3.3 レジスタ

プリスケラ3には次のレジスタがあります。

- ・プリスケラ・モード・レジスタ0 (PRSM0)
- ・プリスケラ・コンペア・レジスタ0 (PRSCM0)

#### (1) プリスケラ・モード・レジスタ0 (PRSM0)

PRSM0レジスタは、時計タイマのカウント・クロックの生成を制御します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : FFFFF8B0H

	7	6	5	④	3	2	1	0
PRSM0	0	0	0	BGCE0	0	0	BGCS01	BGCS00

BGCE0	メイン・クロックでの動作許可	
0	禁止	
1	許可	

BGCS01	BGCS00	時計ソース・クロック ( $f_{BGCS}$ ) の選択		
			5 MHz	4 MHz
0	0	fx	200 ns	250 ns
0	1	fx/2	400 ns	500 ns
1	0	fx/4	800 ns	1 $\mu$ s
1	1	fx/8	1.6 $\mu$ s	2 $\mu$ s

- 注意1. 時計タイマ動作中に、BGCS01, BGCS00ビットの値を変更しないでください。
- PRSM0レジスタの設定はBGCE0ビットをセット(1)する前に行ってください。
  - 時計タイマやリアルタイム・カウンタ(RTC)により、時計機能を実現するには、 $f_{BRG}$ の周波数が32.768 kHzとなるよう、使用するメイン発振クロック周波数(fx)にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。
  - ビット2, 3, 5-7には必ず0を設定してください。

## (2) プリスケアラ・コンペア・レジスタ 0 (PRSCM0)

8ビットのコンペア・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM0	PRSCM07	PRSCM06	PRSCM05	PRSCM04	PRSCM03	PRSCM02	PRSCM01	PRSCM00

**注意1.** 時計タイマ動作中にPRSCM0レジスタを書き換えしないでください。

2. PRSM0.BGCE0ビットをセット(1)する前にPRSCM0レジスタの設定を行ってください。

3. 時計タイマやリアルタイム・カウンタ (RTC) により、時計機能を実現するには、 $f_{BRG}$ の周波数が32.768 kHzとなるよう、使用するメイン発振クロック周波数 ( $f_x$ ) にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。

$f_{BRG}$ の計算式を次に示します。

$$f_{BRG} = f_{BGCS}/2N$$

**備考**  $f_{BGCS}$  : PRSM0レジスタで設定した時計ソース・クロック

N : PRSCM0レジスタの設定値 = 1-256

ただし、N = 256となるのは、PRSCM0レジスタに00Hを設定した場合です。

例  $f_x = 3.997696$  MHzの場合

N = 61 (PRSCM0レジスタの設定値 = 3DH)

$f_{BGCS} = f_x = 3.997696$  MHz (PRSM0レジスタの設定値 = 10H)

$f_{BRG} = 3.997696 / (2 \times 61)$

= 32.768 [ kHz ]

## 10.4 時計タイマ機能

### 10.4.1 機能

時計タイマには、次のような機能があります。

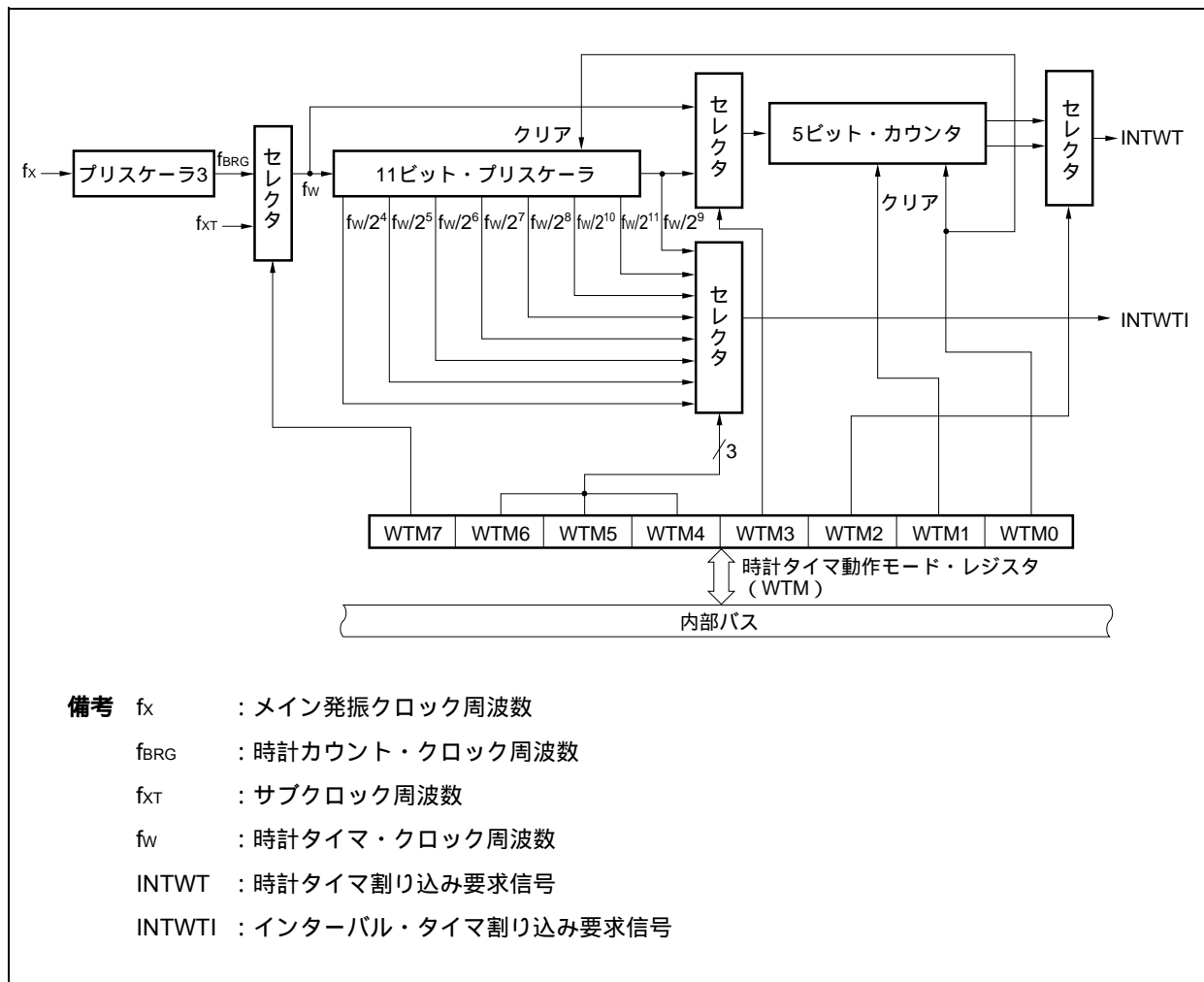
- ・時計タイマ : メイン発振クロック ( $f_x$ ) またはサブクロック ( $f_{XT}$ ) を使用することで、0.5秒または0.25秒の時間間隔で割り込み要求信号 (INTWT) を発生します。
- ・インターバル・タイマ : あらかじめ設定した時間間隔で割り込み要求信号 (INTWTI) を発生します。

時計タイマとインターバル・タイマは、同時に使用できます。

## 10.4.2 構 成

次に時計タイマのブロック図を示します。

図10-3 時計タイマのブロック図



**(1) 11 ビット・プリスケアラ**

$f_w$ を分周して、 $f_w/2^4$ - $f_w/2^{11}$ のクロックを生成します。

**(2) 5 ビット・カウンタ**

$f_w$ または $f_w/2^9$ をカウントして、 $2^4/f_w$ 、 $2^5/f_w$ 、 $2^{13}/f_w$ または $2^{14}/f_w$ ごとに時計タイマ割り込み要求信号 (INTWT) を発生します。

**(3) セレクタ**

時計タイマには、次の4つのセレクタがあります。

- ・時計タイマのクロックとして、メイン発振クロック ( $f_x$ ) かサブクロック ( $f_{XT}$ ) かを選択します。
- ・5ビット・カウンタのカウント・クロック周波数として、 $f_w$ か $f_w/2^9$ かを選択します。
- ・INTWT信号発生時間間隔として、 $2^4/f_w$ または $2^{13}/f_w$ か、 $2^5/f_w$ または $2^{14}/f_w$ かを選択します。
- ・インターバル・タイマ割り込み要求信号 (INTWTI) 発生時間間隔として、 $2^4/f_w$ - $2^{11}/f_w$ から選択します。

**(4) WTM レジスタ**

時計タイマ/インターバル・タイマの動作制御や割り込み要求信号発生間隔を設定する8ビットのレジスタです。

### 10.4.3 レジスタ

時計タイマには次のレジスタがあります。

- ・時計タイマ動作モード・レジスタ (WTM)
- ・プリスケアラ・モード・レジスタ0 (PRSM0)
- ・プリスケアラ・コンペア・レジスタ0 (PRSCM0)

#### (1) 時計タイマ動作モード・レジスタ (WTM)

時計タイマのカウンタ・クロックおよび動作の許可 / 禁止, プリスケアラのインターバル時間, 5ビット・カウンタの動作制御および時計フラグのセット時間を設定するレジスタです。

WTMレジスタを設定する前にPRSM0レジスタを設定してください。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

( 1/2 )

リセット時 : 00H    R/W    アドレス : FFFFFFF680H								
WTM	7	6	5	4	3	2	①	②
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0
	WTM7	WTM6	WTM5	WTM4	プリスケアラのインターバル時間の選択			
	0	0	0	0	$2^4/f_w$ ( 488 $\mu$ s : $f_w = f_{XT}$ )			
	0	0	0	1	$2^5/f_w$ ( 977 $\mu$ s : $f_w = f_{XT}$ )			
	0	0	1	0	$2^6/f_w$ ( 1.95 ms : $f_w = f_{XT}$ )			
	0	0	1	1	$2^7/f_w$ ( 3.91 ms : $f_w = f_{XT}$ )			
	0	1	0	0	$2^8/f_w$ ( 7.81 ms : $f_w = f_{XT}$ )			
	0	1	0	1	$2^9/f_w$ ( 15.6 ms : $f_w = f_{XT}$ )			
	0	1	1	0	$2^{10}/f_w$ ( 31.3 ms : $f_w = f_{XT}$ )			
	0	1	1	1	$2^{11}/f_w$ ( 62.5 ms : $f_w = f_{XT}$ )			
	1	0	0	0	$2^4/f_w$ ( 488 $\mu$ s : $f_w = f_{BRG}$ )			
	1	0	0	1	$2^5/f_w$ ( 977 $\mu$ s : $f_w = f_{BRG}$ )			
	1	0	1	0	$2^6/f_w$ ( 1.95 ms : $f_w = f_{BRG}$ )			
	1	0	1	1	$2^7/f_w$ ( 3.91 ms : $f_w = f_{BRG}$ )			
	1	1	0	0	$2^8/f_w$ ( 7.81 ms : $f_w = f_{BRG}$ )			
	1	1	0	1	$2^9/f_w$ ( 15.6 ms : $f_w = f_{BRG}$ )			
	1	1	1	0	$2^{10}/f_w$ ( 31.3 ms : $f_w = f_{BRG}$ )			
	1	1	1	1	$2^{11}/f_w$ ( 62.5 ms : $f_w = f_{BRG}$ )			

(2/2)

WTM7	WTM3	WTM2	時計用フラグのセット時間の選択
0	0	0	$2^{14}/f_w$ (0.5 s : $f_w = f_{XT}$ )
0	0	1	$2^{13}/f_w$ (0.25 s : $f_w = f_{XT}$ )
0	1	0	$2^5/f_w$ (977 $\mu$ s : $f_w = f_{XT}$ )
0	1	1	$2^4/f_w$ (488 $\mu$ s : $f_w = f_{XT}$ )
1	0	0	$2^{14}/f_w$ (0.5 s : $f_w = f_{BRG}$ )
1	0	1	$2^{13}/f_w$ (0.25 s : $f_w = f_{BRG}$ )
1	1	0	$2^5/f_w$ (977 $\mu$ s : $f_w = f_{BRG}$ )
1	1	1	$2^4/f_w$ (488 $\mu$ s : $f_w = f_{BRG}$ )

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケラ, 5ビット・カウンタともにクリア)
1	動作許可

**注意** WTM2-WTM7ビットを書き換える場合は, WTM0, WTM1ビットがともに0の状態で行ってください。

- 備考**1.  $f_w$  : 時計タイマ・クロック周波数  
 2. ( ) 内は,  $f_w = 32.768$  kHz動作時

## (2) プリスケラ・モード・レジスタ0 (PRSM0)

詳細は, 10.3.3(1) プリスケラ・モード・レジスタ0 (PRSM0) を参照してください。

## (3) プリスケラ・コンペア・レジスタ0 (PRSCM0)

詳細は, 10.3.3(2) プリスケラ・コンペア・レジスタ0 (PRSCM0) を参照してください。



## 10.4.4 動作

### (1) 時計タイマとしての動作

時計タイマは、一定の時間間隔ごとに割り込み要求信号 (INTWT) を発生します。

サブクロック ( $f_{XT}$ ) (32.768 kHz) またはメイン発振クロック ( $f_x$ ) を使用して、0.25秒または0.5秒の時間間隔の時計タイマとして動作します。

WTM.WTM1, WTM0ビットに“11”を設定するとカウント動作がスタートします。WTM0ビットに0を設定すると11ビット・プリスケアラと5ビット・カウンタがクリアされ、カウント動作が停止します。

時計タイマをインターバル・タイマと同時に動作させているとき、WTM1ビットをクリア (0) して5ビット・カウンタをクリアすることにより、時刻合わせができます。このとき、インターバル・タイマには影響はありませんが、時計タイマは最大で15.6 msの誤差が発生することがあります。

時計タイマのカウント・クロックとしてメイン発振クロック ( $f_x$ ) を使用するときは、PRSM0.BGCS01, BGCS00ビットでカウント・クロックを、PRSCM0レジスタで8ビットのコンペア値を設定し、時計タイマのカウント・クロック周波数 ( $f_{BRG}$ ) が32.768 kHzになるようにしてください。

PRSM0.BGCE0ビットをセット (1) すると、時計タイマに $f_{BRG}$ を供給します。

### (a) 動作フロー

次に動作開始フローと動作停止フローを示します。

図10 - 4 動作開始フロー

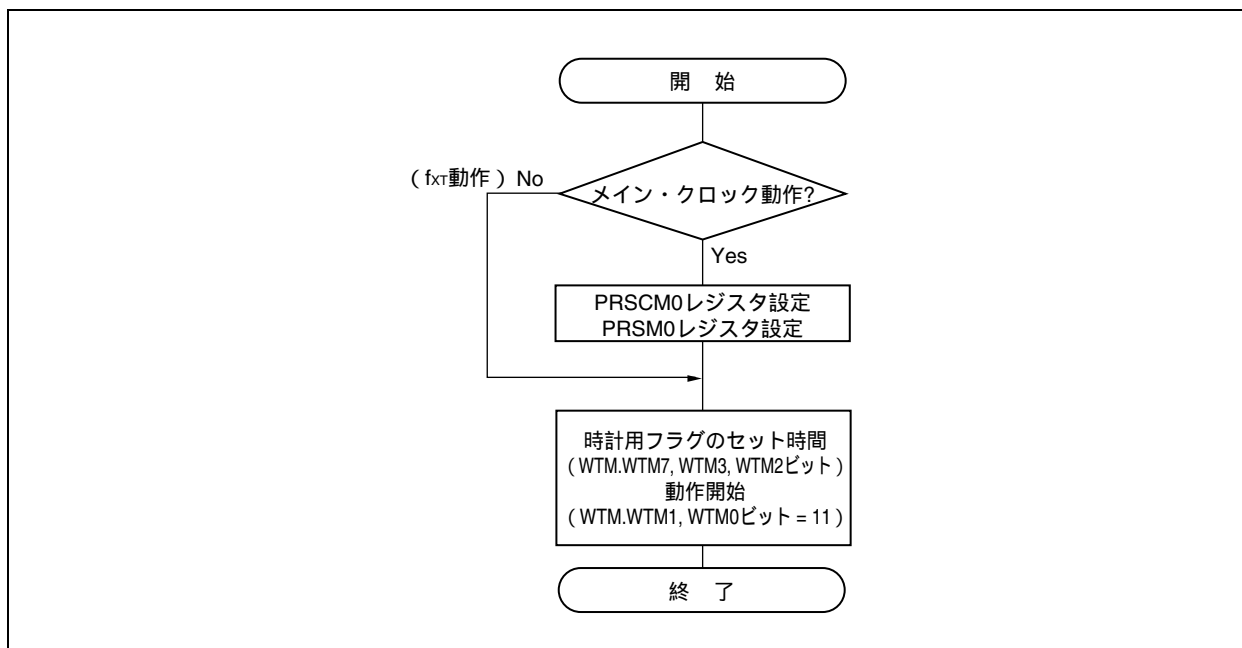
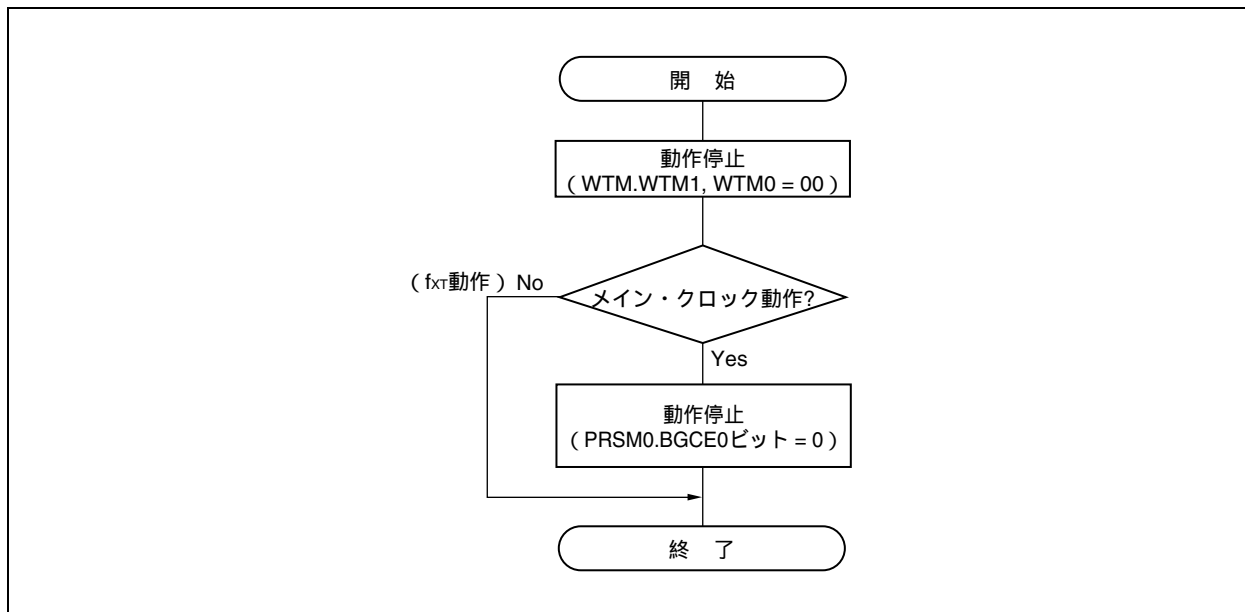


図10 - 5 動作停止フロー



## (2) インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求信号 (INTWTI) を発生するインターバル・タイマとして動作します。

WTM.WTM4-WTM7ビットにより、インターバル時間を選択できます。

表10 - 1 インターバル・タイマのインターバル時間

WTM7	WTM6	WTM5	WTM4	インターバル時間	
0	0	0	0	$2^4 \times 1/f_w$	488 $\mu$ s ( $f_w = f_{XT} = 32.768$ kHz動作時 )
0	0	0	1	$2^5 \times 1/f_w$	977 $\mu$ s ( $f_w = f_{XT} = 32.768$ kHz動作時 )
0	0	1	0	$2^6 \times 1/f_w$	1.95 ms ( $f_w = f_{XT} = 32.768$ kHz動作時 )
0	0	1	1	$2^7 \times 1/f_w$	3.91 ms ( $f_w = f_{XT} = 32.768$ kHz動作時 )
0	1	0	0	$2^8 \times 1/f_w$	7.81 ms ( $f_w = f_{XT} = 32.768$ kHz動作時 )
0	1	0	1	$2^9 \times 1/f_w$	15.6 ms ( $f_w = f_{XT} = 32.768$ kHz動作時 )
0	1	1	0	$2^{10} \times 1/f_w$	31.3 ms ( $f_w = f_{XT} = 32.768$ kHz動作時 )
0	1	1	1	$2^{11} \times 1/f_w$	62.5 ms ( $f_w = f_{XT} = 32.768$ kHz動作時 )
1	0	0	0	$2^4 \times 1/f_w$	488 $\mu$ s ( $f_w = f_{BRG} = 32.768$ kHz動作時 )
1	0	0	1	$2^5 \times 1/f_w$	977 $\mu$ s ( $f_w = f_{BRG} = 32.768$ kHz動作時 )
1	0	1	0	$2^6 \times 1/f_w$	1.95 ms ( $f_w = f_{BRG} = 32.768$ kHz動作時 )
1	0	1	1	$2^7 \times 1/f_w$	3.91 ms ( $f_w = f_{BRG} = 32.768$ kHz動作時 )
1	1	0	0	$2^8 \times 1/f_w$	7.81 ms ( $f_w = f_{BRG} = 32.768$ kHz動作時 )
1	1	0	1	$2^9 \times 1/f_w$	15.6 ms ( $f_w = f_{BRG} = 32.768$ kHz動作時 )
1	1	1	0	$2^{10} \times 1/f_w$	31.3 ms ( $f_w = f_{BRG} = 32.768$ kHz動作時 )
1	1	1	1	$2^{11} \times 1/f_w$	62.5 ms ( $f_w = f_{BRG} = 32.768$ kHz動作時 )

備考  $f_w$  : 時計タイマ・クロック周波数

(a) 動作フロー

次に動作開始フローと動作停止フローを示します。

図10 - 6 動作開始フロー

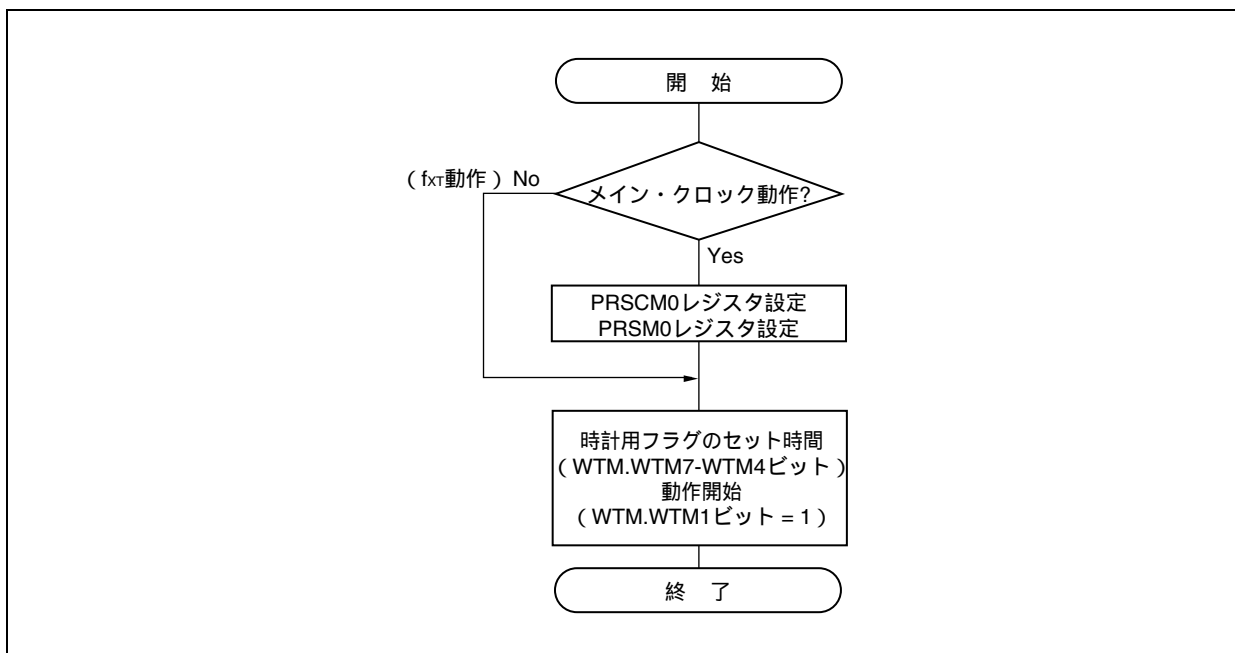


図10 - 7 動作停止フロー

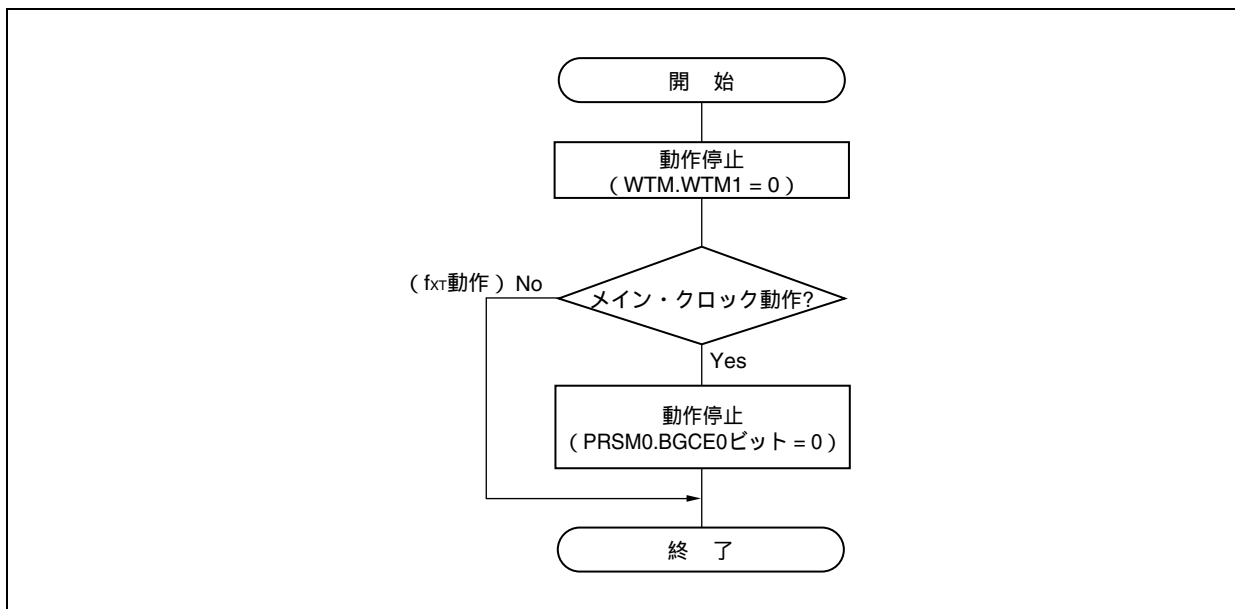
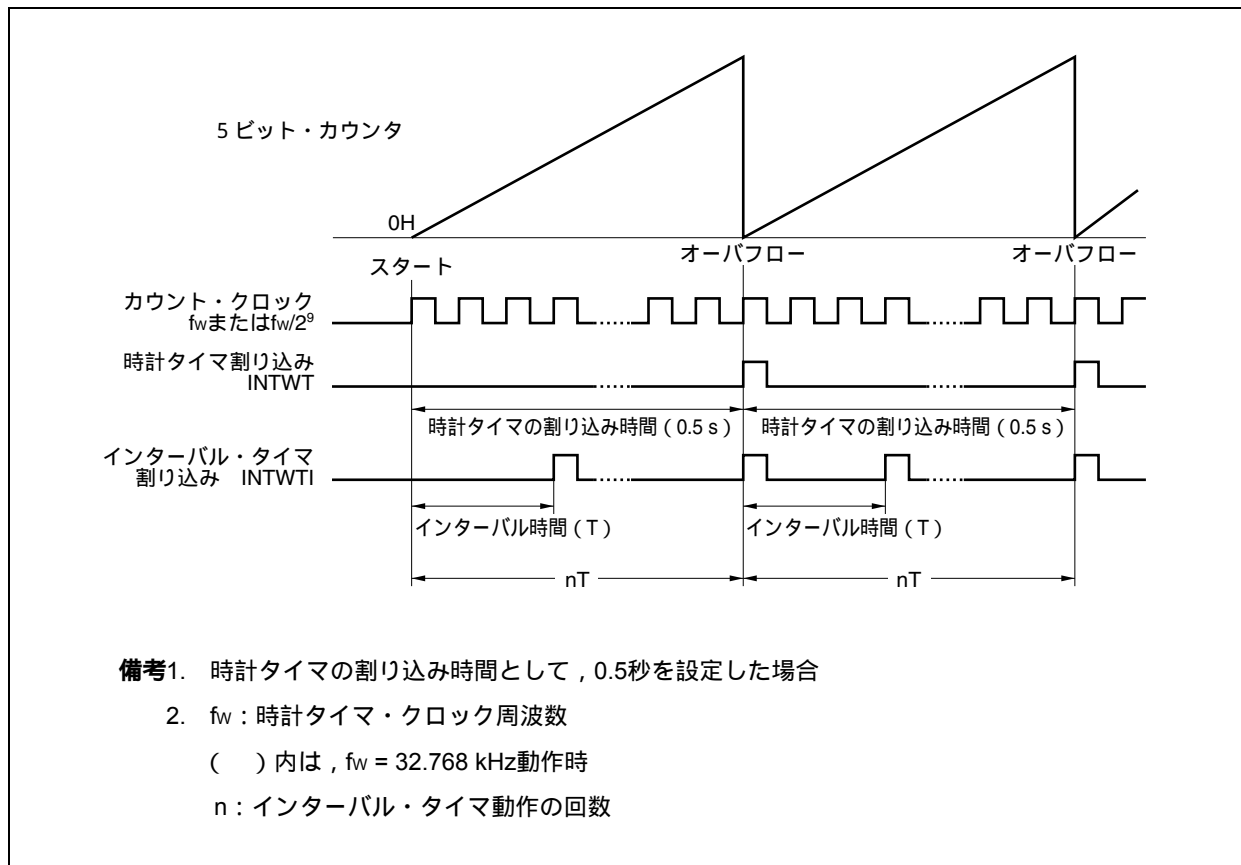


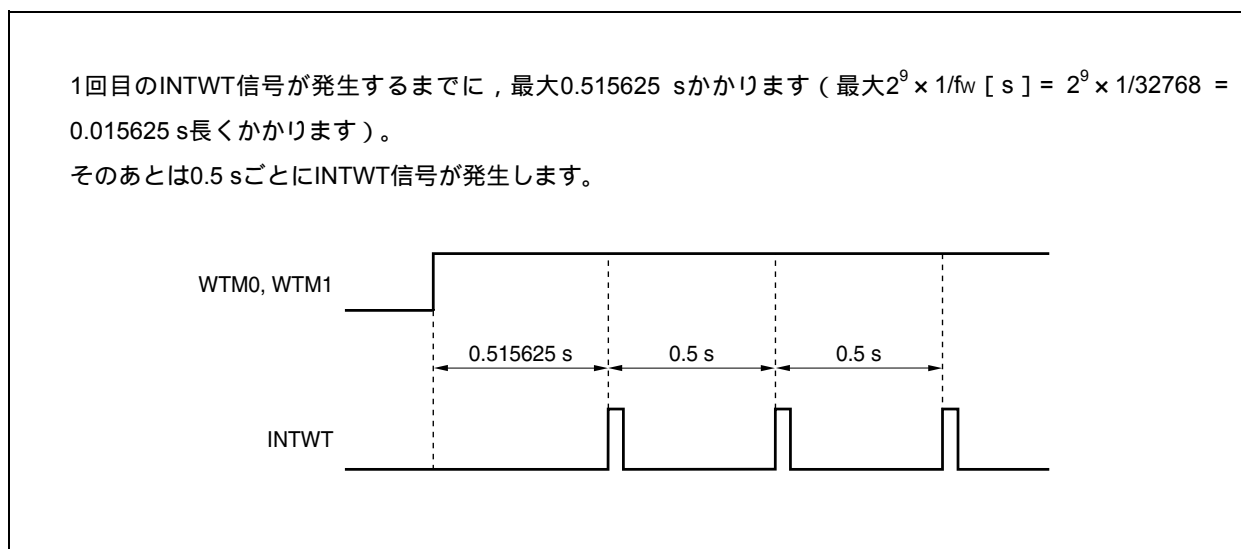
図10 - 8 時計タイマ/インターバル・タイマの動作タイミング



## (3) 注意事項

動作許可 (WTM.WTM1, WTM0ビット = 1) してから、最初の1回目の時計タイマ割り込み要求信号 (INTWT) が発生するまで多少時間がかかります。

図10 - 9 時計タイマ割り込み要求信号 (INTWT) の発生例 (割り込み周期 = 0.5 sの場合)



## 10.5 リアルタイム・カウンタ (RTC)

### 10.5.1 機能

リアルタイム・カウンタ (RTC) には、次のような機能があります。

- ・年, 月, 曜日, 日, 時, 分, 秒, サブカウンタを持ち, 99年までをカウント可能
- ・年, 月, 曜日, 日, 時, 分, 秒カウンタはBCDコード<sup>注1</sup>で表示。
- ・アラーム割り込み機能
- ・定周期割り込み機能 (周期1ヶ月 ~ 0.5秒)
- ・インターバル割り込み機能 (周期1.95 ms ~ 125 ms)
- ・1 Hzの端子出力機能
- ・32.768 kHzの端子出力機能
- ・512 Hzまたは16.384 kHzの端子出力機能
- ・時計誤差補正機能
- ・サブクロック動作 / メイン・クロック動作<sup>注2</sup>選択可能

- 注1. BCDコード (Binary Coded Decimal) とは, 10進数の各桁の値を4ビットの2進数で表現したものです。
2. リアルタイム・カウンタ専用ポー・レート・ジェネレータにて, メイン・クロックを32.768 kHzに分周して使用してください。

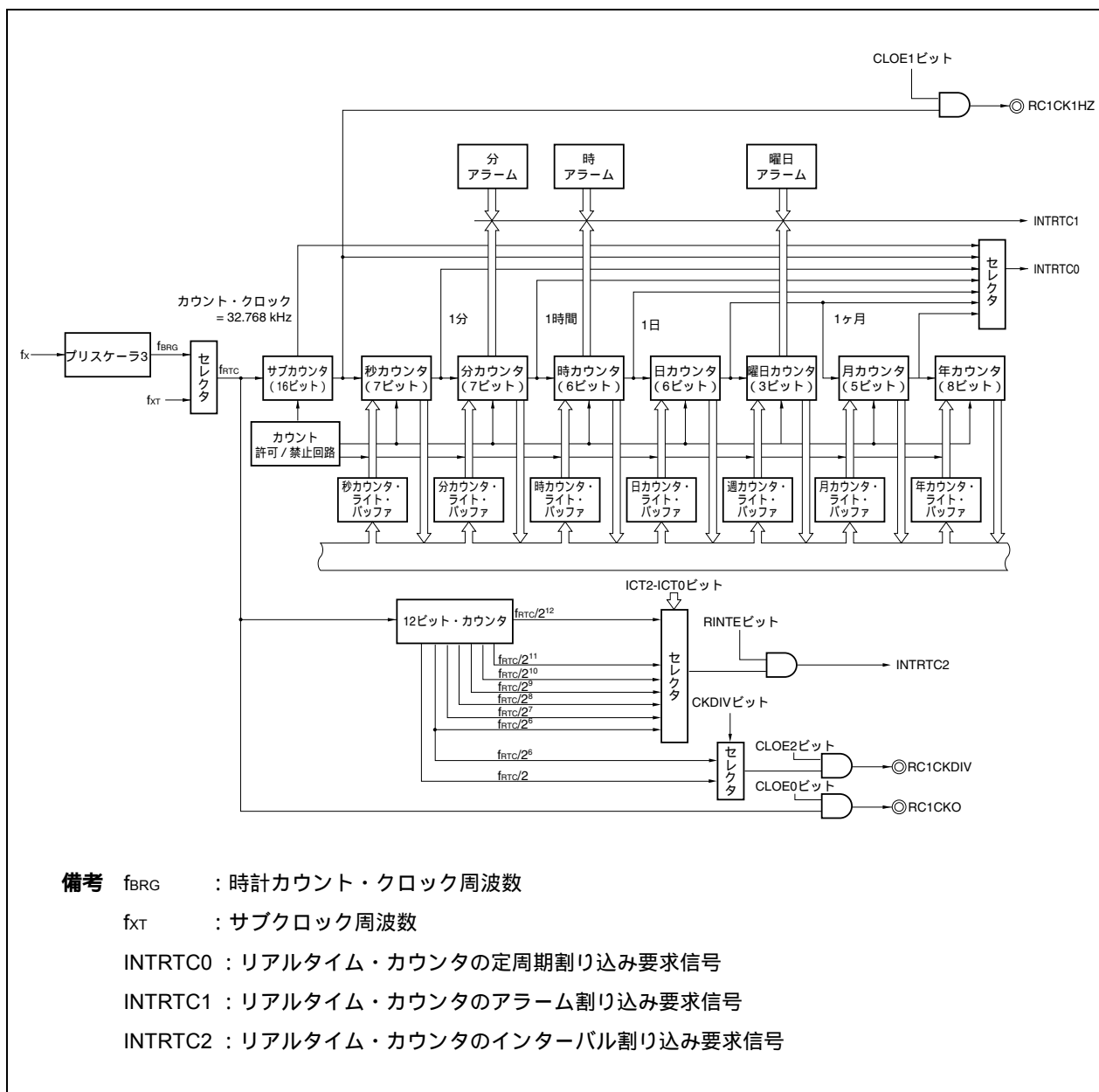
## 10.5.2 構成

リアルタイム・カウンタは、次のハードウェアで構成されています。

表10 - 2 リアルタイム・カウンタの構成

項 目	構 成
制御レジスタ	リアルタイム・カウンタ・コントロール・レジスタ0 (RC1CC0)
	リアルタイム・カウンタ・コントロール・レジスタ1 (RC1CC1)
	リアルタイム・カウンタ・コントロール・レジスタ2 (RC1CC2)
	リアルタイム・カウンタ・コントロール・レジスタ3 (RC1CC3)
	サブカウント・レジスタ (RC1SUBC)
	秒カウント・レジスタ (RC1SEC)
	分カウント・レジスタ (RC1MIN)
	時カウント・レジスタ (RC1HOUR)
	日カウント・レジスタ (RC1DAY)
	曜日カウント・レジスタ (RC1WEEK)
	月カウント・レジスタ (RC1MONTH)
	年カウント・レジスタ (RC1YEAR)
	時計誤差補正レジスタ (RC1SUBU)
	アラーム分設定レジスタ (RC1ALM)
	アラーム時設定レジスタ (RC1ALH)
	アラーム曜日設定レジスタ (RC1ALW)

図10 - 10 リアルタイム・カウンタのブロック図



**(1) 端子の構成**

リアルタイム・カウンタを構成するRTC出力は、表10 - 3のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります(表4 - 25 **ポート端子を兼用端子として使用する場合参照**)。

表10 - 3 端子構成

ピン番号		ポート	RTC出力	その他の兼用機能
V850E/SJ3-H	V850E/SK3-H			
59	71	P80	RC1CK1HZ	RXDA3/INTP8
60	72	P81	RC1CKDIV	TXDA3/RC1CKO
60	72	P81	RC1CKO	TXDA3/RC1CKDIV

**(2) 割り込み機能**

RTCには3種類の割り込み要求信号があります。

**(a) INTRTC0**

0.5秒 / 1秒 / 1分 / 1時間 / 1日 / 1ヶ月に一度の定周期割り込み要求信号を発生します。

**(b) INTRTC1**

アラーム割り込み要求信号

**(c) INTRTC2**

$f_{RTC}/2^6 / f_{RTC}/2^7 / f_{RTC}/2^8 / f_{RTC}/2^9 / f_{RTC}/2^{10} / f_{RTC}/2^{11} / f_{RTC}/2^{12}$ 周期のインターバル割り込み要求信号を発生します。



### 10.5.3 レジスタ

リアルタイム・カウンタは、次の16種類のレジスタで制御します。

#### (1) リアルタイム・カウンタ・コントロール・レジスタ0 (RC1CC0)

リアルタイム・カウンタの入カクロックを選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFFADDH

	⑦	6	5	4	3	2	1	0
RC1CC0	RC1PWR	RC1CKS	0	0	0	0	0	0

RC1PWR	リアルタイム・カウンタの動作の制御
0	リアルタイム・カウンタ動作停止
1	リアルタイム・カウンタ動作許可

RC1CKS	動作クロックの選択
0	f <sub>XT</sub> を動作クロックとして選択
1	f <sub>BRG</sub> を動作クロックとして選択

- 注意1.** 動作中のリアルタイム・カウンタを停止 (RC1PWRビット = 1→0) させる場合は、10.5.4 (8) リアルタイム・カウンタの初期化にそって行ってください。
2. RC1CKSビットの書き換えは、リアルタイム・カウンタ動作停止時 (RC1PWRビット = 0) のみ可能です。また、RC1PWRビットを“0”から“1”にするのと同時にRC1CKSビットを書き換えることは禁止です。
3. ビット0-5には必ず0を設定してください。

#### (2) リアルタイム・カウンタ・コントロール・レジスタ1 (RC1CC1)

リアルタイム・カウンタ動作の開始/停止、RC1CKO端子/RC1CK1HZ端子の制御、12/24時間制、定周期割り込み機能を設定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFFADEH

	⑦	6	⑤	④	③	2	1	0
RC1CC1	RTCE	0	CLOE1	CLOE0 <sup>注</sup>	AMPM	CT2	CT1	CT0

RTCE	各カウンタの動作の制御
0	カウンタ動作停止
1	カウンタ動作許可

CLOE1	RC1CK1HZ端子の出力制御
0	RC1CK1HZ端子の出力 (1 Hz) 禁止
1	RC1CK1HZ端子の出力 (1 Hz) 許可

CLOE0 <sup>注</sup>	RC1CKO端子の出力制御
0	RC1CKO端子の出力 (32.768 kHz) 禁止
1	RC1CKO端子の出力 (32.768 kHz) 許可

AMPM	12時間制 / 24時間制の選択
0	12時間制表示 (午前 / 午後を表示)
1	24時間制表示

CT2	CT1	CT0	定周期割り込み (INTRTC0) の選択
0	0	0	定周期割り込みを使用しない
0	0	1	0.5秒に1度 (秒カウント・アップに同期)
0	1	0	1秒に1度 (秒カウント・アップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	x	1月に1度 (毎月1日午前00時00分00秒)

**注** RC1CKDIV端子とRC1CKO端子は兼用となっています。RC1CKDIV端子として使用する場合は、兼用しているRC1CKO端子の出力を禁止にしてください (RC1CC1.CLOE0ビット = 0に設定)。また、RC1CKO端子として使用する場合は、RC1CKDIV端子の出力を禁止にしてください (RC1CC3.CLOE2ビット = 0)。

- 注意** 1. RTCEビット = 1の状態ではRTCEビットに“0”を書き込むことは禁止です。  
10. 5. 4 (8) リアルタイム・カウンタの初期化にそってRC1PWRビットをクリア (0) することでRTCEビットをクリア (0) してください。
2. CLOE1ビットの設定変更時、RC1CK1HZ出力は次のように動作します。  
・0 1に変更した場合：最大2クロック後に、RC1CK1HZ出力は1 Hzのパルスを出力  
・1 0に変更した場合：最大2クロック後に、RC1CK1HZ出力は出力停止 (ロウ・レベル固定)。
3. AMPMビットの設定 / 変更は、10. 5. 4 (1) 初期設定、10. 5. 4 (2) クロック動作中の各カウンタの書き換えを参照してください。また、AMPMビットを書き換えた場合は、RC1HOURレジスタを再設定してください。
4. リアルタイム・カウンタ動作中 (RC1PWRビット = 1) にCT2-CT0ビットを書き換える場合は、10. 5. 4 (4) クロック動作中のINTRTC0割り込み設定の変更を参照してください。
5. ビット6には必ず0を設定してください。

## (3) リアルタイム・カウンタ・コントロール・レジスタ2 (RC1CC2)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより，00Hになります。

リセット時：00H R/W アドレス：FFFFFADF<sub>H</sub>

	⑦	6	5	4	3	2	①	0
RC1CC2	WALE	0	0	0	0	0	RWST	RWAIT

WALE	アラーム割り込み (INTRTC1) の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

RWST	リアルタイム・カウンタのウェイト状態
0	カウンタ動作中
1	秒～年カウンタのカウント・アップ停止状態 (カウンタ値の読み出し，書き込み許可状態)

RWAITビットの設定が有効であることを示すステータス・フラグです。  
カウンタ値の読み出し，書き込みは，RWSTビットが1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・カウンタのウェイト制御
0	カウンタ動作設定
1	秒～年カウンタのカウント動作停止 (カウンタ値の読み出し，書き込みモード)

カウンタの動作を制御します。  
カウンタ値の読み出し，書き込みを行う際には必ず“1”を書き込んでください。  
RWAITビットが“1”のときにRC1SUBCレジスタのオーバーフローが起きた場合は，オーバーフロー情報を内部で保持して，RWAITビットに“0”を書き込んだあと，最大2クロック後にRC1SECレジスタをカウント・アップします。  
ただし，RWAITビット=1中に秒カウンタの値を書き換えた場合，保持していたオーバーフロー情報は破棄されます。

- 注意1.** WALEビットをリアルタイム・カウンタ動作中(RC1CC0.RC1PWRビット = 1)に書き換える場合は，10. 5. 4 (5) クロック動作中のINTRTC1割り込み設定の変更を参照してください。
- 各カウンタ値の読み出し/書き込みを行う場合は，RWSTビットが1になっていることを確認してください。
  - RWAITビットを“0”に設定しても，各カウンタ書き込み中は，RWSTビットは“0”になりません。各カウンタ書き込み完了後に“0”になります。
  - ビット2-6には必ず0を設定してください。

## (4) リアルタイム・カウンタ・コントロール・レジスタ3 (RC1CC3)

インターバル割り込み機能，RC1CKDIV端子を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより，00Hになります。

リセット時：00H R/W アドレス：FFFFFFAE0H

	7	6	5	4	3	2	1	0
RC1CC3	RINTE	CLOE2 <sup>注</sup>	CKDIV	0	0	ICT2	ICT1	ICT0

RINTE	インターバル割り込み (INTRTC2) の制御
0	インターバル割り込みを発生しない
1	インターバル割り込みを発生する

CLOE2 <sup>注</sup>	RC1CKDIV端子の出力制御
0	RC1CKDIV端子の出力禁止
1	RC1CKDIV端子の出力許可

CKDIV	RC1CKDIV端子の出力周波数選択
0	RC1CKDIV端子から512 Hz (1.95 ms) を出力
1	RC1CKDIV端子から16.384 kHz (0.061 ms) を出力

ICT2	ICT1	ICT0	インターバル割り込み (INTRTC2) の選択
0	0	0	$2^6/f_{RTC}$ (1.953125 ms)
0	0	1	$2^7/f_{RTC}$ (3.90625 ms)
0	1	0	$2^8/f_{RTC}$ (7.8125 ms)
0	1	1	$2^9/f_{RTC}$ (15.625 ms)
1	0	0	$2^{10}/f_{RTC}$ (31.25 ms)
1	0	1	$2^{11}/f_{RTC}$ (62.5 ms)
1	1	x	$2^{12}/f_{RTC}$ (125 ms)

注 RC1CKDIV端子とRC1CKO端子は兼用となっています。RC1CKDIV端子として使用する場合は、兼用しているRC1CKO端子の出力を禁止にしてください (RC1CC1.CLOE0ビット = 0に設定)。また、RC1CKO端子として使用する場合は、RC1CKDIV端子の出力を禁止にしてください (RC1CC3.CLOE2ビット = 0)。

- 注意1. RINTEビットをリアルタイム・カウンタ動作中 (RCC1CC0.RC1PWRビット = 1) に書き換える場合は、10. 5. 4 (7) クロック動作中のINTRTC2割り込み設定の変更を参照してください。
2. CLOE2ビットの設定変更時、RC1CKDIV出力は次のように動作します。
- ・ 0 1に変更した場合：最大2クロック後に、CKDIVビットで設定したパルスを出力
  - ・ 1 0に変更した場合：最大2クロック後に、RC1CKDIV出力は出力停止 (ロウ・レベル固定)。
3. リアルタイム・カウンタ動作中 (RC1PWRビット = 1) にICT2-ICT0ビットを書き換える場合は、10. 5. 4 (7) クロック動作中のINTRTC2割り込み設定の変更を参照してください。
4. ビット3, 4には必ず0を設定してください。

**(5) サブカウント・レジスタ (RC1SUBC)**

リアルタイム・カウンタの1秒の基準時間をカウントする16ビットのレジスタです。

0000H-7FFFHまでの値をとり、32.768 kHzのクロックで1秒をカウントします。

16ビット単位でリード可能のみです。

リセットにより、0000Hになります。

- 注意1.** RC1SUBUレジスタにより補正を行う場合は、8000H以上の値になる場合があります。
- 2.** RC1SUBCレジスタは、秒カウント・レジスタへのライトによってもクリアされます。
- 3.** RC1SUBCレジスタの読み出し値は、動作中に読み出しを行った場合、変化中の値を読み出すため、値は保証されません。

リセット時：0000H    R    アドレス： FFFFFAD0H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RC1SUBC																

**(6) 秒カウント・レジスタ (RC1SEC)**

0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。

サブカウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ、最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

**注意** RC1SECレジスタに00-59以外の値を設定することは禁止です。

**備考** RC1SECレジスタのリード/ライトは、必ず10.5.4(1)初期設定、10.5.4(2)クロック動作中の各カウンタの書き換え、10.5.4(3)クロック動作中の各カウンタの読み出しを参照してください。

リセット時：00H    R/W    アドレス： FFFFFAD2H

	7	6	5	4	3	2	1	0
RC1SEC	0							

**(7) 分カウント・レジスタ (RC1MIN)**

0-59 (10進) までの値を取り, 分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

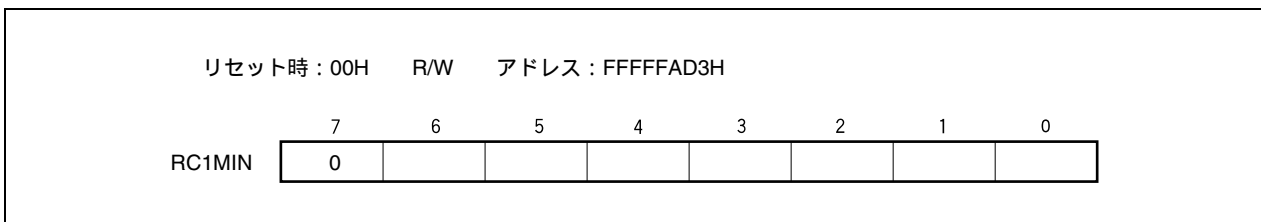
書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後に, カウンタへ書き込まれます。また設定する値は, 10進の00-59をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

**注意** RC1MINレジスタに00-59以外の値を設定することは禁止です。

**備考** RC1MINレジスタのリード/ライトは, 必ず10. 5. 4 (1) 初期設定, 10. 5. 4 (2) クロック動作中の各カウンタの書き換え, 10. 5. 4 (3) クロック動作中の各カウンタの読み出しを参照してください。

**(8) 時カウント・レジスタ (RC1HOUR)**

0-23または1-12 (10進) までの値を取り, 時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込みされます。また設定する値は, 10進の00-23または01-12, 21-32をBCDコードで設定してください。

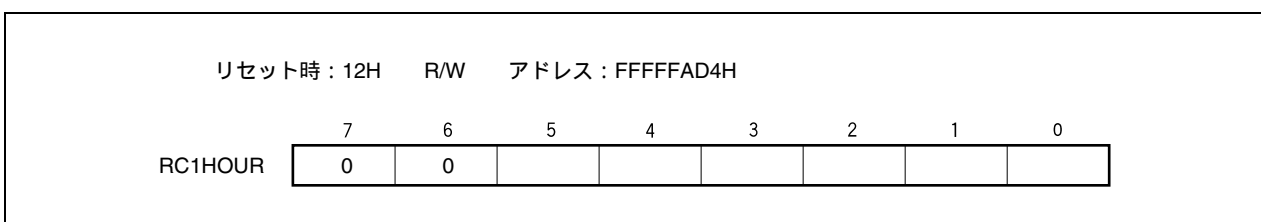
8ビット単位でリード/ライト可能です。

リセットにより, 12Hになります。

ただし, リセット後に, RC1CC1.AMPMビットに1をセットした場合は00Hとなります。

- 注意1.** RC1HOURレジスタのビット5は, RC1CC1.AMPMビット = 0 (12時間制) を選択した場合, AM (0) / PM (1) を示します。
- 2.** RC1HOURレジスタに01-12, 21-32 (AMPMビット = 0), または00-23 (AMPMビット = 1) 以外の値を設定することは禁止です。

**備考** RC1HOURレジスタのリード/ライトは, 必ず10. 5. 4 (1) 初期設定, 10. 5. 4 (2) クロック動作中の各カウンタの書き換え, 10. 5. 4 (3) クロック動作中の各カウンタの読み出しを参照してください。



RC1CC1.AMPMビットの設定値とRC1HOURレジスタの値と時間の関係を表10 - 4に示します。

表10 - 4 時間桁表示表

12時間表示 (AMPMビット = 0)		24時間表示 (AMPMビット = 1)	
時間	RC1HOURレジスタの値	時間	RC1HOURレジスタの値
AM0時	12 H	0時	00H
AM1時	01 H	1時	01 H
AM2時	02 H	2時	02 H
AM3時	03 H	3時	03 H
AM4時	04 H	4時	04 H
AM5時	05 H	5時	05 H
AM6時	06 H	6時	06 H
AM7時	07 H	7時	07 H
AM8時	08 H	8時	08 H
AM9時	09 H	9時	09 H
AM10時	10 H	10時	10 H
AM11時	11 H	11時	11 H
PM0時	32 H	12時	12 H
PM1時	21 H	13時	13 H
PM2時	22 H	14時	14 H
PM3時	23 H	15時	15 H
PM4時	24 H	16時	16 H
PM5時	25 H	17時	17 H
PM6時	26 H	18時	18 H
PM7時	27 H	19時	19 H
PM8時	28 H	20時	20 H
PM9時	29 H	21時	21 H
PM10時	30 H	22時	22 H
PM11時	31 H	23時	23 H

RC1HOURレジスタの値は、AMPMビットが“0”のとき12時間表示で、“1”のとき24時間表示となります。

12時間表示の場合は、RCHOURの5ビット目で午前/午後を表示し、午前 (AM) のときに0に、午後 (PM) のときに1となります。

**(9) 日カウント・レジスタ (RC1DAY)**

1-31 (10進) までの値を取り, 日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは, 次に示すようにカウントします。

- ・ 01-31 (1, 3, 5, 7, 8, 10, 12月)
- ・ 01-30 (4, 6, 9, 11月)
- ・ 01-29 (2月 うるう年)
- ・ 01-28 (2月 通常年)

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の01-31をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより, 01Hになります。

**注意** RC1DAYレジスタに01-31以外の値を設定することは禁止です。また上記カウント範囲外 “2月30日を設定するなど” も禁止です。

**備考** RC1DAYレジスタのリード/ライトは, 必ず10. 5. 4 (1) 初期設定, 10. 5. 4 (2) クロック動作中の各カウンタの書き換え, 10. 5. 4 (3) クロック動作中の各カウンタの読み出しを参照してください。

リセット時 : 01H    R/W    アドレス : FFFFFAD6H								
	7	6	5	4	3	2	1	0
RC1DAY	0	0						



**(10) 曜日カウント・レジスタ (RC1WEEK)**

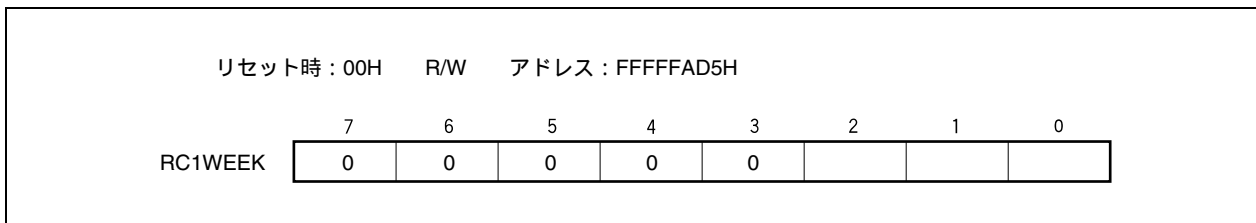
0-6 (10進) までの値を取り, 曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大の2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の00-06をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。



- 注意1.** RC1WEEKレジスタに00-06以外の値を設定することは禁止です。
- 2.** 曜日カウント・レジスタには, 月カウント・レジスタおよび日カウント・レジスタに対応した値が自動的に格納されるわけではありません。  
リセット解除後, 必ず次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

**備考** RC1WEEKレジスタのリード/ライトは, 必ず10. 5. 4 (1) 初期設定, 10. 5. 4 (2) クロック動作中の各カウンタの書き換え, 10. 5. 4 (3) クロック動作中の各カウンタの読み出しを参照してください。

**(11) 月カウント・レジスタ (RC1MONTH)**

RC1MONTHレジスタは1-12 (10進) までの値を取り, 月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

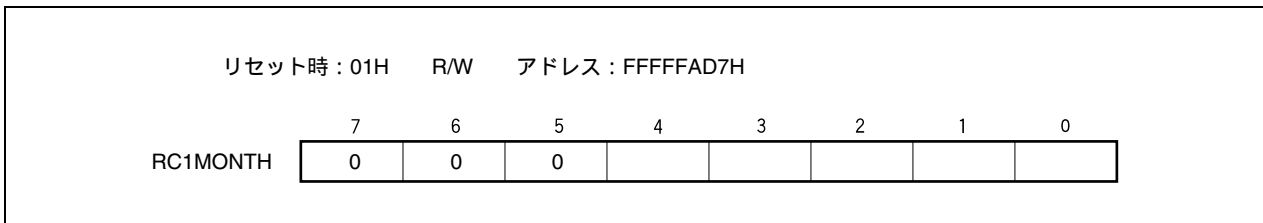
書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の01-12をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより, 01Hになります。

**注意** RC1MONTHレジスタに01-12以外の値を設定することは禁止です。

**備考** RC1MONTHレジスタのリード/ライトは, 必ず10.5.4(1) 初期設定, 10.5.4(2) クロック動作中の各カウンタの書き換え, 10.5.4(3) クロック動作中の各カウンタの読み出しを参照してください。

**(12) 年カウント・レジスタ (RC1YEAR)**

0-99 (10進) までの値を取り, 年のカウント値を示す8ビットのレジスタです。

月カウンタからのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

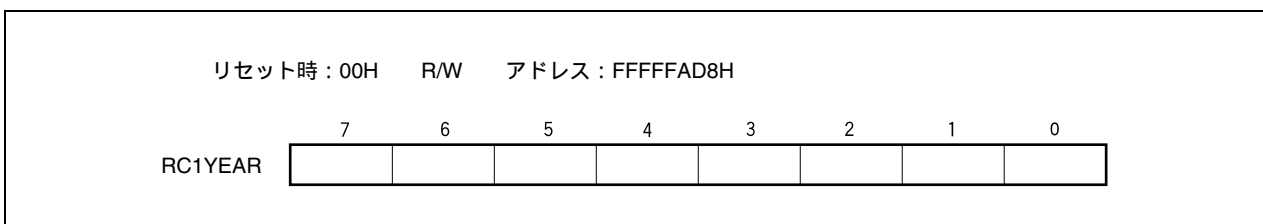
書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の00-99をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

**注意** RC1YEARレジスタに00-99以外の値を設定することは禁止です。

**備考** RC1YEARレジスタのリード/ライトは, 必ず10.5.4(1) 初期設定, 10.5.4(2) クロック動作中の各カウンタの書き換え, 10.5.4(3) クロック動作中の各カウンタの読み出しを参照してください。



**(13) 時計誤差補正レジスタ (RC1SUBU)**

サブカウント・レジスタ (RSUBC) から秒カウンタ・レジスタへオーバーフローする値 (基準値: 7FFFH) を変化させることにより, 時計の進みや遅れをより高精度に補正することができるレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

- 備考1.** RC1SUBUレジスタの書き換えはリアルタイム・カウンタの初期設定時のみ可能です。必ず10.5.4(1) **初期設定**を参照してください。
2. 時計誤差補正については, 10.5.4(9) **リアルタイム・カウンタの時計誤差補正例**を参照してください。

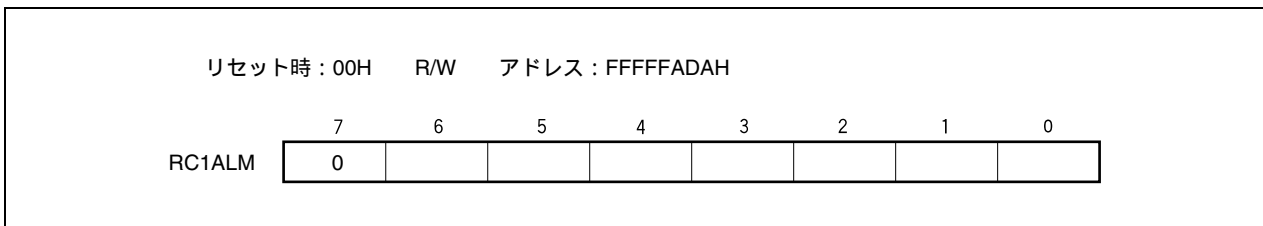
リセット時: 00H    R/W    アドレス: FFFFFAD9H

	7	6	5	4	3	2	1	0
RC1SUBU	DEV	F6	F5	F4	F3	F2	F1	F0
DEV	時計誤差補正のタイミングの設定							
0	RC1SEC (秒カウンタ) が00, 20, 40秒のとき (20秒ごと) に時計誤差補正							
1	RC1SEC (秒カウンタ) が00秒のとき (60秒ごと) に時計誤差補正							
F6	時計誤差補正值の設定							
0	F5-F0ビットで設定した値分, RC1SUBCのカウンタ値を増加 (+ 補正) 増加値計算式: $(F5-F0\text{ビットの設定値} - 1) \times 2$							
1	F5-F0ビットで設定した値分, RC1SUBCのカウンタ値を減少 (- 補正) 減少値計算式: $(F5-F0\text{ビットの設定値の反転値データ} + 1) \times 2$							
F6-F0ビットの値が { 1/0, 0, 0, 0, 0, 0, 1/0 } のときは, 時計誤差補正は行いません。								

**(14) アラーム分設定レジスタ (RC1ALM)**

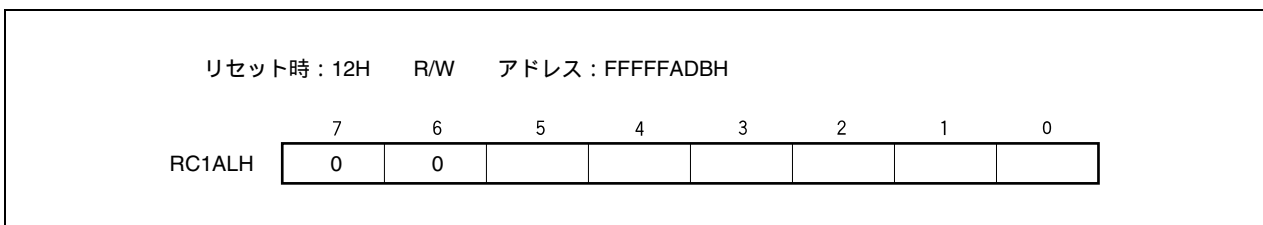
アラームの分を設定するレジスタです。  
8ビット単位でリード/ライト可能です。  
リセットにより, 00Hになります。

- 注意1. 設定する値は, 10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合, アラームは検出されません。
2. リアルタイム・カウンタ動作中 (RC1CC0.RC1PWRビット = 1) にRC1ALMレジスタを書き換える場合は, 10. 5. 4 (5) クロック動作中のINTRTC1割り込み設定の変更を参照してください。

**(15) アラーム時設定レジスタ (RC1ALH)**

アラームの時を設定するレジスタです。  
8ビット単位でリード/ライト可能です。  
リセットにより, 12Hになります。

- 注意1. 設定する値は, 10進の00-23または, 01-12, 21-32をBCDコードで設定してください。範囲外の値を設定した場合, アラームは検出されません。
2. RC1ALHレジスタのビット5は, AMPMビット = 0 (12時間制) を選択した場合, AM (0) / PM (1) を示します。
3. リアルタイム・カウンタ動作中 (RC1CC0.RC1PWRビット = 1) にRC1ALHレジスタを書き換える場合は, 10. 5. 4 (5) クロック動作中のINTRTC1割り込み設定の変更を参照してください。



## (16) アラーム曜日設定レジスタ (RC1ALW)

アラームの曜日を設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

**注意** リアルタイム・カウンタ動作中 (RC1CC0.RC1PWRビット = 1) にRC1ALWレジスタを書き換える場合は、10. 5. 4 (5) クロック動作中のINTRTC1割り込み設定の変更を参照してください。

リセット時 : 00H    R/W    アドレス : FFFFFADCH								
	7	6	5	4	3	2	1	0
RC1ALW	0	RC1ALW6	RC1ALW5	RC1ALW4	RC1ALW3	RC1ALW2	RC1ALW1	RC1ALW0
RC1ALWn	アラーム割り込み曜日設定ビット (n = 0-6)							
0	RC1WEEKレジスタ = nHのときに、アラーム割り込みを発生しない							
1	RC1WEEKレジスタ = nHのときに、アラーム割り込みを発生する (RC1ALM, RC1ALHレジスタで設定した時間)							

## (a) アラーム割り込み設定例 (RC1ALM, RC1ALH, RC1ALWレジスタの設定例)

日曜日をRC1WEEKレジスタ = 00H, 月曜日をRC1WEEKレジスタ = 01H, 火曜日をRC1WEEKレジスタ = 02H, ..., 土曜日をRC1WEEKレジスタ = 06Hとした場合の設定例を表10 - 5, 表10 - 6に示します。

表10 - 5 RC1CC1.AMPMビット = 0 (RC1HOURレジスタ12時間表示) の時のアラーム設定例

アラーム設定時間	レジスタ	RC1ALW	RC1ALH	RC1ALM
日曜日, AM 7時00分		01H	07H	00H
日曜日 / 月曜日, PM 12時15分		03H	32H	15H
月曜日 / 火曜日 / 金曜日, PM 5時30分		26H	25H	30H
毎日, PM 10時45分		7FH	30H	45H

表10 - 6 RC1CC1.AMPMビット = 1 (RC1HOURレジスタ24時間表示) の時のアラーム設定例

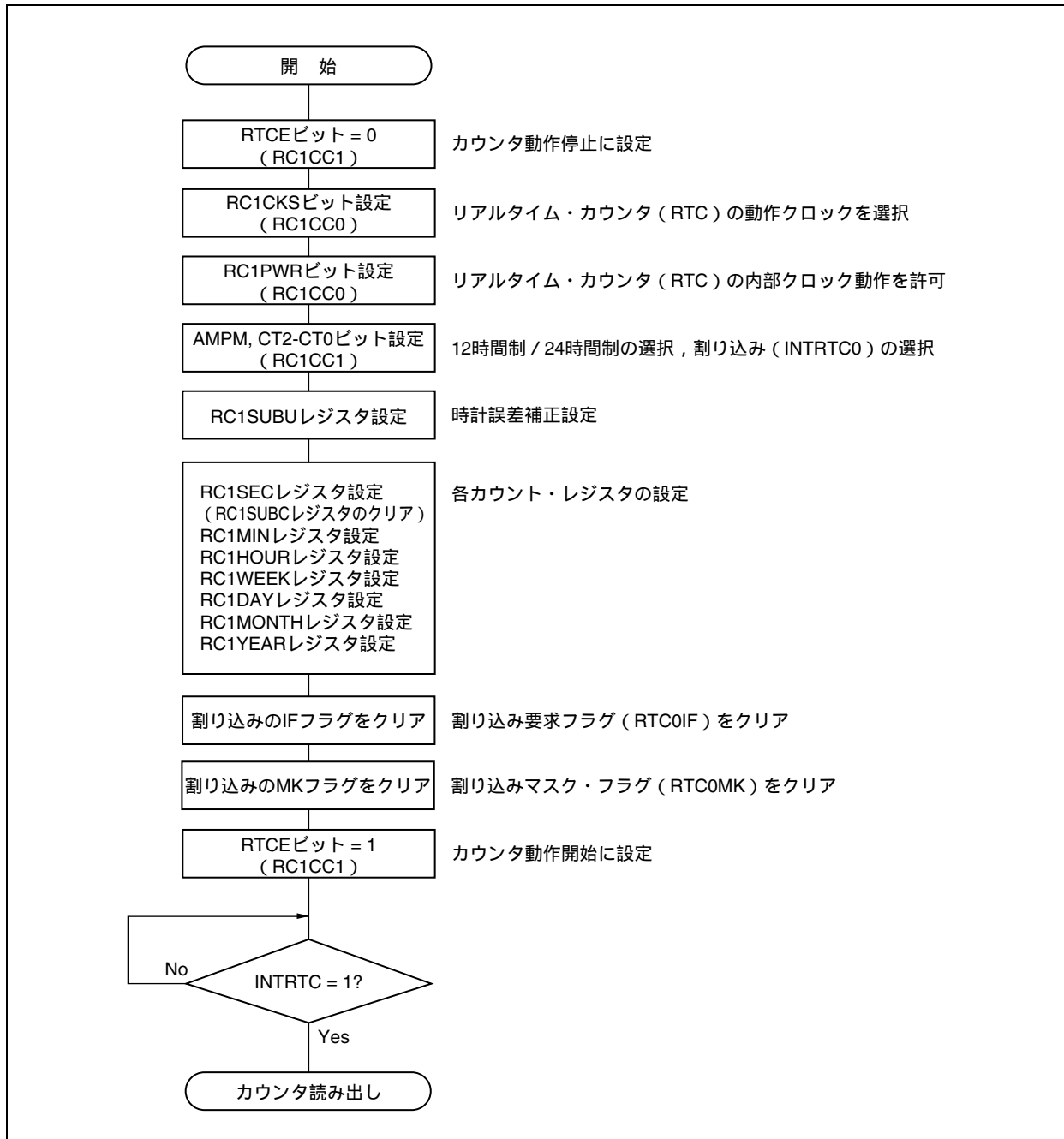
アラーム設定時間	レジスタ	RC1ALW	RC1ALH	RC1ALM
日曜日, 7時00分		01H	07H	00H
日曜日 / 月曜日, 12時15分		03H	12H	15H
月曜日 / 火曜日 / 金曜日, 17時30分		26H	17H	30H
毎日, 22時45分		7FH	22H	45H

## 10.5.4 動作

## (1) 初期設定

時計機能、定周期割り込み動作をする場合に設定します。

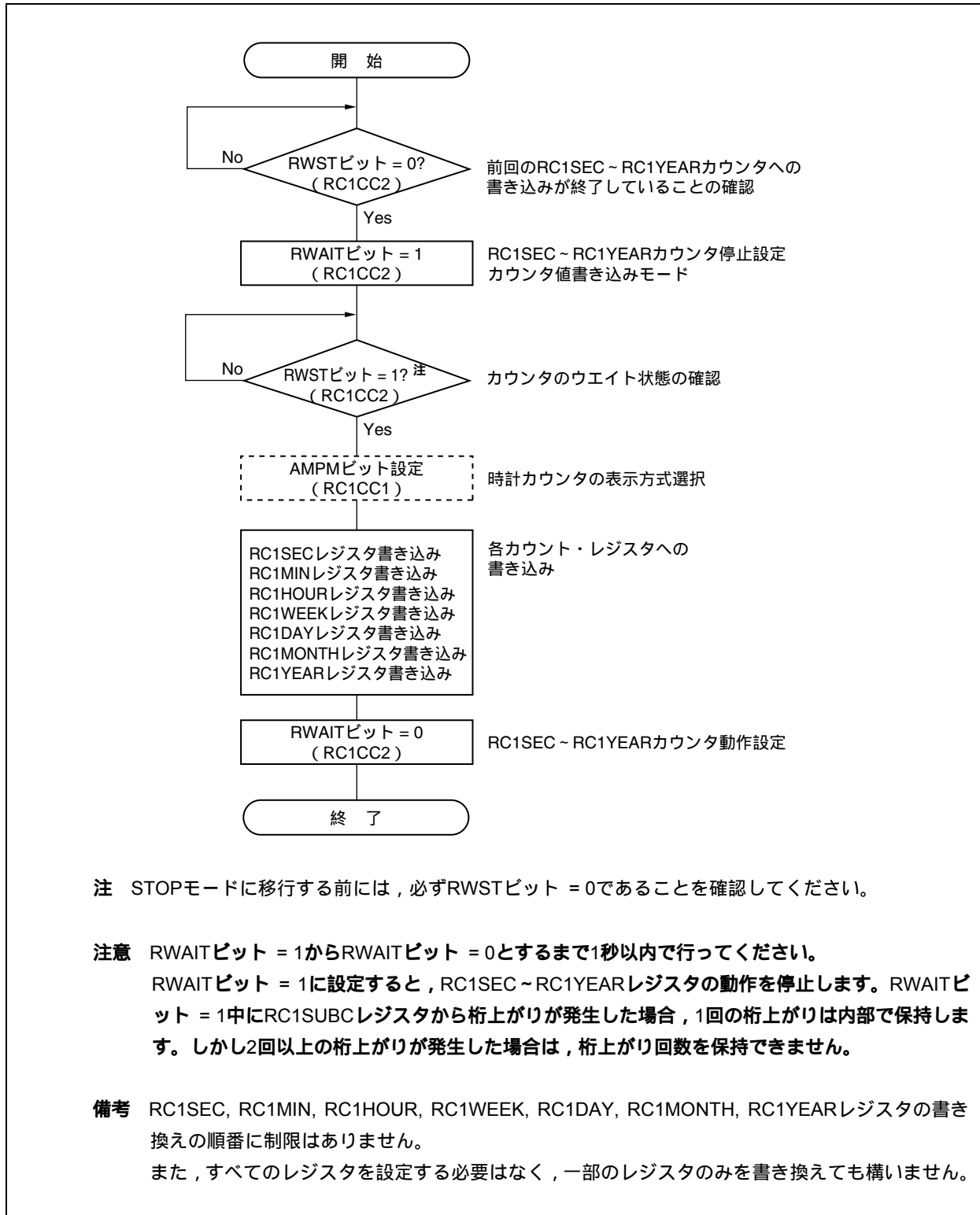
図10 - 11 初期設定手順



## (2) クロック動作中の各カウンタの書き換え

クロック動作中 (RC1CC0.RC1PWRビット = 1) に各カウンタ (RC1SEC, RC1MIN, RC1HOUR, RC1WEEK, RC1DAY, RC1MONTH, RC1YEARレジスタ) を書き換える場合は次のように設定してください。

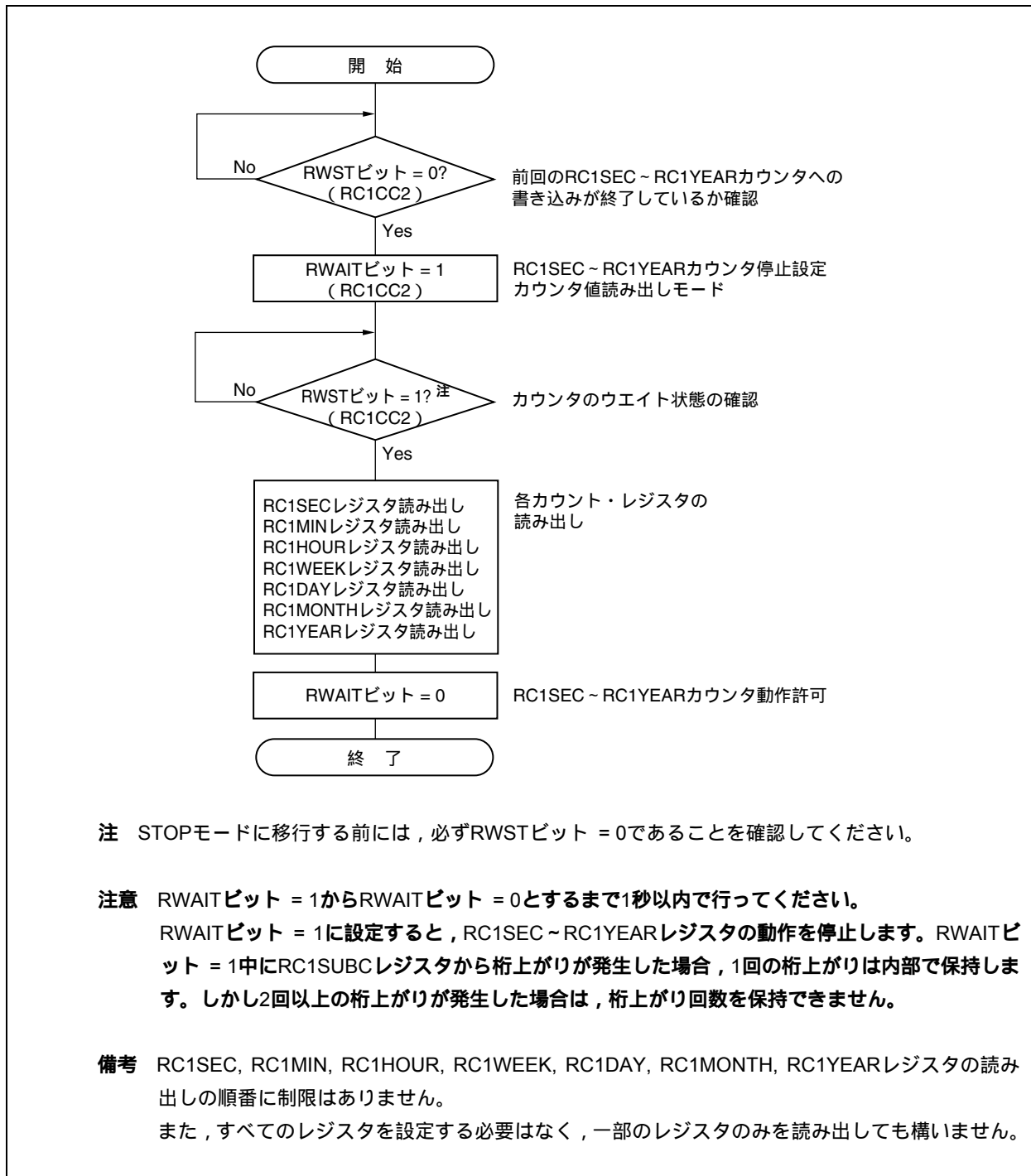
図10 - 12 クロック動作中の各カウンタの書き換え



## (3) クロック動作中の各カウンタの読み出し

クロック動作中 (RC1CC0.RC1PWRビット = 1) に各カウンタ (RC1SEC, RC1MIN, RC1HOUR, RC1WEEK, RC1DAY, RC1MONTH, RC1YEARレジスタ) を読み出す場合は次のように設定してください。

図10 - 13 クロック動作中の各カウンタの読み出し

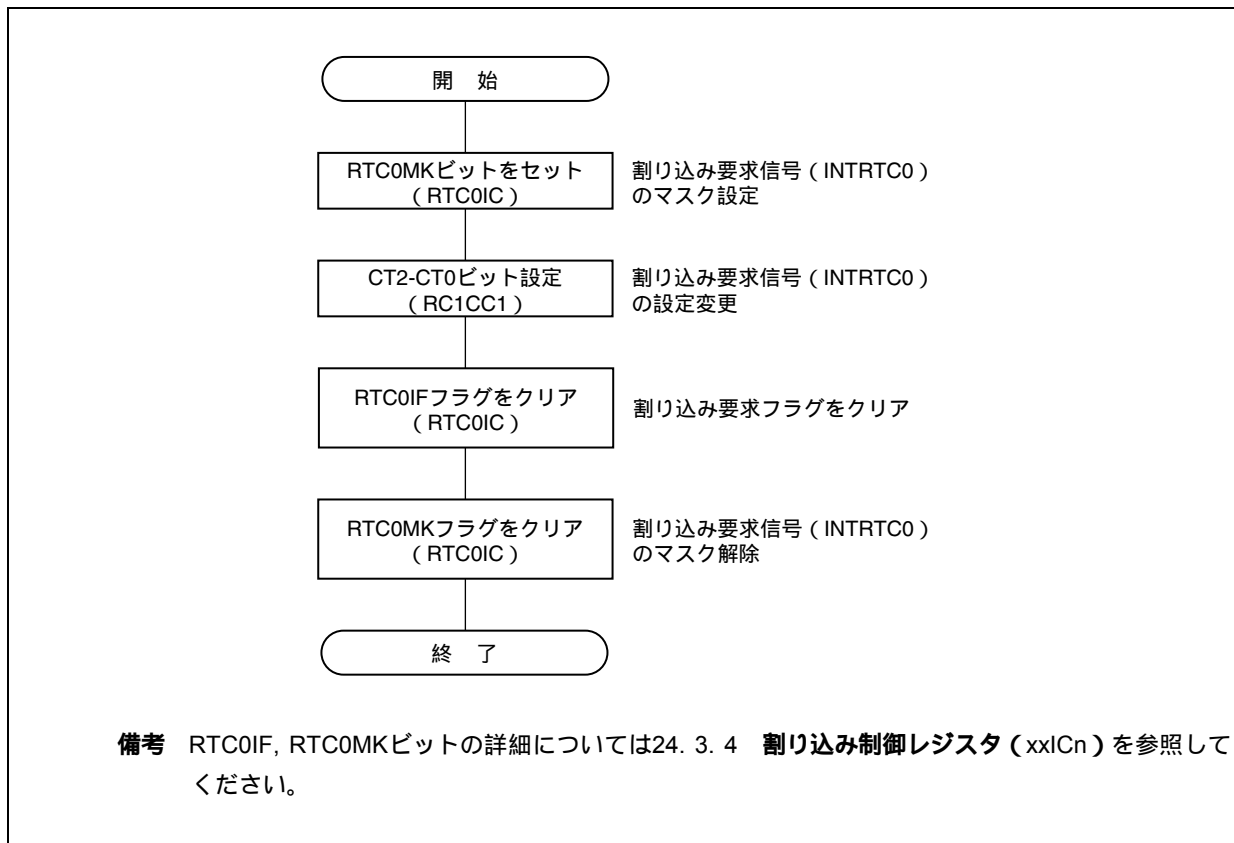




#### (4) クロック動作中のINTRTC0割り込み設定の変更

リアルタイム・カウンタのクロック動作中 (RC1CC0.RC1PWRビット = 1) のときに, INTRTC0割り込み (定周期割り込み) 信号の設定を変更すると, INTRTC0割り込みの波形にヒゲが混じり, 意図しない信号が出力される可能性があります。ヒゲをマスクするため, クロック動作中 (RC1PWRビット = 1) に, INTRTC0割り込み要求信号の設定を変更する場合は次のように設定してください。

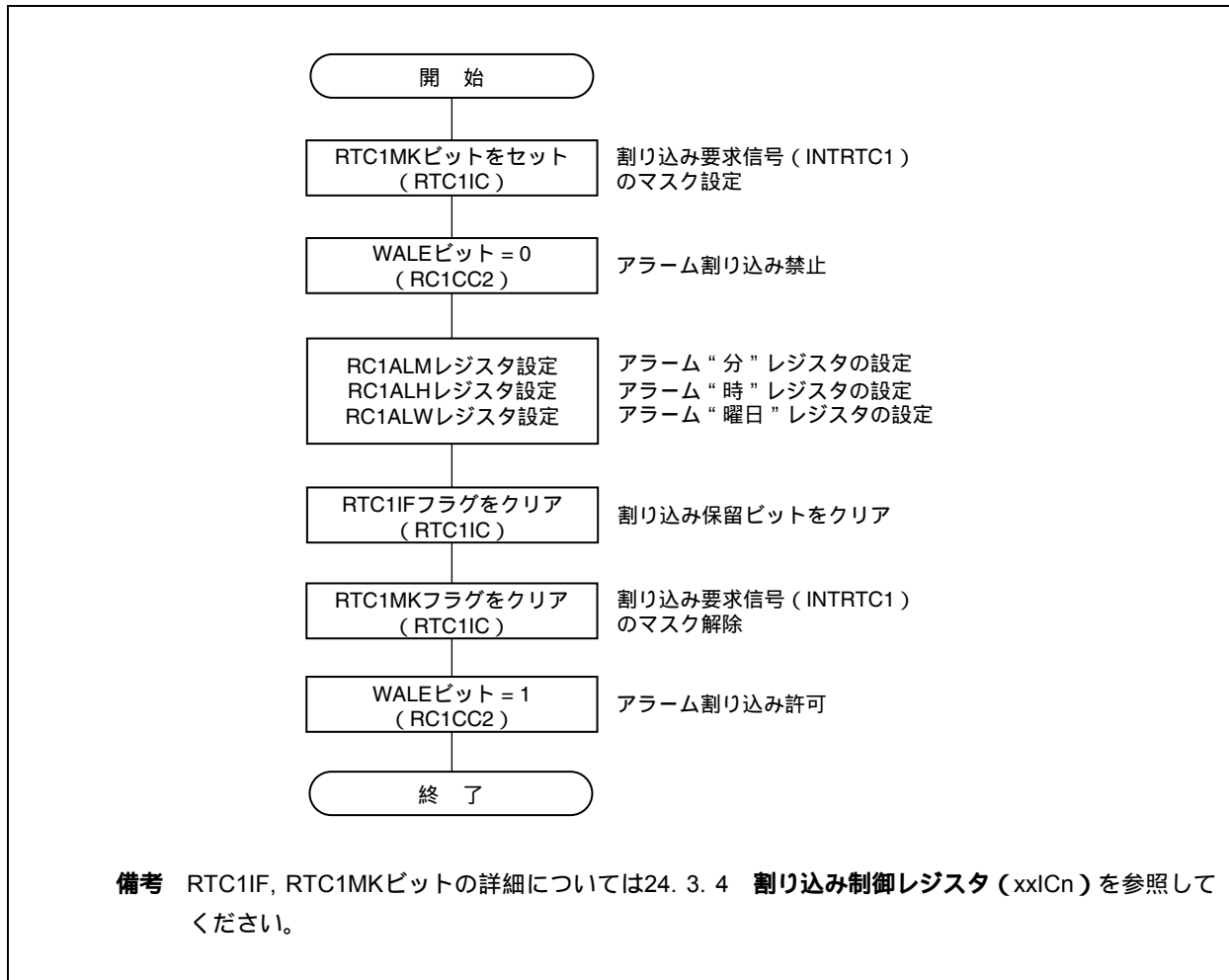
図10 - 14 クロック動作中のINTRTC0割り込み設定の変更



## (5) クロック動作中のINTRTC1割り込み設定の変更

リアルタイム・カウンタのクロック動作中 (RC1CC0.RC1PWRビット = 1) のときに、INTRTC1割り込み (アラーム割り込み) の設定を変更すると、INTRCT1割り込みの波形にヒゲが混じり、意図しない信号が出力される可能性があります。ヒゲをマスクするため、クロック動作中 (RC1PWRビット = 1) に、INTRTC1割り込み要求信号の設定を変更する場合は次のように設定してください。

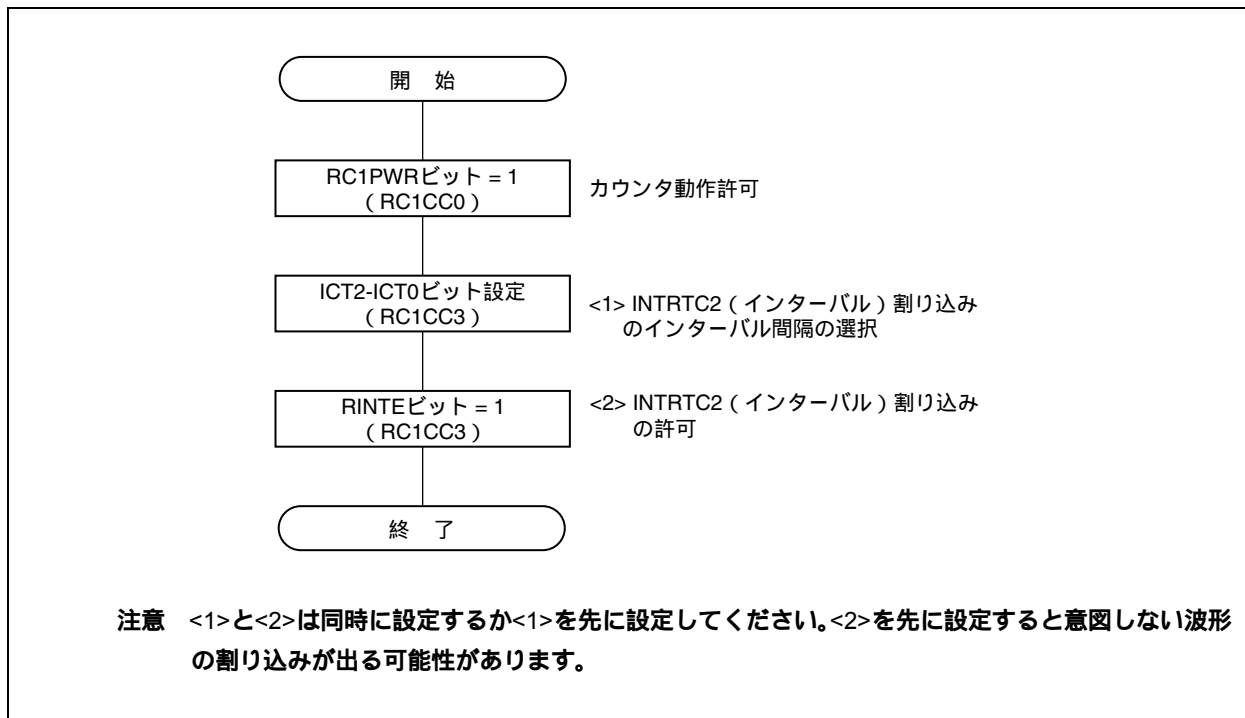
図10 - 15 クロック動作中のINTRTC1割り込み設定の変更



## (6) INTRTC2割り込みの初期設定

INTRTC1割り込み（インターバル割り込み）の設定をする場合は次のように設定してください。

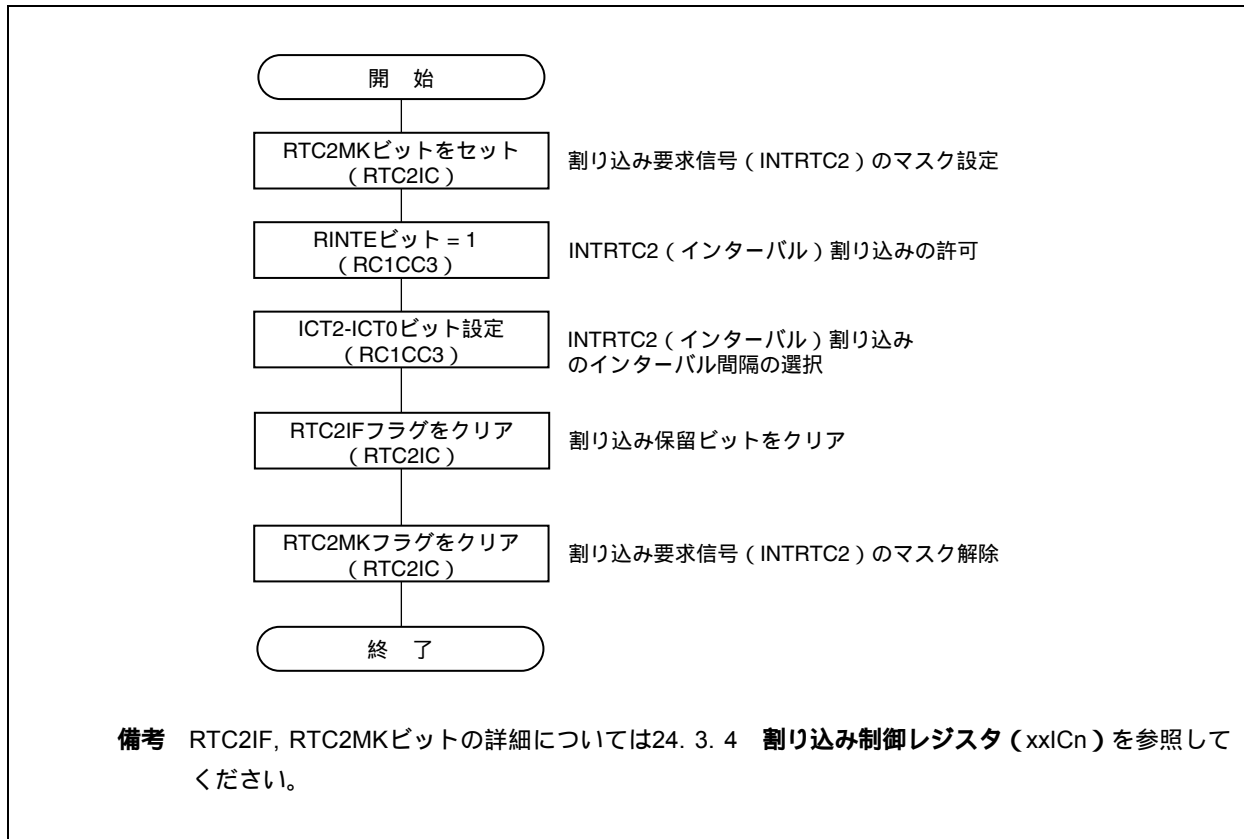
図10 - 16 INTRTC2割り込み設定



## (7) クロック動作中のINTRTC2割り込み設定の変更

リアルタイム・カウンタのクロック動作中 (RC1CC0.RC1PWRビット = 1) のときに, INTRTC2割り込み (インターバル割り込み) の設定を変更すると, INTRTC2割り込みの波形にヒゲが混じり, 意図しない信号が出力される可能性があります。ヒゲをマスクするため, クロック動作中 (RC1PWRビット = 1) に, INTRTC2割り込み要求信号の設定を変更する場合は次のように設定してください。

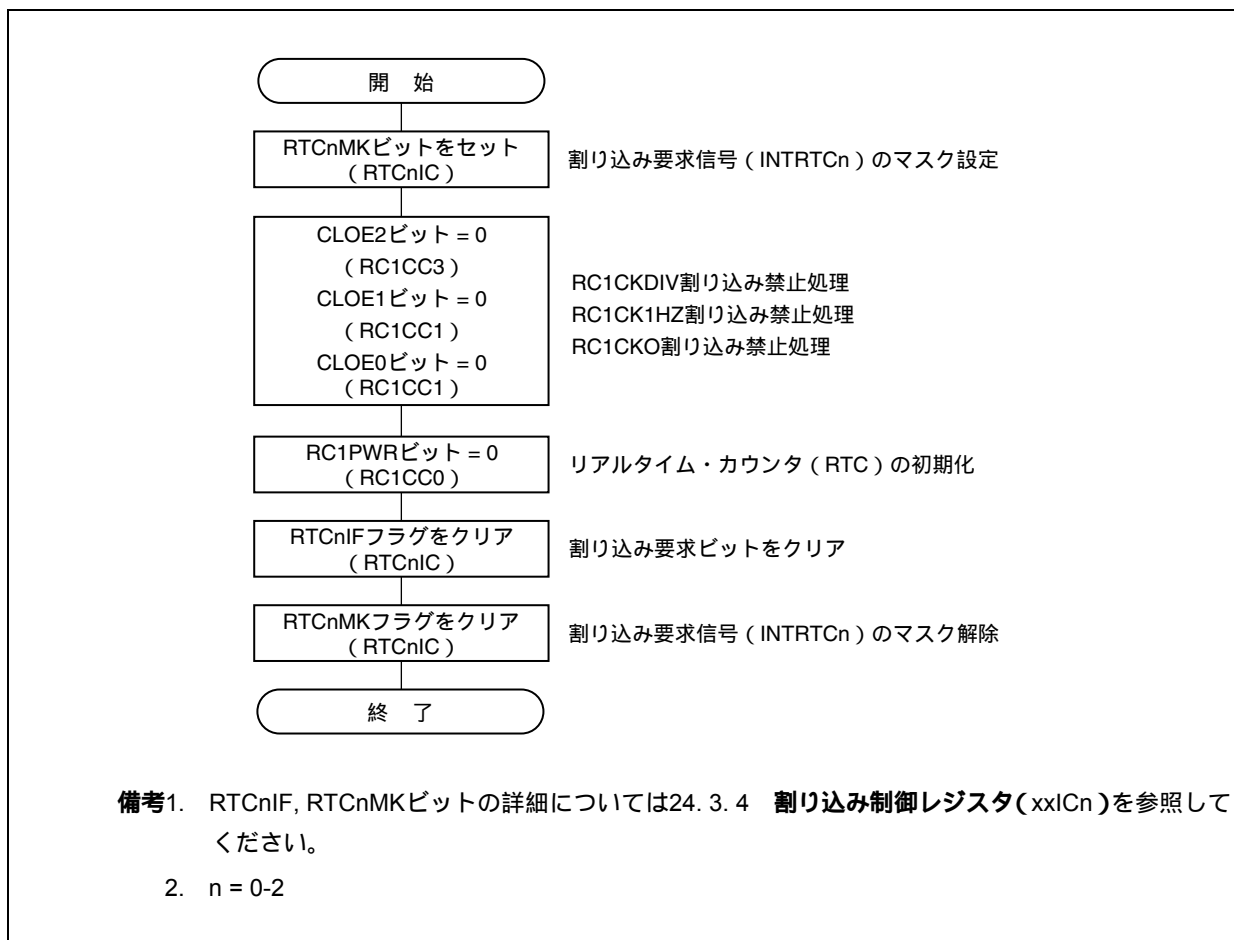
図10 - 17 クロック動作中のINTRTC2割り込み設定の変更



## (8) リアルタイム・カウンタの初期化

リアルタイム・カウンタの初期化手順を次に示します。

図10 - 18 リアルタイム・カウンタの初期化



## (9) リアルタイム・カウンタの時計誤差補正例

時計誤差補正機能とは、V850E/SJ3-H, V850E/SK3-Hに接続される発振子がおもつ発振周波数の偏差を補正する機能です。

ここでの偏差とは、発振子設計時の周波数の偏りである“定常偏差”を示します。

次に、システム設計時に意図する入力クロック“32.768 kHz”に誤差が生じて、32.769 kHzの発振子が接続されてしまったときのタイミング図とそれを補正するためのRC1SUBC、RC1SECレジスタのカウンタ動作を示します。

図10 - 19 時計誤差補正例

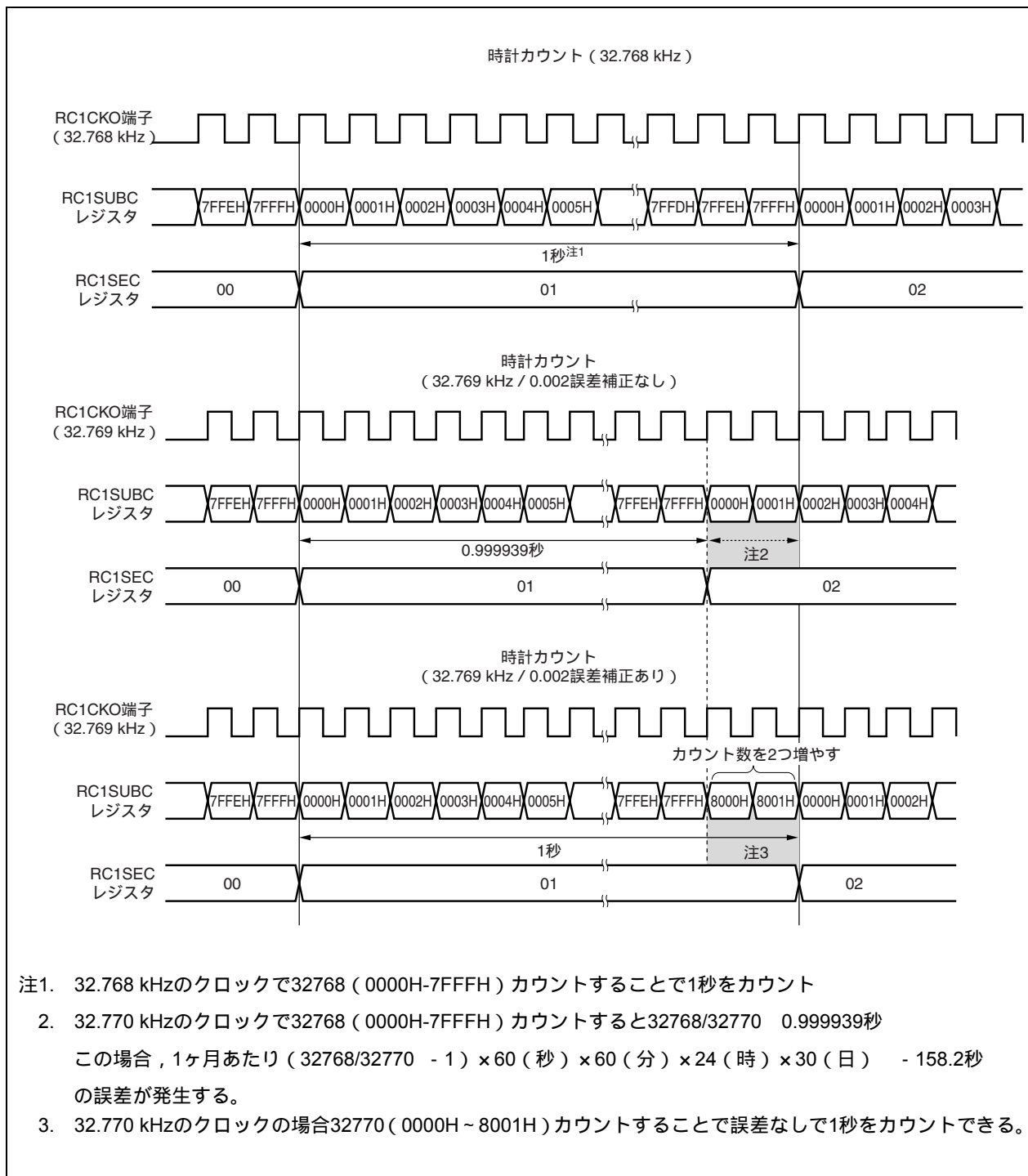


図10 - 19のように、発振子に32.768 kHzより速い“ + 誤差 ”が生じた場合は、RC1SUBCレジスタのカウンタ値を増やすことで正確に時計をカウントできることがわかります。また同様に発振子に32.768 kHzより遅い“ - 誤差 ”が生じた場合は、RC1SUBCレジスタのカウンタ値を減らすことで正確に時計をカウントできることがわかります。

RC1SUBCレジスタの補正値を決定するのがRC1SUBU.F6-F0ビットです。

F6ビットでRC1SUBCレジスタの増加 / 減少を決定し、F5-F0ビットで値を決定します。

#### (a) RC1SUBCレジスタのカウンタ増加

F6ビット=0にすることによって、F5-F0ビットで設定した値分、RC1SUBCレジスタのカウンタ値を増加します。

増加値計算式：(F5-F0ビット設定値 - 1) × 2

##### 【RC1SUBCレジスタのカウンタ増加例：F6ビット = 0】

F5-F0ビットに15H (010101B) を設定した場合

(15H - 1) × 2 = 40 (RC1SUBCレジスタのカウンタ値を40増)

RC1SUBCレジスタのカウンタ値 = 32768 + 40 = 32808

#### (b) RC1SUBCレジスタのカウンタ減少

F6ビット= 1にすることによって、F5-F0ビット設定した値の反転値分、RC1SUBCレジスタのカウンタ値を減少します。

減少値計算式：(F5-F0ビット設定値の反転値 + 1) × 2

##### 【RC1SUBCレジスタのカウンタ減少例：F6ビット = 1】

F5-F0ビットに15H (010101B) を設定した場合

15H (010101B) の反転データ= 2AH (101010B)

(2AH + 1) × 2 = 86 (RC1SUBCレジスタのカウンタ値を86減)

RC1SUBCレジスタのカウンタ値 = 32768 - 86 = 32682

**(c) RC1SUBU.DEVビットについて**

RC1SUBU.DEVビットは、F6-F0ビットでの設定が有効となるタイミングを決定します。

RC1SUBU.F6-F0ビットで設定した値は、毎回RC1SUBCカウンタ値に反映されるわけではなく次のタイミングで、反映されます。

表10 - 7 DVEビットの設定

DEVビットの値	RC1SUBCレジスタへの反映タイミング
0の場合	RC1SECレジスタが00, 20, 40秒のとき
1の場合	RC1SECレジスタが00秒のとき

**【F6-F0ビットに0010101Bを設定した場合の例】**

- ・ DEVビット= 0の場合

RC1SUBCレジスタのカウンタ値は、00秒、20秒、40秒のとき「32808」

それ以外のとき「32768」

- ・ DEVビット= 1の場合

RC1SUBCレジスタのカウンタ値は、00秒のとき「32808」

それ以外のとき「32768」

このように、毎秒RC1SUBCレジスタのカウンタ値を補正するのではなく、20秒ごと、60秒ごとに補正しているのは、発振子をもつ偏差幅に合わせているためです。

実際に補正できる発振子の周波数範囲は次のようになります。

- ・ DEVビット = 0のとき : 32.76180000 kHz ~ 32.77420000 kHz
- ・ DEVビット = 1のとき : 32.76593333 kHz ~ 32.77006667 kHz

DEVビット = 0の方が、DEVビット = 1より3倍広い周波数範囲を補正できます。

ただしDEVビット = 1の方が、3倍の精度で周波数を設定できます。

表10 - 8、表10 - 9に、DEVビット、F6-F0ビットの設定値と、そのときに補正できる周波数の一覧を示します。



表10-8 DEVビット = 0のときの補正できる周波数範囲

F6 ビット	F5-F0 ビット	RC1SUBCレジスタ補正值	接続クロック周波数 (定常偏差込み)
0	000000	補正なし	-
0	000001	補正なし	-
0	000010	20秒に1度, RC1SUBCレジスタのカウント値を + 2	32.76810000 kHz
0	000011	20秒に1度, RC1SUBCレジスタのカウント値を + 4	32.76820000 kHz
0	000100	20秒に1度, RC1SUBCレジスタのカウント値を + 6	32.76830000 kHz
⋮			
0	111011	20秒に1度, RC1SUBCレジスタのカウント値を+120	32.77400000 kHz
0	111110	20秒に1度, RC1SUBCレジスタのカウント値を+122	32.77410000 kHz
0	111111	20秒に1度, RC1SUBCレジスタのカウント値を+124	32.77420000 kHz (上限)
1	000000	補正なし	-
1	000001	補正なし	-
1	000010	20秒に1度, RC1SUBCレジスタのカウント値を - 124	32.76180000 kHz(下限)
1	000011	20秒に1度, RC1SUBCレジスタのカウント値を - 122	32.76190000 kHz
1	000100	20秒に1度, RC1SUBCレジスタのカウント値を - 120	32.76200000 kHz
⋮			
1	11011	20秒に1度, RC1SUBCレジスタのカウント値を - 6	32.76770000 kHz
1	11110	20秒に1度, RC1SUBCレジスタのカウント値を - 4	32.76780000 kHz
1	11111	20秒に1度, RC1SUBCレジスタのカウント値を - 2	32.76790000 kHz

表10-9 DEVビット = 1のときの補正できる周波数範囲

F6 ビット	F5-F0 ビット	RC1SUBCレジスタ補正值	接続クロック周波数 (定常偏差込み)
0	000000	補正なし	-
0	000001	補正なし	-
0	000010	60秒に1度, RC1SUBCレジスタのカウント値を + 2	32.76803333 kHz
0	000011	60秒に1度, RC1SUBCレジスタのカウント値を + 4	32.76806667 kHz
0	000100	60秒に1度, RC1SUBCレジスタのカウント値を + 6	32.76810000 kHz
⋮			
0	111011	60秒に1度, RC1SUBCレジスタのカウント値を + 120	32.77000000 kHz
0	111110	60秒に1度, RC1SUBCレジスタのカウント値を + 122	32.77003333 kHz
0	111111	60秒に1度, RC1SUBCレジスタのカウント値を + 124	32.77006667 kHz (上限)
1	000000	補正なし	-
1	000001	補正なし	-
1	000010	60秒に1度, RC1SUBCレジスタのカウント値を - 124	32.76593333 kHz (下限)
1	000011	60秒に1度, RC1SUBCレジスタのカウント値を - 122	32.76596667 kHz
1	000100	60秒に1度, RC1SUBCレジスタのカウント値を - 120	32.76600000 kHz
⋮			
1	11011	60秒に1度, RC1SUBCレジスタのカウント値を - 6	32.76790000 kHz
1	11110	60秒に1度, RC1SUBCレジスタのカウント値を - 4	32.76793333 kHz
1	11111	60秒に1度, RC1SUBCレジスタのカウント値を - 2	32.76796667 kHz

## 第11章 ウォッチドッグ・タイマ2機能

### 11.1 機 能

ウォッチドッグ・タイマ2には、次のような機能があります。

- ・デフォルト・スタート・ウォッチドッグ・タイマ<sup>注1, 2</sup>
  - リセット・モード：ウォッチドッグ・タイマ2のオーバフローによるリセット動作（WDT2RES信号を発生）
  - ノンмасカブル割り込み要求モード：ウォッチドッグ・タイマ2のオーバフローによるNMI動作（INTWDT2信号を発生）<sup>注3</sup>
- ・ソース・クロックとしてメイン・クロック，内蔵発振クロック，サブクロックからの入力を選択可能
- ・オプション・バイト0000007AH（第33章 オプション・バイト機能参照）のWDTMD1ビット = 1に設定すると，ウォッチドッグ・タイマ2の動作モードをリセット・モードに固定（ $2^{12}/f_{R-2^{19}}/f_R$ の選択は可能）<sup>注4</sup>，ソース・クロックを内蔵発振クロックに固定可能

注1. ウォッチドッグ・タイマ2を使用しない場合や，動作モードの変更を行う場合は，必ずオプション・バイト0000007AHのWDTMD1ビット = 0に設定してください。

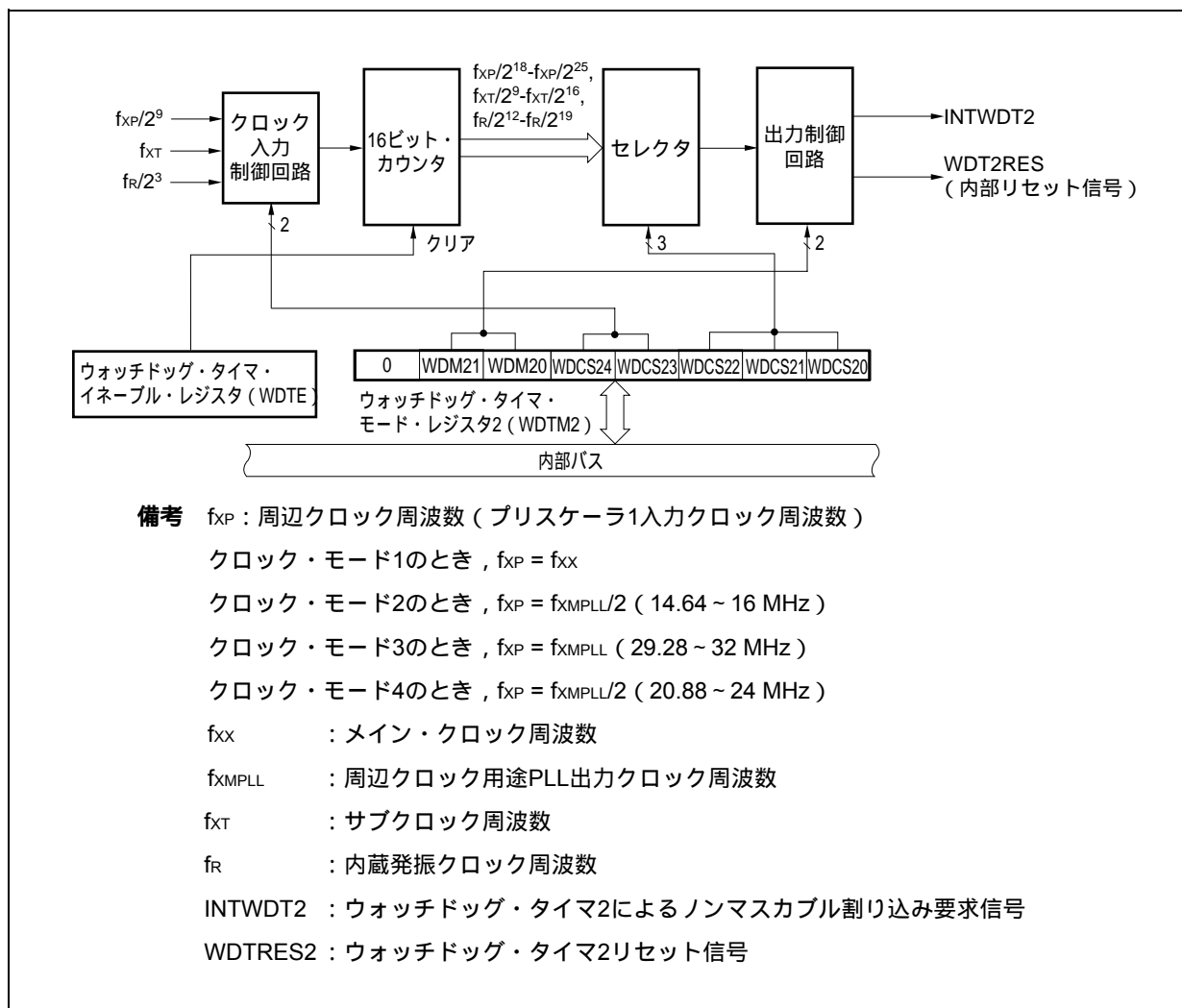
WDTMD1ビット = 1のときのWDTM2レジスタによるモードの変更は無効です。

2. ウォッチドッグ・タイマ2は，リセット解除後に自動的にリセット・モードでスタートします。ウォッチドッグ・タイマ2を使用しない場合は，この機能によるリセットが発生する前に停止するか，一度ウォッチドッグ・タイマ2をクリアし，次のインターバル時間内で停止してください。  
また，デフォルトの設定（リセット・モード，インターバル時間： $f_R/2^{19}$ ）で変更する必要がない場合も，動作を確定するために，1回だけWDTM2レジスタへの書き込みを行ってください。
3. ノンмасカブル割り込み要求信号（INTWDT2）によるノンмасカブル割り込み処理については24.2.2(2) INTWDT2信号の場合を参照してください。
4. オプション・バイト0000007AHでリセット・モード固定（WDTMD1ビット = 1）に設定した場合，WDTM2レジスタによるモードの変更は無効となるため，CPUの暴走による誤書き込みの対処として使用できません。

## 11.2 構 成

次にウォッチドッグ・タイマ2のブロック図を示します。

図11-1 ウォッチドッグ・タイマ2のブロック図



ウォッチドッグ・タイマ2は、次のハードウェアで構成されています。

表11-1 ウォッチドッグ・タイマ2の構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

## 11.3 レジスタ

### (1) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

WDTM2は8ビット単位でリード/ライト可能です。ただし、リードは何回でもできますが、ライトはリセット解除後に1回のみできます。

リセットにより67Hになります。

**注意** 次に示す状態において、WDTM2レジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の  
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

( 1/2 )

リセット時 : 67H    R/W    アドレス : FFFFFFF6D0H								
	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20
	WDM21	WDM20	ウォッチドッグ・タイマ2の動作モードの選択 <sup>注</sup>					
	0	0	動作停止					
	0	1	ノンマスクابل割り込み要求モード (INTWDT2信号を発生)					
	1	x	リセット・モード (WDT2RES信号を発生)					

**注** オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のWDTM21ビット = 1に設定した場合、リセット・モードに固定されます。

(2/2)

- 注意1. ウォッチドッグ・タイマ2を使用しない場合や、動作モードの変更を行う場合は、必ずオプション・バイト0000007AHのWDTMD1ビット = 0に設定してください。WDTMD1ビット = 1のときのWDTM2レジスタによるモードの変更は無効です。
2. WDCS24-WDCS20ビットについては表11-2 ウォッチドッグ・タイマ2のクロック選択を参照してください。
  3. 内蔵発振器の停止のみでウォッチドッグ・タイマ2は停止しますが、動作を確定するため（誤書き込みで、メイン・クロックやサブクロックが選択されないようにする）、WDTM2レジスタに00Hを設定してください。
  4. リセット後、WDTM2レジスタに2回書き込んだ場合、強制的にオーバフロー信号を発生し、カウンタをリセットします。
  5. 意図的にオーバフロー信号を発生させたい場合は、WDTM2レジスタに2回だけ書き込むか、WDTEレジスタに“ACH”以外の値を1回だけ書き込んでください。ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTM2レジスタに2回だけ書き込む、またはWDTEレジスタに“ACH”以外の値を1回だけ書き込んでもオーバフロー信号は発生しません。
  6. ウォッチドッグ・タイマ2の動作を停止する場合は、RCM.RSTOPビット = 1に設定（内蔵発振器の停止）するとともに、WDTM2レジスタに00Hを書き込んでください。RCM.RSTOPビット = 1に設定できない場合は、WDCS23ビット = 1に設定してください（ $2^n/f_{XP}$ が選択され、IDLE1、IDLE2、サブIDLE、サブクロック動作モードでクロックを停めることができます）。ただし、オプション・バイト0000007AH（第33章 オプション・バイト機能参照）のWDTMD1ビット = 1に設定した場合、リセット以外に停止することはできません。
  7. ビット7には必ず0を設定してください。

**備考**  $f_{XP}$  : 周辺クロック周波数（プリスケアラ1入力クロック周波数）

クロック・モード1のとき、 $f_{XP} = f_{XX}$

クロック・モード2のとき、 $f_{XP} = f_{XMPLL}/2$  (14.64 ~ 16 MHz)

クロック・モード3のとき、 $f_{XP} = f_{XMPLL}$  (29.28 ~ 32 MHz)

クロック・モード4のとき、 $f_{XP} = f_{XMPLL}/2$  (20.88 ~ 24 MHz)

$f_{XX}$  : メイン・クロック周波数

$f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

表11-2 ウォッチドッグ・タイマ2のクロック選択

WDCS24	WDCS23	WDCS22	WDCS21	WDCS20	選択クロック	100 kHz ( MIN. )	220 kHz ( TYP. )	400 kHz ( MAX. )	
0	0	0	0	0	$2^{12}/f_R$	41.0 ms	18.6 ms	10.2 ms	
0	0	0	0	1	$2^{13}/f_R$	81.9 ms	37.2 ms	20.5 ms	
0	0	0	1	0	$2^{14}/f_R$	163.8 ms	74.5 ms	41.0 ms	
0	0	0	1	1	$2^{15}/f_R$	327.7 ms	148.9 ms	81.9 ms	
0	0	1	0	0	$2^{16}/f_R$	655.4 ms	297.9 ms	163.8 ms	
0	0	1	0	1	$2^{17}/f_R$	1310.7 ms	595.8 ms	327.7 ms	
0	0	1	1	0	$2^{18}/f_R$	2621.4 ms	1191.6 ms	655.4 ms	
0	0	1	1	1	$2^{19}/f_R$	5242.9 ms	2383.1 ms	1310.7 ms	
						$f_{XP} = 32 \text{ MHz時}$	$f_{XP} = 24 \text{ MHz時}$	$f_{XP} = 16 \text{ MHz時}$	$f_{XP} = 10 \text{ MHz時}$
0	1	0	0	0	$2^{18}/f_{XP}$	8.2 ms	10.9 ms	16.4 ms	26.2 ms
0	1	0	0	1	$2^{19}/f_{XP}$	16.4 ms	21.8 ms	32.8 ms	52.4 ms
0	1	0	1	0	$2^{20}/f_{XP}$	32.8 ms	43.7 ms	65.5 ms	104.9 ms
0	1	0	1	1	$2^{21}/f_{XP}$	65.5 ms	87.4 ms	131.1 ms	209.7 ms
0	1	1	0	0	$2^{22}/f_{XP}$	131.1 ms	174.8 ms	262.1 ms	419.4 ms
0	1	1	0	1	$2^{23}/f_{XP}$	262.1 ms	349.5 ms	524.3 ms	838.9 ms
0	1	1	1	0	$2^{24}/f_{XP}$	524.3 ms	699.1 ms	1048.6 ms	1677.7 ms
0	1	1	1	1	$2^{25}/f_{XP}$	1048.6 ms	1398.1 ms	2097.2 ms	3355.4 ms
						$f_{XT} = 32.768 \text{ kHz}$			
1	x	0	0	0	$2^9/f_{XT}$	15.625 ms			
1	x	0	0	1	$2^{10}/f_{XT}$	31.25 ms			
1	x	0	1	0	$2^{11}/f_{XT}$	62.5 ms			
1	x	0	1	1	$2^{12}/f_{XT}$	125 ms			
1	x	1	0	0	$2^{13}/f_{XT}$	250 ms			
1	x	1	0	1	$2^{14}/f_{XT}$	500 ms			
1	x	1	1	0	$2^{15}/f_{XT}$	1000 ms			
1	x	1	1	1	$2^{16}/f_{XT}$	2000 ms			

**注意** オプション・バイト0000007AH (第33章 オプション・バイト機能参照)のWDTMD1ビット = 1に設定した場合、クロックは内蔵発振クロック ( $f_R$ ) に固定されます ( $2^{12}/f_R$  -  $2^{19}/f_R$  の選択は可能)。

**備考**  $f_R$  : 内蔵発振クロック周波数

$f_{XP}$  : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき、 $f_{XP} = f_{XX}$

クロック・モード2のとき、 $f_{XP} = f_{XMPLL}/2$  (14.64 ~ 16 MHz)

クロック・モード3のとき、 $f_{XP} = f_{XMPLL}$  (29.28 ~ 32 MHz)

クロック・モード4のとき、 $f_{XP} = f_{XMPLL}/2$  (20.88 ~ 24 MHz)

$f_{XX}$  : メイン・クロック周波数

$f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

$f_{XT}$  : サブクロック周波数

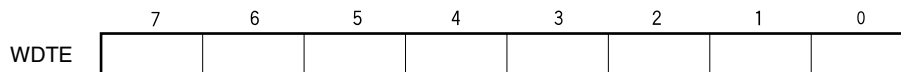
**(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)**

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再びカウントを開始します。

8ビット単位でリード/ライト可能です。

リセットにより9AHになります。

リセット時：9AH R/W アドレス：FFFFFF6D1H



- 注意1.** WDTEレジスタに“ACH”以外の値を書き込んだ場合、強制的にオーバフロー信号を発生します。
- 2.** WDTEレジスタに1ビット・メモリ操作命令を実行した場合、強制的にオーバフロー信号を発生します。
- 3.** 意図的にオーバフロー信号を発生させたい場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込むか、WDTM2レジスタに2回だけ書き込んでください。ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込む、またはWDTM2レジスタに2回だけ書き込んでもオーバフロー信号は発生しません。
- 4.** WDTEレジスタのリード値は、“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

**11.4 動作**

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。

WDTM2レジスタへの書き込みは、バイト・アクセスのみリセット後に一度だけ可能です。ウォッチドッグ・タイマ2を使用する場合は、動作モードとインターバル時間を8ビット・メモリ操作でWDTM2レジスタに書き込んでください。この操作後、動作停止することはできません。

WDTM2.WDCS24-WDCS20ビットで、ウォッチドッグ・タイマ2の暴走検出時間間隔を選択できます。

WDTEレジスタにACHを書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再度カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にWDTEレジスタにACHを書き込んでください。

WDTEレジスタにACHが書き込まれず、暴走検出時間を越えてしまった場合は、WDTM2.WDM21, WDM20ビットの設定値により、リセット信号 (WDT2RES) またはノンマスクابل割り込み要求信号 (INTWDT2) が発生します。

WDTM2.WDM21ビット = 1 (リセット・モード) に設定している場合、リセットやスタンバイ解除後の発振安定時間中にWDTオーバフローが発生すると、内部リセットは発生せずに、CPUクロックが内蔵発振クロックに切り替わります。

ウォッチドッグ・タイマ2を使用しない場合は、WDTM2レジスタに00Hを書き込んでください。

また、ノンマスクابل割り込み要求モードに設定した場合、ノンマスクابل割り込み処理については24. 2. 2 (2) INTWDT2信号の場合を参照してください。

オプション・バイト0000007AH( 第33章 オプション・バイト機能参照 )のWDTMD1ビット = 1に設定すると、ウォッチドッグ・タイマ2の動作モードをリセット・モードに固定 ( $2^{12}/f_R-2^{19}/f_R$ の選択は可能)、ソース・クロックを内蔵発振クロックに固定できます。ただし、オプション・バイト0000007AHのWDTMD1ビット = 1に設定した場合、リセット以外にウォッチドッグ・タイマ2の動作を停止することはできません。



## 第12章 リアルタイム出力機能 (RTO)

### 12.1 機 能

RTBLn, RTBHnレジスタにあらかじめ設定したデータを, タイマ割り込みの発生と同時にハードウェアで出力ラッチに転送して, 外部に出力することをリアルタイム出力機能 (RTO) といいます。また, 外部へ出力する端子をリアルタイム出力ポートと呼びます。

RTOを使用することにより, ジッタのない信号を出力できますので, ステッピング・モータなどの制御に最適です。

V850E/SJ3-H, V850E/SK3-Hでは, 6ビット・リアルタイム出力ポートを2チャンネル搭載しています。

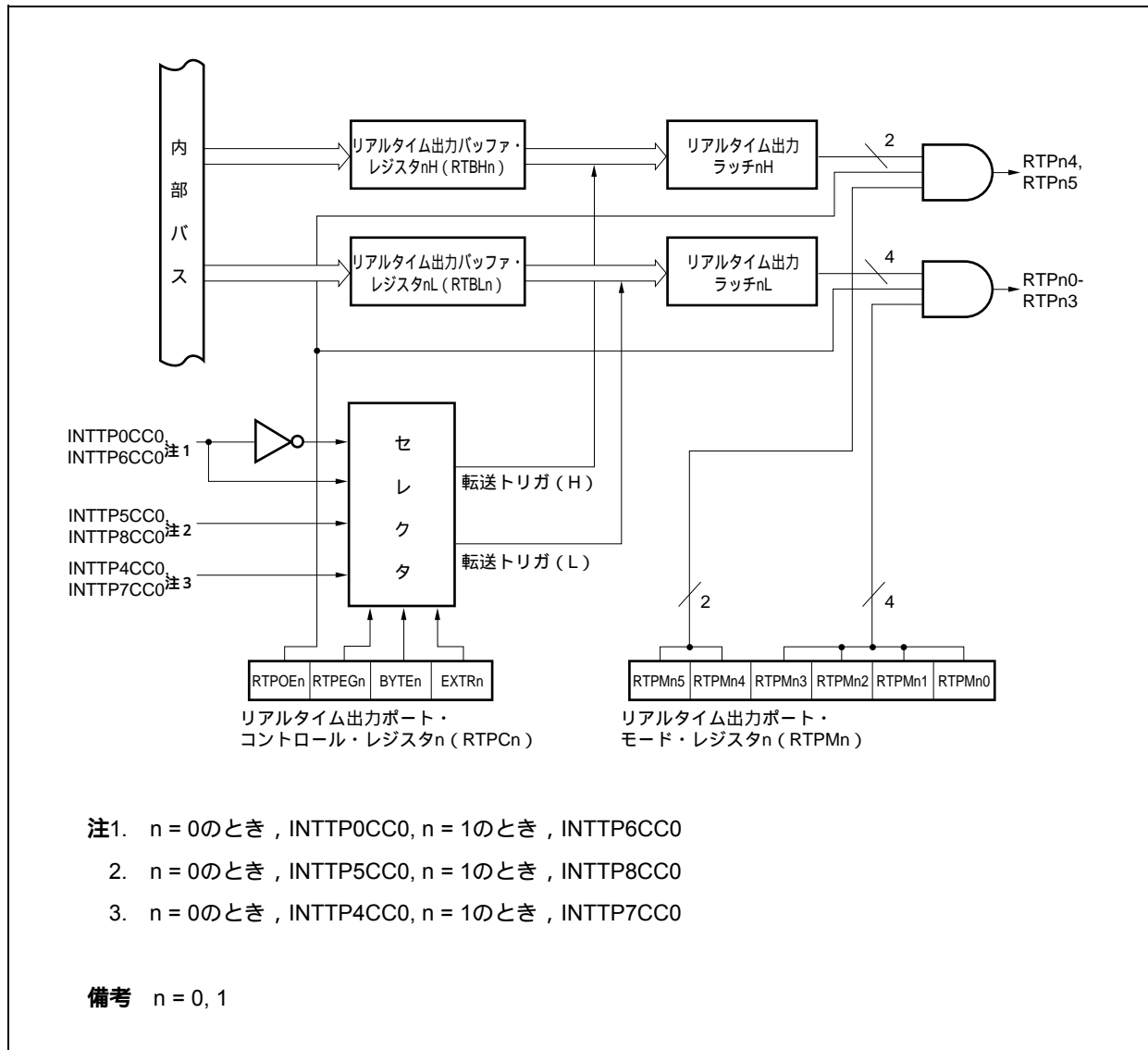
1ビット単位でポート・モード / リアルタイム出力ポート・モードの指定ができます。

**備考** n = 0, 1

## 12.2 構 成

次にRTOのブロック図を示します。

図12 - 1 RTOのブロック図



RTOは、次のハードウェアで構成しています。

表12 - 1 RTOの構成

項目	構成
レジスタ	リアルタイム出力バッファ・レジスタnL, nH (RTBLn, RTBHn)
制御レジスタ	リアルタイム出力ポート・モード・レジスタn (RTPMn) リアルタイム出力ポート・コントロール・レジスタn (RTPCn)

(1) リアルタイム出力バッファ・レジスタ<sub>nL, nH</sub> (RTBL<sub>n</sub>, RTBH<sub>n</sub>)

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタは、周辺I/Oレジスタ領域内でそれぞれ独立したアドレスにマッピングされています。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

4ビット×1チャンネル、2ビット×1チャンネルの動作モードを指定したとき (RTPC<sub>n</sub>.BYTE<sub>n</sub>ビット = 0) は、RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタはそれぞれ独立にデータを設定できます。また、RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

6ビット×1チャンネルの動作モードを指定したとき (BYTE<sub>n</sub>ビット = 1) は、RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタのどちらか一方に8ビット・データを書き込むことにより、RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタそれぞれにデータを設定できます。また、RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

表12 - 2にRTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタに対する操作時の動作を示します。

リセット時 : 00H		R/W	アドレス : RTBL0 FFFFF6E0H, RTBH0 FFFFF6E2H, RTBL1 FFFFF6F0H, RTBH1 FFFFF6F2H							
			7	6	5	4	3	2	1	0
RTBL <sub>n</sub>	-----				RTBL <sub>n</sub> 3	RTBL <sub>n</sub> 2	RTBL <sub>n</sub> 1	RTBL <sub>n</sub> 0		
RTBH <sub>n</sub>	0	0	RTBH <sub>n</sub> 5	RTBH <sub>n</sub> 4	-----					

**注意1.** RTBH<sub>n</sub>レジスタのビット6, 7への書き込み時は、必ず“0”を書き込んでください。

2. 次に示す状態において、RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタへのアクセスは禁止です。詳細は3. 4. 9

(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

**備考** n = 0, 1

表12 - 2 RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタに対する操作時の動作

動作モード	操作対象 レジスタ	リード時		ライト時 <sup>注</sup>	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×1チャンネル, 2ビット×1チャンネル	RTBL <sub>n</sub>	RTBH <sub>n</sub>	RTBL <sub>n</sub>	無効	RTBL <sub>n</sub>
	RTBH <sub>n</sub>	RTBH <sub>n</sub>	RTBL <sub>n</sub>	RTBH <sub>n</sub>	無効
6ビット×1チャンネル	RTBL <sub>n</sub>	RTBH <sub>n</sub>	RTBL <sub>n</sub>	RTBH <sub>n</sub>	RTBL <sub>n</sub>
	RTBH <sub>n</sub>	RTBH <sub>n</sub>	RTBL <sub>n</sub>	RTBH <sub>n</sub>	RTBL <sub>n</sub>

**注** リアルタイム出力ポートに設定後、リアルタイム出力トリガが発生されるまでにRTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタに出力データを設定してください。

## 12.3 レジスタ

RTOは、次の2種類のレジスタで制御します。

- ・リアルタイム出力ポート・モード・レジスタ $n$  (RTPM $n$ )
- ・リアルタイム出力ポート・コントロール・レジスタ $n$  (RTPC $n$ )

### (1) リアルタイム出力ポート・モード・レジスタ $n$ (RTPM $n$ )

RTPM $n$ レジスタは、リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H    R/W    アドレス：RTPM0 FFFFF6E4H, RTPM1 FFFFF6F4H								
	7	6	5	4	3	2	1	0
RTPM $n$ ( $n = 0, 1$ )	0	0	RTPM $n$ 5	RTPM $n$ 4	RTPM $n$ 3	RTPM $n$ 2	RTPM $n$ 1	RTPM $n$ 0
RTPM $n$ m	リアルタイム出力ポートの制御 ( $m = 0-5$ )							
0	リアルタイム出力禁止							
1	リアルタイム出力許可							

**注意1.** リアルタイム出力動作を許可 (RTPC $n$ .RTPOEnビット = 1) することにより、RTP $n$ 0-RTP $n$ 5信号のうちリアルタイム出力許可されたビットはリアルタイム出力を行い、リアルタイム出力動作禁止に指定されたビットは“0”を出力します。

2. リアルタイム出力動作を禁止 (RTPOEnビット = 0) した場合は、RTPM $n$ レジスタの設定にかかわらず、リアルタイム出力端子 (RTP $n$ 0-RTP $n$ 5) は全ビット“0”を出力します。

3. リアルタイム出力端子 (RTP $n$ 0-RTP $n$ 5) として使用するには、PMC, PFCレジスタでリアルタイム出力ポートに設定してください。

4. ビット6, 7には必ず0を設定してください。

(2) リアルタイム出力ポート・コントロール・レジスタ<sub>n</sub> (RTPC<sub>n</sub>)

RTPC<sub>n</sub>レジスタは、リアルタイム出力ポートの動作モード、および出力トリガを設定するレジスタです。

リアルタイム出力ポートの動作モードと出力トリガについては表12-3、表12-4に示すような関係があります。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H    R/W    アドレス：RTPC0 FFFFF6E5H, RTPC1 FFFFF6F5H								
	⑦	6	5	4	3	2	1	0
RTPC <sub>n</sub> (n = 0, 1)	RTPOEn	RTPEGn	BYTEn	EXTRn	0	0	0	0
RTPOEn	リアルタイム出力の動作制御							
0	動作禁止 <sup>注1</sup>							
1	動作許可							
RTPEGn	INTTPaCC0 (n=0, a=0, 4, 5), INTTPbCC0 (n=1, b=6-8) 信号の有効エッジ							
0	立ち下がりエッジ <sup>注2</sup>							
1	立ち上がりエッジ							
BYTEn	リアルタイム出力のチャンネル構成指定							
0	4ビット×1チャンネル, 2ビット×1チャンネル							
1	6ビット×1チャンネル							

**注1.** リアルタイム出力動作禁止 (RTPOEnビット = 0) の場合、リアルタイム出力信号 (RTPn0-RTPn5) は全ビット“0”を出力します。

**2.** INTTP0CC0, INTTP6CC0信号は、TMP0, TMP6で選択しているカウント・クロックの1クロック分出力されます。

**注意** RTPEGn, BYTEn, EXTRnビットの設定は、必ずRTPOEnビット = 0のときに行ってください。

表12-3 リアルタイム出力ポートの動作モードと出力トリガ (n = 0)

BYTE0	EXTR0	動作モード	RTBH0 (RTP04, RTP05)	RTBL0 (RTP00-RTP03)
0	0	4ビット×1チャンネル,	INTTP5CC0	INTTP4CC0
	1	2ビット×1チャンネル	INTTP4CC0	INTTP0CC0
1	0	6ビット×1チャンネル	INTTP4CC0	
	1		INTTP0CC0	

表12-4 リアルタイム出力ポートの動作モードと出力トリガ (n = 1)

BYTE1	EXTR1	動作モード	RTBH1 (RTP14, RTP15)	RTBL1 (RTP10-RTP13)
0	0	4ビット×1チャンネル,	INTTP8CC0	INTTP7CC0
	1	2ビット×1チャンネル	INTTP7CC0	INTTP6CC0
1	0	6ビット×1チャンネル	INTTP7CC0	
	1		INTTP6CC0	

## 12.4 動作

RTPCn.RTPOEnビット = 1でリアルタイム出力動作を許可した場合、選択された転送トリガ (RTPCn.EXTRn, BYTEnビットで設定) の発生に同期して、RTBHn, RTBLnレジスタのデータをリアルタイム出力ラッチに転送します。転送されたデータのうちRTPMnレジスタの設定により、リアルタイム出力を許可されたビットのデータのみをRTPn0-RTPn5のそれぞれのビットから出力します。RTPMnレジスタでリアルタイム出力動作禁止に指定されたビットは0を出力します。

RTPOEnビット = 0でリアルタイム出力動作を禁止した場合は、RTPMnレジスタの設定に関係なくRTPn0-RTPn5信号は0を出力します。

図12-2 RTO0の動作タイミングとソフトウェア処理例 (EXTR0ビット = 0, BYTE0ビット = 0の場合) (1/2)

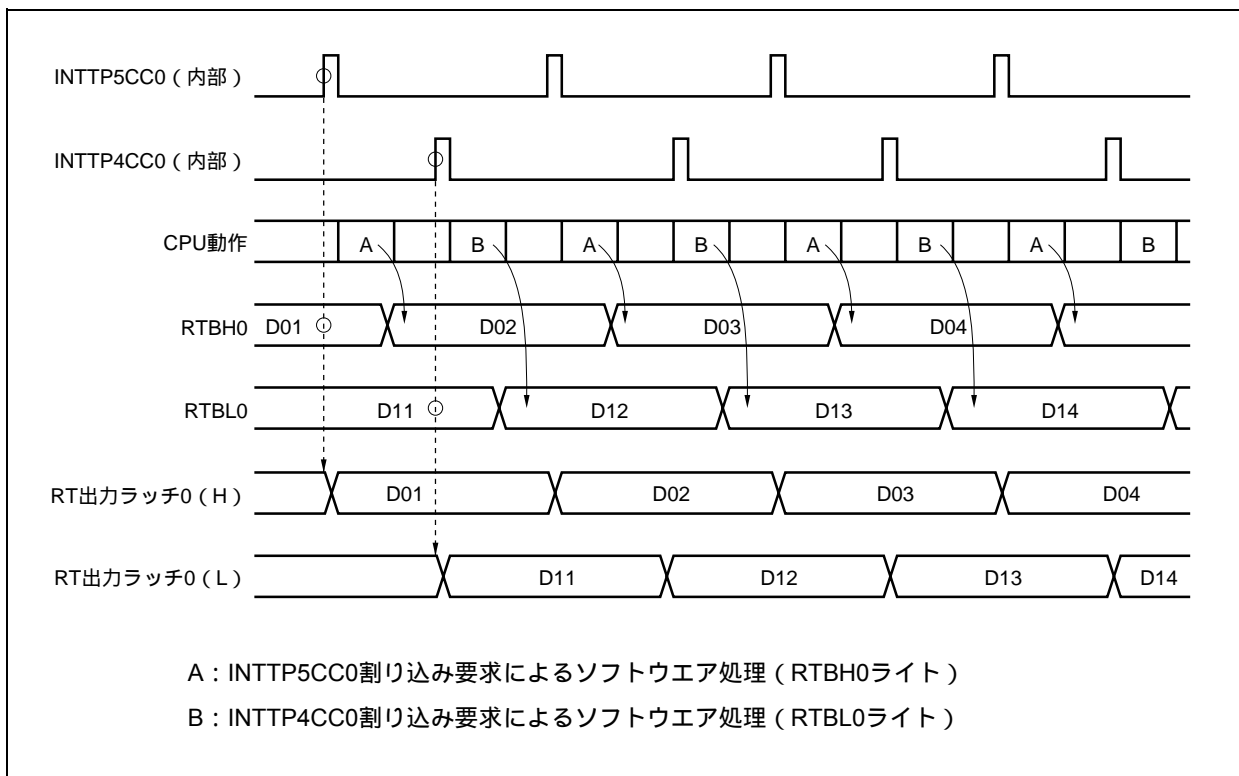
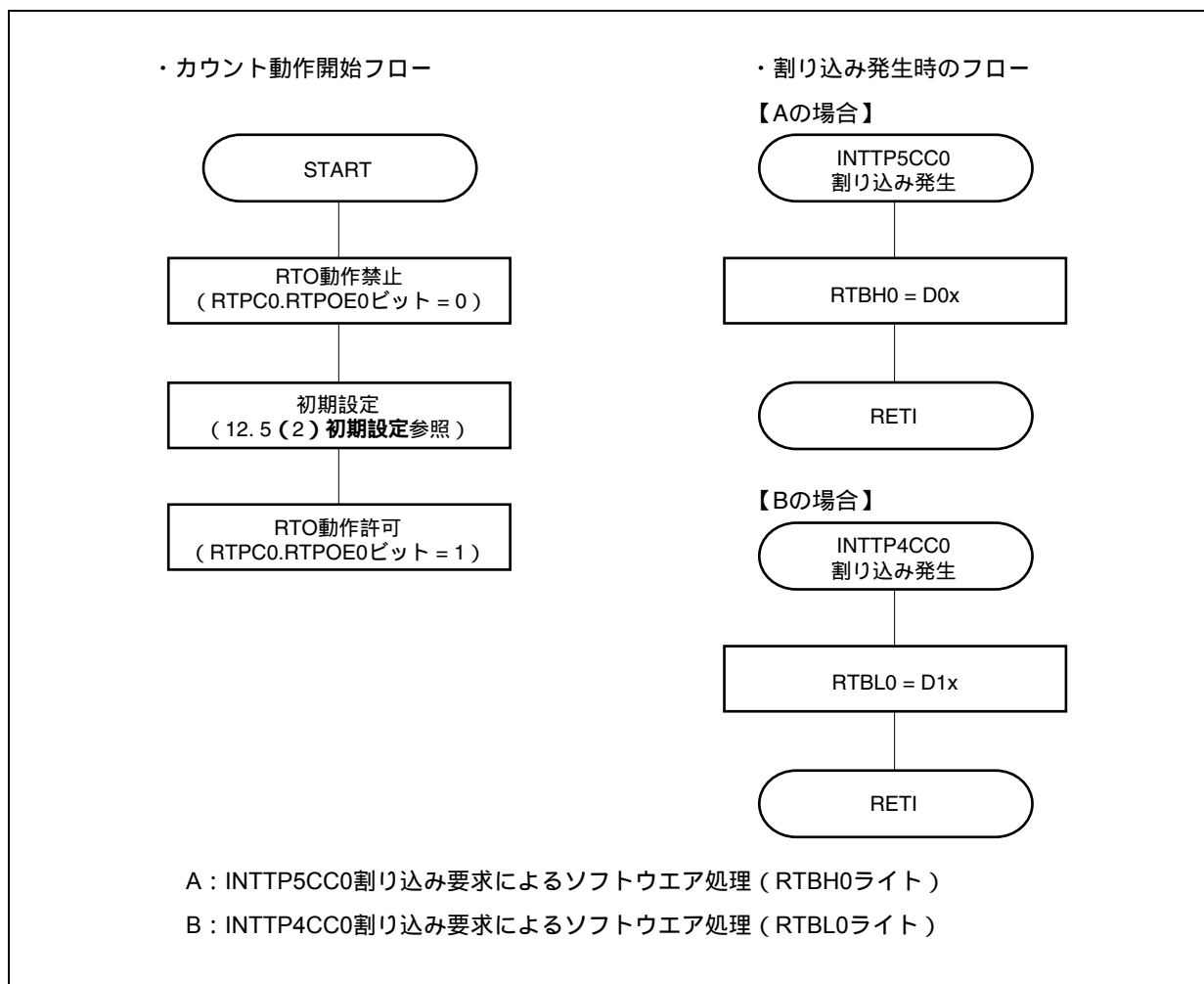


図12 - 2 RTO0の動作タイミングとソフトウェア処理例 (EXTR0ビット = 0, BYTE0ビット = 0の場合) (2/2)



備考 スタンバイ時の動作については、第26章 スタンバイ機能を参照してください。

## 12.5 使用方法

(1) リアルタイム出力動作を禁止する。

RTPCn.RTPOEnビット = 0に設定。

(2) 初期設定

・ n = 0の場合は、ポート5の兼用端子を設定する。

PFC5.PFC5mビット, PFCE5.PFCE5mビットに1を設定後, PMC5.PMC5mビットに1を設定する (m = 0-5)。

n = 1の場合は、ポート6の兼用端子を設定する。

PFC6.PFC6mビット, PFCE6.PFCE6mビットに0を設定後, PMC6.PMC6mビットに1を設定する。

・ ビット単位でリアルタイム出力ポート・モード/ポート・モードを指定する。

RTPMnレジスタを設定。

・ チャネル構成, トリガおよび有効エッジを選択する。

RTPCn.EXTRn, BYTEEn, RTPEGnビットを設定。

・ 初期値をRTBHn, RTBLnレジスタに設定する<sup>注1</sup>。

(3) リアルタイム出力動作を許可する。

RTPOEnビット = 1に設定。

(4) 選択した転送トリガが発生するまでに、次の出力値をRTBHn, RTBLnレジスタに設定する<sup>注2</sup>。

(5) 選択したトリガに対応する割り込み処理により、順次、次のリアルタイム出力値をRTBHn, RTBLnレジスタに設定する。

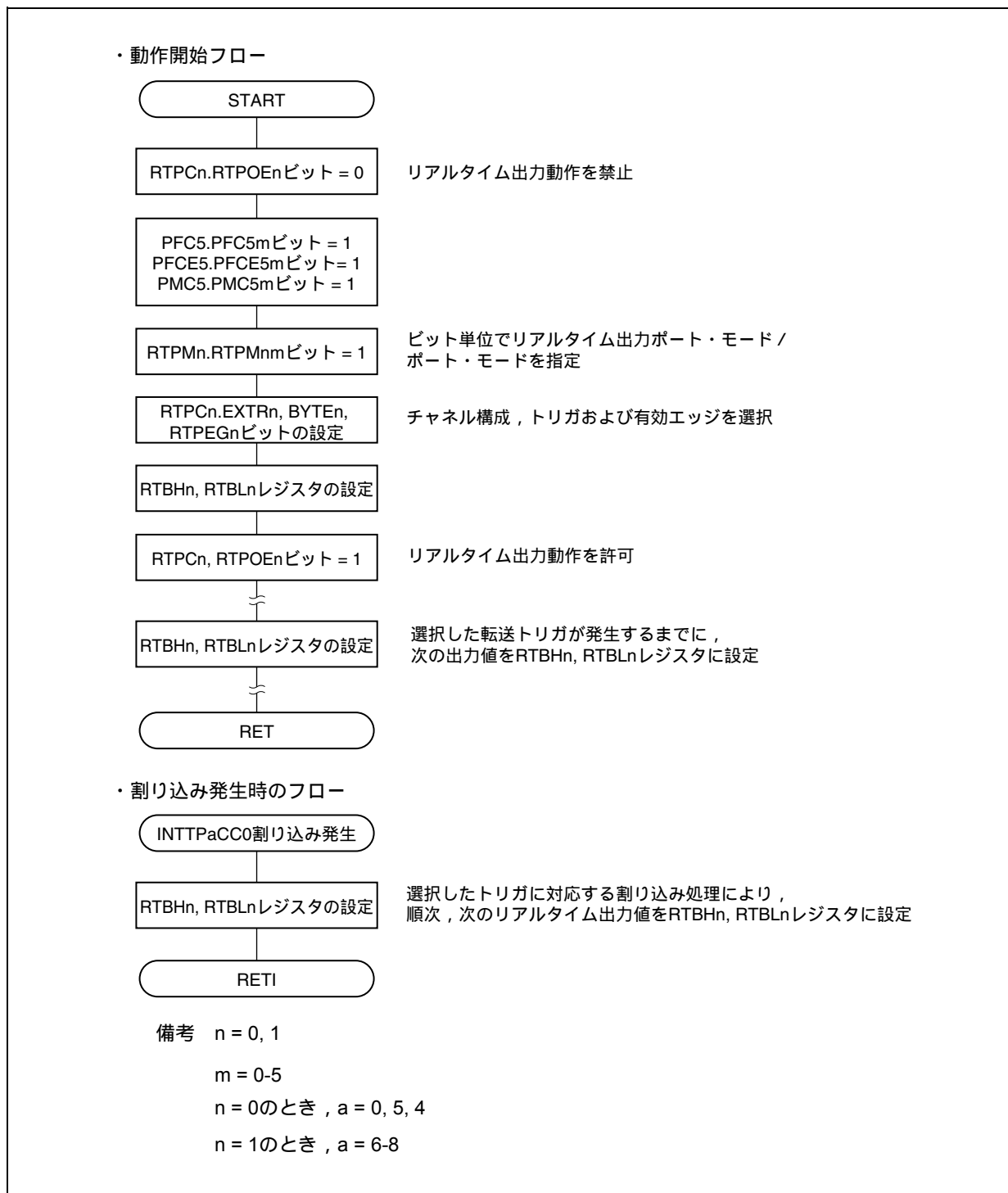
注1. RTPOEnビット = 0のとき, RTBHn, RTBLnレジスタに対してライトを行うと, その値がそれぞれリアルタイム出力ラッチnH, リアルタイム出力ラッチnLに転送されます。

2. RTPOEnビット = 1のとき, RTBHn, RTBLnレジスタに対してライトを行っても, リアルタイム出力ラッチnH, リアルタイム出力ラッチnLにデータ転送はされません。



次にRTOの動作フローを示します。

図12 - 3 RTOの動作フロー



## 12.6 注意事項

(1) ソフトウェアにより、次の競合を回避してください。

- ・リアルタイム出力動作の禁止 / 許可の切り替え (RTPOEnビット) と選択したリアルタイム出力トリガとの競合
- ・リアルタイム出力動作許可状態におけるRTBHn, RTBLnレジスタのライトと選択したリアルタイム出力トリガとの競合

(2) 初期設定は、リアルタイム出力動作を禁止 (RTPOEnビット = 0) にしてから行ってください。

(3) 一度リアルタイム出力動作を禁止 (RTPOEnビット = 0) した場合は、リアルタイム出力動作を許可 (RTPOEnビット = 0 1) する前に、必ずRTBHn, RTBLnレジスタに初期値を設定してください。

## 第13章 A/Dコンバータ

### 13.1 概要

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、10ビット分解能、16チャンネル：ANI0-ANI15端子の構成になっています。

次にA/Dコンバータの特徴について示します。

10ビット分解能

16チャンネル

逐次比較変換方式

動作電圧： $AV_{REF0} = 3.0 \sim 3.6 \text{ V}$

アナログ入力電圧： $0 \text{ V} \sim AV_{REF0}$

動作モードとして、次の機能があります。

- ・連続セレクト・モード
- ・連続スキャン・モード
- ・ワンショット・セレクト・モード
- ・ワンショット・スキャン・モード

トリガ・モードとして、次の機能があります。

- ・ソフトウェア・トリガ・モード
- ・外部トリガ・モード（外部1本）
- ・タイマ・トリガ・モード

パワー・フェイル監視機能（変換結果比較機能）

### 13.2 機能

#### (1) 10ビット分解能A/D変換

アナログ入力をANI0-ANI15から1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求信号（INTAD）を発生します。

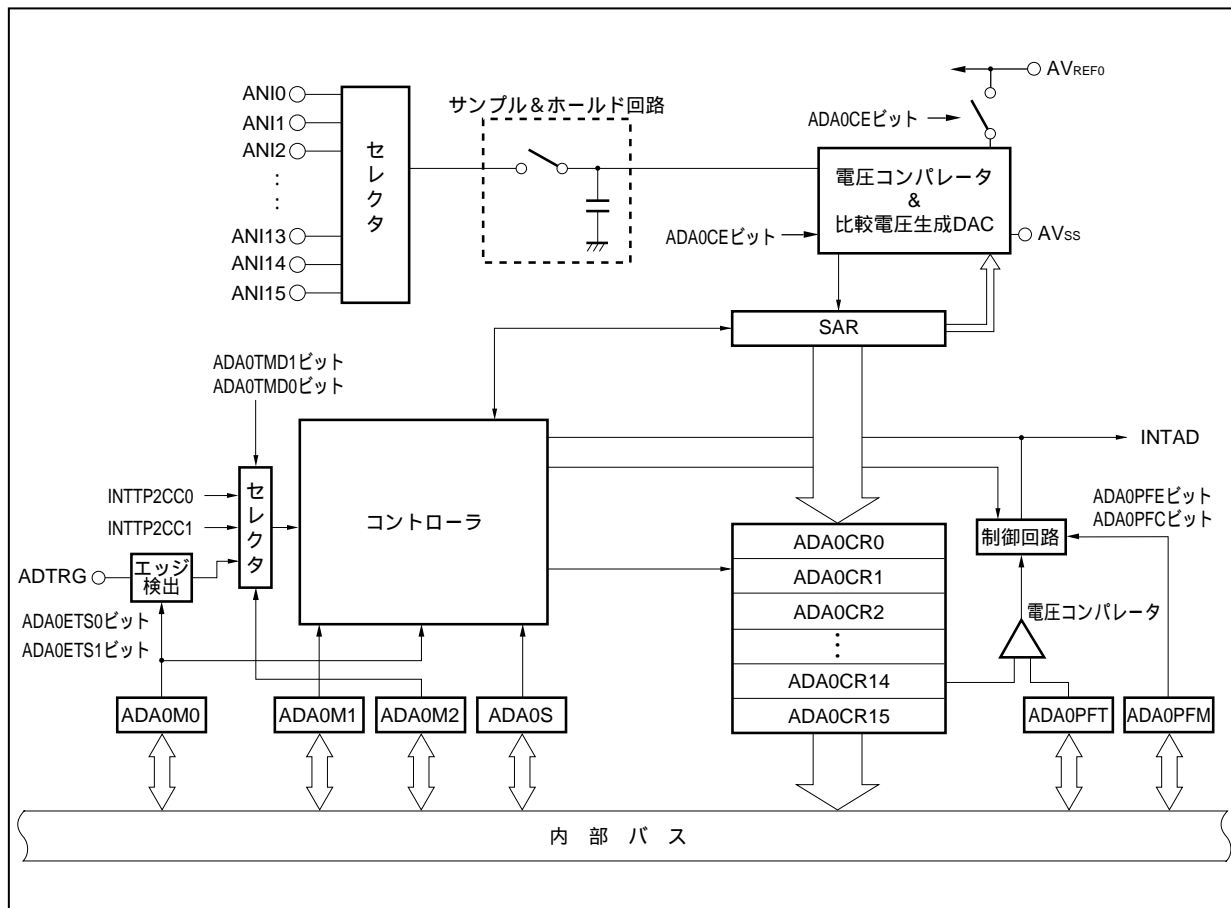
#### (2) パワー・フェイル検出機能

バッテリー電圧低下を検出するための機能です。A/D変換結果（ADA0CRnHレジスタ値）とADA0PFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します（ $n = 0-15$ ）。

### 13.3 構 成

次にブロック図を示します。

図13 - 1 A/Dコンバータのブロック図



A/Dコンバータは、次のハードウェアで構成しています。

表13 - 1 A/Dコンバータの構成

項目	構成
アナログ入力	16チャンネル ( ANI0-ANI15端子 )
レジスタ	逐次変換レジスタ ( SAR ) A/D変換結果レジスタ0-15 ( ADA0CR0-ADA0CR15 ) A/D変換結果レジスタ0H-15H ( ADCR0H-ADCR15H ) : 上位8ビットだけ読み出し可能
制御レジスタ	A/Dコンバータ・モード・レジスタ0-2 ( ADA0M0-ADA0M2 ) A/Dコンバータ・チャンネル指定レジスタ0 ( ADA0S ) パワー・フェイル比較モード・レジスタ ( ADA0PFM ) パワー・フェイル比較しきい値レジスタ ( ADA0PFT )

**(1) 逐次変換レジスタ (SAR)**

アナログ入力の電圧値と比較電圧生成DACの出力電圧（比較電圧）の値を比較し、その結果を最上位ビット（MSB）から保持するレジスタです。

最下位ビット（LSB）まで保持すると（A/D変換終了）、SARレジスタの内容はADA0CRnレジスタに転送されます。

**備考** n = 0-15

**(2) A/D変換結果レジスタn (ADA0CRn) , A/D変換結果レジスタnH (ADA0CRnH)**

ADA0CRnレジスタはA/D変換の結果を格納する16ビットのレジスタです。16本のレジスタで構成されており、A/D変換結果はアナログ入力に対応したADA0CRnレジスタの上位10ビットに格納します（下位6ビットは0に固定）。

**(3) A/Dコンバータ・モード・レジスタ0 (ADA0M0)**

動作モードの指定および変換動作の制御を行うレジスタです。

**(4) A/Dコンバータ・モード・レジスタ1 (ADA0M1)**

A/D変換するアナログ入力の変換時間を設定するレジスタです。

**(5) A/Dコンバータ・モード・レジスタ2 (ADA0M2)**

ハードウェア・トリガのモードを設定するレジスタです。

**(6) A/Dコンバータ・チャンネル指定レジスタ (ADA0S)**

A/D変換するアナログ電圧の入力ポートを設定するレジスタです。

**(7) パワー・フェイル比較モード・レジスタ (ADA0PFM)**

パワー・フェイル監視モードを設定するレジスタです。

**(8) パワー・フェイル比較しきい値レジスタ (ADA0PFT)**

A/D変換結果レジスタnH (ADA0CRnH) と大小比較する場合のしきい値を設定するレジスタです。

ADA0PFTレジスタに設定した8ビット・データとA/D変換結果レジスタの上位8ビット (ADA0CRnH) が比較されます。

**(9) 制御回路**

A/D変換が終了するか、パワー・フェイル検出機能使用時、A/D変換結果 (ADA0CRnHレジスタ値) とADA0PFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します。

**(10) サンプル&ホールド回路**

サンプル&ホールド回路は、入力回路で選択されたアナログ入力信号をサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

**(11) 電圧コンパレータ**

電圧コンパレータは、サンプリングされ保持された電圧値と比較電圧生成DACの出力電圧を比較します。

**(12) 比較電圧生成DAC**

比較電圧生成DACは $AV_{REF0}$ - $AV_{SS}$ 間に接続されており、アナログ入力と比較する電圧を発生します。

**(13) ANI0-ANI15端子**

A/Dコンバータへの16チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ADA0Sレジスタでアナログ入力として選択した端子以外は、入力ポートとして使用できます。

**注意** ANI0-ANI15端子入力電圧は規格の範囲内で使用してください。特に $AV_{REF0}$ 以上の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

**(14)  $AV_{REF0}$ 端子**

A/Dコンバータの基準電圧を入力する端子です。A/Dコンバータを使用しないときでも、常に $V_{DD}$ 端子と同電位で使用してください。

$AV_{REF0}$ ,  $AV_{SS}$ 間にかかる電圧に基づいて、ANI0-ANI15端子に入力される信号をデジタル信号に変換します。

**(15)  $AV_{SS}$ 端子**

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に $V_{SS}$ 端子と同電位で使用してください。

## 13.4 レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ0, 1, 2 ( ADA0M0, ADA0M1, ADA0M2 )
- ・ A/Dコンバータ・チャンネル指定レジスタ0 ( ADA0S )
- ・ パワー・フェイル比較モード・レジスタ ( ADA0PFM )

また、次のレジスタも使用します。

- ・ A/D変換結果レジスタn ( ADA0CRn )
- ・ A/D変換結果レジスタnH ( ADA0CRnH )
- ・ パワー・フェイル比較しきい値レジスタ ( ADA0PFT )

### (1) A/Dコンバータ・モード・レジスタ0 ( ADA0M0 )

動作モードの指定および変換動作の制御を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、ADA0EFビットはリードのみ可能です。

リセットにより、00Hになります。

**注意** 次に示す状態において、ADA0M0レジスタへのアクセスは禁止です。詳細は3.4.9(2) 特定の  
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・ CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・ CPUが内蔵発振クロックで動作している場合

( 1/2 )

リセット時 : 00H    R/W    アドレス : FFFFF200H								
ADA0M0	⑦	6	5	4	3	2	1	⑩
	ADA0CE	0	ADA0MD1	ADA0MD0	ADA0ETS1	ADA0ETS0	ADA0TMD	ADA0EF
	ADA0CE	A/D変換動作の制御						
	0	A/D変換動作停止						
	1	A/D変換動作許可						
	ADA0MD1	ADA0MD0	A/Dコンバータ動作モードを指定					
	0	0	連続セレクト・モード					
	0	1	連続スキャン・モード					
	1	0	ワンショット・セレクト・モード					
	1	1	ワンショット・スキャン・モード					

(2/2)

ADA0ETS1	ADA0ETS0	外部トリガ (ADTRG端子) 入力の有効エッジを指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち上がり / 立ち下がり両エッジ検出

ADA0TMD	トリガ・モードを指定
0	ソフトウェア・トリガ・モード
1	外部トリガ・モード / タイマ・トリガ・モード

ADA0EF	A/Dコンバータの状態を提示
0	A/D変換停止中
1	A/D変換動作中

- 注意1. ビット0に書き込みを行った場合、書き込みは無視されます。
- A/D変換動作許可中 (ADA0CEビット = 1) は、ADA0M1レジスタの変更は禁止です。
  - 次のモードでは、ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みはA/D変換動作停止 (ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。
    - ・通常変換モード
    - ・高速変換モードのワンショット・セレクト・モード / ワンショット・スキャン・モード
 また、そのほかのモードでA/D変換動作中 (ADA0EFビット = 1) にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合には各モードにより次のようになります。
    - ・ソフトウェア・トリガ・モード時  
A/D変換動作は中断され、再度、最初から変換動作を行います。
    - ・ハードウェア・トリガ・モード時  
A/D変換動作は中断され、再度、トリガ待機状態になります。
  - 外部トリガ・モード / タイマ・トリガ・モードを選択する場合 (ADA0TMDビット = 1) は、高速変換モード (ADA0M1.ADA0HS1ビット = 1) に設定してください。また、A/D変換動作許可 (ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。
  - A/Dコンバータを使用しない場合は、消費電力を小さくするために、ADA0CEビット = 0として動作を停止させてください。



## (2) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

変換時間の指定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時 : 00H R/W アドレス : FFFFF201H

	7	6	5	4	3	2	1	0
ADA0M1	ADA0HS1	0	0	0	ADA0FR3	ADA0FR2	ADA0FR1	ADA0FR0

ADA0HS1	A/D変換時間の通常変換モード / 高速変換モードを指定
0	通常変換モード
1	高速変換モード

- 注意1.** A/D変換動作許可中 (ADA0M0.ADA0CEビット = 1) は, ADA0M1レジスタの変更は禁止です。
- 2.** 外部トリガ・モード/タイマ・トリガ・モードを選択する場合 (ADA0M0.ADA0TMDビット = 1) は, 高速変換モード (ADA0HS1ビット = 1) に設定してください。また, A/D変換動作許可 (ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。
- 3.** ビット6-4には必ず“0”を設定してください。

**備考** A/D変換時間の設定例は表13 - 2, 表13 - 3を参照してください。

表13-2 通常変換モード時の変換時間の選択 (ADA0HS1ビット = 0)

ADA0FR3- ADA0FR0 ビット	A/D変換時間						トリガ 応答時間
	安定時間 + 変換時間 + ウエイト時間	$f_{XP} = 32 \text{ MHz}$	$f_{XP} = 24 \text{ MHz}$	$f_{XP} = 20 \text{ MHz}$	$f_{XP} = 16 \text{ MHz}$	$f_{XP} = 4 \text{ MHz}$	
0000	$66/f_{XP} (13/f_{XP} + 26/f_{XP} + 27/f_{XP})$	設定禁止	設定禁止	設定禁止	設定禁止	$16.50 \mu\text{s}$	$3/f_{XP}$
0001	$131/f_{XP} (26/f_{XP} + 52/f_{XP} + 53/f_{XP})$	設定禁止	設定禁止	$6.55 \mu\text{s}$	$8.19 \mu\text{s}$	設定禁止	$3/f_{XP}$
0010	$196/f_{XP} (39/f_{XP} + 78/f_{XP} + 79/f_{XP})$	設定禁止	$8.17 \mu\text{s}$	$9.80 \mu\text{s}$	$12.25 \mu\text{s}$	設定禁止	$3/f_{XP}$
0011	$259/f_{XP} (50/f_{XP} + 104/f_{XP} + 105/f_{XP})$	$8.09 \mu\text{s}$	$10.79 \mu\text{s}$	$12.95 \mu\text{s}$	$16.19 \mu\text{s}$	設定禁止	$3/f_{XP}$
0100	$311/f_{XP} (50/f_{XP} + 130/f_{XP} + 131/f_{XP})$	$9.72 \mu\text{s}$	$12.96 \mu\text{s}$	$15.55 \mu\text{s}$	$19.44 \mu\text{s}$	設定禁止	$3/f_{XP}$
0101	$363/f_{XP} (50/f_{XP} + 156/f_{XP} + 157/f_{XP})$	$11.34 \mu\text{s}$	$15.13 \mu\text{s}$	$18.15 \mu\text{s}$	$22.69 \mu\text{s}$	設定禁止	$3/f_{XP}$
0110	$415/f_{XP} (50/f_{XP} + 182/f_{XP} + 183/f_{XP})$	$12.97 \mu\text{s}$	$17.29 \mu\text{s}$	$20.75 \mu\text{s}$	設定禁止	設定禁止	$3/f_{XP}$
0111	$467/f_{XP} (50/f_{XP} + 208/f_{XP} + 209/f_{XP})$	$14.59 \mu\text{s}$	$19.46 \mu\text{s}$	$23.35 \mu\text{s}$	設定禁止	設定禁止	$3/f_{XP}$
1000	$519/f_{XP} (50/f_{XP} + 234/f_{XP} + 235/f_{XP})$	$16.22 \mu\text{s}$	$21.63 \mu\text{s}$	設定禁止	設定禁止	設定禁止	$3/f_{XP}$
1001	$571/f_{XP} (50/f_{XP} + 260/f_{XP} + 261/f_{XP})$	$17.84 \mu\text{s}$	設定禁止	設定禁止	設定禁止	設定禁止	$3/f_{XP}$
1010	$623/f_{XP} (50/f_{XP} + 286/f_{XP} + 287/f_{XP})$	$19.47 \mu\text{s}$	設定禁止	設定禁止	設定禁止	設定禁止	$3/f_{XP}$
1011	$675/f_{XP} (50/f_{XP} + 312/f_{XP} + 313/f_{XP})$	$21.09 \mu\text{s}$	設定禁止	設定禁止	設定禁止	設定禁止	$3/f_{XP}$
上記以外	設定禁止						

備考1. 安定時間 : A/Dコンバータのセットアップ時間 ( $1 \mu\text{s}$ 以上)  
 変換時間 : 実際にA/D変換にかかる時間 ( $2.6 \sim 10.4 \mu\text{s}$ )  
 ウエイト時間 : 次の変換までに挿入されるウエイト時間  
 トリガ応答時間 : ソフトウェア・トリガ, 外部トリガ, またはタイマ・トリガが安定時間経過後に発生した場合, 変換時間の前に挿入されます。

2.  $f_{XP}$  : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき,  $f_{XP} = f_{XX}$

クロック・モード2のとき,  $f_{XP} = f_{XMPLL}/2$  ( $14.64 \sim 16 \text{ MHz}$ )

クロック・モード3のとき,  $f_{XP} = f_{XMPLL}$  ( $29.28 \sim 32 \text{ MHz}$ )

クロック・モード4のとき,  $f_{XP} = f_{XMPLL}/2$  ( $20.88 \sim 24 \text{ MHz}$ )

$f_{XX}$  : メイン・クロック周波数

$f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

通常変換モードでは, ADA0M0.ADA0CEビットをセット(1)してから, 安定時間後に変換を開始し, 変換時間 ( $2.6 \sim 10.4 \mu\text{s}$ ) の間だけA/D変換動作を行います。変換終了後, 動作を停止し, ウエイト時間が経過してからA/D変換終了割り込み要求信号 (INTAD) が発生します。

ウエイト時間中は変換動作を停止しているため, 動作電流を低減することができます。

**注意**  $2.6 \mu\text{s}$  変換時間  $10.4 \mu\text{s}$  になるように設定してください。

表13-3 高速変換モード時の変換時間の選択 (ADA0HS1ビット = 1)

ADA0FR3- ADA0FR0 ビット	A/D 変換時間						トリガ 応答時間
	変換時間 (+ 安定時間)	f <sub>XP</sub> = 32 MHz	f <sub>XP</sub> = 24 MHz	f <sub>XP</sub> = 20 MHz	f <sub>XP</sub> = 16 MHz	f <sub>XP</sub> = 4 MHz	
0000	26/f <sub>XP</sub> (+ 13/f <sub>XP</sub> )	設定禁止	設定禁止	設定禁止	設定禁止	6.5 μs (+ 3.25 μs)	3/f <sub>XP</sub>
0001	52/f <sub>XP</sub> (+ 26/f <sub>XP</sub> )	設定禁止	設定禁止	2.6 μs (+ 1.3 μs)	3.25 μs (+ 1.625 μs)	設定禁止	3/f <sub>XP</sub>
0010	78/f <sub>XP</sub> (+ 39/f <sub>XP</sub> )	設定禁止	3.25 μs (+ 1.625 μs)	3.9 μs (+ 1.95 μs)	4.875 μs (+ 2.4375 μs)	設定禁止	3/f <sub>XP</sub>
0011	104/f <sub>XP</sub> (+ 50/f <sub>XP</sub> )	3.25 μs (+ 1.5625 μs)	4.33 μs (+ 2.083 μs)	5.2 μs (+ 2.5 μs)	6.5 μs (+ 3.125 μs)	設定禁止	3/f <sub>XP</sub>
0100	130/f <sub>XP</sub> (+ 50/f <sub>XP</sub> )	4.0625 μs (+ 1.5625 μs)	5.42 μs (+ 2.083 μs)	6.5 μs (+ 2.5 μs)	8.125 μs (+ 3.125 μs)	設定禁止	3/f <sub>XP</sub>
0101	156/f <sub>XP</sub> (+ 50/f <sub>XP</sub> )	4.875 μs (+ 1.5625 μs)	6.50 μs (+ 2.083 μs)	7.8 μs (+ 2.5 μs)	9.75 μs (+ 3.125 μs)	設定禁止	3/f <sub>XP</sub>
0110	182/f <sub>XP</sub> (+ 50/f <sub>XP</sub> )	5.6875 μs (+ 1.5625 μs)	7.58 μs (+ 2.083 μs)	9.1 μs (+ 2.5 μs)	設定禁止	設定禁止	3/f <sub>XP</sub>
0111	208/f <sub>XP</sub> (+ 50/f <sub>XP</sub> )	6.5 μs (+ 1.5625 μs)	8.67 μs (+ 2.083 μs)	10.4 μs (+ 2.5 μs)	設定禁止	設定禁止	3/f <sub>XP</sub>
1000	234/f <sub>XP</sub> (+ 50/f <sub>XP</sub> )	7.3125 μs (+ 1.5625 μs)	9.75 μs (+ 2.083 μs)	設定禁止	設定禁止	設定禁止	3/f <sub>XP</sub>
1001	260/f <sub>XP</sub> (+ 50/f <sub>XP</sub> )	8.125 μs (+ 1.5625 μs)	設定禁止	設定禁止	設定禁止	設定禁止	3/f <sub>XP</sub>
1010	286/f <sub>XP</sub> (+ 50/f <sub>XP</sub> )	8.9375 μs (+ 1.5625 μs)	設定禁止	設定禁止	設定禁止	設定禁止	3/f <sub>XP</sub>
1011	312/f <sub>XP</sub> (+ 50/f <sub>XP</sub> )	9.75 μs (+ 1.5625 μs)	設定禁止	設定禁止	設定禁止	設定禁止	3/f <sub>XP</sub>
上記以外	設定禁止						

- 備考1.** 変換時間 : 実際にA/D変換にかかる時間 (2.6 ~ 10.4 μs)  
安定時間 : A/Dコンバータのセットアップ時間 (1 μs以上)  
トリガ応答時間 : ソフトウェア・トリガ, 外部トリガ, またはタイマ・トリガが安定時間経過後に発生した場合, 変換時間の前に挿入されます。
- 2.** f<sub>XP</sub> : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)  
クロック・モード1のとき, f<sub>XP</sub> = f<sub>XX</sub>  
クロック・モード2のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 (14.64 ~ 16 MHz)  
クロック・モード3のとき, f<sub>XP</sub> = f<sub>XMPLL</sub> (29.28 ~ 32 MHz)  
クロック・モード4のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 (20.88 ~ 24 MHz)  
f<sub>XX</sub> : メイン・クロック周波数  
f<sub>XMPLL</sub> : 周辺クロック用途PLL出力クロック周波数

高速変換モードでは, ADA0M0.ADA0CEビットをセット(1)してから, 安定時間後に変換を開始し, 変換時間 (2.6 ~ 10.4 μs) の間A/D変換動作を行います。変換終了後, ただちにA/D変換終了割り込み要求信号 (INTAD) が発生します。

連続変換モードの場合, 1回目の変換前だけに安定時間が挿入され, 2回目以降は安定時間が挿入されません (A/Dコンバータは起動したままです)。

**注意** 2.6 μs 変換時間 10.4 μsになるように設定してください。

## (3) A/Dコンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを指定します。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時: 00H R/W アドレス: FFFFF203H

	7	6	5	4	3	2	1	0
ADA0M2	0	0	0	0	0	0	ADA0TMD1	ADA0TMD0

ADA0TMD1	ADA0TMD0	ハードウェア・トリガ・モードの指定
0	0	外部トリガ・モード (ADTRG端子の有効エッジ検出時)
0	1	タイマ・トリガ・モード0 (INTTP2CC0割り込み要求発生時)
1	0	タイマ・トリガ・モード1 (INTTP2CC1割り込み要求発生時)
1	1	設定禁止

**注意1.** 次のモードでは, ADA0M2レジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い, そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。

・通常変換モード

・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード

2. ビット7-2には必ず“0”を設定してください。

## (4) A/Dコンバータ・チャンネル指定レジスタ (ADA0S)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時 : 00H R/W アドレス : FFFFF202H

	7	6	5	4	3	2	1	0
ADA0S	0	0	0	0	ADA0S3	ADA0S2	ADA0S1	ADA0S0

ADA0S3	ADA0S2	ADA0S1	ADA0S0	セレクト・モード	スキャン・モード
0	0	0	0	ANI0	ANI0
0	0	0	1	ANI1	ANI0-ANI1
0	0	1	0	ANI2	ANI0-ANI2
0	0	1	1	ANI3	ANI0-ANI3
0	1	0	0	ANI4	ANI0-ANI4
0	1	0	1	ANI5	ANI0-ANI5
0	1	1	0	ANI6	ANI0-ANI6
0	1	1	1	ANI7	ANI0-ANI7
1	0	0	0	ANI8	ANI0-ANI8
1	0	0	1	ANI9	ANI0-ANI9
1	0	1	0	ANI10	ANI0-ANI10
1	0	1	1	ANI11	ANI0-ANI11
1	1	0	0	ANI12	ANI0-ANI12
1	1	0	1	ANI13	ANI0-ANI13
1	1	1	0	ANI14	ANI0-ANI14
1	1	1	1	ANI15	ANI0-ANI15

注意1. 次のモードでは, ADA0Sレジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い, そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。

- ・通常変換モード
- ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード

2. ビット7-4には必ず“0”を設定してください。

(5) A/D変換結果レジスタ<sub>n</sub>, nH (ADA0CR<sub>n</sub>, ADA0CR<sub>n</sub>H)

ADA0CR<sub>n</sub>, ADA0CR<sub>n</sub>Hレジスタは、A/D変換結果を格納するレジスタです。

16/8ビット単位でリードのみ可能です。ただし、16ビット・アクセス時はADA0CR<sub>n</sub>レジスタを指定、8ビット・アクセス時はADA0CR<sub>n</sub>Hレジスタを指定します。ADA0CR<sub>n</sub>レジスタは上位10ビットに変換結果の10ビットが読み出され、下位6ビットには0が読み出されます。ADA0CR<sub>n</sub>Hレジスタには変換結果の上位8ビットが読み出されます。

**注意** 次に示す状態において、ADA0CR<sub>n</sub>, ADA0CR<sub>n</sub>Hレジスタへのアクセスは禁止です。詳細は3.4.

## 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：不定 R アドレス：ADA0CR0 FFFFF210H, ADA0CR1 FFFFF212H,  
ADA0CR2 FFFFF214H, ADA0CR3 FFFFF216H,  
ADA0CR4 FFFFF218H, ADA0CR5 FFFFF21AH,  
ADA0CR6 FFFFF21CH, ADA0CR7 FFFFF21EH,  
ADA0CR8 FFFFF220H, ADA0CR9 FFFFF222H,  
ADA0CR10 FFFFF224H, ADA0CR11 FFFFF226H,  
ADA0CR12 FFFFF228H, ADA0CR13 FFFFF22AH,  
ADA0CR14 FFFFF22CH, ADA0CR15 FFFFF22EH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADA0CR <sub>n</sub> (n = 0-15)	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時：不定 R アドレス：ADA0CR0H FFFFF211H, ADA0CR1H FFFFF213H,  
ADA0CR2H FFFFF215H, ADA0CR3H FFFFF217H,  
ADA0CR4H FFFFF219H, ADA0CR5H FFFFF21BH,  
ADA0CR6H FFFFF21DH, ADA0CR7H FFFFF21FH,  
ADA0CR8H FFFFF221H, ADA0CR9H FFFFF223H,  
ADA0CR10H FFFFF225H, ADA0CR11H FFFFF227H,  
ADA0CR12H FFFFF229H, ADA0CR13H FFFFF22BH,  
ADA0CR14H FFFFF22DH, ADA0CR15H FFFFF22FH

	7	6	5	4	3	2	1	0
ADA0CR <sub>n</sub> H (n = 0-15)	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

**注意** ADA0M0, ADA0Sレジスタに対して書き込み動作を行ったとき、ADA0CR<sub>n</sub>レジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

アナログ入力端子 (ANI0-ANI15) に入力されたアナログ入力電圧とA/D変換結果 (ADA0CRnレジスタ) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left( \frac{V_{\text{IN}}}{AV_{\text{REF0}}} \times 1024 + 0.5 \right)$$

$$\text{ADA0CR}^{\#} = \text{SAR} \times 64$$

または,

$$\left( \text{SAR} - 0.5 \right) \times \frac{AV_{\text{REF0}}}{1024} < V_{\text{IN}} < \left( \text{SAR} + 0.5 \right) \times \frac{AV_{\text{REF0}}}{1024}$$

INT ( ) : ( ) 内の値の整数部を返す関数

$V_{\text{IN}}$  : アナログ入力電圧

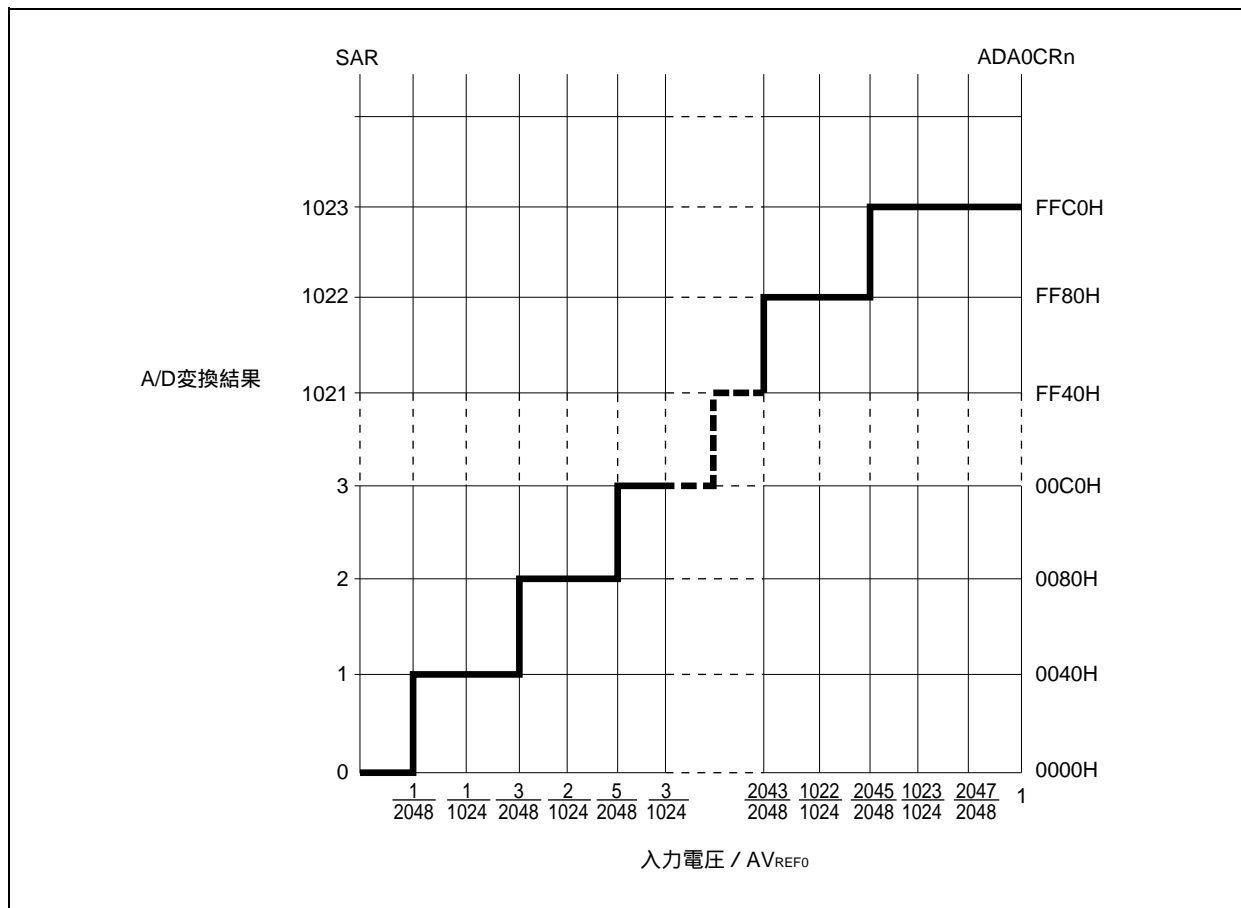
$AV_{\text{REF0}}$  :  $AV_{\text{REF0}}$ 端子電圧

ADA0CR : ADA0CRnレジスタの値

注 ADA0CRnレジスタの下位6ビットは0固定です。

次にアナログ入力電圧とA/D変換結果の関係を示します。

図13 - 2 アナログ入力電圧とA/D変換結果の関係



## (6) パワー・フェイル比較モード・レジスタ (ADA0PFM)

ADA0PFMレジスタは、パワー・フェイル比較モードの設定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF204H

	⑦	6	5	4	3	2	1	0
ADA0PFM	ADA0PFE	ADA0PFC	0	0	0	0	0	0

ADA0PFE	パワー・フェイル比較許可 / 禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

ADA0PFC	パワー・フェイル比較モードの選択
0	ADA0CRnH ADA0PFTで割り込み要求信号 (INTAD) を発生
1	ADA0CRnH < ADA0PFTで割り込み要求信号 (INTAD) を発生

- 注意1. セレクト・モードではADA0PFTレジスタに設定した8ビット・データとADA0Sレジスタで指定したADA0CRnHレジスタの値を比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CRnレジスタに変換結果を格納しINTAD信号が発生しますが、一致しない場合は割り込みを発生しません。
2. スキャン・モードではADA0PFTレジスタに設定した8ビット・データとADA0CR0Hレジスタを比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CR0レジスタに変換結果を格納しINTAD信号を発生させますが、一致しない場合はINTAD信号を発生させません。また比較結果にかかわらず、比較後はスキャン動作を継続しスキャン終了までADA0CRnレジスタに変換結果は格納しますが、スキャン終了後のINTAD信号は発生しません。
3. 次のモードでは ADA0PFMレジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。
- ・通常変換モード
  - ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード
4. ビット0-5には必ず0を設定してください。

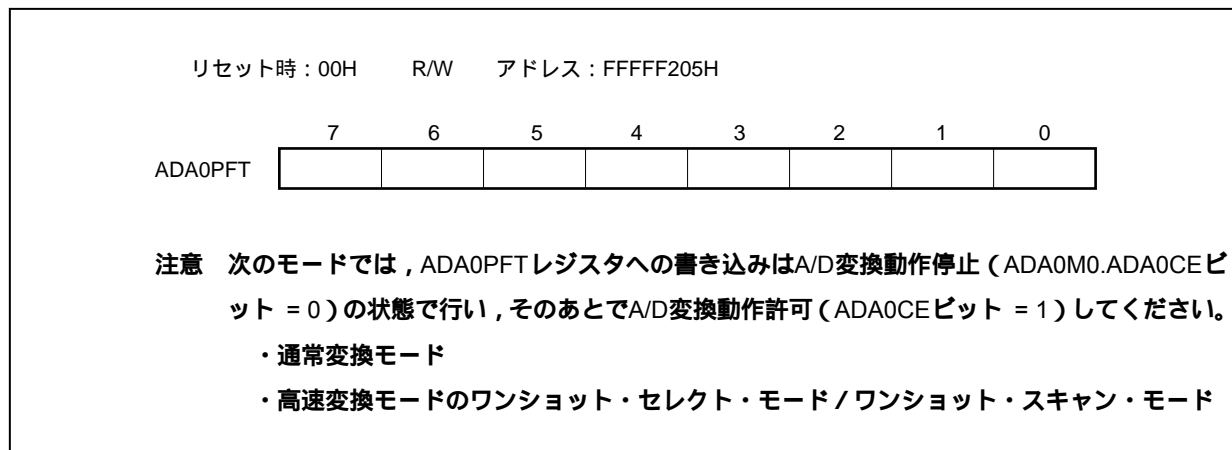


**(7) パワー・フェイル比較しきい値レジスタ (ADA0PFT)**

ADA0PFTレジスタは、パワー・フェイル比較モード時の比較値を設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。



## 13.5 動作

### 13.5.1 基本動作

A/D変換する動作モード、トリガ・モード、変換時間などをADA0M0, ADA0M1, ADA0M2, ADA0Sレジスタで設定します。ADA0M0.ADA0CEビットをセットすると、ソフトウェア・トリガ・モード時は変換を開始し、外部/タイマ・トリガ・モード時はトリガ待機状態になります。

A/D変換が開始されると選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ(SAR)のビット9をセットし、比較電圧生成DACを $(1/2)AV_{REF0}$ にします。

比較電圧生成DACとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 $(1/2)AV_{REF0}$ よりも大きければ、SARレジスタのMSBをセットしたままです。また、 $(1/2)AV_{REF0}$ よりも小さければMSBをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように比較電圧生成DACが選択されます。

・ビット9 = 1 :  $(3/4)AV_{REF0}$

・ビット9 = 0 :  $(1/4)AV_{REF0}$

この比較電圧とアナログ入力電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

アナログ入力電圧 比較電圧 : ビット8 = 1

アナログ入力電圧 比較電圧 : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がADA0CRnレジスタに転送され格納されます。そのあと、A/D変換終了割り込み要求信号(INTAD)を発生します。

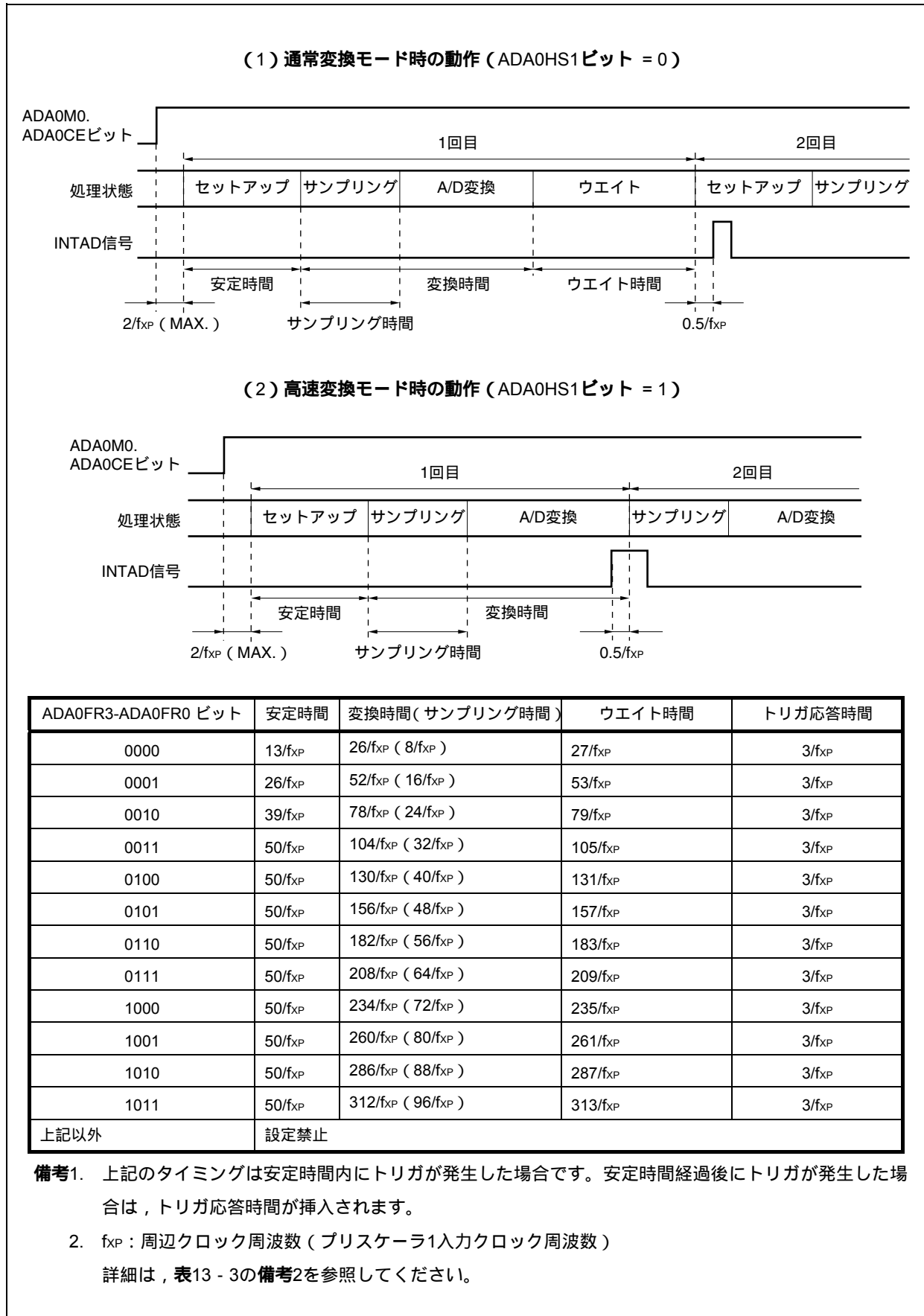
ワンショット・セレクト・モードの場合は、変換を停止します<sup>注</sup>。ワンショット・スキャン・モードの場合は、スキャンを一巡すると停止します<sup>注</sup>。連続セレクト・モードの場合はADA0M0.ADA0CEビット = 0とするまで ~ を繰り返します。連続スキャン・モードの場合もそれぞれのチャンネルに対して ~ を繰り返します。

**注** 外部トリガ・モード、タイマ・トリガ・モード0、タイマ・トリガ・モード1時はトリガ待機状態になります。

**備考** トリガ待機状態とは、安定時間経過後の状態を示します。

## 13.5.2 変換動作タイミング

図13-3 変換動作タイミング (連続変換)



### 13.5.3 トリガ・モード

トリガ・モードの設定により、変換動作の開始タイミングの指定を行います。トリガ・モードにはソフトウェア・トリガ・モード、ハードウェア・トリガ・モードがあり、ハードウェア・トリガ・モードでは、タイマ・トリガ・モード0, 1, 外部トリガ・モードの3つがあります。トリガ・モードの設定はADA0M0.ADA0TMDビットで行い、ハードウェア・トリガ・モードの設定はADA0M2.ADA0TMD1, ADA0TMD0ビットで行います。

#### (1) ソフトウェア・トリガ・モード

ADA0M0.ADA0CEビットを“1”に設定すると、ADA0Sレジスタで指定したアナログ入力 (ANI0-ANI15端子) に対し、変換動作を開始します。変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、A/D変換終了割り込み要求信号 (INTAD) を発生します。

ADA0M0.ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/スキャン・モードであれば、変換終了後はADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います。動作モードがワンショット・セレクト/スキャン・モードであれば、1回で変換を終了します。

変換が開始されると、ADA0M0.ADA0EFビット = 1 (動作中) となります。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度最初から変換を行います。ただし、通常変換モード時、高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード時の書き込みは禁止です。

#### (2) 外部トリガ・モード

外部トリガ (ADTRG端子) の入力により、ADA0Sレジスタで指定したアナログ入力 (ANI0-ANI15端子) に対し、変換動作を開始するモードです。ADA0M0.ADA0ETS1, ADA0ETS0ビットの設定により、外部トリガのエッジ検出 (立ち上がり, 立ち下がり, 立ち上がり/立ち下がりの両エッジ) の指定ができます。ADA0CEビットをセット (1) 設定するとトリガ待機状態となり、外部トリガが入力された後に変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/連続スキャン/ワンショット・セレクト/ワンショット・スキャン・モードにかかわらず、変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、INTAD信号を発生し、再びトリガ待機状態になります。

変換が開始されると、ADA0EFビット = 1 (動作中) となります。ただし、トリガ待機状態の時はADA0EFビット = 0 (停止中) となります。変換動作中に有効なトリガが入力されると、変換は中断され、再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度トリガ待機状態になります。ただし、ワンショット・セレクト・モード/ワンショット・スキャン・モード時の書き込みは禁止です。

**注意** 外部トリガ・モードを選択する場合は、高速変換モードに設定してください。また、A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

**備考** トリガ待機状態とは、安定時間経過後の状態を示します。

### (3) タイマ・トリガ・モード

タイマに接続されたキャプチャ/コンペア・レジスタのコンペア一致割り込み要求信号 (INTTP2CC0, INTTP2CC1) により, ADA0Sレジスタで指定したアナログ入力 (ANI0-ANI15端子) に対し, 変換動作を開始するモードです。ADA0TMD1, ADA0TMD0ビットの設定により, INTTP2CC0, INTTP2CC1信号のいずれかを指定し, 指定されたコンペア一致割り込み要求信号の立ち上がりエッジで変換を開始します。ADA0CEビットをセット (1) するとトリガ待機状態となり, タイマのコンペア一致割り込み要求信号が入力されたあとに変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが, 連続セレクト/連続スキャン/ワンショット・セレクト/ワンショット・スキャン・モードにかかわらず, 変換を終了すると, 変換結果をADA0CRnレジスタに格納し, 同時に, INTAD信号を発生し, 再びトリガ待機状態になります。

変換が開始されると, ADA0EFビット = 1 (動作中) となります。ただし, トリガ待機状態の時はADA0EFビット = 0 (停止中) となります。変換動作中に有効なトリガが入力されると, 変換は中断され, 再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合, 変換は中断され, 再度, トリガ待機状態になります。ただし, ワンショット・セレクト・モード/ワンショット・スキャン・モード時の書き込みは禁止です。

**注意** タイマ・トリガ・モードを選択する場合は, 高速変換モードに設定してください。また, A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

**備考** トリガ待機状態とは, 安定時間経過後の状態を示します。

### 13.5.4 動作モード

動作モードには, ANI0-ANI15端子を設定するモードとして, 連続セレクト・モード, 連続スキャン・モード, ワンショット・セレクト・モード, ワンショット・スキャン・モードの4つがあります。

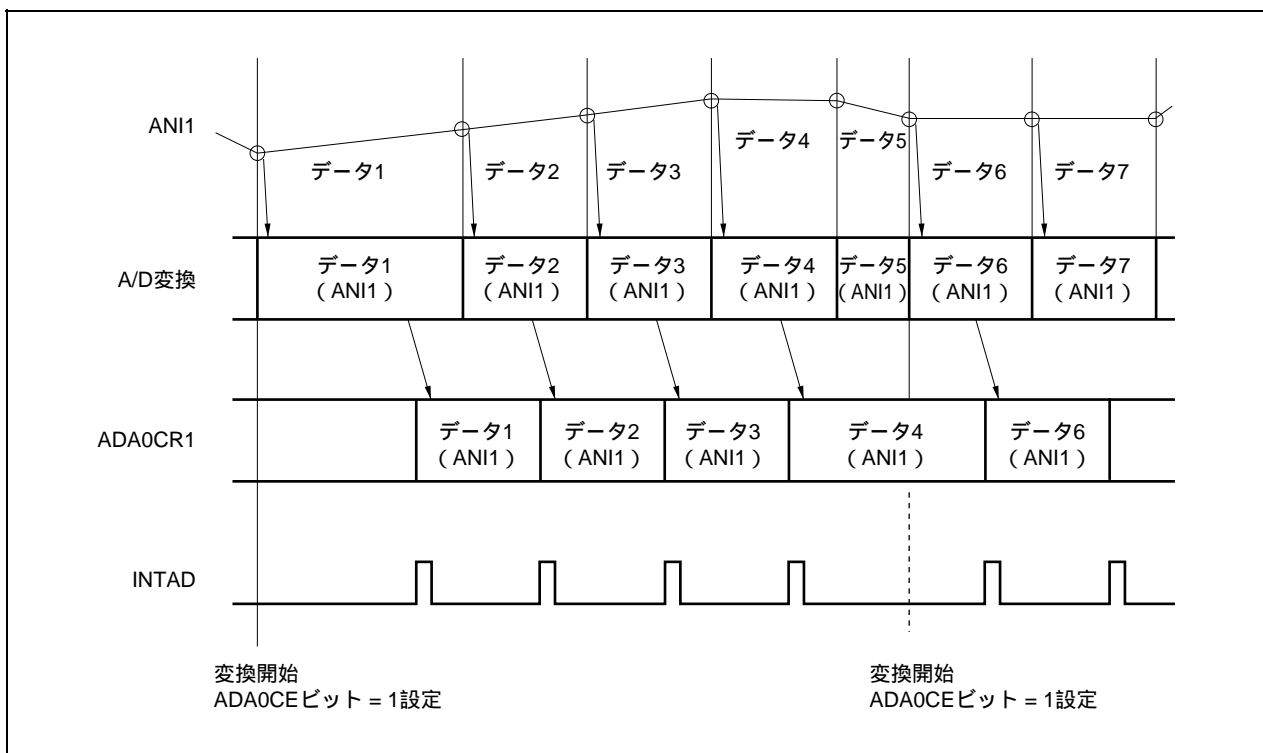
動作モードはADA0M0.ADA0MD1, ADA0MD0ビットで設定します。

#### (1) 連続セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子の電圧を連続してA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており, 1回のA/D変換終了ごとにA/D変換終了割り込み要求信号 (INTAD) が発生します。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり, 次の変換を繰り返していきます (n = 0-15)。

図13-4 連続セレクト・モード動作タイミング例 (ADA0Sレジスタ = 01H)

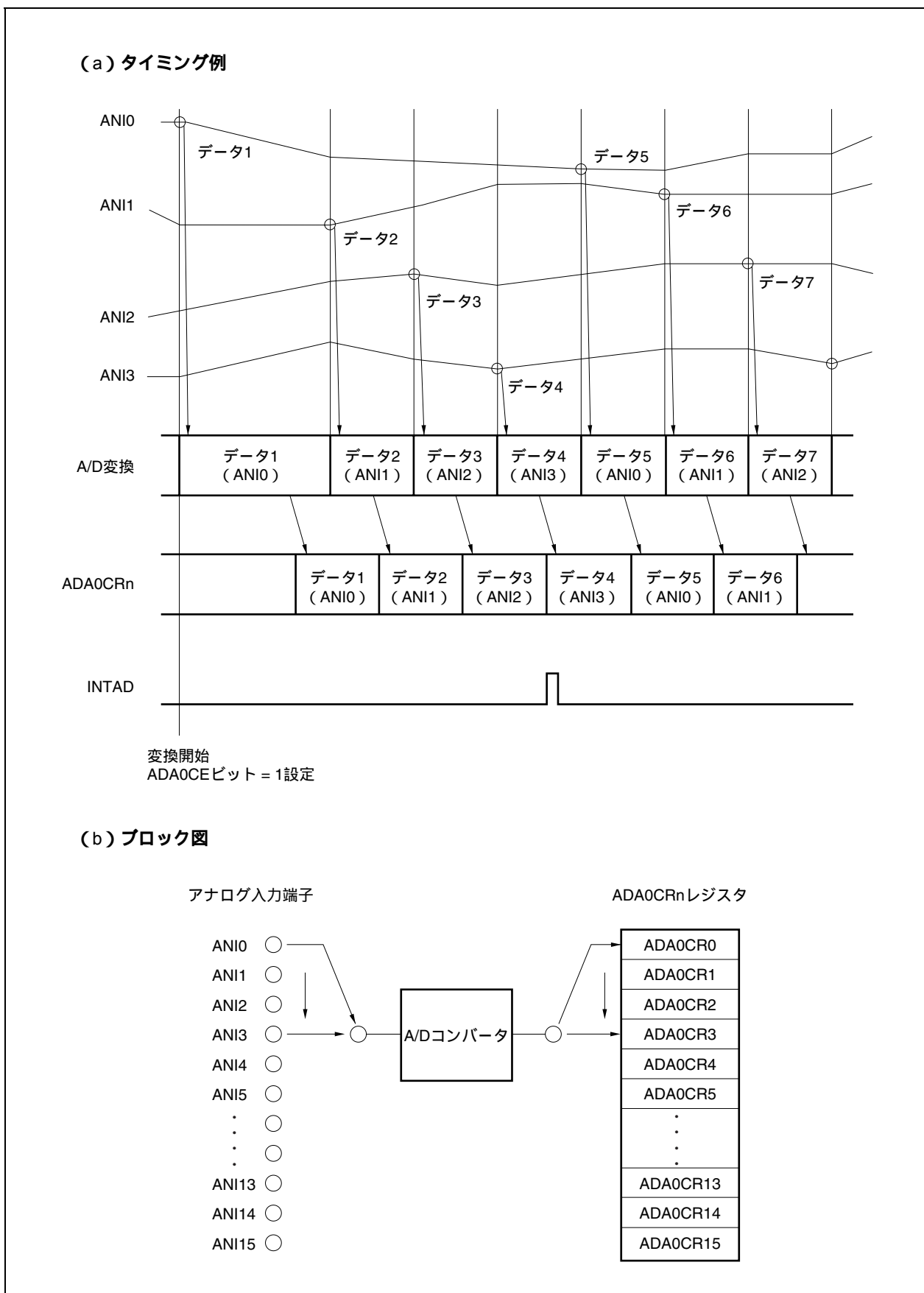


#### (2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し, A/D変換を連続で行います。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると, INTAD信号が発生し, ADA0CEビットを“0”にしないかぎり, 再びANI0端子からA/D変換を開始します (n = 0-15)。

図13 - 5 連続スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)

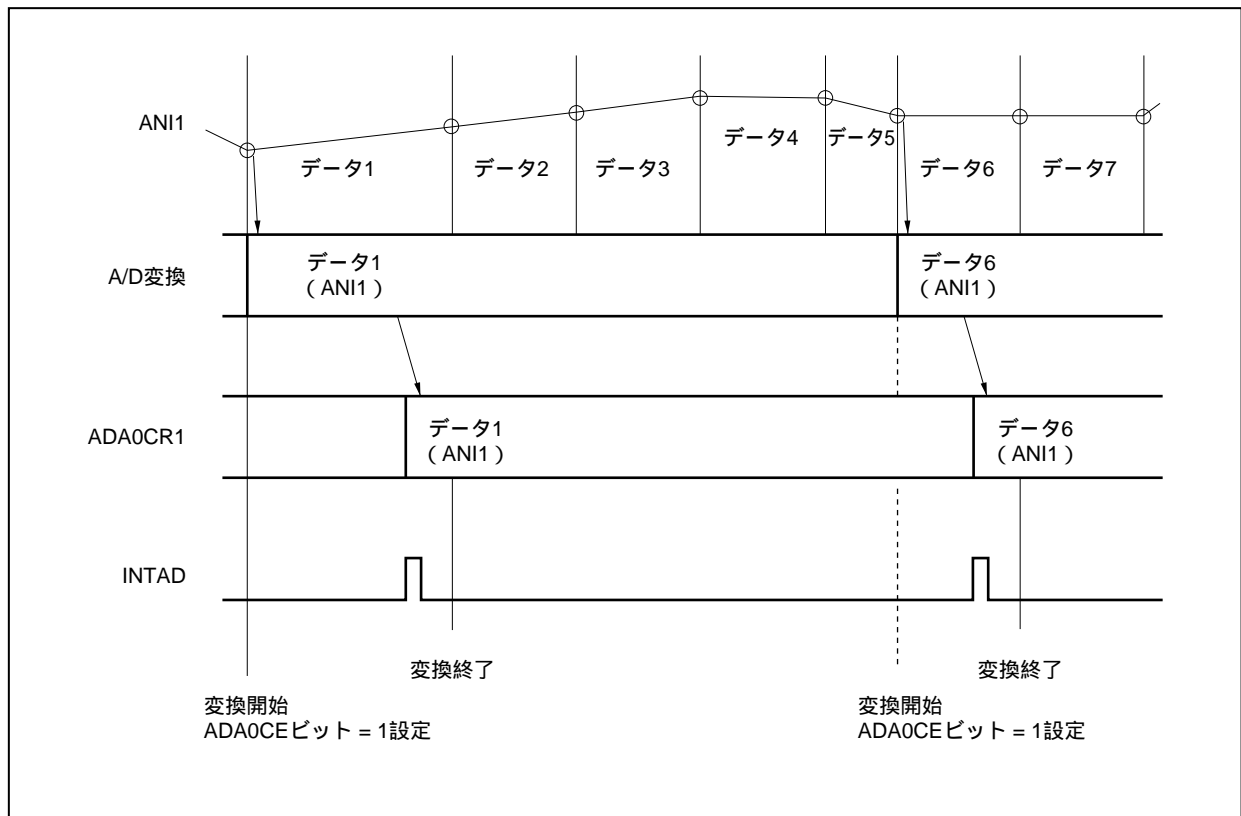


### (3) ワンショット・セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子を1回のみA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており、1回のA/D変換終了後、INTAD信号が発生します。A/D変換終了後はA/D変換動作を停止します (n = 0-15)。

図13 - 6 ワンショット・セレクト・モード動作タイミング例 (ADA0Sレジスタ = 01H)



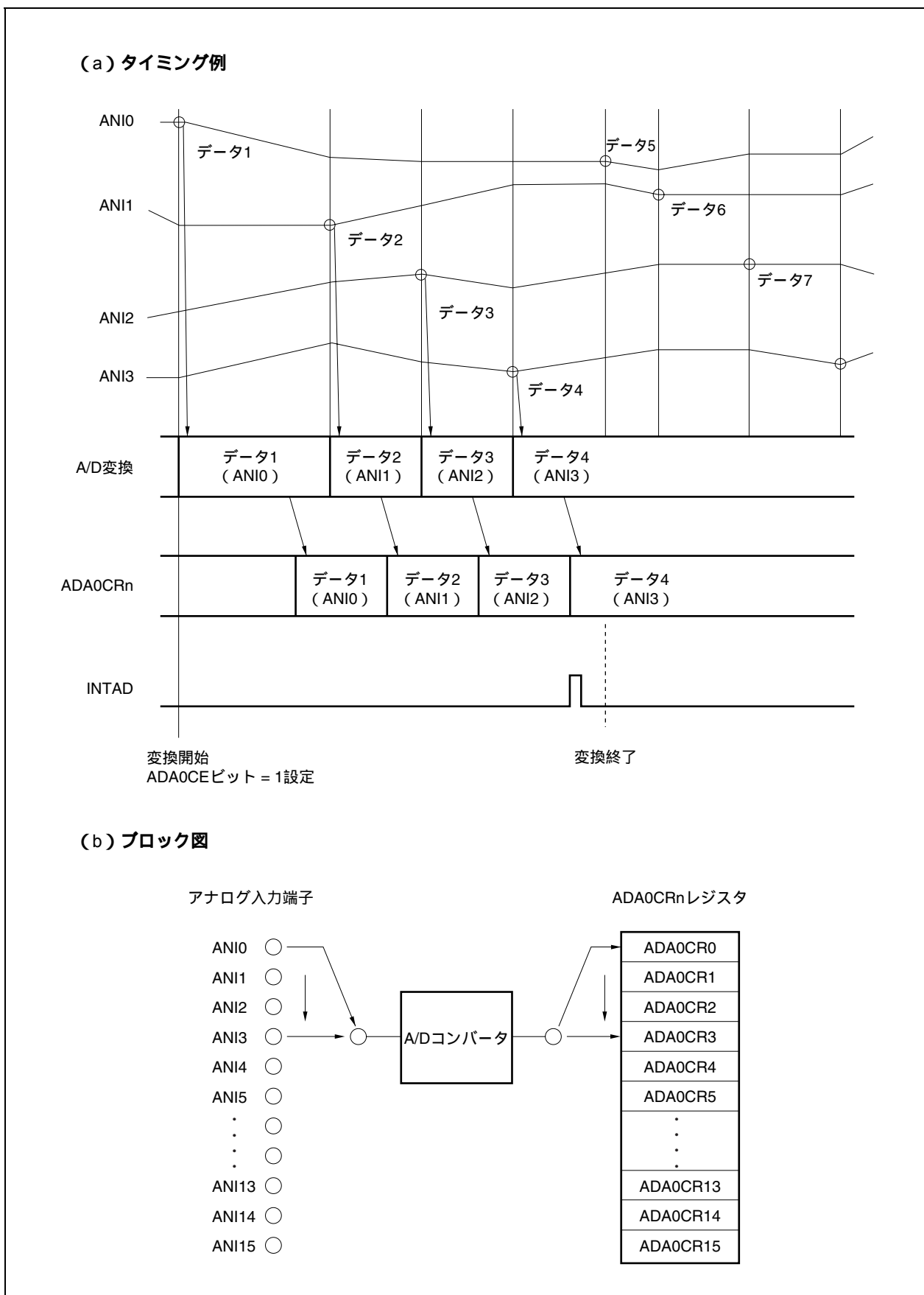
### (4) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し、A/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると、INTAD信号が発生し、A/D変換終了後はA/D変換動作を停止します (n = 0-15)。



図13-7 ワンショット・スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)



### 13.5.5 パワー・フェイル比較モード

ADA0PFM, ADA0PFTレジスタにより, A/D変換終了割り込み要求信号( INTAD )を次のように制御できます。

- ・ ADA0PFM.ADA0PFEビット = 0の場合, 変換終了ごとにINTAD信号が発生します(通常のA/Dコンバータとして使用)。
- ・ ADA0PFEビット = 1かつADA0PFM.ADA0PFCビット = 0の場合, 変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し, ADA0CRnH > ADA0PFTの場合のみ, INTAD信号が発生します。
- ・ ADA0PFEビット = 1かつADA0PFCビット = 1の場合, 変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し, ADA0CRnH < ADA0PFTの場合のみ, INTAD信号が発生します。

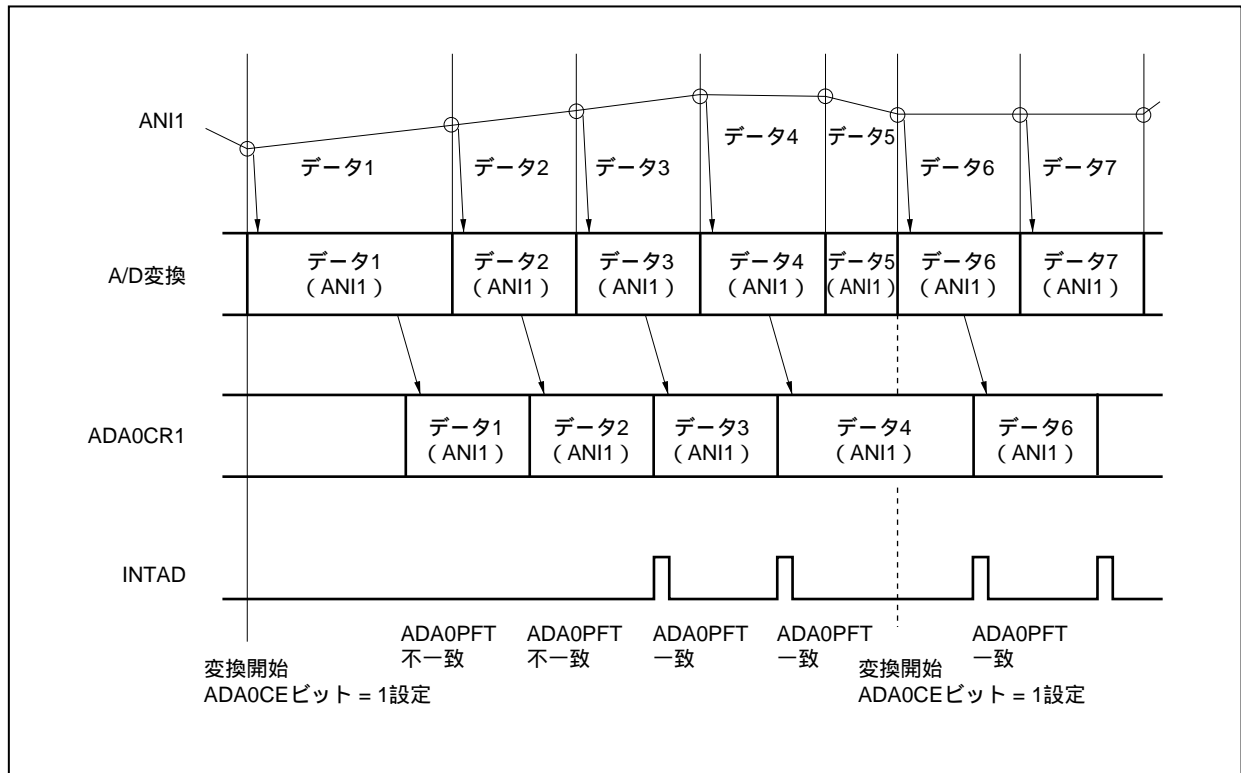
**備考** n = 0-15

パワー・フェイル比較モードにもANI0-ANI15端子を設定するモードとして, 連続セレクト・モード, 連続スキャン・モード, ワンショット・セレクト・モード, ワンショット・スキャン・モードの4つがあります。

## (1) 連続セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子電圧の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CRnレジスタに格納し、INTAD信号が発生します。一致しない場合、変換結果をADA0CRnレジスタに格納し、INTAD信号を発生しません。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います (n = 0-15)。

図13 - 8 連続セレクト・モード動作タイミング例 (パワー・フェイル比較時 : ADA0Sレジスタ = 01H)

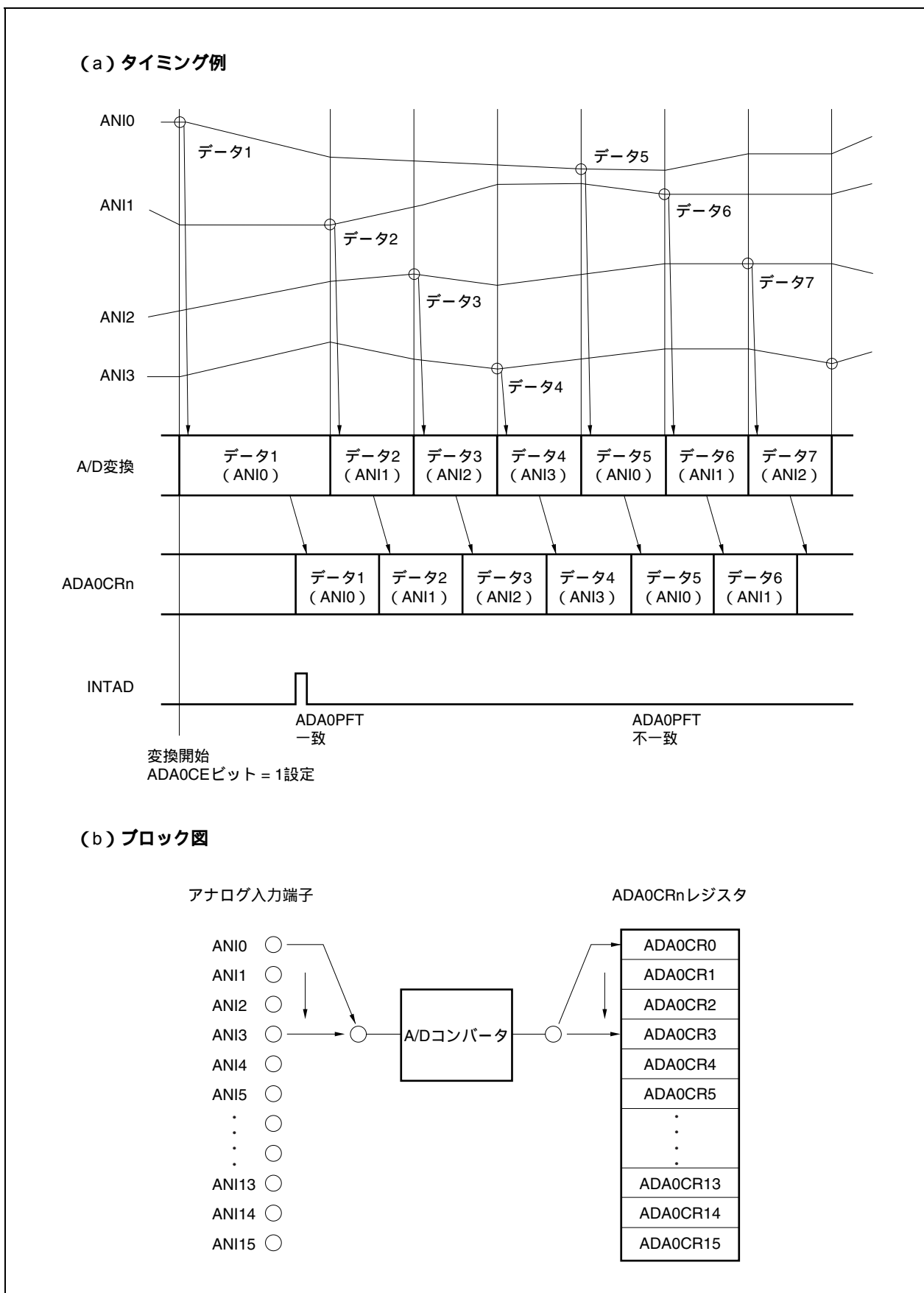


## (2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャンネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。

ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後はADA0CEビットを“0”にしないかぎり、再びANI0端子から変換を開始します。

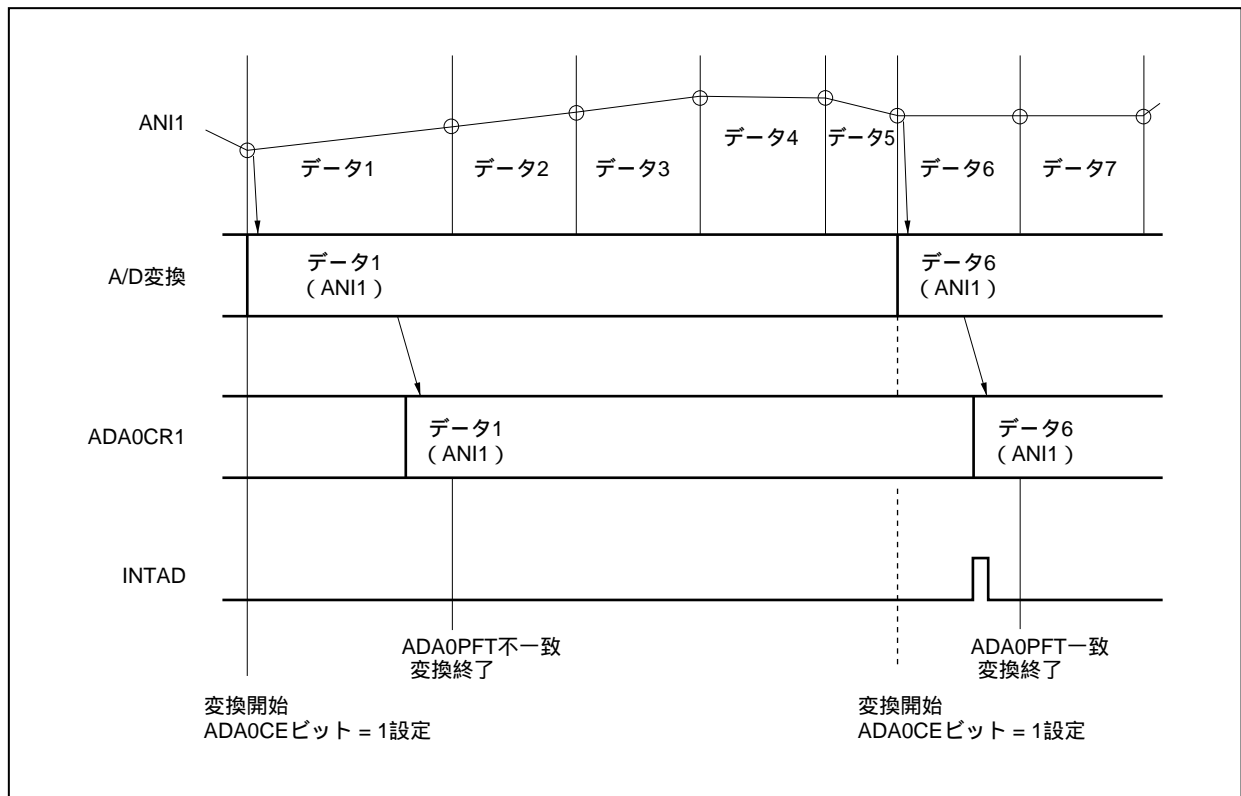
図13 - 9 連続スキャン・モード動作タイミング例 (パワー・フェイル比較時 : ADA0Sレジスタ = 03H)



### (3) ワンショット・セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CRnレジスタに格納し、INTAD信号が発生します。一致しない場合、変換結果をADA0CRnレジスタに格納し、INTAD信号を発生しません。変換終了後は変換を停止します。

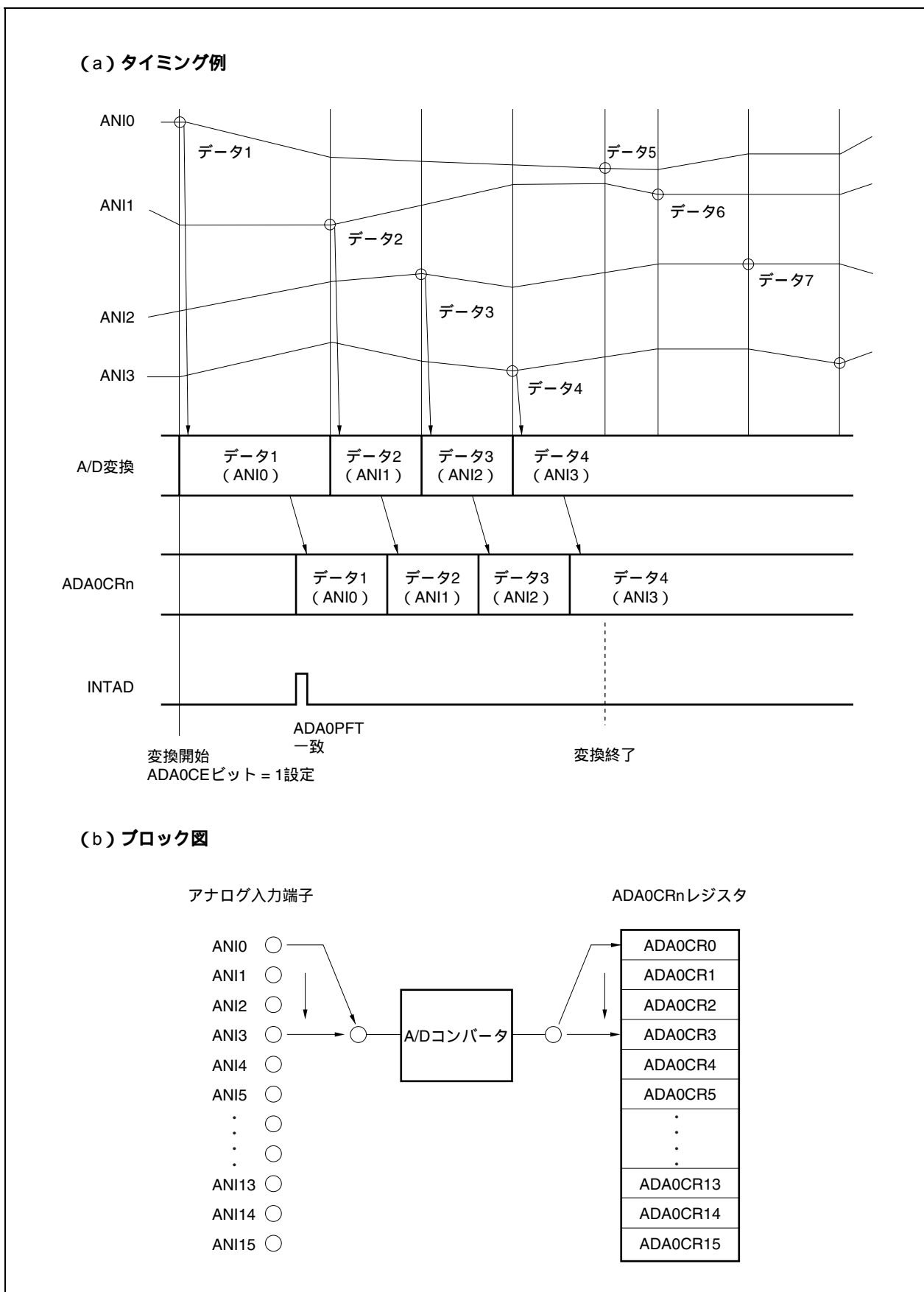
図13 - 10 ワンショット・セレクト・モード動作タイミング例(パワー・フェイル比較時: ADA0Sレジスタ = 01H)



### (4) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャンネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後は変換を停止します。

図13 - 11 ワンショット・スキャン・モード動作タイミング例(パワー・フェイル比較時: ADA0Sレジスタ = 03H)



## 13.6 注意事項

### (1) A/Dコンバータ未使用時について

未使用時は、ADA0M0.ADA0CEビット = 0とすることにより消費電力を低減できます。

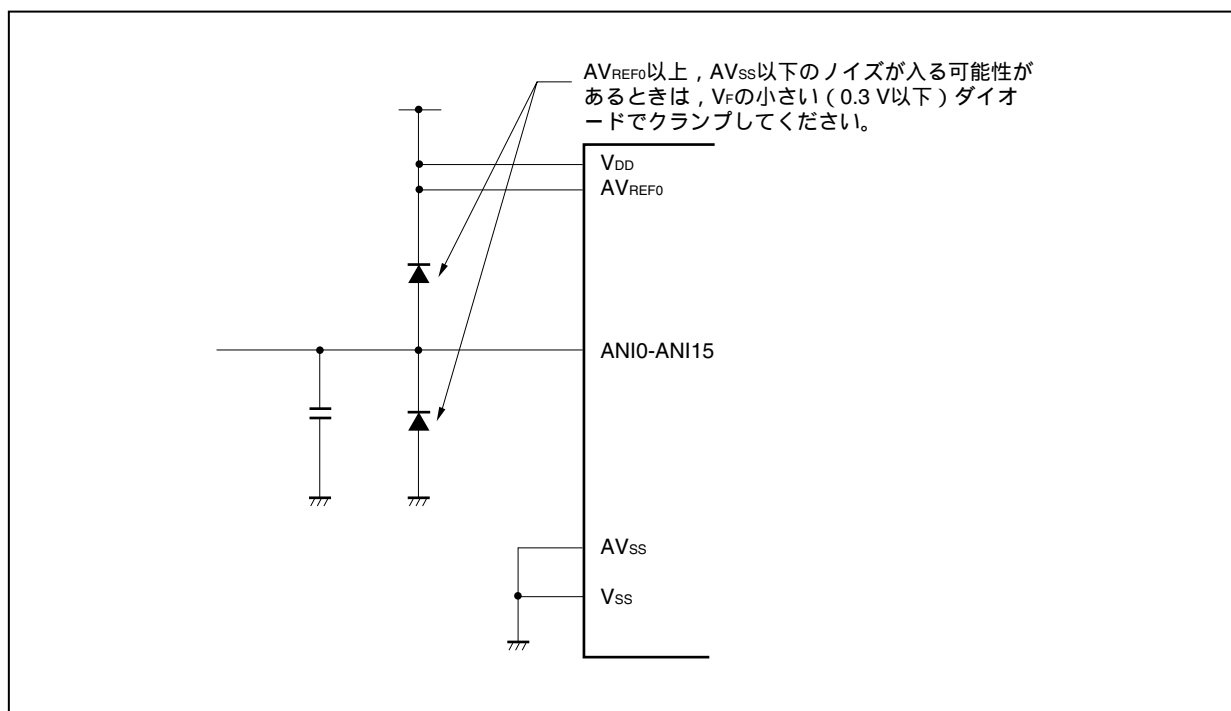
### (2) ANI0-ANI15端子入力範囲について

ANI0-ANI15端子の入力電圧は規格の範囲内で使用してください。ただし、絶対最大定格の範囲内であっても $AV_{REF0}$ 以上、 $AV_{SS}$ 以下の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

### (3) ノイズ対策について

10ビット分解能を保つためには、ANI0-ANI15端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図13-12のようにコンデンサを外付けすることを推奨します。

図13-12 アナログ入力端子の処理



#### (4) 兼用入出力について

アナログ入力 (ANI0-ANI15) 端子はポート端子と兼用になっています。また,  $AV_{REF0}$  電源はA/Dコンバータの基準電源とポート7の入出力バッファ電源の兼用になっています。そのため, A/D変換中に次の処理が行われた場合は, A/D変換値が期待どおりに得られないことがあります。

- (a) A/D変換中の端子に隣接する端子 (たとえばANI3変換中におけるP72端子およびP74端子) へデジタル・パルス印加する場合 (原因: カップリング・ノイズの影響)
- (b) A/D変換中にP7HレジスタまたはP7Lレジスタに対する入力ポートへの読み出し命令, または出力ポートへの書き込み命令を実行し, その結果 $AV_{REF0}$ 電源が変動する場合 (原因:  $AV_{REF0}$ 電源への影響)
- (c) ポート7 (P70-P715) の端子の中で出力ポートに設定している端子に, A/D変換中にポート端子に接続される外部回路の影響で電流が流れ, その結果 $AV_{REF0}$ 電源が変動する場合 (原因:  $AV_{REF0}$ 電源への影響)

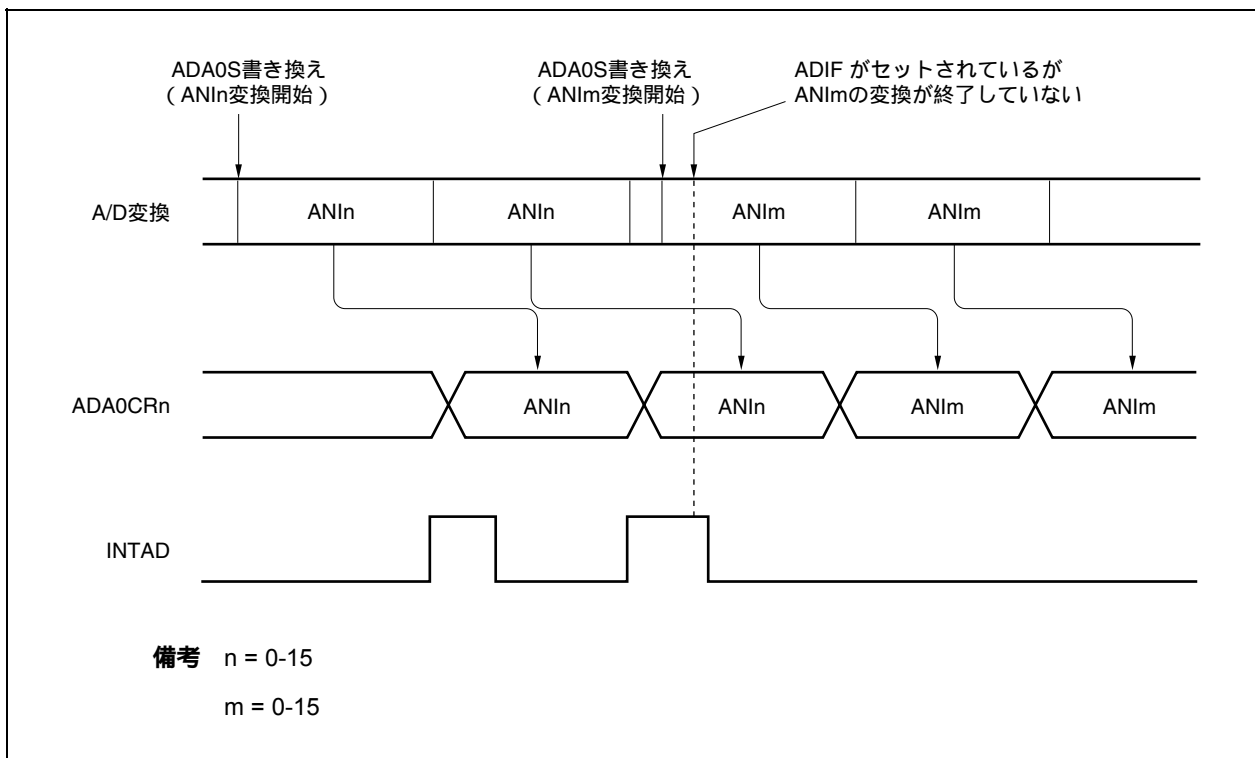
A/D変換中に上記のいずれかの処理が行われる可能性がある場合は, 必ずA/D変換を複数回実施し, A/D変換値を確認したうえで, 異常な値を排除できるようにプログラムで対策してください。



## (5) 割り込み要求フラグ (ADIF) について

ADA0Sレジスタを変更しても、割り込み要求フラグ (ADIF) はクリアされません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADA0Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります、ADA0Sレジスタ書き換え直後にADIFフラグを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされている場合がありますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリアしてください。

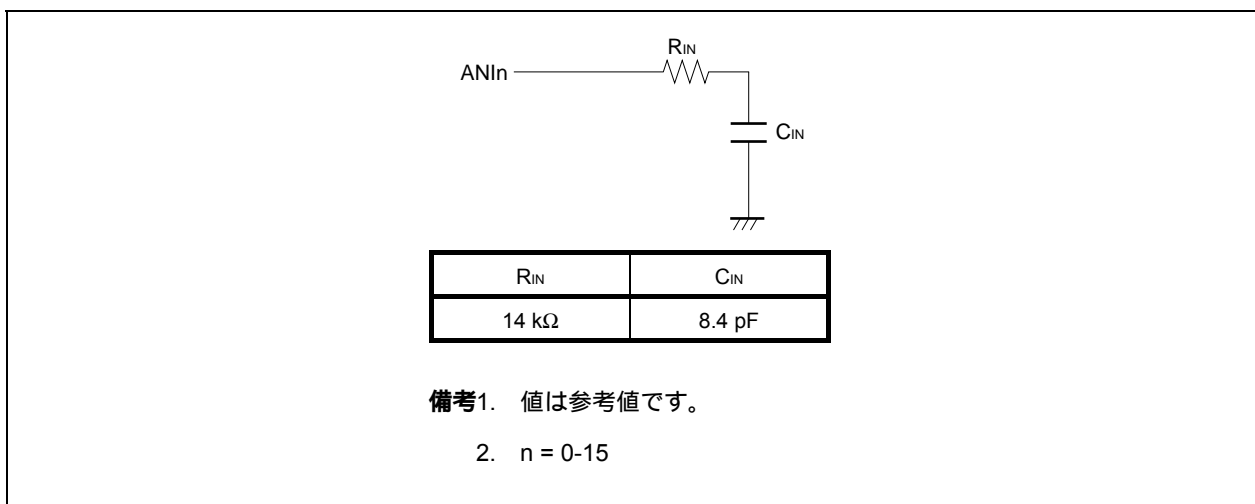
図13 - 13 A/D変換終了割り込み要求発生タイミング



## (6) 内部等価回路について

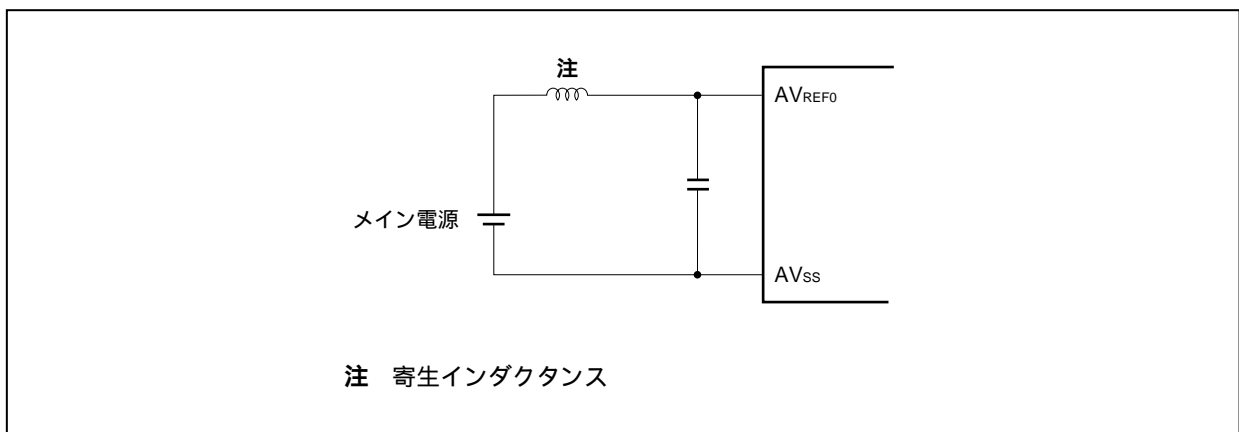
アナログ入力部の等価回路を次に示します。

図13 - 14 ANIn端子内部等価回路



(7) AV<sub>REF0</sub>端子について

- (a) AV<sub>REF0</sub>端子はA/Dコンバータの電源端子を兼用しており、また兼用ポートにも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても図13 - 15のように必ずV<sub>DD</sub>と同じ電位を印加してください。
- (b) AV<sub>REF0</sub>端子はA/Dコンバータ用の基準電圧端子を兼用しています。したがって、AV<sub>REF0</sub>端子への供給部のインピーダンス値が高い場合や、電源の電流供給能力が低い場合、変換時に流れる電流（特に変換動作許可ADA0CEビット = 1とした直後）により基準電圧が変動し、変換精度が悪くなるおそれがあります。これを避けるため図13 - 15のようにAV<sub>REF0</sub>端子とAV<sub>SS</sub>端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。
- (c) AV<sub>REF0</sub>端子への供給部に直流抵抗値（ダイオード挿入など）が高いと、A/D変換電流による電圧降下により、変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。

図13 - 15 AV<sub>REF0</sub>端子の処理例

## (8) ADA0CRnレジスタの読み出しについて

ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行ったとき、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行う前に読み出してください。また、外部/タイマ・トリガを受け付けたときも、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、次の外部/タイマ・トリガを受け付ける前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

### (9) スタンバイ・モードについて

A/Dコンバータは、STOPモード時に動作が停止するため、変換結果は無効になり消費電力を低減できます。STOPモード解除後、再び動作を開始しますが、STOPモード解除後のA/D変換結果は無効です。STOPモード解除後にA/Dコンバータを使用する場合は、STOPモード設定前またはSTOPモード解除後にADA0M0.ADA0CEビット = 0に設定してからSTOPモード解除後にADA0CEビット = 1に設定してください。

IDLE1, IDLE2モード, サブクロック動作モードでは動作が保持されるため、消費電力を低減する場合にはADA0M0.ADA0CEビット = 0にしてください。ただし、IDLE1, IDLE2モード期間中は、アナログ入力電圧値が保持できなくなるため、IDLE1, IDLE2モード解除後のA/D変換結果は無効です。また、IDLE1, IDLE2モード設定前のA/D変換結果は有効です。

### (10) 各モードに関する制限について

(a) 外部トリガ・モード/タイマ・トリガ・モードを選択する場合は、高速変換モードに設定してください。また、A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

(b) 次のモードでは、A/D制御レジスタへの書き込みはA/D変換動作停止 (ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。

- ・通常変換モード
- ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード

**備考** A/D制御レジスタ：ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタ

### (11) A/D変換結果のばらつきについて

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。

### (12) A/D変換のヒステリシス特性について

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- ・同一チャンネルでA/D変換を実行する場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

## 13.7 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

### (1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1 \text{ \%FSR} &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF0} - 0) / 100 \\ &= AV_{REF0} / 100 \end{aligned}$$

分解能10ビットのとき、1 LSBは次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \text{ \%FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

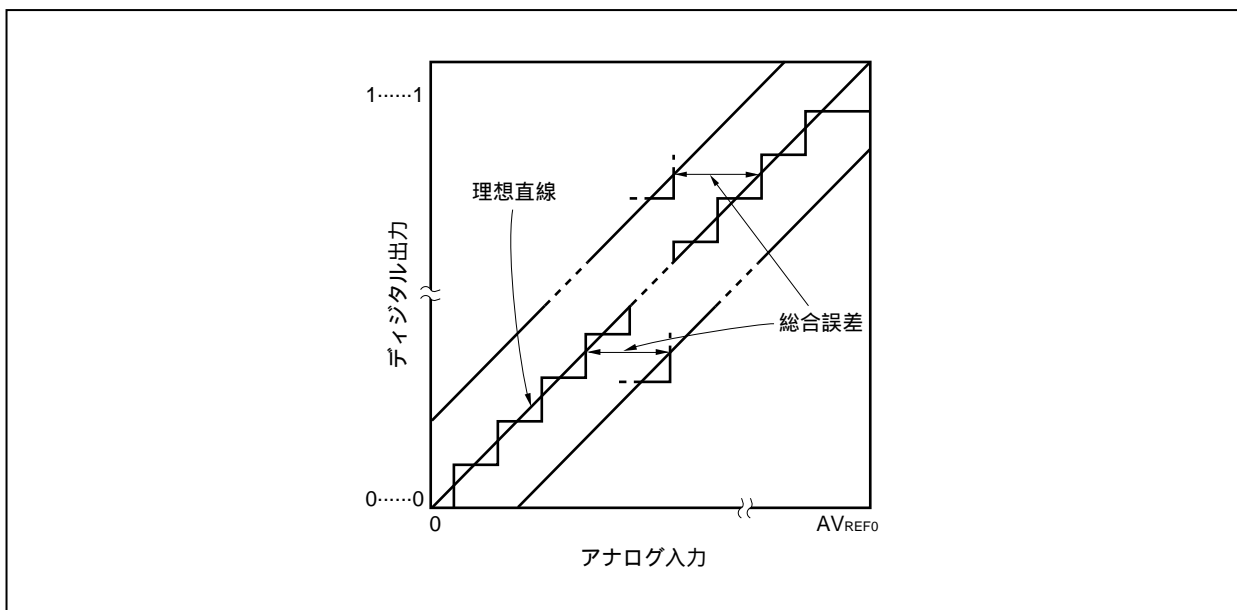
### (2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図13 - 16 総合誤差

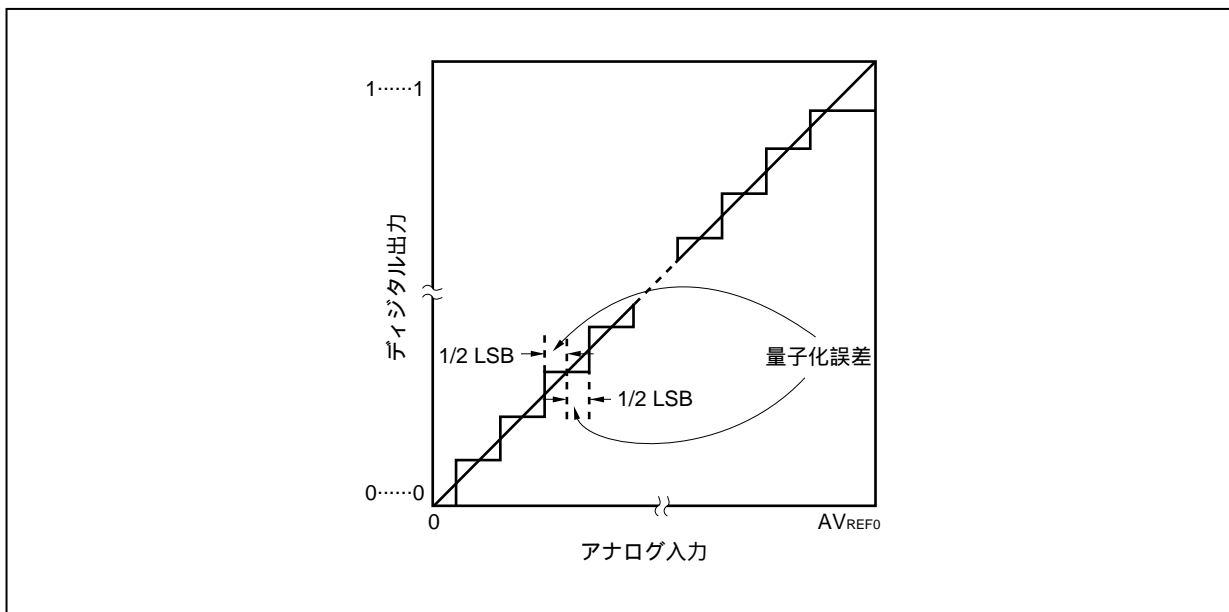


### (3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる  $\pm 1/2$  LSB の誤差です。A/D コンバータでは、 $\pm 1/2$  LSB の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

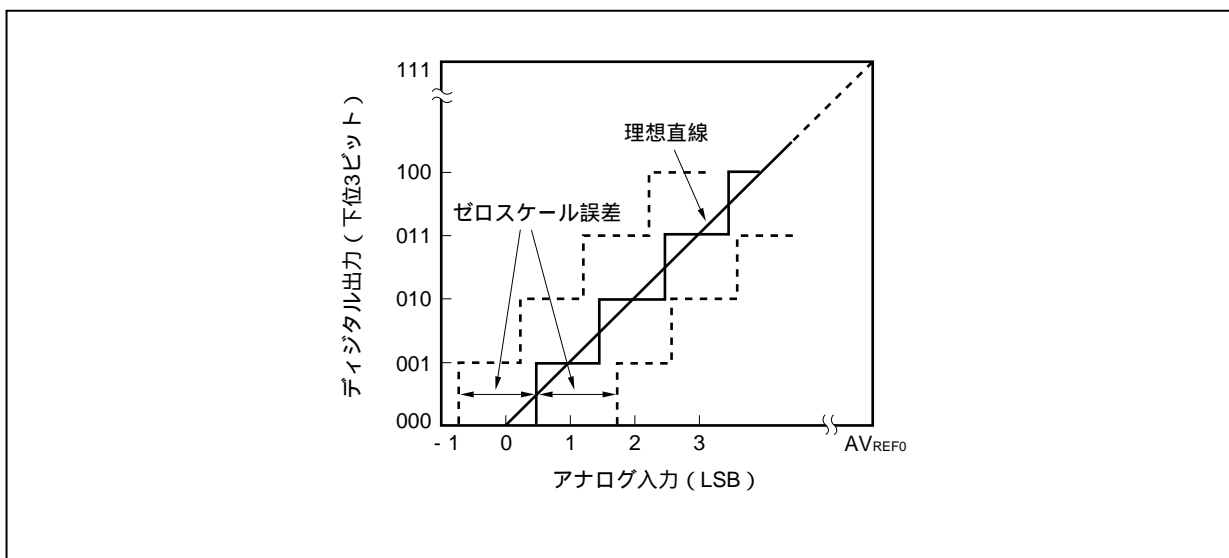
図13 - 17 量子化誤差



### (4) ゼロスケール誤差

デジタル出力が 0.....000 から 0.....001 に変化するときの、アナログ入力電圧の実測値と理論値 ( $1/2$  LSB) との差を表します。

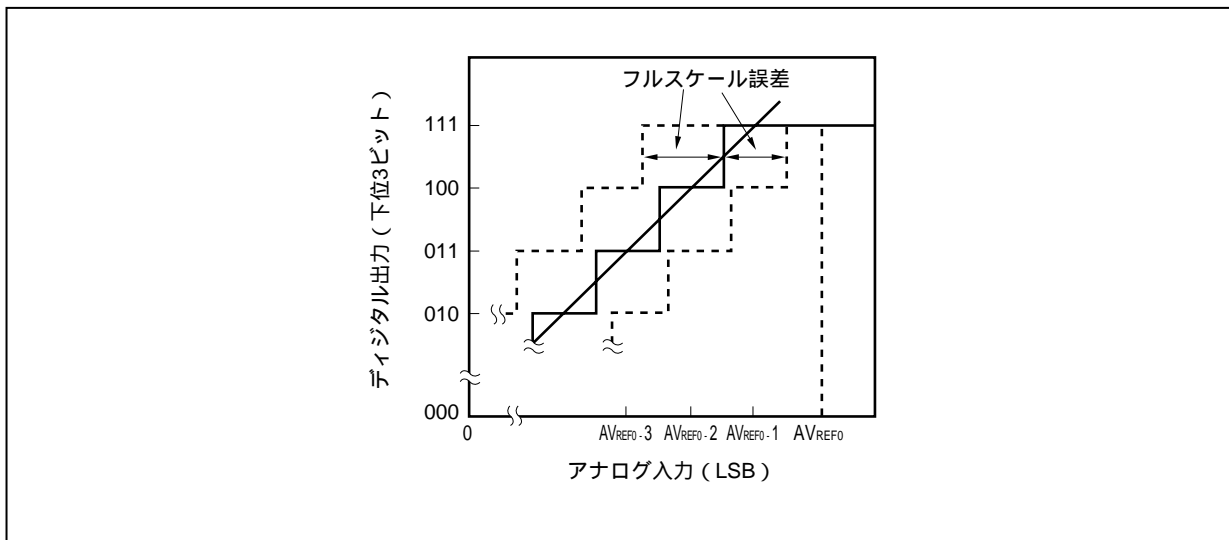
図13 - 18 ゼロスケール誤差



**(5) フルスケール誤差**

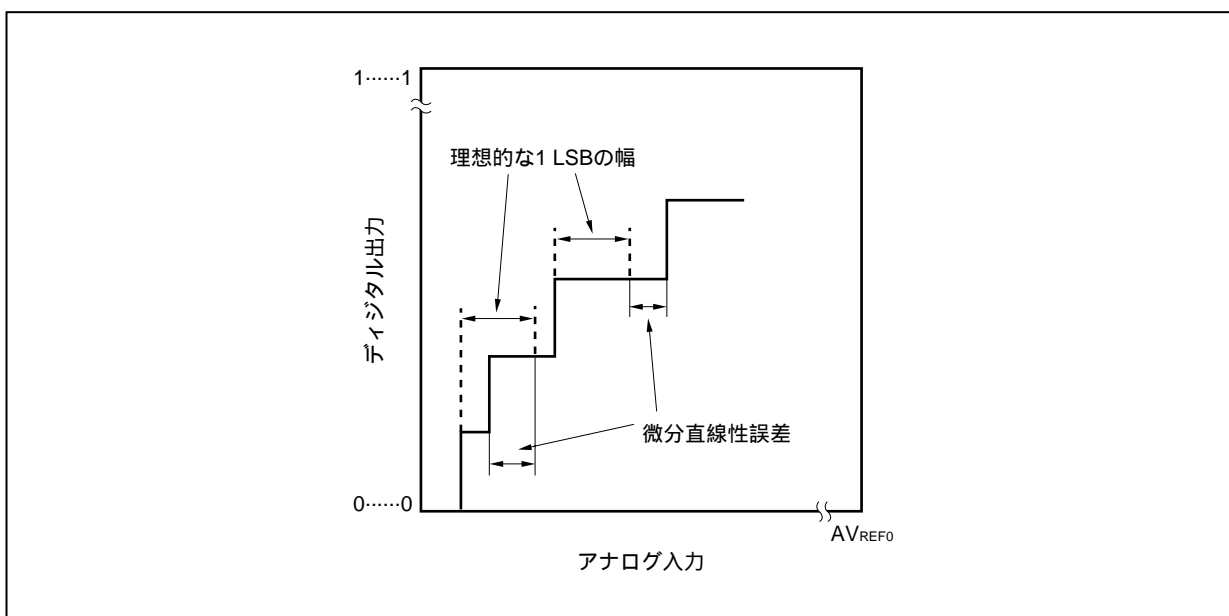
デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - 3/2 LSB）との差を表します。

図13 - 19 フルスケール誤差

**(6) 微分直線性誤差**

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。同一チャネルのアナログ入力端子に印加する電圧を $AV_{SS}$ から $AV_{REF0}$ まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャネルを使用する場合は、13.7 (2) 総合誤差を参照してください。

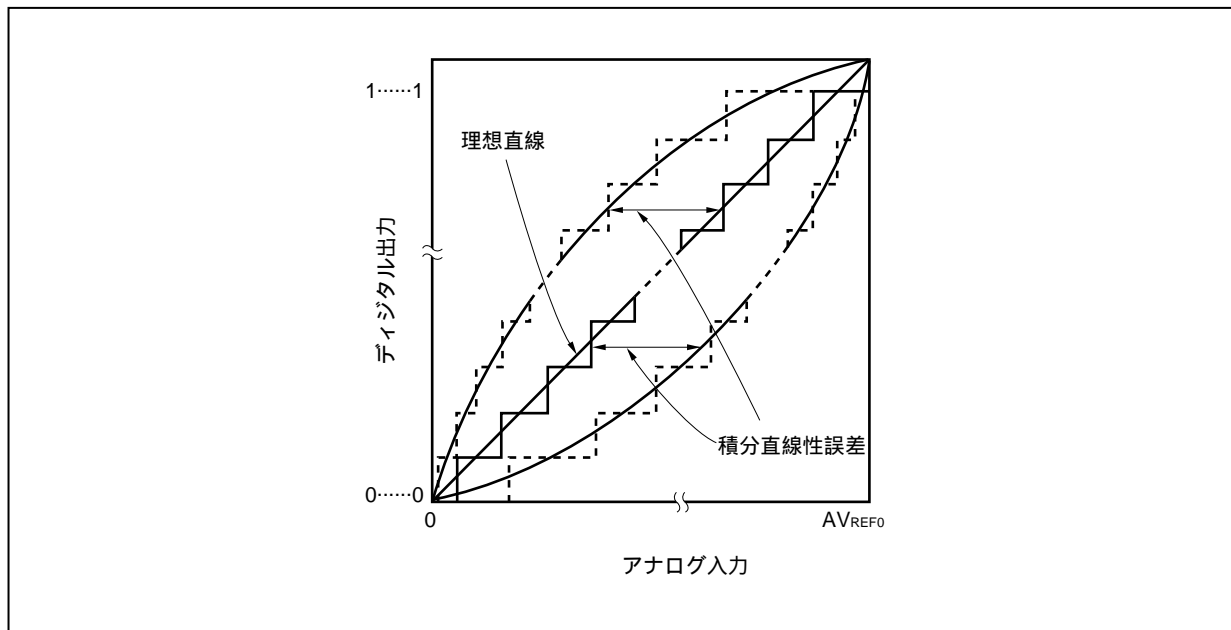
図13 - 20 微分直線性誤差



**(7) 積分直線性誤差**

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図13 - 21 積分直線性誤差

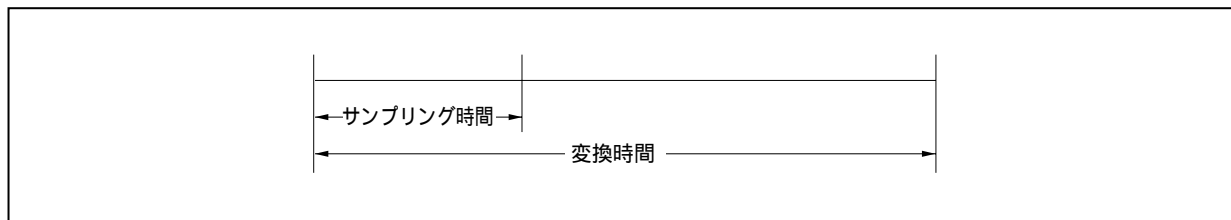
**(8) 変換時間**

各トリガが発生してから、デジタル出力が得られるまでの時間を表します。  
特性表の変換時間にはサンプリング時間が含まれています。

**(9) サンプリング時間**

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図13 - 22 サンプリング時間



## 第14章 D/Aコンバータ

### 14.1 機 能

D/Aコンバータには、次のような機能があります。

8ビット分解能 × 2ch (DA0CS0, DA0CS1)

R-2Rラダー方式

セットリング・タイム : 3 μs (MAX.) (AVREF1 = 3.0 ~ 3.6 V, 外部負荷20 pF時)

アナログ出力電圧 :  $AV_{REF1} \times m/256$  (m = 0-255 ; DA0CSnレジスタに設定した値)

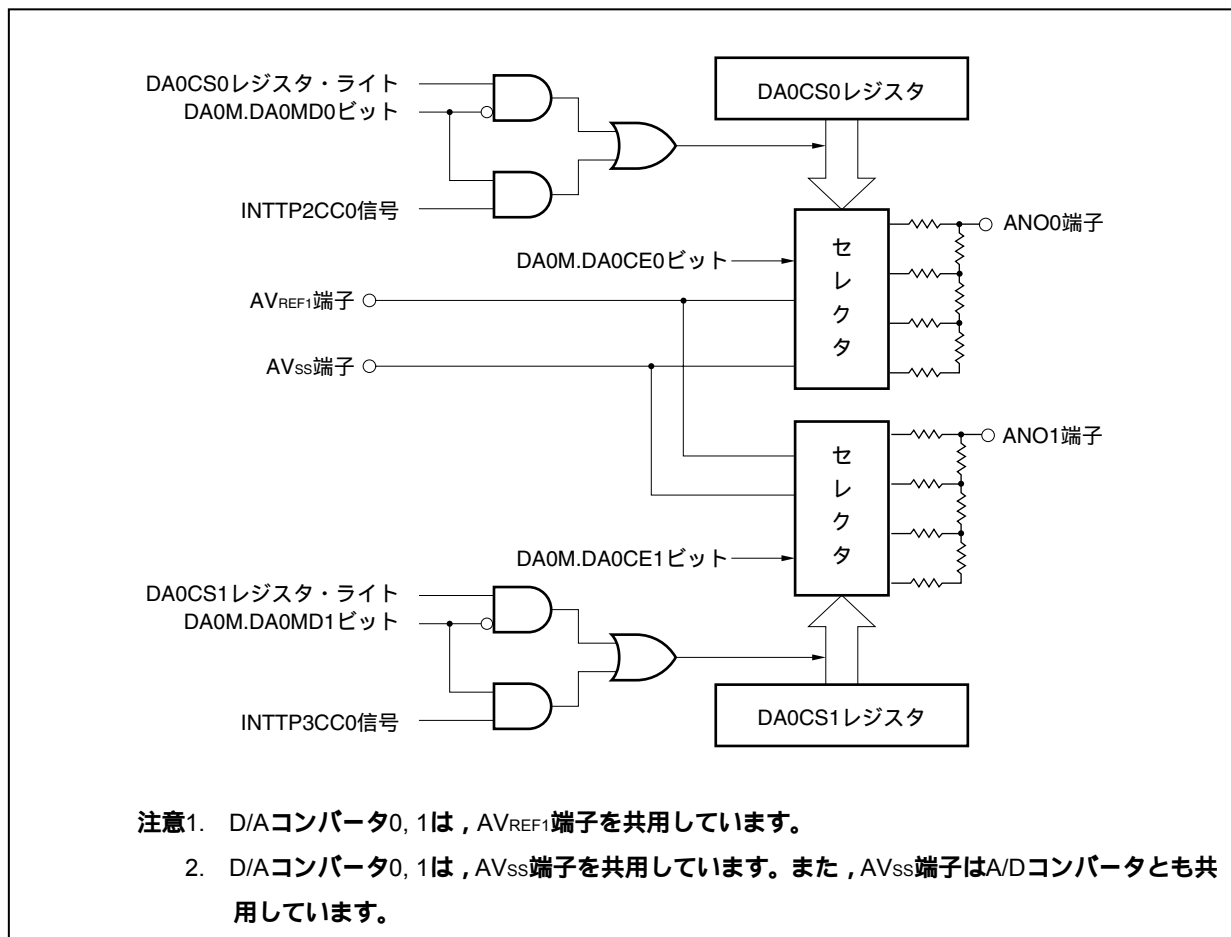
動作モード : 通常モード / リアルタイム出力モード

備考 n = 0, 1

### 14.2 構 成

次にD/Aコンバータの構成について示します。

図14 - 1 D/Aコンバータのブロック図





D/Aコンバータは、次のハードウェアで構成されています。

表14 - 1 D/Aコンバータの構成

項 目	構 成
制御レジスタ	D/Aコンバータ・モード・レジスタ (DA0M) D/Aコンバータ変換値設定レジスタ0, 1 (DA0CS0, DA0CS1)

### 14.3 レジスタ

D/Aコンバータを制御するレジスタを次に示します。

- ・ D/Aコンバータ・モード・レジスタ (DA0M)
- ・ D/Aコンバータ変換値設定レジスタ0, 1 (DA0CS0, DA0CS1)

#### (1) D/Aコンバータ・モード・レジスタ (DA0M)

D/Aコンバータの動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF282H

	7	6	⑤	④	3	2	1	0
DA0M	0	0	DA0CE1	DA0CE0	0	0	DA0MD1	DA0MD0

DA0CE <sub>n</sub>	D/Aコンバータの動作許可/禁止制御 (n = 0, 1)
0	動作禁止
1	動作許可

DA0MD <sub>n</sub>	D/Aコンバータの動作モードの選択 (n = 0, 1)
0	通常モード
1	リアルタイム出力モード <sup>注</sup>

**注** リアルタイム出力モード (DA0MD<sub>n</sub>ビット = 1) 時の出力トリガは、次のとおりです。

- ・ n = 0のとき：INTTP2CC0信号 (第7章 16ビット・タイマ/イベント・カウンタP (TMP) 参照)
- ・ n = 1のとき：INTTP3CC0信号 (第7章 16ビット・タイマ/イベント・カウンタP (TMP) 参照)

**注意** ビット2, 3, 6, 7には必ず0を設定してください。

## (2) D/Aコンバータ変換値設定レジスタ0, 1 (DA0CS0, DA0CS1)

ANO0, ANO1端子に出力するアナログ電圧値を設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : DA0CS0 FFFFF280H, DA0CS1 FFFFF281H

	7	6	5	4	3	2	1	0
DA0CSn	DA0CSn7	DA0CSn6	DA0CSn5	DA0CSn4	DA0CSn3	DA0CSn2	DA0CSn1	DA0CSn0

**注意** リアルタイム出力モード (DA0M.DA0MDnビット = 1) のとき, INTTP2CC0/INTTP3CC0信号が発生する前に, DA0CSnレジスタを設定してください。INTTP2CC0/INTTP3CC0信号発生でD/A変換を開始します。

**備考** n = 0, 1

## 14.4 動作

### 14.4.1 通常モード時の動作

DA0CSnレジスタへのライト動作を起動トリガとして、D/A変換を行います。

次に、その設定方法を示します。

DA0M.DA0MDnビット = 0 (通常モード) に設定します。

DA0CSnレジスタにANOn端子に出力するアナログ電圧値を設定します。

以上、を初期設定として行います。

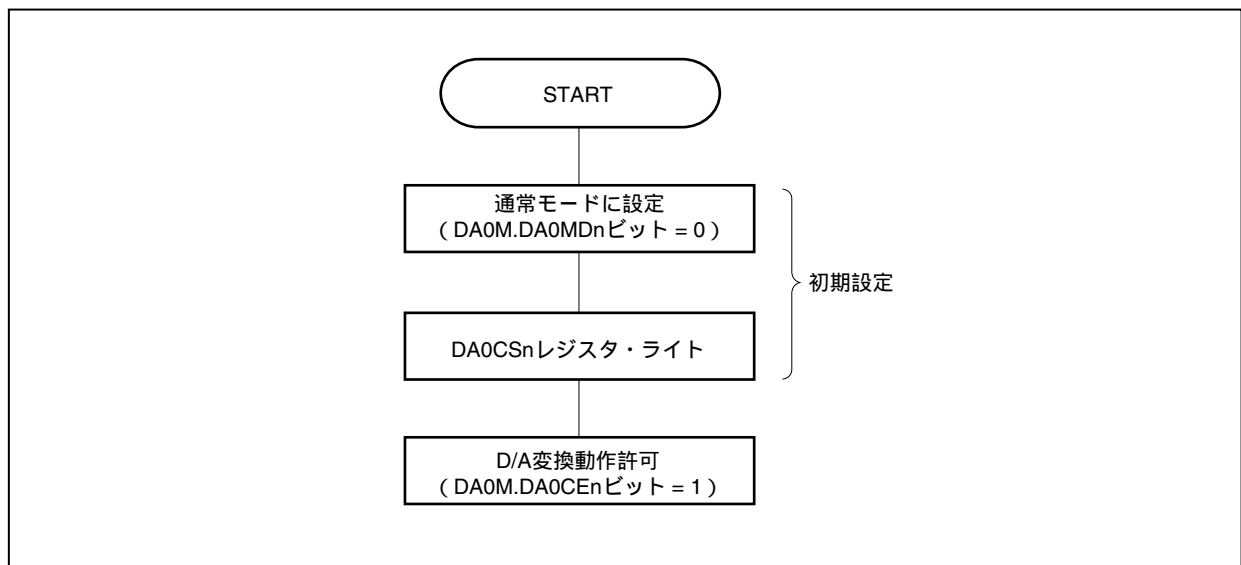
DA0M.DA0CEnビット = 1 (D/A変換動作許可) に設定します。

これによりD/A変換が開始します。

以降、D/A変換を行う場合は、DA0CSnレジスタへのライト動作を行います。

なお、次のD/A変換を行うまでは、前回D/A変換した結果を保持します。

図14 - 2 通常モード時の動作フロー



備考1. 兼用端子の設定は表4 - 25 ポート端子を兼用端子として使用する場合は参照してください。

2.  $n = 0, 1$

### 14.4.2 リアルタイム出力モード時の動作

TMP2, TMP3の割り込み要求信号 (INTTP2CC0, INTTP3CC0) を起動トリガとして、D/A変換を行います。

次に、その設定方法を示します。

DA0M.DA0MDnビット = 1 (リアルタイム出力モード) に設定します。

DA0CSnレジスタにANOn端子に出力するアナログ電圧値を設定します。

DA0M.DA0CEnビット = 1 (D/A変換動作許可) に設定します。

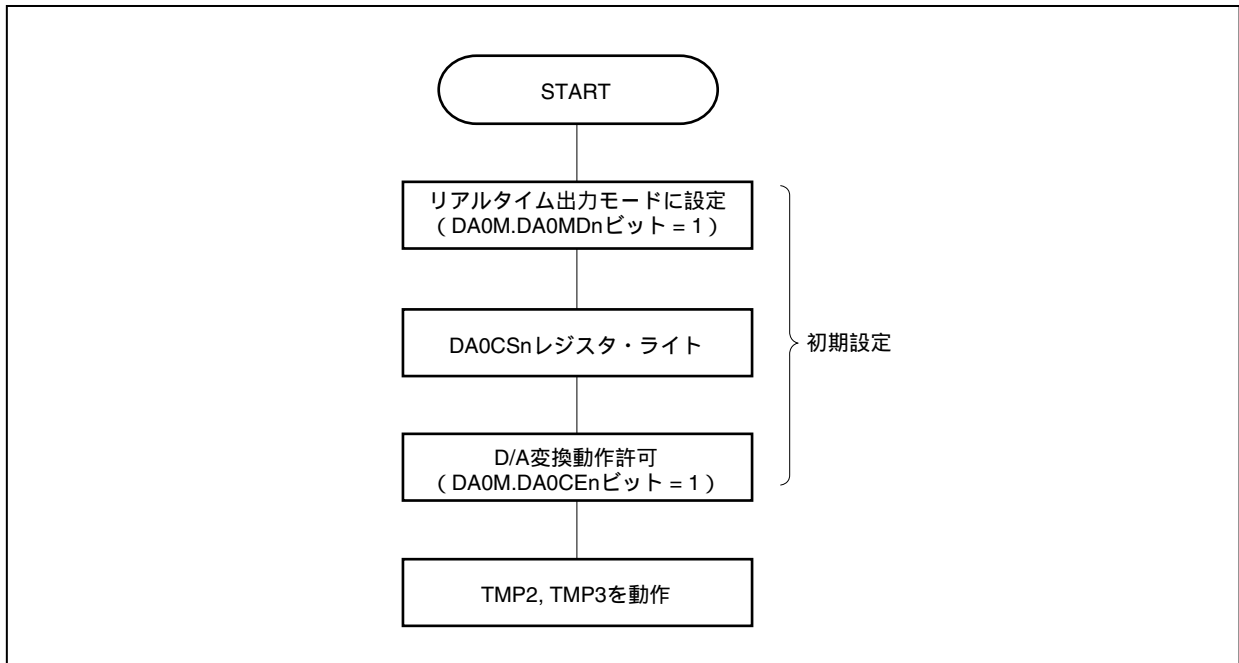
以上、を初期設定として行います。

TMP2, TMP3を動作させます。

INTTP2CC0, INTTP3CC0信号が発生すると、D/A変換を開始します。

以降、DA0CSnレジスタに設定した値がINTTP2CC0, INTTP3CC0信号のタイミングで出力されます。

図14 - 3 リアルタイム出力モード時の動作フロー



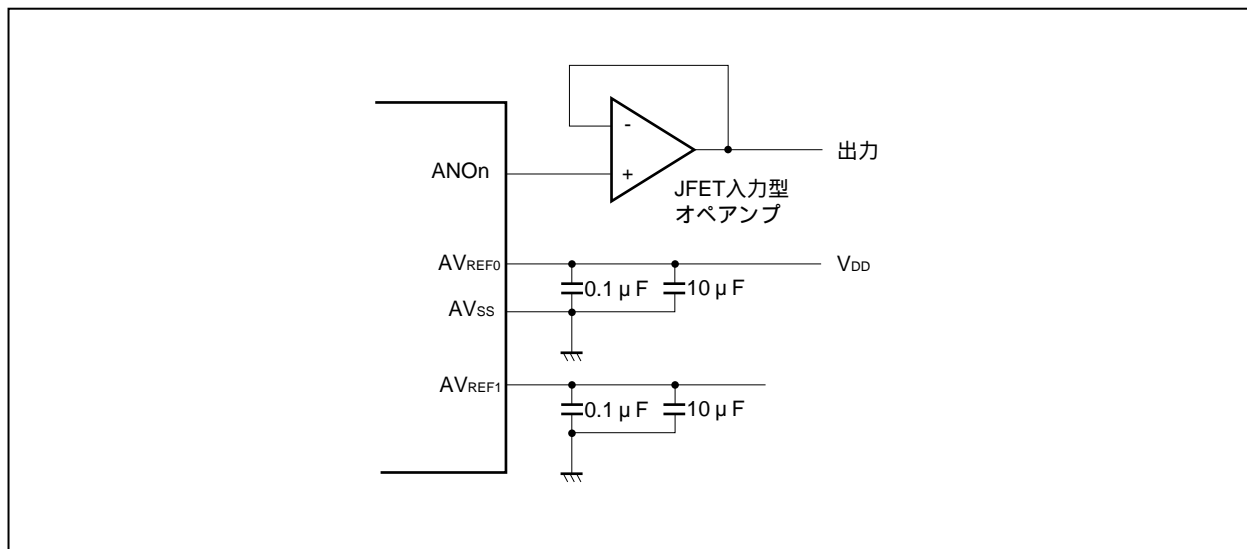
- 備考1. までのANO0, ANO1端子の出力値は不定です。
2. HALT, IDLE1, IDLE2, STOPモード時のANO0, ANO1端子の出力値については、**第26章スタンバイ機能**を参照してください。
  3. 兼用端子の設定は**表4 - 25 ポート端子を兼用端子として使用する場合**を参照してください。

### 14.4.3 使用上の注意点

D/Aコンバータを使用する際の注意事項を次に示します。

- (1) リアルタイム出力モード時、トリガ信号が出ている間にDA0CSnレジスタの設定値を変更しないでください。
- (2) 動作モードを切り替える場合は、必ずDA0M.DA0CEnビット = 0にしたあとに行ってください。
- (3) P10/ANO0, P11/ANO1端子を、1本を入出力ポート、1本をD/A出力端子として使用する場合、D/A出力中は、ポートの入出力レベルが変化しないようなアプリケーションで使用してください。
- (4)  $AV_{REF0} = V_{DD} = AV_{REF1} = 3.0 \sim 3.6$  Vの範囲で使用してください。それ以外の場合の動作は保証できません。
- (5)  $AV_{REF1}$ の電源投入および電源切断は、 $AV_{REF0}$ と同じタイミングで行ってください。
- (6) D/Aコンバータの出力インピーダンスが高いため、ANOn端子 ( $n = 0, 1$ ) から電流を取り出すことはできません。2 M $\Omega$ 以下の抵抗を接続する場合には、抵抗とANOn端子の間にJFET入力型オペアンプを挿入してください。

図14 - 4 外部端子の接続例



- (7) D/Aコンバータは、STOPモード時に動作が停止するため、ANO0, ANO1端子は、ハイ・インピーダンスになり消費電力を低減できます。ただし、IDLE1, IDLE2モード、サブクロック動作モードでは端子は保持されるため、消費電力を低減する場合にはDA0M.DA0CEnビット = 0にしてください。

## 第15章 アシクロナス・シリアル・インタフェースA(UARTA)

### 15.1 UARTA0-UARTA5のポート設定

#### 15.1.1 V850E/SJ3-Hの場合

表15 - 1 端子構成

モード	端子名	兼用端子					
		ポート			ポート		
		ピン番号	ポート	兼用機能	ピン番号	ポート	兼用機能
UARTA0	TXDA0	25	P30	SOB4	-	-	-
	RXDA0	26	P31	INTP7/SIB4	-	-	-
UARTA1	TXDA1	61	P90	A0/KR6/SDA02	-	-	-
	RXDA1	62	P91	A1/KR7/KR7/SCL02	-	-	-
UARTA2	TXDA2	35	P38	SDA00/SIB2	-	-	-
	RXDA2	36	P39	SCL00/SCKB2	-	-	-
UARTA3	TXDA3	60	P81	RC1CK0/RC1CKDIV	-	-	-
	RXDA3	59	P80	INTP8/RC1CK1HZ	-	-	-
UARTA4	TXDA4	44	P61	RTP11/SOE0 <sup>注</sup>	-	-	-
	RXDA4	43	P60	RTP10/SIE0 <sup>注</sup>	-	-	-
UARTA5	TXDA5	51	P68	SCKB5/SCL05 <sup>注</sup>	-	-	-
	RXDA5	50	P67	SOB5/SDA05 <sup>注</sup>	-	-	-

注  $\mu$  PD70F3931B, 70F3932B, 70F3933B以外

#### (1) UARTA0

UARTA0の送受信端子 (TXDA0, RXDA0) は、それぞれP30, P31に割り付けられています。UARTA0を使用する場合は、あらかじめPMC3, PFC3レジスタで、P30, P31をTXDA0, RXDA0/INTP7端子に設定してください。また、P31におけるINTP7端子のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0)。

TXDA0, RXDA0端子は、CSIB4の送受信端子 (SOB4, SIB4) と兼用しているので、同時に使用できません。また、RXDA0端子は、外部割り込み入力端子 (INTP7) と兼用しているので、同時に使用する場合は、INTP7端子をもう一方のポートに割り付けられた端子 (P51) で使用してください。

#### (2) UARTA1

UARTA1の送受信端子 (TXDA1, RXDA1) は、それぞれP90, P91に割り付けられています。UARTA1を使用する場合は、あらかじめPMC9, PFC9, PFCE9レジスタで、P90, P91をTXDA1, RXDA1/KR7端子に設定してください。また、P91におけるKR7端子のエッジ検出を無効にしてください (KRM.KRM7ビット = 0)。

TXDA1, RXDA1端子は、I<sup>2</sup>C02のシリアル送受信データ/シリアル・クロック端子 (SDA02, SCL02)、アドレス・バス端子 (A0, A1)、キー割り込み入力端子 (KR6, KR7) と兼用しているので、同時に使用できません。

### (3) UARTA2

UARTA2の送受信端子 (TXDA2, RXDA2) は、それぞれP38, P39に割り付けられています。UARTA2を使用する場合は、あらかじめPMC3, PFC3, PFCE3レジスタで、P38, P39をTXDA2, RXDA2に設定してください。

TXDA2, RXDA2端子は、I<sup>2</sup>C00のシリアル・クロック/シリアル送受信データ端子 (SDA00, SCL00) と兼用しているので、同時に使用できません。また、TXDA2, RXDA2端子は、CSIB2のシリアル受信データ/シリアル・クロック端子 (SIB2, SCKB2) と兼用しているので、同時に使用する場合は、SIB2, SCKB2端子をもう一方のポートに割り付けられた端子 (P53, P55) で使用してください。

### (4) UARTA3

UARTA3の送受信端子 (TXDA3, RXDA3) は、それぞれP81, P80に割り付けられています。UARTA3を使用する場合は、あらかじめPMC8, PFC8, PFCE8レジスタで、P81, P80をTXDA3, RXDA3/INTP8に設定してください。また、P80におけるINTP8のエッジ検出を無効にしてください (INTF8.INTF80ビット = 0, INTR8.INTR80ビット = 0)。

TXDA3, RXDA3端子は、RTCのクロック出力端子 (RC1CKO, RC1CKDIV, RC1CK1HZ) と兼用しているので、同時に使用できません。また、RXDA3端子は、外部割り込み入力端子 (INTP8) と兼用しているので、同時に使用する場合は、INTP8端子をもう一方のポートに割り付けられた端子 (P93) で使用してください。

### (5) UARTA4

UARTA4の送受信端子 (TXDA4, RXDA4) はそれぞれP61, P60に割り付けられています。UARTA4を使用する場合は、あらかじめPMC6, PFC6, PFCE6レジスタで、P61, P60をTXDA4, RXDA4に設定してください。

TXDA4, RXDA4端子は、CSIE0の送受信端子 (SOE0, SIE0)<sup>※</sup>、リアルタイム出力端子 (RTP11, RTP10) と兼用しているので、同時に使用できません。

### (6) UARTA5

UARTA5の送受信端子 (TXDA5, RXDA5) はそれぞれP68, P67に割り付けられています。UARTA5を使用する場合は、あらかじめPMC6, PFC6, PFCE6レジスタで、P68, P67をTXDA5, RXDA5に設定してください。

TXDA5, RXDA5端子は、CSIB5のシリアル・クロック/シリアル送信データ端子 (SCKB5, SOB5), I<sup>2</sup>C05のシリアル・クロック/シリアル送受信データ端子 (SCL05, SDA05)<sup>※</sup>と兼用しているので、同時に使用できません。

注  $\mu$  PD70F3931B, 70F3932B, 70F3933B以外

**注意** 動作中にポート設定を切り替えないでください。また、ポート設定を行わず、使用しないユニットは、必ず動作禁止にしてください。

## 15.1.2 V850E/SK3-Hの場合

表15 - 2 端子構成

モード	端子名	兼用端子					
		ポート			ポート		
		ピン番号	ポート	兼用機能	ピン番号	ポート	兼用機能
UARTA0	TXDA0	30	P30	SOB4	-	-	-
	RXDA0	31	P31	INTP7/SIB4	-	-	-
UARTA1	TXDA1	77	P90	A0/KR6/SDA02	94	P151	
	RXDA1	78	P91	A1/KR7/KR7/SCL02	93	P150	KR7
UARTA2	TXDA2	40	P38	SDA00/SIB2	43	P311	-
	RXDA2	41	P39	SCL00/SCKB2	44	P312	-
UARTA3	TXDA3	72	P81	RC1CKO/RC1CKDIV	-	-	-
	RXDA3	71	P80	INTP8/RC1CK1HZ	-	-	-
UARTA4	TXDA4	54	P61	RTP11/SOE0	52	P57	-
	RXDA4	53	P60	RTP10/SIE0	51	P56	-
UARTA5	TXDA5	61	P68	SCKB5/SCL05	76	P85	-
	RXDA5	60	P67	SOB5/SDA05	75	P84	-

## (1) UARTA0

UARTA0の送受信端子 (TXDA0, RXDA0) は、それぞれP30, P31に割り付けられています。UARTA0を使用する場合は、あらかじめPMC3, PFC3レジスタで、P30, P31をTXDA0, RXDA0/INTP7端子に設定してください。また、P31におけるINTP7端子のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0)。

TXDA0, RXDA0端子は、CSIB4の送受信端子 (SOB4, SIB4) と兼用しているので、同時に使用できません。また、RXDA0端子は、外部割り込み入力端子 (INTP7) と兼用しているので、同時に使用する場合は、INTP7端子をもう一方のポートに割り付けられた端子 (P51) で使用してください。

## (2) UARTA1

UARTA1の送受信端子 (TXDA1, RXDA1) は、それぞれP90, P91と、P151, P150の2箇所に割り付けられ、どちらか一方でのみ使用できます。P90, P91でUARTA1を使用する場合は、あらかじめPMC9, PFC9, PFCE9レジスタで、P90, P91をTXDA1, RXDA1/KR7端子に設定してください。また、P91におけるKR7端子のエッジ検出を無効にしてください (KRM.KRM7ビット = 0)。P151, P150でUARTA1を使用する場合は、あらかじめPMC15レジスタで、P151, P150をTXDA1, RXDA1/KR7端子に設定してください。また、P150におけるKR7端子のエッジ検出を無効にしてください (KRM.KRM7ビット = 0)。

P91とP150は、ともにRXDA1端子とキー割り込み入力端子 (KR7) を兼用しているので、同時に使用できません。また、P90, P91では、I<sup>2</sup>C02のシリアル送受信データ/シリアル・クロック端子 (SDA02, SCL02)、アドレス・バス端子 (A0, A1)、キー割り込み入力端子 (KR6) を兼用しています。P150, P151でUART1を使用することで、これらと同時に使用することが可能になります。



### (3) UARTA2

UARTA2の送受信端子 (TXDA2, RXDA2) は、それぞれP38, P39と、P311, P312の2箇所割り付けられ、どちらか一方でのみ使用できます。P38, P39でUARTA2を使用する場合は、あらかじめPMC3, PFC3, PFCE3レジスタで、P38, P39をTXDA2, RXDA2に設定してください。P311, P312でUARTA2を使用する場合は、あらかじめPMC3レジスタで、P311, P312をTXDA2, RXDA2に設定してください。

P38, P39では、I<sup>2</sup>C00のシリアル送受信データ/シリアル・クロック端子 (SDA00, SCL00) , CSIB2のシリアル受信データ/シリアル・クロック端子 (SIB2,  $\overline{\text{SCKB2}}$ ) を兼用しています。P311, P312でUARTA2を使用することで、これらと同時に使用することが可能になります。

### (4) UARTA3

UARTA3の送受信端子 (TXDA3, RXDA3) は、それぞれP81, P80に割り付けられています。UARTA3を使用する場合は、あらかじめPMC8, PFC8, PFCE8レジスタで、P81, P80をTXDA3, RXDA3/INTP8に設定してください。また、P80におけるINTP8のエッジ検出を無効にしてください (INTF8.INTF80ビット = 0, INTR8.INTR80ビット = 0)。

TXDA3, RXDA3端子は、RTCのクロック出力端子 (RC1CKO, RC1CKDIV, RC1CK1HZ) と兼用しているので、同時に使用できません。また、TXDA3, RXDA3端子は、外部割り込み入力端子 (INTP8) と兼用しているので、同時に使用する場合は、INTP8端子をもう一方のポートに割り付けられた端子 (P93) で使用してください。

### (5) UARTA4

UARTA4の送受信端子 (TXDA4, RXDA4) はそれぞれP61, P60と、P57, P56の2箇所割り付けられ、どちらか一方でのみ使用できます。P61, P60でUARTA4を使用する場合は、あらかじめPMC6, PFC6, PFCE6レジスタで、P61, P60をTXDA4, RXDA4に設定してください。P57, P56でUARTA4を使用する場合は、あらかじめPMC5レジスタで、P57, P56をTXDA4, RXDA4に設定してください。

P61, P60では、CSIE0の送受信端子 (SOE0, SIE0) , リアルタイム出力端子 (RTP11, RTP10) を兼用しています。P57, P56でUARTA4を使用することで、これらと同時に使用することが可能になります。

### (6) UARTA5

UARTA5の送受信端子 (TXDA5, RXDA5) はそれぞれP68, P67と、P85, P84の2箇所割り付けられ、どちらか一方でのみ使用できます。P68, P67でUARTA5を使用する場合は、あらかじめPMC6, PFC6, PFCE6レジスタで、P68, P67をTXDA5, RXDA5に設定してください。P85, P84でUARTA5を使用する場合は、あらかじめPMC8レジスタで、P85, P84をTXDA5, RXDA5に設定してください。

P68, P67では、CSIB5のシリアル・クロック/シリアル送信データ端子 ( $\overline{\text{SCKB5}}$ , SOB5) , I<sup>2</sup>C05のシリアル・クロック/シリアル送受信データ端子 (SCL05, SDA05) を兼用しています。P85, P84でUARTA5を使用することで、これらと同時に使用することが可能になります。

**注意** 動作中にポート設定を切り替えしないでください。また、ポート設定を行わず、使用しないユニットは、必ず動作禁止にしてください。

## 15.2 特 徴

転送速度 300 bps ~ 625 kbps (専用ポー・レート・ジェネレータ使用)

全二重通信 UARTAn受信データ・レジスタ (UAnRX) 内蔵

UARTAn送信データ・レジスタ (UAnTX) 内蔵

2端子構成 TXDAn : 送信データの出力端子

RXDAn : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース : 2種類

- ・受信完了割り込み (INTUAnR) : 受信許可状態において、シリアル転送完了後、受信シフト・レジスタからUAnRXレジスタへ受信データを転送すると発生
- ・送信許可割り込み (INTUAnT) : 送信許可状態においてUAnTXレジスタから送信シフト・レジスタへ送信データを転送すると発生

キャラクタ長 : 7, 8ビット

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

送受信データの反転入出力が可能

LIN (Local Interconnect Network) 通信フォーマットにおけるSBF (Synch Break Field) 送受信可能

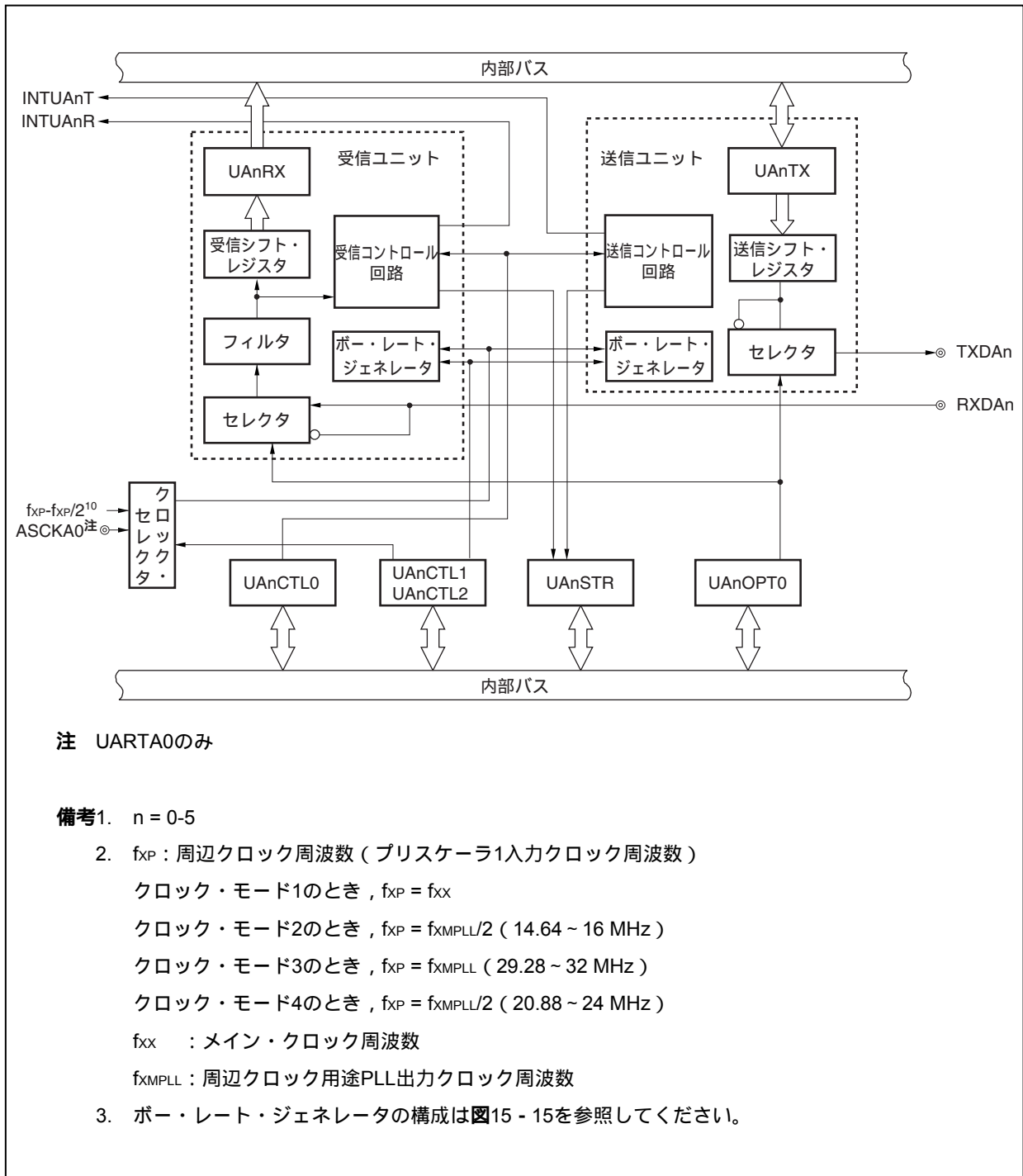
- ・SBF送信は13-20ビットまで選択可能
- ・SBF受信は11ビット以上認識可能
- ・SBF受信フラグあり

**備考** n = 0-5

## 15.3 構成

次にUARTAnのブロック図を示します。

図15 - 1 アシクロナス・シリアル・インタフェースAnのブロック図



UARTAnは、次のハードウェアで構成されています。

表15 - 3 UARTAnの構成

項 目	構 成
レジスタ	UARTAn制御レジスタ0 (UAnCTL0)
	UARTAn制御レジスタ1 (UAnCTL1)
	UARTAn制御レジスタ2 (UAnCTL2)
	UARTAnオプション制御レジスタ0 (UAnOPT0)
	UARTAn状態レジスタ (UAnSTR)
	UARTAn受信シフト・レジスタ
	UARTAn受信データ・レジスタ (UAnRX)
	UARTAn送信シフト・レジスタ
	UARTAn送信データ・レジスタ (UAnTX)

(1) UARTAn**制御レジスタ0** (UAnCTL0)

UAnCTL0レジスタは、UARTAnの動作を指定する8ビット・レジスタです。

(2) UARTAn**制御レジスタ1** (UAnCTL1)

UAnCTL1レジスタは、UARTAnの入カクロックを選択する8ビット・レジスタです。

(3) UARTAn**制御レジスタ2** (UAnCTL2)

UAnCTL2レジスタは、UARTAnのポー・レートを制御する8ビット・レジスタです。

(4) UARTAn**オプション制御レジスタ0** (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送を制御する8ビット・レジスタです。

(5) UARTAn**状態レジスタ** (UAnSTR)

UAnSTRレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット (1) されます。

(6) UARTAn**受信シフト・レジスタ**

RXDAn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分のデータを受信し、ストップ・ビットを検出すると、受信データをUAnRXレジスタへ転送します。このレジスタは直接操作することはできません。

(7) UARTAn**受信データ・レジスタ** (UAnRX)

UAnRXレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます (LSBファースト受信時)。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期してUARTAn受信シフト・レジスタからUAnRXレジスタに転送されます。

また、UAnRXレジスタへの転送により、受信完了割り込み要求信号 (INTUAnR) が発生します。

**(8) UARTAn送信シフト・レジスタ**

送信シフト・レジスタは、UAnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UAnTXレジスタから1バイト分のデータが転送されると、シフト・レジスタのデータをTXDAn端子から出力します。

このレジスタは直接操作することはできません。

**(9) UARTAn送信データ・レジスタ (UAnTX)**

UAnTXレジスタは、8ビットの送信データ用バッファです。UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタにデータの書き込みが可能になる (UAnTXレジスタからUARTAn送信シフト・レジスタに1フレーム分のデータが転送される) と、送信許可割り込み要求信号 (INTUAnT) を発生します。

## 15.4 レジスタ

### (1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより10Hになります。

( 1/2 )

リセット時 : 10H    R/W    アドレス : UA0CTL0 FFFFFFFA00H, UA1CTL0 FFFFFFFA10H,  
UA2CTL0 FFFFFFFA20H, UA3CTL0 FFFFFFFA30H,  
UA4CTL0 FFFFFFFA40H, UA5CTL0 FFFFFFFA50H

	⑦	⑥	⑤	④	3	2	1	0
UAnCTL0 (n = 0-5)	UAnPWR	UAnTXE	UAnRXE	UAnDIR	UAnPS1	UAnPS0	UAnCL	UAnSL

UAnPWR	UARTAnの動作の制御
0	UARTAn動作禁止 (UARTAnを非同期にリセット)
1	UARTAn動作許可

UAnPWRビットにより、UARTAn動作の制御を行います。UAnPWRビットをクリア (0) すると、TXDAn端子の出力はハイ・レベルに固定されます (UAnOPT0. UAnTDLビット = 1のときは、ロウ・レベルに固定されます)。

UAnTXE	送信動作許可
0	送信動作禁止
1	送信動作許可

- ・ 起動時はUAnPWRビット = 1にしてから、UAnTXEビット = 1としてください。
- ・ 送信ユニットを初期化する場合は、UAnTXEビットをクリア (0) して、基本クロック (f<sub>CLK</sub>) の2周期分の時間を経過してから、再びUAnTXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては15.7 (1) (a) **基本クロック**参照)。
- ・ 動作許可 (UAnPWRビット = 1) した場合には、UAnTXEビット = 1としたあと、基本クロック (f<sub>CLK</sub>) の2周期分以上の時間を経過してから送信動作が許可状態になります。
- ・ UAnPWRビット = 0にすると、UAnTXEビット = 1のときでも内部回路の状態はUAnPWRビットによりUAnTXEビット = 0の状態と同等になります。なお、再びUAnPWRビット = 1にすると、送信動作は許可状態になります。

(2/2)

UAnRXE	受信動作許可
0	受信動作禁止
1	受信動作許可

・起動時はUAnPWRビット = 1にしてから、UAnRXEビット = 1としてください。  
 ・受信ユニットの状態を初期化する場合は、UAnRXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUAnRXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 15.7 (1) (a) **基本クロック**参照)。  
 ・動作許可 (UAnPWRビット = 1) した場合には、UAnRXEビット = 1としたあと、基本クロック (f<sub>CLK</sub>) の2周期分以上の時間を経過してから受信動作が許可状態になります。受信動作の許可状態前にスタート・ビットを受信した場合は、スタート・ビットは無視されます。  
 ・UAnPWRビット = 0にすると、UAnRXEビット = 1のときでも内部回路の状態はUAnPWRビットによりUAnRXEビット = 0の状態と同等になります。なお、再びUAnPWRビット = 1にすると、受信動作は許可状態になります。

UAnDIR <sup>注</sup>	転送方向選択
0	MSB転送ファースト
1	LSB転送ファースト

UAnPS1 <sup>注</sup>	UAnPS0 <sup>注</sup>	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・受信時に「0パリティとして受信」を選択した場合、パリティ判定を行いません。したがって、UAnSTR.UAnPEビットはセットされません。  
 ・LINのフォーマットで送受信を行う場合、UAnPS1, UAnPS0ビットは“00”に設定してください。

UAnCL <sup>注</sup>	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

UAnSL <sup>注</sup>	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

受信データのストップ・ビットは、UAnSLビットの値に関わらず、最初の1ビットのみチェックします。

**注** UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。ただし、同時にUAnPWR, UAnTXE, UAnRXEビットのいずれか、またはすべてを1とするのは可能です。

**備考** パリティについての詳細は、15.6.9 **パリティの種類と動作**を参照してください。

## (2) UARTAn制御レジスタ1 (UAnCTL1)

詳細は、15.7 (2) UARTAn制御レジスタ1 (UAnCTL1) を参照してください。

## (3) UARTAn制御レジスタ2 (UAnCTL2)

詳細は、15.7 (3) UARTAn制御レジスタ2 (UAnCTL2) を参照してください。

## (4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。UAnSRFビットはリードのみ可能です。

リセットにより14Hになります。

**注意** UAnSRT, UAnSTTビットは、SBF受信中 (UAnSRFビット = 1) にセット (1) しないでください。

( 1/2 )

リセット時 : 14H    R/W    アドレス : UA0OPT0 FFFFFFFA03H, UA1OPT0 FFFFFFFA13H, UA2OPT0 FFFFFFFA23H, UA3OPT0 FFFFFFFA33H, UA4OPT0 FFFFFFFA43H, UA5OPT0 FFFFFFFA53H								
	⑦	6	5	4	3	2	1	0
UAnOPT0 (n = 0-5)	UAnSRF	UAnSRT	UAnSTT	UAnSLS2	UAnSLS1	UAnSLS0	UAnTDL	UAnRDLC
	UAnSRF	SBF受信フラグ						
	0	UAnCTL0.UAnPWRビット = UAnRXEビット = 0に設定したとき。またはSBF受信正常終了したとき。						
	1	SBF受信中						
	<ul style="list-style-type: none"> <li>・LIN通信でのSBF (Synch Break Field) を受信していることを判断します。</li> <li>・SBF受信エラー時、UAnSRFビットは "1" を保持し、そのあと再度SBF受信を開始します。</li> </ul>							
	UAnSRT	SBF受信トリガ						
	0							
	1	SBF受信トリガ						
	<ul style="list-style-type: none"> <li>・LIN通信でのSBFの受信トリガ・ビットであり、読み出した場合、常に "0" が読み出されます。SBFを受信する場合、UAnSRTビットをセット (1) しSBF受信可能状態にしてください。</li> <li>・UAnPWRビット = UAnRXEビット = 1としてからUAnSRTビットを設定してください。</li> <li>・UAnSRTビットは受信完了割り込み要求信号 (INTUAnR) 発生後、1ビットの期間中にセット (1) してください (受信動作中にセット (1) した場合は、SBFを受信していなくてもそのデータの受信終了時にUAnSRFビットがクリアされます)。</li> <li>・UAnSRTビットは0ライトが有効です。そのため、SBF受信開始前にUAnSRTビットに0をライトすると、SBF受信を行わずに通常のUART受信を行います。また、SBF受信中にUAnOPT0レジスタへの0ライト動作を行った場合にはすでに受信中のデータはSBFとして受信しますが、受信中のデータがSBFでなかった場合には次の受信データからUARTの受信データとして動作します。また、UAnSRFビットは、UAnSRTビットの0ライトによりクリアされます。</li> </ul>							



(2/2)

UAnSTT	SBF送信トリガ
0	
1	SBF送信トリガ

- ・ LIN通信でのSBFの送信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。
- ・ UAnPWRビット = UAnTXEビット = 1としてからUAnSTTビットを設定してください。
- ・ UAnSTTビットは0ライトが有効です。そのため、UAnSTTビットに1をライト後、基本クロックでUAnSTTビットがサンプリングされる前に0ライトした場合には、SBF送信が行われません。また、SBF送信中にUAnSTTビットに0ライトした場合には、SBF送信を行っているにもかかわらず、UAnSTR.UAnTSFビットが0になります。

UAnSLS2	UAnSLS1	UAnSLS0	SBF送信長選択
1	0	1	13ビット長で出力 (リセット値)
1	1	0	14ビット長で出力
1	1	1	15ビット長で出力
0	0	0	16ビット長で出力
0	0	1	17ビット長で出力
0	1	0	18ビット長で出力
0	1	1	19ビット長で出力
1	0	0	20ビット長で出力

UAnPWRビット = 0またはUAnTXEビット = 0のとき設定できます。

UAnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力

- ・ UAnTDLビットによりTXDAn端子の出力レベルを反転できます。
- ・ UAnPWRビット = 0またはUAnTXEビット = 0のとき設定できます。

UAnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力

- ・ UAnRDLビットによりRXDAn端子の入力レベルを反転できます。
- ・ UAnPWRビット = 0またはUAnRXEビット = 0のとき設定できます。
- ・ UAnRDLビット = 1 (受信データ反転入力) と設定した場合は、必ず受信開始時にデータ受信端子をUART受信用端子 (RXDAn) に設定してから、受信許可 (UAnCTL0.UAnRXEビット = 1) にする必要があります。受信許可後に端子モードを変更すると、そのときの端子レベルがハイ・レベルの場合にはスタート・ビットを誤検出します。

## (5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、UARTAnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。UAnTSFビットはリードのみ可能で、UAnPE, UAnFE, UAnOVEビットについてはリード/ライト可能ですが、ライト時は“0”ライトによるクリアのみ可能で、“1”ライトによるセット動作はできません(“1”をライトしても値を保持します)。

次に初期化条件を示します。

レジスタ/ビット	初期化条件
UAnSTRレジスタ	<ul style="list-style-type: none"> <li>・リセット</li> <li>・UAnCTL0.UAnPWRビット = 0</li> </ul>
UAnTSFビット	<ul style="list-style-type: none"> <li>・UAnCTL0.UAnTXEビット = 0</li> </ul>
UAnPE, UAnFE, UAnOVEビット	<ul style="list-style-type: none"> <li>・0の書き込み</li> <li>・UAnCTL0.UAnRXEビット = 0</li> </ul>

**注意** UAnPE, UAnFE, UAnOVEビットのエラー・フラグは、必ずリードしてフラグの状態を確認後、“0”ライトしてクリアしてください。

リセット時：00H R/W アドレス：UA0STR FFFFFFFA04H, UA1STR FFFFFFFA14H,  
UA2STR FFFFFFFA24H, UA3STR FFFFFFFA34H,  
UA4STR FFFFFFFA44H, UA5STR FFFFFFFA54H

	⑦	6	5	4	3	②	①	①
UAnSTR (n = 0-5)	UAnTSF	0	0	0	0	UAnPE	UAnFE	UAnOVE

UAnTSF	転送状態フラグ
0	<ul style="list-style-type: none"> <li>・ UAnPWRビット = 0, または UAnTXEビット = 0 に設定したとき</li> <li>・ 転送完了後に, UAnTXレジスタに次のデータ転送がなかったとき</li> </ul>
1	UAnTXレジスタへの書き込み
<p>連続送信を行っている場合にはUAnTSFビットは常に“1”になっています。 送信ユニットの初期化を行う場合には, UAnTSFビット = 0 になっていることを確認してから初期化を行ってください。UAnTSFビット = 1 の状態で初期化を行った場合の送信データは保証できません。</p>	

UAnPE	パリティ・エラー・フラグ
0	<ul style="list-style-type: none"> <li>・ UAnPWRビット = 0, または UAnRXEビット = 0 に設定したとき</li> <li>・ “0” をライトしたとき</li> </ul>
1	受信時, データのパリティとパリティ・ビットが一致しないとき
<ul style="list-style-type: none"> <li>・ UAnPEビットの動作は, UAnCTL0.UAnPS1, UAnPS0ビットの設定により左右されます。</li> <li>・ UAnPEビットはリード/ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。</li> </ul>	

UAnFE	フレーミング・エラー・フラグ
0	<ul style="list-style-type: none"> <li>・ UAnPWRビット = 0, または UAnRXEビット = 0 に設定したとき</li> <li>・ “0” をライトしたとき</li> </ul>
1	受信時, ストップ・ビットが検出されないとき
<ul style="list-style-type: none"> <li>・ 受信データのストップ・ビットは, UAnCTL0.UAnSLビットの値に関わらず, 最初の1ビットのみチェックします。</li> <li>・ UAnFEビットはリード/ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。</li> </ul>	

UAnOVE	オーバラン・エラー・フラグ
0	<ul style="list-style-type: none"> <li>・ UAnPWRビット = 0, または UAnRXEビット = 0 に設定したとき</li> <li>・ “0” をライトしたとき</li> </ul>
1	UAnRXレジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき
<ul style="list-style-type: none"> <li>・ オーバラン・エラーが発生したとき, 次の受信データはUAnRXレジスタに書き込まれず, データは破棄されます。</li> <li>・ UAnOVEビットはリード/ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。</li> </ul>	

**注意** ビット3-6には必ず0を設定してください。

**(6) UARTAn受信データ・レジスタ (UAnRX)**

UAnRXレジスタは、受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

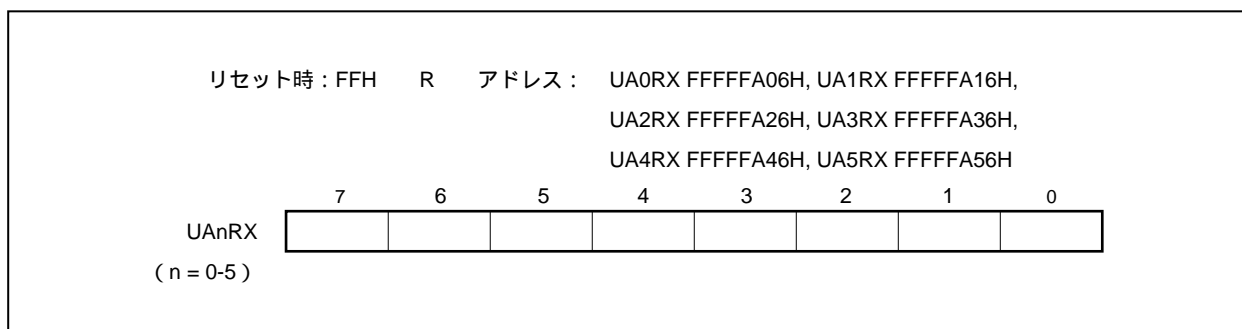
1バイト・データの受信完了により受信シフト・レジスタに格納したデータをUAnRXレジスタに転送します。このタイミングで受信完了割り込み要求信号 (INTUAnR) を発生します。

データ長を7ビットに指定し、LSBファーストで受信する場合、受信データはUAnRXレジスタのビット6-ビット0に転送され、MSBは必ず“0”になります。MSBファーストで受信する場合、受信データはUAnRXレジスタのビット7-ビット1に転送されLSBは必ず“0”になります。

オーバラン・エラー (UAnOVE) が発生した場合は、そのときの受信データはUAnRXレジスタに転送されず破棄されます。

8ビット単位でリードのみ可能です。

リセット以外に、UAnCTL0.UAnPWRビット = 0によってもUAnRXレジスタはFFHになります。

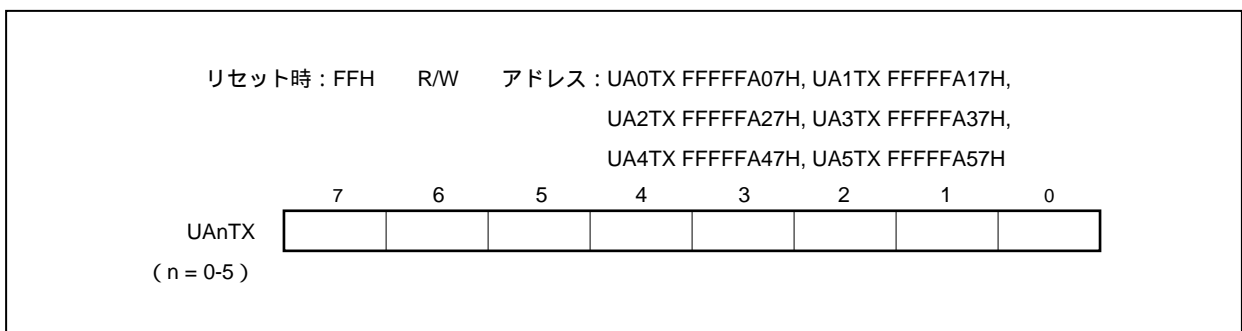
**(7) UARTAn送信データ・レジスタ (UAnTX)**

UAnTXレジスタは、送信データを設定するための8ビット・レジスタです。

送信許可状態 (UAnCTL0.UAnTXEビット = 1) のときに、UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタのデータを送信シフト・レジスタに転送完了したタイミングで、送信許可割り込み要求信号 (INTUAnT) を発生します。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。



## 15.5 割り込み要求信号

UARTAnからは次の2種類の割り込み要求信号を発生します。

- ・受信完了割り込み要求信号 (INTUAnR)
- ・送信許可割り込み要求信号 (INTUAnT)

これら2種類の割り込み要求信号のデフォルト優先順位は受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表15-4 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

### (1) 受信完了割り込み要求信号 (INTUAnR)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされUAnRXレジスタに転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号を受け付け、データを読み出すときに、UAnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

受信禁止状態中は、受信完了割り込み要求信号は発生しません。

### (2) 送信許可割り込み要求信号 (INTUAnT)

送信許可状態で、UAnTXレジスタからUARTAn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

## 15.6 動作

### 15.6.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

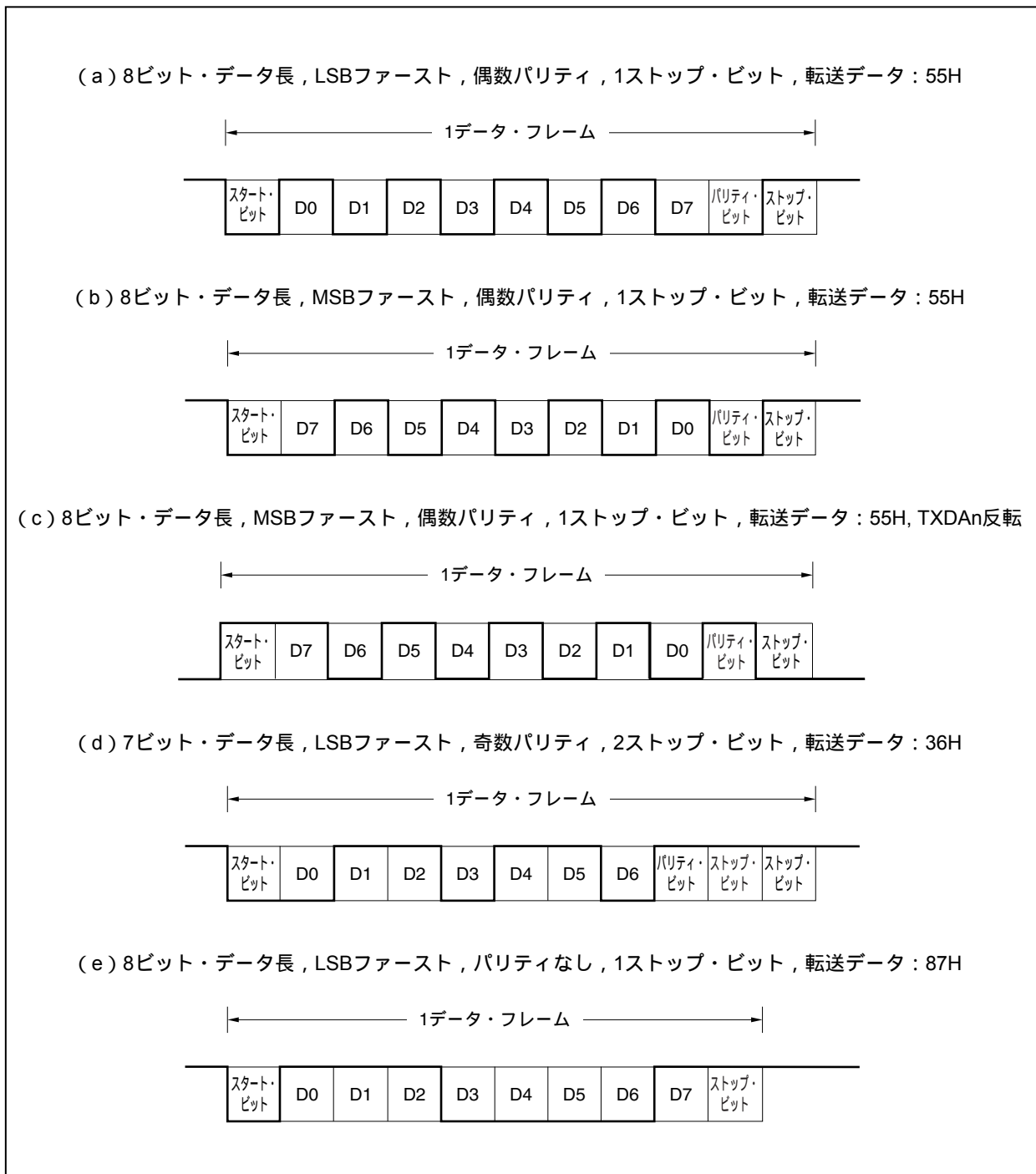
送受信データのフォーマットは図15-2に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSB/LSBファーストの転送指定は、UAnCTL0レジスタによって行います。

また、UAnOPT0.UAnTDLビットでTXDAn端子のUART出力/反転出力の制御を行います。

- ・スタート・ビット ..... 1ビット
- ・キャラクタ・ビット ... 7ビット/8ビット
- ・パリティ・ビット ..... 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット ..... 1ビット/2ビット

図15 - 2 UARTAの送受信データのフォーマット



## 15.6.2 SBF送信/受信フォーマット

V850E/SJ3-H, V850E/SK3-HにはLIN機能として使用するために、SBF (Synch Break Field) 送信/受信制御機能があります。

**備考** LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速 (1~20 kbps) のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

LINのマスタは通常、CAN (Controller Area Network) などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにポー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため、スレーブのポー・レート誤差が $\pm 15\%$ 以下であれば、通信可能です。

LINの送信操作と受信操作の概略を、図15-3、図15-4に示します。

図15-3 LINの送信操作概略

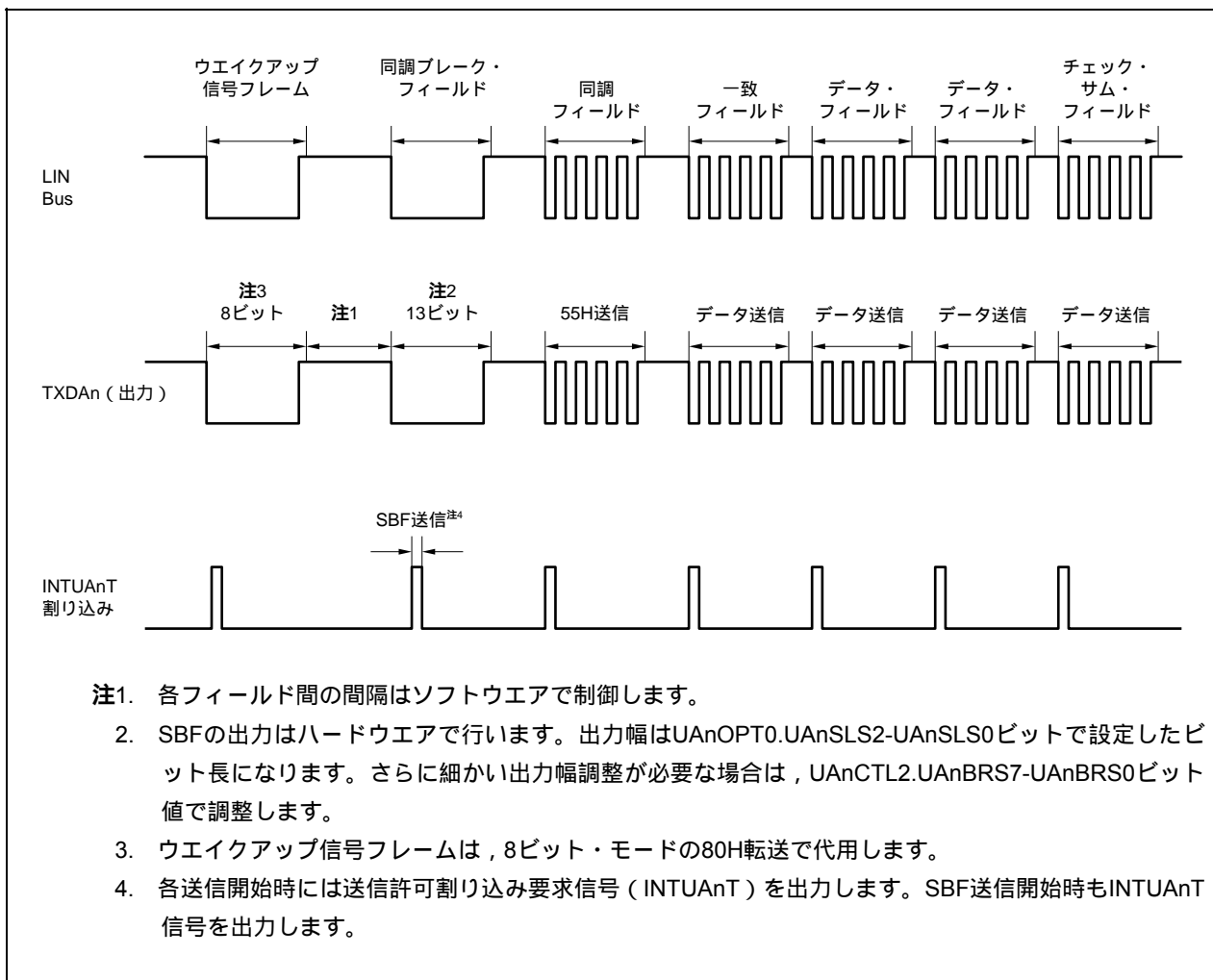
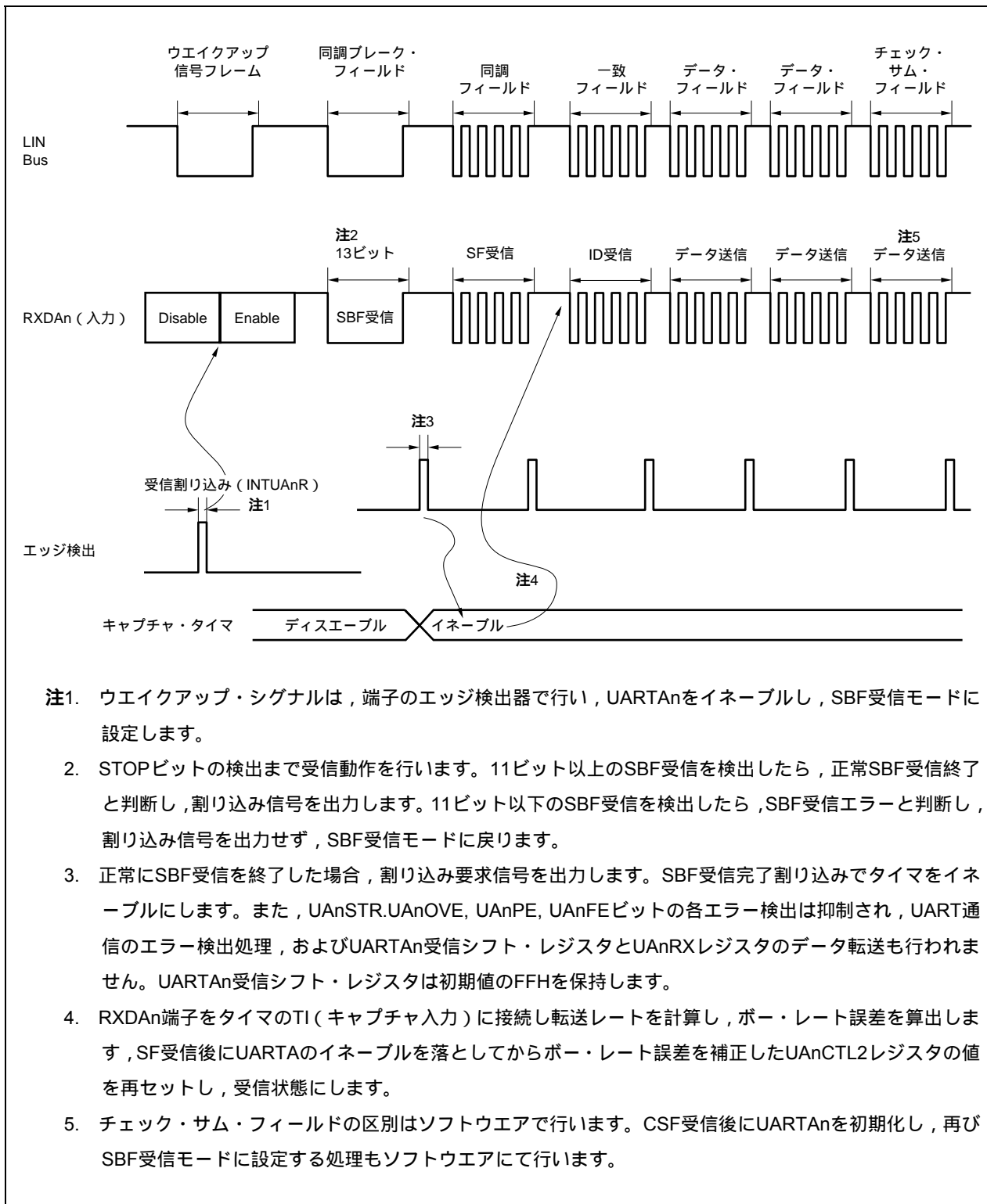




図15 - 4 LINの受信操作概略



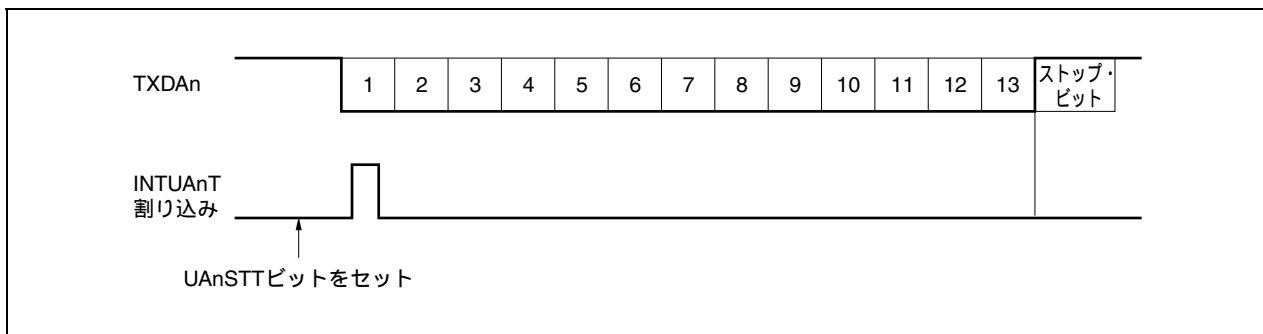
### 15.6.3 SBF送信

UAnCTL0.UAnPWRビット = 1にすることにより, TXDAn端子からハイ・レベルを出力します。次にUAnCTL0.UAnTXEビット = 1にすると送信許可状態となり, SBF送信トリガ (UAnOPT0.UAnSTTビット) をセット (1) することにより SBF送信動作は起動します。

そのあとUAnOPT0.UAnSLS2-UAnSLS0ビットで指定された13ビットから20ビット分までの幅のロウ・レベルを出力します。SBF送信開始時には送信許可割り込み要求信号 (INTUAnT) を発生します。SBF送信を終了したあと, UAnSTTビットは自動的にクリアされます。そのあと, UART送信モードに戻ります。

次に送信するデータをUAnTXレジスタに書き込み, あるいはSBF送信トリガ (UAnSTTビット) をセットするまで, 送信動作は中断します。

図15 - 5 SBF送信



#### 15.6.4 SBF受信

UAnCTL0.UAnPWRビット = 1にして、次に、UAnCTL0.UAnRXEビット = 1にすることにより、受信待ち状態になります。

SBF受信トリガ (UAnOPT0.UAnSRTビット) をセット (1) することで、SBF受信待ち状態になります。

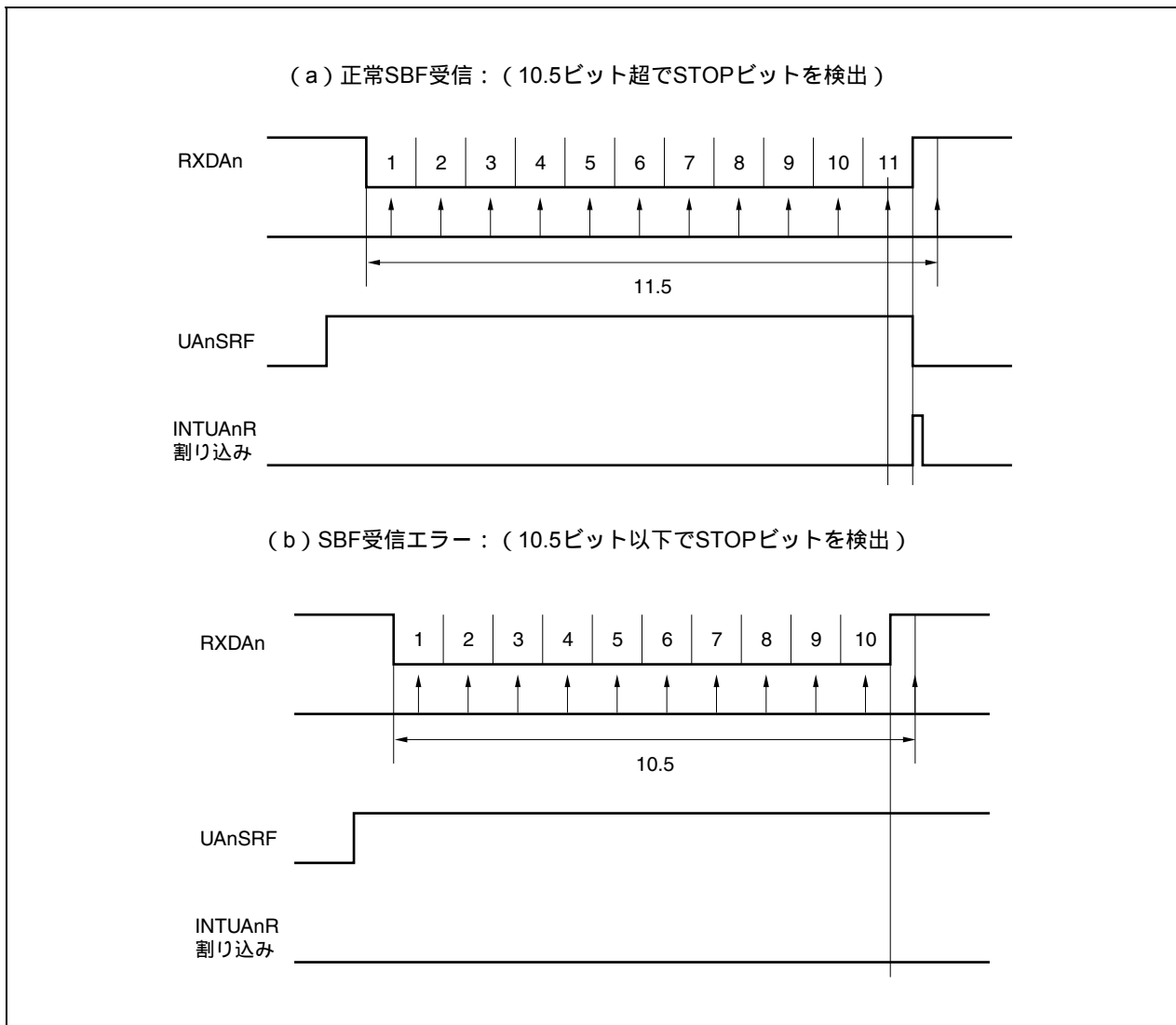
SBF受信待ち状態はUARTの受信待ち状態と同じくRXDAn端子をモニタし、スタート・ビットの検出を行います。

スタート・ビットを検出したら、受信動作を開始し、設定されたボー・レートにあわせて、内蔵カウンタをカウント・アップします。

ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求信号 (INTUAnR) を発生します。UAnOPT0.UAnSRFビットは自動的にクリアされ、SBF受信を終了します。UAnSTR.UAnOVE, UAnPE, UAnFEビットの各エラー検出は抑制されUART通信のエラー検出処理は行われません。また、UARTAn受信シフト・レジスタとUAnRXレジスタのデータの転送も行われず、初期値のFFHを保持します。SBFの幅が10ビット長以下の場合、エラー処理として、割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。その際UAnSRFビットはクリアされません。

**注意** LIN機能では、データ受信中にSBFが送信されてくることを想定していません。そのため、データ受信中にSBFが送信されてきた場合はフレーミング・エラー (UAnSTR.UAnFEビット = 1) が発生します。

図15 - 6 SBF受信



### 15.6.5 UART送信

UAnCTL0.UAnPWRビット = 1とすることにより、TXDAn端子からハイ・レベルを出力します。

次に、UAnCTL0.UAnTXEビット = 1にすると送信許可状態となり、UAnTXレジスタに送信データを書き込むことにより送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加します。

なお、UARTAnにはCTS（送信許可信号）入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

送信動作の開始により、UAnTXレジスタ内のデータをUARTAn送信シフト・レジスタへ転送します。

UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送完了したタイミングで、送信許可割り込み要求信号（INTUAnT）を発生し、そのあとUARTAn送信シフト・レジスタから順次、TXDAn端子に出力します。INTUAnT信号の発生後、UAnTXレジスタに次の転送データの書き込みができます。

図15 - 7 UART送信

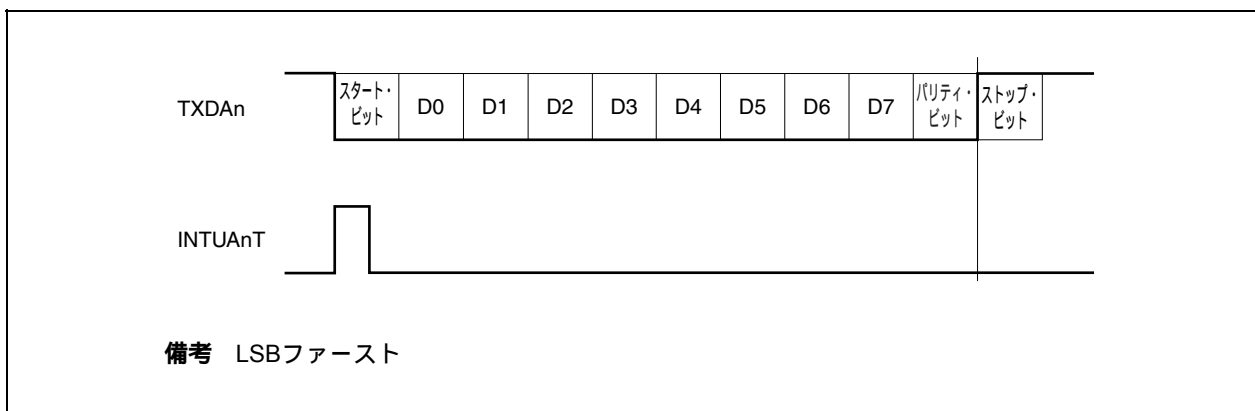
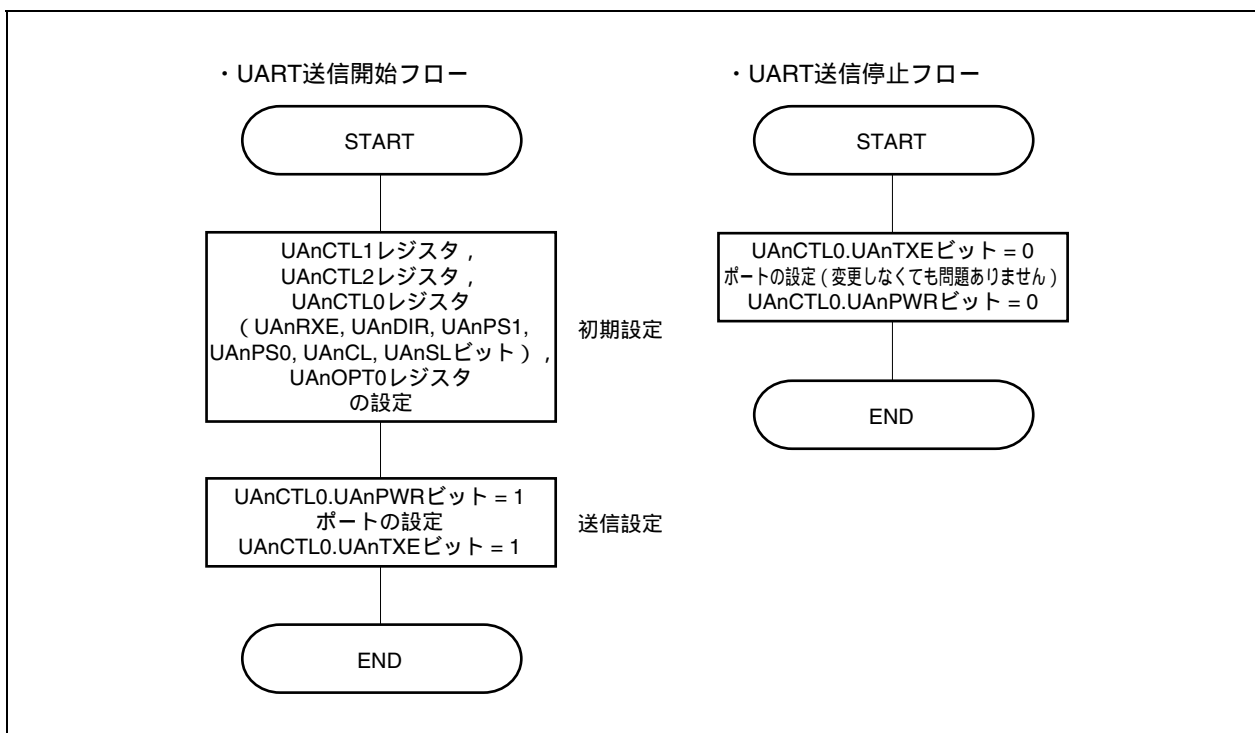


図15 - 8 UART送信フロー



### 15.6.6 連続送信の手順説明

UARTAnはUARTAn送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをUAnTXレジスタへ書き込むことができます。UARTAn送信シフト・レジスタへの送信タイミングは、送信許可割り込み要求信号 (INTUAnT) で判断できます。次に送信するデータを、転送中にUAnTXレジスタに書き込むことにより、効率的な通信レートを実現できます。

**注意** 送信の初期化を行う場合、連続送信実行中は、UAnSTR.UAnTSFビットが“0”であることを確認してから初期化を実行してください。UAnTSFビットが“1”のときに初期化を実行した場合の送信データは保証できません。

図15-9 連続送信の処理フロー

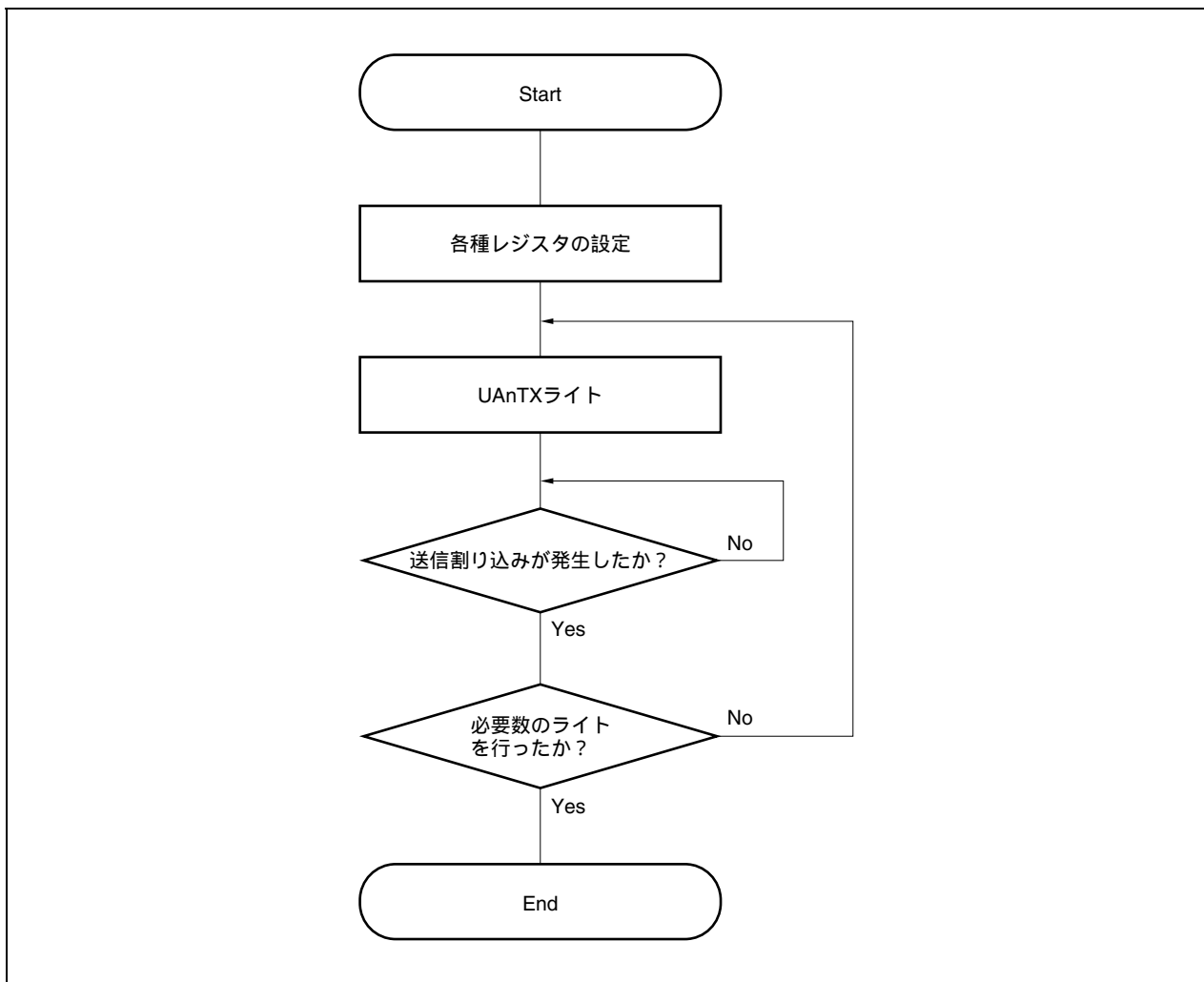
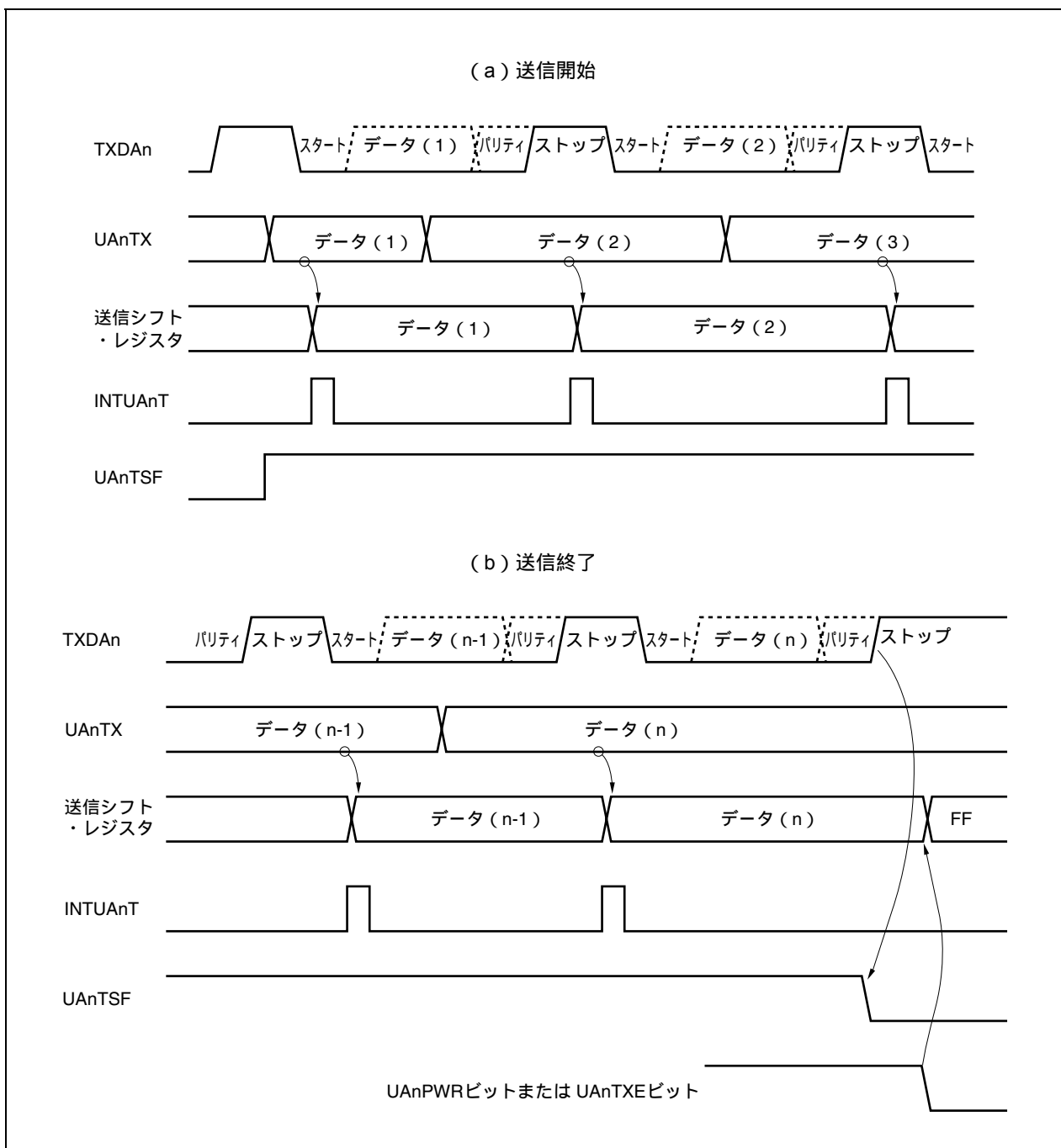


図15 - 10 連続送信動作のタイミング



### 15.6.7 UART受信

UAnCTL0.UAnPWRビット = 1にして、次にUAnCTL0.UAnRXEビット = 1にすることにより、受信待ち状態になります。受信待ち状態では、RXDAn端子をモニタし、スタート・ビットの検出を行います。

なおスタート・ビットの認識には2段階の検出ルーチンを取ります。

まずRXDAn端子の立ち下がりを検出すると立ち下がリエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDAn端子がロウ・レベルであれば、スタート・ビットと認識します。スタート・ビットが認識されたら、受信動作を開始し、設定されたボー・レートにあわせて、シリアル・データを順次、UARTAn受信シフト・レジスタに格納していきます。

ストップ・ビットを受信したら、受信完了割り込み要求信号 (INTUAnR) を発生すると同時に、UARTAn受信シフト・レジスタのデータをUAnRXレジスタに書き込みます。ただし、オーバラン・エラーが発生した場合 (UAnSTR.UAnOVEビット = 1)、そのときの受信データはUAnRXレジスタに書き込まれずに破棄されます。

受信途中に、パリティ・エラー (UAnSTR.UAnPEビット = 1)、フレーミング・エラー (UAnSTR.UAnFEビット = 1) が発生しても、1ビット目のストップ・ビットの受信位置までは、受信を継続し、受信完了後にINTUAnR信号を発生します。

図15 - 11 UART受信

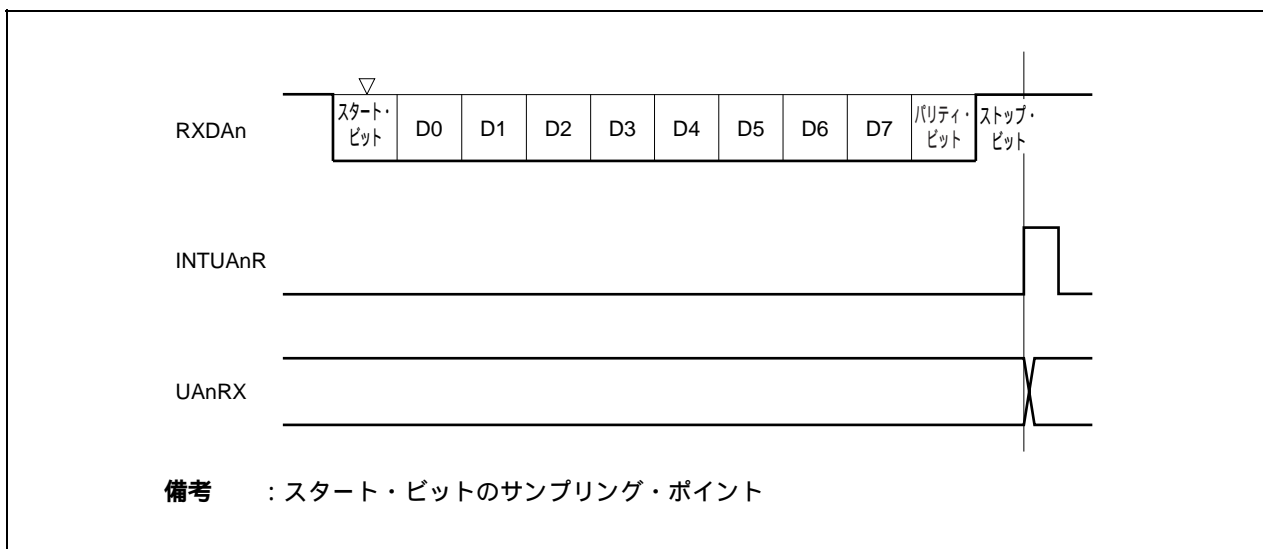
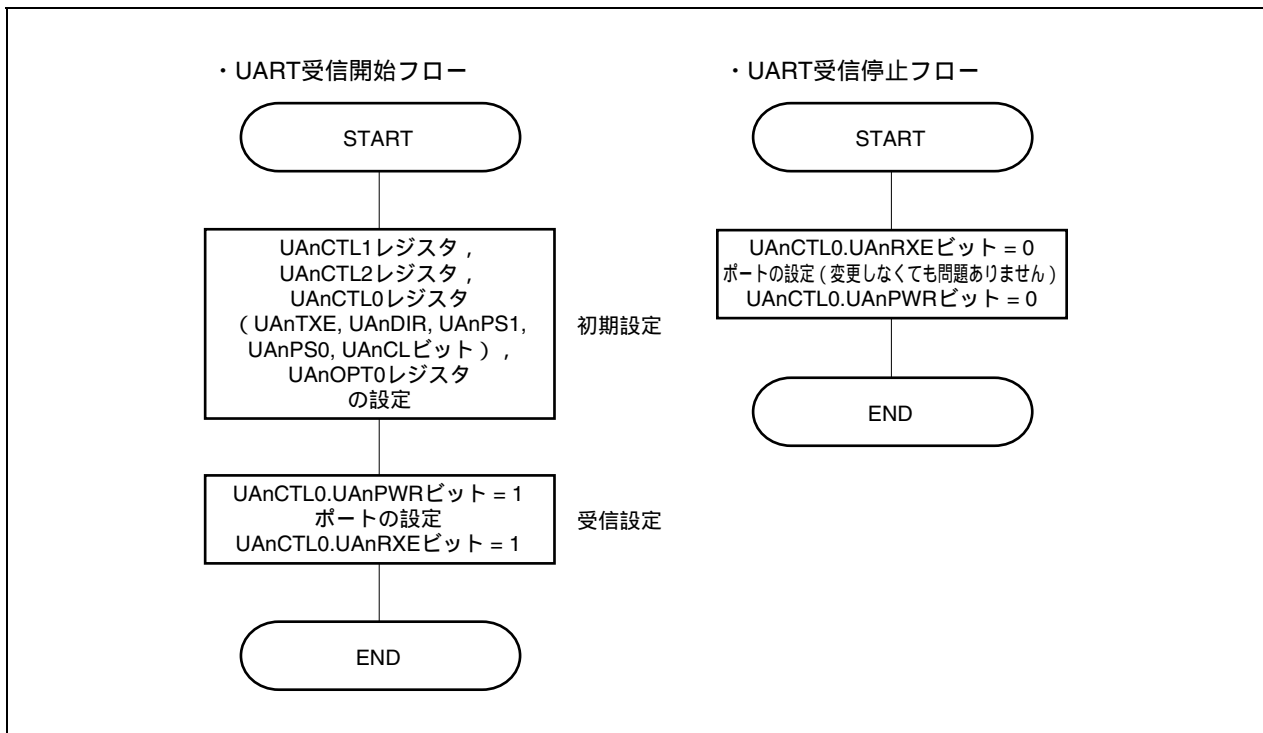




図15 - 12 UART受信フロー



- 注意1. 受信エラー発生時にも、UAnRXレジスタは必ず読み出してください。UAnRXレジスタを読み出さないと、次のデータ受信にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続くことになります。
- 受信時は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
  - 受信終了時は、受信完了割り込み要求信号 (INTUAnR) 発生後、UAnRXレジスタを読み出してから UAnPWRビット = 0またはUAnRXEビット = 0としてください。INTUAnR信号が発生する前に UAnPWRビット = 0またはUAnRXEビット = 0とした場合、UAnRXレジスタのリード値は保証できません。
  - UARTAnの受信完了処理(INTUAnR信号の発生)と、UAnPWRビット = 0またはUAnRXEビット = 0が競合した場合、UAnRXレジスタにデータを格納していないにもかかわらず、INTUAnR信号が発生することがあります。INTUAnR信号の発生を待たずに受信終了を行うときには、必ず割り込み制御レジスタ (UAnRIC) の割り込みマスク・フラグ (UAnRMK) をセット (1) してから、UAnPWRビット = 0またはUAnRXEビット = 0とし、さらにUAnRICレジスタの割り込み要求フラグ (UAnRIF) をクリア (0) してください。

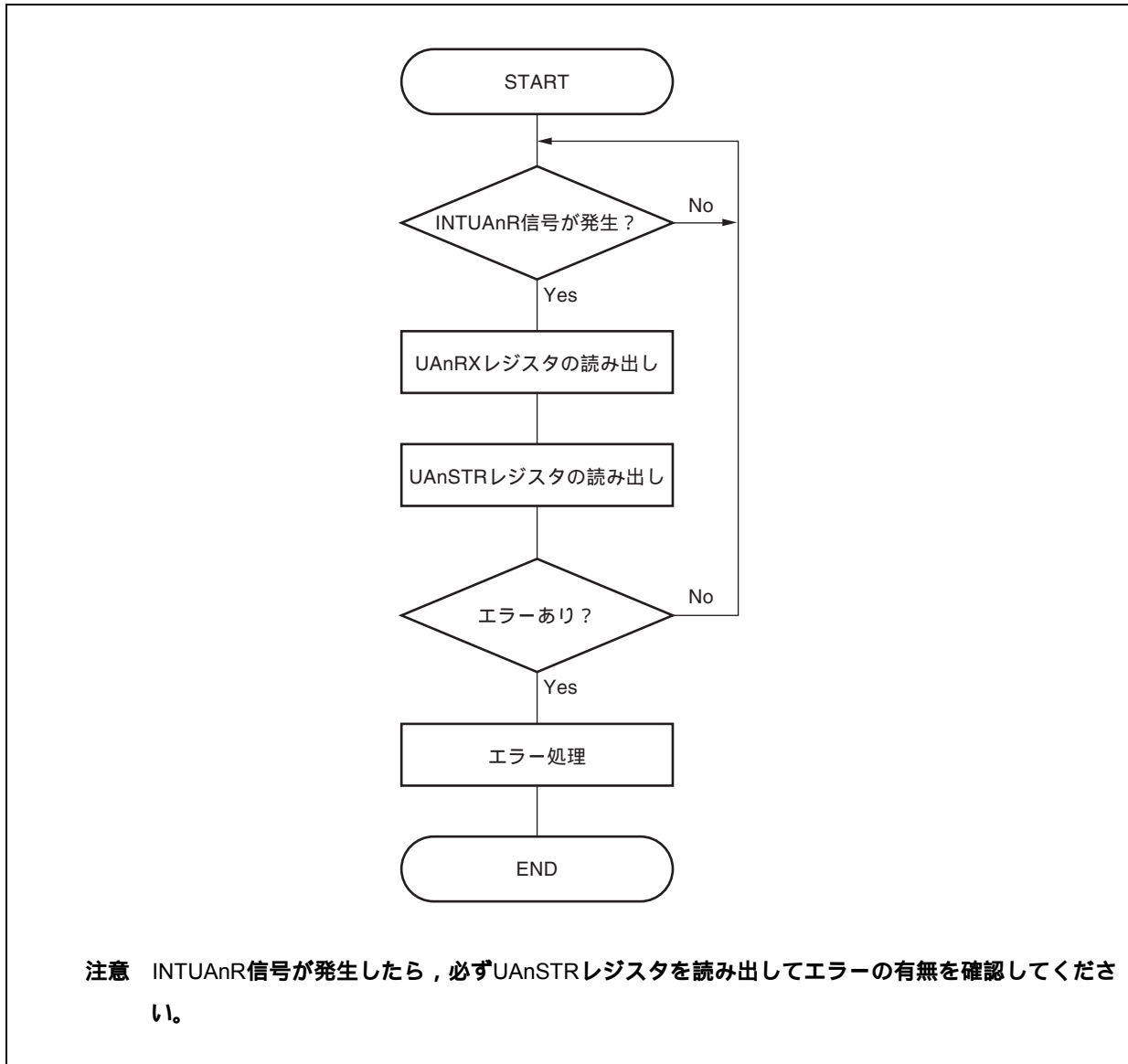
### 15.6.8 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。データ受信の結果エラー・フラグがUAnSTRレジスタに設定され、受信完了割り込み要求信号 (INTUAnR) を発生します。

UAnSTRレジスタの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます。

受信エラー・フラグをリードしたあとは、“0” ライトによりクリアしてください。

#### ・受信データの読み出しフロー



## ・受信エラーの要因

エラー・フラグ	受信エラー	要 因
UAnPE	パリティ・エラー	受信したパリティ・ビットが設定と一致しない
UAnFE	フレーミング・エラー	ストップ・ビットが検出されない
UAnOVE	オーバラン・エラー	UAnRXレジスタからデータを読み出す前に次のデータ受信が完了

受信エラー発生時は、エラーの内容によって、次の処理を行ってください。

## ・パリティ・エラー

受信ラインへのノイズなどによって誤ったデータを受信しているため、受信データを破棄し、再度通信を行ってください。

## ・フレーミング・エラー

送信側との間でポー・レートずれが発生しているか、何らかの理由で誤ってスタート・ビットを検出してしまったことが考えられます。通信フォーマットのフェータルなエラーであるため、送信側の動作停止を確認後、互いに初期化処理を行って再度通信を開始してください。

## ・オーバラン・エラー

受信データを読み出す前に次の受信が完了してしまったため、1フレーム分のデータが破棄された状態になっています。必要なデータであれば再度通信をやり直してください。

**注意** 連続受信時に受信エラー割り込みが発生した場合は、次の受信が完了する前にUAnSTRレジスタの内容を読み出してエラー処理を実施してください。

## 15.6.9 パリティの種類と動作

**注意** LIN機能を使用する場合、UAnCTL0.UAnPS1, UAnPS0ビットを“00”に固定してください。

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは奇数個ビットの誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

### (a) 偶数パリティ

#### (i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

#### (ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

### (b) 奇数パリティ

#### (i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

#### (ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

### (c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

### (d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

### 15.6.10 受信データのノイズ・フィルタ

専用ポー・レート・ジェネレータからの基本クロックでRXDAn端子をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、1クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図15-14参照)。基本クロックについては15.7(1)(a)基本クロックを参照してください。

また、回路は図15-13のようにになっているので、受信動作の内部での処理は、外部の信号状態より3クロック分遅れて動作することになります。

図15-13 ノイズ・フィルタ回路

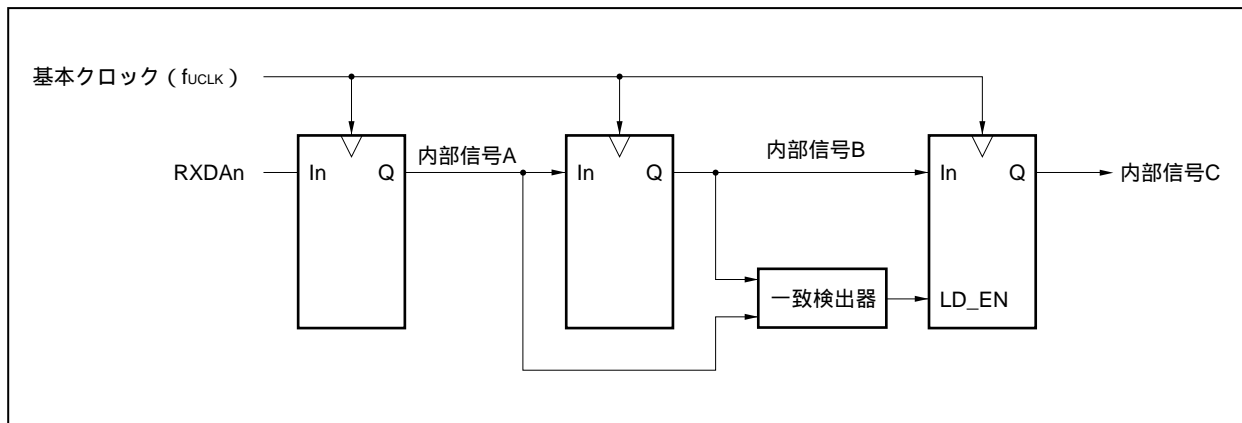
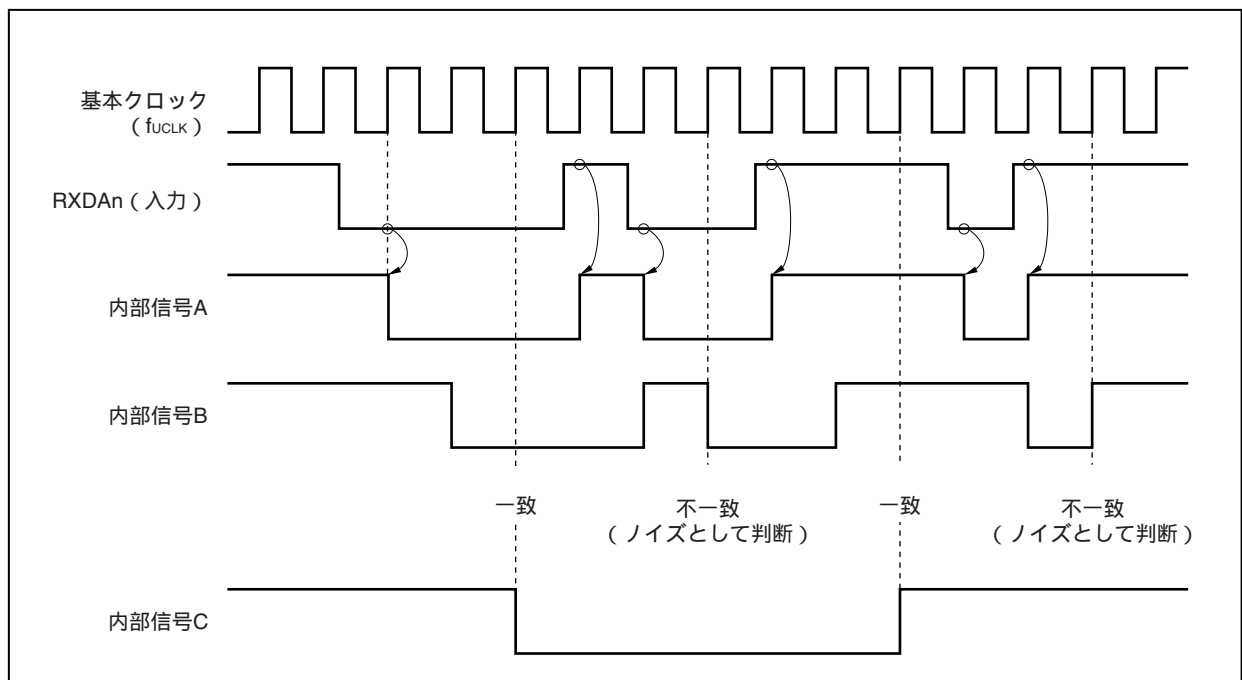


図15-14 ノイズとして判断されるRXDAn信号のタイミング



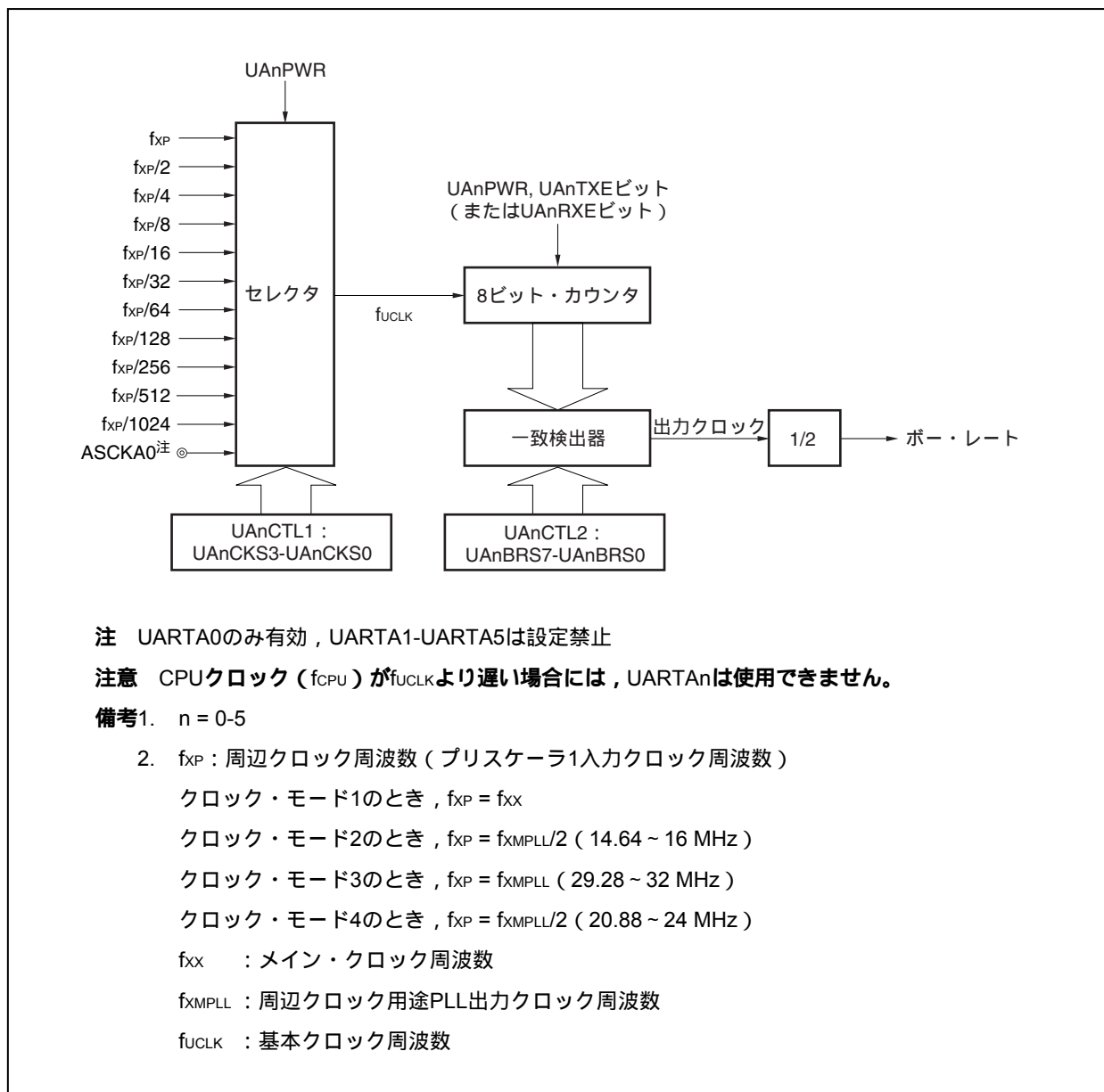
## 15.7 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTAnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

### (1) ポー・レート・ジェネレータの構成

図15 - 15 ポー・レート・ジェネレータの構成



**(a) 基本クロック**

UAnCTL0.UAnPWRビット = 1 のとき, UAnCTL1.UAnCKS3-UAnCKS0ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロック ( $f_{uCLK}$ ) と呼びます。UAnPWRビット = 0 のときは,  $f_{uCLK}$  はロウ・レベルに固定となります。

**(b) シリアル・クロックの生成**

UAnCTL1レジスタとUAnCTL2レジスタの設定により,シリアル・クロックを生成できます( $n = 0-5$ )。

UAnCTL1.UAnCKS3-UAnCKS0ビットにより,基本クロック ( $f_{uCLK}$ ) を選択します。

UAnCTL2.UAnBRS7-UAnBRS0ビットにより,8ビット・カウンタの分周値を設定できます。

## (2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** UAnCTL1レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0にしてから行ってください。

リセット時 : 00H    R/W    アドレス : UA0CTL1 FFFFFFFA01H, UA1CTL1 FFFFFFFA11H,  
UA2CTL1 FFFFFFFA21H, UA3CTL1 FFFFFFFA31H,  
UA4CTL1 FFFFFFFA41H, UA5CTL1 FFFFFFFA51H

	7	6	5	4	3	2	1	0
UAnCTL1 (n = 0-5)	0	0	0	0	UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0

UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0	基本クロック (fuclk) の選択
0	0	0	0	f <sub>XP</sub>
0	0	0	1	f <sub>XP</sub> /2
0	0	1	0	f <sub>XP</sub> /4
0	0	1	1	f <sub>XP</sub> /8
0	1	0	0	f <sub>XP</sub> /16
0	1	0	1	f <sub>XP</sub> /32
0	1	1	0	f <sub>XP</sub> /64
0	1	1	1	f <sub>XP</sub> /128
1	0	0	0	f <sub>XP</sub> /256
1	0	0	1	f <sub>XP</sub> /512
1	0	1	0	f <sub>XP</sub> /1024
1	0	1	1	外部クロック注 (ASCKA0端子)
上記以外				設定禁止

**注** UARTA0のみ有効, UARTA1-UARTA5は設定禁止

**備考** f<sub>XP</sub> : 周辺クロック周波数 (プリスケラ1入力クロック周波数)

クロック・モード1のとき, f<sub>XP</sub> = f<sub>XX</sub>

クロック・モード2のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 ( 14.64 ~ 16 MHz )

クロック・モード3のとき, f<sub>XP</sub> = f<sub>XMPLL</sub> ( 29.28 ~ 32 MHz )

クロック・モード4のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 ( 20.88 ~ 24 MHz )

f<sub>XX</sub> : メイン・クロック周波数

f<sub>XMPLL</sub> : 周辺クロック用途PLL出力クロック周波数



## (3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのボー・レート（シリアル転送スピード）クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。

**注意** UAnCTL2レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0、またはUAnTXE, UAnRXEビット = 00にしてから行ってください。

リセット時：FFH R/W アドレス：UA0CTL2 FFFFFFFA02H, UA1CTL2 FFFFFFFA12H,  
UA2CTL2 FFFFFFFA22H, UA3CTL2 FFFFFFFA32H,  
UA4CTL2 FFFFFFFA42H, UA5CTL2 FFFFFFFA52H

	7	6	5	4	3	2	1	0
UAnCTL2	UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0

(n = 0-5)

UAn BRS7	UAn BRS6	UAn BRS5	UAn BRS4	UAn BRS3	UAn BRS2	UAn BRS1	UAn BRS0	規定値 (k)	シリアル・ クロック
0	0	0	0	0	0	×	×	-	設定禁止
0	0	0	0	0	1	0	0	4	f <sub>UCLK</sub> /4
0	0	0	0	0	1	0	1	5	f <sub>UCLK</sub> /5
0	0	0	0	0	1	1	0	6	f <sub>UCLK</sub> /6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	f <sub>UCLK</sub> /252
1	1	1	1	1	1	0	1	253	f <sub>UCLK</sub> /253
1	1	1	1	1	1	1	0	254	f <sub>UCLK</sub> /254
1	1	1	1	1	1	1	1	255	f <sub>UCLK</sub> /255

**備考** f<sub>UCLK</sub> : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

## (4) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{UCLK}}}{2 \times k} \quad [\text{bps}]$$

内部クロックを使用する場合は、次の式になります (UARTA0でASCKA0端子入力をクロックとして使用する場合は、上の式で計算してください)。

$$\text{ボー・レート} = \frac{f_{\text{XP}}}{2^{m+1} \times k} \quad [\text{bps}]$$

**備考**  $f_{\text{UCLK}}$  = UAnCTL1.UAnCK3-UAnCK0ビットで選択した基本クロックの周波数

$f_{\text{XP}}$  : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき,  $f_{\text{XP}} = f_{\text{XX}}$

クロック・モード2のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  ( 14.64 ~ 16 MHz )

クロック・モード3のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}$  ( 29.28 ~ 32 MHz )

クロック・モード4のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  ( 20.88 ~ 24 MHz )

$f_{\text{XX}}$  : メイン・クロック周波数

$f_{\text{XMPLL}}$  : 周辺クロック用途PLL出力クロック周波数

$m$  = UAnCTL1.UAnCK3-UAnCK0ビットで設定した値 (  $m = 0-10$  )

$k$  = UAnCTL2.UAnBRS7-UAnBRS0ビットで設定した値 (  $k = 4-255$  )

ボー・レート誤差は次の式によって求められます。

$$\begin{aligned} \text{誤差 (\%)} &= \left[ \frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right] \times 100 [\%] \\ &= \left[ \frac{f_{\text{CLK}}}{2 \times k \times \text{目標ボー・レート}} - 1 \right] \times 100 [\%] \end{aligned}$$

内部クロックを使用する場合は、次の式になります (UARTA0でASCKA0端子入力をクロックとして使用する場合は、上の式で計算してください)。

$$\text{誤差 (\%)} = \left[ \frac{f_{\text{XP}}}{2^{m+1} \times k \times \text{目標ボー・レート}} - 1 \right] \times 100 [\%]$$

- 注意1.** 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。
- 2.** 受信時のボー・レート誤差は、(5) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

**備考**  $f_{\text{CLK}} = \text{UAnCTL1.UAnCKS3-UAnCKS0}$ ビットで選択した基本クロックの周波数

$f_{\text{XP}}$  : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき,  $f_{\text{XP}} = f_{\text{XX}}$

クロック・モード2のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  ( 14.64 ~ 16 MHz )

クロック・モード3のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}$  ( 29.28 ~ 32 MHz )

クロック・モード4のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  ( 20.88 ~ 24 MHz )

$f_{\text{XX}}$  : メイン・クロック周波数

$f_{\text{XMPLL}}$  : 周辺クロック用途PLL出力クロック周波数

$m = \text{UAnCTL1.UAnCKS3-UAnCKS0}$ ビットで設定した値 ( $m = 0-10$ )

$k = \text{UAnCTL2.UAnBRS7-UAnBRS0}$ ビットで設定した値 ( $k = 4-255$ )

ボー・レートを設定するときは、次のように計算してUAnCTL1, UAnCTL2レジスタを設定してください (内部クロック使用時)。

$k = f_{XP} / (2 \times \text{目標ボー・レート})$  とし、 $m = 0$ としてください。

$k \geq 256$  のとき、 $k = k/2$ とし、 $m = m + 1$ としてください。

$k < 256$ になるまで、を繰り返してください。

$k$ の小数点第一位を四捨五入します。

四捨五入して、 $k = 256$ になったときは、もう一度 を行ってください ( $k = 128$ になります)。

$m$ をUAnCTL1レジスタに、 $k$ をUAnCTL2レジスタに設定してください。

**例：**  $f_{XP} = 32 \text{ MHz}$  , 目標ボー・レート : 153,600 bpsの場合

$$k = 32,000,000 / (2 \times 153,600) = 104.16\dots, m = 0$$

$$, \quad k = 104.16\dots < 256, m = 0$$

$$\text{UAnCTL2レジスタ設定値 : } k = 104 = 68\text{H}, \text{UAnCTL1レジスタ設定値 : } m = 0$$

$$\begin{aligned} \text{実際のボー・レート} &= 32,000,000 / (2 \times 104) \\ &= 153,846 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{ボー・レート誤差} &= \{ 32,000,000 / (2 \times 104 \times 153,600) - 1 \} \times 100 \\ &= 0.160 \text{ [%]} \end{aligned}$$

次に、代表的なボー・レートの設定例を示します。

表15 - 5 ボー・レート・ジェネレータ設定データ

ボー・レート ( bps )	f <sub>XP</sub> = 32 MHz			f <sub>XP</sub> = 24 MHz			f <sub>XP</sub> = 16 MHz		
	UAnCTL1	UAnCTL2	ERR ( % )	UAnCTL1	UAnCTL2	ERR ( % )	UAnCTL1	UAnCTL2	ERR ( % )
300	08H	D0H	0.16	08H	9CH	0.16	07H	D0H	0.16
600	07H	D0H	0.16	07H	9CH	0.16	06H	D0H	0.16
1200	06H	D0H	0.16	06H	9CH	0.16	05H	D0H	0.16
2400	05H	D0H	0.16	05H	9CH	0.16	04H	D0H	0.16
4800	04H	D0H	0.16	04H	9CH	0.16	03H	D0H	0.16
9600	03H	D0H	0.16	03H	9CH	0.16	02H	D0H	0.16
19200	02H	D0H	0.16	02H	9CH	0.16	01H	D0H	0.16
31250	02H	80H	0.00	01H	C0H	0.00	01H	80H	0.00
38400	01H	D0H	0.16	01H	9CH	0.16	00H	D0H	0.16
76800	00H	D0H	0.16	00H	9CH	0.16	00H	68H	0.16
153600	00H	68H	0.16	00H	4EH	0.16	00H	34H	0.16
312500	00H	33H	0.39	00H	26H	1.05	00H	1AH	- 1.54
625000	00H	1AH	- 1.54	00H	13H	1.05	00H	0DH	- 1.54

**備考** f<sub>XP</sub> : 周辺クロック周波数 ( プリスケアラ1入力クロック周波数 )

クロック・モード1のとき, f<sub>XP</sub> = f<sub>XX</sub>

クロック・モード2のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 ( 14.64 ~ 16 MHz )

クロック・モード3のとき, f<sub>XP</sub> = f<sub>XMPLL</sub> ( 29.28 ~ 32 MHz )

クロック・モード4のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 ( 20.88 ~ 24 MHz )

f<sub>XX</sub> : メイン・クロック周波数

f<sub>XMPLL</sub> : 周辺クロック用途PLL出力クロック周波数

ERR : ボー・レート誤差 [ % ]

## (5) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

**注意** 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図15 - 16 受信時の許容ボー・レート範囲

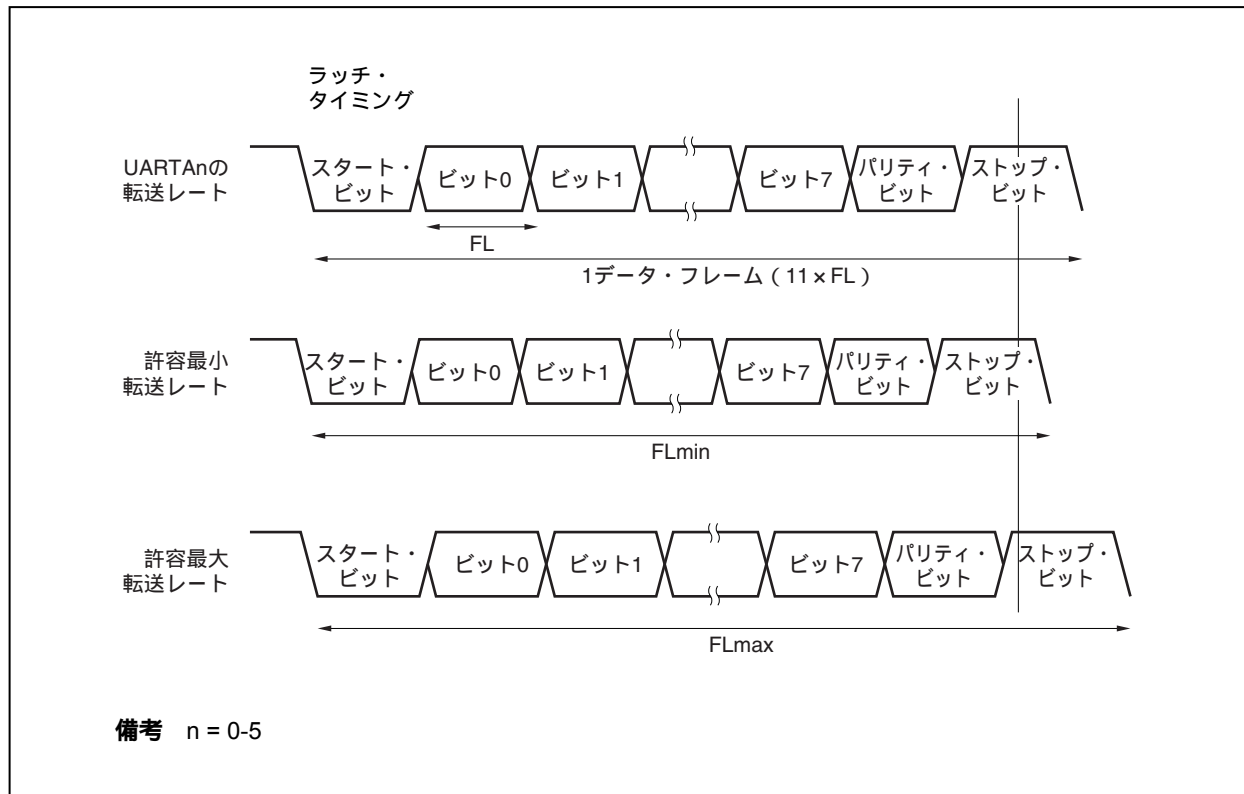


図15 - 16に示すように、スタート・ビット検出後はUAnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTAnのボー・レート (n = 0-5)

k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0-5)

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k + 2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k + 2}{2 \times k} \times FL = \frac{21k - 2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k - 2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k - 2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UARTAnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表15 - 6 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.32 %	- 2.43 %
8	+ 3.52 %	- 3.61 %
20	+ 4.26 %	- 4.30 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.72 %

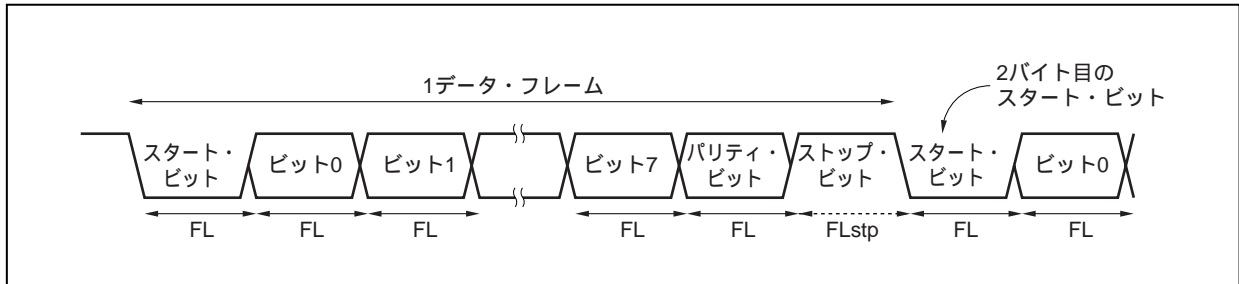
**備考1.** 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0-5)

## (6) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図15 - 17 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：f<sub>CLK</sub>とすると次の式が成り立ちます。

$$FLstp = FL + 2 / f_{CLK}$$

したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + (2 / f_{CLK})$$



## 15.8 注意事項

### (1) UARTAnへの供給クロックが停止する場合

UARTAnへの供給クロックが停止する場合（例：IDLE1, IDLE2, STOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDAn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUAnCTL0.UAnPWR, UAnRXEn, UAnTXEnビット = 000とし、回路を初期化してください。

### (2) RXDA1端子とKR7端子の同時使用

RXDA1端子とKR7端子は同時に使用することはできません。V850E/SK3-Hの場合、RXDA1端子とKR7端子は、ともに2つのポートに兼用されていますが、それぞれ異なるポートで同時に使用できません。RXDA1端子を使用する場合は、KR7端子のKRM.KRM7ビット = 0に設定してください。また、KR7端子を使用する場合は、UA1CTL0.UA1RXEビット = 0に設定してください（P91でKR7端子を使用する場合は、PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します）。

### (3) DMA転送中のエラー

UARTAnでは、通信エラーによる割り込みを発生しません。そのため、DMA転送で送信データ、受信データの転送を行う場合、転送中にエラー（パリティ/オーバラン/フレーミング）が発生しても、エラー処理を行えません。DMA転送終了後にUAnSTRレジスタを読み出してエラーがなかったことを確認するか、通信中に適宜UAnSTRレジスタを読み出してエラーの有無を確認してください。

### (4) UARTAnの起動順序

UARTAnの起動は次の順序で行ってください。

UAnCTL0.UAnPWRビット = 1

ポートの設定

UAnCTL0.UAnTXEビット = 1, UAnCTL0.UAnRXEビット = 1

### (5) UARTAnの停止順序

UARTAnの停止は次の順序で行ってください。

UAnCTL0.UAnTXEビット = 0, UAnCTL0.UAnRXEビット = 0

ポートの設定, UAnCTL0.UAnPWRビット = 0（ポートの設定は変更しなくても問題ありません）

### (6) 送信モード中のUAnTXレジスタへの同値書き込み

送信モード中（UAnCTL0.UAnPWRビット = 1, かつUAnCTL0.UAnTXEビット = 1）に、ソフトウェアでUAnTXレジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。

### (7) 連続送信

連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信レートが、通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出でタイミングの初期化を行うため、受信結果には影響しません。

## (8) DMA転送の起動要因の切り替え

## (a) INTUA1R信号とINTIIC2信号のDMA転送の起動要因の切り替え

次に示す組み合わせ以外のDMA転送の起動要因の設定は禁止します。

**UARTA1と $I^2C02$ を同時に使用し、かつINTUA1R信号をDMA転送の起動要因とする場合(V850E/SK3-Hのみ)**

DTFRn.IFCn5-IFCn0ビット = 28H設定時、オプション・バイト0000007AHのDTFROB1ビット = 1に設定してください。INTIIC2信号に対するDMA転送の起動要因が無効となります。そのため、INTUA1R信号が発生した場合のみDMA転送が起動し、INTIIC2信号が発生してもDMA転送は起動しません。

**UARTA1を使用せず、 $I^2C02$ のみを使用し、かつINTIIC2信号をDMA転送の起動要因とする場合**

DTFRn.IFCn5-IFCn0ビット = 28H設定時、オプション・バイト0000007AHのDTFROB1ビット = 0に設定してください。INTUA1R信号またはINTIIC2信号が発生した場合にDMA転送が起動する設定となります。

**$I^2C02$ を使用せず、UARTA1のみを使用し、かつINTUA1R信号をDMA転送の起動要因とする場合**

DTFRn.IFCn5-IFCn0ビット = 28H設定時、オプション・バイト0000007AHのDTFROB1ビット = 0に設定してください。INTUA1R信号またはINTIIC2信号が発生した場合にDMA転送が起動する設定となります。

**備考** 詳細については、表22 - 1 DMA転送の起動要因を参照してください。

## (b) INTUA2R信号とINTIIC0信号のDMA転送の起動要因の切り替え

次に示す組み合わせ以外のDMA転送の起動要因の設定は禁止します。

**UARTA2と $I^2C00$ を同時に使用し、かつINTUA2R信号をDMA転送の起動要因とする場合(V850E/SK3-Hのみ)**

DTFRn.IFCn5-IFCn0ビット = 2AH設定時、オプション・バイト0000007AHのDTFROB1ビット = 1に設定してください。INTIIC0信号に対するDMA転送の起動要因が無効となります。そのため、INTUA2R信号が発生した場合のみDMA転送が起動し、INTIIC0信号が発生してもDMA転送は起動しません。

**UARTA2を使用せず、 $I^2C00$ のみを使用し、かつINTIIC0信号をDMA転送の起動要因とする場合**

DTFRn.IFCn5-IFCn0ビット = 2AH設定時、オプション・バイト0000007AHのDTFROB1ビット = 0に設定してください。INTUA2R信号またはINTIIC0信号が発生した場合にDMA転送が起動する設定となります。

**$I^2C00$ を使用せず、UARTA2のみを使用し、かつINTUA2R信号をDMA転送の起動要因とする場合**

DTFRn.IFCn5-IFCn0ビット = 2AH設定時、オプション・バイト0000007AHのDTFROB1ビット = 0に設定してください。INTUA2R信号またはINTIIC0信号が発生した場合にDMA転送が起動する設定となります。

**備考** 詳細については、表22 - 1 DMA転送の起動要因を参照してください。

## 第16章 アシクロナス・シリアル・インタフェースB(UARTB)

### 16.1 特 徴

転送速度 最大1.5 Mbps (専用ポー・レート・ジェネレータ使用)

全二重通信

シングル・モード/FIFOモード切り替え可能

- ・シングル・モード：送信/受信それぞれ8ビット幅×1段のデータ・レジスタ (UBnTXレジスタ/UBnRXレジスタ) を使用

- ・FIFOモード

  - 送信FIFO：UBnTXレジスタ (8ビット幅×16段)

  - 受信FIFO：UBnRXAPレジスタ (16ビット幅×16段)

なお、UBnRXAPレジスタの上位8ビットには、そのとき受信したデータのエラー情報を格納します。

2端子構成 TXDBn：送信データの出力端子

RXDBn：受信データの入力端子

受信エラー検出機能

- ・オーバフロー・エラー (FIFOモード時のみ)
- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー (シングル・モード時のみ)

割り込みソース：5種類

- ・受信エラー割り込み要求信号 (INTUBnTIRE)
- ・受信完了割り込み要求信号 (INTUBnTIR)
- ・送信許可割り込み要求信号 (INTUBnTIT)
- ・FIFO送信完了割り込み要求信号 (INTUBnTIF) (FIFOモード時のみ)
- ・受信タイムアウト割り込み要求信号 (INTUBnTITO) (FIFOモード時のみ)

送受信データのキャラクタ長はUBnCTL0レジスタで指定

キャラクタ長：7, 8ビット

パリティ機能：奇数, 偶数, 0, なし

送信ストップ・ビット：1, 2ビット

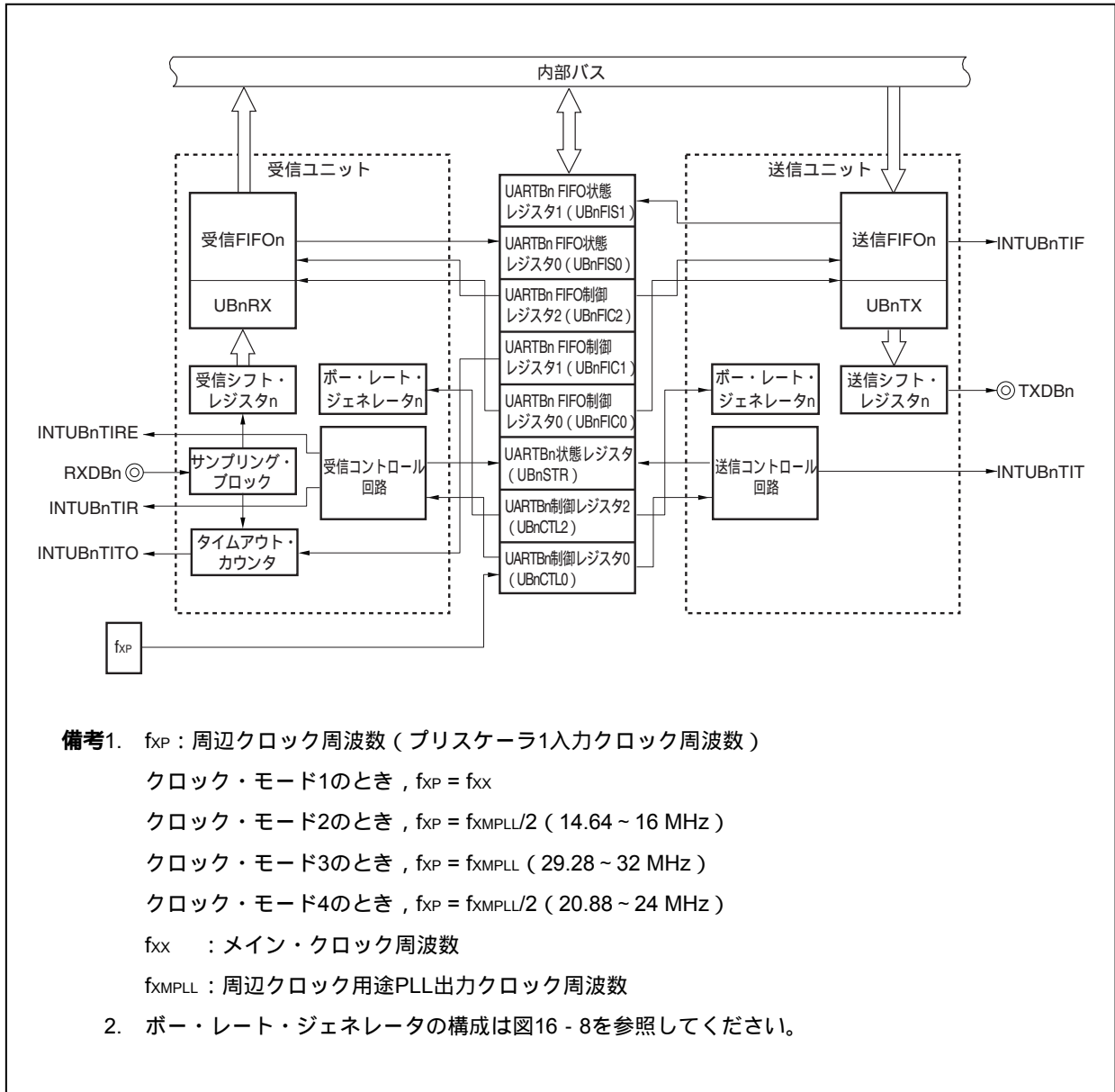
転送データのMSB先頭/LSB先頭を切り替え可能

専用ポー・レート・ジェネレータ内蔵

## 16.2 構 成

次にUARTBnのブロック図を示します。

図16 - 1 UARTBnのブロック図



UARTBnは、次のハードウェアで構成されています。

表16 - 1 UARTBnの構成

項 目	構 成
レジスタ	UARTBn制御レジスタ0 (UBnCTL0) UARTBn制御レジスタ2 (UBnCTL2) UARTBn状態レジスタ (UBnSTR) UARTBn FIFO制御レジスタ0 (UBnFIC0) UARTBn FIFO制御レジスタ1 (UBnFIC1) UARTBn FIFO制御レジスタ2 (UBnFIC2) UARTBn FIFO状態レジスタ0 (UBnFIS0) UARTBn FIFO状態レジスタ1 (UBnFIS1) UARTBn受信シフト・レジスタ UARTBn受信データ・レジスタAP (UBnRXAP) UARTBn受信データ・レジスタ (UBnRX) UARTBn送信シフト・レジスタ UARTBn送信データ・レジスタ (UBnTX)

(1) UARTBn**制御レジスタ0** (UBnCTL0)

UBnCTL0レジスタは、UARTBnの転送動作を制御するレジスタです。

(2) UARTBn**状態レジスタ** (UBnSTR)

UBnSTRレジスタは、送信時の転送状態と受信エラー内容を示すレジスタです。送信時の転送状態を示すステータス・フラグは送信シフト・レジスタnおよび送信データ・レジスタn(シングル・モード時:UBnTXレジスタ, FIFOモード時:送信FIFO)のデータ保持状態を示します。受信エラーの各フラグは受信エラー発生時にセット(1)され、UBnSTRレジスタに0を書き込んだときにクリア(0)されます。

(3) UARTBn**制御レジスタ2** (UBnCTL2)

UBnCTL2レジスタは、UARTBnのボー・レート(シリアル転送スピード)を制御するための分周値を指定するレジスタです。

(4) UARTBn **FIFO制御レジスタ0** (UBnFIC0)

UBnFIC0レジスタは、UARTBnの動作モードの選択と、FIFOモード時に有効となる送信FIFO/受信FIFOのクリアおよび送信許可割り込み要求信号(INTUBnTIT)/受信完了割り込み要求信号(INTUBnTIR)の発生タイミング・モードを指定します。

(5) UARTBn **FIFO制御レジスタ1** (UBnFIC1)

UBnFIC1レジスタは、FIFOモード時に有効となるレジスタで、ストップ・ビットを受信後、次データ受信待ち時間を経過しても次のデータが来ない(スタート・ビットが検出されない)ときに受信FIFO内にデータが格納されている場合、受信タイムアウト割り込み要求信号(INTUBnTITO)を発生させます。

**(6) UARTBn FIFO制御レジスタ2 (UBnFIC2)**

UBnFIC2レジスタは、FIFOモード時に有効となるレジスタで、データの送受信数をトリガとして送信完了割り込み要求信号 (INTUBnTIT) / 受信完了割り込み要求信号 (INTUBnTIR) を発生させるタイミングを設定します。

**(7) UARTBn FIFO状態レジスタ0 (UBnFIS0)**

UBnFIS0レジスタは、FIFOモード時に有効となるレジスタで、受信FIFOに格納されているデータのバイト数が読み出せます。

**(8) UARTBn FIFO状態レジスタ1 (UBnFIS1)**

UBnFIS1レジスタは、FIFOモード時に有効となるレジスタで、送信FIFOの空きバイト数が読み出せます。

**(9) UARTBn受信シフト・レジスタ**

RXDBn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信し、ストップ・ビットを検出すると、受信データを受信データ・レジスタnへ転送します。

このレジスタは直接操作することはできません。

**(10) UARTBn受信データ・レジスタAP (UBnRXAP) , UARTBn受信データ・レジスタ (UBnRX)**

受信データ・レジスタnは、受信データを保持するレジスタです。シングル・モード時には8ビット幅×1段のUBnRXレジスタを、FIFOモード時には16ビット幅×16段の受信FIFO (UBnRXAPレジスタ) を使用します。

受信FIFO (UBnRXAPレジスタ) の下位8ビットには受信データを格納し、上位8ビット (ビット8およびビット9) にはそのとき受信したデータのエラー情報を格納します。FIFOモード時に受信エラー (パリティ・エラーまたはフレーミング・エラー) が発生したときには、UBnRXAPレジスタを16ビット (ハーフワード) で読み出すことで、エラー対象となるデータを認識できます (エラー情報がUBnPEFビット = 1, またはUBnFEFビット = 1として付加されます)。UBnRXAPレジスタは、下位8ビットを8ビット (バイト) で読み出した場合、上位8ビットは破棄されます。したがって、エラー未発生時には、UBnRXレジスタと同様に8ビット (バイト) で読み出すことで、受信データだけを連続して読み出せます。

7ビット長の受信では、LSBファースト受信時、受信データは受信データ・レジスタnのビット6-0にLSB (ビット0) から転送され、MSB (ビット7) は必ず0に、MSBファースト受信時、受信データは受信データ・レジスタnのビット7-1にMSB (ビット7) から転送され、LSB (ビット0) は必ず0になります。また、オーバーラン・エラーが発生した場合には、そのときの受信データは受信データ・レジスタnに転送されません。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理完了に同期して、受信シフト・レジスタnから受信データ・レジスタnに転送されます。

また、シングル・モード時にはUBnRXレジスタへ転送することにより、FIFOモード時には受信FIFOへUBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分を転送することにより、受信完了割り込み要求信号 (INTUBnTIR) が発生します。さらに、FIFOモード時にUBnFIC1.UBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) 状態でも受信FIFOにデータが格納されている場合には、受信タイムアウト割り込み要求信号 (INTUBnTITO) が発生します。

### (11) UARTBn送信シフト・レジスタ

送信シフト・レジスタnは、送信データ・レジスタnから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

送信データ・レジスタnから1バイト分のデータが転送されると、送信シフト・レジスタnのデータをTXDBn端子から出力します。

このレジスタは直接操作することはできません。

### (12) UARTBn送信データ・レジスタ (UBnTX)

送信データ・レジスタnは、送信データ用バッファです。シングル・モード時には8ビット幅×1段のUBnTXレジスタを、FIFOモード時には8ビット幅×16段の送信FIFOnを使用します。

7ビット長の送信では、LSBファースト送信時、送信データは送信データ・レジスタnのビット6-0のデータをLSB (ビット0) から送信され、MSB (ビット7) は必ず0に、MSBファースト送信時、送信データは送信データ・レジスタnのビット7-1のデータをMSB (ビット7) から送信され、LSB (ビット0) は必ず0になります。

シングル・モード時は、送信許可状態 (UBnCTL0.UBnTXEビット = 1) のときにUBnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UBnTXレジスタに送信データの書き込みが可能になる (UBnTXレジスタから送信シフト・レジスタnに1バイト分のデータが転送される) と送信許可割り込み要求信号 (INTUBnTIT) を発生します。

FIFOモード時は、送信FIFOnにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと、送信許可 (UBnTXEビット = 1) にすることにより、送信動作が開始されます。送信FIFOnから送信シフト・レジスタnにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータが転送される (指定した送信トリガ設定数分が書き込み可能となる) と送信許可割り込み要求信号 (INTUBnTIT) を発生します。また、FIFOモード時には、送信FIFOnおよび送信シフト・レジスタnにデータが存在しなくなった (空になった) 場合には、FIFO送信完了割り込み要求信号 (INTUBnTIF) が発生します。

### (13) タイムアウト・カウンタ

受信データ数が、UBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数に達しない場合に、受信FIFOnにデータが存在している (残っている) ことを認識するための機能で、FIFOモード時のみ有効となります。

ストップ・ビットを受信後、UBnFIC1.UBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない (スタート・ビットが検出されない) ときに受信FIFOnにデータが格納されている場合には、受信タイムアウト割り込み要求信号 (INTUBnTITO) が発生します。

#### (14) サンプリング・ブロック

$f_{XP}$ の立ち上がりに同期して、RXDBn信号をサンプリングします。サンプリング値が同じ値を2回検出すると、一致検出器の出力が変化し、入力データとしてサンプリングされます。このため、1クロック幅以下のデータは、ノイズとして判断され、内部回路には伝わりません。

**備考**  $f_{XP}$ ：周辺クロック周波数（プリスケラ1入力クロック周波数）

クロック・モード1のとき、 $f_{XP} = f_{XX}$

クロック・モード2のとき、 $f_{XP} = f_{XMPLL}/2$ （14.64 ~ 16 MHz）

クロック・モード3のとき、 $f_{XP} = f_{XMPLL}$ （29.28 ~ 32 MHz）

クロック・モード4のとき、 $f_{XP} = f_{XMPLL}/2$ （20.88 ~ 24 MHz）

$f_{XX}$ ：メイン・クロック周波数

$f_{XMPLL}$ ：周辺クロック用途PLL出力クロック周波数

### 16.3 制御レジスタ

#### (1) UARTBn制御レジスタ0 (UBnCTL0)

UBnCTL0レジスタは、UARTBnの転送動作を制御するレジスタです。

8/1ビット単位で、リード/ライト可能です。

リセットにより10Hになります。

- 注意1.** UARTBnを使用する場合には、必ずUARTBn機能に関連する外部端子を兼用機能に設定したあと、UARTBn制御レジスタ2(UBnCTL2)の設定を行ってからUBnPWRビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。
- 2.** UARTBn機能に関連する外部端子を兼用機能に設定する場合には、RXDBn端子には必ずハイ・レベルを入力してください。ロウ・レベルを入力したときには、UBnRXEビットをセット(1)したあと、立ち下がりエッジが入力されたものと判断してしまい、受信を開始することがあります。

**備考** 受信禁止時は、受信シフト・レジスタnはスタート・ビットの検出を行いません。シフト・イン処理、受信データ・レジスタnへの転送処理は行わず、受信データ・レジスタnの内容は保持されます。

受信許可状態中は、スタート・ビットの検出に同期して受信シフト動作を開始し、1フレーム分の受信を完了すると受信シフト・レジスタnの内容を受信データ・レジスタnに転送します。また、受信データ・レジスタnへの転送（FIFOモード時は受信トリガ数に達する転送）に同期して、受信完了割り込み要求信号（INTUBnTIR）を発生します。

FIFOモード時にUBnFIC1.UBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない（スタート・ビットが検出されない）ときに、受信FIFOにデータが格納されている場合には、受信タイムアウト割り込み要求信号（INTUBnTITO）が発生します。



(1/2)

リセット時：10H R/W アドレス：UB0CTL0 FFFFA80H, UB1CTL0 FFFFAA0H

	⑦	⑥	⑤	④	3	2	1	0
UBnCTL0	UBnPWR	UBnTXE	UBnRXE	UBnDIR	UBnPS1	UBnPS0	UBnCL	UBnSL

(n = 0, 1)

UBnPWR	UARTBnへの動作クロックの制御
0	UARTBnへのクロック供給を停止
1	UARTBnへクロックを供給

- ・UBnPWRビット = 0にすると、UARTBnを非同期にリセットします。
- ・UBnPWRビット = 0の場合は、UARTBnはリセット状態なので、UARTBnを動作させる場合には、まずUBnPWRビット = 1にしてください。
- ・UBnPWRビットを1から0にした場合は、UARTBnのすべてのレジスタが初期化されます。再度UBnPWRビット = 1にした場合には、必ずUARTBnのレジスタを再設定してください。
- ・UBnPWRビット = 0にすると、TXDBn端子の出力はハイ・レベルになります。

UBnTXE	送信動作許可
0	送信動作禁止
1	送信動作許可

- ・起動時はUBnPWRビット = 1にしてから、UBnTXEビット = 1としてください。また、逆に停止時はUBnTXEビット = 0にしてから、UBnPWRビット = 0としてください
- ・送信ユニットの状態を初期化する場合は、UBnTXEビットをクリア (0) して、 $f_{XP}$ の2周期分の時間を経過してから、再びUBnTXEビットをセット (1) しなければ、状態の初期化ができない場合があります。

UBnRXE	受信動作許可
0	受信動作禁止
1	受信動作許可

- ・起動時はUBnPWRビット = 1にしてから、UBnRXEビット = 1としてください。また、逆に停止時はUBnRXEビット = 0にしてから、UBnPWRビット = 0としてください。
- ・受信ユニットの状態を初期化する場合は、UBnRXEビットをクリア (0) して、 $f_{XP}$ の2周期分の時間を経過してから、再びUBnRXEビットをセット (1) しなければ、状態の初期化ができない場合があります。

UBnDIR	転送方向モード (MSB/LSB) の指定
0	MSB転送ファースト
1	LSB転送ファースト

- ・UBnDIRビットを書き換えるときは、UBnPWRビット、またはUBnTXE、UBnRXEビットをクリア (0) してから行ってください。

(2/2)

UBnPS1	UBnPS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・ UBnPS1, UBnPS0ビットを書き換えるときは, UBnTXE, UBnRXEビットをクリア(0)してから行ってください。  
 ・ 受信時に「0パリティ」を選択した場合, パリティ判定を行いません。  
 したがって, UBnSTR.UBnPEビットはセット(1)されないため, エラー割り込みも発生しません。

UBnCL	送受信データ1フレームのデータ・キャラクタ長の指定
0	7ビット
1	8ビット

UBnCLビットを書き換えるときは, UBnTXE, UBnRXEビットをクリア(0)してから行ってください。

UBnSL	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

・ UBnSLビットを書き換えるときは, UBnTXE, UBnRXEビットをクリア(0)してから行ってください。  
 ・ 受信は常に「ストップ・ビット長=1」として動作するため, UBnSLビットの設定は受信動作に影響を与えません。

**備考1.**  $f_{XP}$  : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき,  $f_{XP} = f_{XX}$

クロック・モード2のとき,  $f_{XP} = f_{XMPLL}/2$  (14.64 ~ 16 MHz)

クロック・モード3のとき,  $f_{XP} = f_{XMPLL}$  (29.28 ~ 32 MHz)

クロック・モード4のとき,  $f_{XP} = f_{XMPLL}/2$  (20.88 ~ 24 MHz)

$f_{XX}$  : メイン・クロック周波数

$f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

2. パリティについての詳細は, 16. 6. 6 **パリティの種類と動作**を参照してください。

**(2) UARTBn状態レジスタ (UBnSTR)**

UBnSTRレジスタは、UARTBnの送信時の転送状態と受信エラー内容を示すレジスタです。

送信時の転送状態を示すステータス・フラグは送信シフト・レジスタnおよび送信データ・レジスタn(シングル・モード時：UBnTXレジスタ, FIFOモード時：送信FIFO n)のデータ保持状態を示します。受信エラーを示すステータス・フラグは、クリア(0)されるまで状態を保持します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** UBnCTL0.UBnPWR, UBnRXEビットを0に設定したとき、またはUBnSTRレジスタに0を書き込んだときに、UBnSTR.UBnOVF, UBnPE, UBnFE, UBnOVEビットはクリア(0)されます。

リセット時 : 00H R/W アドレス : UB0STR FFFFFFFA84H, UB1STR FFFFFFFAA4H

	⑦	6	5	4	③	②	①	①
UBnSTR	UBnTSF	0	0	0	UBnOVF	UBnPE	UBnFE	UBnOVE

( n = 0, 1 )

UBnTSF	転送状態フラグ
0	<ul style="list-style-type: none"> <li>・シングル・モード時 ( UBnFIC0.UBnMODビット = 0 ) 送信シフト・レジスタnおよびUBnTXレジスタに転送すべきデータが存在しない ( UBnCTL0.UBnPWRビット = 0またはUBnTXEビット = 0に設定したときもクリア ( 0 ) されます)</li> <li>・FIFOモード時 ( UBnFIC0.UBnMODビット = 1 ) 送信シフト・レジスタnおよび送信FIFOに転送すべきデータが存在しない ( UBnCTL0.UBnPWRビット = 0またはUBnTXEビット = 0に設定したときもクリア ( 0 ) されます)</li> </ul>
1	<ul style="list-style-type: none"> <li>・シングル・モード時 ( UBnFIC0.UBnMODビット = 0 ) 送信シフト・レジスタnまたはUBnTXレジスタに転送すべきデータが存在する ( 送信中 )</li> <li>・FIFOモード時 ( UBnFIC0.UBnMODビット = 1 ) 送信シフト・レジスタnおよび送信FIFOに転送すべきデータが存在する ( 送信中 )</li> </ul>

UBnTSFビット値は、送信データをUBnTXレジスタに書き込んだあと、 $f_{XP}$ の2周期分の時間が経過してから反映されます。そのため、送信データをUBnTXレジスタに書き込んだあとにUBnTSFビットを参照する場合には注意してください。

**注意** ビット4-6には必ず0を設定してください。**備考**  $f_{XP}$  : 周辺クロック周波数 ( プリスケアラ1入力クロック周波数 )クロック・モード1のとき、 $f_{XP} = f_{XX}$ クロック・モード2のとき、 $f_{XP} = f_{XMPLL}/2$  ( 14.64 ~ 16 MHz )クロック・モード3のとき、 $f_{XP} = f_{XMPLL}$  ( 29.28 ~ 32 MHz )クロック・モード4のとき、 $f_{XP} = f_{XMPLL}/2$  ( 20.88 ~ 24 MHz ) $f_{XX}$  : メイン・クロック周波数 $f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

(2/2)

UBnOVF	オーバフロー・フラグ
0	オーバフロー発生なし
1	オーバフロー発生 (受信時)

・ UBnOVFビットはFIFOモード (UBnFIC0.UBnMODビット = 1) 時のみ有効で、シングル・モード (UBnFIC0.UBnMODビット = 0) 時は無効です。  
 ・ オーバフローが発生した場合、その受信データは受信FIFOに書き込まれず、データは破棄されます。

UBnPE	パリティ・エラー・フラグ
0	パリティ・エラー発生なし
1	パリティ・エラー発生 (受信時)

・ UBnPEビットはシングル・モード (UBnFIC0.UBnMODビット = 0) 時のみ有効で、FIFOモード (UBnFIC0.UBnMODビット = 1) 時は無効です。  
 ・ UBnPEビットの動作は、UBnCTL0.UBnPS1, UBnPS0ビットの設定値により異なります。

UBnFE	フレーミング・エラー・フラグ
0	フレーミング・エラー発生なし
1	フレーミング・エラー発生 (受信時)

・ UBnFEビットはシングル・モード (UBnFIC0.UBnMODビット = 0) 時のみ有効で、FIFOモード (UBnFIC0.UBnMODビット = 1) 時は無効です。  
 ・ 受信データのストップ・ビットは、ストップ・ビット長に関係なく最初の1ビットだけをチェックします。

UBnOVE	オーバラン・エラー・フラグ
0	オーバラン・エラー発生なし
1	オーバラン・エラー発生 (受信時)

・ UBnOVEビットはシングル・モード (UBnFIC0.UBnMODビット = 0) 時のみ有効で、FIFOモード (UBnFIC0.UBnMODビット = 1) 時は無効です。  
 ・ オーバラン・エラーが発生した場合、その受信データはUBnRXレジスタに書き込まれず、データは破棄されます。

### (3) UARTBn制御レジスタ2 (UBnCTL2)

UBnCTL2レジスタは、UARTBnのボー・レート (シリアル転送スピード) を制御するための分周値を指定するレジスタです。

16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

**注意** UBnBRS15-UBnBRS0ビットを書き換える場合は、UBnCTL0.UBnTXEビット = 0かつUBnRXEビット = 0、またはUBnPWRビット = 0の状態で行ってください。

リセット時：FFFFH R/W アドレス：UB0CTL2 FFFFA82H, UB1CTL2 FFFFAA2H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBnCTL2	UBn	UBn	UBn	UBn	UBn	UBn	UBn	UBn	UBn	UBn	UBn	UBn	UBn	UBn	UBn	UBn
(n = 0, 1)	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS	BRS
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

備考 UBnBRS15-UBnBRS0ビットについては、表16-2 16ビット・カウンタの分周値を参照してください。

表16-2 16ビット・カウンタの分周値

UBn BRS 15	UBn BRS 14	UBn BRS 13	UBn BRS 12	UBn BRS 11	UBn BRS 10	UBn BRS 9	UBn BRS 8	UBn BRS 7	UBn BRS 6	UBn BRS 5	UBn BRS 4	UBn BRS 3	UBn BRS 2	UBn BRS 1	UBn BRS 0	k	出力 クロック 選択
0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	4	$f_{XP}/k$
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	4	$f_{XP}/k$
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	5	$f_{XP}/k$
0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	6	$f_{XP}/k$
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	65532	$f_{XP}/k$
1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	65533	$f_{XP}/k$
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	65534	$f_{XP}/k$
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	65535	$f_{XP}/k$

備考1.  $f_{XP}$  : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき,  $f_{XP} = f_{XX}$

クロック・モード2のとき,  $f_{XP} = f_{XMPLL}/2$  (14.64 ~ 16 MHz)

クロック・モード3のとき,  $f_{XP} = f_{XMPLL}$  (29.28 ~ 32 MHz)

クロック・モード4のとき,  $f_{XP} = f_{XMPLL}/2$  (20.88 ~ 24 MHz)

$f_{XX}$  : メイン・クロック周波数

$f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

- k : UBnCTL2.UBnBRS15-UBnBRS0ビットで設定した値 (k = 4, 5, 6, ..., 65535)
- x : 任意

## (4) UARTBn送信データ・レジスタ (UBnTX)

UBnTXレジスタは、送信データを設定するためのレジスタで、シングル・モード (UBnFIC0.UBnMODビット = 0)時は8ビット幅×1段のUBnTXレジスタ、FIFOモード (UBnFIC0.UBnMODビット = 1)時は8ビット幅×16段の送信FIFOとして動作します。

シングル・モード時は、送信許可状態 (UBnCTL0.UBnTXEビット = 1)のときにUBnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UBnTXレジスタにデータの書き込みが可能になる (UBnTXレジスタから送信シフト・レジスタnに1バイト分のデータが転送される)と送信許可割り込み要求信号 (INTUBnTIT)を発生します。

FIFOモード時は、送信FIFOにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと、送信許可 (UBnTXEビット = 1)にすることにより、送信動作が開始されます。送信FIFOから送信シフト・レジスタnにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータが転送される (指定した送信トリガ設定数分が書き込み可能となる)と送信許可割り込み要求信号 (INTUBnTIT)を発生します。また、FIFOモード時には、送信FIFOおよび送信シフト・レジスタnにデータが存在しなくなった (空になった)場合には、FIFO送信完了割り込み要求信号 (INTUBnTIF)が発生します。

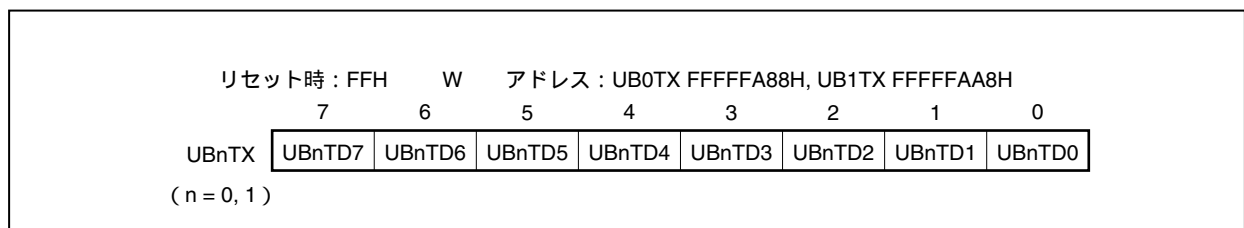
発生するタイミングについては、16.4 割り込み要求信号を参照してください。

データ長を7ビットに指定した場合、LSBファースト送信時には、送信データは送信データ・レジスタnのビット6-0のデータをLSB (ビット0)から送信されMSB (ビット7)は必ず0に、MSBファースト送信時には、送信データは送信データ・レジスタnのビット7-1のデータをMSB (ビット7)から送信されLSB (ビット0)は必ず0になります。

8ビット単位でライトのみ可能です。ライト時には、送信データ・レジスタnにデータが書き込まれます。リセットによりFFHになります。

**注意** 次に示す状態において、UBnTXレジスタへのアクセスは禁止です。詳細は3.4.9(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



## (5) UARTBn受信データ・レジスタAP (UBnRXAP), UARTBn受信データ・レジスタ (UBnRX)

受信シフト・レジスタnで変換したパラレル・データを格納するためのレジスタで、シングル・モード (UBnFIC0.UBnMODビット = 0)時は8ビット幅×1段のUBnRXレジスタ, FIFOモード (UBnFIC0.UBnMODビット = 1)時は16ビット幅×16段の受信FIFO (UBnRXAPレジスタ)として動作します。

受信FIFO (UBnRXAPレジスタ)の下位8ビットには受信データを格納し、上位8ビット(ビット8およびビット9)にはそのとき受信したデータのエラー情報を格納します。FIFOモード時に受信エラー(パリティ・エラーまたはフレーミング・エラー)が発生したときには、UBnRXAPレジスタを16ビット(ハーフワード)で読み出すことで、受信FIFOに格納されているデータのフラグが確認でき(エラー情報がUBnPEFビット = 1, またはUBnFEFビット = 1として付加されます), エラー対象となるデータを認識できます(UBnRXAPレジスタは, 下位8ビットを8ビット(バイト)で読み出した場合, 上位8ビットは破棄されます。したがって, エラー未発生時にはUBnRXレジスタと同様に8ビット(バイト)で読み出すことで, 受信データだけを連続して読み出せます)。

受信許可状態のとき (UBnCTL0.UBnRXEビット = 1), 受信データは1フレーム分のシフト・イン処理完了時に同期して, 受信シフト・レジスタnから受信データ・レジスタnに転送されます。

また, シングル・モード時にはUBnRXレジスタへ転送することにより, FIFOモード時には受信FIFOへUBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分を転送することにより, 受信完了割り込み要求信号 (INTUBnTIR)が発生します。さらに, FIFOモード時にUBnFIC1.UBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない(スタート・ビットが検出されない)状態でも受信FIFOにデータが格納されている場合には, 受信タイムアウト割り込み要求信号 (INTUBnTITO)が発生します。

発生するタイミングについては, 16.4 割り込み要求信号を参照してください。

データ長を7ビットに指定した場合, LSBファースト受信時には, 受信データは受信データ・レジスタnのビット6-0にLSB(ビット0)から転送されMSB(ビット7)は必ず0に, MSBファースト受信時には, 受信データは受信データ・レジスタnのビット7-1にMSB(ビット7)から転送されLSB(ビット0)は必ず0になります。また, オーバラン・エラーが発生した場合には, そのときの受信データは受信データ・レジスタnに転送されません。

UBnRXAPレジスタは, 16ビット単位でリードのみ可能です。ただし, UBnRXAPレジスタの下位8ビットに対しては, 8ビット単位でリードのみ可能です。

UBnRXレジスタは, 8ビット単位でリードのみ可能です。

リセット入力以外に, UBnCTL0.UBnPWRビット = 0によっても, シングル・モード時にはFFH, FIFOモード時には00FFHになります。

**注意1.** 次に示す状態において, UBnRXAP, UBnRXレジスタへのアクセスは禁止です。詳細は3.4.9

(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

2. シングル・モード時には8ビット・レジスタとなるため, UBnPEFビット, UBnFEFビットはリードできません。
3. FIFOモード時で受信エラー未発生のときには, UBnRXAPレジスタの下位8ビットを8ビット(バイト)で読み出すことで, 受信データだけを連続して読み出せます。上位8ビットへの8ビット・アクセスは禁止です。アクセスした場合の動作は保証できません。



注意4. シングル・モードを使用したシステムをデバッグするときは次の操作を行わないでください。

- ・UBnRXレジスタをリードした直後の命令にブレークをかける。
- ・UBnRXレジスタを送信元に設定したDMA転送が完了する前にブレークをかける。
- ・データ受信後にUBnRXレジスタをリードしてから、次のデータ受信が完了するまでにブレークをかけ、デバッガのI/Oレジスタ・ウィンドウでUBnRXレジスタを確認する。

上記の操作を行った場合、以降の受信でオーバラン・エラーが発生することがあります。

リセット時：00FFH		R	アドレス：UB0RXAP FFFFFFFA86H, UB1RXAP FFFFFFFAA6H													
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBnRXAP (n = 0, 1)	0	0	0	0	0	0	UBnPEF	UBnFEF	UBnRD7	UBnRD6	UBnRD5	UBnRD4	UBnRD3	UBnRD2	UBnRD1	UBnRD0
リセット時：FFH		R	アドレス：UB0RX FFFFFFFA86H, UB1RX FFFFFFFAA6H													
	7	6	5	4	3	2	1	0								
UBnRX (n = 0, 1)	UBnRD7	UBnRD6	UBnRD5	UBnRD4	UBnRD3	UBnRD2	UBnRD1	UBnRD0								
UBnPEF	パリティ・エラー・フラグ															
0	パリティ・エラーなし															
1	パリティ・エラー発生 (受信時)															
<ul style="list-style-type: none"> <li>・UBnPEFビットはFIFOモード (UBnFIC0.UBnMODビット = 1) 時のみ有効で、シングル・モード (UBnFIC0.UBnMODビット = 0) 時は無効です。</li> <li>・UBnPEビットの動作は、UBnCTL0.UBnPS1, UBnPS0ビットの設定値により異なります。</li> </ul>																
UBnFEF	フレーミング・エラー・フラグ															
0	フレーミング・エラーなし															
1	フレーミング・エラー発生 (受信時)															
<ul style="list-style-type: none"> <li>・UBnFEFビットはFIFOモード (UBnFIC0.UBnMODビット = 1) 時のみ有効で、シングル・モード (UBnFIC0.UBnMODビット = 0) 時は無効です。</li> <li>・受信データのストップ・ビットは、ストップ・ビット長に関係なく最初の1ビットだけをチェックします。</li> </ul>																
UBnRD7-UBnRD0	受信データを格納しています。															

**(6) UARTBn FIFO制御レジスタ0 (UBnFIC0)**

UBnFIC0レジスタは、UARTBnの動作モードの選択と、FIFOモード (UBnMODビット = 1) 時に有効となる機能を設定するレジスタです。FIFOモード時には、送信FIFOn/受信FIFOnのクリアおよび送信許可割り込み要求信号 (INTUBnTIT) / 受信完了割り込み要求信号 (INTUBnTIR) の発生タイミング・モードを指定します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : UB0FIC0 FFFFFFFA8AH, UB1FIC0 FFFFFFFAAAH

	⑦	6	5	4	③	②	1	0
UBnFIC0	UBnMOD	0	0	0	UBnTFC	UBnRFC	UBnITM	UBnIRM

(n = 0, 1)

UBnMOD	UARTBnの動作モードの指定
0	シングル・モード
1	FIFOモード

UBnTFC	送信FIFOクリア・トリガ・ビット
0	通常状態
1	クリア (クリア実行完了後, 自動的に0へ戻る)

- ・UBnTFCビットはFIFOモード (UBnMODビット = 1) 時のみ有効で, シングル・モード (UBnMODビット = 0) 時は無効です。
- ・UBnTFCビットに1をライトしたときには, 送信FIFOのポインタをクリア (0) します。また, 保留モード (UBnITMビット = 0) 時には, 保留されている割り込み要求信号 (INTUBnTIT) をクリアします<sup>注</sup>。ただし, 割り込み制御レジスタ (UBnTITIC) のビット7 (UBnTITIF) はクリア (0) されません。必要に応じてクリア (0) してください。  
UBnTFCビットに0をライトしたときには, 状態保持となります。クリア/セットなどの動作は実行しません。
- ・UBnTFCビットに1をライトするときには, 必ずUBnCTL0.UBnTXEビットをクリア (0) して (送信動作禁止) から行ってください。UBnTXEビットがセット (1) の状態 (送信動作許可) でUBnTFCビットに1をライトする場合の動作は保証できません。

**注** 送信FIFOクリアを実行した (UBnTFCビット = 1) あと,  $f_{XP}$ の4周期期間, またはUBnFIC0レジスタのリードにより, UBnTFCビットのクリア (自動復帰) が確認できるまでの期間は, UARTBn関連レジスタへのアクセスは禁止です。アクセスした場合の動作は保証できません。

- 注意1.** DMA制御を使用して, 送信データの書き込みや, 受信データの読み出しを実行する場合は, **必ずシングル・モードを選択してください。**  
FIFOモードでは, DMA制御の使用は禁止です。
- 2. ビット4-6には必ず0を設定してください。**

**備考**  $f_{XP}$  : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき,  $f_{XP} = f_{XX}$

クロック・モード2のとき,  $f_{XP} = f_{XMPLL}/2$  ( 14.64 ~ 16 MHz )

クロック・モード3のとき,  $f_{XP} = f_{XMPLL}$  ( 29.28 ~ 32 MHz )

クロック・モード4のとき,  $f_{XP} = f_{XMPLL}/2$  ( 20.88 ~ 24 MHz )

$f_{XX}$  : メイン・クロック周波数

$f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

UBnRFC	受信FIFO (UBnRXAP) クリア・トリガ・ビット
0	通常状態
1	クリア (クリア実行完了後、自動的に0に戻る)

・UBnRFCビットはFIFOモード (UBnMODビット = 1) 時のみ有効で、シングル・モード時 (UBnMODビット = 0) 時は無効です。  
 ・UBnRFCビットに1をライトしたときには、受信FIFOのポインタをクリア (0) します。また、保留モード (UBnIRMビット = 0) 時には、保留されている割り込み要求信号 (INTUBnTIR) をクリアします<sup>注</sup>。ただし、割り込み制御レジスタ (UBnTIRIC) のビット7 (UBnTIRIF) はクリア (0) されません。必要に応じてクリア (0) してください。  
 UBnRFCビットに0をライトしたときには、状態保持となります。クリア/セットなどの動作は実行しません。  
 ・UBnRFCビットに1をライトするときには、必ずUBnCTL0.UBnRXEビットをクリア (0) して (受信動作禁止) から行ってください。UBnRXEビットがセット (1) の状態 (受信動作許可) でUBnRFCビットに1をライトする場合の動作は保証できません。

UBnITM	FIFOモード時のINTUBnTIT割り込み発生タイミングの指定
0	保留モード
1	ポインタ・モード

FIFOモード時のINTUBnTIT信号は、送信FIFOから送信シフト・レジスタにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータが転送された時点で発生します。INTUBnTIT信号が発生してから、実際にINTUBnTIT信号を発生させるタイミングを保留モード、ポインタ・モードとして指定します。詳細は、16.5 (2) 保留モード/ポインタ・モードを参照してください。

**注** 受信FIFO (UBnRXAP) クリアを実行した (UBnRFCビット = 1) あと、 $f_{XP}$  の4周期期間、またはUBnFIC0レジスタのリードにより、UBnRFCビットのクリア (自動復帰) が確認できるまでの期間は、UARTBn関連レジスタへのアクセスは禁止です。アクセスした場合の動作は保証できません。

**備考**  $f_{XP}$  : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)  
 クロック・モード1のとき、 $f_{XP} = f_{XX}$   
 クロック・モード2のとき、 $f_{XP} = f_{XMPLL}/2$  (14.64 ~ 16 MHz)  
 クロック・モード3のとき、 $f_{XP} = f_{XMPLL}$  (29.28 ~ 32 MHz)  
 クロック・モード4のとき、 $f_{XP} = f_{XMPLL}/2$  (20.88 ~ 24 MHz)  
 $f_{XX}$  : メイン・クロック周波数  
 $f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

UBnIRM	FIFOモード時のINTUBnTIR割り込み発生タイミングの指定
0	保留モード
1	ポインタ・モード

FIFOモード時のINTUBnTIR信号は、受信シフト・レジスタnから受信FIFOにUBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のデータが転送された時点で発生します。INTUBnTIR信号が発生してから、実際にINTUBnTIR信号を発生させるタイミングを保留モード、ポインタ・モードとして指定します。詳細は、16.5(2) **保留モード/ポインタ・モード**を参照してください。

## (7) UARTBn FIFO制御レジスタ1 (UBnFIC1)

UBnFIC1レジスタは、FIFOモード (UBnFIC0.UBnMODビット = 1) 時に有効となるレジスタです。ストップ・ビットを受信後、UBnTC4-UBnTC0ビットで設定した時間 (次データ受信待ち時間) を経過しても次のデータが来ない (スタート・ビットが検出されない) ときに受信FIFO内にデータが格納されていた場合、受信タイムアウト割り込み要求信号 (INTUBnTITO) を発生させます。

8/1ビット単位で、リード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: UB0FIC1 FFFFFFFA8BH, UB1FIC1 FFFFFFFAABH

UBnFIC1	⑦	6	5	4	3	2	1	0
UBnTCE	0	0	UBnTC4	UBnTC3	UBnTC2	UBnTC1	UBnTC0	

(n = 0, 1)

UBnTCE	タイムアウト・カウンタ機能の禁止 / 許可の指定
0	タイムアウト・カウンタ機能の使用禁止
1	タイムアウト・カウンタ機能の使用許可

UBnTC4	UBnTC3	UBnTC2	UBnTC1	UBnTC0	次データ受信待ち時間
0	0	0	0	0	32バイト分 (32×8/ボー・レート)
0	0	0	0	1	31バイト分 (31×8/ボー・レート)
0	0	0	1	0	30バイト分 (30×8/ボー・レート)
0	0	0	1	1	29バイト分 (29×8/ボー・レート)
.	.	.	.	.	.
.	.	.	.	.	.
.	.	.	.	.	.
1	1	1	0	0	4バイト分 (4×8/ボー・レート)
1	1	1	0	1	3バイト分 (3×8/ボー・レート)
1	1	1	1	0	2バイト分 (2×8/ボー・レート)
1	1	1	1	1	1バイト分 (1×8/ボー・レート)

UBnTC4-UBnTC0ビット設定分のカウント・アップ完了後、受信FIFO内のデータ格納状態にかかわらず、タイムアウト・カウンタのカウントはクリア (0) されます。その後、次のスタート・ビットを検出すると、そのデータのストップ・ビットから再度カウントを開始します。

**注意** ビット5, 6には必ず0を設定してください。

## (8) UARTBn FIFO制御レジスタ2 (UBnFIC2)

UBnFIC2レジスタは、FIFOモード (UBnFIC0.UBnMODビット = 1) 時に有効となるレジスタです。データの送受信数をトリガとして割り込みを発生させるタイミングを設定します。送信時は、送信FIFOから転送されたデータ数を、受信時は受信FIFOに格納されたデータ数を割り込みの発生条件として指定します。

UBnFIC2レジスタは、16ビット単位でリード/ライト可能です。

UBnFIC2レジスタの上位8ビットをUBnFIC2Hレジスタ、下位8ビットをUBnFIC2Lレジスタとして使用した場合は、8ビット単位でリード/ライト可能です。

リセットによりUBnFIC2レジスタは0000H、UBnFIC2H、UBnFIC2Lレジスタは00Hになります。

**注意** UBnFIC2レジスタへのライトは、必ずUBnCTL0.UBnTXEビット = 0 (送信禁止状態) および UBnRXEビット = 0 (受信禁止状態) に設定してから行ってください。UBnTXEビット、またはUBnRXEビットのいずれかを1に設定したままUBnFIC2レジスタをライトした場合の動作は保証できません。

(1/2)

リセット時: 0000H R/W アドレス: UB0FIC2 FFFFFFFA8CH, UB1FIC2 FFFFFFFAACH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBnFIC2 (n = 0, 1)	0	0	0	0	UBn TT3	UBn TT2	UBn TT1	UBn TT0	0	0	0	0	UBn RT3	UBn RT2	UBn RT1	UBn RT0

UBnTT3	UBnTT2	UBnTT1	UBnTT0	送信FIFO トリガ数設定	ポインタ・ モード	保留モード
0	0	0	0	1バイト	設定可能	設定可能
0	0	0	1	2バイト	設定禁止	
0	0	1	0	3バイト		
0	0	1	1	4バイト		
0	1	0	0	5バイト		
0	1	0	1	6バイト		
0	1	1	0	7バイト		
0	1	1	1	8バイト		
1	0	0	0	9バイト		
1	0	0	1	10バイト		
1	0	1	0	11バイト		
1	0	1	1	12バイト		
1	1	0	0	13バイト		
1	1	0	1	14バイト		
1	1	1	0	15バイト		
1	1	1	1	16バイト		

- ・送信FIFOの送信トリガ数を設定します。
- ・指定した送信トリガ設定数のデータを送信FIFOから送信シフト・レジスタnにシフト・アウトするごとにINTUBnTIT信号を発生させます。  
保留モード (UBnFIC0.UBnITMビット = 0) 時は、保留モードの条件によりINTUBnTIT信号を発生させます。
- ・ポインタ・モード (UBnFIC0.UBnITMビット = 1) 時は、送信トリガ設定数を1バイトに設定 (UBnTT3-UBnTT0ビット = 0000) したときのみ可能で、それ以外の設定は禁止です。1バイト以外の設定をした場合の動作は保障できません。

**注意** ビット4-7, 12-15には必ず0を設定してください。

(2/2)

UBnRT3	UBnRT2	UBnRT1	UBnRT0	受信FIFO トリガ数設定	ポインタ・ モード	保留モード
0	0	0	0	1バイト	設定可能	設定可能
0	0	0	1	2バイト	設定禁止	
0	0	1	0	3バイト		
0	0	1	1	4バイト		
0	1	0	0	5バイト		
0	1	0	1	6バイト		
0	1	1	0	7バイト		
0	1	1	1	8バイト		
1	0	0	0	9バイト		
1	0	0	1	10バイト		
1	0	1	0	11バイト		
1	0	1	1	12バイト		
1	1	0	0	13バイト		
1	1	0	1	14バイト		
1	1	1	0	15バイト		
1	1	1	1	16バイト		

- ・受信FIFOの受信トリガ数を設定します。
- ・指定した受信トリガ設定数のデータを受信シフト・レジスタから受信FIFOに格納することにINTUBnTIR信号を発生させます。  
保留モード (UBnFIC0.UBnIRMビット = 0) の時は、保留モードの条件によりINTUBnTIR信号を発生させます。
- ・ポインタ・モード (UBnFIC0.UBnIRMビット = 1) の時は、受信トリガ設定数を1バイトに設定 (UBnRT3-UBnRT0ビット = 0000) したときのみ可能で、それ以外の設定は禁止です。1バイト以外の設定をした場合の動作は保障できません。



## (9) UARTBn FIFO状態レジスタ0 (UBnFIS0)

UBnFIS0レジスタは、FIFOモード (UBnFIC0.UBnMODビット = 1) 時に有効となるレジスタです。受信FIFOに格納されているデータのバイト数が読み出せます。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

**注意** 次に示す状態において、UBnFIS0レジスタへのアクセスは禁止です。詳細は3.4.9(2) 特定の  
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：00H R アドレス：UB0FIS0 FFFFFFFA8EH, UB1FIS0 FFFFFFFAAEH

	7	6	5	4	3	2	1	0
UBnFIS0	0	0	0	UBnRB4	UBnRB3	UBnRB2	UBnRB1	UBnRB0

(n = 0, 1)

UBnRB4	UBnRB3	UBnRB2	UBnRB1	UBnRB0	受信FIFOポイント
0	0	0	0	0	0バイト
0	0	0	0	1	1バイト
0	0	0	1	0	2バイト
0	0	0	1	1	3バイト
0	0	1	0	0	4バイト
0	0	1	0	1	5バイト
0	0	1	1	0	6バイト
0	0	1	1	1	7バイト
0	1	0	0	0	8バイト
0	1	0	0	1	9バイト
0	1	0	1	0	10バイト
0	1	0	1	1	11バイト
0	1	1	0	0	12バイト
0	1	1	0	1	13バイト
0	1	1	1	0	14バイト
0	1	1	1	1	15バイト
1	0	0	0	0	16バイト
その他					無効
受信FIFOポイントとして受信FIFOに格納されているデータのバイト数 (読み出し可能なバイト数) を示します。					

**(10) UARTBn FIFO状態レジスタ1 (UBnFIS1)**

UBnFIS1レジスタは、FIFOモード (UBnFIC0.UBnMODビット = 1) 時に有効となるレジスタです。送信FIFOの空きバイト数が読み出せます。

8ビット単位でリードのみ可能です。

リセットにより10Hになります。

**注意1.** 次に示す状態において、UBnFIS1レジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

2. UBnTB4-UBnTB0ビット値は、送信データをUBnTXレジスタに書き込んだあと、 $f_{XP}$ の2周期分の時間が経過してから反映されます。そのため、送信データをUBnTXレジスタに書き込んだあとに、UBnFIS1レジスタを参照する場合には注意してください。

**備考**  $f_{XP}$  : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき、 $f_{XP} = f_{XX}$

クロック・モード2のとき、 $f_{XP} = f_{XMPLL}/2$  ( 14.64 ~ 16 MHz )

クロック・モード3のとき、 $f_{XP} = f_{XMPLL}$  ( 29.28 ~ 32 MHz )

クロック・モード4のとき、 $f_{XP} = f_{XMPLL}/2$  ( 20.88 ~ 24 MHz )

$f_{XX}$  : メイン・クロック周波数

$f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

リセット時：10H R アドレス：UB0FIS1 FFFFFFFA8FH, UB1FIS1 FFFFFFFAAFH

	7	6	5	4	3	2	1	0
UBnFIS1	0	0	0	UBnTB4	UBnTB3	UBnTB2	UBnTB1	UBnTB0

(n = 0, 1)

UBnTB4	UBnTB3	UBnTB2	UBnTB1	UBnTB0	送信FIFO n ポインタ
0	0	0	0	0	0バイト
0	0	0	0	1	1バイト
0	0	0	1	0	2バイト
0	0	0	1	1	3バイト
0	0	1	0	0	4バイト
0	0	1	0	1	5バイト
0	0	1	1	0	6バイト
0	0	1	1	1	7バイト
0	1	0	0	0	8バイト
0	1	0	0	1	9バイト
0	1	0	1	0	10バイト
0	1	0	1	1	11バイト
0	1	1	0	0	12バイト
0	1	1	0	1	13バイト
0	1	1	1	0	14バイト
0	1	1	1	1	15バイト
1	0	0	0	0	16バイト
その他					無効
送信FIFO n ポインタとして送信FIFO n の空きバイト数 (書き込み可能なバイト数) を示します。					

## 16.4 割り込み要求信号

UARTBnからは次の5種類の割り込み要求信号を発生します。

- ・受信完了割り込み要求信号 (INTUBnTIR)
- ・送信許可割り込み要求信号 (INTUBnTIT)
- ・FIFO送信完了割り込み要求信号 (INTUBnTIF)
- ・受信エラー割り込み要求信号 (INTUBnTIRE)
- ・受信タイムアウト割り込み要求信号 (INTUBnTITO)

これら5種類の割り込み要求信号のデフォルト優先順位は受信完了割り込み要求信号が最も高く、送信許可割り込み要求信号、FIFO送信完了割り込み要求信号、受信エラー割り込み要求信号、受信タイムアウト割り込み要求信号の順に低くなります。

表16-3 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	1
送信許可	2
FIFO送信完了	3
受信エラー	4
受信タイムアウト	5

### (1) 受信エラー割り込み要求信号 (INTUBnTIRE)

#### (a) シングル・モード時

受信許可状態で、UBnSTRレジスタで説明した3種類の受信エラー（パリティ・エラー、フレーミング・エラー、オーバラン・エラー）の論理和（OR）で受信エラー割り込み要求信号を発生します。  
受信禁止状態中は、受信エラー割り込み要求信号は発生しません。

#### (b) FIFOモード時

受信許可状態で、UBnSTRレジスタで説明した3種類の受信エラー（パリティ・エラー、フレーミング・エラー、オーバフロー・エラー）の論理和（OR）で受信エラー割り込み要求信号を発生します。  
受信禁止状態中は、受信エラー割り込み要求信号は発生しません。

### (2) 受信完了割り込み要求信号 (INTUBnTIR)

#### (a) シングル・モード時

受信許可状態中に、受信シフト・レジスタnにデータがシフト・インされ、UBnRXレジスタに格納される（受信データが読み出し可能となる）と受信完了割り込み要求信号が発生します。  
受信禁止状態中は、受信完了割り込み要求信号は発生しません。

**(b) FIFOモード時**

受信許可状態中に、受信シフト・レジスタ $n$ にデータがシフト・インされ、受信FIFO $n$ にUBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のデータが転送される（指定した受信トリガ設定数分が読み出し可能となる）と受信完了割り込み要求信号が発生します。

受信禁止状態中は、受信完了割り込み要求信号は発生しません。

**(3) 送信許可割り込み要求信号 (INTUBnTIT)****(a) シングル・モード時**

送信シフト・レジスタ $n$ から7ビット/8ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされ、UBnTXレジスタが空となる（送信データが書き込み可能となる）と送信許可割り込み要求信号が発生します。

**(b) FIFOモード時**

送信FIFO $n$ から送信シフト・レジスタ $n$ にUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータが転送される（指定した送信トリガ設定数分が書き込み可能となる）と送信許可割り込み要求信号が発生します。

**(4) FIFO送信完了割り込み要求信号 (INTUBnTIF)****(a) シングル・モード時**

使用できません。

**(b) FIFOモード時**

送信FIFO $n$ および送信シフト・レジスタ $n$ にデータ $n$ が存在しなくなった（空になった）ときにFIFO送信完了割り込み要求信号が発生します。FIFO送信完了割り込み要求信号発生後、FIFOクリア (UBnFIC0.UBnTFCビット = 1) により、保留モード (UBnFIC0.UBnITMビット = 0) 時の保留されている割り込み要求信号 (INTUBnTIT) をクリアしてください。

**注意** 送信FIFO $n$ に対する次の送信データの書き込み実行が遅れたためにFIFO送信完了割り込み要求信号が発生した（送信データをすべて送信していない）場合は、FIFOクリアを実行しないでください。

**(5) 受信タイムアウト割り込み要求信号 (INTUBnTITO)****(a) シングル・モード時**

使用できません。

**(b) FIFOモード時**

受信時にタイムアウト・カウンタ機能 (UBnFIC1.UBnTCEビット = 1) を使用する場合、UBnFIC1.UBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない(スタート・ビットが検出されない)ときに、受信FIFOにデータが格納されている場合は受信タイムアウト割り込み要求信号を発生します。

受信禁止状態中は、受信タイムアウト割り込み要求信号は発生しません。

UBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分までデータが受信されない場合、受信タイムアウト割り込み要求信号により、指定した受信トリガ設定数未満の受信データ数を読み出すタイミングが設定できます。

また、タイムアウト・カウンタは、スタート・ビットの検出により、カウントを開始するため、1キャラクタも受信していない場合、受信タイムアウト割り込み要求信号は発生しません。

## 16.5 制御方法

### (1) シングル・モード/FIFOモード

UBnFIC0.UBnMODビットにより、シングル・モードとFIFOモードの選択ができます。

**注意** DMA制御を使用して、送信データの書き込みや、受信データの読み出しを実行する場合は、必ずシングル・モードを選択してください。FIFOモードでは、DMA制御の使用は禁止です。

#### (a) シングル・モード

- ・UBnRXレジスタ，UBnTXレジスタが各8ビット幅×1段のみの構成となります。
- ・受信時，1バイト受信でINTUBnTIR信号を発生します。
- ・INTUBnTIR信号発生後，UBnRXレジスタの受信データを読み出す前にさらに次のUARTBnの受信動作を完了したとき，INTUBnTIRE信号が発生し，オーバラン・エラーとなります。

#### (b) FIFOモード

- ・受信FIFO<sub>n</sub> (UBnRXAPレジスタ) が16ビット幅×16段，送信FIFO<sub>n</sub>が8ビット幅×16段のFIFO構成となります。
- ・受信FIFO<sub>n</sub>は，受信エラー(パリティ・エラーまたはフレーミング・エラー)が発生したときのみ，16ビットのUBnRXAPレジスタとして読み出すことで，エラー対象となるデータを認識できます。
- ・送信時は，送信FIFO<sub>n</sub>にUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと，送信許可(UBnCTL0.UBnTXEビット = 1)にすることにより，送信動作が開始されます。
- ・INTUBnTIT信号，INTUBnTIR信号の発生タイミングを保留モード，ポインタ・モードから選択できます。

**(2) 保留モード/ポインタ・モード**

FIFOモード (UBnFIC0.UBnMODビット = 1) 時に, UBnFIC0.UBnITMおよびUBnIRMビットにより, 保留モードとポインタ・モードの選択ができます。

また, 送信時, 送信FIFOにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数の倍以上のデータを書き込んで送信を起動した場合に複数回の送信許可割り込み要求信号 (INTUBnTIT) が発生したり, 受信時, 受信FIFOにUBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数が8バイト以下の場合に複数回の受信完了割り込み要求信号 (INTUBnTIR) が発生することがあります。そのため, 保留モード/ポインタ・モードは, 割り込み処理が保留された場合に, そのあと割り込みをどのようにするかを指定することができます。

**(a) 保留モード****(i) 送信時 (送信FIFOへの書き込み)**

- ・ 1回目の送信許可割り込み要求信号 (INTUBnTIT) 発生後, その割り込みに対する送信FIFOへの書き込みが実行されていない場合, 2回目のINTUBnTIT信号の発生条件 (UBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分, 送信FIFOから送信シフト・レジスタにデータが転送された) が発生しても, INTUBnTIT信号は発生しません (保留されます)。その後, 1回目のINTUBnTIT信号に対する送信FIFOへの書き込みが実行されると, この保留されたINTUBnTIT信号を発生させます<sup>※</sup>。

**注** 保留数は次のようになります。

1バイト・トリガ設定時 (UBnFIC2.UBnTT3-UBnTT0ビット = 0000) : 最大15回分

2バイト・トリガ設定時 (UBnFIC2.UBnTT3-UBnTT0ビット = 0001) : 最大7回分

:

6バイト・トリガ設定時 (UBnFIC2.UBnTT3-UBnTT0ビット = 0101) : 最大1回分

7バイト・トリガ設定時 (UBnFIC2.UBnTT3-UBnTT0ビット = 0110) : 最大1回分

8バイト・トリガ設定時 (UBnFIC2.UBnTT3-UBnTT0ビット = 0111) : 最大1回分

- ・ 保留モード時, 送信許可割り込み要求信号 (INTUBnTIT) に対する送信FIFOへの書き込み数は, 必ずUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のみとなります。指定した送信トリガ設定数より多い場合および少ない場合の書き込みは禁止です。指定した送信トリガ設定数以外の書き込みをした場合の動作は保証できません。



**(ii) 受信時 (受信FIFOからの読み出し)**

- ・ 1回目の受信完了割り込み要求信号 (INTUBnTIR) 発生後, その割り込みに対する受信FIFOからの読み出しが実行されていない場合, 2回目のINTUBnTIR信号の発生条件 (UBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分, 受信FIFOから読み出し可能) が発生しても, INTUBnTIR信号は発生しません (保留されます)。その後, 1回目のINTUBnTIR信号に対する受信FIFOからの読み出しが実行されると, この保留されたINTUBnTIR信号を発生させます<sup>注</sup>。

**注** 保留数は次のようになります。

1バイト・トリガ設定時 (UBnFIC2.UBnRT3-UBnRT0ビット = 0000) : 最大15回分

2バイト・トリガ設定時 (UBnFIC2.UBnRT3-UBnRT0ビット = 0001) : 最大7回分

:

6バイト・トリガ設定時 (UBnFIC2.UBnRT3-UBnRT0ビット = 0101) : 最大1回分

7バイト・トリガ設定時 (UBnFIC2.UBnRT3-UBnRT0ビット = 0110) : 最大1回分

8バイト・トリガ設定時 (UBnFIC2.UBnRT3-UBnRT0ビット = 0111) : 最大1回分

- ・ 保留モード時, 受信完了割り込み要求信号 (INTUBnTIR) に対する受信FIFOからの読み出し数は, 必ずUBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のみとなります。指定した受信トリガ設定数より多い場合および少ない場合の読み出しは禁止です。指定した受信トリガ設定数以外の読み出しをした場合の動作は保証できません。

**(b) ポインタ・モード****(i) 送信時 (送信FIFOへの書き込み)**

- ・ 送信FIFOから送信シフト・レジスタnに1バイトのデータが転送されるごとに, 送信許可割り込み要求信号 (INTUBnTIT) が発生します。
- ・ ポインタ・モード時, 送信許可割り込み要求信号 (INTUBnTIT) に対する送信FIFOへの書き込み送信トリガ設定数は, 必ずUBnFIC2.UBnTT3-UBnTT0ビット = 0000 (送信トリガ設定数: 1バイト) 固定としてください。それ以外の設定をした場合の動作は保証できません。
- ・ 送信許可割り込み要求信号 (INTUBnTIT) 受け付け後, 送信FIFOへの書き込み時に, UBnFIS1レジスタを参照して, 送信FIFOの空きバイト数分, 送信FIFOに書き込みできます。

## (ii) 受信時 (受信FIFOからの読み出し)

- ・受信シフト・レジスタnから受信FIFOに1バイトのデータが転送されるごとに、受信完了割り込み要求信号 (INTUBnTIR) が発生します。
- ・ポインタ・モード時、受信完了割り込み要求信号 (INTUBnTIR) に対する受信FIFOからの読み出し受信トリガ設定数は、必ずUBnFIC2.UBnRT3-UBnRT0ビット = 0000 (受信トリガ設定数: 1バイト) 固定としてください。それ以外の設定をした場合の動作は保証できません。
- ・受信完了割り込み要求信号 (INTUBnTIR) 受け付け後、受信FIFOからの読み出し時に、UBnFIS0レジスタを参照して、受信FIFOの格納バイト数分、受信FIFOから読み出しできます。ただし、INTUBnTIR信号が発生したのにもかかわらず、受信FIFOにデータが格納されていない (UBnFIS0.UBnRB4-UBnRB0ビット = 00000) 場合があります。その場合は、受信FIFOからはデータの読み出しをしないでください。受信FIFOからのデータの読み出しは、必ず受信FIFOの格納バイト数 = 1バイト以上 (UBnRB4-UBnRB0ビット = 00000以外) を確認してから行ってください。

## 16.6 動作

## 16.6.1 データ・フォーマット

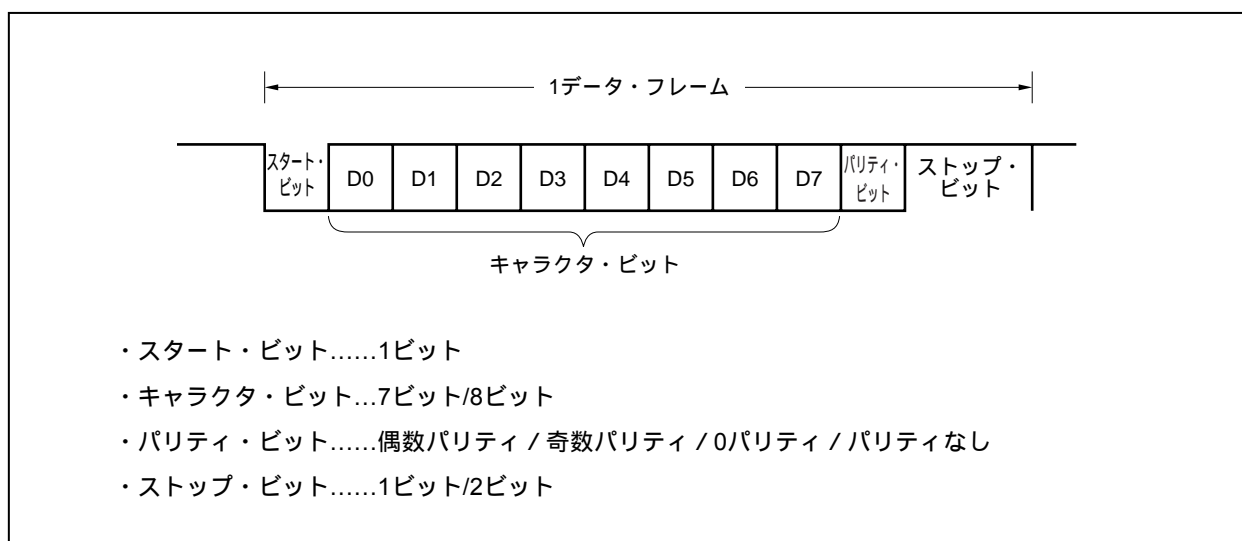
全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図16-2に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、UARTBn制御レジスタ0 (UBnCTL0) によって行います。

また、データはLSBファースト転送/MSBファースト転送を選択できます。

図16-2 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット  
(LSBファースト転送の場合)



## 16.6.2 送信動作

シングル・モード (UBnFIC0.UBnMODビット = 0) 時は, UBnCTL0.UBnTXEビット = 1にすると送信許可状態になり, UBnTXレジスタへ送信データを書き込むことにより, 送信動作が開始されます。

FIFOモード (UBnFIC0.UBnMODビット = 1) 時は, 送信FIFOにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと, UBnTXEビット = 1にすると送信動作が開始されます。

**注意** FIFOモード時に, 送信FIFOへ送信データを書き込む前にUBnCTL0.UBnTXEビット = 1に設定することは禁止です。この設定をした場合の動作は保証できません。

### (1) 送信許可状態

UBnCTL0.UBnTXEビットで設定します。

- ・ UBnTXE = 1 : 送信許可状態
- ・ UBnTXE = 0 : 送信禁止状態

UARTBnにはCTS (送信許可信号) 入力端子がないので, 相手側が受信許可状態かを確認するときはポートを使用してください。

### (2) 送信動作の起動

#### ・シングル・モード (UBnFIC0.UBnMODビット = 0) 時

シングル・モード時は, 送信許可状態のときにUBnTXレジスタへ送信データを書き込むことにより, 送信動作が開始されます。

#### ・FIFOモード (UBnFIC0.UBnMODビット = 1) 時

FIFOモード時は, 送信FIFOにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込んだあと, 送信許可 (UBnTXEビット = 1) にすることにより, 送信動作が開始されます。

送信動作の開始により, 送信データ・レジスタn (シングル・モード時: UBnTXレジスタ, FIFOモード時: 送信FIFO) 内のデータが送信シフト・レジスタnに転送されます。そのあと, 送信シフト・レジスタnはTXDBn端子にデータを出力します (スタート・ビットから順に送信されます)。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

### (3) 送信割り込み要求信号

#### (a) 送信許可割り込み要求信号 (INTUBnTIT)

##### ・シングル・モード (UBnFIC0.UBnMODビット = 0) 時

シングル・モード時は、UBnTXレジスタに送信データの書き込みが可能になる (UBnTXレジスタから送信シフト・レジスタnに1バイト分のデータが転送される) と送信許可割り込み要求信号 (INTUBnTIT) を発生します。

##### ・FIFOモード (UBnFIC0.UBnMODビット = 1) 時

FIFOモード時は、送信FIFOから送信シフト・レジスタnにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータが転送される (指定した送信トリガ設定数分が書き込み可能となる) とINTUBnTIT信号を発生します。

##### ・FIFOモード時に保留モード (UBnFIC0.UBnITMビット = 0) を指定した場合

FIFOモード時に保留モードを指定した場合には、1回目のINTUBnTIT信号発生後、その割り込みに対する送信FIFOへのUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータ書き込みが実行されるまで2回目のINTUBnTIT信号の発生条件が発生しても、INTUBnTIT信号は保留されます。その後、1回目のINTUBnTIT信号に対する送信FIFOへの指定送信トリガ設定数分のデータ書き込みが実行されると、保留されていたINTUBnTIT信号を発生させます。

##### ・FIFOモード時にポインタ・モード (UBnFIC0.UBnITMビット = 1) を指定した場合

FIFOモード時にポインタ・モードを指定した場合には、1回目のINTUBnTIT信号に対する送信FIFOへのUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータ書き込みが実行されなくても、2回目のINTUBnTIT信号の発生条件が発生すると、INTUBnTIT信号を発生させます。

#### (b) FIFO送信完了割り込み要求信号 (INTUBnTIF)

FIFOモード (UBnFIC0.UBnMODビット = 1) 時に送信FIFOおよび送信シフト・レジスタnにデータが存在しなくなった (空になった) 場合には、FIFO送信完了割り込み要求信号 (INTUBnTIF) が発生します。INTUBnTIF信号発生後、FIFOクリア (UBnFIC0.UBnTFCビット = 1) により、保留モード (UBnFIC0.UBnITMビット = 0) 時の保留されているINTUBnTIT信号をクリアしてください。ただし、送信FIFOに対する次の送信データの書き込み実行が遅れたためにINTUBnTIF信号が発生した (送信データをすべて送信していない) 場合は、FIFOクリアを実行しないでください。

なお、次に送信するデータを送信データ・レジスタ $n$ に書き込まなければ、送信動作は中断されます。

**注意** シングル・モードでは、UBnTXレジスタが空になった（UBnTXレジスタから送信シフト・レジスタ $n$ に1バイト分のデータが転送される）場合に、送信許可割り込み要求信号（INTUBnTIT）が発生します。また、FIFOモードでは、送信FIFO $n$ および送信シフト・レジスタ $n$ にデータが存在しなくなった（空になった）場合に、FIFO送信完了割り込み要求信号（INTUBnTIF）が発生します。ただし、 $\overline{\text{RESET}}$ 入力により、送信データ・レジスタ $n$ が空になった場合には、INTUBnTIT信号、またはINTUBnTIF信号は発生しません。

図16 - 3 アシクロナス・シリアル・インタフェース送信許可割り込み要求信号（INTUBnTIT）タイミング

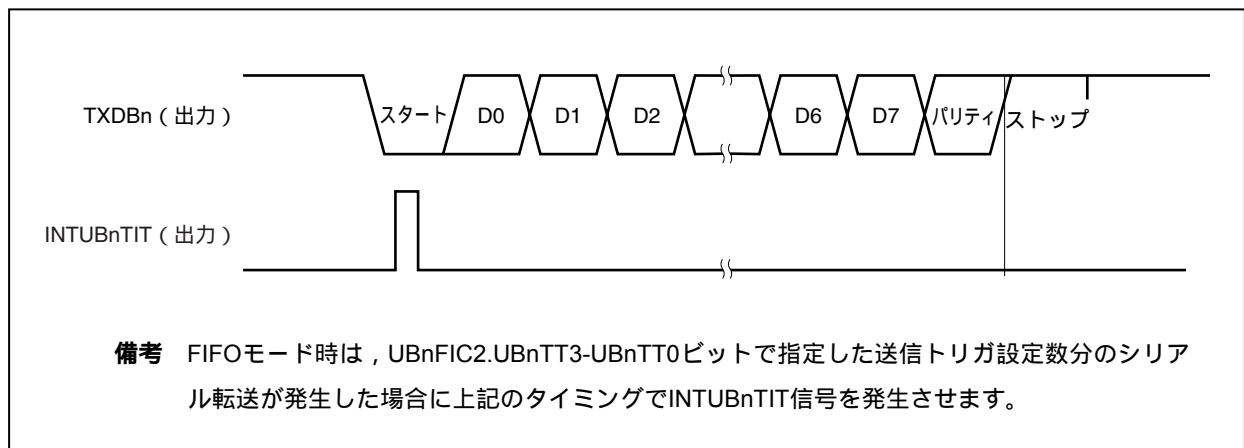
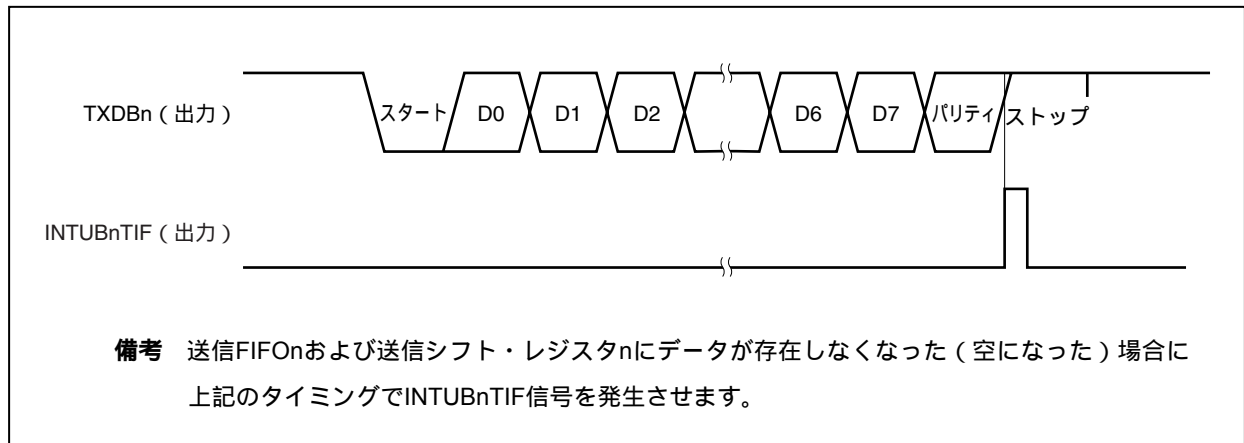


図16 - 4 アシクロナス・シリアル・インタフェースFIFO送信完了割り込み要求信号（INTUBnTIF）タイミング



### 16.6.3 連続送信動作

- 注意1. 送信処理中に初期化を実施する場合は、送信処理が完了していることを確認してください  
(UBnSTR.UBnTSFビット = 0, ただし, FIFOモード時はFIFO送信完了割り込み要求信号 (INTUBnTIF) の発生でも確認可能)。
2. DMA制御を使用して、送信データの書き込みを実行する場合は、必ずシングル・モードを選択してください。FIFOモードでは、DMA制御の使用は禁止です。

#### ・シングル・モード (UBnFIC0.UBnMODビット = 0) 時

シングル・モード時、送信シフト・レジスタnがシフト動作を開始した時点で、次のデータをUBnTXレジスタへ書き込むことができます。転送タイミングは、送信許可割り込み要求信号 (INTUBnTIT) で判断できます。INTUBnTIT信号により、1データ・フレーム送信期間内に次の送信データをUBnTXレジスタに書き込むことで、間隔を空けずに送信することが可能となり、効率的な通信レートを実現できます。

#### ・FIFOモード時に保留モード (UBnFIC0.UBnITMビット = 0) を指定した場合

送信FIFOにUBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上16バイト以下の送信データを書き込むと、送信動作が開始されます。

FIFOモード時に保留モードを指定した場合、UBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分の最後のデータを送信シフト・レジスタnがシフト動作を開始した時点で、次のデータを送信FIFOへ指定した送信トリガ設定数分のデータを書き込むことができます。転送タイミングは、INTUBnTIT信号で判断できます。INTUBnTIT信号により、指定した送信トリガ設定数分または送信FIFO内のデータの送信期間内に次の送信データを送信FIFOに書き込むことで、間隔を空けずに送信することが可能となり、効率的な通信レートを実現できます。

#### ・FIFOモード時にポインタ・モード (UBnFIC0.UBnITMビット = 1) を指定した場合

FIFOモード時にポインタ・モードを指定した場合、データを送信シフト・レジスタnがシフト動作を開始した時点で、INTUBnTIT信号が発生し、次のデータを書き込むことができます。このとき、UBnFIS1レジスタを参照して、送信FIFOの空きバイト数分、書き込むこともできます。転送タイミングは、INTUBnTIT信号で判断できます。INTUBnTIT信号により、指定した送信トリガ設定数 = 1バイトまたは送信FIFO内のデータの送信期間内に次の送信データを送信FIFOに書き込むことで、間隔を空けずに送信することが可能となり、効率的な通信レートを実現できます。

### 16.6.4 受信動作

UBnCTL0.UBnPWRビット = 1にし、次にUBnCTL0.UBnRXEビット = 1にすることにより、受信待ち状態になります。RXDBn端子のサンプリングを開始し、スタート・ビットの検出を行います。スタート・ビットを検出すると受信動作を開始し、設定されたボー・レートにあわせて、順に受信シフト・レジスタnに格納していきます。

シングル・モード (UBnFIC0.UBnMODビット = 0) 時は、1フレームのデータ受信が完了するごとに受信完了割り込み要求信号 (INTUBnTIR) が発生します。通常、この割り込み処理でUBnRXレジスタからメモリに受信データを転送します。

FIFOモード (UBnFIC0.UBnMODビット = 1) 時は、UBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のデータを受信FIFOへ転送することにより、INTUBnTIR信号が発生します。

FIFOモード時に保留モード (UBnFIC0.UBnIRMビット = 0) を指定した場合には、UBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分のデータを受信FIFOから読み出しできます。

FIFOモード時にポインタ・モード (UBnFIC0.UBnIRMビット = 1) を指定した場合には、UBnRT3-UBnRT0ビットで指定した受信トリガ設定数 (1バイト)、またはUBnFIS0レジスタを参照して、受信FIFOの格納バイト数分 (0バイト以上)、受信FIFOから読み出しできます。

- 注意1.** FIFOモード時にポインタ・モードを指定した場合にUBnFIS0レジスタを参照して受信FIFOの格納バイト数分まで受信FIFOから読み出すと、受信完了割り込み要求信号 (INTUBnTIR) が発生したにもかかわらず、受信FIFOにデータが格納されていない (UBnFIS0.UBnRB4-UBnRB0ビット = 00000) 場合があります。その場合は、受信FIFOからはデータの読み出しをしないでください。受信FIFOからのデータの読み出しは、必ず受信FIFOの格納バイト数 = 1バイト以上 (UBnRB4-UBnRB0ビット = 00000以外) を確認してから行ってください。
- 2.** DMA制御を使用して、受信データの読み出しを実行する場合は、必ずシングル・モードを選択してください。FIFOモードでは、DMA制御の使用は禁止です。

#### (1) 受信許可状態

UBnCTL0.UBnRXEビットで設定します。

- ・ UBnRXE = 1 : 受信許可状態
- ・ UBnRXE = 0 : 受信禁止状態

受信禁止状態では受信ハードウェアは初期状態で待機します。このとき、受信完了割り込み要求信号 / 受信エラー割り込み要求信号は発生せず、受信データ・レジスタn (シングル・モード時 : UBnRXレジスタ, FIFOモード時 : 受信FIFO (UBnRXAPレジスタ)) の内容は保持されます。

#### (2) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

UARTBn制御レジスタ2 (UBnCTL2) からのシリアル・クロックでRXDBn端子をサンプリングします。

### (3) 受信割り込み要求信号

#### (a) 受信完了割り込み要求信号 (INTUBnTIR)

##### ・シングル・モード (UBnFIC0.UBnMODビット = 0) 時

シングル・モード時は、UBnCTL0.UBnRXEビット = 1のとき、1フレーム分のデータの受信が完了 (ストップ・ビットの検出) すると、受信完了割り込み要求信号 (INTUBnTIR) が発生すると同時に、受信シフト・レジスタn内の受信データをUBnRXレジスタに転送します。

また、オーバラン・エラーが発生した場合、そのときの受信データは、UBnRXレジスタに転送されず、受信エラー割り込み要求信号 (INTUBnTIRE) が発生します。

なお、受信動作中にパリティ・エラーまたはフレーミング・エラーが発生した場合は、ストップ・ビットの受信位置までは受信動作を継続し、INTUBnTIRE信号が発生します (受信シフト・レジスタn内の受信データはUBnRXレジスタに転送されます)。

また、受信動作中にUBnRXEビットをリセット (0) すると、すぐに受信動作を停止します。このとき、UBnRXレジスタの内容は変化せず、UARTBn状態レジスタ (UBnSTR) の内容はクリアされ、INTUBnTIR信号、またはINTUBnTIRE信号は発生しません。

UBnRXEビット = 0 (受信禁止) では、INTUBnTIR信号は発生しません。

##### ・FIFOモード (UBnFIC0.UBnMODビット = 1) 時

FIFOモード時は、UBnCTL0.UBnRXEビット = 1のとき、1フレーム分のデータの受信が完了 (ストップ・ビットの検出) すると、受信シフト・レジスタnから受信FIFOへUBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分の受信データを転送することにより、受信完了割り込み要求信号 (INTUBnTIR) を発生します。

また、オーバフロー・エラーが発生した場合、そのときの受信データは、受信FIFOに転送されず、受信エラー割り込み要求信号 (INTUBnTIRE) が発生します。

なお、受信動作中にパリティ・エラーまたはフレーミング・エラーが発生した場合は、ストップ・ビットの受信位置までは受信動作を継続し、受信完了後に、INTUBnTIRE信号が発生し、受信シフト・レジスタn内の受信データは受信FIFOに転送されます。このとき、エラー情報がUBnRXAP.UBnPEFビット、またはUBnFEFビット = 1として付加されます。INTUBnTIRE信号が発生した場合は、受信FIFOを16ビット・レジスタのUBnRXAPレジスタとして読み出すことで、エラー対象となるデータを認識できます。



## (b) 受信タイムアウト割り込み要求信号 (INTUBnTITO) (FIFOモード時のみ)

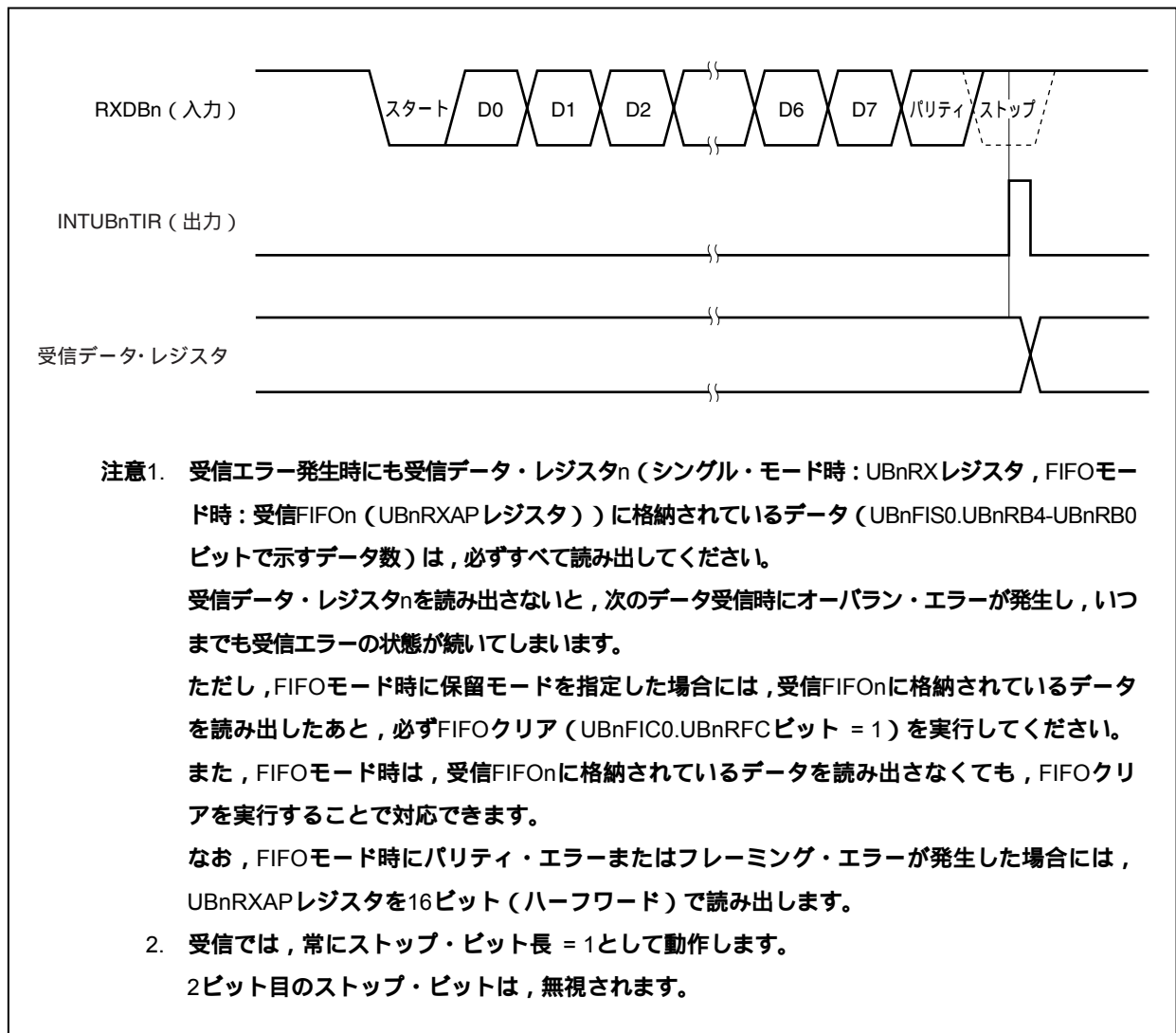
FIFOモード時の受信のときにタイムアウト・カウンタ機能 (UBnFIC1.UBnTCEビット = 1) を使用する場合, UBnFIC1.UBnTC4-UBnTC0ビットで指定した次データ受信待ち時間を経過しても次のデータが来ない(スタート・ビットが検出されない)ときに, 受信FIFOにデータが格納されている場合は受信タイムアウト割り込み要求信号 (INTUBnTITO) を発生します。

受信禁止状態中は, INTUBnTITO信号は発生しません。

UBnFIC2.UBnRT3-UBnRT0ビットで指定した受信トリガ設定数分までデータが受信されない場合, INTUBnTITO信号により, 指定した受信トリガ設定数未満の受信データ数を読み出すタイミングが設定できません。

また, タイムアウト・カウンタは, スタート・ビットの検出により, カウントを開始するため, 1キャラクタも受信していない場合, 受信タイムアウト割り込み要求信号は発生しません。

図16 - 5 アシクロナス・シリアル・インタフェース受信完了割り込み要求信号 (INTUBnTIR) タイミング



### 16.6.5 受信エラー

受信動作時のエラーは、シングル・モード (UBnFIC0.UBnMODビット = 0) 時はパリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類、FIFOモード (UBnFIC0.UBnMODビット = 0) 時はパリティ・エラー、フレーミング・エラー、オーバフロー・エラーの3種類があります。データ受信の結果、シングル・モード時のパリティ・エラー、フレーミング・エラー、オーバラン・エラーはUBnSTR.UBnPE, UBnFE, UBnOVEビット、FIFOモード時のオーバフロー・エラーの場合はUBnSTR.UBnOVFビット、FIFOモード時のパリティ・エラー、フレーミング・エラーの場合はUBnRXAP.UBnPEF, UBnFEFビットのいずれかがセット(1)されると同時に、受信エラー割り込み要求信号 (INTUBnTIRE) が発生します。エラーの内容は、UBnSTRレジスタまたはUBnRXAPレジスタの内容を読み出すことによって、受信時に発生したエラーの内容を検出できます。

UBnSTRレジスタの内容はUBnOVF, UBnPE, UBnFE, UBnOVEビット、またはUBnCTL0.UBnPWR, UBnRXEビットに0を書き込んだとき、UBnRXAPレジスタの内容はUBnCTL0.UBnPWRビットに0を書き込んだときにリセットされます。

表16-4 受信エラーの要因

エラー・フラグ	有効動作モード	エラー・フラグ	受信エラー	要 因
UBnPE	シングル・モード	UBnPE	パリティ・エラー	送信時のパリティ指定と受信データの パリティが一致しない
UBnFE		UBnFE	フレーミング・エラー	ストップ・ビットが検出されない
UBnOVE		UBnOVE	オーバラン・エラー	UBnRXレジスタからデータを読み出 す前に次のデータ受信が完了
UBnOVF	FIFOモード	UBnOVF	オーバフロー・エラー	受信FIFOがフルの状態、データ を読み出す前に次のデータ受信が完了
UBnPEF		UBnPEF	パリティ・エラー	送信時のパリティ指定と対象受信デ ータのパリティが一致しない
UBnFEF		UBnFEF	フレーミング・エラー	対象データの取り込みでストップ・ビ ットが検出されない

## 16.6.6 パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

### (1) 偶数パリティ

#### (a) 送信時

パリティ・ビットを含めた送信データ中の“1”の値のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に“1”の値のビット数が奇数個：1
- ・送信データ中に“1”の値のビット数が偶数個：0

#### (b) 受信時

パリティ・ビットを含めた受信データ中の“1”の値のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

### (2) 奇数パリティ

#### (a) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の“1”の値のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に“1”の値のビット数が奇数個：0
- ・送信データ中に“1”の値のビット数が偶数個：1

#### (b) 受信時

パリティ・ビットを含めた受信データ中の“1”の値のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

### (3) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

### (4) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

### 16.6.7 受信データのノイズ・フィルタ

周辺クロック ( $f_{XP}$ ) の立ち上がりでRXDBn信号をサンプリングします。サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、1クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません (図16-7参照)。

また、回路は図16-6のようになっているため、受信動作の内部での処理は、外部の信号状態により最大2クロック分遅れて動作することになります。

図16-6 ノイズ・フィルタ回路

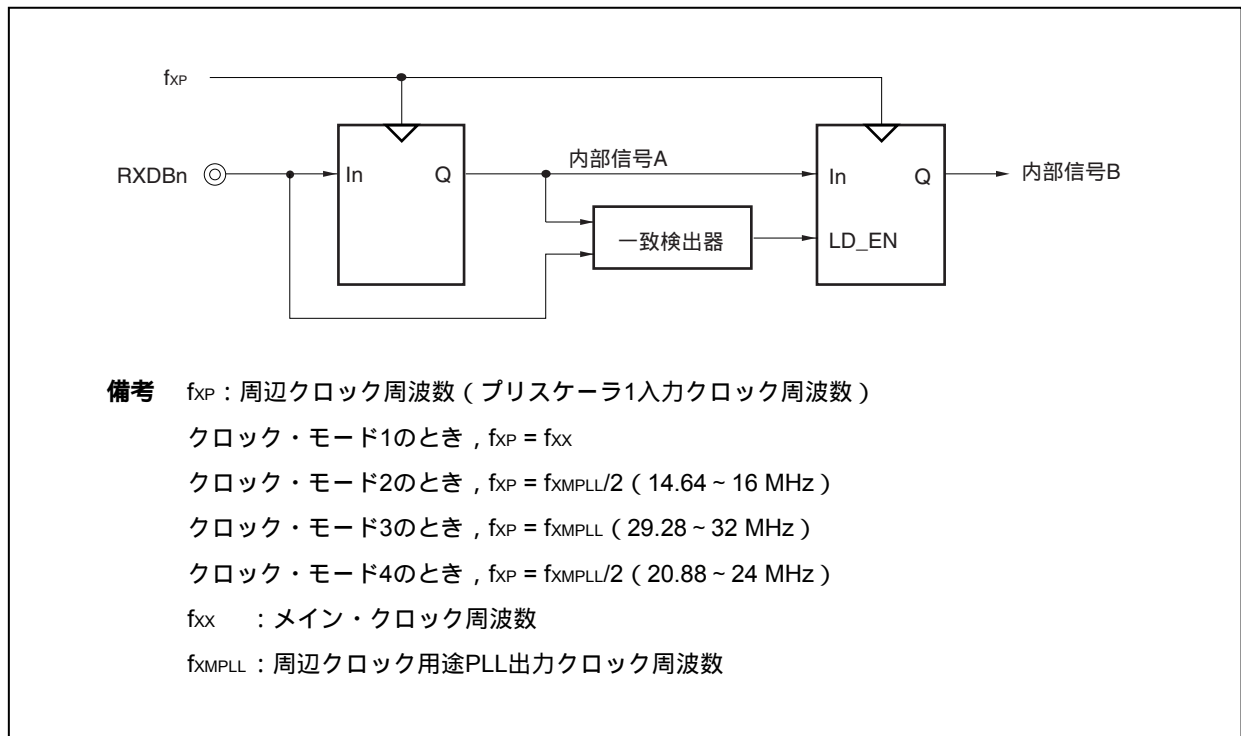
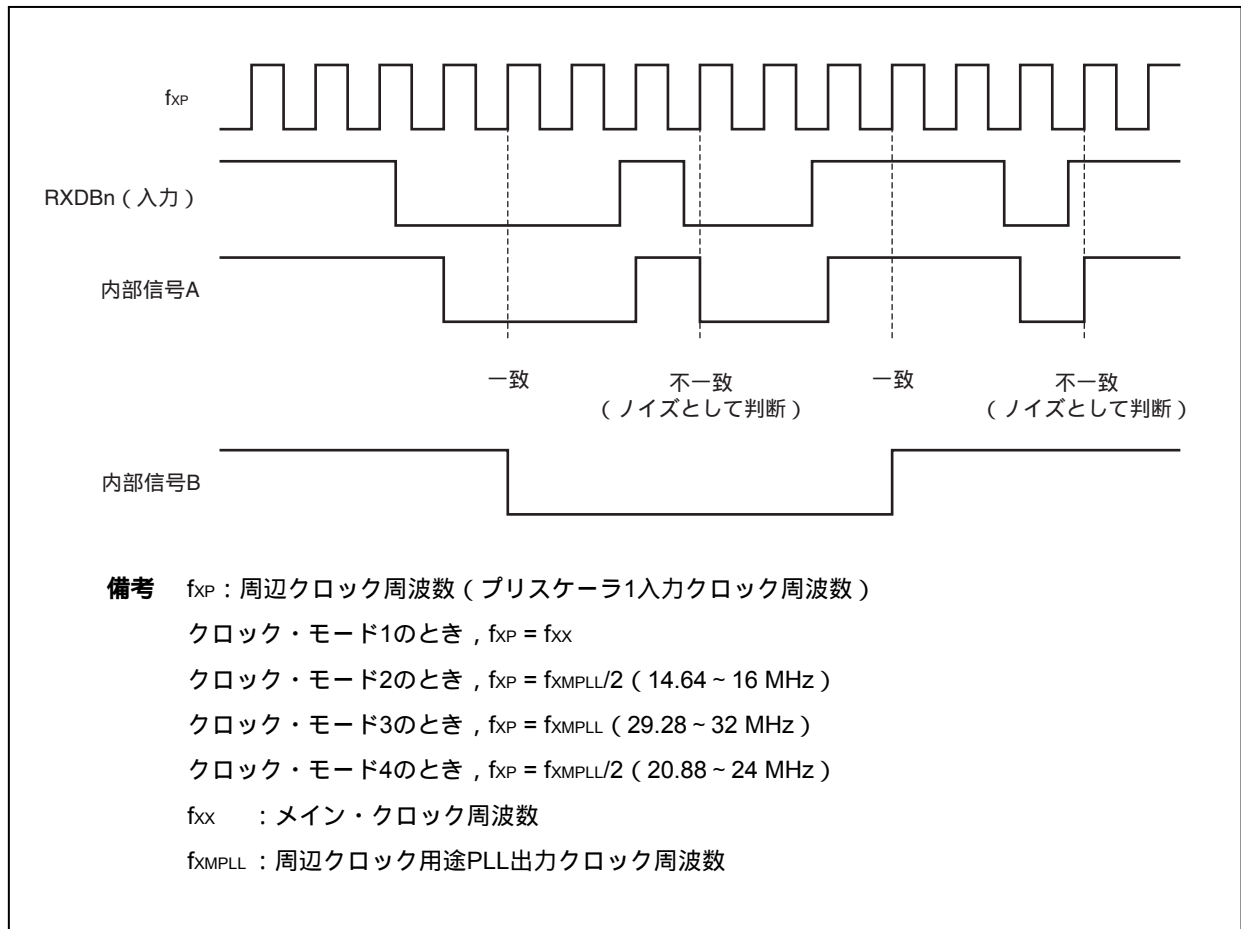


図16 - 7 ノイズとして判断されるRXDBn信号のタイミング



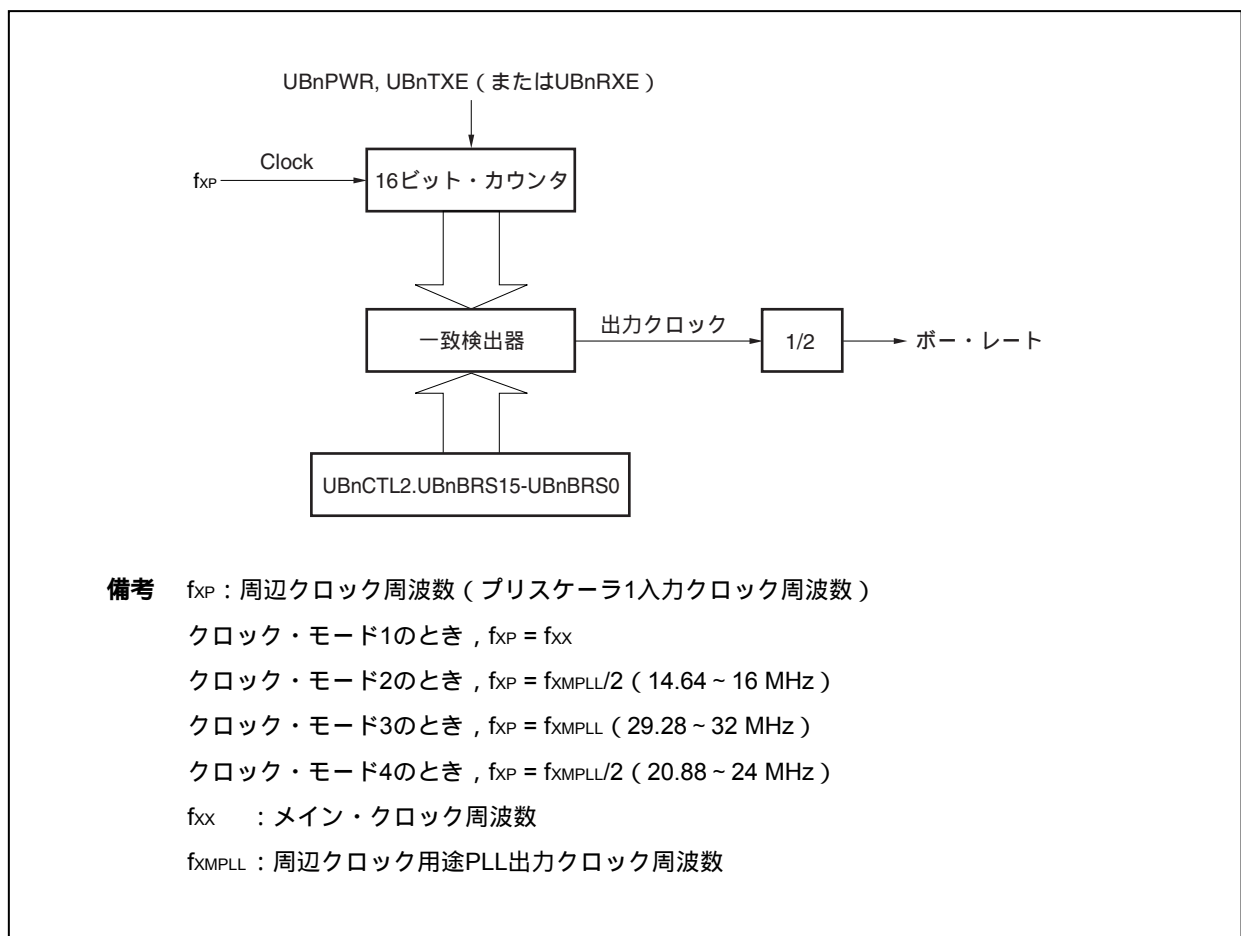
## 16.7 専用ポー・レート・ジェネレータ (BRG)

専用ポー・レート・ジェネレータは、16ビットのプログラマブル・カウンタにより構成され、UARTBnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、16ビット・カウンタは送信用と受信用が別々に存在します。ただし、同一チャンネルにおける送受信のポー・レートは同一となります。

### (1) ポー・レート・ジェネレータの構成

図16-8 ポー・レート・ジェネレータの構成



#### (a) 基本クロック (Clock)

UBnCTL0.UBnPWRビット = 1のとき、周辺クロック (f<sub>XP</sub>) を送信 / 受信ユニットに供給します。このクロックを基本クロック (Clock) と呼びます。

**(2) シリアル・クロックの生成**

UBnCTL2レジスタの設定により、シリアル・クロックを生成できます。

UBnCTL2.UBnBRS15-UBnBRS0ビットにより、16ビット・カウンタの分周値を設定できます。

**(a) ボー・レート**

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{XP}}{2 \times k} \quad [\text{bps}]$$

$f_{XP}$  : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき,  $f_{XP} = f_{XX}$

クロック・モード2のとき,  $f_{XP} = f_{XMPLL}/2$  (14.64 ~ 16 MHz)

クロック・モード3のとき,  $f_{XP} = f_{XMPLL}$  (29.28 ~ 32 MHz)

クロック・モード4のとき,  $f_{XP} = f_{XMPLL}/2$  (20.88 ~ 24 MHz)

$f_{XX}$  : メイン・クロック周波数

$f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

$k = \text{UBnCTL2.UBnBRS15-UBnBRS0}$ ビットで設定した値 ( $k = 4, 5, 6, \dots, 65535$ )

**(b) ボー・レートの誤差**

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left( \frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \quad [\%]$$

**注意1.** 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

**2.** 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

**例**  $f_{XP} = 32 \text{ MHz} = 32,000,000 \text{ Hz}$

UBnCTL2.UBnBRS15-UBnBRS0ビットの設定値 = 0000000000110011B

( $k = 51$ )

目標ボー・レート = 312500 bps

$$\begin{aligned} \text{ボー・レート} &= 32 \text{ M} / (2 \times 51) \\ &= 32000000 / (2 \times 51) = 313725 \quad [\text{bps}] \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (313725/312500 - 1) \times 100 \\ &= 0.392 \quad [\%] \end{aligned}$$

## (3) ボー・レート設定例

表16-5 ボー・レート・ジェネレータ設定データ

ボー・レート ( bps )	f <sub>XP</sub> = 32 MHz		f <sub>XP</sub> = 24 MHz		f <sub>XP</sub> = 16 MHz	
	UBnCTL2	ERR ( % )	UBnCTL2	ERR ( % )	UBnCTL2	ERR ( % )
300	D055H	0.00	9C40H	0.00	682BH	0.00
600	682BH	0.00	4E20H	0.00	3415H	0.00
1200	3415H	0.00	2710H	0.00	1A0BH	0.00
2400	1A0BH	0.00	1388H	0.00	0D05H	0.01
4800	0D05H	0.01	09C4H	0.00	0683H	- 0.02
9600	0683H	- 0.02	04E2H	0.00	0341H	0.04
19200	0341H	0.04	0271H	0.00	01A1H	- 0.08
31250	0200H	0.00	0180H	0.00	0100H	0.00
38400	01A1H	- 0.08	0139H	- 0.16	00D0H	0.16
76800	00D0H	0.16	009CH	0.16	0068H	0.16
153600	0068H	0.16	004EH	0.16	0034H	0.16
312500	0033H	0.39	0026H	1.05	001AH	- 1.54
500000	0020H	0.00	0018H	0.00	0010H	0.00
625000	001AH	- 1.54	0013H	1.05	000DH	- 1.54
1500000	000BH	- 3.03	0008H	0.00	0006H	- 11.11

**注意** ボー・レートの最大転送スピードは、1.5 Mbpsです。

**備考** f<sub>XP</sub> : 周辺クロック周波数 ( プリスケアラ1入力クロック周波数 )

クロック・モード1のとき, f<sub>XP</sub> = f<sub>XX</sub>

クロック・モード2のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 ( 14.64 ~ 16 MHz )

クロック・モード3のとき, f<sub>XP</sub> = f<sub>XMPLL</sub> ( 29.28 ~ 32 MHz )

クロック・モード4のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 ( 20.88 ~ 24 MHz )

f<sub>XX</sub> : メイン・クロック周波数

f<sub>XMPLL</sub> : 周辺クロック用途PLL出力クロック周波数

k : UBnCTL2.UBnBRS15-UBnBRS0ビットの設定値

ERR : ボー・レート誤差 [ % ]



## (4) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

**注意** 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図16 - 9 受信時の許容ポー・レート範囲

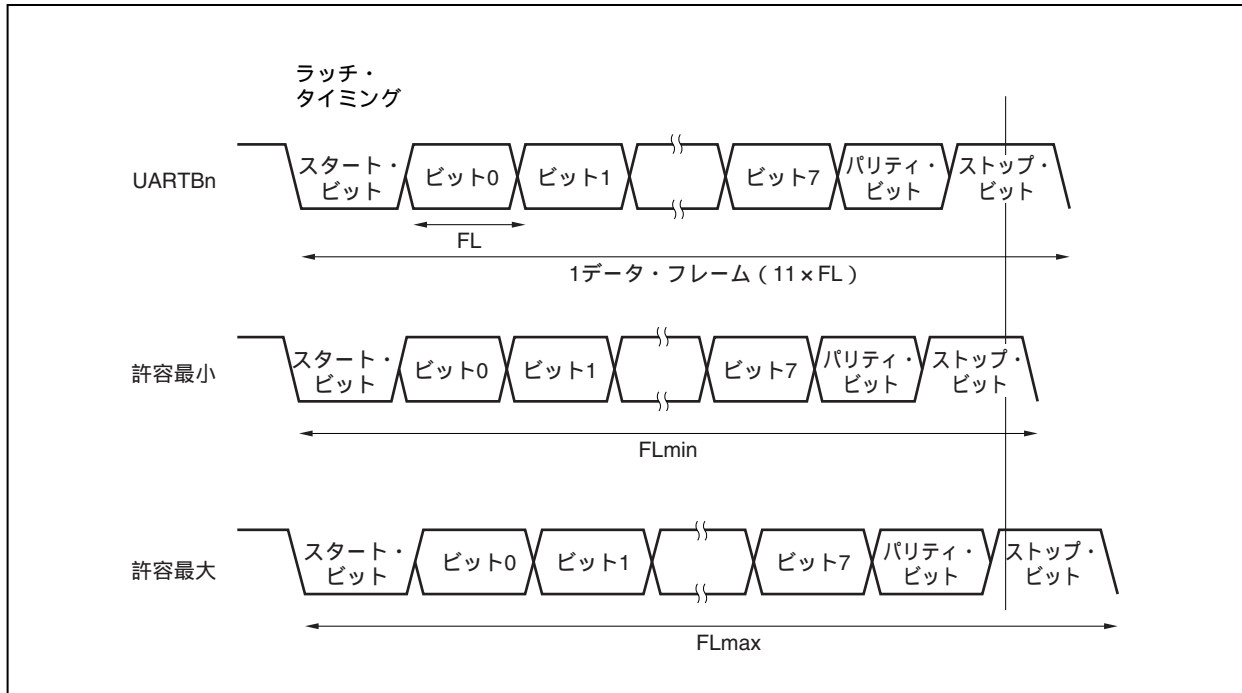


図16 - 9に示すように、スタート・ビット検出後はUBnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTBnのポー・レート

k : UBnCTL2の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小値} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大値を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UARTBnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表16-6 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.33 %	- 2.44
8	+ 3.53 %	- 3.61
16	+ 4.14 %	- 4.19
32	+ 4.45 %	- 4.48
64	+ 4.61 %	- 4.62
128	+ 4.68 %	- 4.69
256	+ 4.72 %	- 4.73
512	+ 4.74 %	- 4.74
1024	+ 4.75 %	- 4.75
2048	+ 4.76 %	- 4.76
4096	+ 4.76 %	- 4.76
8192	+ 4.76 %	- 4.76
16384	+ 4.76 %	- 4.76
32768	+ 4.76 %	- 4.76
65535	+ 4.76 %	- 4.76

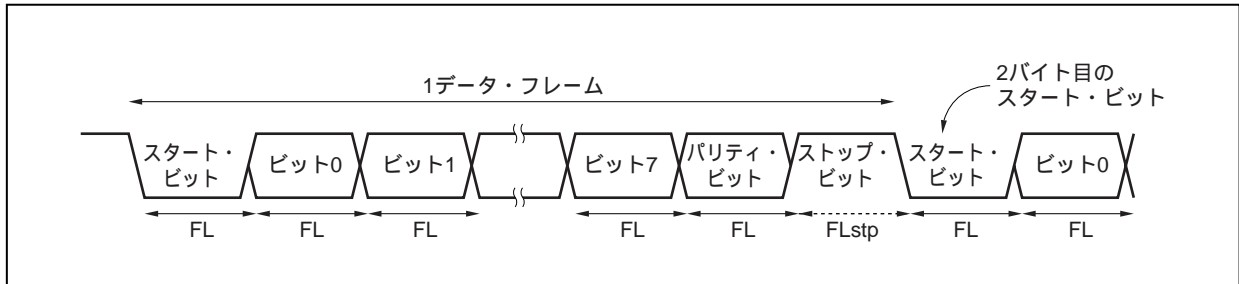
備考1. 受信の精度は、1フレーム・ビット数、基本クロック周波数、分周比 (k) に依存します。基本クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UBnCTL2の設定値

## (5) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図16 - 10 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： $f_{XP}$ とすると次の式が成り立ちます。

$$FLstp = FL + 2 / (f_{XP})$$

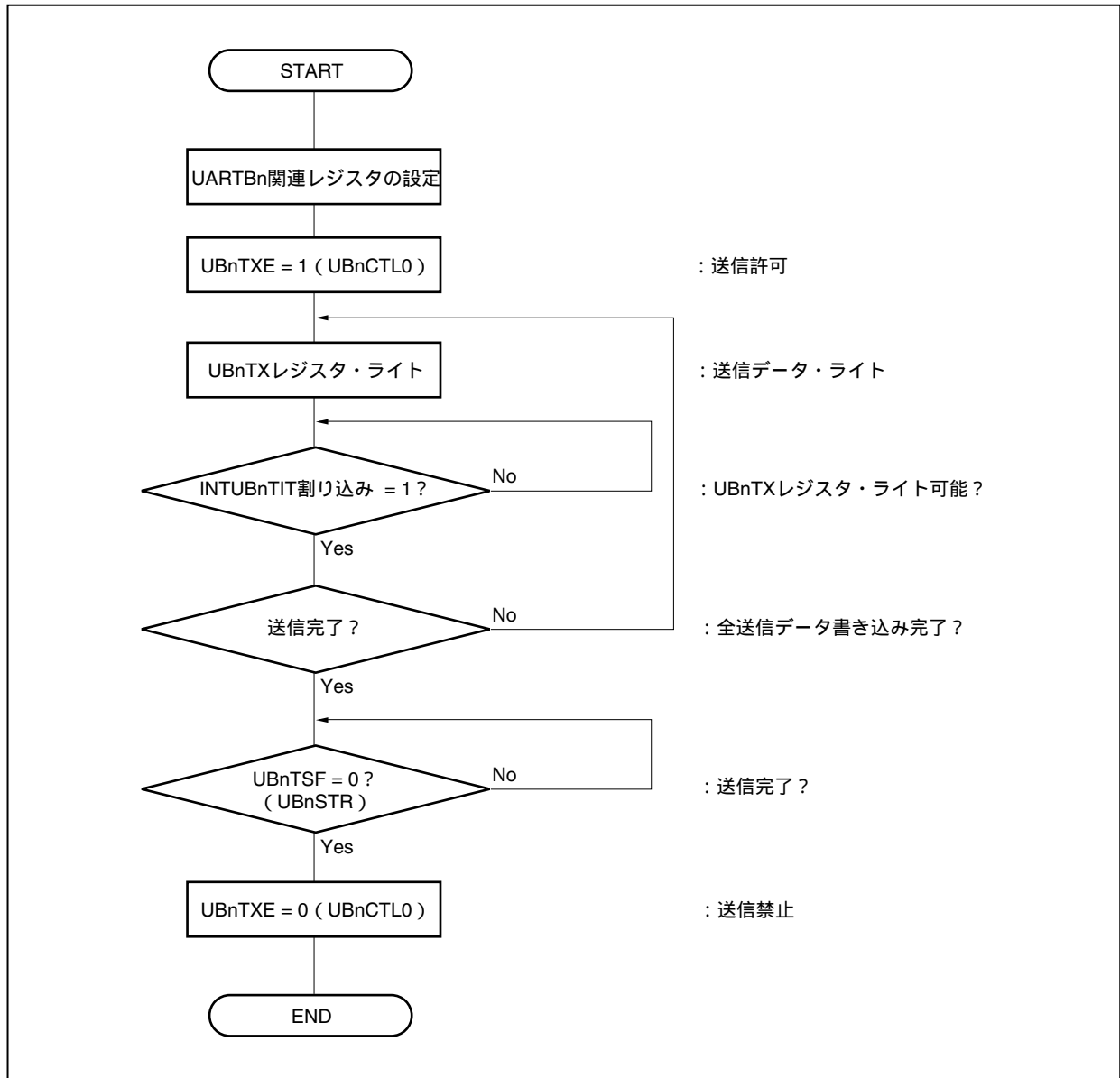
したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + 2 / (f_{XP})$$

## 16.8 制御フロー

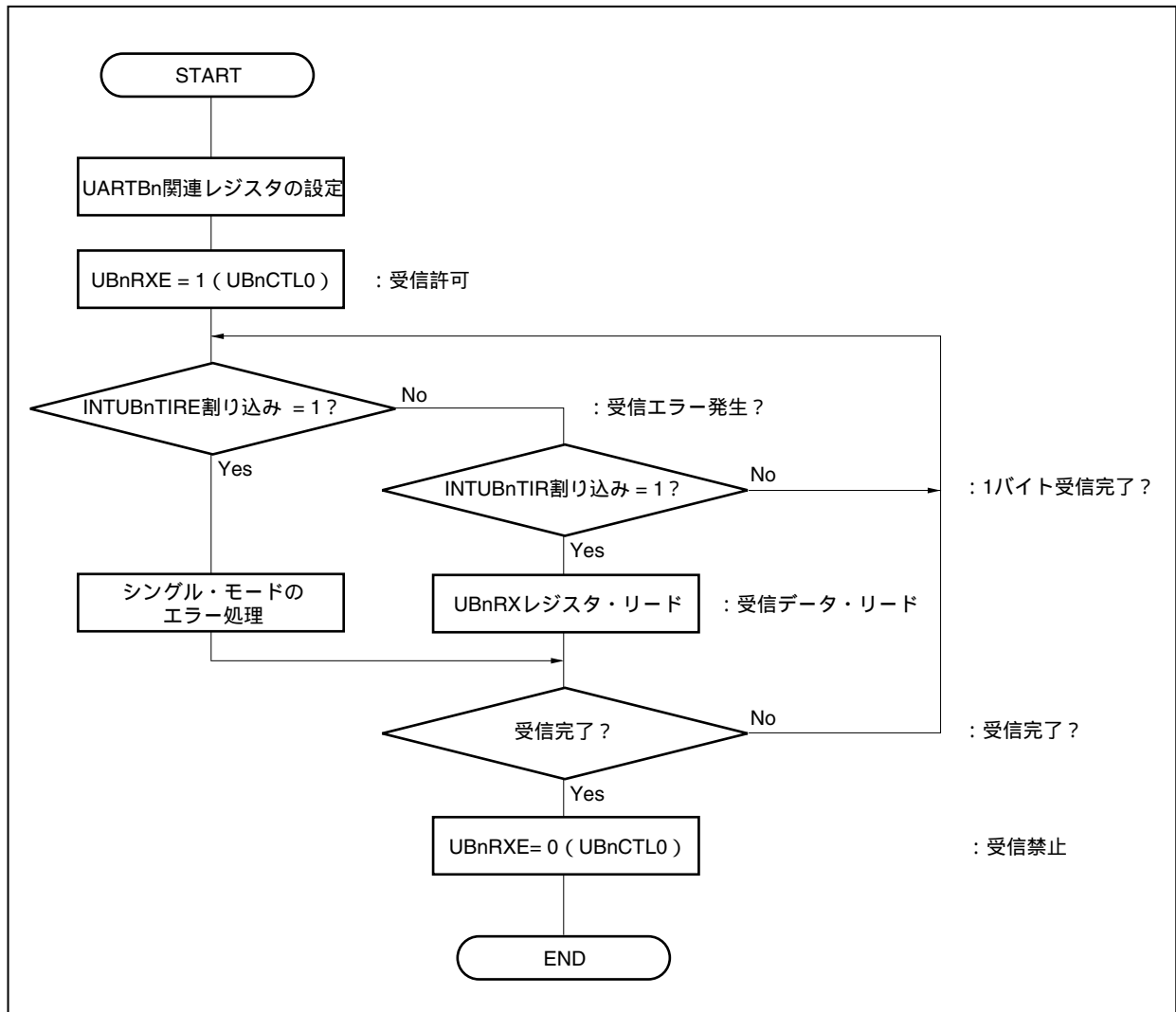
## (1) シングル・モード時の連続送信処理概略フロー例 (CPU制御)

図16 - 11 シングル・モード時の連続送信処理概略フロー例 (CPU制御)



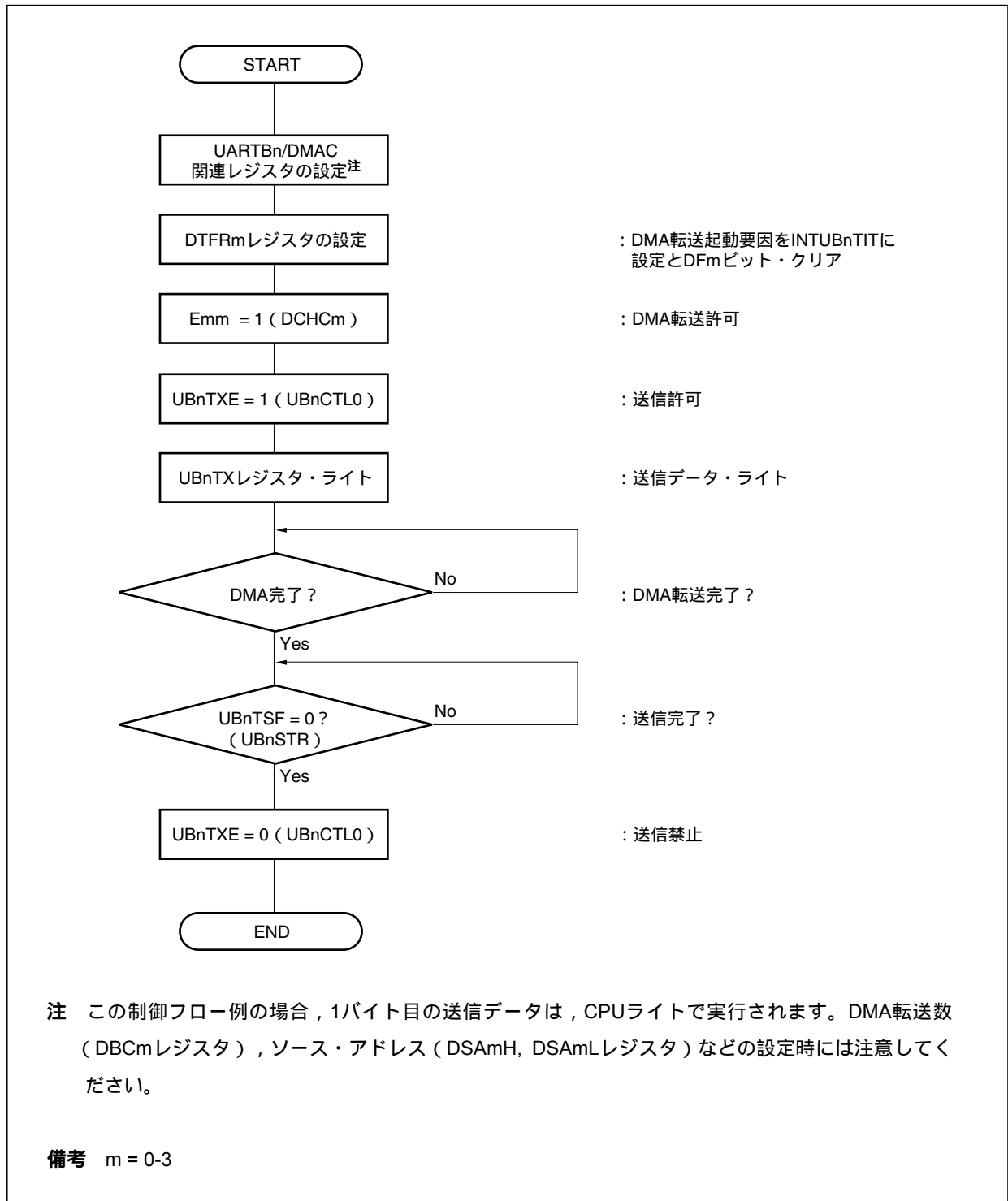
## (2) シングル・モード時の連続受信処理概略フロー例 (CPU制御)

図16 - 12 シングル・モード時の連続受信処理概略フロー例 (CPU制御)



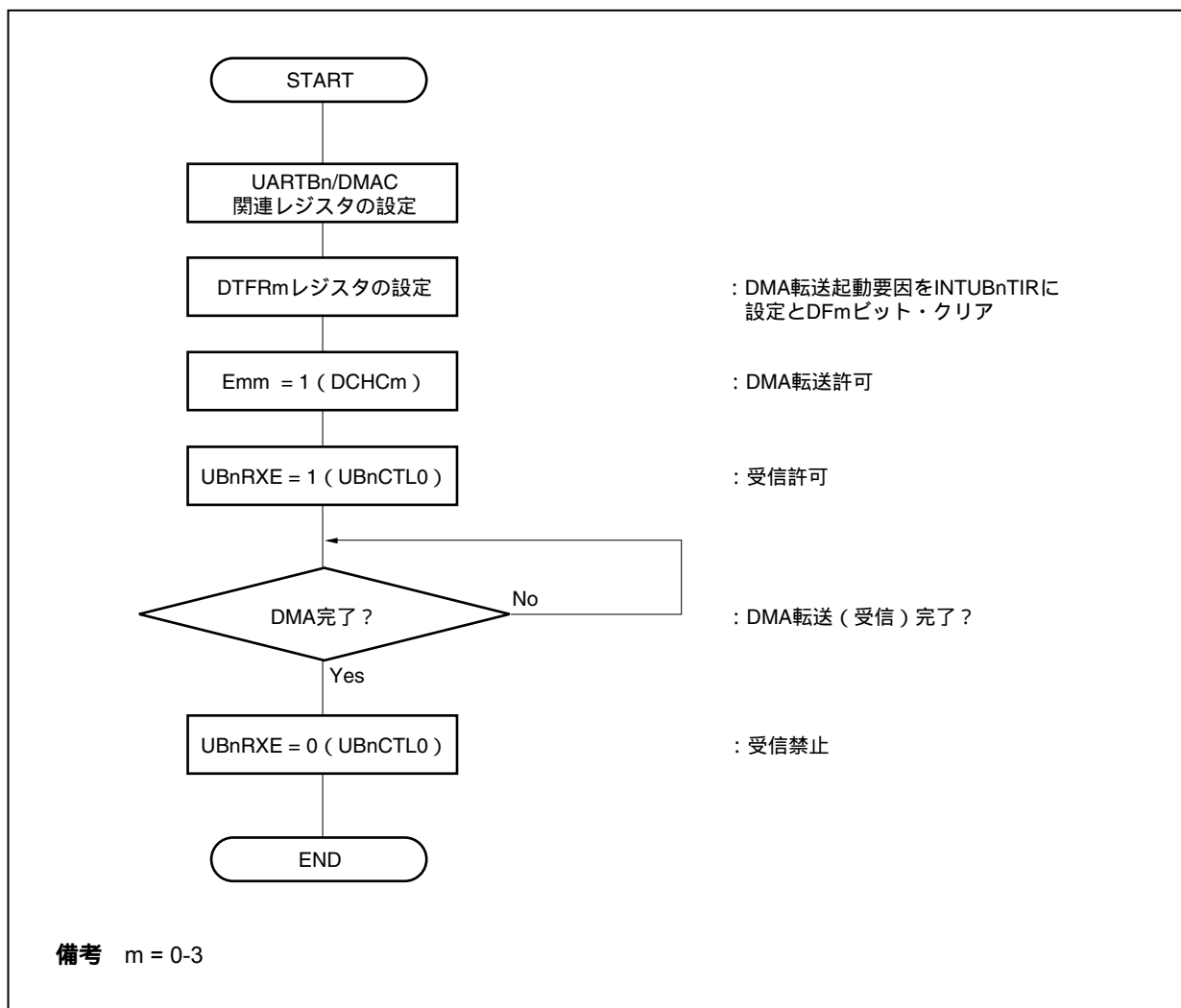
## (3) シングル・モード時の連続送信処理概略フロー例 (DMA制御)

図16 - 13 シングル・モード時の連続送信処理概略フロー例 (DMA制御)



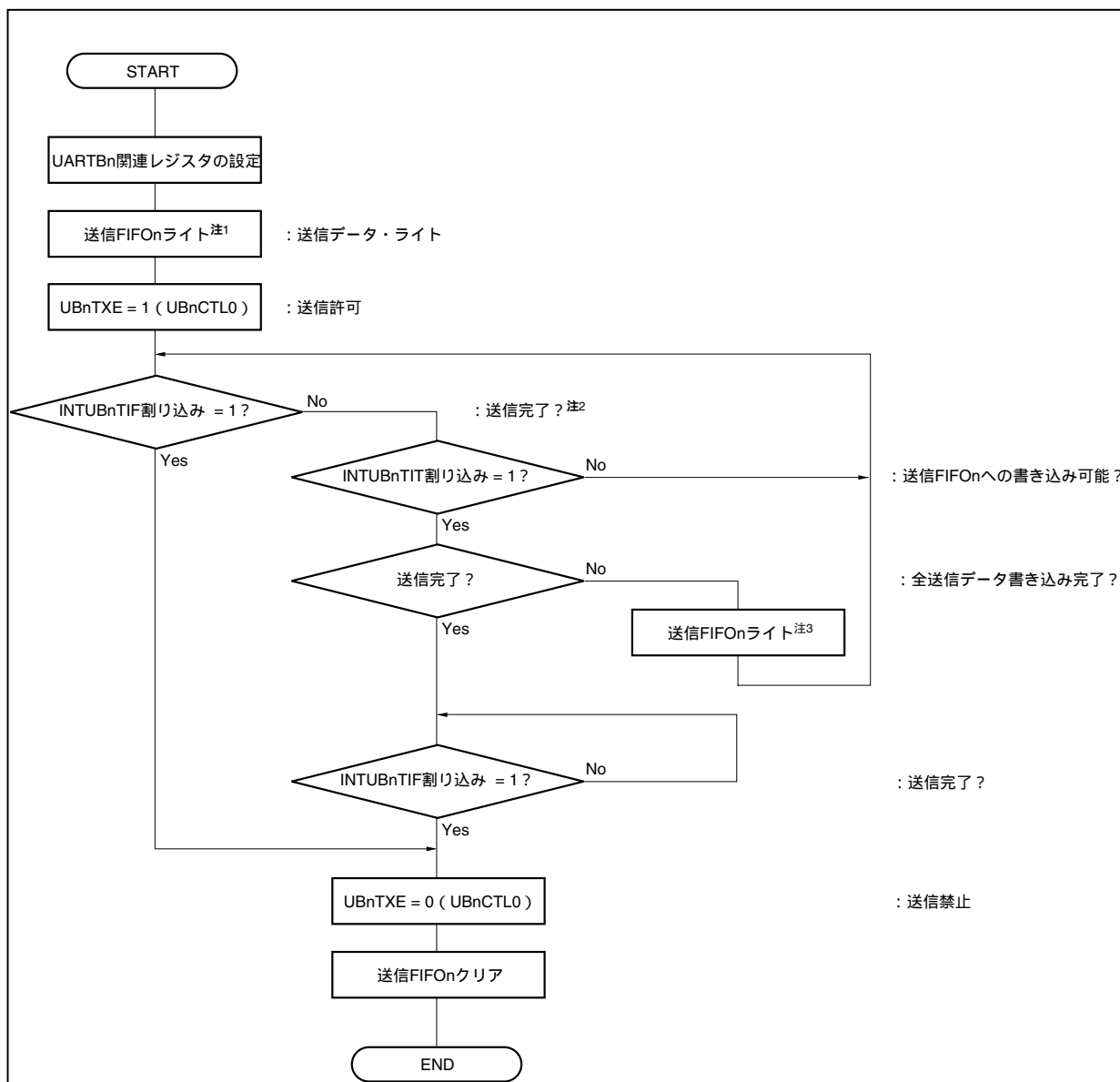
## (4) シングル・モード時の連続受信処理概略フロー例 (DMA制御)

図16 - 14 シングル・モード時の連続受信処理概略フロー例 (DMA制御)



(5) FIFOモード時の連続送信処理概略フロー例 (CPU制御)

図16 - 15 FIFOモード時の連続送信処理概略フロー例 (CPU制御)

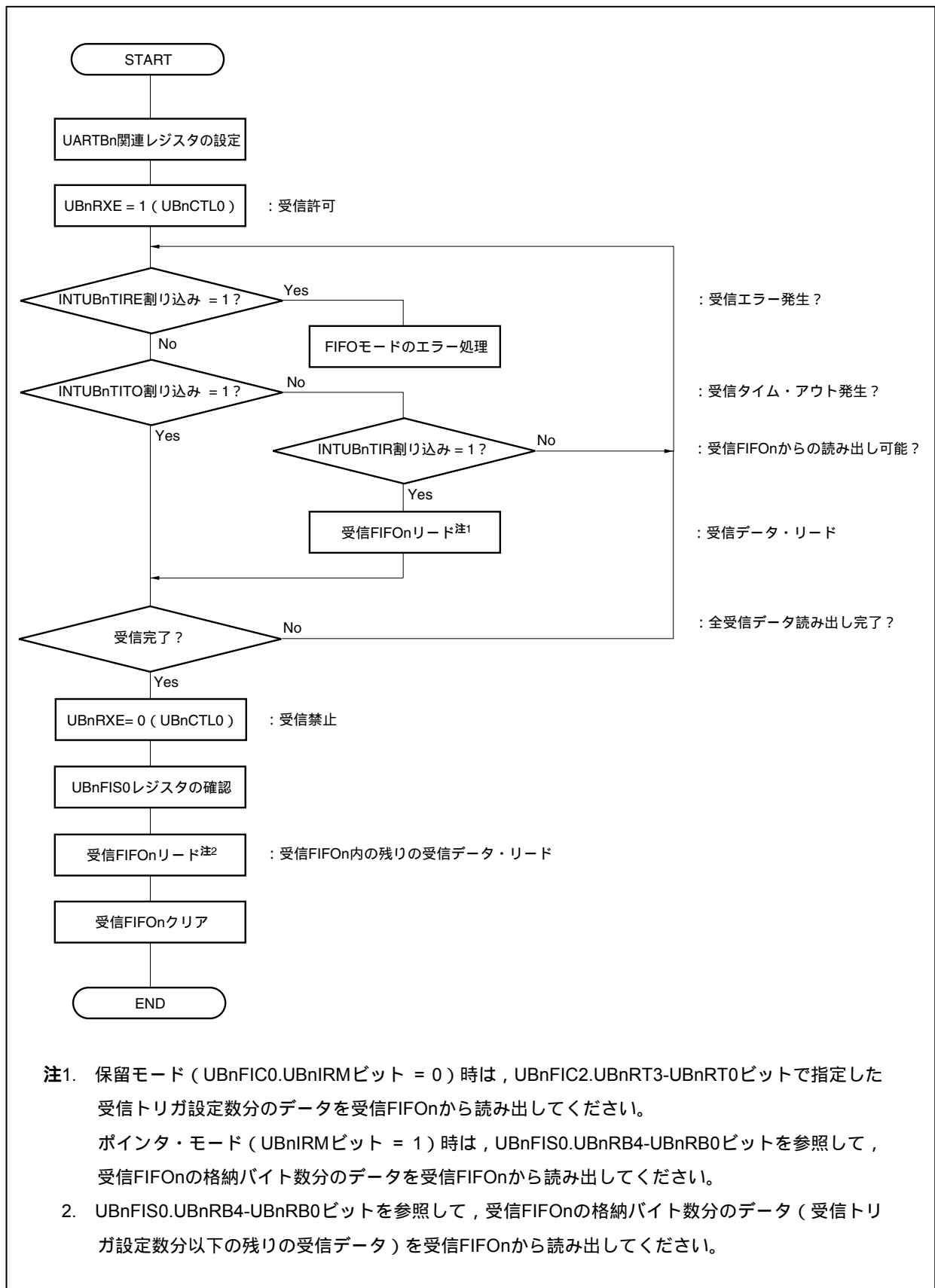


- 注1. UBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数以上のデータを送信FIFOnに書き込んでください。
- 2. 次の送信データを書き込む前に送信完了 (送信FIFOn, 送信シフト・レジスタnが空) になった場合です。引き続きデータ送信を継続する場合には, INTUBnTIF信号, INTUBnTIT信号のクリアなどを実行後, 送信FIFOnに次のデータを書き込むなどの処理が必要です。
- 3. 保留モード (UBnFIC0.UBnITMビット = 0) 時は, UBnFIC2.UBnTT3-UBnTT0ビットで指定した送信トリガ設定数分のデータを送信FIFOnに書き込んでください。  
 ポインタ・モード (UBnITMビット = 1) 時は, UBnFIS1.UBnTB4-UBnTB0ビットを参照して, 送信FIFOnの空きバイト数分のデータを送信FIFOnに書き込んでください。  
 なお, 8ビット幅×16段のFIFO機能をフルで使用する場合には, 16バイトのデータを書き込んでください。



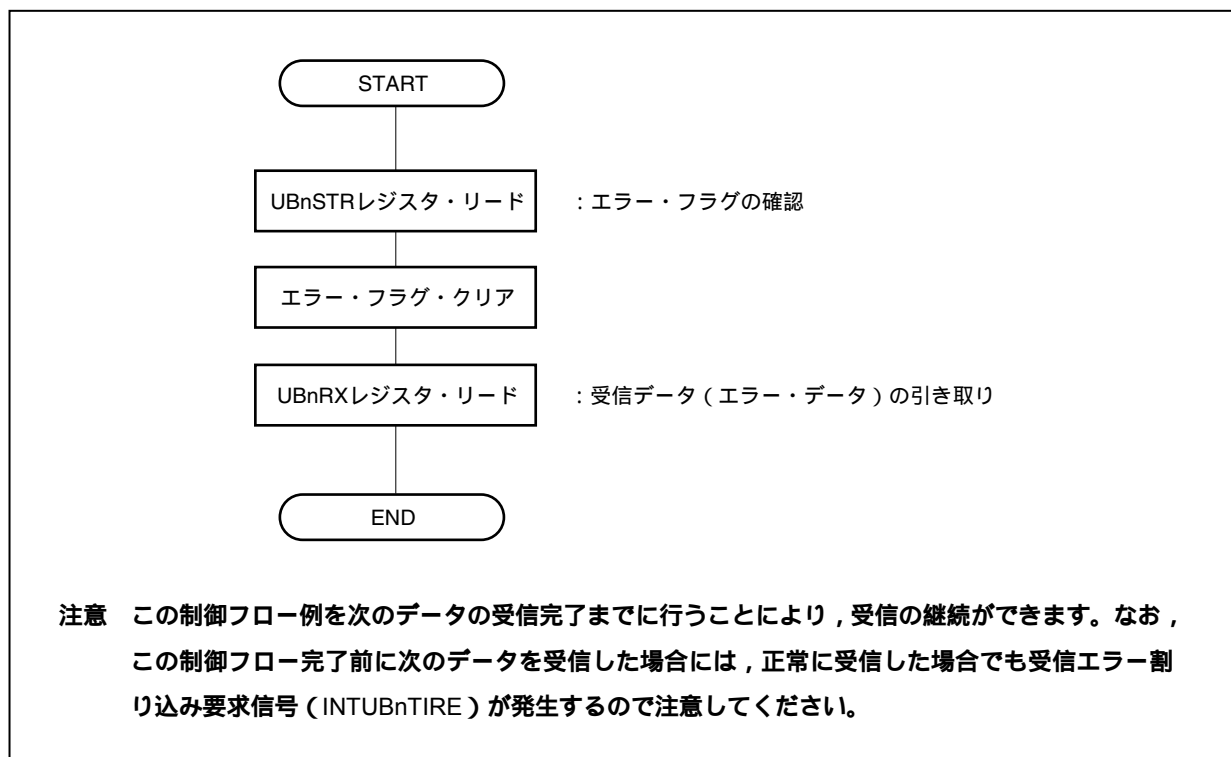
## (6) FIFOモード時の連続受信処理概略フロー例 (CPU制御)

図16 - 16 FIFOモード時の連続受信処理概略フロー例 (CPU制御)



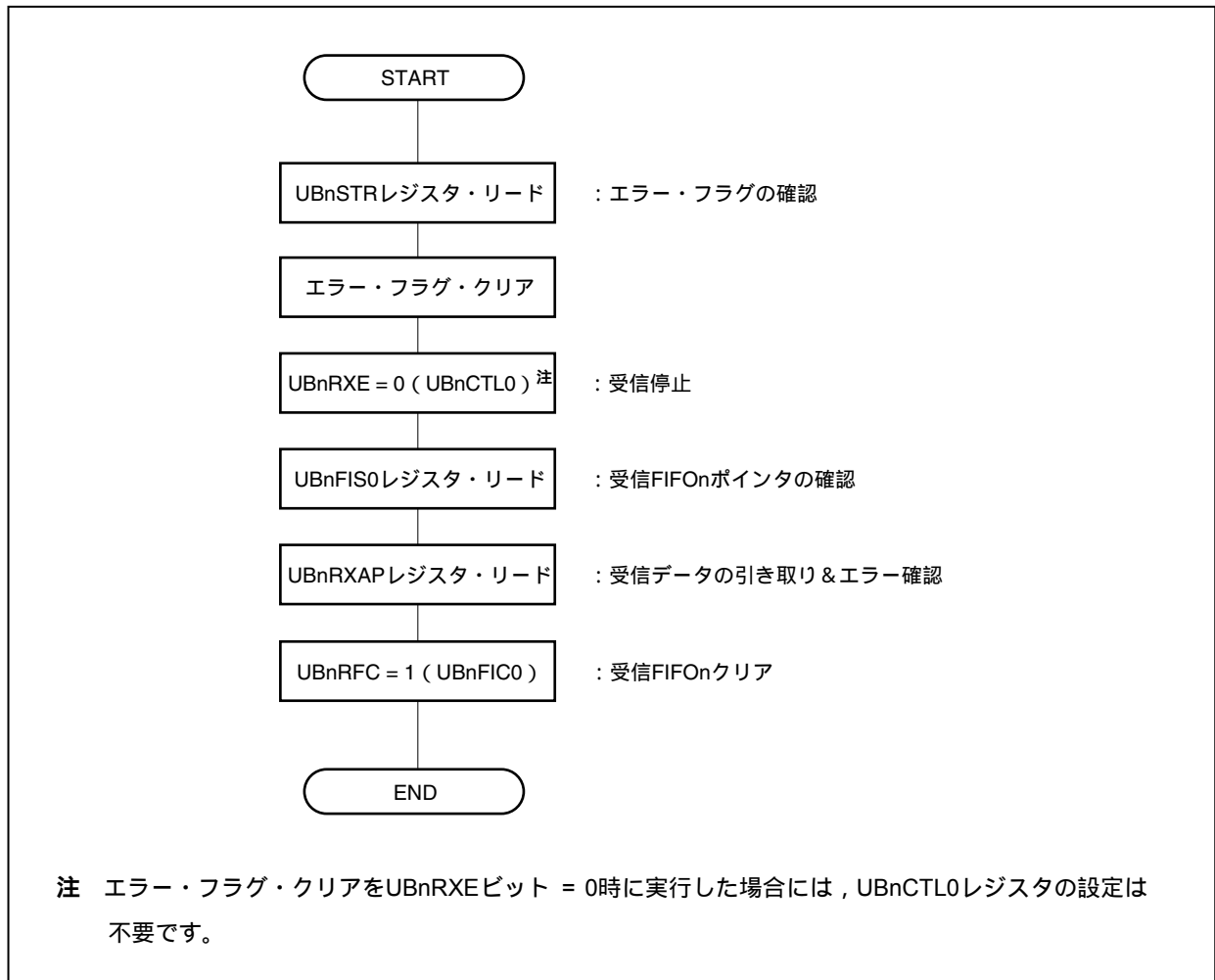
## (7) シングル・モード時の受信エラー処理フロー例

図16 - 17 シングル・モード時の受信エラー処理フロー例



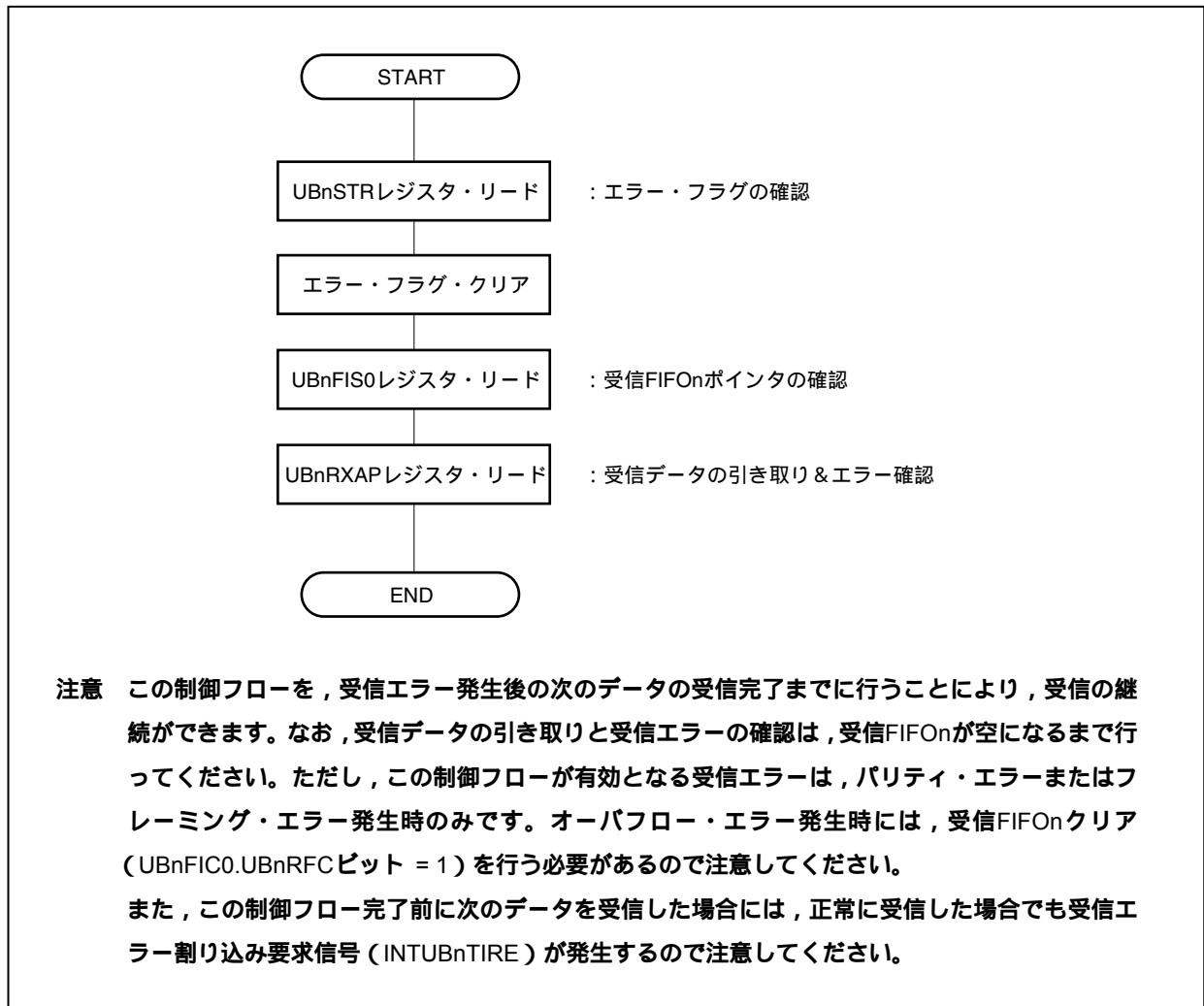
## (8) FIFOモード時の受信エラー処理フロー例(1)

図16 - 18 FIFOモード時の受信エラー処理フロー例(1)



## (9) FIFOモード時の受信エラー処理フロー例 (2)

図16 - 19 FIFOモード時の受信エラー処理フロー例 (2)



## 16.9 注意事項

UARTBnについての注意事項を次に示します。

### (1) DMA制御の使用

DMA制御を使用して、送信データの書き込みや、受信データの読み出しを実行する場合は、必ずシングル・モードを選択してください。FIFOモードでは、DMA制御の使用は禁止です。

### (2) UARTBnへの供給クロックが停止した場合

UARTBnへの供給クロックが停止する場合（例：IDLE, STOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDBn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUBnPWRビット = 0, UBnRXEビット = 0, UBnTXEビット = 0とし、回路を初期化してください。

### (3) UBnCTL0レジスタ設定時の注意

- ・ UARTBnを使用する場合には、必ずUARTBn機能に関連する外部端子を兼用機能に設定したあと、UBnCTL2レジスタの設定を行ってからUBnCTL0.UBnPWRビットをセット（1）してください。そのあとに、ほかのビットの設定を行ってください。
- ・ UARTBn機能に関連する外部端子を兼用機能に設定する場合には、RXDBn端子には必ずハイ・レベルを入力してください。ロウ・レベルを入力したときには、UBnCTL0.UBnRXEビットをセット（1）したあと、立ち下がりエッジが入力されたものと判断してしまい、受信を開始することがあります。

### (4) UBnFIC2レジスタ設定時の注意

UBnFIC2レジスタへのライトは、必ずUBnCTL0.UBnTXEビット = 0（送信禁止状態）およびUBnRXEビット = 0（受信禁止状態）に設定してから行ってください。UBnTXEビット、またはUBnRXEビットのいずれかを1に設定したままUBnFIC2レジスタをライトした場合の動作は保証できません。

### (5) 送信割り込み要求信号

シングル・モードでは、UBnTXレジスタが空になった（UBnTXレジスタから送信シフト・レジスタnに1バイト分のデータが転送される）場合に、送信許可割り込み要求信号（INTUBnTIT）が発生します。また、FIFOモードでは、送信FIFOおよび送信シフト・レジスタnにデータが存在しなくなった（空になった）場合に、FIFO送信完了割り込み要求信号（INTUBnTIF）が発生します。

ただし、RESET入力により、送信データ・レジスタnが空になった場合には、INTUBnTIT信号、またはINTUBnTIF信号は発生しません。

### (6) シングル・モード時の連続送信での初期化

送信処理中に初期化を実施する場合は、UBnSTR.UBnTSFビットが0であることを確認してください。UBnTSFビットが1のときに初期化を実行した場合は、送信データの保証はできません。

### (7) FIFOモード時の連続送信（保留モード時）での初期化

送信処理中に初期化を実施する場合は、UBnSTR.UBnTSFビットが0であることを確認してください（FIFO送信完了割り込み要求信号（INTUBnTIF）での判断でも可能です）。UBnTSFビットが1のときに初期化を実行した場合は送信データの保証はできません。

**(8) FIFOモード時の連続送信 (ポインタ・モード時)での初期化**

送信処理中に初期化を実施する場合は、UBnSTR.UBnTSFビットが0であることを確認してください (FIFO送信完了割り込み要求信号 (INTUBnTIF)での認識も可能です)。UBnTSFビットが1のときに初期化を実行する場合は、送信データの保証はできません。

**(9) FIFOモード時 (ポインタ・モード指定)の受信動作**

FIFOモード時にポインタ・モードを指定した場合にUBnFIS0レジスタを参照して受信FIFOの格納バイト数分まで受信FIFOから読み出すと、受信完了割り込み要求信号 (INTUBnTIR)が発生したにもかかわらず、受信FIFOにデータが格納されていない (UBnFIS0.UBnRB4-UBnRB0ビット = 00000)場合があります。その場合は、受信FIFOからはデータの読み出しをしないでください。受信FIFOからのデータの読み出しは、必ず受信FIFOの格納バイト数 = 1バイト以上 (UBnRB4-UBnRB0ビット = 00000以外)を確認してから行ってください。

**(10) DMA転送の起動要因の切り替え**

V850E/SJ3-H, V850E/SK3-Hでは、DMA転送の起動要因のINTUB0TIR信号とINTTQ0OV信号、INTUB0TIT信号とINTTP0OV信号、INTUB1TIR信号とINTTP1OV信号、INTUB1TIT信号とINTTP2OV信号が兼用になっており、同時には使用できません。INTUB0TIR信号、INTUB0TIT信号、INTUB1TIR信号、またはINTUB1TIT信号をDMA転送の起動要因として使用するときは、オプション・バイト0000007AH(第33章 オプション・バイト機能参照)のDTFROB0ビット = 1に設定してください。この場合、INTTQ0OV信号、INTTP0OV信号、INTTP1OV信号、INTTP2OV信号はDMA転送の起動要因として使用できません。

**備考** 詳細については、表22 - 1 DMA転送の起動要因を参照してください。

## 第17章 3線式可変長シリアルI/O B (CSIB)

### 17.1 CSIB0-CSIB5のポート設定

#### 17.1.1 V850E/SJ3-Hの場合

表17-1 端子構成

モード	端子名	兼用端子					
		ポート			ポート		
		ピン番号	ポート	兼用機能	ピン番号	ポート	兼用機能
CSIB0	SIB0	22	P40	SDA01	-	-	-
	SOB0	23	P41	SCL01	-	-	-
	$\overline{\text{SCKB0}}$	24	P42	INTP2	-	-	-
CSIB1	SIB1	68	P97	A7/TIP20/TOP20	-	-	-
	SOB1	69	P98	A8	-	-	-
	$\overline{\text{SCKB1}}$	70	P99	A9	-	-	-
CSIB2	SIB2	40	P53	KR3/TIQ00/TOQ00/RTP03/DDO	35	P38	TXDA2/SDA00
	SOB2	41	P54	KR4/RTP04/DCK	-	-	-
	$\overline{\text{SCKB2}}$	42	P55	KR5/RTP05/DMS	36	P39	RXDA2/SCL00
CSIB3	SIB3	71	P910	A10	-	-	-
	SOB3	72	P911	A11	-	-	-
	$\overline{\text{SCKB3}}$	73	P912	A12	-	-	-
CSIB4	SIB4	26	P31	RXDA0/INTP7	-	-	-
	SOB4	25	P30	TXDA0	-	-	-
	$\overline{\text{SCKB4}}$	27	P32	ASCKA0/TIP00/TOP00	-	-	-
CSIB5	SIB5	49	P66	INTP9/KR3/TIQ00/TOQ00	-	-	-
	SOB5	50	P67	RXDA5/SDA05 <sup>注</sup>	-	-	-
	$\overline{\text{SCKB5}}$	51	P68	TXDA5/SCL05 <sup>注</sup>	-	-	-

注  $\mu$  PD70F3931B, 70F3932B, 70F3933B以外

#### (1) CSIB0

CSIB0のシリアル受信データ/シリアル送信データ/シリアル・クロック端子 (SIB0, SOB0,  $\overline{\text{SCKB0}}$ ) は、それぞれP40, P41, P42に割り付けられています。CSIB0を使用する場合は、あらかじめPMC4, PFC4レジスタで、P40, P41, P42をSIB0, SOB0,  $\overline{\text{SCKB0}}$ 端子に設定してください。

SIB0, SOB0,  $\overline{\text{SCKB0}}$ 端子は、I<sup>2</sup>C01のシリアル送受信データ/シリアル・クロック端子 (SDA01, SCL01) と兼用しているので、同時に使用できません。また、 $\overline{\text{SCKB0}}$ 端子は、外部割り込み入力端子 (INTP2) と兼用しているので、同時に使用する場合は、INTP2端子をもう一方のポートに割り付けられた端子 (P05) で使用してください。

#### (2) CSIB1

CSIB1のシリアル受信データ/シリアル送信データ/シリアル・クロック端子 (SIB1, SOB1,  $\overline{\text{SCKB1}}$ ) は、それぞれP97, P98, P99に割り付けられています。CSIB1を使用する場合は、あらかじめPMC9, PFC9,

PFCE9レジスタで、P97, P98, P99をSIB1, SOB1,  $\overline{\text{SCKB1}}$ 端子に設定してください。

また、SIB1, SOB1,  $\overline{\text{SCKB1}}$ 端子は、TMP2の入出力端子 (TIP20/TOP20)、アドレス・バス端子 (A7-A9) と兼用しているので、同時に使用できません。

### (3) CSIB2

CSIB2のシリアル受信データ/シリアル送信データ/シリアル・クロック端子 (SIB2, SOB2,  $\overline{\text{SCKB2}}$ ) は、それぞれP53, P54, P55に割り付けられています。また、SIB2,  $\overline{\text{SCKB2}}$ 端子は、それぞれP38, P39にも割り付けられ、どちらか一方でのみ使用可能です (P38, P39で使用する場合は、受信専用となります)。P53, P54, P55でCSIB2を使用する場合は、あらかじめPMC5, PFC5, PFCE5レジスタで、P53, P54, P55をSIB2, SOB2,  $\overline{\text{SCKB2}}$ 端子に設定してください。P38, P39でCSIB2を受信専用として使用する場合は、あらかじめPMC3, PFC3, PFCE3レジスタで、P38, P39をSIB2,  $\overline{\text{SCKB2}}$ 端子に設定してください。

P53, P54, P55では、オンチップ・デバッグ制御端子 (DDO, DCK, DMS)、TMQ0の入出力端子 (TIQ00, TOQ00) を兼用しています。P38, P39でCSIB2を受信専用として使用することで、これらと同時に使用することが可能になります。P38, P39では、UARTA2の送受信端子 (TXDA2, RXDA2)、I<sup>2</sup>C00のシリアル送受信データ/シリアル・クロック端子 (SDA00, SCL00) を兼用しています。P53, P54, P55でCSIB2を使用することで、これらと同時に使用することが可能になります。

### (4) CSIB3

CSIB3のシリアル受信データ/シリアル送信データ/シリアル・クロック端子 (SIB3, SOB3,  $\overline{\text{SCKB3}}$ ) は、それぞれP910, P911, P912に割り付けられています。CSIB3を使用する場合は、あらかじめPMC9, PFC9レジスタで、P910, P911, P912をSIB3, SOB3,  $\overline{\text{SCKB3}}$ 端子に設定してください。

SIB3, SOB3,  $\overline{\text{SCKB3}}$ 端子は、アドレス・バス端子 (A10-A12) と兼用しているので、同時に使用できません。

### (5) CSIB4

CSIB4のシリアル受信データ/シリアル送信データ/シリアル・クロック端子 (SIB4, SOB4,  $\overline{\text{SCKB4}}$ ) は、それぞれP31, P30, P32に割り付けられています。CSIB4を使用する場合は、あらかじめPMC3, PFC3, PFCE3レジスタで、P31, P30, P32をSIB4, SOB4,  $\overline{\text{SCKB4}}$ 端子に設定してください。

SIB4, SOB4端子は、UARTA0の送受信端子 (RXDA0, TXDA0) と兼用しているので、同時に使用できません。また、SIB4端子は、外部割り込み入力端子 (INTP7) と兼用しているので、同時に使用する場合は、INTP7端子をもう一方のポートに割り付けられた端子 (P51) で使用してください。

### (6) CSIB5

CSIB5のシリアル受信データ/シリアル送信データ/シリアル・クロック端子 (SIB5, SOB5,  $\overline{\text{SCKB5}}$ ) は、それぞれP66, P67, P68に割り付けられています。CSIB5を使用する場合は、あらかじめPMC6, PFC6, PFCE6レジスタで、P66, P67, P68をSIB5, SOB5,  $\overline{\text{SCKB5}}$ 端子に設定してください。

SOB5,  $\overline{\text{SCKB5}}$ 端子は、UARTA5の送受信端子 (RXDA5, TXDA5)、I<sup>2</sup>C05のシリアル送受信データ/シリアル・クロック端子 (SDA05, SCL05) <sup>※</sup>と兼用しているので、同時に使用できません。

注  $\mu$  PD70F3931B, 70F3932B, 70F3933B以外

**注意** 動作中にポート設定を切り替えないでください。また、ポート設定を行わず、使用しないユニットは、必ず動作禁止にしてください。



## 17.1.2 V850E/SK3-Hの場合

表17-2 端子構成

モード	端子名	兼用端子					
		ポート			ポート		
		ピン番号	ポート	兼用機能	ピン番号	ポート	兼用機能
CSIB0	SIB0	24	P40	SDA01	-	-	-
	SOB0	25	P41	SCL01	-	-	-
	$\overline{\text{SCKB0}}$	26	P42	INTP2	-	-	-
CSIB1	SIB1	84	P97	A7/TIP20/TOP20	-	-	-
	SOB1	85	P98	A8	-	-	-
	$\overline{\text{SCKB1}}$	86	P99	A9	-	-	-
CSIB2	SIB2	48	P53	KR3/TIQ00/TOQ00/RTP03/DDO	40	P38	TXDA2/SDA00
	SOB2	49	P54	KR4/RTP04/DCK	42	P310	-
	$\overline{\text{SCKB2}}$	50	P55	KR5/RTP05/DMS	41	P39	RXDA2/SCL00
CSIB3	SIB3	87	P910	A10	-	-	-
	SOB3	88	P911	A11	-	-	-
	$\overline{\text{SCKB3}}$	89	P912	A12	-	-	-
CSIB4	SIB4	31	P31	RXDA0/INTP7	-	-	-
	SOB4	30	P30	TXDA0	-	-	-
	$\overline{\text{SCKB4}}$	32	P32	ASCKA0/TIP00/TOP00	-	-	-
CSIB5	SIB5	59	P66	INTP9/KR3/TIQ00/TOQ00	-	-	-
	SOB5	60	P67	RXDA5/SDA05	-	-	-
	$\overline{\text{SCKB5}}$	61	P68	TXDA5/SCL05	-	-	-

## (1) CSIB0

CSIB0のシリアル受信データ/シリアル送信データ/シリアル・クロック端子 (SIB0, SOB0,  $\overline{\text{SCKB0}}$ ) は、それぞれP40, P41, P42に割り付けられています。CSIB0を使用する場合は、あらかじめPMC4, PFC4レジスタで、P40, P41, P42をSIB0, SOB0,  $\overline{\text{SCKB0}}$ 端子に設定してください。

SIB0, SOB0端子は、I<sup>2</sup>C01のシリアル送受信データ/シリアル・クロック端子 (SDA01, SCL01) と兼用しているので、同時に使用できません。また、 $\overline{\text{SCKB0}}$ 端子は、外部割り込み入力端子 (INTP2) と兼用しているので、同時に使用する場合は、INTP2端子をもう一方のポートに割り付けられた端子 (P05) で使用してください。

## (2) CSIB1

CSIB1のシリアル受信データ/シリアル送信データ/シリアル・クロック端子 (SIB1, SOB1,  $\overline{\text{SCKB1}}$ ) は、それぞれP97, P98, P99に割り付けられています。CSIB1を使用する場合は、あらかじめPMC9, PFC9, PFCE9レジスタで、P97, P98, P99をSIB1, SOB1,  $\overline{\text{SCKB1}}$ 端子に設定してください。

また、SIB1, SOB1,  $\overline{\text{SCKB1}}$ 端子は、TMP2の入出力端子 (TIP20/TOP20)、アドレス・バス端子 (A7-A9) と兼用しているので、同時に使用できません。

## (3) CSIB2

CSIB2のシリアル受信データ/シリアル送信データ/シリアル・クロック端子 (SIB2, SOB2,  $\overline{\text{SCKB2}}$ ) は、それぞれP53, P54, P55に割り付けられています。また、SIB2, SOB2,  $\overline{\text{SCKB2}}$ 端子は、それぞれP38, P310, P39にも割り付けられ、どちらか一方でのみ使用可能です。

P53, P54, P55でCSIB2を使用する場合は、あらかじめPMC5, PFC5, PFCE5レジスタで、P53, P54, P55をSIB2, SOB2,  $\overline{\text{SCKB2}}$ 端子に設定してください。P38, P310, P39でCSIB2を使用する場合は、あらかじめPMC3, PFC3, PFCE3レジスタで、P38, P310, P39をSIB2, SOB2,  $\overline{\text{SCKB2}}$ 端子に設定してください。

P53, P54, P55では、オンチップ・デバッグ制御端子 (DDO, DCK, DMS), TMQ0の入出力端子 (TIQ00, TOQ00) を兼用しています。P38, P310, P39でCSIB2を使用することで、これらと同時に使用することが可能になります。P38, P39では、 $I^2C00$ のシリアル送受信データ/シリアル・クロック端子 (SDA00, SCL00) を兼用しているので、同時に使用できません。また、P38, P39では、UARTA2の送受信端子 (TXDA2, RXDA2) を兼用しています。同時に使用する場合は、TXDA2, RXDA2端子をもう一方のポートに割り付けられた端子 (P311, P312) で使用してください。

## (4) CSIB3

CSIB3のシリアル受信データ/シリアル送信データ/シリアル・クロック端子 (SIB3, SOB3,  $\overline{\text{SCKB3}}$ ) は、それぞれP910, P911, P912に割り付けられています。CSIB3を使用する場合は、あらかじめPMC9, PFC9レジスタで、P910, P911, P912をSIB3, SOB3,  $\overline{\text{SCKB3}}$ 端子に設定してください。

SIB3, SOB3,  $\overline{\text{SCKB3}}$ 端子は、アドレス・バス端子 (A10-A12) と兼用しているので、同時に使用できません。

## (5) CSIB4

CSIB4のシリアル受信データ/シリアル送信データ/シリアル・クロック端子 (SIB4, SOB4,  $\overline{\text{SCKB4}}$ ) は、それぞれP31, P30, P32に割り付けられています。CSIB4を使用する場合は、あらかじめPMC3, PFC3, PFCE3レジスタで、P31, P30, P32をSIB4, SOB4,  $\overline{\text{SCKB4}}$ 端子に設定してください。

SIB4, SOB4端子は、UARTA0の送受信端子 (RXDA0, TXDA0) と兼用しているので、同時に使用できません。また、SIB4端子は、外部割り込み入力端子 (INTP7) と兼用しているので、同時に使用する場合は、INTP7端子をもう一方のポートに割り付けられた端子 (P51) で使用してください。

## (6) CSIB5

CSIB5のシリアル受信データ/シリアル送信データ/シリアル・クロック端子 (SIB5, SOB5,  $\overline{\text{SCKB5}}$ ) は、それぞれP66, P67, P68に割り付けられています。CSIB5を使用する場合は、あらかじめPMC6, PFC6, PFCE6レジスタで、P66, P67, P68をSIB5, SOB5,  $\overline{\text{SCKB5}}$ 端子に設定してください。

SOB5,  $\overline{\text{SCKB5}}$ 端子は、UARTA5の送受信端子 (RXDA5, TXDA5),  $I^2C05$ のシリアル送受信データ/シリアル・クロック端子 (SDA05, SCL05) と兼用しているので、同時に使用する場合は、RXDA5, TXDA5端子とSDA05, SCL05端子をもう一方のポートに割り付けられた端子 (UARTA5 : P84, P85と $I^2C05$  : P82, P83) で使用してください。

**注意** 動作中にポート設定を切り替えしないでください。また、ポート設定を行わず、使用しないユニットは、必ず動作禁止にしてください。

## 17.2 特 徴

転送速度：最大8 Mbps

マスタ・モードとスレーブ・モードを選択可能

転送データ長を8-16ビットに1ビット単位で選択可能

転送データのMSB先頭/LSB先頭を切り替え可能

シリアル・クロックとデータのフェーズ切り替えが可能

送信モード，受信モード，送受信モードを指定可能

- ・送信モード：送信許可状態でCSIBn送信データ・レジスタ (CBnTX) に送信データをライトする処理をトリガとして送信を開始します。
- ・受信モード：受信許可状態でCSIBn受信データ・レジスタ (CBnRX) をリードする処理をトリガとして受信を開始します。
- ・送受信モード：送受信許可状態でCSIBn送信データ・レジスタ (CBnTX) に送信データをライトする処理をトリガとして送受信を開始します。

割り込み要求信号

- ・受信完了割り込み (INTCBnR)
- ・送信許可割り込み (INTCBnT)

3線式 SOBn : シリアル・データ出力

SIBn : シリアル・データ入力

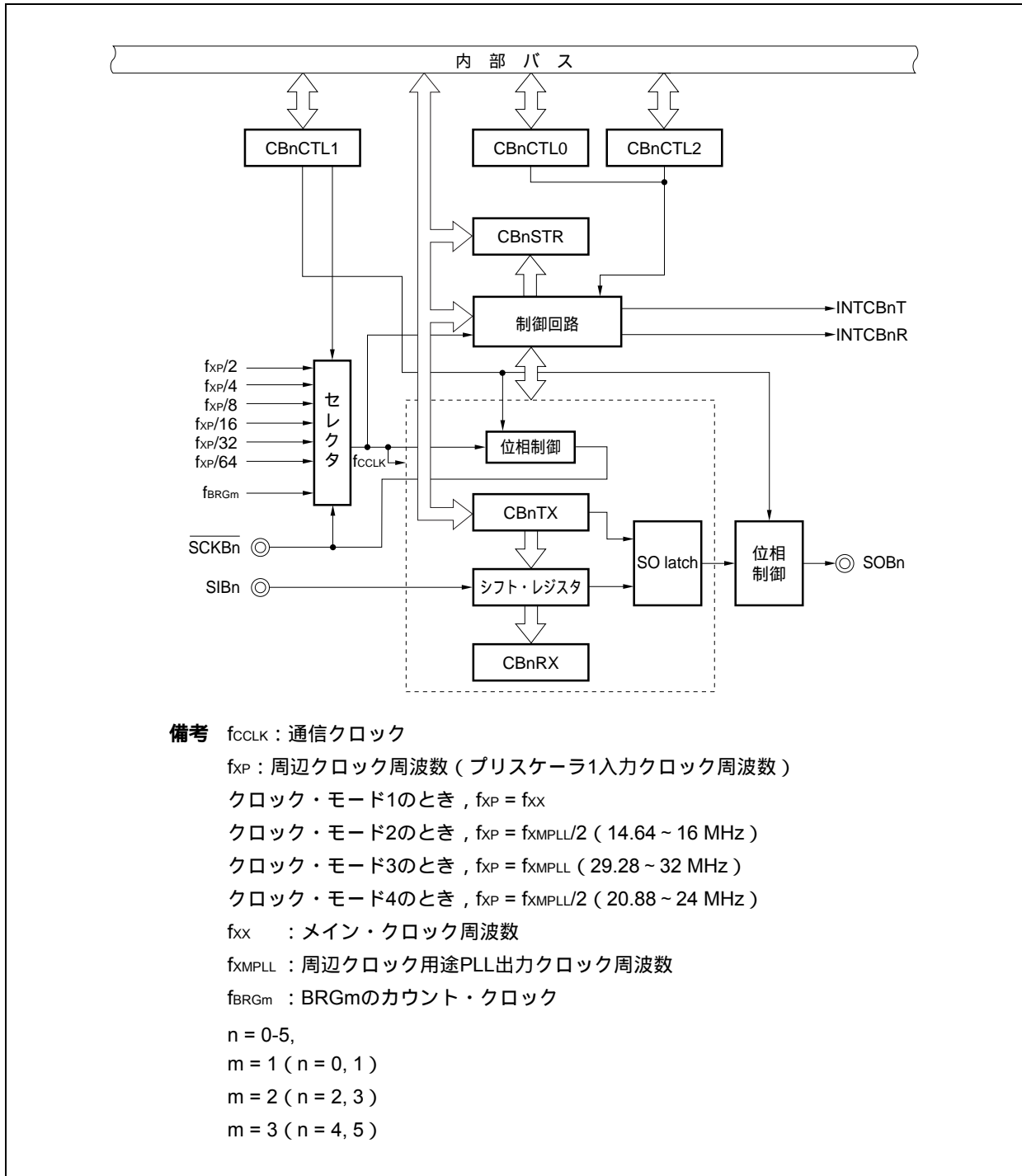
$\overline{\text{SCKBn}}$  : シリアル・クロック入出力

**備考** n = 0-5

## 17.3 構成

次にCSIBnのブロック図を示します。

図17 - 1 CSIBnのブロック図



CSIBnは、次のハードウェアで構成されています。

表17 - 3 CSIBnの構成

項 目	構 成
レジスタ	CSIBn受信データ・レジスタ (CBnRX) CSIBn送信データ・レジスタ (CBnTX)
制御レジスタ	CSIBn制御レジスタ0 (CBnCTL0) CSIBn制御レジスタ1 (CBnCTL1) CSIBn制御レジスタ2 (CBnCTL2) CSIBn状態レジスタ (CBnSTR)

#### (1) CSIBn受信データ・レジスタ (CBnRX)

CBnRXレジスタは、受信データを保持する16ビットのバッファ・レジスタです。

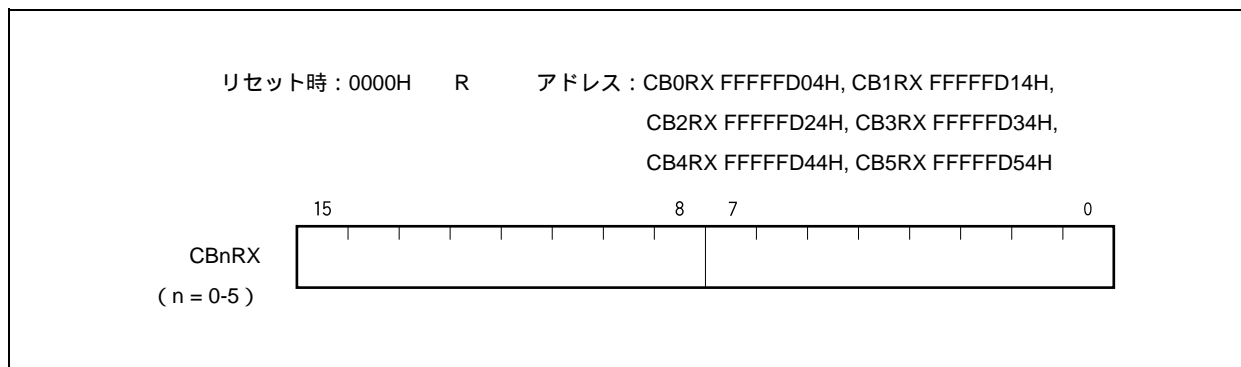
16ビット単位でリードのみ可能です。

受信許可状態中に、CBnRXレジスタをリードすることにより、受信動作を開始します。

転送データ長が8ビットの場合は、CBnRXレジスタの下位8ビットをCBnRXLレジスタとして、8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に、CBnCTL0レジスタのCBnPWRビットをクリア (0) しても初期化されます。



## (2) CSIBn送信データ・レジスタ (CBnTX)

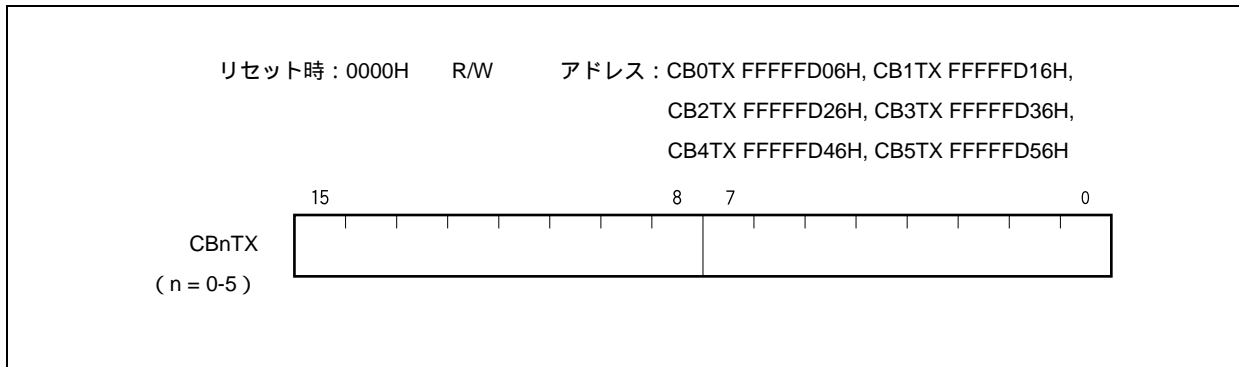
CBnTXレジスタは、CSIBnの転送データを書き込む16ビットのバッファ・レジスタです。

16ビット単位でリード/ライト可能です。

送信許可状態のときは、CBnTXレジスタにデータをライトすることにより、送信動作を開始します。

転送データ長が8ビットの場合は、CBnTXレジスタの下位8ビットをCBnTXLレジスタとして、8ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**備考** 通信開始条件について

送信モード (CBnTXEビット = 1, CBnRXEビット = 0) : CBnTXレジスタへのライト

送受信モード (CBnTXEビット = 1, CBnRXEビット = 1) : CBnTXレジスタへのライト

受信モード (CBnTXEビット = 0, CBnRXEビット = 1) : CBnRXレジスタのリード

## 17.4 レジスタ

CSIBnを制御するレジスタには、次のものがあります。

- ・ CSIBn制御レジスタ0 (CBnCTL0)
- ・ CSIBn制御レジスタ1 (CBnCTL1)
- ・ CSIBn制御レジスタ2 (CBnCTL2)
- ・ CSIBn状態レジスタ (CBnSTR)

### (1) CSIBn制御レジスタ0 (CBnCTL0)

CSIBnのシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

(1/3)

リセット時：01H    R/W    アドレス：CB0CTL0 FFFFFFFD00H, CB1CTL0 FFFFFFFD10H,  
CB2CTL0 FFFFFFFD20H, CB3CTL0 FFFFFFFD30H,  
CB4CTL0 FFFFFFFD40H, CB5CTL0 FFFFFFFD50H

	⑦	⑥	⑤	④	3	2	1	①
CBnCTL0 (n = 0-5)	CBnPWR	CBnTXE <sup>注</sup>	CBnRXE <sup>注</sup>	CBnDIR <sup>注</sup>	0	0	CBnTMS <sup>注</sup>	CBnSCE

CBnPWR	CSIBn動作禁止 / 許可の指定
0	CSIBn動作禁止, CBnSTRレジスタをリセットする
1	CSIBn動作許可
・ CBnPWRビットはCSIBnの動作の制御と内部回路のリセットを行います。	

CBnTXE <sup>注</sup>	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可
・ CBnTXEビット = 0のとき, SOBn出力はロウ・レベルとなります。	

CBnRXE <sup>注</sup>	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可
・ CBnRXEビット = 0にすることで受信動作を禁止するため, 規定のデータを転送されても受信完了割り込みは出力されず, 受信データ (CBnRXレジスタ) は更新されません。	

**注** CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。

**注意1.** 送受信を強制中断する場合は, CBnTXE, CBnRXEビットではなく, CBnPWRビットをクリア (0) してください。このとき, クロック出力も停止します。

**2.** ビット3, 2には必ず0を設定してください。

CBnDIR <sup>注</sup>	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

CBnTMS <sup>注</sup>	転送モードの指定
0	シングル転送モード
1	連続転送モード

**【シングル転送モード】**

通信の完了で受信完了割り込み (INTCBnR) を発生します。

送信許可 (CBnTXEビット = 1) の場合でも、送信許可割り込み (INTCBnT) は発生しません。

通信中 (CBnSTR.CBnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CBnTXEビット = 0, CBnRXEビット = 1) も、通信中 (CBnSTR.CBnTSFビット = 1) に受信データをリードしても次の通信は起動しません。

**【連続転送モード】**

通信中 (CBnSTR.CBnTSFビット = 1) に次の送信データをライトすることで連続送信が可能です。

次の送信データがライト可能になるのは、送信許可割り込み (INTCBnT) 発生後です。

また、連続転送モードで受信のみの通信に設定 (CBnTXEビット = 0, CBnRXEビット = 1) すると、CBnRXレジスタのリード操作に関係なく、受信完了割り込み (INTCBnR) 後、連続して次の受信を開始します。

そのため、速やかにCBnRXレジスタから受信データを読み出してください。読み出しが遅れるとオーバーラン・エラー (CBnOVEビット = 1) が発生します。

**注** CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。



CBnSCE	起動転送無効 / 許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

・マスタ・モード時  
通信起動トリガの有効 / 無効を制御するビットです。

(a) シングル送信 / 送受信モード, 連続送信 / 送受信モード時  
CBnSCEビットの設定は, 動作に影響ありません。

(b) シングル受信モード時  
受信データ (CBnRXレジスタ) のリードで受信動作が起動されるため, 最終受信データのリードを行う前にCBnSCEビットを“0”に設定して次の受信動作の起動を無効にしてください<sup>注1</sup>。

(c) 連続受信モード時  
最終データの受信が完了する1通信クロック前までにCBnSCEビットを“0”に設定して最終データ受信後の受信動作の起動を無効にしてください<sup>注2</sup>。

・スレーブ・モード時  
通信起動トリガの有効 / 無効を制御するビットです。  
CBnSCEビットは“1”に設定してください<sup>注3</sup>。

- 注1. CBnSCEビットが“1”のままリードした場合, 次回の通信動作が起動されません。
2. 最終データの受信を完了する1通信クロック前までにCBnSCEビットを“0”にしない場合, 自動的に次回の通信動作が起動されます。  
なお, 最終データのリード後に再び通信動作を起動したい場合, CBnSCEビットを“1”に設定し, CBnRXレジスタをダミー・リードします。
3. 受信を開始する場合には, ダミー・リードが必要です。

#### (a) CBnSCEビットの使用方法

##### (i) シングル受信モード時

INTCBnR割り込み処理で最終データの受信が完了している場合は, CBnSCEビット = 0にしてから, CBnRXレジスタを読み出します。

最終データの受信完了後, 受信を禁止する場合は, CBnSTR.CBnTSFビットが“0”であることを確認したあと, CBnPWRビット = 0, CBnRXEビット = 0にします。続けて受信する場合は, CBnSCEビット = 1にして, CBnRXレジスタのダミー・リードにより次の受信動作を開始します。

## (ii) 連続受信モード時

最終受信1つ前の受信によるINTCBnR割り込み処理で最終データの受信中にCBnSCEビット = 0にしてから, CBnRXレジスタを読み出します。

最終受信のINTCBnR信号を受けて, CBnRXレジスタにより最終データを読み出します。

最終データの受信完了後, 受信を禁止する場合は, CBnSTR.CBnTSFビットが“0”であることを確認したあと, CBnPWRビット = 0, CBnRXEビット = 0にします。続けて受信する場合は, CBnSCEビット = 1にして, CBnRXレジスタのダミー・リードにより次の受信動作を開始します。

**注意** 連続受信の場合, ダミー・リードで受信を開始したあと, CBnSCEビット = 0設定時に実行中の受信が完了するまでシリアル・クロックは停止しません。

## (2) CSIBn制御レジスタ1 (CBnCTL1)

CSIBnのシリアル転送動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** CBnCTL1レジスタは, CBnCTL0.CBnPWRビット = 0の場合のみ書き換えが可能です。

( 1/2 )

リセット時 : 00H    R/W    アドレス : CB0CTL1 FFFFFFFD01H, CB1CTL1 FFFFFFFD11H,  
CB2CTL1 FFFFFFFD21H, CB3CTL1 FFFFFFFD31H,  
CB4CTL1 FFFFFFFD41H, CB5CTL1 FFFFFFFD51H

	7	6	5	4	3	2	1	0
CBnCTL1	0	0	0	CBnCKP	CBnDAP	CBnCKS2	CBnCKS1	CBnCKS0
(n = 0-5)								

	CBnCKP	CBnDAP	SCKBnに対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

CBnCKS2	CBnCKS1	CBnCKS0	通信クロック ( $f_{\text{CLK}}$ ) 注	モード
0	0	0	$f_{\text{XP}}/2$	マスタ・モード
0	0	1	$f_{\text{XP}}/4$	マスタ・モード
0	1	0	$f_{\text{XP}}/8$	マスタ・モード
0	1	1	$f_{\text{XP}}/16$	マスタ・モード
1	0	0	$f_{\text{XP}}/32$	マスタ・モード
1	0	1	$f_{\text{XP}}/64$	マスタ・モード
1	1	0	$f_{\text{BRGM}}$	マスタ・モード
1	1	1	外部クロック ( $\overline{\text{SCKBn}}$ )	スレーブ・モード

注 通信クロック ( $f_{\text{CLK}}$ ) は、8 MHz以下になるように設定してください。

備考1.  $n = 0, 1$ の場合,  $m = 1$

$n = 2, 3$ の場合,  $m = 2$

$n = 4, 5$ の場合,  $m = 3$

$f_{\text{BRGM}}$ についての詳細は17.8 **ポー・レート・ジェネレータ**を参照してください。

2.  $f_{\text{XP}}$ : 周辺クロック周波数 (プリスケラ1入力クロック周波数)

クロック・モード1のとき,  $f_{\text{XP}} = f_{\text{XX}}$

クロック・モード2のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (14.64 ~ 16 MHz)

クロック・モード3のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}$  (29.28 ~ 32 MHz)

クロック・モード4のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (20.88 ~ 24 MHz)

$f_{\text{XX}}$ : メイン・クロック周波数

$f_{\text{XMPLL}}$ : 周辺クロック用途PLL出力クロック周波数

## (3) CSIBn制御レジスタ2 (CBnCTL2)

CSIBnのシリアル転送ビット数を制御する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** CBnCTL2レジスタは、CBnCTL0.CBnPWRビット = 0、またはCBnTXE、CBnRXEビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CB0CTL2 FFFFFFFD02H, CB1CTL2 FFFFFFFD12H,  
CB2CTL2 FFFFFFFD22H, CB3CTL2 FFFFFFFD32H,  
CB4CTL2 FFFFFFFD42H, CB5CTL2 FFFFFFFD52H

	7	6	5	4	3	2	1	0
CBnCTL2 (n = 0-5)	0	0	0	0	CBnCL3	CBnCL2	CBnCL1	CBnCL0

CBnCL3	CBnCL2	CBnCL1	CBnCL0	シリアル・レジスタのビット長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	x	x	x	16ビット

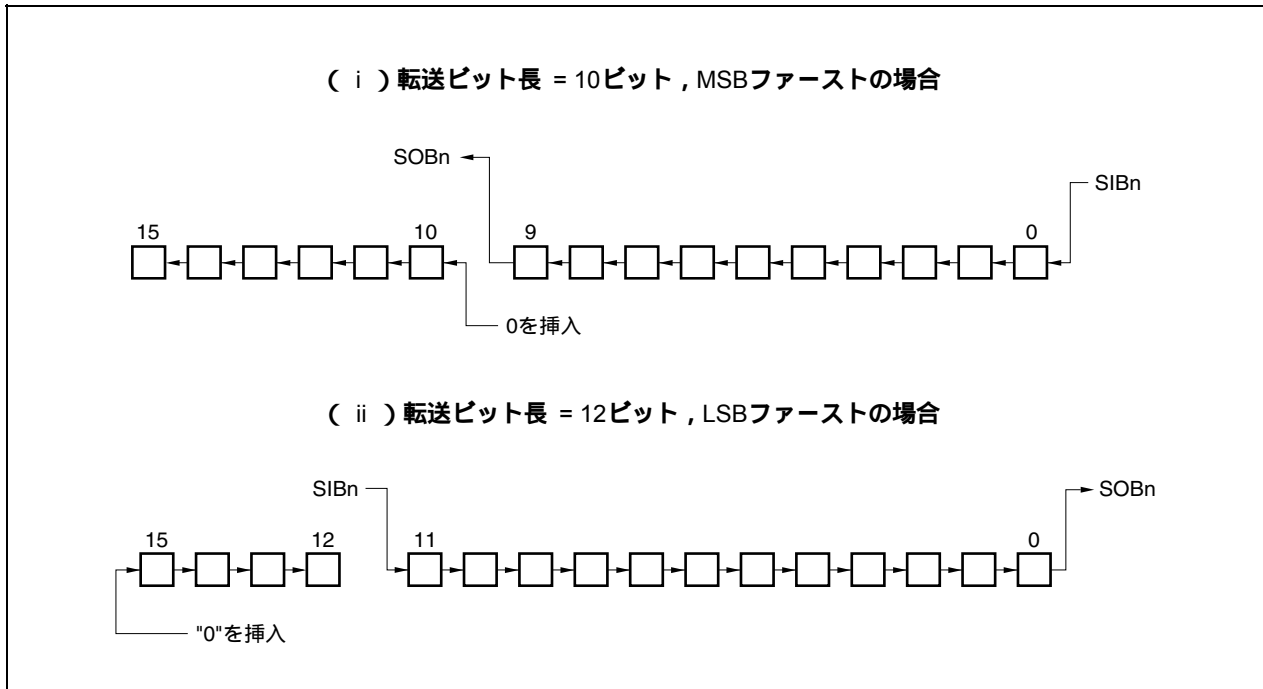
**備考1.** 転送ビット数が8/16ビットではない場合には、CBnTX、CBnRXレジスタの最下位ビットから詰めてデータを準備して使用してください。

2. x : don't care

## (a) 転送データ長変更機能

CSIBnの転送データ長はCBnCTL2.CBnCL3-CBnCL0ビットによって、8-16ビットに1ビット単位で設定可能です。

転送ビット長を16ビット以外に設定した場合、CBnTX, CBnRXレジスタへは、転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。



## (4) CSIBn状態レジスタ (CBnSTR)

CSIBnの状態をあらわす8ビットのレジスタです。

8/1ビット単位でリード/ライト可能ですが、CBnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に、CBnCTL0.CBnPWRビットをクリア (0) する場合も初期化されます。

リセット時 : 00H    R/W    アドレス : CB0STR FFFFFFFD03H, CB1STR FFFFFFFD13H,  
CB2STR FFFFFFFD23H, CB3STR FFFFFFFD33H,  
CB4STR FFFFFFFD43H, CB5STR FFFFFFFD53H

	⑦	6	5	4	3	2	1	①
CBnSTR (n = 0-5)	CBnTSF	0	0	0	0	0	0	CBnOVE

CBnTSF	通信状態フラグ
0	通信停止
1	通信中

・送信時にはCBnTXレジスタにデータを準備したタイミングでセットされます。  
受信時にはCBnRXレジスタをダミー・リードしたタイミングでセットされます。  
転送終了時、クロックの最後のエッジでクリア (0) されます。

CBnOVE	オーバラン・エラー・フラグ
0	オーバランなし
1	オーバランあり

・受信時もしくは受信動作完了後に、CBnRXレジスタの値をCPUリードせずに次の受信が開始した場合、オーバラン・エラーとなります。  
CBnOVEフラグは、このような場合のオーバラン・エラーの発生状態を示します。  
・シングル転送モード時もCBnOVEビットは有効です。そのため、送信のみで使用する場合は、次のように対応してください。  
  ・CBnOVEフラグのチェックを行わない。(推奨)  
  ・受信データを読み出す必要がない場合でも読み出す。  
・CBnOVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセットされません。

**注意** シングル転送モードでは、CBnTSFビット = 1の状態ではCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。

たとえば、INTCBnR信号発生によりDMAを起動し、CBnTXレジスタに次のデータを書き込んでも、CBnTSFビット = 1のため書き込んだデータの転送は行われません。

このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

## 17.5 割り込み要求信号

CSIBnからは次の2種類の割り込み要求信号を発生します。

- ・ 受信完了割り込み要求信号 (INTCBnR)
- ・ 送信許可割り込み要求信号 (INTCBnT)

これら2種類の割り込み要求信号のデフォルト優先順位は、受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表17-4 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

### (1) 受信完了割り込み要求信号 (INTCBnR)

受信許可状態中で、CBnRXレジスタに受信データが転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号は、オーバラン・エラーが起こった場合にも発生します。

受信完了割り込み要求信号を受け付け、データを読み出すときに、CBnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

また、シングル転送モード時は送信のみにおいても、送信完了のタイミングで、INTCBnR割り込み要求信号が発生します。

### (2) 送信許可割り込み要求信号 (INTCBnT)

連続送信 / 連続送受信モードにおいて、CBnTXレジスタから送信データが転送され、CBnTXへの書き込みが可能となった時点で送信許可割り込み要求信号を発生します。

シングル送信 / シングル送受信モードにおいては、INTCBnT割り込みは発生しません。

## 17.6 動作

### 17.6.1 シングル転送モード (マスタ・モード, 送信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック( $f_{\text{CLK}}$ ) =  $f_{\text{XP}}/2$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

**備考**  $f_{\text{XP}}$ : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき,  $f_{\text{XP}} = f_{\text{XX}}$

クロック・モード2のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (14.64 ~ 16 MHz)

クロック・モード3のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}$  (29.28 ~ 32 MHz)

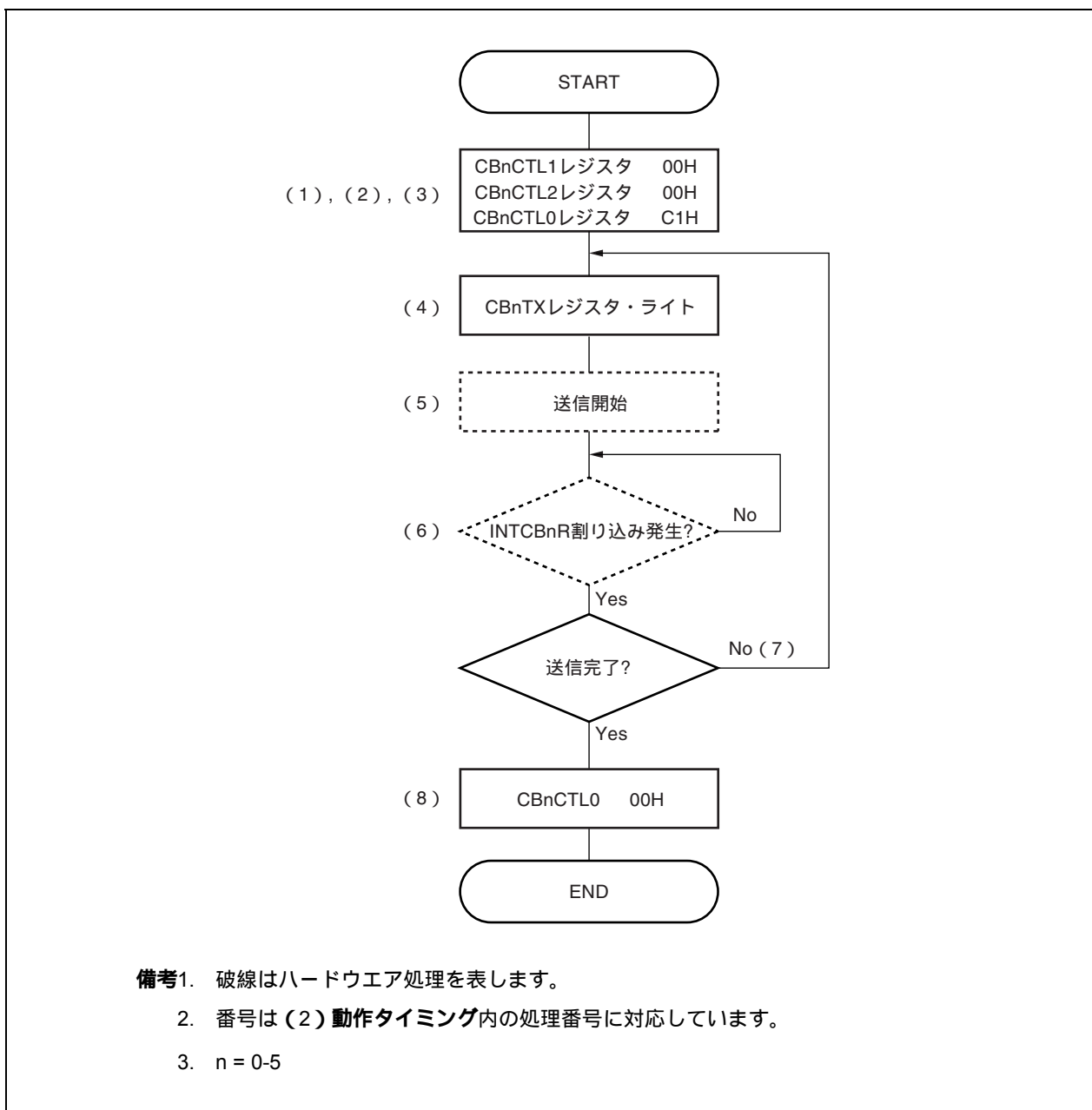
クロック・モード4のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (20.88 ~ 24 MHz)

$f_{\text{XX}}$  : メイン・クロック周波数

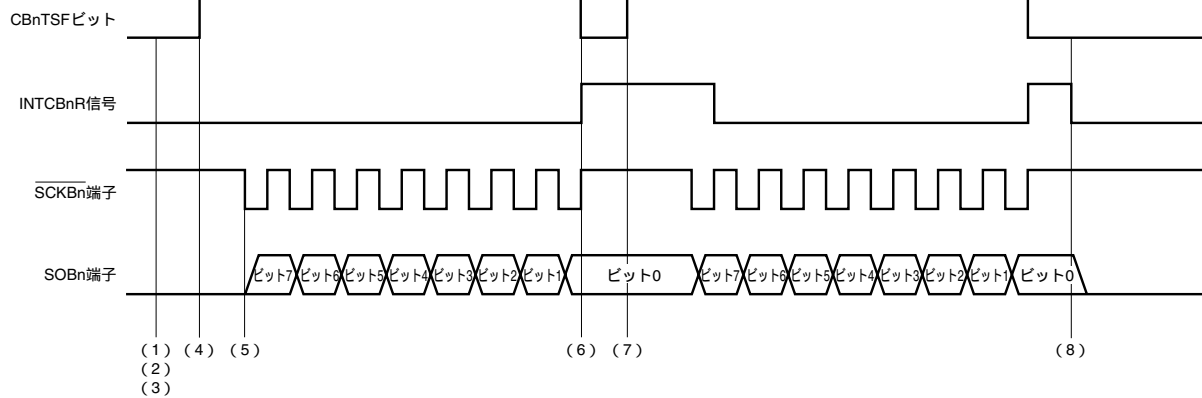
$f_{\text{XMPLL}}$  : 周辺クロック用途PLL出力クロック周波数



## (1) 動作フロー



## (2) 動作タイミング



- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CCLK}}$ ) =  $f_{\text{XP}}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC1Hをライトし、通信クロック ( $f_{\text{CCLK}}$ ) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット(1)され、送信を開始する。
- (5) 送信が開始されると、 $\overline{\text{SCKBn}}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnCTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの出力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットをクリア(0)する。
- (7) 続けて送信を行う場合は、INTCBnR信号発生後、再びCBnTXレジスタに送信データをライトすることで次の送信を開始する。
- (8) 送信を完了する場合は、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

備考1.  $n = 0-5$ 

2.  $f_{\text{XP}}$  : 周辺クロック周波数 (プリスケーラ1入力クロック周波数)  
 クロック・モード1のとき、 $f_{\text{XP}} = f_{\text{XX}}$   
 クロック・モード2のとき、 $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (14.64 ~ 16 MHz)  
 クロック・モード3のとき、 $f_{\text{XP}} = f_{\text{XMPLL}}$  (29.28 ~ 32 MHz)  
 クロック・モード4のとき、 $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (20.88 ~ 24 MHz)  
 $f_{\text{XX}}$  : メイン・クロック周波数  
 $f_{\text{XMPLL}}$  : 周辺クロック用途PLL出力クロック周波数

## 17.6.2 シングル転送モード (マスタ・モード, 受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック( $f_{\text{CLK}}$ ) =  $f_{\text{XP}}/2$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

**備考**  $f_{\text{XP}}$ : 周辺クロック周波数 (プリスケーラ1入力クロック周波数)

クロック・モード1のとき,  $f_{\text{XP}} = f_{\text{XX}}$

クロック・モード2のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (14.64 ~ 16 MHz)

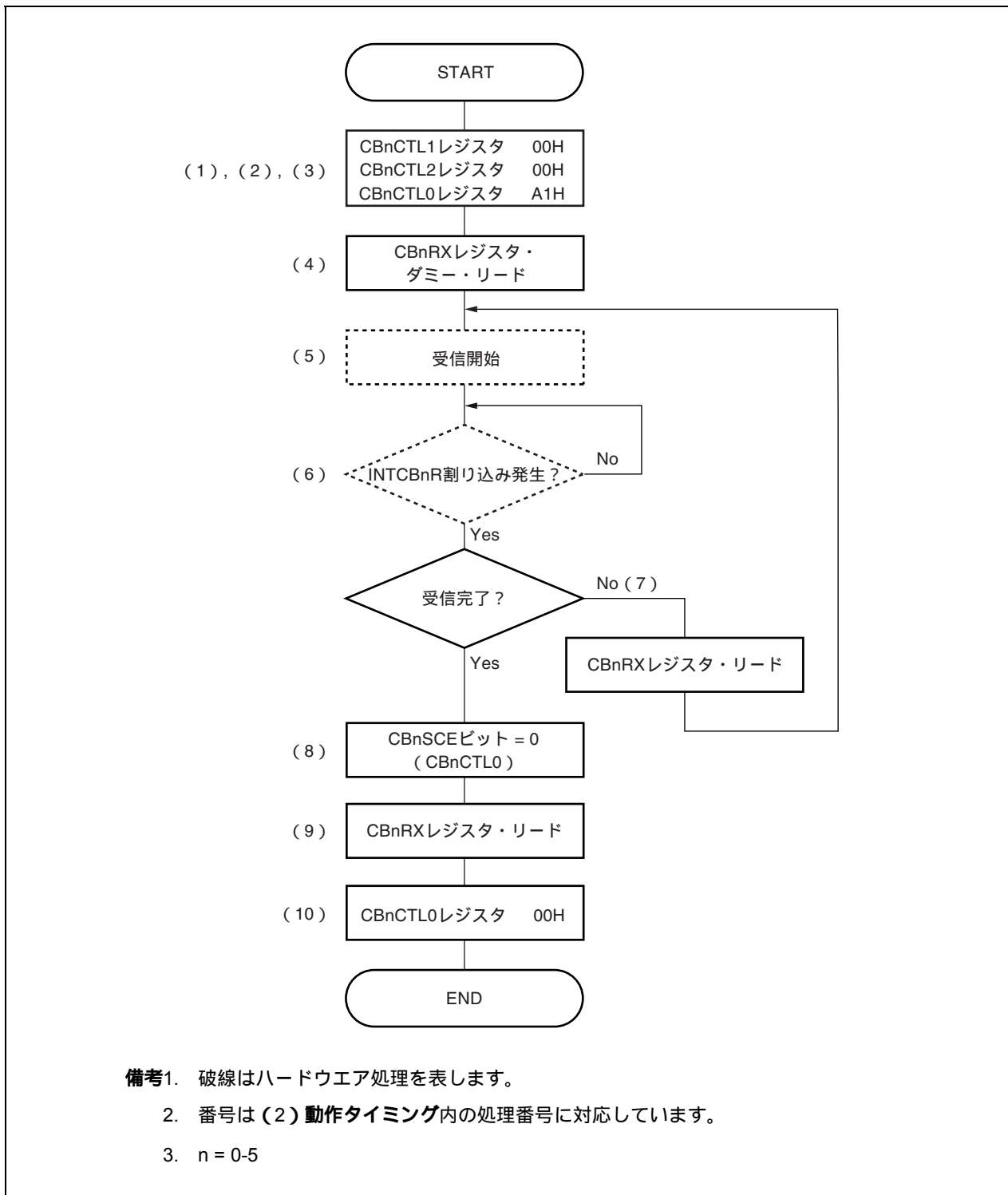
クロック・モード3のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}$  (29.28 ~ 32 MHz)

クロック・モード4のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (20.88 ~ 24 MHz)

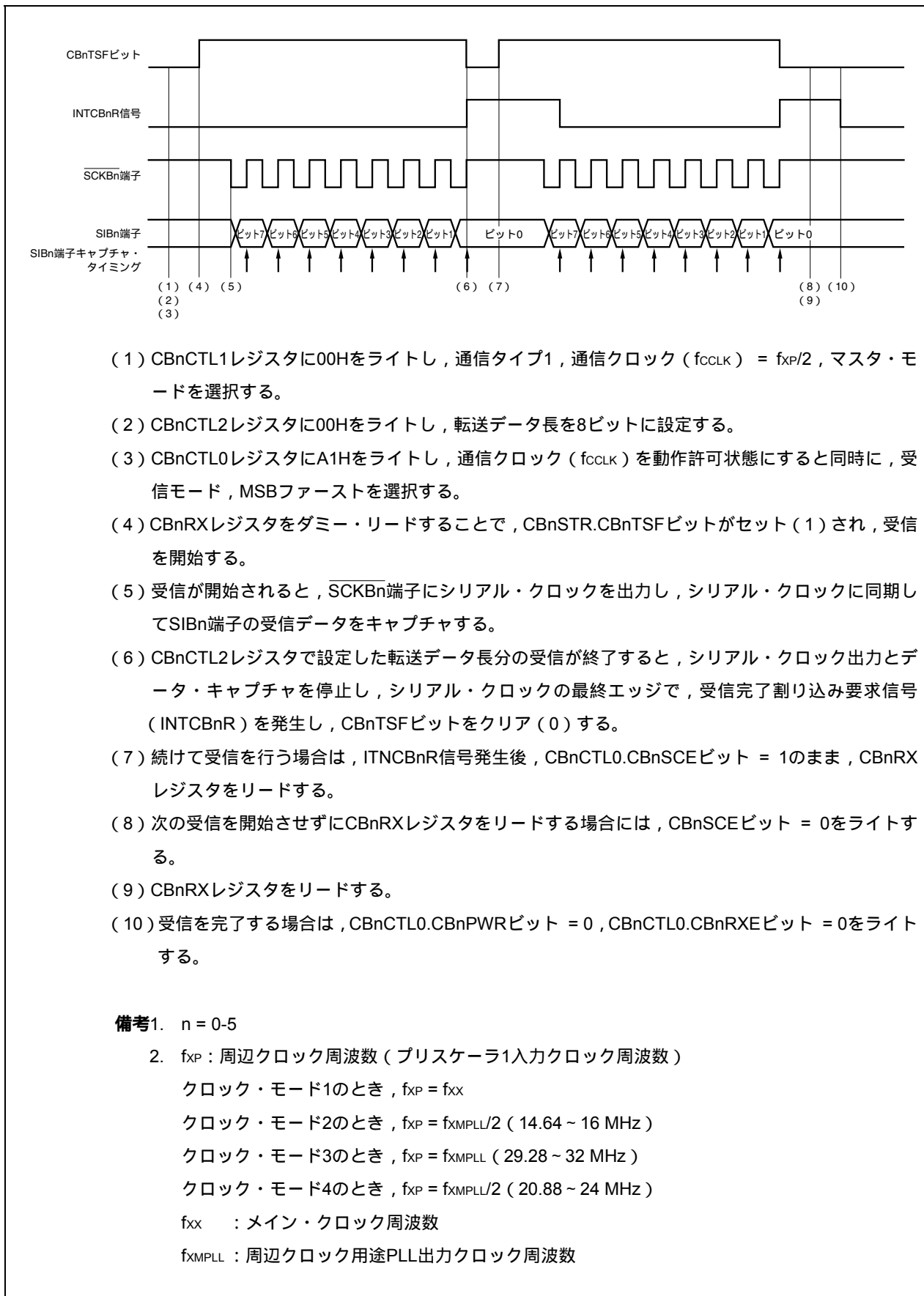
$f_{\text{XX}}$  : メイン・クロック周波数

$f_{\text{XMPLL}}$  : 周辺クロック用途PLL出力クロック周波数

## (1) 動作フロー



## (2) 動作タイミング



### 17.6.3 シングル転送モード (マスタ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック ( $f_{\text{CLK}}$ ) =  $f_{\text{XP}}/2$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

**備考**  $f_{\text{XP}}$ : 周辺クロック周波数 (プリスケーラ1入力クロック周波数)

クロック・モード1のとき,  $f_{\text{XP}} = f_{\text{XX}}$

クロック・モード2のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (14.64 ~ 16 MHz)

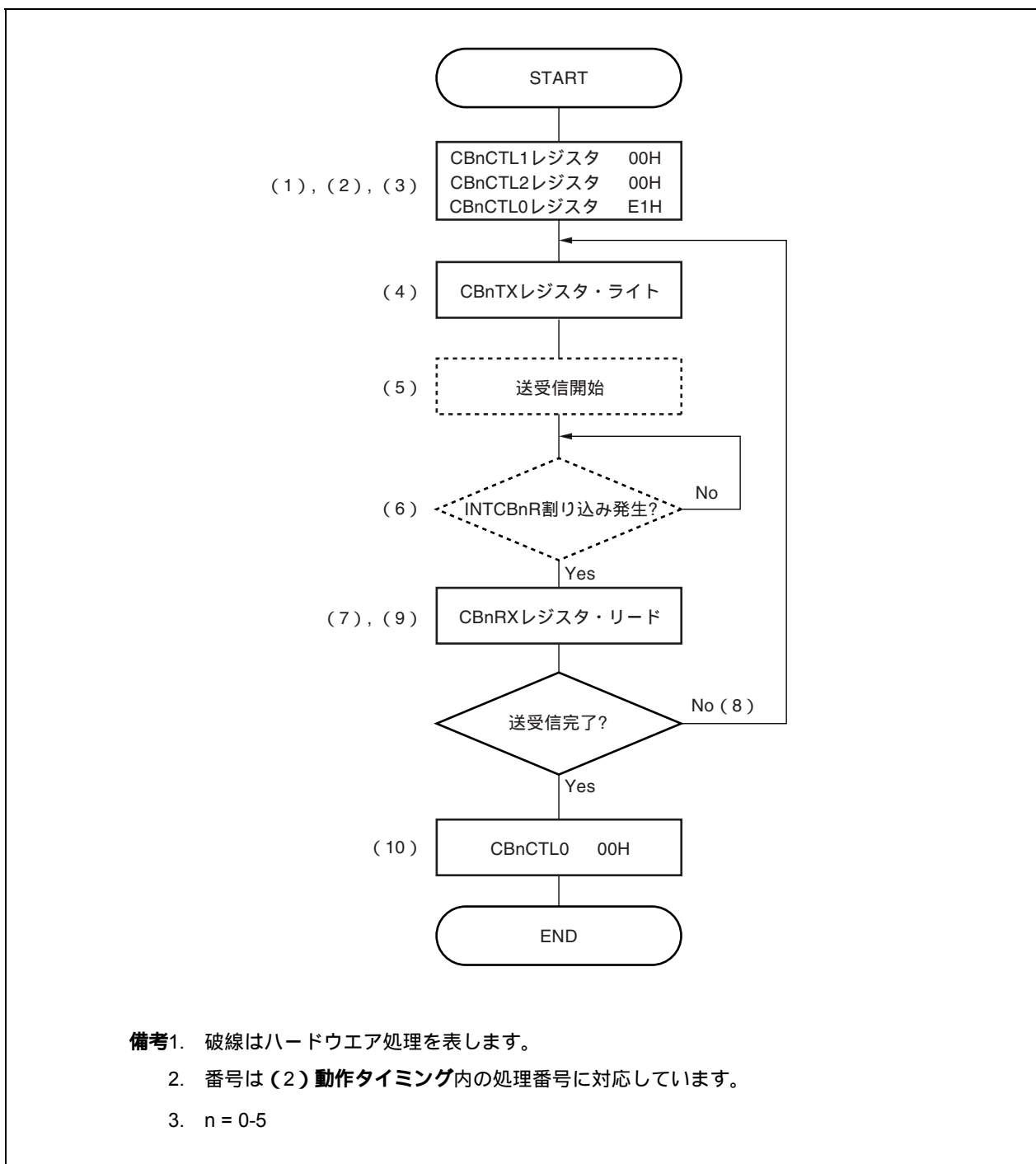
クロック・モード3のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}$  (29.28 ~ 32 MHz)

クロック・モード4のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (20.88 ~ 24 MHz)

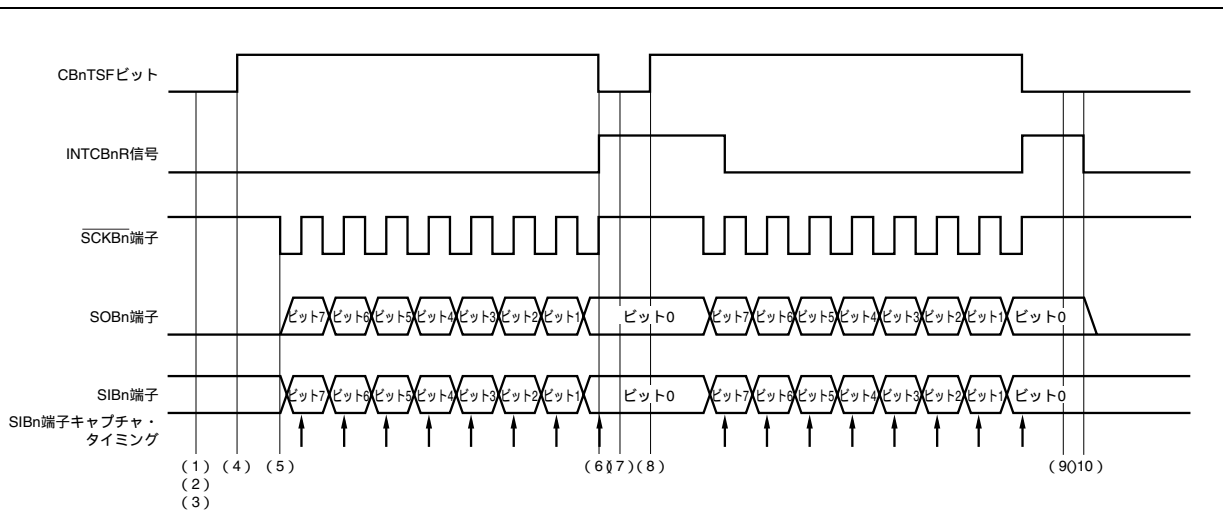
$f_{\text{XX}}$  : メイン・クロック周波数

$f_{\text{XMPLL}}$  : 周辺クロック用途PLL出力クロック周波数

## (1) 動作フロー



## (2) 動作タイミング



- (1) CbNCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ( $f_{CCLK}$ ) =  $f_{XP}/2$ 、マスタ・モードを選択する。
- (2) CbNCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CbNCTL0レジスタにE1Hをライトし、通信クロック ( $f_{CCLK}$ ) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CbNTXレジスタに送信データをライトすることで、CbNSTR.CbNtSFビットがセット (1) され、送受信を開始する。
- (5) 送受信が開始されると、 $\overline{SCKbN}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子に送信データを出力し、SIBn端子の受信データをキャプチャする。
- (6) CbNCTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの出力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCbNR) を発生し、CbNtSFビットをクリア (0) する。
- (7) CbNRXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再びCbNTXレジスタに送信データをライトする。
- (9) CbNRXレジスタをリードする。
- (10) 送受信を完了する場合は、CbNCTL0.CbNpwrビット = 0, CbNCTL0.CbNtXEビット = 0, CbNCTL0.CbNrxEビット = 0をライトする。

備考1.  $n = 0-5$ 

2.  $f_{XP}$ : 周辺クロック周波数 (プリスケラ1入力クロック周波数)

クロック・モード1のとき、 $f_{XP} = f_{XX}$

クロック・モード2のとき、 $f_{XP} = f_{XMPLL}/2$  (14.64 ~ 16 MHz)

クロック・モード3のとき、 $f_{XP} = f_{XMPLL}$  (29.28 ~ 32 MHz)

クロック・モード4のとき、 $f_{XP} = f_{XMPLL}/2$  (20.88 ~ 24 MHz)

$f_{XX}$  : メイン・クロック周波数

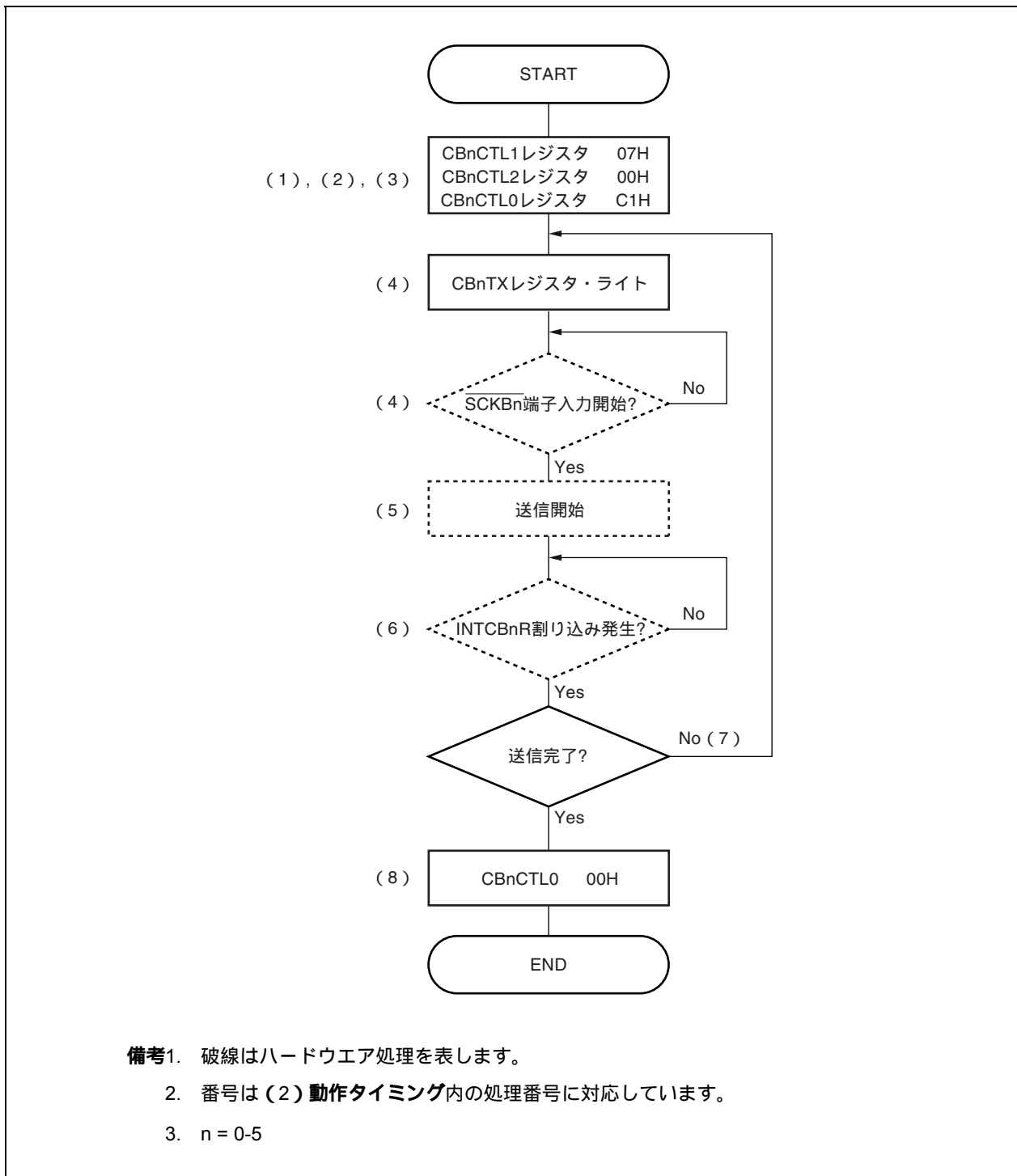
$f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数



### 17.6.4 シングル転送モード (スレーブ・モード, 送信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック( $f_{CLK}$ ) = 外部クロック( $SCKBn$ ) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

#### (1) 動作フロー

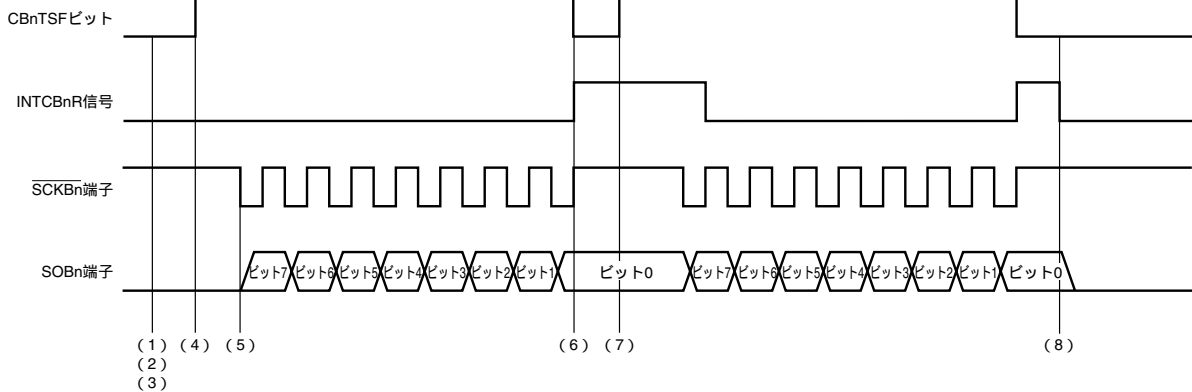


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3.  $n = 0-5$

## (2) 動作タイミング



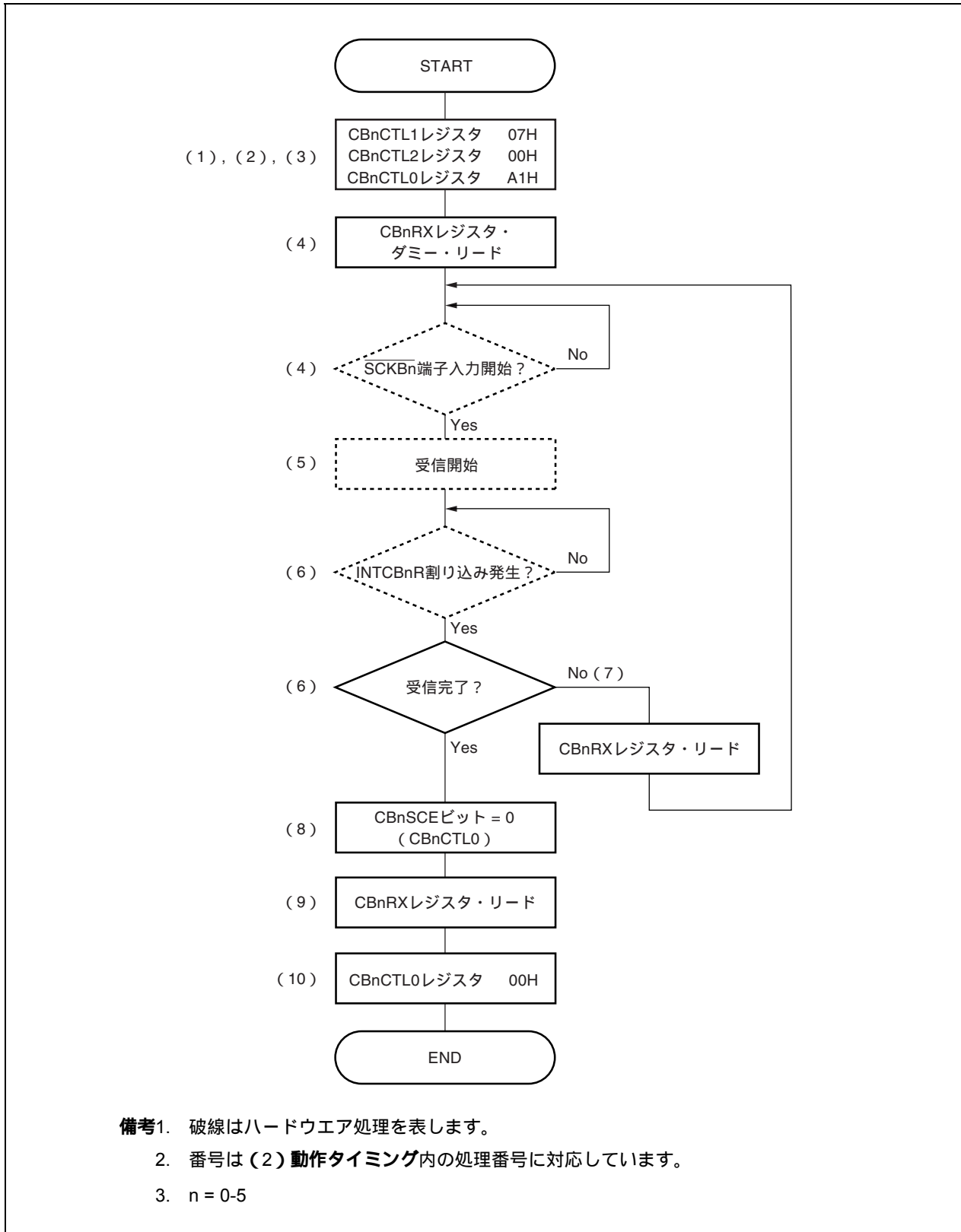
- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック ( $f_{CLK}$ ) = 外部クロック ( $SCKBn$ )、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC1Hをライトし、通信クロック ( $f_{CLK}$ ) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnCTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの入力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットをクリア (0) する。
- (7) 続けて送信を行う場合は、INTCBnR信号発生後、再びCBnTXレジスタに送信データをライトし、シリアル・クロックの入力を待つ。
- (8) 送信を完了する場合は、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

**備考** n = 0-5

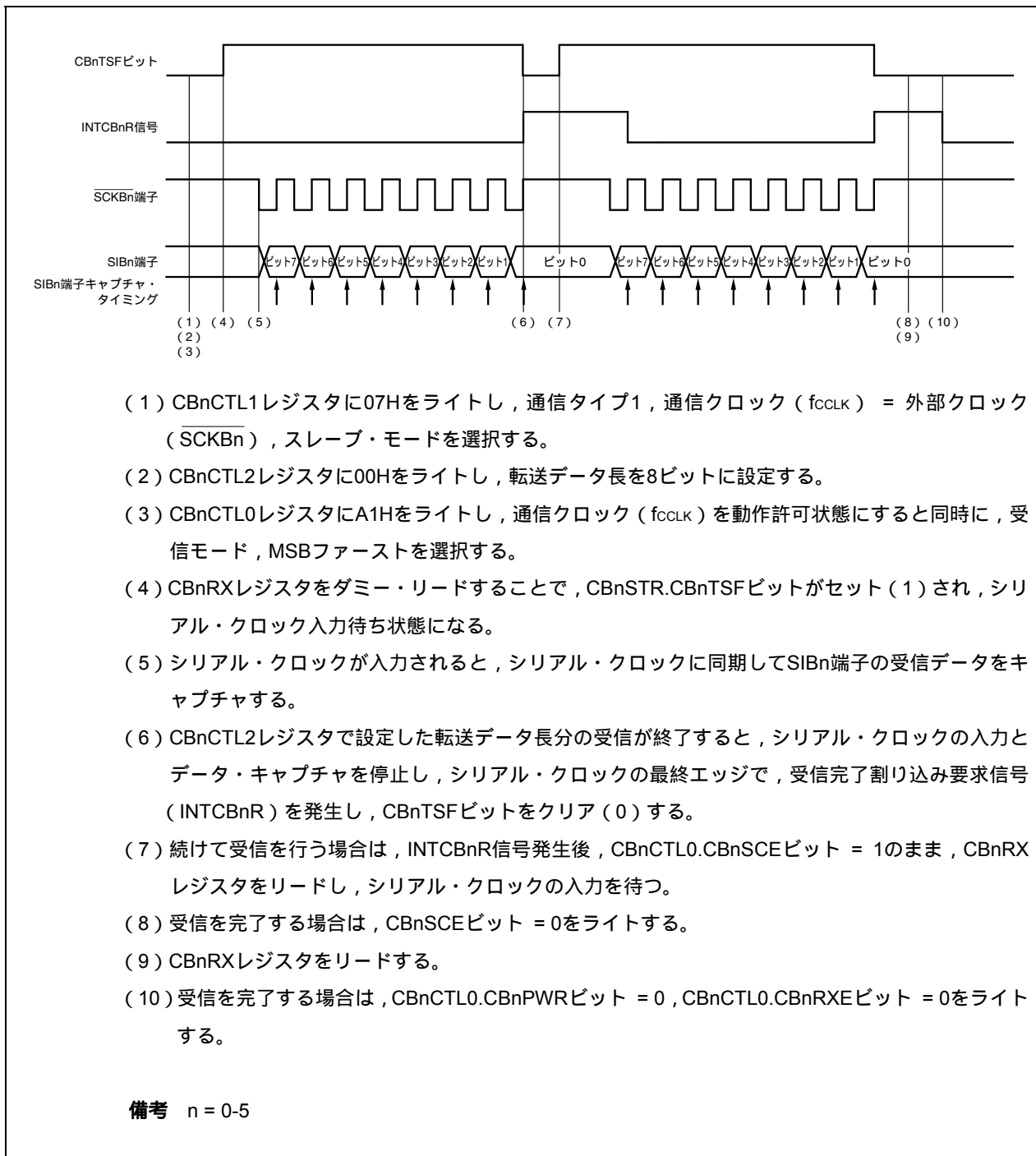
## 17.6.5 シングル転送モード (スレーブ・モード, 受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f<sub>CCLK</sub>) = 外部クロック(SCKBn) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

## (1) 動作フロー



## (2) 動作タイミング



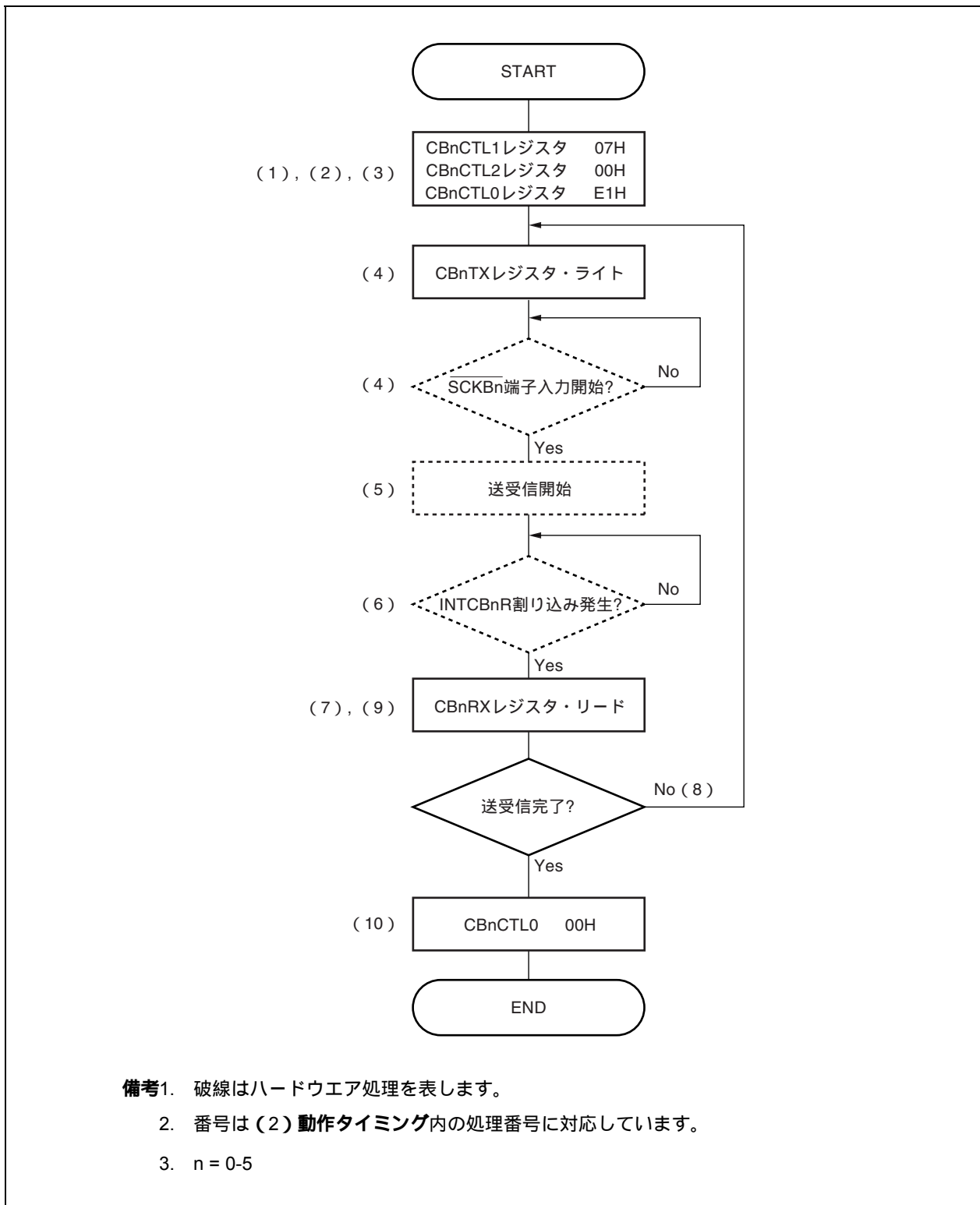
- (1) CbNCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック ( $f_{CLK}$ ) = 外部クロック ( $\overline{SCKbN}$ )、スレーブ・モードを選択する。
- (2) CbNCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CbNCTL0レジスタにA1Hをライトし、通信クロック ( $f_{CLK}$ ) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CbNRXレジスタをダミー・リードすることで、CbNSTR.CbNTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) CbNCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロックの入力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCbNR) を発生し、CbNTSFビットをクリア(0)する。
- (7) 続けて受信を行う場合は、INTCbNR信号発生後、CbNCTL0.CbNSCEビット = 1のまま、CbNRXレジスタをリードし、シリアル・クロックの入力を待つ。
- (8) 受信を完了する場合は、CbNSCEビット = 0をライトする。
- (9) CbNRXレジスタをリードする。
- (10) 受信を完了する場合は、CbNCTL0.CbNPWRビット = 0, CbNCTL0.CbNRXEビット = 0をライトする。

**備考** n = 0-5

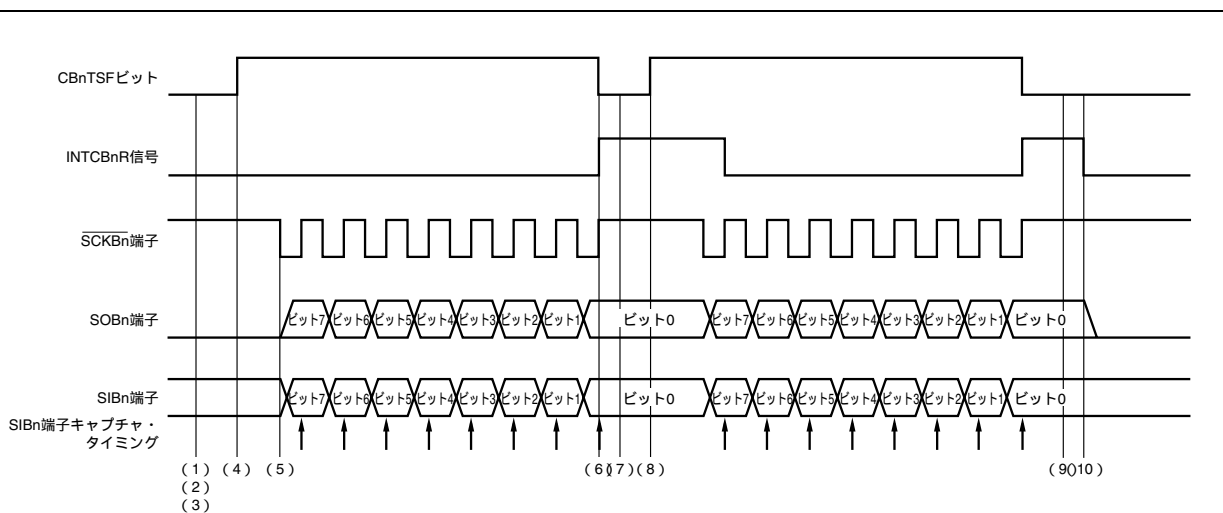
### 17.6.6 シングル転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック( $f_{CLK}$ ) = 外部クロック(SCKBn)(CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

#### (1) 動作フロー



## (2) 動作タイミング



- (1) CnCTL1レジスタに07Hをライトし, 通信タイプ1, 通信クロック ( $f_{CLK}$ ) = 外部クロック ( $\overline{SCKn}$ ), スレーブ・モードを選択する。
- (2) CnCTL2レジスタに00Hをライトし, 転送データ長を8ビットに設定する。
- (3) CnCTL0レジスタにE1Hをライトし, 通信クロック ( $f_{CLK}$ ) を動作許可状態にすると同時に, 送受信モード, MSBファーストを選択する。
- (4) CnTXレジスタに送信データをライトすることで, CnSTR.CnTnTSFビットがセット (1) され, シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると, シリアル・クロックに同期してSOBn端子に送信データを出し, SIBn端子の受信データをキャプチャする。
- (6) CnCTL2レジスタで設定した転送データ長分の送受信が終了すると, シリアル・クロックの入力, 送信データの出力, データ・キャプチャを停止し, シリアル・クロックの最終エッジで, 受信完了割り込み要求信号 (INTCnR) を発生し, CnTnTSFビットをクリア (0) する。
- (7) CnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は, 再びCnTXレジスタに送信データをライトし, シリアル・クロックの入力を待つ。
- (9) CnRXレジスタをリードする。
- (10) 送受信を完了する場合は, CnCTL0.CnPWRビット = 0, CnCTL0.CnTXEビット = 0, CnCTL0.CnRXEビット = 0をライトする。

**備考** n = 0-5

### 17.6.7 連続転送モード (マスタ・モード, 送信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック ( $f_{\text{CLK}}$ ) =  $f_{\text{XP}}/2$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

**備考**  $f_{\text{XP}}$ : 周辺クロック周波数 (プリスケーラ1入力クロック周波数)

クロック・モード1のとき,  $f_{\text{XP}} = f_{\text{XX}}$

クロック・モード2のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (14.64 ~ 16 MHz)

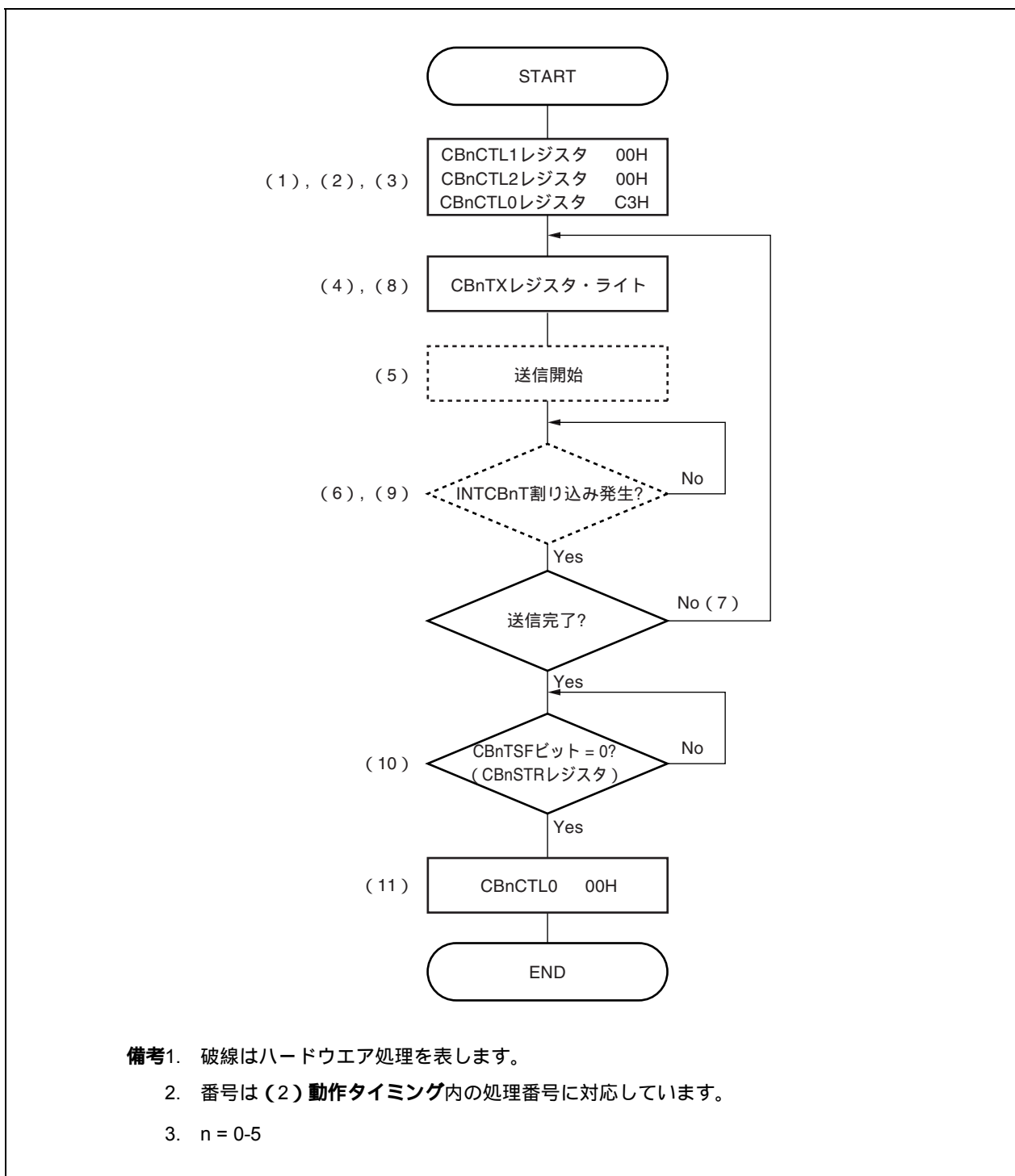
クロック・モード3のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}$  (29.28 ~ 32 MHz)

クロック・モード4のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (20.88 ~ 24 MHz)

$f_{\text{XX}}$  : メイン・クロック周波数

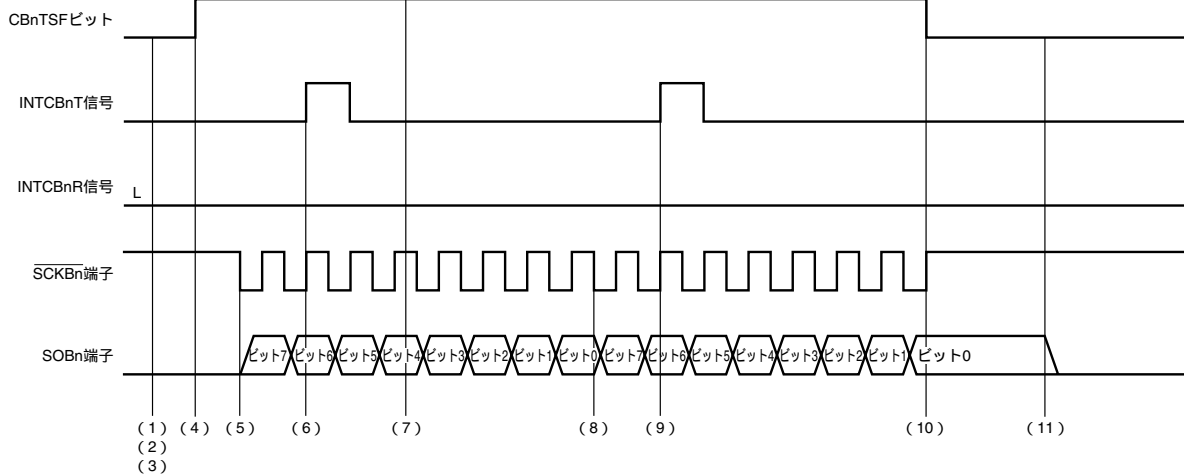
$f_{\text{XMPLL}}$  : 周辺クロック用途PLL出力クロック周波数

## (1) 動作フロー





## (2) 動作タイミング



- (1) CbNCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CLK}}$ ) =  $f_{\text{XP}}/2$ 、マスタ・モードを選択する。
- (2) CbNCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CbNCTL0レジスタにC3Hをライトし、通信クロック ( $f_{\text{CLK}}$ ) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CbNTXレジスタに送信データをライトすることで、CbNSTR.CbNtSFビットがセット (1) され、送信を開始する。
- (5) 送信が開始されると、 $\overline{\text{SCKbN}}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CbNTXレジスタからシフト・レジスタへの送信データの転送が完了し、CbNTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCbNt) が発生する。
- (7) 続けて送信を行う場合は、INTCbNt信号発生後、再びCbNTXレジスタに送信データをライトする。
- (8) 通信完了前に新たな送信データがCbNTXレジスタへライトされていると、通信完了後に続けて次の通信を開始する。
- (9) CbNTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCbNt信号が発生する。現送信で連続送信を完了する場合は、CbNTXレジスタへのライトを行わない。
- (10) 転送完了までに次の送信データがCbNTXレジスタへライトされない場合は、転送完了後、 $\overline{\text{SCKbN}}$ 端子へのシリアル・クロックの出力を停止し、CbNtSFビットをクリア (0) する。
- (11) 送信許可状態を解除する場合は、CbNtSFビット = 0を確認後、CbNCTL0.CbNPWRビット = 0、CbNCTL0.CbNTXEビット = 0をライトする。

**注意** 連続送信モードでは、受信完了割り込み要求信号 (INTCbNr) は発生しません。

**備考1.**  $n = 0-5$

2.  $f_{\text{XP}}$ : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)
    - クロック・モード1のとき、 $f_{\text{XP}} = f_{\text{XX}}$
    - クロック・モード2のとき、 $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (14.64 ~ 16 MHz)
    - クロック・モード3のとき、 $f_{\text{XP}} = f_{\text{XMPLL}}$  (29.28 ~ 32 MHz)
    - クロック・モード4のとき、 $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (20.88 ~ 24 MHz)
- $f_{\text{XX}}$  : メイン・クロック周波数  
 $f_{\text{XMPLL}}$  : 周辺クロック用途PLL出力クロック周波数

### 17.6.8 連続転送モード (マスタ・モード, 受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック ( $f_{\text{CLK}}$ ) =  $f_{\text{XP}}/2$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

**備考**  $f_{\text{XP}}$ : 周辺クロック周波数 (プリスケーラ1入力クロック周波数)

クロック・モード1のとき,  $f_{\text{XP}} = f_{\text{XX}}$

クロック・モード2のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (14.64 ~ 16 MHz)

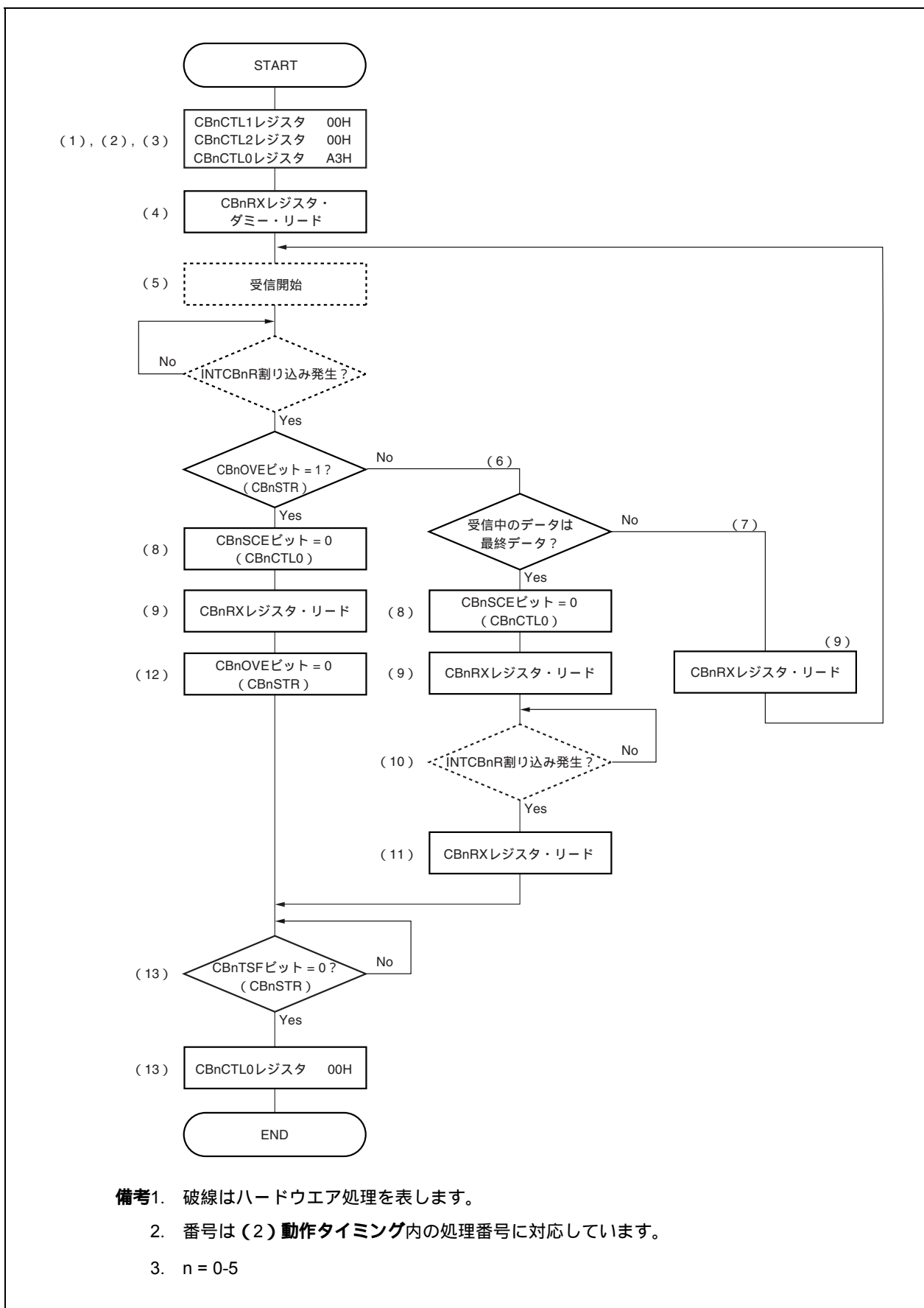
クロック・モード3のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}$  (29.28 ~ 32 MHz)

クロック・モード4のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (20.88 ~ 24 MHz)

$f_{\text{XX}}$  : メイン・クロック周波数

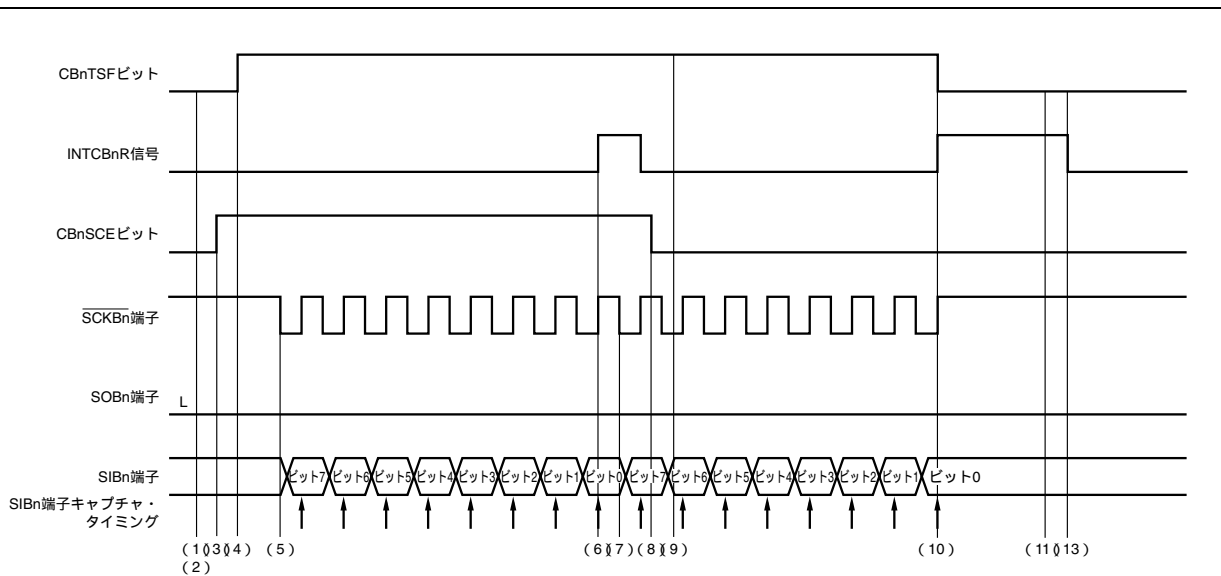
$f_{\text{XMPLL}}$  : 周辺クロック用途PLL出力クロック周波数

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。  
 2. 番号は (2) 動作タイミング内の処理番号に対応しています。  
 3. n = 0-5

## (2) 動作タイミング



- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CCLK}}$ ) =  $f_{\text{XP}}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA3Hをライトし、通信クロック ( $f_{\text{CCLK}}$ ) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSFビットがセット(1)され、受信を開始する。
- (5) 受信が開始されると、 $\overline{\text{SCKBn}}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が完了すると、受信完了割り込み要求信号 (INTCBnR) が発生し、CBnRXレジスタのリードが可能になる。
- (7) 通信完了時にCBnCTL0.CBnSCEビット = 1だと、通信完了後に続けて次の通信を開始する。
- (8) 現受信で連続受信を完了する場合は、CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信が完了すると、INTCBnR信号が発生し、CBnRXレジスタのリードが可能になる。通信完了前にCBnSCEビット = 0に設定されていると、 $\overline{\text{SCKBn}}$ 端子へのシリアル・クロックの出力を停止し、CBnTSFビットをクリア(0)し受信動作を終了する。
- (11) CBnRXレジスタをリードする。
- (12) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnRXEビット = 0をライトする。

備考1.  $n = 0-5$ 

2.  $f_{\text{XP}}$ : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき、 $f_{\text{XP}} = f_{\text{XX}}$

クロック・モード2のとき、 $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (14.64 ~ 16 MHz)

クロック・モード3のとき、 $f_{\text{XP}} = f_{\text{XMPLL}}$  (29.28 ~ 32 MHz)

クロック・モード4のとき、 $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (20.88 ~ 24 MHz)

$f_{\text{XX}}$  : メイン・クロック周波数

$f_{\text{XMPLL}}$  : 周辺クロック用途PLL出力クロック周波数

### 17.6.9 連続転送モード (マスタ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック ( $f_{\text{CLK}}$ ) =  $f_{\text{XP}}/2$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

**備考**  $f_{\text{XP}}$ : 周辺クロック周波数 (プリスケーラ1入力クロック周波数)

クロック・モード1のとき,  $f_{\text{XP}} = f_{\text{XX}}$

クロック・モード2のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (14.64 ~ 16 MHz)

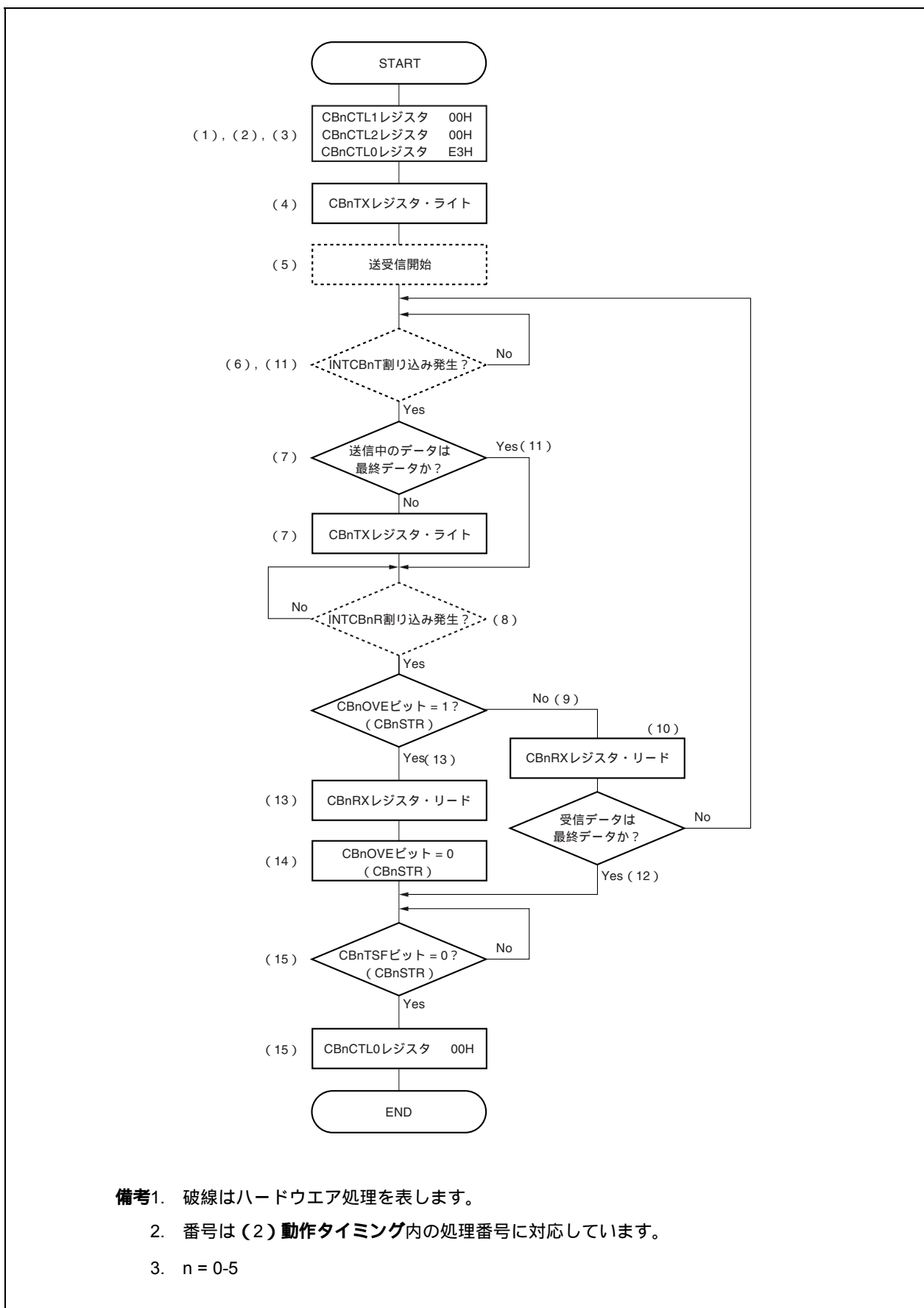
クロック・モード3のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}$  (29.28 ~ 32 MHz)

クロック・モード4のとき,  $f_{\text{XP}} = f_{\text{XMPLL}}/2$  (20.88 ~ 24 MHz)

$f_{\text{XX}}$  : メイン・クロック周波数

$f_{\text{XMPLL}}$  : 周辺クロック用途PLL出力クロック周波数

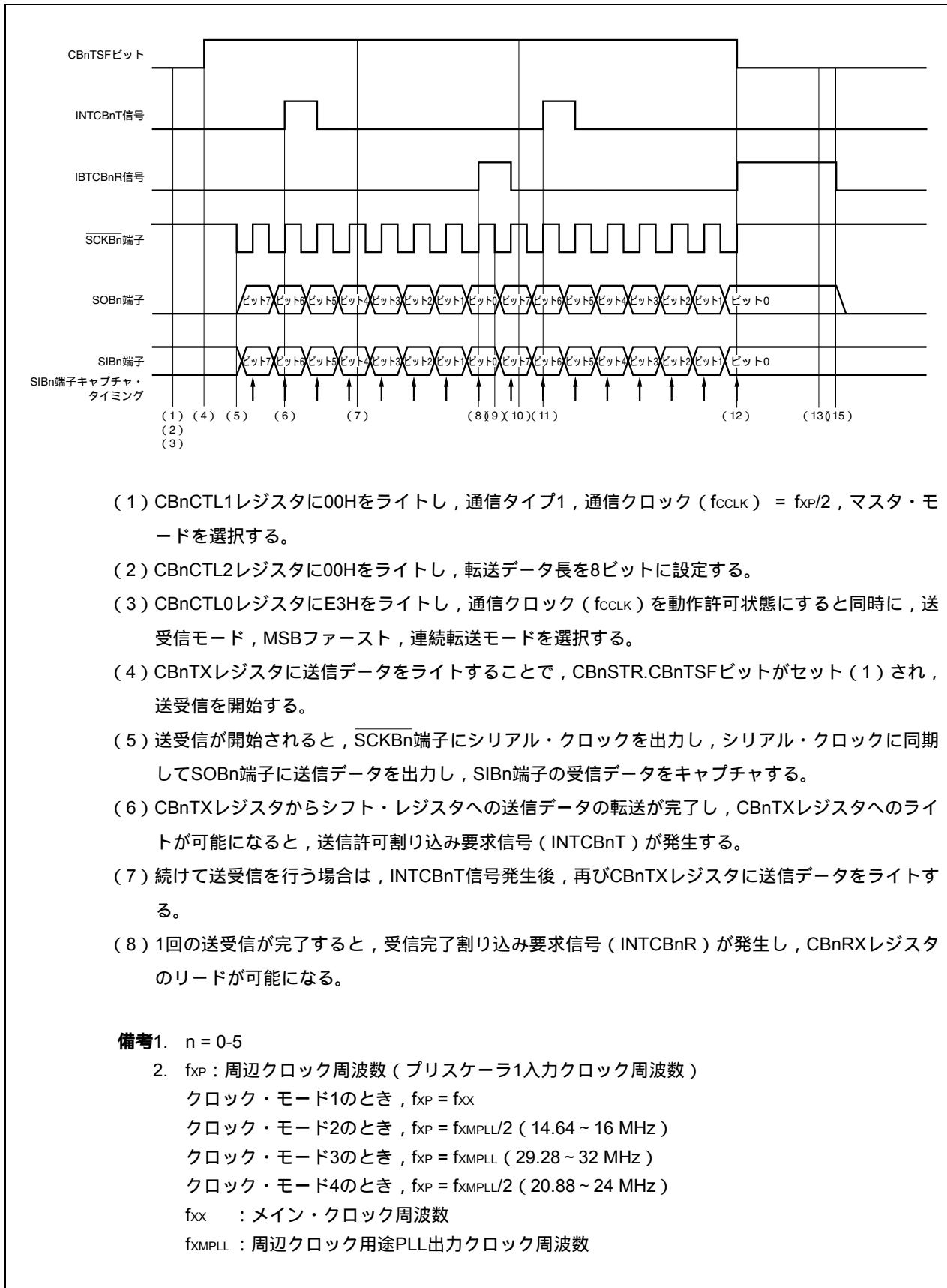
(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
- 2. 番号は(2)動作タイミング内の処理番号に対応しています。
- 3. n = 0-5

## (2) 動作タイミング

(1/2)



(2/2)

- (9) 通信完了前に新たな送信データがCBnTXレジスタへライトされていると、通信完了後に続けて次の通信を開始する。
- (10) CBnRXレジスタをリードする。
- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCBnT信号が発生する。現送受信で連続送受信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (12) 転送完了までに次の送信データがCBnTXレジスタへライトされない場合は、転送完了後、 $\overline{SCKBn}$ 端子へのシリアル・クロックの出力を停止し、CBnTSFビットをクリア(0)する。
- (13) 受信エラー割り込み要求信号(INTCBnR)発生時は、CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

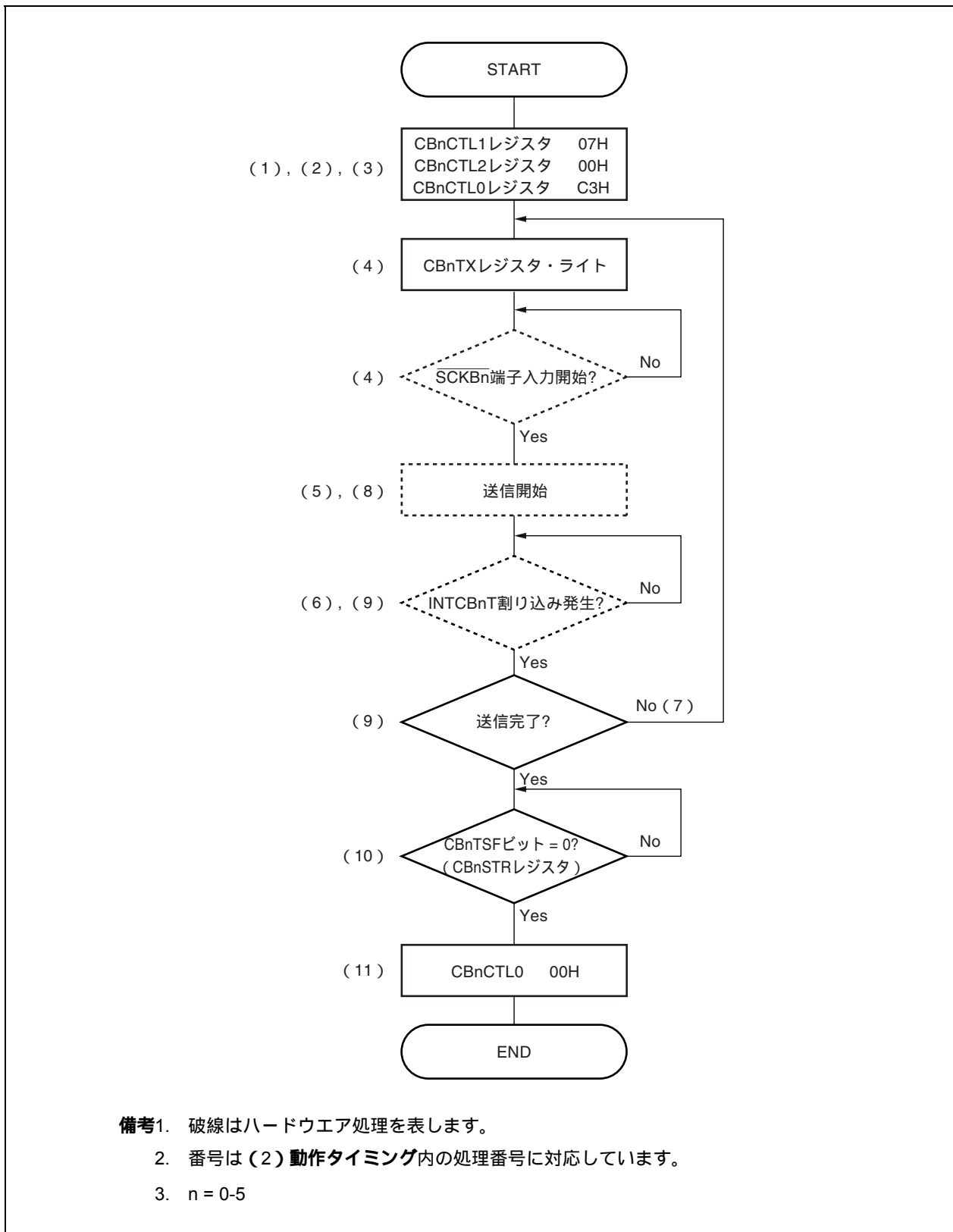
**備考** n = 0-5



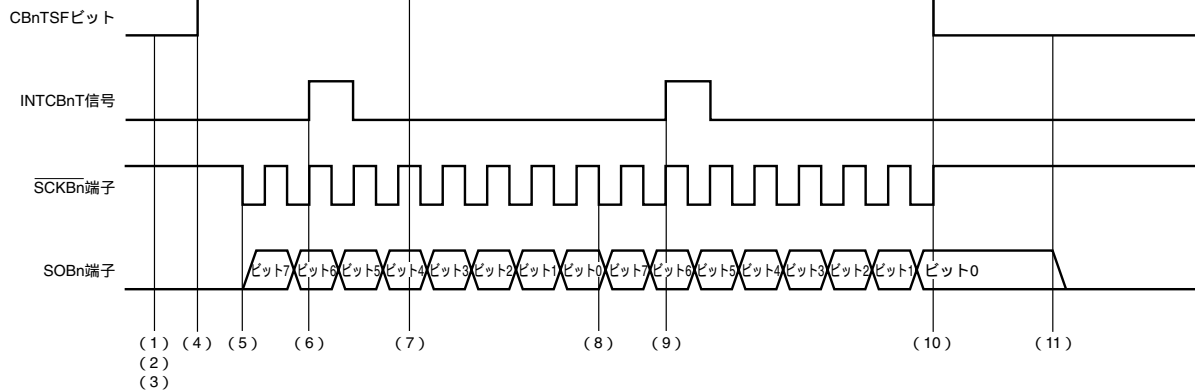
## 17. 6. 10 連続転送モード (スレーブ・モード, 送信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f<sub>CCLK</sub>) = 外部クロック ( $\overline{\text{SCKBn}}$ ) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

## (1) 動作フロー



## (2) 動作タイミング



- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CLK}}$ ) = 外部クロック ( $\overline{\text{SCKBn}}$ )、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし、通信クロック ( $f_{\text{CLK}}$ ) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の送信が完了後に続けてシリアル・クロックが入力されると、連続送信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送信で連続送信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (10) CBnTXレジスタへライトされていない状態で、CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると、CBnTSFビットをクリア (0) し、送信を終了する。
- (11) 送信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

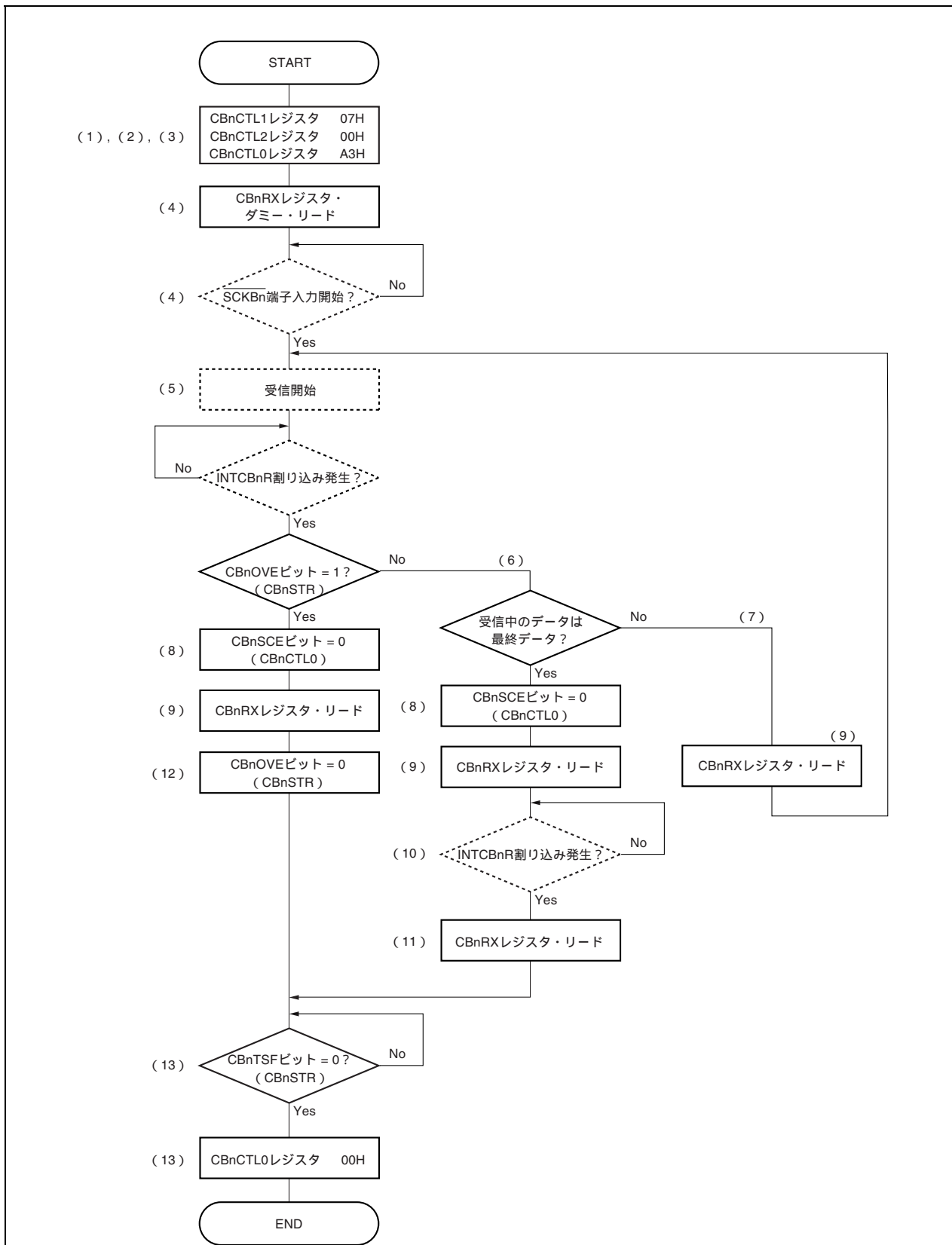
**注意** 連続送信モードでは、受信完了割り込み要求信号 (INTCBnR) は発生しません。

**備考** n = 0-5

### 17. 6. 11 連続転送モード (スレーブ・モード, 受信モード)

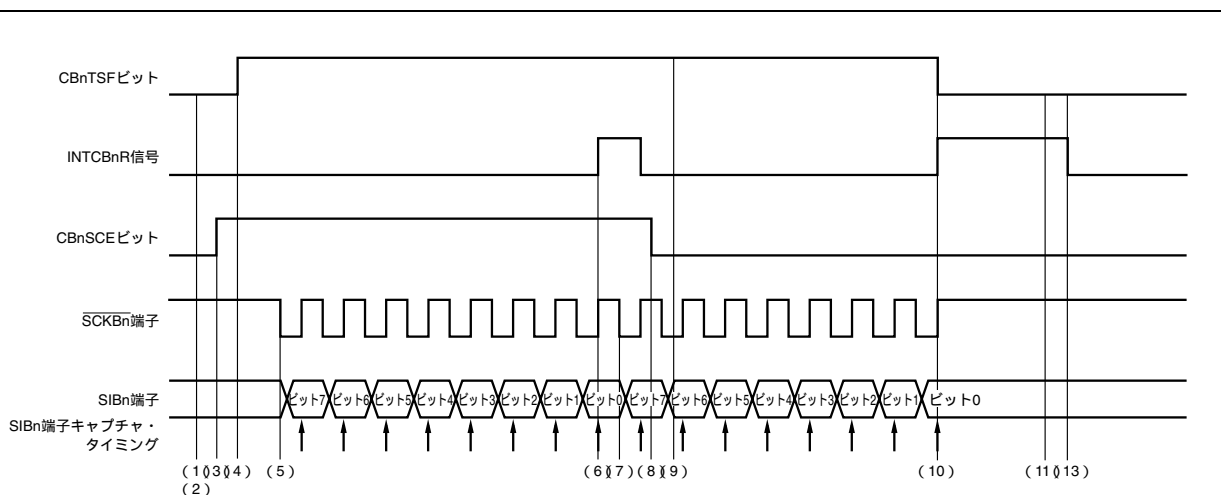
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック( $f_{\text{CLK}}$ ) = 外部クロック( $\overline{\text{SCKBn}}$ ) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
  3. n = 0-5

## (2) 動作タイミング



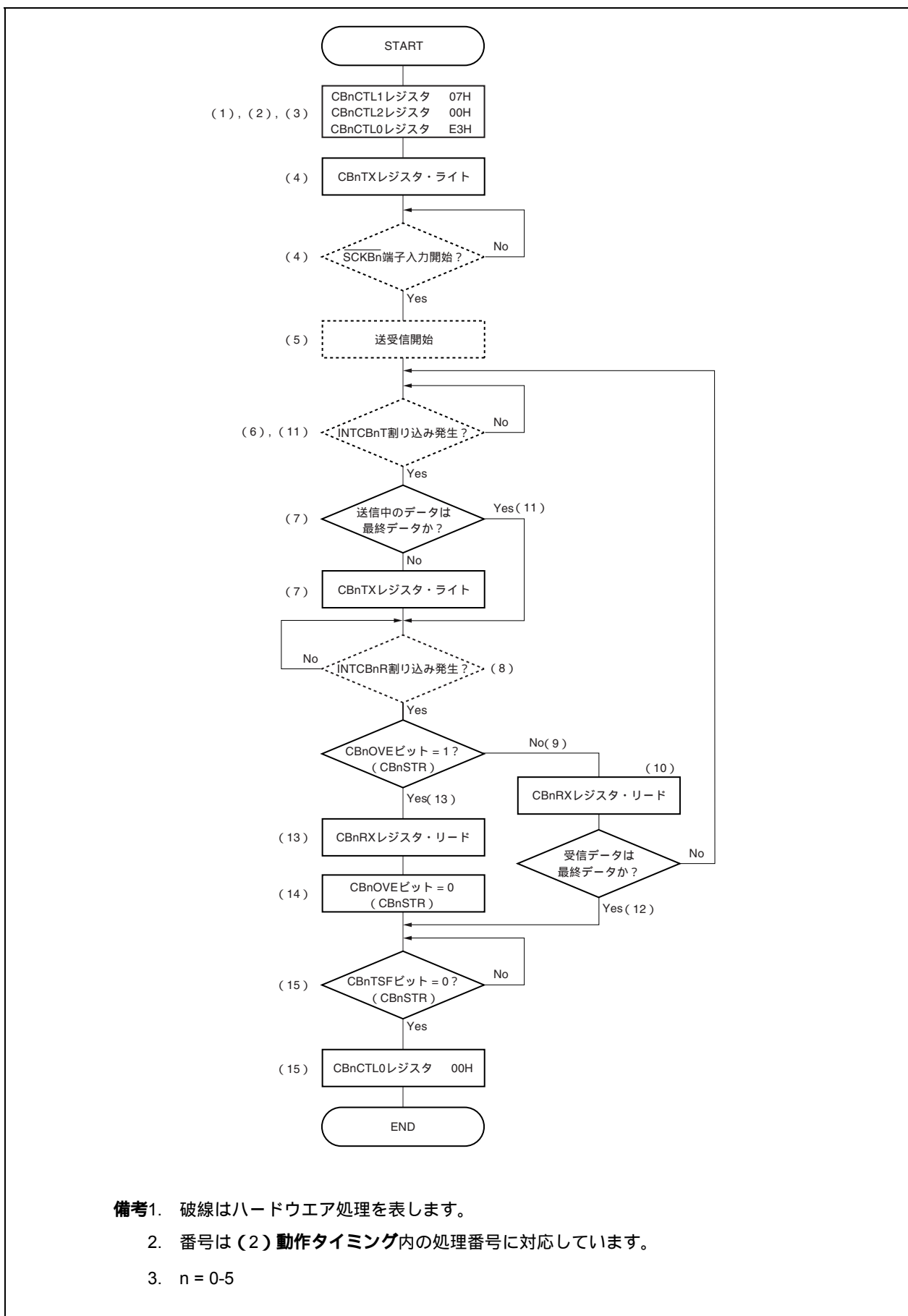
- (1) CbNCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CLK}}$ ) = 外部クロック ( $\overline{\text{SCKbN}}$ )、スレーブ・モードを選択する。
- (2) CbNCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CbNCTL0レジスタにA3Hをライトし、通信クロック ( $f_{\text{CLK}}$ ) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CbNRXレジスタをダミー・リードすることで、CbNSTR.CbNtSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が完了すると、受信完了割り込み要求信号 (INTCbNR) が発生し、CbNRXレジスタのリードが可能になる。
- (7) CbNCTL0.CbNSCEビット = 1状態でシリアル・クロックが入力されると、連続して受信動作を開始する。
- (8) 現受信で連続受信を完了する場合は、CbNSCEビット = 0をライトする。
- (9) CbNRXレジスタをリードする。
- (10) 受信が完了すると、INTCbNR信号が発生し、CbNRXレジスタのリードが可能になる。通信完了前にCbNSCEビット = 0に設定されていると、CbNtSFビットをクリア(0)し受信動作を終了する。
- (11) CbNRXレジスタをリードする。
- (12) オーバーラン・エラー発生時は、CbNSTR.CbNOVEビット = 0をライトして、エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は、CbNtSFビット = 0を確認後、CbNCTL0.CbNPWRビット = 0、CbNCTL0.CbNRXEビット = 0をライトする。

**備考** n = 0-5

### 17. 6. 12 連続転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック( $f_{\text{CLK}}$ ) = 外部クロック( $\overline{\text{SCKBn}}$ ) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

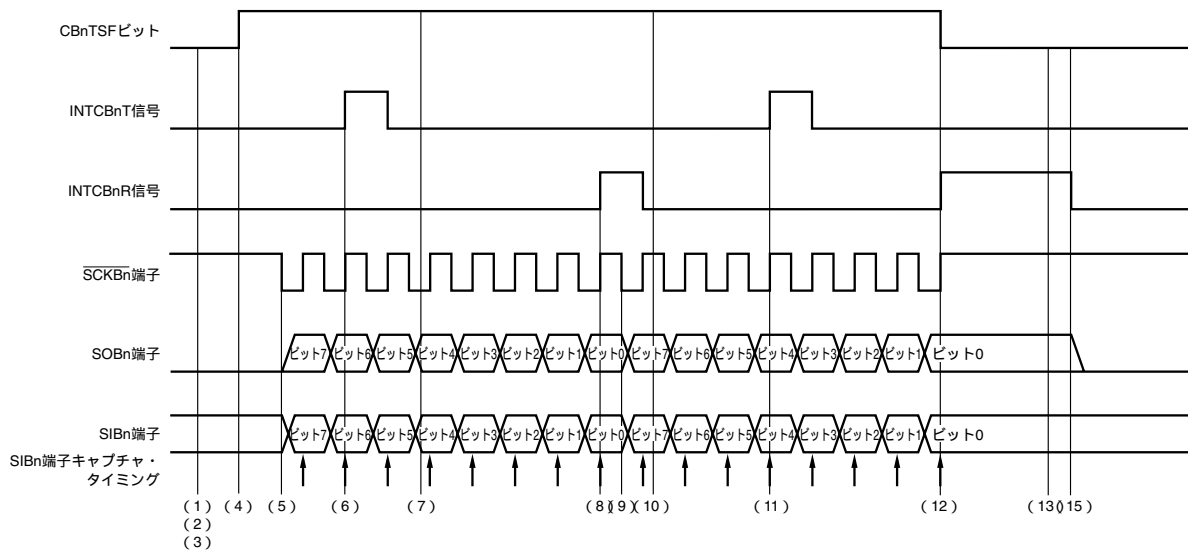
(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
- 2. 番号は(2)動作タイミング内の処理番号に対応しています。
- 3. n = 0-5

## (2) 動作タイミング

(1/2)



- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CLK}}$ ) = 外部クロック (SCKBn)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE3Hをライトし、通信クロック ( $f_{\text{CLK}}$ ) を動作許可状態にすると同時に、送受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子に送信データを出し、SIBn端子の受信データをキャプチャする。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の受信が終了すると、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnRXレジスタのリードが可能になる。
- (9) 続けてシリアル・クロックが入力されると、連続送受信を開始する。
- (10) CBnRXレジスタをリードする。
- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送受信で連続送受信を完了する場合は、CBnTXレジスタへのライトを行わない。

備考 n = 0-5



(2/2)

- (12) CBnTXレジスタへライトされていない状態で、CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると、INTCBnR信号が発生し、CBnTSFビットをクリア(0)し、送受信を終了する。
- (13) INTCBnR信号発生時は、CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

**備考** n = 0-5

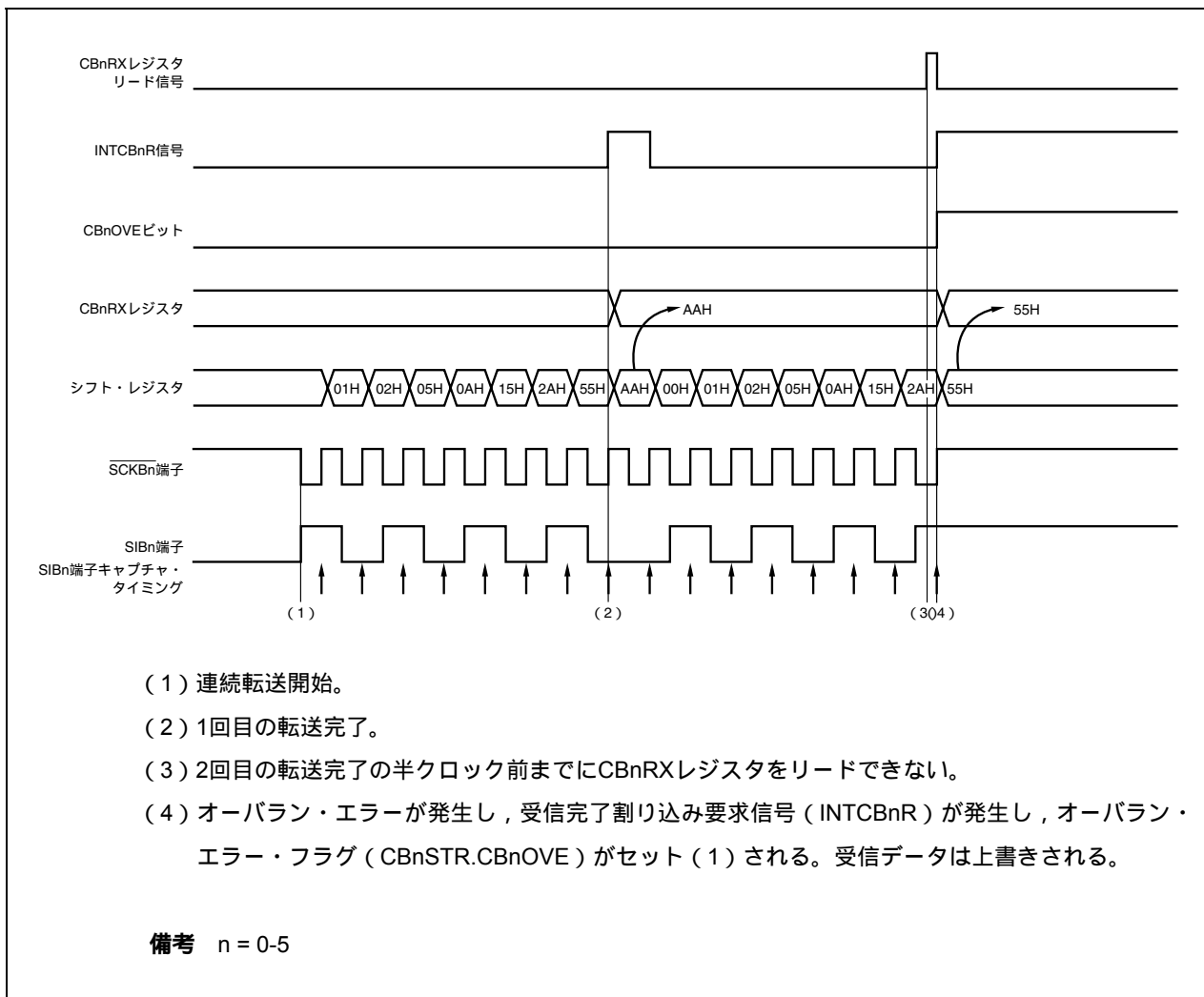
### 17.6.13 受信エラー

連続転送モード時に受信許可 (CBnCTL0.CBnRXEビット = 1) で転送を行う場合、受信完了割り込み要求信号 (INTCBnR) 発生後、CBnRXレジスタをリードする前に次の受信動作が完了すると再度INTCBnR信号が発生し、オーバラン・エラー・フラグ (CBnSTR.CBnOVE) がセット (1) されます。

オーバラン・エラーが発生した場合でも、CBnRXレジスタは更新されるため、前回の受信データは失われます。また、受信エラーが発生した場合でもCBnRXレジスタをリードしないと、次の受信完了で再びINTCBnR信号が発生します。

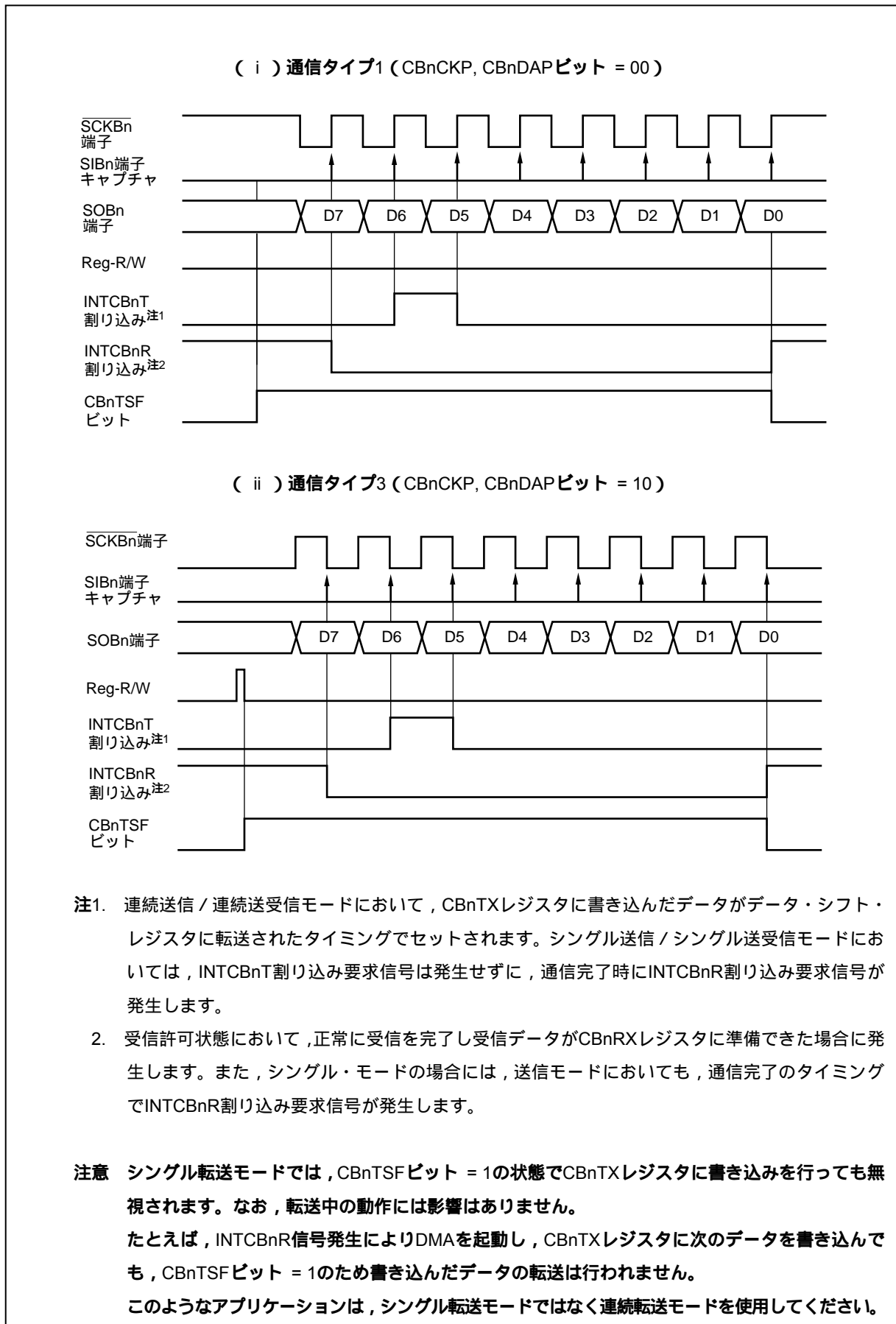
オーバラン・エラーを回避するためには、INTCBnR信号発生後から次の受信データの最終ビットをサンプリングする半クロック前までに、CBnRXレジスタのリードを完了してください。

#### (1) 動作タイミング



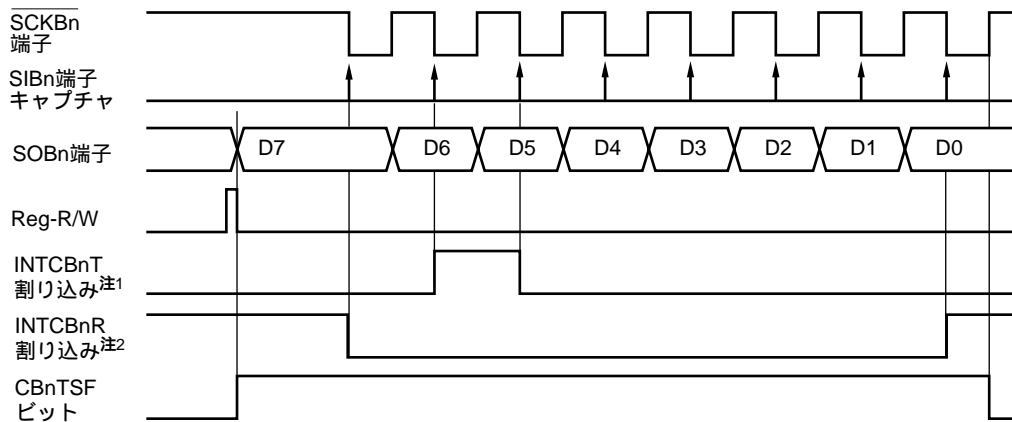
## 17.6.14 クロック・タイミング

(1/2)

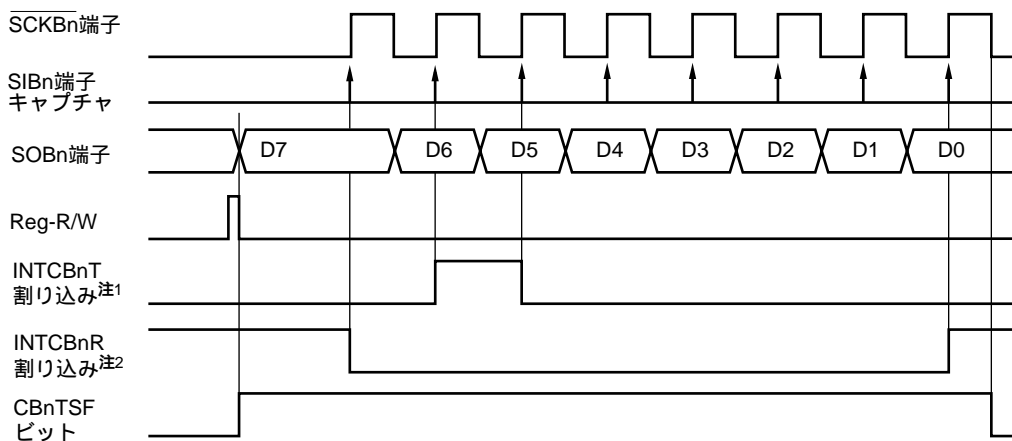


(2/2)

## ( iii ) 通信タイプ2 (CBnCKP, CBnDAPビット = 01)



## ( iv ) 通信タイプ4 (CBnCKP, CBnDAPビット = 11)



注1. 連続送信 / 連続送受信モードにおいて、CBnTXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信 / シングル送受信モードにおいては、INTCBnT割り込み要求信号は発生せずに、通信完了時にINTCBnR割り込み要求信号が発生します。

2. 受信許可状態において、正常に受信を完了し受信データがCBnRXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信完了のタイミングでINTCBnR割り込み要求信号が発生します。

**注意** シングル転送モードでは、CBnTSFビット = 1の状態でもCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。

たとえば、INTCBnR信号発生によりDMAを起動し、CBnTXレジスタに次のデータを書き込んでも、CBnTSFビット = 1のため書き込んだデータの転送は行われません。

このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

## 17.7 出力端子

### (1) SCKBn端子

CSIBn動作禁止 (CBnCTL0.CBnPWRビット = 0) のとき, SCKBn端子出力状態は次のようになります。

CBnCKP	CBnCKS2	CBnCKS1	CBnCKS0	SCKBn端子出力
0	1	1	1	ハイ・インピーダンス
	上記以外			ハイ・レベル固定
1	1	1	1	ハイ・インピーダンス
	上記以外			ロウ・レベル固定

備考1. CBnCTL1.CBnCKP, CBnCKS2-CBnCKS0ビットのいずれかを書き換えるとSCKBn端子の出力が変化します。

2. n = 0-5

### (2) SOBn端子

CSIBn動作禁止 (CBnPWRビット = 0) のとき, SOBn端子出力状態は次のようになります。

CBnTXE	CBnDAP	CBnDIR	SOBn端子出力
0	x	x	ロウ・レベル固定
1	0	x	SOBnラッチの値 (ロウ・レベル)
	1	0	0
		1	1

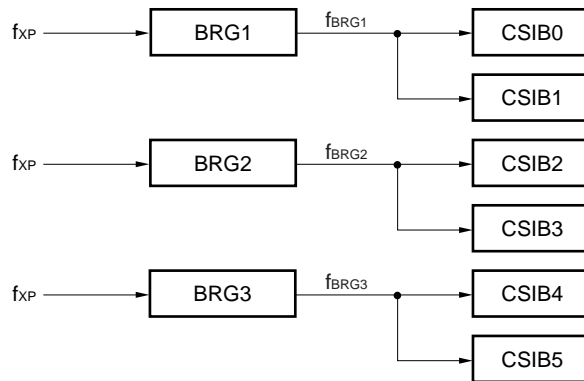
備考1. CBnCTL0.CBnTXE, CBnDIRビット, CBnCTL1.CBnDAPビットのいずれかを書き換えるとSOBn端子の出力が変化します。

2. x : 任意

3. n = 0-5

## 17.8 ポー・レート・ジェネレータ

ポー・レート・ジェネレータBRG1-BRG3とCSIB0-CSIB5は、次のブロック図のように接続されています。



**備考**  $f_{XP}$  : 周辺クロック周波数 (プリスケラ1入力クロック周波数)

クロック・モード1のとき,  $f_{XP} = f_{XX}$

クロック・モード2のとき,  $f_{XP} = f_{XMPLL}/2$  ( 14.64 ~ 16 MHz )

クロック・モード3のとき,  $f_{XP} = f_{XMPLL}$  ( 29.28 ~ 32 MHz )

クロック・モード4のとき,  $f_{XP} = f_{XMPLL}/2$  ( 20.88 ~ 24 MHz )

$f_{XX}$  : メイン・クロック周波数

$f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

## (1) BRGm プリスケアラ・モード・レジスタ (PRSMm)

PRSMmレジスタは、CSIBのポー・レート信号の生成を制御します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：PRSM1 FFFFF320H, PRSM2 FFFFF324H,  
PRSM3 FFFFF328H

	7	6	5	④	3	2	1	0
PRSMm (m = 1-3)	0	0	0	BGCEm	0	0	BGCSm1	BGCSm0

BGCEm	ポー・レート出力
0	禁止
1	許可

BGCSm1	BGCSm0	入力クロックの選択 (f <sub>BGCSm</sub> )	設定値 (k)
0	0	f <sub>XP</sub>	0
0	1	f <sub>XP</sub> /2	1
1	0	f <sub>XP</sub> /4	2
1	1	f <sub>XP</sub> /8	3

**注意1.** 動作中に、PRSMmレジスタを書き換えしないでください。

2. PRSMmレジスタの設定はBGCEmビットに“1”を設定する前に行ってください。

3. ビット2, 3, 5-7には必ず0を設定してください。

**備考** f<sub>XP</sub>：周辺クロック周波数（プリスケアラ1入力クロック周波数）

クロック・モード1のとき、f<sub>XP</sub> = f<sub>XX</sub>

クロック・モード2のとき、f<sub>XP</sub> = f<sub>XMPLL</sub>/2 (14.64 ~ 16 MHz)

クロック・モード3のとき、f<sub>XP</sub> = f<sub>XMPLL</sub> (29.28 ~ 32 MHz)

クロック・モード4のとき、f<sub>XP</sub> = f<sub>XMPLL</sub>/2 (20.88 ~ 24 MHz)

f<sub>XX</sub> : メイン・クロック周波数

f<sub>XMPLL</sub> : 周辺クロック用途PLL出力クロック周波数

## (2) BRGm プリスケアラ・コンペア・レジスタ (PRSCMm)

8ビットのコンペア・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：PRSCM1 FFFFF321H, PRSCM2 FFFFF325H,  
PRSCM3 FFFFF329H

	7	6	5	4	3	2	1	0
PRSCMm (m = 1-3)	PRSCMm7	PRSCMm6	PRSCMm5	PRSCMm4	PRSCMm3	PRSCMm2	PRSCMm1	PRSCMm0

**注意1.** 動作中にPRSCMmレジスタを書き換えしないでください。

2. PRSMm.BGCEmビットに“1”を設定する前にPRSCMmレジスタの設定を行ってください。

## 17.8.1 ボー・レートの生成

メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するボー・レートは次の式によって求められます。

$$f_{BRGm} = \frac{f_{XP}}{2^{k+1} \times N}$$

**注意**  $f_{BRGm}$ は、8 MHz以下になるように設定してください。

**備考**  $f_{BRGm}$  : BRGmのカウント・クロック

$f_{XP}$  : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき,  $f_{XP} = f_{XX}$

クロック・モード2のとき,  $f_{XP} = f_{XMPLL}/2$  ( 14.64 ~ 16 MHz )

クロック・モード3のとき,  $f_{XP} = f_{XMPLL}$  ( 29.28 ~ 32 MHz )

クロック・モード4のとき,  $f_{XP} = f_{XMPLL}/2$  ( 20.88 ~ 24 MHz )

$f_{XX}$  : メイン・クロック周波数

$f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

k : PRSMmレジスタの設定値 = 0-3

N : PRSCMmレジスタ設定値 = 1-256

ただし, N = 256となるのは, PRSCMmレジスタに00Hを設定した場合です。

m = 1-3



## 17.9 注意事項

(1) DMA転送により、送信データ、受信データの転送を行う場合、シリアル転送中にオーバーラン・エラーが発生してもエラー処理を行えません。DMA転送終了後にCBnSTR.CBnOVEビットを読み出してオーバーラン・エラーがなかったことを確認してください。

(2) 動作中 (CBnCTL0.CBnPWRビット = 1) の書き換えを禁止しているレジスタに対して、動作中に誤って書き換えを行ってしまった場合は、一度CBnCTL0.CBnPWRビット = 0に設定してCSIBnを初期化してください。

動作中の書き換えが禁止されているレジスタを次に示します。

- ・ CBnCTL0レジスタ : CBnTXE, CBnRXE, CBnDIR, CBnTMSビット
- ・ CBnCTL1レジスタ : CBnCKP, CBnDAP, CBnCKS2-CBnCKS0ビット
- ・ CBnCTL2レジスタ : CBnCL3-CBnCL0ビット

(3) 通信タイプ2, 4 (CBnCTL1.CBnDAPビット = 1) では、受信完了割り込み (INTCBnR) 発生後、 $\overline{SCKBn}$  半クロック後にCBnSTR.CBnTSFビットがクリアされます。

一方、シングル転送モードでは、通信中 (CBnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 1) も、通信中 (CBnTSFビット = 1) に受信データをリードしても次の通信は起動しません。

そのため、通信タイプ2, 4 (CBnDAPビット = 1) でシングル転送モードを使用する場合、次の点に注意してください。

- ・ 次の送信を起動する場合は、CBnTSFビット = 0であることを確認したあと、CBnTXレジスタに送信データを書き込む
- ・ 受信のみの通信に設定したとき (CBnTXEビット = 0, CBnRXEビット = 1) に続けて次の受信を行う場合は、CBnTSFビット = 0であることを確認したあと、CBnRXレジスタをリードする

または、シングル転送モードではなく、連続転送モードを使用してください。特にDMAを使用する場合は連続転送モードの使用を推奨します。

**備考** n = 0-5

## 第18章 3線式可変長シリアルI/O E (CSIE)

V850E/SJ3-H, V850E/SK3-Hは、3線式可変調シリアルI/O E (CSIE) を内蔵しています。

V850E/SJ3-H, V850E/SK3-Hでは、各製品により、搭載チャンネル数が異なります。表18 - 1に製品ごとのチャンネル数を示します。

表18 - 1 3線式可変調シリアルI/O E (CSIE) のチャンネル数

品 名	V850E/SJ3-H		V850E/SK3-H
	$\mu$ PD70F3931B, 70F3932B, 70F3933Bのみ	$\mu$ PD70F3931B, 70F3932B, 70F3933B以外	
チャンネル数	0ch		2ch

### 18.1 CSIE0, CSIE1のポート設定

#### 18.1.1 V850E/SJ3-H ( $\mu$ PD70F3931B, 70F3932B, 70F3933B以外) の場合

表18 - 2 端子構成

モード	端子名	兼用端子					
		ポート			ポート		
		ピン番号	ポート	兼用機能	ピン番号	ポート	兼用機能
CSIE0	SIE0	43	P60	RTP10/RXDA4	-	-	-
	SOE0	44	P61	RTP11/TXDA4	-	-	-
	$\overline{\text{SCKE0}}$	45	P62	RTP12	-	-	-
CSIE1	SIE1	46	P63	RTP13/KR4	-	-	-
	SOE1	47	P64	RTP14/KR5	-	-	-
	$\overline{\text{SCKE1}}$	48	P65	RTP15/KR2/TIQ03/TOQ03	-	-	-

#### (1) CSIE0

CSIE0のシリアル受信データ/シリアル送信データ/シリアル・クロック端子 (SIE0, SOE0,  $\overline{\text{SCKE0}}$ ) は、それぞれP60, P61, P62に割り付けられています。CSIE0を使用する場合は、あらかじめPMC6, PFC6, PFCE6レジスタで、P60, P61, P62をSIE0, SOE0,  $\overline{\text{SCKE0}}$ 端子に設定してください。

SIE0, SOE0,  $\overline{\text{SCKE0}}$ 端子は、UARTA4の送受信端子 (RXDA4, TXDA4)、リアルタイム出力端子 (RTP10, RTP11, RTP12) と兼用しているので、同時に使用できません。

#### (2) CSIE1

CSIE1のシリアル受信データ/シリアル送信データ/シリアル・クロック端子 (SIE1, SOE1,  $\overline{\text{SCKE1}}$ ) は、それぞれP63, P64, P65に割り付けられています。CSIE1を使用する場合は、あらかじめPMC6, PFC6, PFCE6レジスタで、P63, P64, P65をSIE1, SOE1,  $\overline{\text{SCKE1}}$ 端子に設定してください。

SIE1, SOE1,  $\overline{\text{SCKE1}}$ 端子は、リアルタイム出力端子 (RTP13, RTP14, RTP15) と兼用しているので、同時に使用できません。また、SIE1, SOE1,  $\overline{\text{SCKE1}}$ 端子は、キー割り込み入力端子 (KR4, KR5, KR2)、TMQ0の入出力端子 (TIQ03, TOQ03) と兼用しているので、同時に使用する場合は、KR4, KR5, KR2端子とTIQ03,

TOQ03端子をもう一方のポートに割り付けられた端子(KR4:P54, KR5:P55, KR2/TIQ03, TOQ03:P52)で使用してください。

- 注意1.  $\mu$  PD70F3931B, 70F3932B, 70F3933Bは、CSIE0, CSIE1の機能を搭載していません。
2. 動作中にポート設定を切り替えしないでください。また、ポート設定を行わず、使用しないユニットは、必ず動作禁止にしてください。

### 18.1.2 V850E/SK3-Hの場合

表18-3 端子構成

モード	端子名	兼用端子					
		ポート			ポート		
		ピン番号	ポート	兼用機能	ピン番号	ポート	兼用機能
CSIE0	SIE0	53	P60	RTP10/RXDA4	-	-	-
	SOE0	54	P61	RTP11/TXDA4	-	-	-
	$\overline{\text{SCKE0}}$	55	P62	RTP12	-	-	-
CSIE1	SIE1	56	P63	RTP13/KR4	-	-	-
	SOE1	57	P64	RTP14/KR5	-	-	-
	$\overline{\text{SCKE1}}$	58	P65	RTP15/KR2/TIQ03/TOQ03	-	-	-

#### (1) CSIE0

CSIE0のシリアル受信データ/シリアル送信データ/シリアル・クロック端子(SIE0, SOE0,  $\overline{\text{SCKE0}}$ )は、それぞれP60, P61, P62に割り付けられています。CSIE0を使用する場合は、あらかじめPMC6, PFC6, PFCE6レジスタで、P60, P61, P62をSIE0, SOE0,  $\overline{\text{SCKE0}}$ 端子に設定してください。

SIE0, SOE0,  $\overline{\text{SCKE0}}$ 端子は、リアルタイム出力端子(RTP10, RTP11, RTP12)と兼用しているので、同時に使用できません。また、SIE0, SOE0端子は、UARTA4の送受信端子(RXDA4, TXDA4)と兼用しているので、同時に使用する場合は、RXDA4, TXDA4端子をもう一方のポートに割り付けられた端子(P56, P57)で使用してください。

#### (2) CSIE1

CSIE1のシリアル受信データ/シリアル送信データ/シリアル・クロック端子(SIE1, SOE1,  $\overline{\text{SCKE1}}$ )は、それぞれP63, P64, P65に割り付けられています。CSIE1を使用する場合は、あらかじめPMC6, PFC6, PFCE6レジスタで、P63, P64, P65をSIE1, SOE1,  $\overline{\text{SCKE1}}$ 端子に設定してください。

SIE1, SOE1,  $\overline{\text{SCKE1}}$ 端子は、リアルタイム出力端子(RTP13, RTP14, RTP15)と兼用しているので、同時に使用できません。また、SIE1, SOE1,  $\overline{\text{SCKE1}}$ 端子は、キー割り込み入力端子(KR4, KR5, KR2), TMQ0の入出力端子(TIQ03, TOQ03)と兼用しているので、同時に使用する場合は、KR4, KR5, KR2端子とTIQ03, TOQ03端子をもう一方のポートに割り付けられた端子(KR4:P54, KR5:P55, KR2/TIQ03, TOQ03:P52)で使用してください。

- 注意 動作中にポート設定を切り替えしないでください。また、ポート設定を行わず、使用しないユニットは、必ず動作禁止にしてください。

## 18.2 特 徴

転送速度：最大8 Mbps

マスタ・モードとスレーブ・モードを選択可能

転送データ長を8-16ビットに1ビット単位で選択可能

転送データのMSB先頭/LSB先頭を切り替え可能

シリアル・クロックとデータのフェーズ切り替えが可能

16ビットの送受信バッファ (CSIBUFn) を16本内蔵

送信モード, 受信モード, 送受信モードを指定可能

- ・送信モード：送信許可状態でCSIE<sub>n</sub>送信データ・バッファ・レジスタ (CEnTX0) に送信データをライトする処理をトリガとして送信を開始します。
- ・受信モード：受信許可状態でCSIE<sub>n</sub>送信データ・バッファ・レジスタ (CEnTX0) にダミー・データをライトする処理をトリガとして受信を開始します。
- ・送受信モード：送受信許可状態でCSIE<sub>n</sub>送信データ・バッファ・レジスタ (CEnTX0) に送信データをライトする処理をトリガとして送受信を開始します。

割り込み要求信号

- ・送受信完了割り込み (INTCEnT)
- ・CSIBUFnオーバーフロー割り込み (INTCEnTIOF)

3線式 SOEn : シリアル・データ出力

SIEn : シリアル・データ入力

$\overline{\text{SCKEn}}$  : シリアル・クロック入出力

備考 n = 0, 1

### 18.3 構成

次にCSIEのブロック図を示します。

図18 - 1 CSIEのブロック図 (1/2)

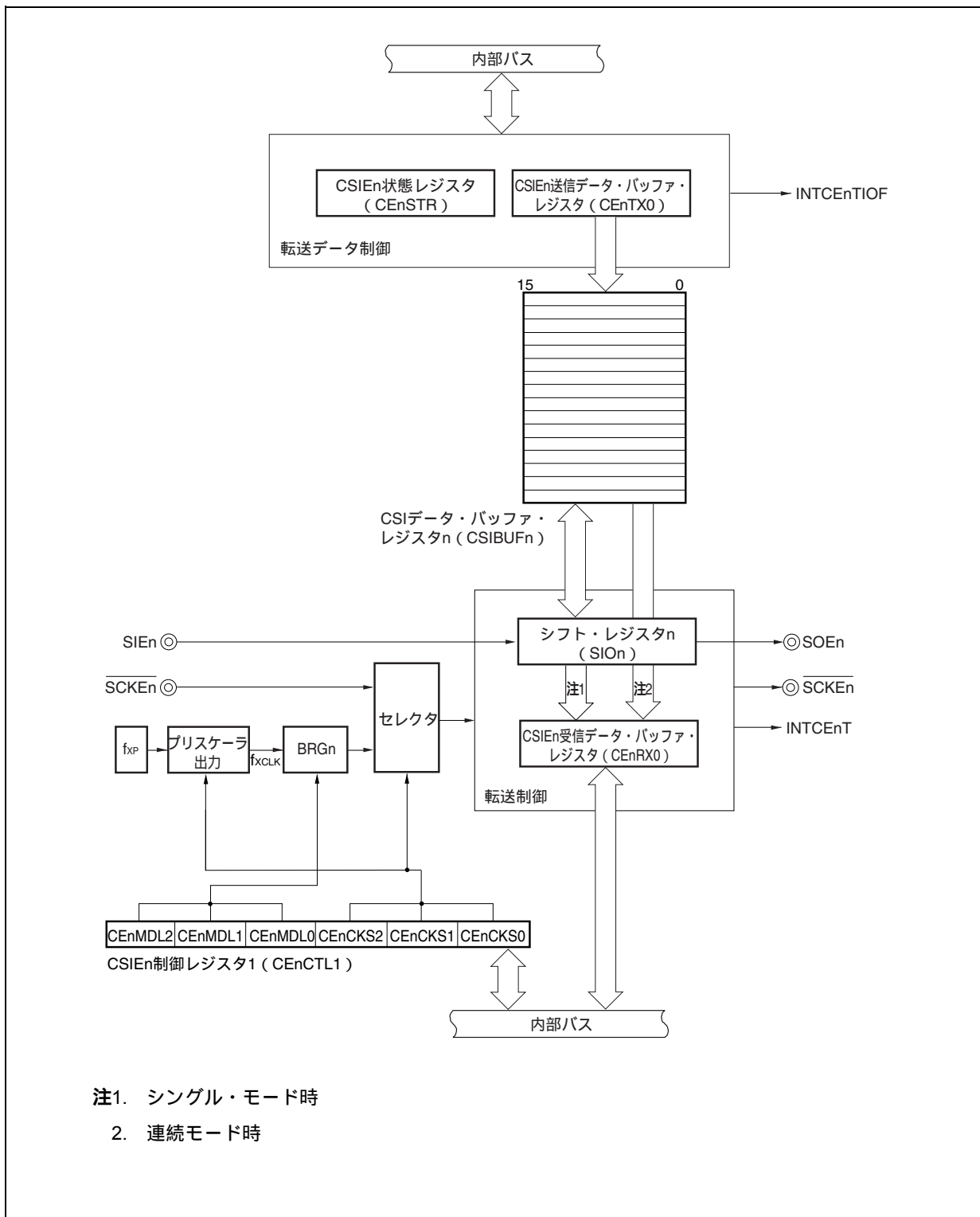


図18 - 1 CSIEのブロック図 (2/2)

備考1. $n = 0, 1$
2. $f_{XP}$ : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)
クロック・モード1のとき, $f_{XP} = f_{XX}$
クロック・モード2のとき, $f_{XP} = f_{XMPLL}/2$ ( 14.64 ~ 16 MHz )
クロック・モード3のとき, $f_{XP} = f_{XMPLL}$ ( 29.28 ~ 32 MHz )
クロック・モード4のとき, $f_{XP} = f_{XMPLL}/2$ ( 20.88 ~ 24 MHz )
$f_{XX}$ : メイン・クロック周波数
$f_{XMPLL}$ : 周辺クロック用途PLL出力クロック周波数
$f_{XCLK}$ : CEnCTL1.CEnCKS2-CEnCKS0ビットで選択した基本クロック

CSIEは、次のハードウェアで構成されています。

表18 - 4 CSIEの構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタn (SIO <sub>n</sub> ) CSIE受信データ・バッファ・レジスタ (CEnRX0) CSIE送信データ・バッファ・レジスタ (CEnTX0) CSIデータ・バッファ・レジスタn (CSIBUF <sub>n</sub> )
制御レジスタ	CSIE制御レジスタ0 (CEnCTL0) CSIE制御レジスタ1 (CEnCTL1) CSIE制御レジスタ2 (CEnCTL2) CSIE制御レジスタ3 (CEnCTL3) CSIE状態レジスタ (CEnSTR)

#### (1) シリアルI/Oシフト・レジスタn (SIO<sub>n</sub>)

SIO<sub>n</sub>レジスタは、シリアル・データ      パラレル・データの変換を行う8ビット・レジスタです。SIO<sub>n</sub>は送信および受信の両方に使用されます。

データは、MSB側またはLSB側からシフト・イン (受信) またはシフト・アウト (送信) されます。

## (2) CSIE受信データ・バッファ・レジスタ (CEnRX0)

CEnRX0レジスタは、受信データを格納する16ビット・バッファ・レジスタです。

連続モード (CEnCTL0.CEnTMSビット = 1) 時には、続けてリードすることで、リード用CSIBUFnポインタをインクリメントしながら、CSIBUFnレジスタ内の受信済みデータを順次リードできます。ただし、受信したデータ数を越えてCEnRX0レジスタをリードした場合のリード値は不定です。

シングル・モード (CEnCTL0.CEnTMSビット = 0) 時には、CEnRX0レジスタをリードすることで、受信済みデータをリードしてCEnRX0レジスタが空になったことを判断します。

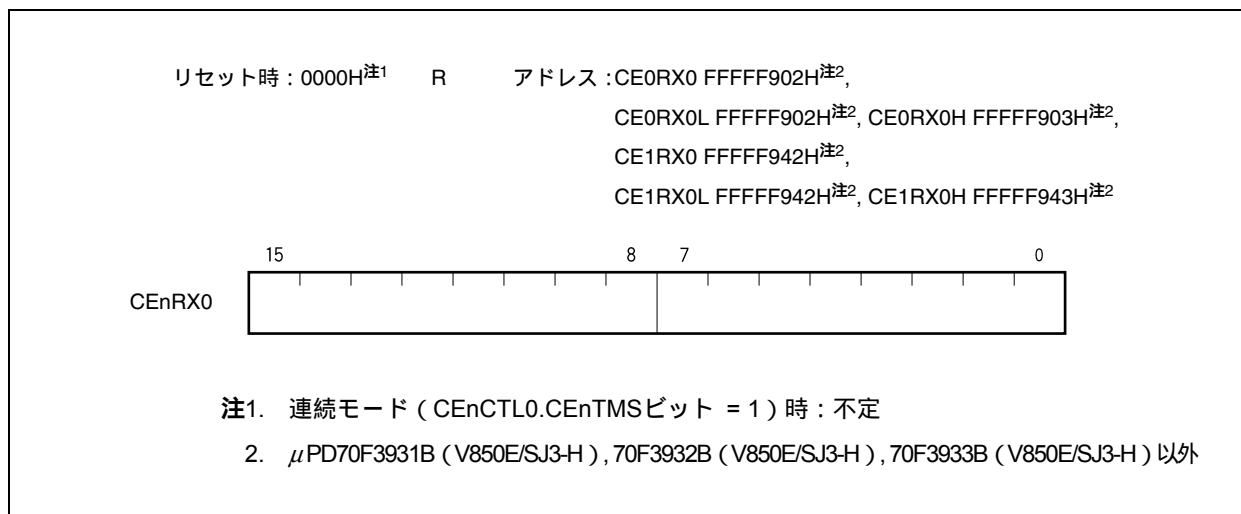
CEnRX0レジスタは16ビット単位でリードのみ可能です。

CEnRX0レジスタの上位8ビットをCEnRX0Hレジスタ、下位8ビットをCEnRX0Lレジスタとして使用した場合は、8ビット単位でリードのみ可能です。なお、8ビット単位でリードする場合は、必ずCEnRX0Hレジスタ、CEnRX0Lレジスタの順番で行ってください。また、受信データは転送方向によらず、下位詰めでリードされます。受信データが8ビットの場合は、CEnRX0Lレジスタのみリードしてください。

リセットにより0000Hになります。ただし、連続モード時は不定になります。

リセット以外に、CEnCTL0.CEnPWRビットをクリア (0) しても初期化されます。

**注意** 転送中のCEnSTR.CEnFLF, CEnEMF, CEnTSF, CEnSFP3-CEnSFP0ビット値は、常に変化する可能性があるため、転送中のリード値は実際の値とは異なる場合があります。特にCEnTSFビットは単独で使用してください (他のビットと関連付けて使用しないでください)。また、転送終了の判断をCEnSTRレジスタで行う場合は、転送予定分の転送データをCSIBUFnレジスタヘライト後のCEnEMFビット = 1で判断してください。



各転送モードによるCEnRX0レジスタのリード時の動作を次に示します。

転送モード	CEnRX0レジスタのリード時の動作
シングル・モード (CEnCTL0.CEnTMSビット = 0)	受信データ・バッファ内のデータ値をリード
連続モード (CEnCTL0.CEnTMSビット = 1)	現在リード用CSIBUFnポインタが示しているCSIBUFnレジスタ内の受信データ値をリード (リセットによるCSIBUFnレジスタの初期値は不定)

**(3) CSIE<sub>n</sub>送信データ・バッファ・レジスタ (CEnTX0)**

CEnTX0レジスタは、送信データを格納する16ビット・バッファ・レジスタです。

ライト時には、ライト用CSIBUF<sub>n</sub>ポインタをインクリメントしながら、CSIBUF<sub>n</sub>レジスタ内に送信データを順次格納します。なお、連続モード (CEnCTL0.CEnTMSビット = 1) 時にCEnCTL3.CEnSFN3-CEnSFN0ビット設定値 (CSIE<sub>n</sub>転送データ数) を越えるCEnTXレジスタへのライトを禁止します。

リード時には、最後にライトした送信データの値がリードされます。

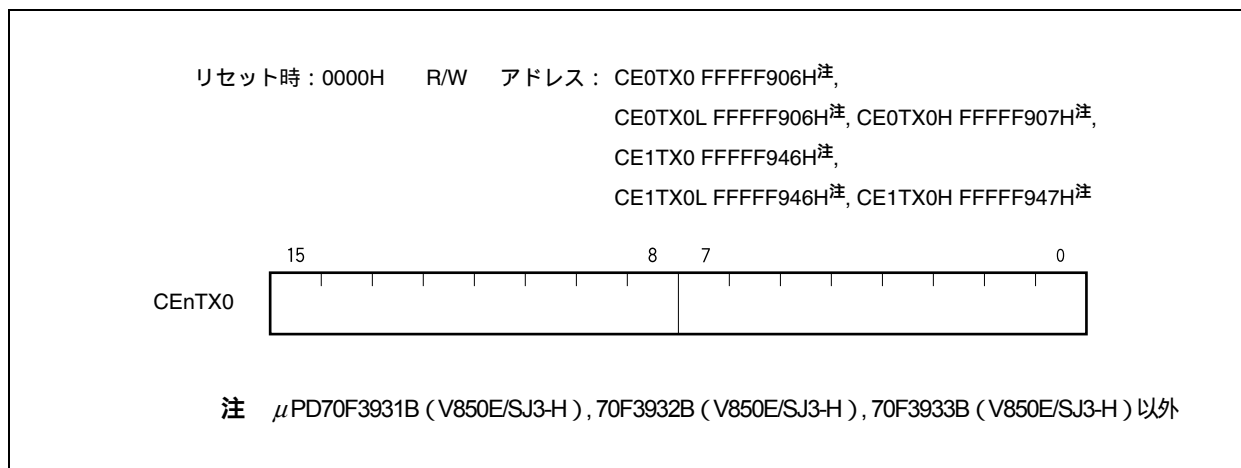
CEnTX0レジスタは16ビット単位でリード/ライト可能です。

CEnTX0レジスタの上位8ビットをCEnTX0Hレジスタ, 下位8ビットをCEnTX0Lレジスタとして使用した場合は、8ビット単位でリード/ライト可能です。なお、8ビット単位でライトする場合は、必ずCEnTX0Hレジスタ, CEnTX0Lレジスタの順番で行ってください。また、送信データは転送方向によらず、下位詰めでライトしてください。送信データが8ビットの場合は、CEnTX0Lレジスタのみライトしてください。

リセットにより0000Hになります。

**注意** 次に示す状態において、CEnTX0レジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の  
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



CEnTX0レジスタのリード/ライト時の動作を次に示します。

リード/ライト	CEnTX0レジスタの動作
ライト	CSIBUF <sub>n</sub> レジスタ内に送信データを順次格納する
リード	最後にライトした送信データの値をリードする

**(4) CSIデータ・バッファ・レジスタ<sub>n</sub> (CSIBUF<sub>n</sub>)**

転送する送信データをCEnTX0レジスタに連続ライトすることにより、自動的にライト用CSIBUF<sub>n</sub>ポインタをインクリメントしながらCSIBUF<sub>n</sub>レジスタ内に最大16個の16ビット・データを格納することができます。

連続モードでは、受信データをCEnRX0レジスタから、続けてリードすることで、自動的にリード用CSIBUF<sub>n</sub>ポインタをインクリメントしながら、CSIBUF<sub>n</sub>レジスタ内の受信済みデータを順次リードできます。



## 18.4 制御レジスタ

CSIE<sub>n</sub>を制御するレジスタには、次のものがあります。

- ・ CSIE<sub>n</sub>制御レジスタ0 (CE<sub>n</sub>CTL0)
- ・ CSIE<sub>n</sub>制御レジスタ1 (CE<sub>n</sub>CTL1)
- ・ CSIE<sub>n</sub>制御レジスタ2 (CE<sub>n</sub>CTL2)
- ・ CSIE<sub>n</sub>制御レジスタ3 (CE<sub>n</sub>CTL3)
- ・ CSIE<sub>n</sub>状態レジスタ (CE<sub>n</sub>STR)

## (1) CSIE制御レジスタ0 (CEnCTL0)

CEnCTL0レジスタは、CSIEの動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、CEnTMS, CEnDIR, CEnSITビットは、CEnTXEビット = 0 およびCEnRXEビット = 0のときのみライト可能です。

リセットにより00Hになります。

**注意** 次に示す状態において、CEnCTL0レジスタへのアクセスは禁止です。詳細は3.4.9(2)特定の  
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

( 1/2 )

リセット時：00H R/W アドレス：CE0CTL0 FFFFF900H<sup>注</sup>, CE1CTL0 FFFFF940H<sup>注</sup>

	⑦	⑥	⑤	④	③	2	1	0
CEnCTL0 (n = 0, 1)	CEnPWR	CEnTXE	CEnRXE	CEnTMS	CEnDIR	CEnSIT	0	0

CEnPWR	CSIE動作禁止 / 許可の指定
0	CSIE動作禁止
1	CSIE動作許可
<ul style="list-style-type: none"> <li>・CEnPWRビット = 0にすると、CSIEの動作状態をリセットしてCSIEは停止します。CSIEを動作させる場合には、まずCEnPWRビット = 1にしたあとで、他のビットを設定してください。CEnPWRビットは単独で書き換えてください。</li> <li>・CEnPWRビットを0, 1, 1, 0と書き換える場合は、同時にCEnCTL0レジスタのCEnPWRビット以外のビットを書き換えることは禁止です。</li> </ul> <p>また、CEnPWRビット = 0のときに、CEnCTL0レジスタのCEnPWRビット以外のビット、およびCEnTX0, CEnTX0L, CEnSTRレジスタの書き換えは禁止します。</p>	

CEnTXE	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可
<ul style="list-style-type: none"> <li>・CEnTXEビットは、CEnPWRビットをクリア (0) するとリセットされます。</li> <li>・CEnPWRビット = 1のとき、CEnTXEビット = 0としたあと、2動作クロック (f<sub>xP</sub>) 未満でのCEnTXEビット = 1の設定は禁止します。また、CEnTXEビット = 1としたあと、2動作クロック (f<sub>xP</sub>) 経過後に送信動作が許可状態となります。</li> </ul>	

**注** μPD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

**注意** ビット0, 1には必ず0を設定してください。1を設定した場合の動作は保証できません。

(2/2)

CEnRXE	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可

・ CEnRXEビットは、CEnPWRビットをクリア (0) するとリセットされます。  
 ・ CEnPWRビット = 1 のとき、CEnRXEビット = 0 としたあと、2動作クロック ( $f_{XP}$ ) 未満でのCEnRXEビット = 1 の設定は禁止します。また、CEnRXEビット = 1 としたあと、2動作クロック ( $f_{XP}$ ) 経過後に受信動作が許可状態となります。

CEnTMS	転送モードの指定
0	シングル・モード
1	連続モード

CEnDIR	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

・ CEnTX0レジスタからCSIBUFnレジスタへのライト / CEnRX0, CSIBUFnレジスタからのリード時の転送方向を指定します。

CEnSIT	送受信完了割り込み信号 (INTCEnT) の遅延制御
0	遅延なし
1	遅延モード (1データの転送終了時に半サイクルの遅延が挿入されるため、次のデータ転送も半サイクル遅れる)

・ 遅延モード (CEnSITビット = 1) は、マスタ・モード (CEnCTL1レジスタのCEnCKS2-CEnCKS0ビットが111以外) のときのみ有効です。スレーブ・モード (CEnCKS2-CEnCKS0ビットが111) 時は、遅延モードに設定しないでください。設定しても、INTCEnTはCEnSITビットの影響を受けません。  
 ・ 連続モード (CEnTMSビット = 1) 時にCEnSITビット = 1に設定した場合、CEnCTL3.CEnSFN3-CEnSFN0ビットで設定した最終データ以外の転送終了時にINTCEnT割り込み自体は出力されませんが、各データ転送間に半クロック ( $1/2$  シリアル・クロック) 分の遅延は挿入できます。

(2) CSIE<sub>n</sub>制御レジスタ1 (CEnCTL1)

CEnCTL1レジスタは、CSIE<sub>n</sub>の動作クロックと動作モードを制御するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、CEnCTL1レジスタは、CEnCTL0.CEnTXEビット = 0およびCEnRXEビット = 0のときのみライト可能です。

リセットにより07Hになります。

(1/2)

リセット時：07H R/W アドレス：CE0CTL1 FFFFF901H<sup>注</sup>, CE1CTL1 FFFFF941H<sup>注</sup>

	7	6	5	4	3	2	1	0
CEnCTL1	CEnMDL2	CEnMDL1	CEnMDL0	CEnCKP	CEnDAP	CEnCKS2	CEnCKS1	CEnCKS0

(n = 0, 1)

CEnMDL2	CEnMDL1	CEnMDL0	設定値 (N)	転送クロック (BRG <sub>n</sub> 出力信号) の指定
0	0	0	-	BRG <sub>n</sub> ストップ・モード (パワー・セーブ)
0	0	1	1	fxCLK/2
0	1	0	2	fxCLK/4
0	1	1	3	fxCLK/6
1	0	0	4	fxCLK/8
1	0	1	5	fxCLK/10
1	1	0	6	fxCLK/12
1	1	1	7	fxCLK/14

・スレープ・モード (CEnCKS2-CEnCKS0ビット = 111) 時には、  
CEnMDL2-CEnMDL0ビット = 000 (BRG<sub>n</sub>ストップ・モード) に設定してください。

	CEnCKP	CEnDAP	SCKE <sub>n</sub> に対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

注 μPD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

備考 fxCLK : CEnCKS2-CEnCKS0ビットで選択した基本クロック

(2/2)

CEnCKs2	CEnCKs1	CEnCKs0	設定値 (K)	基本クロック (f <sub>CLK</sub> )	モード
0	0	0	0	f <sub>XP</sub>	マスタ・モード
0	0	1	1	f <sub>XP</sub> /2	マスタ・モード
0	1	0	2	f <sub>XP</sub> /4	マスタ・モード
0	1	1	3	f <sub>XP</sub> /8	マスタ・モード
1	0	0	4	f <sub>XP</sub> /16	マスタ・モード
1	0	1	5	f <sub>XP</sub> /32	マスタ・モード
1	1	0	6	f <sub>XP</sub> /64	マスタ・モード
1	1	1	-	外部クロック (SCKEn)	スレーブ・モード

・ CEnCKs2-CEnCKs0ビット = 000に設定した場合, CEnMDL2-CEnMDL0ビット = 001の設定は禁止します。

**備考** f<sub>XP</sub> : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき, f<sub>XP</sub> = f<sub>XX</sub>

クロック・モード2のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 (14.64 ~ 16 MHz)

クロック・モード3のとき, f<sub>XP</sub> = f<sub>XMPLL</sub> (29.28 ~ 32 MHz)

クロック・モード4のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 (20.88 ~ 24 MHz)

f<sub>XX</sub> : メイン・クロック周波数

f<sub>XMPLL</sub> : 周辺クロック用途PLL出力クロック周波数

(3) CSIE<sub>n</sub>制御レジスタ2 (CEnCTL2)

CEnCTL2レジスタは、CSIE<sub>n</sub>の転送データ長を選択するレジスタです。

8/1ビット単位でリード/ライト可能です。CEnCTL2レジスタは、CEnCTL0.CEnTXEビット = 1 または CEnRXEビット = 1の場合は転送中の可能性があります。CEnCTL2レジスタへのライトは必ずCEnTXEビット = 0 および CEnRXEビット = 0に設定してから実行してください。

リセットにより00Hになります。

リセット時：00H R/W アドレス：CE0CTL2 FFFFF909H<sup>注</sup>, CE1CTL2 FFFFF949H<sup>注</sup>

	7	6	5	4	3	2	1	0
CEnCTL2	0	0	0	0	CEnDLS3	CEnDLS2	CEnDLS1	CEnDLS0

(n = 0, 1)

CEnDLS3	CEnDLS2	CEnDLS1	CEnDLS0	転送ビット長の指定
0	0	0	0	16ビット
1	0	0	0	8ビット
1	0	0	1	9ビット
1	0	1	0	10ビット
1	0	1	1	11ビット
1	1	0	0	12ビット
1	1	0	1	13ビット
1	1	1	0	14ビット
1	1	1	1	15ビット
上記以外				設定禁止
・転送データ長に16ビット (CEnDLS3-CEnDLS0ビット = 0000) 以外を指定した場合、CEnRX0, CSIBUF <sub>n</sub> レジスタの上位側の余ったビットには不定値がリードされます (18.6 (3) データ転送方向指定機能参照)。				

注  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

注意 ビット4-7には必ず0を設定してください。1を設定した場合の動作は保証できません。

## (4) CSIEn制御レジスタ3 (CEnCTL3)

CEnCTL3レジスタは、連続モード (CEnCTL0.CEnTMSビット = 1) 時のCSIEnの転送データ数を設定するレジスタです。連続モードで転送中 (CEnSTR.CEnTSFビット = 1) のときに、CEnCTL3レジスタの書き換えは禁止します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: CE0CTL3 FFFFFFF90CH<sup>注</sup>, CE1CTL3 FFFFFFF94CH<sup>注</sup>

	7	6	5	4	3	2	1	0
CEnCTL3 (n = 0, 1)	0	0	0	0	CEnSFN3	CEnSFN2	CEnSFN1	CEnSFN0

CEnSFN3	CEnSFN2	CEnSFN1	CEnSFN0	転送データ数の指定
0	0	0	0	16
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

・ CEnSFN3-CEnSFN0ビット設定値 (CSIEn転送データ数) を越えるデータを CSIBUFnレジスタヘライトすることは禁止します。

注  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

注意 ビット4-7には必ず0を設定してください。

**(5) CSIE<sub>n</sub>状態レジスタ (CEnSTR)**

CSIBUF<sub>n</sub>レジスタまたは転送の状態を表示するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、ビット6-0はリードのみ可能です。ライトしても変化しません。

リセットにより20Hになります。

リセット以外に、CEnCTL0.CEnPWRビットをクリア(0)しても初期化されます。

**注意1. 次に示す状態において、CEnSTRレジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。**

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

2. 転送中のCEnFLF, CEnEMF, CEnTSF, CEnSFP3-CEnSFP0ビット値は、常に変化する可能性があるため、転送中のリード値は実際の値とは異なる場合があります。特にCEnTSFビットは、単独で使用してください(他のビットと関連付けて使用しないでください)。また、転送終了の判断をCEnSTRレジスタで行う場合は、転送予定分の転送データをCSIBUF<sub>n</sub>レジスタへライト後のCEnEMFビット = 1で判断するようにしてください。



( 1/2 )

リセット時：20H R/W アドレス：CE0STR FFFFF908H<sup>注</sup>, CE1STR FFFFF948H<sup>注</sup>

	⑦	⑥	⑤	④	3	2	1	0
CEnSTR	CEnPCT	CEnFLF	CEnEMF	CEnTSF	CEnSFP3	CEnSFP2	CEnSFP1	CEnSFP0

(n = 0, 1)

CEnPCT	CSIBUFnポインタのクリア指定
0	動作なし
1	全CSIBUFnポインタをクリア (0)

・リード時には常に0が読み出されます。  
 ・転送途中にCEnPCTビット = 1のライトを行った場合、転送は中断されます。また、全CSIBUFnポインタがクリア (0) されるため、CSIBUFnレジスタ内の残りのデータも無視されます。  
 CEnPCTビット = 1のライトを行った場合には、必ずCEnSTRレジスタのリードを行い、全CSIBUFnポインタが確実にクリア (0) されたこと (CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000) を確認してください。全CSIBUFnポインタが確実にクリア (0) されたことを確認する前に、CEnPCTビットへのライトは禁止します。

CEnFLF	CSIBUFnレジスタのfull状態フラグ
0	CSIBUFnレジスタに空きあり
1	CSIBUFnレジスタはfull状態

・CEnCTL0.CEnPWRビット = 0, またはCEnPCTビット = 1のライトでクリア (0) されます。  
 ・連続モード (CEnCTL0.CEnTMSビット = 1) 時に16個のデータ転送を指定した場合 (CEnCTL3.CEnSFN3-CEnSFN0ビット = 0000), シングル・モード (CEnCTL0.CEnTMSビット = 0) と同様にCSIBUFnレジスタにデータが16個あるときにはCEnFLFビット = 1になり、1つでもデータ転送が終了したときにはCEnFLFビット = 0になりますが、実際にCSIBUFnレジスタに空きができたわけではありません。この場合に次の転送データをCSIBUFnレジスタにライトすることは禁止します。CSIBUFnレジスタにライトを行っても、データは転送されません。また、データ受信を行っていた場合は、受信データが上書きされます。次の転送を行うには、必ず全データの転送終了後、CEnPCTビット = 1にライトして全CSIBUFnポインタをクリア (0) してください。

CEnEMF	CSIBUFnレジスタのempty状態フラグ
0	CSIBUFnレジスタにデータあり
1	CSIBUFnレジスタはempty状態

・CEnCTL0.CEnPWRビット = 0, またはCEnPCTビット = 1のライトでセット (1) されます。  
 ・CSIBUFnレジスタ内にライトされた転送データ分の転送が終了すると、CEnEMFビット = 1になります (CSIBUFnレジスタ内に受信データが格納されていてもCEnEMFビット = 1になります)。

注  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

(2/2)

CEnTSF	転送状態フラグ
0	アイドル状態
1	転送中または転送開始処理中
	<ul style="list-style-type: none"> <li>・ CEnCTL0.CEnPWRビット = 0, CEnPCTビット = 1のライト, または CEnCTL0.CEnTXEビット = 0およびCEnRXEビット = 0でクリア (0) されます。</li> <li>・ シングル・モード (CEnCTL0.CEnTMSビット = 0) 時には転送開始からCSIBUFnレジスタ内の転送データがなくなるまで, 連続モード (CEnCTL0.CEnTMSビット = 1) 時には転送開始から指定したデータ数分の転送が終了するまで “1” を保持します。</li> </ul>
CEnSFP3-CEnSFP0	<ul style="list-style-type: none"> <li>・ シングル・モード (CEnCTL0.CEnTMSビット = 0) 時には, 「CSIBUFnレジスタ内の残りの転送データ数 (ライト用CSIBUFnポインタ値 - SIOonロード用CSIBUFnポインタ値)」 がリードできます。</li> <li>・ 連続モード (CEnCTL0.CEnTMSビット = 1) 時には, 「転送完了したデータ数 (SIOonロード/ストア用CSIBUFnポインタの値)」 がリードできます。ただし, CEnSFP3-CEnSFP0ビット = 0Hの場合の値はCEnEMFビットの設定により次のようになります。 CEnEMFビット = 0のとき: 転送完了したデータ数 = 0個 CEnEMFビット = 1のとき: 転送完了したデータ数 = 16個, または 転送開始前 (転送データ・ライト前) の状態</li> </ul>
	<ul style="list-style-type: none"> <li>・ CEnPCTビット = 1のライトにより, 動作クロックに同期してクリア (0) されます。ただし, CEnCTL0.CEnPWRビット = 0またはCEnPCTビット = 1のライトを行うまで値は保持されます。</li> </ul>

## 18.5 専用ポー・レート・ジェネレータ<sub>n</sub> (BRG<sub>n</sub>)

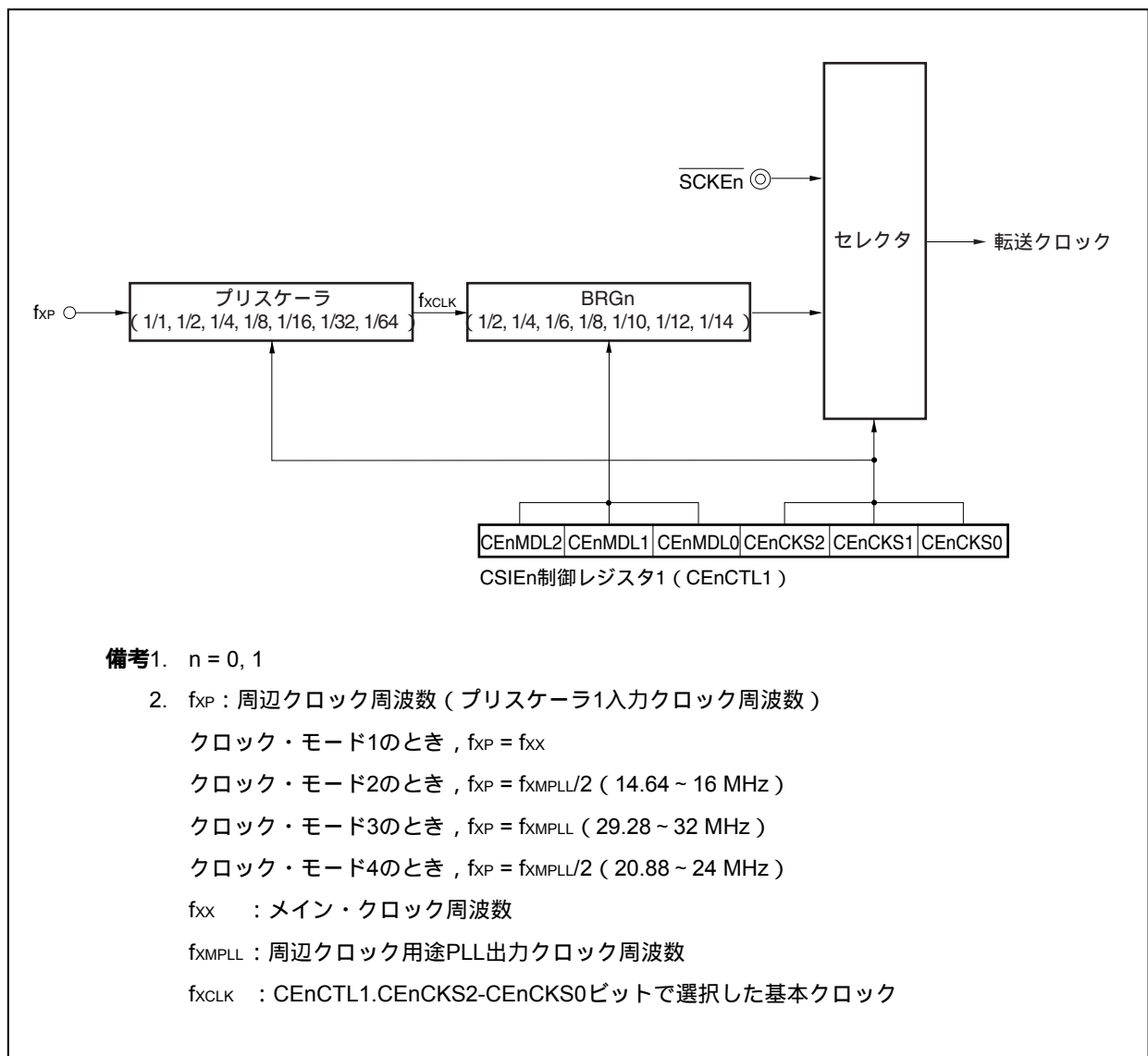
CSIE<sub>n</sub>の転送クロックは、専用ポー・レート・ジェネレータ出力または外部クロックから選択できます (n = 0, 1)。

シリアル・クロック・ソースは、CEnCTL1レジスタで指定します。

マスタ・モードを指定した場合 (CEnCTL1.CEnCKS2-CEnCKS0ビット = 111以外) は、クロック・ソースとしてBRG<sub>n</sub>が選択されます。

### (1) 転送クロック

図18 - 2 CSIE<sub>n</sub>の転送クロック



## (2) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{F}{N \times 2^{(K+1)}} \text{ [ bps ]}$$

F = f<sub>XP</sub>

K = CEnCTL1.CEnCK2-CEnCK0ビットで設定した値 (K = 0, 1, 2, ... , 6)

N = CEnCTL1.CEnMDL2-CEnMDL0ビットで設定した値 (N = 1, 2, 3, ... , 7)

**注意** CEnCTL1.CEnCK2-CEnCK0ビット = 000に設定した場合, CEnCTL1.CEnMDL2-CEnMDL0ビット = 001の設定は禁止します。

**備考** f<sub>XP</sub> : 周辺クロック周波数 (プリスケラ1入力クロック周波数)

クロック・モード1のとき, f<sub>XP</sub> = f<sub>XX</sub>

クロック・モード2のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 (14.64 ~ 16 MHz)

クロック・モード3のとき, f<sub>XP</sub> = f<sub>XMPLL</sub> (29.28 ~ 32 MHz)

クロック・モード4のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 (20.88 ~ 24 MHz)

f<sub>XX</sub> : メイン・クロック周波数

f<sub>XMPLL</sub> : 周辺クロック用途PLL出力クロック周波数

## (3) ボー・レート設定例 (単位 : Mbps)

表18 - 5 f<sub>XP</sub> = 32 MHz時のボー・レート・ジェネレータ設定データ

K \ N	1	2	3	4	5	6	7
0	設定禁止	8	5.3333	4	3.2	2.6667	2.2857
1	8	4	2.6667	2	1.6	1.3333	1.1429
2	4	2	1.3333	1	0.8	0.6667	0.5714
3	2	1	0.6667	0.5	0.4	0.3333	0.2857
4	1	0.5	0.3333	0.25	0.2	0.1667	0.1429
5	0.5	0.25	0.1667	0.125	0.1	0.0833	0.0714
6	0.25	0.125	0.0833	0.0625	0.05	0.0417	0.0357

## 18.6 動作

### (1) 動作モード一覧

表18 - 6 動作モード一覧

CEnTMS ビット	CEnCKS2-CEnCKS0 ビット	CEnTXE, CEnRXE ビット	CEnDIRビット	CEnSITビット
シングル・モード	マスタ・モード	送信 / 受信 / 送受信	MSB/LSB先頭	INTCEnT遅延モード の許可 / 禁止
	スレーブ・モード			-
連続モード	マスタ・モード			INTCEnT遅延モード の許可 / 禁止
	スレーブ・モード			-

- 備考1. CEnTXEビット : CEnCTL0レジスタのビット6  
 CEnRXEビット : CEnCTL0レジスタのビット5  
 CEnTMSビット : CEnCTL0レジスタのビット4  
 CEnDIRビット : CEnCTL0レジスタのビット3  
 CEnSITビット : CEnCTL0レジスタのビット2  
 CEnCKS2-CEnCKS0ビット : CEnCTL1レジスタのビット2-0
2.  $n = 0, 1$

## (2) CSIデータ・バッファ・レジスタ0, 1 (CSIBUF0, CSIBUF1) 機能

転送する送信データをCEnTX0レジスタに連続ライトすることにより、自動的にライト用CSIBUFnポインタをインクリメントしながらCSIBUFnレジスタ内に最大16個の16ビット・データを格納できます( $n = 0, 1$ )。

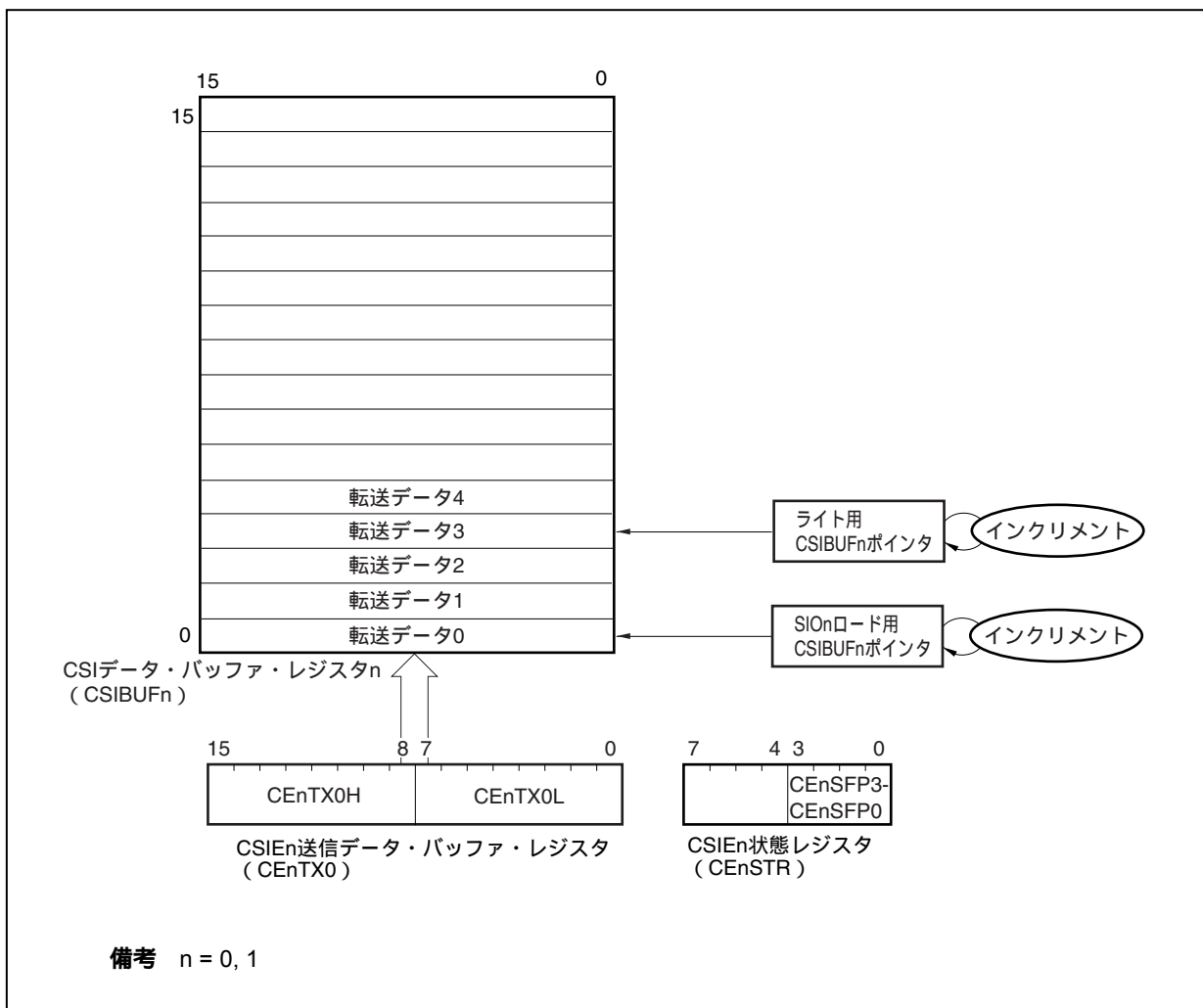
転送の開始条件 (CEnSTR.CEnEMFビット = 0) は、CEnTX0レジスタの下位8ビット側 (CEnTX0Lレジスタ)へのライトで成立します。このため、転送データ長を9ビット以上 (CEnCTL2.CEnDLS3-CEnDLS0ビット = 0000, 1001-1111)に指定した場合は、CEnTX0レジスタへの16ビット・ライト、またはCEnTX0H, CEnTX0Lレジスタの順で8ビット・ライトするようにデータ設定してください。また、転送データ長を8ビット (CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000)に指定した場合は、CEnTX0Lレジスタへの8ビット・ライト、またはCEnTX0レジスタへの16ビット・ライトするようにデータ設定してください (ただし、CEnTX0Lレジスタへの16ビット・ライトを行っても、上位8ビット側 (CEnTX0Hレジスタ)の8ビット・データは無視され、転送されません)。

CEnSTR.CEnFLFビットは、CSIBUFnレジスタ内に16個のデータが存在する場合にセット (1) され、CEnFLFビット = 1のとき、さらに17個目の転送データ・ライトを行った場合にCSIBUFnオーバフロー割り込み (INTCEnTIOF) を出力します (17個目の転送データはライトされず無視されます)。

シングル・モード (CEnCTL0.CEnTMSビット = 0) 時、CSIBUFnレジスタ内に16個のデータが存在する場合とは、「ライト用CSIBUFnポインタ値 = SIOnロード用CSIBUFnポインタ値、およびCEnSTR.CEnFLFビット = 1」のときです。CEnFLFビット = 1の状態から転送が終了して、SIOnロード用CSIBUFnポインタがインクリメントされると、CEnFLFビット = 0となり、次の送信データをライトできます。

連続モード (CEnCTL0.CEnTMSビット = 1) では、1つのデータ転送が終了したときにCEnFLFビット = 0となるが、次の送信データを書き込むことは禁止します (受信を行った場合、CSIBUFnレジスタには受信データが格納されるため、送信データを書き込んだ場合は受信データに上書きされ、データが破壊されます)。

図18 - 3 CSIデータ・バッファ・レジスタ<sub>n</sub> (CSIBUF<sub>n</sub>) 機能



## (3) データ転送方向指定機能

CEnCTL0.CEnDIRビットにより、データ転送方向を切り替えることができます ( $n = 0, 1$ )。

## (a) MSB先頭 (CEnDIRビット = 0)

図18 - 4 転送データ長：8ビット (CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000) ,  
転送方向：MSB先頭 (CEnCTL0.CEnDIRビット = 0) 設定時 (1/2)

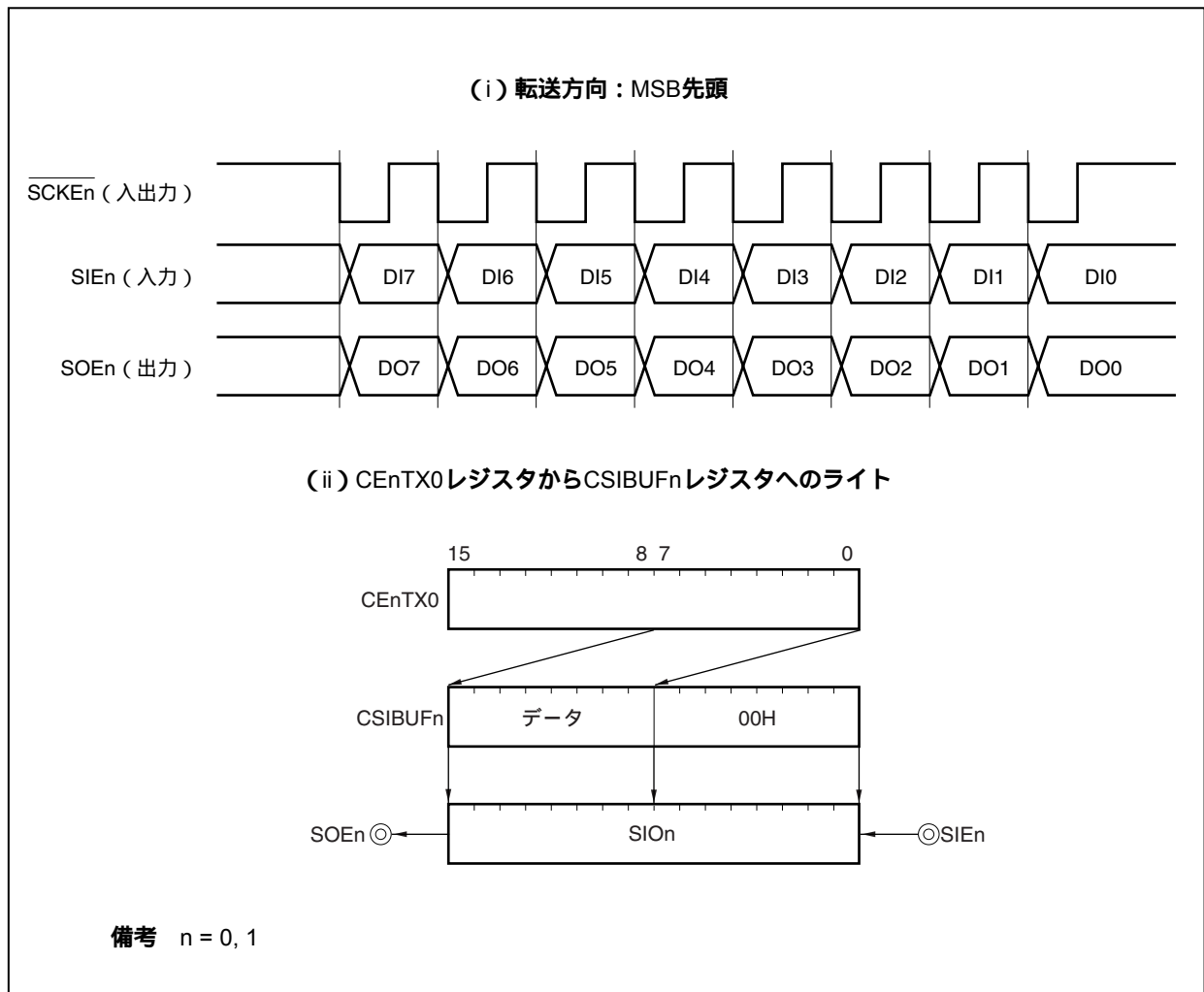
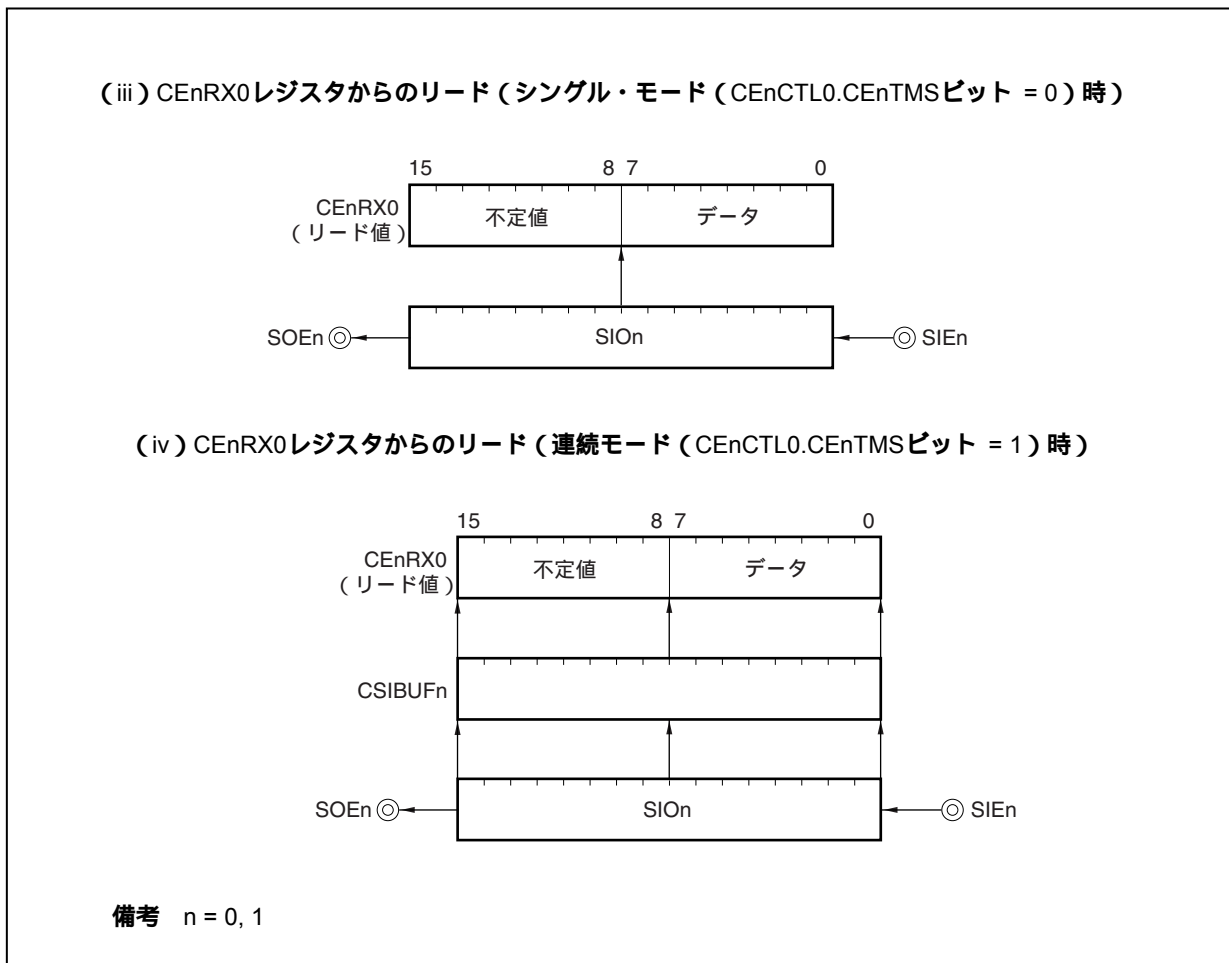




図18 - 4 転送データ長：8ビット (CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000) ,  
 転送方向：MSB先頭 (CEnCTL0.CEnDIRビット = 0) 設定時 (2/2)



(b) LSB先頭 (CEnDIRビット = 1)

図18 - 5 転送データ長 : 8ビット (CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000) ,  
 転送方向 : LSB先頭 (CEnCTL0.CEnDIRビット = 1) 設定時 (1/2)

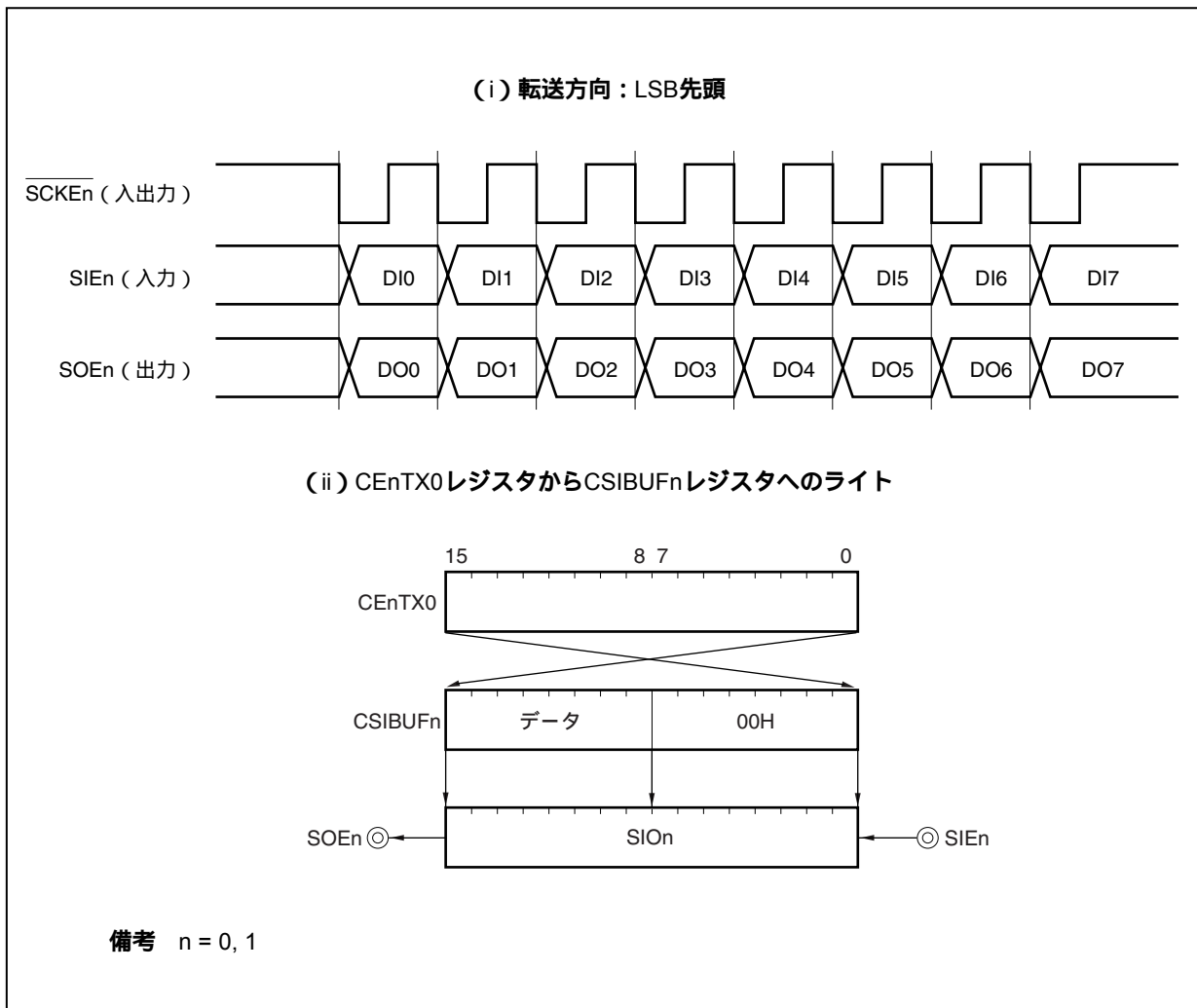
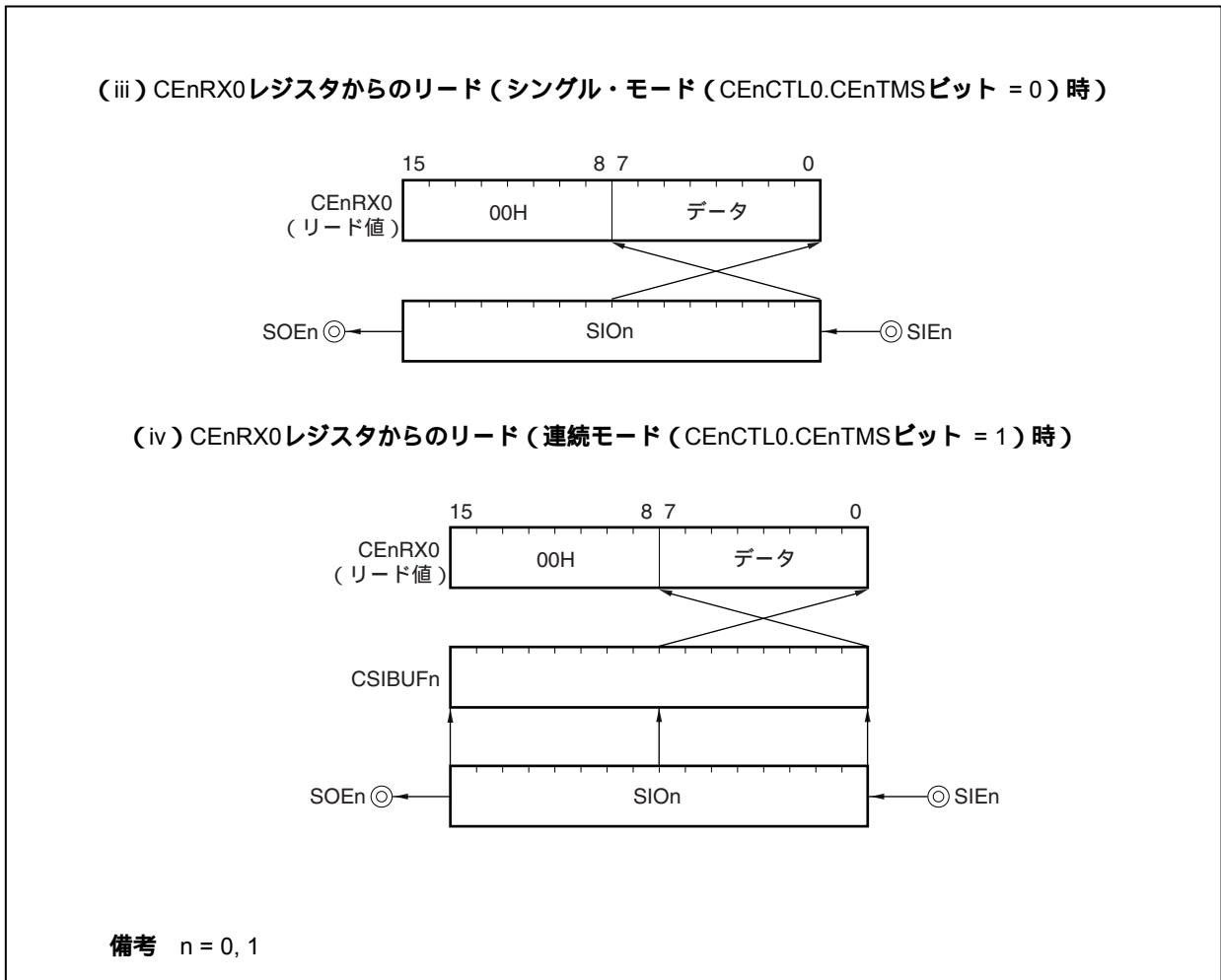


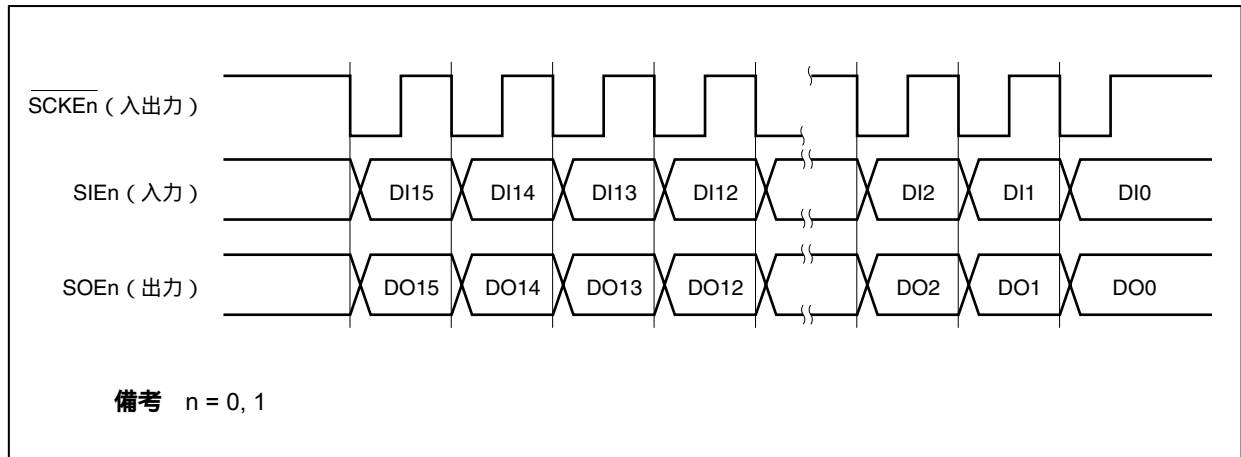
図18 - 5 転送データ長 : 8ビット (CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000) ,  
 転送方向 : LSB先頭 (CEnCTL0.CEnDIRビット = 1) 設定時 (2/2)



## (4) 転送データ長変更機能

転送データ長は、CEnCTL2.CEnDLS3-CEnDLS0ビットによって、8-16ビットに1ビット単位で設定できます ( $n = 0, 1$ )。

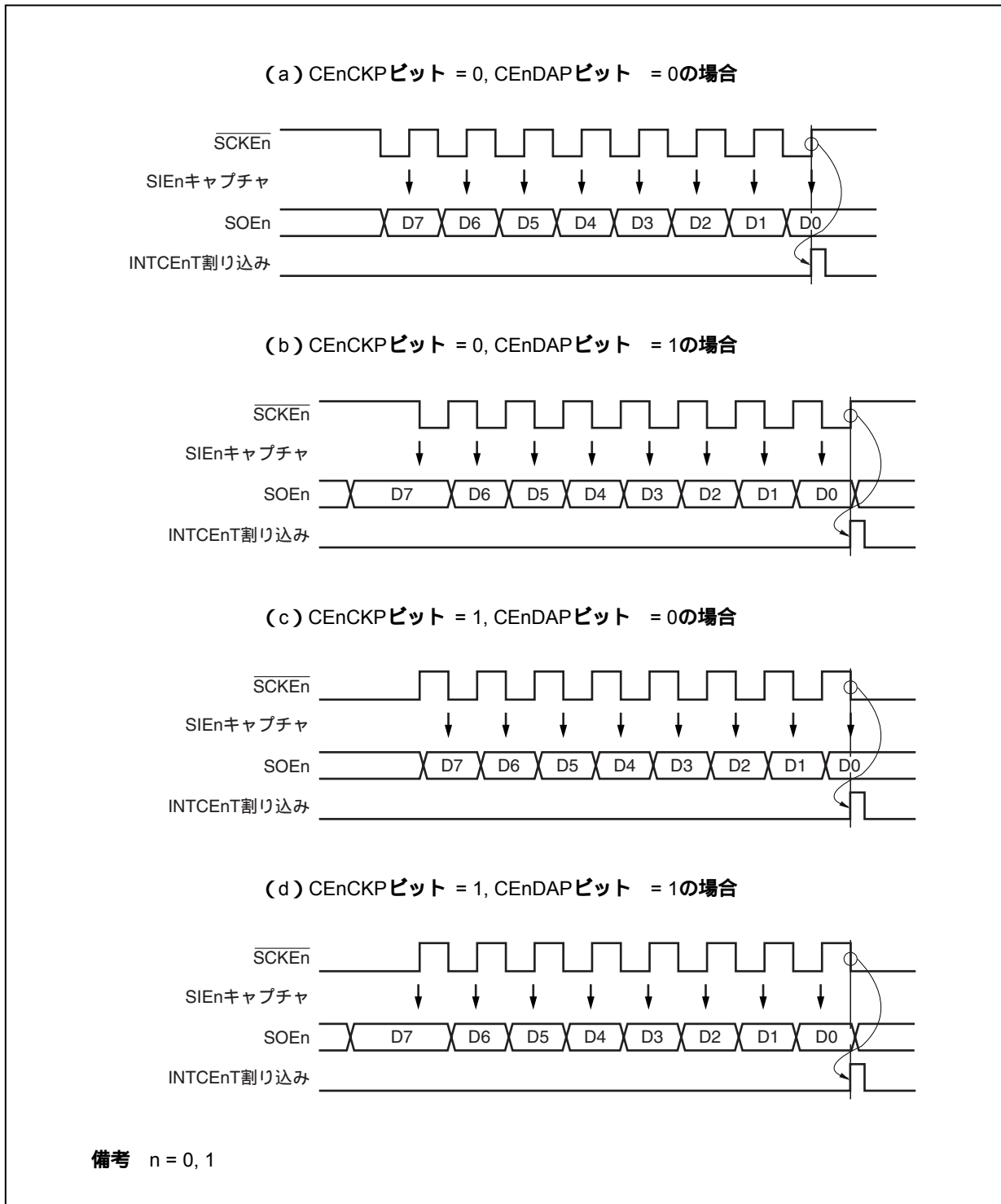
図18 - 6 転送データ長：16ビット (CEnCTL2.CEnDLS3-CEnDLS0ビット = 0000) ,  
転送方向：MSB先頭 (CEnCTL0.CEnDIRビット = 0) 設定時



(5) シリアル・クロックとデータ・フェーズの切り替え機能

CEnCTL1.CEnCKP, CEnDAPビットによって, シリアル・クロックとデータ・フェーズを切り替えることができます (n = 0, 1)。

図18 - 7 クロック・タイミング

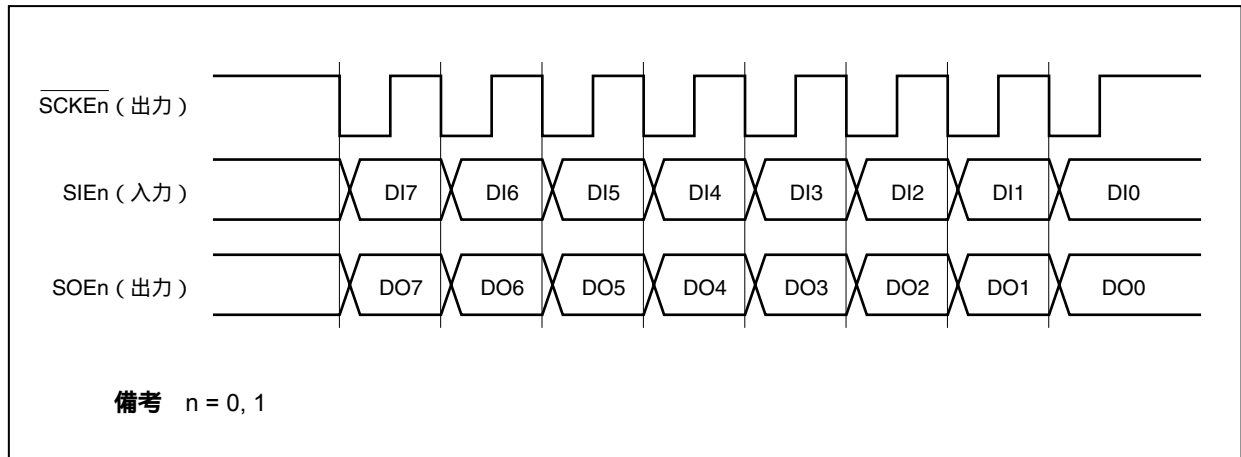


## (6) マスタ・モード

CEnCTL1.CEnCKS2-CEnCKS0ビット = 111以外に設定することでマスタ・モードになり、 $\overline{\text{SCKEn}}$ 端子に出力するシリアル・クロックによって転送を行います ( $\overline{\text{SCKEn}}$ 端子入力は無効です) ( $n = 0, 1$ )。

なお、 $\overline{\text{SCKEn}}$ 端子出力のデフォルト・レベルは、CEnCTL1.CEnCKPビット = 0のときはハイ・レベル、CEnCKPビット = 1のときはロウ・レベルになります。

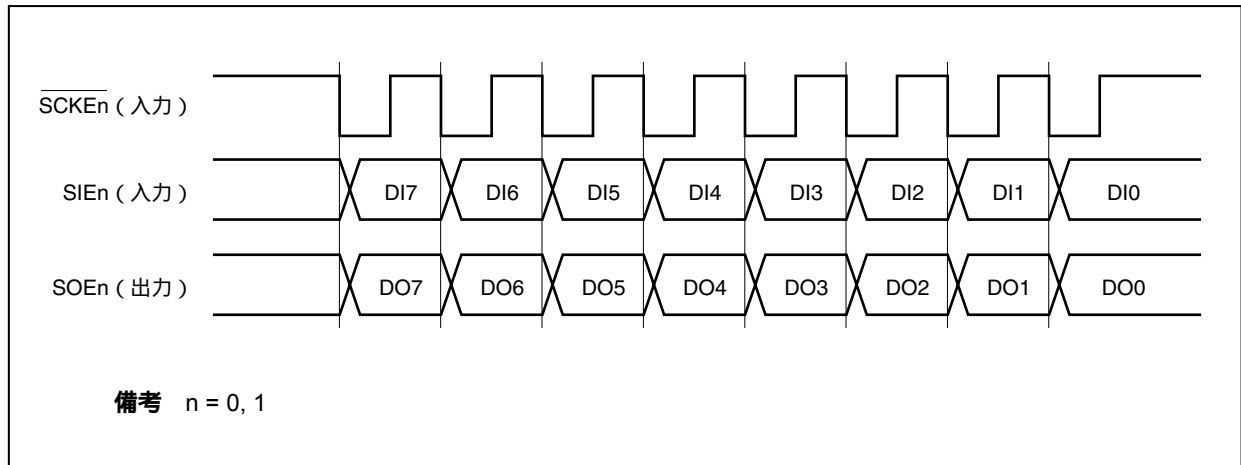
図18 - 8 マスタ・モード (CEnCTL1.CEnCKP, CEnDAPビット = 00 ,  
CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000 (転送データ長 : 8ビット)  
設定時)



## (7) スレーブ・モード

CEnCTL1.CEnCKS2-CEnCKS0ビット = 111に設定することでスレーブ・モードになり、 $\overline{\text{SCKEn}}$ 端子に入力されるシリアル・クロックによって転送を行います（スレーブ・モード時は、CEnCTL1.CEnMDL2-CEnMDL0ビット = 000に設定してください）（ $n=0, 1$ ）。

図18 - 9 スレーブ・モード（CEnCTL1.CEnCKP, CEnDAPビット = 00 ,  
CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000（転送データ長：8ビット）  
設定時）



## (8) 転送クロック選択機能

マスタ・モード（CEnCTL1.CEnCKS2-CEnCKS0ビット = 111以外）の場合、CEnCTL1.CEnCKS2-CEnCKS0, CEnMDL2-CEnMDL0ビットの設定により、ビット転送レートを選択できます（18.4(2)CSIEn制御レジスタ1（CEnCTL1）参照）。

### (9) シングル・モード

CEnCTL0.CEnTMSビット = 0 のとき、シングル・モードとして機能します (n = 0, 1)。

シングル・モードの場合、CEnTXEビット = 1 または CEnRXEビット = 1、および CSIBUFn レジスタ内にデータが存在する (CEnSTR.CEnEMFビット = 0) のとき、転送を開始します。

CSIBUFn レジスタ内にデータが存在しない (CEnEMFビット = 1) の場合は、CEnTX0 レジスタに送信データまたはダミー・データがライトされるまでウェイト状態となります。

送信許可状態 (CEnTXEビット = 1) または受信許可状態 (CEnRXEビット = 1) の場合に CEnTX0 レジスタにデータがライトされると、CEnSTR.CEnTSFビット (転送状態フラグ) をセット (1) し、SIO n ロード用 CSIBUFn ポインタの示す転送データを CSIBUFn レジスタから SIO n レジスタへロードし、転送処理を開始します。

受信モードまたは送受信モードの場合、1 データの転送処理が終了するまでに前の受信データのリード (CEnRX0 レジスタ・リード) が完了していれば、受信データを SIO n レジスタから CEnRX0 レジスタにストアし、送受信完了割り込み (INTCEnT) を出力し、SIO n ロード用 CSIBUFn ポインタをインクリメントします。前の受信データのリードが完了していないときはウェイト状態となり、CEnRX0 レジスタから前の受信データのリードが完了するまで受信データの CEnRX0 レジスタへのストア処理、INTCEnT 割り込みの出力、SIO n ロード用 CSIBUFn ポインタのインクリメントを保留します。

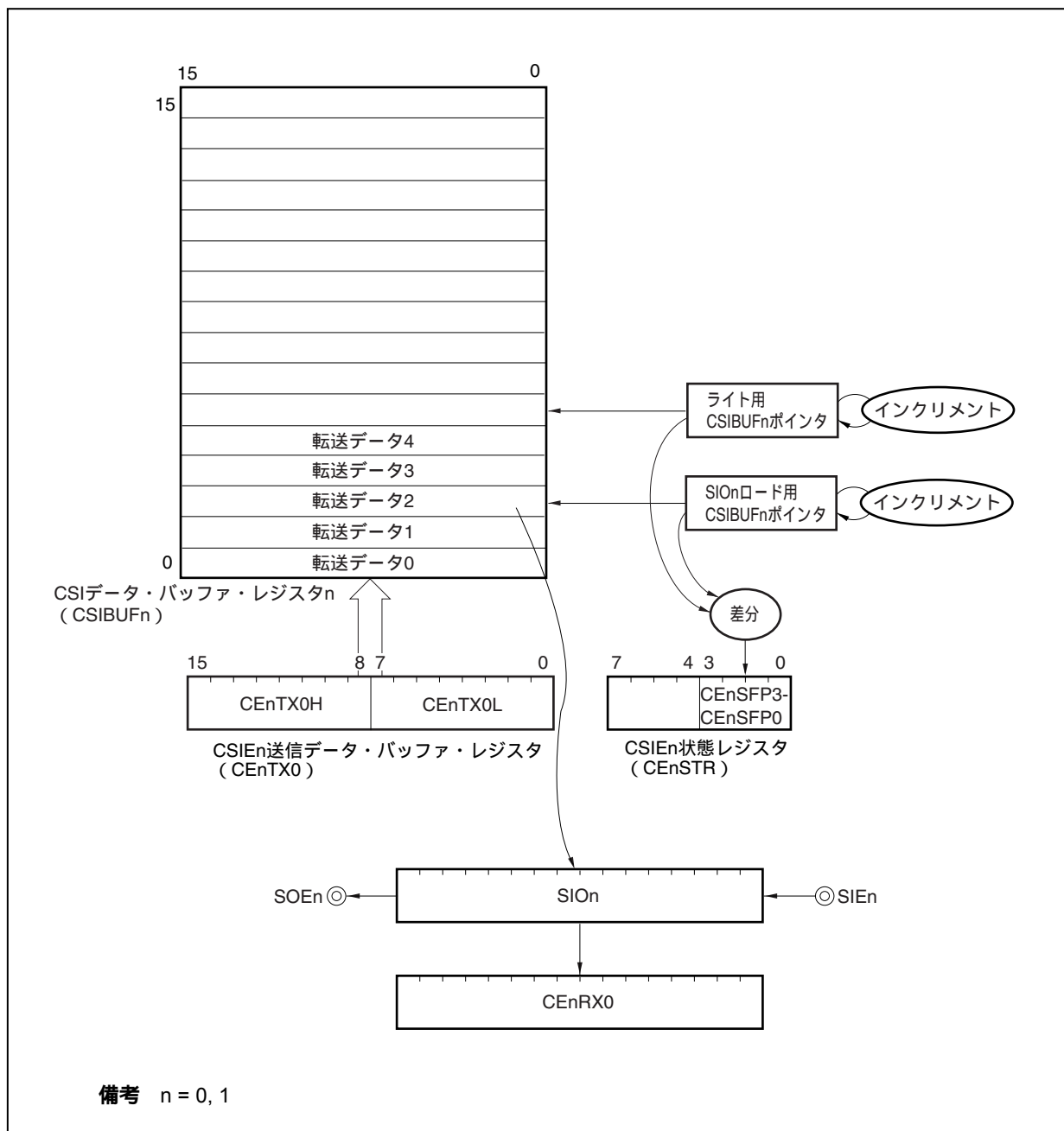
送信モードの場合、1 データの転送処理が終了したときは、INTCEnT 割り込みを出力し、SIO n ロード用ポインタをインクリメントします (SIO n レジスタから CEnRX0 レジスタへのストアは行わないため、CEnRX0 レジスタは常にリード完了状態です)。

すべてのモード (送信 / 受信 / 送受信) において、1 データの転送処理終了時に CSIBUFn レジスタ内が空 (ライト用 CSIBUFn ポインタ値 = SIO n ロード用 CSIBUFn ポインタ値) の場合は、CEnTSF ビットをクリア (0) します。CEnSTR.CEnSFP3-CEnSFP0 ビットは、常に「CSIBUFn レジスタ内の残りの転送データ数 (ライト用 CSIBUFn ポインタ - SIO n ロード用ポインタ)」の値がリードできます。

**注意** CEnTX0 レジスタへのデータ・ライトを行う場合は、必ず CEnSTR.CEnFLF ビット = 0 であることを確認してからライトしてください。CEnFLF ビット = 1 のときに CEnTX0 レジスタへのデータ・ライトを行っても、CSIBUFn オーバフロー割り込み (INTCEnTIOF) が出力され、ライトしたデータは無視されます。



図18 - 10 シングル・モード



次にシングル・モード時の転送開始条件を示します。この条件を満たすと、CSIE<sub>n</sub>はデータ転送を開始します。

表18 - 7 シングル・モード時の転送開始条件

転送モード		CEnTXE ビット	CEnRXE ビット	CSIBUF <sub>n</sub> レジスタ	CEnRX0レジスタ, SIO <sub>n</sub> レジスタ	SCKE <sub>n</sub> 端子
マスタ・ モード	送信 モード	1	0	未転送データあり (CEnEMFビット = 0)	-	-
	受信 モード	0	1	未使用ダミー・データあり (CEnEMFビット = 0)	受信完了データがSIO <sub>n</sub> レジスタからCEnRX0 レジスタに転送されて いる	
	送受信 モード	1	1	未転送データあり (CEnEMFビット = 0)		
スレーブ・ モード	送信 モード	1	0	未転送データあり (CEnEMFビット = 0)	-	入力あり
	受信 モード	0	1	未使用ダミー・データあり (CEnEMFビット = 0)	受信完了データがSIO <sub>n</sub> レジスタからCEnRX0 レジスタに転送されて いる	
	送受信 モード	1	1	未転送データあり (CEnEMFビット = 0)		

備考1. CEnTXEビット : CEnCTL0レジスタのビット6

CEnRXEビット : CEnCTL0レジスタのビット5

CEnEMFビット : CEnSTRレジスタのビット5

2. n = 0, 1

**(10) 連続モード**

CEnCTL0.CEnTMSビット = 1 のとき、連続モードとして機能します ( $n = 0, 1$ )。

連続モードの場合、CEnTXEビット = 1 またはCEnRXEビット = 1、およびCSIBUFnレジスタ内にデータが存在する (CEnSTR.CEnEMFビット = 0) のとき、転送を開始します。このとき、あらかじめCEnCTL3.CEnSFN3-CEnSFN0ビットで転送データ数を設定しておいてください。CSIBUFnレジスタにCEnCTL3.CEnSFN3-CEnSFN0ビットで設定した転送データ数を越えるデータをライトした場合、そのデータは無視され、転送されません。

CSIBUFnレジスタ内にデータが存在しない (CEnEMFビット = 1) の場合は、CEnTX0レジスタに送信データまたはダミー・データがライトされるまでウエイト状態となります。

送信許可状態 (CEnTXEビット = 1) または受信許可状態 (CEnRXEビット = 1) の場合にCEnTX0レジスタ内にデータ・ライトが行われると、CEnSTR.CEnTSFビット (転送状態フラグ) をセット (1) し、SIOロード / ストア用CSIBUFnポインタの示す転送データをCSIBUFnレジスタからSIOレジスタへロードし、転送処理が開始されます。

受信モードまたは送受信モードの場合、1データの転送処理が終了すると、受信データをSIOレジスタからSIOロード / ストア用CSIBUFnポインタの示すCSIBUFnレジスタ内の転送データにオーバライトし、SIOロード / ストア用CSIBUFnポインタをインクリメントします。CSIBUFnレジスタ内の全データ転送終了 (INTCEnT割り込み発生) 後に、連続して転送データ数分をCEnRX0レジスタからリードすることにより、リード用CSIBUFnポインタをインクリメントしながら受信データを順次リードすることができます。ただし、受信したデータ数を越えてCEnRX0レジスタからリードした場合のリード値は不定です。

送信モードの場合は、1データの転送処理が終了すると、SIOロード / ストア用CSIBUFnポインタをインクリメントします。

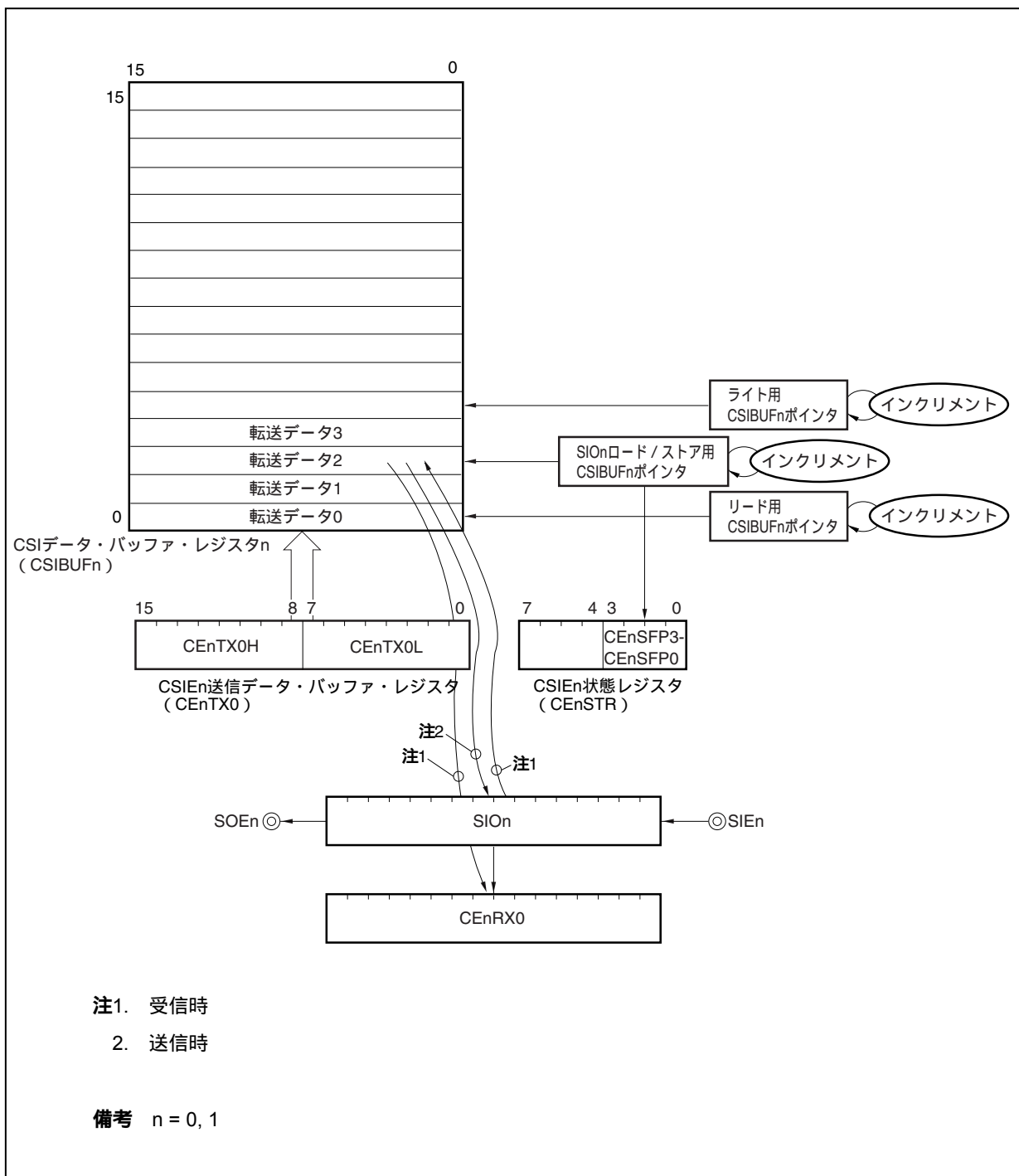
すべてのモード (送信 / 受信 / 送受信) において、CEnCTL3.CEnSFN3-CEnSFN0ビットに設定した値分の転送が終了した場合は、CEnTSFビットをクリア (0) し、送受信完了割り込み (INTCEnT) を出力します。

次の転送を行う前には、必ずCEnSTR.CEnPCTビット = 1 をライトして全CSIBUFnポインタをクリア (0) してください。

CEnSTR.CEnSFP3-CEnSFP0ビットには、常に「転送完了データ数 (SIOロード / ストア用CSIBUFnポインタの値)」がリードできます。

**注意** CSIBUFnポインタのクリア (CEnSTR.CEnPCTビット = 1) 後から転送データをライトするまで (転送開始前) のCEnSTRレジスタと、16個のデータ転送を終了したときのCEnSTRレジスタは、同じ状態になります (CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000)。

図18 - 11 連続モード



次に連続モード時の転送開始条件を示します。この条件を満たすと,CSIEはデータ転送を開始します。

表18 - 8 連続モード時の転送開始条件

転送モード		CEnTXE ビット	CEnRXE ビット	CSIBUF <sub>n</sub> レジスタ	CEnRX0レジスタ, SIO <sub>n</sub> レジスタ	SCKE <sub>n</sub> 端子	
マスタ・ モード	送信 モード	1	0	未転送データあり (CEnEMFビット = 0)	-	-	
	受信 モード	0	1	未使用ダミー・データあり (CEnEMFビット = 0) <sup>注</sup>			
	送受信 モード	1	1	未転送データあり (CEnEMFビット = 0)			
スレーブ・ モード	送信 モード	1	0	未転送データあり (CEnEMFビット = 0)		-	入力あり
	受信 モード	0	1	未使用ダミー・データあり (CEnEMFビット = 0) <sup>注</sup>			
	送受信 モード	1	1	未転送データあり (CEnEMFビット = 0)			

注 受信するデータ数分のダミー・データが必要です。

備考1. CEnTXEビット : CEnCTL0レジスタのビット6

CEnRXEビット : CEnCTL0レジスタのビット5

CEnEMFビット : CEnSTRレジスタのビット5

2. n = 0, 1

**(11) 送信モード**

CEnCTL0.CEnTXEビット = 1, CEnRXEビット = 0 のとき, 送信モードとなります。この状態で CEnTX0 レジスタに送信データをライトする, または CSIBUFn レジスタに送信データが存在する状態で CEnTXE ビット = 1 とする処理をトリガとして送信を開始します (n = 0, 1)。なお, 送信中, SIO端子に入力した値はシフト・レジスタ (SIO<sub>n</sub>) 内にラッチされていますが, 送信終了時に CEnRX0 レジスタおよび CSIBUFn レジスタ内へのデータ転送は行いません。

送受信完了割り込み (INTCEnT) は, SIO<sub>n</sub> レジスタからデータが送出された直後に発生します。

**(12) 受信モード**

CEnCTL0.CEnTXEビット = 0, CEnRXEビット = 1 のとき, 受信モードとなります。この状態で CEnTX0 レジスタにダミー・データをライトする処理をトリガとして受信を開始します (n = 0, 1)。ただし, シングル・モード (CEnCTL0.CEnTMSビット = 0) の場合は, 受信データが SIO<sub>n</sub> レジスタから CEnRX0 レジスタへ転送されていることも開始条件に含まれます (CEnRX0 レジスタ内に前の受信データがリードされずに保持されている上に, SIO<sub>n</sub> レジスタへの受信処理が終了した場合は, CEnRX0 レジスタをリードすることで, SIO<sub>n</sub> レジスタに格納されている受信データが CEnRX0 レジスタに転送されます)。連続モードの場合は, CEnTX0 レジスタに受信データ数分のダミー・データをライトし, 最初のダミー・データをライトする処理をトリガとして受信を開始します。

SOEn端子からはロウ・レベルを出力します。

送受信完了割り込み (INTCEnT) は, 受信データが SIO<sub>n</sub> レジスタから CEnRX0 レジスタに転送された直後に発生します。

**(13) 送受信モード**

CEnCTL0.CEnTXEビット = 1, CEnRXEビット = 1 のとき, 送受信モードとなります。この状態で CEnTX0 レジスタに送信データをライトする処理をトリガとして送受信を開始します (n = 0, 1)。ただし, シングル・モード (CEnCTL0.CEnTMSビット = 0) の場合は, 受信データが SIO<sub>n</sub> レジスタから CEnRX0 レジスタへ転送されていることも開始条件に含まれます (CEnRX0 レジスタ内に前の受信データがリードされずに保持されている上に, SIO<sub>n</sub> レジスタへの受信処理が終了した場合は, CEnRX0 レジスタをリードすることで, SIO<sub>n</sub> レジスタに格納されている受信データが CEnRX0 レジスタに転送されます)。

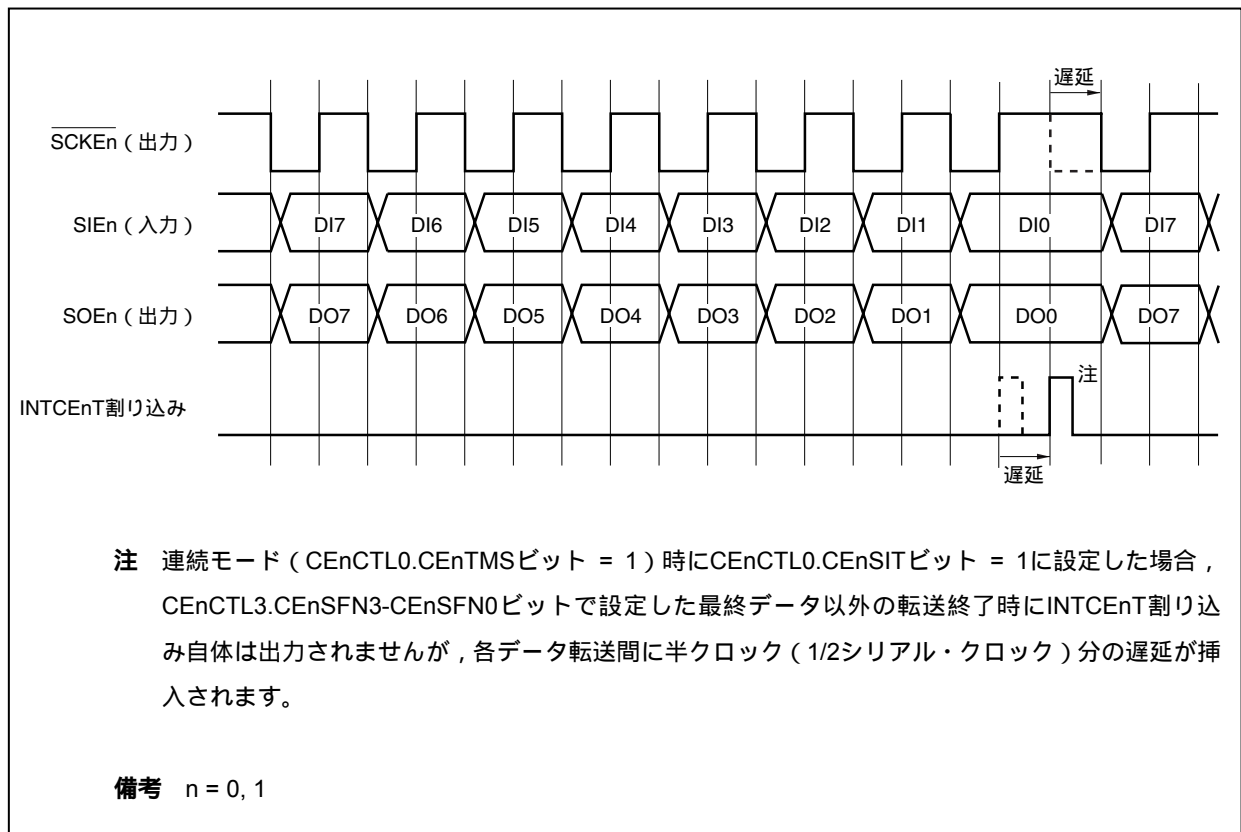
## (14) 送受信完了割り込み (INTCEnT) の遅延制御機能

マスタ・モード (CEnCTL1.CEnCKS2-CEnCKS0ビット = 111以外) の場合, CEnCTL0.CEnSITビット = 1 の設定により, 送受信完了割り込み (INTCEnT) の発生を半クロック (1/2シリアル・クロック) 遅らせることができます。CEnSITビットはマスタ・モード時のみ有効です。スレーブ・モード時 (CEnCTL1.CEnCKS2-CEnCKS0ビット = 111) には, CEnSITビット = 1 の設定は禁止です (設定しても, INTCEnT割り込みは影響を受けません)。

**注意** 連続モード (CEnCTL0.CEnTMSビット = 1) 時にCEnCTL0.CEnSITビット = 1に設定した場合, CEnCTL3.CEnSFN3-CEnSFN0ビットで設定した最終データ以外の転送終了時にINTCEnT割り込み自体は出力されませんが, 各データ転送間に半クロック (1/2シリアル・クロック) 分の遅延が挿入されます。

図18 - 12 送受信完了割り込み (INTCEnT) の遅延制御機能

: CEnCTL0.CEnSITビット = 1, CEnCKP, CEnDAPビット = 00,  
CEnCTL2.CEnDLS3-CEnDLS0ビット = 1000 (転送データ長: 8ビット) 設定時



## (15) 出力端子

## (a) SCKEn端子

CSIEが送受信していないときのSCKEn端子出力状態は次のようになります。

表18-9 非通信状態時のSCKEn端子出力レベル

CEnPWR ビット	CEnPCT ビット	CEnCKP ビット	CEnTXE, CEnRXEビット	CEnCKS2-CEnCKS0 ビット	SCKEn端子出力レベル
0	-	-	-	111 (スレーブ・モード)	ハイ・インピーダンス
				111以外(マスタ・モード)	ハイ・レベル
1	0 1 設定後	0	-	111 (スレーブ・モード)	ハイ・インピーダンス
				111以外(マスタ・モード)	ハイ・レベル
		1		111 (スレーブ・モード)	ハイ・インピーダンス
				111以外(マスタ・モード)	ロウ・レベル
	-	0	00Bへの変化 <sup>注1</sup>	111 (スレーブ・モード)	ハイ・インピーダンス
				111以外(マスタ・モード)	ハイ・レベル
			上記以外	111 (スレーブ・モード)	ハイ・インピーダンス
				111以外(マスタ・モード)	注3
		1	00Bからの変化 <sup>注2</sup>	111 (スレーブ・モード)	ハイ・インピーダンス
				111以外(マスタ・モード)	ロウ・レベル
			上記以外	111 (スレーブ・モード)	ハイ・インピーダンス
				111以外(マスタ・モード)	注3

- 注1. CEnTXE, CEnRXEビットの設定値が“01 00”, “10 00”, “11 00”のいずれかに変化した場合  
 2. CEnTXE, CEnRXEビットの設定値が“00 01”, “00 10”, “00 11”のいずれかに変化した場合  
 3. 直前のSCKEn端子出力レベルを保持します (SCKEn端子出力レベルは変化しません)。

**注意** マスタ・モード (CEnCKS2-CEnCKS0ビットが111以外) 時にCEnCKPビット = 1とした場合、SCKEn端子の出力は、インアクティブ時にロウ・レベル出力となります。ただし、CEnCTL0.CEnTXEビット = 0 (送信禁止) およびCEnRXEビット = 0 (受信禁止) とした場合、SCKEn端子の出力は、ハイ・レベルとなります。このためCSIEの未使用時にSCKEn端子の出力をロウ・レベルに固定とする場合は次のようにしてください。

## 【SCKE0端子 (SCKE1端子) の場合】

- P6.P62ビット = 0にする (P6.P65ビット = 0にする)  
 : ポート出力レベルをロウ・レベルに設定  
 PM6.PM62ビット = 0にする (PM6.PM65ビット = 0にする)  
 : ポートを出力モードに設定  
 PMC6.PMC62ビット = 0にする (PMC6.PMC65ビット = 0にする)  
 : 端子をポート・モードに切り替え (ロウ・レベル出力固定)  
 CE0CTL0.CE0TXEビット = 0およびCE0RXEビット = 0にする  
 (CE1CTL0.CE1TXEビット = 0およびCE1RXEビット = 0にする)  
 : 送信および受信禁止  
 CE0STR.CE0PCTビット = 1にする  
 (CE1STR.CE1PCTビット = 1にする)  
 : 全CSIBUF0 (CSIBUF1) 用ポインタをクリア



CE0CTL0.CE0TXEビット = 1またはCE0RXEビット = 1にする  
 (CE1CTL0.CE1TXEビット = 1またはCE1RXEビット = 1にする)  
 : 送信または受信許可 (送受信許可も可能)  
 PMC6.PMC62ビット = 1にする (PMC6.PMC65ビット = 1にする)  
 : 端子を兼用機能 (SCKE0, SCKE1端子出力) に切り替え)

なお, , のレジスタ設定値は保持されているため, 一度設定すれば, - のみの設定で制御できます。

備考 n = 0, 1

#### (b) SOEn端子

CSIEが送受信していないときのSOEn端子出力状態は次のようになります。

表18 - 10 非通信状態時のSOEn端子出力レベル

CEnPWR ビット	CEnPCT ビット	CEnDAP ビット	CEnTXE ビット	CEnCKS2-CEnCKS0 ビット	SOEn端子出力レベル
0	-	-	-	-	ロウ・レベル
1	0 1 設定後	0	-	111 (スレーブ・モード)	注
				111以外 (マスタ・モード)	ロウ・レベル
	1	-		ロウ・レベル	
	-	-		1 0	ロウ・レベル
			0 1	-	注

注 直前のSOEn端子出力レベルを保持します (SOEn端子出力レベルは変化しません)。

備考 n = 0, 1

#### (16) CSIBUFnオーバーフロー割り込み信号 (INTCEnTIOF)

シングル・モード, 連続モード時に, CSIBUFnレジスタ内に未送信の16個のデータが存在するとき, さらに17個目の転送データ・ライト (CEnTX0, CEnTXL0レジスタ・ライト) を行った場合は, INTCEnTIOF割り込みを出力します (17個目の転送データはライトされず, 無視されます)。

シングル・モード (CEnCTL0.CEnTMSビット = 0) 時に, CSIBUFnレジスタ内に未送信の16個のデータが存在する場合とは, 「ライト用CSIBUFnポインタ値 = SIOnロード用CSIBUFnポインタ値, およびCEnSTR.CEnFLFビット = 1」のときです。転送が終了して, SIOnロード用CSIBUFnポインタがインクリメントされると, CSIBUFnレジスタには送信データを1つ書き込むことができます。

連続モード (CEnCTL0.CEnTMSビット = 1) では, 1つのデータ転送が終了してもCSIBUFnレジスタに次の送信データを書き込むことはできません。

## 18.7 使用方法

### (1) シングル・モード (マスタ・モード, 送信モード時)

CEnCTL0.CEnPWRビット = 1にすると, 動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し, 転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして, 全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に, CEnTXEビット = 1にして送信許可状態にします。

CEnSTR.CEnFLFビット = 0であることを確認してから, CEnTX0レジスタに転送データをライトします。なお, INTCEntの割り込み処理ルーチンで転送データをライトするなどCEnFLFビット = 0であることが明確であれば, 必ずしもCEnFLFビット = 0であることを確認する必要はありません。

INTCEnt割り込みの発生, CEnSTR.CEnEMFビット = 1を確認後, CEnCTL0.CEnTXEビット = 0にして送信禁止状態にします (送信終了)。

**注意** さらに転送を行いたい場合には, の前に を繰り返してください。

### (2) シングル・モード (マスタ・モード, 受信モード時)

CEnCTL0.CEnPWRビット = 1にして, 動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し, 転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして, 全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に, CEnRXEビット = 1にして受信許可状態にします。

CEnSTR.CEnFLFビット = 0であることを確認してから, CEnTX0レジスタにダミー転送データをライトします (受信開始トリガ)。なお, INTCEntの割り込み処理ルーチンでダミー転送データをライトするなどCEnFLFビット = 0であることが明確であれば, 必ずしもCEnFLFビット = 0であることを確認する必要はありません。

INTCEnt割り込みの発生を確認後, CEnRX0レジスタをリードします。

INTCEnt割り込みの発生, CEnEMFビット = 1を確認後, CEnCTL0.CEnRXEビット = 0にして受信禁止状態にします (受信終了)。

**注意1.** さらに転送を行いたい場合には, の前に , を繰り返してください。

2. SOEn端子からはロウ・レベルが出力されますが無効です。

### (3) シングル・モード (マスタ・モード, 送受信モード時)

CEnCTL0.CEnPWRビット = 1にして、動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し、転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして、全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に、CEnTXEビット = 1, CEnRXEビット = 1にして送受信許可状態にします。

CEnSTR.CEnFLFビット = 0であることを確認してから、CEnTX0レジスタに転送データをライトします。なお、INTCEnTの割り込み処理ルーチンで転送データをライトするなどCEnFLFビット = 0であることが明確であれば、必ずしもCEnFLFビット = 0であることを確認する必要はありません。

INTCEnT割り込みの発生を確認後、CEnRX0レジスタをリードします。

INTCEnT割り込みの発生、CEnEMFビット = 1を確認後、CEnCTL0.CEnTXEビット = 0, CEnRXEビット = 0にして送受信禁止状態にします (送受信終了)。

**注意** さらに転送を行いたい場合には、の前に、を繰り返してください。

### (4) シングル・モード (スレーブ・モード, 送信モード時)

CEnCTL0.CEnPWRビット = 1にして、動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し、転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして、全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に、CEnTXEビット = 1にして送信許可状態にします。

CEnSTR.CEnFLFビット = 0であることを確認してから、CEnTX0レジスタに転送データをライトします。なお、INTCEnTの割り込み処理ルーチンで転送データをライトするなどCEnFLFビット = 0であることが明確であれば、必ずしもCEnFLFビット = 0であることを確認する必要はありません。

INTCEnT割り込みの発生、CEnEMFビット = 1を確認後、CEnCTL0.CEnTXEビット = 0にして送信禁止状態にします (送信終了)。

**注意** さらに転送を行いたい場合には、の前に を繰り返してください。

**(5) シングル・モード (スレーブ・モード, 受信モード時)**

CEnCTL0.CEnPWRビット = 1にして, 動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し, 転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして, 全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に, CEnRXEビット = 1にして受信許可状態にします。

CEnSTR.CEnFLFビット = 0であることを確認してから, CEnTX0レジスタにダミー転送データをライトします (受信開始トリガ)。なお, INTCEntの割り込み処理ルーチンでダミー転送データをライトするなどCEnFLFビット = 0であることが明確であれば, 必ずしもCEnFLFビット = 0であることを確認する必要はありません。

INTCEnt割り込みの発生を確認後, CEnRX0レジスタをリードします。

INTCEnt割り込みの発生, CEnEMFビット = 1を確認後, CEnCTL0.CEnRXEビット = 0にして受信禁止状態にします (受信終了)。

**注意1.** さらに転送を行いたい場合には, の前に, を繰り返してください。

2. SOEn端子からはロウ・レベルが出力されますが無効です。

**(6) シングル・モード (スレーブ・モード, 送受信モード時)**

CEnCTL0.CEnPWRビット = 1にして, 動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し, 転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして, 全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時にCEnTXEビット = 1, CEnRXEビット = 1にして送受信許可状態にします。

CEnSTR.CEnFLFビット = 0であることを確認してから, CEnTX0レジスタに転送データをライトします。なお, INTCEntの割り込み処理ルーチンで転送データをライトするなどCEnFLFビット = 0であることが明確であれば, 必ずしもCEnFLFビット = 0であることを確認する必要はありません。

INTCEnt割り込みの発生を確認後, CEnRX0レジスタをリードします。

INTCEnt割り込みの発生, CEnEMFビット = 1を確認後, CEnCTL0.CEnTXEビット = 0, CEnRXEビット = 0にして送受信禁止状態にします (送受信終了)。

**注意** さらに転送を行いたい場合には, の前に, を繰り返してください。

**(7) 連続モード (マスタ・モード, 送信モード時)**

CEnCTL0.CEnPWRビット = 1にして、動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し、転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして、全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に、CEnTXEビット = 1にして送信許可状態にします。

CEnCTL3.CEnSFN3-CEnSFN0ビットに送信データ数を設定します。

CEnTX0レジスタに送信データ数分の転送データをライトします。CEnCTL3レジスタの設定値を越えるデータ・ライトは禁止です。

INTCEnT割り込みの発生, CEnEMFビット = 1を確認後, CEnSTR.CEnPCTビット = 1をライトして、次の転送のために全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTXEビット = 0にして送信禁止状態にします (送信終了)。

**注意** さらに転送を行いたい場合には、の前に - を繰り返してください。

**(8) 連続モード (マスタ・モード, 受信モード時)**

CEnCTL0.CEnPWRビット = 1にして、動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し、転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして、全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に、CEnRXEビット = 1にして受信許可状態にします。

CEnCTL3.CEnSFN3-CEnSFN0ビットに受信データ数を設定します。

CEnTX0レジスタに受信データ数分のダミー転送データをライトします。最初のダミー転送データのライトが受信開始トリガとなります。CEnCTL3レジスタの設定値を越えるデータ・ライトは禁止です。

INTCEnT割り込みの発生, CEnEMFビット = 1を確認後, 受信データ数分のCEnRX0レジスタをリードします (CSIBUFnレジスタ内に格納された受信データを順次リードします)。

CEnSTR.CEnPCTビット = 1をライトして、次の転送のために全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnRXEビット = 0にして受信禁止状態にします (受信終了)。

**注意1.** さらに転送を行いたい場合には、の前に - を繰り返してください。

2. SOEn端子からはロウ・レベルが出力されます。

**(9) 連続モード (マスタ・モード, 送受信モード時)**

CEnCTL0.CEnPWRビット = 1にして、動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し、転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして、全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に、CEnTXEビット = 1, CEnRXEビット = 1にして送受信許可状態にします。

CEnCTL3.CEnSFN3-CEnSFN0ビットに送受信データ数を設定します。

CEnTX0レジスタに送信データ数分の転送データをライトします。CEnCTL3レジスタの設定値を越えるデータ・ライトは禁止です。

INTCEnT割り込みの発生, CEnEMFビット = 1を確認後, 受信データ数分のCEnRX0レジスタをリードします (CSIBUFnレジスタ内に格納された受信データを順次リードします)。

CEnSTR.CEnPCTビット = 1をライトして、次の転送のために全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTXEビット = 0, CEnRXEビット = 0にして送受信禁止状態にします (送受信終了)。

**注意** さらに転送を行いたい場合には、の前に - を繰り返してください。

**(10) 連続モード (スレーブ・モード, 送信モード時)**

CEnCTL0.CEnPWRビット = 1にして、動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し、転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして、全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に、CEnTXEビット = 1にして送信許可状態にします。

CEnCTL3.CEnSFN3-CEnSFN0ビットに送信データ数を設定します。

CEnTX0レジスタに送信データ数分の転送データをライトします。CEnCTL3レジスタの設定値を越えるデータ・ライトは禁止です。

INTCEnT割り込みの発生, CEnEMFビット = 1を確認後, CEnSTR.CEnPCTビット = 1をライトして、次の転送のために全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTXEビット = 0にして送信禁止状態にします (送信終了)。

**注意** さらに転送を行いたい場合には、の前に - を繰り返してください。

## (11) 連続モード (スレーブ・モード, 受信モード時)

CEnCTL0.CEnPWRビット = 1にして, 動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し, 転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして, 全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に, CEnRXEビット = 1にして受信許可状態にします。

CEnCTL3.CEnSFN3-CEnSFN0ビットに受信データ数を設定します。

CEnTX0レジスタに受信データ数分のダミー転送データをライトします。最初のダミー転送データのライトが受信開始トリガとなります。CEnCTL3レジスタの設定値を越えるデータ・ライトは禁止です。INTCEnT割り込みの発生, CEnEMFビット = 1を確認後, 受信データ数分のCEnRX0レジスタをリードします (CSIBUFnレジスタ内に格納された受信データを順次リードします)。

CEnSTR.CEnPCTビット = 1をライトして, 次の転送のために全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnRXEビット = 0にして受信禁止状態にします (受信終了)。

**注意1.** さらに転送を行いたい場合には, の前に - を繰り返してください。

2. SOEn端子からはロウ・レベルが出力されます。

## (12) 連続モード (スレーブ・モード, 送受信モード時)

CEnCTL0.CEnPWRビット = 1にして, 動作クロック供給を許可します。

CEnCTL1, CEnCTL2レジスタを設定し, 転送モードを指定します。

CEnSTR.CEnPCTビット = 1をライトして, 全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTMS, CEnDIR, CEnSITビットによって転送モードを指定すると同時に, CEnTXEビット = 1, CEnRXEビット = 1にして送受信許可状態にします。

CEnCTL3.CEnSFN3-CEnSFN0ビットに送受信データ数を設定します。

CEnTX0レジスタに送信データ数分の転送データをライトします。CEnCTL3レジスタの設定値を越えるデータ・ライトは禁止です。

INTCEnT割り込みの発生, CEnEMFビット = 1を確認後, 受信データ数分のCEnRX0レジスタをリードします (CSIBUFnレジスタ内に格納された受信データを順次リードします)。

CEnSTR.CEnPCTビット = 1をライトして, 次の転送のために全CSIBUFn用ポインタをクリア (0) します。

CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000であることを確認します。

CEnCTL0.CEnTXEビット = 0, CEnRXEビット = 0にして送受信禁止状態にします (送受信終了)。

**注意** さらに転送を行いたい場合には, の前に - を繰り返してください。



## 18.8 注意事項

CSIE<sub>n</sub>についての注意事項を次に示します (n = 0, 1)。

### (1) CSIE<sub>n</sub>の停止

CEnCTL0.CEnPWRビット = 0にすると、CSIE<sub>n</sub>の動作状態をリセットしてCSIE<sub>n</sub>は停止します。CSIE<sub>n</sub>を動作させる場合には、まずCEnPWRビット = 1にしたあとで、他のビットを設定してください。

また、通常CEnPWRビットに“0”を設定する場合、CEnTXEビット = 0およびCEnRXEビット = 0(転送終了後)にしてから行ってください。

### (2) 転送許可

CEnCTL0.CEnTXEビット = 1またはCEnRXEビット = 1に設定して転送許可状態にする前に、必ずCEnSTR.CEnPCTビット = 1をライトして、全CSIBUF<sub>n</sub>用ポインタをクリア(0)してください。クリア(0)しないまま、CEnTXEビット = 1またはCEnRXEビット = 1に設定した場合、CSIBUF<sub>n</sub>レジスタ内に前の転送データが残っていたときには、ただちにそのデータ転送を開始します。

また、転送許可状態にする前にCSIBUF<sub>n</sub>レジスタへ転送データを設定すると、CEnTXEビット = 1またはCEnRXEビット = 1に設定した瞬間に転送を開始します。

### (3) CEnCTL0レジスタ設定時の注意

CSIE<sub>n</sub>を使用する場合には、必ずCSIE<sub>n</sub>機能に関連するポート端子を兼用機能に設定し、CEnPWRビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。

### (4) シングル・モード時のCEnTX0レジスタへのデータ・ライト

CEnTX0レジスタへのデータ・ライトを行う場合は、必ずCEnSTR.CEnFLFビット = 0であることを確認してからライトしてください。CEnFLFビット = 1のときにCEnTX0レジスタへのデータ・ライトを行っても、CSIBUF<sub>n</sub>オーバフロー割り込み(INTCEnTIOF)が出力され、ライトしたデータは無視されます。

### (5) 連続モード時のCEnSTRレジスタ状態

CSIBUF<sub>n</sub>ポインタのクリア(CEnSTR.CEnPCTビット = 1)後から転送データをライトするまで(転送開始前)のCEnSTRレジスタと、16個のデータ転送を終了したときのCEnSTRレジスタは、同じ状態になります(CEnSTR.CEnFLFビット = 0, CEnEMFビット = 1, CEnSFP3-CEnSFP0ビット = 0000)。

### (6) DMA転送の起動要因の切り替え

V850E/SJ3-H, V850E/SK3-Hでは、DMA転送の起動要因のINTCE0T信号とINTERR信号、およびINTCE1T信号とINTSTA信号が兼用になっており、同時には使用できません。INTCE0T信号、またはINTCE1T信号をDMA転送の起動要因として使用するときは、オプション・バイト0000007AH(第33章 オプション・バイト機能参照)のDTFROB0ビット = 1に設定してください。この場合、INTERR信号とINTSTA信号はDMA転送の起動要因として使用できません。

**備考** 詳細については、表22-1 DMA転送の起動要因を参照してください。

## 第19章 I<sup>2</sup>Cバス

この機能を使用する場合は、P38/SDA00, P39/SCL00, P40/SDA01, P41/SCL01, P90/SDA02, P91/SCL02, P614/SDA03, P615/SCL03, P00/SDA04<sup>※</sup>, P20/SDA04 (V850E/SK3-Hのみ), P01/SCL04<sup>※</sup>, P21/SCL04 (V850E/SK3-Hのみ), P67/SDA05<sup>※</sup>, P82/SDA05 (V850E/SK3-Hのみ), P68/SCL05<sup>※</sup>, P83/SCL05 (V850E/SK3-Hのみ) 端子を兼用端子として使用し、N-chオープン・ドレイン出力に設定してください。

注  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

V850E/SJ3-H, V850E/SK3-Hは、I<sup>2</sup>Cバスを内蔵しています。

V850E/SJ3-H, V850E/SK3-Hでは、各製品により、搭載チャンネル数が異なります。表19 - 1に製品ごとのチャンネル数を示します。

表19 - 1 I<sup>2</sup>Cバスのチャンネル数

品 名	V850E/SJ3-H		V850E/SK3-H
	$\mu$ PD70F3931B, 70F3932B, 70F3933Bのみ	$\mu$ PD70F3931B, 70F3932B, 70F3933B以外	
チャンネル数	4ch (I <sup>2</sup> C00-I <sup>2</sup> C03)		6ch (I <sup>2</sup> C00-I <sup>2</sup> C05)

## 19.1 I<sup>2</sup>C00-I<sup>2</sup>C05のポート設定

### 19.1.1 V850E/SJ3-Hの場合

表19-2 端子構成

モード	端子名	兼用端子					
		ポート			ポート		
		ピン番号	ポート	兼用機能	ピン番号	ポート	兼用機能
I <sup>2</sup> C00	SDA00	35	P38	TXDA2/SIB2	-	-	-
	SCL00	36	P39	RXDA2/SCKB2	-	-	-
I <sup>2</sup> C01	SDA01	22	P40	SIB0	-	-	-
	SCL01	23	P41	SOB0	-	-	-
I <sup>2</sup> C02	SDA02	61	P90	A0/KR6/TXDA1	-	-	-
	SCL02	62	P91	A1/KR7/RXDA1/KR7	-	-	-
I <sup>2</sup> C03	SDA03	57	P614	TECR8	-	-	-
	SCL03	58	P615	-	-	-	-
I <sup>2</sup> C04 <sup>注</sup>	SDA04 <sup>注</sup>	6	P00	TIP61/TOP61	-	-	-
	SCL04 <sup>注</sup>	7	P01	TIP60/TOP60	-	-	-
I <sup>2</sup> C05 <sup>注</sup>	SDA05 <sup>注</sup>	50	P67	SOB5/RXDA5	-	-	-
	SCL05 <sup>注</sup>	51	P68	SCKB5/TXDA5	-	-	-

注 μ PD70F3931B, 70F3932B, 70F3933B以外

#### (1) I<sup>2</sup>C00

I<sup>2</sup>C00のシリアル送受信データ/シリアル・クロック端子 (SDA00, SCL00) は、それぞれP38, P39に割り付けられています。I<sup>2</sup>C00を使用する場合は、あらかじめPMC3, PFC3, PFCE3レジスタで、P38, P39をSDA00, SCL00端子に設定してください。

SDA00, SCL00端子は、UARTA2の送受信端子 (TXDA2, RXDA2) と兼用しているので、同時に使用できません。また、SDA00, SCL00端子は、CSIB2のシリアル受信データ/シリアル・クロック端子 (SIB2, SCKB2) と兼用しているので、同時に使用する場合は、SIB2, SCKB2端子をもう一方のポートに割り付けられた端子 (P53, P55) で使用してください。

#### (2) I<sup>2</sup>C01

I<sup>2</sup>C01のシリアル送受信データ/シリアル・クロック端子 (SDA01, SCL01) は、それぞれP40, P41に割り付けられています。I<sup>2</sup>C01を使用する場合は、あらかじめPMC4, PFC4レジスタで、P40, P41をSDA01, SCL01端子に設定してください。

SDA01, SCL01端子は、CSIB0の送受信端子 (SIB0, SOB0) と兼用しているので、同時に使用できません。

#### (3) I<sup>2</sup>C02

I<sup>2</sup>C02のシリアル送受信データ/シリアル・クロック端子 (SDA02, SCL02) はそれぞれP90, P91に割り付けられています。I<sup>2</sup>C02を使用する場合は、あらかじめPMC9, PFC9, PFCE9レジスタで、P90, P91をSDA02, SCL02端子に設定してください。

SDA02, SCL02端子は、UARTA1の送受信端子 (TXDA1, RXDA1) と兼用しているので、同時に使用できません。

(4) I<sup>2</sup>C03

I<sup>2</sup>C03のシリアル送受信データ/シリアル・クロック端子 (SDA03, SCL03) はそれぞれP614, P615に割り付けられています。I<sup>2</sup>C03を使用する場合は, あらかじめPMC6, PFC6, PFCE6レジスタで, P614, P615をSDA03, SCL03端子に設定してください。

SDA03端子は, TMP8のエンコーダ・クリア入力端子 (TECR8) と兼用しているので, 同時に使用できません。

(5) I<sup>2</sup>C04 (μ PD70F3931B, 70F3932B, 70F3933B以外)

I<sup>2</sup>C04のシリアル送受信データ/シリアル・クロック端子 (SDA04, SCL04) はそれぞれP00, P01に割り付けられています。I<sup>2</sup>C04を使用する場合は, あらかじめPMC0, PFC0, PFCE0レジスタで, P00, P01をSDA04, SCL04端子に設定してください。

SDA04, SCL04端子は, TMP6の入出力端子 (TIP61/TOP61, TIP60/TOP60) と兼用しているので, 同時に使用できません。

(6) I<sup>2</sup>C05 (μ PD70F3931B, 70F3932B, 70F3933B以外)

I<sup>2</sup>C05のシリアル送受信データ/シリアル・クロック端子 (SDA05, SCL05) はそれぞれP67, P68に割り付けられています。I<sup>2</sup>C05を使用する場合は, あらかじめPMC6, PFC6, PFCE6レジスタで, P67, P68をSDA05, SCL05端子に設定してください。

SDA05, SCL05端子は, CSIB5のシリアル送信データ/シリアル・クロック端子 (SOB5,  $\overline{\text{SCKB5}}$ ), UARTA5の送受信端子 (RXDA5, TXDA5) と兼用しているので, 同時に使用できません。

**注意** 動作中にポート設定を切り替えしないでください。また, ポート設定を行わず, 使用しないユニットは, 必ず動作禁止にしてください。

## 19.1.2 V850E/SK3-Hの場合

表19 - 3 端子構成

モード	端子名	兼用端子					
		ポート			ポート		
		ピン番号	ポート	兼用機能	ピン番号	ポート	兼用機能
I <sup>2</sup> C00	SDA00	40	P38	TXDA2/SIB2	-	-	-
	SCL00	41	P39	RXDA2/SCKB2	-	-	-
I <sup>2</sup> C01	SDA01	24	P40	SIB0	-	-	-
	SCL01	25	P41	SOB0	-	-	-
I <sup>2</sup> C02	SDA02	77	P90	A0/KR6/TXDA1	-	-	-
	SCL02	78	P91	A1/KR7/RXDA1/KR7	-	-	-
I <sup>2</sup> C03	SDA03	67	P614	TECR8	-	-	-
	SCL03	68	P615	-	-	-	-
I <sup>2</sup> C04	SDA04	6	P00	TIP61/TOP61	8	P20	-
	SCL04	7	P01	TIP60/TOP60	9	P21	-
I <sup>2</sup> C05	SDA05	60	P67	SOB5/RXDA5	73	P82	-
	SCL05	61	P68	SCKB5/TXDA5	74	P83	-

(1) I<sup>2</sup>C00

I<sup>2</sup>C00のシリアル送受信データ/シリアル・クロック端子 (SDA00, SCL00) は、それぞれP38, P39に割り付けられています。I<sup>2</sup>C00を使用する場合は、あらかじめPMC3, PFC3, PFCE3レジスタで、P38, P39をSDA00, SCL00端子に設定してください。

SDA00, SCL00端子は、UARTA2の送受信端子 (TXDA2, RXDA2) と兼用しています。同時に使用する場合は、TXDA2, RXDA2端子をもう一方のポートに割り付けられた端子 (P311, P312) で使用してください。また、SDA00, SCL00端子は、CSIB2のシリアル受信データ/シリアル・クロック端子 (SIB2, SCKB2) と兼用しているので、同時に使用する場合は、SIB2, SCKB2端子をもう一方のポートに割り付けられた端子 (P53, P55) で使用してください。

(2) I<sup>2</sup>C01

I<sup>2</sup>C01のシリアル送受信データ/シリアル・クロック端子 (SDA01, SCL01) は、それぞれP40, P41に割り付けられています。I<sup>2</sup>C01を使用する場合は、あらかじめPMC4, PFC4レジスタで、P40, P41をSDA01, SCL01端子に設定してください。

SDA01, SCL01端子は、CSIB0の送受信端子 (SIB0, SOB0) と兼用しているので、同時に使用できません。

(3) I<sup>2</sup>C02

I<sup>2</sup>C02のシリアル送受信データ/シリアル・クロック端子 (SDA02, SCL02) はそれぞれP90, P91に割り付けられています。I<sup>2</sup>C02を使用する場合は、あらかじめPMC9, PFC9, PFCE9レジスタで、P90, P91をSDA02, SCL02端子に設定してください。

SDA02, SCL02端子は、それぞれUARTA1の送受信端子 (TXDA1, RXDA1) と兼用しているので、同時に使用する場合は、TXDA1, RXDA1端子をもう一方のポートに割り付けられた端子 (P151, P150) で使用してください。

(4) I<sup>2</sup>C03

I<sup>2</sup>C03のシリアル送受信データ/シリアル・クロック端子 (SDA03, SCL03) はそれぞれP614, P615に割り付けられています。I<sup>2</sup>C03を使用する場合は、あらかじめPMC6, PFC6, PFCE6レジスタで、P614, P615をSDA03, SCL03端子に設定してください。

SDA03端子はTMP8のエンコーダ・クリア入力端子 (TECR8) と兼用しているため、同時に使用できません。

(5) I<sup>2</sup>C04

I<sup>2</sup>C04のシリアル送受信データ/シリアル・クロック端子 (SDA04, SCL04) はそれぞれP00, P01と、P20, P21の2箇所割り付けられ、どちらか一方でのみ使用できます。P00, P01でI<sup>2</sup>C04を使用する場合は、あらかじめPMC0, PFC0, PFCE0レジスタで、P00, P01をSDA04, SCL04端子に設定してください。P20, P21でI<sup>2</sup>C04を使用する場合は、あらかじめPMC2レジスタで、P20, P21をSDA04, SCL04端子に設定してください。

P00, P01では、TMP6の入出力端子 (TIP61/TOP61, TIP60/TOP60) を兼用しています。P20, P21でI<sup>2</sup>C04を使用することで、これらと同時に使用することが可能です。

(6) I<sup>2</sup>C05

I<sup>2</sup>C05のシリアル送受信データ/シリアル・クロック端子 (SDA05, SCL05) は、それぞれP67, P68と、P82, P83の2箇所割り付けられ、どちらか一方でのみ使用できます。P67, P68でI<sup>2</sup>C05を使用する場合は、あらかじめPMC6, PFC6, PFCE6レジスタで、P67, P68をSDA05, SCL05端子に設定してください。P82, P83でI<sup>2</sup>C05を使用する場合は、あらかじめPMC8レジスタで、P82, P83をSDA05, SCL05端子に設定してください。

P67, P68では、CSIB5のシリアル送信データ/シリアル・クロック端子 (SOB5, SCKB5), UARTA5の送受信端子 (RXDA5, TXDA5) を兼用しています。P82, P83でI<sup>2</sup>C05を使用することで、これらと同時に使用することが可能です。

**注意** 動作中にポート設定を切り替えしないでください。また、ポート設定を行わず、使用しないユニットは、必ず動作禁止にしてください。

## 19.2 特 徴

I<sup>2</sup>C0nには、次の2種類のモードがあります。

- ・動作停止モード
- ・I<sup>2</sup>C (Inter IC) バス・モード (マルチマスタ対応)

### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

### (2) I<sup>2</sup>Cバス・モード (マルチマスタ対応)

シリアル・クロック端子 (SCL0n) とシリアル・データ・バス端子 (SDA0n) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I<sup>2</sup>Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI<sup>2</sup>Cバス制御部分を簡単にすることができます。

I<sup>2</sup>C0nでは、SCL0n端子とSDA0n端子はN-chオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

**備考**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

### 19.3 構 成

I<sup>2</sup>C0nのブロック図を次に示します。

図19 - 1 I<sup>2</sup>C0nのブロック図 (1/2)

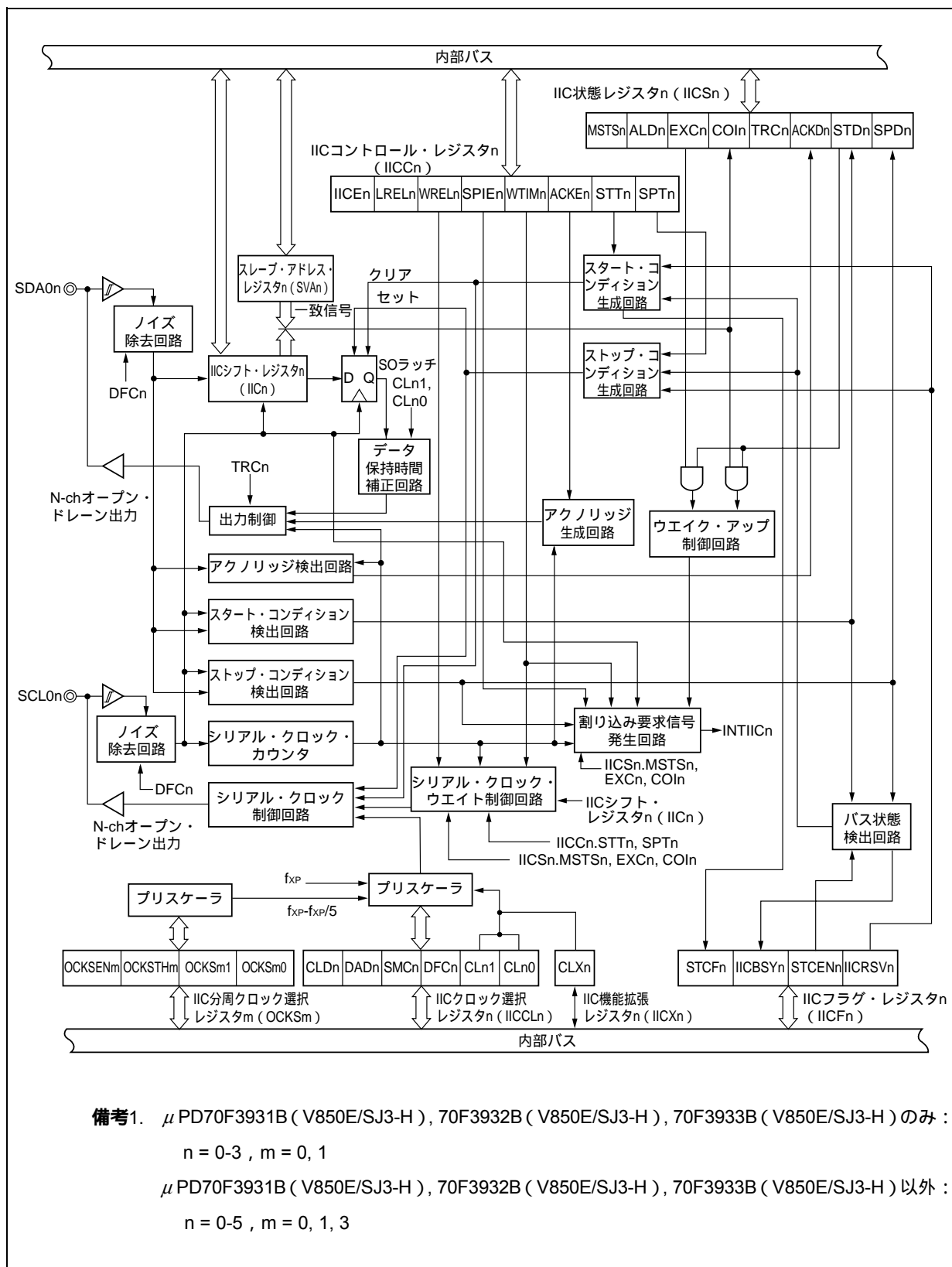
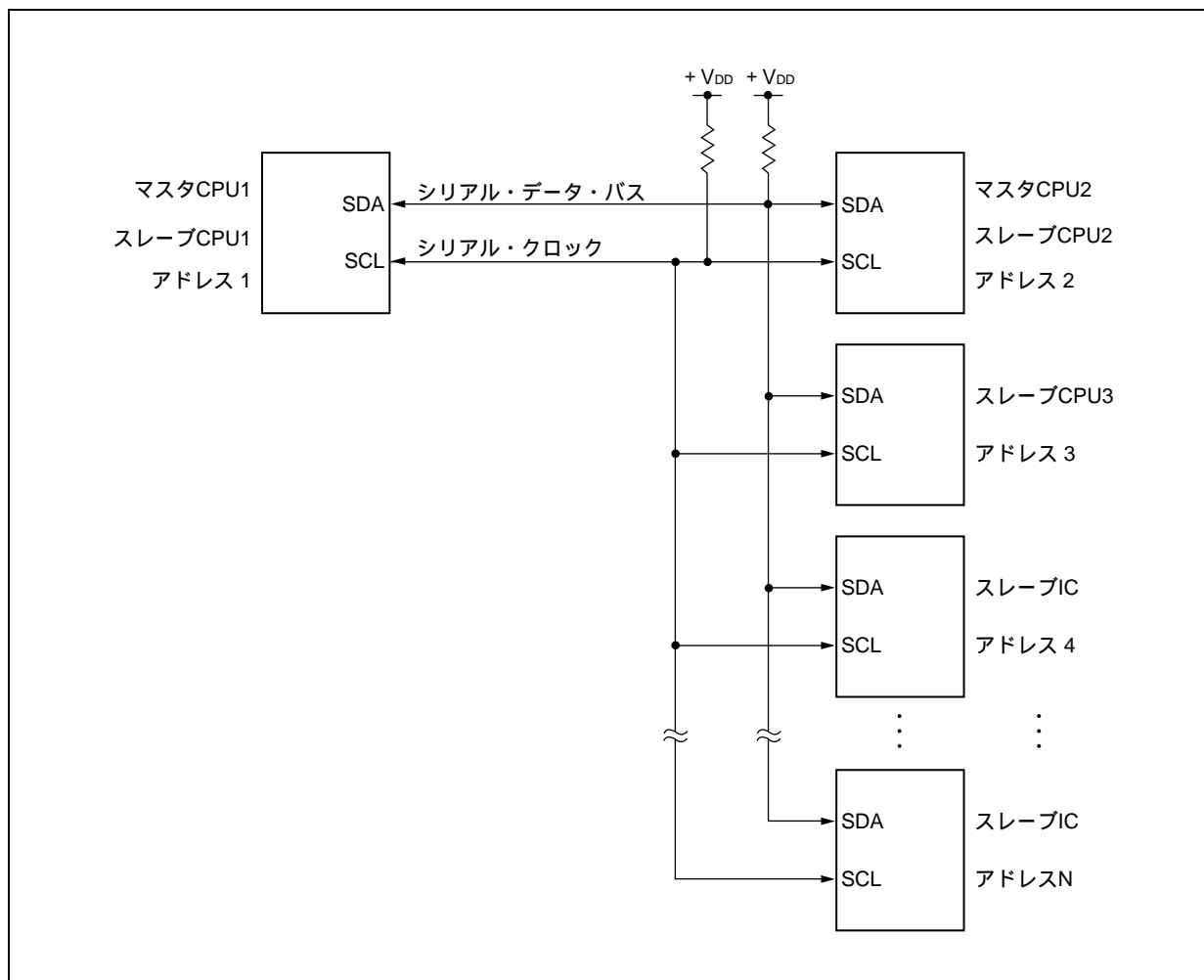




図19 - 1 I<sup>2</sup>C0nのブロック図 (2/2)

**備考2.**  $f_{XP}$  : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)  
 クロック・モード1のとき,  $f_{XP} = f_{XX}$   
 クロック・モード2のとき,  $f_{XP} = f_{XMPLL}/2$  ( 14.64 ~ 16 MHz )  
 クロック・モード3のとき,  $f_{XP} = f_{XMPLL}$  ( 29.28 ~ 32 MHz )  
 クロック・モード4のとき,  $f_{XP} = f_{XMPLL}/2$  ( 20.88 ~ 24 MHz )  
 $f_{XX}$  : メイン・クロック周波数  
 $f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

次にシリアル・バス構成例を示します。

図19 - 2 I<sup>2</sup>Cバスによるシリアル・バス構成例

I<sup>2</sup>C0nは、次のハードウェアで構成されています。

表19 - 4 I<sup>2</sup>C0nの構成

項 目	構 成
レジスタ	IICシフト・レジスタn (IICn) スレーブ・アドレス・レジスタn (SVAn)
制御レジスタ	IICコントロール・レジスタn (IICcn) IIC状態レジスタn (IICSn) IICフラグ・レジスタn (IICFn) IICクロック選択レジスタn (IICCLn) IIC機能拡張レジスタn (IICXn) IIC分周クロック選択レジスタ0, 1 (OCKS0, OCKS1)

#### (1) IICシフト・レジスタn (IICn)

IICnレジスタは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICnレジスタは送信および受信の両方に使用されます。

IICnレジスタに対する書き込み / 読み出しにより、実際の送受信動作が制御されます。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

#### (2) スレーブ・アドレス・レジスタn (SVAn)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

#### (3) SOラッチ

SOラッチは、SDA0n端子出力レベルを保持するラッチです。

#### (4) ウェイク・アップ制御回路

SVAnレジスタに設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求信号 (INTIICn) を発生させる回路です。

#### (5) プリスケーラ

使用するサンプリング・クロックを選択します。

#### (6) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

**備考**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3

$\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

**(7) 割り込み要求信号発生回路**

割り込み要求信号 (INTIICn) の発生を制御します。

I<sup>2</sup>C 割り込みは、次の2つのトリガで発生します。

- ・ シリアル・クロックの8クロック目または9クロック目の立ち下がり (IICn.WTIMnビットで設定)
- ・ ストップ・コンディション検出による割り込み発生 (IICn.SPIEnビットで設定)

**(8) シリアル・クロック制御回路**

マスタ・モード時に、SCL0n端子に出力するクロックをサンプリング・クロックから生成します。

**(9) シリアル・クロック・ウェイト制御回路**

ウェイト・タイミングを制御します。

**(10) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路**

各状態の生成および検出を行います。

**(11) データ保持時間補正回路**

SCL0n端子の立ち下がりに対するデータの保持時間を生成するための回路です。

**(12) スタート・コンディション生成回路**

IICn.STTnビットがセットされるとスタート・コンディションを生成します。

ただし、通信予約禁止状態 (IICFn.IICRSVnビット = 1) で、かつバスが解放されていない (IICFn.IICBSYnビット = 1) 場合には、この要求は無視し、IICFn.STCFnビットをセット (1) します。

**(13) ストップ・コンディション生成回路**

IICn.SPTnビットがセット (1) されるとストップ・コンディションを生成します。

**(14) バス状態検出回路**

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし、動作直後はバス状態を検出できないため、IICFn.STCENnビットにより、バス状態検出回路の初期状態を設定してください。

**備考**  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ: n = 0-3

$\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外: n = 0-5

## 19.4 レジスタ

I<sup>2</sup>C0nは、次のレジスタで制御します。

- ・ IICコントロール・レジスタn (IICCn)
- ・ IIC状態レジスタn (IICSn)
- ・ IICフラグ・レジスタn (IICFn)
- ・ IICクロック選択レジスタn (IICCLn)
- ・ IIC機能拡張レジスタn (IICXn)
- ・ IIC分周クロック選択レジスタm (OCKSm)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタn (IICn)
- ・ スレーブ・アドレス・レジスタn (SVAn)

**備考1.** 兼用端子の設定は表4 - 25 **ポート端子を兼用端子として使用する場合**を参照してください。

2.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ :

n = 0-3, m = 0, 1

$\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 :

n = 0-5, m = 0, 1, 3

### (1) IICコントロール・レジスタn (IICCn)

I<sup>2</sup>C0nの動作許可/停止、ウェイト・タイミングの設定、その他I<sup>2</sup>C動作の設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、SPIEn, WTIMn, ACKEnビットは、IICEnビット = 0 のとき、またはウェイト期間中に設定してください。IICEnビットを“0”から“1”に設定するときに、同時にこれらのビットを設定できます。

リセットにより00Hになります。

( 1/4 )

リセット時 : 00H R/W アドレス : IICC0 FFFFFFFD82H, IICC1 FFFFFFFD92H, IICC2 FFFFFFFDA2H,  
IICC3 FFFFFFFDB2H, IICC4 FFFFFFFDC2H<sup>注1</sup>, IICC5 FFFFFFFDD2H<sup>注1</sup>

	⑦	⑥	⑤	④	③	②	①	①
IICn	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

IICEn	I <sup>2</sup> Cn動作許可 / 禁止の指定
0	動作停止。IICSnレジスタをリセット <sup>注2</sup> 。内部動作も停止。
1	動作許可。
このビットのセット ( 1 ) は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。	
クリアされる条件 ( IICEnビット = 0 )	セットされる条件 ( IICEnビット = 1 )
・命令によるクリア ・リセット時	・命令によるセット

LRELn <sup>注3</sup>	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0n, SDA0nラインはハイ・インピーダンス状態になる。 STTn, SPTnビット, IICSn.MSTSn, EXCn, COIn, TRCn, ACKDn, STDnビットがクリアされる。
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ストップ・コンディション検出後、マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 ( LRELnビット = 0 )	セットされる条件 ( LRELnビット = 1 )
・実行後、自動的にクリア ・リセット時	・命令によるセット

WRELn <sup>注3</sup>	ウェイト解除の制御
0	ウェイトを解除しない。
1	ウェイト解除する。ウェイト解除後、自動的にクリアされる。
クリアされる条件 ( WRELnビット = 0 )	セットされる条件 ( WRELnビット = 1 )
・実行後、自動的にクリア ・リセット時	・命令によるセット

注1.  $\mu$ PD70F3931B ( V850E/SJ3-H ) , 70F3932B ( V850E/SJ3-H ) , 70F3933B ( V850E/SJ3-H ) 以外

2. リセットされるのはIICSnレジスタ, IICFn.STCFn, IICBSYnビット, IICCLn.CLDn, DADnビットです。

3. IICEnビット = 0により, このフラグの信号を無効にします。

**注意** SCL0nラインがハイ・レベル, SDA0nラインがロウ・レベルの状態で, I<sup>2</sup>Cnを動作許可 ( IICEnビット = 1 ) した場合, 直後にスタート・コンディションを検出してしまいます。I<sup>2</sup>Cnを動作許可 ( IICEnビット = 1 ) したあと, 連続してビット操作命令によりLRELnビットをセット ( 1 ) してください。

**備考**1. LRELn, WRELnビットは, データ設定後に読み出すと0になっています。

2.  $\mu$ PD70F3931B ( V850E/SJ3-H ) , 70F3932B ( V850E/SJ3-H ) , 70F3933B ( V850E/SJ3-H ) のみ : n = 0-3  
 $\mu$ PD70F3931B ( V850E/SJ3-H ) , 70F3932B ( V850E/SJ3-H ) , 70F3933B ( V850E/SJ3-H ) 以外 : n = 0-5

(2/4)

SPIEn <sup>注</sup>	ストップ・コンディション検出による割り込み要求発生時の許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIEnビット = 0)		セットされる条件 (SPIEnビット = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

WTIMn <sup>注</sup>	ウェイトおよび割り込み要求発生時の制御	
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後, クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後, クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後, クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後, クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定にかかわらず, 9クロック目の立ち下がりでの割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時, アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは, アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでのウェイトに入ります。ただし拡張コードを受信したスレーブは, 8クロック目の立ち下がりでのウェイトに入ります。		
クリアされる条件 (WTIMnビット = 0)		セットされる条件 (WTIMnビット = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

ACKEn <sup>注</sup>	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA0nラインをロウ・レベルにする。	
アドレス受信のときは, ACKEnビットの設定は無効です。この場合, アドレスが一致したときはアクノリッジを生成します。 ただし, 拡張コードを受信するときは, ACKEnビットの設定は有効になります。		
クリアされる条件 (ACKEnビット = 0)		セットされる条件 (ACKEnビット = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

**注** IICEnビット = 0により, このフラグの信号を無効にします。

**備考**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

(3/4)

STTn	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき（ストップ状態）：</p> <p>スタート・コンディションを生成する（マスタとしての起動）。SCLnラインがハイ・レベルの状態ではSDA0nラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。その後、規格の時間を確保し、SCL0nラインをロウ・レベル（ウエイト状態）にする。</p> <p>第三者が通信中のとき：</p> <ul style="list-style-type: none"> <li>通信予約機能許可の場合（IICFn.IICRSVnビット = 0）</li> </ul> <p>スタート・コンディション予約フラグとして機能。セット（1）されると、バスが解放されたあと自動的にスタート・コンディションを生成する。</p> <ul style="list-style-type: none"> <li>通信予約機能禁止の場合（IICRSVnビット = 1）</li> </ul> <p>IICFn.STCFnビットをセット（1）し、STTnビットにセット（1）した情報をクリアする。</p> <p>スタート・コンディションは生成しない。</p> <p>ウエイト状態（マスタ時）：</p> <p>ウエイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。</p> <p>スレーブの場合：通信予約機能禁止（IICRSVnビット = 1）の場合でも、通信予約状態になってしまいます。</p> <ul style="list-style-type: none"> <li>SPTnビットと同時にセット（1）することは禁止です。</li> <li>STTnビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。</li> </ul>	
クリアされる条件（STTnビット = 0）	セットされる条件（STTnビット = 1）
<ul style="list-style-type: none"> <li>通信予約禁止状態でのSTTnビットのセット（1）</li> <li>アービトレーションに負けたとき</li> <li>マスタでのスタート・コンディション生成によるクリア</li> <li>LRELnビット = 1（通信退避）によるクリア</li> <li>IICEnビット = 0（動作停止）のとき</li> <li>リセット時</li> </ul>	<ul style="list-style-type: none"> <li>命令によるセット</li> </ul>

備考1. STTnビットは、データ設定後に読み出すと0になっています。

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

(4/4)

SPTn	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDA0nラインをロウ・レベルにしたあと、SCL0nラインをハイ・レベルにするか、またはSCL0n端子がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDA0nラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。				
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ受信期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。</p> <ul style="list-style-type: none"> <li>・STTnビットと同時にセット（1）することは禁止です。</li> <li>・SPTnビットのセット（1）は、マスタのときのみ行ってください<sup>注</sup>。</li> <li>・WTIMnビット = 0設定時に、8クロック出力後のウエイト期間中にSPTnビットをセット（1）すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIMnビット = 0 1にセットし、9クロック目出力後のウエイト期間中にSPTnビットをセット（1）してください。</li> <li>・SPTnビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。</li> </ul>					
<table border="1"> <thead> <tr> <th>クリアされる条件（SPTnビット = 0）</th> <th>セットされる条件（SPTnビット = 1）</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> <li>・ストップ・コンディション検出後、自動的にクリア</li> <li>・LRELnビット = 1（通信退避）によるクリア</li> <li>・IICEnビット = 0（動作停止）のとき</li> <li>・リセット時</li> </ul> </td> <td> <ul style="list-style-type: none"> <li>・命令によるセット</li> </ul> </td> </tr> </tbody> </table>		クリアされる条件（SPTnビット = 0）	セットされる条件（SPTnビット = 1）	<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> <li>・ストップ・コンディション検出後、自動的にクリア</li> <li>・LRELnビット = 1（通信退避）によるクリア</li> <li>・IICEnビット = 0（動作停止）のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>
クリアされる条件（SPTnビット = 0）	セットされる条件（SPTnビット = 1）				
<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> <li>・ストップ・コンディション検出後、自動的にクリア</li> <li>・LRELnビット = 1（通信退避）によるクリア</li> <li>・IICEnビット = 0（動作停止）のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>				

**注** SPTnビットのセット（1）は、マスタのときのみ行ってください。ただし、IICFn.IICRSVnビットが0の場合、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPTnビットをセット（1）してストップ・コンディションを生成する必要があります。詳細は、19.15 **注意事項**を参照してください。

**注意** IICSn.TRCnビット = 1のとき、9クロック目にWRELnビットをセット（1）してウエイト解除すると、TRCnビットをクリア（0）してSDA0nラインをハイ・インピーダンスにします。

**備考1.** SPTnビットは、データ設定後に読み出すと0になっています。

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n = 0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n = 0-5



(2) IIC状態レジスタ<sub>n</sub> (IICS<sub>n</sub>)

I<sup>2</sup>C0<sub>n</sub>のステータスを表すレジスタです。

8/1ビット単位でリードのみ可能です。ただし、IICS<sub>n</sub>レジスタは、IIC<sub>n</sub>.STT<sub>n</sub>ビット = 1のとき、またはウェイト期間中だけリード可能です。

リセットにより00Hになります。

**注意** 次に示す状態において、IICS<sub>n</sub>レジスタへのアクセスは禁止です。詳細は3. 4. 9(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

( 1/3 )

リセット時 : 00H R アドレス : IICS0 FFFFFD86H, IICS1 FFFFFD96H, IICS2 FFFFFDA6H  
IICS3 FFFFFDB6H, IICS4 FFFFFDC6H<sup>注1</sup>, IICS5 FFFFFDD6H<sup>注1</sup>

IICS <sub>n</sub>	⑦ MST <sub>n</sub>	⑥ ALD <sub>n</sub>	⑤ EXC <sub>n</sub>	④ COI <sub>n</sub>	③ TRC <sub>n</sub>	② ACK <sub>n</sub>	① STD <sub>n</sub>	① SPD <sub>n</sub>
-------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------

MST <sub>n</sub>	マスタの状態
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MST <sub>n</sub> ビット = 0)	
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・ALD<sub>n</sub>ビット = 1 (アービトレーション負け) のとき</li> <li>・IIC<sub>n</sub>.LRELnビット = 1 (通信退避) によるクリア</li> <li>・IIC<sub>n</sub>.IICEnビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	
セットされる条件 (MST <sub>n</sub> ビット = 1)	
<ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> </ul>	

ALD <sub>n</sub>	アービトレーション負け検出
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MST <sub>n</sub> ビットがクリア (0) される。
クリアされる条件 (ALD <sub>n</sub> ビット = 0)	
<ul style="list-style-type: none"> <li>・IICS<sub>n</sub>レジスタ読み出し後、自動的にクリア<sup>注2</sup></li> <li>・IICEnビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	
セットされる条件 (ALD <sub>n</sub> ビット = 1)	
<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> </ul>	

注1.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

2. IICS<sub>n</sub>レジスタのほかのビットに対しビット操作命令を実行した場合もクリアされます。

備考  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3

$\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

(2/3)

EXCn	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
	クリアされる条件 (EXCnビット = 0)	セットされる条件 (EXCnビット = 1)
	<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・IICn.LRELnビット = 1 (通信退避) によるクリア</li> <li>・IICn.IICEnビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	受信したアドレス・データの上位4ビットが “0000” または “1111” のとき (8クロック目の立ち上がり でセット)

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
	クリアされる条件 (COInビット = 0)	セットされる条件 (COInビット = 1)
	<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・LRELnビット = 1 (通信退避) によるクリア</li> <li>・IICEnビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	受信アドレスが自局アドレス (SVAnレジスタ) と 一致したとき (8クロック目の立ち上がりでセット)

TRCn	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDA0nラインをハイ・インピーダンスにする。	
1	送信状態。SDA0nラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
	クリアされる条件 (TRCnビット = 0)	セットされる条件 (TRCnビット = 1)
	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・LRELnビット = 1 (通信退避) によるクリア</li> <li>・IICEnビット = 1 0 (動作停止) のとき</li> <li>・IICn.WRELnビット = 1によるクリア<sup>注</sup></li> <li>・ALDnビット = 0 1 (アービトレーション負け) のとき</li> <li>・リセット時</li> </ul> マスタの場合 <ul style="list-style-type: none"> <li>・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき</li> </ul> スレーブの場合 <ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> </ul> 通信不参加の場合	マスタの場合 <ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> <li>・1バイト目のLSB (転送方向指定ビット) に “0” を出力したとき</li> </ul> スレーブの場合 <ul style="list-style-type: none"> <li>・1バイト目のLSB (転送方向指定ビット) に “1” を入力したとき</li> </ul>

**注** TRCnビット = 1のとき,9クロック目にWRELnビットをセット(1)してウェイトを解除すると,TRCnビットをクリア(0)してSDA0nラインをハイ・インピーダンスにします。

**備考**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

( 3/3 )

ACKDn	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
	クリアされる条件 (ACKDnビット = 0)	セットされる条件 (ACKDnビット = 1)
	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・次のバイトの1クロック目の立ち上がり時</li> <li>・IICn.LRELnビット = 1 (通信退避) によるクリア</li> <li>・IICn.IICEnビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	SCL0n端子の9クロック目の立ち上がり時にSDA0n端子がロウ・レベルであったとき

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
	クリアされる条件 (STDnビット = 0)	セットされる条件 (STDnビット = 1)
	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・アドレス転送後の次のバイトの1クロック目の立ち上がり時</li> <li>・LRELnビット = 1 (通信退避) によるクリア</li> <li>・IICEnビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> </ul>

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放される。	
	クリアされる条件 (SPDnビット = 0)	セットされる条件 (SPDnビット = 1)
	<ul style="list-style-type: none"> <li>・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時</li> <li>・IICEnビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> </ul>

**備考**  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3  
 $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

## (3) IICフラグ・レジスタn (IICFn)

I<sup>2</sup>C0nの動作モードの設定と、I<sup>2</sup>Cバスの状態を表すレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、STCFn, IICBSYnビットはリードのみ可能です。

IICRSVnビットにより通信予約機能の禁止/許可を設定します(19.14 通信予約参照)。

また、STCENnビットにより、IICBSYnビットの初期値を設定します(19.15 注意事項参照)。

IICRSVn, STCENnビットは、I<sup>2</sup>C0nが動作禁止(IICn.IICEnビット = 0)のときのみ書き込み可能です。

動作許可後、IICFnレジスタは読み出し可能となります。

リセットにより00Hになります。

(1/2)

リセット時: 00H R/W<sup>注1</sup> アドレス: IICF0 FFFFFFFD8AH, IICF1 FFFFFFFD9AH, IICF2 FFFFFFFDAAH,  
IICF3 FFFFFFFDBAH, IICF4 FFFFFFFDCAH<sup>注2</sup>, IICF5 FFFFFFFDDAH<sup>注2</sup>

	⑦	⑥	5	4	3	2	①	①
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

STCFn	STTnビット・クリア
0	スタート・コンディション発行
1	スタート・コンディション発行できずSTTnビット・クリア
クリアされる条件 (STCFnビット = 0)	セットされる条件 (STCFnビット = 1)
<ul style="list-style-type: none"> <li>・IICn.STTnビット = 1によるクリア</li> <li>・IICn.IICEnビット = 0のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・通信予約禁止 (IICRSVnビット = 1) 設定時にスタート・コンディション発行できず、STTnフラグ・クリア (0) されたとき</li> </ul>

IICBSYn	I <sup>2</sup> C0nバス状態
0	バス解放状態 (STCENnビット = 1時の通信初期状態)
1	バス通信状態 (STCENnビット = 0時の通信初期状態)
クリアされる条件 (IICBSYnビット = 0)	セットされる条件 (IICBSYnビット = 1)
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・IICEnビット = 0のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・STCENnビット = 0のときIICEnビットのセット</li> </ul>

注1. ビット6, 7はリード・オンリーです。

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

注意1. STCENnビットへの書き込みは、動作停止 (IICEnビット = 0) 時のみ行ってください。

2. STCENnビット = 1とした場合、I<sup>2</sup>C動作許可直後は実際のバス状態にかかわらずバス解放状態 (IICBSYnビット = 0) と認識しますので、1回目のスタート・コンディションを発行 (STTnビット = 1) する場合は他の通信を破壊しないようにバスが解放されていることを確認する必要があります。

3. IICRSVnビットへの書き込みは、動作停止 (IICEnビット = 0) 時のみ行ってください。

備考  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ: n = 0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外: n = 0-5

(2/2)

STCENn	初期スタート許可トリガ	
0	動作許可 (IICn.IICEnビット = 1) 後, ストップ・コンディションを検出するまで, スタート・コンディションを生成できない。	
1	動作許可 (IICEnビット = 1) 後, ストップ・コンディションを検出しなくても, スタート・コンディションを生成できる。	
クリアされる条件 (STCENnビット = 0)		セットされる条件 (STCENnビット = 1)
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

IICRSVn	通信予約機能禁止ビット	
0	通信予約許可	
1	通信予約禁止	
クリアされる条件 (IICRSVnビット = 0)		セットされる条件 (IICRSVnビット = 1)
<ul style="list-style-type: none"> <li>・命令によるクリア</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

- 注意1.** STCENnビットへの書き込みは, 動作停止 (IICEnビット = 0) 時のみ行ってください。
2. STCENnビット = 1とした場合, I<sup>2</sup>C動作許可直後は実際のバス状態にかかわらずバス解放状態 (IICBSYnビット = 0) と認識しますので, 1回目のスタート・コンディションを発行 (IICn.STTnビット = 1) する場合は他の通信を破壊しないようにバスが解放されていることを確認する必要があります。
3. IICRSVnビットへの書き込みは, 動作停止 (IICEnビット = 0) 時のみ行ってください。

**備考**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

(4) IICクロック選択レジスタ<sub>n</sub> (IICCL<sub>n</sub>)

I<sup>2</sup>C0<sub>n</sub>の転送クロックを設定するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、CLD<sub>n</sub>, DAD<sub>n</sub>ビットはリードのみ可能です。

IICCL<sub>n</sub>レジスタは、IICC<sub>n</sub>.IICEnビット = 0のときに設定してください。

SMC<sub>n</sub>, CLn1, CLn0ビットの設定は、IICX<sub>n</sub>.CLX<sub>n</sub>ビットと、OCKSm.OCKSTH<sub>m</sub>, OCKSm1, OCKSm0ビットと組み合わせて設定します (19.4 (6) I<sup>2</sup>C0<sub>n</sub>の転送クロックの設定方法参照)。

リセットにより00Hになります。

リセット時: 00H R/W<sup>注1</sup> アドレス: IICCL0 FFFFFFFD84H, IICCL1 FFFFFFFD94H, IICCL2 FFFFFFFD4A4H,  
IICCL3 FFFFFFFDB4H, IICCL4 FFFFFFFDC4H<sup>注2</sup>, IICCL5 FFFFFFFDD4H<sup>注2</sup>

	7	6	⑤	④	3	2	1	0
IICCL <sub>n</sub>	0	0	CLD <sub>n</sub>	DAD <sub>n</sub>	SMC <sub>n</sub>	DFC <sub>n</sub>	CLn1	CLn0

CLD <sub>n</sub>	SCL0 <sub>n</sub> 端子のレベル検出 (IICC <sub>n</sub> .IICEnビット = 1のときのみ有効)
0	SCL0 <sub>n</sub> 端子がロウ・レベルであることを検出
1	SCL0 <sub>n</sub> 端子がハイ・レベルであることを検出
クリアされる条件 (CLD <sub>n</sub> ビット = 0)	
<ul style="list-style-type: none"> <li>・ SCL0<sub>n</sub>端子がロウ・レベルのとき</li> <li>・ IICEnビット = 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>	
セットされる条件 (CLD <sub>n</sub> ビット = 1)	
<ul style="list-style-type: none"> <li>・ SCL0<sub>n</sub>端子がハイ・レベルのとき</li> </ul>	

DAD <sub>n</sub>	SDA0 <sub>n</sub> 端子のレベル検出 (IICEnビット = 1のときのみ有効)
0	SDA0 <sub>n</sub> 端子がロウ・レベルであることを検出
1	SDA0 <sub>n</sub> 端子がハイ・レベルであることを検出
クリアされる条件 (DAD <sub>n</sub> ビット = 0)	
<ul style="list-style-type: none"> <li>・ SDA0<sub>n</sub>端子がロウ・レベルのとき</li> <li>・ IICEnビット = 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>	
セットされる条件 (DAD <sub>n</sub> ビット = 1)	
<ul style="list-style-type: none"> <li>・ SDA0<sub>n</sub>端子がハイ・レベルのとき</li> </ul>	

SMC <sub>n</sub>	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

DFC <sub>n</sub>	デジタル・フィルタの動作制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、高速モード時にのみ使用できます。	
高速モード時は、DFC <sub>n</sub> ビットの設定により転送クロックが変化することはありません。	
デジタル・フィルタは、高速モード時にノイズ除去のために使用します。	

注1. ビット4, 5はリード・オンリーです。

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

**注意** ビット7, 6には必ず“0”を設定してください。

備考1. IICC<sub>n</sub>.IICEnビット = 0のとき、CLD<sub>n</sub>, DAD<sub>n</sub>ビットは0がリードされます。

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:

n = 0-3, m = 0, 1

$\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外:

n = 0-5, m = 0, 1, 3

## (5) IIC機能拡張レジスタn (IICXn)

I<sup>2</sup>C0nの機能拡張を設定するレジスタです (高速モード時のみ有効)。

8/1ビット単位でリード/ライト可能です。

CLXnビットの設定は、IICCLn.SMCn, CLn1, CLn0ビットと、OCKSm.OCKSTHm, OCKSm1, OCKSm0ビットと組み合わせて設定します (19.4 (6) I<sup>2</sup>C0nの転送クロックの設定方法参照)。

IICXnレジスタは、IICCn.IICEnビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: IICX0 FFFFFFFD85H, IICX1 FFFFFFFD95H, IICX2 FFFFFFFDA5H,  
IICX3 FFFFFFFDB5H, IICX4 FFFFFFFDC5H<sup>注</sup>, IICX5 FFFFFFFDD5H<sup>注</sup>

	7	6	5	4	3	2	1	①
IICXn	0	0	0	0	0	0	0	CLXn

**注**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

**備考**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ:

n = 0-3, m = 0, 1

$\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外:

n = 0-5, m = 0, 1, 3

(6) I<sup>2</sup>C0nの転送クロックの設定方法

I<sup>2</sup>C0nの転送クロック周波数 (f<sub>SCL</sub>) は、次の計算式により求められます。

$$f_{SCL} = 1 / (M \times T + t_R + t_F)$$

M = 12, 18, 24, 36, 44, 48, 54, 60, 66, 72, 86, 88, 90, 96, 132, 172, 176, 198, 220, 258, 264, 330, 344, 430 (表19-5 クロックの設定参照)

T : 1/f<sub>XP</sub>

t<sub>R</sub> : SCL0n端子立ち上がり時間

t<sub>F</sub> : SCL0n端子立ち下がり時間

f<sub>XP</sub> : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

クロック・モード1のとき, f<sub>XP</sub> = f<sub>XX</sub>

クロック・モード2のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 (14.64 ~ 16 MHz)

クロック・モード3のとき, f<sub>XP</sub> = f<sub>XMPLL</sub> (29.28 ~ 32 MHz)

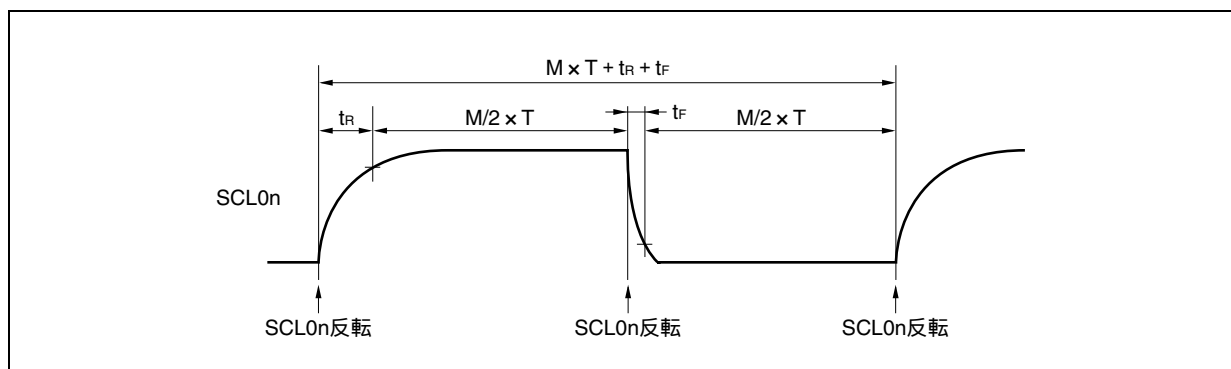
クロック・モード4のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 (20.88 ~ 24 MHz)

f<sub>XX</sub> : メイン・クロック周波数

f<sub>XMPLL</sub> : 周辺クロック用途PLL出力クロック周波数

たとえば, f<sub>XP</sub> = 19.2 MHz, M = 198, t<sub>R</sub> = 200 ns, t<sub>F</sub> = 50 nsの場合のI<sup>2</sup>C0nの転送クロック周波数 (f<sub>SCL</sub>) は、次の計算式により求められます。

$$f_{SCL} = 1 / (198 \times 52 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 94.7 \text{ kHz}$$



選択クロックは、IICCLn.SMCn, CLn1, CLn0ビット、IICXn.CLXnビット、OCKSm.OCKSTHm, OCKSm1, OCKSm0ビットを組み合わせて設定します。

**備考**  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ :

$n = 0-3, m = 0, 1$

$\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 :

$n = 0-5, m = 0, 1, 3$



表19 - 5 クロックの設定 (1/3)

IICXa	IICCLa			選択クロック	転送 クロック	設定可能な周辺クロック 周波数 (f <sub>XP</sub> ) の範囲	動作モード	
	ビット0	ビット3	ビット1					ビット0
	CLXa	SMCa	CLa1					CLa0
0	0	0	0	f <sub>XP</sub> (OCKS0 = 18H設定時)	f <sub>XP</sub> /44	2.00 MHz f <sub>XP</sub> 4.19 MHz	標準モード (SMCaビット = 0)	
				f <sub>XP</sub> /2 (OCKS0 = 10H設定時)	f <sub>XP</sub> /88	4.00 MHz f <sub>XP</sub> 8.38 MHz		
				f <sub>XP</sub> /3 (OCKS0 = 11H設定時)	f <sub>XP</sub> /132	6.00 MHz f <sub>XP</sub> 12.57 MHz		
				f <sub>XP</sub> /4 (OCKS0 = 12H設定時)	f <sub>XP</sub> /176	8.00 MHz f <sub>XP</sub> 16.76 MHz		
				f <sub>XP</sub> /5 (OCKS0 = 13H設定時)	f <sub>XP</sub> /220	10.00 MHz f <sub>XP</sub> 20.95 MHz		
0	0	0	1	f <sub>XP</sub> (OCKS0 = 18H設定時)	f <sub>XP</sub> /86	4.19 MHz f <sub>XP</sub> 8.38 MHz		
				f <sub>XP</sub> /2 (OCKS0 = 10H設定時)	f <sub>XP</sub> /172	8.38 MHz f <sub>XP</sub> 16.76 MHz		
				f <sub>XP</sub> /3 (OCKS0 = 11H設定時)	f <sub>XP</sub> /258	12.57 MHz f <sub>XP</sub> 25.14 MHz		
				f <sub>XP</sub> /4 (OCKS0 = 12H設定時)	f <sub>XP</sub> /344	16.76 MHz f <sub>XP</sub> 32.00 MHz		
				f <sub>XP</sub> /5 (OCKS0 = 13H設定時)	f <sub>XP</sub> /430	20.95 MHz f <sub>XP</sub> 32.00 MHz		
0	0	1	0	f <sub>XP</sub> <sup>注</sup>	f <sub>XP</sub> /86	4.19 MHz f <sub>XP</sub> 8.38 MHz		
0	0	1	1	f <sub>XP</sub> (OCKS0 = 18H設定時)	f <sub>XP</sub> /66	6.40 MHz		
				f <sub>XP</sub> /2 (OCKS0 = 10H設定時)	f <sub>XP</sub> /132	12.80 MHz		
				f <sub>XP</sub> /3 (OCKS0 = 11H設定時)	f <sub>XP</sub> /198	19.20 MHz		
				f <sub>XP</sub> /4 (OCKS0 = 12H設定時)	f <sub>XP</sub> /264	25.60 MHz		
				f <sub>XP</sub> /5 (OCKS0 = 13H設定時)	f <sub>XP</sub> /330	32.00 MHz		
0	1	0	X	f <sub>XP</sub> (OCKS0 = 18H設定時)	f <sub>XP</sub> /24	4.19 MHz f <sub>XP</sub> 8.38 MHz	高速モード (SMCaビット = 1)	
				f <sub>XP</sub> /2 (OCKS0 = 10H設定時)	f <sub>XP</sub> /48	8.00 MHz f <sub>XP</sub> 16.76 MHz		
				f <sub>XP</sub> /3 (OCKS0 = 11H設定時)	f <sub>XP</sub> /72	12.00 MHz f <sub>XP</sub> 25.14 MHz		
				f <sub>XP</sub> /4 (OCKS0 = 12H設定時)	f <sub>XP</sub> /96	16.00 MHz f <sub>XP</sub> 32.00 MHz		
0	1	1	0	f <sub>XP</sub> <sup>注</sup>	f <sub>XP</sub> /24	4.00 MHz f <sub>XP</sub> 8.38 MHz		
0	1	1	1	f <sub>XP</sub> (OCKS0 = 18H設定時)	f <sub>XP</sub> /18	6.40 MHz		
				f <sub>XP</sub> /2 (OCKS0 = 10H設定時)	f <sub>XP</sub> /36	12.80 MHz		
				f <sub>XP</sub> /3 (OCKS0 = 11H設定時)	f <sub>XP</sub> /54	19.20 MHz		
				f <sub>XP</sub> /4 (OCKS0 = 12H設定時)	f <sub>XP</sub> /72	25.60 MHz		
				f <sub>XP</sub> /5 (OCKS0 = 13H設定時)	f <sub>XP</sub> /90	32.00 MHz		
1	1	0	X	f <sub>XP</sub> (OCKS0 = 18H設定時)	f <sub>XP</sub> /12	4.00 MHz f <sub>XP</sub> 4.19 MHz		
				f <sub>XP</sub> /2 (OCKS0 = 10H設定時)	f <sub>XP</sub> /24	8.00 MHz f <sub>XP</sub> 8.38 MHz		
				f <sub>XP</sub> /3 (OCKS0 = 11H設定時)	f <sub>XP</sub> /36	12.00 MHz f <sub>XP</sub> 12.57 MHz		
				f <sub>XP</sub> /4 (OCKS0 = 12H設定時)	f <sub>XP</sub> /48	16.00 MHz f <sub>XP</sub> 16.67 MHz		
				f <sub>XP</sub> /5 (OCKS0 = 13H設定時)	f <sub>XP</sub> /60	20.00 MHz f <sub>XP</sub> 20.95 MHz		
1	1	1	0	f <sub>XP</sub> <sup>注</sup>	f <sub>XP</sub> /12	4.00 MHz f <sub>XP</sub> 4.19 MHz		
上記以外				設定禁止	-	-	-	

注 OCKS0レジスタの設定値によらずf<sub>XP</sub>になるので、OCKS0レジスタ = 00H (I<sup>2</sup>C分周クロックは停止状態)を設定してください。

備考1. a = 0, 3

2. X : don't care

3. f<sub>XP</sub> : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

詳細は、図19 - 1の備考2を参照してください。

表19 - 5 クロックの設定 (2/3)

IICXb		IICCLb		選択クロック	転送 クロック	設定可能な周辺クロック 周波数 (f <sub>XP</sub> ) の範囲	動作モード
ビット0	ビット3	ビット1	ビット0				
CLXb	SMCb	CLb1	CLb0				
0	0	0	0	f <sub>XP</sub> (OCKS1 = 18H設定時)	f <sub>XP</sub> /44	2.00 MHz f <sub>XP</sub> 4.19 MHz	標準モード (SMCbビット = 0)
				f <sub>XP</sub> /2 (OCKS1 = 10H設定時)	f <sub>XP</sub> /88	4.00 MHz f <sub>XP</sub> 8.38 MHz	
				f <sub>XP</sub> /3 (OCKS1 = 11H設定時)	f <sub>XP</sub> /132	6.00 MHz f <sub>XP</sub> 12.57 MHz	
				f <sub>XP</sub> /4 (OCKS1 = 12H設定時)	f <sub>XP</sub> /176	8.00 MHz f <sub>XP</sub> 16.76 MHz	
				f <sub>XP</sub> /5 (OCKS1 = 13H設定時)	f <sub>XP</sub> /220	10.00 MHz f <sub>XP</sub> 20.95 MHz	
0	0	0	1	f <sub>XP</sub> (OCKS1 = 18H設定時)	f <sub>XP</sub> /86	4.19 MHz f <sub>XP</sub> 8.38 MHz	
				f <sub>XP</sub> /2 (OCKS1 = 10H設定時)	f <sub>XP</sub> /172	8.38 MHz f <sub>XP</sub> 16.76 MHz	
				f <sub>XP</sub> /3 (OCKS1 = 11H設定時)	f <sub>XP</sub> /258	12.57 MHz f <sub>XP</sub> 25.14 MHz	
				f <sub>XP</sub> /4 (OCKS1 = 12H設定時)	f <sub>XP</sub> /344	16.76 MHz f <sub>XP</sub> 32.00 MHz	
				f <sub>XP</sub> /5 (OCKS1 = 13H設定時)	f <sub>XP</sub> /430	20.95 MHz f <sub>XP</sub> 32.00 MHz	
0	0	1	0	f <sub>XP</sub> <sup>注</sup>	f <sub>XP</sub> /86	4.19 MHz f <sub>XP</sub> 8.38 MHz	
0	0	1	1	f <sub>XP</sub> (OCKS1 = 18H設定時)	f <sub>XP</sub> /66	6.40 MHz	
				f <sub>XP</sub> /2 (OCKS1 = 10H設定時)	f <sub>XP</sub> /132	12.80 MHz	
				f <sub>XP</sub> /3 (OCKS1 = 11H設定時)	f <sub>XP</sub> /198	19.20 MHz	
				f <sub>XP</sub> /4 (OCKS1 = 12H設定時)	f <sub>XP</sub> /264	25.60 MHz	
				f <sub>XP</sub> /5 (OCKS1 = 13H設定時)	f <sub>XP</sub> /330	32.00 MHz	
0	1	0	X	f <sub>XP</sub> (OCKS1 = 18H設定時)	f <sub>XP</sub> /24	4.19 MHz f <sub>XP</sub> 8.38 MHz	高速モード (SMCbビット = 1)
				f <sub>XP</sub> /2 (OCKS1 = 10H設定時)	f <sub>XP</sub> /48	8.00 MHz f <sub>XP</sub> 16.76 MHz	
				f <sub>XP</sub> /3 (OCKS1 = 11H設定時)	f <sub>XP</sub> /72	12.00 MHz f <sub>XP</sub> 25.14 MHz	
				f <sub>XP</sub> /4 (OCKS1 = 12H設定時)	f <sub>XP</sub> /96	16.00 MHz f <sub>XP</sub> 32.00 MHz	
0	1	1	0	f <sub>XP</sub> <sup>注</sup>	f <sub>XP</sub> /24	4.00 MHz f <sub>XP</sub> 8.38 MHz	
0	1	1	1	f <sub>XP</sub> (OCKS1 = 18H設定時)	f <sub>XP</sub> /18	6.40 MHz	
				f <sub>XP</sub> /2 (OCKS1 = 10H設定時)	f <sub>XP</sub> /36	12.80 MHz	
				f <sub>XP</sub> /3 (OCKS1 = 11H設定時)	f <sub>XP</sub> /54	19.20 MHz	
				f <sub>XP</sub> /4 (OCKS1 = 12H設定時)	f <sub>XP</sub> /72	25.60 MHz	
				f <sub>XP</sub> /5 (OCKS1 = 13H設定時)	f <sub>XP</sub> /90	32.00 MHz	
1	1	0	X	f <sub>XP</sub> (OCKS1 = 18H設定時)	f <sub>XP</sub> /12	4.00 MHz f <sub>XP</sub> 4.19 MHz	
				f <sub>XP</sub> /2 (OCKS1 = 10H設定時)	f <sub>XP</sub> /24	8.00 MHz f <sub>XP</sub> 8.38 MHz	
				f <sub>XP</sub> /3 (OCKS1 = 11H設定時)	f <sub>XP</sub> /36	12.00 MHz f <sub>XP</sub> 12.57 MHz	
				f <sub>XP</sub> /4 (OCKS1 = 12H設定時)	f <sub>XP</sub> /48	16.00 MHz f <sub>XP</sub> 16.67 MHz	
				f <sub>XP</sub> /5 (OCKS1 = 13H設定時)	f <sub>XP</sub> /60	20.00 MHz f <sub>XP</sub> 20.95 MHz	
1	1	1	0	f <sub>XP</sub> <sup>注</sup>	f <sub>XP</sub> /12	4.00 MHz f <sub>XP</sub> 4.19 MHz	
上記以外				設定禁止	-	-	-

注 OCKS1レジスタの設定値によらずf<sub>XP</sub>になるので、OCKS1レジスタ = 00H (I<sup>2</sup>C分周クロックは停止状態)を設定してください。

備考1. b = 1, 2

2. X : don't care

3. f<sub>XP</sub> : 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

詳細は、図19 - 1の備考2を参照してください。

表19 - 5 クロックの設定 (3/3)

IICXk	IICCLK			選択クロック	転送 クロック	設定可能な周辺クロック 周波数 (f <sub>XP</sub> ) の範囲	動作モード	
	ビット0	ビット3	ビット1					ビット0
	CLXk	SMCK	CLK1					CLK0
0	0	0	0	f <sub>XP</sub> ( OCKS3 = 18H設定時 )	f <sub>XP</sub> /44	2.00 MHz f <sub>XP</sub> 4.19 MHz	標準モード ( SMCKビット = 0 )	
				f <sub>XP</sub> /2 ( OCKS3 = 10H設定時 )	f <sub>XP</sub> /88	4.00 MHz f <sub>XP</sub> 8.38 MHz		
				f <sub>XP</sub> /3 ( OCKS3 = 11H設定時 )	f <sub>XP</sub> /132	6.00 MHz f <sub>XP</sub> 12.57 MHz		
				f <sub>XP</sub> /4 ( OCKS3 = 12H設定時 )	f <sub>XP</sub> /176	8.00 MHz f <sub>XP</sub> 16.76 MHz		
				f <sub>XP</sub> /5 ( OCKS3 = 13H設定時 )	f <sub>XP</sub> /220	10.00 MHz f <sub>XP</sub> 20.95 MHz		
0	0	0	1	f <sub>XP</sub> ( OCKS3 = 18H設定時 )	f <sub>XP</sub> /86	4.19 MHz f <sub>XP</sub> 8.38 MHz		
				f <sub>XP</sub> /2 ( OCKS3 = 10H設定時 )	f <sub>XP</sub> /172	8.38 MHz f <sub>XP</sub> 16.76 MHz		
				f <sub>XP</sub> /3 ( OCKS3 = 11H設定時 )	f <sub>XP</sub> /258	12.57 MHz f <sub>XP</sub> 25.14 MHz		
				f <sub>XP</sub> /4 ( OCKS3 = 12H設定時 )	f <sub>XP</sub> /344	16.76 MHz f <sub>XP</sub> 32.00 MHz		
				f <sub>XP</sub> /5 ( OCKS3 = 13H設定時 )	f <sub>XP</sub> /430	20.95 MHz f <sub>XP</sub> 32.00 MHz		
0	0	1	0	f <sub>XP</sub> <sup>注</sup>	f <sub>XP</sub> /86	4.19 MHz f <sub>XP</sub> 8.38 MHz		
0	0	1	1	設定禁止	-	-		
0	1	0	X	f <sub>XP</sub> ( OCKS3 = 18H設定時 )	f <sub>XP</sub> /24	4.19 MHz f <sub>XP</sub> 8.38 MHz	高速モード ( SMCKビット = 1 )	
				f <sub>XP</sub> /2 ( OCKS3 = 10H設定時 )	f <sub>XP</sub> /48	8.00 MHz f <sub>XP</sub> 16.76 MHz		
				f <sub>XP</sub> /3 ( OCKS3 = 11H設定時 )	f <sub>XP</sub> /72	12.00 MHz f <sub>XP</sub> 25.14 MHz		
				f <sub>XP</sub> /4 ( OCKS3 = 12H設定時 )	f <sub>XP</sub> /96	16.00 MHz f <sub>XP</sub> 32.00 MHz		
0	1	1	0	f <sub>XP</sub> <sup>注</sup>	f <sub>XP</sub> /24	4.00 MHz f <sub>XP</sub> 8.38 MHz		
0	1	1	1	設定禁止	-	-		
1	1	0	X	f <sub>XP</sub> ( OCKS3 = 18H設定時 )	f <sub>XP</sub> /12	4.00 MHz f <sub>XP</sub> 4.19 MHz		
				f <sub>XP</sub> /2 ( OCKS3 = 10H設定時 )	f <sub>XP</sub> /24	8.00 MHz f <sub>XP</sub> 8.38 MHz		
				f <sub>XP</sub> /3 ( OCKS3 = 11H設定時 )	f <sub>XP</sub> /36	12.00 MHz f <sub>XP</sub> 12.57 MHz		
				f <sub>XP</sub> /4 ( OCKS3 = 12H設定時 )	f <sub>XP</sub> /48	16.00 MHz f <sub>XP</sub> 16.67 MHz		
				f <sub>XP</sub> /5 ( OCKS3 = 13H設定時 )	f <sub>XP</sub> /60	20.00 MHz f <sub>XP</sub> 20.95 MHz		
1	1	1	0	f <sub>XP</sub> <sup>注</sup>	f <sub>XP</sub> /12	4.00 MHz f <sub>XP</sub> 4.19 MHz		
上記以外				設定禁止	-	-	-	

注 OCKS3レジスタの設定値によらずf<sub>XP</sub>になるので、OCKS3レジスタ = 00H (I<sup>2</sup>C分周クロックは停止状態)を設定してください。

注意 表19 - 5 クロックの設定(3/3)は、μPD70F3931B(V850E/SJ3-H)、70F3932B(V850E/SJ3-H)、70F3933B(V850E/SJ3-H)以外のみ該当します。

備考1. k = 4, 5

2. X : don't care

3. f<sub>XP</sub> : 周辺クロック周波数 (プリスケラ1入力クロック周波数)

詳細は、図19 - 1の備考2を参照してください。

(7) IIC分周クロック選択レジスタ<sub>m</sub> (OCKSm)

I<sup>2</sup>C0<sub>n</sub>の分周クロックを制御するレジスタです。

OCKS0レジスタでI<sup>2</sup>C00, I<sup>2</sup>C03の分周クロックを, OCKS1レジスタでI<sup>2</sup>C01, I<sup>2</sup>C02の分周クロックを, OCKS3レジスタでI<sup>2</sup>C04, I<sup>2</sup>C05の分周クロックを制御します。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : OCKS0 FFFFF340H, OCKS1 FFFFF344H, OCKS3 FFFFF34CH<sup>注</sup>

	7	6	5	4	3	2	1	0
OCKSm	0	0	0	OCKSEN <sub>m</sub>	OCKSTH <sub>m</sub>	0	OCKSm1	OCKSm0

OCKSEN <sub>m</sub>	I <sup>2</sup> C分周クロック動作指定
0	I <sup>2</sup> C分周クロック動作停止
1	I <sup>2</sup> C分周クロック動作許可

OCKSTH <sub>m</sub>	OCKSm1	OCKSm0	I <sup>2</sup> C分周クロック選択
0	0	0	f <sub>XP</sub> /2
0	0	1	f <sub>XP</sub> /3
0	1	0	f <sub>XP</sub> /4
0	1	1	f <sub>XP</sub> /5
1	0	0	f <sub>XP</sub>
その他			設定禁止

**注**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

**備考1.**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ :

m = 0, 1

$\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 :

m = 0, 1, 3

2. f<sub>XP</sub> : 周辺クロック周波数 (プリスケラ1入力クロック周波数)

クロック・モード1のとき, f<sub>XP</sub> = f<sub>XX</sub>

クロック・モード2のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 (14.64 ~ 16 MHz)

クロック・モード3のとき, f<sub>XP</sub> = f<sub>XMPLL</sub> (29.28 ~ 32 MHz)

クロック・モード4のとき, f<sub>XP</sub> = f<sub>XMPLL</sub>/2 (20.88 ~ 24 MHz)

f<sub>XX</sub> : メイン・クロック周波数

f<sub>XMPLL</sub> : 周辺クロック用途PLL出力クロック周波数

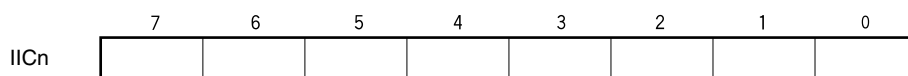
**(8) IICシフト・レジスタ<sub>n</sub> (IICn)**

このレジスタは、シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。8ビット単位でリード/ライト可能ですが、データ転送中にIICnレジスタへデータを書き込まないでください。

IICnレジスタには、ウエイト期間中にだけアクセス(リード/ライト)してください。ウエイト期間中を除く通信状態でのIICnレジスタのアクセスは禁止です。ただし、マスタになる場合は、送信トリガ・ビット(IICn.STTnビット)をセット(1)したあと、1回だけライトできます。

ウエイト期間中のIICnレジスタへの書き込みにより、ウエイト解除しデータ転送を開始します。リセットにより00Hになります。

リセット時：00H R/W アドレス：IIC0 FFFFFFFD80H, IIC1 FFFFFFFD90H, IIC2 FFFFFFFDA0H,  
IIC3 FFFFFFFDB0H, IIC4 FFFFFFFDC0H<sup>注</sup>, IIC5 FFFFFFFDD0H<sup>注</sup>



**注**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

**備考**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

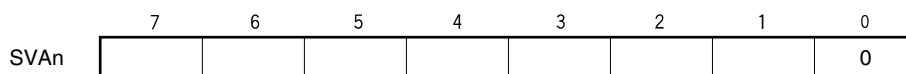
**(9) スレーブ・アドレス・レジスタ<sub>n</sub> (SVAn)**

SVAnレジスタには、I<sup>2</sup>Cバスのスレーブ・アドレスを格納します。

8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。ただし、IICSn.STDnビット=1(スタート・コンディション検出)のときの書き換えは禁止です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：SVA0 FFFFFFFD83H, SVA1 FFFFFFFD93H, SVA2 FFFFFFFDA3H,  
SVA3 FFFFFFFDB3H, SVA4 FFFFFFFDC3H<sup>注</sup>, SVA5 FFFFFFFDD3H<sup>注</sup>



**注**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

**備考**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

## 19.5 I<sup>2</sup>Cバス・モードの機能

### 19.5.1 端子構成

シリアル・クロック端子 (SCL0n) と、シリアル・データ・バス端子 (SDA0n) の構成は、次のようになっています。

SCL0n ... シリアル・クロックを入出力するための端子。

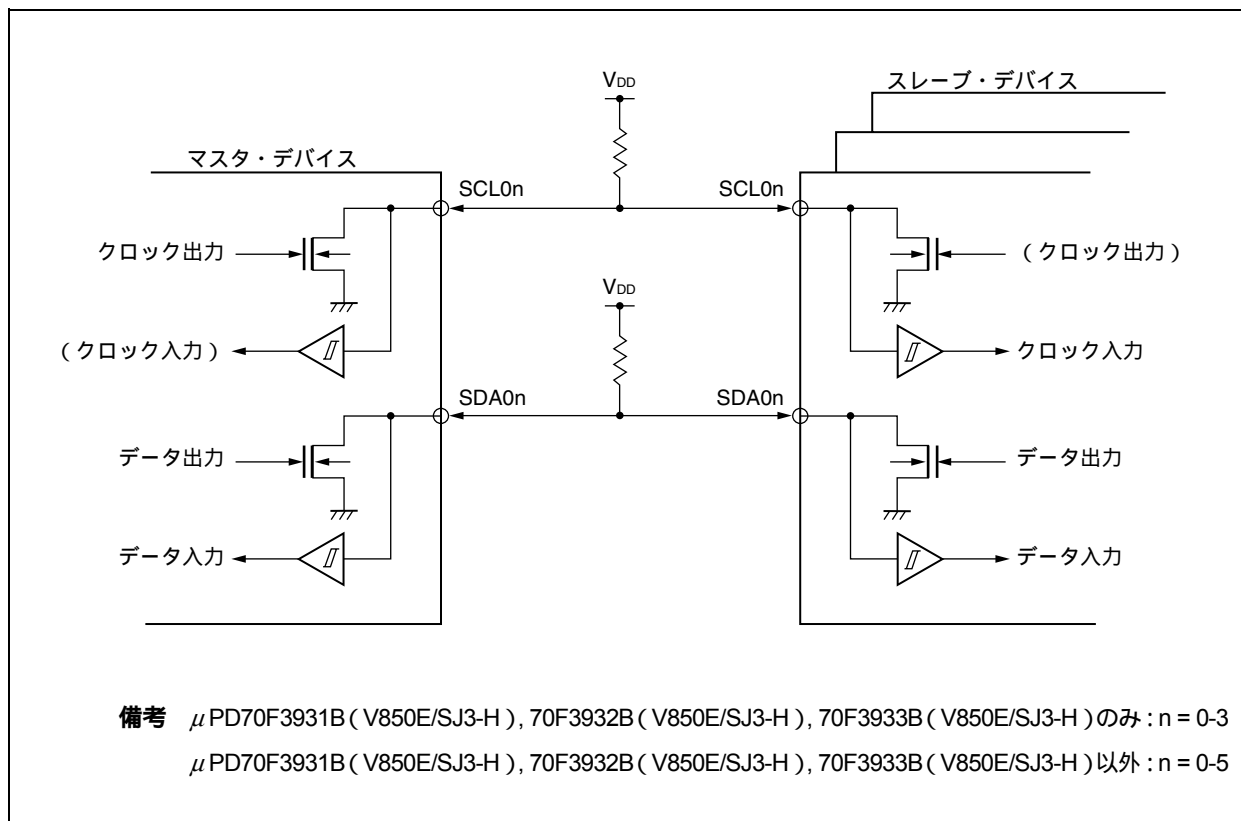
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

SDA0n ... シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図19-3 端子構成図

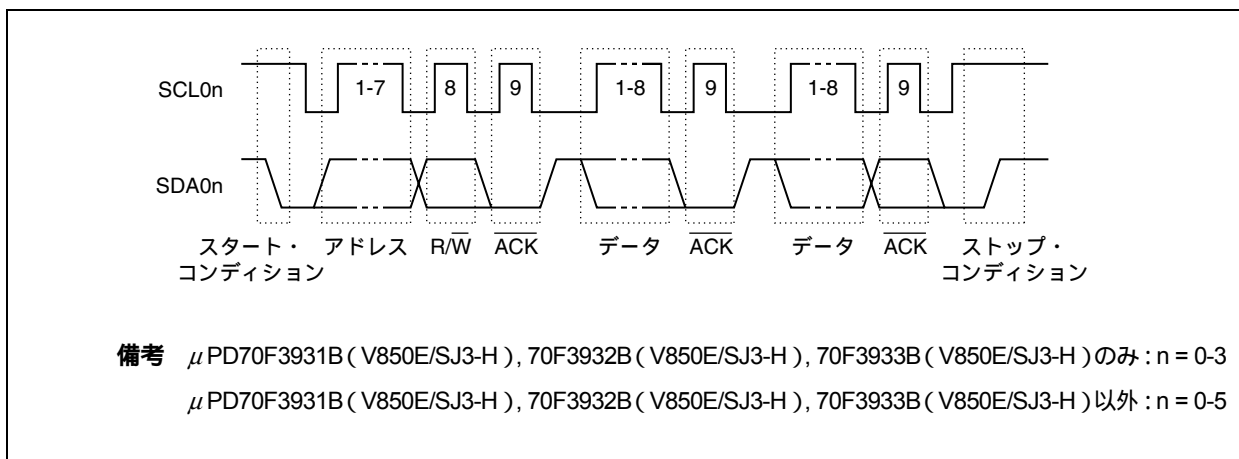


## 19.6 I<sup>2</sup>Cバスの定義および制御方法

I<sup>2</sup>Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I<sup>2</sup>Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図19-4 I<sup>2</sup>Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

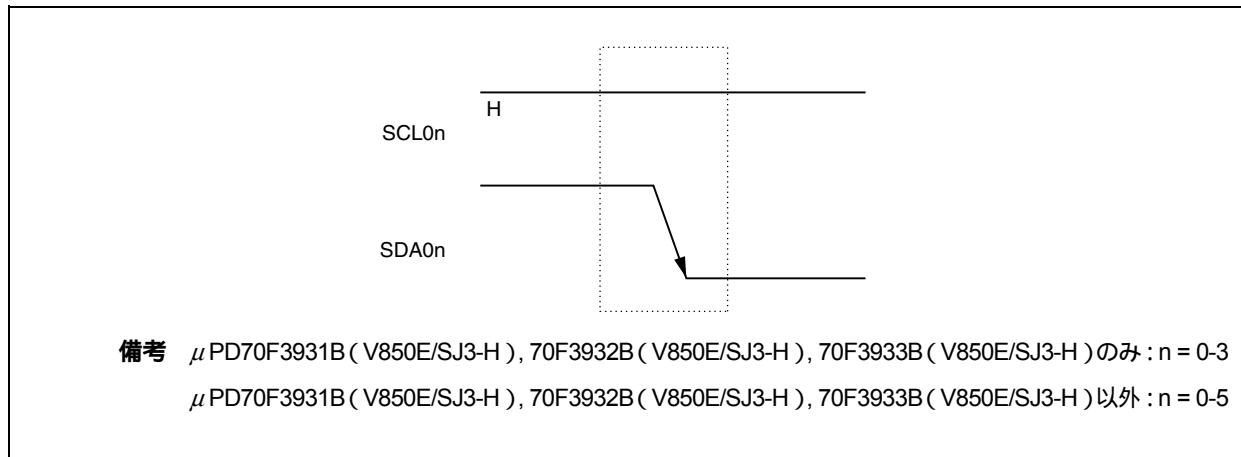
アクノリッジ (ACK) は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が生成します）。

シリアル・クロック (SCL0n) は，マスタが出力し続けます。ただし，スレーブはSCL0n端子のロウ・レベル期間を延長し，ウエイトを挿入できます。

### 19. 6. 1 スタート・コンディション

SCL0n端子がハイ・レベルのときに、SDA0n端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0n, SDA0n端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成されます。スレーブとして使用する場合は、スタート・コンディションを検出できません。

図19 - 5 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (IICSn.SPDnビット = 1) のときに IICn.STTnビットをセット (1) すると生成されます。また、スタート・コンディションを検出すると、IICSn.STDnビットがセット (1) されます。

**注意** ほかのデバイス同士の通信中にV850E/SJ3-H, V850E/SK3-HのIICn.IICEnビットをセット (1) した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICn.IICEnビットのセット (1) は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。



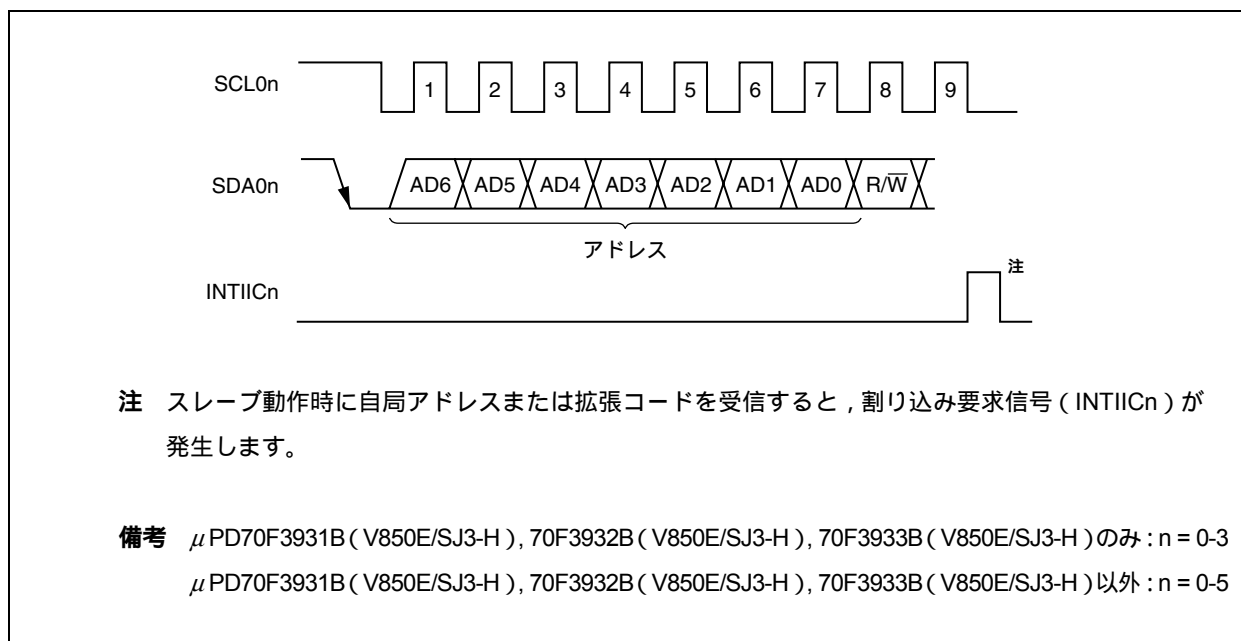
## 19.6.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがSVAnレジスタと一致しているかを調べます。このとき、7ビット・データとSVAnレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図19-6 アドレス



アドレスは、スレーブのアドレスと19.6.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICnレジスタに書き込むと出力します。また、受信したアドレスはIICnレジスタに書き込まれます。

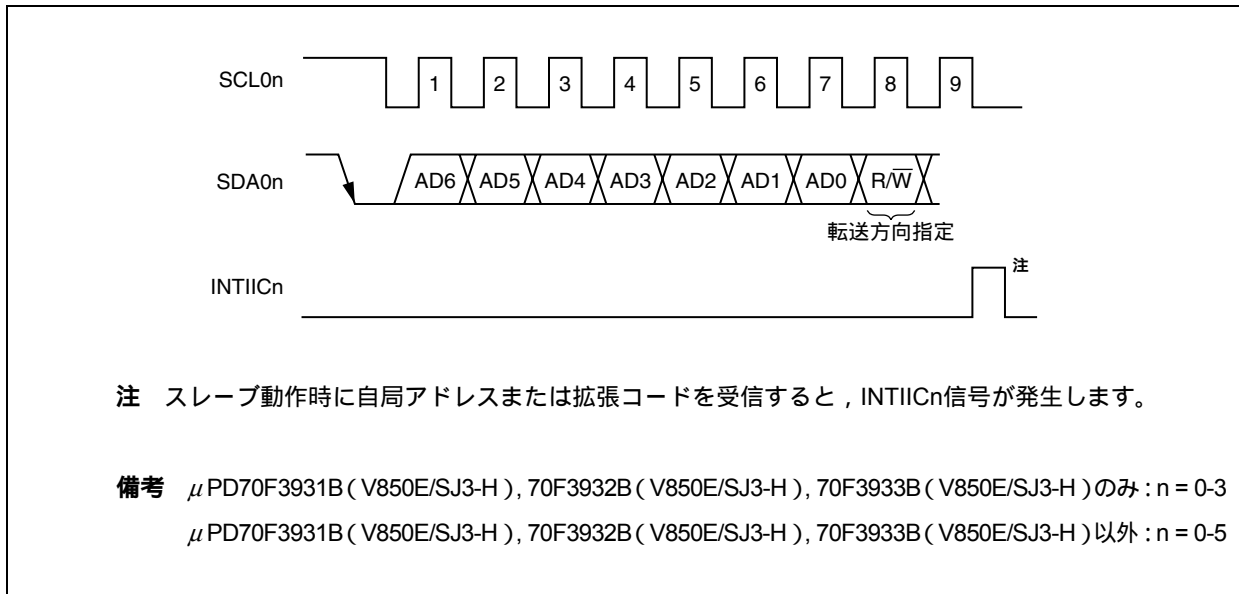
なお、スレーブのアドレスは、IICnレジスタの上位7ビットに割り当てられます。

### 19.6.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図19 - 7 転送方向指定



### 19.6.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICSn.ACKDnビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを生成し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- 受信が正しく行われていない。
- 最終データの受信が終わっている。
- アドレス指定した受信側が存在しない。

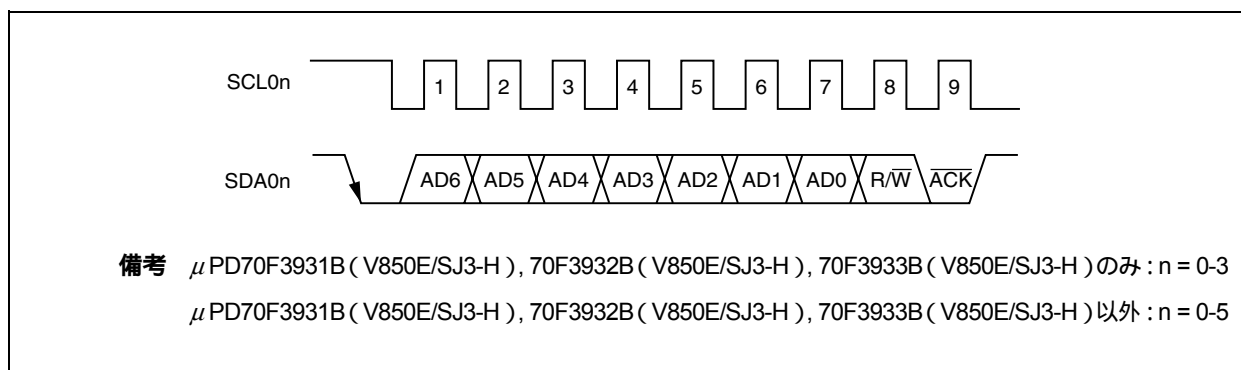
アクノリッジ生成は、受信側が9クロック目にSDA0nラインをロウ・レベルにすることによって行われます(正常受信)。

IICn.ACKEnビットをセット(1)することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSn.TRcNビットが設定されます。受信 (TRcNビット = 0) の場合は、通常、ACKEnビットをセット(1)してください。

スレーブ受信動作時 (TRcNビット = 0) にデータを受信できなくなったときは、ACKEnビットをクリア(0)し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRcNビット = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEnビットをクリア(0)してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図19-8 アクノリッジ (ACK)



自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKEnビットをセット(1)しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

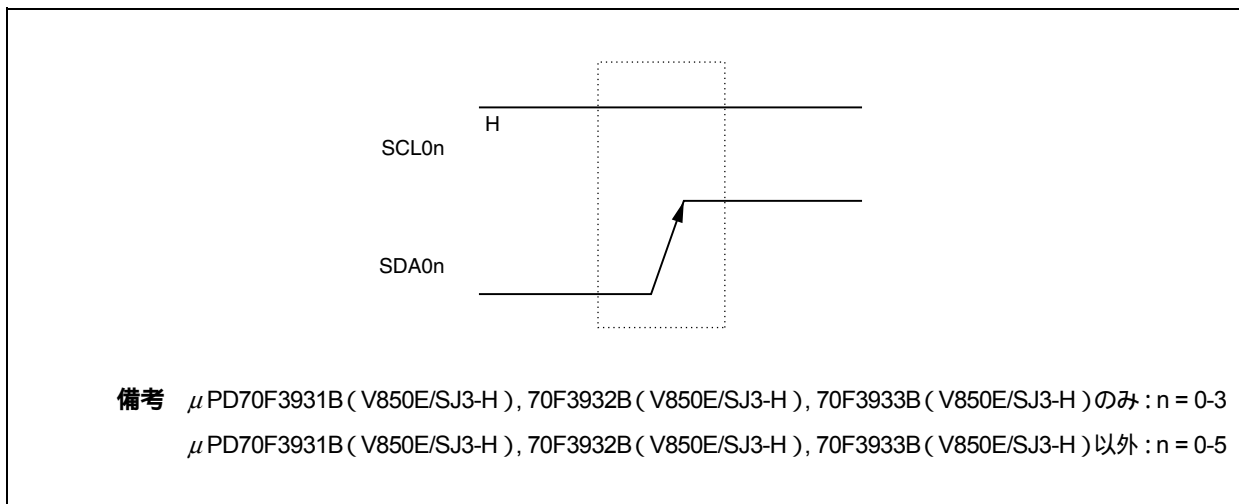
- ・ 8クロック・ウエイト選択時 (IICn.WTIMnビット = 0) :  
ウエイト解除を行う前にACKEnビットをセット (1) することによって, SCL0n端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・ 9クロック・ウエイト選択時 (WTIMnビット = 1) :  
あらかじめACKEnビットをセット (1) することによって, アクノリッジを生成します。

### 19. 6. 5 ストップ・コンディション

SCL0n端子がハイ・レベルのときに, SDA0n端子がロウ・レベルからハイ・レベルに変化すると, ストップ・コンディションとなります。

ストップ・コンディションは, マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は, ストップ・コンディションを検出できます。

図19 - 9 ストップ・コンディション



ストップ・コンディションは, IICn.SPTnビットをセット (1) すると発生します。また, ストップ・コンディションを検出するとIICn.SPnビットがセット (1) され, IICn.SPIEnビットがセット (1) されている場合には割り込み要求信号 (INTIICn) が発生します。

## 19.6.6 ウェイト

ウェイトは、マスタまたはスレーブがデータの送受信が準備中（ウェイト状態）であることを相手に知らせます。

SCL0n端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図19 - 10 ウェイト (1/2)

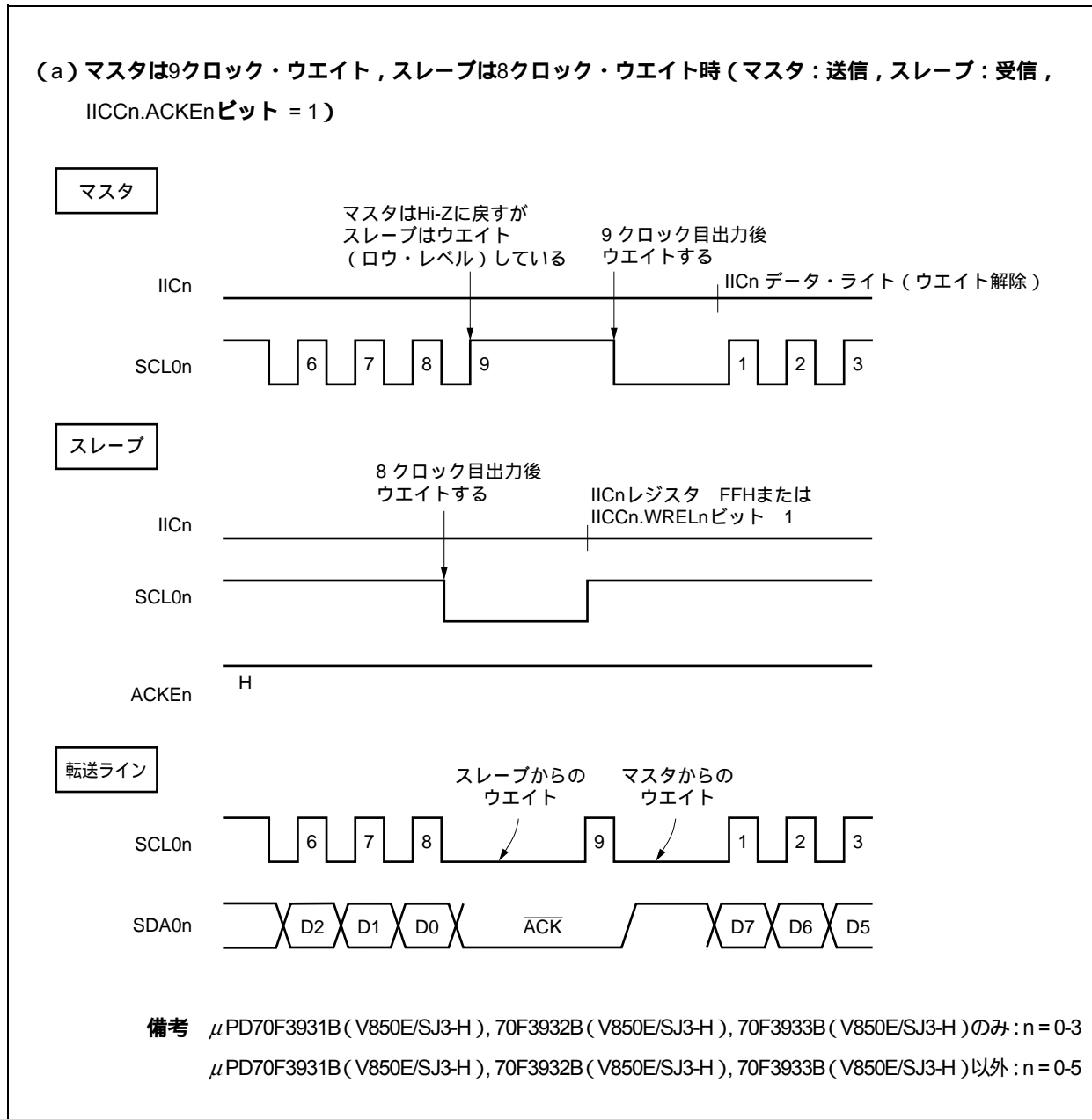
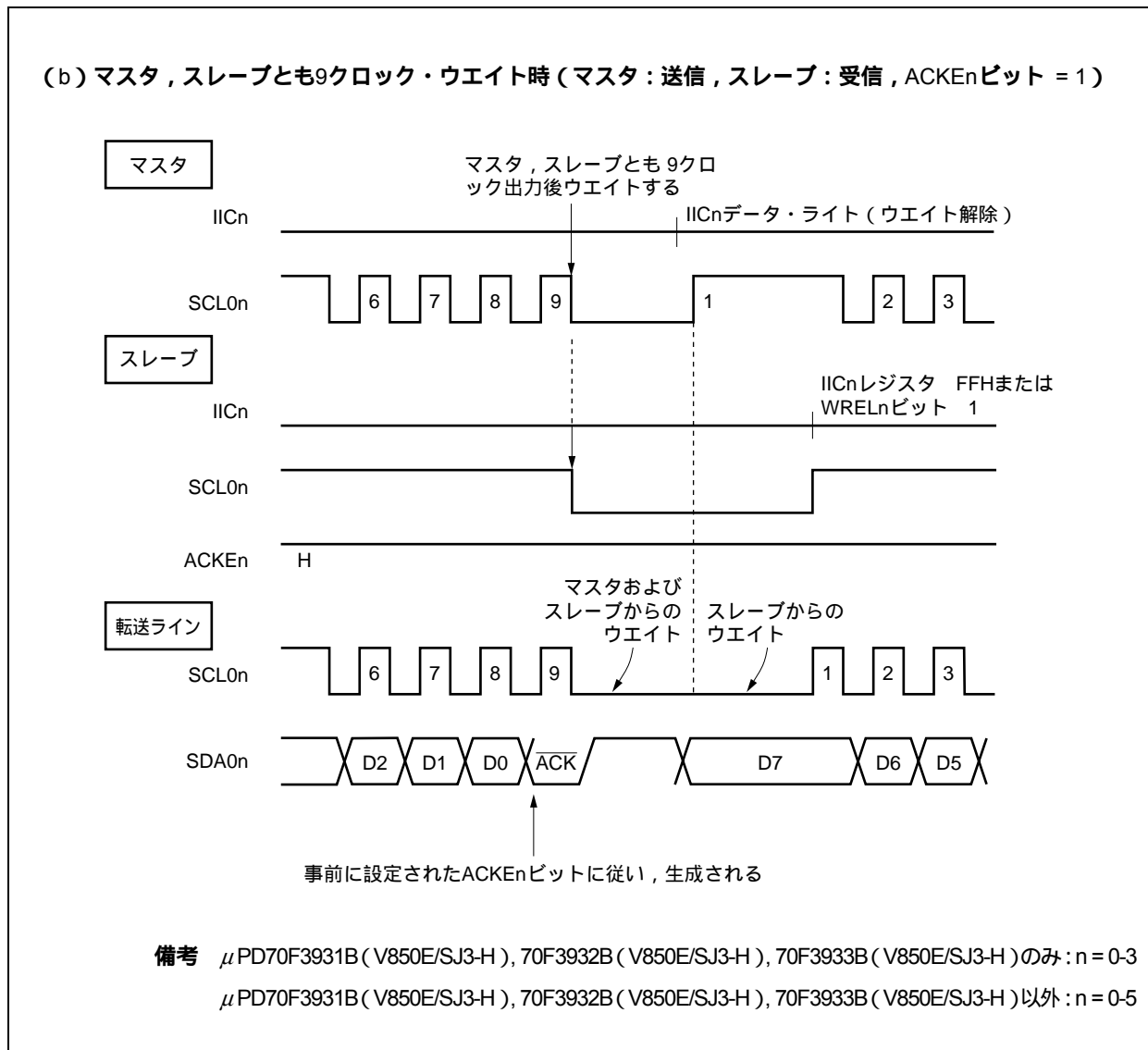


図19 - 10 ウェイト (2/2)



スタート・コンディション生成後,自動的にウェイト状態になります。またIICn.WTImnビットの設定により自動的にウェイト状態になります。

通常,受信側はWRELnビット = 1またはIICnレジスタ FFHライトにするとウェイトを解除し,送信側はIICnレジスタにデータを書き込むとウェイトを解除します。

マスタの場合は,次の方法でもウェイトを解除できます。

- ・ IICn.STTnビット = 1
- ・ IICn.SPTnビット = 1

### 19.6.7 ウェイト解除方法

I<sup>2</sup>C0nでは、通常、次のような処理でウェイトを解除できます。

- ・ IICnレジスタへのデータの書き込み
- ・ IICn.WRELnビットのセット(1) (ウェイト解除)
- ・ IICn.STTnビットのセット(1) (スタート・コンディションの生成)<sup>注</sup>
- ・ IICn.SPTnビットのセット(1) (ストップ・コンディションの生成)<sup>注</sup>

#### 注 マスタのみ

これらのウェイト解除処理を実行した場合、I<sup>2</sup>C0nはウェイトを解除し通信が再開されます。

ウェイトを解除してデータ(アドレスを含む)を送信する場合には、IICnレジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、WRELnビットをセット(1)してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、STTnビットをセット(1)してください。

ウェイト解除後にストップ・コンディションを生成する場合には、SPTnビットをセット(1)してください。

1回のウェイト状態に対して、1回だけ解除処理を実行してください。

たとえば、WRELnビットのセット(1)によるウェイト解除後、IICnレジスタへのデータ書き込みを実施した場合には、SDAnラインの変化タイミングとIICnレジスタへの書き込みタイミングの競合により、SDAnラインへの出力データが間違っただけになる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICn.IICEnビットをクリア(0)すると通信を停止するので、ウェイトを解除できます。

I<sup>2</sup>Cバスがノイズなどによりデッド・ロックしてしまった場合には、IICn.LRELnビットをセット(1)すると通信から退避するので、ウェイトを解除できます。

**備考**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n = 0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n = 0-5

## 19.7 I<sup>2</sup>C 割り込み要求信号 (INTIICn)

次に,INTIICn割り込み要求信号発生タイミングと,INTIICn信号タイミングでのIICSnレジスタの値を示します。

**備考1.** ST : スタート・コンディション

AD6-AD0 : アドレス

$\overline{R/W}$  : 転送方向指定

$\overline{ACK}$  : アクノリッジ

D7-D0 : データ

SP : ストップ・コンディション

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n = 0-3

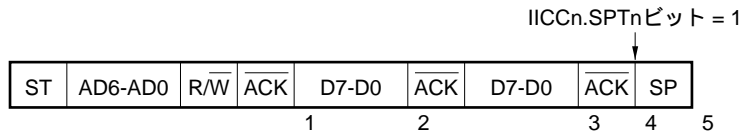
$\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n = 0-5



## 19.7.1 マスタ動作

## (1) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

IICn.WTIMnビット = 0のとき



- 1 : IICnレジスタ = 1000X110B
- 2 : IICnレジスタ = 1000X000B
- 3 : IICnレジスタ = 1000X000B (WTIMnビット = 1<sup>※</sup>)
- 4 : IICnレジスタ = 1000XX00B
- 5 : IICnレジスタ = 00000001B

**注** ストップ・コンディションを生成するためにWTIMnビットをセット(1)し、割り込み要求信号 (INTIICn) の発生タイミングを変更してください。

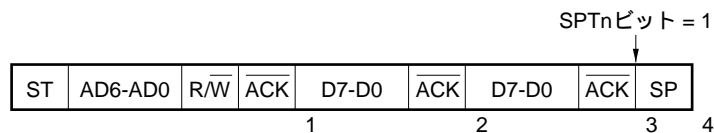
**備考1.** 必ず発生

IICn.SPIEnビット = 1のときだけ発生

X 任意

- 2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3
- $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

WTIMnビット = 1のとき



- 1 : IICnレジスタ = 1000X110B
- 2 : IICnレジスタ = 1000X100B
- 3 : IICnレジスタ = 1000XX00B
- 4 : IICnレジスタ = 00000001B

**備考1.** 必ず発生

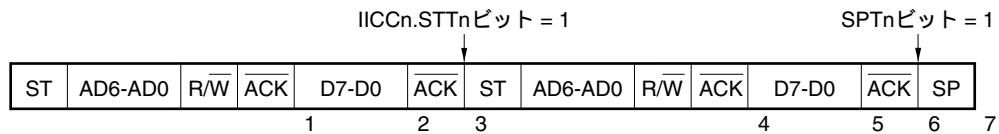
SPIEnビット = 1のときだけ発生

X 任意

- 2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3
- $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

## (2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

## WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1<sup>注1</sup>)
- 3 : IICSnレジスタ = 1000XX00B (WTIMnビット = 0<sup>注2</sup>)
- 4 : IICSnレジスタ = 1000X110B
- 5 : IICSnレジスタ = 1000X000B (WTIMnビット = 1<sup>注3</sup>)
- 6 : IICSnレジスタ = 1000XX00B
- 7 : IICSnレジスタ = 00000001B

- 注1. スタート・コンディションを生成するためにWTIMnビットをセット(1)し、割り込み要求信号 (INTIICn) の発生タイミングを変更してください。
2. 設定を元に戻すためにWTIMnビットをクリア(0)します。
3. ストップ・コンディションを生成するためにWTIMnビットをセット(1)し、割り込み要求信号 (INTIICn) の発生タイミングを変更してください。

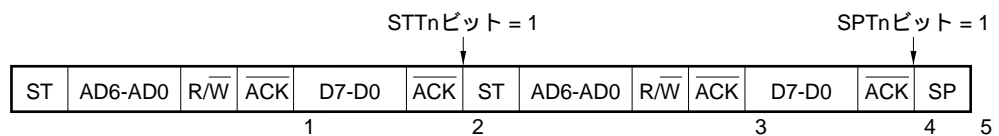
## 備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

## WTIMnビット = 1のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000XX00B
- 3 : IICSnレジスタ = 1000X110B
- 4 : IICSnレジスタ = 1000XX00B
- 5 : IICSnレジスタ = 00000001B

## 備考1. 必ず発生

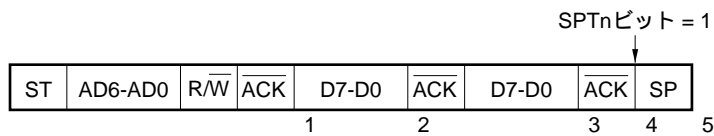
SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

## (3) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

WTIMnビット = 0のとき

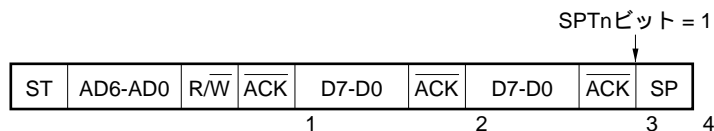


- 1 : IICSnレジスタ = 1010X110B
- 2 : IICSnレジスタ = 1010X000B
- 3 : IICSnレジスタ = 1010X000B (WTIMnビット = 1<sup>※</sup>)
- 4 : IICSnレジスタ = 1010XX00B
- 5 : IICSnレジスタ = 00000001B

**注** ストップ・コンディションを生成するためにWTIMnビットをセット(1)し、割り込み要求信号(INTIICn)の発生タイミングを変更してください。

- 備考1.** 必ず発生  
SPIEnビット = 1のときだけ発生  
X 任意
2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ: n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外: n=0-5

WTIMnビット = 1のとき



- 1 : IICSnレジスタ = 1010X110B
- 2 : IICSnレジスタ = 1010X100B
- 3 : IICSnレジスタ = 1010XX00B
- 4 : IICSnレジスタ = 00000001B

- 備考1.** 必ず発生  
SPIEnビット = 1のときだけ発生  
X 任意
2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ: n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外: n=0-5

## 19.7.2 スレーブ動作 (スレーブ・アドレス受信時 (アドレス一致))

(1) Start ~ Address ~ Data ~ Data ~ Stop

IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0001X000B

4 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

IICn.SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X100B

3 : IICSnレジスタ = 0001XX00B

4 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

## (2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

## WTIMnビット = 0のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0001X110B

4 : IICSnレジスタ = 0001X000B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

## WTIMnビット = 1のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001XX00B

3 : IICSnレジスタ = 0001X110B

4 : IICSnレジスタ = 0001XX00B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

## (3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, アドレス不一致 (拡張コード受信))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0010X010B

4 : IICSnレジスタ = 0010X000B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

WTIMnビット = 1のとき (リスタート後, アドレス不一致 (拡張コード受信))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001XX00B

3 : IICSnレジスタ = 0010X010B

4 : IICSnレジスタ = 0010X110B

5 : IICSnレジスタ = 0010XX00B

6 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

## (4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3		4

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 00000110B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

WTIMnビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3		4

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001XX00B

3 : IICSnレジスタ = 00000110B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

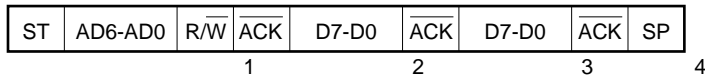
2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

### 19.7.3 スレーブ動作（拡張コード受信時）

拡張コード受信時は常に通信に参加しています。

#### (1) Start ~ Code ~ Data ~ Data ~ Stop

IICn.WTIMnビット = 0のとき



1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0010X000B

4 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

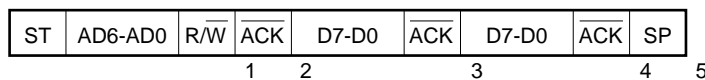
IICn.SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3

$\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

WTIMnビット = 1のとき



1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010X100B

4 : IICSnレジスタ = 0010XX00B

5 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3

$\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5



## (2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

## WTIMnビット = 0のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2					3	4	5

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0001X110B

4 : IICSnレジスタ = 0001X000B

5 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

## WTIMnビット = 1のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1	2		3				4		5 6

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010XX00B

4 : IICSnレジスタ = 0001X110B

5 : IICSnレジスタ = 0001XX00B

6 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

## (3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

## WTIMnビット = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2				3		4	5

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0010X010B

4 : IICSnレジスタ = 0010X000B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

## WTIMnビット = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1	2		3			4	5		6 7

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010XX00B

4 : IICSnレジスタ = 0010X010B

5 : IICSnレジスタ = 0010X110B

6 : IICSnレジスタ = 0010XX00B

7 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

## (4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2					3		4

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 00000110B

4 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

WTIMnビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1	2		3				4		5

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010XX00B

4 : IICSnレジスタ = 00000110B

5 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

## 19.7.4 通信不参加の動作

(1) Start ~ Code ~ Data ~ Data ~ Stop

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
----	---------	-----	-----	-------	-----	-------	-----	----

1

1 : IICSnレジスタ = 00000001B

**備考1.** IICn.SPIEnビット = 1のときだけ発生

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

### 19.7.5 アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合はINTIICn割り込み発生ごとにアービトレーション結果を確認するためのIICSn.MSTSnビットをリードし、アービトレーション結果を確認してください。

#### (1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICSnレジスタ = 0101X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0001X000B

4 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

IICn.SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3

$\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICSnレジスタ = 0101X110B

2 : IICSnレジスタ = 0001X100B

3 : IICSnレジスタ = 0001XX00B

4 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3

$\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

## (2) 拡張コード送信中にアービトレーションに負けた場合

WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICSnレジスタ = 0110X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0010X000B

4 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP	
			1	2		3		4	5

1 : IICSnレジスタ = 0110X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010X100B

4 : IICSnレジスタ = 0010XX00B

5 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

SPIEnビット = 1のときだけ発生

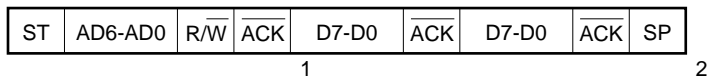
X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

### 19.7.6 アービトレーション負けの動作(アービトレーション負けのあと,不参加)

マルチマスタ・システムでマスタとして使用する場合はINTIICn割り込み発生ごとにアービトレーション結果を確認するためのIICSn.MSTSnビットをリードし,アービトレーション結果を確認してください。

#### (1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合



1 : IICSnレジスタ = 01000110B

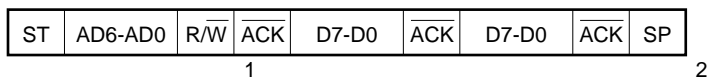
2 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

IICn.SPIEnビット = 1のときだけ発生

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

#### (2) 拡張コード送信中にアービトレーションに負けた場合



1 : IICSnレジスタ = 0110X010B

ソフトウェアでIICn.LRELnビット = 1を設定

2 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

## (3) データ転送時にアービトレーションに負けた場合

IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICSnレジスタ = 10001110B

2 : IICSnレジスタ = 01000000B

3 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

SPIEnビット = 1のときだけ発生

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICSnレジスタ = 10001110B

2 : IICSnレジスタ = 01000100B

3 : IICSnレジスタ = 00000001B

**備考1.** 必ず発生

SPIEnビット = 1のときだけ発生

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5



## (4) データ転送時にリスタート・コンディションで負けた場合

## 拡張コード以外 (例 アドレス不一致)

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
				1					2	3		

1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 01000110B

3 : IICSnレジスタ = 00000001B

備考1. 必ず発生  
SPIEnビット = 1のときだけ発生

X 任意

Dn = D6-D0

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

## 拡張コード

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
				1					2	3		

1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 0110X010B

ソフトウェアでIICn.LRELnビット = 1を設定

3 : IICSnレジスタ = 00000001B

備考1. 必ず発生  
SPIEnビット = 1のときだけ発生

X 任意

Dn = D6-D0

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:n=0-5

## (5) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
				1	2

1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 01000001B

**備考1.** 必ず発生

SPIEnビット = 1のときだけ発生

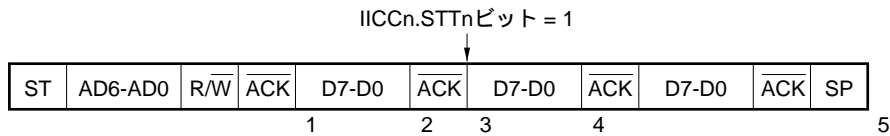
X 任意

Dn = D6-D0

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

(6) リスタート・コンディションを発生しようとしたが、SDA0n端子がロウ・レベルでアービトレーションに負けた場合

WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 3 : IICSnレジスタ = 1000X100B (WTIMnビット = 0)
- 4 : IICSnレジスタ = 01000000B
- 5 : IICSnレジスタ = 00000001B

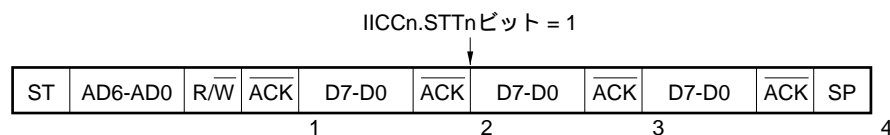
備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

WTIMnビット = 1のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X100B
- 3 : IICSnレジスタ = 01000100B
- 4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

(7) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 3 : IICSnレジスタ = 1000XX00B
- 4 : IICSnレジスタ = 01000001B

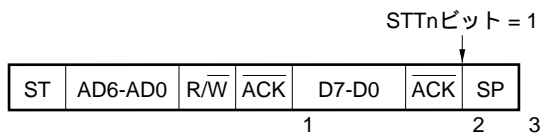
備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

- 2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3
- $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

WTIMnビット = 1のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000XX00B
- 3 : IICSnレジスタ = 01000001B

備考1. 必ず発生

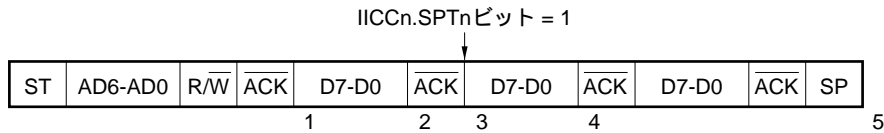
SPIEnビット = 1のときだけ発生

X 任意

- 2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3
- $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

(8) ストップ・コンディションを発生しようとしたが、SDA0n端子がロウ・レベルでアービトレーションに負けた場合

WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 3 : IICSnレジスタ = 1000X100B (WTIMnビット = 0)
- 4 : IICSnレジスタ = 01000100B
- 5 : IICSnレジスタ = 00000001B

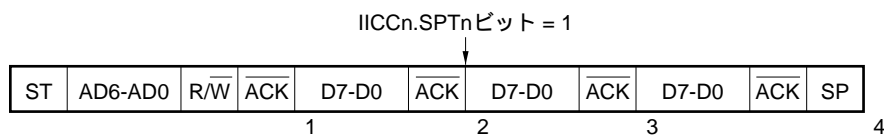
備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

WTIMnビット = 1のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X100B
- 3 : IICSnレジスタ = 01000100B
- 4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n=0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n=0-5

## 19.8 割り込み要求信号 (INTIICn) 発生タイミングおよびウェイト制御

IICn.WTIMnビットの設定で、次に示すタイミングでINTIICn信号が発生して、ウェイト制御を行います。

- 備考1. 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。
2.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

表19 - 6 INTIICn信号発生タイミングおよびウェイト制御

WTIMnビット	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 <sup>注1,2</sup> クロック	8 <sup>注2</sup> クロック	8 <sup>注2</sup> クロック	9クロック	8クロック	8クロック
1	9 <sup>注1,2</sup> クロック	9 <sup>注2</sup> クロック	9 <sup>注2</sup> クロック	9クロック	9クロック	9クロック

注1. スレーブのINTIICn信号およびウェイトは、SVAnレジスタに設定しているアドレスと一致したときのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICn.ACKEnビットの設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICn信号を発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICn信号を発生しますが、ウェイトは発生しません。

2. SVAnレジスタと受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICn信号もウェイトも発生しません。

### (1) アドレス送受信時

- ・スレーブ動作時：WTIMnビットにかかわらず、上記の注1、注2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

### (2) データ受信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

### (3) データ送信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

#### (4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICnレジスタへのデータ書き込み
- ・ IICn.WRELnビットのセット (ウェイト解除)
- ・ IICn.STTnビットのセット (スタート・コンディションの生成)<sup>注</sup>
- ・ IICn.SPTnビットのセット (ストップ・コンディションの生成)<sup>注</sup>

注 マスタのみ

8クロック・ウェイト選択 (WTIMnビット = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

#### (5) ストップ・コンディション検出

ストップ・コンディションを検出すると、INTIICn信号を発生します。

## 19.9 アドレスの一致検出方法

I<sup>2</sup>Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。SVAnレジスタに自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVAnレジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICn信号が発生します。

**備考**  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3  
 $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

## 19.10 エラーの検出

I<sup>2</sup>Cバス・モードでは、送信中のシリアル・バス端子 (SDA0n) の状態が、送信しているデバイスのIICnレジスタにも取り込まれるため、送信開始前と送信終了後のIICnレジスタのデータをソフトウェアで比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

**備考**  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3  
 $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

## 19.11 拡張コード

**備考**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (IICSn.EXCnビット) をセットし、8クロック目の立ち下がりで割り込み要求信号 (INTIICn) を発生します。

SVAnレジスタに格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVAnレジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIICn信号は、8クロック目の立ち下がりで発生します。

上位4ビット・データの一致 : EXCnビット = 1  
 7ビット・データの一致 : IICSn.COInビット = 1

(3) 割り込み要求信号発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。

スレーブ動作時に拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICn.LRELnビット = 1に設定してください。次の通信待機状態となります。

表19-7 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

**備考** 上記以外の拡張コードについては、NXP社発行のI<sup>2</sup>Cバスの仕様書を参照してください。



## 19.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（IICSn.STDnビット = 1になる前に IICn.STTnビット = 1にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、アービトレーション負けフラグ（IICSn.ALDnビット）をセット（1）し、SCL0n, SDA0nラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求信号（INTIICn）発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアでALDnビット = 1になっていることで検出します。

割り込み発生タイミングについては、19.7 I<sup>2</sup>C割り込み要求信号（INTIICn）を参照してください。

図19 - 11 アービトレーション・タイミング例

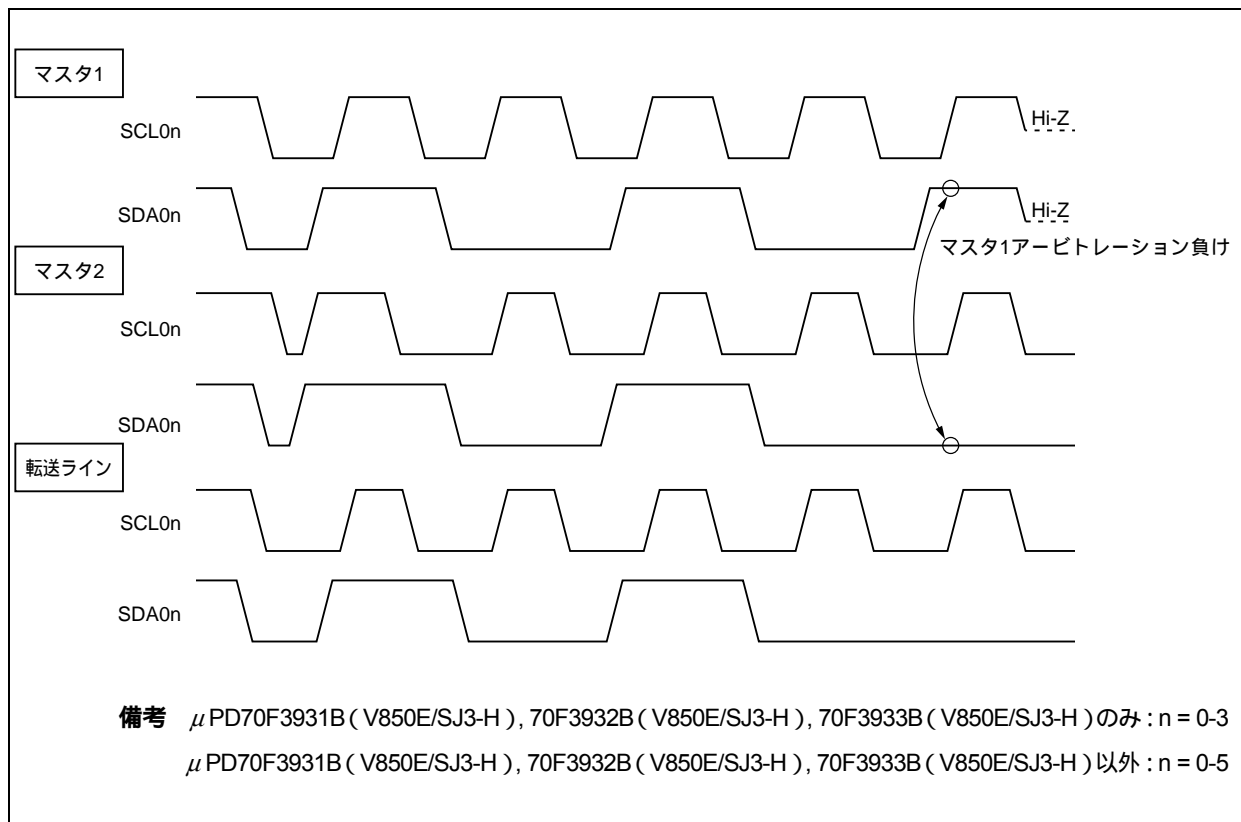


表19 - 8 アービトレーション発生時の状態と割り込み要求信号発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (IICn.SPIEnビット = 1時) <sup>注2</sup>
リスタート・コンディションを生成しようとしたがSDA0n端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIEnビット = 1時) <sup>注2</sup>
ストップ・コンディションを生成しようとしたがSDA0n端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを生成しようとしたがSCL0n端子がロウ・レベル	

注1. IICn.WTIMnビット = 1の場合には, 9クロック目の立ち下がりタイミングでINTIICn信号を発生します。  
WTIMnビット = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングでINTIICn信号を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIEnビット = 1にしてください。

備考  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ: n = 0-3  
 $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外: n = 0-5

### 19. 13 ウェイク・アップ機能

I<sup>2</sup>Cバスのスレーブ機能で, 自局アドレスまたは拡張コードを受信したときに割り込み要求信号 (INTIICn) が発生する機能です。アドレスが一致しないときは不要なINTIICn信号を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイク・アップ機能に関係なく, IICn.SPIEnビットの設定によって, INTIICn信号の発生許可 / 禁止が決定します。

備考  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ: n = 0-3  
 $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外: n = 0-5

## 19. 14 通信予約

### 19. 14. 1 通信予約機能許可の場合 (IICFn.IICRSVnビット = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず, IICn.LRELnビット = 1でバスを解放した)とき

バスに不参加の状態、IICn.STTnビットをセット(1)すると、バスが解放されたあと(ストップ・コンディション検出後)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICn.SPIEnビットをセット(1)し、割り込み要求(INTIICn)発生でバスの解放を検出(ストップ・コンディション検出)したあと、IICnレジスタにアドレスを書き込むと、自動的にマスタとして通信を開始します。ストップ・コンディションを検出する前に、IICnレジスタに書き込んだデータは無効となります。

STTnビットをセット(1)したときスタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

バスが解放されているとき …………… スタート・コンディション生成  
 バスが解放されていないとき(待機状態) … 通信予約

通信予約として動作するのかどうかを確認するには、STTnビットをセット(1)し、ウェイト時間をとったあと、IICn.MSTSnビットを確認することで行います。

ウェイト時間は、表19-9に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICLn.SMCn, CLn1, CLn0ビットと、IICXn.CLXnビットにより設定できます。

表19 - 9 ウェイト時間

CLXnビット	SMCnビット	CLn1ビット	CLn0ビット	OCKSmレジスタ	ウェイト時間
0	0	0	0	18H	23クロック
0	0	0	0	10H	46クロック
0	0	0	0	11H	69クロック
0	0	0	0	12H	92クロック
0	0	0	0	13H	115クロック
0	0	0	1	18H	43クロック
0	0	0	1	10H	86クロック
0	0	0	1	11H	129クロック
0	0	0	1	12H	172クロック
0	0	0	1	13H	215クロック
0	0	1	0	00H	43クロック
0	0	1	1	18H	34クロック <sup>注</sup>
0	0	1	1	10H	68クロック <sup>注</sup>
0	0	1	1	11H	102クロック <sup>注</sup>
0	0	1	1	12H	136クロック <sup>注</sup>
0	0	1	1	13H	170クロック <sup>注</sup>
0	1	0	x	18H	15クロック
0	1	0	x	10H	30クロック
0	1	0	x	11H	45クロック
0	1	0	x	12H	60クロック
0	1	0	x	13H	75クロック
0	1	1	0	00H	15クロック
0	1	1	1	18H	12クロック <sup>注</sup>
0	1	1	1	10H	24クロック <sup>注</sup>
0	1	1	1	11H	36クロック <sup>注</sup>
0	1	1	1	12H	48クロック <sup>注</sup>
0	1	1	1	13H	60クロック <sup>注</sup>
1	1	0	x	18H	9クロック
1	1	0	x	10H	18クロック
1	1	0	x	11H	27クロック
1	1	0	x	12H	36クロック
1	1	0	x	13H	45クロック
1	1	1	0	00H	9クロック

注 I<sup>2</sup>C04, I<sup>2</sup>C05では設定禁止です。

備考1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:

$$n = 0-3, m = 0, 1$$

$\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:

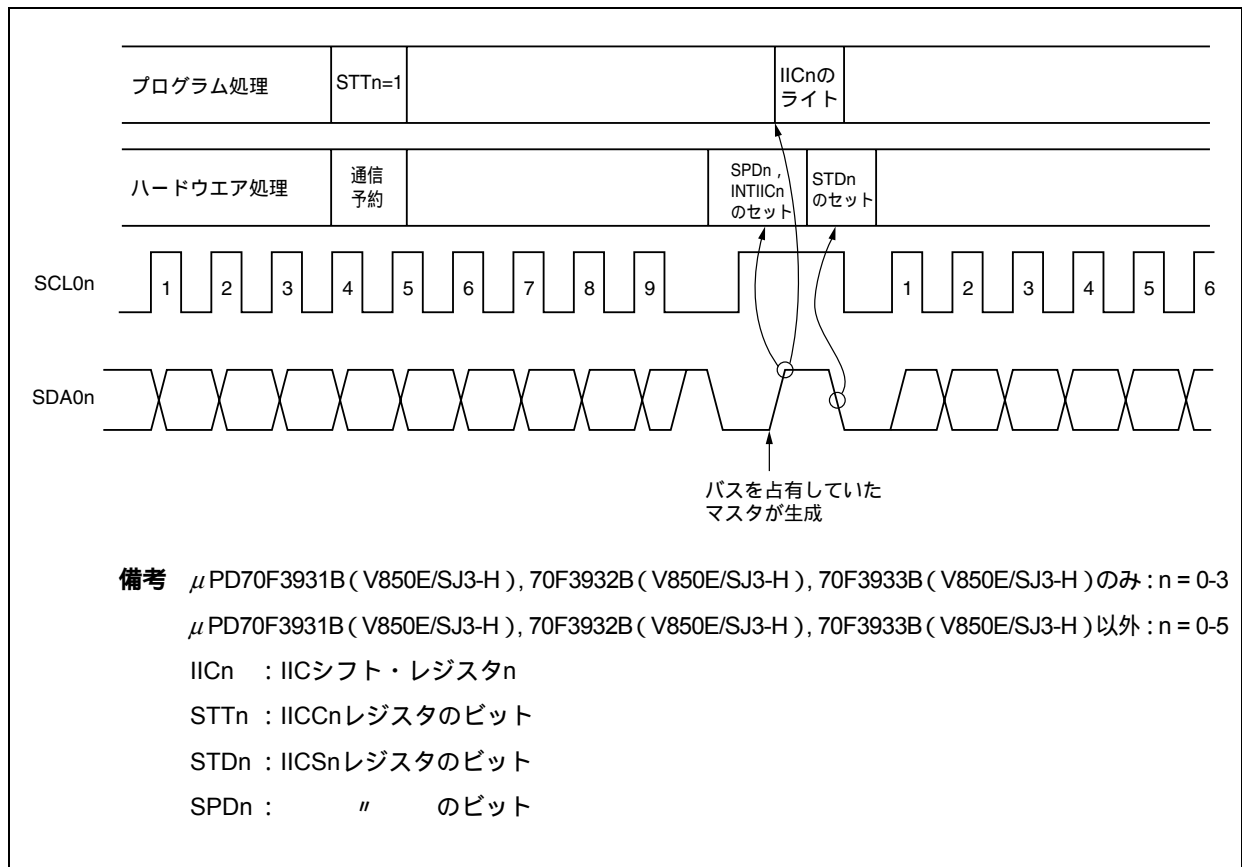
$$n = 0-5, m = 0, 1, 3$$

2. x = Don't care

3. クロック = f<sub>CPU</sub> (CPUクロック周波数)

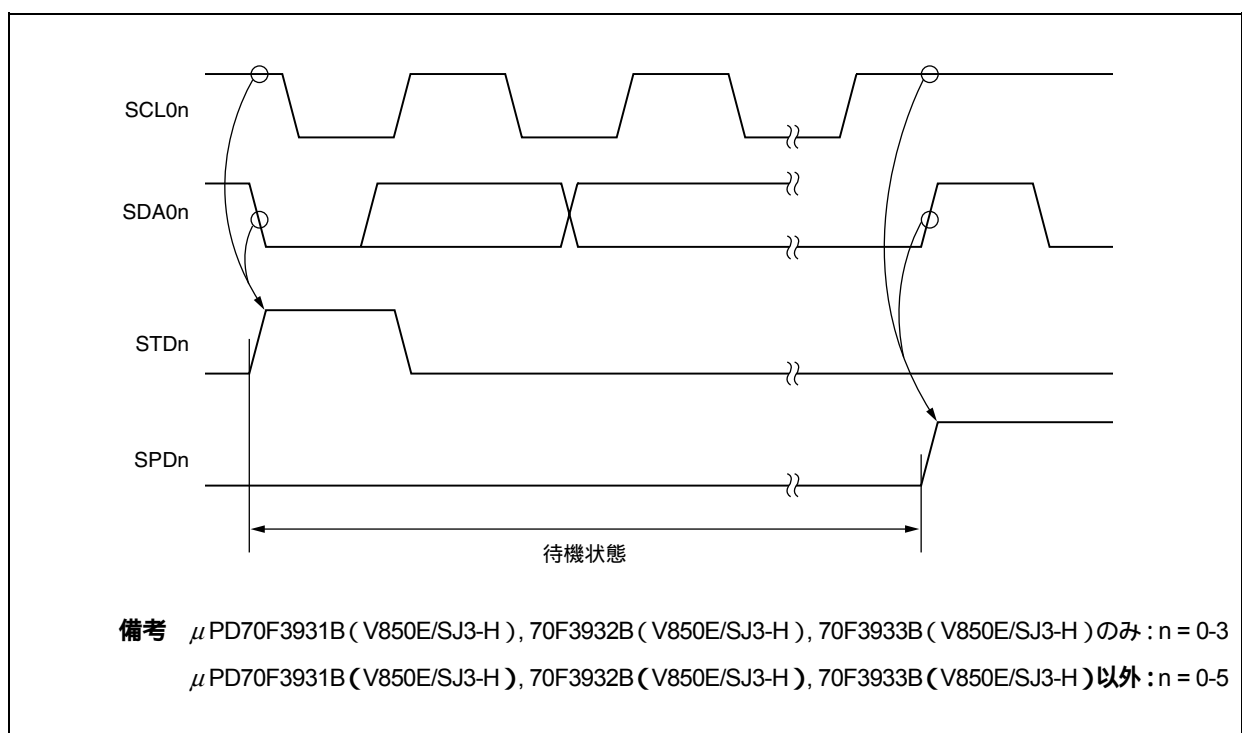
通信予約のタイミングを次に示します。

図19 - 12 通信予約のタイミング



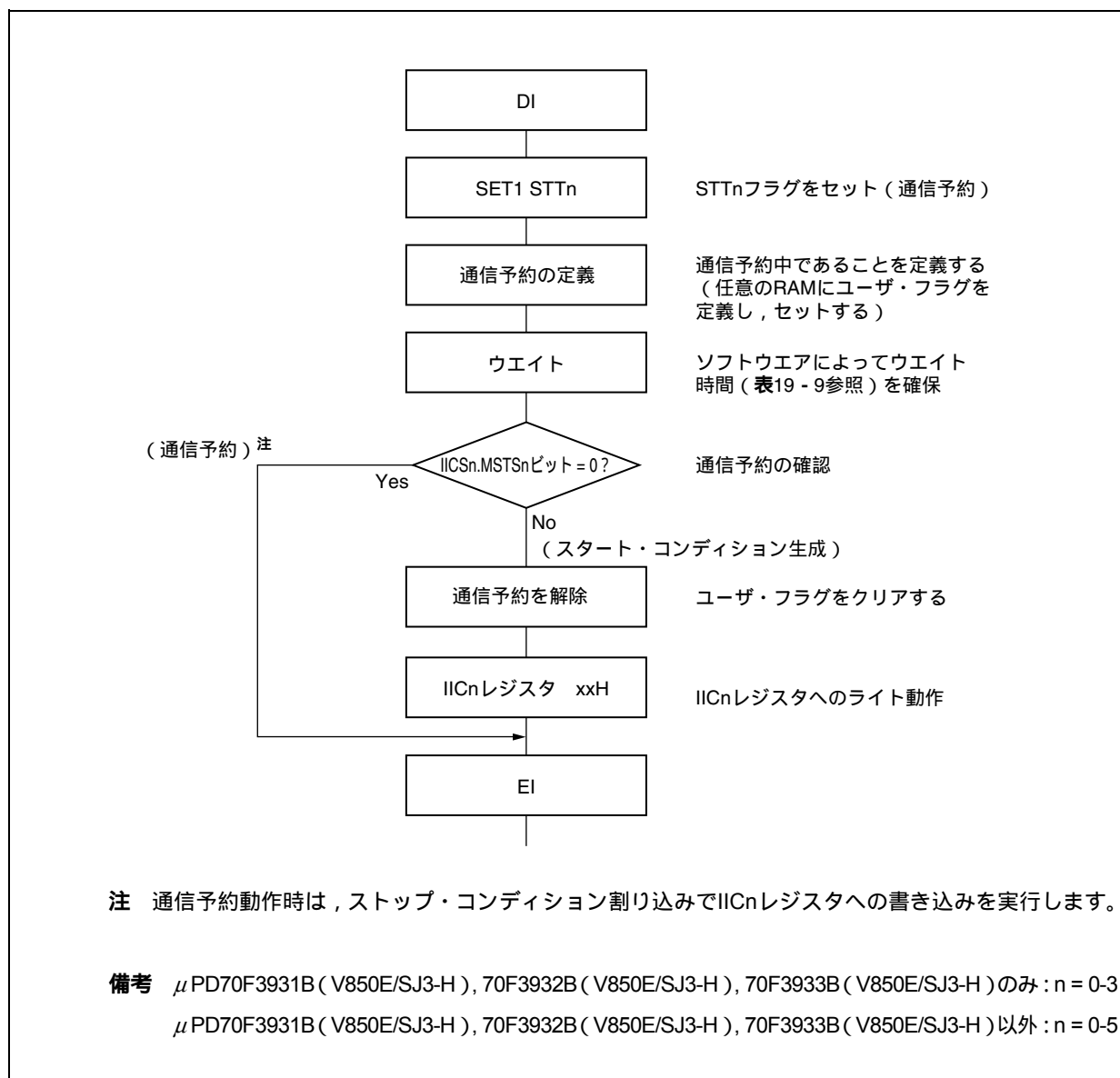
通信予約は次のタイミングで受け付けられます。IICSn.STDnビット = 1になったあと、ストップ・コンディション検出までにIICn.STTnビット = 1で通信予約をします。

図19 - 13 通信予約受け付けタイミング



次に通信予約の手順を示します。

図19 - 14 通信予約の手順



### 19. 14. 2 通信予約機能禁止の場合 (IICFn.IICRSVnビット = 1)

バスが通信中で、この通信に不参加の状態ではIICFn.STTnビットをセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICFn.LRELnビット = 1でバスを解放した)とき。

スタート・コンディションが生成されたか拒絶されたを確認するには、IICFn.STCFnフラグを確認することにより行います。STTnビット = 1としてからSTCFnフラグがセットされるまで表19 - 10に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表19 - 10 ウェイト時間

IICCLn.CLn1ビット	IICCLn.CLn0ビット	OCKSmレジスタ	ウェイト時間
0	x	18H	5クロック
0	x	10H	10クロック
0	x	11H	15クロック
0	x	12H	20クロック
0	x	13H	25クロック
1	0	00H	5クロック
1	1	18H	5クロック <sup>注</sup>
1	1	10H	10クロック <sup>注</sup>
1	1	11H	15クロック <sup>注</sup>
1	1	12H	20クロック <sup>注</sup>
1	1	13H	25クロック <sup>注</sup>

注 I<sup>2</sup>C04, I<sup>2</sup>C05では設定禁止です。

備考1.  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ:

n=0-3, m=0, 1

$\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外:

n=0-5, m=0, 1, 3

2. x = Don't care

3. クロック = f<sub>CPU</sub> (CPUクロック周波数)

## 19. 15 注意事項

**備考**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

### (1) IICFn.STCENnビット = 0の場合

I<sup>2</sup>C0n動作許可直後, 実際のバス状態にかかわらず通信状態 (IICFn.IICBSYnビット = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は, まずストップ・コンディションを生成し, バスを解放してからマスタ通信を行ってください。  
ストップ・コンディションの生成は次の順番で行ってください。

IICCLnレジスタの設定  
IICCn.IICEnビットのセット  
IICCn.SPTnビットのセット

### (2) IICFn.STCENnビット = 1の場合

I<sup>2</sup>C0n動作許可直後, 実際のバス状態にかかわらず解放状態 (IICBSYnビット = 0) と認識しますので, 1回目のスタート・コンディションを生成 (IICCn.STTnビット = 1) する場合は, ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

### (3) ほかのデバイス同士の通信時

ほかのデバイス同士の通信中にV850E/SJ3-H, V850E/SK3-HのIICCn.IICEnビットをセット(1)した場合, 通信ラインの状態によってスタート・コンディションを検出することがあります。IICCn.IICEnビットのセット(1)は, 必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。

### (4) 動作クロック周波数の設定

動作許可 (IICCn.IICEnビット = 1) する前にIICCLn, IICXn, OCKSmレジスタで動作クロック周波数を決定してください。動作クロック周波数を変更する場合は, 一度IICCn.IICEnビットをクリア(0)してください。

### (5) IICCnレジスタ設定時の注意

IICCn.STTn, SPTnビットをセット(1)したあと, クリア(0)される前の再セットは禁止します。

### (6) 送信予約

送信予約をした場合には, IICCn.SPIEnビットをセット(1)してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI<sup>2</sup>Cnに通信データをライトすることによってウェイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと, スタート時には割り込み要求が発生しないため, ウェイト状態で停止します。ただし, ソフトウエアでIICSn.MSTSnビットを検出する場合には, SPIEnビットをセット(1)する必要はありません。



## (7) DMA転送の起動要因の切り替え

## (a) INTUA1R信号とINTIIC2信号のDMA転送の起動要因の切り替え

次に示す組み合わせ以外のDMA転送の起動要因の設定は禁止します。

**UARTA1とI<sup>2</sup>C02を同時に使用し、かつINTUA1R信号をDMA転送の起動要因とする場合(V850E/SK3-Hのみ)**

DTFRn.IFCn5-IFCn0ビット = 28H設定時、オプション・バイト0000007AH(第33章 オプション・バイト機能参照)のDTFROB1ビット = 1に設定してください。INTIIC2信号に対するDMA転送の起動要因が無効となります。そのため、INTUA1R信号が発生した場合のみDMA転送が起動し、INTIIC2信号が発生してもDMA転送は起動しません。

**UARTA1を使用せず、I<sup>2</sup>C02のみを使用し、かつINTIIC2信号をDMA転送の起動要因とする場合**

DTFRn.IFCn5-IFCn0ビット = 28H設定時、オプション・バイト0000007AHのDTFROB1ビット = 0に設定してください。INTUA1R信号またはINTIIC2信号が発生した場合にDMA転送が起動する設定となります。

**I<sup>2</sup>C02を使用せず、UARTA1のみを使用し、かつINTUA1R信号をDMA転送の起動要因とする場合**

DTFRn.IFCn5-IFCn0ビット = 28H設定時、オプション・バイト0000007AHのDTFROB1ビット = 0に設定してください。INTUA1R信号またはINTIIC2信号が発生した場合にDMA転送が起動する設定となります。

**備考** 詳細については、表22 - 1 DMA転送の起動要因を参照してください。

## (b) INTUA2R信号とINTIIC0信号のDMA転送の起動要因の切り替え

次に示す組み合わせ以外のDMA転送の起動要因の設定は禁止します。

**UARTA2とI<sup>2</sup>C00を同時に使用し、かつINTUA2R信号をDMA転送の起動要因とする場合(V850E/SK3-Hのみ)**

DTFRn.IFCn5-IFCn0ビット = 2AH設定時、オプション・バイト0000007AH(第33章 オプション・バイト機能参照)のDTFROB1ビット = 1に設定してください。INTIIC0信号に対するDMA転送の起動要因が無効となります。そのため、INTUA2R信号が発生した場合のみDMA転送が起動し、INTIIC0信号が発生してもDMA転送は起動しません。

**UARTA2を使用せず、I<sup>2</sup>C00のみを使用し、かつINTIIC0信号をDMA転送の起動要因とする場合**

DTFRn.IFCn5-IFCn0ビット = 2AH設定時、オプション・バイト0000007AHのDTFROB1ビット = 0に設定してください。INTUA2R信号またはINTIIC0信号が発生した場合にDMA転送が起動する設定となります。

**I<sup>2</sup>C00を使用せず、UARTA2のみを使用し、かつINTUA2R信号をDMA転送の起動要因とする場合**

DTFRn.IFCn5-IFCn0ビット = 2AH設定時、オプション・バイト0000007AHのDTFROB1ビット = 0に設定してください。INTUA2R信号またはINTIIC0信号が発生した場合にDMA転送が起動する設定となります。

**備考** 詳細については、表22 - 1 DMA転送の起動要因を参照してください。

## 19.16 通信動作

ここでは、次の 3 つの動作手順をフローとして示します。

### (1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

### (2) マルチマスタ・システムでのマスタ動作

I<sup>2</sup>C<sub>n</sub> バスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかが I<sup>2</sup>C バスの仕様だけでは判断できません。ここでは、一定(1 フレーム) 期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

### (3) スレーブ動作

I<sup>2</sup>C<sub>n</sub> バスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちで INTIIC<sub>n</sub> 割り込みの発生を待ちます。INTIIC<sub>n</sub> 割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

**備考**  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3  
 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

19. 16. 1 シングルマスタ・システムでのマスタ動作

図19 - 15 シングルマスタ・システムでのマスタ動作

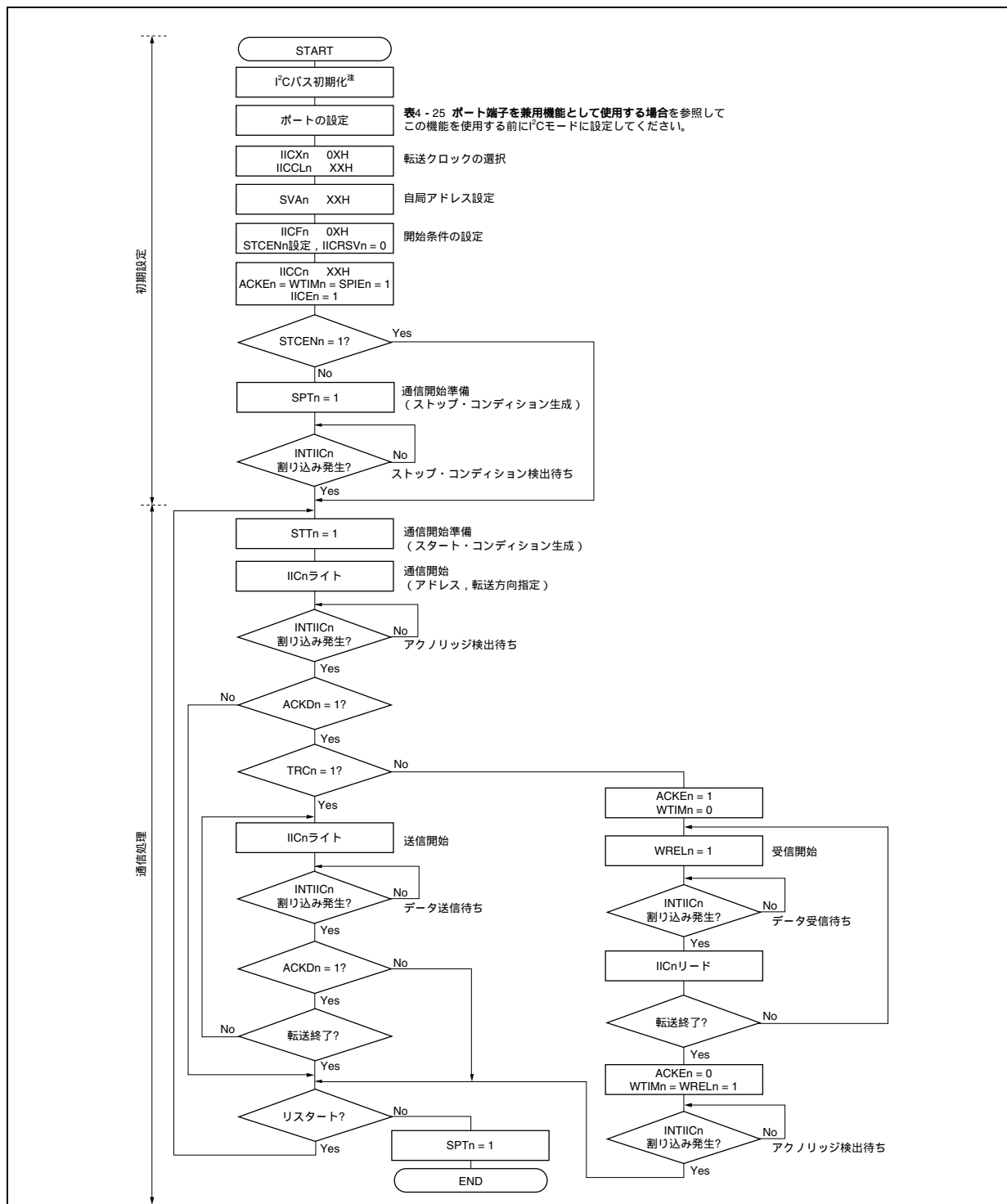


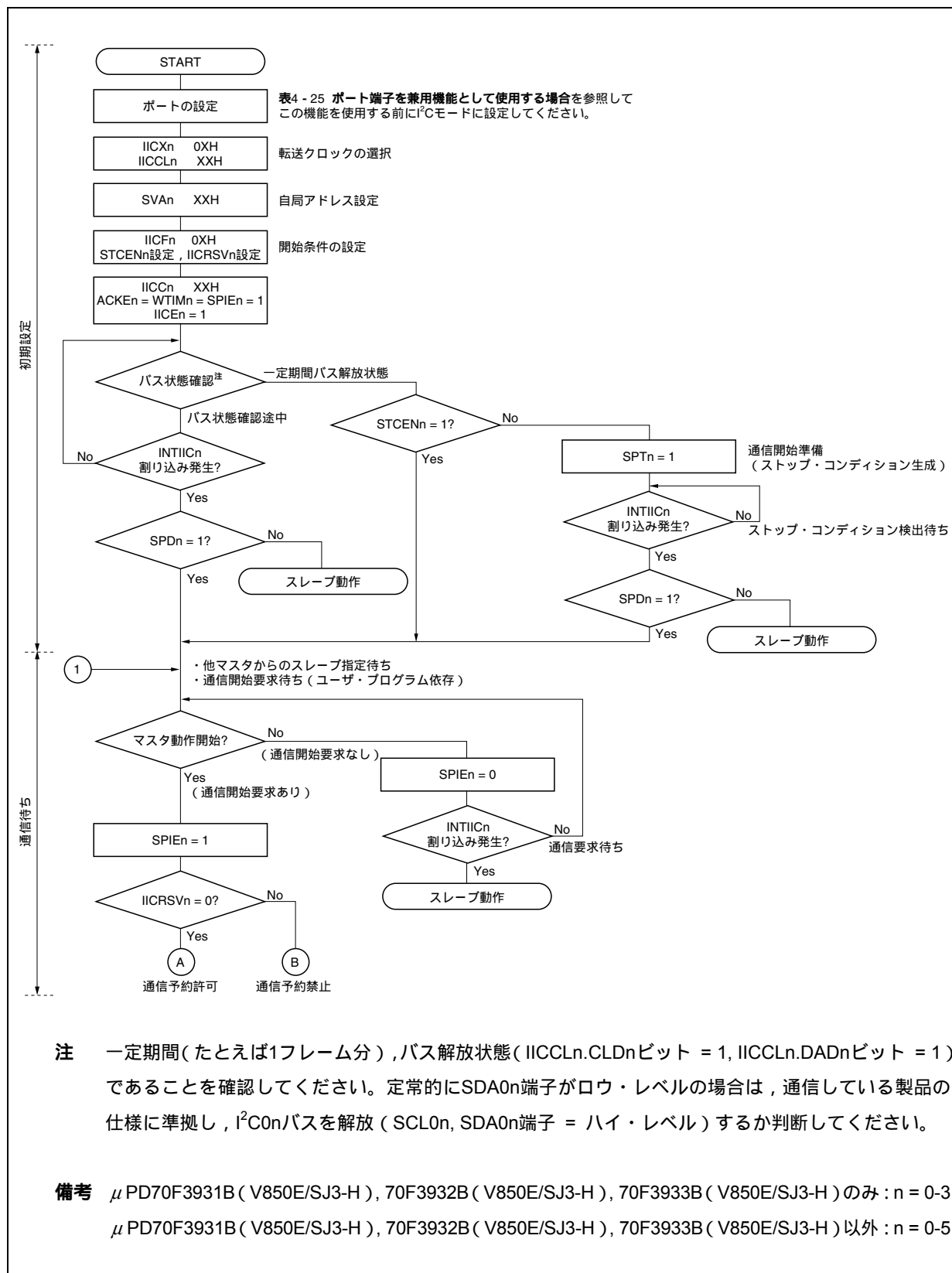
表4 - 25 ポート端子を兼用機能として使用する場合は参照してこの機能を使用する前にI<sup>2</sup>Cモードに設定してください。

**注** 通信している製品の仕様に準拠し、I<sup>2</sup>C0nバスを解放 (SCL0n, SDA0n端子 = ハイ・レベル) してください。たとえば、EEPROM<sup>®</sup>がSDA0n端子にロウ・レベルを出力した状態であれば、SCL0n端子を出力ポートに設定し、SDA0n端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

- 備考1.** 送信および受信フォーマットは通信している製品の仕様に準拠してください。
- μ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3  
 μ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

19. 16. 2 マルチマスタ・システムでのマスタ動作

図19 - 16 マルチマスタ・システムでのマスタ動作 (1/3)



**注** 一定期間 (たとえば1フレーム分), バス解放状態 (IICCLn.CLDnビット = 1, IICCLn.DADnビット = 1) であることを確認してください。定常的にSDA0n端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I<sup>2</sup>C0nバスを解放 (SCL0n, SDA0n端子 = ハイ・レベル) するか判断してください。

**備考** μ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)のみ : n = 0-3  
μ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H)以外 : n = 0-5

図19 - 16 マルチマスタ・システムでのマスタ動作 (2/3)

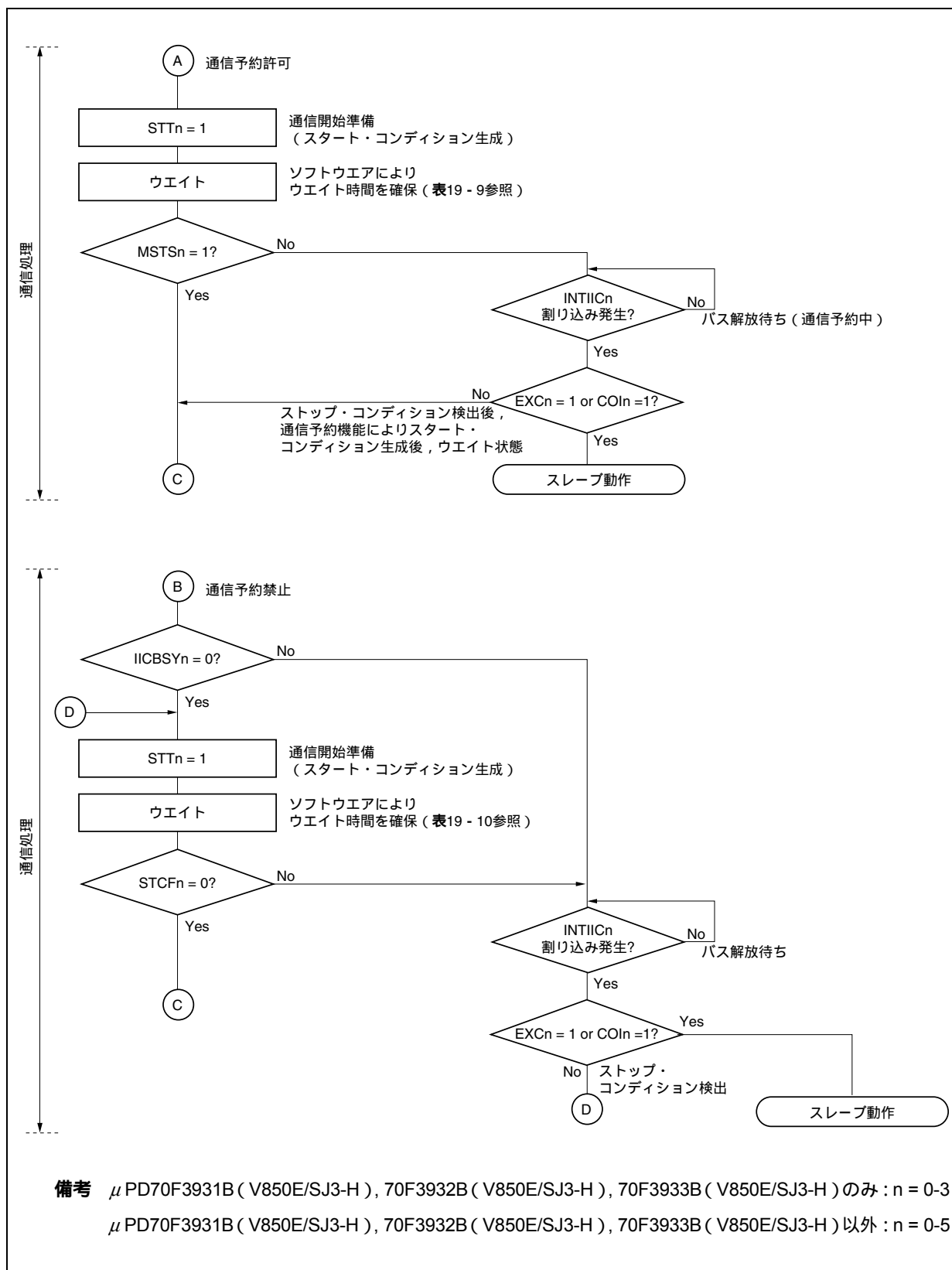
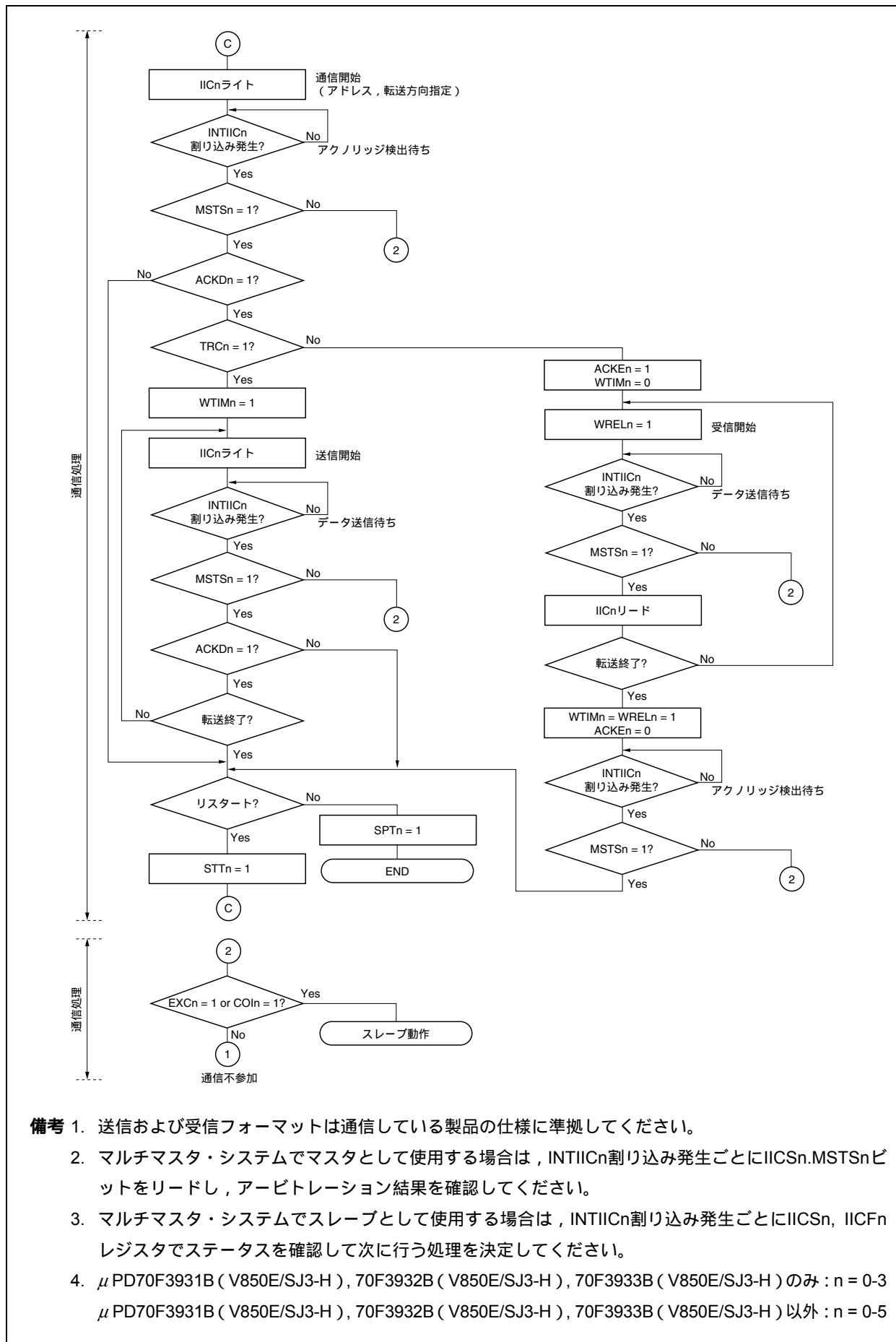


図19 - 16 マルチマスタ・システムでのマスタ動作 (3/3)



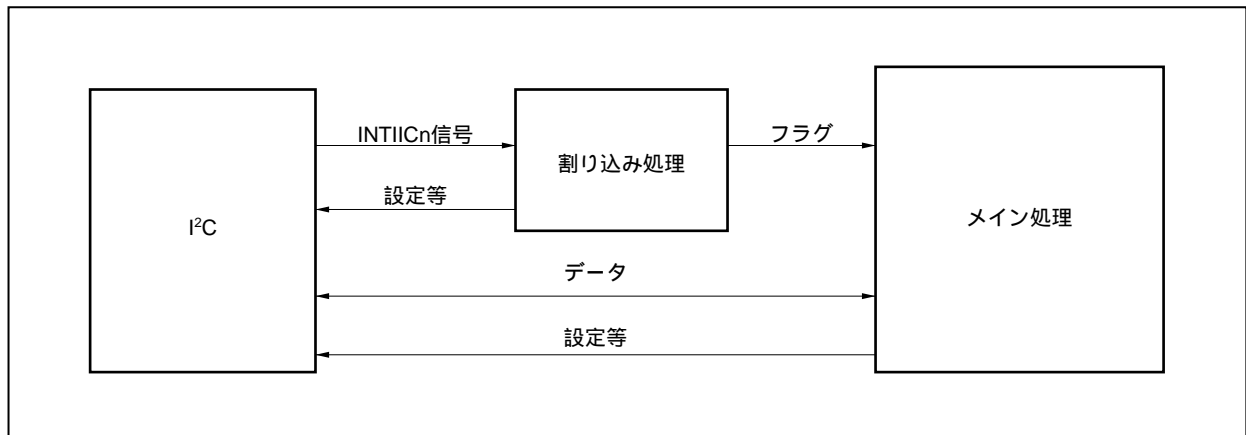
### 19. 16. 3 スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。

図19 - 17 スレーブ動作時のソフトウェア概要



このため、3つのフラグをソフトウェアで準備し、これをINTIICn信号の代わりにメイン処理に渡すことでデータ転送処理を行います。

#### (1) 通信モード・フラグ

次の2つの通信状態を示します。

クリア・モード : データ通信を行っていない状態

通信モード : データの通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

#### (2) レディ・フラグ

データ通信が可能になったことを示します。通常のデータ転送ではINTIICn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータについては、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

#### (3) 通信方向フラグ

通信の方向を示すフラグで、IICSn.TRCnビットの値と同じです。

次にスレーブ動作でのメイン処理部の動作を示します。

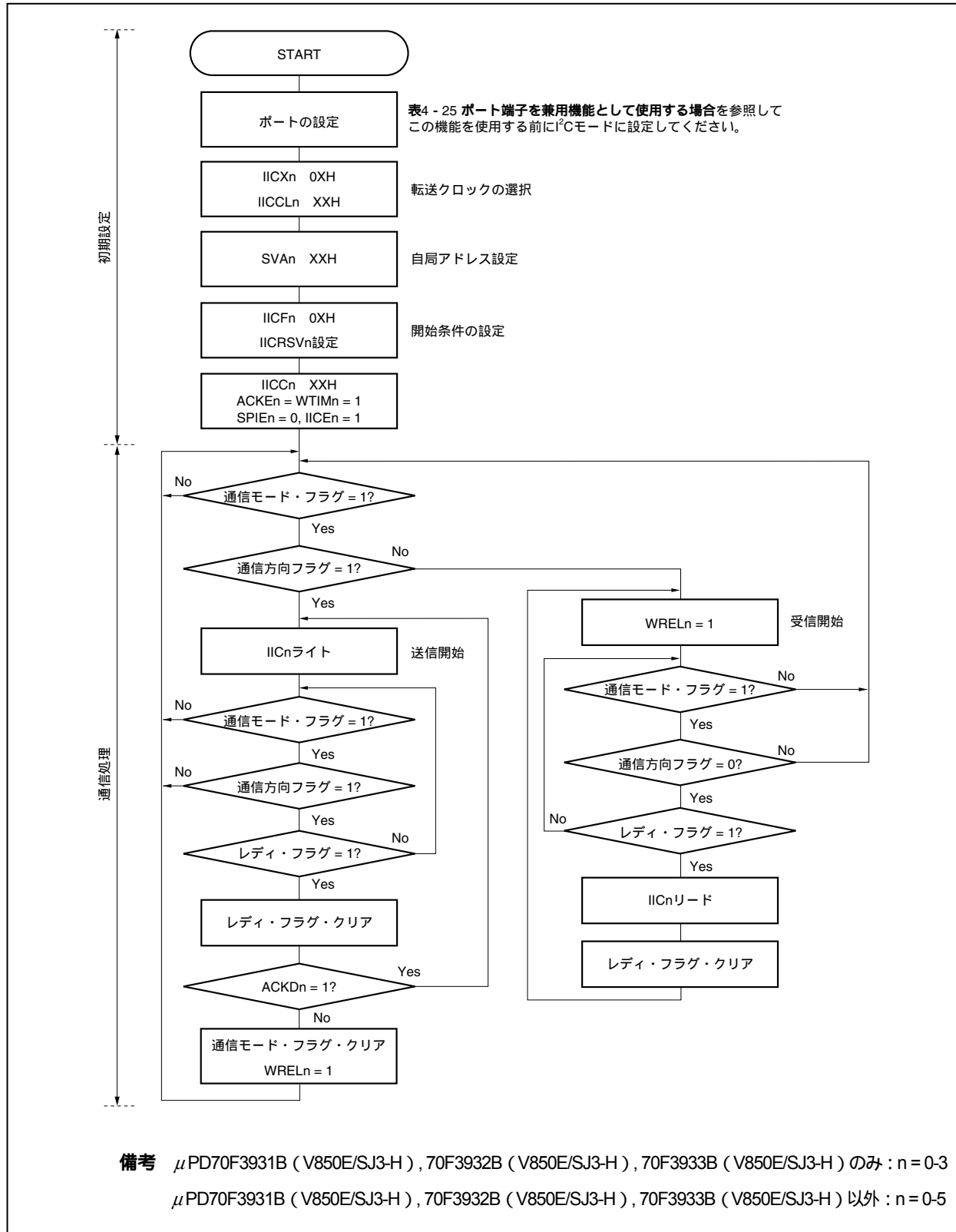
I<sup>2</sup>C0nを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って転送を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで確認します）。

送信ではマスタからアクノリッジが来なくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら転送を完了します。

受信では必要な数のデータを受信し、転送完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。



図19 - 18 スレーブ動作手順 (1)



備考 μPD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3  
 μPD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

スレーブのINTIICn割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICn割り込みではステータスを確認して、次のように行います。

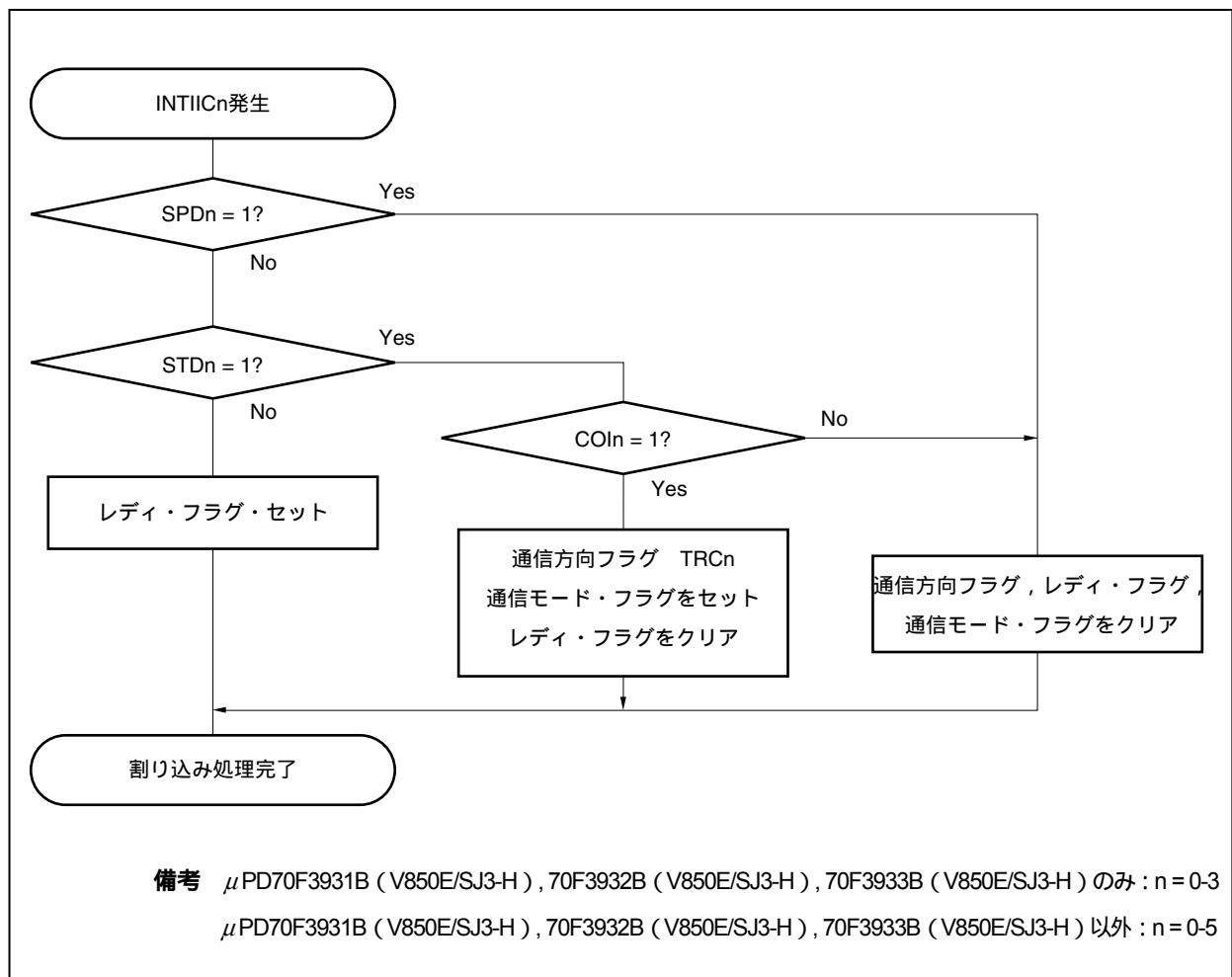
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウエイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

データ送受信の場合、レディ・フラグをセットするだけで、I<sup>2</sup>C0nバスはウエイト状態のまま、割り込みから戻ります。

**備考** 上述の ~ は、図19-19 スレーブ動作手順(2)の ~ と対応しています。

図19-19 スレーブ動作手順(2)



## 19. 17 データ通信のタイミング

I<sup>2</sup>Cバス・モードでは、マスタがシリアル・バス上にアドレスを生成することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すIICSn.TRCnビットを送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック端子 (SCL0n) の立ち下がりに同期してIICnレジスタのシフト動作が行われ、送信データがSOラッチに転送され、SDA0n端子からMSBファーストで出力されます。

また、SCL0n端子の立ち上がりでSDA0n端子に入力されたデータがIICnレジスタに取り込まれます。

データ通信のタイミングを次に示します。

**備考**  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3

$\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5

図19 - 20 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウェイト選択時) (1/3)

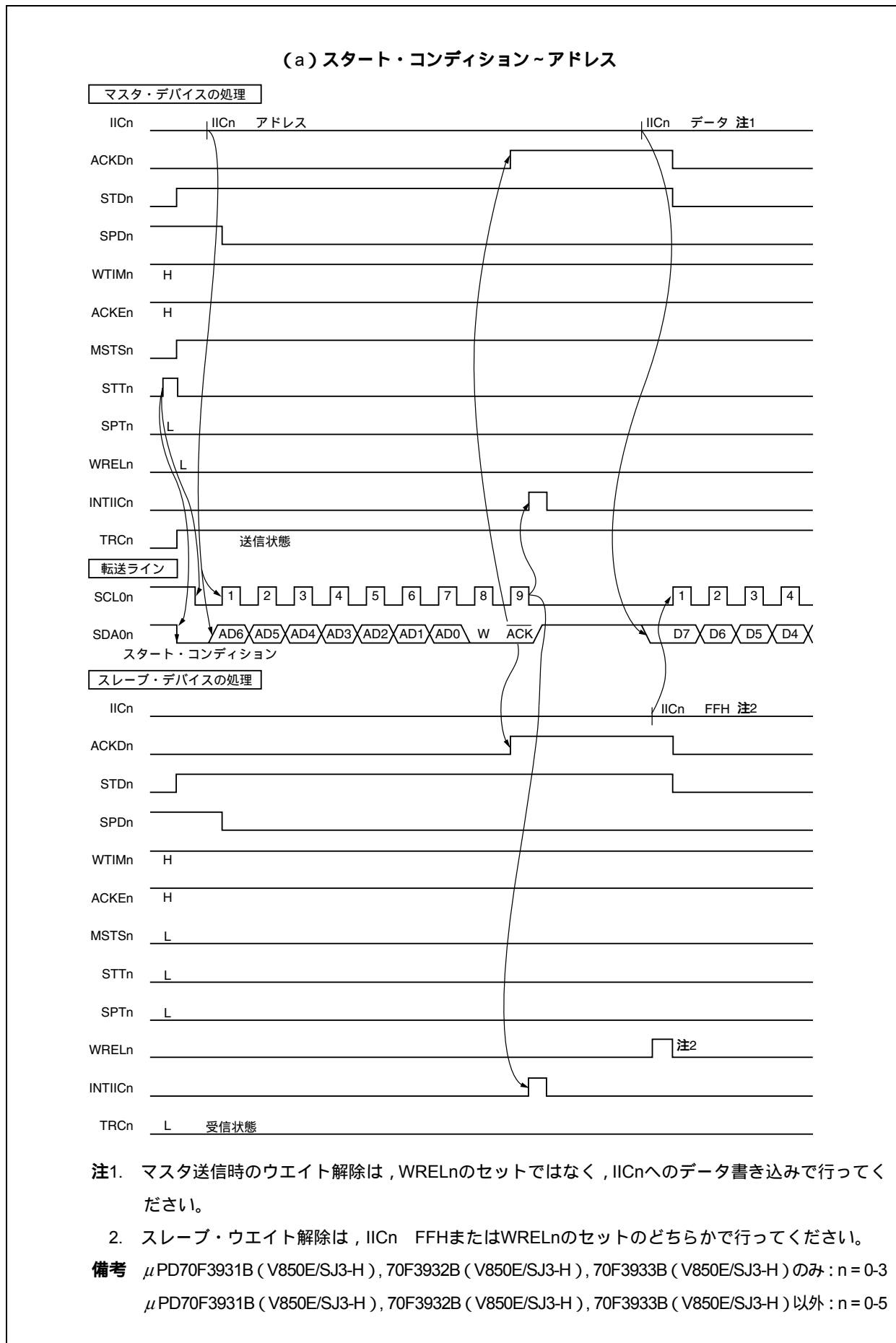


図19 - 20 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウェイト選択時) (2/3)

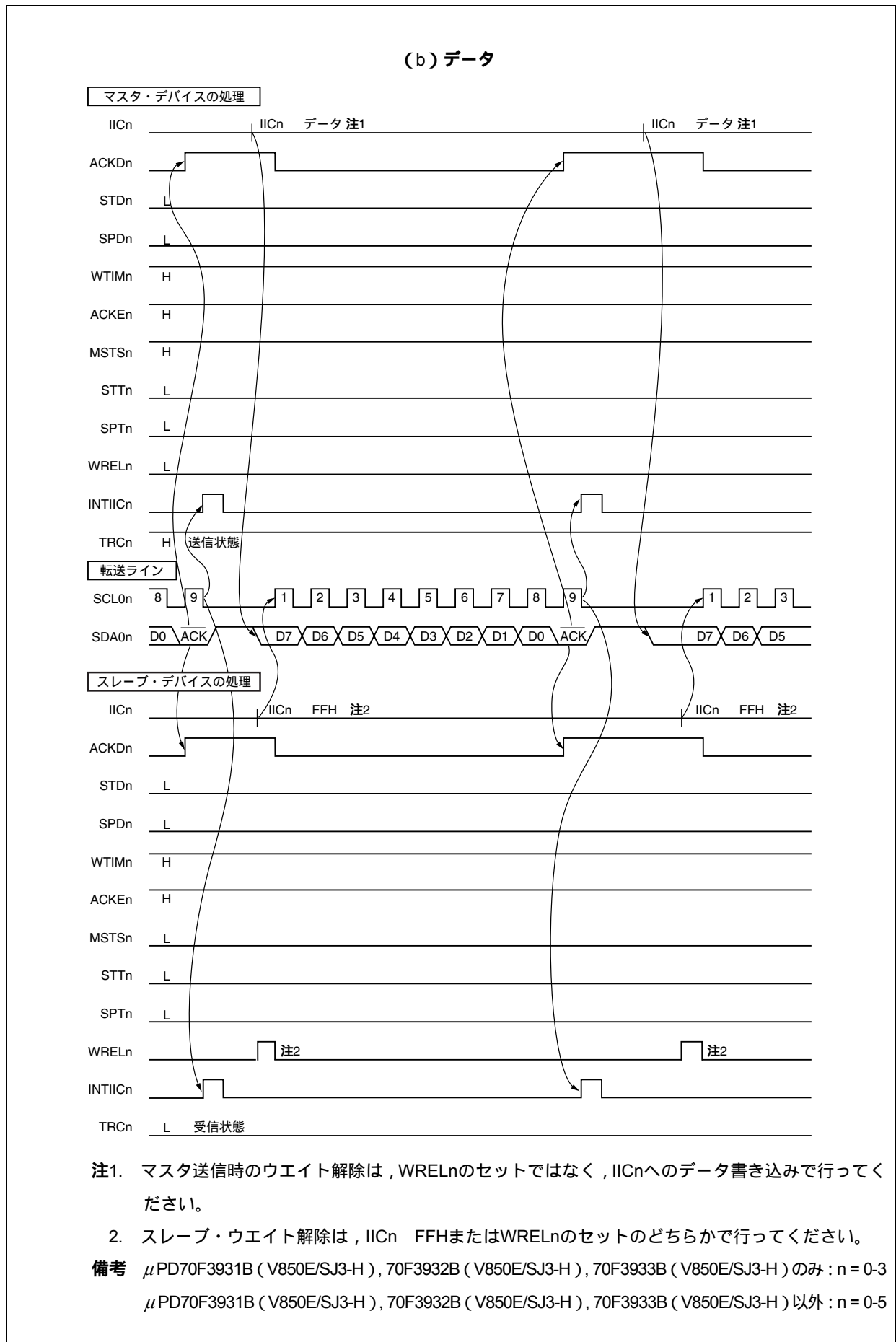


図19 - 20 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウェイト選択時) (3/3)

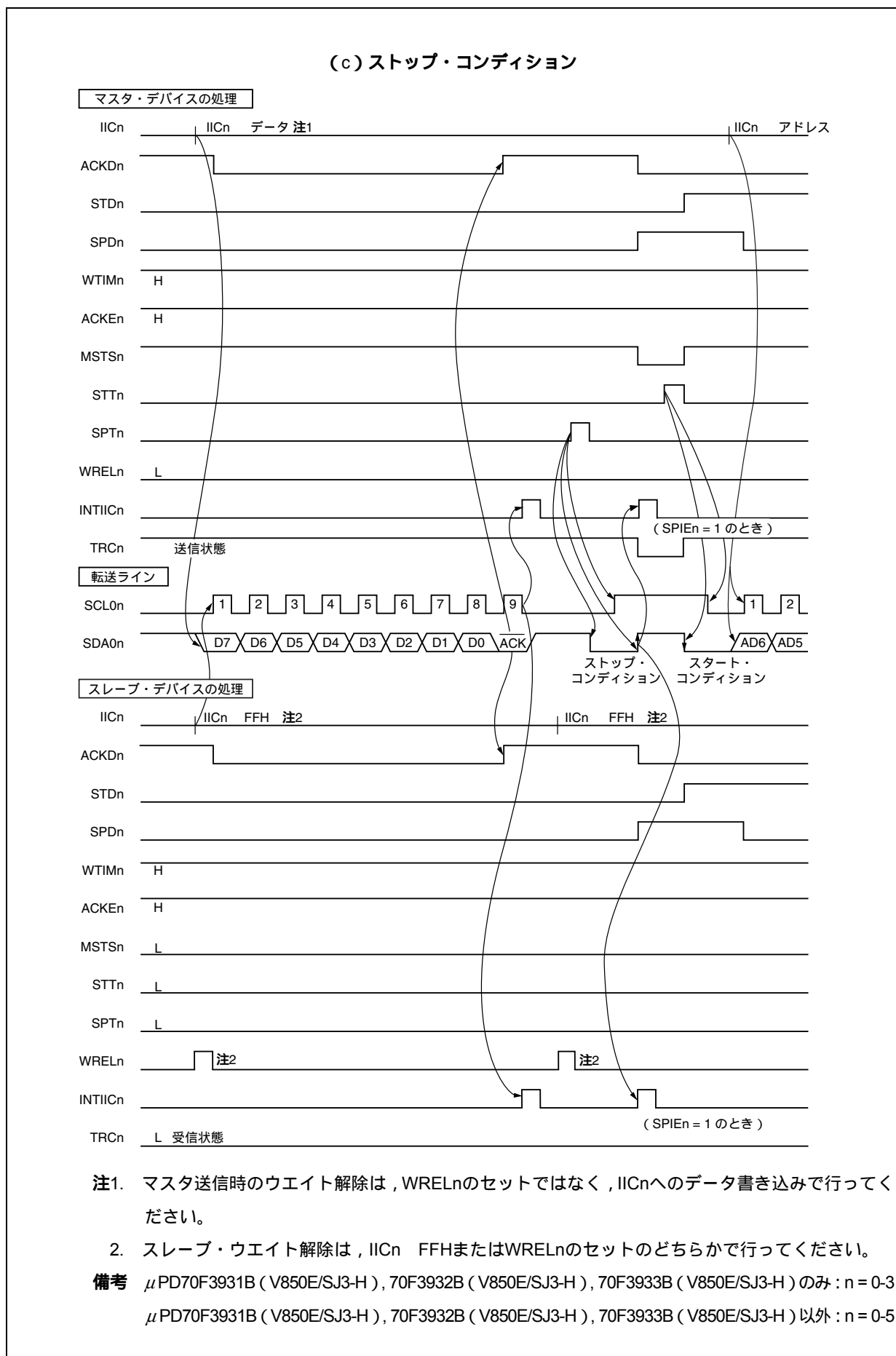


図19 - 21 スレーブ マスタ通信例 (マスタ : 8クロック , スレーブ : 9クロックでウェイト選択時) (1/3)

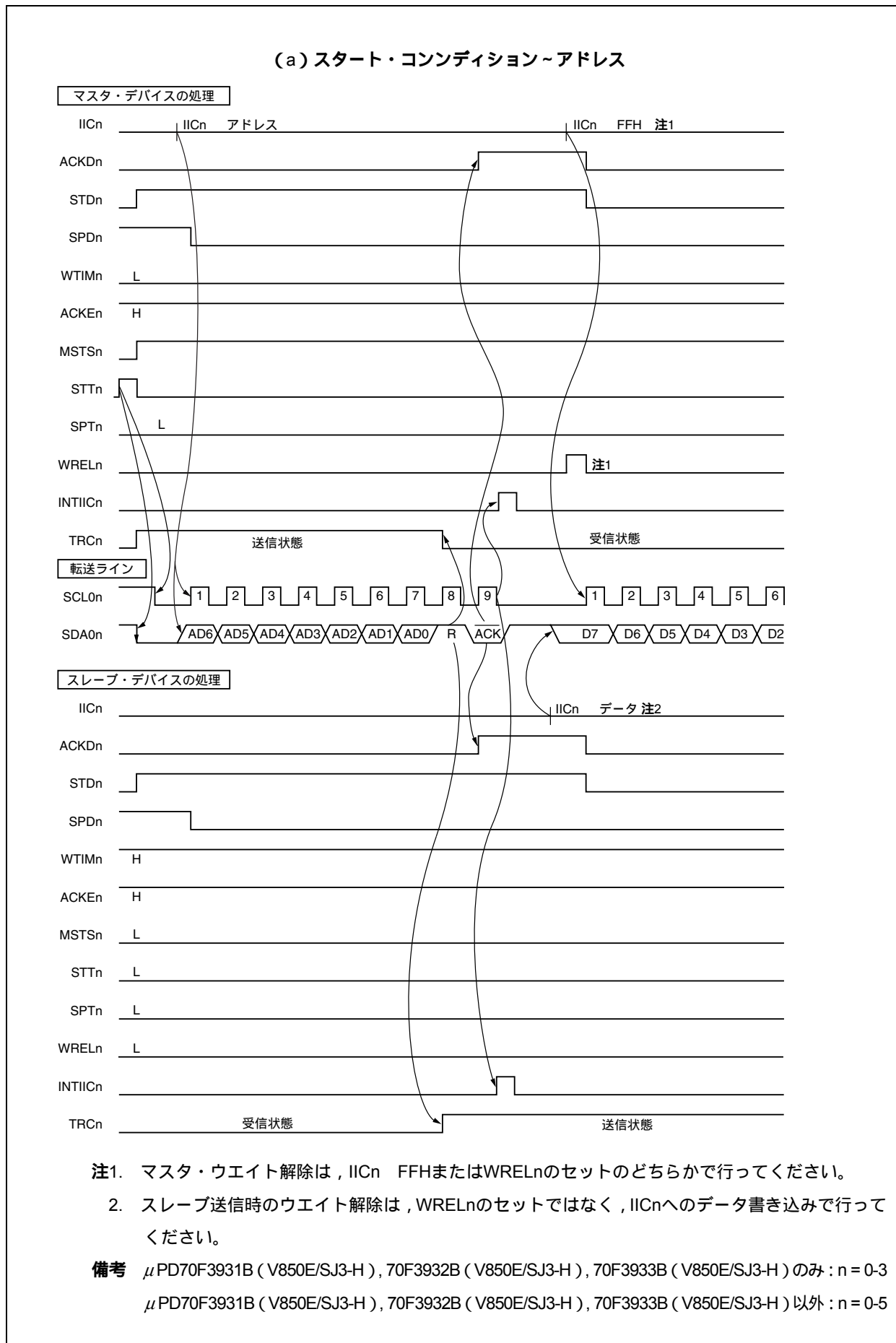


図19 - 21 スレーブ マスタ通信例 (マスタ : 8クロック , スレーブ : 9クロックでウェイト選択時) (2/3)

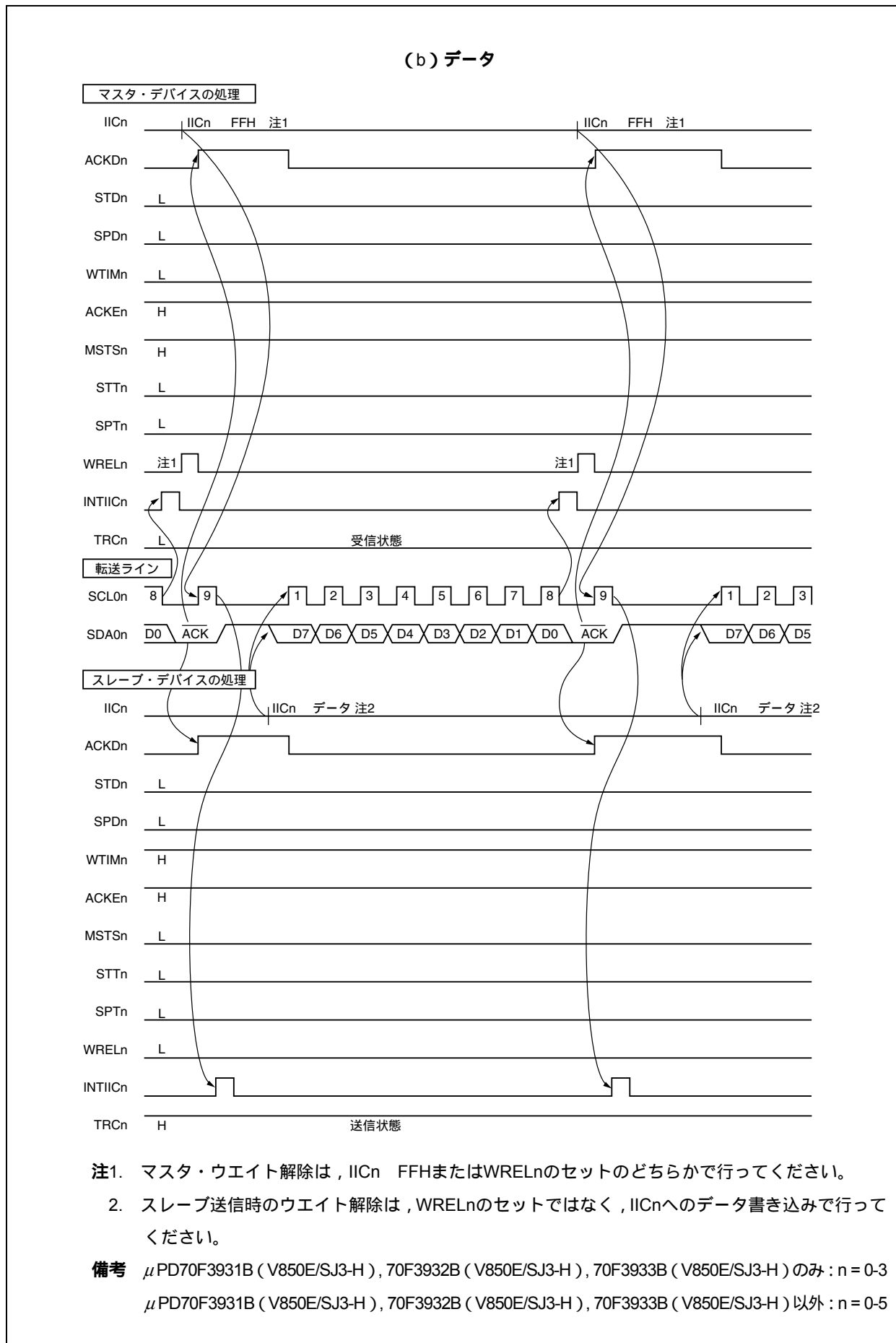
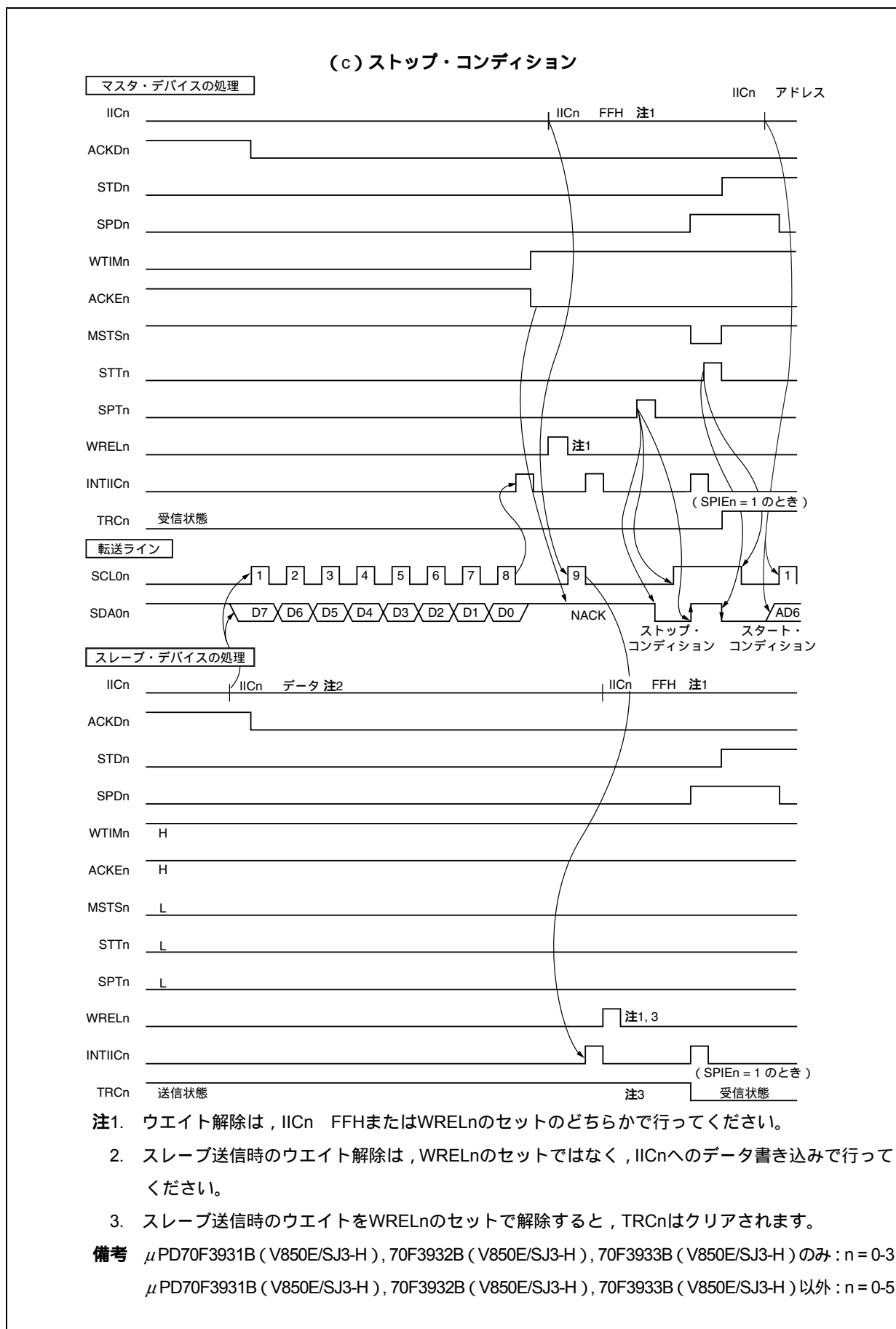




図19-21 スレーブ マスタ通信例 (マスタ: 8 クロック, スレーブ: 9クロックでウェイト選択時) (3/3)



## 第20章 IEBusコントローラ

IEBus ( Inter Equipment Bus ) は、ユニット間のデータ伝送を行うことを目的とした小規模のデジタル・データ伝送システムです。V850E/SJ3-H, V850E/SK3-HでIEBusを実現する場合は、IEBusドライバ/レシーバを内蔵していないため、これらを外付けする必要があります。

V850E/SJ3-H, V850E/SK3-Hが内蔵しているIEBusコントローラは、負論理になります。

### 20.1 機能

#### 20.1.1 IEBusの通信プロトコル

IEBusの通信プロトコルを次に示します。

##### (1) マルチタスク方式

IEBusに接続しているすべてのユニットで、ほかのユニットへのデータ伝送ができます。

##### (2) 同報通信機能

次に示す「1つのユニット 対 複数ユニット」の通信ができます。

- ・グループ同報通信 : グループ・ユニットに対する同報通信
- ・一斉同報通信 : すべてのユニットに対する同報通信

##### (3) 実効伝送速度

実効伝送速度は、モード1, モード2になります ( V850E/SJ3-H, V850E/SK3-Hは、実効伝送速度モードのモード0はサポートしていません )。

- ・モード1 : 約17 kbps
- ・モード2 : 約26 kbps

**注意** 1つのIEBus上に、異なるモード ( モード1, モード2 ) を混在することはできません。

##### (4) 通信方式

半二重非同期通信方式でデータを転送します。

##### (5) アクセス制御 : CSMA/CD ( Carrier Sense Multiple Access with Collision Detection )

IEBus占有の優先順位を次に示します。

- 同報通信が個別通信 ( 1ユニット対1ユニットの通信 ) より優先されます。
- マスタ・アドレスの小さいほうが優先されます。

## (6) 通信規模

IEBusの通信規模を次に示します。

- ・ユニット数：最大50ユニット
- ・ケーブル長：最大150 m (ツイスト・ペア・ケーブルを使用した場合)

**注意** 実際のシステムにおける通信規模は、IEBusドライバ/レシーバやIEBusを構成するケーブルなどの特性によって異なります。

## 20. 1. 2 バス占有権の決定 (アービトレーション)

IEBusに接続された装置は、ほかのユニットを制御するときバスを占有するための動作を行います。この動作をアービトレーションと呼びます。

アービトレーションでは、複数のユニットが同時に送信を開始したときに、それらの複数のユニットの中から1つのユニットに対して、バスを占有する許可を与える処理を行います。

アービトレーションにより1ユニットのみがバス占有権を得るために、次に示すようなバス占有の優先条件があります。

**注意** 通信が途中で終了した場合、バスの占有権は解放されます。

### (1) 通信の種類による優先条件

同報通信 (1ユニット 対 複数ユニットの通信) が、通常通信 (1ユニット 対 1ユニットの通信) より優先されます。

### (2) マスタ・アドレスによる優先条件

通信種類が同じ場合は、マスタ・アドレスの最も小さいものが優先されます。

マスタ・アドレスは12ビットで構成され、000Hのユニットが最上位に優先順位を持ち、FFFHのユニットが最下位の優先順位を持ちます。

## 20. 1. 3 通信モード

IEBusには、伝送速度の異なる3種類の通信モードがあります。V850E/SJ3-H, V850E/SK3-Hは通信モード1と通信モード2をサポートします。通信モード1と通信モード2における伝送速度および1通信フレーム中の最大伝送バイト数を次に示します。

表20 - 1 各通信モードにおける伝送速度、最大伝送バイト数

通信モード	最大伝送バイト数	最大伝送速度 <sup>注</sup>
1	32バイト/フレーム	約17 kbps
2	128バイト/フレーム	約26 kbps

注 最大伝送バイト数を伝送したときの実効伝送速度

IEBusに接続した各ユニットは、通信を行う前にあらかじめ通信モードを選択しておきます。また、マスタ・ユニットとその通信相手ユニット (スレーブ・ユニット) の通信モードが同一でないと、通信は正しく行われません。

### 20. 1. 4 通信アドレス

IEBusでは、各ユニットに12ビットの固有な通信アドレスが割り当てられています。次に通信アドレスの構成を示します。

- ・ 上位4ビット：グループ番号（各ユニットの所属するグループを識別する番号）
- ・ 下位8ビット：ユニット番号（グループ内の各ユニットを識別する番号）

### 20. 1. 5 同報通信

通常の通信では、マスタ・ユニットとその通信相手局となるスレーブ・ユニットはともに1ユニットで、1対1の送信/受信が行われます。それに対して同報通信ではスレーブ・ユニットが複数あり、マスタ・ユニットは複数のスレーブ・ユニットに対して送信を行います。スレーブ・ユニットが複数あるために、通信中スレーブ・ユニットからのアクノリッジ・ビットは、NACK信号が返信されます。

同報通信を行うか通常の通信を行うかは、同報ビットにより選択することができます（20. 1. 6（2）同報ビット参照）。

同報通信には、グループ同報通信と一斉同報通信の2種類の同報通信があります。グループ同報と一斉同報の識別は、スレーブ・アドレスの値で行われます（20. 1. 6（4）スレーブ・アドレス・フィールド参照）。

#### （1）グループ同報通信

通信アドレスの上位4ビットのグループ番号が等しいグループ内のユニットに対して、同報通信を行います。

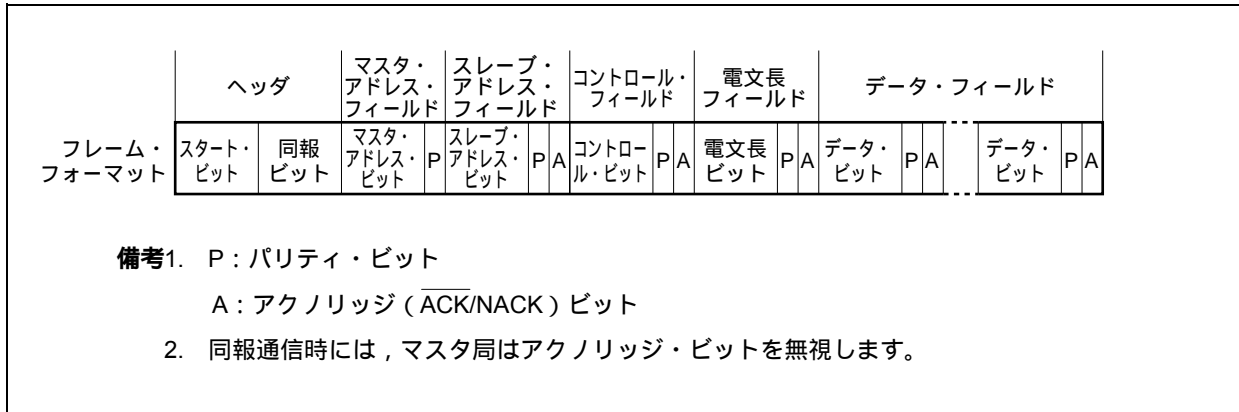
#### （2）一斉同報通信

グループ番号の値にかかわらず、すべてのユニットに対して同報通信を行います。

## 20. 1. 6 IEBusの伝送フォーマット

IEBusの伝送信号フォーマットを図20 - 1に示します。

図20 - 1 IEBusの伝送信号フォーマット



### (1) スタート・ビット

スタート・ビットは, データ伝送の開始をほかのユニットに知らせるための信号です。

データ伝送を開始しようとするユニットは, 決められた時間IETX端子からハイ・レベルの信号 (スタート・ビット) を出力し, 同報ビットの出力へ移行します。

スタート・ビットを出力しようとしたとき, すでにほかのユニットがスタート・ビットを出力している場合には, スタート・ビットを出力しないでそのユニットのスタート・ビット出力終了を待ち, その終了タイミングに同期して同報ビット出力へ移行します。

送信を開始したユニット以外は, このスタート・ビットを検出し, 受信状態へ移行します。

### (2) 同報ビット

マスタが通信相手として単一のスレーブを選択 (個別通信) しているのか, 複数のスレーブを選択 (同報通信) しているのかを示します。

同報ビットが0の場合は同報通信を示し, 1の場合は個別通信を示します。また, 同報通信には, グループ同報と一斉同報があり, これらの識別はスレーブ・アドレスの値によって行われます (18. 1. 6 (4) スレーブ・アドレス・フィールド参照)。

同報通信の場合には, 通信相手局となるスレーブ・ユニットが複数存在するため, マスタ・アドレス・フィールド以降の各フィールドでのアクノリッジ・ビットは, NACK信号が返信されます。

2つ以上のユニットが同じタイミングで通信フレームの送を開始した場合には, 同報通信が個別通信より優先され, アービトレーションに勝ち残ります。

自局がマスタとしてバスを占有しているときは, 同報リクエスト・フラグ (BCR.ALLRQビット) に設定した値が出力されます。

### (3) マスタ・アドレス・フィールド

マスタが自局のアドレスをスレーブに伝えるために出力します。

マスタ・アドレス・フィールドは、図20 - 2に示す構成となっています。

2つ以上のユニットが、同じタイミングで同じ値の同報ビットの送信を開始した場合、アービトレーションの判定は、マスタ・アドレス・フィールドへ持ち越されます。

マスタ・アドレス・フィールドでは、1ビット送信するごとに出力しているデータとバス上のデータを比較します。比較の結果、出力しているマスタ・アドレスとバス上のデータが異なった場合、アービトレーションに負けたと判断して、送信を中止し受信状態に変わります。

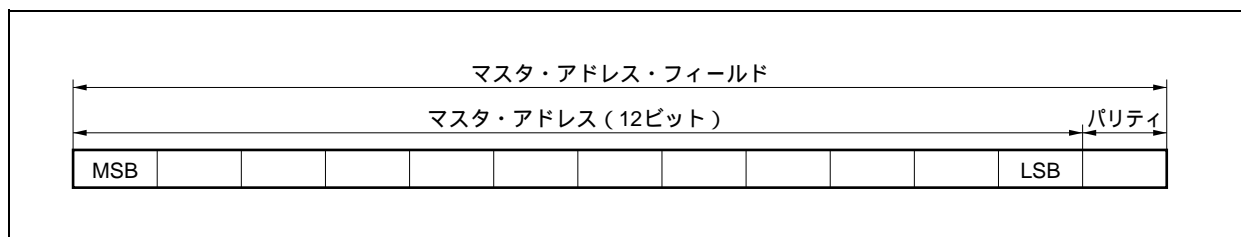
IEBusは、ワイアードANDで構成されているため、アービトレーションに参加しているユニット(アービトレーション・マスタ)の中で、最小のマスタ・アドレスを持つユニットがアービトレーションに勝ち残ります。

最終的に12ビットのマスタ・アドレスを出力後、1つのユニットのみがマスタ・ユニットとして送信状態で残ります。

次に、このマスタ・ユニットはパリティ・ビットを出力し、ほかのユニットに対してマスタ・アドレスを確定させ、スレーブ・アドレス・フィールド出力へ移行します。

自局がマスタとしてバスを占有しているときは、UARレジスタで設定したアドレスが出力されます。

図20 - 2 マスタ・アドレス・フィールド



## (4) スレーブ・アドレス・フィールド

マスタが通信を行いたい相手局のアドレスを出力します。

スレーブ・アドレス・フィールドは、図20 - 3に示す構成になっています。

12ビットのスレーブ・アドレス送信後、スレーブ・アドレスが間違っ受て受信されることを避けるため、パリティ・ビットを出力します。次にスレーブ・ユニットがバス上にあることを確認するために、マスタ・ユニットはスレーブ・ユニットからの $\overline{\text{ACK}}$ 信号を検出します。 $\overline{\text{ACK}}$ 信号を検出した場合、コントロール・フィールド出力へ移行します。ただし、同報通信時は、アクノリッジ・ビットを確認せずに、コントロール・フィールド出力へ移行します。

スレーブ・ユニットは、スレーブ・アドレスが一致して、マスタ・アドレスとスレーブ・アドレスの両方のパリティが偶数であることを検出した場合、 $\overline{\text{ACK}}$ 信号を出力します。スレーブ・ユニットは、パリティが奇数の場合、マスタ・アドレスまたはスレーブ・アドレスが正しく受信されなかったと判断して、NACK信号を出力します。このとき、マスタ・ユニットは待機（モニタ）状態になり、通信が終了します。

また、同報通信の場合にはスレーブ・アドレスは、次のようにグループ同報ノ一斉同報の識別に使用されます。

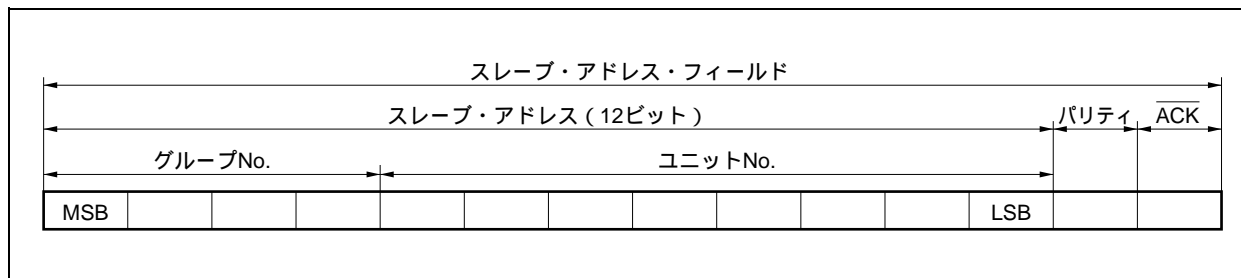
スレーブ・アドレスがFFFHのとき : 一斉同報通信

スレーブ・アドレスがFFFH以外のとき : グループ同報通信

**備考** グループ同報通信時のグループNo.は、スレーブ・アドレスの上位4ビットの値になります。

自局がマスタとしてバスを占有しているときは、SARレジスタで設定したアドレスが出力されます。

図20 - 3 スレーブ・アドレス・フィールド



## (5) コントロール・フィールド

マスタがスレーブに要求する動作内容を出力します。

コントロール・フィールドは、図20-4に示す構成になっています。

コントロール・ビットに続くパリティが偶数で、かつマスタ・ユニットの要求機能をスレーブが実行できる場合は、スレーブ・ユニットはACK信号を出力して、次の電文長フィールドへ移行します。ただし、パリティが偶数でもスレーブ・ユニットがマスタ・ユニットの要求を実行できない場合や、パリティが奇数の場合は、スレーブ・ユニットはNACK信号を出力して、待機（モニタ）状態に戻ります。

マスタ・ユニットはACK信号を検出したあと、次の電文長フィールドへ移行します。

NACK信号を検出した場合は、マスタ・ユニットは待機状態になり、通信が終了します。ただし、同報通信の場合は、マスタ・ユニットはアクノリッジ・ビットを確認しないで次の電文長フィールドへ移行します。

コントロール・ビットの内容を次に示します。

表20-2 コントロール・ビットの内容

ビット3 <sup>注1</sup>	ビット2	ビット1	ビット0	機 能
0	0	0	0	スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	データ読み込みとロック <sup>注2</sup>
0	1	0	0	ロック・アドレスの読み込み（下位8ビット） <sup>注3</sup>
0	1	0	1	ロック・アドレスの読み込み（上位4ビット） <sup>注3</sup>
0	1	1	0	スレーブ・ステータスの読み込みとロック解除 <sup>注2</sup>
0	1	1	1	データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	コマンド書き込みとロック <sup>注2</sup>
1	0	1	1	データ書き込みとロック <sup>注2</sup>
1	1	0	0	未定義
1	1	0	1	未定義
1	1	1	0	コマンド書き込み
1	1	1	1	データ書き込み

注1. ビット3 (MSB) の値により、以後の電文長フィールドの電文長ビットおよびデータ・フィールドのデータ転送方向が変わります。

ビット3 = 1の場合：マスタ・ユニットからスレーブ・ユニットへ転送

ビット3 = 0の場合：スレーブ・ユニットからマスタ・ユニットへ転送

2. ロックの設定 / 解除を指定するコントロール・ビットです (20.1.7 (4) **ロックの設定 / 解除**参照)。
3. ロック・アドレスは、1バイト単位 (8ビット) で伝送されるため、次に示す構成になっています。

	MSB	LSB
コントロール・ビット：4H	下位8ビット	
コントロール・ビット：5H	不 定	上位4ビット



マスタ・ユニットによりロックを設定されたユニットは、ロックを要求したマスタ・ユニット以外から受信したコントロール・ビットが表20 - 3に示した以外の場合は、受け付けを拒否してNACK信号を出力します。

表20 - 3 ロックされたスレーブ・ユニットに対するコントロール・フィールド

ビット3	ビット2	ビット1	ビット0	機 能
0	0	0	0	スレーブ・ステータスの読み込み
0	1	0	0	ロック・アドレスの読み込み（下位8ビット）
0	1	0	1	ロック・アドレスの読み込み（上位4ビット）

また、マスタ・ユニットによりロックを設定されていないユニットは、表20 - 4に示したコントロール・データを受信した場合は、受け付けを拒否してNACK信号を出力します。

表20 - 4 ロックされていないスレーブ・ユニットに対するコントロール・フィールド

ビット3	ビット2	ビット1	ビット0	機 能
0	1	0	0	ロック・アドレスの読み込み（下位8ビット）
0	1	0	1	ロック・アドレスの読み込み（上位4ビット）

自局がマスタとしてバスを占有しているときは、CDRレジスタに設定した値が出力されます。

図20 - 4 コントロール・フィールド

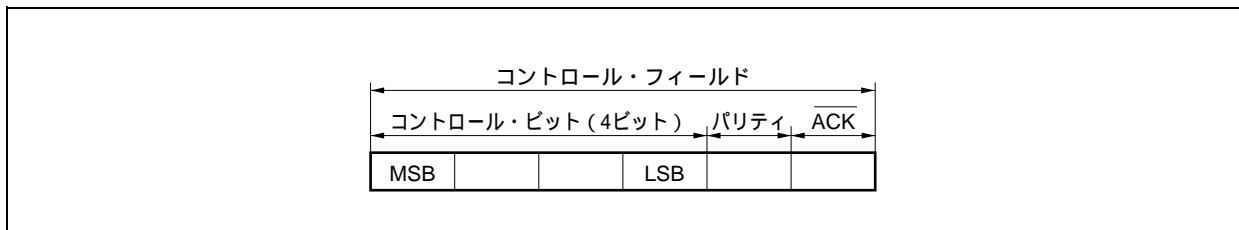


表20 - 5 コントロール・フィールドのアクノリッジ信号出力条件

## (a) 受信したコントロール・データがAH, BH, EH, FHの場合

通信の種類 (USR.ALLTRANSビット) 個別通信 = 0 同報通信 = 1	通信対象 (USR.SLVRQビット) スレーブ指定 = 1 指定なし = 0	ロック状態 (USR.LOCKビット) ロック = 1 非ロック = 0	マスタ・ユニット判定 (PARレジスタと一致) ロック要求ユニット = 1 それ以外 = 0	スレーブ送信許可 (BCR.ENSLVTXビット)	スレーブ受信許可 (BCR.ENSLVRXビット)	受信したコントロール・データ				
						AH	BH	EH	FH	
0	1	0	don't care	don't care	1					
		1	1							
上記以外										x

## (b) 受信したコントロール・データが0H, 3H, 4H, 5H, 6H, 7Hの場合

通信の種類 (USR.ALLTRANSビット) 個別通信 = 0 同報通信 = 1	通信対象 (USR.SLVRQビット) スレーブ指定 = 1 指定なし = 0	ロック状態 (USR.LOCKビット) ロック = 1 非ロック = 0	マスタ・ユニット判定 (PARレジスタと一致) ロック要求ユニット = 1 それ以外 = 0	スレーブ送信許可 (BCR.ENSLVTXビット)	スレーブ受信許可 (BCR.ENSLVRXビット)	受信したコントロール・データ					
						0H	3H	4H	5H	6H	7H
0	1	0	don't care	0	don't care		x	x	x		x
				1				x	x		
				1		0				x	x
						1		x			x
						0					
1											
上記以外											x

注意 受信したコントロール・データが表20 - 5以外の場合は無条件でx (NACK信号を返信する) になります。

備考 :        : ACK信号を返信する  
x : NACK信号を返信する

**(6) 電文長フィールド**

送信側が受信側に対して送信データのバイト数を伝えるために出力します。

電文長フィールドは、図20 - 5に示す構成になっています。

電文長ビットと送信データ数の関係を表20 - 6に示します。

図20 - 5 電文長フィールド

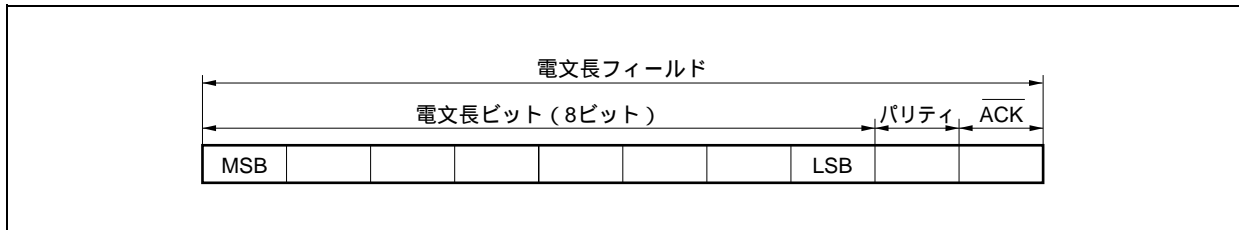


表20 - 6 電文長ビットの内容

電文長ビット (16進)	送信データ・バイト数
01H	1バイト
02H	2バイト
⋮	⋮
FFH	255バイト
00H	256バイト

電文長フィールドの動作は、マスタ送信時（コントロール・ビットのビット3 = 1）とマスタ受信時（コントロール・ビットのビット3 = 0）では異なります。

**(a) マスタ送信時**

電文長ビットおよびパリティ・ビットは、マスタ・ユニットが出力します。スレーブ・ユニットは、パリティが偶数であることを検出した場合、 $\overline{\text{ACK}}$ 信号を出力して、次のデータ・フィールドへ移行します。ただし、同報通信では、スレーブ・ユニットはNACK信号を出力します。

スレーブ・ユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断して、NACK信号を出力して、待機（モニタ）状態に戻ります。このとき、マスタ・ユニットも待機状態に戻り、通信が終了します。

**(b) マスタ受信時**

電文長ビットおよびパリティ・ビットはスレーブ・ユニットが出力し、各ビットの同期信号はマスタ・ユニットが出力します。マスタ・ユニットは、パリティが偶数であることを検出した場合、 $\overline{\text{ACK}}$ 信号を出力します。

マスタ・ユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断して、NACK信号を出力して、待機（モニタ）状態に戻ります。このとき、スレーブ・ユニットも待機状態に戻り、通信が終了します。

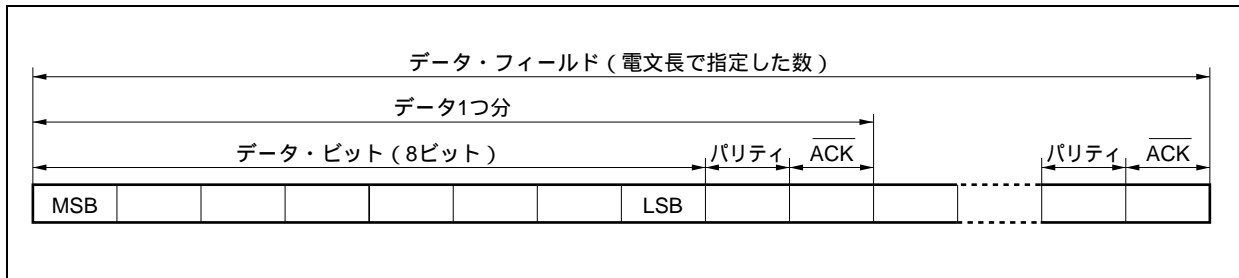
**(7) データ・フィールド**

送信側が出力するデータです。

マスタ・ユニットは、データ・フィールドを使用してスレーブ・ユニットにデータを送信したり、スレーブ・ユニットからデータを受信したりします。

データ・フィールドは、次に示す構成になっています。

図20-6 データ・フィールド



データ・ビットに続き、パリティ・ビットとアクノリッジ・ビットが、それぞれマスタ・ユニットおよびスレーブ・ユニットより出力されます。

同報通信は、マスタ・ユニットの送信動作のみに使用してください。また、このときアクノリッジ・ビットは無視されます。

マスタ送信時とマスタ受信時の動作を次に示します。

**(a) マスタ送信時**

マスタ・ユニットからスレーブ・ユニットへ書き込みする場合、マスタ・ユニットは、スレーブ・ユニットに対してデータ・ビット、パリティ・ビットを送信します。スレーブ・ユニットは、データ・ビット、パリティ・ビットを受信して、パリティが偶数で、DRレジスタに受信データを格納していなければ、 $\overline{\text{ACK}}$ 信号を出力します。パリティが奇数、またはDRレジスタに受信データを格納している場合、スレーブ・ユニットは対応するデータの受け付けを拒否して、NACK信号を出力します。

スレーブ・ユニットからNACK信号が出力された場合、マスタ・ユニットは再び同じデータを送信します。この動作はスレーブ・ユニットからの $\overline{\text{ACK}}$ 信号を検出するか、データが最大伝送バイト数を越えるまで続けられます。

パリティが偶数で、スレーブ・ユニットから $\overline{\text{ACK}}$ 信号が出力された場合、データに続きがあり、かつ最大伝送バイト数を越えていなければ、マスタ・ユニットは次のデータを送信します。

また、同報通信の場合では、スレーブ・ユニットからNACK信号を出力して、マスタ・ユニットはデータを1バイトごとに転送します。同報通信時にスレーブ・ユニットがデータ・ビット、パリティ・ビットを受信して、パリティが奇数、またはDRレジスタが受信データを格納中の場合は、正常に受信ができなかったと判断され、受信を中止します。

**(b) マスタ受信時**

マスタ・ユニットがスレーブ・ユニットから読み込みする場合、マスタ・ユニットは、すべての読み込みビットに対応する同期信号を出力します。

スレーブ・ユニットは、データ、パリティ・ビットの内容をマスタ・ユニットからの同期信号に応じてバス上に出力します。

マスタ・ユニットは、スレーブ・ユニットの出力したデータ、パリティ・ビットを読み込み、パリティを確認します。

パリティが奇数、またはDRレジスタが受信データを格納中の場合、マスタ・ユニットはそのデータの受け付けを拒否して、NACK信号を出力します。1通信フレームで送信できる最大伝送バイト数以内であれば、マスタ・ユニットは同じデータの読み込み動作を繰り返します。

また、パリティが偶数、かつDRレジスタが受信データを格納していない場合、マスタ・ユニットはデータを受け付け、ACK信号を出力します。1フレームで送信できる最大伝送バイト数以内であればマスタ・ユニットは次のデータを読み込みます。

**注意** 同報通信ではマスタ受信を行わないでください。スレーブ・ユニットが特定できず、正常なデータ転送ができません。

**(8) パリティ・ビット**

パリティ・ビットは、伝送データに誤りがないことを確認するために使用します。

パリティ・ビットは、マスタ・アドレス・ビット、スレーブ・アドレス・ビット、コントロール・ビット、電文長ビット、データ・ビットの各データに対して付加されます。

パリティ・ビットは、偶数パリティです。データ中の '1' になっているビット数が奇数の場合は、パリティ・ビットは '1' になります。データ中の '1' になっているビット数が偶数の場合は、パリティ・ビットは '0' になります。

**(9) アクノリッジ・ビット**

通常の通信(1ユニット 対 1ユニット間の通信)では、データを正しく受け付けたかを確認するために、次に示す箇所にアクノリッジ・ビットが付加されます。

- ・スレーブ・アドレス・フィールドの最後
- ・コントロール・フィールドの最後
- ・電文長フィールドの最後
- ・データ・フィールドの最後

アクノリッジ・ビットの定義を次に示します。

0: 伝送データを認識したことを示します。(ACK信号)

1: 伝送データを認識しなかったことを示します。(NACK信号)

ただし、同報通信の場合は、アクノリッジ・ビットの内容は無視されます。

**(a) スレーブ・アドレス・フィールドの最後のアクノリッジ・ビット**

次に示すいずれかの場合、スレーブ・アドレス・フィールドの最後のアクノリッジ・ビットはNACK信号になり、伝送は中止されます。

- ・ マスタ・アドレス・ビットまたはスレーブ・アドレス・ビットのパリティが正しくない場合
- ・ タイミング・エラー（ビット・フォーマットにエラー）が発生した場合
- ・ スレーブ・ユニットが存在しなかった場合

**(b) コントロール・フィールドの最後のアクノリッジ・ビット**

次に示すいずれかの場合、コントロール・フィールドの最後のアクノリッジ・ビットはNACK信号になり、伝送は中止されます。

- ・ コントロール・ビットのパリティが正しくない場合
- ・ スレーブ受信許可フラグ（BCR.ENSLVRXビット）がセット（1）されていないときに、コントロール・ビットのビット3 = 1（書き込み動作）の場合（20.3(1)IEBusコントロール・レジスタ（BCR）参照）
- ・ スレーブ送信許可フラグ（BCR.ENSLVTXビット）がセット（1）されていないときに、コントロール・ビットがデータの読み込み（3H, 7H）の場合（20.3(1)IEBusコントロール・レジスタ（BCR）参照）
- ・ ロックを設定しているのに、ロックを設定したユニット以外からコントロール・ビットの3H, 6H, 7H, AH, BH, EH, FHを要求した場合
- ・ ロックを設定していないのに、コントロール・ビットがロック・アドレスの読み込み（4H, 5H）の場合
- ・ タイミング・エラーが発生した場合
- ・ 未定義のコントロール・ビットの場合

**注意1.** ENSLVTXビット = 0の場合でも、スレーブ・ステータス要求のコントロール・データを受信したときは必ずACK信号を返信します。

2. ENSLVRXビット = 0の場合でも、データ/コマンド書き込みのコントロール・データを受信すると、コントロール・フィールドのアクノリッジ・ビットでNACK信号を返信します。

個別通信の場合だけ、ENSLVRXビットによりスレーブ受信を禁止（通信を中止）できます。同報通信の場合は、通信が接続され、データ要求割り込み要求信号（INTIE1）やIEBus終了割り込み要求信号（INTIE2）が発生します。

**(c) 電文長フィールドの最後のアクノリッジ・ビット**

次に示すいずれかの場合、電文長フィールドの最後のアクノリッジ・ビットはNACK信号になり、伝送は中止されます。

- ・電文長ビットのパリティが正しくない場合
- ・タイミング・エラーが発生した場合

**(d) データ・フィールドの最後のアクノリッジ・ビット**

次に示すいずれかの場合、データ・フィールドの最後のアクノリッジ・ビットはNACK信号になり、伝送は中止されます。

- ・データ・ビットのパリティが正しくない場合<sup>注</sup>
- ・タイミング・エラーが前回のアクノリッジ・ビット伝送以降で発生した場合
- ・DRレジスタに受信データが格納されており、それ以上のデータを受け付けることができない場合<sup>注</sup>

**注** この場合、実行されている通信が個別通信のとき、送信側は1フレームで伝送できる最大伝送バイト数以内であれば、そのデータ・フィールドの送信を再実行します。同報通信の場合は、送信側からのデータ再送はなく、受信側は通信エラーとなり受信を中止します。

## 20. 1. 7 伝送データ

**(1) スレーブ・ステータス**

マスタ・ユニットは、スレーブ・ステータスを読み込むことにより、スレーブ・ユニットが、ACK信号を返信しなかった理由を知ることができます。

スレーブ・ステータスは、スレーブ・ユニットが最後に行った通信結果に対して決定されます。

すべてのスレーブ・ユニットは、スレーブ・ステータスの情報を提供できます。

スレーブ・ステータスについて次に示します。

図20 - 7 スレーブ・ステータスのビット構成

MSB				LSB			
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
ビット0 <sup>注1</sup>		意 味					
0		DRレジスタに送信データが書き込まれていない					
1		DRレジスタに送信データが書き込まれている					
ビット1 <sup>注2</sup>		意 味					
0		DRレジスタに受信データが格納されていない					
1		DRレジスタに受信データが格納されている					
ビット2		意 味					
0		ユニットがロック状態でない					
1		ユニットがロック状態である					
ビット3		意 味					
0		0固定					
ビット4 <sup>注3</sup>		意 味					
0		スレーブ送信停止					
1		スレーブ送信動作可能					
ビット5		意 味					
0		0固定					
ビット7	ビット6	意 味					
0	0	モード0	ユニットがサポートしている最高位のモードを示します <sup>注4</sup> 。				
0	1	モード1					
1	0	モード2					
1	1	未使用					

注1. リセット時、ビット0は“1”になります。

2. 受信バッファが1バイト分になります。

3. スレーブ・ユニットの場合、BCR.ENSLVTXビットで示される状態に該当します。

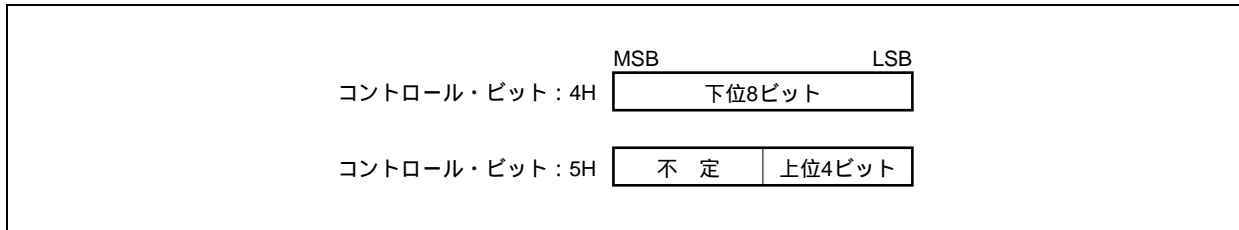
4. V850E/SJ3-H, V850E/SK3-Hは、モード1、モード2をサポート可能なので、ビット7, 6は“10”に固定されています。



**(2) ロック・アドレス**

ロック・アドレスの読み込み処理時（コントロール・ビット：4H, 5H）には、ロック命令を発行したマスタ・ユニットのアドレス（12ビット）が、次に示すように1バイト単位に構成されて、読み出されます。

図20 - 8 ロック・アドレスの構成

**(3) データ**

コントロール・ビットがデータ読み込み（3H, 7H）の場合、スレーブ・ユニットのデータ・バッファにあるデータがマスタ・ユニットに読み込まれます。

コントロール・ビットがデータ書き込み（BH, FH）の場合、スレーブ・ユニットが受信したデータは、そのスレーブ・ユニットの動作規定に従って処理されます。

**(4) ロックの設定 / 解除**

ロック機能は、メッセージを複数の通信フレームにわたって転送する場合に使用します。

ロックを設定したユニットは、ロックをかけたユニット以外からの受信は行いません（同報通信の受信も行いません）。

ロックの設定 / 解除について次に示します。

**(a) ロックの設定**

ロックを指定したコントロール・ビット（3H, AH, BH）で、電文長フィールドの送受信終了後（ $\overline{ACK} = 0$ ）、電文長ビットで指定したデータ・バイト数分のデータを送信 / 受信を成功せずに通信フレームを終了した場合、スレーブ・ユニットは、マスタ・ユニットよりロックが設定されます。また、このときスレーブ・ステータスを表すバイト中のロックに関するビット（ビット2）がセット（1）されます。

**(b) ロックの解除**

ロックを指定したコントロール・ビット（3H, AH, BH）、またはロックの解除を指定したコントロール・ビット（6H）で、1通信フレーム内に電文長ビットで指定したデータ・バイト数分のデータを送信 / 受信終了後、スレーブ・ユニットは、マスタ・ユニットよりロックが解除されます。また、このときスレーブ・ステータスを表すバイト中のロックに関するビット（ビット2）がリセット（0）されます。

なお、同報通信時には、ロックの設定 / 解除は行われません。

次にロックの設定 / 解除の条件を示します。

表20 - 7 ロック設定条件

コントロール・データ	同報通信		個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H <sup>注</sup>			ロックにならない	ロック設定
AH, BH	ロックにならない	ロックにならない	ロックにならない	ロック設定
0H, 4H, 5H, EH, FH	ロックにならない	ロックにならない	ロックにならない	ロックにならない

注 コントロール・データ6H (スレーブ・ステータスの読み込みとロック解除) でのフレーム終了は、データ・フィールドにおいてパリティが奇数で自局からのNACK信号出力が最大伝送バイト数まで繰り返された場合に発生します。

表20 - 8 ロック解除条件 (ロック中)

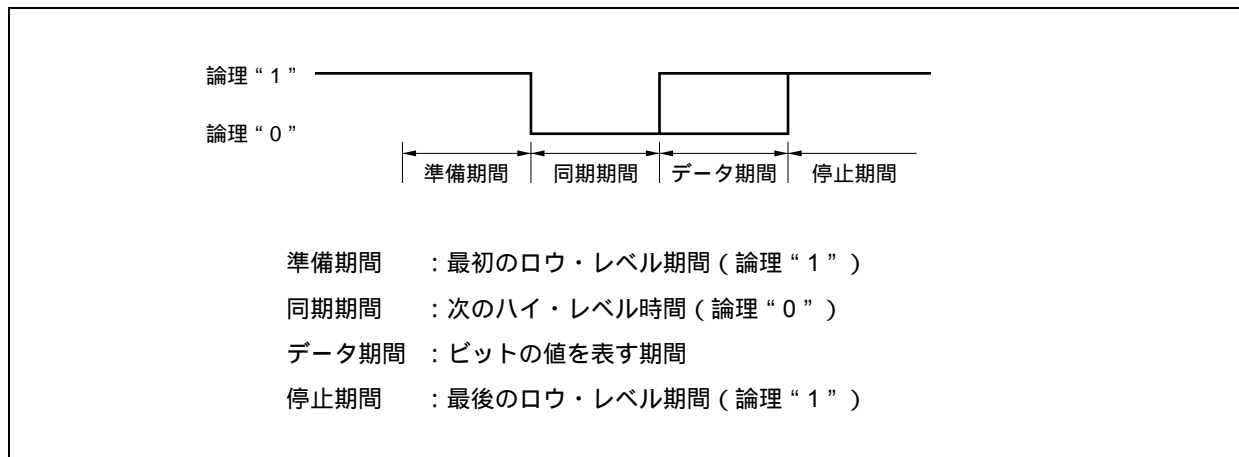
コントロール・データ	ロック要求ユニットからの同報通信		ロック要求ユニットからの個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H <sup>注</sup>			ロック解除	ロック保持
AH, BH	ロック解除	ロック解除	ロック解除	ロック保持
0H, 4H, 5H, EH, FH	ロック保持	ロック保持	ロック保持	ロック保持

注 コントロール・データ6H (スレーブ・ステータスの読み込みとロック解除) でのフレーム終了は、データ・フィールドにおいてパリティが奇数で自局からのNACK信号出力が最大伝送バイト数まで繰り返された場合に発生します。

### 20.1.8 ビット・フォーマット

IEBusの通信フレームを構成するビット・フォーマットを次に示します。

図20 - 9 IEBusのビット・フォーマット



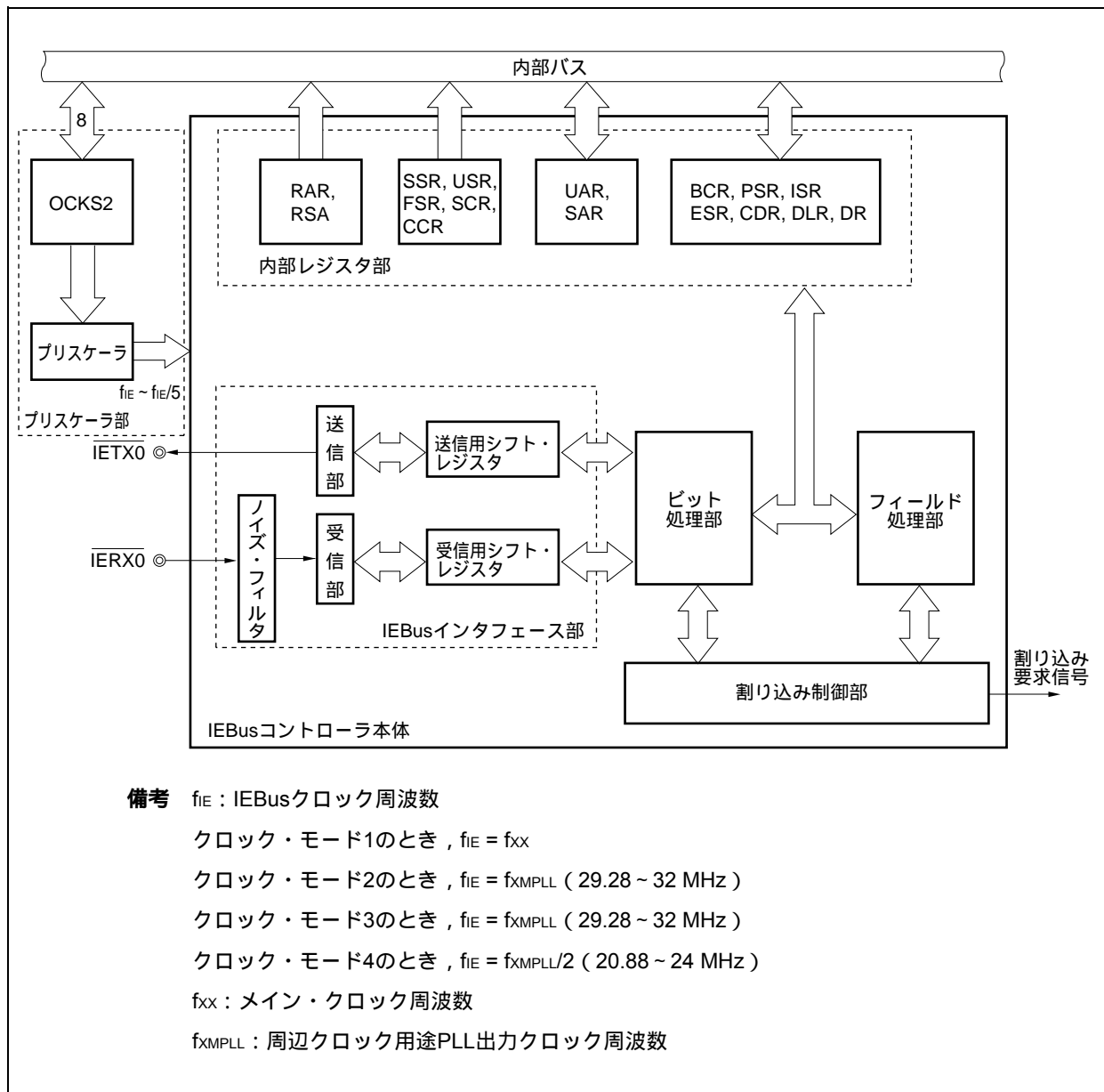
同期期間とデータ期間の長さは、ほぼ等しくなっています。

IEBusは1ビットごとに同期がとられています。また、ビット全体の時間と、そのビット中に割り当てられている期間の時間に関する仕様は、伝送ビットの種類、マスタ・ユニットかスレーブ・ユニットかの違いにより異なります。また、マスタ・ユニット、スレーブ・ユニットは通信中、各期間 (準備期間、同期期間、データ期間、停止期間) が所定の時間どおり出力されているかを検出しています。所定の時間どおりに出力されていない場合は、マスタ・ユニット、スレーブ・ユニットはタイミング・エラーとしてただちに通信を終了し待機状態に戻ります。

## 20.2 構 成

IEBusコントローラのブロック図を次に示します。

図20 - 10 IEBusコントローラのブロック図



### (1) ハードウェアの構成と機能

IEBusの内部構成は、次に示す6つのブロックから構成されています。

- ・ 割り込み制御部
- ・ 内部レジスタ部
- ・ ビット処理部
- ・ フィールド処理部
- ・ IEBusインタフェース部
- ・ プリスケアラ部

#### (a) 割り込み制御部

IEBusコントローラ本体からの割り込み要求信号をCPUに渡すための制御部です。

#### (b) 内部レジスタ部

IEBusの制御を行うコントロール・レジスタ、各フィールドのデータを設定します（20.3 レジスタ参照）。

#### (c) ビット処理部

ビット・タイミングの生成、分解を行い、主にビット・シーケンスROM、8ビット・プリセット・タイマ、判定器から構成されています。

#### (d) フィールド処理部

通信フレーム内のフィールドを生成して、主にフィールド・シーケンスROM、4ビット・ダウン・カウンタ、判定器から構成されています。

#### (e) IEBusインタフェース部

外付けドライバ/レシーバのインタフェース部で、主にノイズ・フィルタ、シフト・レジスタ、送信/受信部（競合検出、パリティ検出、パリティ生成回路、 $\overline{\text{ACK/NACK}}$ 生成回路）から構成されています。

#### (f) プリスケアラ部

IEBusコントローラ本体へ供給するクロックを設定します。

## 20.3 レジスタ

IEBusコントローラを制御するレジスタを次に示します。

表20 - 9 IEBusコントローラの制御レジスタ一覧

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
FFFFFF348H	IEBusクロック選択レジスタ	OCKS2	R/W				00H
FFFFFF360H	IEBusコントロール・レジスタ	BCR					
FFFFFF361H	IEBusパワー・セーブ・レジスタ	PSR					
FFFFFF362H	IEBusスレーブ・ステータス・レジスタ	SSR	R				81H
FFFFFF363H	IEBusユニット・ステータス・レジスタ	USR	R/W				00H
FFFFFF364H	IEBusインタラプト・ステータス・レジスタ	ISR					
FFFFFF365H	IEBusエラー・ステータス・レジスタ	ESR					
FFFFFF366H	IEBusユニット・アドレス・レジスタ	UAR					
FFFFFF368H	IEBusスレーブ・アドレス・レジスタ	SAR					
FFFFFF36AH	IEBusパートナ・アドレス・レジスタ	PAR	R				0000H
FFFFFF36CH	IEBus受信スレーブ・アドレス・レジスタ	RSA					
FFFFFF36EH	IEBusコントロール・データ・レジスタ	CDR	R/W				00H
FFFFFF36FH	IEBus電文長レジスタ	DLR					01H
FFFFFF370H	IEBusデータ・レジスタ	DR					00H
FFFFFF371H	IEBusフィールド・ステータス・レジスタ	FSR	R				01H
FFFFFF372H	IEBusサクセス・カウント・レジスタ	SCR					
FFFFFF373H	IEBusコミュニケーション・カウント・レジスタ	CCR					

## (1) IEBusコントロール・レジスタ (BCR)

IEBusコントローラの各動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF360H

	⑦	⑥	⑤	④	③	2	1	0
BCR	ENIEBUS	MSTRQ	ALLRQ	ENSLVTX	ENSLVRX	0	0	0

ENIEBUS	通信許可フラグ
0	IEBusユニットを停止
1	IEBusユニットをアクティブにする

MSTRQ	マスタ・リクエスト・フラグ
0	IEBusユニットをマスタとして要求しない
1	IEBusユニットをマスタとして要求する

ALLRQ	同報リクエスト・フラグ
0	個別通信を要求する
1	同報通信を要求する

ENSLVTX	スレーブ送信許可フラグ
0	スレーブ送信を禁止
1	スレーブ送信を許可

ENSLVRX	スレーブ受信許可フラグ
0	スレーブ受信を禁止
1	スレーブ受信を許可

**注意1.** マスタとして動作中、その通信が通信終了/フレーム終了するか、または競合負け、通信エラー発生により通信中止になるまでは、BCRレジスタへの書き込み動作（ビット操作命令も含む）を禁止します。したがって、マスタ要求の多重化はできません。ただし、通信を強制終了する（ENIEBUSビット = 0）場合は問題ありません。

**2.** BCRレジスタに対するビット操作命令と、MSTRQビットのハードウェア・リセットが競合すると、正常に動作しない場合があります。この場合、次に示す対策により回避できます。

- ・ハードウェア・リセットはスレーブ・アドレス・フィールドのアクノリッジ期間に行われるので、(b) マスタ・リクエスト・フラグ (MSTRQ) の注意1を守ってください。

- ・BCRレジスタの書き込みに対しては、上記の注意1を守ってください。

**3.** ビット0-2には必ず0を設定してください。

## (a) 通信許可フラグ (ENIEBUS) ... ビット7

セット/クリア条件

セット：ソフトウェア操作で行います。

クリア：ソフトウェア操作で行います。

ENIEBUSビットをセット(1)するタイミングによって、IEBusコントローラの通信参加方法が次のように異なります。

表20 - 10 ENIEBUSビットのセット・タイミングと通信参加方法

ENIEBUSビットのセット(1)タイミング	IEBusコントローラの通信参加方法
IEBus上で通信が行われていないとき	次のフレームから通信に参加、または通信を開始します。
IEBus上で通信が行われているときで、ほかのバス・マスタによるスタート・ビット通信中	スタート・ビットを検出した場合は、そのフレームから通信に参加します。スタート・ビットを検出しなかった場合には、次のフレームから通信に参加します。
IEBus上で通信が行われているときで、ほかのバス・マスタによるスタート・ビットよりあとの通信中	次のフレームから通信に参加します。

ENIEBUSビットをクリア(0)すると、通信途中であっても通信はただちに中止され、内部フラグやレジスタは一部を除きリセットされます。ENIEBUSビットでリセットされないレジスタは次のとおりになります。

ENIEBUSビット = 0のときに別ユニットが通信を開始しても、IEBusコントローラは反応しません。

表20 - 11 ENIEBUSビットでリセットされないレジスタ

ENIEBUSビットでリセットされないレジスタ	備 考
UAR	リセットされません。
SAR	リセットされません。
CDR	CPUからの書き込みデータはリセットされませんが、通信での受信データはリセットされます。
DLR	CPUからの書き込みデータはリセットされませんが、通信での受信データはリセットされます。
DR	CPUからの書き込みデータはリセットされませんが、通信での受信データはリセットされます。

**注意** ENIEBUSビットをセット(1)する前に、開始する通信形態に応じて次のレジスタを設定しておく必要があります。

表20 - 12 各通信における事前に設定すべきレジスタ

通信の形態	あらかじめ設定しておく必要のあるレジスタ
マスタ送信	UAR, SAR, CDR, DLR, DR (最初の1バイトのデータ)
マスタ受信	UAR, SAR, CDR
スレーブ送信 <sup>※</sup>	UAR, DLR, DR (最初の1バイトのデータ) <sup>※</sup>
スレーブ受信	UAR

**注** スレーブ送信を開始する際に、DLRレジスタに設定する値や、どのデータを返信するか(DRレジスタに設定すべき値)といった情報は、事前にあたえられている必要があります。

## (b) マスタ・リクエスト・フラグ (MSTRQ) ... ビット6

セット/クリア条件

セット：ソフトウェア操作で行います。

クリア：マスタ通信を開始し、そのスタート割り込み発生直前にハードウェアでクリア (0)。

通信エラー発生時にハードウェアでクリア (0)。

ENIEBUSビットのクリア時。

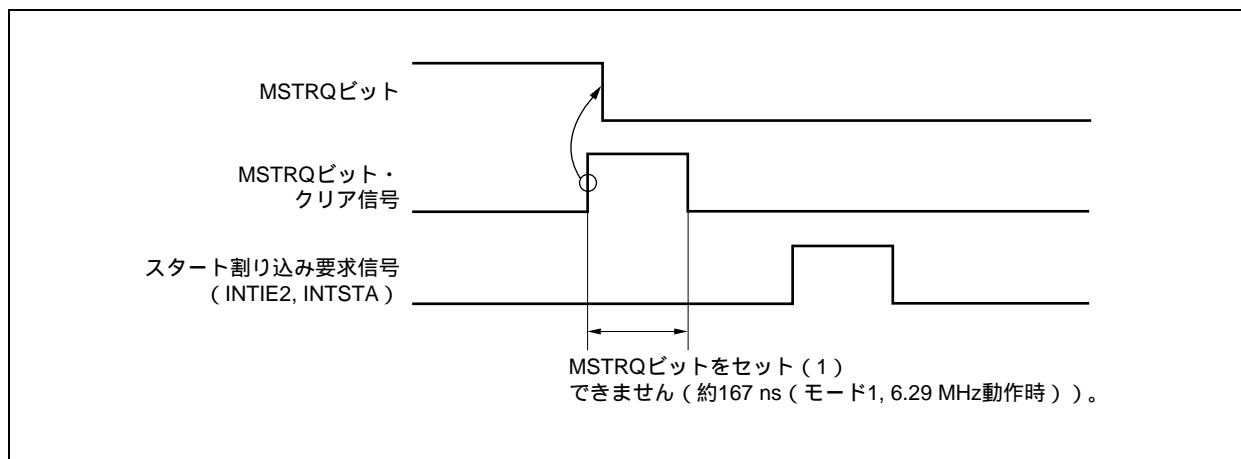
MSTRQビットをセット (1) すると、IEBus上でマスタとして通信を開始します。

ただし、IEBus上で通信が行われている場合 (スタート・ビット通信中でスタート・ビットを検出できなかった場合、またはスタート・ビットよりあとの通信中) は、そのフレームの終了を待ち (マスタ要求保留)、そのフレーム終了後にスタート・ビットを出力し、マスタとして通信を開始します。

**注意1.** 競合に負けた場合の再マスタ要求は、ソフトウェア処理にて行ってください。

競合に負けた場合で再マスタ要求を行うときは、次のタイミングに注意してMSTRQビットをセット (1) してください。

図20 - 11 MSTRQビットをセットできないタイミング



2. マスタ要求して、バス占有権を得た場合は、その通信が終了 (通信終了フラグ (ISR.ENDTRNSビット) またはフレーム終了フラグ (ISR.ENDFRAMビット) がセット (1) ) するまで、MSTRQ, ENSLVTX, ENSLVRXビットのいずれかをセット (1) しないでください。セットした場合、割り込み要求信号が発生しなくなります。ただし、通信を中止する場合は問題ありません。

## (c) 同報リクエスト・フラグ (ALLRQ) ... ビット5

セット/クリア条件

セット：ソフトウェア操作で行います。

クリア：ソフトウェア操作で行います。

**注意** 同報通信を要求する場合は、必ずALLRQビットをセット (1) し、MSTRQビットをセット (1) してください。



**(d) スレーブ送信許可フラグ (ENSLVTX) ... ビット4**

セット/クリア条件

セット：ソフトウェア操作で行います。

クリア：ソフトウェア操作で行います。

- 注意1.** ENSLVTXビットは、コントロール・フィールドのパリティ・ビット受信終了前までに設定する必要があります。
2. マスタ要求時には、MSTRQビットをセット(1)する前にENSLVTXビットをクリア(0)してください。これはマスタ動作後に競合負け、かつマスタよりスレーブ送信を要求された場合、マスタ送信しようとしたDRレジスタのデータを送信するのを避けるためです。
  3. 禁止状態から許可状態に戻したときは、次の新しいフレームから有効になります。
  4. ENSLVTXビット = 0のときに、データ/コマンド書き込みのコントロール・データ(3H, 7H)を受信すると、コントロール・フィールドのアクノリッジ・ビットでNACK信号を返信します。
  5. ENSLVTXビット = 0のときでも、スレーブ・ステータス要求のコントロール・データを返信したときは、ステータス割り込み要求信号(INTIE2, INTSTA)が発生し、通信は継続します。

**(e) スレーブ受信許可フラグ (ENSLVRX) ... ビット3**

セット/クリア条件

セット：ソフトウェア操作で行います。

クリア：ソフトウェア操作で行います。

- 注意1.** ENSLVRXビットは、コントロール・フィールドのパリティ・ビット受信終了前までに設定する必要があります。
2. ほかのCPU処理で忙しいときは、ENSLVRXビットをクリア(0)することによりスレーブ受信を行わないようにすることができます。個別通信時は、コントロール・フィールドでNACK信号を返信し、通信を終了させます。同報通信時は、アクノリッジ・ビットが無視されるため、通信を終了させることはできませんが、IEBusコントローラはその同報通信には反応せず、割り込み要求信号も発生しません。
  3. 禁止状態から許可状態に戻したときは、次の新しいフレームから有効になります。

## (2) IEBusパワー・セーブ・レジスタ (PSR)

IEBusコントローラの内部クロックの動作/停止, 通信モードを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : FFFFF361H

	⑦	⑥	5	4	3	2	1	0
PSR	ENCLK	IEMODE	0	0	0	0	0	0

ENCLK	内部クロック動作許可フラグ
0	IEBusコントローラの内部クロックを停止
1	IEBusコントローラの内部クロックを許可

IEMODE	IEBus通信モード設定フラグ
0	通信モードとしてモード1を設定
1	通信モードとしてモード2を設定

- 注意1. 通信許可中 (BCR.ENIEBUSビット = 1) にPSRレジスタを設定しないでください。**  
**2. ビット5-0には必ず0を設定してください。**

## (3) IEBusスレーブ・ステータス・レジスタ (SSR)

スレーブ・ユニットの通信状態を示す8ビットのレジスタです。マスタからスレーブ・ステータス送信要求を受けると、ソフトウェアでSSRレジスタを読み出したあと、DRレジスタに書き込むことでスレーブ・ステータスを送信できます。また、このときの電文長は自動的に01Hに設定されるので、DLRレジスタを設定する必要はありません（ハードウェアによりプリセットされます）。

ビット7, 6は、ユニットがサポートする最高位のモードを示すために“10”（モード2）に固定されています。

8/1ビット単位でリードのみ可能です。

リセットにより81Hになります。

リセット時：81H    R    アドレス：FFFFFF362H								
	7	6	5	④	3	②	①	①
SSR	1	0	0	STATSLV	0	STATLOCK	STATRX	STATTX
STATSLV	スレーブ送信状態フラグ							
0	スレーブ送信停止							
1	スレーブ送信許可							
STATLOCK	ロック状態フラグ							
0	非ロック状態							
1	ロック状態							
STATRX	DRレジスタ受信状態							
0	DRレジスタに受信データを未格納							
1	DRレジスタに受信データを格納							
STATTX	DRレジスタ送信状態							
0	DRレジスタに送信データを未格納							
1	DRレジスタに送信データを格納							

## (a) スレーブ送信状態フラグ (STATSLV) ... ビット4

スレーブ送信許可フラグ (BCR.ENSLVTXビット) の内容が反映されます。

## (b) ロック状態フラグ (STATLOCK) ... ビット2

ロック状態フラグ (USR.LOCKビット) の内容が反映されます。

## (c) DRレジスタ受信状態 (STATRX) ... ビット1

DRレジスタの受信状態を示すフラグです。

## (d) DRレジスタ送信状態 (STATTX) ... ビット0

DRレジスタの送信状態を示すフラグです。

## (4) IEBusユニット・ステータス・レジスタ (USR)

IEBusユニットの状態を示す8ビットのレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時 : 00H R アドレス : FFFFF363H

	7	⑥	⑤	④	③	2	1	0
USR	0	SLVRQ	ARBIT	ALLTRNS	ACK	LOCK	0	0

SLVRQ	スレーブ要求フラグ
0	マスタからスレーブ要求なし
1	マスタからスレーブ要求あり

ARBIT	競合結果フラグ
0	競合負けを起こしていない
1	競合負けを起こした

ALLTRNS	同報通信フラグ
0	個別通信状態
1	同報通信状態

ACK	アクノリッジ送信フラグ
0	NACK信号を送信
1	ACK信号を送信

LOCK	ロック状態フラグ
0	ユニットが非ロック状態
1	ユニットがロック状態

**注意** ビット0, 1, 7には必ず0を設定してください。

## (a) スレーブ要求フラグ (SLVRQ) ... ビット6

マスタからスレーブ要求があったかを示すフラグです。

## セット/クリア条件

セット：自局がスレーブ要求されたとき（表20 - 13 スレーブ要求条件 (SLVRQビットのセット条件) に当てはまる場合) に、スレーブ・アドレス・フィールドのアクノリッジ期間開始時にハードウェアでセット (1) されます。

クリア：自局がスレーブ要求されていないとき（表20 - 13 スレーブ要求条件 (SLVRQビットのセット条件) に当てはまらない場合) に、ハードウェアでクリア (0) されます。タイミングはセット時と同じです。ただし、正常に通信を受信した直後 (SLVRQビット = 1のとき) に自局がスレーブ要求され、その通信のスレーブ・アドレス・フィールドでパリティ・エラーが発生した場合、フラグはクリアされません。

表20 - 13 スレーブ要求条件 (SLVRQビットのセット条件)

自局の状態	受信マスタ・アドレス	通信形態	受信スレーブ・アドレス
非ロック	don't care	個別	UARレジスタ一致
		同報	グループ一致
			FFFH
ロック	ロック・マスター一致	個別	UARレジスタ一致
		同報	グループ一致
			FFFH

**注意** 自局がロック状態のときにロック・マスタ以外のユニットが自局宛に通信してきた場合、SLVRQビットはセットされませんが、スレーブ・アドレス・フィールドではACK信号を返信します。これは、ロック・マスタ以外の返信であっても、コントロール・データがスレーブ・ステータス要求だった場合、通信を続ける必要があるためです。

**(b) 競合結果フラグ (ARBIT) ... ビット5**

競合結果を示すフラグです。

セット/クリア条件

セット：マスタの要求後、アービトレーション期間中に自局が出力しているデータとバス・ラインのデータが不一致のときにセット (1) されます。

クリア：スタート・ビット・タイミングでクリア (0) されます。

**注意1.** 競合結果フラグ (ARBIT ビット) のクリア・タイミングは、自局がスタート・ビットを出力する場合としない場合で異なります。

・スタート・ビットを出力する：出力開始タイミングでクリア

・スタート・ビットを出力しない：スタート・ビットの検出タイミング (出力から約  $160 \mu\text{s}$  (モード1, 6.29 MHz動作時)) でクリア

**2.** マスタ要求したあと、他局のスタート・ビット出力の方が早く、自局がスタート・ビットを出力していない場合はスタート・ビットの検出タイミングでクリア (0) されます。

**(c) 同報通信フラグ (ALLTRNS) ... ビット4**

ユニットが同報通信しているかを示すフラグです。フラグの内容は、各フレームの同報フィールドで更新されます。

セット/クリア条件は、システム・リセットで初期化 (リセット) される以外は、同報フィールド・ビットの受信データにより変化します。

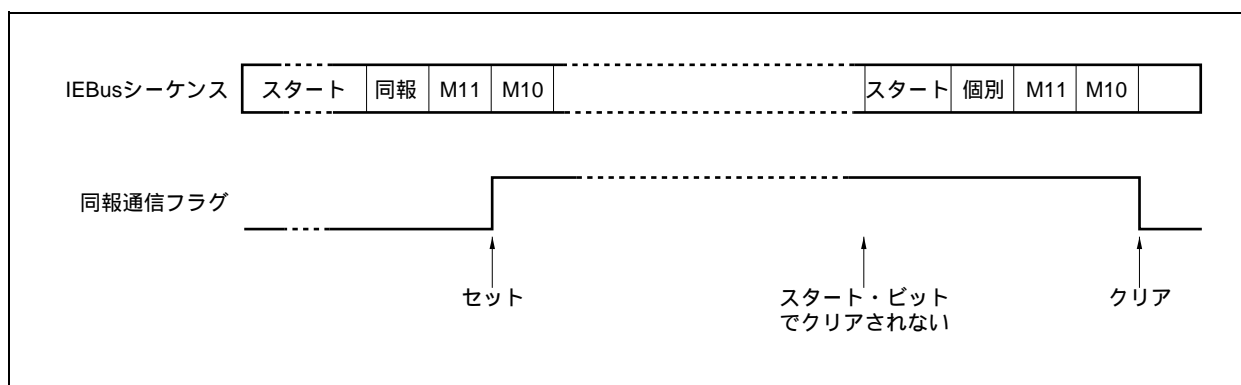
セット/クリア条件

セット：同報フィールドで「同報」を受信したとき

クリア：同報フィールドで「個別」を受信したとき、またはシステム・リセット入力時

**注意** 同報通信フラグは、自局が通信対象かどうかにかかわらず更新されます。

図20 - 12 同報通信フラグの動作例

**(d) アクノリッジ送信フラグ (ACK) ... ビット3**

受信ユニット時、各フィールドのアクノリッジ・ビット期間中にACK信号を送信したかを示します。

フラグの内容は、各フレームのアクノリッジ・ビット期間で更新されます。ただし、パリティ・エラー発生などにより内部回路が初期化された場合は、そのフィールドのアクノリッジ・ビット期間では更新されません。

**(e) ロック状態フラグ (LOCK) ... ビット2**

ユニットがロック状態かを示すフラグです。

**セット/クリア条件**

セット：コントロール・フィールドでロック指定 (3H, 6H, AH, BH) を受けて、通信終了フラグ (ISR.ENDTRNSビット) がロウ・レベルで、かつフレーム終了フラグ (ISR.ENDFRAMビット) がハイ・レベルのときセット (1) されます。

クリア：通信許可フラグ (BCR.ENIEBUSビット) をクリア (0) した場合。

コントロール・フィールドでロック解除 (3H, 6H, AH, BH) を受けて、通信終了フラグ (ENDTRNSビット) がセット (1) された場合。

**注意** 同報通信では、ロックの設定/解除はできません。また、ロック状態中はロック要求したユニット以外からの個別通信を受け付けません。ただしロック要求ユニット以外からの通信でも、その通信がスレーブ・ステータス要求であるかぎり受け付けます。

## (5) IEBusインタラプト・ステータス・レジスタ (ISR)

IEBusの割り込み要求信号発生時の割り込み要因を示すステータス・レジスタです。割り込み要求信号が発生するごとにISRレジスタを読み出して、所定の割り込み処理を行います。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W<sup>注1</sup> アドレス：FFFFFF364H

	7	⑥	⑤	④	③	②	1	0
ISR	0	IEERR	STARTF	STATUSF	ENDTRNS	ENDFRAM	0	0

IEERR	通信エラー・フラグ (通信中)
0	通信エラーなし
1	通信エラー発生

STARTF	スタート割り込みフラグ
0	スタート割り込み要求信号発生なし
1	スタート割り込み要求信号発生あり

STATUSF	ステータス送信フラグ (スレーブ時)
0	スレーブ・ステータス/ロック・アドレス (上位4ビット, 下位8ビット) 送信要求なし
1	スレーブ・ステータス/ロック・アドレス (上位4ビット, 下位8ビット) 送信要求あり

ENDTRNS	通信終了フラグ
0	電文長フィールドで設定した伝送バイト数分の通信が終了せず
1	電文長フィールドで設定した伝送バイト数分の通信が終了

ENDFRAM	フレーム終了フラグ
0	フレーム (最大伝送バイト数分 <sup>注2</sup> の通信) が終了せず
1	フレーム (最大伝送バイト数分 <sup>注2</sup> の通信) が終了

注1. IEERRビットのみ書き込み可能です。またIEERRビットへの書き込みはクリア(0)のみ有効です。1を書き込んでもIEERRビットはセット(1)されません。

- モード1：32バイト  
モード2：128バイト

注意 ビット0, 1, 7には必ず0を設定してください。



**(a) 通信エラー・フラグ (IEERR) ... ビット6**

通信エラーが発生したことを示すフラグです。通信エラー発生時にINTIE2, INTERR割り込み要求信号が発生します。

**セット/クリア条件**

セット：タイミング・エラー，パリティ・エラー（データ・フィールドを除く），NACK受信エラー（データ・フィールドを除く），アンダラン・エラー，オーバラン・エラー（同報通信受信時に発生），ライト・エラーのいずれかが発生したときにセット（1）されます。

クリア：ソフトウェア操作で行います。

**(b) スタート割り込みフラグ (STARTF) ... ビット5**

スタート割り込みを示すフラグです。スタート割り込み発生時にINTIE2, INTSTA割り込み要求信号が発生します。

**セット/クリア条件**

セット：マスタ要求時は，スレーブ・アドレス・フィールドでセット（1）されます。

スレーブ・ユニット時は，マスタから要求があったとき（ロック状態ではロック要求ユニットからのスレーブ要求があった場合のみ）にセット（1）されます。

クリア：ステータス送信割り込み，通信終了割り込み，フレーム終了割り込み，INTIE1割り込み要求信号発生時にクリア（0）されます。

**(c) ステータス送信フラグ (STATUSF) ... ビット4**

スレーブ時にマスタからスレーブ・ステータス，ロック・アドレス（上位4ビット，下位8ビット）の送信要求があったことを示すフラグです。

**セット/クリア条件**

セット：スレーブ・ユニット時に，マスタからコントロール・フィールドで，0H, 4H, 5H, 6Hを受信したときにセット（1）されます。

クリア：スタート割り込み，通信終了割り込み，フレーム終了割り込み，INTIE1割り込み要求信号発生時にクリア（0）されます。

**(d) 通信終了フラグ (ENDTRNS) ... ビット3**

電文長フィールドで設定した / された伝送バイト数分の通信が終了したかを示すフラグです。通信終了割り込み発生時にINTIE2, INTSTA割り込み要求信号が発生します。

**セット/クリア条件**

セット：SCRレジスタのカウント値が00Hになったとき，セット（1）されます。

クリア：スタート割り込み，ステータス送信割り込み，フレーム終了割り込み（通信終了割り込みが発生しない場合），INTIE1割り込み要求信号発生時にクリア（0）されます。

**(e) フレーム終了フラグ (ENDFRAM) ... ビット2**

最大伝送バイト数分 (モード1: 32バイト, モード2: 128バイト) の通信が終了したかを示すフラグです。

**セット/クリア条件**

セット: CCRレジスタのカウンタ値が00Hになったとき, セット (1) されます。

クリア: スタート割り込み, ステータス送信割り込み, 通信終了割り込み (フレーム終了割り込みが発生しない場合), INTIE1割り込み要求信号発生時にクリア (0) されます。

- 注意1.** CCRレジスタとSCRレジスタが両方とも00Hになった場合, ENDTRNS, ENDFRAMビットが同時にセット (1) されます。
- 2.** データ再送により最大伝送バイト数に達したとき, 最終データ・フィールドがNACK信号だった場合, ENDFRAMビットとIEERR (NACK受信エラー) ビットが同時にセットされます。

## (6) IEBusエラー・ステータス・レジスタ (ESR)

IEBusの通信エラー割り込み要求信号発生時の要因を示すステータス・レジスタです。ESRレジスタの各ビットは、通信エラー・フラグ (ISR.IEERRビット) がセット (1) されると同時にセット (1) され、ESRレジスタの内容により通信エラーの発生要因を知ることができます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF365H

	⑦	⑥	⑤	④	③	②	1	①
ESR	TERR	PERR	NERR	UERR	OERR	WERR	0	DEFLAG

TERR	タイミング・エラー発生フラグ
0	タイミング・エラー発生なし
1	タイミング・エラー発生

PERR	パリティ・エラー発生フラグ
0	パリティ・エラー発生なし
1	パリティ・エラー発生

NERR	NACK受信エラー発生フラグ
0	NACK受信エラー発生なし
1	NACK受信エラー発生

UERR	アンダラン・エラー発生フラグ
0	アンダラン・エラー発生なし
1	アンダラン・エラー発生

OERR	オーバラン・エラー発生フラグ
0	オーバラン・エラー発生なし
1	オーバラン・エラー発生

WERR	ライト・エラー発生フラグ
0	ライト・エラー発生なし
1	ライト・エラー発生

DEFLAG	第三者エラー発生フラグ
0	自局を対象とする通信中のエラー発生
1	自局非対象通信時のエラー発生

- 注意1. 各ビットへの書き込みはクリア (0) のみ有効です。1を書き込んでも各ビットはセット (1) されません。
2. ESRレジスタはエラー発生時に値が更新されますが、このタイミングでESRレジスタを読み出すと不定値を読み出します。ESRレジスタは、エラー割り込み処理内で読み出すことを推奨します。
3. IEBusコントローラは通信エラーが発生すると、初期状態に戻り次の通信準備を行います。エラー処置を行わないまま次の通信が開始された場合、エラー・フラグは累積されますので、次の通信が開始されるまでにエラー処置を行ってください。
4. ビット1には必ず0を設定してください。

**(a) タイミング・エラー発生フラグ (TERR) ... ビット7**

セット/クリア条件

セット：タイミング・エラー発生時にセット (1) されます。

クリア：ソフトウェア操作で行います。

タイミング・エラーは、通信ビットのハイ/ロウ・レベル幅が規定値から外れた場合に発生します。それぞれの規定値はビット処理部に設定されていて、内部のタイマで監視されています。タイミング・エラーが発生した場合、INTERR, INTIE2割り込み要求信号が発生します。

**(b) パリティ・エラー発生フラグ (PERR) ... ビット6**

セット/クリア条件

セット：パリティ・エラー発生時にセット (1) されます。

クリア：ソフトウェア操作で行います。

パリティ・エラーは、受信ユニット時、各フィールドで生成パリティと受信パリティが一致しなかった場合に発生します。ただし、個別通信時のデータ・フィールドでの不一致の場合は、NACK信号を返信しデータ再送を要求するので、パリティ・エラーは発生しません。

表20 - 14 パリティ不一致時の動作

フィールド	通信形態	パリティ不一致時の動作
マスタ・アドレス・フィールド	個別/同報	パリティ・エラー発生
スレーブ・アドレス・フィールド	個別/同報	パリティ・エラー発生
コントロール・データ・フィールド	個別/同報	パリティ・エラー発生
電文長フィールド	個別/同報	パリティ・エラー発生
データ・フィールド	個別	NACK信号返信で再送を要求
	同報	パリティ・エラー発生

**(c) NACK受信エラー発生フラグ (NERR) ... ビット5**

セット/クリア条件

セット：NACK受信エラー発生時にセット (1) されます。

クリア：ソフトウェア操作で行います。

NACK受信エラーは、個別通信時、マスタ/スレーブ動作中にかかわらずスレーブ・アドレス・フィールド、コントロール・データ・フィールド、電文長フィールドの各アクノリッジ・ビット期間にNACK信号を受信したときに発生します。データ・フィールドでのNACK信号受信はデータを再送するのでNACK受信エラーになりませんが、最大伝送バイト数に達したときの最終データ・フィールドがNACK信号だった場合はNACK受信エラーとなります。

同報通信時は、 $\overline{\text{ACK}}$ /NACK信号の判定を行いませんので、NACK受信エラーは発生しません。

第三者通信中は、タイミング/パリティ・エラーのみエラーとして検出するため、NACK受信エラーは発生しません。

## (d) アンダラン・エラー発生フラグ (UERR) ... ビット4

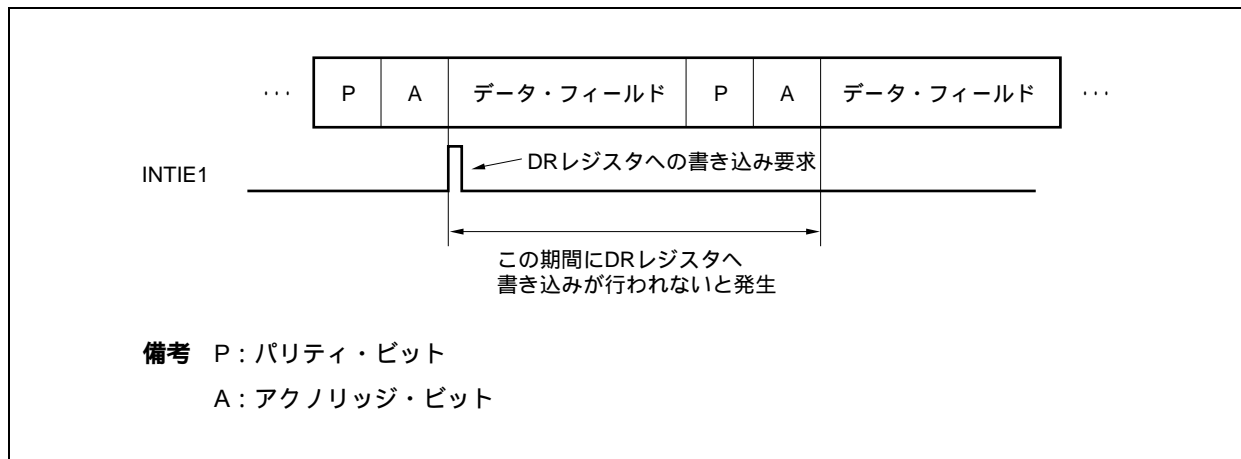
セット/クリア条件

セット：アンダラン・エラー発生時にセット (1) されます。

クリア：ソフトウェア操作で行います。

アンダラン・エラーは、 $\overline{\text{ACK}}$ 信号受信までにDRレジスタに次に送信されるデータの書き込みが間に合わなかったときに発生します。ただし、個別通信時のアクノリッジ・ビット期間にNACK信号を受信した場合には、再送を行うのでアンダラン・エラー発生にはなりません。

図20 - 13 アンダラン・エラーの発生タイミング



## (e) オーバラン・エラー発生フラグ (OERR) ... ビット3

セット/クリア条件

セット：オーバラン・エラー発生時にセット (1) されます。

クリア：ソフトウェア操作で行います。

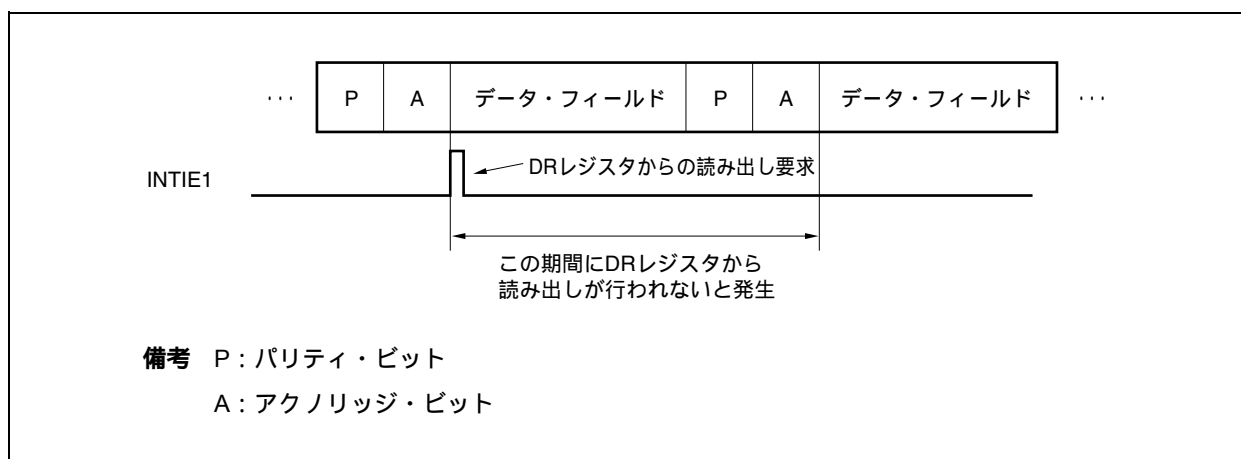
受信ユニット時に1バイトごとのデータがDRレジスタに格納されるとデータ要求割り込み要求信号 (INTIE1) が発生し, DMAまたはソフトウェアでDRレジスタの読み出し処理を行います。この読み出し処理が遅れて次のデータの受信タイミングになると, オーバラン・エラーが発生します。

- 注意1.** オーバラン状態のあとのDRレジスタの読み出しが実行されず, データ再送が最大伝送バイト数分 (32バイト) に達した場合, フレーム終了割り込み要求信号 (INTSTA, INTIE2) が発生します。フレーム終了したあとも, DRレジスタの読み出しを行うまではオーバラン状態を保持します。
2. オーバラン状態の解除は, DRレジスタの読み出しとシステム・リセット時にのみ行われます。したがって, 通信エラー割り込み処理プログラム中などで, 必ずDRレジスタの読み出しを行ってください。
3. オーバラン状態で次の送信を行う場合は, 2バイト以上の送信ができません。データ要求割り込み要求信号 (INTIE1) が発生しないため, 送信データの設定ができず, アンダラン・エラーになります。したがって, オーバラン状態を解除してから送信を行ってください。

**備考** 個別通信受信時は, 次のデータのアクノリッジ・ビット期間でNACK信号を返信します。これにより送信ユニットはデータを再送します。したがって, CCRレジスタをデクリメントしますが, SCRレジスタはデクリメントしません。

同報通信受信時は, 通信エラー割り込み要求信号 (INTIE2) を発生し, 受信を中止します。このときDRレジスタは更新されません。また, INTIE1信号も発生せず, SSRレジスタのSTATRXビットのセット (1) を保持します。オーバラン状態の解除は, DRレジスタを読み出したあとのデータ受信タイミングになります。

図20 - 14 オーバラン・エラーの発生タイミング



**(f) ライト・エラー発生フラグ (WERR) ... ビット2**

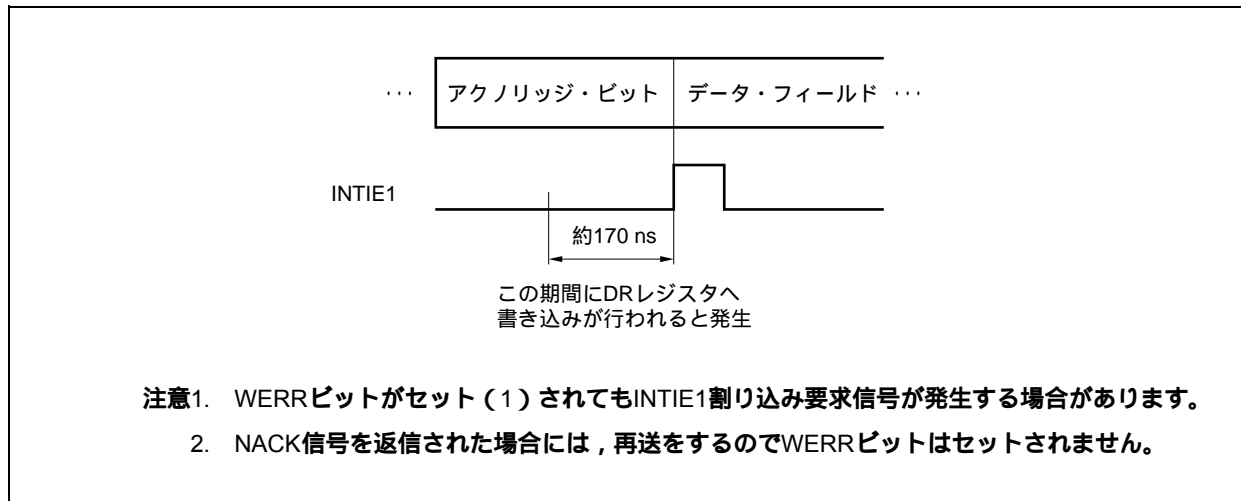
セット/クリア条件

セット：ライト・エラー発生時にセット (1) されます。

クリア：ソフトウェア操作で行います。

ライト・エラーは、自局送信時にデータ・フィールドで、DRレジスタへ書き込みをしたデータが送信されない場合に発生します。ライト・エラーが発生するタイミングを次に示します。

図20 - 15 ライト・エラーの発生タイミング

**(g) 第三者エラー発生フラグ (DEFLAG) ... ビット0**

セット/クリア条件

セット：自局に無関係な通信中 (第三者間の通信中) のタイミング・エラーまたはパリティ・エラー発生にセット (1) されます。

クリア：ソフトウェア操作で行います。

**注意** スレーブ・アドレス・フィールドが自局一致していない場合でも、第三者通信に入る前にエラーが発生した場合 (たとえばスレーブ・アドレス・フィールドでの受信アドレスが自局一致しなかった場合でNACK信号を受信した場合 (NERRビットがセット (1) した場合)) は、DEFLAGビットはセット (1) されません。

**備考** 第三者間の通信とは次の2つの状態を示します。

スレーブ・アドレス・フィールドでの受信アドレスが自局一致 (個別通信時：UARレジスタ一致、同報通信時：グループ一致、FFFH一致) しなかった場合で、かつACK信号受信後、引き続き通信が行われている状態のとき、自局はその通信をモニタします。同報通信時に、コントロール・フィールドでの受信コントロール・データに自局が応じることのできない場合で、引き続き通信が行われている状態のとき、自局はその通信をモニタします。たとえば、同報通信でマスタからコントロール・データFHを受信するが、自局のスレーブ受信許可フラグが禁止 (BCR.ENSLVRXビット = 0) に設定されていた場合などです (個別通信時はNACK信号を返信し通信が終了します)。

**(7) IEBusユニット・アドレス・レジスタ (UAR)**

IEBusユニットの自局アドレスを設定するレジスタです。通信を開始する前に、必ずUARレジスタを設定してください。

ビット11-0に、ユニット・アドレス (12ビット) を設定します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時 : 0000H    R/W    アドレス : FFFFF366H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UAR	0	0	0	0												

**注意** UARレジスタは、通信許可時 (BCR.ENIEBUSビット = 1) には設定しないでください。

**(8) IEBusスレーブ・アドレス・レジスタ (SAR)**

マスタ要求時にスレーブ・アドレス・フィールドの送信データの値に反映されます。マスタ要求時は、通信を開始する前に、必ずSARレジスタを設定してください。

ビット11-0に、スレーブ・アドレス (12ビット) を設定します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時 : 0000H    R/W    アドレス : FFFFF368H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAR	0	0	0	0												

**注意** SARレジスタは、必ず次に示すタイミングでのみ設定してください。

- ・ BCR.ENIEBUSビット = 0のとき
- ・ ENIEBUSビット = 1としてから最初のマスタ要求 (BCR.MSTRQビットをセット (1)) までの間
- ・ ENIEBUSビット = 1, かつMSTRQビット = 0の場合, 通信終了/フレーム終了/エラー終了のタイミングから, 次のマスタ要求 (MSTRQビットをセット (1)) までの間



## (9) IEBusパートナ・アドレス・レジスタ (PAR)

自局がマスタ動作中またはスレーブ動作中にかかわらず、マスタ・アドレス・フィールドで受信したマスタ・アドレス値が格納されます。

マスタからロック・アドレス(下位8ビット)の読み込み要求(4H)を受けた場合、ソフトウェアでPARレジスタの値を読み出したあとに、下位8ビットのデータをDRレジスタに書き込んでください。

マスタからロック・アドレス(上位4ビット)の読み込み要求(5H)を受けた場合、ソフトウェアでPARレジスタの値を読み出したあとに、ビット11-8のデータをDRレジスタの下位4ビットに書き込んでください。

ビット11-0に、相手先アドレス(12ビット)を設定します。

16ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット時：0000H R アドレス：FFFFFF36AH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PAR	0	0	0	0												

**注意** PARレジスタは、マスタ・アドレス・フィールドのパリティ期間終了時にパリティが正常で自局が非ロック状態のときアドレス値を格納しますが、このタイミングでPARレジスタを読み出すと不定値を読み出します。

## (10) IEBus受信スレーブ・アドレス・レジスタ (RSA)

自局がマスタ動作中またはスレーブ動作中にかかわらず、スレーブ・アドレス・フィールドで受信したスレーブ・アドレス値が格納されます。

16ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット時：0000H R アドレス：FFFFFF36CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSA	0	0	0	0												

**注意** RSAレジスタは、スレーブ・アドレス・フィールドのパリティ期間終了時にアドレス値を格納しますが、このタイミングでRSAレジスタを読み出すと不定値を読み出します。

**(11) IEBusコントロール・データ・レジスタ (CDR)**

CDRレジスタは、8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**備考** CDRレジスタは、書き込み側と読み出し側が別レジスタになっており、書き込んだデータをそのまま読み出せる構成にはなっていません。読み出されるデータは、IEBus通信で受信したデータとなります。

**(a) マスタ・ユニット時**

下位4ビットのデータは、コントロール・フィールドで送信されるデータに反映されます。マスタ要求時は、通信を開始する前にあらかじめCDRレジスタを設定してください。

**(b) スレーブ・ユニット時**

下位4ビットは、コントロール・フィールドで受信したデータが書き込まれます。

ステータス送信フラグ (ISR.STATUSFビット) がセット (1) されると割り込み要求信号 (INTIE2) が発生するので、ソフトウェアでCDRレジスタの下位4ビットの値により各処理を行ってください。

リセット時 : 00H R/W アドレス : FFFFFFF36EH

	7	6	5	4	3	2	1	0
CDR	0	0	0	0	MOD	SELCL2	SELCL1	SELCL0

MOD	SELCL2	SELCL1	SELCL0	機 能
0	0	0	0	スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	データ読み込みとロック
0	1	0	0	ロック・アドレスの読み込み（下位8ビット）
0	1	0	1	ロック・アドレスの読み込み（上位4ビット）
0	1	1	0	スレーブ・ステータスの読み込みとロック解除
0	1	1	1	データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	コマンド書き込みとロック
1	0	1	1	データ書き込みとロック
1	1	0	0	未定義
1	1	0	1	未定義
1	1	1	0	コマンド書き込み
1	1	1	1	データ書き込み

- 注意1. スレーブ・ユニットは、受信したデータがコマンドかデータか判断する必要があるため、通信終了後にCDRレジスタの値を読み出してください。
2. マスタ・ユニットが未定義の値を設定した場合、スレーブ・ユニットからNACK信号が返されて通信は途中終了されますが、同報通信時にはマスタ・ユニットはアクノリッジ・ビットを無視して通信継続するため、未定義の値を設定しないでください。
3. ビット4-7には必ず0を設定してください。

(c) スレーブ・ステータス返信動作

マスタからスレーブ・ステータスの要求 (コントロール・データ : 0H, 6H) , ロック・アドレスの要求 (4H, 5H) を受信した場合 , 自局の状態によりコントロール・フィールドでのACK/NACK信号の返信動作が異なります。

非ロック状態で “ 0H, 6H ” のコントロール・データを受信した場合	ACK信号を返信する
非ロック状態で “ 4H, 5H ” のコントロール・データを受信した場合	NACK信号を返信する
ロック状態でロック要求した局から “ 0H, 4H, 5H, 6H ” のコントロール・データを受信した場合	ACK信号を返信する
ロック状態でロック要求した局以外から “ 0H, 4H, 5H ” のコントロール・データを受信した場合	ACK信号を返信する
ロック状態でロック要求した局以外から “ 6H ” のコントロール・データを受信した場合	NACK信号を返信する

- のすべての場合 , スレーブ・ステータス , ロック・アドレスの要求を受け付けたということで ISR.STATUSFビットがセット (1) され , ステータス割り込み要求信号 (INTIE2, INTSTA) が発生します。発生タイミングは , コントロール・フィールドのパリティ・ビットの終わり (アクノリッジ・ビットの始まり) です。ただし , NACK返信する場合は , アクノリッジ・ビット終了後 , NACK受信エラーとなり通信は終了します。

図20 - 16 割り込み要求信号発生タイミング ( , , の場合)

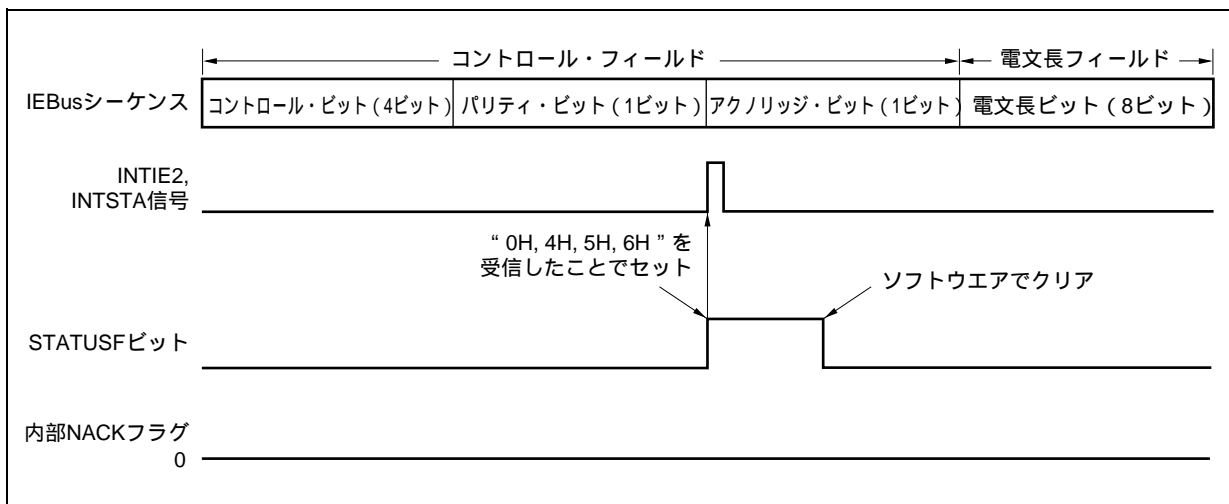
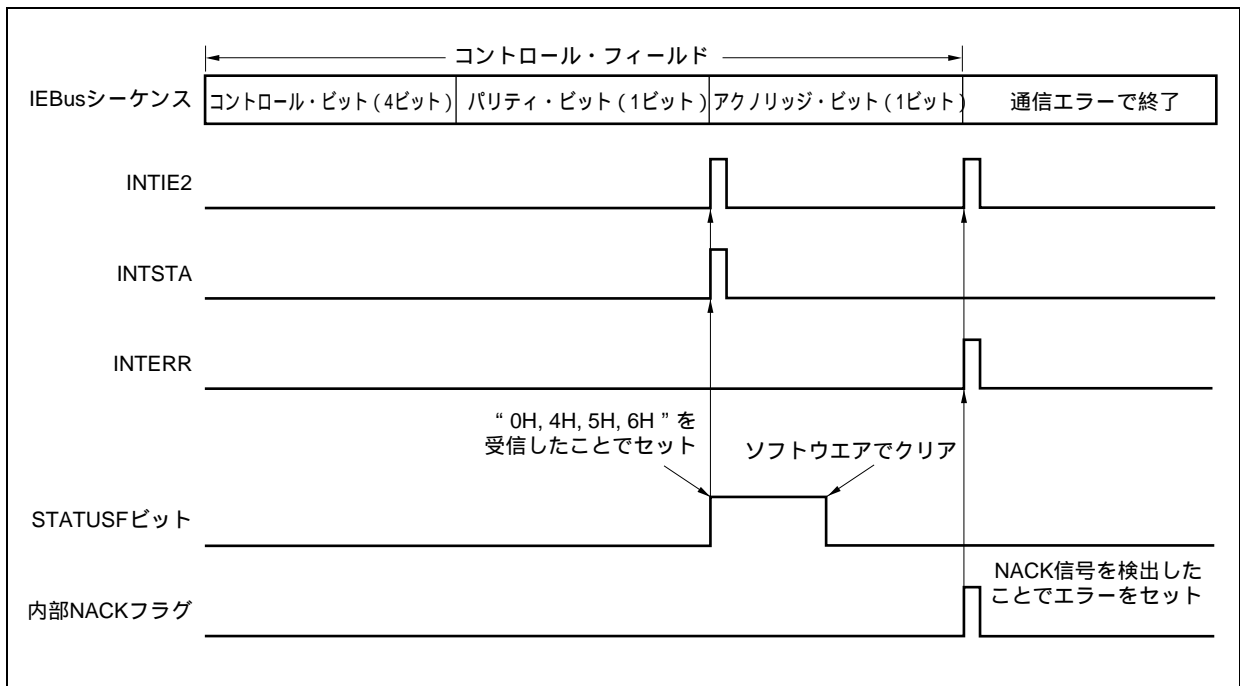


図20 - 17 割り込み要求信号発生タイミング ( , の場合)



、 の場合、「ロック状態中におけるロック要求以外からの通信」であるため、自局が通信対象の場合でもスタート割り込み要求信号や通信完了割り込み要求信号 (INTIE2, INTSTA) は発生しません。ただし、スレーブ・ステータス、ロック・アドレスの要求を受け付けた場合はSTATUSFビットがセット (1) され、ステータス割り込み要求信号 (INTIE2, INTSTA) が発生します。このようにロック状態中に同じコントロール・データを受けた場合でも、マスタ側がロック要求局 ( ) か、それ以外の局 ( ) により、INTIE2, INTSTAの発生タイミングが異なります。

図20 - 18 ロック状態中のINTIE2, INTSTA割り込み要求信号発生タイミング ( , の場合)

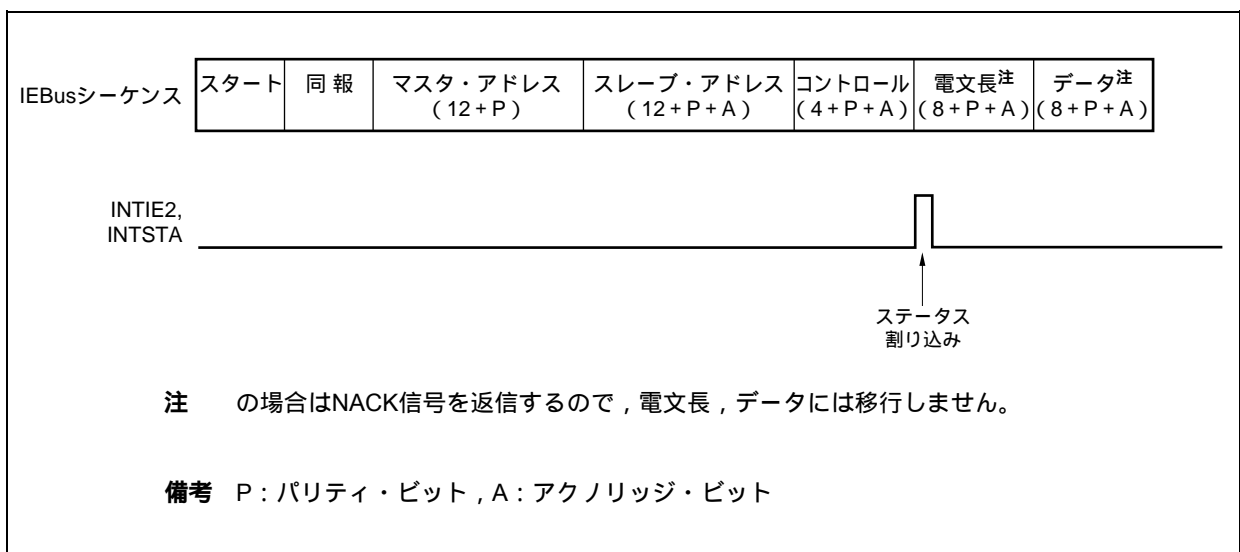
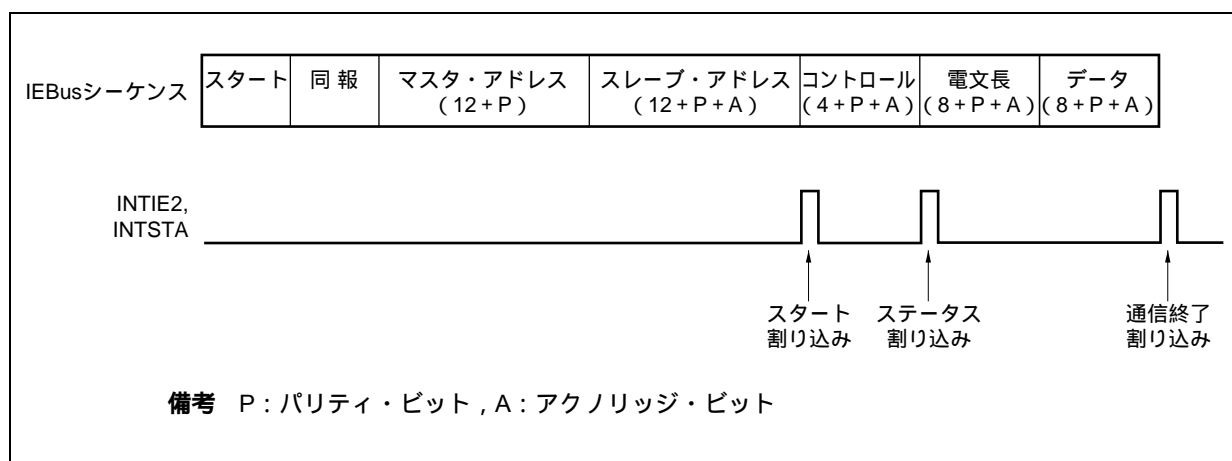


図20 - 19 ロック状態中のINTIE2, INTSTA割り込み要求信号発生タイミング( の場合)



## (12) IEBus電文長レジスタ (DLR)

DLRレジスタは、8ビット単位でリード/ライト可能です。

リセットにより01Hになります。

## (a) 送信ユニット時 (マスタ送信, スレーブ送信)

電文長フィールドで送信されるデータに反映され、送信データのバイト数を表します。送信前にあらかじめDLRレジスタを設定してください。

## (b) 受信ユニット時 (マスタ受信, スレーブ受信)

送信ユニットから送信される電文長フィールドの受信データが書き込まれます。

**備考** DLRレジスタは、書き込み側と読み出し側が別レジスタになっており、書き込んだデータをそのまま読み出せる構成にはなっていません。読み出せるデータは、IEBus通信で受信したデータとなります。

リセット時: 01H R/W アドレス: FFFFF36FH

	7	6	5	4	3	2	1	0
DLR								

ビット								設定値	通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1バイト
0	0	0	0	0	0	1	0	02H	2バイト
:	:	:	:	:	:	:	:	:	:
0	0	1	0	0	0	0	0	20H	32バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255バイト
0	0	0	0	0	0	0	0	00H	256バイト

- 注意1.** マスタからスレーブ・ステータス、ロック・アドレス (上位4ビット, 下位8ビット) の送信要求 (0H, 4H, 5H, 6H) があつたとき, DLRレジスタの内容と無関係に01Hを電文長として送信するため, ソフトウェアでDLRレジスタを設定する必要はありません。
- 2.** 受信ユニット時, DLRレジスタは電文長フィールドのパリティ・ビットが正常値のとき, 電文長を格納しますが, このタイミングでDLRレジスタを読み出すと不定値を読み出します。

## (13) IEBusデータ・レジスタ (DR)

DRレジスタは、通信データを設定するレジスタです。ビット7-0に通信データ(8ビット)を設定します。8ビット単位でリード/ライト可能です。リセットにより00Hになります。

**備考** DRレジスタは、書き込み側と読み出し側が別レジスタになっており、書き込んだデータをそのまま読み出せる構成にはなっていません。読み出されるデータは、IEBus通信で受信したデータとなります。

## (a) 送信ユニット時

DRレジスタに書き込まれたデータ(1バイト分)は、IEBusインタフェース部の送信用シフト・レジスタに格納されます。引き続き最上位ビットから出力されて、正常に1バイトの送信が終了するごとに割り込み要求信号(INTIE1)が発生します。ただし、個別送信時に1バイト・データ送信後NACK信号を受信した場合は、DRレジスタから送信用シフト・レジスタへの転送は行われず、同一データを再送します。このとき、INTIE1信号は発生しません。

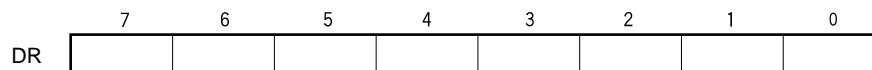
INTIE1信号は、DRレジスタの値が送信用シフト・レジスタに格納されるタイミングで発生します。ただし、最終バイトおよび32バイト目(1通信フレームの最終バイト)を送信用シフト・レジスタに格納したとき、INTIE1信号は発生しません。

## (b) 受信ユニット時

IEBusインタフェース部の受信シフト・レジスタで受信したデータ1バイト分が格納されます。正常に1バイトの受信が終了するごとに割り込み要求信号(INTIE1)が発生します。

送受信データをDRレジスタに転送するとき、DMAを使用するとCPUの処理を軽減できます。

リセット時：00H    R/W    アドレス：FFFFFF370H



- 注意1.** 送信ユニット時に次のデータの設定が間に合わない場合、アンダラン発生となり通信エラー割り込み要求信号(INTIE2, INTERR)が発生して送信を中止します。
- 受信ユニット時かつ個別通信受信時に、データの読み出しが次のデータ受信タイミングに間に合わない場合は、データ・フィールドのアクノリッジ・ビットでNACK信号を返信し、マスタ・ユニットに再送を要求します。ただし、最大伝送バイト数に達してもDRレジスタの読み出しが行われない場合、フレーム終了割り込み要求信号(INTIE2, INTSTA)とNACK受信エラー割り込み要求信号(INTIE2, INTERR)が同時に発生します。
  - 受信ユニット時かつ同報通信受信時に、データの読み出しが次のデータ受信タイミングに間に合わない場合は、オーバラン・エラー発生となり、通信エラー割り込み要求信号(INTIE2, INTERR)が発生します。
  - 受信ユニット時、DRレジスタはデータ・フィールドのパリティ・ビットが正常値のとき受信データを格納しますが、このタイミングでDRレジスタを読み出すと不定値を読み出します。



## (14) IEBusフィールド・ステータス・レジスタ (FSR)

各種割り込み要求信号 (INTIE1, INTIE2, INTSTA, INTERR) 発生時に, IEBusコントローラのフィールド・ステータスの状態を格納します。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

- 注意1.** 第三者間の通信中に割り込み要求信号が発生した場合, FSRレジスタは00Hになります。ただし, 第三者間通信中に発生する割り込み要求信号はエラー発生による割り込み要求信号だけなので, 第三者エラー発生フラグ (ESR.DEFLAGビット) をリードすることで, 第三者間通信中のエラーと判断できます。
- FSRレジスタは割り込み要求信号発生時にステータス情報を更新しますが, このタイミングで FSRレジスタを読み出すと不定値を読み出します。
  - FSRレジスタをリードする前に別の割り込み要求信号が発生すると, 前の割り込み時のステータス情報は, 新しい割り込み時のステータス情報で更新されてしまいます。
  - FSRレジスタは問題点解析用のみに使用し, 実際のソフトウェアで使用しないでください。

リセット時 : 00H		R	アドレス : FFFFF371H					
	7	6	5	4	3	2	1	0
FSR	0	0	0	0	0	0	FSTATE1	FSTATE0
<p><b>備考</b> FSTATE1, FSTATE0ビットの説明は表20 - 15 フィールド・ステータスを参照してください。</p>								

表20 - 15 フィールド・ステータス

フィールド・ステータス	説明		
	マスタ/スレーブ	フィールド	送信/受信
スレーブ送信状態 FSR = 00H	スレーブ動作	スタート・フィールド	受信
		マスタ・アドレス・フィールド	
		スレーブ・アドレス・フィールド	
		コントロール・データ・フィールド	
		電文長フィールド	
スレーブ送信状態 FSR = 01H	スレーブ動作	電文長フィールド	送信
		データ・フィールド	
マスタ受信状態 FSR = 02H	マスタ動作	電文長フィールド	受信
		データ・フィールド	
マスタ送信状態 FSR = 03H	マスタ動作	スタート・フィールド	送信
		マスタ・アドレス・フィールド	
		スレーブ・アドレス・フィールド	
		コントロール・データ・フィールド	
		電文長フィールド	
		データ・フィールド	

## (15) IEBusサクセス・カウント・レジスタ (SCR)

SCRレジスタは、残りの通信バイト数を示すレジスタです。

DLRレジスタで設定された値が、データ・フィールドの $\overline{\text{ACK}}$ 信号によりデクリメントされるカウンタのカウンタ値が読み出されます。また、カウンタ値が00Hになると通信終了フラグ (ISR.ENDTRNSビット) がセット (1) されます。

8ビット単位でリードのみ可能です。

リセットにより01Hになります。

リセット時 : 01H R アドレス : FFFFF372H

	7	6	5	4	3	2	1	0
SCR								

ビット								設定値	残り通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1バイト
0	0	0	0	0	0	1	0	02H	2バイト
:	:	:	:	:	:	:	:	:	:
0	0	1	0	0	0	0	0	20H	32バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255バイト
0	0	0	0	0	0	0	0	00H	0バイト (通信終了) または 256バイト <sup>注</sup>

**注** 実際のカウンタのビット長は、9ビットで構成されています。00Hが読み出されたときは、残りの通信データ・バイト数が0バイト (通信終了) なのか、256バイトなのか判断できません。したがって、通信終了フラグ (ENDTRNSビット) と併用して処理するか、通信開始時の最初の割り込み (00H) が読み出された場合は、残りの通信データ・バイト数は256バイトと判断することができます。

**注意** SCRレジスタは電文長フィールドのパリティ期間終了時、データ・フィールドの $\overline{\text{ACK}}$ 信号受信時に更新されますが、このタイミングでSCRレジスタを読み出すと不定値を読み出します。

## (16) IEBus コミュニケーション・カウント・レジスタ (CCR)

CCRレジスタは、通信モードで規定されている通信バイト数に対する残りバイト数を示すレジスタです。

CCRレジスタは、伝送バイト数を示します。

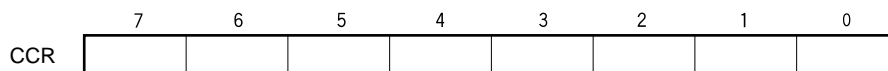
各モードで規定されている1フレーム当たりの最大伝送バイト数(モード1: 32バイト, モード2: 128バイト)がプリセットされ、データ・フィールドのアクノリッジ・ビットの期間に $\overline{\text{ACK}}$ /NACK信号に関係なくデクリメントされるカウンタのカウンタ値が読み出されます。SCRレジスタが正常通信( $\overline{\text{ACK}}$ 信号)でデクリメントされるのに対して、CCRレジスタは $\overline{\text{ACK}}$ /NACK信号にかかわらず1バイトを通信するとデクリメントされます。また、カウンタ値が00Hになるとフレーム終了フラグ(ISR.ENDFRAMビット)がセット(1)されます。

プリセット値のフレーム当たりの最大伝送バイト数は、モード1が20H(32バイト)、モード2が80H(128バイト)になります。

8ビット単位でリードのみ可能です。

リセットにより20Hになります。

リセット時: 20H    R    アドレス: FFFFF373H



**注意** CCRレジスタはスタート・ビット送受信時に最大伝送バイト数がプリセットされ、データ・フィールドのパリティ期間終了時にデクリメントされますが、このタイミングでCCRレジスタを読み出すと不定値を読み出します。

## (17) IEBusクロック選択レジスタ (OCKS2)

IEBusのクロックを選択するレジスタです。使用できるIEBusクロック周波数 ( $f_{IE}$ ) を次に示します。それ以外のメイン・クロック周波数は使用できません。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- ・ 6.0 MHz/ 6.291456 MHz ( 6.29 MHz )
- ・ 12.0 MHz/12.582912 MHz ( 12.58 MHz )
- ・ 18.0 MHz/18.874368 MHz ( 18.87 MHz )
- ・ 24.0 MHz/25.165824 MHz ( 25.16 MHz )
- ・ 30.0 MHz/31.457280 MHz ( 31.45 MHz )

リセット時 : 00H R/W アドレス : FFFFF348H

	7	6	5	4	3	2	1	0
OCKS2	0	0	0	OCKSEN2	OCKSTH2	0	OCKS21	OCKS20

OCKSEN2	IEBusクロック動作指定
0	IEBusクロック動作停止
1	IEBusクロック動作許可

OCKSTH2	OCKS21	OCKS20	IEBusクロック選択
0	0	0	$f_{IE}/2$ ( $f_{IE} = 12.0$ MHzまたは $f_{IE} = 12.58$ MHzのとき)
0	0	1	$f_{IE}/3$ ( $f_{IE} = 18.0$ MHzまたは $f_{IE} = 18.87$ MHzのとき)
0	1	0	$f_{IE}/4$ ( $f_{IE} = 24.0$ MHzまたは $f_{IE} = 25.16$ MHzのとき)
0	1	1	$f_{IE}/5$ ( $f_{IE} = 30.0$ MHzまたは $f_{IE} = 31.45$ MHzのとき)
1	0	0	$f_{IE}$ ( $f_{IE} = 6.0$ MHzまたは $f_{IE} = 6.29$ MHzのとき)
上記以外			設定禁止

**注意1.** クロック・モード4では, IEBusコントローラは使用できません。

**2.** ビット2, 5-7には必ず0を設定してください。

**備考**  $f_{IE}$  : IEBusクロック周波数

クロック・モード1のとき,  $f_{IE} = f_{XX}$

クロック・モード2のとき,  $f_{IE} = f_{XMPLL}$  ( 29.28 ~ 32 MHz )

クロック・モード3のとき,  $f_{IE} = f_{XMPLL}$  ( 29.28 ~ 32 MHz )

$f_{XX}$  : メイン・クロック周波数

$f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数

## 20.4 IEBus コントローラの割り込み動作

### 20.4.1 割り込み制御部

割り込み要求信号について次に示します。

通信エラー	: IEERR
(i) タイミング・エラー	: TERR
(ii) パリティ・エラー	: PERR
(iii) NACK受信エラー	: NERR
(iv) アンダラン・エラー	: UERR
(v) オーバラン・エラー	: OERR
(vi) ライト・エラー	: WERR
スタート割り込み	: STARTF
ステータス通信	: STATUSF
通信終了	: ENDTRNS
フレーム終了	: ENDFRAM
送信データ書き込み要求	: $\overline{\text{STATTX}}$
受信データ読み出し要求	: STATRX

上記のエラー要因 (i) ~ (vi) のいずれかが発生したときに 通信エラーは発生します。

これらのエラー要因はエラー・ステータス・レジスタ (ESR) にアサインされています (表20 - 18 通信エラー要因処理一覧参照)。

上記の - の割り込み要求信号は、ISRレジスタに割り当てられています (表20 - 17 割り込み要因一覧参照)。

次に割り込み制御部の構成を示します。

図20 - 20 割り込み制御部の構成

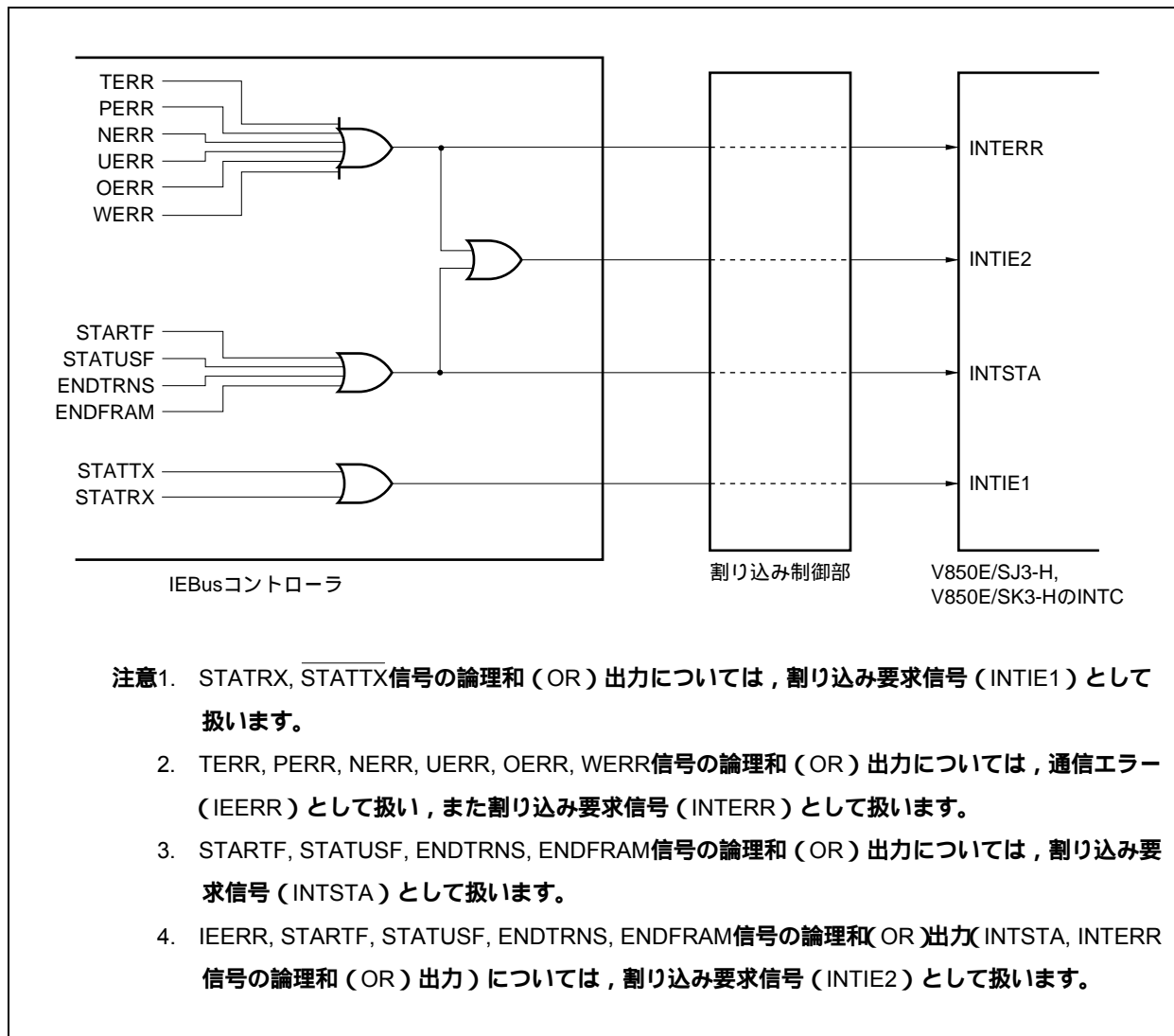


表20 - 16 割り込み要求信号生成要因一覧

割り込み要因一覧	略号	割り込み要求信号			
		INTIE1	INTIE2	INTERR	INTSTA
通信エラー割り込み	IEERR				
タイミング・エラー	TERR				
パリティ・エラー	PERR				
NACK受信エラー	NERR				
アンダラン・エラー	UERR				
オーバラン・エラー	OERR				
ライト・エラー	WERR				
スタート割り込み	STARTF				
ステータス送信	STATUSF				
通信終了	ENDTRNS				
フレーム終了	ENDFRAM				
送信データ書き込み要求	STATTX				
受信データ読み出し要求	STATRX				

### 20.4.2 割り込み判定例

IEBusコントローラは、次の2通りの割り込み処理方法があります。

- ・ INTIE1, INTERR, INTSTAの3つの割り込み要求信号を使用
- ・ INTIE1, INTIE2の2つの割り込み要求信号を使用

**注意** 使用しない割り込み要因についてはマスクをして発生しないようにしてください。

それぞれの場合についての割り込み判定例を次に示します。

#### (1) INTIE1, INTERR, INTSTA信号使用時

図20 - 21 INTIE1信号の割り込み判定例 (INTIE1, INTERR, INTSTA信号使用時)

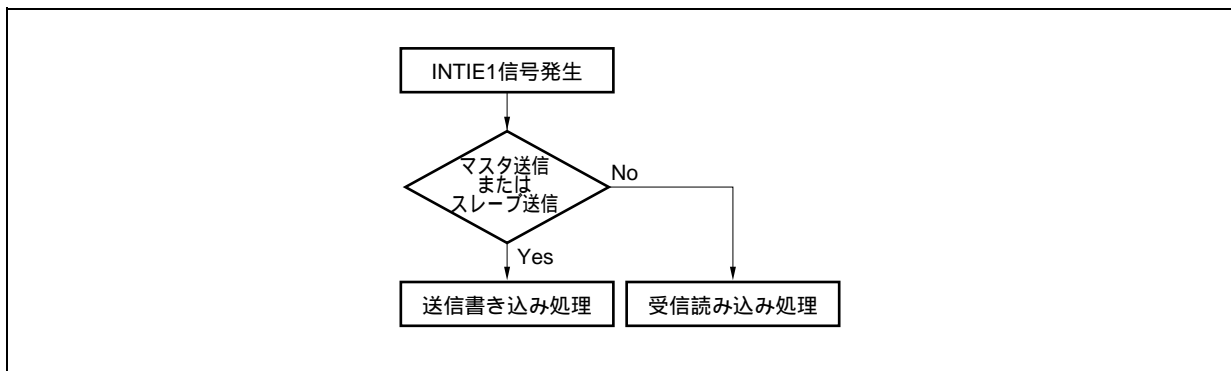


図20 - 22 INTERR信号の割り込み判定例 (INTIE1, INTERR, INTSTA信号使用時)

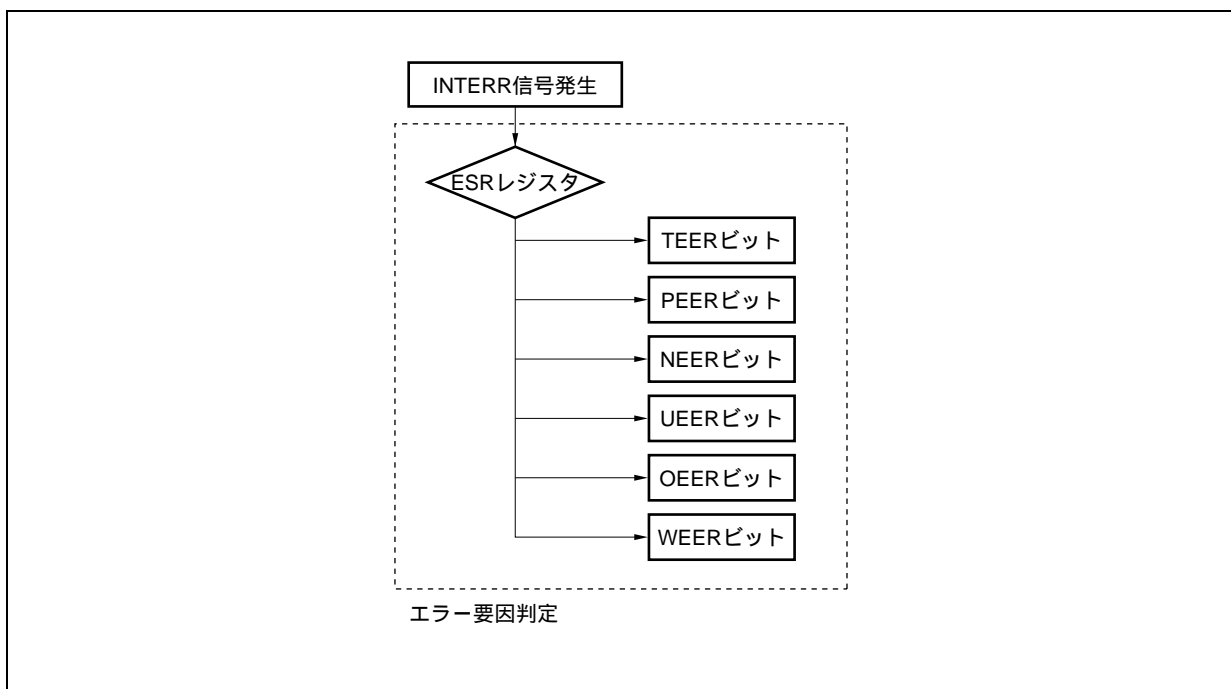
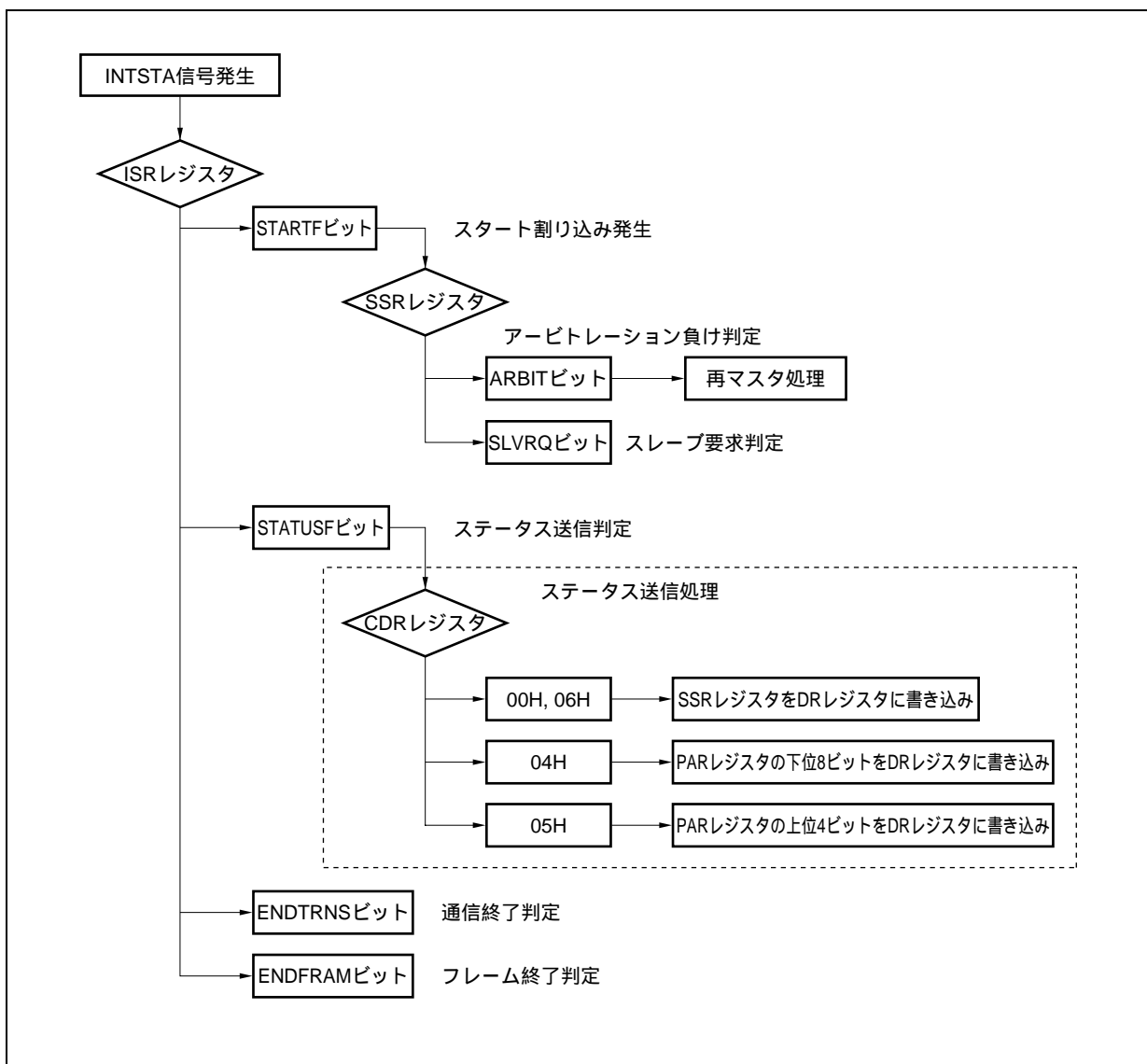




図20 - 23 INTSTA信号の割り込み判定例 (INTIE1, INTERR, INTSTA信号使用時)



(2) INTIE1, INTIE2信号使用時

図20 - 24 INTIE1信号の割り込み判定例 (INTIE1, INTIE2信号使用時)

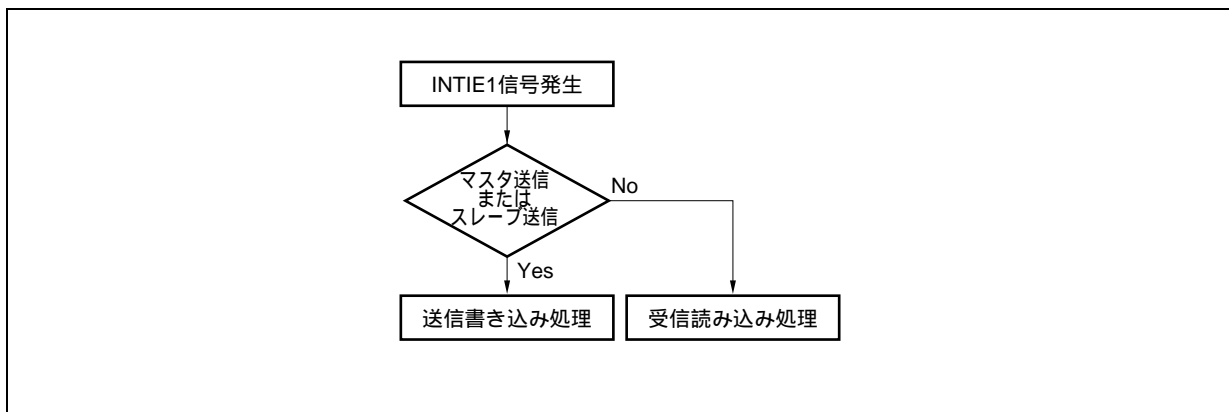
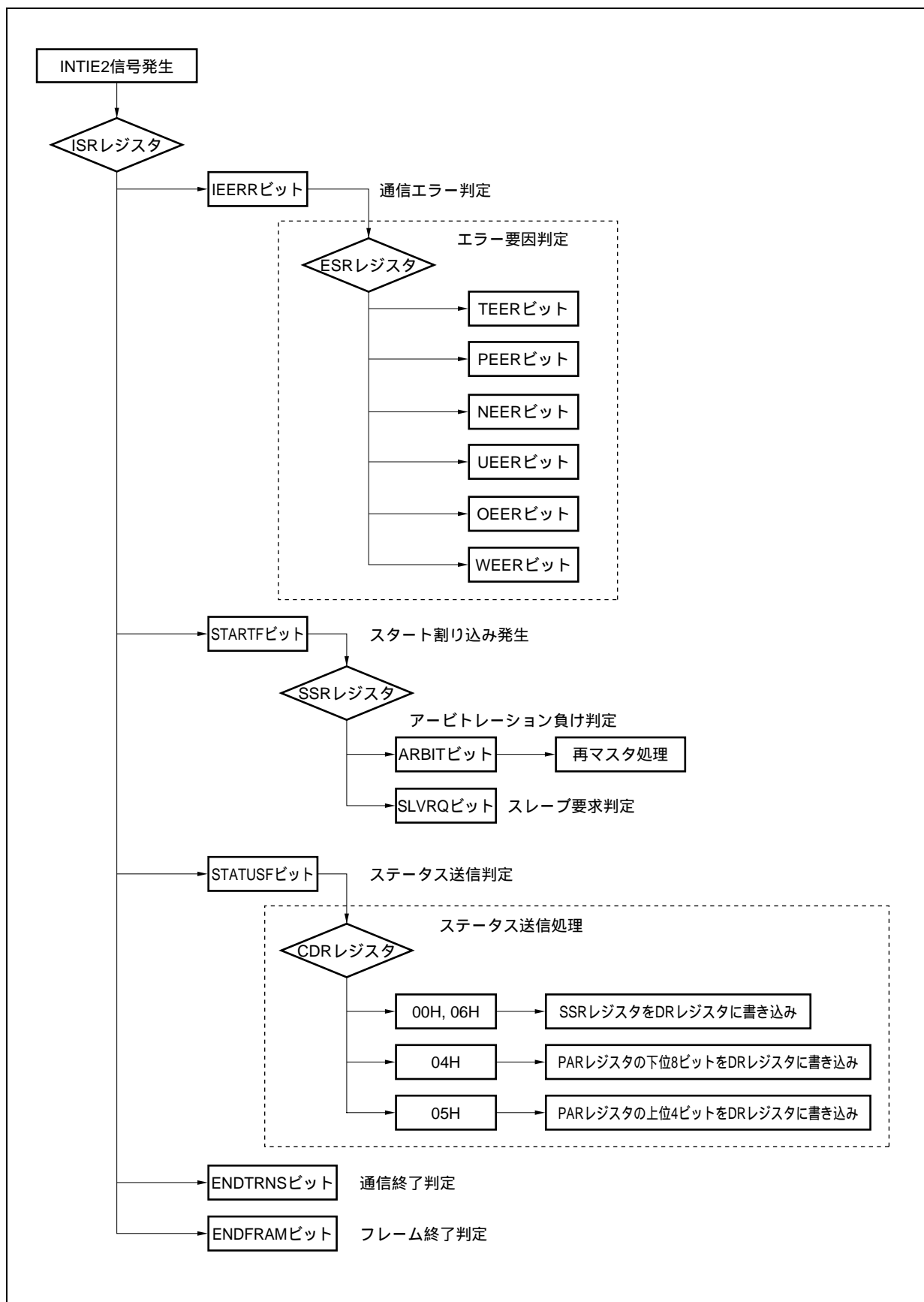


図20 - 25 INTIE2信号の割り込み判定例 (INTIE1, INTIE2信号使用時)



## 20.4.3 割り込み要因一覧

V850E/SJ3-H, V850E/SK3-H内蔵用IEBusコントローラの割り込み要求信号は、ペクタ割り込みとDMA転送の2つに分けられます。割り込み要求信号は、ソフトウェア操作で指定できます。割り込み要因の一覧を次に示します。

表20 - 17 割り込み要因一覧

割り込み要因		発生状態		割り込み要求信号発生後のソフトウェア処理	備考
		ユニット	フィールド		
通信エラー	タイミング・エラー	マスタ/スレーブ	全フィールド	通信処理のやり直し	通信エラーは、タイミング・エラー、パリティ・エラー、NACK受信エラー、アンダラン・エラー、オーバラン・エラー、ライト・エラーの論理和（OR）出力になります。
	パリティ・エラー	受信	データ以外（個別）		
			全フィールド（同報）		
	NACK受信エラー	受信（送信）	データ以外（個別）		
	アンダラン・エラー	送信	データ		
	オーバラン・エラー	受信	データ（同報）		
	ライト・エラー	送信	データ		
スタート割り込み	マスタ	スレーブ/アドレス	スレーブ要求判定 競合判定 （負けた場合は再マスタ処理） 通信準備処理	マスタ要求時は、競合に負けた場合も必ず割り込み要求信号が発生します。	
		スレーブ	スレーブ/アドレス	スレーブ要求判定 通信準備処理	スレーブ要求時のみ発生します。
ステータス送信	スレーブ	コントロール	スレーブ・ステータスなどの送信処理例を参照してください。	スレーブ送信許可フラグに関係なく発生します。コントロール・フィールドでNACK信号を返信するときも発生します。	
通信終了	送信	データ	DMA転送終了処理	SCRレジスタが00Hになるとセットされます。	
	受信	データ	DMA転送終了処理 受信データ処理		
フレーム終了	送信	データ	再通信準備処理	CCRレジスタが00Hになるとセットされます。	
	受信	データ	再受信準備処理		
送信データ書き込み	送信	データ	送信データ読み出し <sup>注</sup>	送信データを内部シフト・レジスタへ転送後にセットされます。最終データ転送時には発生しません。	
受信データ読み出し	受信	データ	受信データ読み出し <sup>注</sup>	正常データ受信後にセットされます。	

注 DMA転送またはソフトウェア操作をしない場合

## 20.4.4 通信エラー要因処理一覧

各通信エラー（タイミング・エラー，NACK受信エラー，オーバーラン・エラー，アンダラン・エラー，パリティ・エラー，ライト・エラー）発生条件，IEBusコントローラのエラー処理内容，およびソフトウェアでの処理例を次に示します。

表20 - 18 通信エラー要因処理一覧（1/2）

		タイミング・エラー			
発生条件	自局状態	受信時		送信時	
	発生条件	ビット規定タイミングを外れた場合			
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウェア処理	<ul style="list-style-type: none"> <li>受信中止</li> <li>INTIE2信号発生</li> <li>スタート・ビット待ち状態へ</li> </ul> 備考 他局間の通信は終了しない。		<ul style="list-style-type: none"> <li>送信中止</li> <li>INTIE2信号発生</li> <li>スタート・ビット待ち状態へ</li> </ul>	
	ソフトウェア処理	エラー処理（再送要求など）		エラー処理（再送要求など）	
個別通信時	ハードウェア処理	<ul style="list-style-type: none"> <li>受信中止</li> <li>INTIE2信号発生</li> <li>NACK信号を返信</li> <li>スタート・ビット待ち状態へ</li> </ul>		<ul style="list-style-type: none"> <li>送信中止</li> <li>INTIE2信号発生</li> <li>スタート・ビット待ち状態へ</li> </ul>	
	ソフトウェア処理	エラー処理（再送要求など）		エラー処理（再送要求など）	

		NACK受信エラー				
発生条件	自局状態	受信時		送信時		
	発生条件	自局がNACK信号を送信		NACK信号を受信		
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド	32バイト目のデータでNACK信号を受信
同報通信時	ハードウェア処理	-	-	-	-	-
	ソフトウェア処理	-	-	-	-	-
個別通信時	ハードウェア処理	<ul style="list-style-type: none"> <li>受信中止</li> <li>INTIE2信号発生</li> <li>スタート・ビット待ち状態へ</li> </ul>	<ul style="list-style-type: none"> <li>INTIE2信号発生せず</li> <li>他局が再送するデータを受信</li> </ul>	<ul style="list-style-type: none"> <li>送信中止</li> <li>INTIE2信号発生</li> <li>スタート・ビット待ち状態へ</li> </ul>	<ul style="list-style-type: none"> <li>INTIE2信号発生せず</li> <li>再送処理</li> </ul>	<ul style="list-style-type: none"> <li>INTIE2信号発生</li> <li>スタート・ビット待ち状態へ</li> </ul>
	ソフトウェア処理	エラー処理（再送要求など）	-	エラー処理（再送要求など）	-	エラー処理（再送要求など）

表20 - 18 通信エラー要因処理一覧 (2/2)

		オーバーラン・エラー		アンダラン・エラー/ライト・エラー	
発生条件	自局状態	受信時		送信時	
	発生条件	DRレジスタの読み出しが次データ受信タイミングまでに間に合わない		DRレジスタの書き込みが次データ送信タイミングまでに間に合わない	
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウェア処理	-	<ul style="list-style-type: none"> <li>受信中止</li> <li>INTIE2信号発生</li> <li>スタート・ビット待ち状態へ</li> </ul> <p>備考1. 他局間の通信は終了しない。 2. オーバラン状態解除までデータ受信できない。</p>	-	<ul style="list-style-type: none"> <li>送信中止</li> <li>INTIE2信号発生</li> <li>スタート・ビット待ち状態へ</li> </ul>
	ソフトウェア処理	-	<ul style="list-style-type: none"> <li>DRレジスタの読み出しを実行し、オーバーラン状態解除を行う</li> <li>エラー処理（再送要求など）</li> </ul>	-	エラー処理（再送要求など）
個別通信時	ハードウェア処理	-	<ul style="list-style-type: none"> <li>INTIE2信号発生せず</li> <li>NACK信号を返信</li> <li>他局からデータ再送</li> </ul> <p>備考 オーバラン状態解除までデータ受信できない。</p>	-	<ul style="list-style-type: none"> <li>送信中止</li> <li>INTIE2信号発生</li> <li>スタート・ビット待ち状態へ</li> </ul>
	ソフトウェア処理	-	<ul style="list-style-type: none"> <li>DRレジスタの読み出しを実行し、オーバーラン状態解除を行う</li> <li>エラー処理（再送要求など）</li> </ul>	-	エラー処理（再送要求など）

		パリティ・エラー			
発生条件	自局状態	受信時		送信時	
	発生条件	受信データと受信パリティが不一致		-	
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウェア処理	<ul style="list-style-type: none"> <li>受信中止</li> <li>INTIE2信号発生</li> <li>スタート・ビット待ち状態へ</li> </ul> <p>備考 他局間の通信は終了しない。</p>		-	-
	ソフトウェア処理	エラー処理（再送要求など）		-	-
個別通信時	ハードウェア処理	<ul style="list-style-type: none"> <li>受信中止</li> <li>INTIE2信号発生</li> <li>スタート・ビット待ち状態へ</li> </ul>	<ul style="list-style-type: none"> <li>受信中止せず</li> <li>INTIE2信号発生せず</li> <li>NACK信号を返信</li> <li>他局から再送されたデータを受信</li> </ul>	-	-
	ソフトウェア処理	エラー処理（再送要求など）		-	-

## 20.5 割り込み要求信号発生タイミングおよび主なCPU処理内容

### 20.5.1 マスタ送信

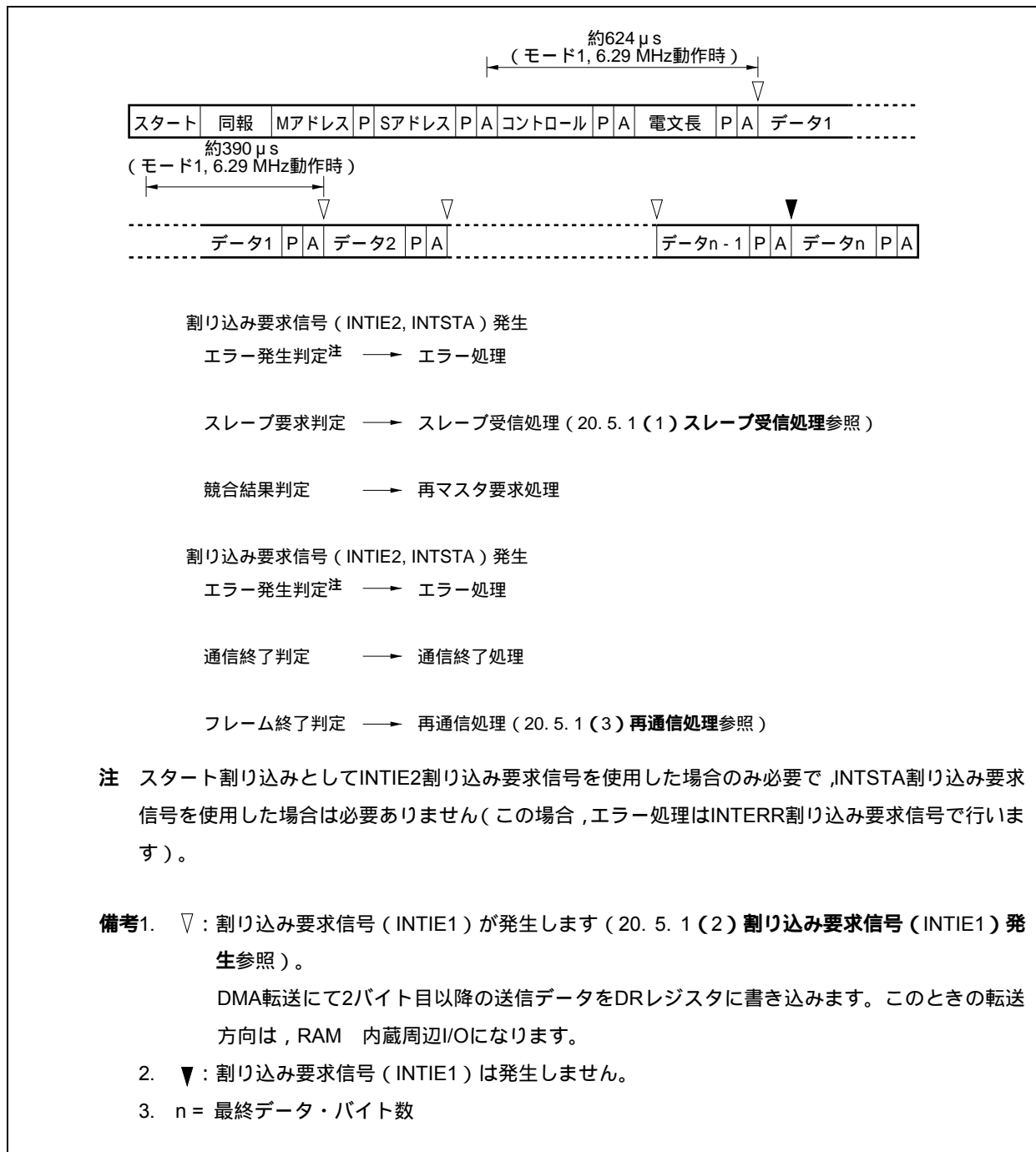
初期準備処理：

自局アドレス，スレーブ・アドレス，コントロール・データ，電文長，1バイト目送信データの設定

通信開始処理：

BCRレジスタの設定（通信許可，マスタ・リクエスト，スレーブ受信許可）

図20 - 26 マスタ送信



### (1) スレーブ受信処理

ベクタ割り込み処理でスレーブ受信要求を確認した場合は、1バイト目のデータを受信するまでに、DMA 転送のデータの転送方向をRAM 内蔵周辺I/Oから内蔵周辺I/O RAMに変更してください。通信モード1 (6.29 MHz動作時) のとき、このデータ転送方向の変更処理の保留期間は、最大約1040  $\mu$ sになります。

### (2) 割り込み要求信号 (INTIE1) 発生

データ・フィールドでスレーブからNACK信号を受信した場合は、割り込みコントローラ (INTC) に対して割り込み要求信号 (INTIE1) は発生しないで、ハードウェアにより同じデータを再送します。また、送信データの書き込みが次のデータ書き込み期間内に間に合わなかった場合は、アンダラン発生により通信エラー割り込み要求信号 (INTERR) が発生して、通信は途中終了になります。

### (3) 再通信処理

図20 - 26の のベクタ割り込み処理では、1フレーム以内で正常にデータの送信が終了したか、しなかったかを判定します。正常に送信できていない (1フレーム以内で送信すべきデータ数が送信できなかった) 場合は、次の通信フレームで再送、または続きのデータ送信を行ってください。

## 20.5.2 マスタ受信

マスタ受信を行う場合は、あらかじめスレーブとなるユニットに対して、「スレーブ送信」を予告しておく必要があります。したがって、マスタ受信は最低2通信フレーム必要になります。

スレーブ・ユニットは送信データを用意して、スレーブ送信許可フラグ (BCR.ENSLVTXビット) をセット (1) して待機します。

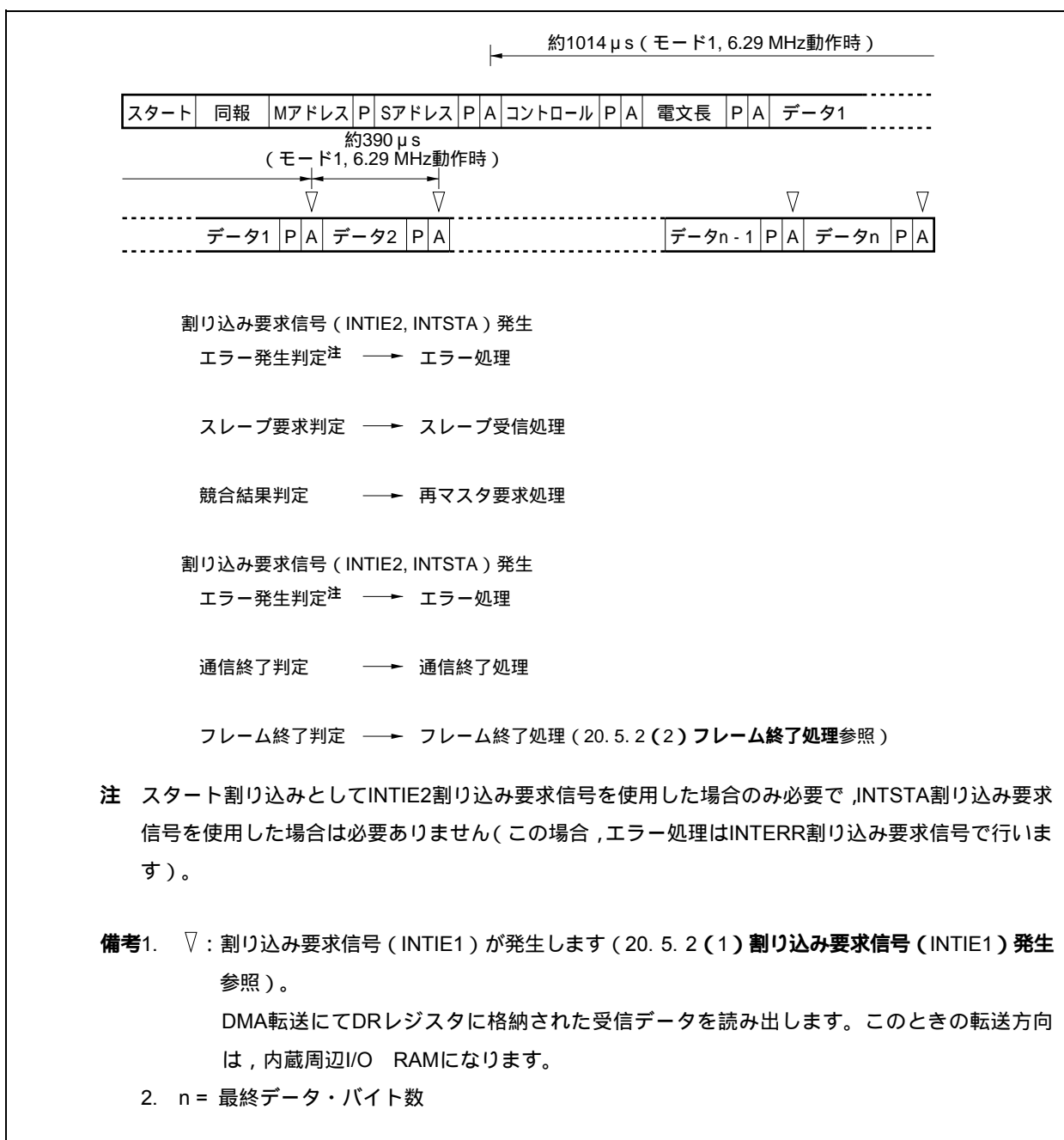
初期準備処理：

自局アドレス、スレーブ・アドレス、コントロール・データの設定

通信開始処理：

BCRレジスタの設定 (通信許可, マスタ・リクエスト)

図20 - 27 マスタ受信





**(1) 割り込み要求信号 (INTIE1) 発生**

データ・フィールドでNACK信号を送信（ハードウェア処理）した場合は、INTCに対して割り込み要求信号（INTIE1）は発生しないで、スレーブより同じデータが再送されます。また、受信したデータの読み出しが次のデータ受信に間に合わなかった場合は、自動的にハードウェアでNACK信号を送信します。

**(2) フレーム終了処理**

図20 - 27の のベクタ割り込み処理では、1フレーム以内で正常にデータの受信が終了したか、しなかったかを判定します。正常に受信できていない（1フレーム以内で受信すべきデータ数が受信できなかった）場合は、次の通信フレームで、スレーブに再送要求を行ってください。

### 20.5.3 スレーブ送信

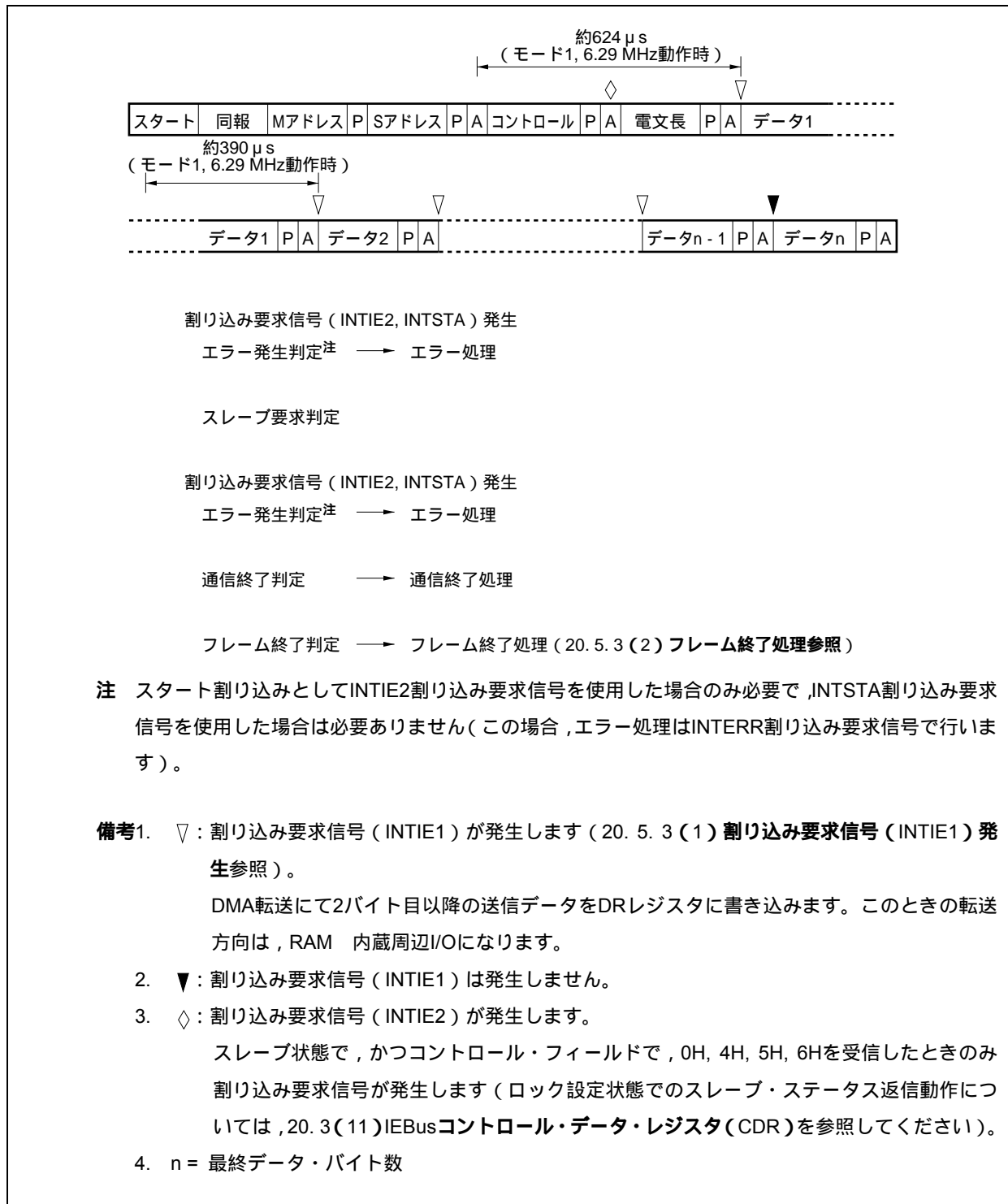
初期準備処理：

自局アドレス，電文長，1バイト目送信データの設定

通信開始処理：

BCRレジスタの設定（通信許可，スレーブ送信許可，スレーブ受信許可）

図20 - 28 スレーブ送信



**(1) 割り込み要求信号 (INTIE1) 発生**

データ・フィールドでスレーブからNACK信号を受信した場合は、INTCに対して割り込み要求信号 (INTIE1) は発生しないで、ハードウェアより同じデータを再送します。また、送信データの書き込みが次のデータ書き込み期間内に間に合わなかった場合は、アンダラン発生により通信エラー割り込み要求信号 (INTERR) が発生して、通信は異常終了になります。

**(2) フレーム終了処理**

図20 - 28の のベクタ割り込み処理では、1フレーム以内で正常にデータの送信が終了したか、しなかったかを判定します。正常に送信できていない (1フレーム以内で送信すべきデータ数が送信できなかった) 場合は、次の通信フレームで再送、または続きのデータ送信を行ってください。

## 20. 5. 4 スレーブ受信

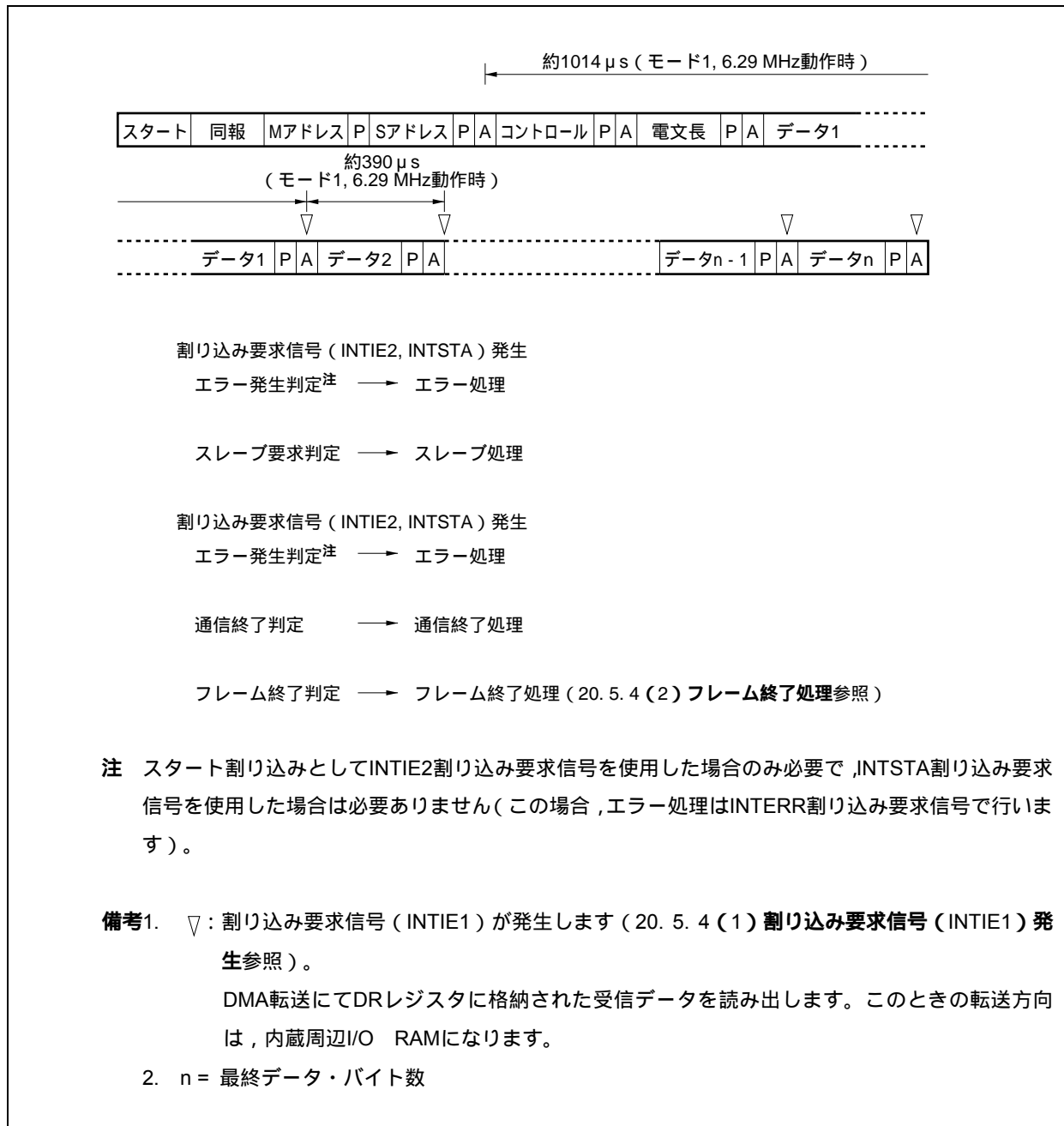
初期準備処理：

自局アドレスの設定

通信開始処理：

BCRレジスタの設定（通信許可，スレーブ送信禁止，スレーブ受信許可）

図20 - 29 スレーブ受信



**(1) 割り込み要求信号 (INTIE1) 発生**

データ・フィールドでNACK信号を送信した場合は、INTCに対して割り込み要求信号 (INTIE1) は発生しないで、マスタより同じデータが再送されます。また、受信したデータの読み出しが次のデータ受信までに間に合わなかった場合は、自動的にNACK信号を送信します。

**(2) フレーム終了処理**

図20 - 29の のベクタ割り込み処理では、1フレーム以内で正常にデータの受信が終了したか、しなかったかを判定します。

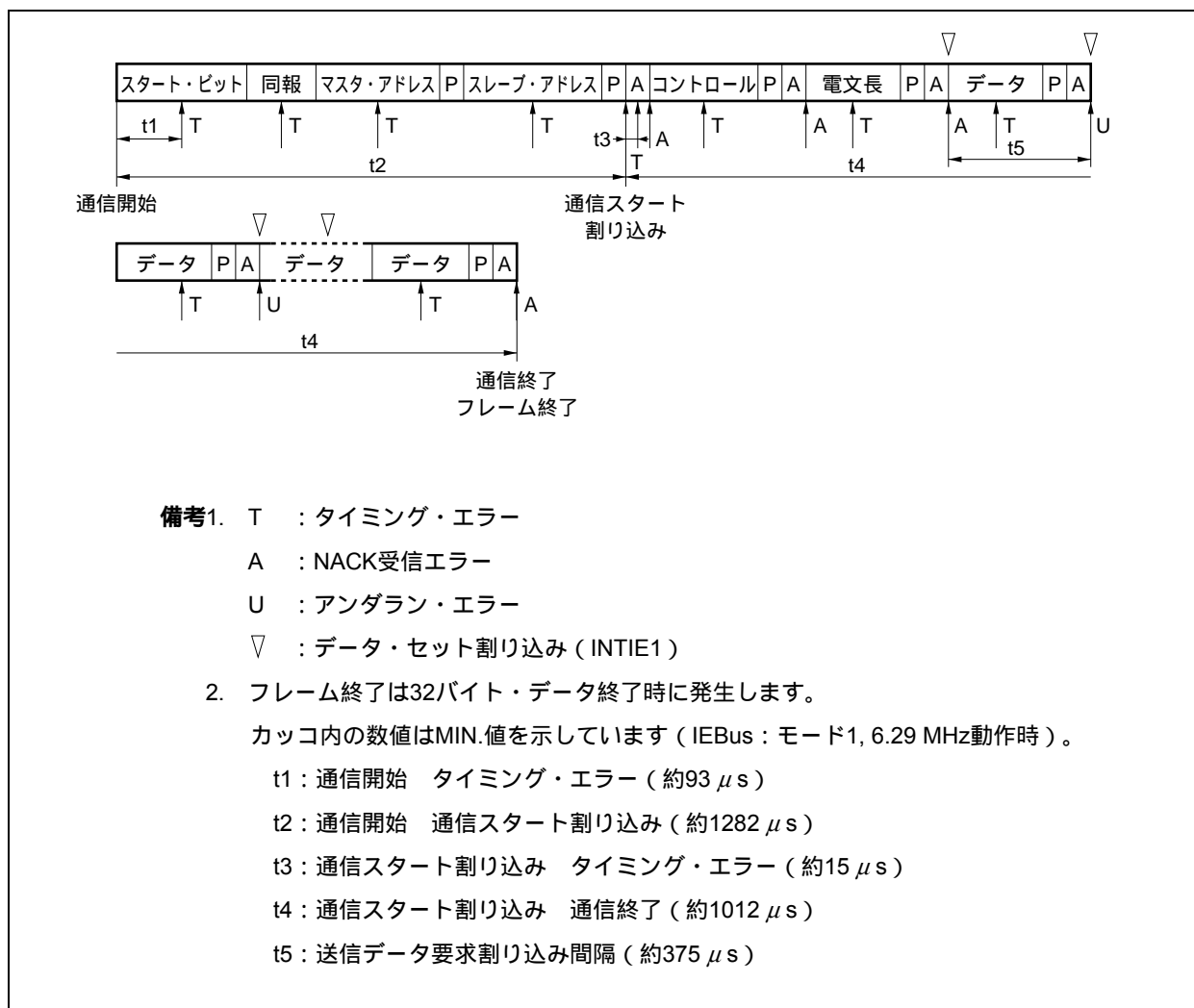
### 20.5.5 IEBus制御用割り込み要求信号発生間隔

各制御割り込み要求信号は、通信中それぞれのポイントで逐次発生して、次の割り込み要求信号発生までに必要な処理を行います。そのため、ソフトウェアでこの割り込み要求信号発生間隔の最短時間を考慮して、IEBus コントロール・ブロックを制御します。

次に示すエラー割り込み要求信号に関しては、発生する可能性のあるフィールドに“ ”で示しています（この“ ”で示しているポイントごとに割り込み要求信号が発生するわけではありません）。エラー割り込み要求信号（タイミング・エラー、パリティ・エラー、NACK受信エラー）が発生した場合、IEBus内部回路を初期化するため、その通信フレーム内でそれ以降の割り込み要求信号は発生しなくなります。

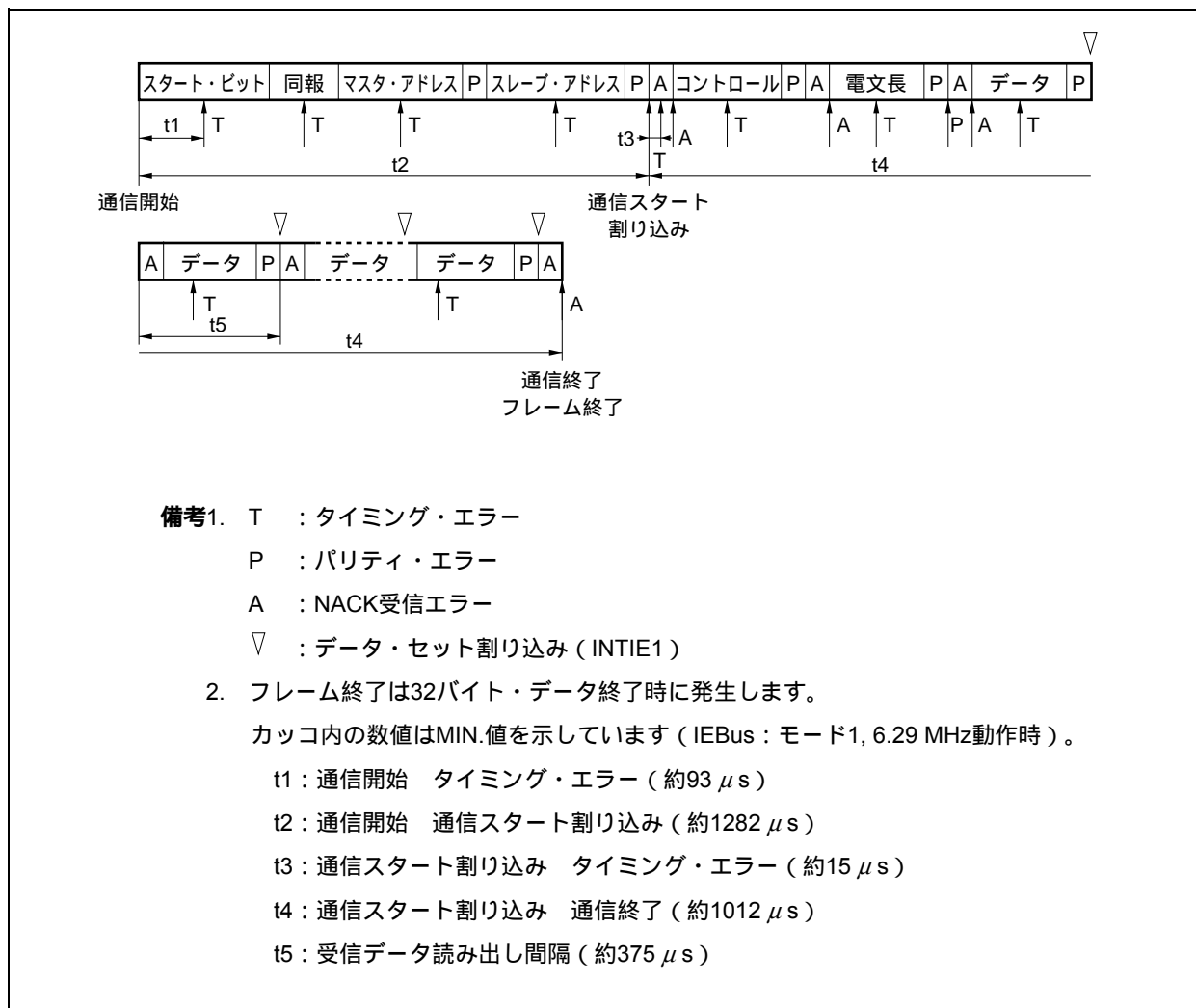
#### (1) マスタ送信

図20 - 30 マスタ送信（割り込み要求信号発生間隔）



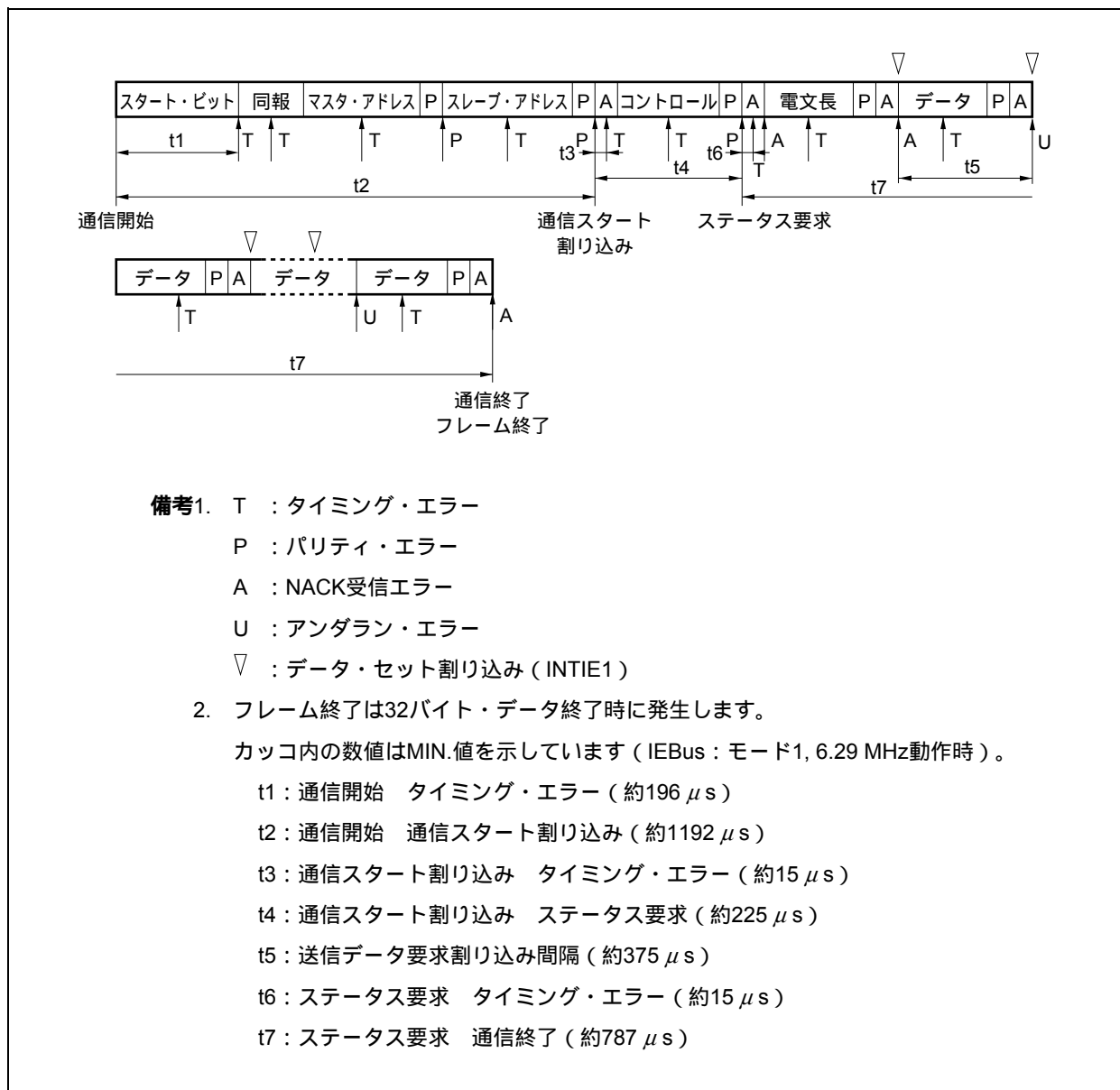
## (2) マスタ受信

図20 - 31 マスタ受信 (割り込み要求信号発生間隔)



## (3) スレーブ送信

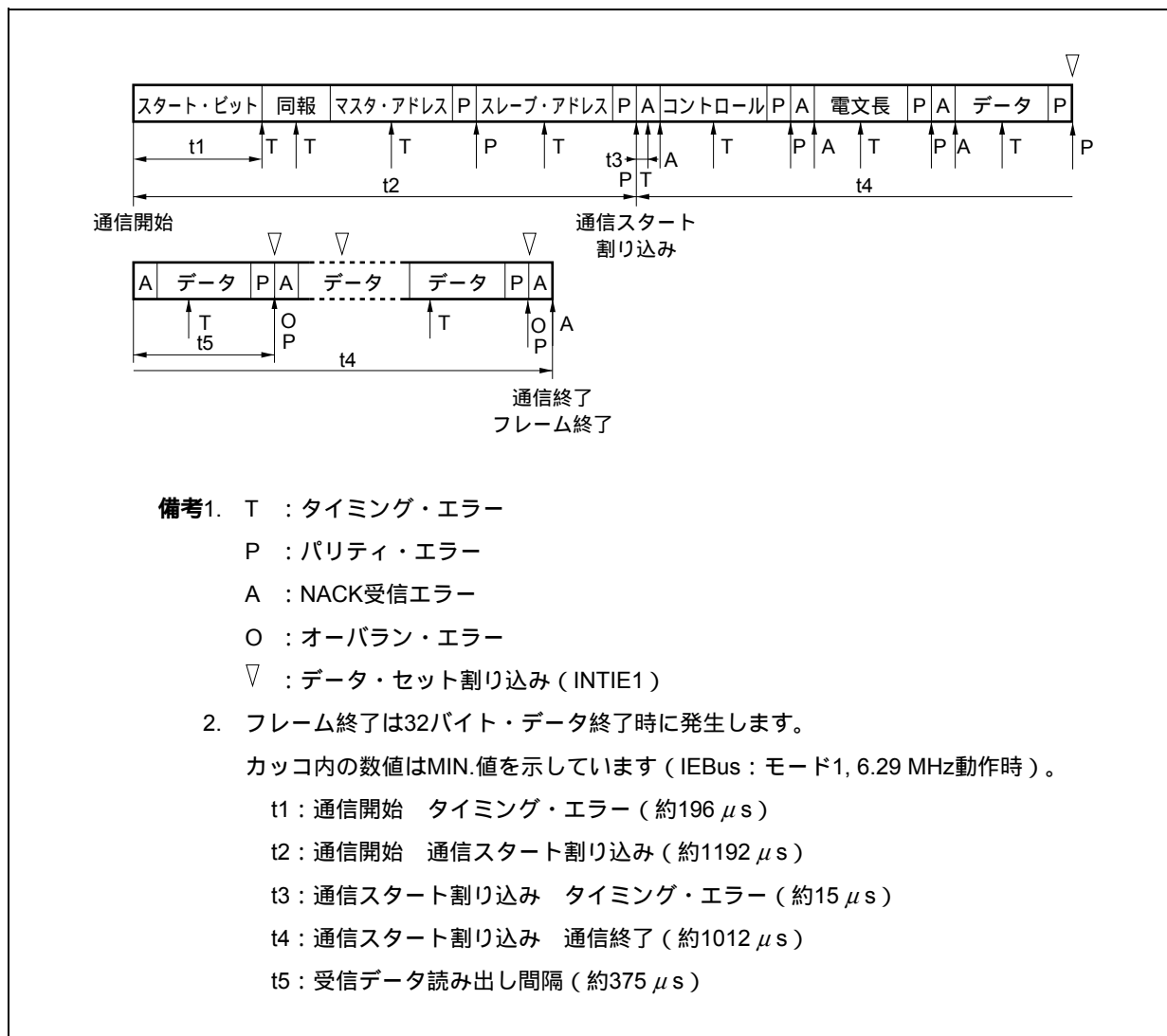
図20 - 32 スレーブ送信（割り込み要求信号発生間隔）





## (4) スレーブ受信

図20 - 33 スレーブ受信 (割り込み要求信号発生間隔)



## 20.6 注意事項

### (1) DMA転送の起動要因の切り替え

V850E/SJ3-H, V850E/SK3-Hでは, DMA転送の起動要因のINTERR信号とINTCE0T信号<sup>注</sup>, およびINTSTA信号とINTCE1T信号<sup>注</sup>が兼用になっており, 同時には使用できません。INTERR信号, またはINTSTA信号をDMA転送の起動要因として使用するときは, オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のDTFROB0ビット = 0に設定してください。この場合, INTCE0T信号<sup>注</sup>とINTCE1T信号<sup>注</sup>はDMA転送の起動要因として使用できません。

注  $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

備考 詳細については, 表22 - 1 DMA転送の起動要因を参照してください。

## 第21章 CANコントローラ

**注意** CANコントローラは、プログラマブル周辺I/O領域に配置されています。

CANコントローラを使用する場合は、あらかじめプログラマブル周辺I/O領域の使用を許可に設定してください。

なお、プログラマブル周辺I/O領域の設定は、BPCレジスタで行います。

詳細は、3. 4. 7 プログラマブル周辺I/Oレジスタを参照してください。

### 21.1 概要

V850E/SJ3-H, V850E/SK3-Hは、CANプロトコルISO11898に準拠したCAN ( Controller Area Network ) コントローラを1チャンネルまたは2チャンネル内蔵しています。

V850E/SJ3-H, V850E/SK3-HのCANコントローラ内蔵品を次に示します。

- ・  $\mu$ PD70F3475A, 70F3476A, 70F3478A, 70F3479A, 70F3481A, 70F3482A, 70F3487A, 70F3488A, 70F3926A, 70F3927A, 70F3932B, 70F3933B, 70F3935B, 70F3936B, 70F3938B, 70F3939B

CANコントローラを2チャンネル内蔵している製品は次の製品のみです。

- ・  $\mu$ PD70F3476A, 70F3479A, 70F3482A, 70F3488A, 70F3927A, 70F3933B, 70F3936B, 70F3939B

#### 21.1.1 特徴

CANプロトコル ISO11898準拠, ISO/DIS16845 ( CANコンFORMANCE・テスト ) 実施

標準フレーム, 拡張フレームの送信 / 受信が可能

転送速度 最大1 Mbps ( CANクロック入力 8 MHz時 )

32メッセージ・バッファ / チャンネル

受信 / 送信ヒストリ・リスト機能

自動ブロック送信機能

マルチ・バッファ受信ブロック機能

チャンネルごとに4パターンのマスクを設定可能

## 21.1.2 機能概要

表21 - 1に機能概要を示します。

表21 - 1 機能概要

機 能	詳 細
プロトコル	CANプロトコル ISO11898 (標準および拡張フレームの送受信)
ボー・レート	最大1 Mbps (CANクロック入力 8 MHz時)
データ・ストレージ	CAN専用RAMにメッセージを格納
メッセージ数	<ul style="list-style-type: none"> <li>・32メッセージ・バッファ/チャンネル</li> <li>・各メッセージ・バッファは、送信メッセージ・バッファまたは受信メッセージ・バッファとして設定可能</li> </ul>
メッセージ受信	<ul style="list-style-type: none"> <li>・各メッセージ・バッファに固有のIDを設定可能</li> <li>・チャンネルごとに4パターンのマスクを設定可能</li> <li>・メッセージ・バッファごとに受信完了割り込みの許可/禁止が設定可能</li> <li>・複数の受信用メッセージ・バッファをFIFO受信のバッファとして使用することが可能(マルチ・バッファ受信ブロック機能)</li> <li>・受信履歴・リスト機能</li> </ul>
メッセージ送信	<ul style="list-style-type: none"> <li>・各メッセージ・バッファに固有のIDを設定可能</li> <li>・メッセージ・バッファごとに送信完了割り込みの許可/禁止が設定可能</li> <li>・送信メッセージ・バッファとして指定されたメッセージ・バッファ番号0-7は、自動ブロック転送に使用可能、またメッセージ送信間隔はプログラマブルに変更可能(自動ブロック送信機能(以降, ABTと記述))</li> <li>・送信履歴・リスト機能</li> </ul>
リモート・フレーム処理	送信用メッセージ・バッファによるリモート・フレーム処理
タイム・スタンプ機能	<ul style="list-style-type: none"> <li>・16ビット・タイマとの併用で受信メッセージに対してタイム・スタンプ機能を設定可能</li> <li>・タイム・スタンプ・キャプチャ・トリガの選択が可能(CANメッセージ・フレーム内のSOFまたはEOF検出に切り替え可能)</li> </ul>
診断機能	<ul style="list-style-type: none"> <li>・リード可能なエラー・カウンタ</li> <li>・バス接続確認用“有効プロトコル動作フラグ”</li> <li>・受信オンリー・モード</li> <li>・シングル・ショット・モード</li> <li>・CANプロトコル・エラーの判別</li> <li>・セルフ・テスト・モード</li> </ul>
バス・オフ復帰機能	<ul style="list-style-type: none"> <li>・ソフトウェアにより強制的にバス・オフから復帰させることが可能(タイミングの制約を無視)</li> <li>・バス・オフからの自動復帰不可(ソフトウェアによる復帰要求が必要)</li> </ul>
パワー・セーブ・モード	<ul style="list-style-type: none"> <li>・CANスリープ・モード(CANバスによりウエイク・アップ可能)</li> <li>・CANストップ・モード(CANバスによるウエイク・アップ不可)</li> </ul>

### 21.1.3 構 成

CANコントローラは、次の4つのブロックから構成されています。

#### (1) 内部バス・インタフェース

内部バスとのインタフェースと、CAN内部モジュールとCPUとのインタフェースを行うための機能ブロックです。

#### (2) MCM (Memory Control Module)

CANモジュール内のCANプロトコル・レイヤとCAN RAMへのアクセスを制御している機能ブロックです。

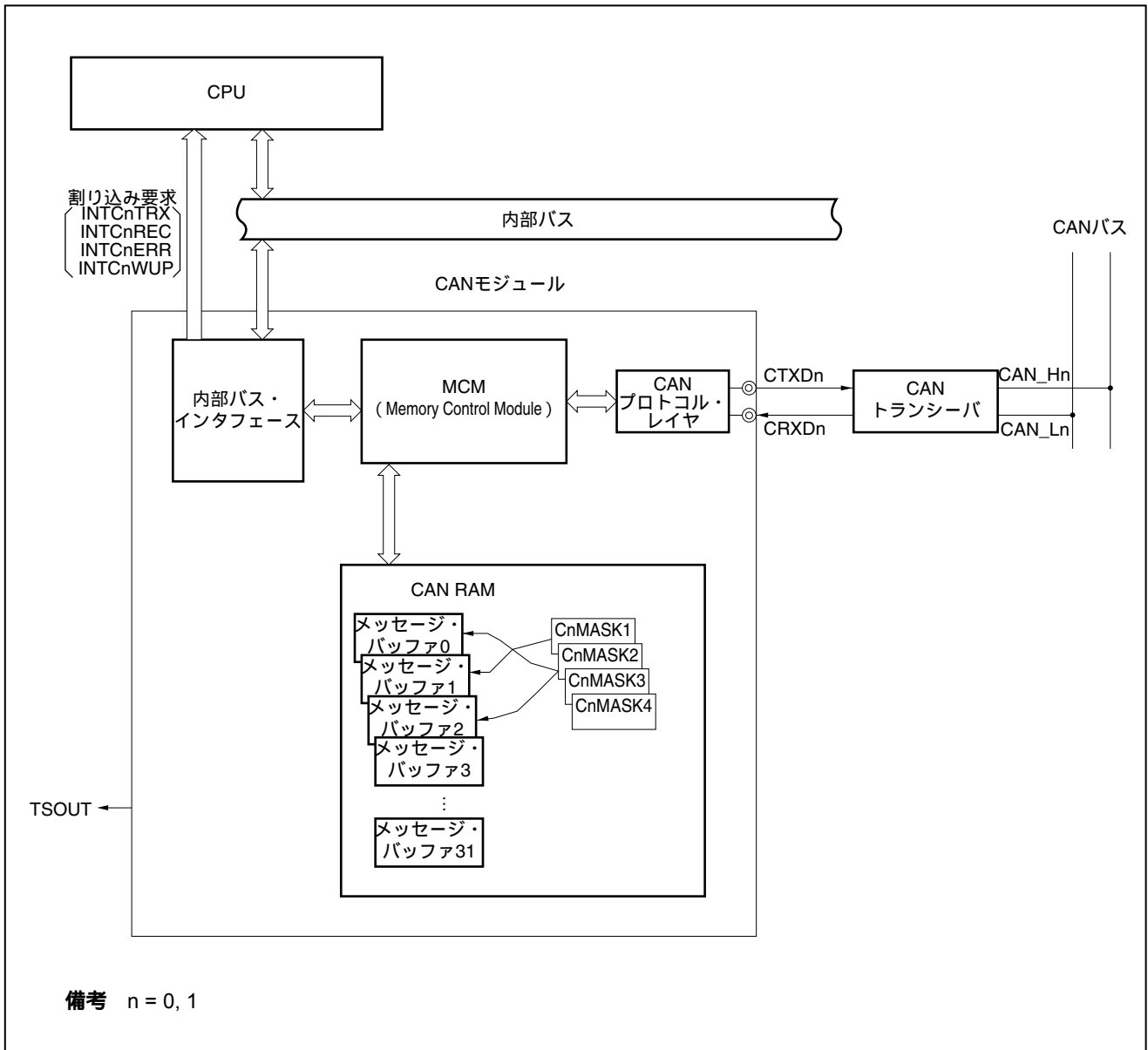
#### (3) CANプロトコル・レイヤ

CANのプロトコル・レイヤとその設定を行う機能ブロックです。

#### (4) CAN RAM

メッセージIDやメッセージ・データなどを格納するCAN専用のメモリ機能ブロックです。

図21 - 1 CANのブロック図

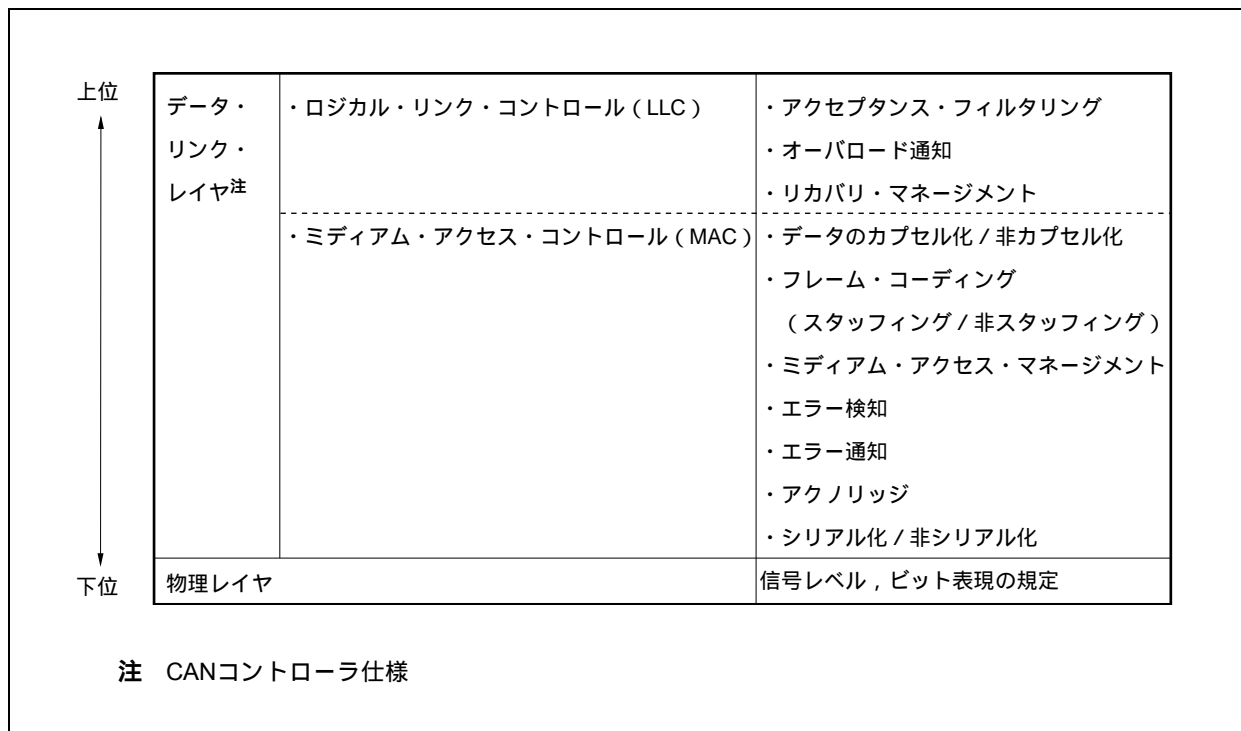


## 21.2 CANプロトコル

CAN (Controller Area Network) は、車体内リアルタイム通信用 (クラスC) 高速多重通信プロトコルです。CAN はISO 11898で規定されています。詳細は、ISO 11898仕様を参照してください。

CANの仕様は、大きく分けて2つのレイヤ (物理レイヤとデータ・リンク・レイヤ) に分類されます。さらに、データ・リンク・レイヤは、ロジカル・リンク・コントロールとミディアム・アクセス・コントロールにより構成されています。各レイヤの構成は、次のようになります。

図21 - 2 各レイヤの構成



## 21.2.1 フレーム・フォーマット

### (1) 標準フォーマット・フレーム

- ・標準フォーマット・フレームでは、アイデンティファイアが11ビットのため、2048種類のメッセージを扱うことができます。

### (2) 拡張フォーマット・フレーム

- ・拡張フォーマット・フレームでは、アイデンティファイアが29ビット（11ビット+18ビット）に拡張され、扱えるメッセージ数が $2048 \times 2^{18}$ 個になります。
- ・アービトラージョン・フィールドのSRR/IDEビットがともに“レセシブ・レベル”（CMOSレベル = 1）の場合、拡張フォーマット・フレームになります。

## 21.2.2 フレーム・タイプ

CANプロトコルのフレームは、次の4種類に分けられます。

表21-2 フレームの種類

フレーム種類	説明
データ・フレーム	データを送信するためのフレーム
リモート・フレーム	データ・フレームを要求するためのフレーム
エラー・フレーム	エラー検知を通知するためのフレーム
オーバーロード・フレーム	次のデータ・フレームまたはリモート・フレームを遅らせるためのフレーム

### (1) バスの値

バスの値には、ドミナントとレセシブの2通りがあります。

- ・ドミナント・レベルは論理0で表します。
- ・レセシブ・レベルは論理1で表します。
- ・ドミナント・レベルとレセシブ・レベルが同時送信された場合、バスの値はドミナント・レベルになります。

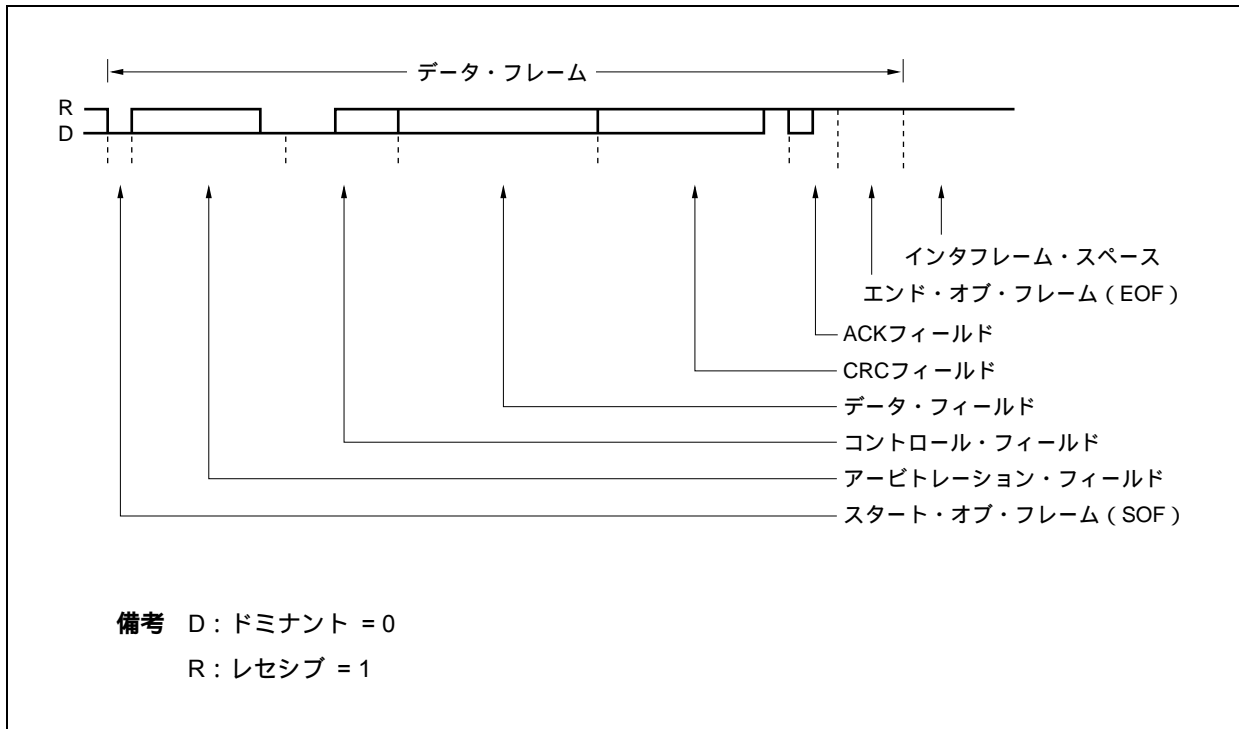


### 21.2.3 データ・フレーム/リモート・フレーム

#### (1) データ・フレーム

データ・フレームは、7つのフィールドにより構成されます。

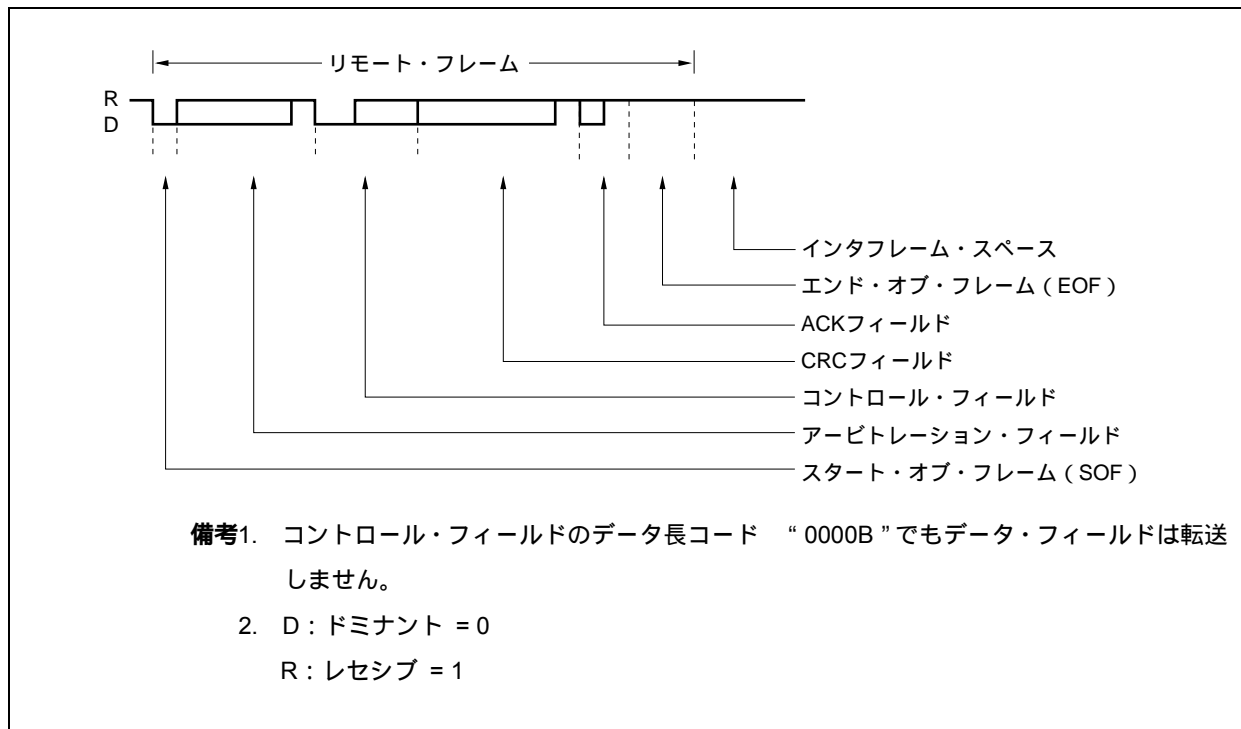
図21-3 データ・フレーム



## (2) リモート・フレーム

リモート・フレームは、6つのフィールドにより構成されます。

図21-4 リモート・フレーム

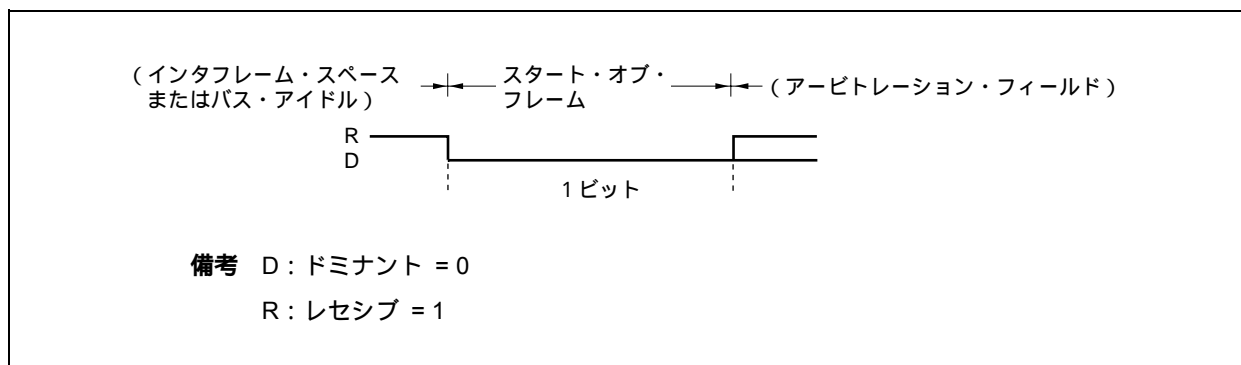


## (3) 各フィールドの説明

## スタート・オブ・フレーム (SOF)

スタート・オブ・フレームは、データ・フレーム、リモート・フレームの開始を示します。

図21-5 スタート・オブ・フレーム (SOF)



- ・バス・アイドル中にドミナント・レベルを検出すると、ハードウェア同期が実行されます (このとき、該当するTQがシンク・セグメントになります)。
- ・ハードウェア同期に続くサンプル・ポイントで、ドミナント・レベルがサンプリングされると、そのビットはSOFになります。レセシブ・レベルが検出された場合は、前述のドミナント・パルスはノイズと判断され、プロトコル・レイヤがバス・アイドル状態に戻ります。この場合はエラー・フレームを発生しません。

アービトレーション・フィールド

アービトレーション・フィールドは、プライオリティ、データ・フレーム/リモート・フレーム、フレーム・フォーマットの設定をします。

図21 - 6 アービトレーション・フィールド (標準フォーマット・モード時)

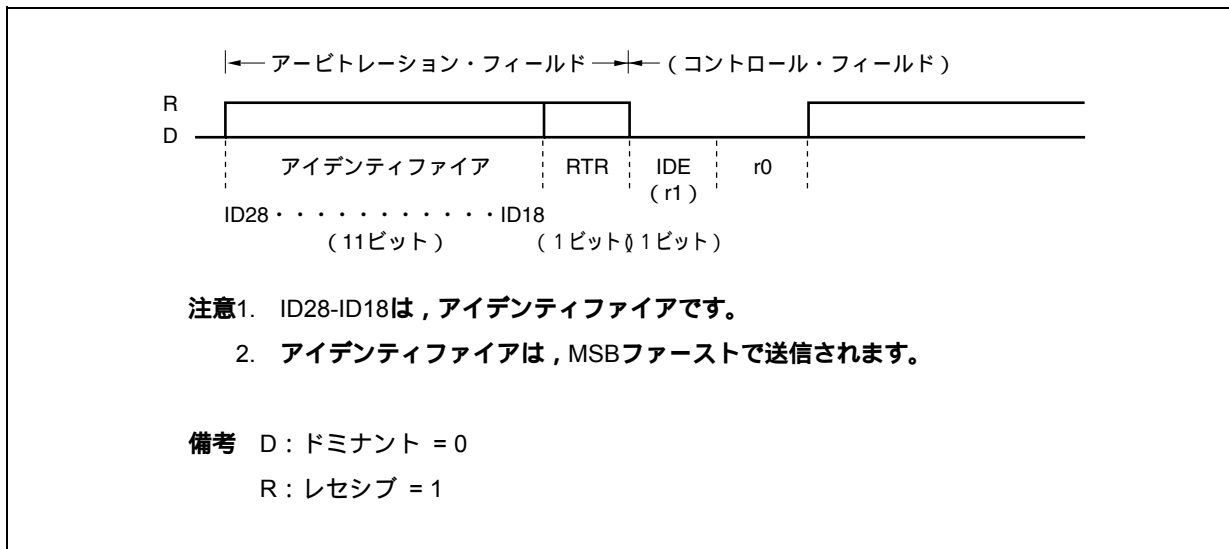


図21 - 7 アービトレーション・フィールド (拡張フォーマット・モード時)

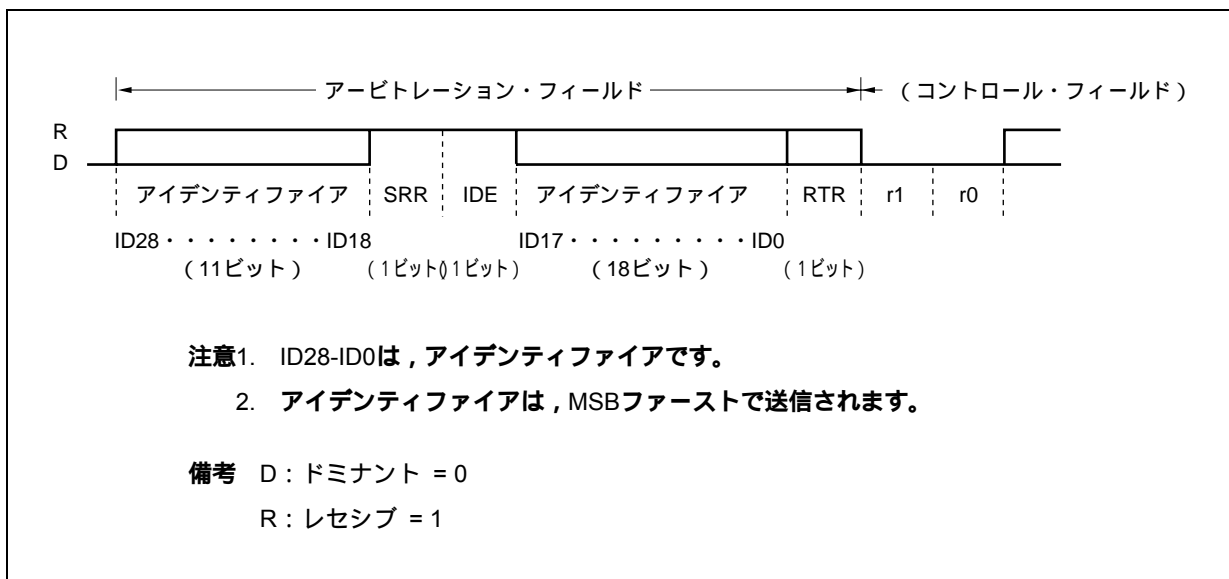


表21 - 3 RTRフレームの設定

フレームの種類	RTRビット
データ・フレーム	0 (D)
リモート・フレーム	1 (R)

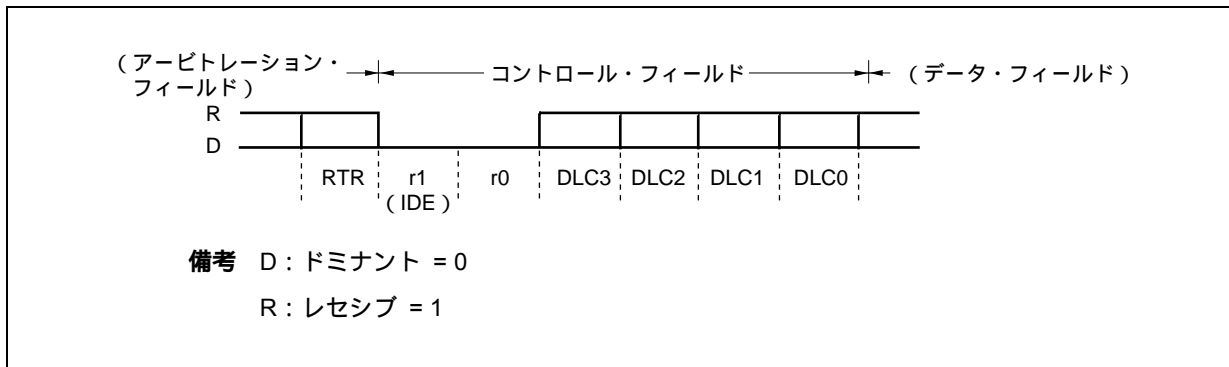
表21 - 4 フレーム・フォーマットの設定 (IDEビット) とアイデンティファイア (ID) のビット数

フレーム・フォーマット	SRRビット	IDEビット	ビット数
標準フォーマット・モード	なし	0 (D)	11ビット
拡張フォーマット・モード	1 (R)	1 (R)	29ビット

**コントロール・フィールド**

コントロール・フィールドは、データ・フィールドのデータ・バイト数DLCの設定をします(DLC = 0-8)。

**図21 - 8 コントロール・フィールド**



標準フォーマット・フレームでは、コントロール・フィールドのIDEビットとr1ビットは、同一となります。

**表21 - 5 データ長の設定**

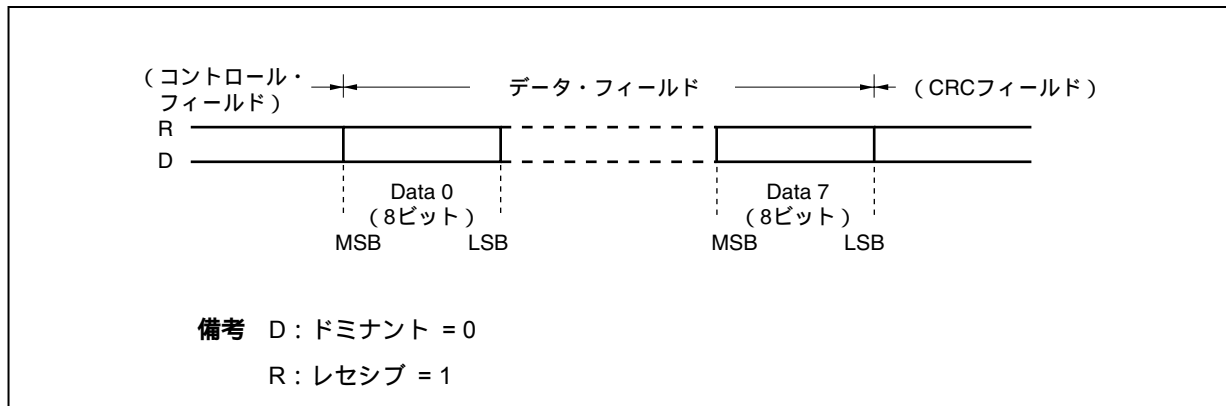
データ長コード				データのバイト数
DLC3	DLC2	DLC1	DLC0	
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
上記以外				DLC3-DLC0の値にかかわらず8バイトになります。

**注意** リモート・フレームの場合、データ長コード 0000Bであってもデータ・フィールドは発生しません。

### データ・フィールド

データ・フィールドは、コントロール・フィールドで設定した個数のデータ群（バイト単位）で、最大8データ設定できます。

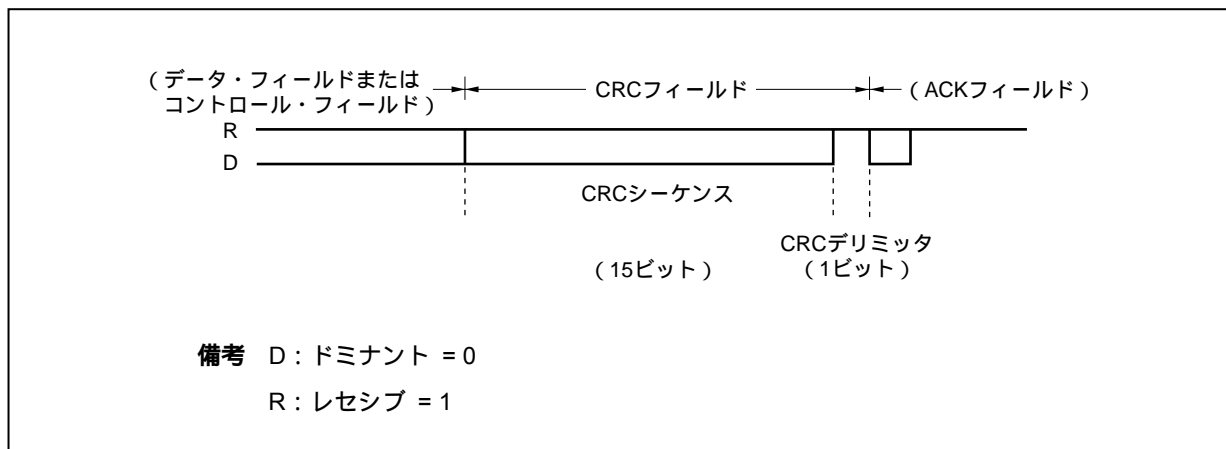
図21 - 9 データ・フィールド



### CRCフィールド

CRCフィールドは、送信データの誤りをチェックするための16ビットのフィールドです。

図21 - 10 CRCフィールド



- ・ 15ビットのCRCシーケンスを生成する多項式 $P(X)$ は、次のようになります。

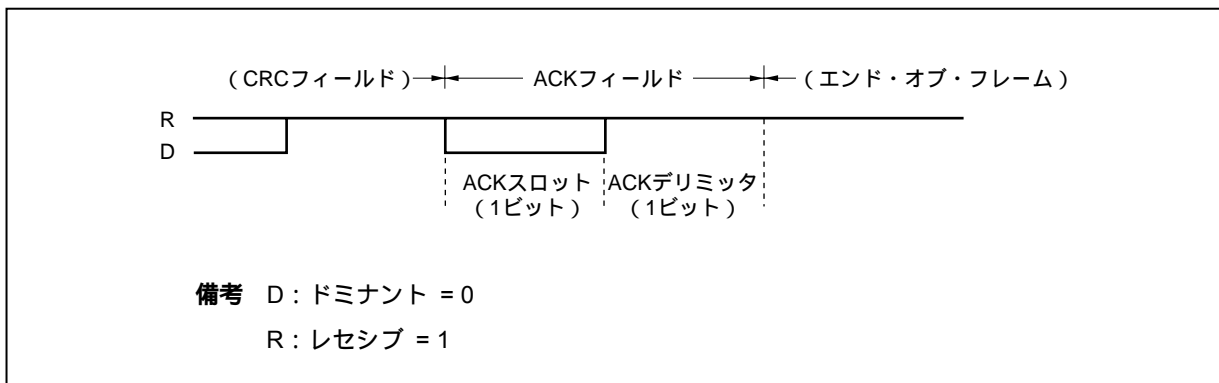
$$P(X) = X^{15} + X^{14} + X^{10} + X^8 + X^7 + X^4 + X^3 + 1$$

- ・ 送信ノード：スタート・オブ・フレーム、アービトレーション・フィールド、コントロール・フィールド、データ・フィールドのデータ（ビット・スタッフ処理前のデータ）より計算したCRCシーケンスを送信します。
- ・ 受信ノード：受信データのスタッフ・ビットを除いたデータ・ビットから計算したCRCシーケンスとCRCフィールドのCRCシーケンスを比較します。一致しない場合、ノードはエラー・フレームを送信します。

**ACKフィールド**

ACKフィールドは、正常受信確認のためのフィールドです。

図21 - 11 ACKフィールド

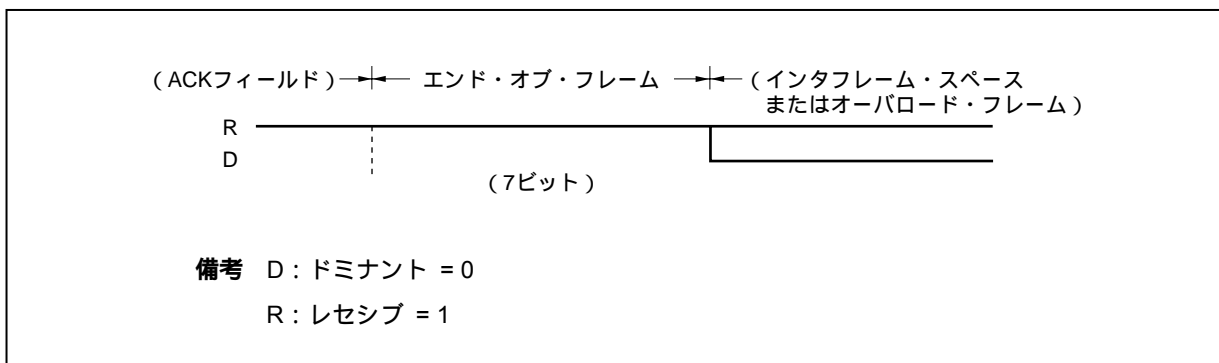


- ・CRCエラーが検出されない場合、受信ノードはACKスロットをドミナント・レベルにします。
- ・送信ノードは、2ビットのレセシブ・レベルを出力します。

**エンド・オブ・フレーム (EOF)**

エンド・オブ・フレームは、データ・フレーム/リモート・フレームの終了を示します。

図21 - 12 エンド・オブ・フレーム (EOF)



### インタフレーム・スペース

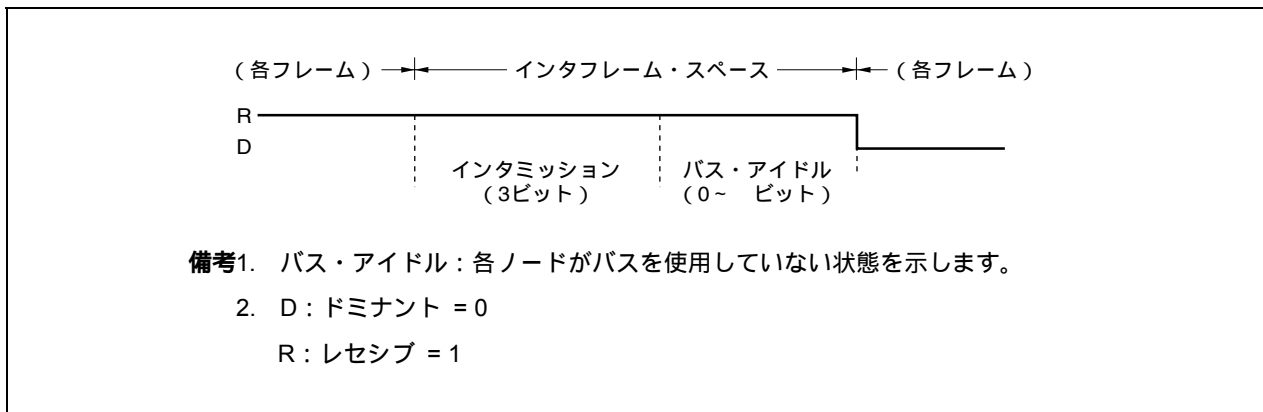
データ・フレーム，リモート・フレーム，エラー・フレーム，オーバーロード・フレームから次のフレームの間に挿入されるフレームで，各フレーム間の区切りを示します。

・バスの状態は，エラー・ステータスにより異なります。

#### (a) エラー・アクティブ状態のノードの場合

3ビットのインタミッションとバス・アイドルより構成されます。

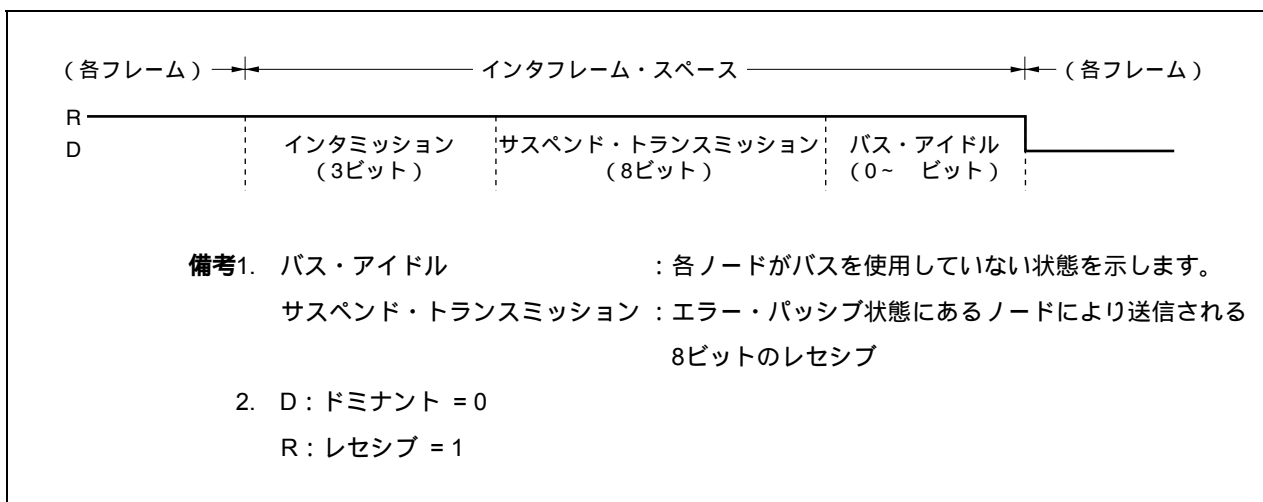
図21 - 13 インタフレーム・スペース (エラー・アクティブ状態のノードの場合)



#### (b) エラー・パッシブ状態のノードの場合

インタミッション，サスペンド・トランスミッション，バス・アイドルより構成されます。

図21 - 14 インタフレーム・スペース (エラー・パッシブ状態のノードの場合)



通常，インタミッションは3ビットです。しかし，送信ノードがインタミッションの3ビット目でドミナント・レベルを検出した場合，送信を行います。

- ・エラー状態による動作

表21 - 6 エラー状態による動作

エラー状態	動 作
エラー・アクティブ	3ビットのインタミッション後，ただちに送信可能状態になります。
エラー・パッシブ	インタミッションを終えてから，さらに8ビット待つて送信可能状態になります。



## 21.2.4 エラー・フレーム

エラー・フレームはエラーを検出したノードが出力します。

図21-15 エラー・フレーム

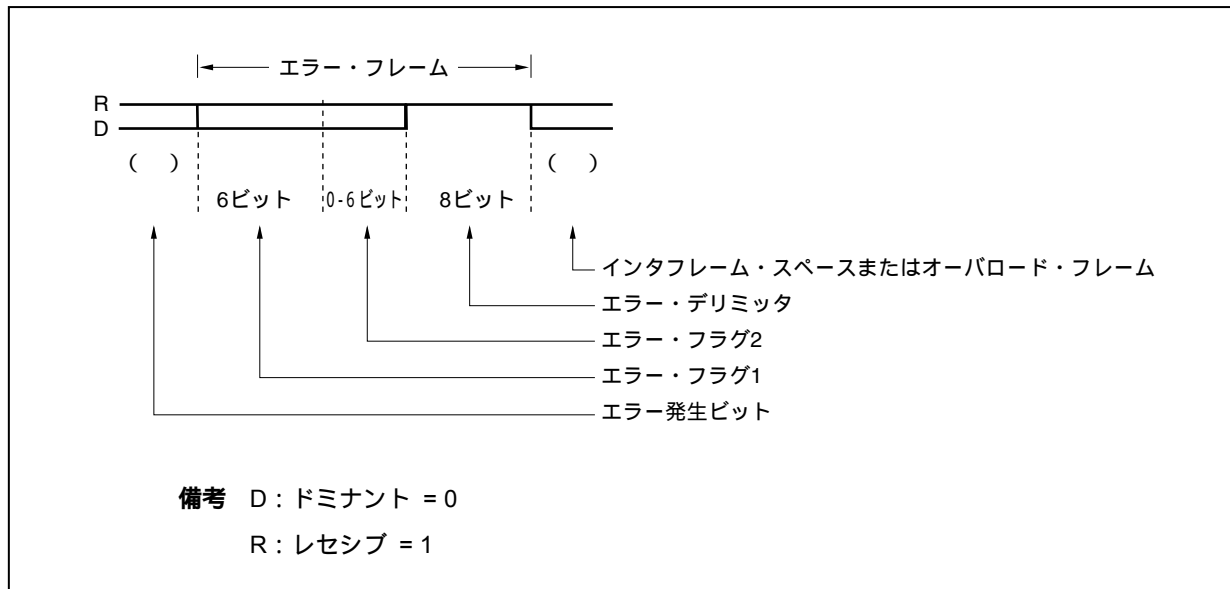


表21-7 エラー・フレームの各フィールドの定義

名称	ビット数	定義
エラー・フラグ1	6	エラー・アクティブ・ノード: 6ビットのドミナント・レベルを連続出力します。 エラー・パッシブ・ノード: 6ビットのレセシブ・レベルを連続出力します。 パッシブ・エラー・フラグを出力中、ほかのノードがドミナント・レベルを出力した場合、パッシブ・エラー・フラグは、同一レベルを6ビット連続して検出するまで終了しません。
エラー・フラグ2	0~6	エラー・フラグ1を受信したノードが、ビット・スタッフ・エラーを検出して再度出力するエラー・フラグです。
エラー・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検出した場合、次のビットからオーバーロード・フレームを送信します。
エラー発生ビット	-	エラーが検出されたビットです。 エラー・フラグは、エラー発生ビットの次のビットから出力されます。 CRCエラーの場合は、ACKデリミッタに続いて出力されます。
インタフレーム・スペース / オーバロード・フレーム	-	インタフレーム・スペース、またはオーバーロード・フレームが続きます。

## 21.2.5 オーバロード・フレーム

オーバロード・フレームは、次の条件が発生した場合に送信されます。

- ・受信ノードが受信動作未了のとき<sup>※</sup>
- ・インタミッション中の最初の2ビットにドミナント・レベルを検出したとき
- ・エンド・オブ・フレームの最終ビット（7ビット目）、またはエラー・デリミッタ/オーバロード・デリミッタの最終ビット（8ビット目）にドミナント・レベルを検出したとき

**注** このCANコントローラでは、内部処理が十分に早いため、オーバロード・フレームを出力することなく、すべての受信フレームを取り込むことができます。

図21-16 オーバロード・フレーム

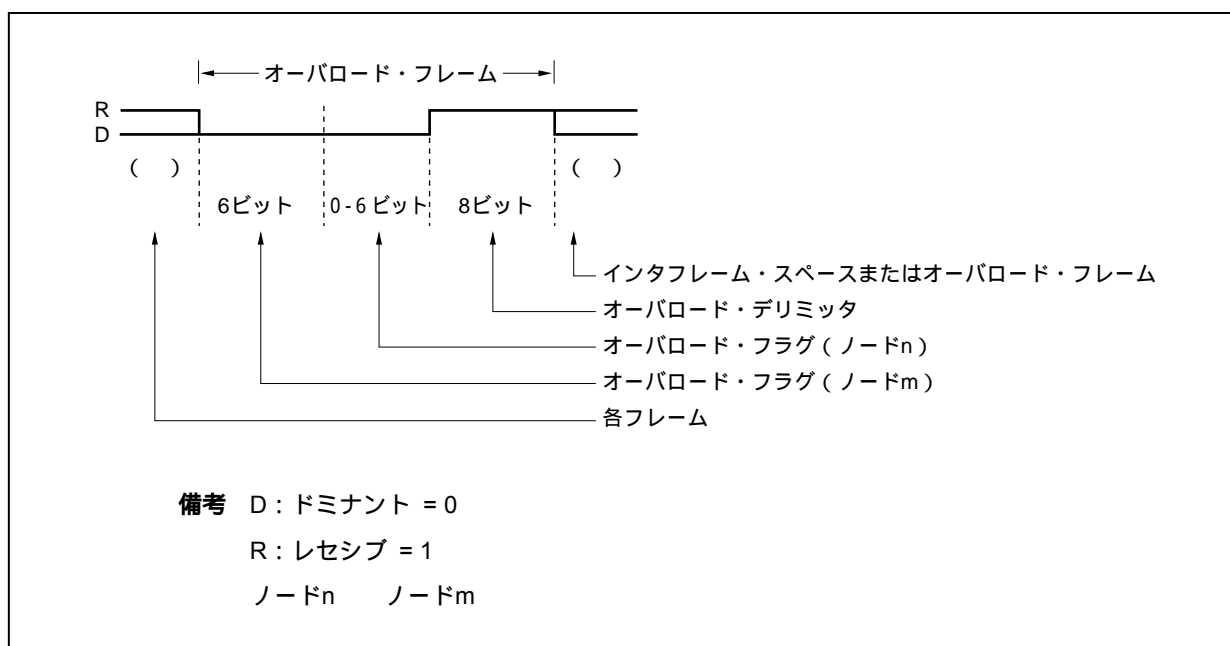


表21-8 オーバロード・フレームの各フィールドの定義

No	名称	ビット数	定義
	オーバロード・フラグ	6	6ビットのドミナント・レベルを連続出力します。
	他ノードからのオーバロード・フラグ	0~6	インタフレーム・スペース中にオーバロード・フラグを受信したノードは、オーバロード・フラグを出力します。
	オーバロード・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検索した場合、次のビットからオーバロード・フレームを送信します。
	各フレーム	-	エンド・オブ・フレーム、エラー・デリミッタ、オーバロード・デリミッタに続いて出力します。
	インタフレーム・スペース/ オーバロード・フレーム	-	インタフレーム・スペース、またはオーバロード・フレームが続きます。

## 21.3 機能

### 21.3.1 バス・プライオリティの決定

#### (1) 1個のノードが送信を開始した場合

- ・バス・アイドル中に、先にデータを出力したノードが送信をします。

#### (2) 複数のノードが送信を開始した場合

- ・アービトラション・フィールドの第1ビットから、ドミナント・レベルを最も長く連続出力したノードがバス・プライオリティを獲得します（ドミナント・レベルとレセシブ・レベルが同時に送信された場合、バスの値はドミナント・レベルになります）。
- ・送信ノードは、自分の出力したアービトラション・フィールドとバス上のデータ・レベルを比較します。

表21-9 バス・プライオリティの決定

レベルの一致	送信を継続します。
レベルの不一致	不一致を検出した次のビットからデータ出力を停止し、受信動作になります。

#### (3) データ・フレームとリモート・フレームのプライオリティ

- ・データ・フレームとリモート・フレームがバス上で競合した場合、アービトラション・フィールドの最終ビットであるRTRがドミナント・レベルであるデータ・フレームが優先されます。

**備考** 拡張フォーマット・フレームのデータ・フレームと標準フォーマット・フレームのリモート・フレームがバス上で競合した場合（双方のID28-ID18が同じ場合）、標準フォーマット・フレームのリモート・フレームが優先されます。

### 21.3.2 ビット・スタッフ

ビット・スタッフは、パースト・エラーを防ぐために、同一レベルが5ビット連続した場合、1ビットの反転データを付加して、同期をとる仕組みです。

表21-10 ビット・スタッフ

送 信	データ・フレーム、リモート・フレームを送信する際に、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次のビットの前に、前5ビットのレベルを反転した1ビットのレベル・データを挿入します。
受 信	データ・フレーム、リモート・フレームの受信時、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次の1ビットを削除して受信します。

### 21.3.3 マルチマスタ

アイデンティファイアによりバス・プライオリティ（送信権利を獲得するノード）を決定するため、どのノードでもバス・マスタになることができます。

### 21.3.4 マルチキャスト

送信ノードは1つですが、同一のアイデンティファイアを複数のノードに設定できるため、複数のノードで同時に同一データの受信ができます。

### 21.3.5 CANスリープ・モード/CANストップ・モード機能

CANスリープ・モード/CANストップ・モード機能により、CANコントローラを待機状態にすることで消費電力を低減できます。

CANスリープ・モードはバスの動作でウエイク・アップしますが、CANストップ・モードはバスの動作でウエイク・アップしません（CPUアクセスにより制御されます）。

### 21.3.6 エラー制御機能

#### (1) エラーの種類

表21 - 11 エラーの種類

エラーの種類	エラーの説明		検出する状態	
	検出方法	検出条件	送信 / 受信ノード	フィールド / フレーム
ビット・エラー	出力レベルとバス上のレベルとの比較	両レベルの不一致	送信 / 受信ノード	スタート・オブ・フレーム～エンド・オブ・フレーム, エラー・フレーム, オーバロード・フレームでバス上にデータを出力しているビット
スタッフ・エラー	スタッフ・ビットでの受信データのチェック	同一レベル・データの6ビット連続	受信ノード	スタート・オブ・フレーム～CRCシーケンス
CRCエラー	受信データから生成したCRCと受信したCRCシーケンスとの比較	CRCの不一致	受信ノード	CRCフィールド
フォーム・エラー	固定フォーマットのフィールド / フレームのチェック	固定フォーマット違反の検出	受信ノード	・CRCデリミッタ ・ACKフィールド ・エンド・オブ・フレーム ・エラー・フレーム ・オーバロード・フレーム
ACKエラー	送信ノードによるACKスロットのチェック	ACKスロットでレセシブ・レベルを検出	送信ノード	ACKスロット

#### (2) エラー・フレームの出力タイミング

表21 - 12 エラー・フレームの出力タイミング

エラーの種類	出力タイミング
ビット・エラー, スタッフ・エラー, フォーム・エラー, ACKエラー	エラーを検出した次のビット・タイミングからエラー・フレームを出力します。
CRCエラー	ACKデリミッタの次のビット・タイミングからエラー・フレームを出力します。

### (3) エラー発生時の処置

送信ノードは、エラー・フレーム後にデータ・フレーム、またはリモート・フレームの再送を行います。  
(ただし、シングル・ショット・モード時には再送は行いません)。

### (4) エラー状態

#### (a) エラー状態の種類

CANスペックで規定されているエラーの状態には次の3種類があります。

- ・エラー・アクティブ
- ・エラー・パッシブ
- ・バス・オフ

これらは、CnERC.TEC7-TEC0ビット(送信エラー・カウンタ・ビット)およびCnERC.REC6-REC0ビット(受信エラー・カウンタ・ビット)の値によって表21 - 13のように分類されます。

現在のエラー状態は、CnINFOレジスタに表示されています。

各エラー・カウンタ値がエラー・ワーニング・レベル(96)以上になると、CnINFO.TECS0ビットまたはCnINFO.RECS0ビットがセット(1)されます。この場合、バスに重度の障害があると考えられるため、バス状態をテストする必要があります。各エラー・カウンタ値が128以上になると、エラー・パッシブ状態となり、TECS1ビットまたはRECS1ビットがセット(1)されます。

- ・送信エラー・カウンタ値が256以上(実際には送信エラー・カウンタ値は256以上の値は表示しません)になると、バス・オフ状態となり、CnINFO.BOFFビットがセット(1)されます。
- ・スタート・アップ時、バス上に1個のノードしかアクティブでない場合(= 自局のみバスに接続されている場合)、データを送信してもACKが返ってこないためエラー・フレームとデータの再送を繰り返しますが、エラー・パッシブ状態に移行したあとは送信エラー・カウンタはインクリメントされず、バス・オフには移行しません。

**備考** n = 0, 1

表21 - 13 エラー状態の種類

エラー状態の種類	動作	エラー・カウンタの値	CnINFOレジスタの表示	そのエラー状態特有の動作
エラー・アクティブ	送信	0-95	TECS1, TECS0が00	・エラー検知時にアクティブ・エラー・フラグ (6ビットのドミナント・レベルの連続) を出力
	受信	0-95	RECS1, RECS0が00	
	送信	96-127	TECS1, TECS0が01	
	受信	96-127	RECS1, RECS0が01	
エラー・パッシブ	送信	128-255	TECS1, TECS0が11	・エラー検知時にパッシブ・エラー・フラグ (6ビットのレセシブ・レベルの連続) を出力 ・送信と送信の間に、インタミッションに続いて8ビットのレセシブ・レベルを送信 (サスペンド・トランスミッション)
	受信	128以上	RECS1, RECS0が11	
パス・オフ	送信	256以上 (表示はしない) <sup>注</sup>	BOFFが1, TECS1, TECS0が11	・通信できません。 ただし、フレーム受信時にメッセージは格納されませんが、次の動作が行われます。 TSOUTがトグルします。 RECが+/- します。 VALIDビットがセットされます。 ・初期化モードに遷移し、のちに初期化モード以外のいずれかの動作モードに遷移要求を行ったあと、11ビット連続でレセシブ・レベルが128回発生すると、エラー・カウンタが0にリセットされ、エラー・アクティブ状態に戻ることができます。

注 送信エラー・カウンタ (TEC) の値は、BOFFがセットされた場合には意味を持ちません。

送信エラー・カウンタが248-255の範囲の値のとき、さらに+8のインクリメントを行うようなエラーを検知した際は、カウンタ値はインクリメントされずにパス・オフ状態となります。

備考 n = 0, 1

## (b) エラー・カウンタ

エラー・カウンタは、エラーが発生した場合にカウント・アップし、送信、受信が正常に行われた場合にカウント・ダウンします。カウント・アップのタイミングは、エラーが検出された直後になります。

表21 - 14 エラー・カウンタ

状 態	送信エラー・カウンタ (TEC7-TEC0ビット)	受信エラー・カウンタ (REC6-REC0ビット)
受信ノードがエラーを検出 (アクティブ・エラー・フラグ, オーバロード・フラグ中のビット・エラーを除く)	変化なし	+1 (REPSビット = 0時)
受信ノードがエラー・フレームのエラー・フラグ出力の次にドミナント・レベルを検出	変化なし	+8 (REPSビット = 0時)
送信ノードがエラー・フラグを送信 [ 例外として, 次の場合はエラー・カウンタは変化しません ] エラー・パッシブ状態で, ACKエラーを検出しパッシブ・エラー・フラグを出力中にドミナント・レベルを未検出 アービトレーション・フィールド中にスタッフ・エラーを検出し, それがスタッフ・ビットとしてレセシブ・レベルを送信したが, ドミナント・レベルを検出	+8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの送信ノード)	+8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの受信ノード)	変化なし	+8 (REPSビット = 0時)
各ノードがアクティブ・エラー・フラグ, オーバロード・フラグの最初から14個の連続したドミナント・レベルを検出, およびそれ以降の8個連続のドミナント・レベルを検出 各ノードがパッシブ・エラー・フラグのあと, 8個連続のドミナント・レベルを検出	+8 (送信時)	+8 (受信時, REPSビット = 0時)
送信ノードがエラーなしで, 送信を完了 (エラー・カウンタ = 0の場合は±0)	-1	変化なし
受信ノードがエラーなしで, 受信を完了	変化なし	<ul style="list-style-type: none"> <li>・ -1 ( 1 REC6-REC0 127, REPSビット = 0時)</li> <li>・ ±0 ( REC6-REC0 = 0, REPSビット = 0時)</li> <li>・ 119~127のいずれかの値をセットする。 ( REPSビット = 1時)</li> </ul>

## (c) インタミッション中のビット・エラーの発生

オーバロード・フレームが発生します。

**注意** エラー発生時のエラー制御は, そのエラーが発生する前の送信エラー・カウンタと受信エラー・カウンタの内容によって行います。エラー・カウンタの値はエラー・フラグを出力したあとに加算します。

**(5) バス・オフ状態からの復帰動作**

CANモジュールが、バス・オフ状態になった場合、CANバスから切り離された送信端子 (CTXDn) は、常にレセシブ・レベルの出力となります。

バス・オフ状態からの復帰は、次に示すバス・オフ復帰 (リカバリ) シーケンスにより行います。

CAN初期化モードへの移行要求

CAN動作モードへの移行要求

(a) 通常リカバリ・シーケンスによる復帰動作

(b) リカバリ・シーケンスをスキップする強制復帰動作

**(a) 通常リカバリ・シーケンスによるバス・オフからの復帰動作**

まず、初期化モードへの移行要求を行います (図21 - 17中のタイミング 参照)。この移行要求はただちに受け付けられ、CnCTRL.OPMODE2-OPMODE0ビットは000Bとなります。アプリケーション・ソフトウェアにより、バス・オフの原因となった故障の解析、CANモジュールおよびメッセージ・バッファの再定義、あるいはCnGMCTRL.GOMビットをクリア (0) することで、CANモジュール自体の動作停止といった処置を実行できます。

次に、初期化モードから任意の動作モードへの移行要求を行います (図21 - 17中のタイミング 参照)。この任意の動作モードへの移行要求を行うことで、バス・オフからのリカバリ動作が開始されます。バス・オフからのリカバリ条件は、CANプロトコルISO11898に規定されており、11ビットの連続したレセシブ・ビットを128回以上検出することが必要です。このとき、任意の動作モードへの移行要求は、バス・オフのリカバリ条件が満足するまでは保留され、バス・オフのリカバリ条件が満足した時点 (図21 - 17中のタイミング 参照) でCANモジュールは要求された動作モードに移行します。この間、CANモジュールは初期化モードを維持し、任意の動作モードの移行の完了は、OPMODE2-OPMODE0ビットをリードすることにより確認できます。なお、任意の動作モードへの移行が完了するまでは、OPMODE2-OPMODE0ビット = 000Bがリードされます。

バス・オフ期間中およびバス・オフ・リカバリ・シーケンス中は、CnINFO.BOFFビットはセット (1) を継続します。バス・オフ・リカバリ・シーケンスは、受信エラー・カウンタ (CnERC.REC0-REC6ビット) により、バス上で検出される11ビットの連続したレセシブ・ビットの回数をカウントしていますので、REC0-REC6ビットをリードすることにより復帰状況を確認できます。

**注意1.** バス・オフ・リカバリ・シーケンス中にもう一度バス・オフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ移行要求を行った場合は、最初からバス・オフ・リカバリ・シーケンスが開始され、もう一度バス上に11ビットの連続したレセシブ・ビットを128回カウントすることになります。

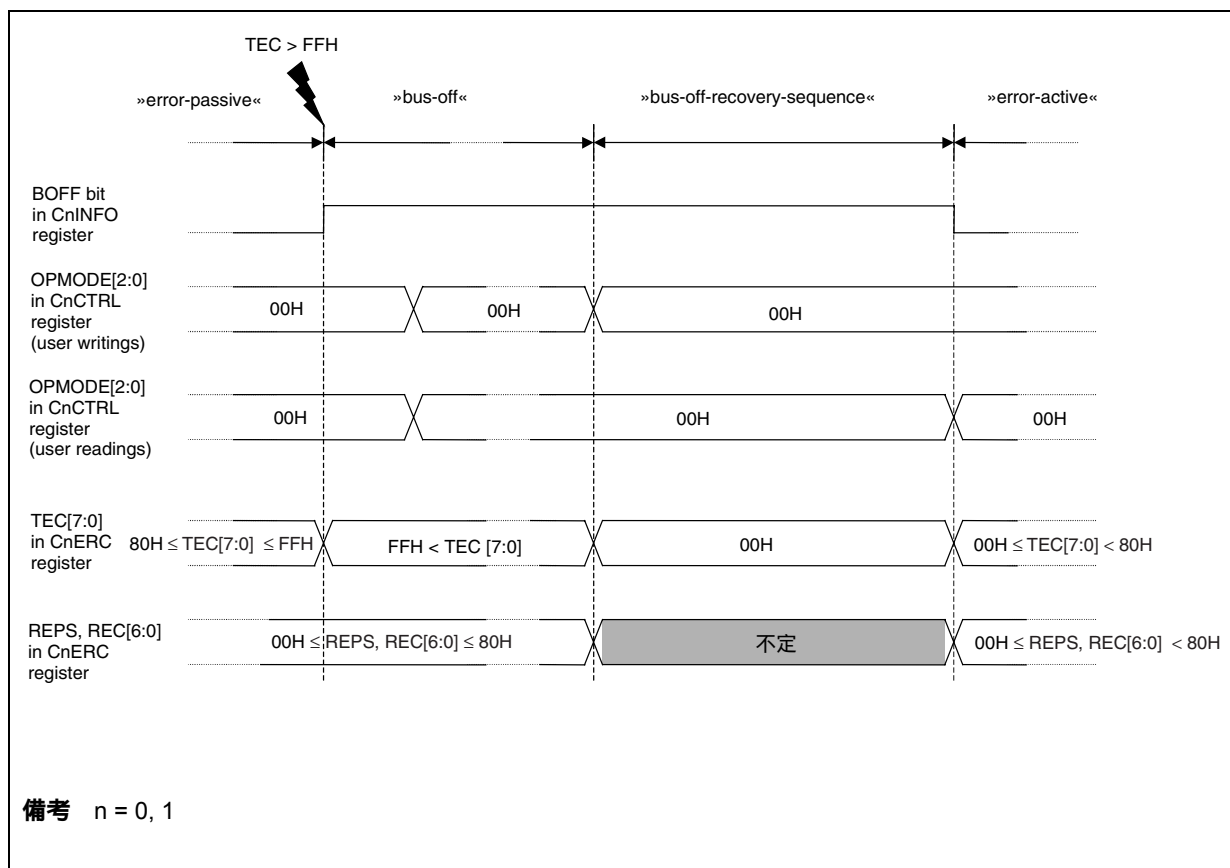
**2.** バス・オフ・リカバリ・シーケンス中は、REC0-REC6ビットは11ビットの連続したレセシブ・ビットを検出するたびにカウント・アップ (+1) します。

バス・オフ期間中でも、CANモジュールはCANスリープ・モードやCANストップ・モードに移行できます。バス・オフを解除するためには、初期化モードにいったん移行することが必要ですが、CANモジュールがCANスリープ・モードやCANストップ・モードである場合は、直接初期化モードへの移行ができません。この場合は、初期化モードに移行しなくても、CANスリープ・モードが解除されると同時にバス・オフ・リカバリ・シーケンスが開始されます。また、ソフトウェアによるCnCTRL.PSMODE1, PSMODE0ビットのクリアのほか、CANバス上のドミナント・エッジ検出によるウエイク・アップによってもバス・オフ・リカバリ・シーケンスは開始されます (CANクロックが供給されている状態では、ドミナント・エッジ検知後にソフトウェアによるCnCTRL.PSMODE0ビットのクリアが必要となります)。

備考 n = 0, 1



図21 - 17 通常リカバリ・シーケンスによるバス・オフからの復帰動作

**(b) バス・オフ・リカバリ・シーケンスをスキップする強制復帰動作**

バス・オフ・リカバリ・シーケンスをスキップすることで、バスの状態によらずCANモジュールを強制的にバス・オフから復帰させることができます。手順を次に示します。

まず、初期化モードへの移行要求を行います。このときの動作および注意事項は、21.3.6(5)(a) **通常リカバリ・シーケンスによるバス・オフからの復帰動作**を参照してください。

次に、任意の動作モードへの移行要求を行い、同時にCnCTRL.CCERCビットをセット(1)します。

これにより、CANプロトコルISO11898で規定されているバス・オフのリカバリ・シーケンスがスキップされ、ただちに動作モードへの移行が行われます。この場合、CANバスへの再接続はCANモジュールが連続した11ビットのレセシブ・ビットのモニタ後に行われます。詳細は、図21 - 54の処理を参照してください。

**注意** この機能は、CANプロトコルISO11898に規定されておりませんので、使用する際にはネットワーク・システムへの影響を十分に確認してください。

備考 n = 0, 1

#### (6) 初期化モード中のCANモジュール・エラー・カウンタ・レジスタ (CnERC) の初期化

プログラム・デバッガや評価のために、CnERC, CnINFOレジスタの初期化が必要となる場合には、初期化モード中にCnCTRL.CCERCビットをセット (1) することで、CnERC, CnINFOレジスタは初期値に初期化されます。初期化が完了すると、CCERCビットは自動的にクリア (0) されます。

- 注意**
1. この機能は、初期化モード中でのみ有効です。任意のCAN動作モード中でCCERCビットをセット (1) したとしても、CnERC, CnINFOレジスタは初期化されません。
  2. CCERCビットのセットは、任意のCAN動作モードへの移行要求と同時にすることも可能です。

**備考** n = 0, 1

### 21.3.7 ボー・レート制御機能

#### (1) プリスケーラ

CANコントローラは、CANへの供給クロック ( $f_{CAN}$ ) を分周するプリスケーラを持っています。また、プリスケーラは、CANモジュール・システム・クロック ( $f_{CANMOD}$ ) を1-256分周したCANプロトコル・レイヤ基本クロック ( $f_{rQ}$ ) を発生します (21.6 (12) CANnモジュール・ビット・レート・プリスケーラ・レジスタ (CnBRP) 参照)。

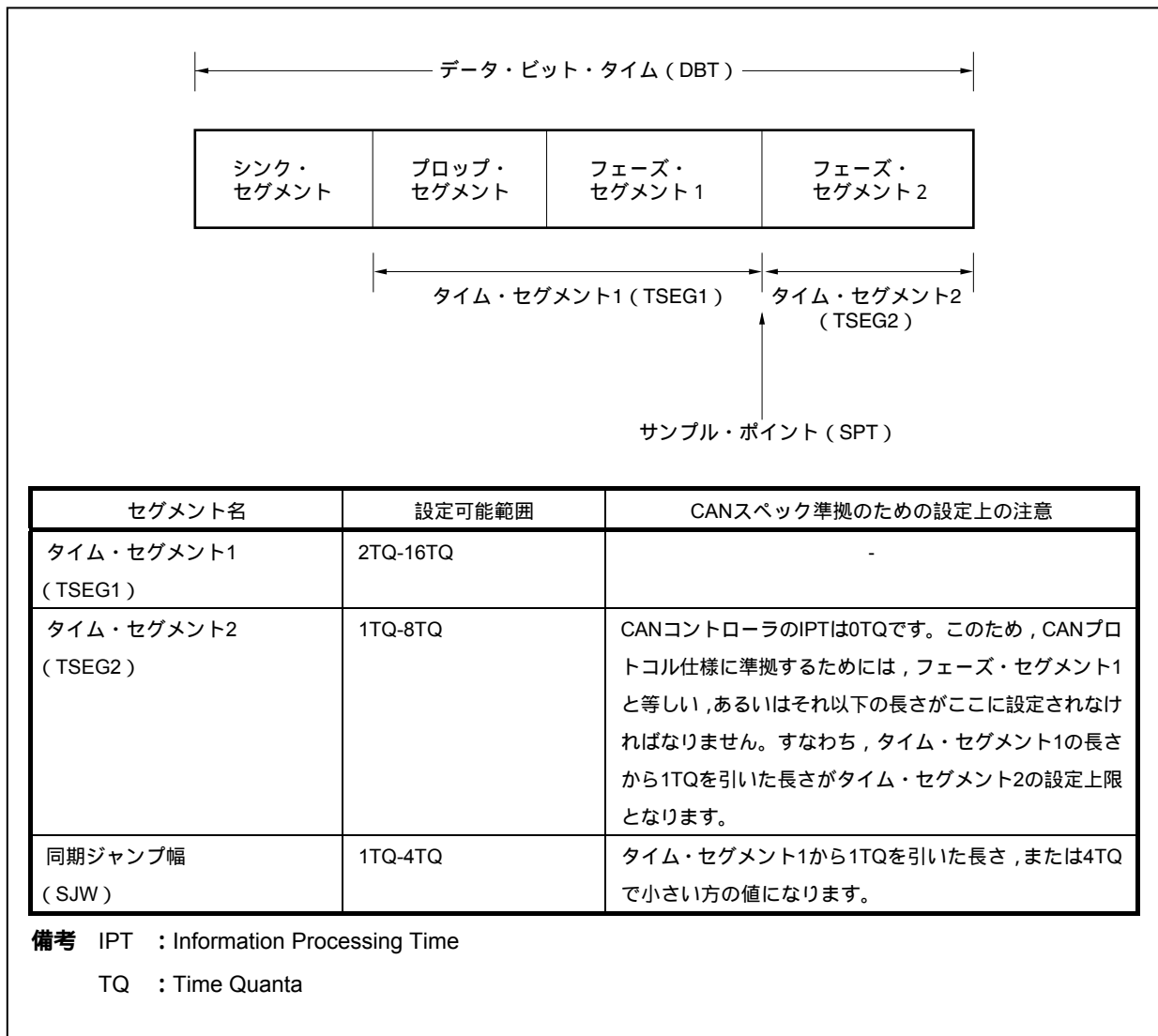
#### (2) データ・ビット・タイム (8-25 Time Quanta)

1データ・ビット・タイムは図21 - 18のように定義されています。

$$1 \text{ Time Quanta} = 1/f_{rQ}$$

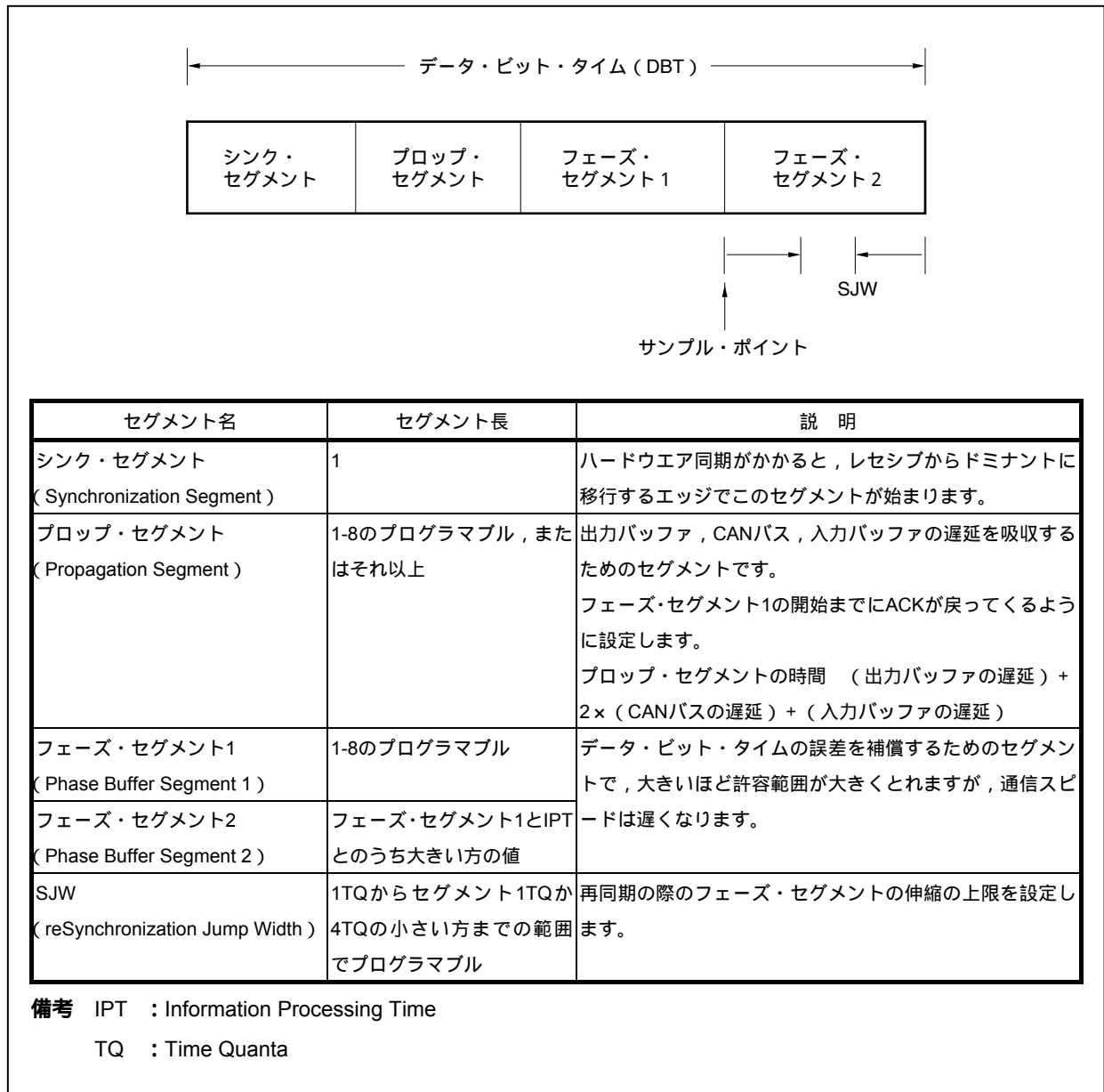
CANコントローラでは、図21 - 18で示すように、タイム・セグメント1, タイム・セグメント2, 同期ジャンプ幅 (SJW) といったビット・タイミングのパラメータに置き換えて設定します。タイム・セグメント1は、CANプロトコル仕様で規定されているプロップ・セグメントとフェーズ・セグメント1の合計に該当します。タイム・セグメント2は、フェーズ・セグメント2に該当します。

図21 - 18 セグメントの設定



**備考** CANプロトコル仕様では、データ・ビット・タイムを構成する各セグメントは、図21 - 19のように規定されています。

図21 - 19 CANスペック上でのデータ・ビット・タイムの構成



**(3) データ・ビットの同期**

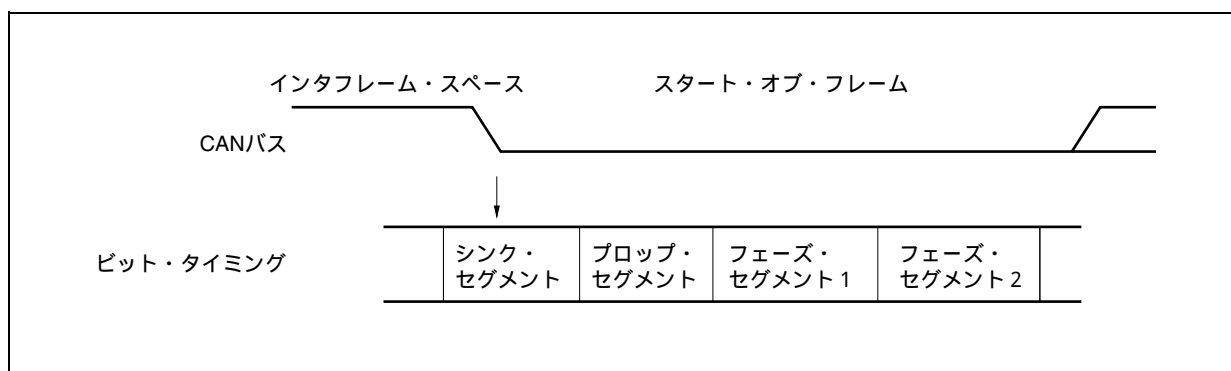
- ・受信ノードは、同期信号がないため、バス上のレベル変化で同期をとります。
- ・送信ノードは、送信ノードのビット・タイミングに同期してデータの送信を行います。

**(a) ハードウェア同期**

受信ノードが、インタフレーム・スペースでスタート・オブ・フレームを検出した場合に行うビット同期です。

- ・バス上の立ち下がりエッジを検出すると、そのTQがシンク・セグメントで、次がプロップ・セグメントとなります。この場合、SJWには無関係に同期をとります。

図21 - 20 バス・アイドル中のドミナント・レベル検出によるハードウェア同期

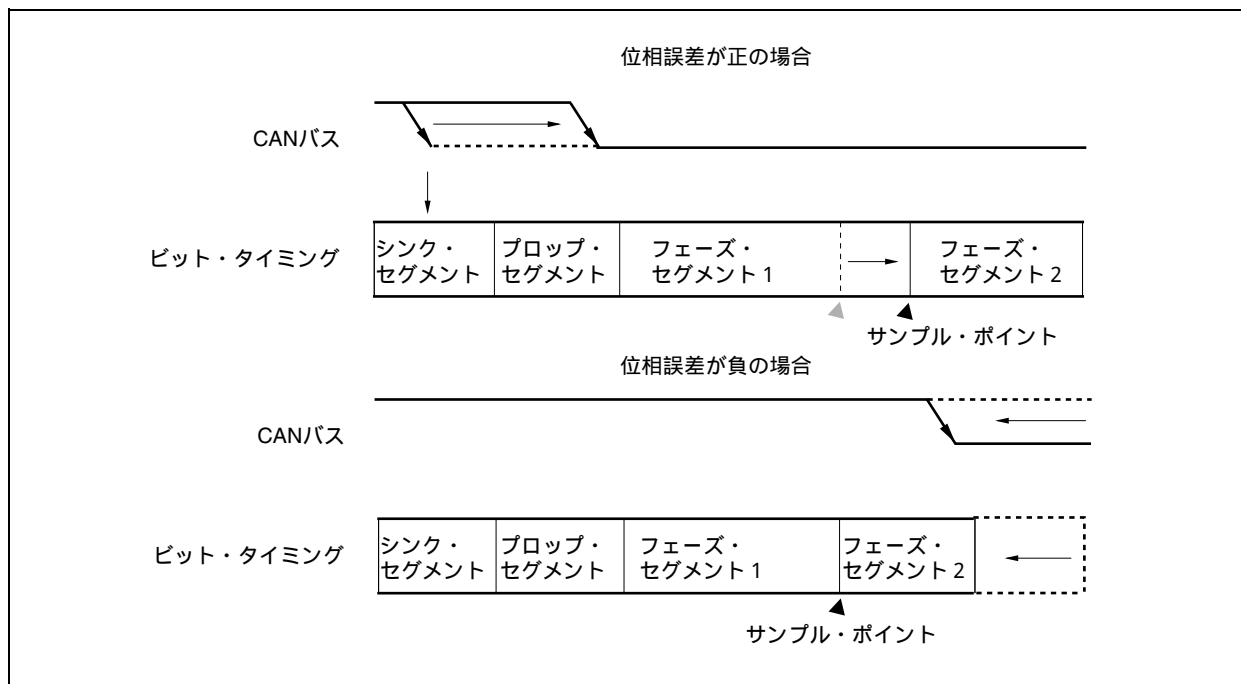


## (b) 再同期

受信中に、バス上のレベル変化を検出した場合（前回のサンプリングがレセプ・レベル時のみ）、再同期を行います。

- ・エッジの位相誤差は、検出されたエッジとシンク・セグメントの相対位置により与えられます。
  - < 位相誤差の符号 >
  - 0：エッジがシンク・セグメント内にある場合
  - 正：エッジがサンプル・ポイントより前にある場合（フェーズ・エラー）
  - 負：エッジがサンプル・ポイントより後ろにある場合（フェーズ・エラー）
  - 位相誤差が正の場合：フェーズ・セグメント1は指定したSJW分だけ長くなります。
  - 位相誤差が負の場合：フェーズ・セグメント2は指定したSJW分だけ短くなります。
- ・送信ノードと受信ノードのポー・レートの“ずれ”により、受信ノードでのデータのサンプル・ポイントが相対的に移動します。

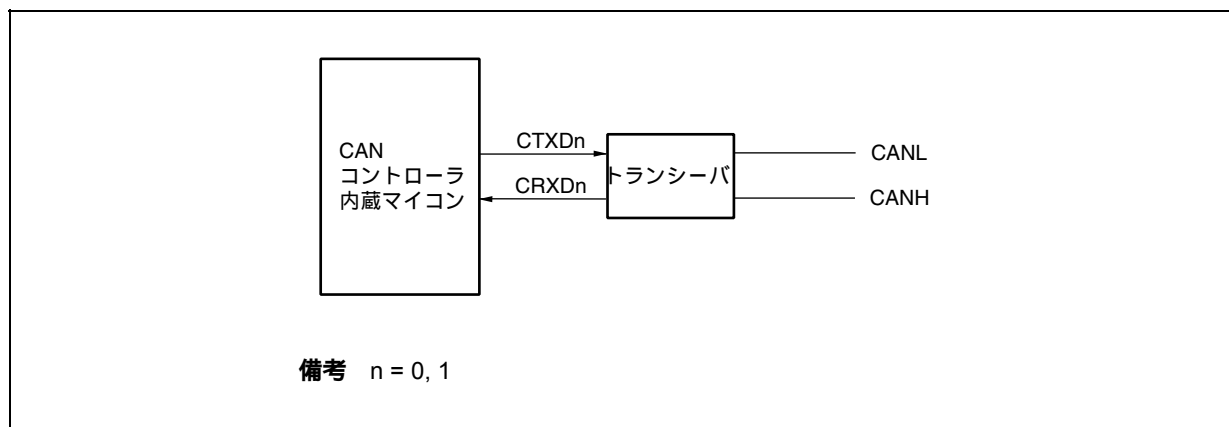
図21 - 21 再同期



## 21.4 ターゲット・システムとの接続

CANコントローラ内蔵マイコンは、外部トランシーバを使用してCANバスに接続しなければなりません。

図21 - 22 CANバスへの接続



## 21.5 CANコントローラの内部レジスタ

### 21.5.1 CANコントローラの構成

表21 - 15 CANコントローラのレジスタ一覧

項 目	レジスタ名
CANグローバル・レジスタ	CANnグローバル制御レジスタ (CnGMCTRL)
	CANnグローバル・クロック選択レジスタ (CnGMCS)
	CANnグローバル自動ブロック送信制御レジスタ (CnGMABT)
	CANnグローバル自動ブロック送信遅延設定レジスタ (CnGMABTD)
CANモジュール・レジスタ	CANnモジュール・マスク1レジスタ (CnMASK1L, CnMASK1H)
	CANnモジュール・マスク2レジスタ (CnMASK2L, CnMASK2H)
	CANnモジュール・マスク3レジスタ (CnMASK3L, CnMASK3H)
	CANnモジュール・マスク4レジスタ (CnMASK4L, CnMASK4H)
	CANnモジュール制御レジスタ (CnCTRL)
	CANnモジュール最終エラー情報レジスタ (CnLEC)
	CANnモジュール情報レジスタ (CnINFO)
	CANnモジュール・エラー・カウンタ・レジスタ (CnERC)
	CANnモジュール割り込み許可レジスタ (CnIE)
	CANnモジュール割り込みステータス・レジスタ (CnINTS)
	CANnモジュール・ビット・レート・プリスケラ・レジスタ (CnBRP)
	CANnモジュール・ビット・レート・レジスタ (CnBTR)
	CANnモジュール最終受信ポインタ・レジスタ (CnLIPT)
	CANnモジュール受信履歴・リスト・レジスタ (CnRGPT)
	CANnモジュール最終送信ポインタ・レジスタ (CnLOPT)
	CANnモジュール送信履歴・リスト・レジスタ (CnTGPT)
	CANnモジュール・タイム・スタンプ・レジスタ (CnTS)
	メッセージ・バッファ・レジスタ
CANnメッセージ・データ・バイト0レジスタm (CnMDATA0m)	
CANnメッセージ・データ・バイト1レジスタm (CnMDATA1m)	
CANnメッセージ・データ・バイト23レジスタm (CnMDATA23m)	
CANnメッセージ・データ・バイト2レジスタm (CnMDATA2m)	
CANnメッセージ・データ・バイト3レジスタm (CnMDATA3m)	
CANnメッセージ・データ・バイト45レジスタm (CnMDATA45m)	
CANnメッセージ・データ・バイト4レジスタm (CnMDATA4m)	
CANnメッセージ・データ・バイト5レジスタm (CnMDATA5m)	
CANnメッセージ・データ・バイト67レジスタm (CnMDATA67m)	
CANnメッセージ・データ・バイト6レジスタm (CnMDATA6m)	
CANnメッセージ・データ・バイト7レジスタm (CnMDATA7m)	
CANnメッセージ・データ長レジスタm (CnMDLCm)	
CANnメッセージ・コンフィギュレーション・レジスタm (CnMCONFm)	
CANnメッセージIDレジスタm (CnMIDLm, CnMIDHm)	
CANnメッセージ制御レジスタm (CnMCTRLm)	

備考1. CANグローバル・レジスタは、CnGM<レジスタ機能>によって定義されます。

CANモジュール・レジスタは、Cn<レジスタ機能>によって定義されます。

メッセージ・バッファ・レジスタは、CnM<レジスタ機能>によって定義されます。

2. n = 0, 1

m = 00-31



## 21.5.2 レジスタ・アクセス・タイプ

表21 - 16 レジスタ・アクセス・タイプ (1/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC000H	CAN0グローバル制御レジスタ	C0GMCTRL	R/W				0000H
03FEC002H	CAN0グローバル・クロック選択レジスタ	C0GMCS					0FH
03FEC006H	CAN0グローバル自動ブロック送信制御レジスタ	C0GMABT					0000H
03FEC008H	CAN0グローバル自動ブロック送信遅延設定レジスタ	C0GMABTD					00H
03FEC040H	CAN0モジュール・マスク1レジスタ	C0MASK1L					不定
03FEC042H		C0MASK1H					不定
03FEC044H	CAN0モジュール・マスク2レジスタ	C0MASK2L					不定
03FEC046H		C0MASK2H					不定
03FEC048H	CAN0モジュール・マスク3レジスタ	C0MASK3L					不定
03FEC04AH		C0MASK3H					不定
03FEC04CH	CAN0モジュール・マスク4レジスタ	C0MASK4L					不定
03FEC04EH		C0MASK4H					不定
03FEC050H	CAN0モジュール制御レジスタ	C0CTRL					0000H
03FEC052H	CAN0モジュール最終エラー情報レジスタ	C0LEC					00H
03FEC053H	CAN0モジュール情報レジスタ	C0INFO	R			00H	
03FEC054H	CAN0モジュール・エラー・カウンタ・レジスタ	C0ERC				0000H	
03FEC056H	CAN0モジュール割り込み許可レジスタ	C0IE	R/W			0000H	
03FEC058H	CAN0モジュール割り込みステータス・レジスタ	C0INTS				0000H	
03FEC05AH	CAN0モジュール・ビット・レート・プリスケラ・レジスタ	C0BRP				FFH	
03FEC05CH	CAN0モジュール・ビット・レート・レジスタ	C0BTR				370FH	
03FEC05EH	CAN0モジュール最終受信ポインタ・レジスタ	C0LIPT	R			不定	
03FEC060H	CAN0モジュール受信履歴・リスト・レジスタ	C0RGPT	R/W			xx02H	
03FEC062H	CAN0モジュール最終送信ポインタ・レジスタ	C0LOPT	R			不定	
03FEC064H	CAN0モジュール送信履歴・リスト・レジスタ	C0TGPT	R/W			xx02H	
03FEC066H	CAN0モジュール・タイム・スタンプ・レジスタ	C0TS				0000H	

表21 - 16 レジスタ・アクセス・タイプ (2/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC100H	CAN0メッセージ・データ・バイト01レジスタ00	C0MDATA0100	R/W				不定
03FEC100H	CAN0メッセージ・データ・バイト0レジスタ00	C0MDATA0000					不定
03FEC101H	CAN0メッセージ・データ・バイト1レジスタ00	C0MDATA1000					不定
03FEC102H	CAN0メッセージ・データ・バイト23レジスタ00	C0MDATA2300					不定
03FEC102H	CAN0メッセージ・データ・バイト2レジスタ00	C0MDATA2000					不定
03FEC103H	CAN0メッセージ・データ・バイト3レジスタ00	C0MDATA3000					不定
03FEC104H	CAN0メッセージ・データ・バイト45レジスタ00	C0MDATA4500					不定
03FEC104H	CAN0メッセージ・データ・バイト4レジスタ00	C0MDATA4000					不定
03FEC105H	CAN0メッセージ・データ・バイト5レジスタ00	C0MDATA5000					不定
03FEC106H	CAN0メッセージ・データ・バイト67レジスタ00	C0MDATA6700					不定
03FEC106H	CAN0メッセージ・データ・バイト6レジスタ00	C0MDATA6000					不定
03FEC107H	CAN0メッセージ・データ・バイト7レジスタ00	C0MDATA7000					不定
03FEC108H	CAN0メッセージ・データ長レジスタ00	C0MDL000					0000xxxxB
03FEC109H	CAN0メッセージ・コンフィギュレーション・レジスタ00	C0MCONF00					不定
03FEC10AH	CAN0メッセージIDレジスタ00	C0MIDL00					不定
03FEC10CH		C0MIDH00					不定
03FEC10EH	CAN0メッセージ制御レジスタ00	C0MCTRL00					00x00000 000xx000B
03FEC120H	CAN0メッセージ・データ・バイト01レジスタ01	C0MDATA0101					不定
03FEC120H	CAN0メッセージ・データ・バイト0レジスタ01	C0MDATA0001					不定
03FEC121H	CAN0メッセージ・データ・バイト1レジスタ01	C0MDATA1001					不定
03FEC122H	CAN0メッセージ・データ・バイト23レジスタ01	C0MDATA2301					不定
03FEC122H	CAN0メッセージ・データ・バイト2レジスタ01	C0MDATA2001					不定
03FEC123H	CAN0メッセージ・データ・バイト3レジスタ01	C0MDATA3001					不定
03FEC124H	CAN0メッセージ・データ・バイト45レジスタ01	C0MDATA4501					不定
03FEC124H	CAN0メッセージ・データ・バイト4レジスタ01	C0MDATA4001					不定
03FEC125H	CAN0メッセージ・データ・バイト5レジスタ01	C0MDATA5001					不定
03FEC126H	CAN0メッセージ・データ・バイト67レジスタ01	C0MDATA6701					不定
03FEC126H	CAN0メッセージ・データ・バイト6レジスタ01	C0MDATA6001					不定
03FEC127H	CAN0メッセージ・データ・バイト7レジスタ01	C0MDATA7001					不定
03FEC128H	CAN0メッセージ・データ長レジスタ01	C0MDL001					0000xxxxB
03FEC129H	CAN0メッセージ・コンフィギュレーション・レジスタ01	C0MCONF01				不定	
03FEC12AH	CAN0メッセージIDレジスタ01	C0MIDL01				不定	
03FEC12CH		C0MIDH01				不定	
03FEC12EH	CAN0メッセージ制御レジスタ01	C0MCTRL01				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (3/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC140H	CAN0メッセージ・データ・バイト01レジスタ02	C0MDATA0102	R/W				不定
03FEC140H	CAN0メッセージ・データ・バイト0レジスタ02	C0MDATA002					不定
03FEC141H	CAN0メッセージ・データ・バイト1レジスタ02	C0MDATA102					不定
03FEC142H	CAN0メッセージ・データ・バイト23レジスタ02	C0MDATA2302					不定
03FEC142H	CAN0メッセージ・データ・バイト2レジスタ02	C0MDATA202					不定
03FEC143H	CAN0メッセージ・データ・バイト3レジスタ02	C0MDATA302					不定
03FEC144H	CAN0メッセージ・データ・バイト45レジスタ02	C0MDATA4502					不定
03FEC144H	CAN0メッセージ・データ・バイト4レジスタ02	C0MDATA402					不定
03FEC145H	CAN0メッセージ・データ・バイト5レジスタ02	C0MDATA502					不定
03FEC146H	CAN0メッセージ・データ・バイト67レジスタ02	C0MDATA6702					不定
03FEC146H	CAN0メッセージ・データ・バイト6レジスタ02	C0MDATA602					不定
03FEC147H	CAN0メッセージ・データ・バイト7レジスタ02	C0MDATA702					不定
03FEC148H	CAN0メッセージ・データ長レジスタ02	C0MDLC02					0000xxxxB
03FEC149H	CAN0メッセージ・コンフィギュレーション・レジスタ02	C0MCONF02					不定
03FEC14AH	CAN0メッセージIDレジスタ02	C0MIDL02					不定
03FEC14CH		C0MIDH02					不定
03FEC14EH	CAN0メッセージ制御レジスタ02	C0MCTRL02					00x00000 000xx000B
03FEC160H	CAN0メッセージ・データ・バイト01レジスタ03	C0MDATA0103					不定
03FEC160H	CAN0メッセージ・データ・バイト0レジスタ03	C0MDATA003					不定
03FEC161H	CAN0メッセージ・データ・バイト1レジスタ03	C0MDATA103					不定
03FEC162H	CAN0メッセージ・データ・バイト23レジスタ03	C0MDATA2303					不定
03FEC162H	CAN0メッセージ・データ・バイト2レジスタ03	C0MDATA203					不定
03FEC163H	CAN0メッセージ・データ・バイト3レジスタ03	C0MDATA303					不定
03FEC164H	CAN0メッセージ・データ・バイト45レジスタ03	C0MDATA4503					不定
03FEC164H	CAN0メッセージ・データ・バイト4レジスタ03	C0MDATA403					不定
03FEC165H	CAN0メッセージ・データ・バイト5レジスタ03	C0MDATA503					不定
03FEC166H	CAN0メッセージ・データ・バイト67レジスタ03	C0MDATA6703					不定
03FEC166H	CAN0メッセージ・データ・バイト6レジスタ03	C0MDATA603					不定
03FEC167H	CAN0メッセージ・データ・バイト7レジスタ03	C0MDATA703					不定
03FEC168H	CAN0メッセージ・データ長レジスタ03	C0MDLC03					0000xxxxB
03FEC169H	CAN0メッセージ・コンフィギュレーション・レジスタ03	C0MCONF03					不定
03FEC16AH	CAN0メッセージIDレジスタ03	C0MIDL03					不定
03FEC16CH		C0MIDH03					不定
03FEC16EH	CAN0メッセージ制御レジスタ03	C0MCTRL03				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (4/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC180H	CAN0メッセージ・データ・バイト01レジスタ04	C0MDATA0104	R/W				不定
03FEC180H	CAN0メッセージ・データ・バイト0レジスタ04	C0MDATA004					不定
03FEC181H	CAN0メッセージ・データ・バイト1レジスタ04	C0MDATA104					不定
03FEC182H	CAN0メッセージ・データ・バイト23レジスタ04	C0MDATA2304					不定
03FEC182H	CAN0メッセージ・データ・バイト2レジスタ04	C0MDATA204					不定
03FEC183H	CAN0メッセージ・データ・バイト3レジスタ04	C0MDATA304					不定
03FEC184H	CAN0メッセージ・データ・バイト45レジスタ04	C0MDATA4504					不定
03FEC184H	CAN0メッセージ・データ・バイト4レジスタ04	C0MDATA404					不定
03FEC185H	CAN0メッセージ・データ・バイト5レジスタ04	C0MDATA504					不定
03FEC186H	CAN0メッセージ・データ・バイト67レジスタ04	C0MDATA6704					不定
03FEC186H	CAN0メッセージ・データ・バイト6レジスタ04	C0MDATA604					不定
03FEC187H	CAN0メッセージ・データ・バイト7レジスタ04	C0MDATA704					不定
03FEC188H	CAN0メッセージ・データ長レジスタ04	C0MDLC04					0000xxxxB
03FEC189H	CAN0メッセージ・コンフィギュレーション・レジスタ04	C0MCONF04					不定
03FEC18AH	CAN0メッセージIDレジスタ04	C0MIDL04					不定
03FEC18CH		C0MIDH04					不定
03FEC18EH	CAN0メッセージ制御レジスタ04	C0MCTRL04					00x00000 000xx000B
03FEC1A0H	CAN0メッセージ・データ・バイト01レジスタ05	C0MDATA0105					不定
03FEC1A0H	CAN0メッセージ・データ・バイト0レジスタ05	C0MDATA005					不定
03FEC1A1H	CAN0メッセージ・データ・バイト1レジスタ05	C0MDATA105					不定
03FEC1A2H	CAN0メッセージ・データ・バイト23レジスタ05	C0MDATA2305					不定
03FEC1A2H	CAN0メッセージ・データ・バイト2レジスタ05	C0MDATA205					不定
03FEC1A3H	CAN0メッセージ・データ・バイト3レジスタ05	C0MDATA305					不定
03FEC1A4H	CAN0メッセージ・データ・バイト45レジスタ05	C0MDATA4505					不定
03FEC1A4H	CAN0メッセージ・データ・バイト4レジスタ05	C0MDATA405					不定
03FEC1A5H	CAN0メッセージ・データ・バイト5レジスタ05	C0MDATA505					不定
03FEC1A6H	CAN0メッセージ・データ・バイト67レジスタ05	C0MDATA6705					不定
03FEC1A6H	CAN0メッセージ・データ・バイト6レジスタ05	C0MDATA605					不定
03FEC1A7H	CAN0メッセージ・データ・バイト7レジスタ05	C0MDATA705					不定
03FEC1A8H	CAN0メッセージ・データ長レジスタ05	C0MDLC05					0000xxxxB
03FEC1A9H	CAN0メッセージ・コンフィギュレーション・レジスタ05	C0MCONF05					不定
03FEC1AAH	CAN0メッセージIDレジスタ05	C0MIDL05					不定
03FEC1ACH		C0MIDH05					不定
03FEC1AEH	CAN0メッセージ制御レジスタ05	C0MCTRL05				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (5/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC1C0H	CAN0メッセージ・データ・バイト01レジスタ06	C0MDATA0106	R/W				不定
03FEC1C0H	CAN0メッセージ・データ・バイト0レジスタ06	C0MDATA006					不定
03FEC1C1H	CAN0メッセージ・データ・バイト1レジスタ06	C0MDATA106					不定
03FEC1C2H	CAN0メッセージ・データ・バイト23レジスタ06	C0MDATA2306					不定
03FEC1C2H	CAN0メッセージ・データ・バイト2レジスタ06	C0MDATA206					不定
03FEC1C3H	CAN0メッセージ・データ・バイト3レジスタ06	C0MDATA306					不定
03FEC1C4H	CAN0メッセージ・データ・バイト45レジスタ06	C0MDATA4506					不定
03FEC1C4H	CAN0メッセージ・データ・バイト4レジスタ06	C0MDATA406					不定
03FEC1C5H	CAN0メッセージ・データ・バイト5レジスタ06	C0MDATA506					不定
03FEC1C6H	CAN0メッセージ・データ・バイト67レジスタ06	C0MDATA6706					不定
03FEC1C6H	CAN0メッセージ・データ・バイト6レジスタ06	C0MDATA606					不定
03FEC1C7H	CAN0メッセージ・データ・バイト7レジスタ06	C0MDATA706					不定
03FEC1C8H	CAN0メッセージ・データ長レジスタ06	C0MDL06					0000xxxxB
03FEC1C9H	CAN0メッセージ・コンフィギュレーション・レジスタ06	C0MCONF06					不定
03FEC1CAH	CAN0メッセージIDレジスタ06	C0MIDL06					不定
03FEC1CCH		C0MIDH06					不定
03FEC1CEH	CAN0メッセージ制御レジスタ06	C0MCTRL06					00x00000 000xx000B
03FEC1E0H	CAN0メッセージ・データ・バイト01レジスタ07	C0MDATA0107					不定
03FEC1E0H	CAN0メッセージ・データ・バイト0レジスタ07	C0MDATA007					不定
03FEC1E1H	CAN0メッセージ・データ・バイト1レジスタ07	C0MDATA107					不定
03FEC1E2H	CAN0メッセージ・データ・バイト23レジスタ07	C0MDATA2307					不定
03FEC1E2H	CAN0メッセージ・データ・バイト2レジスタ07	C0MDATA207					不定
03FEC1E3H	CAN0メッセージ・データ・バイト3レジスタ07	C0MDATA307					不定
03FEC1E4H	CAN0メッセージ・データ・バイト45レジスタ07	C0MDATA4507					不定
03FEC1E4H	CAN0メッセージ・データ・バイト4レジスタ07	C0MDATA407					不定
03FEC1E5H	CAN0メッセージ・データ・バイト5レジスタ07	C0MDATA507					不定
03FEC1E6H	CAN0メッセージ・データ・バイト67レジスタ07	C0MDATA6707					不定
03FEC1E6H	CAN0メッセージ・データ・バイト6レジスタ07	C0MDATA607				不定	
03FEC1E7H	CAN0メッセージ・データ・バイト7レジスタ07	C0MDATA707				不定	
03FEC1E8H	CAN0メッセージ・データ長レジスタ07	C0MDL07				0000xxxxB	
03FEC1E9H	CAN0メッセージ・コンフィギュレーション・レジスタ07	C0MCONF07				不定	
03FEC1EAH	CAN0メッセージIDレジスタ07	C0MIDL07				不定	
03FEC1ECH		C0MIDH07				不定	
03FEC1EEH	CAN0メッセージ制御レジスタ07	C0MCTRL07				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (6/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC200H	CAN0メッセージ・データ・バイト01レジスタ08	C0MDATA0108	R/W				不定
03FEC200H	CAN0メッセージ・データ・バイト0レジスタ08	C0MDATA008					不定
03FEC201H	CAN0メッセージ・データ・バイト1レジスタ08	C0MDATA108					不定
03FEC202H	CAN0メッセージ・データ・バイト23レジスタ08	C0MDATA2308					不定
03FEC202H	CAN0メッセージ・データ・バイト2レジスタ08	C0MDATA208					不定
03FEC203H	CAN0メッセージ・データ・バイト3レジスタ08	C0MDATA308					不定
03FEC204H	CAN0メッセージ・データ・バイト45レジスタ08	C0MDATA4508					不定
03FEC204H	CAN0メッセージ・データ・バイト4レジスタ08	C0MDATA408					不定
03FEC205H	CAN0メッセージ・データ・バイト5レジスタ08	C0MDATA508					不定
03FEC206H	CAN0メッセージ・データ・バイト67レジスタ08	C0MDATA6708					不定
03FEC206H	CAN0メッセージ・データ・バイト6レジスタ08	C0MDATA608					不定
03FEC207H	CAN0メッセージ・データ・バイト7レジスタ08	C0MDATA708					不定
03FEC208H	CAN0メッセージ・データ長レジスタ08	C0MDLC08					0000xxxxB
03FEC209H	CAN0メッセージ・コンフィギュレーション・レジスタ08	C0MCONF08					不定
03FEC20AH	CAN0メッセージIDレジスタ08	C0MIDL08					不定
03FEC20CH		C0MIDH08					不定
03FEC20EH	CAN0メッセージ制御レジスタ08	C0MCTRL08					00x00000 000xx000B
03FEC220H	CAN0メッセージ・データ・バイト01レジスタ09	C0MDATA0109					不定
03FEC220H	CAN0メッセージ・データ・バイト0レジスタ09	C0MDATA009					不定
03FEC221H	CAN0メッセージ・データ・バイト1レジスタ09	C0MDATA109					不定
03FEC222H	CAN0メッセージ・データ・バイト23レジスタ09	C0MDATA2309					不定
03FEC222H	CAN0メッセージ・データ・バイト2レジスタ09	C0MDATA209					不定
03FEC223H	CAN0メッセージ・データ・バイト3レジスタ09	C0MDATA309					不定
03FEC224H	CAN0メッセージ・データ・バイト45レジスタ09	C0MDATA4509					不定
03FEC224H	CAN0メッセージ・データ・バイト4レジスタ09	C0MDATA409					不定
03FEC225H	CAN0メッセージ・データ・バイト5レジスタ09	C0MDATA509					不定
03FEC226H	CAN0メッセージ・データ・バイト67レジスタ09	C0MDATA6709					不定
03FEC226H	CAN0メッセージ・データ・バイト6レジスタ09	C0MDATA609					不定
03FEC227H	CAN0メッセージ・データ・バイト7レジスタ09	C0MDATA709				不定	
03FEC228H	CAN0メッセージ・データ長レジスタ09	C0MDLC09				0000xxxxB	
03FEC229H	CAN0メッセージ・コンフィギュレーション・レジスタ09	C0MCONF09				不定	
03FEC22AH	CAN0メッセージIDレジスタ09	C0MIDL09				不定	
03FEC22CH		C0MIDH09				不定	
03FEC22EH	CAN0メッセージ制御レジスタ09	C0MCTRL09				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (7/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC240H	CAN0メッセージ・データ・バイト01レジスタ10	C0MDATA0110	R/W				不定
03FEC240H	CAN0メッセージ・データ・バイト0レジスタ10	C0MDATA010					不定
03FEC241H	CAN0メッセージ・データ・バイト1レジスタ10	C0MDATA110					不定
03FEC242H	CAN0メッセージ・データ・バイト23レジスタ10	C0MDATA2310					不定
03FEC242H	CAN0メッセージ・データ・バイト2レジスタ10	C0MDATA210					不定
03FEC243H	CAN0メッセージ・データ・バイト3レジスタ10	C0MDATA310					不定
03FEC244H	CAN0メッセージ・データ・バイト45レジスタ10	C0MDATA4510					不定
03FEC244H	CAN0メッセージ・データ・バイト4レジスタ10	C0MDATA410					不定
03FEC245H	CAN0メッセージ・データ・バイト5レジスタ10	C0MDATA510					不定
03FEC246H	CAN0メッセージ・データ・バイト67レジスタ10	C0MDATA6710					不定
03FEC246H	CAN0メッセージ・データ・バイト6レジスタ10	C0MDATA610					不定
03FEC247H	CAN0メッセージ・データ・バイト7レジスタ10	C0MDATA710					不定
03FEC248H	CAN0メッセージ・データ長レジスタ10	C0MDLC10					0000xxxxB
03FEC249H	CAN0メッセージ・コンフィギュレーション・レジスタ10	C0MCONF10					不定
03FEC24AH	CAN0メッセージIDレジスタ10	C0MIDL10					不定
03FEC24CH		C0MIDH10					不定
03FEC24EH	CAN0メッセージ制御レジスタ10	C0MCTRL10					00x00000 000xx000B
03FEC260H	CAN0メッセージ・データ・バイト01レジスタ11	C0MDATA0111					不定
03FEC260H	CAN0メッセージ・データ・バイト0レジスタ11	C0MDATA011					不定
03FEC261H	CAN0メッセージ・データ・バイト1レジスタ11	C0MDATA111					不定
03FEC262H	CAN0メッセージ・データ・バイト23レジスタ11	C0MDATA2311					不定
03FEC262H	CAN0メッセージ・データ・バイト2レジスタ11	C0MDATA211					不定
03FEC263H	CAN0メッセージ・データ・バイト3レジスタ11	C0MDATA311					不定
03FEC264H	CAN0メッセージ・データ・バイト45レジスタ11	C0MDATA4511					不定
03FEC264H	CAN0メッセージ・データ・バイト4レジスタ11	C0MDATA411					不定
03FEC265H	CAN0メッセージ・データ・バイト5レジスタ11	C0MDATA511					不定
03FEC266H	CAN0メッセージ・データ・バイト67レジスタ11	C0MDATA6711					不定
03FEC266H	CAN0メッセージ・データ・バイト6レジスタ11	C0MDATA611					不定
03FEC267H	CAN0メッセージ・データ・バイト7レジスタ11	C0MDATA711				不定	
03FEC268H	CAN0メッセージ・データ長レジスタ11	C0MDLC11				0000xxxxB	
03FEC269H	CAN0メッセージ・コンフィギュレーション・レジスタ11	C0MCONF11				不定	
03FEC26AH	CAN0メッセージIDレジスタ11	C0MIDL11				不定	
03FEC26CH		C0MIDH11				不定	
03FEC26EH	CAN0メッセージ制御レジスタ11	C0MCTRL11				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (8/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC280H	CAN0メッセージ・データ・バイト01レジスタ12	C0MDATA0112	R/W				不定
03FEC280H	CAN0メッセージ・データ・バイト0レジスタ12	C0MDATA012					不定
03FEC281H	CAN0メッセージ・データ・バイト1レジスタ12	C0MDATA112					不定
03FEC282H	CAN0メッセージ・データ・バイト23レジスタ12	C0MDATA2312					不定
03FEC282H	CAN0メッセージ・データ・バイト2レジスタ12	C0MDATA212					不定
03FEC283H	CAN0メッセージ・データ・バイト3レジスタ12	C0MDATA312					不定
03FEC284H	CAN0メッセージ・データ・バイト45レジスタ12	C0MDATA4512					不定
03FEC284H	CAN0メッセージ・データ・バイト4レジスタ12	C0MDATA412					不定
03FEC285H	CAN0メッセージ・データ・バイト5レジスタ12	C0MDATA512					不定
03FEC286H	CAN0メッセージ・データ・バイト67レジスタ12	C0MDATA6712					不定
03FEC286H	CAN0メッセージ・データ・バイト6レジスタ12	C0MDATA612					不定
03FEC287H	CAN0メッセージ・データ・バイト7レジスタ12	C0MDATA712					不定
03FEC288H	CAN0メッセージ・データ長レジスタ12	C0MDLC12					0000xxxxB
03FEC289H	CAN0メッセージ・コンフィギュレーション・レジスタ12	C0MCONF12					不定
03FEC28AH	CAN0メッセージIDレジスタ12	C0MIDL12					不定
03FEC28CH		C0MIDH12					不定
03FEC28EH	CAN0メッセージ制御レジスタ12	C0MCTRL12					00x00000 000xx000B
03FEC2A0H	CAN0メッセージ・データ・バイト01レジスタ13	C0MDATA0113					不定
03FEC2A0H	CAN0メッセージ・データ・バイト0レジスタ13	C0MDATA013					不定
03FEC2A1H	CAN0メッセージ・データ・バイト1レジスタ13	C0MDATA113					不定
03FEC2A2H	CAN0メッセージ・データ・バイト23レジスタ13	C0MDATA2313					不定
03FEC2A2H	CAN0メッセージ・データ・バイト2レジスタ13	C0MDATA213					不定
03FEC2A3H	CAN0メッセージ・データ・バイト3レジスタ13	C0MDATA313					不定
03FEC2A4H	CAN0メッセージ・データ・バイト45レジスタ13	C0MDATA4513					不定
03FEC2A4H	CAN0メッセージ・データ・バイト4レジスタ13	C0MDATA413					不定
03FEC2A5H	CAN0メッセージ・データ・バイト5レジスタ13	C0MDATA513					不定
03FEC2A6H	CAN0メッセージ・データ・バイト67レジスタ13	C0MDATA6713					不定
03FEC2A6H	CAN0メッセージ・データ・バイト6レジスタ13	C0MDATA613					不定
03FEC2A7H	CAN0メッセージ・データ・バイト7レジスタ13	C0MDATA713					不定
03FEC2A8H	CAN0メッセージ・データ長レジスタ13	C0MDLC13					0000xxxxB
03FEC2A9H	CAN0メッセージ・コンフィギュレーション・レジスタ13	C0MCONF13					不定
03FEC2AAH	CAN0メッセージIDレジスタ13	C0MIDL13					不定
03FEC2ACH		C0MIDH13					不定
03FEC2AEH	CAN0メッセージ制御レジスタ13	C0MCTRL13				00x00000 000xx000B	



表21 - 16 レジスタ・アクセス・タイプ (9/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC2C0H	CAN0メッセージ・データ・バイト01レジスタ14	C0MDATA0114	R/W				不定
03FEC2C0H	CAN0メッセージ・データ・バイト0レジスタ14	C0MDATA014					不定
03FEC2C1H	CAN0メッセージ・データ・バイト1レジスタ14	C0MDATA114					不定
03FEC2C2H	CAN0メッセージ・データ・バイト23レジスタ14	C0MDATA2314					不定
03FEC2C2H	CAN0メッセージ・データ・バイト2レジスタ14	C0MDATA214					不定
03FEC2C3H	CAN0メッセージ・データ・バイト3レジスタ14	C0MDATA314					不定
03FEC2C4H	CAN0メッセージ・データ・バイト45レジスタ14	C0MDATA4514					不定
03FEC2C4H	CAN0メッセージ・データ・バイト4レジスタ14	C0MDATA414					不定
03FEC2C5H	CAN0メッセージ・データ・バイト5レジスタ14	C0MDATA514					不定
03FEC2C6H	CAN0メッセージ・データ・バイト67レジスタ14	C0MDATA6714					不定
03FEC2C6H	CAN0メッセージ・データ・バイト6レジスタ14	C0MDATA614					不定
03FEC2C7H	CAN0メッセージ・データ・バイト7レジスタ14	C0MDATA714					不定
03FEC2C8H	CAN0メッセージ・データ長レジスタ14	C0MDLC14					0000xxxxB
03FEC2C9H	CAN0メッセージ・コンフィギュレーション・レジスタ14	C0MCONF14					不定
03FEC2CAH	CAN0メッセージIDレジスタ14	C0MIDL14					不定
03FEC2CCH		C0MIDH14					不定
03FEC2CEH	CAN0メッセージ制御レジスタ14	C0MCTRL14					00x00000 000xx000B
03FEC2E0H	CAN0メッセージ・データ・バイト01レジスタ15	C0MDATA0115					不定
03FEC2E0H	CAN0メッセージ・データ・バイト0レジスタ15	C0MDATA015					不定
03FEC2E1H	CAN0メッセージ・データ・バイト1レジスタ15	C0MDATA115					不定
03FEC2E2H	CAN0メッセージ・データ・バイト23レジスタ15	C0MDATA2315					不定
03FEC2E2H	CAN0メッセージ・データ・バイト2レジスタ15	C0MDATA215					不定
03FEC2E3H	CAN0メッセージ・データ・バイト3レジスタ15	C0MDATA315					不定
03FEC2E4H	CAN0メッセージ・データ・バイト45レジスタ15	C0MDATA4515					不定
03FEC2E4H	CAN0メッセージ・データ・バイト4レジスタ15	C0MDATA415					不定
03FEC2E5H	CAN0メッセージ・データ・バイト5レジスタ15	C0MDATA515					不定
03FEC2E6H	CAN0メッセージ・データ・バイト67レジスタ15	C0MDATA6715					不定
03FEC2E6H	CAN0メッセージ・データ・バイト6レジスタ15	C0MDATA615					不定
03FEC2E7H	CAN0メッセージ・データ・バイト7レジスタ15	C0MDATA715					不定
03FEC2E8H	CAN0メッセージ・データ長レジスタ15	C0MDLC15					0000xxxxB
03FEC2E9H	CAN0メッセージ・コンフィギュレーション・レジスタ15	C0MCONF15				不定	
03FEC2EAH	CAN0メッセージIDレジスタ15	C0MIDL15				不定	
03FEC2ECH		C0MIDH15				不定	
03FEC2EEH	CAN0メッセージ制御レジスタ15	C0MCTRL15				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (10/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC300H	CAN0メッセージ・データ・バイト01レジスタ16	C0MDATA0116	R/W				不定
03FEC300H	CAN0メッセージ・データ・バイト0レジスタ16	C0MDATA016					不定
03FEC301H	CAN0メッセージ・データ・バイト1レジスタ16	C0MDATA116					不定
03FEC302H	CAN0メッセージ・データ・バイト23レジスタ16	C0MDATA2316					不定
03FEC302H	CAN0メッセージ・データ・バイト2レジスタ16	C0MDATA216					不定
03FEC303H	CAN0メッセージ・データ・バイト3レジスタ16	C0MDATA316					不定
03FEC304H	CAN0メッセージ・データ・バイト45レジスタ16	C0MDATA4516					不定
03FEC304H	CAN0メッセージ・データ・バイト4レジスタ16	C0MDATA416					不定
03FEC305H	CAN0メッセージ・データ・バイト5レジスタ16	C0MDATA516					不定
03FEC306H	CAN0メッセージ・データ・バイト67レジスタ16	C0MDATA6716					不定
03FEC306H	CAN0メッセージ・データ・バイト6レジスタ16	C0MDATA616					不定
03FEC307H	CAN0メッセージ・データ・バイト7レジスタ16	C0MDATA716					不定
03FEC308H	CAN0メッセージ・データ長レジスタ16	C0MDLC16					0000xxxxB
03FEC309H	CAN0メッセージ・コンフィギュレーション・レジスタ16	C0MCONF16					不定
03FEC30AH	CAN0メッセージIDレジスタ16	C0MIDL16					不定
03FEC30CH		C0MIDH16					不定
03FEC30EH	CAN0メッセージ制御レジスタ16	C0MCTRL16					00x00000 000xx000B
03FEC320H	CAN0メッセージ・データ・バイト01レジスタ17	C0MDATA0117					不定
03FEC320H	CAN0メッセージ・データ・バイト0レジスタ17	C0MDATA017					不定
03FEC321H	CAN0メッセージ・データ・バイト1レジスタ17	C0MDATA117					不定
03FEC322H	CAN0メッセージ・データ・バイト23レジスタ17	C0MDATA2317					不定
03FEC322H	CAN0メッセージ・データ・バイト2レジスタ17	C0MDATA217					不定
03FEC323H	CAN0メッセージ・データ・バイト3レジスタ17	C0MDATA317					不定
03FEC324H	CAN0メッセージ・データ・バイト45レジスタ17	C0MDATA4517					不定
03FEC324H	CAN0メッセージ・データ・バイト4レジスタ17	C0MDATA417					不定
03FEC325H	CAN0メッセージ・データ・バイト5レジスタ17	C0MDATA517					不定
03FEC326H	CAN0メッセージ・データ・バイト67レジスタ17	C0MDATA6717					不定
03FEC326H	CAN0メッセージ・データ・バイト6レジスタ17	C0MDATA617					不定
03FEC327H	CAN0メッセージ・データ・バイト7レジスタ17	C0MDATA717					不定
03FEC328H	CAN0メッセージ・データ長レジスタ17	C0MDLC17					0000xxxxB
03FEC329H	CAN0メッセージ・コンフィギュレーション・レジスタ17	C0MCONF17					不定
03FEC32AH	CAN0メッセージIDレジスタ17	C0MIDL17					不定
03FEC32CH		C0MIDH17					不定
03FEC32EH	CAN0メッセージ制御レジスタ17	C0MCTRL17				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (11/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC340H	CAN0メッセージ・データ・バイト01レジスタ18	C0MDATA0118	R/W				不定
03FEC340H	CAN0メッセージ・データ・バイト0レジスタ18	C0MDATA0018					不定
03FEC341H	CAN0メッセージ・データ・バイト1レジスタ18	C0MDATA0118					不定
03FEC342H	CAN0メッセージ・データ・バイト23レジスタ18	C0MDATA2318					不定
03FEC342H	CAN0メッセージ・データ・バイト2レジスタ18	C0MDATA0218					不定
03FEC343H	CAN0メッセージ・データ・バイト3レジスタ18	C0MDATA0318					不定
03FEC344H	CAN0メッセージ・データ・バイト45レジスタ18	C0MDATA4518					不定
03FEC344H	CAN0メッセージ・データ・バイト4レジスタ18	C0MDATA0418					不定
03FEC345H	CAN0メッセージ・データ・バイト5レジスタ18	C0MDATA0518					不定
03FEC346H	CAN0メッセージ・データ・バイト67レジスタ18	C0MDATA6718					不定
03FEC346H	CAN0メッセージ・データ・バイト6レジスタ18	C0MDATA0618					不定
03FEC347H	CAN0メッセージ・データ・バイト7レジスタ18	C0MDATA0718					不定
03FEC348H	CAN0メッセージ・データ長レジスタ18	C0MDLCL18					0000xxxxB
03FEC349H	CAN0メッセージ・コンフィギュレーション・レジスタ18	C0MCONF18					不定
03FEC34AH	CAN0メッセージIDレジスタ18	C0MIDL18					不定
03FEC34CH		C0MIDH18					不定
03FEC34EH	CAN0メッセージ制御レジスタ18	C0MCTRL18					00x00000 000xx000B
03FEC360H	CAN0メッセージ・データ・バイト01レジスタ19	C0MDATA0119					不定
03FEC360H	CAN0メッセージ・データ・バイト0レジスタ19	C0MDATA0019					不定
03FEC361H	CAN0メッセージ・データ・バイト1レジスタ19	C0MDATA0119					不定
03FEC362H	CAN0メッセージ・データ・バイト23レジスタ19	C0MDATA2319					不定
03FEC362H	CAN0メッセージ・データ・バイト2レジスタ19	C0MDATA0219					不定
03FEC363H	CAN0メッセージ・データ・バイト3レジスタ19	C0MDATA0319					不定
03FEC364H	CAN0メッセージ・データ・バイト45レジスタ19	C0MDATA4519					不定
03FEC364H	CAN0メッセージ・データ・バイト4レジスタ19	C0MDATA0419					不定
03FEC365H	CAN0メッセージ・データ・バイト5レジスタ19	C0MDATA0519					不定
03FEC366H	CAN0メッセージ・データ・バイト67レジスタ19	C0MDATA6719					不定
03FEC366H	CAN0メッセージ・データ・バイト6レジスタ19	C0MDATA0619				不定	
03FEC367H	CAN0メッセージ・データ・バイト7レジスタ19	C0MDATA0719				不定	
03FEC368H	CAN0メッセージ・データ長レジスタ19	C0MDLCL19				0000xxxxB	
03FEC369H	CAN0メッセージ・コンフィギュレーション・レジスタ19	C0MCONF19				不定	
03FEC36AH	CAN0メッセージIDレジスタ19	C0MIDL19				不定	
03FEC36CH		C0MIDH19				不定	
03FEC36EH	CAN0メッセージ制御レジスタ19	C0MCTRL19				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (12/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC380H	CAN0メッセージ・データ・バイト01レジスタ20	C0MDATA0120	R/W				不定
03FEC380H	CAN0メッセージ・データ・バイト0レジスタ20	C0MDATA020					不定
03FEC381H	CAN0メッセージ・データ・バイト1レジスタ20	C0MDATA120					不定
03FEC382H	CAN0メッセージ・データ・バイト23レジスタ20	C0MDATA2320					不定
03FEC382H	CAN0メッセージ・データ・バイト2レジスタ20	C0MDATA220					不定
03FEC383H	CAN0メッセージ・データ・バイト3レジスタ20	C0MDATA320					不定
03FEC384H	CAN0メッセージ・データ・バイト45レジスタ20	C0MDATA4520					不定
03FEC384H	CAN0メッセージ・データ・バイト4レジスタ20	C0MDATA420					不定
03FEC385H	CAN0メッセージ・データ・バイト5レジスタ20	C0MDATA520					不定
03FEC386H	CAN0メッセージ・データ・バイト67レジスタ20	C0MDATA6720					不定
03FEC386H	CAN0メッセージ・データ・バイト6レジスタ20	C0MDATA620					不定
03FEC387H	CAN0メッセージ・データ・バイト7レジスタ20	C0MDATA720					不定
03FEC388H	CAN0メッセージ・データ長レジスタ20	C0MDLC20					0000xxxxB
03FEC389H	CAN0メッセージ・コンフィギュレーション・レジスタ20	C0MCONF20					不定
03FEC38AH	CAN0メッセージIDレジスタ20	C0MIDL20					不定
03FEC38CH		C0MIDH20					不定
03FEC38EH	CAN0メッセージ制御レジスタ20	C0MCTRL20					00x00000 000xx000B
03FEC3A0H	CAN0メッセージ・データ・バイト01レジスタ21	C0MDATA0121					不定
03FEC3A0H	CAN0メッセージ・データ・バイト0レジスタ21	C0MDATA021					不定
03FEC3A1H	CAN0メッセージ・データ・バイト1レジスタ21	C0MDATA121					不定
03FEC3A2H	CAN0メッセージ・データ・バイト23レジスタ21	C0MDATA2321					不定
03FEC3A2H	CAN0メッセージ・データ・バイト2レジスタ21	C0MDATA221					不定
03FEC3A3H	CAN0メッセージ・データ・バイト3レジスタ21	C0MDATA321					不定
03FEC3A4H	CAN0メッセージ・データ・バイト45レジスタ21	C0MDATA4521					不定
03FEC3A4H	CAN0メッセージ・データ・バイト4レジスタ21	C0MDATA421					不定
03FEC3A5H	CAN0メッセージ・データ・バイト5レジスタ21	C0MDATA521					不定
03FEC3A6H	CAN0メッセージ・データ・バイト67レジスタ21	C0MDATA6721					不定
03FEC3A6H	CAN0メッセージ・データ・バイト6レジスタ21	C0MDATA621					不定
03FEC3A7H	CAN0メッセージ・データ・バイト7レジスタ21	C0MDATA721					不定
03FEC3A8H	CAN0メッセージ・データ長レジスタ21	C0MDLC21					0000xxxxB
03FEC3A9H	CAN0メッセージ・コンフィギュレーション・レジスタ21	C0MCONF21					不定
03FEC3AAH	CAN0メッセージIDレジスタ21	C0MIDL21					不定
03FEC3ACH		C0MIDH21				不定	
03FEC3AEH	CAN0メッセージ制御レジスタ21	C0MCTRL21				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (13/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC3C0H	CAN0メッセージ・データ・バイト01レジスタ22	C0MDATA0122	R/W				不定
03FEC3C0H	CAN0メッセージ・データ・バイト0レジスタ22	C0MDATA022					不定
03FEC3C1H	CAN0メッセージ・データ・バイト1レジスタ22	C0MDATA122					不定
03FEC3C2H	CAN0メッセージ・データ・バイト23レジスタ22	C0MDATA2322					不定
03FEC3C2H	CAN0メッセージ・データ・バイト2レジスタ22	C0MDATA222					不定
03FEC3C3H	CAN0メッセージ・データ・バイト3レジスタ22	C0MDATA322					不定
03FEC3C4H	CAN0メッセージ・データ・バイト45レジスタ22	C0MDATA4522					不定
03FEC3C4H	CAN0メッセージ・データ・バイト4レジスタ22	C0MDATA422					不定
03FEC3C5H	CAN0メッセージ・データ・バイト5レジスタ22	C0MDATA522					不定
03FEC3C6H	CAN0メッセージ・データ・バイト67レジスタ22	C0MDATA6722					不定
03FEC3C6H	CAN0メッセージ・データ・バイト6レジスタ22	C0MDATA622					不定
03FEC3C7H	CAN0メッセージ・データ・バイト7レジスタ22	C0MDATA722					不定
03FEC3C8H	CAN0メッセージ・データ長レジスタ22	C0MDLC22					0000xxxxB
03FEC3C9H	CAN0メッセージ・コンフィギュレーション・レジスタ22	C0MCONF22					不定
03FEC3CAH	CAN0メッセージIDレジスタ22	C0MIDL22					不定
03FEC3CCH		C0MIDH22					不定
03FEC3CEH	CAN0メッセージ制御レジスタ22	C0MCTRL22					00x00000 000xx000B
03FEC3E0H	CAN0メッセージ・データ・バイト01レジスタ23	C0MDATA0123					不定
03FEC3E0H	CAN0メッセージ・データ・バイト0レジスタ23	C0MDATA023					不定
03FEC3E1H	CAN0メッセージ・データ・バイト1レジスタ23	C0MDATA123					不定
03FEC3E2H	CAN0メッセージ・データ・バイト23レジスタ23	C0MDATA2323					不定
03FEC3E2H	CAN0メッセージ・データ・バイト2レジスタ23	C0MDATA223					不定
03FEC3E3H	CAN0メッセージ・データ・バイト3レジスタ23	C0MDATA323					不定
03FEC3E4H	CAN0メッセージ・データ・バイト45レジスタ23	C0MDATA4523					不定
03FEC3E4H	CAN0メッセージ・データ・バイト4レジスタ23	C0MDATA423					不定
03FEC3E5H	CAN0メッセージ・データ・バイト5レジスタ23	C0MDATA523					不定
03FEC3E6H	CAN0メッセージ・データ・バイト67レジスタ23	C0MDATA6723					不定
03FEC3E6H	CAN0メッセージ・データ・バイト6レジスタ23	C0MDATA623					不定
03FEC3E7H	CAN0メッセージ・データ・バイト7レジスタ23	C0MDATA723					不定
03FEC3E8H	CAN0メッセージ・データ長レジスタ23	C0MDLC23					0000xxxxB
03FEC3E9H	CAN0メッセージ・コンフィギュレーション・レジスタ23	C0MCONF23				不定	
03FEC3EAH	CAN0メッセージIDレジスタ23	C0MIDL23				不定	
03FEC3ECH		C0MIDH23				不定	
03FEC3EEH	CAN0メッセージ制御レジスタ23	C0MCTRL23				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (14/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC400H	CAN0メッセージ・データ・バイト01レジスタ24	C0MDATA0124	R/W				不定
03FEC400H	CAN0メッセージ・データ・バイト0レジスタ24	C0MDATA024					不定
03FEC401H	CAN0メッセージ・データ・バイト1レジスタ24	C0MDATA124					不定
03FEC402H	CAN0メッセージ・データ・バイト23レジスタ24	C0MDATA2324					不定
03FEC402H	CAN0メッセージ・データ・バイト2レジスタ24	C0MDATA224					不定
03FEC403H	CAN0メッセージ・データ・バイト3レジスタ24	C0MDATA324					不定
03FEC404H	CAN0メッセージ・データ・バイト45レジスタ24	C0MDATA4524					不定
03FEC404H	CAN0メッセージ・データ・バイト4レジスタ24	C0MDATA424					不定
03FEC405H	CAN0メッセージ・データ・バイト5レジスタ24	C0MDATA524					不定
03FEC406H	CAN0メッセージ・データ・バイト67レジスタ24	C0MDATA6724					不定
03FEC406H	CAN0メッセージ・データ・バイト6レジスタ24	C0MDATA624					不定
03FEC407H	CAN0メッセージ・データ・バイト7レジスタ24	C0MDATA724					不定
03FEC408H	CAN0メッセージ・データ長レジスタ24	C0MDLC24					0000xxxxB
03FEC409H	CAN0メッセージ・コンフィギュレーション・レジスタ24	C0MCONF24					不定
03FEC40AH	CAN0メッセージIDレジスタ24	C0MIDL24					不定
03FEC40CH		C0MIDH24					不定
03FEC40EH	CAN0メッセージ制御レジスタ24	C0MCTRL24					00x00000 000xx000B
03FEC420H	CAN0メッセージ・データ・バイト01レジスタ25	C0MDATA0125					不定
03FEC420H	CAN0メッセージ・データ・バイト0レジスタ25	C0MDATA025					不定
03FEC421H	CAN0メッセージ・データ・バイト1レジスタ25	C0MDATA125					不定
03FEC422H	CAN0メッセージ・データ・バイト23レジスタ25	C0MDATA2325					不定
03FEC422H	CAN0メッセージ・データ・バイト2レジスタ25	C0MDATA225					不定
03FEC423H	CAN0メッセージ・データ・バイト3レジスタ25	C0MDATA325					不定
03FEC424H	CAN0メッセージ・データ・バイト45レジスタ25	C0MDATA4525					不定
03FEC424H	CAN0メッセージ・データ・バイト4レジスタ25	C0MDATA425					不定
03FEC425H	CAN0メッセージ・データ・バイト5レジスタ25	C0MDATA525					不定
03FEC426H	CAN0メッセージ・データ・バイト67レジスタ25	C0MDATA6725					不定
03FEC426H	CAN0メッセージ・データ・バイト6レジスタ25	C0MDATA625					不定
03FEC427H	CAN0メッセージ・データ・バイト7レジスタ25	C0MDATA725					不定
03FEC428H	CAN0メッセージ・データ長レジスタ25	C0MDLC25					0000xxxxB
03FEC429H	CAN0メッセージ・コンフィギュレーション・レジスタ25	C0MCONF25					不定
03FEC42AH	CAN0メッセージIDレジスタ25	C0MIDL25					不定
03FEC42CH		C0MIDH25				不定	
03FEC42EH	CAN0メッセージ制御レジスタ25	C0MCTRL25				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (15/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC440H	CAN0メッセージ・データ・バイト01レジスタ26	C0MDATA0126	R/W				不定
03FEC440H	CAN0メッセージ・データ・バイト0レジスタ26	C0MDATA026					不定
03FEC441H	CAN0メッセージ・データ・バイト1レジスタ26	C0MDATA126					不定
03FEC442H	CAN0メッセージ・データ・バイト23レジスタ26	C0MDATA2326					不定
03FEC442H	CAN0メッセージ・データ・バイト2レジスタ26	C0MDATA226					不定
03FEC443H	CAN0メッセージ・データ・バイト3レジスタ26	C0MDATA326					不定
03FEC444H	CAN0メッセージ・データ・バイト45レジスタ26	C0MDATA4526					不定
03FEC444H	CAN0メッセージ・データ・バイト4レジスタ26	C0MDATA426					不定
03FEC445H	CAN0メッセージ・データ・バイト5レジスタ26	C0MDATA526					不定
03FEC446H	CAN0メッセージ・データ・バイト67レジスタ26	C0MDATA6726					不定
03FEC446H	CAN0メッセージ・データ・バイト6レジスタ26	C0MDATA626					不定
03FEC447H	CAN0メッセージ・データ・バイト7レジスタ26	C0MDATA726					不定
03FEC448H	CAN0メッセージ・データ長レジスタ26	C0MDLC26					0000xxxxB
03FEC449H	CAN0メッセージ・コンフィギュレーション・レジスタ26	C0MCONF26					不定
03FEC44AH	CAN0メッセージIDレジスタ26	C0MIDL26					不定
03FEC44CH		C0MIDH26					不定
03FEC44EH	CAN0メッセージ制御レジスタ26	C0MCTRL26					00x00000 000xx000B
03FEC460H	CAN0メッセージ・データ・バイト01レジスタ27	C0MDATA0127					不定
03FEC460H	CAN0メッセージ・データ・バイト0レジスタ27	C0MDATA027					不定
03FEC461H	CAN0メッセージ・データ・バイト1レジスタ27	C0MDATA127					不定
03FEC462H	CAN0メッセージ・データ・バイト23レジスタ27	C0MDATA2327					不定
03FEC462H	CAN0メッセージ・データ・バイト2レジスタ27	C0MDATA227					不定
03FEC463H	CAN0メッセージ・データ・バイト3レジスタ27	C0MDATA327					不定
03FEC464H	CAN0メッセージ・データ・バイト45レジスタ27	C0MDATA4527					不定
03FEC464H	CAN0メッセージ・データ・バイト4レジスタ27	C0MDATA427					不定
03FEC465H	CAN0メッセージ・データ・バイト5レジスタ27	C0MDATA527					不定
03FEC466H	CAN0メッセージ・データ・バイト67レジスタ27	C0MDATA6727					不定
03FEC466H	CAN0メッセージ・データ・バイト6レジスタ27	C0MDATA627					不定
03FEC467H	CAN0メッセージ・データ・バイト7レジスタ27	C0MDATA727					不定
03FEC468H	CAN0メッセージ・データ長レジスタ27	C0MDLC27					0000xxxxB
03FEC469H	CAN0メッセージ・コンフィギュレーション・レジスタ27	C0MCONF27				不定	
03FEC46AH	CAN0メッセージIDレジスタ27	C0MIDL27				不定	
03FEC46CH		C0MIDH27				不定	
03FEC46EH	CAN0メッセージ制御レジスタ27	C0MCTRL27				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (16/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC480H	CAN0メッセージ・データ・バイト01レジスタ28	C0MDATA0128	R/W				不定
03FEC480H	CAN0メッセージ・データ・バイト0レジスタ28	C0MDATA028					不定
03FEC481H	CAN0メッセージ・データ・バイト1レジスタ28	C0MDATA128					不定
03FEC482H	CAN0メッセージ・データ・バイト23レジスタ28	C0MDATA2328					不定
03FEC482H	CAN0メッセージ・データ・バイト2レジスタ28	C0MDATA228					不定
03FEC483H	CAN0メッセージ・データ・バイト3レジスタ28	C0MDATA328					不定
03FEC484H	CAN0メッセージ・データ・バイト45レジスタ28	C0MDATA4528					不定
03FEC484H	CAN0メッセージ・データ・バイト4レジスタ28	C0MDATA428					不定
03FEC485H	CAN0メッセージ・データ・バイト5レジスタ28	C0MDATA528					不定
03FEC486H	CAN0メッセージ・データ・バイト67レジスタ28	C0MDATA6728					不定
03FEC486H	CAN0メッセージ・データ・バイト6レジスタ28	C0MDATA628					不定
03FEC487H	CAN0メッセージ・データ・バイト7レジスタ28	C0MDATA728					不定
03FEC488H	CAN0メッセージ・データ長レジスタ28	C0MDLC28					0000xxxxB
03FEC489H	CAN0メッセージ・コンフィギュレーション・レジスタ28	C0MCONF28					不定
03FEC48AH	CAN0メッセージIDレジスタ28	C0MIDL28					不定
03FEC48CH		C0MIDH28					不定
03FEC48EH	CAN0メッセージ制御レジスタ28	C0MCTRL28					00x00000 000xx000B
03FEC4A0H	CAN0メッセージ・データ・バイト01レジスタ29	C0MDATA0129					不定
03FEC4A0H	CAN0メッセージ・データ・バイト0レジスタ29	C0MDATA029					不定
03FEC4A1H	CAN0メッセージ・データ・バイト1レジスタ29	C0MDATA129					不定
03FEC4A2H	CAN0メッセージ・データ・バイト23レジスタ29	C0MDATA2329					不定
03FEC4A2H	CAN0メッセージ・データ・バイト2レジスタ29	C0MDATA229					不定
03FEC4A3H	CAN0メッセージ・データ・バイト3レジスタ29	C0MDATA329					不定
03FEC4A4H	CAN0メッセージ・データ・バイト45レジスタ29	C0MDATA4529					不定
03FEC4A4H	CAN0メッセージ・データ・バイト4レジスタ29	C0MDATA429					不定
03FEC4A5H	CAN0メッセージ・データ・バイト5レジスタ29	C0MDATA529					不定
03FEC4A6H	CAN0メッセージ・データ・バイト67レジスタ29	C0MDATA6729					不定
03FEC4A6H	CAN0メッセージ・データ・バイト6レジスタ29	C0MDATA629					不定
03FEC4A7H	CAN0メッセージ・データ・バイト7レジスタ29	C0MDATA729					不定
03FEC4A8H	CAN0メッセージ・データ長レジスタ29	C0MDLC29					0000xxxxB
03FEC4A9H	CAN0メッセージ・コンフィギュレーション・レジスタ29	C0MCONF29					不定
03FEC4AAH	CAN0メッセージIDレジスタ29	C0MIDL29					不定
03FEC4ACH		C0MIDH29				不定	
03FEC4AEH	CAN0メッセージ制御レジスタ29	C0MCTRL29				00x00000 000xx000B	



表21 - 16 レジスタ・アクセス・タイプ (17/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC4C0H	CAN0メッセージ・データ・バイト01レジスタ30	C0MDATA0130	R/W				不定
03FEC4C0H	CAN0メッセージ・データ・バイト0レジスタ30	C0MDATA030					不定
03FEC4C1H	CAN0メッセージ・データ・バイト1レジスタ30	C0MDATA130					不定
03FEC4C2H	CAN0メッセージ・データ・バイト23レジスタ30	C0MDATA2330					不定
03FEC4C2H	CAN0メッセージ・データ・バイト2レジスタ30	C0MDATA230					不定
03FEC4C3H	CAN0メッセージ・データ・バイト3レジスタ30	C0MDATA330					不定
03FEC4C4H	CAN0メッセージ・データ・バイト45レジスタ30	C0MDATA4530					不定
03FEC4C4H	CAN0メッセージ・データ・バイト4レジスタ30	C0MDATA430					不定
03FEC4C5H	CAN0メッセージ・データ・バイト5レジスタ30	C0MDATA530					不定
03FEC4C6H	CAN0メッセージ・データ・バイト67レジスタ30	C0MDATA6730					不定
03FEC4C6H	CAN0メッセージ・データ・バイト6レジスタ30	C0MDATA630					不定
03FEC4C7H	CAN0メッセージ・データ・バイト7レジスタ30	C0MDATA730					不定
03FEC4C8H	CAN0メッセージ・データ長レジスタ30	C0MDLC30					0000xxxxB
03FEC4C9H	CAN0メッセージ・コンフィギュレーション・レジスタ30	C0MCONF30					不定
03FEC4CAH	CAN0メッセージIDレジスタ30	C0MIDL30					不定
03FEC4CCH		C0MIDH30					不定
03FEC4CEH	CAN0メッセージ制御レジスタ30	C0MCTRL30					00x00000 000xx000B
03FEC4E0H	CAN0メッセージ・データ・バイト01レジスタ31	C0MDATA0131					不定
03FEC4E0H	CAN0メッセージ・データ・バイト0レジスタ31	C0MDATA031					不定
03FEC4E1H	CAN0メッセージ・データ・バイト1レジスタ31	C0MDATA131					不定
03FEC4E2H	CAN0メッセージ・データ・バイト23レジスタ31	C0MDATA2331					不定
03FEC4E2H	CAN0メッセージ・データ・バイト2レジスタ31	C0MDATA231					不定
03FEC4E3H	CAN0メッセージ・データ・バイト3レジスタ31	C0MDATA331					不定
03FEC4E4H	CAN0メッセージ・データ・バイト45レジスタ31	C0MDATA4531					不定
03FEC4E4H	CAN0メッセージ・データ・バイト4レジスタ31	C0MDATA431					不定
03FEC4E5H	CAN0メッセージ・データ・バイト5レジスタ31	C0MDATA531					不定
03FEC4E6H	CAN0メッセージ・データ・バイト67レジスタ31	C0MDATA6731					不定
03FEC4E6H	CAN0メッセージ・データ・バイト6レジスタ31	C0MDATA631					不定
03FEC4E7H	CAN0メッセージ・データ・バイト7レジスタ31	C0MDATA731					不定
03FEC4E8H	CAN0メッセージ・データ長レジスタ31	C0MDLC31					0000xxxxB
03FEC4E9H	CAN0メッセージ・コンフィギュレーション・レジスタ31	C0MCONF31				不定	
03FEC4EAH	CAN0メッセージIDレジスタ31	C0MIDL31				不定	
03FEC4ECH		C0MIDH31				不定	
03FEC4EEH	CAN0メッセージ制御レジスタ31	C0MCTRL31				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (18/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC600H	CAN1グローバル制御レジスタ	C1GMCTRL	R/W				0000H
03FEC602H	CAN1グローバル・クロック選択レジスタ	C1GMCS					0FH
03FEC606H	CAN1グローバル自動ブロック送信制御レジスタ	C1GMABT					0000H
03FEC608H	CAN1グローバル自動ブロック送信遅延設定レジスタ	C1GMABTD					00H
03FEC640H	CAN1モジュール・マスク1レジスタ	C1MASK1L					不定
03FEC642H		C1MASK1H					不定
03FEC644H	CAN1モジュール・マスク2レジスタ	C1MASK2L					不定
03FEC646H		C1MASK2H					不定
03FEC648H	CAN1モジュール・マスク3レジスタ	C1MASK3L					不定
03FEC64AH		C1MASK3H					不定
03FEC64CH	CAN1モジュール・マスク4レジスタ	C1MASK4L					不定
03FEC64EH		C1MASK4H					不定
03FEC650H	CAN1モジュール制御レジスタ	C1CTRL					0000H
03FEC652H	CAN1モジュール最終エラー情報レジスタ	C1LEC					00H
03FEC653H	CAN1モジュール情報レジスタ	C1INFO	R			00H	
03FEC654H	CAN1モジュール・エラー・カウンタ・レジスタ	C1ERC				0000H	
03FEC656H	CAN1モジュール割り込み許可レジスタ	C1IE	R/W			0000H	
03FEC658H	CAN1モジュール割り込みステータス・レジスタ	C1INTS				0000H	
03FEC65AH	CAN1モジュール・ビット・レート・プリスケラ・レジスタ	C1BRP				FFH	
03FEC65CH	CAN1モジュール・ビット・レート・レジスタ	C1BTR				370FH	
03FEC65EH	CAN1モジュール最終受信ポインタ・レジスタ	C1LIPT	R			不定	
03FEC660H	CAN1モジュール受信履歴・リスト・レジスタ	C1RGPT	R/W			xx02H	
03FEC662H	CAN1モジュール最終送信ポインタ・レジスタ	C1LOPT	R			不定	
03FEC664H	CAN1モジュール送信履歴・リスト・レジスタ	C1TGPT	R/W			xx02H	
03FEC666H	CAN1モジュール・タイム・スタンプ・レジスタ	C1TS				0000H	

表21 - 16 レジスタ・アクセス・タイプ (19/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC700H	CAN1メッセージ・データ・バイト01レジスタ00	C1MDATA0100	R/W				不定
03FEC700H	CAN1メッセージ・データ・バイト0レジスタ00	C1MDATA000					不定
03FEC701H	CAN1メッセージ・データ・バイト1レジスタ00	C1MDATA100					不定
03FEC702H	CAN1メッセージ・データ・バイト23レジスタ00	C1MDATA2300					不定
03FEC702H	CAN1メッセージ・データ・バイト2レジスタ00	C1MDATA200					不定
03FEC703H	CAN1メッセージ・データ・バイト3レジスタ00	C1MDATA300					不定
03FEC704H	CAN1メッセージ・データ・バイト45レジスタ00	C1MDATA4500					不定
03FEC704H	CAN1メッセージ・データ・バイト4レジスタ00	C1MDATA400					不定
03FEC705H	CAN1メッセージ・データ・バイト5レジスタ00	C1MDATA500					不定
03FEC706H	CAN1メッセージ・データ・バイト67レジスタ00	C1MDATA6700					不定
03FEC706H	CAN1メッセージ・データ・バイト6レジスタ00	C1MDATA600					不定
03FEC707H	CAN1メッセージ・データ・バイト7レジスタ00	C1MDATA700					不定
03FEC708H	CAN1メッセージ・データ長レジスタ00	C1MDL00					0000xxxxB
03FEC709H	CAN1メッセージ・コンフィギュレーション・レジスタ00	C1MCONF00					不定
03FEC70AH	CAN1メッセージIDレジスタ00	C1MIDL00					不定
03FEC70CH		C1MIDH00					不定
03FEC70EH	CAN1メッセージ制御レジスタ00	C1MCTRL00					00x00000 000xx000B
03FEC720H	CAN1メッセージ・データ・バイト01レジスタ01	C1MDATA0101					不定
03FEC720H	CAN1メッセージ・データ・バイト0レジスタ01	C1MDATA001					不定
03FEC721H	CAN1メッセージ・データ・バイト1レジスタ01	C1MDATA101					不定
03FEC722H	CAN1メッセージ・データ・バイト23レジスタ01	C1MDATA2301					不定
03FEC722H	CAN1メッセージ・データ・バイト2レジスタ01	C1MDATA201					不定
03FEC723H	CAN1メッセージ・データ・バイト3レジスタ01	C1MDATA301					不定
03FEC724H	CAN1メッセージ・データ・バイト45レジスタ01	C1MDATA4501					不定
03FEC724H	CAN1メッセージ・データ・バイト4レジスタ01	C1MDATA401					不定
03FEC725H	CAN1メッセージ・データ・バイト5レジスタ01	C1MDATA501					不定
03FEC726H	CAN1メッセージ・データ・バイト67レジスタ01	C1MDATA6701					不定
03FEC726H	CAN1メッセージ・データ・バイト6レジスタ01	C1MDATA601					不定
03FEC727H	CAN1メッセージ・データ・バイト7レジスタ01	C1MDATA701					不定
03FEC728H	CAN1メッセージ・データ長レジスタ01	C1MDL01					0000xxxxB
03FEC729H	CAN1メッセージ・コンフィギュレーション・レジスタ01	C1MCONF01					不定
03FEC72AH	CAN1メッセージIDレジスタ01	C1MIDL01					不定
03FEC72CH		C1MIDH01					不定
03FEC72EH	CAN1メッセージ制御レジスタ01	C1MCTRL01					00x00000 000xx000B

表21 - 16 レジスタ・アクセス・タイプ (20/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC740H	CAN1メッセージ・データ・バイト01レジスタ02	C1MDATA0102	R/W				不定
03FEC740H	CAN1メッセージ・データ・バイト0レジスタ02	C1MDATA002					不定
03FEC741H	CAN1メッセージ・データ・バイト1レジスタ02	C1MDATA102					不定
03FEC742H	CAN1メッセージ・データ・バイト23レジスタ02	C1MDATA2302					不定
03FEC742H	CAN1メッセージ・データ・バイト2レジスタ02	C1MDATA202					不定
03FEC743H	CAN1メッセージ・データ・バイト3レジスタ02	C1MDATA302					不定
03FEC744H	CAN1メッセージ・データ・バイト45レジスタ02	C1MDATA4502					不定
03FEC744H	CAN1メッセージ・データ・バイト4レジスタ02	C1MDATA402					不定
03FEC745H	CAN1メッセージ・データ・バイト5レジスタ02	C1MDATA502					不定
03FEC746H	CAN1メッセージ・データ・バイト67レジスタ02	C1MDATA6702					不定
03FEC746H	CAN1メッセージ・データ・バイト6レジスタ02	C1MDATA602					不定
03FEC747H	CAN1メッセージ・データ・バイト7レジスタ02	C1MDATA702					不定
03FEC748H	CAN1メッセージ・データ長レジスタ02	C1MDLC02					0000xxxxB
03FEC749H	CAN1メッセージ・コンフィギュレーション・レジスタ02	C1MCONF02					不定
03FEC74AH	CAN1メッセージIDレジスタ02	C1MIDL02					不定
03FEC74CH		C1MIDH02					不定
03FEC74EH	CAN1メッセージ制御レジスタ02	C1MCTRL02					00x00000 000xx000B
03FEC760H	CAN1メッセージ・データ・バイト01レジスタ03	C1MDATA0103					不定
03FEC760H	CAN1メッセージ・データ・バイト0レジスタ03	C1MDATA003					不定
03FEC761H	CAN1メッセージ・データ・バイト1レジスタ03	C1MDATA103					不定
03FEC762H	CAN1メッセージ・データ・バイト23レジスタ03	C1MDATA2303					不定
03FEC762H	CAN1メッセージ・データ・バイト2レジスタ03	C1MDATA203					不定
03FEC763H	CAN1メッセージ・データ・バイト3レジスタ03	C1MDATA303					不定
03FEC764H	CAN1メッセージ・データ・バイト45レジスタ03	C1MDATA4503					不定
03FEC764H	CAN1メッセージ・データ・バイト4レジスタ03	C1MDATA403					不定
03FEC765H	CAN1メッセージ・データ・バイト5レジスタ03	C1MDATA503					不定
03FEC766H	CAN1メッセージ・データ・バイト67レジスタ03	C1MDATA6703					不定
03FEC766H	CAN1メッセージ・データ・バイト6レジスタ03	C1MDATA603					不定
03FEC767H	CAN1メッセージ・データ・バイト7レジスタ03	C1MDATA703				不定	
03FEC768H	CAN1メッセージ・データ長レジスタ03	C1MDLC03				0000xxxxB	
03FEC769H	CAN1メッセージ・コンフィギュレーション・レジスタ03	C1MCONF03				不定	
03FEC76AH	CAN1メッセージIDレジスタ03	C1MIDL03				不定	
03FEC76CH		C1MIDH03				不定	
03FEC76EH	CAN1メッセージ制御レジスタ03	C1MCTRL03				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (21/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC780H	CAN1メッセージ・データ・バイト01レジスタ04	C1MDATA0104	R/W				不定
03FEC780H	CAN1メッセージ・データ・バイト0レジスタ04	C1MDATA004					不定
03FEC781H	CAN1メッセージ・データ・バイト1レジスタ04	C1MDATA104					不定
03FEC782H	CAN1メッセージ・データ・バイト23レジスタ04	C1MDATA2304					不定
03FEC782H	CAN1メッセージ・データ・バイト2レジスタ04	C1MDATA204					不定
03FEC783H	CAN1メッセージ・データ・バイト3レジスタ04	C1MDATA304					不定
03FEC784H	CAN1メッセージ・データ・バイト45レジスタ04	C1MDATA4504					不定
03FEC784H	CAN1メッセージ・データ・バイト4レジスタ04	C1MDATA404					不定
03FEC785H	CAN1メッセージ・データ・バイト5レジスタ04	C1MDATA504					不定
03FEC786H	CAN1メッセージ・データ・バイト67レジスタ04	C1MDATA6704					不定
03FEC786H	CAN1メッセージ・データ・バイト6レジスタ04	C1MDATA604					不定
03FEC787H	CAN1メッセージ・データ・バイト7レジスタ04	C1MDATA704					不定
03FEC788H	CAN1メッセージ・データ長レジスタ04	C1MDLC04					0000xxxxB
03FEC789H	CAN1メッセージ・コンフィギュレーション・レジスタ04	C1MCONF04					不定
03FEC78AH	CAN1メッセージIDレジスタ04	C1MIDL04					不定
03FEC78CH		C1MIDH04					不定
03FEC78EH	CAN1メッセージ制御レジスタ04	C1MCTRL04					00x00000 000xx000B
03FEC7A0H	CAN1メッセージ・データ・バイト01レジスタ05	C1MDATA0105					不定
03FEC7A0H	CAN1メッセージ・データ・バイト0レジスタ05	C1MDATA005					不定
03FEC7A1H	CAN1メッセージ・データ・バイト1レジスタ05	C1MDATA105					不定
03FEC7A2H	CAN1メッセージ・データ・バイト23レジスタ05	C1MDATA2305					不定
03FEC7A2H	CAN1メッセージ・データ・バイト2レジスタ05	C1MDATA205					不定
03FEC7A3H	CAN1メッセージ・データ・バイト3レジスタ05	C1MDATA305					不定
03FEC7A4H	CAN1メッセージ・データ・バイト45レジスタ05	C1MDATA4505					不定
03FEC7A4H	CAN1メッセージ・データ・バイト4レジスタ05	C1MDATA405					不定
03FEC7A5H	CAN1メッセージ・データ・バイト5レジスタ05	C1MDATA505					不定
03FEC7A6H	CAN1メッセージ・データ・バイト67レジスタ05	C1MDATA6705					不定
03FEC7A6H	CAN1メッセージ・データ・バイト6レジスタ05	C1MDATA605					不定
03FEC7A7H	CAN1メッセージ・データ・バイト7レジスタ05	C1MDATA705				不定	
03FEC7A8H	CAN1メッセージ・データ長レジスタ05	C1MDLC05				0000xxxxB	
03FEC7A9H	CAN1メッセージ・コンフィギュレーション・レジスタ05	C1MCONF05				不定	
03FEC7AAH	CAN1メッセージIDレジスタ05	C1MIDL05				不定	
03FEC7ACH		C1MIDH05				不定	
03FEC7AEH	CAN1メッセージ制御レジスタ05	C1MCTRL05				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (22/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC7C0H	CAN1メッセージ・データ・バイト01レジスタ06	C1MDATA0106	R/W				不定
03FEC7C0H	CAN1メッセージ・データ・バイト0レジスタ06	C1MDATA006					不定
03FEC7C1H	CAN1メッセージ・データ・バイト1レジスタ06	C1MDATA106					不定
03FEC7C2H	CAN1メッセージ・データ・バイト23レジスタ06	C1MDATA2306					不定
03FEC7C2H	CAN1メッセージ・データ・バイト2レジスタ06	C1MDATA206					不定
03FEC7C3H	CAN1メッセージ・データ・バイト3レジスタ06	C1MDATA306					不定
03FEC7C4H	CAN1メッセージ・データ・バイト45レジスタ06	C1MDATA4506					不定
03FEC7C4H	CAN1メッセージ・データ・バイト4レジスタ06	C1MDATA406					不定
03FEC7C5H	CAN1メッセージ・データ・バイト5レジスタ06	C1MDATA506					不定
03FEC7C6H	CAN1メッセージ・データ・バイト67レジスタ06	C1MDATA6706					不定
03FEC7C6H	CAN1メッセージ・データ・バイト6レジスタ06	C1MDATA606					不定
03FEC7C7H	CAN1メッセージ・データ・バイト7レジスタ06	C1MDATA706					不定
03FEC7C8H	CAN1メッセージ・データ長レジスタ06	C1MDLC06					0000xxxxB
03FEC7C9H	CAN1メッセージ・コンフィギュレーション・レジスタ06	C1MCONF06					不定
03FEC7CAH	CAN1メッセージIDレジスタ06	C1MIDL06					不定
03FEC7CCH		C1MIDH06					不定
03FEC7CEH	CAN1メッセージ制御レジスタ06	C1MCTRL06					00x00000 000xx000B
03FEC7E0H	CAN1メッセージ・データ・バイト01レジスタ07	C1MDATA0107					不定
03FEC7E0H	CAN1メッセージ・データ・バイト0レジスタ07	C1MDATA007					不定
03FEC7E1H	CAN1メッセージ・データ・バイト1レジスタ07	C1MDATA107					不定
03FEC7E2H	CAN1メッセージ・データ・バイト23レジスタ07	C1MDATA2307					不定
03FEC7E2H	CAN1メッセージ・データ・バイト2レジスタ07	C1MDATA207					不定
03FEC7E3H	CAN1メッセージ・データ・バイト3レジスタ07	C1MDATA307					不定
03FEC7E4H	CAN1メッセージ・データ・バイト45レジスタ07	C1MDATA4507					不定
03FEC7E4H	CAN1メッセージ・データ・バイト4レジスタ07	C1MDATA407					不定
03FEC7E5H	CAN1メッセージ・データ・バイト5レジスタ07	C1MDATA507					不定
03FEC7E6H	CAN1メッセージ・データ・バイト67レジスタ07	C1MDATA6707					不定
03FEC7E6H	CAN1メッセージ・データ・バイト6レジスタ07	C1MDATA607					不定
03FEC7E7H	CAN1メッセージ・データ・バイト7レジスタ07	C1MDATA707					不定
03FEC7E8H	CAN1メッセージ・データ長レジスタ07	C1MDLC07					0000xxxxB
03FEC7E9H	CAN1メッセージ・コンフィギュレーション・レジスタ07	C1MCONF07				不定	
03FEC7EAH	CAN1メッセージIDレジスタ07	C1MIDL07				不定	
03FEC7ECH		C1MIDH07				不定	
03FEC7EEH	CAN1メッセージ制御レジスタ07	C1MCTRL07				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (23/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC800H	CAN1メッセージ・データ・バイト01レジスタ08	C1MDATA0108	R/W				不定
03FEC800H	CAN1メッセージ・データ・バイト0レジスタ08	C1MDATA008					不定
03FEC801H	CAN1メッセージ・データ・バイト1レジスタ08	C1MDATA108					不定
03FEC802H	CAN1メッセージ・データ・バイト23レジスタ08	C1MDATA2308					不定
03FEC802H	CAN1メッセージ・データ・バイト2レジスタ08	C1MDATA208					不定
03FEC803H	CAN1メッセージ・データ・バイト3レジスタ08	C1MDATA308					不定
03FEC804H	CAN1メッセージ・データ・バイト45レジスタ08	C1MDATA4508					不定
03FEC804H	CAN1メッセージ・データ・バイト4レジスタ08	C1MDATA408					不定
03FEC805H	CAN1メッセージ・データ・バイト5レジスタ08	C1MDATA508					不定
03FEC806H	CAN1メッセージ・データ・バイト67レジスタ08	C1MDATA6708					不定
03FEC806H	CAN1メッセージ・データ・バイト6レジスタ08	C1MDATA608					不定
03FEC807H	CAN1メッセージ・データ・バイト7レジスタ08	C1MDATA708					不定
03FEC808H	CAN1メッセージ・データ長レジスタ08	C1MDLC08					0000xxxxB
03FEC809H	CAN1メッセージ・コンフィギュレーション・レジスタ08	C1MCONF08					不定
03FEC80AH	CAN1メッセージIDレジスタ08	C1MIDL08					不定
03FEC80CH		C1MIDH08					不定
03FEC80EH	CAN1メッセージ制御レジスタ08	C1MCTRL08					00x00000 000xx000B
03FEC820H	CAN1メッセージ・データ・バイト01レジスタ09	C1MDATA0109					不定
03FEC820H	CAN1メッセージ・データ・バイト0レジスタ09	C1MDATA009					不定
03FEC821H	CAN1メッセージ・データ・バイト1レジスタ09	C1MDATA109					不定
03FEC822H	CAN1メッセージ・データ・バイト23レジスタ09	C1MDATA2309					不定
03FEC822H	CAN1メッセージ・データ・バイト2レジスタ09	C1MDATA209					不定
03FEC823H	CAN1メッセージ・データ・バイト3レジスタ09	C1MDATA309					不定
03FEC824H	CAN1メッセージ・データ・バイト45レジスタ09	C1MDATA4509					不定
03FEC824H	CAN1メッセージ・データ・バイト4レジスタ09	C1MDATA409					不定
03FEC825H	CAN1メッセージ・データ・バイト5レジスタ09	C1MDATA509					不定
03FEC826H	CAN1メッセージ・データ・バイト67レジスタ09	C1MDATA6709					不定
03FEC826H	CAN1メッセージ・データ・バイト6レジスタ09	C1MDATA609				不定	
03FEC827H	CAN1メッセージ・データ・バイト7レジスタ09	C1MDATA709				不定	
03FEC828H	CAN1メッセージ・データ長レジスタ09	C1MDLC09				0000xxxxB	
03FEC829H	CAN1メッセージ・コンフィギュレーション・レジスタ09	C1MCONF09				不定	
03FEC82AH	CAN1メッセージIDレジスタ09	C1MIDL09				不定	
03FEC82CH		C1MIDH09				不定	
03FEC82EH	CAN1メッセージ制御レジスタ09	C1MCTRL09				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (24/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC840H	CAN1メッセージ・データ・バイト01レジスタ10	C1MDATA0110	R/W				不定
03FEC840H	CAN1メッセージ・データ・バイト0レジスタ10	C1MDATA010					不定
03FEC841H	CAN1メッセージ・データ・バイト1レジスタ10	C1MDATA110					不定
03FEC842H	CAN1メッセージ・データ・バイト23レジスタ10	C1MDATA2310					不定
03FEC842H	CAN1メッセージ・データ・バイト2レジスタ10	C1MDATA210					不定
03FEC843H	CAN1メッセージ・データ・バイト3レジスタ10	C1MDATA310					不定
03FEC844H	CAN1メッセージ・データ・バイト45レジスタ10	C1MDATA4510					不定
03FEC844H	CAN1メッセージ・データ・バイト4レジスタ10	C1MDATA410					不定
03FEC845H	CAN1メッセージ・データ・バイト5レジスタ10	C1MDATA510					不定
03FEC846H	CAN1メッセージ・データ・バイト67レジスタ10	C1MDATA6710					不定
03FEC846H	CAN1メッセージ・データ・バイト6レジスタ10	C1MDATA610					不定
03FEC847H	CAN1メッセージ・データ・バイト7レジスタ10	C1MDATA710					不定
03FEC848H	CAN1メッセージ・データ長レジスタ10	C1MDLC10					0000xxxxB
03FEC849H	CAN1メッセージ・コンフィギュレーション・レジスタ10	C1MCONF10					不定
03FEC84AH	CAN1メッセージIDレジスタ10	C1MIDL10					不定
03FEC84CH		C1MIDH10					不定
03FEC84EH	CAN1メッセージ制御レジスタ10	C1MCTRL10					00x00000 000xx000B
03FEC860H	CAN1メッセージ・データ・バイト01レジスタ11	C1MDATA0111					不定
03FEC860H	CAN1メッセージ・データ・バイト0レジスタ11	C1MDATA011					不定
03FEC861H	CAN1メッセージ・データ・バイト1レジスタ11	C1MDATA111					不定
03FEC862H	CAN1メッセージ・データ・バイト23レジスタ11	C1MDATA2311					不定
03FEC862H	CAN1メッセージ・データ・バイト2レジスタ11	C1MDATA211					不定
03FEC863H	CAN1メッセージ・データ・バイト3レジスタ11	C1MDATA311					不定
03FEC864H	CAN1メッセージ・データ・バイト45レジスタ11	C1MDATA4511					不定
03FEC864H	CAN1メッセージ・データ・バイト4レジスタ11	C1MDATA411				不定	
03FEC865H	CAN1メッセージ・データ・バイト5レジスタ11	C1MDATA511				不定	
03FEC866H	CAN1メッセージ・データ・バイト67レジスタ11	C1MDATA6711				不定	
03FEC866H	CAN1メッセージ・データ・バイト6レジスタ11	C1MDATA611				不定	
03FEC867H	CAN1メッセージ・データ・バイト7レジスタ11	C1MDATA711				不定	
03FEC868H	CAN1メッセージ・データ長レジスタ11	C1MDLC11				0000xxxxB	
03FEC869H	CAN1メッセージ・コンフィギュレーション・レジスタ11	C1MCONF11				不定	
03FEC86AH	CAN1メッセージIDレジスタ11	C1MIDL11				不定	
03FEC86CH		C1MIDH11				不定	
03FEC86EH	CAN1メッセージ制御レジスタ11	C1MCTRL11				00x00000 000xx000B	



表21 - 16 レジスタ・アクセス・タイプ (25/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC880H	CAN1メッセージ・データ・バイト01レジスタ12	C1MDATA0112	R/W				不定
03FEC880H	CAN1メッセージ・データ・バイト0レジスタ12	C1MDATA012					不定
03FEC881H	CAN1メッセージ・データ・バイト1レジスタ12	C1MDATA112					不定
03FEC882H	CAN1メッセージ・データ・バイト23レジスタ12	C1MDATA2312					不定
03FEC882H	CAN1メッセージ・データ・バイト2レジスタ12	C1MDATA212					不定
03FEC883H	CAN1メッセージ・データ・バイト3レジスタ12	C1MDATA312					不定
03FEC884H	CAN1メッセージ・データ・バイト45レジスタ12	C1MDATA4512					不定
03FEC884H	CAN1メッセージ・データ・バイト4レジスタ12	C1MDATA412					不定
03FEC885H	CAN1メッセージ・データ・バイト5レジスタ12	C1MDATA512					不定
03FEC886H	CAN1メッセージ・データ・バイト67レジスタ12	C1MDATA6712					不定
03FEC886H	CAN1メッセージ・データ・バイト6レジスタ12	C1MDATA612					不定
03FEC887H	CAN1メッセージ・データ・バイト7レジスタ12	C1MDATA712					不定
03FEC888H	CAN1メッセージ・データ長レジスタ12	C1MDLC12					0000xxxxB
03FEC889H	CAN1メッセージ・コンフィギュレーション・レジスタ12	C1MCONF12					不定
03FEC88AH	CAN1メッセージIDレジスタ12	C1MIDL12					不定
03FEC88CH		C1MIDH12					不定
03FEC88EH	CAN1メッセージ制御レジスタ12	C1MCTRL12					00x00000 000xx000B
03FEC8A0H	CAN1メッセージ・データ・バイト01レジスタ13	C1MDATA0113					不定
03FEC8A0H	CAN1メッセージ・データ・バイト0レジスタ13	C1MDATA013					不定
03FEC8A1H	CAN1メッセージ・データ・バイト1レジスタ13	C1MDATA113					不定
03FEC8A2H	CAN1メッセージ・データ・バイト23レジスタ13	C1MDATA2313					不定
03FEC8A2H	CAN1メッセージ・データ・バイト2レジスタ13	C1MDATA213					不定
03FEC8A3H	CAN1メッセージ・データ・バイト3レジスタ13	C1MDATA313					不定
03FEC8A4H	CAN1メッセージ・データ・バイト45レジスタ13	C1MDATA4513					不定
03FEC8A4H	CAN1メッセージ・データ・バイト4レジスタ13	C1MDATA413					不定
03FEC8A5H	CAN1メッセージ・データ・バイト5レジスタ13	C1MDATA513					不定
03FEC8A6H	CAN1メッセージ・データ・バイト67レジスタ13	C1MDATA6713					不定
03FEC8A6H	CAN1メッセージ・データ・バイト6レジスタ13	C1MDATA613					不定
03FEC8A7H	CAN1メッセージ・データ・バイト7レジスタ13	C1MDATA713					不定
03FEC8A8H	CAN1メッセージ・データ長レジスタ13	C1MDLC13					0000xxxxB
03FEC8A9H	CAN1メッセージ・コンフィギュレーション・レジスタ13	C1MCONF13					不定
03FEC8AAH	CAN1メッセージIDレジスタ13	C1MIDL13					不定
03FEC8ACH		C1MIDH13					不定
03FEC8AEH	CAN1メッセージ制御レジスタ13	C1MCTRL13				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (26/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC8C0H	CAN1メッセージ・データ・バイト01レジスタ14	C1MDATA0114	R/W				不定
03FEC8C0H	CAN1メッセージ・データ・バイト0レジスタ14	C1MDATA014					不定
03FEC8C1H	CAN1メッセージ・データ・バイト1レジスタ14	C1MDATA114					不定
03FEC8C2H	CAN1メッセージ・データ・バイト23レジスタ14	C1MDATA2314					不定
03FEC8C2H	CAN1メッセージ・データ・バイト2レジスタ14	C1MDATA214					不定
03FEC8C3H	CAN1メッセージ・データ・バイト3レジスタ14	C1MDATA314					不定
03FEC8C4H	CAN1メッセージ・データ・バイト45レジスタ14	C1MDATA4514					不定
03FEC8C4H	CAN1メッセージ・データ・バイト4レジスタ14	C1MDATA414					不定
03FEC8C5H	CAN1メッセージ・データ・バイト5レジスタ14	C1MDATA514					不定
03FEC8C6H	CAN1メッセージ・データ・バイト67レジスタ14	C1MDATA6714					不定
03FEC8C6H	CAN1メッセージ・データ・バイト6レジスタ14	C1MDATA614					不定
03FEC8C7H	CAN1メッセージ・データ・バイト7レジスタ14	C1MDATA714					不定
03FEC8C8H	CAN1メッセージ・データ長レジスタ14	C1MDLC14					0000xxxxB
03FEC8C9H	CAN1メッセージ・コンフィギュレーション・レジスタ14	C1MCONF14					不定
03FEC8CAH	CAN1メッセージIDレジスタ14	C1MIDL14					不定
03FEC8CCH		C1MIDH14					不定
03FEC8CEH	CAN1メッセージ制御レジスタ14	C1MCTRL14					00x00000 000xx000B
03FEC8E0H	CAN1メッセージ・データ・バイト01レジスタ15	C1MDATA0115					不定
03FEC8E0H	CAN1メッセージ・データ・バイト0レジスタ15	C1MDATA015					不定
03FEC8E1H	CAN1メッセージ・データ・バイト1レジスタ15	C1MDATA115					不定
03FEC8E2H	CAN1メッセージ・データ・バイト23レジスタ15	C1MDATA2315					不定
03FEC8E2H	CAN1メッセージ・データ・バイト2レジスタ15	C1MDATA215					不定
03FEC8E3H	CAN1メッセージ・データ・バイト3レジスタ15	C1MDATA315					不定
03FEC8E4H	CAN1メッセージ・データ・バイト45レジスタ15	C1MDATA4515					不定
03FEC8E4H	CAN1メッセージ・データ・バイト4レジスタ15	C1MDATA415					不定
03FEC8E5H	CAN1メッセージ・データ・バイト5レジスタ15	C1MDATA515					不定
03FEC8E6H	CAN1メッセージ・データ・バイト67レジスタ15	C1MDATA6715				不定	
03FEC8E6H	CAN1メッセージ・データ・バイト6レジスタ15	C1MDATA615				不定	
03FEC8E7H	CAN1メッセージ・データ・バイト7レジスタ15	C1MDATA715				不定	
03FEC8E8H	CAN1メッセージ・データ長レジスタ15	C1MDLC15				0000xxxxB	
03FEC8E9H	CAN1メッセージ・コンフィギュレーション・レジスタ15	C1MCONF15				不定	
03FEC8EAH	CAN1メッセージIDレジスタ15	C1MIDL15				不定	
03FEC8ECH		C1MIDH15				不定	
03FEC8EEH	CAN1メッセージ制御レジスタ15	C1MCTRL15				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (27/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC900H	CAN1メッセージ・データ・バイト01レジスタ16	C1MDATA0116	R/W				不定
03FEC900H	CAN1メッセージ・データ・バイト0レジスタ16	C1MDATA016					不定
03FEC901H	CAN1メッセージ・データ・バイト1レジスタ16	C1MDATA116					不定
03FEC902H	CAN1メッセージ・データ・バイト23レジスタ16	C1MDATA2316					不定
03FEC902H	CAN1メッセージ・データ・バイト2レジスタ16	C1MDATA216					不定
03FEC903H	CAN1メッセージ・データ・バイト3レジスタ16	C1MDATA316					不定
03FEC904H	CAN1メッセージ・データ・バイト45レジスタ16	C1MDATA4516					不定
03FEC904H	CAN1メッセージ・データ・バイト4レジスタ16	C1MDATA416					不定
03FEC905H	CAN1メッセージ・データ・バイト5レジスタ16	C1MDATA516					不定
03FEC906H	CAN1メッセージ・データ・バイト67レジスタ16	C1MDATA6716					不定
03FEC906H	CAN1メッセージ・データ・バイト6レジスタ16	C1MDATA616					不定
03FEC907H	CAN1メッセージ・データ・バイト7レジスタ16	C1MDATA716					不定
03FEC908H	CAN1メッセージ・データ長レジスタ16	C1MDLC16					0000xxxxB
03FEC909H	CAN1メッセージ・コンフィギュレーション・レジスタ16	C1MCONF16					不定
03FEC90AH	CAN1メッセージIDレジスタ16	C1MIDL16					不定
03FEC90CH		C1MIDH16					不定
03FEC90EH	CAN1メッセージ制御レジスタ16	C1MCTRL16					00x00000 000xx000B
03FEC920H	CAN1メッセージ・データ・バイト01レジスタ17	C1MDATA0117					不定
03FEC920H	CAN1メッセージ・データ・バイト0レジスタ17	C1MDATA017					不定
03FEC921H	CAN1メッセージ・データ・バイト1レジスタ17	C1MDATA117					不定
03FEC922H	CAN1メッセージ・データ・バイト23レジスタ17	C1MDATA2317					不定
03FEC922H	CAN1メッセージ・データ・バイト2レジスタ17	C1MDATA217					不定
03FEC923H	CAN1メッセージ・データ・バイト3レジスタ17	C1MDATA317					不定
03FEC924H	CAN1メッセージ・データ・バイト45レジスタ17	C1MDATA4517					不定
03FEC924H	CAN1メッセージ・データ・バイト4レジスタ17	C1MDATA417					不定
03FEC925H	CAN1メッセージ・データ・バイト5レジスタ17	C1MDATA517					不定
03FEC926H	CAN1メッセージ・データ・バイト67レジスタ17	C1MDATA6717					不定
03FEC926H	CAN1メッセージ・データ・バイト6レジスタ17	C1MDATA617				不定	
03FEC927H	CAN1メッセージ・データ・バイト7レジスタ17	C1MDATA717				不定	
03FEC928H	CAN1メッセージ・データ長レジスタ17	C1MDLC17				0000xxxxB	
03FEC929H	CAN1メッセージ・コンフィギュレーション・レジスタ17	C1MCONF17				不定	
03FEC92AH	CAN1メッセージIDレジスタ17	C1MIDL17				不定	
03FEC92CH		C1MIDH17				不定	
03FEC92EH	CAN1メッセージ制御レジスタ17	C1MCTRL17				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (28/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC940H	CAN1メッセージ・データ・バイト01レジスタ18	C1MDATA0118	R/W				不定
03FEC940H	CAN1メッセージ・データ・バイト0レジスタ18	C1MDATA018					不定
03FEC941H	CAN1メッセージ・データ・バイト1レジスタ18	C1MDATA118					不定
03FEC942H	CAN1メッセージ・データ・バイト23レジスタ18	C1MDATA2318					不定
03FEC942H	CAN1メッセージ・データ・バイト2レジスタ18	C1MDATA218					不定
03FEC943H	CAN1メッセージ・データ・バイト3レジスタ18	C1MDATA318					不定
03FEC944H	CAN1メッセージ・データ・バイト45レジスタ18	C1MDATA4518					不定
03FEC944H	CAN1メッセージ・データ・バイト4レジスタ18	C1MDATA418					不定
03FEC945H	CAN1メッセージ・データ・バイト5レジスタ18	C1MDATA518					不定
03FEC946H	CAN1メッセージ・データ・バイト67レジスタ18	C1MDATA6718					不定
03FEC946H	CAN1メッセージ・データ・バイト6レジスタ18	C1MDATA618					不定
03FEC947H	CAN1メッセージ・データ・バイト7レジスタ18	C1MDATA718					不定
03FEC948H	CAN1メッセージ・データ長レジスタ18	C1MDLC18					0000xxxxB
03FEC949H	CAN1メッセージ・コンフィギュレーション・レジスタ18	C1MCONF18					不定
03FEC94AH	CAN1メッセージIDレジスタ18	C1MIDL18					不定
03FEC94CH		C1MIDH18					不定
03FEC94EH	CAN1メッセージ制御レジスタ18	C1MCTRL18					00x00000 000xx000B
03FEC960H	CAN1メッセージ・データ・バイト01レジスタ19	C1MDATA0119					不定
03FEC960H	CAN1メッセージ・データ・バイト0レジスタ19	C1MDATA019					不定
03FEC961H	CAN1メッセージ・データ・バイト1レジスタ19	C1MDATA119					不定
03FEC962H	CAN1メッセージ・データ・バイト23レジスタ19	C1MDATA2319					不定
03FEC962H	CAN1メッセージ・データ・バイト2レジスタ19	C1MDATA219					不定
03FEC963H	CAN1メッセージ・データ・バイト3レジスタ19	C1MDATA319					不定
03FEC964H	CAN1メッセージ・データ・バイト45レジスタ19	C1MDATA4519					不定
03FEC964H	CAN1メッセージ・データ・バイト4レジスタ19	C1MDATA419					不定
03FEC965H	CAN1メッセージ・データ・バイト5レジスタ19	C1MDATA519					不定
03FEC966H	CAN1メッセージ・データ・バイト67レジスタ19	C1MDATA6719					不定
03FEC966H	CAN1メッセージ・データ・バイト6レジスタ19	C1MDATA619					不定
03FEC967H	CAN1メッセージ・データ・バイト7レジスタ19	C1MDATA719				不定	
03FEC968H	CAN1メッセージ・データ長レジスタ19	C1MDLC19				0000xxxxB	
03FEC969H	CAN1メッセージ・コンフィギュレーション・レジスタ19	C1MCONF19				不定	
03FEC96AH	CAN1メッセージIDレジスタ19	C1MIDL19				不定	
03FEC96CH		C1MIDH19				不定	
03FEC96EH	CAN1メッセージ制御レジスタ19	C1MCTRL19				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (29/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC980H	CAN1メッセージ・データ・バイト01レジスタ20	C1MDATA0120	R/W				不定
03FEC980H	CAN1メッセージ・データ・バイト0レジスタ20	C1MDATA020					不定
03FEC981H	CAN1メッセージ・データ・バイト1レジスタ20	C1MDATA120					不定
03FEC982H	CAN1メッセージ・データ・バイト23レジスタ20	C1MDATA2320					不定
03FEC982H	CAN1メッセージ・データ・バイト2レジスタ20	C1MDATA220					不定
03FEC983H	CAN1メッセージ・データ・バイト3レジスタ20	C1MDATA320					不定
03FEC984H	CAN1メッセージ・データ・バイト45レジスタ20	C1MDATA4520					不定
03FEC984H	CAN1メッセージ・データ・バイト4レジスタ20	C1MDATA420					不定
03FEC985H	CAN1メッセージ・データ・バイト5レジスタ20	C1MDATA520					不定
03FEC986H	CAN1メッセージ・データ・バイト67レジスタ20	C1MDATA6720					不定
03FEC986H	CAN1メッセージ・データ・バイト6レジスタ20	C1MDATA620					不定
03FEC987H	CAN1メッセージ・データ・バイト7レジスタ20	C1MDATA720					不定
03FEC988H	CAN1メッセージ・データ長レジスタ20	C1MDLC20					0000xxxxB
03FEC989H	CAN1メッセージ・コンフィギュレーション・レジスタ20	C1MCONF20					不定
03FEC98AH	CAN1メッセージIDレジスタ20	C1MIDL20					不定
03FEC98CH		C1MIDH20					不定
03FEC98EH	CAN1メッセージ制御レジスタ20	C1MCTRL20					00x00000 000xx000B
03FEC9A0H	CAN1メッセージ・データ・バイト01レジスタ21	C1MDATA0121					不定
03FEC9A0H	CAN1メッセージ・データ・バイト0レジスタ21	C1MDATA021					不定
03FEC9A1H	CAN1メッセージ・データ・バイト1レジスタ21	C1MDATA121					不定
03FEC9A2H	CAN1メッセージ・データ・バイト23レジスタ21	C1MDATA2321					不定
03FEC9A2H	CAN1メッセージ・データ・バイト2レジスタ21	C1MDATA221					不定
03FEC9A3H	CAN1メッセージ・データ・バイト3レジスタ21	C1MDATA321					不定
03FEC9A4H	CAN1メッセージ・データ・バイト45レジスタ21	C1MDATA4521					不定
03FEC9A4H	CAN1メッセージ・データ・バイト4レジスタ21	C1MDATA421					不定
03FEC9A5H	CAN1メッセージ・データ・バイト5レジスタ21	C1MDATA521					不定
03FEC9A6H	CAN1メッセージ・データ・バイト67レジスタ21	C1MDATA6721					不定
03FEC9A6H	CAN1メッセージ・データ・バイト6レジスタ21	C1MDATA621					不定
03FEC9A7H	CAN1メッセージ・データ・バイト7レジスタ21	C1MDATA721					不定
03FEC9A8H	CAN1メッセージ・データ長レジスタ21	C1MDLC21					0000xxxxB
03FEC9A9H	CAN1メッセージ・コンフィギュレーション・レジスタ21	C1MCONF21				不定	
03FEC9AAH	CAN1メッセージIDレジスタ21	C1MIDL21				不定	
03FEC9ACH		C1MIDH21				不定	
03FEC9AEH	CAN1メッセージ制御レジスタ21	C1MCTRL21				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (30/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC9C0H	CAN1メッセージ・データ・バイト01レジスタ22	C1MDATA0122	R/W				不定
03FEC9C0H	CAN1メッセージ・データ・バイト0レジスタ22	C1MDATA022					不定
03FEC9C1H	CAN1メッセージ・データ・バイト1レジスタ22	C1MDATA122					不定
03FEC9C2H	CAN1メッセージ・データ・バイト23レジスタ22	C1MDATA2322					不定
03FEC9C2H	CAN1メッセージ・データ・バイト2レジスタ22	C1MDATA222					不定
03FEC9C3H	CAN1メッセージ・データ・バイト3レジスタ22	C1MDATA322					不定
03FEC9C4H	CAN1メッセージ・データ・バイト45レジスタ22	C1MDATA4522					不定
03FEC9C4H	CAN1メッセージ・データ・バイト4レジスタ22	C1MDATA422					不定
03FEC9C5H	CAN1メッセージ・データ・バイト5レジスタ22	C1MDATA522					不定
03FEC9C6H	CAN1メッセージ・データ・バイト67レジスタ22	C1MDATA6722					不定
03FEC9C6H	CAN1メッセージ・データ・バイト6レジスタ22	C1MDATA622					不定
03FEC9C7H	CAN1メッセージ・データ・バイト7レジスタ22	C1MDATA722					不定
03FEC9C8H	CAN1メッセージ・データ長レジスタ22	C1MDLC22					0000xxxxB
03FEC9C9H	CAN1メッセージ・コンフィギュレーション・レジスタ22	C1MCONF22					不定
03FEC9CAH	CAN1メッセージIDレジスタ22	C1MIDL22					不定
03FEC9CCH		C1MIDH22					不定
03FEC9CEH	CAN1メッセージ制御レジスタ22	C1MCTRL22					00x00000 000xx000B
03FEC9E0H	CAN1メッセージ・データ・バイト01レジスタ23	C1MDATA0123					不定
03FEC9E0H	CAN1メッセージ・データ・バイト0レジスタ23	C1MDATA023					不定
03FEC9E1H	CAN1メッセージ・データ・バイト1レジスタ23	C1MDATA123					不定
03FEC9E2H	CAN1メッセージ・データ・バイト23レジスタ23	C1MDATA2323					不定
03FEC9E2H	CAN1メッセージ・データ・バイト2レジスタ23	C1MDATA223					不定
03FEC9E3H	CAN1メッセージ・データ・バイト3レジスタ23	C1MDATA323					不定
03FEC9E4H	CAN1メッセージ・データ・バイト45レジスタ23	C1MDATA4523					不定
03FEC9E4H	CAN1メッセージ・データ・バイト4レジスタ23	C1MDATA423					不定
03FEC9E5H	CAN1メッセージ・データ・バイト5レジスタ23	C1MDATA523					不定
03FEC9E6H	CAN1メッセージ・データ・バイト67レジスタ23	C1MDATA6723					不定
03FEC9E6H	CAN1メッセージ・データ・バイト6レジスタ23	C1MDATA623					不定
03FEC9E7H	CAN1メッセージ・データ・バイト7レジスタ23	C1MDATA723					不定
03FEC9E8H	CAN1メッセージ・データ長レジスタ23	C1MDLC23					0000xxxxB
03FEC9E9H	CAN1メッセージ・コンフィギュレーション・レジスタ23	C1MCONF23					不定
03FEC9EAH	CAN1メッセージIDレジスタ23	C1MIDL23					不定
03FEC9ECH		C1MIDH23				不定	
03FEC9EEH	CAN1メッセージ制御レジスタ23	C1MCTRL23				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (31/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FECA00H	CAN1メッセージ・データ・バイト01レジスタ24	C1MDATA0124	R/W				不定
03FECA00H	CAN1メッセージ・データ・バイト0レジスタ24	C1MDATA024					不定
03FECA01H	CAN1メッセージ・データ・バイト1レジスタ24	C1MDATA124					不定
03FECA02H	CAN1メッセージ・データ・バイト23レジスタ24	C1MDATA2324					不定
03FECA02H	CAN1メッセージ・データ・バイト2レジスタ24	C1MDATA224					不定
03FECA03H	CAN1メッセージ・データ・バイト3レジスタ24	C1MDATA324					不定
03FECA04H	CAN1メッセージ・データ・バイト45レジスタ24	C1MDATA4524					不定
03FECA04H	CAN1メッセージ・データ・バイト4レジスタ24	C1MDATA424					不定
03FECA05H	CAN1メッセージ・データ・バイト5レジスタ24	C1MDATA524					不定
03FECA06H	CAN1メッセージ・データ・バイト67レジスタ24	C1MDATA6724					不定
03FECA06H	CAN1メッセージ・データ・バイト6レジスタ24	C1MDATA624					不定
03FECA07H	CAN1メッセージ・データ・バイト7レジスタ24	C1MDATA724					不定
03FECA08H	CAN1メッセージ・データ長レジスタ24	C1MDLC24					0000xxxxB
03FECA09H	CAN1メッセージ・コンフィギュレーション・レジスタ24	C1MCONF24					不定
03FECA0AH	CAN1メッセージIDレジスタ24	C1MIDL24					不定
03FECA0CH		C1MIDH24					不定
03FECA0EH	CAN1メッセージ制御レジスタ24	C1MCTRL24					00x00000 000xx000B
03FECA20H	CAN1メッセージ・データ・バイト01レジスタ25	C1MDATA0125					不定
03FECA20H	CAN1メッセージ・データ・バイト0レジスタ25	C1MDATA025					不定
03FECA21H	CAN1メッセージ・データ・バイト1レジスタ25	C1MDATA125					不定
03FECA22H	CAN1メッセージ・データ・バイト23レジスタ25	C1MDATA2325					不定
03FECA22H	CAN1メッセージ・データ・バイト2レジスタ25	C1MDATA225					不定
03FECA23H	CAN1メッセージ・データ・バイト3レジスタ25	C1MDATA325					不定
03FECA24H	CAN1メッセージ・データ・バイト45レジスタ25	C1MDATA4525					不定
03FECA24H	CAN1メッセージ・データ・バイト4レジスタ25	C1MDATA425				不定	
03FECA25H	CAN1メッセージ・データ・バイト5レジスタ25	C1MDATA525				不定	
03FECA26H	CAN1メッセージ・データ・バイト67レジスタ25	C1MDATA6725				不定	
03FECA26H	CAN1メッセージ・データ・バイト6レジスタ25	C1MDATA625				不定	
03FECA27H	CAN1メッセージ・データ・バイト7レジスタ25	C1MDATA725				不定	
03FECA28H	CAN1メッセージ・データ長レジスタ25	C1MDLC25				0000xxxxB	
03FECA29H	CAN1メッセージ・コンフィギュレーション・レジスタ25	C1MCONF25				不定	
03FECA2AH	CAN1メッセージIDレジスタ25	C1MIDL25				不定	
03FECA2CH		C1MIDH25				不定	
03FECA2EH	CAN1メッセージ制御レジスタ25	C1MCTRL25				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (32/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FECA40H	CAN1メッセージ・データ・バイト01レジスタ26	C1MDATA0126	R/W				不定
03FECA40H	CAN1メッセージ・データ・バイト0レジスタ26	C1MDATA026					不定
03FECA41H	CAN1メッセージ・データ・バイト1レジスタ26	C1MDATA126					不定
03FECA42H	CAN1メッセージ・データ・バイト23レジスタ26	C1MDATA2326					不定
03FECA42H	CAN1メッセージ・データ・バイト2レジスタ26	C1MDATA226					不定
03FECA43H	CAN1メッセージ・データ・バイト3レジスタ26	C1MDATA326					不定
03FECA44H	CAN1メッセージ・データ・バイト45レジスタ26	C1MDATA4526					不定
03FECA44H	CAN1メッセージ・データ・バイト4レジスタ26	C1MDATA426					不定
03FECA45H	CAN1メッセージ・データ・バイト5レジスタ26	C1MDATA526					不定
03FECA46H	CAN1メッセージ・データ・バイト67レジスタ26	C1MDATA6726					不定
03FECA46H	CAN1メッセージ・データ・バイト6レジスタ26	C1MDATA626					不定
03FECA47H	CAN1メッセージ・データ・バイト7レジスタ26	C1MDATA726					不定
03FECA48H	CAN1メッセージ・データ長レジスタ26	C1MDLC26					0000xxxxB
03FECA49H	CAN1メッセージ・コンフィギュレーション・レジスタ26	C1MCONF26					不定
03FECA4AH	CAN1メッセージIDレジスタ26	C1MIDL26					不定
03FECA4CH		C1MIDH26					不定
03FECA4EH	CAN1メッセージ制御レジスタ26	C1MCTRL26					00x00000 000xx000B
03FECA60H	CAN1メッセージ・データ・バイト01レジスタ27	C1MDATA0127					不定
03FECA60H	CAN1メッセージ・データ・バイト0レジスタ27	C1MDATA027					不定
03FECA61H	CAN1メッセージ・データ・バイト1レジスタ27	C1MDATA127					不定
03FECA62H	CAN1メッセージ・データ・バイト23レジスタ27	C1MDATA2327					不定
03FECA62H	CAN1メッセージ・データ・バイト2レジスタ27	C1MDATA227					不定
03FECA63H	CAN1メッセージ・データ・バイト3レジスタ27	C1MDATA327					不定
03FECA64H	CAN1メッセージ・データ・バイト45レジスタ27	C1MDATA4527					不定
03FECA64H	CAN1メッセージ・データ・バイト4レジスタ27	C1MDATA427					不定
03FECA65H	CAN1メッセージ・データ・バイト5レジスタ27	C1MDATA527					不定
03FECA66H	CAN1メッセージ・データ・バイト67レジスタ27	C1MDATA6727					不定
03FECA66H	CAN1メッセージ・データ・バイト6レジスタ27	C1MDATA627					不定
03FECA67H	CAN1メッセージ・データ・バイト7レジスタ27	C1MDATA727					不定
03FECA68H	CAN1メッセージ・データ長レジスタ27	C1MDLC27					0000xxxxB
03FECA69H	CAN1メッセージ・コンフィギュレーション・レジスタ27	C1MCONF27					不定
03FECA6AH	CAN1メッセージIDレジスタ27	C1MIDL27					不定
03FECA6CH		C1MIDH27				不定	
03FECA6EH	CAN1メッセージ制御レジスタ27	C1MCTRL27				00x00000 000xx000B	



表21 - 16 レジスタ・アクセス・タイプ (33/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FECA80H	CAN1メッセージ・データ・バイト01レジスタ28	C1MDATA0128	R/W				不定
03FECA80H	CAN1メッセージ・データ・バイト0レジスタ28	C1MDATA028					不定
03FECA81H	CAN1メッセージ・データ・バイト1レジスタ28	C1MDATA128					不定
03FECA82H	CAN1メッセージ・データ・バイト23レジスタ28	C1MDATA2328					不定
03FECA82H	CAN1メッセージ・データ・バイト2レジスタ28	C1MDATA228					不定
03FECA83H	CAN1メッセージ・データ・バイト3レジスタ28	C1MDATA328					不定
03FECA84H	CAN1メッセージ・データ・バイト45レジスタ28	C1MDATA4528					不定
03FECA84H	CAN1メッセージ・データ・バイト4レジスタ28	C1MDATA428					不定
03FECA85H	CAN1メッセージ・データ・バイト5レジスタ28	C1MDATA528					不定
03FECA86H	CAN1メッセージ・データ・バイト67レジスタ28	C1MDATA6728					不定
03FECA86H	CAN1メッセージ・データ・バイト6レジスタ28	C1MDATA628					不定
03FECA87H	CAN1メッセージ・データ・バイト7レジスタ28	C1MDATA728					不定
03FECA88H	CAN1メッセージ・データ長レジスタ28	C1MDLC28					0000xxxxB
03FECA89H	CAN1メッセージ・コンフィギュレーション・レジスタ28	C1MCONF28					不定
03FECA8AH	CAN1メッセージIDレジスタ28	C1MIDL28					不定
03FECA8CH		C1MIDH28					不定
03FECA8EH	CAN1メッセージ制御レジスタ28	C1MCTRL28					00x00000 000xx000B
03FECAA0H	CAN1メッセージ・データ・バイト01レジスタ29	C1MDATA0129					不定
03FECAA0H	CAN1メッセージ・データ・バイト0レジスタ29	C1MDATA029					不定
03FECAA1H	CAN1メッセージ・データ・バイト1レジスタ29	C1MDATA129					不定
03FECAA2H	CAN1メッセージ・データ・バイト23レジスタ29	C1MDATA2329					不定
03FECAA2H	CAN1メッセージ・データ・バイト2レジスタ29	C1MDATA229					不定
03FECAA3H	CAN1メッセージ・データ・バイト3レジスタ29	C1MDATA329					不定
03FECAA4H	CAN1メッセージ・データ・バイト45レジスタ29	C1MDATA4529					不定
03FECAA4H	CAN1メッセージ・データ・バイト4レジスタ29	C1MDATA429					不定
03FECAA5H	CAN1メッセージ・データ・バイト5レジスタ29	C1MDATA529					不定
03FECAA6H	CAN1メッセージ・データ・バイト67レジスタ29	C1MDATA6729					不定
03FECAA6H	CAN1メッセージ・データ・バイト6レジスタ29	C1MDATA629					不定
03FECAA7H	CAN1メッセージ・データ・バイト7レジスタ29	C1MDATA729					不定
03FECAA8H	CAN1メッセージ・データ長レジスタ29	C1MDLC29					0000xxxxB
03FECAA9H	CAN1メッセージ・コンフィギュレーション・レジスタ29	C1MCONF29					不定
03FECAA AH	CAN1メッセージIDレジスタ29	C1MIDL29					不定
03FECAACH		C1MIDH29					不定
03FECAA EH	CAN1メッセージ制御レジスタ29	C1MCTRL29				00x00000 000xx000B	

表21 - 16 レジスタ・アクセス・タイプ (34/34)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FECAC0H	CAN1メッセージ・データ・バイト01レジスタ30	C1MDATA0130	R/W				不定
03FECAC0H	CAN1メッセージ・データ・バイト0レジスタ30	C1MDATA030					不定
03FECAC1H	CAN1メッセージ・データ・バイト1レジスタ30	C1MDATA130					不定
03FECAC2H	CAN1メッセージ・データ・バイト23レジスタ30	C1MDATA2330					不定
03FECAC2H	CAN1メッセージ・データ・バイト2レジスタ30	C1MDATA230					不定
03FECAC3H	CAN1メッセージ・データ・バイト3レジスタ30	C1MDATA330					不定
03FECAC4H	CAN1メッセージ・データ・バイト45レジスタ30	C1MDATA4530					不定
03FECAC4H	CAN1メッセージ・データ・バイト4レジスタ30	C1MDATA430					不定
03FECAC5H	CAN1メッセージ・データ・バイト5レジスタ30	C1MDATA530					不定
03FECAC6H	CAN1メッセージ・データ・バイト67レジスタ30	C1MDATA6730					不定
03FECAC6H	CAN1メッセージ・データ・バイト6レジスタ30	C1MDATA630					不定
03FECAC7H	CAN1メッセージ・データ・バイト7レジスタ30	C1MDATA730					不定
03FECAC8H	CAN1メッセージ・データ長レジスタ30	C1MDLC30					0000xxxxB
03FECAC9H	CAN1メッセージ・コンフィギュレーション・レジスタ30	C1MCONF30					不定
03FECACAH	CAN1メッセージIDレジスタ30	C1MIDL30					不定
03FECACCH		C1MIDH30					不定
03FECACEH	CAN1メッセージ制御レジスタ30	C1MCTRL30					00x00000 000xx000B
03FECAE0H	CAN1メッセージ・データ・バイト01レジスタ31	C1MDATA0131					不定
03FECAE0H	CAN1メッセージ・データ・バイト0レジスタ31	C1MDATA031					不定
03FECAE1H	CAN1メッセージ・データ・バイト1レジスタ31	C1MDATA131					不定
03FECAE2H	CAN1メッセージ・データ・バイト23レジスタ31	C1MDATA2331					不定
03FECAE2H	CAN1メッセージ・データ・バイト2レジスタ31	C1MDATA231					不定
03FECAE3H	CAN1メッセージ・データ・バイト3レジスタ31	C1MDATA331					不定
03FECAE4H	CAN1メッセージ・データ・バイト45レジスタ31	C1MDATA4531					不定
03FECAE4H	CAN1メッセージ・データ・バイト4レジスタ31	C1MDATA431					不定
03FECAE5H	CAN1メッセージ・データ・バイト5レジスタ31	C1MDATA531					不定
03FECAE6H	CAN1メッセージ・データ・バイト67レジスタ31	C1MDATA6731					不定
03FECAE6H	CAN1メッセージ・データ・バイト6レジスタ31	C1MDATA631					不定
03FECAE7H	CAN1メッセージ・データ・バイト7レジスタ31	C1MDATA731					不定
03FECAE8H	CAN1メッセージ・データ長レジスタ31	C1MDLC31					0000xxxxB
03FECAE9H	CAN1メッセージ・コンフィギュレーション・レジスタ31	C1MCONF31				不定	
03FECAEAH	CAN1メッセージIDレジスタ31	C1MIDL31				不定	
03FECAECH		C1MIDH31				不定	
03FECAEEH	CAN1メッセージ制御レジスタ31	C1MCTRL31				00x00000 000xx000B	

## 21.5.3 レジスタのビット構成

表21 - 17 CANグローバル・レジスタのビット構成

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
03FExx00H	CnGMCTRL (W)	0	0	0	0	0	0	0	Clear GOM
03FExx01H		0	0	0	0	0	0	Set EFSD	Set GOM
03FExx00H	CnGMCTRL (R)	0	0	0	0	0	0	EFSD	GOM
03FExx01H		MBON	0	0	0	0	0	0	0
03FExx02H	CnGMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0
03FExx06H	CnGMABT (W)	0	0	0	0	0	0	0	Clear ABTTRG
03FExx07H		0	0	0	0	0	0	Set ABTCLR	Set ABTTRG
03FExx06H	CnGMABT (R)	0	0	0	0	0	0	ABTCLR	ABTTRG
03FExx07H		0	0	0	0	0	0	0	0
03FExx08H	CnGMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

備考 n = 0, 1

n = 0のとき, xx = C0

n = 1のとき, xx = C6

表21 - 18 CANモジュール・レジスタのビット構成

( 1/2 )

アドレス	略 号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
03FExx40H	CnMASK1L	CMID7-CMID0							
03FExx41H		CMID15-CMID8							
03FExx42H	CnMASK1H	CMID23-CMID16							
03FExx43H		0	0	0	CMID28-CMID24				
03FExx44H	CnMASK2L	CMID7-CMID0							
03FExx45H		CMID15-CMID8							
03FExx46H	CnMASK2H	CMID23-CMID16							
03FExx47H		0	0	0	CMID28-CMID24				
03FExx48H	CnMASK3L	CMID7-CMID0							
03FExx49H		CMID15-CMID8							
03FExx4AH	CnMASK3H	CMID23-CMID16							
03FExx4BH		0	0	0	CMID28-CMID24				
03FExx4CH	CnMASK4L	CMID7-CMID0							
03FExx4DH		CMID15-CMID8							
03FExx4EH	CnMASK4H	CMID23-CMID16							
03FExx4FH		0	0	0	CMID28-CMID24				
03FExx50H	CnCTRL ( W )	0	Clear AL	Clear VALID	Clear PSMODE1	Clear PSMODE0	Clear OPMODE2	Clear OPMODE1	Clear OPMODE0
03FExx51H		Set CCERC	Set AL	0	Set PSMODE1	Set PSMODE0	Set OPMODE2	Set OPMODE1	Set OPMODE0
03FExx50H	CnCTRL ( R )	CCERC	AL	VALID	PS MODE1	PS MODE0	OP MODE2	OP MODE1	OP MODE0
03FExx51H		0	0	0	0	0	0	RSTAT	TSTAT
03FExx52H	CnLEC ( W )	0	0	0	0	0	0	0	0
03FExx52H	CnLEC ( R )	0	0	0	0	0	LEC2	LEC1	LEC0
03FExx53H	CnINFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0
03FExx54H	CnERC	TEC7-TEC0							
03FExx55H		REPS	REC6-REC0						
03FExx56H	CnIE ( W )	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0
03FExx57H		0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0
03FExx56H	CnIE ( R )	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0
03FExx57H		0	0	0	0	0	0	0	0
03FExx58H	CnINTS ( W )	0	0	Clear CINTS5	Clear CINTS4	Clear CINTS3	Clear CINTS2	Clear CINTS1	Clear CINTS0
03FExx59H		0	0	0	0	0	0	0	0
03FExx58H	CnINTS ( R )	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0
03FExx59H		0	0	0	0	0	0	0	0

備考 n = 0, 1

n = 0のとき, xx = C0

n = 1のとき, xx = C6

表21 - 18 CANモジュール・レジスタのビット構成

(2/2)

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
03FExx5AH	CnBRP	TQPRS7-TQPRS0							
03FExx5CH	CnBTR	0	0	0	0	TSEG13-TSEG10			
03FExx5DH		0	0	SJW1, SJW0		0	TSEG22-TSEG20		
03FExx5EH	CnLIPT	LIPT7-LIPT0							
03FExx60H	CnRGPT ( W )	0	0	0	0	0	0	0	Clear ROVF
03FExx61H		0	0	0	0	0	0	0	0
03FExx60H	CnRGPT ( R )	0	0	0	0	0	0	RHPM	ROVF
03FExx61H		RGPT7-RGPT0							
03FExx62H	CnLOPT	LOPT7-LOPT0							
03FExx64H	CnTGPT ( W )	0	0	0	0	0	0	0	Clear TOVF
03FExx65H		0	0	0	0	0	0	0	0
03FExx64H	CnTGPT ( R )	0	0	0	0	0	0	THPM	TOVF
03FExx65H		TGPT7-TGPT0							
03FExx66H	CnTS ( W )	0	0	0	0	0	Clear TSLOCK	Clear TSSEL	Clear TSEN
03FExx67H		0	0	0	0	0	Set TSLOCK	Set TSSEL	Set TSEN
03FExx66H	CnTS ( R )	0	0	0	0	0	TSLOCK	TSSEL	TSEN
03FExx67H		0	0	0	0	0	0	0	0
03FExx68H- 03FExxFFH	-	アクセス禁止 ( reserved for future use )							

備考 n = 0, 1

n = 0のとき, xx = C0

n = 1のとき, xx = C6

表21 - 19 メッセージ・バッファ・レジスタのビット構成

アドレス	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
03FECxx0H	CnMDATA01m	メッセージ・データ (バイト0)							
03FECxx1H		メッセージ・データ (バイト1)							
03FECxx0H	CnMDATA0m	メッセージ・データ (バイト0)							
03FECxx1H		メッセージ・データ (バイト1)							
03FECxx2H	CnMDATA23m	メッセージ・データ (バイト2)							
03FECxx3H		メッセージ・データ (バイト3)							
03FECxx2H	CnMDATA2m	メッセージ・データ (バイト2)							
03FECxx3H		メッセージ・データ (バイト3)							
03FECxx4H	CnMDATA45m	メッセージ・データ (バイト4)							
03FECxx5H		メッセージ・データ (バイト5)							
03FECxx4H	CnMDATA4m	メッセージ・データ (バイト4)							
03FECxx5H		メッセージ・データ (バイト5)							
03FECxx6H	CnMDATA67m	メッセージ・データ (バイト6)							
03FECxx7H		メッセージ・データ (バイト7)							
03FECxx6H	CnMDATA6m	メッセージ・データ (バイト6)							
03FECxx7H		メッセージ・データ (バイト7)							
03FECxx8H	CnMDLcM	0				MDLc3	MDLc2	MDLc1	MDLc0
03FECxx9H	CnMCONFm	OWS	RTR	MT2	MT1	MT0	0	0	MA0
03FECxxAH	CnMIDLm	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
03FECxxBH		ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
03FECxxCH	CnMIDHm	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16
03FECxxDH		IDE	0	0	ID28	ID27	ID26	ID25	ID24
03FECxxEH	CnMCTRLm (W)	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY
03FECxxFH		0	0	0	0	Set IE	0	Set TRQ	Set RDY
03FECxxEH	CnMCTRLm (R)	0	0	0	MOW	IE	DN	TRQ	RDY
03FECxxFH		0	0	MUC	0	0	0	0	0
03FECxx0- 03FECxxFH	-	アクセス禁止 (reserved for future)							

備考 n = 0, 1

m = 00-31

n = 0のとき, xx = 10, 12, 14, 16, 18, 1A, 1C, 1E, 20, 22, 24, 26, 28, 2A, 2C, 2E, 30, 32, 34, 36, 38, 3A, 3C,  
3E, 40, 42, 44, 46, 48, 4A, 4C, 4E

n = 1のとき, xx = 70, 72, 74, 76, 78, 7A, 7C, 7E, 80, 82, 84, 86, 88, 8A, 8C, 8E, 90, 92, 94, 96, 98, 9A, 9C,  
9E, A0, A2, A4, A6, A8, AA, AC, AE

## 21.6 レジスタ

**注意** 次に示す状態において、CANコントローラのレジスタへのアクセスは禁止です。詳細は3.4.9(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

**備考** n = 0, 1

m = 00-31

## (1) CANnグローバル制御レジスタ (CnGMCTRL)

CnGMCTRLレジスタは、CANモジュールの動作を制御します。

(1/2)

リセット時：0000H R/W アドレス：C0GMCTRL 03FEC000H, C1GMCTRL 03FEC600H

## (a) リード時

	15	14	13	12	11	10	9	8
CnGMCTRL	MBON	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	EFSD	GOM

## (b) ライト時

	15	14	13	12	11	10	9	8
CnGMCTRL	0	0	0	0	0	0	Set EFSD	Set GOM
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear GOM

## (a) リード時

MBON	メッセージ・バッファ・レジスタおよび送信・受信履歴・レジスタへのアクセス有効ビット
0	メッセージ・バッファ・レジスタおよび送信・受信履歴・レジスタへのライト・アクセスおよびリード・アクセスは無効
1	メッセージ・バッファ・レジスタおよび送信・受信履歴・レジスタへのライト・アクセスおよびリード・アクセスは有効

- 注意1.** MBONビットがクリア (0) されている間は、ソフトウェアによるメッセージ・バッファ (CnMDATA0m, CnMDATA1m, CnMDATA01m, CnMDATA2m, CnMDATA3m, CnMDATA23m, CnMDATA4m, CnMDATA5m, CnMDATA45m, CnMDATA6m, CnMDATA7m, CnMDATA67m, CnMDLcm, CnMCONFm, CnMIDLm, CnMIDHm, CnMCTRLm) および送信履歴、受信履歴に関連したレジスタ (CnLOPT, CnTGPT, CnLIPT, CnRGPT) へのアクセスは無効です。
- 2.** このビットはリード・オンリーです。MBONビット = 0の状態でも1をライトしてもMBONビットは変化せず、メッセージ・バッファ・レジスタおよび送信履歴、受信履歴に関連したレジスタへのアクセスは無効のままです。

**備考** CANスリープ・モード / CANストップ・モードに移行した場合、またはGOMビットをクリアした場合にMBONビットがクリア (0) されます。また、CANスリープ・モード / CANストップ・モードを解除した場合、またはGOMビットをセット (1) した場合にMBONビットがセット (1) されます。



(2/2)

EFSD	強制シャット・ダウン有効ビット
0	GOMビット = 0による強制シャット・ダウンは無効
1	GOMビット = 0による強制シャット・ダウンは有効

**注意** 強制シャット・ダウンの要求を行う場合は、EFSDビットをセット(1)した直後に、GOMビットをクリア(0)してください。EFSDビットをセット(1)した直後にGOMビットをクリア(0)しないで、ソフトウェア(NMI含む割り込み)、DMAによるそのほかのレジスタ・アクセス(CnGMCTRLレジスタのリード含む)の実行をすると、EFSDビットは自動的にクリア(0)され、強制シャット・ダウンの要求は無効になります。

GOM	グローバル操作モード・ビット
0	CANモジュールは動作禁止状態
1	CANモジュールは動作許可状態

**注意** GOMビットは、初期化モードのとき、またはEFSDビットをセット(1)した直後のみクリア(0)できます。

(b) ライト時

Set EFSD	EFSDビットの設定
0	EFSDビットの変更なし
1	EFSDビットをセット(1)する

Set GOM	Clear GOM	GOMビットの設定
0	1	GOMビットをクリア(0)する
1	0	GOMビットをセット(1)する
上記以外		GOMビットの変更なし

**注意** GOMビットの設定とEFSDビットの設定は、必ず別々に行ってください。

## (2) CANnグローバル・クロック選択レジスタ (CnGMCS)

CnGMCSレジスタは、CANモジュール・システム・クロックを選択します。

リセット時：0FH      R/W    アドレス：C0GMCS 03FEC002H, C1GMCS 03FEC602H

	7	6	5	4	3	2	1	0
CnGMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0

CCP3	CCP2	CCP1	CCP1	CANモジュール・システム・クロック (f <sub>CANMOD</sub> )
0	0	0	0	f <sub>CAN/1</sub>
0	0	0	1	f <sub>CAN/2</sub>
0	0	1	0	f <sub>CAN/3</sub>
0	0	1	1	f <sub>CAN/4</sub>
0	1	0	0	f <sub>CAN/5</sub>
0	1	0	1	f <sub>CAN/6</sub>
0	1	1	0	f <sub>CAN/7</sub>
0	1	1	1	f <sub>CAN/8</sub>
1	0	0	0	f <sub>CAN/9</sub>
1	0	0	1	f <sub>CAN/10</sub>
1	0	1	0	f <sub>CAN/11</sub>
1	0	1	1	f <sub>CAN/12</sub>
1	1	0	0	f <sub>CAN/13</sub>
1	1	0	1	f <sub>CAN/14</sub>
1	1	1	0	f <sub>CAN/15</sub>
1	1	1	1	f <sub>CAN/16 (初期値)</sub>

**備考** f<sub>CAN</sub> : CANクロック周波数

クロック・モード1のとき, f<sub>CAN</sub> = f<sub>XX</sub>

クロック・モード2のとき, f<sub>CAN</sub> = f<sub>XMPLL</sub> (29.28 ~ 32 MHz)

クロック・モード3のとき, f<sub>CAN</sub> = f<sub>XMPLL</sub> (29.28 ~ 32 MHz)

クロック・モード4のとき, f<sub>CAN</sub> = f<sub>XMPLL</sub>/2 (20.88 ~ 24 MHz)

f<sub>XX</sub> : メイン・クロック周波数

f<sub>XMPLL</sub> : 周辺クロック用途PLL出力クロック周波数

## (3) CANn グローバル自動ブロック送信制御レジスタ (CnGMABT)

CnGMABTレジスタは、自動ブロック送信 (ABT) 動作を制御します。

(1/2)

リセット時 : 0000H R/W アドレス : C0GMABT 03FEC006H, C1GMABT 03FEC606H

## (a) リード時

	15	14	13	12	11	10	9	8
CnGMABT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	ABTCLR	ABTTRG

## (b) ライト時

	15	14	13	12	11	10	9	8
CnGMABT	0	0	0	0	0	0	Set ABTCLR	Set ABTTRG
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear ABTTRG

**注意** ABT付き通常動作モードから初期化モードに移行する前に、CnGMABTレジスタには必ず初期値 (0000H) を設定してください。設定後は、CnGMABTレジスタが0000Hに初期化されたことを確実に確認してください。

## (a) リード時

ABTCLR	自動ブロック送信エンジン・クリア・ステータス・ビット
0	自動ブロック送信エンジンのクリア処理を完了
1	自動ブロック送信エンジンのクリア処理中

**備考1.** ABTCLRビットは、ABTTRGビットがクリア (0) されている状態でセット (1) してください。ABTTRGビットがセット (1) されている状態でABTCLRビットをセット (1) した場合には、動作を保証しません。

**2.** ABTCLRビットのセット (1) による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点でABTCLRビットがただちに自動的にクリア (0) されます。

ABTTRG	自動ブロック送信ステータス・ビット
0	自動ブロック送信の停止中
1	自動ブロック送信の実行中

**注意1.** 初期化モード中にABTTRGビットをセット (1) しないでください。

初期化モード中にABTTRGビットをセット (1) した場合、ABT付き通常動作モード移行後の動作を保証しません。

**2.** CnCTRL.TSTATビットがセット (1) されている間はABTTRGビットをセット (1) しないでください。ABTTRGビットをセット (1) する前にTSTATビット = 0であることを直接事前に確認してください。

(2/2)

## (b) ライト時

Set ABTCLR	自動ブロック送信エンジンのクリア要求ビット
0	自動ブロック送信エンジンはアイドル状態または動作中
1	自動ブロック送信エンジンのクリア要求 自動ブロック送信エンジンのクリア後は、ABTTRGビットのセット(1)による自動ブロック送信はメッセージ・バッファ0から開始されます。

Set ABTTRG	Clear ABTTRG	自動ブロック送信開始ビット
0	1	自動ブロック送信の停止を要求
1	0	自動ブロック送信の開始を要求
上記以外		ABTTRGビットの変更なし

**注意** ABTTRGビットをセット(1)しても、他ノードからメッセージを受信していた場合やABTメッセージ以外のメッセージ(メッセージ・バッファ8-メッセージ・バッファ31)を送信していた場合などの状況により、即時に送信を行わない可能性があります。

また、ABTTRGビットをクリア(0)しても、送信の途中で中断されることはありません。送信中の場合には、送信が完了(成功/失敗問わず)するまで送信を続けます。

## (4) CANnグローバル自動ブロック送信遅延設定レジスタ (CnGMABTD)

CnGMABTDレジスタは、ABT付き通常動作モードにおいて、ABTに割り付けられたメッセージ・バッファの送信間隔を設定します。

リセット時：00H      R/W    アドレス：C0GMABTD 03FEC008H, C1GMABTD 03FEC608H

	7	6	5	4	3	2	1	0
CnGMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

ABTD3	ABTD2	ABTD1	ABTD0	自動ブロック送信時のデータ・フレーム間隔(単位はデータ・ビット・タイム; DBT)
0	0	0	0	0 DBT (初期値)
0	0	0	1	2 <sup>5</sup> DBT
0	0	1	0	2 <sup>6</sup> DBT
0	0	1	1	2 <sup>7</sup> DBT
0	1	0	0	2 <sup>8</sup> DBT
0	1	0	1	2 <sup>9</sup> DBT
0	1	1	0	2 <sup>10</sup> DBT
0	1	1	1	2 <sup>11</sup> DBT
1	0	0	0	2 <sup>12</sup> DBT
上記以外				設定禁止

- 注意** 1. ABTTRGビットがセット(1)されている場合は、CnGMABTDレジスタの内容は変更しないでください。
2. 実際にCANバス上に送信されるABTメッセージのタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ(メッセージ・バッファ8-メッセージ・バッファ31)に対する送信要求の設定状況によって変化します。
3. ビット4-7には必ず0を設定してください。

## (5) CANnモジュール・マスク制御レジスタ (CnMASKaL, CnMASKaH) (a = 1, 2, 3, 4)

CnMASKaL, CnMASKaHレジスタは、メッセージのアイデンティファイア (ID) の一部をマスクすることで、マスクされた部分のID比較を無効にし、同一メッセージ・バッファ内の受信可能なメッセージ数を拡張します。

(1/2)

## ・ CANnモジュール・マスク1レジスタ (CnMASK1L, CnMASK1H)

リセット時：不定      R/W    アドレス：C0MASK1L 03FEC040H, C1MASK1L 03FEC640H,  
C0MASK1H 03FEC042H, C1MASK1H 03FEC642H

	15	14	13	12	11	10	9	8
CnMASK1L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
CnMASK1H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

## ・ CANnモジュール・マスク2レジスタ (CnMASK2L, CnMASK2H)

リセット時：不定      R/W    アドレス：C0MASK2L 03FEC044H, C1MASK2L 03FEC644H,  
C0MASK2H 03FEC046H, C1MASK2H 03FEC646H

	15	14	13	12	11	10	9	8
CnMASK2L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
CnMASK2H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

(2/2)

・ CANnモジュール・マスク3レジスタ ( CnMASK3L, CnMASK3H )

リセット時：不定 R/W アドレス：C0MASK3L 03FEC048H, C1MASK3L 03FEC648H,  
C0MASK3H 03FEC04AH, C1MASK3H 03FEC64AH

	15	14	13	12	11	10	9	8
CnMASK3L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
CnMASK3H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

・ CANnモジュール・マスク4レジスタ ( CnMASK4L, CnMASK4H )

リセット時：不定 R/W アドレス：C0MASK4L 03FEC04CH, C1MASK4L 03FEC64CH,  
C0MASK4H 03FEC04EH, C1MASK4H 03FEC64EH

	15	14	13	12	11	10	9	8
CnMASK4L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
CnMASK4H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

CMID28-CMID0	IDビットのマスク・パターンを設定
0	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較します。
1	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較しません(マスクします)。

**注意** CnMASKaHレジスタのビット13-15には必ず0を設定してください。

**備考** マスクは常に29ビットのID長で定義されます。マスクが標準IDのメッセージに割り当てられた場合、CMID17-CMID0ビットは無視されます。したがって、受信IDはCMID28-CMID18ビットのみマスクされます。なお、標準および拡張IDはともに同一マスクを使用することができません。

## (6) CANnモジュール制御レジスタ (CnCTRL)

CnCTRLレジスタは、CANモジュールの動作モードを制御します。

(1/4)

リセット時：0000H R/W アドレス：C0CTRL 03FEC050H, C1CTRL 03FEC650H

## (a) リード時

	15	14	13	12	11	10	9	8
CnCTRL	0	0	0	0	0	0	RSTAT	TSTAT
	7	6	5	4	3	2	1	0
	CCERC	AL	VALID	PSMODE	PSMODE	OPMODE	OPMODE	OPMODE
				1	0	2	1	0

## (b) ライト時

	15	14	13	12	11	10	9	8
CnCTRL	Set CCERC	Set AL	0	Set PSMODE	Set PSMODE	Set OPMODE	Set OPMODE	Set OPMODE
				1	0	2	1	0
	7	6	5	4	3	2	1	0
	0	Clear AL	Clear VALID	Clear PSMODE	Clear PSMODE	Clear OPMODE	Clear OPMODE	Clear OPMODE
				1	0	2	1	0

## (a) リード時

RSTAT	受信ステータス・ビット
0	受信停止状態
1	受信動作状態

**備考** RSTATビットは、次の条件（タイミング）でセット（1）されます。

- ・受信フレームのSOFビット
- ・送信フレーム中のアービトレーション・ロスト発生時

RSTATビットは、次の条件（タイミング）でクリア（0）されます。

- ・インタフレーム・スペースの2ビット目にレセシブを検出時
- ・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき



(2/4)

TSTAT	送信ステータス・ビット
0	送信停止状態
1	送信動作状態

- 備考** TSTATビットは、次の条件（タイミング）でセット（1）されます。
- ・送信フレームのSOFビット
- TSTATビットは、次の条件（タイミング）でクリア（0）されます。
- ・バス・オフ移行時
  - ・送信フレーム中のアービトレーション・ロスト発生時
  - ・インタフレーム・スペースの2ビット目にレセシブを検出時
  - ・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

CCERC	エラー・カウンタ・クリア・ビット
0	初期化モードにおいて、CnERCレジスタとCnINFOレジスタのクリア中ではありません。
1	初期化モードにおいて、CnERCレジスタとCnINFOレジスタがクリア中です。

- 備考1.** CCERCビットは、再初期化やバス・オフ強制復帰の際に、CnERCレジスタとCnINFOレジスタをクリアするために使用します。初期化モードでのみ、セット（1）が可能です。
2. CnERCレジスタおよびCnINFOレジスタがクリアされると、CCERCビットも自動的にクリア（0）されます。
  3. 初期化モードから任意の動作モードへの遷移要求と同時に、CCERCビットのセット（1）が可能です。
  4. セルフ・テスト・モードでINITモード移行直後にCCERCビットをセット（1）した場合、受信データが破壊される可能性があります。

AL	アービトレーション・ロスト時の動作設定ビット
0	シングル・ショット・モードにおいて、アービトレーション・ロストが発生した場合、再送信されません。
1	シングル・ショット・モードにおいて、アービトレーション・ロストが発生した場合、再送信されます。

- 備考** ALビットは、シングル・ショット・モードにおいてのみ有効です。

VALID	有効な受信メッセージ・フレーム検出ビット
0	VALIDビットが最後にクリア（0）されてから、有効なメッセージ・フレーム受信がありません。
1	VALIDビットが最後にクリア（0）されてから、有効なメッセージ・フレーム受信があります。

- 備考** 1. 有効な受信メッセージ・フレームの検出には、受信メッセージ・バッファへの格納（データ・フレーム）または送信メッセージ・バッファへの格納（リモート・フレーム）の有無に依存しません。
2. 初期化モードから任意の動作モードに移行する前に、VALIDビットをクリア（0）してください。
  3. CANバスにCANノードが2つのみ接続され、一方のCANノードが通常動作モードでメッセージ・フレームを送信し、もう一方のCANノードが受信オンリー・モードである場合は、受信オンリー・モードではACKが発生しないため、VALIDビットは送信ノードがエラー・パッシブになる前にセット（1）されることはありません。
  4. VALIDビットをクリアする際は、Clear VALIDビットをセット（1）したあと、VALIDビットがクリアされることを確認してください。クリアされていない場合は、再度クリア処理を行ってください。

( 3/4 )

PSMODE1	PSMODE0	パワー・セーブ・モード
0	0	パワー・セーブ・モードは選択されていません。
0	1	CANスリープ・モード
1	0	設定禁止
1	1	CANストップ・モード

- 注意1.** CANストップ・モードへの遷移およびCANストップ・モードからの遷移は、必ずCANスリープ・モードを経由してください。直接の遷移要求は無視されます。
2. パワー・セーブ・モードを解除したあと、再度メッセージ・バッファへアクセスする前に CnGMCTRL.MBONフラグを確認する必要があります。
  3. CANスリープ・モードへの遷移要求は、ソフトウェアによりキャンセルされるかあるいはCANバスがバス・アイドル状態に遷移するまで保留されます。PSMODE1, PSMODE0ビットを読み出すことでソフトウェアはCANスリープ・モードへの遷移状況を確認することができます。

OPMODE2	OPMODE1	OPMODE0	動作モード
0	0	0	動作モードは選択されていません (CANモジュールは初期化モード状態)。
0	0	1	通常動作モード
0	1	0	自動ブロック送信機能付き通常動作モード (ABT付き通常動作モード)
0	1	1	受信オンリー・モード
1	0	0	シングル・ショット・モード
1	0	1	セルフ・テスト・モード
上記以外			設定禁止

**注意** 初期化モードまたはパワー・セーブ・モードへの移行は、ある程度の時間がかかる可能性があるため、処理を実行する前にレジスタ値を読み込むことにより、モードの移行が成功したかどうかを必ず確認してください。

**備考** CANスリープ・モードまたはCANストップ・モード中、OPMODE0-OPMODE2ビットはリード・オンリーです。

## (b) ライト時

Set CCERC	CCERCビットの設定
1	CCERCビットをセット (1) する
上記以外	CCERCビットの変更なし

Set AL	Clear AL	ALビットの設定
0	1	ALビットをクリア (0) する
1	0	ALビットをセット (1) する
上記以外		ALビットの変更なし

Clear VALID	VALIDビットの設定
0	VALIDビットの変更なし
1	VALIDビットをクリア (0) する

(4/4)

Set PSMODE0	Clear PSMODE0	PSMODE0ビットの設定
0	1	PSMODE0ビットをクリア (0) する
1	0	PSMODE0ビットをセット (1) する
上記以外		PSMODE0ビットの変更なし

Set PSMODE1	Clear PSMODE1	PSMODE1ビットの設定
0	1	PSMODE1ビットをクリア (0) する
1	0	PSMODE1ビットをセット (1) する
上記以外		PSMODE1ビットの変更なし

Set OPMODE0	Clear OPMODE0	OPMODE0ビットの設定
0	1	OPMODE0ビットをクリア (0) する
1	0	OPMODE0ビットをセット (1) する
上記以外		OPMODE0ビットの変更なし

Set OPMODE1	Clear OPMODE1	OPMODE1ビットの設定
0	1	OPMODE1ビットをクリア (0) する
1	0	OPMODE1ビットをセット (1) する
上記以外		OPMODE1ビットの変更なし

Set OPMODE2	Clear OPMODE2	OPMODE2ビットの設定
0	1	OPMODE2ビットをクリア (0) する
1	0	OPMODE2ビットをセット (1) する
上記以外		OPMODE2ビットの変更なし

## (7) CANnモジュール最終エラー情報レジスタ (CnLEC)

CnLECレジスタは、CANプロトコルのエラー情報を示します。

リセット時：00H      R/W    アドレス：C0LEC 03FEC052H, C1LEC 03FEC652H

	7	6	5	4	3	2	1	0
CnLEC	0	0	0	0	0	LEC2	LEC1	LEC0

LEC2	LEC1	LEC0	最終のCANプロトコル・エラー情報
0	0	0	エラーなし
0	0	1	スタッフ・エラー
0	1	0	フォーム・エラー
0	1	1	ACKエラー
1	0	0	ビット・エラー (CANモジュールは送信メッセージの一部として、レセシブ・ビットの送信をしようとしたが(アービトレーション・フィールドを除く)、CANバス上の値はドミナント・ビットであった場合)
1	0	1	ビット・エラー (CANモジュールは送信メッセージ、ACKビット、エラー・フレームまたはオーバーロード・フレームの一部として、ドミナント・ビットの送信をしようとしたが、CANバス上の値はレセシブ・ビットであった場合)
1	1	0	CRCエラー
1	1	1	未定義

**注意**    ビット3-7には必ず0を設定してください。

- 備考1.** CnLECレジスタの内容は、任意の動作モードから初期化モードへの移行では、クリアされません。
- 2.** CnLECレジスタに対してソフトウェアにより00H以外の値をライトしようとした場合、アクセスは無視されます。

## (8) CANnモジュール情報レジスタ (CnINFO)

CnINFOレジスタは、CANモジュールのステータスを示します。

リセット時：00H      R      アドレス：C0INFO 03FEC053H, C1INFO 03FEC653H

	7	6	5	4	3	2	1	0
CnINFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0

BOFF	バス・オフ状態ビット
0	バス・オフ状態ではありません (送信エラー・カウンタ < 255) (送信エラー・カウントが256未満)
1	バス・オフ状態 (送信エラー・カウンタ > 255) (送信エラー・カウントが256以上)

TECS1	TECS0	送信エラー・カウンタ状態ビット
0	0	送信エラー・カウンタはワーニング・レベル未満 (< 96)
0	1	送信エラー・カウンタはワーニング・レベル範囲 (96-127)
1	0	未定義
1	1	送信エラー・カウンタはエラー・パッシブまたはバス・オフ範囲 ( 128 )

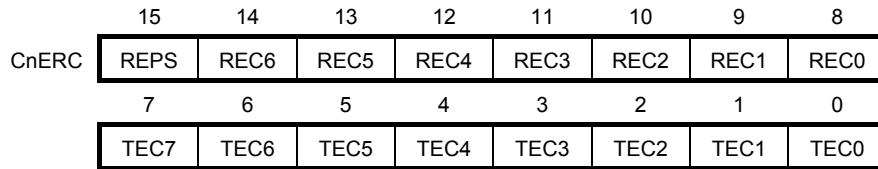
RECS1	RECS0	受信エラー・カウンタ状態ビット
0	0	受信エラー・カウンタはワーニング・レベル未満 (< 96)
0	1	受信エラー・カウンタはワーニング・レベル範囲 (96-127)
1	0	未定義
1	1	受信エラー・カウンタはエラー・パッシブ範囲 ( 128 )

**注意** ビット5-7には必ず0を設定してください。

## (9) CANnモジュール・エラー・カウンタ・レジスタ (CnERC)

CnERCレジスタは、送受信エラー・カウンタのカウンタ値を示します。

リセット時：0000H      R      アドレス：C0ERC 03FEC054H, C1ERC 03FEC654H



REPS	受信エラー・パッシブ・ステータス・ビット
0	受信エラー・カウンタは、エラー・パッシブではない (<128)
1	受信エラー・カウンタは、エラー・パッシブ範囲 (128)

REC6-REC0	受信エラー・カウンタ・ビット
0-127	受信エラー・カウンタ数 受信エラー・カウンタの状態を反映します。カウンタ数はCANプロトコルにより定義されています。

**備考** 受信エラー・パッシブ状態 (CnINFO.RECS1, REC0ビット = 11B) では、受信エラー・カウンタREC6-REC0ビットは無効です。

TEC7-TEC0	送信エラー・カウンタ・ビット
0-255	送信エラー・カウンタ数 送信エラー・カウンタの状態を反映します。カウンタ数はCANプロトコルにより定義されています。

**備考** バス・オフ中 (CnINFO.BOFFビット = 1) では、送信エラー・カウンタTEC7-TEC0ビットは無効です。

## (10) CANnモジュール割り込み許可レジスタ (CnIE)

CnIEレジスタは、CANモジュールの割り込み許可/禁止を設定します。

(1/2)

リセット時 : 0000H      R/W      アドレス : C0IE 03FEC056H, C1IE 03FEC656H

## (a) リード時

	15	14	13	12	11	10	9	8
CnIE	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0

## (b) ライト時

	15	14	13	12	11	10	9	8
CnIE	0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0
	7	6	5	4	3	2	1	0
	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0

## (a) リード時

CIE5-CIE0	CANモジュール割り込み許可ビット
0	割り込みステータス・レジスタCINTSxに対応する割り込み出力禁止
1	割り込みステータス・レジスタCINTSxに対応する割り込み出力許可

(2/2)

## (b) ライト時

Set CIE5	Clear CIE5	CIE5ビットの設定
0	1	CIE5ビットをクリア(0)する
1	0	CIE5ビットをセット(1)する
上記以外		CIE5ビットの変更なし

Set CIE4	Clear CIE4	CIE4ビットの設定
0	1	CIE4ビットをクリア(0)する
1	0	CIE4ビットをセット(1)する
上記以外		CIE4ビットの変更なし

Set CIE3	Clear CIE3	CIE3ビットの設定
0	1	CIE3ビットをクリア(0)する
1	0	CIE3ビットをセット(1)する
上記以外		CIE3ビットの変更なし

Set CIE2	Clear CIE2	CIE2ビットの設定
0	1	CIE2ビットをクリア(0)する
1	0	CIE2ビットをセット(1)する
上記以外		CIE2ビットの変更なし

Set CIE1	Clear CIE1	CIE1ビットの設定
0	1	CIE1ビットをクリア(0)する
1	0	CIE1ビットをセット(1)する
上記以外		CIE1ビットの変更なし

Set CIE0	Clear CIE0	CIE0ビットの設定
0	1	CIE0ビットをクリア(0)する
1	0	CIE0ビットをセット(1)する
上記以外		CIE0ビットの変更なし



## (11) CANnモジュール割り込みステータス・レジスタ (CnINTS)

CnINTSレジスタは、CANモジュールの割り込みステータスを示します。

リセット時：0000H R/W アドレス：C0INTS 03FEC058H, C1INTS 03FEC658H

## (a) リード時

	15	14	13	12	11	10	9	8
CnINTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0

## (b) ライト時

	15	14	13	12	11	10	9	8
CnINTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	Clear CINTS5	Clear CINTS4	Clear CINTS3	Clear CINTS2	Clear CINTS1	Clear CINTS0

## (a) リード時

CINTS5-CINTS0	CAN割り込みステータス・ビット
0	関連する割り込みソース・イベント未発生
1	関連する割り込みソース・イベント発生

割り込みステータス・ビット	関連する割り込みソース・イベント
CINTS5	CANスリープ・モードからのウエイク・アップ割り込み <sup>注</sup>
CINTS4	アービトレーション・ロスト割り込み
CINTS3	CANプロトコル・エラー割り込み
CINTS2	CANエラー・ステータス割り込み
CINTS1	メッセージ・バッファmへの有効なメッセージ・フレーム受信完了割り込み
CINTS0	メッセージ・バッファmからのメッセージ・フレームの正常な送信完了割り込み

注 CANバス動作によるCANスリープ・モードからのウエイク・アップによってのみ、CINTS5ビットがセット(1)されます。ソフトウェアによるCANスリープ・モードの解除ではCINTS5ビットはセット(1)されません。

## (b) ライト時

Clear CINTS5-CINTS0	CINTS5-CINTS0ビットの設定
0	CINTS5-CINTS0ビットの変更なし
1	CINTS5-CINTS0ビットをクリア(0)する

注意 このレジスタのステータス・ビットは自動的にクリアされることはありませんので、割り込み処理内で各ステータスの確認が必要な場合には、ソフトウェアにてクリア(0)を行ってください。

(12) CANnモジュール・ビット・レート・プリスケアラ・レジスタ (CnBRP)

CnBRPレジスタは, CANプロトコル・レイヤ基本クロック ( $f_{rq}$ ) を選択します。また, 通信ポー・レートは, CnBTRレジスタに設定されます。

**注意** CnBRPレジスタは, 初期化モードのときのみライト・アクセス可能です。



図21 - 23 CANモジュールのクロック (1/2)

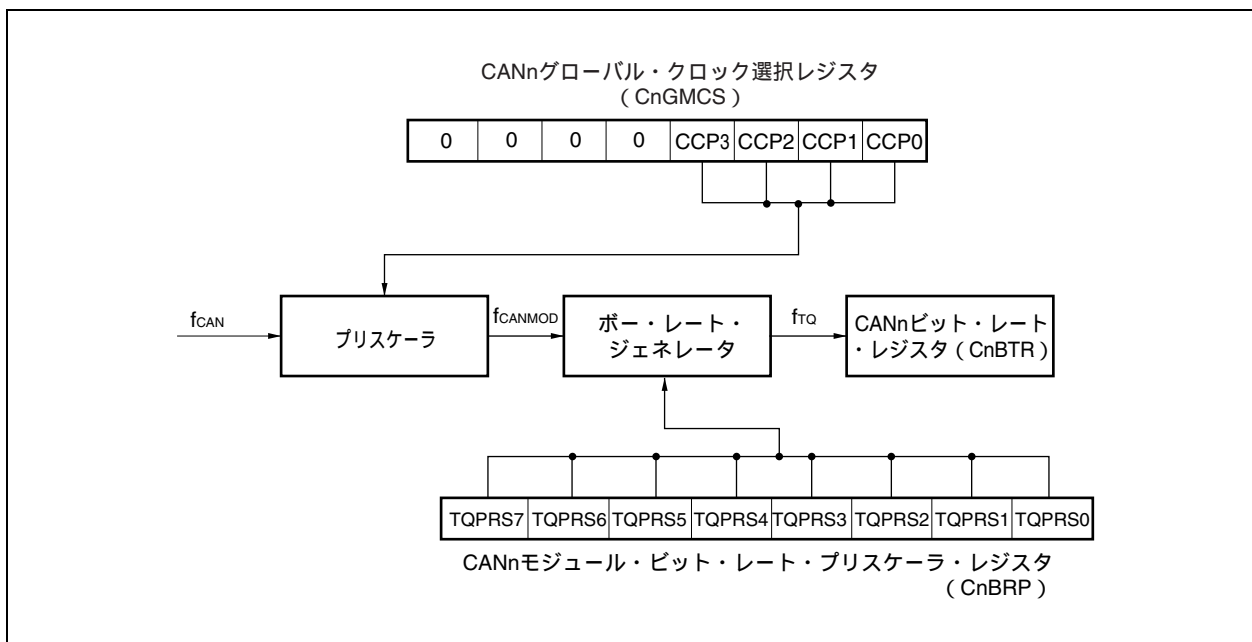


図21 - 23 CANモジュールのクロック (2/2)

**備考**  $f_{CAN}$  : CANクロック周波数  
 クロック・モード1のとき,  $f_{CAN} = f_{XX}$   
 クロック・モード2のとき,  $f_{CAN} = f_{XMPLL}$  (29.28 ~ 32 MHz)  
 クロック・モード3のとき,  $f_{CAN} = f_{XMPLL}$  (29.28 ~ 32 MHz)  
 クロック・モード4のとき,  $f_{CAN} = f_{XMPLL}/2$  (20.88 ~ 24 MHz)  
 $f_{XX}$  : メイン・クロック周波数  
 $f_{XMPLL}$  : 周辺クロック用途PLL出力クロック周波数  
 $f_{CANMOD}$  : CANモジュール・システム・クロック周波数  
 $f_{TQ}$  : CANプロトコル・レイヤ基本システム・クロック周波数

## (13) CANnモジュール・ビット・レート・レジスタ (CnBTR)

CnBTRレジスタは、通信ポー・レートのデータ・ビット・タイムを制御します。

図21 - 24 データ・ビット・タイム



リセット時 : 370FH R/W アドレス : C0BTR 03FEC05CH, C1BTR 03FEC65CH

	15	14	13	12	11	10	9	8
CnBTR	0	0	SJW1	SJW0	0	TSEG22	TSEG21	TSEG20
	7	6	5	4	3	2	1	0
	0	0	0	0	TSEG13	TSEG12	TSEG11	TSEG10

SJW1	SJW0	同期ジャンプ幅の長さ
0	0	1TQ
0	1	2TQ
1	0	3TQ
1	1	4TQ (初期値)

TSEG22	TSEG21	TSEG20	タイム・セグメント2の長さ
0	0	0	1TQ
0	0	1	2TQ
0	1	0	3TQ
0	1	1	4TQ
1	0	0	5TQ
1	0	1	6TQ
1	1	0	7TQ
1	1	1	8TQ (初期値)

TSEG13	TSEG12	TSEG11	TSEG10	タイム・セグメント1の長さ
0	0	0	0	設定禁止
0	0	0	1	2TQ <sup>注</sup>
0	0	1	0	3TQ <sup>注</sup>
0	0	1	1	4TQ
0	1	0	0	5TQ
0	1	0	1	6TQ
0	1	1	0	7TQ
0	1	1	1	8TQ
1	0	0	0	9TQ
1	0	0	1	10TQ
1	0	1	0	11TQ
1	0	1	1	12TQ
1	1	0	0	13TQ
1	1	0	1	14TQ
1	1	1	0	15TQ
1	1	1	1	16TQ (初期値)

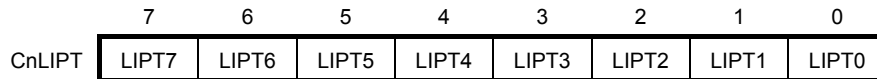
注 CnBRPレジスタ = 00Hの場合は、この設定は使用できません。

備考 TQ = 1/frq (frq : CANプロトコル・レイヤ基本システム・クロック)

## (14) CANnモジュール最終受信ポインタ・レジスタ (CnLIPT)

CnLIPTレジスタは、最後に受信格納したメッセージ・バッファ番号を示します。

リセット時：不定      R      アドレス：C0LIPT 03FEC05EH, C1LIPT 03FEC65EH



LIPT7-LIPT0	最終受信ポインタ・レジスタ (CnLIPT)
0-31	CnLIPTレジスタをリードすると、受信履歴・リストの最終受信ポインタ (LIPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に受信格納されたメッセージ・バッファ番号が得られます。

**備考** メッセージ・バッファにデータ・フレームまたはリモート・フレームが一度も受信格納されていない場合は、CnLIPTレジスタの読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後にCnRGPT.RHPMビットがセット (1) されている場合には、CnLIPTレジスタの読み出し値は不定となります。

## (15) CANnモジュール受信ヒストリ・リスト・レジスタ (CnRGPT)

CnRGPTレジスタは、受信ヒストリ・リストを読み出すためのレジスタです。

(1/2)

リセット時：xx02H R/W アドレス：C0RGPT 03FEC060H, C1RGPT 03FEC660H

## (a) リード時

	15	14	13	12	11	10	9	8
CnRGPT	RGPT7	RGPT6	RGPT5	RGPT4	RGPT3	RGPT2	RGPT1	RGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	RHPM	ROVF

## (b) ライト時

	15	14	13	12	11	10	9	8
CnRGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear ROVF

## (a) リード時

RGPT7-RGPT0	受信ヒストリ・リスト読み出しポインタ
0-31	CnRGPTレジスタをリードすると、受信ヒストリ・リストの読み出しポインタ (RGPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが受信格納されたメッセージ・バッファ番号が得られます。

RHPM <sup>注1</sup>	受信ヒストリ・リストのポインタ一致
0	受信ヒストリ・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	受信ヒストリ・リストには、リードされていないメッセージ・バッファ番号がありません。

ROVF <sup>注2</sup>	受信ヒストリ・リスト・オーバフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを受信格納したメッセージ・バッファ番号はすべて受信ヒストリ・リストに記録されます (受信ヒストリ・リストに空きのエレメントが存在します)。
1	ホスト・プロセッサが受信ヒストリ・リスト (RHL) を最後に使用 (たとえば、CnRGPTレジスタの読み込みなど) してから少なくとも23個のエントリが格納されています。 ROVFビットがセット (1) されていると、すべてのメッセージ・バッファ番号はLIPT - 1に格納されるため、最初の22個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージを受信するたびに上書きされます。したがって、受信した順番を完全に回復することができません。

注1. RHPMビット = 1のとき、RGPT0-RGPT7ビットのリード値は無効です。

2. ROVFビットがセット (1) されている状態で、CnRGPTレジスタによりすべての受信履歴が読み出されている場合、RHPMビットは新たな受信格納があってもクリア (0) されずセット (1) されたままになります。

(2/2)

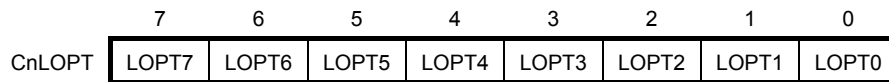
(b) ライト時

Clear ROVF	ROVFビットの設定
0	ROVFビットの変更なし
1	ROVFビットをクリア (0) する

## (16) CANnモジュール最終送信ポインタ・レジスタ (CnLOPT)

CnLOPTレジスタは、最後に送信したメッセージ・バッファ番号を示します。

リセット時：不定      R      アドレス：C0LOPT 03FEC062H, C1LOPT 03FEC662H



LOPT7-LOPT0	送信履歴・リストの最終送信ポインタ (LOPT)
0-31	CnLOPTレジスタをリードすると、送信履歴・リストの最終送信ポインタ (LOPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に送信されたメッセージ・バッファ番号が得られます。

**備考** メッセージ・バッファからデータ・フレームまたはリモート・フレームが一度も送信されていない場合は、CnLOPTレジスタの読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後にCnTGPT.THPMビットがセット (1) されている場合には、CnLOPTレジスタの読み出し値は不定となります。

## (17) CANnモジュール送信履歴・リスト・レジスタ (CnTGPT)

CnTGPTレジスタは、送信履歴・リストを読み出すためのレジスタです。

(1/2)

リセット時: xx02H R/W アドレス: C0TGPT 03FEC064H, C1TGPT 03FEC664H

## (a) リード時

	15	14	13	12	11	10	9	8
CnTGPT	TGPT7	TGPT6	TGPT5	TGPT4	TGPT3	TGPT2	TGPT1	TGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	THPM	TOVF

## (b) ライト時

	15	14	13	12	11	10	9	8
CnTGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear TOVF

## (a) リード時

TGPT7-TGPT0	送信履歴・リスト読み出しポインタ
0-31	CnTGPTレジスタをリードすると、送信履歴・リストの読み出しポインタ (TGPT) でインデクスされるエレメントの内容が読み出されます。これにより、データ・フレームまたはリモート・フレームが送信されたメッセージ・バッファ番号が得られます。

THPM <sup>注1</sup>	送信履歴・リストのポインタ一致
0	送信履歴・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	送信履歴・リストには、リードされていないメッセージ・バッファ番号がありません。

TOVF <sup>注2</sup>	送信履歴・リスト・オーバーフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを送信完了したメッセージ・バッファ番号はすべて送信履歴・リストに記録されます (送信履歴・リストに空きのエレメントが存在します)。
1	ホスト・プロセッサが送信履歴・リスト (THL) を最後に使用 (たとえば、CnTGPTレジスタの読み込みなど) してから少なくとも7個のエントリが格納されています。 TOVFビットがセット (1) されていると、すべてのメッセージ・バッファ番号はLOPT - 1に格納されるため、最初の6個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージの送信が完了するたびに上書きされます。したがって、送信した順番を完全に回復することができません。

注1. THPMビット = 1のとき、TGPT0-TGPT7ビットのリード値は無効です。

- TOVFビットがセット (1) されている状態で、CnTGPTレジスタによりすべての送信履歴が読み出されている場合、THPMビットは新たな送信完了があってもクリア (0) されずセット (1) されたままになります。

**備考** ABT付き通常動作モードでは、メッセージ・バッファ0-メッセージ・バッファ7からの送信は送信履歴・リストには記録されません。



(2/2)

## (b) ライト時

Clear TOVF	TOVFビットの設定
0	TOVFビットの変更なし
1	TOVFビットをクリア(0)する

## (18) CANnモジュール・タイム・スタンプ・レジスタ (CnTS)

CnTSレジスタは、タイム・スタンプ機能を制御します。

(1/2)

リセット時：0000H R/W アドレス：C0TS 03FEC066H, C1TS 03FEC666H

## (a) リード時

	15	14	13	12	11	10	9	8
CnTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	TSLOCK	TSSEL	TSEN

## (b) ライト時

	15	14	13	12	11	10	9	8
CnTS	0	0	0	0	0	Set TSLOCK	Set TSSEL	Set TSEN
	7	6	5	4	3	2	1	0
	0	0	0	0	0	Clear TSLOCK	Clear TSSEL	Clear TSEN

**備考** ABT付き通常動作モードの場合は、タイム・スタンプ機能のうちロック機能を使用できません。

## (a) リード時

TSLOCK	タイム・スタンプのロック機能許可ビット
0	タイム・スタンプのロック機能停止 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルします。
1	タイム・スタンプのロック機能許可 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルします。 ただし、メッセージ・バッファ0にデータ・フレームが正常に受信されたあとは、TSOUT信号の出力がロックされます <sup>注</sup> 。

**注** TSENビットは自動的にクリア(0)されます。

TSSEL	タイム・スタンプ・キャプチャ・イベント選択ビット
0	タイム・スタンプ・キャプチャ・イベントはSOFです。
1	タイム・スタンプ・キャプチャ・イベントはEOFの最終ビットです。

TSEN	TSOUT動作設定ビット
0	TSOUTトグル動作禁止
1	TSOUTトグル動作許可

**備考** TSOUT信号はCANコントローラからタイマへ出力されます。詳細については第7章 16ビット・タイマ/イベント・カウンタP (TMP) を参照してください。

(2/2)

## (b) ライト時

Set TSLOCK	Clear TSLOCK	TSLOCKビットの設定
0	1	TSLOCKビットをクリア(0)する
1	0	TSLOCKビットをセット(1)する
上記以外		TSLOCKビットの変更なし

Set TSSEL	Clear TSSEL	TSSELビットの設定
0	1	TSSELビットをクリア(0)する
1	0	TSSELビットをセット(1)する
上記以外		TSSELビットの変更なし

Set TSEN	Clear TSEN	TSENビットの設定
0	1	TSENビットをクリア(0)する
1	0	TSENビットをセット(1)する
上記以外		TSENビットの変更なし

## (19) CANnメッセージ・データ・バイト・レジスタ(CnMDATAxm, CnMDATAym) (x = 0-7, y = 01, 23, 45, 67)

CnMDATAxmレジスタは、送受信メッセージのデータを格納し、8ビット単位でアクセスできます。

CnMDATAymレジスタでは、CnMDATAxmレジスタを16ビット単位でアクセスできます。

(1/2)

リセット時：不定 R/W アドレス：表21 - 16を参照してください。

	15	14	13	12	11	10	9	8
CnMDATA01m	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01
	15	14	13	12	11	10	9	8
	7	6	5	4	3	2	1	0
CnMDATA01m	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01
	7	6	5	4	3	2	1	0
CnMDATA0m	7	6	5	4	3	2	1	0
	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0
CnMDATA0m	7	6	5	4	3	2	1	0
	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0
CnMDATA1m	7	6	5	4	3	2	1	0
	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1
CnMDATA1m	7	6	5	4	3	2	1	0
	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1
CnMDATA23m	15	14	13	12	11	10	9	8
	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23
CnMDATA23m	15	14	13	12	11	10	9	8
	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23
	7	6	5	4	3	2	1	0
CnMDATA23m	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23
	7	6	5	4	3	2	1	0
CnMDATA2m	7	6	5	4	3	2	1	0
	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2
CnMDATA2m	7	6	5	4	3	2	1	0
	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2
CnMDATA3m	7	6	5	4	3	2	1	0
	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3
CnMDATA3m	7	6	5	4	3	2	1	0
	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3
CnMDATA45m	15	14	13	12	11	10	9	8
	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45
CnMDATA45m	15	14	13	12	11	10	9	8
	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45
	7	6	5	4	3	2	1	0
CnMDATA45m	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45
	7	6	5	4	3	2	1	0
CnMDATA4m	7	6	5	4	3	2	1	0
	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4
CnMDATA4m	7	6	5	4	3	2	1	0
	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4
CnMDATA5m	7	6	5	4	3	2	1	0
	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5
CnMDATA5m	7	6	5	4	3	2	1	0
	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5

(2/2)

	15	14	13	12	11	10	9	8
CnMDATA67m	MDATA67 15	MDATA67 14	MDATA67 13	MDATA67 12	MDATA67 11	MDATA67 10	MDATA67 9	MDATA67 8
	7	6	5	4	3	2	1	0
	MDATA67 7	MDATA67 6	MDATA67 5	MDATA67 4	MDATA67 3	MDATA67 2	MDATA67 1	MDATA67 0
	7	6	5	4	3	2	1	0
CnMDATA6m	MDATA6 7	MDATA6 6	MDATA6 5	MDATA6 4	MDATA6 3	MDATA6 2	MDATA6 1	MDATA6 0
	7	6	5	4	3	2	1	0
CnMDATA7m	MDATA7 7	MDATA7 6	MDATA7 5	MDATA7 4	MDATA7 3	MDATA7 2	MDATA7 1	MDATA7 0

## (20) CANnメッセージ・データ長レジスタm (CnMDLcM)

CnMDLcMレジスタは、メッセージ・バッファのデータ・フィールドのバイト数を設定します。

リセット時：0000xxxxB R/W アドレス：表21 - 16を参照してください。

	7	6	5	4	3	2	1	0
CnMDLcM	0	0	0	0	MDLc3	MDLc2	MDLc1	MDLc0

MDLc3	MDLc2	MDLc1	MDLc0	送受信メッセージのデータ長
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
1	0	0	1	設定禁止
1	0	1	0	(送信時に設定した場合、データ・フレームの送信では設定したDLC値に関わらず8バイトのデータが送信されます。ただし、実際にCANバスに送信されるDLCはこのレジスタに設定したDLC値になります。) <sup>注</sup>
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

注 CANバス上に実際に送信されるデータとDLC値は次のとおりです。

送信フレーム種類	送信されるデータの長さ	送信されるDLC
データ・フレーム	DLCで指定されたバイト数 (ただしDLC 8の場合は8バイト)	MDLc3-MDLc0ビット
リモート・フレーム	0バイト	

注意1. メッセージ受信時には、受信フレームのDLCに対応するバイト数(ただし、8が上限)分のCnMDATAxmレジスタに受信データが格納されます。データが格納されなかったCnMDATAxmレジスタは不定です。

2. ビット4-7には必ず0を設定してください。

## (21) CANnメッセージ・コンフィギュレーション・レジスタm (CnMCONFm)

CnMCONFmレジスタは、メッセージ・バッファのタイプとマスク設定の指定を行います。

(1/2)

リセット時：不定                      R/W                      アドレス：表21-16を参照してください。

	7	6	5	4	3	2	1	0
CnMCONFm	OVS	RTR	MT2	MT1	MT0	0	0	MA0

OVS	オーバーライト制御ビット
0	すでに受信しているメッセージ・バッファ <sup>注</sup> に対して、新しく受信したデータ・フレームは上書きしません。新しく受信したデータ・フレームは破棄されます。
1	すでに受信しているメッセージ・バッファに対して、新しく受信したデータ・フレームを上書きします。

**注** “すでに受信しているメッセージ・バッファ”とは、CnMCTRLm.DNビットがセット(1)されている受信メッセージ・バッファを意味します。

**備考** リモート・フレームの受信格納に際しては、OVSビットおよびDNビットの設定には依存せず、そのほかの条件が合致 (IDが一致, RTRビット = 0, CnMCTRLm.TRQビット = 0) したリモート・フレームは必ず該当するメッセージ・バッファに受信格納 (割り込み生成, DNフラグのセット, CnMDLCm.MDLC0-MDLC3ビットの更新, および受信ヒストリ・リストへの記録) されます。

RTR	リモート・フレームの要求ビット <sup>注</sup>
0	データ・フレーム送信
1	リモート・フレーム送信

**注** RTRビットは、送信メッセージ・バッファとして定義されたメッセージ・バッファから送信されるメッセージ・フレームの種類を指定します。

有効なリモート・フレームを受信しても、受信した送信メッセージ・バッファのRTRビットはクリア(0)されたままです。

リモート・フレーム送信のために送信メッセージ・バッファのRTRビットをセット(1)した状態で、CANバスからIDが合致するリモート・フレームを受信した場合でも、そのリモート・フレームの受信格納 (割り込み生成, DNフラグのセット, MDLC0-MDLC3ビットの更新および受信ヒストリ・リストへの記録) は行われません。

MT2	MT1	MT0	メッセージ・バッファ・タイプ設定ビット
0	0	0	送信メッセージ・バッファ
0	0	1	受信メッセージ・バッファ (マスク設定なし)
0	1	0	受信メッセージ・バッファ (マスク1設定)
0	1	1	受信メッセージ・バッファ (マスク2設定)
1	0	0	受信メッセージ・バッファ (マスク3設定)
1	0	1	受信メッセージ・バッファ (マスク4設定)
上記以外			設定禁止

(2/2)

MA0	メッセージ・バッファの割り付けビット
0	メッセージ・バッファを使用しない
1	メッセージ・バッファを使用する

**注意** ビット2, 1には、必ず0を書き込んでください。

### (22) CANnメッセージIDレジスタm (CnMIDLm, CnMIDHm)

CnMIDLm, CnMIDHmレジスタは、アイデンティファイア (ID) を設定します。

リセット時：不定      R/W      アドレス：表21 - 16を参照してください。

	15	14	13	12	11	10	9	8
CnMIDLm	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
	7	6	5	4	3	2	1	0
	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0

	15	14	13	12	11	10	9	8
CnMIDHm	IDE	0	0	ID28	ID27	ID26	ID25	ID24
	7	6	5	4	3	2	1	0
	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16

IDE	フォーマット・モード指定ビット
0	標準フォーマット・モード (ID28-ID18 : 11ビット) <sup>注</sup>
1	拡張フォーマット・モード (ID28-ID0 : 29ビット)

**注** ID17-ID0ビットは使用されません。

ID28-ID0	メッセージID
ID28-ID18	11ビットの標準ID値 (IDE = 0のとき)
ID28-ID0	29ビットの拡張ID値 (IDE = 1のとき)

**注意1.** CnMIDHmレジスタのビット14, 13には、必ず0を書き込んでください。

**2.** 必ず、このレジスタに与えられたビット位置に従って登録するID値を並べてください。

標準IDに関してID値はID28からID18のビット位置をシフトしてください。

## (23) CANnメッセージ制御レジスタm (CnMCTRLm)

CnMCTRLmレジスタは、メッセージ・バッファの動作を制御します。

( 1/3 )

リセット時：00x000000 R/W アドレス：表21 - 16を参照してください。  
000xx000B

## (a) リード時

	15	14	13	12	11	10	9	8
CnMCTRLm	0	0	MUC	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	MOW	IE	DN	TRQ	RDY

## (b) ライト時

	15	14	13	12	11	10	9	8
CnMCTRLm	0	0	0	0	Set IE	0	Set TRQ	Set RDY
	7	6	5	4	3	2	1	0
	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY

## (a) リード時

MUC <sup>注</sup>	メッセージ・バッファへのデータ更新中ビット
0	CANモジュールによるメッセージ・バッファの更新（受信格納）中ではありません。
1	CANモジュールによるメッセージ・バッファの更新（受信格納）中です。

注 MUCビットは最初の受信格納が行われるまで不定です。

MOW	メッセージ・バッファ・オーバライト・ステータス・ビット
0	メッセージ・バッファは、新しく受信したデータ・フレームによって上書きされていません。
1	メッセージ・バッファは、新しく受信したデータ・フレームによって上書きされています。

備考 DNビット = 1の送信メッセージ・バッファに対してリモート・フレームを受信格納しても、MOWビットはセット（1）されません。

IE	メッセージ・バッファ割り込み要求許可ビット
0	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み禁止 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み禁止
1	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み許可 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み許可

DN	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されていません。
1	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されています。



(2/3)

TRQ	メッセージ・バッファ送信要求ビット
0	メッセージ・バッファ内に保留中または送信中のメッセージ・フレーム送信要求はありません。
1	メッセージ・バッファは、メッセージ・フレームの送信保留中または送信中です。

**注意** TRQビットとRDYビットを同時にセット(1)しないでください。TRQビットをセット(1)する場合は、必ず事前にRDYビットをセット(1)してください。

RDY	メッセージ・バッファ準備ビット
0	ソフトウェアによりメッセージ・バッファに書き込みできます。CANモジュールはメッセージ・バッファに書き込みができません。
1	ソフトウェアによるメッセージ・バッファへの書き込みは無視されます(RDYビット、TRQビット、DNビットおよびMOWビットへのライト・アクセスを除く)。CANモジュールはメッセージ・バッファに書き込みが可能です。

**注意1.** メッセージ送信中に、RDYビットをクリア(0)しないでください。再定義のためのRDYビットのクリアは、送信中断処理に従ってください。

- RDYビットのクリア処理を行ってもクリアされていない場合は、もう一度クリア処理を行ってください。
- メッセージ・バッファに書き込む前に、RDYビットがクリア(0)されたことを確認してください。確認はRDYビットを読み返して行ってください。

ただし、TRQビットまたはRDYビットのセット(1)、DNビットまたはMOWビットのクリア(0)については確認する必要はありません。

## (b) ライト時

Clear MOW	MOWビットの設定
0	MOWビットの変更なし
1	MOWビットをクリア(0)する

Set IE	Clear IE	IEビットの設定
0	1	IEビットをクリア(0)する
1	0	IEビットをセット(1)する
上記以外		IEビットの変更なし

**注意** IEビットの設定とRDYビットの設定は、必ず別々に行ってください。

Clear DN	DNビットの設定
1	DNビットをクリア(0)する
0	DNビットの変更なし

**注意1.** ソフトウェアにより、DNビットをセット(1)しないでください。ビット10には、必ず0を書き込んでください。

- 受信しているアービトラージョン・フィールドの終わりまでにDNビットをクリア(0)した場合、そのメッセージ・バッファは受信フレームを格納するための検索対象となります。

( 3/3 )

Set TRQ	Clear TRQ	TRQビットの設定
0	1	TRQビットをクリア (0) する
1	0	TRQビットをセット (1) する
上記以外		TRQビットの変更なし

**注意** TRQビットをセット (1) しても、他ノードからメッセージを受信していた場合や他のメッセージ・バッファからメッセージを送信していた場合などの状況により、即時に送信を行わない可能性があります。

また、TRQビットをクリア (0) しても、送信の途中で中断されることはありません。送信中の場合には、送信が完了 (成功 / 失敗問わず) するまで送信を継続します。

Set RDY	Clear RDY	RDYビットの設定
0	1	RDYビットをクリア (0) する
1	0	RDYビットをセット (1) する
上記以外		RDYビットの変更なし

**注意** TRQビットの設定とRDYビットの設定は、必ず別々に行ってください。

## 21.7 ビットのセット/クリア機能

CANの制御レジスタには、ビットのセット/クリアがCPUとCANインタフェースの両方で行われるレジスタがあります。次に示すレジスタに直接値を書き込むと誤作動するため、値の直接書き込み（ビット操作、リード・モディファイ・ライト、目標値の直接書き込み）をしないでください。

- ・ CANnグローバル制御レジスタ (CnGMCTRL)
- ・ CANnグローバル自動ブロック送信制御レジスタ (CnGMABT)
- ・ CANnモジュール制御レジスタ (CnCTRL)
- ・ CANnモジュール割り込み許可レジスタ (CnIE)
- ・ CANnモジュール割り込みステータス・レジスタ (CnINTS)
- ・ CANnモジュール受信履歴・リスト・レジスタ (CnRGPT)
- ・ CANnモジュール送信履歴・リスト・レジスタ (CnTGPT)
- ・ CANnモジュール・タイム・スタンプ・レジスタ (CnTS)
- ・ CANnメッセージ制御レジスタm (CnMCTRLm)

**備考** n = 0, 1  
m = 00-31

上記レジスタの16ビットは、すべて通常の方法で読むことができます。下位8ビットのビット・セットやビット・クリアは図21 - 25の手順で行ってください。

上記レジスタの下位8ビットのセット/クリアは、上位8ビットと下位8ビットの組み合わせで行います（図21 - 26 **セット/クリア設定後のビット状態参照**）。図21 - 25のように、setビットとclearビットの値により、該当するレジスタのビットをセット/クリア/変化なしと操作できます。

図21 - 25 ビットのセット/クリアの操作例

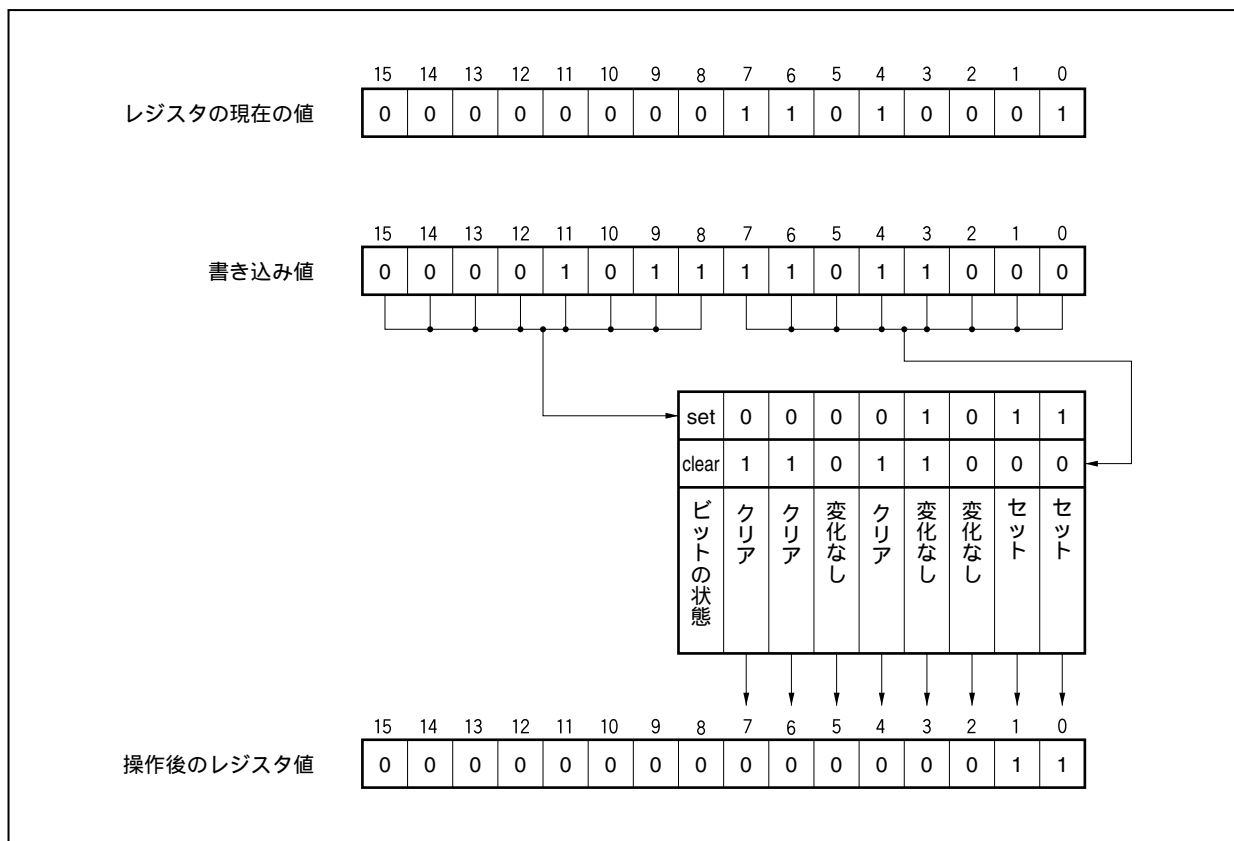


図21 - 26 セット/クリア設定後のビット状態

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
set 7	set 6	set 5	set 4	set 3	set 2	set 1	set 0	clear 7	clear 6	clear 5	clear 4	clear 3	clear 2	clear 1	clear 0

set n	clear n	ビットのセット/クリア操作後のビットnの状態
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

備考 n = 0-7

## 21.8 CANコントローラの初期化処理

### 21.8.1 CANモジュールの初期化

CANモジュールの動作を許可する前に、ソフトウェアによりCnGMCS.CCP0-CCP3ビットを設定し、CANモジュール・システム・クロックを決める必要があります。CANモジュール・システム・クロックの設定は、CANモジュールの動作が許可されたあととは変更できません。

CANモジュールは、CnGMCTRL.GOMビットをセット(1)することで動作を許可します。初期化処理手順については、21.16 CANコントローラの動作を参照してください。

**備考** n = 0, 1

### 21.8.2 メッセージ・バッファの初期化

CANモジュールの動作を許可したあと、メッセージ・バッファの値が不定のものがあります。初期化モードから任意の動作モードに移行する前に、すべてのメッセージ・バッファに対して初期化をしてください。アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。

- ・ CnMCTRLm.RDYビット, TRQビット, DNビットをクリア(0)する。
- ・ CnMCONFm.MA0ビットをクリア(0)する。

**備考** n = 0, 1

m = 00-31

### 21. 8. 3 メッセージ・バッファの再定義

メッセージ・バッファの再定義とは、メッセージ受信時または送信中にほかの送受信動作に影響を与えずとなく、メッセージ・バッファのIDや制御情報を変更することをいいます。

#### (1) 初期化モード中にメッセージ・バッファの再定義を行う場合

一度、初期化モードに移行し、初期化モード中にメッセージ・バッファのIDや制御情報を変更してください。メッセージ・バッファの変更後、任意の動作モードに移行してください。

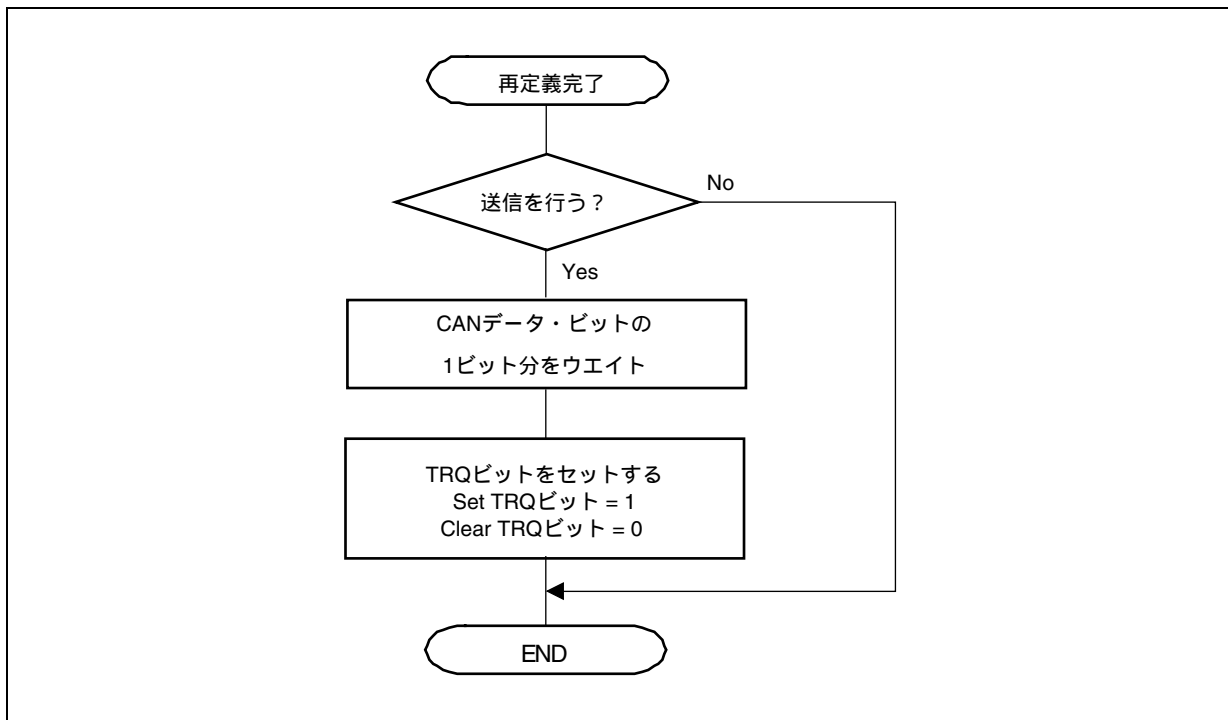
#### (2) 受信中にメッセージ・バッファの再定義を行う場合

図21 - 39にしたがって処理してください。

#### (3) 送信中にメッセージ・バッファの再定義を行う場合

送信要求がセットされている送信メッセージ・バッファの内容を書き換える場合には、送信中断処理 (21. 10. 4 (1) 自動ブロック送信機能 (ABT) 付き通常動作モード以外での送信中断処理, 21. 10. 4 (2) 自動ブロック送信機能 (ABT) 付き通常動作モードでのABT送信以外の送信中断処理参照) を行い、送信が中断されたこと、あるいは送信が完了したことを確認したあとにメッセージ・バッファの再定義を行ってください。送信メッセージ・バッファの再定義後に送信要求をセットする場合は、次の処理手順にしたがって処理してください。ただし、送信中断処理を伴わない再定義を行った送信メッセージ・バッファに対して送信要求をセットする場合には、1ビット分のウェイトは必要ありません。

図21 - 27 送信メッセージ・バッファの再定義後の送信要求 (TRQ) の設定



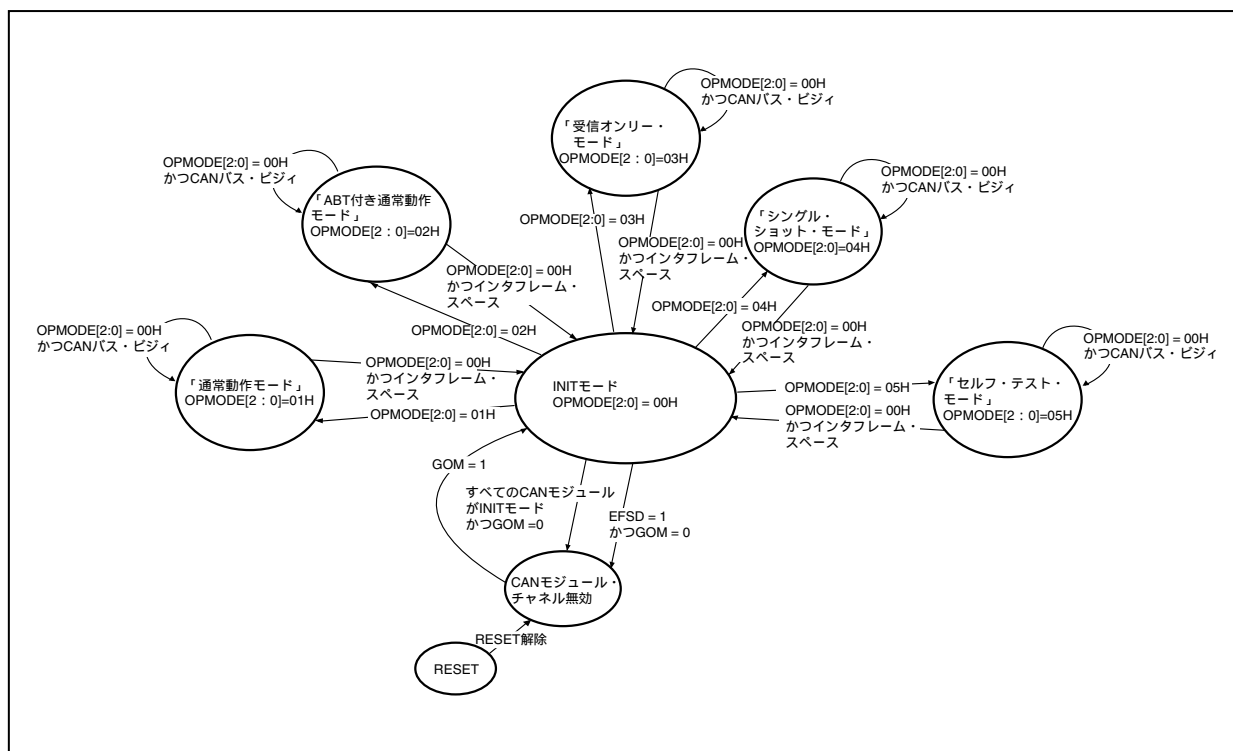
- 注意1. メッセージ受信時には、各受信メッセージ・バッファに設定されたIDおよびマスク設定にもとづいて受信フィルタリングが行われます。図21 - 39の手順に従わなかった場合には、メッセージ・バッファの再定義後の内容と受信結果（受信フィルタリング結果）が矛盾する場合があります。そのような場合は、メッセージ・バッファの再定義後に該当するメッセージ・バッファの最初の受信格納時に格納されているIDおよびIDEが再定義後の内容であることを確認してください。再定義後のIDおよびIDEが格納されていない場合は、再度メッセージ・バッファの再定義を行ってください。
2. メッセージ送信時には、送信要求がセットされている各送信メッセージ・バッファに設定されたID、IDEおよびRTRビットにもとづいて送信優先順位判定を行い、最高位の優先順位をもつ送信メッセージ・バッファを選択して送信が行われます。図21 - 27の手順に従わなかった場合には、再定義後のIDが最高位のIDではないメッセージが送信される場合があります。

### 21.8.4 動作モードへの移行

CANモジュールは、次の動作モードに切り替えることができます。

- ・通常動作モード
- ・ABT付き通常動作モード
- ・受信オンリー・モード
- ・シングル・ショット・モード
- ・セルフ・テスト・モード

図21 - 28 動作モードへの移行



初期化モードから動作モードへの移行は、CnCTRL.OPMODE2-OPMODE0ビットで設定します。

ある動作モードから別の動作モードに移行するには、一度初期化モードに移行する必要があります。直接、ある動作モードから別の動作モードに移行しないでください。直接、動作モードを移行した場合の動作は保証できません。

動作モードから初期化モードへの移行要求は、CANバスがインタフレーム・スペースでないとき（フレーム受信または送信が実行中）は保留され、インタフレーム・スペースの1ビット目に初期化モードへ移行します（OPMODE2-OPMODE0ビットの値が000Bに変化します）。初期化モードへの移行要求のあとは、OPMODE2-OPMODE0ビットが000Bになるまで、OPMODE2-OPMODE0ビットをリードして、初期化モードへ移行したことを確認してください（図21 - 37参照）。

備考 n = 0, 1



### 21. 8. 5 CANモジュールのエラー・カウンタCnERCのリセット

再初期化やバス・オフ強制復帰の際に，CnERC, CnINFOレジスタをリセットする必要がある場合には，初期化モード中にCnCTRL.CCERCビットをセット（1）してください。CCERCビットをセット（1）すると，CnERC, CnINFOレジスタは初期値にクリアされます。

**備考** n = 0, 1

## 21.9 メッセージ受信

### 21.9.1 メッセージ受信

すべての動作モードにおいて、新規受信メッセージを格納するため、一致するバッファを全メッセージ・バッファ領域に対し、検索します。次の条件を満たすすべてのメッセージ・バッファがその検索に含まれます。

- ・メッセージ・バッファとして使用している。  
( CnMCONFm.MA0ビットに1を設定 )
- ・受信用メッセージ・バッファとして設定している。  
( CnMCONFm.MT2-MT0ビットに001B,010B,011B,100B,101Bを設定 )
- ・受信準備ができています。  
( CnMCTRLm.RDYビットがセット ( 1 ) されている )

**備考** n = 0, 1  
m = 00-31

複数のメッセージ・バッファにメッセージを受信した場合、受信メッセージの格納優先順位は次のようになります。メッセージは、必ず優先順位の高い受信メッセージ・バッファに格納されます。優先順位の低い受信メッセージ・バッファには格納されません。たとえば、マスクされていない受信メッセージ・バッファとマスク1にリンクした受信メッセージ・バッファに同一IDが設定されていた場合、マスクされていない受信メッセージ・バッファがすでにメッセージを受信していたとしても、メッセージを受信していないマスク1にリンクした受信メッセージ・バッファには受信メッセージの格納はしません。つまり2つ以上の優先順位の異なるメッセージ・バッファで格納する条件が整った場合には、必ず優先順位の高いメッセージ・バッファが受信格納対象となり優先順位の低いメッセージ・バッファは受信格納対象とはなりません。これは優先順位の高いメッセージ・バッファが受信格納できない条件 (たとえば、OWSビット = 0により上書き禁止ですでに受信しているDNビット = 1の場合など) でも同様です。この場合、受信格納候補である優先順位の高いメッセージ・バッファには実際格納されませんが、それだからといって優先順位の低いメッセージ・バッファに格納されることはありません。

優先順位	同一IDを設定した場合の格納条件	
1 (高)	マスクされていないメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
2	マスク1とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
3	マスク2とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
4	マスク3とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
5 (低)	マスク4とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1

## 21.9.2 受信データの読み出し

ソフトウェアによりCANメッセージ・バッファから一貫してデータを読み出す必要がある場合には、図21-49、図21-50の推奨処理手順で行ってください。

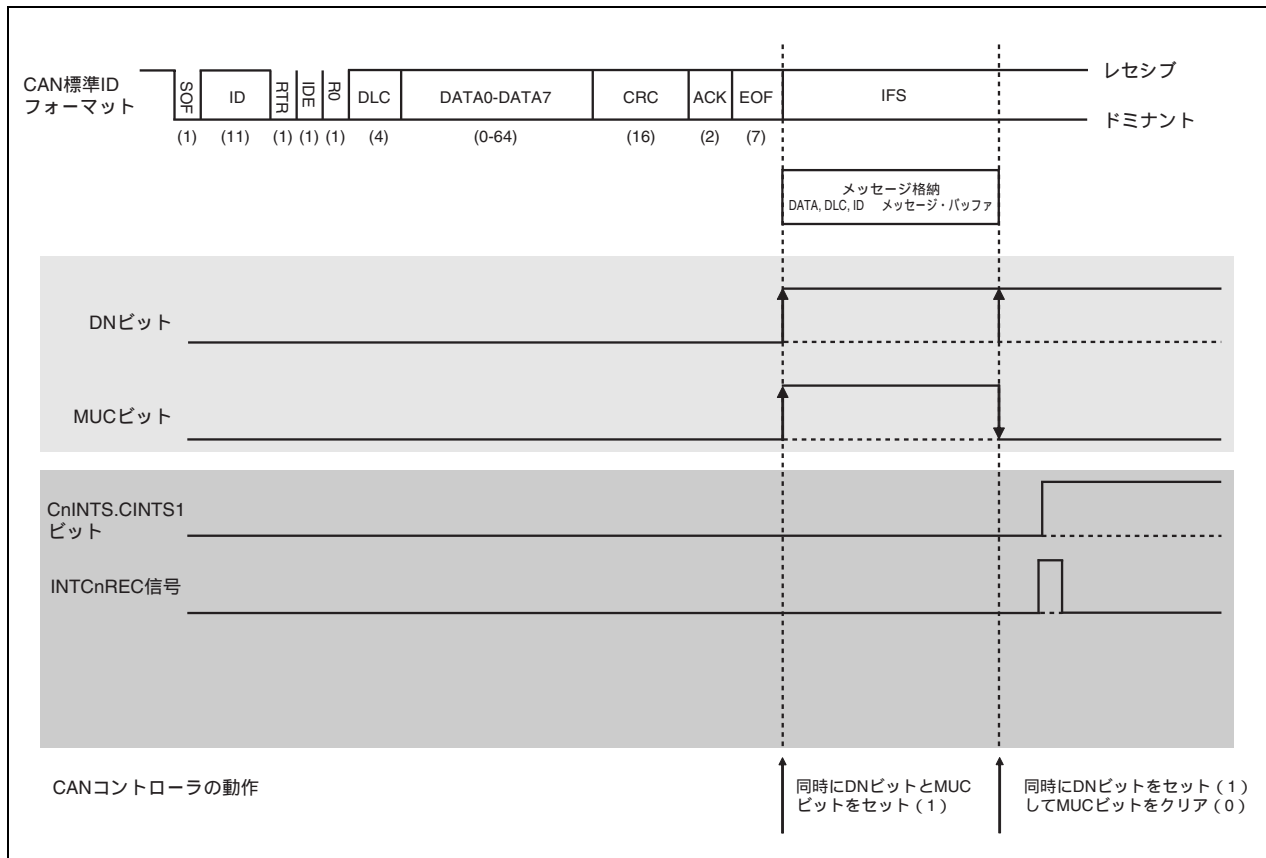
メッセージ受信時、CANモジュールはCnMCTRLm.DNビットをメッセージ・バッファへのデータの格納処理の始まりと、この格納処理の終わりに2回セット(1)します。この格納処理の間、メッセージ・バッファのCnMCTRLm.MUCビットはセット(1)されています(図21-29参照)。

データ格納が完了する前には受信履歴・リストへの書き込みが行われます。またこのデータ格納期間(MUCビット = 1)は、格納対象となっているメッセージ・バッファのCnMCTRLm.RDYビットはCPUによる書き換えが禁止されています。このデータ格納処理はCPUによるいずれかのメッセージ・バッファへのアクセスにより処理完了が遅れることがあります。

備考 n = 0, 1

m = 0-31

図21-29 DN, MUCビットのセット期間(標準IDフォーマットの場合)



### 21.9.3 受信履歴・リスト機能

受信履歴・リスト機能は、データ・フレームまたはリモート・フレームを受信格納するごとに受信履歴・リスト (RHL) へ受信格納したメッセージ・バッファ番号の記録を行います。RHLは、最大23メッセージ分の格納エレメントと、受信履歴・リスト書き込みポインタ (LIPT) に対応するCnLIPTレジスタ、および受信履歴・リスト読み出しポインタ (RGPT) に対応するCnRGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後、RHLは不定です。

CnLIPTレジスタは、LIPTポインタ - 1で示されるRHLエレメントの内容を保持しますので、CnLIPTレジスタを読み出すことで一番最後に受信格納したメッセージ・バッファ番号を知ることができます。LIPTポインタは、RHLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの受信格納が発生すると、対応するメッセージ・バッファ番号がLIPTポインタで示されるRHLエレメントに記録されます。RHLへの記録が完了するごとに、LIPTポインタは自動的にインクリメントされます。このように受信格納を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

RGPTポインタは、記録されたメッセージ・バッファ番号をRHLから読み出す際の読み出しポインタとして機能します。RGPTポインタはCPUがまだ読み出しを行っていない最初のRHLエレメントを示しています。ソフトウェアにより、CnRGPTレジスタを読み出すことにより、受信格納したメッセージ・バッファの番号を読み出すことができます。CnRGPTレジスタからメッセージ・バッファ番号を読み出すごとに、RGPTポインタは自動的にインクリメントされます。

RGPTポインタとLIPTポインタが一致した場合には、CnRGPT.RHPMビット (受信履歴・リスト・ポインタ一致) がセット (1) されます。RHPMビットがセット (1) されていることで、RHLには読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また、受信格納に新しくメッセージ・バッファ番号の記録が行われると、LIPTポインタがインクリメントされポインタが一致なくなり、RHPMビットはクリア (0) されます。つまり、RHL内には未読のメッセージ・バッファ番号が存在することになります。

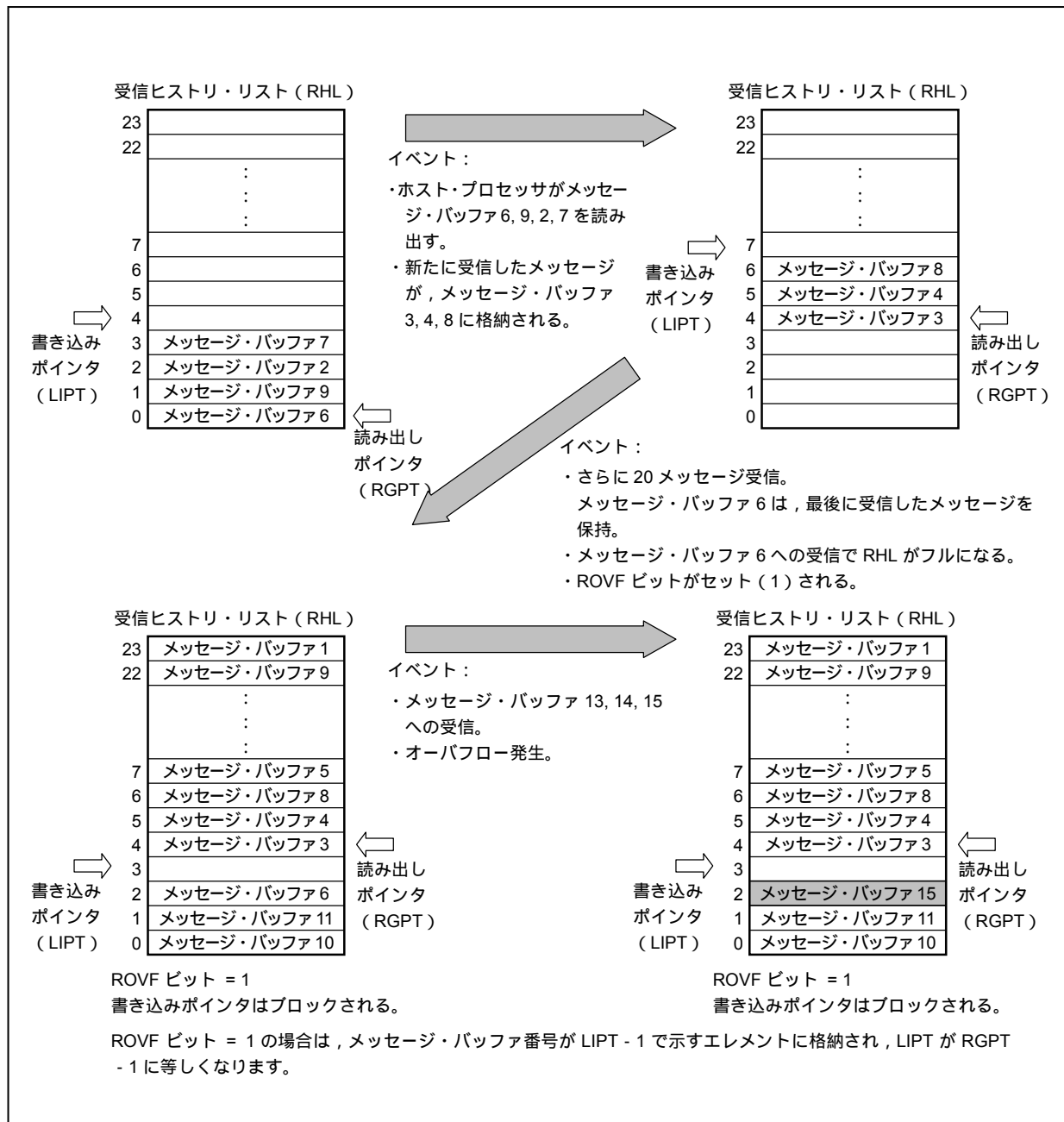
また、インクリメントされたLIPTポインタがRGPTポインタ - 1と一致した場合には、CnRGPT.ROVFビット (受信履歴・リスト・オーバーフロー) がセット (1) されます。この状態は、まだ読み出されていないメッセージ・バッファ番号でRHLがフルに記録されている状態を示します。さらに、メッセージの受信格納が新たに発生すると、最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく受信格納したメッセージ・バッファ番号の記録を継続します。その場合、ROVFビットがセット (1) されたあと、RHLに保持しているメッセージ・バッファ番号は完全には時系列にはなりません。ただし、受信したメッセージ自体は正しく格納されます。CPU操作による各メッセージ・バッファのDNビットをサーチすることで、受信格納したメッセージ・バッファ番号を特定することができます。

**注意** 受信履歴・リストがオーバーフローした状態 (CnRGPT.ROVFビット = 1) でも、未読の履歴がなくなりCnRGPT.RHPMビットがセット (1) されるまで受信履歴を読み出すことが可能です。ただし、ROVFビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (=オーバーフローしている) を継続します。この状態では、ROVFビットがクリア (0) されないかぎり、新たに受信格納が発生して新しい受信履歴が書き込まれた場合でもRHPMビットはクリア (0) されません。したがって、ROVFビット = 1かつRHPMビット = 1で受信履歴・リストがオーバーフロー状態である場合には、新しい受信格納が発生してもRHPMビットは未読の受信履歴がない状態を示しますので注意してください。

**備考** n = 0, 1

受信履歴・リストは、未読の状態で23個以下の受信履歴を保持している場合には受信格納順は保持されますが、ホスト・プロセッサが読み出しを行わない状態で受信格納された場合は、受信格納順は完全には読み出せないことがあります。

図21 - 30 受信履歴・リスト



### 21.9.4 マスク機能

受信に使用するいくつかのメッセージ・バッファのために、4つのグローバル受信マスクの1つを割り当てるか、またはマスクなしかを選択することができます。

メッセージIDの比較はマスクされたビットにより軽減されるため、1つのバッファの中にいくつかの異なるIDの受信を許容します。

マスク機能を使用することにより、CANバスから受信したメッセージのアイデンティファイアとあらかじめメッセージ・バッファに設定されているアイデンティファイアとを比較し、その結果、マスクされているIDが“0”または“1”のどちらに設定されていても定義されたメッセージ・バッファに格納できます。

マスク機能が働いているとき、マスクにて“1”と定義されたビットは受信したメッセージのアイデンティファイアとメッセージ・バッファのアイデンティファイアとの比較を行いません。

マスクにて“0”と定義されたビットについては比較を行います。

たとえば、ID27-ID25が“0”，ID24とID22が“1”と設定された標準フォーマットIDを持つすべてのメッセージをメッセージ・バッファ14に格納したい場合、次に示す手順で行ってください。

#### メッセージ・バッファに格納したいアイデンティファイア

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

備考 x = don't care

#### メッセージ・バッファ14に設定したアイデンティファイア (例)

(COMIDL14, COMIDH14レジスタを使用)

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
x	x	x	x	x	x	x	x	x	x	x
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
x	x	x	x	x	x	x				

ID27-ID25ビットが“0”に設定され、ID24ビットとID22ビットが“1”に設定されているIDをメッセージ・バッファ14に登録（初期化）します。

備考 x = don't care

備考1. メッセージ・バッファ14をマスク1にリンクする (CnMCONF14.MT2-MT0ビット = 010Bに設定) 標準フォーマット・アイデンティファイアとして設定します。

2. n = 0, 1

**CANモジュール1 (マスク1) のマスク設定 (例)**  
**(CAN1アドレス・マスク1レジスタL, H (C1MASK1L, C1MASK1H) を使用)**

CMID28	CMID27	CMID26	CMID25	CMID24	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18
1	0	0	0	0	1	0	1	1	1	1
CMID17	CMID16	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8	CMID7
1	1	1	1	1	1	1	1	1	1	1
CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0				
1	1	1	1	1	1	1				

1 : 比較しない (マスクする)

0 : 比較する

CMID27-CMID24ビットおよびCMID22ビットは“0”，CMID28, CMID23, CMID21-CMID0ビットは“1”に設定します。

### 21.9.5 マルチ・バッファ受信ブロック機能

マルチ・バッファ受信ブロック (MBRB) 機能 (以降, MBRBと記述) は, 同じメッセージ・バッファ・タイプを持つ複数のメッセージ・バッファに同じIDを設定することにより, CPUを介さずにデータ・ブロックとして複数のメッセージ・バッファに順に格納する機能です。これらのメッセージ・バッファはメッセージ・バッファ・メモリ内の任意の場所に配置できます。また, 互いに隣接して配置されていなくてもかまいません。

たとえば, メッセージ・バッファ10からメッセージ・バッファ19の10個のメッセージ・バッファが同じメッセージ・バッファ・タイプに設定されていて, さらにそれぞれのメッセージ・バッファに同じIDが設定されている場合には, 最初にIDが一致するメッセージを受信した場合, メッセージ・バッファ10に格納します。この時点でメッセージ・バッファ10はDNビットがセットされ, そのメッセージ・バッファに対して上書きが禁止されます。

次に, IDが一致するメッセージを受信した場合, メッセージ・バッファ11に受信格納されます。以降, IDが一致するメッセージを受信するたびにメッセージ・バッファ12, 13, …, 18, 19とメッセージ・バッファの番号順 (昇順) に格納されていきます。このように, 複数のメッセージからなるデータ・ブロックを受信する場合でも, IDが一致した古い受信データを上書きすることなく, 複数のメッセージを受信格納することができます。

また, 各メッセージ・バッファのCnMCTRLm.IEビットを設定することで, データ・ブロックの受信格納の完了を知ることができます。たとえば, データ・ブロックがk個のメッセージで構成されている場合は, データ・ブロック受信用にk個のメッセージ・バッファを初期化します。メッセージ・バッファ0から (k-2) までは, IEビットをクリア (0) しておき (割り込み無効), メッセージ・バッファk-1では, IEビットをセット (1) します (割り込み有効)。この場合, メッセージ・バッファk-1への受信格納が完了した時点で受信完了割り込みを発生させることで, MBRBがフルになったことを知ることができます。あるいは, メッセージ・バッファ0から (k-3) までは, IEビットをクリア (0) しておきメッセージ・バッファk-2のIEビットをセット (1) しておくことで, MBRBがオーバーフローしそうであることのワーニングとすることができます。

MBRBにおいても, 各メッセージ・バッファの受信データの基本的な格納条件は, 単一のメッセージ・バッファに対する格納条件と同じです。

- 注意
1. MBRBは、同一のメッセージ・バッファ・タイプごとに構成することが可能です。したがって、メッセージ・バッファ・タイプが異なるが、IDが一致するほかのMBRBのメッセージ・バッファに空きがあった場合でも、そのメッセージ・バッファには格納を行わず、受信メッセージは破棄されます。
  2. MBRBは、リング構造をもっていません。したがって、MBRBを構成するメッセージ・バッファ番号が一番大きいメッセージ・バッファへ格納した以降のメッセージに対しては、再び一番小さいメッセージ・バッファから順に格納を行いません。
  3. MBRBは、受信格納条件に基づく動作であり、機能有効ビット等のMBRB専用の設定はありません。複数のメッセージ・バッファに対し、同一のメッセージ・バッファ・タイプおよびIDを設定することで自動的にMBRBが構成されます。
  4. MBRBにおける「IDが一致する」とは「マスク後のIDの一致する」という意味です。各メッセージ・バッファに設定したIDが必ずしも同一でなくても、マスク・レジスタによるマスク後のIDが一致するものは、IDが一致したものとみなされメッセージの格納対象先のバッファとして扱われます。
  5. 各MBRB間の優先順位は、21.9.1 メッセージ受信で示した優先順位に従います。

備考 n = 0, 1

m = 00-31



### 21.9.6 リモート・フレーム受信

リモート・フレームの受信時には、すべての動作モードで、次の条件を満たすすべてのメッセージ・バッファに対し、格納すべきかどうかの検索を行います。

- ・メッセージ・バッファとして使用している。  
( CnMCONFm.MA0ビットを1に設定 )
- ・送信用メッセージ・バッファとして設定している。  
( CnMCONFm.MT2-MT0ビットを000Bに設定 )
- ・受信準備ができています。  
( CnMCTRLm.RDYビットがセット ( 1 ) されている )
- ・メッセージ送信に設定されている。  
( CnMCONFm.RTRビットがクリア ( 0 ) されている )
- ・送信要求が設定されていない。  
( CnMCTRLm.TRQビットがクリア ( 0 ) されている )

上記の条件を満足し、かつ受信したリモート・フレームとIDが合致するメッセージ・バッファに対しては、次の受信格納動作が行われます。

- ・ CnMDLcM.DLC3-DLC0ビットは受信したDLC値を格納します。
- ・データ領域CnMDATA0m-CnMDATA7mレジスタは更新されません ( 受信前のデータが保存されます )。
- ・ CnMCTRLm.DNビットがセット ( 1 ) されます。
- ・ CnINTS.CINTS1ビットがセット ( 1 ) されます ( 受信格納するメッセージ・バッファのCnMCTRLm.IEビットがセット ( 1 ) されている場合 )。
- ・受信完了割り込み ( INTcNREC ) が出力されます ( 受信格納するメッセージ・バッファのIEビットがセット ( 1 ) されており、かつCnIE.CIE1ビットがセット ( 1 ) されている場合 )。
- ・メッセージ・バッファ番号を受信履歴・リストに記録します。

**注意** リモート・フレームの受信におけるメッセージ・バッファ検索および受信格納に際しては、メッセージ・バッファのCnMCONFm.OWSビットによるオーバーライト制御の設定およびDNビットには影響を受けません。OWSビットの設定は無視され、どんな場合でもDNビットがセット ( 1 ) されます。複数の送信メッセージ・バッファが同一IDを持ち、受信したリモート・フレームのIDが合致した場合には、最小のメッセージ・バッファ番号を持つ送信メッセージ・バッファに格納されます。

**備考** n = 0, 1  
m = 00-31

## 21. 10 メッセージ送信

### 21. 10. 1 メッセージ送信

すべての動作モードで、次の条件を満たすメッセージ・バッファにCnMCTRLm.TRQビットがセット（1）されているとき、送信するメッセージ・バッファの検索を行います。

- ・メッセージ・バッファとして使用している。  
（CnMCONFm.MA0ビットを1に設定）
- ・送信用メッセージ・バッファとして設定している。  
（CnMCONFm.MT2-MT0ビットを000Bに設定）
- ・送信準備ができています。  
（CnMCTRLm.RDYビットがセット（1）されている）

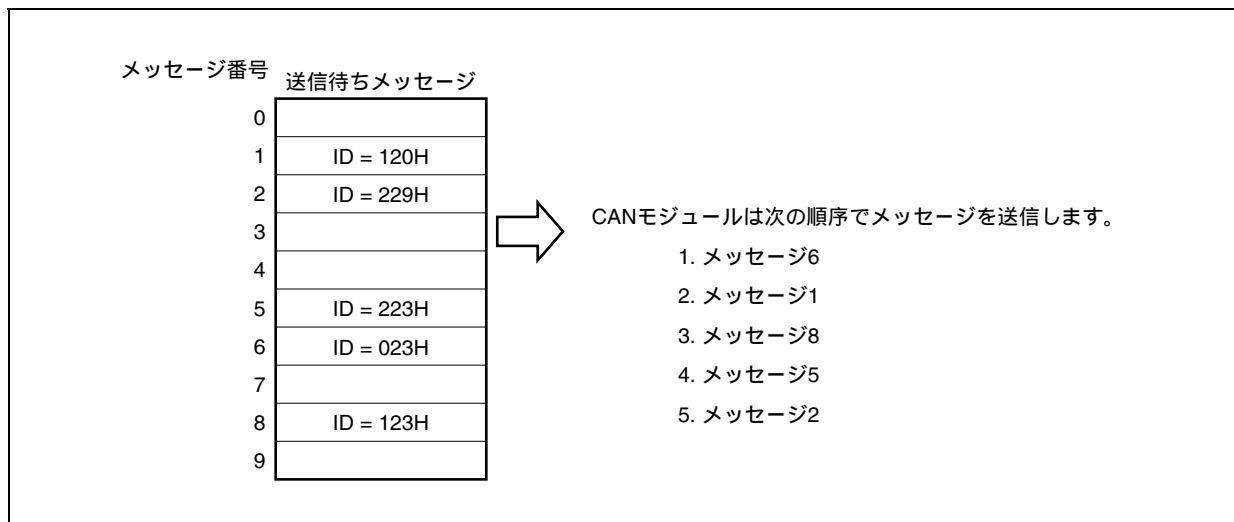
**備考** n = 0, 1

m = 00-31

CANはマルチ・マスタ方式の通信システムです。このようなシステムでは、メッセージの送信優先順位はメッセージのIDによって決定されます。ソフトウェアによる送信処理を容易にするため、CANモジュールは複数の送信待ちメッセージが存在する場合、有効なメッセージのどれが最高優先順位を持っているのかハードウェアによりIDを検索して自動的に判断します。したがって、ソフトウェアにより優先順位制御を行う必要がありません。

アイデンティファイア（ID）による送信プライオリティ制御を行います。

図21 - 31 メッセージ処理例



送信メッセージの検索は、保留されている送信要求を持つ送信メッセージ・バッファ（TRQビットがあらかじめセット（1）されたメッセージ・バッファ）のうち、最高位の優先度を持つ送信メッセージが送信されます。

また、新しく送信要求が設定された場合は、新しい送信要求を持つ送信メッセージ・バッファと保留されている送信要求を持つ送信メッセージ・バッファを比較します。新しい送信要求が最高位の優先度を持つ場合、低位の優先度を持つ送信メッセージの送信が開始されていなければ、最高位の優先度を持つ送信メッセージが送信されます。この優先度の逆転を解決するために、ソフトウェアにより低位の優先度のメッセージに対し送信中断要求を実行できます。最高位の優先度は、次のように決定されます。

優先順位	条 件	説 明
1 (高)	IDの先頭11ビットの値 [ID28 : ID18]	IDの先頭11ビットで最小の値を持つメッセージ・フレームが最初に送信されます。11ビット標準IDの値が29ビット拡張IDの先頭11ビットと同一あるいは小さい場合は、11ビット標準IDが29ビット拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
2	フレーム・タイプ	11ビット標準IDを持つデータ・フレーム（CnMCONFm.RTRビットがクリア（0））は、標準IDを持つリモート・フレームや拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
3	IDタイプ	標準IDを持つメッセージ・フレーム（CnMIDHm.IDEビットがクリア（0））は、拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
4	IDの下位18ビットの値 [ID17:ID0]	IDの先頭11ビットが同じ値を持ち、フレーム・タイプが同じ（RTRビット値が等しい）、拡張IDを持つ2つ以上のメッセージ・フレームが送信保留中の場合、拡張IDの下位18ビットが最小の値を表すメッセージ・フレームが最初に送信されます。
5 (低)	メッセージ・バッファ番号	2つ以上のメッセージ・バッファが同じIDを持つメッセージ・フレームの送信要求がある場合に、最小のメッセージ・バッファ番号を持つメッセージ・バッファからのメッセージが最初に送信されます。

**備考1.** ABT付き通常動作モードで、自動ブロック送信要求CnGMABT.ABTTRGビットをセット（1）した場合、ABTメッセージ・バッファ・グループの1つのメッセージ・バッファのみTRQビットがセット（1）されます。ABT付き通常動作モードでは、ABTTRGビットにより開始されるとABT領域（バッファ0～7）に1つのTRQビットがセットされます。このTRQビット以外に、アプリケーションは、ABT領域以外の送信メッセージ・バッファに対し、送信要求ができます。その場合に内部送信検索処理（TXサーチ）により、検索されたメッセージが次に送信されます。この検索処理は、TRQビットがセットされたすべての送信メッセージ・バッファを検索し、次の送信として最も高い優先順位のアイデンティファイアを含むメッセージ・バッファを選択します。高い優先順位を持つアイデンティファイアが2個またはそれ以上あった場合（たとえば同一IDなど）、最も小さいメッセージ・バッファ番号に配置されたメッセージが先に送信されます。メッセージ・フレームの送信が成功すると次の動作を行います。

- ・対応する送信メッセージ・バッファのTRQビットが自動的にクリア（0）されます。
- ・対応する送信メッセージ・バッファの割り込み許可ビット（IE）がセット（1）されている場合、CnINTSレジスタの送信完了ステータス・ビットCINTS0がセット（1）されます。
- ・CnIE.CIE0ビットをセット（1）、かつ対応する送信メッセージ・バッファの割り込み許可ビット（IE）がセット（1）されている場合、INTRRX1の割り込み要求信号が出力されます。

**備考2.** 送信メッセージ・バッファの内容を変更する際は、内容を更新する前にこのバッファのRDYフラグをクリアしなければなりません。内部処理の移行中、RDYフラグが一時的にロックされている可能性があるため、変更後はRDYフラグの状態をソフトウェアにより確認する必要があります。

3.  $n = 0, 1$   
 $m = 00-31$

## 21. 10. 2 送信ヒストリ・リスト機能

送信ヒストリ・リスト機能は、データ・フレームまたはリモート・フレームを送信するごとに送信ヒストリ・リスト (THL) ヘメッセージ・バッファ番号の記録を行います。THLは、最大7メッセージ分の格納エレメントと、送信ヒストリ・リスト書き込みポインタ (LOPT) に対応するCnLOPTレジスタおよび送信ヒストリ・リスト読み出しポインタ (TGPT) に対応するCnTGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後、THLは不定です。

CnLOPTポインタは、LOPTポインタ - 1で示されるTHLエレメントの内容を保持しますので、CnLOPTレジスタを読み出すことで一番最後に送信したメッセージ・バッファ番号を知ることができます。LOPTポインタは、THLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの送信完了が発生すると、対応するメッセージ・バッファ番号がLOPTポインタで示されるTHLエレメントに記録されます。THLへの記録が完了するごとに、LOPTポインタは自動的にインクリメントされます。このように送信完了を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

TGPTポインタは、記録されたメッセージ・バッファ番号をTHLから読み出す際の読み出しポインタとして機能します。TGPTポインタはCPUがまだ読み出しを行っていない最初のTHLエレメントを示しています。ソフトウェアにより、CnTGPTレジスタを読み出すことにより、送信完了したメッセージ・バッファの番号を読み出すことができます。CnTGPTレジスタからメッセージ・バッファ番号を読み出すごとに、TGPTポインタは自動的にインクリメントされます。

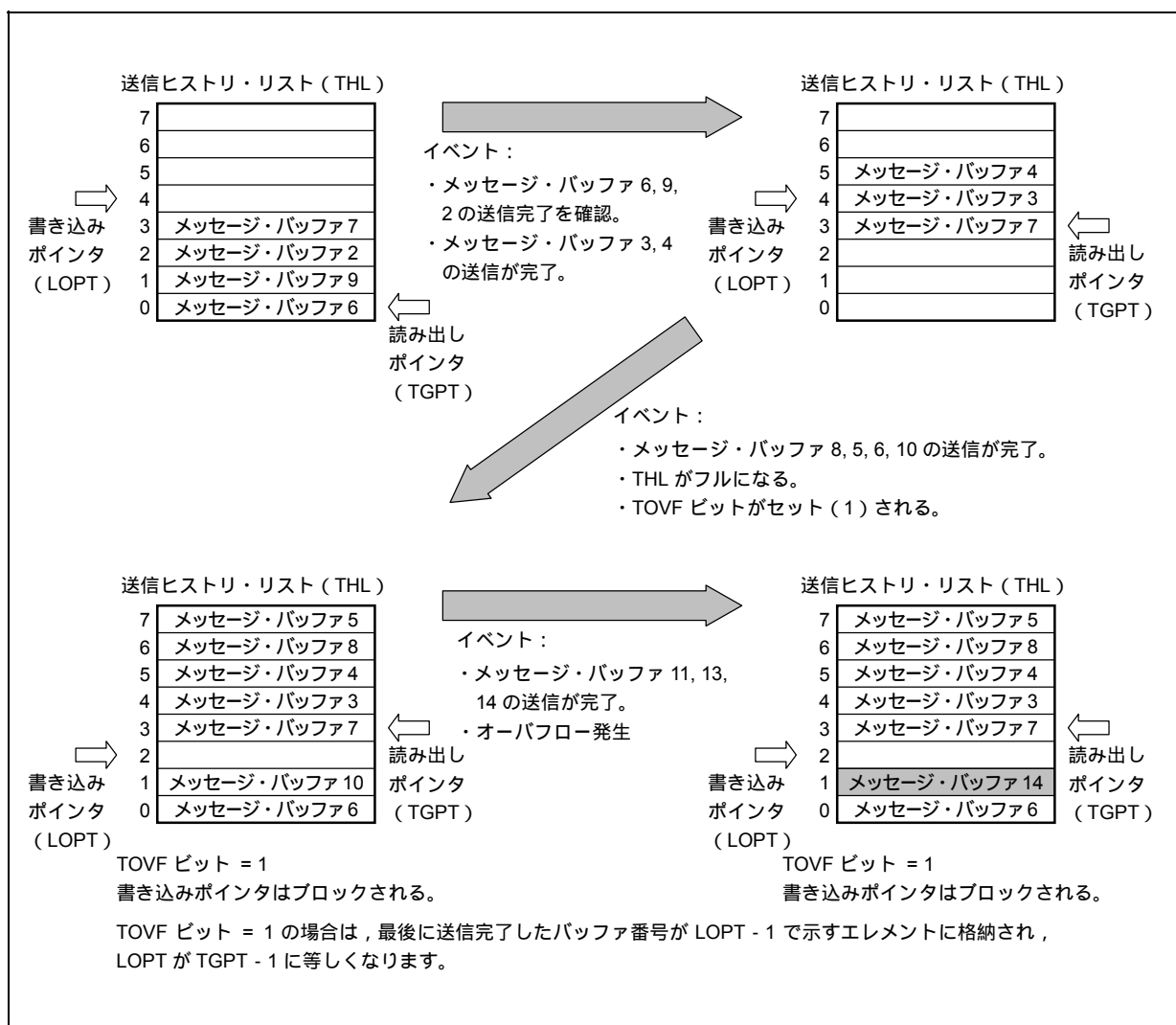
TGPTポインタとLOPTポインタが一致した場合には、CnTGPT.THPMビット (送信ヒストリ・リスト・ポインタ一致) がセット (1) されます。THPMビットがセット (1) されていることで、THLには読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また、送信完了により新しくメッセージ・バッファ番号の記録が行われると、LOPTポインタがインクリメントされポインタが一致しなくなり、THPMビットはクリア (0) されます。つまり、THL内には未読のメッセージ・バッファ番号が存在することになります。

また、インクリメントされたLOPTポインタがTGPTポインタ - 1と一致した場合には、CnTGPTレジスタのTOVFビット (送信ヒストリ・リスト・オーバーフロー) がセット (1) されます。この状態は、まだ読み出されていないメッセージ・バッファ番号でTHLがフルに記録されている状態を示します。さらに、メッセージの送信完了が新たに発生すると、最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく送信完了したメッセージ・バッファ番号の記録を継続します。したがって、TOVFビットがセット (1) されたあと、THLに保持しているメッセージ・バッファ番号は完全に時系列にはなりません。ただし、その場合でもCPUはすべての送信バッファをサーチすることで送信完了したメッセージ・バッファの番号を特定することができます (CPUが送信再設定を行う前に実行)。TOVFビットに関わらず6つの送信メッセージ・バッファ番号はTHLに保存されます。

**注意** 送信履歴・リストがオーバーフローした状態 (CnTGPT.TOVFビット = 1) でも、未読の履歴がなくなりCnTGPT.THPMビットがセット (1) されるまで送信履歴を読み出すことが可能です。ただし、TOVFビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (= オーバーフローしている) を継続します。この状態では、TOVFビットがクリア (0) されないかぎり新たに送信完了が発生し新しい送信履歴が書き込まれた場合でもTHPMビットはクリア (0) されません。したがって、TOVFビット = 1かつTHPMビット = 1で送信履歴・リストがオーバーフロー状態である場合には、新しい送信完了が発生してもTHPMビットは未読の送信履歴がない状態を示しますので注意してください。

**備考** n = 0, 1

図21 - 32 送信履歴・リスト



### 21. 10. 3 自動ブロック送信機能 (ABT : Automatic Block Transmission)

自動ブロック送信機能 (以降, ABTと記述) は, CPUを介さずに複数のデータ・フレームを連続的に送信することができる機能です。ABT用に割り付けられる送信メッセージ・バッファ数は, メッセージ・バッファ0からメッセージ・バッファ7までの8メッセージ固定です。

ABTは, CnCTRL.OPMODE2-OPMODE0ビットを010Bに設定することで, “自動ブロック送信機能付き通常動作モード” (以降, ABT付き通常動作モードと記述) に選択できます。

ABTの送信要求を発行する前にソフトウェアにより, メッセージ・バッファを定義してください。ABT用のすべてのメッセージ・バッファに対して, CnMCONFm.MA0ビットをセット(1)し, さらにCnMCONFm.MT2-MT0ビットに000Bを設定し送信メッセージ・バッファとして定義してください。ABT用メッセージ・バッファで使用されるIDは, すべてのメッセージ・バッファのIDが同一として使用する場合でも, 必ず各メッセージ・バッファにIDを設定してください。また, 複数のIDを使用する場合は, CnMIDLm, CnMIDHmレジスタで各メッセージ・バッファのIDを設定して使用してください。CnMDLcMレジスタおよびCnMDATA0m-CnMDATA7mレジスタは, ABTモードでABTの送信要求の発行前に設定してください。

ABT用のメッセージ・バッファの初期化が終了したあとに, CnMCTRLm.RDYビットをセット(1)してください。ABTでは, CnMCTRLm.TRQビットをソフトウェアにより設定する必要はありません。

ABT用のメッセージ・バッファにデータを準備したあと, 自動ブロック送信は, CnGMABT.ABTTRGビットをセット(1)することで開始されます。ABTが開始されると, 最初のメッセージ・バッファ(メッセージ・バッファ0)のTRQビットが自動的にセット(1)され送信が始まります。メッセージ・バッファ0の送信が終了したら, 次のメッセージ・バッファ1のTRQビットが自動的にセットされ, 以降順次送信を行います。

このとき, 連続送信中の送信要求(TRQビット)の自動セットをする間隔にプログラブルで遅延の挿入ができます。挿入する遅延量はCnGMABTDレジスタで設定を行い, 単位はDBT(データ・ビット・タイム)です。DBTはCnBRPレジスタおよびCnBTRレジスタで設定される時間に依存します。

ABTは, ABT送信メッセージ・バッファ内での送信IDの優先順位の検索は行わず, メッセージ・バッファ0から最大メッセージ・バッファ7まで順に送信し, メッセージ・バッファ7からのデータ・フレームの送信が完了すると, ABTTRGビットは自動的にクリア(0)され, ABT送信が完了します。

ABT送信中に, ABT用メッセージ・バッファの中にRDYビットがクリア(0)されたメッセージ・バッファがあると, そのメッセージ・バッファからの送信を行わずにABT送信を停止しABTTRGビットがクリアされます。そのあと, ソフトウェアによりRDYビットをセット(1)し, ABTTRGビットをセット(1)することでABT送信を停止したメッセージ・バッファからの送信を再開させることができます。停止したメッセージ・バッファから送信を再開させたくない場合は, ABT送信が停止しABTTRGビットがクリア(0)された状態でCnGMABT.ABTCLRビットをセット(1)することで内部のABT送信エンジンをリセットすることができます。この場合, ABTCLRビットをクリア(0)後, ABTTRGビットをセット(1)するとメッセージ・バッファ0から送信を開始します。

ABT用のすべてのメッセージ・バッファからデータ・フレームが送信されたことを確認するためには割り込みを使用できます。このとき, 最後のメッセージ・バッファ以外のCnMCTRLm.IEビットをクリア(0)しておく必要があります。

ABT用メッセージ・バッファ以外の送信メッセージ・バッファ(メッセージ・バッファ8-メッセージ・バッファ31)が送信メッセージ・バッファに割り付けられている場合は, 現在送信が保留されているABT用メッセージ・バッファの送信IDとそれらABT用メッセージ・バッファ以外の送信メッセージ・バッファの間の優先順位判定により, 最終的に送信されるメッセージの優先順位が決定されます。

ABT用メッセージ・バッファからのデータ・フレームの送信は, 送信ヒストリ・リスト(THL)に記録されません。

- 注意1. ABT付き通常動作モードをメッセージ・バッファ0から再開するためには、ABTTRGビットがクリア(0)されている状態でABTCLRビットをセット(1)してください。ABTTRGビットがセット(1)されている状態で、ABTCLRビットをセット(1)した場合には、以降の動作を保証しません。
2. ABTCLRビットのセット(1)による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点でABTCLRビットがただちに自動的にクリア(0)されることで確認できます。
  3. 初期化モード中にはABTTRGビットを設定しないでください。初期化モード中にABTTRGビットを設定した場合、初期化モードからABTモードへの移行後の正常動作は保証しません。
  4. ABT付き通常動作モードでは、ABT用メッセージ・バッファのTRQビットはソフトウェアでセット(1)しないでください。セットした場合には動作は保証しません。
  5. CnGMABTDレジスタは、ABTモードにおいて順次送信するABT用の各メッセージに対しメッセージ番号順に送信要求をセットする際の、前ABTメッセージの送信完了から、次のABTメッセージのTRQビットのセットまでの期間に挿入される遅延量を設定するものです。実際にCANバス上に送信されるタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ(メッセージ・バッファ8-メッセージ・バッファ31)に対する送信要求の設定状況に依存して変化します。
  6. ABTメッセージ以外のメッセージに対して送信要求を設定した場合に、かつABT送信による送信要求の自動セットの間隔に遅延が挿入されない場合(CnGMABTDレジスタ = 00H)でも、ABTメッセージ以外のメッセージがABTメッセージとの優先順位の高低によらず送信されることがあります。
  7. ABTTRGビット = 1の状態では、RDYビットをクリア(0)しないでください。
  8. ABT付き通常動作モード時、他ノードからメッセージを受信した場合、CnGMABTDレジスタ = 00H設定時でも1フレーム分待つてから送信する場合があります。

備考 n = 0, 1  
m = 00-31

#### 21. 10. 4 送信中断処理

備考 n = 0, 1  
m = 00-31

##### (1) 自動ブロック送信機能 (ABT) 付き通常動作モード以外での送信中断処理

送信要求を中断する必要がある場合には、CnMCTRLm.TRQビットをクリア(0)します。TRQビットはすぐにクリア(0)されますが、送信中断が成功したかどうかは、CANバス上の送信状態を示すCnCTRL.TSTATビットとCnTGPTレジスタを確認してください(詳細は、図21 - 46の処理を参照してください)。

##### (2) 自動ブロック送信機能 (ABT) 付き通常動作モードでのABT送信以外の送信中断処理

送信要求を中断する必要がある場合には、最初にCnGMABT.ABTTRGビットをクリア(0)します。ABTTRGビットがクリア(0)されたことを確認したあとで、CnMCTRLm.TRQビットをクリア(0)します。TRQビットはすぐにクリア(0)されますが、送信中断が成功したかどうかは、CANバス上の送信状態を示すCnCTRL.TSTATビットとCnTGPTレジスタを確認してください(詳細は、図21 - 47の処理を参照してください)。

**(3) 自動ブロック送信機能 (ABT) 付き通常動作モードでの送信中断処理**

すでに連続送信が開始されたABTを中断する必要がある場合は、CnGMABT.ABTTRGビットをクリア (0) します。この場合、ABTTRGビットは、現在ABTメッセージの送信であれば、送信が完了 (成功, 失敗問わず) するまでABTTRGビット = 1を保持し、送信が完了した時点でABTTRGビットはクリア (0) されます。これによりABT送信が中断されます。

送信中断前に最後に行った送信が成功した場合、ABT付き通常動作モードでは内部のABTポインタは次に送信されるメッセージ・バッファを指したままになっています。

送信中断の際に送信エラーがあった場合は、内部ABTポインタは最後に送信されたメッセージ・バッファのTRQビットの状態に依存します。ABTTRGビットのクリア (0) 要求をする時点で、TRQビットがセット (1) されている場合には、内部ABTポインタは送信中断前に最後に送信されたメッセージ・バッファを指しています (詳細は、図21 - 48 (a) の処理を参照してください)。ABTTRGビットのクリア (0) 要求をする時点でTRQビットがクリア (0) されている場合には、内部ABTポインタは+1インクリメントされ、ABT領域の次のメッセージ・バッファを指します (詳細は、図21 - 48 (b) の処理を参照してください)。

**注意** ABT送信の中断は、必ずABTTRGビット = 0によって行ってください。RDYクリアによる送信中断を要求した場合は、動作を保証しません。

ABT中断後にABTTRGビットをセット (1) することでABT付き通常動作モードが再開する場合、再開後に送信されるABTメッセージ・バッファは次の通りです。

ABT用メッセージ・バッファのTRQの状態	成功送信完了後に中断	送信エラー後に中断
セット (1)	ABT領域の次のメッセージ・バッファ <sup>注</sup>	ABT領域の同じメッセージ・バッファ
クリア (0)	ABT領域の次のメッセージ・バッファ <sup>注</sup>	ABT領域の次のメッセージ・バッファ <sup>注</sup>

**注** ABT領域に、ABT送信が可能な状態のメッセージ・バッファが存在する場合のみ、上記中断後の再開動作が可能です。たとえば、メッセージ・バッファ7のABT送信中に発行された中断要求は、メッセージ・バッファ7の送信が成功完了した場合は、ABTTRGビット = 0となっても中断ではなくABT送信の完了とみなされます。また、ABT領域の次のメッセージ・バッファのCnMCTRLm.RDYビットがクリア (0) されている場合などは、内部ABTポインタは保持されますが、ABTTRGビットをセット (1) しても再開動作は行わずにただちにABT送信を終了します。

**備考** n = 0, 1  
m = 00-31

**21. 10. 5 リモート・フレーム送信**

リモート・フレームは、送信メッセージ・バッファからのみ送信することができます。CnMCONFm.RTRビットにより、データ・フレーム送信かリモート・フレーム送信かを設定します。RTRビットをセット (1) することにより、リモート・フレーム送信ができます。

**備考** n = 0, 1  
m = 00-31



## 21. 11 パワー・セーブ・モード

### 21. 11. 1 CANスリープ・モード

CANスリープ・モードにより、CANコントローラを待機状態にすることで消費電力を低減することができます。CANスリープ・モードは、すべての動作モードから移行することができます。CANスリープ・モードが解除されても、CANスリープ・モードに移行前と同じ動作モードを保持します。

CANスリープ・モードでは、送信要求が発行または保留されていてもメッセージを送りません。

#### (1) CANスリープ・モードへの移行

CnCTRL.PSMODE1, PSMODE0ビットを01Bに設定することで、CANスリープ・モードの要求を行います。この要求は次の場合に受け付けられます。

**備考** n = 0, 1

#### (i) CANモジュールがすでに次の動作モードにある場合

- ・ 通常動作モード
- ・ ABT付き通常動作モード
- ・ 受信オンリー・モード
- ・ シングル・ショット・モード
- ・ セルフ・テスト・モード
- ・ 上記のすべての動作モードにおいてCANストップ・モードである

#### (ii) CANバス状態がバス・アイドルの場合（インタフレーム・スペースの4ビット目がレセシブである）<sup>注</sup>

**注** CANバスがドミナントに固着している場合には、CANスリープ・モードへの移行要求は保留されません。また、CANストップ・モードではCANスリープ・モードへの遷移はCANバスの状態には依存しません。

**(iii) 送信要求が保留されていない**

上記の条件の1つでも満たされない場合は、次のように動作します。

- ・初期化モードにおいてCANスリープ・モードの要求が行われた場合、その要求は無視され初期化モードのままになります。
- ・任意の動作モードにおいてCANバス状態がバス・アイドルではない（CANバス状態が送信中または受信）ときにCANスリープ・モードの要求が行われた場合、CANスリープ・モードへただちに移行しません。その場合、CANスリープ・モードの要求はCANバス状態がバス・アイドル（インタフレーム・スペースの4ビット目がレセシブ）になるまで保留されます。CANスリープ・モードの要求を行ってから実際に移行が完了するまでは、PSMODE1, PSMODE0ビットは00Bの設定のままになっていますが、移行が完了するとPSMODE1, PSMODE0ビット = 01Bになります。
- ・任意の動作モードにおいて、初期化モード遷移要求とCANスリープ・モード要求が同時に発行された場合には、初期化モード遷移要求のみが有効となり、CANモジュールは所定のタイミングで初期化モードに移行します。このときCANスリープ・モード要求は保留されず無視されます。
- ・初期化モード遷移要求とCANスリープ・モード要求が同時に発行されなかった場合（つまり最初に発行された一方の要求がまだ受け付けられていない状態で他方の要求が発行された場合）でも初期化モード遷移要求はCANスリープ・モード要求より優先されます。たとえば、CANスリープ・モード要求が保留され実行が保留されている状態で初期化モード遷移要求が発行された場合、初期化モード遷移要求の発行時点でCANスリープ・モード要求はただちに無効となります。また、初期化モード遷移要求が保留されている状態でCANスリープ・モード要求が発行された場合、CANスリープ・モード要求の発行時点でただちにCANスリープ・モード要求が無効になります。

**(2) CANスリープ・モードの状態**

CANスリープ・モードへ移行後は、CANモジュールは次の状態となります。

- ・内部動作クロックが停止し、低消費電力状態となります。
- ・CANバスからのウエイク・アップのためにCAN受信端子（CRXDn）の立ち上がりエッジ検出は機能しています。
- ・CPUからのウエイク・アップのためにPSMODE1, PSMODE0ビットは書き込みができますが、それ以外のCANモジュール・レジスタおよびビットには書き込みができません。
- ・CANnモジュール・レジスタからの読み出しは、CnLIPT, CnRGPT, CnLOPT, CnTGPTレジスタを除いて可能です。
- ・CANnメッセージ・バッファ・レジスタは書き込みと読み出しができません。
- ・CnGMCTRL.MBONビットがクリア（0）されます。
- ・初期化モードへの移行要求は受け付けられません。無視されます。

**備考** n = 0, 1

### (3) CANスリープ・モードの解除

CANスリープ・モードは次の動作により解除されます。

- ・ PSMODE1, PSMODE0ビットに00Bを設定した場合
- ・ CAN受信端子 (CRXDn) の立ち下がりエッジの検出 (レセシブからドミナントへのCANバス変化)

**注意1.** 立ち下がりエッジが受信メッセージのSOFであった場合、そのメッセージの受信および格納は行われません。CANスリープ・モード中、CANへのクロックが停止されていると、CPUによりCANへのクロックを供給されない限り、CANスリープ・モードは解除されずPSMODE1.PSMODE0ビットは01Bのままとなります。また、それ以降の受信メッセージも受信されません。

2. CANクロックが供給されている状態で、CAN受信端子 (CRXDn) に立ち下がりエッジを検出した場合には、ソフトウェアによるPSMODE0ビットのクリアが必要となります (詳細は、図21 - 53の処理を参照してください)。

CANスリープ・モードが解除されたあとは、CANスリープ・モードが要求される前の動作モードに戻り、PSMODE1, PSMODE0ビットは00Bにリセットされます。CANスリープ・モードが、CANバス変化によって解除された場合、CnIE.CIEビットに関わらずCnINTS.CINTS5ビットがセット (1) されます。またCANスリープ・モード解除後は、CANモジュールは自動的にCANバス上に連続した11ビットのレセシブを検出することでCANバスへの再参加を行います。また、スリープ・モードを解除したあと、アプリケーションにより再度メッセージ・バッファにアクセスする前にCnGMCTRL.MBONビット = 1を確認しなければなりません。

CANスリープ・モードのときに初期化モードの要求が行われると、その要求は無視されます。初期化モードに移行させるにはソフトウェアによりCANスリープ・モードをいったん解除してください。

**注意** CANバスのイベントによるCANスリープ・モードの解除では、スリープ・モード移行直後にCANバスのイベントが発生した場合でもウエイク・アップ割り込みが発生しますので、いつでも発生する可能性があることを意識してください。

**備考** n = 0, 1

## 21.11.2 CANストップ・モード

CANストップ・モードにより、CANコントローラを待機状態にすることで消費電力を低減することができます。CANストップ・モードは、CANスリープ・モードからのみ移行することができます。CANストップ・モードを解除することによって、CANスリープ・モードに移行します。

CANストップ・モードは、CnCTRL.PSMODE1, PSMODE0ビットを01Bに設定することでのみ解除（CANスリープ・モードへの移行）が可能で、CANバスの変化によっては解除されません。送信要求が発行または保留されていてもメッセージを送信しません。

備考 n = 0, 1

### (1) CANストップ・モードへの移行

PSMODE1, PSMODE0ビットを11Bに設定することで、CANストップ・モードの要求を行います。CANストップ・モードの要求は、CANモジュールがCANスリープ・モードの場合のみ受け付けられます。CANスリープ・モードでない状態では、CANストップ・モードの移行要求は無視されます。

**注意** CANストップ・モード移行のためには、CANモジュールがCANスリープ・モードであることが必要です。その確認のためにPSMODE1, PSMODE0ビット = 01Bであることを確認したあとに、CANストップ・モード要求を行ってください。ただし、これらの処理の間にCAN受信端子（CRXDn）のバス変化が発生した場合、CANスリープ・モードが自動的に解除されますので、その場合にはCANストップ・モード要求は受け付けられなくなります（ただし、CANクロックが供給されている状態では、CAN受信端子（CRXDn）のバス変化が発生したあとで、ソフトウェアによるPSMODE0ビットのクリアが必要となります）。

### (2) CANストップ・モードの状態

CANストップ・モードへ移行後は、CANモジュールは次の状態となります。

- ・ 内部動作クロックが停止し、低消費電力状態となります。
- ・ CPUからのウエイク・アップのためにPSMODE1, PSMODE0ビットは書き込みができますが、それ以外のCANnモジュール・レジスタおよびビットには書き込みができません。
- ・ CANnモジュール・レジスタからの読み出しは、CnLIPT, CnRGPT, CnLOPT, CnTGPTレジスタを除いて可能です。
- ・ CANnメッセージ・バッファ・レジスタは書き込みと読み出しができません。
- ・ CnGMCTRL.MBONビットがクリア（0）されます。
- ・ 初期化モードへの移行要求は受け付けられません。無視されます。

### (3) CANストップ・モードの解除

CANストップ・モードは、PSMODE1, PSMODE0ビットを01Bに設定することによってのみ解除されます。解除後はCANスリープ・モードに移行します。

CANストップ・モードのときに初期化モードの要求が行われると、その要求は無視されます。初期化モードに移行させるにはソフトウェアによりCANストップ・モードを解除し、さらにCANスリープ・モードを解除してください。CANストップ・モードからCANスリープ・モードを経ずに直接任意の動作モードに移行することはできません。そのような移行要求は無視されます。

### 21. 11. 3 パワー・セーブ・モード使用例

アプリケーション・システムにおいて、消費電力を低減するためにCPUをパワー・セーブ・モードに設定することが必要となる場合があります。このとき、CANモジュール固有のパワー・セーブ・モードとCPU固有のパワー・セーブ・モードを連携させることで、パワー・セーブ状態のCPUをCANバスからウエイク・アップさせることが可能です。

次に使用例を説明します。

まず、CANモジュールをCANスリープ・モードに移行させます (PSMODE1, PSMODE0ビット= 01B)。次に、CPUをパワー・セーブ・モードに移行させます。この状態で、CRXDn信号がレセシブからドミナントへのエッジ変化を検出した場合、CANモジュールのCINTS5ビットがセット (1) され、さらにCnCTRL.CIE5ビットがセット (1) されている場合には、ウエイク・アップ割り込み (INTCnWUP) が発生します。CANモジュールは、CANスリープ・モードが自動的に解除 (PSMODE1, PSMODE0ビット= 00B) され、通常動作モードに復帰します (ただし、CANクロックが供給されている状態では、CAN受信端子 (CRXDn) がバス変化を検出したあとで、ソフトウェアによるPSMODE0ビットのクリアが必要となります)。一方、CPUはINTCnWUPを受けて、CPU自身のパワー・セーブ・モードを解除し、通常動作モードに復帰することができます。

CPUのさらなる消費電力の低減を図るために、CANモジュールを含めた内部クロックを停止させることがあります。この場合、前述のように、CANモジュールをCANスリープ・モードに移行させたあとに、CANモジュールに供給されている動作クロックを停止します。その後、CPUはCPUへのクロック供給を停止するパワー・セーブ・モードに移行させます。この状態で、CRXDn信号がレセシブからドミナントへのエッジ変化を検出した場合、CANモジュールはクロック供給がない状態でもCINTS5ビットのセット (1) とウエイク・アップ割り込み (INTCnWUP) を発生することが可能です。ただし、それ以外の機能は、CANモジュールへのクロック供給が止まっているため動作せず、CANスリープ・モード状態を維持します。CPUは、INTCnWUPを受けて、CPUのパワー・セーブ・モードを解除し、たとえば発振安定時間経過後に、CANモジュールへのクロックを含めた内部クロックの供給を再開し、所定の命令実行動作を開始します。CANモジュールは、クロック供給が再開されるとただちにCANスリープ・モードを解除し、通常動作モード (PSMODE1, PSMODE0ビット= 00B) に復帰します。

**備考** n = 0, 1

## 21.12 割り込み機能

CANモジュールには、6つの割り込み要因があります。

これらの割り込み要因の発生は、割り込みステータス・レジスタに格納されます。6つの割り込み要因から、4つの割り込み要求が発生します。複数の割り込み要因が集約されている割り込み要求信号の発生時には、割り込みステータス・レジスタを使用して、割り込み要因の特定ができます。割り込み要因の発生後、ソフトウェアにより対応する割り込みステータス・ビットをクリア(0)する必要があります。

表21-20 CANモジュール割り込み要因一覧

No.	割り込みステータス・ビット		割り込み許可ビット		割り込み要求信号	割り込み要因の説明
	ビット名	レジスタ	ビット名	レジスタ		
1	CINTS0 <sup>注1</sup>	CnINTS	CIE0 <sup>注1</sup>	CnIE	INTCnTRX	メッセージ・バッファからのメッセージ・フレームの正常な送信完了割り込み
2	CINTS1 <sup>注1</sup>	CnINTS	CIE1 <sup>注1</sup>	CnIE	INTCnREC	メッセージ・バッファへの有効なメッセージ・フレーム受信完了割り込み
3	CINTS2	CnINTS	CIE2	CnIE	INTCnERR	CANモジュール・エラー状態割り込み <sup>注2</sup>
4	CINTS3	CnINTS	CIE3	CnIE		CANモジュール・プロトコル・エラー割り込み <sup>注3</sup>
5	CINTS4	CnINTS	CIE4	CnIE		CANモジュール・アービトレーション・ロスト割り込み
6	CINTS5	CnINTS	CIE5	CnIE	INTCnWUP	CANスリープ・モードからのウエイク・アップ割り込み <sup>注4</sup>

- 注1. メッセージ・バッファでは、割り込みを発生させたいメッセージ・バッファのCnMCTRL.IEビット(メッセージ・バッファ割り込み許可ビット)をセット(1)する必要があります。
2. 送受信エラー・カウンタがワーニング・レベル、エラー・パッシブおよびバスオフ状態になることが要因で発生する割り込みです。
3. スタッフ・エラー、フォーム・エラー、ACKエラー、ビット・エラー、CRCエラーが要因で発生する割り込みです。
4. CAN受信端子の立ち上がりエッジの検出(レセシブからドミナントへのCANバス変化)によるCANスリープ・モードからのウエイク・アップが要因で発生する割り込みです。

備考 n = 0, 1

m = 00-31

## 21. 13 診断機能と特殊動作モード

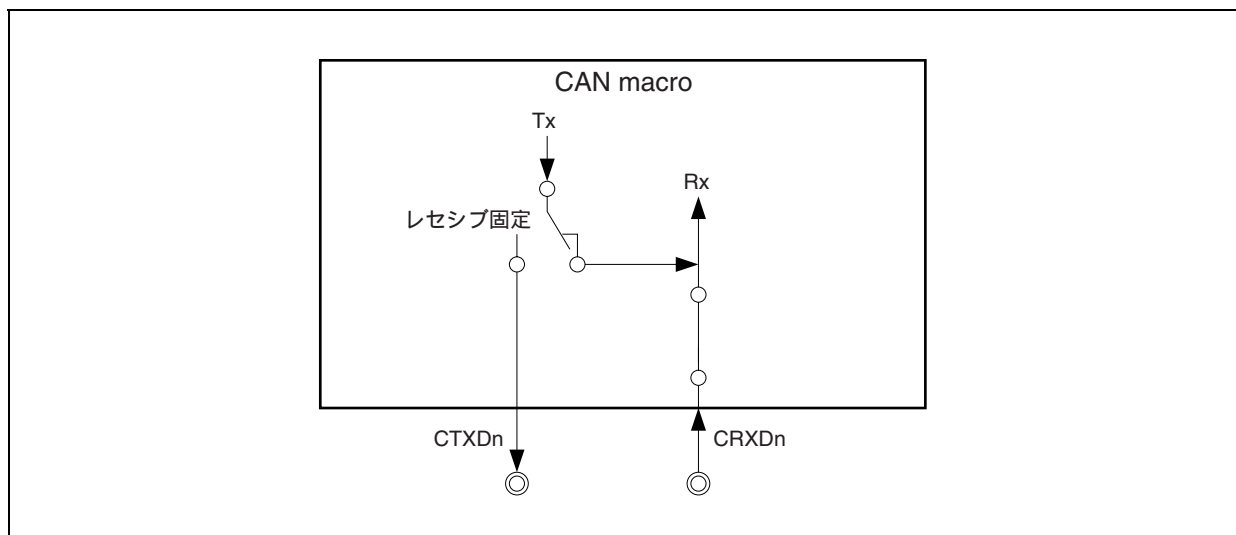
CANモジュールは、CANバス診断機能および特殊なCAN通信方法の動作をサポートするための受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モードを利用できます。

### 21. 13. 1 受信オンリー・モード

受信オンリー・モードは、CANバスに影響を与えずに受信メッセージをモニタするモードで、CANバス分析ノード用に使用できます。

たとえば、自動ポー・レート検出に利用できます。“有効な受信”が検出されるまでCANモジュールのポー・レートを変化させ、互いのポー・レートを合わせ込むことができます（“有効な受信”とは、エラーが発生せず、CANバスに接続されたノードによる適切なACK応答を伴って、CANプロトコル・レイヤ層で受信されたメッセージ・フレームを意味します）。有効な受信では、受信メッセージ・バッファ（データ・フレーム）または送信メッセージ・バッファ（リモート・フレーム）へのメッセージ・フレームの格納は必要ありません。有効な受信は、CnCTRL.VALIDビットがセット（1）されることで確認できます。

図21 - 33 受信オンリー・モードにおけるCAN端子接続



受信オンリー・モードは、CANモジュールからCANバスにメッセージ・フレームは送信しません。送信メッセージ・バッファとして定義されたメッセージ・バッファに発行された送信要求は保留されます。

受信オンリー・モードでは、CANモジュールのCAN送信端子（CTXDn）は、レセシブ・レベルに固定されています。したがって、メッセージ・フレームの受信中にCANバス・エラーが検出された場合でも、CANモジュールからアクティブ・エラー・フラグをCANバスに送信しません。また、CANモジュールから送信を発行できないため、送信エラー・カウンタCnERC.TEC7-TEC0ビットは更新されません。したがって、受信オンリー・モードのCANモジュールは、バス・オフ状態になりません。

さらに、受信オンリー・モードは、有効なメッセージ・フレームの受信時に、CANバスにACKを返却しません。内部的には自ノードはACKを送信したと認識します。オーバーロード・フレームをCANバスに送信することができません。

**注意** 2つのCANノードのみがCANバスに接続されており、CANノードの1つが「受信オンリー・モード」で動作している場合は、CANバスでACK応答はありません。ACK応答がないため、送信ノードはアクティブ・エラー・フラグを送信し、メッセージ・フレームの送信を繰り返します。送信ノードは、メッセージ・フレームを16回送信したあとにエラー・パッシブになります（エラー・カウンタが最初に0であり、ほかのエラーが発生しなかった場合）。メッセージ・フレームの17回目を送信したあとに、送信ノードはパッシブ・エラー・フラグを送信します。したがって、受信オンリー・モードの受信ノードは、この時点で、初めて有効なメッセージ・フレームを検出することになり、VALIDビットが初めてセット（1）されます。

**備考** n = 0, 1

## 21. 13. 2 シングル・ショット・モード

シングル・ショット・モードは、CANプロトコルで定義された自動再送信は行いません（CANプロトコルでは、アービトレーション・ロスト発生またはエラー発生によって中止されたメッセージ・フレーム送信は、ソフトウェアによる制御なしで再送信される必要があります）。シングル・ショット・モードのそのほかの動作は通常動作モードと同一です。シングル・ショット・モードの機能はABT付き通常動作モードでは使用できません。

シングル・ショット・モードは、CnCTRL.ALビットの設定に従って、中止されたメッセージ・フレーム送信の再送信を無効にします。ALビットがクリア（0）されている場合は、アービトレーション・ロスト発生時またはエラー発生時の再送信が無効になります。ALビットがセット（1）されている場合は、エラー発生時の再送信は無効になりますが、アービトレーション・ロスト発生時の再送信は有効になります。したがって、送信メッセージ・バッファとして定義されたメッセージ・バッファのCnMCTRLm.TRQビットは、次のイベントでクリア（0）されます。

- ・メッセージ・フレームの正常送信完了
- ・メッセージ・フレームのアービトレーション・ロスト発生（ALビット = 0）
- ・メッセージ・フレーム送信中のエラー発生

アービトレーション・ロスト発生とエラー発生は、CnINTS.CINTS4、CINTS3ビットを確認し、エラーの種類はCnLEC.LEC2-LEC0ビットをリードすることで区別することができます。

メッセージ・フレームの送信完了時、CnINTSレジスタの送信完了割り込みCINTS0ビットは、セット（1）されます。そのとき、CnIE.CIE0ビットがセット（1）されている場合には、割り込み要求信号が出力されます。



シングル・ショット・モードは、タイム・トリガの通信方法（TTCANレベル1など）をエミュレートするために使用することができます。

**注意** ALビットは、シングル・ショット・モード時のみ有効です。その他の動作モードでは、アービトレーション・ロスト時の再送動作に影響を与えません。

**備考**  $n = 0, 1$

### 21. 13. 3 セルフ・テスト・モード

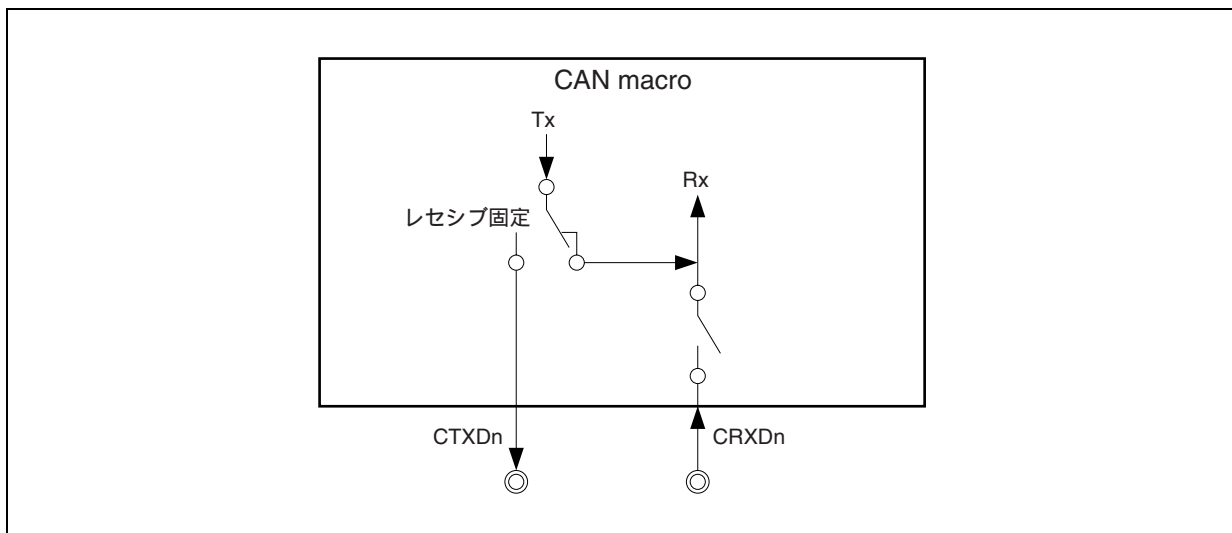
セルフ・テスト・モードは、CANノードをCANバスに接続することなく、つまり、CANバスに影響を与えずにメッセージ・フレーム送信とメッセージ・フレーム受信をテストすることができます。

セルフ・テスト・モードは、CANモジュールがCANバスから完全に切断されていますが、内部的に送信と受信はループ・バックされています。CAN送信端子（CTXDn）は、レセシブ・レベルに固定されています。

ただし、セルフ・テスト・モードでCANスリープ・モードに移行したあと、CAN受信端子（CRXDn）の立ち下がりエッジの検出をすると、ほかの動作モードと同様にCANスリープ・モードから解除されます（ただし、CANクロックが供給されている状態でスリープ・モードを解除したい場合は、CAN受信端子（CRXDn）の立ち下がりエッジの検出後、ソフトウェアによるPSMODE0ビットのクリアが必要となります）。CANスリープ・モードから解除されないようにするには、CAN受信端子（CRXDn）をポートに切り替えて使用してください。

**備考**  $n = 0, 1$

図21 - 34 セルフ・テスト・モードにおけるCAN端子接続



## 21. 13. 4 各動作モードにおける送受信動作

各動作モードにおける送受信動作の概略を表21 - 21に示します。

表21 - 21 各動作モードにおける送受信動作の概要

動作モード	データ・フレーム /リモート・ フレーム送信	ACK送信	エラー・フレーム /オーバーロード・ フレーム送信	再送信	自動ブロック 送信 (ABT)	VALID ビットのセ ット	メッセージ・ バッファへの データ格納
初期化モード	-	-	-	-	-	-	-
通常動作モード					-		
ABT付き通常動作 モード							
受信オンリー・ モード	-	-	-	-	-		
シングル・ ショット・モー ド				注1	-		
セルフ・テス ト・モード	注2	注2	注2	注2	-	注2	注2

注1. アービトレーション・ロスト時、CnCTRL.ALビットにより、再送信の設定が可能です。

2. 各信号は外部に出力されませんが、CANモジュール内部で発生します。

## 21. 14 タイム・スタンプ機能

CANは非同期のシリアル通信プロトコルです。したがって、CANバスに接続されているすべてのノードは、それぞれが独自のローカルなクロックを使っています。そのため、各ノードで使われているクロックの間には何の相互関係もありません（つまり各クロックは非同期であり、周波数が完全に合致していません）。

しかし、アプリケーションによっては、ネットワーク全体で使われる共通タイム・ベース（= グローバル・タイム・ベース）が必要となるものがあります。グローバル・タイム・ベースを確立するためには、タイム・スタンプ機能が用いられます。タイム・スタンプ機能に必要なメカニズムは、CANバス上の信号をトリガとしてタイム値をキャプチャすることです。

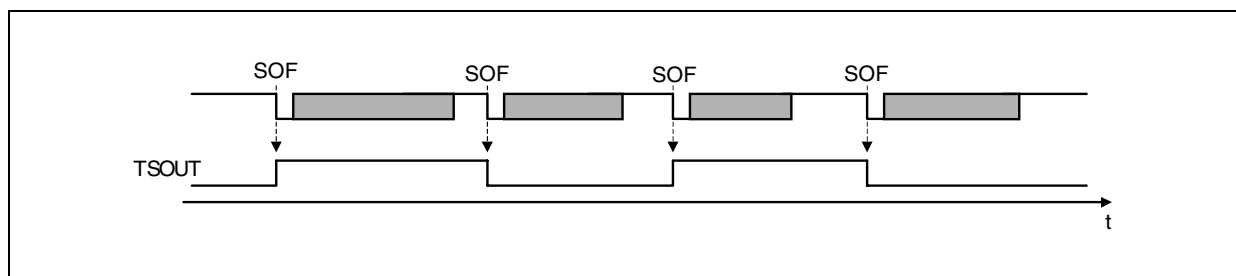
### 21. 14. 1 タイム・スタンプ機能

CANコントローラは、特定フレームをトリガとしてタイム値をキャプチャする場合に必要な機能をサポートしています。そのために、CANコントローラに加え製品に内蔵されている16ビットのキャプチャ/タイマ・ユニットを使用します。この場合、16ビット・キャプチャ・タイマ・ユニットは、CANコントローラからデータ・フレームの受信時に出力されるキャプチャ用のトリガ信号（TSOUT）に応じて、タイム値をキャプチャします。CPUはそのキャプチャ値を読み出すことにより、キャプチャ・イベントの発生時刻、すなわちCANバスから受信したメッセージのタイム・スタンプを得ることができます。TSOUT信号は、次の2つのイベント・ソースから選択することができ、CnTS.TSSELビットにより指定します。

- ・SOFイベント（スタート・オブ・フレーム）（TSSELビット = 0）
- ・EOFイベント（エンド・オブ・フレームの最終ビット）（TSSELビット = 1）

またTSOUT信号は、CnTS.TSENビットをセット（1）することで動作許可状態になります。

図21 - 35 キャプチャ用信号TSOUTのタイミング図



TSOUT信号は、データ・フレームの受信時に、選択されたイベントが発生するたびにそのレベルがトグルします（図21 - 34は、SOFをトリガのイベント・ソースとした場合のタイミング図です）。このTSOUT信号によるキャプチャを行うためには、キャプチャ/タイマ・ユニット側では、キャプチャ信号の検出は立ち上がりおよび立ち下りの両エッジで行う必要があります。

これらのタイム・スタンプの機能は、CnTS.TSLOCKビットにより制御することができます。TSLOCKビットがクリア（0）されている場合には、選択したイベントが発生するたびにTSOUT信号がトグルします。TSLOCKビットがセット（1）されている場合には、選択したイベントが発生するたびにTSOUT信号がトグルしますが、データ・フレームのメッセージ・バッファ0への受信格納開始時にTSENビットが自動的にクリア（0）されることで、トグル動作を停止させることができます。これにより、以降のTSOUT信号のトグル発生を抑え、最後にトグルした（= 最後にキャプチャした）タイム・スタンプ値を、メッセージ・バッファ0にデータ・フレームを受信した時刻のタイム・スタンプ値として保存することができます。

**注意** TSLOCKビットを使ったタイム・スタンプ機能は、メッセージ・バッファ0へのデータ・フレーム受信によりTSOUT信号のトグルを停止させるものです。そのためには、メッセージ・バッファ0は受信メッセージ・バッファとして設定されている必要があります。受信メッセージ・バッファにはリモート・フレームを受信できませんので、リモート・フレーム受信によりTSOUT信号のトグルを停止させることはできません。またメッセージ・バッファ0以外のメッセージ・バッファへのデータ・フレーム受信では、TSOUT信号のトグルは停止しません。

上記の理由で、CANモジュールがABT付き通常モードに設定されている場合には、メッセージ・バッファ0は送信メッセージ・バッファとして設定する必要があるため、メッセージ・バッファ0へのデータ・フレーム受信はできません。したがって、この動作モードではTSLOCKビットによるTSOUT信号のトグルの停止機能は使用できません。

**備考**  $n = 0, 1$

## 21. 15 ボー・レート設定について

### 21. 15. 1 ビット・レート設定について

CANを正常に動作させるために、次の条件に設定してください。

- (a) 5TQ SPT (サンプル・ポイント) 17TQ  
SPT = TSEG1 + 1TQ
- (b) 8TQ DBT (データ・ビット・タイム) 25TQ  
DBT = TSEG1 + TSEG2 + 1TQ = TSEG2 + SPT
- (c) 1TQ SJW (同期ジャンプ幅) 4TQ  
SJW DBT - SPT
- (d) 4TQ TSEG1 16TQ [3 TSEG1[3:0]の設定値 15]
- (e) 1TQ TSEG2 8TQ [0 TSEG2[2:0]の設定値 7]

**備考**  $TQ = 1/f_{TQ}$  ( $f_{TQ}$ : CANプロトコル・レイヤ基本システム・クロック)  
TSEG1 [3:0] (CnBTR.TSEG13-TSEG10ビット) ( $n = 0, 1$ )  
TSEG2 [2:0] (CnBTR.TSEG22-TSEG20ビット) ( $n = 0, 1$ )

上記条件を満たすビット・レートの組み合わせを表21 - 22に示します。

表21 - 22 設定可能なビット・レート組み合わせ

(1/3)

DBTの長さ	有効なビット・レート設定				CnBTRレジスタ設定値		サンプル・ポイント (単位: %)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13-TSEG10	TSEG22-TSEG20	
25	1	8	8	8	1111	111	68.0
24	1	7	8	8	1110	111	66.7
24	1	9	7	7	1111	110	70.8
23	1	6	8	8	1101	111	65.2
23	1	8	7	7	1110	110	69.6
23	1	10	6	6	1111	101	73.9
22	1	5	8	8	1100	111	63.6
22	1	7	7	7	1101	110	68.2
22	1	9	6	6	1110	101	72.7
22	1	11	5	5	1111	100	77.3
21	1	4	8	8	1011	111	61.9
21	1	6	7	7	1100	110	66.7
21	1	8	6	6	1101	101	71.4
21	1	10	5	5	1110	100	76.2
21	1	12	4	4	1111	011	81.0
20	1	3	8	8	1010	111	60.0
20	1	5	7	7	1011	110	65.0
20	1	7	6	6	1100	101	70.0
20	1	9	5	5	1101	100	75.0
20	1	11	4	4	1110	011	80.0
20	1	13	3	3	1111	010	85.0
19	1	2	8	8	1001	111	57.9
19	1	4	7	7	1010	110	63.2
19	1	6	6	6	1011	101	68.4
19	1	8	5	5	1100	100	73.7
19	1	10	4	4	1101	011	78.9
19	1	12	3	3	1110	010	84.2
19	1	14	2	2	1111	001	89.5
18	1	1	8	8	1000	111	55.6
18	1	3	7	7	1001	110	61.1
18	1	5	6	6	1010	101	66.7
18	1	7	5	5	1011	100	72.2
18	1	9	4	4	1100	011	77.8
18	1	11	3	3	1101	010	83.3
18	1	13	2	2	1110	001	88.9
18	1	15	1	1	1111	000	94.4

備考 n = 0, 1

表21 - 22 設定可能なビット・レート組み合わせ

(2/3)

DBTの長さ	有効なビット・レート設定				CnBTRレジスタ設定値		サンプル・ポイント (単位：%)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13-TSEG10	TSEG22-TSEG20	
17	1	2	7	7	1000	110	58.8
17	1	4	6	6	1001	101	64.7
17	1	6	5	5	1010	100	70.6
17	1	8	4	4	1011	011	76.5
17	1	10	3	3	1100	010	82.4
17	1	12	2	2	1101	001	88.2
17	1	14	1	1	1110	000	94.1
16	1	1	7	7	0111	110	56.3
16	1	3	6	6	1000	101	62.5
16	1	5	5	5	1001	100	68.8
16	1	7	4	4	1010	011	75.0
16	1	9	3	3	1011	010	81.3
16	1	11	2	2	1100	001	87.5
16	1	13	1	1	1101	000	93.8
15	1	2	6	6	0111	101	60.0
15	1	4	5	5	1000	100	66.7
15	1	6	4	4	1001	011	73.3
15	1	8	3	3	1010	010	80.0
15	1	10	2	2	1011	001	86.7
15	1	12	1	1	1100	000	93.3
14	1	1	6	6	0110	101	57.1
14	1	3	5	5	0111	100	64.3
14	1	5	4	4	1000	011	71.4
14	1	7	3	3	1001	010	78.6
14	1	9	2	2	1010	001	85.7
14	1	11	1	1	1011	000	92.9
13	1	2	5	5	0110	100	61.5
13	1	4	4	4	0111	011	69.2
13	1	6	3	3	1000	010	76.9
13	1	8	2	2	1001	001	84.6
13	1	10	1	1	1010	000	92.3
12	1	1	5	5	0101	100	58.3
12	1	3	4	4	0110	011	66.7
12	1	5	3	3	0111	010	75.0
12	1	7	2	2	1000	001	83.3
12	1	9	1	1	1001	000	91.7

備考 n = 0, 1

表21 - 22 設定可能なビット・レート組み合わせ

(3/3)

DBTの長さ	有効なビット・レート設定				CnBTRレジスタ設定値		サンプル・ポイント (単位：%)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13-TSEG10	TSEG22-TSEG20	
11	1	2	4	4	0101	011	63.6
11	1	4	3	3	0110	010	72.7
11	1	6	2	2	0111	001	81.8
11	1	8	1	1	1000	000	90.9
10	1	1	4	4	0100	011	60.0
10	1	3	3	3	0101	010	70.0
10	1	5	2	2	0110	001	80.0
10	1	7	1	1	0111	000	90.0
9	1	2	3	3	0100	010	66.7
9	1	4	2	2	0101	001	77.8
9	1	6	1	1	0110	000	88.9
8	1	1	3	3	0011	010	62.5
8	1	3	2	2	0100	001	75.0
8	1	5	1	1	0101	000	87.5
7 <sup>注</sup>	1	2	2	2	0011	001	71.4
7 <sup>注</sup>	1	4	1	1	0100	000	85.7
6 <sup>注</sup>	1	1	2	2	0010	001	66.7
6 <sup>注</sup>	1	3	1	1	0011	000	83.3
5 <sup>注</sup>	1	2	1	1	0010	000	80.0
4 <sup>注</sup>	1	1	1	1	0001	000	75.0

注 DBT値が7以下の設定は、CnBRPレジスタ = 00H以外の場合のみ有効です。

注意 表21 - 22は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。

備考 n = 0, 1

## 21. 15. 2 代表的なボー・レート設定例

代表的なボー・レート設定例を表21 - 23および表21 - 24に示します。

表21 - 23 代表的なボー・レート設定例 (f<sub>CANMOD</sub> = 8 MHz設定時)

(1/2)

ボー・レート 設定値 (単位： kbps)	CnBRP レジスタ による 分周比	CnBRP レジスタ 設定値 TQPRS[7:0]	有効なビット・レート設定(単位：TQ)					CnBTRレジスタ 設定値		サンプル・ ポイント (単位：%)
			DBTの 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
1000	1	00000000	8	1	1	3	3	0011	010	62.5
1000	1	00000000	8	1	3	2	2	0100	001	75.0
1000	1	00000000	8	1	5	1	1	0101	000	87.5
500	1	00000000	16	1	1	7	7	0111	110	56.3
500	1	00000000	16	1	3	6	6	1000	101	62.5
500	1	00000000	16	1	5	5	5	1001	100	68.8
500	1	00000000	16	1	7	4	4	1010	011	75.0
500	1	00000000	16	1	9	3	3	1011	010	81.3
500	1	00000000	16	1	11	2	2	1100	001	87.5
500	1	00000000	16	1	13	1	1	1101	000	93.8
500	2	00000001	8	1	1	3	3	0011	010	62.5
500	2	00000001	8	1	3	2	2	0100	001	75.0
500	2	00000001	8	1	5	1	1	0101	000	87.5
250	2	00000001	16	1	1	7	7	0111	110	56.3
250	2	00000001	16	1	3	6	6	1000	101	62.5
250	2	00000001	16	1	5	5	5	1001	100	68.8
250	2	00000001	16	1	7	4	4	1010	011	75.0
250	2	00000001	16	1	9	3	3	1011	010	81.3
250	2	00000001	16	1	11	2	2	1100	001	87.5
250	2	00000001	16	1	13	1	1	1101	000	93.8
250	4	00000011	8	1	3	2	2	0100	001	75.0
250	4	00000011	8	1	5	1	1	0101	000	87.5
125	4	00000011	16	1	1	7	7	0111	110	56.3
125	4	00000011	16	1	3	6	6	1000	101	62.5
125	4	00000011	16	1	5	5	5	1001	100	68.8
125	4	00000011	16	1	7	4	4	1010	011	75.0
125	4	00000011	16	1	9	3	3	1011	010	81.3
125	4	00000011	16	1	11	2	2	1100	001	87.5
125	4	00000011	16	1	13	1	1	1101	000	93.8
125	8	00000111	8	1	3	2	2	0100	001	75.0
125	8	00000111	8	1	5	1	1	0101	000	87.5

注意 表21 - 23は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。

備考 n = 0, 1



表21 - 23 代表的なボー・レート設定例 (f<sub>CANMOD</sub> = 8 MHz 設定時)

(2/2)

ボー・レート 設定値 (単位: kbps)	CnBRP レジスタ による 分周比	CnBRP レジスタ 設定値 TQPRS[7:0]	有効なビット・レート設定(単位:TQ)					CnBTRレジスタ 設定値		サンプル・ ポイント (単位:%)
			DBTの 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
100	4	00000011	20	1	7	6	6	1100	101	70.0
100	4	00000011	20	1	9	5	5	1101	100	75.0
100	5	00000100	16	1	7	4	4	1010	011	75.0
100	5	00000100	16	1	9	3	3	1011	010	81.3
100	8	00000111	10	1	3	3	3	0101	010	70.0
100	8	00000111	10	1	5	2	2	0110	001	80.0
100	10	00001001	8	1	3	2	2	0100	001	75.0
100	10	00001001	8	1	5	1	1	0101	000	87.5
83.3	4	00000011	24	1	7	8	8	1110	111	66.7
83.3	4	00000011	24	1	9	7	7	1111	110	70.8
83.3	6	00000101	16	1	5	5	5	1001	100	68.8
83.3	6	00000101	16	1	7	4	4	1010	011	75.0
83.3	6	00000101	16	1	9	3	3	1011	010	81.3
83.3	6	00000101	16	1	11	2	2	1100	001	87.5
83.3	8	00000111	12	1	5	3	3	0111	010	75.0
83.3	8	00000111	12	1	7	2	2	1000	001	83.3
83.3	12	00001011	8	1	3	2	2	0100	001	75.0
83.3	12	00001011	8	1	5	1	1	0101	000	87.5
33.3	10	00001001	24	1	7	8	8	1110	111	66.7
33.3	10	00001001	24	1	9	7	7	1111	110	70.8
33.3	12	00001011	20	1	7	6	6	1100	101	70.0
33.3	12	00001011	20	1	9	5	5	1101	100	75.0
33.3	15	00001110	16	1	7	4	4	1010	011	75.0
33.3	15	00001110	16	1	9	3	3	1011	010	81.3
33.3	16	00001111	15	1	6	4	4	1001	011	73.3
33.3	16	00001111	15	1	8	3	3	1010	010	80.0
33.3	20	00010011	12	1	5	3	3	0111	010	75.0
33.3	20	00010011	12	1	7	2	2	1000	001	83.3
33.3	24	00010111	10	1	3	3	3	0101	010	70.0
33.3	24	00010111	10	1	5	2	2	0110	001	80.0
33.3	30	00011101	8	1	3	2	2	0100	001	75.0
33.3	30	00011101	8	1	5	1	1	0101	000	87.5

注意 表21 - 23は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。

備考 n = 0, 1

表21 - 24 代表的なボー・レート設定例 (f<sub>CANMOD</sub> = 16 MHz設定時)

(1/2)

ボー・レート 設定値 (単位 : kbps)	CnBRP レジスタ による 分周比	CnBRP レジスタ 設定値 TQPRS[7:0]	有効なビットレート設定(単位 : TQ)					CnBTRレジスタ設 定値		サンプル・ ポイント (単位 : %)
			DBTの 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
1000	1	00000000	16	1	1	7	7	0111	110	56.3
1000	1	00000000	16	1	3	6	6	1000	101	62.5
1000	1	00000000	16	1	5	5	5	1001	100	68.8
1000	1	00000000	16	1	7	4	4	1010	011	75.0
1000	1	00000000	16	1	9	3	3	1011	010	81.3
1000	1	00000000	16	1	11	2	2	1100	001	87.5
1000	1	00000000	16	1	13	1	1	1101	000	93.8
1000	2	00000001	8	1	3	2	2	0100	001	75.0
1000	2	00000001	8	1	5	1	1	0101	000	87.5
500	2	00000001	16	1	1	7	7	0111	110	56.3
500	2	00000001	16	1	3	6	6	1000	101	62.5
500	2	00000001	16	1	5	5	5	1001	100	68.8
500	2	00000001	16	1	7	4	4	1010	011	75.0
500	2	00000001	16	1	9	3	3	1011	010	81.3
500	2	00000001	16	1	11	2	2	1100	001	87.5
500	2	00000001	16	1	13	1	1	1101	000	93.8
500	4	00000011	8	1	3	2	2	0100	001	75.0
500	4	00000011	8	1	5	1	1	0101	000	87.5
250	4	00000011	16	1	3	6	6	1000	101	62.5
250	4	00000011	16	1	5	5	5	1001	100	68.8
250	4	00000011	16	1	7	4	4	1010	011	75.0
250	4	00000011	16	1	9	3	3	1011	010	81.3
250	4	00000011	16	1	11	2	2	1100	001	87.5
250	8	00000111	8	1	3	2	2	0100	001	75.0
250	8	00000111	8	1	5	1	1	0101	000	87.5
125	8	00000111	16	1	3	6	6	1000	101	62.5
125	8	00000111	16	1	7	4	4	1010	011	75.0
125	8	00000111	16	1	9	3	3	1011	010	81.3
125	8	00000111	16	1	11	2	2	1100	001	87.5
125	16	00001111	8	1	3	2	2	0100	001	75.0
125	16	00001111	8	1	5	1	1	0101	000	87.5

注意 表21 - 24は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CAN  
トランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。

備考 n = 0, 1

表21 - 24 代表的なボー・レート設定例 (f<sub>CANMOD</sub> = 16 MHz設定時)

(2/2)

ボー・レート 設定値 (単位: kbps)	CnBRP レジスタ による 分周比	CnBRP レジスタ 設定値 TQPRS[7:0]	有効なビットレート設定(単位:TQ)					CnBTRレジスタ設 定値		サンプル・ ポイント (単位:%)
			DBT の 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG13- TSEG10	TSEG22- TSEG20	
100	8	00000111	20	1	9	5	5	1101	100	75.0
100	8	00000111	20	1	11	4	4	1110	011	80.0
100	10	00001001	16	1	7	4	4	1010	011	75.0
100	10	00001001	16	1	9	3	3	1011	010	81.3
100	16	00001111	10	1	3	3	3	0101	010	70.0
100	16	00001111	10	1	5	2	2	0110	001	80.0
100	20	00010011	8	1	3	2	2	0100	001	75.0
83.3	8	00000111	24	1	7	8	8	1110	111	66.7
83.3	8	00000111	24	1	9	7	7	1111	110	70.8
83.3	12	00001011	16	1	7	4	4	1010	011	75.0
83.3	12	00001011	16	1	9	3	3	1011	010	81.3
83.3	12	00001011	16	1	11	2	2	1100	001	87.5
83.3	16	00001111	12	1	5	3	3	0111	010	75.0
83.3	16	00001111	12	1	7	2	2	1000	001	83.3
83.3	24	00010111	8	1	3	2	2	0100	001	75.0
83.3	24	00010111	8	1	5	1	1	0101	000	87.5
33.3	30	00011101	24	1	7	8	8	1110	111	66.7
33.3	30	00011101	24	1	9	7	7	1111	110	70.8
33.3	24	00010111	20	1	9	5	5	1101	100	75.0
33.3	24	00010111	20	1	11	4	4	1110	011	80.0
33.3	30	00011101	16	1	7	4	4	1010	011	75.0
33.3	30	00011101	16	1	9	3	3	1011	010	81.3
33.3	32	00011111	15	1	8	3	3	1010	010	80.0
33.3	32	00011111	15	1	10	2	2	1011	001	86.7
33.3	37	00100100	13	1	6	3	3	1000	010	76.9
33.3	37	00100100	13	1	8	2	2	1001	001	84.6
33.3	40	00100111	12	1	5	3	3	0111	010	75.0
33.3	40	00100111	12	1	7	2	2	1000	001	83.3
33.3	48	00101111	10	1	3	3	3	0101	010	70.0
33.3	48	00101111	10	1	5	2	2	0110	001	80.0
33.3	60	00111011	8	1	3	2	2	0100	001	75.0
33.3	60	00111011	8	1	5	1	1	0101	000	87.5

注意 表21 - 24は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。

備考 n = 0, 1

## 21.16 CANコントローラの動作

ここで示す処理手順は、CANコントローラを動作させるための推奨処理手順となります。この推奨処理手順を参考にプログラム開発を行ってください。

**備考** n = 0, 1  
m = 00-31

図21 - 36 初期化

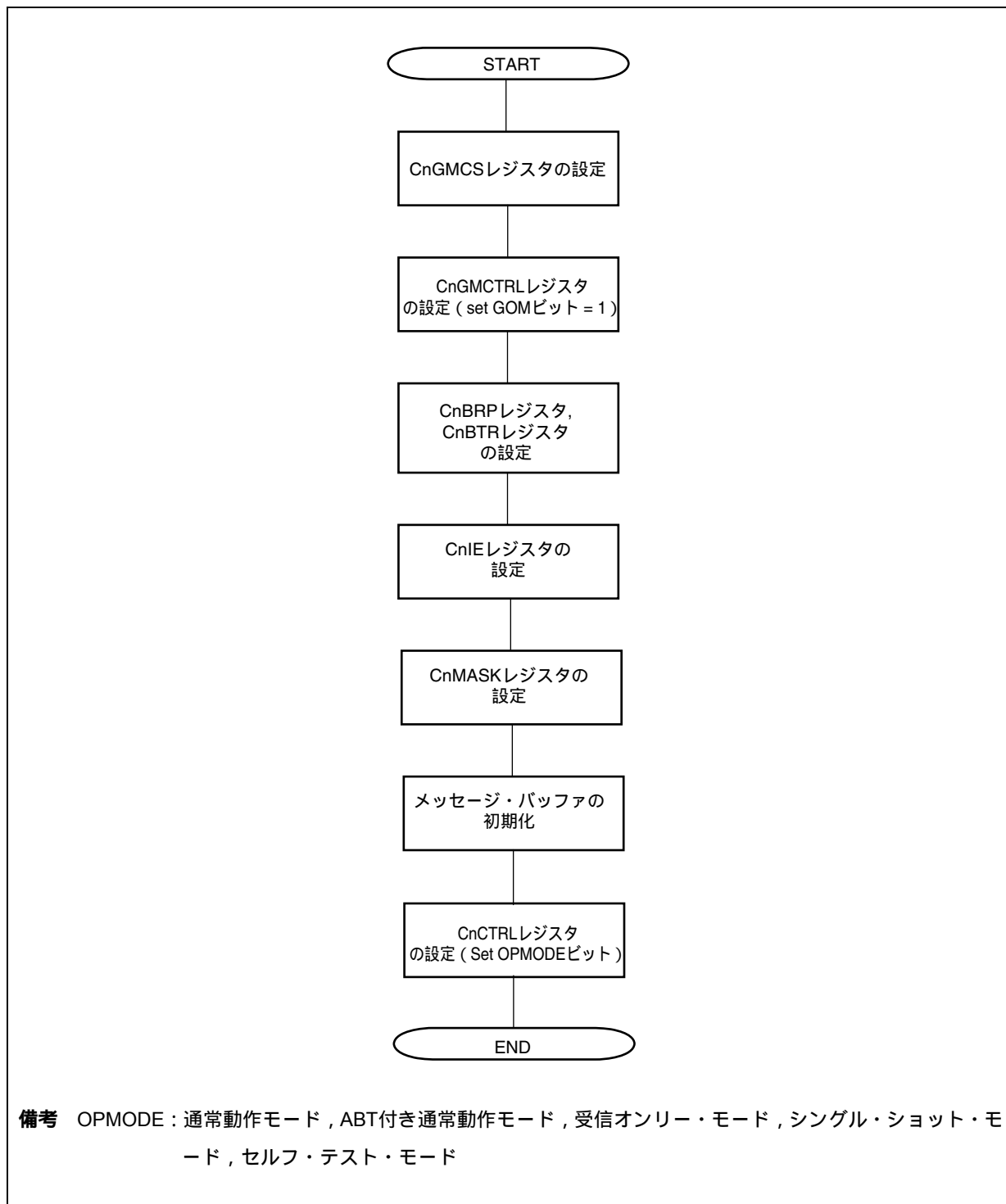


図21 - 37 再初期化

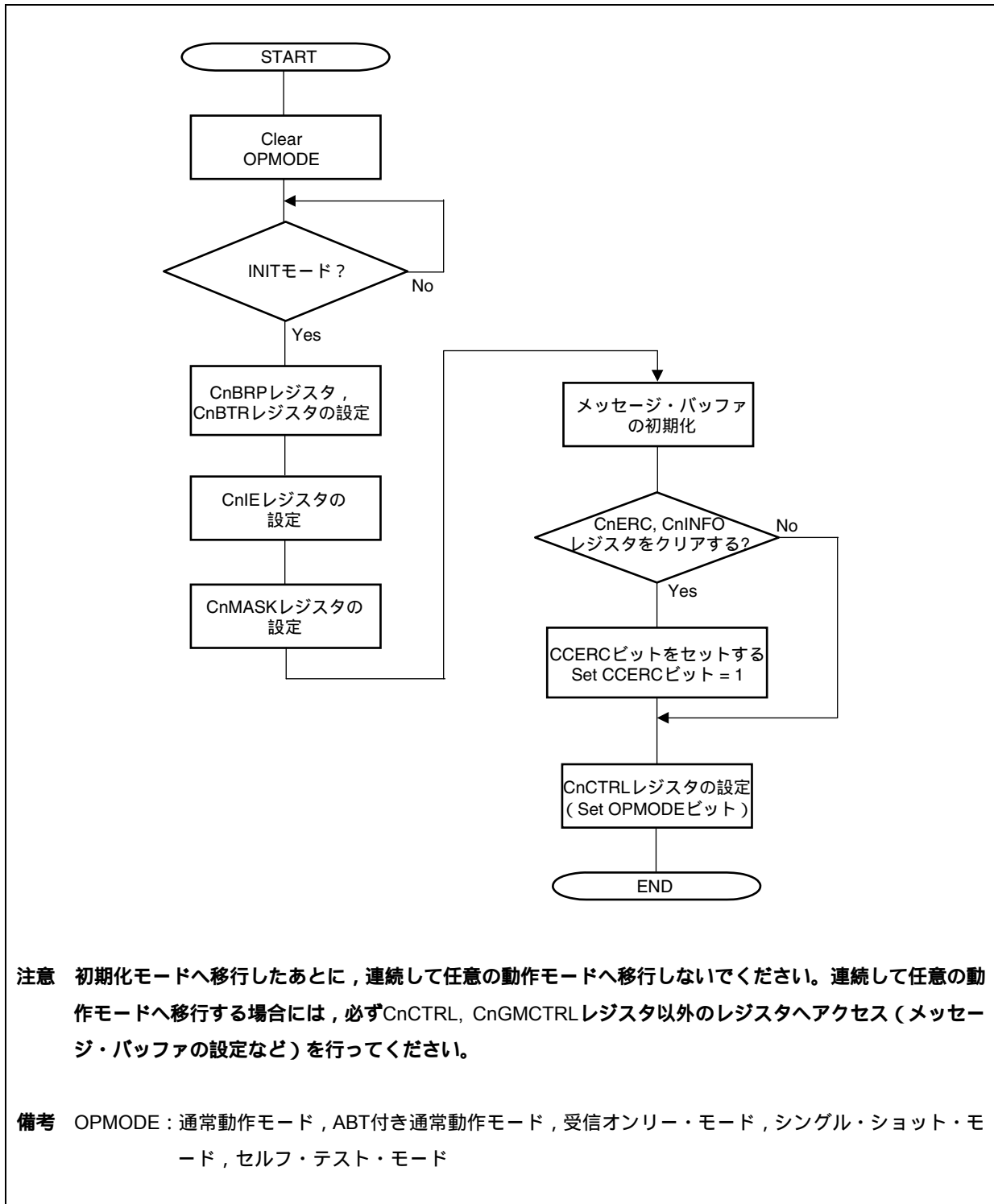


図21 - 38 メッセージ・バッファの初期化

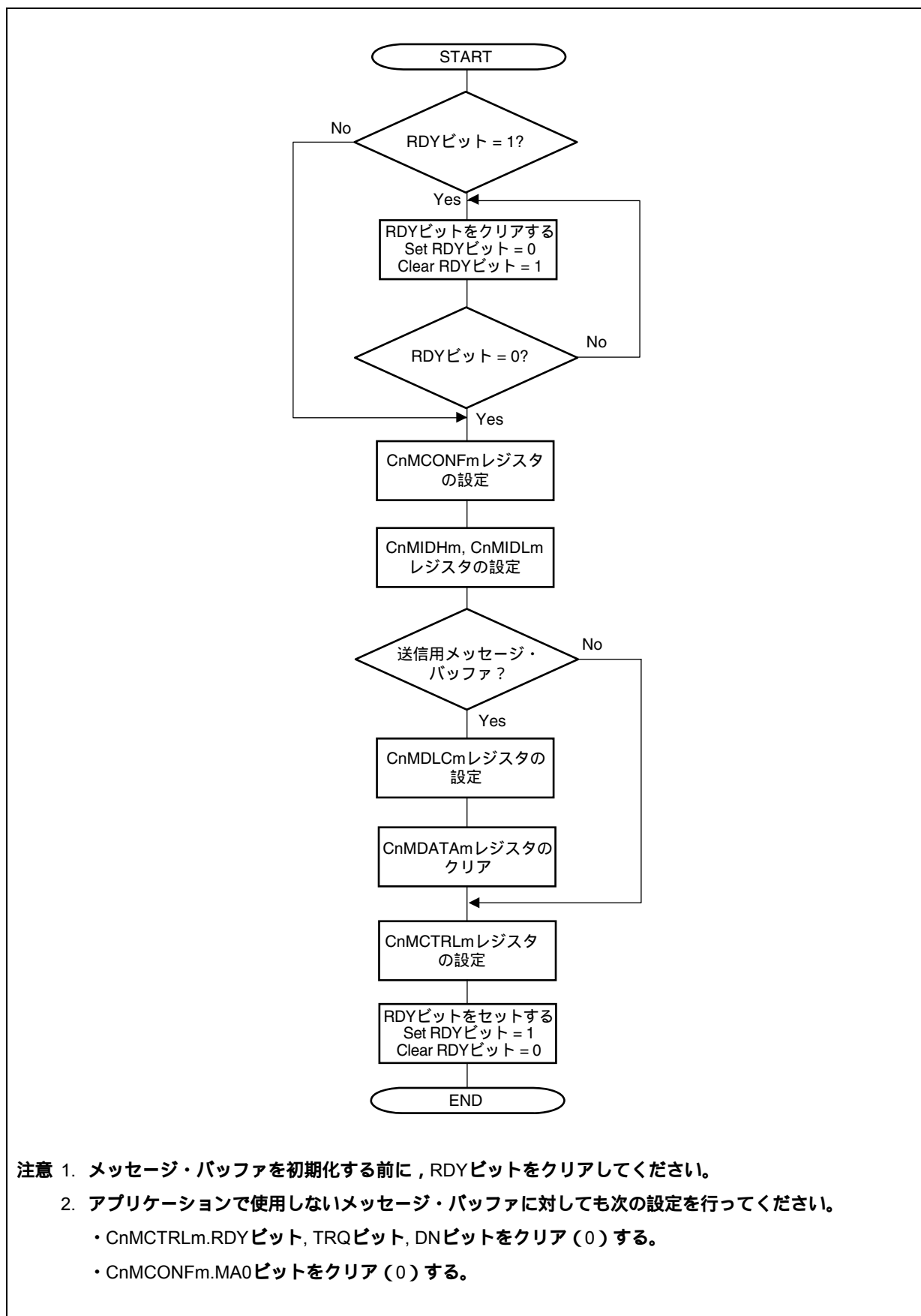
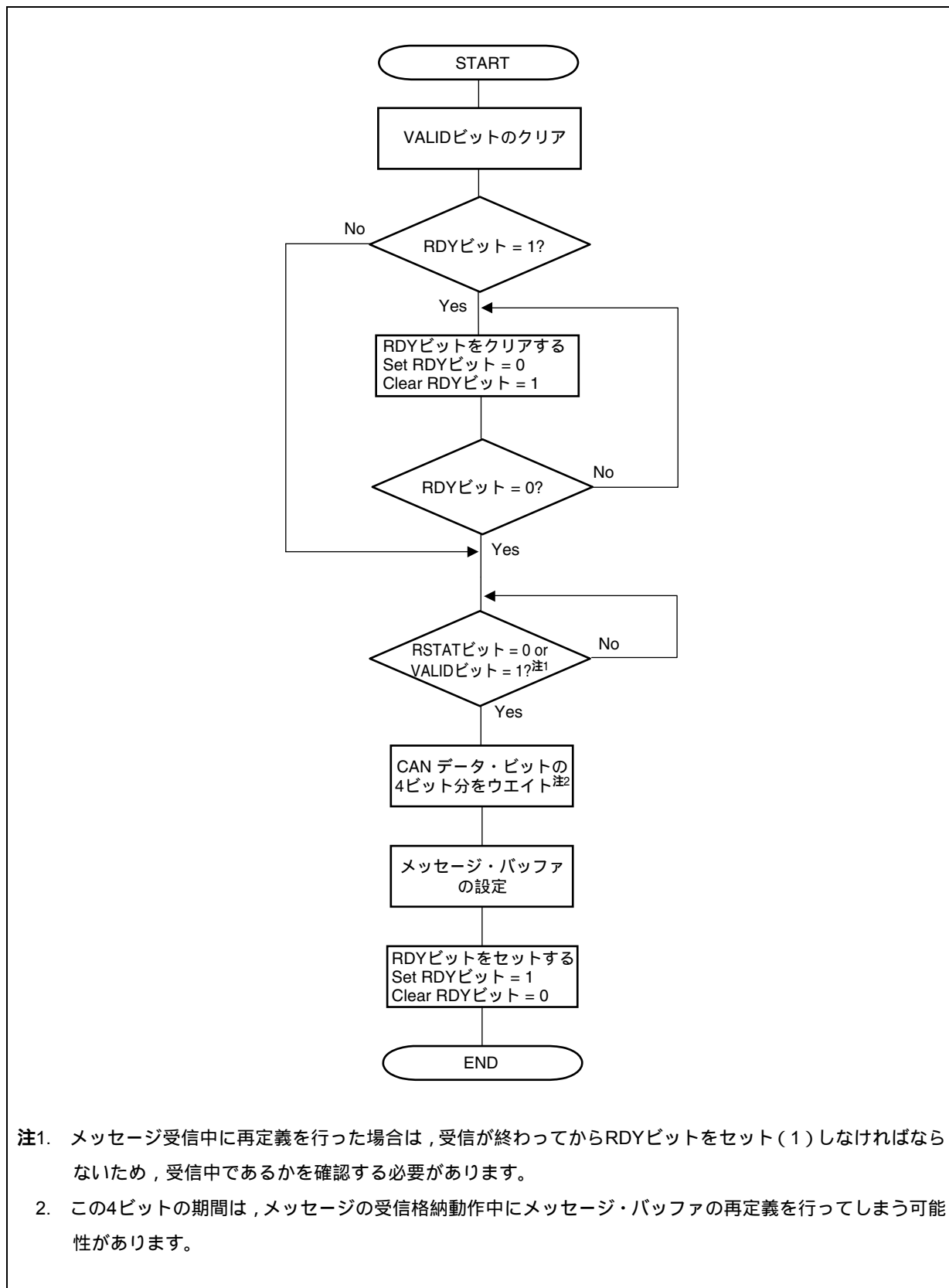


図21 - 39は、受信メッセージ・バッファに対する処理です (CnMCONFm.MT2-MT0ビット = 001B-101B)。

図21 - 39 メッセージ・バッファの再定義



注1. メッセージ受信中に再定義を行った場合は、受信が終わってからRDYビットをセット(1)しなければならないため、受信中であるかを確認する必要があります。

2. この4ビットの期間は、メッセージの受信格納動作中にメッセージ・バッファの再定義を行ってしまう可能性があります。

図21 - 40は、送信中の送信メッセージ・バッファに対する処理です (CnMCONFm.MT2-MT0ビット = 000B)。

図21 - 40 送信中のメッセージ・バッファの再定義

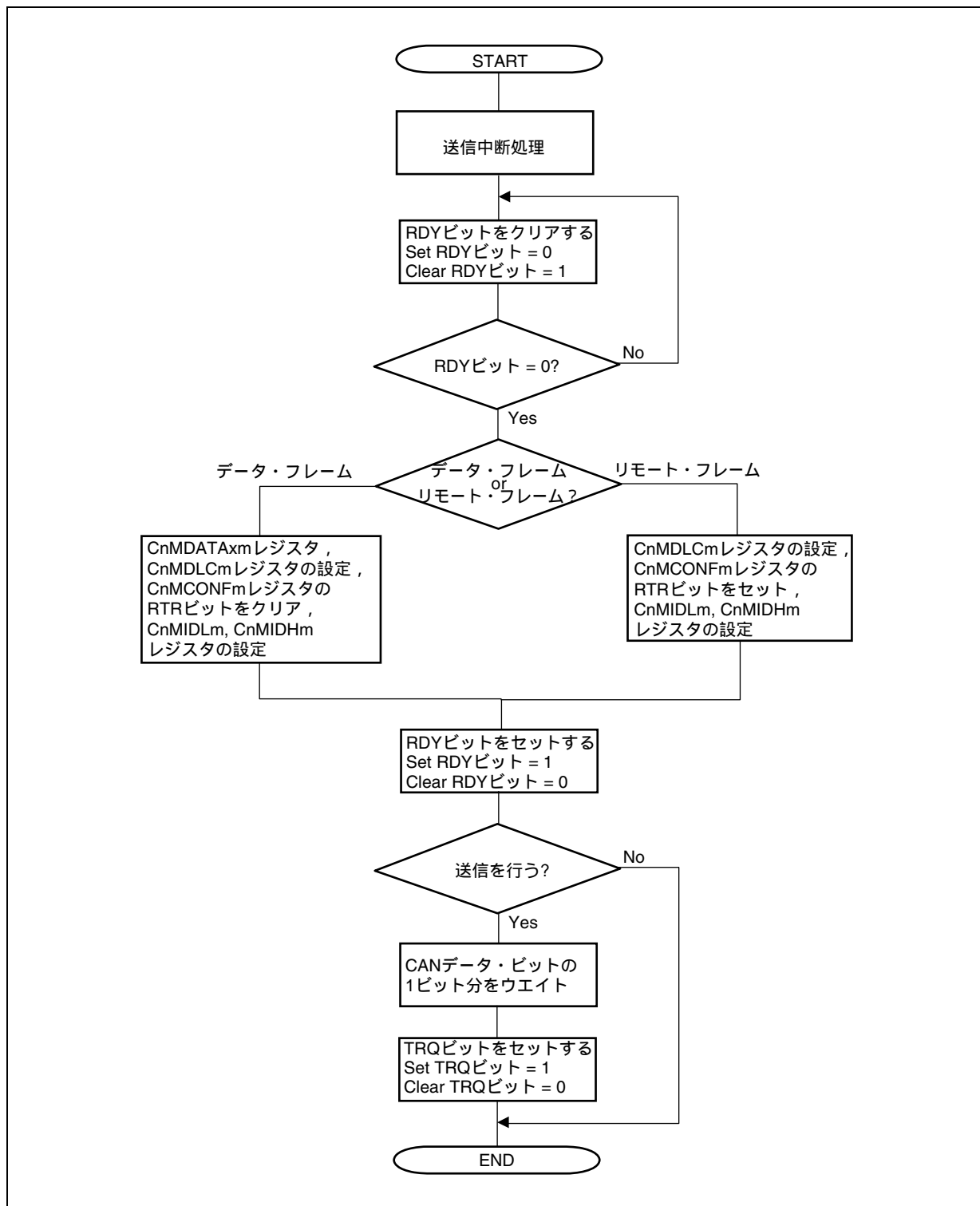




図21 - 41は、送信メッセージ・バッファに対する処理です (CnMCONFm.MT2-MT0ビット = 000B)。

図21 - 41 メッセージ送信処理

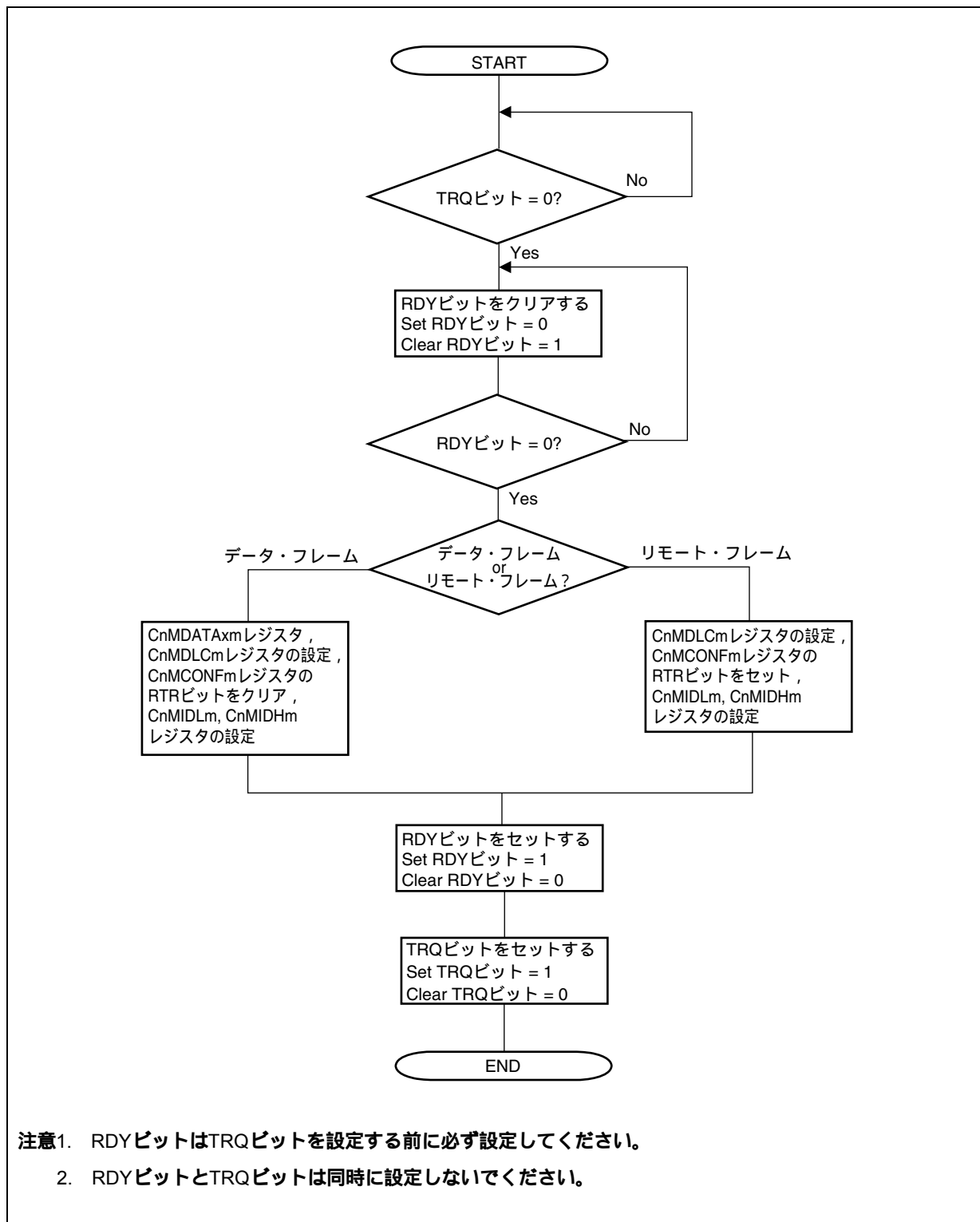


図21 - 42は、送信メッセージ・バッファに対する処理です (CnMCONFm.MT2-MT0ビット = 000B)。

図21 - 42 ABTメッセージ送信処理

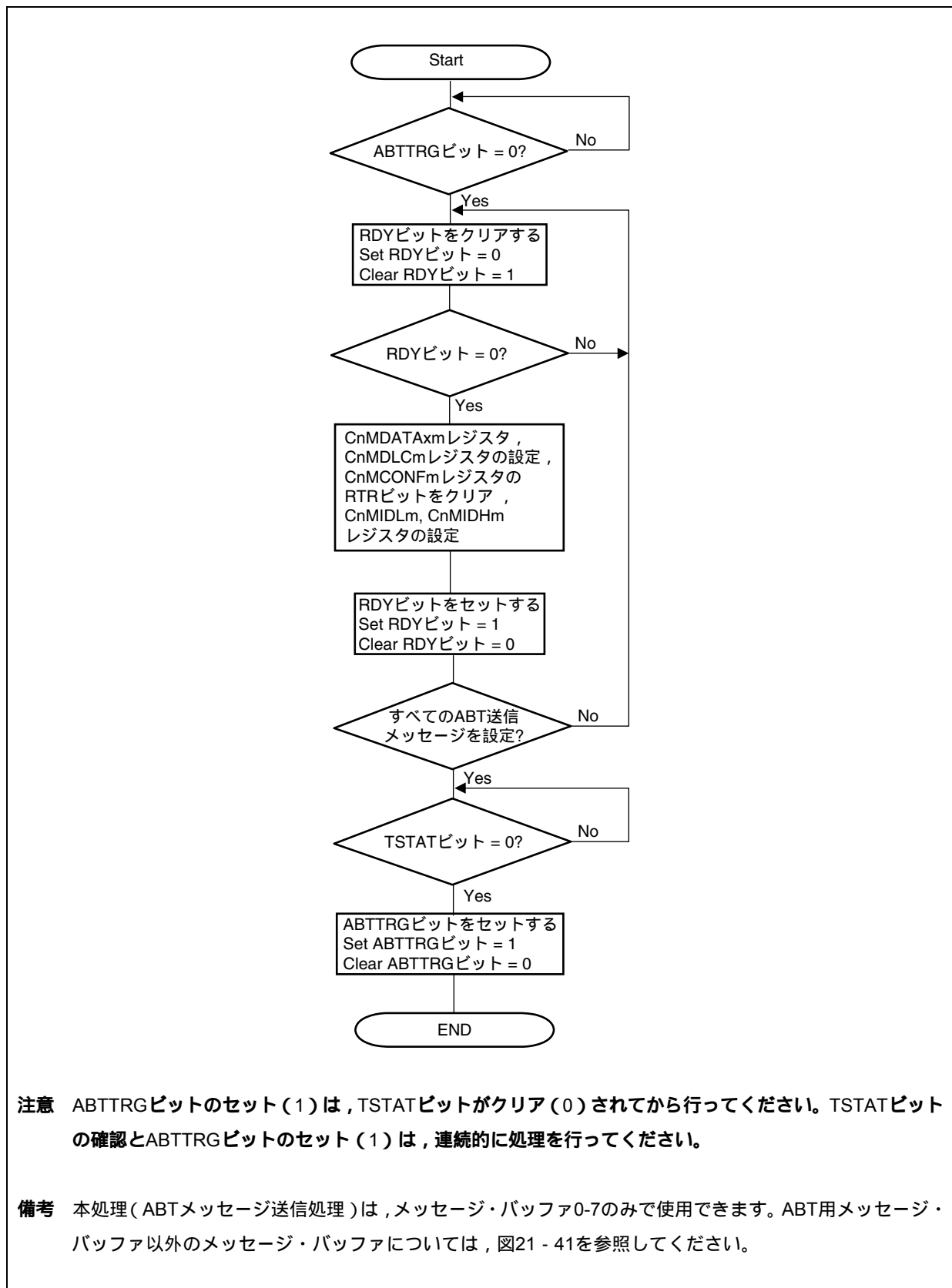
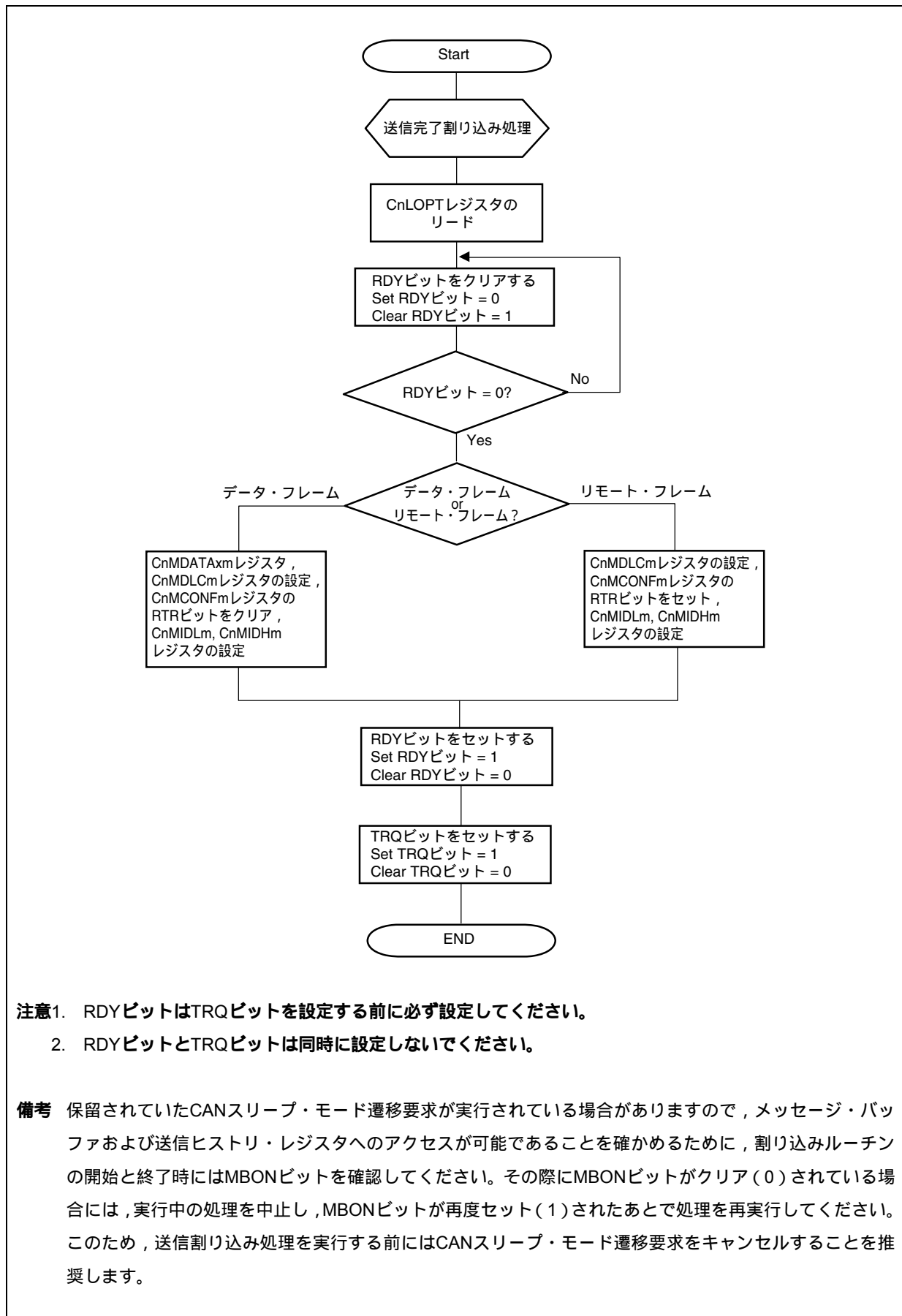


図21 - 43 割り込みによる送信処理 (CnLOPTレジスタを使用する処理)

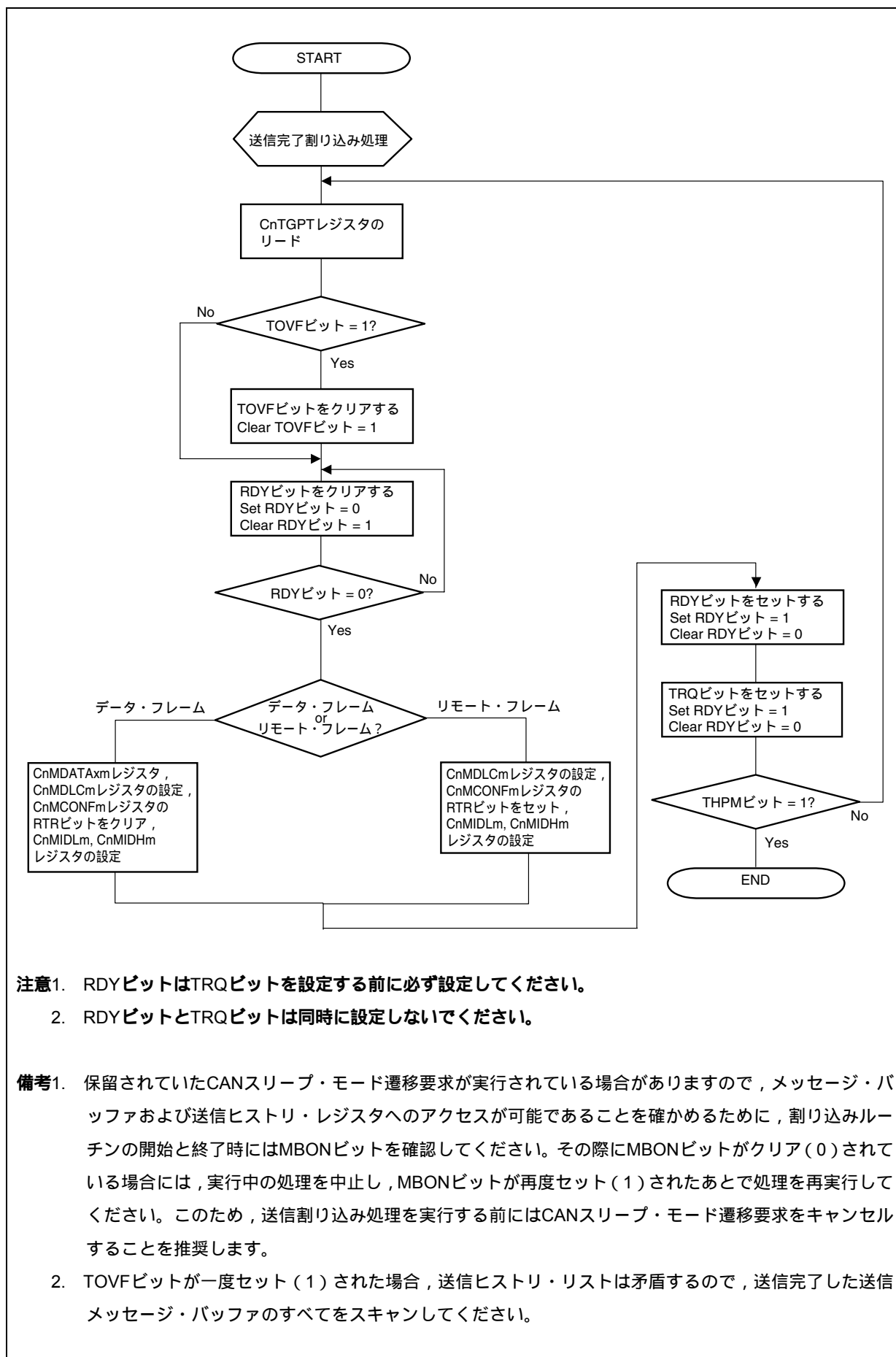


注意1. RDYビットはTRQビットを設定する前に必ず設定してください。

2. RDYビットとTRQビットは同時に設定しないでください。

備考 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されている場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このため、送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

図21 - 44 割り込みによる送信処理 (CnTGPTレジスタを使用する場合)



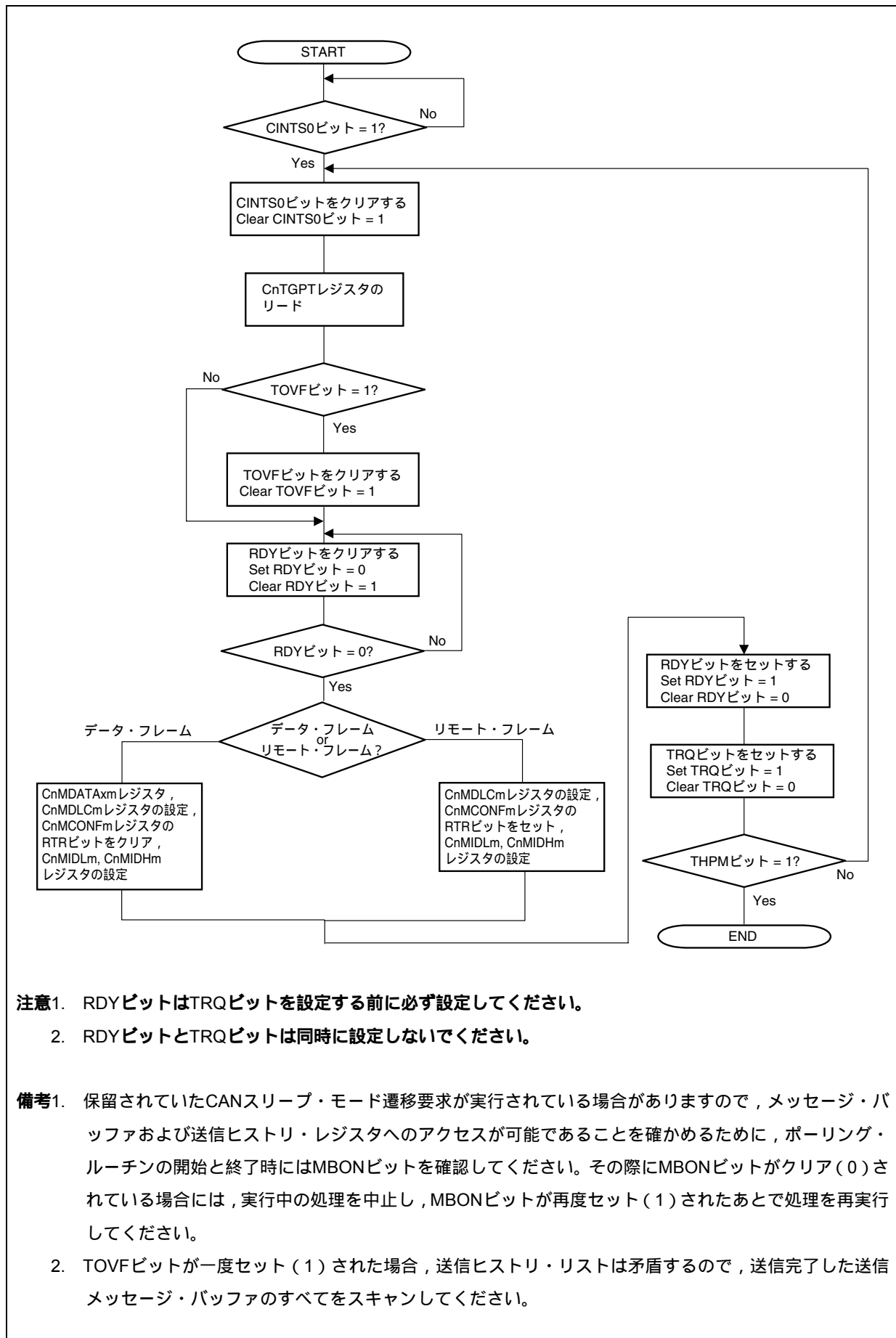
注意1. RDYビットはTRQビットを設定する前に必ず設定してください。

2. RDYビットとTRQビットは同時に設定しないでください。

備考1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されている場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このため、送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

2. TOVFビットが一度セット(1)された場合、送信履歴・リストは矛盾するので、送信完了した送信メッセージ・バッファのすべてをスキャンしてください。

図21 - 45 ソフトウェア・ポーリングによる送信処理



注意1. RDYビットはTRQビットを設定する前に必ず設定してください。

2. RDYビットとTRQビットは同時に設定しないでください。

備考1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されている場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。

2. TOVFビットが一度セット(1)された場合、送信履歴・リストは矛盾するので、送信完了した送信メッセージ・バッファのすべてをスキャンしてください。

図21 - 46 送信中断処理 (ABT付き通常動作モード以外)

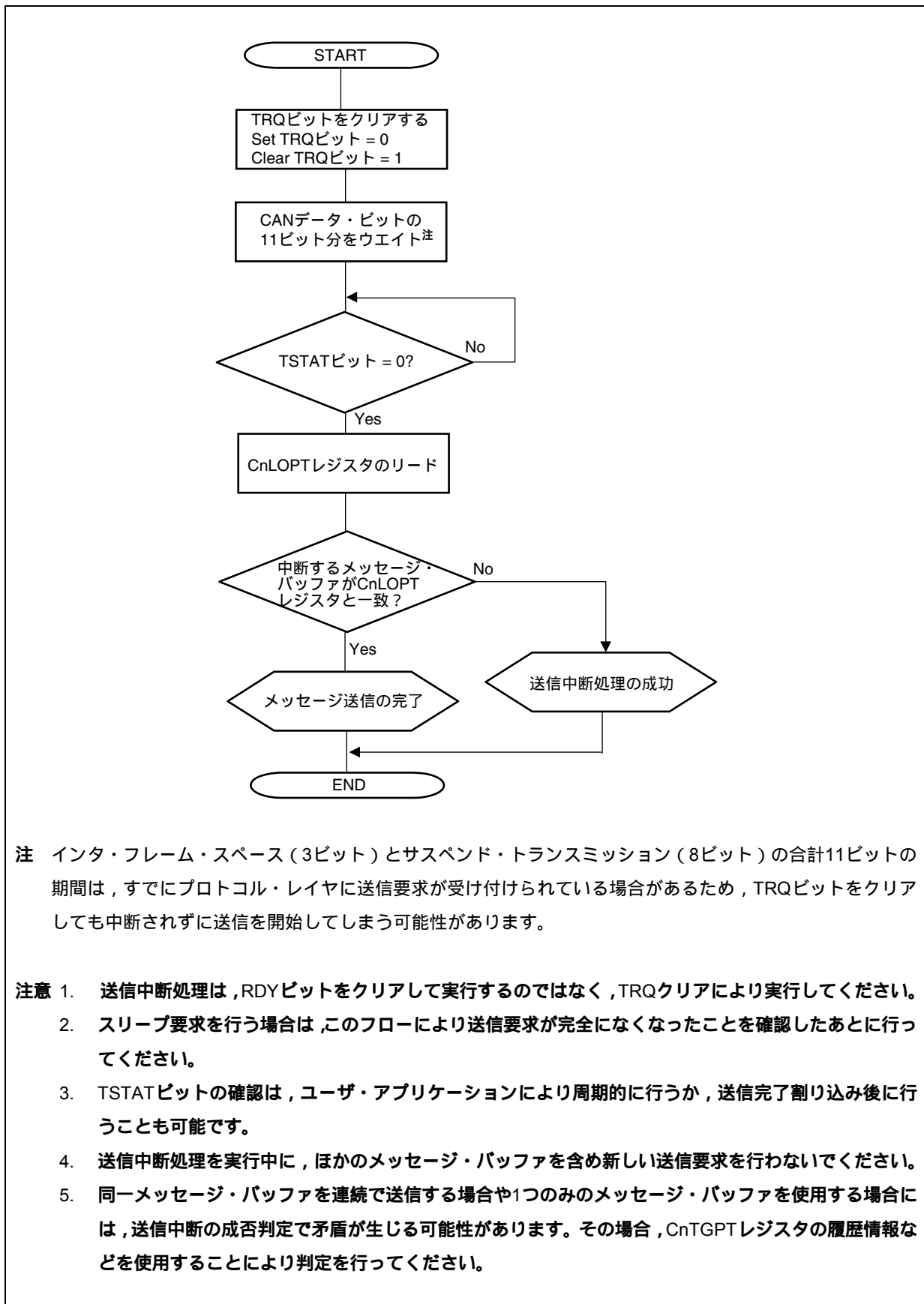


図21 - 47 ABT送信以外の送信中断処理 (ABT付き通常動作モード)

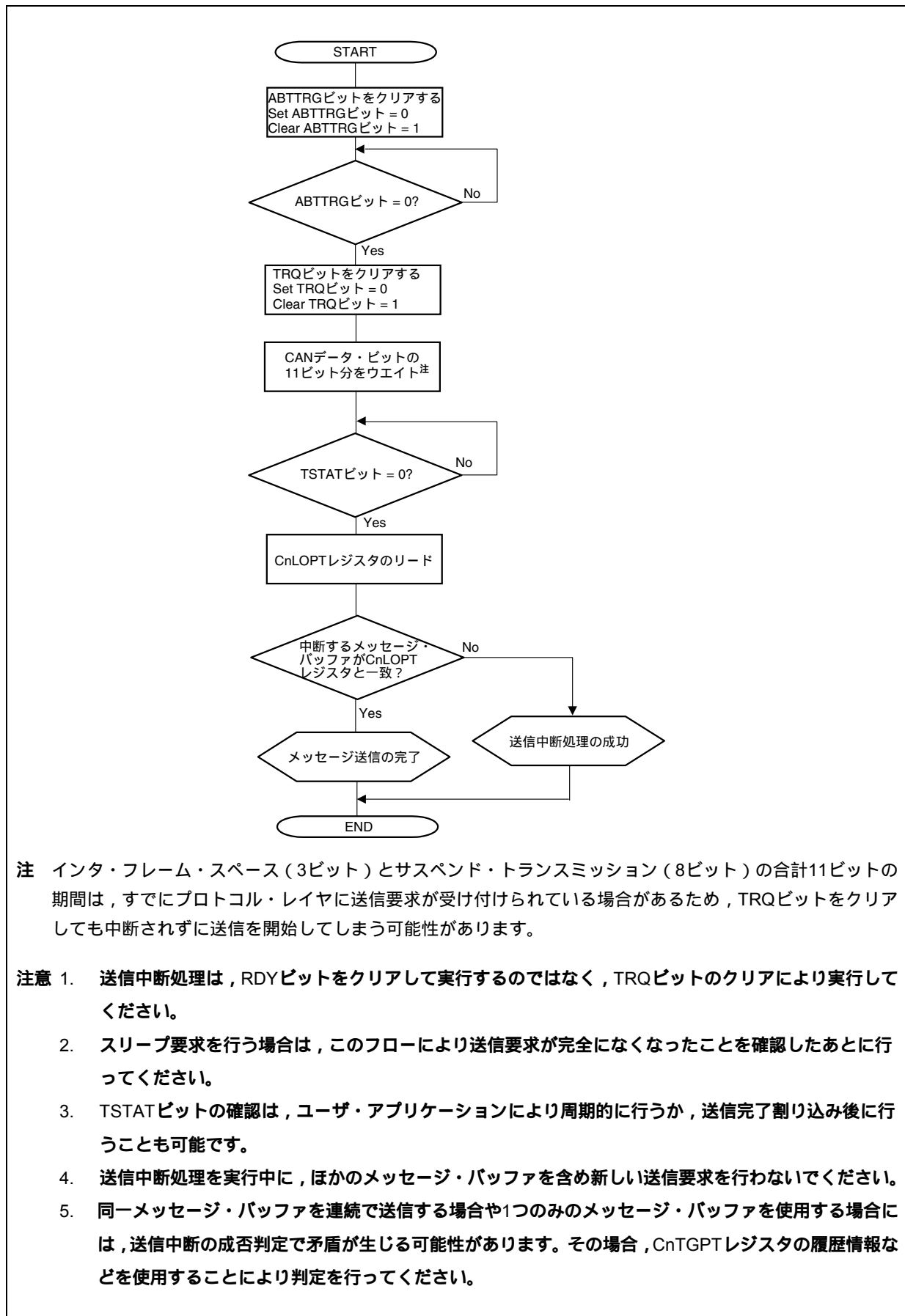


図21 - 48 (a) は、ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップしないための処理です。

図21 - 48 (a) ABT送信中断処理 (ABT付き通常動作モード)

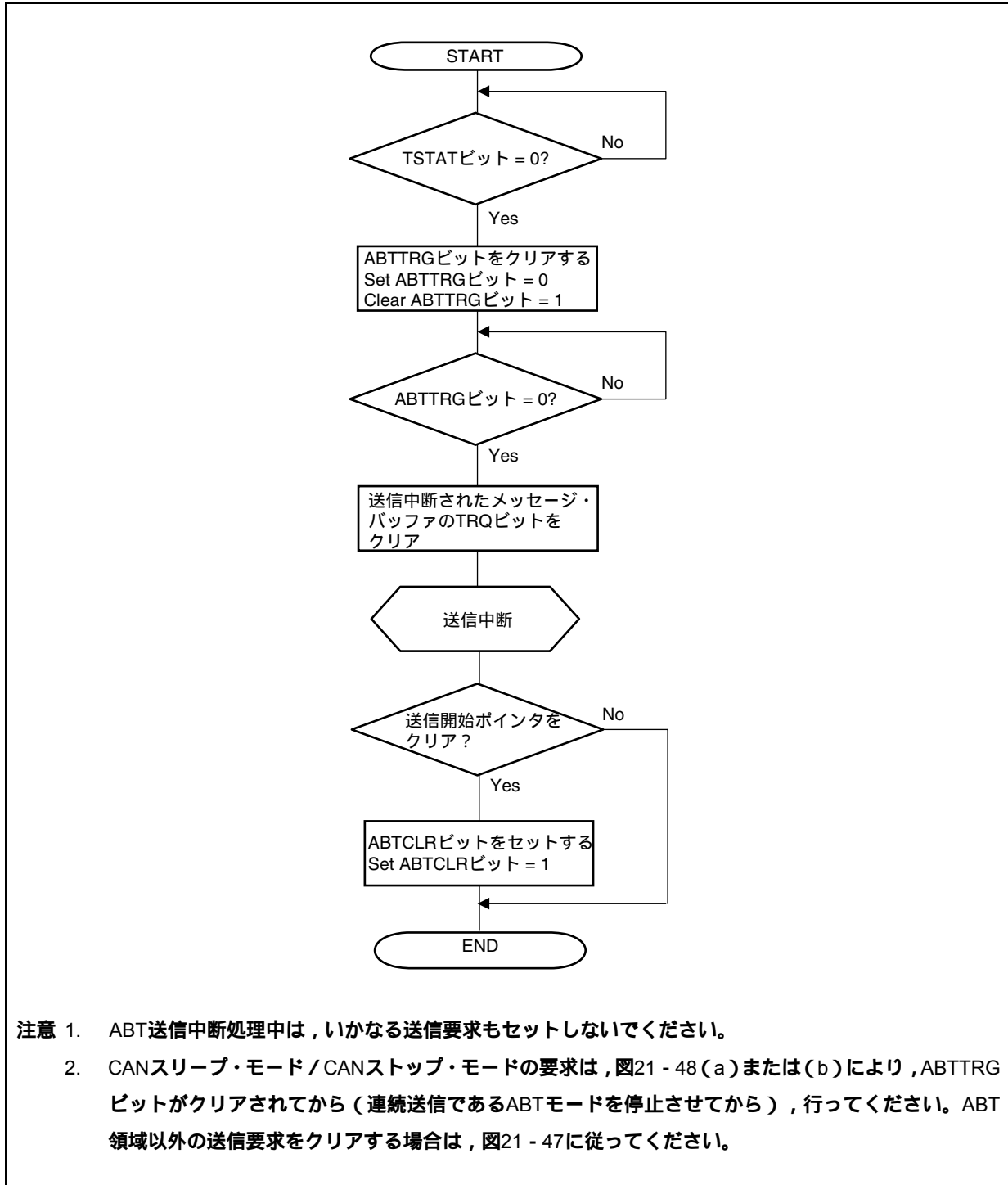




図21 - 48 (b) は、ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップするための処理です。

図21 - 48 (b) ABT送信中断処理 (ABT付き通常動作モード)

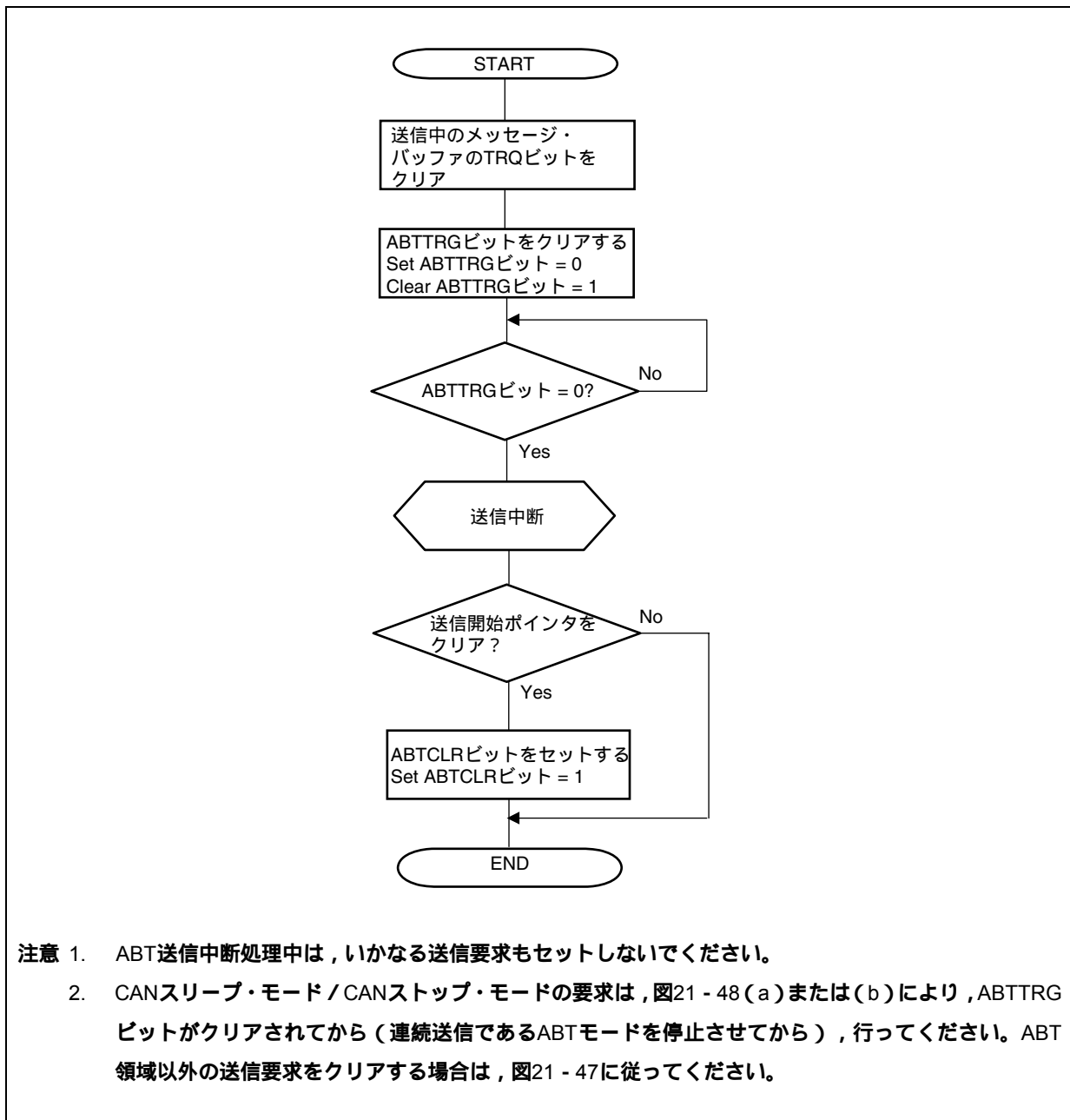


図21 - 49 割り込みによる受信処理 (CnLIPTレジスタを使用する場合)

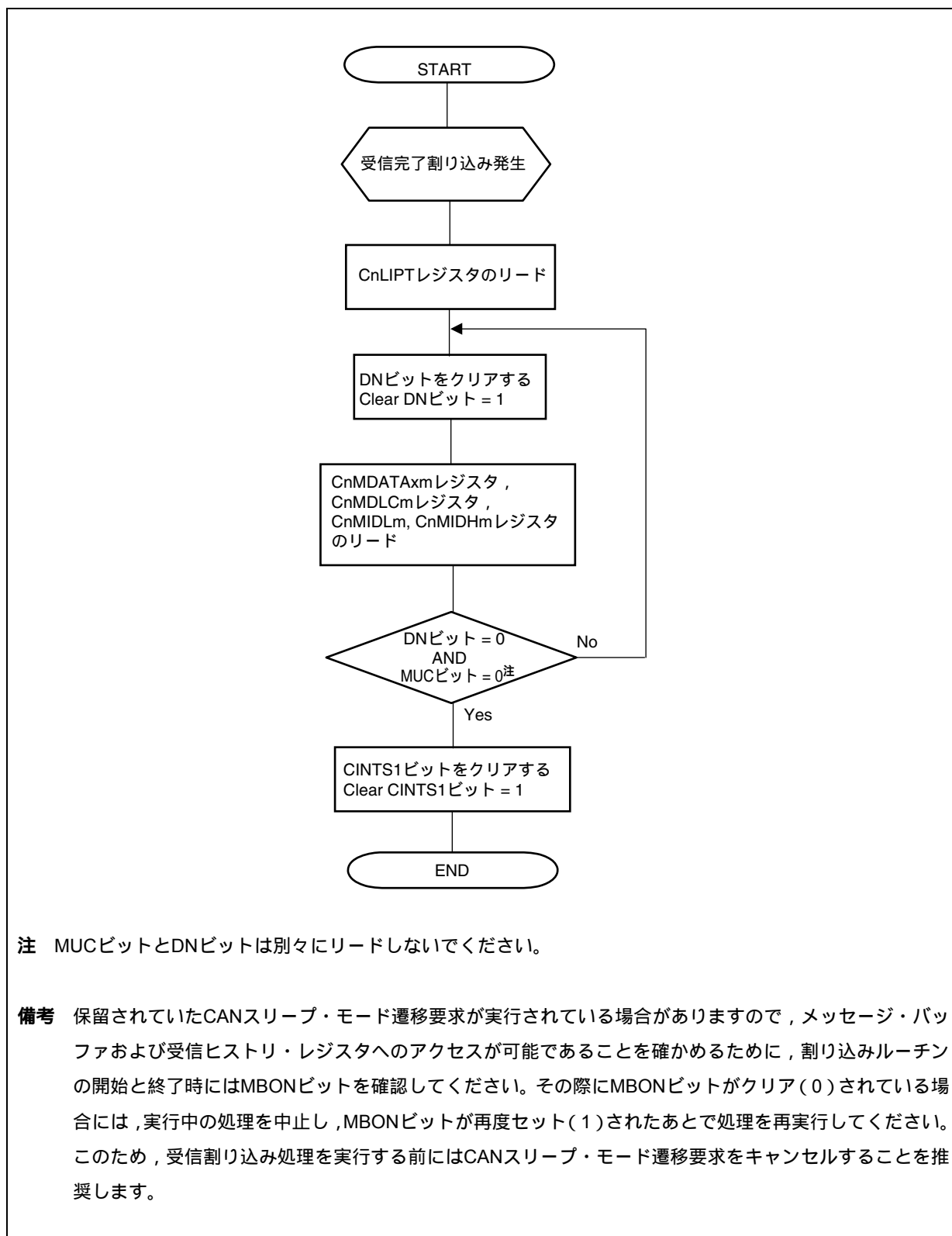
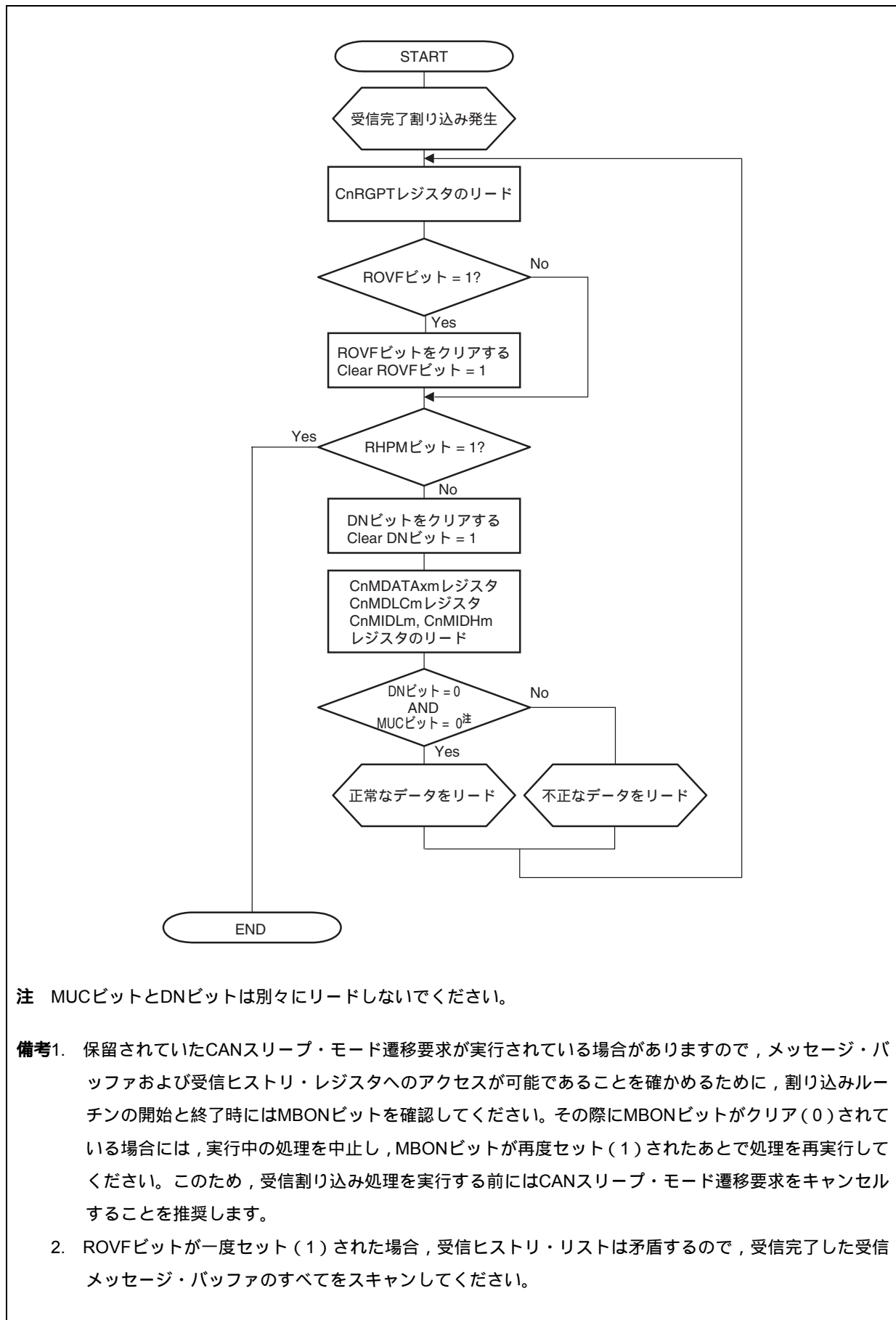


図21 - 50 割り込みによる受信処理 (CnRGPTレジスタを使用する場合)

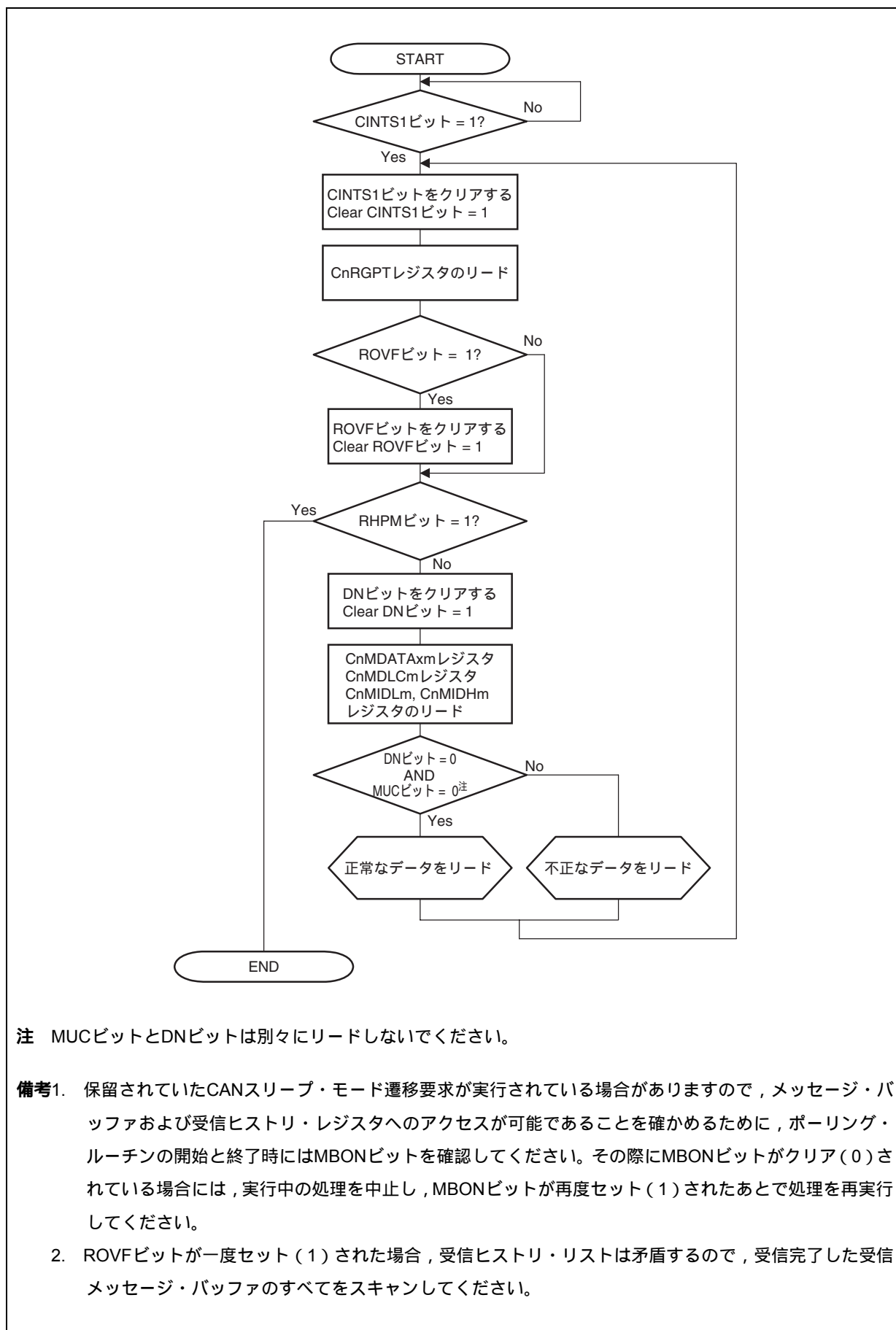


注 MUCビットとDNビットは別々にリードしないでください。

備考1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されている場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このため、受信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

2. ROVFビットが一度セット(1)された場合、受信履歴・リストは矛盾するので、受信完了した受信メッセージ・バッファのすべてをスキャンしてください。

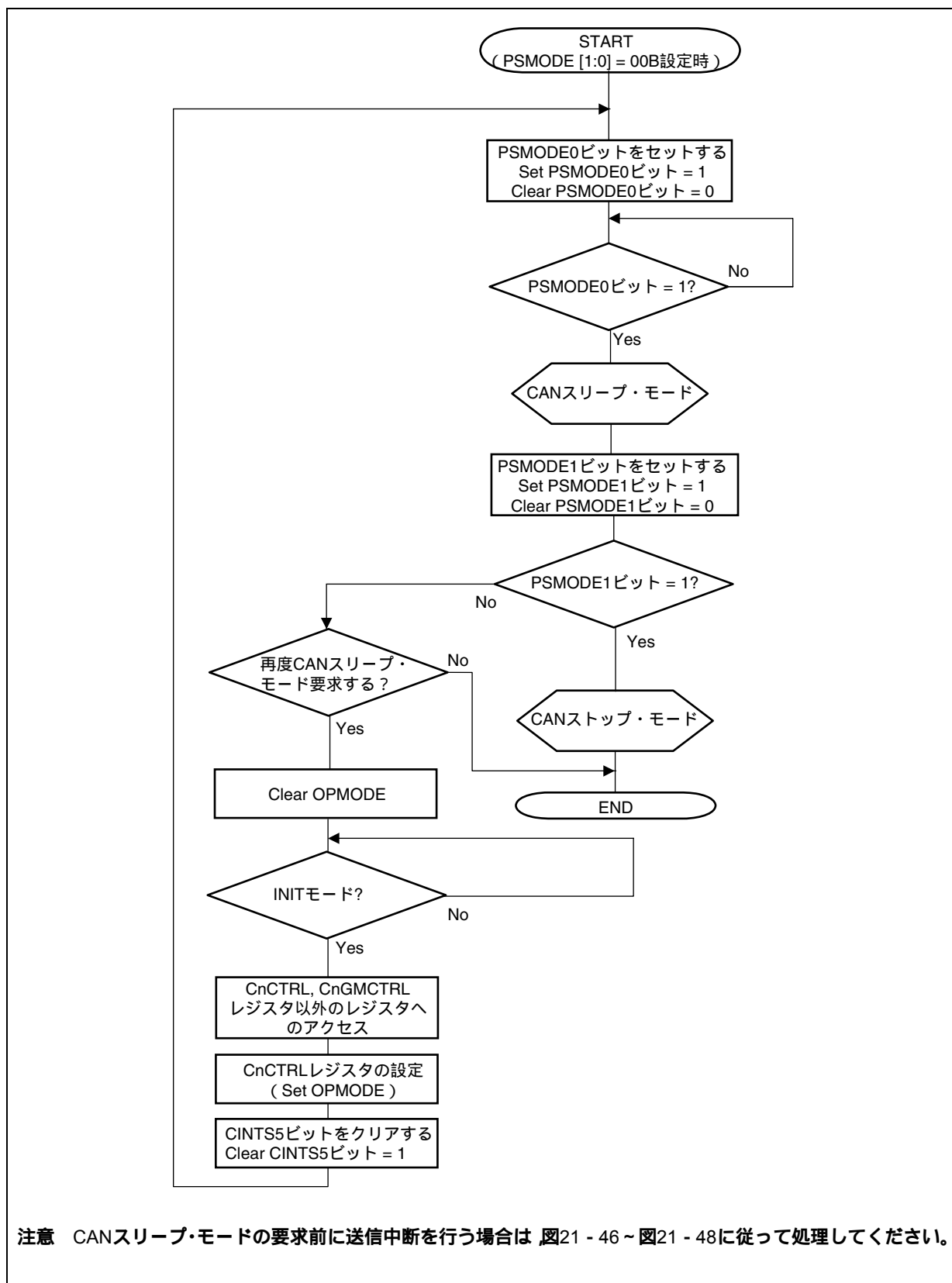
図21 - 51 ソフトウェア・ポーリングによる受信処理



注 MUCビットとDNビットは別々にリードしないでください。

- 備考1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されている場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。
2. ROVFビットが一度セット(1)された場合、受信履歴・リストは矛盾するので、受信完了した受信メッセージ・バッファのすべてをスキャンしてください。

図21 - 52 CANスリープ・モード/CANストップ・モードの設定



注意 CANスリープ・モードの要求前に送信中断を行う場合は、図21 - 46 ~ 図21 - 48に従って処理してください。

図21 - 53 CANスリープ・モード/CANストップ・モードの解除

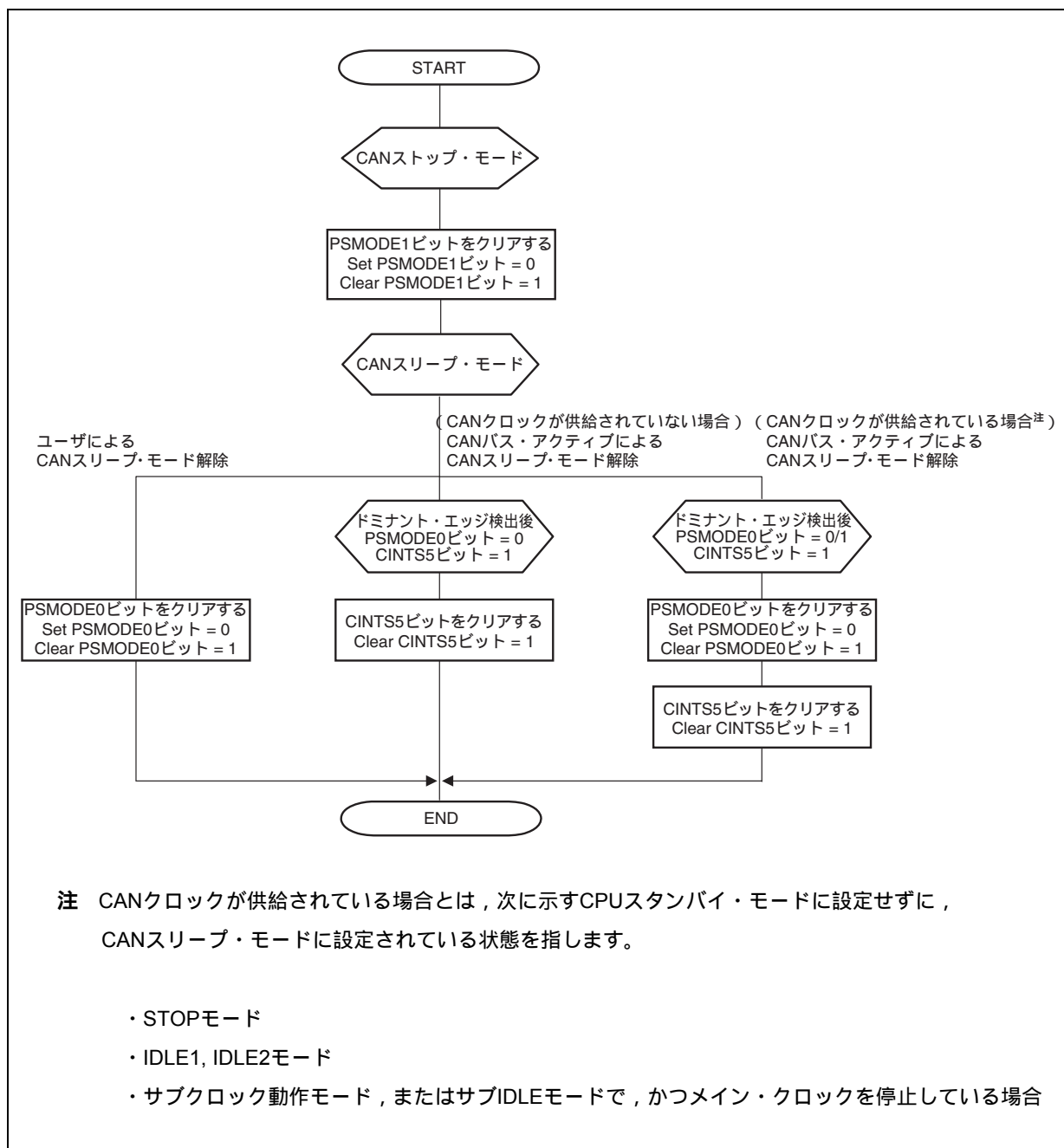


図21 - 54 バス・オフからのリカバリ処理 (ABT付き通常動作モード以外の場合)

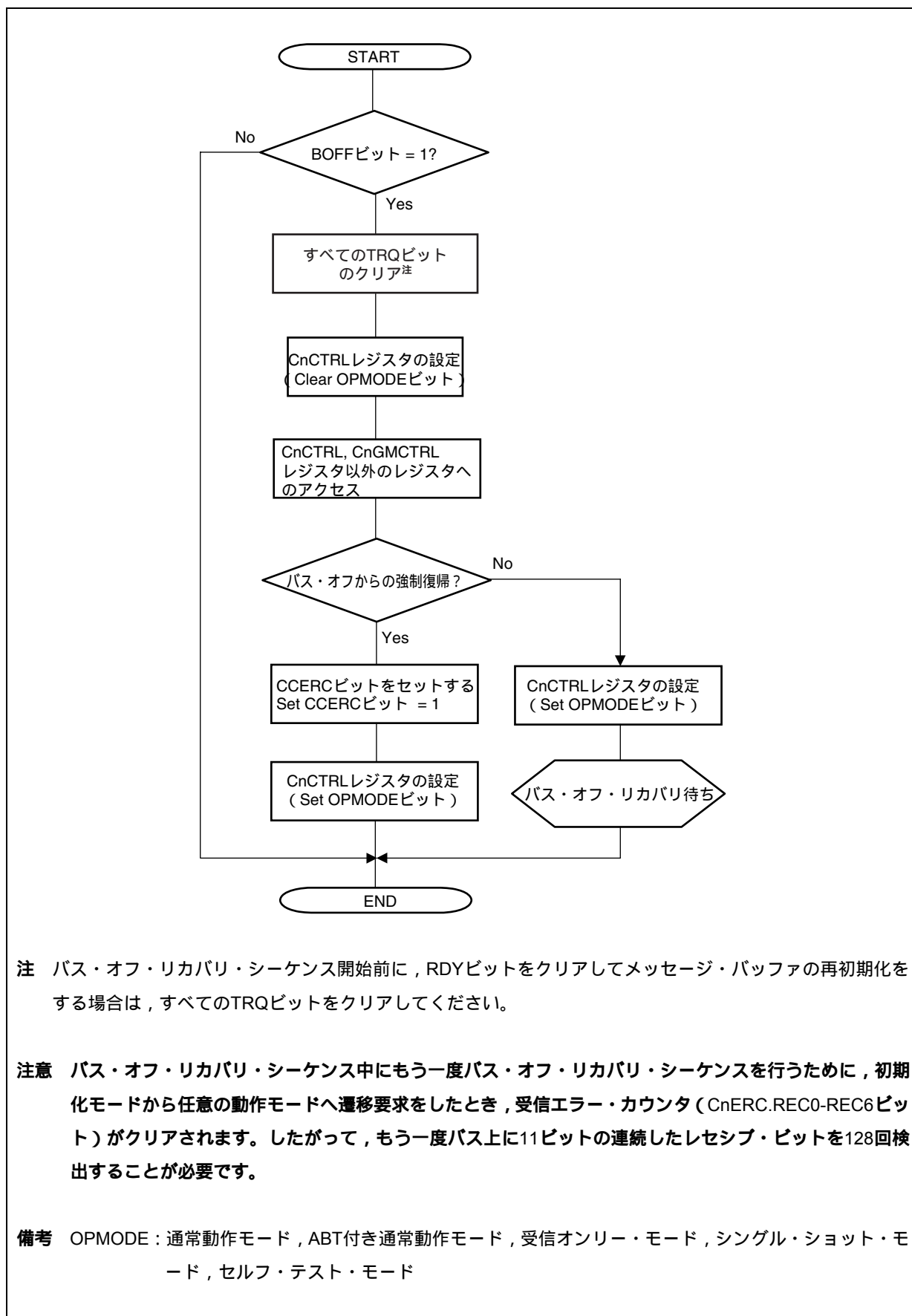


図21 - 55 バス・オフからのリカバリ処理 (ABT付き通常動作モードの場合)

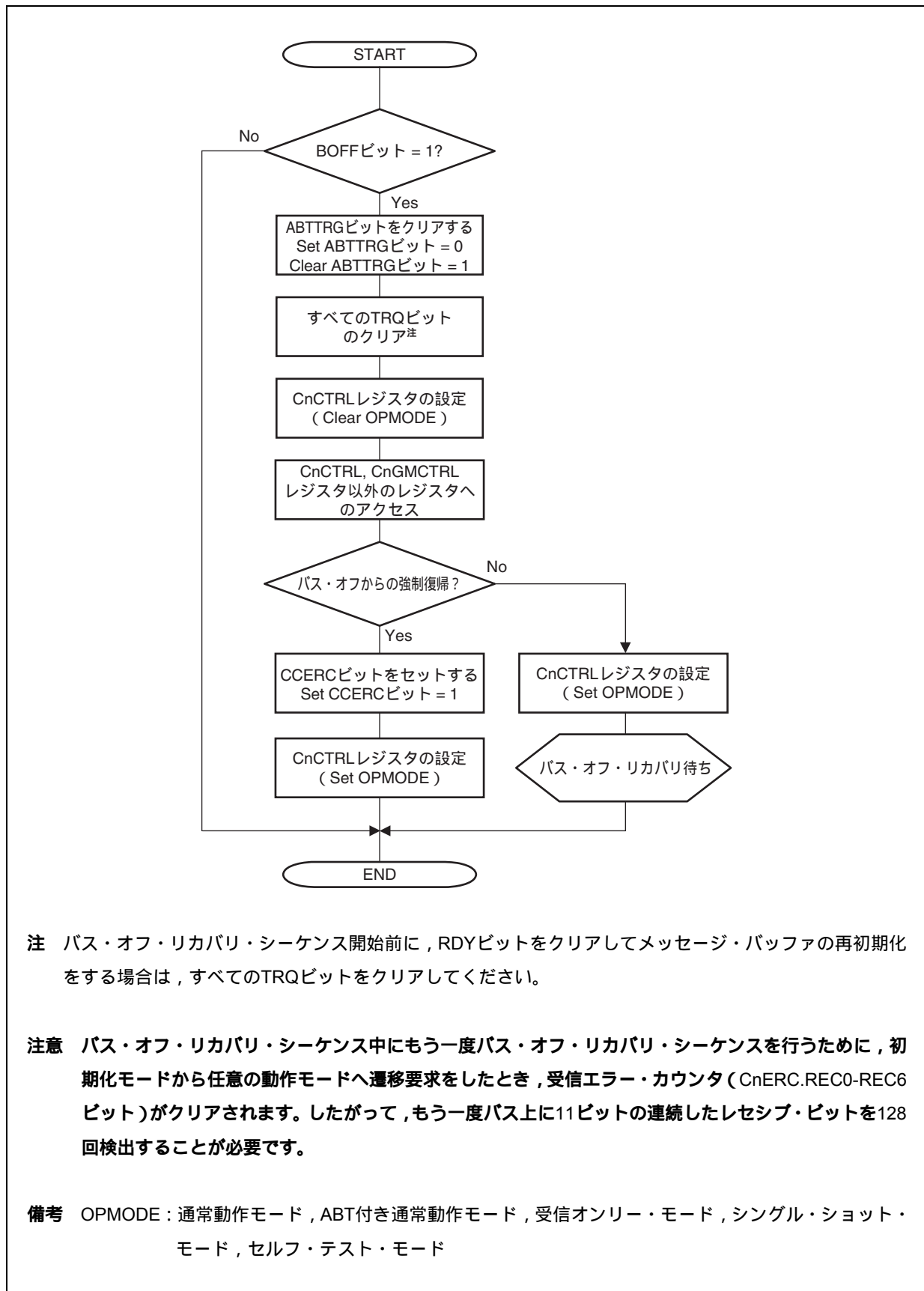




図21 - 56 通常シャット・ダウン処理

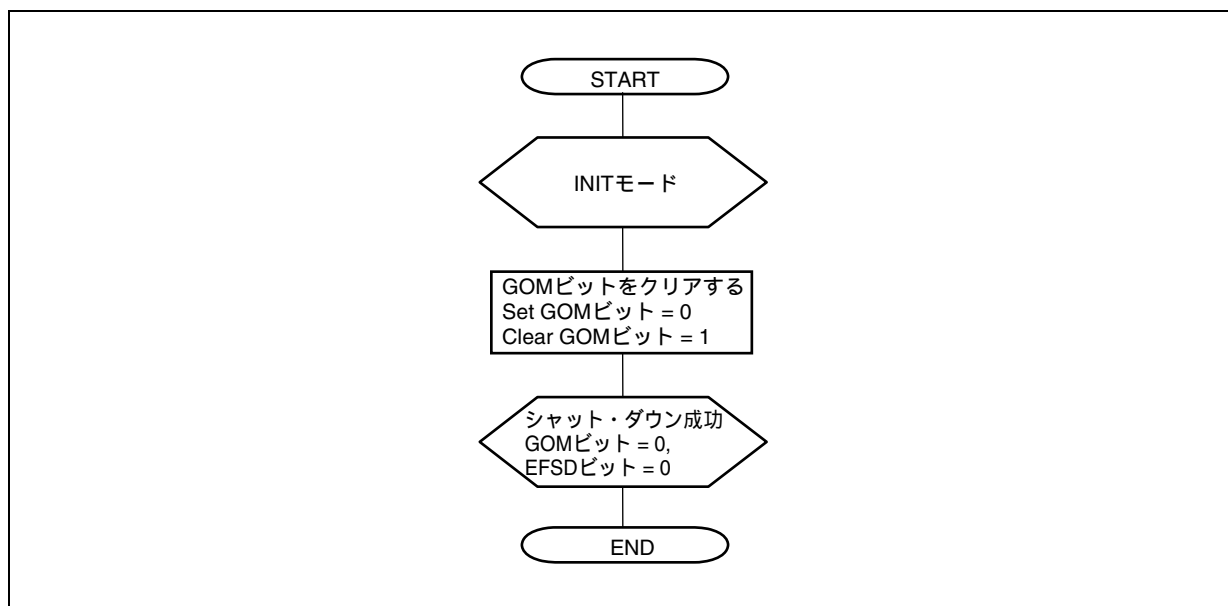


図21 - 57 強制シャット・ダウン処理

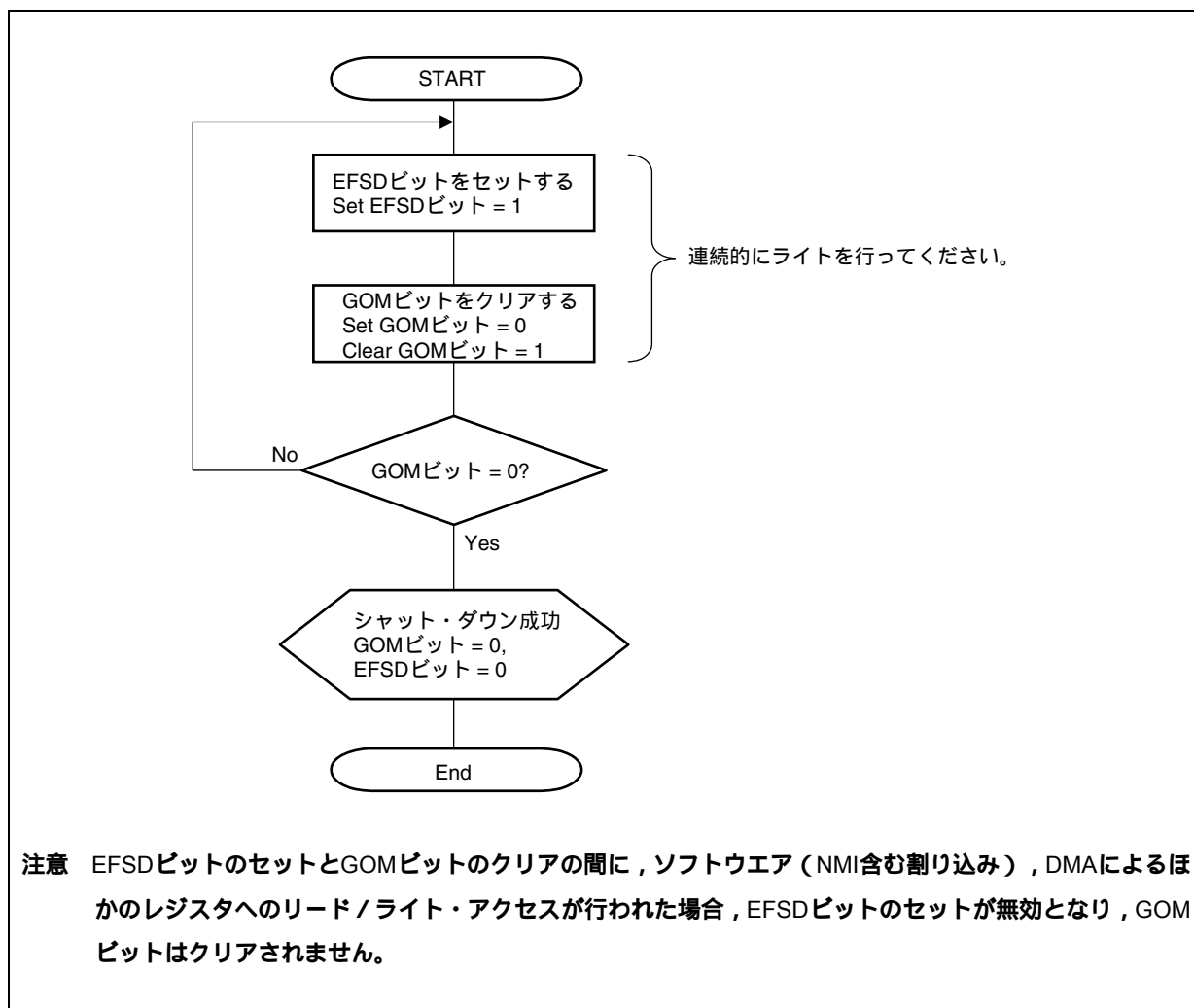


図21 - 58 エラー処理

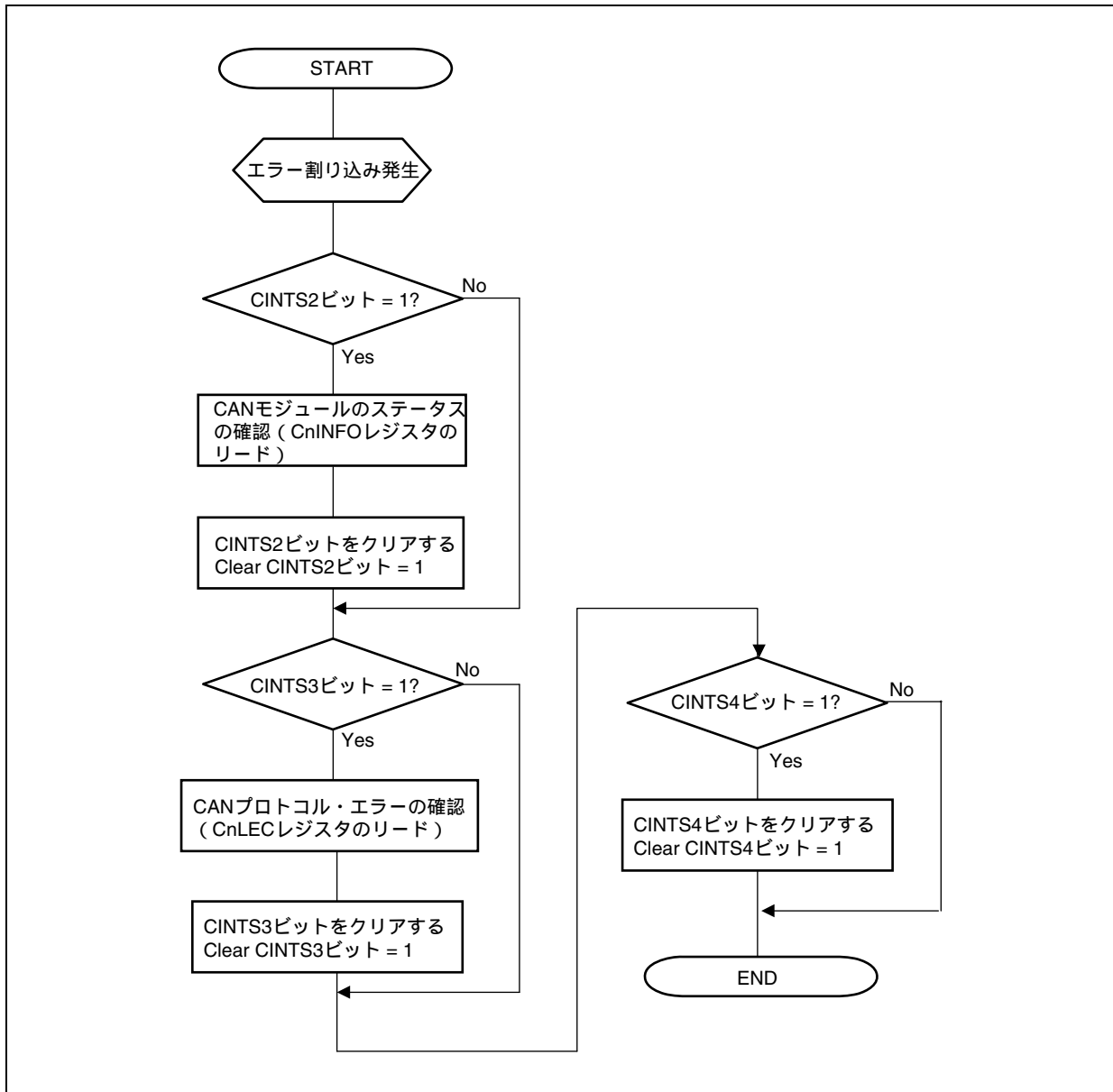
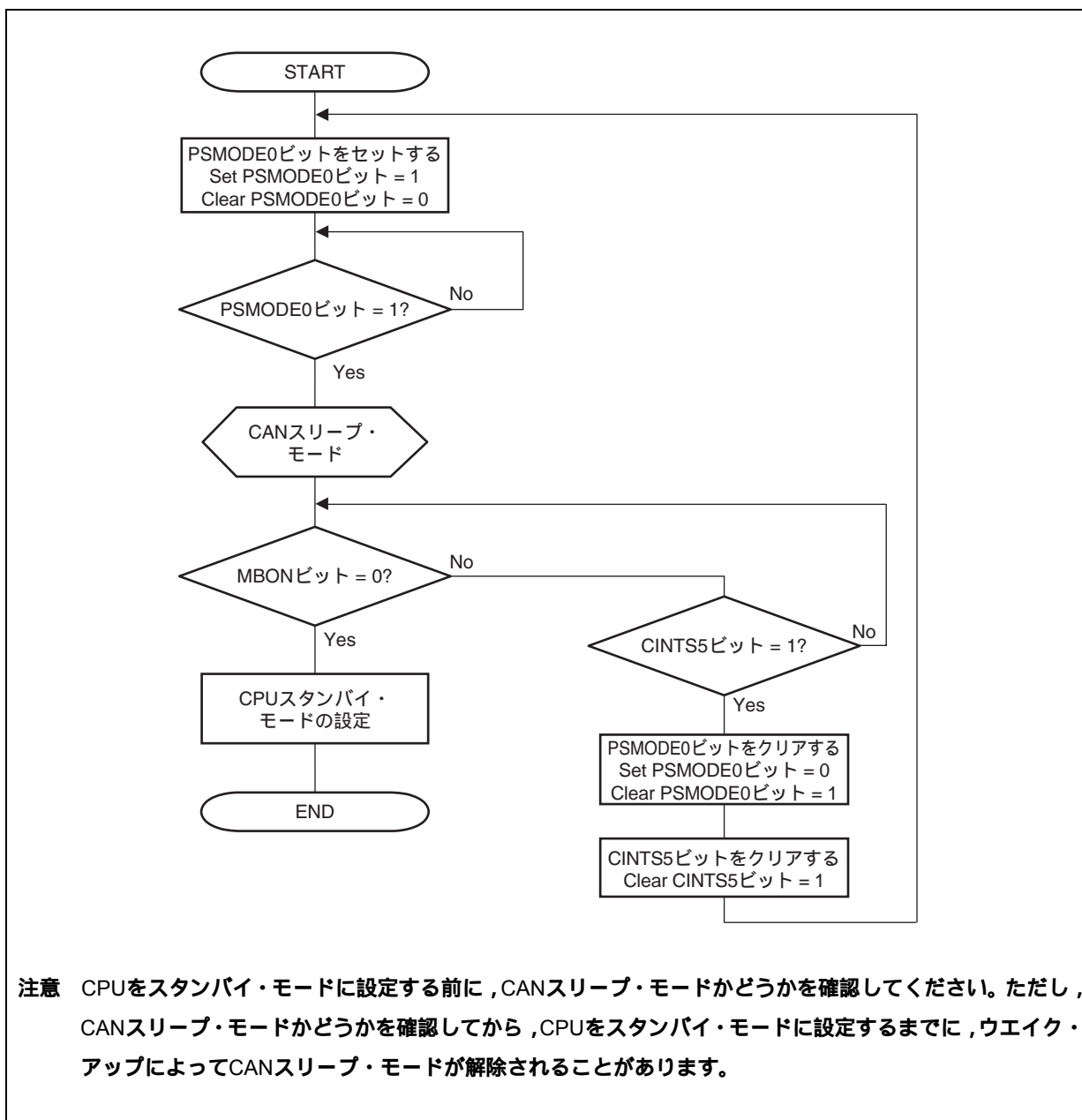
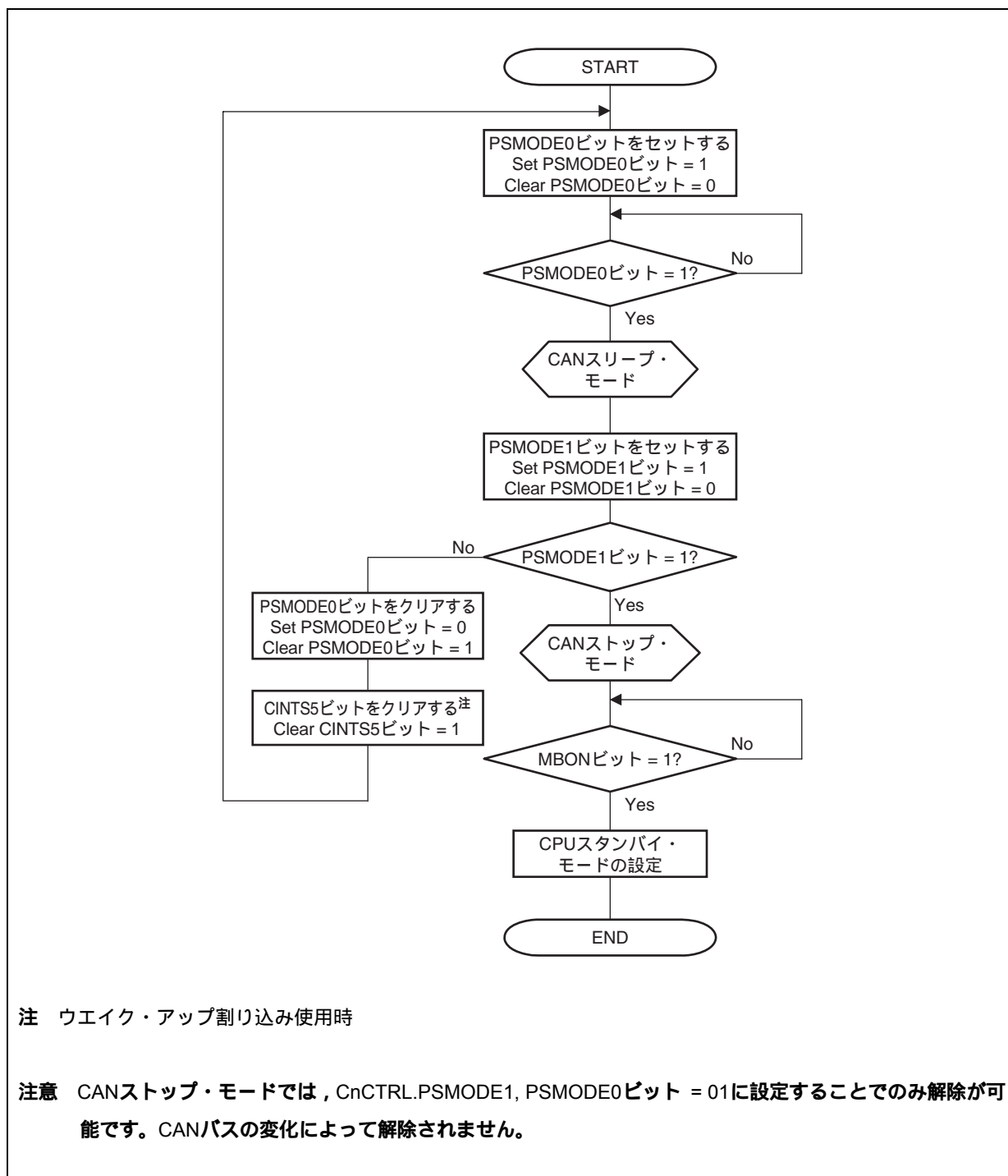


図21 - 59 CPUスタンバイ処理 (CANスリープ・モードからの移行)



**注意** CPUをスタンバイ・モードに設定する前に、CANスリープ・モードかどうかを確認してください。ただし、CANスリープ・モードかどうかを確認してから、CPUをスタンバイ・モードに設定するまでに、ウエイク・アップによってCANスリープ・モードが解除されることがあります。

図21 - 60 CPUスタンバイ処理 (CANストップ・モードからの移行)



## 第22章 DMA機能 (DMAコントローラ)

V850E/SJ3-H, V850E/SK3-Hは、DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは、内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ, キー割り込み), 外部入力端子からの割り込みによる要求, またはソフトウェア・トリガによるDMA要求に基づいて, メモリ I/O間, メモリ メモリ間, I/O I/O間でのデータ転送を制御します (メモリは内蔵RAM, 外部メモリ, または拡張内蔵RAMを意味します)。

### 22.1 特 徴

4つの独立なDMAチャンネル

転送単位: 8ビット/16ビット

最大転送回数: 65536 ( $2^{16}$ ) 回

転送タイプ: 2サイクル転送

転送モード: シングル転送モード

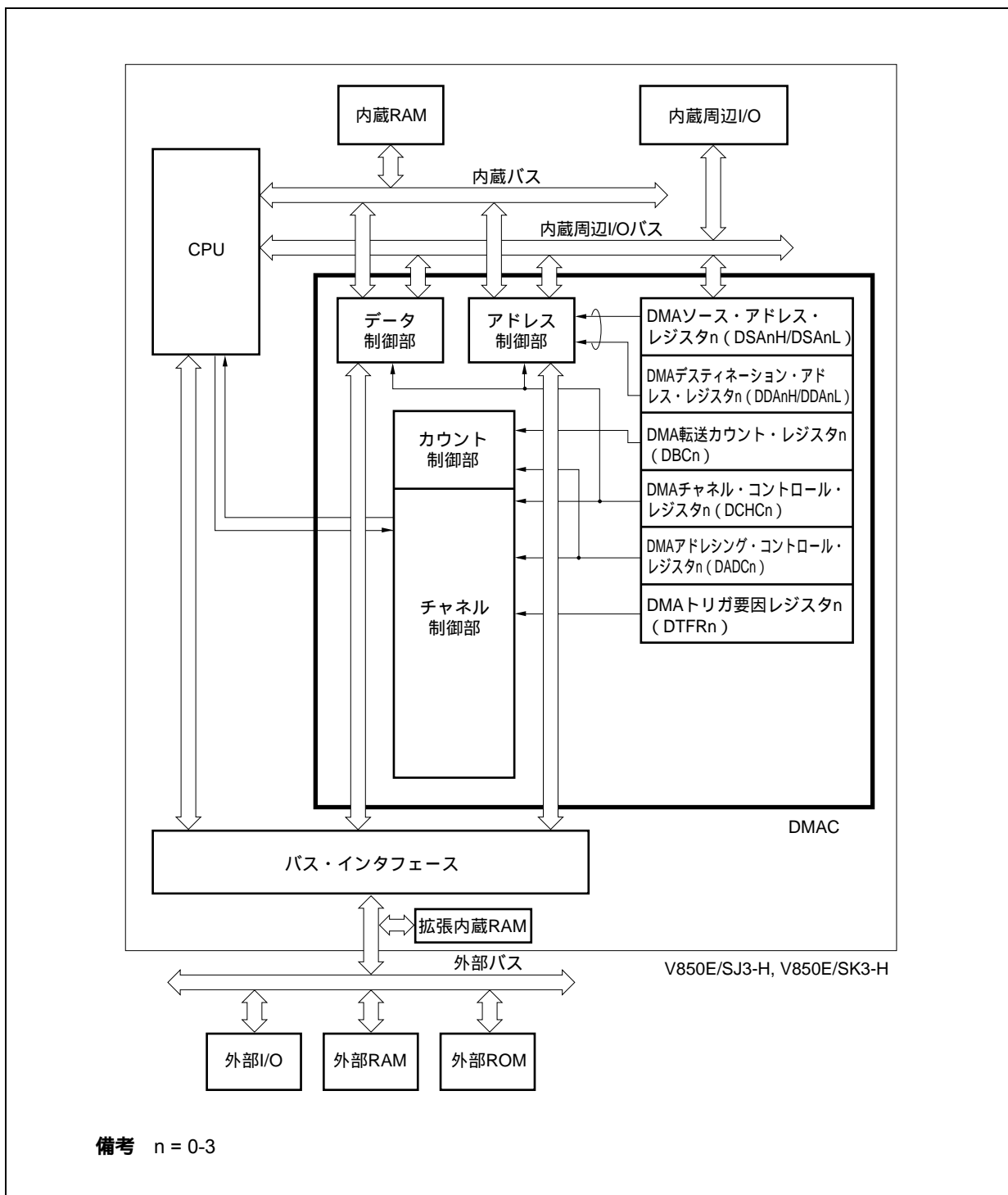
転送要求

- ・内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ, キー割り込み), 外部入力端子からの割り込みによる要求
- ・ソフトウェア・トリガによる要求

転送対象

- ・内蔵RAM 周辺I/O
- ・周辺I/O 周辺I/O
- ・内蔵RAM 外部メモリ
- ・外部メモリ 周辺I/O
- ・外部メモリ 外部メモリ
- ・拡張内蔵RAM 周辺I/O
- ・拡張内蔵RAM 外部メモリ

## 22.2 構 成



## 22.3 レジスタ

### (1) DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネルnのDMA転送元アドレス (26ビット) を設定します (n = 0-3)。

このレジスタは、DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DSA0H FFFFF082H, DSA1H FFFFF08AH,  
DSA2H FFFFF092H, DSA3H FFFFF09AH,  
DSA0L FFFFF080H, DSA1L FFFFF088H,  
DSA2L FFFFF090H, DSA3L FFFFF098H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnH (n = 0-3)	IR	0	0	0	0	0	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnL (n = 0-3)	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0

IR	DMA転送元の指定
0	外部メモリ, 内蔵周辺I/O, 拡張内蔵RAM
1	内蔵RAM

SA25-SA16	DMA転送元のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。
-----------	--

SA15-SA0	DMA転送元のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。
----------	---

- 注意1.** DSAnHレジスタのビット14-10には, 必ず“0”を設定してください。
- DSAnH, DSAnLレジスタの設定は, DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。
    - リセット後から最初のDMA転送起動までの期間
    - DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
    - DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
  - DSAnレジスタの値を読み出す際, DSAnHレジスタとDSAnLレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります (22.13 注意事項参照)。
  - リセット後, DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は, 動作を保証しません。



## (2) DMA デスティネーション・アドレス・レジスタ 0-3 (DDA0-DDA3)

DMA チャンネル  $n$  の DMA 転送先アドレス (26 ビット) を設定します ( $n = 0-3$ )。

このレジスタは、DDAnH, DDAnL の 2 つの 16 ビット・レジスタに分かれます。

16 ビット単位でリード/ライト可能です。

リセット時: 不定 R/W アドレス: DDA0H FFFFFFF086H, DDA1H FFFFFFF08EH,  
DDA2H FFFFFFF096H, DDA3H FFFFFFF09EH,  
DDA0L FFFFFFF084H, DDA1L FFFFFFF08CH,  
DDA2L FFFFFFF094H, DDA3L FFFFFFF09CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnH ( $n = 0-3$ )	IR	0	0	0	0	0	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnL ( $n = 0-3$ )	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0

IR	DMA 転送先の指定
0	外部メモリ, 内蔵周辺 I/O, 拡張内蔵 RAM
1	内蔵 RAM

DA25-DA16	DMA 転送先のアドレス (A25-A16) を設定してください (初期値不定)。 DMA 転送中は, 次の DMA 転送先アドレスを保持します。 DMA 転送が終了すると, 最初に設定された DMA 転送元アドレスを保持します。
-----------	---

DA15-DA0	DMA 転送先のアドレス (A15-A0) を設定してください (初期値不定)。 DMA 転送中は, 次の DMA 転送先アドレスを保持します。 DMA 転送が終了すると, 最初に設定された DMA 転送元アドレスを保持します。
----------	--

注意 1. DDAnH レジスタのビット 14-10 には, 必ず "0" を設定してください。

2. DDAnH, DDAnL レジスタの設定は, DMA 転送禁止状態 (DCHCn.Enn ビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初の DMA 転送起動までの期間
- ・DCHCn.INITn ビットによるチャンネル初期化後から DMA 転送起動までの期間
- ・DMA 転送完了後 (DCHCn.TCn ビット = 1 の状態) から次の DMA 転送起動までの期間

3. DDAn レジスタの値を読み出す際, DDAnH レジスタと DDAnL レジスタの 2 つの 16 ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります (22.13 注意事項参照)。

4. リセット後, DMA 転送を開始する前に DSAAnH, DSAAnL, DDAnH, DDAnL, DBCn レジスタを設定してください。これらのレジスタを設定しないで DMA 転送を開始した場合は, 動作を保証しません。

## (3) DMA 転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャネルnの転送数を設定する16ビット・レジスタです (n = 0-3)。

DMA転送中は、残りの転送数を保持します。

転送データ単位 (8/16ビット) にかかわらず、1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DBC0 FFFFFFF0C0H, DBC1 FFFFFFF0C2H,  
DBC2 FFFFFFF0C4H, DBC3 FFFFFFF0C6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBCn (n = 0-3)	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0

BC15-BC0	転送数の設定, またはDMA転送中の残りの転送数
0000H	1回の転送, または残り転送数
0001H	2回の転送, または残り転送数
:	:
FFFFH	65536 (2 <sup>16</sup> ) 回の転送, または残り転送数
DMA転送が完了すると, 最初に設定された転送データ数を保持します。	

**注意1.** DBCnレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
  - ・DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
  - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
2. リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。

## (4) DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャンネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時 : 0000H    R/W    アドレス : DADC0 FFFFF0D0H, DADC1 FFFFF0D2H,  
DADC2 FFFFF0D4H, DADC3 FFFFF0D6H

DADCn (n = 0-3)	15	14	13	12	11	10	9	8
	0	DS0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	SAD1	SAD0	DAD1	DAD0	0	0	0	0

DS0	転送データ・サイズの設定
0	8ビット
1	16ビット

SAD1	SAD0	転送元アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DAD1	DAD0	転送先アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

- 注意1.** DADCnレジスタのビット15, 13-8, 3-0には、必ず“0”を設定してください。
- DADCnレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。
    - ・リセット後から最初のDMA転送起動までの期間
    - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
    - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
  - DS0ビットは転送データ・サイズを設定するものであり、バス・サイジングを制御するものではありません。したがって、8ビット・データ (DS0ビット = 0) を設定した場合でも、必ずしも下位データ・バスを使用するわけではありません。
  - 転送データ・サイズを16ビットに設定した場合 (DS0ビット = 1)、奇数アドレスから始まる転送はできません。下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。
  - 内蔵周辺I/Oレジスタを対象 (転送元/転送先) とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ず (8ビット) 転送を指定してください。

## (5) DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャンネルnのDMA転送動作モードを指定する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です(ただし,ビット7はリードだけ,ビット1,2はライトだけ可能です。ビット1,2をリードした場合は0が読み出されます)。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: DCHC0 FFFFFFF0E0H, DCHC1 FFFFFFF0E2H,  
DCHC2 FFFFFFF0E4H, DCHC3 FFFFFFF0E6H

	⑦	6	5	4	3	②	①	①
DCHCn	TCn <sup>注1</sup>	0	0	0	0	INITn <sup>注2</sup>	STGn <sup>注2</sup>	Enn

(n = 0-3)

TCn <sup>注1</sup>	DMAチャンネルnのDMA転送の完了 / 未完了を示すステータス・フラグ
0	DMA転送未完了
1	DMA転送完了
DMA転送の最後の転送時にセット(1)され,読み出しによってクリア(0)されます。	

INITn <sup>注2</sup>	DMA転送が禁止された状態で(Ennビット=0),INITnビットをセット(1)するとDMA転送のステータスを初期化できます。 DMA転送が完了する前に(TCnビットがセット(1)される前),DMA転送ステータスの再設定(DDAnH,DDAnL,DSAnH,DSAnL,DBCn,DADCnレジスタの再設定)を行う場合は,必ずDMAチャンネルの初期化後に行ってください。 ただし,DMAコントローラの初期化は,必ず22.13 注意事項に示す手順にしたがって行ってください。
---------------------	--

STGn <sup>注2</sup>	DMA転送のソフトウェア起動トリガです。 DMA転送が許可の状態(TCnビット=0,Ennビット=1)でこのビットをセット(1)するとDMA転送を開始します。
--------------------	--

Enn	DMAチャンネルnのDMA転送の許可 / 禁止の設定
0	DMA転送の禁止
1	DMA転送の許可

Ennビットをセット(1)するとDMA転送が許可されます。  
DMA転送が完了(ターミナル・カウント発生)すると,自動的にクリア(0)されます。  
なお,DMA転送を中断するには,ソフトウェアでEnnビットをクリア(0)してください。再開するには,再度Ennビットをセット(1)してください。  
ただし,DMA転送の停止(強制終了/再実行,中断/再開)は,必ず22.13 注意事項に示す手順にしたがって行ってください。

注1. TCnビットはリードのみ可能です。

2. INITn, STGnビットはライトのみ可能です。

注意1. DCHCnレジスタのビット6-3には,必ず“0”を設定してください。

2. DMA転送完了時(ターミナル・カウント時)は,Ennビットのクリア(0) TCnビットのセット(1)の順で各ビットの更新が行われます。そのため,DCHCnレジスタの各ビットの更新途中にDCHCnレジスタを読み出した場合,「転送未完了,かつ転送禁止」の状態を示す値(TCnビット=0,かつEnnビット=0)が読み出されることがあります。

## (6) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oからの割り込み要求信号によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求信号が、DMA転送の起動要因になります。

8ビット単位でリード/ライト可能です。ただし、DFnビットのみ1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

( 1/2 )

リセット時：00H R/W アドレス：DTFR0 FFFFF810H, DTFR1 FFFFF812H,  
DTFR2 FFFFF814H, DTFR3 FFFFF816H

	⑦	6	5	4	3	2	1	0
DTFRn	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

(n = 0-3)

DFn <sup>注</sup>	DMA転送要求ステータス・フラグ
0	DMA転送要求なし
1	DMA転送要求あり

**注** DFnビットはソフトウェアにより“1”を設定しないでください。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合に0をライトしてください。

**注意1.** IFCn5-IFCn0ビットの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
- ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
- ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間

注意2. DTFRnレジスタの設定を変更する場合は必ず次の手順で行ってください。

- IFCn5-IFCn0ビットに設定した値が他チャンネルのIFCm5-IFCm0ビットに設定されていない場合 ( $n = 0-3, m = 0-3, n \neq m$ )

書き換え対象となるチャンネルのDMA<sub>n</sub>動作を停止 (DCHCn.Ennビット = 0) する。

DTFRnレジスタの設定を変更する (必ずDFnビット = 0とし、かつ8ビット操作で行ってください)。

DFnビット = 0であることを確認する (DFnビット = 1だった場合はDFnビットをクリア<sup>注</sup>し再度 を実行する)。

DMA<sub>n</sub>動作を許可 (Ennビット = 1) する。

- IFCn5-IFCn0ビットに設定した値がすでに他チャンネルのIFCm5-IFCm0ビットに設定されている場合 ( $n = 0-3, m = 0-3, n = m$ )

書き換え対象となるチャンネルのDMA<sub>n</sub>動作を停止 (DCHCn.Ennビット = 0) する。

IFCn5-IFCn0ビットに書き換える値と同じ値がIFCm5-IFCm0ビットに設定されているチャンネルのDMA<sub>m</sub>転送を停止 (DCHCm.Emmビット = 0) する。

DTFRnレジスタの設定を変更する (必ずDFnビット = 0とし、かつ8ビット操作で行ってください)。

DFnビット = 0であることを確認する (DFnビット = 1だった場合はDFnビットをクリア<sup>注</sup>し再度 を実行する)。

DFmビット = 0であることを確認する (DFmビット = 1だった場合はDFmビットをクリア<sup>注</sup>し再度 を実行する)。

DMA<sub>n</sub>動作を許可 (Ennビット = 1およびEmmビット = 1) する。

3. スタンバイ・モード (IDLE1, IDLE2, STOP, サブIDLEモード) 中に発生した割り込み要求は, DMA転送サイクルの起動要因にはなりません (DFnビットもセット (1) されません)。
4. IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは, DMA転送の許可 / 禁止にかかわらず, 選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット (1) されます。この状態でDMA許可とした場合, ただちにDMA転送が起動されます。
5. V850E/SK3-Hで, UARTA1とI<sup>2</sup>C02を同時に使用し, かつINTUA1R信号をDMA転送の起動要因として使用する場合は, オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のDTFROB1ビット = 1に設定してください。この場合, INTIIC2信号はDMA転送の起動要因として使用できません。
6. V850E/SK3-Hで, UARTA2とI<sup>2</sup>C00を同時に使用し, かつINTUA2R信号をDMA転送の起動要因として使用する場合は, オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のDTFROB1ビット = 1に設定してください。この場合, INTIIC0信号はDMA転送の起動要因として使用できません。

注 DFn, DFmビットをビット操作命令でクリア, またはDTFRn, DTFRmレジスタを8ビット操作命令で再度設定してください。

備考 IFCn5-IFCn0ビットについては表22 - 1 DMA転送の起動要因を参照してください。

表22 - 1 DMA転送の起動要因 (1/2)

DTFRレジスタ						オプション・バイト 000007AH <sup>注</sup>		割り込み要因
IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	DTFROB1	DTFROB0	
0	0	0	0	0	0	X	X	割り込みによるDMA要求禁止
0	0	0	0	0	1	X	X	INTP0
0	0	0	0	1	0	X	X	INTP1
0	0	0	0	1	1	X	X	INTP2
0	0	0	1	0	0	X	X	INTP3
0	0	0	1	0	1	X	X	INTP4
0	0	0	1	1	0	X	X	INTP5
0	0	0	1	1	1	X	X	INTP6
0	0	1	0	0	0	X	X	INTP7
0	0	1	0	0	1	X	0	INTTQ0OV
							1	NTUB0TIR
0	0	1	0	1	0	X	X	INTTQ0CC0
0	0	1	0	1	1	X	X	INTTQ0CC1
0	0	1	1	0	0	X	X	INTTQ0CC2
0	0	1	1	0	1	X	X	INTTQ0CC3
0	0	1	1	1	0	X	0	INTTP0OV
							1	INTUB0TIT
0	0	1	1	1	1	X	X	INTTP0CC0
0	1	0	0	0	0	X	X	INTTP0CC1
0	1	0	0	0	1	X	0	INTTP1OV
							1	INTUB1TIR
0	1	0	0	1	0	X	X	INTTP1CC0
0	1	0	0	1	1	X	X	INTTP1CC1
0	1	0	1	0	0	X	0	INTTP2OV
							1	INTUB1TIT
0	1	0	1	0	1	X	X	INTTP2CC0
0	1	0	1	1	0	X	X	INTTP2CC1
0	1	0	1	1	1	X	X	INTTP3CC0
0	1	1	0	0	0	X	X	INTTP3CC1
0	1	1	0	0	1	X	X	INTTP4CC0
0	1	1	0	1	0	X	X	INTTP4CC1
0	1	1	0	1	1	X	X	INTTP5CC0
0	1	1	1	0	0	X	X	INTTP5CC1
0	1	1	1	0	1	X	X	INTTM0EQ0
0	1	1	1	1	0	X	X	INTCB0R/INTIIC1
0	1	1	1	1	1	X	X	INTCB0T
1	0	0	0	0	0	X	X	INTCB1R
1	0	0	0	0	1	X	X	INTCB1T
1	0	0	0	1	0	X	X	INTCB2R
1	0	0	0	1	1	X	X	INTCB2T
1	0	0	1	0	0	X	X	INTCB3R
1	0	0	1	0	1	X	X	INTCB3T

注 詳細については、第33章 オプション・バイト機能を参照してください。

備考 n = 0-3

表22 - 1 DMA転送の起動要因 (2/2)

DTFRレジスタ						オプション・バイト 0000007AH <sup>注1</sup>		割り込み要因
IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	DTFROB1	DTFROB0	
1	0	0	1	1	0	X	X	INTUA0R/INTCB4R
1	0	0	1	1	1	X	X	INTUA0T/INTCB4T
1	0	1	0	0	0	0	X	INTUA1R/INTIIC2
						1		INTUA1R
1	0	1	0	0	1	X	X	INTUA1T
1	0	1	0	1	0	0	X	INTUA2R/INTIIC0
						1		INTUA2R
1	0	1	0	1	1	X	X	INTUA2T
1	0	1	1	0	0	X	X	INTAD
1	0	1	1	0	1	X	0	INTKR
							1	INTTM1EQ0
1	0	1	1	1	0	X	0	INTERR
							1	INTCE0T <sup>注2</sup>
1	0	1	1	1	1	X	0	INTSTA
							1	INTCE1T <sup>注2</sup>
1	1	0	0	0	0	X	X	INTIE1
1	1	0	0	0	1	X	0	INTP8
							1	INTTM2EQ0
1	1	0	0	1	0	X	X	INTTP6CC0
1	1	0	0	1	1	X	X	INTTP6CC1
1	1	0	1	0	0	X	X	INTTP7CC0
1	1	0	1	0	1	X	X	INTTP7CC1
1	1	0	1	1	0	X	X	INTTP8CC0
1	1	0	1	1	1	X	X	INTTP8CC1
1	1	1	0	0	0	X	X	INTCB5R
1	1	1	0	0	1	X	X	INTCB5T
1	1	1	0	1	0	X	X	INTUA3R
1	1	1	0	1	1	X	X	INTUA3T
1	1	1	1	0	0	X	X	INTUA4R
1	1	1	1	0	1	X	X	INTUA4T
1	1	1	1	1	0	X	X	INTUA5R
1	1	1	1	1	1	X	X	INTUA5T

注1. 詳細については、第33章 オプション・バイト機能を参照してください。

2.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

備考 n = 0-3



## 22.4 転送対象

転送対象の関係を次に示します ( : 転送可, × : 転送不可 )。

表22 - 2 転送対象の関係

		転送先				
		内蔵ROM	内蔵周辺I/O	内蔵RAM	外部メモリ	拡張内蔵RAM
転送元	内蔵周辺I/O	×				
	内蔵RAM	×		×		×
	外部メモリ	×				
	拡張内蔵RAM	×		×		×
	内蔵ROM	×	×	×	×	×

**注意** 表22 - 2に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証できません。

## 22.5 転送モード

転送モードとして、シングル転送をサポートしています。

シングル転送では、1回のバイト/ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

ただし、転送サイクル中に同一チャンネルの新たな転送要求と、他の優先順位が低いチャンネルの転送要求が発生した場合、CPUにバスを解放した次の転送は、新たに要求のあった優先順位の低いチャンネルのDMA転送となります (転送サイクル中は、同一チャンネルの新たな転送要求は無視されます)。

## 22.6 転送タイプ

転送タイプとして、2サイクル転送をサポートしています。

2サイクル転送は、リード・サイクル、ライト・サイクルと2回のサイクルでデータを転送します。

リード・サイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、ライト・サイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

リード・サイクルとライト・サイクルの間には、必ず1クロック分のアイドル・サイクルが挿入されます。

2サイクルのDMA転送で、転送元と転送先のデータ・バス幅が異なる場合、次のような動作になります。

< 16ビット・データ転送の場合 >

32ビット・バス 16ビット・バスへの転送

リード・サイクル(上位16ビットはハイ・インピーダンス)が発生し、その後ライト・サイクル(16ビット)が発生します。

16/32ビット・バス 8ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後8ビットのライト・サイクルが2回発生します。

8ビット・バス 16/32ビット・バスへの転送の場合

8ビットのリード・サイクルが2回発生し、その後16ビットのライト・サイクルが1回発生します。

16ビット・バス 32ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後16ビットのライト・サイクルが1回発生します。

なお、内蔵周辺I/Oレジスタを対象(転送元/転送先)とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ずバイト(8ビット)転送を指定してください。

**備考** 各転送対象(転送元/転送先)のバス幅は次のとおりです。

- ・内蔵周辺I/O : 16ビット・バス幅
- ・内蔵RAM : 32ビット・バス幅
- ・外部メモリ : 8もしくは16ビット・バス幅
- ・拡張内蔵RAM : 32ビット・バス幅

## 22.7 DMAチャネルの優先順位

DMAチャネルの優先順位は固定で、次のようになります。

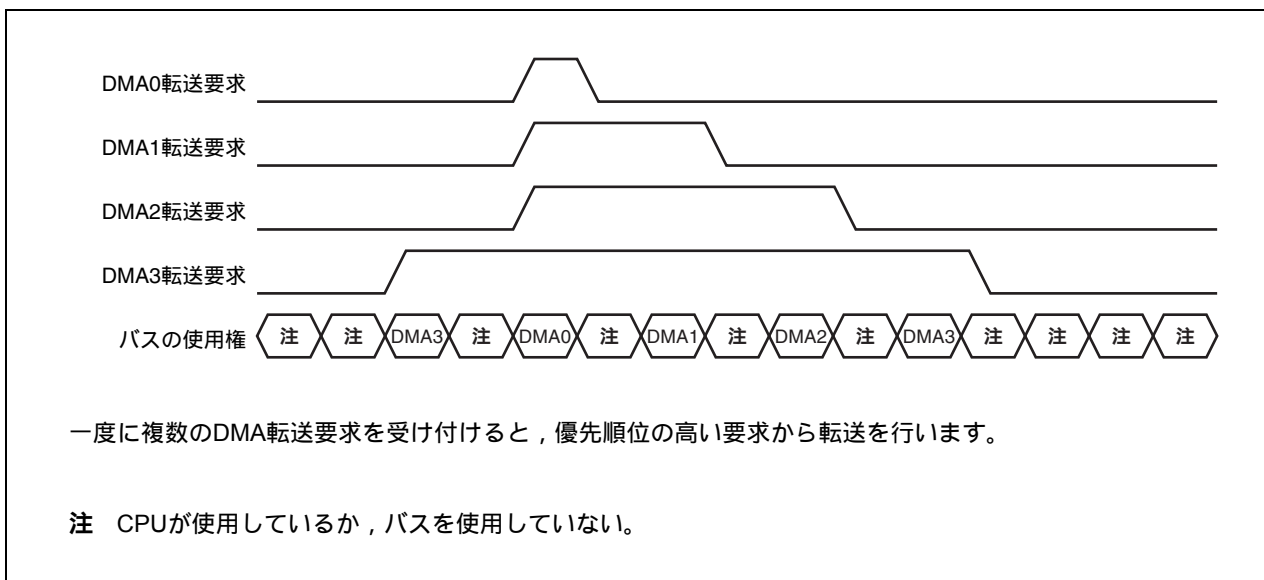
DMAチャネル0 > DMAチャネル1 > DMAチャネル2 > DMAチャネル3

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

ただし、転送サイクル中に同一チャネルの新たな転送要求と、他の優先順位が低いチャネルの転送要求が発生した場合、CPUにバスを解放した次の転送は、新たに要求のあった優先順位の低いチャネルのDMA転送となります（転送サイクル中は、同一チャネルの新たな転送要求は無視されます）。

1回の転送サイクルの度に優先順位がチェックされます。

図22 - 1 シングル転送（複数チャネルを使用した場合）



## 22.8 DMA転送に関する各種時間

DMA要求に対する応答時間，DMA転送にかかる最小クロック数を次に示します。

シングル転送 : DMA応答時間( ) + 転送元メモリ・アクセス( ) + 1<sup>注1</sup> + 転送先メモリ・アクセス( )

DMAサイクル		最小実行クロック数
DMA要求に対する応答時間		4クロック (MIN.) + ノイズ除去時間 <sup>注2</sup>
メモリ・アクセス	外部メモリ・アクセス	接続するメモリで異なります
	内蔵RAMアクセス	2クロック <sup>注3</sup>
	周辺I/Oレジスタ・アクセス	3クロック + VSWCレジスタによるウェイト数 <sup>注4</sup>
	拡張内蔵RAM	3 + nクロック <sup>注5</sup>

- 注1. DMA転送のリード・サイクルとライト・サイクルの間には、必ず1クロック挿入されます。
2. 外部割り込み (INTPn) をDMA転送の起動要因に指定した場合、ノイズ除去時間が加算されます (n = 0-9)。
3. DMAサイクルの場合は、2クロックかかります。
4. 特定の周辺I/Oレジスタへのアクセスについては、さらにウェイトが必要となります (詳細は3. 4. 9 (2) を参照してください)。
5. 拡張内蔵RAMを使用する場合は、前もって必ず拡張内蔵RAMの初期設定をしてください。拡張内蔵RAMの初期設定については、3. 4. 4 (6) (b) **拡張内蔵RAMの初期設定**を参照してください。

**備考** n : WAIT端子によるウェイト挿入数

## 22.9 DMA転送起動要因

DMA転送の起動要因には、次の2種類があります。

### (1) ソフトウェアによる要求

DCHCn.TCnビット = 0, かつEnnビット = 1 (DMA転送許可) の状態で, STGnビットをセット (1) すると, DMA転送を起動します。

続けて次のDMA転送サイクルを要求するには, DBCnレジスタにて, 先のDMA転送サイクルが完了したことを確認してから, 再度STGnビットをセット (1) してください (n = 0-3)。

TCnビット = 0, Ennビット = 1

STGnビット = 1 ... 1回目のDMA転送開始

DBCnレジスタの内容が更新されたことを確認

STGnビット = 1 ... 2回目のDMA転送開始

:

ターミナル・カウント発生...Ennビット = 0, TCnビット = 1かつINTDMA<sub>n</sub>信号発生

### (2) 内蔵周辺I/Oによる要求

DCHCn.TCnビット = 0, かつEnnビット = 1 (DMA転送許可) の状態で, DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると, DMA転送を起動します。

- 注意1. 同一のDMAチャンネルに対して, 2つの起動要因 (ソフトウェア・トリガ, ハードウェア・トリガ) を併用できません。1つのDMAチャンネルに対して, 2つの起動要因が同時に発生した場合, どちらか一方だけが有効となります。有効となった起動要因の特定はできません。
2. 先のDMA転送要求が発生してから, または先のDMA転送サイクル中に新たな転送要求が発生しても, その要求は無視 (クリア) されます。
3. 同一のDMAチャンネルに対する転送要求間隔は, DMA転送サイクル中のバス・ウエイトの設定やほかのチャンネルの起動状況, または外部バス・ホールド要求により変化します。特に注意2のとおり, DMA転送サイクル前, または転送サイクル中に同一チャンネルの新たな転送要求が発生しても, その要求は無視されてしまいます。したがって, 同一のDMAチャンネルに対する転送要求間隔は, システム上で十分な間隔をもつようにしてください。ソフトウェア・トリガ時は, DBCnレジスタの更新により, 先に発生したDMA転送サイクルの完了を確認できます。

## 22. 10 DMAの中断要因

DMA転送は、バス・ホールドが発生すると中断されます。

内部メモリ / 内蔵周辺IO 内部メモリ / 内蔵周辺I/O時も同様です。

バス・ホールドが解除されると、引き続きDMA転送を開始します。

## 22. 11 DMA転送の終了

DBCnレジスタに設定した回数分DMA転送が終了し、DCHCn.Ennビットがクリア(0)、TCnビットがセット(1)されると、割り込みコントローラ (INTC) に対して、DMA転送終了割り込み要求信号 (INTDMA<sub>n</sub>) を発生します (n = 0-3)。

V850E/SJ3-H, V850E/SK3-Hでは、ターミナル・カウント信号を外部に出力していませんので、DMA転送終了割り込み、またはTCnビットのポーリングによりDMA転送の完了を確認してください。

## 22. 12 動作タイミング

図22 - 1から図22 - 4にDMAの動作タイミングを示します。

図22 - 2 DMAの優先順位 (1)

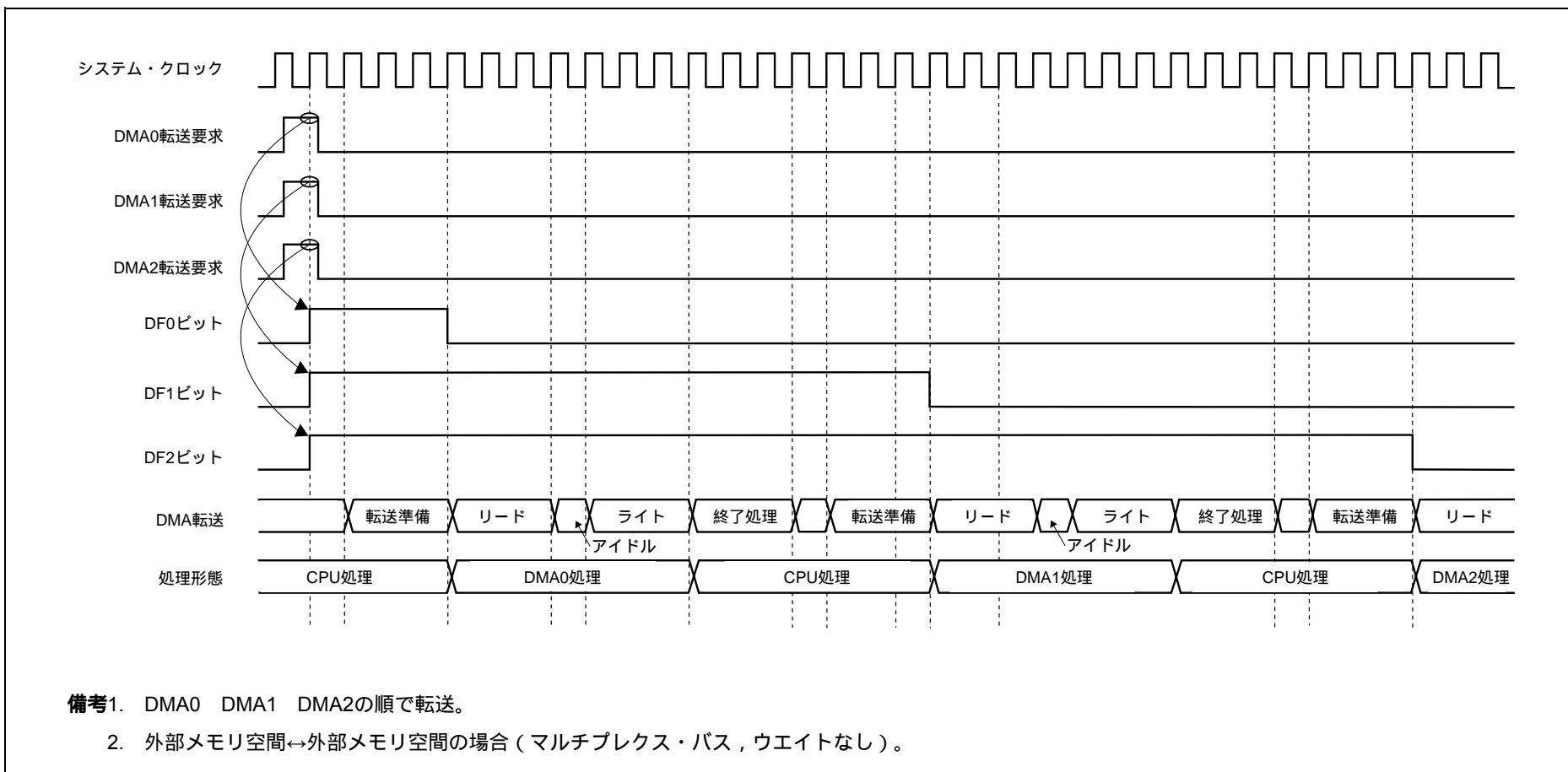


図22 - 3 DMAの優先順位 (2)

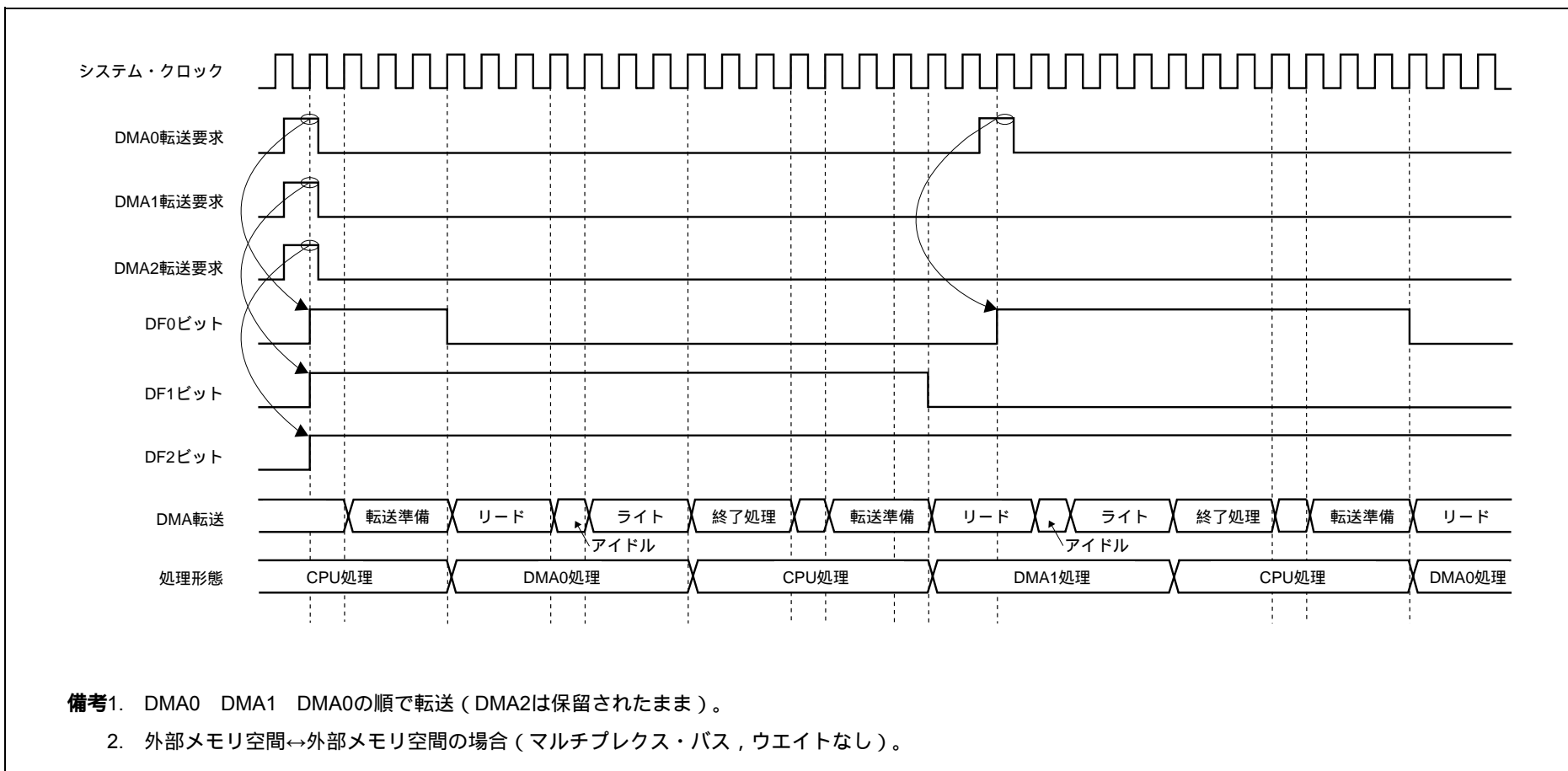




図22 - 4 DMAの転送要求が無視される期間 (1)

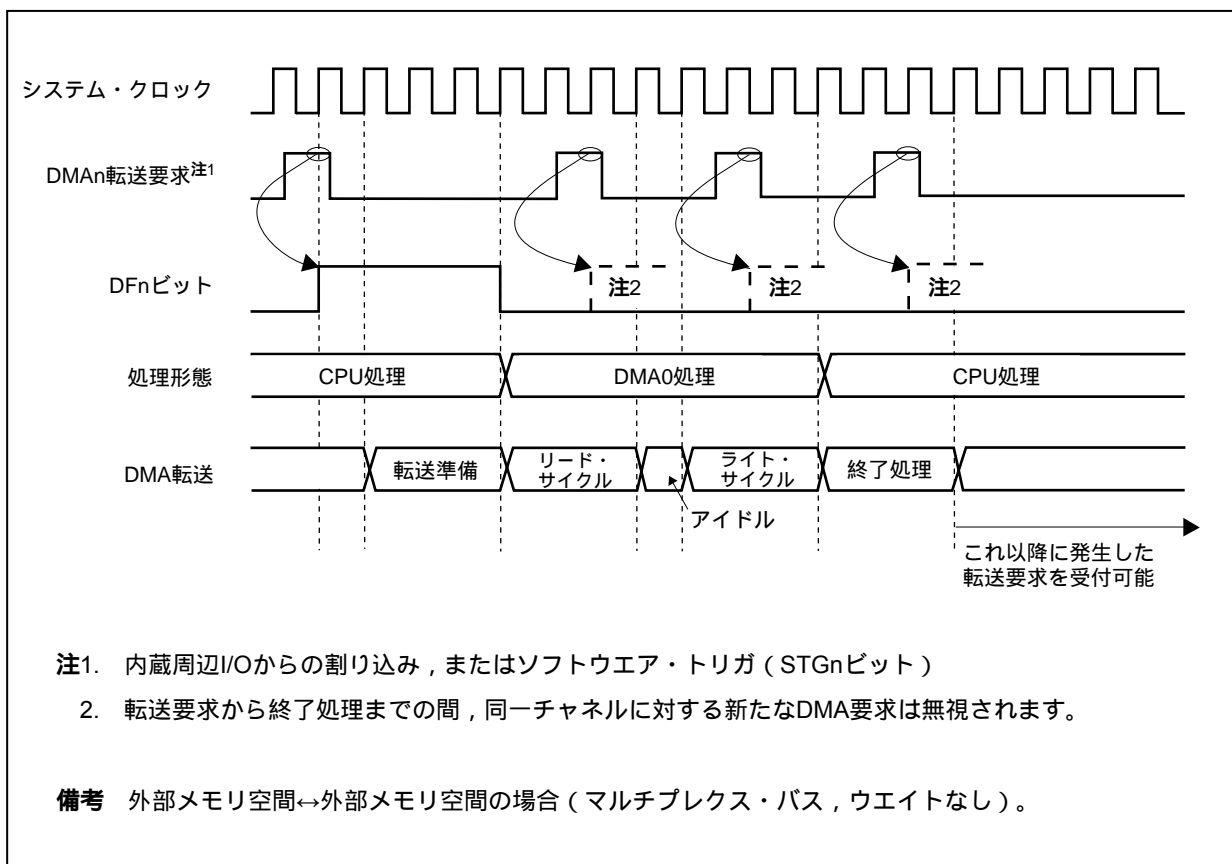
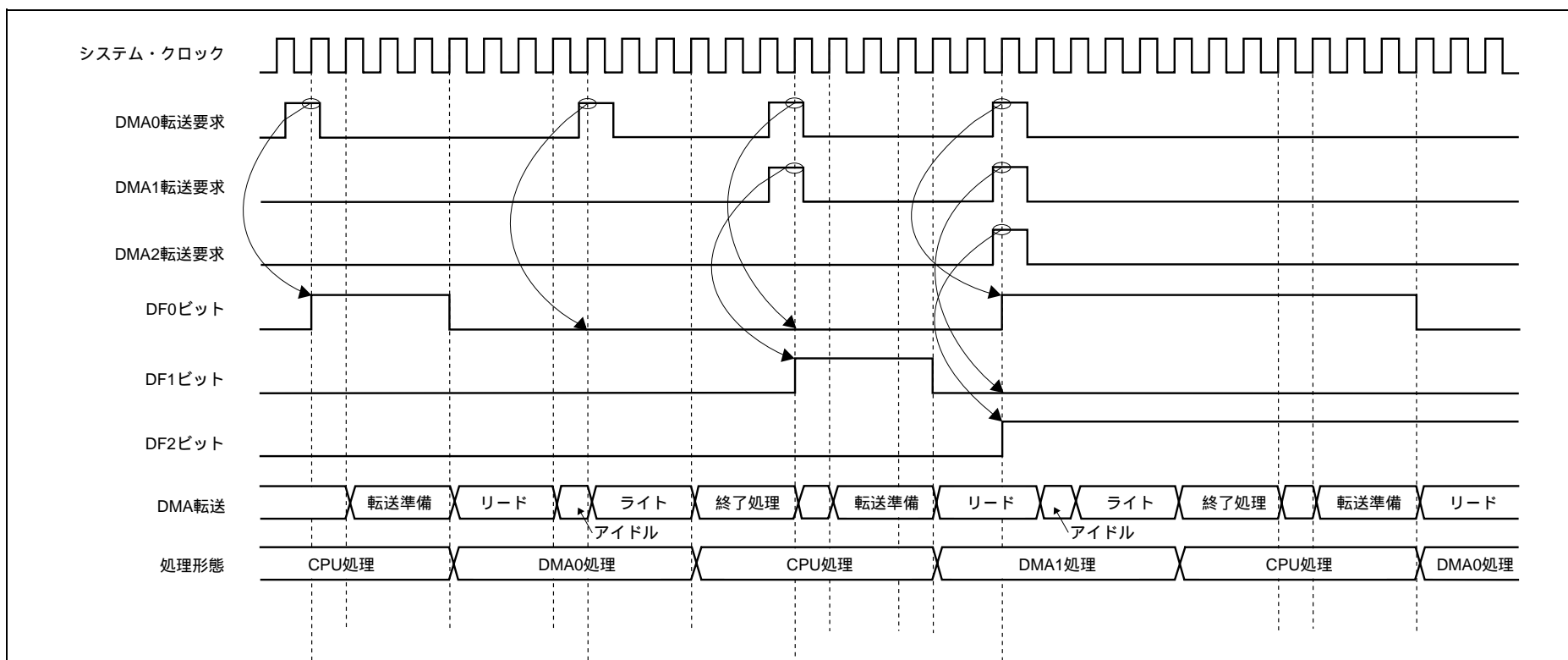


図22 - 5 DMAの転送要求が無視される期間 (2)



## DMA0転送要求

DMA0転送中に新たなDMA0転送要求が発生

DMA転送中の同一チャネルのDMA要求は無視される

DMA0とDMA1の要求が同時発生

DMA0の要求は無視される (転送中の同一チャネルのDMA要求は無視される)

DMA1の要求が受け付けられる

DMA0とDMA1とDMA2の要求が同時に発生

DMA1の要求は無視される (転送中の同一チャネルのDMA要求は無視される)

優先順位によりDMA0の要求が受け付けられる。DMA2の要求は保留 (次はDMA2の転送が発生)

## 22.13 注意事項

### (1) VSWCレジスタに関する注意

DMACを使用する際は、必ずVSWCレジスタに、動作周波数に応じた最適な値を設定してください。

VSWCレジスタの初期値(77H)、または最適な値以外で使用した場合は正常に動作できません(VSWCレジスタの詳細については、3.4.9(1)(a)システム・ウェイト・コントロール・レジスタ(VSWC)を参照してください)。

### (2) 内蔵RAMを転送対象とするDMA転送時の注意

内蔵RAMに配置された次の命令を実行する場合は、内蔵RAMを対象(転送先/転送元)とするDMA転送を行わないでください。その後CPUが正常に動作しない可能性があります。

- ・内蔵RAMに配置されたビット操作命令(SET1, CLR1, NOT1)
- ・内蔵RAMに配置されたミスアライン・アドレスに対するデータ・アクセス命令

逆に、内蔵RAMを対象(転送先/転送元)としたDMA転送を行う場合は、上の2つの命令を実行しないでください。

### (3) DCHCn.TCnビットのリードに関する注意事項(n=0-3)

内蔵RAMを転送元とするDMA転送時に、割り込み処理ルーチンでTCnビットをリードする場合は、次のいずれかの条件を満たしてください。

- ・割り込み処理ルーチンの先頭でTCnビットをリードする場合は、連続して2回のリードを実行してください。
- ・割り込み処理ルーチンの先頭で内蔵RAM、内蔵周辺I/Oレジスタ領域、プログラマブル周辺I/Oレジスタ領域、または外部メモリ領域にアクセス(リード/ライト)する命令を1つ以上行ったあとで、TCnビットをリードしてください。

#### (4) DMA転送の停止手順について (Ennビットのクリア)

DMA転送中にEnnビットを強制的にクリア(0)することで、実行中のDMA転送を停止させることができます。ただし、DMA転送の停止は、必ず次に示す2つの手順のどちらか一方で行ってください。それ以外の手順でEnnビットをクリア(0)した場合の動作は保証しません。

##### (a) 実行中のDMA転送をすべて破棄し、最初からDMA転送をやり直す場合

DMA要求元からの転送要求が発生しないようにする(内蔵周辺I/Oの動作を停止)。

DFnビットにより、DMA転送要求が保留されていないかを確認する(DFnビット = 0であることを確認)。保留されている場合は、DFnビットをクリア(0)する。

DMA転送要求が保留されていないことを確認できたら、Ennビットをクリア(0)する(この操作により、DMA転送が中断される)。

INITnビットをセット(1)する(この操作により、DMA転送のステータスが初期化される)。

##### (b) 実行中のDMA転送を中断し、再開する場合

DMA要求元からの転送要求が発生しないようにする(内蔵周辺I/Oの動作を停止)。

DFnビットにより、DMA転送要求が保留されていないかを確認する(DFnビット = 0であることを確認)。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。

DMA転送要求が保留されていないことを確認できたら、Ennビットをクリア(0)する(この操作により、DMA転送が中断される)。

DMA転送を再開させるためにEnnビットをセット(1)する。

停止しているDMA要求元の動作を再開する(内蔵周辺I/Oの動作を開始)。

#### (5) メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象(外部メモリ、内蔵RAM、内蔵周辺I/O、拡張内蔵RAM)の領域を越えた場合の動作は保証できません。

#### (6) ミスアライン・データの転送

16ビット・バス幅のミスアライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。

#### (7) CPUへのバス・アービトレーション

バス使用权の優先順位はCPUよりDMAコントローラが高いため、DMA転送中に発生したCPUのアクセスは、DMA転送サイクルが完了しCPUにバスが解放されるまで待たされます。

ただし、CPUはDMA転送を行っていない内蔵ROM、内蔵RAMにアクセスが可能です。

- ・外部メモリ 内蔵周辺I/O、拡張内蔵RAM 内蔵周辺I/Oとの間でDMA転送が行われているとき、CPUは内蔵ROM、内蔵RAMにアクセスできます。
- ・内蔵周辺I/O 内蔵RAMでDMA転送が行われているときは、CPUは内蔵ROMにアクセスできます。
- ・内蔵周辺I/O 内蔵周辺I/OでDMA転送が行われているときは、CPUは内蔵ROM、内蔵RAMにアクセスできます。

**(8) DMA動作中の書き換え禁止レジスタ/ビット**

次のレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。

**【対象レジスタ】**

- ・ DSA<sub>n</sub>H, DSA<sub>n</sub>L, DDA<sub>n</sub>H, DDA<sub>n</sub>L, DBC<sub>n</sub>, DADC<sub>n</sub>レジスタ
- ・ DTFR<sub>n</sub>.IFC<sub>n</sub>5-IFC<sub>n</sub>0ビット

**【設定可能タイミング】**

- ・ リセット後から最初のDMA転送開始までの期間
- ・ チャンネル初期化後からDMA転送開始までの時間
- ・ DMA転送完了後 (TC<sub>n</sub>ビット = 1の状態) から次のDMA転送開始までの期間

**(9) 次のレジスタの各ビットには、必ず“0”を設定してください。**

- ・ DSA<sub>n</sub>Hレジスタのビット14-10
- ・ DDA<sub>n</sub>Hレジスタのビット14-10
- ・ DADC<sub>n</sub>レジスタのビット15, 13-8, 3-0
- ・ DCHC<sub>n</sub>レジスタのビット6-3

**(10) DMAの起動要因**

同じ起動要因で複数のDMAチャンネルを起動しないでください。起動した場合、すでに設定済みのチャンネルのDMAが起動されたり、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられたりする場合があります、動作は保証できません。

**(11) DSA<sub>n</sub>, DDA<sub>n</sub>レジスタの読み出し値**

DMA転送中にDSA<sub>n</sub>, DDA<sub>n</sub>レジスタの値を読み出した場合、更新途中の値が読み出されることがあります (n = 0-3)。

たとえば、DMA転送元アドレス (DSA<sub>n</sub>レジスタ) が0000FFFFH、カウント方向がインクリメント (DADC<sub>n</sub>.SAD1, SAD0ビット = 00)の場合、DSA<sub>n</sub>Hレジスタ DSA<sub>n</sub>Lレジスタの順に読み出しを行うと、DSA<sub>n</sub>Hレジスタ読み出し直後のDMA転送の有無によって、DSA<sub>n</sub>Lレジスタの値が次のように異なります。

**(a) DSA<sub>n</sub>レジスタの読み出し中にDMA転送が発生しない場合**

DSA<sub>n</sub>Hレジスタの読み出し : DSA<sub>n</sub>H = 0000H

DSA<sub>n</sub>Lレジスタの読み出し : DSA<sub>n</sub>L = FFFFH

**(b) DSA<sub>n</sub>レジスタの読み出し中にDMA転送が発生する場合**

DSA<sub>n</sub>Hレジスタの読み出し : DSA<sub>n</sub>H = 0000H

DMA転送の発生

DSA<sub>n</sub>レジスタのインクリメント : DSA<sub>n</sub> = 00010000H

DSA<sub>n</sub>Lレジスタの読み出し : DSA<sub>n</sub>L = 0000H

## 第23章 CRC機能

### 23.1 機 能

- ・データ・ブロックの誤り検出用のCRC演算回路です。
- ・8ビット単位の任意のデータ長ブロックに対し、CRC-CCITT ( $X^{16} + X^{12} + X^5 + 1$ ) の生成多項式を使用し、16ビットCRCコードを生成します。
- ・CRCコードは、CRCDレジスタに初期値を設定したあと、1バイトのデータをCRCINレジスタに転送することにより、CRCDレジスタに設定されます。

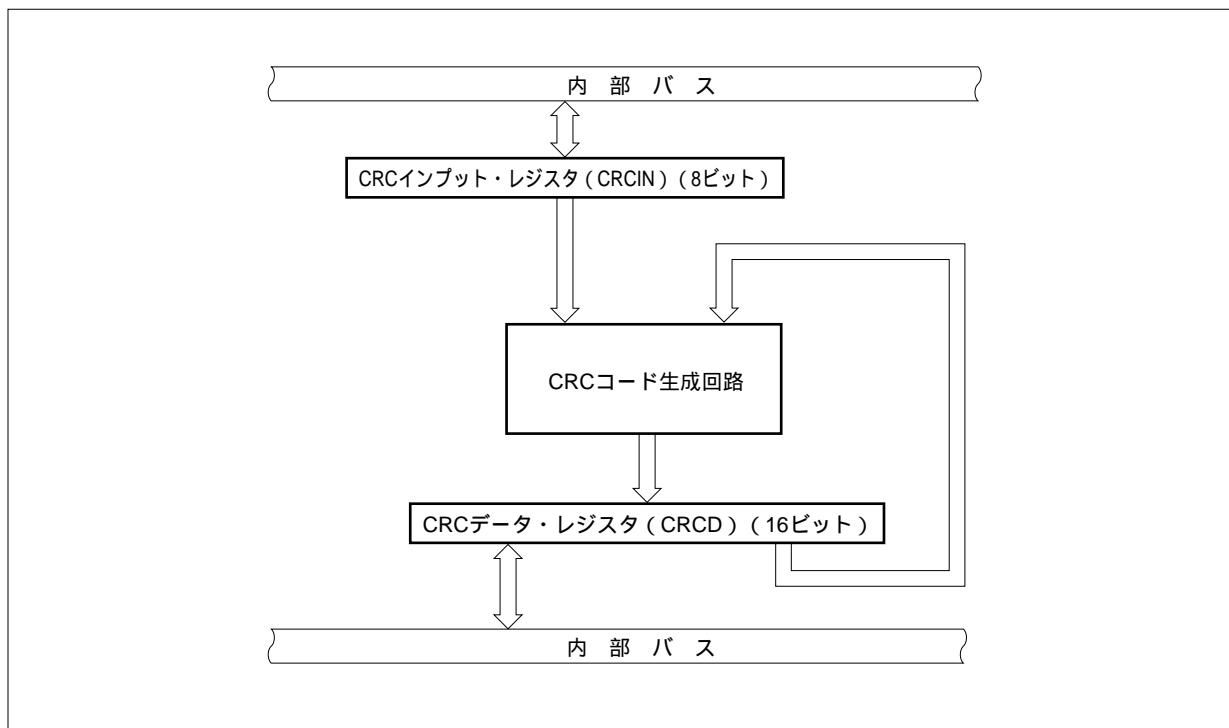
### 23.2 構 成

CRC機能は、次のハードウェアで構成されています。

表23 - 1 CRCの構成

項 目	構 成
制御レジスタ	CRCインプット・レジスタ (CRCIN) CRCデータ・レジスタ (CRCD)

図23 - 1 CRCレジスタのブロック図



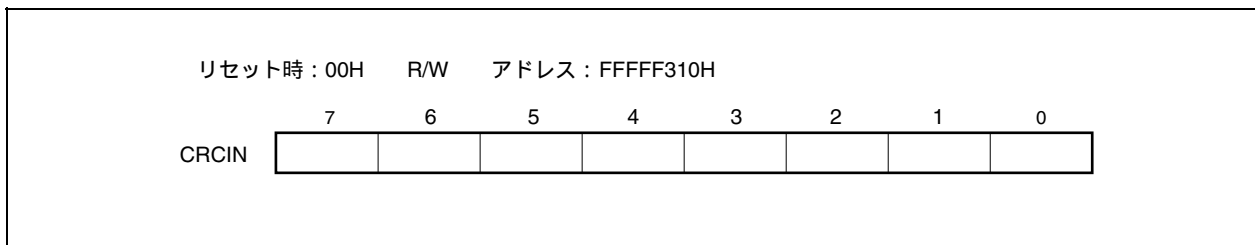
## 23.3 レジスタ

### (1) CRCインプット・レジスタ (CRCIN)

CRCINレジスタは、データ設定用の8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。



### (2) CRCデータ・レジスタ (CRCD)

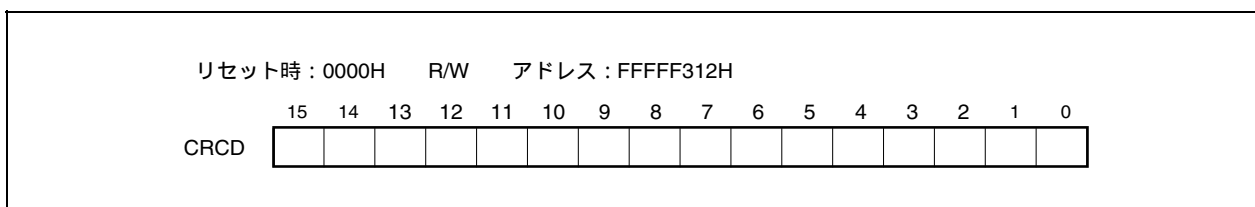
CRCDレジスタは、CRC-CCITT演算結果格納の16ビット・レジスタです。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** 次に示す状態において、CRCDレジスタへのアクセスは禁止です。詳細は3.4.9(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

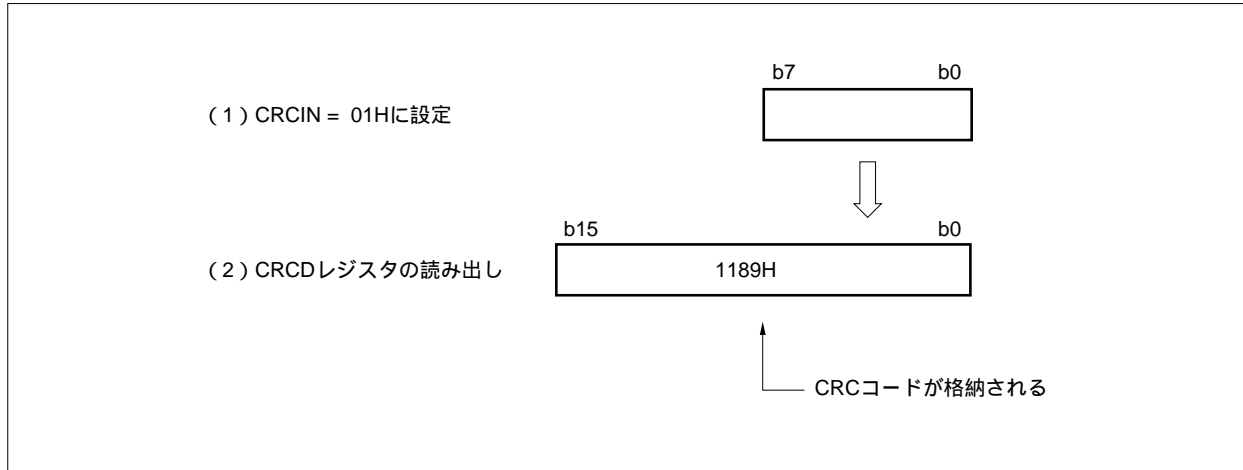
- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



## 23.4 動作

CRC演算回路の演算例を次に示します。

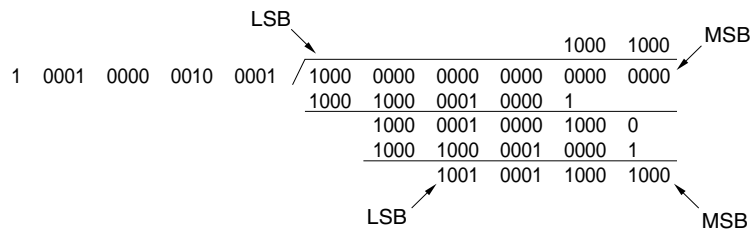
図23 - 2 CRC演算回路の演算例 (LSBファースト)



01HをLSBファーストで送信した場合のコードは ( 1000 0000 ) です。したがって、生成多項式 $X^{16} + X^{12} + X^5 + 1$ でのCRCコードは、モジュロ2の演算法則を用いて ( 1000 0000 )  $X^{16}$ を ( 1 0001 0000 0010 0001 ) で除算をした場合の剰余となります。

モジュロ2の演算とは次の法則に基づいた演算です。

- 0 + 0 = 0
- 0 + 1 = 1
- 1 + 0 = 1
- 1 + 1 = 0
- 1 = 1



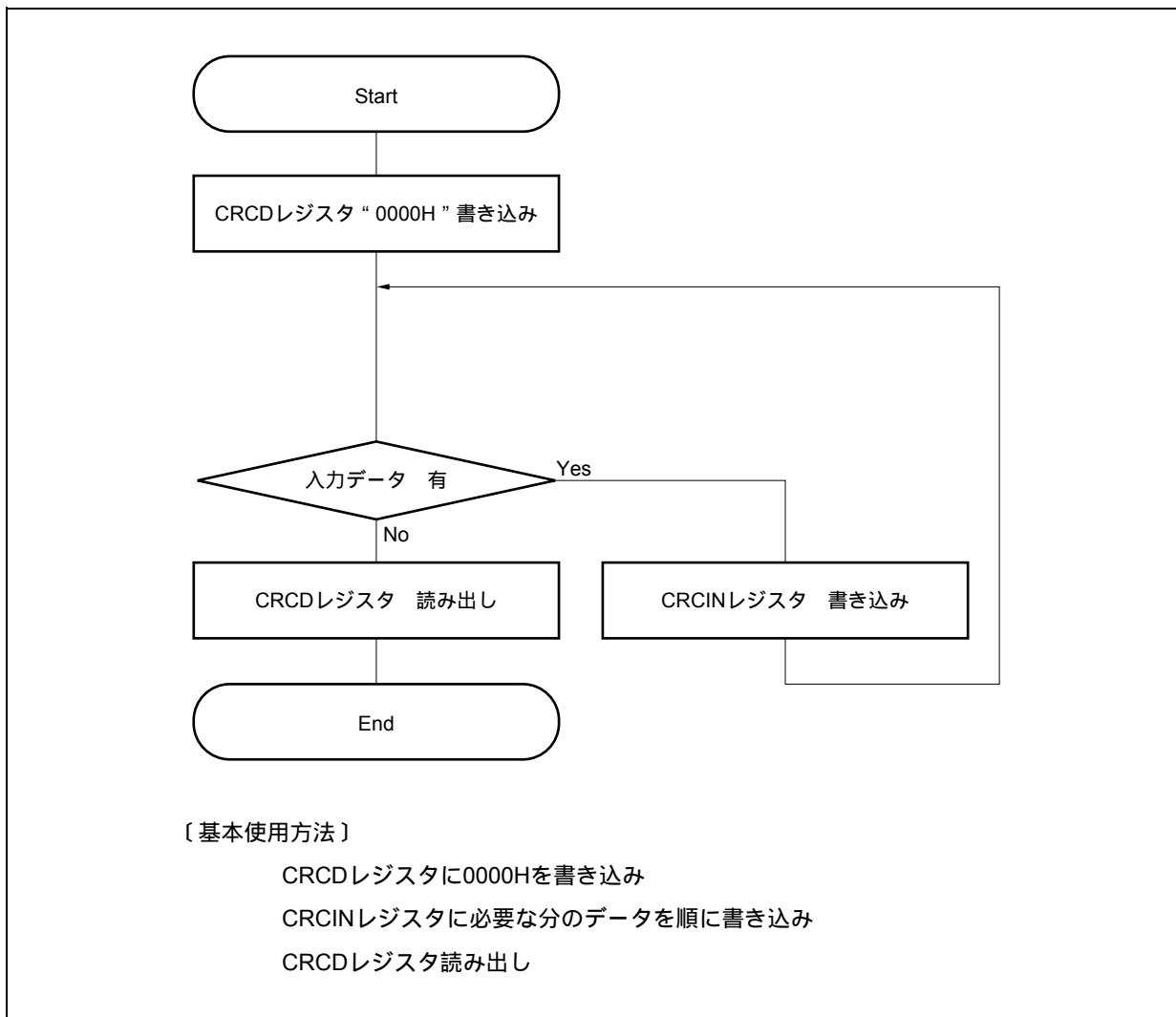
したがって、CRC符号は  $\overline{9}$   $\overline{8}$   $\overline{1}$   $\overline{1}$  となります。LSBファーストなので16進数表記では、1189Hに相当します。



## 23.5 使用方法

次にCRC論理回路の使用方法について説明します。

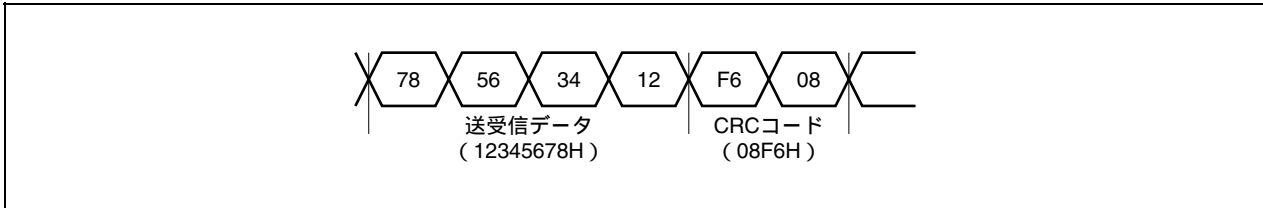
図23 - 3 CRC動作フロー



複数バイトのデータを送受信する際、送受信データとともに、CRCコードを送受信すると、通信エラーを容易に検出できます。

次に12345678H (0001 0010 0011 0100 0101 0110 0111 1000B) をLSBファーストで送信する場合の例について示します。

図23 - 4 CRC送信例



#### 送信側の設定手順

CRCDレジスタに、初期値“0000H”を書き込む

最初に送信する1バイト・データを、送信バッファ・レジスタに書き込む（このとき、CRCINレジスタにも同じデータを書き込む）

複数バイトのデータを送信する場合は、送信データを送信バッファ・レジスタに書き込むたびに、同じデータをCRCINレジスタに書き込む

すべてのデータを送信したあと、CRCDレジスタの内容（CRCコード）を送信バッファ・レジスタに書き込み、送信する（LSBファーストなので、下位バイト、上位バイトの順に送信する）

#### 受信側の設定手順

CRCDレジスタに、初期値“0000H”を書き込む

最初の1バイト・データの受信完了後、その受信データを、CRCINレジスタに書き込む

複数バイトのデータを受信する場合は、受信完了のたびに、その受信データをCRCINレジスタに書き込む（正常に受信している場合、すべての受信データをCRCINレジスタに書き込んだ時点で、受信側のCRCDレジスタの内容と送信側のCRCDレジスタの内容は同一になる）

このあと、送信側からはCRCコードが送信されるので、受信データと同様に、CRCINレジスタに書き込む

CRCコードを含めて、すべての受信が完了した時点で、CRCDレジスタの内容が“0000H”であれば、正常受信。CRCDレジスタの内容は“0000H”以外の値の場合は、通信エラーであるため、送信側へ再送要求を行う

## 第24章 割り込み / 例外処理機能

V850E/SJ3-H, V850E/SK3-Hは、割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し、合計100/104/106/108/110/114要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850E/SJ3-H, V850E/SK3-Hでは、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求信号を処理できます。さらに、TRAP命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

### 24.1 特 徴

#### 割り込み

- ・ノンマスクブル割り込み : 2要因
- ・マスクブル割り込み : 外部10本, 内部88/92/94/96/98/102要因 (表1 - 1参照)
- ・8レベルのプログラマブル優先順位制御 (マスクブル割り込み)
- ・優先順位に従った割り込み多重処理制御
- ・個々のマスクブル割り込み要求に対するマスク指定
- ・外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

#### 例外

- ・ソフトウェア例外 : 32要因
- ・例外トラップ : 2要因 (不正命令コード例外, デバッグ・トラップ)

これらの割り込み / 例外要因を表24 - 1に示します。

表24 - 1 割り込み要因一覧 (1/5)

種類	分類	デフォルト・ 優先リティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
リセット	割り込み	-	RESET	RESET端子入力/ 内部要因からのリセッ ト入力	RESET	0000H	00000000H	不定	-
ノンマス カブル	割り込み	-	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	nextPC	-
		-	INTWDT2	WDT2のオーバフロー	WDT2	0020H	00000020H	注1	-
ソフトウ エア例外	例外	-	TRAP0n <sup>注2</sup>	TRAP命令	-	004nH <sup>注2</sup>	00000040H	nextPC	-
		-	TRAP1n <sup>注2</sup>	TRAP命令	-	005nH <sup>注2</sup>	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP/ DBG0	不正命令コード/ DBTRAP命令	-	0060H	00000060H	nextPC	-
マスカブル	割り込み	0	INTLVI	低電圧検出	POCLVI	0080H	00000080H	nextPC	LVIIC
		1	INTP0	外部割り込み端子入力 エッジ検出 (INTP0)	端子	0090H	00000090H	nextPC	PIC0
		2	INTP1	外部割り込み端子入力 エッジ検出 (INTP1)	端子	00A0H	000000A0H	nextPC	PIC1
		3	INTP2	外部割り込み端子入力 エッジ検出 (INTP2)	端子	00B0H	000000B0H	nextPC	PIC2
		4	INTP3	外部割り込み端子入力 エッジ検出 (INTP3)	端子	00C0H	000000C0H	nextPC	PIC3
		5	INTP4	外部割り込み端子入力 エッジ検出 (INTP4)	端子	00D0H	000000D0H	nextPC	PIC4
		6	INTP5	外部割り込み端子入力 エッジ検出 (INTP5)	端子	00E0H	000000E0H	nextPC	PIC5
		7	INTP6	外部割り込み端子入力 エッジ検出 (INTP6)	端子	00F0H	000000F0H	nextPC	PIC6
		8	INTP7	外部割り込み端子入力 エッジ検出 (INTP7)	端子	0100H	00000100H	nextPC	PIC7
		9	INTTQ0OV	TMQ0オーバフロー	TMQ0	0110H	00000110H	nextPC	TQ0OVIC
		10	INTTQ0CC0	TMQ0キャプチャ0/ コンペア0一致	TMQ0	0120H	00000120H	nextPC	TQ0CCIC0
		11	INTTQ0CC1	TMQ0キャプチャ1/ コンペア1一致	TMQ0	0130H	00000130H	nextPC	TQ0CCIC1
		12	INTTQ0CC2	TMQ0キャプチャ2/ コンペア2一致	TMQ0	0140H	00000140H	nextPC	TQ0CCIC2
		13	INTTQ0CC3	TMQ0キャプチャ3/ コンペア3一致	TMQ0	0150H	00000150H	nextPC	TQ0CCIC3
		14	INTTP0OV	TMP0オーバフロー	TMP0	0160H	00000160H	nextPC	TP0OVIC
		15	INTTP0CC0	TMP0キャプチャ0/ コンペア0一致	TMP0	0170H	00000170H	nextPC	TP0CCIC0
		16	INTTP0CC1	TMP0キャプチャ1/ コンペア1一致	TMP0	0180H	00000180H	nextPC	TP0CCIC1
17	INTTP1OV	TMP1オーバフロー	TMP1	0190H	00000190H	nextPC	TP1OVIC		

注1. INTWDT2の場合の復帰については24. 2. 2 (2) INTWDT2信号の場合を参照してください。

2. nは0-FHの値

表24 - 1 割り込み要因一覧 (2/5)

種 類	分 類	デフォルト・ 優先度	名 称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスカブル	割り込み	18	INTTP1CC0	TMP1キャプチャ0 / コンペア0一致	TMP1	01A0H	000001A0H	nextPC	TP1CCIC0
		19	INTTP1CC1	TMP1キャプチャ1 / コンペア1一致	TMP1	01B0H	000001B0H	nextPC	TP1CCIC1
		20	INTTP2OV	TMP2オーバフロー	TMP2	01C0H	000001C0H	nextPC	TP2OVIC
		21	INTTP2CC0	TMP2キャプチャ0 / コンペア0一致	TMP2	01D0H	000001D0H	nextPC	TP2CCIC0
		22	INTTP2CC1	TMP2キャプチャ1 / コンペア1一致	TMP2	01E0H	000001E0H	nextPC	TP2CCIC1
		23	INTTP3OV	TMP3オーバフロー	TMP3	01F0H	000001F0H	nextPC	TP3OVIC
		24	INTTP3CC0	TMP3キャプチャ0 / コンペア0一致	TMP3	0200H	00000200H	nextPC	TP3CCIC0
		25	INTTP3CC1	TMP3キャプチャ1 / コンペア1一致	TMP3	0210H	00000210H	nextPC	TP3CCIC1
		26	INTTP4OV	TMP4オーバフロー	TMP4	0220H	00000220H	nextPC	TP4OVIC
		27	INTTP4CC0	TMP4キャプチャ0 / コンペア0一致	TMP4	0230H	00000230H	nextPC	TP4CCIC0
		28	INTTP4CC1	TMP4キャプチャ1 / コンペア1一致	TMP4	0240H	00000240H	nextPC	TP4CCIC1
		29	INTTP5OV	TMP5オーバフロー	TMP5	0250H	00000250H	nextPC	TP5OVIC
		30	INTTP5CC0	TMP5キャプチャ0 / コンペア0一致	TMP5	0260H	00000260H	nextPC	TP5CCIC0
		31	INTTP5CC1	TMP5キャプチャ1 / コンペア1一致	TMP5	0270H	00000270H	nextPC	TP5CCIC1
		32	INTTM0EQ0	TMM0コンペア一致	TMM0	0280H	00000280H	nextPC	TM0EQIC0
		33	INTCB0R/ INTIIC1	CSIB0の受信完了 / CSIB0の受信エラー / I <sup>2</sup> C01の転送終了	CSIB0 / I <sup>2</sup> C01	0290H	00000290H	nextPC	CB0RIC/ IICIC1
		34	INTCB0T	CSIB0の連続送信書き 込み許可	CSIB0	02A0H	000002A0H	nextPC	CB0TIC
		35	INTCB1R	CSIB1の受信完了 / CSIB1の受信エラー	CSIB1	02B0H	000002B0H	nextPC	CB1RIC
		36	INTCB1T	CSIB1の連続送信書き 込み許可	CSIB1	02C0H	000002C0H	nextPC	CB1TIC
		37	INTCB2R	CSIB2の受信完了 / CSIB2の受信エラー	CSIB2	02D0H	000002D0H	nextPC	CB2RIC
38	INTCB2T	CSIB2の連続送信書き 込み許可	CSIB2	02E0H	000002E0H	nextPC	CB2TIC		
39	INTCB3R	CSIB3の受信完了 / CSIB3の受信エラー	CSIB3	02F0H	000002F0H	nextPC	CB3RIC		
40	INTCB3T	CSIB3の連続送信書き 込み許可	CSIB3	0300H	00000300H	nextPC	CB3TIC		

表24 - 1 割り込み要因一覧 (3/5)

種類	分類	デフォルト・ 優先リティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスカブル	割り込み	41	INTUA0R/ INTCB4R	UARTA0の受信完了/ UARTA0受信エラー/ CSIB4の受信完了/ CSIB4の受信エラー	UARTA0 /CSIB4	0310H	00000310H	nextPC	UA0RIC/ CB4RIC
		42	INTUA0T/ INTCB4T	UARTA0の連続送信許 可 / CSIB4の連続送信 書き込み許可	UARTA0 /CSIB4	0320H	00000320H	nextPC	UA0TIC/ CB4TIC
		43	INTUA1R	UARTA1の受信完了/ UARTA1受信エラー	UARTA1	0330H	00000330H	nextPC	UA1RIC
		44	INTUA1T	UARTA1の連続送信許可	UARTA1	0340H	00000340H	nextPC	UA1TIC
		45	INTUA2R	UARTA2の受信完了/ UARTA2受信エラー	UARTA2	0350H	00000350H	nextPC	UA2RIC
		46	INTUA2T	UARTA2の連続送信許可	UARTA2	0360H	00000360H	nextPC	UA2TIC
		47	INTAD	A/D変換終了	A/D	0370H	00000370H	nextPC	ADIC
		48	INTDMA0	DMA0転送終了	DMA	0380H	00000380H	nextPC	DMAIC0
		49	INTDMA1	DMA1転送終了	DMA	0390H	00000390H	nextPC	DMAIC1
		50	INTDMA2	DMA2転送終了	DMA	03A0H	000003A0H	nextPC	DMAIC2
		51	INTDMA3	DMA3転送終了	DMA	03B0H	000003B0H	nextPC	DMAIC3
		52	INTKR	キー・リターン割り込み	KR	03C0H	000003C0H	nextPC	KRIC
		53	INTWTI	時計タイマのインターバル	WT	03D0H	000003D0H	nextPC	WTIIC
		54	INTWT	時計タイマの基準時間	WT	03E0H	000003E0H	nextPC	WTIC
		55	INTC0ERR <sup>注1</sup>	AFCAN0エラー	AFCAN0	03F0H	000003F0H	nextPC	ERRIC0
		56	INTC0WUP <sup>注1</sup>	AFCAN0ウエイク・アップ	AFCAN0	0400H	00000400H	nextPC	WUPIC0
		57	INTC0REC <sup>注1</sup>	AFCAN0受信	AFCAN0	0410H	00000410H	nextPC	RECIC0
		58	INTC0TRX <sup>注1</sup>	AFCAN0送信	AFCAN0	0420H	00000420H	nextPC	TRXIC0
		59	INTC1ERR <sup>注2</sup>	AFCAN1エラー	AFCAN1	0430H	00000430H	nextPC	ERRIC1
		60	INTC1WUP <sup>注2</sup>	AFCAN1ウエイク・アップ	AFCAN1	0440H	00000440H	nextPC	WUPIC1
		61	INTC1REC <sup>注2</sup>	AFCAN1受信	AFCAN1	0450H	00000450H	nextPC	RECIC1
		62	INTC1TRX <sup>注2</sup>	AFCAN1送信	AFCAN1	0460H	00000460H	nextPC	TRXIC1
		63	INTP8	外部割り込み端子入力 エッジ検出 (INTP8)	端子	0470H	00000470H	nextPC	PIC8
		64	INTTP6OV	TMP6オーバフロー	TMP6	0480H	00000480H	nextPC	TP6OVIC
		65	INTTP6CC0	TMP6キャプチャ0/ コンペア0一致	TMP6	0490H	00000490H	nextPC	TP6CCIC0
		66	INTTP6CC1	TMP6キャプチャ1/ コンペア1一致	TMP6	04A0H	000004A0H	nextPC	TP6CCIC1
		67	INTTP7OV	TMP7オーバフロー	TMP7	04B0H	000004B0H	nextPC	TP7OVIC
		68	INTTP7CC0	TMP7キャプチャ0/ コンペア0一致	TMP7	04C0H	000004C0H	nextPC	TP7CCIC0
		69	INTTP7CC1	TMP7キャプチャ1/ コンペア1一致	TMP7	04D0H	000004D0H	nextPC	TP7CCIC1

注1. CANコントローラ内蔵品のみ

2. CANコントローラ (2チャンネル) 内蔵品のみ

表24 - 1 割り込み要因一覧 (4/5)

種類	分類	デフォルト・ 優先リティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスカブル	割り込み	70	INTTP8OV	TMP8オーバフロー	TMP8	04E0H	000004E0H	nextPC	TP8OVIC
		71	INTTP8CC0	TMP8キャプチャ0 / コンペア0一致	TMP8	04F0H	000004F0H	nextPC	TP8CCIC0
		72	INTTP8CC1	TMP8キャプチャ1 / コンペア1一致	TMP8	0500H	00000500H	nextPC	TP8CCIC1
		73	INTCB5R	CSIB5の受信完了 / CSIB5の受信エラー	CSIB5	0510H	00000510H	nextPC	CB5RIC
		74	INTCB5T	CSIB5の連続送信書き 込み許可	CSIB5	0520H	00000520H	nextPC	CB5TIC
		75	INTUA3R	UARTA3の受信完了 / UARTA3受信エラー	UARTA3	0530H	00000530H	nextPC	UA3RIC
		76	INTUA3T	UARTA3の連続送信許 可	UARTA3	0540H	00000540H	nextPC	UA3TIC
		80	INTUA4R	UARTA4の受信完了 / UARTA4受信エラー	UARTA4	0580H	00000580H	nextPC	UA4RIC
		81	INTUA4T	UARTA4の連続送信許 可	UARTA4	0590H	00000590H	nextPC	UA4TIC
		82	INTIIC3	I <sup>2</sup> C03の転送終了	I <sup>2</sup> C03	05A0H	000005A0H	nextPC	IICIC3
		83	INTIIC0	I <sup>2</sup> C00の転送終了	I <sup>2</sup> C00	05B0H	000005B0H	nextPC	IICIC0
		84	INTIIC2	I <sup>2</sup> C02の転送終了	I <sup>2</sup> C02	05C0H	000005C0H	nextPC	IICIC2
		85	INTIIC4 <sup>注</sup>	I <sup>2</sup> C04の転送終了	I <sup>2</sup> C04	05D0H	000005D0H	nextPC	IICIC4
		86	INTIIC5 <sup>注</sup>	I <sup>2</sup> C05の転送終了	I <sup>2</sup> C05	05E0H	000005E0H	nextPC	IICIC5
		87	INTP9	外部割り込み端子入力 エッジ検出 (INTP9)	端子	05F0H	000005F0H	nextPC	PIC9
		88	INTTP7IEC	TMP7エンコーダ・クリア	TMP7	0600H	00000600H	nextPC	TP7IECIC
		89	INTTP8IEC	TMP8エンコーダ・クリア	TMP8	0610H	00000610H	nextPC	TP8IECIC
		90	INTTM1EQ0	TMM1コンペア一致	TMM1	0620H	00000620H	nextPC	TM1EQIC0
		91	INTTM2EQ0	TMM2コンペア一致	TMM2	0630H	00000630H	nextPC	TM2EQIC0
		92	INTCE0T <sup>注</sup>	CSIE0送受信完了	CSIE0	0640H	00000640H	nextPC	CE0TIC
		93	INTCE0TIOF <sup>注</sup>	CSIE0BUFオーバフロー	CSIE0	0650H	00000650H	nextPC	CE0TIOFIC
		94	INTCE1T <sup>注</sup>	CSIE1送受信完了	CSIE1	0660H	00000660H	nextPC	CE1TIC
		95	INTCE1TIOF <sup>注</sup>	CSIE1BUFオーバフロー	CSIE1	0670H	00000670H	nextPC	CE1TIOFIC
		96	INTUB0TIR	UARTB0受信完了	UARTB0	0680H	00000680H	nextPC	UB0TIRIC
		97	INTUB0TIT	UARTB0送信許可	UARTB0	0690H	00000690H	nextPC	UB0TITIC
		98	INTUB0TIF	UARTB0 FIFO送信完了	UARTB0	06A0H	000006A0H	nextPC	UB0TIFIC
		99	INTUB0TIRE	UARTB0受信エラー	UARTB0	06B0H	000006B0H	nextPC	UB0TIREIC
		100	INTUB0TITO	UARTB0受信タイムア ウト	UARTB0	06C0H	000006C0H	nextPC	UB0TITOIC
		101	INTUB1TIR	UARTB1受信完了	UARTB1	06D0H	000006D0H	nextPC	UB1TIRIC
		102	INTUB1TIT	UARTB1送信許可	UARTB1	06E0H	000006E0H	nextPC	UB1TITIC
		103	INTUB1TIF	UARTB1 FIFO送信完了	UARTB1	06F0H	000006F0H	nextPC	UB1TIFIC
		104	INTUB1TIRE	UARTB1受信エラー	UARTB1	0700H	00000700H	nextPC	UB1TIREIC

注  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

表24 - 1 割り込み要因一覧 (5/5)

種類	分類	デフォルト・ プライオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスカブル	割り込み	105	INTUB1TITO	UARTB1受信タイムアウト	UARTB1	0710H	00000710H	nextPC	UB1TITOIC
		106	INTUA5R	UARTA5の受信完了 / UARTA5受信エラー	UARTA5	0720H	00000720H	nextPC	UA5RIC
		107	INTUA5T	UARTA5の連続送信許可	UARTA5	0730H	00000730H	nextPC	UA5TIC
		108	INTERR	IEBusエラー	IEBus	0740H	00000740H	nextPC	ERRIC
		109	INTSTA	IEBusステータス	IEBus	0750H	00000750H	nextPC	STAIC
		110	INTIE1	IEBusデータ割り込み	IEBus	0760H	00000760H	nextPC	IEIC1
		111	INTIE2	IEBusエラー / IEBusステータス	IEBus	0770H	00000770H	nextPC	IEIC2
		112	INTRTC0	RTC定周期信号	RTC	0780H	00000780H	nextPC	RTC0IC
		113	INTRTC1	RTCアラーム一致	RTC	0790H	00000790H	nextPC	RTC1IC
		114	INTRTC2	RTCインターバル信号	RTC	07A0H	000007A0H	nextPC	RTC2IC

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

ノンマスカブル割り込みの優先順位は、INTWDT2 > NMIとなります。

復帰PC：割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお、次の命令実行中にノンマスカブル / マスカブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます）。

- ・ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- ・除算命令（DIV, DIVH, DIVU, DIVHU）
- ・PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、（復帰PC - 4）で求められます。



## 24.2 ノンマスクابل割り込み

ノンマスクابل割り込み要求信号は、CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求信号に対して最優先されます。

この製品のノンマスクابل割り込み要求信号には、次の2つがあります。

- ・ NMI端子入力（NMI）
- ・ ウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込み要求信号（INTWDT2）

NMI端子の有効エッジは、“立ち上がりエッジ”、“立ち下がりエッジ”、“両エッジ”、“エッジ検出なし”の4種類から選択できます。

ウォッチドッグ・タイマ2のオーバフローによるノンマスクابل割り込み要求信号（INTWDT2）はWDTM2.WDM21, WDM20ビットを“01”と設定することで機能します。

複数のノンマスクابل割り込み要求信号が重なって発生した場合は、次の優先順位に従って順位の高い処理が実行されます（優先順位の低い割り込み要求信号は無視されます）。

INTWDT2 > NMI

なお、NMI処理中に、新たにNMI, INTWDT2要求信号が発生した場合は次のような処理を行います。

### （1）NMI処理中に、新たにNMI要求信号が発生した場合

PSW.NPビットの値によらず、新たなNMI要求信号は保留されます。保留されたNMI要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

### （2）NMI処理中に、新たにINTWDT2要求信号が発生した場合

NMI処理中にNPビットがセット（1）されたままであれば、新たなINTWDT2要求信号は保留されます。保留されたINTWDT2要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

NMI処理中にNPビットをクリア（0）すれば、新たに発生したINTWDT2要求信号が実行されます（NMI処理は中断されます）。

**注意** ノンマスクابل割り込み要求信号（INTWDT2）によるノンマスクابل割り込み処理については24.2.2（2）INTWDT2信号の場合を参照してください。

図24 - 1 ノンマスクابل割り込み要求信号の受け付け動作 (1/2)

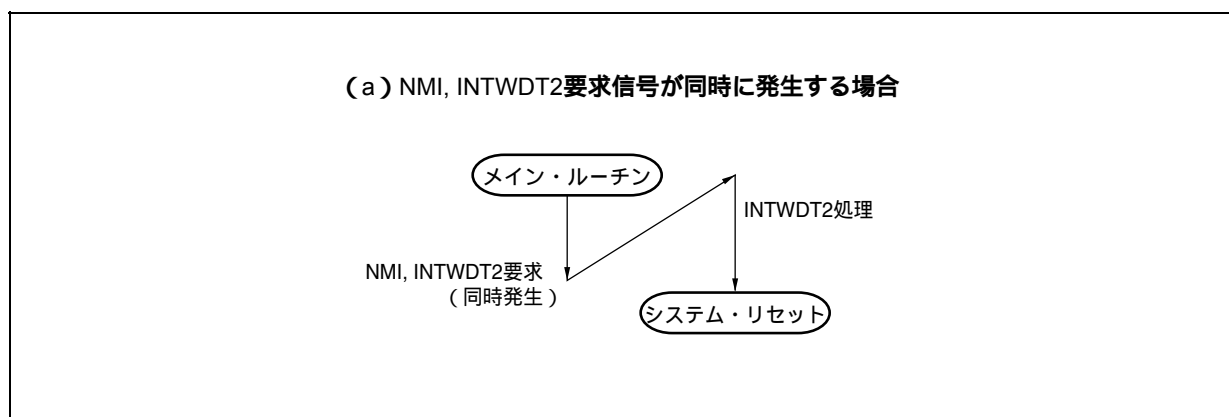
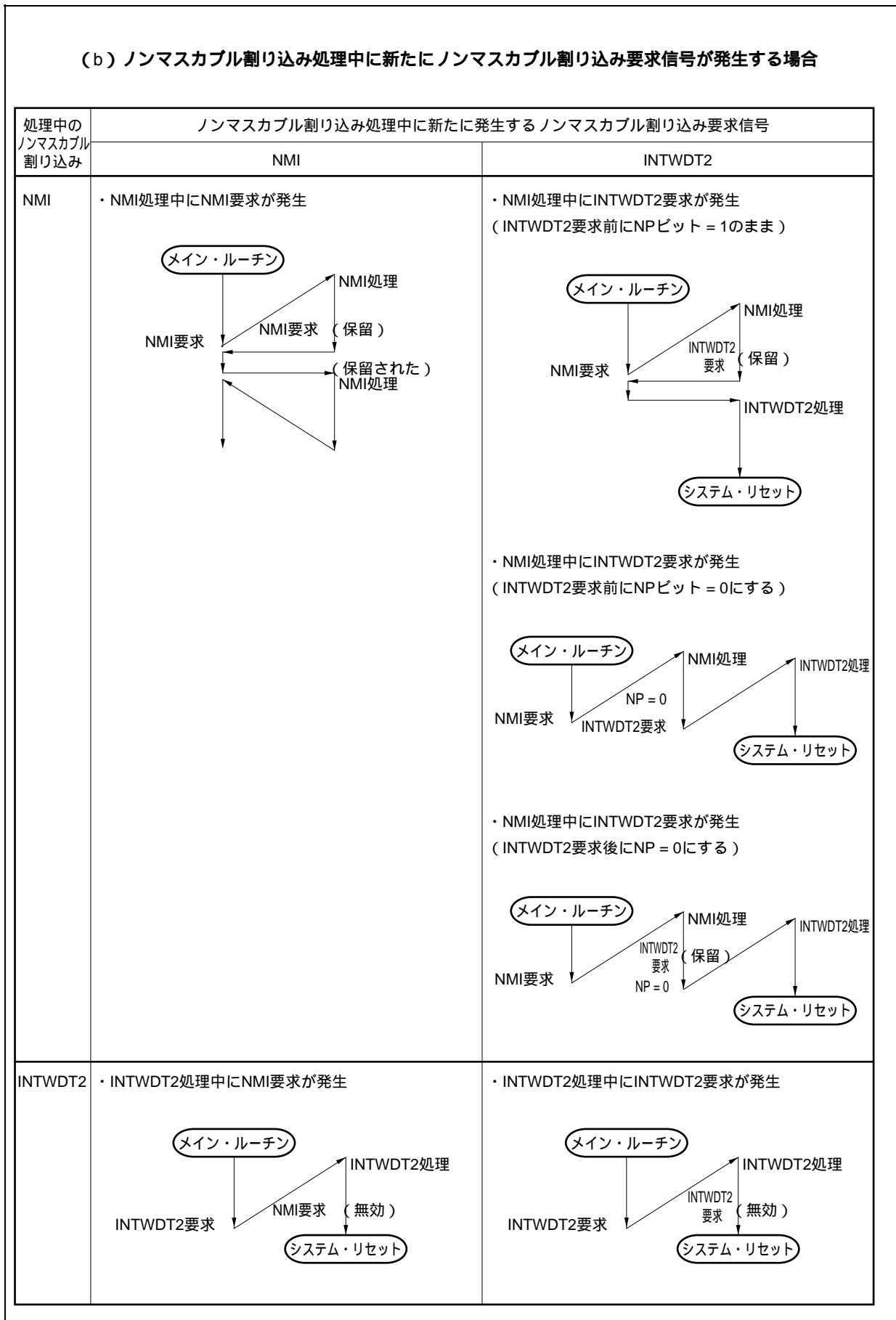


図24 - 1 ノンマスクابل割り込み要求信号の受け付け動作 (2/2)



## 24.2.1 動作

ノンマスクブル割り込み要求信号が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

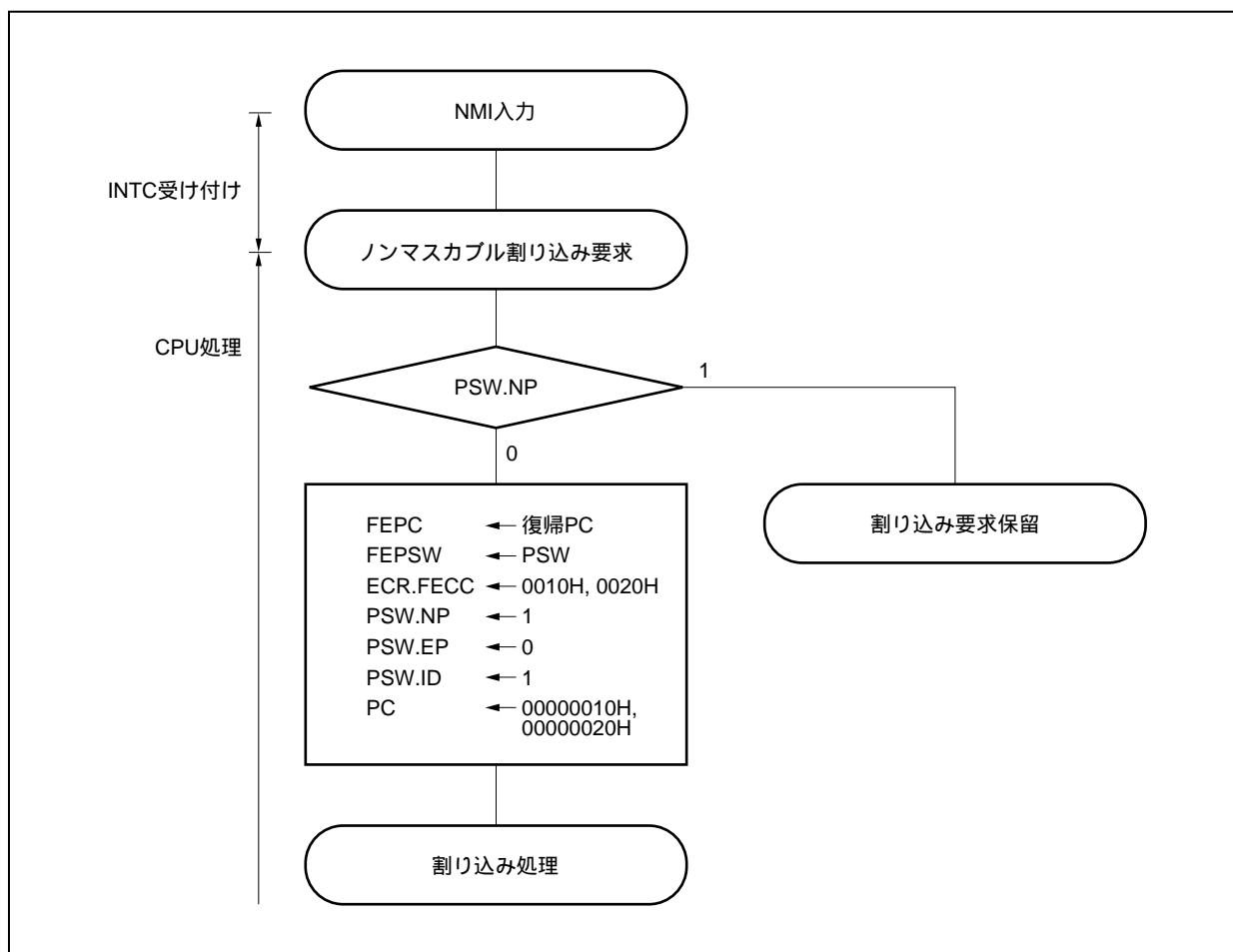
ECRの上位ハーフワード (FECC) に例外コード (0010H, 0020H) を書き込みます。

PSW.NP, IDビットをセット (1) し, PSW.EPビットをクリア (0) します。

PCにノンマスクブル割り込みに対するハンドラ・アドレス (00000010H, 00000020H) をセットし, 制御を移します。

ノンマスクブル割り込みの処理形態を図24 - 2に示します。

図24 - 2 ノンマスクブル割り込みの処理形態



## 24.2.2 復 帰

### (1) NMI端子入力の場合

NMI処理からの復帰は、RETI命令により行います。

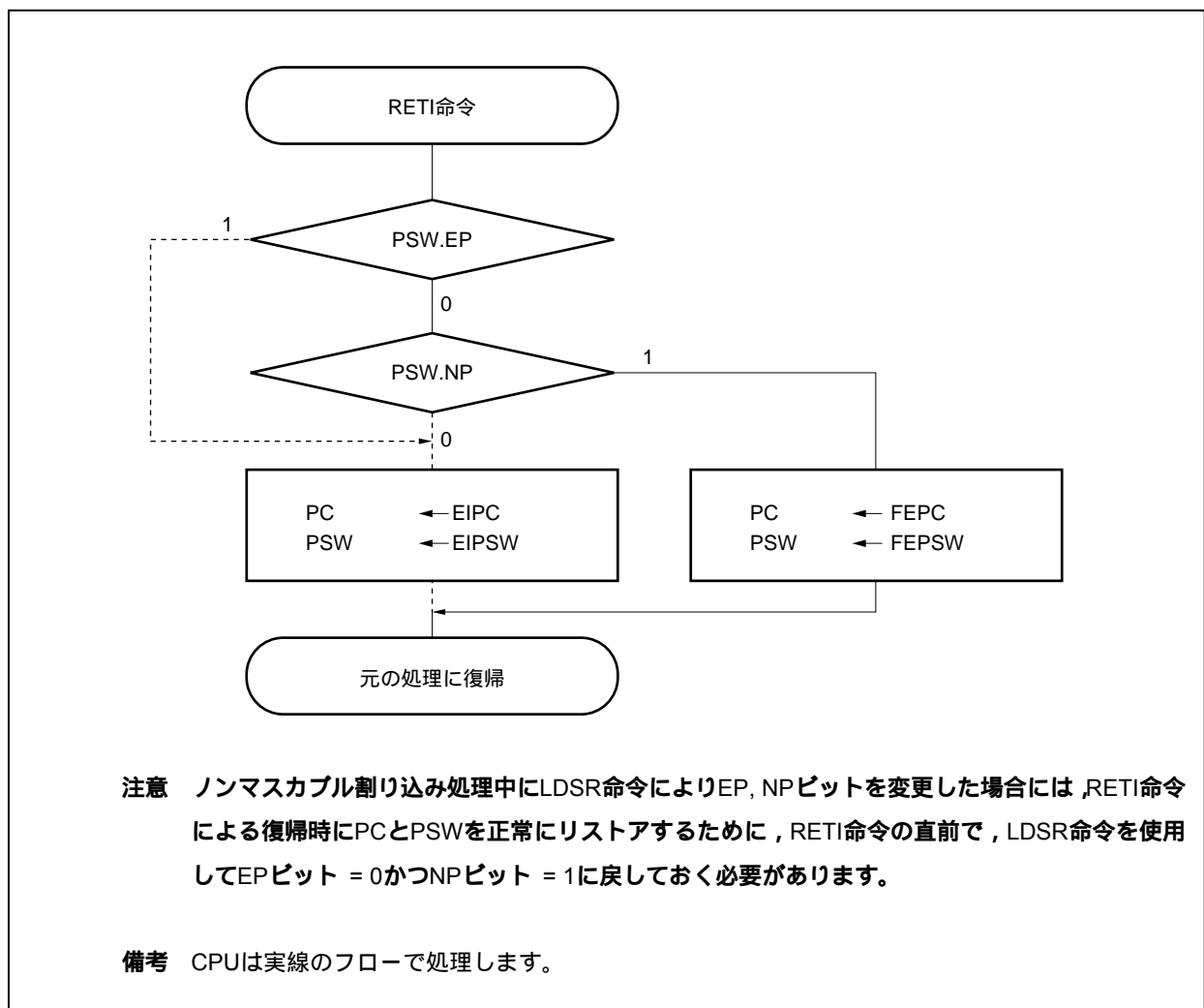
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSW.EPビットが0かつPSW.NPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図24 - 3に示します。

図24 - 3 RETI命令の処理形態

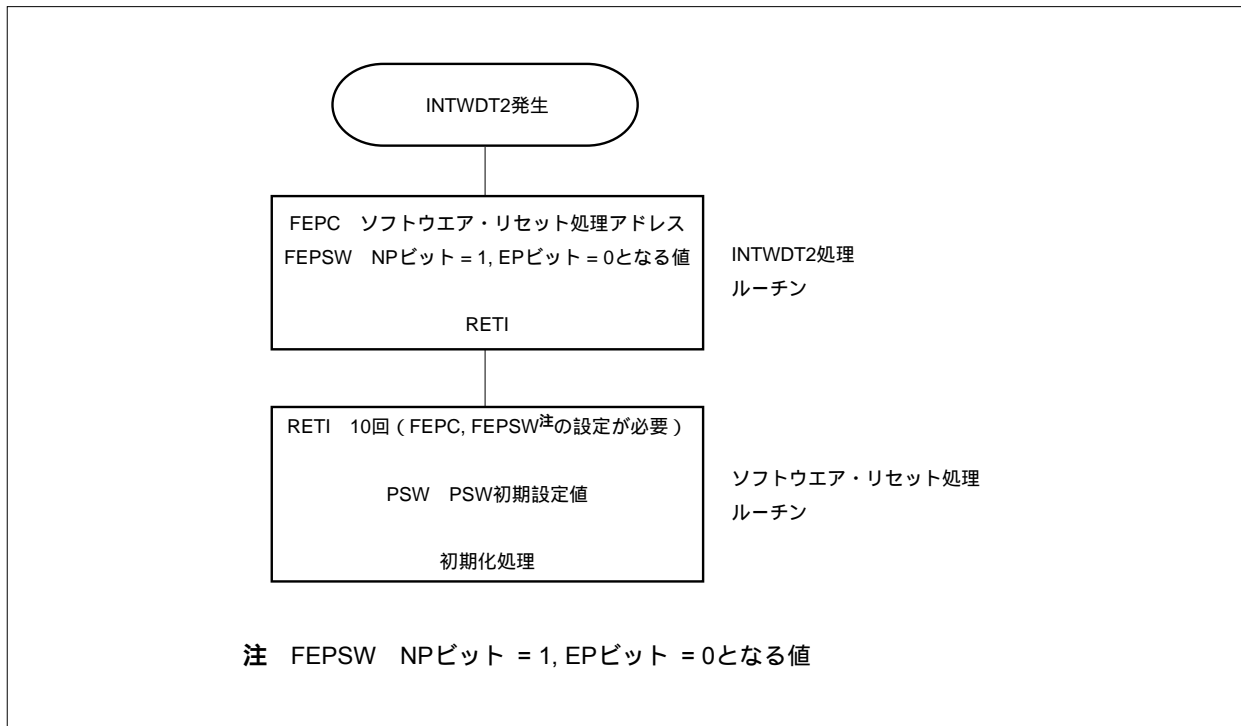


## (2) INTWDT2信号の場合

ノンマスクابل割り込み要求 (INTWDT2) によるノンマスクابل割り込み処理実行後に、RETI命令による復帰はできません。次に示すソフトウェア・リセット処理を実行してください。

ただし、ソフトウェア・リセット処理では、リセット解除後に一度しか設定できないレジスタ (WDTM2 など) を再設定することはできません。これらのレジスタを初期状態に戻すためにはRESET端子入力などのハードウェア・リセットが必要になります。

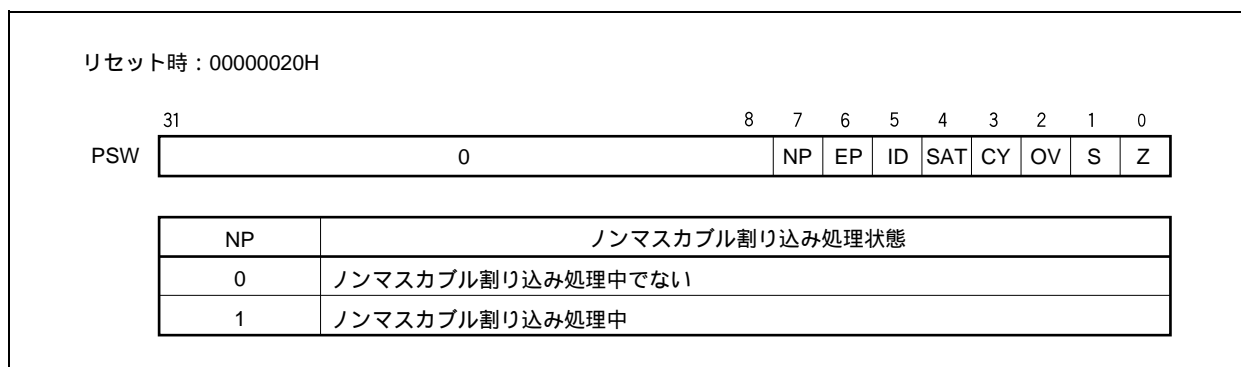
図24 - 4 ソフトウェア・リセット処理



## 24. 2. 3 NPフラグ

NPフラグは、ノンマスクابل割り込みの処理中であることを示すステータス・フラグです。

ノンマスクابل割り込み要求信号を受け付けるとセットされ、ノンマスクابل割り込み要求をマスクして多重割り込みを禁止します。



## 24.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求信号で、98/102/104/106/108/112種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC, EIPSWをメモリ、または汎用レジスタに退避し、RETI命令を実行する前にDIを行って、EIPC, EIPSWを元の値に復帰してください。

### 24.3.1 動作

マスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

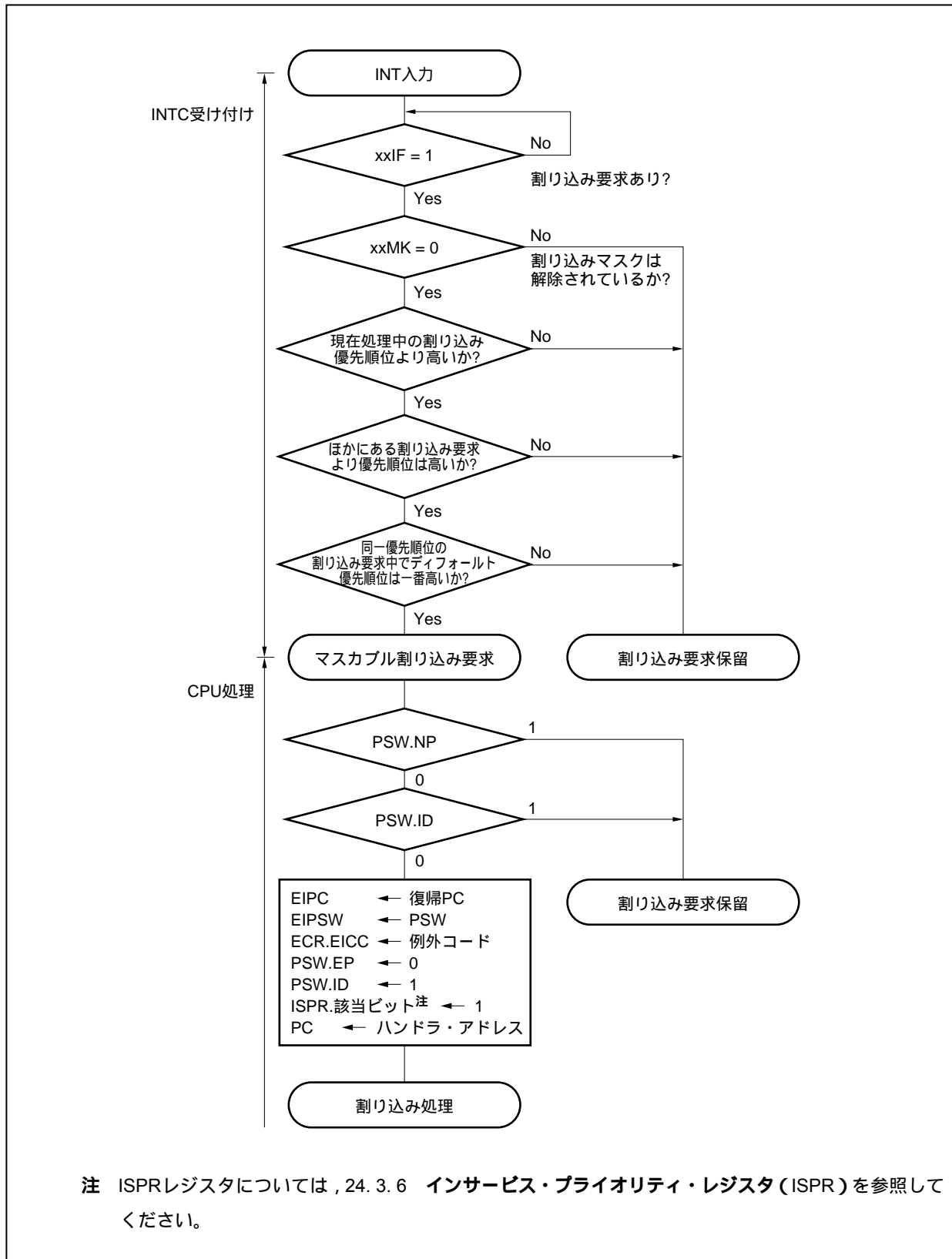
PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、INTCでマスクされているマスカブル割り込み要求信号と、ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してNPビット = 0かつIDビット = 0にすると、保留していたマスカブル割り込み要求信号の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図24 - 5 マスカブル割り込みの処理形態





### 24.3.2 復 帰

マスクブル割り込み処理からの復帰は、RETI命令により行います。

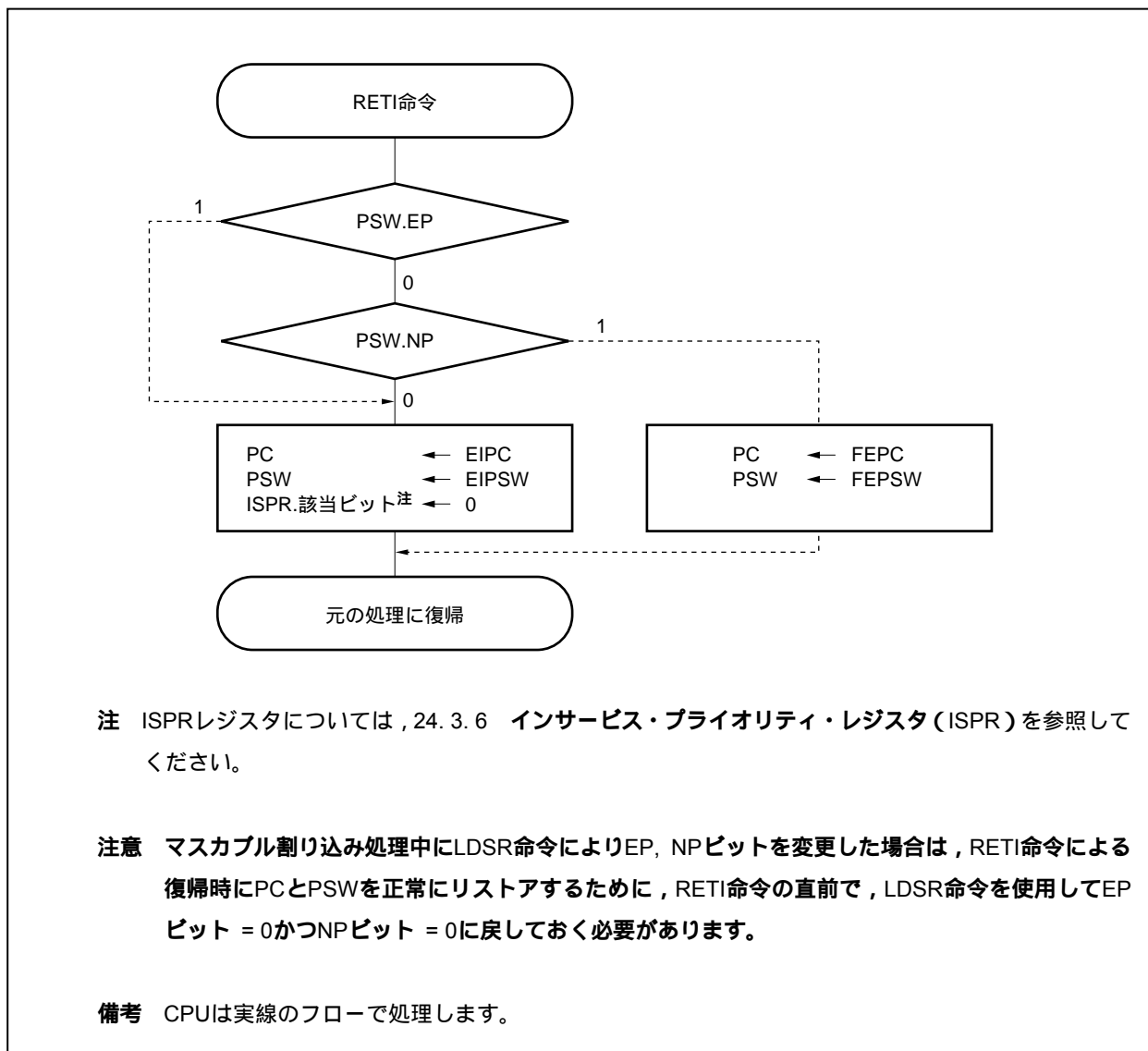
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットが0かつPSW.NPビットが0なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図24 - 6に示します。

図24 - 6 RETI命令の処理形態



### 24.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求信号にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表24-1 割り込み要因一覧参照)。プログラマブル優先順位制御は、各割り込み要求信号を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

**備考** xx : 各周辺ユニット識別名称 (表24-2 割り込み制御レジスタ (xxICn) 参照)

n : 周辺ユニット番号 (表24-2 割り込み制御レジスタ (xxICn) 参照)

図24 - 7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

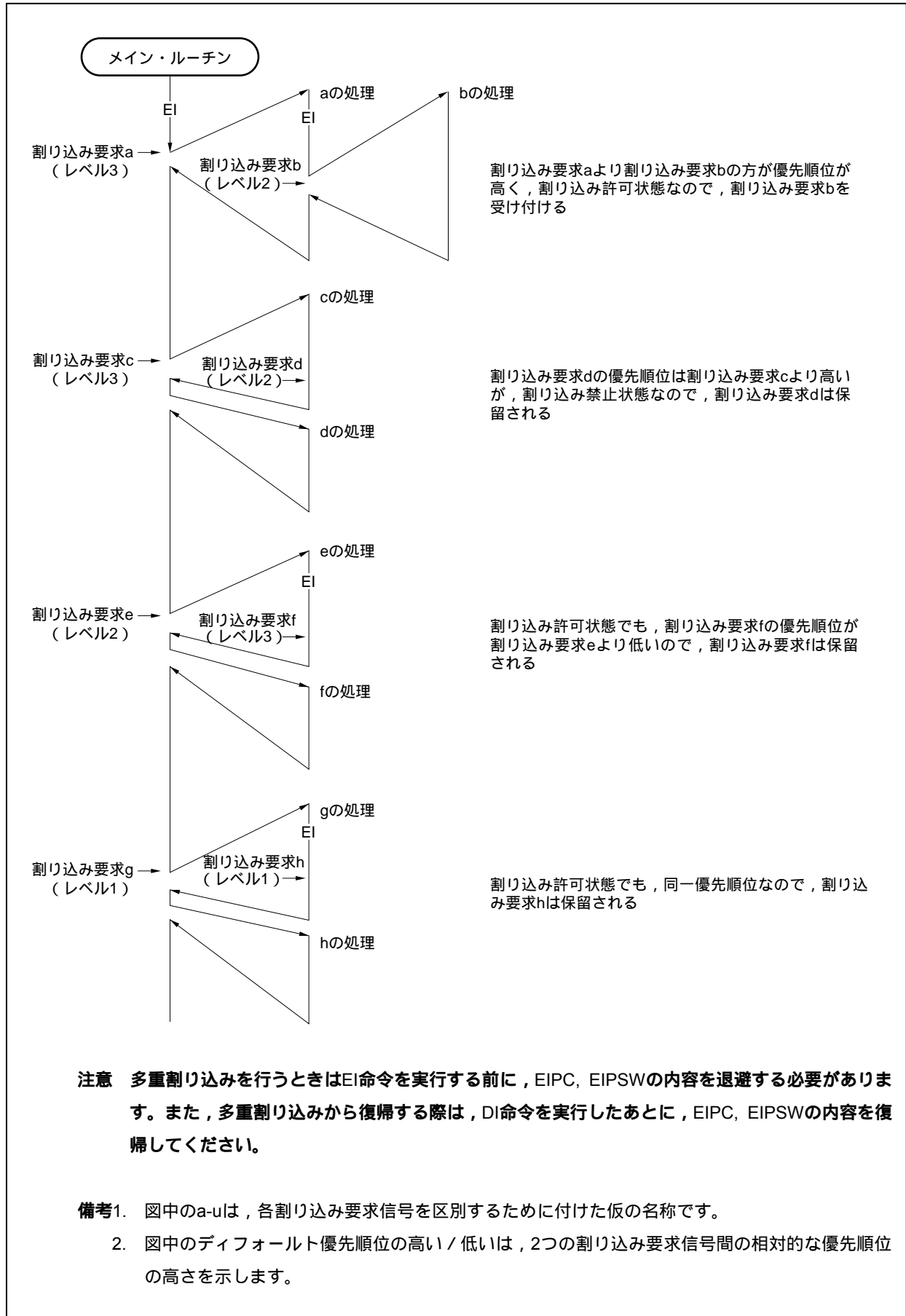


図24 - 7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

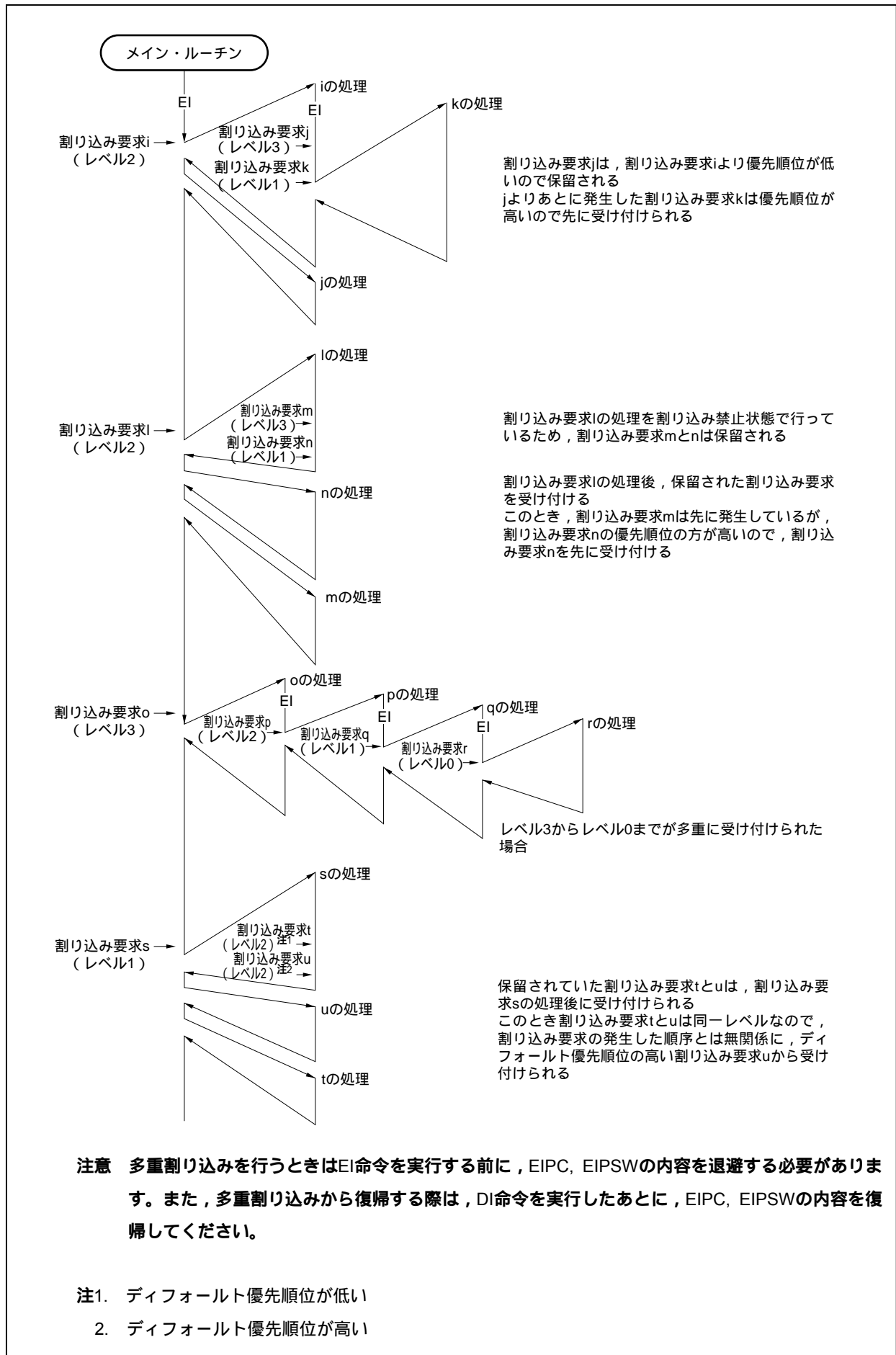
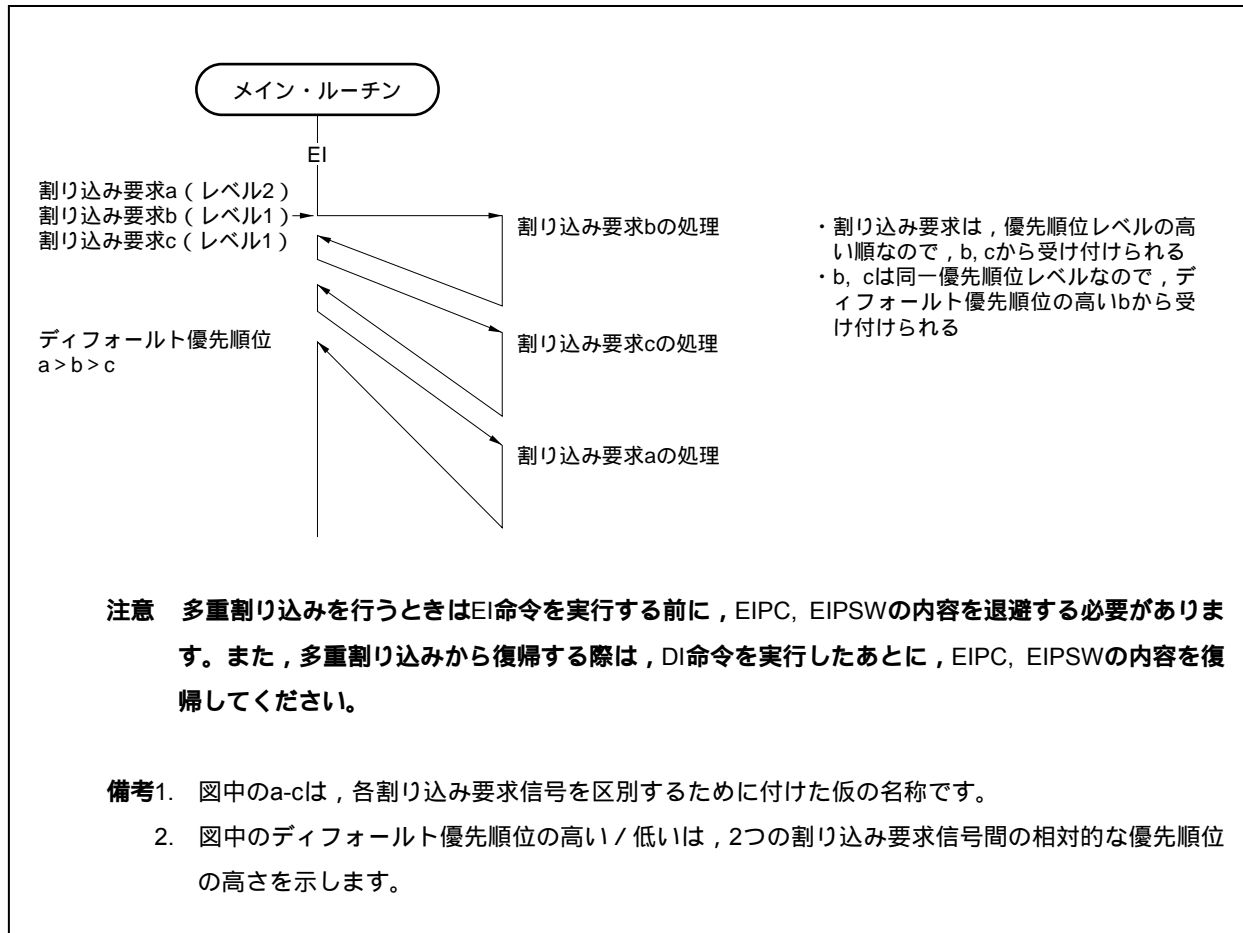


図24 - 8 同時発生した割り込み要求信号の処理例



### 24.3.4 割り込み制御レジスタ (xxICn)

割り込み要求信号 (マスカブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。  
8/1ビット単位でリード/ライト可能です。  
リセットにより47Hになります。

- 注意1. xxICn.xxIFnビットを読み出す場合は, 割り込み禁止 (DI) 状態または割り込みをマスクした状態で行ってください。割り込み許可 (EI) 状態または割り込みマスクを解除した状態でxxIFnビットを読み出すと, 割り込みの受け付けとビットの読み出しのタイミングが競合した場合に, 正常な値が読み出せないことがあります。
2. 割り込み要求が発生する状態 (割り込み禁止 (DI) 状態を含む) でxxICn.xxMKnビットを操作する場合は, 必ずビット操作命令で操作するか, またはIMRm.xxMKn, IMR7L.xxMKnビットで操作してください (m = 0-6)。

リセット時: 47H R/W アドレス: FFFFF110H-FFFFF1F4H

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ <sup>注</sup>
0	割り込み要求信号なし
1	割り込み要求信号あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止 (保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0 (最高位) を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7 (最低位) を指定

注 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされます。

注意 ビット3-5には必ず0を設定してください。

備考 xx : 各周辺ユニット識別名称 (表24-2 割り込み制御レジスタ (xxICn) 参照)  
n : 周辺ユニット番号 (表24-2 割り込み制御レジスタ (xxICn) 参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表24 - 2 割り込み制御レジスタ (xxICn) (1/3)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF110H	LVIIC	LVIIF	LVIMK	0	0	0	LVIPR2	LVIPR1	LVIPR0
FFFFF112H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF114H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF116H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF118H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF11AH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF11CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF11EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF120H	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70
FFFFF122H	TQ0OVIC	TQ0OVIF	TQ0OVMK	0	0	0	TQ0OVPR2	TQ0OVPR1	TQ0OVPR0
FFFFF124H	TQ0CCIC0	TQ0CCIF0	TQ0CCMK0	0	0	0	TQ0CCPR2	TQ0CCPR1	TQ0CCPR0
FFFFF126H	TQ0CCIC1	TQ0CCIF1	TQ0CCMK1	0	0	0	TQ0CCPR12	TQ0CCPR11	TQ0CCPR10
FFFFF128H	TQ0CCIC2	TQ0CCIF2	TQ0CCMK2	0	0	0	TQ0CCPR22	TQ0CCPR21	TQ0CCPR20
FFFFF12AH	TQ0CCIC3	TQ0CCIF3	TQ0CCMK3	0	0	0	TQ0CCPR32	TQ0CCPR31	TQ0CCPR30
FFFFF12CH	TP0OVIC	TP0OVIF	TP0OVMK	0	0	0	TP0OVPR2	TP0OVPR1	TP0OVPR0
FFFFF12EH	TP0CCIC0	TP0CCIF0	TP0CCMK0	0	0	0	TP0CCPR2	TP0CCPR1	TP0CCPR0
FFFFF130H	TP0CCIC1	TP0CCIF1	TP0CCMK1	0	0	0	TP0CCPR12	TP0CCPR11	TP0CCPR10
FFFFF132H	TP1OVIC	TP1OVIF	TP1OVMK	0	0	0	TP1OVPR2	TP1OVPR1	TP1OVPR0
FFFFF134H	TP1CCIC0	TP1CCIF0	TP1CCMK0	0	0	0	TP1CCPR2	TP1CCPR1	TP1CCPR0
FFFFF136H	TP1CCIC1	TP1CCIF1	TP1CCMK1	0	0	0	TP1CCPR12	TP1CCPR11	TP1CCPR10
FFFFF138H	TP2OVIC	TP2OVIF	TP2OVMK	0	0	0	TP2OVPR2	TP2OVPR1	TP2OVPR0
FFFFF13AH	TP2CCIC0	TP2CCIF0	TP2CCMK0	0	0	0	TP2CCPR2	TP2CCPR1	TP2CCPR0
FFFFF13CH	TP2CCIC1	TP2CCIF1	TP2CCMK1	0	0	0	TP2CCPR12	TP2CCPR11	TP2CCPR10
FFFFF13EH	TP3OVIC	TP3OVIF	TP3OVMK	0	0	0	TP3OVPR2	TP3OVPR1	TP3OVPR0
FFFFF140H	TP3CCIC0	TP3CCIF0	TP3CCMK0	0	0	0	TP3CCPR2	TP3CCPR1	TP3CCPR0
FFFFF142H	TP3CCIC1	TP3CCIF1	TP3CCMK1	0	0	0	TP3CCPR12	TP3CCPR11	TP3CCPR10
FFFFF144H	TP4OVIC	TP4OVIF	TP4OVMK	0	0	0	TP4OVPR2	TP4OVPR1	TP4OVPR0
FFFFF146H	TP4CCIC0	TP4CCIF0	TP4CCMK0	0	0	0	TP4CCPR2	TP4CCPR1	TP4CCPR0
FFFFF148H	TP4CCIC1	TP4CCIF1	TP4CCMK1	0	0	0	TP4CCPR12	TP4CCPR11	TP4CCPR10
FFFFF14AH	TP5OVIC	TP5OVIF	TP5OVMK	0	0	0	TP5OVPR2	TP5OVPR1	TP5OVPR0
FFFFF14CH	TP5CCIC0	TP5CCIF0	TP5CCMK0	0	0	0	TP5CCPR2	TP5CCPR1	TP5CCPR0
FFFFF14EH	TP5CCIC1	TP5CCIF1	TP5CCMK1	0	0	0	TP5CCPR12	TP5CCPR11	TP5CCPR10
FFFFF150H	TM0EQIC0	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR2	TM0EQPR1	TM0EQPR0
FFFFF152H	CB0RIC/ IICIC1	CB0RIF/ IICIF1	CB0RMK/ IICMK1	0	0	0	CB0RPR2/ IICPR12	CB0RPR1/ IICPR11	CB0RPR0/ IICPR10
FFFFF154H	CB0TIC	CB0TIF	CB0TMK	0	0	0	CB0TPR2	CB0TPR1	CB0TPR0
FFFFF156H	CB1RIC	CB1RIF	CB1RMK	0	0	0	CB1RPR2	CB1RPR1	CB1RPR0
FFFFF158H	CB1TIC	CB1TIF	CB1TMK	0	0	0	CB1TPR2	CB1TPR1	CB1TPR0
FFFFF15AH	CB2RIC	CB2RIF	CB2RMK	0	0	0	CB2RPR2	CB2RPR1	CB2RPR0
FFFFF15CH	CB2TIC	CB2TIF	CB2TMK	0	0	0	CB2TPR2	CB2TPR1	CB2TPR0
FFFFF15EH	CB3RIC	CB3RIF	CB3RMK	0	0	0	CB3RPR2	CB3RPR1	CB3RPR0
FFFFF160H	CB3TIC	CB3TIF	CB3TMK	0	0	0	CB3TPR2	CB3TPR1	CB3TPR0

表24 - 2 割り込み制御レジスタ (xxICn) (2/3)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFF162H	UA0RIC/ CB4RIC	UA0RIF/ CB4RIF	UA0RMK/ CB4RMK	0	0	0	UA0RPR2/ CB4RPR2	UA0RPR1/ CB4RPR1	UA0RPR0/ CB4RPR0
FFFF164H	UA0TIC/ CB4TIC	UA0TIF/ CB4TIF	UA0TMK/ CB4TMK	0	0	0	UA0TPR2/ CB4TPR2	UA0TPR1/ CB4TPR1	UA0TPR0/ CB4TPR0
FFFF166H	UA1RIC	UA1RIF	UA1RMK	0	0	0	UA1RPR2	UA1RPR1	UA1RPR0
FFFF168H	UA1TIC	UA1TIF	UA1TMK	0	0	0	UA1TPR2	UA1TPR1	UA1TPR0
FFFF16AH	UA2RIC	UA2RIF	UA2RMK	0	0	0	UA2RPR2	UA2RPR1	UA2RPR0
FFFF16CH	UA2TIC	UA2TIF	UA2TMK	0	0	0	UA2TPR2	UA2TPR1	UA2TPR0
FFFF16EH	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0
FFFF170H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFF172H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFF174H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFF176H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFF178H	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0
FFFF17AH	WTIC	WTIF	WTMK	0	0	0	WTIPR2	WTIPR1	WTIPR0
FFFF17CH	WTIC	WTIF	WTMK	0	0	0	WTPR2	WTPR1	WTPR0
FFFF17EH	ERRIC0 <sup>注1</sup>	ERRIF0	ERRMK0	0	0	0	ERRPR02	ERRPR01	ERRPR00
FFFF180H	WUPIC0 <sup>注1</sup>	WUPIF0	WUPMK0	0	0	0	WUPPR02	WUPPR01	WUPPR00
FFFF182H	RECIC0 <sup>注1</sup>	RECIF0	RECMK0	0	0	0	RECPR02	RECPR01	RECPR00
FFFF184H	TRXIC0 <sup>注1</sup>	TRXIF0	TRXMK0	0	0	0	TRXPR02	TRXPR01	TRXPR00
FFFF186H	ERRIC1 <sup>注2</sup>	ERRIF1	ERRMK1	0	0	0	ERRPR12	ERRPR11	ERRPR10
FFFF188H	WUPIC1 <sup>注2</sup>	WUPIF1	WUPMK1	0	0	0	WUPPR12	WUPPR11	WUPPR10
FFFF18AH	RECIC1 <sup>注2</sup>	RECIF1	RECMK1	0	0	0	RECPR12	RECPR11	RECPR10
FFFF18CH	TRXIC1 <sup>注2</sup>	TRXIF1	TRXMK1	0	0	0	TRXPR12	TRXPR11	TRXPR10
FFFF18EH	PIC8	PIF8	PMK8	0	0	0	PPR82	PPR81	PPR80
FFFF190H	TP6OVIC	TP6OVIF	TP6OVMK	0	0	0	TP6OVPR2	TP6OVPR1	TP6OVPR0
FFFF192H	TP6CCIC0	TP6CCIF0	TP6CCMK0	0	0	0	TP6CCPR02	TP6CCPR01	TP6CCPR00
FFFF194H	TP6CCIC1	TP6CCIF1	TP6CCMK1	0	0	0	TP6CCPR12	TP6CCPR11	TP6CCPR10
FFFF196H	TP7OVIC	TP7OVIF	TP7OVMK	0	0	0	TP7OVPR2	TP7OVPR1	TP7OVPR0
FFFF198H	TP7CCIC0	TP7CCIF0	TP7CCMK0	0	0	0	TP7CCPR02	TP7CCPR01	TP7CCPR00
FFFF19AH	TP7CCIC1	TP7CCIF1	TP7CCMK1	0	0	0	TP7CCPR12	TP7CCPR11	TP7CCPR10
FFFF19CH	TP8OVIC	TP8OVIF	TP8OVMK	0	0	0	TP8OVPR2	TP8OVPR1	TP8OVPR0
FFFF19EH	TP8CCIC0	TP8CCIF0	TP8CCMK0	0	0	0	TP8CCPR02	TP8CCPR01	TP8CCPR00
FFFF1A0H	TP8CCIC1	TP8CCIF1	TP8CCMK1	0	0	0	TP8CCPR12	TP8CCPR11	TP8CCPR10
FFFF1A2H	CB5RIC	CB5RIF	CB5RMK	0	0	0	CB5RPR2	CB5RPR1	CB5RPR0
FFFF1A4H	CB5TIC	CB5TIF	CB5TMK	0	0	0	CB5TPR2	CB5TPR1	CB5TPR0
FFFF1A6H	UA3RIC	UA3RIF	UA3RMK	0	0	0	UA3RPR2	UA3RPR1	UA3RPR0
FFFF1A8H	UA3TIC	UA3TIF	UA3TMK	0	0	0	UA3TPR2	UA3TPR1	UA3TPR0

注1. CANコントローラ内蔵品のみ

2. CANコントローラ (2チャンネル) 内蔵品のみ



表24 - 2 割り込み制御レジスタ (xxICn) (3/3)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF1B0H	UA4RIC	UA4RIF	UA4RMK	0	0	0	UA4RPR2	UA4RPR1	UA4RPR0
FFFFF1B2H	UA4TIC	UA4TIF	UA4TMK	0	0	0	UA4TPR2	UA4TPR1	UA4TPR0
FFFFF1B4H	IICIC3	IICIF3	IICMK3	0	0	0	IICPR32	IICPR31	IICPR30
FFFFF1B6H	IICIC0	IICIF0	IICMK0	0	0	0	IICPR02	IICPR01	IICPR00
FFFFF1B8H	IICIC2	IICIF2	IICMK2	0	0	0	IICPR22	IICPR21	IICPR20
FFFFF1BAH	IICIC4 <sup>注</sup>	IICIF4	IICMK4	0	0	0	IICPR42	IICPR41	IICPR40
FFFFF1BCH	IICIC5 <sup>注</sup>	IICIF5	IICMK5	0	0	0	IICPR52	IICPR51	IICPR50
FFFFF1BEH	PIC9	PIF9	PMK9	0	0	0	PPR92	PPR91	PPR90
FFFFF1C0H	TP7IECIC	TP7IECIF	TP7IECMK	0	0	0	TP7IECPR2	TP7IECPR1	TP7IECPR0
FFFFF1C2H	TP8IECIC	TP8IECIF	TP8IECMK	0	0	0	TP8IECPR2	TP8IECPR1	TP8IECPR0
FFFFF1C4H	TM1EQIC0	TM1EQIF0	TM1EQMK0	0	0	0	TM1EQPR02	TM1EQPR01	TM1EQPR00
FFFFF1C6H	TM2EQIC0	TM2EQIF0	TM2EQMK0	0	0	0	TM2EQPR02	TM2EQPR01	TM2EQPR00
FFFFF1C8H	CE0TIC <sup>注</sup>	CE0TIF	CE0TMK	0	0	0	CE0TPR2	CE0TPR1	CE0TPR0
FFFFF1CAH	CE0TIOFIC <sup>注</sup>	CE0TIOFIF	CE0TIOFMK	0	0	0	CE0TIOFPR2	CE0TIOFPR1	CE0TIOFPR0
FFFFF1CCH	CE1TIC <sup>注</sup>	CE1TIF	CE1TMK	0	0	0	CE1TPR2	CE1TPR1	CE1TPR0
FFFFF1CEH	CE1TIOFIC <sup>注</sup>	CE1TIOFIF	CE1TIOFMK	0	0	0	CE1TIOFPR2	CE1TIOFPR1	CE1TIOFPR0
FFFFF1D0H	UB0TIRIC	UB0TIRIF	UB0TIRMK	0	0	0	UB0TIRPR2	UB0TIRPR1	UB0TIRPR0
FFFFF1D2H	UB0TITIC	UB0TITIF	UB0TITMK	0	0	0	UB0TITPR2	UB0TITPR1	UB0TITPR0
FFFFF1D4H	UB0TIFIC	UB0TIFIF	UB0TIFMK	0	0	0	UB0TIFPR2	UB0TIFPR1	UB0TIFPR0
FFFFF1D6H	UB0TIREIC	UB0TIREIF	UB0TIREMK	0	0	0	UB0TIREPR2	UB0TIREPR1	UB0TIREPR0
FFFFF1D8H	UB0TITOIC	UB0TITOIF	UB0TITOMK	0	0	0	UB0TITOPR2	UB0TITOPR1	UB0TITOPR0
FFFFF1DAH	UB1TIRIC	UB1TIRIF	UB1TIRMK	0	0	0	UB1TIRPR2	UB1TIRPR1	UB1TIRPR0
FFFFF1DCH	UB1TITIC	UB1TITIF	UB1TITMK	0	0	0	UB1TITPR2	UB1TITPR1	UB1TITPR0
FFFFF1DEH	UB1TIFIC	UB1TIFIF	UB1TIFMK	0	0	0	UB1TIFPR2	UB1TIFPR1	UB1TIFPR0
FFFFF1E0H	UB1TIREIC	UB1TIREIF	UB1TIREMK	0	0	0	UB1TIREPR2	UB1TIREPR1	UB1TIREPR0
FFFFF1E2H	UB1TITOIC	UB1TITOIF	UB1TITOMK	0	0	0	UB1TITOPR2	UB1TITOPR1	UB1TITOPR0
FFFFF1E4H	UA5RIC	UA5RIF	UA5RMK	0	0	0	UA5RPR2	UA5RPR1	UA5RPR0
FFFFF1E6H	UA5TIC	UA5TIF	UA5TMK	0	0	0	UA5TPR2	UA5TPR1	UA5TPR0
FFFFF1E8H	ERRIC	ERRIF	ERRMK	0	0	0	ERRPR2	ERRPR1	ERRPR0
FFFFF1EAH	STAIC	STAIF	STAMK	0	0	0	STAPR2	STAPR1	STAPR0
FFFFF1ECH	IEIC1	IEIF1	IEMK1	0	0	0	IEPR12	IEPR11	IEPR10
FFFFF1EEH	IEIC2	IEIF2	IEMK2	0	0	0	IEPR22	IEPR21	IEPR20
FFFFF1F0H	RTC0IC	RTC0IF	RTC0MK	0	0	0	RTC0PR2	RTC0PR1	RTC0PR0
FFFFF1F2H	RTC1IC	RTC1IF	RTC1MK	0	0	0	RTC1PR2	RTC1PR1	RTC1PR0
FFFFF1F4H	RTC2IC	RTC2IF	RTC2MK	0	0	0	RTC2PR2	RTC2PR1	RTC2PR0

注  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

### 24. 3. 5 割り込みマスク・レジスタ0-6, 7L (IMR0-IMR6, IMR7L)

マスクブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR6, IMR7LレジスタのxxMKnビットとxxICn.xxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です (m = 0-6)。

IMRmレジスタの上位8ビットをIMRmHレジスタ, 下位8ビットをIMRmLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です (m = 0-6)。

IMR7Lレジスタは、8/1ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

**注意** デバイス・ファイルでは、xxICn.xxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRm, IMR7LレジスタではなくxxICnレジスタを書き換えます (結果としてIMRm, IMR7Lレジスタも書き換わります)。

(1/2)

リセット時: 1FH R/W アドレス: IMR7L FFFFF10EH

	7	6	5	4	3	2	1	0
IMR7L	0	0	0	1	1	RTC2MK	RTC1MK	RTC0MK

リセット時: FFFFH R/W アドレス: IMR6 FFFFF10CH,  
IMR6L FFFFF10CH, IMR6H FFFFF10DH

	15	14	13	12	11	10	9	8
IMR6 (IMR6H <sup>注1</sup> )	IEMK2	IEMK1	STAMK	ERRMK	UA5TMK	UA5RMK	UB1TITOMK	UB1TIREMK
	7	6	5	4	3	2	1	0
IMR6L	UB1TIFMK	UB1TITMK	UB1TIRMK	UB0TITOMK	UB0TIREMK	UB0TIFMK	UB0TITMK	UB0TIRMK

リセット時: FFFFH R/W アドレス: IMR5 FFFFF10AH,  
IMR5L FFFFF10AH, IMR5H FFFFF10BH

	15	14	13	12	11	10	9	8
IMR5 (IMR5H <sup>注1</sup> )	CE1TIOFMK <sup>注2</sup>	CE1TMK <sup>注2</sup>	CE0TIOFMK <sup>注2</sup>	CE0TMK <sup>注2</sup>	TM2EQMK0	TM1EQMK0	TP8IECMK	TP7IECMK
	7	6	5	4	3	2	1	0
IMR5L	PMK9	IICMK5 <sup>注2</sup>	IICMK4 <sup>注2</sup>	IICMK2	IICMK0	IICMK3	UA4TMK	UA4RMK

リセット時: FFFFH R/W アドレス: IMR4 FFFFF108H,  
IMR4L FFFFF108H, IMR4H FFFFF109H

	15	14	13	12	11	10	9	8
IMR4 (IMR4H <sup>注1</sup> )	1	1	1	UA3TMK	UA3RMK	CB5TMK	CB5RMK	TP8CCMK1
	7	6	5	4	3	2	1	0
IMR4L	TP8CCMK0	TP8OVMK	TP7CCMK1	TP7CCMK0	TP7OVMK	TP6CCMK1	TP6CCMK0	TP6OVMK

リセット時: FFFFH R/W アドレス: IMR3 FFFFF106H,  
IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3 (IMR3H <sup>注1</sup> )	PMK8	TRXMK1 <sup>注3</sup>	RECMK1 <sup>注3</sup>	WUPMK1 <sup>注3</sup>	ERRMK1 <sup>注3</sup>	TRXMK0 <sup>注4</sup>	RECMK0 <sup>注4</sup>	WUPMK0 <sup>注4</sup>
	7	6	5	4	3	2	1	0
IMR3L	ERRMK0 <sup>注4</sup>	WTMK	WTIMK	KRMK	DMAMK3	DMAMK2	DMAMK1	DMAMK0

リセット時: FFFFH R/W アドレス: IMR2 FFFFF104H,  
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2 (IMR2H <sup>注1</sup> )	ADMK	UA2TMK	UA2RMK	UA1TMK	UA1RMK	UA0TMK/ CB4TMK	UA0RMK/ CB4RMK	CB3TMK
	7	6	5	4	3	2	1	0
IMR2L	CB3RMK	CB2TMK	CB2RMK	CB1TMK	CB1RMK	CB0TMK	CB0RMK/ IICMK1	TM0EQMK0

リセット時: FFFFH R/W アドレス: IMR1 FFFFF102H,  
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H <sup>注1</sup> )	TP5CCMK1	TP5CCMK0	TP5OVMK	TP4CCMK1	TP4CCMK0	TP4OVMK	TP3CCMK1	TP3CCMK0
	7	6	5	4	3	2	1	0
IMR1L	TP3OVMK	TP2CCMK1	TP2CCMK0	TP2OVMK	TP1CCMK1	TP1CCMK0	TP1OVMK	TP0CCMK1

リセット時: FFFFH R/W アドレス: IMR0 FFFFF100H,  
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H <sup>注1</sup> )	TP0CCMK0	TP0OVMK	TQ0CCMK3	TQ0CCMK2	TQ0CCMK1	TQ0CCMK0	TQ0OVMK	PMK7
	7	6	5	4	3	2	1	0
IMR0L	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

(2/2)

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

- 注1. IMR0-IMR6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、IMR0H-IMR6Hレジスタのビット0-7として指定してください。
2.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外のみ有効です。  
 $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) の場合には必ず1を設定してください。
3. CANコントローラ (2チャンネル) 内蔵品のみ有効です。  
 上記以外の場合には必ず1を設定してください。
4. CANコントローラ内蔵品のみ有効です。  
 上記以外の場合には必ず1を設定してください。

**注意** IMR4レジスタのビット13-15, IMR7Lレジスタのビット3, 4には1, IMR7Lレジスタのビット5-7には0を設定してください。変更した場合の動作は保証できません。

**備考** xx : 各周辺ユニット識別名称 (表24 - 2 割り込み制御レジスタ (xxICn) 参照)  
 n : 周辺ユニット番号 (表24 - 2 割り込み制御レジスタ (xxICn) 参照)

### 24.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にクリア (0) されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はクリア (0) されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

**注意** 割り込み許可 (EI) 状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット (1) されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止 (DI) 状態でリードしてください。

リセット時 : 00H    R    アドレス : FFFFF1FAH								
	⑦	⑥	⑤	④	③	②	①	①
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0
ISPRn	受け付け中の割り込みの優先順位							
0	優先順位nの割り込み要求信号を受け付けていない							
1	優先順位nの割り込み要求信号を受け付け中							
<b>備考</b> n : 0-7 (優先順位のレベル)								

### 24.3.7 IDフラグ

マスカブル割り込みの動作状態を制御し、割り込み要求信号受け付けの許可 / 禁止制御情報を記憶します。  
割り込み禁止フラグ (ID) は、PSWに割り付けられています。  
リセットにより00000020Hになります。

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0	
PSW	0				NP	EP	ID	SAT	CY	OV	S	Z

ID	マスカブル割り込み処理の指定 <sup>注</sup>
0	マスカブル割り込み要求信号の受け付けを許可
1	マスカブル割り込み要求信号の受け付けを禁止

#### 注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1)、EI命令でクリア (0) されます。また、RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスカブル割り込み要求信号および例外は、このフラグの状態に関係なく受け付けられます。また、マスカブル割り込み要求信号を受け付けると、IDフラグはハードウェアで自動的にセット (1) されます。

受け付け禁止期間中 (IDフラグ = 1) に発生した割り込み要求信号は、xxICn.xxIFnビットがセット (1) され、IDフラグがクリア (0) されると受け付けられます。

### 24.3.8 ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

8ビット単位でリード / ライト可能です (詳細は第11章 ウォッチドッグ・タイマ2機能参照)。  
リセットにより67Hになります。

リセット時 : 67H R/W アドレス : FFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20

WDM21	WDM20	ウォッチドッグ・タイマの動作モードの選択
0	0	動作停止
0	1	ノンマスカブル割り込み要求モード
1	x	リセット・モード (初期値)

## 24.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

### 24.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

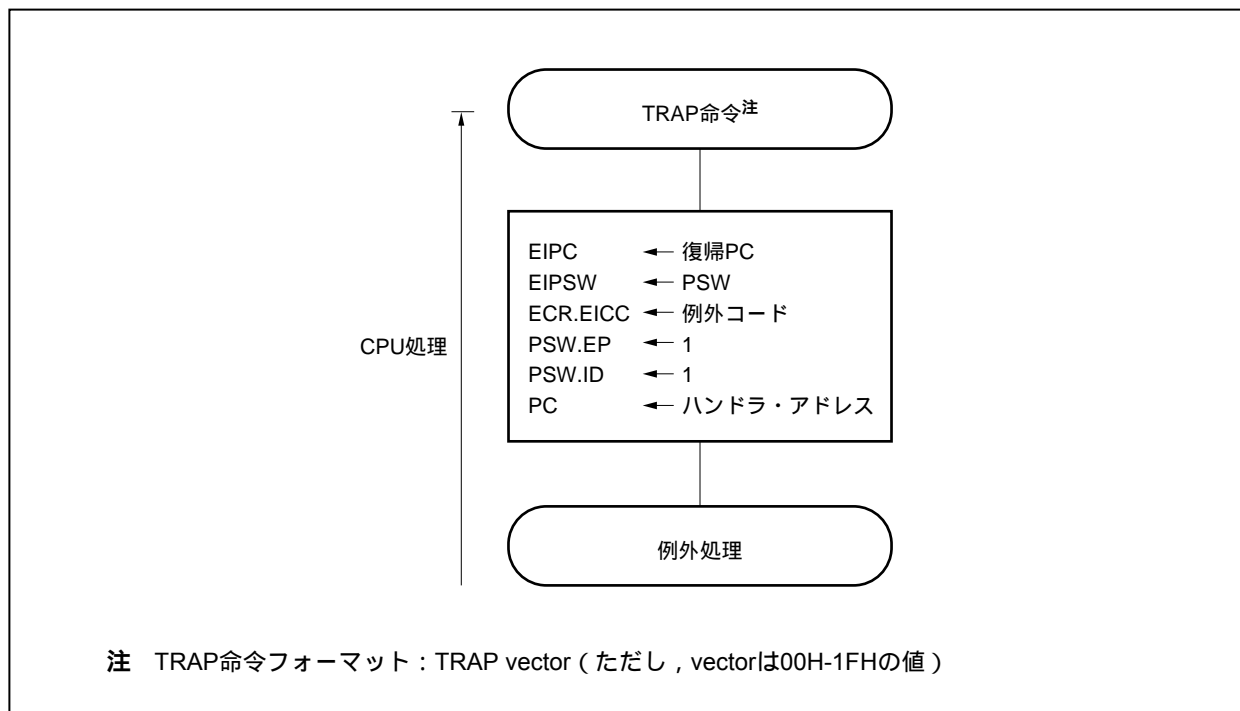
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSW.EP, IDビットをセット (1) します。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を、図24 - 9に示します。

図24 - 9 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

## 24.4.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

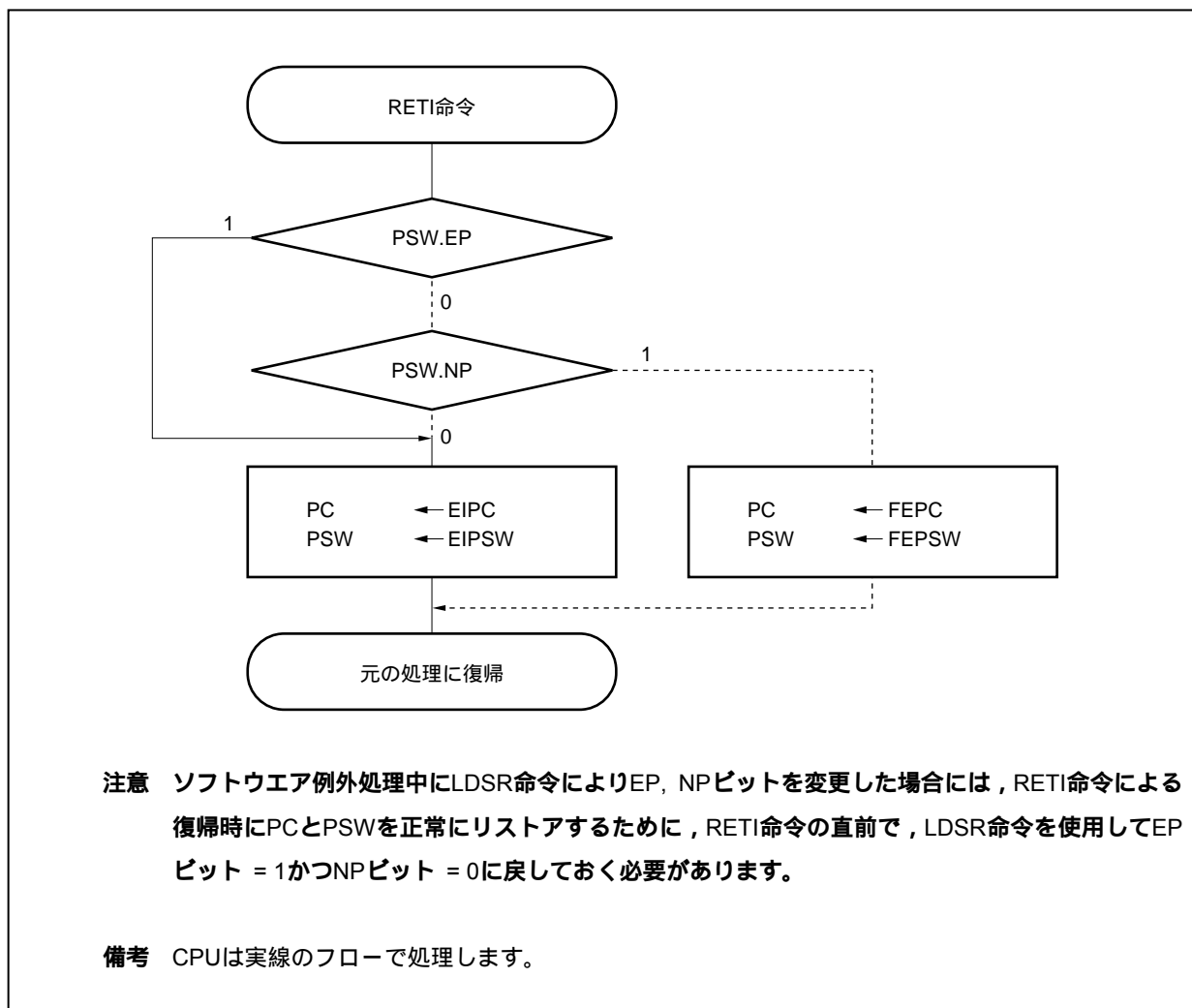
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図24 - 10に示します。

図24 - 10 RETI命令の処理形態





### 24.4.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

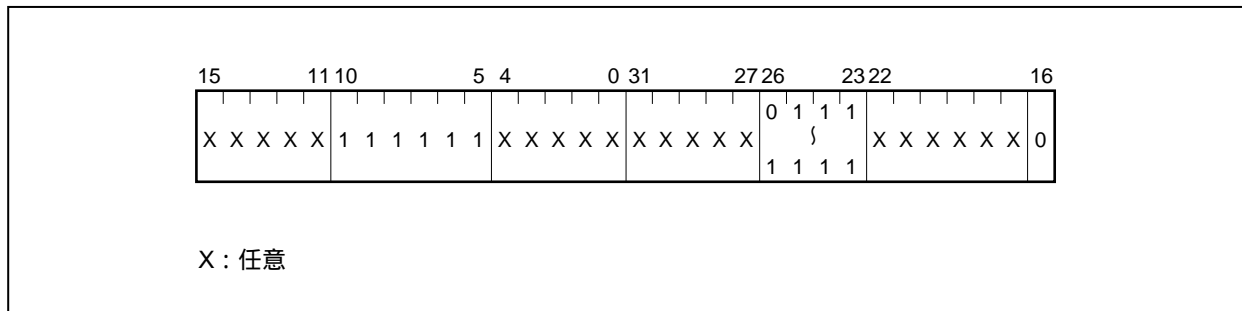
リセット時 : 00000020H															
	31						8	7	6	5	4	3	2	1	0
PSW	0							NP	<b>EP</b>	ID	SAT	CY	OV	S	Z
	EP	例外処理状態													
	0	例外処理中でない													
	1	例外処理中													

## 24.5 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850E/SJ3-H, V850E/SK3-Hでは、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

### 24.5.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が111111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



**注意** 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

#### (1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

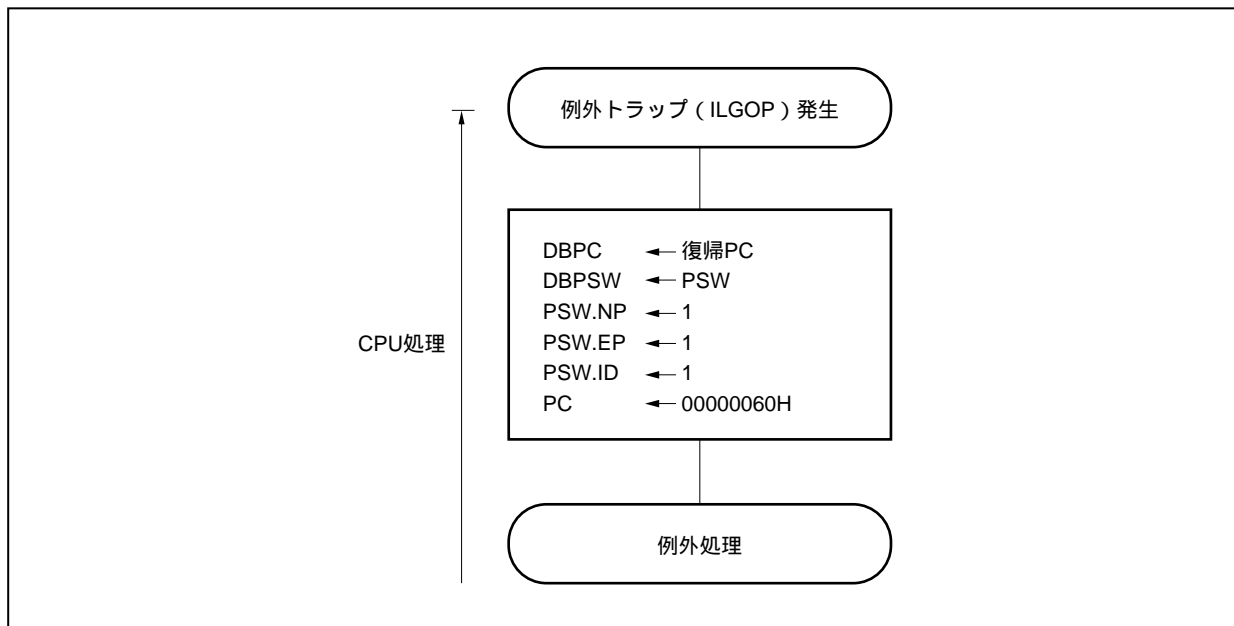
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCに例外トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

例外トラップの処理形態を図24 - 11に示します。

図24 - 11 例外トラップの処理形態



(2) 復 帰

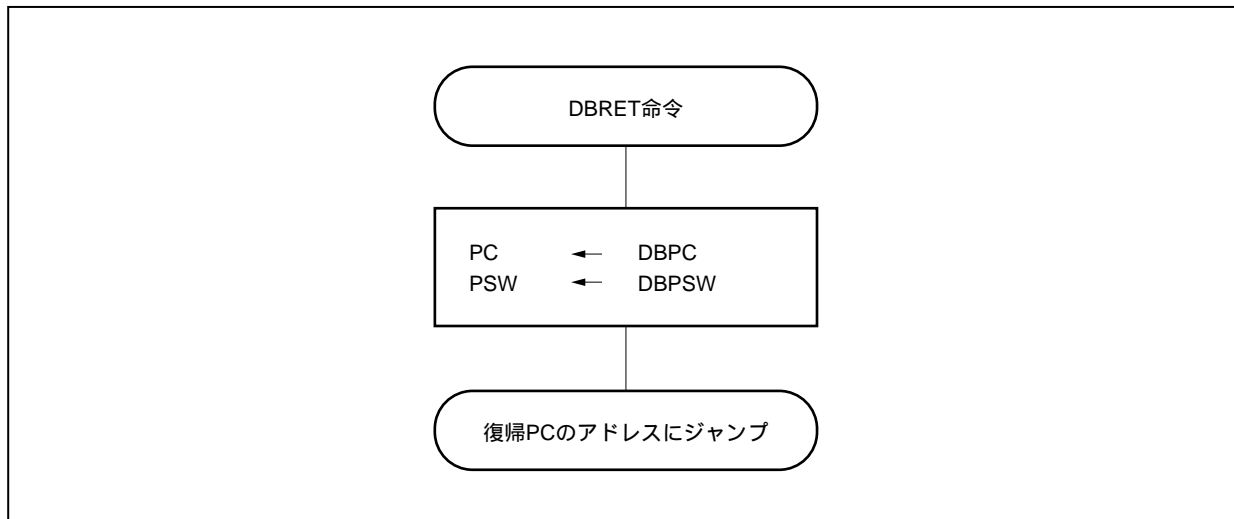
例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

DBPC, DBPSWから復帰PC, PSWを取り出します。  
 取り出した復帰PC, PSWのアドレスに制御を移します。

**注意** DBPCとDBPSWには、不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

例外トラップからの復帰の処理形態を図24 - 12に示します。

図24 - 12 例外トラップからの復帰の処理形態



## 24. 5. 2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

### (1) 動作

デバッグ・トラップが発生した場合、CPU は次の処理を行います。

復帰PCをDBPCに退避します。

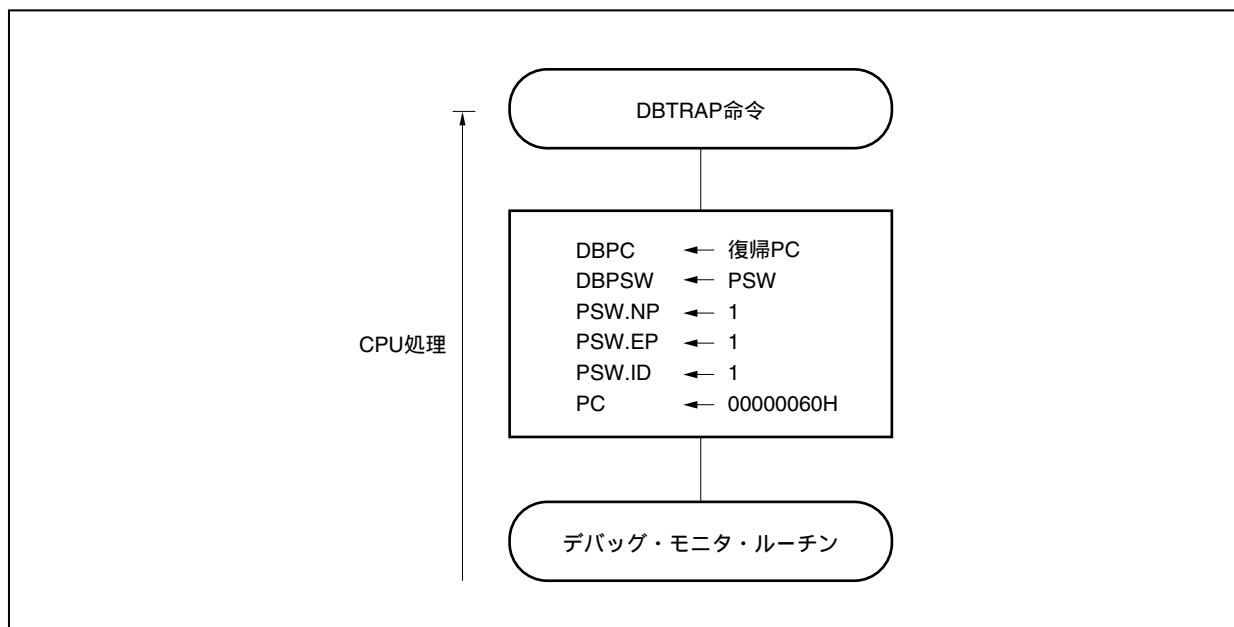
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット (1) します。

PCにデバッグ・トラップに対するハンドラ・アドレス (00000060H) をセットし、制御を移します。

デバッグ・トラップの処理形態を図24 - 13に示します。

図24 - 13 デバッグ・トラップの処理形態



## (2) 復 帰

デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

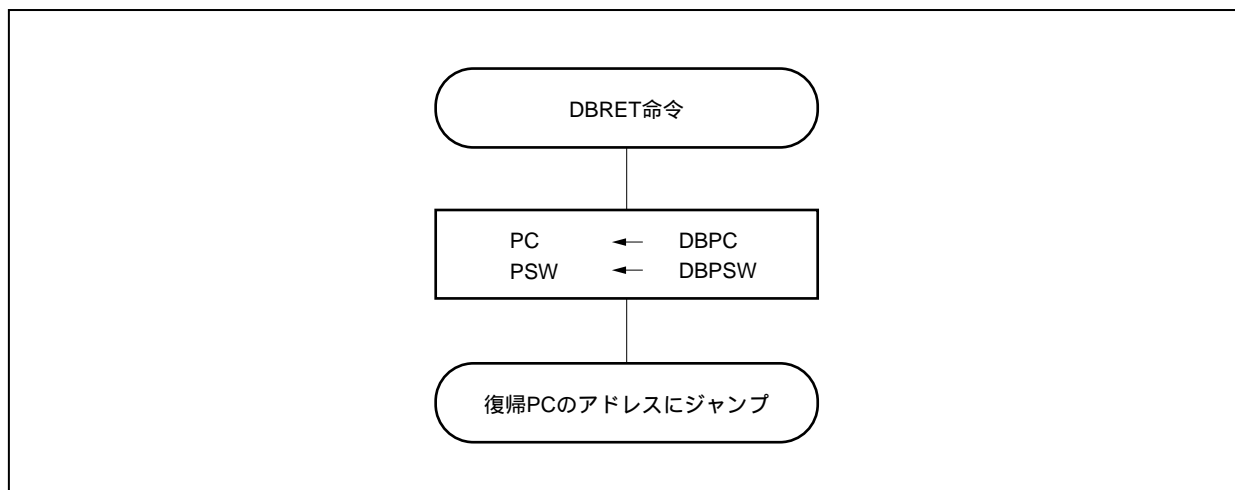
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

**注意** DBPCとDBPSWには、DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

デバッグ・トラップからの復帰の処理形態を図24 - 14に示します。

図24 - 14 デバッグ・トラップからの復帰の処理形態



## 24. 6 外部割り込み要求入力端子 (NMI, INTP0-INTP9)

### 24. 6. 1 ノイズ除去

#### (1) NMI端子のノイズ除去

NMI端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、NMI端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI端子はSTOPモードの解除に使用できます。STOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

#### (2) INTP0-INTP9端子のノイズ除去

INTP0-INTP9端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

### 24. 6. 2 エッジ検出

NMI, INTP0-INTP9端子の有効エッジは、次の4種類から端子ごとに選択できます。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・両エッジ
- ・エッジ検出なし

- 注意1. リセット後のNMI端子は“エッジ検出し”になっていますので、INTF0, INTR0レジスタで有効エッジを許可しないと、割り込み要求信号を受け付けません（通常ポートとして機能します）。
2. V850E/SJ3-H, V850E/SK3-Hでは、同じ外部割り込み要求入力端子を2つのポートに割り付けられたものがあります。そのため、有効エッジの設定もそれぞれのポートに対応したレジスタで個別に設定します。
- ただし、外部割り込み要求入力端子は、必ず2つのポートのうち、どちらか一方でのみ使用してください。使用しないポートの外部割り込み要求入力端子の有効エッジ検出は、“エッジ検出し”に設定してください。

・ポート・シェアされている外部割り込み要求入力端子と有効エッジ設定レジスタとの関係

(a) V850E/SJ3-H

端子名称	ポート			ポート		
	ピン番号	ポート機能	有効エッジ 設定レジスタ	ピン番号	ポート機能	有効エッジ 設定レジスタ
INTP2	20	P05	INTF0.INTF05, INTR0.INTR05	24	P42	INTF4.INTF42, INTR4.INTR42
INTP5	75	P914	INTF9.INTF914, INTR9.INTR914	66	P95	INTF9L.INTF95, INTR9L.INTR95
INTP7	26	P31	INTF3.INTF31, INTR3.INTR31	38	P51	INTF5.INTF51, INTR5.INTR51
INTP8	59	P80	INTF8.INTF80, INTR8.INTR80	64	P93	INTF9L.INTF93, INTR9L.INTR93

(b) V850E/SK3-H

端子名称	ポート			ポート		
	ピン番号	ポート機能	有効エッジ 設定レジスタ	ピン番号	ポート機能	有効エッジ 設定レジスタ
INTP2	22	P05	INTF0.INTF05, INTR0.INTR05	26	P42	INTF4.INTF42, INTR4.INTR42
INTP5	91	P914	INTF9.INTF914, INTR9.INTR914	82	P95	INTF9L.INTF95, INTR9L.INTR95
INTP6	92	P915	INTF9.INTF915, INTR9.INTR915	96	P153	INTF15.INTF153, INTR15.INTR153
INTP7	31	P31	INTF3.INTF31, INTR3.INTR31	46	P51	INTF5.INTF51, INTR5.INTR51
INTP8	71	P80	INTF8.INTF80, INTR8.INTR80	80	P93	INTF9L.INTF93, INTR9L.INTR93
INTP9	59	P66	INTF6.INTF66, INTR6.INTR66	95	P152	INTF15.INTF152, INTR15.INTR152

## (1) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ0 (INTF0, INTR0)

ビット2でNMI端子, ビット3-6で外部割り込み端子 (INTP0-INTP3) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF0n, INTR0nビット = 00に設定したあとにポート・モードに設定してください。

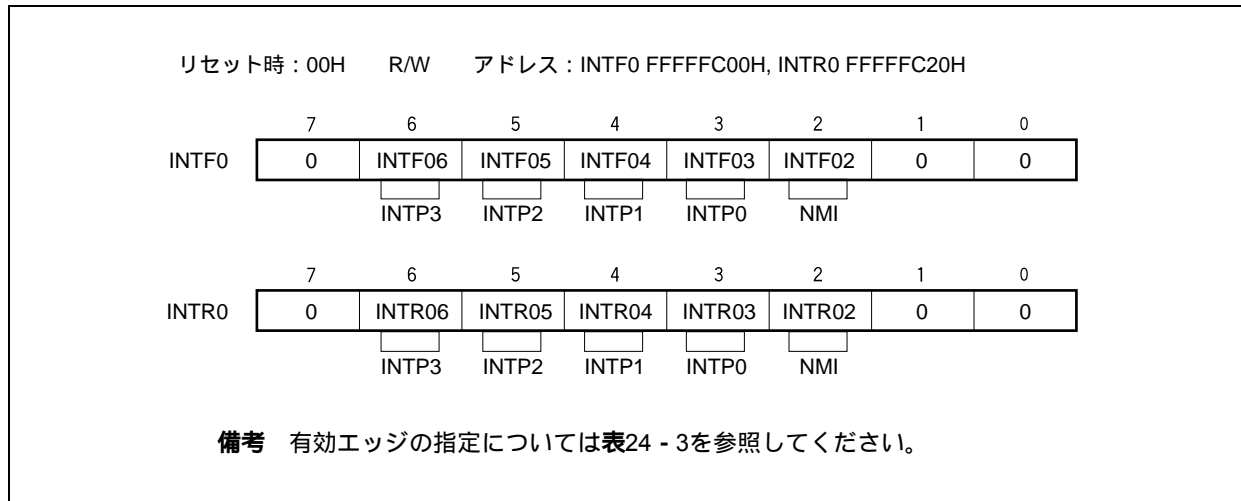


表24 - 3 有効エッジの指定

INTF0n	INTR0n	有効エッジの指定 (n = 2-6)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

**注意** NMI, INTP0-INTP3端子として使用しない場合, 必ずINTF0n, INTR0nビット = 00に設定してください。

**備考** n = 2 : NMI端子の制御

n = 3-6 : INTP0-INTP3端子の制御



## (2) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ3 (INTF3, INTR3)

外部割り込み端子 (INTP7) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。  
8/1ビット単位でリード/ライト可能です。  
リセットにより00Hになります。

- 注意1. 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF31, INTR31ビット = 00に設定したあとにポート・モードに設定してください。
2. INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は兼用しているINTP7端子のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定)。またINTP7端子として使用する場合はUARTA0を受信動作停止としてください (UA0CTL0.UA0RXEビット = 0)。



表24 - 4 有効エッジの指定

INTF31	INTR31	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP7端子として使用しない場合, 必ずINTF31, INTR31ビット = 00に設定してください。

## (3) 外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ4 (INTF4, INTR4)

外部割り込み端子 (INTP2) の立ち下がり，立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** 外部割り込み機能 (兼用機能) からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF42, INTR42ビット = 00に設定したあとにポート・モードに設定してください。

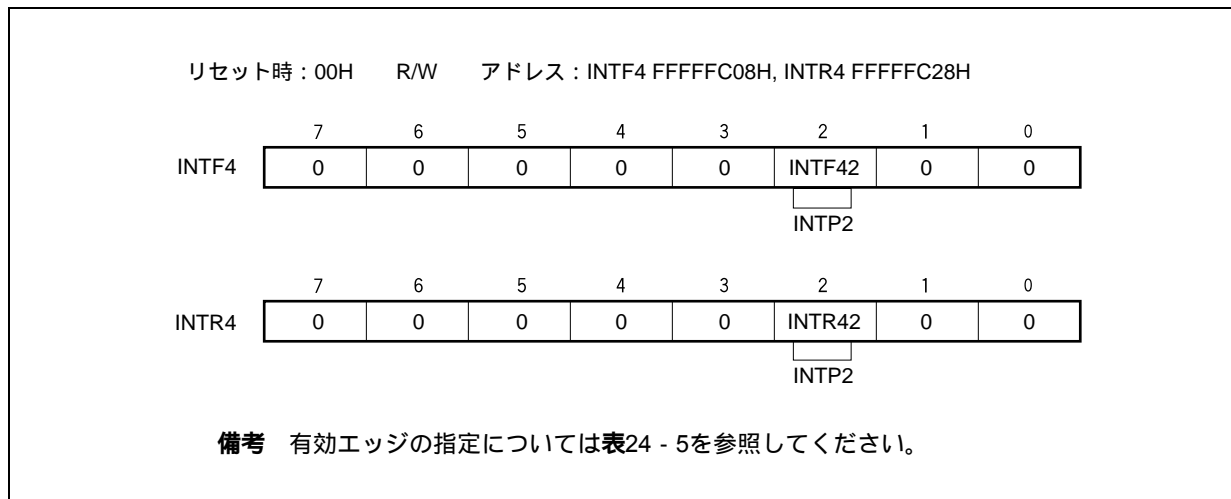


表24 - 5 有効エッジの指定

INTF42	INTR42	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

**注意** INTP2端子として使用しない場合，必ずINTF42, INTR42ビット = 00に設定してください。

## (4) 外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ5 (INTF5, INTR5)

外部割り込み端子 (INTP7) の立ち下がり，立ち上がりエッジ検出を指定する8ビットのレジスタです。  
8/1ビット単位でリード/ライト可能です。  
リセットにより00Hになります。

**注意** 外部割り込み機能 (兼用機能) からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF51, INTR51ビット = 00に設定したあとにポート・モードに設定してください。

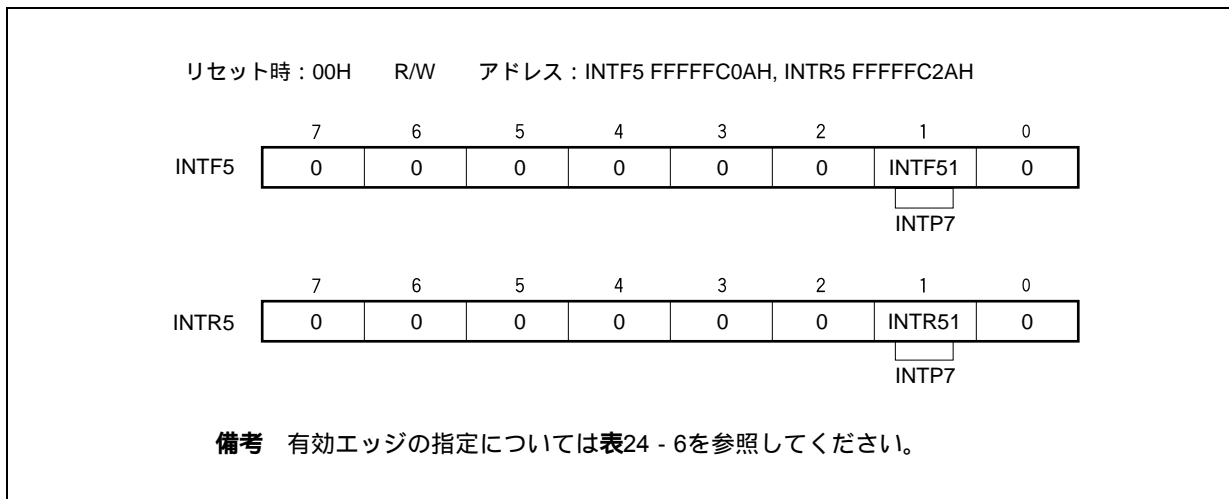


表24 - 6 有効エッジの指定

INTF51	INTR51	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

**注意** INTP7端子として使用しない場合，必ずINTF51, INTR51ビット = 00に設定してください。

## (5) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ6 (INTF6, INTR6)

外部割り込み端子 (INTP9) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF66, INTR66ビット = 00に設定したあとにポート・モードに設定してください。

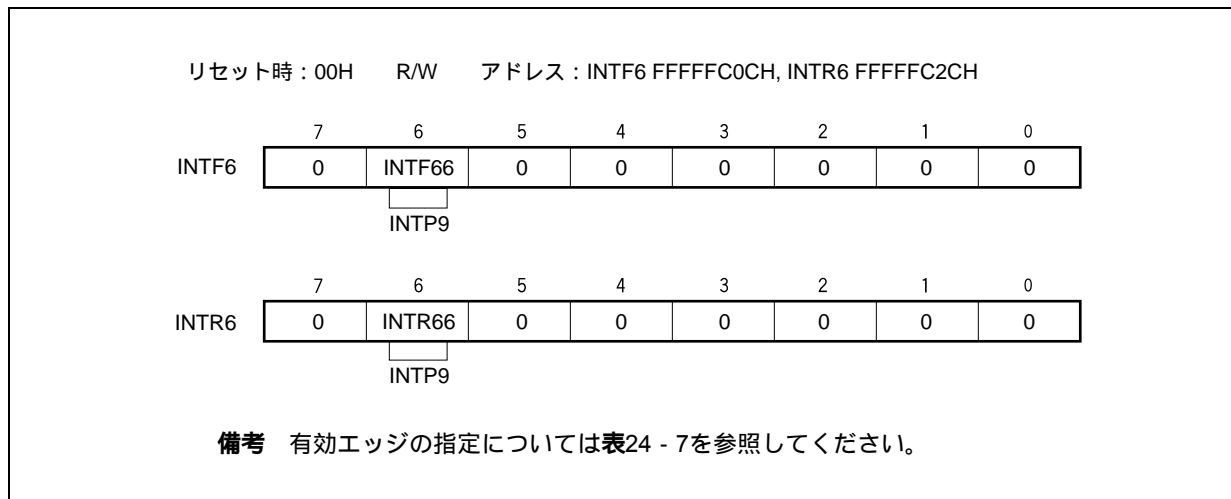


表24 - 7 有効エッジの指定

INTF66	INTR66	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

**注意** INTP9端子として使用しない場合, 必ずINTF66, INTR66ビット = 00に設定してください。

## (6) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ8 (INTF8, INTR8)

外部割り込み端子 (INTP8) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF80, INTR80ビット = 00に設定したあとにポート・モードに設定してください。
2. INTP8端子とRXDA3端子は兼用となっています。RXDA3端子として使用する場合は兼用しているINTP8端子のエッジ検出を無効にしてください (INTF8.INTF80ビット = 0, INTR8.INTR80ビット = 0に設定)。またINTP8端子として使用する場合はUARTA3を受信動作停止としてください (UA3CTL0.UA3RXEビット = 0)。
3. INTF8, INTR8レジスタのビット1-7には必ず0を設定してください。

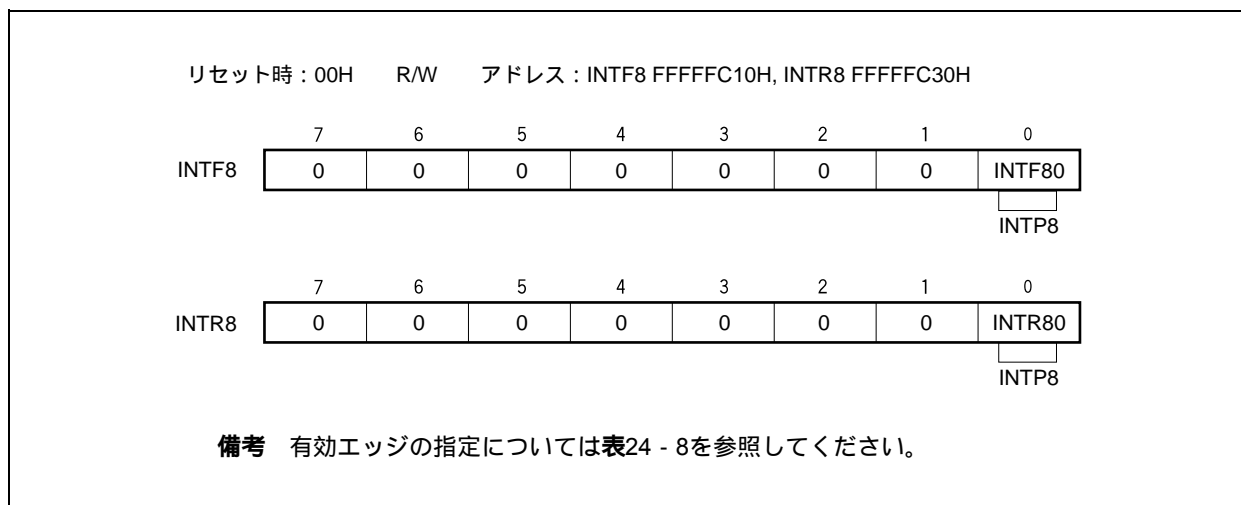


表24 - 8 有効エッジの指定

INTF80	INTR80	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP8端子として使用しない場合, 必ずINTF80, INTR80ビット = 00に設定してください。

(7) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ9 (INTF9, INTR9)

外部割り込み端子 (INTP4-INTP6, INTP8) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF9n, INTR9nビット = 0に設定したあとにポート・モードに設定してください。

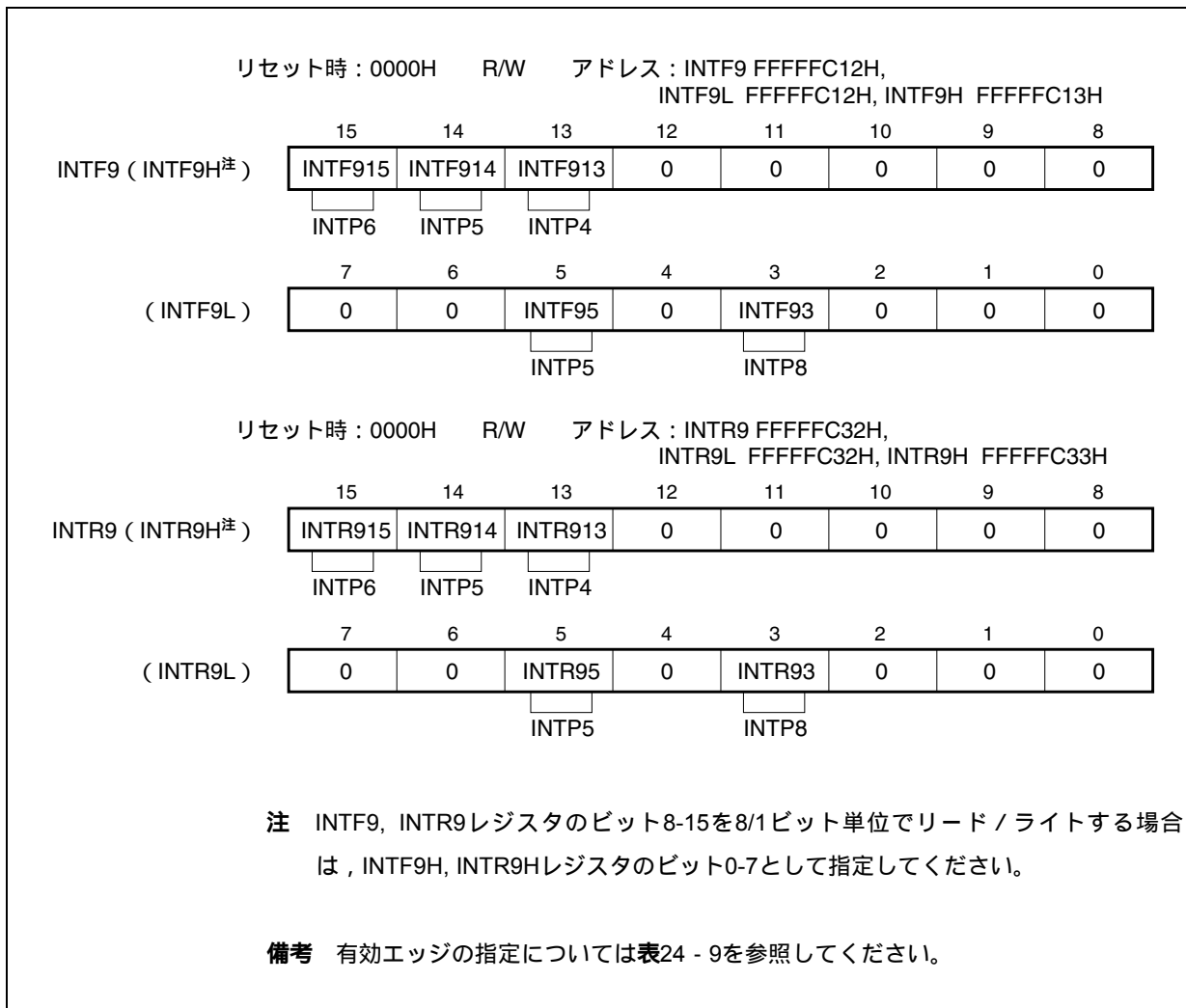


表24 - 9 有効エッジの指定

INTF9n	INTR9n	有効エッジの指定 (n = 3, 5, 13-15)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

**注意** INTP4-INTP6, INTP8端子として使用しない場合, 必ずINTF9n, INTR9nビット = 00に設定してください。

**備考** n = 3, 5, 13-15 : INTP4-INTP6, INTP8端子の制御

## (8) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ15 (INTF15, INTR15)

外部割り込み端子 (INTP6, INTP9) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意1.** 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF15n, INTR15nビット = 00に設定したあとにポート・モードに設定してください。

**2.** INTF15, INTR15レジスタのビット0, 1, 4-7には必ず0を設定してください。

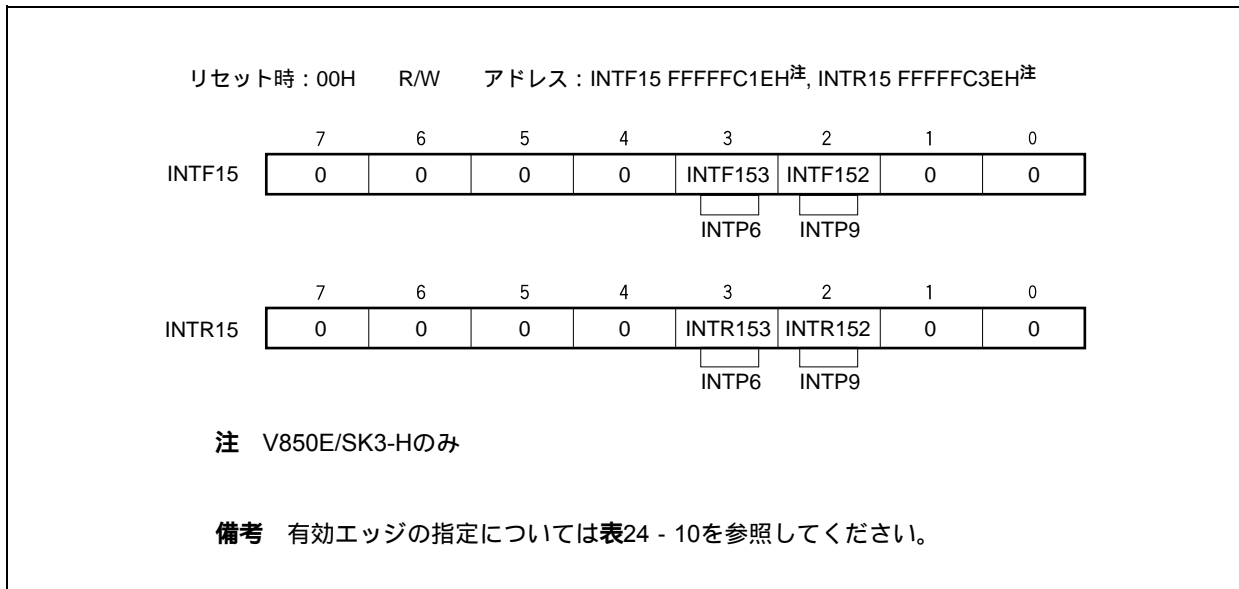


表24 - 10 有効エッジの指定

INTF15n	INTR15n	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

**注意** INTP6, INTP9端子として使用しない場合, 必ずINTF15n, INTR15nビット = 00に設定してください。

**備考** n = 2, 3 : INTP6, INTP9端子の制御

### (9) ノイズ除去制御レジスタ (NFC)

INTP3端子はデジタル・ノイズ除去を選択することが可能で、NFCレジスタにてノイズ除去の設定を選択します。

デジタル・ノイズ除去を選択した場合、デジタル・サンプリングを行うサンプリング・クロックを、 $f_{XP}/64$ ,  $f_{XP}/128$ ,  $f_{XP}/256$ ,  $f_{XP}/512$ ,  $f_{XP}/1024$ ,  $f_{XT}$ の中から選択できます。なおサンプリングの回数は3回です。

デジタル・ノイズ除去を選択した場合、スタンバイ・モード時にサンプリングを行うクロックを停止すると、そのスタンバイ・モードの解除にINTP3の割り込み要求信号を使用できません。サンプリング・クロックに $f_{XT}$ を使用した場合は、サブクロック動作モード中およびIDLE1/IDLE2/STOP/サブIDLEモードの解除にINTP3の割り込み要求信号を使用できます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** サンプリング・クロック変更後、デジタル・ノイズ除去回路が初期化されるのに、サンプリング・クロック $\times 3$ クロックの時間かかります。そのため、サンプリング・クロックを変更してからサンプリング・クロック $\times 3$ クロックの間に、INTP3の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって、割り込み機能、DMA機能を使用する場合は、次の点を注意してください。

- ・割り込み機能使用時は、サンプリング・クロック $\times 3$ クロック経過後、割り込み要求フラグ (PIC3.PIF3ビット) をクリアしてから割り込みを許可してください。
- ・DMA機能使用時 (INTP3で起動) は、サンプリング・クロック $\times 3$ クロック経過後、DMAを許可してください。



リセット時 : 00H R/W アドレス : FFFFF318H

	7	6	5	4	3	2	1	0
NFC	NFEN	0	0	0	0	NFC2	NFC1	NFC0

NFEN	INTP3端子のノイズ除去の設定
0	アナログ・ノイズ除去を行う ( 60 ns ( TYP. ) )
1	デジタル・ノイズ除去を行う

NFC2	NFC1	NFC0	デジタル・サンプリングを行うクロック
0	0	0	$f_{XP}/64$
0	0	1	$f_{XP}/128$
0	1	0	$f_{XP}/256$
0	1	1	$f_{XP}/512$
1	0	0	$f_{XP}/1024$
1	0	1	$f_{XT}$ ( サブクロック )
その他			設定禁止

**注意** ビット3-6には必ず0を設定してください。

- 備考1.** 3回サンプリングするため、確実に除去するノイズ幅はサンプリング・クロック×2となります。
2. サンプリング・クロック×2より短いノイズがあっても、サンプリング・クロックに同期したノイズが入力された場合には、割り込み要求信号が発生します。

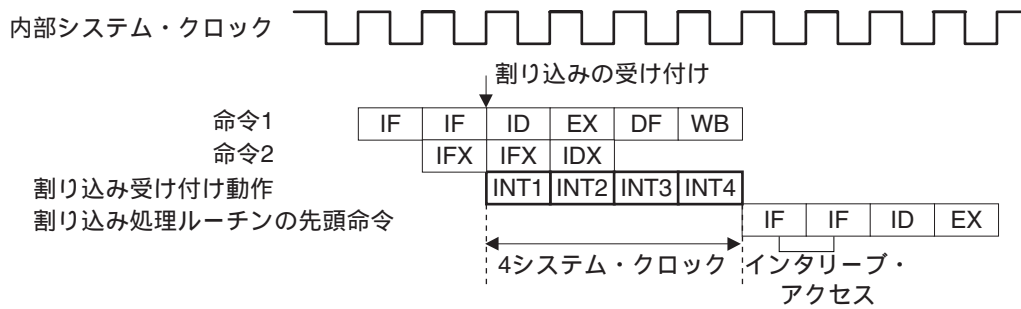
## 24.7 CPUの割り込み応答時間

次の場合を除き、CPUの割り込み応答時間は、最小4クロックとなります。連続して割り込み要求信号を入力する場合には、最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

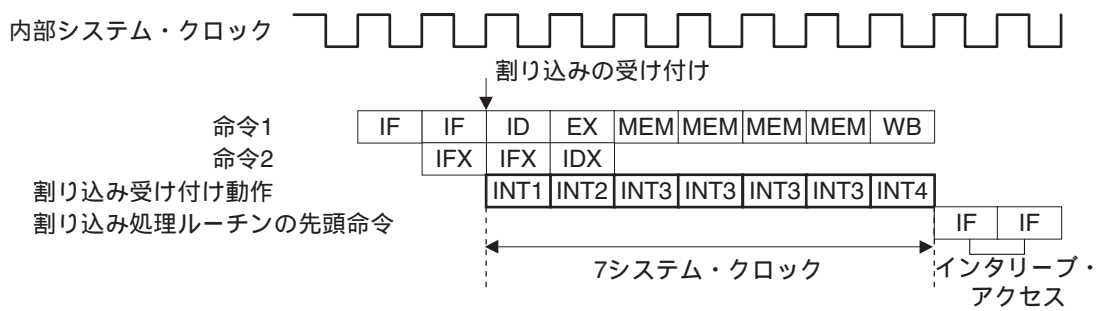
- ・ IDLE1/IDLE2/STOPモード時
- ・ 外部バス・アクセス時
- ・ 割り込み要求非サンプル命令（24.8 CPUが割り込みを受け付けない期間参照）が連続しているとき
- ・ 割り込み制御レジスタへのアクセス時
- ・ 内蔵周辺I/Oレジスタへのアクセス時
- ・ プログラマブル周辺I/Oレジスタへのアクセス時

図24 - 15 割り込み要求信号受け付け時のパイプライン動作例 (概略)

(1) 最小割り込み応答時間



(2) 最大割り込み応答時間



- 備考1. INT1-INT4 : 割り込み受け付け処理  
 IFX : 無効となる命令フェッチ  
 IDX : 無効となる命令デコード

2. 4サイクルの割り込み受け付け時間中に同じ割り込み要求信号が発生すると、新しい割り込み要求信号は廃棄されます。同じ要因からの次の割り込み要求信号は、4サイクル後に登録されます。

	割り込み応答時間 (内部システム・クロック)		条 件
	内部割り込み	外部割り込み	
最小	4	4 + アナログ・ディレイ時間	次の場合は除きます。 ・ IDLE1, IDLE2, STOPモード時 ・ 外部バス・アクセス時 ・ 割り込み要求非サンプル命令が連続しているとき ・ 割り込み制御レジスタへのアクセス時 ・ 内蔵周辺I/Oレジスタへのアクセス時 ・ プログラマブル周辺I/Oレジスタへのアクセス時
最大	7	7 + アナログ・ディレイ時間	

## 24.8 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2, 0x5命令（対PSW）
- ・ PRCMDレジスタに対するストア命令
- ・ 次のレジスタに対するストア命令およびSET1, NOT1, CLR1命令
  - ・ 割り込み関連のレジスタ：
    - 割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-6, 7L（IMR0-IMR6, IMR7L）
  - ・ パワー・セーブ・コントロール・レジスタ（PSC）
  - ・ オンチップ・デバッグ・モード・レジスタ（OCDM）

**備考** xx：各周辺ユニット識別名称（表24 - 2 割り込み制御レジスタ（xxICn）参照）

n：周辺ユニット番号（表24 - 2 割り込み制御レジスタ（xxICn）参照）

## 24.9 注意事項

### (1) NMI端子について

NMI端子はP02と兼用しており、リセット後は通常ポートとして機能します。NMI端子を使用する場合には、PMC0レジスタでNMI端子を有効にしてください。また、NMI端子の初期設定は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを選択してください。

### (2) 割り込み制御レジスタ（xxICn）について

割り込み要求が発生する状態（割り込み禁止（DI）状態を含む）でxxICn.xxMKnビットを操作する場合は、必ずビット操作命令で操作するか、またはIMRm.xxMKn, IMR7L.xxMKnビットで操作してください（m = 0-6）。

### (3) インサービス・プライオリティ・レジスタ（ISPR）について

割り込み許可（EI）状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット（1）されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止（DI）状態でリードしてください。

### (4) DMA転送の起動要因の切り替え

V850E/SJ3-H, V850E/SK3-Hでは、DMA転送の起動要因のINTP8信号とINTTM2EQ0信号が兼用になっており、同時には使用できません。INTP8信号をDMA転送の起動要因として使用するときは、オプション・バイト0000007AH（第33章 オプション・バイト機能参照）のDTFROB0ビット = 0に設定してください。この場合、INTTM2EQ0信号はDMA転送の起動要因として使用できません。

**備考** 詳細については、表22 - 1 DMA転送の起動要因を参照してください。

## 第25章 キー割り込み機能

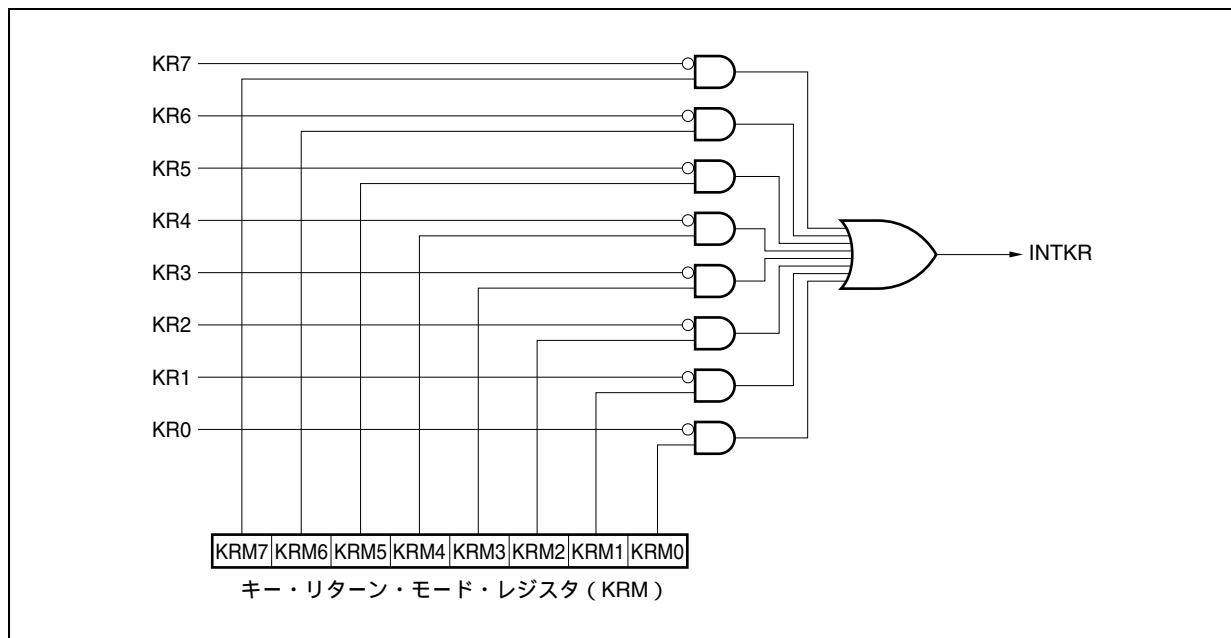
### 25.1 機能

KRMレジスタの設定により、キー入力端子 (KR0-KR7) に立ち下がりエッジを入力することによって、キー割り込み要求信号 (INTKR) を発生させることができます。

表25 - 1 キー・リターン検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

図25 - 1 キー・リターンのブロック図



## 25.2 レジスタ

### (1) キー・リターン・モード・レジスタ (KRM)

KRMレジスタは、KRM0-KRM7ビットでそれぞれKR0-KR7信号を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H    R/W    アドレス：FFFFFF300H

	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

**注意** KRMレジスタを書き換える場合は、一度00Hとしてから書き換えてください。

**備考** 兼用端子の設定は表4 - 25 ポート端子を兼用端子として使用する場合を参照してください。

## 25.3 注意事項

### (1) KR0-KR7端子へのロウ・レベル入力

KR0-KR7端子のうち1つでもロウ・レベルが入力されていると、別の端子の立ち下がりエッジを入力してもINTKR信号が発生しません。

### (2) KR7端子とRXDA1端子の同時使用

KR7端子とRXDA1端子は同時に使用することはできません。V850E/SK3-Hの場合、KR7端子とRXDA1端子は、ともに2つのポートに兼用されていますが、それぞれ異なるポートで同時に使用できません。KR7端子を使用する場合は、UA1CTL0.UA1RXEビット = 0に設定してください（P91でKR7端子を使用する場合は、PFC91ビット = 1、PFCE91ビット = 0に設定することを推奨します）。また、RXDA1端子を使用する場合は、KR7端子のKRM.KRM7ビット = 0に設定してください。

### (3) KRn端子とTIQ0m端子の同時使用

KRn端子とTIQ0m端子は、同時に使用することはできません（n = 0-3, m = 0-3）。KR2端子とTIQ03端子、KR3端子とTIQ00端子は、ともに2つのポートに兼用されていますが、それぞれ異なるポートで同時に使用することはできません。KRn端子を使用する場合、またはTIQ0m端子を使用する場合の設定を次に示します。

端子名称	TIQ0m端子として使用する場合	KRn端子として使用する場合
KR0/TIQ01	KRM.KRM0ビット = 0	TQ0IOC1. TQ0IS3, TQ0IS2ビット = 00
KR1/TIQ02	KRM.KRM1ビット = 0	TQ0IOC1. TQ0IS5, TQ0IS4ビット = 00
KR2/TIQ03	KRM.KRM2ビット = 0	TQ0IOC1. TQ0IS7, TQ0IS6ビット = 00
KR3/TIQ00	KRM.KRM3ビット = 0	TQ0IOC1. TQ0IS1, TQ0IS0ビット = 00 TQ0IOC2. TQ0EES1, TQ0EES0ビット = 00 TQ0IOC2. TQ0ETS1, TQ0ETS0ビット = 00

### (4) KRMレジスタ設定時の注意

KRMレジスタを変更すると、割り込み要求信号（INTKR）が発生する場合があります。したがって、あらかじめ割り込みを禁止（DI）またはマスクしてからKRMレジスタを変更し、割り込み要求フラグ（KRIC.KRIFビット）をクリア（0）してから、割り込みを許可（EI）またはマスク解除してください。

### (5) ポート・モード 兼用機能モードの切り替え

キー割り込み機能を使用する場合は、必ずポート端子をキー・リターン用端子に設定してからKRMレジスタで動作を許可してください。また、逆にキー・リターン用端子からポート端子に切り替える場合は、KRMレジスタで動作を禁止してからポート端子の設定を行ってください。

### (6) DMA転送の起動要因の切り替え

V850E/SJ3-H, V850E/SK3-Hでは、DMA転送の起動要因のINTKR信号とINTTM1EQ0信号が兼用になっており、同時には使用できません。INTKR信号をDMA転送の起動要因として使用するときは、オプション・バイト0000007AH（第33章 オプション・バイト機能参照）のDTFROB0ビット = 0に設定してください。この場合、INTTM1EQ0信号はDMA転送の起動要因として使用できません。

**備考** 詳細については、表22 - 1 DMA転送の起動要因を参照してください。

## 第26章 スタンバイ機能

### 26.1 概 要

各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。スタンバイ機能には、次に示すものがあります。

表26 - 1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロック ( $f_{CPU}$ ) のみを停止させるモード
IDLE1モード	発振回路, PLL <sup>注</sup> , SSCG <sup>注</sup> , フラッシュ・メモリ以外の内部回路の動作をすべて停止させるモード
IDLE2モード	発振回路以外の内部回路の動作をすべて停止させるモード
STOPモード	サブクロック発振回路, 内蔵発振器以外の内部回路の動作をすべて停止させるモード
サブクロック動作モード	内部システム・クロックをサブクロックで動作させるモード
サブIDLEモード	サブクロック動作モード時, 発振回路以外の内部回路の動作をすべて停止させるモード

注 PLLおよびSSCGは前の動作状態を保持します。



## 26.2 レジスタ

### (1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STPビットによりスタンバイ・モードを設定します。PSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF1FEH

	7	⑥	⑤	④	3	2	①	0
PSC	0	NMI1M	NMI0M	INTM	0	0	STP	0

NMI1M	INTWDT2信号発生によるスタンバイ・モード解除制御
0	INTWDT2信号によるスタンバイ・モード解除許可
1	INTWDT2信号によるスタンバイ・モード解除禁止

NMI0M	NMI端子入力によるスタンバイ・モード解除制御
0	NMI端子入力によるスタンバイ・モード解除許可
1	NMI端子入力によるスタンバイ・モード解除禁止

INTM	マスカブル割り込み要求信号によるスタンバイ・モード解除制御
0	マスカブル割り込み要求信号によるスタンバイ・モード解除許可
1	マスカブル割り込み要求信号によるスタンバイ・モード解除禁止

STP	スタンバイ・モード <sup>注</sup> の設定
0	通常モード
1	スタンバイ・モード

注 STPビットにおけるスタンバイ・モード : IDLE1, IDLE2, STOP, サブIDLEモード

注意1. IDLE1, IDLE2, STOP, サブIDLEモードに設定するときは, PSMR.PSM1, PSM0ビットを設定してから, STPビットを設定してください。

2. NMI1M, NMI0M, INTMビットの設定は, HALTモード解除時は無効です。

3. NMI1M, NMI0M, INTMビットと, STPビットを同時にセット(1)した場合, NMI1M, NMI0M, INTMビットの設定は無効になります。したがって, IDLE1/IDLE2/STOPモードに移行する際にマスクされていない保留中の割り込み要求信号がある場合は, その割り込み要求信号に対するビット(NMI1M, NMI0M, INTM)をセット(1)したあとにSTPビットをセット(1)してください。

4. ビット0, 2, 3, 7には必ず0を設定してください。

## (2) パワー・セーブ・モード・レジスタ (PSMR)

パワー・セーブ・モードの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF820H

	7	6	5	4	3	2	①	①
PSMR	0	0	0	0	0	0	PSM1	PSM0

PSM1	PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	0	IDLE1, サブIDLEモード
0	1	STOPモード
1	0	IDLE2, サブIDLEモード
1	1	STOPモード

**注意1.** ビット2-7には必ず0を設定してください。

2. PSM0, PSM1ビットは、PSC.STPビット = 1のときのみ有効です。

**備考** IDLE1 : 発振回路と一部の回路（フラッシュ・メモリ，PLL，SSCG）以外の動作を停止するモードです。

IDLE1モード解除後，HALTモードと同様に発振安定時間を確保する必要なく，通常モードに復帰します。

IDLE2 : 発振回路以外の動作を停止するモードです。

IDLE2モード解除後，OSTSレジスタで指定したセットアップ時間（フラッシュ・メモリ，PLL，SSCG）を確保したあと，通常モードに復帰します。

STOP : サブクロック発振回路以外の動作を停止するモードです。

STOPモード解除後，OSTSレジスタで指定した発振安定時間を確保したあと，通常モードに復帰します。

サブIDLE : サブクロック動作モード時，発振回路以外の動作を停止するモードです。

割り込み要求信号によるサブIDLEモードの解除後，サブクロックの12周期分の時間を確保したあと，サブクロック動作モードに復帰します。

## (3) 発振安定時間選択レジスタ (OSTS)

STOPモードを解除してからメイン発振が安定するまでのウェイト時間や、IDLE2モードを解除してから内蔵フラッシュ・メモリが安定するまでのウェイト時間は、OSTSレジスタで制御します。

OSTSレジスタは、8ビット単位でリード/ライト可能です。

リセットにより06Hになります。

( 1/2 )

リセット時 : 06H R/W アドレス : FFFFF6C0H

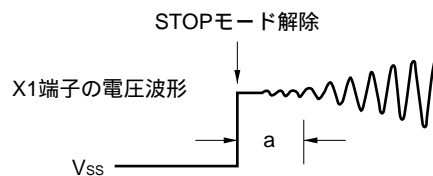
	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間 / セットアップ時間の選択 <sup>注</sup>	fx	
				4 MHz	5 MHz
				0	0
0	0	1	$2^{11}/fx$	0.512 ms	0.410 ms
0	1	0	$2^{12}/fx$	1.024 ms	0.819 ms
0	1	1	$2^{13}/fx$	2.048 ms	1.638 ms
1	0	0	$2^{14}/fx$	4.096 ms	3.277 ms
1	0	1	$2^{15}/fx$	8.192 ms	6.554 ms
1	1	0	$2^{16}/fx$	16.38 ms	13.107 ms
1	1	1	設定禁止		

注 発振安定時間はSTOPモードの解除時に、セットアップ時間はIDLE2モード解除時に必要になります。

備考 fx : メイン発振クロック周波数

注意1. STOPモード解除時のウェイト時間は、リセットによる場合も、割り込み要求信号発生による場合も、STOPモード解除後クロック発振を開始するまでの時間(下図 a)は含みません。



- ビット7-3には必ず“0”を設定してください。
- リセット解除後の発振安定時間は、 $2^{16}/fx$  (OSTSレジスタの初期値 = 06Hのため)となります。
- クロック・モード1では、PLL動作の状態>IDLE2モードへ遷移する場合、IDLE2モード解除後に挿入されるセットアップ時間は $800 \mu s$ 以上に設定してください。PLL停止の場合、IDLE2モード解除後に挿入されるセットアップ時間は $350 \mu s$ 以上に設定してください。

( 2/2 )

- 注意5. クロック・モード1では、PLL動作の状態からSTOPモードへ遷移する場合、STOPモード解除後に挿入される発振安定時間は1 ms以上に設定してください。
6. クロック・モード2-4では、SSCG動作の状態からIDLE2モードへ遷移する場合、IDLE2モード解除後に挿入されるセットアップ時間は1 ms以上に設定してください。SSCG停止の場合、IDLE2モード解除後に挿入されるセットアップ時間は800  $\mu$ s以上に設定してください。
7. クロック・モード2-4では、SSCG動作の状態からSTOPモードへ遷移する場合、STOPモード解除後に挿入される発振安定時間は2 ms以上に設定してください。

## 26.3 HALTモード

### 26.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに設定されます。

HALTモードに設定すると、クロック発振回路は動作を継続しますが、CPUへのクロック供給のみが停止し、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMおよび拡張内蔵RAMの内容は、HALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表26-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減することができます。

**注意1.** HALT命令の後には、NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行するが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

### 26.3.2 HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP9端子入力）、HALTモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力、ウォッチドッグ・タイマ2のオーバフローによるリセット信号（WDT2RES）発生、低電圧検出回路（LVI）によるリセット信号（LVIRES）発生、クロック・モニタ（CLM）によるリセット信号（CLMRES）発生）により解除されます。

HALTモードの解除により、通常動作モードに移行します。

#### (1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとHALTモードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、HALTモードの解除とともにこの割り込み要求信号を受け付けます。

表26-2 割り込み要求信号によるHALTモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

## (2) リセットによる解除

通常のリセット動作と同じです。

表26 - 3 HALTモード時の動作状態

項 目		HALTモードの設定	
		動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		-	発振可能
内蔵発振器		発振可能	
PLL		動作可能	
SSCG		動作可能	
CPU		動作停止	
DMA		動作可能	
割り込みコントローラ		動作可能	
ROMコレクション		動作停止	
タイマP (TMP0-TMP8)		動作可能	
タイマQ (TMQ0)		動作可能	
タイマM	TMM0	カウント・クロックにf <sub>X1</sub> 以外を選択時に動作可能	動作可能
	TMM1	動作可能	
	TMM2	動作可能	
時計タイマ		カウント・クロックにf <sub>BRG</sub> を選択時に動作可能	動作可能
リアルタイム・カウンタ (RTC)		カウント・クロックにf <sub>BRG</sub> を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		カウント・クロックにf <sub>X1</sub> 以外を選択時に動作可能	動作可能
シリアル・インタフェース	CSIB0-CSIB5	動作可能	
	CSIE0 <sup>注1</sup> , CSIE1 <sup>注1</sup>	動作可能	
	I <sup>2</sup> C00-I <sup>2</sup> C03, I <sup>2</sup> C04 <sup>注1</sup> , I <sup>2</sup> C05 <sup>注1</sup>	動作可能	
	UARTA0-UARTA5	動作可能	
	UARTB0, UARTB1	動作可能	
CANコントローラ <sup>注2</sup>		動作可能	
IEBusコントローラ		動作可能	
A/Dコンバータ		動作可能	
D/Aコンバータ		動作可能	
リアルタイム出力機能 (RTO)		動作可能	
キー割り込み機能 (KR)		動作可能	
CRC演算回路		動作可能 (ただしCPU停止のためCRCINレジスタへのデータ入力がない状態)	
外部バス・インタフェース		2.3 端子状態参照	
ポート機能		HALTモード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAM, 拡張内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持	

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

2. CANコントローラ内蔵品のみ

## 26.4 IDLE1モード

### 26.4.1 設定および動作状態

通常動作モード時，PSMR.PSM1, PSM0ビットを“00”に設定し，PSC.STPビットを“1”に設定することにより，IDLE1モードに設定されます。

IDLE1モードに設定すると，クロック発振回路，PLL, SSCGは動作を継続しますが，メイン・クロック（ $f_{xx}$ ）や周辺クロック（ $f_{xp}$ ）の供給が停止します。また，フラッシュ・メモリは動作を継続します。

これにより，プログラムの実行が停止し，内蔵RAMおよび拡張内蔵RAMの内容はIDLE1モード設定前の状態を保持します。また，CPUや，メイン・クロック（ $f_{xx}$ ）または周辺クロック（ $f_{xp}$ ）で動作する内蔵周辺機能は動作を停止します。ただし，メイン発振クロック（ $f_x$ ），サブクロック（ $f_{xt}$ ），内蔵発振クロック（ $f_r$ ），あるいは外部クロックで動作可能な内蔵周辺機能は，動作を継続します。

表26 - 5にIDLE1モード時の動作状態を示します。

IDLE1モードは，内蔵周辺機能の動作が停止するので，HALTモードよりさらに低消費電力を実現できます。また，メイン・クロック発振回路は停止しないので，IDLE1モード解除時，HALTモードと同様に発振安定時間を確保することなく，通常動作モードに復帰できます。

- 注意1.** IDLE1モードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。
- 2.** マスクされていない割り込み要求信号が保留されている状態でIDLE1モードに設定した場合，保留されている割り込み要求によりIDLE1モードはすぐに解除されます。

### 26.4.2 IDLE1モードの解除

IDLE1モードは，ノンマスクابل割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号（INTP0-INTP9端子入力），IDLE1モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット信号（ $\overline{\text{RESET}}$ 端子入力，ウォッチドッグ・タイマ2のオーバフローによるリセット信号（WDT2RES）発生，低電圧検出回路（LVI）によるリセット信号（LVIRES）発生，クロック・モニタ（CLM）によるリセット信号（CLMRES）発生）により解除されます。

IDLE1モードの解除により，通常動作モードに移行します。

#### （1）ノンマスクابل割り込み要求信号，マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号，マスクされていないマスクابل割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でIDLE1モードに設定した場合は次のようになります。

- （a）現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE1モードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- （b）現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると，IDLE1モードの解除とともにこの割り込み要求信号を受け付けます。

**注意** PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり，IDLE1モードは解除されません。

表26 - 4 割り込み要求信号によるIDLE1モード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐，または次の命令を実行	次の命令を実行

## （2）リセットによる解除

通常のリセット動作と同じです。



表26 - 5 IDLE1モード時の動作状態

項目		IDLE1モードの設定		動作状態	
				サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能			
サブクロック発振回路		-			
内蔵発振器		発振可能			
PLL		動作可能			
SSCG		動作可能			
CPU		動作停止			
DMA		動作停止			
割り込みコントローラ		動作停止 (ただしスタンバイ・モードの解除は可能)			
ROMコレクション		動作停止			
タイマP (TMP0-TMP8)		動作停止			
タイマQ (TMQ0)		動作停止			
タイマM	TMM0	カウント・クロックにINTWT (時計タイマ動作時) または $f_{r/8}$ を選択時に動作可能	カウント・クロックにINTWT (時計タイマ動作時), $f_{r/8}$ , $f_{xt}$ のいずれかを選択時に動作可能		
	TMM1	カウント・クロックに $f_{BRG}$ , $f_{r/8}$ , INTTM0EQ0 (TMM0動作時) のいずれかを選択時に動作可能			
	TMM2	カウント・クロックに $f_{BRG}$ , $f_{r/8}$ , INTTM1EQ0 (TMM1動作時) のいずれかを選択時に動作可能			
時計タイマ		カウント・クロックに $f_{BRG}$ を選択時に動作可能	動作可能		
リアルタイム・カウンタ (RTC)		カウント・クロックに $f_{BRG}$ を選択時に動作可能	動作可能		
ウォッチドッグ・タイマ2		カウント・クロックに $f_{r/8}$ を選択時に動作可能	カウント・クロックに $f_{r/8}$ または $f_{xt}$ を選択時に動作可能		
シリアル・インタフェース	CSIB0-CSIB5	転送クロックに $\overline{SCKBn}$ 入力クロック選択時に動作可能 (n = 0-5)			
	CSIE0 <sup>注1</sup> , CSIE1 <sup>注1</sup>	動作停止			
	I <sup>2</sup> C00-I <sup>2</sup> C03, I <sup>2</sup> C04 <sup>注1</sup> , I <sup>2</sup> C05 <sup>注1</sup>	動作停止			
	UARTA0-UARTA5	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)			
	UARTB0, UARTB1	動作停止			
CANコントローラ <sup>注2</sup>		動作停止			
IEBusコントローラ		動作停止			
A/Dコンバータ		動作保持 (変換結果も保持) <sup>注3</sup>			
D/Aコンバータ		動作保持 (出力保持 <sup>注3</sup> )			
リアルタイム出力機能 (RTO)		動作停止 (出力保持)			
キー割り込み機能 (KR)		動作可能			
CRC演算回路		動作停止			
外部バス・インタフェース		2.3 端子状態参照			
ポート機能		IDLE1モード設定前の状態を保持			
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAM, 拡張内蔵RAMなどの内部データはすべてIDLE1モード設定前の状態を保持			

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

2. CANコントローラ内蔵品のみ

3. 低消費電力を実現するためには、IDLE1モードに遷移する前にA/Dコンバータ、D/Aコンバータを停止してください。

## 26.5 IDLE2モード

### 26.5.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“10”に設定し、PSC.STPビットを“1”に設定することにより、IDLE2モードに設定されます。

IDLE2モードに設定すると、クロック発振回路は動作を継続しますが、PLLやSSCGとともにメイン・クロック ( $f_{xx}$ ) や周辺クロック ( $f_{xp}$ ) の供給が停止します。またフラッシュ・メモリは動作を停止します

これにより、プログラムの実行が停止し、内蔵RAMおよび拡張内蔵RAMの内容はIDLE2モード設定前の状態を保持します。また、CPUや、メイン・クロック ( $f_{xx}$ ) または周辺クロック ( $f_{xp}$ ) で動作する内蔵周辺機能は動作を停止します。ただし、メイン発振クロック ( $f_x$ )、サブクロック ( $f_{xt}$ )、内蔵発振クロック ( $f_r$ )、あるいは外部クロックで動作可能な内蔵周辺機能は、動作を継続します。

表26 - 7にIDLE2モード時の動作状態を示します。

IDLE2モードは、内蔵周辺機能、PLL、SSCG、フラッシュ・メモリの動作が停止するので、IDLE1モードよりさらに低消費電力を実現できます。ただし、PLL、SSCG、フラッシュ・メモリは停止するため、IDLE2モード解除時、必ずPLL、SSCG、フラッシュ・メモリのセットアップ時間が必要となります。

- 注意1.** IDLE2モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
- 2.** マスクされていない割り込み要求信号が保留されている状態でIDLE2モードに設定した場合、保留されている割り込み要求によりIDLE2モードはすぐに解除されます。

## 26.5.2 IDLE2モードの解除

IDLE2モードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP9端子入力）、IDLE2モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力、ウォッチドッグ・タイマ2のオーバーフローによるリセット信号（WDT2RES）発生、低電圧検出回路（LVI）によるリセット信号（LVIRES）発生、クロック・モニタ（CLM）によるリセット信号（CLMRES）発生）により解除されます。また、PLLはIDLE2モード設定前の動作状態に復帰します。

IDLE2モードの解除により、通常動作モードに移行します。

### （1）ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLE2モードに設定した場合は次のようになります。

- （a）現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE2モードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- （b）現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、IDLE2モードの解除とともにこの割り込み要求信号を受け付けます。

**注意** PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、IDLE2モードは解除されません。

表26 - 6 割り込み要求信号によるIDLE2モード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクابل割り込み要求信号	所定のセットアップ時間確保後、ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	所定のセットアップ時間確保後、ハンドラ・アドレスに分岐、または次の命令を実行	所定のセットアップ時間確保後、次の命令を実行

### （2）リセットによる解除

通常のリセット動作と同じです。

表26 - 7 IDLE2モード時の動作状態

項目		IDLE2モードの設定		動作状態	
				サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能			
サブクロック発振回路		-			
内蔵発振器		発振可能			
PLL		動作停止			
SSCG		動作停止			
CPU		動作停止			
DMA		動作停止			
割り込みコントローラ		動作停止 (ただしスタンバイ・モードの解除は可能)			
ROMコレクション		動作停止			
タイマP (TMP0-TMP8)		動作停止			
タイマQ (TMQ0)		動作停止			
タイマM	TMM0	カウント・クロックにINTWT (時計タイマ動作時) または $f_{r/8}$ を選択時に動作可能		カウント・クロックにINTWT (時計タイマ動作時), $f_{r/8}$ , $f_{xt}$ のいずれかを選択時に動作可能	
	TMM1	カウント・クロックに $f_{BRG}$ , $f_{r/8}$ , INTTM0EQ0 (TMM0動作時) のいずれかを選択時に動作可能			
	TMM2	カウント・クロックに $f_{BRG}$ , $f_{r/8}$ , INTTM1EQ0 (TMM1動作時) のいずれかを選択時に動作可能			
時計タイマ		カウント・クロックに $f_{BRG}$ を選択時に動作可能		動作可能	
リアルタイム・カウンタ (RTC)		カウント・クロックに $f_{BRG}$ を選択時に動作可能		動作可能	
ウォッチドッグ・タイマ2		カウント・クロックに $f_{r/8}$ を選択時に動作可能		カウント・クロックに $f_{r/8}$ または $f_{xt}$ を選択時に動作可能	
シリアル・インタフェース	CSIB0-CSIB5	転送クロックに $\overline{SCKBn}$ 入力クロック選択時に動作可能 (n = 0-5)			
	CSIE0 <sup>注1</sup> , CSIE1 <sup>注1</sup>	動作停止			
	I <sup>2</sup> C00-I <sup>2</sup> C03, I <sup>2</sup> C04 <sup>注1</sup> , I <sup>2</sup> C05 <sup>注1</sup>	動作停止			
	UARTA0-UARTA5	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)			
	UARTB0, UARTB1	動作停止			
CANコントローラ <sup>注2</sup>		動作停止 (ただしウエイク・アップは可能)			
IEBusコントローラ		動作停止			
A/Dコンバータ		動作保持 (変換結果も保持) <sup>注3</sup>			
D/Aコンバータ		動作保持 (出力保持 <sup>注3</sup> )			
リアルタイム出力機能 (RTO)		動作停止 (出力保持)			
キー割り込み機能 (KR)		動作可能			
CRC演算回路		動作停止			
外部バス・インタフェース		2.3 端子状態参照			
ポート機能		IDLE2モード設定前の状態を保持			
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAM, 拡張内蔵RAMなどの内部データはすべてIDLE2モード設定前の状態を保持			

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

2. CANコントローラ内蔵品のみ

3. 低消費電力を実現するためには、IDLE2モードに遷移する前にA/Dコンバータ、D/Aコンバータを停止してください。

### 26. 5. 3 IDLE2モード解除時のセットアップ時間の確保

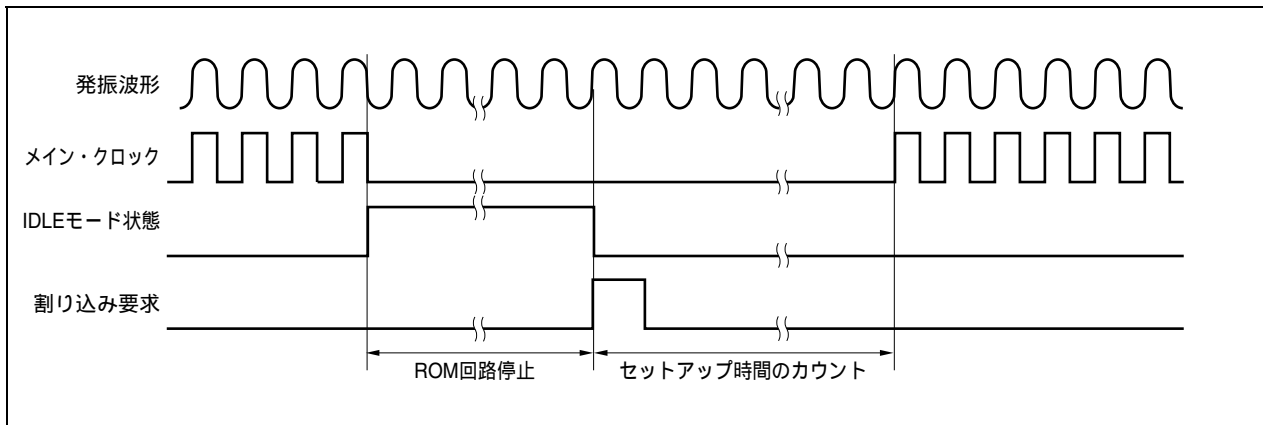
IDLE2モードに設定されることにより、PLL、SSCG、フラッシュ・メモリは動作を停止するので、IDLE2モード解除後、セットアップ時間を確保してください。

- 注意1. クロック・モード1では、PLL動作の状態でIDLE2モードへ遷移する場合、IDLE2モード解除後に挿入されるセットアップ時間は $800\ \mu\text{s}$ 以上に設定してください。PLL停止の場合、IDLE2モード解除後に挿入されるセットアップ時間は $350\ \mu\text{s}$ 以上に設定してください。
2. クロック・モード2-4では、SSCG動作の状態でIDLE2モードへ遷移する場合、IDLE2モード解除後に挿入されるセットアップ時間は $1\ \text{ms}$ 以上に設定してください。SSCG停止の場合、IDLE2モード解除後に挿入されるセットアップ時間は $800\ \mu\text{s}$ 以上に設定してください。

#### (1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号による解除

所定のセットアップ時間は、OSTSレジスタの設定により確保します。

IDLE2モードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバフローすると通常動作モードに移行します。



#### (2) リセットによる解除

通常のリセット動作と同じです。

なお、発振安定時間はOSTSレジスタの初期値： $2^{16}/f_x$ になります。

## 26.6 STOPモード

### 26.6.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“01”または“11”に設定し、PSC.STPビットを“1”に設定することにより、STOPモードに設定されます。

STOPモードに設定するとサブクロック発振回路と内蔵発振器は動作を継続しますが、メイン・クロック発振回路は動作を停止します。また、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMおよび拡張内蔵RAMの内容はSTOPモード設定前の状態を保持します。また、そのほかの内蔵周辺機能は動作を停止します。ただし、サブクロック ( $f_{XT}$ )、内蔵発振クロック ( $f_R$ )、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表26-9にSTOPモード時の動作状態を示します。

STOPモードは、メイン・クロック発振回路の動作が停止するので、IDLE2モードよりさらに低消費電力を実現できます。また、サブクロック発振回路、内蔵発振器、外部クロックを使用しない場合は、リーク電流のみの超低消費電力を実現できます

- 注意1.** STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
- 2.** マスクされていない割り込み要求信号が保留されている状態でSTOPモードに設定した場合、保留されている割り込み要求によりSTOPモードはすぐに解除されます。

### 26.6.2 STOPモードの解除

STOPモードは、ノンマスクブル割り込み要求信号 (NMI端子入力, INTWDT2信号)、マスクされていない外部割り込み要求信号 (INTP0-INTP9端子入力)、STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号 ( $\overline{\text{RESET}}$ 端子入力、ウォッチドッグ・タイマ2のオーバフローによるリセット信号 (WDT2RES) 発生、低電圧検出回路 (LVI) によるリセット信号 (LVIRES) 発生) により解除されます。

STOPモードの解除により、発振安定時間を確保したあと、通常動作モードに移行します。

#### (1) ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号

ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとSTOPモードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号 (ノンマスクブル割り込み要求信号を含む) が発生すると、STOPモードの解除とともにこの割り込み要求信号を受け付けます。

**注意** PSC.NMI1M, NMI0M, INTMビットで1に設定 (割り込み禁止) されている割り込み要求は無効になり、STOPモードは解除されません。

表26 - 8 割り込み要求信号によるSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクブル割り込み要求信号	発振安定時間確保後, ハンドラ・アドレスに分岐	
マスクブル割り込み要求信号	発振安定時間確保後, ハンドラ・アドレスに分岐, または次の命令を実行	発振安定時間確保後, 次の命令を実行

**(2) リセットによる解除**

通常のリセット動作と同じです。

表26 - 9 STOPモード時の動作状態

項目		STOPモードの設定	
		動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振停止	
サブクロック発振回路		-	発振可能
内蔵発振器		発振可能	
PLL		動作停止	
SSCG		動作停止	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止 (ただしスタンバイ・モードの解除は可能)	
ROMコレクション		動作停止	
タイマP (TMP0-TMP8)		動作停止	
タイマQ (TMQ0)		動作停止	
タイマM	TMM0	カウント・クロックに $f_{R/8}$ を選択時に動作可能	カウント・クロックにINTWT (時計タイマ動作時), $f_{R/8}$ , $f_{XT}$ のいずれかを選択時に動作可能
	TMM1	カウント・クロックに $f_{R/8}$ またはINTTM0EQ0 (TMM0動作時)を選択時に動作可能	
	TMM2	カウント・クロックに $f_{R/8}$ またはINTTM1EQ0 (TMM1動作時)を選択時に動作可能	
時計タイマ		動作停止	カウント・クロックに $f_{XT}$ を選択時に動作可能
リアルタイム・カウンタ (RTC)		動作停止	カウント・クロックに $f_{XT}$ を選択時に動作可能
ウォッチドッグ・タイマ2		カウント・クロックに $f_{R/8}$ を選択時に動作可能	カウント・クロックに $f_{R/8}$ または $f_{XT}$ を選択時に動作可能
シリアル・インタフェース	CSIB0-CSIB5	転送クロックに $\overline{SCKBn}$ 入力クロック選択時に動作可能 (n = 0-5)	
	CSIE0 <sup>注1</sup> , CSIE1 <sup>注1</sup>	動作停止	
	I <sup>2</sup> C00-I <sup>2</sup> C03, I <sup>2</sup> C04 <sup>注1</sup> , I <sup>2</sup> C05 <sup>注1</sup>	動作停止	
	UARTA0-UARTA5	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)	
	UARTB0, UARTB1	動作停止	
CANコントローラ <sup>注2</sup>		動作停止 (ただしウエイク・アップは可能)	
IEBusコントローラ		動作停止	
A/Dコンバータ		動作停止 (変換結果も不定) <sup>注3, 4</sup>	
D/Aコンバータ		動作停止 <sup>注5, 6</sup> (出力はハイ・インピーダンス)	
リアルタイム出力機能 (RTO)		動作停止 (出力保持)	
キー割り込み機能 (KR)		動作可能	
CRC演算回路		動作停止	
外部バス・インタフェース		2.3 端子状態参照	
ポート機能		STOPモード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAM, 拡張内蔵RAMなどの内部データはすべてSTOPモード設定前の状態を保持	

注1.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

2. CANコントローラ内蔵品のみ

3. A/Dコンバータを動作した状態でSTOPモードに遷移した場合, STOPモード期間中A/Dコンバータは自動的に停止しますが, STOPモード解除後, 再び動作を開始します。ただし, その場合STOPモード解除後のA/D変換結果は無効です。また, STOPモード遷移前のA/D変換結果はすべて無効です。



- 注4. A/Dコンバータを動作した状態でSTOPモードに遷移した場合でも、STOPモード遷移前にA/Dコンバータを停止した場合と同等に消費電力を低減できます。
5. D/Aコンバータを動作した状態でSTOPモードに遷移した場合、STOPモード期間中D/Aコンバータは自動的に停止し、端子状態はハイ・インピーダンスになります。STOPモード解除後、再び動作を開始しセトリング時間を経て、STOPモード遷移前の出力レベルに戻ります。
6. D/Aコンバータを動作した状態でSTOPモードに遷移した場合でも、STOPモード遷移前にD/Aコンバータを停止した場合と同等に消費電力を低減できます。

### 26. 6. 3 STOPモード解除時の発振安定時間の確保

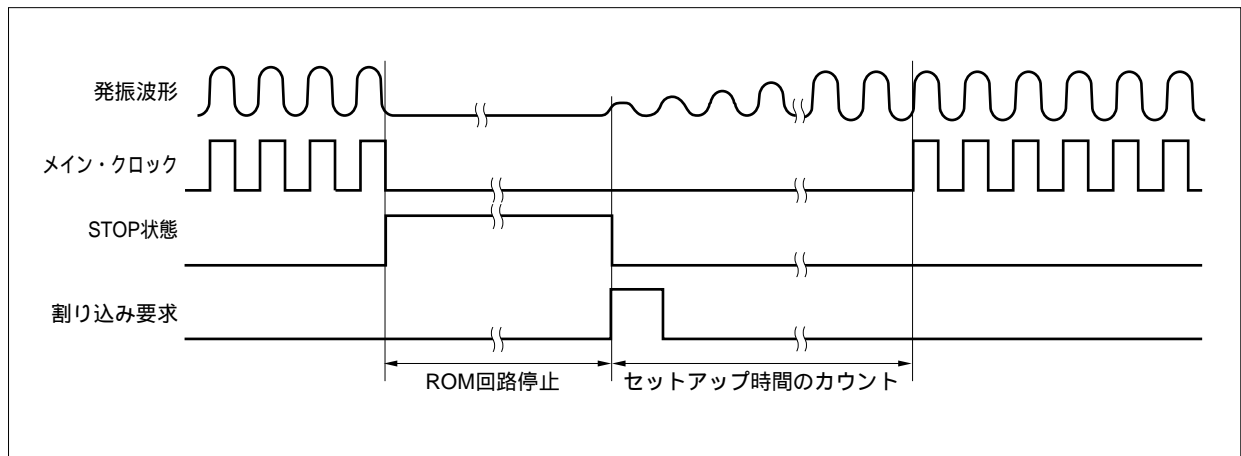
STOPモードに設定されることにより、メイン・クロック発振回路は動作を停止するので、STOPモード解除後、メイン・クロック発振回路の発振安定時間を確保してください。

- 注意1. クロック・モード1では、PLL動作の状態ではSTOPモードへ遷移する場合、STOPモード解除後に挿入される発振安定時間は1 ms以上に設定してください。
2. クロック・モード2-4では、SSCG動作の状態ではSTOPモードへ遷移する場合、STOPモード解除後に挿入される発振安定時間は2 ms以上に設定してください。

#### (1) ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号による解除

発振安定時間は、OSTSレジスタの設定により確保します。

STOPモードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバフローすると通常動作モードに移行します。



#### (2) リセットによる解除

通常のリセット動作と同じです。

なお、発振安定時間はOSTSレジスタの初期値： $2^{16}/f_x$ になります。

## 26.7 サブクロック動作モード

### 26.7.1 設定および動作状態

通常動作モード時，PCC.CK3ビットを“1”に設定することにより，サブクロック動作モードに設定されます。

サブクロック動作モードに設定すると，内部システム・クロックがメイン・クロック サブクロックに切り替わります。切り替わりは，PCC.CLSビットを確認してください。

さらに，PCC.MCKビットを“1”に設定することにより，メイン・クロック発振回路の動作を停止します。これにより，システム全体がサブクロックで動作します。

サブクロック動作モードは，内部システム・クロックがサブクロックとなるので，通常動作モードよりも消費電力を低減できます。さらに，メイン・クロック発振回路の動作を停止させることにより，STOPモードに近い低消費電力を実現できます。

サブクロック動作モード時の動作状態を表26 - 10に示します。

- 注意1.** サブクロック発振回路の発振安定時間を確保したあとにサブクロック動作モードに移行してください。電源投入後にサブクロック発振回路は発振を開始します。
2. サブクロック動作モードに設定する前に，SSCGは停止（SSCGCTL.SSCGONビット = 0）してください。なお，クロック・モード1では，SSCGは使用禁止です。
3. CK3ビットを操作する場合，PCC.CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は，6.3(1)プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。
4. 次の条件を満たしていない場合は，条件を満たすようにCK2-CK0ビットを変更後，サブクロック動作モードに移行してください。
- 内部システム・クロック ( $f_{CLK}$ ) > サブクロック ( $f_{XT} = 32.768 \text{ kHz}$ ) × 4
5. メイン・クロック発振回路を停止するときは，メイン発振クロック ( $f_X$ )，周辺クロック ( $f_{XP}$ ) で動作している内蔵周辺機能の動作を停止してください。
6. クロック・モード2-4では，ソフトウェアでPLLCTL.PLLONビットをクリア（0）しないでください（PLLを停止しない）。メイン・クロック発振回路を停止する（PCC.MCKビット = 1）と同時に，PLLはPLLCTL.PLLONビット = 1（PLL動作許可）のまま自動的に停止します。また再びメイン・クロック発振回路を許可（PCC.MCKビット = 0）すると，PLLも動作開始し，ソフトウェアにより発振安定時間（1 ms (MIN.)）を確保している間にPLLはロック状態になります。

**備考** 内部システム・クロック ( $f_{CLK}$ )：CK2-CK0ビットの設定によってメイン・クロック ( $f_{XX}$ ) から生成するクロック

### 26.7.2 サブクロック動作モードの解除

サブクロック動作モードは、CK3ビットを“0”に設定するか、リセット信号（ $\overline{\text{RESET}}$ 端子入力、ウォッチドッグ・タイマ2のオーバーフローによるリセット信号（WDT2RES）発生、低電圧検出回路（LVI）によるリセット信号（LVIRES）発生、クロック・モニタ（CLM）によるリセット信号（CLMRES）発生）により解除します。

なお、メイン・クロック発振回路を停止（MCKビット = 1）していた場合は、MCKビットを“0”に設定し、メイン・クロック発振回路の発振安定時間をソフトウェアにより確保してから、CK3ビットを“0”に設定します。

サブクロック動作モードの解除により、通常動作モードに移行します。

**注意** CK3ビットを操作する場合、CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は、6.3（1）プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。

表26 - 10 サブクロック動作モード時の動作状態

サブクロック動作モードの設定 項 目		動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路		発振可能	
内蔵発振器		発振可能	
PLL		動作可能	動作停止 <sup>注5</sup>
SSCG		動作禁止 <sup>注4</sup>	
CPU		動作可能	
DMA		動作可能	
割り込みコントローラ		動作可能	
ROMコレクション		動作可能	
タイマP (TMP0-TMP8) <sup>注1</sup>		動作可能	動作禁止
タイマQ (TMQ0) <sup>注1</sup>		動作可能	動作禁止
タイマM	TMM0 <sup>注1</sup>	動作可能	カウント・クロックにINTWT (時計タイマ動作時), fr/8, fXTのいずれかを選択時に動作可能
	TMM1 <sup>注1</sup>	動作可能	カウント・クロックにfr/8またはINTTM0EQ0 (TMM0動作時)を選択時に動作可能
	TMM2 <sup>注1</sup>	動作可能	カウント・クロックにfr/8またはINTTM1EQ0 (TMM1動作時)を選択時に動作可能
時計タイマ <sup>注1</sup>		動作可能	カウント・クロックにfXTを選択時に動作可能
リアルタイム・カウンタ (RTC) <sup>注1</sup>		動作可能	カウント・クロックにfXTを選択時に動作可能
ウォッチドッグ・タイマ2		動作可能	カウント・クロックにfr/8またはfXTを選択時に動作可能
シリアル・インタフェース	CSIB0-CSIB5 <sup>注1</sup>	動作可能	転送クロックにSCKBn入力クロック選択時に動作可能 (n = 0-5)
	CSIE0 <sup>注1,2</sup> , CSIE1 <sup>注1,2</sup>	動作可能	動作禁止
	I <sup>2</sup> C00-I <sup>2</sup> C03 <sup>注1</sup> , I <sup>2</sup> C04 <sup>注1,2</sup> , I <sup>2</sup> C05 <sup>注1,2</sup>	動作可能	動作禁止
	UARTA0-UARTA5 <sup>注1</sup>	動作可能	動作禁止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)
	UARTB0 <sup>注1</sup> , UARTB1 <sup>注1</sup>	動作可能	動作禁止
CANコントローラ <sup>注1,3</sup>		動作可能	動作禁止
IEBusコントローラ <sup>注1</sup>		動作可能	動作禁止
A/Dコンバータ <sup>注1</sup>		動作可能	動作禁止
D/Aコンバータ		動作可能	
リアルタイム出力機能 (RTO)		動作可能	動作停止 (出力保持)
キー割り込み機能 (KR)		動作可能	
CRC演算回路		動作可能	
外部バス・インタフェース		動作可能	
ポート機能		設定可能	
内部データ		設定可能	

- 注1. メイン・クロック発振回路を停止するときは、メイン発振クロック ( $f_x$ )、周辺クロック ( $f_{XP}$ ,  $f_{IE}$ ,  $f_{CAN}$ ) で動作している内蔵周辺機能は動作禁止に設定してください。
2.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外
  3. CANコントローラ内蔵品のみ
  4. サブクロック動作モードに移行する前に、SSCGは停止 (SSCGCTL.SSCGONビット = 0) してください。  
なお、クロック・モード1では、SSCGは使用禁止です。
  5. メイン・クロック発振回路を停止すると、PLLは自動的に停止します。クロック・モード2-4では、ソフトウェアでPLLを停止しないでください (PLLCTL.PLLONビットをクリア (0) しない)。

注意 CPUがサブクロックで動作し、かつメイン発振を停止している場合、ウェイトが発生するレジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットのみです (3.4.9 (2) 参照)。

## 26.8 サブIDLEモード

### 26.8.1 設定および動作状態

サブクロック動作モード時，PSMR.PSM1, PSM0ビットを“00”または“10”に設定し，PSC.STPビットを“1”に設定することにより，サブIDLEモードに設定されます。

サブIDLEモードに設定すると，クロック発振回路は動作を継続しますが，CPU，フラッシュ・メモリやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMおよび拡張内蔵RAMの内容はサブIDLEモード設定前の状態を保持します。また，CPUやそのほかの内蔵周辺機能は動作を停止します。ただし，メイン発振クロック( $f_x$ )，サブクロック( $f_{XT}$ )，内蔵発振クロック( $f_R$ )，あるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

サブIDLEモードは，CPU，フラッシュ・メモリやそのほかの内蔵周辺機能の動作が停止するので，サブクロック動作モードよりさらに低消費電力を実現できます。

また，メイン・クロックを停止してからサブIDLEモードに設定した場合は，STOPモードに近い低消費電力を実現できます。

サブIDLEモード時の動作状態を，表26 - 12に示します。

- 注意1. サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。
- マスクされていない割り込み要求信号が保留されている状態でサブIDLEモードに設定した場合，保留されている割り込み要求によりサブIDLEモードはすぐに解除されます。
- メイン・クロック発振回路を停止するときは，メイン発振クロック( $f_x$ )，周辺クロック( $f_{XP}$ )で動作している内蔵周辺機能の動作を停止してください。
- クロック・モード2-4では，ソフトウェアでPLLCTL.PLLONビットをクリア(0)しないでください(PLLを停止しない)。メイン・クロック発振回路を停止する(PCC.MCKビット = 1)と同時に，PLLはPLLCTL.PLLONビット = 1(PLL動作許可)のまま自動的に停止します。また再びメイン・クロック発振回路を許可(PCC.MCKビット = 0)すると，PLLも動作開始し，ソフトウェアにより発振安定時間(1 ms (MIN.))を確保している間にPLLはロック状態になります。

## 26. 8. 2 サブIDLEモードの解除

サブIDLEモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP9端子入力）、サブIDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力、ウォッチドッグ・タイマ2のオーバフローによるリセット信号（WDT2RES）発生、低電圧検出回路（LVI）によるリセット信号（LVIRES）発生、クロック・モニタ（CLM）によるリセット信号（CLMRES）発生）により解除されます。また、PLLはサブIDLEモード設定前の動作状態と同じ状態に復帰します。

割り込み要求信号によるサブIDLEモードの解除により、サブクロック動作モードに移行します。

### (1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号が発生すると、優先順位とは無関係に解除されます。

ただし、割り込み処理ルーチン内でサブIDLEモードに設定した場合、次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生すると、サブIDLEモードの解除だけ行い、この割り込み要求信号は受けません。割り込み要求信号そのものは保留されます。
- (b) 現在処理中の割り込み要求よりも優先順位の高い割り込み要求信号（ノンマスクابل割り込み要求信号も含む）が発生すると、サブIDLEモードの解除とともにこの割り込み要求信号を受け付けます。

**注意1.** PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、サブIDLEモードは解除されません。

- 2. サブIDLEモードからの復帰時は、割り込み要求信号による解除要因が発生してから解除されるまでに、サブクロックの12周期分の時間（約366  $\mu\text{s}$ ）が挿入されます。

表26 - 11 割り込み要求信号によるサブIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

### (2) リセットによる解除

通常のリセット動作と同じです。

表26 - 12 サブIDLEモード時の動作状態

サブIDLEモードの設定 項目		動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路		発振可能	
内蔵発振器		発振可能	
PLL		動作可能	動作停止 <sup>注5</sup>
SSCG		動作禁止 <sup>注4</sup>	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止（ただしスタンバイ・モードの解除は可能）	
ROMコレクション		動作停止	
タイマP (TMP0-TMP8) <sup>注1</sup>		動作停止	動作禁止
タイマQ (TMQ0) <sup>注1</sup>		動作停止	動作禁止
タイマM	TMM0 <sup>注1</sup>	カウント・クロックにINTWT（時計タイマ動作時）、 $f_{R/8}$ 、 $f_{XT}$ のいずれかを選択時に動作可能	
	TMM1 <sup>注1</sup>	カウント・クロックに $f_{BRG}$ 、 $f_{R/8}$ 、INTTM0EQ0（TMM0動作時）のいずれかを選択時に動作可能	カウント・クロックに $f_{R/8}$ またはINTTM0EQ0（TMM0動作時）を選択時に動作可能
	TMM2 <sup>注1</sup>	カウント・クロックに $f_{BRG}$ 、 $f_{R/8}$ 、INTTM1EQ0（TMM1動作時）のいずれかを選択時に動作可能	カウント・クロックに $f_{R/8}$ またはINTTM1EQ0（TMM1動作時）を選択時に動作可能
時計タイマ <sup>注1</sup>		動作可能	カウント・クロックに $f_{XT}$ を選択時に動作可能
リアルタイム・カウンタ (RTC) <sup>注1</sup>		動作可能	カウント・クロックに $f_{XT}$ を選択時に動作可能
ウォッチドッグ・タイマ2		カウント・クロックに $f_{R/8}$ または $f_{XT}$ 選択時に動作可能	
シリアル・インタフェース	CSIB0-CSIB5 <sup>注1</sup>	転送クロックに $\overline{SCKBn}$ 入力クロック選択時に動作可能（ $n = 0-5$ ）	
	CSIE0 <sup>注1,2</sup> , CSIE1 <sup>注1,2</sup>	動作停止	動作禁止
	I <sup>2</sup> C00-I <sup>2</sup> C03 <sup>注1</sup> , I <sup>2</sup> C04 <sup>注1,2</sup> , I <sup>2</sup> C05 <sup>注1,2</sup>	動作停止	動作禁止
	UARTA0-UARTA5 <sup>注1</sup>	動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）	動作禁止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）
	UARTB0 <sup>注1</sup> , UARTB1 <sup>注1</sup>	動作停止	動作禁止
CANコントローラ <sup>注1,3</sup>		動作停止	動作禁止
IEBusコントローラ <sup>注1</sup>		動作停止	動作禁止
A/Dコンバータ <sup>注1</sup>		動作保持（変換結果も保持） <sup>注6</sup>	動作禁止
D/Aコンバータ		動作保持（出力保持 <sup>注6</sup> ）	
リアルタイム出力機能 (RTO)		動作停止（出力保持）	
キー割り込み機能 (KR)		動作可能	
CRC演算回路		動作停止	
外部バス・インタフェース		2.3 端子状態参照（IDLE1, IDLE2モードと同じ動作状態）	
ポート機能		サブIDLEモード設定前の状態を保持	
内部データ		CPUのレジスタ、ステータス、データ、内蔵RAM、拡張内蔵RAMなどの内部データはすべてサブIDLEモード設定前の状態を保持	

注1. メイン・クロック発振回路を停止するときは、メイン発振クロック（ $f_x$ ）、周辺クロック（ $f_{XP}$ ,  $f_{IE}$ ,  $f_{CAN}$ ）で動作している内蔵周辺機能は動作禁止に設定してください。



- 注2.  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外
3. CANコントローラ内蔵品のみ
  4. サブクロック動作モードに移行する前に, SSCGは停止 (SSCGCTL.SSCGONビット = 0) してください。  
なお, クロック・モード1では, SSCGは使用禁止です。
  5. メイン・クロック発振回路を停止すると, PLLは自動的に停止します。クロック・モード2-4では, ソフトウェアでPLLを停止しないでください (PLLCTL.PLLONビットをクリア (0) しない)。
  6. 低消費電力を実現するためには, サブIDLEモードに遷移する前にA/Dコンバータ, D/Aコンバータを停止してください。

## 26.9 状態遷移図

## (1) クロック・モード1使用時の状態遷移図

図26-1 クロック・モード1使用時の状態遷移図 (1/2)

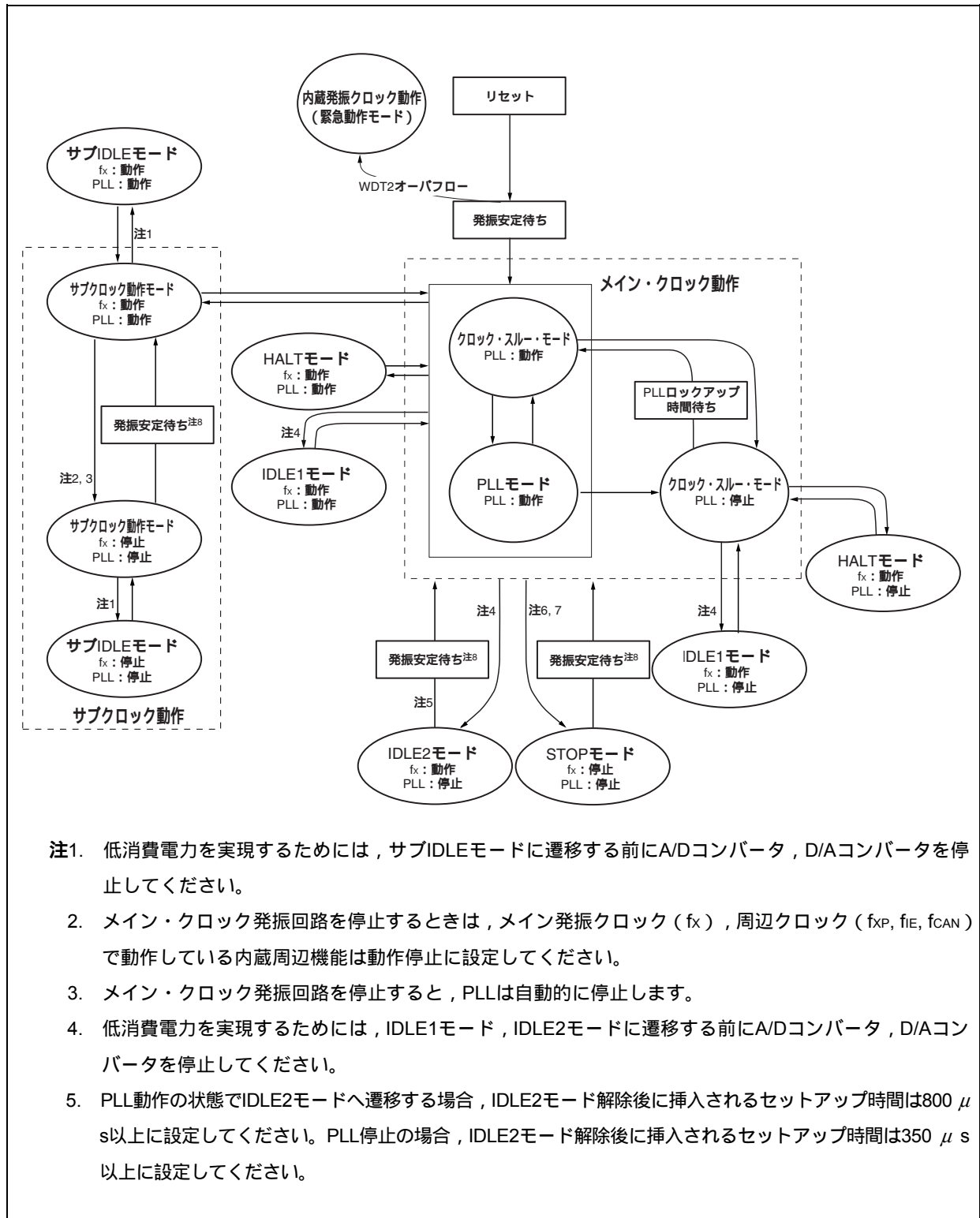


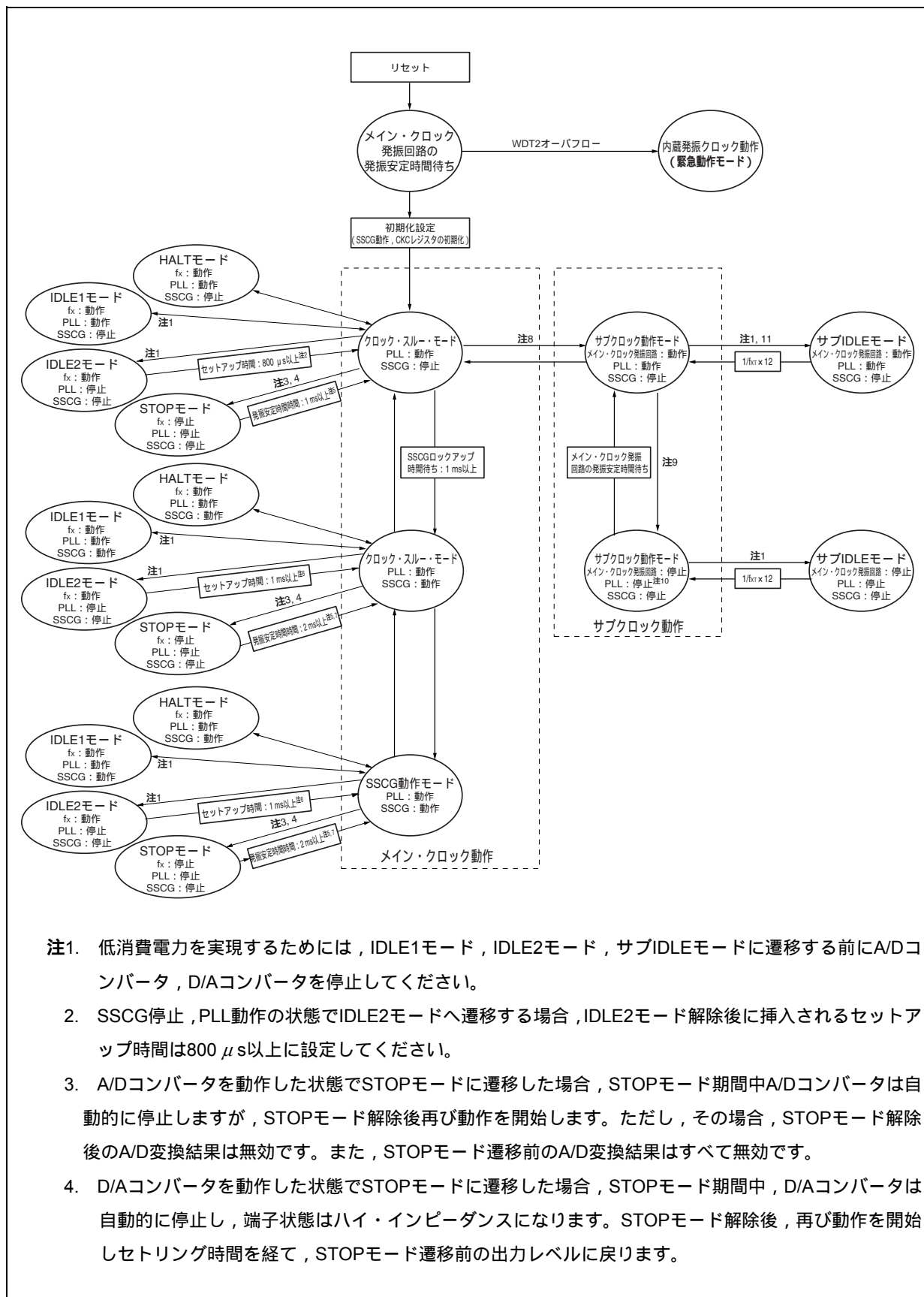
図26 - 1 クロック・モード1使用時の状態遷移図 (2/2)

- 注6. A/Dコンバータを動作した状態でSTOPモードに遷移した場合、STOPモード期間中A/Dコンバータは自動的に停止しますが、STOPモード解除後再び動作を開始します。ただし、その場合、STOPモード解除後のA/D変換結果は無効です。また、STOPモード遷移前のA/D変換結果はすべて無効です。
7. D/Aコンバータを動作した状態でSTOPモードに遷移した場合、STOPモード期間中、D/Aコンバータは自動的に停止し、端子状態はハイ・インピーダンスになります。STOPモード解除後、再び動作を開始しセトリング時間を経て、STOPモード遷移前の出力レベルに戻ります。
8. 発振安定時間中にWDT2オーバフローが発生すると、内部システム・クロック (f<sub>CLK</sub>) を内蔵発振クロック (f<sub>R</sub>) に切り替えて動作します。

**備考** f<sub>x</sub>: メイン発振クロック周波数

(2) クロック・モード2-4使用時の状態遷移図

図26 - 2 クロック・モード2-4使用時の状態遷移図 (1/2)



- 注1. 低消費電力を実現するためには、IDLE1モード、IDLE2モード、サブIDLEモードに遷移する前にA/Dコンバータ、D/Aコンバータを停止してください。
- SSCG停止、PLL動作の状態>IDLE2モードへ遷移する場合、IDLE2モード解除後に挿入されるセットアップ時間は800 μs以上に設定してください。
  - A/Dコンバータを動作した状態でSTOPモードに遷移した場合、STOPモード期間中A/Dコンバータは自動的に停止しますが、STOPモード解除後再び動作を開始します。ただし、その場合、STOPモード解除後のA/D変換結果は無効です。また、STOPモード遷移前のA/D変換結果はすべて無効です。
  - D/Aコンバータを動作した状態でSTOPモードに遷移した場合、STOPモード期間中、D/Aコンバータは自動的に停止し、端子状態はハイ・インピーダンスになります。STOPモード解除後、再び動作を開始しセットリング時間を経て、STOPモード遷移前の出力レベルに戻ります。

図26 - 2 クロック・モード2-4使用時の状態遷移図 (2/2)

- 注5. 発振安定時間中にWDT2オーバーフローが発生すると、内部システム・クロック ( $f_{CLK}$ ) を内蔵発振クロック ( $f_R$ ) に切り替えて動作します。
6. SSCG動作の状態からIDLE2モードへ遷移する場合、IDLE2モード解除後に挿入されるセットアップ時間は1 ms以上に設定してください。
7. SSCG動作の状態からSTOPモードへ遷移する場合、STOPモード解除後に挿入される発振安定時間は2 ms以上に設定してください。
8. サブクロック動作モードに移行する前に、クロック・スルー・モードに設定しSSCGは停止 (SSCGCTL.SSCGONビット = 0) してください。
9. メイン・クロック発振回路を停止するときは、メイン発振クロック ( $f_X$ )、周辺クロック ( $f_{XP}$ ,  $f_{IE}$ ,  $f_{CAN}$ ) で動作している内蔵周辺機能は動作停止に設定してください。
10. メイン・クロック発振回路を停止すると、PLLは自動的に停止します。
11. 低消費電力を実現するためには、サブIDLEモードに遷移する前にA/Dコンバータ、D/Aコンバータを停止してください。

- 注意1.** クロック・モード2-4では、ソフトウェアでPLLCTL.PLLONビットをクリア(0)しないでください(PLLを停止しない)。
2. (A9)品は、クロック・モード1、クロック・モード3 (SSCG出力 (8通倍) の場合) のみ設定できます。クロック・モード2、クロック・モード3 (SSCG出力 (12通倍) の場合)、クロック・モード4は設定できません。  
詳細については、表6 - 1を参照してください。

**備考**  $f_X$ : メイン発振クロック周波数

## 第27章 リセット機能

### 27.1 概 要

リセット機能の概要を次に示します。

#### (1) 4種類のリセット要因

- ・  $\overline{\text{RESET}}$  端子による外部リセット入力
- ・ ウォッチドッグ・タイマ2 (WDT2) のオーバフローによるリセット機能 (WDT2RES)
- ・ 低電圧検出回路 (LVI) の電源電圧と検出電圧との比較によるシステム・リセット (LVIRES)
- ・ クロック・モニタ (CLM) の発振停止検出によるシステム・リセット (CLMRES)

リセット解除後, リセット要因フラグ・レジスタ (RESF) によりリセット要因を確認できます。

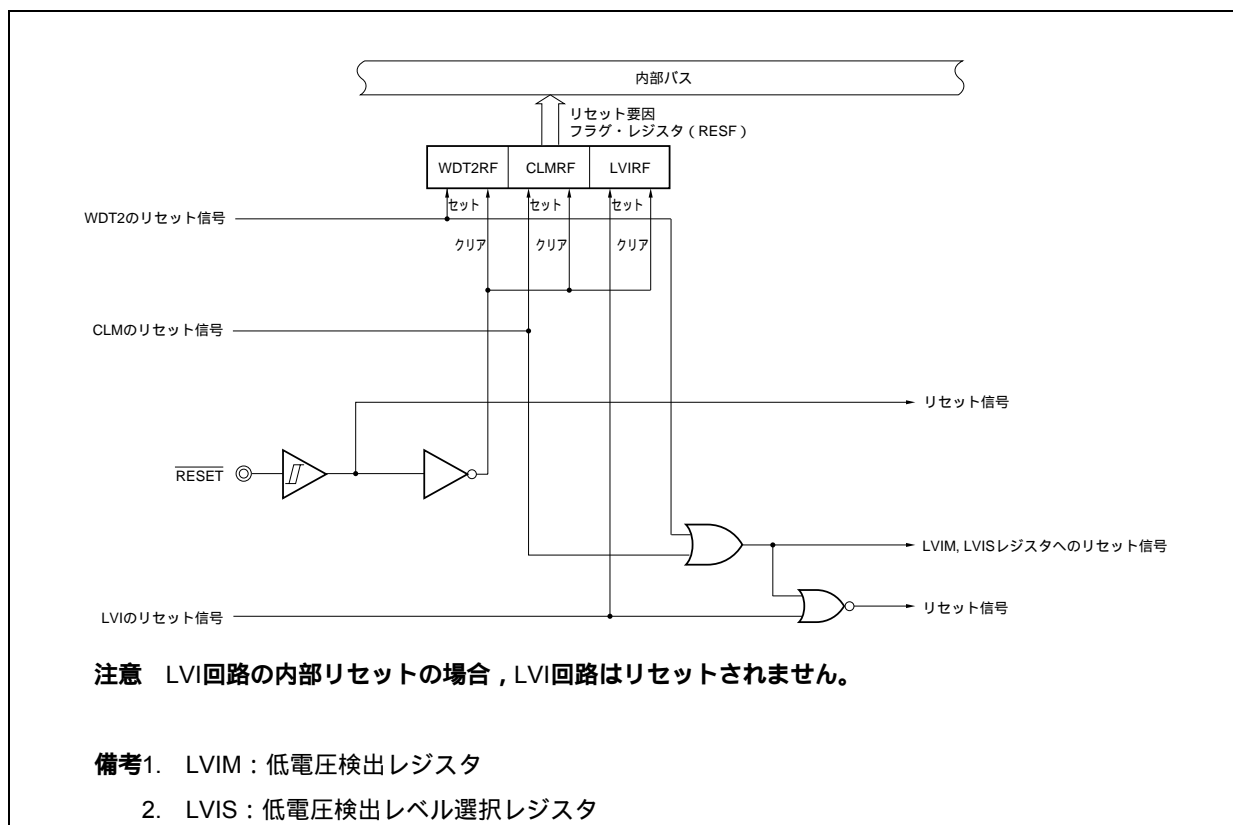
#### (2) 緊急動作モード

リセット解除後またはSTOPモード解除後に挿入されるメイン・クロック発振安定期間内でWDT2がオーバフローした場合, メイン・クロックの発振異常と判断し, 内蔵発振クロックでCPUの動作を開始します。

**注意** 緊急動作モード時は, 内蔵発振クロックで動作が可能な“割り込み機能, ポート機能, WDT2, TMM0-TMM2”用レジスタ以外の内蔵周辺I/Oレジスタにアクセスしないでください。また, 外部クロック入力を使用したCSIB0-CSIB5, CSIE0<sup>※</sup>, CSIE1<sup>※</sup>, UARTA0の動作も禁止します。

**注**  $\mu$  PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外

図27 - 1 リセット機能のブロック図



## 27.2 リセット要因を確認するレジスタ

V850E/SJ3-H, V850E/SK3-Hには4つのリセット要因が存在します。リセット解除後、リセット要因フラグ・レジスタ (RESF) により発生したリセット要因を確認できます。

### (1) リセット要因フラグ・レジスタ (RESF)

RESFレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

#### 4.8 特定レジスタ参照)。

RESFレジスタは、どの要因から発生したリセット信号かを格納するレジスタです。

8/1ビット単位でリード/ライト可能です。

$\overline{\text{RESET}}$ 端子入力により00Hになります。 $\overline{\text{RESET}}$ 端子以外の要因のリセットにより初期値は異なります。

リセット時 : 00H<sup>※</sup> R/W アドレス : FFFFF888H

	7	6	5	4	3	2	1	0
RESF	0	0	0	WDT2RF	0	0	CLMRF	LVIRF

WDT2RF	WDT2からのリセット信号発生有無
0	発生なし
1	発生あり

CLMRF	CLMからのリセット信号発生有無
0	発生なし
1	発生あり

LVIRF	LVIからのリセット信号発生有無
0	発生なし
1	発生あり

**注**  $\overline{\text{RESET}}$ 端子によるリセット時はRESFレジスタは00H。

ウォッチドッグ・タイマ2 (WDT2)、クロック・モニタ (CLM)、低電圧検出回路 (LVI) によるリセット時は、自身のリセット・フラグ (WDT2RF, CLMRF, LVIRFビット) をセットします。ただし、ほかの要因は保持します。

**注意1.** 各ビットへの書き込みは“0”ライトのみ可能で、“0”ライト書き込みとフラグ・セット(リセットの発生)が競合した場合、フラグ・セットが優先されます。

**2.** ビット2, 3, 5-7には必ず0を設定してください。

## 27.3 動作

### 27.3.1 RESET端子によるリセット動作

RESET端子にロウ・レベルを入力すると、システム・リセットがかかり、各ハードウェアを初期化します。  
RESET端子入力をロウ・レベルからハイ・レベルに変化させると、リセット状態を解除します。

表27 - 1 RESET端子入力時の各ハードウェアの状態

項目	リセット中	リセット後
メイン・クロック発振回路 (fx)	発振停止	発振開始
サブクロック発振回路 (fxT)	発振継続	
内蔵発振器	発振停止	発振開始
周辺クロック (fxp-fxp/1024)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (fCLK) , CPUクロック (fCPU)	動作停止	発振安定時間確保後、動作開始 (fx/8に初期化)
CPU	初期化	発振安定時間確保後、プログラムの実行開始
ウォッチドッグ・タイマ2	動作停止 (カウントは0に初期化)	内蔵発振クロックをソース・クロックとして0からカウント・アップ
内蔵RAM, 拡張内蔵RAM	パワーオン時のリセット, またはCPUアクセスとリセット入力競合 (データ破壊) した場合, 不定。 リセット入力時にIDLE1, IDLE2, STOP, サブIDLEモードの場合は, リセット入力直前の値を保持。	
I/Oライン (ポート / 兼用端子)	ハイ・インピーダンス <sup>注</sup>	
内蔵周辺I/Oレジスタ	所定の状態に初期化, OCDMレジスタはセット (01H)	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後, 動作開始可能

注 次を示す端子は、電源投入時に瞬間的に不定レベルを出力する可能性があります。

・ P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO端子

**注意** OCDMレジスタはRESET端子入力によって初期化されます。そのため、リセット解除後、再度OCDM.OCDM0ビットをクリアするまでの間にP05/DRST端子にハイ・レベルが入力されると、オンチップ・デバッグ・モードに入るため注意してください。詳細は、第4章 ポート機能を参照してください。



図27 - 2 RESET端子入力によるリセット動作のタイミング

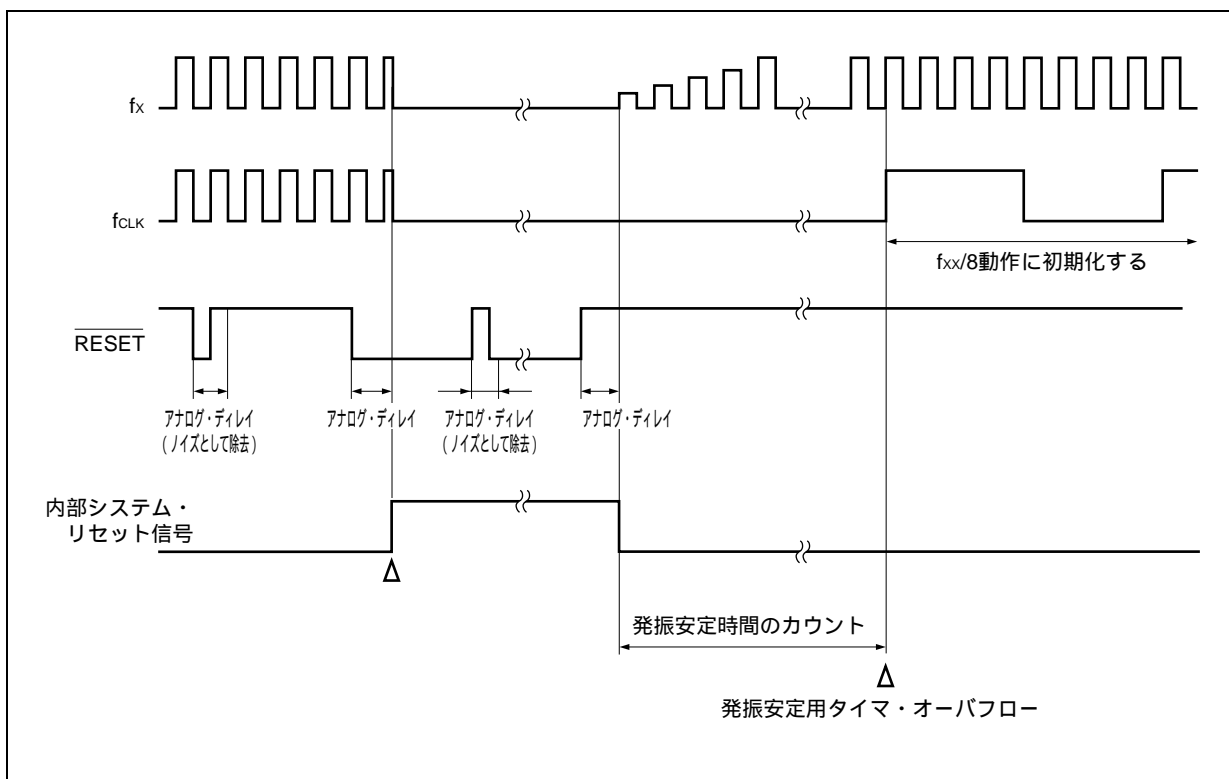
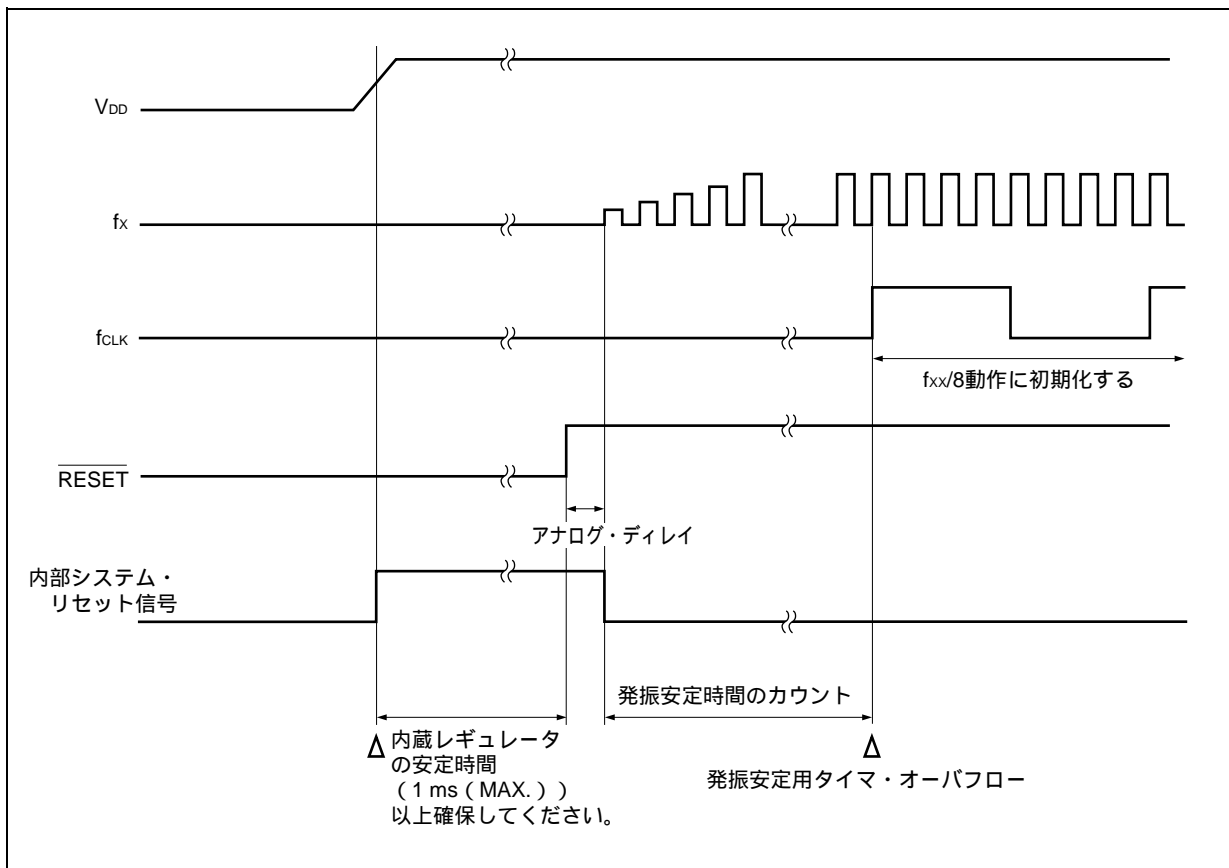


図27 - 3 パワーオン時のリセット動作のタイミング



### 27.3.2 ウォッチドッグ・タイマ2によるリセット動作 (WDT2RES)

ウォッチドッグ・タイマ2をオーバフローによるリセット動作モードに設定時、ウォッチドッグ・タイマ2がオーバフロー (WDT2RES信号発生) すると、システム・リセットがかかり各ハードウェアを所定の状態に初期化します。

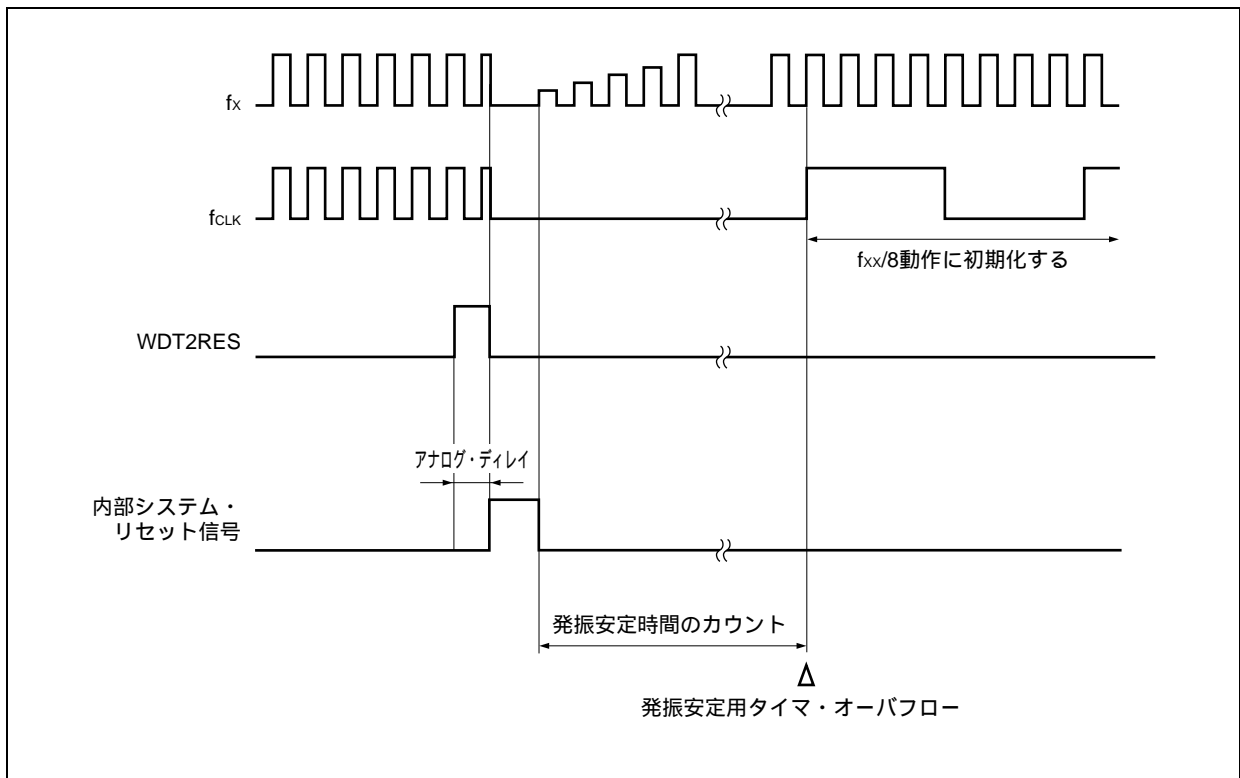
ウォッチドッグ・タイマ2のオーバフロー後、所定の時間 (アナログ・ディレイ分) リセット状態となり、その後リセット状態を自動的に解除します。

なお、リセット期間中はメイン・クロック発振回路は停止します。

表27-2 ウォッチドッグ・タイマ2によるリセット動作時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 ( $f_x$ )	発振停止	発振開始
サブクロック発振回路 ( $f_{XT}$ )	発振継続	
内蔵発振器	発振停止	発振開始
周辺クロック ( $f_{XP}$ - $f_{XP}/1024$ )	動作停止	発振安定時間確保後、動作開始
内部システム・クロック ( $f_{CLK}$ ) , CPUクロック ( $f_{CPU}$ )	動作停止	発振安定時間確保後、動作開始 ( $f_{XX}/8$ に初期化)
CPU	初期化	発振安定時間確保後、プログラムの実行開始
WDT2	動作停止 (カウントは0に初期化)	内蔵発振クロックをソース・クロックとして0からカウント・アップ
内蔵RAM , 拡張内蔵RAM	パワーオン時のリセット、またはCPUアクセスとリセット入力競合 (データ破壊) した場合、不定。 リセット入力時にIDLE1, IDLE2, STOP, サブIDLEモードの場合は、リセット入力直前の値を保持。	
I/Oライン (ポート / 兼用端子)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタは値を保持。	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

図27 - 4 WDT2RES信号発生によるリセット動作のタイミング



### 27.3.3 低電圧検出回路によるリセット動作 (LVIRES)

LVIの動作許可時，電源電圧と検出電圧を比較し，電源電圧が検出電圧を下回った場合，システム・リセットがかかり (LVIM.LVIMDビット = 1設定時)，各ハードウェアを所定の状態に初期化します。

電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となります。

なお，リセット期間中はメイン・クロック発振回路は停止します。

LVIMDビット = 0設定時は，低電圧を検出すると割り込み要求信号 (INTLVI) を発生します。

表27 - 3 低電圧検出回路によるリセット動作時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (f <sub>x</sub> )	発振停止	発振開始
サブクロック発振回路 (f <sub>xT</sub> )	発振継続	
内蔵発振器	発振停止	発振開始
周辺クロック (f <sub>xP</sub> -f <sub>xP</sub> /1024)	動作停止	発振安定時間確保後，動作開始
内部システム・クロック (f <sub>CLK</sub> )， CPUクロック (f <sub>CPU</sub> )	動作停止	発振安定時間確保後，動作開始 (f <sub>xx</sub> /8に初期化)
CPU	初期化	発振安定時間確保後，プログラムの実行開始
WDT2	動作停止 (カウントは0に初期化)	内蔵発振クロックをソース・クロックとして0からカウント・アップ
内蔵RAM， 拡張内蔵RAM	パワーオン時のリセット，またはCPUアクセスとリセット入力競合 (データ破壊) した場合，不定。 リセット入力時にIDLE1, IDLE2, STOP, サブIDLEモードの場合は，リセット入力直前の値を保持。	
I/Oライン (ポート / 兼用端子)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化，OCDMレジスタは値を保持。	
LVI	動作継続	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後，動作開始可能

**備考** 低電圧検出回路のリセット・タイミングは，第29章 低電圧検出回路を参照してください。

### 27.3.4 クロック・モニタによるリセット動作 (CLMRES)

クロック・モニタ動作許可時、サンプリング・クロック (内蔵発振クロック:  $f_R$ ) にてメイン・クロックの監視を行い、メイン・クロックの停止を検出するとシステム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

メイン・クロックの停止検出後、所定の時間 (アナログ・ディレイ分) リセット状態となり、その後リセット状態を自動的に解除します。リセット解除後、メイン・クロックが停止しているため発振安定用タイマのカウンタ動作が行われず、デフォルト・スタートのウォッチドッグ・タイマ2がオーバーフローすると、CPUは内蔵発振クロック ( $f_R$ ) でプログラム実行を開始します。

クロック・モニタによるリセット信号 (CLMRES) によるリセット期間中とリセット解除後の各ハードウェア状態を次に示します。

クロック・モニタによるリセット・タイミングについては図27-5を参照してください。

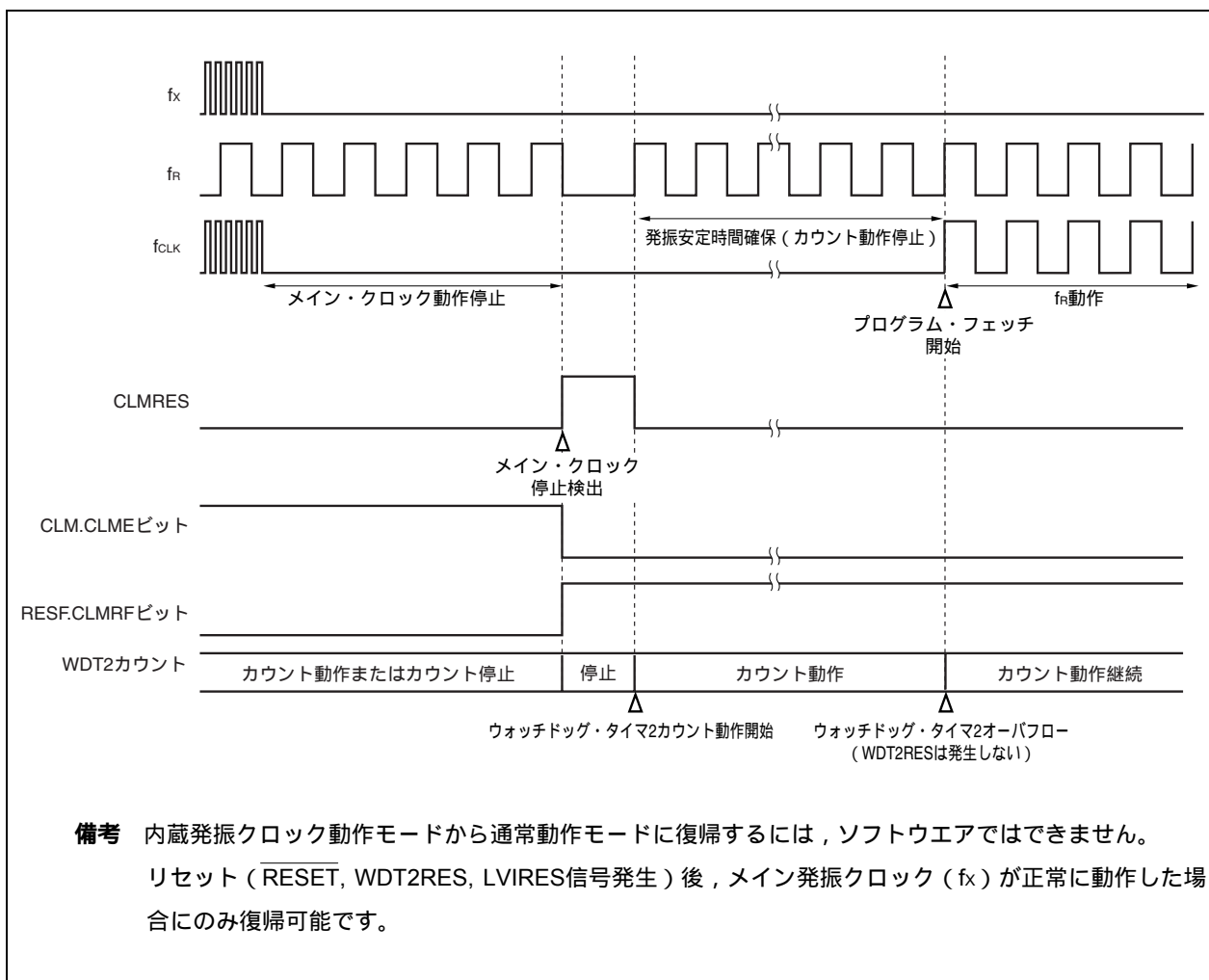
表27-4 クロック・モニタによるリセット動作時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 ( $f_X$ )	発振停止	発振開始 <sup>注</sup>
サブクロック発振回路 ( $f_{XT}$ )	発振継続	
内蔵発振器	発振停止	発振開始
周辺クロック ( $f_{XP-f_{XP}/1024}$ )	動作停止	発振安定時間確保後、動作開始 <sup>注</sup>
内部システム・クロック ( $f_{CLK}$ ) , CPUクロック ( $f_{CPU}$ )	動作停止	発振安定時間確保後、動作開始 ( $f_{XX}/8$ に初期化)。ただしCPU実行前のウォッチドッグ・タイマ2オーバーフロー時は、内蔵発振クロック ( $f_R$ ) で動作開始。
CPU	初期化	発振安定時間確保後、プログラムの実行開始。ただしCPU実行前のウォッチドッグ・タイマ2オーバーフロー時は、内蔵発振クロック ( $f_R$ ) で動作開始。
WDT2	動作停止 (カウントは0に初期化)	動作開始。ただしCPU実行前のウォッチドッグ・タイマ2オーバーフロー時のみは、WDT2RESが発生しません。
内蔵RAM , 拡張内蔵RAM	不定	
I/Oライン (ポート / 兼用端子)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタは値を保持。	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能 <sup>注</sup>

注 クロック・モニタによるリセット動作後にメイン・クロックが発振を開始した場合

備考 クロック・モニタの詳細は、第28章 クロック・モニタを参照してください。

図27 - 5 クロック・モニタによるリセット・タイミング

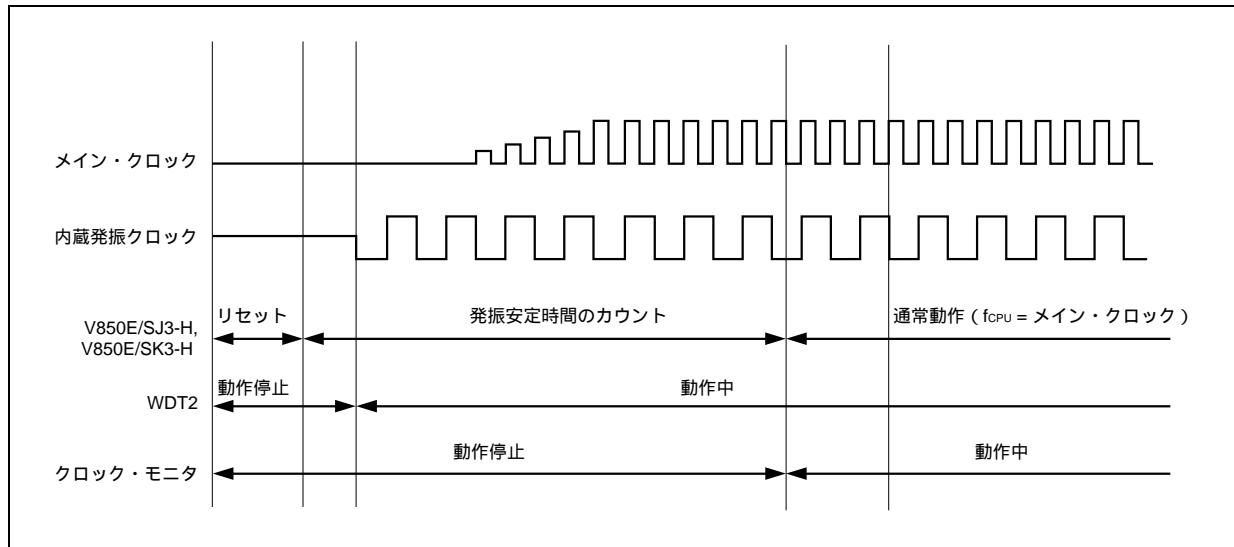


### 27.3.5 リセット解除後の動作

リセット解除後、メイン・クロックは発振を開始し、発振安定時間（OSTSレジスタの初期値： $2^{16}/f_x$ ）を確保したあと、CPUはプログラムの実行を開始します。

また、WDT2はリセット解除後、内蔵発振クロックをソース・クロックとして、すぐに動作を開始します。

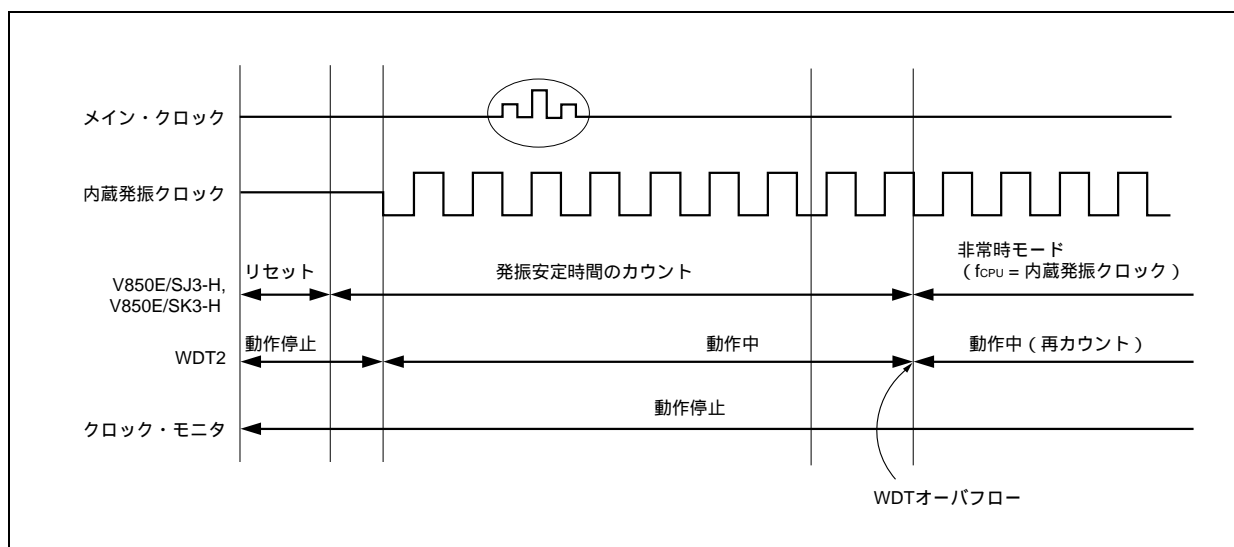
図27-6 リセット解除後の動作



#### (1) 緊急動作モード

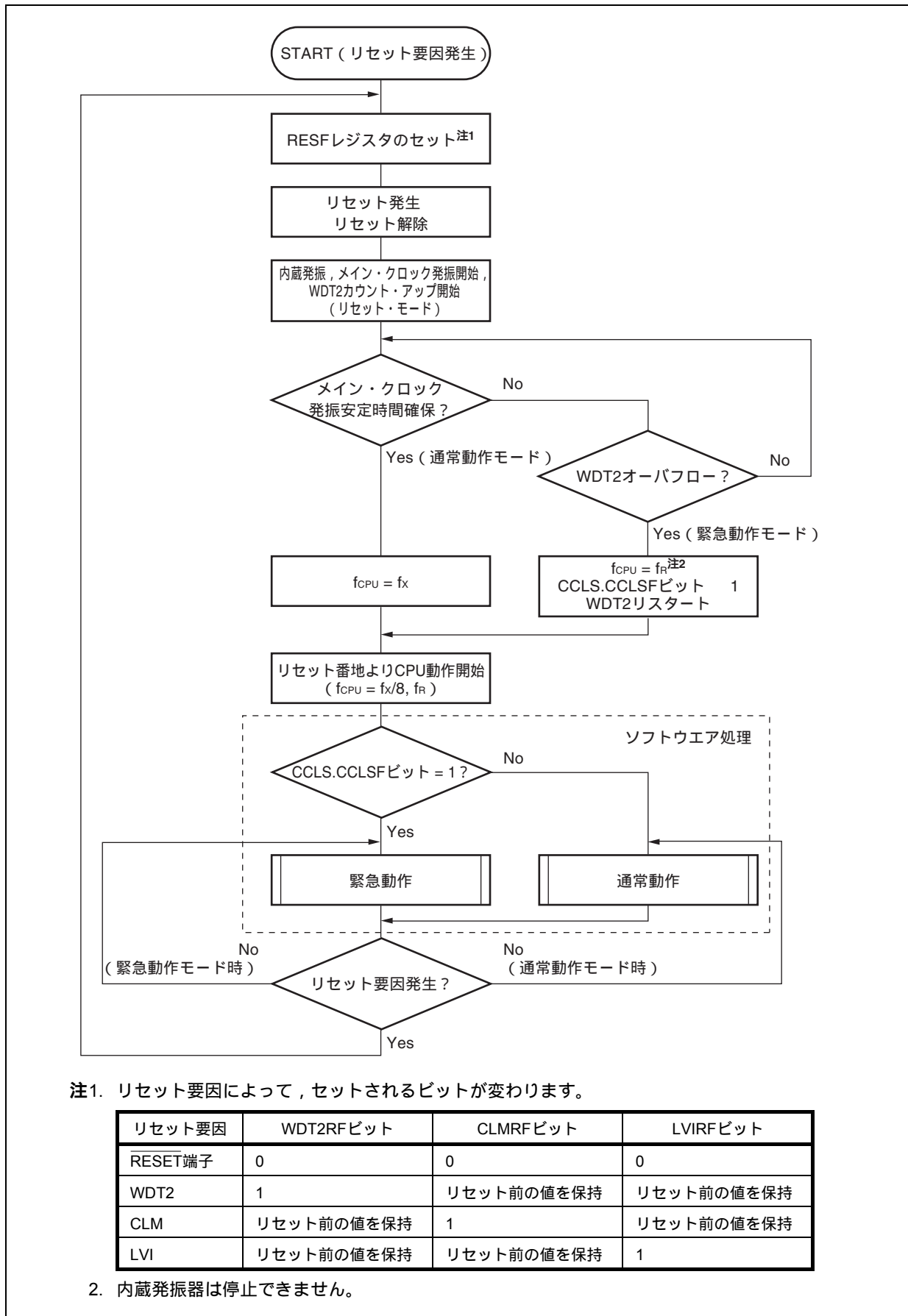
発振安定時間が確保される前にメイン・クロックに異常が発生した場合、CPUがプログラムの実行を開始する前にWDT2がオーバーフローします。このとき、CPUは内蔵発振クロックをソース・クロックとして、プログラムの実行を開始します。

図27-7 リセット解除後の動作



CPU動作クロックの状態は、CPU動作クロック・ステータス・レジスタ（CCLS）で確認してください。

## 27.3.6 リセット機能の動作フロー





## 第28章 クロック・モニタ

### 28.1 機 能

クロック・モニタは、内蔵発振クロックで、メイン・クロックのサンプリングを行い、メイン・クロックの発振停止時にリセット要求信号 (CLMRES) を発生します。

動作許可フラグにより一度動作許可にすると、リセット以外ではクリア (0) できません。

クロック・モニタによるリセット (CLMRES) が発生した場合、RESF.CLMRFビットがセットされます。RESFレジスタの詳細については、27.2 リセット要因を確認するレジスタを参照してください。

次の条件のとき、クロック・モニタは自動的に停止します。

- ・ STOPモード ~ 発振安定時間時
- ・ メイン・クロック停止時  
(サブクロック動作時にPCC.MCKビット=1としてから、メイン・クロック動作時にPCC.CLSビット = 0とするまで)
- ・ サンプリング・クロック (内蔵発振クロック) 停止時
- ・ CPUが内蔵発振クロック動作時

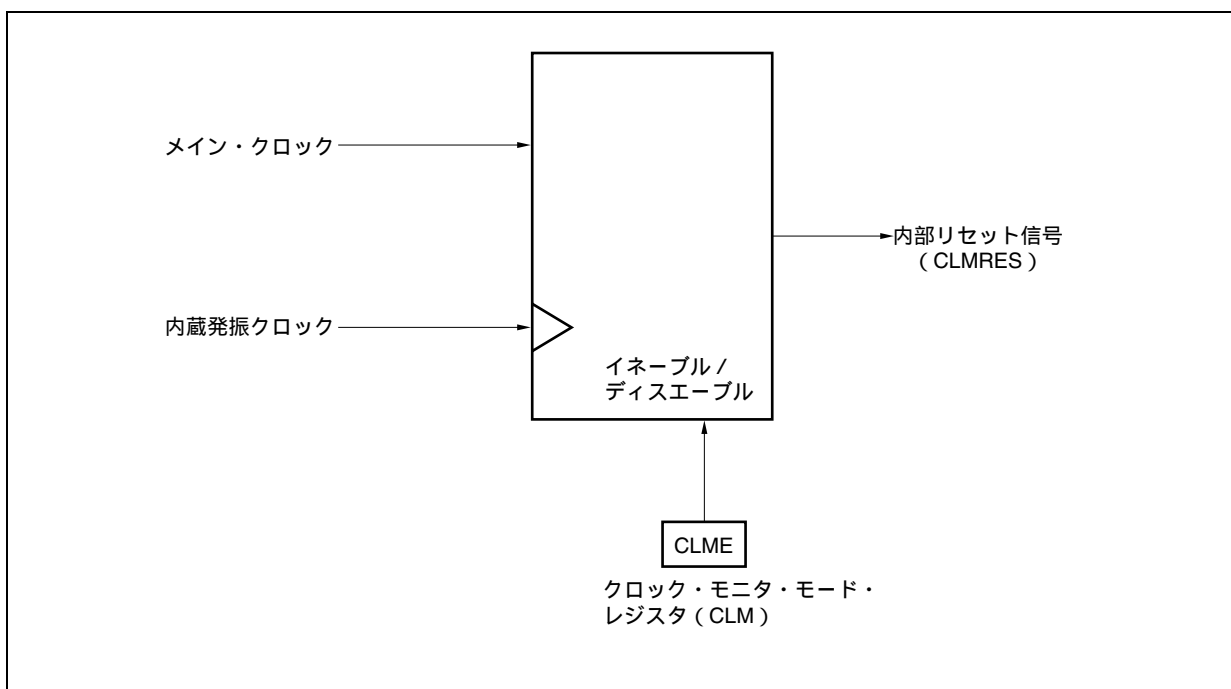
## 28.2 構 成

クロック・モニタは、次のハードウェアで構成しています。

表28 - 1 クロック・モニタの構成

項 目	構 成
制御レジスタ	クロック・モニタ・モード・レジスタ (CLM)

図28 - 1 クロック・モニタによるリセット動作のタイミング



## 28.3 レジスタ

クロック・モニタは、クロック・モニタ・モード・レジスタ (CLM) で制御します。

### (1) クロック・モニタ・モード・レジスタ (CLM)

CLMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

#### 4.8 特定レジスタ参照)。

クロック・モニタの動作モードの設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : FFFFF870H

	7	6	5	4	3	2	1	①
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作許可 / 禁止
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

- 注意1.** 一度CLMEビット = 1に設定した場合、リセット以外ではクリア(0)できません。
- クロック・モニタによるリセットが発生した場合、CLMEビットはクリア(0)され、RESF.CLMRFBITビットがセット(1)されます。
  - ビット1-7には必ず0を設定してください。

## 28.4 動作

クロック・モニタの持つ機能について説明します。スタート条件，ストップ条件は次のようになります。

<スタート条件>

CLM.CLMEビットを動作許可(1)に設定

<ストップ条件>

- ・STOPモード～発振安定時間カウント時
- ・メイン・クロック停止時  
(サブクロック動作時にPCC.MCKビット=1としてから，メイン・クロック動作時にPCC.CLSビット = 0とするまで)
- ・サンプリング・クロック(内蔵発振クロック)停止時
- ・CPUが内蔵発振クロック動作時

表28-2 クロック・モニタの動作状態 (CLM.CLMEビット = 1設定時，内蔵発振クロック動作時)

CPU動作クロック	動作モード	メイン・クロックの状態	内蔵発振クロックの状態	クロック・モニタの状態
メイン・クロック	HALTモード	発振	発振 <sup>注1</sup>	動作 <sup>注2</sup>
	IDLE1, IDLE2モード	発振	発振 <sup>注1</sup>	動作 <sup>注2</sup>
	STOPモード	停止	発振 <sup>注1</sup>	停止
サブクロック(PCCレジスタのMCKビット = 0)	サブIDLEモード	発振	発振 <sup>注1</sup>	動作 <sup>注2</sup>
サブクロック(PCCレジスタのMCKビット = 1)	サブIDLEモード	停止	発振 <sup>注1</sup>	停止
内蔵発振クロック	-	停止	発振 <sup>注3</sup>	停止
リセット中	-	停止	停止	停止

注1. RCM.RSTOPビットをセット(1)することで内蔵発振器を停止できます。

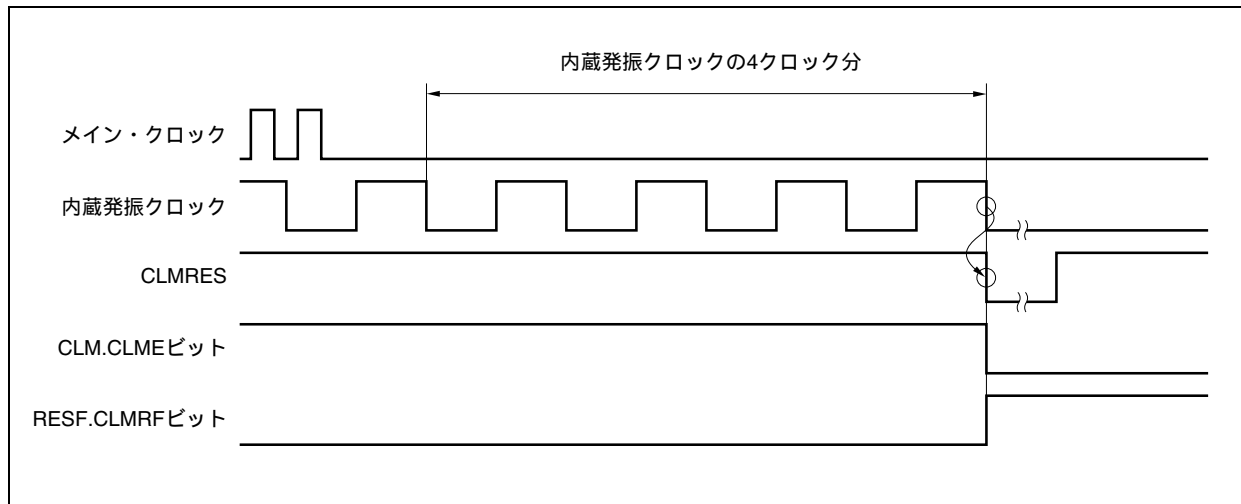
2. 内蔵発振器が停止している場合，クロック・モニタは停止します。

3. 内蔵発振器をソフトウェアで停止することはできません。

## (1) メイン・クロック発振停止時の動作 (CLMEビット = 1)

CLMEビット = 1 のとき、メイン・クロックの発振が停止した場合、図28 - 2のタイミングで内部リセット信号 (CLMRES) が発生します。

図28 - 2 メイン・クロックの発振停止によってリセットがかかる時間

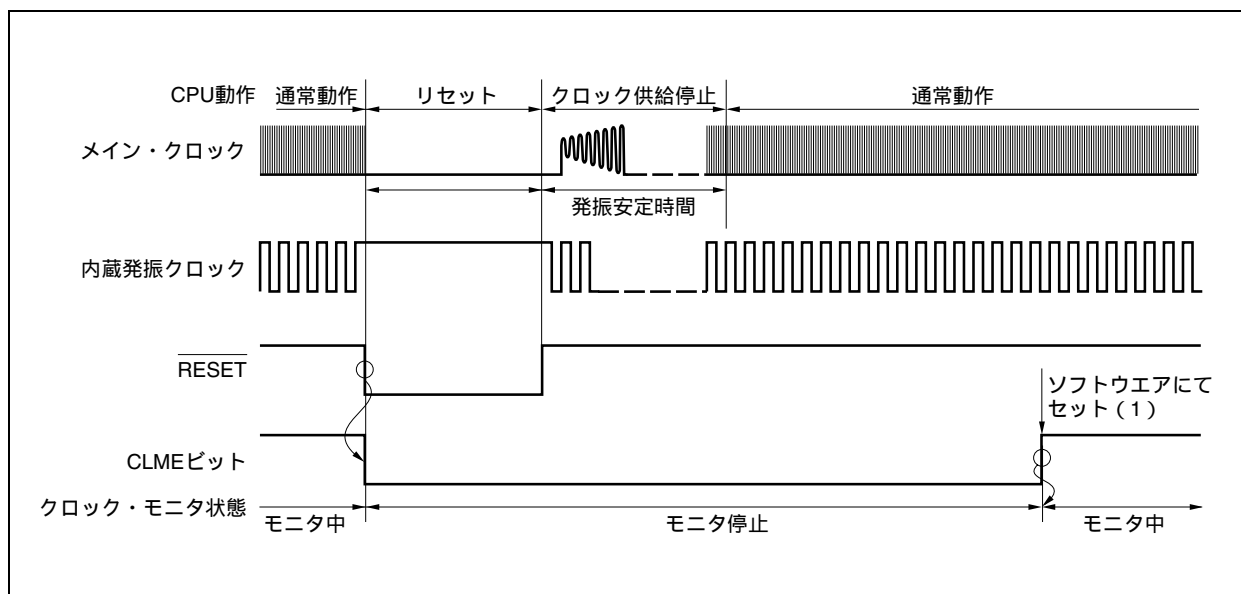


## (2) RESET入力後のクロック・モニタの状態

RESET入力により、CLM.CLMEビットはクリア (0) されて、クロック・モニタは動作停止します。メイン・クロックの発振安定時間後にソフトウェアでCLMEビットをセット (1) すると、モニタ動作を開始します。

図28 - 3 RESET入力後のクロック・モニタの状態

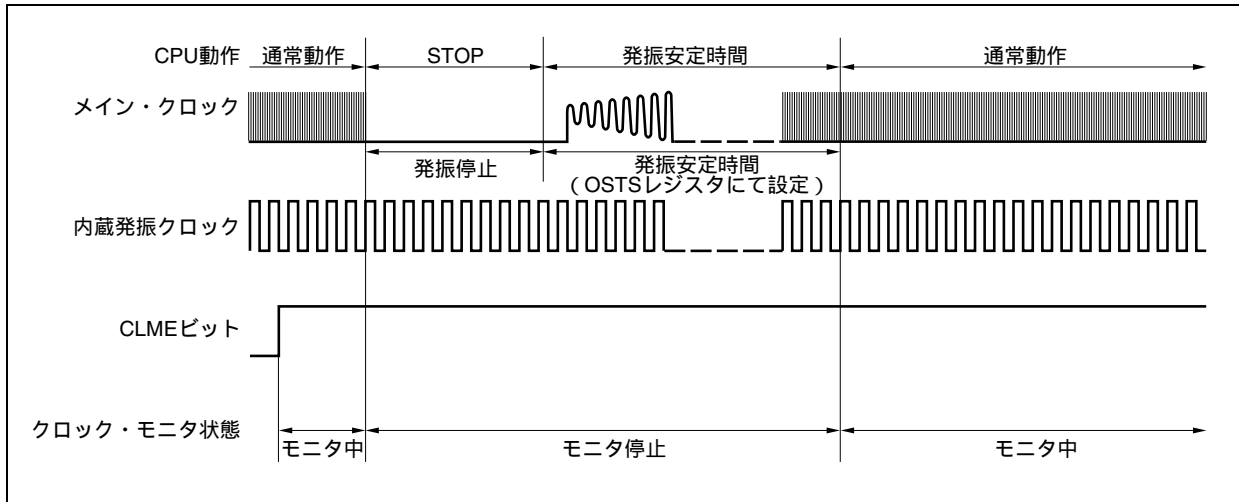
(RESET入力後、メイン・クロックの発振安定時間終了後に、CLM.CLMEビット = 1を設定)



**(3) STOPモード中およびSTOPモード解除後の動作**

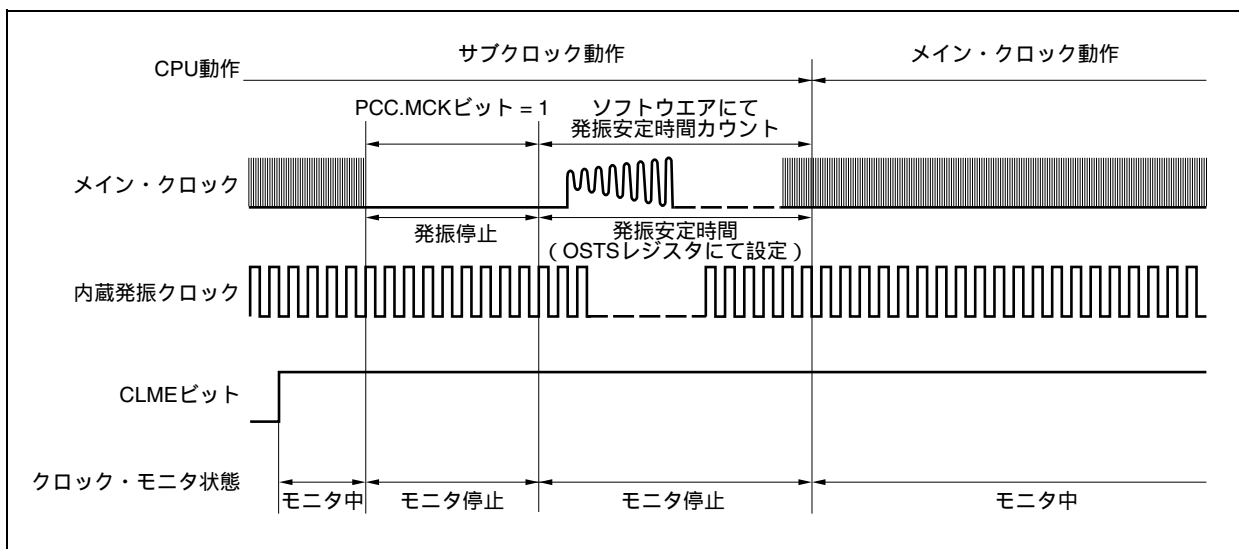
CLM.CLMEビット = 1の状態ではSTOPモードに移行した場合、STOPモード中および発振安定時間カウンタ中はモニタ動作を停止します。発振安定時間カウンタ終了後に自動的にモニタ動作を開始します。

図28 - 4 STOPモード中およびSTOPモード解除後の動作

**(4) メイン・クロック停止時（任意）の動作**

サブクロック動作時 (PCC.CLSビット = 1), PCC.MCKビット = 1に設定することによりメイン・クロックを停止した場合、メイン・クロック動作 (PCC.CLSビット = 0)に移行するまでモニタ動作を停止し、メイン・クロック動作移行後に自動的にモニタ動作を開始します。

図28 - 5 メイン・クロック停止時（任意）の動作

**(5) CPUが内蔵発振クロックで動作時 (CCLS.CCLSFBビット = 1) の動作**

CCLSFBビット = 1のとき、CLMEビット = 1に設定してもモニタ動作を開始しません。

## 第29章 低電圧検出回路

### 29.1 機 能

低電圧検出回路 (LVI) は次のような機能を持ちます。

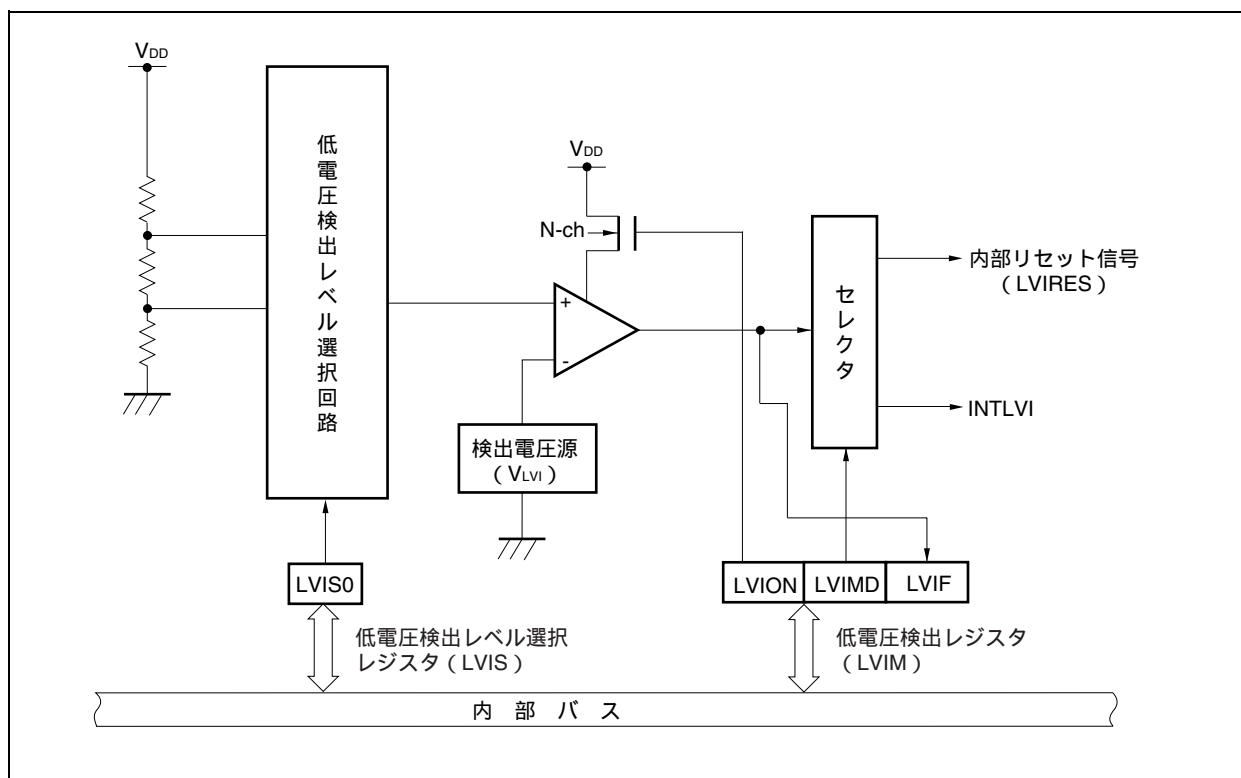
- ・ 低電圧検出時に割り込み発生を選択している場合、電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し、電源電圧が検出電圧を下回ったとき、および上回ったときに、内部割り込み信号 (INTLVI) を発生します。
- ・ 低電圧検出時にリセット発生を選択している場合、電源電圧 ( $V_{DD}$ ) が検出電圧 ( $V_{LVI}$ ) を下回ったときに内部リセット信号 (LVIRES) を発生します。
- ・ 割り込み / リセットをソフトウェアにて選択できます。

低電圧検出回路をリセットとして使用した場合に、LVIRES信号が発生するとRESF.LVIRFビットがセット (1) されます。RESFレジスタについての詳細は、第27章 リセット機能を参照してください。

### 29.2 構 成

低電圧検出回路のブロック図を図29 - 1に示します。

図29 - 1 低電圧検出回路のブロック図



## 29.3 レジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)

### (1) 低電圧検出レジスタ (LVIM)

LVIMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.8 特定レジスタ参照)。

#### 4.8 特定レジスタ参照)。

LVIMレジスタは、低電圧検出、動作モードを設定するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、LVIFビットはリードのみ可能です。

リセット時：注1      R/W      アドレス：FFFFFF890H

	⑦	6	5	4	3	2	①	①
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION <sup>注2</sup>	低電圧検出動作の許可 / 禁止
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧値が検出電圧値を下回ったとき、または上回ったときに割り込み要求信号 (INTLVI) を発生
1	電源電圧 < 検出電圧時に内部リセット信号 (LVIRES) を発生

LVIF <sup>注3</sup>	低電圧検出フラグ
0	電源電圧 > 検出電圧、または動作禁止時
1	接続する電源電圧 < 検出電圧

注1. 低電圧検出によるリセット      : 82H

そのほかの要因によるリセット      : 00H

- 電源電圧 ( $V_{DD}$ ) が検出電圧 ( $V_{LVI}$ ) を下回っている間 (LVION.LVIFビット = 1) は、LVIONビットを“1”から“0”に設定しないでください。
- LVI動作開始 (LVIONビット = 1) 後、またはINTLVI発生時には、LVIFビットで電源電圧の状態を確認してください。

注意1. LVIONビット = 1かつLVIMDビット = 1に設定した場合、低電圧検出によるリセット以外のリセット要求が発生するまで低電圧検出回路を停止できません。

- LVIONビットをセット (1) すると、LVI回路内のコンパレータの動作が開始します。LVIONビットをセットしてからLVIFビットで電圧を確認するまでに、ソフトウェアで0.2 ms以上ウエイトしてください。
- ビット6-2には必ず0を設定してください。



## (2) 低電圧検出レベル選択レジスタ (LVIS)

LVISレジスタは、低電圧検出レベルを選択するレジスタです。

8ビット単位でリード/ライト可能です。

リセット時：注 R/W アドレス：FFFFFF891H

	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	0	0	0	LVIS0

LVIS0	検出レベル
0	2.95 V (TYP.)
1	予約 (設定禁止)

注 低電圧検出によるリセット : 保持  
そのほかの要因によるリセット : 00H

注意1. LVIM.LVIONビット = 1かつLVIM.LVIMDビット = 1に設定したあと、低電圧検出によるリセット以外のリセット要求が発生するまで、このレジスタへの書き込みは行えません。

2. ビット7-1には必ず0を設定してください。

## (3) 内蔵RAMデータ・ステータス・レジスタ (RAMS)

RAMSレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます

(3.4.8 特定レジスタ参照)。

電源電圧が内蔵RAM、拡張内蔵RAMのRAM保持電圧を下回ったかを示すフラグ・レジスタです。

8/1ビット単位でリード/ライト可能です。

次にRAMFビットのセット/クリア条件を示します。

- ・セット条件 : 検出レベル以下の電圧検出  
                  : 命令によるセット
- ・クリア条件 : 特定シーケンスによる0書き込み

リセット時：01H<sup>注</sup> R/W アドレス：FFFFFF892H

	7	6	5	4	3	2	1	①
RAMS	0	0	0	0	0	0	0	RAMF

RAMF	内蔵RAM、拡張内蔵RAMのRAM保持電圧検出
0	RAM保持電圧以下を非検出
1	RAM保持電圧以下を検出

注 RAM保持電圧を下回ったときにだけリセットされます。

## 29.4 動作

LVIM.LVIMDビットの設定により、割り込み信号 (INTLVI) もしくは内部リセット信号 (LVIRES) を発生します。

次に動作設定方法とタイミング図を示します。

### 29.4.1 内部リセット信号 (LVIRES) として使用する場合

<動作開始時>

LVIMの割り込みをマスクします。

LVIS.LVIS0ビットにて検出電圧を設定します。

LVIM.LVIONビット = 1に設定 (動作許可) します。

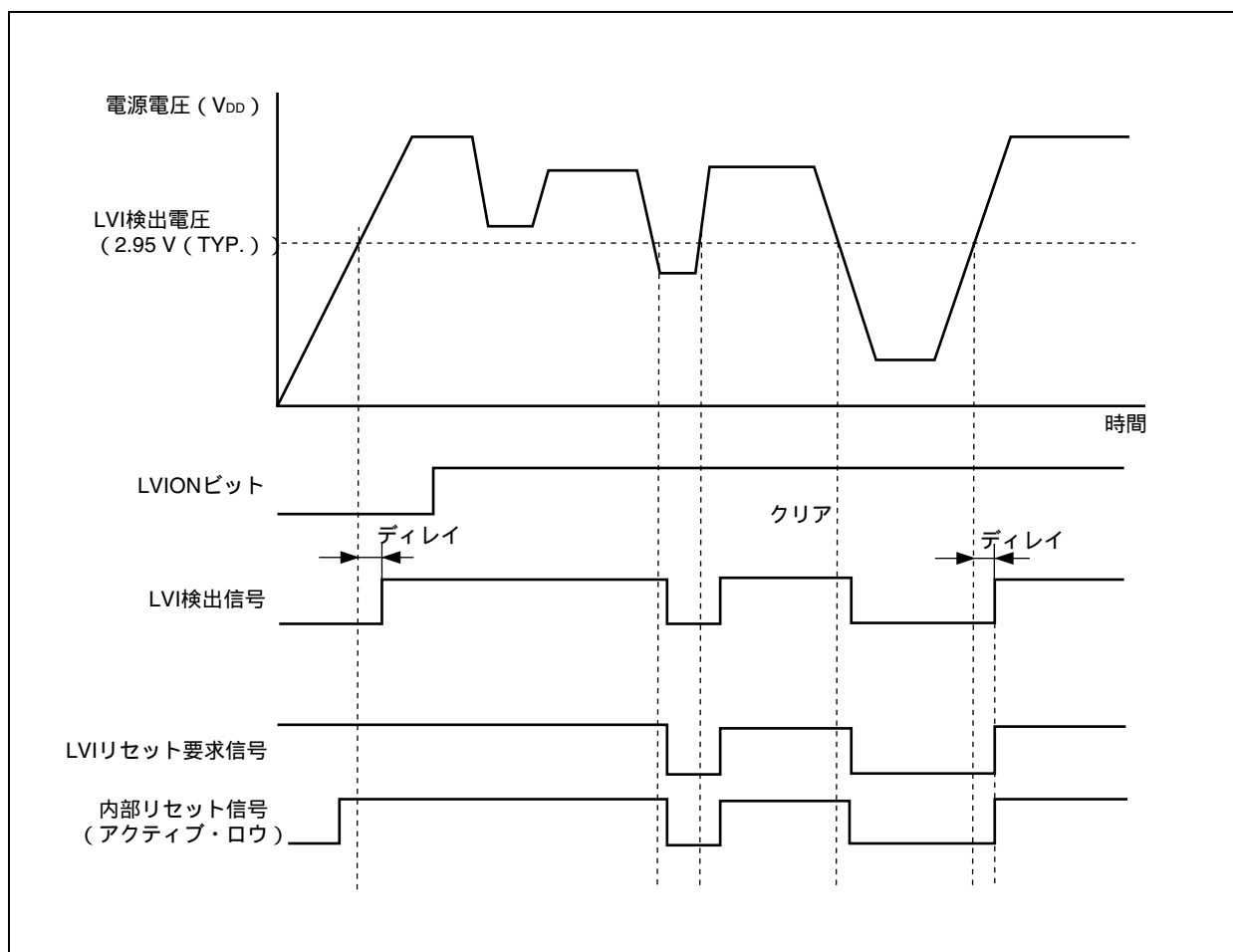
0.2 ms (MAX.) 以上ソフトウェアにてウェイトを挿入します。

LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。

LVIMDビット = 1 (内部リセット (LVIRES) 発生) を設定します。

**注意** LVIMDビット = 1に設定した場合、LVI以外のリセット要求が発生するまで、LVIM, LVISレジスタの変更はできません。

図29 - 2 低電圧検出回路の動作タイミング (LVIMDビット = 1)



## 29.4.2 割り込み (INTLVI) として使用する場合

## &lt;動作開始時&gt;

LVIの割り込みをマスクします。

LVIS.LVIS0ビットにて検出電圧を設定します。

LVIM.LVIONビット = 1に設定 (動作許可) します。

0.2 ms (MAX.) 以上ソフトウェアにてウエイトを挿入します。

LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。

LVIの割り込み要求フラグをクリアします。

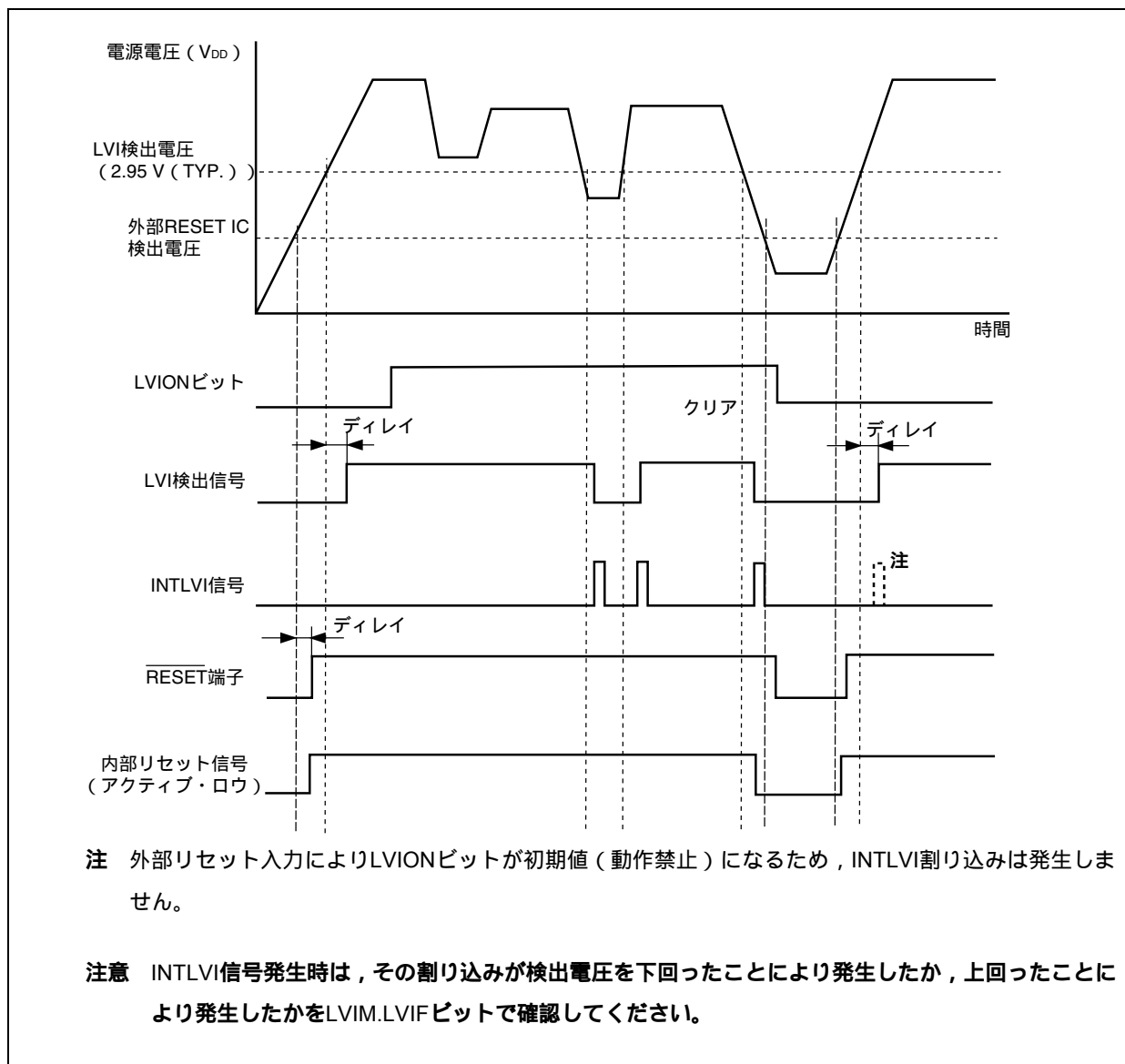
LVIの割り込みマスクを解除します。

## &lt;動作停止時&gt;

LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。

LVIONビット = 0に設定します。

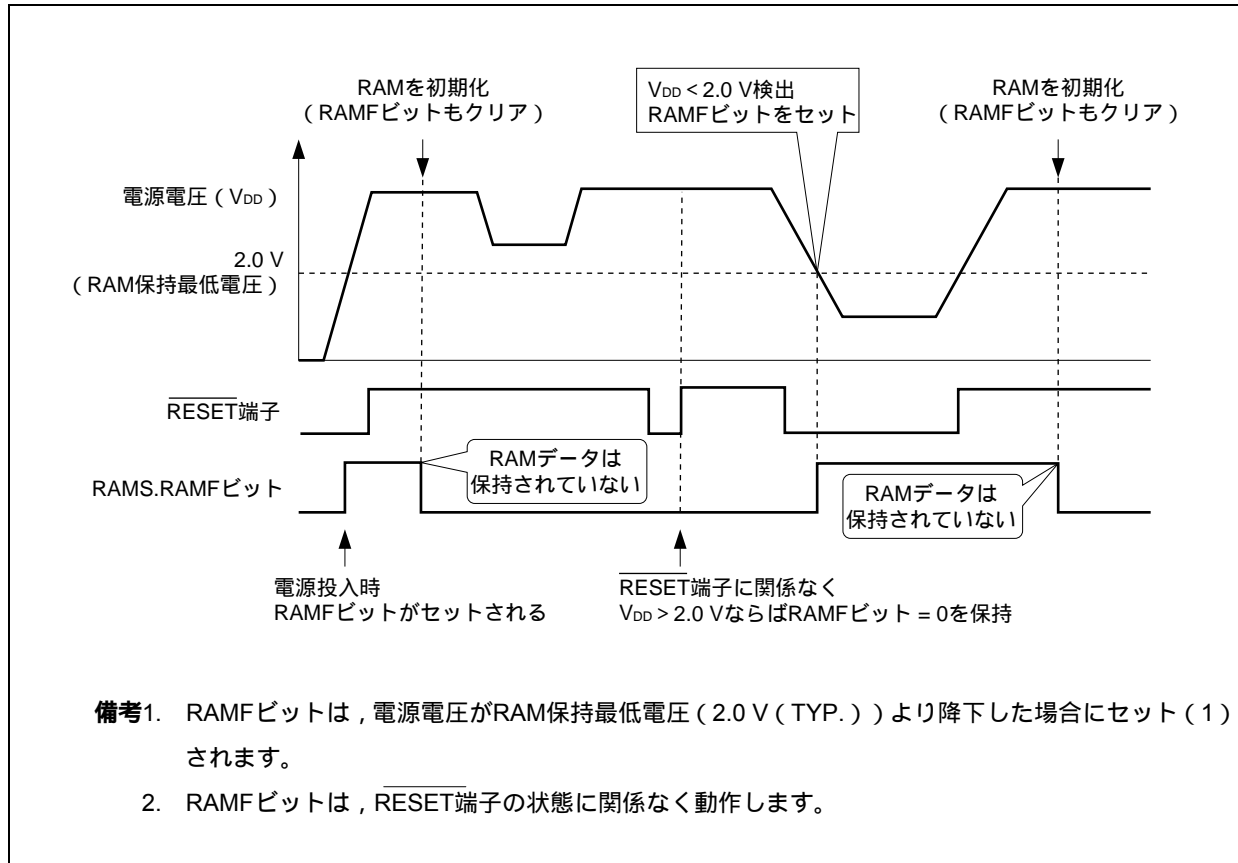
図29-3 低電圧検出回路の動作タイミング (LVIMDビット = 0)



## 29.5 RAM保持電圧検出動作

電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合（電源投入時も含まれます）、RAMS.RAMFビットをセット（1）します。

図29 - 4 RAM保持電圧検出機能の動作タイミング



## 29.6 エミュレーション機能

インサーキット・エミュレータ使用時、デバッガ上で、PEMU1レジスタを操作することにより、疑似的にRAM保持フラグ（RAMS.RAMFビット）動作を制御し、エミュレーションを実現することが可能です。

なお、このレジスタは、エミュレーション・モード時のみ有効で、通常モードでは無効になります。

### (1) 周辺エミュレーション・レジスタ1 (PEMU1)

リセット時：00H	R/W	アドレス：FFFFFF9FEH						
	7	6	5	4	3	2	1	0
PEMU1	0	0	0	0	0	EVARAMIN	0	0
EVARAMIN	RAM保持電圧検出信号疑似指定							
0	RAM保持電圧以下を非検出							
1	RAM保持電圧以下を検出（RAMFフラグをセット）							

**注意** このビットは、自動的にクリアされません。

#### [使用方法]

インサーキット・エミュレータ使用時、デバッガ上でこのレジスタの書き換えを行うことにより、RAMFの疑似エミュレーションを実現します。

CPUブレーク（CPU動作停止）

レジスタ書き込みコマンドにより、EVARAMINビットを“1”にします。

EVARAMINビットを“1”にすることにより、ハード上でRAMFビットが“1”（内蔵RAMデータが無効）になります。

再度、レジスタ書き込みコマンドにより、EVARAMINビットを“0”にします。

この動作を行わない（EVARAMINビットを“1 0”）場合は、CPU動作命令にてRAMFビットをクリア（0）することができなくなります。

CPUをRUNし、エミュレーションを再開。

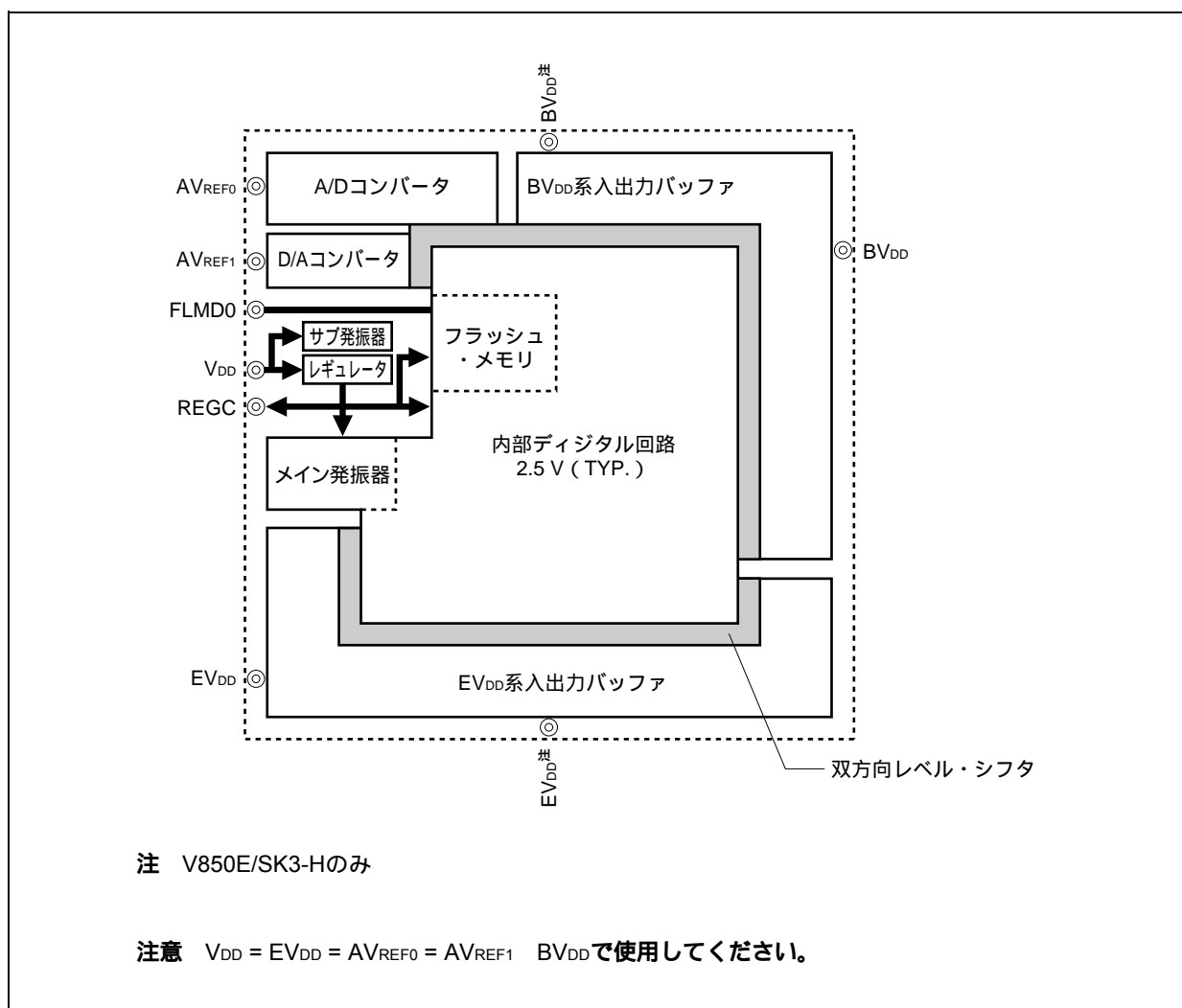
## 第30章 レギュレータ

### 30.1 概 要

V850E/SJ3-H, V850E/SK3-Hは、低消費電力/低ノイズを実現するために、レギュレータを内蔵しています。

このレギュレータは、発振器ブロックと内部ロジック回路（A/Dコンバータ，D/Aコンバータ，出力バッファは除く）に、 $V_{DD}$ 電源電圧を降圧した電圧を供給します。レギュレータ出力電圧は、2.5 V（TYP.）に設定しています。

図30 - 1 レギュレータ



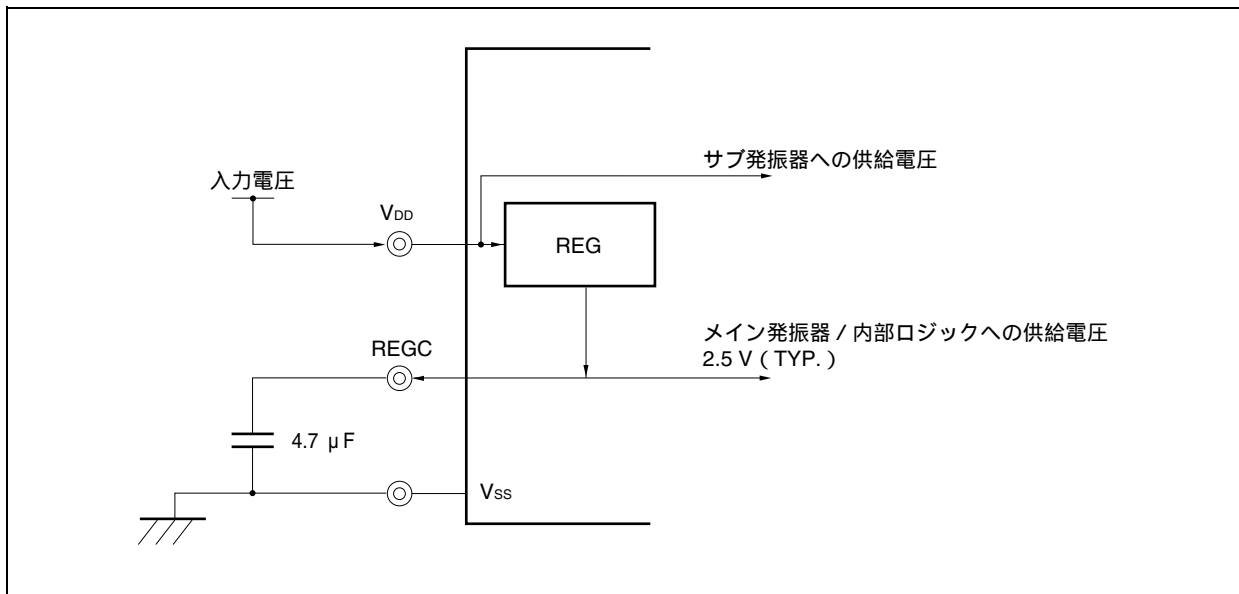
## 30.2 動作

この製品のレギュレータは、いかなるモード（通常動作モード/HALTモード/IDLE1モード/IDLE2モード/STOPモード/サブクロック動作モード/サブIDLEモード/リセット中）でも常に動作します。

また、レギュレータの出力を安定させるためにREGC端子にコンデンサ（ $4.7\ \mu\text{F}$ ）を接続してください。

次に端子の接続の方法を示します。

図30 - 2 REGC端子の接続



## 第31章 ROMコレクション機能

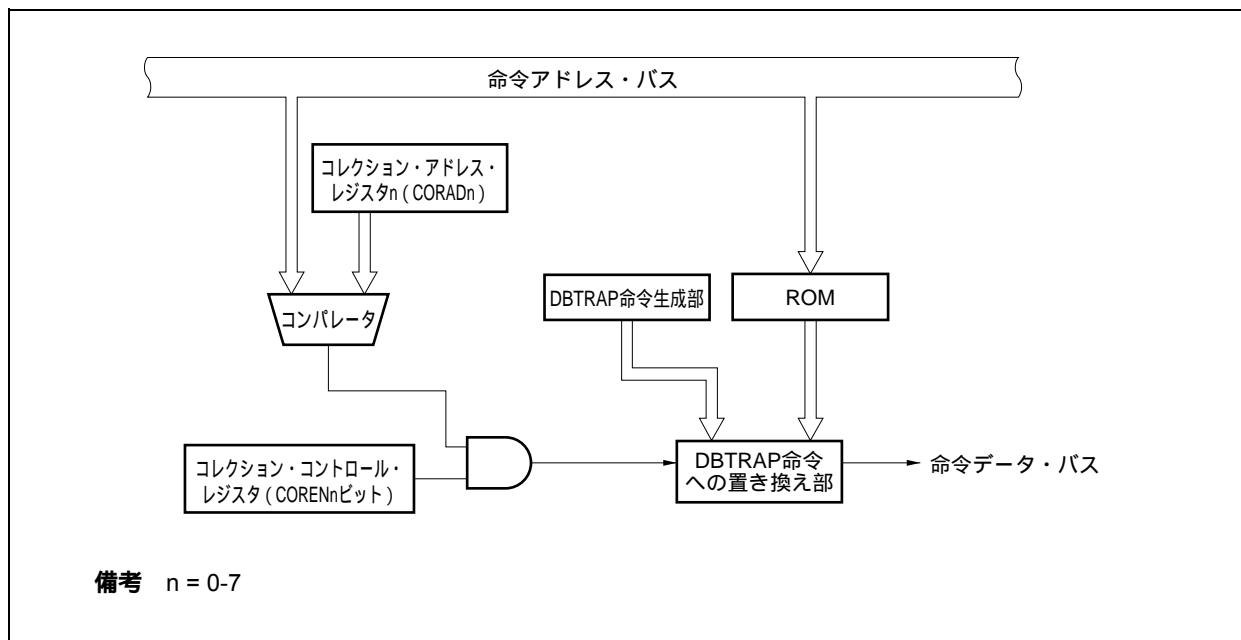
### 31.1 概 要

ROMコレクション機能とは、内蔵ROM内のプログラムの一部を、外部メモリ、内蔵RAM、拡張内蔵RAMのプログラムで置き換えて実行する機能です。

ROMコレクション機能を使用することにより、内蔵ROMで発見されたプログラム・バグの修正が可能です。

ROMコレクション機能により、修正アドレスは最大8箇所指定できます。

図31 - 1 ROMコレクションのブロック図





## 31.2 レジスタ

### (1) コレクション・アドレス・レジスタ0-7 (CORAD0-CORAD7)

修正プログラムの先頭アドレスを設定するレジスタです。

CORADnレジスタは8つあるため、プログラムを最大8箇所修正することができます (n = 0-7)。

CORADnレジスタは32ビット単位でリード/ライト可能です。

ただし、CORADnレジスタの上位16ビットをCORADnHレジスタ、下位16ビットをCORADnLレジスタとして使用する場合は、16ビット単位でリード/ライト可能です。

リセットにより00000000Hになります。

各製品によってROM容量が異なるため、次に示す範囲で修正アドレスを設定してください。

#### (a) V850E/SJ3-H

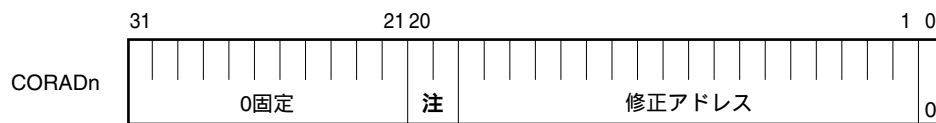
- ・  $\mu$  PD70F3931B, 70F3932B, 70F3933B (512 Kバイト) : 0000000H-007FFFFH
- ・  $\mu$  PD70F3934B, 70F3935B, 70F3936B (768 Kバイト) : 0000000H-00BFFFFH
- ・  $\mu$  PD70F3937B, 70F3938B, 70F3939B (1024 Kバイト) : 0000000H-00FFFFFFH
- ・  $\mu$  PD70F3474A, 70F3475A, 70F3476A (1280 Kバイト) : 0000000H-013FFFFH
- ・  $\mu$  PD70F3477A, 70F3478A, 70F3479A (1536 Kバイト) : 0000000H-017FFFFH

#### (b) V850E/SK3-H

- ・  $\mu$  PD70F3925A, 70F3926A, 70F3927A (1024 Kバイト) : 0000000H-00FFFFFFH
- ・  $\mu$  PD70F3486A, 70F3487A, 70F3488A (1280 Kバイト) : 0000000H-013FFFFH
- ・  $\mu$  PD70F3480A, 70F3481A, 70F3482A (1536 Kバイト) : 0000000H-017FFFFH

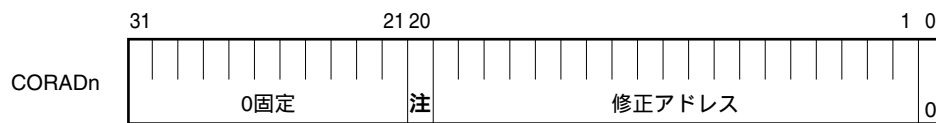
リセット時 : 00000000H R/W アドレス : CORAD0 FFFFF840H,  
 CORAD0L FFFFF840H, CORAD0H FFFFF842H,  
 CORAD1 FFFFF844H,  
 CORAD1L FFFFF844H, CORAD1H FFFFF846H,  
 CORAD2 FFFFF848H,  
 CORAD2L FFFFF848H, CORAD2H FFFFF84AH,  
 CORAD3 FFFFF84CH,  
 CORAD3L FFFFF84CH, CORAD3H FFFFF84EH,  
 CORAD4 FFFFF850H,  
 CORAD4L FFFFF850H, CORAD4H FFFFF852H,  
 CORAD5 FFFFF854H,  
 CORAD5L FFFFF854H, CORAD5H FFFFF856H,  
 CORAD6 FFFFF858H,  
 CORAD6L FFFFF858H, CORAD6H FFFFF85AH,  
 CORAD7 FFFFF85CH,  
 CORAD7L FFFFF85CH, CORAD7H FFFFF85EH

(a) 512 Kバイトの場合



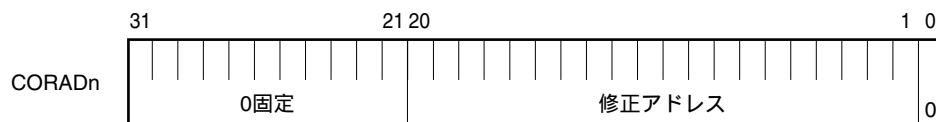
(n = 0-7)

(b) 768 Kバイト , 1024 Kバイトの場合



(n = 0-7)

(c) 1280 Kバイト , 1536 Kバイトの場合



(n = 0-7)

注 0を設定してください。

**(2) コレクション・コントロール・レジスタ (CORCN)**

各CORADnレジスタに設定したアドレスにおけるコレクション動作の禁止 / 許可を制御するレジスタです (n = 0-7)。

各チャンネルごとに、有効 / 無効を設定できます。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : FFFFF880H								
CORCN	7	6	5	4	3	2	1	0
	COREN7	COREN6	COREN5	COREN4	COREN3	COREN2	COREN1	COREN0
	CORENn	コレクション動作の禁止 / 許可						
	0	禁止						
	1	許可						
<b>備考</b> n = 0-7								

表31-1 CORCNレジスタのビットとCORADnレジスタの対応

CORCNレジスタのビット名称	対応するCORADnレジスタ
COREN7	CORAD7
COREN6	CORAD6
COREN5	CORAD5
COREN4	CORAD4
COREN3	CORAD3
COREN2	CORAD2
COREN1	CORAD1
COREN0	CORAD0

### 31.3 ROMコレクションの動作とプログラムの流れ

修正したいアドレスと内蔵ROMのフェッチ・アドレスが一致すると、フェッチ・コードをDBTRAP命令に置き換えます。

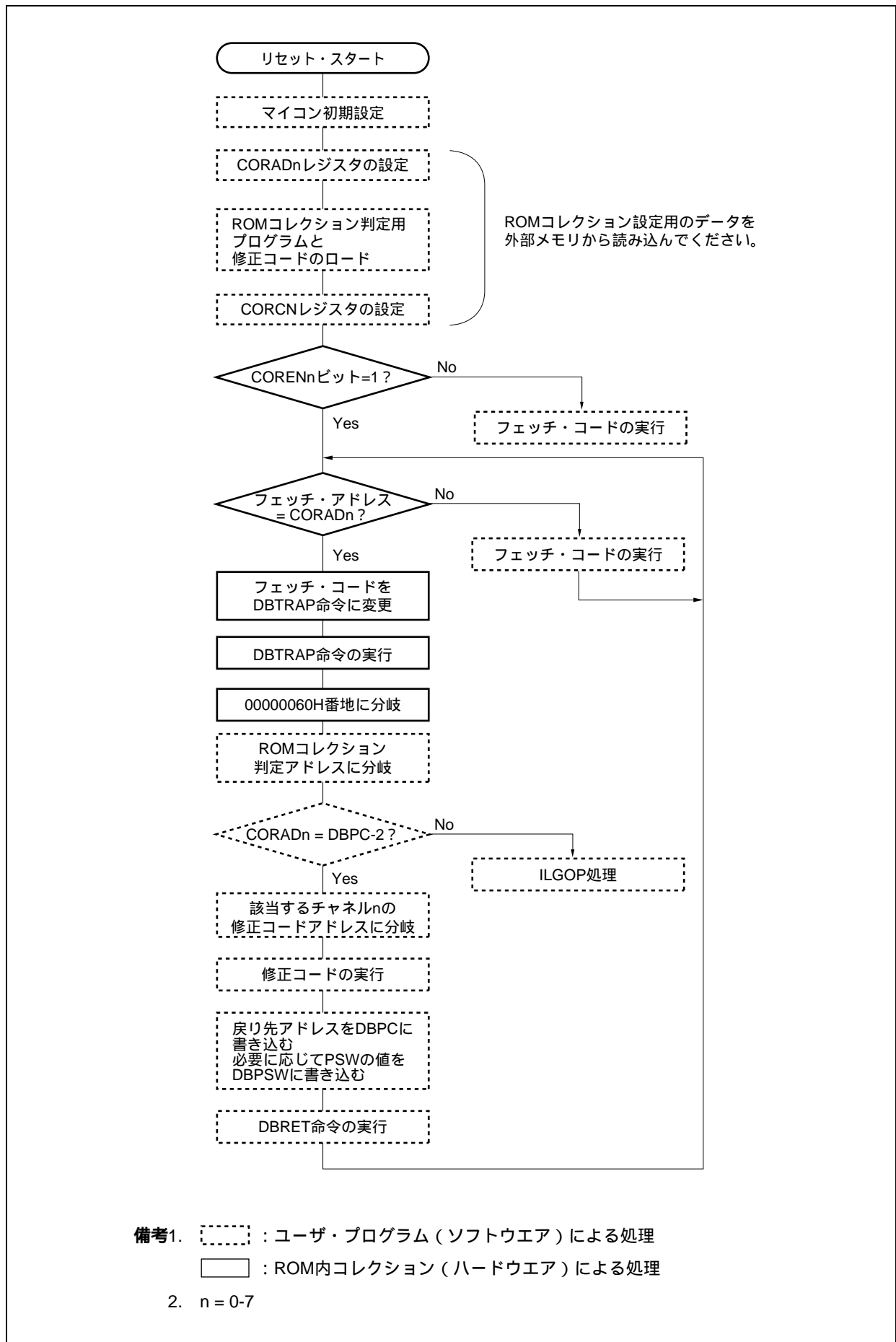
置き換えられたDBTRAP命令が実行されると、00000060H番地に分岐します。

分岐後のソフトウェア処理により、ROMコレクション判定 (フェッチ・アドレスとROMコレクション動作許可の確認) と修正ソフトウェアへの分岐を行います。

修正ソフトウェア実行後、戻るアドレスのセットなどを行い、DBRET命令で復帰処理をします。

**注意** 上記 , を実現するソフトウェアは、内蔵ROM, 内蔵RAM, 外部メモリ, 拡張内蔵RAM内で実行する必要があります。

図31 - 2 ROMコレクションの動作とプログラムの流れ



## 31.4 注意事項

- (1) CORADnレジスタに修正したいアドレスを設定する際、内蔵ROMの容量に応じて、上位ビットに0を設定してください。
- (2) ROMコレクション機能は内蔵ROMのデータに対しては使用できません。命令コードに対してのみ行うことができます。データに対してROMコレクションを行うと、そのデータがDBTRAP命令コードに入れ替わります。
- (3) CORCnレジスタへの書き込みが終了する前のROMコードについては、ROMコレクションできません。
- (4) DBTRAP命令実行後、PSW.NP, EP, DIビット = 111となり、割り込み/例外を受け付けることができない状態になります。DBTRAP命令実行後、必要に応じてPSWレジスタの値を変更してください。
- (5) DBPC, DBPSWレジスタへアクセスできるのは、DBTRAP中のみです。
- (6) CORCnレジスタ設定（許可）直後に実行される数命令のアドレスをコレクション・アドレスに設定した場合、正常に動作しない（DBTRAPが発生しない）場合があります。

## 第32章 フラッシュ・メモリ

V850E/SJ3-H, V850E/SK3-Hは、フラッシュ・メモリを内蔵しています。

### (1) V850E/SJ3-H

- ・  $\mu$  PD70F3931B, 70F3932B, 70F3933B : 512 Kバイトのフラッシュ・メモリ内蔵
- ・  $\mu$  PD70F3934B, 70F3935B, 70F3936B : 768 Kバイトのフラッシュ・メモリ内蔵
- ・  $\mu$  PD70F3937B, 70F3938B, 70F3939B : 1024 Kバイトのフラッシュ・メモリ内蔵
- ・  $\mu$  PD70F3474A, 70F3475A, 70F3476A : 1280 Kバイトのフラッシュ・メモリ内蔵
- ・  $\mu$  PD70F3477A, 70F3478A, 70F3479A : 1536 Kバイトのフラッシュ・メモリ内蔵

### (2) V850E/SK3-H

- ・  $\mu$  PD70F3925A, 70F3926A, 70F3927A : 1024 Kバイトのフラッシュ・メモリ内蔵
- ・  $\mu$  PD70F3486A, 70F3487A, 70F3488A : 1280 Kバイトのフラッシュ・メモリ内蔵
- ・  $\mu$  PD70F3480A, 70F3481A, 70F3482A : 1536 Kバイトのフラッシュ・メモリ内蔵

フラッシュ・メモリ内蔵品は、開発用途および量産用途として次のような利点があります。

- ターゲット・システムにV850E/SJ3-H, V850E/SK3-Hを半田実装後、ソフトウェアの変更可能
- 量産立ち上げ時のデータ調整が容易
- 規格ごとにソフトウェアを区別することで少量多品種生産が容易
- 在庫管理が容易
- 出荷後のソフトウェアのアップデートが容易

## 32.1 特 徴

4バイト/1クロック・アクセス (命令フェッチ時)

容量 : 1536 Kバイト / 1280 Kバイト / 1024 Kバイト / 768 Kバイト / 512 Kバイト

書き換え電圧 : 単一電源による消去 / 書き込みが可能

書き換え方式

- ・ 専用フラッシュ・メモリ・プログラマとのシリアル・インタフェースを介しての通信による書き換え (オンボード / オフボード・プログラミング)
- ・ ユーザ・プログラムによるフラッシュ・メモリの書き換え (セルフ・プログラミング)

フラッシュ・メモリの書き換え禁止機能をサポート (セキュリティ機能)

ブート・スワップ機能により、セルフ・プログラミングによる全フラッシュ・メモリ領域のセキュアな書き換えが可能

セルフ・プログラミング中の割り込み受け付け可能

## 32.2 メモリ構成

V850E/SJ3-H, V850E/SK3-Hの内蔵フラッシュ・メモリの領域はすべて4 Kバイトごとのブロックに分割されており、各ブロック単位でプログラム/消去可能となっています。また、全ブロックおよび複数ブロックの一括消去も可能です。

また、ブート・スワップ機能を用いた場合、ブート・ブロック・クラスタの設定値により選択されたブート・スワップ・クラスタと、そのクラスタのアドレス上位に位置する同じサイズの異なるブート・スワップ・クラスタが入れ替わります。ブート・スワップ機能詳細については、32.5 セルフ・プログラミングによる書き換えを参照してください。

図32-1 フラッシュ・メモリ・マッピング (1/2)

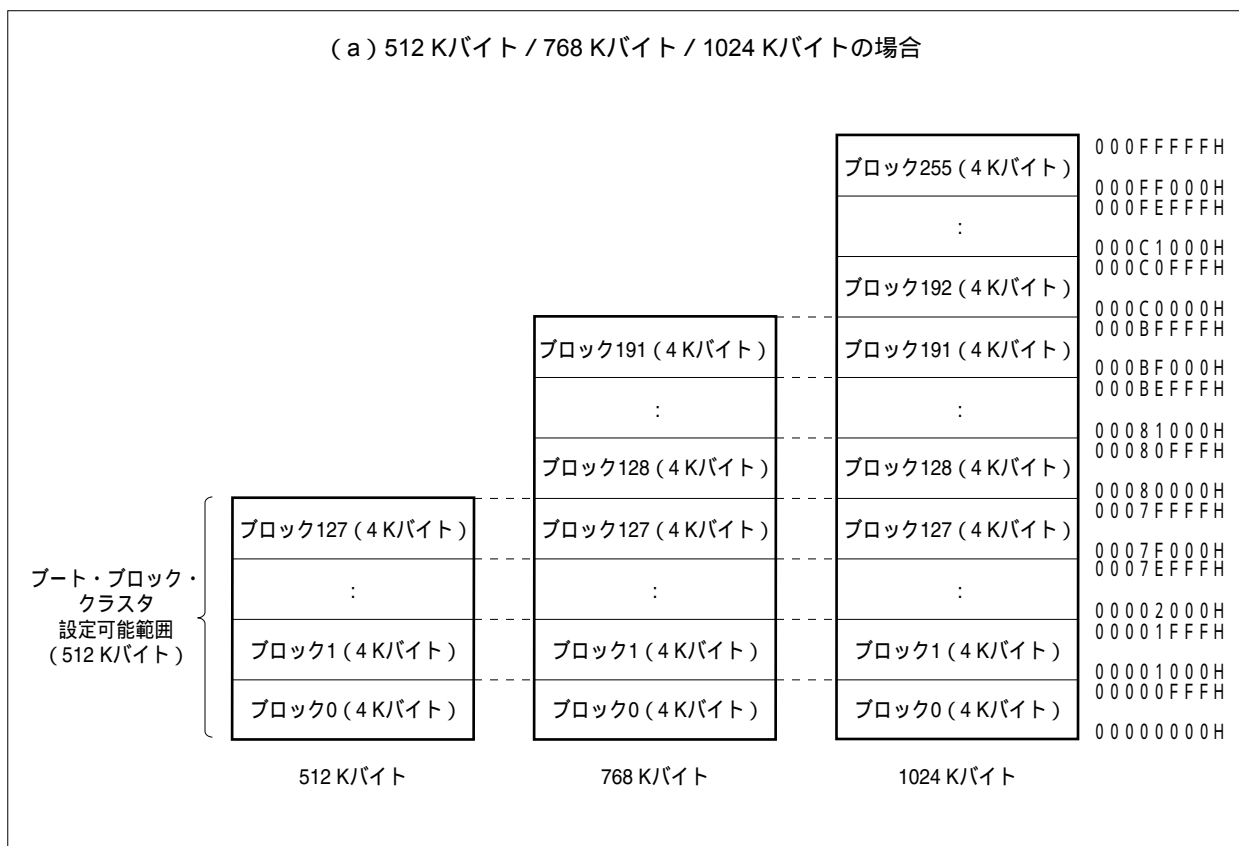
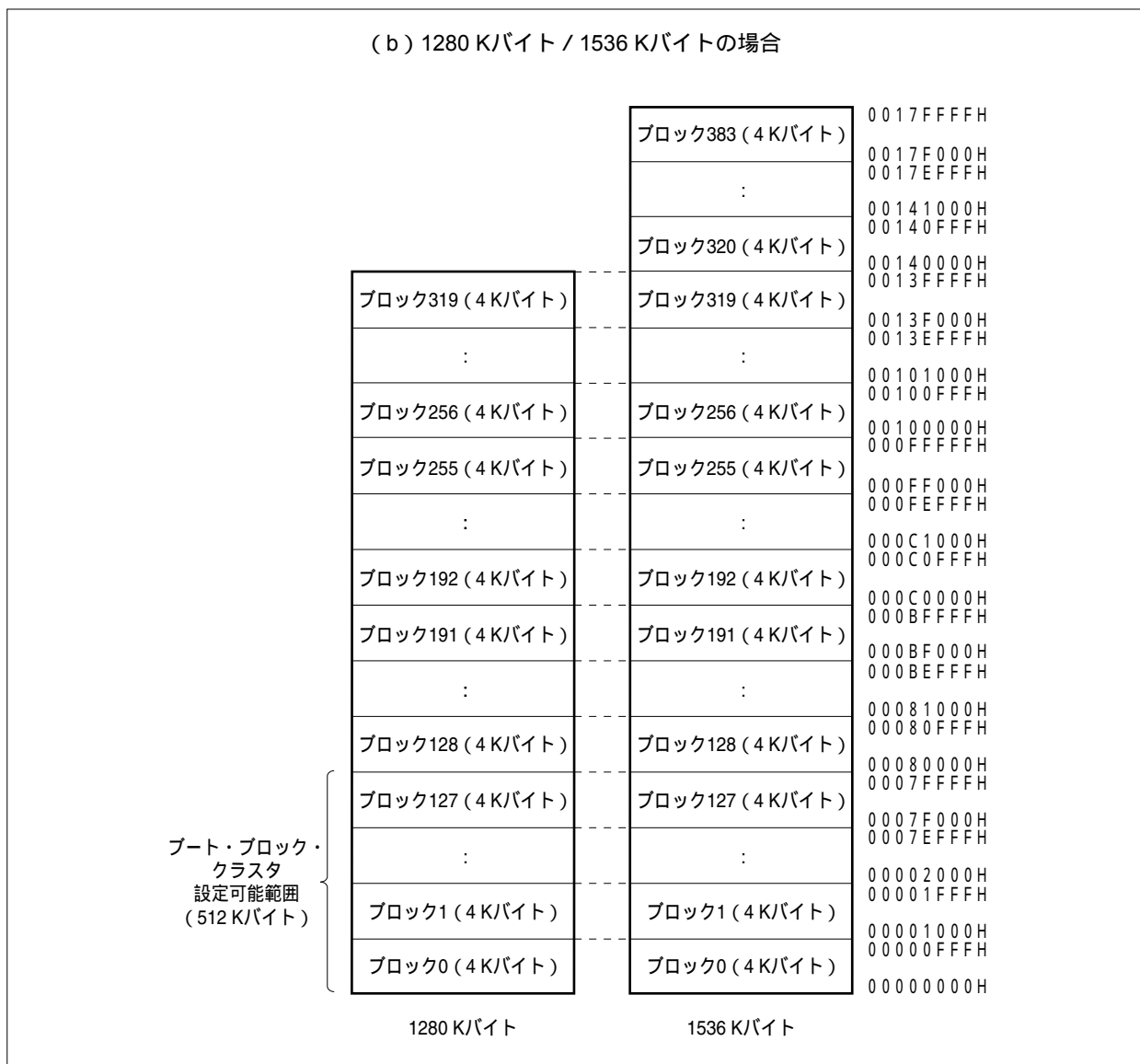


図32 - 1 フラッシュ・メモリ・マッピング (2/2)





### 32.3 機能概要

V850E/SJ3-H, V850E/SK3-Hの内蔵フラッシュ・メモリは、専用フラッシュ・メモリ・プログラマによる書き換え機能により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です（オフボード/オンボード・プログラミング）。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は、ターゲット・システムの製造/出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

表32 - 1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・メモリ・プログラマを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・メモリ・プログラマと専用プログラム・アダプタボード（FAシリーズ）を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オフボード/オンボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。（セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので、内蔵RAMもしくは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。）	通常動作モード

**備考** FAシリーズは、（株）内藤電誠町田製作所の製品です。

表32 - 2 基本機能一覧

機能	機能概要	サポートの有無 ( : サポート, × : 未サポート)	
		オンボード/オフボード・ プログラミング	セルフ・プログラミング
ブランク・チェック	全メモリの消去状態の確認を行います。		
チップ消去	全メモリの内容の一括消去を行います。		× <sup>注</sup>
ブロック消去	指定したブロックのメモリの内容の消去を行います。		
プログラム	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。		
ベリファイ/チェック・サム	フラッシュ・メモリから読み出したデータと、フラッシュ・メモリ・プログラムから転送されたデータの比較を行います。		× (ユーザ・プログラムにて読み出しは可能)
リード	フラッシュ・メモリに書き込まれたデータの読み出しを行います。		×
セキュリティ設定	チップ消去コマンド/ブロック消去コマンド/プログラム・コマンド/リード・コマンドの使用禁止設定およびブート・ブロック・クラスタの書き換え禁止設定を行います。		× (設定を許可から禁止にする場合のみ可能)

注 ブロック消去関数において全メモリ領域を指定することにより可能です。

次にセキュリティ機能の一覧を示します。チップ消去コマンド禁止/ブロック消去コマンド禁止/プログラム・コマンド禁止/リード・コマンド禁止/ブート・ブロック・クラスタの書き換え禁止設定機能は、出荷後の初期状態はすべて許可になっており、オンボード/オフボード・プログラミングによる書き換えでのみセキュリティ設定が可能です。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

表32 - 3 セキュリティ機能一覧

機 能	機能概要
チップ消去コマンド禁止	全ブロックに対してのブロック消去、およびチップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため、すべての禁止設定の初期化ができなくなります。
ブロック消去コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
プログラム・コマンド禁止	全ブロックに対してのプログラム・コマンドとブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
リード・コマンド禁止	全ブロックに対してのリード・コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
ブート・ブロック・クラスタの書き換え禁止設定	ブロック0から指定したブロックまで、ブート・ブロック・クラスタを保護することが可能です。ブート・ブロック・クラスタを保護すると、それ以降保護されたブート・ブロック・クラスタの書き換え（消去および書き込み）はできません。チップ消去コマンドを実行しても、禁止設定の初期化はできません。 指定可能な最大ブロックはブロック127です。

表32-4 セキュリティ設定

機能	各セキュリティ設定時の消去/書き込み/読み出し動作 ( :実行可能, x :実行不可, :未サポート)		セキュリティ設定 注意事項	
	オンボード/オフボード・ プログラミング	セルフ・プログラミング	オンボード/オ フボード・プロ グラミング	セルフ・プログ ラミング
チップ消去 コマンド禁止	チップ消去コマンド : x ブロック消去コマンド : x プログラム・コマンド : <sup>※1</sup> リード・コマンド :	チップ消去 : - ブロック消去 (FlashBlockErase) : 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	禁止設定の初期 化が不可能	設定を許可から 禁止にする場合 のみ可能
ブロック消去 コマンド禁止	チップ消去コマンド : ブロック消去コマンド : x プログラム・コマンド : リード・コマンド :	チップ消去 : - ブロック消去 (FlashBlockErase) : 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
プログラム・ コマンド禁止	チップ消去コマンド : ブロック消去コマンド : x プログラム・コマンド : x リード・コマンド :	チップ消去 : - ブロック消去 (FlashBlockErase) : 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
リード・ コマンド禁止	チップ消去コマンド : ブロック消去コマンド : プログラム・コマンド : リード・コマンド : x	チップ消去 : - ブロック消去 (FlashBlockErase) : 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
ブート・ブロッ ク・クラスタの書 き換え禁止	チップ消去コマンド : x ブロック消去コマンド : x <sup>※2</sup> プログラム・コマンド : x <sup>※2</sup> リード・コマンド :	チップ消去 : - ブロック消去 (FlashBlockErase) : x <sup>※2</sup> 書き込み (FlashWordWrite) : x <sup>※2</sup> 読み出し (FlashWordRead) :	禁止設定の初期 化が不可能	設定を許可から 禁止にする場合 のみ可能 <sup>※3</sup>

注1. 消去コマンドは無効となるため,すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできません。

2. ブート・ブロック・クラスタ以外は実行可能です。

3. リセット入力後からブート・ブロック・クラスタの書き換え禁止機能は有効になります。

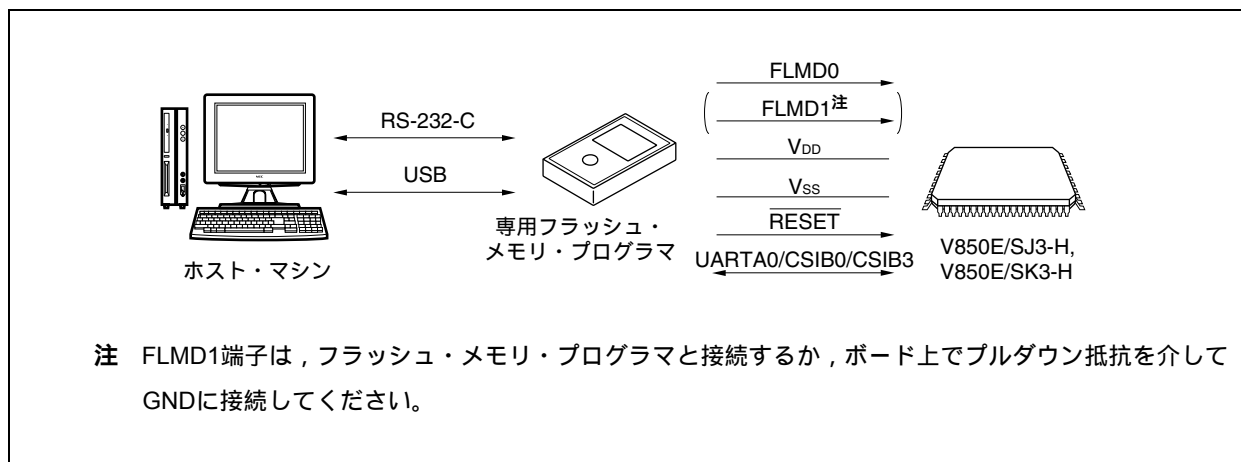
## 32.4 専用フラッシュ・メモリ・プログラマでの書き換え

専用フラッシュ・メモリ・プログラマにて、ターゲット・システム上にV850E/SJ3-H, V850E/SK3-Hを実装後のフラッシュ・メモリの書き換えが可能です（オンボード・プログラミング）。また、専用プログラム・アダプタ（FAシリーズ）を使用すれば、ターゲット・システムに実装する前でのフラッシュ・メモリの書き換えが可能です（オフボード・プログラミング）。

### 32.4.1 プログラミング環境

V850E/SJ3-H, V850E/SK3-Hのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図32-2 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマとV850E/SJ3-H, V850E/SK3-HとのインターフェースはUARTA0, CSIB0またはCSIB3を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ（FAシリーズ）が必要です。

**備考** FAシリーズは、(株)内藤電誠町田製作所の製品です。

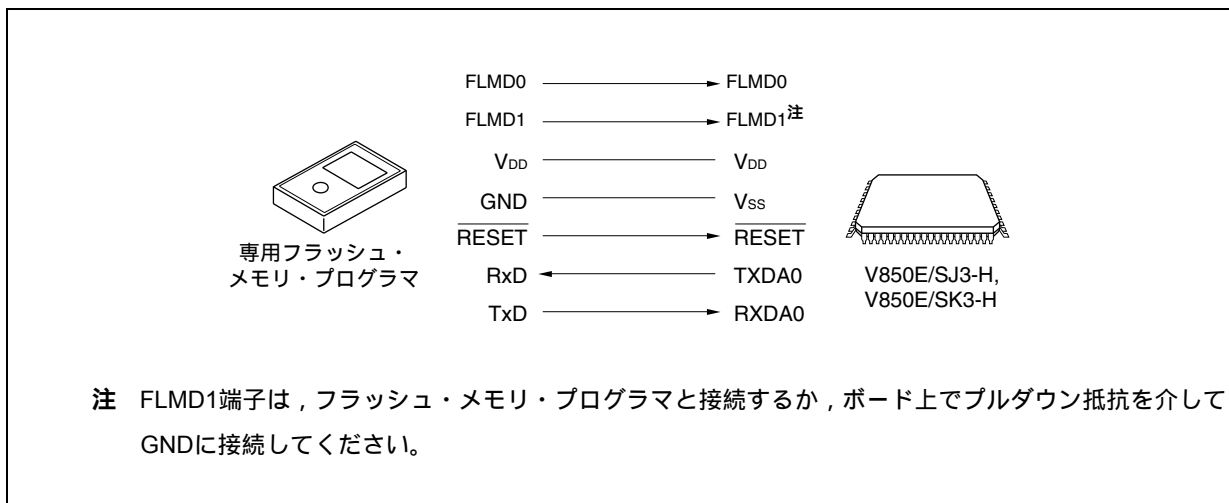
### 32.4.2 通信方式

専用フラッシュ・メモリ・プログラマとV850E/SJ3-H, V850E/SK3-Hとの通信は、V850E/SJ3-H, V850E/SK3-HのUARTA0, CSIB0またはCSIB3によるシリアル通信で行います。

#### (1) UARTA0

- ・転送レート：9600～500000 bps

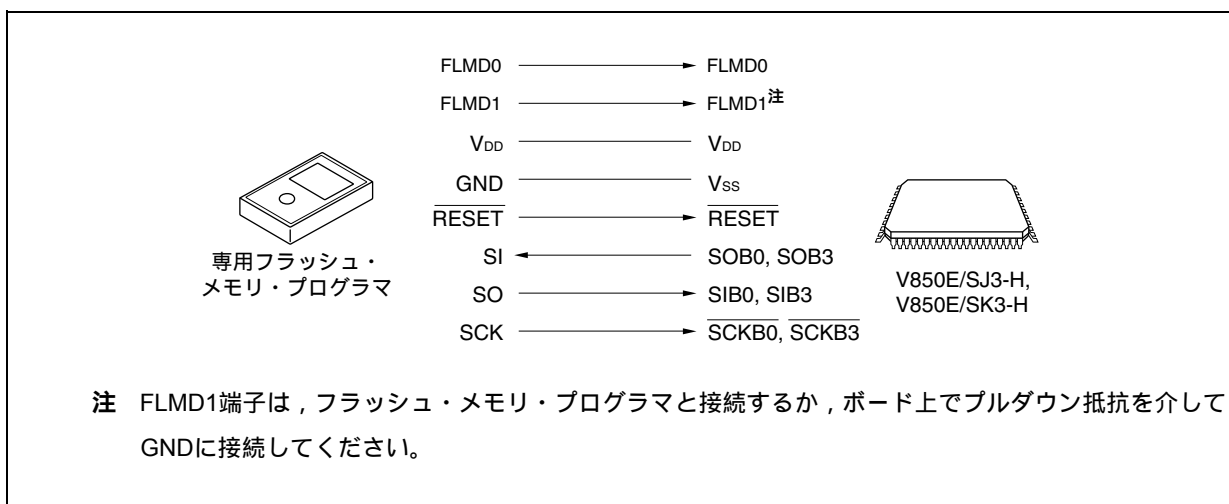
図32-3 専用フラッシュ・メモリ・プログラマとの通信 (UARTA0)



#### (2) CSIB0, CSIB3

- ・シリアル・クロック：2.4 kHz～5 MHz (MSBファースト)

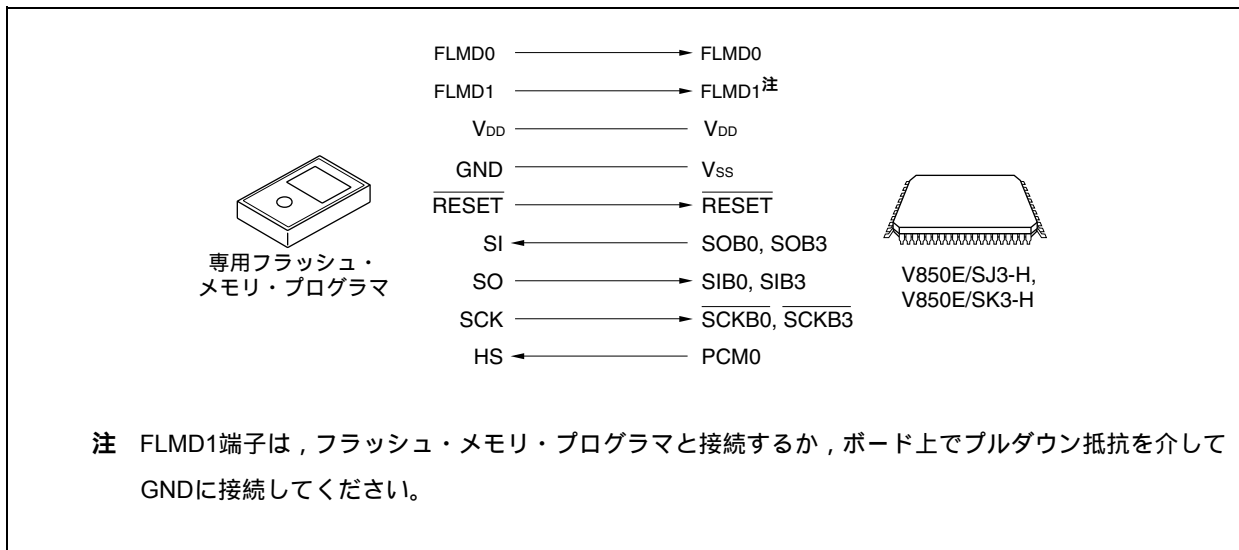
図32-4 専用フラッシュ・メモリ・プログラマとの通信 (CSIB0, CSIB3)



## (3) CSIB0 + HS, CSIB3 + HS

・シリアル・クロック : 2.4 kHz ~ 5 MHz (MSBファースト)

図32 - 5 専用フラッシュ・メモリ・プログラマとの通信 (CSIB0 + HS, CSIB3 + HS)



専用フラッシュ・メモリ・プログラマが転送クロックを出力し、V850E/SJ3-H, V850E/SK3-Hはスレーブとして動作します。

専用フラッシュ・メモリ・プログラマとしてPG-FP5を使用した場合、PG-FP5はV850E/SJ3-H, V850E/SK3-Hに対して次の信号を生成します。詳細はPG-FP5 **ユーザズ・マニュアル**(U18865J)を参照してください。

表32 - 5 専用フラッシュ・メモリ・プログラマ (PG-FP5) の信号接続一覧

PG-FP5			V850E/SJ3-H, V850E/SK3-H	接続時の処置		
信号名	入出力	端子機能	端子名	UARTA0	CSIB0, CSIB3	CSIB0 + HS, CSIB3 + HS
FLMD0	出力	書き込み許可 / 禁止	FLMD0			
FLMD1	出力	書き込み許可 / 禁止	FLMD1	注1	注1	注1
VDD	-	V <sub>DD</sub> 電圧生成/電圧監視	V <sub>DD</sub>			
GND	-	グランド	V <sub>SS</sub>			
CLK	出力	V850E/SJ3-H, V850E/SK3-Hへのクロック出力	X1, X2	x 注2	x 注2	x 注2
RESET	出力	リセット信号	RESET			
SI/RxD	入力	受信信号	SOB0, SOB3/ TXDA0			
SO/TxD	出力	送信信号	SIB0, SIB3/ RXDA0			
SCK	出力	転送クロック	SCKB0, SCKB3	x		
HS	入力	CSIB0 + HS, CSIB3 + HS通信のハンドシェイク信号	PCM0	x	x	

注1. 図32 - 6, 図32 - 7のように配線するか, もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

2. フラッシュ・メモリ・プログラマのCLK端子からのクロック供給はできません。ボード上に発振回路を作成してクロックを供給してください。

備考 : 必ず接続してください。

x : 接続の必要はありません。



表32 - 6 V850E/SJ3-H, V850E/SK3-Hフラッシュ書き込み用アダプタ

(FA-144GJ-GAE-B, FA-176GM-GAR-B) の配線表 (1/2)

フラッシュ・メモリ・プログラマ (PG-FP5) 接続端子			FA ボード の端子名	CSIB0 + HS使用時				CSIB0使用時				UARTA0使用時				
信号名	入出力	端子機能		端子名	端子名		ピン番号		端子名	ピン番号		端子名	ピン番号			
					SJ3-H	SK3-H	GJ	GM		SJ3-H	SK3-H		GJ	GM	SJ3-H	SK3-H
SI/RxD	入力	受信信号	SI	P41/SOB0/ SCL01	23	25	P41/SOB0/ SCL01	23	25	P30/TXDA0/ SOB4	25	30				
SO/TxD	出力	送信信号	SO	P40/SIB0/ SDA01	22	24	P40/SIB0/ SDA01	22	24	P31/RXDA0/ INTP7/SIB4	26	31				
SCK	出力	転送クロック	SCK	P42/SCKB0/ INTP2	24	26	P42/SCKB0/ INTP2	24	26	必要なし	-	-				
CLK	出力	V850E/SJ3-H, V850E/SK3-H へのクロック	X1	必要なし	-	-	必要なし	-	-	必要なし	-	-				
			X2	必要なし	-	-	必要なし	-	-	必要なし	-	-				
/RESET	出力	リセット信号	/RESET	RESET	14	16	RESET	14	16	RESET	14	16				
FLMD0	出力	書き込み電圧	FLMD0	FLMD0	8	10	FLMD0	8	10	FLMD0	8	10				
FLMD1	出力	書き込み電圧	FLMD1	PDL5/AD5/ FLMD1	110	134	PDL5/AD5/ FLMD1	110	134	PDL5/AD5/ FLMD1	110	134				
HS	入力	CSI0 + HS 通 信のハンドシ ェーク信号	RESERVE /HS	PCM0/WAIT	85	105	必要なし	-	-	必要なし	-	-				
VDD	-	VDD 電圧 生 成 / 電圧監視	VDD	V <sub>DD</sub>	9	11	V <sub>DD</sub>	9	11	V <sub>DD</sub>	9	11				
				BV <sub>DD</sub>	104	124, 153	BV <sub>DD</sub>	104	124, 153	BV <sub>DD</sub>	104	124, 153				
				EV <sub>DD</sub>	34	39, 69	EV <sub>DD</sub>	34	39, 69	EV <sub>DD</sub>	34	39, 69				
				AV <sub>REF0</sub>	1	1	AV <sub>REF0</sub>	1	1	AV <sub>REF0</sub>	1	1				
				AV <sub>REF1</sub>	5	5	AV <sub>REF1</sub>	5	5	AV <sub>REF1</sub>	5	5				
GND	-	グラウンド	GND	V <sub>SS</sub>	11	13	V <sub>SS</sub>	11	13	V <sub>SS</sub>	11	13				
				AV <sub>SS</sub>	2	2	AV <sub>SS</sub>	2	2	AV <sub>SS</sub>	2	2				
				BV <sub>SS</sub>	103	123, 154	BV <sub>SS</sub>	103	123, 154	BV <sub>SS</sub>	103	123, 154				
				EV <sub>SS</sub>	33	38, 70	EV <sub>SS</sub>	33	38, 70	EV <sub>SS</sub>	33	38, 70				

注意1. REGC端子は、必ず4.7  $\mu$ Fのコンデンサを介してGNDに接続してください。

- フラッシュ・メモリ・プログラマのCLK端子からのクロック供給はできません。  
ボード上に発振回路を作成してクロックを供給してください。

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

表32 - 6 V850E/SJ3-H, V850E/SK3-Hフラッシュ書き込み用アダプタ

(FA-144GJ-GAE-B, FA-176GM-GAR-B) の配線表 (2/2)

フラッシュ・メモリ・プログラマ (PG-FP5) 接続端子			FAボードの 端子名	CSIB3 + HS使用時			CSIB3使用時		
信号名	入出力	端子機能		端子名	ピン番号		端子名	ピン番号	
					SJ3-H	SK3-H		SJ3-H	SK3-H
					GJ	GM		GJ	GM
SI/RxD	入力	受信信号	SI	P911/A11/SOB3	72 88	P911/A11/SOB3	72 88		
SO/TxD	出力	送信信号	SO	P910/A10/SIB3	71 87	P910/A10/SIB3	71 87		
SCK	出力	転送クロック	SCK	P912/A12/SCKB3	73 89	P912/A12/SCKB3	73 89		
CLK	出力	V850E/SJ3-H, V850E/SK3-H へのクロック	X1	必要なし	- -	必要なし	- -		
			X2	必要なし	- -	必要なし	- -		
/RESET	出力	リセット信号	/RESET	RESET	14 16	RESET	14 16		
FLMD0	出力	書き込み電圧	FLMD0	FLMD0	8 10	FLMD0	8 10		
FLMD1	出力	書き込み電圧	FLMD1	PDL5/AD5/FLMD1	110 134	PDL5/AD5/FLMD1	110 134		
HS	入力	CSI0 + HS 通信の ハンドシェイク信号	RESERVE/HS	PCM0/WAIT	85 105	必要なし	- -		
VDD	-	VDD電圧生成 / 電 圧監視	VDD	V <sub>DD</sub>	9 11	V <sub>DD</sub>	9 9		
				BV <sub>DD</sub>	104 124, 153	BV <sub>DD</sub>	104 124, 153		
				EV <sub>DD</sub>	34 39, 69	EV <sub>DD</sub>	34 39, 69		
				AV <sub>REF0</sub>	1 1	AV <sub>REF0</sub>	1 1		
				AV <sub>REF1</sub>	5 5	AV <sub>REF1</sub>	5 5		
GND	-	グラウンド	GND	V <sub>SS</sub>	11 13	V <sub>SS</sub>	11 13		
				AV <sub>SS</sub>	2 2	AV <sub>SS</sub>	2 2		
				BV <sub>SS</sub>	103 123, 154	BV <sub>SS</sub>	103 123, 154		
				EV <sub>SS</sub>	33 38, 70	EV <sub>SS</sub>	33 38, 70		

注意1. REGC端子は、必ず4.7  $\mu$ Fのコンデンサを介してGNDに接続してください。

2. フラッシュ・メモリ・プログラマのCLK端子からのクロック供給はできません。  
ボード上に発振回路を作成してクロックを供給してください。

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

図32 - 6 V850E/SJ3-Hフラッシュ書き込み用アダプタ (FA-144GJ-GAE-B) の配線例 (CSIB0+HSモード時) (1/2)

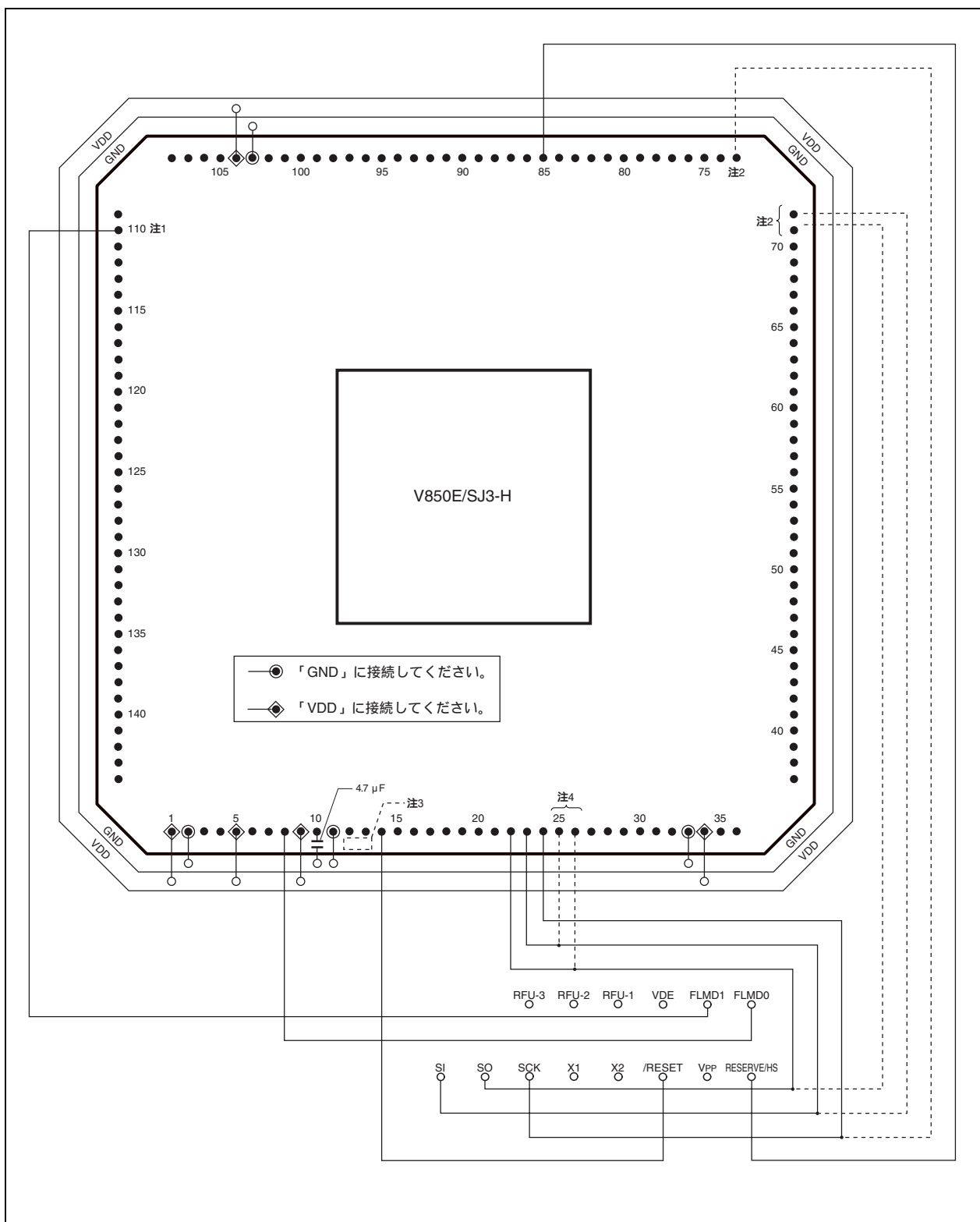
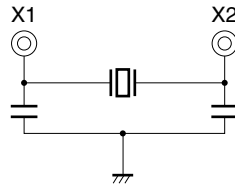


図32 - 6 V850E/SJ3-Hフラッシュ書き込み用アダプタ (FA-144GJ-GAE-B) の配線例 (CSIB0+HSモード時) (2/2)

- 注1. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
2. CSIB3使用時の該当端子
3. フラッシュ書き込みアダプタ上 (破線部) に発振回路を作成してクロックを供給してください。次に発振回路例を示します。

## 例



4. UARTA0使用時の該当端子

**注意** DRST端子には、ハイ・レベルを入力しないでください。

- 備考1.** 記述していない端子は、未使用時の端子処理に従って処理してください (2.4 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理参照)。
2. このアダプタは144ピン・プラスチックLQFPパッケージ用です。

図32-7 V850E/SK3-Hフラッシュ書き込み用アダプタ (FA-176GM-GAR-B) の配線例 (CSIB0+HSモード時) (1/2)

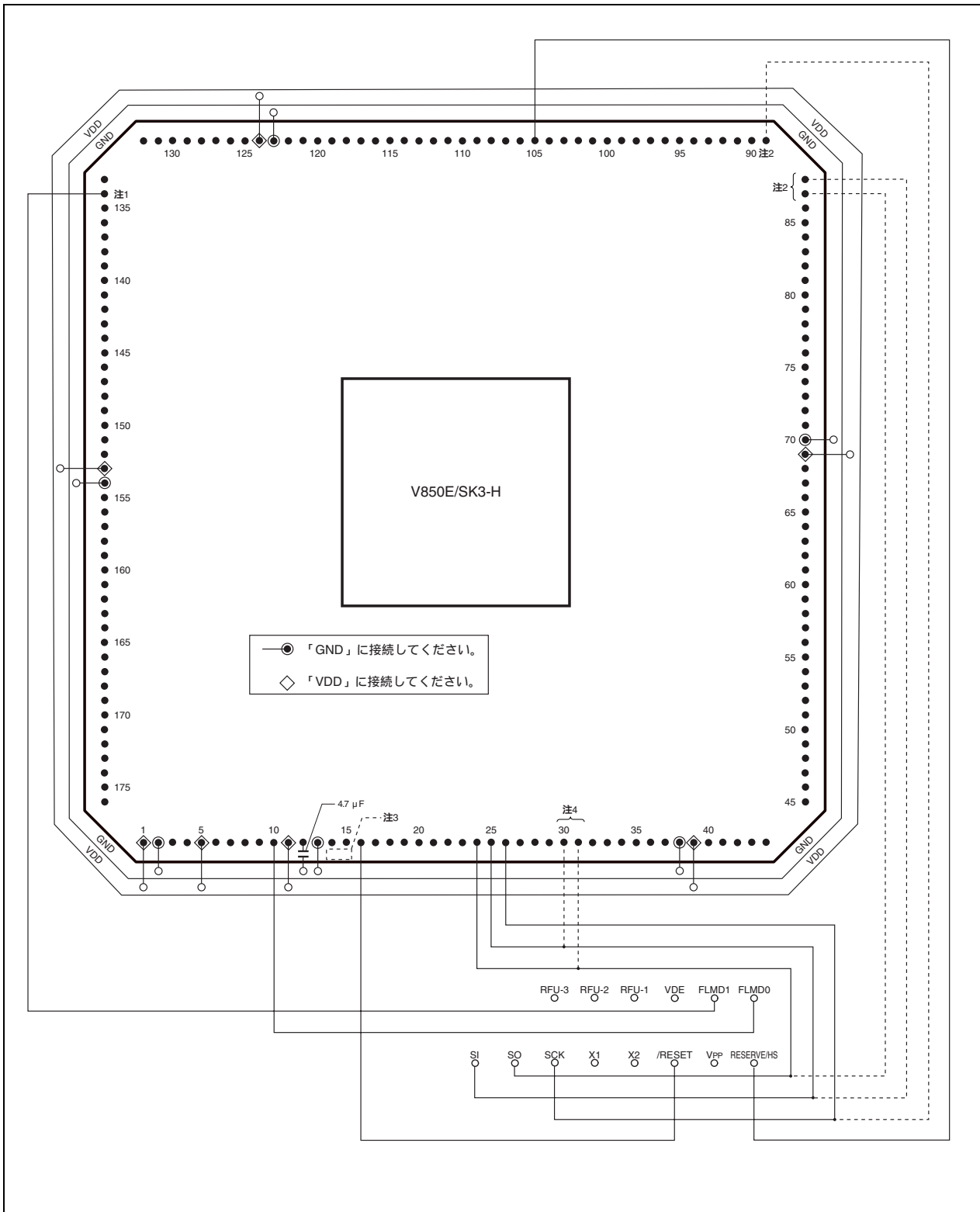
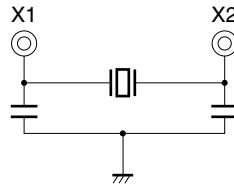


図32 - 7 V850E/SK3-Hフラッシュ書き込み用アダプタ (FA-176GM-GAR-B) の配線例 (CSIB0 + HSモード時) (2/2)

- 注1. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
2. CSIB3使用時の該当端子
3. フラッシュ書き込みアダプタ上(破線部)に発振回路を作成してクロックを供給してください。次に発振回路例を示します。

## 例



4. UARTA0使用時の該当端子

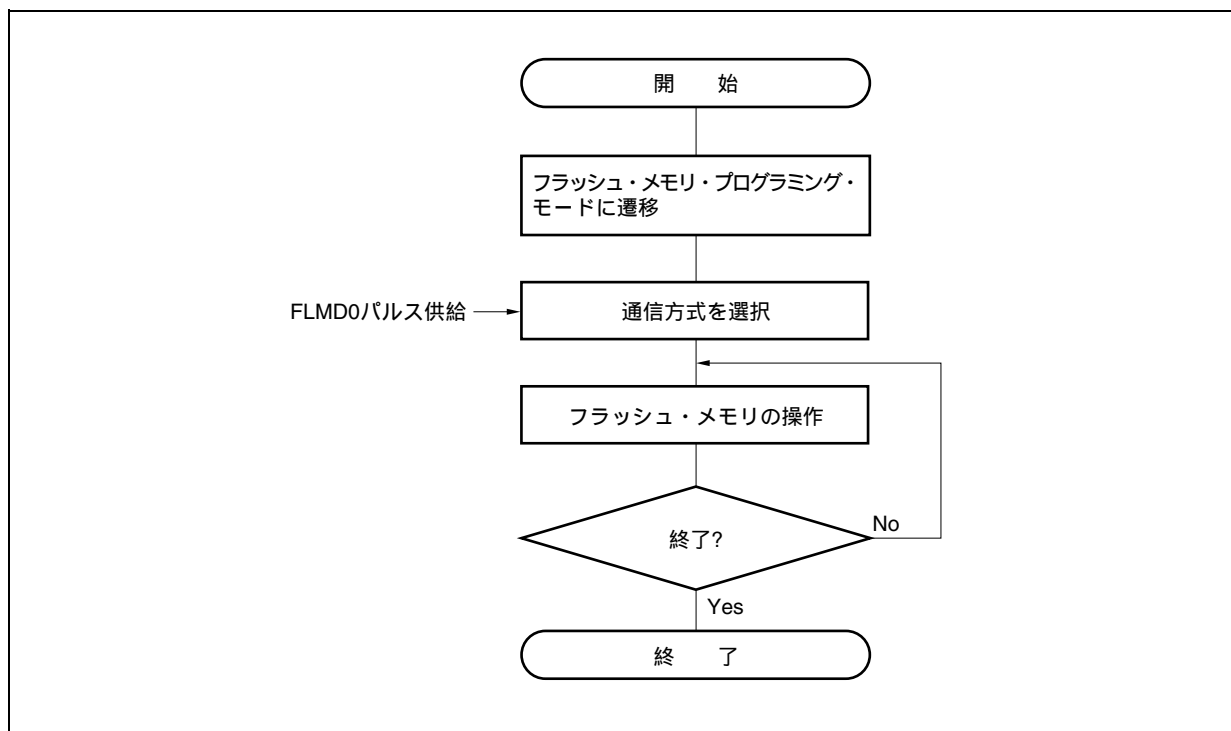
**注意** DRST端子には、ハイ・レベルを入力しないでください。

- 備考1.** 記述していない端子は、未使用時の端子処理に従って処理してください(2.4 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理参照)。
2. このアダプタは176ピン・プラスチックLQFPパッケージ用です。

### 32.4.3 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図32 - 8 フラッシュ・メモリの操作手順

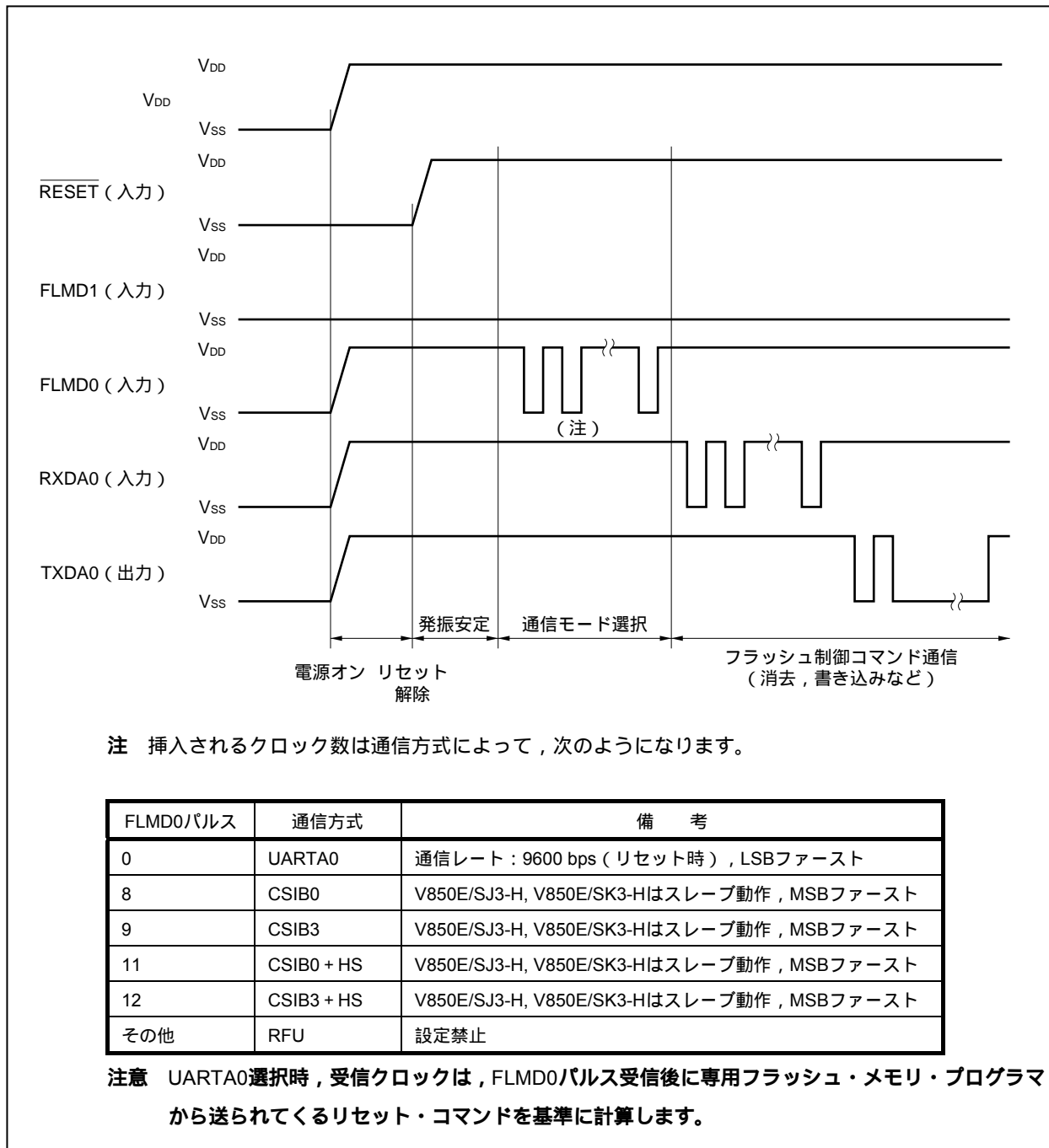


### 32.4.4 通信方式の選択

V850E/SJ3-H, V850E/SK3-Hでは、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大12パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

図32 - 9 通信方式の選択

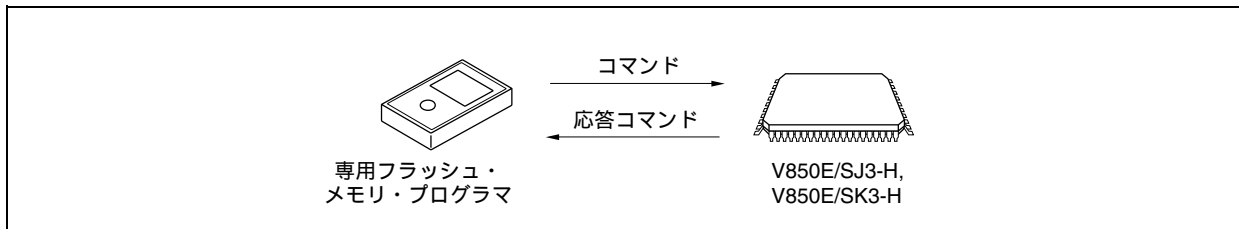




### 32.4.5 通信コマンド

V850E/SJ3-H, V850E/SK3-Hと専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマからV850E/SJ3-H, V850E/SK3-Hへ送られる信号を「コマンド」と呼び、V850E/SJ3-H, V850E/SK3-Hから専用フラッシュ・メモリ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。

図32 - 10 通信コマンド



V850E/SJ3-H, V850E/SK3-Hのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、V850E/SJ3-H, V850E/SK3-Hがコマンドに対応した各処理を行います。

表32 - 7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	対応			機能
		CSIB0, CSIB3	CSIB0+HS, CSIB3+HS	UARTA0	
ブランク・チェック	ブロック・ブランク・チェック・コマンド				指定したブロックのメモリの消去状態を確認
消去	チップ消去コマンド				全メモリの内容を消去
	ブロック消去コマンド				指定したブロックのメモリの内容を消去
プログラム	プログラム・コマンド				指定したアドレス範囲の書き込み、内容ベリファイ・チェックを実行
ベリファイ	ベリファイ・コマンド				指定したアドレス範囲のメモリの内容と、フラッシュ・メモリ・プログラマから転送されたデータを比較
	チェック・サム・コマンド				指定したアドレス範囲のチェック・サムを読み出す
リード	リード・コマンド				フラッシュ・メモリに書き込まれたデータを読み出す
システム設定, 制御	シリコン・シグネチャ・コマンド				シリコン・シグネチャ情報を読み出す
	セキュリティ設定コマンド				チップ消去コマンド, ブロック消去コマンド, プログラム・コマンド, リード・コマンドの禁止設定, およびブート・ブロック・クラスタの書き換え禁止設定

### 32.4.6 端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

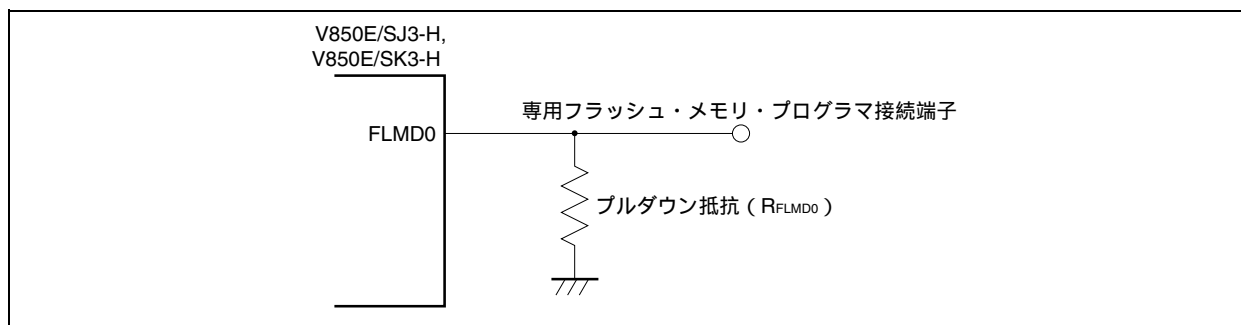
フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

#### (1) FLMD0端子

通常動作モード時は、FLMD0端子にV<sub>SS</sub>レベルの電圧を入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子にV<sub>DD</sub>レベルの書き込み電圧を供給します。

また、FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため、書き換え前にポート制御などによって、FLMD0端子にV<sub>DD</sub>レベルの電圧を供給する必要があります。詳細は、32.5.5 (1) FLMD0端子を参照してください。

図32 - 11 FLMD0端子の接続例



#### (2) FLMD1端子

FLMD0端子に0 Vを入力された場合、FLMD1端子は機能しません。FLMD0端子にV<sub>DD</sub>が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子に0 Vを入力する必要があります。FLMD1端子の接続例を次に示します。

図32 - 12 FLMD1端子の接続例

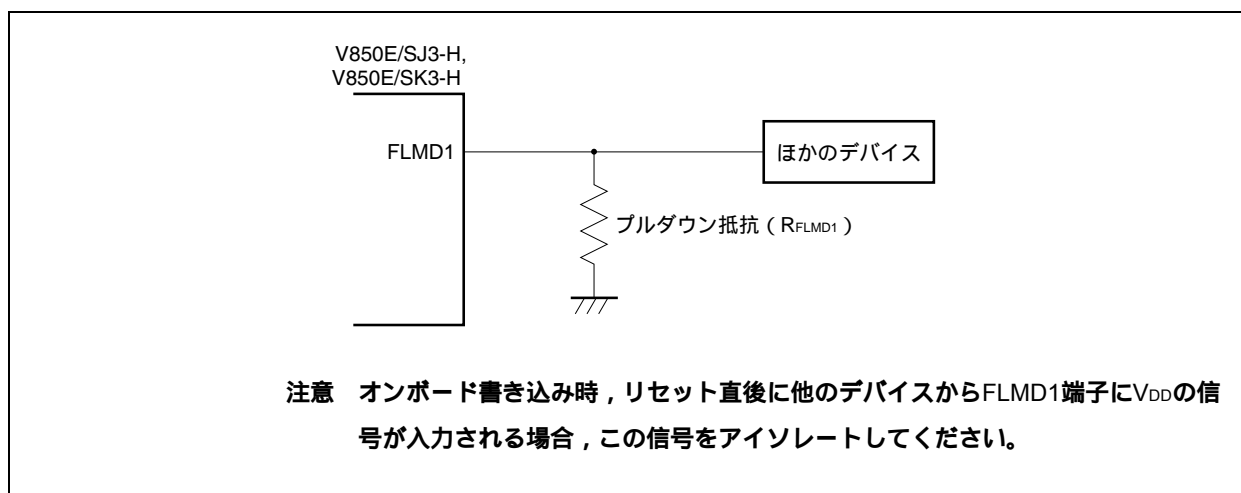


表32 - 8 リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
V <sub>DD</sub>	0	フラッシュ・メモリ・プログラミング・モード
V <sub>DD</sub>	V <sub>DD</sub>	設定禁止

## (3) シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表32 - 9 各シリアル・インタフェースが使用する端子

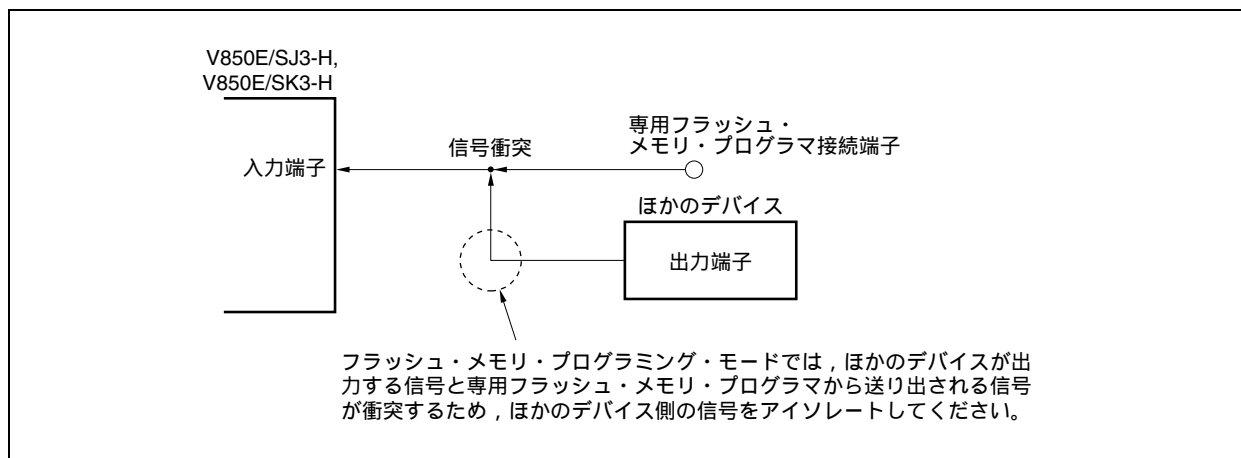
シリアル・インタフェース	使用端子
UARTA0	TXDA0, RXDA0
CSIB0	SOB0, SIB0, SCKB0
CSIB3	SOB3, SIB3, SCKB3
CSIB0 + HS	SOB0, SIB0, SCKB0, PCM0
CSIB3 + HS	SOB3, SIB3, SCKB3, PCM0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

## (a) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

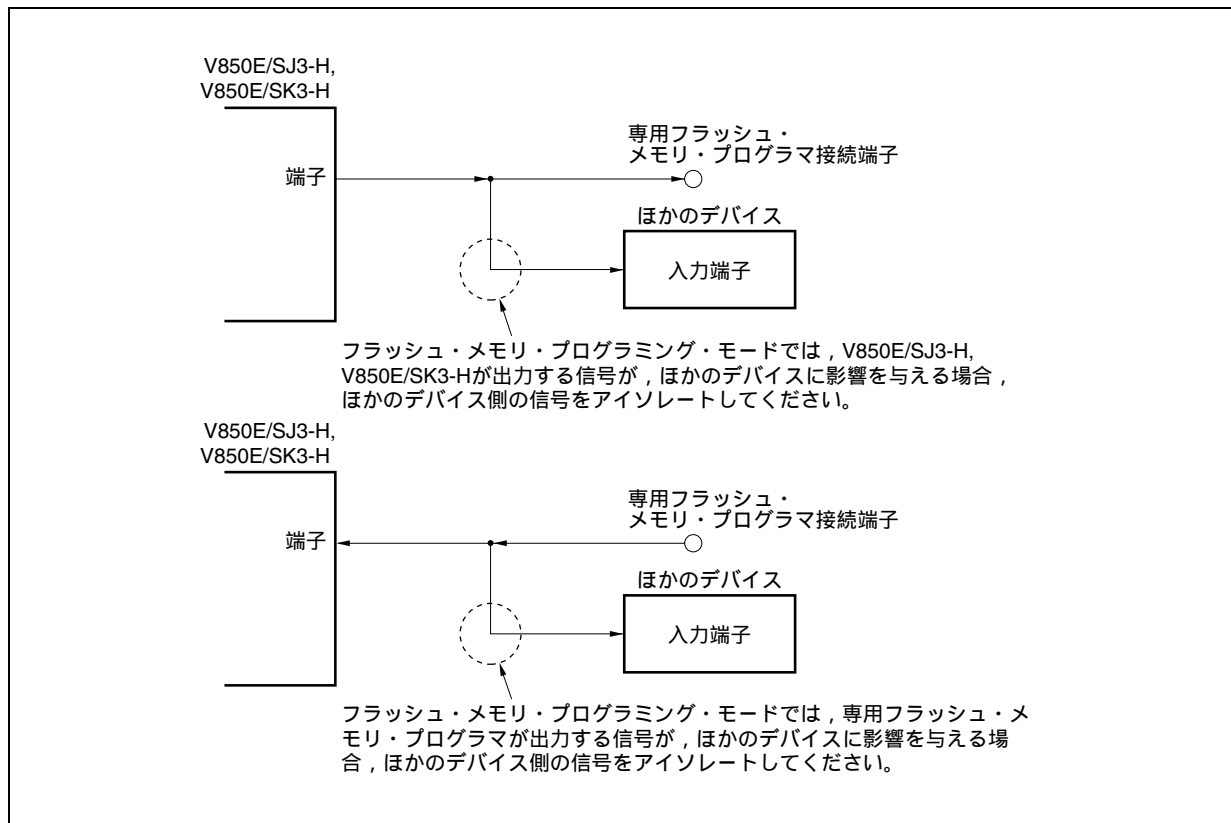
図32 - 13 信号の衝突（シリアル・インタフェースの入力端子）



## (b) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートしてください。

図32 - 14 ほかのデバイスの異常動作

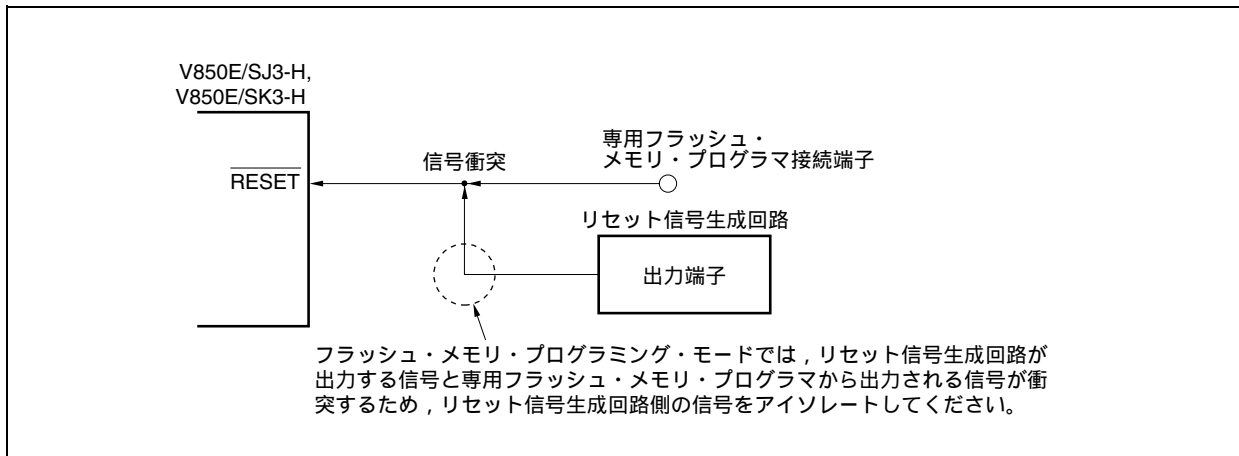


**(4) RESET端子**

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラムのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図32 - 15 信号の衝突 (RESET端子)

**(5) ポート端子 (NMIを含む)**

フラッシュ・メモリ・プログラミング・モードに設定すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV<sub>DD</sub>に接続するか、または抵抗を介してV<sub>SS</sub>に接続するなどの端子処理が必要です。

**(6) その他の信号端子**

X1, X2, XT1, XT2, REGCIは、通常動作モード時と同じ状態に接続してください。

また、フラッシュ・メモリ・プログラミング中、DRST端子はロウ・レベル入力またはオープンにし、ハイ・レベル入力しないようにしてください。

**(7) 電 源**

電源 (V<sub>DD</sub>, V<sub>SS</sub>, EV<sub>DD</sub>, EV<sub>SS</sub>, BV<sub>DD</sub>, BV<sub>SS</sub>, AV<sub>REF0</sub>, AV<sub>REF1</sub>, AV<sub>SS</sub>) は、通常動作モード時と同じ電源を供給してください。

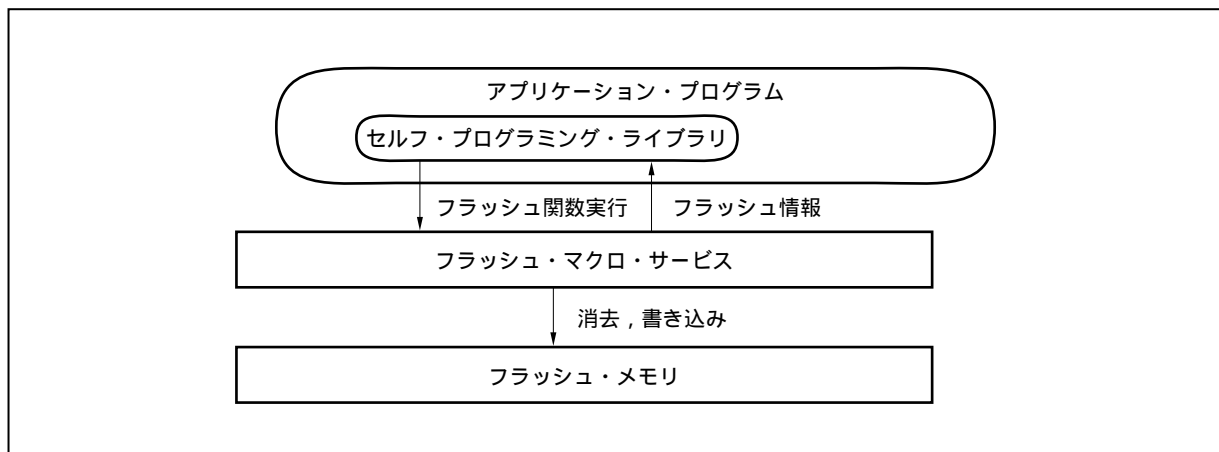
## 32.5 セルフ・プログラミングによる書き換え

### 32.5.1 概 要

V850E/SJ3-H, V850E/SK3-Hは、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび、フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより、内蔵RAM、外部メモリ、もしくは拡張内蔵RAMへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換え<sup>※</sup>を行うことができます。

注 書き換え対象の定数データがあるブロックに、プログラム・コードを配置しないよう注意してください。ブロック構成については、32.2 メモリ構成を参照してください。

図32 - 16 セルフ・プログラミングの概念図



## 32.5.2 特 徴

### (1) セルフ・プログラミング・ライブラリの機能

セルフ・プログラミング・ライブラリを使用することで、ユーザ・プログラムによるフラッシュ・メモリ・セルフ・プログラミングに対応しています。

このライブラリには、次の基本機能を実行するC関数の呼び出しセットが用意されています。

- フラッシュのブランク・チェック / 消去 / 書き込み / ベリファイ
- ブート・ブロック・クラスタの設定, ブート・スワップ設定
- セキュリティ情報設定
- フラッシュ・メモリに関する情報の取得

### (2) セキュア・セルフ・プログラミング (ブート・スワップ機能)

V850E/SJ3-H, V850E/SK3-Hは、00000000H番地から始まるフラッシュ・メモリ・ブロックのブロック群 (クラスタ) を、そのクラスタのアドレス上位に位置する同じサイズの異なるクラスタとスワップする機能をサポートしています。

ブート・スワップ・クラスタとは、ブート・スワップするときのスワップするブロック群です。

ブート・ブロック・クラスタとは、アプリケーション・プログラムのブート領域であり、領域の選択が可能です。ブート・ブロック・クラスタに対しては、書き換えを禁止するセキュリティ設定が可能です。

ブート・スワップ・クラスタのサイズは、ブート・ブロック・クラスタの設定により16 K/32 K/64 K/128 Kバイトから選択できます。その領域に対してブート・スワップ機能を実行できます。詳細は、表32 - 10 **ブート・ブロック・クラスタとブート・スワップ・クラスタの関係**を参照してください。

また、ブート・フラグにより、2つのクラスタのうち、どちらがアクティブな (ブートする) クラスタであるかを制御します。ブート・フラグは、フラッシュ情報用の領域に格納されます。

次に、ブート・ブロック・クラスタの領域設定と、それにより決まるブート・スワップ・クラスタとの関係を示します。

表32 - 10 ブート・ブロック・クラスタとブート・スワップ・クラスタの関係

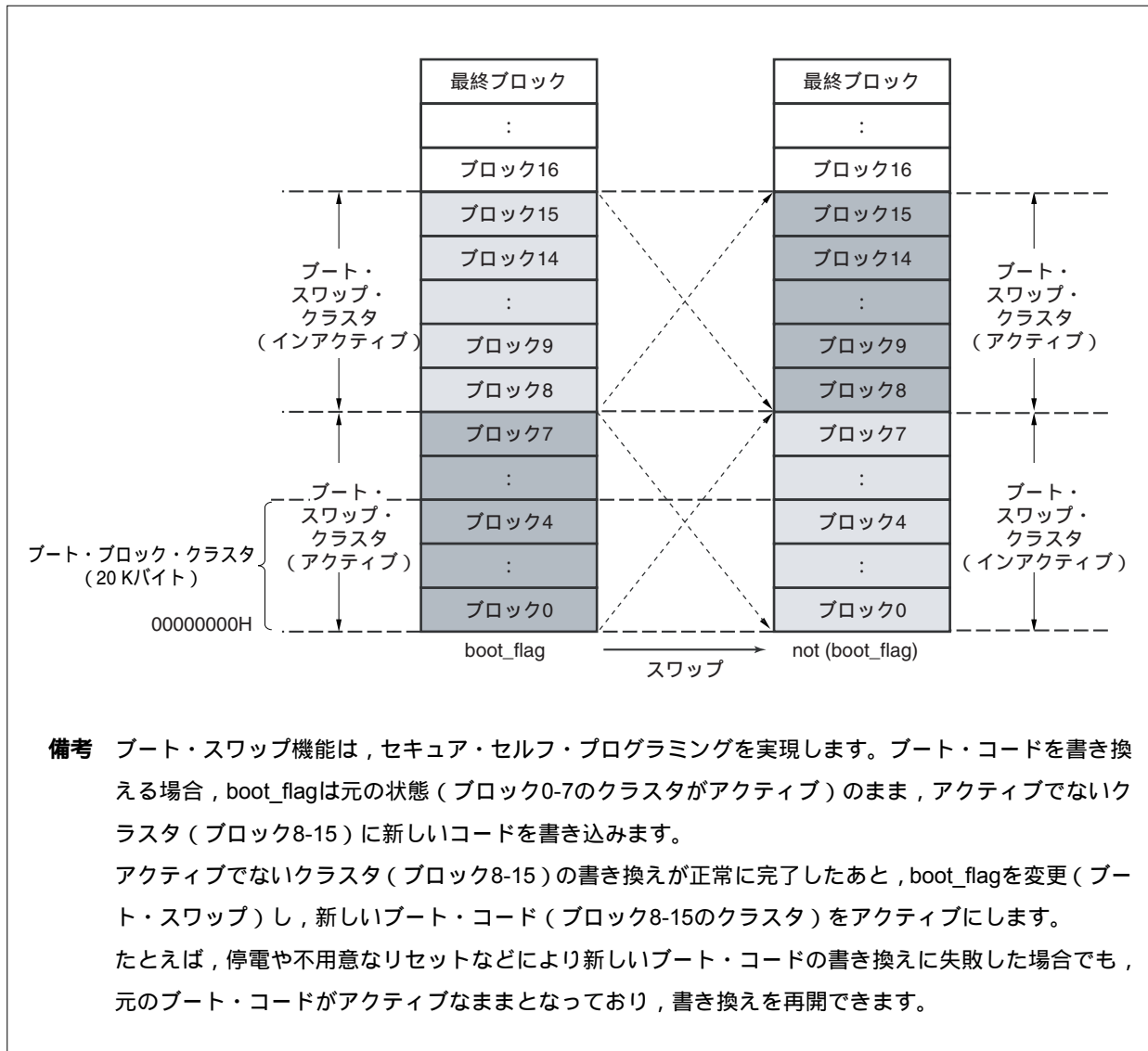
ブート・ブロック・クラスタ 設定値 <sup>注</sup>	ブート・ブロック・クラスタ	ブート・スワップ・クラスタ
00H	00000000H-00000FFFH ( 4KB )	00000000H-00003FFFH ( 16KB )
:	:	
03H	00000000H-00003FFFH ( 16KB )	00000000H-00007FFFH ( 32KB )
04H	00000000H-00004FFFH ( 20KB )	
:	:	00000000H-00008FFFH ( 36KB )
07H	00000000H-00007FFFH ( 32KB )	
08H	00000000H-00008FFFH ( 36KB )	00000000H-0000FFFH ( 64KB )
:	:	
0FH	00000000H-0000FFFH ( 64KB )	00000000H-0001FFFH ( 128KB )
10H	00000000H-00010FFFH ( 68KB )	
:	:	00000000H-0001FFFH ( 128KB )
1FH	00000000H-0001FFFH ( 128KB )	
20H	00000000H-00020FFFH ( 132KB )	00000000H-0007FFFH ( 512KB )
:	:	
7FH	00000000H-0007FFFH ( 512KB )	設定禁止
80H	設定禁止	
:		
FFH		

注 フラッシュ・ライタのGUI, またはフラッシュ・セルフ・プログラミングで設定可能です。

図32 - 17は, 4つのフラッシュ・メモリ・ブロックから構成されるクラスタのブート・スワップ機能例(ブート・ブロック・クラスタの設定値 = 04Hの場合 (ブート・スワップ・クラスタ: 32 Kバイト, ブート・ブロック・クラスタ: 20 Kバイト))です。boot\_flagの反転後はnot (boot\_flag)になり, ブロック8から15がアクティブなブート・ブロック・クラスタになります。したがって, 次のリセット解除後からユーザ・プログラムは新しいブート・スワップ・クラスタより起動されます。



図32 - 17 ブート・スワップ機能例（ブート・ブロック・クラスタの設定値 = 04Hの場合  
（ブート・スワップ・クラスタ：32 Kバイト，ブート・ブロック・クラスタ = 20 Kバイト））



### (3) 割り込み対応

セルフ・プログラミング中は、フラッシュ・メモリからの命令フェッチが不可能であるため、割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できません。

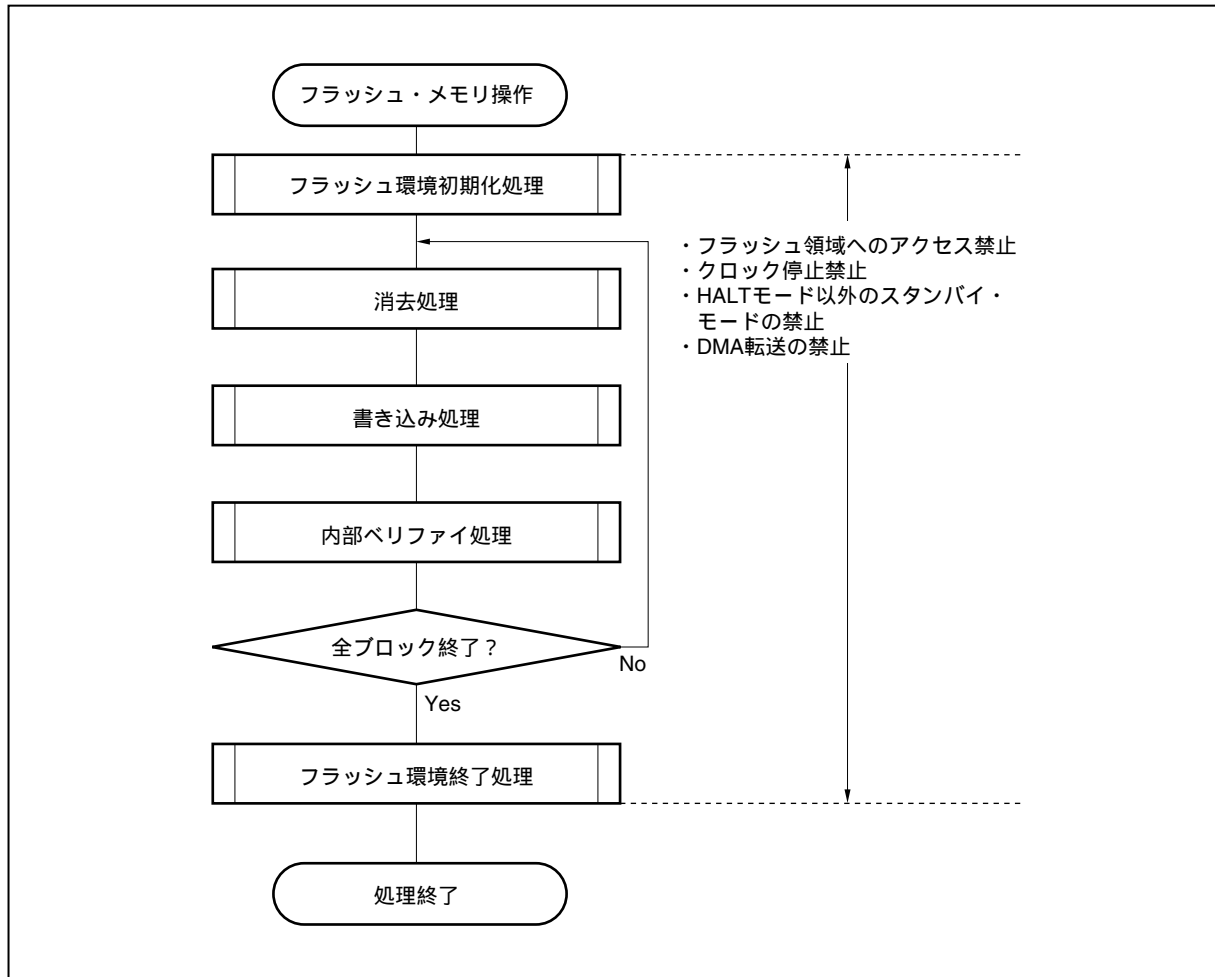
そのため、V850E/SJ3-H, V850E/SK3-Hでは、セルフ・プログラミング中に割り込みを利用する場合、内蔵RAMの特定番地<sup>※</sup>に処理が移ります。したがって、あらかじめ内蔵RAMの特定番地<sup>※</sup>にユーザ割り込み処理へ遷移するjump命令を用意してください。

注 NMI割り込み : 内蔵RAMの先頭番地  
マスカブル割り込み : 内蔵RAMの先頭+4番地

## 32. 5. 3 標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて、フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。

図32 - 18 標準セルフ・プログラミング・フロー



## 32.5.4 フラッシュ関数一覧

表32 - 11 フラッシュ関数一覧

関数名	概要	対応
FlashInit	セルフ・ライブラリの初期化	
FlashEnv	フラッシュ環境の開始 / 終了	
FlashFLMDCheck	FLMD端子のチェック	
FlashStatusCheck	ハードウェア処理の実況チェック	
FlashBlockErase	ブロックの消去	
FlashWordWrite	データの書き込み	
FlashBlockVerify	ブロックの内部ベリファイ	
FlashBlockBlankCheck	ブロックのブランク・チェック	
FlashSetInfo	フラッシュ情報の設定	
FlashGetInfo	フラッシュ情報の獲得	
FlashBootSwap	ブート・スワップの実行	

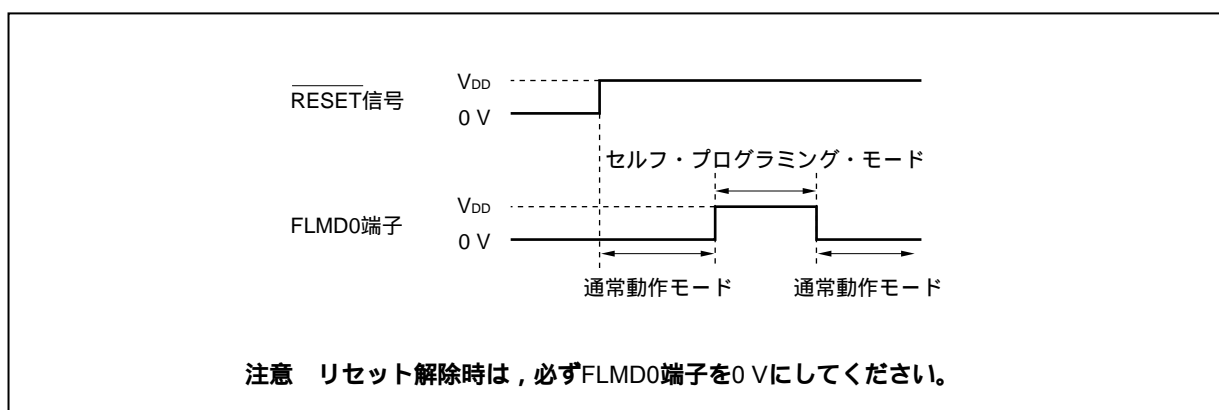
## 32.5.5 端子処理

## (1) FLMD0端子

FLMD0端子は、リセット解除時の動作モード設定と、セルフ書き換え時の書き換え保護機能の兼用端子となっているため、リセット解除～通常動作実行時は、FLMD0端子へ印加される電圧を0 Vに保持し、セルフ・プログラミング・モードの期間は、書き換え前にポート制御などによって、FLMD0端子に $V_{DD}$ レベルの電圧を印加する必要があります。

また、セルフ・プログラミングが終了したあとは、FLMD0端子の電圧を0 Vに戻す必要があります。

図32 - 19 モード切り替わりタイミング



### 32.5.6 使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお、セルフ・プログラミング以外では、次の内部資源については自由に使用できます。

表32 - 12 使用する内部資源

リソース名	説明
スタック領域 <sup>※</sup>	ユーザの使用しているスタックの延長をライブラリが使用。 (内部RAM / 外部RAMのどちらでも使用可)
ライブラリ・コード <sup>※</sup>	ライブラリのプログラム本体。 (操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可)
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスクابل割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合，内蔵RAMの先頭 + 4番地に処理が移るため，あらかじめ内蔵RAMの先頭 + 4番地にユーザ割り込み処理へ遷移するjump命令を用意してください。
NMI割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合，内蔵RAMの先頭番地に処理が移るため，あらかじめ内蔵RAMの先頭番地にユーザ割り込み処理へ遷移するjump命令を用意してください。

注 使用リソースについては，フラッシュ・メモリ・セルフ・プログラミング・ライブラリ ユーザーズ・マニュアルを参照してください。

## 第33章 オプション・バイト機能

フラッシュ・メモリ内には、V850E/SJ3-H, V850E/SK3-Hのオプション・バイト機能を設定するオプション・バイト領域があります。フラッシュ・メモリにプログラムを書き込む場合は、次のオプションに対応するオプション・バイト領域を必ず設定してください。

オプション・バイトで決定するオプション・バイト機能を次に示します。

- ・ DTFRレジスタで設定するDMA転送の起動要因テーブルの選択
- ・ INTIIC0, INTIIC2信号のDTFRレジスタにおけるDMA転送の起動要因の有効 / 無効の選択
- ・ ウォッチドッグ・タイマ2入力クロックの指定
- ・ ウォッチドッグ・タイマ2動作モードの指定
- ・ ソフトウェアによる内蔵発振器の停止可能 / 停止不可
- ・ クロック・モードの選択
- ・ PLL入力クロック (  $f_{PLL1}$  ) の分周比の選択

オプション・バイトは、フラッシュ・メモリのアドレス0000007AHおよび0000007BHに16ビット・データとして格納されています。

## 33.1 オプション・バイト (0000007AH)

アドレス : 0000007AH

7	6	5	4	3	2	1	0
0	0	DTFROB0	DTFROB1	0	0	WDTMD1	RMOPIN

DTFROB1	INTIIC0, INTIIC2信号のDTFRRレジスタにおけるDMA転送起動要因の有効/無効の選択
0	DTFRR.IFCn5-IFCn0ビット = 28HのDMA転送の起動要因 : INTUA1R/INTIIC2 (兼用) DTFRR.IFCn5-IFCn0ビット = 2AHのDMA転送の起動要因 : INTUA2R/INTIIC0 (兼用)
1	DTFRR.IFCn5-IFCn0ビット = 28HのDMA転送の起動要因 : INTUA1R (INTIIC2はDMA転送の起動要因にならない) DTFRR.IFCn5-IFCn0ビット = 2AHのDMA転送の起動要因 : INTUA2R (INTIIC0はDMA転送の起動要因にならない)

WDTMD1	ウォッチドッグ・タイマ2モード設定
0	WDTM2レジスタで入力クロック, 動作モードを選択可能。 入力クロック : 周辺クロック ( $f_{XP}$ )/内蔵発振クロック ( $f_R$ )/サブクロック ( $f_{XT}$ ) より選択可能 動作モード : ノンマスカブル割り込み要求モード (INTWDT2信号を発生) / リセット・モード (WDT2RES信号を発生) より選択可能
1	WDTM2レジスタで入力クロック, 動作モードを選択不可。 入力クロック : 内蔵発振クロック ( $f_R$ ) に固定 動作モード : リセット・モード (WDT2RES信号を発生) 固定

RMOPIM	ソフトウェアによる内蔵発振器停止可能/停止不可
0	停止可能
1	停止不可

- 注意1. DTFROB0ビットについては表22 - 1 DMA転送の起動要因を参照してください。
2. ビット2, 3, 6, 7には必ず0を設定してください。

## 33.2 オプション・バイト (0000007BH)

アドレス : 0000007BH

7	6	5	4	3	2	1	0
0	0	0	0	SELCM2	SELCM1	SELCM0	PLLIO

SELCM2	SELCM1	SELCM0	クロック・モードの選択
0	0	0	クロック・モード1
1	1	1	クロック・モード2
1	0	0	クロック・モード3
1	1	0	クロック・モード4
上記以外			設定禁止

PLLIO	PLL入力クロック ( $f_{PLL}$ ) の選択
0	$f_{PLL} = f_x$ (分周なし)
1	$f_{PLL} = f_x/2$ (2分周)

- 注意1.** クロック・モード4では、必ずPLLIOビット = 0 (分周なし) に設定してください。
2. (A9)品は、クロック・モード1、クロック・モード3 (SSCG出力 (8 通倍) の場合) のみ設定できます。クロック・モード2、クロック・モード3 (SSCG出力 (12通倍) の場合)、クロック・モード4は設定できません。  
詳細については、表6 - 1を参照してください。
3. ビット4-7には必ず0を設定してください。

次に，CA850をご使用の場合のプログラム例を示します。

[プログラム例]

```
#-----  
# OPTION_BYTES  
#-----  
.section "OPTION_BYTES"  
.byte 0b00000001 -- 0x7a  
.byte 0b00000000 -- 0x7b  
.byte 0b00000000 -- 0x7c  
.byte 0b00000000 -- 0x7d  
.byte 0b00000000 -- 0x7e  
.byte 0b00000000 -- 0x7f
```

**注意** このセクションは必ず6バイト分を記述してください。6バイト以下の場合は，リンカの際にエラーとなります。

**エラー・メッセージ：** F4112: illegal "OPTION\_BYTES" section size.

**備考** 007CH-007FH番地には0x00を設定してください。



## 第34章 オンチップ・デバッグ機能

V850E/SJ3-H, V850E/SK3-Hのオンチップ・デバッグ機能を実現するには次の2つの方法があります。

- ・ DCU (デバッグ・コントロール・ユニット) を使用する方法  
 $\overline{DRST}$ ,  $\overline{DCK}$ ,  $\overline{DMS}$ ,  $\overline{DDI}$ ,  $\overline{DDO}$ 端子をデバッグ・インタフェース端子としてV850E/SJ3-H, V850E/SK3-Hに内蔵されているDCUによってオンチップ・デバッグを実現します。
- ・ DCUを使用しない方法  
DCUを使用せず, ユーザ資源を使用してMINICUBE2などによってオンチップ・デバッグを実現します。

2つのオンチップ・デバッグ機能の特徴を次に示します。

表34 - 1 オンチップ・デバッグ機能の特徴

	DCUを使用する方法	DCUを使用しない方法
デバッグ・インタフェース端子	$\overline{DRST}$ , $\overline{DCK}$ , $\overline{DMS}$ , $\overline{DDI}$ , $\overline{DDO}$	<ul style="list-style-type: none"> <li>・ UARTA0使用時 RXDA0, TXDA0</li> <li>・ CSIB0使用時 SIB0, SOB0, <math>\overline{SCKB0}</math>, HS (PCM0)</li> <li>・ CSIB3使用時 SIB3, SOB3, <math>\overline{SCKB3}</math>, HS (PCM0)</li> </ul>
ユーザ資源の確保	不要	必要
ハードウェア・ブ레이크機能	2ポイント	2ポイント
ソフトウェア・ブ레이크機能	8ポイント	8ポイント
内蔵ROM領域	8ポイント	8ポイント
内蔵RAM領域	2000ポイント	2000ポイント
リアルタイムRAMモニタ機能 <sup>注1</sup>	可能	可能
ダイナミック・メモリ・モディフィケーション (DMM) 機能 <sup>注2</sup>	可能	可能
マスク機能	リセット, NMI, $\overline{HLDRQ}$ , $\overline{WAIT}$	$\overline{RESET}$ 端子
ROMセキュリティ機能	10バイトIDコード認証	10バイトIDコード認証
使用するハードウェア	IE-V850E1-CD-NW, MINICUBE <sup>®</sup> など	MINICUBE2など
トレース機能	サポートしていません	サポートしていません
イベント機能	サポートしていません	サポートしていません
デバッグ割り込みインタフェース機能 (DBINT)	サポートしていません	サポートしていません

注1. プログラム実行中にメモリの内容の読み出しを行う機能です。

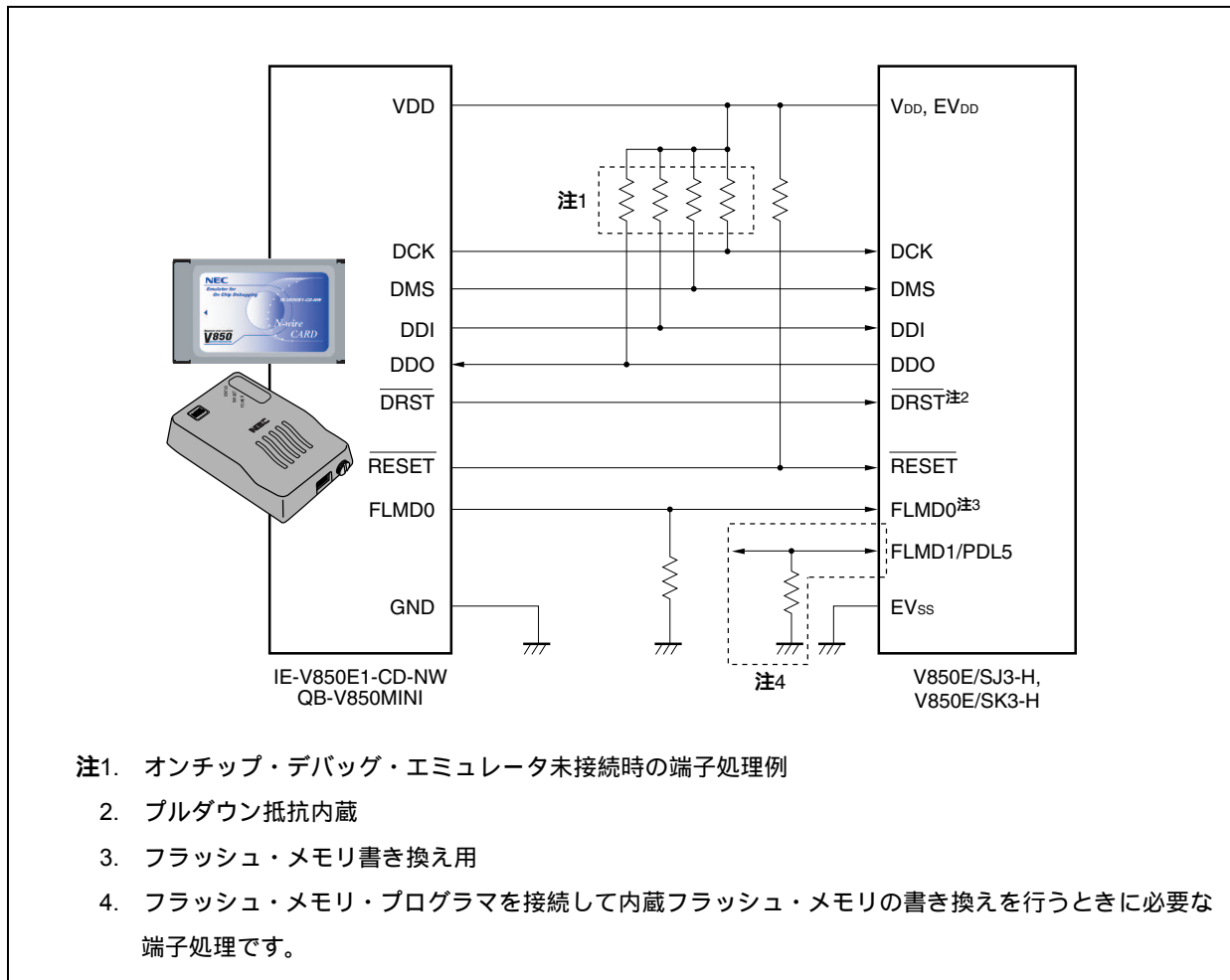
2. プログラム実行中にRAMの内容の書き換えを行う機能です。

## 34.1 DCUを使用する方法

デバッグ・インタフェース端子 ( $\overline{\text{DRST}}$ , DCK, DMS, DDI, DDO端子) を利用して, オンチップ・デバッグ・エミュレータ (IE-V850E1-CD-NW, MINICUBE) を接続することで, プログラムのデバッグが可能です。

### 34.1.1 接続回路例

図34 - 1 デバッグ・インタフェース端子を通信インタフェースとして使用する場合の回路接続例



## 34. 1. 2 インタフェース信号

インタフェース信号について説明します。

### (1) $\overline{\text{DRST}}$

オンチップ・デバッグ・ユニット用のリセット入力信号です。デバッグ・コントロール・ユニットを非同期に初期化するための負論理の信号です。

オンチップ・デバッグ・エミュレータは、統合デバッグの起動後にターゲット・システムのV<sub>DD</sub>を検出すると、 $\overline{\text{DRST}}$ 信号をロウ・レベルからハイ・レベルに立ち上げて、対象デバイス内のオンチップ・デバッグ・ユニットを起動させます。

また、 $\overline{\text{DRST}}$ 信号がロウ・レベルからハイ・レベルに立ち上がることにより、CPUにもリセットが発生します。

統合デバッグを起動してデバッグを開始する際には、必ずCPUリセットが発生します。

### (2) DCK

クロック入力信号です。オンチップ・デバッグ・エミュレータから20 MHz、あるいは10 MHzのクロックを供給します。オンチップ・デバッグ・ユニット内で、DCK信号の立ち上がり同期してDMS、DDI信号をサンプリングし、DCK信号の立ち下がり同期してデータDDOを出力します。

### (3) DMS

転送モード選択信号です。DMS信号のレベルによりデバッグ・ユニット内の転送状態が遷移します。

### (4) DDI

データ入力信号です。オンチップ・デバッグ・ユニット内でDCKの立ち上がり同期してサンプリングします。

### (5) DDO

データ出力信号です。オンチップ・デバッグ・ユニットからDCK信号の立ち下がり同期して出力されます。

### (6) V<sub>DD</sub>, EV<sub>DD</sub>

ターゲット・システムのVDD検出用です。ターゲット・システムからのVDDが未検出の場合は、オンチップ・デバッグ・エミュレータからの出力信号 ( $\overline{\text{DRST}}$ , DCK, DMS, DDI, FLMD0,  $\overline{\text{RESET}}$ 端子) はハイ・インピーダンスになります。

### (7) FLMD0

統合デバッガによるフラッシュ・メモリへのダウンロード機能は、フラッシュ・セルフ・プログラミング機能を利用しています。フラッシュ・セルフ・プログラミング中はFLMD0端子をハイ・レベルにする必要があります。また、FLMD0端子にはプルダウン抵抗を接続してください。

FLMD0端子の制御方法として、次の2種類のうち、どちらかの方法を選択してください。

オンチップ・デバッグ・エミュレータから制御する場合

オンチップ・デバッグ・エミュレータからのFLMD0信号をデバイスのFLMD0端子に接続します。

通常モード時はオンチップ・デバッグ・エミュレータからは何もドライブしません（ハイ・インピーダンス）。

ブレイク中、統合デバッガのダウンロード機能を実行した際にオンチップ・デバッグ・エミュレータはFLMD0端子をハイ・レベルに制御します。

ポートから制御する場合

デバイスの任意のポートをFLMD0端子に接続します。

ユーザ・プログラムにおいてフラッシュ・セルフ・プログラミング機能を実現する場合と同じポート端子で問題ありません。

統合デバッガのコンソールによって、ダウンロード機能実行前にポート端子をハイ・レベルにする、または、ダウンロード機能実行後にポート端子をロウ・レベルにする設定を行ってください。

詳細はID850QB（**統合デバッガ**） **ユーザーズ・マニュアル 操作編**を参照してください。

### (8) $\overline{\text{RESET}}$

システム・リセット入力信号です。ユーザ・プログラムにおいてOCDM.OCDM0ビットの値によって、 $\overline{\text{DRST}}$ 端子を無効としたあとは、オンチップ・デバッグは行えません。そのため、オンチップ・デバッグ・エミュレータから $\overline{\text{RESET}}$ 端子によるリセットを与えて、 $\overline{\text{DRST}}$ 端子を有効（初期化）にします。

### 34.1.3 マスク機能

リセット, NMI,  $\overline{\text{WAIT}}$ ,  $\overline{\text{HLDRQ}}$ 信号のマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

表34 - 2 マスク機能

デバッガ (ID850QB) のマスク機能	対応するV850E/SJ3-H, V850E/SK3-Hの機能
NMI0	NMI端子入力
NMI2	x
STOP	x
HOLD	$\overline{\text{HLDRQ}}$ 端子入力
RESET	RESET端子入力, ウォッチドッグ・タイマのオーバフローによるリセット信号 (WDT2RES) 発生, 低電圧検出回路 (LVI) によるリセット信号 (LVIRESET) 発生, クロック・モニタ (CLM) によるリセット信号 (CLMRES) 発生
WAIT	$\overline{\text{WAIT}}$ 端子入力

### 34.1.4 レジスタ

#### (1) オンチップ・デバッグ・モード・レジスタ (OCDM)

通常動作モードとオンチップ・デバッグ・モードを切り替えるレジスタです。OCDMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.8 特定レジスタ参照)。

通常動作モードとオンチップ・デバッグ・モードを切り替えるレジスタで、オンチップ・デバッグ機能が割り付けられている兼用端子をオンチップ・デバッグ用端子として使用するか、通常のポート/周辺機能兼用端子として使用するかを指定します。また同時に、P05/INTP2/ $\overline{\text{DRST}}$ 端子の内蔵プルダウン抵抗の切断を制御します。

OCDMレジスタへの書き込みは、 $\overline{\text{DRST}}$ 端子にロウ・レベルが入力されているときのみ有効です。

8/1ビット単位でリード/ライト可能です。

リセット時：01H<sup>注</sup> R/W アドレス：FFFFFF9FCH

	7	6	5	4	3	2	1	①
OCDM0	0	0	0	0	0	0	0	OCDM0

OCDM0	動作モード
0	通常動作モード（オンチップ・デバッグ兼用端子をポート/周辺機能端子として使用）かつ、P05/INTP2/DRST端子の内蔵プルダウン抵抗を切断
1	DRST端子がロウ・レベルの場合： 通常動作モード（オンチップ・デバッグ兼用端子をポート/周辺機能端子として使用） DRST端子がハイ・レベルの場合： オンチップ・デバッグ・モード（オンチップ・デバッグ・モード用端子として使用）

注 RESET端子によるリセット時は01Hになります。ただし、ウォッチドッグ・タイマのオーバーフローによるリセット（WDT2RES）、低電圧検出回路（LVI）によるリセット（LVIRES）、クロック・モニタ（CLM）によるリセット（CLMRES）時は、OCDM0レジスタの値を保持します。

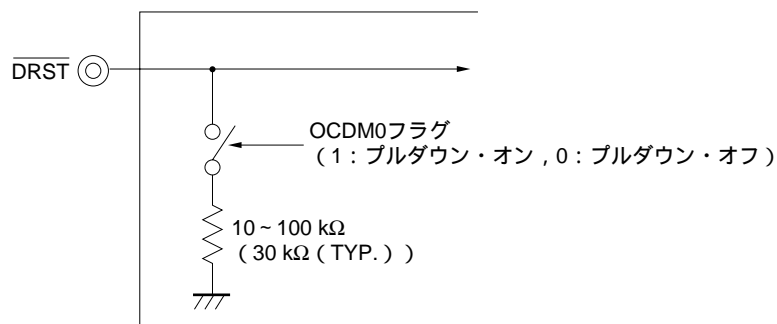
注意1. 外部リセット後、DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次のいずれかの処置が必要です。

- ・P05/INTP2/DRST端子にロウ・レベルを入力します。
- ・OCDM0ビットを設定します。この場合の処置は次のとおりです。

OCDM0ビットをクリア（0）します。

の処理を終えるまで、P05/INTP2/DRST端子入力をロウ・レベル固定にしておきます。

2. DRST端子はプルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。



### 34.1.5 動作

オンチップ・デバッグ機能は次の表に示す条件で有効になります。

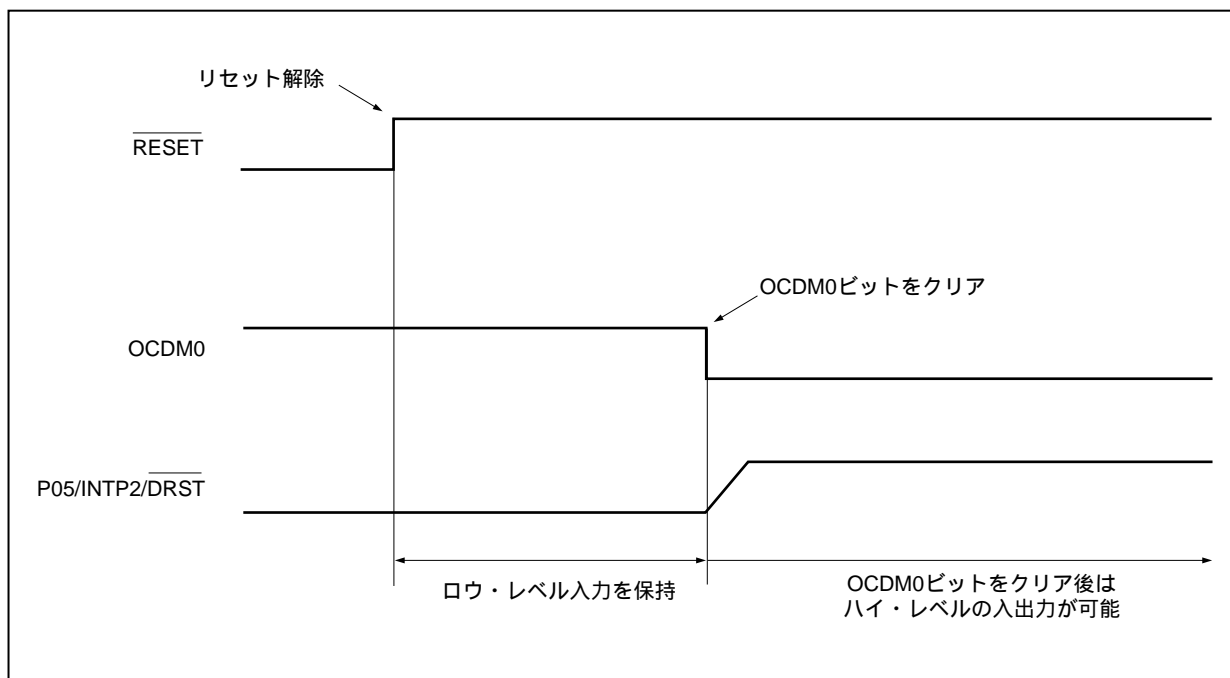
未使用時はOCDM0.OCDM0フラグをクリア（0）するまで、 $\overline{\text{DRST}}$ 端子はロウ・レベル入力の状態を保持してください。

OCDM0フラグ DRST端子	0	1
L	無効	無効
H	無効	有効

備考 L：ロウ・レベル入力

H：ハイ・レベル入力

図34 - 2 オンチップ・デバッグ機能未使用時のタイミング



### 34. 1. 6 注意事項

- (1) RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合、ブレーク機能が誤動作することがあります。
- (2) リセットをマスク機能でマスクしていても、端子からのリセットが入力された際に入出力バッファ（ポート端子）がリセット状態になる場合があります。
- (3) ブレーク中の端子リセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMMで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。
- (4) ROMコレクションのエミュレーションはできません。
- (5) オンチップ・デバッグ・モード時、DDO端子は強制的にハイ・レベル出力に設定されます。
- (6) オンチップ・デバッグ中は、ASIDレジスタを00Hに初期化してください。



## 34.2 DCUを使用しない方法

DCUを使用せず，UARTA0用端子（RXDA0，TXDA0），CSIB0用端子（SIB0，SOB0， $\overline{\text{SCKB0}}$ ，HS（PCM0））またはCSIB3用端子（SIB3，SOB3， $\overline{\text{SCKB3}}$ ，HS（PCM0））をデバッグ・インタフェースとしてMINICUBE2を使用してオンチップ・デバッグ機能を実現する方法を次に示します。

### 34.2.1 接続回路例

図34-3 UARTA0/CSIB0/CSIB3を通信インタフェースとして使用する場合の回路接続例

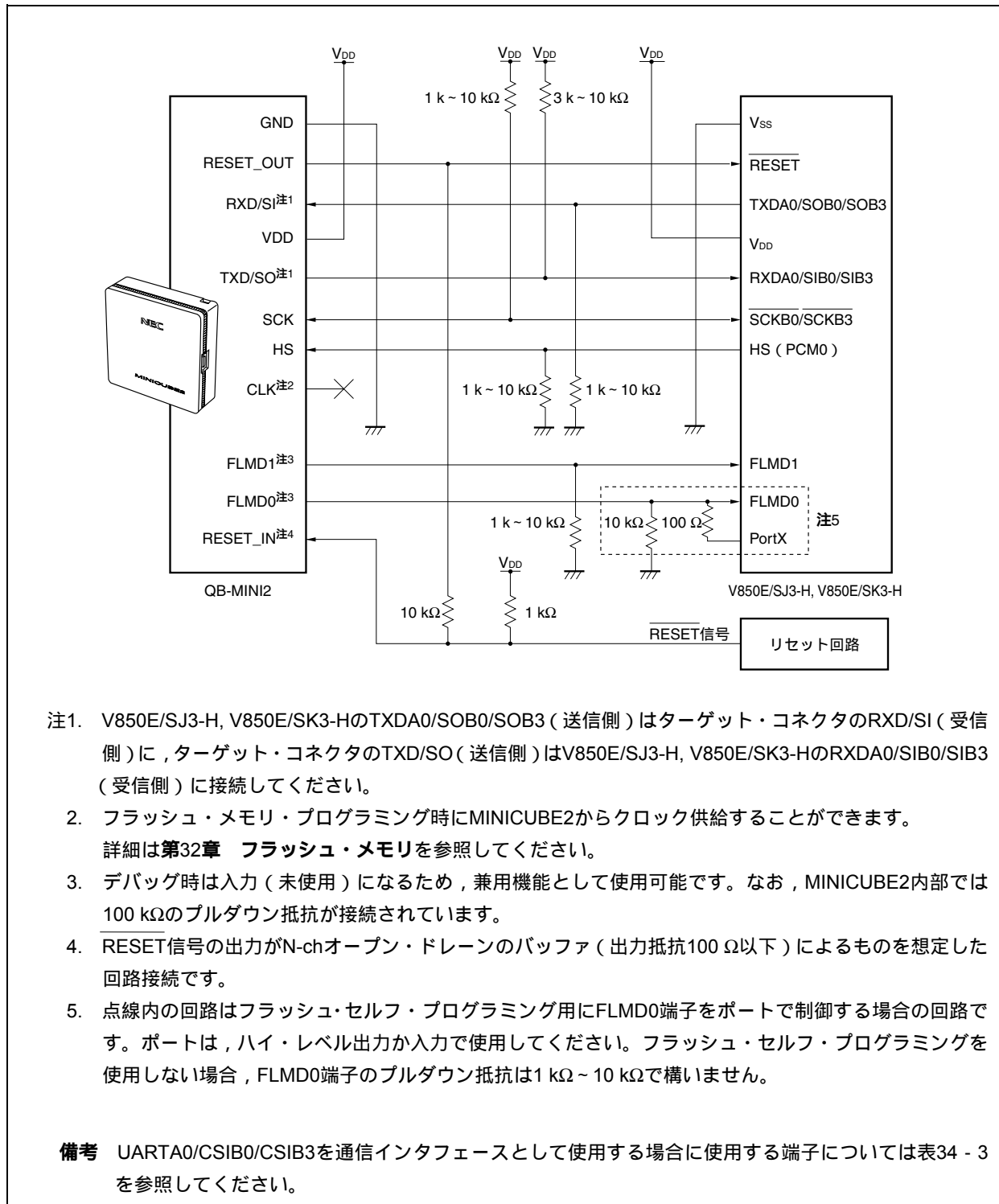


表34 - 3 V850E/SJ3-H, V850E/SK3-HとMINICUBE2の配線表

MINICUBE2 (QB-MINI2) 接続端子			CSIB0-HS使用時			CSIB3-HS使用時			UARTA0使用時		
信号名	入出力	端子機能	端子名	ピン番号		端子名	ピン番号		端子名	ピン番号	
				SJ3-H	SK3-H		SJ3-H	SK3-H		SJ3-H	SK3-H
				GJ	GM		GJ	GM		GJ	GM
SI/RxD	入力	V850E/SJ3-H, V850E/SK3-Hからのコマンド, データ受信端子	P41/SOB0	23	25	P911/SOB3	72	88	P30/TXDA0	25	30
SO/TxD	出力	V850E/SJ3-H, V850E/SK3-Hへのコマンド, データ送信端子	P40/SIB0	22	24	P910/SIB3	71	87	P31/RXDA0	26	31
SCK	出力	3線式シリアル通信用 クロック出力端子	P42/SCKB0	24	26	P912/SCKB3	73	89	必要なし	-	-
CLK <sup>注</sup>	出力	V850E/SJ3-H, V850E/SK3-Hへのクロック出力端子	必要なし <sup>注</sup>	-	-	必要なし <sup>注</sup>	-	-	必要なし <sup>注</sup>	-	-
RESET_OUT	出力	V850E/SJ3-H, V850E/SK3-Hへのリセット出力端子	RESET	14	16	RESET	14	16	RESET	14	16
FLMD0	出力	V850E/SJ3-H, V850E/SK3-Hをデバッグ・モード, またはプログラミング・モードにするための出力端子	FLMD0	8	10	FLMD0	8	10	FLMD0	8	10
FLMD1	出力	プログラミング・モードにするための出力端子	PLD5/FLMD1	110	134	PLD5/FLMD1	110	134	PLD5/FLMD1	110	134
HS	入力	CSI0 + HS通信のハンドシェイク信号	PCM0	85	105	PCM0	85	105	必要なし	-	-
GND	-	グラウンド	V <sub>SS</sub>	11	13	V <sub>SS</sub>	11	13	V <sub>SS</sub>	11	13
RESET_IN	入力	ターゲット・システム上のリセット入力端子									

注 MINICUBE2のフラッシュ・ライタとして使用する場合のクロック出力として使用します。詳細は第32章 フラッシュ・メモリを参照してください

備考 SJ3-H : V850E/SJ3-H

SK3-H : V850E/SK3-H

GJ (V850E/SJ3-H) : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

GM (V850E/SK3-H) : 176ピン・プラスチックLQFP (ファインピッチ) (24×24)

### 34. 2. 2 マスク機能

リセット信号のみマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

表34 - 4 マスク機能

デバッガ (ID850QB) のマスク機能	対応するV850E/SJ3-H, V850E/SK3-Hの機能
NMI0	×
NMI1	×
NMI2	×
STOP	×
HOLD	×
RESET	RESET端子入力によるリセット信号発生
WAIT	×

### 34. 2. 3 ユーザ資源の確保

MINICUBE2は対象デバイスとの通信，または各デバッグ機能を実現するために次に示す準備を行う必要があります。これらは，ユーザ・プログラムやコンパイラ・オプションで設定する必要があります。

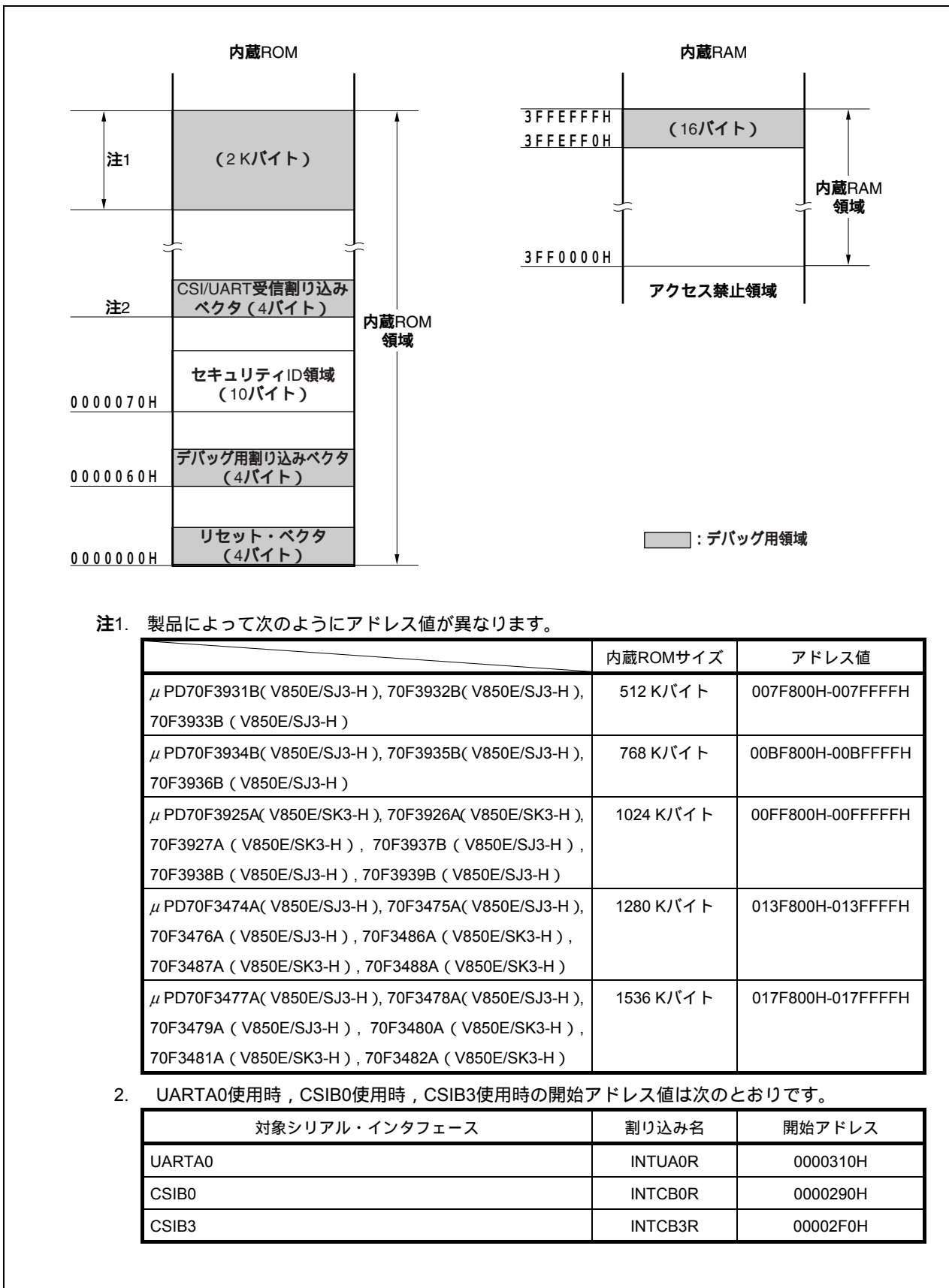
#### (1) メモリ空間の確保

図34 - 4で示すデバッグ領域はデバッグ用のモニタ・プログラムを組み込むために，ユーザ・プログラムやデータを配置できない空間です。この空間を使用しないように，領域を確保する必要があります。

#### (2) セキュリティIDの設定

図34 - 4で示す0000070H-0000079H領域は第三者からメモリの内容を読み取られないようにするために，IDコードを埋め込む必要があります。詳細は34. 3 ROMセキュリティ機能を参照してください。

図34 - 4 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって次のようにアドレス値が異なります。

	内蔵ROMサイズ	アドレス値
μ PD70F3931B( V850E/SJ3-H ), 70F3932B( V850E/SJ3-H ), 70F3933B ( V850E/SJ3-H )	512 Kバイト	007F800H-007FFFFH
μ PD70F3934B( V850E/SJ3-H ), 70F3935B( V850E/SJ3-H ), 70F3936B ( V850E/SJ3-H )	768 Kバイト	00BF800H-00BFFFFH
μ PD70F3925A( V850E/SK3-H ), 70F3926A( V850E/SK3-H ), 70F3927A ( V850E/SK3-H ), 70F3937B ( V850E/SJ3-H ), 70F3938B ( V850E/SJ3-H ), 70F3939B ( V850E/SJ3-H )	1024 Kバイト	00FF800H-00FFFFFFH
μ PD70F3474A( V850E/SJ3-H ), 70F3475A( V850E/SJ3-H ), 70F3476A ( V850E/SJ3-H ), 70F3486A ( V850E/SK3-H ), 70F3487A ( V850E/SK3-H ), 70F3488A ( V850E/SK3-H )	1280 Kバイト	013F800H-013FFFFH
μ PD70F3477A( V850E/SJ3-H ), 70F3478A( V850E/SJ3-H ), 70F3479A ( V850E/SJ3-H ), 70F3480A ( V850E/SK3-H ), 70F3481A ( V850E/SK3-H ), 70F3482A ( V850E/SK3-H )	1536 Kバイト	017F800H-017FFFFH

2. UARTA0使用時, CSIB0使用時, CSIB3使用時の開始アドレス値は次のとおりです。

対象シリアル・インタフェース	割り込み名	開始アドレス
UARTA0	INTUA0R	0000310H
CSIB0	INTCB0R	0000290H
CSIB3	INTCB3R	00002F0H

**(3) リセット・ベクタ**

リセット・ベクタにはデバッグ用モニタ・プログラムへのジャンプ命令が組み込まれます。

**【領域確保の方法】**

この領域は意図的に確保する必要はありません。ただし、プログラムのダウンロード時に、次のケースに応じてデバッガがリセット・ベクタの書き換えを行います。書き換えパターンが次に示すケースに一致しない場合、デバッガがエラーを発生します（ID850QBの場合F0C34番）。

**(a) 0番地からnopが2個連続している場合**

書き換え前	書き換え後
0x0 nop	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 nop	0x4 xxxx
0x4 xxxx	

**(b) 0番地から0xFFFFが2個連続している場合（消去済みデバイスが該当します）**

書き換え前	書き換え後
0x0 0xFFFF	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 0xFFFF	0x4 xxxx
0x4 xxxx	

**(c) 0番地がjr命令の場合（CA850では通常このケースに該当）**

書き換え前	書き換え後
0x0 jr disp22	0x0 デバッグ用モニタ・プログラムへジャンプ
	0x4 jr disp22 - 4

**(d) 0番地からmov32とjmpが連続している（IAR社製コンパイラ ICCV850では通常このケースに該当）**

書き換え前	書き換え後
0x0 mov imm32,reg1	0x0 デバッグ用モニタ・プログラムへジャンプ
0x6 jmp [reg1]	0x4 mov imm32,reg1
	0xa jmp [reg1]

**(e) 0番地が既にデバッグ用モニタ・プログラムへのジャンプ命令の場合**

書き換え前	書き換え後
0x0 デバッグ用モニタ・プログラムへジャンプ	変更なし

**(4) デバッグ用モニタ・プログラム領域の確保**

図34 - 4の示すデバッグ用領域は、デバッグ用モニタ・プログラムが配置される空間です。モニタ・プログラムはデバッグ用通信インタフェースの初期化処理や、CPUのRUN / ブレーク処理などを行うものです。内蔵ROM領域については0xFFでフィルする必要があります。また、この領域をユーザ・プログラム内で書き換えないようにすることが必要です。

**【領域確保の方法】**

この空間をユーザ・プログラムで使用しない場合は、必ずしも領域を確保する必要はありません。

しかし、デバッグ起動時のトラブルを回避するために、あらかじめコンパイラなどで領域確保しておくことを推奨いたします。

次に、ルネサス エレクトロニクス社製コンパイラCA850を使用している場合に領域の確保を行う例を示します。次に示すように、アセンブル・ソースとリンクディレクティブ・コードを追加してください。

- ・アセンブル・ソース（次の内容をアセンブル・ソース・ファイルとして追加してください）

```
-- MonitorROMセクションとして2Kバイトの空間を確保
.section "MonitorROM", const
.space 0x800, 0xff

-- デバッグ用割り込みベクタの確保
.section "DBG0"
.space 4, 0xff

-- シリアル通信用割り込みベクタの確保
-- セクション名は使用するシリアル通信に応じて変更してください
.section "INTCB0R"
.space 4, 0xff

-- MonitorRAMセクションとして16バイトの空間を確保
.section "MonitorRAM", bss
.lcomm monitorrmsym, 16, 4 ; -- monitorrmsymシンボルを定義
```

- ・リンク・ディレクティブ（以下をリンク・ディレクティブ・ファイルの内容に追加してください）

次の例は、内蔵ROMが512 Kバイト（最終アドレス007FFFFH）、内蔵RAMが60 Kバイト（最終アドレス：3FFEFFH）の場合です。

```
MROMSEG : !LOAD ?R V0x07f800{
        MonitorROM = $PROGBITS ?A MonitorROM;
};
MRAMSEG : !LOAD ?RW V0x03ffeff0{
        MonitorRAM = $NOBITS ?AW MonitorRAM;
};
```

**(5) 通信シリアル・インタフェースの確保**

MINICUBE2は対象デバイスと通信するためにUARTA0, CSIB0もしくはCSIB3のいずれかを使用します。これらのシリアル・インタフェースに関する設定は、デバッグ用モニタ・プログラムで行っていますが、ユーザ・プログラム上で、この設定を変更した場合、通信異常となりエラーが発生する可能性があります。

このようなトラブルが発生しないよう、ユーザ・プログラムで通信シリアル・インタフェースの確保を行う必要があります。

**【通信シリアル・インタフェース確保の方法】****●オンチップ・デバッグ・モード・レジスタ (OCDM)**

UARTA0, CSIB0, CSIB3を使用するオンチップ・デバッグ機能の場合、OCDMレジスタの機能を通常モードにする必要があります。必ず次の設定をしてください。

- ・P05/INTP2/DRST端子にロウ・レベルを入力します。
- ・OCDM0ビットを設定します。この場合の処置は次のとおりです。

OCDM0ビットをクリア (0) します。

の処理を終えるまで、P05/INTP2/DRST端子入力をロウ・レベル固定にしておきます。

**●シリアル・インタフェースのレジスタ**

通信用に使用するCSIB0, CSIB3やUARTA0のレジスタ設定は、ユーザ・プログラムで行わないようにしてください。

**●割り込みマスク・レジスタ**

通信用にCSIB0を使用する場合、受信完了割り込み (INTCB0R) をマスクしないようにしてください。CSIB3の場合、受信完了割り込み (INTCB3R) をマスクしないようにしてください。UARTA0の場合、受信完了割り込み (INTUA0R) をマスクしないようにしてください。

**(a) CSIB0の場合**

	7	6	5	4	3	2	1	0
CB0RIC	x	0	x	x	x	x	x	x

**(b) CSIB3の場合**

	7	6	5	4	3	2	1	0
CB3RIC	x	0	x	x	x	x	x	x

**(c) UARTA0の場合**

	7	6	5	4	3	2	1	0
UA0RIC	x	0	x	x	x	x	x	x

備考 x : 任意



### ●UARTA0使用時のポートに関するレジスタ

通信用にUARTA0を使用する場合、TXDA0, RXDA0端子を有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

	7	6	5	4	3	2	1	0
PFC3	x	x	x	x	x	x	0	0
	7	6	5	4	3	2	1	0
PFCE3	x	x	x	x	x	x	0	0
	7	6	5	4	3	2	1	0
PMC3	x	x	x	x	x	x	1	1

備考 x : 任意

### ●CSIB0使用時のポートに関するレジスタ

通信用にCSIB0を使用する場合、SIB0, SOB0,  $\overline{\text{SCKB0}}$ およびHS (PCM0) 端子が有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

#### (a) SIB0, SOB0, $\overline{\text{SCKB0}}$ の設定

	7	6	5	4	3	2	1	0
PMC4	x	x	x	x	x	1	1	1
	7	6	5	4	3	2	1	0
PFC4	x	x	x	x	x	0	0	0

#### (b) HS (PCM0端子) の設定

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	x	x	x	0
	7	6	5	4	3	2	1	0
PMCM	1	1	x	x	x	x	x	0
	7	6	5	4	3	2	1	0
PCM	0	0	x	x	x	x	x	注

注 ライト禁止です。

HS端子の値はモニタ・プログラムがデバッグの状態に応じて変更を行っています。ポート・レジスタの設定を8ビット単位で操作したい場合、ユーザ・プログラム上でリード・モディファイ・ライトを行えば、ほとんど問題ありませんが、ライト前にデバッグ用の割り込みが入った場合、意図しない動作になる可能性があります。

備考 x : 任意

●CSIB3使用時のポートに関するレジスタ

通信用にCSIB3を使用する場合、SIB3、SOB3、 $\overline{\text{SCKB3}}$ およびHS (PCM0) 端子が有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください (同値書き込みは可能です)。

(a) SIB3, SOB3,  $\overline{\text{SCKB3}}$ の設定

	15	14	13	12	11	10	9	8
PMC9H	x	x	x	1	1	1	x	x

	15	14	13	12	11	10	9	8
PFC9H	x	x	x	1	1	1	x	x

	15	14	13	12	11	10	9	8
PFCE9H	x	x	0	0	0	0	0	0

(b) HS (PCM0端子) の設定

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	x	x	x	0

	7	6	5	4	3	2	1	0
PMCM	1	1	x	x	x	x	x	0

	7	6	5	4	3	2	1	0
PCM	0	0	x	x	x	x	x	注

注 ライト禁止です。

HS端子の値はモニタ・プログラムがデバッガの状態に応じて変更を行っています。ポート・レジスタの設定を8ビット単位で操作したい場合、ユーザ・プログラム上でリード・モディファイ・ライトを行えば、ほとんど問題ありませんが、ライト前にデバッグ用の割り込みが入った場合、意図しない動作になる可能性があります。

備考 x : 任意

## 34.2.4 注意事項

### (1) デバッグに使用したデバイスの取り扱いについて

デバッグに使用したデバイスを、量産製品に搭載しないでください（デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保証することができないためです）。また、デバッグ用モニタ・プログラムは量産製品には組み込まないでください。

### (2) ブレークができない場合について

次の状態が継続している場合は、強制ブレークすることができません。

- 割り込み禁止中（DI）の場合
- MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、メイン・クロックを停止している場合

### (3) 疑似リアルタイムRAMモニタ（RRM）機能やDMM機能が動作しない場合について

次の状態の場合、疑似RRM機能、DMM機能が動作しません。

- 割り込み禁止中（DI）の場合
- MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、メイン・クロックを停止している場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、デバッガで指定する動作クロックと異なるクロックで動作している場合

### (4) 疑似RRMやDMM機能を有効にしている場合のスタンバイ解除について

次の状態の場合、疑似RRM機能、DMM機能によりスタンバイ・モードが解除されます。

- MINICUBE2と対象デバイスの通信インタフェースがCSIB0, CSIB3の場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、メイン・クロックが停止していない場合

### (5) 特定シーケンスを必要とする周辺I/OレジスタへのDMM機能による書き換えについて

特定シーケンスを必要とする周辺I/Oレジスタは、DMM機能により書き換えることができません。

### (6) フラッシュ・セルフ・プログラミングについて

デバッグ用モニタ・プログラムが配置された空間を、フラッシュ・セルフ・プログラミングで書き換えた場合、デバッガが正常に動作しなくなります。

## 34.3 ROMセキュリティ機能

### 34.3.1 セキュリティID

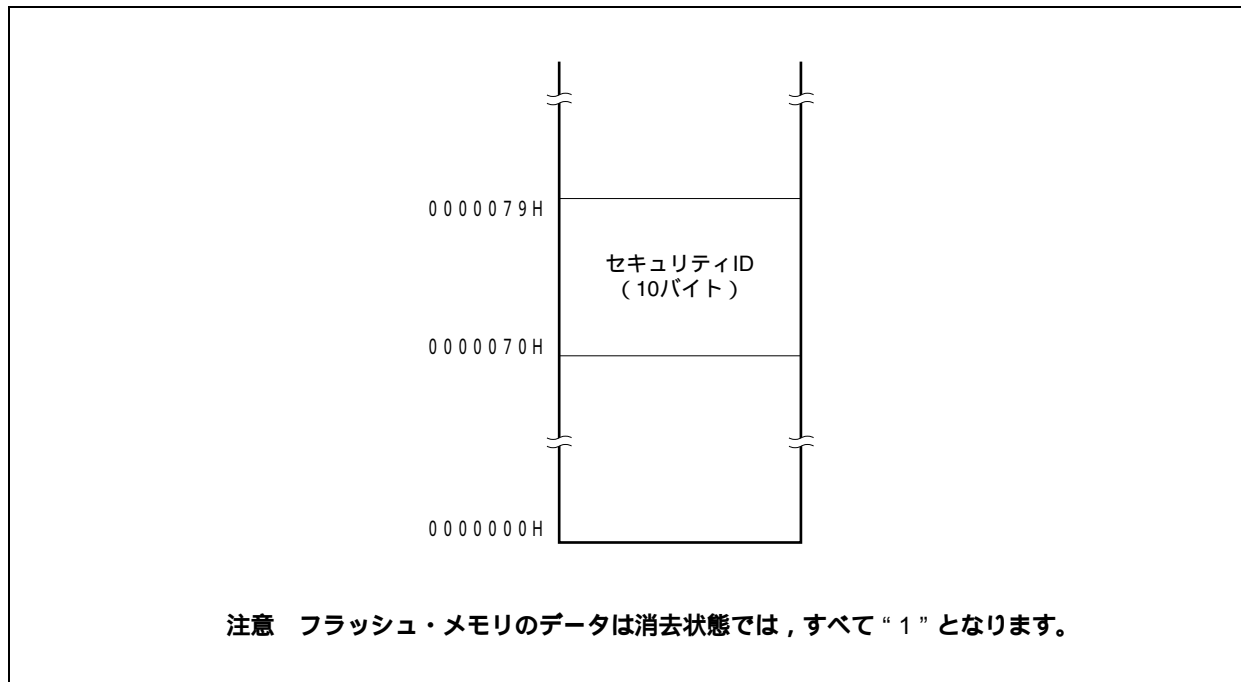
オンチップ・デバッグ・エミュレータによるオンチップ・デバッグ時、フラッシュ・メモリの内容を第三者に読み出されることを防ぐために、10バイトのIDコードによる認証を行います。

IDコードは、あらかじめ内蔵フラッシュ・メモリ領域の0000070H-0000079Hの10バイト分に設定し、デバッガがID認証を行います。

このID照合が一致していれば、セキュリティが解除されフラッシュ・メモリ読み出し許可、オンチップ・デバッグ・エミュレータ使用許可となります。

- ・10バイトのIDコードは、0000070H-0000079Hに設定します。
- ・0000079Hのビット7はオンチップ・デバッグ・エミュレータ使用許可フラグです（0：使用禁止，1：使用許可）。
- ・オンチップ・デバッグ・エミュレータを起動すると、デバッガがID入力を要求します。デバッガ上で入力したIDコードと、0000070H-0000079Hに埋め込んだIDコードが一致すればデバッガが起動します。
- ・IDコードが一致しても、オンチップ・デバッグ・エミュレータ使用許可フラグが“0”である場合は、デバッグを行うことはできません。

図34 - 5 セキュリティID領域



### 34. 3. 2 設定方法

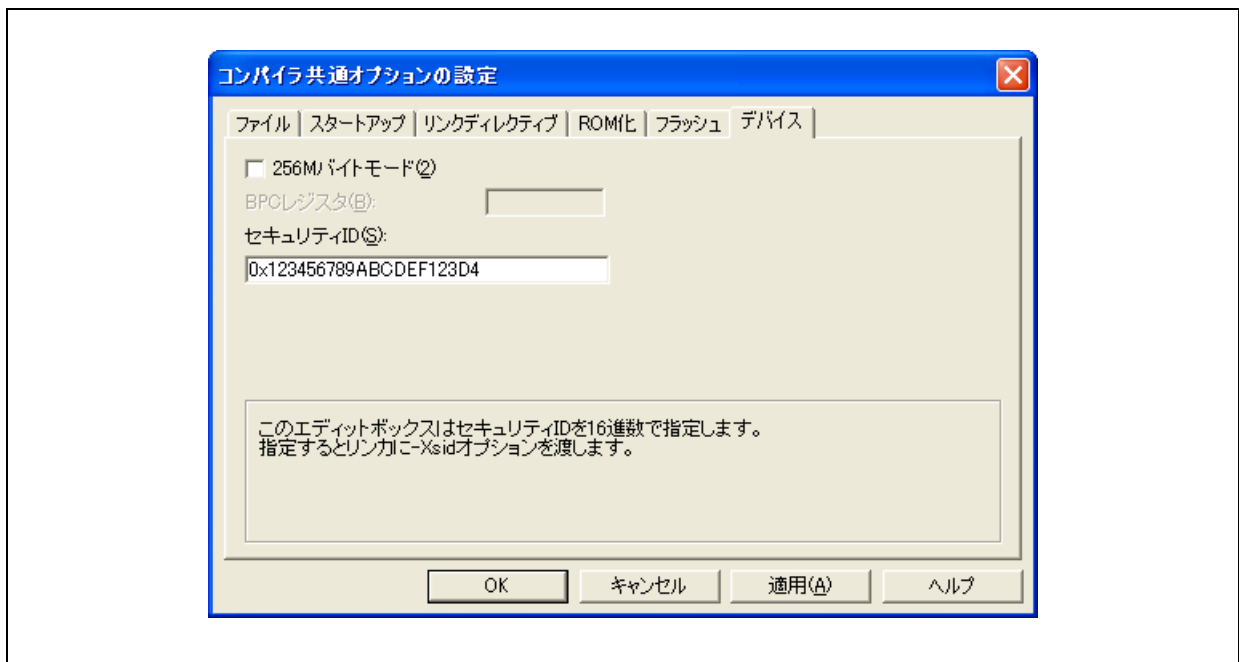
IDコードを表34 - 5のように設定する方法を次に示します。

表34 - 5のようにIDコードを設定した場合、ID850QBのコンフィギュレーション・ダイアログ上で入力するIDコードは「123456789ABCDEF123D4」となります（英数字は大文字でも小文字でも同じIDコードとして認識します）。

表34 - 5 IDコード

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4

CA850 Ver. 3.10以上とセキュリティIDに対応したデバイス・ファイルであれば、PM+のコンパイラ共通オプション設定でIDコードを指定することができます。



[ プログラム例 ( CA850 V3.10以上 使用時 ) ]

```
#-----  
# SECURITYID  
#-----  
    .section    "SECURITY_ID"    -- Interrupt handler address 0x70  
    .word       0x78563412       -- 0 - 3 byte code  
    .word       0xF1DEBC9A       -- 4 - 7 byte code  
    .hword      0xD423           -- 8 - 9 byte code
```

**備考** 上記プログラム例はスタートアップ・ファイルに追加してください。

## 第35章 電気的特性 (A)品)

### 35.1 絶対最大定格

(TA = 25 ) (1/2)

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>	V <sub>DD</sub> = EV <sub>DD</sub> = AV <sub>REF0</sub> = AV <sub>REF1</sub>	- 0.5 ~ +4.6	V
	BV <sub>DD</sub>		- 0.5 ~ +4.6	V
	EV <sub>DD</sub>	V <sub>DD</sub> = EV <sub>DD</sub> = AV <sub>REF0</sub> = AV <sub>REF1</sub>	- 0.5 ~ +4.6	V
	AV <sub>REF0</sub>	V <sub>DD</sub> = EV <sub>DD</sub> = AV <sub>REF0</sub> = AV <sub>REF1</sub>	- 0.5 ~ +4.6	V
	AV <sub>REF1</sub>	V <sub>DD</sub> = EV <sub>DD</sub> = AV <sub>REF0</sub> = AV <sub>REF1</sub>	- 0.5 ~ +4.6	V
	V <sub>SS</sub>	V <sub>SS</sub> = EV <sub>SS</sub> = BV <sub>SS</sub> = AV <sub>SS</sub>	- 0.5 ~ +0.5	V
	AV <sub>SS</sub>	V <sub>SS</sub> = EV <sub>SS</sub> = BV <sub>SS</sub> = AV <sub>SS</sub>	- 0.5 ~ +0.5	V
	BV <sub>SS</sub>	V <sub>SS</sub> = EV <sub>SS</sub> = BV <sub>SS</sub> = AV <sub>SS</sub>	- 0.5 ~ +0.5	V
	EV <sub>SS</sub>	V <sub>SS</sub> = EV <sub>SS</sub> = BV <sub>SS</sub> = AV <sub>SS</sub>	- 0.5 ~ +0.5	V
入力電圧	V <sub>I1</sub>	RESET, FLMD0	- 0.5 ~ EV <sub>DD</sub> + 0.5 <sup>注1</sup>	V
	V <sub>I2</sub>	注3	- 0.5 ~ BV <sub>DD</sub> + 0.5 <sup>注1</sup>	V
	V <sub>I3</sub>	P10, P11	- 0.5 ~ AV <sub>REF1</sub> + 0.5 <sup>注1</sup>	V
	V <sub>I4</sub>	X1, X2	- 0.5 ~ V <sub>RO</sub> <sup>注2</sup> + 0.5 <sup>注1</sup>	V
	V <sub>I5</sub>	注4	- 0.5 ~ +6.0	V
	V <sub>I6</sub>	XT1, XT2	- 0.5 ~ V <sub>DD</sub> + 0.5 <sup>注1</sup>	V
アナログ入力電圧	V <sub>IAN</sub>	P70-P715	- 0.5 ~ AV <sub>REF0</sub> + 0.5 <sup>注1</sup>	V

注1. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

- 内蔵レギュレータ出力電圧 (2.5 V (TYP.))
- V850E/SJ3-H : PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15, PDH0-PDH7  
V850E/SK3-H : P130-P133, P140-P145, PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7,  
PDL0-PDL15, PDH0-PDH7
- V850E/SJ3-H : P00-P06, P30-P39, P40-P42, P50-P55, P60-P615, P80, P81, P90-P915  
V850E/SK3-H : P00-P06, P20, P21, P30-P312, P40-P45, P50-P57, P60-P615, P80-P85, P90-P915,  
P150-P153

(T<sub>A</sub> = 25 ) (2/2)

項目	略号	条件	定格	単位	
ロウ・レベル出力電流	I <sub>OL</sub>	注1	1端子	4	mA
			全端子合計	50	mA
		注2	1端子	4	mA
			全端子合計	50	mA
		P10, P11	1端子	4	mA
			全端子合計	8	mA
		P70-P715	1端子	4	mA
			全端子合計	20	mA
ハイ・レベル出力電流	I <sub>OH</sub>	注1	1端子	- 4	mA
			全端子合計	- 50	mA
		注2	1端子	- 4	mA
			全端子合計	- 50	mA
		P10, P11	1端子	- 4	mA
			全端子合計	- 8	mA
		P70-P715	1端子	- 4	mA
			全端子合計	- 20	mA
動作周囲温度	T <sub>A</sub>		- 40 ~ + 85		
保存温度	T <sub>stg</sub>		- 40 ~ + 125		

- 注1. V850E/SJ3-H : P00-P06, P30-P39, P40-P42, P50-P55, P60-P615, P80, P81, P90-P915  
V850E/SK3-H : P00-P06, P20, P21, P30-P312, P40-P45, P50-P57, P60-P615, P80-P85, P90-P915,  
P150-P153
2. V850E/SJ3-H : PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15, PDH0-PDH7  
V850E/SK3-H : P130-P133, P140-P145, PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7,  
PDL0-PDL15, PDH0-PDH7

- 注意1. IC製品の出力（または入出力）端子同士を直結したり、V<sub>DD</sub>またはV<sub>CC</sub>やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。
- DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 特に指定のないかぎり兼用端子の特性は、ポート端子以外の機能として使用しても同じです。



## 35.2 容 量

( $T_A = 25\text{ }^\circ\text{C}$ ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$ )

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入出力容量	$C_{io}$	$f_x = 1\text{ MHz}$ 被測定ピン以外は0 V			10	pF

## 35.3 動作条件

( $T_A = -40 \sim +85$ ,  $BV_{DD}$   $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$ )

内部システム・クロック周波数	条 件	電源電圧				単 位
		$V_{DD}$	$EV_{DD}$	$BV_{DD}$	$AV_{REF0}$ , $AV_{REF1}$	
$f_{xx} = 3.0 \sim 48\text{ MHz}$	$C = 4.7\text{ }\mu\text{F}$ , A/Dコンバータ停止, D/Aコンバータ停止	2.85 ~ 3.6	2.85 ~ 3.6	2.7 ~ 3.6	2.85 ~ 3.6	V
	$C = 4.7\text{ }\mu\text{F}$ , A/Dコンバータ動作, D/Aコンバータ動作	3.0 ~ 3.6	3.0 ~ 3.6	2.7 ~ 3.6	3.0 ~ 3.6	V
$f_{XT} = 32.768\text{ kHz}$	$C = 4.7\text{ }\mu\text{F}$ , A/Dコンバータ停止, D/Aコンバータ停止	2.85 ~ 3.6	2.85 ~ 3.6	2.7 ~ 3.6	2.85 ~ 3.6	V

## 35.4 発振回路特性

### 35.4.1 メイン・クロック発振回路特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ )

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子 / 水 晶振動子		発振周波数 ( $f_x$ ) <sup>注1</sup>		3.0		10	MHz
		発振安定時間 <sup>注2</sup>	リセット解除後		$2^{16}/f_x$		s
			STOPモード解除後	$1^{\text{注4}}$	注3		ms
			IDLE2モード解除後	$350^{\text{注4}}$	注3		$\mu\text{s}$

注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。

2. 発振を開始してから発振子が安定するまでの時間です。
3. OSTSレジスタの設定によって値が異なります。
4. フラッシュ・メモリのセットアップに必要な時間です。OSTSレジスタによって確実にセットアップ時間を確保してください。

注意1. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
  - ・他の信号線と交差させない。
  - ・変化する大電流が流れる線に接近させない。
  - ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位になるようにする。
  - ・大電流が流れるグランド・パターンに接地しない。
  - ・発振回路から信号を取り出さない。
2. メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。
  3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

(i) 京セラキンセキ株式会社：水晶振動子 ( $T_A = -40 \sim +85$ )

メーカー (品名)	回路例	発振周波数 $f_x$ (kHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	Rd (k $\Omega$ )	MIN. (V)	MAX. (V)
京セラキンセキ株式会社 ・CX-5FD (負荷容量: 8 pF) ・CX-49G (負荷容量: 8 pF) ・HC-49/U-S (負荷容量: 8 pF) その他の振動子型名については、振動子メーカーにお問い合わせください。		4000	8	8	-	2.85	3.6
		5000	8	8	-	2.85	3.6
		8000	8	8	-	2.85	3.6
		10000	8	8	-	2.85	3.6
		3145.72	8	8	-	2.85	3.6
		4718.592	8	8	-	2.85	3.6
		6291.456	8	8	-	2.85	3.6

**注意** 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

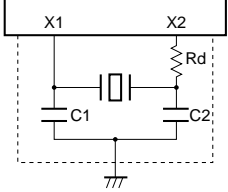
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850E/SJ3-H, V850E/SK3-Hの内部動作条件についてはAC, DC特性の規格内で使用してください。

**備考** お問い合わせ先

京セラ株式会社電子部品 <http://www.kyocera.co.jp/prdct/electro/index.html>

発振子回路マッチング検索 <http://www3.kyocera.co.jp/electro/app/ja/searchTopShow.do>

(ii) 株式会社富山村田製作所：セラミック発振子 ( $T_A = -40 \sim +125$  )

メーカー	回路例	発振 周波数 $f_x$ (MHz)	品 名	推奨回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (k $\Omega$ )	MIN. (V)	MAX. (V)
富山村田製 作所		3.000	CSTCC3M00G56A-R0	内蔵 (47)	内蔵 (47)	1	2.7	3.6
		4.000	CSTCR4M00G55B-R0	内蔵 (39)	内蔵 (39)	0.33	2.7	3.6
		5.000	CSTCR5M00G55B-R0	内蔵 (39)	内蔵 (39)	0	2.7	3.6
		6.000	CSTCR6M00G55B-R0	内蔵 (39)	内蔵 (39)	0	2.7	3.6
		8.000	CSTCE8M00G55A-R0	内蔵 (33)	内蔵 (33)	0	2.7	3.6
		10.000	CSTCE10M0G55A-R0	内蔵 (33)	内蔵 (33)	0	2.7	3.6

**注意** 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。  
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850E/SJ3-H, V850E/SK3-Hの内部動作条件についてはAC, DC特性の規格内で使用してください。

**備考** お問い合わせ先：

株式会社富山村田製作所

第1圧電商品部 第1圧電技術4課

TEL：076-429-1995

E-mail：piezo@murata.co.jp

発振子検索：http://search.murata.co.jp/Ceramy/ICsearchAction.do?sLang=ja

## 35.4.2 サブクロック発振回路特性

(  $T_A = -40 \sim +85 \text{ }^\circ\text{C}$  ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$  ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$  )

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 ( $f_{XT}$ ) <sup>注1</sup>		32	32.768	35	kHz
		発振安定時間 <sup>注2</sup>				10	s

注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。

2.  $V_{DD}$ が発振電圧範囲 (2.85 V (MIN.)) に達してから水晶振動子が安定するまでの時間です。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. サブクロック発振回路は、低消費電力にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。
3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

## 35.4.3 PLL特性

(TA = -40 ~ +85 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
入力周波数	fx	クロック・モード1, CKC.CKDIV0ビット = 0	注1	3.0		5	MHz
			注2	6.0		10	MHz
		クロック・モード1, CKC.CKDIV0ビット = 1	注1	3.0		4	MHz
			注2	6.0		8	MHz
出力周波数	fxx	クロック・モード1, CKC.CKDIV0ビット = 0	注1	12		20	MHz
			注2	12		20	MHz
		クロック・モード1, CKC.CKDIV0ビット = 1	注1	24		32	MHz
			注2	24		32	MHz
ロック時間	tPLL	VDDが2.85 V (MIN.) に達したあと			800	μs	

注1. オプション・バイト0000007BHのPLLI0ビット = 0

2. オプション・バイト0000007BHのPLLI0ビット = 1

備考 クロック・モード1については、第6章 クロック発生機能を参照してください。

## 35.4.4 SSCG特性

(TA = -40 ~ +85 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
入力周波数	fx	クロック・モード2, 3, CKC.CKDIV0ビット = 1	注1	3.66		4	MHz
			注2	7.32		8	MHz
		クロック・モード4, CKC.CKDIV0ビット = 1	注1	5.22		6	MHz
出力周波数	fxx	クロック・モード2, CKC.CKDIV0ビット = 1	注1	43.92		48	MHz
			注2	43.92		48	MHz
		クロック・モード3, CKC.CKDIV0ビット = 1, SFC0レジスタ = 2AH	注1	29.28		32	MHz
			注2	29.28		32	MHz
		クロック・モード3, CKC.CKDIV0ビット = 1, SFC0レジスタ = 34H	注1	43.92		48	MHz
			注2	43.92		48	MHz
クロック・モード4, CKC.CKDIV0ビット = 1	注1	41.76		48	MHz		
ロック時間	tSSCG	VDDが2.85 V (MIN.) に達したあと			1000	μs	

注1. オプション・バイト0000007BHのPLLI0ビット = 0

2. オプション・バイト0000007BHのPLLI0ビット = 1

備考 クロック・モード2-4については、第6章 クロック発生機能を参照してください。

## 35.4.5 内蔵発振器特性

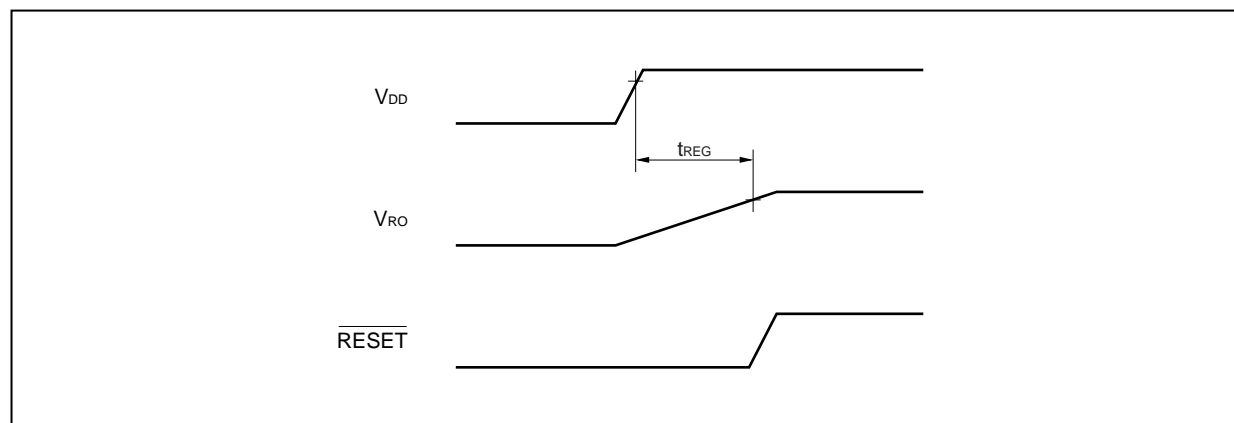
(TA = -40 ~ +85 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数	fR		100	220	400	kHz

## 35.5 レギュレータ特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $BV_{DD}$   $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	$V_{DD}$	$f_{XX} = 48 \text{ MHz (MAX.)}$	2.85		3.6	V
出力電圧	$V_{RO}$		2.3	2.5	2.7	V
レギュレータ出力安定時間	$t_{REG}$	$V_{DD}$ が2.85 V (MIN.) に達したあと REGC端子に安定化容量 $C = 4.7 \mu\text{F}$ を接続時			1	ms



## 35.6 DC特性

### 35.6.1 入出力レベル

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	$V_{IH1}$	RESET, FLMD0	0.8 $EV_{DD}$		$EV_{DD}$	V
	$V_{IH2}$	注1	0.8 $EV_{DD}$		5.5	V
	$V_{IH3}$	注2	0.7 $EV_{DD}$		5.5	V
	$V_{IH4}$	PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDH0-PDH7, PDL0-PDL15	0.7 $BV_{DD}$		$BV_{DD}$	V
	$V_{IH5}$	注3	0.8 $BV_{DD}$		$BV_{DD}$	V
	$V_{IH6}$	P70-P715	0.7 $AV_{REF0}$		$AV_{REF0}$	V
	$V_{IH7}$	P10, P11	0.7 $AV_{REF1}$		$AV_{REF1}$	V
ロウ・レベル入力電圧	$V_{IL1}$	RESET, FLMD0	$EV_{SS}$		0.2 $EV_{DD}$	V
	$V_{IL2}$	注1	$EV_{SS}$		0.2 $EV_{DD}$	V
	$V_{IL3}$	注2	$EV_{SS}$		0.3 $EV_{DD}$	V
	$V_{IL4}$	PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDH0-PDH7, PDL0-PDL15	$BV_{SS}$		0.3 $BV_{DD}$	V
	$V_{IL5}$	注3	$BV_{SS}$		0.2 $BV_{DD}$	V
	$V_{IL6}$	P70-P715	$AV_{SS}$		0.3 $AV_{REF0}$	V
	$V_{IL7}$	P10, P11	$AV_{SS}$		0.3 $AV_{REF1}$	V
ハイ・レベル入力リーク電流	$I_{LIH}$	P70-P715	$V_i = V_{DD} = EV_{DD} = BV_{DD}$ $= AV_{REF0} = AV_{REF1}$		2	$\mu\text{A}$
		上記以外			5	$\mu\text{A}$
ロウ・レベル入力リーク電流	$I_{LIL}$	P70-P715	$V_i = 0 \text{ V}$		-2	$\mu\text{A}$
		上記以外			-5	$\mu\text{A}$
ハイ・レベル出力リーク電流	$I_{LOH}$	P70-P715	$V_o = V_{DD} = EV_{DD} =$ $BV_{DD} = AV_{REF0} = AV_{REF1}$		2	$\mu\text{A}$
		上記以外			5	$\mu\text{A}$
ロウ・レベル出力リーク電流	$I_{LOL}$	P70-P715	$V_o = 0 \text{ V}$		-2	$\mu\text{A}$
		上記以外			-5	$\mu\text{A}$

- 注1. V850E/SJ3-H : P02-P06, P30-P37, P42, P50-P55, P60-P66, P69-P613, P80, P81, P92-P915  
 V850E/SK3-H : P02-P06, P30-P37, P310-P312, P42-P45, P50-P57, P60-P66, P69-P613, P80, P81, P84, P85,  
 P92-P915, P150-P153
2. V850E/SJ3-H : P00, P01, P38, P39, P40, P41, P67, P68, P614, P615, P90, P91  
 V850E/SK3-H : P00, P01, P20, P21, P38, P39, P40, P41, P67, P68, P614, P615, P82, P83, P90, P91
3. V850E/SJ3-H : PCD0-PCD3  
 V850E/SK3-H : P130-P133, P140-P145, PCD0-PCD3

備考 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。



(TA = -40 ~ +85 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	VOH1	注1	1端子	端子合計	EVDD -		EVDD	V
			I <sub>OH</sub> = -1.0 mA	-20 mA	1.0			
	VOH2	注2	1端子	端子合計	EVDD -		EVDD	V
			I <sub>OH</sub> = -100 μA	-6.0 mA	0.5			
	VOH3	P70-P715	1端子	端子合計	BVDD -		BVDD	V
			I <sub>OH</sub> = -1.0 mA	-20 mA	1.0			
	VOH4	P10, P11	1端子	端子合計	BVDD -		BVDD	V
			I <sub>OH</sub> = -100 μA	-5.0 mA	0.5			
ロウ・レベル出力電圧	VOL1	注3	1端子	端子合計	AVREF0 -		AVREF0	V
			I <sub>OL</sub> = 1.0 mA	-6.4 mA	1.0			
	VOL2	注4	1端子	端子合計	AVREF0 -		AVREF0	V
			I <sub>OL</sub> = 3.0 mA	-1.6 mA	0.5			
VOL3	注5	1端子	端子合計	AVREF1 -		AVREF1	V	
		I <sub>OL</sub> = 1.0 mA	-0.8 mA	1.0				
VOL4	P10, P11, P70-P715	1端子	端子合計	AVREF1 -		AVREF1	V	
ソフトウェア・ブルダ ウン抵抗	R1	P05	Vi = VDD		10	20	100	kΩ

注1. V850E/SJ3-H : P00-P06, P30-P39, P40-P42, P50-P55, P60-P615, P80, P81, P90-P915

V850E/SK3-H : P00-P06, P20, P21, P30-P312, P40-P45, P50-P57, P60-P615, P80-P85, P90-P915, P150-P153

2. V850E/SJ3-H : PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15, PDH0-PDH7

V850E/SK3-H : P130-P133, P140-P145, PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7,

PDL0-PDL15, PDH0-PDH7

3. V850E/SJ3-H : P00-P06, P30-P37, P42, P50-P55, P60-P615, P80, P81, P92-P915

V850E/SK3-H : P02-P06, P30-P37, P310-P312, P42-P45, P50-P57, P60-P66, P69-P613, P80, P81, P84, P85,

P92-P915, P150-P153

4. V850E/SJ3-H : P38, P39, P40, P41, P90, P91

V850E/SK3-H : P00, P01, P20, P21, P38, P39, P40, P41, P67, P68, P614, P615, P82, P83, P90, P91

5. V850E/SJ3-H : PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15, PDH0-PDH7

V850E/SK3-H : P130-P133, P140-P145, PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7,

PDL0-PDL15, PDH0-PDH7

備考1. 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

2. I<sub>OH</sub>, I<sub>OL</sub>の条件を1端子のみ満たさず合計値は条件を満たしている場合、DC特性も満たさなくなるのは、その端子のみです。

## 35.6.2 電源電流

(TA = -40 ~ +85 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 <sup>注</sup>	I <sub>DD1</sub>	通常動作 f <sub>xx</sub> = 48 MHz (クロック・モード3, SFC0レジスタ = 34H) 周辺機能動作		62	80	mA	
	I <sub>DD2</sub>	HALTモード f <sub>xx</sub> = 48 MHz (クロック・モード3, SFC0レジスタ = 34H) 周辺機能動作		41	53	mA	
	I <sub>DD3</sub>	IDLE1モード f <sub>xx</sub> = 5 MHz (f <sub>x</sub> = 5 MHz), PLLオフ時		1.45	2.4	mA	
	I <sub>DD4</sub>	IDLE2モード f <sub>xx</sub> = 5 MHz (f <sub>x</sub> = 5 MHz), PLLオフ時		0.4	0.8	mA	
	I <sub>DD5</sub>	サブクロック 動作モード f <sub>XT</sub> = 32.768 kHz, メイン・クロック, 内蔵発振器停止		110	700	μA	
	I <sub>DD6</sub>	サブIDLEモード f <sub>XT</sub> = 32.768 kHz, メイン・クロック, 内蔵発振器停止		12	150	μA	
	I <sub>DD7</sub>	STOPモード	サブクロック停止, 内蔵発振器 停止		9	98	μA
			サブクロック動作, 内蔵発振器 停止		12	108	μA
サブクロック停止, 内蔵発振器 動作				14	108	μA	
I <sub>DD8</sub>	フラッシュ・メモ リ・プログラ ミング・モード f <sub>xx</sub> = 48 MHz (f <sub>x</sub> = 6 MHz)		62	80	mA		

注 V<sub>DD</sub>, EV<sub>DD</sub>, BV<sub>DD</sub>電流の合計です。出力バッファ, A/Dコンバータ, D/Aコンバータ, 内蔵プルダウン抵抗で流れる電流は含みません。

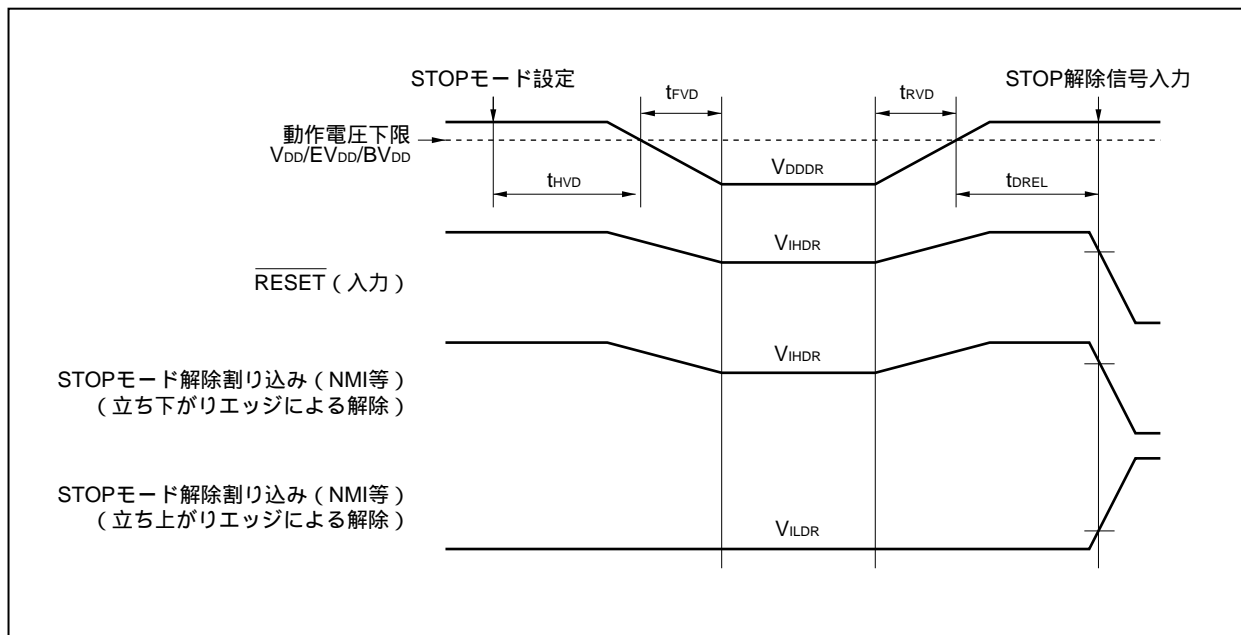
## 35.7 データ保持特性

### (1) STOPモード時

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ )

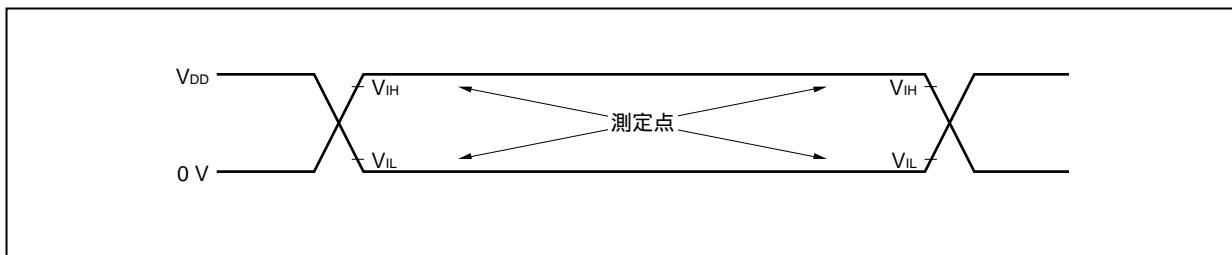
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	$V_{DDDR}$	STOPモード (全機能停止)	1.9		3.6	V
データ保持電流	$I_{DDDR}$	STOPモード (全機能停止), $V_{DDDR} = 2.0 \text{ V}$		9	98	$\mu\text{A}$
電源電圧立ち上がり時間	$t_{RVD}$		200			$\mu\text{s}$
電源電圧立ち下がり時間	$t_{FVD}$		200			$\mu\text{s}$
電源電圧保持時間	$t_{HVD}$	STOPモード設定後	0			ms
STOP解除信号入力時間	$t_{DREL}$	$V_{DD}$ が2.85 V (MIN.) に達したあと	0			ms
データ保持ハイ・レベル入力電圧	$V_{IHDR}$	$V_{DD} = EV_{DD} = BV_{DD} = V_{DDDR}$	$0.9V_{DDDR}$		$V_{DDDR}$	V
データ保持ロウ・レベル入力電圧	$V_{ILDR}$	$V_{DD} = EV_{DD} = BV_{DD} = V_{DDDR}$	0		$0.1V_{DDDR}$	V

**注意** STOPモードへの移行, およびSTOPモードからの復帰は, 動作範囲内で行ってください。

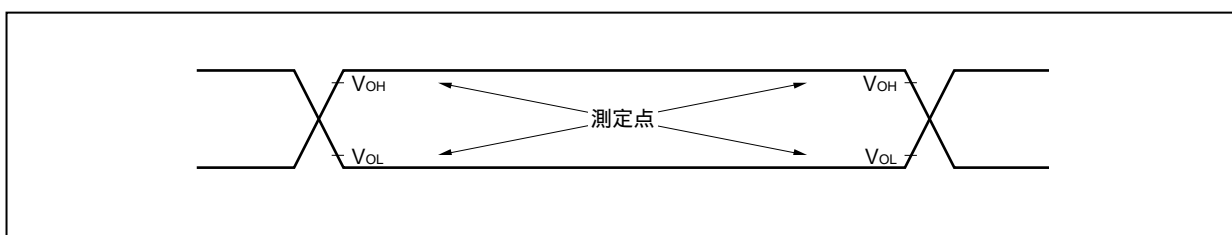


## 35.8 AC特性

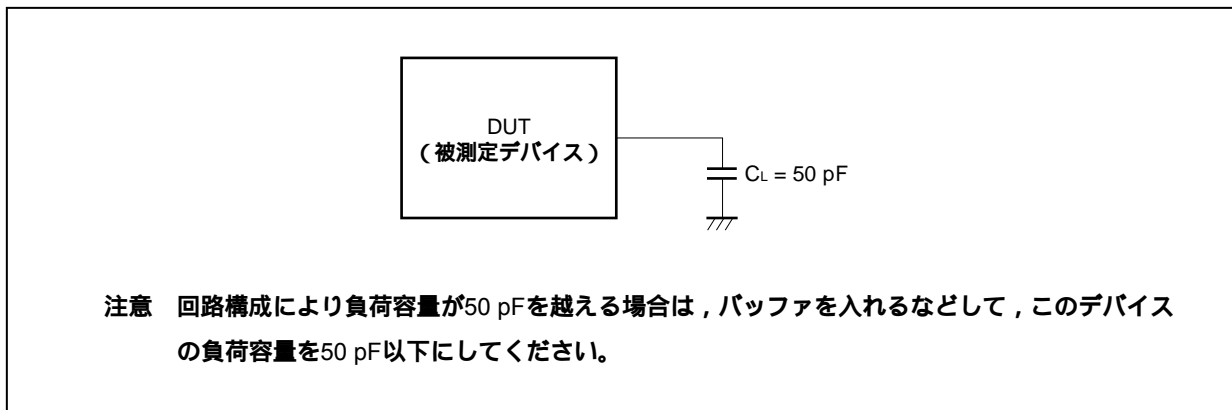
### (1) ACテスト入力測定点 (V<sub>DD</sub>, AVREF0, AVREF1, EVDD, BVDD)



### (2) ACテスト出力測定点



### (3) 負荷条件

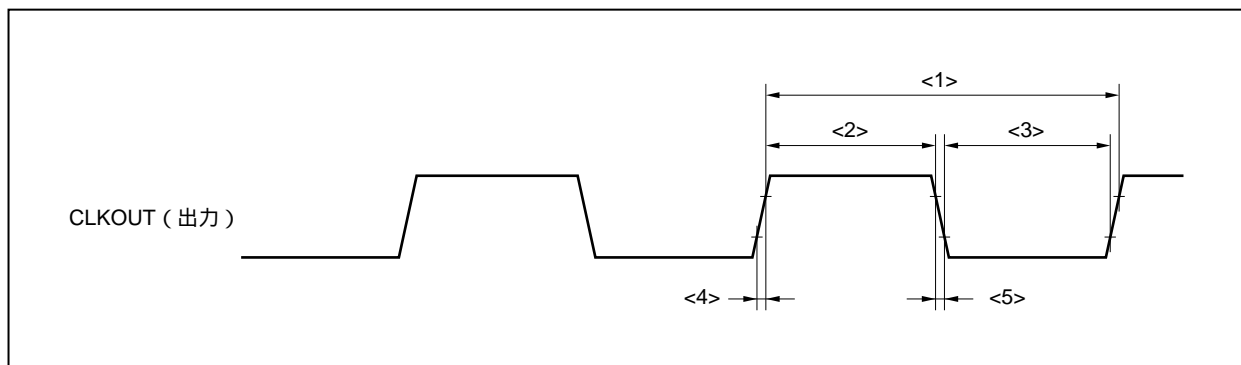


## 35. 8. 1 CLKOUT出力タイミング

(TA = -40 ~ +85 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t <sub>cyk</sub>	<1>	20.83 ns	31.25 μs	
ハイ・レベル幅	t <sub>wKH</sub>	<2>	t <sub>cyk</sub> /2 - 6		ns
ロウ・レベル幅	t <sub>wKL</sub>	<3>	t <sub>cyk</sub> /2 - 6		ns
立ち上がり時間	t <sub>KR</sub>	<4>		6	ns
立ち下がり時間	t <sub>KF</sub>	<5>		6	ns

## クロック・タイミング



## 35. 8. 2 バス・タイミング

## (1) マルチプレクス・バス・モード時

注意1.  $f_{CPU} > 20$  MHzで動作させる場合、必ずアドレス・ホールド・ウエイトとアドレス・セットアップ・ウエイトを挿入してください。

2.  $f_{CPU} > 32$  MHzで動作させる場合、必ずデータ・ウエイトを1つ以上挿入してください。

## (a) リード/ライト・サイクル (CLKOUT非同期)

( $T_A = -40 \sim +85$  ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対ASTB)	$t_{SAST}$	<6>	$(0.5 + t_{ASW}) T - 20$		ns
アドレス保持時間 (対ASTB)	$t_{HSTA}$	<7>	$(0.5 + t_{AHW}) T - 15$		ns
$\overline{RD}$ アドレス・フロート遅延時間	$t_{FRDA}$	<8>		16	ns
アドレス データ入力設定時間	$t_{SAID}$	<9>		$(2 + n + t_{ASW} + t_{AHW}) T - 35$	ns
$\overline{RD}$ データ入力設定時間	$t_{SRID}$	<10>		$(1 + n) T - 25$	ns
ASTB $\overline{RD}$ , $\overline{WRm}$ 遅延時間	$t_{DSTRDWR}$	<11>	$(0.5 + t_{AHW}) T - 15$		ns
データ入力保持時間 (対 $\overline{RD}$ )	$t_{HRDID}$	<12>	0		ns
$\overline{RD}$ アドレス出力時間	$t_{DRDA}$	<13>	$(1 + i) T - 15$		ns
$\overline{RD}$ , $\overline{WRm}$ ASTB 遅延時間	$t_{DRDWRST}$	<14>	0.5T - 15		ns
$\overline{RD}$ ASTB 遅延時間	$t_{DRDST}$	<15>	$(1.5 + i + t_{ASW}) T - 15$		ns
$\overline{RD}$ , $\overline{WRm}$ ロウ・レベル幅	$t_{WRDWRRL}$	<16>	$(1 + n) T - 15$		ns
ASTB ハイ・レベル幅	$t_{WSTH}$	<17>	$(1 + i + t_{ASW}) T - 15$		ns
$\overline{WRm}$ データ出力時間	$t_{DWROD}$	<18>		15	ns
データ出力設定時間 (対 $\overline{WRm}$ )	$t_{SODWR}$	<19>	$(1 + n) T - 20$		ns
データ出力保持時間 (対 $\overline{WRm}$ )	$t_{HWROD}$	<20>	T - 15		ns
WAIT設定時間 (対アドレス)	$t_{SAWT1}$	<21>	n 1	$(1.5 + t_{ASW} + t_{AHW}) T - 35$	ns
	$t_{SAWT2}$	<22>		$1.5 + n + t_{ASW} + t_{AHW}) T - 35$	ns
WAIT保持時間 (対アドレス)	$t_{HAWT1}$	<23>	n 1	$(0.5 + n + t_{ASW} + t_{AHW}) T$	ns
	$t_{HAWT2}$	<24>		$(1.5 + n + t_{ASW} + t_{AHW}) T$	ns
WAIT設定時間 (対ASTB)	$t_{SSTWT1}$	<25>	n 1	$(1 + t_{AHW}) T - 25$	ns
	$t_{SSTWT2}$	<26>		$(1 + n + t_{AHW}) T - 25$	ns
WAIT保持時間 (対ASTB)	$t_{HSTWT1}$	<27>	n 1	$(n + t_{AHW}) T$	ns
	$t_{HSTWT2}$	<28>		$(1 + n + t_{AHW}) T$	ns

備考1.  $t_{ASW}$  : アドレス・セットアップ・ウエイト・クロック数

$t_{AHW}$  : アドレス・ホールド・ウエイト・クロック数

2.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPU動作クロック周波数)

3. n : バス・サイクルに挿入されるウエイト・クロック数

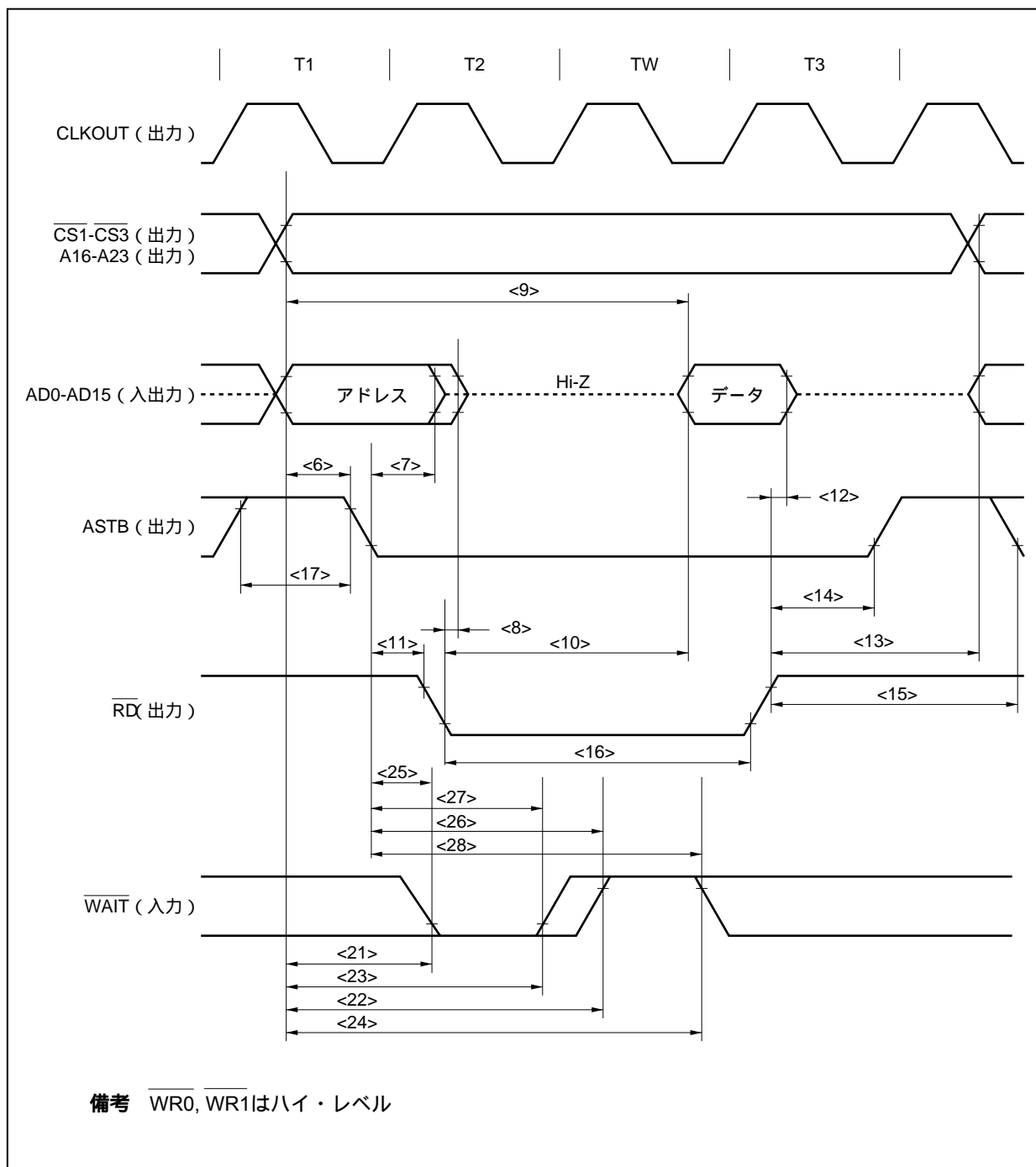
プログラマブル・ウエイト挿入時は、サンプル・タイミングが変わります。

4. m = 0, 1

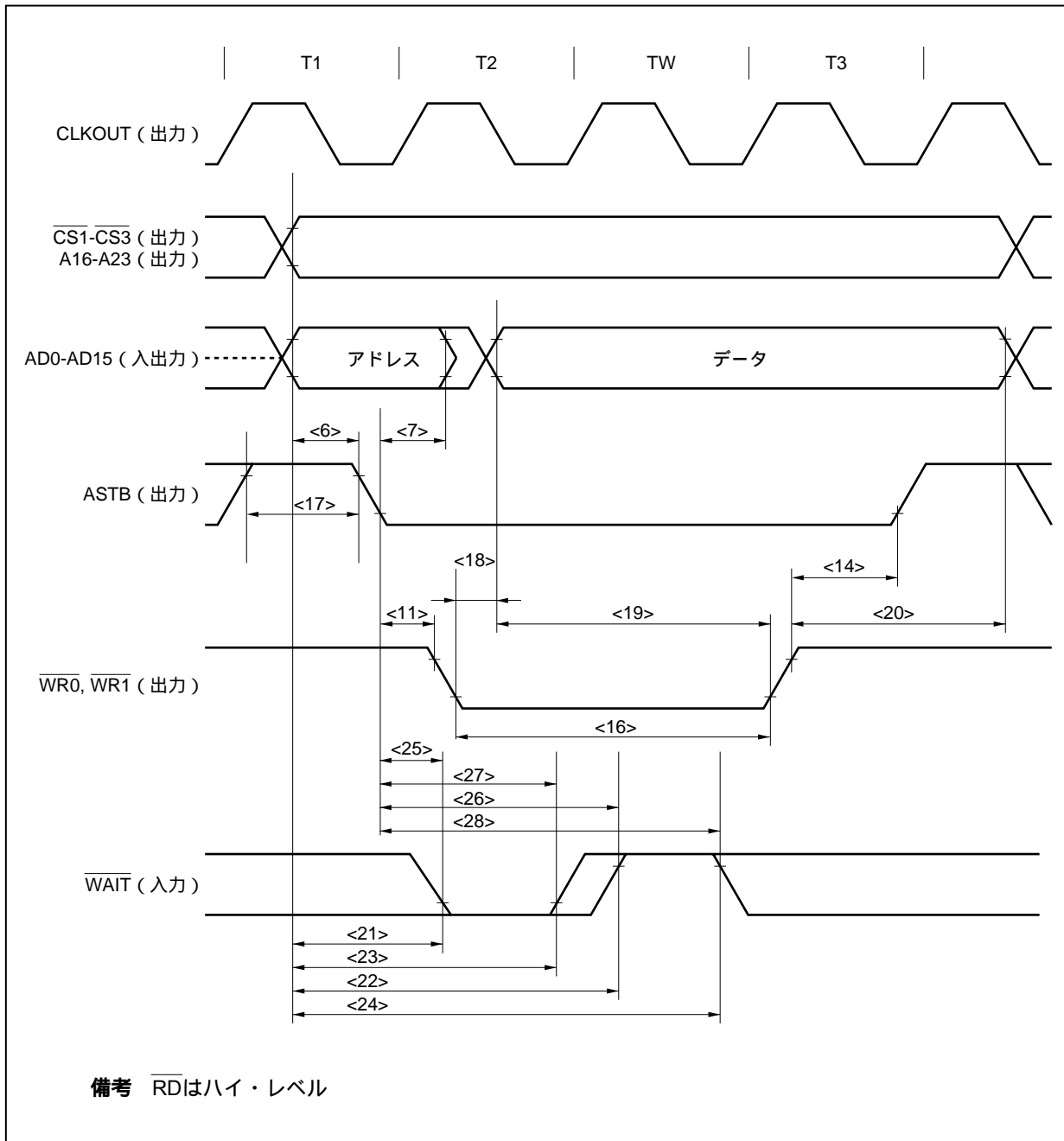
5. i : リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

6. 上記スペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT非同期) : マルチプレクス・バス・モード時



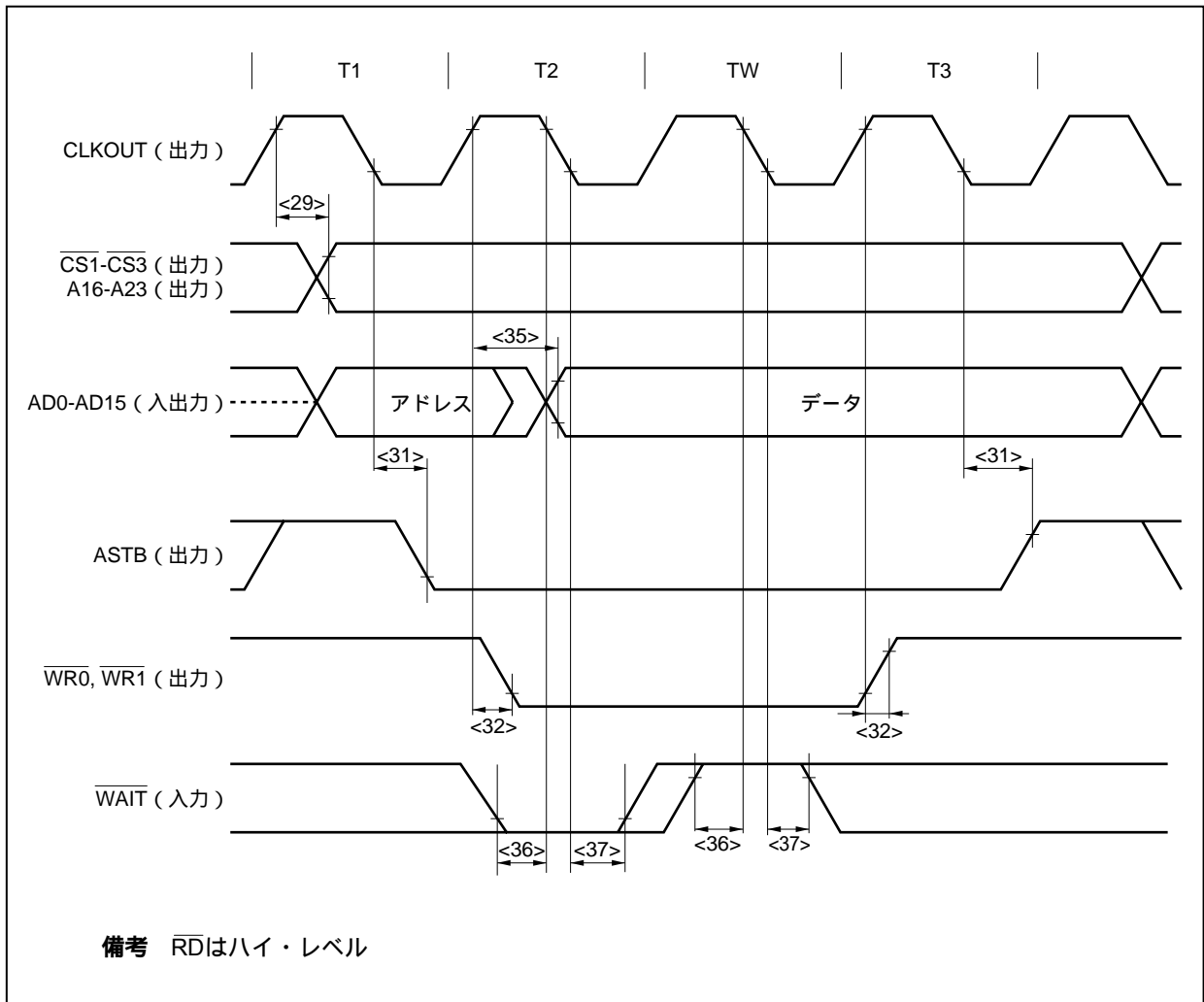
ライト・サイクル (CLKOUT非同期) : マルチプレクス・バス・モード時







ライト・サイクル (CLKOUT同期) : マルチプレクス・バス・モード時



## (2) セパレート・バス・モード時

注意1.  $f_{CPU} > 20$  MHzで動作させる場合、必ずアドレス・ホールド・ウエイトとアドレス・セットアップ・ウエイトを挿入してください。

2.  $f_{CPU} > 20$  MHzで動作させる場合、必ずデータ・ウエイトを1つ以上挿入してください。

## (a) リード・サイクル (CLKOUT非同期) : セパレート・バス・モード時

( $T_A = -40 \sim +85$  ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対 $\overline{RD}$ )	$t_{SARD}$	<38>	$(0.5 + t_{ASW}) T - 27$		ns
アドレス保持時間 (対 $\overline{RD}$ )	$t_{HARD}$	<39>	$iT - 3.5^{\text{注}}$		ns
$\overline{RD}$ ロウ・レベル幅	$t_{WRDL}$	<40>	$(1.5 + n + t_{AHW}) T - 10$		ns
データ設定時間 (対 $\overline{RD}$ )	$t_{SISD}$	<41>	23		ns
データ保持時間 (対 $\overline{RD}$ )	$t_{HISD}$	<42>	- 3.5		ns
データ設定時間 (対アドレス)	$t_{SAID}$	<43>		$(2 + n + t_{ASW} + t_{AHW}) T - 40$	ns
WAIT設定時間 (対 $\overline{RD}$ )	$t_{SRDWT1}$	<44>		$(0.5 + t_{AHW}) T - 27$	ns
	$t_{SRDWT2}$	<45>		$(0.5 + n + t_{AHW}) T - 27$	ns
WAIT保持時間 (対 $\overline{RD}$ )	$t_{HRDWT1}$	<46>	$(n - 0.5 + t_{AHW}) T$		ns
	$t_{HRDWT2}$	<47>	$(n + 0.5 + t_{AHW}) T$		ns
WAIT設定時間 (対アドレス)	$t_{SAWT1}$	<48>		$(1 + t_{ASW} + t_{AHW}) T - 45$	ns
	$t_{SAWT2}$	<49>		$(1 + n + t_{ASW} + t_{AHW}) T - 45$	ns
WAIT保持時間 (対アドレス)	$t_{HAWT1}$	<50>	$(n + t_{ASW} + t_{AHW}) T$		ns
	$t_{HAWT2}$	<51>	$(1 + n + t_{ASW} + t_{AHW}) T$		ns

注  $\overline{RD}$ 端子のロウ・レベル期間中にアドレスが変更される場合があります。アドレスの変更を回避する必要がある場合には、必ずアイドル・ウエイトを挿入してください。

備考1.  $t_{ASW}$  : アドレス・セットアップ・ウエイト・クロック数

$t_{AHW}$  : アドレス・ホールド・ウエイト・クロック数

2.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPU動作クロック周波数)

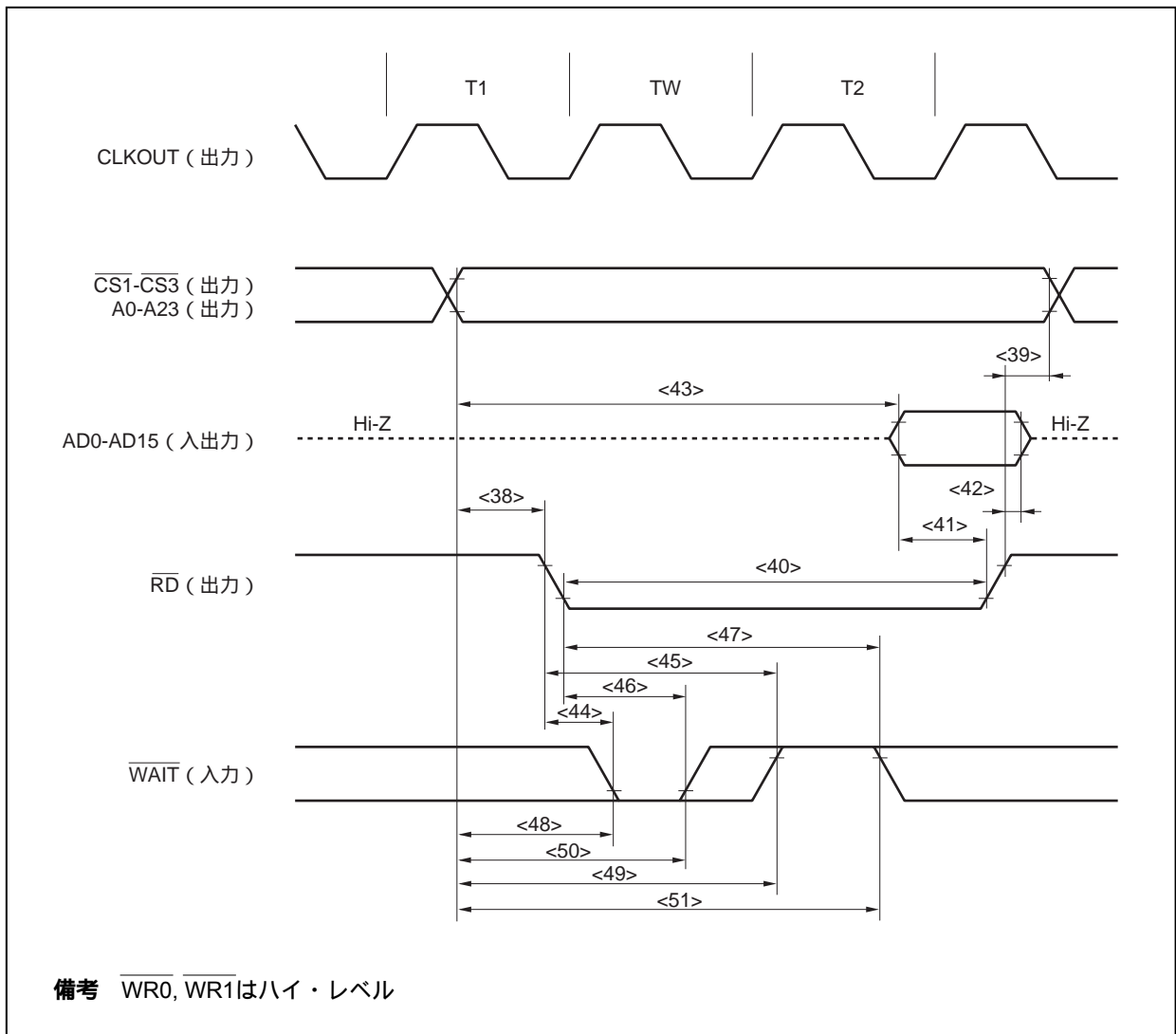
3.  $n$  : バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。

4.  $i$  : リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

5. 上記のスペックは、X1からデューティ比1 : 1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT非同期) : セパレート・バス・モード時



## (b) ライト・サイクル (CLKOUT非同期) : セパレート・バス・モード時

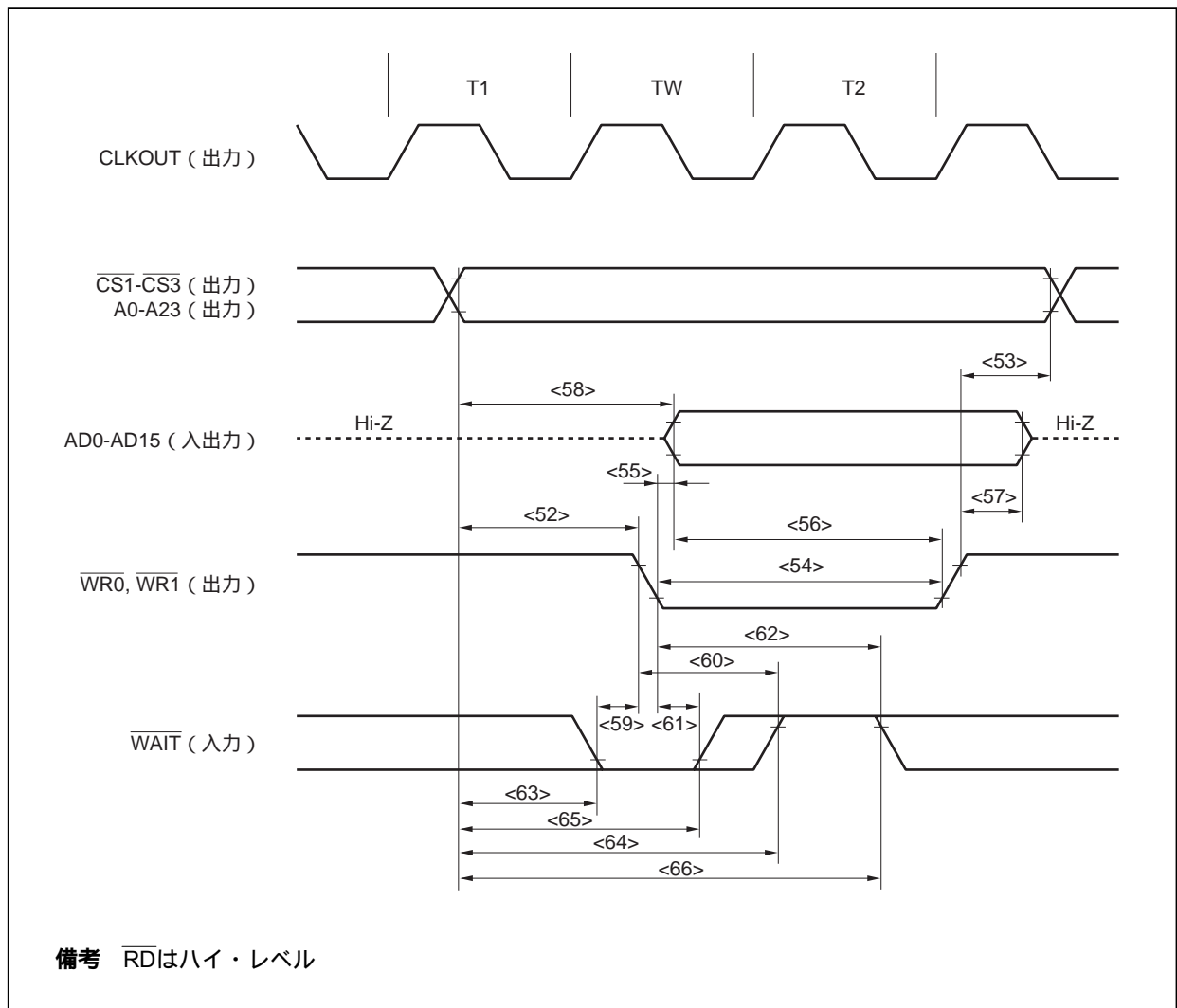
(TA = -40 ~ +85 , BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対WRm )	tSAWR	<52>	(1 + tASW + tAHW) T - 27		ns
アドレス保持時間 (対WRm )	tHAWR	<53>	0.5T - 6		ns
WRm口ウ・レベル幅	tWWRL	<54>	(0.5 + n) T - 10		ns
WRm データ出力時間	tDOSDW	<55>	- 5		ns
データ設定時間 (対WRm )	tsOSDW	<56>	(0.5 + n) T - 20		ns
データ保持時間 (対WRm )	tHOSDW	<57>	0.5T - 7		ns
データ設定時間 (対アドレス)	tSAOD	<58>	(1 + tASW + tAHW) T - 25		ns
WAIT設定時間 (対WRm )	tSWRWT1	<59>	25		ns
	tSWRWT2	<60>		nT - 25	ns
WAIT保持時間 (対WRm )	tHWRWT1	<61>	0		ns
	tHWRWT2	<62>	nT		ns
WAIT設定時間 (対アドレス)	tSAWT1	<63>		(1 + tASW + tAHW) T - 45	ns
	tSAWT2	<64>		(1 + n + tASW + tAHW) T - 45	ns
WAIT保持時間 (対アドレス)	tHAWT1	<65>	(n + tASW + tAHW) T		ns
	tHAWT2	<66>	(1 + n + tASW + tAHW) T		ns

備考1. m = 0, 1

- tASW : アドレス・セットアップ・ウエイト・クロック数  
tAHW : アドレス・ホールド・ウエイト・クロック数
- T = 1/fCPU (fCPU : CPU動作クロック周波数)
- n : バス・サイクルに挿入されるウエイト・クロック数  
プログラマブル・ウエイト挿入時は, サンプルング・タイミングが変わります。
- 上記のスペックは, X1からデューティ比1 : 1のクロックを入力した場合の値です。

ライト・サイクル (CLKOUT非同期) : セパレート・バス・モード時



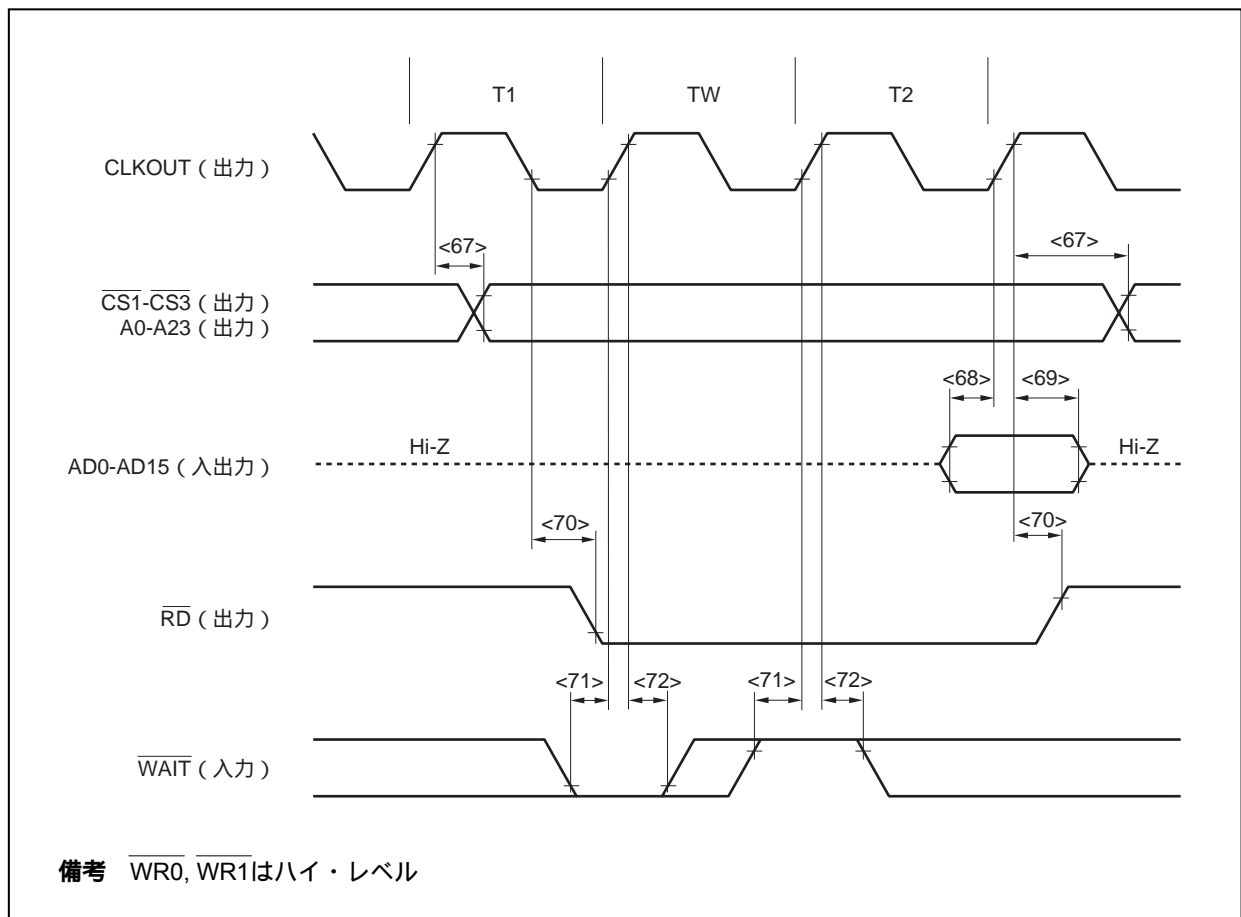
## (c) リード・サイクル (CLKOUT同期) : セパレート・バス・モード時

(TA = -40 ~ +85 , BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス, CS遅延時間	tDKSA	<67>	0	27	ns
データ入力設定時間 (対CLKOUT)	tsISDK	<68>	20		ns
データ入力保持時間 (対CLKOUT)	thKISD	<69>	0		ns
CLKOUT RD遅延時間	tDKSR	<70>	-2	12	ns
WAIT設定時間 (対CLKOUT)	tsWTK	<71>	20		ns
WAIT保持時間 (対CLKOUT)	thKWT	<72>	0		ns

備考 上記のスペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

## リード・サイクル (CLKOUT同期, 1ウエイト) : セパレート・バス・モード時



(d) ライト・サイクル (CLKOUT同期) : セパレート・バス・モード時

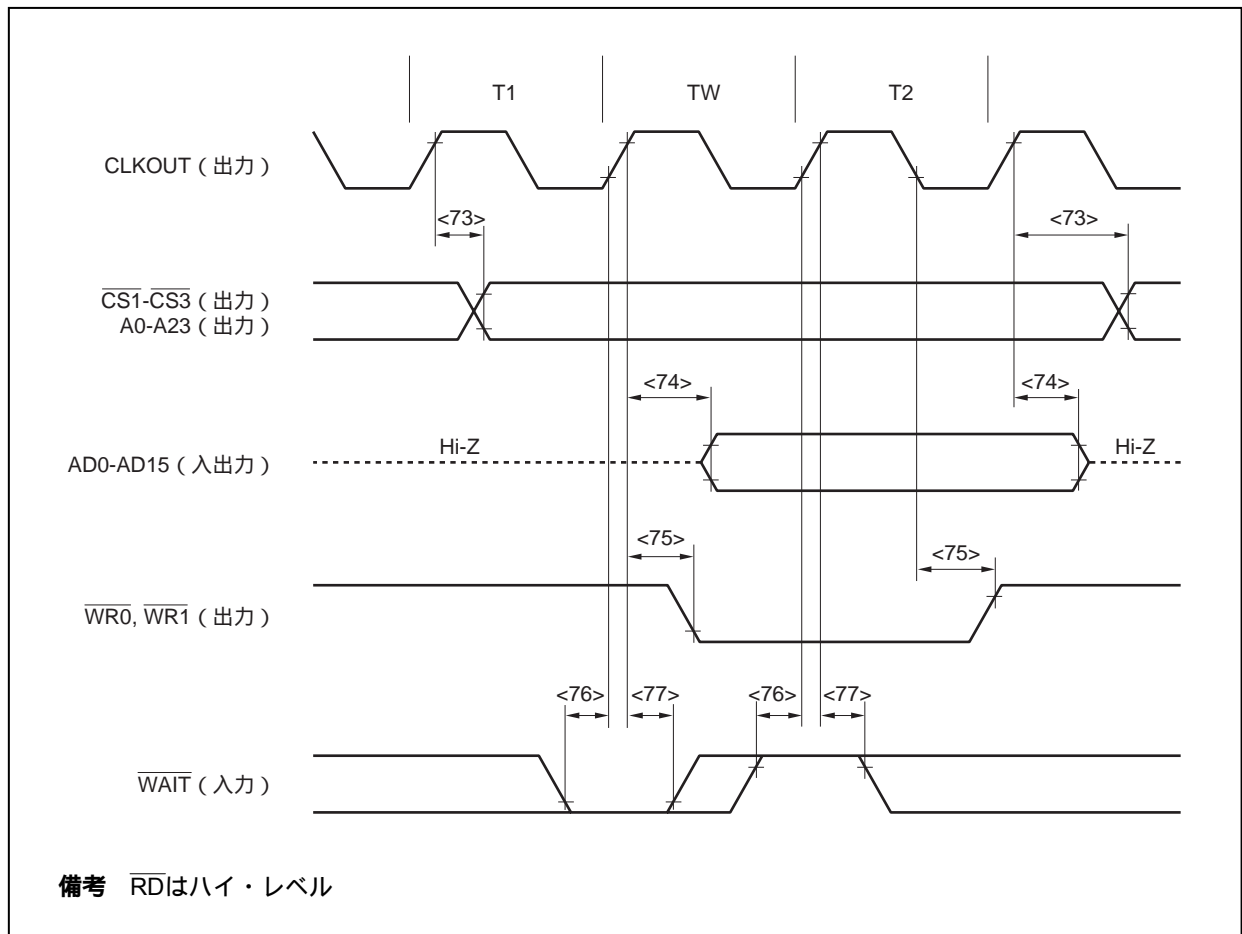
( $T_A = -40 \sim +85$  ,  $BV_{DD} \ V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス, CS遅延時間	$t_{DKSA}$	<73>	0	27	ns
CLKOUT データ出力遅延時間	$t_{DKSD}$	<74>	0	18	ns
CLKOUT $\overline{WRm}$ 遅延時間	$t_{DKSW}$	<75>	- 2	12	ns
$\overline{WAIT}$ 設定時間 (対CLKOUT)	$t_{SWTK}$	<76>	20		ns
$\overline{WAIT}$ 保持時間 (対CLKOUT)	$t_{HKWT}$	<77>	0		ns

備考1.  $m = 0, 1$

2. 上記のスペックは, X1からデューティ比1 : 1のクロックを入力した場合の値です。

ライト・サイクル (CLKOUT同期) : セパレート・バス・モード時





## (3) バス・ホールド時

## (a) CLKOUT非同期

( $T_A = -40 \sim +85$  ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
$\overline{HLDRQ}$ ハイ・レベル幅	$t_{WHQH}$	<78>	$T + 10$		ns
$\overline{HLDAK}$ ロウ・レベル幅	$t_{WHAL}$	<79>	$T - 15$		ns
$\overline{HLDAK}$ バス出力遅延時間	$t_{DHAC}$	<80>	- 3		ns
$\overline{HLDRQ}$ $\overline{HLDAK}$ 遅延時間	$t_{DHQHA1}$	<81>		$(2n + 7.5) T + 26$	ns
$\overline{HLDRQ}$ $\overline{HLDAK}$ 遅延時間	$t_{DHQHA2}$	<82>	$0.5T$	$1.5T + 26$	ns

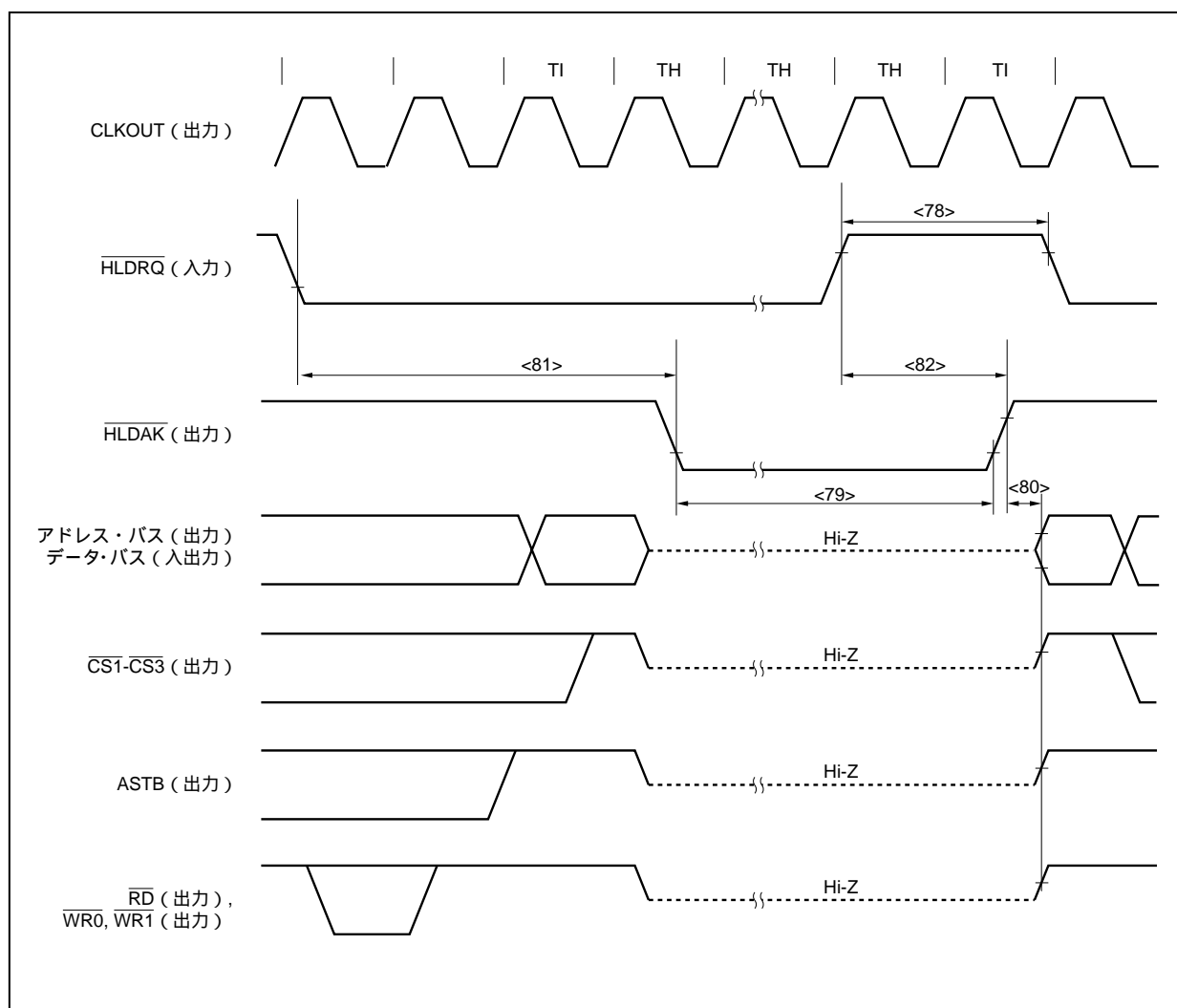
備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$ : CPU動作クロック周波数)

2. n: バス・サイクルに挿入されるウェイト・クロック数

プログラブル・ウェイト挿入時は, サンプル・タイミングが変わります。

3. 上記のスペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

## バス・ホールド (CLKOUT非同期)



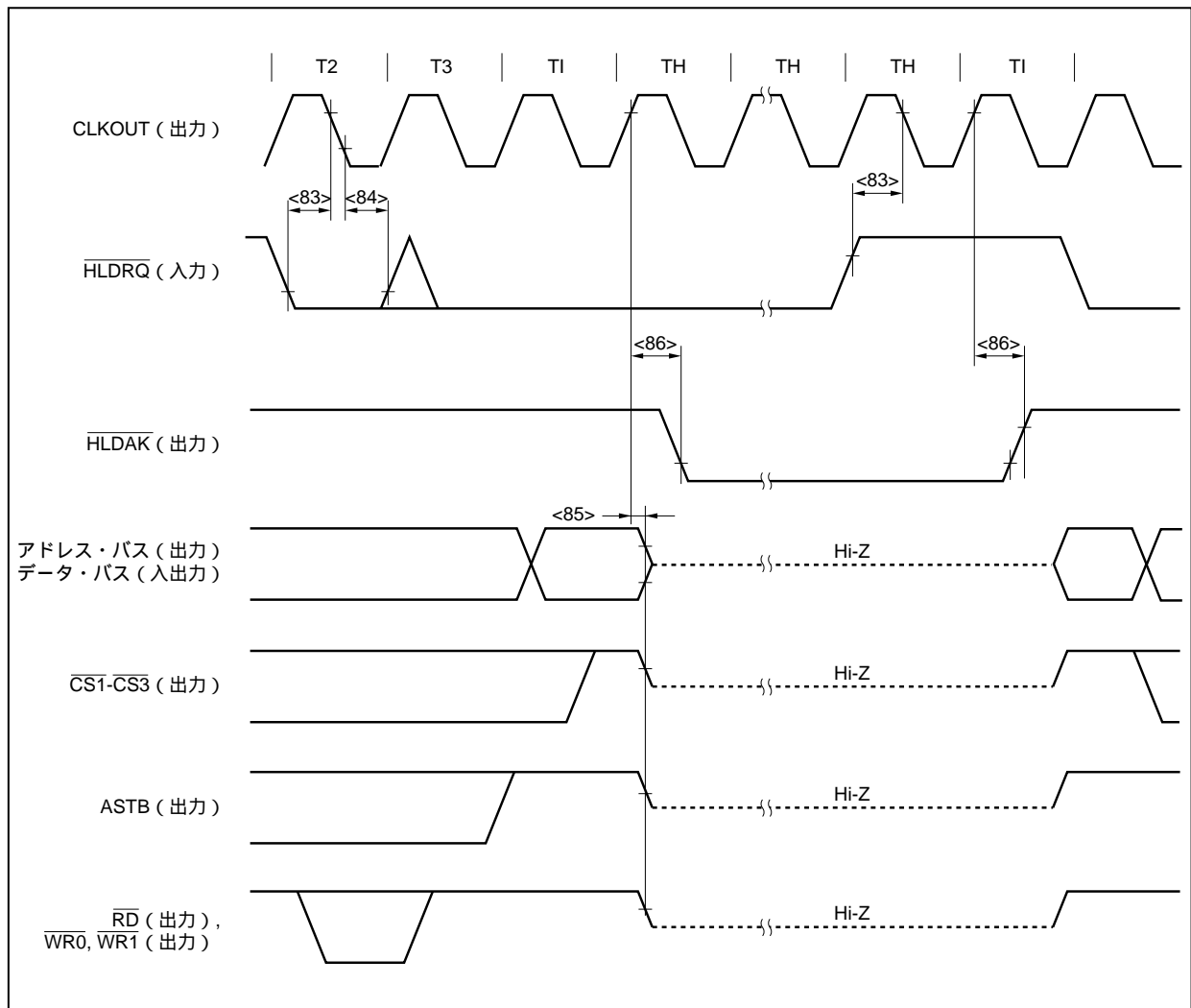
## (b) CLKOUT同期

(TA = -40 ~ +85 , BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
HLD $\overline{RQ}$ 設定時間 (対CLKOUT)	t <sub>SHQK</sub>	<83>	20		ns
HLD $\overline{RQ}$ 保持時間 (対CLKOUT)	t <sub>HKHQ</sub>	<84>	5		ns
CLKOUT バス・フロート遅延時間	t <sub>DKF</sub>	<85>		19	ns
CLKOUT HLDAK遅延時間	t <sub>DKHA</sub>	<86>		19	ns

備考 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

## バス・ホールド (CLKOUT同期)



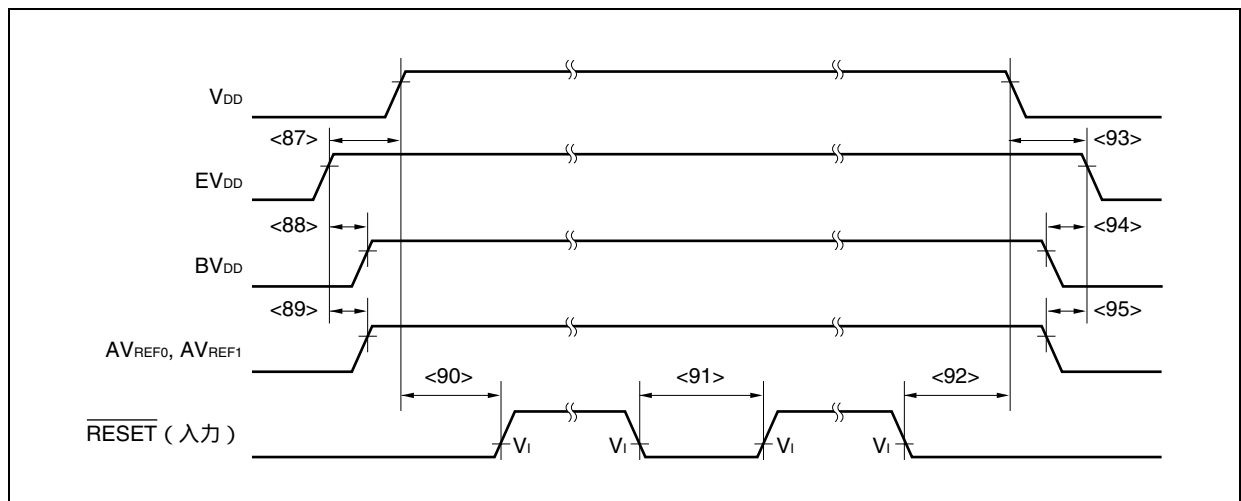
## 35.9 基本動作

### (1) パワー・オン/パワー・オフ/リセット・タイミング

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
$\overline{EV_{DD}}$ $V_{DD}$	$t_{REL}$ <87>		0		ns
$\overline{EV_{DD}}$ $BV_{DD}$	$t_{REB}$ <88>		0	$t_{REL}$	ns
$\overline{EV_{DD}}$ $AV_{REF0}$ , $AV_{REF1}$	$t_{REA}$ <89>		0	$t_{REL}$	ns
$V_{DD}$ $\overline{RESET}$	$t_{RER}$ <90>		$500 + t_{REG}$ 注		ns
$\overline{RESET}$ 口ウ・レベル幅	$t_{WRSL}$ <91>	アナログ・ノイズ除去 (フラッシュ 消去 / 書き込み間)	500		ns
		アナログ・ノイズ除去	500		ns
$\overline{RESET}$ $V_{DD}$	$t_{FRE}$ <92>		500		ns
$V_{DD}$ $\overline{EV_{DD}}$	$t_{FEL}$ <93>		0		ns
$BV_{DD}$ $\overline{EV_{DD}}$	$t_{FEB}$ <94>		0	$t_{FEL}$	ns
$AV_{REF0}$ , $AV_{REF1}$ $\overline{EV_{DD}}$	$t_{FEA}$ <95>		0	$t_{FEL}$	ns

注 内蔵レギュレータの特性に依存します。



## (2) 割り込み, FLMD0端子タイミング

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	$t_{WNIH}$	アナログ・ノイズ除去	500		ns
NMIロウ・レベル幅	$t_{WNIL}$	アナログ・ノイズ除去	500		ns
INTPn <sup>注</sup> ハイ・レベル幅	$t_{WITH}$	n = 0-9 (アナログ・ノイズ除去)	500		ns
		n = 3 (デジタル・ノイズ除去)	$3T_{SMP} + 20$		ns
INTPn <sup>注</sup> ロウ・レベル幅	$t_{WITL}$	n = 0-9 (アナログ・ノイズ除去)	500		ns
		n = 3 (デジタル・ノイズ除去)	$3T_{SMP} + 20$		ns
FLMD0ハイ・レベル幅	$t_{WMDH}$		500		ns
FLMD0ロウ・レベル幅	$t_{WMDL}$		500		ns

注 DRST端子は, INTP2端子と同じ特性です。

備考  $T_{SMP}$ : ノイズ除去サンプリング・クロック周期 (NFCレジスタで設定)

## (3) キー・リターン・タイミング

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
KRnハイ・レベル幅	$t_{WKRH}$	アナログ・ノイズ除去	500		ns
KRnロウ・レベル幅	$t_{WKRL}$	アナログ・ノイズ除去	500		ns

備考 n = 0-7

## (4) タイマ・タイミング

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
TInハイ・レベル幅	$t_{TIHn}$	n = P00, P01, P10, P11, P20, P21,	$2T + 20$		ns
TInロウ・レベル幅	$t_{TILn}$	P30, P31, P40, P41, P50, P51, P60, P61, P70, P71, P80, P81, Q00-Q03	$2T + 20$		ns
TENCm0/TENCm1 ハイ・レベル幅	$t_{TENCHm}$	m = 7, 8, サンプリング回数3回	$3T_{SMP} + 20$		ns
		m = 7, 8, サンプリング回数2回	$2T_{SMP} + 20$		ns
TENCm0/TENCm1 ロウ・レベル幅	$t_{TENCLm}$	m = 7, 8, サンプリング回数3回	$3T_{SMP} + 20$		ns
		m = 7, 8, サンプリング回数2回	$2T_{SMP} + 20$		ns
TECRmハイ・レベル幅	$t_{TECRHm}$	m = 7, 8, サンプリング回数3回	$3T_{SMP} + 20$		ns
		m = 7, 8, サンプリング回数2回	$2T_{SMP} + 20$		ns
TECRmロウ・レベル幅	$t_{TECRLm}$	m = 7, 8, サンプリング回数3回	$3T_{SMP} + 20$		ns
		m = 7, 8, サンプリング回数2回	$2T_{SMP} + 20$		ns

備考1.  $T = 1/f_{XP}$  ( $f_{XP}$ : 周辺クロック周波数 (プリスケラ1入力クロック周波数))

2.  $T_{SMP}$ : ノイズ除去サンプリング・クロック周期 (ENaNFCレジスタで設定)

## (5) UARTAタイミング

( $T_A = -40 \sim +85 \text{ } ^\circ\text{C}$ ,  $BV_{DD} \quad V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項 目	略 号	条 件	MIN.	MAX.	単 位
送信レート				625	kbps
ASCK0サイクル・タイム				10	MHz

## (6) UARTBタイミング

( $T_A = -40 \sim +85 \text{ } ^\circ\text{C}$ ,  $BV_{DD} \quad V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項 目	略 号	条 件	MIN.	MAX.	単 位
送信レート				1.5	Mbps

## (7) CSIBタイミング

## (a) マスタ・モード

(TA = -40 ~ +85 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t <sub>KCY1</sub>	<96>	125		ns
SCKBnハイ/ロウ・レベル幅	t <sub>KH1</sub> t <sub>KL1</sub>	<97>	t <sub>KCY1</sub> /2 - 8		ns
SIBnセットアップ時間 (対SCKBn)	t <sub>SIK1</sub>	<98>	27		ns
SIBnホールド時間 (対SCKBn)	t <sub>KS1</sub>	<99>	27		ns
SCKBn SOBn出力遅延時間	t <sub>KSO1</sub>	<100>		27	ns

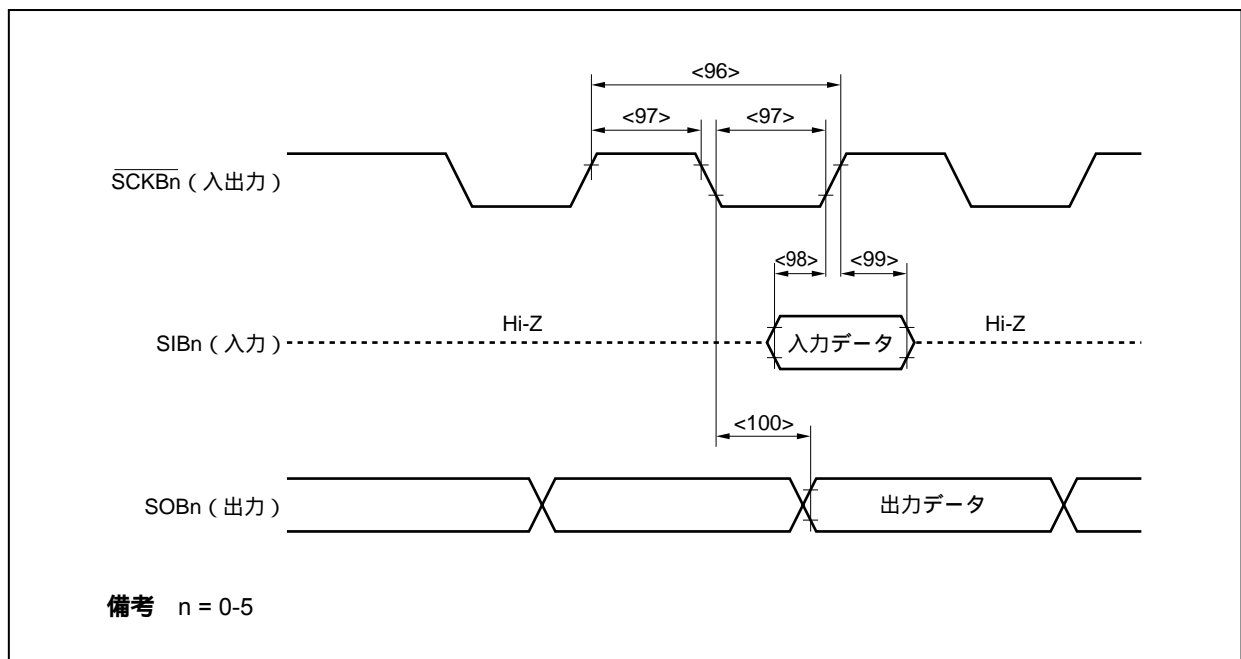
備考 n = 0-5

## (b) スレーブ・モード

(TA = -40 ~ +85 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t <sub>KCY2</sub>	<96>	125		ns
SCKBnハイ/ロウ・レベル幅	t <sub>KH2</sub> t <sub>KL2</sub>	<97>	54.5		ns
SIBnセットアップ時間 (対SCKBn)	t <sub>SIK2</sub>	<98>	27		ns
SIBnホールド時間 (対SCKBn)	t <sub>KS2</sub>	<99>	27		ns
SCKBn SOBn出力遅延時間	t <sub>KSO2</sub>	<100>		27	ns

備考 n = 0-5



## (8) CSIE タイミング

(μ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外)

## (a) マスタ・モード

(TA = -40 ~ +85 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKEn サイクル・タイム	t <sub>KCY1</sub>	<101>	125		ns
SCKEn ハイ / ロウ・レベル幅	t <sub>KH1</sub> t <sub>KL1</sub>	<102>	t <sub>KCY1</sub> /2 - 8		ns
SIEn セットアップ時間 (対 SCKEn)	t <sub>SIK1</sub>	<103>	27		ns
SIEn ホールド時間 (対 SCKEn)	t <sub>KS1</sub>	<104>	27		ns
SCKEn SOEn 出力遅延時間	t <sub>KSO1</sub>	<105>		27	ns

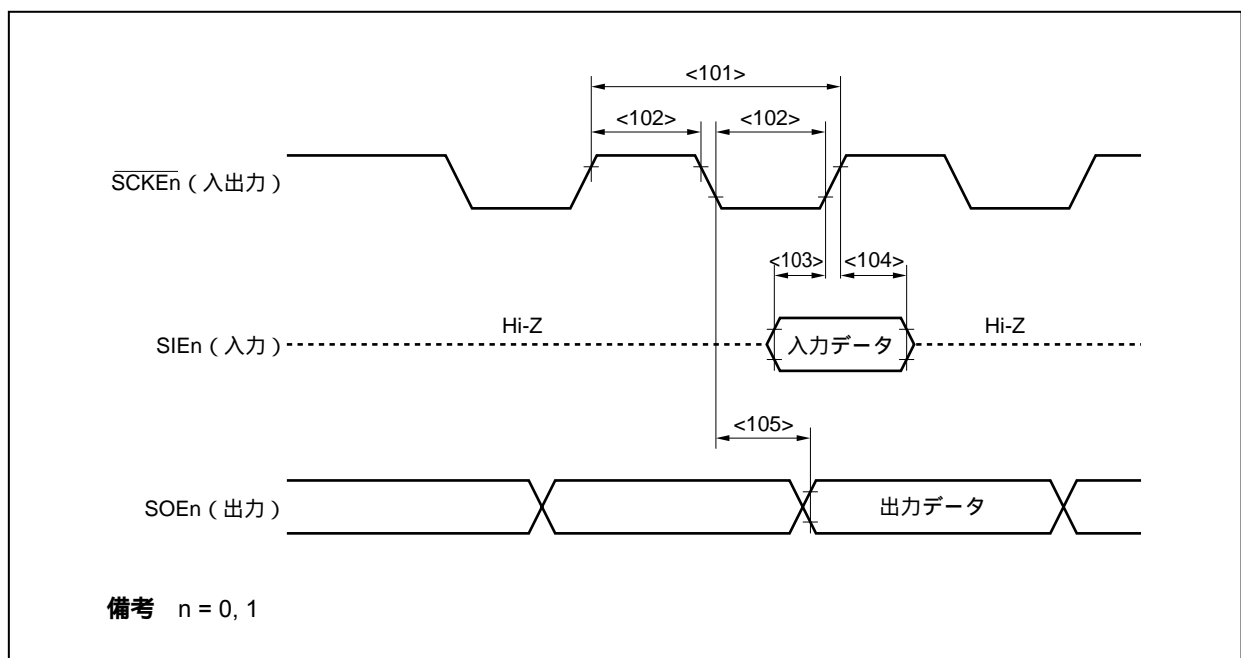
備考 n = 0, 1

## (b) スレーブ・モード

(TA = -40 ~ +85 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKEn サイクル・タイム	t <sub>KCY2</sub>	<101>	125		ns
SCKEn ハイ / ロウ・レベル幅	t <sub>KH2</sub> t <sub>KL2</sub>	<102>	54.5		ns
SIEn セットアップ時間 (対 SCKEn)	t <sub>SIK2</sub>	<103>	27		ns
SIEn ホールド時間 (対 SCKEn)	t <sub>KS2</sub>	<104>	(1/f <sub>XP</sub> ) × 1.5 + 10		ns
SCKEn SOEn 出力遅延時間	t <sub>KSO2</sub>	<105>		27	ns

備考1. n = 0, 1

2. f<sub>XP</sub>: 周辺クロック周波数 (プリスケアラ1入力クロック周波数)

(9) I<sup>2</sup>Cバス・モード

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項目	略号		標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0nクロック周波数	f <sub>CLK</sub>		0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t <sub>BUF</sub>	<106>	4.7	-	1.3	-	μs
ホールド時間 <sup>注1</sup>	t <sub>HD : STA</sub>	<107>	4.0	-	0.6	-	μs
SCL0nクロックのロウ・レベル幅	t <sub>LOW</sub>	<108>	4.7	-	1.3	-	μs
SCL0nクロックのハイ・レベル幅	t <sub>HIGH</sub>	<109>	4.0	-	0.6	-	μs
スタート/リスタート・コンディションのセットアップ時間	t <sub>SU : STA</sub>	<110>	4.7	-	0.6	-	μs
データ・ホールド 時間	CBUS互換マスタの場合 I <sup>2</sup> Cモードの場合	t <sub>HD : DAT</sub>	<111>	5.0	-	-	μs
				0 <sup>注2</sup>	-	0 <sup>注2</sup>	0.9 <sup>注3</sup>
データ・セットアップ時間	t <sub>SU : DAT</sub>	<112>	250	-	100 <sup>注4</sup>	-	ns
SDA0nおよびSCL0n信号の立ち上がり 時間	t <sub>r</sub>	<113>	-	1000	20 + 0.1Cb <sup>注5</sup>	300	ns
SDA0nおよびSCL0n信号の立ち下がり 時間	t <sub>f</sub>	<114>	-	300	20 + 0.1Cb <sup>注5</sup>	300	ns
ストップ・コンディションのセットアップ 時間	t <sub>SU : STO</sub>	<115>	4.0	-	0.6	-	μs
入力フィルタによって抑制されるスパイクの パルス幅	t <sub>SP</sub>	<116>	-	-	0	50	ns
各バス・ラインの容量性負荷	Cb		-	400	-	400	pF

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

- 装置は、SCL0nの立ち下がり端の未定義領域を埋めるために (SCL0n信号のV<sub>IHmin</sub>.での) SDA0n信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
- 装置がSCL0n信号のロウ・ホールド時間 (t<sub>LOW</sub>) を延長しない場合は、最大データ・ホールド時間 (t<sub>HD : DAT</sub>) のみ満たすことが必要です。
- 高速モードI<sup>2</sup>Cバスは、標準モードI<sup>2</sup>Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- 装置がSCL0n信号のロウ状態ホールド時間を延長しない場合

t<sub>SU : DAT</sub> 250 ns

- 装置がSCL0n信号のロウ状態ホールド時間を延長する場合

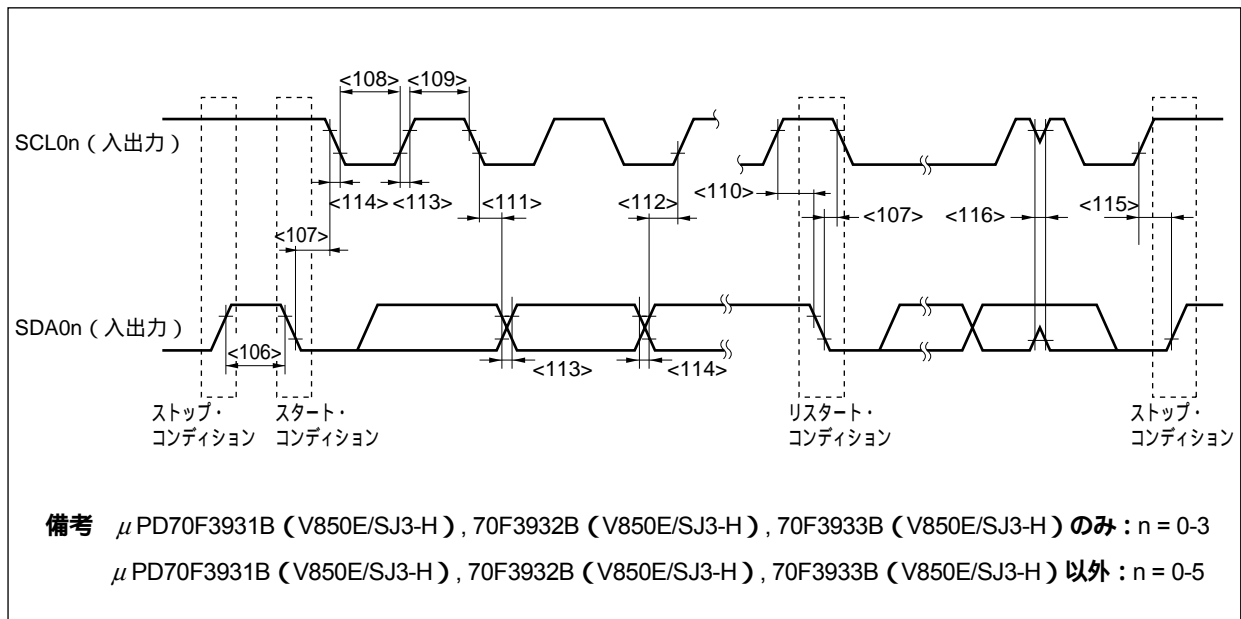
SCL0nラインが解放される (t<sub>rmax</sub>. + t<sub>SU : DAT</sub> = 1000 + 250 = 1250 ns : 標準モードI<sup>2</sup>Cバス仕様) 前に、次のデータ・ビットをSDA0nラインに送出してください。

- Cb : 1つのバス・ラインの合計キャパシタンス (単位 : pF)

備考 μ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) のみ : n = 0-3

μ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外 : n = 0-5





## (10) IEBusコントローラ

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,

$C_L = 50 \text{ pF}$ )

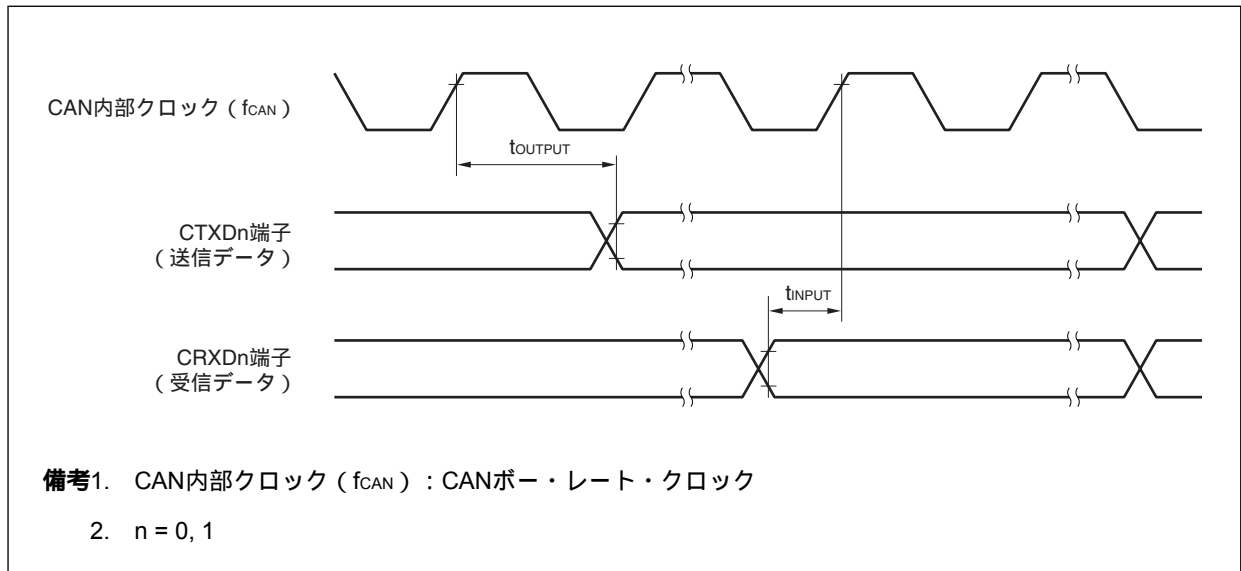
項目	略号	条件	MIN.	TYP.	MAX.	単位
IEBusシステム・クロック 周波数	fs	通信モード：モード1, 2	5.91	6.00 <sup>注</sup>	6.09	MHz
			6.20	6.29 <sup>注</sup>	6.38	MHz

注 IEBusシステム・クロック周波数は6.0 MHzと6.29 MHzを混在して使用できません。

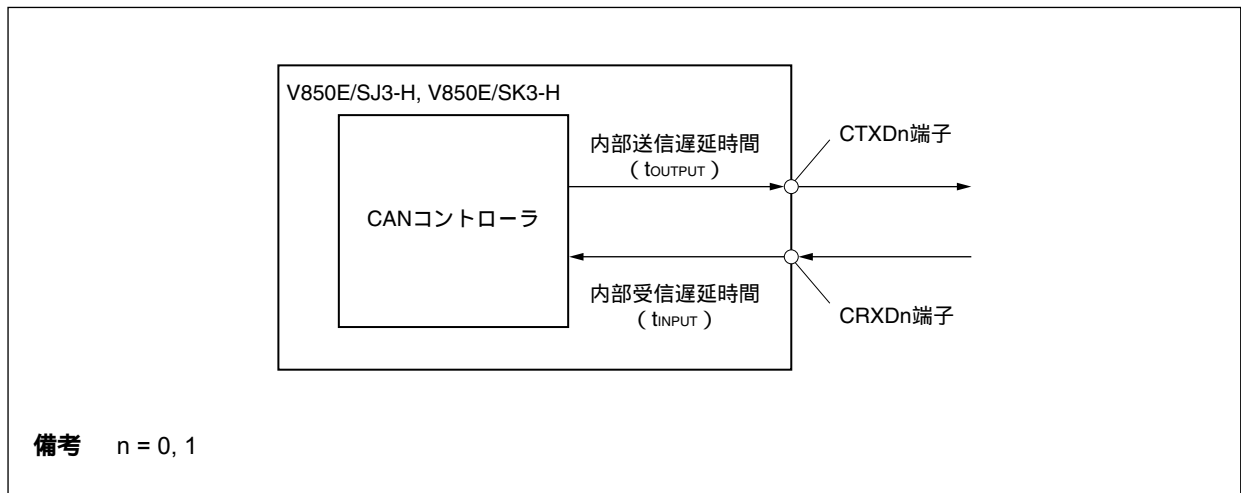
## (11) CANタイミング (CANコントローラ内蔵品のみ)

( $T_A = -40 \sim +85 \text{ } ^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
送信レート				1	Mbps
内部遅延時間	$t_{NODE}$			100	ns



内部遅延時間 ( $t_{NODE}$ ) = 内部送信遅延時間 ( $t_{OUTPUT}$ ) + 内部受信遅延時間 ( $t_{INPUT}$ )



## (12) A/Dコンバータ

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $BV_{DD}$   $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, 3.0 \text{ V}$   $AV_{REF0} 3.6 \text{ V}$ ,  $V_{SS} = EV_{SS} = BV_{SS}$   
 $= AV_{SS} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					10	bit
総合誤差 <sup>注</sup>		3.0 $AV_{REF0}$ 3.6 V			$\pm 0.6$	%FSR
変換時間	$t_{CONV}$		2.6		24	$\mu\text{s}$
ゼロスケール誤差					$\pm 0.5$	%FSR
フルスケール誤差					$\pm 0.5$	%FSR
非直線性誤差					$\pm 4.0$	LSB
微分直線性誤差					$\pm 4.0$	LSB
アナログ入力電圧	$V_{IAN}$		$AV_{SS}$		$AV_{REF0}$	V
基準電圧	$AV_{REF0}$		3.0		3.6	V
$AV_{REF0}$ 電流	$AI_{REF0}$	通常変換モード		3	6.5	mA
		高速変換モード		4	10	mA
		A/Dコンバータ未使用時			5	$\mu\text{A}$

注 量子化誤差 ( $\pm 0.05 \text{ %FSR}$ ) は含みません。

注意 A/D変換中に兼用ポートの設定(リード/ライト)を行わないでください。変換分解能が低下することがあります。

備考 LSB : Least Significant Bit  
 FSR : Full Scale Range

## (13) D/Aコンバータ

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $BV_{DD}$   $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, 3.0 \text{ V}$   $AV_{REF1} 3.6 \text{ V}$ ,  $V_{SS} = EV_{SS} = BV_{SS}$   
 $= AV_{SS} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差 <sup>注1</sup>		$R = 2 \text{ M}\Omega$			$\pm 1.2$	%FSR
セトリング・タイム		$C = 20 \text{ pF}$			3	$\mu\text{s}$
出力抵抗	$R_o$	出力データ55H		6.42		$\text{k}\Omega$
基準電圧	$AV_{REF1}$		3.0		3.6	V
$AV_{REF1}$ 電流 <sup>注2</sup>	$AI_{REF1}$	D/A変換動作時		1	2.5	mA
		D/A変換停止時			5	$\mu\text{A}$

注1. 量子化誤差 ( $\pm 0.5 \text{ LSB}$ ) は含みません。

2. D/Aコンバータ1チャンネル分の値

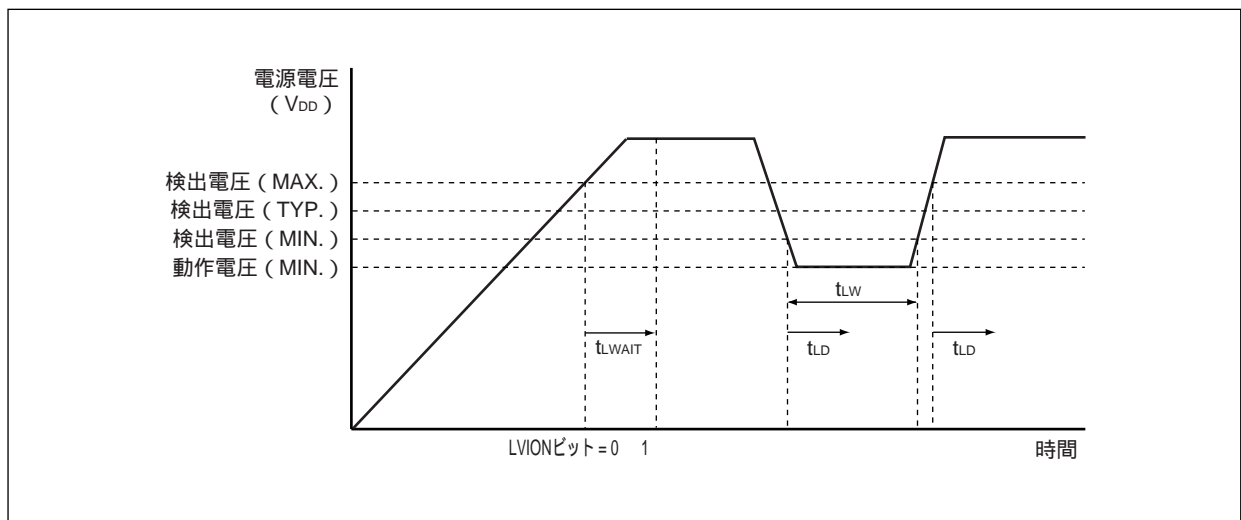
備考 Rは出力端子の負荷抵抗, Cは出力端子の負荷容量です。

## (14) LVI回路特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $BV_{DD} \quad V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電圧	$V_{LVIO}$		2.85	2.95	3.05	V
応答時間 <sup>注</sup>	$t_{LD}$	$V_{DD}$ が $V_{LVIO}$ (MAX.)に達したあと、または $V_{DD}$ が $V_{LVIO}$ (MAX.)まで下がったあと。		0.2	2.0	ms
最小パルス幅	$t_{LW}$		0.2			ms
基準電圧安定待ち時間	$t_{LWAIT}$	$V_{DD}$ が2.85 V (MIN.) に達したあと。		0.1	0.2	ms

注 検出電圧を検出して割り込みまたはリセット信号を出力するまでの時間です。

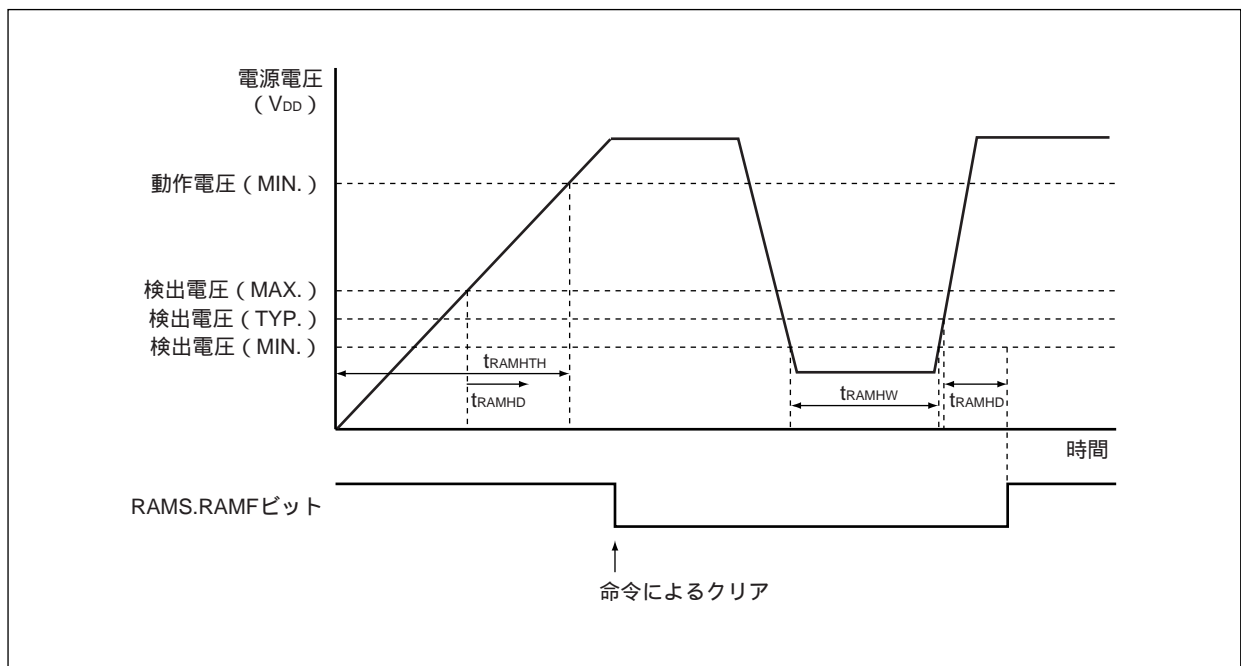


## (15) RAM保持検出

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	$V_{RAMH}$		1.9	2.0	2.1	V
電源電圧立ち上がり時間	$t_{RAMHTh}$	$V_{DD} = 0 \sim 2.85 \text{ V}$	0.002			ms
応答時間 <sup>注</sup>	$t_{RAMHD}$	$V_{DD}$ が2.1 Vに達したあと		0.2	3.0	ms
最小パルス幅	$t_{RAMHW}$		0.2			ms

注 検出電圧を検出してRAMS.RAMFビットを設定するまでの時間です。



## 35. 10 フラッシュ・メモリ・プログラミング特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

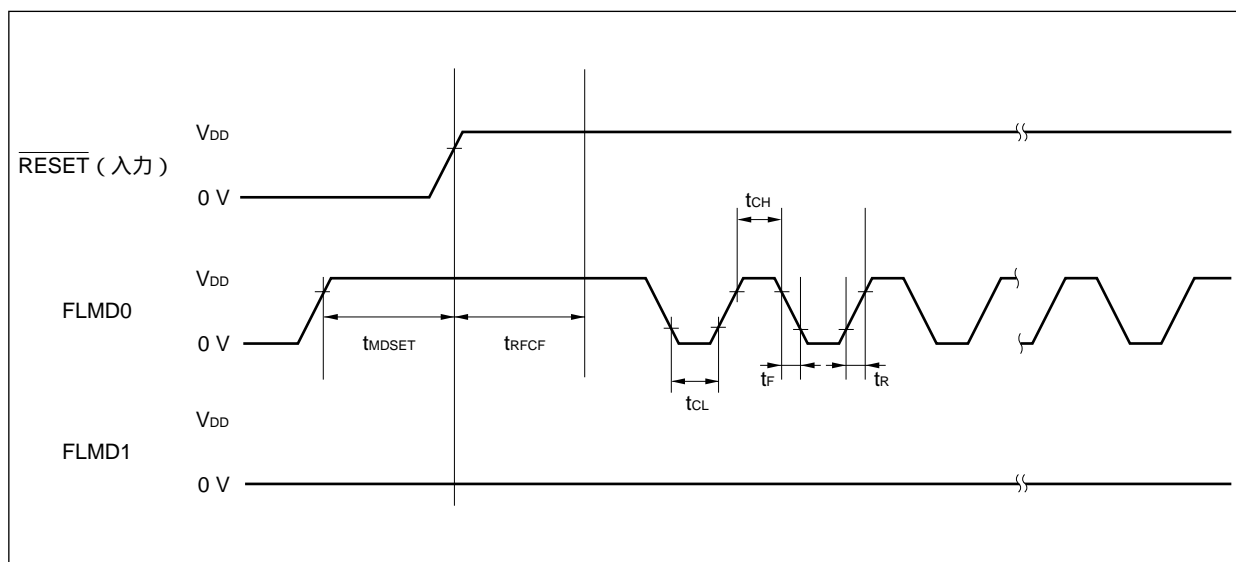
### (1) 基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	$f_{CPU}$		3.0		48	MHz
電源電圧	$V_{DD}$		2.85		3.6	V
書き換え回数	$C_{WRT}$				1000	回
プログラミング温度	$t_{PRG}$		-40		+85	

### (2) シリアル書き込みオペレーション特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0, FLMD1設定時間	$t_{MDSET}$		2		3000	ms
RESET FLMD0カウンタ開始時間	$t_{RFCF}$	$f_x = 3.0 \sim 10 \text{ MHz}$	800			$\mu\text{s}$
FLMD0カウンタ・ハイ・レベル幅 / ロウ・レベル幅	$t_{CH}/t_{CL}$		10		100	$\mu\text{s}$
FLMD0カウンタ立ち上がり時間 / 立ち下がり時間	$t_r/t_f$				1	$\mu\text{s}$

### フラッシュ書き込みモード設定タイミング



## (3) プログラミング特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
チップ消去時間		f <sub>xx</sub> = 48 MHz , 一括消去		90.6		ms
256バイトあたりの書き込み時間		f <sub>xx</sub> = 48 MHz		1.7		ms
ブロック内部ベリファイ時間		f <sub>xx</sub> = 48 MHz		10		ms
ブロック・ブランク・チェック時間		f <sub>xx</sub> = 48 MHz		0.5		ms
フラッシュ情報設定時間		f <sub>xx</sub> = 48 MHz		30		ms

注意 出荷品に対する初回書き込み時には、「消去 書き込み」の場合も「書き込みのみ」の場合も、書き換え回数は1回となります。

例 (P : 書き込み , E : 消去)

出荷品 --- P E P E P : 書き換え回数3回

出荷品 E P E P E P : 書き換え回数3回

備考 ブロック・サイズは4 Kバイトです。

## 第36章 電気的特性 ( (A9)品 )

### 36.1 絶対最大定格

( $T_A = 25$  ) (1/2)

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>	V <sub>DD</sub> = EV <sub>DD</sub> = AV <sub>REF0</sub> = AV <sub>REF1</sub>	- 0.5 ~ +4.6	V
	BV <sub>DD</sub>		- 0.5 ~ +4.6	V
	EV <sub>DD</sub>	V <sub>DD</sub> = EV <sub>DD</sub> = AV <sub>REF0</sub> = AV <sub>REF1</sub>	- 0.5 ~ +4.6	V
	AV <sub>REF0</sub>	V <sub>DD</sub> = EV <sub>DD</sub> = AV <sub>REF0</sub> = AV <sub>REF1</sub>	- 0.5 ~ +4.6	V
	AV <sub>REF1</sub>	V <sub>DD</sub> = EV <sub>DD</sub> = AV <sub>REF0</sub> = AV <sub>REF1</sub>	- 0.5 ~ +4.6	V
	V <sub>SS</sub>	V <sub>SS</sub> = EV <sub>SS</sub> = BV <sub>SS</sub> = AV <sub>SS</sub>	- 0.5 ~ +0.5	V
	AV <sub>SS</sub>	V <sub>SS</sub> = EV <sub>SS</sub> = BV <sub>SS</sub> = AV <sub>SS</sub>	- 0.5 ~ +0.5	V
	BV <sub>SS</sub>	V <sub>SS</sub> = EV <sub>SS</sub> = BV <sub>SS</sub> = AV <sub>SS</sub>	- 0.5 ~ +0.5	V
	EV <sub>SS</sub>	V <sub>SS</sub> = EV <sub>SS</sub> = BV <sub>SS</sub> = AV <sub>SS</sub>	- 0.5 ~ +0.5	V
入力電圧	V <sub>I1</sub>	RESET, FLMD0	- 0.5 ~ EV <sub>DD</sub> + 0.5 <sup>注1</sup>	V
	V <sub>I2</sub>	注3	- 0.5 ~ BV <sub>DD</sub> + 0.5 <sup>注1</sup>	V
	V <sub>I3</sub>	P10, P11	- 0.5 ~ AV <sub>REF1</sub> + 0.5 <sup>注1</sup>	V
	V <sub>I4</sub>	X1, X2	- 0.5 ~ V <sub>RO</sub> <sup>注2</sup> + 0.5 <sup>注1</sup>	V
	V <sub>I5</sub>	注4	- 0.5 ~ +6.0	V
	V <sub>I6</sub>	XT1, XT2	- 0.5 ~ V <sub>DD</sub> + 0.5 <sup>注1</sup>	V
アナログ入力電圧	V <sub>IAN</sub>	P70-P715	- 0.5 ~ AV <sub>REF0</sub> + 0.5 <sup>注1</sup>	V

注1. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

- 内蔵レギュレータ出力電圧 (2.5 V (TYP.))
- V850E/SJ3-H : PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15, PDH0-PDH7  
V850E/SK3-H : P130-P133, P140-P145, PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7,  
PDL0-PDL15, PDH0-PDH7
- V850E/SJ3-H : P00-P06, P30-P39, P40-P42, P50-P55, P60-P615, P80, P81, P90-P915  
V850E/SK3-H : P00-P06, P20, P21, P30-P312, P40-P45, P50-P57, P60-P615, P80-P85, P90-P915,  
P150-P153



(TA = 25 ) (2/2)

項目	略号	条件	定格	単位			
ロウ・レベル出力電流	I <sub>OL</sub>	注1	1端子	4	mA		
			全端子合計	50	mA		
		注2	1端子	4	mA		
			全端子合計	50	mA		
		P10, P11	1端子	4	mA		
			全端子合計	8	mA		
		P70-P715	1端子	4	mA		
			全端子合計	20	mA		
		ハイ・レベル出力電流	I <sub>OH</sub>	注1	1端子	- 4	mA
					全端子合計	- 50	mA
注2	1端子			- 4	mA		
	全端子合計			- 50	mA		
P10, P11	1端子			- 4	mA		
	全端子合計			- 8	mA		
P70-P715	1端子			- 4	mA		
	全端子合計			- 20	mA		
動作周囲温度	T <sub>A</sub>				- 40 ~ + 105		
保存温度	T <sub>stg</sub>				- 40 ~ + 125		

- 注1. V850E/SJ3-H : P00-P06, P30-P39, P40-P42, P50-P55, P60-P615, P80, P81, P90-P915  
V850E/SK3-H : P00-P06, P20, P21, P30-P312, P40-P45, P50-P57, P60-P615, P80-P85, P90-P915,  
P150-P153
2. V850E/SJ3-H : PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15, PDH0-PDH7  
V850E/SK3-H : P130-P133, P140-P145, PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7,  
PDL0-PDL15, PDH0-PDH7

- 注意1. IC製品の出力（または入出力）端子同士を直結したり、V<sub>DD</sub>またはV<sub>CC</sub>やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。
- DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 特に指定のないかぎり兼用端子の特性は、ポート端子以外の機能として使用しても同じです。

## 36.2 容 量

( $T_A = 25\text{ }^\circ\text{C}$ ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$ )

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入出力容量	$C_{io}$	$f_x = 1\text{ MHz}$ 被測定ピン以外は0 V			10	pF

## 36.3 動作条件

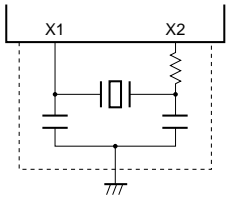
( $T_A = -40 \sim +105$ ,  $BV_{DD}$   $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$ )

内部システム・クロック周波数	条 件	電源電圧				単 位
		$V_{DD}$	$EV_{DD}$	$BV_{DD}$	$AV_{REF0}$ , $AV_{REF1}$	
$f_{xx} = 3.0 \sim 32\text{ MHz}$	$C = 4.7\text{ }\mu\text{F}$ , A/Dコンバータ停止, D/Aコンバータ停止	2.85 ~ 3.6	2.85 ~ 3.6	2.7 ~ 3.6	2.85 ~ 3.6	V
	$C = 4.7\text{ }\mu\text{F}$ , A/Dコンバータ動作, D/Aコンバータ動作	3.0 ~ 3.6	3.0 ~ 3.6	2.7 ~ 3.6	3.0 ~ 3.6	V
$f_{XT} = 32.768\text{ kHz}$	$C = 4.7\text{ }\mu\text{F}$ , A/Dコンバータ停止, D/Aコンバータ停止	2.85 ~ 3.6	2.85 ~ 3.6	2.7 ~ 3.6	2.85 ~ 3.6	V

## 36.4 発振回路特性

### 36.4.1 メイン・クロック発振回路特性

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ )

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子 / 水 晶振動子		発振周波数 (fx) <sup>注1</sup>		3.0		10	MHz
		発振安定時間 <sup>注2</sup>	リセット解除後		$2^{16}/fx$		s
			STOPモード解除後	$1^{\text{注4}}$	注3		ms
			IDLE2モード解除後	$350^{\text{注4}}$	注3		$\mu\text{s}$

注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。

2. 発振を開始してから発振子が安定するまでの時間です。
3. OSTSレジスタの設定によって値が異なります。
4. フラッシュ・メモリのセットアップに必要な時間です。OSTSレジスタによって確実にセットアップ時間を確保してください。

注意1. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
  - ・他の信号線と交差させない。
  - ・変化する大電流が流れる線に接近させない。
  - ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位になるようにする。
  - ・大電流が流れるグランド・パターンに接地しない。
  - ・発振回路から信号を取り出さない。
2. メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。
  3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

(i) 京セラキンセキ株式会社：水晶振動子 ( $T_A = -40 \sim +85$ )

メーカー (品名)	回路例	発振周波数 $f_x$ (kHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	Rd (k $\Omega$ )	MIN. (V)	MAX. (V)
京セラキンセキ株式会社 ・CX-5FD (負荷容量: 8 pF) ・CX-49G (負荷容量: 8 pF) ・HC-49/U-S (負荷容量: 8 pF) その他の振動子型名については、振動子メーカーにお問い合わせください。		4000	8	8	-	2.85	3.6
		5000	8	8	-	2.85	3.6
		8000	8	8	-	2.85	3.6
		10000	8	8	-	2.85	3.6
		3145.72	8	8	-	2.85	3.6
		4718.592	8	8	-	2.85	3.6
		6291.456	8	8	-	2.85	3.6

**注意** 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

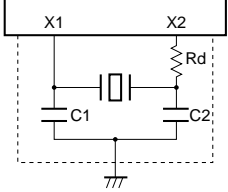
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850E/SJ3-H, V850E/SK3-Hの内部動作条件についてはAC, DC特性の規格内で使用してください。

**備考** お問い合わせ先

京セラ株式会社電子部品 <http://www.kyocera.co.jp/prdct/electro/index.html>

発振子回路マッチング検索 <http://www3.kyocera.co.jp/electro/app/ja/searchTopShow.do>

(ii) 株式会社富山村田製作所：セラミック発振子 ( $T_A = -40 \sim +125$ )

メーカー	回路例	発振 周波数 $f_x$ (MHz)	品 名	推奨回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (k $\Omega$ )	MIN. (V)	MAX. (V)
富山村田製 作所		3.000	CSTCC3M00G56A-R0	内蔵 (47)	内蔵 (47)	1	2.7	3.6
		4.000	CSTCR4M00G55B-R0	内蔵 (39)	内蔵 (39)	0.33	2.7	3.6
		5.000	CSTCR5M00G55B-R0	内蔵 (39)	内蔵 (39)	0	2.7	3.6
		6.000	CSTCR6M00G55B-R0	内蔵 (39)	内蔵 (39)	0	2.7	3.6
		8.000	CSTCE8M00G55A-R0	内蔵 (33)	内蔵 (33)	0	2.7	3.6
		10.000	CSTCE10M0G55A-R0	内蔵 (33)	内蔵 (33)	0	2.7	3.6

**注意** 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。  
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850E/SJ3-H, V850E/SK3-Hの内部動作条件についてはAC, DC特性の規格内で使用してください。

**備考** お問い合わせ先：

株式会社富山村田製作所

第1圧電商品部 第1圧電技術4課

TEL：076-429-1995

E-mail：piezo@murata.co.jp

発振子検索：http://search.murata.co.jp/Ceramy/ICsearchAction.do?sLang=ja

## 36.4.2 サブクロック発振回路特性

(TA = -40 ~ +105 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V)

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f <sub>XT</sub> ) <sup>注1</sup>		32	32.768	35	kHz
		発振安定時間 <sup>注2</sup>				10	s

注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。

2. V<sub>DD</sub>が発振電圧範囲 (2.85 V (MIN.)) に達してから水晶振動子が安定するまでの時間です。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV<sub>SS</sub>と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. サブクロック発振回路は、低消費電力にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。
3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

## 36. 4. 3 PLL特性

(TA = -40 ~ +105 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
入力周波数	fx	クロック・モード1, CKC.CKDIV0ビット = 0	注1	3.0		5	MHz
			注2	6.0		10	MHz
		クロック・モード1, CKC.CKDIV0ビット = 1	注1	3.0		4	MHz
			注2	6.0		8	MHz
出力周波数	fxx	クロック・モード1, CKC.CKDIV0ビット = 0	注1	12		20	MHz
			注2	12		20	MHz
		クロック・モード1, CKC.CKDIV0ビット = 1	注1	24		32	MHz
			注2	24		32	MHz
ロック時間	tPLL	VDDが2.85 V (MIN.) に達したあと			800	μs	

注1. オプション・バイト0000007BHのPLLI0ビット = 0

2. オプション・バイト0000007BHのPLLI0ビット = 1

備考 クロック・モード1については、第6章 クロック発生機能を参照してください。

## 36. 4. 4 SSCG特性

(TA = -40 ~ +105 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
入力周波数	fx	クロック・モード3のSSCG出力(8通倍), CKC.CKDIV0ビット = 1	注1	3.66		4	MHz
			注2	7.32		8	MHz
出力周波数	fxx	クロック・モード3のSSCG出力(8通倍), CKC.CKDIV0ビット = 1, SFC0レジスタ = 2AH	注1	29.28		32	MHz
			注2	29.28		32	MHz
ロック時間	tSSCG	VDDが2.85 V (MIN.) に達したあと			1000	μs	

注1. オプション・バイト0000007BHのPLLI0ビット = 0

2. オプション・バイト0000007BHのPLLI0ビット = 1

備考 クロック・モード3のSSCG出力(8通倍)については、第6章 クロック発生機能を参照してください。

## 36. 4. 5 内蔵発振器特性

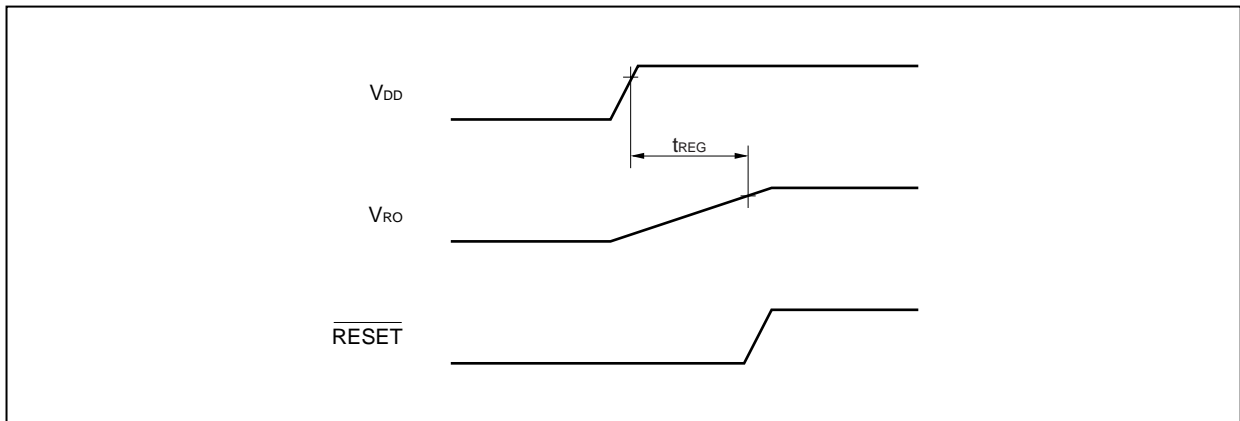
(TA = -40 ~ +105 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数	fr		100	220	400	kHz

## 36.5 レギュレータ特性

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	$V_{DD}$	$f_{XX} = 32 \text{ MHz (MAX.)}$	2.85		3.6	V
出力電圧	$V_{RO}$		2.3	2.5	2.7	V
レギュレータ出力安定時間	$t_{REG}$	$V_{DD}$ が2.85 V (MIN.) に達したあと REGC端子に安定化容量 $C = 4.7 \mu\text{F}$ を接続時			1	ms





## 36.6 DC特性

### 36.6.1 入出力レベル

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $BV_{DD}$   $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	$V_{IH1}$	RESET, FLMD0	0.8 $EV_{DD}$		$EV_{DD}$	V
	$V_{IH2}$	注1	0.8 $EV_{DD}$		5.5	V
	$V_{IH3}$	注2	0.7 $EV_{DD}$		5.5	V
	$V_{IH4}$	PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDH0-PDH7, PDL0-PDL15	0.7 $BV_{DD}$		$BV_{DD}$	V
	$V_{IH5}$	注3	0.8 $BV_{DD}$		$BV_{DD}$	V
	$V_{IH6}$	P70-P715	0.7 $AV_{REF0}$		$AV_{REF0}$	V
	$V_{IH7}$	P10, P11	0.7 $AV_{REF1}$		$AV_{REF1}$	V
ロウ・レベル入力電圧	$V_{IL1}$	RESET, FLMD0	$EV_{SS}$		0.2 $EV_{DD}$	V
	$V_{IL2}$	注1	$EV_{SS}$		0.2 $EV_{DD}$	V
	$V_{IL3}$	注2	$EV_{SS}$		0.3 $EV_{DD}$	V
	$V_{IL4}$	PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDH0-PDH7, PDL0-PDL15	$BV_{SS}$		0.3 $BV_{DD}$	V
	$V_{IL5}$	注3	$BV_{SS}$		0.2 $BV_{DD}$	V
	$V_{IL6}$	P70-P715	$AV_{SS}$		0.3 $AV_{REF0}$	V
	$V_{IL7}$	P10, P11	$AV_{SS}$		0.3 $AV_{REF1}$	V
ハイ・レベル入力リーク電流	$I_{LIH}$	P70-P715	$V_i = V_{DD} = EV_{DD} = BV_{DD}$ $= AV_{REF0} = AV_{REF1}$		2	$\mu\text{A}$
		上記以外			5	$\mu\text{A}$
ロウ・レベル入力リーク電流	$I_{LIL}$	P70-P715	$V_i = 0 \text{ V}$		-2	$\mu\text{A}$
		上記以外			-5	$\mu\text{A}$
ハイ・レベル出力リーク電流	$I_{LOH}$	P70-P715	$V_o = V_{DD} = EV_{DD} =$ $BV_{DD} = AV_{REF0} = AV_{REF1}$		2	$\mu\text{A}$
		上記以外			5	$\mu\text{A}$
ロウ・レベル出力リーク電流	$I_{LOL}$	P70-P715	$V_o = 0 \text{ V}$		-2	$\mu\text{A}$
		上記以外			-5	$\mu\text{A}$

- 注1. V850E/SJ3-H : P02-P06, P30-P37, P42, P50-P55, P60-P66, P69-P613, P80, P81, P92-P915  
V850E/SK3-H : P02-P06, P30-P37, P310-P312, P42-P45, P50-P57, P60-P66, P69-P613, P80, P81, P84, P85,  
P92-P915, P150-P153
2. V850E/SJ3-H : P00, P01, P38, P39, P40, P41, P67, P68, P614, P615, P90, P91  
V850E/SK3-H : P00, P01, P20, P21, P38, P39, P40, P41, P67, P68, P614, P615, P82, P83, P90, P91
3. V850E/SJ3-H : PCD0-PCD3  
V850E/SK3-H : P130-P133, P140-P145, PCD0-PCD3

備考 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

(TA = -40 ~ +105 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	VOH1	注1	1端子	端子合計	EVDD -		EVDD	V
			I <sub>OH</sub> = -1.0 mA	-20 mA	1.0			
	VOH2	注2	1端子	端子合計	EVDD -		EVDD	V
			I <sub>OH</sub> = -100 μA	-6.0 mA	0.5			
	VOH3	P70-P715	1端子	端子合計	BVDD -		BVDD	V
			I <sub>OH</sub> = -1.0 mA	-20 mA	1.0			
	VOH4	P10, P11	1端子	端子合計	BVDD -		BVDD	V
			I <sub>OH</sub> = -100 μA	-5.0 mA	0.5			
ロウ・レベル出力電圧	VOL1	注3	1端子	端子合計	AVREF0 -		AVREF0	V
			I <sub>OL</sub> = 1.0 mA	20 mA	1.0			
	VOL2	注4	1端子	端子合計	AVREF0 -		AVREF0	V
			I <sub>OL</sub> = 3.0 mA	-0.2 mA	0.5			
VOL3	注5	1端子	端子合計	AVREF1 -		AVREF1	V	
		I <sub>OL</sub> = 1.0 mA	20 mA	1.0				
VOL4	P10, P11, P70-P715	1端子	端子合計	AVREF1 -		AVREF1	V	
ソフトウェア・ブルダ ウン抵抗	R1	P05	Vi = VDD		10	20	100	kΩ

注1. V850E/SJ3-H : P00-P06, P30-P39, P40-P42, P50-P55, P60-P615, P80, P81, P90-P915

V850E/SK3-H : P00-P06, P20, P21, P30-P312, P40-P45, P50-P57, P60-P615, P80-P85, P90-P915, P150-P153

2. V850E/SJ3-H : PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15, PDH0-PDH7

V850E/SK3-H : P130-P133, P140-P145, PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7,

PDL0-PDL15, PDH0-PDH7

3. V850E/SJ3-H : P00-P06, P30-P37, P42, P50-P55, P60-P615, P80, P81, P92-P915

V850E/SK3-H : P02-P06, P30-P37, P310-P312, P42-P45, P50-P57, P60-P66, P69-P613, P80, P81, P84, P85,

P92-P915, P150-P153

4. V850E/SJ3-H : P38, P39, P40, P41, P90, P91

V850E/SK3-H : P00, P01, P20, P21, P38, P39, P40, P41, P67, P68, P614, P615, P82, P83, P90, P91

5. V850E/SJ3-H : PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15, PDH0-PDH7

V850E/SK3-H : P130-P133, P140-P145, PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7,

PDL0-PDL15, PDH0-PDH7

備考1. 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

2. I<sub>OH</sub>, I<sub>OL</sub>の条件を1端子のみ満たさず合計値は条件を満たしている場合、DC特性も満たさなくなるのは、その端子のみです。

## 36. 6. 2 電源電流

(  $T_A = -40 \sim +105 \text{ }^\circ\text{C}$  ,  $BV_{DD}$   $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$  ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$  )

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
電源電流 <sup>注</sup>	I <sub>DD1</sub>	通常動作 f <sub>xx</sub> = 32 MHz ( クロック・モード3 のSSCG出力 (8週倍) , SFC0レジスタ = 2AH ) 周辺機能動作		53	68	mA	
	I <sub>DD2</sub>	HALTモード f <sub>xx</sub> = 32 MHz ( クロック・モード3 のSSCG出力 (8週倍) , SFC0レジスタ = 2AH ) 周辺機能動作		34	47	mA	
	I <sub>DD3</sub>	IDLE1モード f <sub>xx</sub> = 5 MHz ( f <sub>x</sub> = 5 MHz ) , PLL オフ時		1.45	3.4	mA	
	I <sub>DD4</sub>	IDLE2モード f <sub>xx</sub> = 5 MHz ( f <sub>x</sub> = 5 MHz ) , PLL オフ時		0.4	1.1	mA	
	I <sub>DD5</sub>	サブクロック 動作モード f <sub>XT</sub> = 32.768 kHz , メイン・クロック , 内蔵発振器停止		110	1000	μA	
	I <sub>DD6</sub>	サブIDLEモード f <sub>XT</sub> = 32.768 kHz , メイン・クロック , 内蔵発振器停止		12	380	μA	
	I <sub>DD7</sub>	STOPモード	サブクロック停止 , 内蔵発振器 停止		9	360	μA
			サブクロック動作 , 内蔵発振器 停止		12	370	μA
サブクロック停止 , 内蔵発振器 動作				14	370	μA	
I <sub>DD8</sub>	フラッシュ・メ モリ・プログラ ミング・モード f <sub>xx</sub> = 32 MHz ( f <sub>x</sub> = 4 MHz )		53	68	mA		

注 V<sub>DD</sub>, EV<sub>DD</sub>, BV<sub>DD</sub>電流の合計です。出力バッファ, A/Dコンバータ, D/Aコンバータ, 内蔵プルダウン抵抗で流れる電流は含みません。

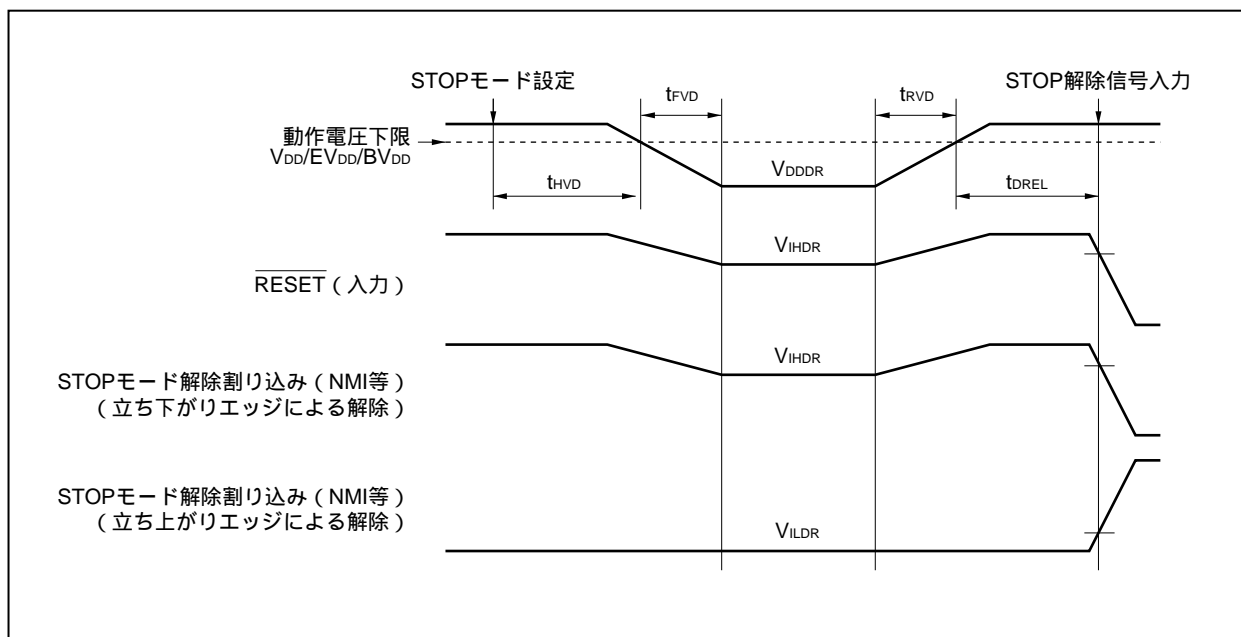
## 36.7 データ保持特性

### (1) STOPモード時

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $BV_{DD}$   $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ )

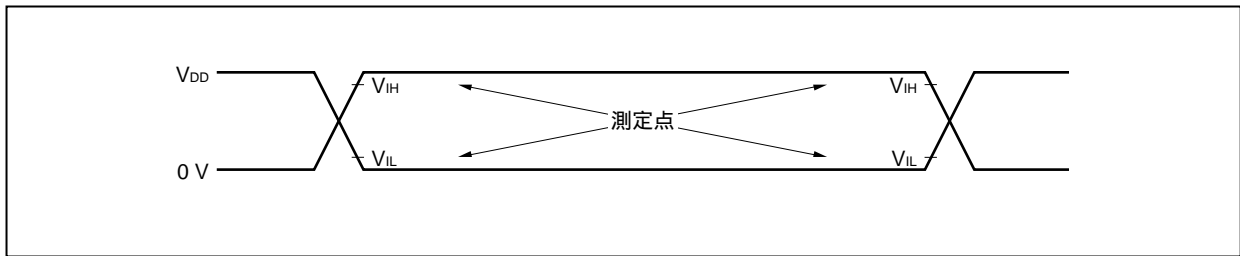
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	$V_{DDDR}$	STOPモード (全機能停止)	1.9		3.6	V
データ保持電流	$I_{DDDR}$	STOPモード (全機能停止), $V_{DDDR} = 2.0 \text{ V}$		9	360	$\mu\text{A}$
電源電圧立ち上がり時間	$t_{RVD}$		200			$\mu\text{s}$
電源電圧立ち下がり時間	$t_{FVD}$		200			$\mu\text{s}$
電源電圧保持時間	$t_{HVD}$	STOPモード設定後	0			ms
STOP解除信号入力時間	$t_{DREL}$	$V_{DD}$ が2.85 V (MIN.) に達したあと	0			ms
データ保持ハイ・レベル入力電圧	$V_{IHDR}$	$V_{DD} = EV_{DD} = BV_{DD} = V_{DDDR}$	$0.9V_{DDDR}$		$V_{DDDR}$	V
データ保持ロウ・レベル入力電圧	$V_{ILDR}$	$V_{DD} = EV_{DD} = BV_{DD} = V_{DDDR}$	0		$0.1V_{DDDR}$	V

**注意** STOPモードへの移行, およびSTOPモードからの復帰は, 動作範囲内で行ってください。

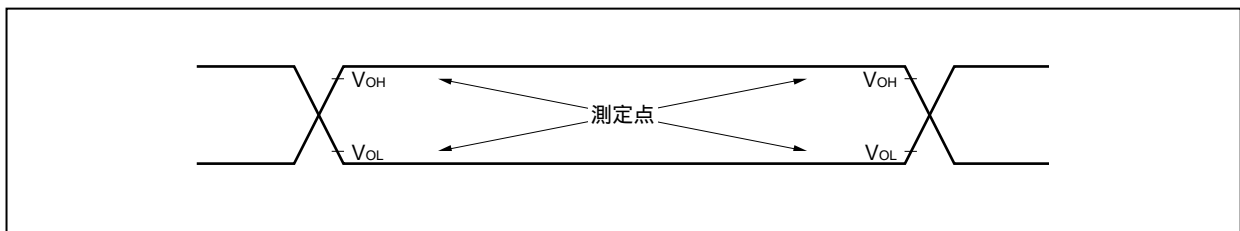


## 36.8 AC特性

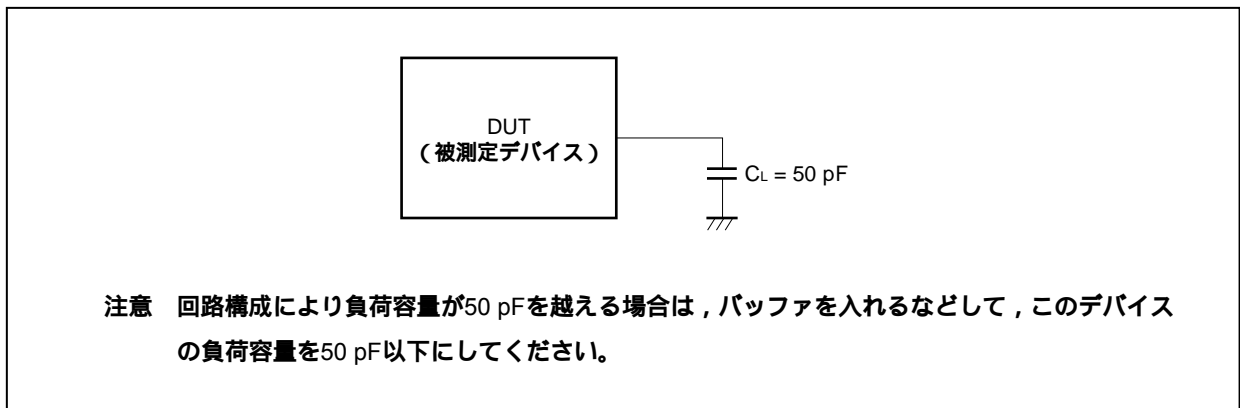
### (1) ACテスト入力測定点 (V<sub>DD</sub>, AVREF0, AVREF1, EVDD, BVDD)



### (2) ACテスト出力測定点



### (3) 負荷条件

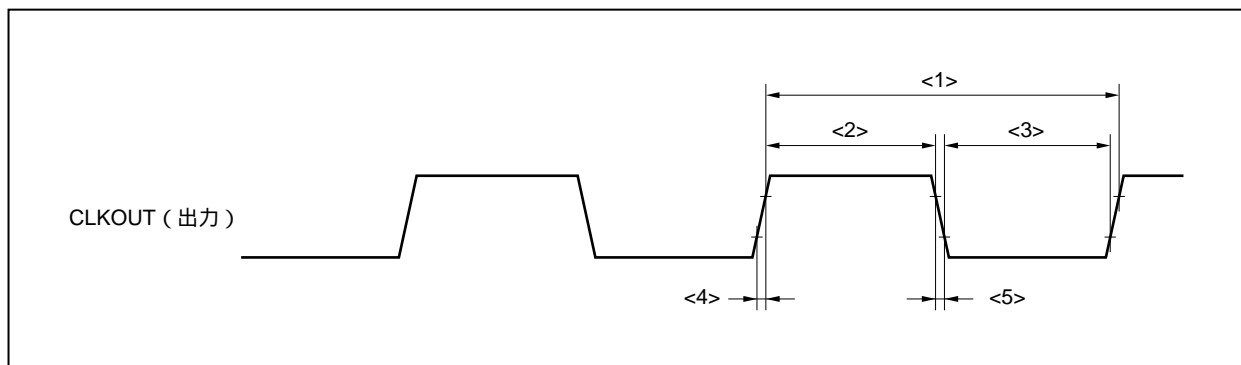


## 36. 8. 1 CLKOUT出力タイミング

(TA = -40 ~ +105 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t <sub>cyk</sub>	<1>	31.25 ns	31.25 μs	
ハイ・レベル幅	t <sub>wKH</sub>	<2>	t <sub>cyk</sub> /2 - 6		ns
ロウ・レベル幅	t <sub>wKL</sub>	<3>	t <sub>cyk</sub> /2 - 6		ns
立ち上がり時間	t <sub>KR</sub>	<4>		6	ns
立ち下がり時間	t <sub>KF</sub>	<5>		6	ns

## クロック・タイミング



## 36. 8. 2 バス・タイミング

## (1) マルチプレクス・バス・モード時

注意  $f_{CPU} > 20$  MHzで動作させる場合、必ずアドレス・ホールド・ウエイトとアドレス・セットアップ・ウエイトを挿入してください。

## (a) リード/ライト・サイクル (CLKOUT非同期)

( $T_A = -40 \sim +105$  ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対ASTB)	$t_{SAST}$	<6>	$(0.5 + t_{ASW}) T - 20$		ns
アドレス保持時間 (対ASTB)	$t_{HSTA}$	<7>	$(0.5 + t_{AHW}) T - 15$		ns
$\overline{RD}$ アドレス・フロート遅延時間	$t_{FRDA}$	<8>		16	ns
アドレス データ入力設定時間	$t_{SAID}$	<9>		$(2 + n + t_{ASW} + t_{AHW}) T - 35$	ns
$\overline{RD}$ データ入力設定時間	$t_{SRID}$	<10>		$(1 + n) T - 25$	ns
ASTB $\overline{RD}$ , $\overline{WRm}$ 遅延時間	$t_{DSTRDWR}$	<11>	$(0.5 + t_{AHW}) T - 15$		ns
データ入力保持時間 (対 $\overline{RD}$ )	$t_{HRDID}$	<12>	0		ns
$\overline{RD}$ アドレス出力時間	$t_{DRDA}$	<13>	$(1 + i) T - 15$		ns
$\overline{RD}$ , $\overline{WRm}$ ASTB 遅延時間	$t_{DRDWRST}$	<14>	$0.5T - 15$		ns
$\overline{RD}$ ASTB 遅延時間	$t_{DRDST}$	<15>	$(1.5 + i + t_{ASW}) T - 15$		ns
$\overline{RD}$ , $\overline{WRm}$ 口ウ・レベル幅	$t_{WRDWRL}$	<16>	$(1 + n) T - 15$		ns
ASTB ハイ・レベル幅	$t_{WSTH}$	<17>	$(1 + i + t_{ASW}) T - 15$		ns
$\overline{WRm}$ データ出力時間	$t_{DWROD}$	<18>		15	ns
データ出力設定時間 (対 $\overline{WRm}$ )	$t_{SODWR}$	<19>	$(1 + n) T - 20$		ns
データ出力保持時間 (対 $\overline{WRm}$ )	$t_{HWROD}$	<20>	$T - 15$		ns
WAIT設定時間 (対アドレス)	$t_{SAWT1}$	<21>	n 1	$(1.5 + t_{ASW} + t_{AHW}) T - 35$	ns
	$t_{SAWT2}$	<22>		$1.5 + n + t_{ASW} + t_{AHW}) T - 35$	ns
WAIT保持時間 (対アドレス)	$t_{HAWT1}$	<23>	n 1	$(0.5 + n + t_{ASW} + t_{AHW}) T$	ns
	$t_{HAWT2}$	<24>		$(1.5 + n + t_{ASW} + t_{AHW}) T$	ns
WAIT設定時間 (対ASTB)	$t_{SSTWT1}$	<25>	n 1	$(1 + t_{AHW}) T - 25$	ns
	$t_{SSTWT2}$	<26>		$(1 + n + t_{AHW}) T - 25$	ns
WAIT保持時間 (対ASTB)	$t_{HSTWT1}$	<27>	n 1	$(n + t_{AHW}) T$	ns
	$t_{HSTWT2}$	<28>		$(1 + n + t_{AHW}) T$	ns

備考1.  $t_{ASW}$  : アドレス・セットアップ・ウエイト・クロック数

$t_{AHW}$  : アドレス・ホールド・ウエイト・クロック数

2.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPU動作クロック周波数)

3. n : バス・サイクルに挿入されるウエイト・クロック数

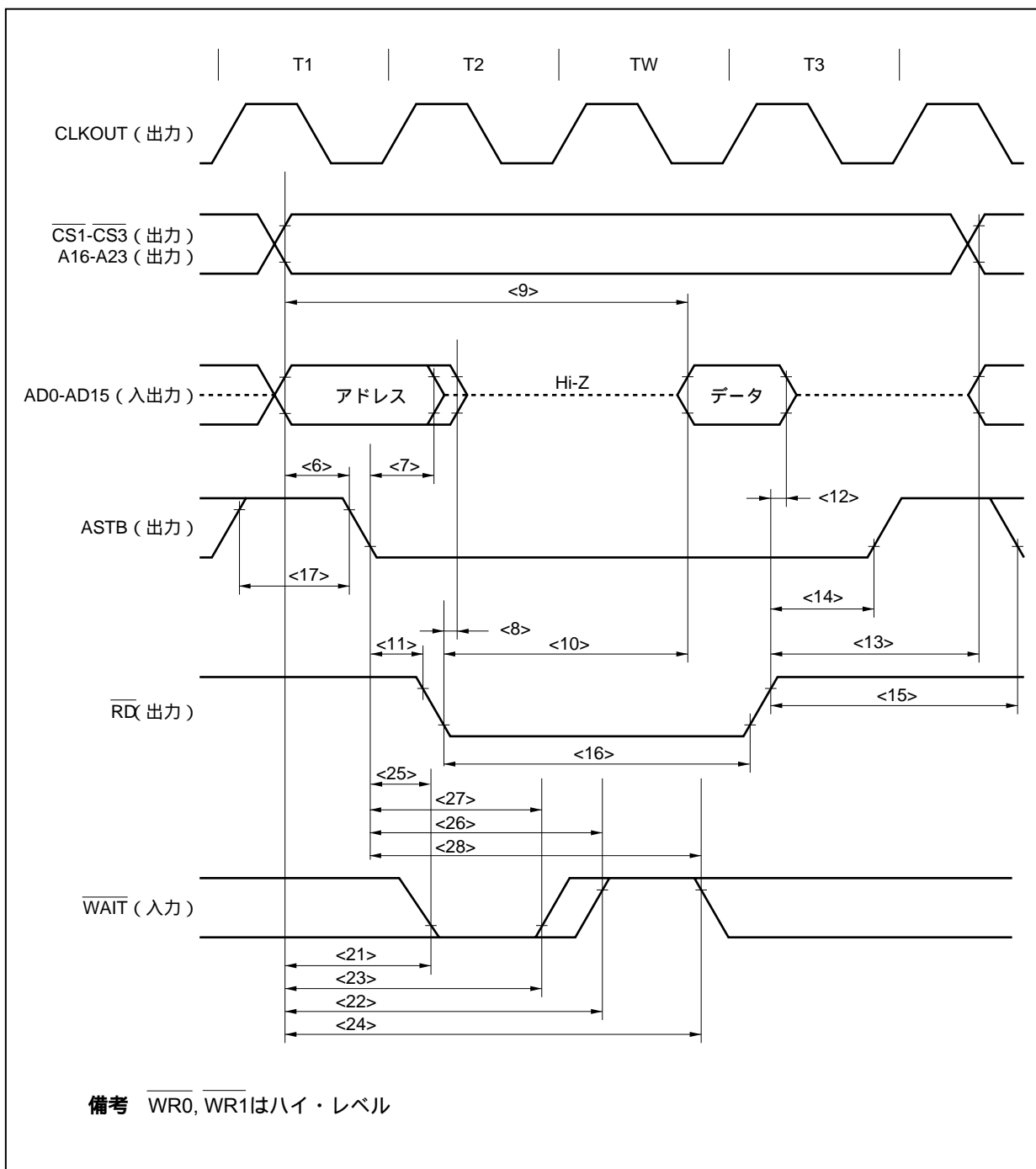
プログラマブル・ウエイト挿入時は、サンプル・タイミングが変わります。

4.  $m = 0, 1$

5. i : リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

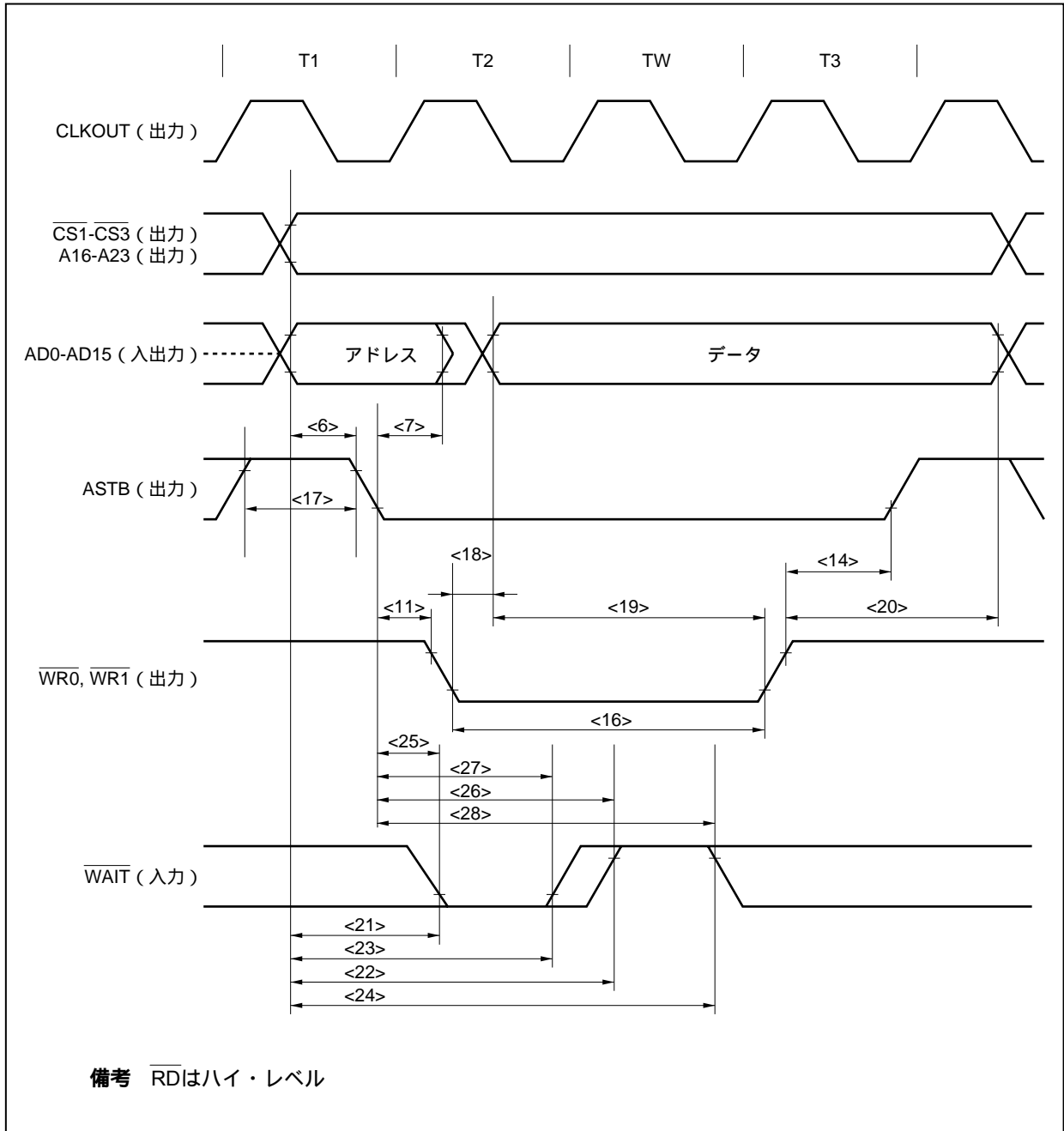
6. 上記スペックは、X1からデューティ比1 : 1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT非同期) : マルチプレクス・バス・モード時





ライト・サイクル (CLKOUT非同期) : マルチプレクス・バス・モード時



## (b) リード/ライト・サイクル (CLKOUT同期) : マルチプレクス・バス・モード時

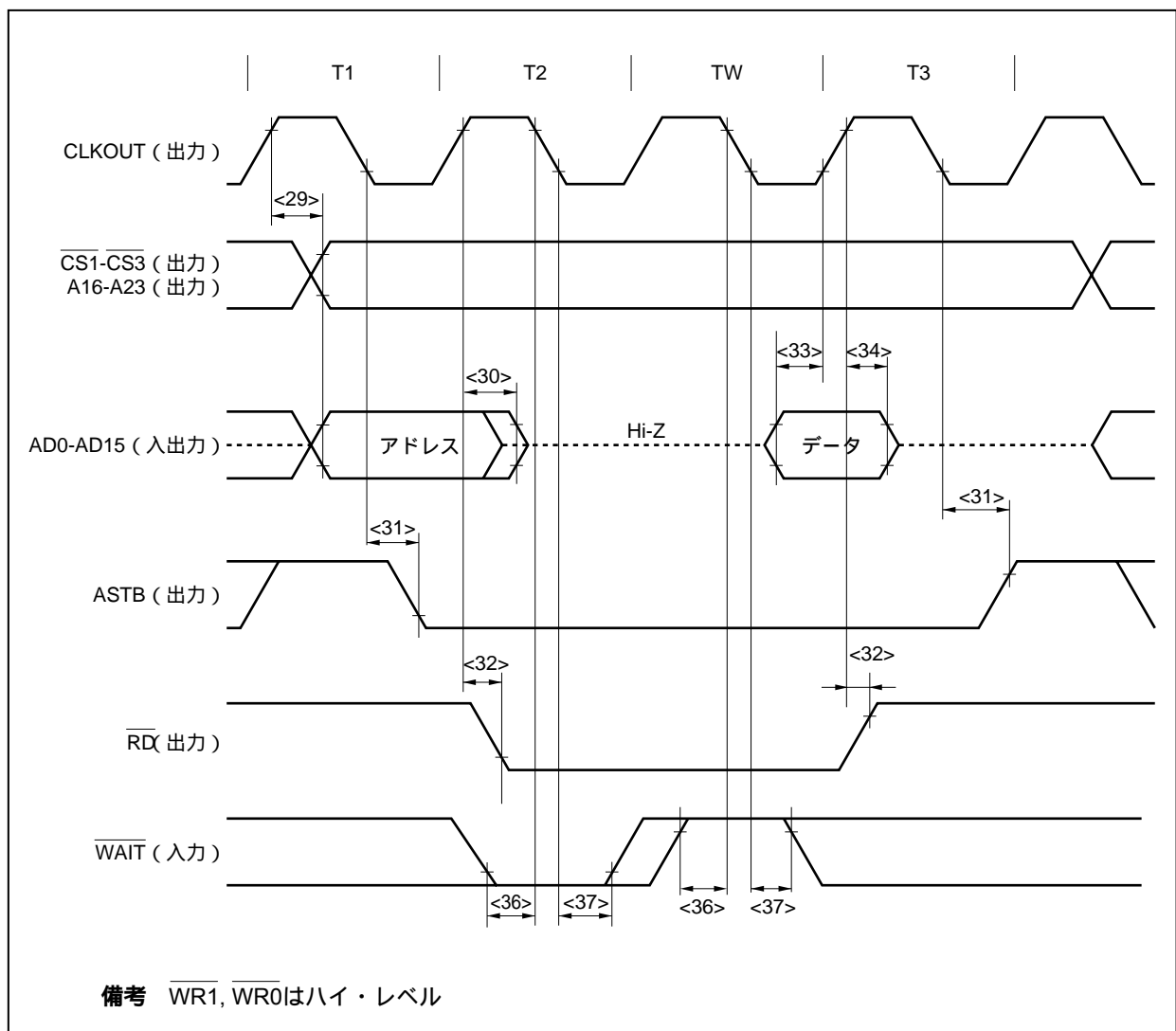
(TA = -40 ~ +105 , BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t <sub>DKA</sub>	<29>	0	25	ns
CLKOUT アドレス・フロート遅延時間	t <sub>FKA</sub>	<30>	0	19	ns
CLKOUT ASTB遅延時間	t <sub>DKST</sub>	<31>	-12	7	ns
CLKOUT $\overline{RD}$ , $\overline{WR}$ m遅延時間	t <sub>DKRDWR</sub>	<32>	-5	14	ns
データ入力設定時間 (対CLKOUT)	t <sub>SIDK</sub>	<33>	15		ns
データ入力保持時間 (対CLKOUT)	t <sub>HKID</sub>	<34>	5		ns
CLKOUT データ出力遅延時間	t <sub>DKOD</sub>	<35>		19	ns
$\overline{WAIT}$ 設定時間 (対CLKOUT)	t <sub>SWTK</sub>	<36>	20		ns
$\overline{WAIT}$ 保持時間 (対CLKOUT)	t <sub>HKWT</sub>	<37>	5		ns

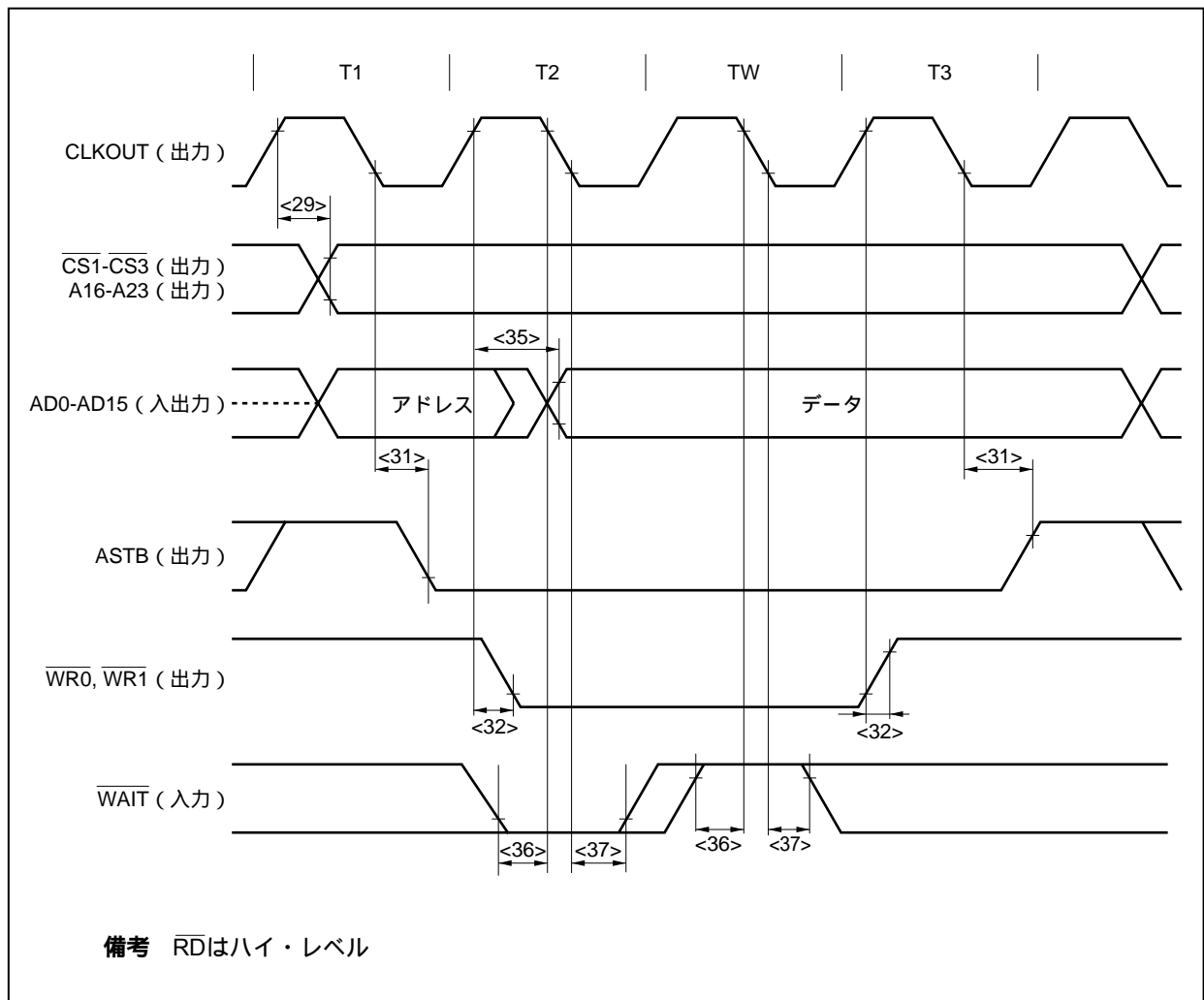
備考1. m = 0, 1

2. 上記スペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

## リード・サイクル (CLKOUT同期) : マルチプレクス・バス・モード時



ライト・サイクル (CLKOUT同期) : マルチプレクス・バス・モード時



## (2) セパレート・バス・モード時

注意1.  $f_{CPU} > 20$  MHzで動作させる場合、必ずアドレス・ホールド・ウエイトとアドレス・セットアップ・ウエイトを挿入してください。

2.  $f_{CPU} > 20$  MHzで動作させる場合、必ずデータ・ウエイトを1つ以上挿入してください。

## (a) リード・サイクル (CLKOUT非同期) : セパレート・バス・モード時

( $T_A = -40 \sim +105$  ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対 $\overline{RD}$ )	$t_{SARD}$	<38>	$(0.5 + t_{ASW}) T - 27$		ns
アドレス保持時間 (対 $\overline{RD}$ )	$t_{HARD}$	<39>	$iT - 3.5^{\text{注}}$		ns
$\overline{RD}$ ロウ・レベル幅	$t_{WRDL}$	<40>	$(1.5 + n + t_{AHW}) T - 10$		ns
データ設定時間 (対 $\overline{RD}$ )	$t_{SISD}$	<41>	23		ns
データ保持時間 (対 $\overline{RD}$ )	$t_{HISD}$	<42>	- 3.5		ns
データ設定時間 (対アドレス)	$t_{SAID}$	<43>		$(2 + n + t_{ASW} + t_{AHW}) T - 40$	ns
WAIT設定時間 (対 $\overline{RD}$ )	$t_{SRDWT1}$	<44>		$(0.5 + t_{AHW}) T - 27$	ns
	$t_{SRDWT2}$	<45>		$(0.5 + n + t_{AHW}) T - 27$	ns
WAIT保持時間 (対 $\overline{RD}$ )	$t_{HRDWT1}$	<46>	$(n - 0.5 + t_{AHW}) T$		ns
	$t_{HRDWT2}$	<47>	$(n + 0.5 + t_{AHW}) T$		ns
WAIT設定時間 (対アドレス)	$t_{SAWT1}$	<48>		$(1 + t_{ASW} + t_{AHW}) T - 45$	ns
	$t_{SAWT2}$	<49>		$(1 + n + t_{ASW} + t_{AHW}) T - 45$	ns
WAIT保持時間 (対アドレス)	$t_{HAWT1}$	<50>	$(n + t_{ASW} + t_{AHW}) T$		ns
	$t_{HAWT2}$	<51>	$(1 + n + t_{ASW} + t_{AHW}) T$		ns

注  $\overline{RD}$ 端子のロウ・レベル期間中にアドレスが変更される場合があります。アドレスの変更を回避する必要がある場合には、必ずアイドル・ウエイトを挿入してください。

備考1.  $t_{ASW}$  : アドレス・セットアップ・ウエイト・クロック数

$t_{AHW}$  : アドレス・ホールド・ウエイト・クロック数

2.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPU動作クロック周波数)

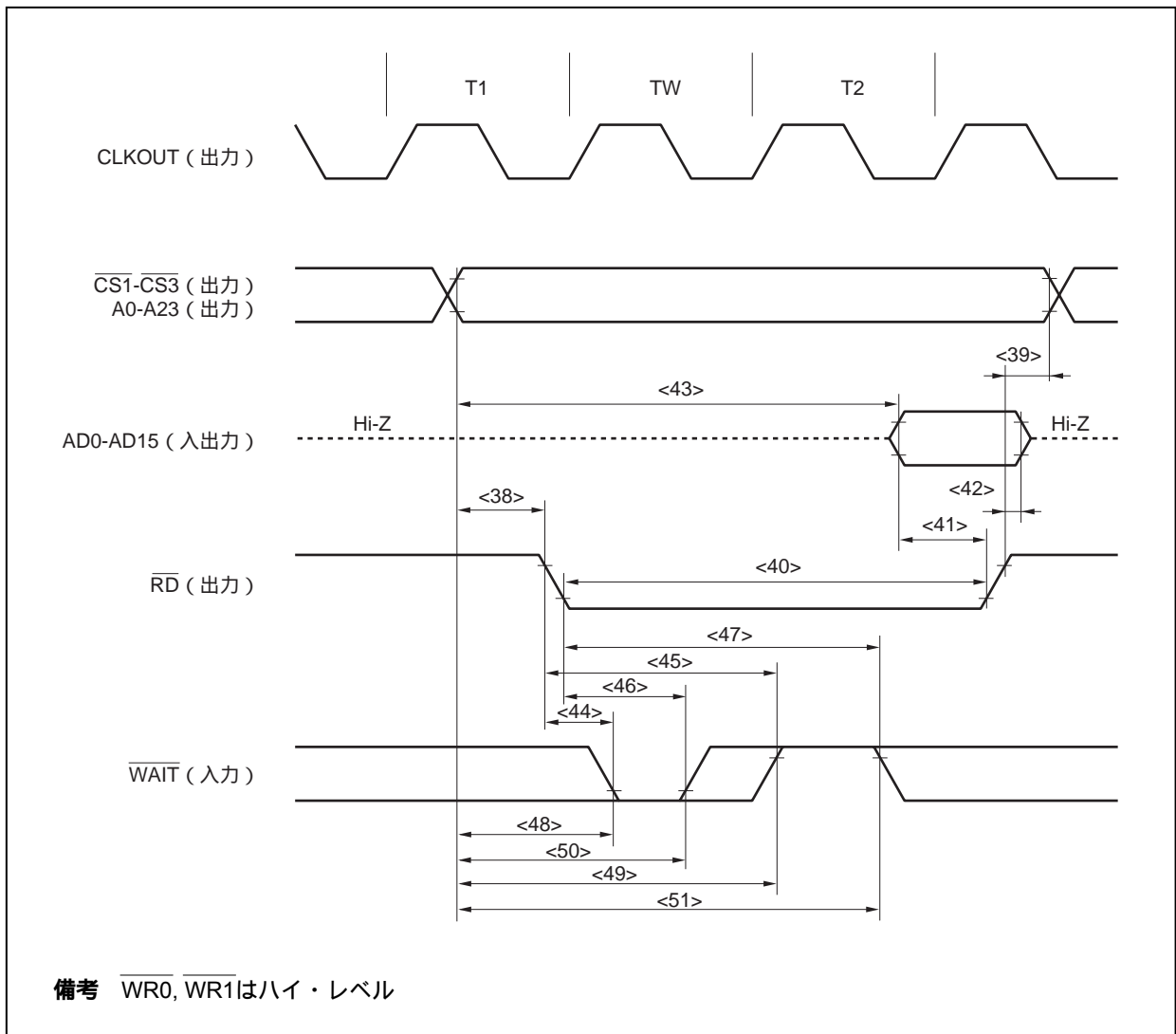
3.  $n$  : バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。

4.  $i$  : リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

5. 上記のスペックは、X1からデューティ比1 : 1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT非同期) : セパレート・バス・モード時



## (b) ライト・サイクル (CLKOUT非同期) : セパレート・バス・モード時

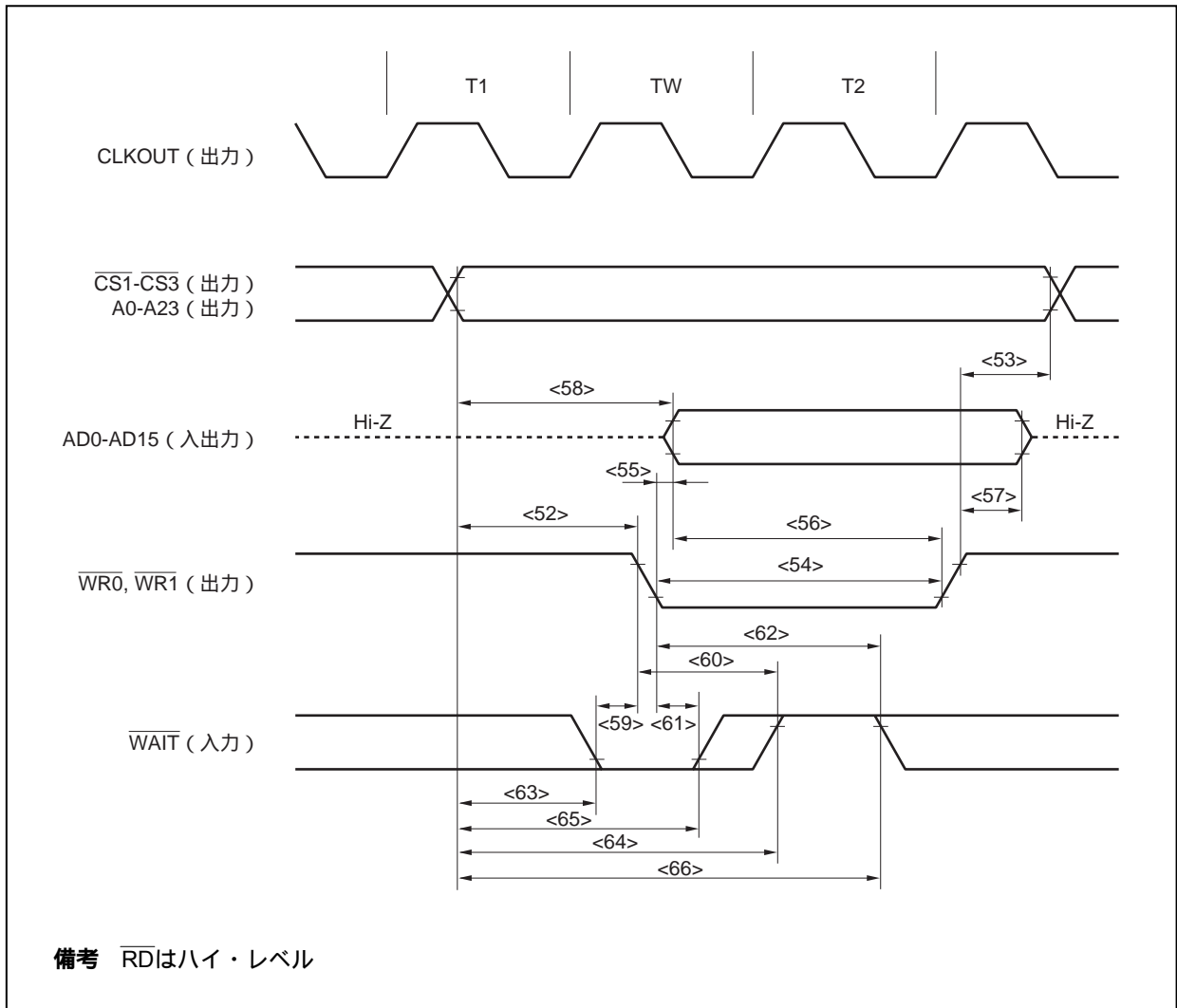
(TA = -40 ~ +105 , BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対WRm)	tSAWR	<52>	(1 + tASW + tAHW) T - 27		ns
アドレス保持時間 (対WRm)	tHAWR	<53>	0.5T - 6		ns
WRm口ウ・レベル幅	tWRL	<54>	(0.5 + n) T - 10		ns
WRm データ出力時間	tDOSDW	<55>	- 5		ns
データ設定時間 (対WRm)	tsOSDW	<56>	(0.5 + n) T - 20		ns
データ保持時間 (対WRm)	tHOSDW	<57>	0.5T - 7		ns
データ設定時間 (対アドレス)	tSAOD	<58>	(1 + tASW + tAHW) T - 25		ns
WAIT設定時間 (対WRm)	tSWRWT1	<59>	25		ns
	tSWRWT2	<60>		nT - 25	ns
WAIT保持時間 (対WRm)	tHWRWT1	<61>	0		ns
	tHWRWT2	<62>	nT		ns
WAIT設定時間 (対アドレス)	tSAWT1	<63>		(1 + tASW + tAHW) T - 45	ns
	tSAWT2	<64>		(1 + n + tASW + tAHW) T - 45	ns
WAIT保持時間 (対アドレス)	tHAWT1	<65>	(n + tASW + tAHW) T		ns
	tHAWT2	<66>	(1 + n + tASW + tAHW) T		ns

備考1. m = 0, 1

- tASW : アドレス・セットアップ・ウエイト・クロック数  
tAHW : アドレス・ホールド・ウエイト・クロック数
- T = 1/fCPU (fCPU : CPU動作クロック周波数)
- n : バス・サイクルに挿入されるウエイト・クロック数  
プログラマブル・ウエイト挿入時は, サンプルング・タイミングが変わります。
- 上記のスペックは, X1からデューティ比1 : 1のクロックを入力した場合の値です。

ライト・サイクル (CLKOUT非同期) : セパレート・バス・モード時



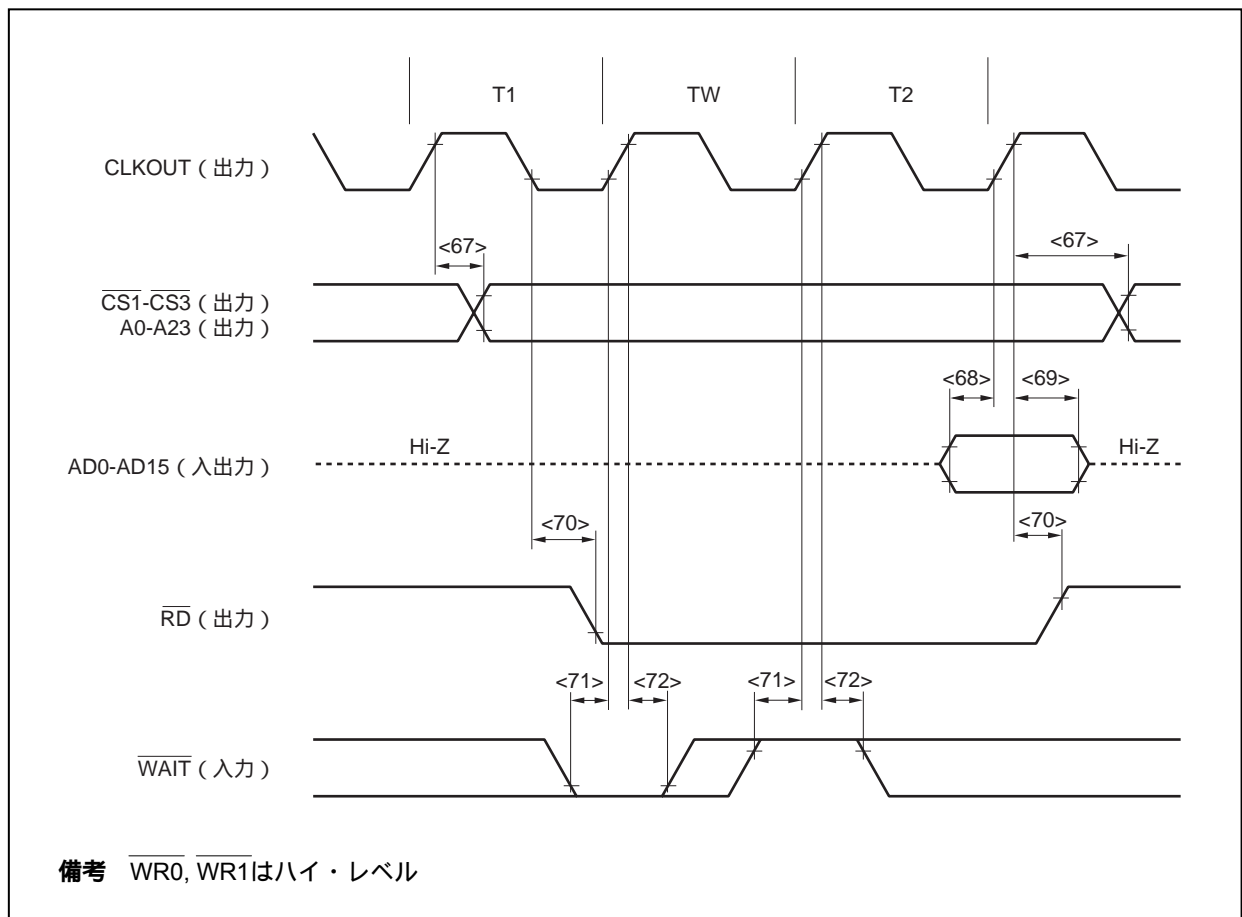
(c) リード・サイクル (CLKOUT同期) : セパレート・バス・モード時

( $T_A = -40 \sim +105$  ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$ ,  $C_L = 50 pF$ )

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス, CS遅延時間	$t_{DKSA}$	<67>	0	27	ns
データ入力設定時間 (対CLKOUT)	$t_{SISDK}$	<68>	20		ns
データ入力保持時間 (対CLKOUT)	$t_{HKISD}$	<69>	0		ns
CLKOUT RD遅延時間	$t_{DKSR}$	<70>	- 2	12	ns
WAIT設定時間 (対CLKOUT)	$t_{SWTK}$	<71>	20		ns
WAIT保持時間 (対CLKOUT)	$t_{HKWT}$	<72>	0		ns

備考 上記のスペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT同期, 1ウエイト) : セパレート・バス・モード時





## (d) ライト・サイクル (CLKOUT同期) : セパレート・バス・モード時

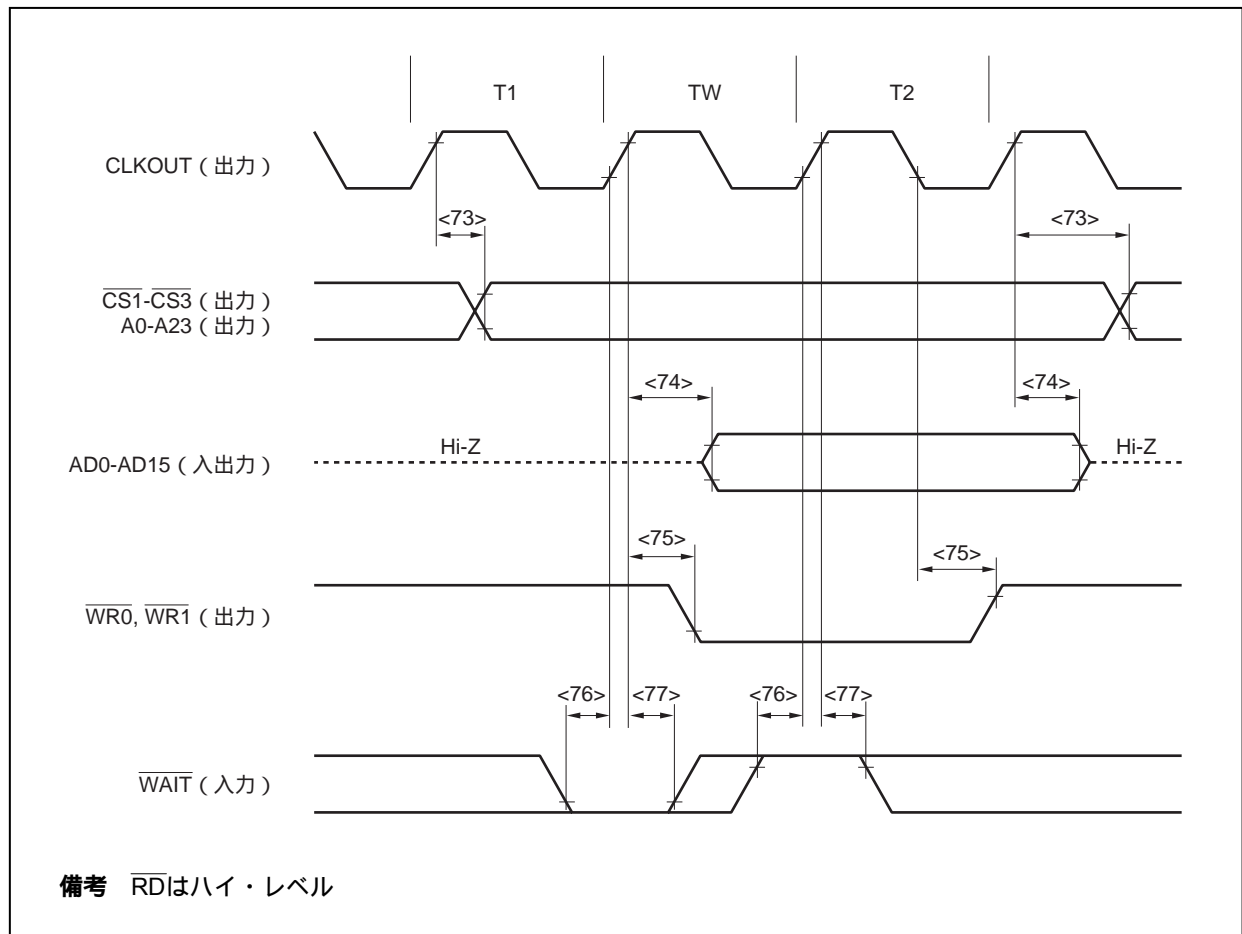
(TA = -40 ~ +105 , BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス, CS遅延時間	tDKSA	<73>	0	27	ns
CLKOUT データ出力遅延時間	tDKSD	<74>	0	18	ns
CLKOUT $\overline{WRm}$ 遅延時間	tDKSW	<75>	-2	12	ns
$\overline{WAIT}$ 設定時間 (対CLKOUT)	tSWTK	<76>	20		ns
$\overline{WAIT}$ 保持時間 (対CLKOUT)	tHKWT	<77>	0		ns

備考1. m = 0, 1

2. 上記のスペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

## ライト・サイクル (CLKOUT同期) : セパレート・バス・モード時



## (3) バス・ホールド時

## (a) CLKOUT非同期

( $T_A = -40 \sim +105$  ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
$\overline{HLDRQ}$ ハイ・レベル幅	$t_{WHQH}$	<78>	$T + 10$		ns
$\overline{HLDAK}$ ロウ・レベル幅	$t_{WHAL}$	<79>	$T - 15$		ns
$\overline{HLDAK}$ バス出力遅延時間	$t_{DHAC}$	<80>	- 3		ns
$\overline{HLDRQ}$ $\overline{HLDAK}$ 遅延時間	$t_{DHQHA1}$	<81>		$(2n + 7.5) T + 26$	ns
$\overline{HLDRQ}$ $\overline{HLDAK}$ 遅延時間	$t_{DHQHA2}$	<82>	$0.5T$	$1.5T + 26$	ns

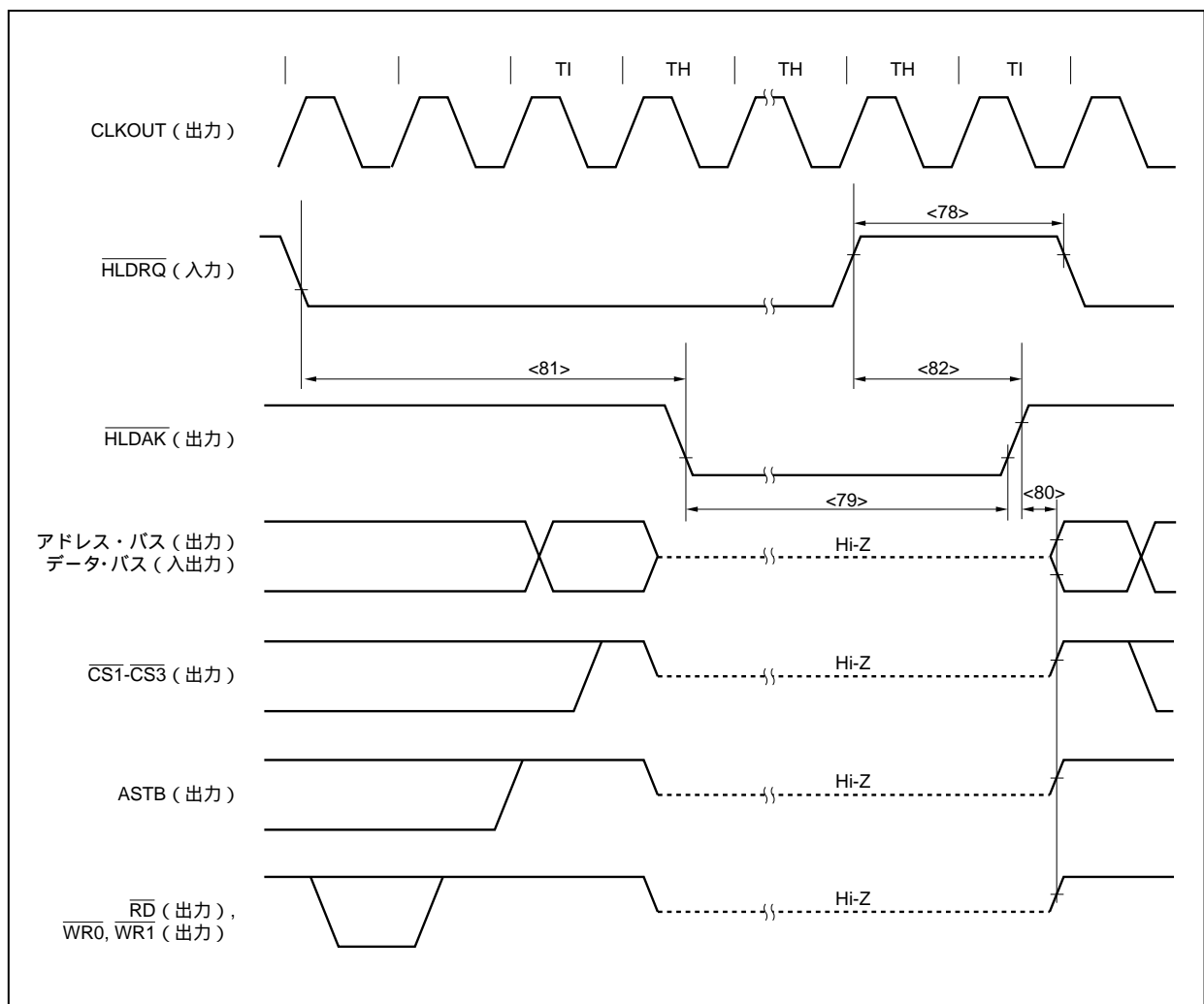
備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$ : CPU動作クロック周波数)

2. n: バス・サイクルに挿入されるウェイト・クロック数

プログラブル・ウェイト挿入時は, サンプル・タイミングが変わります。

3. 上記のスペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

## バス・ホールド (CLKOUT非同期)



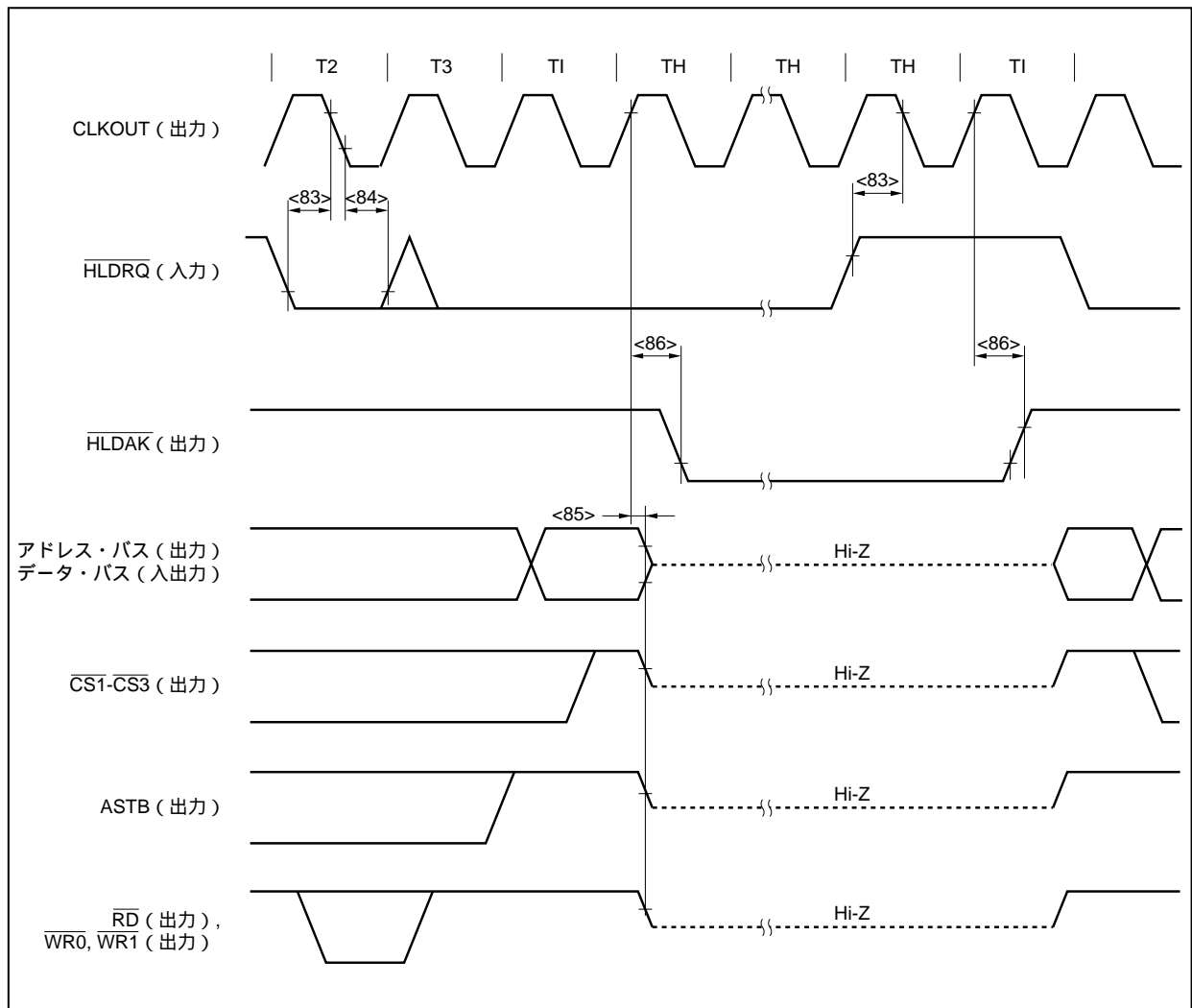
(b) CLKOUT同期

( $T_A = -40 \sim +105$  ,  $BV_{DD} \ V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
HLD $\overline{RQ}$ 設定時間 (対CLKOUT)	$t_{SHQK}$	<83>	20		ns
HLD $\overline{RQ}$ 保持時間 (対CLKOUT)	$t_{HKHQ}$	<84>	5		ns
CLKOUT バス・フロート遅延時間	$t_{DKF}$	<85>		19	ns
CLKOUT HLD $\overline{AK}$ 遅延時間	$t_{DKHA}$	<86>		19	ns

備考 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

バス・ホールド (CLKOUT同期)



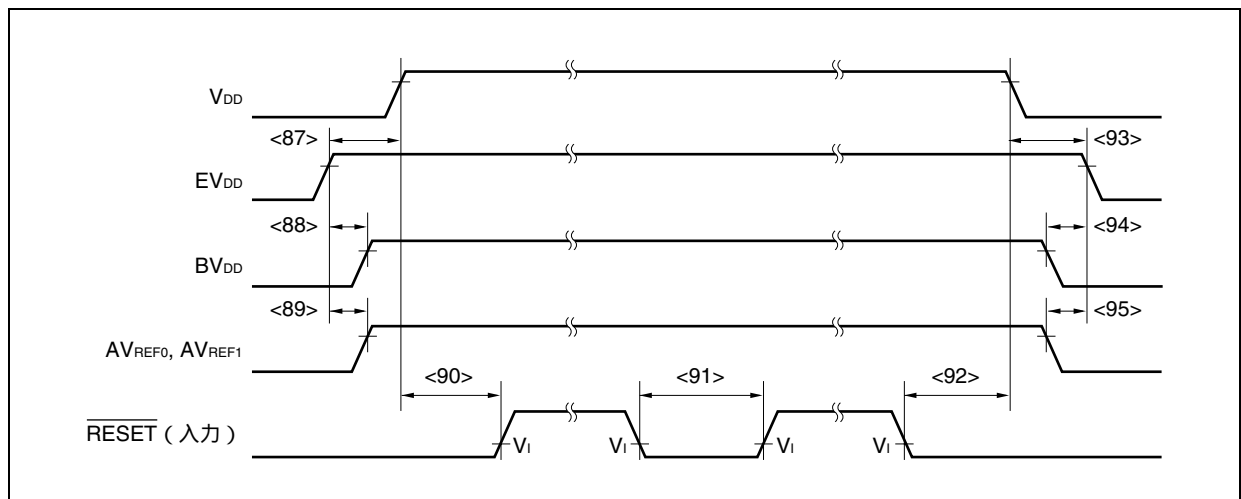
## 36.9 基本動作

### (1) パワー・オン/パワー・オフ/リセット・タイミング

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
$\overline{EV_{DD}}$ $V_{DD}$	$t_{REL}$ <87>		0		ns
$\overline{EV_{DD}}$ $BV_{DD}$	$t_{REB}$ <88>		0	$t_{REL}$	ns
$\overline{EV_{DD}}$ $AV_{REF0}, AV_{REF1}$	$t_{REA}$ <89>		0	$t_{REL}$	ns
$V_{DD}$ $\overline{RESET}$	$t_{RER}$ <90>		$500 + t_{REG}$ 注		ns
$\overline{RESET}$ 口ウ・レベル幅	$t_{WRSL}$ <91>	アナログ・ノイズ除去 (フラッシュ 消去 / 書き込み間)	500		ns
		アナログ・ノイズ除去	500		ns
$\overline{RESET}$ $V_{DD}$	$t_{FRE}$ <92>		500		ns
$V_{DD}$ $\overline{EV_{DD}}$	$t_{FEL}$ <93>		0		ns
$BV_{DD}$ $\overline{EV_{DD}}$	$t_{FEB}$ <94>		0	$t_{FEL}$	ns
$AV_{REF0}, AV_{REF1}$ $\overline{EV_{DD}}$	$t_{FEA}$ <95>		0	$t_{FEL}$	ns

注 内蔵レギュレータの特性に依存します。



## (2) 割り込み, FLMD0端子タイミング

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $BV_{DD}$   $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	$t_{WNIH}$	アナログ・ノイズ除去	500		ns
NMIロウ・レベル幅	$t_{WNIL}$	アナログ・ノイズ除去	500		ns
INTPn <sup>注</sup> ハイ・レベル幅	$t_{WITH}$	n = 0-9 (アナログ・ノイズ除去)	500		ns
		n = 3 (デジタル・ノイズ除去)	$3T_{SMP} + 20$		ns
INTPn <sup>注</sup> ロウ・レベル幅	$t_{WITL}$	n = 0-9 (アナログ・ノイズ除去)	500		ns
		n = 3 (デジタル・ノイズ除去)	$3T_{SMP} + 20$		ns
FLMD0ハイ・レベル幅	$t_{WMDH}$		500		ns
FLMD0ロウ・レベル幅	$t_{WMDL}$		500		ns

注 DRST端子は, INTP2端子と同じ特性です。

備考  $T_{SMP}$ : ノイズ除去サンプリング・クロック周期 (NFCレジスタで設定)

## (3) キー・リターン・タイミング

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $BV_{DD}$   $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
KRnハイ・レベル幅	$t_{WKRH}$	アナログ・ノイズ除去	500		ns
KRnロウ・レベル幅	$t_{WKRL}$	アナログ・ノイズ除去	500		ns

備考 n = 0-7

## (4) タイマ・タイミング

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $BV_{DD}$   $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
TInハイ・レベル幅	$t_{TIHn}$	n = P00, P01, P10, P11, P20, P21,	2T + 20		ns
TInロウ・レベル幅	$t_{TILn}$	P30, P31, P40, P41, P50, P51, P60, P61, P70, P71, P80, P81, Q00-Q03	2T + 20		ns
TENCm0/TENCm1 ハイ・レベル幅	$t_{TENCHm}$	m = 7, 8, サンプリング回数3回	$3T_{SMP} + 20$		ns
		m = 7, 8, サンプリング回数2回	$2T_{SMP} + 20$		ns
TENCm0/TENCm1 ロウ・レベル幅	$t_{TENCLm}$	m = 7, 8, サンプリング回数3回	$3T_{SMP} + 20$		ns
		m = 7, 8, サンプリング回数2回	$2T_{SMP} + 20$		ns
TECRmハイ・レベル幅	$t_{TECRHm}$	m = 7, 8, サンプリング回数3回	$3T_{SMP} + 20$		ns
		m = 7, 8, サンプリング回数2回	$2T_{SMP} + 20$		ns
TECRmロウ・レベル幅	$t_{TECRLm}$	m = 7, 8, サンプリング回数3回	$3T_{SMP} + 20$		ns
		m = 7, 8, サンプリング回数2回	$2T_{SMP} + 20$		ns

備考1.  $T = 1/f_{XP}$  ( $f_{XP}$ : 周辺クロック周波数 (プリスケラ1入力クロック周波数))

2.  $T_{SMP}$ : ノイズ除去サンプリング・クロック周期 (ENaNFCレジスタで設定)

## (5) UARTA タイミング

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
送信レート				625	kbps
ASCK0 サイクル・タイム				10	MHz

## (6) UARTB タイミング

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
送信レート				1.5	Mbps

## (7) CSIBタイミング

## (a) マスタ・モード

(TA = -40 ~ +105 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t <sub>KCY1</sub>	<96>	125		ns
SCKBnハイ/ロウ・レベル幅	t <sub>KH1</sub> t <sub>KL1</sub>	<97>	t <sub>KCY1</sub> /2 - 8		ns
SIBnセットアップ時間 (対SCKBn)	t <sub>SIK1</sub>	<98>	27		ns
SIBnホールド時間 (対SCKBn)	t <sub>KS1</sub>	<99>	27		ns
SCKBn SOBn出力遅延時間	t <sub>KSO1</sub>	<100>		27	ns

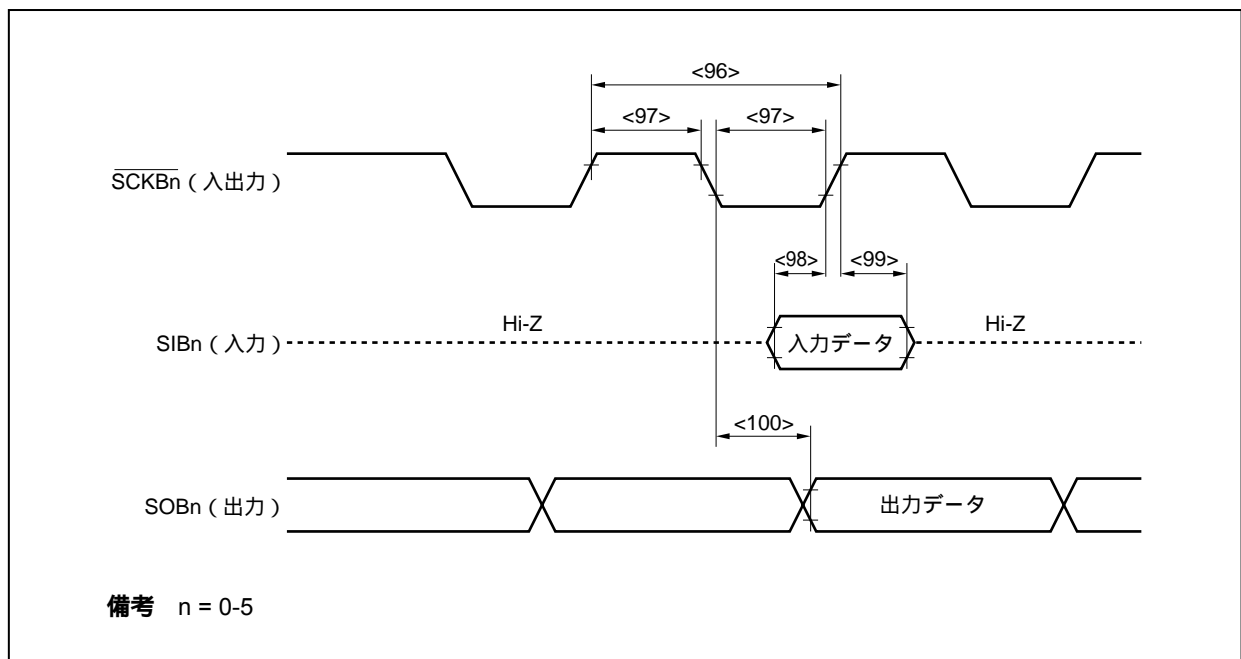
備考 n = 0-5

## (b) スレーブ・モード

(TA = -40 ~ +105 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t <sub>KCY2</sub>	<96>	125		ns
SCKBnハイ/ロウ・レベル幅	t <sub>KH2</sub> t <sub>KL2</sub>	<97>	54.5		ns
SIBnセットアップ時間 (対SCKBn)	t <sub>SIK2</sub>	<98>	27		ns
SIBnホールド時間 (対SCKBn)	t <sub>KS2</sub>	<99>	27		ns
SCKBn SOBn出力遅延時間	t <sub>KSO2</sub>	<100>		27	ns

備考 n = 0-5



## (8) CSIEタイミング

(μ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外)

## (a) マスタ・モード

(TA = -40 ~ +105 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKEn サイクル・タイム	t <sub>KCY1</sub>	<101>	125		ns
SCKEn ハイ / ロウ・レベル幅	t <sub>KH1</sub> , t <sub>KL1</sub>	<102>	t <sub>KCY1</sub> /2 - 8		ns
SIEn セットアップ時間 (対 SCKEn)	t <sub>SIK1</sub>	<103>	27		ns
SIEn ホールド時間 (対 SCKEn)	t <sub>KS1</sub>	<104>	27		ns
SCKEn SOEn 出力遅延時間	t <sub>KSO1</sub>	<105>		27	ns

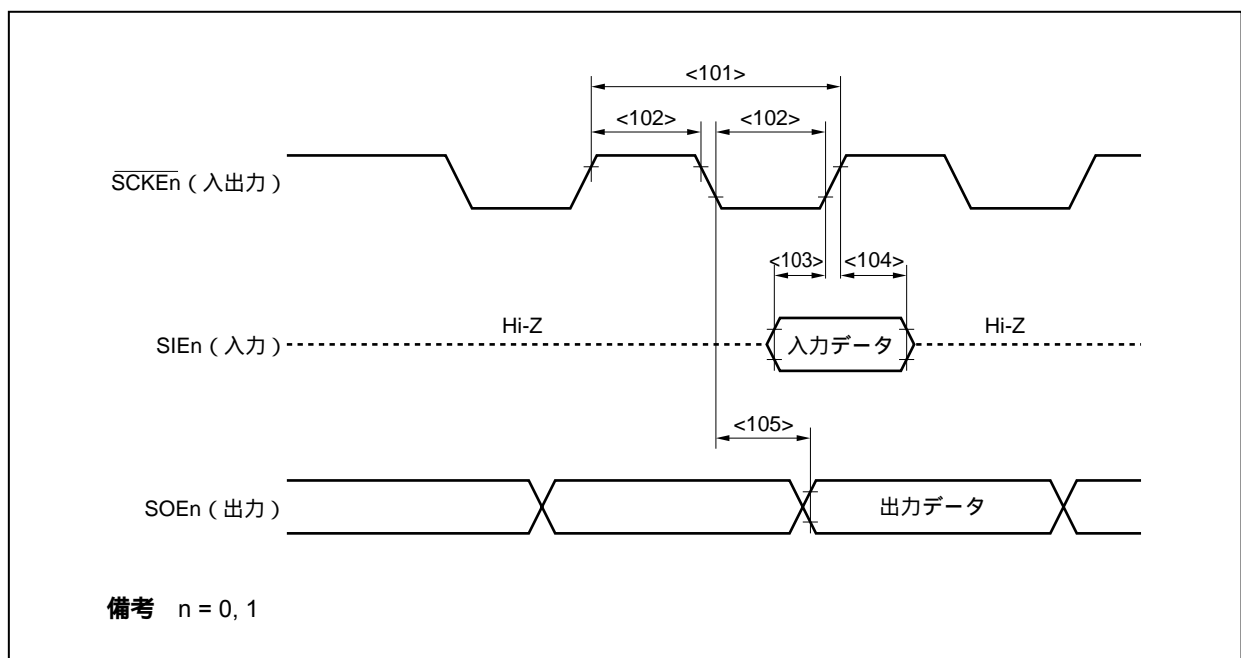
備考 n = 0, 1

## (b) スレーブ・モード

(TA = -40 ~ +105 °C, BVDD VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKEn サイクル・タイム	t <sub>KCY2</sub>	<101>	125		ns
SCKEn ハイ / ロウ・レベル幅	t <sub>KH2</sub> , t <sub>KL2</sub>	<102>	54.5		ns
SIEn セットアップ時間 (対 SCKEn)	t <sub>SIK2</sub>	<103>	27		ns
SIEn ホールド時間 (対 SCKEn)	t <sub>KS2</sub>	<104>	(1/f <sub>XP</sub> ) × 1.5 + 10		ns
SCKEn SOEn 出力遅延時間	t <sub>KSO2</sub>	<105>		27	ns

備考1. n = 0, 1

2. f<sub>XP</sub>: 周辺クロック周波数 (プリスケアラ1入力クロック周波数)



(9) I<sup>2</sup>Cバス・モード

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項目	略号	標準モード		高速モード		単位
		MIN.	MAX.	MIN.	MAX.	
SCL0nクロック周波数	f <sub>CLK</sub>	0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t <sub>BUF</sub> <106>	4.7	-	1.3	-	μs
ホールド時間 <sup>注1</sup>	t <sub>HD : STA</sub> <107>	4.0	-	0.6	-	μs
SCL0nクロックのロウ・レベル幅	t <sub>LOW</sub> <108>	4.7	-	1.3	-	μs
SCL0nクロックのハイ・レベル幅	t <sub>HIGH</sub> <109>	4.0	-	0.6	-	μs
スタート/リスタート・コンディションのセットアップ時間	t <sub>SU : STA</sub> <110>	4.7	-	0.6	-	μs
データ・ホールド 時間	CBUS互換マスタの場合 I <sup>2</sup> Cモードの場合	t <sub>HD : DAT</sub> <111>	5.0	-	-	μs
		0 <sup>注2</sup>	-	0 <sup>注2</sup>	0.9 <sup>注3</sup>	μs
データ・セットアップ時間	t <sub>SU : DAT</sub> <112>	250	-	100 <sup>注4</sup>	-	ns
SDA0nおよびSCL0n信号の立ち上がり 時間	t <sub>r</sub> <113>	-	1000	20 + 0.1Cb <sup>注5</sup>	300	ns
SDA0nおよびSCL0n信号の立ち下がり 時間	t <sub>f</sub> <114>	-	300	20 + 0.1Cb <sup>注5</sup>	300	ns
ストップ・コンディションのセットアップ 時間	t <sub>SU : STO</sub> <115>	4.0	-	0.6	-	μs
入力フィルタによって抑制されるスパイクの パルス幅	t <sub>SP</sub> <116>	-	-	0	50	ns
各バス・ラインの容量性負荷	C <sub>b</sub>	-	400	-	400	pF

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

- 装置は、SCL0nの立ち下がり端の未定義領域を埋めるために ( SCL0n信号のV<sub>IHmin</sub>.での ) SDA0n信号用に最低 300 nsのホールド時間を内部的に提供する必要があります。
- 装置がSCL0n信号のロウ・ホールド時間 ( t<sub>LOW</sub> ) を延長しない場合は、最大データ・ホールド時間 ( t<sub>HD : DAT</sub> ) のみ満たすことが必要です。
- 高速モードI<sup>2</sup>Cバスは、標準モードI<sup>2</sup>Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- 装置がSCL0n信号のロウ状態ホールド時間を延長しない場合

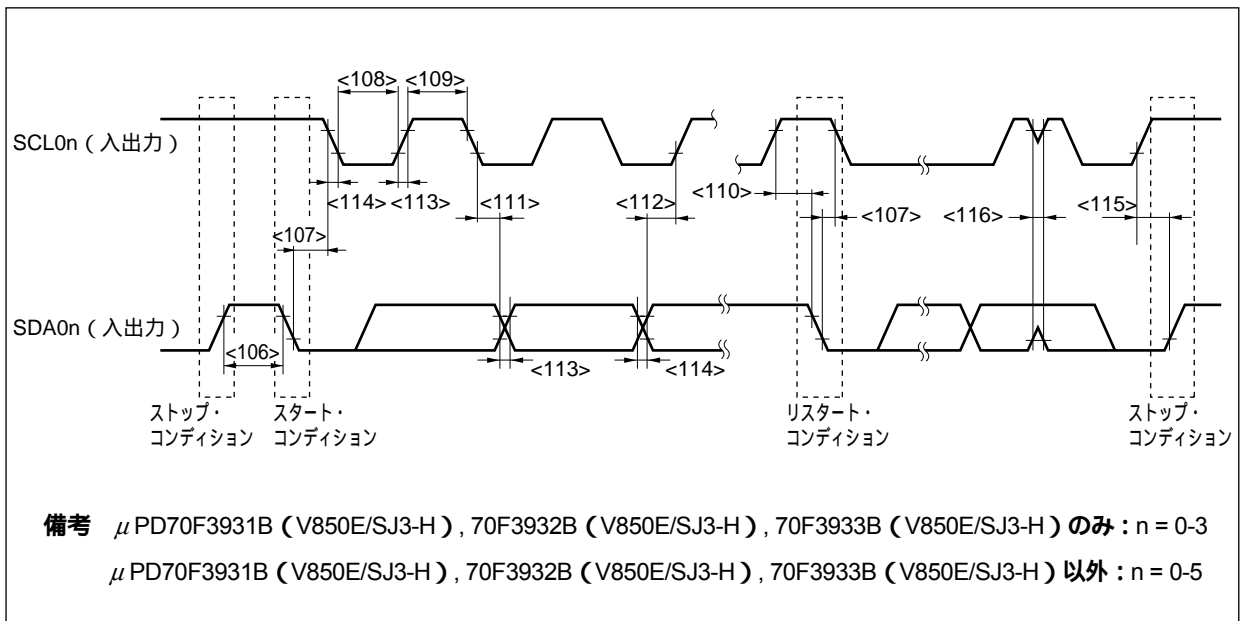
t<sub>SU : DAT</sub> 250 ns

- 装置がSCL0n信号のロウ状態ホールド時間を延長する場合

SCL0nラインが解放される ( t<sub>rmax</sub>. + t<sub>SU : DAT</sub> = 1000 + 250 = 1250 ns : 標準モードI<sup>2</sup>Cバス仕様 ) 前に、次のデータ・ビットをSDA0nラインに送出してください。

- C<sub>b</sub> : 1つのバス・ラインの合計キャパシタンス ( 単位 : pF )

備考 μ PD70F3931B ( V850E/SJ3-H ) , 70F3932B ( V850E/SJ3-H ) , 70F3933B ( V850E/SJ3-H ) のみ : n = 0-3  
μ PD70F3931B ( V850E/SJ3-H ) , 70F3932B ( V850E/SJ3-H ) , 70F3933B ( V850E/SJ3-H ) 以外 : n = 0-5



(10) IEBusコントローラ

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,

$C_L = 50 \text{ pF}$ )

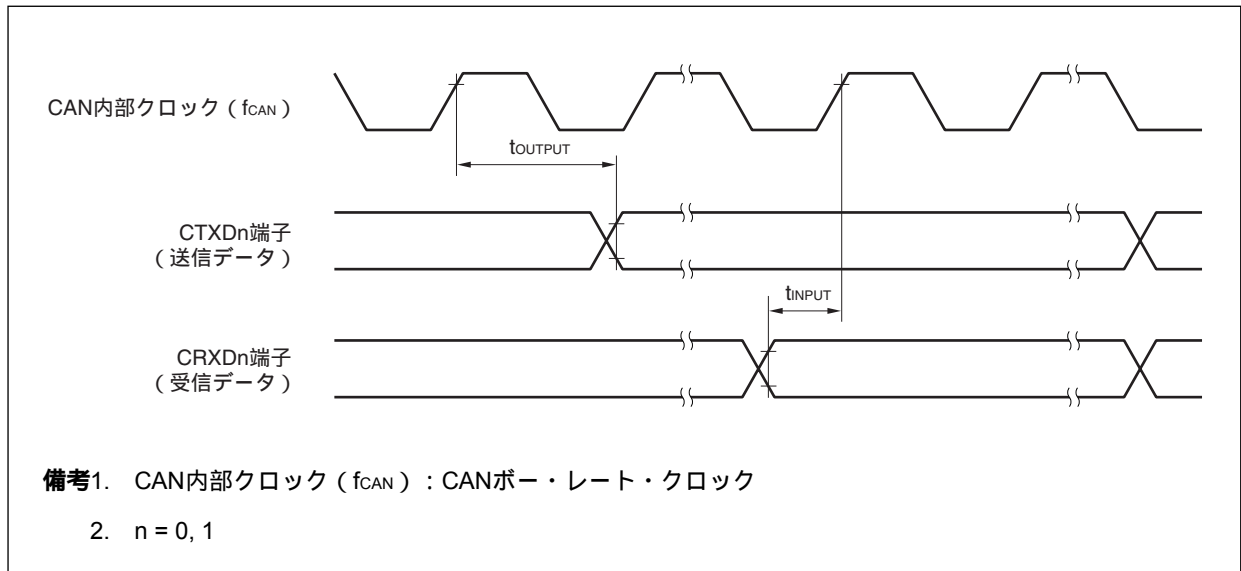
項目	略号	条件	MIN.	TYP.	MAX.	単位
IEBusシステム・クロック 周波数	fs	通信モード：モード1, 2	5.91	6.00 <sup>注</sup>	6.09	MHz
			6.20	6.29 <sup>注</sup>	6.38	MHz

注 IEBusシステム・クロック周波数は6.0 MHzと6.29 MHzを混在して使用できません。

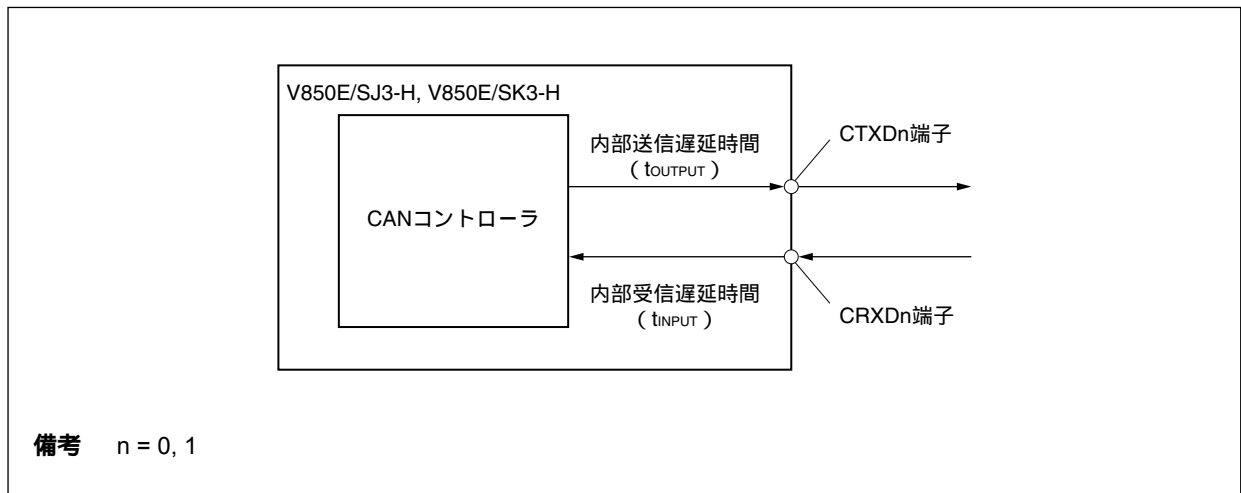
## (11) CANタイミング (CANコントローラ内蔵品のみ)

( $T_A = -40 \sim +105 \text{ } ^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
送信レート				1	Mbps
内部遅延時間	$t_{NODE}$			100	ns



内部遅延時間 ( $t_{NODE}$ ) = 内部送信遅延時間 ( $t_{OUTPUT}$ ) + 内部受信遅延時間 ( $t_{INPUT}$ )



## (12) A/Dコンバータ

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $BV_{DD}$   $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, 3.0 \text{ V}$   $AV_{REF0} 3.6 \text{ V}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					10	bit
総合誤差 <sup>注</sup>		3.0 $AV_{REF0}$ 3.6 V			$\pm 0.6$	%FSR
変換時間	$t_{CONV}$		2.6		24	$\mu\text{s}$
ゼロスケール誤差					$\pm 0.5$	%FSR
フルスケール誤差					$\pm 0.5$	%FSR
非直線性誤差					$\pm 4.0$	LSB
微分直線性誤差					$\pm 4.0$	LSB
アナログ入力電圧	$V_{IAN}$		$AV_{SS}$		$AV_{REF0}$	V
基準電圧	$AV_{REF0}$		3.0		3.6	V
$AV_{REF0}$ 電流	$AI_{REF0}$	通常変換モード		3	6.5	mA
		高速変換モード		4	10	mA
		A/Dコンバータ未使用時			5	$\mu\text{A}$

注 量子化誤差 ( $\pm 0.05 \text{ %FSR}$ ) は含みません。

注意 A/D変換中に兼用ポートの設定(リード/ライト)を行わないでください。変換分解能が低下することがあります。

備考 LSB : Least Significant Bit  
FSR : Full Scale Range

## (13) D/Aコンバータ

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $BV_{DD}$   $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, 3.0 \text{ V}$   $AV_{REF1} 3.6 \text{ V}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差 <sup>注1</sup>		$R = 2 \text{ M}\Omega$			$\pm 1.2$	%FSR
セトリング・タイム		$C = 20 \text{ pF}$			3	$\mu\text{s}$
出力抵抗	$R_o$	出力データ55H		6.42		$\text{k}\Omega$
基準電圧	$AV_{REF1}$		3.0		3.6	V
$AV_{REF1}$ 電流 <sup>注2</sup>	$AI_{REF1}$	D/A変換動作時		1	2.5	mA
		D/A変換停止時			5	$\mu\text{A}$

注1. 量子化誤差 ( $\pm 0.5 \text{ LSB}$ ) は含みません。

2. D/Aコンバータ1チャンネル分の値

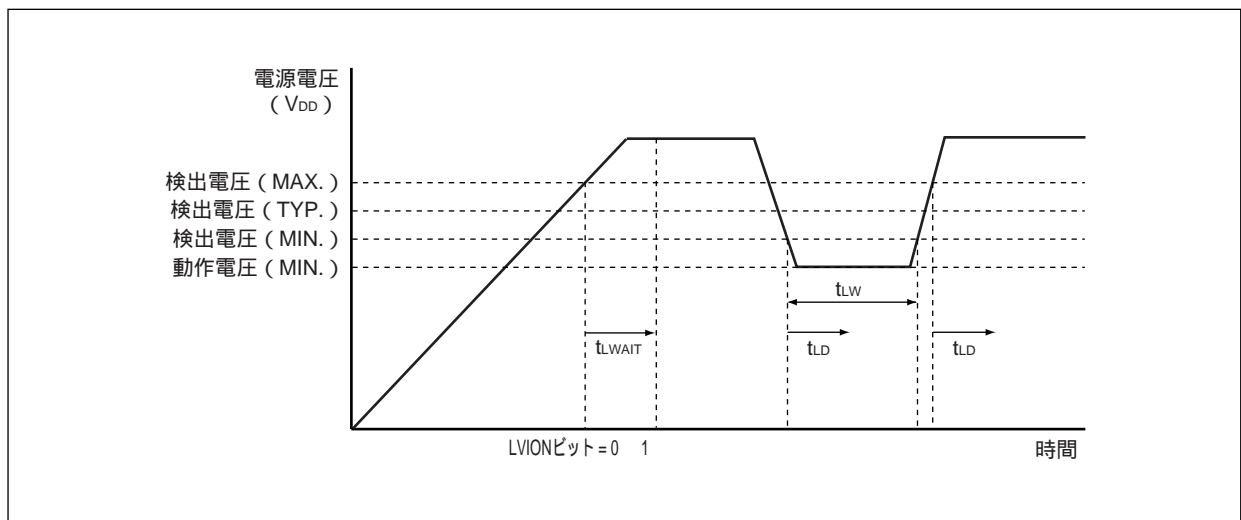
備考 Rは出力端子の負荷抵抗, Cは出力端子の負荷容量です。

## (14) LVI回路特性

( $T_A = -40 \sim +105 \text{ } ^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	$V_{LV10}$		2.85	2.95	3.05	V
応答時間 <sup>注</sup>	$t_{LD}$	$V_{DD}$ が $V_{LV10}$ (MAX.)に達したあと、または $V_{DD}$ が $V_{LV10}$ (MAX.)まで下がったあと。		0.2	2.0	ms
最小パルス幅	$t_{LW}$		0.2			ms
基準電圧安定待ち時間	$t_{LWAIT}$	$V_{DD}$ が2.85 V (MIN.) に達したあと。		0.1	0.2	ms

注 検出電圧を検出して割り込みまたはリセット信号を出力するまでの時間です。

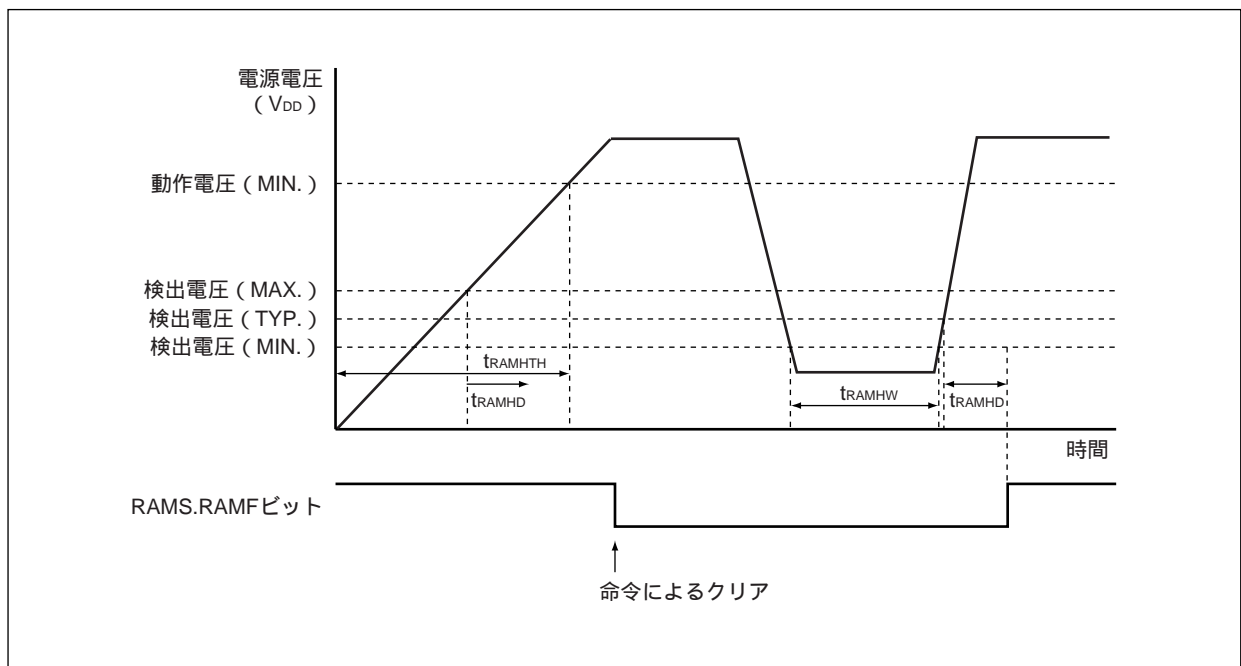


## (15) RAM保持検出

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	$V_{RAMH}$		1.9	2.0	2.1	V
電源電圧立ち上がり時間	$t_{RAMHTh}$	$V_{DD} = 0 \sim 2.85 \text{ V}$	0.002			ms
応答時間 <sup>注</sup>	$t_{RAMHD}$	$V_{DD}$ が2.1 Vに達したあと		0.2	3.0	ms
最小パルス幅	$t_{RAMHW}$		0.2			ms

注 検出電圧を検出してRAMS.RAMFビットを設定するまでの時間です。



## 36. 10 フラッシュ・メモリ・プログラミング特性

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  
 $C_L = 50 \text{ pF}$ )

### (1) 基本特性

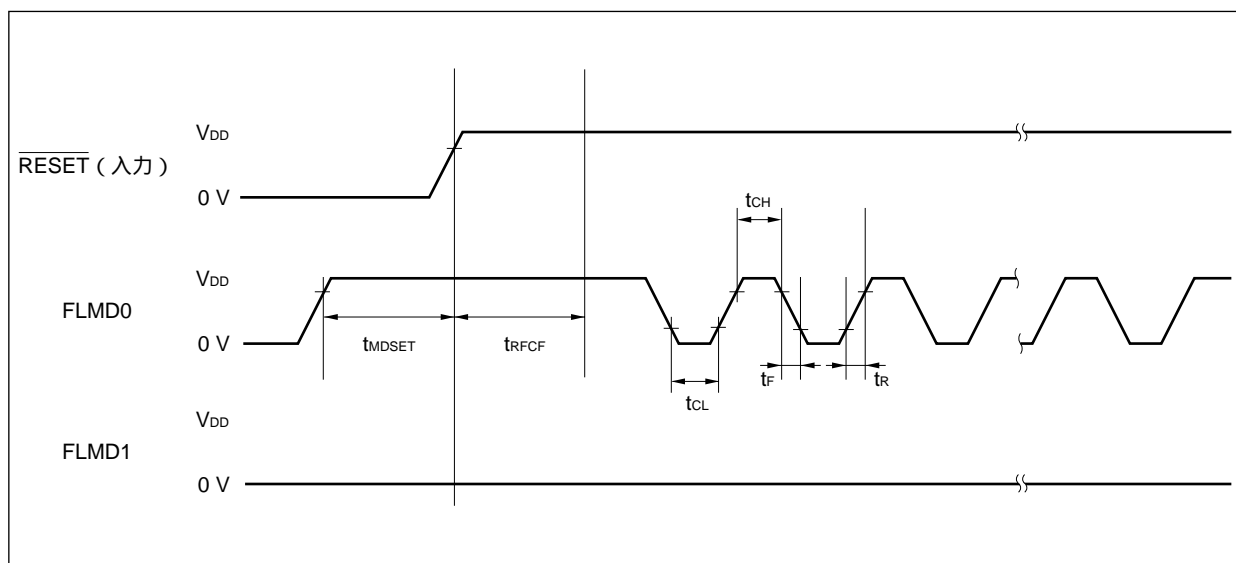
項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	$f_{CPU}$		3.0		32	MHz
電源電圧	$V_{DD}$		2.85		3.6	V
書き換え回数	$C_{WRT}$				1000	回
プログラミング温度	$t_{PRG}$		-40		+105	

注意 4 MHz <  $f_x$  < 6 MHz, 8 MHz <  $f_x$  < 10 MHzの発振子を使用した場合, シリアル・プログラミング・モードでの書き込み時の動作周波数 ( $f_{CPU}$ ) は, (A9)品の製品仕様である32 MHzよりも高い周波数となります。(A9)品の製品仕様は32 MHz(MAX.)であるため, 32 MHzを越えてシリアル・プログラミング・モードで書き込みを行う場合は, (A)品の保証温度 ( $t_{PRG} = -40 \sim +85$ ) 内での書き込みを行ってください。また, (A)品の保証温度 ( $t_{PRG} = -40 \sim +85$ ) を越える場合は, 32 MHz以下で書き込みを行ってください。

### (2) シリアル書き込みオペレーション特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0, FLMD1設定時間	$t_{MDSET}$		2		3000	ms
RESET FLMD0カウンタ開始時間	$t_{RFCF}$	$f_x = 3.0 \sim 10 \text{ MHz}$	800			$\mu\text{s}$
FLMD0カウンタ・ハイ・レベル幅 / ロウ・レベル幅	$t_{CH}/t_{CL}$		10		100	$\mu\text{s}$
FLMD0カウンタ立ち上がり時間 / 立ち下がり時間	$t_r/t_f$				1	$\mu\text{s}$

### フラッシュ書き込みモード設定タイミング



## (3) プログラミング特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
チップ消去時間		f <sub>xx</sub> = 32 MHz, 一括消去		91.1		ms
256バイトあたりの書き込み時間		f <sub>xx</sub> = 32 MHz		1.9		ms
ブロック内部ペリファイ時間		f <sub>xx</sub> = 32 MHz		14		ms
ブロック・ブランク・チェック時間		f <sub>xx</sub> = 32 MHz		0.6		ms
フラッシュ情報設定時間		f <sub>xx</sub> = 32 MHz		30		ms

注意 出荷品に対する初回書き込み時には、「消去 書き込み」の場合も「書き込みのみ」の場合も、書き換え回数は1回となります。

例 (P:書き込み, E:消去)

出荷品 --- P E P E P :書き換え回数3回

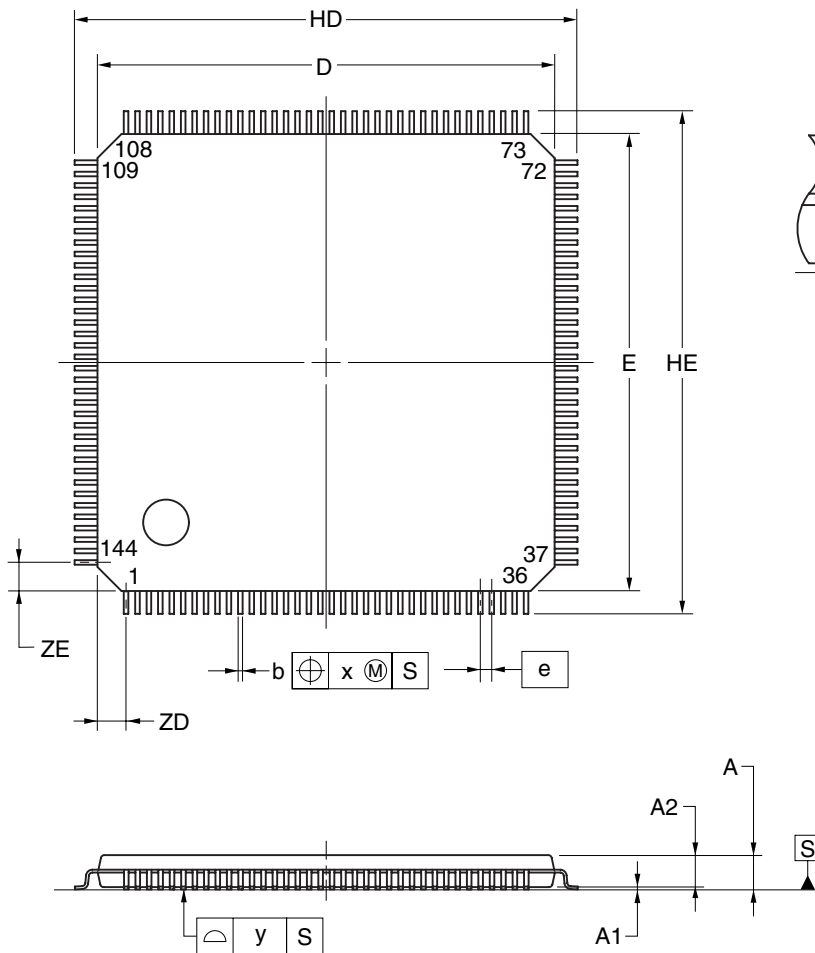
出荷品 E P E P E P :書き換え回数3回

備考 ブロック・サイズは4 Kバイトです。

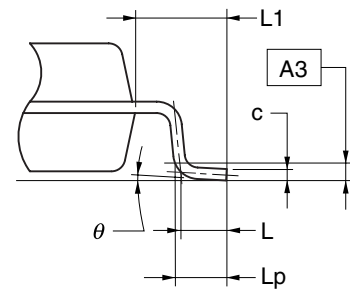


# 第37章 外形图

## 144-PIN PLASTIC LQFP (FINE PITCH) (20x20)



detail of lead end

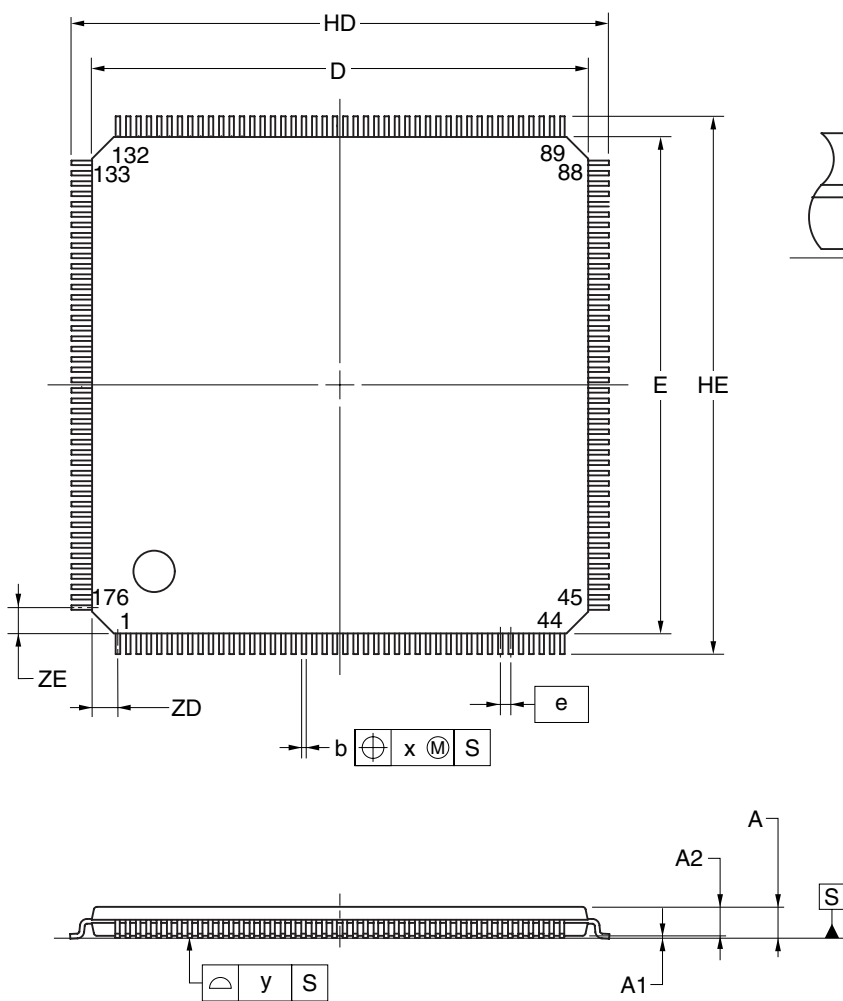


(UNIT:mm)

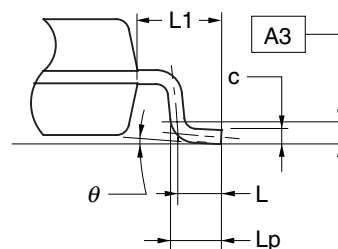
ITEM	DIMENSIONS
D	20.00±0.20
E	20.00±0.20
HD	22.00±0.20
HE	22.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 <sup>+0.07</sup> <sub>-0.03</sub>
c	0.125 <sup>+0.075</sup> <sub>-0.025</sub>
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° <sup>+4°</sup> <sub>-3°</sub>
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

P144GJ-50-GAE-2

176-PIN PLASTIC LQFP (FINE PITCH) (24x24)



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	24.00±0.20
E	24.00±0.20
HD	26.00±0.20
HE	26.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 <sup>+0.07</sup> <sub>-0.03</sub>
c	0.125 <sup>+0.075</sup> <sub>-0.025</sub>
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° <sup>+5°</sup> <sub>-3°</sub>
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

P176GM-50-GAR

## 第38章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体パッケージ実装マニュアル」 (<http://japan.renesas.com/products/package/manual/index.jsp>)

表38 - 1 表面実装タイプの半田付け条件 (1/2)

μ PD70F3474AGJA-GAE-G	: 144ピン・プラスチックLQFP (ファインピッチ)(20×20)
μ PD70F3474AGJA9-GAE-G	: "
μ PD70F3475AGJA-GAE-G	: "
μ PD70F3475AGJA9-GAE-G	: "
μ PD70F3476AGJA-GAE-G	: "
μ PD70F3476AGJA9-GAE-G	: "
μ PD70F3477AGJA-GAE-G	: "
μ PD70F3477AGJA9-GAE-G	: "
μ PD70F3478AGJA-GAE-G	: "
μ PD70F3478AGJA9-GAE-G	: "
μ PD70F3479AGJA-GAE-G	: "
μ PD70F3479AGJA9-GAE-G	: "
μ PD70F3931BGJA-GAE-G	: "
μ PD70F3931BGJA9-GAE-G	: "
μ PD70F3932BGJA-GAE-G	: "
μ PD70F3932BGJA9-GAE-G	: "
μ PD70F3933BGJA-GAE-G	: "
μ PD70F3933BGJA9-GAE-G	: "
μ PD70F3934BGJA-GAE-G	: "
μ PD70F3934BGJA9-GAE-G	: "
μ PD70F3935BGJA-GAE-G	: "
μ PD70F3935BGJA9-GAE-G	: "
μ PD70F3936BGJA-GAE-G	: "
μ PD70F3936BGJA9-GAE-G	: "
μ PD70F3937BGJA-GAE-G	: "
μ PD70F3937BGJA9-GAE-G	: "
μ PD70F3938BGJA-GAE-G	: "
μ PD70F3938BGJA9-GAE-G	: "
μ PD70F3939BGJA-GAE-G	: "
μ PD70F3939BGJA9-GAE-G	: "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：7日間 <sup>注</sup> （以降は125℃プリベーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

備考1. オーダ名称末尾「-G」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

表38 - 1 表面実装タイプの半田付け条件 (2/2)

μ PD70F3480AGMA-GAR-G	: 176ピン・プラスチックLQFP (ファインピッチ) (24 × 24)
μ PD70F3480AGMA9-GAR-G	: "
μ PD70F3481AGMA-GAR-G	: "
μ PD70F3481AGMA9-GAR-G	: "
μ PD70F3482AGMA-GAR-G	: "
μ PD70F3482AGMA9-GAR-G	: "
μ PD70F3486AGMA-GAR-G	: "
μ PD70F3486AGMA9-GAR-G	: "
μ PD70F3487AGMA-GAR-G	: "
μ PD70F3487AGMA9-GAR-G	: "
μ PD70F3488AGMA-GAR-G	: "
μ PD70F3488AGMA9-GAR-G	: "
μ PD70F3925AGMA-GAR-G	: "
μ PD70F3925AGMA9-GAR-G	: "
μ PD70F3926AGMA-GAR-G	: "
μ PD70F3926AGMA9-GAR-G	: "
μ PD70F3927AGMA-GAR-G	: "
μ PD70F3927AGMA9-GAR-G	: "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：7日間 <sup>※</sup> （以降は125℃プリベーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

備考1. オーダ名称末尾「-G」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

## 付録A 開発ツール

V850E/SJ3-H, V850E/SK3-Hを使用するシステム開発のために、次のような開発ツールを用意しています。

図A - 1に開発ツール構成を示します。

### PC98-NXシリーズへの対応について

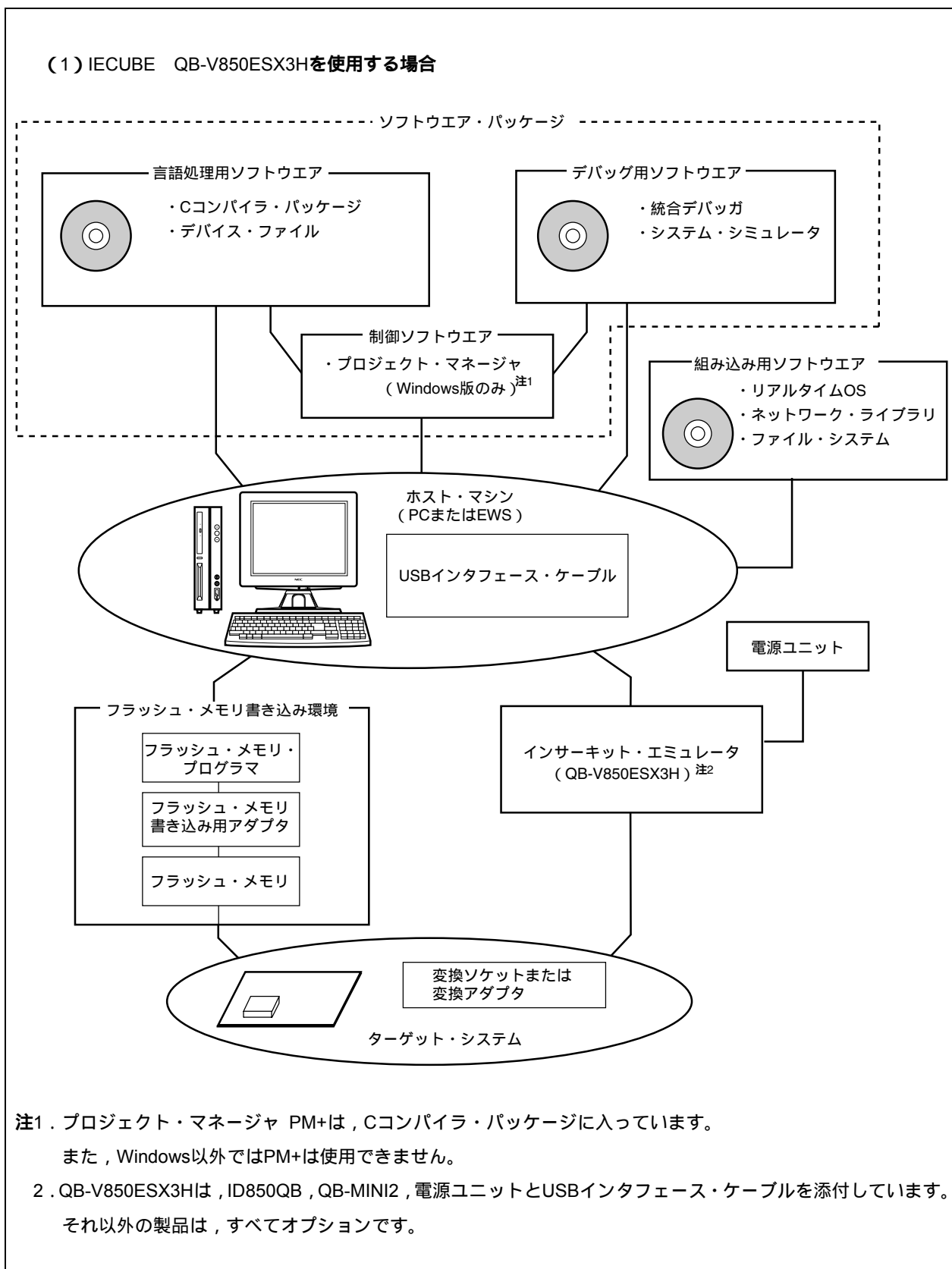
特に断りのないかぎり、IBM PC/AT<sup>TM</sup>互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

### Windows<sup>®</sup>について

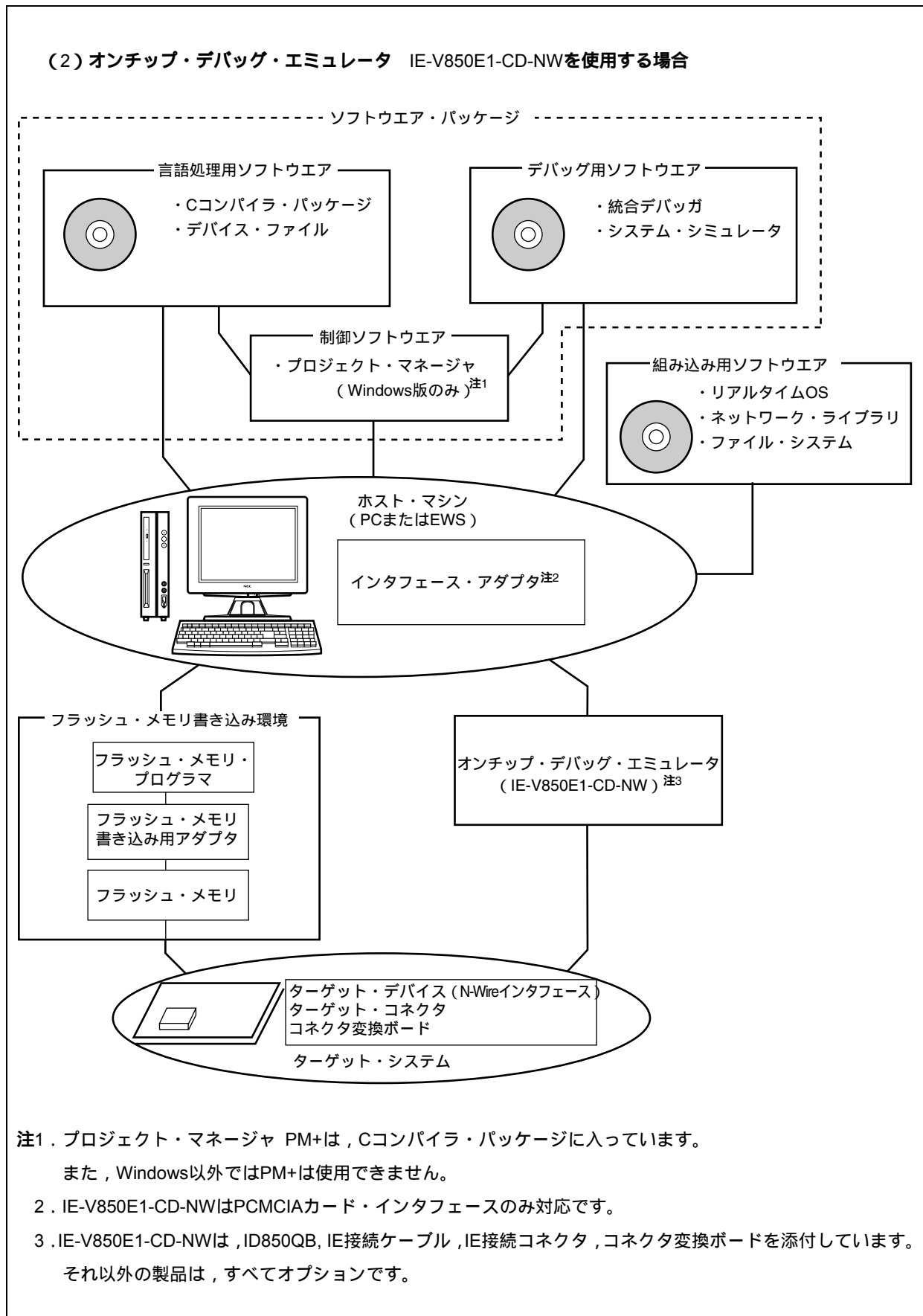
特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 98, 2000
- Windows Me
- Windows XP<sup>®</sup>
- Windows NT<sup>®</sup> Ver. 4.0

図A - 1 開発ツール構成 (1/4)

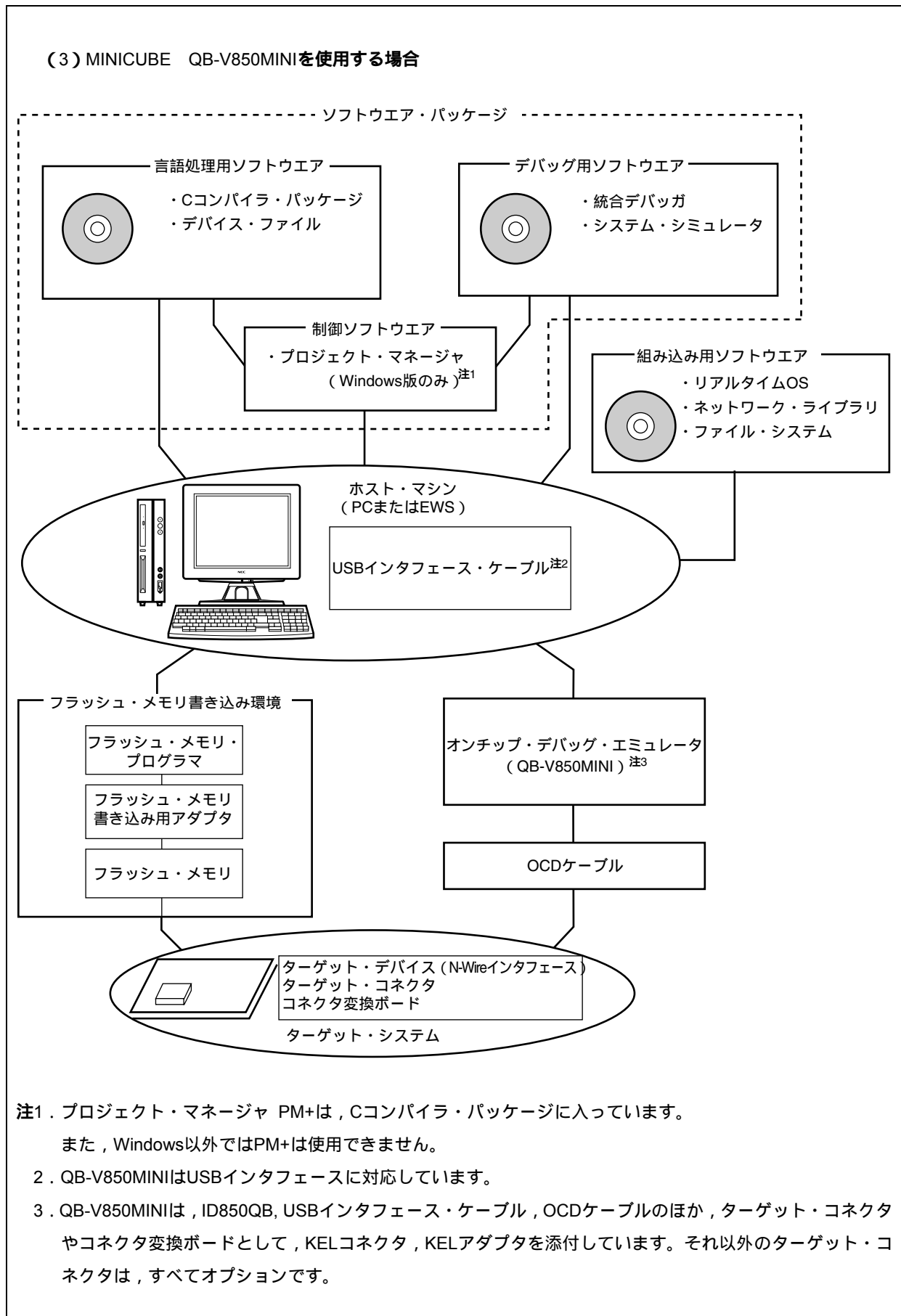


図A-1 開発ツール構成 (2/4)

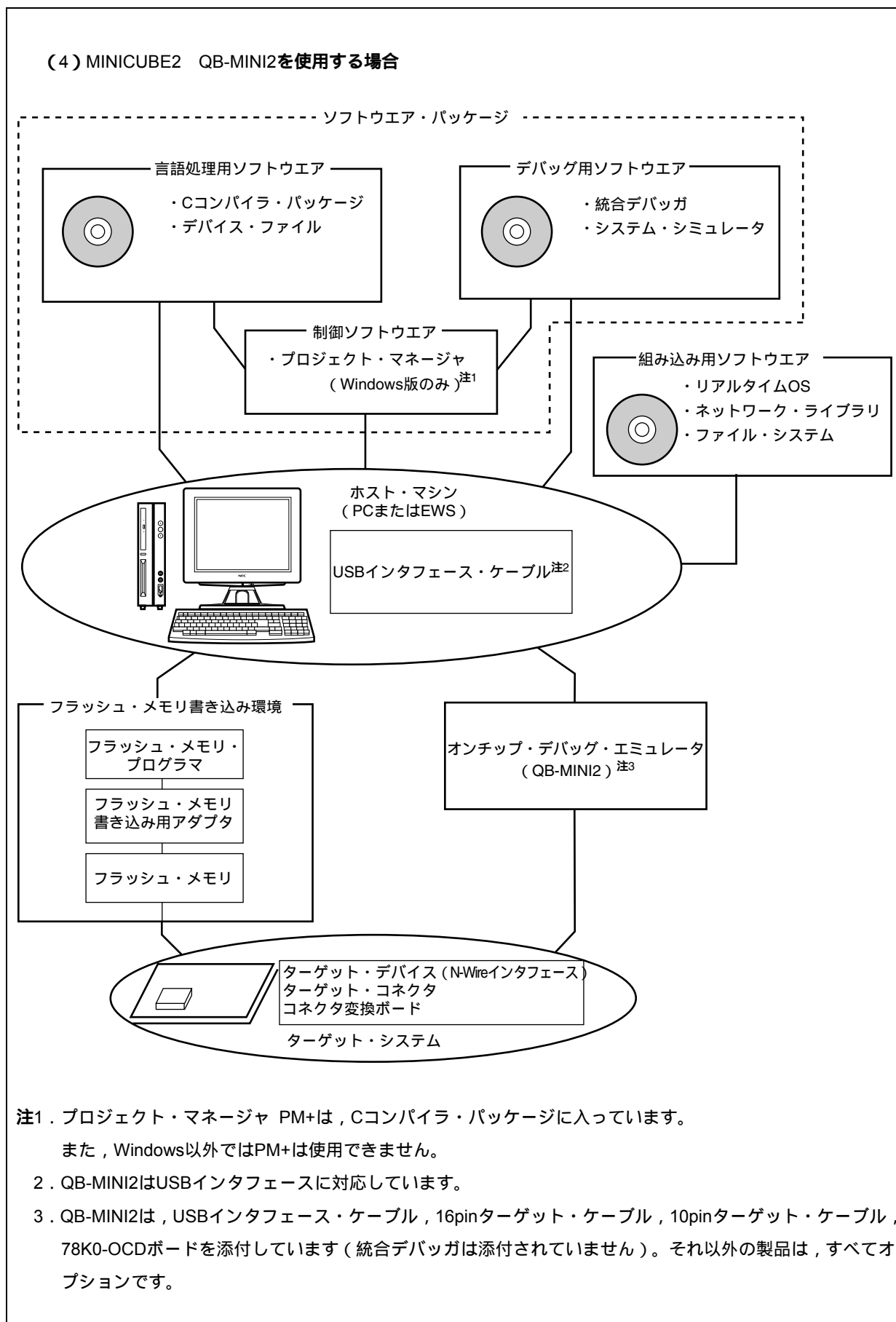




図A - 1 開発ツール構成 (3/4)



図A - 1 開発ツール構成 (4/4)



## A.1 ソフトウェア・パッケージ

SP850 V850マイコン・ソフトウェア・ パッケージ	V850マイコン共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダ名称： $\mu S \times \times \times \times$ SP850
------------------------------------	---

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン，OSにより異なります。

$\mu S \times \times \times \times$  SP850

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

## A.2 言語処理用ソフトウェア

CA850 Cコンパイラ・パッケージ	C言語で書かれたプログラムを，マイコンの実行可能なオブジェクト・コードに変換するプログラムです。プロジェクト・マネージャ PM+から起動されます。 オーダ名称： $\mu S \times \times \times \times$ CA703000
DF703482 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 各ツール（CA850, ID850QB）と組み合わせて使用します。 対応OS，ホスト・マシンは組み合わせられる各ツールに依存します。

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン，OSにより異なります。

$\mu S \times \times \times \times$  CA703000

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3K17	SPARCstation <sup>TM</sup>	SunOS <sup>TM</sup> (Rel. 4.1.4) ， Solaris <sup>TM</sup> (Rel. 2.5.1)	

## A.3 制御ソフトウェア

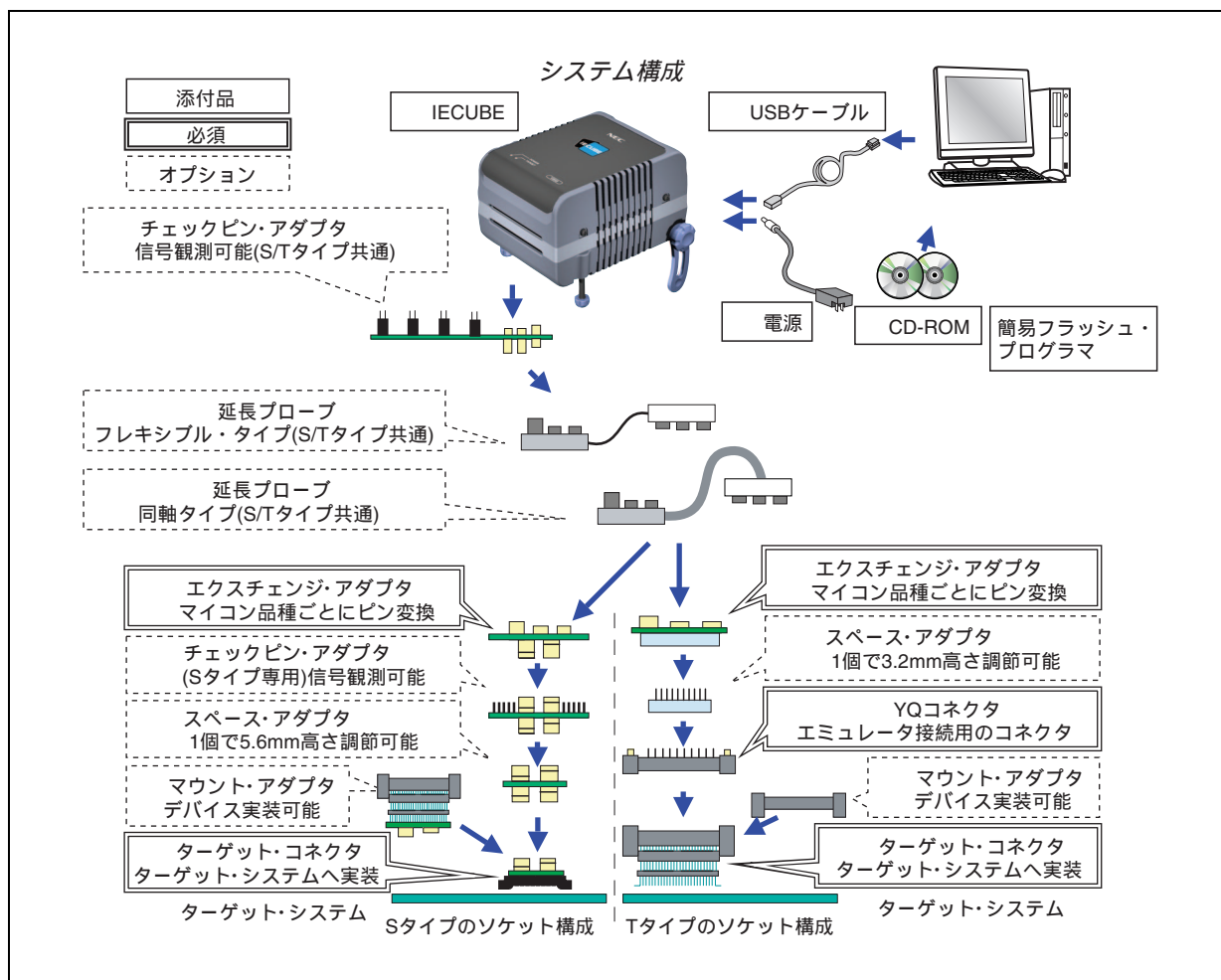
PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM+上から，エディタの起動，ビルド，デバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> PM+は，Cコンパイラ・パッケージ CA850の中に入っています。 Windows以外の環境では使用できません。
---------------------	--

## A. 4 デバッグ用ツール (ハードウェア)

### A. 4. 1 IECUBE QB-V850ESX3Hを使用する場合

QB-V850ESX3Hとホスト・マシン (PC-9821シリーズ, PC/AT互換機) を接続して使用する場合のシステム構成を次に示します。オプション製品がない場合でも接続は可能です。

図A - 2 システム構成 (QB-V850ESX3Hを使用する場合) (1/2)



図A - 2 システム構成 (QB-V850ESX3Hを使用する場合) (2/2)

ホスト・マシン (PC-9821シリーズ, IBM-PC/AT互換機)  
 デバッグ, USBドライバ, マニュアルなど (ID850QB Disk, Accessory Disk<sup>注1</sup>)  
 USBインタフェース・ケーブル  
 ACアダプタ  
 インサキット・エミュレータ (QB-V850ESX3H)  
 チェックピン・アダプタ (S/Tタイプ共通) (QB-144-CA-01) (オプション)  
 延長プローブ・フレキシブル・タイプ (S/Tタイプ共通) (QB-144-EP-02S (GJパッケージ用),  
 QB-208-EP-02S (GMパッケージ用)) (オプション)  
 延長プローブ同軸タイプ (S/Tタイプ共通) (QB-144-EP-01S) (オプション)  
 エクスチェンジ・アダプタ<sup>注2</sup> (Sタイプ: QB-144GJ-EA-01S (GJパッケージ用), QB-176GM-EA-02S  
 (GMパッケージ用), Tタイプ: QB-144GJ-EA-01T (GJパッケージ用), QB-176GM-EA-02T (GM  
 パッケージ用))  
 チェックピン・アダプタ<sup>注3</sup> (Sタイプのみ: QB-144-CA-01S (GJパッケージ用), QB-176-CA-01S  
 (GMパッケージ用)) (オプション)  
 スペース・アダプタ<sup>注3</sup> (Sタイプ: QB-144-SA-01S (GJパッケージ用), QB-176-SA-01S (GMパッ  
 ケージ用), Tタイプ: QB-144GJ-YS-01T (GJパッケージ用), QB-176GM-YS-01T (GMパッケー  
 ジ用)) (オプション)  
 YQコネクタ<sup>注2</sup> (Tタイプのみ) (QB-144GJ-YQ-01T (GJパッケージ用), QB-176GM-YQ-01T (GM  
 パッケージ用))  
 マウント・アダプタ (Sタイプ: QB-144GJ-MA-01S (GJパッケージ用), QB-176GM-MA-01S (GM  
 パッケージ用), Tタイプ: QB-144GJ-HQ-01T (GJパッケージ用), QB-176GM-HQ-01T (GMパッ  
 ケージ用)) (オプション)  
 ターゲット・コネクタ<sup>注2</sup> (Sタイプ: QB-144GJ-TC-01S (GJパッケージ用), QB-176GM-TC-01S (GM  
 パッケージ用), Tタイプ: QB-144GJ-NQ-01T (GJパッケージ用), QB-176GM-NQ-01T (GMパッ  
 ケージ用))  
 ターゲット・システム

注1. デバイス・ファイルはルネサス エレクトロニクスのホームページから入手してください。

[https://secure-resource.renesas.com/micro/tool\\_reg/OdsListTop.do?lang=ja](https://secure-resource.renesas.com/micro/tool_reg/OdsListTop.do?lang=ja)

2. オーダ品名によっては, 添付品となります。

- ・ QB-V850ESX3H-ZZZでオーダーした場合  
 エクスチェンジ・アダプタ, ターゲット・コネクタは添付されていません。
- ・ QB-V850ESX3H-S144GJでオーダーした場合  
 QB-144GJ-EA-01S, QB-144GJ-TC-01Sが添付されています。
- ・ QB-V850ESX3H-S176GMでオーダーした場合  
 QB-176GM-EA-02S, QB-176GM-TC-01Sが添付されています。
- ・ QB-V850ESX3H-T144GJでオーダーした場合  
 QB-144GJ-EA-01T, QB-144GJ-YQ-01T, QB-144GJ-NQ-01Tが添付されています。
- ・ QB-V850ESX3H-T176GMでオーダーした場合  
 QB-176GM-EA-02T, QB-176GM-YQ-01T, QB-176GM-NQ-01Tが添付されています。

3. と の両方を使用する場合, と の接続順序が逆でも接続できます。

QB-V850ESX3H <sup>注</sup> インサークット・エミュレータ	V850E/SJ3-H, V850E/SK3-Hを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサークット・エミュレータです。統合デバッグ ID850QBに対応しています。電源ユニット、エミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
USBインタフェース・ケーブル	ホスト・マシンとQB-V850ESX3Hを接続するケーブルです。
ACアダプタ	ACプラグ差し替えて100～240 Vに対応可能です。
QB-144GJ-EA-01S QB-176GM-EA-02S QB-144GJ-EA-01T QB-176GM-EA-02T エクスチェンジ・アダプタ	ピン変換を行うアダプタです。 <ul style="list-style-type: none"> <li>・ QB-144GJ-EA-01S : 144ピン・プラスチックLQFP (GJ-GAEタイプ) 用</li> <li>・ QB-176GM-EA-02S : 176ピン・プラスチックLQFP (GM-GARタイプ) 用</li> <li>・ QB-144GJ-EA-01T : 144ピン・プラスチックLQFP (GJ-GAEタイプ) 用</li> <li>・ QB-176GM-EA-02T : 176ピン・プラスチックLQFP (GM-GARタイプ) 用</li> </ul>
QB-144-CA-01S QB-176-CA-01S (Sタイプのみ) チェックピン・アダプタ	オシロスコープなどで波形観測を行うときに使用するアダプタです。 <ul style="list-style-type: none"> <li>・ QB-144-CA-01S : 144ピン・プラスチックLQFP (GJ-GAEタイプ) 用</li> <li>・ QB-176-CA-01S : 176ピン・プラスチックLQFP (GM-GARタイプ) 用</li> </ul>
QB-144-SA-01S QB-176-SA-01S QB-144GJ-YS-01T QB-176GM-YS-01T スペース・アダプタ	高さ調節用アダプタです。 <ul style="list-style-type: none"> <li>・ QB-144-SA-01S : 144ピン・プラスチックLQFP (GJ-GAEタイプ) 用</li> <li>・ QB-176-SA-01S : 176ピン・プラスチックLQFP (GM-GARタイプ) 用</li> <li>・ QB-144GJ-YS-01T : 144ピン・プラスチックLQFP (GJ-GAEタイプ) 用</li> <li>・ QB-176GM-YS-01T : 176ピン・プラスチックLQFP (GM-GARタイプ) 用</li> </ul>
QB-144GJ-YQ-01T QB-176GM-YQ-01T (Tタイプのみ) YQコネクタ	ターゲット・コネクタとエクスチェンジ・アダプタを接続する変換アダプタ <ul style="list-style-type: none"> <li>・ QB-144GJ-YQ-01T : 144ピン・プラスチックLQFP (GJ-GAEタイプ) 用</li> <li>・ QB-176GM-YQ-01T : 176ピン・プラスチックLQFP (GM-GARタイプ) 用</li> </ul>
QB-144GJ-MA-01S QB-176GM-MA-01S QB-144GJ-HQ-01T QB-176GM-HQ-01T マウント・アダプタ	V850E/SJ3-H, V850E/SK3-Hをソケット実装するためのアダプタです。 <ul style="list-style-type: none"> <li>・ QB-144GJ-MA-01S : 144ピン・プラスチックLQFP (GJ-GAEタイプ) 用</li> <li>・ QB-176GM-MA-01S : 176ピン・プラスチックLQFP (GM-GARタイプ) 用</li> <li>・ QB-144GJ-HQ-01T : 144ピン・プラスチックLQFP (GJ-GAEタイプ) 用</li> <li>・ QB-176GM-HQ-01T : 176ピン・プラスチックLQFP (GM-GARタイプ) 用</li> </ul>
QB-144GJ-TC-01S QB-176GM-TC-01S QB-144GJ-NQ-01T QB-176GM-NQ-01T ターゲット・コネクタ	ターゲット・システム上へ半田付けするコネクタです。 <ul style="list-style-type: none"> <li>・ QB-144GJ-TC-01S : 144ピン・プラスチックLQFP (GJ-GAEタイプ) 用</li> <li>・ QB-176GM-TC-01S : 176ピン・プラスチックLQFP (GM-GARタイプ) 用</li> <li>・ QB-144GJ-NQ-01T : 144ピン・プラスチックLQFP (GJ-GAEタイプ) 用</li> <li>・ QB-176GM-NQ-01T : 176ピン・プラスチックLQFP (GM-GARタイプ) 用</li> </ul>

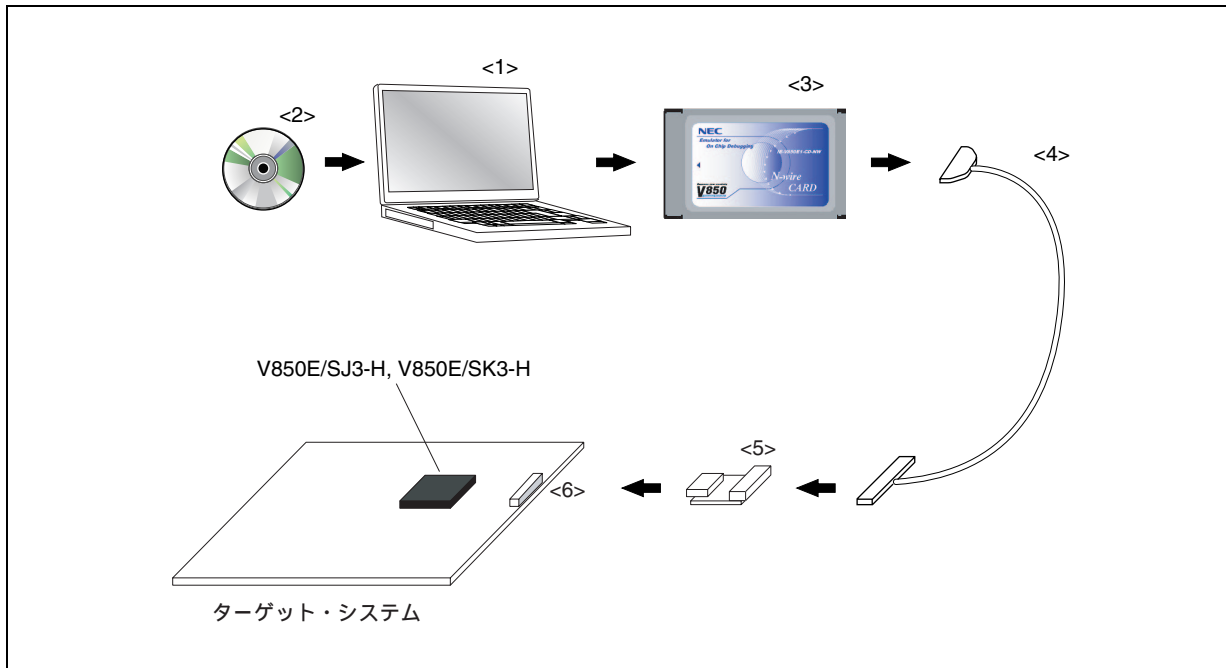
**注** QB-V850ESX3Hは、電源ユニット、USBインタフェース・ケーブルとフラッシュ・メモリ・プログラム (MINICUBE2) を添付しています。また、コントロール・ソフトウェアとして、統合デバッグ ID850QBを添付しています。

**備考** 表内の番号は図A - 2の番号に対応しています。

### A. 4.2 オンチップ・デバッグ・エミュレータ IE-V850E1-CD-NWを使用する場合

IE-V850E1-CD-NWとホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。

図A - 3 システム構成例（IE-V850E1-CD-NWを使用する場合）



<1> ホスト・マシン	PCMCIA2.1/JEIDA規格 Ver.4.2準拠のPCMCIA内蔵パーソナル・コンピュータ。 PCMCIAスロットを内蔵しないものを使用する場合，PCI-PCMCIA変換ボードなどを使用してください。変換ボードの詳細は当社販売員にお問い合わせください。
<2> CD-ROM <sup>注1</sup>	CD-ROM形式で統合デバッガ ID850QB, N-Wire Checker, デバイス・ドライバ, ドキュメントなどが含まれています。IE-V850E1-CD-NWに添付されています。
<3> IE-V850E1-CD-NW オンチップ・デバッグ・ エミュレータ	V850E/SJ3-H, V850E/SK3-Hを使用する応用システムを開発する際に，ハードウェア，ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッガ ID850QBに対応しています。
<4> IE-V850E1-CD-NW接続ケーブル	IE-V850E1-CD-NWとターゲット・システムを接続するケーブルです。 IE-V850E1-CD-NWに添付されています。ケーブルの長さは約50 cmです。
<5> コネクタ変換ボード KEL Adaptor	IE-V850E1-CD-NWに添付されています。
<6> IE-V850E1-CD-NW接続コネクタ KELコネクタ <sup>注2</sup>	8830E-026-170S（IE-V850E1-CD-NWに添付されています） 8830E-026-170L（別売品）

注1. デバイス・ファイルはルネサス エレクトロニクスのホームページから入手してください。

[https://secure-resource.renesas.com/micro/tool\\_reg/OdsListTop.do?lang=ja](https://secure-resource.renesas.com/micro/tool_reg/OdsListTop.do?lang=ja)

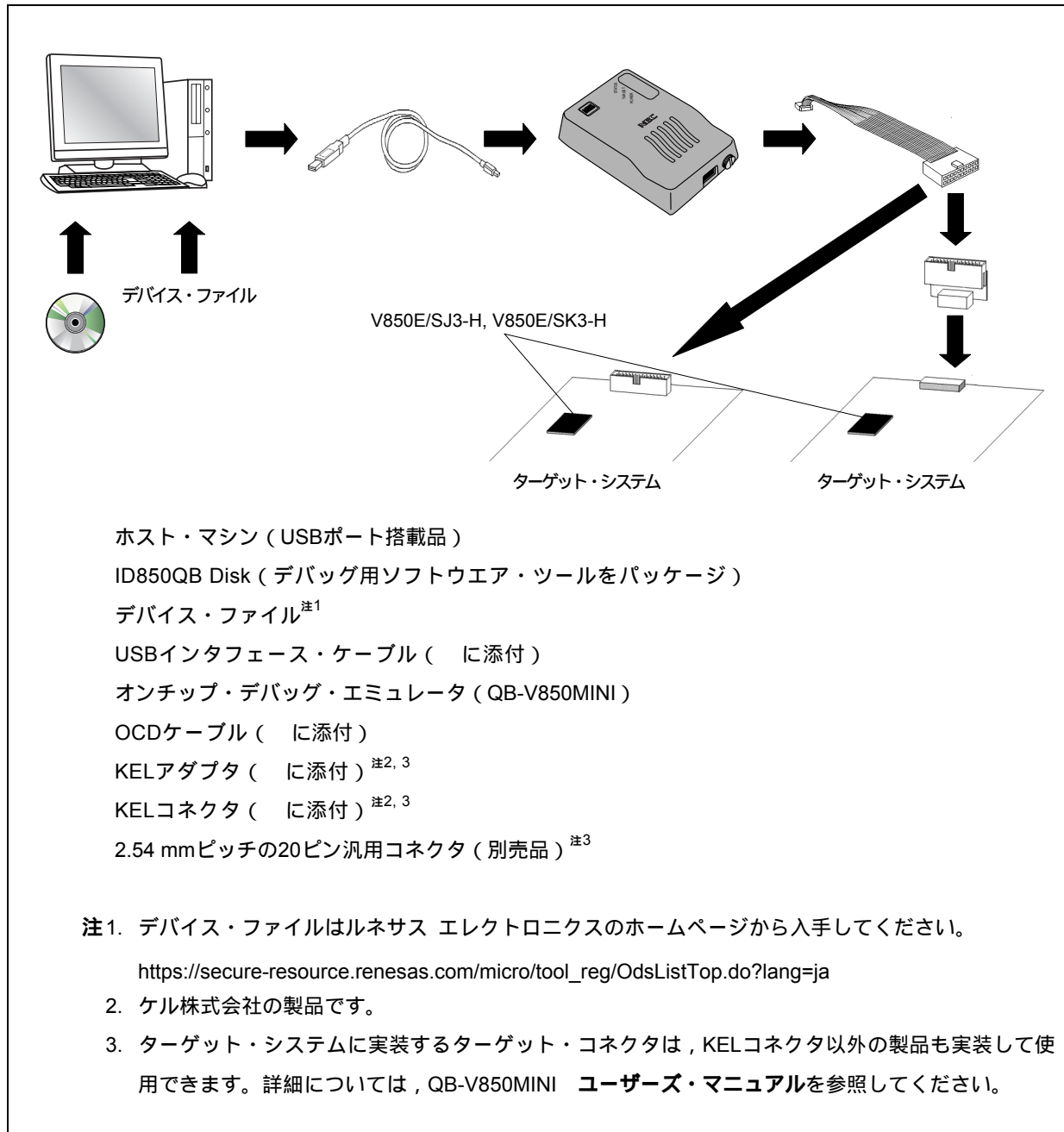
2. ケル株式会社の製品です。

備考 表内の番号は図A - 3の番号に対応しています。

### A. 4.3 MINICUBE QB-V850MINIを使用する場合

QB-V850MINIとホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。

図A-4 システム構成例（QB-V850MINIを使用する場合）

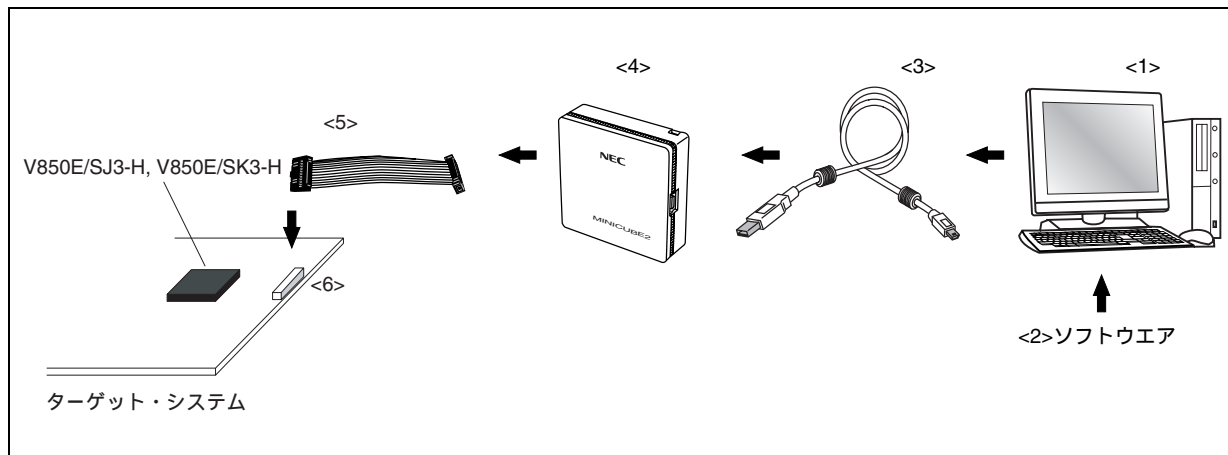




#### A. 4.4 MINICUBE2 QB-MINI2を使用する場合

MINICUBE2とホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。

図A - 5 オンチップ・エミュレーション・システム構成例



<1> ホスト・マシン	USBポート搭載品。
<2> ソフトウェア	統合デバッガ ID850QB, デバイス・ファイルなどです。 ルネサス エレクトロニクスのホームページから入手してください <a href="https://secure-resource.renesas.com/micro/tool_reg/OdsListTop.do?lang=ja">https://secure-resource.renesas.com/micro/tool_reg/OdsListTop.do?lang=ja</a>
<3>USBインタフェース・ケーブル	ホスト・マシンとMINICUBE2を接続するUSB対応のケーブルです。MINICUBE2に添付しています。ケーブルの長さは約2 mです。
<4> MINICUBE2 オンチップ・デバッグ・エミュレータ	V850E/SJ3-H, V850E/SK3-Hを使用する応用システムを開発する際に，ハードウェア，ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッガID850QBに対応しています。
<5> 16pinターゲット・ケーブル	MINICUBE2とターゲット・システムを接続するケーブルです。 MINICUBE2に添付されています。ケーブルの長さは約15 cmです。
<6>ターゲット・コネクタ（別売品）	2.54 mmピッチの16ピン汎用コネクタを使用してください。

**備考** 表内の番号は図A - 5の番号に対応しています。

## A.5 デバッグ用ツール(ソフトウェア)

ID850QB 統合デバッガ	V850マイコン用のインサーキット・エミュレータに対応したデバッガです。ID850QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイルと組み合わせて使用します。 オーダ名称： $\mu$ S $\times \times \times$ ID703000-QB (ID850QB)
-------------------	--

**備考** オーダ名称の  $\times \times \times$  は、使用するOSにより異なります。

$\mu$ S  $\times \times \times$  ID703000-QB

$\times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

## A. 6 組み込み用ソフトウェア

RX850, RX850 Pro リアルタイムOS	<p>μITRON3.0仕様に準拠したリアルタイムOSです。 複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 RX850よりRX850 Proの方が多機能になっています。</p> <p>オーダ名称：μS × × × RX703000- (RX850)                   μS × × × RX703100- (RX850 Pro)</p>
V850mini-NET（仮称） （ネットワーク・ライブラリ）	<p>RFC準拠のネットワーク・ライブラリです。 コンパクトな設計をしており、使用メモリを小さく抑えた軽量TCP/IPです。 TCP/IP基準セットに加え、HTTPサーバ、SMTPクライアント、POPクライアントもサポートしています。</p>
RX-FS850 （ファイル・システム）	<p>FATファイル・システム機能です。 CD-ROMファイル・システム機能をサポートしたファイル・システムです。 リアルタイムOS RX850 Proと共に使用します。</p>

**注意** RX850, RX850 Proを購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

**備考** オーダ名称の××××および                   は、使用するホスト・マシン、OSなどにより異なります。

μS × × × × RX703000-

μS × × × × RX703100-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

× × × ×	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ、	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3K17	SPARCstation	Solaris (Rel. 2.5.1)	

## A. 7 フラッシュ・メモリ書き込み用ツール

Flashpro V（型番 PG-FP5） フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-144GJ-GAE-B フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro Vに接続して使用します。 ・FA-144GJ-GAE-B：144ピン・プラスチックLQFP（GJ-GAEタイプ）用
FA-176GM-GAR-B フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro Vに接続して使用します。 ・FA-176GM-GAR-B：176ピン・プラスチックLQFP（GM-GARタイプ）用

**備考** FA-144GJ-GAE-B, FA-176GM-GAR-Bは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（042）750-4172）

## 付録B レジスタ索引

( 1/20 )

略号	名称	ユニット	ページ
ADA0CR0	A/D変換結果レジスタ0	ADC	702
ADA0CR0H	A/D変換結果レジスタ0H	ADC	702
ADA0CR1	A/D変換結果レジスタ1	ADC	702
ADA0CR1H	A/D変換結果レジスタ1H	ADC	702
ADA0CR2	A/D変換結果レジスタ2	ADC	702
ADA0CR2H	A/D変換結果レジスタ2H	ADC	702
ADA0CR3	A/D変換結果レジスタ3	ADC	702
ADA0CR3H	A/D変換結果レジスタ3H	ADC	702
ADA0CR4	A/D変換結果レジスタ4	ADC	702
ADA0CR4H	A/D変換結果レジスタ4H	ADC	702
ADA0CR5	A/D変換結果レジスタ5	ADC	702
ADA0CR5H	A/D変換結果レジスタ5H	ADC	702
ADA0CR6	A/D変換結果レジスタ6	ADC	702
ADA0CR6H	A/D変換結果レジスタ6H	ADC	702
ADA0CR7	A/D変換結果レジスタ7	ADC	702
ADA0CR7H	A/D変換結果レジスタ7H	ADC	702
ADA0CR8	A/D変換結果レジスタ8	ADC	702
ADA0CR8H	A/D変換結果レジスタ8H	ADC	702
ADA0CR9	A/D変換結果レジスタ9	ADC	702
ADA0CR9H	A/D変換結果レジスタ9H	ADC	702
ADA0CR10	A/D変換結果レジスタ10	ADC	702
ADA0CR10H	A/D変換結果レジスタ10H	ADC	702
ADA0CR11	A/D変換結果レジスタ11	ADC	702
ADA0CR11H	A/D変換結果レジスタ11H	ADC	702
ADA0CR12	A/D変換結果レジスタ12	ADC	702
ADA0CR12H	A/D変換結果レジスタ12H	ADC	702
ADA0CR13	A/D変換結果レジスタ13	ADC	702
ADA0CR13H	A/D変換結果レジスタ13H	ADC	702
ADA0CR14	A/D変換結果レジスタ14	ADC	702
ADA0CR14H	A/D変換結果レジスタ14H	ADC	702
ADA0CR15	A/D変換結果レジスタ15	ADC	702
ADA0CR15H	A/D変換結果レジスタ15H	ADC	702
ADA0M0	A/Dコンバータ・モード・レジスタ0	ADC	695
ADA0M1	A/Dコンバータ・モード・レジスタ1	ADC	697
ADA0M2	A/Dコンバータ・モード・レジスタ2	ADC	700
ADA0PFM	パワー・フェイル比較モード・レジスタ	ADC	704
ADA0PFT	パワー・フェイル比較しきい値レジスタ	ADC	705
ADA0S	A/Dコンバータ・チャンネル指定レジスタ	ADC	701
ADIC	割り込み制御レジスタ	INTC	1326

( 2/20 )

略号	名称	ユニット	ページ
ASID	プログラムIDレジスタ	CPU	88
AWC	アドレス・ウェイト・コントロール・レジスタ	BCU	319
BCC	バス・サイクル・コントロール・レジスタ	BCU	321
BCR	IEBusコントロール・レジスタ	IEBus	1054
BPC	周辺I/O領域セレクト制御レジスタ	CPU	128
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	306
C0BRP	CAN0モジュール・ビット・レート・プリスケラ・レジスタ	CAN	1194
C0BTR	CAN0モジュール・ビット・レート・レジスタ	CAN	1195
C0CTRL	CAN0モジュール制御レジスタ	CAN	1184
C0ERC	CAN0モジュール・エラー・カウンタ・レジスタ	CAN	1190
C0GMABT	CAN0グローバル自動ブロック送信制御レジスタ	CAN	1179
C0GMABTD	CAN0グローバル自動ブロック送信遅延設定レジスタ	CAN	1181
C0GMCS	CAN0グローバル・クロック選択レジスタ	CAN	1178
C0GMCTRL	CAN0グローバル制御レジスタ	CAN	1176
C0IE	CAN0モジュール割り込み許可レジスタ	CAN	1191
C0INFO	CAN0モジュール情報レジスタ	CAN	1189
C0INTS	CAN0モジュール割り込みステータス・レジスタ	CAN	1193
C0LEC	CAN0モジュール最終エラー情報レジスタ	CAN	1188
C0LIPT	CAN0モジュール最終受信ポイント・レジスタ	CAN	1197
C0LOPT	CAN0モジュール最終送信ポイント・レジスタ	CAN	1199
C0MASK1H	CAN0モジュール・マスク1レジスタH	CAN	1182
C0MASK1L	CAN0モジュール・マスク1レジスタL	CAN	1182
C0MASK2H	CAN0モジュール・マスク2レジスタH	CAN	1182
C0MASK2L	CAN0モジュール・マスク2レジスタL	CAN	1182
C0MASK3H	CAN0モジュール・マスク3レジスタH	CAN	1182
C0MASK3L	CAN0モジュール・マスク3レジスタL	CAN	1182
C0MASK4H	CAN0モジュール・マスク4レジスタH	CAN	1182
C0MASK4L	CAN0モジュール・マスク4レジスタL	CAN	1182
C0MCONFm	CAN0メッセージ・コンフィギュレーション・レジスタm	CAN	1206
C0MCTRLm	CAN0メッセージ制御レジスタm	CAN	1208
C0MDATA01m	CAN0メッセージ・データ・バイト01レジスタm	CAN	1203
C0MDATA0m	CAN0メッセージ・データ・バイト0レジスタm	CAN	1203
C0MDATA1m	CAN0メッセージ・データ・バイト1レジスタm	CAN	1203
C0MDATA23m	CAN0メッセージ・データ・バイト23レジスタm	CAN	1203
C0MDATA2m	CAN0メッセージ・データ・バイト2レジスタm	CAN	1203
C0MDATA3m	CAN0メッセージ・データ・バイト3レジスタm	CAN	1203
C0MDATA45m	CAN0メッセージ・データ・バイト45レジスタm	CAN	1203
C0MDATA4m	CAN0メッセージ・データ・バイト4レジスタm	CAN	1203
C0MDATA5m	CAN0メッセージ・データ・バイト5レジスタm	CAN	1203
C0MDATA67m	CAN0メッセージ・データ・バイト67レジスタm	CAN	1203
C0MDATA6m	CAN0メッセージ・データ・バイト6レジスタm	CAN	1203
C0MDATA7m	CAN0メッセージ・データ・バイト7レジスタm	CAN	1203
C0MDLCm	CAN0メッセージ・データ長レジスタm	CAN	1205

備考 m = 00-31

( 3/20 )

略号	名称	ユニット	ページ
C0MIDHm	CAN0メッセージIDレジスタmH	CAN	1207
C0MIDLm	CAN0メッセージIDレジスタmL	CAN	1207
C0RGPT	CAN0モジュール受信履歴・リスト・レジスタ	CAN	1198
C0TGPT	CAN0モジュール送信履歴・リスト・レジスタ	CAN	1200
C0TS	CAN0モジュール・タイム・スタンプ・レジスタ	CAN	1201
C1BRP	CAN1モジュール・ビット・レート・プリスケアラ・レジスタ	CAN	1194
C1BTR	CAN1モジュール・ビット・レート・レジスタ	CAN	1195
C1CTRL	CAN1モジュール制御レジスタ	CAN	1184
C1ERC	CAN1モジュール・エラー・カウンタ・レジスタ	CAN	1190
C1GMABT	CAN1グローバル自動ブロック送信制御レジスタ	CAN	1179
C1GMABTD	CAN1グローバル自動ブロック送信遅延設定レジスタ	CAN	1181
C1GMCS	CAN1グローバル・クロック選択レジスタ	CAN	1178
C1GMCTRL	CAN1グローバル制御レジスタ	CAN	1176
C1IE	CAN1モジュール割り込み許可レジスタ	CAN	1191
C1INFO	CAN1モジュール情報レジスタ	CAN	1189
C1INTS	CAN1モジュール割り込みステータス・レジスタ	CAN	1193
C1LEC	CAN1モジュール最終エラー情報レジスタ	CAN	1188
C1LIPT	CAN1モジュール最終受信ポイント・レジスタ	CAN	1197
C1LOPT	CAN1モジュール最終送信ポイント・レジスタ	CAN	1199
C1MASK1H	CAN1モジュール・マスク1レジスタH	CAN	1182
C1MASK1L	CAN1モジュール・マスク1レジスタL	CAN	1182
C1MASK2H	CAN1モジュール・マスク2レジスタH	CAN	1182
C1MASK2L	CAN1モジュール・マスク2レジスタL	CAN	1182
C1MASK3H	CAN1モジュール・マスク3レジスタH	CAN	1182
C1MASK3L	CAN1モジュール・マスク3レジスタL	CAN	1182
C1MASK4H	CAN1モジュール・マスク4レジスタH	CAN	1182
C1MASK4L	CAN1モジュール・マスク4レジスタL	CAN	1182
C1MCONFm	CAN1メッセージ・コンフィギュレーション・レジスタm	CAN	1206
C1MCTRLm	CAN1メッセージ制御レジスタm	CAN	1208
C1MDATA01m	CAN1メッセージ・データ・バイト01レジスタm	CAN	1203
C1MDATA0m	CAN1メッセージ・データ・バイト0レジスタm	CAN	1203
C1MDATA1m	CAN1メッセージ・データ・バイト1レジスタm	CAN	1203
C1MDATA23m	CAN1メッセージ・データ・バイト23レジスタm	CAN	1203
C1MDATA2m	CAN1メッセージ・データ・バイト2レジスタm	CAN	1203
C1MDATA3m	CAN1メッセージ・データ・バイト3レジスタm	CAN	1203
C1MDATA45m	CAN1メッセージ・データ・バイト45レジスタm	CAN	1203
C1MDATA4m	CAN1メッセージ・データ・バイト4レジスタm	CAN	1203
C1MDATA5m	CAN1メッセージ・データ・バイト5レジスタm	CAN	1203
C1MDATA67m	CAN1メッセージ・データ・バイト67レジスタm	CAN	1203
C1MDATA6m	CAN1メッセージ・データ・バイト6レジスタm	CAN	1203
C1MDATA7m	CAN1メッセージ・データ・バイト7レジスタm	CAN	1203
C1MDLCm	CAN1メッセージ・データ長レジスタm	CAN	1205
C1MIDHm	CAN1メッセージIDレジスタmH	CAN	1207

備考 m = 00-31

( 4/20 )

略号	名称	ユニット	ページ
C1MIDLm	CAN1メッセージIDレジスタmL	CAN	1207
C1RGPT	CAN1モジュール受信履歴・リスト・レジスタ	CAN	1198
C1TGPT	CAN1モジュール送信履歴・リスト・レジスタ	CAN	1200
C1TS	CAN1モジュール・タイム・スタンプ・レジスタ	CAN	1201
CB0CTL0	CSIB0制御レジスタ0	CSI	847
CB0CTL1	CSIB0制御レジスタ1	CSI	850
CB0CTL2	CSIB0制御レジスタ2	CSI	852
CB0RIC	割り込み制御レジスタ	INTC	1326
CB0RX	CSIB0受信データ・レジスタ	CSI	845
CB0RXL	CSIB0受信データ・レジスタL	CSI	845
CB0STR	CSIB0状態レジスタ	CSI	854
CB0TIC	割り込み制御レジスタ	INTC	1326
CB0TX	CSIB0送信データ・レジスタ	CSI	846
CB0TXL	CSIB0送信データ・レジスタL	CSI	846
CB1CTL0	CSIB1制御レジスタ0	CSI	847
CB1CTL1	CSIB1制御レジスタ1	CSI	850
CB1CTL2	CSIB1制御レジスタ2	CSI	852
CB1RIC	割り込み制御レジスタ	INTC	1326
CB1RX	CSIB1受信データ・レジスタ	CSI	845
CB1RXL	CSIB1受信データ・レジスタL	CSI	845
CB1STR	CSIB1状態レジスタ	CSI	854
CB1TIC	割り込み制御レジスタ	INTC	1326
CB1TX	CSIB1送信データ・レジスタ	CSI	846
CB1TXL	CSIB1送信データ・レジスタL	CSI	846
CB2CTL0	CSIB2制御レジスタ0	CSI	847
CB2CTL1	CSIB2制御レジスタ1	CSI	850
CB2CTL2	CSIB2制御レジスタ2	CSI	852
CB2RIC	割り込み制御レジスタ	INTC	1326
CB2RX	CSIB2受信データ・レジスタ	CSI	845
CB2RXL	CSIB2受信データ・レジスタL	CSI	845
CB2STR	CSIB2状態レジスタ	CSI	854
CB2TIC	割り込み制御レジスタ	INTC	1326
CB2TX	CSIB2送信データ・レジスタ	CSI	846
CB2TXL	CSIB2送信データ・レジスタL	CSI	846
CB3CTL0	CSIB3制御レジスタ0	CSI	847
CB3CTL1	CSIB3制御レジスタ1	CSI	850
CB3CTL2	CSIB3制御レジスタ2	CSI	852
CB3RIC	割り込み制御レジスタ	INTC	1326
CB3RX	CSIB3受信データ・レジスタ	CSI	845
CB3RXL	CSIB3受信データ・レジスタL	CSI	845
CB3STR	CSIB3状態レジスタ	CSI	854
CB3TIC	割り込み制御レジスタ	INTC	1326
CB3TX	CSIB3送信データ・レジスタ	CSI	846
CB3TXL	CSIB3送信データ・レジスタL	CSI	846

( 5/20 )

略号	名称	ユニット	ページ
CB4CTL0	CSIB4制御レジスタ0	CSI	847
CB4CTL1	CSIB4制御レジスタ1	CSI	850
CB4CTL2	CSIB4制御レジスタ2	CSI	852
CB4RIC	割り込み制御レジスタ	INTC	1326
CB4RX	CSIB4受信データ・レジスタ	CSI	845
CB4RXL	CSIB4受信データ・レジスタL	CSI	845
CB4STR	CSIB4状態レジスタ	CSI	854
CB4TIC	割り込み制御レジスタ	INTC	1326
CB4TX	CSIB4送信データ・レジスタ	CSI	846
CB4TXL	CSIB4送信データ・レジスタL	CSI	846
CB5CTL0	CSIB5制御レジスタ0	CSI	847
CB5CTL1	CSIB5制御レジスタ1	CSI	850
CB5CTL2	CSIB5制御レジスタ2	CSI	852
CB5RIC	割り込み制御レジスタ	INTC	1326
CB5RX	CSIB5受信データ・レジスタ	CSI	845
CB5RXL	CSIB5受信データ・レジスタL	CSI	845
CB5STR	CSIB5状態レジスタ	CSI	854
CB5TIC	割り込み制御レジスタ	INTC	1326
CB5TX	CSIB5送信データ・レジスタ	CSI	846
CB5TXL	CSIB5送信データ・レジスタL	CSI	846
CCLS	CPU動作クロック・ステータス・レジスタ	CG	352
CCR	IEBusコミュニケーション・カウント・レジスタ	IEBus	1083
CDR	IEBusコントロール・データ・レジスタ	IEBus	1074
CE0CTL0	CSIE0制御レジスタ0	CSIE	906
CE0CTL1	CSIE0制御レジスタ1	CSIE	908
CE0CTL2	CSIE0制御レジスタ2	CSIE	910
CE0CTL3	CSIE0制御レジスタ3	CSIE	911
CE0RX0	CSIE0受信データ・バッファ・レジスタ	CSIE	903
CE0RX0H	CSIE0受信データ・バッファ・レジスタH	CSIE	903
CE0RX0L	CSIE0受信データ・バッファ・レジスタL	CSIE	903
CE0STR	CSIE0状態レジスタ	CSIE	912
CE0TIC	割り込み制御レジスタ	INTC	1326
CE0TIOFIC	割り込み制御レジスタ	INTC	1326
CE0TX0	CSIE0送信データ・バッファ・レジスタ	CSIE	904
CE0TX0H	CSIE0送信データ・バッファ・レジスタH	CSIE	904
CE0TX0L	CSIE0送信データ・バッファ・レジスタL	CSIE	904
CE1CTL0	CSIE1制御レジスタ0	CSIE	906
CE1CTL1	CSIE1制御レジスタ1	CSIE	908
CE1CTL2	CSIE1制御レジスタ2	CSIE	910
CE1CTL3	CSIE1制御レジスタ3	CSIE	911
CE1RX0	CSIE1受信データ・バッファ・レジスタ	CSIE	903
CE1RX0H	CSIE1受信データ・バッファ・レジスタH	CSIE	903
CE1RX0L	CSIE1受信データ・バッファ・レジスタL	CSIE	903
CE1STR	CSIE1状態レジスタ	CSIE	912



( 6/20 )

略号	名称	ユニット	ページ
CE1TIC	割り込み制御レジスタ	INTC	1326
CE1TIOFIC	割り込み制御レジスタ	INTC	1326
CE1TX0	CSIE1送信データ・バッファ・レジスタ	CSIE	904
CE1TX0H	CSIE1送信データ・バッファ・レジスタH	CSIE	904
CE1TX0L	CSIE1送信データ・バッファ・レジスタL	CSIE	904
CKC	クロック・コントロール・レジスタ	CG	354
CLM	クロック・モニタ・モード・レジスタ	CLM	1403
CORAD0	コレクション・アドレス・レジスタ0	ROMC	1417
CORAD0H	コレクション・アドレス・レジスタ0H	ROMC	1417
CORAD0L	コレクション・アドレス・レジスタ0L	ROMC	1417
CORAD1	コレクション・アドレス・レジスタ1	ROMC	1417
CORAD1H	コレクション・アドレス・レジスタ1H	ROMC	1417
CORAD1L	コレクション・アドレス・レジスタ1L	ROMC	1417
CORAD2	コレクション・アドレス・レジスタ2	ROMC	1417
CORAD2H	コレクション・アドレス・レジスタ2H	ROMC	1417
CORAD2L	コレクション・アドレス・レジスタ2L	ROMC	1417
CORAD3	コレクション・アドレス・レジスタ3	ROMC	1417
CORAD3H	コレクション・アドレス・レジスタ3H	ROMC	1417
CORAD3L	コレクション・アドレス・レジスタ3L	ROMC	1417
CORAD4	コレクション・アドレス・レジスタ4	ROMC	1417
CORAD4H	コレクション・アドレス・レジスタ4H	ROMC	1417
CORAD4L	コレクション・アドレス・レジスタ4L	ROMC	1417
CORAD5	コレクション・アドレス・レジスタ5	ROMC	1417
CORAD5H	コレクション・アドレス・レジスタ5H	ROMC	1417
CORAD5L	コレクション・アドレス・レジスタ5L	ROMC	1417
CORAD6	コレクション・アドレス・レジスタ6	ROMC	1417
CORAD6H	コレクション・アドレス・レジスタ6H	ROMC	1417
CORAD6L	コレクション・アドレス・レジスタ6L	ROMC	1417
CORAD7	コレクション・アドレス・レジスタ7	ROMC	1417
CORAD7H	コレクション・アドレス・レジスタ7H	ROMC	1417
CORAD7L	コレクション・アドレス・レジスタ7L	ROMC	1417
CORCN	コレクション・コントロール・レジスタ	ROMC	1419
CRCO	CRCデータ・レジスタ	CRC	1303
CRCIN	CRCインプット・レジスタ	CRC	1303
CSC0	チップ領域セレクト・コントロール・レジスタ0	BCU	299
CSC1	チップ領域セレクト・コントロール・レジスタ1	BCU	299
CTBP	CALLTベース・ポインタ	CPU	87
CTPC	CALLT実行時状態退避レジスタ	CPU	86
CTPSW	CALLT実行時状態退避レジスタ	CPU	86
DA0CS0	D/Aコンバータ変換値設定レジスタ0	DAC	730
DA0CS1	D/Aコンバータ変換値設定レジスタ1	DAC	730
DA0M	D/Aコンバータ・モード・レジスタ	DAC	729
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMA	1283
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMA	1283

(7/20)

略号	名称	ユニット	ページ
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMA	1283
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMA	1283
DBC0	DMA転送カウント・レジスタ0	DMA	1282
DBC1	DMA転送カウント・レジスタ1	DMA	1282
DBC2	DMA転送カウント・レジスタ2	DMA	1282
DBC3	DMA転送カウント・レジスタ3	DMA	1282
DBPC	例外 / デバッグ・トラップ時状態退避レジスタ	CPU	87
DBPSW	例外 / デバッグ・トラップ時状態退避レジスタ	CPU	87
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMA	1284
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMA	1284
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMA	1284
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMA	1284
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMA	1261
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMA	1261
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMA	1261
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMA	1261
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMA	1261
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMA	1261
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMA	1261
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMA	1261
DLR	IEBus電文長レジスタ	IEBus	1079
DMAIC0	割り込み制御レジスタ	INTC	1326
DMAIC1	割り込み制御レジスタ	INTC	1326
DMAIC2	割り込み制御レジスタ	INTC	1326
DMAIC3	割り込み制御レジスタ	INTC	1326
DR	IEBusデータ・レジスタ	IEBus	1080
DSA0H	DMAソース・アドレス・レジスタ0H	DMA	1280
DSA0L	DMAソース・アドレス・レジスタ0L	DMA	1280
DSA1H	DMAソース・アドレス・レジスタ1H	DMA	1280
DSA1L	DMAソース・アドレス・レジスタ1L	DMA	1280
DSA2H	DMAソース・アドレス・レジスタ2H	DMA	1280
DSA2L	DMAソース・アドレス・レジスタ2L	DMA	1280
DSA3H	DMAソース・アドレス・レジスタ3H	DMA	1280
DSA3L	DMAソース・アドレス・レジスタ3L	DMA	1280
DTFR0	DMAトリガ要因レジスタ0	DMA	1285
DTFR1	DMAトリガ要因レジスタ1	DMA	1285
DTFR2	DMAトリガ要因レジスタ2	DMA	1285
DTFR3	DMAトリガ要因レジスタ3	DMA	1285
DWC0	データ・ウェイト・コントロール・レジスタ0	BCU	314
DWC1	データ・ウェイト・コントロール・レジスタ1	BCU	315
ECR	割り込み要因レジスタ	CPU	84
EIPC	割り込み時状態退避レジスタ	CPU	83
EIPSW	割り込み時状態退避レジスタ	CPU	83
ENONFC	TMP7ノイズ除去制御レジスタ	タイマ	398

( 8/20 )

略号	名称	ユニット	ページ
EN1NFC	TMP8ノイズ除去制御レジスタ	タイマ	398
ERRIC	割り込み制御レジスタ	INTC	1326
ERRIC0	割り込み制御レジスタ	INTC	1326
ERRIC1	割り込み制御レジスタ	INTC	1326
ESR	IEBusエラー・ステータス・レジスタ	IEBus	1067
EXIMC	外部バス・インタフェース・モード・コントロール・レジスタ	BCU	304
FEPC	NMI時状態退避レジスタ	CPU	84
FEPSW	NMI時状態退避レジスタ	CPU	84
FSR	IEBusフィールド・ステータス・レジスタ	IEBus	1081
IEIC1	割り込み制御レジスタ	INTC	1326
IEIC2	割り込み制御レジスタ	INTC	1326
IIC0	IICシフト・レジスタ0	I <sup>2</sup> C	973
IIC1	IICシフト・レジスタ1	I <sup>2</sup> C	973
IIC2	IICシフト・レジスタ2	I <sup>2</sup> C	973
IIC3	IICシフト・レジスタ3	I <sup>2</sup> C	973
IIC4	IICシフト・レジスタ4	I <sup>2</sup> C	973
IIC5	IICシフト・レジスタ5	I <sup>2</sup> C	973
IICC0	IICコントロール・レジスタ0	I <sup>2</sup> C	956
IICC1	IICコントロール・レジスタ1	I <sup>2</sup> C	956
IICC2	IICコントロール・レジスタ2	I <sup>2</sup> C	956
IICC3	IICコントロール・レジスタ3	I <sup>2</sup> C	956
IICC4	IICコントロール・レジスタ4	I <sup>2</sup> C	956
IICC5	IICコントロール・レジスタ5	I <sup>2</sup> C	956
IICCL0	IICクロック選択レジスタ0	I <sup>2</sup> C	966
IICCL1	IICクロック選択レジスタ1	I <sup>2</sup> C	966
IICCL2	IICクロック選択レジスタ2	I <sup>2</sup> C	966
IICCL3	IICクロック選択レジスタ3	I <sup>2</sup> C	966
IICCL4	IICクロック選択レジスタ4	I <sup>2</sup> C	966
IICCL5	IICクロック選択レジスタ5	I <sup>2</sup> C	966
IICF0	IICフラグ・レジスタ0	I <sup>2</sup> C	964
IICF1	IICフラグ・レジスタ1	I <sup>2</sup> C	964
IICF2	IICフラグ・レジスタ2	I <sup>2</sup> C	964
IICF3	IICフラグ・レジスタ3	I <sup>2</sup> C	964
IICF4	IICフラグ・レジスタ4	I <sup>2</sup> C	964
IICF5	IICフラグ・レジスタ5	I <sup>2</sup> C	964
IICIC0	割り込み制御レジスタ	INTC	1326
IICIC1	割り込み制御レジスタ	INTC	1326
IICIC2	割り込み制御レジスタ	INTC	1326
IICIC3	割り込み制御レジスタ	INTC	1326
IICIC4	割り込み制御レジスタ	INTC	1326
IICIC5	割り込み制御レジスタ	INTC	1326
IICS0	IIC状態レジスタ0	I <sup>2</sup> C	961
IICS1	IIC状態レジスタ1	I <sup>2</sup> C	961
IICS2	IIC状態レジスタ2	I <sup>2</sup> C	961

( 9/20 )

略号	名称	ユニット	ページ
IICS3	IIC状態レジスタ3	I <sup>2</sup> C	961
IICS4	IIC状態レジスタ4	I <sup>2</sup> C	961
IICS5	IIC状態レジスタ5	I <sup>2</sup> C	961
IICX0	IIC機能拡張レジスタ0	I <sup>2</sup> C	967
IICX1	IIC機能拡張レジスタ1	I <sup>2</sup> C	967
IICX2	IIC機能拡張レジスタ2	I <sup>2</sup> C	967
IICX3	IIC機能拡張レジスタ3	I <sup>2</sup> C	967
IICX4	IIC機能拡張レジスタ4	I <sup>2</sup> C	967
IICX5	IIC機能拡張レジスタ5	I <sup>2</sup> C	967
IMR0	割り込みマスク・レジスタ0	INTC	1330
IMR0H	割り込みマスク・レジスタ0H	INTC	1330
IMR0L	割り込みマスク・レジスタ0L	INTC	1330
IMR1	割り込みマスク・レジスタ1	INTC	1330
IMR1H	割り込みマスク・レジスタ1H	INTC	1330
IMR1L	割り込みマスク・レジスタ1L	INTC	1330
IMR2	割り込みマスク・レジスタ2	INTC	1330
IMR2H	割り込みマスク・レジスタ2H	INTC	1330
IMR2L	割り込みマスク・レジスタ2L	INTC	1330
IMR3	割り込みマスク・レジスタ3	INTC	1330
IMR3H	割り込みマスク・レジスタ3H	INTC	1330
IMR3L	割り込みマスク・レジスタ3L	INTC	1330
IMR4	割り込みマスク・レジスタ4	INTC	1330
IMR4H	割り込みマスク・レジスタ4H	INTC	1330
IMR4L	割り込みマスク・レジスタ4L	INTC	1330
IMR5	割り込みマスク・レジスタ5	INTC	1330
IMR5H	割り込みマスク・レジスタ5H	INTC	1330
IMR5L	割り込みマスク・レジスタ5L	INTC	1330
IMR6	割り込みマスク・レジスタ6	INTC	1330
IMR6H	割り込みマスク・レジスタ6H	INTC	1330
IMR6L	割り込みマスク・レジスタ6L	INTC	1330
IMR7L	割り込みマスク・レジスタ7L	INTC	1330
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	1344
INTF3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	1345
INTF4	外部割り込み立ち下がりエッジ指定レジスタ4	INTC	1346
INTF5	外部割り込み立ち下がりエッジ指定レジスタ5	INTC	1347
INTF6	外部割り込み立ち下がりエッジ指定レジスタ6	INTC	1348
INTF8	外部割り込み立ち下がりエッジ指定レジスタ8	INTC	1349
INTF9	外部割り込み立ち下がりエッジ指定レジスタ9	INTC	1350
INTF9H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTC	1350
INTF9L	外部割り込み立ち下がりエッジ指定レジスタ9L	INTC	1350
INTF15	外部割り込み立ち下がりエッジ指定レジスタ15	INTC	1351
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	1344
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	1345
INTR4	外部割り込み立ち上がりエッジ指定レジスタ4	INTC	1346

( 10/20 )

略号	名称	ユニット	ページ
INTR5	外部割り込み立ち上がりエッジ指定レジスタ5	INTC	1347
INTR6	外部割り込み立ち上がりエッジ指定レジスタ6	INTC	1348
INTR8	外部割り込み立ち上がりエッジ指定レジスタ8	INTC	1349
INTR9	外部割り込み立ち上がりエッジ指定レジスタ9	INTC	1350
INTR9H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTC	1350
INTR9L	外部割り込み立ち上がりエッジ指定レジスタ9L	INTC	1350
INTR15	外部割り込み立ち上がりエッジ指定レジスタ15	INTC	1351
ISPR	インサースビス・プライオリティ・レジスタ	INTC	1333
ISR	IEBusインタラプト・ステータス・レジスタ	IEBus	1064
KRIC	割り込み制御レジスタ	INTC	1326
KRM	キー・リターン・モード・レジスタ	KR	1358
LOCKR	ロック・レジスタ	CG	355
LVIC	割り込み制御レジスタ	INTC	1326
LVIM	低電圧検出レジスタ	LVI	1408
LVIS	低電圧検出レベル選択レジスタ	LVI	1409
NFC	ノイズ除去制御レジスタ	INTC	1352
OCDM	オンチップ・デバッグ・モード・レジスタ	DCU	1461
OCKS0	IIC分周クロック選択レジスタ0	I <sup>2</sup> C	972
OCKS1	IIC分周クロック選択レジスタ1	I <sup>2</sup> C	972
OCKS2	IEBusクロック選択レジスタ	IEBus	1084
OCKS3	IIC分周クロック選択レジスタ3	I <sup>2</sup> C	972
OSTS	発振安定時間選択レジスタ	WDT	1363
P0	ポート0レジスタ	ポート	146
P1	ポート1レジスタ	ポート	150
P2	ポート2レジスタ	ポート	151
P3	ポート3レジスタ	ポート	154
P3H	ポート3レジスタH	ポート	154
P3L	ポート3レジスタL	ポート	154
P4	ポート4レジスタ	ポート	163
P5	ポート5レジスタ	ポート	167
P6	ポート6レジスタ	ポート	173
P6H	ポート6レジスタH	ポート	173
P6L	ポート6レジスタL	ポート	173
P7H	ポート7レジスタH	ポート	181
P7L	ポート7レジスタL	ポート	181
P8	ポート8レジスタ	ポート	182
P9	ポート9レジスタ	ポート	188
P9H	ポート9レジスタH	ポート	188
P9L	ポート9レジスタL	ポート	188
P13	ポート13レジスタ	ポート	195
P14	ポート14レジスタ	ポート	196
P15	ポート15レジスタ	ポート	197
PAR	IEBusパートナー・アドレス・レジスタ	IEBus	1073
PC	プログラム・カウンタ	CPU	81

( 11/20 )

略号	名称	ユニット	ページ
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	350
PCD	ポートCDレジスタ	ポート	199
PCM	ポートCMレジスタ	ポート	201
PCS	ポートCSレジスタ	ポート	203
PCT	ポートCTレジスタ	ポート	205
PDH	ポートDHレジスタ	ポート	208
PDL	ポートDLレジスタ	ポート	210
PDLH	ポートDLレジスタH	ポート	210
PDLL	ポートDLレジスタL	ポート	210
PEMU1	周辺エミュレーション・レジスタ1	CPU	1413
PF0	ポート0ファンクション・レジスタ	ポート	149
PF2	ポート2ファンクション・レジスタ	ポート	152
PF3	ポート3ファンクション・レジスタ	ポート	161
PF3H	ポート3ファンクション・レジスタH	ポート	161
PF3L	ポート3ファンクション・レジスタL	ポート	161
PF4	ポート4ファンクション・レジスタ	ポート	165
PF5	ポート5ファンクション・レジスタ	ポート	171
PF6	ポート6ファンクション・レジスタ	ポート	179
PF6H	ポート6ファンクション・レジスタH	ポート	179
PF6L	ポート6ファンクション・レジスタL	ポート	179
PF8	ポート8ファンクション・レジスタ	ポート	186
PF9	ポート9ファンクション・レジスタ	ポート	194
PF9H	ポート9ファンクション・レジスタH	ポート	194
PF9L	ポート9ファンクション・レジスタL	ポート	194
PF15	ポート15ファンクション・レジスタ	ポート	198
PFC0	ポート0ファンクション・コントロール・レジスタ	ポート	148
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	158
PFC3H	ポート3ファンクション・コントロール・レジスタH	ポート	158
PFC3L	ポート3ファンクション・コントロール・レジスタL	ポート	158
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	165
PFC5	ポート5ファンクション・コントロール・レジスタ	ポート	169
PFC6	ポート6ファンクション・コントロール・レジスタ	ポート	176
PFC6H	ポート6ファンクション・コントロール・レジスタH	ポート	176
PFC6L	ポート6ファンクション・コントロール・レジスタL	ポート	176
PFC8	ポート8ファンクション・コントロール・レジスタ	ポート	185
PFC9	ポート9ファンクション・コントロール・レジスタ	ポート	191
PFC9H	ポート9ファンクション・コントロール・レジスタH	ポート	191
PFC9L	ポート9ファンクション・コントロール・レジスタL	ポート	191
PFCCD	ポートCDファンクション・コントロール・レジスタ	ポート	200
PFCE0	ポート0ファンクション・コントロール拡張レジスタ	ポート	148
PFCE3	ポート3ファンクション・コントロール拡張レジスタ	ポート	158
PFCE3H	ポート3ファンクション・コントロール拡張レジスタH	ポート	158
PFCE3L	ポート3ファンクション・コントロール拡張レジスタL	ポート	158
PFCE5	ポート5ファンクション・コントロール拡張レジスタ	ポート	169

( 12/20 )

略号	名称	ユニット	ページ
PFCE6	ポート6ファンクション・コントロール拡張レジスタ	ポート	176
PFCE6H	ポート6ファンクション・コントロール拡張レジスタH	ポート	176
PFCE6L	ポート6ファンクション・コントロール拡張レジスタL	ポート	176
PFCE8	ポート8ファンクション・コントロール拡張レジスタ	ポート	185
PFCE9	ポート9ファンクション・コントロール拡張レジスタ	ポート	191
PFCE9H	ポート9ファンクション・コントロール拡張レジスタH	ポート	191
PFCE9L	ポート9ファンクション・コントロール拡張レジスタL	ポート	191
PIC0	割り込み制御レジスタ	INTC	1326
PIC1	割り込み制御レジスタ	INTC	1326
PIC2	割り込み制御レジスタ	INTC	1326
PIC3	割り込み制御レジスタ	INTC	1326
PIC4	割り込み制御レジスタ	INTC	1326
PIC5	割り込み制御レジスタ	INTC	1326
PIC6	割り込み制御レジスタ	INTC	1326
PIC7	割り込み制御レジスタ	INTC	1326
PIC8	割り込み制御レジスタ	INTC	1326
PIC9	割り込み制御レジスタ	INTC	1326
PLLCTL	PLLコントロール・レジスタ	CG	353
PLLS	PLLロックアップ時間指定レジスタ	CG	356
PM0	ポート0モード・レジスタ	ポート	147
PM1	ポート1モード・レジスタ	ポート	150
PM2	ポート2モード・レジスタ	ポート	151
PM3	ポート3モード・レジスタ	ポート	155
PM3H	ポート3モード・レジスタH	ポート	155
PM3L	ポート3モード・レジスタL	ポート	155
PM4	ポート4モード・レジスタ	ポート	163
PM5	ポート5モード・レジスタ	ポート	167
PM6	ポート6モード・レジスタ	ポート	173
PM6H	ポート6モード・レジスタH	ポート	173
PM6L	ポート6モード・レジスタL	ポート	173
PM7H	ポート7モード・レジスタH	ポート	181
PM7L	ポート7モード・レジスタL	ポート	181
PM8	ポート8モード・レジスタ	ポート	183
PM9	ポート9モード・レジスタ	ポート	188
PM9H	ポート9モード・レジスタH	ポート	188
PM9L	ポート9モード・レジスタL	ポート	188
PM13	ポート13モード・レジスタ	ポート	195
PM14	ポート14モード・レジスタ	ポート	196
PM15	ポート15モード・レジスタ	ポート	197
PMC0	ポート0モード・コントロール・レジスタ	ポート	147
PMC2	ポート2モード・コントロール・レジスタ	ポート	152
PMC3	ポート3モード・コントロール・レジスタ	ポート	156
PMC3H	ポート3モード・コントロール・レジスタH	ポート	156
PMC3L	ポート3モード・コントロール・レジスタL	ポート	156

( 13/20 )

略号	名称	ユニット	ページ
PMC4	ポート4モード・コントロール・レジスタ	ポート	164
PMC5	ポート5モード・コントロール・レジスタ	ポート	168
PMC6	ポート6モード・コントロール・レジスタ	ポート	174
PMC6H	ポート6モード・コントロール・レジスタH	ポート	174
PMC6L	ポート6モード・コントロール・レジスタL	ポート	174
PMC8	ポート8モード・コントロール・レジスタ	ポート	184
PMC9	ポート9モード・コントロール・レジスタ	ポート	189
PMC9H	ポート9モード・コントロール・レジスタH	ポート	189
PMC9L	ポート9モード・コントロール・レジスタL	ポート	189
PMC15	ポート15モード・コントロール・レジスタ	ポート	198
PMCCD	ポートCDモード・コントロール・レジスタ	ポート	200
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	202
PMCCS	ポートCSモード・コントロール・レジスタ	ポート	204
PMCCCT	ポートCTモード・コントロール・レジスタ	ポート	206
PMCD	ポートCDモード・レジスタ	ポート	199
PMCDH	ポートDHモード・コントロール・レジスタ	ポート	208
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	211
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	211
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	211
PMCM	ポートCMモード・レジスタ	ポート	201
PMCS	ポートCSモード・レジスタ	ポート	203
PMCT	ポートCTモード・レジスタ	ポート	205
PMDH	ポートDHモード・レジスタ	ポート	208
PMDL	ポートDLモード・レジスタ	ポート	210
PMDLH	ポートDLモード・レジスタH	ポート	210
PMDLL	ポートDLモード・レジスタL	ポート	210
PRCMD	コマンド・レジスタ	CPU	131
PRDSELH	製品選択レジスタH	CPU	104
PRDSELL	製品選択レジスタL	CPU	104
PRSCM0	プリスケアラ・コンペア・レジスタ0	WT	635
PRSCM1	BRG1プリスケアラ・コンペア・レジスタ	CSI	896
PRSCM2	BRG2プリスケアラ・コンペア・レジスタ	CSI	896
PRSCM3	BRG3プリスケアラ・コンペア・レジスタ	CSI	896
PRSM0	プリスケアラ・モード・レジスタ0	WT	634
PRSM1	BRG1プリスケアラ・モード・レジスタ	CSI	895
PRSM2	BRG2プリスケアラ・モード・レジスタ	CSI	895
PRSM3	BRG3プリスケアラ・モード・レジスタ	CSI	895
PSC	パワー・セーブ・コントロール・レジスタ	CG	1361
PSMR	パワー・セーブ・モード・レジスタ	CG	1362
PSR	IEBusパワー・セーブ・レジスタ	IEBus	1058
PSW	プログラム・ステータス・ワード	CPU	85
r0-r31	汎用レジスタ	CPU	81
RAMS	内蔵RAMデータ・ステータス・レジスタ	CG	1409
RC1ALH	アラーム時設定レジスタ	RTC	660



( 14/20 )

略号	名称	ユニット	ページ
RC1ALM	アラーム分設定レジスタ	RTC	660
RC1ALW	アラーム曜日設定レジスタ	RTC	661
RC1CC0	リアルタイム・カウンタ・コントロール・レジスタ0	RTC	649
RC1CC1	リアルタイム・カウンタ・コントロール・レジスタ1	RTC	649
RC1CC2	リアルタイム・カウンタ・コントロール・レジスタ2	RTC	651
RC1CC3	リアルタイム・カウンタ・コントロール・レジスタ3	RTC	652
RC1DAY	日カウント・レジスタ	RTC	656
RC1HOUR	時カウント・レジスタ	RTC	654
RC1MIN	分カウント・レジスタ	RTC	654
RC1MONTH	月カウント・レジスタ	RTC	658
RC1SEC	秒カウント・レジスタ	RTC	653
RC1SUBC	サブカウント・レジスタ	RTC	653
RC1SUBU	時計誤差補正レジスタ	RTC	659
RC1WEEK	曜日カウント・レジスタ	RTC	657
RC1YEAR	年カウント・レジスタ	RTC	658
RCM	内蔵発振モード・レジスタ	CG	352
RECIC0	割り込み制御レジスタ	INTC	1326
RECIC1	割り込み制御レジスタ	INTC	1326
RESF	リセット要因フラグ・レジスタ	LVI	1391
RSA	IEBus受信スレーブ・アドレス・レジスタ	IEBus	1073
RTBH0	リアルタイム出力バッファ・レジスタ0H	RTP	683
RTBH1	リアルタイム出力バッファ・レジスタ1H	RTP	683
RTBL0	リアルタイム出力バッファ・レジスタ0L	RTP	683
RTBL1	リアルタイム出力バッファ・レジスタ1L	RTP	683
RTC0IC	割り込み制御レジスタ	INTC	1326
RTC1IC	割り込み制御レジスタ	INTC	1326
RTC2IC	割り込み制御レジスタ	INTC	1326
RTPC0	リアルタイム出力ポート・コントロール・レジスタ0	RTP	685
RTPC1	リアルタイム出力ポート・コントロール・レジスタ1	RTP	685
RTPM0	リアルタイム出力ポート・モード・レジスタ0	RTP	684
RTPM1	リアルタイム出力ポート・モード・レジスタ1	RTP	684
SAR	IEBusスレーブ・アドレス・レジスタ	IEBus	1072
SCR	IEBusサクセス・カウント・レジスタ	IEBus	1082
SELCNT0	セレクトク動作制御レジスタ0	タイマ	508
SFC0	SSCG周波数コントロール・レジスタ0	CG	358
SFC1	SSCG周波数コントロール・レジスタ1	CG	359
SSCGCTL	SSCGコントロール・レジスタ	CG	357
SSR	IEBusスレーブ・ステータス・レジスタ	IEBus	1059
STAIC	割り込み制御レジスタ	INTC	1326
SVA0	スレーブ・アドレス・レジスタ0	I <sup>2</sup> C	973
SVA1	スレーブ・アドレス・レジスタ1	I <sup>2</sup> C	973
SVA2	スレーブ・アドレス・レジスタ2	I <sup>2</sup> C	973
SVA3	スレーブ・アドレス・レジスタ3	I <sup>2</sup> C	973
SVA4	スレーブ・アドレス・レジスタ4	I <sup>2</sup> C	973

(15/20)

略号	名称	ユニット	ページ
SVA5	スレーブ・アドレス・レジスタ5	I <sup>2</sup> C	973
SYS	システム・ステータス・レジスタ	CPU	132
TM0CMP0	TMM0コンペア・レジスタ0	タイマ	623
TM0CTL0	TMM0制御レジスタ0	タイマ	624
TM0EQIC0	割り込み制御レジスタ	INTC	1326
TM1CMP0	TMM1コンペア・レジスタ0	タイマ	623
TM1CTL0	TMM1制御レジスタ0	タイマ	624
TM1EQIC0	割り込み制御レジスタ	INTC	1326
TM2CMP0	TMM2コンペア・レジスタ0	タイマ	623
TM2CTL0	TMM2制御レジスタ0	タイマ	624
TM2EQIC0	割り込み制御レジスタ	INTC	1326
TP0CCIC0	割り込み制御レジスタ	INTC	1326
TP0CCIC1	割り込み制御レジスタ	INTC	1326
TP0CCR0	TMP0キャプチャ/コンペア・レジスタ0	タイマ	392
TP0CCR1	TMP0キャプチャ/コンペア・レジスタ1	タイマ	394
TP0CNT	TMP0カウンタ・リード・バッファ・レジスタ	タイマ	397
TP0CTL0	TMP0制御レジスタ0	タイマ	377
TP0CTL1	TMP0制御レジスタ1	タイマ	379
TP0IOC0	TMP0I/O制御レジスタ0	タイマ	383
TP0IOC1	TMP0I/O制御レジスタ1	タイマ	385
TP0IOC2	TMP0I/O制御レジスタ2	タイマ	386
TP0OPT0	TMP0オプション・レジスタ0	タイマ	389
TP0OVIC	割り込み制御レジスタ	INTC	1326
TP1CCIC0	割り込み制御レジスタ	INTC	1326
TP1CCIC1	割り込み制御レジスタ	INTC	1326
TP1CCR0	TMP1キャプチャ/コンペア・レジスタ0	タイマ	392
TP1CCR1	TMP1キャプチャ/コンペア・レジスタ1	タイマ	394
TP1CNT	TMP1カウンタ・リード・バッファ・レジスタ	タイマ	397
TP1CTL0	TMP1制御レジスタ0	タイマ	377
TP1CTL1	TMP1制御レジスタ1	タイマ	379
TP1IOC0	TMP1I/O制御レジスタ0	タイマ	383
TP1IOC1	TMP1I/O制御レジスタ1	タイマ	385
TP1IOC2	TMP1I/O制御レジスタ2	タイマ	386
TP1OPT0	TMP1オプション・レジスタ0	タイマ	389
TP1OVIC	割り込み制御レジスタ	INTC	1326
TP2CCIC0	割り込み制御レジスタ	INTC	1326
TP2CCIC1	割り込み制御レジスタ	INTC	1326
TP2CCR0	TMP2キャプチャ/コンペア・レジスタ0	タイマ	392
TP2CCR1	TMP2キャプチャ/コンペア・レジスタ1	タイマ	394
TP2CNT	TMP2カウンタ・リード・バッファ・レジスタ	タイマ	397
TP2CTL0	TMP2制御レジスタ0	タイマ	377
TP2CTL1	TMP2制御レジスタ1	タイマ	379
TP2IOC0	TMP2I/O制御レジスタ0	タイマ	383
TP2IOC1	TMP2I/O制御レジスタ1	タイマ	385

(16/20)

略号	名称	ユニット	ページ
TP2IOC2	TMP2I/O制御レジスタ2	タイマ	386
TP2OPT0	TMP2オプション・レジスタ0	タイマ	389
TP2OVIC	割り込み制御レジスタ	INTC	1326
TP3CCIC0	割り込み制御レジスタ	INTC	1326
TP3CCIC1	割り込み制御レジスタ	INTC	1326
TP3CCR0	TMP3キャプチャ/コンペア・レジスタ0	タイマ	392
TP3CCR1	TMP3キャプチャ/コンペア・レジスタ1	タイマ	394
TP3CNT	TMP3カウンタ・リード・バッファ・レジスタ	タイマ	397
TP3CTL0	TMP3制御レジスタ0	タイマ	377
TP3CTL1	TMP3制御レジスタ1	タイマ	379
TP3IOC0	TMP3I/O制御レジスタ0	タイマ	383
TP3IOC1	TMP3I/O制御レジスタ1	タイマ	385
TP3IOC2	TMP3I/O制御レジスタ2	タイマ	386
TP3OPT0	TMP3オプション・レジスタ0	タイマ	389
TP3OVIC	割り込み制御レジスタ	INTC	1326
TP4CCIC0	割り込み制御レジスタ	INTC	1326
TP4CCIC1	割り込み制御レジスタ	INTC	1326
TP4CCR0	TMP4キャプチャ/コンペア・レジスタ0	タイマ	392
TP4CCR1	TMP4キャプチャ/コンペア・レジスタ1	タイマ	394
TP4CNT	TMP4カウンタ・リード・バッファ・レジスタ	タイマ	397
TP4CTL0	TMP4制御レジスタ0	タイマ	377
TP4CTL1	TMP4制御レジスタ1	タイマ	379
TP4IOC0	TMP4I/O制御レジスタ0	タイマ	383
TP4IOC1	TMP4I/O制御レジスタ1	タイマ	385
TP4IOC2	TMP4I/O制御レジスタ2	タイマ	386
TP4OPT0	TMP4オプション・レジスタ0	タイマ	389
TP4OVIC	割り込み制御レジスタ	INTC	1326
TP5CCIC0	割り込み制御レジスタ	INTC	1326
TP5CCIC1	割り込み制御レジスタ	INTC	1326
TP5CCR0	TMP5キャプチャ/コンペア・レジスタ0	タイマ	392
TP5CCR1	TMP5キャプチャ/コンペア・レジスタ1	タイマ	394
TP5CNT	TMP5カウンタ・リード・バッファ・レジスタ	タイマ	397
TP5CTL0	TMP5制御レジスタ0	タイマ	377
TP5CTL1	TMP5制御レジスタ1	タイマ	379
TP5IOC0	TMP5I/O制御レジスタ0	タイマ	383
TP5IOC1	TMP5I/O制御レジスタ1	タイマ	385
TP5IOC2	TMP5I/O制御レジスタ2	タイマ	386
TP5OPT0	TMP5オプション・レジスタ0	タイマ	389
TP5OVIC	割り込み制御レジスタ	INTC	1326
TP6CCIC0	割り込み制御レジスタ	INTC	1326
TP6CCIC1	割り込み制御レジスタ	INTC	1326
TP6CCR0	TMP6キャプチャ/コンペア・レジスタ0	タイマ	392
TP6CCR1	TMP6キャプチャ/コンペア・レジスタ1	タイマ	394
TP6CNT	TMP6カウンタ・リード・バッファ・レジスタ	タイマ	397

( 17/20 )

略号	名称	ユニット	ページ
TP6CTL0	TMP6制御レジスタ0	タイマ	377
TP6CTL1	TMP6制御レジスタ1	タイマ	379
TP6IOC0	TMP6I/O制御レジスタ0	タイマ	383
TP6IOC1	TMP6I/O制御レジスタ1	タイマ	385
TP6IOC2	TMP6I/O制御レジスタ2	タイマ	386
TP6OPT0	TMP6オプション・レジスタ0	タイマ	389
TP6OVIC	割り込み制御レジスタ	INTC	1326
TP7CCIC0	割り込み制御レジスタ	INTC	1326
TP7CCIC1	割り込み制御レジスタ	INTC	1326
TP7CCR0	TMP7キャプチャ/コンペア・レジスタ0	タイマ	392
TP7CCR1	TMP7キャプチャ/コンペア・レジスタ1	タイマ	394
TP7CNT	TMP7カウンタ・リード・バッファ・レジスタ	タイマ	397
TP7CTL0	TMP7制御レジスタ0	タイマ	377
TP7CTL1	TMP7制御レジスタ1	タイマ	379
TP7CTL2	TMP7制御レジスタ2	タイマ	381
TP7IECIC	割り込み制御レジスタ	INTC	1326
TP7IOC0	TMP7I/O制御レジスタ0	タイマ	383
TP7IOC1	TMP7I/O制御レジスタ1	タイマ	385
TP7IOC2	TMP7I/O制御レジスタ2	タイマ	386
TP7IOC3	TMP7I/O制御レジスタ3	タイマ	387
TP7OPT0	TMP7オプション・レジスタ0	タイマ	389
TP7OPT1	TMP7オプション・レジスタ1	タイマ	390
TP7OVIC	割り込み制御レジスタ	INTC	1326
TP7TCW	TMP7カウンタ・ライト・レジスタ	タイマ	396
TP8CCIC0	割り込み制御レジスタ	INTC	1326
TP8CCIC1	割り込み制御レジスタ	INTC	1326
TP8CCR0	TMP8キャプチャ/コンペア・レジスタ0	タイマ	392
TP8CCR1	TMP8キャプチャ/コンペア・レジスタ1	タイマ	394
TP8CNT	TMP8カウンタ・リード・バッファ・レジスタ	タイマ	397
TP8CTL0	TMP8制御レジスタ0	タイマ	377
TP8CTL1	TMP8制御レジスタ1	タイマ	379
TP8CTL2	TMP8制御レジスタ2	タイマ	381
TP8IECIC	割り込み制御レジスタ	INTC	1326
TP8IOC0	TMP8I/O制御レジスタ0	タイマ	383
TP8IOC1	TMP8I/O制御レジスタ1	タイマ	385
TP8IOC2	TMP8I/O制御レジスタ2	タイマ	386
TP8IOC3	TMP8I/O制御レジスタ3	タイマ	387
TP8OPT0	TMP8オプション・レジスタ0	タイマ	389
TP8OPT1	TMP8オプション・レジスタ1	タイマ	390
TP8OVIC	割り込み制御レジスタ	INTC	1326
TP8TCW	TMP8カウンタ・ライト・レジスタ	タイマ	396
TQ0CCIC0	割り込み制御レジスタ	INTC	1326
TQ0CCIC1	割り込み制御レジスタ	INTC	1326
TQ0CCIC2	割り込み制御レジスタ	INTC	1326

(18/20)

略号	名称	ユニット	ページ
TQ0CCIC3	割り込み制御レジスタ	INTC	1326
TQ0CCR0	TMQ0キャプチャ/コンペア・レジスタ0	タイマ	521
TQ0CCR1	TMQ0キャプチャ/コンペア・レジスタ1	タイマ	523
TQ0CCR2	TMQ0キャプチャ/コンペア・レジスタ2	タイマ	525
TQ0CCR3	TMQ0キャプチャ/コンペア・レジスタ3	タイマ	527
TQ0CNT	TMQ0カウンタ・リード・バッファ・レジスタ	タイマ	529
TQ0CTL0	TMQ0制御レジスタ0	タイマ	514
TQ0CTL1	TMQ0制御レジスタ1	タイマ	515
TQ0IOC0	TMQ0I/O制御レジスタ0	タイマ	517
TQ0IOC1	TMQ0I/O制御レジスタ1	タイマ	518
TQ0IOC2	TMQ0I/O制御レジスタ2	タイマ	519
TQ0OPT0	TMQ0オプション・レジスタ0	タイマ	520
TQ0OVIC	割り込み制御レジスタ	INTC	1326
TRXIC0	割り込み制御レジスタ	INTC	1326
TRXIC1	割り込み制御レジスタ	INTC	1326
UA0CTL0	UARTA0制御レジスタ0	UART	742
UA0CTL1	UARTA0制御レジスタ1	UART	768
UA0CTL2	UARTA0制御レジスタ2	UART	769
UA0OPT0	UARTA0オプション制御レジスタ0	UART	744
UA0RIC	割り込み制御レジスタ	INTC	1326
UA0RX	UARTA0受信データ・レジスタ	UART	748
UA0STR	UARTA0状態レジスタ	UART	746
UA0TIC	割り込み制御レジスタ	INTC	1326
UA0TX	UARTA0送信データ・レジスタ	UART	748
UA1CTL0	UARTA1制御レジスタ0	UART	742
UA1CTL1	UARTA1制御レジスタ1	UART	768
UA1CTL2	UARTA1制御レジスタ2	UART	769
UA1OPT0	UARTA1オプション制御レジスタ0	UART	744
UA1RIC	割り込み制御レジスタ	INTC	1326
UA1RX	UARTA1受信データ・レジスタ	UART	748
UA1STR	UARTA1状態レジスタ	UART	746
UA1TIC	割り込み制御レジスタ	INTC	1326
UA1TX	UARTA1送信データ・レジスタ	UART	748
UA2CTL0	UARTA2制御レジスタ0	UART	742
UA2CTL1	UARTA2制御レジスタ1	UART	768
UA2CTL2	UARTA2制御レジスタ2	UART	769
UA2OPT0	UARTA2オプション制御レジスタ0	UART	744
UA2RIC	割り込み制御レジスタ	INTC	1326
UA2RX	UARTA2受信データ・レジスタ	UART	748
UA2STR	UARTA2状態レジスタ	UART	746
UA2TIC	割り込み制御レジスタ	INTC	1326
UA2TX	UARTA2送信データ・レジスタ	UART	748
UA3CTL0	UARTA3制御レジスタ0	UART	742
UA3CTL1	UARTA3制御レジスタ1	UART	768

( 19/20 )

略号	名称	ユニット	ページ
UA3CTL2	UARTA3制御レジスタ2	UART	769
UA3OPT0	UARTA3オプション制御レジスタ0	UART	744
UA3RIC	割り込み制御レジスタ	INTC	1326
UA3RX	UARTA3受信データ・レジスタ	UART	748
UA3STR	UARTA3状態レジスタ	UART	746
UA3TIC	割り込み制御レジスタ	INTC	1326
UA3TX	UARTA3送信データ・レジスタ	UART	748
UA4CTL0	UARTA4制御レジスタ0	UARTA	742
UA4CTL1	UARTA4制御レジスタ1	UARTA	768
UA4CTL2	UARTA4制御レジスタ2	UARTA	769
UA4OPT0	UARTA4オプション制御レジスタ0	UARTA	744
UA4RIC	割り込み制御レジスタ	INTC	1326
UA4RX	UARTA4受信データ・レジスタ	UARTA	748
UA4STR	UARTA4状態レジスタ	UARTA	746
UA4TIC	割り込み制御レジスタ	INTC	1326
UA4TX	UARTA4送信データ・レジスタ	UARTA	748
UA5CTL0	UARTA5制御レジスタ0	UARTA	742
UA5CTL1	UARTA5制御レジスタ1	UARTA	768
UA5CTL2	UARTA5制御レジスタ2	UARTA	769
UA5OPT0	UARTA5オプション制御レジスタ0	UARTA	744
UA5RIC	割り込み制御レジスタ	INTC	1326
UA5RX	UARTA5受信データ・レジスタ	UARTA	748
UA5STR	UARTA5状態レジスタ	UARTA	746
UA5TIC	割り込み制御レジスタ	INTC	1326
UA5TX	UARTA5送信データ・レジスタ	UARTA	748
UAR	IEBusユニット・アドレス・レジスタ	IEBus	1072
UB0CTL0	UARTB0制御レジスタ0	UARTB	784
UB0CTL2	UARTB0制御レジスタ2	UARTB	789
UB0FIC0	UARTB0 FIFO制御レジスタ0	UARTB	794
UB0FIC1	UARTB0 FIFO制御レジスタ1	UARTB	798
UB0FIC2	UARTB0 FIFO制御レジスタ2	UARTB	799
UB0FIC2H	UARTB0 FIFO制御レジスタ2H	UARTB	799
UB0FIC2L	UARTB0 FIFO制御レジスタ2L	UARTB	799
UB0FIS0	UARTB0 FIFO状態レジスタ0	UARTB	801
UB0FIS1	UARTB0 FIFO状態レジスタ1	UARTB	802
UB0RX	UARTB0受信データ・レジスタ	UARTB	792
UB0RXAP	UARTB0受信データ・レジスタAP	UARTB	792
UB0STR	UARTB0状態レジスタ	UARTB	787
UB0TIFIC	割り込み制御レジスタ	INTC	1326
UB0TIREIC	割り込み制御レジスタ	INTC	1326
UB0TIRIC	割り込み制御レジスタ	INTC	1326
UB0TITIC	割り込み制御レジスタ	INTC	1326
UB0TIOIC	割り込み制御レジスタ	INTC	1326
UB0TX	UARTB0送信データ・レジスタ	UARTB	791

( 20/20 )

略号	名称	ユニット	ページ
UB1CTL0	UARTB1制御レジスタ0	UARTB	784
UB1CTL2	UARTB1制御レジスタ2	UARTB	789
UB1FIC0	UARTB1 FIFO制御レジスタ0	UARTB	794
UB1FIC1	UARTB1 FIFO制御レジスタ1	UARTB	798
UB1FIC2	UARTB1 FIFO制御レジスタ2	UARTB	799
UB1FIC2H	UARTB1 FIFO制御レジスタ2H	UARTB	799
UB1FIC2L	UARTB1 FIFO制御レジスタ2L	UARTB	799
UB1FIS0	UARTB1 FIFO状態レジスタ0	UARTB	801
UB1FIS1	UARTB1 FIFO状態レジスタ1	UARTB	802
UB1RX	UARTB1受信データ・レジスタ	UARTB	792
UB1RXAP	UARTB1受信データ・レジスタAP	UARTB	792
UB1STR	UARTB1状態レジスタ	UARTB	787
UB1TIFIC	割り込み制御レジスタ	INTC	1326
UB1TIREIC	割り込み制御レジスタ	INTC	1326
UB1TIRIC	割り込み制御レジスタ	INTC	1326
UB1TITIC	割り込み制御レジスタ	INTC	1326
UB1TITOIC	割り込み制御レジスタ	INTC	1326
UB1TX	UARTB1送信データ・レジスタ	UARTB	791
USR	IEBusユニット・ステータス・レジスタ	IEBus	1060
VSWC	システム・ウェイト・コントロール・レジスタ	CPU	133
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	679
WDTM2	ウォッチドッグ・タイマ・モード・レジスタ2	WDT	676
WTIC	割り込み制御レジスタ	INTC	1326
WTIIC	割り込み制御レジスタ	INTC	1326
WTM	時計タイマ動作モード・レジスタ	WT	639
WUPIC0	割り込み制御レジスタ	INTC	1326
WUPIC1	割り込み制御レジスタ	INTC	1326

## 付録C 命令セット一覧

### C.1 凡 例

#### (1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ（ソース・レジスタとして使用）
reg2	汎用レジスタ（おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。）
reg3	汎用レジスタ（おもに除算結果の余り、乗算結果の上位32ビットを格納）
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ（00H-1FH）を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ（r3）
ep	エレメント・ポインタ（r30）
list x	x個のレジスタ・リスト

#### (2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエトの1ビット分データ（イミューディエトの上位ビットを示す）
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ
S	レジスタ・リスト中のシステム・レジスタを指定する1ビット分データ



## (3) オペレーションに使われる略号

略号	説明
	代入
GR [ ]	汎用レジスタ
SR [ ]	システム・レジスタ
zero-extend ( n )	nをワード長までゼロ拡張する。
sign-extend ( n )	nをワード長まで符号拡張する。
load-memory ( a, b )	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory ( a, b, c )	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit ( a, b )	アドレス「a」のビット「b」を読み出す。
store-memory-bit ( a, b, c )	アドレス「a」のビット「b」に「c」を書き込む。
saturated ( n )	nの飽和处理を行う ( nは2の補数)。 nが計算の結果, n 7FFFFFFFHとなった場合, n = 7FFFFFFFHとする。 nが計算の結果, n 80000000Hとなった場合, n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト ( 8ビット )
Half-word	ハーフワード ( 16ビット )
Word	ワード ( 32ビット )
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

## (4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 ( issue )
r	命令実行直後に同一命令を繰り返す場合 ( repeat )
l	命令実行結果を命令実行直後の命令で利用する場合 ( latency )

## (5) フラグの動作に使われる略号

略号	説明
( ブランク )	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

## (6) 条件コード

条件名 ( cond )	条件コード ( cccc )	条件式	説 明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower ( Less than )
NC/NL	1001	$CY = 0$	No carry No lower ( Greater than or equal )
Z/E	0010	$Z = 1$	Zero Equal
NZ/NE	1010	$Z = 0$	Not zero Not equal
NH	0011	$( CY \text{ or } Z ) = 1$	Not higher ( Less than or equal )
H	1011	$( CY \text{ or } Z ) = 0$	Higher ( Greater than )
N	0100	$S = 1$	Negative
P	1100	$S = 0$	Positive
T	0101	-	Always ( 無条件 )
SA	1101	$SAT = 1$	Saturated
LT	0110	$( S \text{ xor } OV ) = 1$	Less than signed
GE	1110	$( S \text{ xor } OV ) = 0$	Greater than or equal signed
LE	0111	$( ( S \text{ xor } OV ) \text{ or } Z ) = 1$	Less than or equal signed
GT	1111	$( ( S \text{ xor } OV ) \text{ or } Z ) = 0$	Greater than signed

## C.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x		
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x		
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x		
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	0	x		
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied	条件成立時	3	3	3					
			then PC PC + sign-extend (disp9)	注2	注2	注2						
			条件不成立時	1	1	1						
BSH	reg2, reg3	rrrrr1111100000 WWWWW01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x		
BSW	reg2, reg3	rrrrr1111100000 WWWWW01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x		
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr, Half-word))	5	5	5						
CLR1	bit#3, disp16[reg1]	10bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3	3	3					x	
	reg2, [reg1]	10bbb11110RRRRR ddddddddddddddd	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3					x	
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii WWWWW011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1						
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR WWWWW011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1						
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x		
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	4	4	4	R	R	R	R	R	
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	4	4	4	R	R	R	R	R	
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	4	4	4						
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1						

(2/5)

二モニツク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4					
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4					
DIV	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup>	35	35	35		x	x	x	
	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup> GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW010110000010	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup> GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW010110000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
EI		1000011111100000 0000000101100000	PSW.ID 0	1	1	1					
HALT		0000011111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr11111100000 WWWWW01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x	
JARL	disp22, reg2	rrrrr11110dddddd ddddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	3	3	3					
JMP	[reg1]	00000000011RRRRR	PC GR[reg1]	4	4	4					
JR	disp22	0000011110dddddd ddddddddddddddd0 注7	PC PC + sign-extend(disp22)	3	3	3					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte) )	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte) )	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword) )	1	1	注11					
LDSR	reg2, regID	rrrrr11111RRRRR 0000000000100000 注12	SR[regID] GR[reg2]	regID = PSW以外	1	1	1				
				regID = PSW	1	1	1	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword) )	1	1	注11					

( 3/5 )

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11						
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2] GR[reg1]	1	1	1						
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1						
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2						
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1						
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 <sup>16</sup> )	1	1	1						
MUL <sup>注22</sup>	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100000	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	2	2						
	imm9, reg2, reg3	rrrrr111111iiii WWWWW01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	2	2						
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] <sup>注6</sup> × GR[reg1] <sup>注6</sup>	1	1	2						
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] <sup>注6</sup> × sign-extend (imm5)	1	1	2						
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] <sup>注6</sup> × imm16	1	1	2						
MULU <sup>注22</sup>	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100010	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	2	2						
	imm9, reg2, reg3	rrrrr111111iiii WWWWW01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	2	2						
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1						
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT ( GR[reg1] )	1	1	1		0	×	×		
NOT1	bit#3, disp16[reg1]	01bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) ) Store-memory-bit (adr, bit#3, Zフラグ)	3	3	3					×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) ) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					×	
				注3	注3	注3						
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	×	×		
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	×	×		
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4						
	list12, imm5, sp/imm <sup>注15</sup>	0000011110iiiiL LLLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+2 注4	n+2 注4	n+2 注4						
				注17	注17	注17						

( 4/5 )

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	4	4	4	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1] )	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5) )	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16) )	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) ) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) ) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte) )	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte) )	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword) )	1	1	注9					

( 5/5 )

モニタック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword) )	1	1	注9						
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9						
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1						
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1						
SST.W	reg2, disp8 [ep]	rrrrr1010ddddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1						
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1						
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1						
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1						
STSR	regID, reg2	rrrrr11111RRRRR 000000001000000	GR[reg2] SR[regID]	1	1	1						
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x		
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x		
SWITCH	reg1	0000000010RRRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5						
SXB	reg1	00000000101RRRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0) )	1	1	1						
SXH	reg1	00000000111RRRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0) )	1	1	1						
TRAP	vector	0000011111111111 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 例外コード (40H-4FH, 50H-5FH) PSW.EP 1 PSW.ID 1 PC 0000040H (vectorが00H-0FH (例外コード : 40H-4FH) のとき) 0000050H (vectorが10H-1FH (例外コード : 50H-5FH) のとき)	4	4	4						
TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x		
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) )	3	3	3	注3	注3	注3		x	
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) )	3	3	3	注3	注3	注3		x	
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x		
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x		
ZXB	reg1	00000000100RRRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0) )	1	1	1						
ZXH	reg1	00000000110RRRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0) )	1	1	1						

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は4。
  3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
  4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ合計数。n = 0の場合, n = 1と同じ動作)
  5. RRRRR : 00000以外
  6. 下位ハーフワード・データだけ有効
  7. ddddddddddddddddddddはdisp22の上位21ビットです。
  8. ddddddddddddddddはdisp16の上位15ビットです。
  9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
  10. b : disp16のビット0
  11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
  12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
    - rrrrr = regID指定
    - RRRRR = reg2指定
  13. iiii : imm9の下位5ビット  
IIII : imm9の上位4ビット
  14. reg2 = reg3 (結果の下位32ビットがレジスタに書き込まれない), またはreg3 = r0 (結果の上位32ビットはレジスタに書き込まれない) 場合は1クロック短縮されます。
  15. sp/imm : サブオペコードのビット19, 20で指定
  16. ff = 00 : spをepにロード
    - 01 : 符号拡張した16ビット・イミディエト・データ (ビット47-32) をepにロード
    - 10 : 16ビット論理左シフトした16ビット・イミディエト・データ (ビット47-32) をepにロード
    - 11 : 32ビット・イミディエト・データ (ビット63-32) をepにロード
  17. imm = imm32の場合はn + 3クロック
  18. rrrrr : 00000以外
  19. dddddddはdisp8の上位7ビットです。
  20. ddddはdisp5の上位4ビットです。
  21. dddddddはdisp8の上位6ビットです。
  22. 「MUL reg1, reg2, reg3」命令, 「MULU reg1, reg2, reg3」命令において, 次の条件をすべて満たすレジスタの組み合わせは行わないでください。この条件に当てはまる命令を実行した場合の動作は保証しません。
    - reg1 = reg3
    - reg1 reg2
    - reg1 r0
    - reg3 r0



## 付録D 注意事項一覧

本書に記載されている注意事項の一覧です。

なお、表内の「分類（ハード/ソフト）」の区別は、次のとおりです。

ハード : マイコン内部/外部のハードウェアについての注意事項

ソフト : レジスタの設定やプログラムなどソフトウェアについての注意事項

(1/47)

章	分類	機能	機能の詳細	注意事項	ページ
第1章	ハードウェア	インターダクション	FLMD0	通常モード時はロウ・レベルにしてください。	p.32, 35
			REGC	REGC端子は4.7 $\mu$ Fのコンデンサを介し、V <sub>SS</sub> に接続してください。	p.32, 35
	DRST		オンチップ・デバッグを使用しない場合は、リセット解除時からOCDM.OCDM0ビットをクリア(0)するまで、ロウ・レベル固定にしてください。詳細については4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。 また、プルダウン抵抗を内蔵していますが、OCDM.OCDM0ビットをクリア(0)することでプルダウン抵抗を切断できます。	p.32, 35	
	A0-A15		セパレート・バス・モードでA0-A15端子を使用する場合は、ポート9はポート端子または他の兼用機能として使用できません。	p.32, 35	
	ANI0-ANI15		ポート7(P70/ANI0-P715/ANI15)をA/Dコンバータ機能とポート入出力機能を混在して使用する場合は、使用上の注意事項を必ず守ってください(13.6(4)兼用入出力について参照)。	p.32, 35	
第2章	ハードウェア	端子機能	2つのポートに割り付けられた兼用機能を使用する場合	2つのポートに割り付けられた兼用機能を使用する場合は、必ず2つのポートのうち、どちらか一方で使用してください。	p.65
		電源投入時の注意事項	次に示す端子は、電源投入時に瞬間的に不定レベルを出力する可能性があります。 ・P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO端子	p.78	
第3章	ソフトウェア	CPU機能	EIPCレジスタ EIPSWレジスタ FEPCレジスタ FEPSWレジスタ	これらのレジスタは1組しかいないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。	p.82
			EIPC, FEPC, CTPCレジスタ	LDSR命令によりEIPCかFEPC, またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC, FEPC, CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。	p.82
			ASIDレジスタ	初期化ルーチンの最初にASIDレジスタを00Hに初期化してください。	p.88
			プログラム空間	03FFF000H-03FFFFFFHの4 Kバイトの領域は、内蔵周辺I/O領域のため、命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。	p.91
			内蔵周辺I/O領域	バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。	p.100
				レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。	p.100
				内蔵ROM/RAM領域と、内蔵周辺I/O領域のアドレスは連続しています。そのため、ポインタ操作などでアドレスをインクリメント/デクリメントしながらアクセスする場合は、誤って内蔵ROM/RAM領域を越えて内蔵周辺I/O領域へアクセスしないでください。	p.100
			プログラマブル周辺I/O領域	プログラマブル周辺I/O領域は、CANコントローラ内蔵品だけにあります。CANコントローラを内蔵していない製品では、使用禁止となります。	p.100
			拡張内蔵RAM	外部メモリと拡張内蔵RAMを同時に使用する場合は、外部バス・インタフェースの設定と拡張内蔵RAMの設定を同時に行ってください。	p.101
				拡張内蔵RAMへのアクセス時は、CS <sub>n</sub> 信号以外の外部バス・インタフェースの制御信号がアクティブになります(n=1-3)。そのため、拡張内蔵RAMと外部メモリを同時に使用する場合は、必ずチップから出力されるCS <sub>n</sub> 信号を使用して外部メモリのアクセス制御をしてください。	p.101
WAIT端子による外部ウエイトが挿入された場合、拡張内蔵RAMのアクセスにも外部ウエイトが挿入されます。 拡張内蔵RAMを使用する場合は、必ず拡張内蔵RAMの初期設定を行ってください。	p.101				
PRDSELH, PRDSELLレジスタ	インサーキット・エミュレータ(QB-V850ESX3H)では、このレジスタの読み出しはできません(不定値が読み出されます)。	p.104			

(2/47)

章	分類	機能	機能の詳細	注意事項	ページ
第3章	ソフト	CPU機能	BPCレジスタ	PA15ビット = 1にする場合は、必ずBPCレジスタに8FFBHを設定してください。 PA15ビット = 0にする場合は、必ずBPCレジスタに0000Hを設定してください。	p.128
			特定レジスタへのデータ設定	IDLE1, IDLE2, STOPモードに移行する場合 (PSC.STPビット = 1) には、直後にNOP命令を5命令以上挿入する必要があります。	p.130
				コマンド・レジスタに対するストア命令では、割り込みを受け付けません。詳細は、3.4.8(1)の注意1を参照してください。	p.130
				PRCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定 (例 ) で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み (例 ) でも使用してください。 アドレッシングに汎用レジスタを使用する場合も同様です。	p.130
			最初に設定するレジスタ	必ず最初に次のレジスタを設定してください。 ・システム・ウェイト・コントロール・レジスタ (VSWC) ・オンチップ・デバッグ・モード・レジスタ (OCDM) ・ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2) ・拡張内蔵RAM関連のレジスタ ・バス・サイズ・コンフィギュレーション・レジスタ (BSC) ・データ・ウェイト・コントロール・レジスタ1 (DWC1) ・アドレス・ウェイト・コントロール・レジスタ (AWC) ・バス・サイクル・コントロール・レジスタ (BCC) ・プログラムIDレジスタ (ASID) ・クロック・モード2-4使用時の初期化設定レジスタ ・クロック・コントロール・レジスタ (CKC) ・SSCG周波数コントロール・レジスタ0 (SFC0) ・SSCG周波数コントロール・レジスタ1 (SFC1)	p.133
			VSWCレジスタ	内蔵周辺I/Oレジスタへのアクセスは3クロック (ノー・ウェイト時) ですが、V850E/SJ3-H, V850E/SK3-Hでは動作周波数によりウェイトが必要です。使用する動作周波数に応じて、VSWCレジスタには次に示す値を設定してください。	p.133
			WDTM2レジスタ	ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。動作を確定するために、WDTM2レジスタへ書き込みを行ってください。	p.134
			拡張内蔵RAM関連のレジスタ	拡張内蔵RAMは、外部バス・インタフェースを介してアクセスします。そのため、拡張内蔵RAMにアクセスする場合は、前もって、必ず外部バス・インタフェース関連のレジスタの設定 (拡張内蔵RAMの初期設定) をしてください。	p.134
			特定の内蔵周辺I/Oレジスタへのアクセス	特定の内蔵周辺I/Oレジスタへのアクセス時に、VSWCレジスタで設定したウェイト以外に、さらにウェイトを要する場合があります。	p.134
				次に示す状態において、上記レジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットだけです。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.136
第4章	ハード/ソフト	ポート機能	ポート0	DRST端子はオンチップ・デバッグ用の端子です。 オンチップ・デバッグを使用しない場合、RESET端子によるリセット解除後から、OCDM.OCDM0ビットをクリア (0) するまで、P05/INTP2/DRST端子状態をロウ・レベルに固定してください。 詳細は、4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。	p.146
			PMC0レジスタ	P05/INTP2/DRST端子は、OCDM.OCDM0ビット = 1のときは、PMC05ビットの値に関係なくDRST端子となります。	p.147
			PF0レジスタ	出力端子に対してEV <sub>DD</sub> 以上の電圧でプルアップする場合は、必ず該当するPF0nビットを1に設定してください。	p.149
			P1レジスタ	D/A変換中にP1レジスタをリード/ライトしないでください (15.4.3 使用上の注意点参照)。	p.150
			PM1レジスタ	P1nを兼用機能 (ANOn端子出力) として使用する場合は、PM1nビットを1に設定してください。	p.150
				1本を入出力ポート、1本をD/A出力端子として使用する場合は、D/A出力中は、ポートの入出力レベルが変化しないようなアプリケーションで使用してください。	p.150
PF2レジスタ	出力端子に対してEV <sub>DD</sub> 以上の電圧でプルアップする場合は、必ず該当するPF2nビットを1に設定してください。	p.152			

(3/47)

章	分類	機能	機能の詳細	注意事項	ページ
第4章	ソフト	ポート機能	P3レジスタ	P312-P310ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず0を設定してください。ただし、リード値は不定になります。	p.154
				ビット13-15には必ず0を設定してください。	p.154
			PM3レジスタ	PM312-PM310ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず1を設定してください。	p.155
				ビット13-15には必ず1を設定してください。	p.155
			PMC3レジスタ	PMC312-PMC310ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず0を設定してください。	p.156
				ビット13-15には必ず0を設定してください。	p.156
			PFC3レジスタ	PFC310ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず0を設定してください。	p.158
				ビット11-15には必ず0を設定してください。	p.158
			PFCE3レジスタ	PFCE310ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず0を設定してください。	p.158
				ビット0, 1, 5-7, 11-15には必ず0を設定してください。	p.158
			ポート3の兼用機能の指定	INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は、兼用しているINTP7端子のエッジ検出を無効にしてください（INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定）。また、INTP7端子として使用する場合は、UARTA0を受信動作停止としてください（UA0CTL0.UA0RXEビット = 0）。	p.160
			PF3レジスタ	PF312-PF310ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず0を設定してください。	p.161
				出力端子に対してEV <sub>DD</sub> 以上の電圧でブルアップする場合は、必ず該当するPF3nビットを1に設定してください。	p.161
				ビット13-15には必ず0を設定してください。	p.161
			P4レジスタ	P45-P43ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず0を設定してください。ただし、リード値は不定になります。	p.163
				ビット6, 7には必ず0を設定してください。	p.163
			PM4レジスタ	PM45-PM43ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず1を設定してください。	p.163
				ビット6, 7には必ず1を設定してください。	p.163
			PMC4レジスタ	PMC45, PMC44ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず0を設定してください。	p.164
				ビット3, 6, 7には必ず0を設定してください。	p.164
	PFC4レジスタ	ビット3-7には必ず0を設定してください。	p.165		
	PF4レジスタ	PF45-PF43ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず0を設定してください。	p.165		
		出力端子に対してEV <sub>DD</sub> 以上の電圧でブルアップする場合は、必ず該当するPF4nビットを1に設定してください。	p.165		
		ビット6, 7には必ず0を設定してください。	p.165		
ポート5	DDI, DDO, DCK, DMS端子はオンチップ・デバッグ用の端子です。 オンチップ・デバッグを使用しない場合、RESET端子によるリセット解除後から、OCDM.OCDM0ビットをクリア（0）するまで、P05/INTP2/DRST端子状態をロウ・レベルに固定してください。 詳細は、4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。	p.166			
	P53端子は、電源投入時に瞬間的に不定レベルを出力する可能性があります。	p.166			
ソフト	P5レジスタ	P57, P56ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず0を設定してください。ただし、リード値は不定になります。	p.167		
		PM5レジスタ	PM57, PM56ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず1を設定してください。	p.167	
		PMC5レジスタ	PMC57, PMC56ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず0を設定してください。	p.168	

(4/47)

章	分類	機能	機能の詳細	注意事項	ページ
第4章	ソフト	ポート機能	ポート5の兼用機能の指定	KRn端子とTIQ0m端子は兼用となっています。端子をTIQ0m端子として使用する場合は、兼用しているKRn端子のキー・リターン検出を無効にしてください (KRM.KRMnビットに0を設定)。またKRn端子として使用する場合は、兼用しているTIQ0m端子のエッジ検出を無効にしてください (n = 0-3, m = 0-3)。	p.170
			PF5レジスタ	PF57, PF56ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず0を設定してください。 出力端子に対してEV <sub>DD</sub> 以上の電圧でプルアップする場合は、必ず該当するPF5nビットを1に設定してください。	p.171 p.171
			PFC6レジスタ	PFC62ビットは、 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外のみ有効です。 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) では必ず0を設定してください。 ビット15には必ず0を設定してください。	p.176 p.176
			PFCE6レジスタ	PFCE68, PFCE67, PFCE62-PFCE60ビットは、 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外のみ有効です。 $\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) では必ず0を設定してください。 ビット15には必ず0を設定してください。	p.176 p.176
			ポート6の兼用機能の指定	KRn端子とTIQ0m端子は兼用となっています。端子をTIQ0m端子として使用する場合は、兼用しているKRn端子のキー・リターン検出を無効にしてください (KRM.KRMnビットに0を設定)。また、KRn端子として使用する場合は、兼用しているTIQ0m端子のエッジ検出を無効にしてください (n = 2, 3, m = 0, 3)。	p.179
			PF6レジスタ	出力端子に対してEV <sub>DD</sub> 以上の電圧でプルアップする場合は、必ず該当するPF6nビットを1に設定してください。	p.179
			P7Hレジスタ, P7Lレジスタ	A/D変換中にP7H, P7Lレジスタをリード/ライトしないでください (13.6(4)兼用入出力について参照)。	p.181
			PM7Hレジスタ, PM7Lレジスタ	P7n端子を兼用機能 (ANIn端子) として使用する場合は、PM7nビット = 1に設定してください。	p.181
			P8レジスタ	P85-P82ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず0を設定してください。ただし、リード値は不定になります。 ビット6, 7には必ず0を設定してください。	p.182 p.182
			PM8レジスタ	PM85-PM82ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず1を設定してください。 ビット6, 7には必ず1を設定してください。	p.183 p.183
			PMC8レジスタ	PMC85-PMC82ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず0を設定してください。 ビット6, 7には必ず0を設定してください。	p.184 p.184
			ポート8の兼用機能の指定	RC1CKDIV端子とRC1CKO端子は兼用となっています。RC1CKDIV端子として使用する場合は、兼用しているRC1CKO端子の出力を禁止にしてください (RC1CC1.CLOE0ビット = 0に設定)。また、RC1CKO端子として使用する場合は、RC1CKDIV端子の出力を禁止にしてください (RC1CC3.CLOE2ビット = 0)。 INTP8端子とRXDA3端子は兼用となっています。RXDA3端子として使用する場合は、兼用しているINTP8端子のエッジ検出を無効にしてください (INTF8.INTF80ビット = 0, INTR8.INTR80ビット = 0に設定)。また、INTP8端子として使用する場合は、UARTA3を受信動作停止としてください (UA3CTL0.UA3RXEビット = 0)。	p.185 p.185
			PF8レジスタ	PF85-PF82ビットは、V850E/SK3-Hのみ有効です。 V850E/SJ3-Hでは必ず0を設定してください。 出力端子に対してEV <sub>DD</sub> 以上の電圧でプルアップする場合は、必ず該当するPF8nビットを1に設定してください。 ビット6, 7には必ず0を設定してください。	p.186 p.186 p.186
			PMC9レジスタ	セバレート・バス・モードでA0-A15端子を1本でも使用する場合は、ポート9はポート端子または他の兼用機能として使用できません。したがって、PFC9, PFCE9レジスタを0000Hに設定後、PMC9レジスタは一括してFFFFHに16ビット設定してください。セバレート・バス・モードでA0-A15端子を1本も使用しない場合は、ポート9はポート端子または他の兼用機能として使用できます。	p.190

(5/47)

章	分類	機能	機能の詳細	注意事項	ページ
第4章	ソフト	ポート機能	PFC9レジスタ	セバレート・バス・モードでA0-A15端子を1本でも使用する場合は、ポート9はポート端子または他の兼用機能として使用できません。したがって、PFC9, PFCE9レジスタを0000Hに設定後、PMC9レジスタは一括してFFFFHに16ビット設定してください。セバレート・バス・モードでA0-A15端子を1本も使用しない場合は、ポート9はポート端子または他の兼用機能として使用できます。	p.191
			ポート9の兼用機能の指定	RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください(KRM.KRM7ビット = 0に設定してください)。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください(PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します。PFC91ビット = 0, PFCE91ビット = 1で使用する場合はUA1CTL0.UA1RXEビット = 0に設定してください)。	p.193
			PF9レジスタ	出力端子に対してEV <sub>DD</sub> 以上の電圧でプルアップする場合は、必ず該当するPF9nビットを1に設定してください。	p.194
			P13レジスタ	ビット4-7には必ず0を設定してください。	p.195
			PM13レジスタ	ビット4-7には必ず1を設定してください。	p.195
			P14レジスタ	ビット6, 7には必ず0を設定してください。	p.196
			PM14レジスタ	ビット6, 7には必ず1を設定してください。	p.196
			P15レジスタ	ビット4-7には必ず0を設定してください。	p.197
			PM15レジスタ	ビット4-7には必ず1を設定してください。	p.197
			PMC15レジスタ	ビット4-7には必ず0を設定してください。	p.198
				RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください(KRM.KRM7ビット = 0に設定してください)。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください(UA1CTL0.UA1RXEビット = 0に設定してください)。	p.198
			PF15レジスタ	出力端子に対してEV <sub>DD</sub> 以上の電圧でプルアップする場合は、必ず該当するPF15nビットを1に設定してください。	p.198
				ビット4-7には必ず0を設定してください。	p.198
			PCDレジスタ	ビット4-7には必ず0を設定してください。	p.199
			PMCDレジスタ	ビット4-7には必ず1を設定してください。	p.199
			PMCCDレジスタ	ビット4-7には必ず0を設定してください。	p.200
			PFCCDレジスタ	ビット4-7には必ず0を設定してください。	p.200
			PMCCSレジスタ	ビット0, 4-7には必ず0を設定してください。	p.204
			PMCDLレジスタ	EXIMC.SMSELビット = 1(セバレート・モード)かつBSC.BS30-BS00ビット = 0(8ビット・バス幅)のとき、AD8-AD15端子を指定しないでください。	p.211
			ハード	ポート端子を兼用端子として使用する場合	P10, P11端子を、1本を入出力ポート、1本をD/A出力端子(ANO0, ANO1)として使用する場合、D/A出力中は、ポートの入出力レベルが変化しないようにしてください。
	ポート・モードから兼用機能モードへ切り替える場合は、次の順序で行ってください。 PFnレジスタを設定 <sup>注</sup> : N-chオープン・ドレイン設定 PFCn, PFCEnレジスタを設定 : 兼用端子機能選択 PMCnレジスタの該当ビットに1を設定 : 兼用機能モードへ切り替え PMCnレジスタを先に設定すると、その瞬間、またそのあとのPFn, PFCn, PFCEnレジスタの設定に伴う端子状態の変化によっては、意図しない動作に陥る可能性がありますので注意してください。	p.287			
	ポート・モード/兼用機能モードに関係なく、Pnレジスタのリード/ライトは次のようになります。 ・Pnレジスタのリード：ポート出力ラッチの値(PMn.PMnmビット = 0時)、または端子状態(PMn.PMnmビット = 1時)の読み出し ・Pnレジスタへのライト：ポート出力ラッチへの書き込み	p.287			
	ソフト	兼用機能モード(入力)に関する注意事項	PMCnレジスタによるポート・モードと兼用機能モードの切り替えは、次に示す順序で実行してください。 ・ポート・モードから兼用機能モード(入力)へ切り替える場合 PMCnレジスタで端子を兼用機能モードにしてから、兼用機能の動作を許可してください。 ・兼用機能モード(入力)からポート・モードへ切り替える場合 兼用機能の動作を停止してから、端子をポート・モードへ切り替えてください。	p.288	

(6/47)

章	分類	機能	機能の詳細	注意事項	ページ	
第4章	ソフト	ポート機能	ポート・モードにおいての PFn.PFnm ビット	ポート・モードにおいて PFn.PFnm ビットは、出力モード (PMn.PMnm ビット = 0) 時のみ有効となります。入力モード (PMnm ビット = 1) のとき、PFnm ビットの値はバッファに反映されません。	p.289	
			ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項	入力/出力が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。 そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。	p.290	
		ハード/ソフト	オンチップ・デバッグ用端子に関する注意事項	オンチップ・デバッグを使用しない場合は、次の処置が必要です。 ・ OCDM レジスタ (特定レジスタ) の OCDM0 ビットをクリア (0) このとき、RESET 端子によるリセット解除時から、上記の処理を終えるまで、P05/INTP2/DRST 端子をロウ・レベル固定にしてください。 上記処置を行う前に DRST 端子にハイ・レベルを入力すると、誤動作 (CPU デッド・ロック) の原因となるため、P05 端子の取り扱いには十分注意してください。	p.291	
			ハード		ウォッチドッグ・タイマのオーバフローによるリセット信号 (WDT2RES) 発生、低電圧検出回路 (LVI) によるリセット信号 (LVIRE) 発生、クロック・モニタ (CLM) によるリセット信号 (CLMRES) 発生時は、P05/INTP2/DRST 端子はオンチップ・デバッグ用端子 (DRST) に初期化されません。また、OCDM レジスタも値を保持します。	p.291
				P05/INTP2/DRST 端子に関する注意事項	P05/INTP2/DRST 端子はプルダウン抵抗 (30 kΩ (TYP.)) を内蔵しています。RESET 端子によるリセット後は、プルダウン抵抗が接続されています。OCDM0 ビットをクリア (0) することにより、プルダウン抵抗は切断されます。	p.291
		P53 端子に関する電源投入時の注意事項	次に示す端子は、電源投入時に瞬間的に不定レベルを出力する可能性があります。 ・ P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO 端子	p.291		
		ヒステリシス特性について	ポート・モードでは、次のポートはヒステリシス特性を持ちません。 P00-P06 P20 <sup>注</sup> , P21 <sup>注</sup> P31-P35, P37-P39, P312 <sup>注</sup> P40-P42, P45 <sup>注</sup> P50-P55, P56 <sup>注</sup> P60, P62-P615 P80, P82-P84 <sup>注</sup> P90-P97, P99, P910, P912-P915 P150 <sup>注</sup> , P152 <sup>注</sup> , P153 <sup>注</sup> PCD0, PCD2 注 V850E/SK3-Hのみ	p.291		
	ソフト	セパレート・バス・モード時の注意事項	セパレート・バス・モードで A0-A15 端子を1本でも使用する場合は、ポート9はポート端子または他の兼用機能として使用できません。したがって、PFC9, PFCE9 レジスタを 0000H に設定後、PMC9 レジスタは一括して FFFFH に 16 ビット設定してください。セパレート・バス・モードで A0-A15 端子を1本も使用しない場合は、ポート9はポート端子または他の兼用機能として使用できます。	p.292		
		ポートnレジスタ (Pn : n = 3-5, 8) のリード時の注意事項 (V850E/SJ3-Hのみ)	V850E/SJ3-Hでは、次のポートnレジスタのビットのリード値は不定になります。 ポート3レジスタ : P310-P312 ポート4レジスタ : P43-P45 ポート5レジスタ : P56, P57 ポート8レジスタ : P82-P85	p.292		
		ポートnモード・コントロール・レジスタ (PMcn : n = 3-5, 8) の設定に関する注意事項	V850E/SJ3-Hでは、次のポートnモード・コントロール・レジスタのビットには、必ず0を設定してください。 ポート3モード・コントロール・レジスタ : PMC310-PMC312 ポート4モード・コントロール・レジスタ : PMC44, PMC45 ポート5モード・コントロール・レジスタ : PMC56, PMC57 ポート8モード・コントロール・レジスタ : PMC82-PMC85	p.292		
第5章	ソフト	バス制御機能	内蔵ROMアクセス時の端子状態	内蔵ROMへライト・アクセスしようとしたときには、外部メモリ領域へのアクセスと同じく、アドレス・バス、アドレス/データ・バス、制御信号ともに活性化されます。ただし、ライト・アクセスは禁止です。	p.295	

(7/47)

章	分類	機能	機能の詳細	注意事項	ページ			
第5章	ソフト	バス制御機能	拡張内蔵RAMアクセス時の端子状態	拡張内蔵RAMへのアクセス時には、制御信号 (RD, WR0, WR1, ASTB) が活性化されます。そのため、外部メモリや外部I/Oに対しては、CSn信号によるアクセス制御が必要となります (n = 1-3)。	p.295			
			CSC0, CSC1レジスタ	CSC0, CSC1レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。 また、CSC0, CSC1レジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。	p.299			
			EXIMCレジスタ	EXIMCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。 また、EXIMCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。	p.304			
			BSCレジスタ	BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。 ビット7, 5, 3には必ず0を設定してください。	p.306 p.306			
			DWC0, DWC1レジスタ	DWC0, DWC1レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、DWC0, DWC1レジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。 セバレート・バスで使用し、かつ $f_{CPU} > 20$ MHzで動作させる場合、必ずウェイトを1つ以上挿入してください。 マルチプレクス・バスで使用し、かつ $f_{CPU} > 32$ MHzで動作させる場合、必ずウェイトを1つ以上挿入してください。	p.314, 316 p.314, 316 p.314, 316			
			DWC0レジスタ	ビット15, 11, 7, 3には必ず0を設定してください。	p.315			
			DWC1レジスタ	$\mu$ PD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) は、拡張内蔵RAMを搭載していません。そのため、5.6.1(2)(a) 拡張内蔵RAMを使用する場合の設定はできません。必ず5.6.1(2)(b) 拡張内蔵RAMを使用しない場合の設定をしてください。 ビット15, 11, 7, 3には必ず0を、ビット14-12, 10-8, 2-0には必ず1を設定してください。	p.315 p.316			
			AWCレジスタ	AWCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、AWCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。 $f_{CPU} > 20$ MHzで動作させる場合、必ずアドレス・ホールド・ウェイトとアドレス・セットアップ・ウェイトを挿入してください。	p.319 p.319			
			BCCレジスタ	BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。 ビット6, 4, 2, 0には必ず0を設定してください。	p.321 p.321			
			第6章	ソフト	クロック発生機能	クロック・モード	クロック・モードは、オプション・バイトで設定するため、動作中に切り替えることはできません。 そのため、どのクロック・モードを使用するか、あらかじめ決定してください。 (A9)品は、クロック・モード1, クロック・モード3 (SSCG出力 (8通倍) の場合) のみ設定できます。クロック・モード2, クロック・モード3 (SSCG出力 (12通倍) の場合), クロック・モード4は設定できません。 詳細については、表6-1を参照してください。	p.332 p.332
						クロック・モード1	クロック・モード1では、周辺クロック ( $f_{XP}$ , $f_{IE}$ , $f_{CAN}$ ) のソース・クロックとしてメイン・クロック ( $f_{XX}$ ) が供給されます。また、メイン・クロックにSSCG出力クロックを使用することは禁止です。 メイン・クロック (= 周辺クロック) で動作する内蔵周辺機能は、メイン・クロックの発振が安定してから動作を許可してください。発振安定時間が経過する前に動作許可すると、誤動作する可能性があります。	p.333 p.364



(8/47)

章	分類	機能	機能の詳細	注意事項	ページ	
第6章	ソフト	クロック発生機能	クロック・モード2-4	クロック・モード2-4では、メイン・クロックにSSCG出力クロックを使用し、周辺クロックにはPLL出力クロックを使用します。メイン・クロックにPLL出力クロックを使用することは禁止です。また、メイン・クロックにクロック・スルー・モードを選択した場合でも、周辺クロックのソース・クロックはPLL出力クロックとなります。	p.333, 334	
				リセット解除後、PLLは動作状態かつロック状態になります (PLLCTL.PLLONビット = 1, LOCKR.LOCKビット = 0)。その後、PLLをソフトウェアで停止しないでください (PLLCTL.PLLONビット = 0にしない)。ただし、次の条件のいずれかが該当する場合は、PLLは自動的に停止します。 ・システム・リセット時 ・IDLE2, STOPモード時 ・CPUをサブクロック動作とし、メイン・クロックを停止したとき (PCC.CK3ビット = 1, PCC.MCKビット = 1) また、PLLは条件が解除された時点で再び動作を開始します。そのため、条件解除後に挿入される発振安定時間やセットアップ時間は、必ずPLLのロックアップ時間以上に設定してください。	p.338, 342, 346	
				クロック・モード2-4では、PLL出力クロック (f <sub>PLLO</sub> ) をメイン・クロック (f <sub>FX</sub> ) に選択することは禁止です。 ただし、SSCGCTL.SSCGONビット = 0でSSCGを停止した場合、自動的にSSCGCTL.SELSSCGビット = 0となり、f <sub>PLLO</sub> が選択されます。そのため、SSCGモードからクロック・スルー・モードへ切り替える場合は、最初にPLLCTL.SELPLLビット = 0に設定し、クロック・スルー・モードに切り替えてから、SSCGONビット = 0にしてSSCGを停止してください。また、クロック・スルー・モードからSSCGモードに切り替える場合は、最初にSSCGONビット = 1でSSCGを起動し、ロックアップ時間を経過後、SELSSCGビット = 1でf <sub>SSCG0</sub> の選択を行ってから、SELPLLビット = 1に設定してください。	p.338, 342, 346	
				クロック・モード2-4では、必ずCKC.CKDIV0ビット = 1 (分周なし) に設定してください。	p.339, 343, 347	
				(A9)品は、クロック・モード2, クロック・モード3 (SSCG出力 (12通倍) の場合)、クロック・モード4は設定できません。 詳細については、表6-1を参照してください。	p.339, 343, 347	
				クロック・モード2-4では、CKC, SFC0, SFC1レジスタの設定は必ずリセット解除後、ただちにクロック・スルー・モード (PLLCTL.SELPLLビット = 0) で、かつSSCGが停止 (SSCGCTL.SSCGONビット = 0) の状態で設定してください。	p.366	
				CKC, SFC0, SFC1レジスタは、リセット解除後、一度だけ設定してください。動作中のレジスタ設定の変更は禁止です。	p.366	
				CKC, SFC0, SFC1レジスタの設定後は、必ず1 $\mu$ sのウェイトを挿入してください。	p.366	
				SSCGCTL.SSCGONビット = 0に設定すると、SSCGCTL.SELSSCGビットも自動的にクリア (0) されます。	p.367	
				サブクロック動作へ切り替えるには、最初にクロック・スルー・モードに切り替え、かつSSCGを停止してください。	p.367	
				ソフトウェアでPLLは停止しないでください。メイン・クロック発振回路を停止すると、PLLはPLLCTL.PLLONビット = 1 (PLL動作許可) のまま自動的に停止します。また、PLL停止後もPLLCTL.PLLONビットをクリア (0) しないでください。	p.367	
				周辺クロック (f <sub>XP</sub> , f <sub>IE</sub> , f <sub>CAN</sub> ) で動作する内蔵周辺機能は、メイン・クロックの発振が安定してから動作を許可してください。発振安定時間が経過する前に動作許可すると、誤動作する可能性があります。 SSCGはメイン・クロック動作に切り替わってから動作許可してください。	p.368	
				クロック・モード4	クロック・モード4では、必ずオプション・バイト0000007BHのPLLI0ビット = 0 (分周なし) に設定してください。	p.347
				PCCレジスタ	CLKOUTを出力している間は、CPUクロック (CK3-CK0ビット) を変更しないでください。	p.351
					CK3ビットを操作する際は、CK2-CK0ビットの設定値を変更しないでください。	p.351
メイン・クロック発振回路を停止する場合は、周辺クロック (f <sub>XP</sub> , f <sub>IE</sub> , f <sub>CAN</sub> ) で動作している内蔵周辺機能の動作を停止してください。	p.351					

(9/47)

章	分類	機能	機能の詳細	注意事項	ページ
第6章	ソフト	クロック発生機能	PCCレジスタ	サブクロック動作モードに設定する場合 (CK3ビット = 1), 次の条件を満たしていないときは, 条件を満たすようにCK2-CK0ビットを変更後, サブクロック動作モードに移行してください。 内部システム・クロック ( $f_{CLK}$ ) > サブクロック ( $f_{XT}$ : 32.768 kHz) × 4	p.351
			RCMレジスタ	CPUが内蔵発振クロックで動作している間 (CCLS.CCLSFビット = 1) は内蔵発振器を停止できません。RSTOPビットをセット (1) しないでください。 RSTOPビットがセット (1) されている場合でも, CCLS.CCLSFビットがセット (1) されると (発振安定時間中にWDTオーバフローが発生), 内蔵発振器は発振します。このときRSTOPビットはセット (1) されたままです。 RSTOPビットの設定は, オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のRMOPINビット = 0で内蔵発振器の停止可能に設定した場合のみ有効です。オプション・バイト0000007AHのRMOPINビット = 1で内蔵発振器の停止禁止に設定した場合は, RSTOPビットの設定は無効です。 ビット1-7には必ず0を設定してください。	p.352 p.352 p.352
			PLLCTLレジスタ	クロック・モード2-4 では, PLLをソフトウェアで停止しないでください (PLLCTL.PLLONビット = 0にしない)。 クロック・モード1でPLL動作を停止させる場合は, 最初にクロック・スルー・モード (SELPLLビット = 0) とし, 8クロック以上経過後にPLL停止 (PLLONビット = 0) としてください。なお, PLLONビット = 0に設定すると, 自動的にSELPLLビット = 0 (クロック・スルー・モード) になりますが, PLL停止の手順は必ず前述のようにしてください。 クロック・モード2-4でSSCGを停止させる場合は, 最初にクロック・スルー・モード (SELPLLビット = 0) とし, 8クロック以上経過後にSSCG停止 (SSCGCTL.SSCGONビット = 0) としてください。 SELPLLビット = 1の設定は, PLLクロック周波数やSSCGクロック周波数が安定した状態 (ロック状態) で実行してください。PLLの安定していないとき (LOCKR.LOCKビット = 1 (アンロック中)) にSELPLLビットに“1”をライトしても“0”がライトされます。また, SSCGのロックアップ時間はソフトウェアで確実に確保してください。	p.353 p.353 p.353 p.353
			CKCレジスタ	クロック・モード1では, CKC.CKDIV0ビットの切り替えが可能です。ただし, CKDIV0ビットを設定する場合は, クロック・スルー・モードに設定し, かつPLLを停止してください。 クロック・モード2-4では, CKCレジスタの設定は必ずリセット解除後, ただちにクロック・スルー・モード (PLLCTL.SELPLLビット = 0) の状態で, CKDIV0ビット = 1 (分周なし) に設定してください。また, CKCレジスタは, リセット解除後, 一度だけ設定してください。動作中のレジスタ設定の変更は禁止です。詳細は, 6.4.4(1) クロック・モード2-4使用時の初期化設定を参照してください。 ビット1, 3には必ず1を設定し, ビット2, 4-7には必ず0を設定してください。	p.354 p.354 p.354
			LOCKRレジスタ	LOCKビットはPLLのロック状態をリアルタイムに反映するものではありません。	p.355
			PLLSレジスタ	ロックアップ時間は, 800 $\mu$ s以上になるように設定してください。 ロックアップ期間中は, PLLSレジスタの設定を変更しないでください。 ビット2-7には必ず0を設定してください。	p.356 p.356 p.356
			SSCGCTL レジスタ	クロック・モード1では, SSCGは使用できません。SSCGCTLレジスタは初期値のまま使用してください。 クロック・モード2-4では, 逡倍クロック ( $f_{PLL}$ ) にPLL出力クロック ( $f_{PLLO}$ ) を選択することは禁止です。 ただし, SSCGCTL.SSCGONビット = 0でSSCGを停止した場合, 自動的にSSCGCTL.SSELSSCGビット = 0となり, $f_{PLLO}$ が選択されます。そのため, SSCGモードからクロック・スルー・モードへ切り替える場合は, 最初にPLLCTL.SELPLLビット = 0に設定し, クロック・スルー・モードに切り替えてから, SSCGONビット = 0にしてSSCGを停止してください。また, クロック・スルー・モードからSSCGモードに切り替える場合は, 最初にSSCGONビット = 1でSSCGを起動し, ロックアップ時間を経過後, SELSSCGビット = 1で $f_{SSCGO}$ の選択を行ってから, SELPLLビット = 1に設定してください。 PLL停止 (PLLCTL.PLLONビット = 0) 時, SSCGCTL.SSCGONビット = 1としてもSSCGは動作しません。ただし, クロック・モード2-4で, PLLを停止することは禁止です。 ビット2-7には必ず0を設定してください。	p.357 p.357 p.357 p.357

(10/47)

章	分類	機能	機能の詳細	注意事項	ページ
第6章	ソフト	クロック発生機能	SFC0レジスタ	クロック・モード1では、SSCGは使用できません。SFC0レジスタは初期値のまま使用してください。	p.358
				クロック・モード2-4では、SFC0レジスタの設定は必ずリセット解除後、ただちにクロック・スルー・モード(PLLCTL.SELPLLビット=0)で、かつSSCGが停止(SSCGCTL.SSCGONビット=0)の状態を設定してください。また、SFC0レジスタは、リセット解除後、一度だけ設定してください。動作中のレジスタ設定の変更は禁止です。詳細は、6.4.4(1)クロック・モード2-4使用時の初期化設定を参照してください。	p.358
				(A9)品は、クロック・モード2、クロック・モード3(SSCG出力(12逓倍)の場合)、クロック・モード4は設定できません。詳細については、表6-1を参照してください。	p.358
			SFC1レジスタ	クロック・モード1では、SSCGは使用できません。SFC1レジスタは初期値のまま使用してください。	p.359
				クロック・モード2-4では、SFC1レジスタの設定は必ずリセット解除後、ただちにクロック・スルー・モード(PLLCTL.SELPLLビット=0)で、かつSSCGが停止(SSCGCTL.SSCGONビット=0)の状態を設定してください。また、SFC1レジスタは、リセット解除後、一度だけ設定してください。動作中のレジスタ設定の変更は禁止です。詳細は、6.4.4(1)クロック・モード2-4使用時の初期化設定を参照してください。	p.359
				ビット2, 3, 6には必ず0を設定してください。	p.359
クロック・モード1使用時のクロック発生機能の設定手順	6.4.3 クロック・モード1使用時のクロック発生機能の設定手順を参照して設定してください。	p.362			
クロック・モード2-4使用時のクロック発生機能の設定手順	6.4.4 クロック・モード2-4使用時のクロック発生機能の設定手順を参照して設定してください。	p.365			
第7章	ソフト	16ビット・タイマ/イベント・カウンタP(TMP)	TP0CTL0-TP8CTL0レジスタ	TPnCKS2-TPnCKS0ビットは、TPnCEビット=0のときに設定してください。TPnCEビットを“0”から“1”に設定するときも、同時にTPnCKS2-TPnCKS0ビットを設定できます。	p.378
				ビット3-6には必ず“0”を設定してください。	p.378
			TP0CTL1-TP8CTL1レジスタ	TPnEEE, TPnMD3-TPnMD0ビットは、TPnCTL0.TPnCEビット=0のときに設定してください(TPnCEビット=1のときの同値書き込みは可能)。TPnCEビット=1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。	p.380
				TMP0-TMP6の場合はビット3, 4, 7, TMP7, TMP8の場合はビット4, 7には必ず0を設定してください。	p.380
			TP7CTL2, TP8CTL2レジスタ	TPmLDEビットは、TPmECM1, TPmECM0ビット=00, 01時のみ有効です。TPmECM1, TPmECM0ビット=10, 11のときに“1”をライトしても無視されます。	p.382
				TPmUDS1, TPmUDS0ビット=10, 11のとき、TPmIOC3.TPmEIS1, TPmEIS0ビットで設定したTENCm0, TENCm1入力のエッジ検出は無効となり、立ち上がり/立ち下がり両エッジ固定となります。	p.382
				TPmLDE, TPmECM1, TPmECM0, TPmUDS1, TPmUDS0ビットは、TPmCTL0.TPmCEビット=0のときに設定してください(TPmCEビット=1のときの同値書き込みは可能)。TPmCEビット=1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TPmCEビットをクリア(0)してから再設定してください。	p.382
			ビット5, 6は必ず0を設定してください。	p.382	
			TP0IOC0-TP8IOC0レジスタ	ポート設定がTOPn0, TOPn1出力設定の場合、TPnIOC0レジスタの設定を書き換えると端子出力が変化するので、ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして、端子状態の変化に注意してください。	p.384
				TPnOL1, TPnOE1, TPnOLO, TPnOE0ビットは、TPnCTL0.TPnCEビット=0のときに書き換えてください(TPnCEビット=1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。	p.384
TPnCEビット=0, TPnOEaビット=0の状態において、TPnOLaビットを操作した場合でも、TOPna端子の出力レベルは変化します(a=0, 1)。	p.384				

(11/47)

章	分類	機能	機能の詳細	注意事項	ページ
第7章	ソフト	16ビット・タイマ/イベント・カウンタP (TMP)	TP0IOC1-TP8IOC1レジスタ	TPnIS3-TPnIS0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。 ビット4-7には必ず“0”を設定してください。	p.385 p.385
			TP0IOC2-TP8IOC2レジスタ	TPnEES1, TPnEES0, TPnETS1, TPnETS0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。 ビット4-7には必ず“0”を設定してください。	p.386 p.386
			TP7IOC3, TP8IOC3レジスタ	TPmSCE, TPmZCL, TPmBCL, TPmACL, TPmECS1, TPmECS0, TPmEIS1, TPmEIS0ビットは、TPmCTL0.TPmCEビット = 0のときに書き換えてください (TPmCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPmCEビットをクリア (0) してから再設定してください。	p.388
			TP0OPT0-TP8OPT0レジスタ	TPnCCS1, TPnCCS0ビットは、TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。 ビット1-3, 6, 7には必ず“0”を設定してください。	p.389 p.389
			TP7OPT1, TP8OPT1レジスタ	ビット3-7には必ず0を設定してください。	p.391
			TP0CCR0-TP8CCR0, TP0CCR1-TP8CCR1, TP0CNT-TP8CNTレジスタ	次に示す状態において、TPnCCR0, TPnCCR1, TPnCNTレジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.392, 394, 397
			EN0NFC, EN1NFCレジスタ	TMPmのエンコーダ・カウント機能を使用する場合は、サンプリング・クロック×3クロックまたはサンプリング・クロック×2クロック経過後、TMPmを許可してください。	p.398
			動作 (TMP0-TMP6の場合)	外部イベント・カウント・モードを使用する場合、TIPk0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TPkIOC1.TPkIS1, TPKIS0ビットを“00”) に設定してください。 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TPkCTL1.TPkEEEビット = 0に設定) してください。	p.401 p.401
			動作 (TMP7, TMP8の場合)	外部イベント・カウント・モードを使用する場合、TIPm0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TPmIOC1.TPmIS1, TPmIS0ビットを“00”) に設定してください。 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TPmCTL1.TPmEEEビット = 0に設定) してください。	p.401 p.401
			オーバーフロー動作 (TMP0-TMP6の場合)	オーバーフロー割り込み要求信号 (INTTPkOV) 発生後は、必ずオーバーフロー・フラグ (TPkOVFビット) が“1”にセットされているのを確認してください。	p.402
			オーバーフロー動作 (TMP7, TMP8の場合)	オーバーフロー割り込み要求信号 (INTTPmOV) 発生後は、必ずオーバーフロー・フラグ (TPmOVF, TPmEOFビット) が“1”にセットされているのを確認してください。	p.404
			一斉書き込み	TPnCCR1レジスタへの書き込みには、一斉書き込みを許可する動作も含まれます。したがって、TPnCCR1レジスタの書き換えはTPnCCR0レジスタの書き換えよりあとにしてください。	p.409
			TPnCCR0, TPnCCRaレジスタの書き換えに関する注意事項	カウント動作中にTPnCCR0, TPnCCRaレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。	p.418, 429, 449

(12/47)

章	分類	機能	機能の詳細	注意事項	ページ
第7章	ソフト	16ビット・タイマ/イベント・カウンタP (TMP)	外部イベント・カウント・モード	外部イベント・カウント・モードでは、TPnCCR0, TPnCCR1レジスタに0000Hを設定することは禁止します。	p.423
			外部イベント・カウント・モード動作時のレジスタ設定内容	TPnIOC0レジスタには00Hを設定してください。 カウント・クロックとして外部クロックを使用するときは、外部クロックはTIPn0端子からのみ入力できます。このとき、TPnIOC1.TPnIS1, TPnIS0ビット = 00 (キャプチャ・トリガ入力 (TIPn0端子) : エッジ検出なし) に設定してください。	p.426 p.426
			外部イベント・カウント・モード動作タイミング	外部イベント・カウント・モード時、TPnCCR0, TPnCCR1レジスタには、0000Hを設定しないでください。 外部イベント・カウント・モード時、タイマ出力 (TOPn0, TOPn1) は使用禁止です。	p.428 p.428
			外部トリガ・パルス出力モード	外部トリガ・パルス出力モード時は、カウント・クロックは内部クロックを選択 (TPnCTL1.TPnEEEビット = 0に設定) してください。	p.432
			動作中のパルス幅変更の注意事項	動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。 TPnCCR1レジスタにライト後、再度TPnCCRmレジスタの書き換えを行う場合には、INTTPnCC0信号を検出後に書き換えてください。	p.438
			ワンショット・パルス出力モード	ワンショット・パルス出力モード時は、カウント・クロックは内部クロックを選択 (TPnCTL1.TPnEEEビット = 0に設定) してください。	p.444
			ワンショット・パルス出力モード動作時のレジスタ設定内容	ワンショット・パルス出力モードにおいて、TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値より大きい場合、ワンショット・パルスは出力しません。	p.447
	ハード	キャプチャ・トリガの間隔が長いときのオーバフローの処理方法	パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバフローが2回以上発生する可能性があるため注意が必要です。	p.475	
	ソフト	キャプチャ動作の注意事項	キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TPnCTL0.TPnCEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TPnCCRaレジスタに0000HではなくFFFFHがキャプチャされる場合やキャプチャ動作が行われない (キャプチャ割り込みが発生しない) 場合があります。キャプチャ動作を使用し、かつカウント・クロックとして外部イベント・カウント入力を選択し、外部イベントが一度も入力されない期間もFFFFHがキャプチャされる場合やキャプチャ動作が行われない (キャプチャ割り込みが発生しない) 場合があります。	p.477	
		パルス幅測定モード	パルス幅測定モード時は、カウント・クロックは内部クロックを選択 (TPnCTL1.TPnEEEビット = 0に設定) してください。	p.478	
			カウント・クロックとして遅いクロックを選択した場合、TPnCTL0.TPnCEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TPnCCRaレジスタに0000HではなくFFFFHがキャプチャされる場合やキャプチャ動作が行われない (キャプチャ割り込みが発生しない) 場合があります。	p.483	
		エンコーダ・カウント機能 (TMP7, TMP8のみ)	TPmUDS1, TPmUDS0ビット = 10時、TENCm0端子とTENCm1端子の有効エッジ指定は無効となります。	p.488	
			TPmUDS1, TPmUDS0ビット = 11時、TENCm0端子とTENCm1端子の有効エッジ指定は無効となります。	p.489	
	TPmZCL, TPmBCL, TPmACLビットのクリア・レベル条件と、TECRm, TENCm1, TENCm0端子の入力レベルが一致したときに16ビット・カウンタを0000Hにクリアします。		p.494		

(13/47)

章	分類	機能	機能の詳細	注意事項	ページ
第7章	ソフト	16ビット・タイマ/イベント・カウンタP (TMP)	セレクト機能	セレクト機能を使用する場合は、接続されるTMP, TMQをキャプチャ・トリガ入力に設定してください。	p.506
				セレクト機能を設定する場合は、接続される周辺I/O (TMP, TMQ, UARTA, CANコントローラ)を動作禁止にしてから設定してください。	p.506
			SELCNT0レジスタ	ISEL0, ISEL1, ISEL3, ISEL4, ISEL6の各ビットを“1”に設定する場合は、対応する機能端子をキャプチャ・トリガ入力に設定してください。	p.508
			DMA転送の起動要因の切り替え	DMA転送の起動要因のINTTP0OV信号とINTUB0TIT信号, INTTP1OV信号とINTUB1TIR信号, INTTP2OV信号とINTUB1TIT信号が兼用になっており、同時には使用できません。 INTTP0OV信号, INTTP1OV信号, またはINTTP2OV信号をDMA転送の起動要因として使用するときは、オプション・バイト0000007AH (第33章 オプション・バイト機能参照)のDTFROB0ビット = 0に設定してください。この場合、INTUB0TIT信号, INTUB1TIR信号, INTUB1TIT信号はDMA転送の起動要因として使用できません。 備考 詳細については、表22-1 DMA転送の起動要因を参照してください。	p.509
第8章	ソフト	16ビット・タイマ/イベント・カウンタQ (TMQ)	TQ0CTL0レジスタ	TQ0CKS2-TQ0CKS0ビットは、TQ0CEビット = 0のときに設定してください。TQ0CEビットを“0”から“1”に設定するときも、同時にTQ0CKS2-TQ0CKS0ビットを設定できません。 ビット3-6には必ず“0”を設定してください。	p.515 p.515
			TQ0CTL1レジスタ	TQ0EEE, TQ0MD2-TQ0MD0ビットは、TQ0CTL0.TQ0CEビット = 0のときに設定してください (TQ0CEビット = 1のときの同値書き込みは可能)。TQ0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。 ビット3, 4, 7は必ず“0”を設定してください。	p.516 p.516
			TQ0IOC0レジスタ	ポート設定がTQ0Qm出力設定の場合、TQ0IOC0レジスタの設定を書き換えると端子出力が変化するので、ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして、端子状態の変化に注意してください。 TQ0OLm, TQ0OEmビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。 TQ0CEビット=0, TQ0OEmビット=0の状態において、TQ0OLmビットを操作した場合でも、TQ0Qm端子の出力レベルは変化します。	p.517 p.517 p.517
			TQ0IOC1レジスタ	TQ0IS7-TQ0IS0ビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。	p.518
			TQ0IOC2レジスタ	TQ0EES1, TQ0EES0, TQ0ETS1, TQ0ETS0ビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。	p.519
			TQ0OPT0レジスタ	TQ0CCS3-TQ0CCS0ビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。 ビット1-3には必ず“0”を設定してください。	p.520 p.520

(14/47)

章	分類	機能	機能の詳細	注意事項	ページ
第8章	ソフト	16ビット・タイマ/イベント・カウンタQ (TMQ)	TQ0CCR0-TQ0CCR3, TQ0CNTレジスタ	次に示す状態において、TQ0CCR0-TQ0CCR3, TQ0CNTレジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.521, 523, 525, 527, 529
			動作	外部イベント・カウント・モードを使用する場合、TIQ00端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TQ0IOC1.TQ0IS1, TQ0IS0ビットを“00”) に設定してください。	p.530
				外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TQ0CTL1.TQ0EEEビット = 0) に設定) してください。	p.530
			オーバーフロー動作	オーバーフロー割り込み要求信号 (INTTQ0OV) 発生後は、必ずオーバーフロー・フラグ (TQ0OVFビット) が“1” にセットされているのを確認してください。	p.531
			一斉書き込み	TQ0CCR1レジスタへの書き込みには、一斉書き込みを許可する動作も含まれます。したがって、TQ0CCR1レジスタの書き換えはTQ0CCR0, TQ0CCR2, TQ0CCR3レジスタの書き換えよりあとにしてください。	p.536
			TQ0CCR0 レジスタの書き換えに関する注意事項	カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。	p.544, 555, 579
			外部イベント・カウント・モード	外部イベント・カウント・モードでは、TQ0CCR0-TQ0CCR3レジスタに0000Hを設定することは禁止します。	p.549
				TQ0IOC0レジスタには00Hを設定してください。	p.552
				カウント・クロックとして外部クロックを使用するときは、外部クロックはTIQ00端子からのみ入力できます。このとき、TQ0IOC1.TQ0IS1, TQ0IS0ビット = 00 (キャプチャ・トリガ入力 (TIQ00端子) : エッジ検出なし) に設定してください。	p.552
			外部イベント・カウント・モード動作タイミング	外部イベント・カウント・モード時、TQ0CCR0-TQ0CCR3レジスタには、0000Hを設定することは禁止します。	p.554
				外部イベント・カウント・モード時、タイマ出力 (TOQ00-TOQ03) は使用禁止です。	p.554
			外部トリガ・パルス出力モード	外部トリガ・パルス出力モード時は、カウント・クロックは内部クロックを選択 (TQ0CTL1.TQ0EEEビット = 0) に設定) してください。	p.559
			動作中のパルス幅変更の注意事項	動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。 TQ0CCR1レジスタにライト後、再度TQ0CCRkレジスタの書き換えを行う場合には、INTTQ0CC0信号を検出後に書き換えてください。	p.566
			ワンショット・パルス出力モード	ワンショット・パルス出力モード時は、カウント・クロックは内部クロックを選択 (TQ0CTL1.TQ0EEEビット = 0) に設定) してください。	p.572
				ワンショット・パルス出力モードにおいて、TQ0CCRkレジスタの設定値が、TQ0CCR0レジスタの設定値より大きい場合、ワンショット・パルスは出力しません。	p.576
			ハード	キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法	パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるため注意が必要です。
ソフト	キャプチャ動作	キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TQ0CTL0.TQ0CEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TQ0CCRmレジスタに0000HではなくFFFFHがキャプチャされる場合やキャプチャ動作が行われない (キャプチャ割り込みが発生しない) 場合があります (m = 0-3)。 キャプチャ動作を使用し、かつカウント・クロックとして外部イベント・カウント入力を選択し、外部イベントが一度も入力されない期間もFFFFHがキャプチャされる場合やキャプチャ動作が行われない (キャプチャ割り込みが発生しない) 場合があります。	p.612		

(15/47)

章	分類	機能	機能の詳細	注意事項	ページ		
第8章	ソフト	16ビット・タイマ/イベント・カウンタQ (TMQ)	パルス幅測定モード	パルス幅測定モード時は、カウント・クロックは内部クロックを選択 (TQ0CTL1.TQ0EEEビット = 0に設定) してください。	p.613		
				カウント・クロックとして遅いクロックを選択した場合、TQ0CTL0.TQ0CEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TQ0CCRmレジスタに0000HではなくFFFFHがキャプチャされる場合やキャプチャ動作が行われな (キャプチャ割り込みが発生しない) 場合があります (m = 0-3)。	p.618		
				DMA転送の起動要因の切り替え	DMA転送の起動要因のINTTQ0OV信号とINTUB0TIR信号が兼用になっており、同時には使用できません。INTTQ0OV信号をDMA転送の起動要因として使用するときは、オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のDTFROB0ビット = 0に設定してください。この場合、INTUB0TIR信号はDMA転送の起動要因として使用できません。 備考 詳細については、表22-1 DMA転送の起動要因を参照してください。	p.619	
	ハード	TIQ0m 端子 と KRn 端子の同時使用	TIQ0m端子とKRn端子は、同時に使用することはできません (m = 0-3, n = 0-3)。TIQ00端子とKR3端子、TIQ03端子とKR2端子は、ともに2つのポートに兼用されていますが、それぞれ異なるポートで同時に使用することはできません。	p.619			
第9章	ソフト	16ビット・インターバル・タイマM (TMM)	TM0CTL0-TM2CTL0レジスタ	TMnCKS2-TMnCKS0ビットはTMnCEビット = 0のときに設定してください。TMnCEビットを“0”から“1”に設定するときに、同時にTMnCKS2-TMnCKS0ビットを設定できません。	p.624		
				ビット3-6には必ず“0”を設定してください。	p.624		
				インターバル・タイマ・モード動作タイミング	TMnCMP0レジスタには、FFFFHを設定しないでください。	p.625, 628, 630	
				カウント動作	TMnCTL0.TMnCEビット = 1としてからカウント開始するまで、時間を要することがあります。詳細は、9.4.2(1) カウント開始までの最大時間を参照してください。	p.629	
				TMnCMP0, TMnCTL0レジスタ	TMnCMP0, TMnCTL0レジスタはTMM動作中の書き換えは禁止です。TMnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TMnCTL0.TMnCEビットをクリア (0) してから再設定してください。	p.629	
				DMA転送の起動要因の切り替え	DMA転送の起動要因のINTTM1EQ0信号とINTKR信号、INTTM2EQ0信号とINTP8信号が兼用になっており、同時には使用できません。INTTM1EQ0信号またはINTTM2EQ0信号をDMA転送の起動要因として使用するときは、オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のDTFROB0ビット = 1に設定してください。この場合、INTKR信号、INTP8信号はDMA転送の起動要因として使用できません。 備考 詳細については、表22-1 DMA転送の起動要因を参照してください。	p.630	
第10章	ソフト	時計機能	PRSM0レジスタ	時計タイマ動作中に、BGCS01, BGCS00ビットの値を変更しないでください。	p.634		
				PRSM0レジスタの設定はBGCE0ビットをセット (1) する前に行ってください。	p.634		
				時計タイマやリアルタイム・カウンタ (RTC) により、時計機能を実現するには、f <sub>BRG</sub> の周波数が32.768 kHzとなるよう、使用するメイン発振クロック周波数 (fx) にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。	p.634		
				ビット2, 3, 5-7には必ず0を設定してください。	p.634		
			PRSCM0レジスタ	時計タイマ動作中にPRSCM0レジスタを書き換えしないでください。	p.635		
				PRSM0.BGCE0ビットをセット (1) する前にPRSCM0レジスタの設定を行ってください。	p.635		
				時計タイマやリアルタイム・カウンタ (RTC) により、時計機能を実現するには、f <sub>BRG</sub> の周波数が32.768 kHzとなるよう、使用するメイン発振クロック周波数 (fx) にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。	p.635		
			WTMレジスタ	WTM2-WTM7ビットを書き換える場合は、WTM0, WTM1ビットがともに0の状態で行ってください。	p.640		
			ハード	INTWT信号	動作許可 (WTM.WTM1, WTM0ビット = 1) してから、最初の1回目の時計タイマ割り込み要求信号 (INTWT) が発生するまで多少時間がかかります。	p.644	
				ソフト	RC1CC0レジスタ	動作中のリアルタイム・カウンタを停止 (RC1PWRビット = 1 0) させる場合は、10.5.4(8) リアルタイム・カウンタの初期化にそって行ってください。	p.649
						RC1CKSビットの書き換えは、リアルタイム・カウンタ動作停止時 (RC1PWRビット = 0) のみ可能です。また、RC1PWRビットを“0”から“1”にするのと同時にRC1CKSビットを書き換えることは禁止です。	p.649
						ビット0-5には必ず0を設定してください。	p.649



(16/47)

章	分類	機能	機能の詳細	注意事項	ページ
第10章	ソフト	時計機能	RC1CC1レジスタ	RC1CKDIV端子とRC1CKO端子は兼用となっています。RC1CKDIV端子として使用する場合は、兼用しているRC1CKO端子の出力を禁止にしてください(RC1CC1.CLOE0ビット = 0に設定)。また、RC1CKO端子として使用する場合は、RC1CKDIV端子の出力を禁止にしてください(RC1CC3.CLOE2ビット = 0)。	p.650
				RTCEビット = 1の状態ではRTCEビットに“0”を書き込むことは禁止です。	p.650
				10.5.4(8)リアルタイム・カウンタの初期化にそってRC1PWRビットをクリア(0)することでRTCEビットをクリア(0)してください。	p.650
				CLOE1ビットの設定変更時、RC1CK1HZ出力は次のように動作します。 ・0 1に変更した場合：最大2クロック後に、RC1CK1HZ出力は1 Hzのパルスを出力 ・1 0に変更した場合：最大2クロック後に、RC1CK1HZ出力は出力停止(ロウ・レベル固定)。	p.650
				AMPMビットの設定/変更は、10.5.4(1)初期設定、10.5.4(2)クロック動作中の各カウンタの書き換えを参照してください。また、AMPMビットを書き換えた場合は、RC1HOURレジスタを再設定してください。	p.650
				リアルタイム・カウンタ動作中(RC1PWRビット = 1)にCT2-CT0ビットを書き換える場合は、10.5.4(4)クロック動作中のINTRTC0割り込み設定の変更を参照してください。	p.650
			ビット6には必ず0を設定してください。	p.650	
		RC1CC2レジスタ	WALEビットをリアルタイム・カウンタ動作中(RC1CC0.RC1PWRビット = 1)に書き換える場合は、10.5.4(5)クロック動作中のINTRTC1割り込み設定の変更を参照してください。	p.651	
			各カウンタ値の読み出し/書き込みを行う場合は、RWSTビットが1になっていることを確認してください。	p.651	
			RWAITビットを“0”に設定しても、各カウンタ書き込み中は、RWSTビットは“0”になりません。各カウンタ書き込み完了後に“0”になります。	p.651	
			ビット2-6には必ず0を設定してください。	p.651	
		RC1CC3レジスタ	RC1CKDIV端子とRC1CKO端子は兼用となっています。RC1CKDIV端子として使用する場合は、兼用しているRC1CKO端子の出力を禁止にしてください(RC1CC1.CLOE0ビット = 0に設定)。また、RC1CKO端子として使用する場合は、RC1CKDIV端子の出力を禁止にしてください(RC1CC3.CLOE2ビット = 0)。	p.652	
			RINTEビットをリアルタイム・カウンタ動作中(RCC1CC0.RC1PWRビット = 1)に書き換える場合は、10.5.4(7)クロック動作中のINTRTC2割り込み設定の変更を参照してください。	p.652	
			CLOE2ビットの設定変更時、RC1CKDIV出力は次のように動作します。 ・0 1に変更した場合：最大2クロック後に、CKDIVビットで設定したパルスを出力 ・1 0に変更した場合：最大2クロック後に、RC1CKDIV出力は出力停止(ロウ・レベル固定)。	p.652	
			リアルタイム・カウンタ動作中(RC1PWRビット = 1)にICT2-ICT0ビットを書き換える場合は、10.5.4(7)クロック動作中のINTRTC2割り込み設定の変更を参照してください。	p.652	
			ビット3,4には必ず0を設定してください。	p.652	
		RC1SUBCレジスタ	RC1SUBUレジスタにより補正を行う場合は、8000H以上の値になる場合があります。	p.653	
			RC1SUBCレジスタは、秒カウント・レジスタへのライトによってもクリアされます。	p.653	
			RC1SUBCレジスタの読み出し値は、動作中に読み出しを行った場合、変化中の値を読み出すため、値は保証されません。	p.653	
		RC1SECレジスタ	RC1SECレジスタに00-59以外の値を設定することは禁止です。	p.653	
		RC1MINレジスタ	RC1MINレジスタに00-59以外の値を設定することは禁止です。	p.654	
RC1HOURレジスタ	RC1HOURレジスタに01-12, 21-32 (AMPMビット = 0)、または00-23 (AMPMビット = 1)以外の値を設定することは禁止です。	p.654			
RC1DAYレジスタ	RC1DAYレジスタに01-31以外の値を設定することは禁止です。また上記カウント範囲外“2月30日を設定するなど”も禁止です。	p.656			
RC1WEEKレジスタ	RC1WEEKレジスタに00-06以外の値を設定することは禁止です。	p.657			
	曜日カウント・レジスタには、月カウント・レジスタおよび日カウント・レジスタに対応した値が自動的に格納されるわけではありません。	p.657			

(17/47)

章	分類	機能	機能の詳細	注意事項	ページ
第10章	ソフト	時計機能	RC1MONTH レジスタ	RC1MONTHレジスタに01-12以外の値を設定することは禁止です。	p.658
			RC1YEARレジスタ	RC1YEARレジスタに00-99以外の値を設定することは禁止です。	p.658
			RC1ALM レジスタ	設定する値は、10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。	p.660
				リアルタイム・カウンタ動作中 (RC1CC0.RC1PWRビット = 1) にRC1ALMレジスタを書き換える場合は、10.5.4(5)クロック動作中のINTRTC1割り込み設定の変更を参照してください。	p.660
			RC1ALH レジスタ	設定する値は、10進の00-23または、01-12, 21-32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。	p.660
				リアルタイム・カウンタ動作中 (RC1CC0.RC1PWRビット = 1) にRC1ALHレジスタを書き換える場合は、10.5.4(5)クロック動作中のINTRTC1割り込み設定の変更を参照してください。	p.660
			RC1ALW レジスタ	リアルタイム・カウンタ動作中 (RC1CC0.RC1PWRビット = 1) にRC1ALWレジスタを書き換える場合は、10.5.4(5)クロック動作中のINTRTC1割り込み設定の変更を参照してください。	p.661
			動作	STOPモードに移行する前には、必ずRWSTビット = 0であることを確認してください。	p.663, 664
				RWAITビット = 1からRWAITビット = 0とするまで1秒以内で行ってください。RWAITビット = 1に設定すると、RC1SEC ~ RC1YEARレジスタの動作を停止します。RWAITビット = 1中にRC1SUBCレジスタから桁上がりが発生した場合、1回の桁上りは内部で保持します。しかし2回以上の桁上がりが発生した場合は、桁上がり回数を保持できません。	p.663, 664
				INTRTC2割り込みの初期設定時は、RC1CC3.ICT2-ICT0ビットとRC1CC3.RINTEビットは同時に設定するか、ICT2-ICT0ビットを先に設定してください。RINTEビットを先に設定すると意図しない波形の割り込みが出る可能性があります。	p.667
第11章	ソフト	ウォッチドッグ・タイマ2機能	ディフォルト・スタート・ウォッチドッグ・タイマ	ウォッチドッグ・タイマ2を使用しない場合や、動作モードの変更を行う場合は、必ずオプション・バイト0000007AHのWDTMD1ビット = 0に設定してください。WDTMD1ビット = 1のときのWDTM2レジスタによるモードの変更は無効です。	p.674
				ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。	p.674
				ウォッチドッグ・タイマ2を使用しない場合は、この機能によるリセットが発生する前に停止するか、一度ウォッチドッグ・タイマ2をクリアし、次のインターバル時間内で停止してください。	
				また、ディフォルトの設定 (リセット・モード、インターバル時間: $f_r/2^{19}$ ) で変更する必要がない場合も、動作を確定するために、1回だけWDTM2レジスタへの書き込みを行ってください。	
				ノンマスクابل割り込み要求信号 (INTWDT2) によるノンマスクابل割り込み処理については24.2.2(2) INTWDT2信号の場合を参照してください。	p.674
			WDTM2 レジスタ	次に示す状態において、WDTM2レジスタへのアクセスは禁止です。詳細は3.4.9(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.676
				ウォッチドッグ・タイマ2を使用しない場合や、動作モードの変更を行う場合は、必ずオプション・バイト0000007AHのWDTMD1ビット = 0に設定してください。WDTMD1ビット = 1のときのWDTM2レジスタによるモードの変更は無効です。	p.677
				内蔵発振器の停止のみでウォッチドッグ・タイマ2は停止しますが、動作を確定するため (誤書き込みで、メイン・クロックやサブクロックが選択されないようにする)、WDTM2レジスタに00Hを設定してください。	p.677
				リセット後、WDTM2レジスタに2回書き込んだ場合、強制的にオーバフロー信号が発生し、カウンタをリセットします。	p.677
				意図的にオーバフロー信号を発生させたい場合は、WDTM2レジスタに2回だけ書き込むか、WDTEレジスタに“ACH”以外の値を1回だけ書き込んでください。ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTM2レジスタに2回だけ書き込む、またはWDTEレジスタに“ACH”以外の値を1回だけ書き込んででもオーバフロー信号は発生しません。	p.677

(18/47)

章	分類	機能	機能の詳細	注意事項	ページ
第11章	ソフト	ウォッチドッグ・タイマ2機能	WDTM2レジスタ	ウォッチドッグ・タイマ2の動作を停止する場合は、RCM.RSTOPビット = 1に設定(内蔵発振器の停止)するとともに、WDTM2レジスタに00Hを書き込んでください。RCM.RSTOPビット = 1に設定できない場合は、WDCS23ビット = 1に設定してください ( $2^n/f_{XP}$ が選択され、IDLE1, IDLE2, サブIDLE, サブクロック動作モードでクロックを停めることができます)。ただし、オプション・バイト0000007AH(第33章 オプション・バイト機能参照)のWDTMD1ビット = 1に設定した場合、リセット以外に停止することはできません。ビット7には必ず0を設定してください。	p.677
				オプション・バイト0000007AH(第33章 オプション・バイト機能参照)のWDTMD1ビット = 1に設定した場合、クロックは内蔵発振クロック ( $f_r$ ) に固定されます ( $2^{12}/f_r - 2^{19}/f_r$ の選択は可能)。	p.678
				WDTEレジスタ	WDTEレジスタに“ACH”以外の値を書き込んだ場合、強制的にオーバフロー信号を発生します。
				WDTEレジスタに1ビット・メモリ操作命令を実行した場合、強制的にオーバフロー信号を発生します。	p.679
				意図的にオーバフロー信号を発生させたい場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込むか、WDTM2レジスタに2回だけ書き込んでください。ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込む、またはWDTM2レジスタに2回だけ書き込んででもオーバフロー信号は発生しません。	p.679
				WDTEレジスタのリード値は、“9AH”(書き込んだ値(“ACH”)とは異なる値)になります。	p.679
第12章	ソフト	リアルタイム出力機能 (RTO)	RTBLn, RTBHnレジスタ	RTBHnレジスタのビット6, 7への書き込み時は、必ず“0”を書き込んでください。	p.683
				次に示す状態において、RTBLn, RTBHnレジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.683
			RTPMnレジスタ	リアルタイム出力動作を禁止 (RTPOEnビット = 0) した場合は、RTPMnレジスタの設定にかかわらず、リアルタイム出力端子 (RTPn0-RTPn5) は全ビット“0”を出力します。	p.684
				ビット6, 7には必ず0を設定してください。	p.684
			RTPCnレジスタ	RTPEGn, BYTEn, EXTRnビットの設定は、必ずRTPOEnビット = 0のときに行ってください。	p.685
			競争の回避	ソフトウェアにより、次の競争を回避してください。 ・リアルタイム出力動作の禁止 / 許可の切り替え (RTPOEnビット) と選択したリアルタイム出力トリガとの競争 ・リアルタイム出力動作許可状態におけるRTBHn, RTBLnレジスタのライトと選択したリアルタイム出力トリガとの競争	p.690
			初期設定	初期設定は、リアルタイム出力動作を禁止 (RTPOEnビット = 0) にしてから行ってください。	p.690
リアルタイム出力動作を禁止した場合	一度リアルタイム出力動作を禁止 (RTPOEnビット = 0) した場合は、リアルタイム出力動作を許可 (RTPOEnビット = 0 1) する前に、必ずRTBHn, RTBLnレジスタに初期値を設定してください。	p.690			
第13章	ハード	A/Dコンバータ	ANI0-ANI15端子	ANI0-ANI15端子入力電圧は規格の範囲内で使用してください。特にAVREF0以上の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。	p.694
			ADA0M0, ADA0CRn, ADA0CRnHレジスタ	次に示す状態において、ADA0M0, ADA0CRn, ADA0CRnHレジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.695, 702
			ADA0M0レジスタ	A/D変換動作許可中 (ADA0CEビット = 1) は、ADA0M1レジスタの変更は禁止です。	p.696

(19/47)

章	分類	機能	機能の詳細	注意事項	ページ	
第13章	ソフト	A/Dコンバータ	ADA0M0レジスタ	次のモードでは、ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みはA/D変換動作停止 (ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。 ・通常変換モード ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード		p.696
				外部トリガ・モード/タイマ・トリガ・モードを選択する場合 (ADA0TMDビット = 1) は、高速変換モード (ADA0M1.ADA0HS1ビット = 1) に設定してください。また、A/D変換動作許可 (ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。		p.696
			ADA0M1レジスタ	A/D変換動作許可中 (ADA0M0.ADA0CEビット = 1) は、ADA0M1レジスタの変更は禁止です。		p.697
				外部トリガ・モード/タイマ・トリガ・モードを選択する場合 (ADA0M0.ADA0TMDビット = 1) は、高速変換モード (ADA0HS1ビット = 1) に設定してください。また、A/D変換動作許可 (ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。		p.697
				ビット6-4には必ず“0”を設定してください。		p.697
				2.6 $\mu$ s 変換時間 10.4 $\mu$ sになるように設定してください。		p.698, 699
			ADA0M2レジスタ	次のモードでは、ADA0M2レジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。 ・通常変換モード ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード		p.700
				ビット7-2には必ず“0”を設定してください。		p.700
			ADA0Sレジスタ	次のモードでは、ADA0Sレジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。 ・通常変換モード ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード		p.701
				ビット7-4には必ず“0”を設定してください。		p.701
			ADA0CRn, ADA0CRnHレジスタ	ADA0M0, ADA0Sレジスタに対して書き込み動作を行ったとき、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。		p.702
			ADA0PFMレジスタ	次のモードでは、ADA0PFMレジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。 ・通常変換モード ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード		p.704
	ビット0-5には必ず0を設定してください。		p.704			
ADA0PFTレジスタ	次のモードでは、ADA0PFTレジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。 ・通常変換モード ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード		p.705			

(20/47)

章	分類	機能	機能の詳細	注意事項	ページ
第13章	ソフト	A/Dコンバータ	外部トリガ・モード	外部トリガ・モードを選択する場合は、高速変換モードに設定してください。また、A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。	p.708
			タイマ・トリガ・モード	タイマ・トリガ・モードを選択する場合は、高速変換モードに設定してください。また、A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。	p.709
	ハード		ANI0-ANI15端子入力範囲	ANI0-ANI15端子の入力電圧は規格の範囲内で使用してください。ただし、絶対最大定格の範囲内であってもAV <sub>REF0</sub> 以上、AV <sub>SS</sub> 以下の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。	p.719
			ノイズ対策	10ビット分解能を保つためには、ANI0-ANI15端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するためにコンデンサを外付けすることを推奨します。	p.719
			兼用入出力	アナログ入力 (ANI0-ANI15) 端子はポート端子と兼用になっています。また、AV <sub>REF0</sub> 電源はA/Dコンバータの基準電源とポート7の入出力バッファ電源の兼用になっています。そのため、A/D変換中に13.6(4)の(a)-(c)の処理が行われた場合は、A/D変換値が期待どおりに得られないことがあります。	p.720
			割り込み要求フラグ (ADIF)	ADA0Sレジスタを変更しても、割り込み要求フラグ (ADIF) はクリアされません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADA0Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります。ADA0Sレジスタ書き換え直後にADIFフラグを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされている場合がありますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリアしてください。	p.721
			AV <sub>REF0</sub> 端子	AV <sub>REF0</sub> 端子はA/Dコンバータの電源端子を兼用しており、また兼用ポートにも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても必ずV <sub>DD</sub> と同じ電位を印加してください。	p.722
	ハード			AV <sub>REF0</sub> 端子はA/Dコンバータ用の基準電圧端子を兼用しています。したがって、AV <sub>REF0</sub> 端子への供給部のインピーダンス値が高い場合や、電源の電流供給能力が低い場合、変換時に流れる電流 (特に変換動作許可ADA0CEビット = 1とした直後) により基準電圧が変動し、変換精度が悪くなるおそれがあります。これを避けるため図13-15のようにAV <sub>REF0</sub> 端子とAV <sub>SS</sub> 端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。	p.722
				AV <sub>REF0</sub> 端子への供給部に直流抵抗値 (ダイオード挿入など) が高いと、A/D変換電流による電圧降下により、変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。	p.722
			ADA0CRnレジスタの読み出し	ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行ったとき、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行う前に読み出してください。また、外部/タイマ・トリガを受け付けたときも、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、次の外部/タイマ・トリガを受け付ける前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。	p.722
ソフト		スタンバイ・モード	A/Dコンバータは、STOPモード時に動作が停止するため、変換結果は無効になり消費電力を低減できます。STOPモード解除後、再び動作を開始しますが、STOPモード解除後のA/D変換結果は無効です。STOPモード解除後にA/Dコンバータを使用する場合は、STOPモード設定前またはSTOPモード解除後にADA0M0.ADA0CEビット = 0に設定してからSTOPモード解除後にADA0CEビット = 1に設定してください。IDLE1, IDLE2モード、サブクロック動作モードでは動作が保持されるため、消費電力を低減する場合にはADA0M0.ADA0CEビット = 0にしてください。ただし、IDLE1, IDLE2モード期間中は、アナログ入力電圧値が保持できなくなるため、IDLE1, IDLE2モード解除後のA/D変換結果は無効です。また、IDLE1, IDLE2モード設定前のA/D変換結果は有効です。	p.723	

(21/47)

章	分類	機能	機能の詳細	注意事項	ページ
第13章	ソフト	A/Dコンバータ	各モードに関する制限	外部トリガ・モード/タイマ・トリガ・モードを選択する場合は、高速変換モードに設定してください。また、A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。	p.723
			A/D変換結果のばらつき	電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。	p.723
	ハード	A/D変換のヒステリシス特性	逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。 ・同一チャンネルでA/D変換を実行する場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。 ・アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。	p.723	
第14章	ソフト	D/Aコンバータ	DA0Mレジスタ	ビット2, 3, 6, 7には必ず0を設定してください。	p.729
			DA0CS0, DA0CS1レジスタ	リアルタイム出力モード (DA0M.DA0MDnビット = 1) のとき、INTTP2CC0/INTTP3CC0信号が発生する前に、DA0CSnレジスタを設定してください。INTTP2CC0/INTTP3CC0信号発生でD/A変換を開始します。	p.730
			使用上の注意点	リアルタイム出力モード時、トリガ信号が出ている間にDA0CSnレジスタの設定値を変更しないでください。	p.733
				動作モードを切り替える場合は、必ずDA0M.DA0CEnビット = 0にしたあとに行ってください。	p.733
				P10/ANO0, P11/ANO1端子を、1本を入出力ポート、1本をD/A出力端子として使用する場合、D/A出力中は、ポートの入出力レベルが変化しないようなアプリケーションで使用してください。	p.733
	ハード	AVREF0 = VDD = AVREF1 = 3.0 ~ 3.6 Vの範囲で使用してください。	p.733		
		AVREF1の電源投入および電源切断は、AVREF0と同じタイミングで行ってください。	p.733		
		D/Aコンバータの出力インピーダンスが高いため、ANOn端子 (n = 0, 1) から電流を取り出すことはできません。2 MΩ以下の抵抗を接続する場合には、抵抗とANOn端子の間にJFET入力型オペアンプを挿入してください。	p.733		
		D/Aコンバータは、STOPモード時に動作が停止するため、ANO0, ANO1端子は、ハイインピーダンスになり消費電力を低減できます。ただし、IDLE1, IDLE2モード、サブクロック動作モードでは端子は保持されるため、消費電力を低減する場合にはDA0M.DA0CEnビット = 0にしてください。	p.733		
第15章	ソフト	アシンクロナス・シリアル・インタフェースA (UART)	動作中のポート設定	動作中にポート設定を切り替えしないでください。また、ポート設定を行わず、使用しないユニットは、必ず動作禁止にしてください。	p.735, 737
			UA0OPT0-UA0OPT5レジスタ	UAnSRT, UAnSTTビットは、SBF受信中 (UAnSRFビット = 1) にセット (1) しないでください。	p.744
			UA0STR-UA5STRレジスタ	UAnPE, UAnFE, UAnOVEビットのエラー・フラグは、必ずリードしてフラグの状態を確認後、“0” ライトしてクリアしてください。	p.746
				ビット3-6には必ず0を設定してください。	p.747
			SBF受信	LIN機能では、データ受信中にSBFが送信されてくることを想定していません。そのため、データ受信中にSBFが送信されてきた場合はフレーミング・エラー (UAnSTR.UAnFEビット = 1) が発生します。	p.755
			連続送信の手順説明	送信の初期化を行う場合、連続送信実行中は、UAnSTR.UAnTSFビットが“0”であることを確認してから初期化を実行してください。UAnTSFビットが“1”のときに初期化を実行した場合の送信データは保証できません。	p.758
			UART受信	受信エラー発生時にも、UAnRXレジスタは必ず読み出してください。UAnRXレジスタを読み出さないと、次のデータ受信にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続くことになります。	p.761
				受信終了時は、受信完了割り込み要求信号 (INTUAnR) 発生後、UAnRXレジスタを読み出してからUAnPWRビット = 0またはUAnRXEビット = 0としてください。INTUAnR信号が発生する前にUAnPWRビット = 0またはUAnRXEビット = 0とした場合、UAnRXレジスタのリード値は保証できません。	p.761

(22/47)

章	分類	機能	機能の詳細	注意事項	ページ
第15章	ソフト	アシンクロナス・シリアル・インタフェースA (UARTA)	UART受信	UARTAnの受信完了処理 (INTUAnR信号の発生) と, UAnPWRビット = 0またはUAnRXEビット = 0が競合した場合, UAnRXレジスタにデータを格納していないにもかかわらず, INTUAnR信号が発生することがあります。INTUAnR信号の発生を待たずに受信終了を行うときには, 必ず割り込み制御レジスタ (UAnRIC) の割り込みマスク・フラグ (UAnRMK) をセット (1) してから, UAnPWRビット = 0またはUAnRXEビット = 0とし, さらにUAnRICレジスタの割り込み要求フラグ (UAnRIF) をクリア (0) してください。	p.761
			受信エラー	INTUAnR信号が発生したら, 必ずUAnSTRレジスタを読み出してエラーの有無を確認してください。	p.762
				連続受信時に受信エラー割り込みが発生した場合は, 次の受信が完了する前にUAnSTRレジスタの内容を読み出してエラー処理を実施してください。	p.763
			LIN機能	LIN機能を使用する場合, UAnCTL0.UAnPS1, UAnPS0ビットを "00" に固定してください。	p.764
			ポー・レート・ジェネレータの構成	CPUクロック (fCPU) がfUCLKより遅い場合には, UARTAnは使用できません。	p.766
			UA0CTL1- UA5CTL1レジスタ	UAnCTL1レジスタを書き換える場合は, UAnCTL0.UAnPWRビット = 0にしてから行ってください。	p.768
			UA0CTL2- UA5CTL2レジスタ	UAnCTL2レジスタを書き換える場合は, UAnCTL0.UAnPWRビット = 0, またはUAnTXE, UAnRXEビット = 00にしてから行ってください。	p.769
			ポー・レート誤差	送信時のポー・レート誤差は, 受信先の許容誤差以内にしてください。	p.771
				受信時のポー・レート誤差は, (5) 受信時の許容ポー・レート範囲で示す範囲を満たすようにしてください。	p.771, 774
			UARTAnへの供給クロックが停止する場合	UARTAnへの供給クロックが停止する場合 (例: IDLE1, IDLE2, STOPモード) は, 各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDAn端子出力も停止直前の値を保持, 出力します。ただし, クロック供給の再開後の動作は保証しません。したがって, 再開後はUAnCTL0.UAnPWR, UAnRXEn, UAnTXEnビット = 000とし, 回路を初期化してください。	p.777
			RXDA1端子 KR7端子	RXDA1端子とKR7端子は同時に使用することはできません。V850E/SK3-Hの場合, RXDA1端子とKR7端子は, とともに2つのポートに兼用されていますが, それぞれ異なるポートで同時に使用できません。RXDA1端子を使用する場合は, KR7端子のKRM.KRM7ビット = 0に設定してください。また, KR7端子を使用する場合は, UA1CTL0.UA1RXEビット = 0に設定してください (P91でKR7端子を使用する場合は, PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します)。	p.777
			DMA転送中のエラー	UARTAnでは, 通信エラーによる割り込みを発生しません。そのため, DMA転送で送信データ, 受信データの転送を行う場合, 転送中にエラー (パリティ / オーバラン / フレーミング) が発生しても, エラー処理を行いません。DMA転送終了後にUAnSTRレジスタを読み出してエラーがなかったことを確認するか, 通信中に適宜UAnSTRレジスタを読み出してエラーの有無を確認してください。	p.777
			UARTAnの起動順序	UARTAnの起動は次の順序で行ってください。 UAnCTL0.UAnPWRビット = 1 ポートの設定 UAnCTL0.UAnTXEビット = 1, UAnCTL0.UAnRXEビット = 1	p.777
UARTAnの停止順序	UARTAnの停止は次の順序で行ってください。 UAnCTL0.UAnTXEビット = 0, UAnCTL0.UAnRXEビット = 0 ポートの設定, UAnCTL0.UAnPWRビット = 0 (ポートの設定は変更しなくても問題ありません)	p.777			
送信モード中のUAnTXレジスタへの同値書き込み	送信モード中 (UAnCTL0.UAnPWRビット = 1, かつUAnCTL0.UAnTXEビット = 1) に, ソフトウェアでUAnTXレジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。	p.777			

(23/47)

章	分類	機能	機能の詳細	注意事項	ページ
第15章	ソフト	アシンクロナス・シリアル・インタフェースA (UARTA)	連続送信	連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信レートが、通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出でタイミングの初期化を行うため、受信結果には影響しません。	p.777
			DMA転送の起動要因の切り替え	(a) INTUA1R信号とINTIIC2信号のDMA転送の起動要因の切り替え 15.8(8)(a) - に示す組み合わせ以外のDMA転送の起動要因の設定は禁止します。 備考 詳細については、表22-1 DMA転送の起動要因を参照してください。	p.778
				(b) INTUA2R信号とINTIIC0信号のDMA転送の起動要因の切り替え 15.8(8)(b) - に示す組み合わせ以外のDMA転送の起動要因の設定は禁止します。 備考 詳細については、表22-1 DMA転送の起動要因を参照してください。	p.778
第16章	ソフト	アシンクロナス・シリアル・インタフェースB (UARTB)	UB0CTL0, UB1CTL0レジスタ	UARTBnを使用する場合には、必ずUARTBn機能に関連する外部端子を兼用機能に設定したあと、UARTBn制御レジスタ2 (UBnCTL2) の設定を行ってからUBnPWRビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。	p.784, 837
				UARTBn機能に関連する外部端子を兼用機能に設定する場合には、RXDBn端子には必ずハイ・レベルを入力してください。ロウ・レベルを入力したときには、UBnRXEビットをセット(1)したあと、立ち下がりエッジが入力されたものと判断してしまい、受信を開始することがあります。	p.784, 837
		UB0STR, UB1STRレジスタ	ビット4-6には必ず0を設定してください。	p.788	
		UB0CTL2, UB1CTL2レジスタ	UBnBRS15-UBnBRS0ビットを書き換える場合は、UBnCTL0.UBnTXEビット = 0かつUBnRXEビット = 0、またはUBnPWRビット = 0の状態で行ってください。	p.789	
		UB0TX, UB1TX, UB0RXAP, UB1RXAP, UB0RX, UB1RX, UB0FIS0, UB1FIS0, UB0FIS1, UB1FIS1レジスタ	次に示す状態において、UBnTX, UBnRXAP, UBnRX, UBnFIS0, UBnFIS1レジスタへのアクセスは禁止です。詳細は3.4.9(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.791, 792, 801, 802	
		UB0RXAP, UB1RXAP, UB0RX, UB1RXレジスタ	FIFOモード時で受信エラー未発生ของときには、UBnRXAPレジスタの下位8ビットを8ビット(バイト)で読み出すことで、受信データだけを連続して読み出せます。上位8ビットへの8ビット・アクセスは禁止です。アクセスした場合の動作は保証できません。	p.792	
		UB0FIC0, UB1FIC0レジスタ	送信FIFOクリアを実行した(UBnTFCビット = 1)あと、fxPの4周期期間、またはUBnFIC0レジスタのリードにより、UBnTFCビットのクリア(自動復帰)が確認できるまでの期間、UARTBn関連レジスタへのアクセスは禁止です。アクセスした場合の動作は保証できません。	p.795	
			DMA制御を使用して、送信データの書き込みや、受信データの読み出しを実行する場合は、必ずシングル・モードを選択してください。 FIFOモードでは、DMA制御の使用は禁止です。 ビット4-6には必ず0を設定してください。	p.795 p.795	
			受信FIFO(UBnRXAP)クリアを実行した(UBnRFCビット = 1)あと、fxPの4周期期間、またはUBnFIC0レジスタのリードにより、UBnRFCビットのクリア(自動復帰)が確認できるまでの期間は、UARTBn関連レジスタへのアクセスは禁止です。アクセスした場合の動作は保証できません。	p.796	
		UB0FIC1, UB1FIC1レジスタ	ビット5, 6には必ず0を設定してください。	p.798	
UB0FIC2, UB1FIC2レジスタ	UBnFIC2レジスタへのライトは、必ずUBnCTL0.UBnTXEビット = 0(送信禁止状態)およびUBnRXEビット = 0(受信禁止状態)に設定してから行ってください。UBnTXEビット、またはUBnRXEビットのいずれかを1に設定したままUBnFIC2レジスタをライトした場合の動作は保証できません。	p.799			
	ビット4-7, 12-15には必ず0を設定してください。	p.799			



(24/47)

章	分類	機能	機能の詳細	注意事項	ページ
第16章	ソフト	アシンクロナス・シリアル・インタフェースB (UARTB)	UB0FIS1, UB1FIS1レジスタ	UBnTB4-UBnTB0ビット値は、送信データをUBnTXレジスタに書き込んだあと、f <sub>xp</sub> の2周期分の時間が経過してから反映されます。そのため、送信データをUBnTXレジスタに書き込んだあとに、UBnFIS1レジスタを参照する場合には注意してください。	p.802
			FIFO送信完了割り込み要求信号 (INTUBnTIF)	送信FIFOに対する次の送信データの書き込み実行が遅れたためにFIFO送信完了割り込み要求信号が発生した (送信データをすべて送信していない) 場合は、FIFOクリアを実行しないでください。	p.805
			シングル・モード/FIFOモード	DMA制御を使用して、送信データの書き込みや、受信データの読み出しを実行する場合は、必ずシングル・モードを選択してください。FIFOモードでは、DMA制御の使用は禁止です。	p.807
			送信動作	FIFOモード時に、送信FIFOへ送信データを書き込む前にUBnCTL0.UBnTXEビット = 1に設定することは禁止です。この設定をした場合の動作は保証できません。	p.811
			連続送信動作	送信処理中に初期化を実施する場合は、送信処理が完了していることを確認してください (UBnSTR.UBnTSFビット = 0、ただし、FIFOモード時はFIFO送信完了割り込み要求信号 (INTUBnTIF) の発生でも確認可能)。	p.814
				DMA制御を使用して、送信データの書き込みを実行する場合は、必ずシングル・モードを選択してください。FIFOモードでは、DMA制御の使用は禁止です。	p.814, 837
			受信動作	FIFOモード時にポインタ・モードを指定した場合にUBnFIS0レジスタを参照して受信FIFOの格納バイト数分まで受信FIFOから読み出すと、受信完了割り込み要求信号 (INTUBnTIR) が発生したにもかかわらず、受信FIFOにデータが格納されていない (UBnFIS0.UBnRB4-UBnRB0ビット = 00000) 場合があります。その場合は、受信FIFOからはデータの読み出しをしないでください。受信FIFOからのデータの読み出しは、必ず受信FIFOの格納バイト数 = 1バイト以上 (UBnRB4-UBnRB0ビット = 00000以外) を確認してから行ってください。	p.815, 838
				DMA制御を使用して、受信データの読み出しを実行する場合は、必ずシングル・モードを選択してください。FIFOモードでは、DMA制御の使用は禁止です。	p.815, 837
			受信完了割り込み要求信号 (INTUBnTIR)	受信エラー発生時にも受信データ・レジスタn (シングル・モード時: UBnRXレジスタ, FIFOモード時: 受信FIFO (UBnRXAPレジスタ)) に格納されているデータ (UBnFIS0.UBnRB4-UBnRB0ビットで示すデータ数) は、必ずすべて読み出してください。受信データ・レジスタnを読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。 ただし、FIFOモード時に保留モードを指定した場合には、受信FIFOに格納されているデータを読み出したあと、必ずFIFOクリア (UBnFIC0.UBnRFCビット = 1) を実行してください。また、FIFOモード時は、受信FIFOに格納されているデータを読み出さなくても、FIFOクリアを実行することで対応できます。 なお、FIFOモード時にパリティ・エラーまたはフレーミング・エラーが発生した場合には、UBnRXAPレジスタを16ビット (ハーフワード) で読み出します。	p.817
			ボー・レートの誤差	送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。	p.823
				受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。	p.823, 825
FIFOモード時の受信エラー処理フロー例	この制御フローを、受信エラー発生後の次のデータの受信完了までに行うことにより、受信の継続ができます。なお、受信データの引き取りと受信エラーの確認は、受信FIFOが空になるまで行ってください。ただし、この制御フローが有効となる受信エラーは、パリティ・エラーまたはフレーミング・エラー発生時のみです。オーバフロー・エラー発生時には、受信FIFOクリア (UBnFIC0.UBnRFCビット = 1) を行う必要があるため注意してください。 また、この制御フロー完了前に次のデータを受信した場合には、正常に受信した場合でも受信エラー割り込み要求信号 (INTUBnTIRE) が発生するので注意してください。	p.836			
UARTBnへの供給クロックが停止した場合	UARTBnへの供給クロックが停止する場合 (例: IDLE, STOPモード) は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDBn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUBnPWRビット = 0, UBnRXEビット = 0, UBnTXEビット = 0とし、回路を初期化してください。	p.837			

(25/47)

章	分類	機能	機能の詳細	注意事項	ページ
第16章	ソフト	アシンクロナス・シリアル・インタフェースB (UARTB)	シングル・モード時の連続送信, FIFOモード時の連続送信(保留モード時/ポインタ・モード時)での初期化	送信処理中に初期化を実施する場合は, UBnSTR.UBnTSFビットが0であることを確認してください (FIFOモード時の連続送信(保留モード時/ポインタ・モード時)の場合は, FIFO送信完了割り込み要求信号 (INTUBnTIF) での認識も可能です)。UBnTSFビットが1のときに初期化を実行した場合は, 送信データの保証はできません。	p.837, 838
			DMA転送の起動要因の切り替え	DMA転送の起動要因の INTUB0TIR 信号と INTTQ0OV 信号, INTUB0TIT 信号と INTTP0OV 信号, INTUB1TIR 信号と INTTP1OV 信号, INTUB1TIT 信号と INTTP2OV 信号が兼用になっており, 同時には使用できません。INTUB0TIR 信号, INTUB0TIT 信号, INTUB1TIR 信号, または INTUB1TIT 信号を DMA転送の起動要因として使用するときは, オプション・バイト 0000007AH (第33章 オプション・バイト機能参照) の DTFROB0ビット = 1に設定してください。この場合, INTTQ0OV 信号, INTTP0OV 信号, INTTP1OV 信号, INTTP2OV 信号は DMA転送の起動要因として使用できません。 備考 詳細については, 表22-1 DMA転送の起動要因を参照してください。	p.838
第17章	ソフト	3線式可変長シリアル I/O B (CSIB)	動作中のポート設定	動作中にポート設定を切り替えないでください。また, ポート設定を行わず, 使用しないユニットは, 必ず動作禁止にしてください。	p.840, 842
			CB0CTL0-CB5CTL0レジスタ	送受信を強制中断する場合は, CBnTXE, CBnRXEビットではなく, CBnPWRビットをクリア (0) してください。このとき, クロック出力も停止します。 ビット3, 2には必ず0を設定してください。	p.847 p.847
			CB0CTL1-CB5CTL1レジスタ	CBnCTL1レジスタは, CBnCTL0.CBnPWRビット = 0の場合のみ書き換えが可能です。	p.850
			CB0CTL2-CB5CTL2	CBnCTL2レジスタは, CBnCTL0.CBnPWRビット = 0, または CBnTXE, CBnRXEビット = 0の場合のみ書き換えが可能です。	p.852
			CB0STR-CB5STRレジスタ	シングル転送モードでは, CBnTSFビット = 1の状態では CBnTXレジスタに書き込みを行っても無視されます。なお, 転送中の動作には影響はありません。	p.854
			連続転送モード (マスタ・モード, 送信モード)	連続送信モードでは, 受信完了割り込み要求信号 (INTCBnR) は発生しません。	p.873
			連続転送モード (スレーブ・モード, 送信モード)	連続送信モードでは, 受信完了割り込み要求信号 (INTCBnR) は発生しません。	p.882
			クロック・タイミング	シングル転送モードでは, CBnTSFビット = 1の状態では CBnTXレジスタに書き込みを行っても無視されます。なお, 転送中の動作には影響はありません。	p.891, 892
			PRSM1-PRSM3レジスタ	動作中に, PRSMmレジスタを書き換えしないでください。	p.895
				PRSMmレジスタの設定はBGCEmビットに“1”を設定する前に行ってください。	p.895
				ビット2, 3, 5-7には必ず0を設定してください。	p.895
			PRSCM1-PRSCM3レジスタ	動作中にPRSCMmレジスタを書き換えしないでください。	p.896
				PRSMm.BGCEmビットに“1”を設定する前にPRSCMmレジスタの設定を行ってください。	p.896
			ポー・レートの生成	f <sub>BRGM</sub> は, 8 MHz以下になるように設定してください。	p.896
DMA転送により, 送信データ, 受信データの転送を行う場合	DMA転送により, 送信データ, 受信データの転送を行う場合, シリアル転送中にオーバーラン・エラーが発生してもエラー処理を行いません。DMA転送終了後に CBnSTR.CBnOVEビットを読み出してオーバーラン・エラーがなかったことを確認してください。	p.897			
CBnCTL0レジスタ CBnCTL1レジスタ CBnCTL2レジスタ	動作中 (CBnCTL0.CBnPWRビット = 1) の書き換えを禁止しているレジスタに対して, 動作中に誤って書き換えを行ってしまった場合は, 一度CBnCTL0.CBnPWRビット = 0に設定してCSIBnを初期化してください。 動作中の書き換えが禁止されているレジスタを次に示します。 ・CBnCTL0レジスタ: CBnTXE, CBnRXE, CBnDIR, CBnTMSビット ・CBnCTL1レジスタ: CBnCCKP, CBnDAP, CBnCKS2-CBnCKS0ビット ・CBnCTL2レジスタ: CBnCL3-CBnCL0ビット	p.897			

(26/47)

章	分類	機能	機能の詳細	注意事項	ページ
第17章	ソフト	3線式可変長シリアルI/O B (CSIB)	通信タイプ2, 4	通信タイプ2, 4 (CBnDAPビット = 1) でシングル転送モードを使用する場合、次の点に注意してください。 ・次の送信を起動する場合は、CBnTSFビット = 0であることを確認したあと、CBnTXレジスタに送信データを書き込む ・受信のみの通信に設定したとき (CBnTXEビット = 0, CBnRXEビット = 1) に続けて次の受信を行う場合は、CBnTSFビット = 0であることを確認したあと、CBnRXレジスタをリードする または、シングル転送モードではなく、連続転送モードを使用してください。特にDMAを使用する場合は連続転送モードの使用を推奨します。	p.897
第18章	ソフト	3線式可変長シリアルI/O E (CSIE)	動作中のポート設定	動作中にポート設定を切り替えないでください。また、ポート設定を行わず、使用しないユニットは、必ず動作禁止にしてください。	p.899
			CE0RX0, CE1RX0 レジスタ	転送中のCEnSTR.CEnFLF, CEnEMF, CEnTSF, CEnSFP3-CEnSFP0ビット値は、常に変化する可能性があるため、転送中のリード値は実際の値とは異なる場合があります。特にCEnTSFビットは単独で使用してください (他のビットと関連付けて使用しないでください)。また、転送終了の判断をCEnSTRレジスタで行う場合は、転送予定分の転送データをCSIBUFnレジスタへライト後のCEnEMFビット = 1で判断してください。	p.903
			CE0TX0, CE1TX0, CE0CTL0, CE1CTL0, CE0STR, CE1STR レジスタ	次に示す状態において、CEnTX0, CEnCTL0, CEnSTRレジスタへのアクセスは禁止です。詳細は3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.904, 906, 912
			CE0CTL0, CE1CTL0 レジスタ	ビット0, 1には必ず0を設定してください。	p.906
			CE0CTL2, CE1CTL2 レジスタ	ビット4-7には必ず0を設定してください。	p.910
			CE0CTL3, CE1CTL3 レジスタ	ビット4-7には必ず0を設定してください。	p.911
			CE0STR, CE1STR レジスタ	転送中のCEnFLF, CEnEMF, CEnTSF, CEnSFP3-CEnSFP0ビット値は、常に変化する可能性があるため、転送中のリード値は実際の値とは異なる場合があります。特にCEnTSFビットは、単独で使用してください (他のビットと関連付けて使用しないでください)。また、転送終了の判断をCEnSTRレジスタで行う場合は、転送予定分の転送データをCSIBUFnレジスタへライト後のCEnEMFビット = 1で判断するようにしてください。	p.912
			専用ポー・レート・ジェネレータn (BRGn)	CEnCTL1.CEnCKS2-CEnCKS0ビット = 000に設定した場合、CEnCTL1.CEnMDL2-CEnMDL0ビット = 001の設定は禁止します。	p.916
			シングル・モード	CEnTX0レジスタへのデータ・ライトを行う場合は、必ずCEnSTR.CEnFLFビット = 0であることを確認してからライトしてください。CEnFLFビット = 1のときにCEnTX0レジスタへのデータ・ライトを行っても、CSIBUFnオーバフロー割り込み (INTCEnTIOF) が出力され、ライトしたデータは無視されます。	p.928, 945
			連続モード	CSIBUFnポインタのクリア (CEnSTR.CEnPCTビット = 1) 後から転送データをライトするまで (転送開始前) のCEnSTRレジスタと、16個のデータ転送を終了したときのCEnSTRレジスタは、同じ状態になります (CEnSTR.CEnFLF ビット = 0, CEnEMF ビット = 1, CEnSFP3-CEnSFP0ビット = 0000)。	p.931, 945
			送受信完了割り込み (INTCEnT) の遅延制御機能	連続モード (CEnCTL0.CEnTMSビット = 1) 時にCEnCTL0.CEnSITビット = 1に設定した場合、CEnCTL3.CEnSFN3-CEnSFN0ビットで設定した最終データ以外の転送終了時にINTCEnT割り込み自体は出力されませんが、各データ転送間に半クロック (1/2シリアル・クロック) 分の遅延が挿入されます。	p.935

(27/47)

章	分類	機能	機能の詳細	注意事項	ページ
第18章	ソフト	3線式可変長シリアルI/O E (CSIE)	SCKEn端子の出力	マスタ・モード (CEnCKS2-CEnCKS0ビットが111以外) 時にCEnCKPビット = 1とした場合, SCKEn端子の出力は, インアクティブ時にロウ・レベル出力となります。ただし, CEnCTL0.CEnTXEビット = 0 (送信禁止) およびCEnRXEビット = 0 (受信禁止) とした場合, SCKEn端子の出力は, ハイ・レベルとなります。このためCSIEの未使用時にSCKEn端子の出力をロウ・レベルに固定とする場合は表18-9の - のようにしてください。 なお, , のレジスタ設定値は保持されているため, 一度設定すれば, - のみの設定で制御できます。	p.936
			CSIEの停止	CEnCTL0.CEnPWRビット = 0にすると, CSIEの動作状態をリセットしてCSIEは停止します。CSIEを動作させる場合には, まずCEnPWRビット = 1にしたあとで, 他のビットを設定してください。 また, 通常CEnPWRビットに“0”を設定する場合, CEnTXEビット = 0およびCEnRXEビット = 0 (転送終了後) にしてから行ってください。	p.945
			転送許可	CEnCTL0.CEnTXEビット = 1またはCEnRXEビット = 1に設定して転送許可状態にする前に, 必ずCEnSTR.CEnPCTビット = 1をライトして, 全CSIBUFn用ポインタをクリア(0)してください。クリア(0)しないまま, CEnTXEビット = 1またはCEnRXEビット = 1に設定した場合, CSIBUFnレジスタ内に前の転送データが残っていたときには, ただちにそのデータ転送を開始します。 また, 転送許可状態にする前にCSIBUFnレジスタへ転送データを設定すると, CEnTXEビット = 1またはCEnRXEビット = 1に設定した瞬間に転送を開始します。	p.945
			CEnCTL0レジスタ設定時の注意	CSIEを使用する場合には, 必ずCSIE機能に関連するポート端子を兼用機能に設定し, CEnPWRビットをセット(1)してください。そのあとに, ほかのビットの設定を行ってください。	p.945
			DMA転送の起動要因の切り替え	DMA転送の起動要因のINTCE0T信号とINTERR信号, およびINTCE1T信号とINTSTA信号が兼用になっており, 同時には使用できません。INTCE0T信号, またはINTCE1T信号をDMA転送の起動要因として使用するときは, オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のDTFROB0ビット = 1に設定してください。この場合, INTERR信号とINTSTA信号はDMA転送の起動要因として使用できません。 備考 詳細については, 表22-1 DMA転送の起動要因を参照してください。	p.945
第19章	ソフト	I <sup>2</sup> Cバス	I <sup>2</sup> Cバス	端子をN-chオープン・ドレイン出力に設定してください。	p.946
			動作中のポート設定	動作中にポート設定を切り替えしないでください。また, ポート設定を行わず, 使用しないユニットは, 必ず動作禁止にしてください。	p.948, 950
			IIC0-IIC5レジスタ	I <sup>2</sup> Cnを動作許可 (IICEnビット = 1) したあと, 連続してビット操作命令によりLRELnビットをセット(1)してください。	p.957
			IICS0-IICS5レジスタ	次に示す状態において, IICSnレジスタへのアクセスは禁止です。詳細は3.4.9(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.961
			IICF0-IICF5レジスタ	STCENn, IICRSVnビットへの書き込みは, 動作停止 (IICEnビット = 0) 時のみ行ってください。	p.964, 965
				STCENnビット = 1とした場合, I <sup>2</sup> C動作許可直後は実際のバス状態にかかわらずバス解放状態 (IICBSYnビット = 0) と認識しますので, 1回目のスタート・コンディションを発行 (IICCn.STTnビット = 1) する場合は他の通信を破壊しないようにバスが解放されていることを確認する必要があります。	p.964, 965
			IICCL0-IICCL5レジスタ	ビット7, 6には必ず“0”を設定してください。	p.966
アービトレーション発生時の状態と割り込み要求信号発生タイミング	アービトレーションが起こる可能性がある場合, マスタ動作ではSPIEnビット = 1にしてください。	p.1010			

(28/47)

章	分類	機能	機能の詳細	注意事項	ページ
第19章	ソフト	I <sup>2</sup> Cバス	IICFn.STCENnビット = 0の場合	I <sup>2</sup> C0n動作許可直後、実際のバス状態にかかわらず通信状態 (IICFn.IICBSYnビット = 1) と認識します。 ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。 ストップ・コンディションの生成は次の順番で行ってください。 IICCLnレジスタの設定 IICFn.IICEnビットのセット IICFn.SPTnビットのセット	p.1016
			IICFn.STCENnビット = 1の場合	I <sup>2</sup> C0n動作許可直後、実際のバス状態にかかわらず解放状態 (IICBSYnビット = 0) と認識しますので、1回目のスタート・コンディションを生成 (IICFn.STTnビット = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。	p.1016
			ほかのデバイス同士の通信時	ほかのデバイス同士の通信中にV850E/SJ3-H, V850E/SK3-HのIICFn.IICEnビットをセット (1) した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICFn.IICEnビットのセット (1) は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。	p.1016
			動作クロック周波数の設定	動作許可 (IICFn.IICEnビット = 1) する前にIICCLn, IICXn, OCKSmレジスタで動作クロック周波数を決定してください。動作クロック周波数を変更する場合は、一度IICFn.IICEnビットをクリア (0) してください。	p.1016
			IICFn.STTn, SPTnビット	IICFn.STTn, SPTnビットをセット (1) したあと、クリア (0) される前の再セットは禁止します。	p.1016
			送信予約	送信予約をした場合には、IICFn.SPIEnビットをセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI <sup>2</sup> Cnに通信データをライトすることによってウエイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウエイト状態で停止します。ただし、ソフトウェアでIICFn.MSTSnビットを検出する場合には、SPIEnビットをセット (1) する必要はありません。	p.1016
			INTUA1R信号とINTIIC2信号のDMA転送の起動要因の切り替え	特定の組み合わせ以外のDMA転送の起動要因の設定は禁止します。詳細は、19. 15 (7) (a) の - を参照してください。 備考 詳細については、表22-1 DMA転送の起動要因を参照してください。	p.1017
			INTUA2R信号とINTIIC0信号のDMA転送の起動要因の切り替え	特定の組み合わせ以外のDMA転送の起動要因の設定は禁止します。詳細は、19. 15 (7) (b) の - を参照してください。 備考 詳細については、表22-1 DMA転送の起動要因を参照してください。	p.1017
			シングルマスタ・システムでのマスタ動作	通信している製品の仕様に準拠し、I <sup>2</sup> C0nバスを解放 (SCL0n, SDA0n端子 = ハイ・レベル) してください。たとえば、EEPROMがSDA0n端子にロウ・レベルを出力した状態であれば、SCL0n端子を出力ポートに設定し、SDA0n端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。	p.1019
第20章	ソフト	IEBusコントローラ	実効伝送速度	1つのIEBus上に、異なるモード (モード1, モード2) を混在することはできません。	p.1034
			データ・フィールド	同報通信ではマスタ受信を行わないでください。スレーブ・ユニットが特定できず、正常なデータ転送ができません。	p.1045
			BCRレジスタ	マスタとして動作中、その通信が通信終了/フレーム終了するか、または競合負け、通信エラー発生により通信中止になるまでは、BCRレジスタへの書き込み動作 (ビット操作命令も含む) を禁止します。したがって、マスタ要求の多重化はできません。ただし、通信を強制終了する (ENIEBUSビット = 0) 場合は問題ありません。	p.1054
			BCRレジスタに対するビット操作命令と、MSTRQビットのハードウェア・リセットが競合すると、正常に動作しない場合があります。この場合、次に示す対策により回避できます。 ・ハードウェア・リセットはスレーブ・アドレス・フィールドのアクノリッジ期間に行われるので、(b) マスタ・リクエスト・フラグ (MSTRQ) の注意1を守ってください。 ・BCRレジスタの書き込みに対しては、上記の注意1を守ってください。	p.1054	

(29/47)

章	分類	機能	機能の詳細	注意事項	ページ
第20章	ソフト	IEBusコントローラ	BCRレジスタ	ビット0-2には必ず0を設定してください。	p.1054
			通信許可フラグ (ENIEBUS)	ENIEBUSビットをセット(1)する前に、開始する通信形態に応じて次のレジスタを設定しておく必要があります。	p.1055
			マスタ・リクエスト・フラグ (MSTRQ)	競合に負けた場合の再マスタ要求は、ソフトウェア処理にて行ってください。競合に負けた場合で再マスタ要求を行うときは、次のタイミングに注意してMSTRQビットをセット(1)してください。	p.1056
				マスタ要求して、バス占有権を得た場合は、その通信が終了(通信終了フラグ(ISR.ENDTRNSビット)またはフレーム終了フラグ(ISR.ENDFRAMビット)がセット(1)するまで、MSTRQ, ENSLVTX, ENSLVRXビットのいずれかをセット(1)しないでください。セットした場合、割り込み要求信号が発生しなくなります。ただし、通信を中止する場合は問題ありません。	p.1056
			BCRレジスタの同報リクエスト・フラグ	同報通信を要求する場合は、必ずALLRQビットをセット(1)し、MSTRQビットをセット(1)してください。	p.1056
			BCRレジスタのスレーブ送信許可フラグ	ENSLVTXビットは、コントロール・フィールドのパリティ・ビット受信終了前までに設定する必要があります。	p.1057
				マスタ要求時には、MSTRQビットをセット(1)する前にENSLVTXビットをクリア(0)してください。これはマスタ動作後に競合負け、かつマスタよりスレーブ送信を要求された場合、マスタ送信しようとしたDRレジスタのデータを送信するのを避けるためです。	p.1057
			BCRレジスタのスレーブ受信許可フラグ	ENSLVRXビットは、コントロール・フィールドのパリティ・ビット受信終了前までに設定する必要があります。	p.1057
			PSRレジスタ	通信許可中 (BCR.ENIEBUSビット = 1) にPSRレジスタを設定しないでください。	p.1058
				ビット5-0には必ず0を設定してください。	p.1058
			USRレジスタ	ビット0, 1, 7には必ず0を設定してください。	p.1060
			USRレジスタの競合結果フラグ	マスタ要求したあと、他局のスタート・ビット出力の方が早く、自局がスタート・ビットを出力していない場合はスタート・ビットの検出タイミングでクリア(0)されます。	p.1062
			USRレジスタのロック状態フラグ	同報通信では、ロックの設定/解除はできません。また、ロック状態中はロック要求したユニット以外からの個別通信を受け付けません。ただしロック要求ユニット以外からの通信でも、その通信がスレーブ・ステータス要求であるかぎり受け付けます。	p.1063
			ISRレジスタ	ビット0, 1, 7には必ず0を設定してください。	p.1064
			ESRレジスタ	各ビットへの書き込みはクリア(0)のみ有効です。1を書き込んでも各ビットはセット(1)されません。	p.1067
				ESRレジスタはエラー発生時に値が更新されますが、このタイミングでESRレジスタを読み出すと不定値を読み出します。ESRレジスタは、エラー割り込み処理内で読み出すことを推奨します。	p.1067
				IEBusコントローラは通信エラーが発生すると、初期状態に戻り次の通信準備を行いますが、エラー処置を行わないまま次の通信が開始された場合、エラー・フラグは累積されますので、次の通信が開始されるまでにエラー処置を行ってください。	p.1067
				ビット1には必ず0を設定してください。	p.1067
			ESRレジスタのオーバーラン・エラー発生フラグ	オーバーラン状態の解除は、DRレジスタの読み出しとシステム・リセット時にのみ行われます。したがって、通信エラー割り込み処理プログラム中などで、必ずDRレジスタの読み出しを行ってください。	p.1070
				オーバーラン状態で次の送信を行う場合は、2バイト以上の送信ができません。データ要求割り込み要求信号(INTIE1)が発生しないため、送信データの設定ができず、アンダラン・エラーになります。したがって、オーバーラン状態を解除してから送信を行ってください。	p.1070
ライト・エラーの発生タイミング	WERRビットがセット(1)されてもINTIE1割り込み要求信号が発生する場合があります。	p.1071			
UARレジスタ	UARレジスタは、通信許可時 (BCR.ENIEBUSビット = 1) には設定しないでください。	p.1072			

(30/47)

章	分類	機能	機能の詳細	注意事項	ページ
第20章	ソフト	IEBus コントローラ	SARレジスタ	SARレジスタは、必ず次に示すタイミングでのみ設定してください。 ・ BCR.ENIEBUSビット = 0のとき ・ ENIEBUSビット = 1としてから最初のマスタ要求 (BCR.MSTRQビットをセット(1))までの間 ・ ENIEBUSビット = 1,かつMSTRQビット = 0の場合、通信終了/フレーム終了/エラー終了のタイミングから、次のマスタ要求 (MSTRQビットをセット(1))までの間	p.1072
			PARレジスタ	PARレジスタは、マスタ・アドレス・フィールドのパリティ期間終了時にパリティが正常で自局が非ロック状態のときアドレス値を格納しますが、このタイミングでPARレジスタを読み出すと不定値を読み出します。	p.1073
			RSAレジスタ	RSAレジスタは、スレーブ・アドレス・フィールドのパリティ期間終了時にアドレス値を格納しますが、このタイミングでRSAレジスタを読み出すと不定値を読み出します。	p.1073
			CDRレジスタ	スレーブ・ユニットは、受信したデータがコマンドかデータか判断する必要があるため、通信終了後にCDRレジスタの値を読み出してください。	p.1075
				マスタ・ユニットが未定義の値を設定した場合、スレーブ・ユニットからNACK信号が返されて通信は途中終了されますが、同報通信時にはマスタ・ユニットはアクノリッジ・ビットを無視して通信継続するため、未定義の値を設定しないでください。	p.1075
				ビット4-7には必ず0を設定してください。	p.1075
			DLRレジスタ	マスタからスレーブ・ステータス、ロック・アドレス (上位4ビット, 下位8ビット) の送信要求 (0H, 4H, 5H, 6H) があつたとき、DLRレジスタの内容と無関係に01Hを電文長として送信するため、ソフトウェアでDLRレジスタを設定する必要はありません。	p.1079
				受信ユニット時、DLRレジスタは電文長フィールドのパリティ・ビットが正常値のとき、電文長を格納しますが、このタイミングでDLRレジスタを読み出すと不定値を読み出します。	p.1079
			DRレジスタ	受信ユニット時、DRレジスタはデータ・フィールドのパリティ・ビットが正常値のとき受信データを格納しますが、このタイミングでDRレジスタを読み出すと不定値を読み出します。	p.1080
			FSRレジスタ	FSRレジスタは割り込み要求信号発生時にステータス情報を更新しますが、このタイミングでFSRレジスタを読み出すと不定値を読み出します。	p.1081
				FSRレジスタをリードする前に別の割り込み要求信号が発生すると、前の割り込み時のステータス情報は、新しい割り込み時のステータス情報で更新されてしまいます。	p.1081
				FSRレジスタは問題点解析用のみに使用し、実際のソフトウェアで使用しないでください。	p.1081
			SCRレジスタ	SCRレジスタは電文長フィールドのパリティ期間終了時、データ・フィールドのACK信号受信時に更新されますが、このタイミングでSCRレジスタを読み出すと不定値を読み出します。	p.1082
			CCRレジスタ	CCRレジスタはスタート・ビット送受信時に最大伝送バイト数がプリセットされ、データ・フィールドのパリティ期間終了時にデクリメントされますが、このタイミングでCCRレジスタを読み出すと不定値を読み出します。	p.1083
OCKS2レジスタ	クロック・モード4では、IEBusコントローラは使用できません。	p.1084			
	ビット2, 5-7には必ず0を設定してください。	p.1084			
DMA転送の起動要因の切り替え	DMA転送の起動要因のINTERR信号とINTCE0T信号 <sup>注</sup> 、およびINTSTA信号とINTCE1T信号 <sup>注</sup> が兼用になっており、同時には使用できません。INTERR信号、またはINTSTA信号をDMA転送の起動要因として使用するときは、オプション・バイト0000007AH (第33章 オプション・バイト機能参照)のDTFROB0ビット = 0に設定してください。この場合、INTCE0T信号 <sup>注</sup> とINTCE1T信号 <sup>注</sup> はDMA転送の起動要因として使用できません。 注 μPD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外備考 詳細については、表22-1 DMA転送の起動要因を参照してください。	p.1106			
第21章	ソフト	CAN コントローラ	CANコントローラ	CANコントローラは、プログラマブル周辺I/O領域に配置されています。 CANコントローラを使用する場合は、あらかじめプログラマブル周辺I/O領域の使用を許可に設定してください。 なお、プログラマブル周辺I/O領域の設定は、BPCレジスタで行います。 詳細は、3.4.7 プログラマブル周辺I/Oレジスタを参照してください。	p.1107
			アービトラージ・フィールド (標準フォーマット・モード時)	アイデンティファイアは、MSBファーストで送信されます。	p.1115

(31/47)

章	分類	機能	機能の詳細	注意事項	ページ
第21章	ソフト	CAN コントローラ	アービトレーション・フィールド (拡張フォーマット・モード時)	アイデンティファイアは、MSBファーストで送信されます。	p.1115
			データ長の設定	リモート・フレームの場合、データ長コード 0000Bであってもデータ・フィールドは発生しません。	p.1116
			バス・オフ・リカバリ・シーケンスをスキップする強制復帰動作	強制復帰動作機能は、CANプロトコルISO11898に規定されておりませんので、使用する際にはネットワーク・システムへの影響を十分に確認してください。	p.1129
			初期化モード中のCANモジュール・エラー・カウンタ・レジスタの初期化	初期化機能は、初期化モード中でのみ有効です。任意のCAN動作モード中でCCERCビットをセット(1)したとしても、CnERC、CnINFOレジスタは初期化されません。	p.1130
			レジスタ	次に示す状態において、CANコントローラのレジスタへのアクセスは禁止です。詳細は3.4.9(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.1175
			COGMCTRL, C1GMCTRL レジスタ	MBONビットがクリア(0)されている間は、ソフトウェアによるメッセージ・バッファ (CnMDATA0m, CnMDATA1m, CnMDATA01m, CnMDATA2m, CnMDATA3m, CnMDATA23m, CnMDATA4m, CnMDATA5m, CnMDATA45m, CnMDATA6m, CnMDATA7m, CnMDATA67m, CnMDLCm, CnMCONFm, CnMIDLm, CnMIDHm, CnMCTRLm) および送信履歴、受信履歴に関連したレジスタ (CnLOPT, CnTGPT, CnLIPT, CnRGPT) へのアクセスは無効です。	p.1176
				強制シャット・ダウンの要求を行う場合は、EFSDビットをセット(1)した直後に、GOMビットをクリア(0)してください。EFSDビットをセット(1)した直後にGOMビットをクリア(0)しないで、ソフトウェア (NMI含む割り込み)、DMAによるそのほかのレジスタ・アクセス (CnGMCTRLレジスタのリード含む) の実行をすると、EFSDビットは自動的にクリア(0)され、強制シャット・ダウンの要求は無効になります。	p.1177
				GOMビットは、初期化モードのとき、またはEFSDビットをセット(1)した直後のみクリア(0)できます。	p.1177
				GOMビットの設定とEFSDビットの設定は、必ず別々に行ってください。	p.1177
			COGMABT, C1GMABT レジスタ	ABT付き通常動作モードから初期化モードに移行する前に、CnGMABTレジスタには必ず初期値(0000H)を設定してください。設定後は、CnGMABTレジスタが0000Hに初期化されたことを確実に確認してください。	p.1179
				初期化モード中にABTTRGビットをセット(1)しないでください。 初期化モード中にABTTRGビットをセット(1)した場合、ABT付き通常動作モード移行後の動作を保証しません。	p.1179
				CnCTRL.TSTATビットがセット(1)されている間はABTTRGビットをセット(1)しないでください。ABTTRGビットをセット(1)する前にTSTATビット = 0であることを直接事前に確認してください。	p.1179
			COGMABTD, C1GMABTD レジスタ	ABTTRGビットがセット(1)されている場合は、CnGMABTDレジスタの内容は変更しないでください。 ビット4-7には必ず0を設定してください。	p.1181 p.1181
			COMASK3L, C1MASK3L, COMASK3H, C1MASK3H レジスタ	CnMASKaHレジスタのビット13-15には必ず0を設定してください。	p.1183
			COCTRL, C1CTRL レジスタ	CANストップ・モードへの遷移およびCANストップ・モードからの遷移は、必ずCANスリープ・モードを経由してください。直接の遷移要求は無視されます。	p.1186
				パワー・セーブ・モードを解除したあと、再度メッセージ・バッファへアクセスする前にCnGMCTRL.MBONフラグを確認する必要があります。	p.1186
	初期化モードまたはパワー・セーブ・モードへの移行は、ある程度の時間がかかる可能性があるため、処理を実行する前にレジスタ値を読み込むことにより、モードの移行が成功したかどうかを必ず確認してください。	p.1186			



(32/47)

章	分類	機能	機能の詳細	注意事項	ページ
第21章	ソフト	CANコントローラ	C0LEC, C1LECレジスタ	ビット3-7には必ず0を設定してください。	p.1188
			C0INFO, C1INFOレジスタ	ビット5-7には必ず0を設定してください。	p.1189
			C0INTS, C1INTSレジスタ	CnINTSレジスタのステータス・ビットは自動的にクリアされることはありませんので、割り込み処理内で各ステータスの確認が必要な場合には、ソフトウェアにてクリア(0)を行ってください。	p.1193
			C0BRP, C1BRPレジスタ	CnBRPレジスタは、初期化モードのときのみライト・アクセス可能です。	p.1194
			C0MDLCm, C1MDLCmレジスタ	ビット4-7には必ず0を設定してください。	p.1205
			C0MCONFm, C1MCONFmレジスタ	ビット2, 1には、必ず0を書き込んでください。	p.1207
			C0MIDLm, C0MIDHm, C1MIDLm, C1MIDHmレジスタ	CnMIDHmレジスタのビット14, 13には、必ず0を書き込んでください。	p.1207
				必ず、CnMIDLm, CnMIDHmレジスタに与えられたビット位置に従って登録するID値を並べてください。 標準IDに関してID値はID28からID18のビット位置をシフトしてください。	p.1207
			C0MCTRLm, C1MCTRLmレジスタ	TRQビットとRDYビットを同時にセット(1)しないでください。TRQビットをセット(1)する場合は、必ず事前にRDYビットをセット(1)してください。	p.1209
				メッセージ送信中に、RDYビットをクリア(0)しないでください。再定義のためのRDYビットのクリアは、送信中断処理に従ってください。	p.1209
				RDYビットのクリア処理を行ってもクリアされていない場合は、もう一度クリア処理を行ってください。	p.1209
				メッセージ・バッファに書き込む前に、RDYビットがクリア(0)されたことを確認してください。確認はRDYビットを読み返して行ってください。 ただし、TRQビットまたはRDYビットのセット(1)、DNビットまたはMOWビットのクリア(0)については確認する必要はありません。	p.1209
				IEビットの設定とRDYビットの設定は、必ず別々に行ってください。	p.1209
				ソフトウェアにより、DNビットをセット(1)しないでください。ビット10には、必ず0を書き込んでください。	p.1209
			メッセージ・バッファの再定義	受信しているアービトラージョン・フィールドの終わりまでにDNビットをクリア(0)した場合、そのメッセージ・バッファは受信フレームを格納するための検索対象となります。	p.1209
				TRQビットの設定とRDYビットの設定は、必ず別々に行ってください。	p.1210
				メッセージ受信時には、各受信メッセージ・バッファに設定されたIDおよびマスク設定にもとづいて受信フィルタリングが行われます。図21 - 39の手順に従わなかった場合には、メッセージ・バッファの再定義後の内容と受信結果(受信フィルタリング結果)が矛盾する場合があります。 そのような場合は、メッセージ・バッファの再定義後に該当するメッセージ・バッファの最初の受信格納時に格納されているIDおよびIDEが再定義後の内容であることを確認してください。再定義後のIDおよびIDEが格納されていない場合は、再度メッセージ・バッファの再定義を行ってください。	p.1215
	メッセージ送信時には、送信要求がセットされている各送信メッセージ・バッファに設定されたID, IDEおよびRTRビットにもとづいて送信優先順位判定を行い、最高位の優先順位をもつ送信メッセージ・バッファを選択して送信が行われます。図21 - 27の手順に従わなかった場合には、再定義後のIDが最高位のIDではないメッセージが送信される場合があります。	p.1215			

(33/47)

章	分類	機能	機能の詳細	注意事項	ページ	
第21章	ソフト	CANコントローラ	受信履歴・リスト機能	受信履歴・リストがオーバーフローした状態 (CnRGPT.ROVFビット = 1) でも、未読の履歴がなくなりCnRGPT.RHPMビットがセット (1) されるまで受信履歴を読み出すことが可能です。ただし、ROVFビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (= オーバーフローしている) を継続します。この状態では、ROVFビットがクリア (0) されないかぎり、新たに受信格納が発生して新しい受信履歴が書き込まれた場合でもRHPMビットはクリア (0) されません。したがって、ROVFビット = 1かつRHPMビット = 1で受信履歴・リストがオーバーフロー状態である場合には、新しい受信格納が発生してもRHPMビットは未読の受信履歴がない状態を示しますので注意してください。		p.1220
			マルチ・バッファ受信ブロック機能	MBRBは、リング構造をもっていません。したがって、MBRBを構成するメッセージ・バッファ番号が一番大きいメッセージ・バッファへ格納した以降のメッセージに対しては、再び一番小さいメッセージ・バッファから順に格納を行いません。		p.1224
			送信履歴・リスト機能	TOVFビット = 1かつTHPMビット = 1で送信履歴・リストがオーバーフロー状態である場合には、新しい送信完了が発生してもTHPMビットは未読の送信履歴がない状態を示しますので注意してください。		p.1229
			自動ブロック送信機能	ABT付き通常動作モードをメッセージ・バッファ0から再開するためには、ABTTRGビットがクリア (0) されている状態でABTCLRビットをセット (1) してください。ABTTRGビットがセット (1) されている状態で、ABTCLRビットをセット (1) した場合には、以降の動作を保証しません。		p.1231
				初期化モード中にはABTTRGビットを設定しないでください。初期化モード中にABTTRGビットを設定した場合、初期化モードからABTモードへの移行後の正常動作は保証しません。		p.1231
				ABT付き通常動作モードでは、ABT用メッセージ・バッファのTRQビットはソフトウェアでセット (1) しないでください。セットした場合には動作は保証しません。		p.1231
				ABTTRGビット = 1の状態では、RDYビットをクリア (0) しないでください。		p.1231
			自動ブロック送信機能付き通常動作モードでの送信中断処理	ABT送信の中断は、必ずABTTRGビット = 0によって行ってください。RDYクリアによる送信中断を要求した場合は、動作を保証しません。		p.1232
			CANスリープ・モードの解除	立ち下がりエッジが受信メッセージのSOFであった場合、そのメッセージの受信および格納は行われません。CANスリープ・モード中、CANへのクロックが停止されると、CPUによりCANへのクロックを供給されない限り、CANスリープ・モードは解除されずPSMODE1.PSMODE0ビットは01Bのままとなります。また、それ以降の受信メッセージも受信されません。		p.1235
				CANクロックが供給されている状態で、CAN受信端子 (CRXDn) に立ち下がりエッジを検出した場合には、ソフトウェアによるPSMODE0ビットのクリアが必要となります (詳細は、図21-53の処理を参照してください)。		p.1235
				CANバスのイベントによるCANスリープ・モードの解除では、スリープ・モード移行直後にCANバスのイベントが発生した場合でもウエイク・アップ割り込みが発生しますので、いつでも発生する可能性があることを意識してください。		p.1235
			CANストップ・モードへの移行	CANストップ・モード移行のためには、CANモジュールがCANスリープ・モードである必要があります。その確認のためにPSMODE1, PSMODE0ビット = 01Bであることを確認したあとに、CANストップ・モード要求を行ってください。ただし、これらの処理の間にCAN受信端子 (CRXDn) のバス変化が発生した場合、CANスリープ・モードが自動的に解除されますので、その場合にはCANストップ・モード要求は受け付けられなくなります (ただし、CANクロックが供給されている状態では、CAN受信端子 (CRXDn) のバス変化が発生したあとで、ソフトウェアによるPSMODE0ビットのクリアが必要となります)。		p.1236

(34/47)

章	分類	機能	機能の詳細	注意事項	ページ	
第21章	ソフト	CANコントローラ	受信オンリー・モード	2つのCANノードのみがCANバスに接続されており、CANノードの1つが「受信オンリー・モード」で動作している場合は、CANバスでACK応答はありません。ACK応答がないため、送信ノードはアクティブ・エラー・フラグを送信し、メッセージ・フレームの送信を繰り返します。送信ノードは、メッセージ・フレームを16回送信したあとにエラー・パッシブになります（エラー・カウンタが最初に0であり、ほかのエラーが発生しなかった場合）。メッセージ・フレームの17回目を送信したあとに、送信ノードはパッシブ・エラー・フラグを送信します。したがって、受信オンリー・モードの受信ノードは、この時点で、初めて有効なメッセージ・フレームを検出することになり、VALIDビットが初めてセット（1）されます。		p.1240
			タイム・スタンプ機能	CANモジュールがABT付き通常モードに設定されている場合には、メッセージ・バッファ0は送信メッセージ・バッファとして設定する必要があるため、メッセージ・バッファ0へのデータ・フレーム受信はできません。したがって、この動作モードではTSLOCKビットによるTSOUT信号のトグルの停止機能は使用できません。		p.1244
			ポーレート設定について	表21-22は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。		p.1247
				表21-23は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。		p.1248, 1249
				表21-24は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分に確認してください。		p.1250, 1251
			再初期化	初期化モードへ移行したあとに、連続して任意の動作モードへ移行しないでください。連続して任意の動作モードへ移行する場合には、必ずCnCTRL、CnGMCTRLレジスタ以外のレジスタへアクセス（メッセージ・バッファの設定など）を行ってください。		p.1253
			メッセージ・バッファの初期化	メッセージ・バッファを初期化する前に、RDYビットをクリアしてください。		p.1254
				アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。 ・ CnMCTRLm.RDYビット、TRQビット、DNビットをクリア（0）する。 ・ CnMCONFm.MA0ビットをクリア（0）する。		p.1254
			メッセージ送信処理	RDYビットはTRQビットを設定する前に必ず設定してください。		p.1257
				RDYビットとTRQビットは同時に設定しないでください。		p.1257
			ABTメッセージ送信処理	ABTTRGビットのセット（1）は、TSTATビットがクリア（0）されてから行ってください。TSTATビットの確認とABTTRGビットのセット（1）は、連続的に処理を行ってください。		p.1258
			割り込みによる送信処理	RDYビットはTRQビットを設定する前に必ず設定してください。		p.1259
				RDYビットとTRQビットは同時に設定しないでください。		p.1259
			(CnLOPTレジスタを使用する処理)	保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア（0）されている場合には、実行中の処理を中止し、MBONビットが再度セット（1）されたあとで処理を再実行してください。このため、送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。		p.1259
			割り込みによる送信処理	RDYビットはTRQビットを設定する前に必ず設定してください。		p.1260
RDYビットとTRQビットは同時に設定しないでください。		p.1260				
(CnTGPTレジスタを使用する場合)	保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア（0）されている場合には、実行中の処理を中止し、MBONビットが再度セット（1）されたあとで処理を再実行してください。このため、送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。		p.1260			
	TOVFビットが一度セット（1）された場合、送信履歴・リストは矛盾するので、送信完了した送信メッセージ・バッファのすべてをスキャンしてください。		p.1260			

(35/47)

章	分類	機能	機能の詳細	注意事項	ページ
第21章	ソフト	CANコントローラ	ソフトウェア・ポーリングによる送信処理	RDYビットはTRQビットを設定する前に必ず設定してください。	p.1261
				RDYビットとTRQビットは同時に設定しないでください。	p.1261
				保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されている場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。	p.1261
				TOVFビットが一度セット(1)された場合、送信履歴・リストは矛盾するので、送信完了した送信メッセージ・バッファのすべてをスキャンしてください。	p.1261
			送信中断処理 (ABT付き通常動作モード以外)	送信中断処理は、RDYビットをクリアして実行するのではなく、TRQクリアにより実行してください。	p.1262
				スリープ要求を行う場合は、このフローにより送信要求が完全になくなったことを確認したあとに行ってください。	p.1262
				TSTATビットの確認は、ユーザ・アプリケーションにより周期的に行うか、送信完了割り込み後に行うことも可能です。	p.1262
				送信中断処理を実行中に、ほかのメッセージ・バッファを含め新しい送信要求を行わないでください。	p.1262
				同一メッセージ・バッファを連続で送信する場合や1つのみのメッセージ・バッファを使用する場合には、送信中断の成否判定で矛盾が生じる可能性があります。その場合、CnTGPTレジスタの履歴情報などを使用することにより判定を行ってください。	p.1262
				送信中断処理は、RDYビットをクリアして実行するのではなく、TRQビットのクリアにより実行してください。	p.1263
			ABT送信以外の送信中断処理 (ABT付き通常動作モード)	スリープ要求を行う場合は、このフローにより送信要求が完全になくなったことを確認したあとに行ってください。	p.1263
				送信中断処理を実行中に、ほかのメッセージ・バッファを含め新しい送信要求を行わないでください。	p.1263
				同一メッセージ・バッファを連続で送信する場合や1つのみのメッセージ・バッファを使用する場合には、送信中断の成否判定で矛盾が生じる可能性があります。その場合、CnTGPTレジスタの履歴情報などを使用することにより判定を行ってください。	p.1263
				ABT送信中断処理中は、いかなる送信要求もセットしないでください。	p.1264, 1265
			ABT送信中断処理 (ABT付き通常動作モード)	CANスリープ・モード / CANストップ・モードの要求は、図21-48(a)または(b)により、ABTTRGビットがクリアされてから(連続送信であるABTモードを停止させてから)、行ってください。ABT領域以外の送信要求をクリアする場合は、図21-47に従ってください。	p.1264, 1265
				保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されている場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このため、受信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。	p.1266
			割り込みによる受信処理 (CnRGPTレジスタを使用する場合)	保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されている場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このため、受信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。	p.1267
ROVFビットが一度セット(1)された場合、受信履歴・リストは矛盾するので、受信完了した受信メッセージ・バッファのすべてをスキャンしてください。	p.1267				

(36/47)

章	分類	機能	機能の詳細	注意事項	ページ
第21章	ソフト	CANコントローラ	ソフトウェア・ポーリングによる受信処理	保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されている場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。	p.1268
				ROVFビットが一度セット(1)された場合、受信履歴・リストは矛盾するので、受信完了した受信メッセージ・バッファのすべてをスキャンしてください。	p.1268
			CANスリープ・モード / CANストップ・モードの設定	CANスリープ・モードの要求前に送信中断を行う場合は、図21-46~図21-48に従って処理してください。	p.1269
			バス・オフからのリカバリ処理	バス・オフ・リカバリ・シーケンス中にもう一度バス・オフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ遷移要求をしたとき、受信エラー・カウンタ(CnERC.REC0-REC6ビット)がクリアされます。したがって、もう一度バス上に11ビットの連続したレセシブ・ビットを128回検出することが必要です。	p.1271, 1272
			強制シャット・ダウン処理	EFSDビットのセットとGOMビットのクリアの間に、ソフトウェア(NMI含む割り込み)、DMAによるほかのレジスタへのリード/ライト・アクセスが行われた場合、EFSDビットのセットが無効となり、GOMビットはクリアされません。	p.1274
			CPUスタンバイ処理(CANスリープ・モードからの移行)	CPUをスタンバイ・モードに設定する前に、CANスリープ・モードかどうかを確認してください。ただし、CANスリープ・モードかどうかを確認してから、CPUをスタンバイ・モードに設定するまでに、ウエイク・アップによってCANスリープ・モードが解除されることがあります。	p.1276
			CPUスタンバイ処理(CANストップ・モードからの移行)	CANストップ・モードでは、CnCTRL.PSMODE1, PSMODE0ビット = 01に設定することでのみ解除が可能です。CANパスの変化によって解除されません。	p.1277
第22章	ソフト	DMA機能(DMAコントローラ)	DSA0-DSA3レジスタ	DSAnレジスタの値を読み出す際、DSAnHレジスタとDSAnLレジスタの2つの16ビット・レジスタごとに読み出すため、読み出しと更新のタイミングが競合した場合、更新途中の値が読み出されることがあります(22.13 注意事項参照)。	p.1280
				リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。	p.1280
		DDA0-DDA3レジスタ	DDAnレジスタの値を読み出す際、DDAnHレジスタとDDAnLレジスタの2つの16ビット・レジスタごとに読み出すため、読み出しと更新のタイミングが競合した場合、更新途中の値が読み出されることがあります(22.13 注意事項参照)。	p.1281	
			リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。	p.1281	
		DBC0-DBC3レジスタ	リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。	p.1282	
			DADC0-DADC3レジスタ	DS0ビットは転送データ・サイズを設定するものであり、バス・サイジングを制御するものではありません。したがって、8ビット・データ(DS0ビット = 0)を設定した場合でも、必ずしも下位データ・バスを使用するわけではありません。	p.1283
		転送データ・サイズを16ビットに設定した場合(DS0ビット = 1)、奇数アドレスから始まる転送はできません。下位アドレスの1ビットを"0"にアラインしたアドレスから必ず転送を開始します。		p.1283	
		内蔵周辺I/Oレジスタを対象(転送元/転送先)とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ず(8ビット)転送を指定してください。		p.1283	
DCHC0-DCHC3レジスタ	DMA転送完了時(ターミナル・カウント時)は、Ennビットのクリア(0) TCnビットのセット(1)の順で各ビットの更新が行われます。そのため、DCHCnレジスタの各ビットの更新途中でDCHCnレジスタを読み出した場合、「転送未完了、かつ転送禁止」の状態を示す値(TCnビット = 0, かつEnnビット = 0)が読み出されることがあります。	p.1284			

(37/47)

章	分類	機能	機能の詳細	注意事項	ページ
第22章	ソフト	DMA 機能 (DMAコントローラ)	DTFR0-DTFR3 レジスタ	DTFRnレジスタの設定を変更する場合は必ず22.3(6)の注意2の手順で行ってください。	p.1286
				スタンバイ・モード (IDLE1, IDLE2, STOP, サブIDLEモード)中に発生した割り込み要求は, DMA転送サイクルの起動要因にはなりません (DFnビットもセット(1)されません)。	p.1286
				IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは, DMA転送の許可/禁止にかかわらず, 選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット(1)されます。この状態でDMA許可とした場合, ただちにDMA転送が起動されます。	p.1286
				V850E/SK3-Hで, UARTA1と <sup>2</sup> C02を同時に使用し, かつINTUA1R信号をDMA転送の起動要因として使用する場合は, オプション・バイト0000007AH(第33章 オプション・バイト機能参照)のDTFROB1ビット = 1に設定してください。この場合, INTIIC2信号はDMA転送の起動要因として使用できません。	p.1286
				V850E/SK3-Hで, UARTA2と <sup>2</sup> C00を同時に使用し, かつINTUA2R信号をDMA転送の起動要因として使用する場合は, オプション・バイト0000007AH(第33章 オプション・バイト機能参照)のDTFROB1ビット = 1に設定してください。この場合, INTIIC0信号はDMA転送の起動要因として使用できません。	p.1286
		転送対象	表22-2に示す転送先と転送元で, 「x」が表記されている組み合わせで転送を行った場合の動作は保証できません。	p.1289	
		DMA転送起動要因	同一のDMAチャンネルに対して, 2つの起動要因 (ソフトウェア・トリガ, ハードウェア・トリガ)を併用できません。1つのDMAチャンネルに対して, 2つの起動要因が同時に発生した場合, どちらか一方だけが有効となります。有効となった起動要因の特定はできません。	p.1293	
			先のDMA転送要求が発生してから, または先のDMA転送サイクル中に新たな転送要求が発生しても, その要求は無視 (クリア) されます。	p.1293	
			同一のDMAチャンネルに対する転送要求間隔は, システム上で十分な間隔をもつようにしてください。ソフトウェア・トリガ時は, DBCnレジスタの更新により, 先に発生したDMA転送サイクルの完了を確認できます。	p.1293	
		VSWC レジスタに関する注意	DMACを使用する際は, 必ずVSWCレジスタに, 動作周波数に応じた最適な値を設定してください。 VSWCレジスタの初期値 (77H), または最適な値以外で使用した場合は正常に動作できません (VSWCレジスタの詳細については, 3.4.9(1)(a) システム・ウェイト・コントロール・レジスタ (VSWC) を参照してください)。	p.1299	
		内蔵RAMを転送対象とするDMA転送時の注意	内蔵RAMに配置された次の命令を実行する場合は, 内蔵RAMを対象 (転送先/転送元)とするDMA転送を行わないでください。その後CPUが正常に動作しない可能性があります。 ・内蔵RAMに配置されたビット操作命令 (SET1, CLR1, NOT1) ・内蔵RAMに配置されたミスライン・アドレスに対するデータ・アクセス命令 逆に, 内蔵RAMを対象 (転送先/転送元)としたDMA転送を行う場合は, 上の2つの命令を実行しないでください。	p.1299	
		DCHCn.TCn ビットのリードに関する注意事項 (n = 0-3)	内蔵RAMを転送元とするDMA転送時に, 割り込み処理ルーチンでTCnビットをリードする場合は, 次のいずれかの条件を満たしてください。 ・割り込み処理ルーチンの先頭でTCnビットをリードする場合は, 連続して2回のリードを実行してください。 ・割り込み処理ルーチンの先頭で内蔵RAM, 内蔵周辺I/Oレジスタ領域, プログラマブル周辺I/Oレジスタ領域, または外部メモリ領域にアクセス (リード/ライト) する命令を1つ以上行ったあとで, TCnビットをリードしてください。	p.1299	
		DMA転送の停止手順について (Ennビットのクリア)	DMA転送中にEnnビットを強制的にクリア (0) することで, 実行中のDMA転送を停止させることができます。ただし, DMA転送の停止は, 必ず22.13(4)の(a), (b)に示す2つの手順のどちらか一方で行ってください。それ以外の手順でEnnビットをクリア (0) した場合の動作は保証しません。	p.1300	
メモリ境界	DMA転送中に, 転送元, または転送先のアドレスがDMA対象 (外部メモリ, 内蔵RAM, 内蔵周辺I/O, 拡張内蔵RAM) の領域を越えた場合の動作は保証できません。	p.1300			

(38/47)

章	分類	機能	機能の詳細	注意事項	ページ
第22章	ソフト	DMA機能 (DMAコントローラ)	ミスアライン・データの転送	16ビット・バス幅のミスアライン・データのDMA転送はサポートしていません。奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。	p.1300
			DMA動作中の書き換え禁止レジスタ/ビット	次のレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。 【対象レジスタ】 ・DSAnH, DSAnL, DDAAnH, DDAAnL, DBCn, DADCnレジスタ ・DTFRn.IFCn5-IFCn0ビット 【設定可能タイミング】 ・リセット後から最初のDMA転送開始までの期間 ・チャンネル初期化後からDMA転送開始までの時間 ・DMA転送完了後(TCnビット = 1の状態)から次のDMA転送開始までの期間	p.1301
			“0”の設定が必要なビット	次のレジスタの各ビットには、必ず“0”を設定してください。 ・DSAnHレジスタのビット14-10 ・DDAAnHレジスタのビット14-10 ・DADCnレジスタのビット15, 13-8, 3-0 ・DCHCnレジスタのビット6-3	p.1301
			DMAの起動要因	同じ起動要因で複数のDMAチャンネルを起動しないでください。起動した場合、すでに設定済みのチャンネルのDMAが起動されたり、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられたりする場合があります、動作は保証できません。	p.1301
			DSAn, DDAAnレジスタの読み出し値	DMA転送中にDSAn, DDAAnレジスタの値を読み出した場合、更新途中の値が読み出されることがあります(n = 0-3)。	p.1301
第23章	ソフト	CRC機能	CRCレジスタ	次に示す状態において、CRCレジスタへのアクセスは禁止です。詳細は3.4.9(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.1303
第24章	ソフト	割り込み / 例外処理機能	ノンマスクابل割り込み	ノンマスクابل割り込み要求信号(INTWDT2)によるノンマスクابل割り込み処理については24.2.2(2) INTWDT2信号の場合を参照してください。	p.1313
				ノンマスクابل割り込み処理中にLDSR命令によりEP, NPビットを変更した場合には、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してEPビット = 0かつNPビット = 1に戻しておく必要があります。	p.1317
			マスクابل割り込み	マスクابل割り込み処理中にLDSR命令によりEP, NPビットを変更した場合は、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してEPビット = 0かつNPビット = 0に戻しておく必要があります。	p.1321
				多重割り込みを行うときはEI命令を実行する前に、EIPC, EIPSWの内容を退避する必要があります。また、多重割り込みから復帰する際は、DI命令を実行したあとに、EIPC, EIPSWの内容を復帰してください。	p.1323-1325
			xxlCnレジスタ	xxlCn.xxlFnビットを読み出す場合は、割り込み禁止(DI)状態または割り込みをマスクした状態で行ってください。割り込み許可(EI)状態または割り込みマスクを解除した状態でxxlFnビットを読み出すと、割り込みの受け付けとビットの読み出しのタイミングが競合した場合に、正常な値が読み出せないことがあります。	p.1326
				割り込み要求が発生する状態(割り込み禁止(DI)状態を含む)でxxlCn.xxMKnビットを操作する場合は、必ずビット操作命令で操作するか、またはIMRm.xxMKn, IMR7L.xxMKnビットで操作してください(m = 0-6)。	p.1326, 1356
				ビット3-5には必ず0を設定してください。	p.1326
			IMR0-IMR6, IMR7Lレジスタ	IMR4レジスタのビット13-15, IMR7Lレジスタのビット3, 4には1, IMR7Lレジスタのビット5-7には0を設定してください。変更した場合の動作は保証できません。	p.1332
ISPRレジスタ	割り込み許可(EI)状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット(1)されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止(DI)状態でリードしてください。	p.1333, 1356			

(39/47)

章	分類	機能	機能の詳細	注意事項	ページ	
第24章	ソフト	割り込み / 例外処理機能	ソフトウェア例外	ソフトウェア例外処理中にLDSR命令によりEP, NPビットを変更した場合には, RETI命令による復帰時にPCとPSWを正常にリストアするために, RETI命令の直前で, LDSR命令を使用してEPビット = 1かつNPビット = 0に戻しておく必要があります。	p.1336	
			例外トラップ	不正命令コードには, 将来, 新規に命令を割り当てる可能性があるため, 使用しないことを推奨します。	p.1338	
				DBPCとDBPSWには, 不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。	p.1339	
			デバッグ・トラップ	DBPCとDBPSWには, DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセス可能です。	p.1341	
			外部割り込み要求入力端子 (NMI, INTP0-INTP9)	同じ外部割り込み要求入力端子を2つのポートに割り付けられたものがあります。そのため, 有効エッジの設定もそれぞれのポートに対応したレジスタで個別に設定します。 ただし, 外部割り込み要求入力端子は, 必ず2つのポートのうち, どちらか一方でのみ使用してください。使用しないポートの外部割り込み要求入力端子の有効エッジ検出は, “エッジ検出なし” に設定してください。	p.1343	
				INTF0, INTR0レジスタ	外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF0n, INTR0nビット = 00に設定したあとにポート・モードに設定してください。 NMI, INTP0-INTP3端子として使用しない場合, 必ずINTF0n, INTR0nビット = 00に設定してください。	p.1344 p.1344
				INTF3, INTR3レジスタ	外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF31, INTR31ビット = 00に設定したあとにポート・モードに設定してください。 INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は兼用しているINTP7端子のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定)。またINTP7端子として使用する場合はUARTA0を受信動作停止としてください (UA0CTL0.UA0RXEビット = 0)。 INTP7端子として使用しない場合, 必ずINTF31, INTR31ビット = 00に設定してください。	p.1345 p.1345 p.1345
			INTF4, INTR4レジスタ	外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF42, INTR42ビット = 00に設定したあとにポート・モードに設定してください。	p.1346	
				INTP2端子として使用しない場合, 必ずINTF42, INTR42ビット = 00に設定してください。	p.1346	
			INTF5, INTR5レジスタ	外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF51, INTR51ビット = 00に設定したあとにポート・モードに設定してください。	p.1347	
				INTP7端子として使用しない場合, 必ずINTF51, INTR51ビット = 00に設定してください。	p.1347	
			INTF6, INTR6レジスタ	外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF66, INTR66ビット = 00に設定したあとにポート・モードに設定してください。	p.1348	
				INTP9端子として使用しない場合, 必ずINTF66, INTR66ビット = 00に設定してください。	p.1348	
			INTF8, INTR8レジスタ	外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF80, INTR80ビット = 00に設定したあとにポート・モードに設定してください。	p.1349	
				INTP8端子とRXDA3端子は兼用となっています。RXDA3端子として使用する場合は兼用しているINTP8端子のエッジ検出を無効にしてください (INTF8.INTF80ビット = 0, INTR8.INTR80ビット = 0に設定)。またINTP8端子として使用する場合はUARTA3を受信動作停止としてください (UA3CTL0.UA3RXEビット = 0)。 INTF8, INTR8レジスタのビット1-7には必ず0を設定してください。	p.1349 p.1349	
INTP8端子として使用しない場合, 必ずINTF80, INTR80ビット = 00に設定してください。	p.1349					



(40/47)

章	分類	機能	機能の詳細	注意事項	ページ
第24章	ソフト	割り込み / 例外処理機能	INTF9, INTR9レジスタ	外部割り込み機能 (兼用機能) からポート機能に切り替える際、エッジ検出を行う可能性があるため、INTF9n, INTR9nビット = 0に設定したあとにポート・モードに設定してください。	p.1350
				INTP4-INTP6, INTP8端子として使用しない場合、必ずINTF9n, INTR9nビット = 00に設定してください。	p.1350
			INTF15, INTR15レジスタ	外部割り込み機能 (兼用機能) からポート機能に切り替える際、エッジ検出を行う可能性があるため、INTF15n, INTR15nビット = 00に設定したあとにポート・モードに設定してください。	p.1351
				INTF15, INTR15レジスタのビット0, 1, 4-7には必ず0を設定してください。	p.1351
				INTP6, INTP9端子として使用しない場合、必ずINTF15n, INTR15nビット = 00に設定してください。	p.1351
			NFCレジスタ	割り込み機能, DMA機能を使用する場合は、次の点に注意してください。 ・割り込み機能使用時は、サンプリング・クロック×3クロック経過後、割り込み要求フラグ (PIC3.PIF3ビット) をクリアしてから割り込みを許可してください。 ・DMA機能使用時 (INTP3で起動) は、サンプリング・クロック×3クロック経過後、DMAを許可してください。	p.1352
				ビット3-6には必ず0を設定してください。	p.1353
			NMI端子	NMI端子はP02と兼用しており、リセット後は通常ポートとして機能します。NMI端子を使用する場合には、PMC0レジスタでNMI端子を有効にしてください。また、NMI端子の初期設定は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを選択してください。	p.1356
			DMA転送の起動要因の切り替え	DMA転送の起動要因のINTP8信号とINTTM2EQ0信号が兼用になっており、同時には使用できません。INTP8信号をDMA転送の起動要因として使用するときは、オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のDTFROB0ビット = 0に設定してください。 この場合、INTTM2EQ0信号はDMA転送の起動要因として使用できません。 備考 詳細については、表22-1 DMA転送の起動要因を参照してください。	p.1356
			第25章	ソフト	キー割り込み機能
KR0-KR7端子	KR0-KR7端子のうち1つでもロウ・レベルが入力されていると、別の端子の立ち下がりエッジを入力してもINTKR信号が発生しません。	p.1359			
KR7端子 RXDA1端子	KR7端子とRXDA1端子は同時に使用することはできません。V850E/SK3-Hの場合、KR7端子とRXDA1端子は、ともに2つのポートに兼用されていますが、それぞれ異なるポートで同時に使用できません。KR7端子を使用する場合は、UA1CTL0.UA1RXEビット = 0に設定してください (P91でKR7端子を使用する場合は、PFCE91ビット = 1, PFCE91ビット = 0に設定することを推奨します)。また、RXDA1端子を使用する場合は、KR7端子のKRM.KRM7ビット = 0に設定してください。	p.1359			
KRn端子 TIQ0m端子	KRn端子とTIQ0m端子は、同時に使用することはできません (n = 0-3, m = 0-3)。KR2端子とTIQ03端子, KR3端子とTIQ00端子は、ともに2つのポートに兼用されていますが、それぞれ異なるポートで同時に使用することはできません。KRn端子を使用する場合は、またはTIQ0m端子を使用する場合は設定を25.3(3)に示します。	p.1359			
ハード	ハード/ソフト	KRMレジスタ		KRMレジスタを変更すると、割り込み要求信号 (INTKR) が発生する場合があります。したがって、あらかじめ割り込みを禁止 (DI) またはマスクしてからKRMレジスタを変更し、割り込み要求フラグ (KRIC.KRIFビット) をクリア (0) してから、割り込みを許可 (EI) またはマスク解除してください。	p.1359
		ポート・モード兼用機能モードの切り替え		キー割り込み機能を使用する場合は、必ずポート端子をキー・リターン用端子に設定してからKRMレジスタで動作を許可してください。また、逆にキー・リターン用端子からポート端子に切り替える場合は、KRMレジスタで動作を禁止してからポート端子の設定を行ってください。	p.1359
		DMA転送の起動要因の切り替え		DMA転送の起動要因のINTKR信号とINTTM1EQ0信号が兼用になっており、同時には使用できません。INTKR信号をDMA転送の起動要因として使用するときは、オプション・バイト0000007AH (第33章 オプション・バイト機能参照) のDTFROB0ビット = 0に設定してください。 この場合、INTTM1EQ0信号はDMA転送の起動要因として使用できません。 備考 詳細については、表22-1 DMA転送の起動要因を参照してください。	p.1359

(41/47)

章	分類	機能	機能の詳細	注意事項	ページ
第26章	ソフト	スタンバイ機能	PSCレジスタ	IDLE1, IDLE2, STOP, サブIDLEモードに設定するときは, PSMR.PSM1, PSM0ビットを設定してから, STPビットを設定してください。	p.1361
				IDLE1/IDLE2/STOPモードに移行する際にマスクされていない保留中の割り込み要求信号がある場合は, その割り込み要求信号に対するビット (NMI1M, NMI0M, INTM) をセット (1) したあとにSTPビットをセット (1) してください。	p.1361
				ビット0, 2, 3, 7には必ず0を設定してください。	p.1361
			PSMRレジスタ	ビット2-7には必ず0を設定してください。	p.1362
				PSM0, PSM1ビットは, PSC.STPビット = 1のときのみ有効です。	p.1362
			OSTSレジスタ	ビット7-3には必ず“0”を設定してください。	p.1363
				リセット解除後の発振安定時間は, $2^{16}/f_{\text{clk}}$ (OSTSレジスタの初期値 = 06Hのため) となります	p.1363
				クロック・モード1では, PLL動作の状態IDLE2モードへ遷移する場合, IDLE2モード解除後に挿入されるセットアップ時間は800 $\mu$ s以上に設定してください。PLL停止の場合, IDLE2モード解除後に挿入されるセットアップ時間は350 $\mu$ s以上に設定してください。	p.1363
				クロック・モード1では, PLL動作の状態STOPモードへ遷移する場合, STOPモード解除後に挿入される発振安定時間は1 ms以上に設定してください。	p.1364
				クロック・モード2-4では, SSCG動作の状態IDLE2モードへ遷移する場合, IDLE2モード解除後に挿入されるセットアップ時間は1 ms以上に設定してください。SSCG停止の場合, IDLE2モード解除後に挿入されるセットアップ時間は800 $\mu$ s以上に設定してください。	p.1364
				クロック・モード2-4では, SSCG動作の状態STOPモードへ遷移する場合, STOPモード解除後に挿入される発振安定時間は2 ms以上に設定してください。	p.1364
			HALTモード	HALT命令の後には, NOP命令を5命令以上挿入してください。	p.1365
				マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合, HALTモードに移行するが, 保留されている割り込み要求によりHALTモードはすぐに解除されます。	p.1365
			IDLE1モード	IDLE1モードに設定するためのPSCレジスタに対するストア命令のあとには, NOP命令を5命令以上挿入してください。	p.1367
				マスクされていない割り込み要求信号が保留されている状態でIDLE1モードに設定した場合, 保留されている割り込み要求によりIDLE1モードはすぐに解除されます。	p.1367
			IDLE2モード	IDLE2モードに設定するためのPSCレジスタに対するストア命令のあとには, NOP命令を5命令以上挿入してください。	p.1370
				マスクされていない割り込み要求信号が保留されている状態でIDLE2モードに設定した場合, 保留されている割り込み要求によりIDLE2モードはすぐに解除されます。	p.1370
			IDLE2モード解除時のセットアップ時間の確保	クロック・モード1では, PLL動作の状態IDLE2モードへ遷移する場合, IDLE2モード解除後に挿入されるセットアップ時間は800 $\mu$ s以上に設定してください。PLL停止の場合, IDLE2モード解除後に挿入されるセットアップ時間は350 $\mu$ s以上に設定してください。	p.1373
				クロック・モード2-4では, SSCG動作の状態IDLE2モードへ遷移する場合, IDLE2モード解除後に挿入されるセットアップ時間は1 ms以上に設定してください。SSCG停止の場合, IDLE2モード解除後に挿入されるセットアップ時間は800 $\mu$ s以上に設定してください。	p.1373
			STOPモード	STOPモードに設定するためのPSCレジスタに対するストア命令のあとには, NOP命令を5命令以上挿入してください。	p.1374
				マスクされていない割り込み要求信号が保留されている状態でSTOPモードに設定した場合, 保留されている割り込み要求によりSTOPモードはすぐに解除されます。	p.1374
STOPモード解除時の発振安定時間の確保	クロック・モード1では, PLL動作の状態STOPモードへ遷移する場合, STOPモード解除後に挿入される発振安定時間は1 ms以上に設定してください。	p.1377			
	クロック・モード2-4では, SSCG動作の状態STOPモードへ遷移する場合, STOPモード解除後に挿入される発振安定時間は2 ms以上に設定してください。	p.1377			

(42/47)

章	分類	機能	機能の詳細	注意事項	ページ
第26章	ソフト	スタンバイ機能	サブクロック動作モード	サブクロック発振回路の発振安定時間を確保したあとにサブクロック動作モードに移行してください。電源投入後にサブクロック発振回路は発振を開始します。	p.1378
				サブクロック動作モードに設定する前に、SSCGは停止 (SSCGCTL.SSCGONビット = 0) してください。なお、クロック・モード1では、SSCGは使用禁止です。	p.1378
				CK3ビットを操作する場合、PCC.CK2-CK0ビットの設定値の変更は禁止です (ビット操作命令を推奨)。PCCレジスタの詳細は、6.3(1) プロセッサ・クロック・コントロール・レジスタ (PCC) を参照してください。	p.1378
				次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。 内部システム・クロック (f <sub>CLK</sub> ) > サブクロック (f <sub>XT</sub> = 32.768 kHz) × 4	p.1378
				メイン・クロック発振回路を停止するときは、メイン発振クロック (fx), 周辺クロック (fxP) で動作している内蔵周辺機能の動作を停止してください。	p.1378
				クロック・モード2-4では、ソフトウェアでPLLCTL.PLLONビットをクリア (0) しないでください (PLLを停止しない)。メイン・クロック発振回路を停止する (PCC.MCKビット = 1) と同時に、PLLはPLLCTL.PLLONビット = 1 (PLL動作許可) のまま自動的に停止します。また再びメイン・クロック発振回路を許可 (PCC.MCKビット = 0) すると、PLLも動作開始し、ソフトウェアにより発振安定時間 (1 ms (MIN.)) を確保している間にPLLはロック状態になります。	p.1378
				CK3ビットを操作する場合、CK2-CK0ビットの設定値の変更は禁止です (ビット操作命令を推奨)。 PCCレジスタの詳細は、6.3(1) プロセッサ・クロック・コントロール・レジスタ (PCC) を参照してください。	p.1379
				CPUがサブクロックで動作し、かつメイン発振を停止している場合、ウェイトが発生するレジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットのみです (3.4.9(2) 参照)。	p.1381
			サブIDLEモード	サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。	p.1382
				マスクされていない割り込み要求信号が保留されている状態でサブIDLEモードに設定した場合、保留されている割り込み要求によりサブIDLEモードはすぐに解除されます。	p.1382
				メイン・クロック発振回路を停止するときは、メイン発振クロック (fx), 周辺クロック (fxP) で動作している内蔵周辺機能の動作を停止してください。	p.1382
				クロック・モード2-4では、ソフトウェアでPLLCTL.PLLONビットをクリア (0) しないでください (PLLを停止しない)。メイン・クロック発振回路を停止する (PCC.MCKビット = 1) と同時に、PLLはPLLCTL.PLLONビット = 1 (PLL動作許可) のまま自動的に停止します。また再びメイン・クロック発振回路を許可 (PCC.MCKビット = 0) すると、PLLも動作開始し、ソフトウェアにより発振安定時間 (1 ms (MIN.)) を確保している間にPLLはロック状態になります。	p.1382
				サブIDLEモードからの復帰時は、割り込み要求信号による解除要因が発生してから解除されるまでに、サブクロックの12周期分の時間 (約366 μs) が挿入されます。	p.1383
				状態遷移図	クロック・モード2-4では、ソフトウェアでPLLCTL.PLLONビットをクリア (0) しないでください (PLLを停止しない)。
(A9)品は、クロック・モード1, クロック・モード3 (SSCG出力 (8通倍) の場合) のみ設定できます。クロック・モード2, クロック・モード3 (SSCG出力 (12通倍) の場合), クロック・モード4は設定できません。 詳細については、表6-1を参照してください。	p.1389				
第27章	ソフト	リセット機能	緊急動作モード	緊急動作モード時は、内蔵発振クロックで動作が可能な「割り込み機能、ポート機能、WDT2, TMM0-TMM2」用レジスタ以外の内蔵周辺I/Oレジスタにアクセスしないでください。また、外部クロック入力を使用したCSIB0-CSIB5, CSIE0 <sup>注</sup> , CSIE1 <sup>注</sup> , UARTA0の動作も禁止します。 注 μPD70F3931B (V850E/SJ3-H), 70F3932B (V850E/SJ3-H), 70F3933B (V850E/SJ3-H) 以外	p.1390
				LVI回路の内部リセット	LVI回路の内部リセットの場合、LVI回路はリセットされません。
			RESFレジスタ	ビット2, 3, 5-7には必ず0を設定してください。	p.1391

(43/47)

章	分類	機能	機能の詳細	注意事項	ページ
第27章	ソフト	リセット機能	RESET端子によるリセット動作	OCDMレジスタはRESET端子入力によって初期化されます。そのため、リセット解除後、再度OCDM.OCDM0ビットをクリアするまでの間にP05/DRST端子にハイ・レベルが入力されると、オンチップ・デバッグ・モードに入るため注意してください。詳細は、第4章 ポート機能を参照してください。	p.1392
第28章	ソフト	クロック・モニタ	CLMレジスタ	一度CLMEビット = 1に設定した場合、リセット以外ではクリア (0) できません。	p.1403
				ビット1-7には必ず0を設定してください。	p.1403
第29章	ソフト	低電圧検出回路	LVIMレジスタ	LVIONビット = 1かつLVIMDビット = 1に設定した場合、低電圧検出によるリセット以外のリセット要求が発生するまで低電圧検出回路を停止できません。	p.1408
				LVIONビットをセット (1) すると、LVI回路内のコンパレータの動作が開始します。LVIONビットをセットしてからLVIFビットで電圧を確認するまでに、ソフトウェアで0.2 ms以上ウエイトしてください。	p.1408
				ビット6-2には必ず0を設定してください。	p.1408
			LVISレジスタ	LVIM.LVIONビット = 1かつLVIM.LVIMDビット = 1に設定したあと、低電圧検出によるリセット以外のリセット要求が発生するまで、このレジスタへの書き込みは行えません。	p.1409
			ビット7-1には必ず0を設定してください。	p.1409	
			内部リセット信号 (LVIRES) として使用する場合	LVIMDビット = 1に設定した場合、LVI以外のリセット要求が発生するまで、LVIM, LVISレジスタの変更はできません。	p.1410
割り込み (INTLVI) として使用する場合	INTLVI信号発生時は、その割り込みが検出電圧を下回ったことにより発生したか、上回ったことにより発生したかをLVIM.LVIFビットで確認してください。	p.1411			
PEMU1レジスタ	このビット (EVARAMIN) は、自動的にクリアされません。	p.1413			
第30章	ハード	レギュレータ	レギュレータ	V <sub>DD</sub> = EV <sub>DD</sub> = AV <sub>REF0</sub> = AV <sub>REF1</sub> BV <sub>DD</sub> で使用してください。	p.1414
第31章	ソフト	ROMコレクション機能	CORADnレジスタ	CORADnレジスタに修正したいアドレスを設定する際、内蔵ROMの容量に応じて、上位ビットに0を設定してください。	p.1421
			ROMコレクション機能	ROMコレクション機能は内蔵ROMのデータに対しては使用できません。命令コードに対してのみ行うことができます。データに対してROMコレクションを行うと、そのデータがDBTRAP命令コードに入れ替わります。	p.1421
			ROMコード	CORCNnレジスタへの書き込みが終了する前のROMコードについては、ROMコレクションできません。	p.1421
			DBTRAP命令	DBTRAP命令実行後、PSW.NP, EP, DIビット = 111となり、割り込み / 例外を受け付けることができない状態になります。DBTRAP命令実行後、必要に応じてPSWレジスタの値を変更してください。	p.1421
			DBPC, DBPSWレジスタ	DBPC, DBPSWレジスタへアクセスできるのは、DBTRAP中のみです。	p.1421
			コレクション・アドレス	CORCNnレジスタ設定 (許可) 直後に実行される数命令のアドレスをコレクション・アドレスに設定した場合、正常に動作しない (DBTRAPが発生しない) 場合があります。	p.1421
第32章	ハード	フラッシュ・メモリ	CSIB0 + HS, CSIB3 + HS	REGC端子は、必ず4.7 μFのコンデンサを介してGNDに接続してください。	p.1433, 1434
				フラッシュ・メモリ・プログラムのCLK端子からのクロック供給はできません。ボード上に発振回路を作成してクロックを供給してください。	p.1433, 1434
				DRST端子には、ハイ・レベルを入力しないでください。	p.1436, 1438
			FLMD1端子	オンボード書き込み時、リセット直後に他のデバイスからFLMD1端子にV <sub>DD</sub> の信号が入力される場合、この信号をアイソレートしてください。	p.1442
			シリアル・インタフェース端子	オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。	p.1443
	ソフト	セルフ・プログラミングによる書き換え	書き換え対象の定数データがあるブロックに、プログラム・コードを配置しないよう注意してください。ブロック構成については、32.2 メモリ構成を参照してください。	p.1446	

(44/47)

章	分類	機能	機能の詳細	注意事項	ページ		
第32章	ハード	フラッシュ・メモリ	セルフ・プログラミング時のFLMD0端子	リセット解除時は、必ずFLMD0端子を0Vにしてください。	p.1451		
第33章	ソフト	オプション・バイト機能	オプション・バイト(0000007AH)	ビット2, 3, 6, 7には必ず0を設定してください。	p.1454		
			オプション・バイト(0000007BH)	クロック・モード4では、必ずPLLIOビット = 0 (分周なし) に設定してください。	p.1455		
				(A9)品は、クロック・モード1, クロック・モード3 (SSCG出力 (8通倍) の場合) のみ設定できます。クロック・モード2, クロック・モード3 (SSCG出力 (12通倍) の場合), クロック・モード4は設定できません。詳細については、表6-1を参照してください。	p.1455		
				ビット4-7には必ず0を設定してください。	p.1455		
			CA850をご使用の場合のプログラム例	オプション・バイトのセクションは必ず6バイト分を記述してください。6バイト以下の場合、リンクの際にエラーとなります。	p.1456		
				007CH-007FH番地には0x00を設定してください。	p.1456		
第34章	ハード/ソフト	オンチップ・デバッグ・モード・レジスタ (OCDM)		外部リセット後、DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次のいずれかの処置が必要です。 ・P05/INTP2/DRST端子にロウ・レベルを入力します。 ・OCDM0ビットを設定します。この場合の処置は次のとおりです。 OCDM0ビットをクリア (0) します。 の処理を終えるまで、P05/INTP2/DRST端子入力をロウ・レベル固定にしておきます。	p.1462		
				DRST端子はブルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。	p.1462		
				注意事項 (DCUを使用する方法)	RUN中 (プログラム実行中) にリセット入力 (ターゲット・システムからのリセット入力や内部リセット要因によるリセット) があった場合、ブレーク機能が誤動作することがあります。	p.1464	
					リセットをマスク機能でマスクしていても、端子からのリセットが入力された際に入出力バッファ (ポート端子) がリセット状態になる場合があります。	p.1464	
					ブレーク中の端子リセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMMで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。	p.1464	
	ハード/ソフト				ROMコレクションのエミュレーションはできません。	p.1464	
					オンチップ・デバッグ・モード時、DDO端子は強制的にハイ・レベル出力に設定されます。	p.1464	
					オンチップ・デバッグ中は、ASIDレジスタを00Hに初期化してください。	p.1464	
					注意事項 (DCUを使用しない方法)	デバッグに使用したデバイスを、量産製品に搭載しないでください (デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保証することができないためです)。また、デバッグ用モニタ・プログラムは量産製品には組み込まないでください。	p.1475
						次の状態が継続している場合は、強制ブレークすることができません。 ・割り込み禁止中 (DI) の場合 ・MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合 ・マスクブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合 ・MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、メイン・クロックを停止している場合	p.1475

(45/47)

章	分類	機能	機能の詳細	注意事項	ページ	
第34章	ソフト	オンチップ・デバッグ機能	注意事項 (DCUを使用しない方法)	次の状態の場合、疑似RRM機能、DMM機能が動作しません。 ・ 割り込み禁止中 (DI) の場合 ・ MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合 ・ マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合 ・ MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、メイン・クロックを停止している場合 ・ MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、デバッグで指定する動作クロックと異なるクロックで動作している場合	p.1475	
				次の状態の場合、疑似RRM機能、DMM機能によりスタンバイ・モードが解除されません。 ・ MINICUBE2と対象デバイスの通信インタフェースがCSIB0, CSIB3の場合 ・ MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、メイン・クロックが停止していない場合	p.1475	
				特定シーケンスを必要とする周辺I/Oレジスタは、DMM機能により書き換えることができません。	p.1475	
				デバッグ用モニタ・プログラムが配置された空間を、フラッシュ・セルフ・プログラミングで書き換えた場合、デバッグが正常に動作しなくなります。	p.1475	
第35章	ハード	電気的特性 (A品)	絶対最大定格	IC製品の出力 (または入出力) 端子同士を直結したり、V <sub>DD</sub> またはV <sub>CC</sub> やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。	p.1480	
				各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。 つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。 DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。	p.1480	
				メイン・クロック発振回路特性	メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・ 配線は極力短くする。 ・ 他の信号線と交差させない。 ・ 変化する大電流が流れる線に接近させない。 ・ 発振回路のコンデンサの接地点は、常にV <sub>SS</sub> と同電位になるようにする。 ・ 大電流が流れるグラウンド・パターンに接地しない。 ・ 発振回路から信号を取り出さない。	p.1482
				メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。	p.1482	
				発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。	p.1482	
				発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。 また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850E/SJ3-H, V850E/SK3-Hの内部動作条件についてはAC, DC特性の規格内で使用してください。	p.1483, 1484	

(46/47)

章	分類	機能	機能の詳細	注意事項	ページ	
第35章	ハード	電気的特性 (A品))	サブクロック発振回路特性	サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV <sub>SS</sub> と同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.1485	
				サブクロック発振回路は、低消費電力にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。	p.1485	
				発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。	p.1485	
			データ保持特性	STOPモードへの移行、およびSTOPモードからの復帰は、動作範囲内で行ってください。	p.1491	
			AC特性	回路構成により負荷容量が50 pFを越える場合は、バッファを入れるなどして、このデバイスの負荷容量を50 pF以下にしてください。	p.1492	
	ソフト	マルチプレクス・バス・モード時	f <sub>CPU</sub> > 20 MHzで動作させる場合、必ずアドレス・ホールド・ウェイトとアドレス・セットアップ・ウェイトを挿入してください。	p.1494		
			f <sub>CPU</sub> > 32 MHzで動作させる場合、必ずデータ・ウェイトを1つ以上挿入してください。	p.1494		
		セパレート・バス・モード時	f <sub>CPU</sub> > 20 MHzで動作させる場合、必ずアドレス・ホールド・ウェイトとアドレス・セットアップ・ウェイトを挿入してください。	p.1499		
			f <sub>CPU</sub> > 20 MHzで動作させる場合、必ずデータ・ウェイトを1つ以上挿入してください。	p.1499		
		A/Dコンバータ	A/D変換中に兼用ポートの設定 (リード/ライト) を行わないでください。変換分解能が低下することがあります。	p.1515		
		第36章	ハード	電気的特性 (A9品))	絶対最大定格	IC製品の出力 (または入出力) 端子同士を直結したり、V <sub>DD</sub> またはV <sub>CC</sub> やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
	各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。 つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。 DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。					p.1521
メイン・クロック発振回路特性	メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV <sub>SS</sub> と同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。				p.1523	
	メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。				p.1523	
	発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。				p.1523	
	発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上で評価を発振子メーカーに依頼してください。 また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850E/SJ3-H、V850E/SK3-Hの内部動作条件についてはAC、DC特性の規格内で使用してください。				p.1524, 1525	

(47/47)

章	分類	機能	機能の詳細	注意事項	ページ
第36章	ハード	電气的特性 (A9品)	サブクロック発振回路特性	サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV <sub>SS</sub> と同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.1526
				サブクロック発振回路は、低消費電力にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。	p.1526
				発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。	p.1526
				データ保持特性	STOPモードへの移行、およびSTOPモードからの復帰は、動作範囲内で行ってください。
	AC特性	回路構成により負荷容量が50 pFを越える場合は、バッファを入れるなどして、このデバイスの負荷容量を50 pF以下にしてください。	p.1533		
	ソフト	マルチプレクス・バス・モード時	f <sub>CPU</sub> > 20 MHzで動作させる場合、必ずアドレス・ホールド・ウエイトとアドレス・セットアップ・ウエイトを挿入してください。	p.1535	
		セパレート・バス・モード時	f <sub>CPU</sub> > 20 MHzで動作させる場合、必ずアドレス・ホールド・ウエイトとアドレス・セットアップ・ウエイトを挿入してください。	p.1540	
			f <sub>CPU</sub> > 20 MHzで動作させる場合、必ずデータ・ウエイトを1つ以上挿入してください。	p.1540	
	A/Dコンバータ	A/D変換中に兼用ポートの設定（リード/ライト）を行わないでください。変換分解能が低下することがあります。	p.1556		
	ハード	フラッシュ・メモリ・プログラミング特性	4 MHz < f <sub>x</sub> < 6 MHz, 8 MHz < f <sub>x</sub> < 10 MHzの発振子を使用した場合、シリアル・プログラミング・モードでの書き込み時の動作周波数 (f <sub>CPU</sub> ) は、(A9)品の製品仕様である32 MHzよりも高い周波数となります。(A9)品の製品仕様は32 MHz(MAX.)であるため、32 MHzを越えてシリアル・プログラミング・モードで書き込みを行う場合は、(A)品の保証温度 (t <sub>PRG</sub> = -40 ~ +85 ) 内での書き込みを行ってください。また、(A)品の保証温度 (t <sub>PRG</sub> = -40 ~ +85 ) を越える場合は、32 MHz以下で書き込みを行ってください。	p.1559	
開発ツール			組み込み用ソフトウェア	RX850, RX850 Proを購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。	p.1579



## 付録E 改版履歴

### E. 1 本版で改訂された主な箇所

箇所	内容
全般	<ul style="list-style-type: none"> <li>・ 次の製品を追加</li> <li>(A)品</li> <li><math>\mu</math>PD70F3931BGJA-GAE-G, 70F3932BGJA-GAE-G, 70F3933BGJA-GAE-G, 70F3934BGJA-GAE-G, 70F3935BGJA-GAE-G, 70F3936BGJA-GAE-G, 70F3937BGJA-GAE-G, 70F3938BGJA-GAE-G, 70F3939BGJA-GAE-G</li> <li>(A9)品</li> <li><math>\mu</math>PD70F3931BGJA9-GAE-G, 70F3932BGJA9-GAE-G, 70F3933BGJA9-GAE-G, 70F3934BGJA9-GAE-G, 70F3935BGJA9-GAE-G, 70F3936BGJA9-GAE-G, 70F3937BGJA9-GAE-G, 70F3938BGJA9-GAE-G, 70F3939BGJA9-GAE-G</li> <li>・ 次の製品を削除</li> <li><math>\mu</math>PD70F3931AGJA-GAE-G, 70F3931AGJA9-GAE-G, 70F3932AGJA-GAE-G, 70F3932AGJA9-GAE-G, 70F3933AGJA-GAE-G, 70F3933AGJA9-GAE-G, 70F3934AGJA-GAE-G, 70F3934AGJA9-GAE-G, 70F3935AGJA-GAE-G, 70F3935AGJA9-GAE-G, 70F3936AGJA-GAE-G, 70F3936AGJA9-GAE-G, 70F3937AGJA-GAE-G, 70F3937AGJA9-GAE-G, 70F3938AGJA-GAE-G, 70F3938AGJA9-GAE-G, 70F3939AGJA-GAE-G, 70F3939AGJA9-GAE-G</li> </ul>
p.1286	22. 3 (6) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) 注意記述変更および注追加

## E.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

( 1/8 )

版 数	内 容	適応箇所
2版	<ul style="list-style-type: none"> <li>・ 次の製品を開発中 開発済み μPD70F3474GJA-GAE-G, 70F3475GJA-GAE-G, 70F3476GJA-GAE-G, 70F3477GJA-GAE-G, 70F3478GJA-GAE-G, 70F3479GJA-GAE-G, 70F3480GMA-GAR-G, 70F3481GMA-GAR-G, 70F3482GMA-GAR-G</li> <li>・ 次の製品を追加 μPD70F3486GMA-GAR-G, 70F3487GMA-GAR-G, 70F3488GMA-GAR-G, 70F3925GMA-GAR-G, 70F3926GMA-GAR-G, 70F3927GMA-GAR-G</li> <li>・ 次の製品名を変更 FA-144GJ-GAE-AX FA-144GJ-GAE-B FA-176GM-GAR-AX FA-176GM-GAR-B</li> </ul>	全般
	表1 - 1 V850E/SJ3-H, V850E/SK3-Hの製品一覧 記述追加	第1章 インTRODククション
	1.2 特 徴 メモリ空間 記述追加	
	1.4.2 V850E/SK3-H 記述追加	
	1.5.1 V850E/SJ3-H 記述追加	
	1.5.2 V850E/SK3-H 記述追加	
	1.6.1 (1) V850E/SJ3-H 記述追加	
	1.6.1 (2) V850E/SK3-H 記述追加	
	1.6.2 (3) ROM 記述追加	
	1.6.2 (5) 拡張内蔵RAM 記述追加	
	3.4.4 (1) (a) 内蔵ROM (1024 Kバイト) 追加	第3章 CPU機能
	3.4.4 (1) (b) 内蔵ROM (1280 Kバイト) 記述追加	
	3.4.4 (6) (a) 拡張内蔵RAM (16 Kバイト) 追加	
	3.4.4 (6) (b) 拡張内蔵RAM (32 Kバイト) 記述追加	
	表3 - 3 製品名の設定例 記述追加	
	3.4.6 周辺I/Oレジスタ 記述追加	
	図5 - 1 データ・メモリ・マップ：物理アドレス 記述追加	第5章 バス制御機能
	5.3.1 (1) チップ領域セレクト・コントロール・レジスタ0 (CSC0) 記述追加	
	6.2 クロック・モード 記述追加	第6章 クロック発生機能
	表6 - 1 クロック・モードにおける各動作クロックの周波数範囲とソース・クロック 記述追加	
	図6 - 3 クロック・モード3のクロック発生回路 図変更	
	6.3 (9) SSCG周波数コントロール・レジスタ0 (SFC0) 記述追加	
	9.4.2 (1) カウント開始までの最大時間 記述変更	第9章 16ビット・インターバル・タイマM (TMM)
	15.4 (4) UARTAnオプション制御レジスタ0 (UANOPT0) 記述追加	第15章 アシクロナス・シリアル・インタフェースA (UARTA)
	表19 - 6 主な拡張コードのビットの定義 記述変更	第19章 I <sup>2</sup> Cバス
	20.3 (8) IEBusスレーブ・アドレス・レジスタ (SAR) 記述変更	第20章 IEBusコントローラ
	21.1 概 要 記述追加	第21章 CANコントローラ

(2/8)

版 数	内 容	適応箇所
2版	21.6 (1) CANnグローバル制御レジスタ (CnGMCTRL) 記述追加	第21章 CANコントローラ
	21.6 (23) CANnメッセージ制御レジスタm (CnMCTRLm) 記述追加	
	図21-57 強制シャット・ダウン処理 記述変更	
	22.13 (7) CPUへのバス・アービトレーション 記述追加	第22章 DMA機能 (DMAコントローラ)
	27.1 (2) 緊急動作モード 記述変更	第27章 リセット機能
	表27-1 RESET端子入力時の各ハードウェアの状態 記述変更	
	表27-2 ウォッチドッグ・タイマ2によるリセット動作時の各ハードウェアの状態 記述変更	
	表27-3 低電圧検出回路によるリセット動作時の各ハードウェアの状態 記述変更	
	31.2 (1) コレクション・アドレス・レジスタ0-7 (CORAD0-CORAD7) 記述追加	第31章 ROMコレクション機能
	第32章 フラッシュ・メモリ (2) V850E/SK3-H 記述追加	第32章 フラッシュ・メモリ
	32.1 特 徴 記述追加	
	図32-1 フラッシュ・メモリ・マッピング 図追加	
	表32-6 V850E/SJ3-H, V850E/SK3-H フラッシュ書き込み用アダプタ (FA-144GJ-GAE-B, FA-176GM-GAR-B) の配線表 記述変更	
	図32-6 V850E/SJ3-Hフラッシュ書き込み用アダプタ (FA-144GJ-GAE-B) の配線例 (CSIB0+HSモード時) 記述変更	
	図32-7 V850E/SK3-Hフラッシュ書き込み用アダプタ (FA-176GM-GAR-B) の配線例 (CSIB0+HSモード時) 記述変更	
	第35章 電気的特性 追加	第35章 電気的特性
第37章 半田付け推奨条件 追加	第37章 半田付け推奨条件	
A.7 フラッシュ・メモリ書き込み用ツール 記述変更	付録A 開発ツール	
付録D 注意事項一覧 追加	付録D 注意事項一覧	
付録E 改版履歴 追加	付録E 改版履歴	
3版	<ul style="list-style-type: none"> <li>次の製品を追加  <math>\mu</math>PD70F3931GJA-GAE-G, 70F3932GJA-GAE-G, 70F3933GJA-GAE-G,  70F3934GJA-GAE-G, 70F3935GJA-GAE-G, 70F3936GJA-GAE-G,  70F3937GJA-GAE-G, 70F3938GJA-GAE-G, 70F3939GJA-GAE-G</li> <li>第19章 I<sup>2</sup>Cバスの備考 (n, mの値) を変更  n = 0-5, m = 0, 1, 3</li> </ul> $\mu$ PD70F3931 (V850E/SJ3-H), 70F3932 (V850E/SJ3-H), 70F3933 (V850E/SJ3-H) のみ : n = 0-3, m = 0, 1 $\mu$ PD70F3931 (V850E/SJ3-H), 70F3932 (V850E/SJ3-H), 70F3933 (V850E/SJ3-H) 以外 : n = 0-5, m = 0, 1, 3	全般
	表1-1 V850E/SJ3-H, V850E/SK3-Hの製品一覧 記述追加	第1章 イントロダクション
	1.2 特 徴 記述変更	
	1.4.1 V850E/SJ3-H 記述追加	
	1.5.1 V850E/SJ3-H 記述追加	
	1.6.1 (1) V850E/SJ3-H 記述追加	
	1.6.2 (3) ROM 記述追加	
	1.6.2 (7) クロック・ジェネレータ (CG) 記述変更	

( 3/8 )

版 数	内 容	適応箇所
3版	1. 6. 2 (13) シリアル・インタフェース 記述追加	第1章 インTRODクシヨソ
	1. 6. 2 (24) ポート 記述追加	
	2. 1 (1) ポート端子 記述追加	第2章 端子機能
	2. 1 (2) ポート以外の端子 記述追加	
	2. 4 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理 記述追加	第3章 CPU機能
	図3 - 1 アドレス空間上のイメージ 記述追加	
	図3 - 2 (b) 拡張内蔵RAMを使用しない場合 追加	
	図3 - 3 (b) 拡張内蔵RAMを使用しない場合 追加	
	3. 4. 4 (1) (a) 内蔵ROM (512 Kバイト) 追加	
	3. 4. 4 (1) (b) 内蔵ROM (768 Kバイト) 追加	
	3. 4. 4 (1) (c) 内蔵ROM (1024 Kバイト) 記述追加	
	3. 4. 4 (5) 外部メモリ領域 記述追加	
	3. 4. 4 (6) 拡張内蔵RAM領域 記述追加	
	3. 4. 4 (6) (a) 拡張内蔵RAM (16 Kバイト) 記述追加	
	3. 4. 4 (7) 製品選択レジスタ (PRDSEL) 記述追加	
	表3 - 3 製品名の設定例 記述追加	
	図3 - 14 (b) 拡張内蔵RAMを使用しない場合 追加	
	3. 4. 6 周辺I/Oレジスタ 記述追加	
	3. 4. 9 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについて 記述追加	
	表4 - 3 ポートの構成 (V850E/SJ3-H) 記述追加	第4章 ポート機能
	表4 - 6 ポート0の兼用端子 記述追加	
	4. 3. 1 (3) ポート0モード・コントロール・レジスタ (PMC0) 記述追加	
	4. 3. 1 (5) ポート0ファンクション・コントロール拡張レジスタ (PFCE0) ( $\mu$ PD70F3931 (V850E/SJ3-H), 70F3932 (V850E/SJ3-H), 70F3933 (V850E/SJ3-H) 以外) 記述追加	
	4. 3. 1 (6) ポート0の兼用機能の指定 記述追加	
	表4 - 12 ポート6の兼用端子 記述追加	
	4. 3. 7 (3) - (6) 記述追加	
	図4 - 23 タイプG - 7のブロック図 追加	
	図4 - 55 タイプU - 27のブロック図 記述変更	
	図4 - 63 タイプU - 35のブロック図 記述変更	
	図4 - 64 タイプU - 36のブロック図 追加	
	図4 - 65 タイプU - 37のブロック図 追加	
	図4 - 66 タイプU - 38のブロック図 追加	
	表4 - 25 ポート端子を兼用端子として使用する場合 記述追加	
5. 1 特 徴 記述変更	第5章 バス制御機能	
5. 3 メモリ・ブロック機能 記述追加		
図5 - 1 (a) 拡張内蔵RAMを使用する場合 記述追加		
図5 - 1 (b) 拡張内蔵RAMを使用しない場合 追加		

(4/8)

版 数	内 容	適応箇所	
3版	5.3.1(1) チップ領域セレクト・コントロール・レジスタ0,1 (CSC0, CSC1) 記述追加	第5章 バス制御機能	
	5.5.2(1) バス・サイズ・コンフィギュレーション・レジスタ (BSC) 記述変更		
	5.6.1(2) (a) 拡張内蔵RAMを使用する場合 ( $\mu$ PD70F3931 (V850E/SJ3-H), 70F3932 (V850E/SJ3-H), 70F3933 (V850E/SJ3-H) 以外) 記述追加		
	5.6.1(2) (b) 拡張内蔵RAMを使用しない場合 追加		
	5.6.4(1) アドレス・ウエイト・コントロール・レジスタ (AWC) 記述変更		
	5.7(1) バス・サイクル・コントロール・レジスタ (BCC) 記述変更		
	6.1 概 要 記述追加	第6章 クロック発生機能	
	表6-1 クロック・モードにおける各動作クロックの周波数範囲とソース・クロック 記述追加		
	図6-1 クロック・モード1のクロック発生回路 記述変更		
	6.2.1(1) (b) PLLI0ビット = 1 (2分周) の場合 追加		
	6.2.1(5) PLL 記述変更		
	6.2.1(7) プリスケアラ1 記述追加		
	図6-2 クロック・モード2のクロック発生回路 記述変更		
	6.2.2(1) (b) PLLI0ビット = 1 (2分周) の場合 追加		
	6.2.2(5), (6) 記述変更		
	6.2.2(7) プリスケアラ1 記述追加		
	図6-3 クロック・モード3のクロック発生回路 記述変更		
	6.2.3(1) (b) PLLI0ビット = 1 (2分周) の場合 追加		
	6.2.3(5), (6) 記述変更		
	6.2.3(7) プリスケアラ1 記述追加		
	図6-4 クロック・モード4のクロック発生回路 記述変更		
	6.2.4(5), (6) 記述変更		
	6.2.4(7) プリスケアラ1 記述追加		
	6.3(9) SSCG周波数コントロール・レジスタ0 (SFC0) 記述追加		
	表15-1 端子構成 記述追加		第15章 アシンクロナス・シリアル・インタフェースA (UARTA)
	15.1.1(5) UARTA4 記述追加		
	15.1.1(6) UARTA5 記述追加		
	15.6.10 受信データのノイズ・フィルタ 記述変更		
	図15-12 ノイズとして判断されるRXDAn信号のタイミング 記述変更	第16章 アシンクロナス・シリアル・インタフェースB (UARTB)	
	16.1 特 徴 記述変更		
	表16-5 ボー・レート・ジェネレータ設定データ 記述変更		
	表17-1 端子構成 記述追加	第17章 3線式可変長シリアル/O B (CSIB)	
	17.1.1(6) CSIB5 記述追加		
表18-1 3線式可変調シリアル/O E (CSIE) のチャンネル数 追加	第18章 3線式可変長シリアル/O E (CSIE)		
18.1.1 V850E/SJ3-H ( $\mu$ PD70F3931, 70F3932, 70F3933以外) の場合 記述追加			
18.3(2), (3) 記述追加			
18.4(1)-(5) 記述追加			

( 5/8 )

版 数	内 容	適応箇所
3版	第19章 I <sup>2</sup> Cバス 記述追加	第19章 I <sup>2</sup> Cバス
	表19 - 2 端子構成 記述追加	
	19. 1. 1 (5) I <sup>2</sup> C04 (μ PD70F3931, 70F3932, 70F3933以外) 記述追加	
	19. 1. 1 (6) I <sup>2</sup> C05 (μ PD70F3931, 70F3932, 70F3933以外) 記述追加	
	第19章 I <sup>2</sup> Cバス 備考 記述変更	
	19. 4 (1) - (5) , (7) - (9) 記述追加	
	20. 6 (1) DMA転送の起動要因の切り替え 記述追加	第20章 IEBusコントローラ
	21. 1 概 要 記述追加	第21章 CANコントローラ
	表22 - 1 DMA転送の起動要因 記述追加	第22章 DMA機能 (DMAコントローラ)
	第24章 割り込み / 例外処理機能 記述追加	第24章 割り込み / 例外処理機能
	24. 1 特 徴 記述追加	
	表24 - 1 割り込み要因一覧 記述追加	
	24. 3 マスカブル割り込み 記述追加	
	表24 - 2 割り込み制御レジスタ (xxICn) 記述追加	
	24. 3. 5 割り込みマスク・レジスタ0-6, 7L (IMR0-IMR6, IMR7L) 記述追加	
	表26 - 3 HALTモード時の動作状態 記述追加	第26章 スタンバイ機能
	表26 - 5 IDLE1モード時の動作状態 記述追加	
	表26 - 7 IDLE2モード時の動作状態 記述追加	
	表26 - 9 STOPモード時の動作状態 記述追加	
	表26 - 10 サブクロック動作モード時の動作状態 記述追加	
	表26 - 12 サブIDLEモード時の動作状態 記述追加	
	27. 1 (2) 緊急動作モード 記述追加	第27章 リセット機能
	31. 2 (1) コレクション・アドレス・レジスタ0-7 (CORAD0-CORAD7) 記述追加	第31章 ROMコレクション機能
	第32章 フラッシュ・メモリ (1) V850E/SJ3-H 記述追加	第32章 フラッシュ・メモリ
	32. 1 特 徴 記述追加	
	図32 - 1 (a) 512 Kバイト / 768 Kバイト / 1024 Kバイトの場合 追加	
	32. 4. 2 通信方式 記述削除	
	第33章 オプション・バイト機能 記述追加	第33章 オプション・バイト機能
	33. 2 オプション・バイト (0000007BH) 記述変更	
	第34章 オンチップ・デバッグ機能 記述追加	第34章 オンチップ・デバッグ機能
	34. 1. 3 マスク機能 追加	
	34. 2 DCUを使用しない方法 追加	
35. 4. 3 PLL特性 記述追加	第35章 電気的特性	
35. 4. 4 SSCG特性 記述追加		
35. 6. 2 電源電流 記述変更		
35. 9 (6) UARTBタイミング 記述変更		

(6/8)

版 数	内 容	適応箇所	
3版	35. 9(8)CSIEタイミング( $\mu$ PD70F3931(V850E/SJ3-H), 70F3932(V850E/SJ3-H), 70F3933 (V850E/SJ3-H) 以外) 記述変更	第35章 電気的特性	
	35. 9(9)I <sup>2</sup> Cバス・モード 記述変更		
	35. 10(3)プログラミング特性 記述変更		
	表37 - 1 表面実装タイプの半田付け条件 記述追加	第37章 半田付け推奨条件	
	図A - 1(4)MINICUBE2 QB-MINI2を使用する場合 追加	付録A 開発ツール	
	A. 4. 1 IECUBE QB-V850ESX3Hを使用する場合 記述追加		
	A. 4. 4 MINICUBE2 QB-MINI2を使用する場合 追加		
	A. 7 フラッシュ・メモリ書き込み用ツール 記述変更		
E. 2 前版までの改版履歴 追加	付録E 改版履歴		
4版	・次の製品を追加 (A)品 $\mu$ PD70F3474AGJA-GAE-G, 70F3475AGJA-GAE-G, 70F3476AGJA-GAE-G, 70F3477AGJA-GAE-G, 70F3478AGJA-GAE-G, 70F3479AGJA-GAE-G, 70F3480AGMA-GAR-G, 70F3481AGMA-GAR-G, 70F3482AGMA-GAR-G, 70F3486AGMA-GAR-G, 70F3487AGMA-GAR-G, 70F3488AGMA-GAR-G, 70F3925AGMA-GAR-G, 70F3926AGMA-GAR-G, 70F3927AGMA-GAR-G, 70F3931AGJA-GAE-G, 70F3932AGJA-GAE-G, 70F3933AGJA-GAE-G, 70F3934AGJA-GAE-G, 70F3935AGJA-GAE-G, 70F3936AGJA-GAE-G, 70F3937AGJA-GAE-G, 70F3938AGJA-GAE-G, 70F3939AGJA-GAE-G (A9)品 $\mu$ PD70F3474AGJA9-GAE-G, 70F3475AGJA9-GAE-G, 70F3476AGJA9-GAE-G, 70F3477AGJA9-GAE-G, 70F3478AGJA9-GAE-G, 70F3479AGJA9-GAE-G, 70F3480AGMA9-GAR-G, 70F3481AGMA9-GAR-G, 70F3482AGMA9-GAR-G, 70F3486AGMA9-GAR-G, 70F3487AGMA9-GAR-G, 70F3488AGMA9-GAR-G, 70F3925AGMA9-GAR-G, 70F3926AGMA9-GAR-G, 70F3927AGMA9-GAR-G, 70F3931AGJA9-GAE-G, 70F3932AGJA9-GAE-G, 70F3933AGJA9-GAE-G, 70F3934AGJA9-GAE-G, 70F3935AGJA9-GAE-G, 70F3936AGJA9-GAE-G, 70F3937AGJA9-GAE-G, 70F3938AGJA9-GAE-G, 70F3939AGJA9-GAE-G ・次の製品を削除 $\mu$ PD70F3474GJA-GAE-G, 70F3475GJA-GAE-G, 70F3476GJA-GAE-G, 70F3477GJA-GAE-G, 70F3478GJA-GAE-G, 70F3479GJA-GAE-G, 70F3480GMA-GAR-G, 70F3481GMA-GAR-G, 70F3482GMA-GAR-G, 70F3486GMA-GAR-G, 70F3487GMA-GAR-G, 70F3488GMA-GAR-G, 70F3925GMA-GAR-G, 70F3926GMA-GAR-G, 70F3927GMA-GAR-G, 70F3931GJA-GAE-G, 70F3932GJA-GAE-G, 70F3933GJA-GAE-G, 70F3934GJA-GAE-G, 70F3935GJA-GAE-G, 70F3936GJA-GAE-G, 70F3937GJA-GAE-G, 70F3938GJA-GAE-G, 70F3939GJA-GAE-G ・(A9)品のクロック・モード制限についての注, 注意追加	全般	
	表1 - 1 V850E/SJ3-H, V850E/SK3-Hの製品一覧 記述変更		第1章 イントロダクション
	1. 4. 1 V850E/SJ3-H 記述変更		
	1. 4. 2 V850E/SK3-H 記述変更		
	1. 5. 1 V850E/SJ3-H 記述変更		
	1. 5. 2 V850E/SK3-H 記述変更		

(7/8)

版 数	内 容	適応箇所
4版	2.1(1) ポート端子 注追加	第2章 端子機能
	2.1(2) ポート以外の端子 注追加	
	4.3.9(6) ポート8の兼用機能の指定 注追加	第4章 ポート機能
	表4-25 ポート端子を兼用端子として使用する場合 注追加	
	5.5.1 アクセス・クロック数 記述変更	第5章 バス制御機能
	6.2 クロック・モード 注意追加	第6章 クロック発生機能
	表6-1 クロック・モードにおける各動作クロックの周波数範囲とソース・クロック 注追加	
	図6-2 クロック・モード2のクロック発生回路 注意追加	
	図6-3 クロック・モード3のクロック発生回路 注意追加	
	図6-4 クロック・モード4のクロック発生回路 注意追加	
	6.2.5 クロック・モードの設定 注意追加	
	6.3 レジスタ 注意追加	
	6.3(9) SSCG周波数コントロール・レジスタ0 (SFC0) 注追加	
	図6-6 クロック・モード2-4使用時のクロック発生機能の設定手順 注意追加	
	図7-16 外部イベント・カウント・モードの基本タイミング 図変更	
	7.6.2 外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001) 記述変更	
	図7-17 外部イベント・カウント・モード動作時のレジスタ設定内容 記述変更	
	7.6.2(2)(a) TPnCCR0レジスタにFFFFHを設定した場合の動作 図変更	
	7.6.2(2)(b) TPnCCR0レジスタの書き換えに関する注意事項 図変更	
	図7-56 セレクタ機能のブロック図 追加	
	図8-5 一斉書き込みのタイミング 図変更および注変更	第8章 16ビット・タイマ/ イベント・カウンタQ (TMQ)
	図8-14 外部イベント・カウント・モードの基本タイミング 図変更	
	8.6.2 外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット = 001) 記述変更	
	図8-15 外部イベント・カウント・モード動作時のレジスタ設定内容 記述変更	
	8.6.2(2)(a) TQ0CCR0レジスタにFFFFHを設定した場合の動作 図変更	
	8.6.2(2)(b) TQ0CCR0レジスタの書き換えに関する注意事項 図変更	
	図10-2 プリスケアラ3のブロック図 図変更	第10章 時計機能
	10.4.4(1)(a) 動作フロー 追加	
	10.4.4(2)(a) 動作フロー 追加	
	10.5.3(2) リアルタイム・カウンタ・コントロール・レジスタ1 (RC1CC1) 注追加	
10.5.3(4) リアルタイム・カウンタ・コントロール・レジスタ3 (RC1CC3) 注追加		
図12-2 RTO0の動作タイミングとソフトウェア処理例 (EXTR0ビット = 0, BYTE0ビット = 0の場合) 図追加	第12章 リアルタイム出力 機能 (RTO)	
図12-3 RTOの動作フロー 追加		
図14-2 通常モード時の動作フロー 追加	第14章 D/Aコンバータ	
図14-3 リアルタイム出力モード時の動作フロー 追加		



( 8/8 )

版 数	内 容	適応箇所
4版	15. 6. 3 SBF送信 記述変更	第15章 アシクロナス・シリアル・インタフェースA (UARTA)
	図15 - 8 UART送信フロー 追加	
	図15 - 12 UART受信フロー 追加	
	表19 - 5 クロックの設定 注意追加	第19章 I <sup>2</sup> Cバス
	図20 - 14 オーバラン・エラーの発生タイミング 図変更	第20章 IEBusコントローラ
	20. 3 (17) IEBusクロック選択レジスタ (OCS2) 注意追加	
	22. 7 DMAチャンネルの優先順位 記述変更および図追加	第22章 DMA機能 (DMAコントローラ)
	22. 13 (10) DMAの起動要因 記述変更	第24章 割り込み / 例外処理機能
	24. 2. 2 (2) INTWDT2信号の場合 記述追加	
	24. 3. 8 ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2) 記述変更	
	表26 - 7 IDLE2モード時の動作状態 記述追加	
	表26 - 9 STOPモード時の動作状態 記述追加	
	図26 - 2 クロック・モード2-4使用時の状態遷移図 注意追加	第26章 スタンバイ機能
	33. 2 オプション・バイト (0000007BH) 注意追加	第33章 オプション・バイト機能
	35. 7 (1) STOPモード時 記述変更	第35章 電気的特性 (A)品)
第36章 電気的特性 ((A9)品) 追加	第36章 電気的特性 ((A9)品)	
表38 - 1 表面実装タイプの半田付け条件 記述変更	第38章 半田付け推奨条件	

---

V850E/SJ3-H, V850E/SK3-H ユーザーズマニュアル ハードウェア編

発行年月日      2008年7月21日 Rev.0.01  
                    2012年2月29日 Rev.5.00

発行                ルネサス エレクトロニクス株式会社  
                    〒211-8668 神奈川県川崎市中原区下沼部 1753

---



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/contact/>

V850E/SJ3-H, V850E/SK3-H