

V850ES/JG3-U, V850ES/JH3-U

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

V850ES/Jx3-U マイクロコントローラ

V850ES/JG3-U

μPD70F3763

μPD70F3764

V850ES/JH3-U

μPD70F3768

μPD70F3769

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

- 対象者** このマニュアルは、V850ES/JG3-U、V850ES/JH3-Uの機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850ES/JG3-U、V850ES/JH3-Uのユーザズ・マニュアルは、ハードウェア編(このマニュアル)と、アーキテクチャ編(V850ES ユーザズ・マニュアル アーキテクチャ編)の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

一通りV850ES/JG3-U、V850ES/JH3-Uの機能を理解しようとするとき
目次に従ってお読みください。

レジスタ名がわかっていて、レジスタの詳細を確認するとき
付録C レジスタ索引を利用してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

命令機能の詳細を理解しようとするとき

別冊のV850ES ユーザズ・マニュアル アーキテクチャ編を参照してください。

V850ES/JG3-U、V850ES/JH3-Uの電気的特性を知りたいとき

第33章 電気的特性を参照してください。

このマニュアルでは、「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ/アセンブラは正しく認識できませんので、注意してください。

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この“ ”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

- 凡 例**
- データ表記の重み：左が上位桁，右が下位桁
 - アクティブ・ロウの表記：xxx（端子，信号名称に上線）
 - メモリ・マップのアドレス：上部 - 上位，下部 - 下位
 - 注：本文中に付けた注の説明
 - 注意：気を付けて読んでいただきたい内容
 - 備考：本文の補足説明
 - 数の表記：2進数 ... xxxxまたはxxxxB
 - 10進数 ... xxxx
 - 16進数 ... xxxxH
 - 2のべき数を示す接頭語（アドレス空間，メモリ容量）：
 - K（キロ）： $2^{10} = 1024$
 - M（メガ）： $2^{20} = 1024^2$
 - G（ギガ）： $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850ES/JG3-U, V850ES/JH3-Uに関する資料

資料名	資料番号
V850ES ユーザーズ・マニュアル アーキテクチャ編	U15943J
V850ES/JG3-U, V850ES/JH3-U ユーザーズ・マニュアル ハードウェア編	このマニュアル

開発ツールに関する資料(ユーザーズ・マニュアル)

資料名	資料番号	
QB-V850ESJX3H インサーキット・エミュレータ	U19170J	
QB-V850MINI オンチップ・デバッグ・エミュレータ	U17638J	
QB-MINI2 フラッシュ・プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	
CA850 Ver.3.20 Cコンパイラ・パッケージ	操作編	U18512J
	C言語編	U18513J
	アセンブリ言語編	U18514J
	リンク・ディレクティブ編	U18515J
PM+ Ver.6.30 プロジェクト・マネージャ	U18416J	
ID850QB Ver.3.40 統合デバッガ	操作編	U18604J
SM850 Ver.2.50 システム・シミュレータ	操作編	U16218J
SM850 Ver.2.00以上 システム・シミュレータ	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
SM+ システム・シミュレータ	操作編	U18601J
	ユーザ・オープン・インタフェース編	U18212J
RX850 Ver.3.20 リアルタイムOS	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッグ編	U17420J
RX850 Pro Ver.3.21 リアルタイムOS	基礎編	U18165J
	インストレーション編	U17421J
	タスク・デバッグ編	U17422J
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ	U17423J	
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	

注意：本製品は、Silicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

EEPROM, IECUBE, MINICUBEはルネサス エレクトロニクス株式会社の登録商標です。

Windows, Windows XPおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

PC/ATは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

TRONはThe Realtime Operating System Nucleusの略称です。

ITRONはIndustrial TRONの略称です。

目 次

第1章 イン트로ダクション	20
1.1 概 説	20
1.2 特 徴	23
1.3 応用分野	25
1.4 オーダ情報	25
1.5 端子接続図 (Top View)	26
1.6 機能ブロック構成	29
1.6.1 内部ブロック図	29
1.6.2 内部ユニット	31
第2章 端子機能	35
2.1 端子機能一覧	35
2.2 端子状態	49
2.3 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理	50
2.4 注意事項	55
第3章 CPU機能	56
3.1 特 徴	56
3.2 CPUレジスタ・セット	57
3.2.1 プログラム・レジスタ・セット	58
3.2.2 システム・レジスタ・セット	59
3.3 動作モード	65
3.3.1 動作モード指定	65
3.4 アドレス空間	66
3.4.1 CPUアドレス空間	66
3.4.2 CPUアドレス空間のラップ・アラウンド	67
3.4.3 メモリ・マップ	68
3.4.4 領 域	70
3.4.5 アドレス空間の推奨使用方法	74
3.4.6 周辺I/Oレジスタ	77
3.4.7 特定レジスタ	91
3.4.8 注意事項	95
第4章 ポート機能	99
4.1 特 徴	99
4.2 ポートの基本構成	99
4.3 ポートの構成	101
4.3.1 ポート0	107
4.3.2 ポート1	112
4.3.3 ポート2 (V850ES/JH3-Uのみ)	113
4.3.4 ポート3	117
4.3.5 ポート4	122
4.3.6 ポート5	125

4.3.7	ポート6	132
4.3.8	ポート7	136
4.3.9	ポート9	138
4.3.10	ポートCM	148
4.3.11	ポートCS (V850ES/JH3-Uのみ)	151
4.3.12	ポートCT	153
4.3.13	ポートDH (V850ES/JH3-Uのみ)	156
4.3.14	ポートDL	158
4.4	兼用機能使用時のポートのレジスタ設定	160
4.5	注意事項	171
4.5.1	ポート端子設定上の注意事項	171
4.5.2	ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項	174
4.5.3	オンチップ・デバッグ用端子に関する注意事項 (V850ES/JG3-Uのみ)	175
4.5.4	P56/INTP05/DRST端子に関する注意事項	175
4.5.5	P10, P11, P53端子に関する電源投入時の注意事項	175
4.5.6	ヒステリシス特性について	175
第5章 バス制御機能		176
5.1	特徴	176
5.2	バス制御端子	177
5.2.1	内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態	178
5.2.2	各動作モードの端子状態	178
5.3	メモリ・ブロック機能	179
5.4	バス・アクセス	180
5.4.1	アクセス・クロック数	180
5.4.2	バス・サイズ設定機能	180
5.4.3	バス・サイズによるアクセス	181
5.5	ウェイト機能	188
5.5.1	プログラマブル・ウェイト機能	188
5.5.2	外部ウェイト機能	189
5.5.3	プログラマブル・ウェイトと外部ウェイトの関係	190
5.5.4	プログラマブル・アドレス・ウェイト機能	191
5.6	アイドル・ステート挿入機能	192
5.7	バス・ホールド機能 (V850ES/JH3-Uのみ)	193
5.7.1	機能概要	193
5.7.2	バス・ホールド手順	194
5.7.3	パワー・セーブ・モード時の動作	194
5.8	バスの優先順位	195
5.9	バス・タイミング	196
第6章 クロック発生機能		199
6.1	概要	199
6.2	構成	200
6.3	レジスタ	202
6.4	動作	207
6.4.1	各クロックの動作	207
6.4.2	クロック出力機能	207
6.5	PLL機能	208
6.5.1	概要	208

6.5.2	レジスタ	208
6.5.3	使用方法	212
第7章 16ビット・タイマ/イベント・カウンタAA (TAA)		213
7.1	概要	213
7.2	機能	213
7.3	構成	214
7.3.1	端子の構成	216
7.4	レジスタ	217
7.5	動作	234
7.5.1	インターバル・タイマ・モード (TAA _n MD2-TAA _n MD0ビット = 000)	240
7.5.2	外部イベント・カウント・モード (TAA _n MD2-TAA _n MD0ビット = 001)	250
7.5.3	外部トリガ・パルス出力モード (TAA _n MD2-TAA _n MD0ビット = 010)	258
7.5.4	ワンショット・パルス出力モード (TAA _n MD2-TAA _n MD0ビット = 011)	270
7.5.5	PWM出力モード (TAA _n MD2-TAA _n MD0ビット = 100)	277
7.5.6	フリー・ランニング・タイマ・モード (TAA _n MD2-TAA _n MD0ビット = 101)	286
7.5.7	パルス幅測定モード (TAA _n MD2-TAA _n MD0ビット = 110)	303
7.5.8	タイマ出力動作説明	309
7.6	タイマ同調動作機能	310
7.6.1	フリー・ランニング・タイマ・モード (タイマ同調動作時)	312
7.6.2	PWM出力モード (タイマ同調動作時)	319
7.7	同時スタート機能	321
7.7.1	PWM出力モード (同時スタート動作)	322
7.8	カスケード接続	324
7.9	セレクト機能	329
7.10	注意事項	330
第8章 16ビット・タイマ/イベント・カウンタAB (TAB)		331
8.1	概要	331
8.2	機能	331
8.3	構成	332
8.4	レジスタ	335
8.5	動作	352
8.5.1	インターバル・タイマ・モード (TAB _n MD2-TAB _n MD0ビット = 000)	353
8.5.2	外部イベント・カウント・モード (TAB _n MD2-TAB _n MD0ビット = 001)	362
8.5.3	外部トリガ・パルス出力モード (TAB _n MD2-TAB _n MD0ビット = 010)	371
8.5.4	ワンショット・パルス出力モード (TAB _n MD2-TAB _n MD0ビット = 011)	384
8.5.5	PWM出力モード (TAB _n MD2-TAB _n MD0ビット = 100)	393
8.5.6	フリー・ランニング・タイマ・モード (TAB _n MD2-TAB _n MD0ビット = 101)	404
8.5.7	パルス幅測定モード (TAB _n MD2-TAB _n MD0ビット = 110)	424
8.5.8	三角波PWMモード (TAB _n MD2-TAB _n MD0ビット = 111)	430
8.5.9	タイマ出力動作説明	432
8.6	タイマ同調動作機能/同時スタート機能	433
8.7	注意事項	434
第9章 16ビット・タイマ/イベント・カウンタT (TMT)		435
9.1	概要	435
9.2	機能	435
9.3	構成	436

9.3.1	端子の構成	439
9.4	レジスタ	440
9.5	タイマ出力動作説明	461
9.6	動作	462
9.6.1	インターバル・タイマ・モード (TT0MD3-TT0MD0ビット = 0000)	471
9.6.2	外部イベント・カウント・モード (TT0MD3-TT0MD0ビット = 0001)	481
9.6.3	外部トリガ・パルス出力モード (TT0MD3-TT0MD0ビット = 0010)	491
9.6.4	ワンショット・パルス出力モード (TT0MD3-TT0MD0ビット = 0011)	504
9.6.5	PWM出力モード (TT0MD3-TT0MD0ビット = 0100)	511
9.6.6	フリー・ランニング・タイマ・モード (TT0MD3-TT0MD0ビット = 0101)	520
9.6.7	パルス幅測定モード (TT0MD3-TT0MD0ビット = 0110)	538
9.6.8	三角波PWM出力モード (TT0MD3-TT0MD0ビット = 0111)	544
9.6.9	エンコーダ・カウント機能	546
9.6.10	エンコーダ・コンペア・モード (TT0MD3-TT0MD0ビット = 1000)	562
第10章	16ビット・インターバル・タイマM (TMM)	570
10.1	概要	570
10.2	構成	571
10.3	レジスタ	573
10.4	動作	575
10.4.1	インターバル・タイマ・モード	575
10.4.2	注意事項	579
第11章	モータ制御機能	580
11.1	機能概要	580
11.2	構成	581
11.3	レジスタ	585
11.4	動作	596
11.4.1	システム概要説明	596
11.4.2	デッド・タイム制御 (逆相波信号の生成)	601
11.4.3	割り込み間引き機能	608
11.4.4	転送機能付きレジスタの書き換え操作	615
11.4.5	A/D変換開始トリガ信号出力用TAA4の同調動作	633
11.4.6	A/D変換開始トリガ出力機能	637
第12章	リアルタイム・カウンタ	642
12.1	機能	642
12.2	構成	643
12.2.1	端子の構成	645
12.2.2	割り込み機能	645
12.3	レジスタ	646
12.4	動作	661
12.4.1	初期設定	661
12.4.2	リアルタイム・カウンタ動作中の各カウンタの書き換え	662
12.4.3	リアルタイム・カウンタ動作中の各カウンタの読み出し	663
12.4.4	リアルタイム・カウンタ動作中のINTRTC0割り込み設定の変更	664
12.4.5	リアルタイム・カウンタ動作中のINTRTC1割り込み設定の変更	665
12.4.6	INTRTC2割り込みの初期設定	666

12.4.7	リアルタイム・カウンタ動作中のINTRTC2割り込み設定の変更	667
12.4.8	リアルタイム・カウンタの初期化	668
12.4.9	リアルタイム・カウンタの時計誤差補正例	669
第13章	ウォッチドッグ・タイマ2機能	673
13.1	機能	673
13.2	構成	674
13.3	レジスタ	675
13.4	動作	677
第14章	リアルタイム出力機能 (RTO)	678
14.1	機能	678
14.2	構成	679
14.3	レジスタ	681
14.4	動作	683
14.5	使用方法	684
14.6	注意事項	684
第15章	A/Dコンバータ	685
15.1	概要	685
15.2	機能	685
15.3	構成	686
15.4	レジスタ	689
15.5	動作	700
15.5.1	基本動作	700
15.5.2	変換動作タイミング	701
15.5.3	トリガ・モード	702
15.5.4	動作モード	704
15.5.5	パワー・フェイル比較モード	708
15.6	注意事項	713
15.7	A/Dコンバータ特性表の読み方	717
第16章	D/Aコンバータ	721
16.1	機能	721
16.2	構成	721
16.3	レジスタ	722
16.4	動作	724
16.4.1	通常モード時の動作	724
16.4.2	リアルタイム出力モード時の動作	724
16.4.3	使用上の注意点	725
第17章	アシンクロナス・シリアル・インタフェースC (UARTC)	726
17.1	特徴	726
17.2	構成	727
17.3	UARTCとほかのシリアル・インタフェースのモード切り替え	729
17.3.1	UARTC0とCSIF4とのモード切り替え	729
17.3.2	UARTC1とI ² C02のモード切り替え	730
17.3.3	UARTC2とCSIF3のモード切り替え	731

17.3.4	UARTC3とI ² C00のモード切り替え	732
17.3.5	UARTC4とCSIF0とI ² C01のモード切り替え	733
17.4	レジスタ	734
17.5	割り込み要求信号	744
17.6	動作	745
17.6.1	データ・フォーマット	745
17.6.2	SBF送信/受信フォーマット	747
17.6.3	SBF送信	749
17.6.4	SBF受信	750
17.6.5	UART送信	751
17.6.6	連続送信の手順説明	752
17.6.7	UART受信	754
17.6.8	受信エラー	756
17.6.9	パリティの種類と動作	758
17.6.10	受信データのノイズ・フィルタ	759
17.7	専用ボー・レート・ジェネレータ	760
17.8	注意事項	768
第18章 3線式可変長シリアルI/O (CSIF)		769
18.1	CSIFとほかのシリアル・インタフェースのモード切り替え	769
18.1.1	CSIF4とUARTC0のモード切り替え	769
18.1.2	CSIF0とUARTC4とI ² C01のモード切り替え	770
18.1.3	CSIF3とUARTC2のモード切り替え	771
18.2	特徴	772
18.3	構成	773
18.4	レジスタ	776
18.5	割り込み要求信号	783
18.6	動作	784
18.6.1	シングル転送モード(マスタ・モード, 送信モード)	784
18.6.2	シングル転送モード(マスタ・モード, 受信モード)	786
18.6.3	シングル転送モード(マスタ・モード, 送受信モード)	788
18.6.4	シングル転送モード(スレーブ・モード, 送信モード)	790
18.6.5	シングル転送モード(スレーブ・モード, 受信モード)	792
18.6.6	シングル転送モード(スレーブ・モード, 送受信モード)	794
18.6.7	連続転送モード(マスタ・モード, 送信モード)	796
18.6.8	連続転送モード(マスタ・モード, 受信モード)	798
18.6.9	連続転送モード(マスタ・モード, 送受信モード)	801
18.6.10	連続転送モード(スレーブ・モード, 送信モード)	805
18.6.11	連続転送モード(スレーブ・モード, 受信モード)	807
18.6.12	連続転送モード(スレーブ・モード, 送受信モード)	810
18.6.13	受信エラー	814
18.6.14	クロック・タイミング	815
18.7	出力端子	817
18.8	ボー・レート・ジェネレータ	818
18.8.1	ボー・レートの生成	819
18.9	注意事項	820
第19章 I ² Cバス		821
19.1	I ² Cバスとほかのシリアル・インタフェースのモード切り替え	821

19.1.1	UARTC3とI ² C00のモード切り替え	821
19.1.2	UARTC4とCSIF0とI ² C01のモード切り替え	822
19.1.3	UARTC1とI ² C02のモード切り替え	823
19.2	特 徴	824
19.3	構 成	825
19.4	レジスタ	829
19.5	I ² Cバス・モードの機能	844
19.5.1	端子構成	844
19.6	I ² Cバスの定義および制御方法	845
19.6.1	スタート・コンディション	846
19.6.2	アドレス	847
19.6.3	転送方向指定	848
19.6.4	アクノリッジ (ACK)	849
19.6.5	ストップ・コンディション	850
19.6.6	ウエイト	851
19.6.7	ウエイト解除方法	853
19.7	I ² C割り込み要求信号 (INTIICn)	854
19.7.1	マスタ動作	854
19.7.2	スレーブ動作 (スレーブ・アドレス・データ受信時 (アドレス一致))	857
19.7.3	スレーブ動作 (拡張コード受信時)	861
19.7.4	通信不参加の動作	865
19.7.5	アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)	866
19.7.6	アービトレーション負けの動作 (アービトレーション負けのあと、不参加)	868
19.8	割り込み要求信号 (INTIICn) 発生タイミングおよびウエイト制御	875
19.9	アドレスの一致検出方法	877
19.10	エラーの検出	877
19.11	拡張コード	877
19.12	アービトレーション	878
19.13	ウエイク・アップ機能	879
19.14	通信予約	880
19.14.1	通信予約機能許可の場合 (IICFn.IICRSVnビット = 0)	880
19.14.2	通信予約機能禁止の場合 (IICFn.IICRSVnビット = 1)	884
19.15	注意事項	885
19.16	通信動作	886
19.16.1	シングルマスタ・システムでのマスタ動作	887
19.16.2	マルチマスタ・システムでのマスタ動作	888
19.16.3	スレーブ動作	891
19.17	データ通信のタイミング	895
第20章 USBファンクション・コントローラ (USBF)		902
20.1	概 要	902
20.2	構 成	903
20.2.1	ブロック図	903
20.2.2	USBメモリ・マップ	904
20.3	外部回路構成	905
20.3.1	概 要	905
20.3.2	接続構成	906
20.4	注意事項	908
20.5	リクエスト	909
20.5.1	自動リクエスト	909

20.5.2	その他のリクエスト	917
20.6	レジスタ構成	918
20.6.1	USB制御レジスタ	918
20.6.2	USBファンクション・コントローラ・レジスタ一覧	920
20.6.3	EPC制御レジスタ	936
20.6.4	データ保持レジスタ	993
20.6.5	EPCリクエスト・データ・レジスタ	1016
20.6.6	ブリッジ・レジスタ	1031
20.6.7	DMAレジスタ	1035
20.6.8	バルク・イン・レジスタ	1039
20.6.9	バルク・アウト・レジスタ	1040
20.6.10	周辺制御レジスタ	1042
20.7	STALLハンドシェークまたはノー・ハンドシェーク	1046
20.8	特定状態でのレジスタ値	1047
20.9	FW処理	1049
20.9.1	初期化処理	1051
20.9.2	割り込み処理	1054
20.9.3	USBメイン処理	1055
20.9.4	Suspend/Resume処理	1082
20.9.5	電源投入後の処理	1085
20.9.6	DMAモードによるバルク転送 (OUT) のデータ受信方法	1088
20.9.7	DMAモードによるバルク転送 (IN) のデータ送信方法	1093
第21章 USBホスト・コントローラ (USBH)		1098
21.1	概要	1098
21.2	構成	1099
21.2.1	ブロック図	1099
21.2.2	USBホスト・コントローラ・メモリ・マップ	1100
21.2.3	データ・アクセス注意事項	1101
21.3	外部回路構成	1102
21.3.1	概要	1102
21.3.2	接続構成	1103
21.3.3	USB電源について	1104
21.4	注意事項	1105
21.5	制御レジスタ	1106
21.5.1	USB制御レジスタ	1106
21.6	PCIホスト・ブリッジ	1107
21.6.1	PCIホスト・ブリッジの機能	1107
21.6.2	PCIホスト・ブリッジ・レジスタ	1108
21.7	OHCIホスト・コントローラ	1119
21.7.1	OHCIホスト・コントローラの機能	1119
21.7.2	OHCIホスト・コンフィグレーション・レジスタ	1120
21.7.3	OHCI Operational レジスタ	1133
21.7.4	USBホスト・コントローラからの割り込み	1162
第22章 DMA機能 (DMAコントローラ)		1165
22.1	特徴	1165
22.2	構成	1166
22.3	レジスタ	1167

22. 4	転送対象	1176
22. 5	転送モード	1176
22. 6	転送タイプ	1177
22. 7	DMAチャンネルの優先順位	1178
22. 8	DMA転送に関する各種時間	1178
22. 9	DMA転送起動要因	1179
22. 10	DMAの中断要因	1180
22. 11	DMA転送の終了	1180
22. 12	動作タイミング	1180
22. 13	注意事項	1185
第23章 割り込み / 例外処理機能		1190
23. 1	特 徴	1190
23. 2	ノンマスカブル割り込み	1201
23. 2. 1	動 作	1204
23. 2. 2	復 帰	1205
23. 2. 3	NPフラグ	1206
23. 3	マスカブル割り込み	1207
23. 3. 1	動 作	1207
23. 3. 2	復 帰	1209
23. 3. 3	マスカブル割り込みの優先順位	1210
23. 3. 4	割り込み制御レジスタ (xxICn)	1214
23. 3. 5	割り込みマスク・レジスタ0-5 (IMR0-IMR5)	1218
23. 3. 6	インサースビス・プライオリティ・レジスタ (ISPR)	1220
23. 3. 7	IDフラグ	1221
23. 3. 8	ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)	1221
23. 4	ソフトウェア例外	1222
23. 4. 1	動 作	1222
23. 4. 2	復 帰	1223
23. 4. 3	EPフラグ	1224
23. 5	例外トラップ	1225
23. 5. 1	不正命令コード	1225
23. 5. 2	デバッグ・トラップ	1227
23. 6	外部割り込み要求入力端子 (NMI, INTP00-INTP18)	1229
23. 6. 1	ノイズ除去	1229
23. 6. 2	エッジ検出	1229
23. 7	CPUの割り込み応答時間	1237
23. 8	CPUが割り込みを受け付けない期間	1238
23. 9	注意事項	1238
第24章 キー割り込み機能		1239
24. 1	機 能	1239
24. 2	レジスタ	1240
24. 3	注意事項	1240
第25章 スタンバイ機能		1241
25. 1	概 要	1241
25. 2	レジスタ	1243
25. 3	HALTモード	1246
25. 3. 1	設定および動作状態	1246

25.3.2	HALTモードの解除	1246
25.4	IDLE1モード	1248
25.4.1	設定および動作状態	1248
25.4.2	IDLE1モードの解除	1249
25.5	IDLE2モード	1251
25.5.1	設定および動作状態	1251
25.5.2	IDLE2モードの解除	1252
25.5.3	IDLE2モード解除時のセットアップ時間の確保	1254
25.6	STOPモード	1255
25.6.1	設定および動作状態	1255
25.6.2	STOPモードの解除	1255
25.6.3	STOPモード解除時の発振安定時間の確保	1258
25.7	サブクロック動作モード	1259
25.7.1	設定および動作状態	1259
25.7.2	サブクロック動作モードの解除	1259
25.8	サブIDLEモード	1261
25.8.1	設定および動作状態	1261
25.8.2	サブIDLEモードの解除	1261
第26章	リセット機能	1263
26.1	概 要	1263
26.2	リセット要因を確認するレジスタ	1264
26.3	動 作	1265
26.3.1	RESET端子によるリセット動作	1265
26.3.2	ウォッチドッグ・タイマ2によるリセット動作	1267
26.3.3	低電圧検出回路によるリセット動作	1269
26.3.4	リセット解除後の動作	1270
26.3.5	リセット機能の動作フロー	1271
第27章	クロック・モニタ	1272
27.1	機 能	1272
27.2	構 成	1273
27.3	レジスタ	1274
27.4	動 作	1275
27.3	レジスタ	1278
27.4	動 作	1279
第28章	低電圧検出回路 (LVI)	1282
28.1	機 能	1282
28.2	構 成	1282
28.3	レジスタ	1283
28.4	動 作	1285
28.4.1	内部リセット信号として使用する場合	1285
28.4.2	割り込みとして使用する場合	1286
28.5	RAM保持電圧検出動作	1287
第29章	CRC機能	1288
29.1	機 能	1288

29.2	構 成	1288
29.3	レジスタ	1289
29.4	動 作	1290
29.5	使用方法	1291
第30章 レギュレータ		1293
30.1	概 要	1293
30.2	動 作	1294
第31章 フラッシュ・メモリ		1295
31.1	特 徴	1295
31.2	メモリ構成	1296
31.3	機能概要	1297
31.4	フラッシュ・メモリ・プログラマでの書き換え	1300
31.4.1	プログラミング環境	1300
31.4.2	通信方式	1301
31.4.3	フラッシュ・メモリ制御	1315
31.4.4	通信方式の選択	1316
31.4.5	通信コマンド	1317
31.4.6	端子処理	1318
31.5	セルフ・プログラミングによる書き換え	1322
31.5.1	概 要	1322
31.5.2	特 徴	1323
31.5.3	標準セルフ・プログラミング・フロー	1324
31.5.4	フラッシュ関数一覧	1325
31.5.5	端子処理	1325
31.5.6	使用する内部資源	1326
31.6	書き込み済み品発注用ROMコードの作成方法	1327
31.6.1	ROMコードの発注手順	1327
第32章 オンチップ・デバッグ機能		1328
32.1	DCUを使用する方法	1329
32.1.1	接続回路例	1329
32.1.2	インタフェース信号	1330
32.1.3	マスク機能	1331
32.1.4	レジスタ	1332
32.1.5	動 作	1334
32.1.6	注意事項	1335
32.2	DCUを使用しない方法	1336
32.2.1	接続回路例	1336
32.2.2	マスク機能	1339
32.2.3	ユーザ資源の確保	1340
32.2.4	注意事項	1347
32.3	ROMセキュリティ機能	1348
32.3.1	セキュリティID	1348
32.3.2	設定方法	1349
第33章 電気的特性		1351

33.1	絶対最大定格.....	1351
33.2	容 量.....	1353
33.3	動作条件.....	1353
33.4	発振回路特性.....	1354
33.4.1	メイン・クロック発振回路特性.....	1354
33.4.2	サブクロック発振回路特性.....	1356
33.4.3	PLL特性.....	1357
33.4.4	内蔵発振器特性.....	1357
33.5	DC特性.....	1358
33.5.1	入出力レベル.....	1358
33.5.2	電源電流.....	1360
33.6	データ保持特性.....	1361
33.7	AC特性.....	1362
33.7.1	CLKOUT出力タイミング.....	1363
33.7.2	バス・タイミング.....	1364
33.8	基本動作.....	1371
33.9	フラッシュ・メモリ・プログラミング特性.....	1383
第34章 外形図.....		1384
第35章 半田付け推奨条件.....		1386
付録A 開発ツール.....		1388
A.1	ソフトウェア・パッケージ.....	1390
A.2	言語処理用ソフトウェア.....	1390
A.3	制御ソフトウェア.....	1390
A.4	デバッグ用ツール(ハードウェア).....	1391
A.4.1	IECUBE QB-V850ESJX3Hを使用する場合.....	1391
A.4.2	MINICUBE QB-V850MINIを使用する場合.....	1394
A.4.3	MINICUBE2 QB-MINI2を使用する場合.....	1395
A.5	デバッグ用ツール(ソフトウェア).....	1396
A.6	組み込み用ソフトウェア.....	1397
A.7	フラッシュ・メモリ書き込み用ツール.....	1397
付録B V850ES/Jx3-UとV850ES/Jx3とのおもな違い.....		1398
付録C レジスタ索引.....		1399
付録D 命令セット一覧.....		1423
D.1	凡 例.....	1423
D.2	インストラクション・セット(アルファベット順).....	1426
付録E 改版履歴.....		1432
E.1	本版で改訂された主な箇所.....	1432
E.2	前版までの改版履歴.....	1433

第1章 イントロダクション

V850ES/JG3-U, V850ES/JH3-Uは, ルネサス エレクトロニクスのリアルタイム制御向けシングルチップ・マイクロコントローラV850マイコンのロウ・パワー・シリーズの1製品です。

1.1 概 説

V850ES/JG3-U, V850ES/JH3-Uは, V850ES CPUコアを使用し, ROM/RAM, タイマ/カウンタ, シリアル・インタフェース, A/Dコンバータ, D/Aコンバータ, DMAコントローラ, USBファンクション・コントローラ, USBホスト・コントローラなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコントローラです。

V850ES/JG3-U, V850ES/JH3-Uは, 高いリアルタイム応答性と1クロック・ピッチの基本命令に加え, ハードウェア乗算器による乗算命令, 飽和演算命令, ビット操作命令などを持っています。

表1 - 1にV850ES/JG3-Uの製品一覧を, 表1 - 2にV850ES/JH3-Uの製品一覧を示します。

表1-1 V850ES/JG3-Uの製品一覧

愛称		V850ES/JG3-U	
品名		μ PD70F3763	μ PD70F3764
内部メモリ	フラッシュ・メモリ	384 Kバイト	512 Kバイト
	RAM ^{注1}	48 Kバイト	56 Kバイト
メモリ空間	論理空間	64 Mバイト	
	外部メモリ領域	64 Kバイト	
外部バス・インタフェース		アドレス/データ・バス：16本 マルチプレクス・バス	
汎用レジスタ		32ビット×32レジスタ	
クロック	メイン・クロック	PLLモード時： $f_x = 3 \sim 6$ MHz, $f_{xx} = 24 \sim 48$ MHz (8通倍) クロック・スルー・モード： $f_x = 3 \sim 6$ MHz (内部： $f_{xx} = 3 \sim 6$ MHz)	
	サブクロック	$f_{XT} = 32.768$ kHz	
	内蔵発振器	$f_R = 220$ kHz (TYP.)	
	最小命令実行時間	20.8 ns (メイン・クロック (f_{xx}) = 48 MHz動作時)	
I/Oポート (5Vトレラント)		入出力：75本 (20本)	
タイマ	16ビットTAA	6チャンネル (うち1チャンネルはインターバル機能のみ)	
	16ビットTAB	2チャンネル	
	16ビットTMM	4チャンネル	
	16ビットTMT	1チャンネル	
	モータ制御	1チャンネル (TAAとTABと組み合わせて機能, Hi-Z出力制御機能あり)	
	時計タイマ	1チャンネル (RTC)	
	WDT	1チャンネル	
リアルタイム出力機能		6ビット×1チャンネル	
10ビットA/Dコンバータ		12チャンネル	
8ビットD/Aコンバータ		2チャンネル	
インタフェース	CSIF/UARTC	2チャンネル	2チャンネル
	CSIF/UARTC/I ² C	1チャンネル	1チャンネル
	CSIF	2チャンネル	2チャンネル
	UARTC/I ² C	2チャンネル	2チャンネル
	USBホスト	1チャンネル	1チャンネル
	USBファンクション	1チャンネル	1チャンネル
DMAコントローラ		4チャンネル (転送対象：内蔵周辺I/O, 内蔵RAM, 外部メモリ)	
割り込み要因	外部 ^{注2,3}	15 (15)	15 (15)
	内部	72	72
パワー・セーブ機能		HALT / IDLE1 / IDLE2 / STOP / サブクロック / サブIDLEモード	
リセット要因		RESET端子入力, ウォッチドッグ・タイマ2 (WDT2), クロック・モニタ (CLM), 低電圧検出回路 (LVI)	
オンチップ・デバッグ		MINICUBE®, MINICUBE2対応	
動作電源電圧		2.85 ~ 3.6 V	
動作周囲温度		- 40 ~ + 85	
パッケージ		100ピン・プラスチックLQFP (ファインピッチ) (14 × 14 mm)	

注1. データ専用RAM領域8 Kバイトを含みます。

2. ()内はSTOPモード解除可能な外部割り込み本数です。

3. NMIを含みます。

表1-2 V850ES/JH3-Uの製品一覧

愛称		V850ES/JH3-U	
品名		μ PD70F3768	μ PD70F3769
内部メモリ	フラッシュ・メモリ	384 Kバイト	512 Kバイト
	RAM ^{注1}	48 Kバイト	56 Kバイト
メモリ空間	論理空間	64 Mバイト	
	外部メモリ領域	13 Mバイト	
外部バス・インタフェース		アドレス・バス：24本 アドレス/データ・バス：16本 セバレート・バス/マルチプレクス・バス	
汎用レジスタ		32ビット×32レジスタ	
クロック	メイン・クロック	PLLモード時： $f_x = 3 \sim 6$ MHz, $f_{xx} = 24 \sim 48$ MHz (8逓倍) クロック・スルー・モード： $f_x = 3 \sim 6$ MHz (内部： $f_{xx} = 3 \sim 6$ MHz)	
	サブクロック	$f_{XT} = 32.768$ kHz	
	内蔵発振器	$f_R = 220$ kHz (TYP.)	
	最小命令実行時間	20.8 ns (メイン・クロック (f_{xx}) = 48 MHz動作時)	
I/Oポート (5Vトレラント)		入出力：96本 (25本)	
タイマ	16ビットTAA	6チャンネル (うち1チャンネルはインターバル機能のみ)	
	16ビットTAB	2チャンネル	
	16ビットTMM	4チャンネル	
	16ビットTMT	1チャンネル	
	モータ制御	1チャンネル (TAAとTABと組み合わせて機能, Hi-Z出力制御機能あり)	
	時計タイマ	1チャンネル (RTC)	
	WDT	1チャンネル	
リアルタイム出力機能		6ビット×1チャンネル	
10ビットA/Dコンバータ		12チャンネル	
8ビットD/Aコンバータ		2チャンネル	
インタフェース	CSIF/UARTC	2チャンネル	2チャンネル
	CSIF/UARTC/I ² C	1チャンネル	1チャンネル
	CSIF	2チャンネル	2チャンネル
	UARTC/I ² C	2チャンネル	2チャンネル
	USBホスト	1チャンネル	1チャンネル
	USBファンクション	1チャンネル	1チャンネル
	DMAコントローラ		4チャンネル (転送対象：内蔵周辺I/O, 内蔵RAM, 外部メモリ)
割り込み要因	外部 ^{注2,3}	20 (20)	
	内部	72	72
パワー・セーブ機能		HALT / IDLE1 / IDLE2 / STOP / サブクロック / サブIDLEモード	
リセット要因		RESET端子入力, ウォッチドッグ・タイマ2 (WDT2), クロック・モニタ (CLM), 低電圧検出回路 (LVI)	
オンチップ・デバッグ		MINICUBE, MINICUBE2対応	
動作電源電圧		2.85 ~ 3.6 V	
動作周囲温度		-40 ~ +85	
パッケージ		128ピン・プラスチックLQFP (ファインピッチ) (14×20 mm)	

注1. データ専用RAM領域8 Kバイトを含みます。

2. ()内はSTOPモード解除可能な外部割り込み本数です。

3. NMIを含みます。

1.2 特 徴

最小命令実行時間 20.8 ns (メイン・クロック (f_{xx}) = 48 MHz動作時 : V_{DD} = 2.85 V ~ 3.6 V)

30.5 μs (サブクロック (f_{xT}) = 32.768 kHz動作時)

汎用レジスタ 32ビット×32本

CPUの特徴 符号付き乗算 (16×16 32) : 1-2クロック)

符号付き乗算 (32×32 64) : 1-5クロック)

飽和演算 (オーバフロー/アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング/ショート形式を持つロード/ストア命令

メモリ空間 64 Mバイト・リニア・アドレス空間 (プログラム/データ共用)

外部拡張 : 16 Mバイトまで可能

(このうち1 Mバイトは内部ROM/RAM空間として使用)

・内蔵メモリ RAM : 48 K/56 Kバイト (表1-1, 表1-2参照)

フラッシュ・メモリ : 384 K/512 Kバイト (表1-1, 表1-2参照)

・外部バス・インタフェース

セパレート・バス/マルチプレクス・バス選択可能

(V850ES/JG3-Uはマルチプレクス・バスのみ)

8/16ビット・データ・バス・サイジング機能

ウエイト機能

・プログラマブル・ウエイト機能

・外部ウエイト機能

アイドル・ステート機能

バス・ホールド機能

割り込み/例外

		内部			外部		
		ノン マスカブル	マスカブル	計	ノン マスカブル	マスカブル	計
V850ES/JG3-U	μ PD70F3763	1	71	72	1	14	15
	μ PD70F3764	1	71	72	1	14	15
V850ES/JH3-U	μ PD70F3768	1	71	72	1	19	20
	μ PD70F3769	1	71	72	1	19	20

ソフトウェア例外 : 32要因

例外トラップ : 2要因

I/Oライン	入出力ポート : 75 (V850ES/JG3-U) 96 (V850ES/JH3-U)
タイマ機能	<ul style="list-style-type: none"> 16ビット・インターバル・タイマM (TMM) : 4ch 16ビット・タイマ/イベント・カウンタAA (TAA) : 6ch 16ビット・タイマ/イベント・カウンタAB (TAB) : 2ch 16ビット・タイマ/イベント・カウンタT (TMT) : 1ch モータ制御機能 (使用タイマ : TAB1, TAA4) <ul style="list-style-type: none"> 16ビット精度のデッド・タイム付き6相PWM機能 ハイ・インピーダンス出力制御機能 タイマ同調動作機能によるA/Dトリガ生成 任意の周期設定機能 任意のデッド・タイム設定機能 リアルタイム・カウンタ (RTC) : 1ch ウォッチドッグ・タイマ : 1ch
リアルタイム出力ポート	6ビット x 1ch
シリアル・インタフェース	<ul style="list-style-type: none"> アシンクロナス・シリアル・インタフェースC (UARTC) 3線式可変長シリアル・インタフェースF (CSIF) I²Cバス・インタフェース (I²C) USBホスト・インタフェース USBファンクション・インタフェース <ul style="list-style-type: none"> UARTC/CSIF : 2ch UARTC/CSIF/I²C : 1ch UARTC/I²C : 2ch CSIF : 2ch USBホスト : 1ch USBファンクション : 1ch
A/Dコンバータ	10ビット分解能 : 12ch
D/Aコンバータ	8ビット分解能 : 2ch
DMAコントローラ	4ch
DCU (デバッグ・コントロール・ユニット)	JTAGインタフェース
クロック・ジェネレータ	<ul style="list-style-type: none"> メイン・クロック/サブクロック動作 CPUクロック7段階 (f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xx}/16, f_{xx}/32, f_{xt}) クロック・スルー・モード/PLLモード選択可
内蔵発振クロック	220 kHz (TYP.)
パワー・セーブ機能	HALT/IDLE1/IDLE2/STOP / サブクロック / サブIDLEモード
パッケージ	<ul style="list-style-type: none"> 100ピン・プラスチックLQFP (ファインピッチ) (14 x 14) (V850ES/JG3-U) 128ピン・プラスチックLQFP (ファインピッチ) (14 x 20) (V850ES/JH3-U)

1.3 応用分野

USBインタフェースを必要とする機器

ホーム・オーディオ, プリンタ, スキャナなど

1.4 オーダ情報

・ V850ES/JG3-U

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μ PD70F3763GC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	384 Kバイト
μ PD70F3764GC-UEU-AX	"	512 Kバイト

・ V850ES/JH3-U

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μ PD70F3768GF-GAT-AX	128ピン・プラスチックLQFP (ファインピッチ) (14×20)	384 Kバイト
μ PD70F3769GF-GAT-AX	"	512 Kバイト

備考 V850ES/JG3-U, V850ES/JH3-Uは, 鉛フリー製品です。

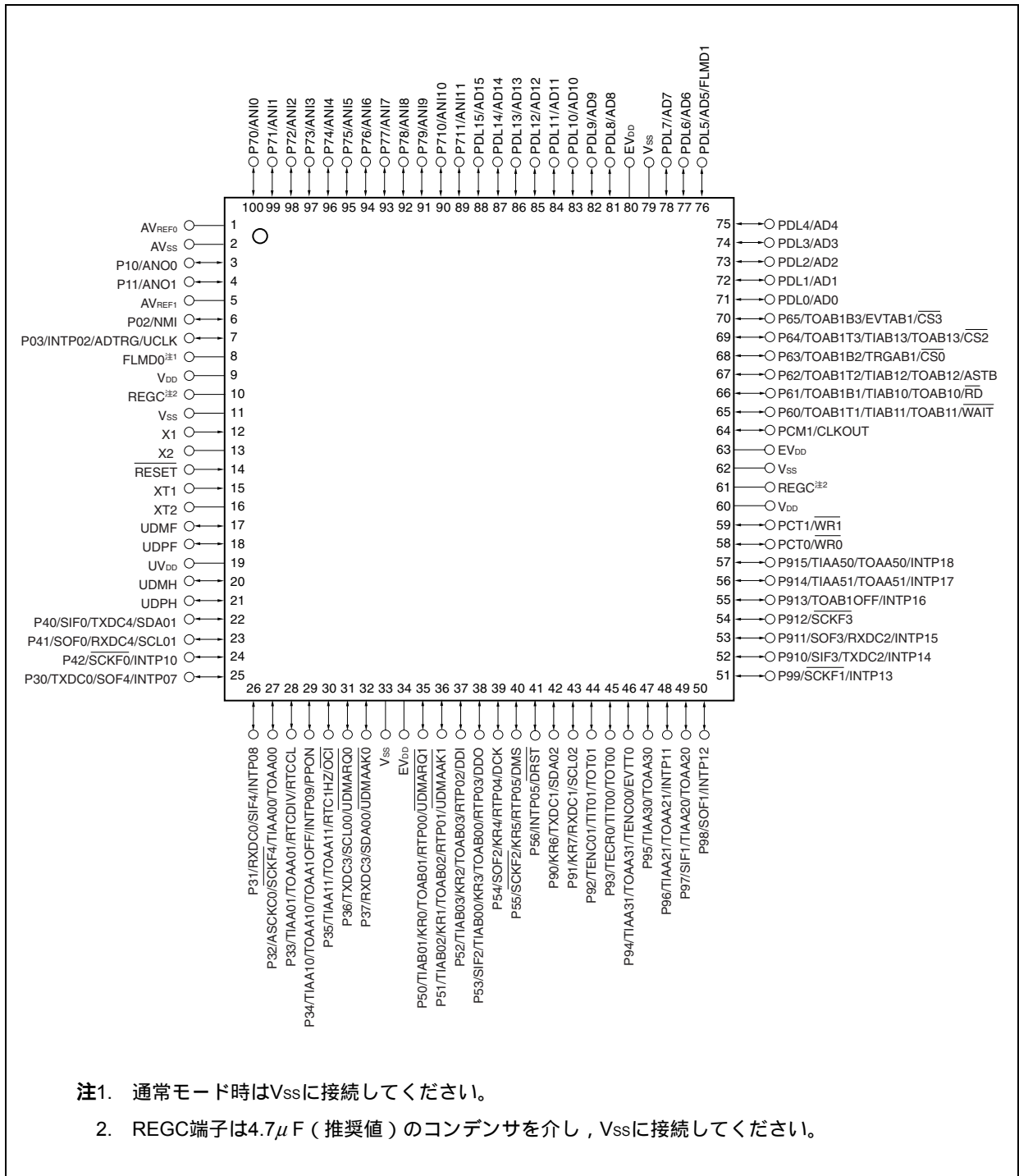
1.5 端子接続図 (Top View)

• V850ES/JG3-U

100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

μ PD70F3763GC-UEU-AX

μ PD70F3764GC-UEU-AX

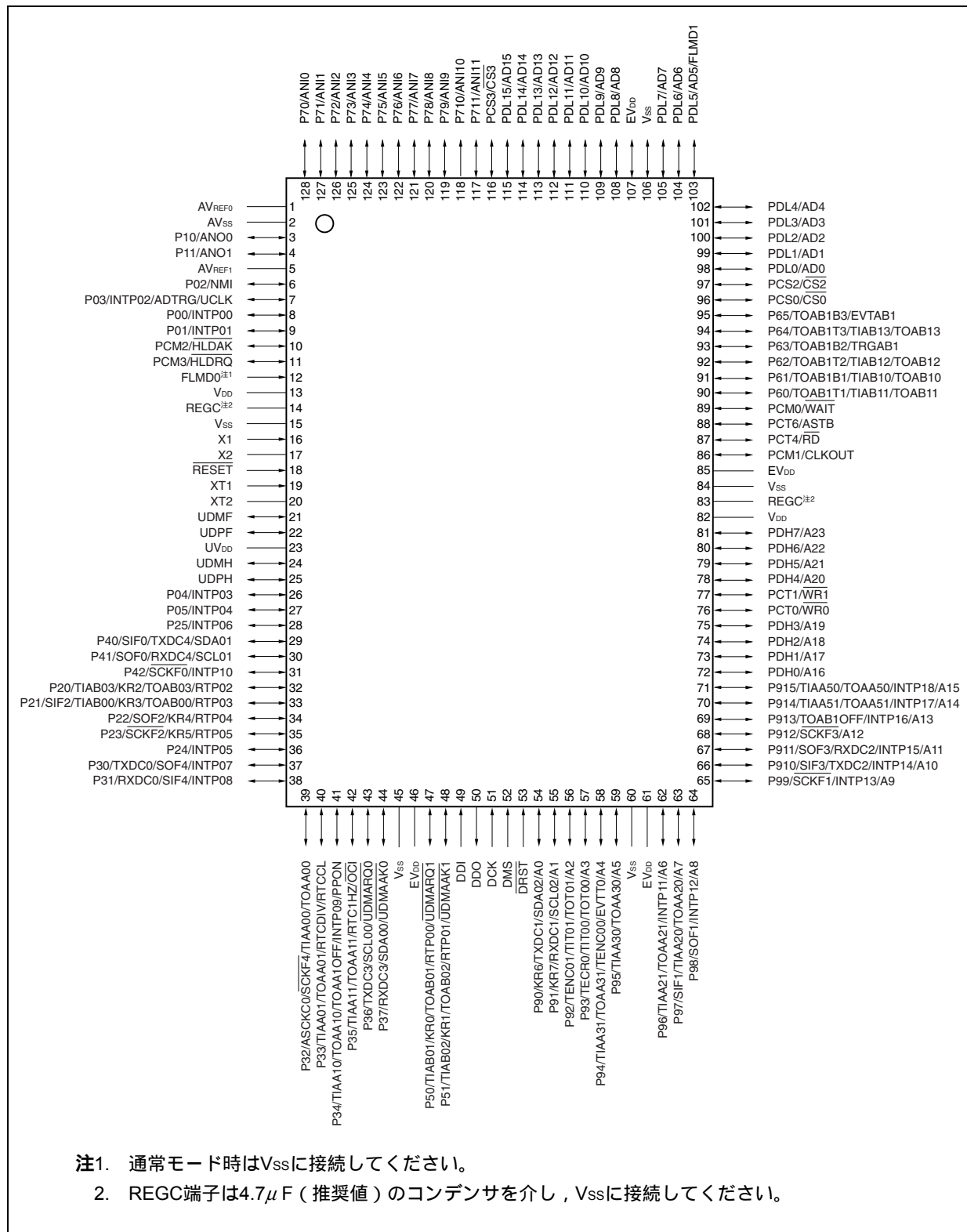


• V850ES/JH3-U

128ピン・プラスチックLQFP (ファインピッチ) (14 × 20)

μ PD70F3768GF-GAT-AX

μ PD70F3769GF-GAT-AX



注1. 通常モード時はV_{SS}に接続してください。

2. REGC端子は4.7μF (推奨値) のコンデンサを介し, V_{SS}に接続してください。

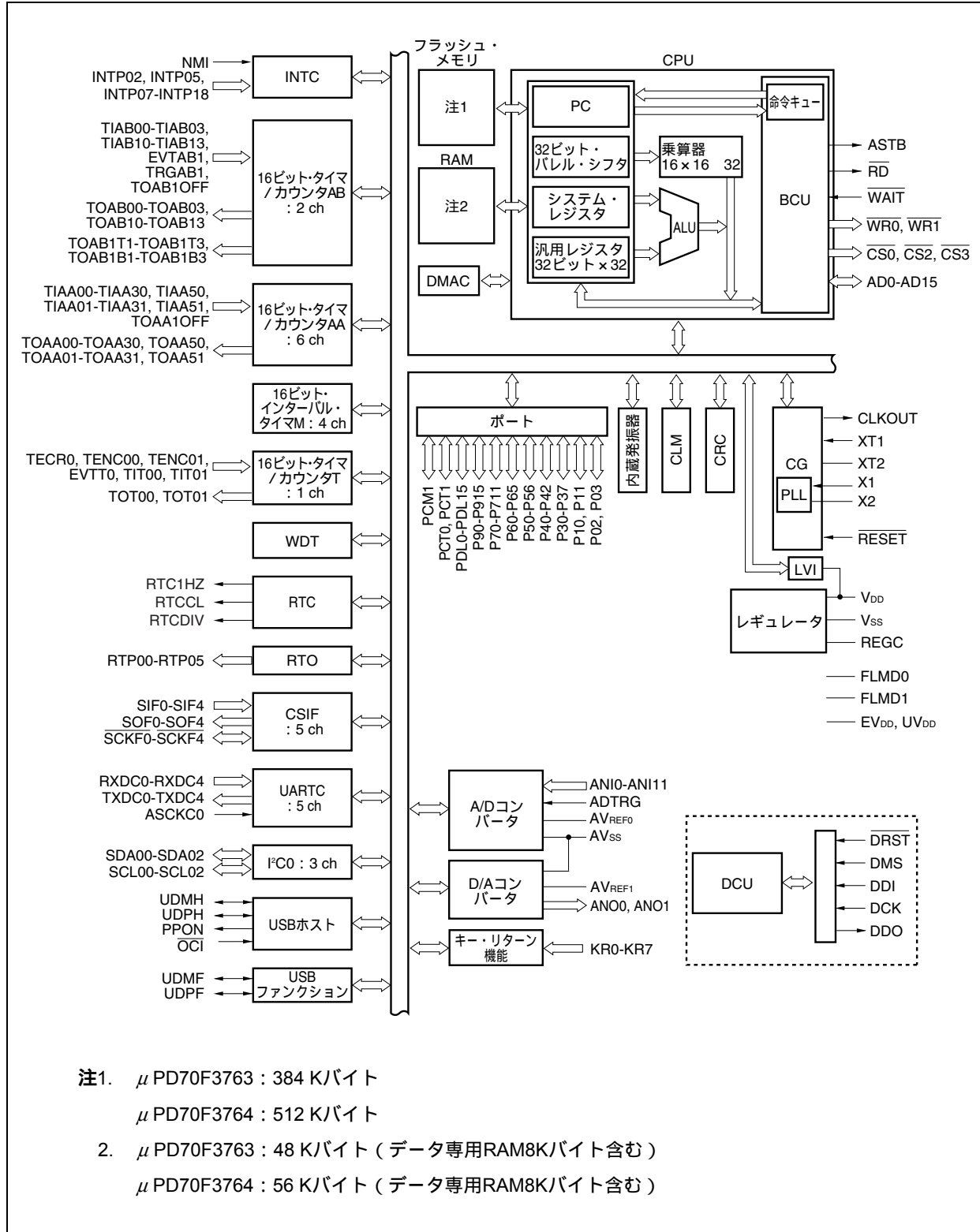
端子名称

A0-A23	: Address Bus	RXDC0-RXDC4	: Receive Data
AD0-AD15	: Address/Data Bus	SCKF0-SCKF4	: Serial Clock
ADTRG	: A/D Trigger Input	SCL00-SCL02	: Serial Clock
ANI0-ANI11	: Analog Input	SDA00-SDA02	: Serial Data
ANO0, ANO1	: Analog Output	SIF0-SIF4	: Serial Input
ASCKC0	: Asynchronous Serial Clock	SOF0-SOF4	: Serial Output
ASTB	: Address Strobe	TECR0	: Timer Encoder Clear Input
AV _{REF0} , AV _{REF1}	: Analog Reference Voltage	TENC00, TENC01	: Timer Encoder Input
AV _{SS}	: Grand for Analog Pin	TIAA00, TIAA01,	: Timer Input
CLKOUT	: Clock Output	TIAA10, TIAA11,	
$\overline{CS0}$, $\overline{CS2}$, $\overline{CS3}$: Chip Select	TIAA20, TIAA21,	
DCK	: Debug Clock	TIAA30, TIAA31,	
DDI	: Debug Data Input	TIAA50, TIAA51,	
DDO	: Debug Data Output	TIAB00-TIAB03,	
DMS	: Debug Mode Select	TIAB10-TIAB13,	
\overline{DRST}	: Debug Reset	TIT00, TIT01	
EV _{DD}	: Power Supply for External Pin	TOAA00, TOAA01,	: Timer Output
EVT00, EVTAB1	: Timer Event Count Input	TOAA10, TOAA11,	
FLMD0, FLMD1	: Flash Programming Mode	TOAA20, TOAA21,	
HLD \overline{AK}	: Hold Acknowledge	TOAA30, TOAA31,	
\overline{HLDRQ}	: Hold Request	TOAA50, TOAA51,	
INTP00-INTP18	: External Interrupt Input	TOAB00-TOAB03,	
KR0-KR7	: Key Return	TOAB10-TOAB13,	
NMI	: Non-maskable Interrupt Request	TOAB1B1-TOAB1B3,	
\overline{OCI}	: Over Current Detection Input	TOAB1T1-TOAB1T3,	
P00-P05	: Port0	TOT00, TOT01	
P10, P11	: Port1	TOAA1OFF,	: Timer Output Off
P20-P25	: Port2	TOAB1OFF	
P30-P37	: Port3	TRGAB1	: Timer Trigger Input
P40-P42	: Port4	TXDC0-TXDC4	: Transmit Data
P50-P56	: Port5	UCLK	: USB Clock
P60-P65	: Port6	$\overline{UDMAAK0}$,	: DMA Acknowledge for External
P70-P711	: Port7	$\overline{UDMAAK1}$	USB
P90-P915	: Port9	$\overline{UDMARQ0}$,	: DMA Request for External USB
PCM0-PCM3	: Port CM	$\overline{UDMARQ1}$	
PCS0, PCS2, PCS3	: Port CS	UDMF	: USB Data I/O (-) Function
PCT0, PCT1,	: Port CT	UDMH	: USB Data I/O (-) Host
PCT4, PCT6		UDPF	: USB Data I/O (+) Function
PDH0-PDH7	: Port DH	UDPH	: USB Data I/O (+) Host
PDL0-PDL15	: Port DL	UV _{DD}	: Power Supply for USB
PPON	: Power Supply Output for USB	V _{DD}	: Power Supply
\overline{RD}	: Read Strobe	V _{SS}	: Ground
REGC	: Regulator Control	\overline{WAIT}	: External Wait Input
\overline{RESET}	: Reset	$\overline{WR0}$: Lower Byte Write Strobe
RTC1HZ, RTCCL,	: Real-time Counter Clock Output	$\overline{WR1}$: Upper Byte Write Strobe
RTCDIV		X1, X2	: Crystal for Main Clock
RTP00-RTP05	: Real-time Output Port	XT1, XT2	: Crystal for Sub-clock

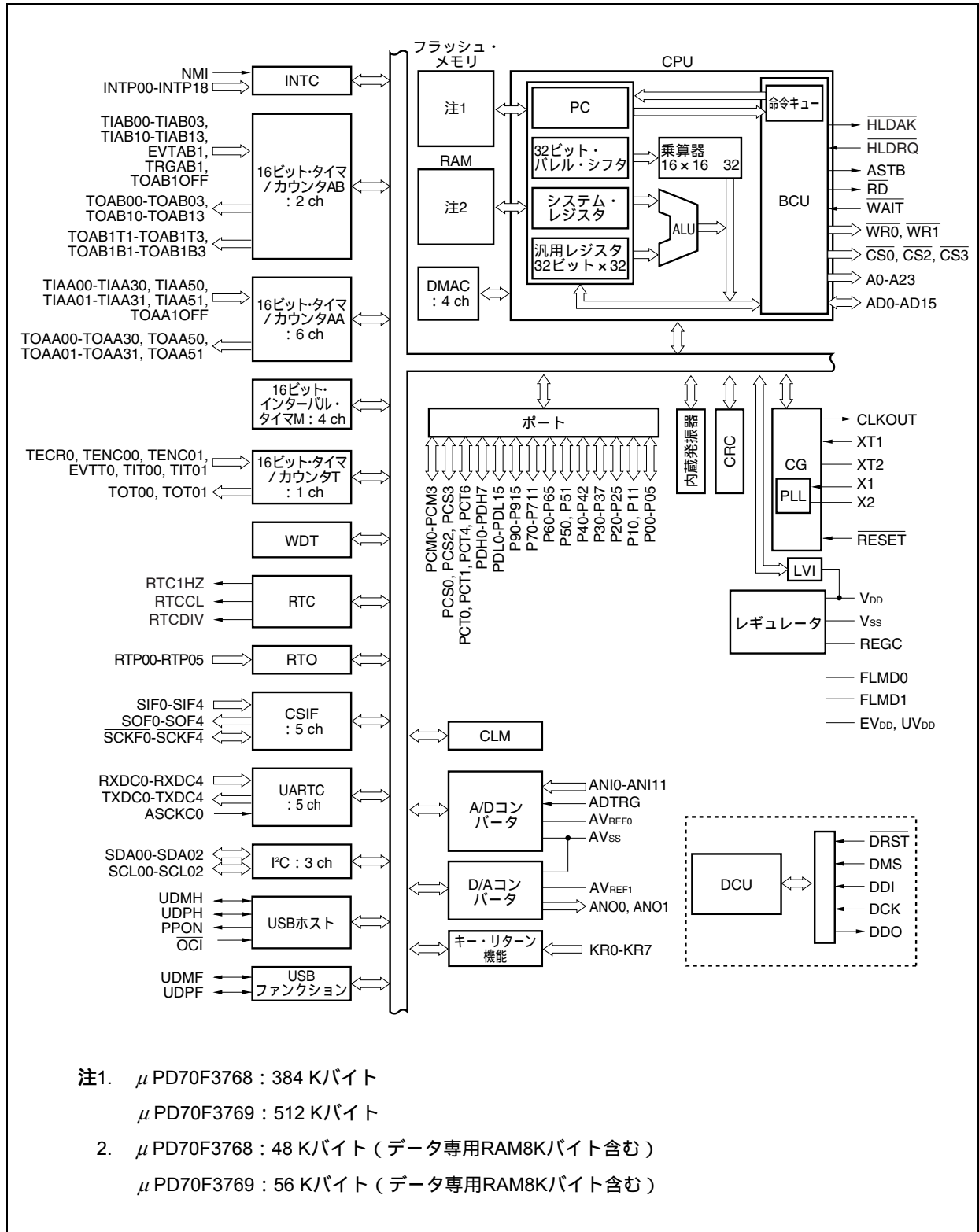
1.6 機能ブロック構成

1.6.1 内部ブロック図

・ V850ES/JG3-U



・ V850ES/JH3-U



1.6.2 内部ユニット

(1) CPU

アドレス計算, 算術論理演算, データ転送などのほとんどの命令処理を, 5段パイプライン制御により1クロックで実行できます。

乗算器 (16ビット×16ビット 32ビット), バレル・シフタ (32ビット) などの専用ハードウェアを内蔵し, 複雑な処理の高速化を図っています。

(2) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は, プリフェッチ・アドレスを生成し, 命令コードのプリフェッチを行います。プリフェッチされた命令コードは, 内部の命令キューに取り込まれます。

(3) フラッシュ・メモリ (ROM)

0000000H-007FFFFH/0000000H-005FFFFH番地にマッピングされる512 K/384 Kバイトのフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

(4) RAM

3FF3000H-3FFEFFFH/3FF5000H-3FFEFFFH番地にマッピングされる48 K/40 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。また, 各製品には00280000H-00281FFFFH番地に8 Kバイトのデータ専用RAMを内蔵しています。

(5) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア, および外部からのハードウェア割り込み要求 (NMI, INTP0-INTP18) を処理します。これらの割り込み要求は, 8レベルの割り込み優先順位を指定でき, 多重処理制御ができます。

(6) クロック・ジェネレータ (CG)

メイン・クロック発振回路とサブクロック発振回路があり, メイン・クロック発振周波数 (f_x) とサブクロック周波数 (f_{XT}) を生成しています。メイン・クロック周波数 (f_{XX}) として, f_x をそのまま使用するクロック・スルー・モードと, f_x を8逓倍して使用するPLLモードがあります。

CPUクロック周波数 (f_{CPU}) としては, f_{XX} , $f_{XX}/2$, $f_{XX}/4$, $f_{XX}/8$, $f_{XX}/16$, $f_{XX}/32$, f_{XT} の7種類から選択できます。

(7) 内蔵発振器

内蔵発振器を搭載しています。発振周波数は220 kHz (TYP.) です。ウォッチドッグ・タイマ2とタイマMへクロック供給します。

(8) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタAA (TAA) を6チャンネル, 16ビットのタイマ/イベント・カウンタAB (TAB) を2チャンネル, 16ビットのタイマ/イベント・カウンタT (TMT) を1チャンネル, 16ビットのインターバル・タイマM (TMM) を4チャンネル, 内蔵しています。

TAB1とTAA4を組み合わせるとモータ制御機能を実現できます。

(9) リアルタイム・カウンタ (時計用)

サブクロック (32.768 kHz) またはメイン・クロックから時計カウント用の基準時間 (1秒) をカウントします。メイン・クロックによるインターバル・タイマとしても同時に使用できます。年, 月, 曜日, 日, 時, 分, 秒の専用ハードウェア・カウンタを持ち, 最長99年までカウントが可能です。

(10) ウォッチドッグ・タイマ2

プログラムの暴走, システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。

ソース・クロックとして内蔵発振クロック, メイン・クロック, サブクロックを選択できます。

オーバフローでノンマスカブル割り込み要求信号 (INTWDT2), またはシステム・リセット信号 (WDT2RES) を発生します。

(11) シリアル・インタフェース

V850ES/JG3-U, V850ES/JH3-Uには, シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースC (UARTC), 3線式可変長シリアル・インタフェースF (CSIF), I²Cバス・インタフェース (I²C), USBファンクション・コントローラ (USBF), USBホスト・コントローラ (USBH) を内蔵しています。

UARTCは, TXDC0-TXDC2, RXDC0-RXDC2端子によりデータ転送を行います。

CSIFは, SOF0-SOF4, SIF0-SIF4, SCKF0-SCKF4端子によりデータ転送を行います。

I²Cは, SDA00-SDA02, SCL00-SCL02端子によりデータ転送を行います。

USBFは, UDMF, UDPF端子によりデータ転送を行います。

USBHは, UDMH, UDPH端子によりデータ転送を行います。

(12) A/Dコンバータ

12本のアナログ入力端子を持つ10ビットA/Dコンバータです。逐次変換方式で変換します。

(13) D/Aコンバータ

8ビット分解能のD/Aコンバータを2チャンネル内蔵しています。R-2Rラダー方式です。

(14) DMAコントローラ

4チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて, 内蔵RAM, 内蔵周辺I/O, 外部メモリ間でデータを転送します。

(15) キー割り込み機能

8チャンネルのキー入力端子に立ち下がりエッジを入力することによって, キー割り込み要求信号 (INTKR) を発生させることができます。

(16) リアルタイム出力機能

あらかじめ設定しておいた6ビット・データをタイマのコンペア・レジスタの一致信号により出力ラッチに転送します。

(17) CRC機能

8ビットのデータ設定により，16ビットのCRC (Cyclic Redundancy Check) コードを生成する，CRC演算回路を内蔵します。

(18) DCU (デバッグ・コントロール・ユニット)

JTAG (Joint Test Action Group) の通信仕様を利用したオンチップ・デバッグ機能を内蔵しています。通常ポート機能とオンチップ・デバッグ機能の切り替えは，制御端子の入力レベルとOCDMレジスタの2つで行います。

(19) ポート

次に示すように，汎用ポートとしての機能と制御端子の機能があります。

・ V850ES/JG3-U

ポート	入出力	兼用機能
P0	2ビット入出力	NMI，外部割り込み，A/Dコンバータ・トリガ，シリアル・インタフェース
P1	2ビット入出力	D/Aコンバータ・アナログ出力
P3	10ビット入出力	外部割り込み，リアルタイム・カウンタ，シリアル・インタフェース，タイマ入出力
P4	3ビット入出力	シリアル・インタフェース，外部割り込み
P5	7ビット入出力	タイマ入出力，シリアル・インタフェース，リアルタイム出力，キー割り込み入力，デバッグ入出力
P6	6ビット入出力	外部バス制御信号，タイマ入出力，外部バス制御信号
P7	12ビット入出力	A/Dコンバータ・アナログ入力
P9	16ビット入出力	シリアル・インタフェース，キー割り込み入力，タイマ入出力，外部割り込み
PCM	1ビット入出力	外部バス制御信号
PCT	2ビット入出力	外部バス制御信号
PDL	16ビット入出力	外部アドレス/データ・バス

・ V850ES/JH3-U

ポート	入出力	兼用機能
P0	6ビット入出力	NMI, 外部割り込み, A/Dコンバータ・トリガ, シリアル・インタフェース
P1	2ビット入出力	D/Aコンバータ・アナログ出力
P2	6ビット入出力	タイマ入出力, リアルタイム出力, キー割り込み入力, シリアル・インタフェース
P3	10ビット入出力	外部割り込み, リアルタイム・カウンタ, シリアル・インタフェース, タイマ入出力
P4	3ビット入出力	シリアル・インタフェース, 外部バス割り込み
P5	2ビット入出力	タイマ入出力, リアルタイム出力, キー割り込み入力
P6	6ビット入出力	外部バス制御信号, タイマ入出力
P7	12ビット入出力	A/Dコンバータ・アナログ入力
P9	16ビット入出力	外部アドレス・バス, シリアル・インタフェース, キー割り込み入力, タイマ入出力, 外部割り込み
PCM	4ビット入出力	外部バス制御信号
PCS	3ビット入出力	外部バス制御信号
PCT	4ビット入出力	外部バス制御信号
PDH	8ビット入出力	外部アドレス・バス
PDL	16ビット入出力	外部アドレス/データ・バス

第2章 端子機能

2.1 端子機能一覧

V850ES/JG3-U, V850ES/JH3-Uの端子名称と機能を次に示します。

端子の入出力バッファ電源には, AV_{REF0}, AV_{REF1}, EV_{DD}, UV_{DD}の4系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電 源	対応する端子	
	V850ES/JG3-U	V850ES/JH3-U
AV _{REF0}	ポート7	ポート7
AV _{REF1}	ポート1	ポート1
EV _{DD}	$\overline{\text{RESET}}$, ポート0, 3-6, 9, CM, CT, DL	$\overline{\text{RESET}}$, ポート0, 2-6, 9, CM, CS, CT, DH, DL
UV _{DD}	UDPF, UDMF, UDPH, UDMH	UDPF, UDMF, UDPH, UDMH

(1) ポート端子

(1/4)

端子名称	入出力	機 能	兼用端子	ピン番号	
				JG3-U	JH3-U
P00	入出力	ポート0 6ビット入出力ポート (V850ES/JH3-U) 2ビット入出力ポート (V850ES/JG3-U) 1ビット単位で入力 / 出力の指定が可能 5Vトレラント対応	INTP00	—	8
P01			INTP01	—	9
P02			NMI	6	6
P03			INTP02/ADTRG/UCLK	7	7
P04			INTP03	—	26
P05			INTP04	—	27
P10	入出力	ポート1 2ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	ANO0	3	3
P11			ANO1	4	4
P20	入出力	ポート2 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 5Vトレラント対応	TIAB03/KR2/TOAB03/RTP02	—	32
P21			SIF2/TIAB00/KR3/TOAB00/RTP03	—	33
P22			SOF2/KR4/RTP04	—	34
P23			SCKF2/KR5/RTP05	—	35
P24			INTP05	—	36
P25			INTP06	—	28
P30	入出力	ポート3 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 5Vトレラント対応	TXDC0/SOF4/INTP07	25	37
P31			RXDC0/SIF4/INTP08	26	38
P32			ASCKC0/SCKF4/TIAA00/TOAA00	27	39
P33			TIAA01/TOAA01/RTCDIV/RTCCL	28	40
P34			TIAA10/TOAA10/TOAA1OFF /INTP09/PPON	29	41
P35			TIAA11/TOAA11/RTC1HZ/OCI	30	42
P36			TXDC3/SCL00/UDMARQ0	31	43
P37			RXDC3/SDA00/UDMAAK0	32	44
P40	入出力	ポート4 3ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 5Vトレラント対応	SIF0/TXDC4/SDA01	22	29
P41			SOF0/RXDC4/SCL01	23	30
P42			SCKF0/INTP10	24	31
P50	入出力	ポート5 2ビット入出力ポート (V850ES/JH3-U) 7ビット入出力ポート (V850ES/JG3-U) 1ビット単位で入力 / 出力の指定が可能 5Vトレラント対応	TIAB01/KR0/TOAB01/RTP00 /UDMARQ1	35	47
P51			TIAB02/KR1/TOAB02/RTP01 /UDMAAK1	36	48
P52			TIAB03/KR2/TOAB03/RTP02/DDI	37	-
P53			SIF2/TIAB00/KR3/TOAB00 /RTP03/DDO	38	-
P54			SOF2/KR4/RTP04/DCK	39	-
P55			SCKF2/KR5/RTP05/DMS	40	-
P56			INTP05/DRST	41	-

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

(2/4)

端子名称	入出力	機能	兼用端子	ピン番号	
				JG3-U	JH3-U
P60	入出力	ポート6 6ビット入出力ポート 1ビット単位で入力/出力の指定が可能	TOAB1T1/TOAB11/TIAB11/WAIT	65	-
P61			TOAB1T1/TOAB11/TIAB11	-	90
P62			TOAB1B1/TIAB10/TOAB10/RD	66	-
P63			TOAB1B1/TIAB10/TOAB10	-	91
P64			TOAB1T2/TOAB12/TIAB12/ASTB	67	-
P65			TOAB1T2/TOAB12/TIAB12	-	92
P65			TOAB1B2/TRGAB1/CS0	68	-
P65			TOAB1B2/TRGAB1	-	93
P70	入出力	ポート7 12ビット入出力ポート 1ビット単位で入力/出力の指定が可能	ANI0	100	128
P71			ANI1	99	127
P72			ANI2	98	126
P73			ANI3	97	125
P74			ANI4	96	124
P75			ANI5	95	123
P76			ANI6	94	122
P77			ANI7	93	121
P78			ANI8	92	120
P79			ANI9	91	119
P710			ANI10	90	118
P711			ANI11	89	117
P90	入出力	ポート9 16ビット入出力ポート 1ビット単位で入力/出力の指定が可能	KR6/TXDC1/SDA02	42	-
P91			KR6/TXDC1/SDA02/A0	-	54
P92			KR7/RXDC1/SCL02	43	-
P93			KR7/RXDC1/SCL02/A1	-	55
P94			TENC01/TIT01/TOT01	44	-
P95			TENC01/TIT01/TOT01/A2	-	56
P96			TECR0/TIT00/TOT00	45	-
P97			TECR0/TIT00/TOT00/A3	-	57
P98			TIAA31/TOAA31/TENC00/EVTT0	46	-
P99			TIAA31/TOAA31/TENC00/EVTT0/A4	-	58
P100			TIAA30/TOAA30	47	-
P101			TIAA30/TOAA30/A5	-	59
P102			TIAA21/TOAA21/INTP11	48	-
P103			TIAA21/TOAA21/INTP11/A6	-	62
P104			SIF1/TIAA20/TOAA20	49	-
P105	SIF1/TIAA20/TOAA20/A7	-	63		

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

(3/4)

端子名称	入出力	機能	兼用端子	ピン番号	
				JG3-U	JH3-U
P98	入出力	ポート9 16ビット入出力ポート 1ビット単位で入力/出力の指定が可能	SOF1/INTP12	50	-
			SOF1/INTP12/A8	-	64
P99			SCKF1/INTP13	51	-
			SCKF1/INTP13/A9	-	65
P910			SIF3/TXDC2/INTP14	52	-
			SIF3/TXDC2/INTP14/A10	-	66
P911			SOF3/RXDC2/INTP15	53	-
			SOF3/RXDC2/INTP15/A11	-	67
P912			SCKF3	54	-
			SCKF3/A12	-	68
P913	TOAB1OFF/INTP16	55	-		
	TOAB1OFF/INTP16/A13	-	69		
P914	TIAA51/TOAA51/INTP17	56	-		
	TIAA51/TOAA51/INTP17/A14	-	70		
P915	TIAA50/TOAA50/INTP18	57	-		
	TIAA50/TOAA50/INTP18/A15	-	71		
PCM0	入出力	ポートCM 4ビット入出力ポート (V850ES/JH3-U) 1ビット入出力ポート (V850ES/JG3-U) 1ビット単位で入力/出力の指定が可能	WAIT	-	89
PCM1			CLKOUT	64	86
PCM2			HLDAK	-	10
PCM3			HLDRQ	-	11
PCS0	入出力	ポートCS 3ビット入出力ポート 1ビット単位で入力/出力の指定が可能	CS0	-	96
PCS2			CS2	-	97
PCS3			CS3	-	116
PCT0	入出力	ポートCT 4ビット入出力ポート (V850ES/JH3-U) 2ビット入出力ポート (V850ES/JG3-U) 1ビット単位で入力/出力の指定が可能	WR0	58	76
PCT1			WR1	59	77
PCT4			RD	-	87
PCT6			ASTB	-	88
PDH0	入出力	ポートDH 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能	A16	-	72
PDH1			A17	-	73
PDH2			A18	-	74
PDH3			A19	-	75
PDH4			A20	-	78
PDH5			A21	-	79
PDH6			A22	-	80
PDH7			A23	-	81

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

(4/4)

端子名称	入出力	機 能	兼用端子	ピン番号	
				JG3-U	JH3-U
PDL0	入出力	ポートDL 16ビット入出力ポート 1ビット単位で入力/出力の指定が可能	AD0	71	98
PDL1			AD1	72	99
PDL2			AD2	73	100
PDL3			AD3	74	101
PDL4			AD4	75	102
PDL5			AD5/FLMD1	76	103
PDL6			AD6	77	104
PDL7			AD7	78	105
PDL8			AD8	81	108
PDL9			AD9	82	109
PDL10			AD10	83	110
PDL11			AD11	84	111
PDL12			AD12	85	112
PDL13			AD13	86	113
PDL14			AD14	87	114
PDL15			AD15	88	115

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

(2) ポート以外の端子

(1/9)

端子名称	入出力	機 能	兼用端子	ピン番号	
				JG3-U	JH3-U
A0	出力	外部メモリに対するアドレス・バス (セパレート・バス使用時)	P90/KR6/TXDC1/SDA02	-	54
A1			P91/KR7/RXDC1/SCL02	-	55
A2			P92/TENC01/TIT01/TOT01	-	56
A3			P93/TECR00/TIT00/TOT00	-	57
A4			P94/TIAA31/TOAA31/TENC0/EVTT0	-	58
A5			P95/TIAA30/TOAA30	-	59
A6			P96/TIAA21/TOAA21/INTP11	-	62
A7			P97/SIF1/TIAA20/TOAA20	-	63
A8			P98/SOF1/INTP12	-	64
A9			P99/SCKF1/INTP13	-	65
A10			P910/SIF3/TXDC2/INTP14	-	66
A11			P911/SOF3/RXDC2/INTP15	-	67
A12			P912/SCKF3	-	68
A13			P913/TOAB1OFF/INTP16	-	69
A14			P914/TIAA51/TOAA51/INTP17	-	70
A15			P915/TIAA50/TOAA50/INTP18	-	71
A16			PDH0	-	72
A17			PDH1	-	73
A18			PDH2	-	74
A19			PDH3	-	75
A20			PDH4	-	78
A21			PDH5	-	79
A22			PDH6	-	80
A23			PDH7	-	81
AD0	入出力	外部メモリに対するアドレス/データ・バス	PDL0	71	98
AD1			PDL1	72	99
AD2			PDL2	73	100
AD3			PDL3	74	101
AD4			PDL4	75	102
AD5			PDL5/FLMD1	76	103
AD6			PDL6	77	104
AD7			PDL7	78	105
AD8			PDL8	81	108
AD9			PDL9	82	109
AD10			PDL10	83	110
AD11			PDL11	84	111
AD12			PDL12	85	112
AD13			PDL13	86	113
AD14			PDL14	87	114
AD15			PDL15	88	115
ADTRG	入力	A/Dコンバータ用外部トリガ入力, 5Vトレラント対応	P03/INTP02/UCLK	7	7

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

(2/9)

端子名称	入出力	機能	兼用端子	ピン番号	
				JG3-U	JH3-U
ANI0	入力	A/Dコンバータ用アナログ電圧入力	P70	100	128
ANI1			P71	99	127
ANI2			P72	98	126
ANI3			P73	97	125
ANI4			P74	96	124
ANI5			P75	95	123
ANI6			P76	94	122
ANI7			P77	93	121
ANI8			P78	92	120
ANI9			P79	91	119
ANI10			P710	90	118
ANI11			P711	89	117
ANO0	出力	D/Aコンバータ用アナログ電圧出力	P10	3	3
ANO1			P11	4	4
ASCKC0	入力	UARTC0のポーレート・クロック入力, 5Vトレラント対応	P32/ $\overline{\text{SCKF4}}$ /TIAA00/TOAA00	27	39
ASTB	出力	外部メモリに対するアドレス・ストロブ信号	P62/TOAB1T2/TIAB12/TOAB12	67	-
			PCT6	-	88
AV _{REF0}		A/Dコンバータ用基準電圧入力, 兼ポート7用正電源供給		1	1
AV _{REF1}		D/Aコンバータ用基準電圧入力, 兼ポート1用正電源供給		5	5
AV _{SS}		A/D, D/Aコンバータ用グランド電位		2	2
CLKOUT	出力	内部システム・クロック出力	PCM1	64	86
$\overline{\text{CS0}}$	出力	チップ・セレクト出力	P63/TOAB1B2/TRGAB1	68	-
			PCS0	-	96
$\overline{\text{CS2}}$	出力	チップ・セレクト出力	P64/TOAB1T3/TIAB13/TOAB13	69	-
			PCS2	-	97
$\overline{\text{CS3}}$	出力	チップ・セレクト出力	P65/TOAB1B3/EVTAB1	70	-
			PCS3	-	116
DCK	入力	オンチップ・デバッグ用クロック入力, 5Vトレラント対応	P54/SOF2/KR4/RTP04	39	-
				-	51
DDI	入力	オンチップ・デバッグ用データ入力, 5Vトレラント対応	P52/TIAB03/KR2/TOAB03/RTP02	37	-
				-	49
DDO	出力	オンチップ・デバッグ用データ出力 オンチップ・デバッグ・モード時, 強制的にハイ・レベル出力に設定される, 5Vトレラント対応	P53/SIF2/TIAB00/KR3/TOAB00 /RTP03	38	-
				-	50
DMS	入力	オンチップ・デバッグ用モード選択信号入力, 5Vトレラント対応	P55/ $\overline{\text{SCKF2}}$ /KR5/RTP05	40	-
				-	52
$\overline{\text{DRST}}$	入力	オンチップ・デバッグ用リセット信号入力, 5Vトレラント対応	P56/INTP05	41	-
				-	53

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

(3/9)

端子名称	入出力	機 能	兼用端子	ピン番号	
				JG3-U	JH3-U
EV _{DD}		外部用正電源供給 (V _{DD} と同電位)		34, 63, 80	46, 61, 85,107
EVT _{T0}	入力	TMT ₀ の外部イベント・カウント入力	P94/TIAA31/TOAA31/TENC00 P94/TIAA31/TOAA31/TENC00/A4	46 -	- 58
EVT _{AB1}	入力	TAB ₁ の外部イベント・カウント入力	P65/TOAB1B3/ $\overline{CS3}$ P65/TOAB1B3	70 -	- 95
FLMD ₀	入力	フラッシュ・メモリ・プログラミング・モード引き込		8	12
FLMD ₁	入力	み用端子	PDL5/AD5	76	103
HLD _{AK}	出力	バス・ホールド・アクノリッジ出力	PCM2	-	10
HLD _{RQ}	入力	バス・ホールド要求入力	PCM3	-	11
INTP ₀₀	入力	外部割り込み要求入力 (マスカブル, アナログ・ノイズ除去) INTP ₀₂ 端子は, アナログ・ノイズ除去/デジタル・ ノイズ除去の選択可能 5Vトレラント対応 (INTP ₀₀ -INTP ₀₅ , INTP ₀₇ -INTP ₁₀)	P00	-	8
INTP ₀₁			P01	-	9
INTP ₀₂			P03/ADTRG/UCLK	7	7
INTP ₀₃			P04	-	26
INTP ₀₄			P05	-	27
INTP ₀₅			P56/ \overline{DRST} P24	41 -	- 36
INTP ₀₆			P25	-	28
INTP ₀₇			P30/TXDC0/SOF4	25	37
INTP ₀₈			P31/RXDC0/SIF4	26	38
INTP ₀₉			P34/TIAA10/TOAA10/TOAA10FF/PPON	29	41
INTP ₁₀			P42/ $\overline{SCKF0}$	24	31
INTP ₁₁			P96/TIAA21/TOAA21/A6 P96/TIAA21/TOAA21	- 48	62 -
INTP ₁₂			P98/SOF1 P98/SOF1/A8	50 -	- 64
INTP ₁₃			P99/ $\overline{SCKF1}$ P99/ $\overline{SCKF1}$ /A9	51 -	- 65
INTP ₁₄			P910/SIF3/TXDC2 P910/SIF3/TXDC2/A10	52 -	- 66
INTP ₁₅			P911/SOF3/RXDC2 P911/SOF3/RXDC2/A11	53 -	- 67
INTP ₁₆			P913/TOAB1OFF P913/TOAB1OFF/A13	55 -	- 69
INTP ₁₇			P914/TIAA51/TOAA51 P914/TIAA51/TOAA51/A14	56 -	- 70
INTP ₁₈			P915/TIAA50/TOAA50 P915/TIAA50/TOAA50/A15	57 -	- 71

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

(4/9)

端子名称	入出力	機能	兼用端子	ピン番号	
				JG3-U	JH3-U
KR0	入力	キー割り込み入力 (アナログ・ノイズ除去回路内蔵) 5Vトレラント対応 (KR0-KR5)	P50/TIAB01/TOAB01/RTP00 /UDMARQ1	35	47
KR1			P51/TIAB02/TOAB02/RTP01 /UDMARQ1	36	48
KR2			P52/TIAB03/TOAB03/RTP02/DDI ----- P20/TIAB03/TOAB03/RTP02	37	- 32
KR3			P53/SIF2/TIAB00/TOAB00/RTP03/DDO ----- P21/SIF2/TIAB00/TOAB00/RTP03	38	- 33
KR4			P54/SOF2/RTP04/DCK ----- P22/SOF2/RTP04	39	- 34
KR5			P55/SCKF2/RTP05/DMS ----- P23/SCKF2/RTP05	40	- 35
KR6			P90/TXDC1/SDA02 ----- P90/TXDC1/SDA02/A0	42	- 54
KR7			P91/RXDC1/SCL02 ----- P91/RXDC1/SCL02/A1	43	- 55
NMI	入力	外部割り込み (ノンマスカブル, アナログ・ノイズ除去), 5Vトレラント対応	P02	6	6
OCI	入力	オーバカレント検知入力, 5Vトレラント対応	P35/TIAA11/TOAA11/RTC1HZ	30	42
PPON	出力	USB用電源供給出力, 5Vトレラント対応	P34/TIAA10/TOAA10/TOAA1OFF/ INTP09	29	41
RD	出力	外部メモリに対するリード・ストロブ信号出力	P61/TOAB1B1/TIAB10/TOAB10 ----- PCT4	66	- 87
REGC		レギュレータ出力安定容量接続 (4.7 μ F: 推奨値)		10, 61	14, 83
RESET	入力	システム・リセット入力		14	18
RTC1HZ	出力	リアルタイム・カウンタ補正クロック (1Hz) 出力, 5Vトレラント対応	P35/TIAA11/TOAA11/OCI	30	42
RTCCL	出力	リアルタイム・カウンタ・クロック (32kHz原発) 出力, 5Vトレラント対応	P33/TIAA01/TOAA01/RTCDIV	28	40
RTCDIV	出力	リアルタイム・カウンタ・クロック (32kHz分周) 出力, 5Vトレラント対応	P33/TIAA01/TOAA01/RTCCL	28	40
RTP00	出力	リアルタイム出力ポート N-chオープン・ドレイン出力選択可能 5Vトレラント対応	P50/TIAB01/KR0/TOAB01 /UDMARQ1	35	47
RTP01			P51/TIAB02/KR1/TOAB02 /UDMAAK1	36	48
RTP02			P52/TIAB03/KR2/TOAB03/DDI ----- P20/TIAB03/KR2/TOAB03	37	- 32
RTP03			P53/SIF2/TIAB00/KR3/TOAB00/DDO ----- P21/SIF2/TIAB00/KR3/TOAB00	38	- 33
RTP04			P54/SOF2/KR4/DCK ----- P22/SOF2/KR4	39	- 34
RTP05			P55/SCKF2/KR5/DMS ----- P23/SCKF2/KR5	40	- 35

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

(5/9)

端子名称	入出力	機能	兼用端子	ピン番号	
				JG3-U	JH3-U
RXDC0	入力	シリアル受信データ入力 (UARTC0-UARTC4) 5Vトレラント対応 (RXDC0, RXDC3, RXDC4)	P31/SIF4/INTP08	26	38
RXDC1			P91/KR7/SCL02	43	-
			P91/KR7/SCL02/A1	-	55
RXDC2			P911/SOF3/INTP15	53	-
			P911/SOF3/INTP15/A11	-	67
RXDC3			P37/SDA00/UDMAAK0	32	44
RXDC4		P41/SOF0/SCL01	23	30	
SCKF0	入出力	シリアル・クロック入出力 (CSIF0-CSIF4) N-chオープン・ドレイン出力選択可能 5Vトレラント対応 (SCKF0, SCKF2, SCKF4)	P42/INTP10	24	31
SCKF1			P99/INTP13	51	-
			P99/INTP13/A9	-	65
SCKF2			P55/KR5/RTP05/DMS	40	-
			P23/KR5/RTP05	-	35
SCKF3			P912	54	-
	P912/A12	-	68		
SCKF4		P32/ASCKC0/TIAA00/TOAA00	27	39	
SCL00	入出力	シリアル・クロック入出力 (I ² C00-I ² C02) N-chオープン・ドレイン出力選択可能 5Vトレラント対応 (SCL00, SCL01)	P36/TXDC3/UDMARQ0	31	43
SCL01			P41/SOF0/RXDC4	23	30
SCL02			P91/KR7/RXDC1	43	-
		P91/KR7/RXDC1/A1	-	55	
SDA00	入出力	シリアル送受信データ入出力 (I ² C00-I ² C02) N-chオープン・ドレイン出力選択可能 5Vトレラント対応 (SDA00, SDA01)	P37/RXDC3/UDMAAK0	32	44
SDA01			P40/SIF0/TXDC4	22	29
SDA02			P90/KR6/TXDC1	42	-
		P90/KR6/TXDC1/A0	-	54	
SIF0	入力	シリアル受信データ入力 (CSIF0-CSIF4) 5Vトレラント対応 (SIF0, SIF2, SIF4)	P40/TXDC4/SDA01	22	29
SIF1			P97/TIAA20/TOAA20	49	-
			P97/TIAA20/TOAA20/A7	-	63
SIF2			P53/TIAB00/KR3/TOAB00/RTP03/DDO	38	-
			P21/TIAB00/KR3/TOAB00/RTP03	-	33
SIF3			P910/TXDC2/INTP14	52	-
	P910/TXDC2/INTP14/A10	-	66		
SIF4		P31/RXDC0/INTP08	26	38	
SOF0	出力	シリアル送信データ出力 (CSIF0-CSIF4) N-chオープン・ドレイン出力選択可能 5Vトレラント対応 (SOF0, SOF2, SOF4)	P41/RXDC4/SCL01	23	30
SOF1			P98/INTP12	50	-
			P98/INTP12/A8	-	64
SOF2			P54/KR4/RTP04/DCK	39	-
			P22/KR4/RTP04	-	34
SOF3			P911/RXDC2/INTP15	53	-
	P911/RXDC2/INTP15/A11	-	67		
SOF4		P30/TXDC0/INTP07	25	37	

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

(6/9)

端子名称	入出力	機 能	兼用端子	ピン番号	
				JG3-U	JH3-U
TECR0	入力	TMT0エンコーダ・クリア入力	P93/TIT00/TOT00	45	-
			P93/TIT00/TOT00/A3	-	57
TENC00		TMT0エンコーダ入力	P94/TIAA31/TOAA31/EVTT0	46	-
	P94/TIAA31/TOAA31/EVTT0/A4		-	58	
TENC01		P92/TIT01/TOT01	44	-	
		P92/TIT01/TOT01/A2	-	56	
TIAA00	入力	外部イベント・カウント入力/キャプチャ・トリガ入力/外部トリガ入力 (TAA0), 5Vトレラント対応	P32/ASCKC0/SCKF4/TOAA00	27	39
TIAA01		キャプチャ・トリガ入力 (TAA0), 5Vトレラント対応	P33/TOAA01/RTCDIV/RTCCL	28	40
TIAA10		外部イベント・カウント入力/キャプチャ・トリガ入力/外部トリガ入力 (TAA1), 5Vトレラント対応	P34/TOAA10/TOAA1OFF/ INTP09/PPON	29	41
TIAA11		キャプチャ・トリガ入力 (TAA1), 5Vトレラント対応	P35/TOAA11/RTC1HZ/OCI	30	42
TIAA20		外部イベント・カウント入力/キャプチャ・トリガ入力/外部トリガ入力 (TAA2)	P97/SIF1/TOAA20 P97/SIF1/TOAA20/A7	49	-
				-	63
TIAA21		キャプチャ・トリガ入力 (TAA2)	P96/TOAA21/INTP11 P96/TOAA21/INTP11/A6	48	-
				-	62
TIAA30		外部イベント・カウント入力/キャプチャ・トリガ入力/外部トリガ入力 (TAA3)	P95/TOAA30 P95/TOAA30/A5	47	-
				-	59
TIAA31		キャプチャ・トリガ入力 (TAA3)	P94/TOAA31/TENC00/EVTT0 P94/TOAA31/TENC00/EVTT0/A4	46	-
			-	58	
TIAA50	外部イベント・カウント入力/キャプチャ・トリガ入力/外部トリガ入力 (TAA5)	P915/TOAA50/INTP18 P915/TOAA50/INTP18/A15	57	-	
			-	71	
TIAA51	キャプチャ・トリガ入力 (TAA5)	P914/TOAA51/INTP17 P914/TOAA51/INTP17/A14	56	-	
			-	70	
TIAB00	入力	外部イベント・カウント入力/キャプチャ・トリガ入力/外部トリガ入力 (TAB0) 5Vトレラント対応	P53/SIF2/KR3/TOAB00/RTP03/DDO	38	-
				P21/SIF2/KR3/TOAB00/RTP03	-
TIAB01		キャプチャ・トリガ入力 (TAB0) 5Vトレラント対応	P50/KR0/TOAB01/RTP00 /UDMARQ1	35	47
TIAB02			P51/KR1/TOAB02/RTP01 /UDMAAK1	36	48
TIAB03		P52/KR2/TOAB03/RTP02/DDI P20/KR2/TOAB03/RTP02	37	-	
			-	32	
TIAB10	入力	キャプチャ・トリガ入力 (TAB1)	P61/TOAB1B1/TOAB10/RD	66	-
				P61/TOAB1B1/TOAB10	-
TIAB11		P60/TOAB1T1/TOAB11/WAIT P60/TOAB1T1/TOAB11	65	-	
				-	90
TIAB12		P62/TOAB1T2/TOAB12/ASTB P62/TOAB1T2/TOAB12	67	-	
				-	92
TIAB13		P64/TOAB1T3/TOAB13/CS2 P64/TOAB1T3/TOAB13	69	-	
			-	94	

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

(7/9)

端子名称	入出力	機能	兼用端子	ピン番号	
				JG3-U	JH3-U
TIT00	入力	TMT0の外部トリガ入力/キャプチャ・トリガ入力	P93/TECR0/TOT00	45	-
			P93/TECR0/TOT00/A3	-	57
TIT01	入力	TMT0のキャプチャ・トリガ入力	P92/TENC01/TOT01	44	-
			P92/TENC01/TOT01/A2	-	56
TOAA00	出力	タイマ出力 (TAA0) N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P32/ASCKC0/SCKF4/TIAA00	27	39
TOAA01		P33/TIAA01/RTCDIV/RTCCCL	28	40	
TOAA10		タイマ出力 (TAA1) N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P34/TIAA10/TOAA10OFF /INTP09/PPON	29	41
TOAA11		P35/TIAA11/RTC1HZ/OCI	30	42	
TOAA10FF	入力	TAA1ハイ・インピーダンス出力制御信号入力, 5Vトレラント対応	P34/TIAA10/TOAA10/INTP09/PPON	29	41
TOAA20	出力	タイマ出力 (TAA2) N-chオープン・ドレイン出力選択可能	P97/SIF1/TIAA20	49	-
			P97/SIF1/TIAA20/A7	-	63
TOAA21			P96/TIAA21/INTP11	48	-
			P96/TIAA21/INTP11/A6	-	62
TOAA30	出力	タイマ出力 (TAA3) N-chオープン・ドレイン出力選択可能	P95/TIAA30	47	-
			P95/TIAA30/A5	-	59
TOAA31			P94/TIAA31/TENC00/EVTT0	46	-
			P94/TIAA31/TENC00/EVTT0/A4	-	58
TOAA50	出力	タイマ出力 (TAA5) N-chオープン・ドレイン出力選択可能	P915/TIAA50/INTP18	57	-
			P915/TIAA50/INTP18/A15	-	71
TOAA51			P914/TIAA51/INTP17	56	-
			P914/TIAA51/INTP17/A14	-	70
TOAB00	出力	タイマ出力 (TAB0) N-chオープン・ドレイン出力選択可能, 5Vトレラント対応	P53/SIF2/TIAB00/KR3/RTP03/DDO	38	-
			P21/SIF2/TIAB00/KR3/RTP03	-	33
TOAB01			P50/TIAB01/KR0/RTP00 /UDMARQ1	35	47
			P51/TIAB02/KR1/RTP01 /UDMAK1	36	48
TOAB02			P52/TIAB03/KR2/RTP02/DDI	37	-
			P20/TIAB03/KR2/RTP02	-	32
TOAB10FF	入力	TAB1ハイ・インピーダンス出力制御信号入力	P913/INTP16	55	-
			P913/INTP16/A13	-	69
TOAB10	出力	タイマ出力 (TAB1)	P61/TOAB1B1/TIAB10/RD	66	-
			P61/TOAB1B1/TIAB10	-	91
TOAB11			P60/TOAB1T1/TIAB11/WAIT	65	-
			P60/TOAB1T1/TIAB11	-	90
TOAB12			P62/TOAB1T2/TIAB12/ASTB	67	-
			P62/TOAB1T2/TIAB12	-	92
TOAB13			P64/TOAB1T3/TIAB13/CS2	69	-
			P64/TOAB1T3/TIAB13	-	94

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

(8/9)

端子名称	入出力	機能	兼用端子	ピン番号	
				JG3-U	JH3-U
TOAB1B1	出力	TAB1の6相PWMロウ・アーム用パルス信号出力	P61/TIAB10/TOAB10/RD	66	-
			P61/TIAB10/TOAB10	-	91
TOAB1B2			P63/TRGAB1/CS0	68	-
		P63/TRGAB1	-	93	
TOAB1B3		P65/EVTAB1/CS3	70	-	
		P65/EVTAB1	-	95	
TOAB1T1	出力	TAB1の6相PWMハイ・アーム用パルス信号出力	P60/TOAB11/TIAB11/WAIT	65	-
			P60/TIAB11/TOAB11	-	90
TOAB1T2			P62/TIAB12/TOAB12/ASTB	67	-
		P62/TIAB12/TOAB12	-	92	
TOAB1T3		P64/TOAB13/TIAB13/CS2	69	-	
		P64/TIAB13/TOAB13	-	94	
TOT00	出力	TMT0のタイマ出力	P93/TECR0/TIT00	45	-
			P93/TECR0/TIT00/A3	-	57
TOT01		P92/TENC01/TIT01	44	-	
		P92/TENC01/TIT01/A2	-	56	
TRGAB1	入力	TAB1の外部トリガ入力	P63/TOAB1B2/CS0	68	-
			P63/TOAB1B2	-	93
TXDC0	出力	シリアル送信データ出力 (UARTC0-UARTC4) N-chオープン・ドレイン出力選択可能 5Vトレラント対応 (TXDC0, TXDC3, TXDC4)	P30/SOF4/INTP07	25	37
TXDC1			P90/KR6/SDA02	42	-
			P90/KR6/SDA02/A0	-	54
TXDC2			P910/SIF3/INTP14	52	-
			P910/SIF3/INTP14/A10	-	66
TXDC3		P36/SCL00/UDMARQ0	31	43	
TXDC4		P40/SIF0/SDA01	22	29	
UCLK	入力	USBクロック信号入力, 5Vトレラント対応	P03/INTP02/ADTRG	7	7
UDMAAK0	出力	USB用DMAアクノリッジ, 5Vトレラント対応	P37/RXDC3/SDA00	32	44
UDMAAK1		USB用DMAアクノリッジ, 5Vトレラント対応	P51/TIAB02/KR1/TOAB02/RTP01	36	48
UDMARQ0	入力	USB用DMAリクエスト, 5Vトレラント対応	P36/TXDC3/SCL00	31	43
UDMARQ1		USB用DMAリクエスト, 5Vトレラント対応	P50/TIAB01/KR0/TOAB01/RTP00	35	47
UDMF	入出力	USBデータ入出力 (-) ファンクション		17	21
UDMH		USBデータ入出力 (-) ホスト		20	24
UDPF		USBデータ入出力 (+) ファンクション		18	22
UDPH		USBデータ入出力 (+) ホスト		21	25
UVDD		USB用3.3V正電源供給		19	23
VDD		内部用正電源供給端子		9, 60	13, 82
VSS		内部用グランド電位		11, 33 62, 79	15, 45 60, 84 106

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

(9/9)

端子名称	入出力	機 能	兼用端子	ピン番号	
				JG3-U	JH3-U
$\overline{\text{WAIT}}$	入力	外部ウエイト入力	P60/TOAB1T1/TIAB11/TOAB11	65	-
			PCM0	-	89
$\overline{\text{WR0}}$	出力	外部メモリ(下位8ビット)に対するライト・ストロープ	PCT0	58	76
$\overline{\text{WR1}}$		外部メモリ(上位8ビット)に対するライト・ストロープ	PCT1	59	77
X1	入力	メイン・クロック用発振子接続		12	16
X2				13	17
XT1	入力	サブクロック用発振子接続		15	19
XT2				16	20

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

2.2 端子状態

動作モードによる各端子の動作状態を次に示します。

表2-2 動作モードによる各端子の動作状態

端子名称	電源投入時 ^{注1}	リセット中 (電源投入時 以外)	HALT モード ^{注2}	IDLE1, IDLE2, サブIDLE モード ^{注2}	STOP モード ^{注2}	アイドル・ ステート ^{注3}	バス・ ホールド					
$\overline{\text{DRST}}$	プルダウン	プルダウン ^{注4}	保持	保持	保持	保持	保持					
P10/ANO0, P11/ANO1	不定	Hi-Z	保持	保持	Hi-Z	保持	保持					
AD0-AD15	Hi-Z ^{注5}	Hi-Z ^{注5}	注6, 7	Hi-Z	Hi-Z	保持	Hi-Z					
A0-A15			不定 ^{注6, 8}									
A16-A21			不定 ^{注6}									
$\overline{\text{WAIT}}$			-									
CLKOUT			動作					L	L	動作	動作	
$\overline{\text{WR0}}, \overline{\text{WR1}}$			H ^{注6}					H	H	H	Hi-Z	
$\overline{\text{RD}}$												
ASTB												
HLD $\overline{\text{AK}}$			動作 ^{注6}								L	
HLD $\overline{\text{RQ}}$												動作
その他のポート端子	Hi-Z	Hi-Z	保持	保持	保持	保持	保持					

注1. 電源投入時，電源電圧が動作電源電圧範囲（下限）に達してから，1 ms経過するまでの期間です。

- 兼用機能が動作しているときは動作します。
- T3ステート後に挿入されるアイドル・ステート時の端子状態を示します。
- 外部リセット時はプルダウンされます。ウォッチドッグ・タイマやクロック・モニタなどによる内部リセット時は，OC $\overline{\text{DM}}$.OC $\overline{\text{DM}}$ 0ビットの設定によって異なります。
- バス制御端子はポート端子と兼用するので，入力モード（ポート・モード）に初期化します。
- HALTモード時でもDMA動作中は動作します。
- セパレート・バス・モード時 : Hi-Z
マルチプレクス・バス・モード時 : 不定
- セパレート・バス・モード時

備考 Hi-Z : ハイ・インピーダンス

保持 : 直前の外部バス・サイクルでの状態を保持

L : ロウ・レベル出力

H : ハイ・レベル出力

- : 入力非サンプリング（受け付けない）

2.3 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理

表2-3 各端子の入出力回路タイプと未使用時の処理 (1/4)

端子名称	兼用端子名	入出力回路タイプ	推奨接続方法	JG3-U	JH3-U
P00	INTP00	10-D	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	-	
P01	INTP01			-	
P02	NMI				
P03	INTP02/ADTRG/UCLK				
P04	INTP03			-	
P05	INTP04			-	
P10	ANO0	12-D	入力時：個別に抵抗を介して，AV _{REF1} またはAV _{SS} に接続してください。 出力時：オープンにしてください。		
P11	ANO1				
P20	TIAB03/KR2/TOAB03/RTP02	10-D	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	-	
P21	SIF2/TIAB00/KR3/TOAB00/RTP03			-	
P22	SOF2/KR4/RTP04			-	
P23	SCKF2/KR5/RTP05			-	
P24	INTP05			-	
P25	INTP06			-	
P30	TXDC0/SOF4/INTP07	10-D	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。		
P31	RXDC0/SIF4/INTP08				
P32	ASCKC0/SCKF4/TIAA00/TOAA00				
P33	TIAA01/TOAA01/RTCDIV/RTCCL				
P34	TIAA10/TOAA10/TOAA1OFF/ INTP09/PPON				
P35	TIAA11/TOAA11/RTC1HZ/OCI				
P36	TXDC3/SCL00/UDMARQ0				
P37	RXDC3/SDA00/UDMAAK0				
P40	SIF0/TXDC4/SDA01	10-D	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。		
P41	SOF0/RXDC4/SCL01				
P42	SCKF0/INTP10				
P50	TIAB01/KR0/TOAB01/RTP00/UDMARQ1	10-D	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。		
P51	TIAB02/KR1/TOAB02/RTP01/UDMAAK1				
P52	TIAB03/KR2/TOAB03/RTP02/DDI				-
P53	SIF2/TIAB00/KR3/TOAB00/RTP03/DDO				-
P54	SOF2/KR4/RTP04/DCK				-
P55	SCKF2/KR5/RTP05/DMS				-
P56	INTP05/DRST	10-N	入力時：個別に抵抗を介して，V _{SS} に接続してください。 V _{DD} レベルへの固定は禁止です。 出力時：オープンにしてください。 RESET端子によるリセット時，内部でプルダウンされます。		-

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

表2-3 各端子の入出力回路タイプと未使用時の処理(2/4)

端子名称	兼用端子名	入出力回路タイプ	推奨接続方法	JG3-U	JH3-U
P60	TOAB1T1/TIAB11/TOAB11/ $\overline{\text{WAIT}}$ ----- TOAB1T1/TIAB11/TOAB11	10-D	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	-	-
P61	TOAB1B1/TIAB10/TOAB10/ $\overline{\text{RD}}$ ----- TOAB1B1/TIAB10/TOAB10			-	-
P62	TOAB1T2/TIAB12/TOAB12/ASTB ----- TOAB1T2/TIAB12/TOAB12			-	-
P63	TOAB1B2/TRGAB1/ $\overline{\text{CS0}}$ ----- TOAB1B2/TRGAB1			-	-
P64	TOAB1T3/TIAB13/TOAB13/ $\overline{\text{CS2}}$ ----- TOAB1T3/TIAB13/TOAB13			-	-
P65	TOAB1B3/EVTAB1/ $\overline{\text{CS3}}$ ----- TOAB1B3/EVTAB1			-	-
P70- P711	ANI0-ANI11	11-G	入力時：個別に抵抗を介して，AV _{REF0} またはAV _{SS} に接続してください。 出力時：オープンにしてください。		
P90	KR6/TXDC1/SDA02 ----- KR6/TXDC1/SDA02/A0	10-D	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	-	-
P91	KR7/RXDC1/SCL02 ----- KR7/RXDC1/SCL02/A1			-	-
P92	TENC01/TIT01/TOT01 ----- TENC01/TIT01/TOT01/A2			-	-
P93	TECR0/TIT00/TOT00 ----- TECR0/TIT00/TOT00/A3			-	-
P94	TIAA31/TOAA31/TENC00/EVTT0 ----- TIAA31/TOAA31/TENC00/EVTT0/A4			-	-
P95	TIAA30/TOAA30 ----- TIAA30/TOAA30/A5			-	-
P96	TIAA21/TOAA21/INTP11 ----- TIAA21/TOAA21/INTP11/A6			-	-
P97	SIF1/TIAA20/TOAA20 ----- SIF1/TIAA20/TOAA20/A7			-	-
P98	SOF1/INTP12 ----- SOF1/INTP12/A8			-	-
P99	$\overline{\text{SCKF1}}$ /INTP13 ----- SCKF1/INTP13/A9			-	-
P910	SIF3/TXDC2/INTP14 ----- SIF3/TXDC2/INTP14/A10			-	-
P911	SOF3/RXDC2/INTP15 ----- SOF3/RXDC2/INTP15/A11			-	-
P912	$\overline{\text{SCKF3}}$ ----- SCKF3/A12	-	-		

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

表2-3 各端子の入出力回路タイプと未使用時の処理(3/4)

端子名称	兼用端子名	入出力回路タイプ	推奨接続方法	JG3-U	JH3-U
P913	TOAB1OFF/INTP16 ----- TOAB1OFF/INTP16/A13	10-D	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	-	-
P914	TIAA51/TOAA51/INTP17 ----- TIAA51/TOAA51/INTP17/A14			-	-
P915	TIAA50/TOAA50/INTP18 ----- TIAA50/TOAA50/INTP18/A15			-	-
PCM0	WAIT	5	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	-	-
PCM1	CLKOUT			-	-
PCM2	HLDK			-	-
PCM3	HLDK			-	-
PCS0	CS0	5	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	-	-
PCS2	CS2			-	-
PCS3	CS3			-	-
PCT0	WR0	5	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	-	-
PCT1	WR1			-	-
PCT4	RD			-	-
PCT6	ASTB			-	-
PDH0- PDH7	A16-A23	5	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	-	-
PDL0- PDL4	AD0-AD4	5	入力時：個別に抵抗を介して，EV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	-	-
PDL5	AD5/FLMD1			-	-
PDL6- PDL15	AD6-AD15			-	-
AV _{REF0}			常に電源に接続してください(スタンバイ時も同様です)。	-	-
AV _{REF1}			常に電源に接続してください(スタンバイ時も同様です)。	-	-
AV _{SS}			常にグラウンドに直接接続してください(スタンバイ時も同様です)。	-	-
DCK			常に電源に接続してください(スタンバイ時も同様です)。	-	-
DDI			常に電源に接続してください(スタンバイ時も同様です)。	-	-
DDO			オープンにしてください	-	-
DMS			常に電源に接続してください(スタンバイ時も同様です)。	-	-
DRST			常にグラウンドに直接接続してください(スタンバイ時も同様です)。	-	-
EV _{DD}			常に電源に接続してください(スタンバイ時も同様です)。	-	-
FLMD0			フラッシュ・モード時以外は，V _{SS} に直接接続してください。	-	-
REGC			レギュレータ出力安定容量に接続してください。	-	-
RESET		2		-	-

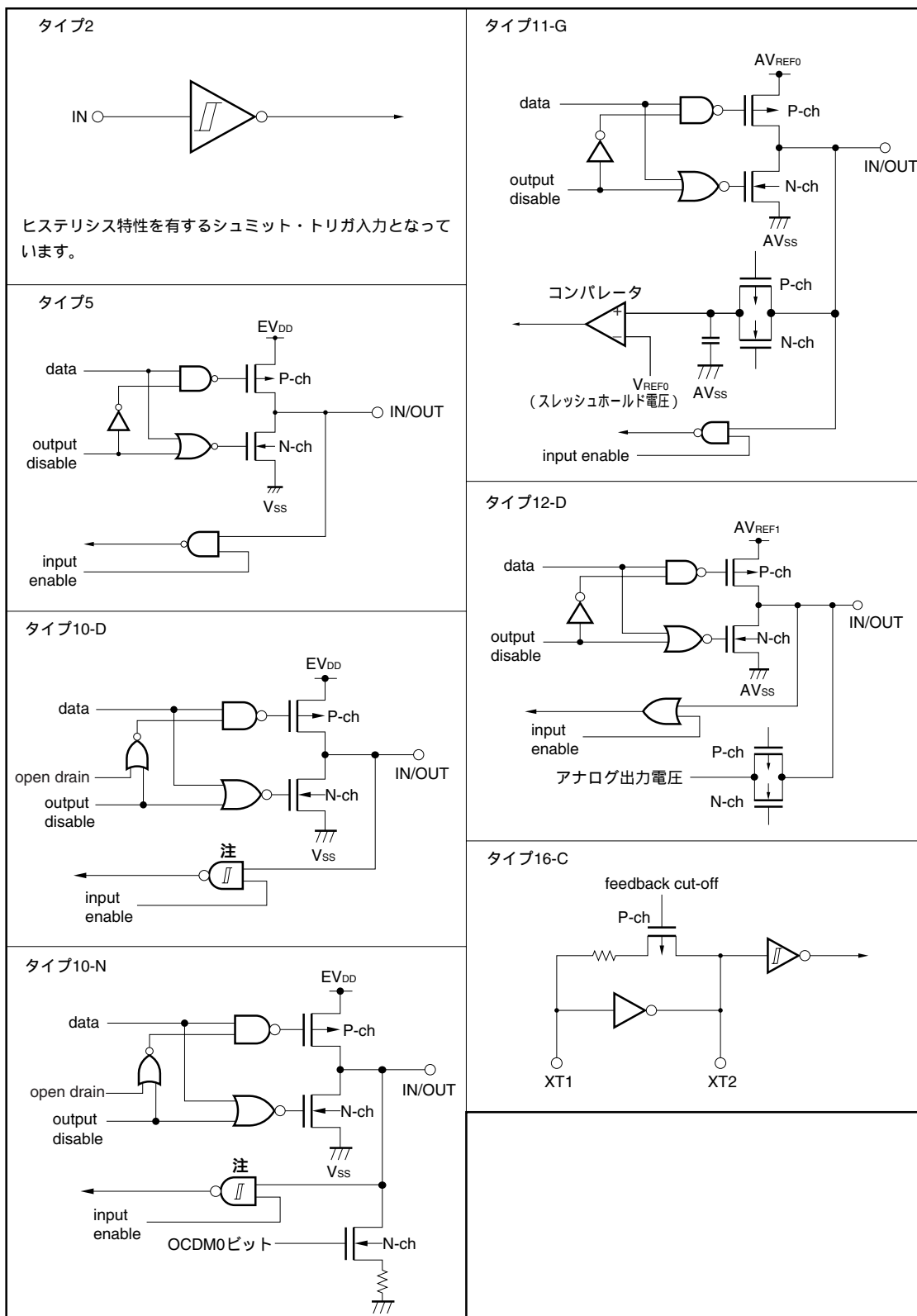
備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

表2-3 各端子の入出力回路タイプと未使用時の処理(4/4)

端子名称	兼用端子名	入出力回路タイプ	推奨接続方法	JG3-U	JH3-U
UDMF			常に抵抗を介してグラウンドに接続してください。		
UDMH					
UDPF			常にグラウンドに直接接続してください(スタンバイ時も同様です)。		
UDPH					
UV _{DD}			常に電源に接続してください(スタンバイ時も同様です)。		
V _{DD}			常に電源に接続してください(スタンバイ時も同様です)。		
V _{SS}			常にグラウンドに直接接続してください(スタンバイ時も同様です)。		
X1					
X2					
XT1		16-C	抵抗を介して、V _{SS} に接続してください。		
XT2		16-C	オープンにしてください		

備考 JG3-U : V850ES/JG3-U, JH3-U : V850ES/JH3-U

図2-1 端子の入出力回路タイプ



注 ポート・モード時はヒステリシス特性を持ちません。

2.4 注意事項

次に示す端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- ・ P10/ANO0端子
- ・ P11/ANO1端子
- ・ DDO端子 (V850ES/JH3-Uのみ)
- ・ P53/SIF2/TIAB00/KR3/TOAB00/RTP03/DDO端子 (V850ES/JG3-Uのみ)

第3章 CPU機能

V850ES/JG3-U, V850ES/JH3-UのCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

最小命令実行時間 20.8 ns (メイン・クロック (f_{xx}) = 48 MHz動作時 : $V_{DD} = 2.85\text{ V} \sim 3.6\text{ V}$)

30.5 μs (サブクロック (f_{XT}) = 32.768 kHz動作時)

メモリ空間 プログラム (物理アドレス) 空間 : 64 Mバイト・リニア

データ (論理アドレス) 空間 : 4 Gバイト・リニア

汎用レジスタ : 32ビット \times 32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令 : 1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

- ・ SET1
- ・ CLR1
- ・ NOT1
- ・ TST1

3.2 CPUレジスタ・セット

V850ES/JG3-U, V850ES/JH3-Uのレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES **ユーザーズ・マニュアル** **アーキテクチャ編**を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	0	31	0
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態回避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態回避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態回避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態回避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態回避レジスタ)
r11		CTPSW	(CALLT実行時状態回避レジスタ)
r12			
r13		DBPC	(例外/デバッグ・トラップ時状態回避レジスタ)
r14		DBPSW	(例外/デバッグ・トラップ時状態回避レジスタ)
r15			
r16			
r17		CTBP	(CALLTベース・ポインタ)
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31	0		
PC	(プログラム・カウンタ)		

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1、r3-r5、r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3-1 プログラム・レジスタ一覧

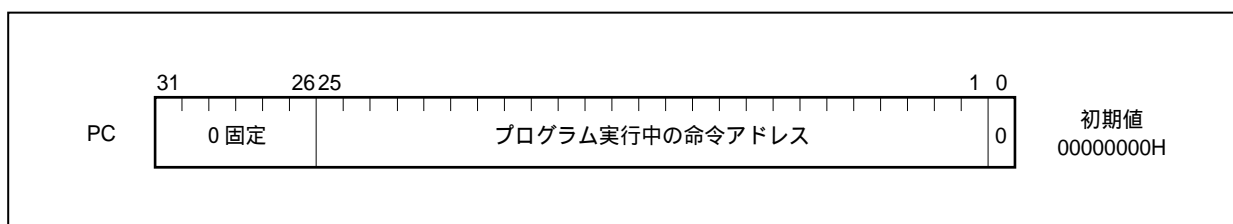
名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス/データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス/データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

備考 アセンブラやCコンパイラで使用されるr1、r3-r5、r31の詳細な説明は、CA850 (Cコンパイラ・パッケージ) ユーザーズ・マニュアル アセンブリー言語編を参照してください。

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) ^{注1}		
1	割り込み時状態退避レジスタ (EIPSW) ^{注1}		
2	NMI時状態退避レジスタ (FEPC) ^{注1}		
3	NMI時状態退避レジスタ (FEPSW) ^{注1}		
4	割り込み要因レジスタ (ECR)	x	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/デバッグ・トラップ時状態退避レジスタ (DBPC)	注2	注2
19	例外/デバッグ・トラップ時状態退避レジスタ (DBPSW)	注2	注2
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x

注1. これらのレジスタは1組しかないので、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

注意 LDSR命令によりEIPCがFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC、FEPC、CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

備考 : アクセス可能

x : アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

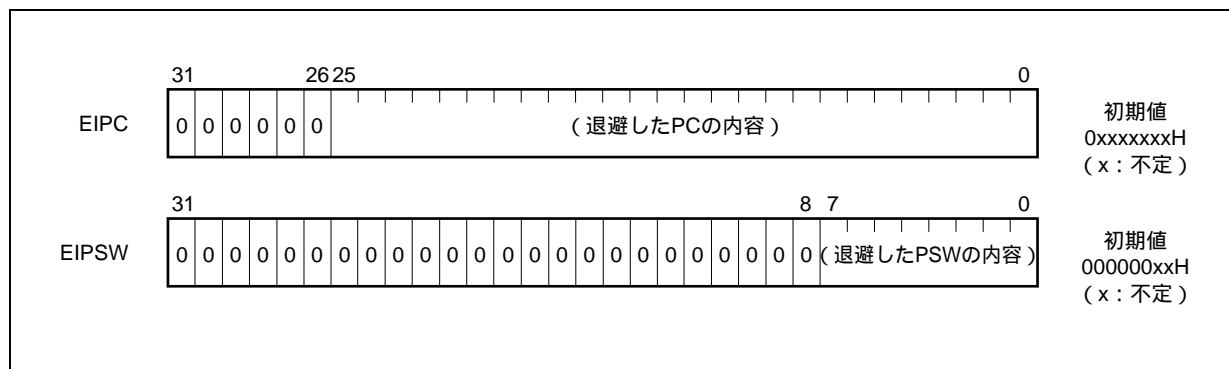
EIPCには、一部の命令 (23.8 CPUが割り込みを受け付けない期間参照) を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

ノンマスクابل割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSW に退避されます。

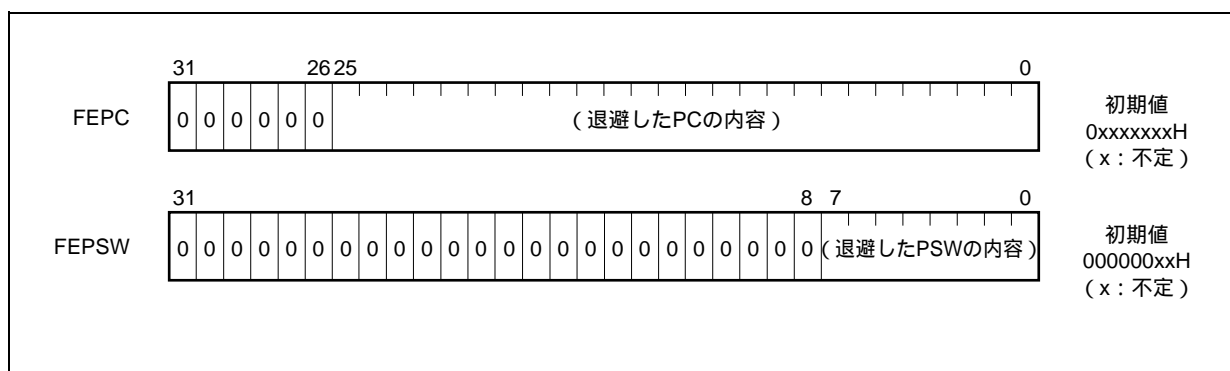
FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

NMI時状態退避レジスタは1組しかないため、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

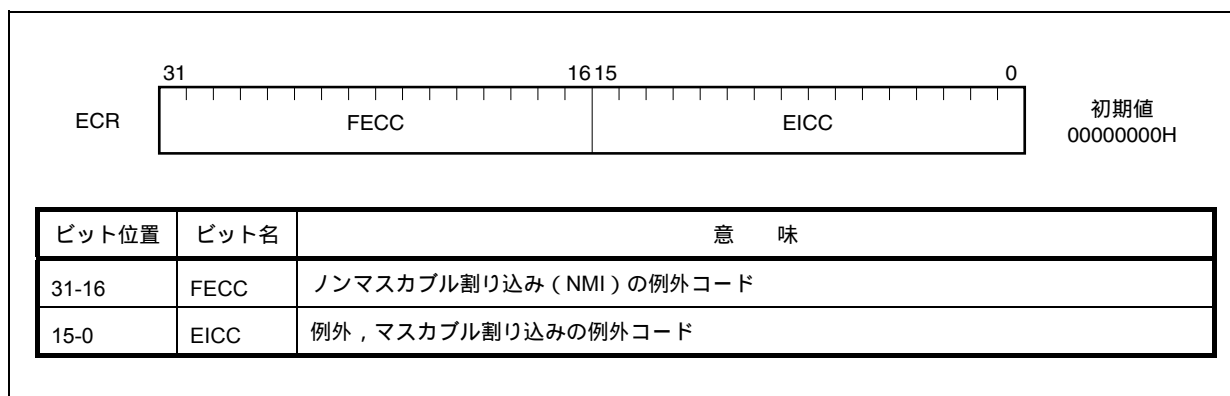
なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) や CPU の状態を示すフラグの集合です。

LDSR 命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR 命令実行終了直後から変更内容が有効となります。ただし、ID フラグをセット (1) する場合、LDSR 命令実行中から割り込み要求の受け付けを禁止します。

なお、ビット 31-8 は、将来の機能拡張のために予約されています (0 に固定)。

(1/2)

ビット位置	フラグ名	意 味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスカブル割り込み (NMI) 処理中であることを示します。NMI 要求が受け付けられるとセット“1”され、多重割り込みを禁止します。 0: NMI 処理中でない。 1: NMI 処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み可 1: 割り込み不可
4	SAT ^注	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR 命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV ^注	演算中にオーバーフローが発生したかどうかを示します。 0: オーバーフローは発生していない。 1: オーバーフローが発生した。
1	S ^注	演算の結果が負かどうかを示します。 0: 演算の結果は、正または 0 であった。 1: 演算の結果は負であった。
0	Z	演算の結果が 0 かどうかを示します。 0: 演算の結果は 0 でなかった。 1: 演算の結果は 0 であった。

備考 注の説明は次ページに記載しています。

注 飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット (1) された場合だけ、SAT フラグはセット (1) されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正 (最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負 (最大値を越えない)	保持		1	

(5) CALLT実行時状態退避レジスタ (CTPC, CTPSW)

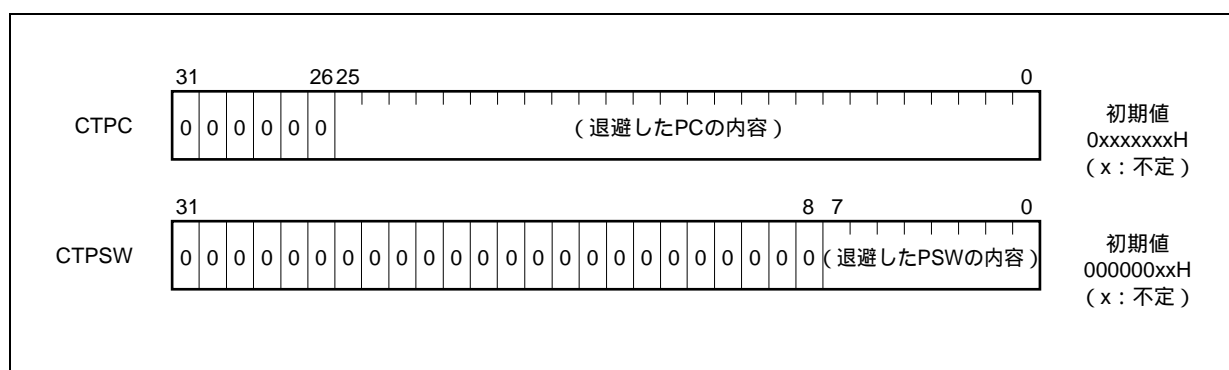
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ (PC) の内容がCTPCに、プログラム・ステータス・ワード (PSW) の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています (“0” に固定)。



(6) 例外/デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外/デバッグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

例外トラップ,またはデバッグ・トラップが発生すると,プログラム・カウンタ(PC)の内容がDBPC に,プログラム・ステータス・ワード(PSW)の内容がDBPSWに退避されます。

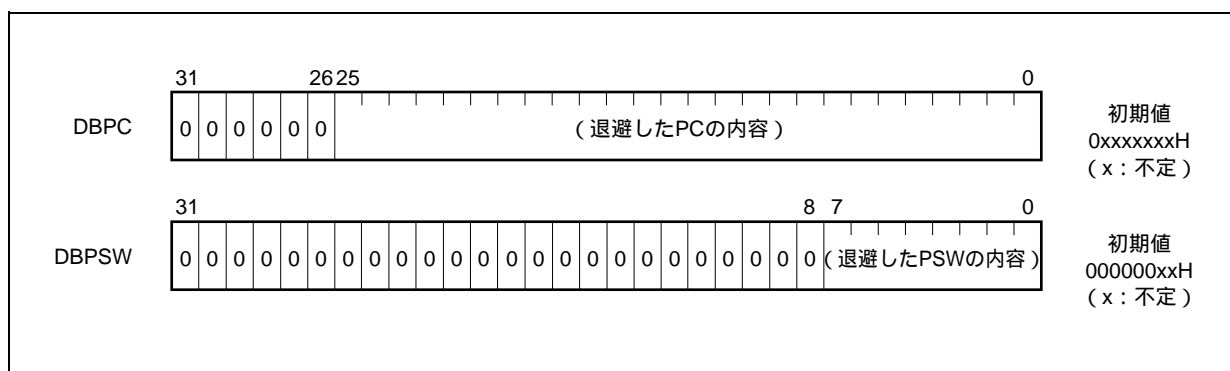
DBPCに退避される内容は,例外トラップ,またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには,現在のPSWの内容が退避されます。

このレジスタへのリード/ライトは,DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

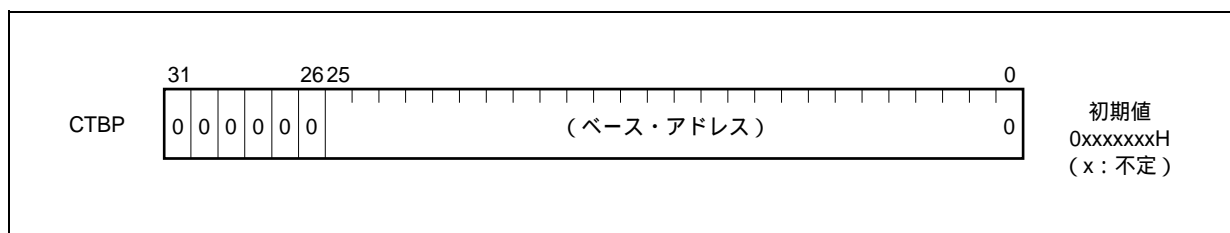
なお,DBPCのビット31-26とDBPSWのビット31-8は,将来の機能拡張のために予約されています(“0”に固定)。

DBRET命令により,DBPCの値はPCへ,DBPSWの値はPSWへ復帰します。

**(7) CALLTベース・ポインタ (CTBP)**

CALLTベース・ポインタ(CTBP)は,テーブル・アドレスの指定,ターゲット・アドレスの生成に使用されます(ビット0は“0”に固定)。

なお,ビット31-26は,将来の機能拡張のために予約されています(“0”に固定)。



3.3 動作モード

V850ES/JG3-U, V850ES/JH3-Uは次に示す動作モードを備えます。

(1) 通常動作モード

システム・リセット解除後，バス・インタフェース関連の各端子はポート・モードになり，内蔵ROMのリセット・エントリ・アドレスに分岐し，命令処理を開始します。

(2) フラッシュ・メモリ・プログラミング・モード

このモードを指定すると，フラッシュ・プログラマによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

(3) オンチップ・デバッグ・モード

JTAG (Joint Test Action Group) の通信仕様を利用したオンチップ・デバッグ機能を内蔵しています。詳細は第32章 **オンチップ・デバッグ機能**を参照してください。

3.3.1 動作モード指定

FLMD0, FLMD1端子の状態により，動作モードを指定します。

通常モード時は，リセット解除時に，FLMD0端子にロウ・レベルを入力してください。

フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力，フラッシュ・プログラマ接続時はフラッシュ・プログラマから行いますが，セルフ・プログラミング時は外部回路で行ってください。

リセット解除時の動作		リセット後の動作モード
FLMD0	FLMD1	
L	x	通常動作モード
H	L	フラッシュ・メモリ・プログラミング・モード
H	H	設定禁止

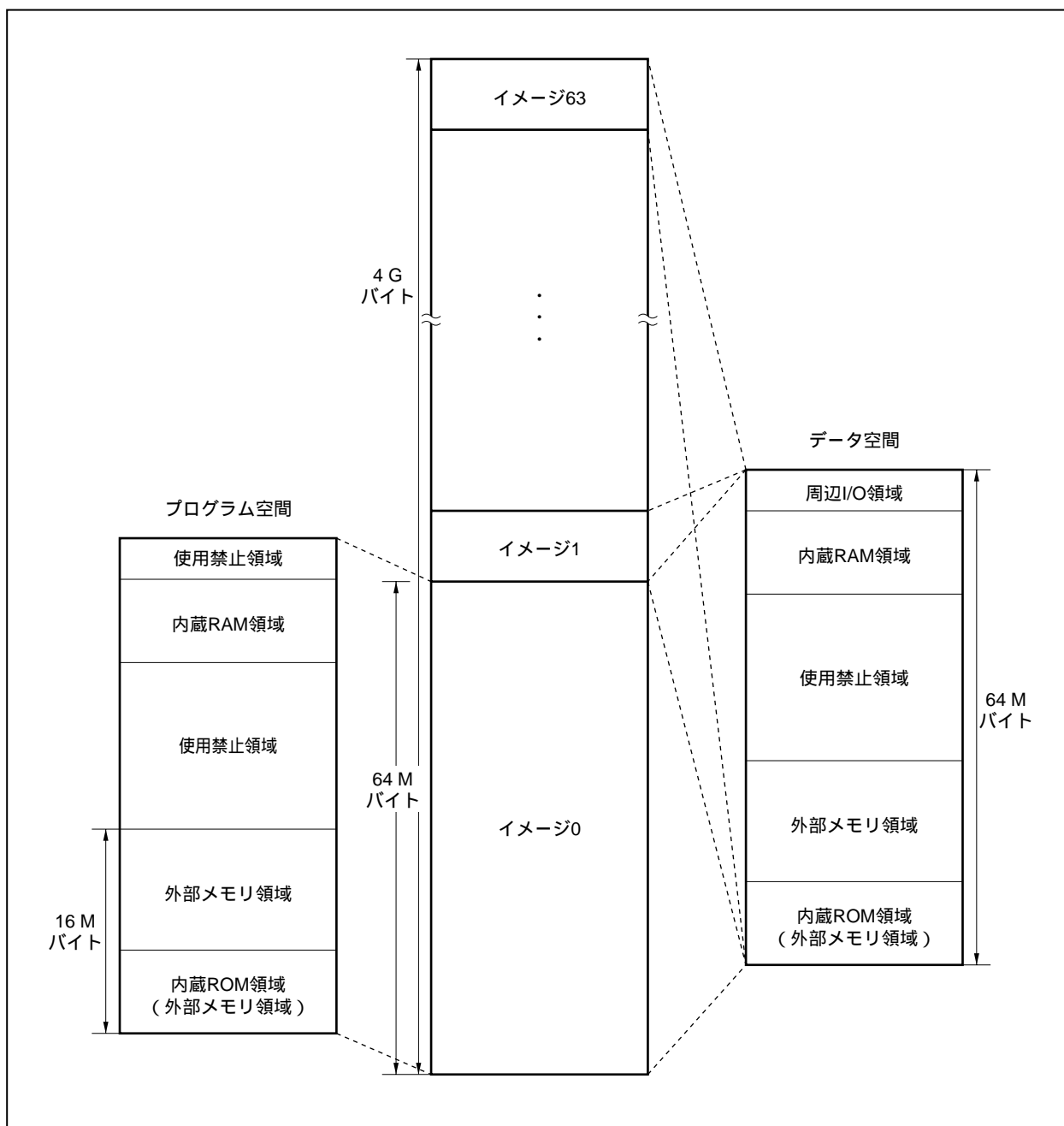
備考 L：ロウ・レベル入力
H：ハイ・レベル入力
x：任意

3.4 アドレス空間

3.4.1 CPUアドレス空間

命令アドレスのアドレッシングにおいては、最大で64 Mバイトのリニア・アドレス空間（プログラム空間）のうち最大16 Mバイトの外部メモリ領域および内蔵ROM領域と、内蔵RAM領域をサポートしています。オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし、4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり、ビット31-26がどのような値でも、同じ64 Mバイトの物理アドレス空間をアクセスします。

図3 - 1 アドレス空間上のイメージ



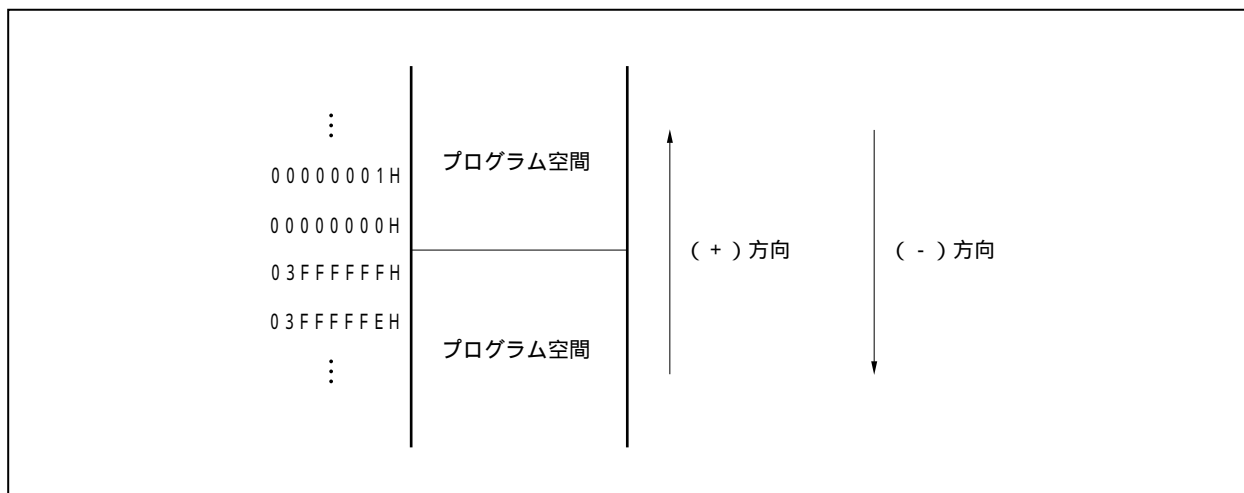
3.4.2 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC(プログラム・カウンタ)は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の上限である03FFFFFFH番地と、下限である00000000H番地は連続したアドレスとなります。このようにメモリ空間の上限と下限が連続したアドレスになることをラップ・アラウンドといいます。

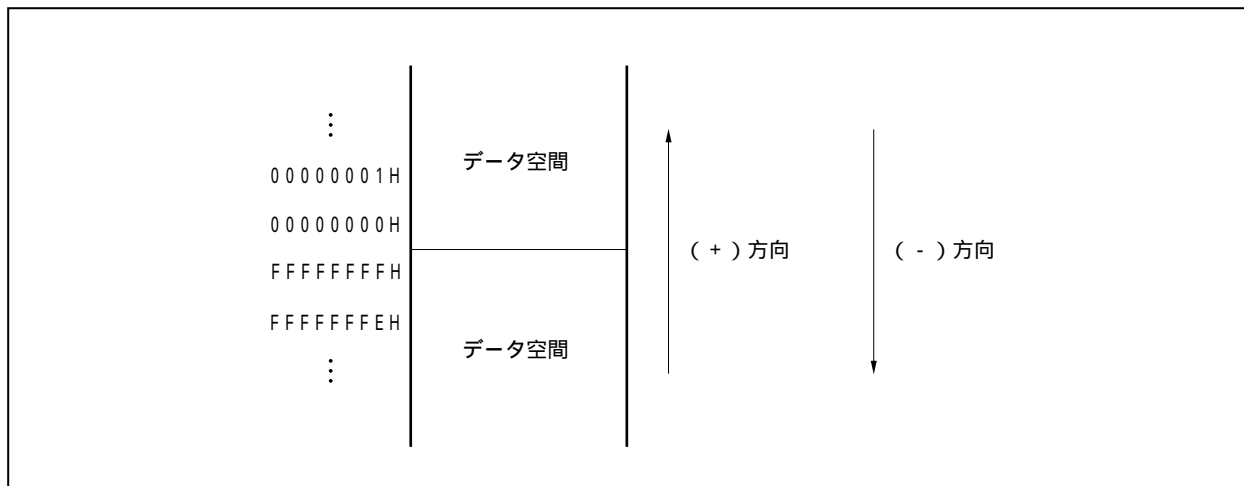
注意 03FFF000H-03FFFFFFHの4 Kバイトの領域は、内蔵周辺I/O領域のため、命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の上限であるFFFFFFFFH番地と、下限である00000000H番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.3 メモリ・マップ

V850ES/JG3-U, V850ES/JH3-Uでは、次に示すように各領域を予約しています。

図3-2 データ・メモリ・マップ(物理アドレス)

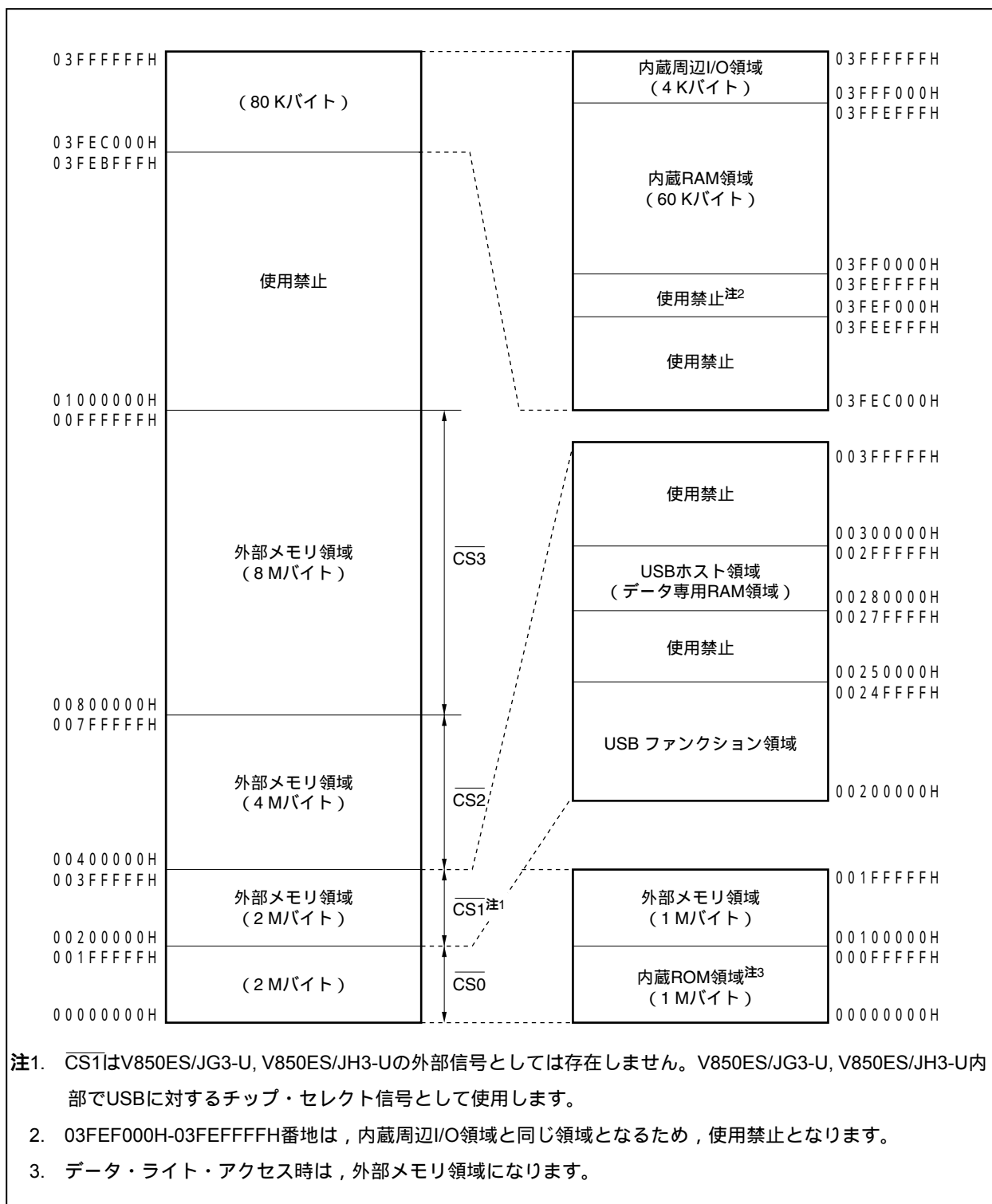
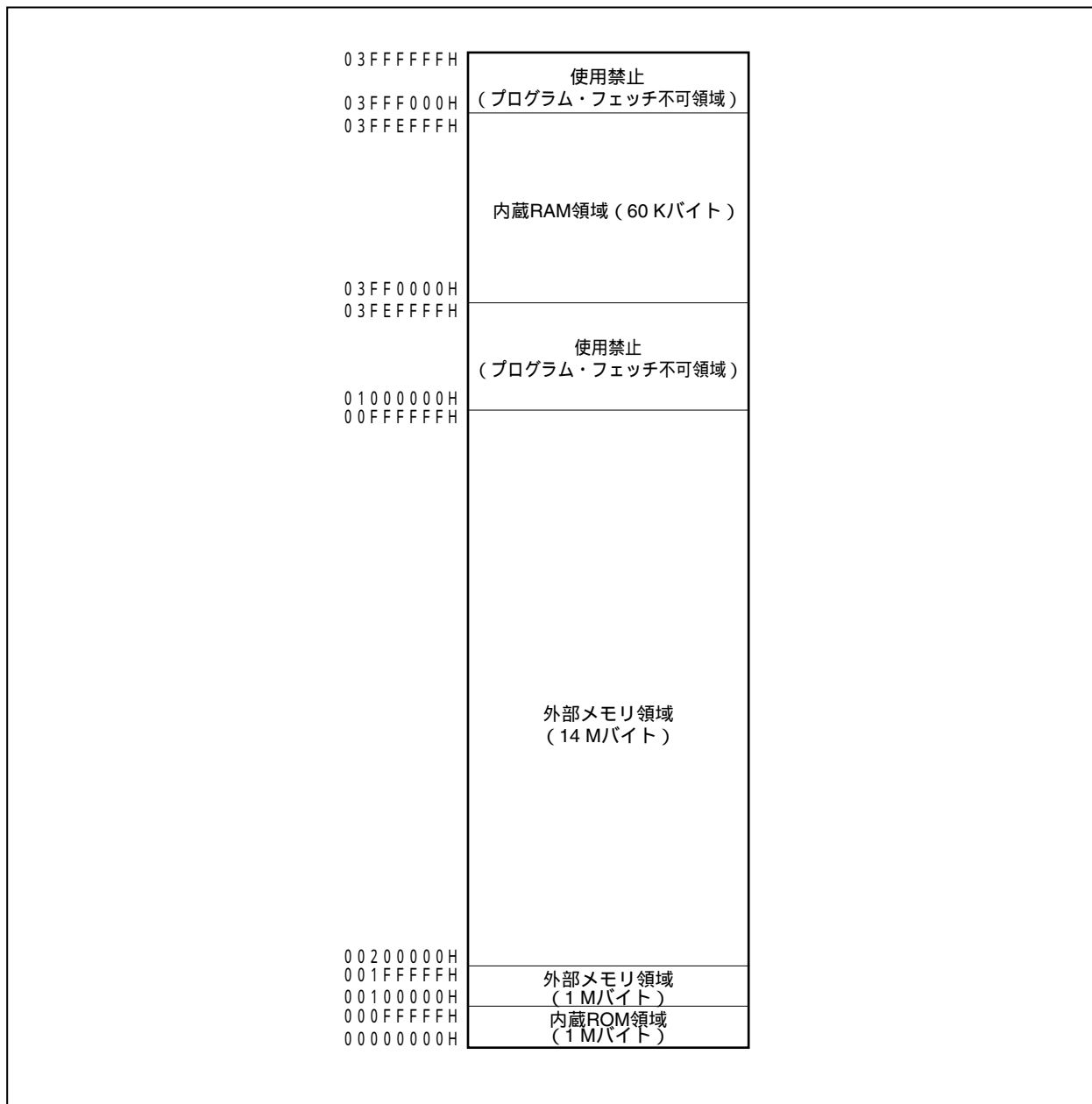


図3 - 3 プログラム・メモリ・マップ



3.4.4 領域

(1) 内蔵ROM領域

内蔵ROM領域は、最大1 Mバイトが予約されています。

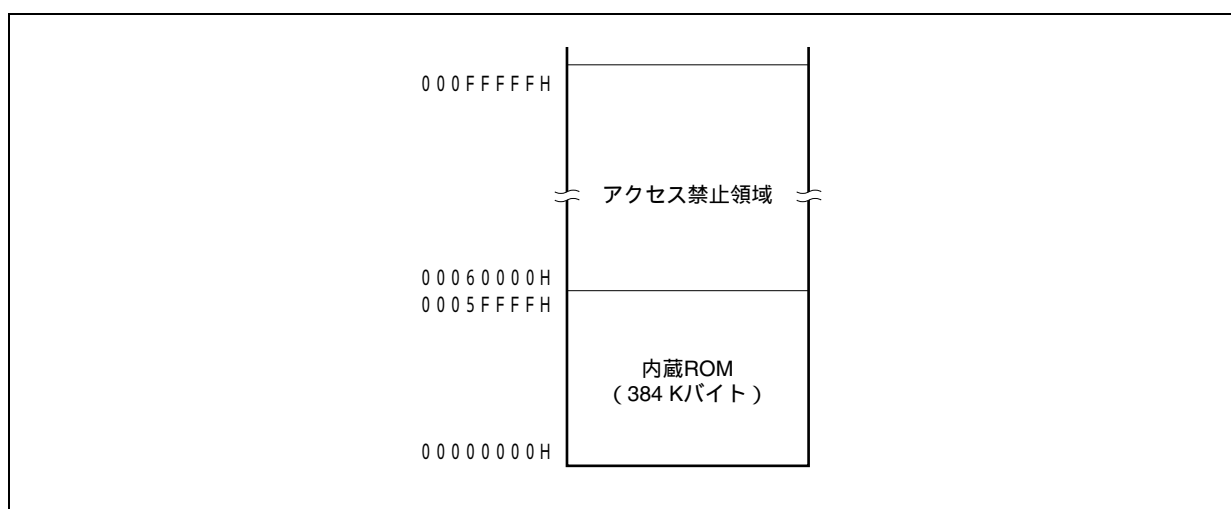
(a) 内蔵ROM (384 Kバイト)

次の製品には00000000Hから0005FFFFH番地に384 Kバイト実装しています。

00060000Hから000FFFFFFH番地はアクセス禁止領域です。

・ μ PD70F3763, 70F3768

図3 - 4 内蔵ROM領域 (384 Kバイト)



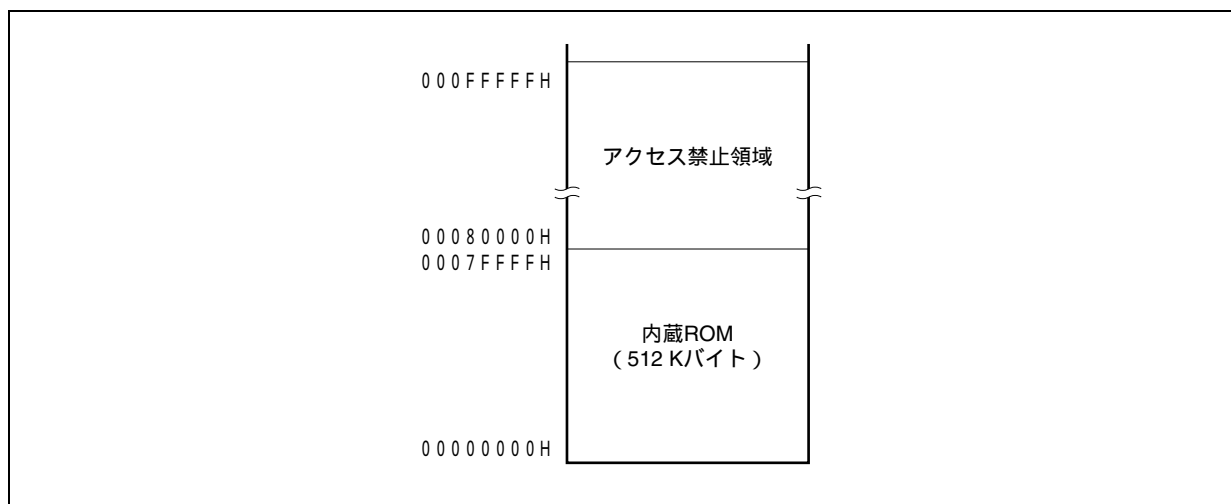
(b) 内蔵ROM (512 Kバイト)

次の製品には00000000Hから0007FFFFH番地に512 Kバイト実装しています。

00080000Hから000FFFFFFH番地はアクセス禁止領域です。

・ μ PD70F3764, 70F3769

図3 - 5 内蔵ROM領域 (512 Kバイト)



(2) 内蔵RAM領域

内蔵RAM領域は、最大60 Kバイトが予約されています。

V850ES/JG3-U, V850ES/JH3-Uは内蔵RAMのほかにデータ専用RAMを8 Kバイト搭載しており、USBホスト/USBファンクション機能を使用しない場合、内蔵RAMとして使用可能です。

次にV850ES/JG3-U, V850ES/JH3-UのRAM容量について示します。

表3 - 3 RAM領域

愛称	品名	内蔵RAM	データ専用RAM	トータルRAM
V850ES/JG3-U	μ PD70F3763	40 Kバイト	8 Kバイト	48 Kバイト
	μ PD70F3764	48 Kバイト		56 Kバイト
V850ES/JH3-U	μ PD70F3768	40 Kバイト		48 Kバイト
	μ PD70F3769	48 Kバイト		56 Kバイト

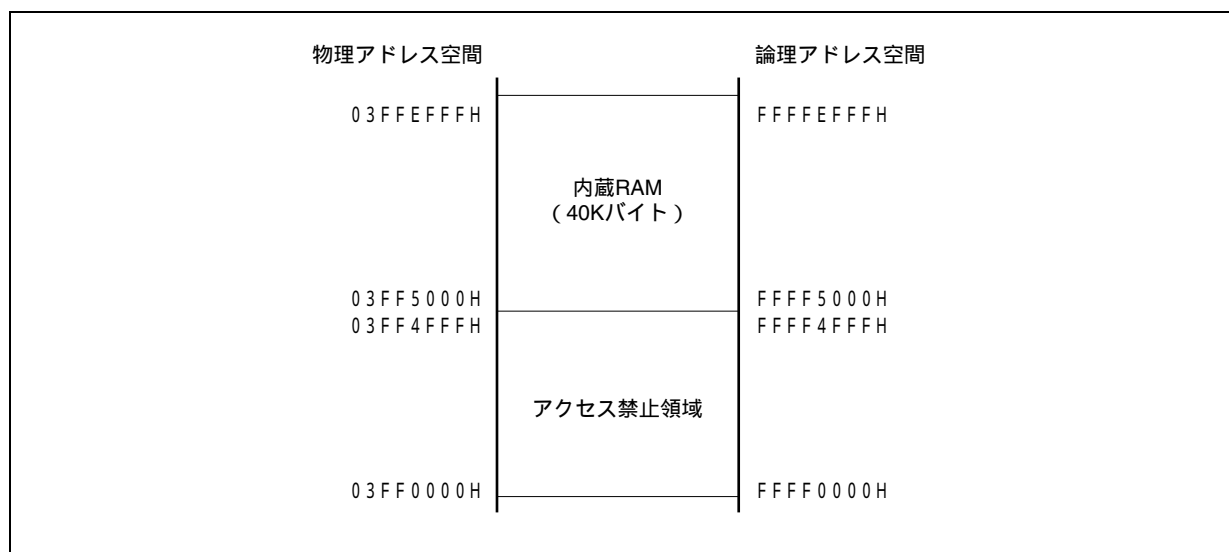
(a) 内蔵RAM (40 Kバイト)

次の製品には03FF5000Hから03FFEFFFH番地に40 Kバイト実装しています。

03FF0000Hから03FF4FFFH番地はアクセス禁止領域です。

- ・ μ PD70F3763, 70F3768

図3 - 6 内蔵RAM領域 (40 Kバイト)

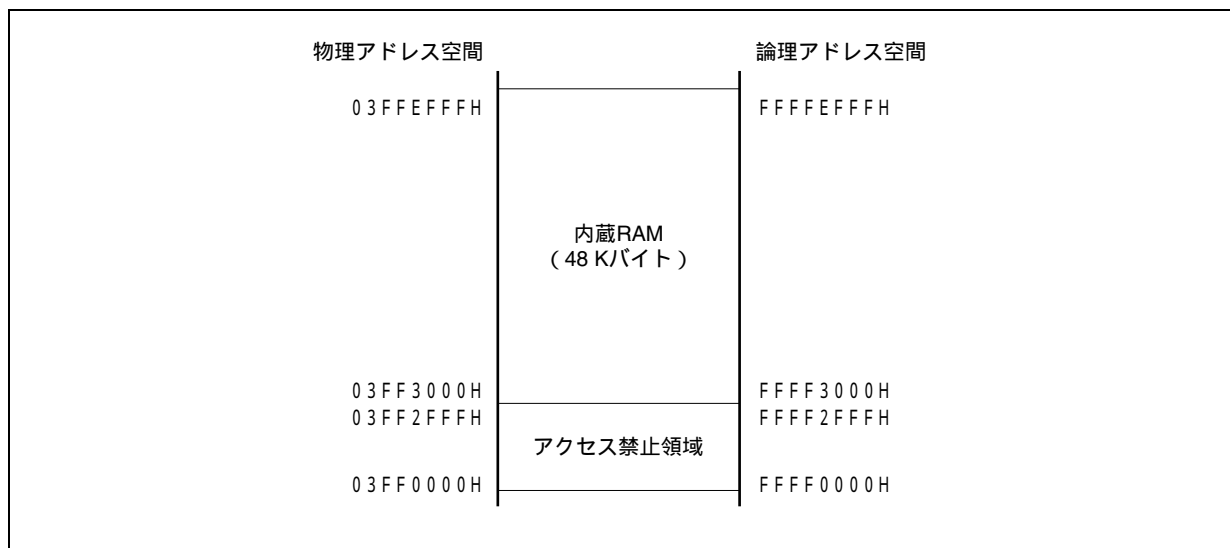


(b) 内蔵RAM (48 Kバイト)

次の製品には03FF3000Hから03FF2FFFH番地に48 Kバイト実装しています。
03FF0000Hから03FF2FFFH番地はアクセス禁止領域です。

・μ PD70F3764, 70F3769

図3 - 7 内蔵RAM領域 (48 Kバイト)

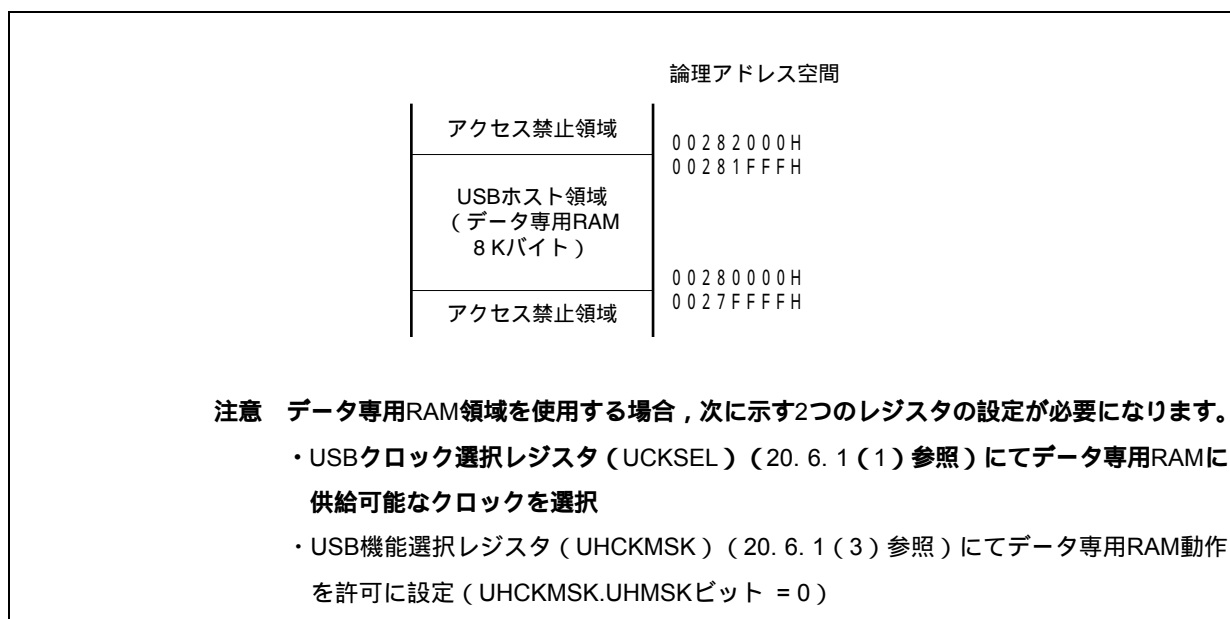


(c) データ専用RAM (8 Kバイト)

V850ES/JG3-U, V850ES/JH3-Uには00280000Hから00281FFFH番地に8 Kバイトのデータ専用RAMを実装しています。

データ専用RAMは、USBホスト・コントローラ使用時、USBホスト領域として使用します。USBホスト・コントローラを使用しない場合、データ専用RAMとして使用可能です。

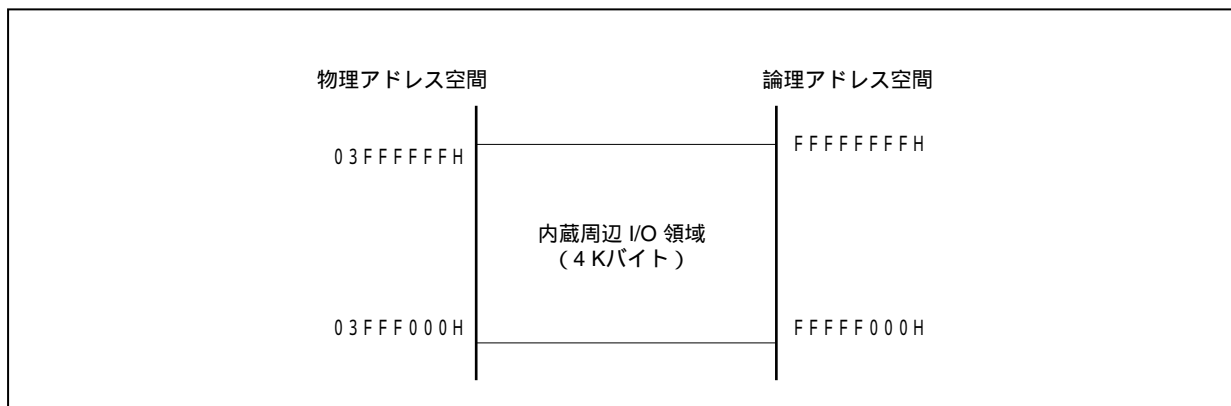
図3 - 8 データ専用RAM領域 (8 Kバイト)



(3) 内蔵周辺I/O領域

内蔵周辺I/O領域として03FFFF00H-03FFFFFFH番地の4 Kバイトを予約しています。

図3 - 9 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
 3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。
 4. 内蔵ROM/RAM領域と、内蔵周辺I/O領域のアドレスは連続しています。
そのため、ポインタ操作などでアドレスをインクリメント/デクリメントしながらアクセスする場合は、誤って内蔵ROM/RAM領域を越えて内蔵周辺I/O領域へアクセスしないでください。

(4) 外部メモリ領域

外部メモリ領域として13 Mバイト(00100000H-001FFFFFFH, 00400000H-00FFFFFFH)あります。詳細は第5章 バス制御機能を参照してください。

3.4.5 アドレス空間の推奨使用方法

V850ES/JG3-U, V850ES/JH3-Uのアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

(1) プログラム空間

PC(プログラム・カウンタ)は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は、次の番地に対してアクセスしてください。

注意 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作(無効フェッチ)は発生しません。

RAMサイズ	アクセス番地
48 Kバイト	03FF3000H-03FFFEFFFH
40 Kバイト	03FF5000H-03FFFEFFFH

(2) データ空間

V850ES/JG3-U, V850ES/JH3-Uでは、4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため、この26ビット・アドレスの最上位ビット(ビット25)を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例

LD/ST disp16[R]命令でR=r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地±32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ(r0)はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

例 μPD70F3769の場合

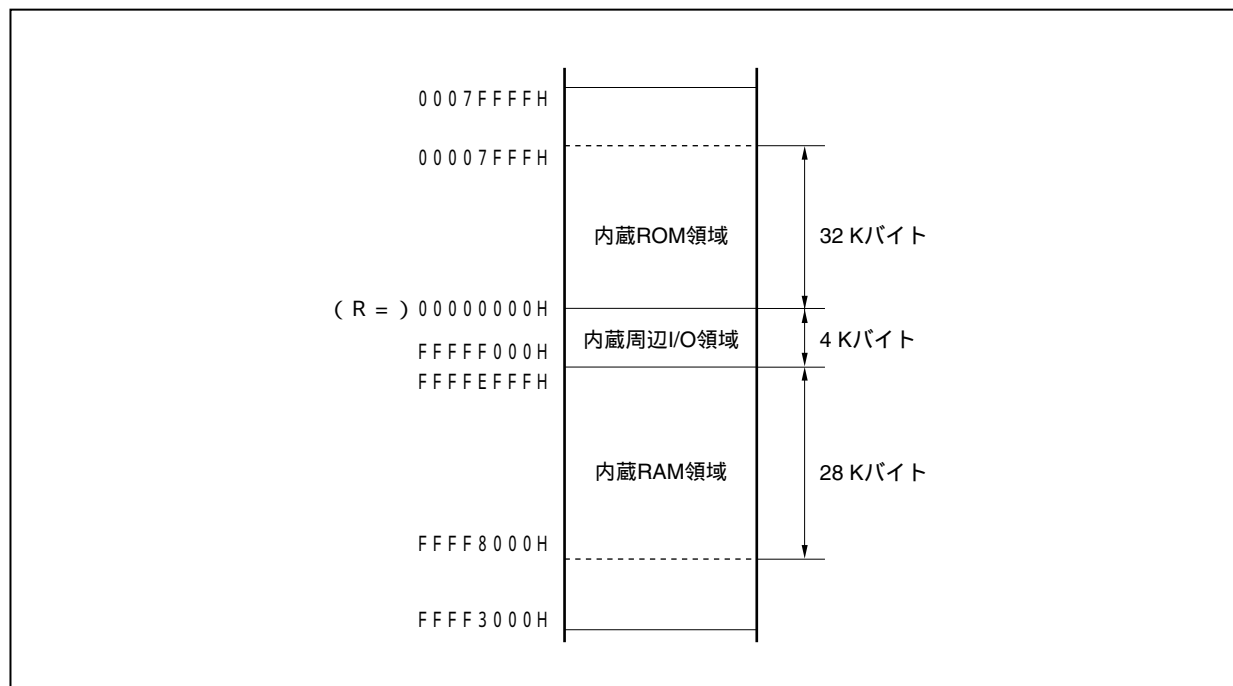
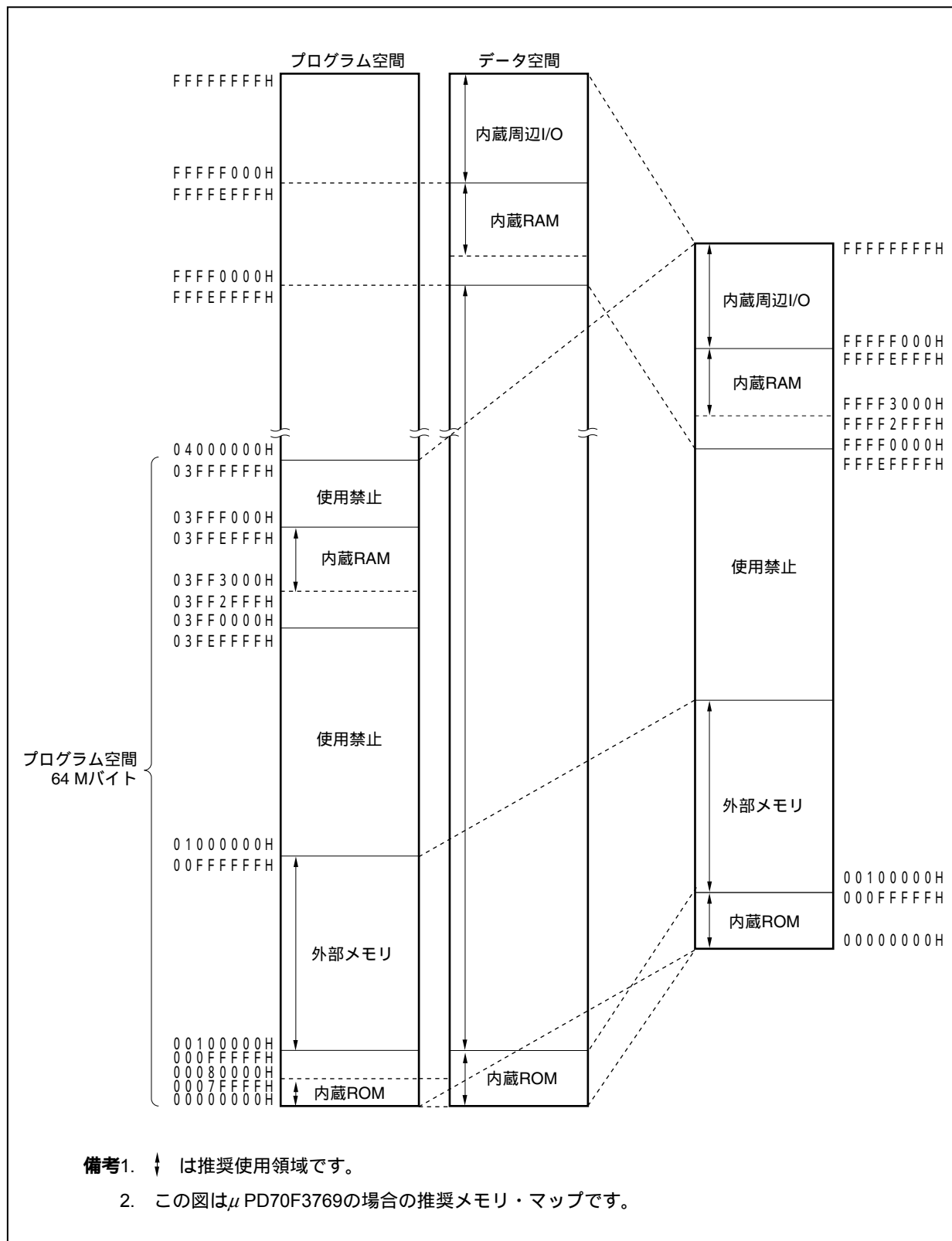


図3 - 10 推奨メモリ・マップ



3.4.6 周辺I/Oレジスタ

(1/14)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF004H	ポートDLレジスタ	PDL	R/W				0000H ^{注1}
FFFFFF004H	ポートDLレジスタL	PDLL					00H ^{注1}
FFFFFF005H	ポートDLレジスタH	PDLH					00H ^{注1}
FFFFFF006H	ポートDHレジスタ ^{注2}	PDH ^{注2}					00H ^{注1}
FFFFFF008H	ポートCSレジスタ ^{注2}	PCS ^{注2}					00H ^{注1}
FFFFFF00AH	ポートCTレジスタ	PCT					00H ^{注1}
FFFFFF00CH	ポートCMレジスタ	PCM					00H ^{注1}
FFFFFF024H	ポートDLモード・レジスタ	PMDL					FFFFH
FFFFFF024H	ポートDLモード・レジスタL	PMDLL					FFH
FFFFFF025H	ポートDLモード・レジスタH	PMDLH					FFH
FFFFFF026H	ポートDHモード・レジスタ ^{注2}	PMDH ^{注2}					FFH
FFFFFF028H	ポートCSモード・レジスタ ^{注2}	PMCS ^{注2}					FFH
FFFFFF02AH	ポートCTモード・レジスタ	PMCT					FFH
FFFFFF02CH	ポートCMモード・レジスタ	PMCM					FFH
FFFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL					0000H
FFFFFF044H	ポートDLモード・コントロール・レジスタL	PMCDLL					00H
FFFFFF045H	ポートDLモード・コントロール・レジスタH	PMCDLH					00H
FFFFFF046H	ポートDHモード・コントロール・レジスタ ^{注2}	PMCDH ^{注2}					00H
FFFFFF048H	ポートCSモード・コントロール・レジスタ ^{注2}	PMCCS ^{注2}					00H
FFFFFF04AH	ポートCTモード・コントロール・レジスタ	PMCCT					00H
FFFFFF04CH	ポートCMモード・コントロール・レジスタ	PMCCM					00H
FFFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC					5555H
FFFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC					77H
FFFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L					不定
FFFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H					不定
FFFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L					不定
FFFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H					不定
FFFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L					不定
FFFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H					不定
FFFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L					不定
FFFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H					不定
FFFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L					不定
FFFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H					不定
FFFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L				不定	
FFFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H				不定	
FFFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L				不定	
FFFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H				不定	
FFFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L				不定	
FFFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H				不定	

注1. 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

2. V850ES/JH3-Uのみ

(2/14)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF0C0H	DMA転送カウント・レジスタ0	DBC0	R/W				不定
FFFFF0C2H	DMA転送カウント・レジスタ1	DBC1					不定
FFFFF0C4H	DMA転送カウント・レジスタ2	DBC2					不定
FFFFF0C6H	DMA転送カウント・レジスタ3	DBC3					不定
FFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0					0000H
FFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1					0000H
FFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2					0000H
FFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3					0000H
FFFFF0E0H	DMAチャンネル・コントロール・レジスタ0	DCHC0					00H
FFFFF0E2H	DMAチャンネル・コントロール・レジスタ1	DCHC1					00H
FFFFF0E4H	DMAチャンネル・コントロール・レジスタ2	DCHC2					00H
FFFFF0E6H	DMAチャンネル・コントロール・レジスタ3	DCHC3					00H
FFFFF100H	割り込みマスク・レジスタ0	IMR0					FFFFH
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L					FFH
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H					FFH
FFFFF102H	割り込みマスク・レジスタ1	IMR1					FFFFH
FFFFF102H	割り込みマスク・レジスタ1L	IMR1L					FFH
FFFFF103H	割り込みマスク・レジスタ1H	IMR1H					FFH
FFFFF104H	割り込みマスク・レジスタ2	IMR2					FFFFH
FFFFF104H	割り込みマスク・レジスタ2L	IMR2L					FFH
FFFFF105H	割り込みマスク・レジスタ2H	IMR2H					FFH
FFFFF106H	割り込みマスク・レジスタ3	IMR3					FFFFH
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L					FFH
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H					FFH
FFFFF108H	割り込みマスク・レジスタ4	IMR4					FFFFH
FFFFF108H	割り込みマスク・レジスタ4L	IMR4L					FFH
FFFFF109H	割り込みマスク・レジスタ4H	IMR4H					FFH
FFFFF10AH	割り込みマスク・レジスタ5	IMR5					FFFFH
FFFFF10AH	割り込みマスク・レジスタ5L	IMR5L				FFH	
FFFFF10BH	割り込みマスク・レジスタ5H	IMR5H				FFH	
FFFFF110H	割り込み制御レジスタ	LVIIC				47H	
FFFFF112H	割り込み制御レジスタ	PIC00				47H	
FFFFF114H	割り込み制御レジスタ	PIC01				47H	
FFFFF116H	割り込み制御レジスタ	PIC02				47H	
FFFFF118H	割り込み制御レジスタ	PIC03 ^注				47H	
FFFFF11AH	割り込み制御レジスタ	PIC04 ^注				47H	
FFFFF11CH	割り込み制御レジスタ	PIC05				47H	
FFFFF11EH	割り込み制御レジスタ	PIC06				47H	
FFFFF120H	割り込み制御レジスタ	PIC07				47H	
FFFFF122H	割り込み制御レジスタ	PIC08				47H	

注 V850ES/JH3-Uのみ

(3/14)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF124H	割り込み制御レジスタ	PIC09	R/W				47H
FFFFFF126H	割り込み制御レジスタ	PIC10					47H
FFFFFF128H	割り込み制御レジスタ	PIC11					47H
FFFFFF12AH	割り込み制御レジスタ	PIC12					47H
FFFFFF12CH	割り込み制御レジスタ	PIC13					47H
FFFFFF12EH	割り込み制御レジスタ	PIC14					47H
FFFFFF130H	割り込み制御レジスタ	PIC15					47H
FFFFFF132H	割り込み制御レジスタ	PIC16					47H
FFFFFF134H	割り込み制御レジスタ	PIC17					47H
FFFFFF136H	割り込み制御レジスタ	PIC18					47H
FFFFFF138H	割り込み制御レジスタ	TAB0OVIC					47H
FFFFFF13AH	割り込み制御レジスタ	TAB0CCIC0					47H
FFFFFF13CH	割り込み制御レジスタ	TAB0CCIC1					47H
FFFFFF13EH	割り込み制御レジスタ	TAB0CCIC2					47H
FFFFFF140H	割り込み制御レジスタ	TAB0CCIC3					47H
FFFFFF142H	割り込み制御レジスタ	TAB1OVIC					47H
FFFFFF144H	割り込み制御レジスタ	TAB1CCIC0					47H
FFFFFF146H	割り込み制御レジスタ	TAB1CCIC1					47H
FFFFFF148H	割り込み制御レジスタ	TAB1CCIC2					47H
FFFFFF14AH	割り込み制御レジスタ	TAB1CCIC3					47H
FFFFFF14CH	割り込み制御レジスタ	TT0OVIC					47H
FFFFFF14EH	割り込み制御レジスタ	TT0CCIC0					47H
FFFFFF150H	割り込み制御レジスタ	TT0CCIC1					47H
FFFFFF152H	割り込み制御レジスタ	TT0IECIC					47H
FFFFFF154H	割り込み制御レジスタ	TAA0OVIC					47H
FFFFFF156H	割り込み制御レジスタ	TAA0CCIC0					47H
FFFFFF158H	割り込み制御レジスタ	TAA0CCIC1					47H
FFFFFF15AH	割り込み制御レジスタ	TAA1OVIC					47H
FFFFFF15CH	割り込み制御レジスタ	TAA1CCIC0					47H
FFFFFF15EH	割り込み制御レジスタ	TAA1CCIC1					47H
FFFFFF160H	割り込み制御レジスタ	TAA2OVIC					47H
FFFFFF162H	割り込み制御レジスタ	TAA2CCIC0					47H
FFFFFF164H	割り込み制御レジスタ	TAA2CCIC1					47H
FFFFFF166H	割り込み制御レジスタ	TAA3OVIC					47H
FFFFFF168H	割り込み制御レジスタ	TAA3CCIC0					47H
FFFFFF16AH	割り込み制御レジスタ	TAA3CCIC1					47H
FFFFFF16CH	割り込み制御レジスタ	TAA4OVIC					47H
FFFFFF16EH	割り込み制御レジスタ	TAA4CCIC0					47H
FFFFFF170H	割り込み制御レジスタ	TAA4CCIC1					47H
FFFFFF172H	割り込み制御レジスタ	TAA5OVIC					47H
FFFFFF174H	割り込み制御レジスタ	TAA5CCIC0				47H	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF176H	割り込み制御レジスタ	TAA5CCIC1	R/W				47H
FFFFFF178H	割り込み制御レジスタ	TM0EQIC0					47H
FFFFFF17AH	割り込み制御レジスタ	TM1EQIC0					47H
FFFFFF17CH	割り込み制御レジスタ	TM2EQIC0					47H
FFFFFF17EH	割り込み制御レジスタ	TM3EQIC0					47H
FFFFFF180H	割り込み制御レジスタ	CF0RIC/IICIC1					47H
FFFFFF182H	割り込み制御レジスタ	CF0TIC					47H
FFFFFF184H	割り込み制御レジスタ	CF1RIC					47H
FFFFFF186H	割り込み制御レジスタ	CF1TIC					47H
FFFFFF188H	割り込み制御レジスタ	CF2RIC					47H
FFFFFF18AH	割り込み制御レジスタ	CF2TIC					47H
FFFFFF18CH	割り込み制御レジスタ	CF3RIC					47H
FFFFFF18EH	割り込み制御レジスタ	CF3TIC					47H
FFFFFF190H	割り込み制御レジスタ	CF4RIC					47H
FFFFFF192H	割り込み制御レジスタ	CF4TIC					47H
FFFFFF194H	割り込み制御レジスタ	UC0RIC					47H
FFFFFF196H	割り込み制御レジスタ	UC0TIC					47H
FFFFFF198H	割り込み制御レジスタ	UC1RIC/IICIC2					47H
FFFFFF19AH	割り込み制御レジスタ	UC1TIC					47H
FFFFFF19CH	割り込み制御レジスタ	UC2RIC					47H
FFFFFF19EH	割り込み制御レジスタ	UC2TIC					47H
FFFFFF1A0H	割り込み制御レジスタ	UC3RIC/IICIC0					47H
FFFFFF1A2H	割り込み制御レジスタ	UC3TIC					47H
FFFFFF1A4H	割り込み制御レジスタ	UC4RIC					47H
FFFFFF1A6H	割り込み制御レジスタ	UC4TIC					47H
FFFFFF1A8H	割り込み制御レジスタ	ADIC					47H
FFFFFF1AAH	割り込み制御レジスタ	DMAIC0					47H
FFFFFF1ACH	割り込み制御レジスタ	DMAIC1					47H
FFFFFF1AEH	割り込み制御レジスタ	DMAIC2					47H
FFFFFF1B0H	割り込み制御レジスタ	DMAIC3					47H
FFFFFF1B2H	割り込み制御レジスタ	KRIC					47H
FFFFFF1B4H	割り込み制御レジスタ	RTC0IC					47H
FFFFFF1B6H	割り込み制御レジスタ	RTC1IC				47H	
FFFFFF1B8H	割り込み制御レジスタ	RTC2IC				47H	
FFFFFF1C2H	割り込み制御レジスタ	UHIC0				47H	
FFFFFF1C4H	割り込み制御レジスタ	UHIC1				47H	
FFFFFF1C6H	割り込み制御レジスタ	UHIC2				47H	
FFFFFF1C8H	割り込み制御レジスタ	UFIC0				47H	
FFFFFF1CAH	割り込み制御レジスタ	UFIC1				47H	
FFFFFF1FAH	インサービス・プライオリティ・レジスタ	ISPR	R				00H
FFFFFF1FCH	コマンド・レジスタ	PRCMD	W				不定
FFFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF200H	A/Dコンバータ・モード・レジスタ0	ADA0M0	R/W				00H
FFFFFF201H	A/Dコンバータ・モード・レジスタ1	ADA0M1					00H
FFFFFF202H	A/Dコンバータ・チャンネル指定レジスタ	ADA0S					00H
FFFFFF203H	A/Dコンバータ・モード・レジスタ2	ADA0M2					00H
FFFFFF204H	パワー・フェイル比較モード・レジスタ	ADA0PFM					00H
FFFFFF205H	パワー・フェイル比較しきい値レジスタ	ADA0PFT					00H
FFFFFF210H	A/D変換結果レジスタ0	ADA0CR0	R				不定
FFFFFF211H	A/D変換結果レジスタ0H	ADA0CR0H					不定
FFFFFF212H	A/D変換結果レジスタ1	ADA0CR1					不定
FFFFFF213H	A/D変換結果レジスタ1H	ADA0CR1H					不定
FFFFFF214H	A/D変換結果レジスタ2	ADA0CR2					不定
FFFFFF215H	A/D変換結果レジスタ2H	ADA0CR2H					不定
FFFFFF216H	A/D変換結果レジスタ3	ADA0CR3					不定
FFFFFF217H	A/D変換結果レジスタ3H	ADA0CR3H					不定
FFFFFF218H	A/D変換結果レジスタ4	ADA0CR4					不定
FFFFFF219H	A/D変換結果レジスタ4H	ADA0CR4H					不定
FFFFFF21AH	A/D変換結果レジスタ5	ADA0CR5					不定
FFFFFF21BH	A/D変換結果レジスタ5H	ADA0CR5H					不定
FFFFFF21CH	A/D変換結果レジスタ6	ADA0CR6					不定
FFFFFF21DH	A/D変換結果レジスタ6H	ADA0CR6H					不定
FFFFFF21EH	A/D変換結果レジスタ7	ADA0CR7					不定
FFFFFF21FH	A/D変換結果レジスタ7H	ADA0CR7H					不定
FFFFFF220H	A/D変換結果レジスタ8	ADA0CR8					不定
FFFFFF221H	A/D変換結果レジスタ8H	ADA0CR8H					不定
FFFFFF222H	A/D変換結果レジスタ9	ADA0CR9					不定
FFFFFF223H	A/D変換結果レジスタ9H	ADA0CR9H					不定
FFFFFF224H	A/D変換結果レジスタ10	ADA0CR10					不定
FFFFFF225H	A/D変換結果レジスタ10H	ADA0CR10H					不定
FFFFFF226H	A/D変換結果レジスタ11	ADA0CR11					不定
FFFFFF227H	A/D変換結果レジスタ11H	ADA0CR11H					不定
FFFFFF280H	D/A変換値設定レジスタ0	DA0CS0	R/W				00H
FFFFFF281H	D/A変換値設定レジスタ1	DA0CS1					00H
FFFFFF282H	D/Aコンバータ・モード・レジスタ	DA0M					00H
FFFFFF300H	キー・リターン・モード・レジスタ	KRM					00H
FFFFFF308H	セレクタ動作制御レジスタ0	SELCNT0					00H
FFFFFF310H	CRCインプット・レジスタ	CRCIN					00H
FFFFFF312H	CRCデータ・レジスタ	CRCD					0000H
FFFFFF320H	プリスケラ・モード・レジスタ1	PRSM1					00H
FFFFFF321H	プリスケラ・コンペア・レジスタ1	PRSCM1					00H
FFFFFF324H	プリスケラ・モード・レジスタ2	PRSM2					00H
FFFFFF325H	プリスケラ・コンペア・レジスタ2	PRSCM2					00H
FFFFFF328H	プリスケラ・モード・レジスタ3	PRSM3					00H
FFFFFF329H	プリスケラ・コンペア・レジスタ3	PRSCM3					00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF340H	IIC分周クロック選択レジスタ0	OCKS0	R/W				00H
FFFFFF344H	IIC分周クロック選択レジスタ1	OCKS1					00H
FFFFFF400H	ポート0レジスタ	P0					00H ^{注1}
FFFFFF402H	ポート1レジスタ	P1					00H ^{注1}
FFFFFF404H	ポート2レジスタ ^{注2}	P2 ^{注2}					00H ^{注1}
FFFFFF406H	ポート3レジスタ	P3					00H ^{注1}
FFFFFF408H	ポート4レジスタ	P4					00H ^{注1}
FFFFFF40AH	ポート5レジスタ	P5					00H ^{注1}
FFFFFF40CH	ポート6レジスタ	P6					00H ^{注1}
FFFFFF40EH	ポート7レジスタL	P7L					00H ^{注1}
FFFFFF40FH	ポート7レジスタH	P7H					00H ^{注1}
FFFFFF412H	ポート9レジスタ	P9					0000H ^{注1}
FFFFFF412H	ポート9レジスタL	P9L					00H ^{注1}
FFFFFF413H	ポート9レジスタH	P9H					00H ^{注1}
FFFFFF420H	ポート0モード・レジスタ	PM0					FFH
FFFFFF422H	ポート1モード・レジスタ	PM1					FFH
FFFFFF424H	ポート2モード・レジスタ ^{注2}	PM2 ^{注2}					FFH
FFFFFF426H	ポート3モード・レジスタ	PM3					FFH
FFFFFF428H	ポート4モード・レジスタ	PM4					FFH
FFFFFF42AH	ポート5モード・レジスタ	PM5					FFH
FFFFFF42CH	ポート6モード・レジスタ	PM6					FFH
FFFFFF42EH	ポート7モード・レジスタL	PM7L					FFH
FFFFFF42FH	ポート7モード・レジスタH	PM7H					FFH
FFFFFF432H	ポート9モード・レジスタ	PM9					FFFFH
FFFFFF432H	ポート9モード・レジスタL	PM9L					FFH
FFFFFF433H	ポート9モード・レジスタH	PM9H					FFH
FFFFFF440H	ポート0モード・コントロール・レジスタ	PMC0					00H
FFFFFF444H	ポート2モード・コントロール・レジスタ ^{注2}	PMC2 ^{注2}					00H
FFFFFF446H	ポート3モード・コントロール・レジスタ	PMC3					00H
FFFFFF448H	ポート4モード・コントロール・レジスタ	PMC4					00H
FFFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5					00H
FFFFFF44CH	ポート6モード・コントロール・レジスタ	PMC6					00H
FFFFFF452H	ポート9モード・コントロール・レジスタ	PMC9				0000H	
FFFFFF452H	ポート9モード・コントロール・レジスタL	PMC9L				00H	
FFFFFF453H	ポート9モード・コントロール・レジスタH	PMC9H				00H	
FFFFFF460H	ポート0ファンクション・コントロール・レジスタ	PFC0				00H	
FFFFFF464H	ポート2ファンクション・コントロール・レジスタ ^{注2}	PFC2 ^{注2}				00H	
FFFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3				00H	
FFFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4				00H	

注1. 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

2. V850ES/JH3-Uのみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF46AH	ポート5ファンクション・コントロール・レジスタ	PFC5	R/W				00H
FFFFFF46CH	ポート6ファンクション・コントロール・レジスタ	PFC6					00H
FFFFFF472H	ポート9ファンクション・コントロール・レジスタ	PFC9					0000H
FFFFFF472H	ポート9ファンクション・コントロール・レジスタL	PFC9L					00H
FFFFFF473H	ポート9ファンクション・コントロール・レジスタH	PFC9H					00H
FFFFFF484H	データ・ウェイト・コントロール・レジスタ0	DWC0					7777H
FFFFFF488H	アドレス・ウェイト・コントロール・レジスタ	AWC					FFFFH
FFFFFF48AH	バス・サイクル・コントロール・レジスタ	BCC					AAAAH
FFFFFF540H	TAB0制御レジスタ0	TAB0CTL0					00H
FFFFFF541H	TAB0制御レジスタ1	TAB0CTL1					00H
FFFFFF542H	TAB0I/O制御レジスタ0	TAB0IOC0					00H
FFFFFF543H	TAB0I/O制御レジスタ1	TAB0IOC1					00H
FFFFFF544H	TAB0I/O制御レジスタ2	TAB0IOC2					00H
FFFFFF545H	TAB0オプション・レジスタ0	TAB0OPT0					00H
FFFFFF546H	TAB0キャプチャ/コンペア・レジスタ0	TAB0CCR0					0000H
FFFFFF548H	TAB0キャプチャ/コンペア・レジスタ1	TAB0CCR1					0000H
FFFFFF54AH	TAB0キャプチャ/コンペア・レジスタ2	TAB0CCR2					0000H
FFFFFF54CH	TAB0キャプチャ/コンペア・レジスタ3	TAB0CCR3					0000H
FFFFFF54EH	TAB0カウンタ・リード・バッファ・レジスタ	TAB0CNT		R			0000H
FFFFFF550H	TAB0I/O制御レジスタ4	TAB0IOC4		R/W			
FFFFFF560H	TAB1制御レジスタ0	TAB1CTL0					00H
FFFFFF561H	TAB1制御レジスタ1	TAB1CTL1					00H
FFFFFF562H	TAB1I/O制御レジスタ0	TAB1IOC0					00H
FFFFFF563H	TAB1I/O制御レジスタ1	TAB1IOC1					00H
FFFFFF564H	TAB1I/O制御レジスタ2	TAB1IOC2					00H
FFFFFF565H	TAB1オプション・レジスタ0	TAB1OPT0					00H
FFFFFF566H	TAB1キャプチャ/コンペア・レジスタ0	TAB1CCR0					0000H
FFFFFF568H	TAB1キャプチャ/コンペア・レジスタ1	TAB1CCR1					0000H
FFFFFF56AH	TAB1キャプチャ/コンペア・レジスタ2	TAB1CCR2					0000H
FFFFFF56CH	TAB1キャプチャ/コンペア・レジスタ3	TAB1CCR3					0000H
FFFFFF56EH	TAB1カウンタ・リード・バッファ・レジスタ	TAB1CNT	R				0000H
FFFFFF570H	TAB1I/O制御レジスタ4	TAB1IOC4	R/W				00H
FFFFFF580H	TAB1オプション・レジスタ1	TAB1OPT1					00H
FFFFFF581H	TAB1オプション・レジスタ2	TAB1OPT2					00H
FFFFFF582H	TAB1I/O制御レジスタ3	TAB1IOC3					A8H
FFFFFF584H	TAB1デッドタイム・コンペア・レジスタ1	TAB1DTC					0000H
FFFFFF590H	ハイ・インピーダンス出力制御レジスタ0	HZACTL0					00H
FFFFFF591H	ハイ・インピーダンス出力制御レジスタ1	HZACTL1					00H
FFFFFF600H	TMT0制御レジスタ0	TT0CTL0					00H
FFFFFF601H	TMT0制御レジスタ1	TT0CTL1				00H	
FFFFFF602H	TMT0制御レジスタ2	TT0CTL2				00H	
FFFFFF603H	TMT0I/O制御レジスタ0	TT0IOC0				00H	
FFFFFF604H	TMT0I/O制御レジスタ1	TT0IOC1				00H	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF605H	TMT0I/O制御レジスタ2	TT0IOC2	R/W				00H
FFFFF606H	TMT0I/O制御レジスタ3	TT0IOC3					00H
FFFFF607H	TMT0オプション・レジスタ0	TT0OPT0					00H
FFFFF608H	TMT0オプション・レジスタ1	TT0OPT1					00H
FFFFF609H	TMT0オプション・レジスタ2	TT0OPT2					00H
FFFFF60AH	TMT0キャプチャ/コンペア・レジスタ0	TT0CCR0					0000H
FFFFF60CH	TMT0キャプチャ/コンペア・レジスタ1	TT0CCR1					0000H
FFFFF60EH	TMT0カウンタ・リード・パッファ・レジスタ	TT0CNT	R				0000H
FFFFF610H	TMT0カウンタ・ライト・レジスタ	TT0TCW	R/W				0000H
FFFFF630H	TAA0制御レジスタ0	TAA0CTL0					00H
FFFFF631H	TAA0制御レジスタ1	TAA0CTL1					00H
FFFFF632H	TAA0I/O制御レジスタ0	TAA0IOC0					00H
FFFFF633H	TAA0I/O制御レジスタ1	TAA0IOC1					00H
FFFFF634H	TAA0I/O制御レジスタ2	TAA0IOC2					00H
FFFFF635H	TAA0オプション・レジスタ0	TAA0OPT0					00H
FFFFF636H	TAA0キャプチャ/コンペア・レジスタ0	TAA0CCR0					0000H
FFFFF638H	TAA0キャプチャ/コンペア・レジスタ1	TAA0CCR1					0000H
FFFFF63AH	TAA0カウンタ・リード・パッファ・レジスタ	TAA0CNT	R				0000H
FFFFF63CH	TAA0I/O制御レジスタ4	TAA0IOC4	R/W				00H
FFFFF63DH	TAA0オプション・レジスタ1	TAA0OPT1					00H
FFFFF640H	TAA1制御レジスタ0	TAA1CTL0					00H
FFFFF641H	TAA1制御レジスタ1	TAA1CTL1					00H
FFFFF642H	TAA1I/O制御レジスタ0	TAA1IOC0					00H
FFFFF643H	TAA1I/O制御レジスタ1	TAA1IOC1					00H
FFFFF644H	TAA1I/O制御レジスタ2	TAA1IOC2					00H
FFFFF645H	TAA1オプション・レジスタ0	TAA1OPT0					00H
FFFFF646H	TAA1キャプチャ/コンペア・レジスタ0	TAA1CCR0					0000H
FFFFF648H	TAA1キャプチャ/コンペア・レジスタ1	TAA1CCR1					0000H
FFFFF64AH	TAA1カウンタ・リード・パッファ・レジスタ	TAA1CNT	R				0000H
FFFFF64CH	TAA1I/O制御レジスタ4	TAA1IOC4	R/W				00H
FFFFF650H	TAA2制御レジスタ0	TAA2CTL0					00H
FFFFF651H	TAA2制御レジスタ1	TAA2CTL1					00H
FFFFF652H	TAA2I/O制御レジスタ0	TAA2IOC0					00H
FFFFF653H	TAA2I/O制御レジスタ1	TAA2IOC1					00H
FFFFF654H	TAA2I/O制御レジスタ2	TAA2IOC2					00H
FFFFF655H	TAA2オプション・レジスタ0	TAA2OPT0					00H
FFFFF656H	TAA2キャプチャ/コンペア・レジスタ0	TAA2CCR0					0000H
FFFFF658H	TAA2キャプチャ/コンペア・レジスタ1	TAA2CCR1					0000H
FFFFF65AH	TAA2カウンタ・リード・パッファ・レジスタ	TAA2CNT	R				0000H
FFFFF65CH	TAA2I/O制御レジスタ4	TAA2IOC4	R/W				00H
FFFFF65DH	TAA2オプション・レジスタ1	TAA2OPT1					00H
FFFFF660H	TAA3制御レジスタ0	TAA3CTL0					00H
FFFFF661H	TAA3制御レジスタ1	TAA3CTL1					00H

(9/14)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF662H	TAA3I/O制御レジスタ0	TAA3IOC0	R/W				00H
FFFFF663H	TAA3I/O制御レジスタ1	TAA3IOC1					00H
FFFFF664H	TAA3I/O制御レジスタ2	TAA3IOC2					00H
FFFFF665H	TAA3オプション・レジスタ0	TAA3OPT0					00H
FFFFF666H	TAA3キャプチャ/コンペア・レジスタ0	TAA3CCR0					0000H
FFFFF668H	TAA3キャプチャ/コンペア・レジスタ1	TAA3CCR1					0000H
FFFFF66AH	TAA3カウンタ・リード・バッファ・レジスタ	TAA3CNT	R				0000H
FFFFF66CH	TAA3I/O制御レジスタ4	TAA3IOC4	R/W				00H
FFFFF670H	TAA4制御レジスタ0	TAA4CTL0					00H
FFFFF671H	TAA4制御レジスタ1	TAA4CTL1					00H
FFFFF676H	TAA4キャプチャ/コンペア・レジスタ0	TAA4CCR0					0000H
FFFFF678H	TAA4キャプチャ/コンペア・レジスタ1	TAA4CCR1					0000H
FFFFF67AH	TAA4カウンタ・リード・バッファ・レジスタ	TAA4CNT		R			
FFFFF680H	TAA5制御レジスタ0	TAA5CTL0	R/W				00H
FFFFF681H	TAA5制御レジスタ1	TAA5CTL1					00H
FFFFF682H	TAA5I/O制御レジスタ0	TAA5IOC0					00H
FFFFF683H	TAA5I/O制御レジスタ1	TAA5IOC1					00H
FFFFF684H	TAA5I/O制御レジスタ2	TAA5IOC2					00H
FFFFF685H	TAA5オプション・レジスタ0	TAA5OPT0					00H
FFFFF686H	TAA5キャプチャ/コンペア・レジスタ0	TAA5CCR0				0000H	
FFFFF688H	TAA5キャプチャ/コンペア・レジスタ1	TAA5CCR1				0000H	
FFFFF68AH	TAA5カウンタ・リード・バッファ・レジスタ	TAA5CNT	R				0000H
FFFFF68CH	TAA5I/O制御レジスタ4	TAA5IOC4	R/W				00H
FFFFF6C0H	発振安定時間選択レジスタ	OSTS					06H
FFFFF6C1H	PLLロックアップ時間指定レジスタ	PLLS					03H
FFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ2	WDTM2					67H
FFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE					9AH
FFFFF6E0H	リアルタイム出力バッファ・レジスタ0L	RTBL0					00H
FFFFF6E2H	リアルタイム出力バッファ・レジスタ0H	RTBH0					00H
FFFFF6E4H	リアルタイム出力ポート・モード・レジスタ0	RTPM0					00H
FFFFF6E5H	リアルタイム出力ポート・コントロール・レジスタ0	RTPC0					00H
FFFFF700H	ポート0ファンクション・コントロール拡張レジスタ	PFCE0					00H
FFFFF704H	ポート2ファンクション・コントロール拡張レジスタ ^注	PFCE2 ^注					00H
FFFFF706H	ポート3ファンクション・コントロール拡張レジスタ	PFCE3					00H
FFFFF708H	ポート4ファンクション・コントロール拡張レジスタ	PFCE4					00H
FFFFF70AH	ポート5ファンクション・コントロール拡張レジスタ	PFCE5					00H
FFFFF70CH	ポート6ファンクション・コントロール拡張レジスタ	PFCE6					00H
FFFFF712H	ポート9ファンクション・コントロール拡張レジスタ	PFCE9					0000H
FFFFF712H	ポート9ファンクション・コントロール拡張レジスタL	PFCE9L					00H
FFFFF713H	ポート9ファンクション・コントロール拡張レジスタH	PFCE9H					00H
FFFFF724H	TAAノイズ除去制御レジスタ	TANFC					00H
FFFFF726H	TMTノイズ除去制御レジスタ	TTNFC					00H

注 V850ES/JH3-Uのみ

(10/14)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF728H	ノイズ除去制御レジスタ	INTNFC	R/W				00H
FFFFF802H	システム・ステータス・レジスタ	SYS					00H
FFFFF80CH	内蔵発振モード・レジスタ	RCM					00H
FFFFF810H	DMAトリガ要因レジスタ0	DTFR0					00H
FFFFF812H	DMAトリガ要因レジスタ1	DTFR1					00H
FFFFF814H	DMAトリガ要因レジスタ2	DTFR2					00H
FFFFF816H	DMAトリガ要因レジスタ3	DTFR3					00H
FFFFF820H	パワー・セーブ・モード・レジスタ	PSMR					00H
FFFFF822H	クロック・コントロール・レジスタ	CKC					0AH
FFFFF824H	ロック・レジスタ	LOCKR	R				00H
FFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W				03H
FFFFF82CH	PLLコントロール・レジスタ	PLLCTL					01H
FFFFF82EH	CPU動作クロック・ステータス・レジスタ	CCLS	R				00H
FFFFF870H	クロック・モニタ・モード・レジスタ	CLM	R/W				00H
FFFFF888H	リセット要因フラグ・レジスタ	RESF					00H
FFFFF890H	低電圧検出レジスタ	LVIM					00H
FFFFF892H	内蔵RAMデータ・ステータス・レジスタ	RAMS					01H
FFFFF8B0H	プリスケラ・モード・レジスタ0	PRSM0					00H
FFFFF8B1H	プリスケラ・コンペア・レジスタ0	PRSCM0					00H
FFFFF9FCH	オンチップ・デバッグ・モード・レジスタ ^注	OCDM ^注					01H
FFFFFA00H	UARTC0制御レジスタ0	UC0CTL0					10H
FFFFFA01H	UARTC0制御レジスタ1	UC0CTL1					00H
FFFFFA02H	UARTC0制御レジスタ2	UC0CTL2					FFH
FFFFFA03H	UARTC0オプション制御レジスタ0	UC0OPT0					14H
FFFFFA04H	UARTC0状態レジスタ	UC0STR					00H
FFFFFA06H	UARTC0受信データ・レジスタ	UC0RX	R				01FFH
FFFFFA06H	UARTC0受信データ・レジスタL	UC0RXL					FFH
FFFFFA08H	UARTC0送信データ・レジスタ	UC0TX	R/W				01FFH
FFFFFA08H	UARTC0送信データ・レジスタL	UC0TXL					FFH
FFFFFA0AH	UARTC0オプション制御レジスタ1	UC0OPT1					00H
FFFFFA10H	UARTC1制御レジスタ0	UC1CTL0					10H
FFFFFA11H	UARTC1制御レジスタ1	UC1CTL1					00H
FFFFFA12H	UARTC1制御レジスタ2	UC1CTL2					FFH
FFFFFA13H	UARTC1オプション制御レジスタ0	UC1OPT0					14H
FFFFFA14H	UARTC1状態レジスタ	UC1STR					00H
FFFFFA16H	UARTC1受信データ・レジスタ	UC1RX	R				01FFH
FFFFFA16H	UARTC1受信データ・レジスタL	UC1RXL					FFH
FFFFFA18H	UARTC1送信データ・レジスタ	UC1TX	R/W				01FFH
FFFFFA18H	UARTC1送信データ・レジスタL	UC1TXL					FFH
FFFFFA1AH	UARTC1オプション制御レジスタ1	UC1OPT1					00H
FFFFFA20H	UARTC2制御レジスタ0	UC2CTL0					10H
FFFFFA21H	UARTC2制御レジスタ1	UC2CTL1					00H
FFFFFA22H	UARTC2制御レジスタ2	UC2CTL2					FFH

注 V850ES/JG3-Uのみ

(11/14)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFA23H	UARTC2オプション制御レジスタ0	UC2OPT0	R/W				14H
FFFFFFA24H	UARTC2状態レジスタ	UC2STR					00H
FFFFFFA26H	UARTC2受信データ・レジスタ	UC2RX	R				01FFH
FFFFFFA26H	UARTC2受信データ・レジスタL	UC2RXL					FFH
FFFFFFA28H	UARTC2送信データ・レジスタ	UC2TX	R/W				01FFH
FFFFFFA28H	UARTC2送信データ・レジスタL	UC2TXL					FFH
FFFFFFA2AH	UARTC2オプション制御レジスタ1	UC2OPT1					00H
FFFFFFA30H	UARTC3制御レジスタ0	UC3CTL0					10H
FFFFFFA31H	UARTC3制御レジスタ1	UC3CTL1					00H
FFFFFFA32H	UARTC3制御レジスタ2	UC3CTL2					FFH
FFFFFFA33H	UARTC3オプション制御レジスタ0	UC3OPT0					14H
FFFFFFA34H	UARTC3状態レジスタ	UC3STR					00H
FFFFFFA36H	UARTC3受信データ・レジスタ	UC3RX	R				01FFH
FFFFFFA36H	UARTC3受信データ・レジスタL	UC3RXL					FFH
FFFFFFA38H	UARTC3送信データ・レジスタ	UC3TX	R/W				01FFH
FFFFFFA38H	UARTC3送信データ・レジスタL	UC3TXL					FFH
FFFFFFA3AH	UARTC3オプション制御レジスタ1	UC3OPT1					00H
FFFFFFA40H	UARTC4制御レジスタ0	UC4CTL0					10H
FFFFFFA41H	UARTC4制御レジスタ1	UC4CTL1					00H
FFFFFFA42H	UARTC4制御レジスタ2	UC4CTL2					FFH
FFFFFFA43H	UARTC4オプション制御レジスタ0	UC4OPT0					14H
FFFFFFA44H	UARTC4状態レジスタ	UC4STR					00H
FFFFFFA46H	UARTC4受信データ・レジスタ	UC4RX	R				01FFH
FFFFFFA46H	UARTC4受信データ・レジスタL	UC4RXL					FFH
FFFFFFA48H	UARTC4送信データ・レジスタ	UC4TX	R/W				01FFH
FFFFFFA48H	UARTC4送信データ・レジスタL	UC4TXL					FFH
FFFFFFA4AH	UARTC4オプション制御レジスタ1	UC4OPT1					00H
FFFFFFA80H	TMM0制御レジスタ0	TM0CTL0					00H
FFFFFFA84H	TMM0コンペア・レジスタ0	TM0CMP0					0000H
FFFFFFA90H	TMM1制御レジスタ0	TM1CTL0					00H
FFFFFFA94H	TMM1コンペア・レジスタ0	TM1CMP0					0000H
FFFFFFAA0H	TMM2制御レジスタ0	TM2CTL0					00H
FFFFFFAA4H	TMM2コンペア・レジスタ0	TM2CMP0					0000H
FFFFFFAB0H	TMM3制御レジスタ0	TM3CTL0					00H
FFFFFFAB4H	TMM3コンペア・レジスタ0	TM3CMP0					0000H
FFFFFFAD0H	サブ・カウント・レジスタ	RC1SUBC	R				0000H
FFFFFFAD2H	秒カウント・レジスタ	RC1SEC	R/W				00H
FFFFFFAD3H	分カウント・レジスタ	RC1MIN					00H
FFFFFFAD4H	時カウント・レジスタ	RC1HOUR					12H
FFFFFFAD5H	曜日カウント・レジスタ	RC1WEEK					00H
FFFFFFAD6H	日カウント・レジスタ	RC1DAY					01H
FFFFFFAD7H	月カウント・レジスタ	RC1MONTH					01H
FFFFFFAD8H	年カウント・レジスタ	RC1YEAR					00H

(12/14)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFAD9H	時間誤差補正レジスタ	RC1SUBU	R/W				00H
FFFFADAH	アラーム分設定レジスタ	RC1ALM					00H
FFFFADBH	アラーム時設定レジスタ	RC1ALH					12H
FFFFADCH	アラーム曜日設定レジスタ	RC1ALW					00H
FFFFADDH	RTCコントロール・レジスタ0	RC1CC0					00H
FFFFADEH	RTCコントロール・レジスタ1	RC1CC1					00H
FFFFADFH	RTCコントロール・レジスタ2	RC1CC2					00H
FFFFAE0H	RTCコントロール・レジスタ3	RC1CC3					00H
FFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0					00H
FFFFC04H	外部割り込み立ち下がりエッジ指定レジスタ2 ^{注1}	INTF2 ^{注1}					00H
FFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3	INTF3					00H
FFFFC08H	外部割り込み立ち下がりエッジ指定レジスタ4	INTF4					00H
FFFFC0AH	外部割り込み立ち下がりエッジ指定レジスタ5 ^{注2}	INTF5 ^{注2}					00H
FFFFC12H	外部割り込み立ち下がりエッジ指定レジスタ9	INTF9					0000H
FFFFC12H	外部割り込み立ち下がりエッジ指定レジスタ9L	INTF9L					00H
FFFFC13H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTF9H					00H
FFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0					00H
FFFFC24H	外部割り込み立ち上がりエッジ指定レジスタ2 ^{注1}	INTR2 ^{注1}				00H	
FFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3				00H	
FFFFC28H	外部割り込み立ち上がりエッジ指定レジスタ4	INTR4				00H	
FFFFC2AH	外部割り込み立ち上がりエッジ指定レジスタ5 ^{注2}	INTR5 ^{注2}				00H	
FFFFC32H	外部割り込み立ち上がりエッジ指定レジスタ9	INTR9				0000H	
FFFFC32H	外部割り込み立ち上がりエッジ指定レジスタ9L	INTR9L				00H	
FFFFC33H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTR9H				00H	
FFFFC60H	ポート0ファンクション・レジスタ	PF0				00H	
FFFFC64H	ポート2ファンクション・レジスタ ^{注1}	PF2 ^{注1}				00H	
FFFFC66H	ポート3ファンクション・レジスタ	PF3				00H	
FFFFC68H	ポート4ファンクション・レジスタ	PF4				00H	
FFFFC6AH	ポート5ファンクション・レジスタ	PF5				00H	
FFFFC72H	ポート9ファンクション・レジスタ	PF9				0000H	
FFFFC72H	ポート9ファンクション・レジスタL	PF9L				00H	
FFFFD00H	CSIF0制御レジスタ0	CF0CTL0				01H	
FFFFD01H	CSIF0制御レジスタ1	CF0CTL1				00H	
FFFFD02H	CSIF0制御レジスタ2	CF0CTL2				00H	
FFFFD03H	CSIF0状態レジスタ	CF0STR				00H	
FFFFD04H	CSIF0受信データ・レジスタ	CF0RX	R			0000H	
FFFFD04H	CSIF0受信データ・レジスタL	CF0RXL				00H	
FFFFD06H	CSIF0送信データ・レジスタ	CF0TX	R/W			0000H	
FFFFD06H	CSIF0送信データ・レジスタL	CF0TXL				00H	
FFFFD10H	CSIF1制御レジスタ0	CF1CTL0				01H	
FFFFD11H	CSIF1制御レジスタ1	CF1CTL1				00H	
FFFFD12H	CSIF1制御レジスタ2	CF1CTL2				00H	

注1. V850ES/JH3-Uのみ

2. V850ES/JG3-Uのみ

(13/14)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFD13H	CSIF1状態レジスタ	CF1STR	R/W				00H
FFFFFD14H	CSIF1受信データ・レジスタ	CF1RX	R				0000H
FFFFFD14H	CSIF1受信データ・レジスタL	CF1RXL					00H
FFFFFD16H	CSIF1送信データ・レジスタ	CF1TX	R/W				0000H
FFFFFD16H	CSIF1送信データ・レジスタL	CF1TXL					00H
FFFFFD20H	CSIF2制御レジスタ0	CF2CTL0					01H
FFFFFD21H	CSIF2制御レジスタ1	CF2CTL1					00H
FFFFFD22H	CSIF2制御レジスタ2	CF2CTL2				00H	
FFFFFD23H	CSIF2状態レジスタ	CF2STR				00H	
FFFFFD24H	CSIF2受信データ・レジスタ	CF2RX	R				0000H
FFFFFD24H	CSIF2受信データ・レジスタL	CF2RXL					00H
FFFFFD26H	CSIF2送信データ・レジスタ	CF2TX	R/W				0000H
FFFFFD26H	CSIF2送信データ・レジスタL	CF2TXL					00H
FFFFFD30H	CSIF3制御レジスタ0	CF3CTL0				01H	
FFFFFD31H	CSIF3制御レジスタ1	CF3CTL1				00H	
FFFFFD32H	CSIF3制御レジスタ2	CF3CTL2				00H	
FFFFFD33H	CSIF3状態レジスタ	CF3STR				00H	
FFFFFD34H	CSIF3受信データ・レジスタ	CF3RX	R				0000H
FFFFFD34H	CSIF3受信データ・レジスタL	CF3RXL					00H
FFFFFD36H	CSIF3送信データ・レジスタ	CF3TX	R/W				0000H
FFFFFD36H	CSIF3送信データ・レジスタL	CF3TXL					00H
FFFFFD40H	CSIF4制御レジスタ0	CF4CTL0				01H	
FFFFFD41H	CSIF4制御レジスタ1	CF4CTL1				00H	
FFFFFD42H	CSIF4制御レジスタ2	CF4CTL2				00H	
FFFFFD43H	CSIF4状態レジスタ	CF4STR				00H	
FFFFFD44H	CSIF4受信データ・レジスタ	CF4RX	R				0000H
FFFFFD44H	CSIF4受信データ・レジスタL	CF4RXL					00H
FFFFFD46H	CSIF4送信データ・レジスタ	CF4TX	R/W				0000H
FFFFFD46H	CSIF4送信データ・レジスタL	CF4TXL					00H
FFFFFD80H	IICシフト・レジスタ0	IIC0				00H	
FFFFFD82H	IICコントロール・レジスタ0	IIC0				00H	
FFFFFD83H	スレーブ・アドレス・レジスタ0	SVA0				00H	
FFFFFD84H	IICクロック選択レジスタ0	IICCL0				00H	
FFFFFD85H	IIC機能拡張レジスタ0	IICX0				00H	
FFFFFD86H	IIC状態レジスタ0	IICS0	R			00H	
FFFFFD8AH	IICフラグ・レジスタ0	IICF0	R/W				00H
FFFFFD90H	IICシフト・レジスタ1	IIC1					00H
FFFFFD92H	IICコントロール・レジスタ1	IIC1					00H
FFFFFD93H	スレーブ・アドレス・レジスタ1	SVA1					00H
FFFFFD94H	IICクロック選択レジスタ1	IICCL1					00H
FFFFFD95H	IIC機能拡張レジスタ1	IICX1					00H
FFFFFD96H	IIC状態レジスタ1	IICS1		R			00H
FFFFFD9AH	IICフラグ・レジスタ1	IICF1	R/W				00H

(14/14)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFDA0H	IICシフト・レジスタ2	IIC2	R/W				00H
FFFFFFDA2H	IICコントロール・レジスタ2	IICC2					00H
FFFFFFDA3H	スレーブ・アドレス・レジスタ2	SVA2					00H
FFFFFFDA4H	IICクロック選択レジスタ2	IICCL2					00H
FFFFFFDA5H	IIC機能拡張レジスタ2	IICX2					00H
FFFFFFDA6H	IIC状態レジスタ2	IICS2	R				00H
FFFFFFDAAH	IICフラグ・レジスタ2	IICF2	R/W				00H
FFFFFF40H	USBクロック選択レジスタ	UCKSEL					00H
FFFFFF41H	USBファンクション制御レジスタ	UFCKMSK					03H
FFFFFF42H	USB機能選択レジスタ	UHCKMSK					03H
FFFFFF60H	外部DMAリクエスト・イネーブル・レジスタ	EXDRQEN					00H

3.4.7 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850ES/JG3-U, V850ES/JH3-Uには次の8個の特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・クロック・コントロール・レジスタ (CKC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・クロック・モニタ・モード・レジスタ (CLM)
- ・リセット要因フラグ・レジスタ (RESF)
- ・低電圧検出レジスタ (LVIM)
- ・内蔵RAMデータ・ステータス・レジスタ (RAMS)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM) (V850ES/JG3-Uのみ)

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、PRCMDレジスタがあり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はSYSレジスタに報告されます。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

DMA動作を禁止する。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

PRCMDレジスタに で用意したデータを書き込む。

特定レジスタに設定データを書き込む（次の命令で行う）。

- ・ストア命令（ST/SST命令）
- ・ビット操作命令（SET1/CLR1/NOT1命令）

（ - NOP命令を挿入する（5命令）。）^注

DMA動作が必要な場合，DMA動作を許可する。

[記述例] PSCレジスタの場合（スタンバイ・モードの設定）

```
ST.B r11, PSMR [ r0 ] ;PSMRレジスタ設定 (IDLE1, IDLE2, STOPモードの設定)
CLR1 0, DCHCn [ r0 ] ;DMA動作禁止, n = 0-3
MOV 0x02, r10
ST.B r10, PRCMD [ r0 ] ;PRCMDレジスタ書き込み
ST.B r10, PSC [ r0 ] ;PSCレジスタ設定
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
SET1 0, DCHCn [ r0 ] ;DMA動作許可, n = 0-3
(next instruction)
```

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注 IDLE1, IDLE2, STOPモードに移行する場合（PSC.STPビット = 1）には，直後にNOP命令を5命令以上挿入する必要があります。

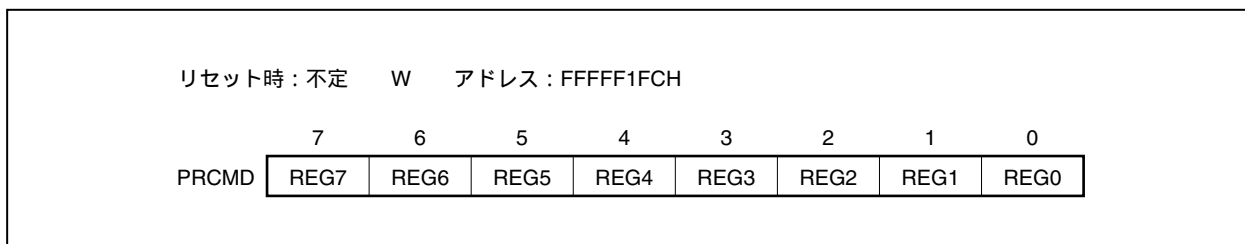
- 注意1.** コマンド・レジスタに対するストア命令では，割り込みを受け付けません。これはプログラムで上記 ， を連続したストア命令で行うことを前提としているためです。 ， の間にほかの命令が置かれていると，その命令で割り込みを受け付けた際，上記シーケンスが成立しなくなる場合があります，誤動作の要因となります。
- 2.** PRCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（例 ）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（例 ）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。

(2) コマンド・レジスタ (PRCMD)

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定期間への書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセットにより不定になります。



(3) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF802H							
	7	6	5	4	3	2	1	①								
SYS	0	0	0	0	0	0	0	PRERR								
PRERR	プロテクション・エラーの検出															
0	プロテクション・エラーは発生していない															
1	プロテクション・エラーが発生している															

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERRフラグ = 1)

- (i) PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき (3. 4. 7 (1) **特定レジスタへのデータ設定**で示す を行わずに を行ったとき)。
- (ii) PRCMDレジスタへの書き込み動作後、特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作 (ビット操作命令を含む) を行ったとき (3. 4. 7 (1) **特定レジスタへのデータ設定**で示す が特定レジスタでなかったとき)。

備考 特定レジスタは、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作 (ビット操作命令を除く) など (内蔵RAMへのアクセスなど) を行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

(b) クリア条件 (PRERRフラグ = 0)

- (i) PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意1.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります (ライト優先)。
- 2.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

3.4.8 注意事項

(1) 最初に設定するレジスタ

V850ES/JG3-U, V850ES/JH3-Uを使用する際には、必ず最初に次のレジスタを設定してください。

- ・システム・ウェイト・コントロール・レジスタ (VSWC)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM) (V850ES/JG3-Uのみ)
- ・ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

VSWC, OCDM, WDTM2レジスタを設定後、必要に応じてその他の各レジスタを設定してください。

なお、外部バスを使用する場合は上記レジスタを設定したあと、ただちにポート関連のレジスタの設定により、各端子を兼用するバス制御端子に設定してください。

(a) システム・ウェイト・コントロール・レジスタ (VSWC)

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウェイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック (ノー・ウェイト時) ですが、V850ES/JG3-U, V850ES/JH3-Uでは動作周波数によりウェイトが必要です。使用する動作周波数に応じて、VSWCレジスタには次に示す値を設定してください。

8ビット単位でリード/ライト可能です。

リセットにより77Hになります。

リセット時：77H R/W アドレス：FFFFFF06EH

	7	6	5	4	3	2	1	0
VSWC								

動作周波数 (f _{CPU})	VSWCの設定値	ウェイト数
f _{CPU} < 16.6 MHz	00H	0 (ノー・ウェイト)
16.6 MHz f _{CPU} < 25 MHz	01H	1
25 MHz f _{CPU} < 33.3 MHz	11H	2
33.3 MHz f _{CPU} 48 MHz	12H	3

(b) オンチップ・デバッグ・モード・レジスタ (OCDM)

詳細は、第32章 オンチップ・デバッグ機能を参照してください。

(c) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

WDTM2レジスタは、ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。動作を確定するために、WDTM2レジスタへ書き込みを行ってください。

詳細は、第13章 ウォッチドッグ・タイマ2機能を参照してください。

(2) 特定の内蔵周辺I/Oレジスタへのアクセスについて

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。したがって、競合の恐れがある周辺ハードウェアへのアクセス時は、CPUは正しいデータの受け渡しが行われるよう、アクセス・サイクル数が変わります。その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数が次に示すウェイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は、この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に、VSWCレジスタで設定したウェイト以外に、さらにウェイトを要する場合があります。

その際のアクセス条件と、挿入されるウェイト数（CPUクロック数）の算出方法を次に示します。

周辺機能	レジスタ名称	アクセス	k
16ビット・タイマ/イベント・カウンタAA (TAA) (n = 0-5, m = 0-3, 5)	TAAAnCNT	リード	1-2
	TAAAnCCR0, TAAAnCCR1	ライト	・1回目: ウェイトなし ・連続書き込み: 0-3
		リード	1-2
	TAAAmIOC4	ライト	・1回目: ウェイトなし ・連続書き込み: 0-3
リード		1-2	
16ビット・タイマ/イベント・カウンタAB (TAB) (n = 0, 1)	TABnCNT	リード	1-2
	TABnCCR0-TABnCCR3	ライト	・1回目: ウェイトなし ・連続書き込み: 0-3
		リード	1-2
	TABnIOC4	ライト	・1回目: ウェイトなし ・連続書き込み: 0-3
リード		1-2	
モータ制御	TAB0OPT1	ライト	・1回目: ウェイトなし ・連続書き込み: 0-3
	TAB0DTC	ライト	・1回目: ウェイトなし ・連続書き込み: 0-3
TMT	TT0CNT	リード	1-2
	TT0TCR0, TT0TCR1	ライト	・1回目: ウェイトなし ・連続書き込み: 0-3
		リード	1-2
ウォッチドッグ・タイマ2 (WDT2)	WDTM2	ライト (WDT2動作時)	3
リアルタイム出力機能 (RTO)	RTBL0, RTBH0	ライト (RTPC0.RTPOE0 ビット = 0)	1
A/Dコンバータ	ADA0M0	リード	1-2
	ADA0CR0-ADA0CR11	リード	1-2
	ADA0CR0H-ADA0CR11H	リード	1-2
I ² C00-I ² C02	IICS0-IICS2	リード	1
CRC	CRCD	ライト	1

アクセスに必要なクロック数 = $3 + i + j + (2 + j) \times k$

注意 次に示す状態において、上記レジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットだけです。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

備考 i: VSWCレジスタの上位4ビットの値 (0)
j: VSWCレジスタの下位4ビットの値 (0, 1)

(3) sld命令と割り込み競合に関する制限事項

(a) 内 容

次の命令<1>の事項が完了する前に、後続の sld 命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ ld 命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・ sld 命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・ 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

< > ld.w [r11], r10	< >の ld 命令の実行が完了する前に、< >の sld 命令の直前の mov
・	命令< >のデコード動作と割り込み要求が競合した場合、< >の ld
・	命令の実行結果がレジスタに格納されないことがあります。
< > mov r10, r28	
< > sld.w 0x28, r10	

(b) 回 避 策

コンパイラ (CA850) 使用時

Ver.2.61以降のバージョンを使用してください。該当命令シーケンスの生成を自動的に抑止します。

アセンブラでの対策

命令< >の直後に sld 命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・ sld 命令の直前に nop 命令を入れる。
- ・ sld 命令のディスティネーション・レジスタと同じレジスタを、sld 命令の直前で実行する上記< >の命令で使用しない。

第4章 ポート機能

4.1 特 徴

入出力ポート：

- ・ V850ES/JG3-U：75本
5 Vトレラント / N-chオープン・ドレイン出力切り替え可能：20本
- ・ V850ES/JH3-U：96本
5 Vトレラント / N-chオープン・ドレイン出力切り替え可能：25本

1ビット単位で入力 / 出力指定可能

4.2 ポートの基本構成

V850ES/JG3-Uは、ポート0, 1, 3-7, 9, CM, CT, DLの合計75本の入出力ポートを内蔵しています。
V850ES/JH3-Uは、ポート0-7, 9, CM, CS, CT, DH, DLの合計96本の入出力ポートを内蔵しています。
ポートの構成を次に示します。

表4 - 1 各端子の入出力バッファ電源 (V850ES/JG3-U)

電 源	対応する端子
AV _{REF0}	ポート7
AV _{REF1}	ポート1
EV _{DD}	RESET, ポート0, 3-6, 9, CM, CT, DL

表4 - 2 各端子の入出力バッファ電源 (V850ES/JH3-U)

電 源	対応する端子
AV _{REF0}	ポート7
AV _{REF1}	ポート1
EV _{DD}	RESET, ポート0, 2-6, 9, CM, CS, CT, DH, DL

図4 - 1 ポートの構成図 (V850ES/JG3-U)

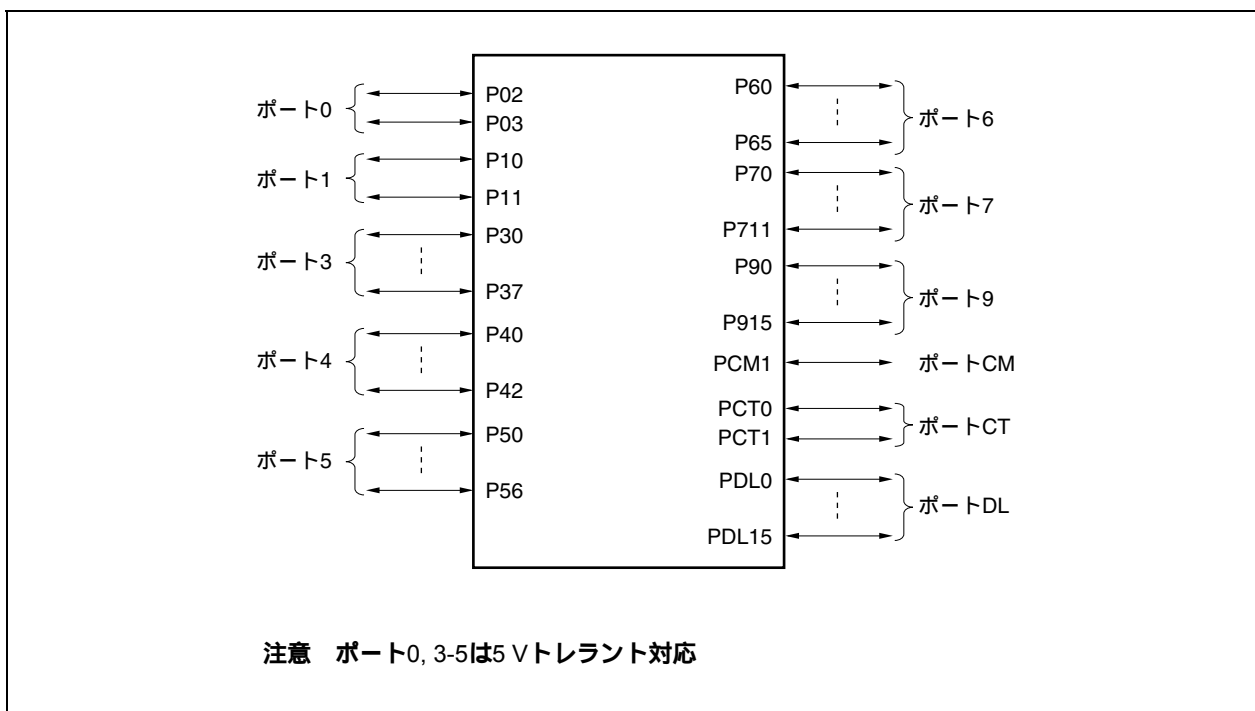
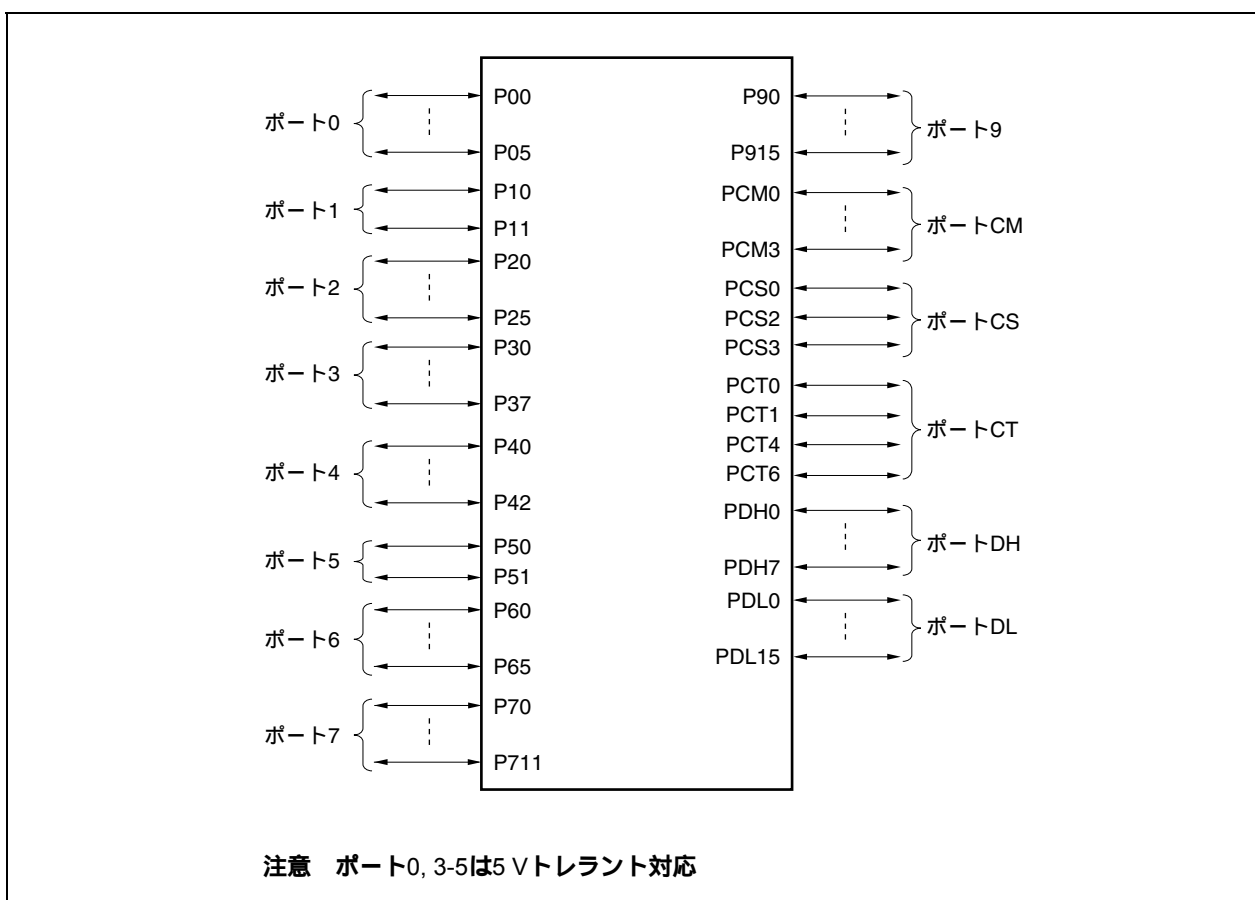


図4 - 2 ポートの構成図 (V850ES/JH3-U)



4.3 ポートの構成

表4-3 ポートの構成 (V850ES/JG3-U)

項目	構成
制御レジスタ	ポートnモード・レジスタ (PMn : n = 0, 1, 3-7, 9, CM, CT, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0, 3-5, 9, CM, CT, DL) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0, 3-6, 9) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 4-6, 9) ポートnファンクション・レジスタ (PFn : n = 0, 3-5, 9)
ポート	入出力 : 75本

表4-4 ポートの構成 (V850ES/JH3-U)

項目	構成
制御レジスタ	ポートnモード・レジスタ (PMn : n = 0-7, 9, CM, CS, CT, DH, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0, 2-6, 9, CM, CS, CT, DH, DL) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0, 2-6, 9) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 4-6, 9) ポートnファンクション・レジスタ (PFn : n = 0, 2-5, 9)
ポート	入出力 : 96本

(1) ポートnレジスタ (Pn)

外部とのデータ入出力は、Pnレジスタへの書き込み、および読み出しによって行います。Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位でリード/ライト可能です。

リセット時：00H (出力ラッチ) R/W								
	7	6	5	7	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
Pnm	出力データの制御 (出力モード時)							
0	0を出力							
1	1を出力							

PMCnレジスタの設定によらず、Pnレジスタへの書き込みや読み出しは次のようになります。

表4-5 Pnレジスタへの書き込み/読み出しについて

PMnレジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
出力モード (PMnm = 0)	出力ラッチに対して書き込みます ^注 。 ポート・モード (PMCn = 0) の場合、出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します。
入力モード (PMnm = 1)	出力ラッチに対して書き込みます。 端子の状態には影響ありません ^注 。	端子状態を読み出します。

注 出力ラッチに書き込まれた値は、再度出力ラッチに値を書き込まれるまで保持されます。

(2) ポートnモード・レジスタ (PMn)

ポートの入力モード/出力モードを指定します。

PMnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: FFH R/W								
	7	6	5	4	3	2	1	0
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
PMnm	入出力モードの制御							
0	出力モード							
1	入力モード							

(3) ポートnモード・コントロール・レジスタ (PMcn)

ポート・モード/兼用機能を指定します。

PMcnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: 00H R/W								
	7	6	5	4	3	2	1	0
PMcn	PMcn7	PMcn6	PMcn5	PMcn4	PMcn3	PMcn2	PMcn1	PMcn0
PMcnm	動作モードの指定							
0	ポート・モード							
1	兼用機能モード							

(4) ポートnファンクション・コントロール・レジスタ (PFCn)

1本の端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H R/W								
	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
	兼用機能の指定							
	0	兼用機能1						
	1	兼用機能2						

(5) ポートnファンクション・コントロール拡張レジスタ (PFCEn)

1本の端子に兼用機能が3つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H R/W								
	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0
	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
	PFCEnm	PFCnm	兼用機能の指定					
	0	0	兼用機能1					
	0	1	兼用機能2					
	1	0	兼用機能3					
	1	1	兼用機能4					

(6) ポートnファンクション・レジスタ (PFn)

通常出力/N-chオープン・ドレイン出力を指定するレジスタです。

PFnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

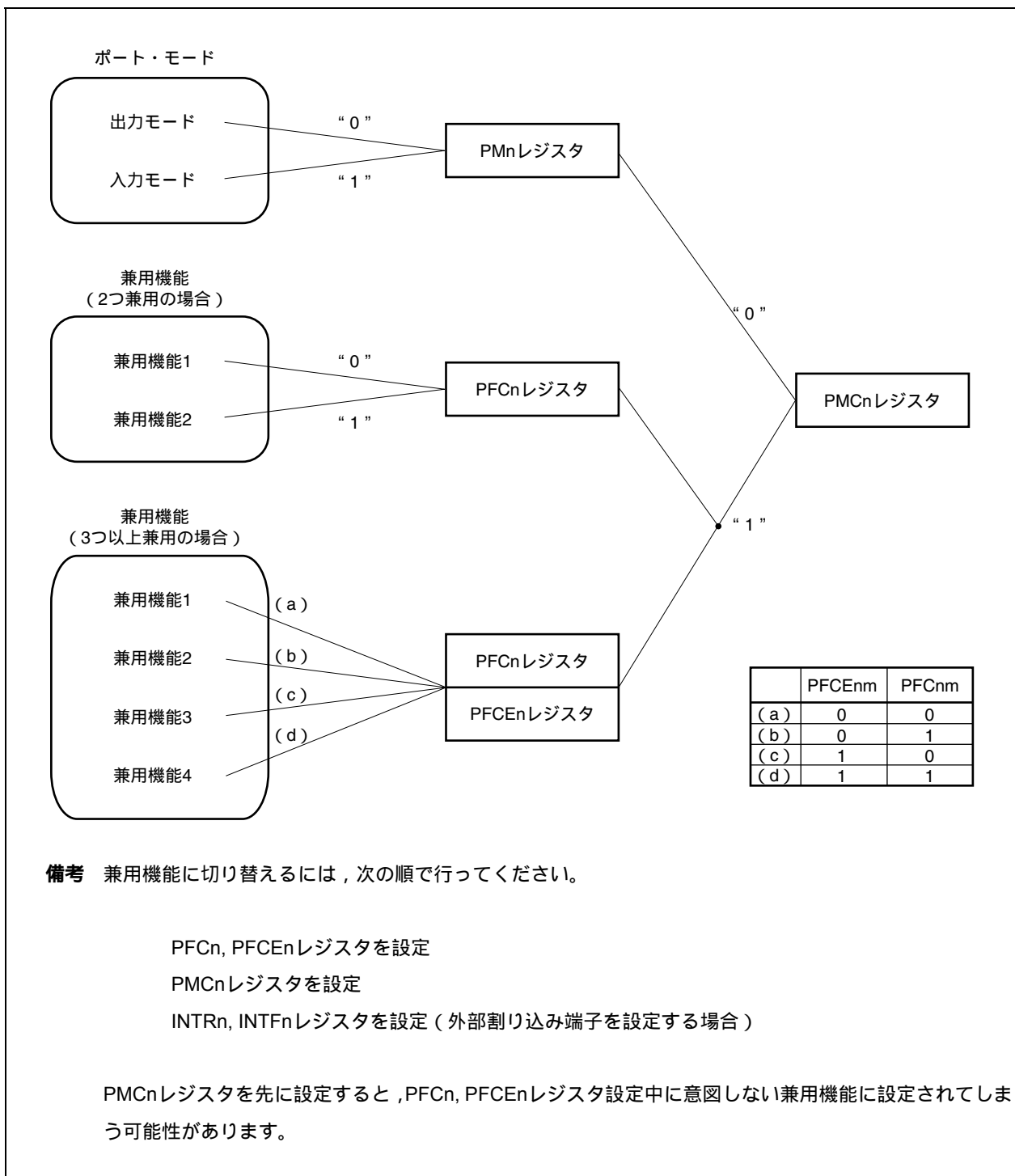
リセット時：00H R/W								
7	6	5	4	3	2	1	0	
PFn	PFn7	PFn6	PFn5	PFn4	PFn3	PFn2	PFn1	PFn0
PFnm ^注	通常出力/N-chオープン・ドレイン出力の制御							
0	通常出力 (CMOS出力)							
1	N-chオープン・ドレイン出力							

注 ポート・モード時 (PMcnmビット = 0)、PFnレジスタのPFnmビットは、PMnレジスタのPMnmビット = 0 (出力モード時) のときのみ有効です。PMnmビット = 1 (入力モード時) のときは、PFnレジスタの設定値は無効です。

(7) ポートの設定

ポートの設定は、次のように設定してください。

図4-3 各レジスタの設定と端子の機能



4.3.1 ポート0

ポート0は1ビット単位で入出力を制御できる2ビット (V850ES/JG3-U) / 6ビット (V850ES/JH3-U) のポートです。

ポート0は、次に示す端子と兼用しています。

表4-6 ポート0の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JG3-U	V850ES/ JH3-U			
P00	-	8	INTP00	入力	N-chオープン・ドレイン出力選択可能
P01	-	9	INTP01	入力	
P02	6	6	NMI	入力	
P03	7	7	INTP02/ADTRG/UCLK	入力	
P04	-	26	INTP03	入力	
P05	-	27	INTP04	入力	

注意 P00-P05端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート0レジスタ (P0)

(a) V850ES/JG3-U

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF400H

	7	6	5	4	3	2	1	0
P0	0	0	0	0	P03	P02	0	0

P0n	出力データの制御 (出力モード時) (n = 2, 3)
0	0を出力
1	1を出力

(b) V850ES/JH3-U

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF400H

	7	6	5	4	3	2	1	0
P0	0	0	P05	P04	P03	P02	P01	P00

P0n	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

(2) ポート0モード・レジスタ (PM0)

(a) V850ES/JG3-U

リセット時 : FFH R/W アドレス : FFFFF420H

	7	6	5	4	3	2	1	0
PM0	1	1	1	1	PM03	PM02	1	1

PM0n	入出力モードの制御 (n = 2, 3)	
0	出力モード	
1	入力モード	

(b) V850ES/JH3-U

リセット時 : FFH R/W アドレス : FFFFF420H

	7	6	5	4	3	2	1	0
PM0	1	1	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	入出力モードの制御 (n = 0-5)	
0	出力モード	
1	入力モード	

(3) ポート0モード・コントロール・レジスタ (PMC0)

(a) V850ES/JG3-U

リセット時：00H R/W アドレス：FFFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	0	0	0	PMC03	PMC02	0	0

PMC03	P03端子の動作モードの指定
0	入出力ポート
1	INTP02入力/ADTRG入力/UCLK入力

PMC02	P02端子の動作モードの指定
0	入出力ポート
1	NMI入力

(b) V850ES/JH3-U

リセット時：00H R/W アドレス：FFFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	0	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00

PMC05	P05端子の動作モードの指定
0	入出力ポート
1	INTP04入力

PMC04	P04端子の動作モードの指定
0	入出力ポート
1	INTP03入力

PMC03	P03端子の動作モードの指定
0	入出力ポート
1	INTP02入力/ADTRG入力/UCLK入力

PMC02	P02端子の動作モードの指定
0	入出力ポート
1	NMI入力

PMC01	P01端子の動作モードの指定
0	入出力ポート
1	INTP01入力

PMC00	P00端子の動作モードの指定
0	入出力ポート
1	INTP00入力

(4) ポート0ファンクション・コントロール・レジスタ (PFC0)

リセット時 : 00H R/W アドレス : FFFFF460H

	7	6	5	4	3	2	1	0
PFC0	0	0	0	0	PFC03	0	0	0

備考 兼用機能の指定については4. 3. 1 (6) ポート0の兼用機能の指定を参照してください。

(5) ポート0ファンクション・コントロール拡張レジスタ (PFCE0)

リセット時 : 00H R/W アドレス : FFFFF700H

	7	6	5	4	3	2	1	0
PFCE0	0	0	0	0	PFCE03	0	0	0

備考 兼用機能の指定については4. 3. 1 (6) ポート0の兼用機能の指定を参照してください。

(6) ポート0の兼用機能の指定

PFCE03	PFC03	P03端子の兼用機能の指定
0	0	INTP02入力
0	1	ADTRG入力
1	0	UCLK入力
1	1	設定禁止

(7) ポート0ファンクション・レジスタ (PF0)

(a) V850ES/JG3-U

リセット時 : 00H R/W アドレス : FFFFFFFC60H

	7	6	5	4	3	2	1	0
PF0	0	0	0	0	PF03	PF02	0	0

PF0n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 2, 3)
0	通常出力
1	N-chオープン・ドレイン出力

(b) V850ES/JH3-U

リセット時 : 00H R/W アドレス : FFFFFFFC60H

	7	6	5	4	3	2	1	0
PF0	0	0	PF05	PF04	PF03	PF02	PF01	PF00

PF0n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 0-5)
0	通常出力
1	N-chオープン・ドレイン出力

4.3.2 ポート1

ポート1は1ビット単位で入出力を制御できる2ビットのポートです。

ポート1は、次に示す端子と兼用しています。

表4-7 ポート1の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JG3-U	V850ES/ JH3-U			
P10	3	3	ANO0	出力	-
P11	4	4	ANO1	出力	

注意 P10, P11端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

(1) ポート1レジスタ (P1)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFF402H

	7	6	5	4	3	2	1	0
P1	0	0	0	0	0	0	P11	P10

P1n	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

注意 D/A変換中にP1レジスタをリード/ライトしないでください (16.4.3 使用上の注意点参照)。

(2) ポート1モード・レジスタ (PM1)

リセット時：FFH R/W アドレス：FFFFF422H

	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	1	PM11	PM10

PM1n	入出力モードの制御 (n = 0, 1)
0	出力モード
1	入力モード

- 注意1. P1nを兼用機能 (ANO_n端子出力) として使用する場合、PM1nビットを1に設定してください。
2. 1本を入出力ポート、1本をD/A出力端子として使用する場合、D/A出力中は、ポートの入出力レベルが変化しないようなアプリケーションで使用してください。

4.3.3 ポート2 (V850ES/JH3-Uのみ)

ポート2は1ビット単位で入出力を制御できる6ビットのポートです。

ポート2は、次に示す端子と兼用しています。

表4-8 ポート2の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JG3-U	V850ES/ JH3-U			
P20	-	32	TIAB03/KR2/TOAB03/RTP02	入出力	N-chオープン・ドレイン出力選択可能
P21	-	33	SIF2/KR3/TIAB00/TOAB00 /RTP03	入出力	
P22	-	34	SOF2/KR4/RTP04	入出力	
P23	-	35	SCKF2/KR5/RTP05	入出力	
P24	-	36	INTP05	入力	
P25	-	28	INTP06	入力	

注意 P20-P25端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート2レジスタ (P2)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF404H								
	7	6	5	4	3	2	1	0
P2	0	0	P25	P24	P23	P22	P21	P20
P2n	出力データの制御 (出力モード時) (n = 0-5)							
0	0を出力							
1	1を出力							

(2) ポート2モード・レジスタ (PM2)

リセット時：FFH R/W アドレス：FFFFFF424H								
	7	6	5	4	3	2	1	0
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20
PM2n	入出力モードの制御 (n = 0-5)							
0	出力モード							
1	入力モード							

(3) ポート2モード・コントロール・レジスタ (PMC2)

リセット時 : 00H R/W アドレス : FFFFF444H

	7	6	5	4	3	2	1	0
PMC2	0	0	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20
PMC25	P25端子の動作モードの指定							
0	入出力ポート							
1	INTP06入力							
PMC24	P24端子の動作モードの指定							
0	入出力ポート							
1	INTP05入力							
PMC23	P23端子の動作モードの指定							
0	入出力ポート							
1	SCKF2入出力/KR5入力/RTP05出力							
PMC22	P22端子の動作モードの指定							
0	入出力ポート							
1	SOF2出力/KR4入力/RTP04出力							
PMC21	P21端子の動作モードの指定							
0	入出力ポート							
1	SIF2出力/KR3入力/TIAB00入力/TOAB00出力/RTP03出力							
PMC20	P20端子の動作モードの指定							
0	入出力ポート							
1	TIAB03入力/KR2入力/TOAB03出力/RTP02出力							

(4) ポート2ファンクション・コントロール・レジスタ (PFC2)

リセット時 : 00H R/W アドレス : FFFFF464H

	7	6	5	4	3	2	1	0
PFC2	0	0	0	0	PFC23	PFC22	PFC21	PFC20

備考 兼用機能の指定については4. 3. 3 (6) ポート2の兼用機能の指定を参照してください。

(5) ポート2ファンクション・コントロール拡張レジスタ (PFCE2)

リセット時：00H R/W アドレス：FFFFFF704H								
	7	6	5	4	3	2	1	0
PFCE2	0	0	0	0	PFCE23	PFCE22	PFCE21	PFCE20

備考 兼用機能の指定については4. 3. 3 (6) ポート2の兼用機能の指定を参照してください。

(6) ポート2の兼用機能の指定

PFCE23	PFC23	P23端子の兼用機能の指定
0	0	SCKF2入出力
0	1	KR5入力
1	0	RTP05出力
1	1	設定禁止

PFCE22	PFC22	P22端子の兼用機能の指定
0	0	SOF2出力
0	1	KR4入力
1	0	RTP04出力
1	1	設定禁止

PFCE21	PFC21	P21端子の兼用機能の指定
0	0	SIF2入力
0	1	KR3入力 / TIAB00入力 ^注
1	0	TOAB00出力
1	1	RTP03出力

注 KR3端子とTIAB00端子は兼用となっています。端子をTIAB00端子として使用する場合は、兼用しているKR3端子のキー・リターン検出を無効にしてください (KRM.KRM3ビットに0を設定)。また、KRn端子として使用する場合は、兼用しているTIAB00端子のエッジ検出を無効 (TAB0IOC1.TAB0TIG0, TAB0TIG1ビット = 00 B, TAB0IOC2レジスタ = 00H) にしてください。

PFCE20	PFC20	P20端子の兼用機能の指定
0	0	TIAB03入力 / KR2入力
0	1	TOAB03出力
1	0	RTP02出力
1	1	設定禁止

(7) ポート2ファンクション・レジスタ (PF2)

リセット時 : 00H R/W アドレス : FFFFFFFC64H

	7	6	5	4	3	2	1	0
PF2	0	0	PF25	PF24	PF23	PF22	PF21	PF20

PF2n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-5)
0	通常出力
1	N-chオープン・ドレイン出力

4.3.4 ポート3

ポート3は1ビット単位で入出力を制御できる10ビットのポートです。

ポート3は、次に示す端子と兼用しています。

表4-9 ポート3の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JG3-U	V850ES/ JH3-U			
P30	25	37	TXDC0/SOF4/INTP07	入出力	N-chオープン・ドレイン出力選択可能
P31	26	38	RXDC0/SIF4/INTP08	入力	
P32	27	39	ASCKC0/SCKF4/TIAA00/TOAA00	入出力	
P33	28	40	TIAA01/TOAA01/RTCDIV/RTCCL	入出力	
P34	29	41	TIAA10/TOAA10/TOAA1OFF/INTP09/ PPON	入出力	
P35	30	42	TIAA11/TOAA11/RTC1HZ/OCI	入出力	
P36	31	43	TXDC3/SCL00/UDMARQ0	入出力	
P37	32	44	RXDC3/SDA00/UDMAAK0	入出力	

注意 P30-P37端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート3レジスタ (P3)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF406H									
	7	6	5	4	3	2	1	0	
P3	P37	P36	P35	P34	P33	P32	P31	P30	
	出力データの制御 (出力モード時) (n = 0-7)								
	P3n								
	0	0を出力							
	1	1を出力							

(2) ポート3モード・レジスタ (PM3)

リセット時：FFH R/W アドレス：FFFFFF426H									
	7	6	5	4	3	2	1	0	
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	
	入出力モードの制御 (n = 0-7)								
	PM3n								
	0	出力モード							
	1	入力モード							

(3) ポート3モード・コントロール・レジスタ (PMC3)

リセット時：00H R/W アドレス： FFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

PMC37	P37端子の動作モードの指定
0	入出力ポート
1	RXDC3入力/SDA00入出力/UDMAAK0出力

PMC36	P36端子の動作モードの指定
0	入出力ポート
1	TXDC3出力/SCL00入出力/UDMARQ0入力

PMC35	P35端子の動作モードの指定
0	入出力ポート
1	TIAA11入力/TOAA11出力/RTC1HZ出力/OCI入力

PMC34	P34端子の動作モードの指定
0	入出力ポート
1	TIAA10入力/TOAA10出力/TOAA1OFF入力/INTP09入力/PPON出力

PMC33	P33端子の動作モードの指定
0	入出力ポート
1	TIAA01入力/TOAA01出力/RTCDIV出力/RTCCL出力

PMC32	P32端子の動作モードの指定
0	入出力ポート
1	ASCKA0入力/SCKF4入出力/TIAA00入力/TOAA00出力

PMC31	P31端子の動作モードの指定
0	入出力ポート
1	RXDC0入力/SIF4入力/INTP08入力

PMC30	P30端子の動作モードの指定
0	入出力ポート
1	TXDC0出力/SOF4出力/INTP07入力

(4) ポート3ファンクション・コントロール・レジスタ (PFC3)

リセット時：00H R/W アドレス： FFFFF466H

	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

備考 兼用機能の指定については4.3.4(6)ポート3の兼用機能の指定を参照してください。

(5) ポート3ファンクション・コントロール拡張レジスタ (PFCE3)

リセット時：00H R/W アドレス： FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	PFCE37	PFCE36	PFCE35	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30

備考 兼用機能の指定については4.3.4(6)ポート3の兼用機能の指定を参照してください。

(6) ポート3の兼用機能の指定

PFCE37	PFC37	P37端子の兼用機能の指定
0	0	RXDC3入力
0	1	SDA00入出力
1	0	設定禁止
1	1	UDMAAK0出力

PFCE36	PFC36	P36端子の兼用機能の指定
0	0	TXDC3出力
0	1	SCL00入出力
1	0	設定禁止
1	1	UDMARQ0入力

PFCE35	PFC35	P35端子の兼用機能の指定
0	0	TIAA11入力
0	1	TOAA11出力
1	0	RTC1HZ出力
1	1	OCI入力

PFCE34	PFC34	P34端子の兼用機能の指定
0	0	TIAA10入力
0	1	TOAA10出力
1	0	TOAA10FF入力/INTP09入力 ^注
1	1	PPON出力

注 TOAA10FF端子とINTP09端子は兼用となっています。TOAA10FF端子として使用する場合は、兼用しているINTP09端子のエッジ検出を無効にしてください。また、INTP09端子として使用する場合は、ハイ・インピーダンス出力制御回路を停止してください。

PFCE33	PFC33	P33端子の兼用機能の指定
0	0	TIAA01入力
0	1	TOAA01出力
1	0	RTCDIV出力
1	1	RTCCL出力

PFCE32	PFC32	P32端子の兼用機能の指定
0	0	ASCKC0入力
0	1	SCKF4入出力
1	0	TIAA00入力
1	1	TOAA00出力

PFCE31	PFC31	P31端子の兼用機能の指定
0	0	RXDC0入力
0	1	SIF4入力
1	0	INTP08入力
1	1	設定禁止

PFCE30	PFC30	P30端子の兼用機能の指定
0	0	TXDC0出力
0	1	SOF4出力
1	0	INTP07入力
1	1	設定禁止

(7) ポート3ファンクション・レジスタ (PF3)

リセット時 : 00H R/W アドレス : FFFFC66H

	7	6	5	4	3	2	1	0
PF3	PF37	PF36	PF35	PF34	PF33	PF32	PF31	PF30

PF3n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-7)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

4.3.5 ポート4

ポート4は1ビット単位で入出力を制御できる3ビットのポートです。

ポート4は、次に示す端子と兼用しています。

表4-10 ポート4の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JG3-U	V850ES/ JH3-U			
P40	22	29	SIF0/TXDC4/SDA01	入出力	N-chオープン・ドレイン出力選択可能
P41	23	30	SOF0/RXDC4/SCL01	入出力	
P42	24	31	SCKF0/INTP10	入出力	

注意 P40-P42端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート4レジスタ (P4)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF408H								
	7	6	5	4	3	2	1	0
P4	0	0	0	0	0	P42	P41	P40
P4n	出力データの制御 (出力モード時) (n = 0-2)							
0	0を出力							
1	1を出力							

(2) ポート4モード・レジスタ (PM4)

リセット時：FFH R/W アドレス：FFFFFF428H								
	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40
PM4n	入出力モードの制御 (n = 0-2)							
0	出力モード							
1	入力モード							

(3) ポート4モード・コントロール・レジスタ (PMC4)

リセット時：00H R/W アドレス：FFFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

PMC42	P42端子の動作モードの指定
0	入出力ポート
1	SCKF0入出力/INTP10入力

PMC41	P41端子の動作モードの指定
0	入出力ポート
1	SOF0出力/RXDC4入力/SCL01入出力

PMC40	P40端子の動作モードの指定
0	入出力ポート
1	SIF0入力/TXDC4出力/SDA01入出力

(4) ポート4ファンクション・コントロール・レジスタ (PFC4)

リセット時：00H R/W アドレス：FFFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	PFC42	PFC41	PFC40

備考 兼用機能の指定については4.3.5(6) **ポート4の兼用機能の指定**を参照してください。

(5) ポート4ファンクション・コントロール拡張レジスタ (PFCE4)

リセット時：00H R/W アドレス：FFFFFF708H

	7	6	5	4	3	2	1	0
PFCE4	0	0	0	0	0	0	PFCE41	PFCE40

備考 兼用機能の指定については4.3.5(6) **ポート4の兼用機能の指定**を参照してください。

(6) ポート4の兼用機能の指定

PFC42	P42端子の兼用機能の指定
0	SCKF0入出力
1	INTP10入力

PFCE41	PFC41	P41端子の兼用機能の指定
0	0	SOF0出力
0	1	RXDC4入力
1	0	SCL01入出力
1	1	設定禁止

PFCE40	PFC40	P40端子の兼用機能の指定
0	0	SIF0入力
0	1	TXDC4出力
1	0	SDA01入出力
1	1	設定禁止

(5) ポート4ファンクション・レジスタ (PF4)

リセット時 : 00H R/W アドレス : FFFFFFFC68H

	7	6	5	4	3	2	1	0
PF4	0	0	0	0	0	PF42	PF41	PF40

PF4n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-2)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

4.3.6 ポート5

ポート5は1ビット単位で入出力を制御できる6ビット（V850ES/JG3-U）、2ビット（V850ES/JH3-U）のポートです。

ポート5は、次に示す端子と兼用しています。

表4-11 ポート5の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JG3-U	V850ES/ JH3-U			
P50	35	47	TIAB01/KR0/TOAB01/RTP00 /UDMARQ1	入出力	N-chオープン・ドレイン出力選択可能
P51	36	48	TIAB02/KR1/TOAB02/RTP01 /UDMAAK1	入出力	
P52	37	-	TIAB03/KR2/TOAB13/RTP02 /DDI ^注	入出力	
P53	38	-	SIF2/TIAB00/KR3/TOAB10 /RTP03/DDO ^注	入出力	
P54	39	-	SOF2/KR4/RTP04/DCK ^注	入出力	
P55	40	-	SCKF2/KR5/RTP05/DMS ^注	入出力	
P56	41	-	INTP05/DRST ^注	入力	

注 DDI, DDO, DCK, DMS, DRST端子はオンチップ・デバッグ用の端子です。

オンチップ・デバッグを使用しない場合、RESET端子によるリセット解除後から、OCDM.OCDM0ビットをクリア（0）するまで、P05/INTP02/DRST端子状態をロウ・レベルに固定してください。

詳細は、4.5.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。

注意1. P53端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

2. P50-P56端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート5レジスタ (P5)

(a) V850ES/JG3-U

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF40AH

	7	6	5	4	3	2	1	0
P5	0	P56	P55	P54	P53	P52	P51	P50

P5n	出力データの制御 (出力モード時) (n = 0-6)
0	0を出力
1	1を出力

(b) V850ES/JH3-U

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF40AH

	7	6	5	4	3	2	1	0
P5	0	0	0	0	0	0	P51	P50

P5n	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

(2) ポート5モード・レジスタ (PM5)

(a) V850ES/JG3-U

リセット時: FFH R/W アドレス: FFFFF42AH

	7	6	5	4	3	2	1	0
PM5	1	PM56	PM55	PM54	PM53	PM52	PM51	PM50

PM5n	入出力モードの制御 (n = 0-6)	
0	出力モード	
1	入力モード	

(b) V850ES/JH3-U

リセット時: FFH R/W アドレス: FFFFF42AH

	7	6	5	4	3	2	1	0
PM5	1	1	1	1	1	1	PM51	PM50

PM5n	入出力モードの制御 (n = 0, 1)	
0	出力モード	
1	入力モード	

(3) ポート5モード・コントロール・レジスタ (PMC5)

(a) V850ES/JG3-U

リセット時：00H R/W アドレス：FFFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	PMC56	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50
PMC56	P56端子の動作モードの指定							
0	入出力ポート							
1	INTP05入力							
PMC55	P55端子の動作モードの指定							
0	入出力ポート							
1	SCKF2入出力/KR5入力/RTP05出力							
PMC54	P54端子の動作モードの指定							
0	入出力ポート							
1	SOF2出力/KR4入力/RTP04出力							
PMC53	P53端子の動作モードの指定							
0	入出力ポート							
1	SIF2入力/KR3入力/TIAB00入力/TOAB00出力/RTP03出力							
PMC52	P52端子の動作モードの指定							
0	入出力ポート							
1	TIAB03入力/KR2入力/TOAB03出力/RTP02出力							
PMC51	P51端子の動作モードの指定							
0	入出力ポート							
1	TIAB02入力/KR1入力/TOAB02出力/RTP01出力/UDMAAK1出力							
PMC50	P50端子の動作モードの指定							
0	入出力ポート							
1	TIAB01入力/KR0入力/TOAB01出力/RTP00出力/UDMARQ1入力							

(b) V850ES/JH3-U

リセット時：00H R/W アドレス：FFFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	0	0	0	0	PMC51	PMC50
PMC51	P51端子の動作モードの指定							
0	入出力ポート							
1	TIAB02入力/KR1入力/TOAB02出力/RTP01出力/UDMAAK1出力							
PMC50	P50端子の動作モードの指定							
0	入出力ポート							
1	TIAB01入力/KR0入力/TOAB01出力/RTP00出力/UDMARQ1入力							

(4) ポート5ファンクション・コントロール・レジスタ (PFC5)

(a) V850ES/JG3-U

リセット時: 00H R/W アドレス: FFFFF46AH

	7	6	5	4	3	2	1	0
PFC5	0	0	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50

(b) V850ES/JH3-U

リセット時: 00H R/W アドレス: FFFFF46AH

	7	6	5	4	3	2	1	0
PFC5	0	0	0	0	0	0	PFC51	PFC50

備考 兼用機能の指定については4.3.6(6)ポート5の兼用機能の指定を参照してください。

(5) ポート5ファンクション・コントロール拡張レジスタ (PFCE5)

(a) V850ES/JG3-U

リセット時: 00H R/W アドレス: FFFFF70AH

	7	6	5	4	3	2	1	0
PFCE5	0	0	PFCE55	PFCE54	PFCE53	PFCE52	PFCE51	PFCE50

(b) V850ES/JH3-U

リセット時: 00H R/W アドレス: FFFFF70AH

	7	6	5	4	3	2	1	0
PFCE5	0	0	0	0	0	0	PFCE51	PFCE50

備考 兼用機能の指定については4.3.6(6)ポート5の兼用機能の指定を参照してください。

(6) ポート5の兼用機能の指定

PFCE55 ^{注1}	PFC55 ^{注1}	P55端子の兼用機能の指定 ^{注1}
0	0	SCKF2入出力
0	1	KR5入力
1	0	RTP05出力
1	1	設定禁止

PFCE54 ^{注1}	PFC54 ^{注1}	P54端子の兼用機能の指定 ^{注1}
0	0	SOF2出力
0	1	KR4入力
1	0	RTP04出力
1	1	設定禁止

PFCE53 ^{注1}	PFC53 ^{注1}	P53端子の兼用機能の指定 ^{注1}
0	0	SIF2入力
0	1	TIAB00入力/KR3 ^{注2} 入力
1	0	TOAB00出力
1	1	RTP03出力

PFCE52 ^{注1}	PFC52 ^{注1}	P52端子の兼用機能の指定 ^{注1}
0	0	TIAB03入力/KR2 ^{注2} 入力
0	1	TOAB03出力
1	0	RTP02出力
1	1	設定禁止

PFCE51	PFC51	P51端子の兼用機能の指定
0	0	TIAB02入力/KR1 ^{注2} 入力
0	1	TOAB02出力
1	0	RTP01出力
1	1	UDMAAK1出力

PFCE50	PFC50	P50端子の兼用機能の指定
0	0	TIAB01入力/KR0 ^{注2} 入力
0	1	TOAB01出力
1	0	RTP00出力
1	1	UDMARQ1入力

注1. V850ES/JG3-Uのみ。

2. KRn端子とTIAB0m端子は兼用となっています。端子をTIAB0m端子として使用する場合は、兼用しているKRn端子のキー・リターン検出を無効にしてください（KRM.KRMnビットに0を設定）。また、KRn端子として使用する場合は、兼用しているTIAB0m端子のエッジ検出を無効にしてください（n = 0-3, m = 0-3）。

端子名称	TIAB0m端子として使用する場合	KRn端子として使用する場合
KR0/TIAB01	KRM.KRM0ビット = 0	TAB0IOC1.TAB0TIG2, TAB0TIG3ビット = 0
KR1/TIAB02	KRM.KRM1ビット = 0	TAB0IOC1.TAB0TIG4, TAB0TIG5ビット = 0
KR2/TIAB03	KRM.KRM2ビット = 0	TAB0IOC1.TAB0TIG6, TAB0TIG7ビット = 0
KR3/TIAB00	KRM.KRM3ビット = 0	TAB0IOC1.TAB0TIG0, TAB0TIG1ビット = 0 TAB0IOC2.TAB0EES0, TAB0EES1ビット = 0 TAB0IOC2.TAB0ETS0, TAB0ETS1ビット = 0

(7) ポート5ファンクション・レジスタ (PF5)

(a) V850ES/JG3-U

リセット時 : 00H R/W アドレス : FFFFFFFC6AH

	7	6	5	4	3	2	1	0
PF5	0	PF56	PF55	PF54	PF53	PF52	PF51	PF50

PF5n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0-6)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

(b) V850ES/JH3-U

リセット時 : 00H R/W アドレス : FFFFFFFC6AH

	7	6	5	4	3	2	1	0
PF5	0	0	0	0	0	0	PF51	PF50

PF5n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0, 1)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

4.3.7 ポート6

ポート6は1ビット単位で入出力を制御できる6ビットのポートです。

ポート6は、次に示す端子と兼用しています。

表4 - 12 ポート6の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JG3-U	V850ES/ JH3-U			
P60	65	90	TOAB1T1/TOAB11/TIAB11 $\overline{\text{WAIT}}$ ^注	入出力	-
P61	66	91	TOAB1B1/TOAB10/TIAB10 $\overline{\text{RD}}$ ^注	入出力	
P62	67	92	TOAB1T2/TOAB12/TIAB12 /ASTB ^注	入出力	
P63	68	93	TOAB1B2/TRGAB1/ $\overline{\text{CS0}}$ ^注	入出力	
P64	69	94	TOAB1T3/TOAB13/TIAB13 $\overline{\text{CS2}}$ ^注	入出力	
P65	70	95	TOAB1B3/EVTAB1/ $\overline{\text{CS3}}$ ^注	入出力	

注 V850ES/JG3-Uのみ。

注意 P60-P65端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート6レジスタ (P6)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF40CH								
	7	6	5	4	3	2	1	0
P6	0	0	P65	P64	P63	P62	P61	P60
P6n	出力データの制御 (出力モード時) (n = 0-5)							
0	0を出力							
1	1を出力							

(2) ポート6モード・レジスタ (PM6)

リセット時：FFH R/W アドレス：FFFFFF42CH

	7	6	5	4	3	2	1	0
PM6	1	1	PM65	PM64	PM63	PM62	PM61	PM60
PM6n	入出力モードの制御 (n = 0-5)							
0	出力モード							
1	入力モード							

(3) ポート6モード・コントロール・レジスタ (PMC6)

リセット時：00H R/W アドレス：FFFFFF44CH

	7	6	5	4	3	2	1	0
PMC6	0	0	PMC65	PMC64	PMC63	PMC62	PMC61	PMC60
PMC65	P65端子の動作モードの指定							
0	入出力ポート							
1	TOAB1B3出力/EVTAB1入力/ $\overline{\text{CS3}}$ 出力 ^注							
PMC64	P64端子の動作モードの指定							
0	入出力ポート							
1	TOAB1T3出力/TOAB13出力/TIAB13入力/ $\overline{\text{CS2}}$ 出力 ^注							
PMC63	P63端子の動作モードの指定							
0	入出力ポート							
1	TOAB1B2出力/TRGAB1入力/ $\overline{\text{CS0}}$ 出力 ^注							
PMC62	P62端子の動作モードの指定							
0	入出力ポート							
1	TOAB1T2出力/TOAB12出力/TIAB12入力/ASTB出力 ^注							
PMC61	P61端子の動作モードの指定							
0	入出力ポート							
1	TOAB1B1出力/TIAB10入力/TOAB10出力/ $\overline{\text{RD}}$ 出力 ^注							
PMC60	P60端子の動作モードの指定							
0	入出力ポート							
1	TOAB1T1出力/TOAB11出力/TIAB11入力/ $\overline{\text{WAIT}}$ 出力 ^注							

注 V850ES/JG3-Uのみ

(4) ポート6ファンクション・コントロール・レジスタ (PFC6)

リセット時：00H R/W アドレス：FFFFFF46CH

	7	6	5	4	3	2	1	0
PFC6	0	0	PFC65	PFC64	PFC63	PFC62	PFC61	PFC60

備考 兼用機能の指定については4.3.7(6)ポート6の兼用機能の指定を参照してください。

(5) ポート6ファンクション・コントロール拡張レジスタ (PFCE6)

(a) V850ES/JG3-U

リセット時：00H R/W アドレス：FFFFFF70CH

	7	6	5	4	3	2	1	0
PFCE6	0	0	PFCE65	PFCE64	PFCE63	PFCE62	PFCE61	PFCE60

(b) V850ES/JH3-U

リセット時：00H R/W アドレス：FFFFFF70CH

	7	6	5	4	3	2	1	0
PFCE6	0	0	0	0	0	0	PFCE61	0

備考 兼用機能の指定については4.3.7(6)ポート6の兼用機能の指定を参照してください。

(6) ポート6の兼用機能の指定

PFCE65 ^注	PFC65	P65端子の兼用機能の指定
0	0	TOAB1B3出力
0	1	EVTAB1入力
1	0	CS3出力 ^注
1	1	設定禁止 ^注

PFCE64 ^注	PFC64	P64端子の兼用機能の指定
0	0	TOAB1T3出力/TOAB13出力
0	1	TIAB13入力
1	0	CS2出力 ^注
1	1	設定禁止 ^注

PFCE63 ^注	PFC63	P63端子の兼用機能の指定
0	0	TOAB1B2出力
0	1	TRGAB1入力
1	0	$\overline{\text{CS0}}$ 出力 ^注
1	1	設定禁止 ^注

PFCE62 ^注	PFC62	P62端子の兼用機能の指定
0	0	TOAB1T2出力/TOAB12出力
0	1	TIAB12入力
1	0	ASTB出力 ^注
1	1	設定禁止 ^注

PFCE61	PFC61	P61端子の兼用機能の指定
0	0	TOAB1B1出力
0	1	TIAB10入力
1	0	TOAB10出力
1	1	RD出力 (V850ES/JG3-U) 設定禁止 (V850ES/JH3-U)

PFCE60 ^注	PFC60	P60端子の兼用機能の指定
0	0	TOAB1T1出力/TOAB11出力
0	1	TIAB11入力
1	0	WAIT出力 ^注
1	1	設定禁止 ^注

注 V850ES/JG3-Uのみ。

4.3.8 ポート7

ポート7は1ビット単位で入出力を制御できる12ビットのポートです。

ポート7は、次に示す端子と兼用しています。

表4-13 ポート7の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JG3-U	V850ES/ JH3-U			
P70	100	128	ANI0	入力	-
P71	99	127	ANI1	入力	
P72	98	126	ANI2	入力	
P73	97	125	ANI3	入力	
P74	96	124	ANI4	入力	
P77	95	123	ANI5	入力	
P76	94	122	ANI6	入力	
P77	93	121	ANI7	入力	
P78	92	120	ANI8	入力	
P79	91	119	ANI9	入力	
P710	90	118	ANI10	入力	
P711	89	117	ANI11	入力	

(1) ポート7レジスタH, ポート7レジスタL (P7H, P7L)

リセット時：00H (出力ラッチ) R/W アドレス：P7L FFFFF40EH, P7H FFFFF40FH

	7	6	5	4	3	2	1	0
P7H	0	0	0	0	P711	P710	P79	P78

	7	6	5	4	3	2	1	0
P7L	P77	P76	P75	P74	P73	P72	P71	P70

P7n	出力データの制御 (出力モード時) (n = 0-11)
0	0を出力
1	1を出力

注意 A/D変換中にP7H, P7Lレジスタをリード/ライトしないでください(15.6(4)兼用入出力について参照)。

備考 P7レジスタとして16ビット・アクセスはできません。P7H, P7Lレジスタとして8/1ビット単位でリード/ライト可能です。

(2) ポート7モード・レジスタH, ポート7モード・レジスタL (PM7H, PM7L)

リセット時: FFH R/W アドレス: PM7L FFFFF42EH, PM7H FFFFF42FH

	7	6	5	4	3	2	1	0
PM7H	1	1	1	1	PM711	PM710	PM79	PM78
PM7L	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70
PM7n	入出力モードの制御 (n = 0-11)							
0	出力モード							
1	入力モード							

注意 P7n端子を兼用機能 (ANIn端子) として使用する場合は, PM7nビット = 1に設定してください。

備考 PM7レジスタとして16ビット・アクセスはできません。PM7H, PM7Lレジスタとして8/1ビット単位でリード/ライト可能です。

4.3.9 ポート9

ポート9は1ビット単位で入出力を制御できる16ビットのポートです。

ポート9は、次に示す端子と兼用しています。

表4 - 14 ポート9の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JG3-U	V850ES/ JH3-U			
P90	42	54	KR6/TXDC1/SDA02/A0 [※]	入出力	N-chオープン・ドレイン出力選択可能
P91	43	55	KR7/RXDC1/SCL02/A1 [※]	入出力	
P92	44	56	TENC01/TIT01/TOT01/A2 [※]	入出力	
P93	45	57	TECR0/TIT00/TOT00/A3 [※]	入出力	
P94	46	58	TIAA31/TOAA31/TENC00 /EVTT0/A4 [※]	入出力	
P95	47	59	TIAA30/TOAA30/A5 [※]	入出力	
P96	48	62	TIAA21/TOAA21/INTP11/A6 [※]	入出力	
P97	49	63	SIF1/TIAA20/TOAA20/A7 [※]	入出力	
P98	50	64	SOF1/INTP12/A8 [※]	入出力	
P99	51	65	SCKF1/INTP13/A9 [※]	入出力	
P910	52	66	SIF3/TXDC2/INTP14/A10 [※]	入出力	
P911	53	67	SOF3/RXDC2/INTP15/A11 [※]	入出力	
P912	54	68	SCKF3/A12 [※]	入出力	
P913	55	69	TOAB1OFF/INTP16/A13 [※]	入出力	
P914	56	70	TIAA51/TOAA51/INTP17/A14 [※]	入出力	
P915	57	71	TIAA50/TOAA50/INTP18/A15 [※]	入出力	

注 V850ES/JH3-Uのみ

注意 P90-P915端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート9レジスタ (P9)

リセット時：0000H (出力ラッチ) R/W アドレス：P9 FFFFF412H,
P9L FFFFF412H, P9H FFFFF413H

	15	14	13	12	11	10	9	8
P9 (P9H)	P915	P914	P913	P912	P911	P910	P99	P98
	7	6	5	4	3	2	1	0
(P9L)	P97	P96	P95	P94	P93	P92	P91	P90

P9n	出力データの制御 (出力モード時) (n = 0-15)
0	0を出力
1	1を出力

備考1. P9レジスタは、16ビット単位でリード/ライト可能です。

ただし、P9レジスタの上位8ビットをP9Hレジスタ、下位8ビットをP9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. P9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P9Hレジスタのビット0-7として指定してください。

(2) ポート9モード・レジスタ (PM9)

リセット時：FFFFH R/W アドレス：PM9 FFFFF432H,
PM9L FFFFF432H, PM9H FFFFF433H

	15	14	13	12	11	10	9	8
PM9 (PM9H)	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98
	7	6	5	4	3	2	1	0
(PM9L)	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90

PM9n	入出力モードの制御 (n = 0-15)
0	出力モード
1	入力モード

備考1. PM9レジスタは、16ビット単位でリード/ライト可能です。

ただし、PM9レジスタの上位8ビットをPM9Hレジスタ、下位8ビットをPM9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. PM9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM9Hレジスタのビット0-7として指定してください。

(3) ポート9モード・コントロール・レジスタ (PMC9)

(1/2)

リセット時：0000H R/W アドレス：PMC9 FFFFF452H,
PMC9L FFFFF452H, PMC9H FFFFF453H

	15	14	13	12	11	10	9	8
PMC9 (PMC9H)	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
(PMC9L)	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

PMC915	P915端子の動作モードの指定
0	入出力ポート
1	TIAA50入力/TOAA50出力/INTP18入力/A15出力 ^注
PMC914	P914端子の動作モードの指定
0	入出力ポート
1	TIAA51入力/TOAA51出力/INTP17入力/A14出力 ^注
PMC913	P913端子の動作モードの指定
0	入出力ポート
1	TOAB1OFF入力/INTP16入力/A13出力 ^注
PMC912	P912端子の動作モードの指定
0	入出力ポート
1	SCKF3入出力/A12出力 ^注
PMC911	P911端子の動作モードの指定
0	入出力ポート
1	SOF3出力/RXDC2入力/INTP15入力/A11出力 ^注
PMC910	P910端子の動作モードの指定
0	入出力ポート
1	SIF3入力/TXDC2出力/INTP14入力/A10出力 ^注
PMC99	P99端子の動作モードの指定
0	入出力ポート
1	SCKF1入出力/INTP13入力/A9出力 ^注
PMC98	P98端子の動作モードの指定
0	入出力ポート
1	SOF1出力/INTP12入力/A8出力 ^注

注 V850ES/JH3-Uのみ

備考1. PMC9レジスタは、16ビット単位でリード/ライト可能です。

ただし、PMC9レジスタの上位8ビットをPMC9Hレジスタ、下位8ビットをPMC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. PMC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC9Hレジスタのビット0-7として指定してください。

PMC97	P97端子の動作モードの指定
0	入出力ポート
1	SIF1入力/TIAA20入力/TOAA20出力/A7出力 ^注
PMC96	P96端子の動作モードの指定
0	入出力ポート
1	TIAA21入力/TOAA21出力/INTP11入力/A6出力 ^注
PMC95	P95端子の動作モードの指定
0	入出力ポート
1	TIAA30入力/TOAA30出力/A5出力 ^注
PMC94	P94端子の動作モードの指定
0	入出力ポート
1	TIAA31入力/TOAA31出力/TENC00入力/EVTT0入力/A4出力 ^注
PMC93	P93端子の動作モードの指定
0	入出力ポート
1	TECR0入力/TIT00入力/TOT00出力/A3出力 ^注
PMC92	P92端子の動作モードの指定
0	入出力ポート
1	TENC01入力/TIT01入力/TOT01出力/A2出力 ^注
PMC91	P91端子の動作モードの指定
0	入出力ポート
1	KR7入力/RXDC1入力/SCL02入出力/A1出力 ^注
PMC90	P90端子の動作モードの指定
0	入出力ポート
1	KR6入力/TXDC1出力/SDA02入出力/A0出力 ^注

注 V850ES/JH3-Uのみ

注意 P90-P915端子の兼用機能としてA0-A15端子を使用する場合は必ずPMC9レジスタを16ビット一括してFFFFHとしてください (V850ES/JH3-Uのみ)。

(4) ポート9ファンクション・コントロール・レジスタ (PFC9)

注意 セバレート・アドレス・バス出力 (A0-A15) を行う場合、PFC9レジスタをFCDFHに、PFCE9レジスタをCFFFHに設定後、PMC9レジスタをFFFFHに16ビット一括で設定してください (V850ES/JH3-Uのみ)。

(a) V850ES/JG3-U

リセット時：0000H R/W アドレス：PFC9 FFFFF472H,
PFC9L FFFFF472H, PFC9H FFFFF473H

	15	14	13	12	11	10	9	8
PFC9 (PFC9H)	PFC915	PFC914	0	0	PFC911	PFC910	PFC99	PFC98
(PFC9L)	7	6	5	4	3	2	1	0
	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

(b) V850ES/JH3-U

リセット時：0000H R/W アドレス：PFC9 FFFFF472H,
PFC9L FFFFF472H, PFC9H FFFFF473H

	15	14	13	12	11	10	9	8
PFC9 (PFC9H)	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
(PFC9L)	7	6	5	4	3	2	1	0
	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

- 備考1.** 兼用機能の指定については4.3.9(6) **ポート9の兼用機能の指定**を参照してください。
2. PFC9レジスタは、16ビット単位でリード/ライト可能です。
ただし、PFC9レジスタの上位8ビットをPFC9Hレジスタ、下位8ビットをPFC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
3. PFC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFC9Hレジスタのビット0-7として指定してください。

(5) ポート9ファンクション・コントロール拡張レジスタ (PFCE9)

注意 セバレート・アドレス・バス出力 (A0-A15) を行う場合、PFCE9レジスタをFCDFHに、PFCE9レジスタをCFFFHに設定後、PMC9レジスタをFFFFHに16ビット一括で設定してください (V850ES/JH3-Uのみ)。

(a) V850ES/JG3-U

リセット時 : 0000H R/W アドレス : PFCE9 FFFF712H,
PFCE9L FFFF712H, PFCE9H FFFF713H

	15	14	13	12	11	10	9	8
PFCE9 (PFCE9H)	PFCE915	PFCE914	0	0	PFCE911	PFCE910	0	0
	7	6	5	4	3	2	1	0
(PFCE9L)	PFCE97	PFCE96	0	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

(b) V850ES/JH3-U

リセット時 : 0000H R/W アドレス : PFCE9 FFFF712H,
PFCE9L FFFF712H, PFCE9H FFFF713H

	15	14	13	12	11	10	9	8
PFCE9 (PFCE9H)	PFCE915	PFCE914	0	0	PFCE911	PFCE910	PFCE99	PFCE98
	7	6	5	4	3	2	1	0
(PFCE9L)	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

備考1. 兼用機能の指定については4.3.9(6) **ポート9の兼用機能の指定**を参照してください。

2. PFCE9レジスタは、16ビット単位でリード/ライト可能です。

ただし、PFCE9レジスタの上位8ビットをPFCE9Hレジスタ、下位8ビットをPFCE9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

3. PFCE9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFCE9Hレジスタのビット0-7として指定してください。

(6) ポート9の兼用機能の指定

PFCE915	PFC915	P915端子の兼用機能の指定
0	0	TIAA50入力
0	1	TOAA50出力
1	0	INTP18入力
1	1	設定禁止 (V850ES/JG3-U) A15出力 (V850ES/JH3-U)

PFCE914	PFC914	P914端子の兼用機能の指定
0	0	TIAA51入力
0	1	TOAA51出力
1	0	INTP17入力
1	1	設定禁止 (V850ES/JG3-U) A14出力 (V850ES/JH3-U)

PFC913 ^注	P913端子の兼用機能の指定
0	TOAB1OFF入力/INTP16入力
1	A13出力 ^注

PFC912 ^注	P912端子の兼用機能の指定
0	SCKF3入出力
1	A12出力 ^注

PFCE911	PFC911	P911端子の兼用機能の指定
0	0	SOF3出力
0	1	RXDC2入力
1	0	INTP15入力
1	1	設定禁止 (V850ES/JG3-U) A11出力 (V850ES/JH3-U)

PFCE910	PFC910	P910端子の兼用機能の指定
0	0	SIF3入力
0	1	TXDC2出力
1	0	INTP14入力
1	1	設定禁止 (V850ES/JG3-U) A10出力 (V850ES/JH3-U)

PFCE99 ^注	PFC99	P99端子の兼用機能の指定
0	0	SCKF1入出力
0	1	INTP13入力
1	0	A9出力 ^注
1	1	設定禁止 ^注

PFCE98 ^注	PFC98	P98端子の兼用機能の指定
0	0	SOF1出力
0	1	INTP12入力
1	0	A8出力 ^注
1	1	設定禁止 ^注

PFCE97	PFC97	P97端子の兼用機能の指定
0	0	SIF1入力
0	1	TIAA20入力
1	0	TOAA20出力
1	1	設定禁止 (V850ES/JG3-U) A7出力 (V850ES/JH3-U)

PFCE96	PFC96	P96端子の兼用機能の指定
0	0	TIAA21入力
0	1	TOAA21出力
1	0	INTP11入力
1	1	設定禁止 (V850ES/JG3-U) A6出力 (V850ES/JH3-U)

PFCE95 ^注	PFC95	P95端子の兼用機能の指定
0	0	TIAA30入力
0	1	TOAA30出力
1	0	A5出力 ^注
1	1	設定禁止 ^注

PFCE94	PFC94	P94端子の兼用機能の指定
0	0	TIAA31入力
0	1	TOAA31出力
1	0	TENC00入力/EVTT0入力
1	1	設定禁止 (V850ES/JG3-U) A4出力 (V850ES/JH3-U)

PFCE93	PFC93	P93端子の兼用機能の指定
0	0	TECR0入力
0	1	TIT00入力
1	0	TOT00出力
1	1	設定禁止 (V850ES/JG3-U) A3出力 (V850ES/JH3-U)

注 V850ES/JH3-Uのみ

PFCE92	PFC92	P92端子の兼用機能の指定
0	0	TENC01入力
0	1	TIT01入力
1	0	TOT01出力
1	1	設定禁止 (V850ES/JG3-U) A2出力 (V850ES/JH3-U)

PFCE91	PFC91	P91端子の兼用機能の指定
0	0	KR7入力
0	1	RXDC1入力
1	0	SCL02入出力
1	1	設定禁止 (V850ES/JG3-U) A1出力 (V850ES/JH3-U)

PFCE90	PFC90	P90端子の兼用機能の指定
0	0	KR6入力
0	1	TXDC1出力
1	0	SDA02入出力
1	1	設定禁止 (V850ES/JG3-U) A0出力 (V850ES/JH3-U)

(7) ポート9ファンクション・レジスタ (PF9)

リセット時 : 0000H R/W アドレス : PF9 FFFFFFFC72H,
PF9L FFFFFFFC72H

	15	14	13	12	11	10	9	8
PF9	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
(PF9L)	0	0	0	0	0	0	PF91	PF90

PF9n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0, 1)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

注意 P90, P91の出力端子に対して E_{VDD} 以上の電圧でプルアップする場合は、必ず該当するPF9nビットを1に設定してください。

備考 PF9レジスタは、16ビット単位でリード/ライト可能です。
ただし、下位8ビットをPF9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

4.3.10 ポートCM

ポートCMは1ビット単位で入出力を制御できる1ビット(V850ES/JG3-U) / 4ビット(V850ES/JH3-U)のポートです。

ポートCMは、次に示す端子と兼用しています。

表4 - 15 ポートCMの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JG3-U	V850ES/ JH3-U			
PCM0	-	89	WAIT	入力	-
PCM1	64	86	CLKOUT	出力	
PCM2	-	10	HLD $\overline{\text{AK}}$	出力	
PCM3	-	11	HLD $\overline{\text{RQ}}$	入力	

(1) ポートCMレジスタ (PCM)

(a) V850ES/JG3-U

リセット時：00H (出力ラッチ) R/W アドレス：FFFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	0	0	0	0	PCM1	0

PCM1	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

(b) V850ES/JH3-U

リセット時：00H (出力ラッチ) R/W アドレス：FFFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	0	0	PCM3	PCM2	PCM1	PCM0

PCMn	出力データの制御 (出力モード時) (n = 0-3)
0	0を出力
1	1を出力

(2) ポートCMモード・レジスタ (PMCM)

(a) V850ES/JG3-U

リセット時：FFH R/W アドレス：FFFFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	1	1	1	1	PMCM1	1

PMCM1	入出力モードの制御
0	出力モード
1	入力モード

(b) V850ES/JH3-U

リセット時：FFH R/W アドレス：FFFFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	1	1	PMCM3	PMCM2	PMCM1	PMCM0

PMCMn	入出力モードの制御 (n = 0-3)
0	出力モード
1	入力モード

(3) ポートCMモード・コントロール・レジスタ (PMCCM)

(a) V850ES/JG3-U

リセット時 : 00H R/W アドレス : FFFFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	0	0	PMCCM1	0

PMCCM1	PCM1端子の動作モードの指定	
0	入出力ポート	
1	CLKOUT出力	

(b) V850ES/JH3-U

リセット時 : 00H R/W アドレス : FFFFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	PMCCM3	PMCCM2	PMCCM1	PMCCM0

PMCCM3	PCM3端子の動作モードの指定	
0	入出力ポート	
1	HLDRQ入力	

PMCCM2	PCM2端子の動作モードの指定	
0	入出力ポート	
1	HLDAK出力	

PMCCM1	PCM1端子の動作モードの指定	
0	入出力ポート	
1	CLKOUT出力	

PMCCM0	PCM0端子の動作モードの指定	
0	入出力ポート	
1	WAIT入力	

4.3.11 ポートCS (V850ES/JH3-Uのみ)

ポートCSは1ビット単位で入出力を制御できる3ビットのポートです。

ポートCSは、次に示す端子と兼用しています。

表4 - 16 ポートCMの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JG3-U	V850ES/ JH3-U			
PCS0	-	96	$\overline{\text{CS0}}$	出力	-
PCS2	-	97	$\overline{\text{CS2}}$	出力	
PCS3	-	116	$\overline{\text{CS3}}$	出力	

(1) ポートCSレジスタ (PCS)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFF008H

	7	6	5	4	3	2	1	0
PCS	0	0	0	0	PCS3	PCS2	0	PCS0

PCS _n	出力データの制御 (出力モード時) (n = 0, 2, 3)
0	0を出力
1	1を出力

(2) ポートCSモード・レジスタ (PMCS)

リセット時：FFH R/W アドレス：FFFFF028H

	7	6	5	4	3	2	1	0
PMCS	1	1	1	1	PMCS3	PMCS2	1	PMCS0

PMCS _n	入出力モードの制御 (n = 0, 2, 3)
0	出力モード
1	入力モード

(3) ポートCSモード・コントロール・レジスタ (PMCCS)

リセット時 : 00H R/W アドレス : FFFFF048H

	7	6	5	4	3	2	1	0
PMCCS	0	0	0	0	PMCCS3	PMCCS2	0	PMCCS0

PMCCS3	PCS3端子の動作モードの指定	
0	入出力ポート	
1	$\overline{\text{CS3}}$ 出力	

PMCCS2	PCS2端子の動作モードの指定	
0	入出力ポート	
1	$\overline{\text{CS2}}$ 出力	

PMCCS0	PCS0端子の動作モードの指定	
0	入出力ポート	
1	$\overline{\text{CS0}}$ 出力	

4.3.12 ポートCT

ポートCTは1ビット単位で入出力を制御1できる2ビット（V850ES/JG3-U）/4ビット（V850ES/JH3-U）のポートです。

ポートCTは次に示す端子と兼用しています。

表4-17 ポートCTの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JG3-U	V850ES/ JH3-U			
PCT0	58	76	$\overline{WR0}$	出力	-
PCT1	59	77	$\overline{WR1}$	出力	
PCT4	-	87	\overline{RD}	出力	
PCT6	-	88	ASTB	出力	

(1) ポートCTレジスタ (PCT)

(a) V850ES/JG3-U

リセット時：00H（出力ラッチ） R/W アドレス：FFFFF00AH

	7	6	5	4	3	2	1	0
PCT	0	0	0	0	0	0	PCT1	PCT0

PCTn	出力データの制御（出力モード時）（n=0,1）
0	0を出力
1	1を出力

(b) V850ES/JH3-U

リセット時：00H（出力ラッチ） R/W アドレス：FFFFF00AH

	7	6	5	4	3	2	1	0
PCT	0	PCT6	0	PCT4	0	0	PCT1	PCT0

PCTn	出力データの制御（出力モード時）（n=0,1,4,6）
0	0を出力
1	1を出力

(2) ポートCTモード・レジスタ (PMCT)

(a) V850ES/JG3-U

リセット時: FFH R/W アドレス: FFFFFFF02AH

	7	6	5	4	3	2	1	0
PMCT	1	1	1	1	1	1	PMCT1	PMCT0

PMCTn	入出力モードの制御 (n = 0, 1)
0	出力モード
1	入力モード

(b) V850ES/JH3-U

リセット時: FFH R/W アドレス: FFFFFFF02AH

	7	6	5	4	3	2	1	0
PMCT	1	PMCT6	1	PMCT4	1	1	PMCT1	PMCT0

PMCTn	入出力モードの制御 (n = 0, 1, 4, 6)
0	出力モード
1	入力モード

(3) ポートCTモード・コントロール・レジスタ (PMCCT)

(a) V850ES/JG3-U

リセット時 : 00H R/W アドレス : FFFFF04AH

	7	6	5	4	3	2	1	0
PMCCT	0	0	0	0	0	0	PMCCT1	PMCCT0

PMCCT1	PCT1端子の動作モードの指定	
0	入出力ポート	
1	$\overline{WR1}$ 出力	
PMCCT0	PCT0端子の動作モードの指定	
0	入出力ポート	
1	$\overline{WR0}$ 出力	

(b) V850ES/JH3-U

リセット時 : 00H R/W アドレス : FFFFF04AH

	7	6	5	4	3	2	1	0
PMCCT	0	PMCCT6	0	PMCCT4	0	0	PMCCT1	PMCCT0

PMCCT6	PCT6端子の動作モードの指定	
0	入出力ポート	
1	ASTB出力	
PMCCT4	PCT4端子の動作モードの指定	
0	入出力ポート	
1	\overline{RD} 出力	
PMCCT1	PCT1端子の動作モードの指定	
0	入出力ポート	
1	$\overline{WR1}$ 出力	
PMCCT0	PCT0端子の動作モードの指定	
0	入出力ポート	
1	$\overline{WR0}$ 出力	

4.3.13 ポートDH (V850ES/JH3-Uのみ)

ポートDHは1ビット単位で入出力を制御できる8ビットのポートです。

ポートDHは、次に示す端子と兼用しています。

表4 - 18 ポートDHの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JG3-U	V850ES/ JH3-U			
PDH0	-	72	A16	出力	-
PDH1	-	73	A17	出力	
PDH2	-	74	A18	出力	
PDH3	-	75	A19	出力	
PDH4	-	78	A20	出力	
PDH5	-	79	A21	出力	
PDH6	-	80	A22	出力	
PDH7	-	81	A23	出力	

(1) ポートDHレジスタ (PDH)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF006H

	7	6	5	4	3	2	1	0
PDH	PDH7	PDH6	PDH5	PDH4	PDH3	PDH2	PDH1	PDH0

PDHn	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

(2) ポートDHモード・レジスタ (PMDH)

リセット時 : FFH R/W アドレス : FFFFF026H

	7	6	5	4	3	2	1	0
PMDH	PMDH7	PMDH6	PMDH5	PMDH4	PMDH3	PMDH2	PMDH1	PMDH0

PMDHn	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(3) ポートDHモード・コントロール・レジスタ (PMCDH)

リセット時 : 00H R/W アドレス : FFFFF046H

	7	6	5	4	3	2	1	0
PMCDH	PMCDH7	PMCDH6	PMCDH5	PMCDH4	PMCDH3	PMCDH2	PMCDH1	PMCDH0

PMCDHn	PDHn端子の動作モードの指定 (n = 0-7)
0	入出力ポート
1	Am出力 (アドレス・バス出力) (m = 16-23)

4.3.14 ポートDL

ポートDLは1ビット単位で入出力を制御できる16ビットのポートです。

ポートDLは、次に示す端子と兼用しています。

表4 - 19 ポートDLの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考
	V850ES/ JG3-U	V850ES/ JH3-U			
PDL0	71	98	AD0	入出力	-
PDL1	72	99	AD1	入出力	
PDL2	73	100	AD2	入出力	
PDL3	74	101	AD3	入出力	
PDL4	75	102	AD4	入出力	
PDL5	78	103	AD5/FLMD1 ^注	入出力	
PDL6	79	104	AD6	入出力	
PDL7	80	105	AD7	入出力	
PDL8	81	108	AD8	入出力	
PDL9	82	109	AD9	入出力	
PDL10	83	110	AD10	入出力	
PDL11	84	111	AD11	入出力	
PDL12	85	112	AD12	入出力	
PDL13	86	113	AD13	入出力	
PDL14	87	114	AD14	入出力	
PDL15	88	115	AD15	入出力	

注 フラッシュ・メモリ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第31章 フラッシュ・メモリを参照してください。

(1) ポートDLレジスタ (PDL)

リセット時：0000H (出力ラッチ) R/W アドレス：PDL FFFFF004H,
PDLL FFFFF004H, PDLH FFFFF005H

	15	14	13	12	11	10	9	8
PDL (PDLH)	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8
	7	6	5	4	3	2	1	0
(PDLL)	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0
PDLn	出力データの制御 (出力モード時) (n = 0-15)							
0	0を出力							
1	1を出力							

- 備考1.** PDLレジスタは、16ビット単位でリード/ライト可能です。
ただし、PDLレジスタの上位8ビットをPDLHレジスタ、下位8ビットをPDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PDLHレジスタのビット0-7として指定してください。

(2) ポートDLモード・レジスタ (PMDL)

リセット時：FFFFH R/W アドレス：PMDL FFFFF024H,
PMDLL FFFFF024H, PMDLH FFFFF025H

	15	14	13	12	11	10	9	8
PMDL (PMDLH)	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8
	7	6	5	4	3	2	1	0
(PMDLL)	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0
PMDLn	入出力モードの制御 (n = 0-15)							
0	出力モード							
1	入力モード							

- 備考1.** PMDLレジスタは、16ビット単位でリード/ライト可能です。
ただし、PMDLレジスタの上位8ビットをPMDLHレジスタ、下位8ビットをPMDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PMDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMDLHレジスタのビット0-7として指定してください。

(3) ポートDLモード・コントロール・レジスタ (PMCDL)

リセット時：0000H R/W アドレス：PMCDL FFFFF044H,
PMCDLL FFFFF044H, PMCDLH FFFFF045H

	15	14	13	12	11	10	9	8
PMCDL (PMCDLH)	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8
	7	6	5	4	3	2	1	0
(PMCDLL)	PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0
PMCDLn	PDLn端子の動作モードの指定 (n = 0-15)							
0	入出力ポート							
1	ADn入出力 (アドレス/データ・バス入出力)							

- 備考1.** PMCDLレジスタは、16ビット単位でリード/ライト可能です。
ただし、PMCDLレジスタの上位8ビットをPMCDLHレジスタ、下位8ビットをPMCDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PMCDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMCDLHレジスタのビット0-7として指定してください。

4.4 兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を表4 - 20に示します。
兼用端子として使用する場合は各機能を参照してください。

表4 - 20 ポート端子を兼用端子として使用する場合 (1/10)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P00 ^{注1}	INTP00	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	-	-	
P01 ^{注1}	INTP01	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	-	-	
P02	NMI	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	-	-	
P03	INTP02	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 0	PFC03 = 0	
	ADTRG	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 0	PFC03 = 1	
	UCLK	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 1	PFC03 = 0	
P04 ^{注1}	INTP03 ^{注1}	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	-	-	
P05 ^{注1}	INTP04 ^{注1}	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	-	-	
P10	ANO0	出力	P10 = 設定不要	PM10 = 1	-	-	-	
P11	ANO1	出力	P11 = 設定不要	PM11 = 1	-	-	-	
P20 ^{注1}	TIAB03	入力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	PFCE20 = 0	PFC20 = 0	
	KR2	入力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	PFCE20 = 0	PFC20 = 0	
	TOAB03	出力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	PFCE20 = 0	PFC20 = 1	
	RTP02	出力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	PFCE20 = 1	PFC20 = 0	
P21 ^{注1}	SIF2	入力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 0	PFC21 = 0	
	KR3 ^{注2}	入力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 0	PFC21 = 1	
	TIAB00 ^{注2}	入力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 0	PFC21 = 1	
	TOAB00	出力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 1	PFC21 = 0	
	RTP03	出力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	PFCE21 = 1	PFC21 = 1	

注1. V850ES/JH3-Uのみ

2. KR3端子とTIAB00端子は兼用になっています。TIAB00端子として使用する場合は、兼用しているKR3端子を使用しないでください。また、KR3端子として使用する場合は、TIAB00端子を使用しないでください。

注意 P10, P11端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

表4 - 20 ポート端子を兼用端子として使用する場合 (2/10)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P22 ^注	SOF2	出力	P22 = 設定不要	PM22 = 設定不要	PMC22= 1	PFCE22 = 0	PFC22 = 0	
	KR4	入力	P22 = 設定不要	PM22 = 設定不要	PMC22= 1	PFCE22 = 0	PFC22 = 1	
	RTP04	出力	P22 = 設定不要	PM22 = 設定不要	PMC22= 1	PFCE22 = 1	PFC22 = 0	
P23 ^注	SCKF2	入出力	P23 = 設定不要	PM23 = 設定不要	PMC23= 1	PFCE23 = 0	PFC23 = 0	
	KR5	入力	P23 = 設定不要	PM23 = 設定不要	PMC23= 1	PFCE23 = 0	PFC23 = 1	
	RTP05	出力	P23 = 設定不要	PM23 = 設定不要	PMC23= 1	PFCE23 = 1	PFC23 = 0	
P24 ^注	INTP05	入力	P24 = 設定不要	PM24 = 設定不要	PMC24= 1	-	-	
P25 ^注	INTP06	入力	P25 = 設定不要	PM25 = 設定不要	PMC25= 1	-	-	
P30	TXDC0	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	PFCE30 = 0	PFC30 = 0	
	SOF4	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	PFCE30 = 0	PFC30 = 1	
	INTP07	入力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	PFCE30 = 1	PFC30 = 0	
P31	RXDC0	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	PFCE31 = 0	PFC31 = 0	
	SIF4	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	PFCE31 = 0	PFC31 = 1	
	INTP08	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	PFCE31 = 1	PFC31 = 0	
P32	ASCKC0	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 0	
	SCKF4	入出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 1	
	TIAA00	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 0	
	TOAA00	出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 1	
P33	TIAA01	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 0	PFC33 = 0	
	TOAA01	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 0	PFC33 = 1	
	RTCDIV	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 1	PFC33 = 0	
	RTCCL	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 1	PFC33 = 1	

注 V850ES/JH3-Uのみ

表4 - 20 ポート端子を兼用端子として使用する場合 (3/10)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P34	TIAA10	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 0	
	TOAA10	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 1	
	TOAA10FF ^注	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 1	PFC34 = 0	
	INTP09 ^注	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 1	PFC34 = 0	
	PPON	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 1	PFC34 = 1	
P35	TIAA11	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	PFCE35 = 0	PFC35 = 0	
	TOAA11	出力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	PFCE35 = 0	PFC35 = 1	
	RTC1HZ	出力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	PFCE35 = 1	PFC35 = 0	
	OCI	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	PFCE35 = 1	PFC35 = 1	
P36	TXDC3	出力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	PFCE36 = 0	PFC36 = 0	
	SCL00	入出力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	PFCE36 = 0	PFC36 = 1	PF36 (PF3) = 1
	UDMARQ0	入力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	PFCE36 = 1	PFC36 = 1	
P37	RXDC3	入力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	PFCE37 = 0	PFC37 = 0	
	SDA00	入出力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	PFCE37 = 0	PFC37 = 1	PF37 (PF3) = 1
	UDMAAK0	出力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	PFCE37 = 1	PFC37 = 1	
P40	SIF0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFCE40 = 0	PFC40 = 0	
	TXDC4	出力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFCE40 = 0	PFC40 = 1	
	SDA01	入出力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFCE40 = 1	PFC40 = 0	PF40 (PF4) = 1
P41	SOF0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	PFCE41 = 0	PFC41 = 0	
	RXDC4	入力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	PFCE41 = 0	PFC41 = 1	
	SCL01	入出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	PFCE41 = 1	PFC41 = 0	PF41 (PF4) = 1
P42	SCKF0	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	PFC42 = 0	
	INTP10	入力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	PFC42 = 1	

注 TOAA10FF端子とINTP09端子は、兼用となっています。TOAA10FF端子として使用する場合は、兼用しているINTP09端子のエッジ検出を無効にしてください (INTF3.INTF34 = 0, INTR3.INTR34 = 0に設定)。また、INTP09端子として使用する場合は、ハイ・インピーダンス出力回路を停止してください。

表4 - 20 ポート端子を兼用端子として使用する場合 (4/10)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P50	TIAB01	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 0	KRM0 (KRM) = 0
	KR0	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 0	TAB0TIG2, TAB0TIG3 (TAB0IOC1) = 0
	TOAB01	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 1	
	RTP00	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 0	
	UDMARQ1	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 1	
P51	TIAB02	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 0	KRM1 (KRM) = 0
	KR1	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 0	TAB0TIG4, TAB0TIG5 (TAB0IOC1) = 0
	TOAB02	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 1	
	RTP01	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 0	
	UDMAAK1	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 1	
P52 ^注	TIAB03	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 0	KRM2 (KRM) = 0
	KR2	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 0	TAB0TIG6, TAB0TIG7 (TAB0IOC1) = 0
	TOAB03	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 1	
	RTP02	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 1	PFC52 = 0	
P53 ^注	SIF2	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 0	
	TIAB00	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 1	KRM3 (KRM) = 0
	KR3	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 1	TAB0TIG0, TAB0TIG1 (TAB0IOC1) = 0, TAB0EES0, TAB0EES1 (TAB0IOC2) = 0, TAB0ETS0, TAB0ETS1 (TAB0IOC2) = 0
	TOAB00	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 1	PFC53 = 0	
	RTP03	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 1	PFC53 = 1	
P54 ^注	SOF2	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 0	PFC54 = 0	
	KR4	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 0	PFC54 = 1	
	RTP04	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 1	PFC54 = 0	

注 V850ES/JG3-Uのみ

表4 - 20 ポート端子を兼用端子として使用する場合 (5/10)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P55 ^注	SCKF2	入出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 0	
	KR5	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 1	
	RTP05	出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 1	PFC55 = 0	
P60	TOAB1T1	出力	P60 = 設定不要	PM60 = 設定不要	PMC60 = 1	PFCE60 = 0 ^注	PFC60 = 0	
	TOAB11	出力	P60 = 設定不要	PM60 = 設定不要	PMC60 = 1	PFCE60 = 0 ^注	PFC60 = 0	
	TIAB11	入力	P60 = 設定不要	PM60 = 設定不要	PMC60 = 1	PFCE60 = 0 ^注	PFC60 = 1	
	WAIT ^注	出力	P60 = 設定不要	PM60 = 設定不要	PMC60 = 1	PFCE60 = 1 ^注	PFC60 = 0	
P61	TOAB1B1	出力	P61 = 設定不要	PM61 = 設定不要	PMC61 = 1	PFCE61 = 0	PFC61 = 0	
	TIAB10	入力	P61 = 設定不要	PM61 = 設定不要	PMC61 = 1	PFCE61 = 0	PFC61 = 1	
	TOAB10	出力	P61 = 設定不要	PM61 = 設定不要	PMC61 = 1	PFCE61 = 1	PFC61 = 0	
	RD ^注	出力	P61 = 設定不要	PM61 = 設定不要	PMC61 = 1	PFCE61 = 1	PFC61 = 1	
P62	TOAB1T2	出力	P62 = 設定不要	PM62 = 設定不要	PMC62 = 1	PFCE62 = 0 ^注	PFC62 = 0	
	TOAB12	出力	P62 = 設定不要	PM62 = 設定不要	PMC62 = 1	PFCE62 = 0 ^注	PFC62 = 0	
	TIAB12	入力	P62 = 設定不要	PM62 = 設定不要	PMC62 = 1	PFCE62 = 0 ^注	PFC62 = 1	
	ASTB ^注	出力	P62 = 設定不要	PM62 = 設定不要	PMC62 = 1	PFCE62 = 1 ^注	PFC62 = 0	
P63	TOAB1B2	出力	P63 = 設定不要	PM63 = 設定不要	PMC63 = 1	PFCE63 = 0 ^注	PFC63 = 0	
	TRGAB1	入力	P63 = 設定不要	PM63 = 設定不要	PMC63 = 1	PFCE63 = 0 ^注	PFC63 = 1	
	CS0 ^注	出力	P63 = 設定不要	PM63 = 設定不要	PMC63 = 1	PFCE63 = 1 ^注	PFC63 = 0	
P64	TOAB1T3	出力	P64 = 設定不要	PM64 = 設定不要	PMC64 = 1	PFCE64 = 0 ^注	PFC64 = 0	
	TOAB13	出力	P64 = 設定不要	PM64 = 設定不要	PMC64 = 1	PFCE64 = 0 ^注	PFC64 = 0	
	TIAB13	入力	P64 = 設定不要	PM64 = 設定不要	PMC64 = 1	PFCE64 = 0 ^注	PFC64 = 1	
	CS2 ^注	出力	P64 = 設定不要	PM64 = 設定不要	PMC64 = 1	PFCE64 = 1 ^注	PFC64 = 0	
P65	TOAB1B3	出力	P65 = 設定不要	PM65 = 設定不要	PMC65 = 1	PFCE65 = 0 ^注	PFC63 = 0	
	EVTAB1	入力	P65 = 設定不要	PM65 = 設定不要	PMC65 = 1	PFCE65 = 0 ^注	PFC65 = 1	
	CS3 ^注	出力	P65 = 設定不要	PM65 = 設定不要	PMC65 = 1	PFCE65 = 1 ^注	PFC65 = 0	

注 V850ES/JG3-Uのみ

表4 - 20 ポート端子を兼用端子として使用する場合 (6/10)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P70	ANI0	入力	P70 = 設定不要	PM70 = 1	-	-	-	
P71	ANI1	入力	P71 = 設定不要	PM71 = 1	-	-	-	
P72	ANI2	入力	P72 = 設定不要	PM72 = 1	-	-	-	
P73	ANI3	入力	P73 = 設定不要	PM73 = 1	-	-	-	
P74	ANI4	入力	P74 = 設定不要	PM74 = 1	-	-	-	
P75	ANI5	入力	P75 = 設定不要	PM75 = 1	-	-	-	
P76	ANI6	入力	P76 = 設定不要	PM76 = 1	-	-	-	
P77	ANI7	入力	P77 = 設定不要	PM77 = 1	-	-	-	
P78	ANI8	入力	P78 = 設定不要	PM78 = 1	-	-	-	
P79	ANI9	入力	P79 = 設定不要	PM79 = 1	-	-	-	
P710	ANI10	入力	P710 = 設定不要	PM710 = 1	-	-	-	
P711	ANI11	入力	P711 = 設定不要	PM711 = 1	-	-	-	
P90	KR6	入力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 0	PFC90 = 0	
	TXDC1	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 0	PFC90 = 1	
	SDA02	入出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 1	PFC90 = 0	PF90 (PF9) = 1
	A0 ^{注1}	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 1	PFC90 = 1	注2
P91	KR7	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 0	PFC91 = 0	
	RXDC1	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 0	PFC91 = 1	
	SCL02	入出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 1	PFC91 = 0	PF91 (PF9) = 1
	A1 ^{注1}	出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 1	PFC91 = 1	注2
P92	TENC01	入力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 0	PFC92 = 0	
	TIT01	入力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 0	PFC92 = 1	
	TOT01	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 1	PFC92 = 0	
	A2 ^{注1}	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 1	PFC92 = 1	注2

注1. V850ES/JH3-Uのみ

2. A0-A15端子に設定する際は、一括してPMC9レジスタ = FFFFHに16ビット設定してください。

表4 - 20 ポート端子を兼用端子として使用する場合 (7/10)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P93	TECR0	入力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 0	PFC93 = 0	
	TIT00	入力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 0	PFC93 = 1	
	TOT00	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 1	PFC93 = 0	
	A3 ^{注1}	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 1	PFC93 = 1	注2
P94	TIAA31	入力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 0	PFC94 = 0	
	TOAA31	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 0	PFC94 = 1	
	TENC00	入力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 1	PFC94 = 0	
	EVTT0	入力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 1	PFC94 = 0	
	A4 ^{注1}	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 1	PFC94 = 1	注2
P95	TIAA30	入力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 0	PFC95 = 0	
	TOAA30	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 0	PFC95 = 1	
	A5 ^{注1}	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 1	PFC95 = 0	注2
P96	TIAA21	入力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 0	PFC96 = 0	
	TOAA21	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 1	
	INTP11	入力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 0	
	A6 ^{注1}	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 1	注2
P97	SIF1	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 0	PFC97 = 0	
	TIAA20	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 0	PFC97 = 1	
	TOAA20	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 0	
	A7 ^{注1}	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 1	注2
P98	SOF1	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFCE98 = 0	PFC98 = 0	
	INTP12	入力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFCE98 = 0	PFC98 = 1	
	A8 ^{注1}	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFCE98 = 1	PFC98 = 0	注2

注1. V850ES/JH3-Uのみ

2. A0-A15端子に設定する際は、一括してPMC9レジスタ = FFFFHに16ビット設定してください。

表4 - 20 ポート端子を兼用端子として使用する場合 (8/10)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P99	SCKF1	入出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFCE99 = 0	PFC99 = 0	
	INTP13	入力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFCE99 = 0	PFC99 = 1	
	A9 ^{注1}	出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFCE99 = 1	PFC99 = 0	注2
P910	SIF3	入力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFCE910 = 0	PFC910 = 0	
	TXDC2	出力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFCE910 = 0	PFC910 = 1	
	INTP14	入力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFCE910 = 1	PFC910 = 0	
	A10 ^{注1}	出力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFCE910 = 1	PFC910 = 1	注2
P911	SOF3	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFCE911 = 0	PFC911 = 0	
	RXDC2	入力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFCE911 = 0	PFC911 = 1	
	INTP15	入力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFCE911 = 1	PFC911 = 0	
	A11 ^{注1}	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFCE911 = 1	PFC911 = 1	注2
P912	SCKF3	入出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	-	PFC912 = 0	
	A12 ^{注1}	出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	-	PFC912 = 1	注2
P913	TOAB1OFF	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	-	PFC913 = 0	
	INTP16	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	-	PFC913 = 0	
	A13 ^{注1}	出力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	-	PFC913 = 1	注2
P914	TIAA51	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 0	PFC914 = 0	
	TOAA51	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 0	PFC914 = 1	
	INTP17	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 1	PFC914 = 0	
	A14 ^{注1}	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 1	PFC914 = 1	注2
P915	TIAA50	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 0	PFC915 = 0	
	TOP50	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 0	PFC915 = 1	
	INTP18	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 1	PFC915 = 0	
	A15 ^{注1}	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 1	PFC915 = 1	注2

注1. V850ES/JH3-Uのみ

2. A0-A15端子に設定する際は、一括してPMC9レジスタ = FFFFHに16ビット設定してください。

表4 - 20 ポート端子を兼用端子として使用する場合 (9/10)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMcnレジスタの PMcNxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
PCM0	WAIT ^注	入力	PCM0 = 設定不要	PMCM0 = 設定不要	PMCCM0 = 1	-	-	
PCM1	CLKOUT	出力	PCM1 = 設定不要	PMCM1 = 設定不要	PMCCM1 = 1	-	-	
PCM2	HLD ^注	出力	PCM2 = 設定不要	PMCM2 = 設定不要	PMCCM2 = 1	-	-	
PCM3	HLD ^注	入力	PCM3 = 設定不要	PMCM3 = 設定不要	PMCCM3 = 1	-	-	
PCS0	$\overline{CS0}$ ^注	出力	PCS0 = 設定不要	PMCS0 = 設定不要	PMCCS0 = 1	-	-	
PCS2	$\overline{CS2}$ ^注	出力	PCS2 = 設定不要	PMCS2 = 設定不要	PMCCS2 = 1	-	-	
PCS3	$\overline{CS3}$ ^注	出力	PCS3 = 設定不要	PMCS3 = 設定不要	PMCCS3 = 1	-	-	
PCT0	$\overline{WR0}$	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCCCT0 = 1	-	-	
PCT1	$\overline{WR1}$	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCCCT1 = 1	-	-	
PCT4	\overline{RD} ^注	出力	PCT4 = 設定不要	PMCT4 = 設定不要	PMCCCT4 = 1	-	-	
PCT6	ASTB ^注	出力	PCT6 = 設定不要	PMCT6 = 設定不要	PMCCCT6 = 1	-	-	
PDH0	A16	出力	PDH0 = 設定不要	PMDH0 = 設定不要	PMCDH0 = 1	-	-	
PDH1	A17	出力	PDH1 = 設定不要	PMDH1 = 設定不要	PMCDH1 = 1	-	-	
PDH2	A18	出力	PDH2 = 設定不要	PMDH2 = 設定不要	PMCDH2 = 1	-	-	
PDH3	A19	出力	PDH3 = 設定不要	PMDH3 = 設定不要	PMCDH3 = 1	-	-	
PDH4	A20	出力	PDH4 = 設定不要	PMDH4 = 設定不要	PMCDH4 = 1	-	-	
PDH5	A21	出力	PDH5 = 設定不要	PMDH5 = 設定不要	PMCDH5 = 1	-	-	
PDL0	AD0	入出力	PDL0 = 設定不要	PMDL0 = 設定不要	PMCDL0 = 1	-	-	
PDL1	AD1	入出力	PDL1 = 設定不要	PMDL1 = 設定不要	PMCDL1 = 1	-	-	
PDL2	AD2	入出力	PDL2 = 設定不要	PMDL2 = 設定不要	PMCDL2 = 1	-	-	
PDL3	AD3	入出力	PDL3 = 設定不要	PMDL3 = 設定不要	PMCDL3 = 1	-	-	
PDL4	AD4	入出力	PDL4 = 設定不要	PMDL4 = 設定不要	PMCDL4 = 1	-	-	

注 V850ES/JH3-Uのみ

表4 - 20 ポート端子を兼用端子として使用する場合 (10/10)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMcnレジスタの PMcnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
PDL5	AD5	入出力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 1	-	-	
	FLMD1 ^注	入力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 設定不要	-	-	
PDL6	AD6	入出力	PDL6 = 設定不要	PMDL6 = 設定不要	PMCDL6 = 1	-	-	
PDL7	AD7	入出力	PDL7 = 設定不要	PMDL7 = 設定不要	PMCDL7 = 1	-	-	
PDL8	AD8	入出力	PDL8 = 設定不要	PMDL8 = 設定不要	PMCDL8 = 1	-	-	
PDL9	AD9	入出力	PDL9 = 設定不要	PMDL9 = 設定不要	PMCDL9 = 1	-	-	
PDL10	AD10	入出力	PDL10 = 設定不要	PMDL10 = 設定不要	PMCDL10 = 1	-	-	
PDL11	AD11	入出力	PDL11 = 設定不要	PMDL11 = 設定不要	PMCDL11 = 1	-	-	
PDL12	AD12	入出力	PDL12 = 設定不要	PMDL12 = 設定不要	PMCDL12 = 1	-	-	
PDL13	AD13	入出力	PDL13 = 設定不要	PMDL13 = 設定不要	PMCDL13 = 1	-	-	
PDL14	AD14	入出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	-	-	
PDL15	AD15	入出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	-	-	

注 フラッシュ・メモリ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第31章 フラッシュ・メモリを参照してください。

4.5 注意事項

4.5.1 ポート端子設定上の注意事項

(1) V850ES/JG3-U, V850ES/JH3-Uでは、1本の端子に汎用ポートと複数の周辺機能の入出力端子が兼用されています。汎用ポート（ポート・モード）と、周辺機能の入出力端子（兼用機能モード）との切り替えは、PMCnレジスタで設定します。このレジスタの設定順序に関して、次の点に注意してください。

(a) ポート・モードから兼用機能モードへ切り替える場合の注意事項

ポート・モードから兼用機能モードへ切り替える場合は、次の順序で行ってください。

PFnレジスタを設定 ^{注1}	: N-chオープン・ドレイン設定
PFCn, PFCEnレジスタを設定	: 兼用端子機能選択
PMCnレジスタの該当ビットに1を設定	: 兼用機能モードへ切り替え
INTRn, INTFnレジスタを設定 ^{注2}	: 外部割り込み設定

PMCnレジスタを先に設定すると、その瞬間、またそのあとのPFn, PFCn, PFCEnレジスタの設定に伴う端子状態の変化によっては、意図しない動作に陥る可能性があるため注意してください。

【例】に具体例を示します。

- 注1. N-chオープン・ドレイン出力端子のみ
- 注2. 外部割り込み機能選択時のみ

注意 ポート・モード/兼用機能モードに関係なく、Pnレジスタのリード/ライトは次のようになります。

- ・Pnレジスタのリード : ポート出力ラッチの値（PMn.PMnmビット = 0時）、または端子状態（PMn.PMnmビット = 1時）の読み出し
- ・Pnレジスタへのライト : ポート出力ラッチへの書き込み

【例】SCL01端子の設定例

SCL01端子は、P41/SOF0と兼用されています。有効な端子機能を、PMC4, PFC4, PF4レジスタによって次のように選択します。

PMC41ビット	PFC41ビット	PF41ビット	有効な端子機能
0	don't care	1	P41（出力ポート・モードの場合、N-chオープン・ドレイン出力）
1	0	1	SOF0出力（N-chオープン・ドレイン出力）
	1	1	SCL01入出力（N-chオープン・ドレイン出力）

次に、P41端子からSCL01端子への切り替え時に、問題が発生する可能性がある設定順序を示します。

設定順	設定内容	端子状態	端子レベル
	初期値 (PMC41ビット = 0, PFC41ビット = 0, PF41ビット = 0)	ポート・モード (入力)	Hi-Z
	PMC41ビット←1	SOF0出力	ロウ・レベル(CSIF0の設定によってはハイ・レベル)
	PFC41ビット←1	SCL01入出力	ハイ・レベル(CMOS出力)
	PF41ビット←1	SCL01入出力	Hi-Z(N-chオープン・ドレイン出力)

で、兼用されているSOF0出力が端子に出力されるため、 I^2C 通信に影響を与える可能性があります。また、
、
のCMOS出力の期間に、不要な電流が発生する可能性があります。

(b) 兼用機能モード(入力)に関する注意事項

兼用機能ブロックへの入力信号は、PMcNレジスタの設定値と端子レベルのAND出力のため、PMcN.PMcNmビット = 0のときはロウ・レベルとなります。そのため、ポート設定と兼用機能動作許可のタイミングによっては、意図しない動作に陥る可能性があります。したがって、PMcNレジスタによるポート・モードと兼用機能モードの切り替えは、次に示す順序で実行してください。

- ・ポート・モードから兼用機能モード(入力)へ切り替える場合
PMcNレジスタで端子を兼用機能モードにしてから、兼用機能の動作を許可してください。
- ・兼用機能モード(入力)からポート・モードへ切り替える場合
兼用機能の動作を停止してから、端子をポート・モードへ切り替えてください。

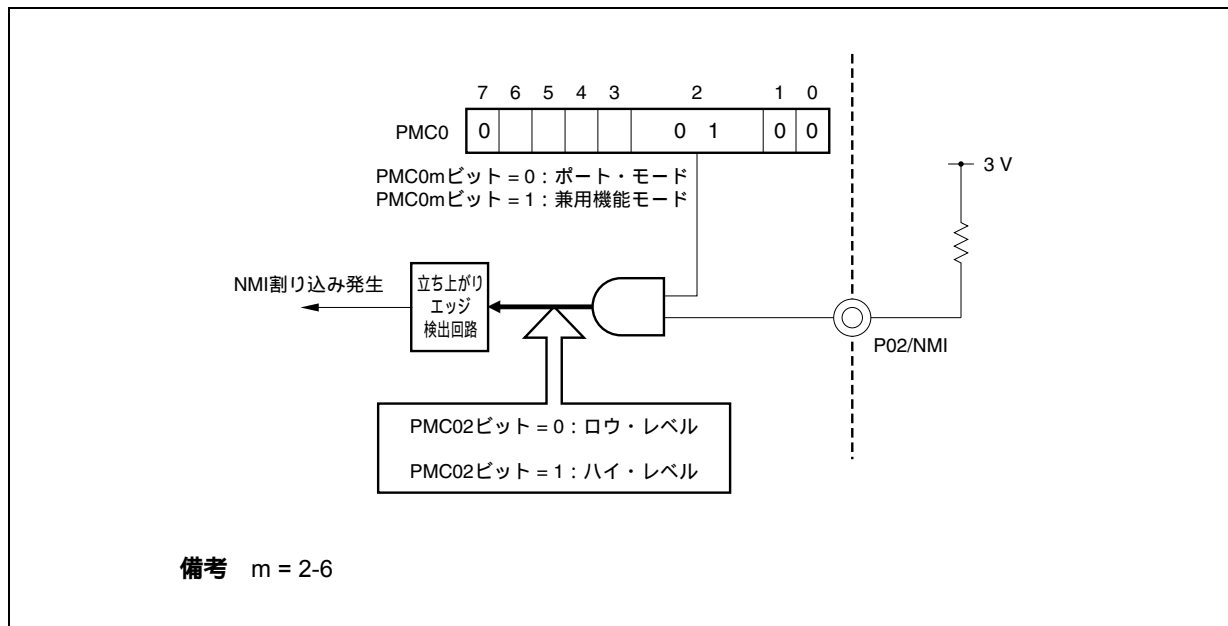
【例1】、【例2】に具体例を示します。

【例1】汎用ポート(P02)から外部割り込み端子(NMI)への切り替え

P02/NMI端子が図4-4のようにプルアップされており、かつNMI端子のエッジ検出設定で立ち上がりエッジを指定している場合に、P02端子からNMI端子へ切り替えたとき(PMC02ビット = 0→1)、NMI端子にはハイ・レベルが入力され続けているにもかかわらず、ロウ・レベル ハイ・レベルと変化したかのように立ち上がりエッジとして検出し、NMI割り込みが発生します。

対策として、P02端子からNMI端子へ切り替えてから、NMI端子の有効エッジを設定してください。

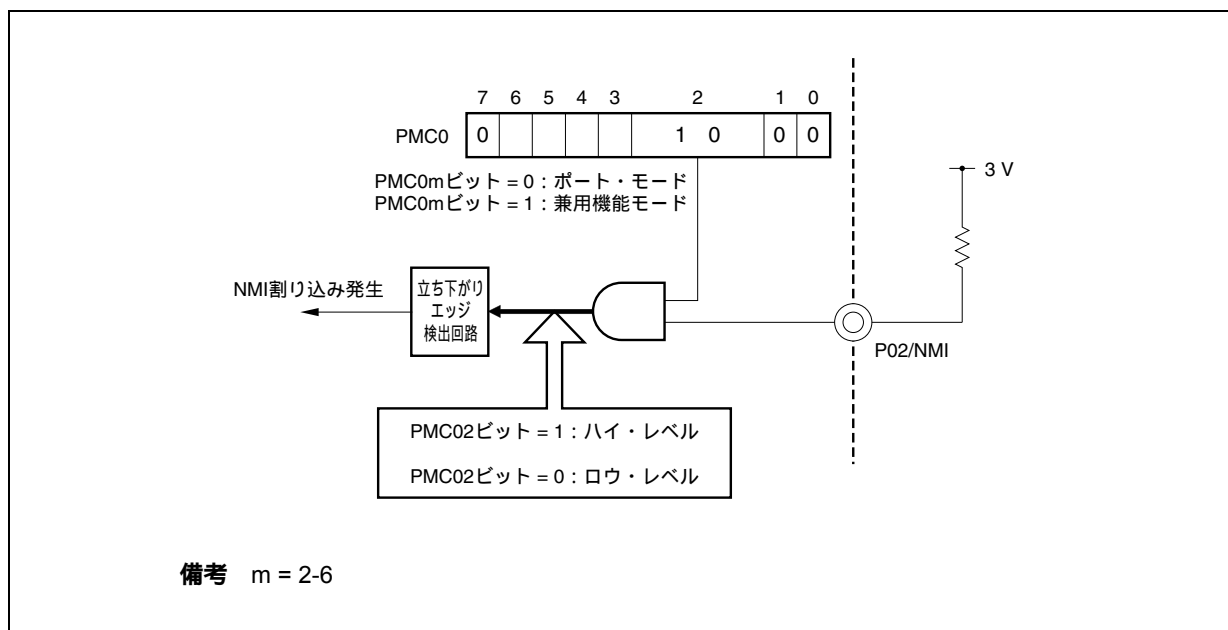
図4 - 4 P02からNMIへの切り替え (悪い例)



【例2】外部割り込み端子 (NMI) から、汎用ポート (P02) への切り替え

P02/NMI端子が図4 - 5のようにプルアップされており、かつNMI端子のエッジ検出設定で立ち下がりエッジを指定している場合に、NMI端子からP02端子へ切り替えたとき (PMCO2ビット = 1→0)、NMI端子にはハイ・レベルが入力され続けているにもかかわらず、ハイ・レベル ロウ・レベルと変化したかのように立ち下がりエッジとして検出し、NMI割り込みが発生します。対策として、NMI端子のエッジ検出設定を“エッジ検出しない”にしてから、NMI端子からP02端子へ切り替えてください。

図4 - 5 NMIからP02への切り替え (悪い例)



(2) ポート・モードにおいてPFn.PFnmビットは、出力モード (PMn.PMnmビット = 0) 時のみ有効となります。入力モード (PMnmビット = 1) のとき、PFnmビットの値はバッファに反映されません。

4.5.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P90端子は出力ポート、P91-P97端子は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき、P90端子の出力をビット操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート・ラッチの値は、“FFH” になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み/読み出しの対象は、それぞれ出力ラッチ/端子状態です。

また、ビット操作命令はV850ES/JG3-U, V850ES/JH3-U内部で、次の順序で行われます。

<1> Pnレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

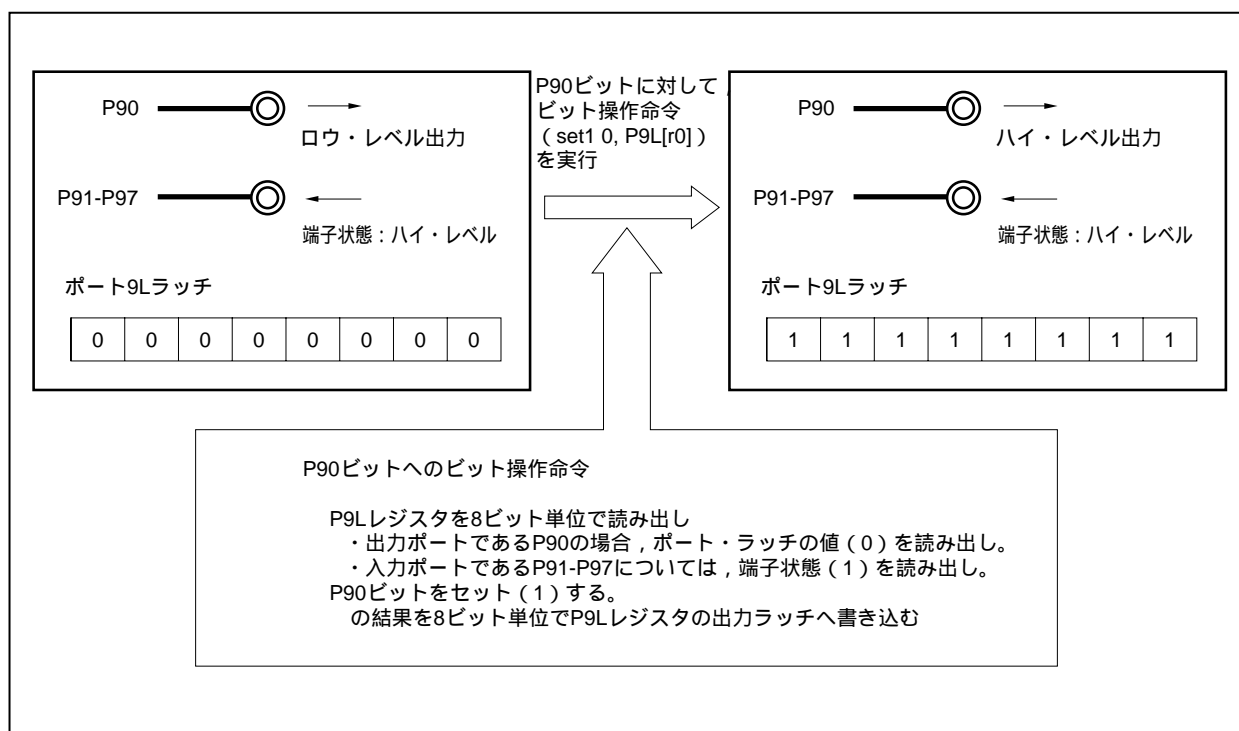
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP90端子は出力ラッチの値（0）を読み出しますが、入力ポートであるP91-P97端子は端子状態を読み出します。このときP91-P97端子の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4-6 ビット操作命令（P90端子の場合）



4.5.3 オンチップ・デバッグ用端子に関する注意事項 (V850ES/JG3-Uのみ)

$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子はオンチップ・デバッグ用の端子です。

$\overline{\text{RESET}}$ 端子によるリセット後, P56/INTP05/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子 ($\overline{\text{DRST}}$) に初期化されます。このとき $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, オンチップ・デバッグ・モードになり, DCK, DMS, DDI, DDO端子が使用可能になります。

オンチップ・デバッグを使用しない場合は, 次の処置が必要です。

- ・OCDMレジスタ (特定レジスタ) のOCDM0ビットをクリア (0)

このとき, $\overline{\text{RESET}}$ 端子によるリセット解除時から, 上記の処理を終えるまで, P56/INTP05/ $\overline{\text{DRST}}$ 端子をロウ・レベル固定にしてください。

上記処置を行う前に $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, 誤動作 (CPUデッド・ロック) の原因となるため, P56端子の取り扱いには十分注意してください。

注意 WDT2RES信号, クロック・モニタ (CLM), 低電圧検出回路 (LVI) によるリセット時は, P56/INTP05/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子 ($\overline{\text{DRST}}$) に初期化されません。また, OCDMレジスタも値を保持します。

4.5.4 P56/INTP05/ $\overline{\text{DRST}}$ 端子に関する注意事項

P56/INTP05/ $\overline{\text{DRST}}$ 端子はプルダウン抵抗 (30 k Ω (TYP.)) を内蔵しています。 $\overline{\text{RESET}}$ 端子によるリセット後は, プルダウン抵抗が接続されています。OCDM0ビットをクリア (0) することにより, プルダウン抵抗は切断されます。

4.5.5 P10, P11, P53端子に関する電源投入時の注意事項

次に示す端子は, 電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- ・P10/ANO0端子
- ・P11/ANO1端子
- ・P53/SIF2/TIAB00/KR3/TOAB00/RTP03/DDO端子 (V850ES/JG3-Uのみ)

4.5.6 ヒステリシス特性について

ポート・モードでは, 次のポートはヒステリシス特性を持ちません。

P00-P05

P20-P25

P30-P37

P40-P42

P50-P56

P60-P65

P90-P915

第5章 バス制御機能

V850ES/JG3-U, V850ES/JH3-Uは、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

5.1 特 徴

最小で3バス・サイクルのマルチプレクス・バスとセパレート・バス出力選択可能

(V850ES/JH3-Uのみ対応, V850ES/JG3-Uは, マルチプレクス・バスのみ対応)

8ビット/16ビット・データ・バス切り替え可能

ウェイト機能

・最大で7ステートのプログラマブル・ウェイト機能

・WAIT端子による外部ウェイト機能

アイドル・ステート機能

バス・ホールド機能

5.2 バス制御端子

外部デバイスの接続には、次の端子を使用します。

表5 - 1 V850ES/JH3-Uバス制御端子一覧（マルチプレクス・バス選択時）

バス制御端子	兼用端子	入出力	機 能
AD0-AD15	PDL0-PDL15	入出力	アドレス/データ・バス
A16-A23	PDH0-PDH5	出力	アドレス・バス
WAIT	PCM0	入力	外部ウエイト制御
CLKOUT	PCM1	出力	内部システム・クロック
WR0, WR1	PCT0, PCT1	出力	ライト・ストロープ信号
RD	PCT4	出力	リード・ストロープ信号
ASTB	PCT6	出力	アドレス・ストロープ信号
HLDQR	PCM3	入力	バス・ホールド制御
HLDAR	PCM2	出力	
CS0, CS2, CS3	PCS0, PCS2, PCS3	出力	チップ・セレクト

表5 - 2 V850ES/JH3-Uバス制御端子一覧（セパレート・バス選択時）

バス制御端子	兼用端子	入出力	機 能
AD0-AD15	PDL0-PDL15	入出力	データ・バス
A0-A15	P90-P915	出力	アドレス・バス
A16-A21	PDH0-PDH5	出力	アドレス・バス
WAIT	PCM0	入力	外部ウエイト制御
CLKOUT	PCM1	出力	内部システム・クロック
WR0, WR1	PCT0, PCT1	出力	ライト・ストロープ信号
RD	PCT4	出力	リード・ストロープ信号
HLDQR	PCM3	入力	バス・ホールド制御
HLDAR	PCM2	出力	
CS0, CS2, CS3	PCS0, PCS2, PCS3	出力	チップ・セレクト

表5 - 3 V850ES/JG3-Uバス制御端子一覧（マルチプレクス・バス）

バス制御端子	兼用端子	入出力	機 能
AD0-AD15	PDL0-PDL15	入出力	アドレス/データ・バス
WAIT	PCM0	入力	外部ウエイト制御
CLKOUT	PCM1	出力	内部システム・クロック
WR0, WR1	PCT0, PCT1	出力	ライト・ストロープ信号
RD	P61	出力	リード・ストロープ信号
ASTB	P62	出力	アドレス・ストロープ信号
CS0, CS2, CS3	P63, P64, P65	出力	チップ・セレクト

5.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態

内蔵ROM, 内蔵RAM, 内蔵周辺I/Oへアクセスした場合, 各端子状態は次のようになります。

表5-4 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態一覧

バス制御端子	セパレート・バス・モード		マルチプレクス・バス・モード	
	内蔵ROM/RAM	周辺I/O	内蔵ROM/RAM	周辺I/O
アドレス/データ・バス (AD15-AD0)	不定	不定	不定	不定
アドレス・バス (A23-A16)	不定	不定 (アクセス中ドレス出力)	不定	不定 (アクセス中ドレス出力)
アドレス・バス (A15-A0)	不定	不定 (アクセス中ドレス出力)	不定	不定 (アクセス中ドレス出力)
制御信号	インアクティブ	インアクティブ	インアクティブ	インアクティブ

注意 内蔵ROM領域へライト・アクセスしたときには, 外部メモリ領域へのアクセスと同じく, アドレス, データ, 制御信号ともに活性化されます。

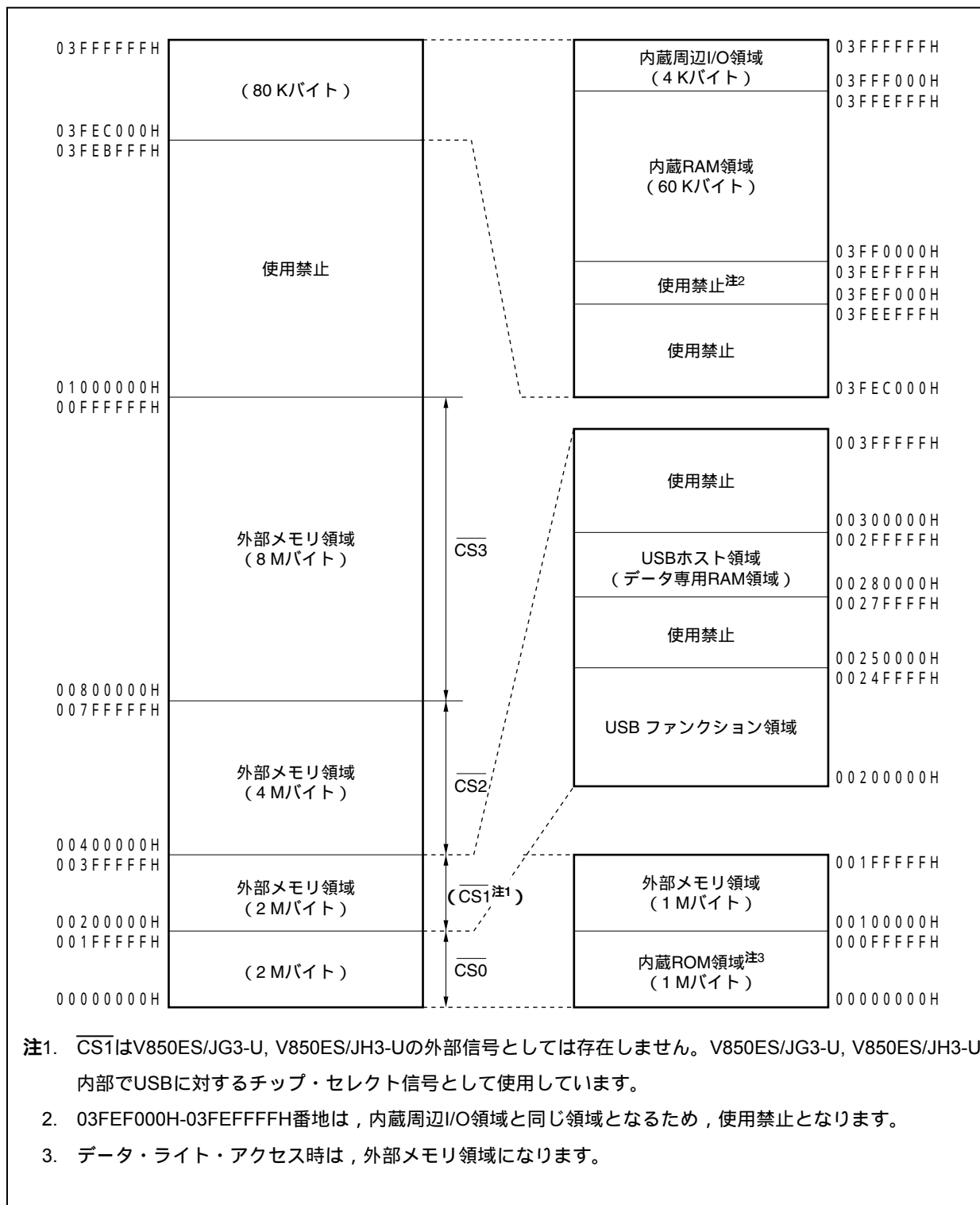
5.2.2 各動作モードの端子状態

V850ES/JG3-U, V850ES/JH3-U各動作モードの端子状態については, 2.2 端子状態を参照してください。

5.3 メモリ・ブロック機能

16 Mバイトの外部メモリ空間は下位2 M, 4 M, 8 Mバイト単位のメモリ・ブロックに分割され、1ブロック単位にプログラマブル・ウエイト機能、バス・サイクル動作モードなどを独立に制御できます。

図5-1 データ・メモリ・マップ：物理アドレス



5.4 バス・アクセス

5.4.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

領域 (バス幅)	内蔵ROM (32ビット)	内蔵RAM (32ビット)	外部メモリ (16ビット)	
			マルチプレクス	セパレート ^{注1}
バス・サイクル・タイプ				
命令フェッチ (通常アクセス)	1	1 ^{注2}	3 + n	
命令フェッチ (分岐)	3	2 ^{注2}	3 + n	
オペランド・データ・アクセス	5	1	3 + n	

注1. V850ES/JH3-Uのみ

- データ・アクセスと競合した場合は, +1されます。

備考 単位はクロック/アクセスです。

5.4.2 バス・サイズ設定機能

外部メモリ領域は, \overline{CSn} で選択される領域ごとにBSCレジスタで設定できます。ただし, 設定可能なバス・サイズは8ビットと16ビットのみです。

V850ES/JG3-U, V850ES/JH3-Uの外部メモリ領域は, $\overline{CS0}$, $\overline{CS2}$, $\overline{CS3}$ で選択されます。

(1) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

16ビット単位でリード/ライト可能です。

リセットにより5555Hになります。

注意 BSCレジスタへの書き込みはリセット後に行い, そのあとは値を変更しないでください。また, BSCレジスタの初期設定が終わるまでは, 外部メモリ領域をアクセスしないでください。

リセット時: 5555H R/W アドレス: FFFFF066H								
	15	14	13	12	11	10	9	8
BSC	0	1	0	1	0	1	0	1
	7	6	5	4	3	2	1	0
	0	BS30	0	BS20	0	1	0	BS00
		$\overline{CS3}$		$\overline{CS2}$				$\overline{CS0}$
BSn0	CSn空間のデータ・バス幅 (n = 0, 2, 3)							
0	8ビット							
1	16ビット							
<p>注意 ビット14, 12, 10, 8, 2には必ず1を設定し, ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。</p>								

5.4.3 バス・サイズによるアクセス

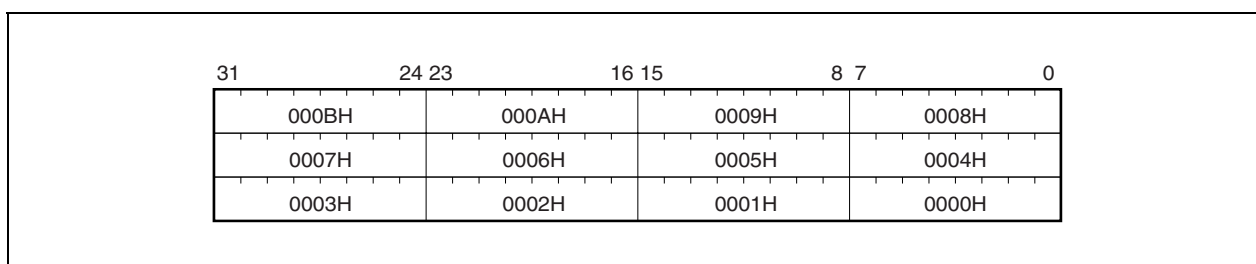
V850ES/JG3-U, V850ES/JH3-Uが内蔵周辺I/Oアクセス, 外部メモリ・アクセスを行う場合には, 8, 16, 32ビット・アクセスがあります。またバス・サイズは次のとおりです。

- ・内蔵周辺I/Oのバス・サイズは16ビット固定
- ・外部メモリのバス・サイズは8ビット/16ビット選択可能 (BSCレジスタにより設定)

次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。

V850ES/JG3-U, V850ES/JH3-Uは, リトル・エンディアン形式のみ対応しています。

図5-2 ワード内のリトル・エンディアン・アドレス



(1) データ空間

V850ES/JG3-U, V850ES/JH3-Uはアドレス・ミス・アライン機能を内蔵しています。

この機能により, データの形式 (ワード・データ, ハーフワード・データ) にかかわらず, すべてのアドレスに対してデータを配置できます。ただし, ワード・データ, ハーフワード・データの場合, データが境界整列していないと, バス・サイクルが最低2回は発生し, バス効率が低下します。

(a) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき, バイト長のバス・サイクルを2回生成します。

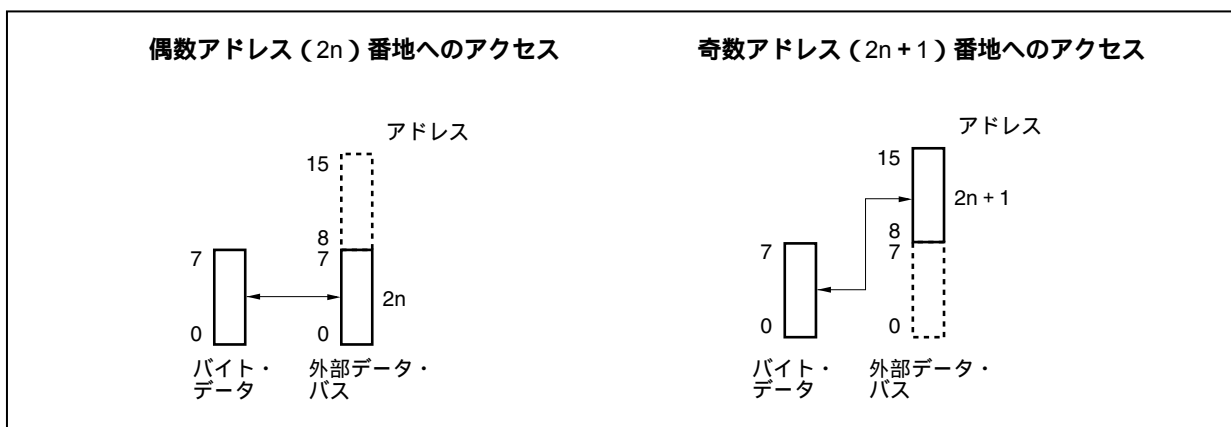
(b) ワード長のデータ・アクセスの場合

(i) アドレスの最下位ビットが1のとき, バイト長のバス・サイクル, ハーフワード長のバス・サイクル, バイト長のバス・サイクルの順でバス・サイクルを生成します。

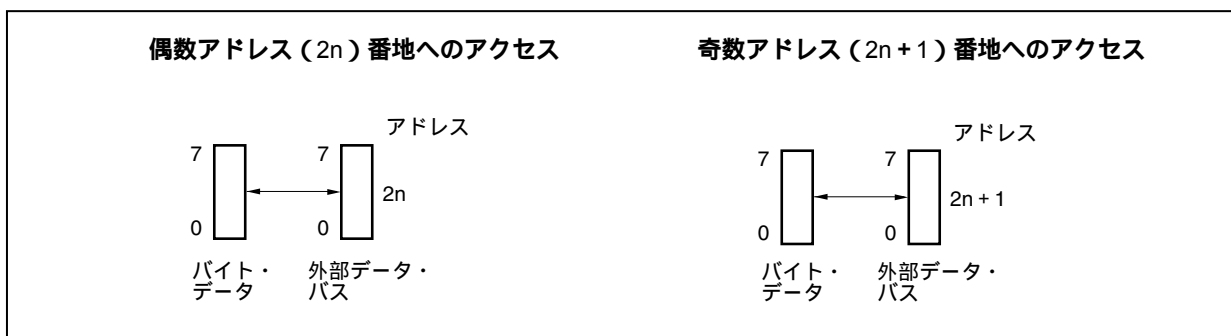
(ii) アドレスの下位2ビットが10のとき, ハーフワード長のバス・サイクルを2回生成します。

(2) バイト・アクセス (8ビット)

(a) 16ビット・データ・バス幅のとき

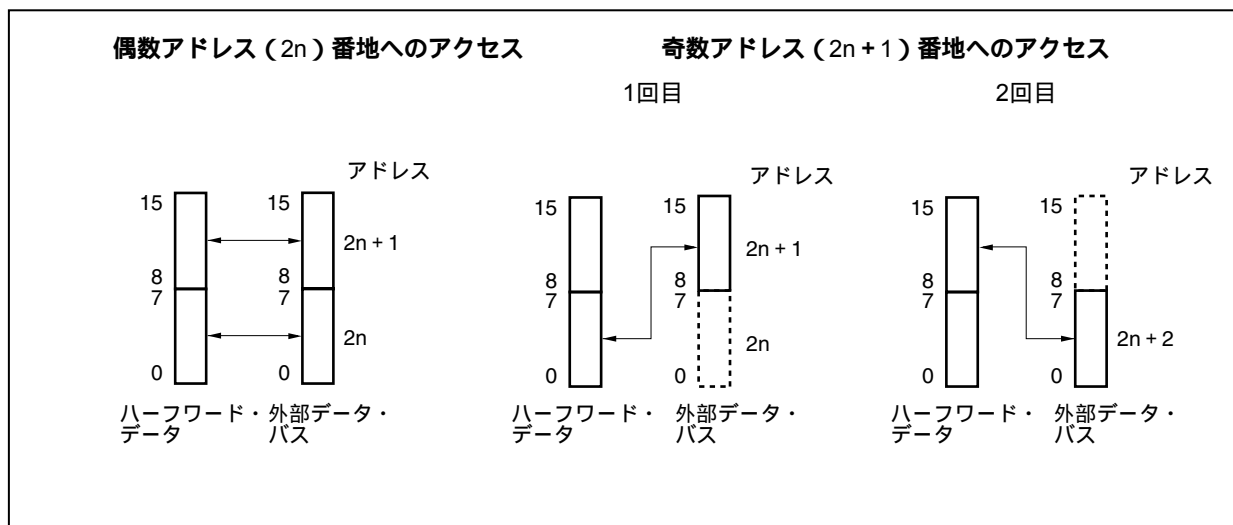


(b) 8ビット・データ・バス幅のとき

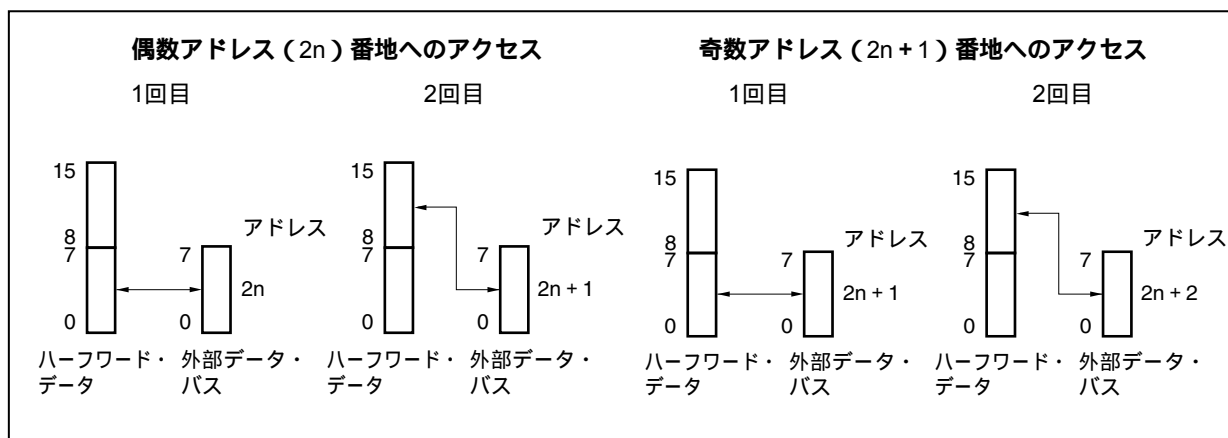


(3) ハーフワード・アクセス (16ビット)

(a) 16ビット・データ・バス幅のとき

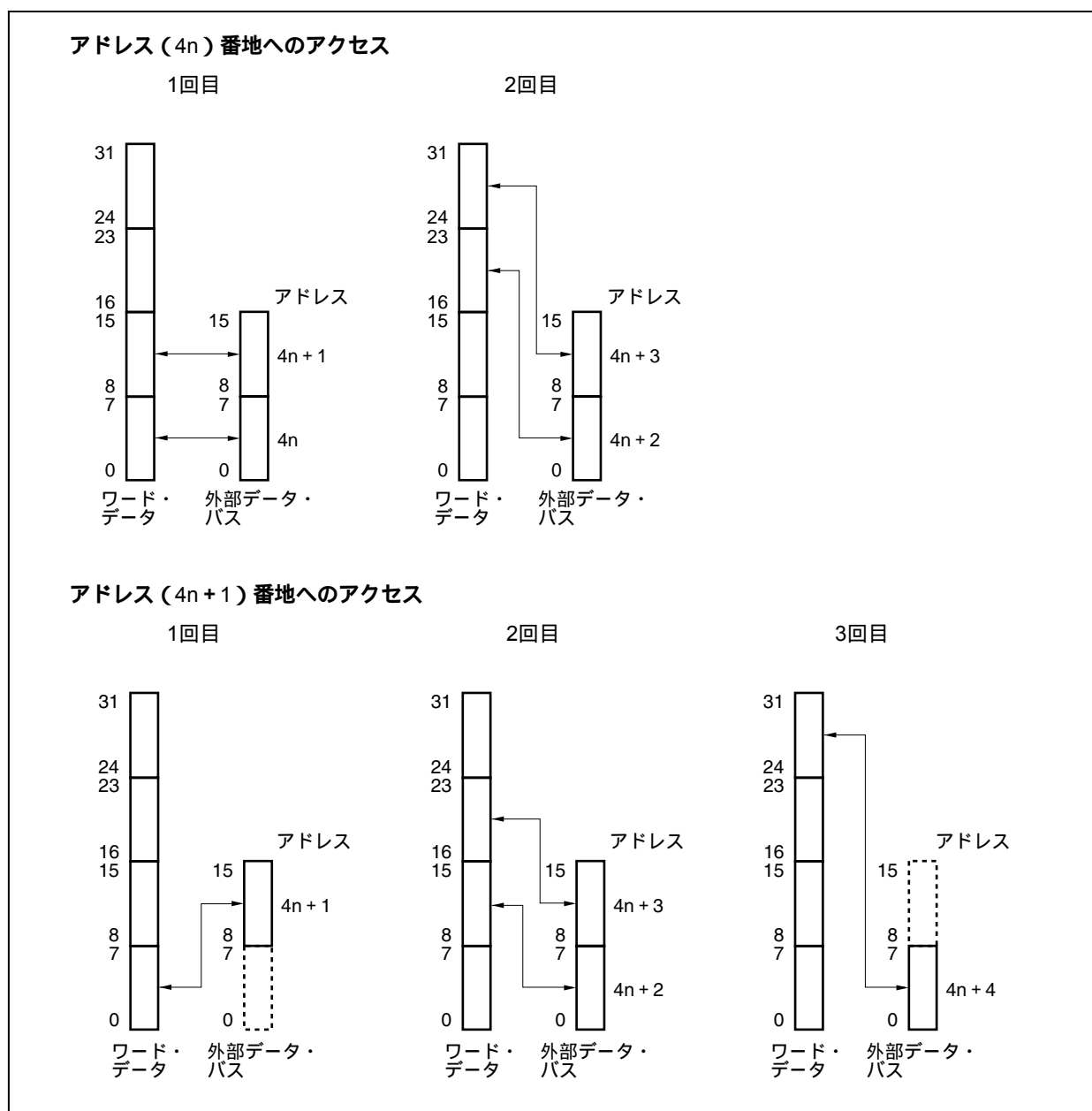


(b) 8ビット・データ・バス幅のとき

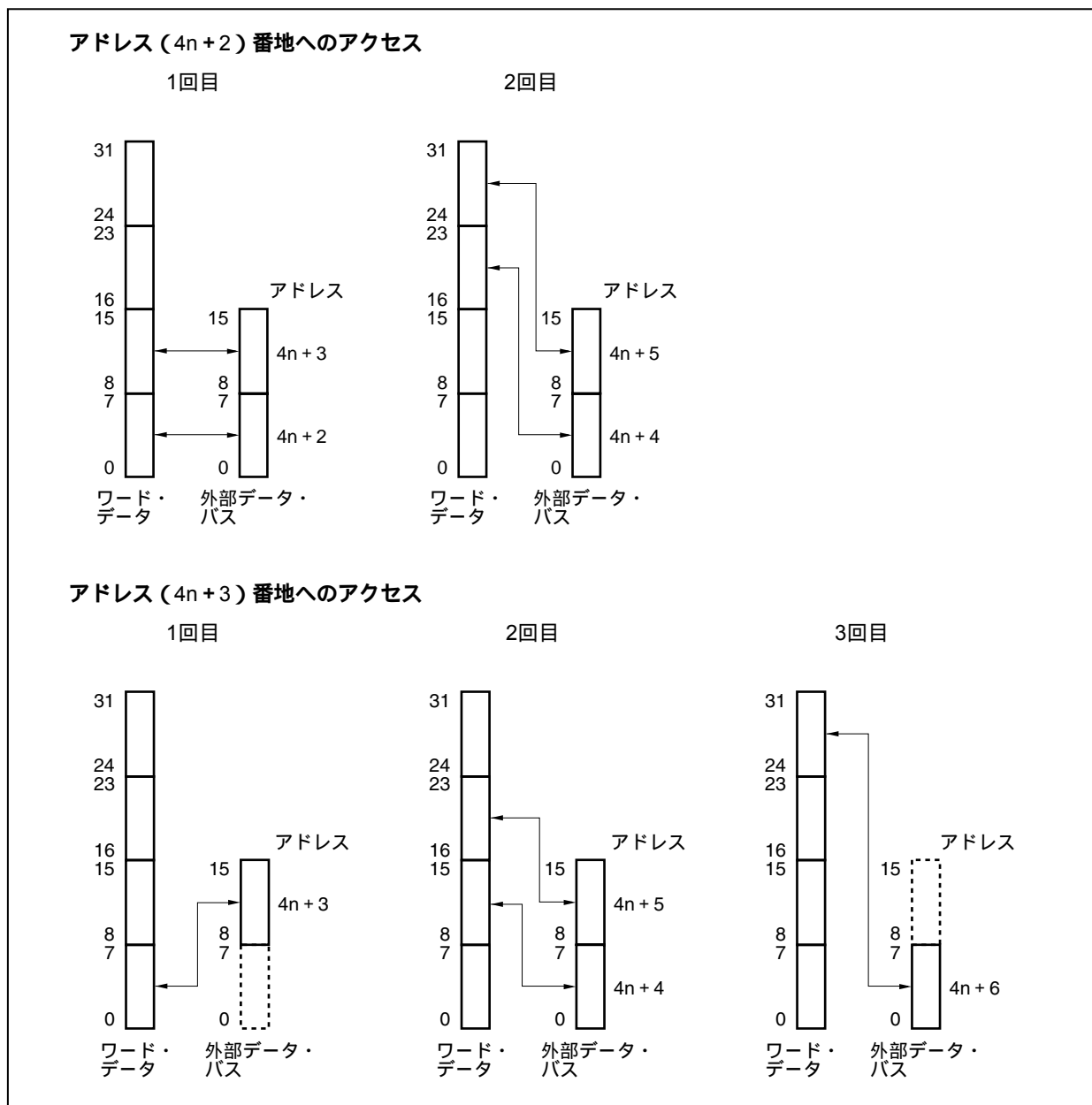


(4) ワード・アクセス (32ビット)

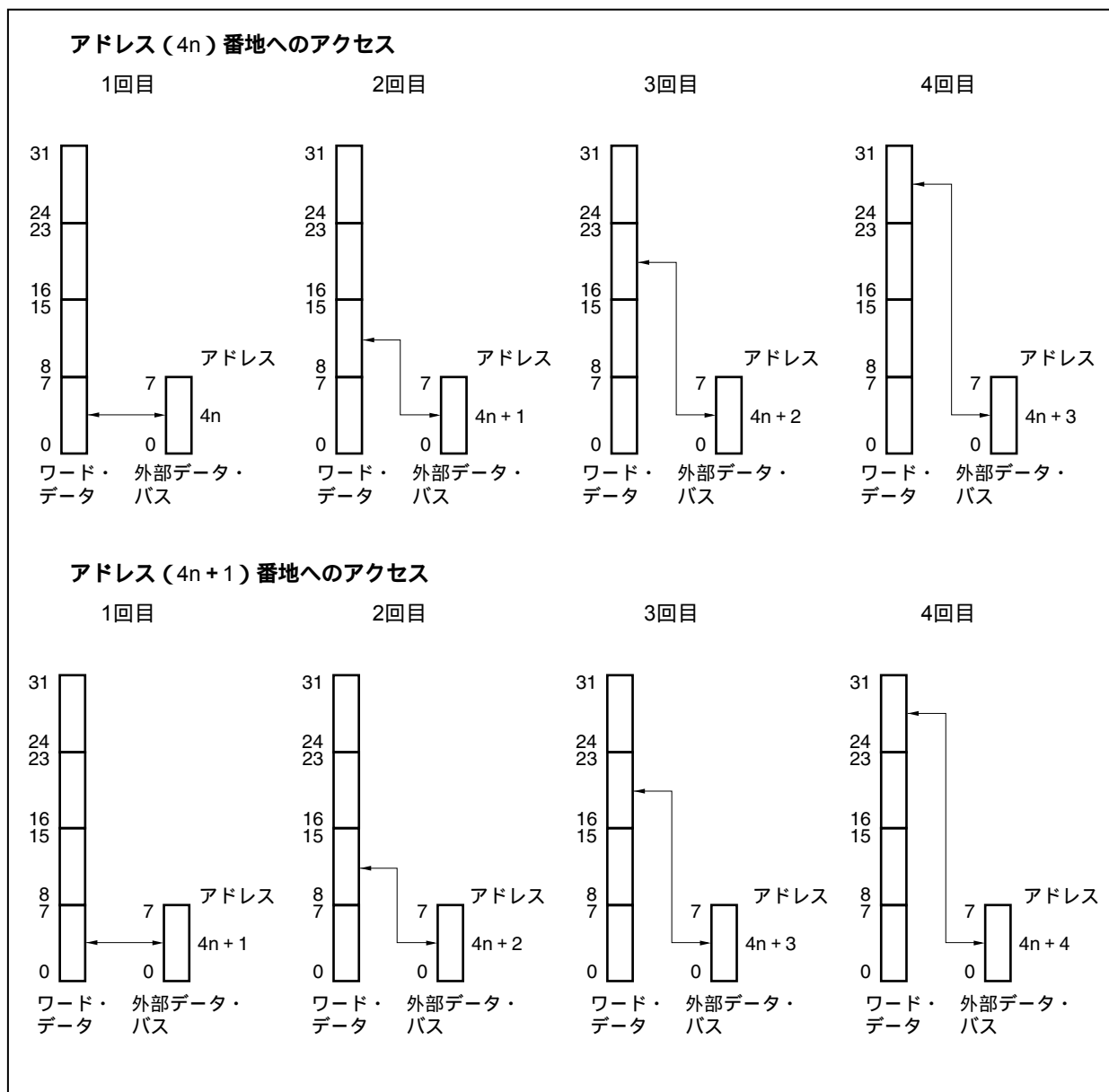
(a) 16ビット・データ・バス幅のとき (1/2)



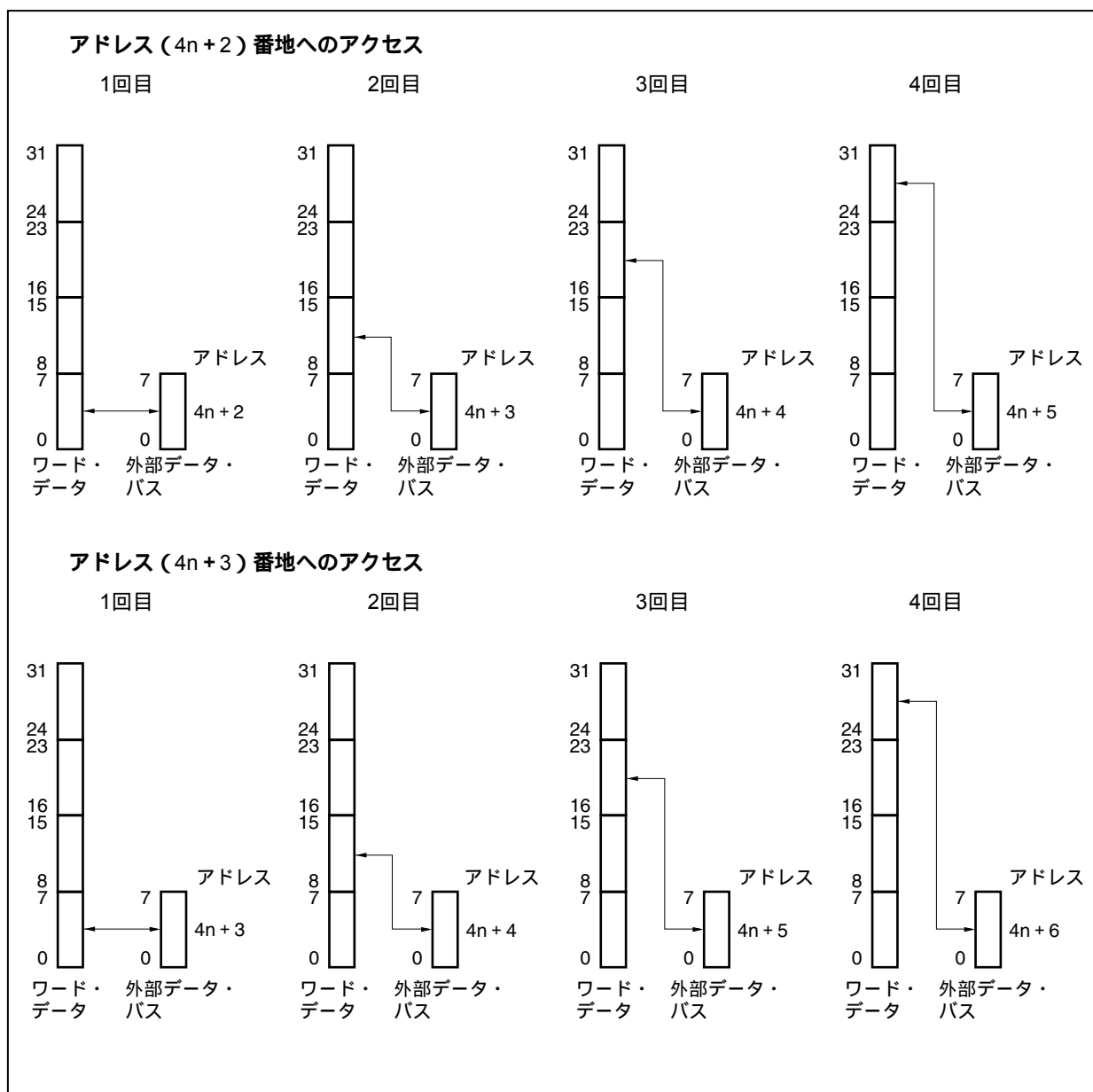
(a) 16ビット・データ・バス幅のとき (2/2)



(b) 8ビット・データ・バス幅のとき (1/2)



(b) 8ビット・データ・バス幅のとき (2/2)



5.5 ウェイト機能

5.5.1 プログラマブル・ウェイト機能

(1) データ・ウェイト・コントロール・レジスタ0 (DWC0)

低速メモリ、I/Oに対するインタフェースを容易に実現させることを目的とし、各CS空間ごとに起動されるバス・サイクルに対し、最大7ステートのデータ・ウェイトを挿入可能です。

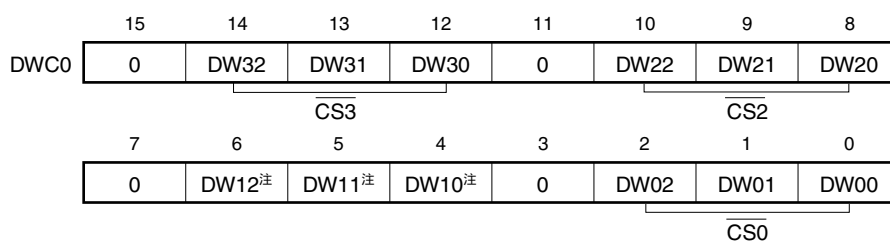
ウェイト数は、DWC0レジスタでプログラマブルに指定可能です。システム・リセット直後は、全ブロックに対して7データ・ウェイトの挿入状態になります。

16ビット単位でリード/ライト可能です。

リセットにより7777Hになります。

- 注意1.** 内蔵ROM領域、内蔵RAM領域は、プログラマブル・ウェイトの対象外で、常にノー・ウェイト・アクセスを行います。また、内蔵周辺I/O領域も、プログラマブル・ウェイトの対象外で、各周辺機能からのウェイト制御だけ行われます。
- 2.** DWC0レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、DWC0レジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：7777H R/W アドレス：FFFFFF484H



DWn2	DWn1	DWn0	CSn空間の挿入ウェイト数 (n = 0-3)
0	0	0	挿入しない
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

注 DW12-DW10ビットは、USBファンクションへのアクセス・ウェイト設定になります。DW12-DW10ビット = 001B (1ウェイト) に設定することを推奨します。

注意 ビット15, 11, 7, 3には必ず0を設定してください。

5.5.2 外部ウエイト機能

極端に遅いメモリや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 ($\overline{\text{WAIT}}$) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

P60^{注1}、PCM0^{注2}端子が兼用機能に設定されている場合に、外部ウエイト機能が有効になります。

内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

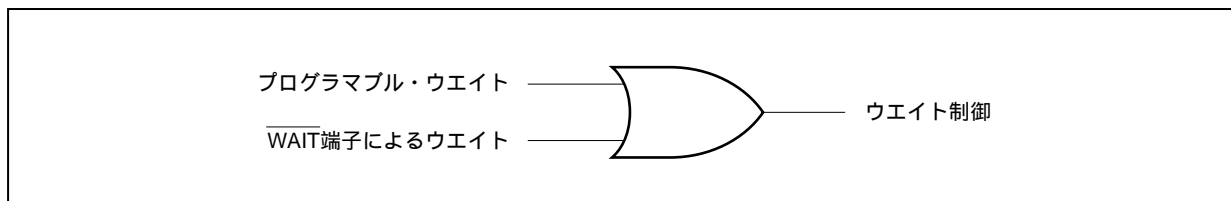
$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT2, TWステートのクロックの立ち下がりですamplingされます。サンプル・タイミングにおける設定/保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

注1. V850ES/JG3-U

2. V850ES/JH3-U

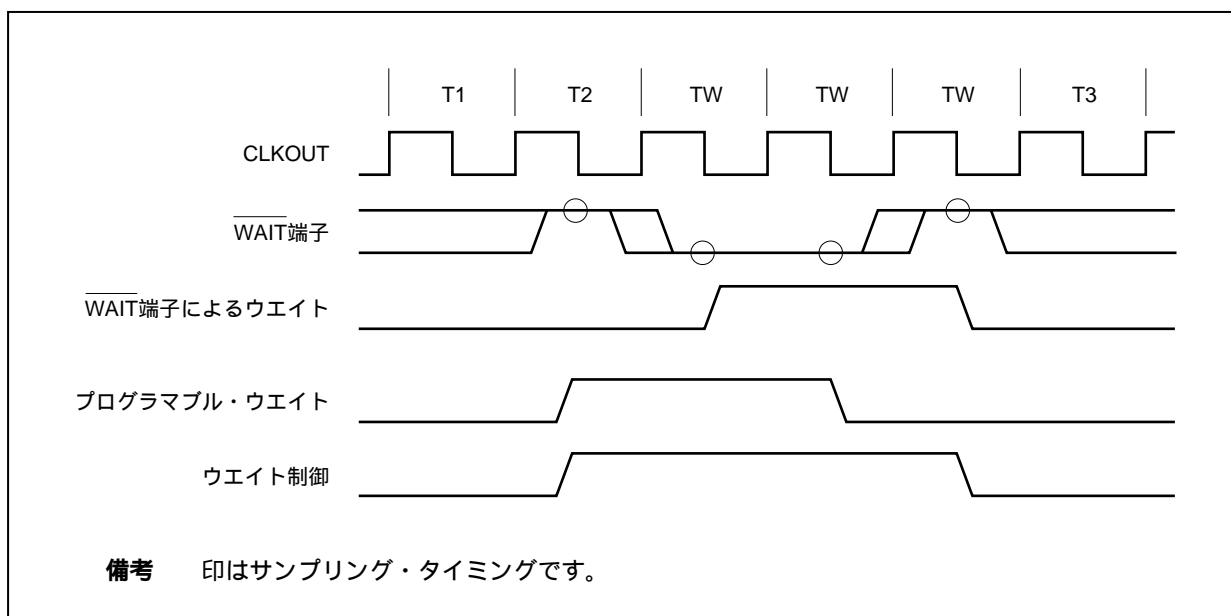
5.5.3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和 (OR) として挿入されます。



たとえば、プログラマブル・ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図5-3 ウエイト挿入例



5.5.4 プログラマブル・アドレス・ウエイト機能

AWCレジスタにより、各バス・サイクルに対して挿入するアドレス・セットアップ・ウエイト/アドレス・ホールド・ウエイトを設定できます。アドレス・ウエイト挿入は各チップ・セレクト領域 ($\overline{CS0}$, $\overline{CS2}$, $\overline{CS3}$) ごとに設定します。

アドレス・セットアップ・ウエイトを挿入すると、T1ステートのハイ・クロック期間が1クロック分伸びたイメージになります。また、アドレス・ホールド・ウエイトを挿入すると、T1ステートのロウ・クロック期間が1クロック分伸びたイメージになります。

(1) アドレス・ウエイト・コントロール・レジスタ (AWC)

16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

- 注意1. 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アドレス・セットアップ・ウエイト/アドレス・ホールド・ウエイト挿入の対象外になります。
2. AWCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、AWCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：FFFFH R/W アドレス：FFFFFF488H

	15	14	13	12	11	10	9	8
AWC	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
	AHW3	ASW3	AHW2	ASW2	AHW1 ^注	ASW1 ^注	AHW0	ASW0
	$\overline{CS3}$		$\overline{CS2}$		$\overline{CS0}$			

AHWn	アドレス・ホールド・ウエイト挿入指定 (n = 0-3)
0	挿入しない
1	挿入する

ASWn	アドレス・セットアップ・ウエイト挿入指定 (n = 0-3)
0	挿入しない
1	挿入する

注 AHW1, ASW1ビットには0を設定することを推奨します。

注意 ビット15-8には必ず1を設定してください。

5.6 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし、チップ・セレクトで選択される空間ごとに起動されるバス・サイクルに対し、T3ステート後に、1ステートのアイドル・ステート（TI）を挿入できます。アイドル・ステートを挿入することにより、リード・アクセス時のメモリのデータ出力フロート遅延時間を確保することができます（ライト・アクセス時には、アイドル・ステートは挿入できません）。

アイドル・ステートの挿入指定は、BCCレジスタでプログラマブルに設定できます。

システム・リセット直後は、全領域に対してアイドル・ステートの挿入状態になります。

(1) バス・サイクル・コントロール・レジスタ（BCC）

16ビット単位でリード/ライト可能です。

リセットによりAAAAHになります。

- 注意1.** 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。
- 2.** BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：AAAAH R/W アドレス：FFFFFF48AH

	15	14	13	12	11	10	9	8
BCC	1	0	1	0	1	0	1	0
	7	6	5	4	3	2	1	0
	BC31	0	BC21	0	BC11 ^注	0	BC01	0
	<input type="checkbox"/>		<input type="checkbox"/>				<input type="checkbox"/>	
	CS3		CS2				CS0	
BCn1	アイドル・ステート挿入指定 (n = 0-3)							
0	挿入しない							
1	挿入する							

注 BC11ビットには0を設定することを推奨します。

注意 ビット15, 13, 11, 9には必ず1を設定し、ビット14, 12, 10, 8, 6, 4, 2, 0には必ず0を設定してください。

5.7 バス・ホールド機能 (V850ES/JH3-Uのみ)

5.7.1 機能概要

PCM2, PCM3端子が兼用機能に設定されていれば, $\overline{\text{HLDRQ}}$, $\overline{\text{HLDAK}}$ 機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になったことを受け付けると, 外部アドレス/データ・バスをハイ・インピーダンス状態にし, 解放します(バス・ホールド状態)。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ(ハイ・レベル)になりバス獲得要求が解除されれば, 再びこれらの端子の駆動を開始します。

バス・ホールド期間中は, 内蔵周辺I/Oレジスタ・アクセスあるいは, 外部メモリ・アクセスがあるまで, 内蔵ROM, 内蔵RAMからのプログラムの実行を継続します。

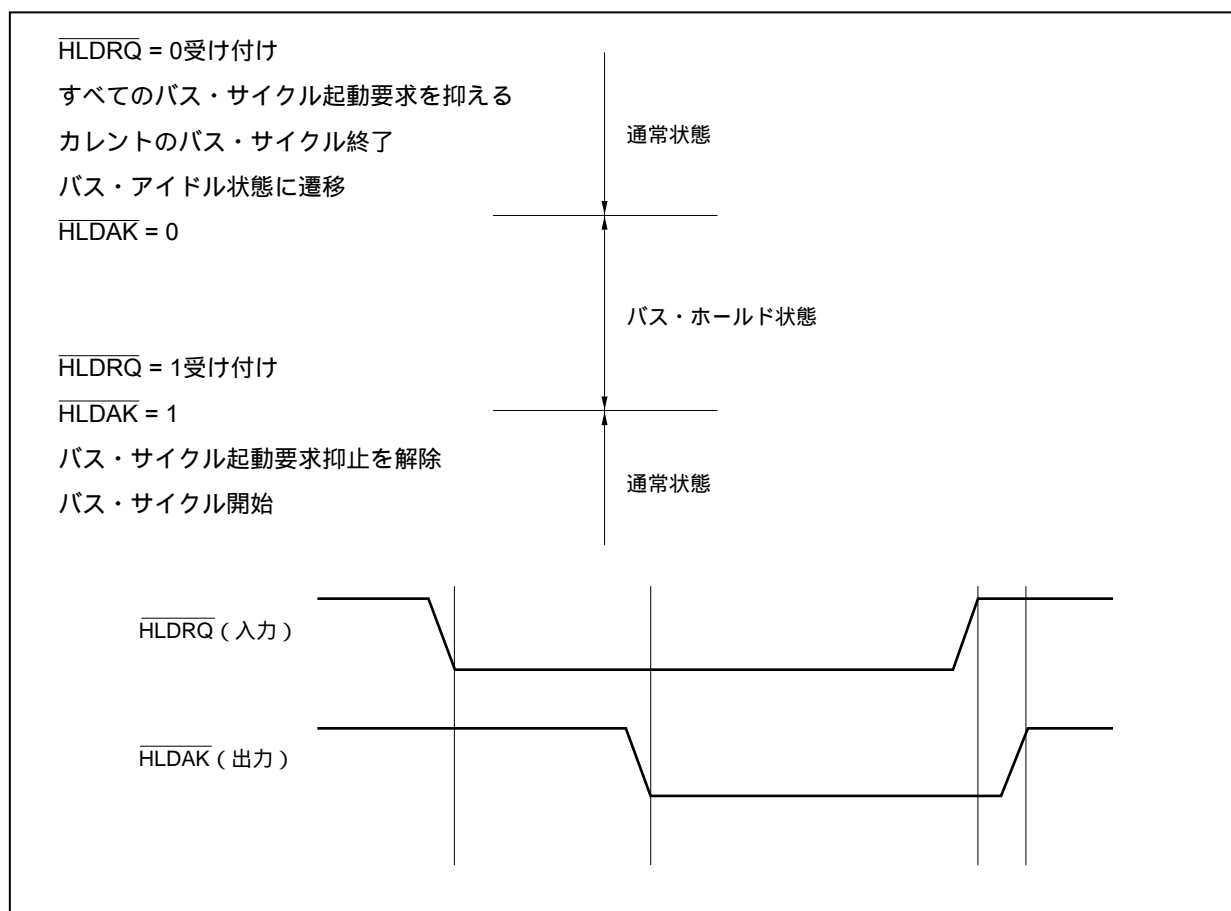
バス・ホールド状態は, $\overline{\text{HLDAK}}$ 端子がアクティブ(ロウ・レベル)になったことにより知ることができます。マルチプロセッサ構成など, バス・マスタが複数存在するようなシステムを構成できます。

なお, バス・サイジングおよびビット操作命令による複数アクセスのサイクル中は, バス・ホールド要求を受け付けません。

状 態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間 2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間 2回目と3回目の間 3回目と4回目の間
		ハーフワード・アクセス	1回目と2回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	-	-	リード・アクセスとライト・アクセスの間

5.7.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。



5.7.3 パワー・セーブ・モード時の動作

STOPモード期間中およびIDLE1, IDLE2モード期間中は、内部システム・クロックが停止するため、 $\overline{\text{HLDARQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDARQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDAR}}$ 端子がアクティブになり、バス・ホールド状態になります。その後、 $\overline{\text{HLDARQ}}$ 端子がインアクティブになると、 $\overline{\text{HLDAR}}$ 端子もインアクティブになり、バス・ホールド状態は解除されます。

5.8 バスの優先順位

外部バス・サイクルには、バス・ホールド、DMA転送、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の5つがあります。

優先順位はバス・ホールドが最も高く、DMA転送、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、バス・サイズの関係で、数回のアクセスで命令を実行するとき、アクセスとアクセスの間には命令フェッチとバス・ホールドは挿入されません。

表5 - 5 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↑ ↓ 低い	バス・ホールド	外部デバイス
	DMA転送	DMAC
	オペランド・データ・アクセス	CPU
	命令フェッチ（分岐）	CPU
	命令フェッチ（連続）	CPU

5.9 バス・タイミング

図5-4 マルチプレクス/セパレート・バス・リード・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

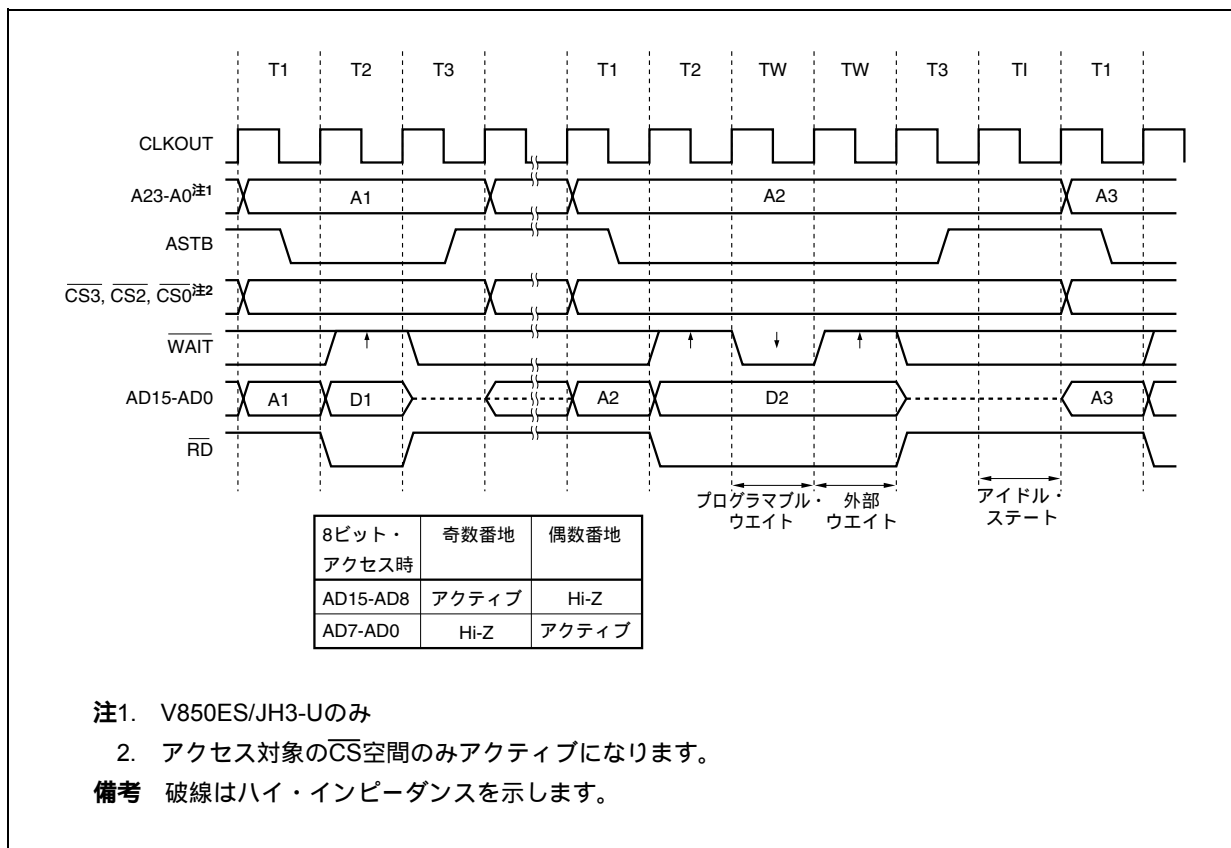


図5-5 マルチプレクス/セパレート・バス・リード・タイミング (バス・サイズ: 8ビット)

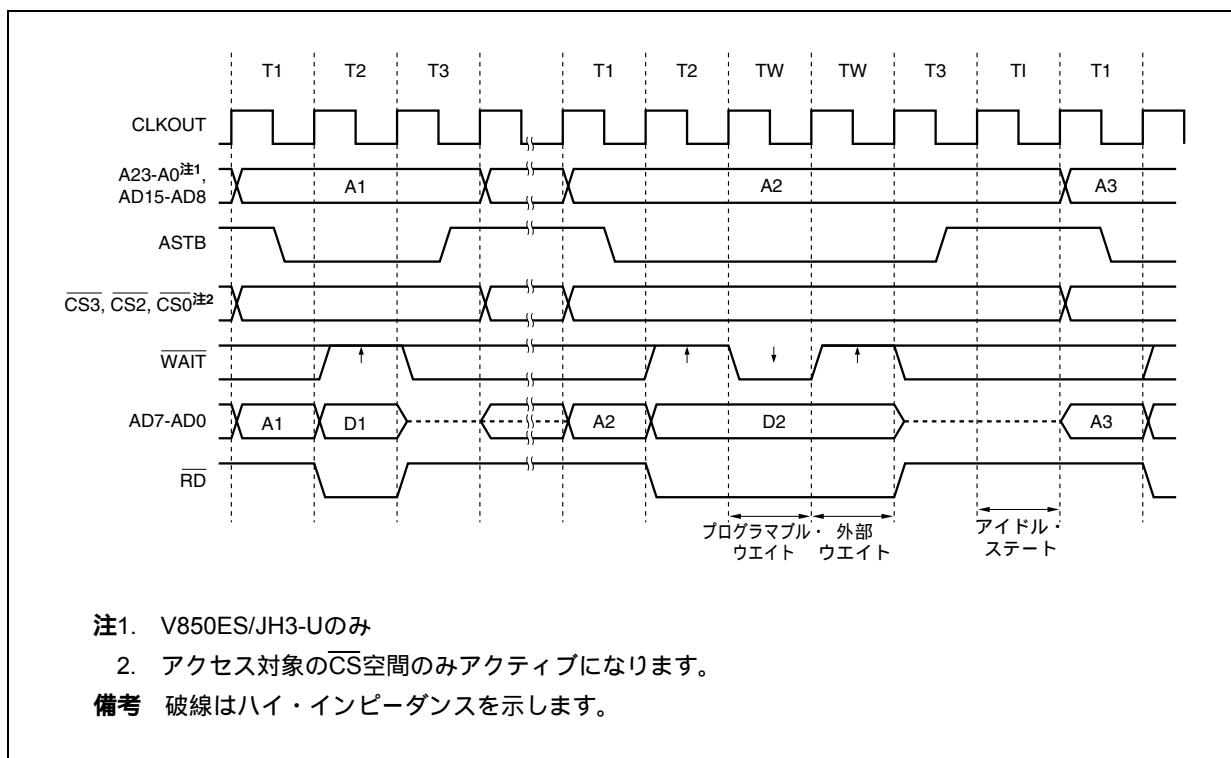


図5-6 マルチプレクス/セパレート・バス・ライト・タイミング
(バス・サイズ: 16ビット, 16ビット・アクセス時)

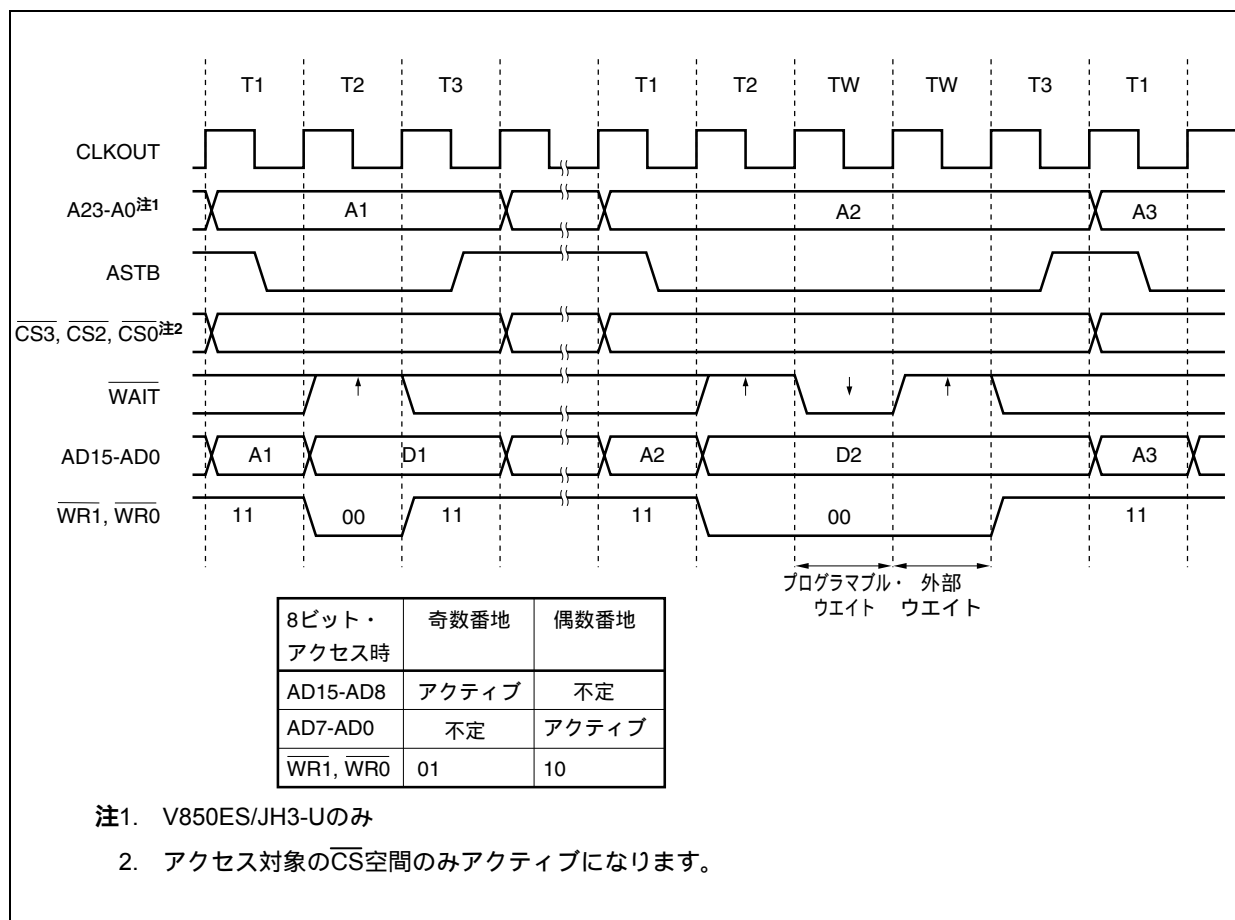


図5-7 マルチプレクス/セパレート・バス・ライト・タイミング(バス・サイズ: 8ビット)

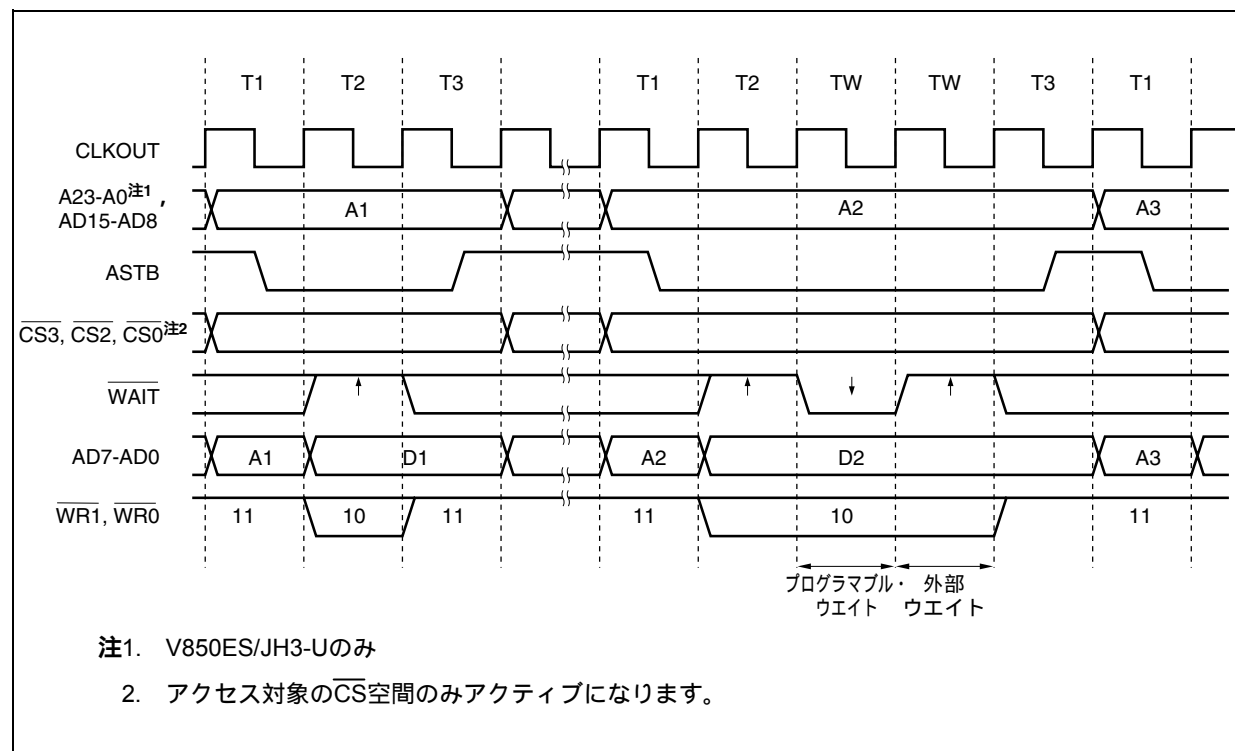
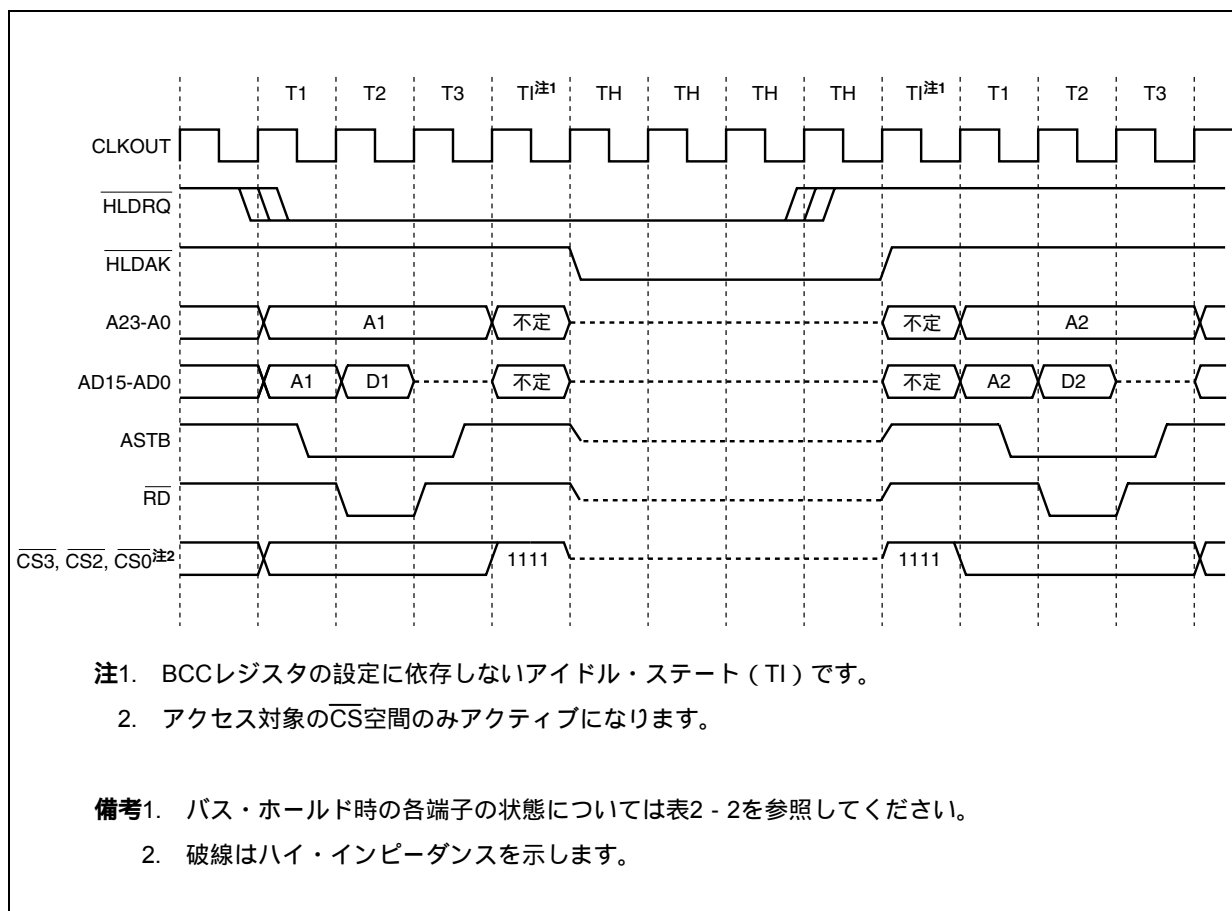


図5-8 マルチプレクス/セパレート・バス・ホールド・タイミング
 (バス・サイズ: 16ビット, 16ビット・アクセス時) (V850ES/JH3-Uのみ)



第6章 クロック発生機能

6.1 概要

クロック発生機能の概要を次に示します。

メイン・クロック発振回路

- ・クロック・スルー・モード時
 $f_x = 3.0 \sim 6.0 \text{ MHz}$ ($f_{xx} = 3.0 \sim 6.0 \text{ MHz}$)
- ・PLLモード時
 $f_x = 3.0 \sim 6.0 \text{ MHz}$ (8通倍 : $f_{xx} = 24 \sim 48 \text{ MHz}$)

サブクロック発振回路

- ・ $f_{XT} = 32.768 \text{ kHz}$
- PLL (Phase Locked Loop) による通倍機能 (8通倍)
- ・クロック・スルー・モード / PLLモード選択可

内蔵発振器

- ・ $f_R = 220 \text{ kHz}$ (TYP.)

内部システム・クロックの生成

- ・7段階 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{XT})

周辺クロックの生成

クロック出力機能

備考 f_x : メイン・クロック発振周波数

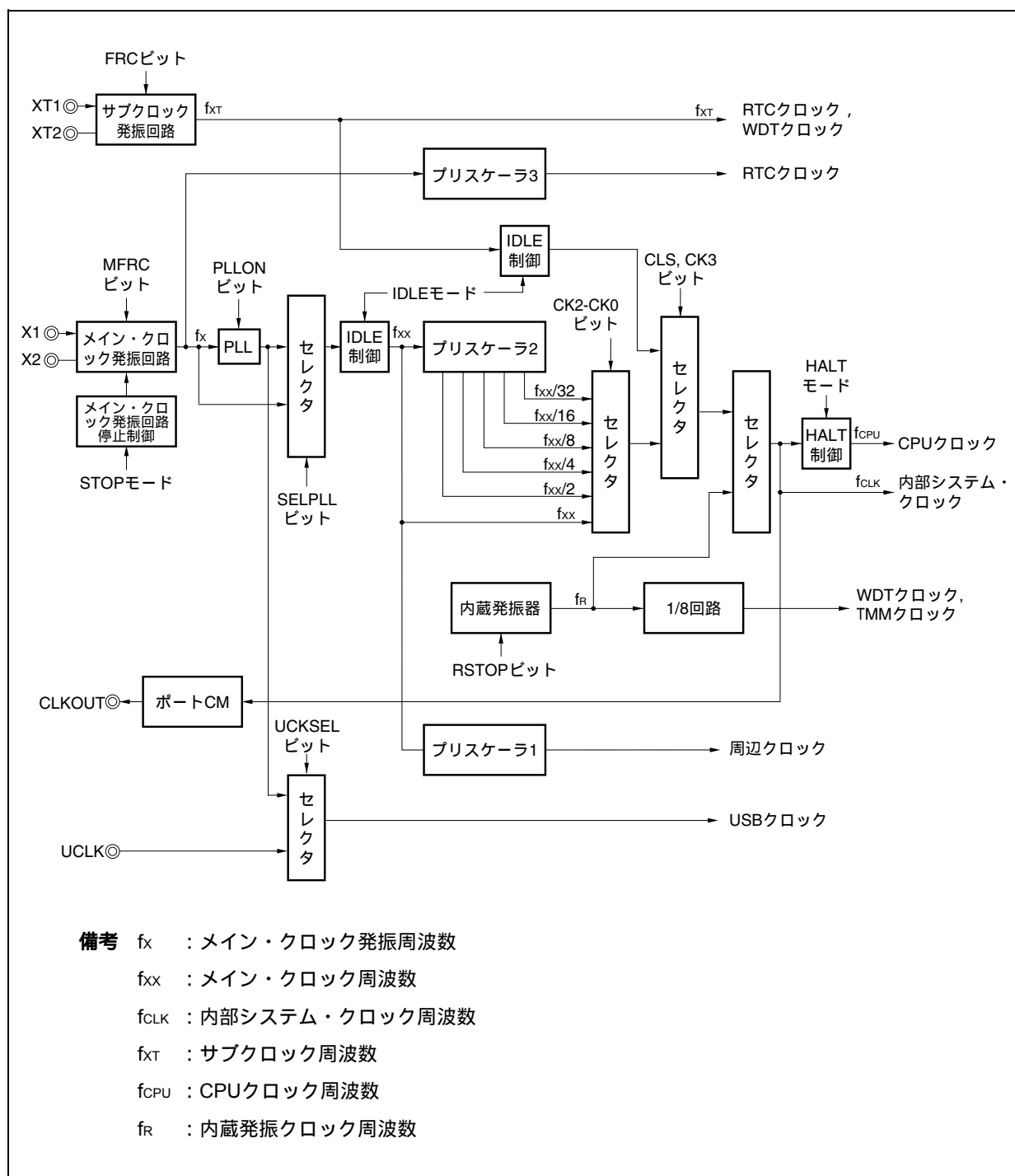
f_{xx} : メイン・クロック周波数

f_{XT} : サブクロック周波数

f_R : 内蔵発振クロック周波数

6.2 構 成

図6 - 1 クロック発生回路



(1) メイン・クロック発振回路

次の周波数 (f_x) を発振します。

・クロック・スルー・モード時

$$f_x = 3.0 \sim 6.0 \text{ MHz}$$

・PLLモード時

$$f_x = 3.0 \sim 6.0 \text{ MHz (8逓倍)}$$

(2) サブクロック発振回路

32.768 kHzの周波数 (f_{XT}) を発振します。

(3) メイン・クロック発振回路停止制御

メイン・クロック発振回路の発振を停止する制御信号を生成します。

STOPモード時,あるいはPCC.MCKビット = 1 (PCC.CLSビット = 1のときだけ有効)のとき,メイン・クロック発振回路の発振を停止します。

(4) 内蔵発振器

220 kHz (TYP.) の周波数 (f_R) を発振します。

(5) プリスケアラ1

内蔵周辺機能に供給するクロック ($f_{xx-fxx}/1024$) を生成します。

クロック供給の対象となるブロックを次に示します。

TAA, TAB, TMM, TMT, CSIF, UARTC, I²C, ADC, DAC, WDT2

(6) プリスケアラ2

メイン・クロック (f_{xx}) を分周する回路です。

CPUクロック (f_{CPU}), 内部システム・クロック (f_{CLK}) を生成するセクタに, プリスケアラ2で生成したクロック ($f_{xx-fxx}/32$) を供給します。

なお, f_{CLK} は, INTC, ROM, RAMブロックに供給するクロックで, CLKOUT端子から出力できます。

(7) プリスケアラ3

メイン・クロック発振回路で生成するクロック (f_x) を所定の周波数 (32.768 kHz) まで分周する回路で, リアルタイム・カウンタ (RTC) ブロックに供給します。

(8) PLL

メイン・クロック発振回路で生成するクロック (f_x) を8逓倍します。

PLLCTL.SELPLLビットにより, f_x をそのまま出力するクロック・スルー・モードと, 逓倍クロックを出力するPLLモードを選択します。

6.3 レジスタ

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより03Hになります。

リセット時：03H R/W アドレス：FFFFF828H

	7	⑥	5	④	③	2	1	0
PCC	FRC	MCK	MFRC	CLS ^注	CK3	CK2	CK1	CK0

FRC	サブクロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

MCK	メイン・クロック発振回路の制御
0	発振許可
1	発振停止
<ul style="list-style-type: none"> ・CPUクロックがメイン・クロックで動作中にMCKビットをセット(1)しても、メイン・クロックの動作は停止しません。CPUクロックをサブクロックに変更したあと、停止します。 ・MCKビットを0から1にセットする前に、メイン・クロックで動作している内蔵周辺機能を停止してください。 ・メイン・クロックを停止させてサブクロックで動作している場合に、再度CPUクロックをメイン・クロックに切り替えるとき、または内蔵周辺機能を動作させたいときは、MCKビットをクリア(0)し、ソフトウェアで発振安定時間を確保したあとにCPUクロックを切り替え、または内蔵周辺機能を動作させてください。 	

MFRC	メイン・クロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

CLS ^注	CPUクロック (f _{cpu}) の状態
0	メイン・クロック動作
1	サブクロック動作

CK3	CK2	CK1	CK0	クロックの選択 (f _{clk} /f _{cpu})
0	0	0	0	f _{xx}
0	0	0	1	f _{xx} /2
0	0	1	0	f _{xx} /4
0	0	1	1	f _{xx} /8
0	1	0	0	f _{xx} /16
0	1	0	1	f _{xx} /32
0	1	1	X	設定禁止
1	X	X	X	f _{xt}

注 CLSビットはリードのみ可能です。

注意1. CLKOUTを出力している間は、CPUクロック (CK3-CK0ビット) を変更しないでください。

2. CK3ビットを操作する際は、ビット操作命令で行ってください。8ビット操作命令で行う場合は、CK2-CK0ビットの設定値を変更しないでください。

備考 X : 任意

(a) メイン・クロック動作 サブクロック動作の設定例

- CK3ビット 1 : ビット操作命令推奨。CK2-CK0ビットは変更しないでください。
- サブクロック動作 : CLSビットをリードしてサブクロック動作に切り替わったかどうかを確認してください。CK3ビットを設定したあと、サブクロック動作に切り替わるまでの時間は次のとおりです。
最大： $1/f_{XT}$ (1/サブクロック周波数)
- MCKビット 1 : メイン・クロックを停止するときだけ、MCKビットを1に設定します。

注意1. メイン・クロックを停止する場合は、PLLを停止してください。また、メイン・クロックで動作している内蔵周辺機能を動作停止にしてください。

2. 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

$$\text{内部システム・クロック (f}_{CLK}\text{)} > \text{サブクロック (f}_{XT}\text{: 32.768 kHz)} \times 4$$

備考 内部システム・クロック (f_{CLK}) : CK2-CK0ビットの設定によってメイン・クロック (f_{XX}) から生成するクロック

[記述例]

```

_DMA_DISABLE :
clr1      0, DCHCn[r0]      -- DMA動作禁止 n = 0-3
_SET_SUB_RUN :
st.b      r0, PRCMD[r0]
set1      3, PCC[r0]        -- CK3ビット 1
_CHECK_CLS :
tst1      4, PCC[r0]        -- サブクロック動作に切り替わるまでウエイト
bz        _CHECK_CLS
_STOP_MAIN_CLOCK :
st.b      r0, PRCMD[r0]
set1      6, PCC[r0]        -- MCKビット 1, メイン・クロック停止
_DMA_ENABLE :
set1      0, DCHCn[r0]      -- DMA動作許可 n=0-3

```

備考 この記述例はあくまでも一例です。特に、において閉ループでCLSビットをリードしていますので、注意してください。

(b) サブクロック動作 メイン・クロック動作の設定例

MCKビット 0 : メイン・クロック発振開始
プログラムによりウェイトを挿入して、メイン・クロックの発振安定時間が経過するまで待ちます。

CK3ビット 0 : ビット操作命令を推奨します。CK2-CK0ビットは変更しないでください。

メイン・クロック動作 : CK3ビットを設定したあと、メイン・クロック動作に切り替わるまでの時間は次のとおりです。

最大: $1/f_{XT}$ (1/サブクロック周波数)

したがって、CK3ビットを0とした直後にNOP命令を1つ挿入するか、またはCLSビットをリードしてメイン・クロック動作に切り替わったかどうかを確認してください。

注意 メイン・クロックで動作する内蔵周辺機能は、メイン・クロックの発振が安定してから動作を許可してください。発振安定時間が経過する前に動作許可すると、誤動作する可能性があります。

[記述例]

```

_DMA_DISABLE :
clr1      0, DCHCn[r0]          -- DMA動作禁止 n = 0-3

_START_MAIN_OSC :
st.b      r0, PRCMD[r0]        -- 特定レジスタ, プロテクション解除
clr1      6, PCC[r0]           -- メイン・クロック発振開始
movea     0x55, r0, r11        -- 発振安定時間待ち

_WAIT_OST :
nop
nop
nop
addi      -1, r11, r11
cmp       r0, r11
bne              _WAIT_OST
st.b      r0, PRCMD[r0]
clr1      3, PCC[r0]           -- CK3      0

_CHECK_CLS :
tst1     4, PCC[r0]           -- メイン・クロック動作に切り替わるまでウェイト
bnz              _CHECK_CLS

_DMA_ENABLE :
set1     0, DCHCn[r0]          -- DMA動作許可 n = 0-3

```

備考 この記述例はあくまでも一例です。特に、において閉ループでCLSビットをリードしていますので、注意してください。

(2) 内蔵発振モード・レジスタ (RCM)

RCMレジスタは内蔵発振器の動作モードの設定を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF80CH

	7	6	5	4	3	2	1	①
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	内蔵発振器の発振 / 停止
0	内蔵発振器発振
1	内蔵発振器停止

- 注意1.** CPUが内蔵発振クロックで動作している間(CCLS.CCLSFBビット = 1)は内蔵発振器を停止できません。RSTOPビットをセット(1)しないでください。
- 2.** RSTOPビットがセット(1)されている場合でも,CCLS.CCLSFBビットがセット(1)されると(発振安定時間中にWDTオーバフローが発生),内蔵発振器は発振しません。このときRSTOPビットはセット(1)されたままです。

(3) CPU動作クロック・ステータス・レジスタ (CCLS)

CCLSレジスタは,CPU動作クロックの状態を示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H^注 R アドレス：FFFFFF82EH

	7	6	5	4	3	2	1	0
CCLS	0	0	0	0	0	0	0	CCLSFB

CCLSFB	CPU動作クロックの状態
0	メイン・クロック (f _x) またはサブクロック (f _{XT}) で動作
1	内蔵発振クロック (f _R) で動作

注 リセット解除後の発振安定時間中にWDTオーバフローが発生した場合,CCLSFBビットがセット(1)され,リセット値は01Hになります。

6.4 動作

6.4.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表6-1 各クロックの動作状態

レジスタ設定および動作状態 対象クロック	PCCレジスタ								
	CLSビット = 0, MCKビット = 0					CLSビット = 1, MCKビット = 0		CLSビット = 1, MCKビット = 1	
	リセット中	発振安定 時間カウ ント中	HALT モード	IDLE1, IDLE2 モード	STOP モード	サブ クロック・ モード	サブIDLE モード	サブ クロック・ モード	サブ IDLE モード
メイン・クロック発振回路 (fx)	×				×			×	×
サブクロック発振回路 (fxt)									
CPUクロック (fcPU)	×	×	×	×	×		×		×
内部システム・クロック (fCLK)	×	×		×	×		×		×
メイン・クロック (PLLモード時, fxx)	×	注		×	×			×	×
周辺クロック (fxx-fxx/1024)	×	×		×	×		×	×	×
WTクロック (メイン)	×				×			×	×
WTクロック (サブ)									
WDT2クロック (内蔵発振)	×								
WDT2クロック (メイン)	×	×		×	×		×	×	×
WDT2クロック (サブ)									

注 ロックアップ時間

備考 : 動作可能

× : 停止

6.4.2 クロック出力機能

クロック出力機能は、内部システム・クロック (fCLK) をCLKOUT端子から出力します。

内部システム・クロック (fCLK) は、PCC.CK3-CK0ビットで選択します。

CLKOUT端子はPCM1端子と兼用しており、ポートCMの制御レジスタを操作することにより、クロック出力端子として機能します。

CLKOUT端子の状態は表6-1の内部システム・クロックと同じ状態になり、(動作可能)のときにクロックを出力できます。また、×(停止)のときにはロウ・レベルを出力します。ただし、リセット後、CLKOUT端子の出力設定をするまでは、ポート・モード (PCM1端子: 入力モード) となるので、端子の状態はHi-Zになります。

6.5 PLL機能

6.5.1 概要

V850ES/JG3-U, V850ES/JH3-Uでは、CPUおよび内蔵周辺機能の動作クロックとしてPLL機能による発振周波数の8逓倍出力とクロック・スルー・モードを選択できます。

PLL機能使用時（8逓倍）：入力クロック = 3.0～6.0 MHz（出力24～48 MHz）

クロック・スルー・モード：入力クロック = 3.0～6.0 MHz（出力3.0～6.0 MHz）

6.5.2 レジスタ

(1) PLLコントロール・レジスタ (PLLCTL)

PLLを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

リセット時：01H R/W アドレス：FFFFFF82CH

	7	6	5	4	3	2	①	②
PLLCTL	0	0	0	0	0	0	SELPLL	PLLON

PLLON	PLL動作停止レジスタ
0	PLL停止
1	PLL動作（PLLを動作開始後、周波数が安定するまで所定のロックアップ時間が必要）

SELPLL	CPU動作クロック選択レジスタ
0	クロック・スルー・モード
1	PLLモード

- 注意1.** PLLONビット = 0に設定すると、自動的にSELPLLビット = 0（クロック・スルー・モード）になります。
- 2.** SELPLLビット = 1の設定は、PLLクロック周波数が安定した状態のときのみ可能です。安定していないとき（アンロック中）にSELPLLビットをライトすると“0”がライトされます。

(2) クロック・コントロール・レジスタ (CKC)

CKCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.7 特定レジスタ参照)

CKCレジスタは、PLLモード時の内部システム・クロックを制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより0AHになります。

リセット時：0AH R/W アドレス：FFFFFF822H

	7	6	5	4	3	2	1	0
CKC	0	0	0	0	1	0	1	CKDIV0

CKDIV0	PLLモード時の内部システム・クロック (f _{xx})
0	設定禁止
1	f _{xx} = 8 × f _x (f _x = 3.0 ~ 6.0 MHz)

注意1. CKCレジスタには、必ず0BHを設定してください。0BH以外の値を設定した場合、または0BHを設定せず初期値(0AH)のままPLLを動作(PLLCTL.SELPLL = 1)に設定することは禁止です。

2. ビット3, 1には必ず“1”を設定し、ビット7-4, 2には必ず“0”を設定してください。

備考 CKCレジスタでの分周は、CPUクロックと周辺クロックの両方が対象となりますが、PCCレジスタでの分周は、CPUクロックのみ対象になります。

(3) ロック・レジスタ (LOCKR)

電源投入後,またはSTOPモード解除直後から所定の周波数でフェーズ・ロックし,安定するまでの時間がロックアップ時間(周波数安定時間)です。この安定するまでの状態をロックアップ状態と呼び,安定した状態をロック状態と呼びます。

LOCKRレジスタには,PLL周波数の安定状態を反映するLOCKビットがあります。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時: 00H R アドレス: FFFFF824H

	7	6	5	4	3	2	1	①
LOCKR	0	0	0	0	0	0	0	LOCK

LOCK	PLLのロック状態の確認
0	ロック状態
1	アンロック(ロックしていない)状態

注意 LOCKビットはPLLのロック状態をリアルタイムに反映するものではありません。セット/クリア条件は次のとおりです。

【セット条件】

- ・システム・リセット時[※]
- ・IDLE2, STOPモード時
- ・PLL停止を設定した時(PLLCTL.PLLONビットに“0”を設定)
- ・CPUをサブクロック動作としメイン・クロックを停止したとき(PCC.CK3ビットに“1”を設定し,PCC.MCKビットに“1”を設定)

注 リセットで01Hになり,リセット解除後の発振安定時間経過後に00Hになります。

【クリア条件】

- ・リセット解除後の発振安定用タイマのオーバーフロー(OSTSレジスタの初期値の時間(25.2(3)発振安定時間選択レジスタ(OSTS)参照))
- ・PLL動作状態でSTOPモードを設定した場合の,STOPモード解除後の発振安定用タイマのオーバーフロー(OSTSレジスタで時間設定)
- ・PLLCTL.PLLONビットを0 1に設定した時の,PLLロックアップ時間タイマのオーバーフロー(PLLSレジスタで時間設定)
- ・PLL動作状態でIDLE2モードを設定した場合の,IDLE2モード解除時に挿入されるセットアップ時間解除後(OSTSレジスタで時間設定)

(4) PLLロックアップ時間指定レジスタ (PLLS)

PLLSレジスタは、PLLCTL.PLLONビットを0 1に設定したときの、PLLロックアップ時間を選択する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより03Hになります。

リセット時 : 03H R/W アドレス : FFFFFFF6C1H								
	7	6	5	4	3	2	1	0
PLLS	0	0	0	0	0	0	PLLS1	PLLS0
	PLLS1	PLLS0	PLLロックアップ時間の選択					
	0	0	$2^{10}/f_x$					
	0	1	$2^{11}/f_x$					
	1	0	$2^{12}/f_x$					
	1	1	$2^{13}/f_x$ (初期値)					

注意1. ロックアップ時間は、800 μ s以上になるように設定してください。

2. ロックアップ期間中は、PLLSレジスタの設定を変更しないでください。

6.5.3 使用方法

(1) PLLを使用する場合

- ・リセット解除後は、PLLは動作 (PLLCTL.PLLONビット = 1) していますが、初期設定はクロック・スルー・モード (PLLCTL.SELPLLビット = 0) のため、PLLモード (SELPLLビット = 1) に変更してください。
- ・PLLを動作させる場合はPLLONビット = 1として、LOCKR.LOCKビット = 0となってからSELPLLビット = 1としてください。PLLを停止させる場合は、最初にクロック・スルー・モード (SELPLLビット = 0) として、8クロック以上後に、PLL停止 (PLLONビット = 0) としてください。
- ・IDLE2/STOPモードへ遷移時は、設定にかかわらずPLLは停止しますが、IDLE2/STOPモードからは遷移前の状態で復帰します。復帰にかかる時間は次のとおりです。

(a) クロック・スルー・モード時にIDLE2/STOPモードへ遷移する場合

- ・STOPモード：発振安定時間が1 ms (MIN.) 以上となるようにOSTSレジスタを設定してください。
- ・IDLE2モード：セットアップ時間が350 μ s (MIN.) 以上となるようにOSTSレジスタを設定してください。

(b) PLL動作モードのままIDLE2/STOPモードへ遷移する場合

- ・STOPモード：発振安定時間が1 ms (MIN.) 以上となるようにOSTSレジスタを設定してください。
- ・IDLE2モード：セットアップ時間が800 μ s (MIN.) 以上となるようにOSTSレジスタを設定してください。

IDLE1モードへ遷移時は、PLLは停止しません。必要に応じて停止してください。

(2) PLLを使用しない場合

- ・リセット解除後は、クロック・スルー・モード (SELPLLビット = 0) ですが、PLLは動作 (PLLONビット = 1) しているので、PLLを停止 (PLLONビット = 0) してください。

第7章 16ビット・タイマ/イベント・カウンタAA (TAA)

タイマAA (TAA) は、16ビットのタイマ/イベント・カウンタです。

V850ES/JG3-U, V850ES/JH3-Uは、TAA0-TAA5を内蔵しています。

7.1 概要

TAAの概要を次に示します。

- ・クロック選択 : 8通り
- ・キャプチャ・トリガ入力端子 : 2本
- ・外部イベント・カウント入力端子^注 : 1本
- ・外部トリガ入力端子^注 : 1本
- ・タイマ・カウンタ : 1本
- ・キャプチャ/コンペア・レジスタ : 2本
(TAA0とTAA1, TAA2とTAA3によるカスケード接続にて32ビット・キャプチャ・タイマ機能可能)
- ・キャプチャ/コンペア一致割り込み要求信号 : 2本
- ・タイマ出力端子 : 2本

注 外部イベント・カウント入力端子と外部トリガ入力端子はキャプチャ・トリガ入力端子 (TIAAm0) と兼用しています。

備考 n = 0-5, m = 0-3, 5

7.2 機能

TAAの機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定
- ・タイマ同調機能
- ・同時スタート機能

7.3 構成

TAAは、次のハードウェアで構成されています。

表7-1 TAAの構成

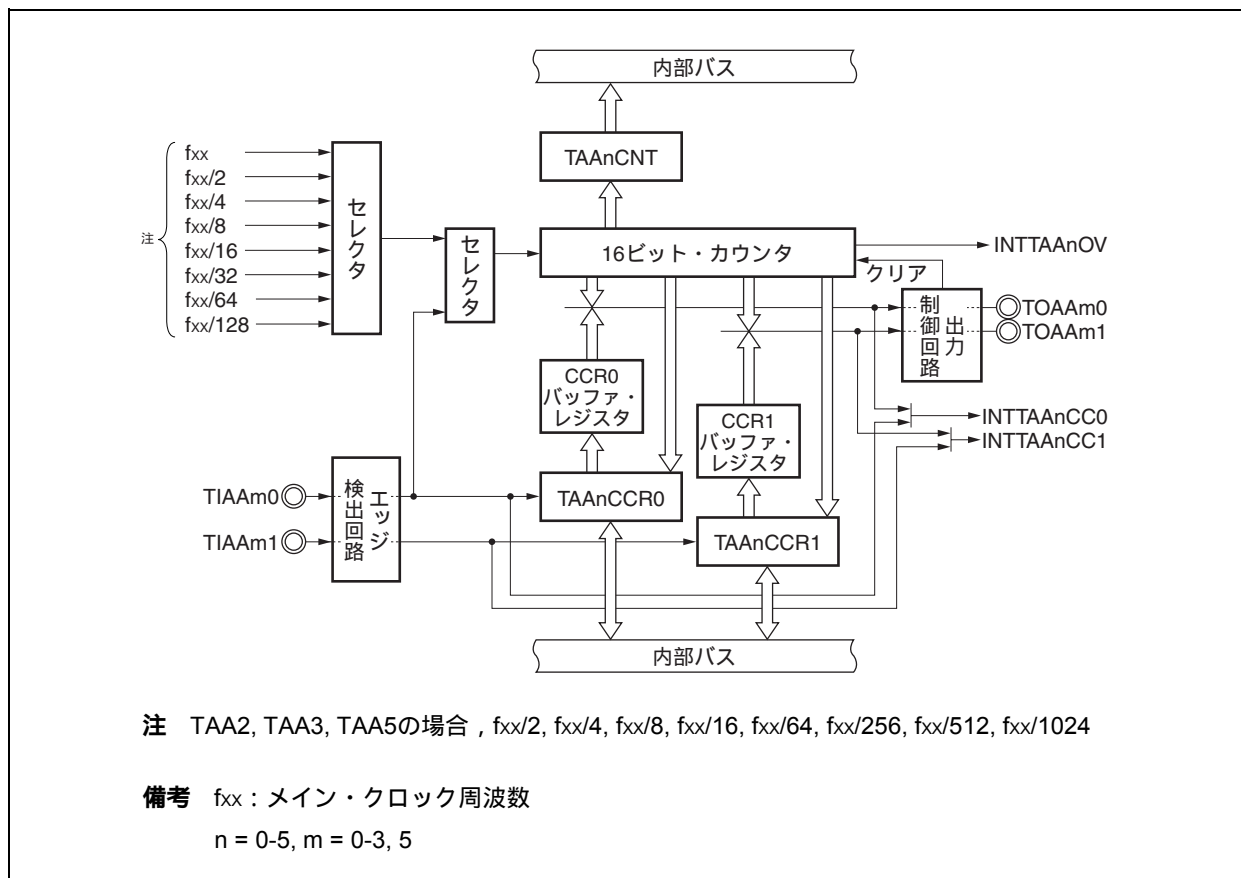
項目	構成
レジスタ	16ビット・カウンタ TAAキャプチャ/コンペア・レジスタ0, 1 (TAAAnCCR0, TAAAnCCR1) TAAAnカウンタ・リード・バッファ・レジスタ (TAAAnCNT) CCR0, CCR1バッファ・レジスタ TAAAn制御レジスタ0, 1 (TAAAnCTL0, TAAAnCTL1) TAAAmI/O制御レジスタ0-2, 4 (TAAAmIOC0-TAAAmIOC2, TAAAmIOC4) TAAAmオプション・レジスタ0, 1 (TAAAmOPT0, TAAAmOPT1) TAAノイズ除去制御レジスタ (TAAAnFC)
タイマ入力 ^{注1}	2本 (TIAAm0 ^{注2} , TIAAm1端子)
タイマ出力 ^{注1}	2本 (TOAAm0, TOAAm1端子)

注1. TIAAm0, TIAAm1, TOAAm0, TOAAm1端子の機能を使用する場合は、表4-20 ポート端子を兼用端子として使用する場合のレジスタ設定を参照してください。

- TIAAm0端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

備考 n = 0-5, m = 0-3, 5

図7-1 TAAのブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TAAAnCNTレジスタでリードできます。

TAAAnCTL0.TAAAnCEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTAAAnCNTレジスタをリードすると、0000Hがリードされます。

リセットによりTAAAnCEビット = 0になるため、16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TAAAnCCR0レジスタをコンペア・レジスタとして使用するとき、TAAAnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTAAAnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTAAAnCCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TAAAnCCR1レジスタをコンペア・レジスタとして使用するとき、TAAAnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTAAAnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTAAAnCCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

TIAAm0, TIAAm1端子に入力される有効エッジを検出します。有効エッジは、TAAmIOC1, TAAmIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOAAm0, TOAAm1端子の出力を制御します。TOAAm0, TOAAm1端子の出力は、TAAmIOC0レジスタで制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

7.3.1 端子の構成

TAA_nを構成する, タイマ入力およびタイマ出力は次のポートに兼用されています。各端子を使用する場合は, ポート機能の設定をする必要があります(表4-20 ポート端子を兼用端子として使用する場合参照)

表7-2 端子構成

チャネル	ポート	タイマAA入力	タイマAA出力	その他の兼用機能
TAA0	P32	TIAA00 ^{注1}	TOAA00	ASCK0/SCKF4
	P33	TIAA01	TOAA01	RTCDIV/RTCCL
TAA1	P34	TIAA10 ^{注1}	TOAA10	TOAA1OFF/INTP09/PPON
	P35	TIAA11	TOAA11	RTC1HZ/OCI
TAA2	P97	TIAA20 ^{注1}	TOAA20	SIF1/A7 ^{注2}
	P96	TIAA21	TOAA21	INTP11/A6 ^{注2}
TAA3	P95	TIAA30 ^{注1}	TOAA30	A5 ^{注2}
	P94	TIAA31	TOAA31	TENC00/EVTT0/A4 ^{注2}
TAA4	-	-	-	-
	-	-	-	-
TAA5	P915	TIAA50 ^{注1}	TOAA50	INTP18/A15 ^{注2}
	P914	TIAA51	TOAA51	INTP17/A14 ^{注2}

注1. TAA_m0端子にはキャプチャ・トリガ入力機能と外部イベント入力機能と外部トリガ入力機能が兼用されています。

2. V850ES/JH3-Uのみ

備考 TAA4にはタイマ入力およびタイマ出力がありません。したがってTAA4を単体で使用可能な機能はインターバル・タイマ機能のみです。ただし, TAB1と組み合わせて使用することにより6相PWM出力機能が実現できます。

7.4 レジスタ

TAA_nを制御するレジスタを次に示します。

- ・ TAA_n制御レジスタ0 (TAA_nCTL0)
- ・ TAA_n制御レジスタ1 (TAA_nCTL1)
- ・ TAA_nI/O制御レジスタ0 (TAA_nIOC0)
- ・ TAA_nI/O制御レジスタ1 (TAA_nIOC1)
- ・ TAA_nI/O制御レジスタ2 (TAA_nIOC2)
- ・ TAA_nI/O制御レジスタ4 (TAA_nIOC4)
- ・ TAA_nオプション・レジスタ0 (TAA_nOPT0)
- ・ TAA_nオプション・レジスタ1 (TAA_nOPT1)
- ・ TAA_nキャプチャ/コンペア・レジスタ0 (TAA_nCCR0)
- ・ TAA_nキャプチャ/コンペア・レジスタ1 (TAA_nCCR1)
- ・ TAA_nカウンタ・リード・バッファ・レジスタ (TAA_nCNT)
- ・ TAAノイズ除去制御レジスタ (TANFC)

備考1. TIAA_m0, TIAA_m1, TOAA_m0, TOAA_m1端子の機能を使用する場合は、表4 - 20 **ポート端子を兼用端子として使用する場合のレジスタ設定**を参照してください。

2. $n = 0-5$, $m = 0-3, 5$

(1) TAA制御レジスタ0 (TAACTL0)

TAACTL0レジスタは、TAAの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TAACTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TAA0CTL0 FFFFF630H, TAA1CTL0 FFFFF640H,
TAA2CTL0 FFFFF650H, TAA3CTL0 FFFFF660H,
TAA4CTL0 FFFFF670H, TAA5CTL0 FFFFF680H

	7	6	5	4	3	2	1	0
TAACTL0	TAAACE	0	0	0	0	TAAACKS2	TAAACKS1	TAAACKS0
(n = 0-5)								

TAAACE	TAAの動作の制御
0	TAA動作禁止 (TAAを非同期にリセット ^注)
1	TAA動作許可。TAA動作開始

TAAACKS2	TAAACKS1	TAAACKS0	内部カウント・クロックの選択	
			n = 0, 1, 4	n = 2, 3, 5
0	0	0	f _{xx} (20.8 ns)	f _{xx} /2 (41.7 ns)
0	0	1	f _{xx} /2 (41.7 ns)	f _{xx} /4 (83.3 ns)
0	1	0	f _{xx} /4 (83.3 ns)	f _{xx} /8 (166.7 ns)
0	1	1	f _{xx} /8 (166.7 ns)	f _{xx} /16 (333.3 ns)
1	0	0	f _{xx} /16 (333.3 ns)	f _{xx} /64 (1.3333 μs)
1	0	1	f _{xx} /32 (666.7 ns)	f _{xx} /256 (5.3333 μs)
1	1	0	f _{xx} /64 (1.3333 μs)	f _{xx} /512 (10.6667 μs)
1	1	1	f _{xx} /128 (2.6667 μs)	f _{xx} /1024 (21.3333 μs)

注 TAAOPT0.TAAOVFビット, 16ビット・カウンタ, タイマ出力 (TOAA_n, TOAA_n1端子)。

注意1. TAAACKS2-TAAACKS0ビットは、TAAACEビット = 0のときに設定してください。TAAACEビットを“0”から“1”に設定するときに、同時にTAAACKS2-TAAACKS0ビットを設定できます。

2. ビット3-6には必ず“0”を設定してください。

備考 f_{xx} : メイン・クロック周波数

()内の数値はf_{xx} = 48 MHz時の周期です。

(2) TAA制御レジスタ1 (TAACTL1)

TAACTL1レジスタは、TAAの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TAA0CTL1 FFFFF631H, TAA1CTL1 FFFFF641H,
TAA2CTL1 FFFFF651H, TAA3CTL1 FFFFF661H,
TAA4CTL1 FFFFF671H, TAA5CTL1 FFFFF681H

	7	6	5	4	3	2	1	0
TAA0CTL1	TAA0SYE	TAA0EST	TAA0EEE	TAA0SYM	0	TAA0MD2	TAA0MD1	TAA0MD0
TAA1CTL1	0	TAA1EST	TAA1EEE	0	0	TAA1MD2	TAA1MD1	TAA1MD0
TAA2CTL1	TAA2SYE	TAA2EST	TAA2EEE	TAA2SYM	0	TAA2MD2	TAA2MD1	TAA2MD0
TAA3CTL1	0	TAA3EST	TAA3EEE	0	0	TAA3MD2	TAA3MD1	TAA3MD0
TAA4CTL1	TAA4SYE	0	0	TAA4SYM	0	TAA4MD2	TAA4MD1	TAA4MD0
TAA5CTL1	TAA5SYE	TAA5EST	TAA5EEE	TAA5SYM	0	TAA5MD2	TAA5MD1	TAA5MD0

TAAmSYE	TAAmSYM	同調動作モード許可制御 (m = 0, 2, 4, 5)
0	0	独立動作モード (アシンクロナス動作モード)
0	1	設定禁止
1	0	同調動作機能 (スレーブ・タイマの指定)
1	1	同時スタート機能 (スレーブ・タイマの指定)

スレーブ・タイマのみ設定可能です (マスタ・タイマ側の設定は禁止です)。

マスタ・タイマとスレーブ・タイマの関係は次のとおりです。

マスタ・タイマ	スレーブ・タイマ
TAA1	TAA0
TAA3	TAA2
TAB0	TAA5
TAB1	TAA4

同調動作機能については、7.6 タイマ同調動作機能を参照してください。

同時スタート機能については、7.7 同時スタート機能を参照してください。

TAAmEST	ソフトウェア・トリガ制御 (n = 0-3, 5)
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時： TAAmESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時： TAAmESTビットへの“1”ライトをトリガとして、PWM波形を出力

- 注意1. TAAmESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
2. 各チャンネルのTAACTL1レジスタの「0」と記載されている箇所は必ず0を設定してください

TAAmEEE	カウント・クロックの選択 (m = 0-3, 5)
0	外部イベント・カウント入力での動作禁止 (TAAmCTL0.TAAmCK0-TAAmCK2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)

TAAmEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。

TAAmMD2	TAAmMD1	TAAmMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1.** 外部イベント・カウント・モードのときは、TAAmEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
2. TAAmEEE, TAAmMD2-TAAmMD0ビットは、TAAmCTL0.TAAmCEビット = 0のときに設定してください (TAAmCEビット = 1のときの同値書き込みは可能)。TAAmCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TAAmCEビットをクリア (0) してから再設定してください (m = 0-3, 5)。

(3) TAA_nI/O制御レジスタ0 (TAA_nIOC0)

TAA_nIOC0レジスタは、タイマ出力 (TOAAn0, TOAAn1端子) を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAA0IOC0 FFFFF632H, TAA1IOC0 FFFFF642H,
TAA2IOC0 FFFFF652H, TAA3IOC0 FFFFF662H
TAA5IOC0 FFFFF682H

TAA _n IOC0 (n = 0-3, 5)	7	6	5	4	3	2	1	0
	0	0	0	0	TAA _n OL1	TAA _n OE1	TAA _n OL0	TAA _n OE0

TAA _n OL1	TOAAn1端子出力レベルの設定 [※]
0	TOAAn1端子ハイ・レベル・スタート
1	TOAAn1端子ロウ・レベル・スタート

TAA _n OE1	TOAAn1端子出力の設定
0	タイマ出力禁止 ・ TAA _n OL1ビット = 0のときTOAAn1端子からロウ・レベルを出力 ・ TAA _n OL1ビット = 1のときTOAAn1端子からハイ・レベルを出力
1	タイマ出力許可 (TOAAn1端子から方形波を出力)

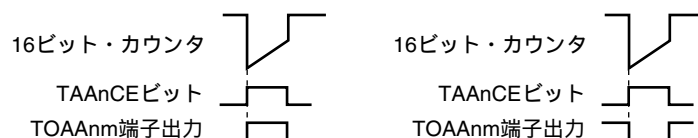
TAA _n OL0	TOAAn0端子出力レベルの設定 [※]
0	TOAAn0端子ハイ・レベル・スタート
1	TOAAn0端子ロウ・レベル・スタート

TAA _n OE0	TOAAn0端子出力の設定
0	タイマ出力禁止 ・ TAA _n OL0ビット = 0のときTOAAn0端子からロウ・レベルを出力 ・ TAA _n OL0ビット = 1のときTOAAn0端子からハイ・レベルを出力
1	タイマ出力許可 (TOAAn0端子から方形波を出力)

注 TAA_nOL_mビットの指定によるタイマ出力端子 (TOAAn_m) の出力レベルを次に示します。

・ TAA_nOL_mビット = 0の場合

・ TAA_nOL_mビット = 1の場合



注意1. TAA_nOL1, TAA_nOE1, TAA_nOL0, TAA_nOE0ビットは、TAA_nCTL0.TAA_nCEビット = 0のときに書き換えてください (TAA_nCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TAA_nCEビットをクリア (0) してから再設定してください。

2. TAA_nCEビット = 0, TAA_nOEmビット = 0の状態において、TAA_nOL_mビットを操作した場合でも、TOAAn_m端子の出力レベルは変化します。

備考 m = 0,1

(4) TAA_nI/O制御レジスタ1 (TAA_nIOC1)

TAA_nIOC1レジスタは、キャプチャ・トリガ入力信号 (TIAAn0, TIAAn1端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TAA0IOC1 FFFFF633H, TAA1IOC1 FFFFF643H,
TAA2IOC1 FFFFF653H, TAA3IOC1 FFFFF663H,
TAA5IOC1 FFFFF683H

TAA _n IOC1 (n = 0-3, 5)	7	6	5	4	3	2	1	0
	0	0	0	0	TAA _n IS3	TAA _n IS2	TAA _n IS1	TAA _n IS0

TAA _n IS3	TAA _n IS2	キャプチャ・トリガ入力信号 (TIAAn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TAA _n IS1	TAA _n IS0	キャプチャ・トリガ入力信号 (TIAAn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TAA_nIS3-TAA_nIS0ビットは、TAA_nCTL0.TAA_nCEビット = 0のときに書き換えてください (TAA_nCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TAA_nCEビットをクリア (0) してから再設定してください。
- 2.** TAA_nIS3-TAA_nIS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TAA_nI/O制御レジスタ2 (TAA_nIOC2)

TAA_nIOC2レジスタは、外部イベント・カウント入力信号 (TIAAn0端子)、外部トリガ入力信号 (TIAAn0端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TAA0IOC2 FFFFF634H, TAA1IOC2 FFFFF644H,
TAA2IOC2 FFFFF654H, TAA3IOC2 FFFFF664H,
TAA5IOC2 FFFFF684H

	7	6	5	4	3	2	1	0
TAA _n IOC2 (n = 0-3, 5)	0	0	0	0	TAA _n EES1	TAA _n EES0	TAA _n ETS1	TAA _n ETS0

TAA _n EES1	TAA _n EES0	外部イベント・カウント入力信号 (TIAAn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TAA _n ETS1	TAA _n ETS0	外部トリガ入力信号 (TIAAn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TAA_nEES1, TAA_nEES0, TAA_nETS1, TAA_nETS0ビットは、TAA_nCTL0.TAA_nCEビット = 0のときに書き換えてください (TAA_nCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TAA_nCEビットをクリア (0) してから再設定してください。
2. TAA_nEES1, TAA_nEES0ビットは、TAA_nCTL1.TAA_nEEEビット = 1、または外部イベント・カウント・モード (TAA_nCTL1.TAA_nMD2-TAA_nMD0ビット = 001) に設定したときのみ有効です。
3. TAA_nETS1, TAA_nETS0ビットは、外部トリガ・パルス出力モード (TAA_nCTL1.TAA_nMD2-TAA_nMD0ビット = 010)、ワンショット・パルス出力モード (TAA_nCTL1.TAA_nMD2-TAA_nMD0 = 011) に設定したときのみ有効です。

(6) TAA_nI/O制御レジスタ4 (TAA_nIOC4)

TAA_nIOC4レジスタは、タイマ出力を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。タイマ動作停止 (TAA_nCTL0.TAA_nCE = 0) ではありません。

注意1. 次に示す状態において、TAA_nIOC4レジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

2. TAA_nIOC4レジスタはインターバル・タイマ・モード、フリー・ランニング・タイマ・モード時のみ設定できます。それ以外のモードでは必ず00Hに設定してください(モード設定については7.4(2) TAA_n制御レジスタ1 (TAA_nCTL1) を参照してください)。またフリー・ランニング・タイマ・モードに設定してもTAA_nCCR0, TAA_nCCR1レジスタをキャプチャ機能に設定した場合はTAA_nIOC4レジスタの設定は無効になります。

リセット時：00H		R/W	アドレス：TAA0IOC4 FFFFF63CH, TAA1IOC4 FFFFF64CH, TAA2IOC4 FFFFF65CH, TAA3IOC4 FFFFF66CH, TAA5IOC4 FFFFF68CH							
TAA _n IOC4 (n = 0-3, 5)			7	6	5	4	3	2	1	0
			0	0	0	0	TAA _n OS1	TAA _n OR1	TAA _n OS0	TAA _n OR0
		TAA _n OS1	TAA _n OR1	TIAAn1端子のトグル制御						
		0	0	要求なし。通常のトグル動作						
		0	1	リセット要求 次回16ビット・カウンタの値とTAA _n CCR1レジスタの値の一致でインアクティブ・レベルに固定						
		1	0	セット要求 次回16ビット・カウンタの値とTAA _n CCR1レジスタの値の一致でアクティブ・レベルに固定						
		1	1	キープ要求 現在の出力レベルを保持						
		TAA _n OS0	TAA _n OR0	TIAAn0端子のトグル制御						
		0	0	要求なし。通常のトグル動作						
		0	1	リセット要求 次回16ビット・カウンタの値とTAA _n CCR0レジスタの値の一致でインアクティブ・レベルに固定						
		1	0	セット要求 次回16ビット・カウンタの値とTAA _n CCR0レジスタの値の一致でアクティブ・レベルに固定						
		1	1	キープ要求 現在の出力レベルを保持						

(7) TAA_nオプション・レジスタ0 (TAA_nOPT0)

TAA_nOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAA0OPT0 FFFFF635H, TAA1OPT0 FFFFF645H,
TAA2OPT0 FFFFF655H, TAA3OPT0 FFFFF665H,
TAA5OPT0 FFFFF685H

TAA _n OPT0 (n = 0-3, 5)	7	6	5	4	3	2	1	0
	0	0	TAA _n CCS1	TAA _n CCS0	0	0	0	TAA _n OVF

TAA _n CCS1	TAA _n CCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TAA _n CCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TAA _n CCS0	TAA _n CCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TAA _n CCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TAA _n OVF	TAA _n のオーバフロー検出フラグ
セット(1)	オーバフロー発生
リセット(0)	TAA _n OVFビットへの0ライトまたはTAA _n CTL0.TAA _n CEビット = 0
<ul style="list-style-type: none"> ・TAA_nOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウント値がFFFFFFHから0000Hにオーバフローするときセット(1)されます。 ・TAA_nOVFビットがセット(1)されると同時に、割り込み要求信号(INTTAA_nOV)が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTAA_nOV信号は発生しません。 ・TAA_nOVFビット = 1のときにTAA_nOVFビットまたはTAA_nOPT0レジスタをリードしても、TAA_nOVFビットはクリアされません。 ・TAA_nOVFビットはリード/ライト可能ですが、ソフトウェアでTAA_nOVFビットをセット(1)することはできません。“1”をライトしてもTAA_nの動作に影響はありません。 	

注意1. TAA_nCCS1, TAA_nCCS0ビットは、TAA_nCEビット = 0のときに書き換えてください(TAA_nCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TAA_nCEビットをクリア(0)してから再設定してください。

2. ビット1-3, 6, 7には必ず“0”を設定してください。

(8) TAA_nオプション・レジスタ1 (TAA_nOPT1)

TAA_nOPT1レジスタは、カスケード接続による32ビット・キャプチャ機能を制御する8ビット・レジスタです。

TAA_nOPT1レジスタはタイマ動作中 (TAA_nCTL0.TAA_nCE = 1) のとき書き換え禁止です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TAA0OPT1 FFFFF63DH, TAA2OPT1 FFFFF65DH

		7	6	5	4	3	2	1	0
TAA _n OPT1	TAA _n CSE	0	0	0	0	0	0	0	0

(n = 0, 2)

TAA _n CSE	カスケード制御
0	単体動作, または, カスケード機能下位側として動作
1	カスケード機能上位側として動作

- 注意1.** カスケード接続とタイマ同調動作は併用できません。カスケード接続する場合は、必ずTAA_nCTL1.TAA_nSYE = 0に設定してください。
- 2.** カスケード接続する場合は、フリーランニング・タイマ・モードに設定し、TAA_nCCR0, TAA_nCCR1レジスタをキャプチャ・レジスタとして使用してください。
- カスケード接続の詳細は、7.8 カスケード接続を参照してください。

(9) TAA_nキャプチャ/コンペア・レジスタ0 (TAA_nCCR0)

TAA_nCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TAA_nCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TAA_nOPT0.TAA_nCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

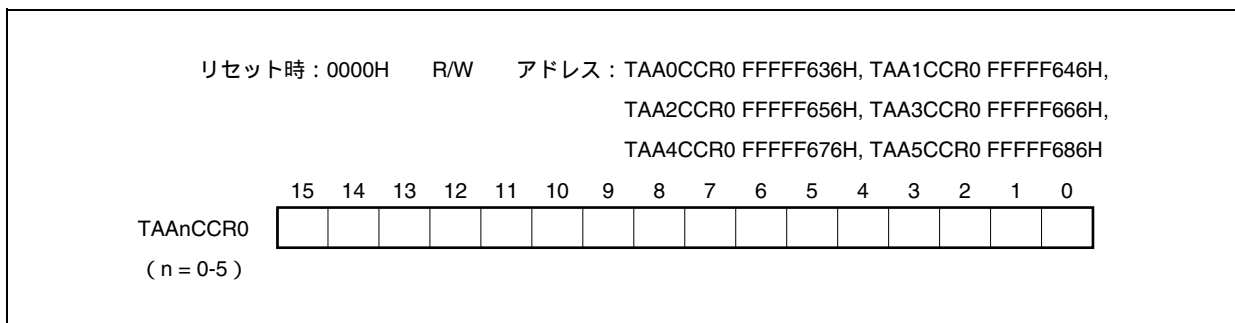
TAA_nCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TAA_nCCR0レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TAA_nCCR0レジスタは、TAA_nCTL0.TAA_nCEビット = 1のときでも書き換えできます。

TAA_nCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTAA_nCC0) を発生し、TOAA_n0端子出力を許可している場合、TOAA_n0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TAA_nCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TAA_nCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIAA_n0端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAA_nCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIAA_n0端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAA_nCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTAA_nCCR0レジスタのリードが競合しても、TAA_nCCR0レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(10) TAA_nキャプチャ/コンペア・レジスタ1 (TAA_nCCR1)

TAA_nCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TAA_nCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TAA_nOPT0.TAA_nCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

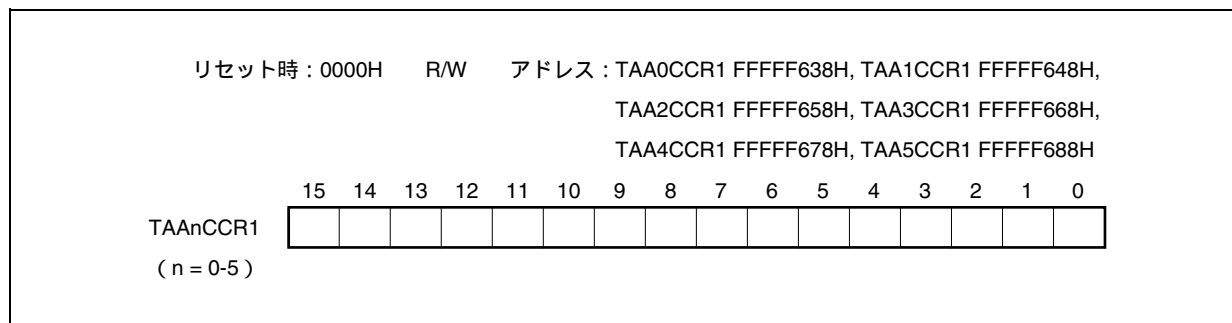
TAA_nCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TAA_nCCR1レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TAAAnCCR1レジスタは、TAAAnCTL0.TAAAnCEビット = 1のときでも書き換えできます。

TAAAnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTAAAnCC1) を発生し、TOAAAn1端子出力を許可している場合、TOAAAn1端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TAAAnCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIAAn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAAAnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIAAn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAAAnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTAAAnCCR1レジスタのリードが競合しても、TAAAnCCR1レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(11) TAA_nカウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAA_nCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TAA_nCTL0.TAA_nCEビット = 1のときにTAA_nCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

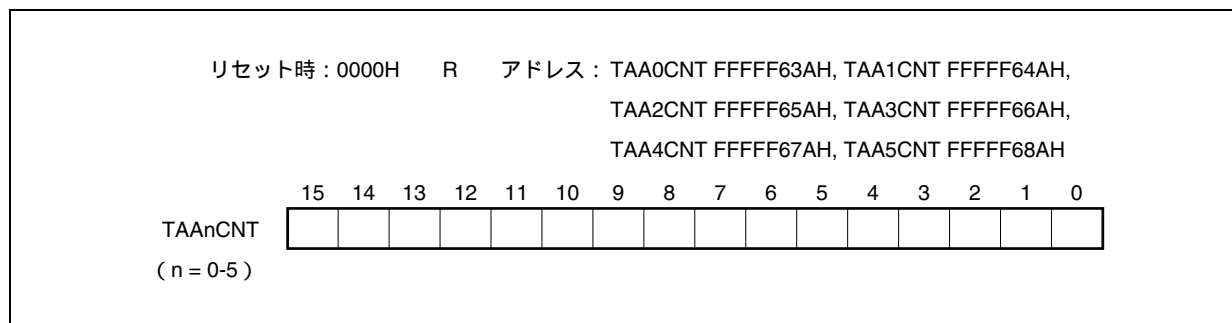
16ビット単位でリードのみ可能です。

TAA_nCEビット = 0のとき、TAA_nCNTレジスタは0000Hになります。このときにTAA_nCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTAA_nCEビット = 0になるため、TAA_nCNTレジスタは0000Hになります。

注意 次に示す状態において、TAA_nCNTレジスタへのアクセスは禁止です。詳細は3. 4. 8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(12) ノイズ除去制御レジスタ (TANFC)

TIAAn0, TIAAn1端子はデジタル・ノイズ除去を選択することが可能で、TANFCレジスタにてノイズ除去の設定を選択します。

デジタル・ノイズ除去を選択した場合、デジタル・サンプリングを行うサンプリング・クロックを、 f_{xx} , $f_{xx}/4$ の中から選択できます。なおサンプリングの回数は3回です。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

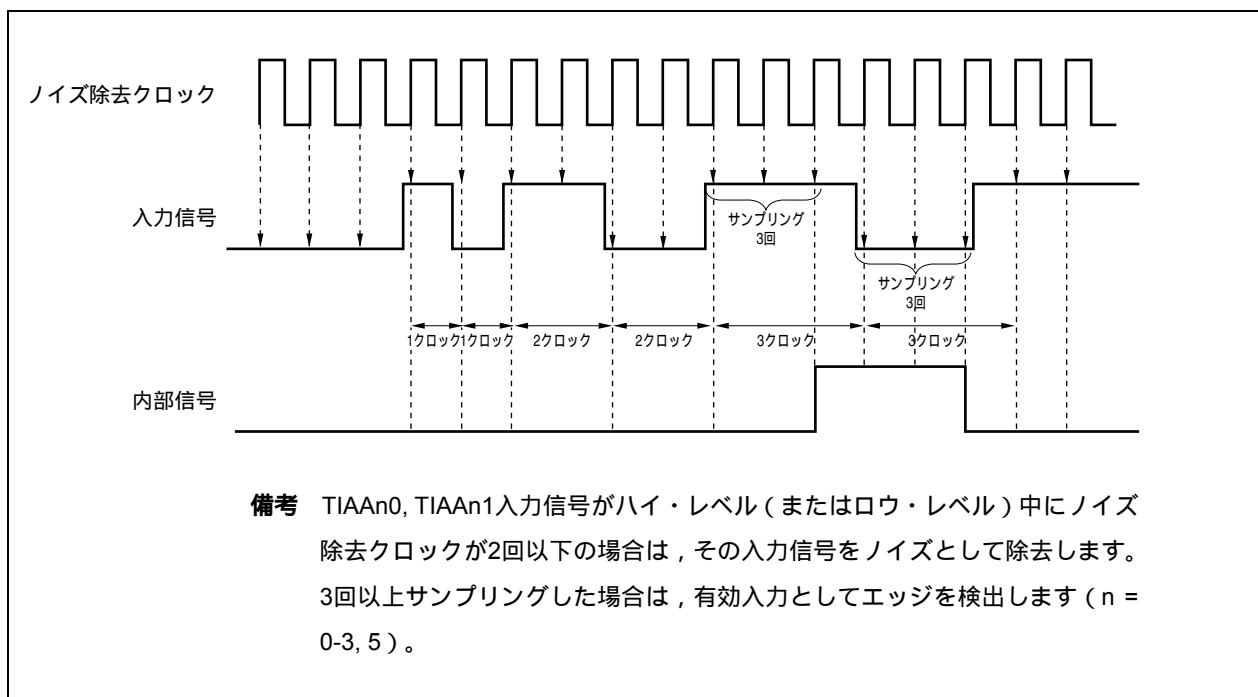
注意 サンプリング・クロック変更後、デジタル・ノイズ除去回路が初期化されるのに、サンプリング・クロック×3クロックの時間かかります。そのため、サンプリング・クロックを変更してからサンプリング・クロック×3クロックの間に、TIAAn0, TIAAn1端子の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって、TAAの外部トリガ機能、外部イベント機能、キャプチャ・トリガ機能を使用する場合は、サンプリング・クロック×3クロック経過後、TAAの動作を許可してください。

備考 n = 0-3, 5

リセット時 : 00H R/W アドレス : FFFFF724H								
	7	6	5	4	3	2	1	0
TANFC	TANFEN	0	0	0	0	0	0	TANFC0
	TANFEN	デジタル・ノイズ除去の設定						
	0	デジタル・ノイズ除去を行わない						
	1	デジタル・ノイズ除去を行う						
	TANFC0	デジタル・サンプリングを行うクロック						
	0	f_{xx}						
	1	$f_{xx}/4$						
<p>備考1. 3回サンプリングするため、確実に除去するノイズ幅はサンプリング・クロック×2となります。</p> <p>2. サンプリング・クロック×2より短いノイズがあっても、サンプリング・クロックに同期したノイズが入力された場合には、割り込み要求信号が発生します。</p>								

図7-2にタイマAA入力端子のデジタル・フィルタによるノイズ除去のタイミング例を示します。

図7-2 デジタル・ノイズ除去タイミング例



7.5 動作

TAA_nには次のような動作があります。

動作	TAA _n CTL1.TAA _n ESTビット (ソフトウェア・トリガ・ビット)	TIAA _n 0端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外

注1. 外部イベント・カウント・モードを使用する場合、TIAA_n0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TAA_nIOC1.TAA_nIS1, TAA_nIS0ビットを“00”) に設定してください。

2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TAA_nCTL1.TAA_nEEEビット = 0に設定) してください。

備考 n = 0-3, 5

(1) 随時書き込みと一斉書き込み

TAA_nでは、タイマ動作中 (TAA_nCTL0.TAA_nCEビット = 1) でもTAA_nCCR0, TAA_nCCR1レジスタの書き換えを許可していますが、モードによってCCR0, CCR1バッファ・レジスタへの書き込み方法 (随時書き込み, 一斉書き込み) が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTAA_nCCR0, TAA_nCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を随時行います。

図7-3 随時書き込みの基本動作フロー・チャート例 (TAA0のインターバル・タイマ・モードの場合)

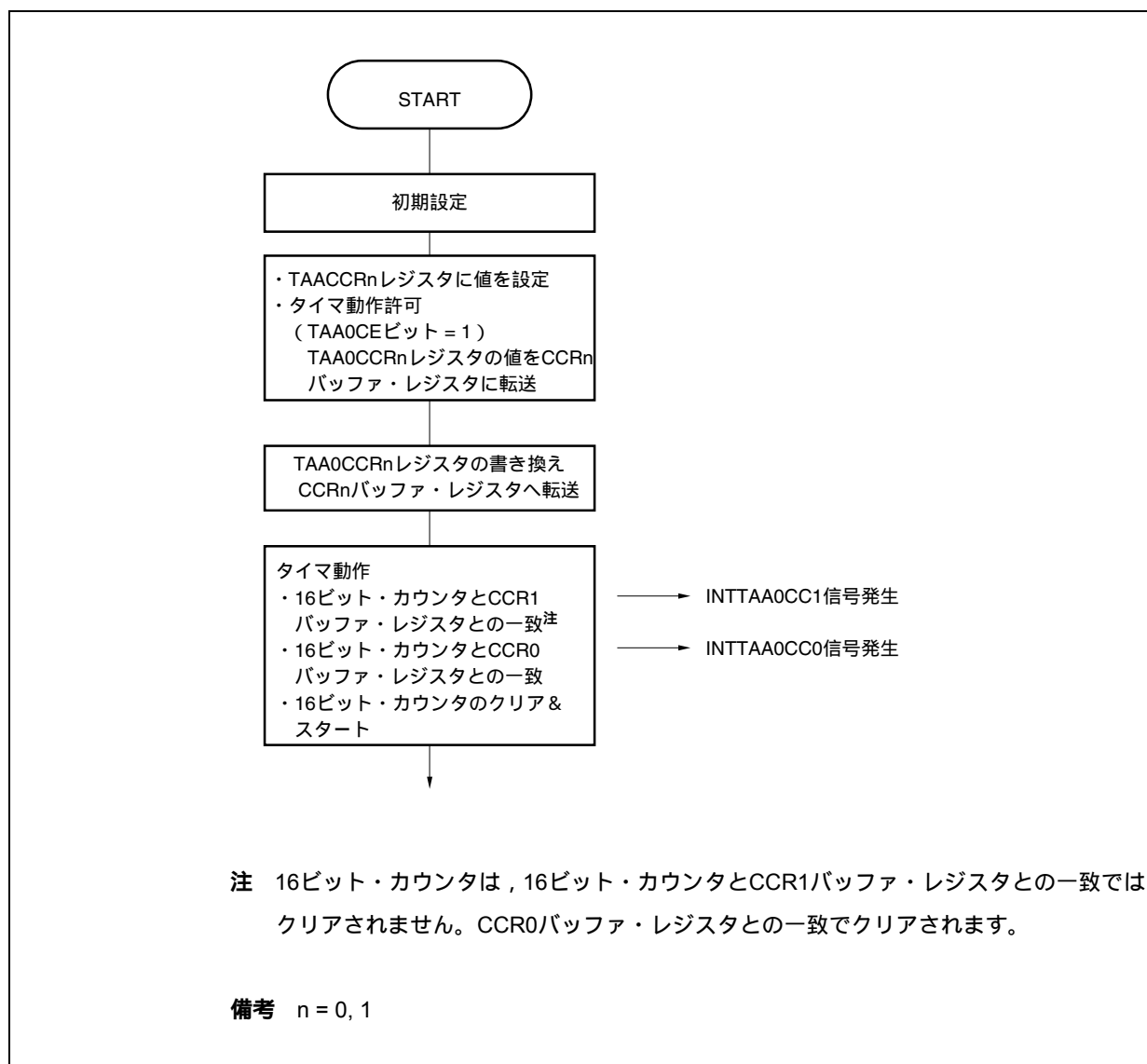
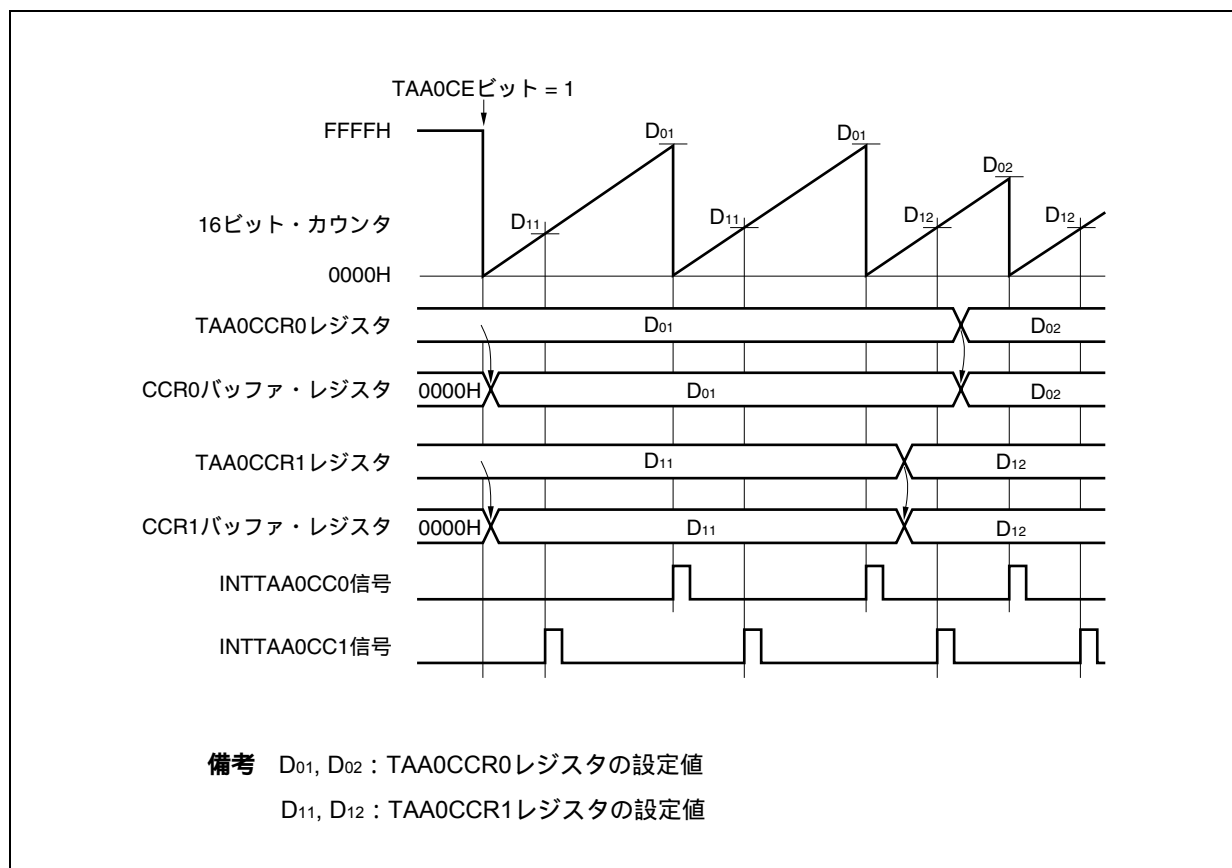


図7-4 随時書き込みのタイミング例 (TAA0のインターバル・タイマ・モードの場合)



(b) 一斉書き込み

このモードは、タイマ動作中にTAAAnCCR0, TAAAnCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTAAAnCCR1レジスタへの書き込みとなります。TAAAnCCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TAAAnCCR0, TAAAnCCR1レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする(CCR0, CCR1バッファ・レジスタに転送される)には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTAAAnCCR0レジスタを書き換え、次にTAAAnCCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TAAAnCCR0, TAAAnCCR1レジスタの値はCCR0, CCR1バッファ・レジスタに転送されます。なお、TAAAnCCR0レジスタの値だけ書き換えたい場合でも、TAAAnCCR1レジスタに同値(すでに設定したTAAAnCCR1レジスタと同じ値)を書き込んでください。

図7-5 一斉書き込みの基本動作フロー・チャート例 (TAA0のPWM出力モードの場合)

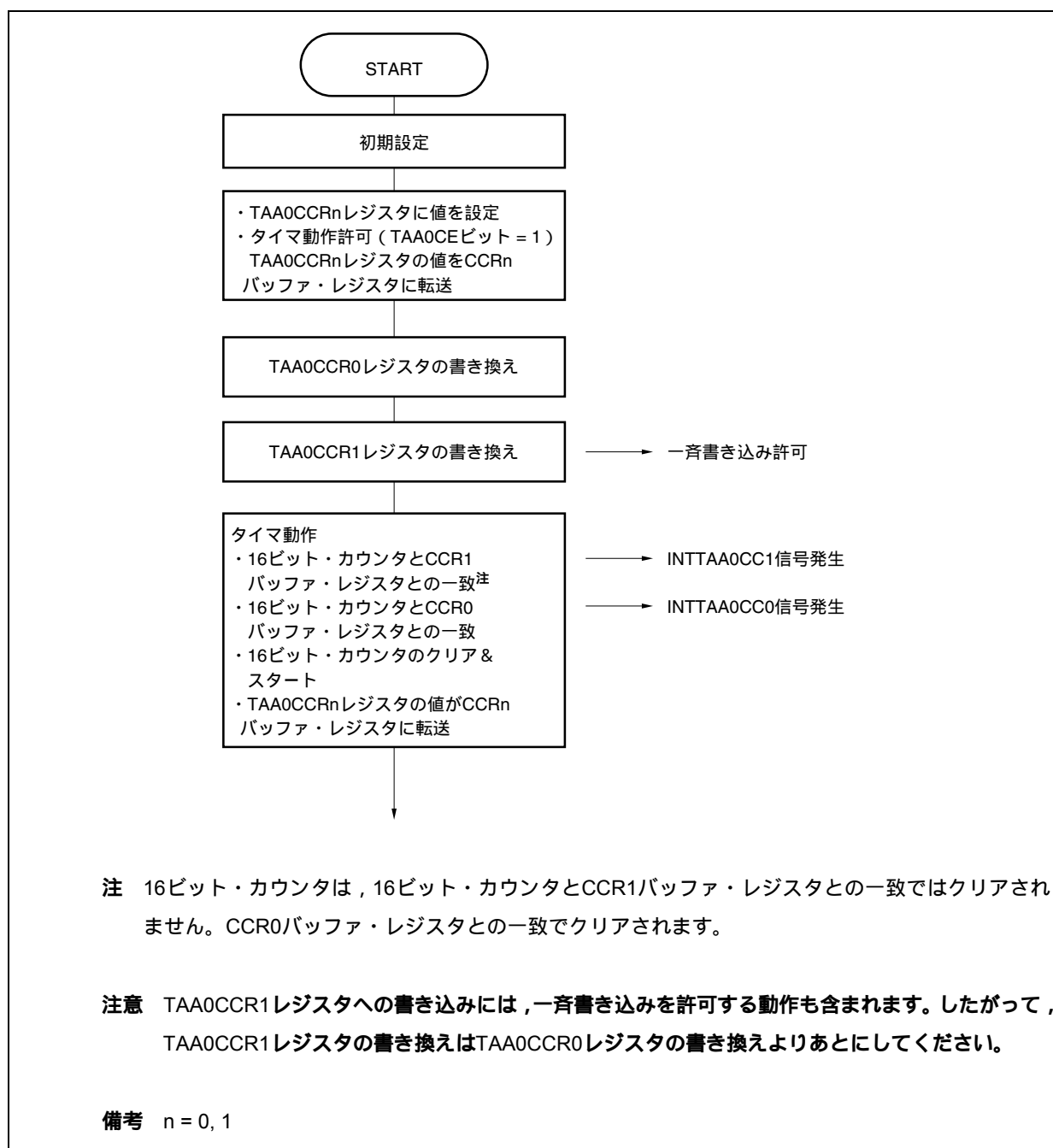
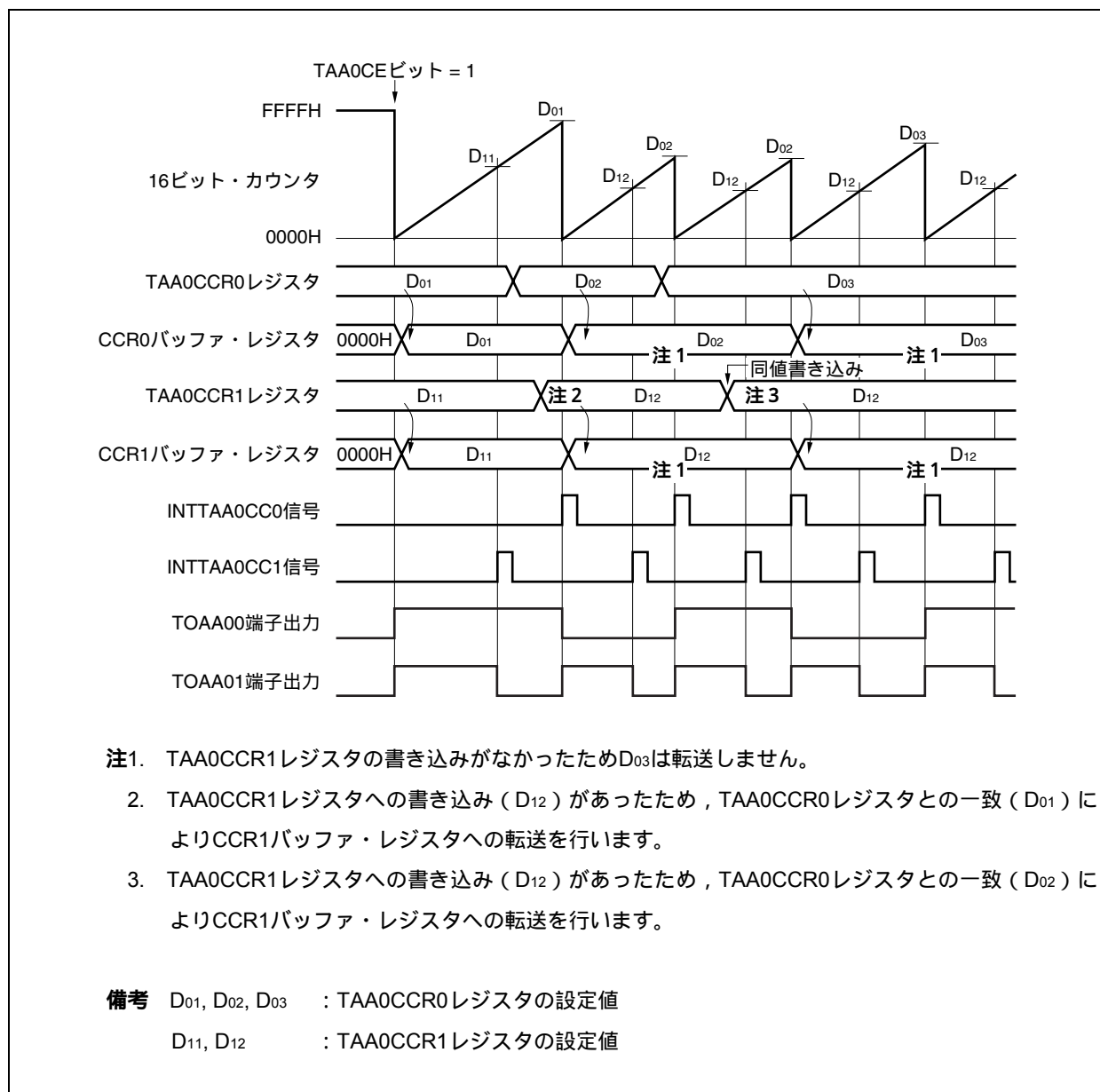


図7-6 一斉書き込みのタイミング (TAA0のPWM出力モードの場合)



7.5.1 インターバル・タイマ・モード (TAAmMD2-TAAmMD0ビット = 000)

インターバル・タイマ・モードは、TAAAnCTL0.TAAAnCEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号 (INTTAAAnCC0) を発生します。また、TOAAAn0端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TAAAnCCR1レジスタを使用しません。

図7-7 インターバル・タイマの構成図

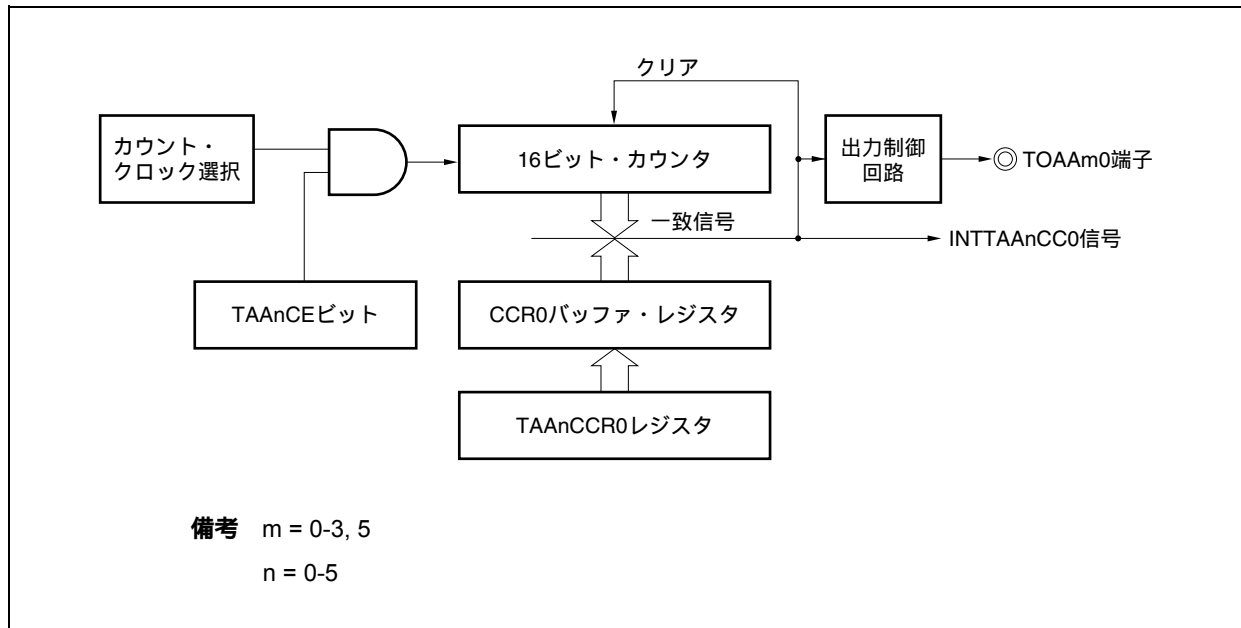
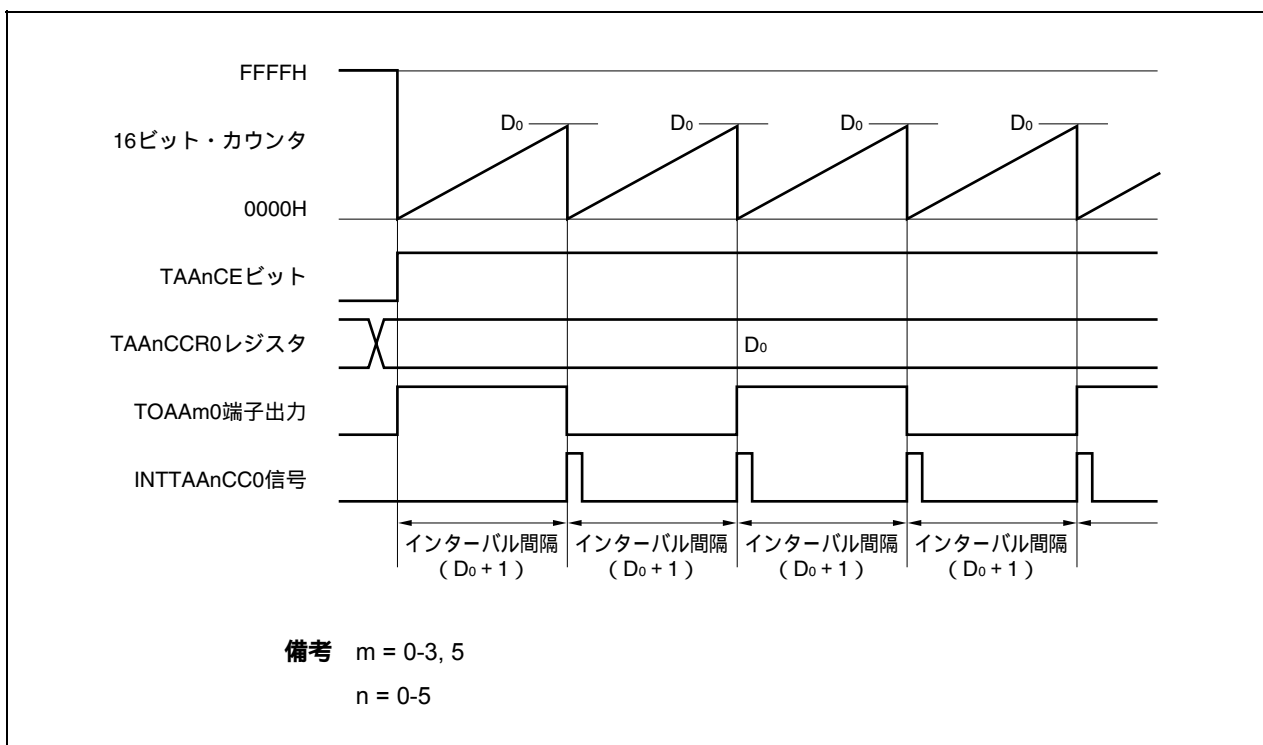


図7-8 インターバル・タイマ・モード動作の基本タイミング



TAA_nCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOAA_n0端子出力を反転します。また、TAA_nCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOAA_n0端子出力を反転させて、コンペア一致割り込み要求信号(INTTAA_nCC0)を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TAA}_{n}\text{CCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 m = 0-3, 5

n = 0-5

図7-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/2)

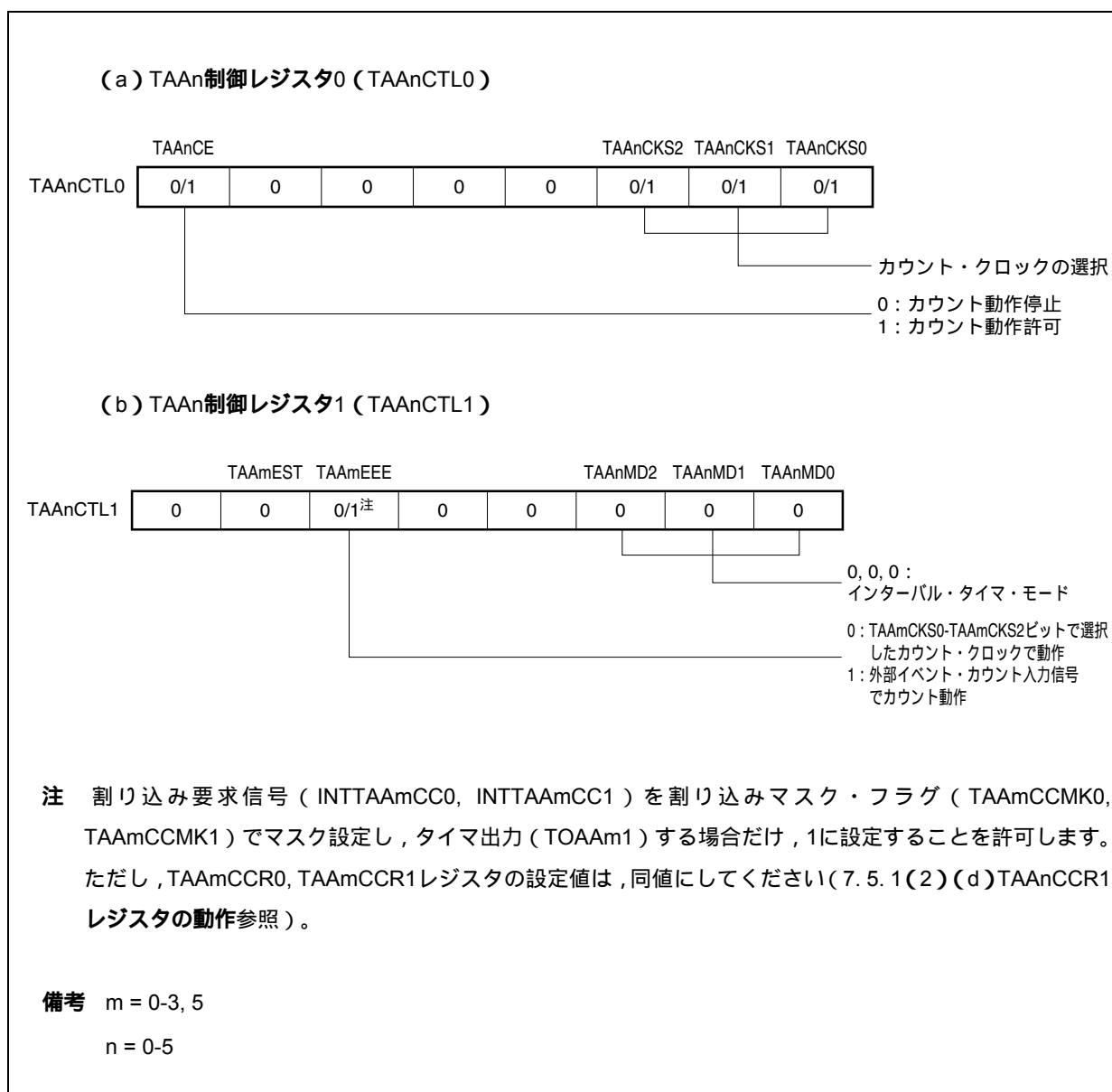
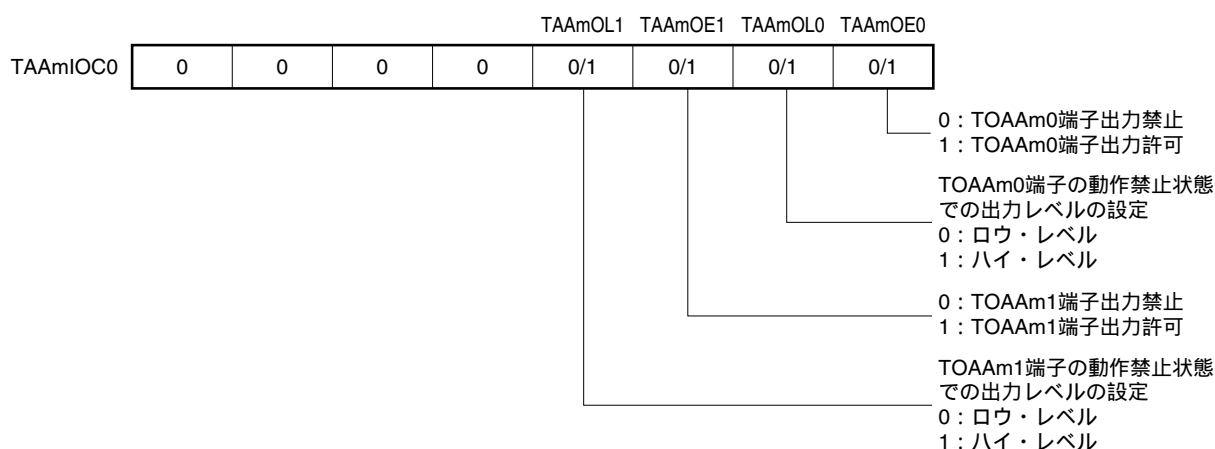


図7-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

(c) TAAmI/O制御レジスタ0 (TAAmIOC0)



(d) TAAncカウンタ・リード・バッファ・レジスタ (TAAncCNT)

TAAncCNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(e) TAAncキャプチャ/コンペア・レジスタ0 (TAAncCCR0)

TAAncCCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

となります。

(f) TAAncキャプチャ/コンペア・レジスタ1 (TAAncCCR1)

インターバル・タイマ・モードでは、通常、TAAncCCR1レジスタを使用しません。しかし、TAAncCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTAAncC1) が発生します。したがって、割り込みマスク・フラグ (TAAncCMK1) でマスク設定しておいてください。

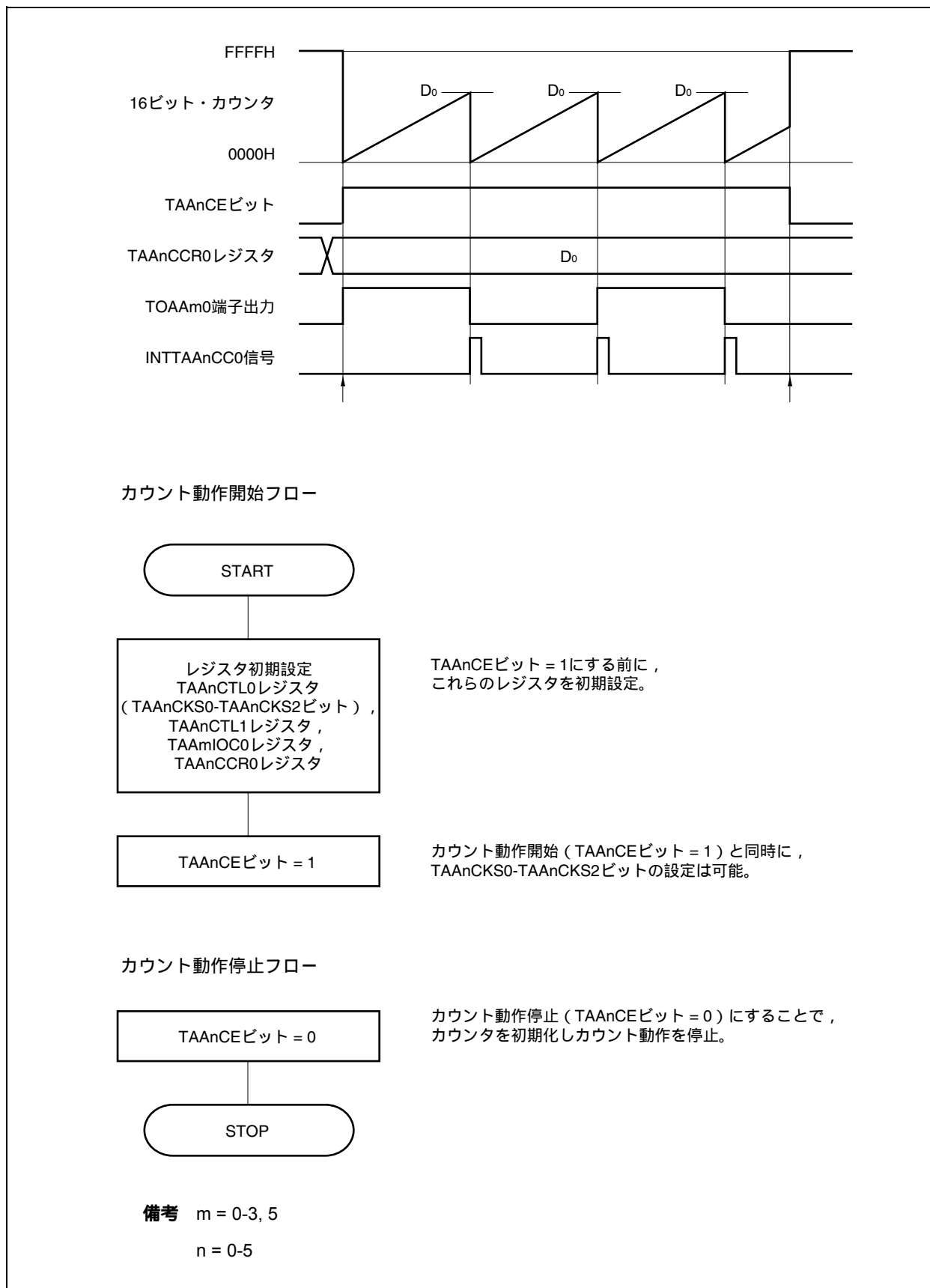
備考1. TAAmI/O制御レジスタ1 (TAAmIOC1)、TAAmI/O制御レジスタ2 (TAAmIOC2)、TAAmオプション・レジスタ0 (TAAmOPT0) は、インターバル・タイマ・モードでは使用しません。

2. m = 0-3, 5

n = 0-5

(1) インターバル・タイマ・モード動作フロー

図7-10 インターバル・タイマ・モード使用時のソフトウェア処理フロー

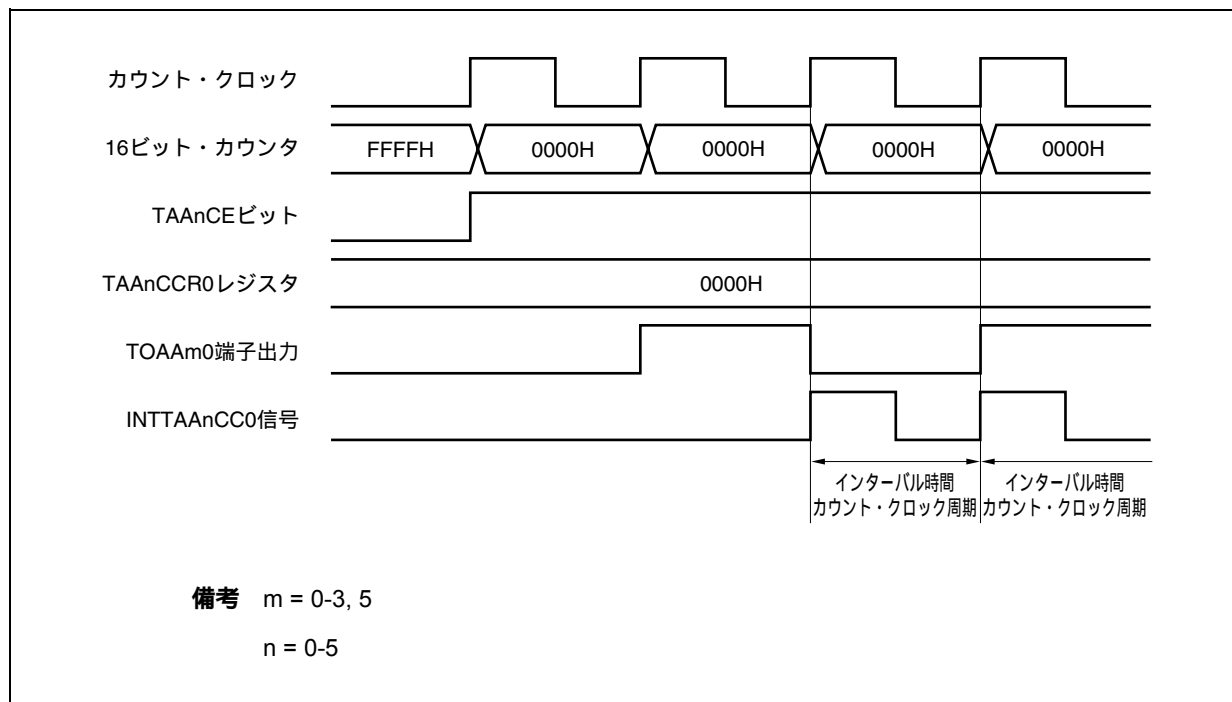


(2) インターバル・タイマ・モード動作タイミング

(a) TAA_nCCR0レジスタに0000Hを設定した場合の動作

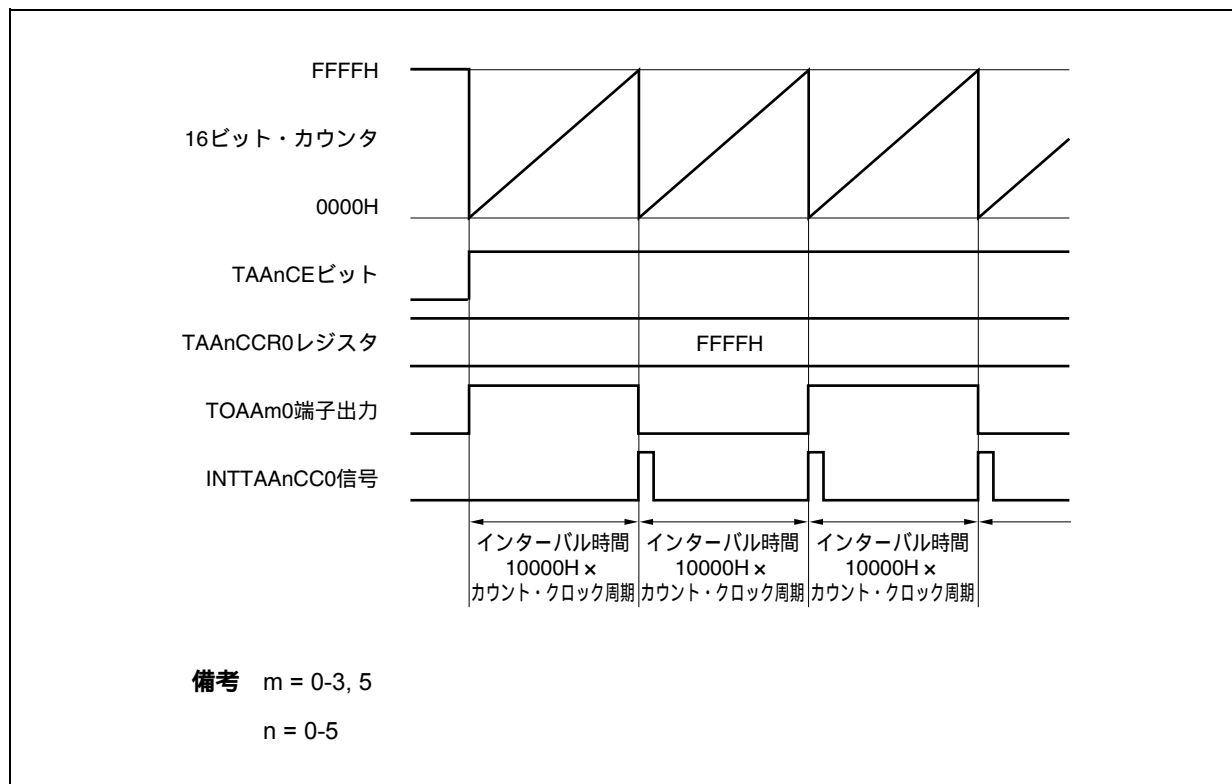
TAA_nCCR0レジスタに0000Hを設定した場合、2クロック目以降のカウンタ・クロックごとにINTTAA_nCC0信号を発生し、TOAA_m0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TAA_nCCR0レジスタにFFFFHを設定した場合の動作

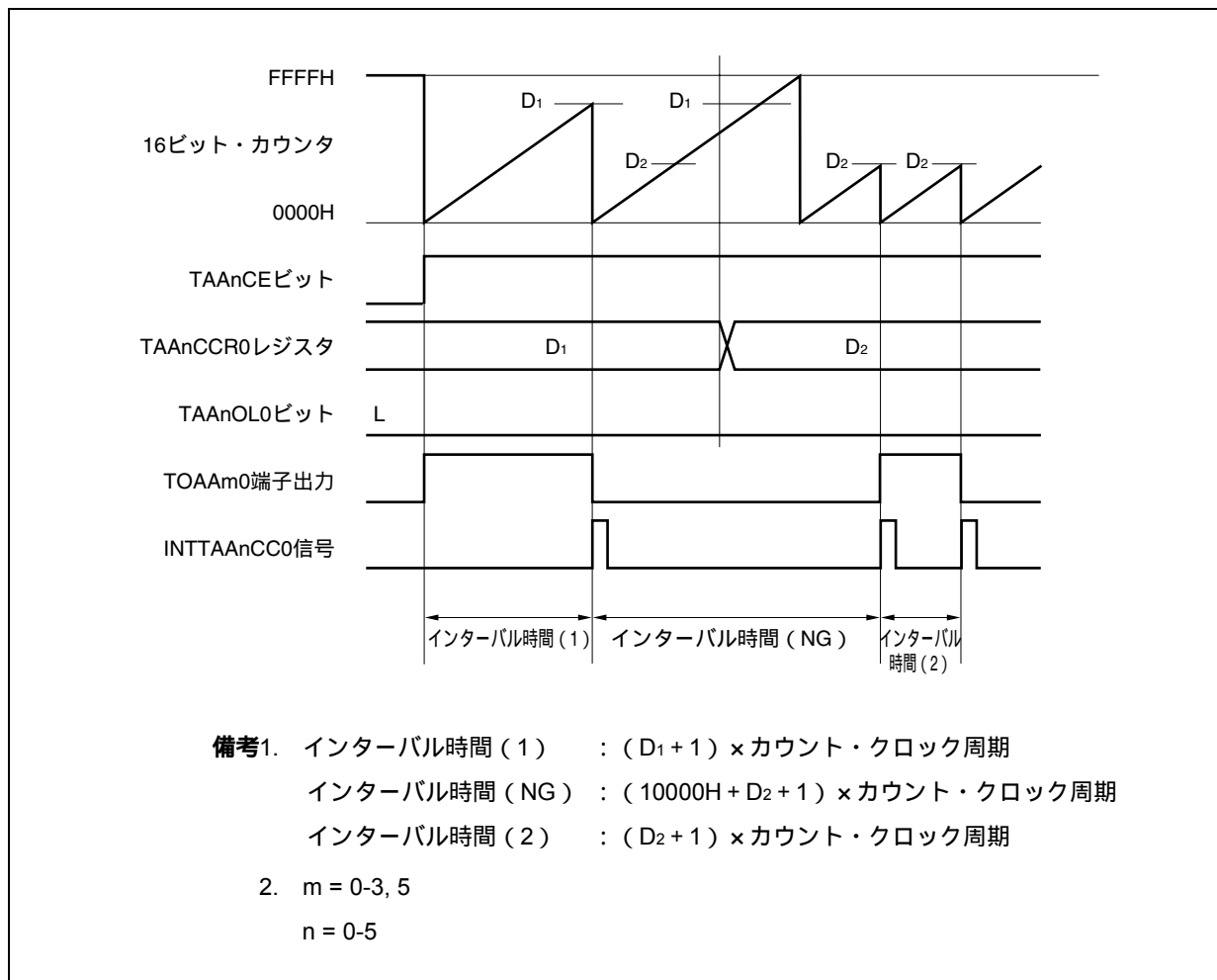
TAA_nCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTAA_nCC0信号を発生し、TOAA_m0端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTAA_nOV) は発生せず、オーバフロー・フラグ (TAA_mOPT0.TAA_mOVFビット) もセット (1) されません。



(c) TAAAnCCR0レジスタの書き換えに関する注意事項

TAAAnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

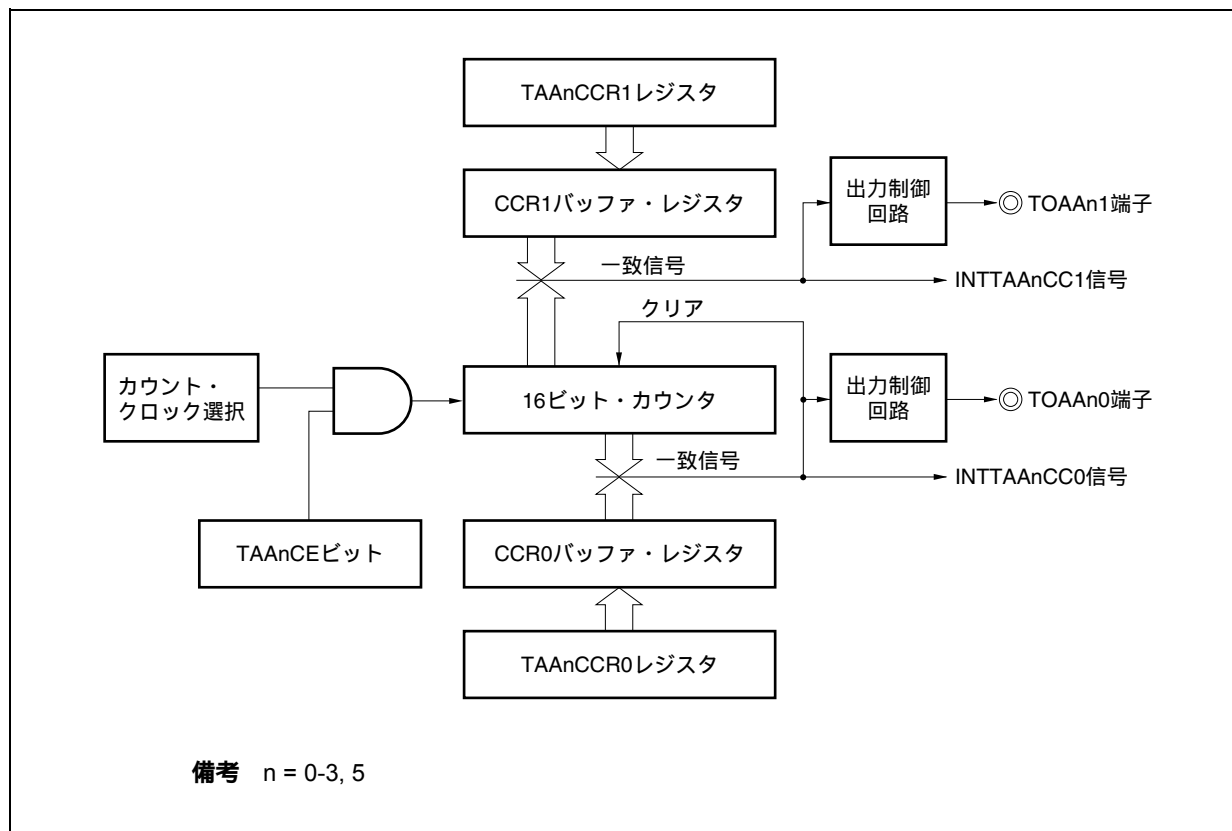
カウント動作中にTAAAnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TAAAnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTAAAnCC0信号を発生しTOAAm0端子出力を反転します。

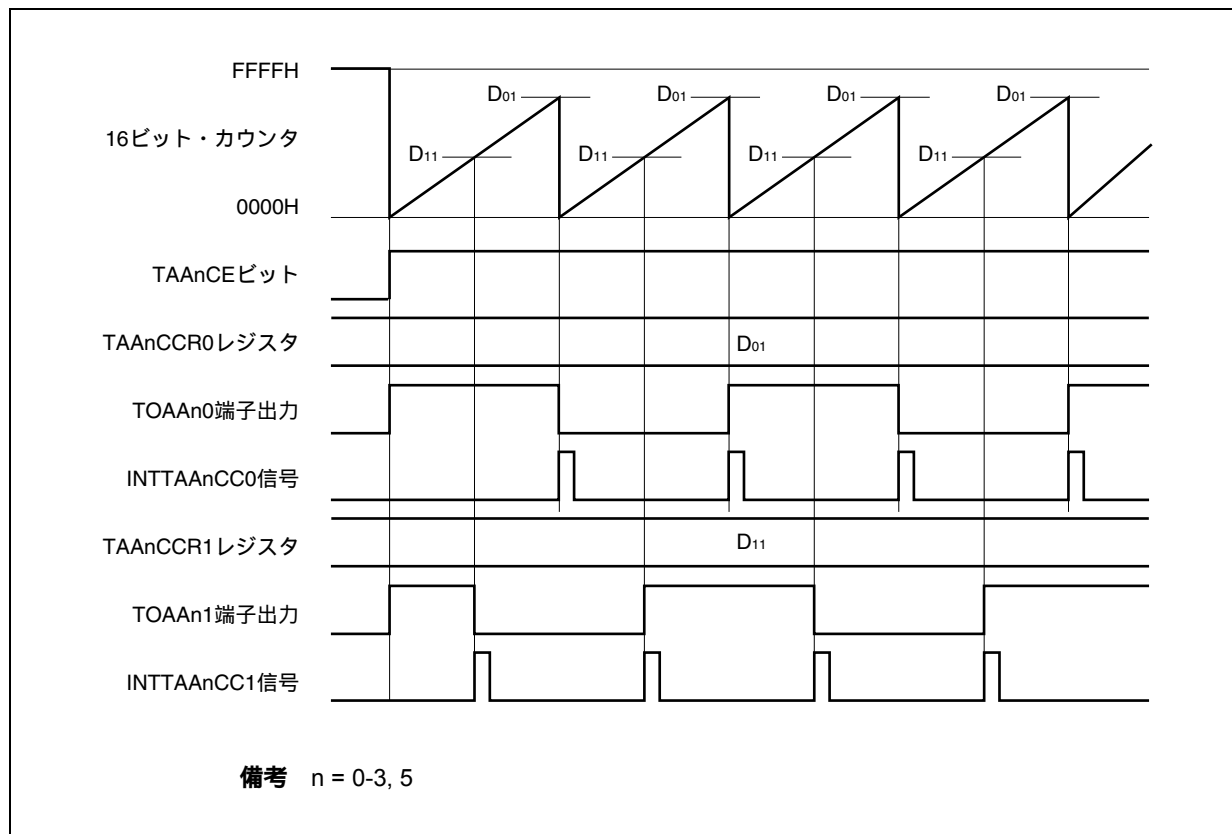
したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTAAAnCC0信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTAAAnCC0信号が発生する場合があります。

(d) TAA_nCCR1レジスタの動作図7 - 11 TAA_nCCR1レジスタの構成図

TAA_nCCR1レジスタの設定値がTAA_nCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTAA_nCC1信号が発生します。また、同じタイミングでTOAAn1端子出力は反転します。

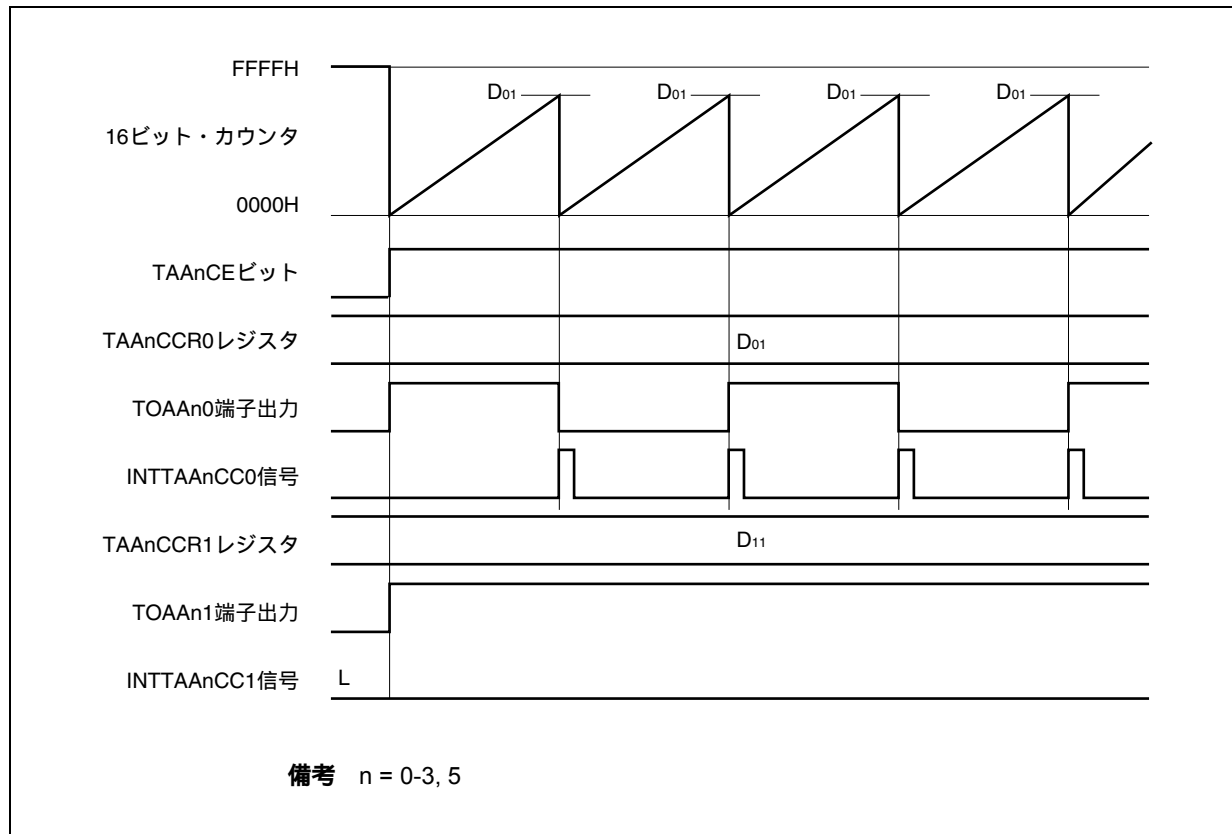
TOAAn1端子出力は、TOAAn0端子出力と同じ周期の方形波を出力します。

図7 - 12 D₀₁ D₁₁の場合のタイミング図



TAA_nCCR1レジスタの設定値がTAA_nCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTAA_nCCR1レジスタの値が一致しないので、INTTAA_nCC1信号は発生しません。また、TOAA_n1端子出力も変化しません。

図7 - 13 D₀₁ < D₁₁の場合のタイミング図



7.5.2 外部イベント・カウント・モード (TAA_nMD2-TAA_nMD0ビット = 001)

外部イベント・カウント・モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントすることに割り込み要求信号(INTTAA_nCC0)を発生します。TOAA_n0端子は使用できません。

外部イベント・カウント・モードでは、通常、TAA_nCCR1レジスタは使用しません。

図7-14 外部イベント・カウント・モードの構成図

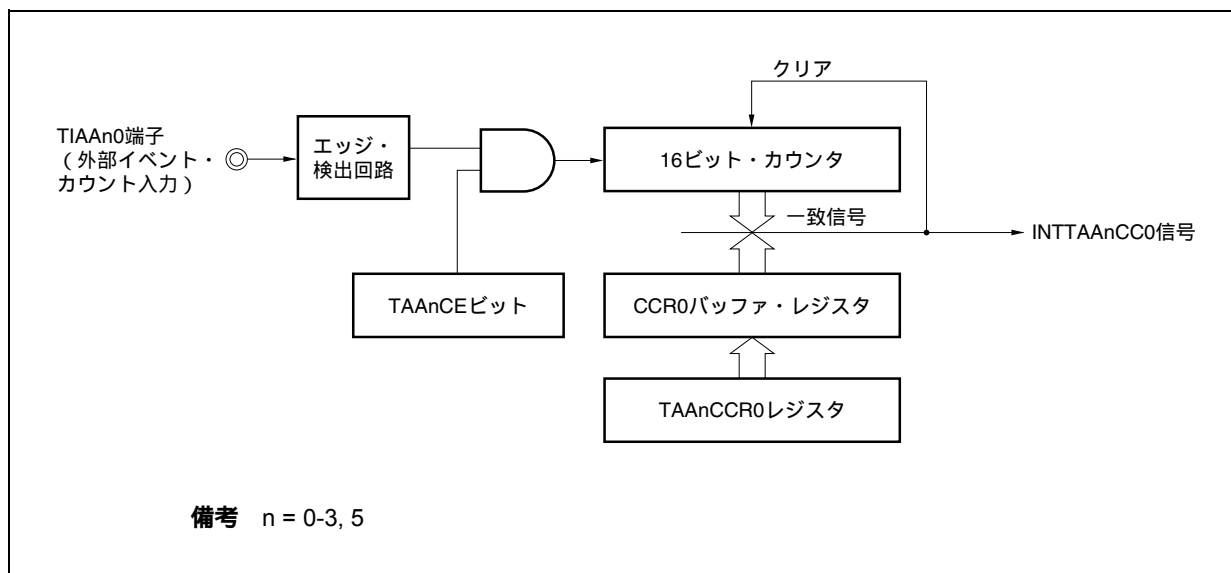
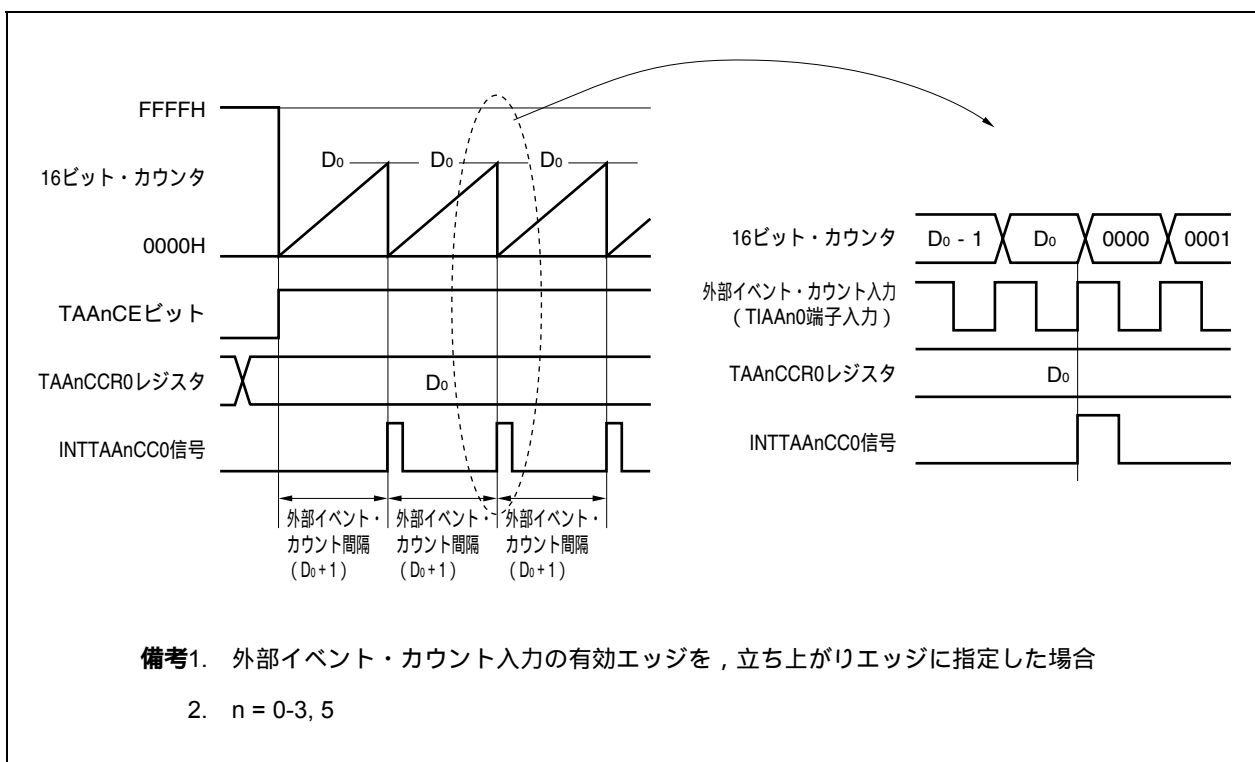


図7-15 外部イベント・カウント・モードの基本タイミング



TAA_nCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することによりカウント動作を行います。また、TAA_nCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTAA_nCC0)を発生します。

INTTAA_nCC0信号は、外部イベント・カウント入力の有効エッジを(TAA_nCCR0レジスタに設定した値+1)回検出することにより発生します。

図7-16 外部イベント・カウント・モード動作時のレジスタ設定内容(1/2)

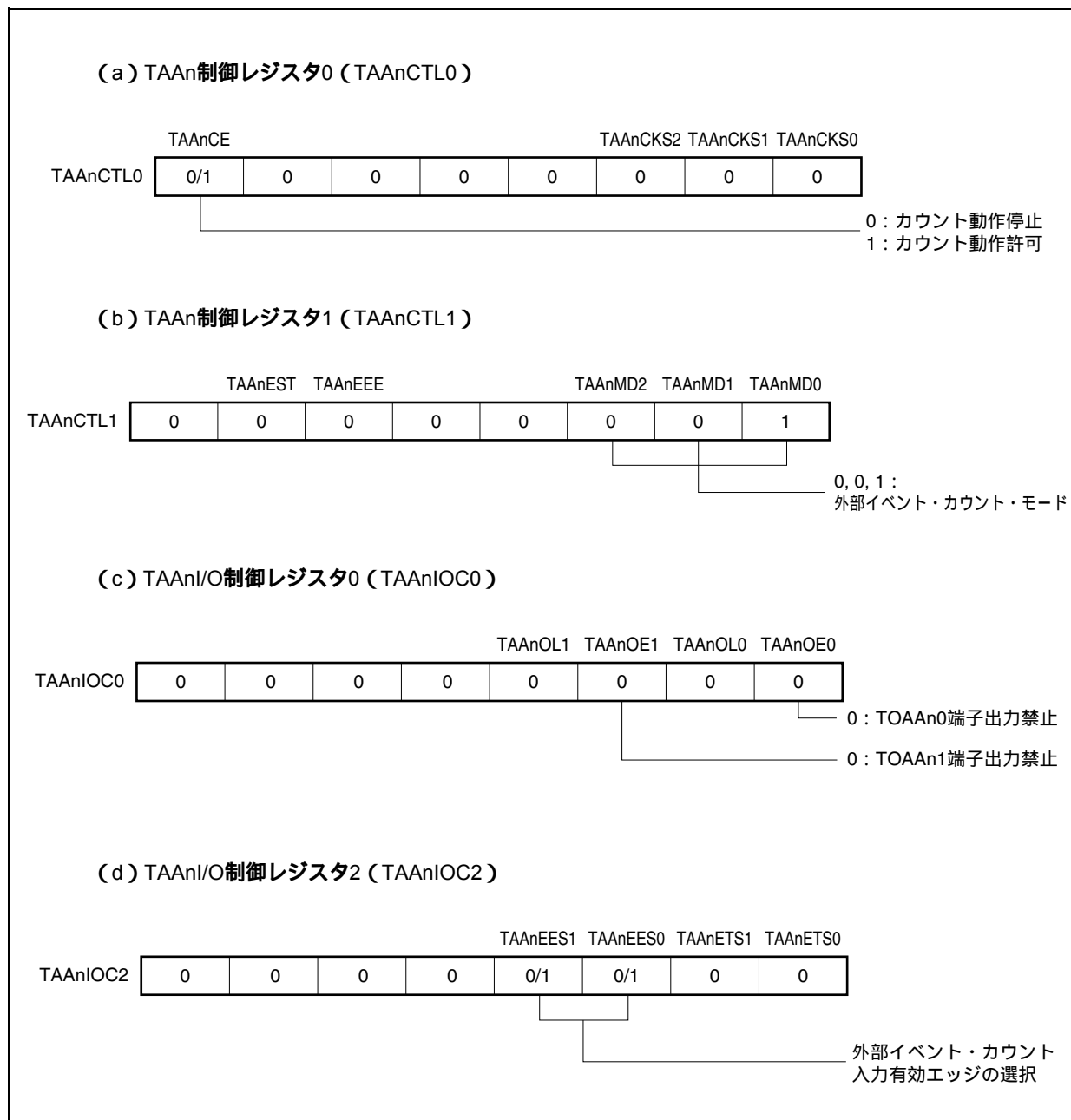


図7-16 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(e) TAA_nカウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAA_nCNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(f) TAA_nキャプチャ/コンペア・レジスタ0 (TAA_nCCR0)

TAA_nCCR0レジスタにD₀を設定した場合、外部イベント・カウント数が(D₀+1)回となるとカウントをクリアしコンペア一致割り込み要求信号(INTTAA_nCC0)を発生します。

(g) TAA_nキャプチャ/コンペア・レジスタ1 (TAA_nCCR1)

外部イベント・カウント・モードでは、通常、TAA_nCCR1レジスタは使用しません。しかし、TAA_nCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号(INTTAA_nCC1)が発生します。

したがって、割り込みマスク・フラグ(TAA_nCCMK1)でマスク設定しておいてください。

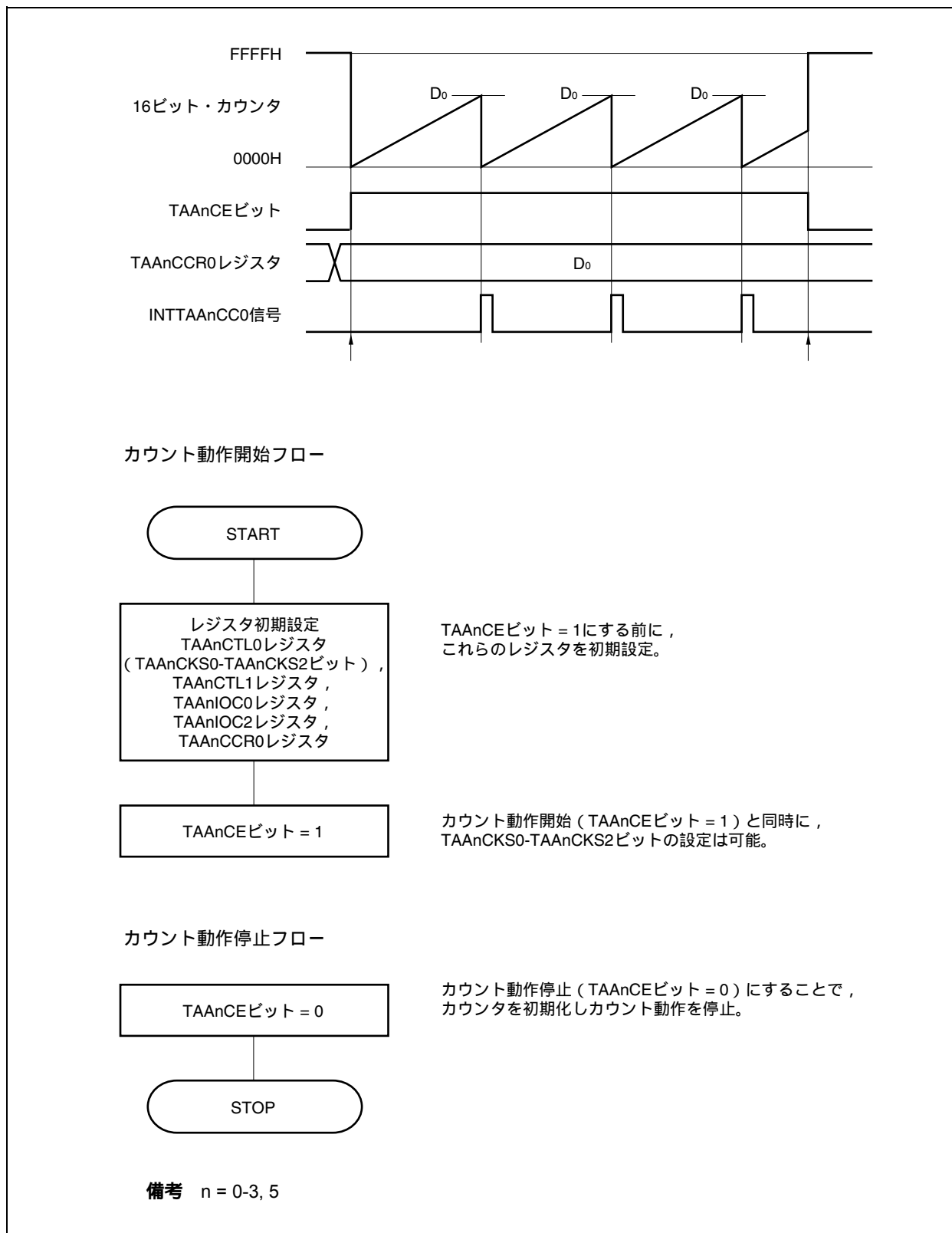
注意 カウント・クロックとして外部クロックを使用するときは、外部クロックはTIAAn0端子からのみ入力できます。このとき、TAA_nIOC1.TAA_nIS1, TAA_nIS0ビット = 00 (キャプチャ・トリガ入力(TIAAn0端子) : エッジ検出なし) に設定してください。

備考1. TAA_nI/O制御レジスタ1 (TAA_nIOC1) , TAA_nオプション・レジスタ0 (TAA_nOPT0) は、外部イベント・カウント・モードでは使用しません。

2. n = 0-3, 5

(1) 外部イベント・カウント・モード動作フロー

図7-17 外部イベント・カウント・モード使用時のソフトウェア処理フロー

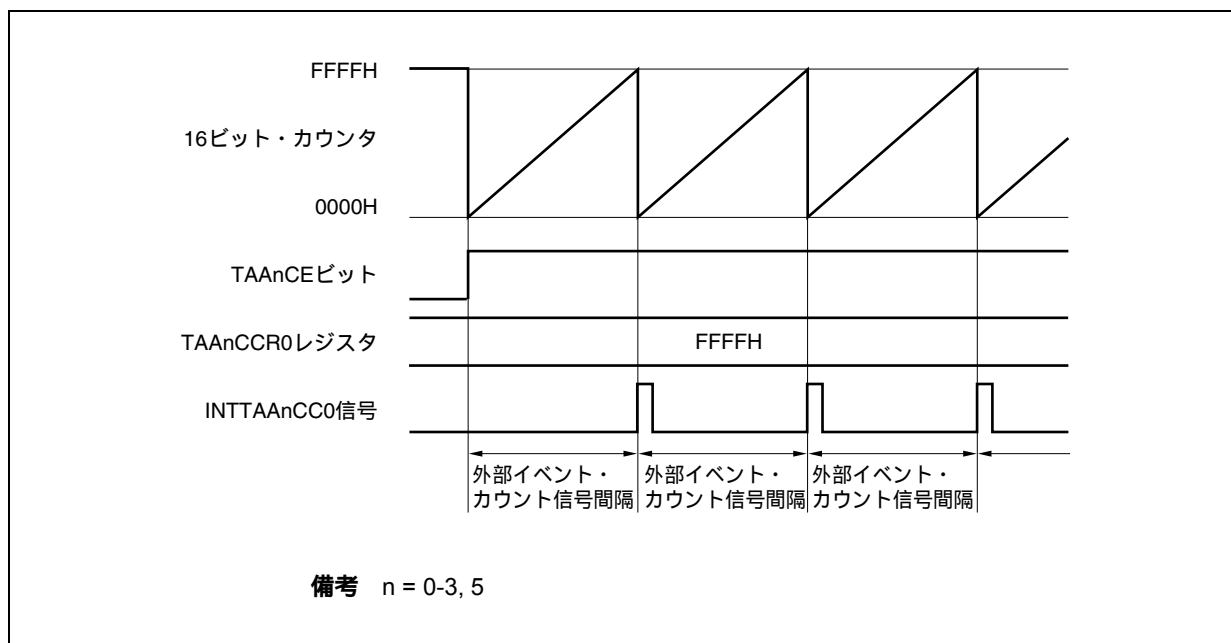


(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モード時，TAA_nCCR0レジスタには，0000Hを設定しないでください。
2. 外部イベント・カウント・モード時，タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は，インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください
(TAA_nCTL1.TAA_nMD2-TAA_nMD0ビット = 000, TAA_nCTL1.TAA_nEEEビット = 1)。

(a) TAA_nCCR0レジスタにFFFFHを設定した場合の動作

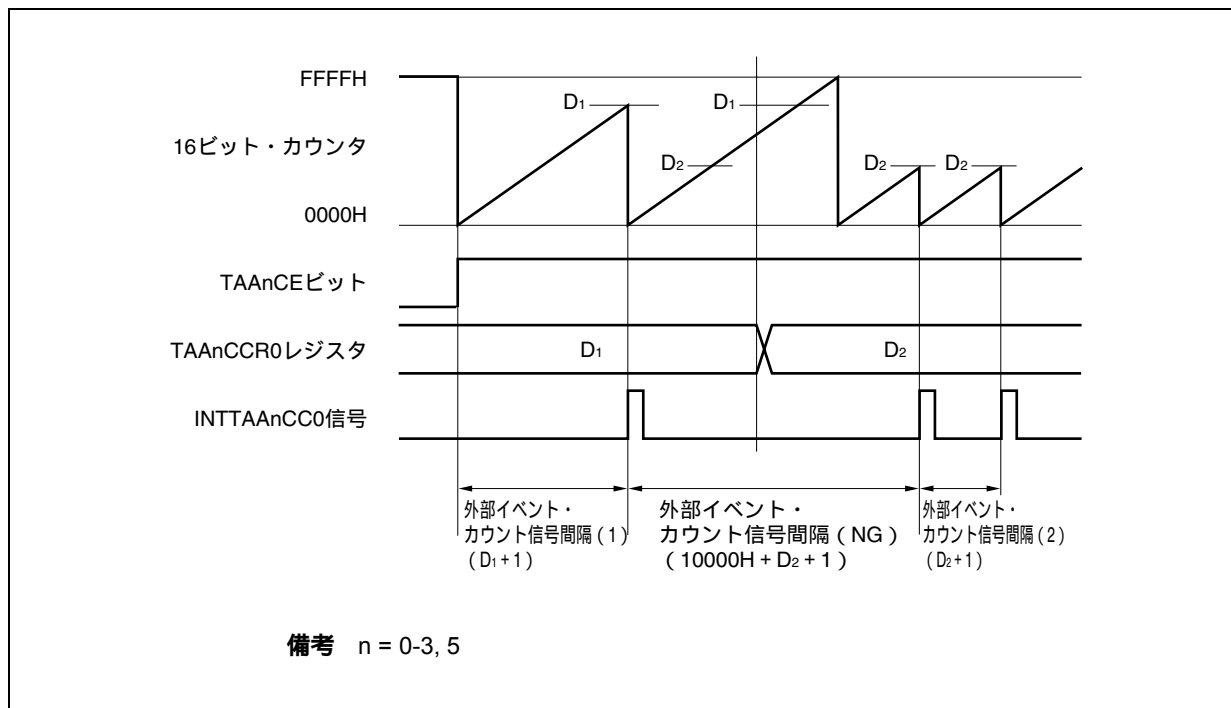
TAA_nCCR0レジスタにFFFFHを設定した場合，16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い，次のカウント・アップ・タイミングに同期して，16ビット・カウンタを0000Hにクリアし，INTTAA_nCC0信号を発生します。このとき，TAA_nOPT0.TAA_nOVFビットはセットされません。



(b) TAAAnCCR0レジスタの書き換えに関する注意事項

TAAAnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTAAAnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



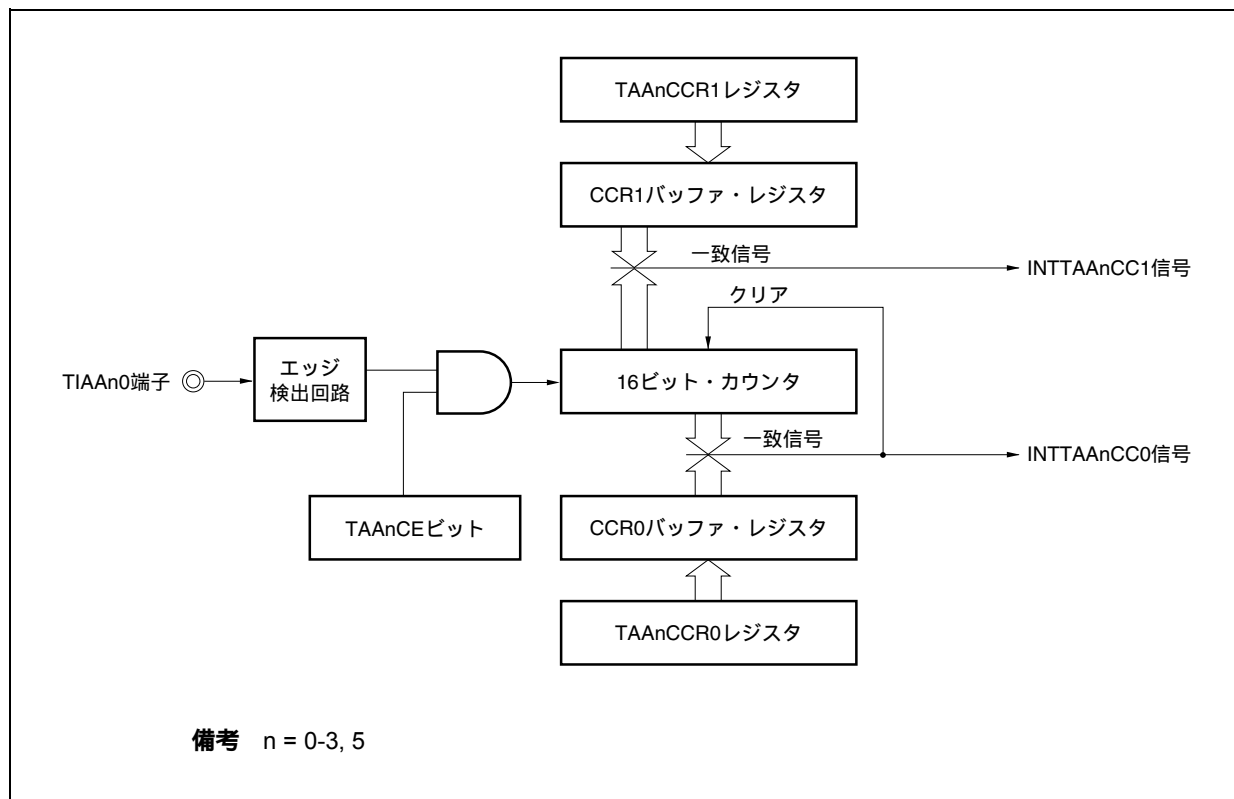
カウント値がD₂よりも大きくD₁よりも小さい状態において、TAAAnCCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTAAAnCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D₁+1)回」または「(D₂+1)回」の有効エッジ数でINTTAAAnCC0信号は発生せず、「(10000H + D₂ + 1)回」の有効エッジ数でINTTAAAnCC0信号が発生する場合があります。

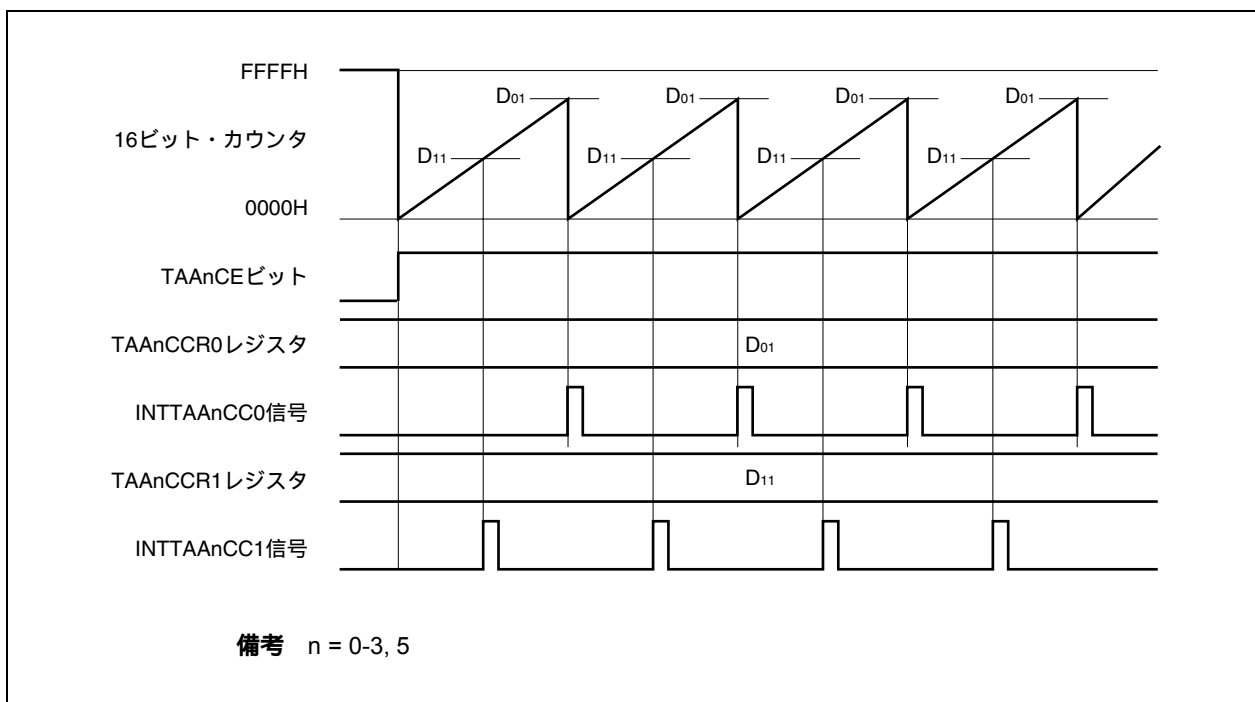
(c) TAAAnCCR1レジスタの動作

図7 - 18 TAAAnCCR1レジスタの構成図



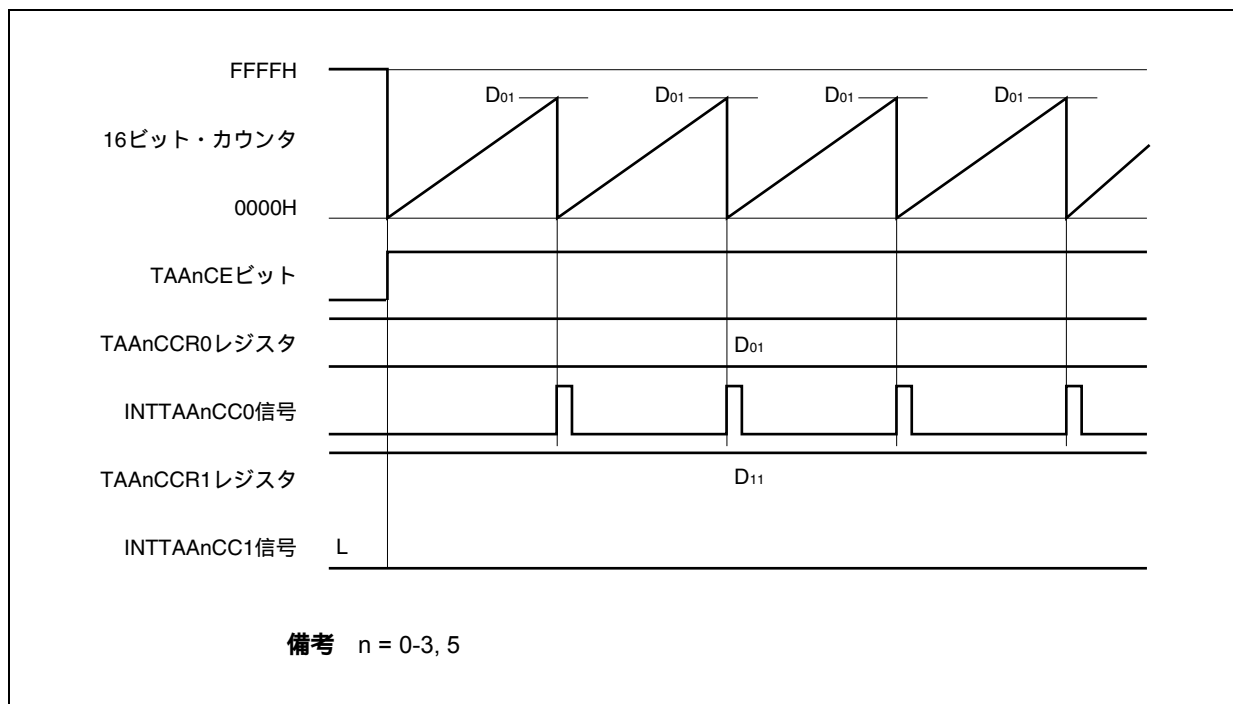
TAAAnCCR1レジスタの設定値がTAAAnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTAAAnCC1信号が発生します。

図7 - 19 D01 D11の場合のタイミング図



TAAAnCCR1レジスタの設定値がTAAAnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値が一致しないので、INTTAAAnCC1信号は発生しません。

図7 - 20 D₀₁ < D₁₁の場合のタイミング図



7.5.3 外部トリガ・パルス出力モード (TAA_nMD2-TAA_nMD0ビット = 010)

外部トリガ・パルス出力モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOAA_n1端子からPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOAA_n0端子から、PWM波形の1周期を半周期とする方形波を出力できます。

図7-21 外部トリガ・パルス出力モードの構成図

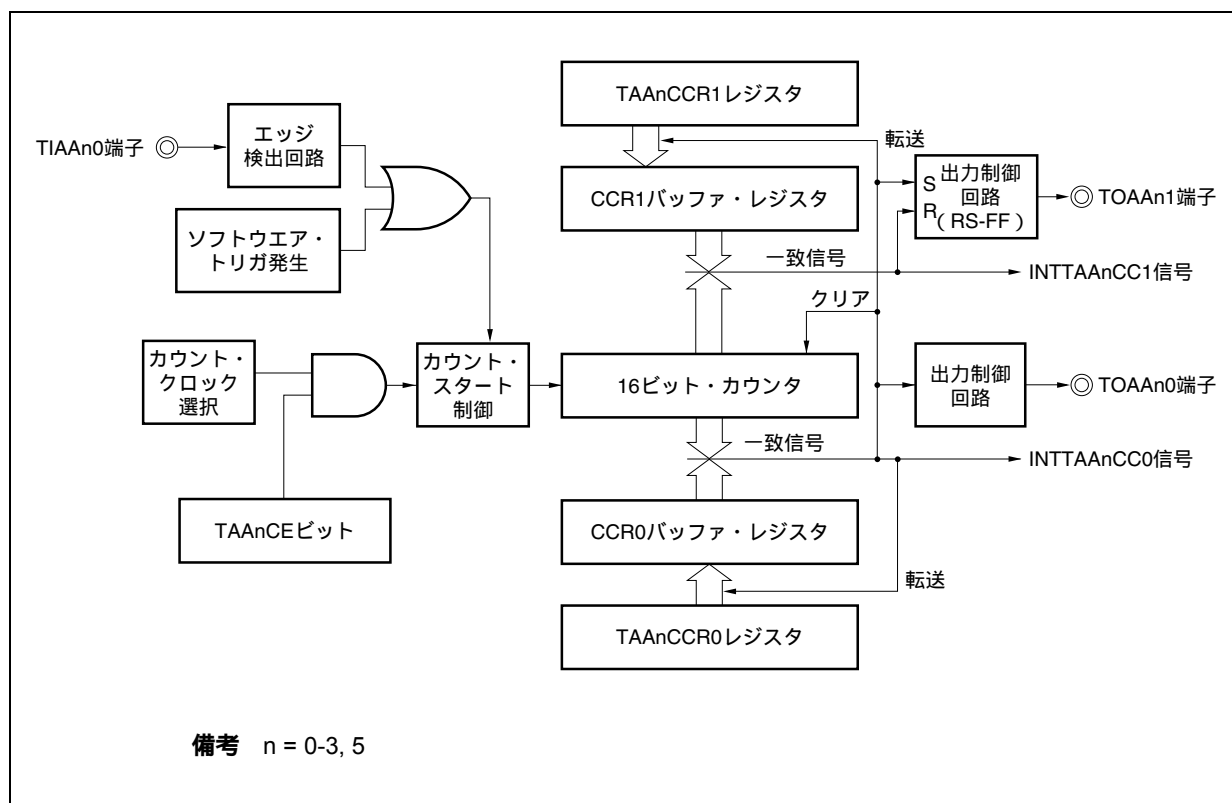
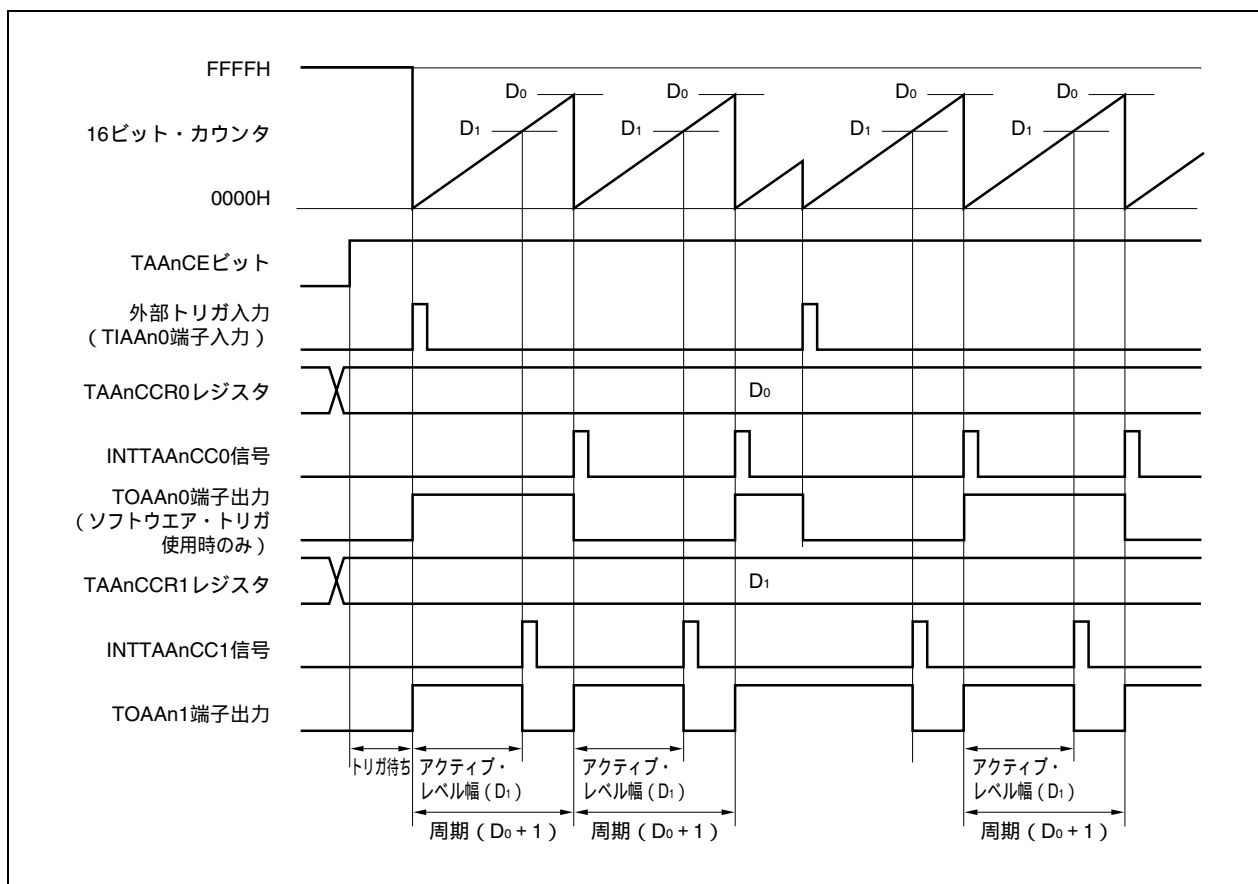


図7-22 外部トリガ・パルス出力モードの基本タイミング



TAAAnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOAAAn1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOAAAn0端子出力は反転します。TOAAAn1端子出力は、ロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TAAAnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TAAAnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TAAAnCCR1レジスタの設定値}) / (\text{TAAAnCCR0レジスタの設定値} + 1)$$

コンパレー一致割り込み要求信号 (INTTAAAnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号 (INTTAAAnCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TAAAnCCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TAAAnCTL1.TAAAnESTビット) のセット(1)があります。

備考 n = 0-3, 5

m = 0, 1

図7-23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

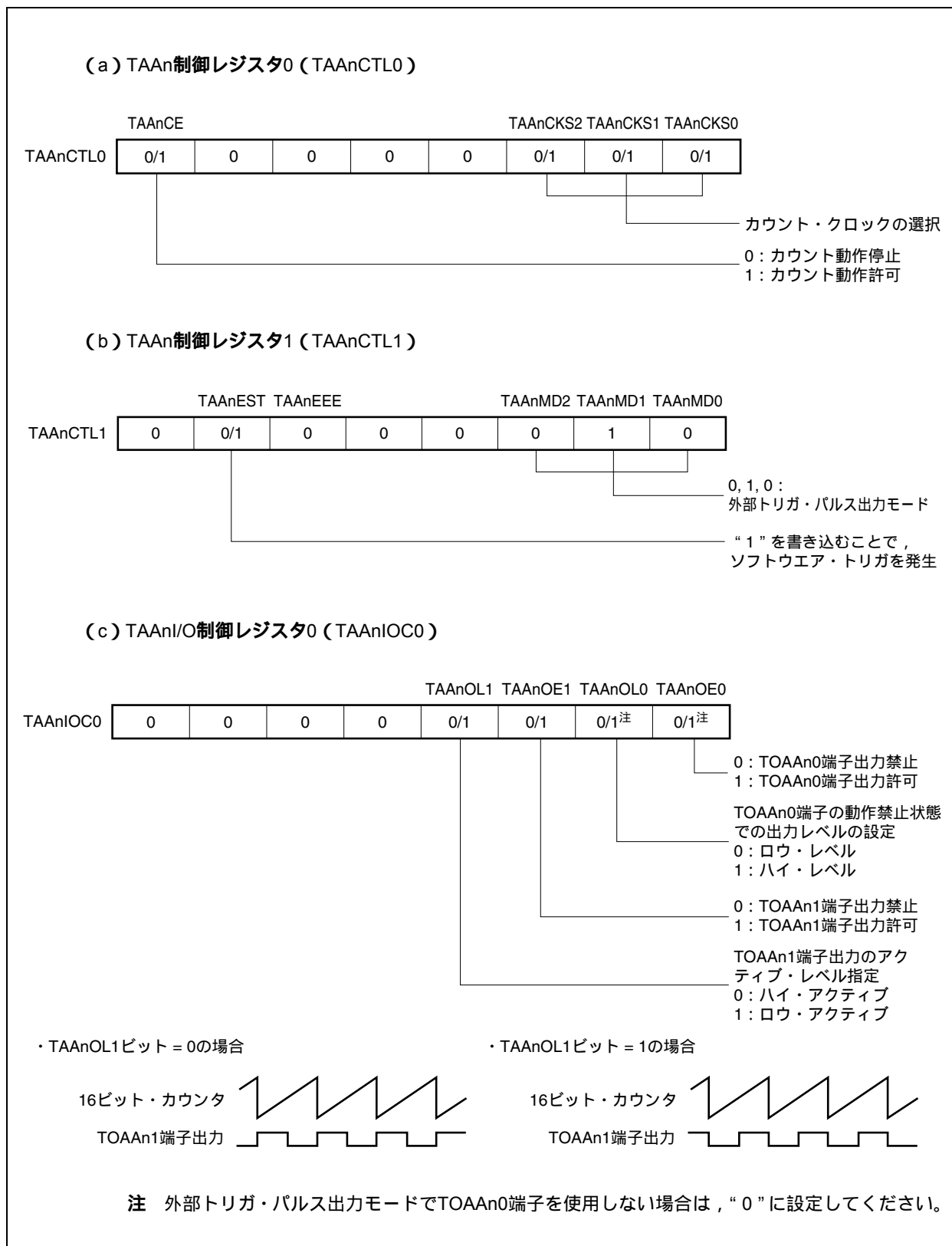
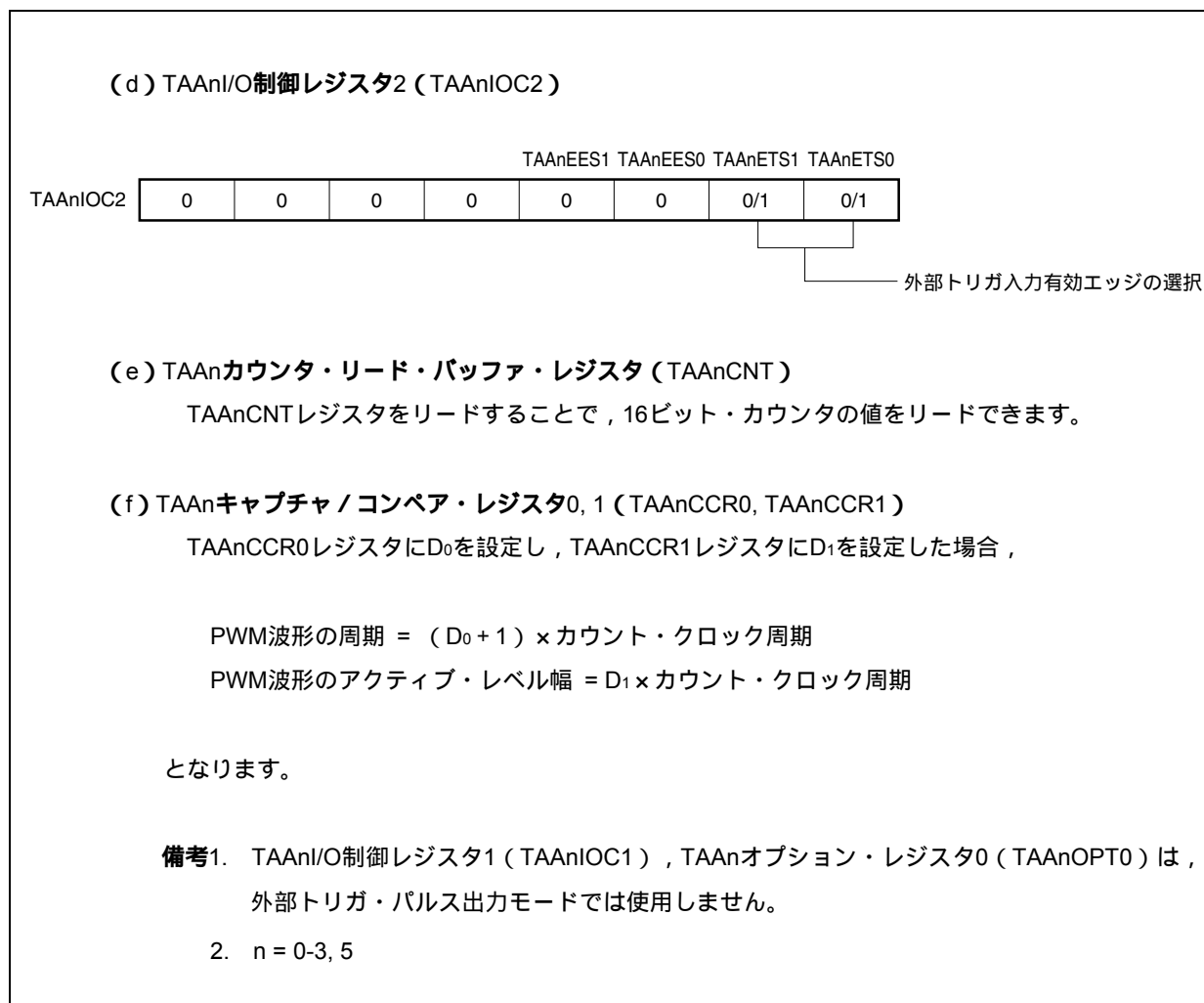


図7-23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) 外部トリガ・パルス出力モード動作フロー

図7-24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

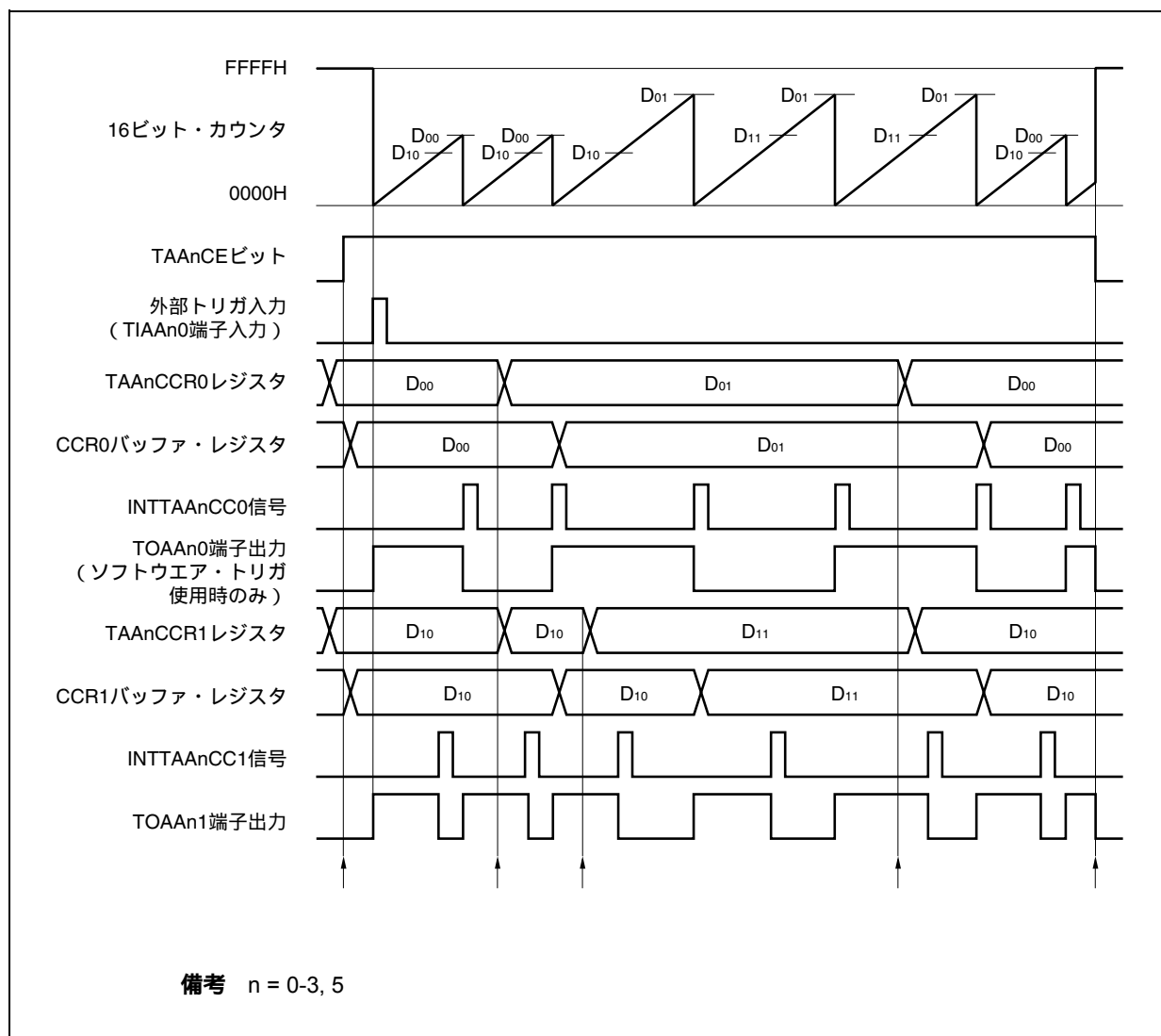
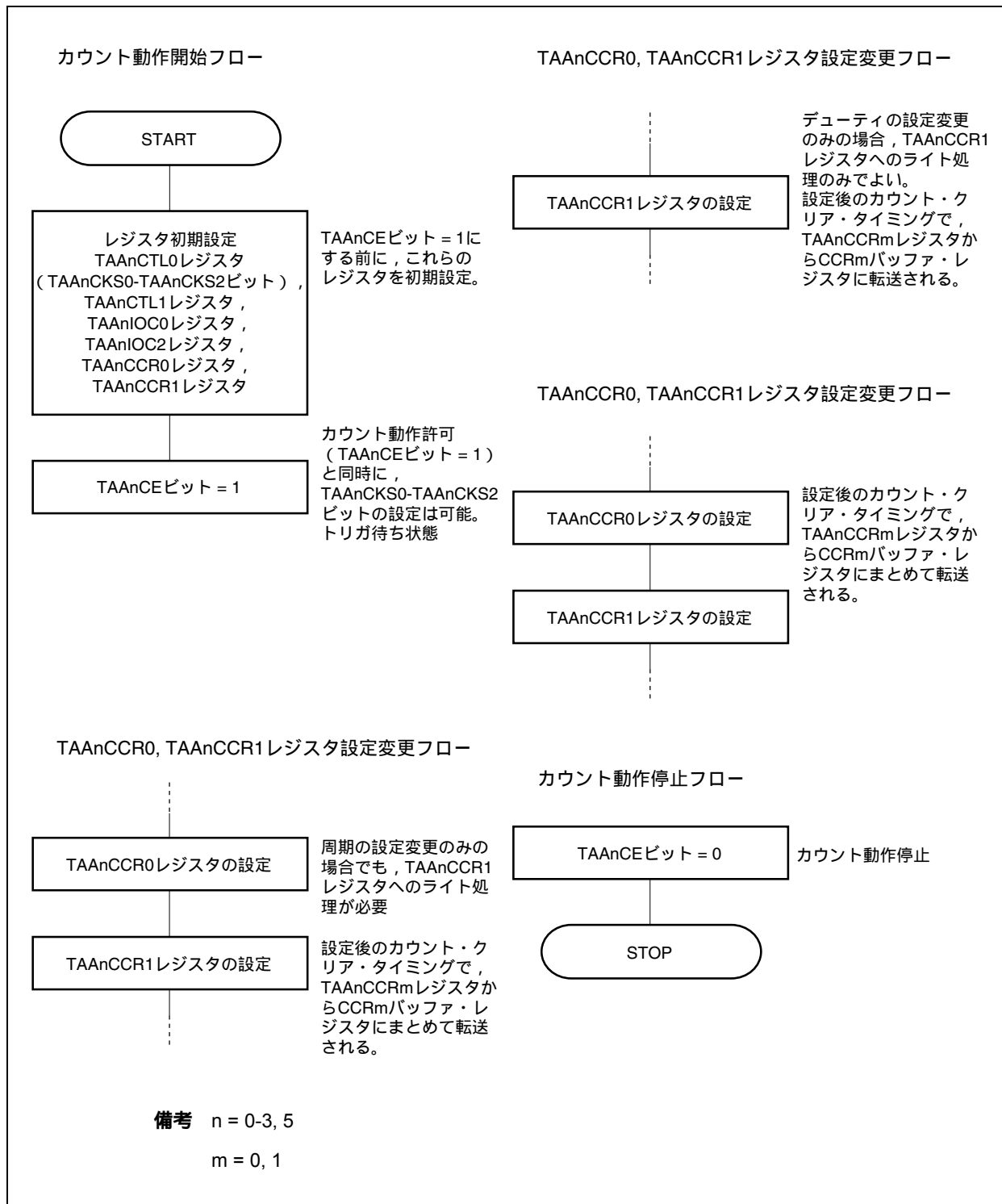


図7 - 24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

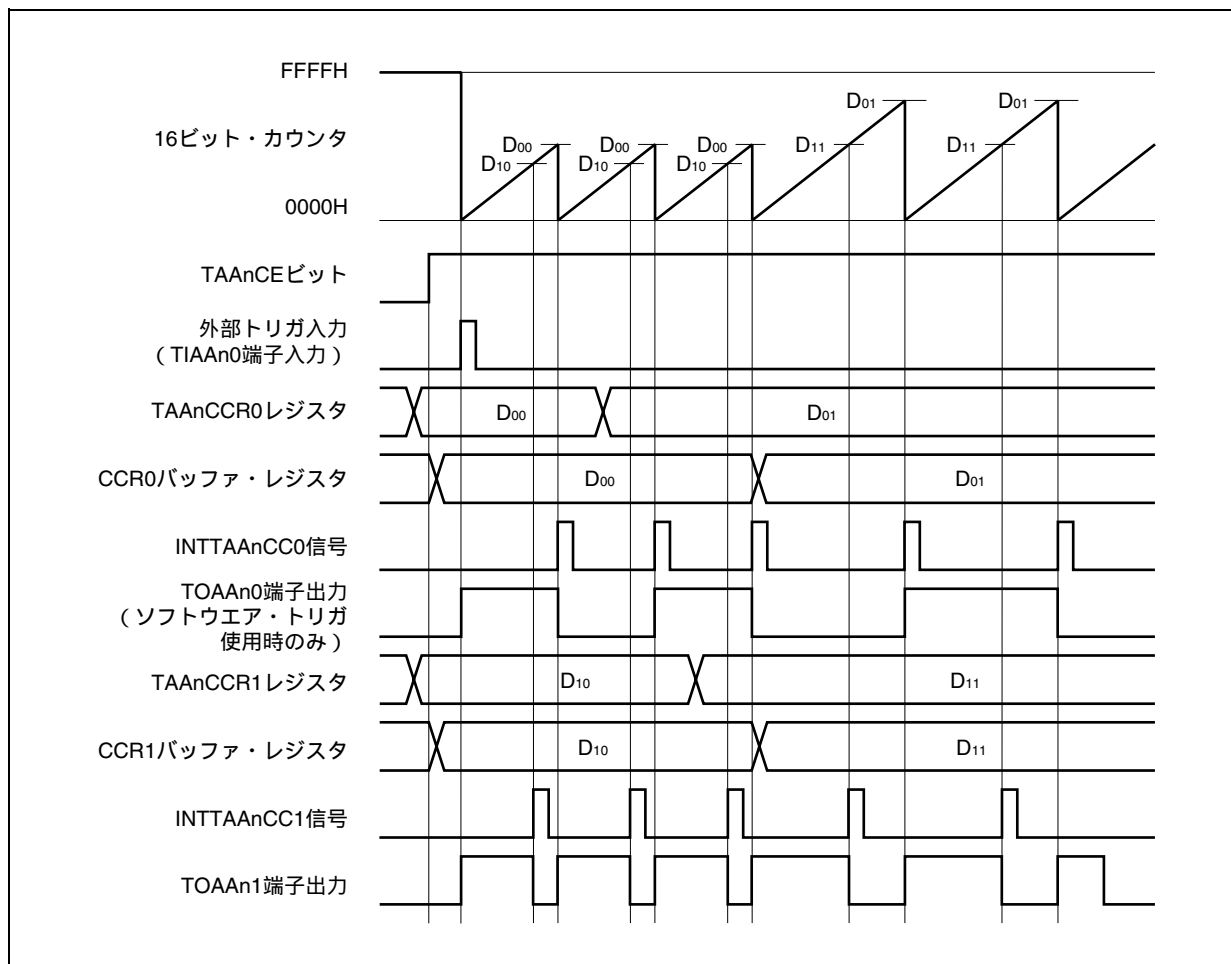


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTAAAnCCR1レジスタにライトしてください。

TAAAnCCR1レジスタにライト後、再度TAAAnCCRmレジスタの書き換えを行う場合には、INTTAAAnCC0信号を検出後に書き換えてください。



TAAAnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TAAAnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TAAAnCCR1レジスタのみの設定でかまいません。

TAAAnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TAAAnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

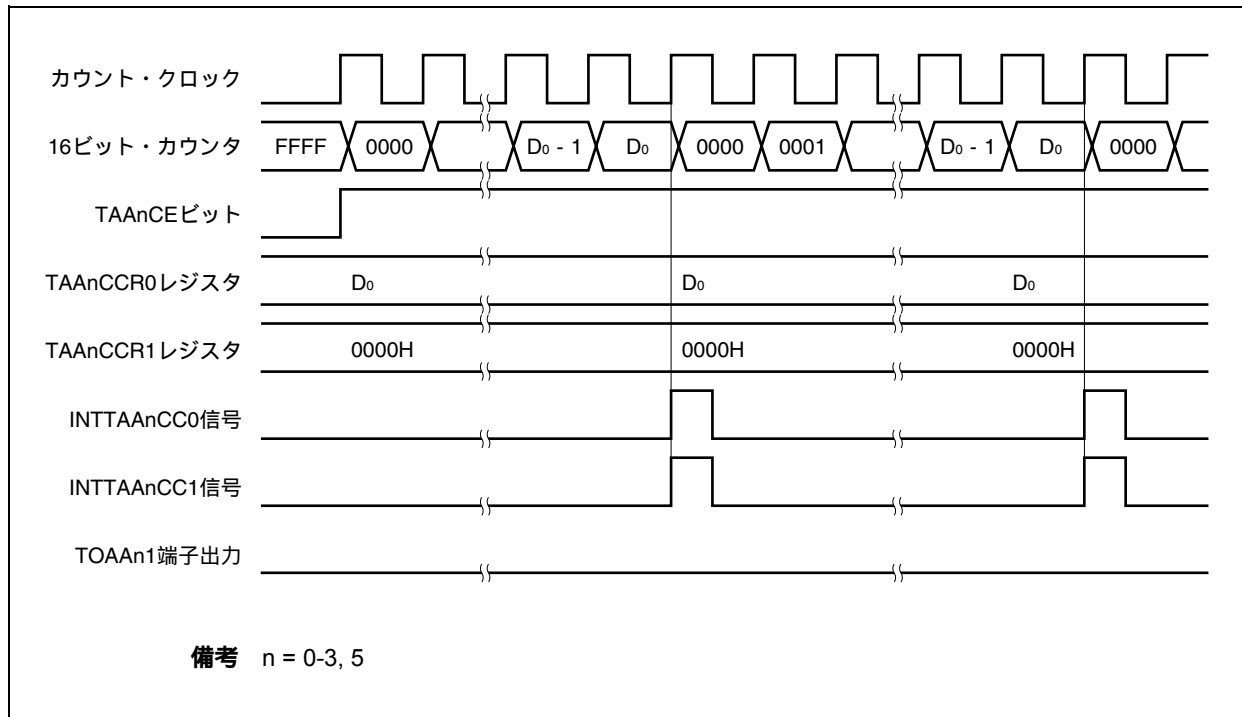
また、一度TAAAnCCR1レジスタにライトしたあとで、再度TAAAnCCR0、またはTAAAnCCR1レジスタへのライトを行う場合は、INTTAAAnCC0信号の発生後に行ってください。これを守れない場合には、TAAAnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TAAAnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

備考 n = 0-3, 5

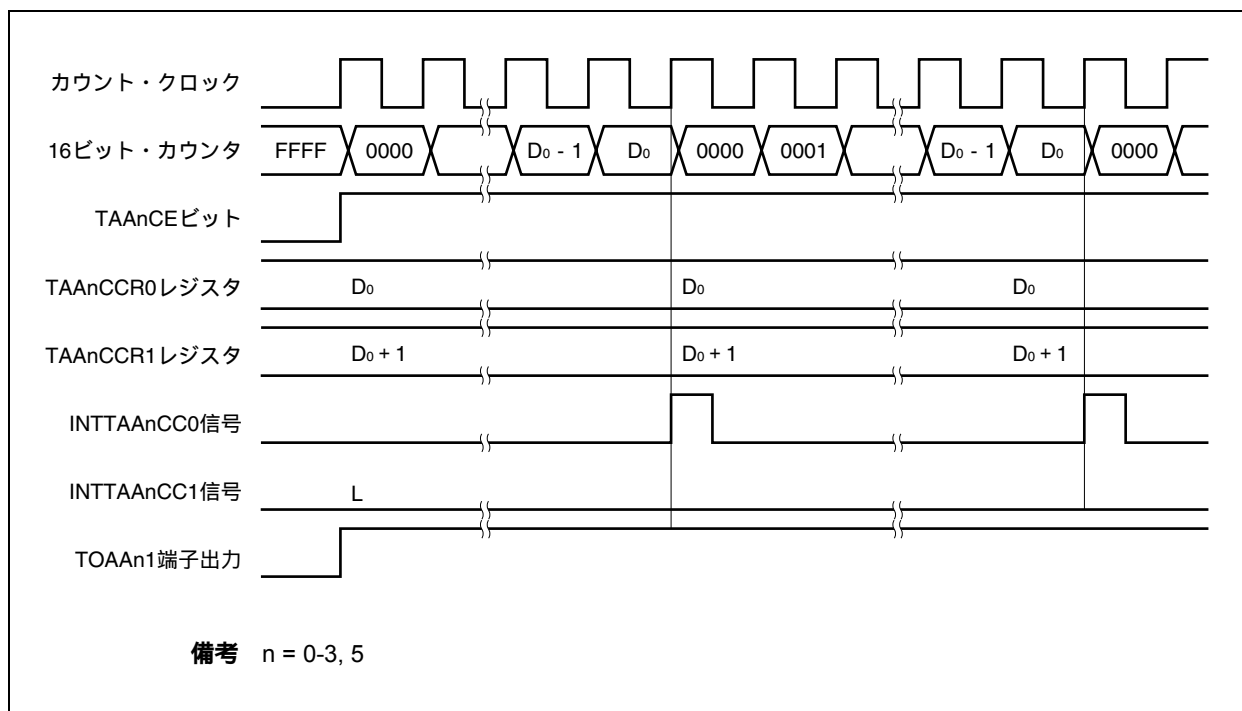
m = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TAAAnCCR1レジスタに対して0000Hを設定します。ただし, TAAAnCCR0レジスタの設定値がFFFFHの場合には, INTTAAAnCC1信号が定期的が発生します。

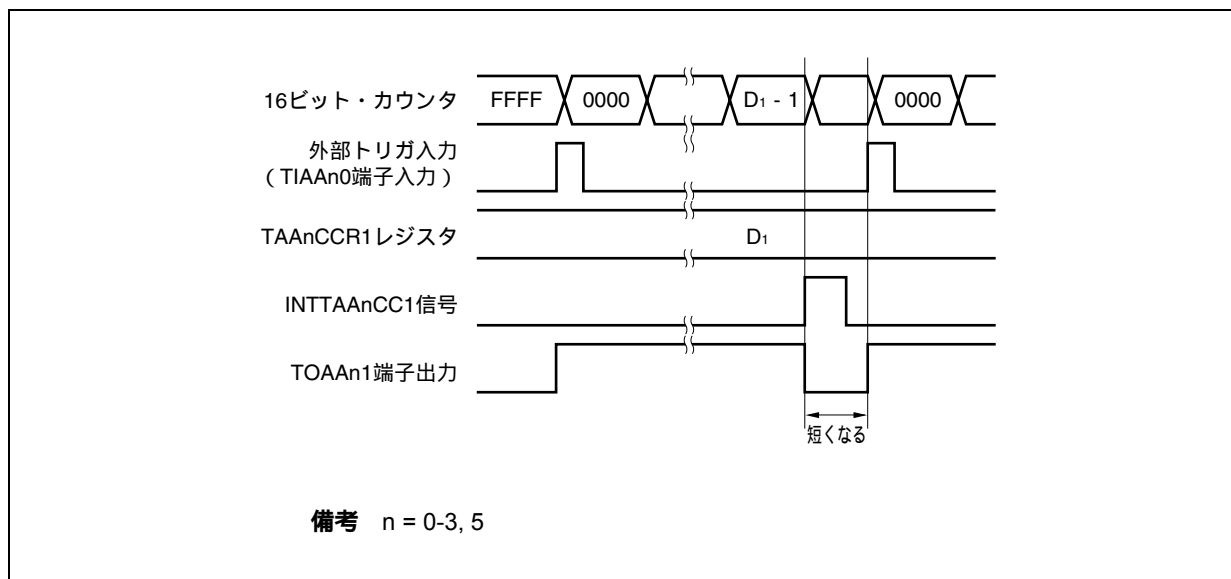


100 % 波形を出力するためには, TAAAnCCR1レジスタに対して (TAAAnCCR0レジスタの設定値 + 1) の値を設定してください。TAAAnCCR0レジスタの設定値がFFFFHの場合には, 100 % 出力はできません。

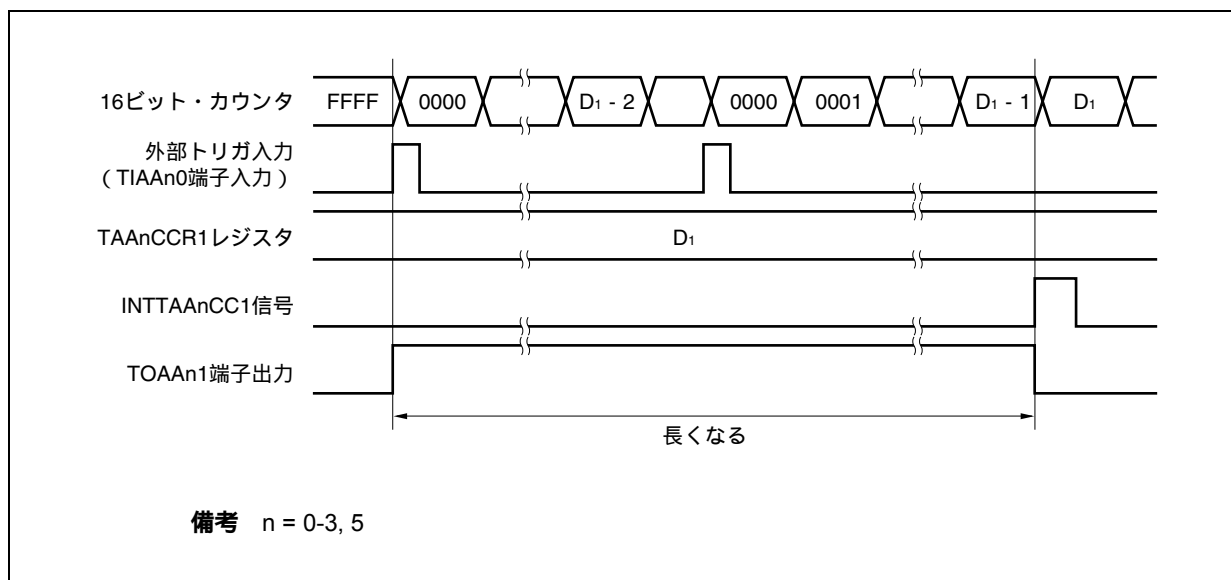


(c) トリガ検出とTAAAnCCR1レジスタとの一致の競合

INTTAAAnCC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOAAAn1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

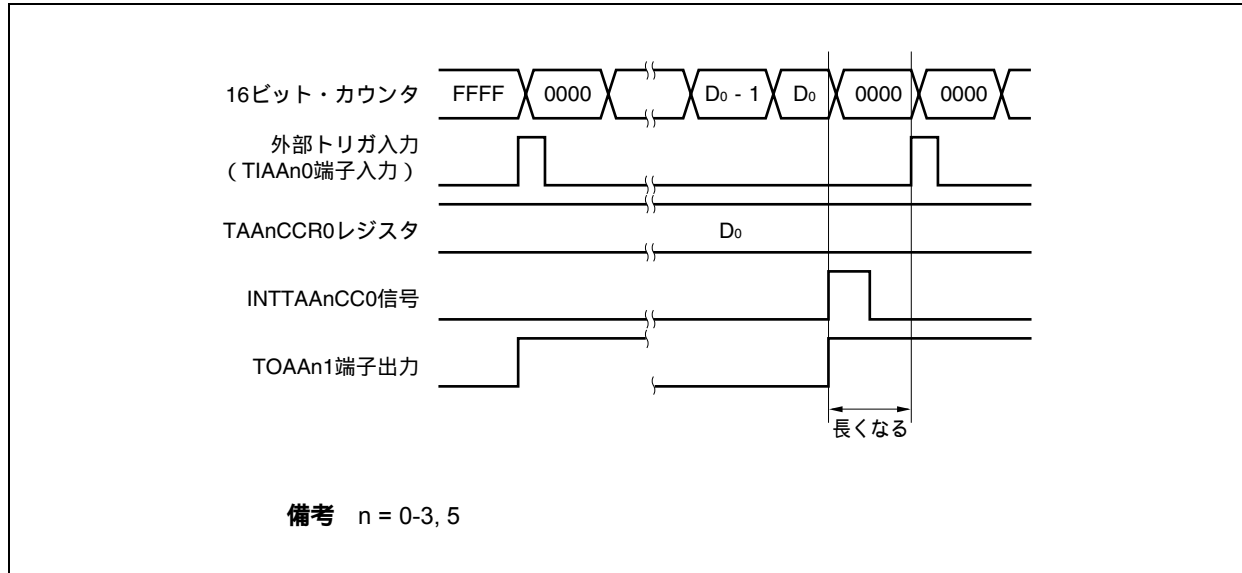


INTTAAAnCC1信号発生直前にトリガを検出した場合には、INTTAAAnCC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOAAAn1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

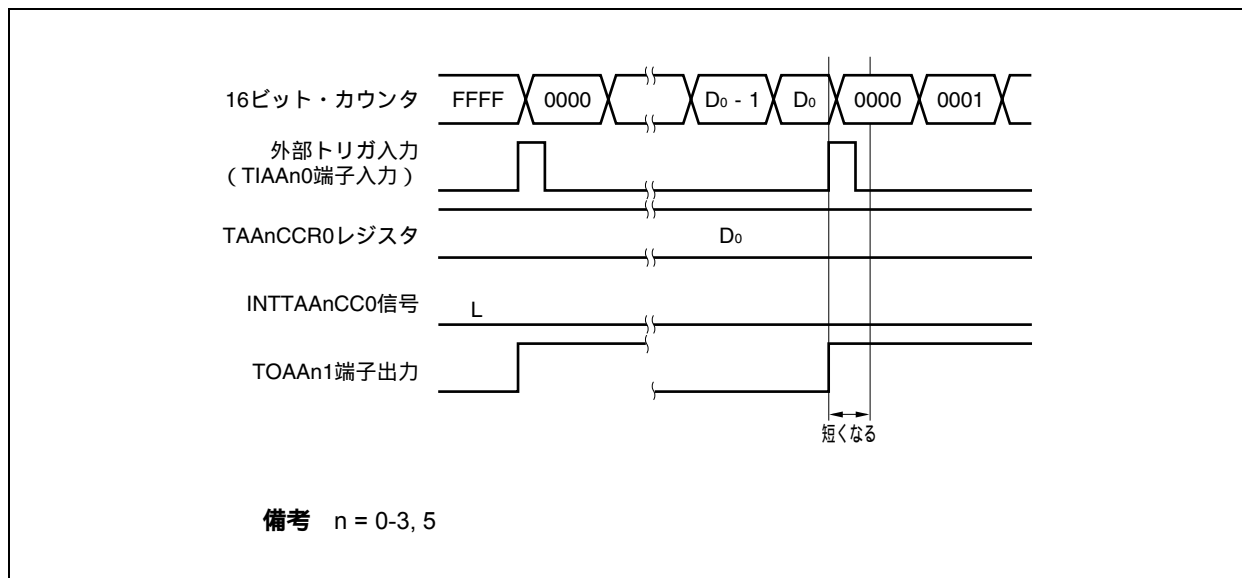


(d) トリガ検出とTAAAnCCR0レジスタとの一致の競合

INTTAAAnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOAAAn1端子出力のアクティブ期間が、INTTAAAnCC0信号発生からトリガ検出までの分だけ長くなります。

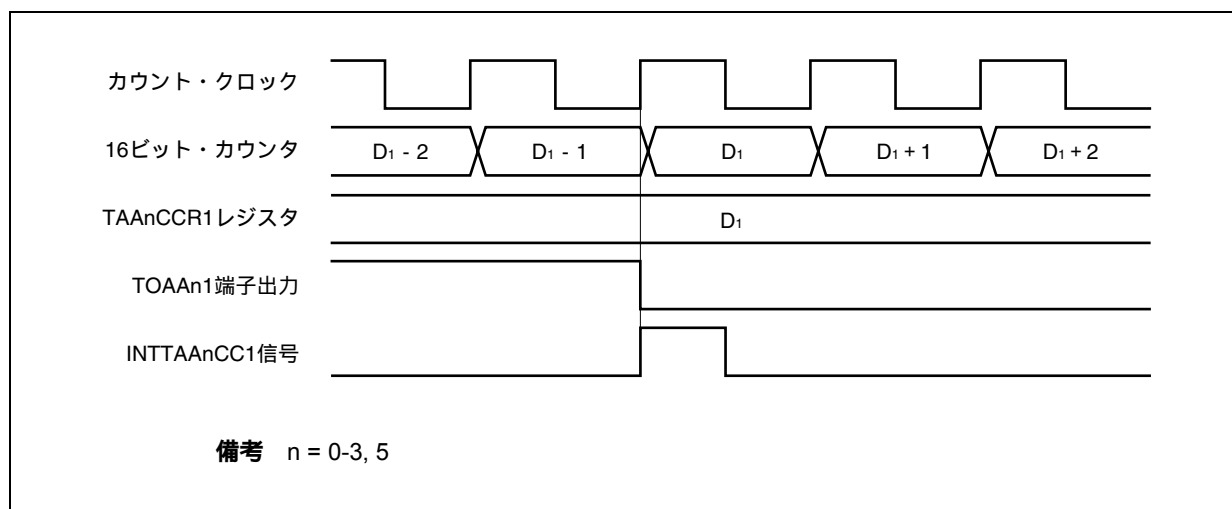


INTTAAAnCC0信号発生直前にトリガを検出した場合、INTTAAAnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOAAAn1端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTTAAAnCC1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTAAAnCC1信号の発生タイミングは、ほかのINTTAAAnCC1信号と異なり、16ビット・カウンタのカウント値とTAAAnCCR1レジスタの値との一致と同時に発生します。



通常、INTTAAAnCC1信号は、16ビット・カウンタのカウント値とTAAAnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOAAAn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.5.4 ワンショット・パルス出力モード (TAA_nMD2-TAA_nMD0ビット = 011)

ワンショット・パルス出力モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOAA_n1端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOAA_n0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図7-25 ワンショット・パルス出力モードの構成図

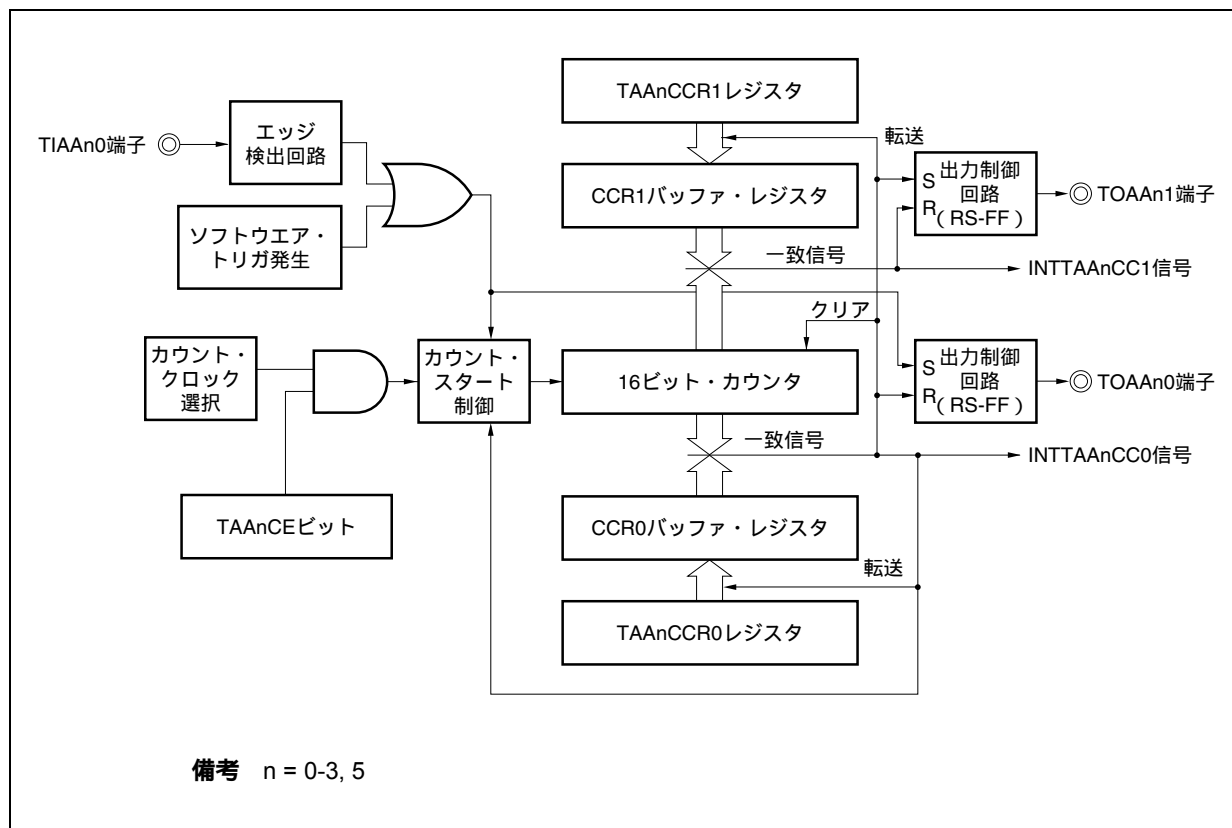
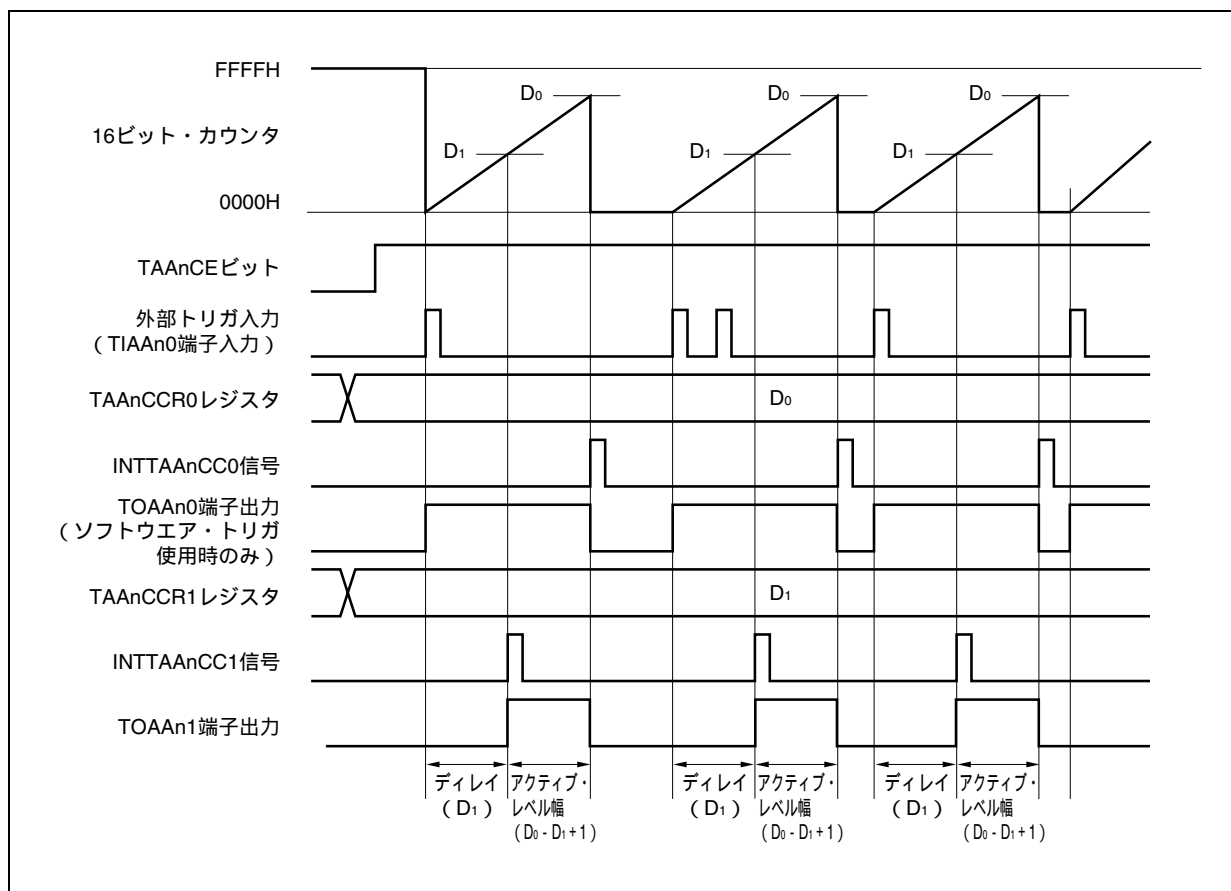


図7-26 ワンショット・パルス出力モードの基本タイミング



TAAAnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOAAAn1端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16ビット・カウンタをFFFFHにしてカウント動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力遅延期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力遅延期間} = (\text{TAAAnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{アクティブ・レベル幅} = (\text{TAAAnCCR0レジスタの設定値} - \text{TAAAnCCR1レジスタの設定値} + 1) \\ \times \text{カウント・クロック周期}$$

コンパレー一致割り込み要求信号 (INTTAAAnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンパレー一致割り込み要求信号 (INTTAAAnCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TAAAnCTL1.TAAAnESTビット) のセット(1)があります。

備考 n = 0-3, 5

図7-27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

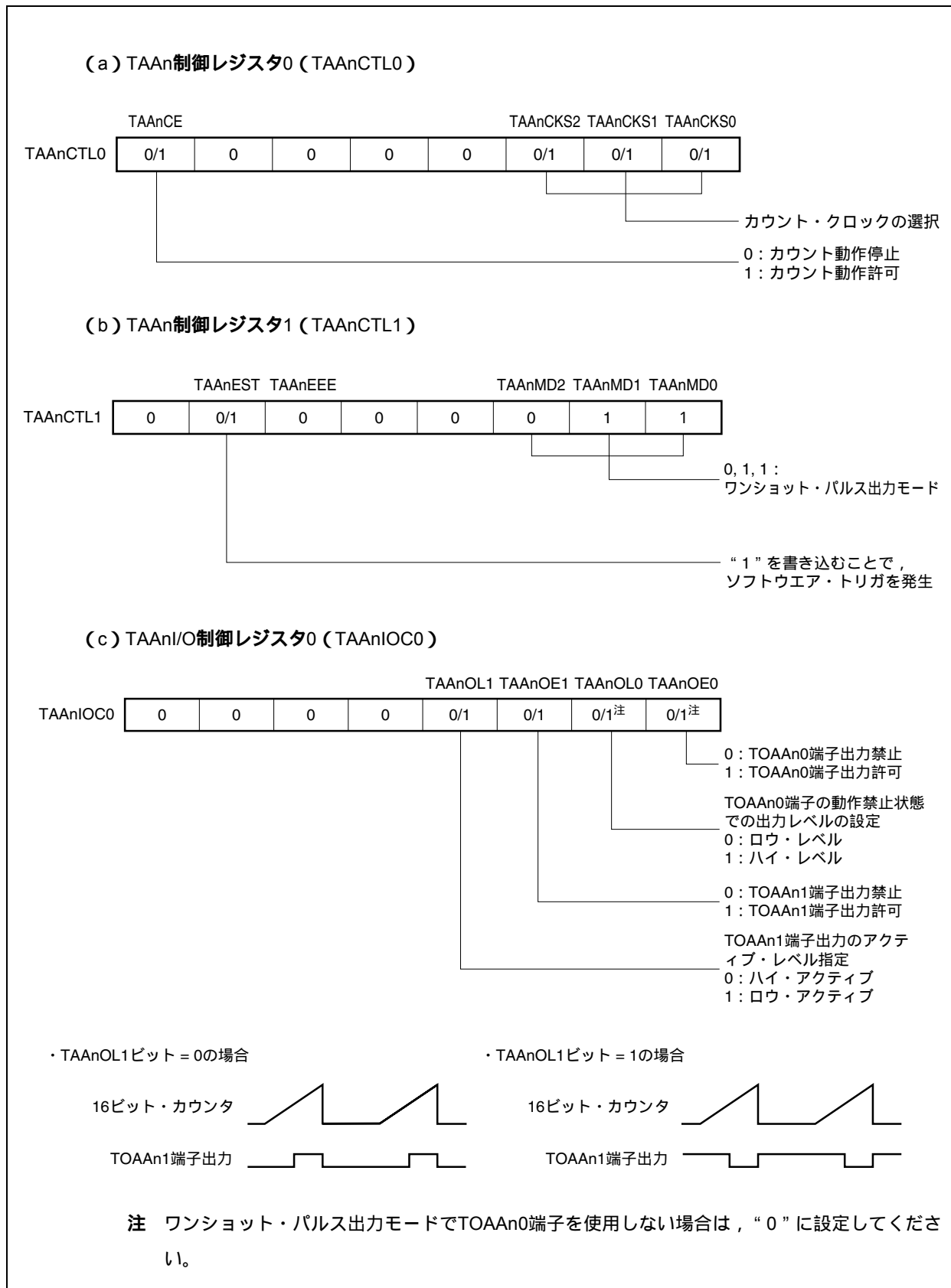
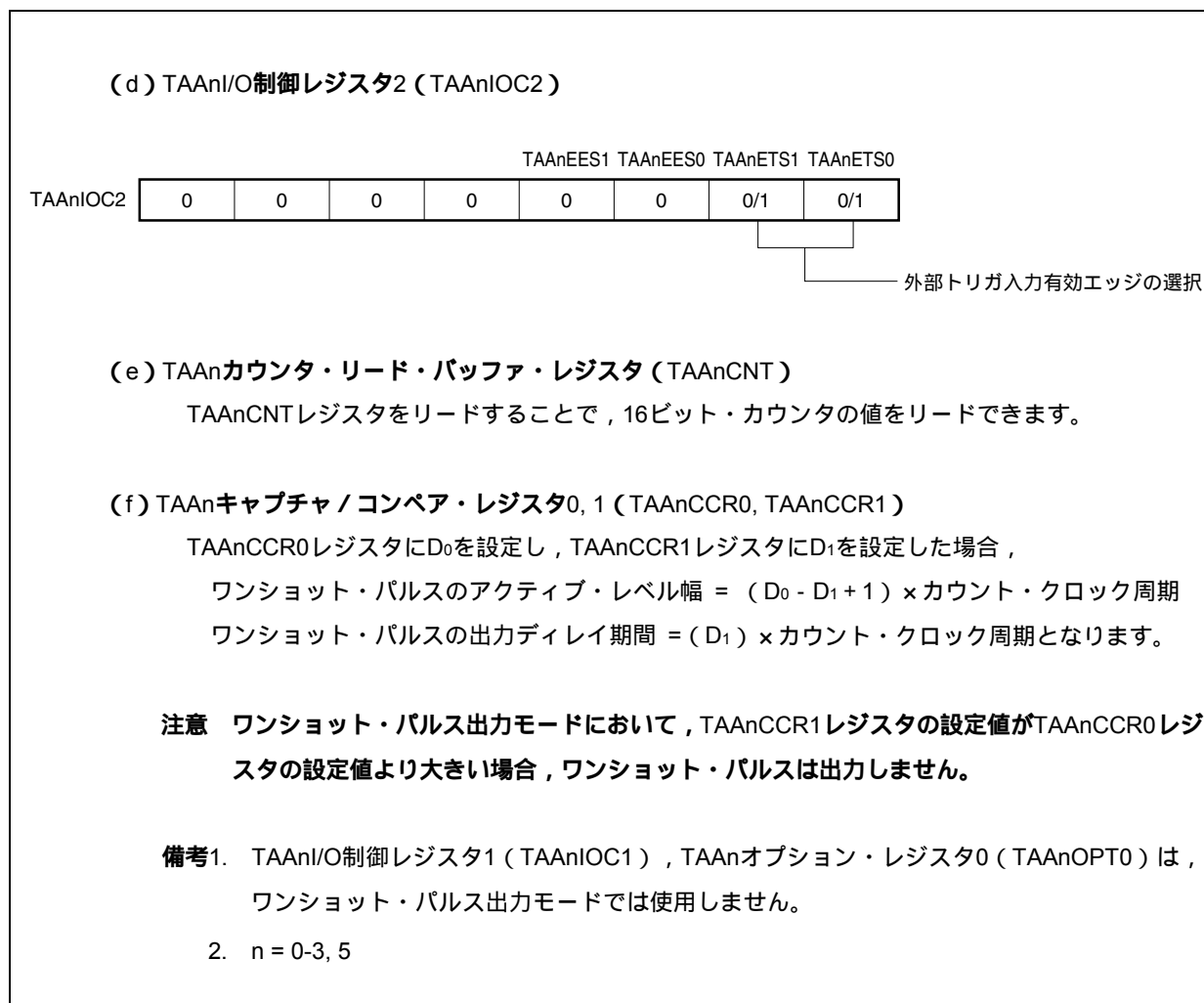
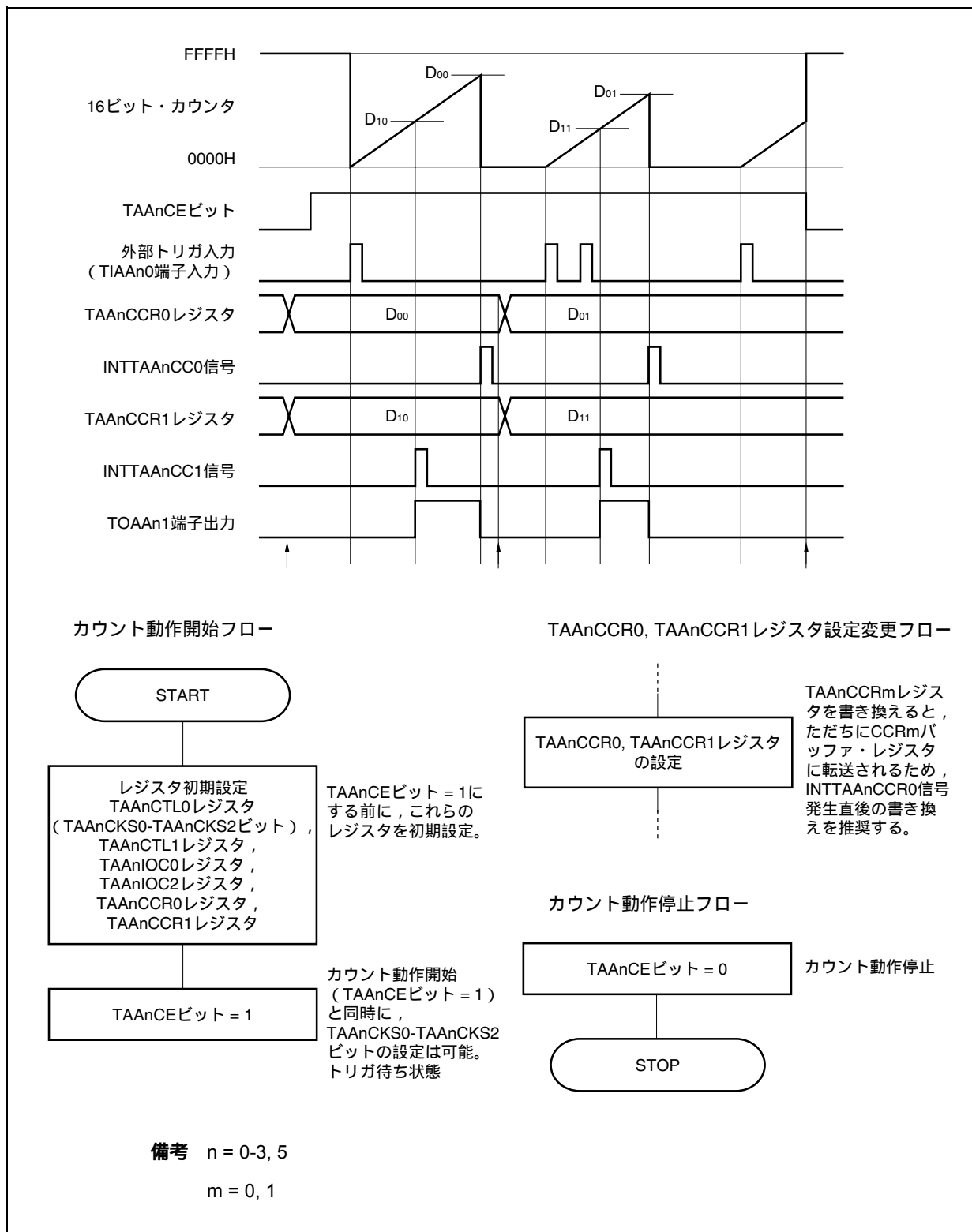


図7-27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) ワンショット・パルス出力モード動作フロー

図7-28 ワンショット・パルス出力モード使用時のソフトウェア処理フロー

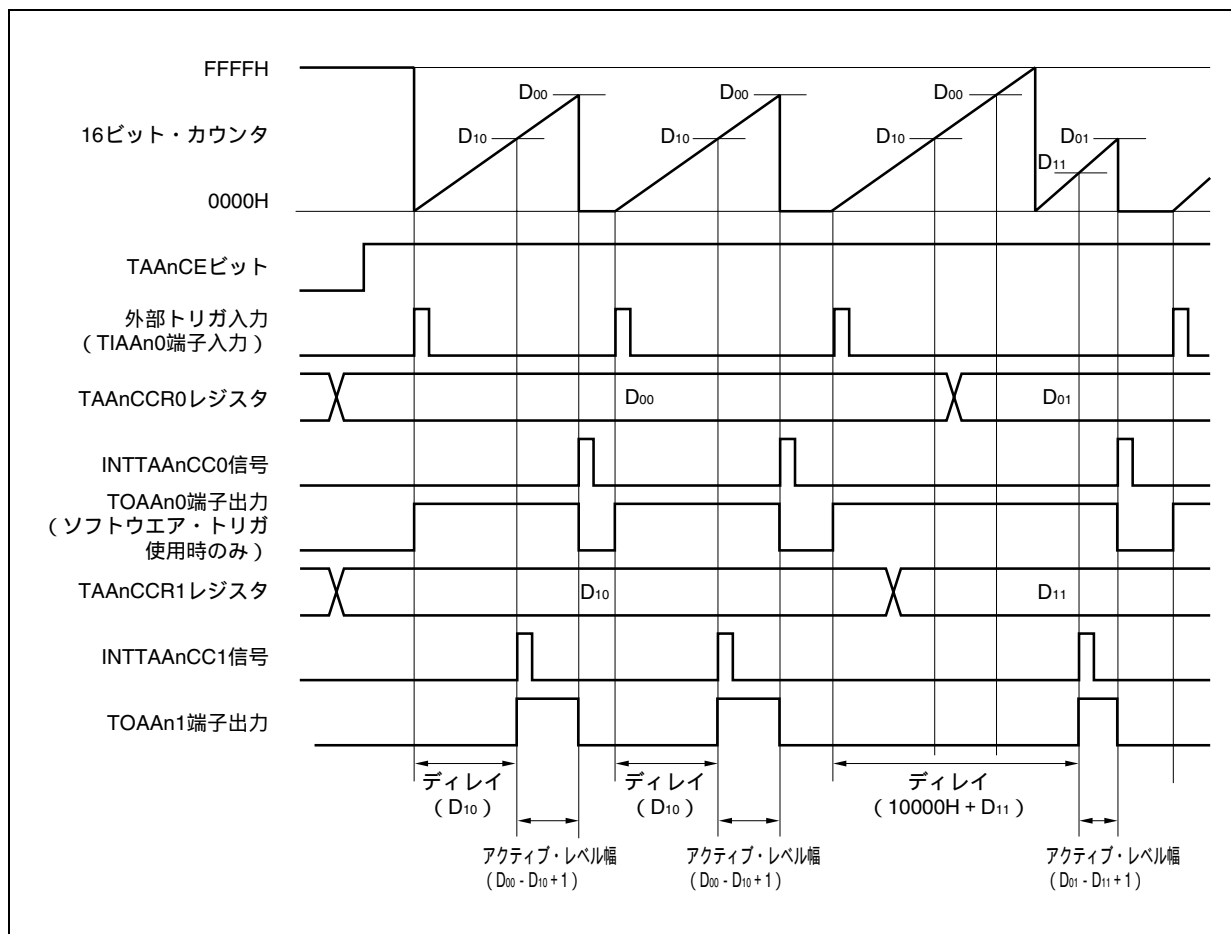


(2) ワンショット・パルス出力モード動作タイミング

(a) TAAAnCCRmレジスタの書き換えに関する注意事項

TAAAnCCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTAAAnCCRmレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



TAAAnCCR0レジスタを D_{00} から D_{01} に、TAAAnCCR1レジスタを D_{10} から D_{11} に書き換える場合において、 $D_{00} > D_{01}$ 、 $D_{10} > D_{11}$ の状態では、16ビット・カウンタのカウンタ値が D_{11} よりも大きく D_{10} よりも小さい状態のときTAAAnCCR1レジスタを書き換え、カウンタ値が D_{01} よりも大きく D_{00} よりも小さい状態でTAAAnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウンタ値と比較されるために、カウンタ値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、 D_{11} との一致でINTTAAAnCC1信号を発生してTOAAn1端子出力をアクティブ・レベルにし、 D_{01} との一致でINTTAAAnCC0信号を発生してTOAAn1端子出力をインアクティブにしてカウント動作を停止します。

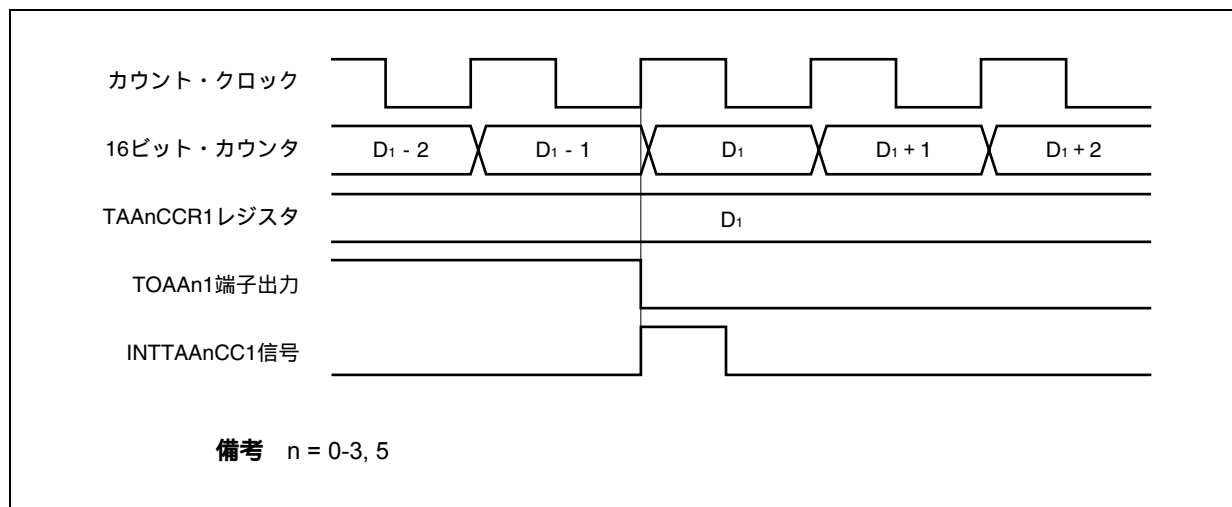
したがって、本来期待しているワンショット・パルス出力に対し、遅延期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 $n = 0-3, 5$

$m = 0, 1$

(b) コンペアー一致割り込み要求信号 (INTTAAAnCC1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTAAAnCC1信号の発生タイミングは、ほかのINTTAAAnCC1信号と異なり、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致と同時に発生します。



通常、INTTAAAnCC1信号は、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOAAAn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.5.5 PWM出力モード (TAA_nMD2-TAA_nMD0ビット = 100)

PWM出力モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することで、TOAAn1端子からPWM波形を出力します。

また、TOAAn0端子から、PWM波形の1周期を半周期とするパルスを出力します。

図7-29 PWM出力モードの構成図

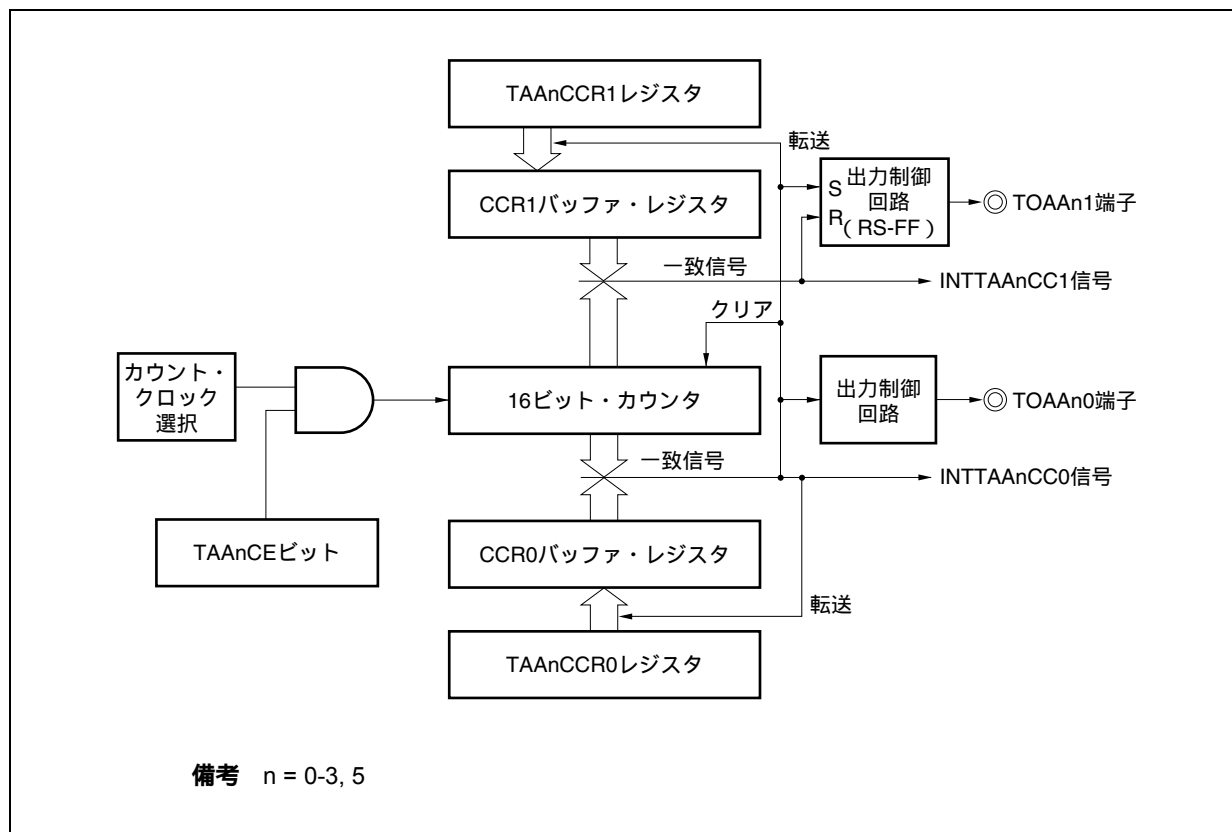
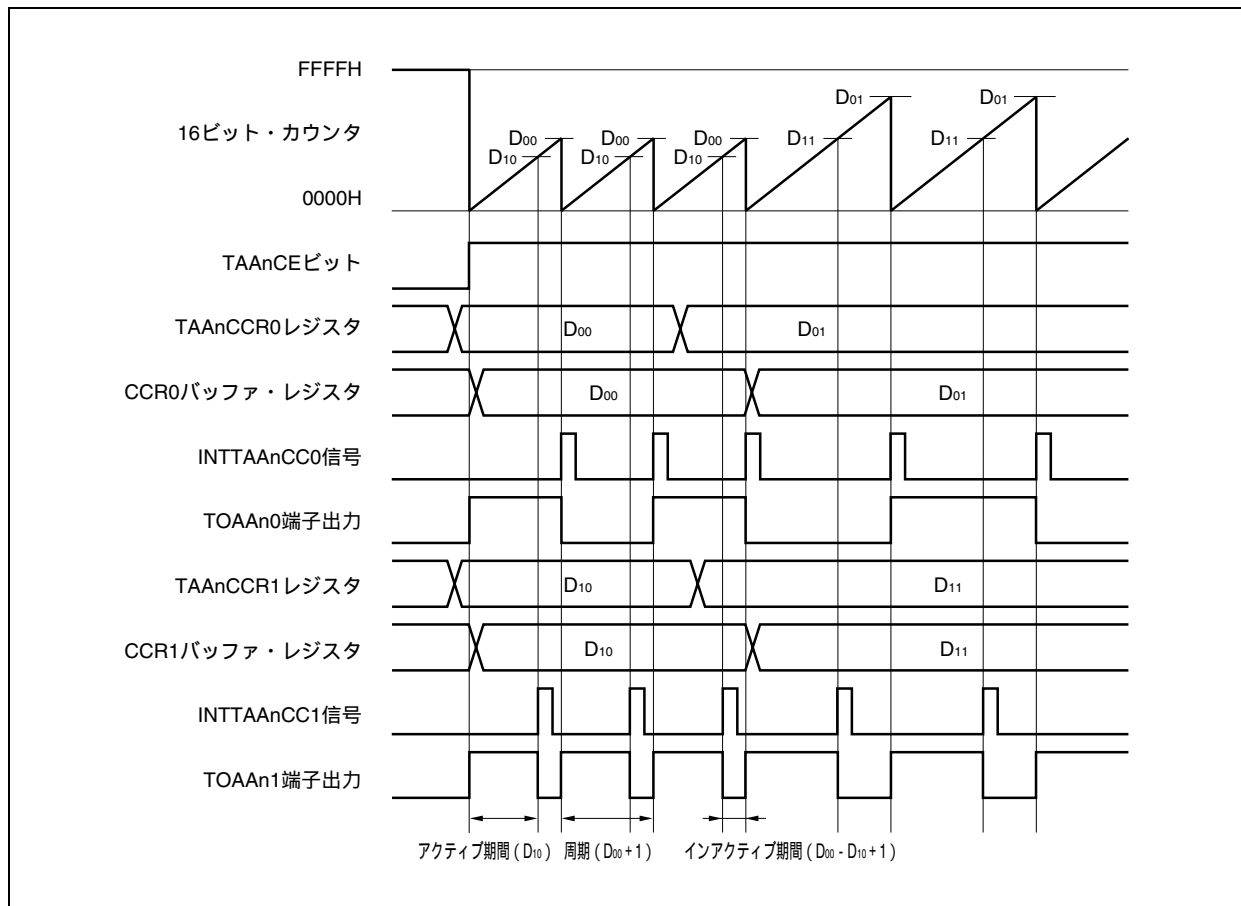


図7-30 PWM出力モードの基本タイミング



TAAAnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOAAAn1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TAAAnCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TAAAnCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TAAAnCCR1レジスタの設定値}) / (\text{TAAAnCCR0レジスタの設定値} + 1)$$

動作中にTAAAnCCRmレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペア一致割り込み要求信号 (INTTAAAnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号 (INTTAAAnCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TAAAnCCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

備考 n = 0-3, 5

m = 0, 1

図7-31 PWM出力モード動作時のレジスタ設定内容 (1/2)

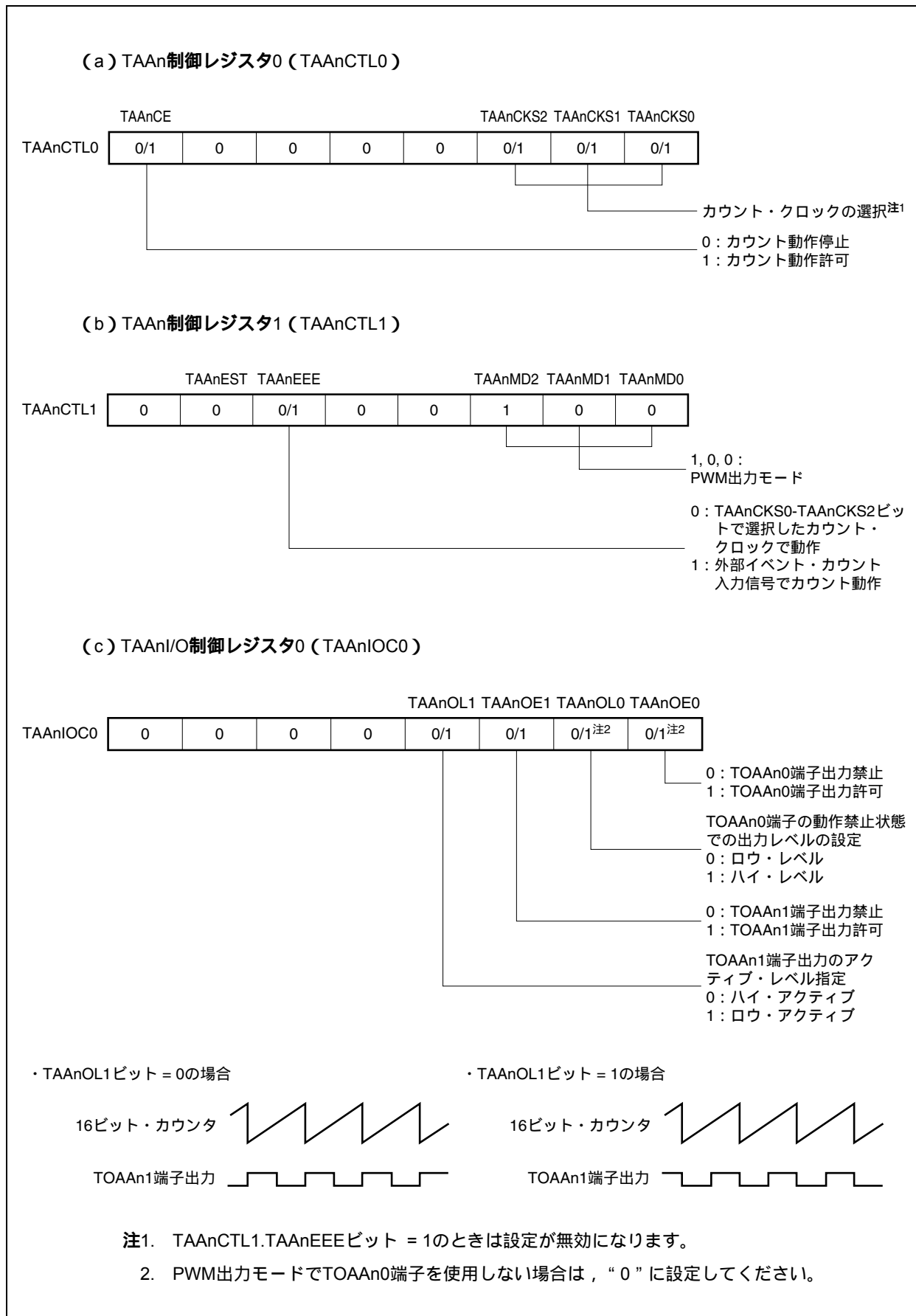
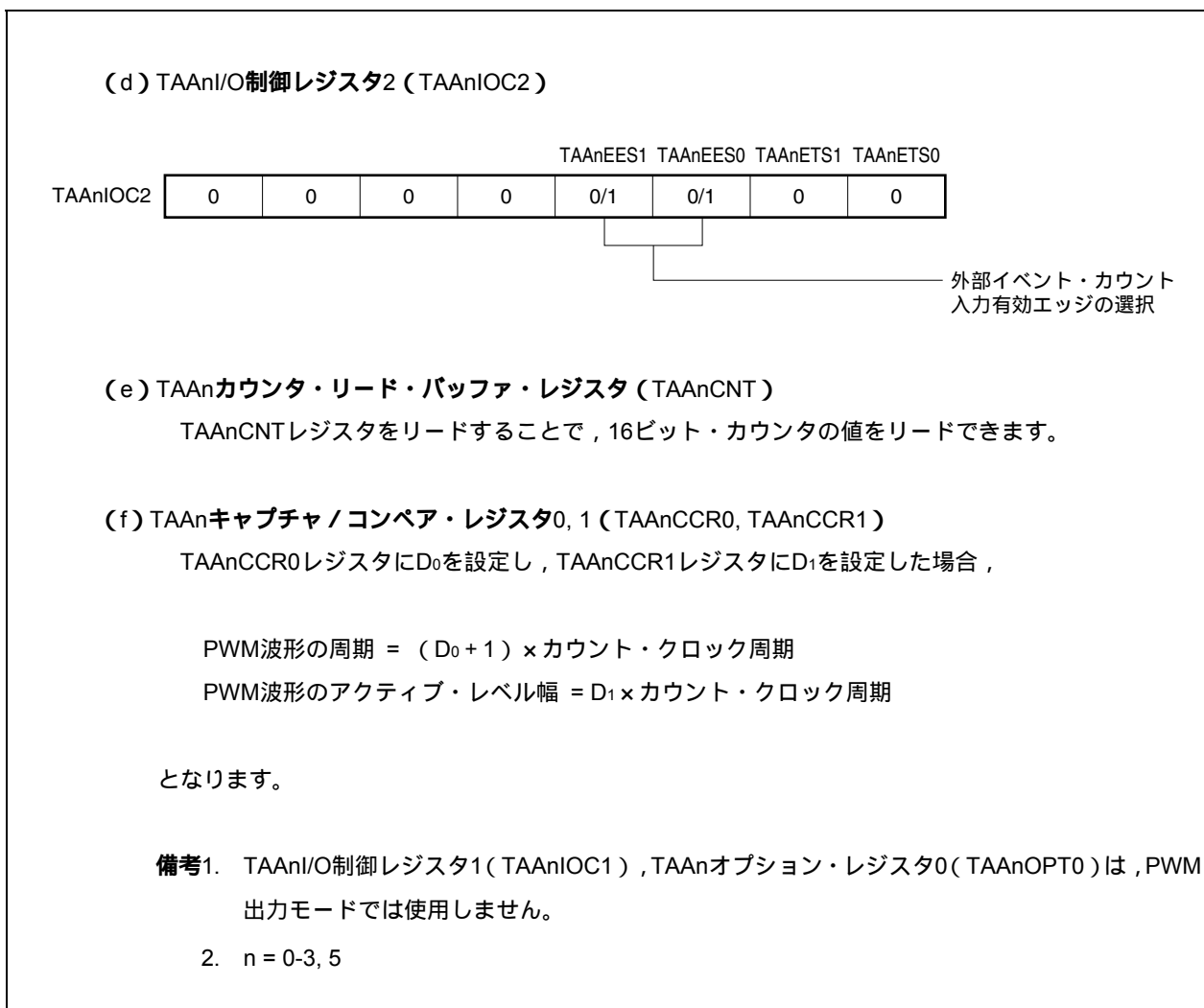


図7 - 31 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図7 - 32 PWM出力モード使用時のソフトウェア処理フロー (1/2)

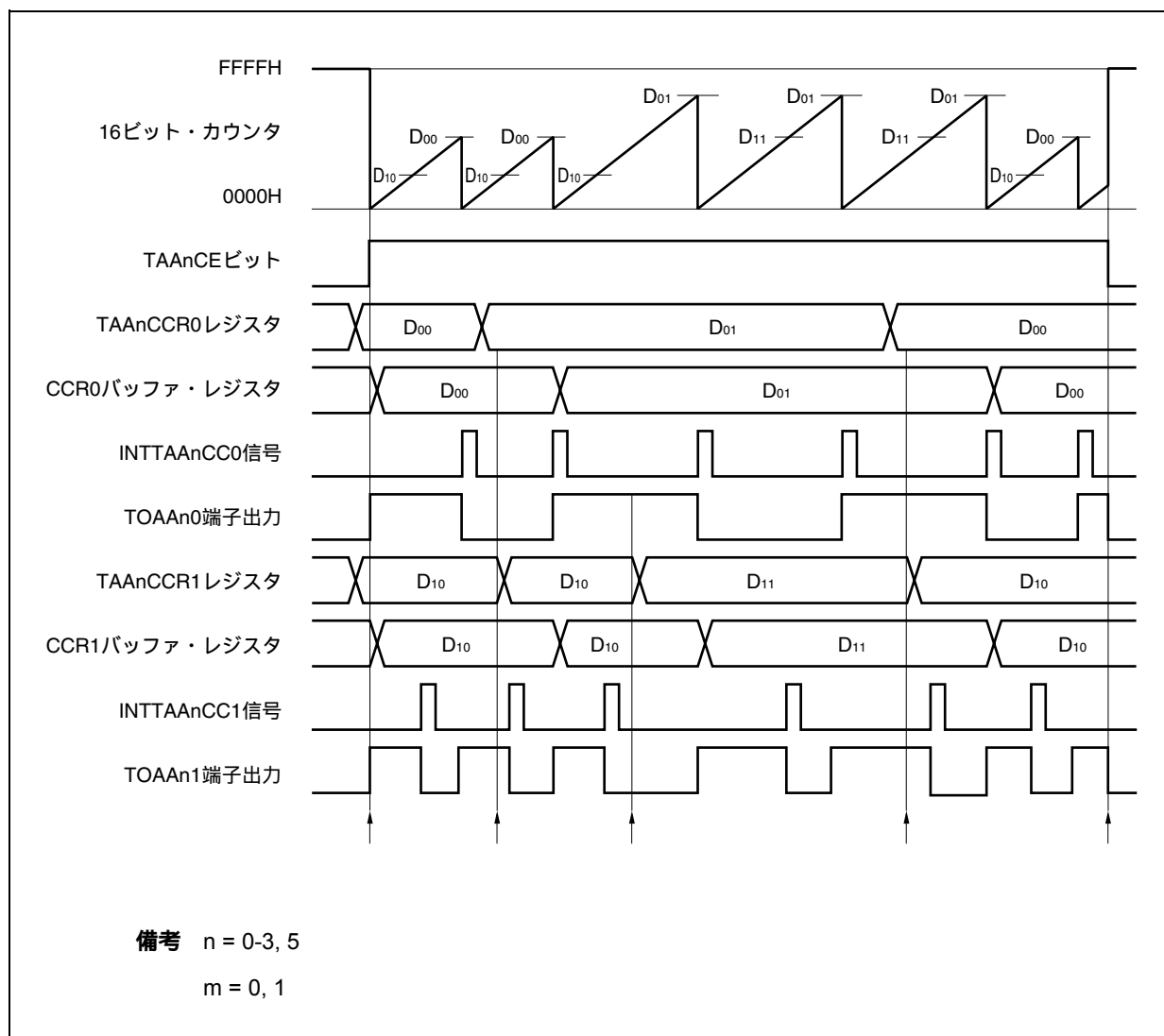
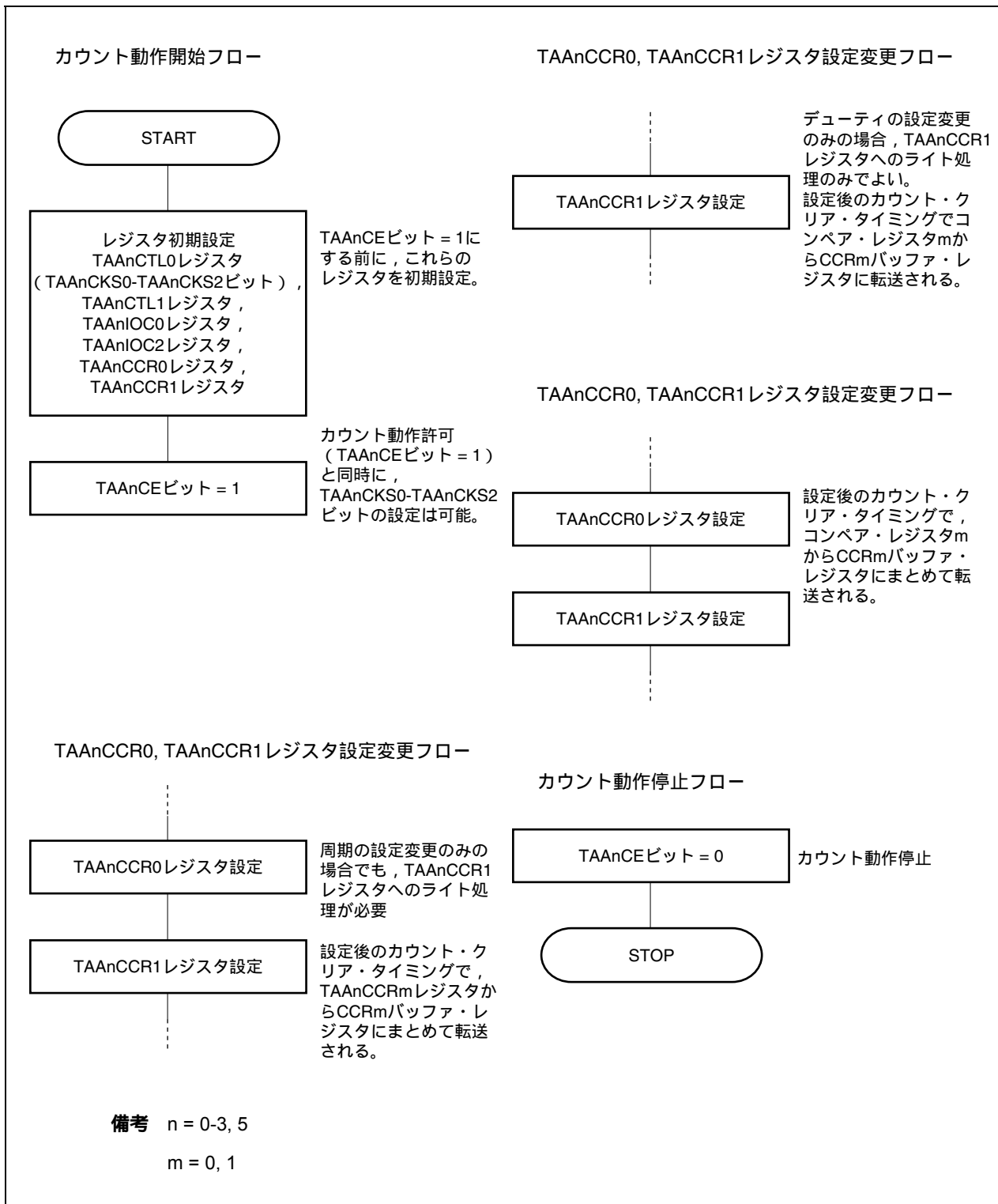


図7 - 32 PWM出力モード使用時のソフトウェア処理フロー (2/2)

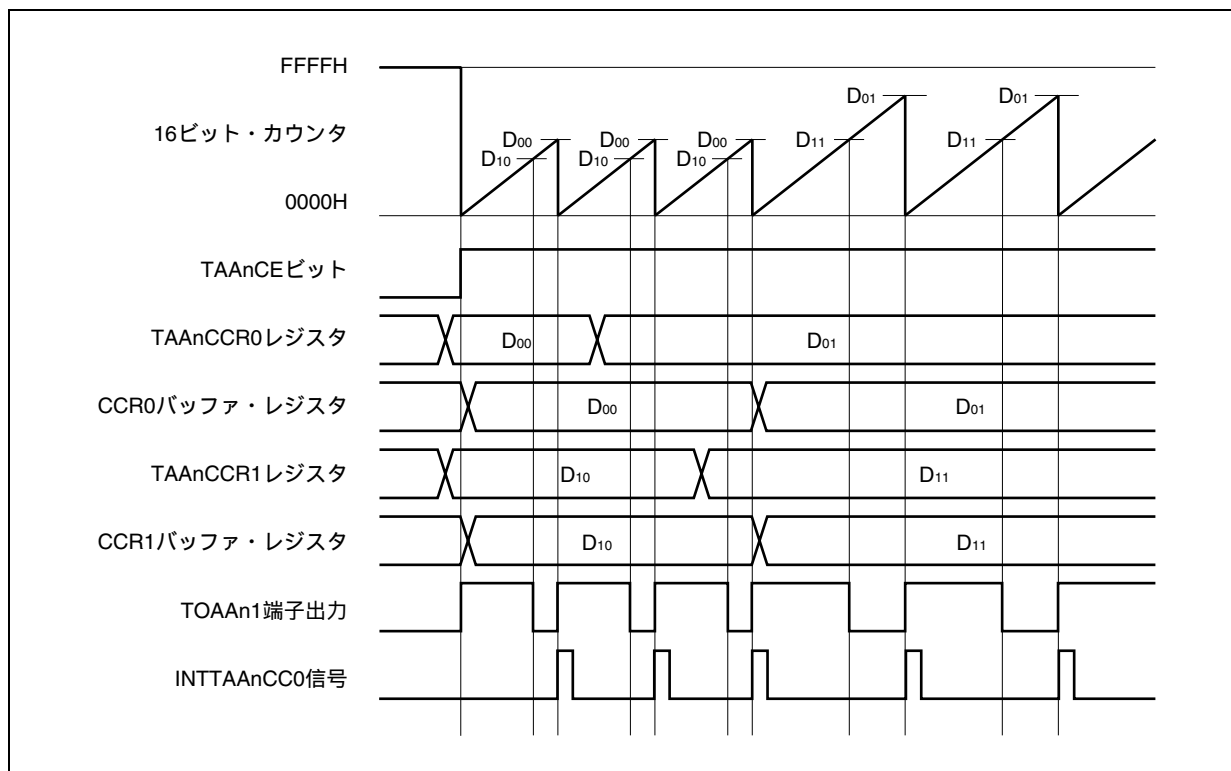


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTAAAnCCR1レジスタにライトしてください。

TAAAnCCR1レジスタにライト後、再度TAAAnCCRmレジスタの書き換えを行う場合には、INTTAAAnCC0信号を検出後に書き換えてください。



TAAAnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TAAAnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TAAAnCCR1レジスタのみの設定でかまいません。

TAAAnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TAAAnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

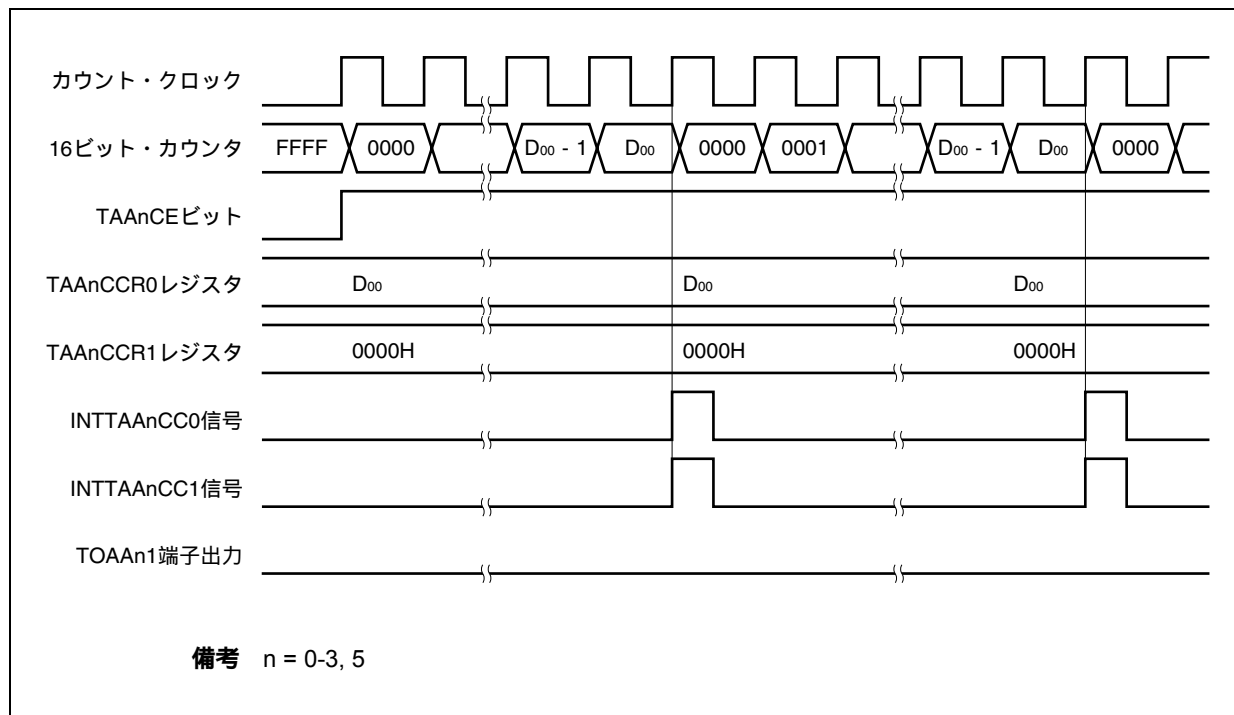
また、一度TAAAnCCR1レジスタにライトしたあとで、再度TAAAnCCR0、またはTAAAnCCR1レジスタへのライトを行う場合は、INTTAAAnCC0信号の発生後に行ってください。これを守れない場合には、TAAAnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TAAAnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

備考 n = 0-3, 5

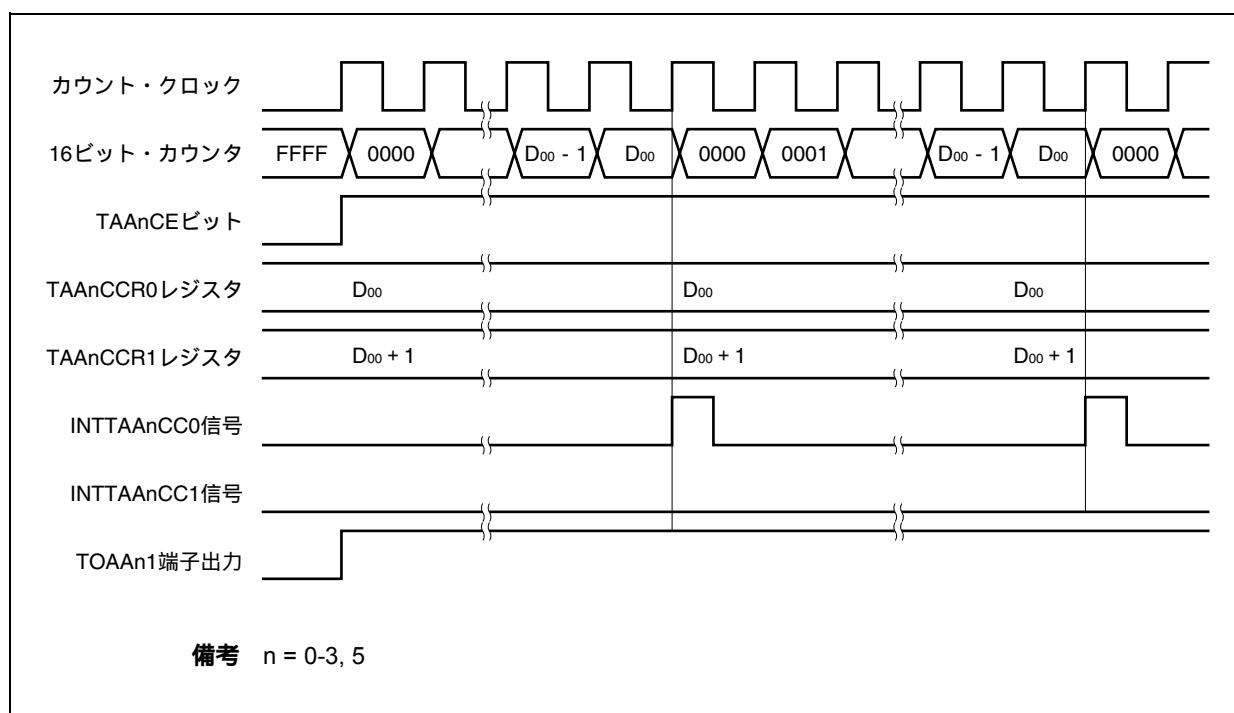
m = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TAAAnCCR1レジスタに対して0000Hを設定します。ただし, TAAAnCCR0レジスタの設定値がFFFFHの場合には, INTTAAAnCC1信号が定期的が発生します。

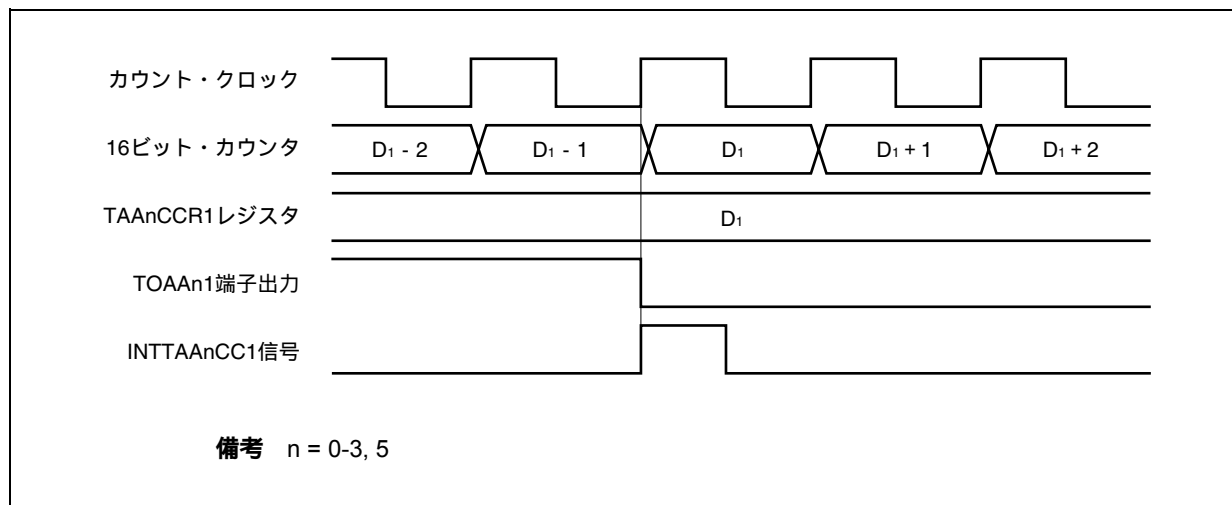


100 % 波形を出力するためには, TAAAnCCR1レジスタに対して (TAAAnCCR0レジスタの設定値 + 1) の値を設定してください。TAAAnCCR0レジスタの設定値がFFFFHの場合には, 100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTAAAnCC1) の発生タイミング

PWM出力モードにおけるINTTAAAnCC1信号の発生タイミングは、ほかのINTTAAAnCC1信号と異なり、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致と同時に発生します。



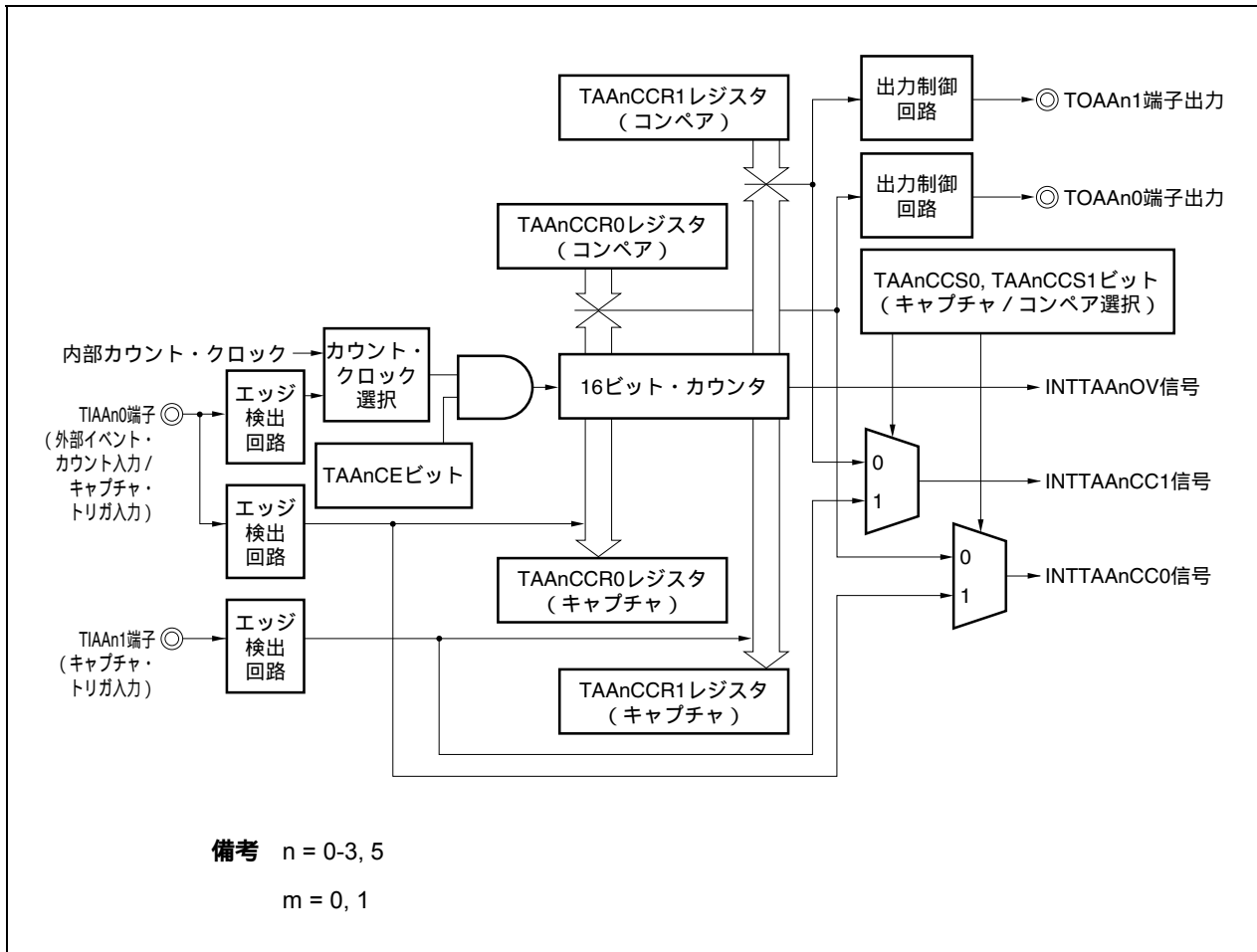
通常、INTTAAAnCC1信号は、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOAAAn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.5.6 フリー・ランニング・タイマ・モード (TAA_nMD2-TAA_nMD0ビット = 101)

フリー・ランニング・タイマ・モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することでカウント動作を開始します。このときのTAA_nCCR_mレジスタの動作は、TAA_nOPT0.TAA_nCCS0, TAA_nCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図7-33 フリー・ランニング・タイマ・モードの構成図

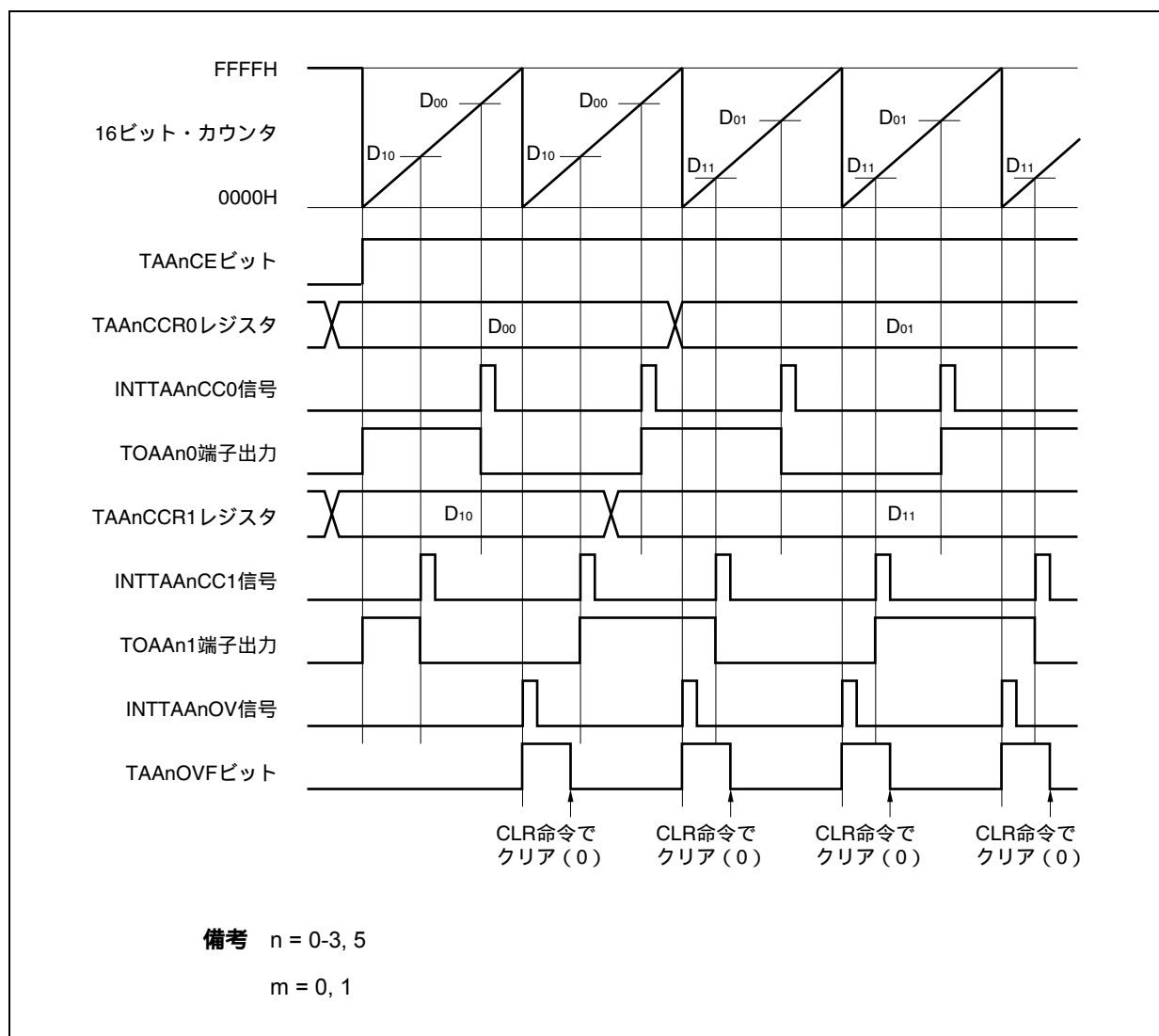


TAA_nCEビットをセット(1)することで、カウント動作を開始し、TOAA_n0, TOAA_n1端子出力を反転します。その後、16ビット・カウンタのカウント値とTAA_nCCR_mレジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTAA_nCC_m) を発生し、TOAA_nm端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTAA_nOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TAA_nOPT0.TAA_nOVFビット) もセット(1)されます。オーバーフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

TAA_nCCR_mレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き換えた値が反映され、カウント値と比較されます。

図7-34 フリー・ランニング・タイマ・モードの基本タイミング(コンペア機能)



TAA_nCEビットをセット(1)することで、カウント動作を開始します。その後、TIAAn_m端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTAA_nCCR_mレジスタに格納し、キャプチャ割り込み要求信号(INTTAA_nCC_m)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTAA_nOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TAA_nOPT0.TAA_nOVFビット)もセット(1)されます。オーバーフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

図7-35 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

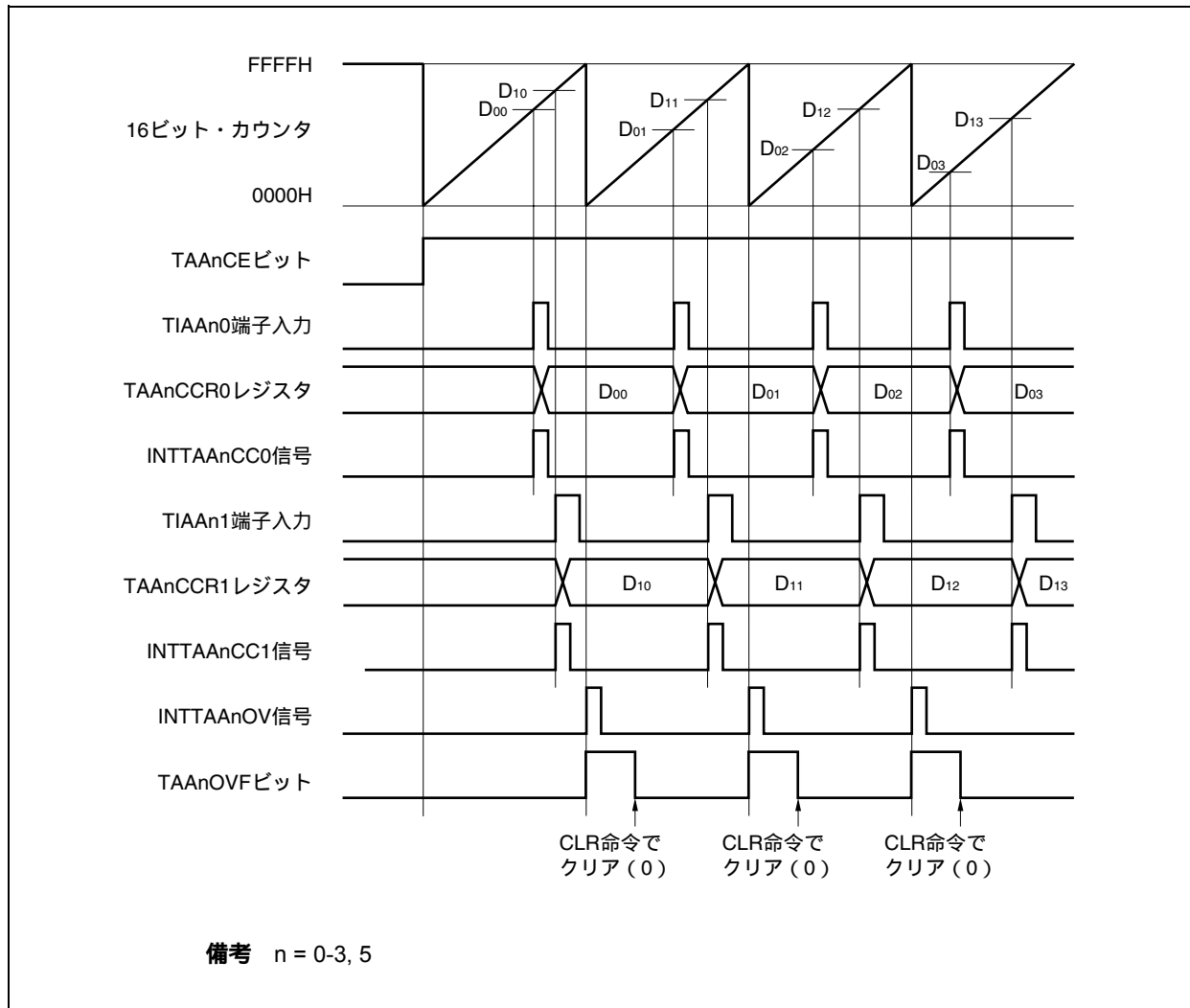


図7-36 フリー・ランニング・タイマモード動作時のレジスタ設定内容 (1/2)

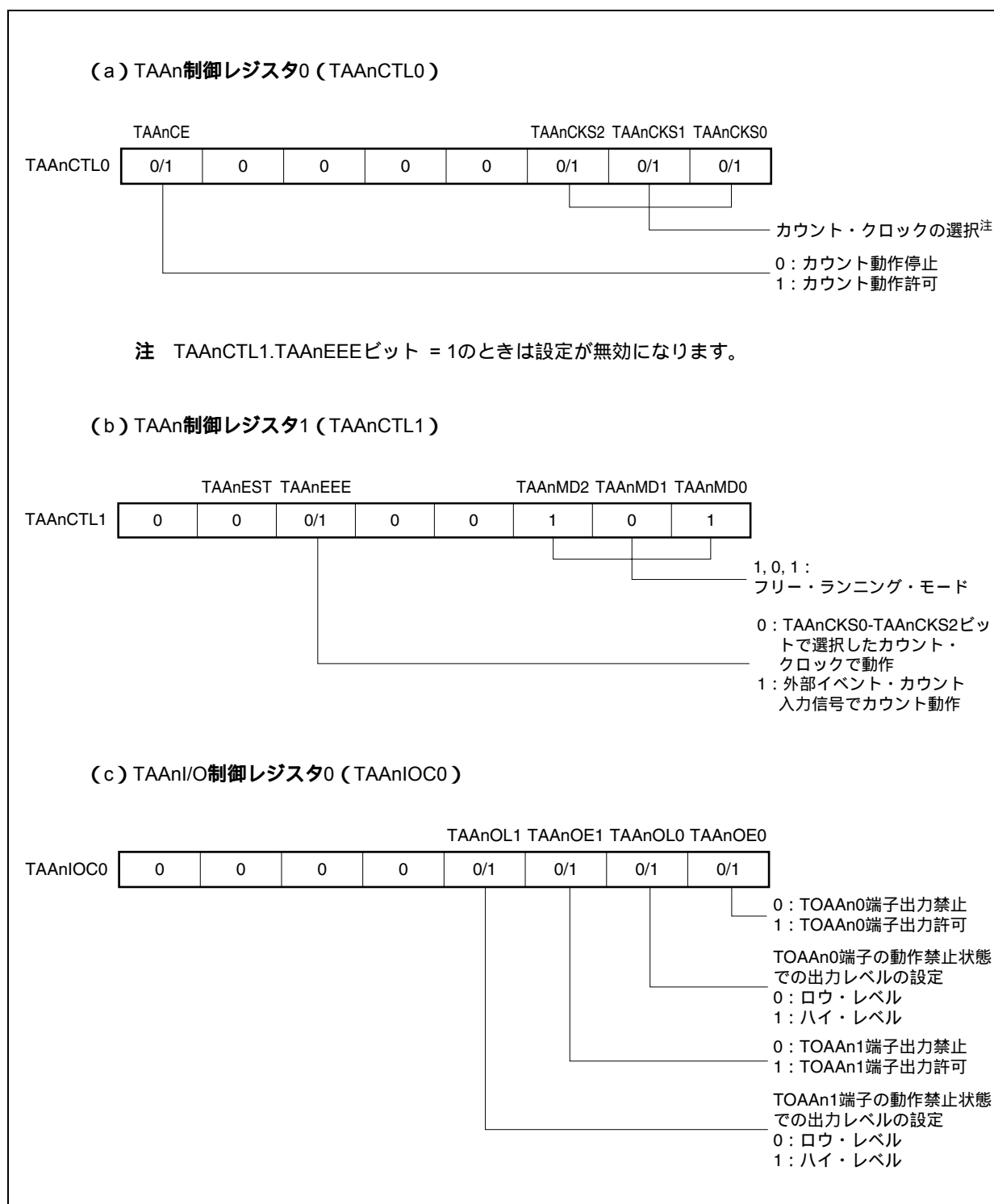
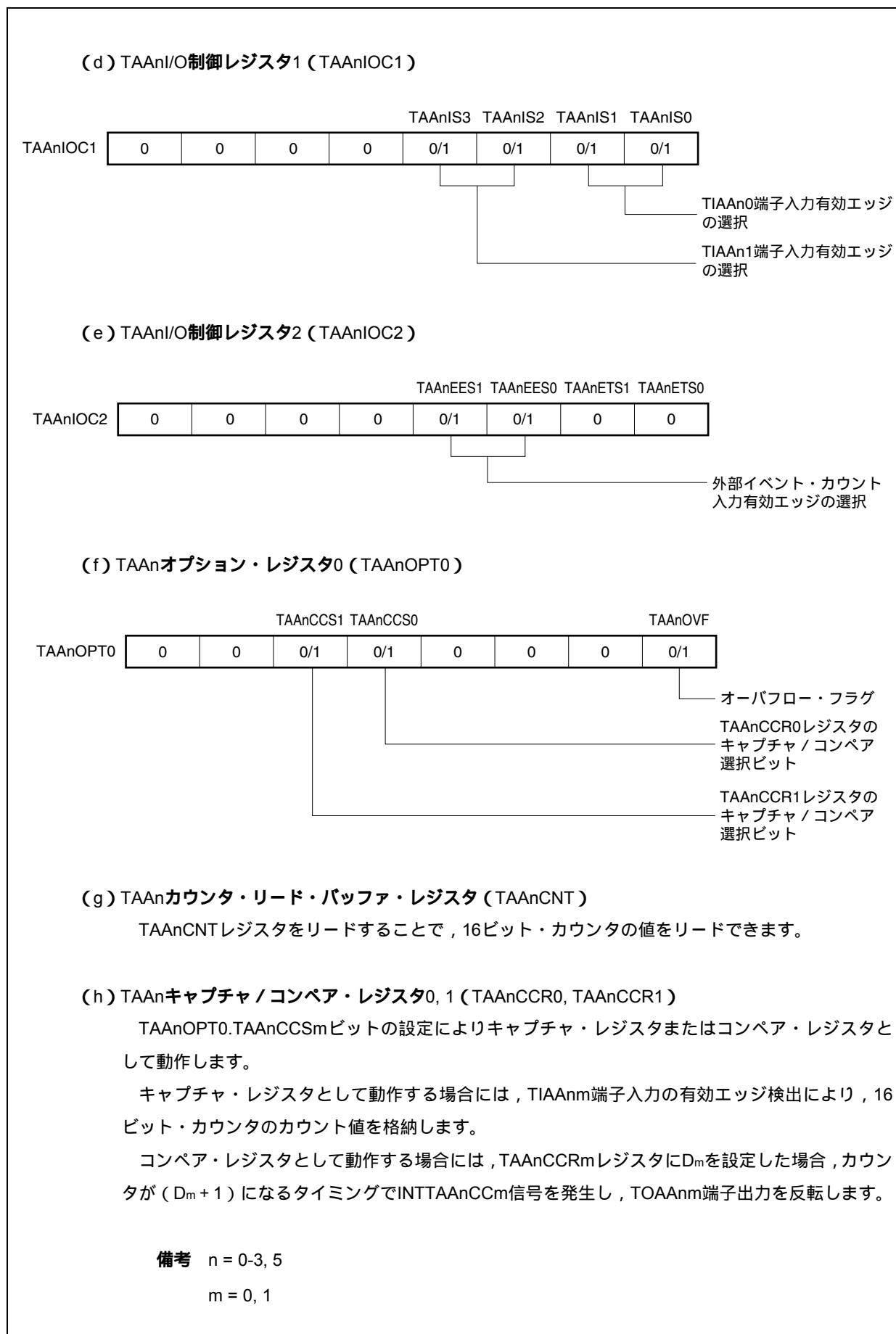


図7 - 36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/2)



(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図7-37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

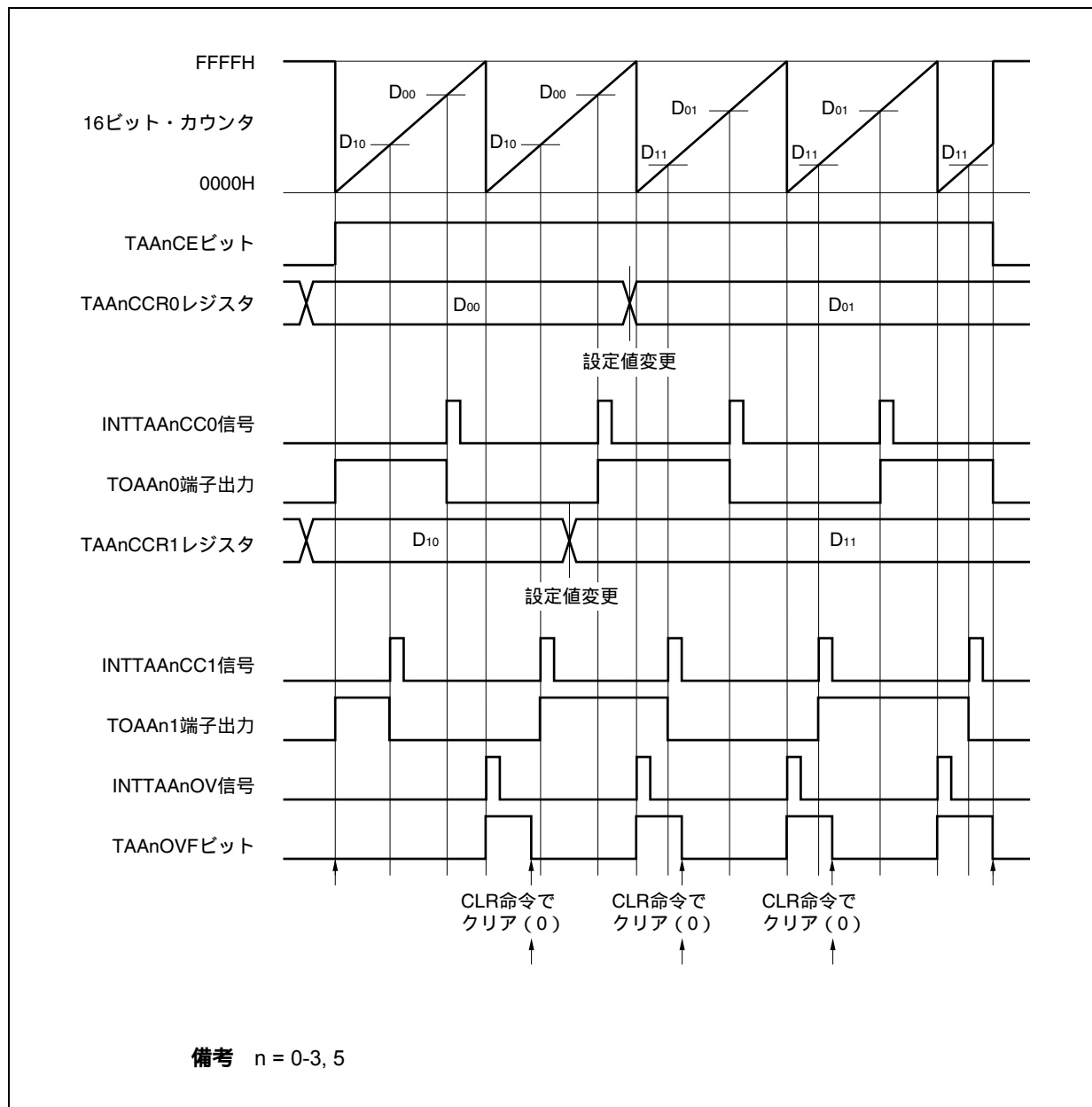
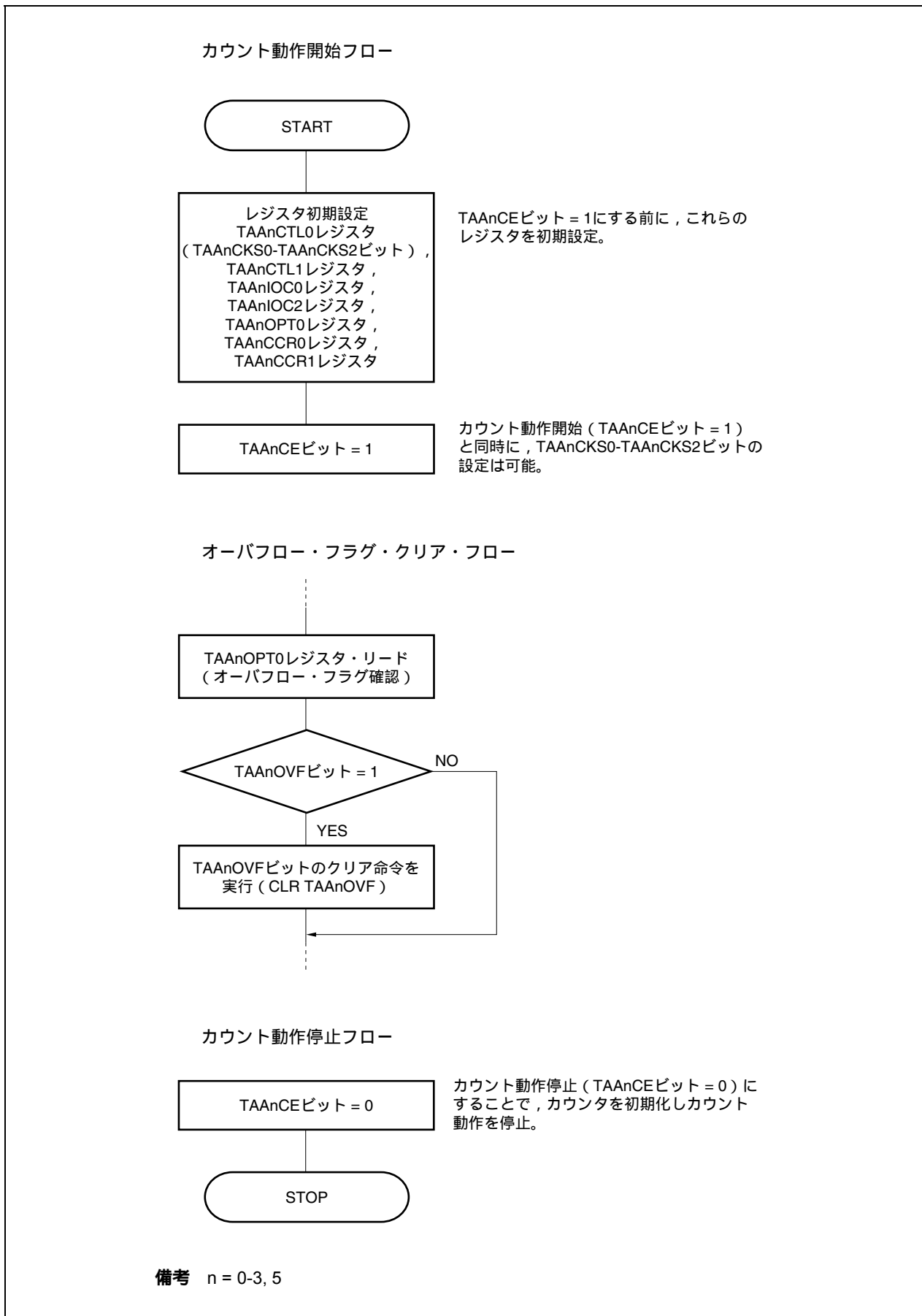


図7-37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（2/2）



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7-38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

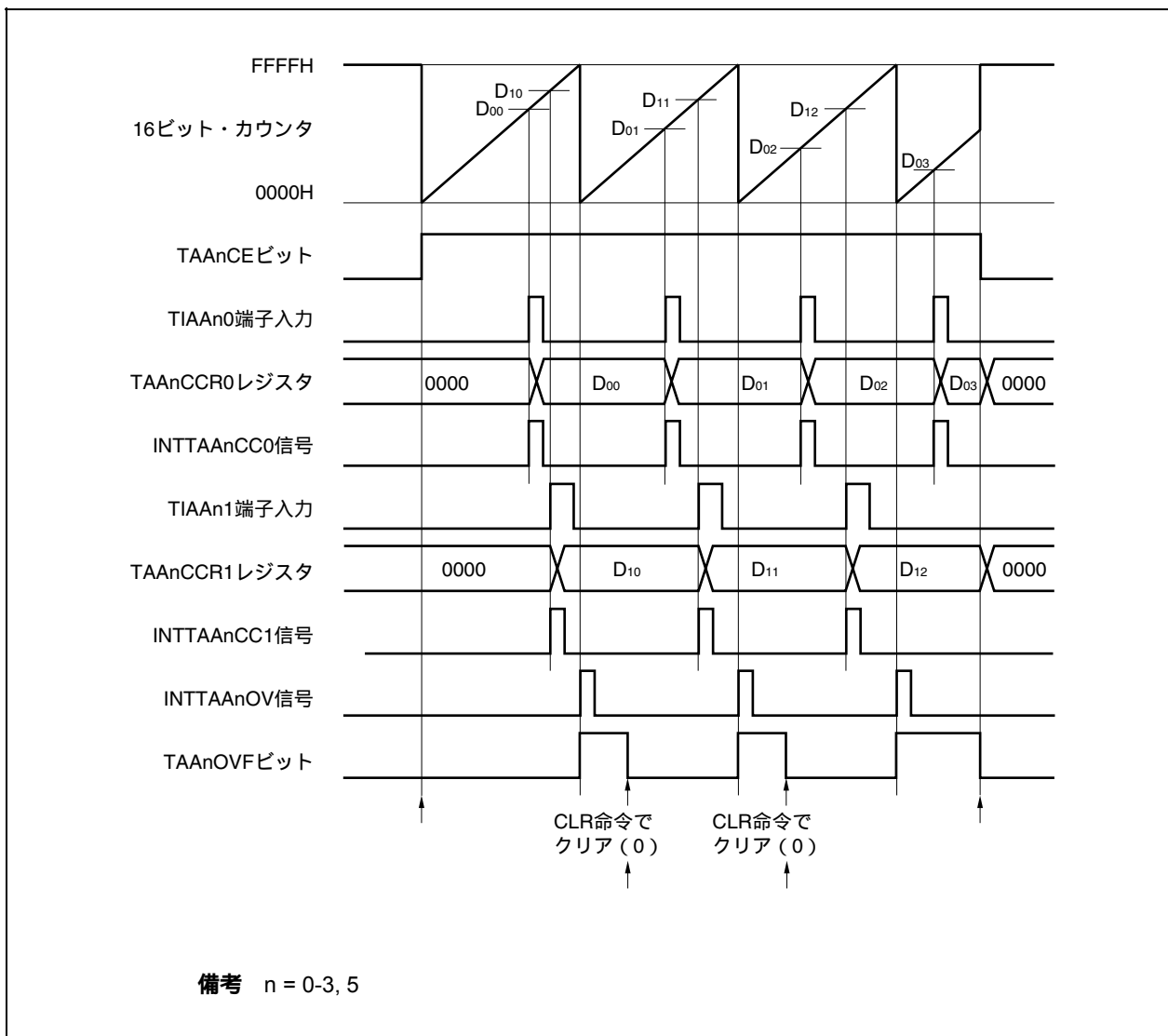
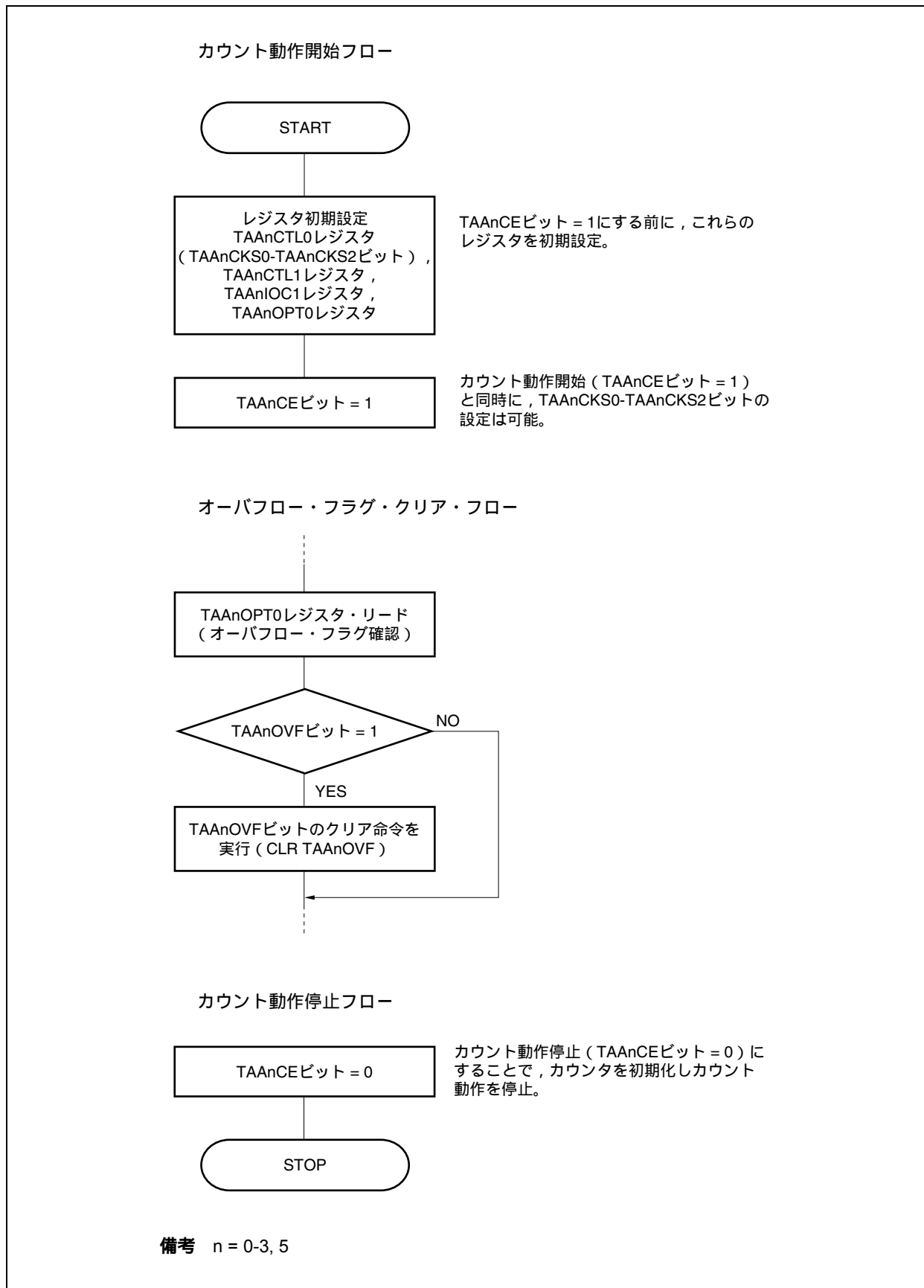


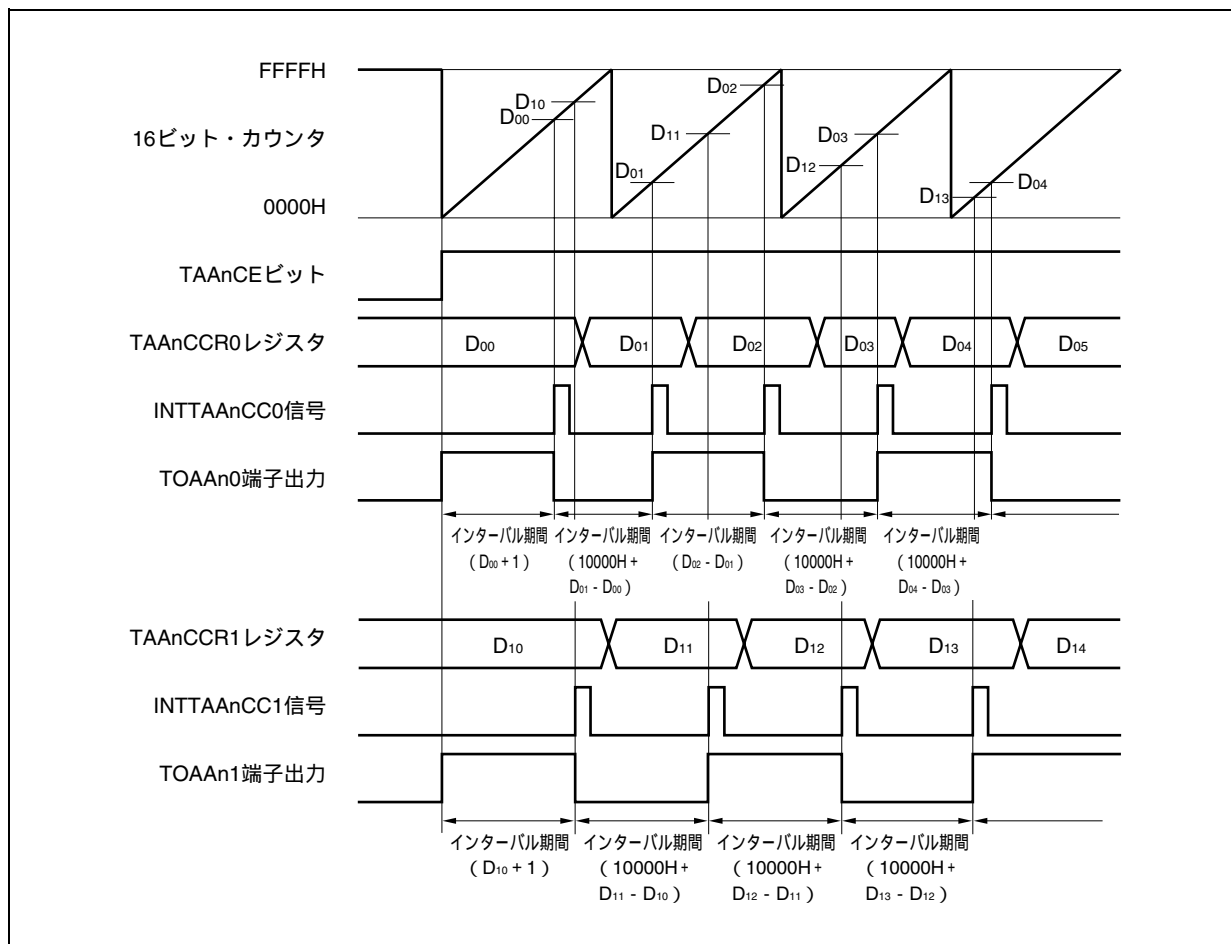
図7 - 38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TAAAnCCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTAAAnCCm信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTAAAnCCm信号を検出したときの割り込み処理中に、対応するTAAAnCCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“D_m”とすると、次のように求められます。

コンペア・レジスタ初期値 : D_m - 1

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_m

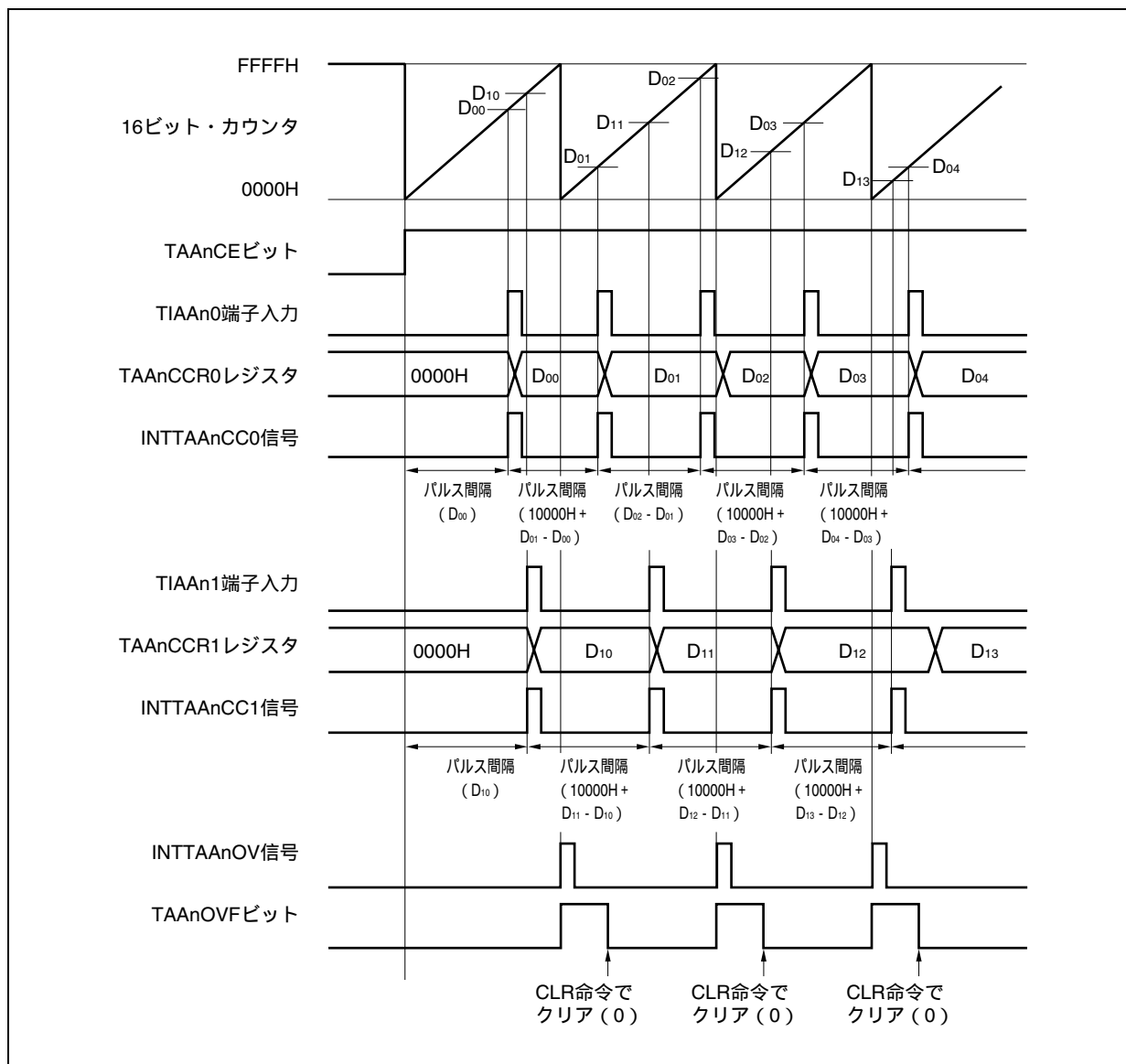
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 m = 0, 1

n = 0-3, 5

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TAAAnCCRmレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTAAAnCCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

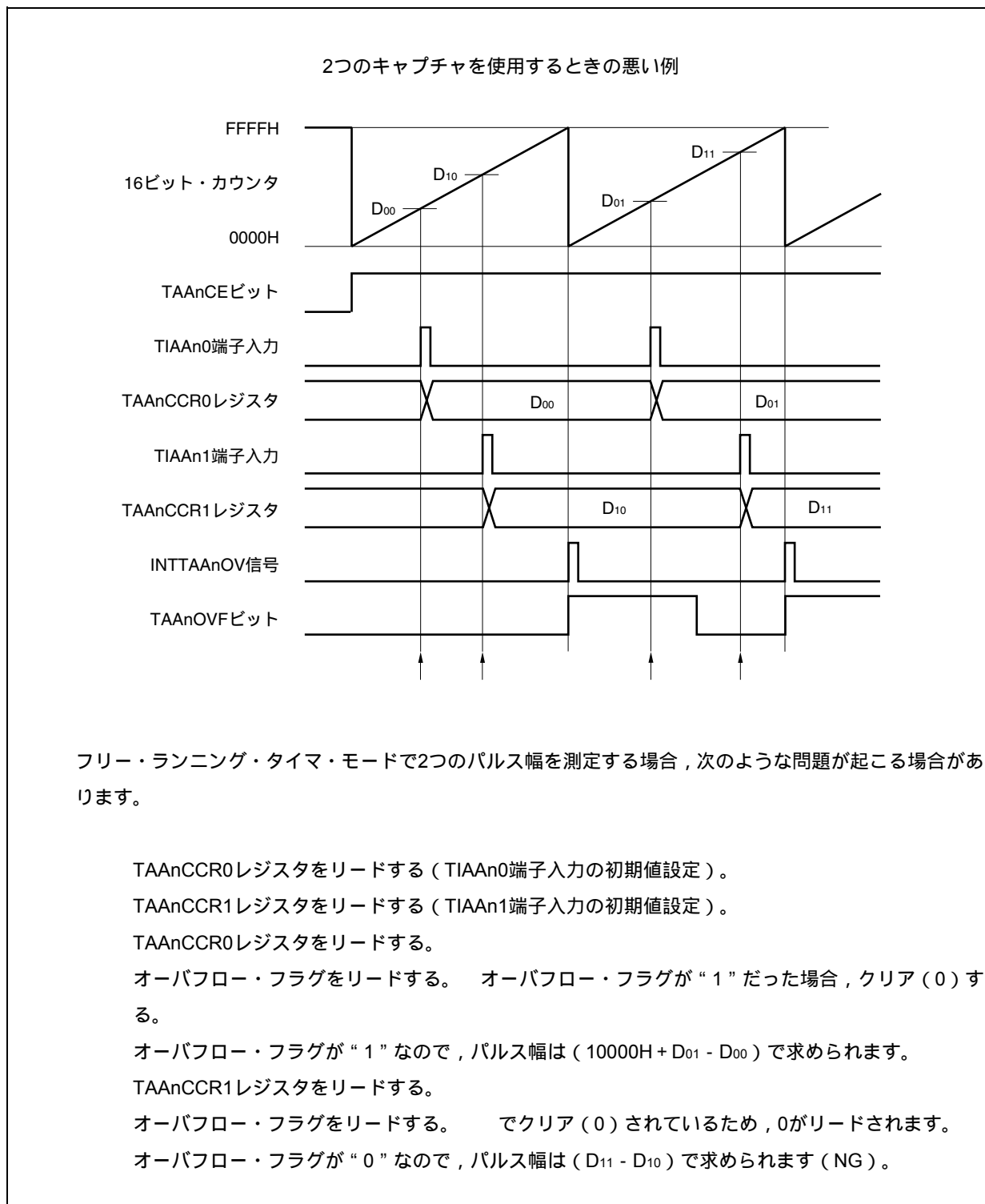
パルス幅測定を行う場合、INTTAAAnCCm信号に同期してTAAAnCCRmレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 m = 0, 1

n = 0-3, 5

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

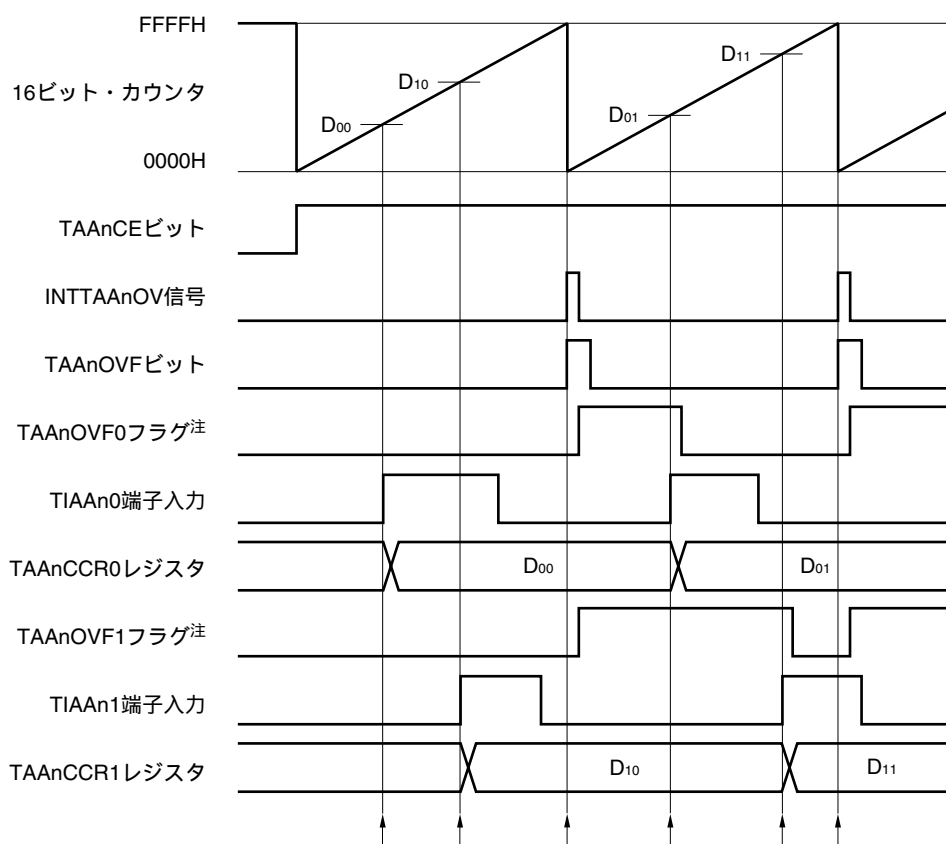
2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。



このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TAAAnOVF0, TAAAnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TAAAnCCR0レジスタをリードする (TIAAn0端子入力の初期値設定)。

TAAAnCCR1レジスタをリードする (TIAAn1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TAAAnOVF0, TAAAnOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TAAAnCCR0レジスタをリードする。

TAAAnOVF0フラグをリードする。 TAAAnOVF0フラグが "1" だった場合、クリア (0) する。

TAAAnOVF0フラグが "1" なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

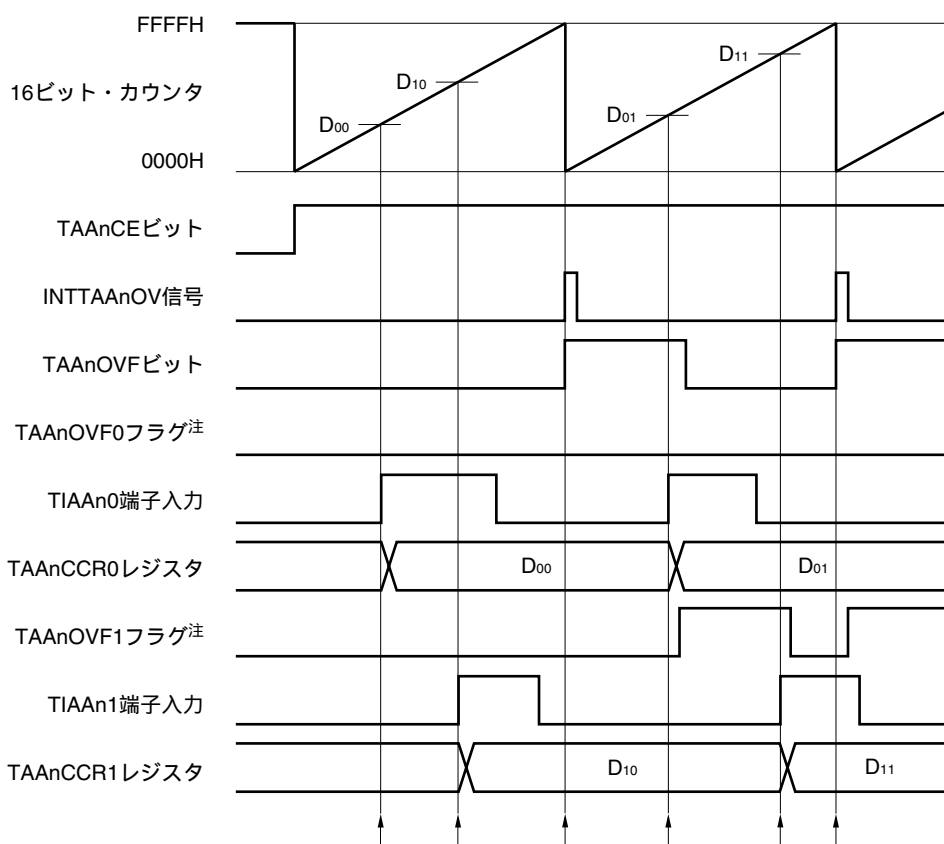
TAAAnCCR1レジスタをリードする。

TAAAnOVF1フラグをリードする。 TAAAnOVF1フラグが "1" だった場合、クリア (0) する (ここでクリア (0) されたのはTAAAnOVF0フラグであり、TAAAnOVF1フラグは "1" のまま)。

TAAAnOVF1フラグが "1" なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TAAAnOVF0, TAAAnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TAAAnCCR0レジスタをリードする (TIAAn0端子入力の初期値設定)。

TAAAnCCR1レジスタをリードする (TIAAn1端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TAAAnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TAAAnOVF1フラグのみをセット(1)し、オーバーフロー・フラグをクリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TAAAnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア(0)されているので“0”がリードされる。

TAAAnOVF1フラグをリードする。TAAAnOVF1フラグが“1”だった場合、クリア(0)する。

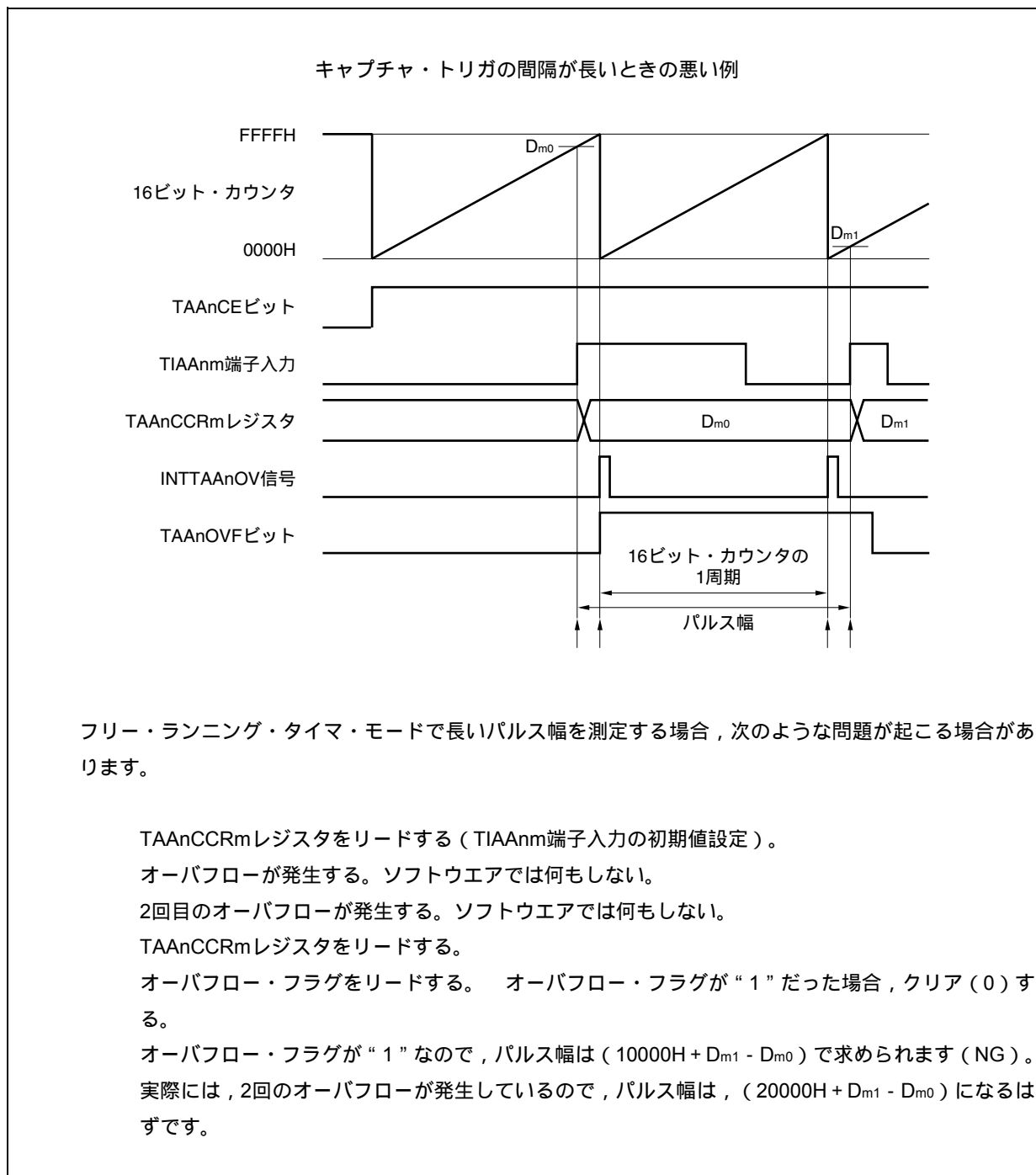
TAAAnOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

備考 n = 0-3, 5

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



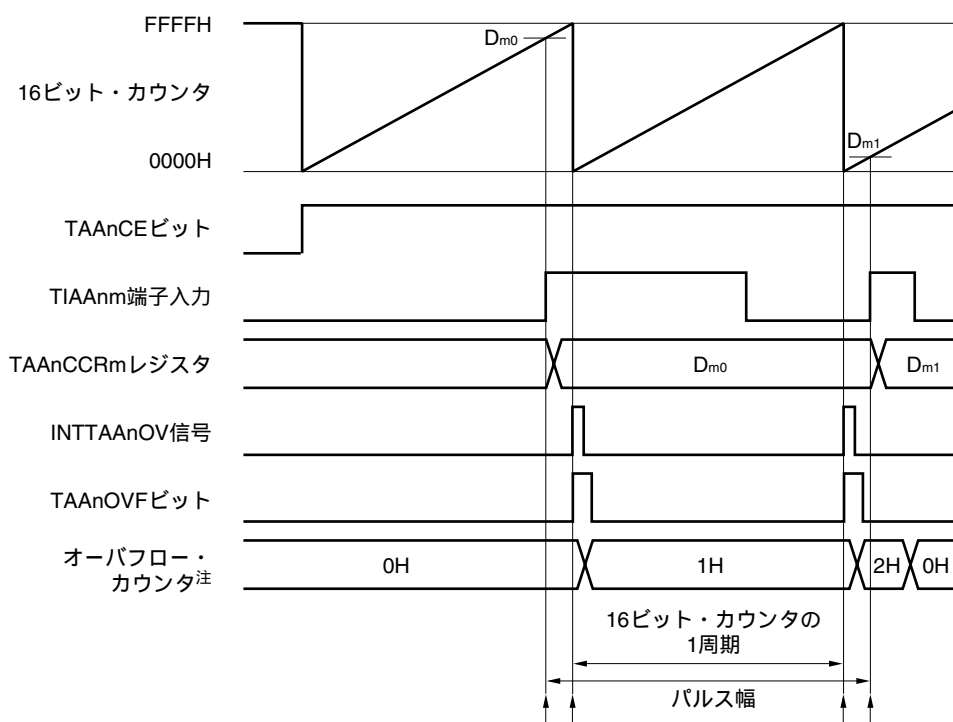
このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

備考 $m = 0, 1$

$n = 0-3, 5$

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TAAAnCCRmレジスタをリードする (TIAAnm端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメント (+1) し、オーバフロー・フラグをクリア (0) する。

TAAAnCCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが "N" のとき、パルス幅は $(N \times 10000H + D_{m1} - D_{m0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{m1} - D_{m0})$ になります。

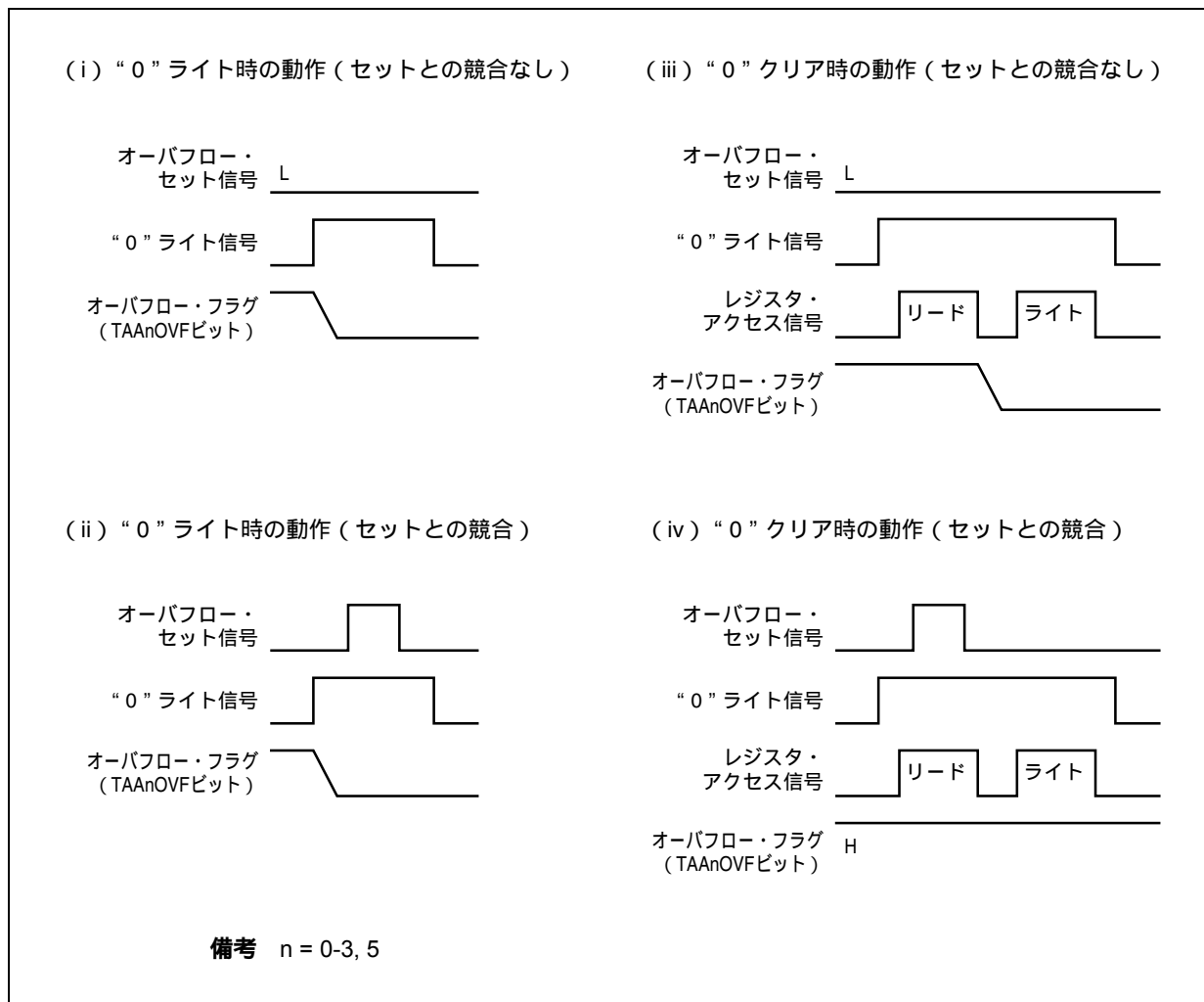
オーバフロー・カウンタをクリア (0H) する。

備考 m = 0, 1

n = 0-3, 5

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TAA_nOVFビットをCLR命令でクリア(0)する方法と、TAA_nOPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法がありますが、確実にオーバフローを検出するために、TAA_nOVFビット = 1をリードしたあと、ビット操作命令でクリア(0)してください。



オーバフロー・フラグをクリア(0)する場合には、リードしてオーバフロー・フラグがセット(1)されていることを確認したあと、CLR命令でクリア(0)してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります(上図の(ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア(0)するときに、CLR命令の実行とオーバフロー発生タイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット(1)されたままになります。

7.5.7 パルス幅測定モード (TAA_nMD2-TAA_nMD0ビット = 110)

パルス幅測定モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することでカウント動作を開始し、TIAAn_m端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTAA_nCCR_mレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTTAA_nCC_m) が発生したあと、TAA_nCCR_mレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIAAn₀, TIAAn₁端子のいずれか1本を使用してください。使用しない端子は、TAA_nIOC1レジスタで“エッジ検出なし”に設定してください。

また、カウント・クロックとして外部クロックを使用するときは、外部クロックはTIAAn₀端子固定ですので、TIAAn₁端子のパルス幅を測定してください。このとき、TAA_nIOC1.TAA_nIS1, TAA_nIS0ビット = 00 (キャプチャ・トリガ入力 (TIAAn₀端子) : エッジ検出なし) に設定してください。

図7 - 39 パルス幅測定モードの構成図

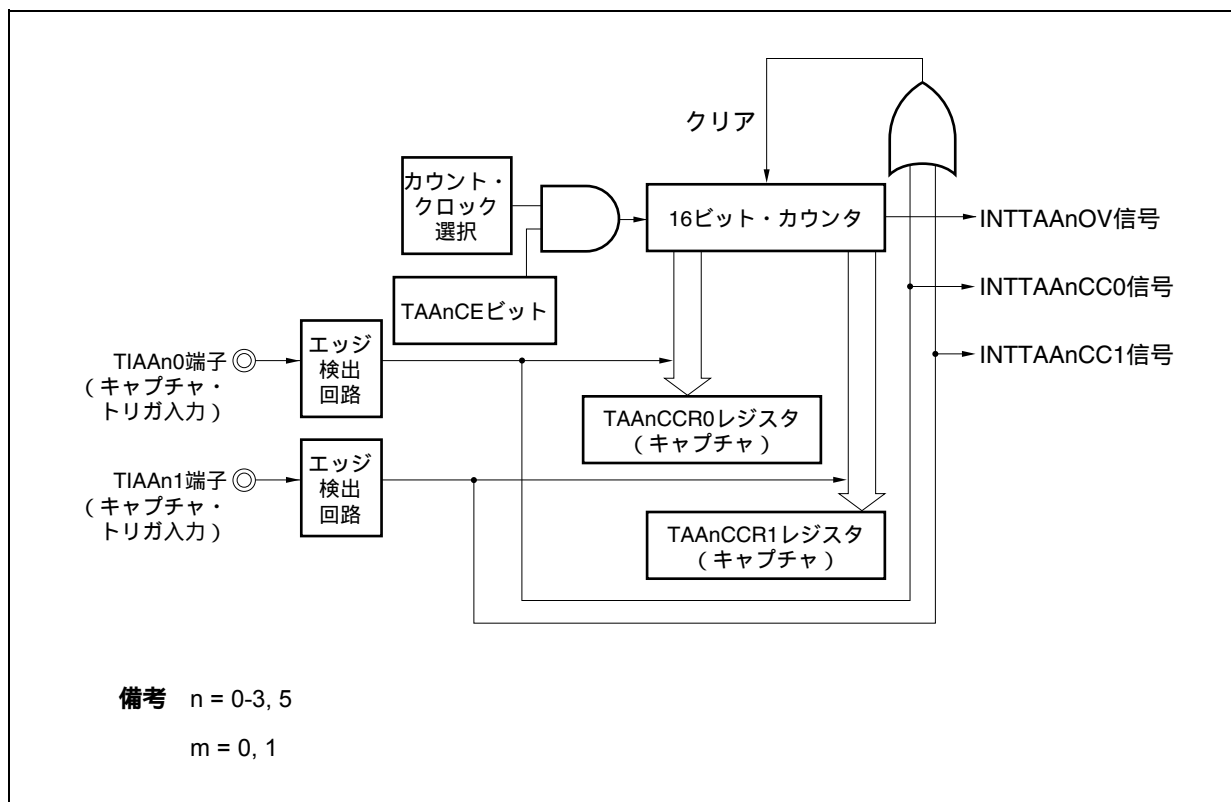
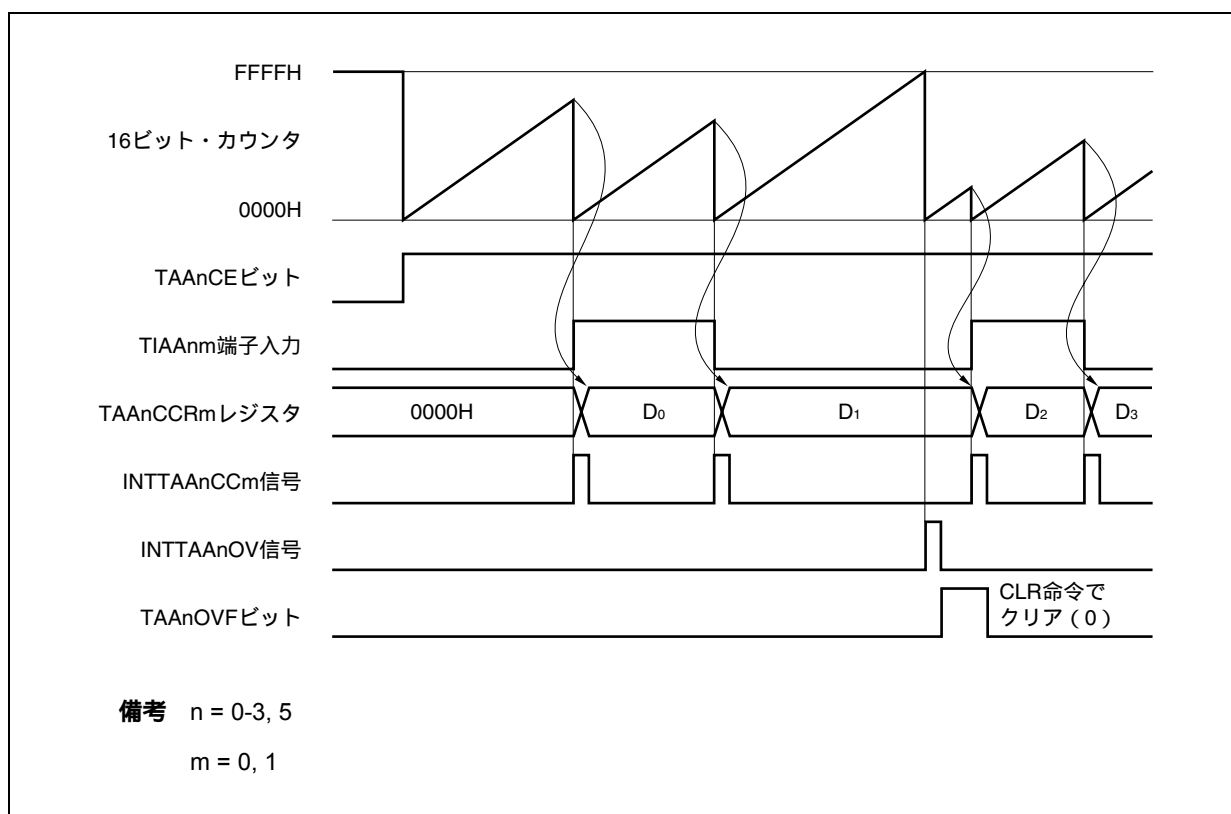


図7-40 パルス幅測定モードの基本タイミング



TAAAnCEビットをセット(1)することで、カウント動作を開始します。その後、TIAAnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTAAAnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTAAAnCCm)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTAAAnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TAAAnOPT0.TAAAnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)した場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TAAAnOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 n = 0-3, 5
m = 0, 1

図7-41 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

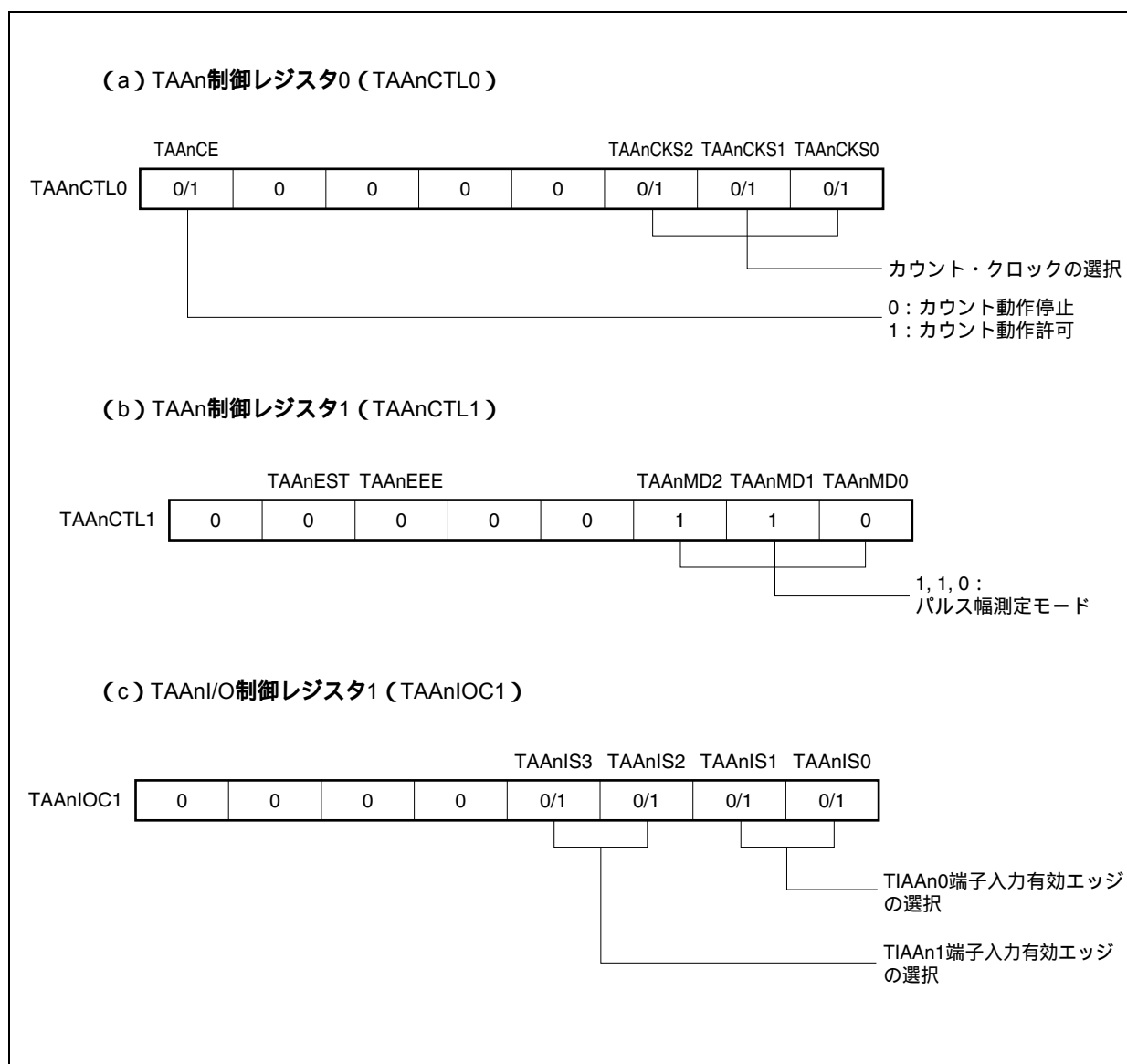
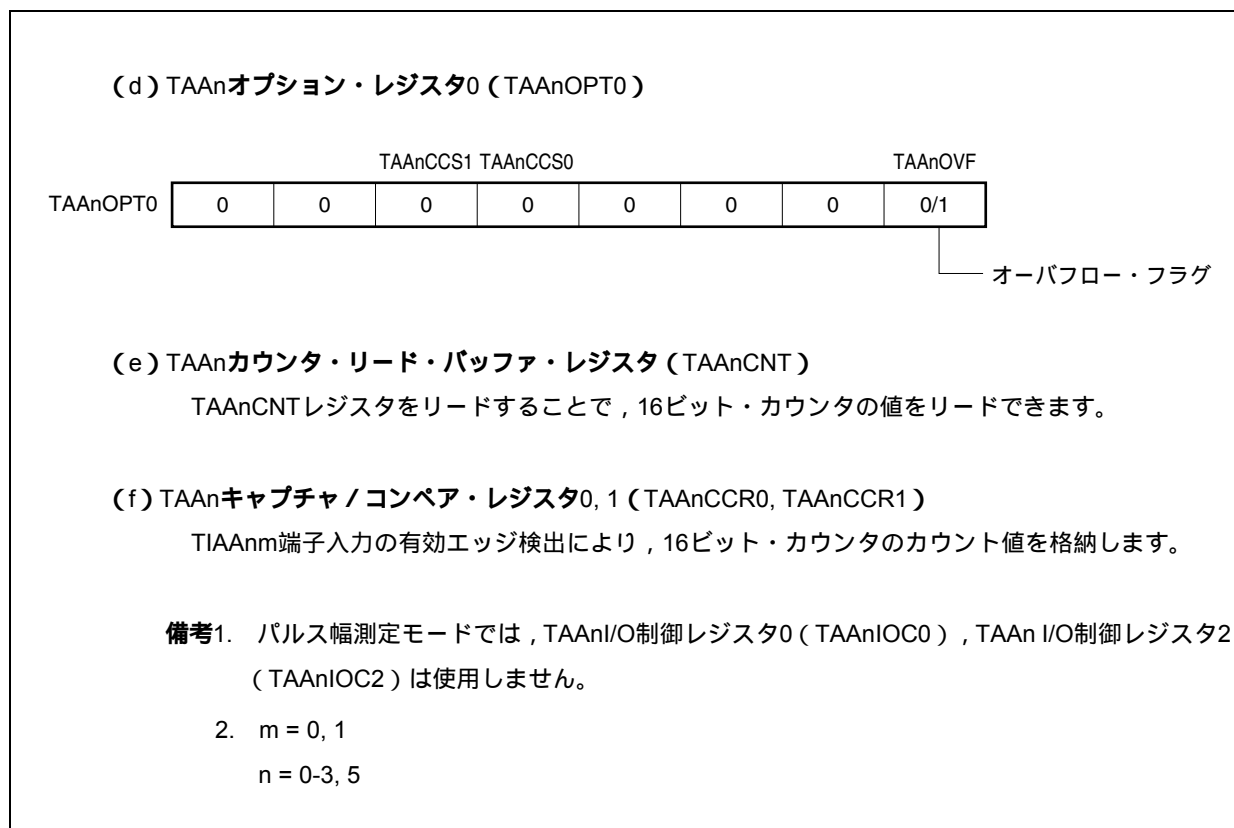
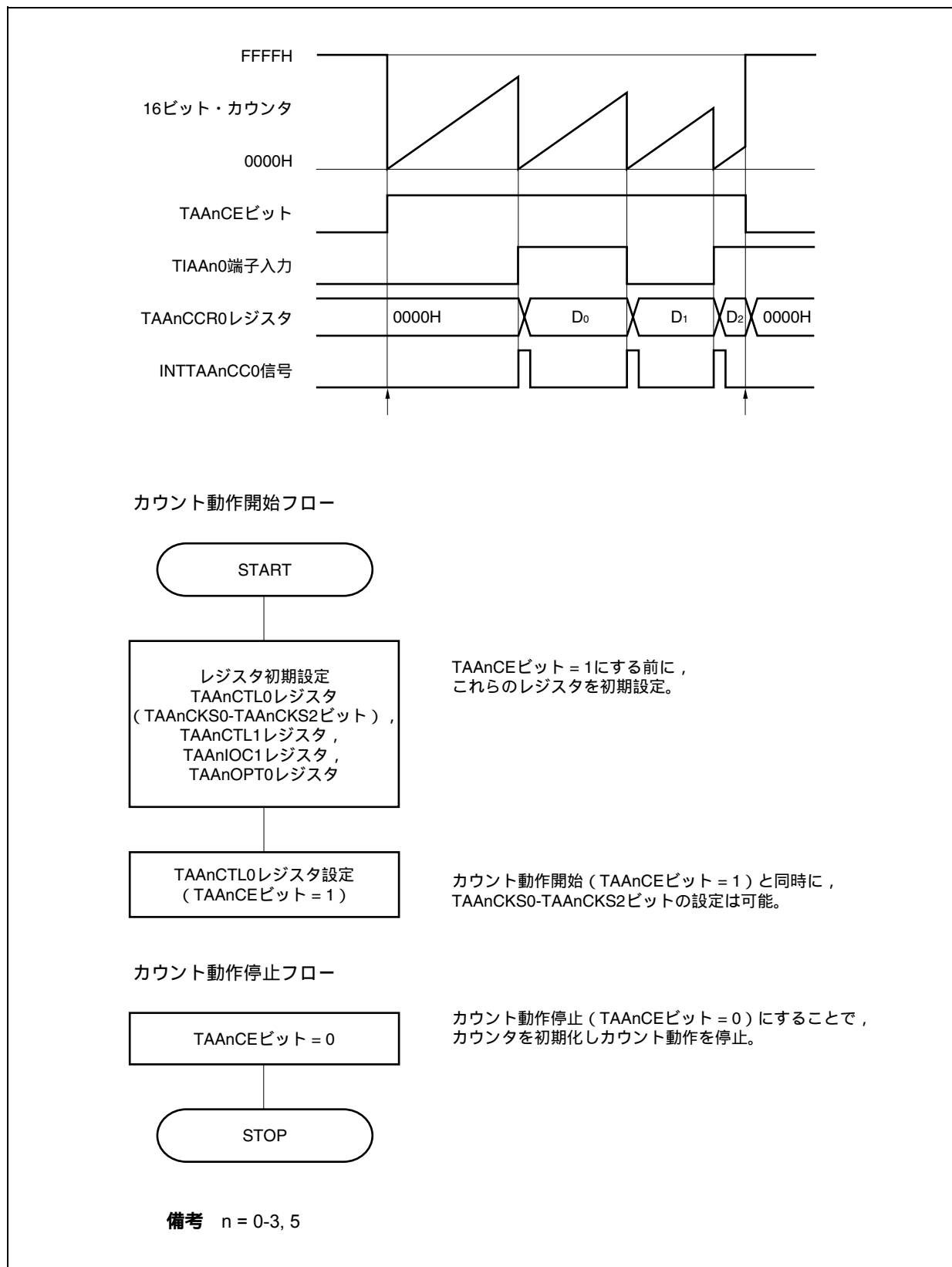


図7-41 パルス幅測定モード動作時のレジスタ設定内容 (2/2)



(1) パルス幅測定モード動作フロー

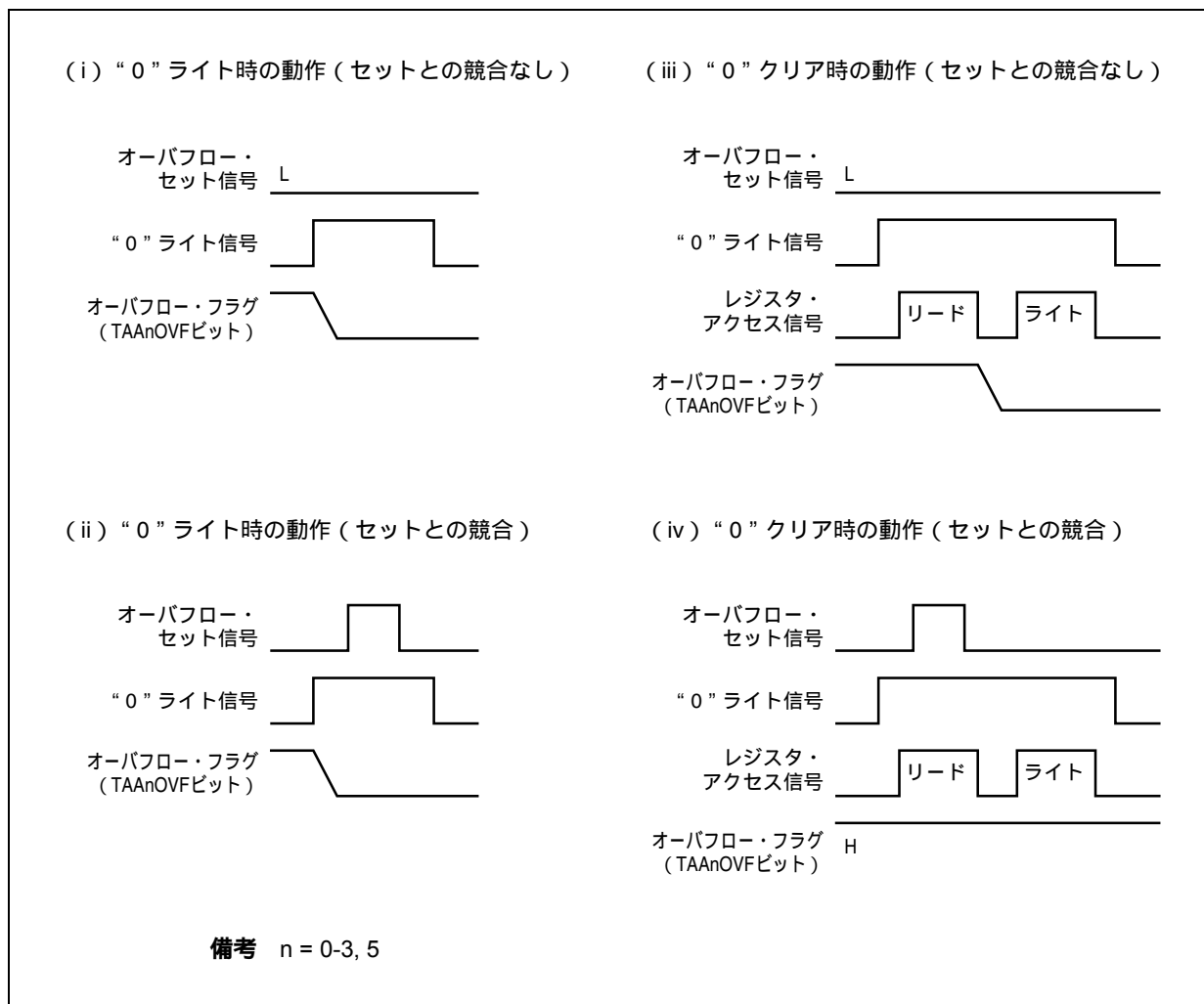
図7 - 42 パルス幅測定モード使用時のソフトウェア処理フロー



(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TAA_nOVFビットをCLR命令でクリア(0)する方法と、TAA_nOPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法がありますが、確実にオーバフローを検出するために、TAA_nOVFビット = 1をリードしたあと、ビット操作命令でクリア(0)してください。



オーバフロー・フラグをクリア(0)する場合には、リードしてオーバフロー・フラグがセット(1)されていることを確認したあと、CLR命令でクリア(0)してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります(上図の(ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア(0)するときに、CLR命令の実行とオーバフロー発生タイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット(1)されたままになります。

7.5.8 タイマ出力動作説明

次にTOAAn0, TOAAn1端子の動作, および出力レベルを示します。

表7-5 各モードによるタイマ出力制御

動作モード	TOAAn1端子	TOAAn0端子
インターバル・タイマ・モード	方形波出力	
外部イベント・カウント・モード	方形波出力	-
外部トリガ・パルス出力モード	外部トリガ・パルス出力	方形波出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)	
パルス幅測定モード	-	

備考 n = 0-3, 5

表7-6 タイマ出力制御ビットによるTOAAn0, TOAAn1端子の真理値表

TAAAnIOC0.TAAAnOLmビット	TAAAnIOC0.TAAAnOEmビット	TAAAnCTL0.TAAAnCEビット	TOAAnm端子のレベル
0	0	×	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 n = 0-3, 5

m = 0, 1

7.6 タイマ同調動作機能

タイマAAおよびタイマABには、タイマ同調動作機能があります。

タイマ同調動作機能とはV850ES/JG3-U, V850ES/JH3-U内蔵のタイマを同調させマスタ・タイマに対しスレーブ・タイマのキャプチャまたはコンペアの数(スレーブ・タイマに搭載しているタイマ出力および、コンペア一致割り込みの本数)を追加することが可能です。タイマ同調動作可能なタイマの組み合わせを表7-7に示します。

表7-7 タイマの同調動作機能

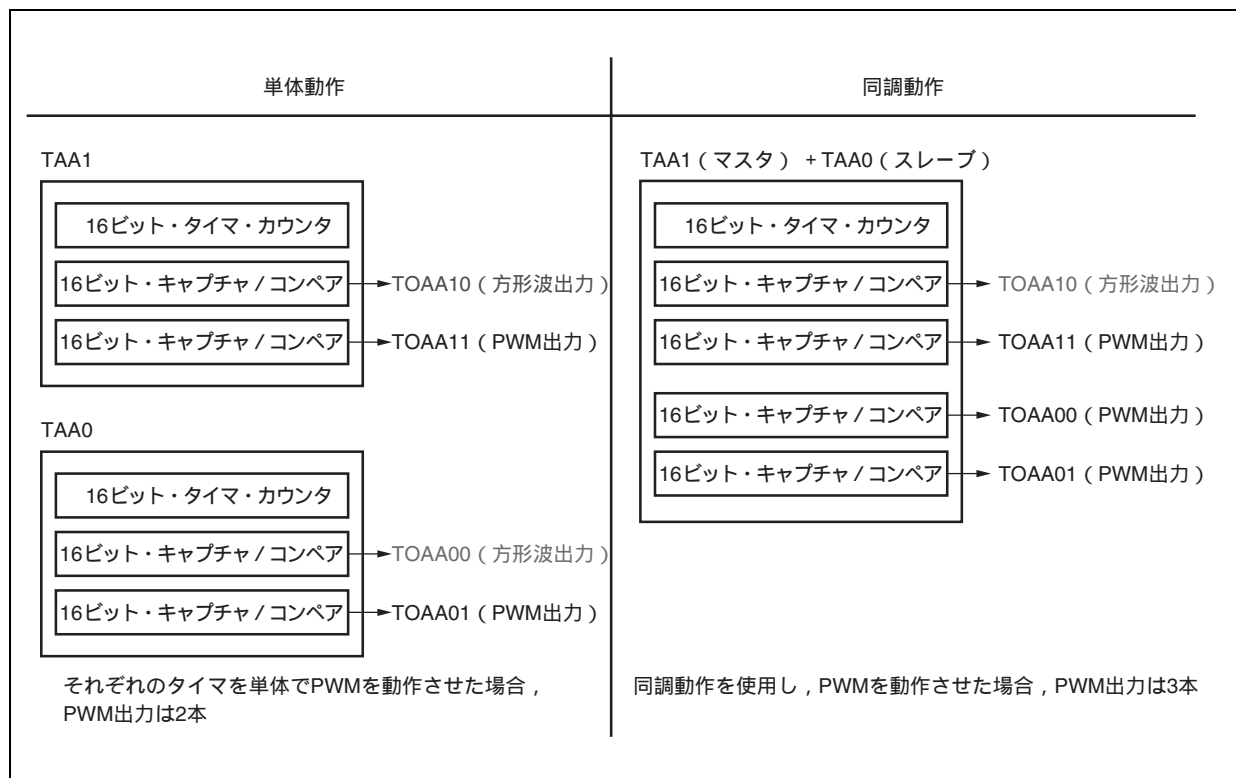
マスタ・タイマ	スレーブ・タイマ
TAA1	TAA0
TAA3	TAA2
TAB0	TAA5

同調動作機能には次のモードがあります。

- ・PWM出力モード
- ・フリー・ランニング・タイマ・モード

図7-43にマスタ・タイマとしてTAA1を、スレーブ・タイマとしてTAA0を例にPWM出力モードを単体動作と同調動作として使用した場合の例を示します

図7-43 TAA1とTAA0を使用した場合の単体動作と同調動作の違い



同調動作機能時に使用できるタイマ・モードを表7-8に、単体動作と同調動作でのタイマ出力機能の違いを表7-9に示します（○：設定可能，×：設定不可）。

表7-8 同調動作機能使用時のタイマ・モード

マスタ・タイマ	スレーブ・タイマ	フリー・ランニング・ タイマ・モード	PWMモード
TAA1	TAA0		
TAA3	TAA2		
TAB0	TAA5		

表7-9 タイマ出力機能一覧

同調 チャンネル	タイマ	機能端子	フリー・ランニング・ タイマ・モード		PWMモード	
			単体動作	同調動作	単体動作	同調動作
Ch0	TAA1 (マスタ)	TOAA10	PPG		トグル	
		TOAA11	PPG		PWM	
	TAA0 (スレーブ)	TOAA00	PPG		トグル	PWM
		TOAA01	PPG		PWM	
Ch1	TAA3 (マスタ)	TOAA30	PPG		トグル	
		TOAA31	PPG		PWM	
	TAA2 (スレーブ)	TOAA20	PPG		トグル	PWM
		TOAA21	PPG		PWM	
Ch2	TAB0 (マスタ)	TOAB00	PPG		トグル	
		TOAB01-TOAB03	PPG		PWM	
	TAA5 (スレーブ)	TOAA50	PPG		トグル	PWM
		TOAA51	PPG		PWM	

備考 マスタ・タイマのコンペア・レジスタからスレーブ・タイマのコンペア・レジスタへの送信タイミングは、次のとおりです。

- ・ PPG : CPU書き込みのタイミング
- ・ トグル, PWM, 三角波PWM : タイマ・カウンタとコンペア・レジスタが TOAA_n0やTOAB_m0と一致したタイミング

7.6.1 フリー・ランニング・タイマ・モード (タイマ同調動作時)

タイマ同調動作時のフリー・ランニング・タイマ・モードについて説明します。タイマ同調動作の組み合わせは表7-7を参照してください。ここではTAA1とTAA0を用いてタイマ同調動作をした場合の例を示します。

(i) キャプチャ/コンペアの選択について

TAA1とTAA0を接続しタイマ同調動作のフリー・ランニング・タイマモードを使用する場合、TAA1のキャプチャ/コンペア・レジスタ2本、TAA0のキャプチャ/コンペア2本を組み合わせで使用することが可能です。

キャプチャとコンペアの組み合わせに関する制限はなく、マスタ・タイマ/スレーブ・タイマのTAA_nCCSnビットで選択できます。コンペア選択時は、コンペア・レジスタ設定値の動作中の書き換えが可能で、書き換え方式は、随時書換え方式となります ($n=0, 1$)。

(ii) オーバフローについて

カウンタのオーバフローが発生した場合は、マスタ・タイマのオーバフロー割り込み (INTTAA1OV) が発生し、オーバフロー・フラグ (TAA1OVF) が“1”セットされます。

スレーブ・タイマのオーバフロー割り込み (INTTAA0OV)、およびオーバフロー・フラグ (TAA0OVF) は動作せず常にロウ・レベルです。

(1) フリー・ランニング・タイマ・モードの設定 (コンペア機能)

[初期設定]

マスタ・タイマ : TAA1CTL0.TAA1CE = 0 (動作禁止) に設定

スレーブ・タイマ : TAA0CTL0.TAA0CE = 0 (動作禁止) に設定

【マスタ・タイマ (TAA1) の初期設定】

- ・ TAA1CTL1.TAA1MD2-TAA1MD0 = 101 (フリー・ランニング・タイマ・モードの設定)
- ・ TAA1OPT0.TAA1CCS1, TAA1CCS0 = 00 (キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAA1CTL1.TAA1CKS2-TAA1CKS0 (カウント・クロック (任意) の設定)
- ・ TAA1CCR1, TAA1CCR0レジスタを設定

【スレーブ・タイマ (TAA0) の初期設定】

- ・ TAA0CTL1.TAA0SYE = 1 (タイマ同調動作に設定)
- ・ TAA0CTL1.TAA0MD2-TAA0MD0 = 101 (フリー・ランニング・タイマ・モードに設定)
- ・ TAA0OPT0.TAA0CCS1, TAA0CCS0 = 00 (キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAA0CCR0, TAA0CCR1レジスタを設定。

備考 マスタ・タイマ, スレーブ・タイマの初期設定は順不同です。

[カウント・スタート]

<1> マスタ・タイマのTAA1CTL0.TAA1CE = 1に設定。

<2> カウント・スタート

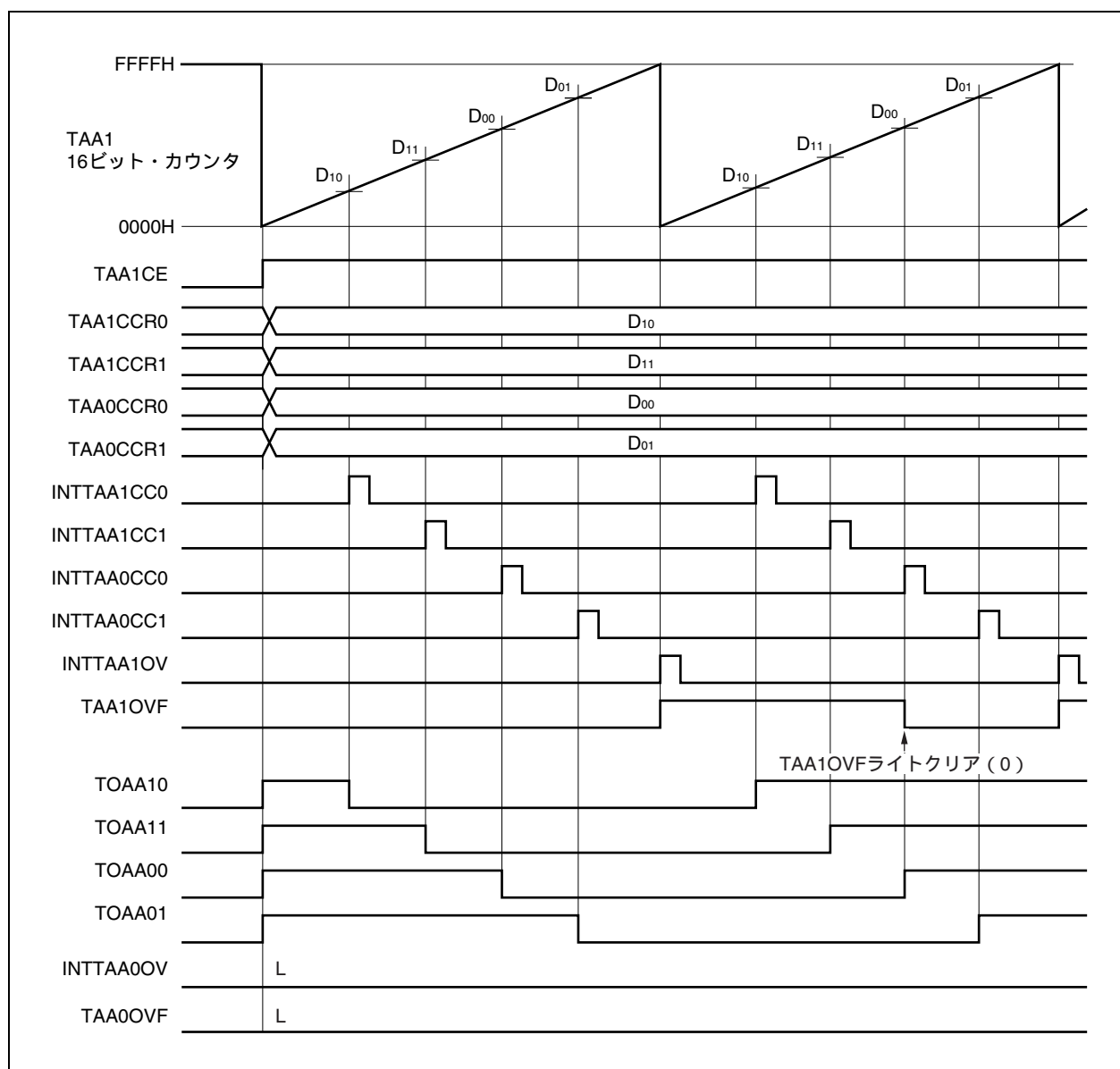
<3> 動作中のレジスタ設定変更

- ・ コンペアの書き換え可能 (随時書込み方式)

[終了条件]

- ・ マスタ・タイマのTAA1CTL0.TAA1CE = 0に設定。

図7-44 フリー・ランニング・モードのタイミング例 (コンペア機能)



(2) フリー・ランニング・タイマ・モードの設定 (キャプチャ機能)

[初期設定]

マスタ・タイマ : TAA1CTL0.TAA1CE = 0 (動作禁止) に設定

スレーブ・タイマ : TAA0CTL0.TAA0CE = 0 (動作禁止) に設定

【マスタ・タイマ (TAA1) の初期設定】

- ・ TAA1CTL1.TAA1MD2-TAA1MD0 = 101 (フリー・ランニング・タイマ・モードの設定)
- ・ TAA1OPT0.TAA1CCS1, TAA1CCS0 = 11 (キャプチャ/コンペア選択ビットをキャプチャに設定)
- ・ TAA1CTL1.TAA1CKS2-TAA1CKS0 (カウント・クロック (任意) の設定)
- ・ TAA1IOC1.TAA1IS3-TAA1IS0 (キャプチャ・トリガの有効エッジの指定)

【スレーブ・タイマ (TAA0) の初期設定】

- ・ TAA0CTL1.TAA0SYE = 1 (タイマ同調動作に設定)
- ・ TAA0CTL1.TAA0MD2-TAA0MD0 = 101 (フリー・ランニング・タイマ・モードに設定)
- ・ TAA0OPT0.TAA0CCS1, TAA0CCS0 = 11 (キャプチャ/コンペア選択ビットをキャプチャに設定)
- ・ TAA0IOC1.TAA0IS3-TAA0IS0 (キャプチャ・トリガの有効エッジの指定)

備考 マスタ・タイマ, スレーブ・タイマの初期設定は順不同です。

[カウント・スタート]

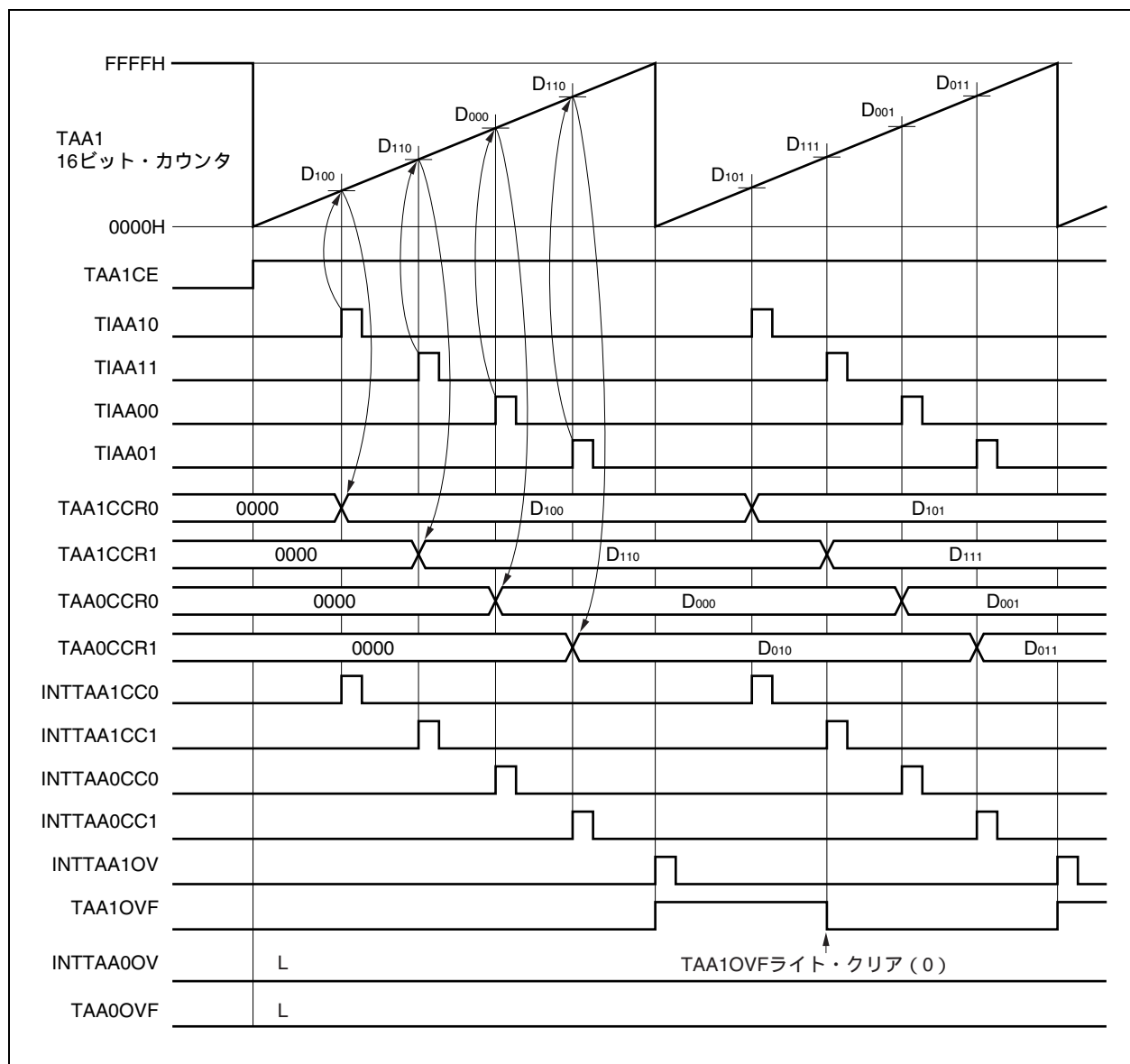
<1> マスタ・タイマのTAA1CTL0.TAA1CE = 1に設定。

<2> カウント・スタート

[終了条件]

- ・ マスタ・タイマのTAA1CTL0.TAA1CE = 0に設定。

図7-45 フリー・ランニング・モードのタイミング例 (キャプチャ機能)



(3) フリー・ランニング・タイマ・モードの設定 (キャプチャ/コンペア併用)

TAA0をキャプチャ機能, TAA1をコンペア機能に設定した場合の例を示します。

[初期設定]

マスタ・タイマ : TAA1CTL0.TAA1CE = 0 (動作禁止) に設定

スレーブ・タイマ : TAA0CTL0.TAA0CE = 0 (動作禁止) に設定

【マスタ・タイマ (TAA1) の初期設定】

- ・ TAA1CTL1.TAA1MD2-TAA1MD0 = 101 (フリー・ランニング・タイマ・モードの設定)
- ・ TAA1OPT0.TAA1CCS1, TAA1CCS0 = 11 (キャプチャ/コンペア選択ビットをキャプチャに設定)
- ・ TAA1CTL1.TAA1CKS2-TAA1CKS0 (カウント・クロック (任意) の設定)
- ・ TAA1.TAA0IS3-TAA1IS0 (キャプチャ・トリガの有効エッジの指定)

【スレーブ・タイマ (TAA0) の初期設定】

- ・ TAA0CTL1.TAA0SYE = 1 (タイマ同調動作に設定)
- ・ TAA0CTL1.TAA0MD2-TAA0MD0 = 101 (フリー・ランニング・タイマ・モードに設定)
- ・ TAA0OPT0.TAA0CCS1, TAA0CCS0 = 00 (キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAA0CCR0, TAA0CCR1レジスタを設定。

備考 マスタ・タイマ, スレーブ・タイマの初期設定は順不同です。

[カウント・スタート]

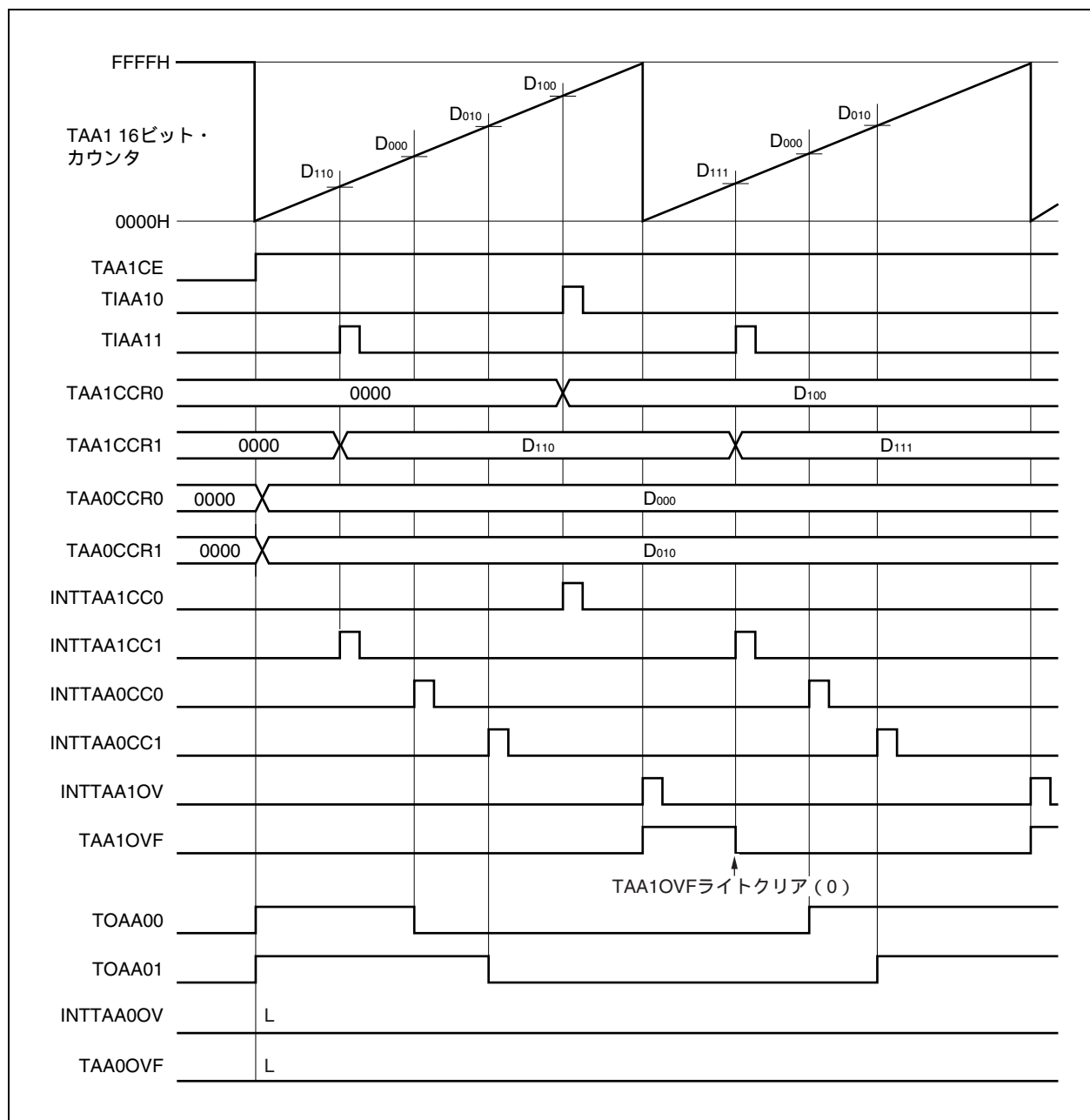
<1> マスタ・タイマのTAA1CTL0.TAA1CE = 1に設定

<2> カウント・スタート

[終了条件]

- ・ マスタ・タイマのTAA1CTL0.TAA1CE = 0に設定

図7-46 フリー・ランニング・モードのタイミング例 (キャプチャ/コンペア併用)



7.6.2 PWM出力モード (タイマ同調動作時)

タイマ同調動作時のPWM出力モードについて説明します。タイマ同調動作の組み合わせは表7-7を参照してください。ここではTAB0とTAA5を用いてタイマ同調動作をした場合の例を示します。

マスタ・タイマ (TAB0) のTAB0CCR0レジスタが周期用のコンペア・レジスタとなり、マスタ・タイマ (TAB0) のTAB0CCR1, TAB0CCR2, TAB0CCR3レジスタ、およびスレーブ・タイマ (TAA5) のTAA5CCR0, TAA5CCR1レジスタはデューティ用のコンペア・レジスタとなります。

コンペア・レジスタの動作中の書き換えが可能であり、書き換え方式は、一斉書き込み方式となります。

マスタ・タイマ (TAB0) のTAB0CCR1レジスタへの書き込みで一斉書き込み許可になり、マスタ・タイマ (TAB0) のTAB0CCR0レジスタの値とタイマ・カウンタの一致割り込みタイミングで、マスタ/スレーブ・タイマのすべてのコンペア・レジスタの値が一斉書き込みによって書き換えまたは同値書き込みされます。

(1) PWM出力モードの設定

[初期設定]

マスタ・タイマ : TAB0CTL0.TAB0CE = 0 (動作禁止) に設定

スレーブ・タイマ : TAA5CTL0.TAA5CE = 0 (動作禁止) に設定

【マスタ・タイマ (TAB0) の初期設定】

- ・ TAB0CTL1.TAB0MD2-TAB0MD0 = 100 (PWM出力モードに設定)
- ・ TAB0OPT0.TAB0CCS3-TAB0CCS0 = 0000 (キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAB0CCR0, TAB0CCR1, TAB0CCR2, TAB0CCR3レジスタを設定

【スレーブ・タイマ (TAA5) の初期設定】

- ・ TAA5CTL1.TAA5SYE = 1 (タイマ同調動作に設定)
- ・ TAA5CTL1.TAA5MD2-TAA5MD0 = 101 (フリー・ランニング・タイマ・モードに設定)
- ・ TAA5OPT0.TAA5CCS1, TAA5CCS0 = 00 (キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAA5CCR0, TAA5CCR1レジスタを設定

備考 マスタ・タイマ, スレーブ・タイマの初期設定は順不同です。

[カウント・スタート]

<1> マスタ・タイマのTAB0CTL0.TAB0CE = 1に設定。

<2> カウント・スタート

<3> 動作中のレジスタ設定変更

- ・ コンペアの書き換え可能 (一斉書き換え方式)

[終了条件]

- ・ マスタ・タイマのTAB0CTL0.TAB0CE = 0に設定。

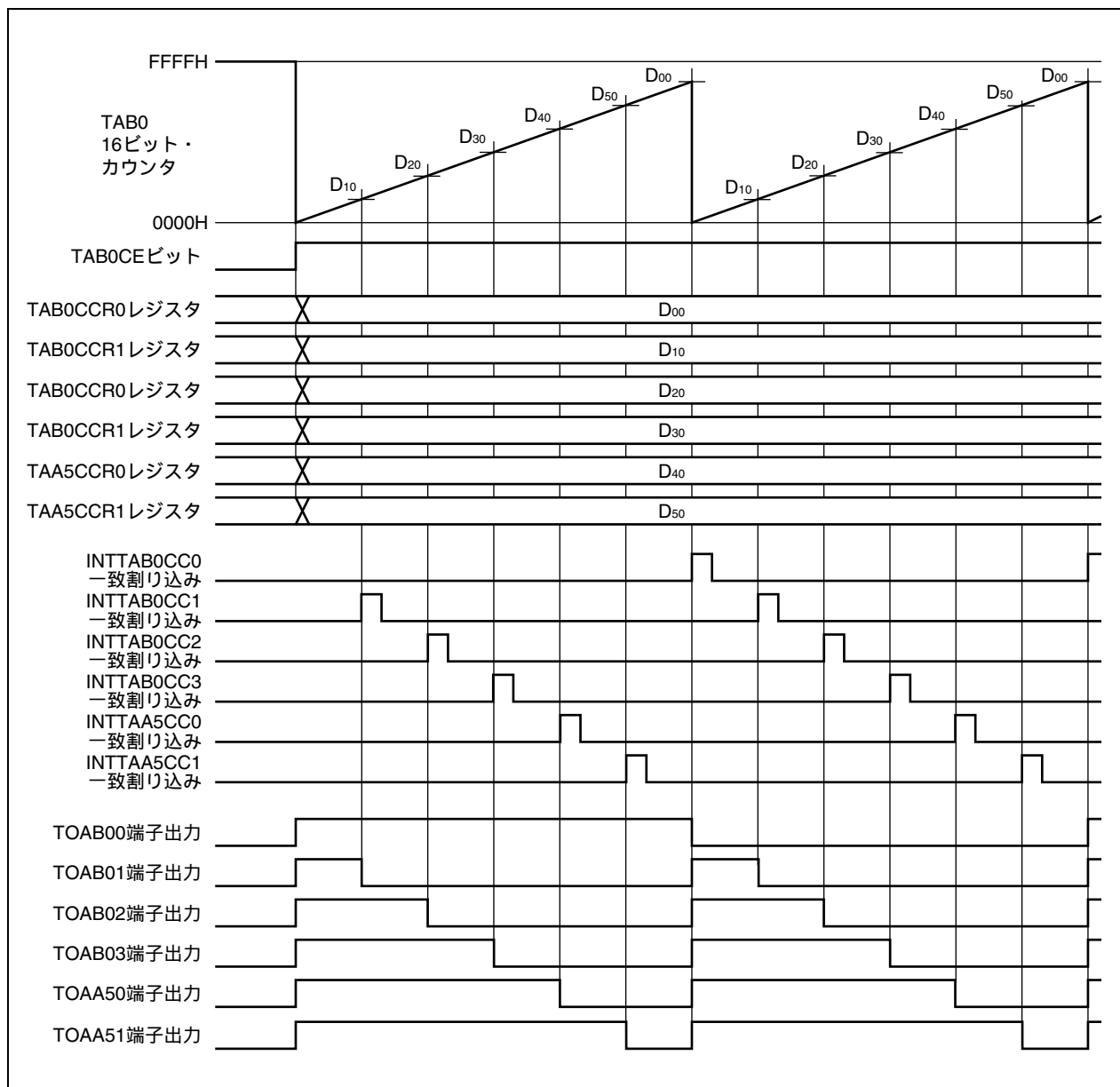
[一斉書き込み]

PWM出力モード時は、マスタ・タイマ (TAB0) のTAB0CCR1レジスタへの書き込みにより次の一斉書き込み許可を行っているため、それ以外の書き換えを必要とするすべてのコンペア・レジスタを書き換えたあとに、マスタ・タイマ (TAB0) のTAB0CCR1レジスタへの書き込みが必要となります。

一斉書き換えはタイマ・カウンタと周期用コンペア・レジスタ (TAB0CCR0) の一致タイミングで行われます。

マスタ・タイマ (TAB0) のTAB0CCR1レジスタへの書き込みがない場合は、他のコンペア・レジスタを書き換えても一斉書き込みの許可がないのでタイマ・カウンタと周期用コンペア・レジスタ (TAB0CCR0) の一致タイミングでも値が書き換わりません。

図7 - 47 同調PWM機能のタイミング例 (TAB0, TAA5)



7.7 同時スタート機能

タイマAAおよびタイマABには、タイマ同調動作機能があります。

同時スタート機能を用いる事によりマスタ・タイマとスレーブ・タイマの動作開始タイミングとカウント・アップ・タイミングを同期化したタイマ動作が可能です。

同時スタート機能では、PWM出力モードのみ使用可能です。

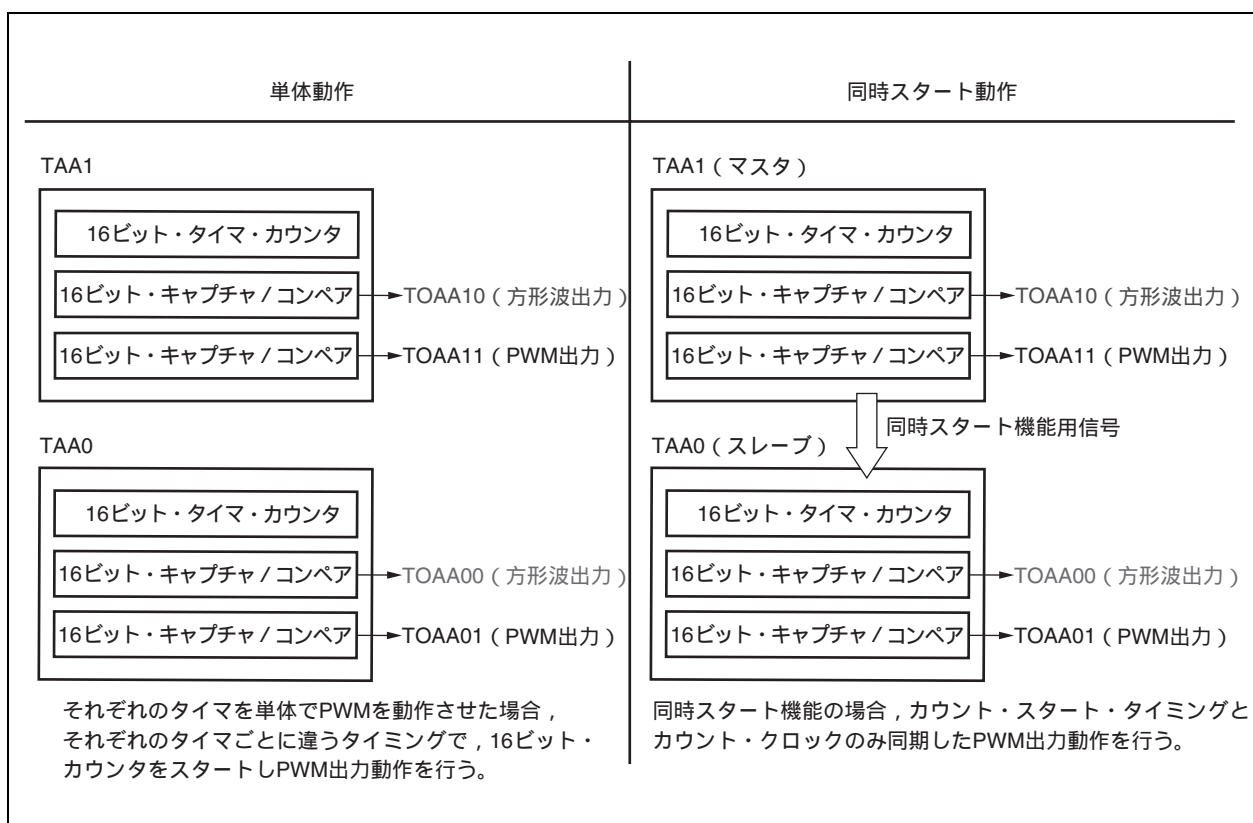
同時スタート機能可能なタイマの組み合わせを表7 - 10に示します。

表7 - 10 タイマの同時スタート機能

マスタ・タイマ	スレーブ・タイマ
TAA1	TAA0
TAA3	TAA2
TAB0	TAA5

図7 - 48にマスタ・タイマとしてTAA1を、スレーブ・タイマとしてTAA0を例にPMW出力モードを単体動作と同時スタート動作として使用した場合の例を示します

図7 - 48 TAA1とTAA0を使用した場合の単体動作と同時スタート動作の違い



7.7.1 PWM出力モード (同時スタート動作)

ここでは、TAA1をマスタ・タイマ、TAA0をスレーブ・タイマとして使用した場合の、同時スタート機能の動作について示します。

マスタ・タイマのTAA1CTL0.TAA0CEビットをセット(1)することでマスタ・タイマ(TAA1)とスレーブ・タイマ(TAA0)が同時に動作を開始します。マスタ・タイマ(TAA1)からのカウント・クロックによりスレーブ・タイマは動作します。しかし動作開始後は、個々のタイマの単体動作となるので、マスタ・タイマ(TAA1)の16ビット・カウンタの値とTAA1CCR0レジスタの値の一致によりマスタ・タイマ(TAA1)の16ビット・カウンタがクリア(0000H)されても、スレーブ・タイマ(TAA0)の16ビット・カウンタはクリアされません。

同様にマスタ・タイマ(TAA1)のコンペア・レジスタ値が一斉書き込みにより書き換わったとしても、スレーブ・タイマのコンペア・レジスタは影響を受けません。

[初期設定]

マスタ・タイマ : TAA1CTL0.TAA1CE = 0 (動作禁止) に設定

スレーブ・タイマ : TAA0CTL0.TAA0CE = 0 (動作禁止) に設定

【マスタ・タイマ (TAA1) の初期設定】

- ・ TAA1CTL1.TAA1MD2-TAA1MD0 = 100 (PWM出力モードの設定)
- ・ TAA1CTL1.TAA1CKS2-TAA1CKS0 (カウント・クロック (任意) の設定)
- ・ TAA1CCR1, TAA1CCR0レジスタを設定
- ・ TAA1IOC0レジスタを設定

【スレーブ・タイマ (TAA0) の初期設定】

- ・ TAA0CTL1.TAA0SYE = 1, TAA0SYM = 1 (同時スタート動作に設定)
- ・ TAA0CTL1.TAA0MD2-TAA0MD0 = 100 (PWM出力モードに設定)
- ・ TAA0CCR0, TAA1CCR1レジスタを設定。
- ・ TAA0IOC0レジスタを設定

備考 マスタ・タイマ, スレーブ・タイマの初期設定は順不同です。

[カウント・スタート]

<1> マスタ・タイマのTAA1CTL0.TAA1CE = 1に設定。

<2> カウント・スタート

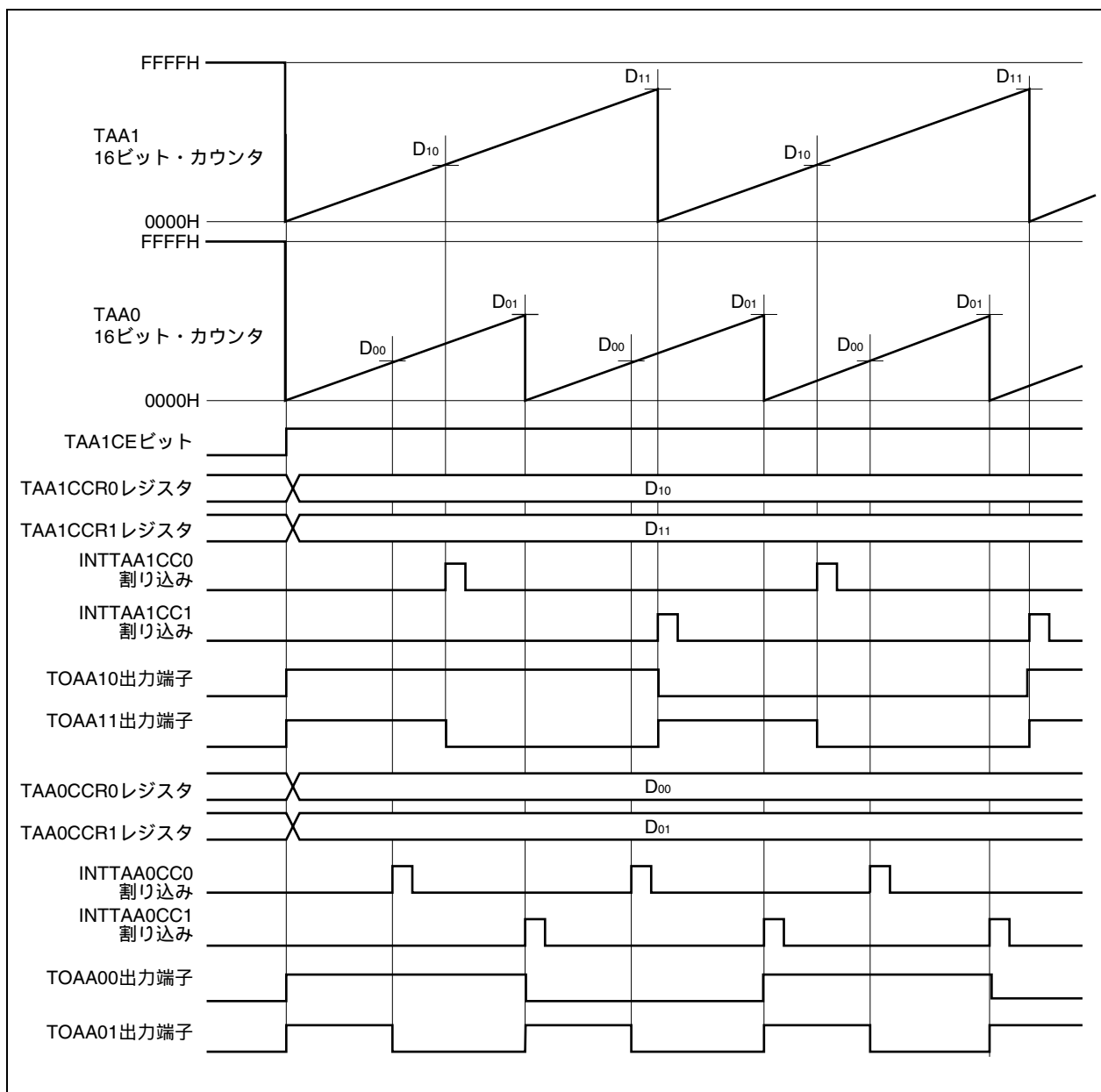
<3> 動作中のレジスタ設定変更

- ・ コンペアの書き換え可能 (随時書込み方式)

[終了条件]

- ・ マスタ・タイマのTAA1CTL0.TAA0CE = 0に設定。

図7-49 同時スタート機能のタイミング例 (TAA1: マスタ, TAA0: スレーブ)



7.8 カスケード接続

TAAを2チャンネル接続し、カスケード接続により32ビット・キャプチャ・タイマとして使用する場合の動作について説明します。

カスケード接続は、必ず「フリー・ランニング・タイマ・モード」に設定し、かつすべてのキャプチャ・コンペア・レジスタを「キャプチャ機能 (TAA0CCSn = 1)」に設定する必要があります。

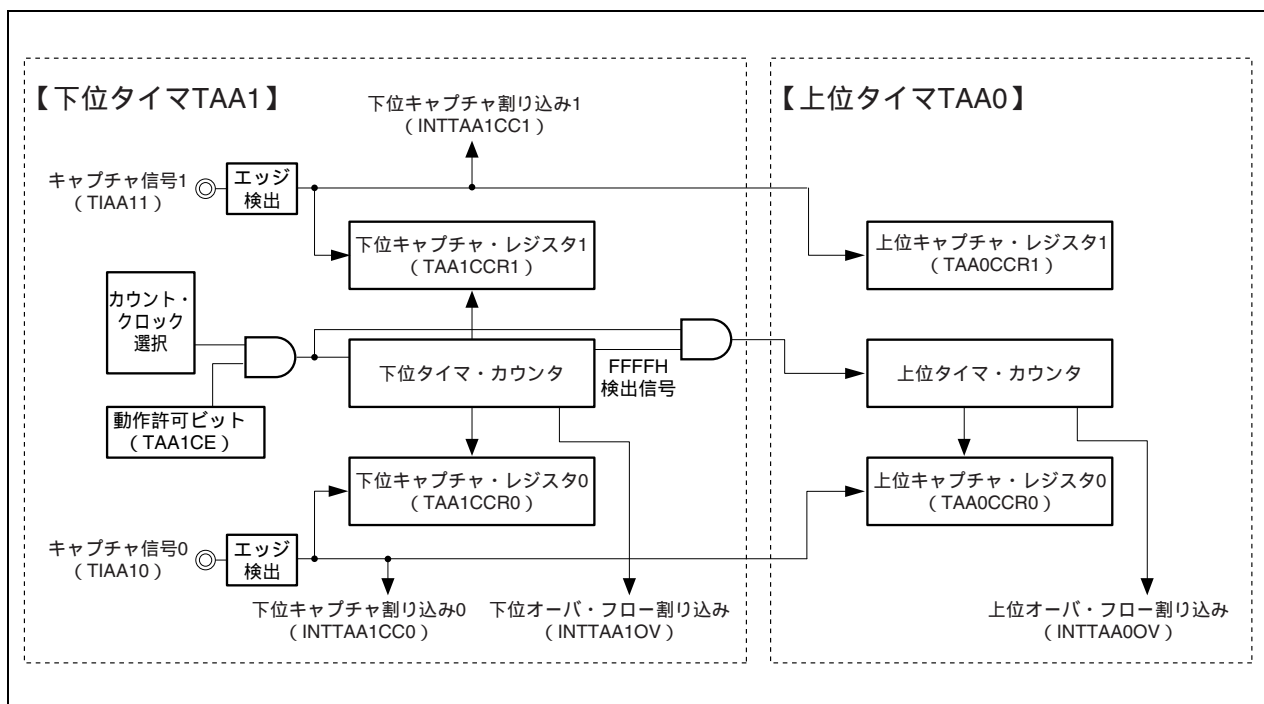
カスケード接続できるTAAの組み合わせを次に示します。

表7 - 11 TAAのカスケード接続

下位タイマ (マスタ・タイマ)	上位タイマ (スレーブ・タイマ)
TAA1	TAA0
TAA3	TAA2

ここでは、下位タイマ (マスタ・タイマ) にTAA1、上位タイマ (スレーブ・タイマ) にTAA0を使用し、カスケード接続により32ビット・キャプチャ・タイマとして使用する場合の動作を例に説明します。

図7 - 50 カスケード接続例



TAA1とTAA0をカスケード接続した場合の、各端子、信号の動作を次に示します。

表7 - 12 カスケード接続時の状態

名 称	上位/下位	機 能	動作説明
TIAA10端子入力	下位	キャプチャ入力0	有効エッジ検出により下位タイマ・カウンタの値をTAA1CCR0レジスタに、上位タイマ・カウンタの値をTAA0CCR0レジスタに格納します。
TIAA11端子入力	下位	キャプチャ入力1	有効エッジ検出により下位タイマ・カウンタの値をTAA1CCR1レジスタに、上位タイマ・カウンタの値をTAA0CCR1レジスタに格納します。
INTTAA1CCR0割り込み信号	下位	キャプチャ割り込み0	TIAA10端子の有効エッジ検出により割り込み発生
INTTAA1CCR1割り込み信号	下位	キャプチャ割り込み1	TIAA11端子の有効エッジ検出により割り込み発生
INTTAA1OV割り込み信号	下位	オーバフロー割り込み	下位タイマ・カウンタのオーバフロー検出により割り込み発生
TIAA00端子入力	上位	キャプチャ入力0	動作しません。
TIAA01端子入力	上位	キャプチャ入力1	動作しません。
INTTAA0CCR0割り込み信号	上位	キャプチャ割り込み0	動作しません。
INTTAA0CCR1割り込み信号	上位	キャプチャ割り込み1	動作しません。
INTTAA0OV割り込み信号	上位	オーバフロー割り込み	上位タイマ・カウンタのオーバフロー検出により割り込み発生

図7-51 TAA1とTAA0のカスケード接続時の動作フロー (1/2)

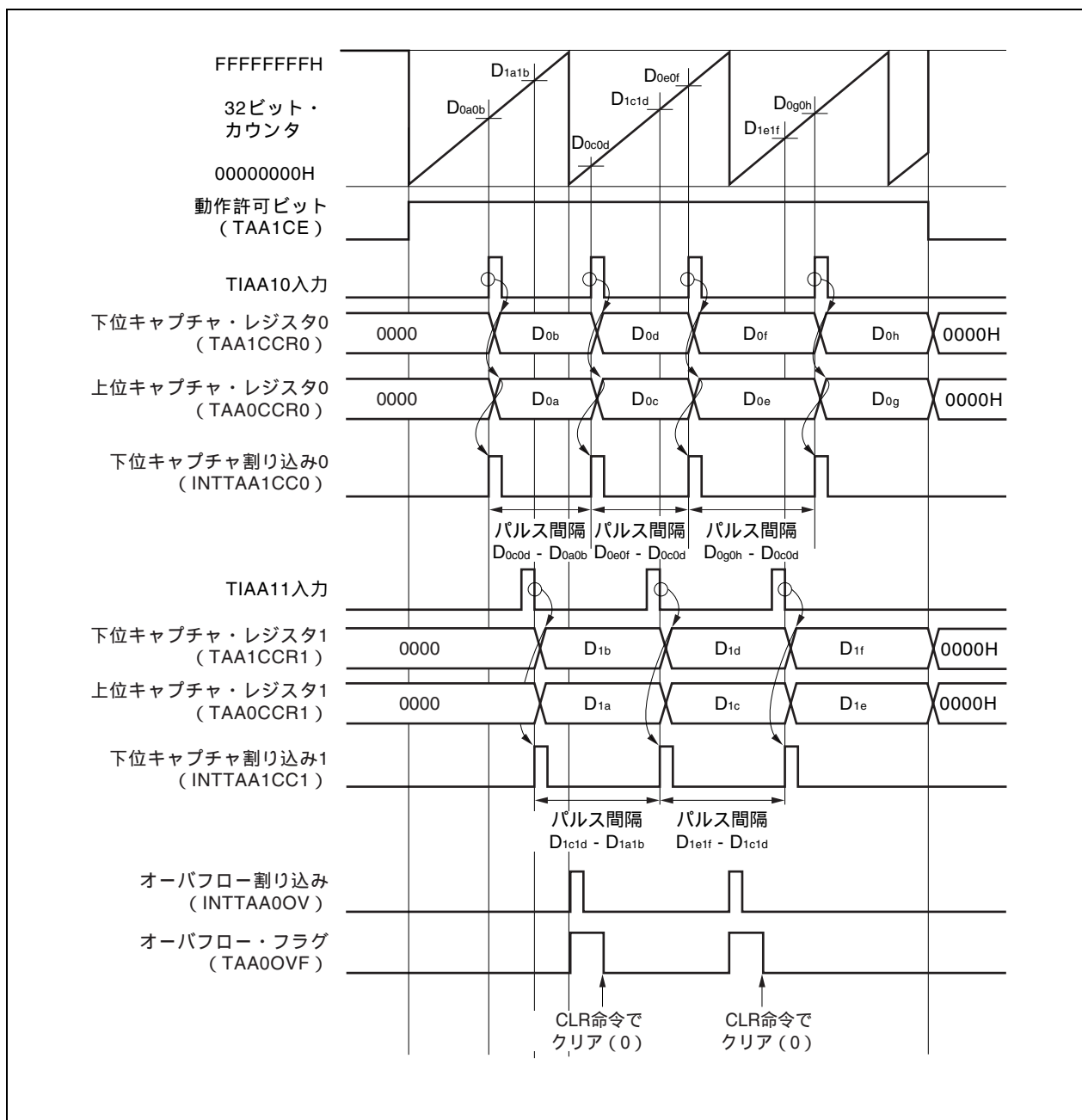


図7-51 TAA1とTAA0のカスケード接続時の動作フロー (2/2)

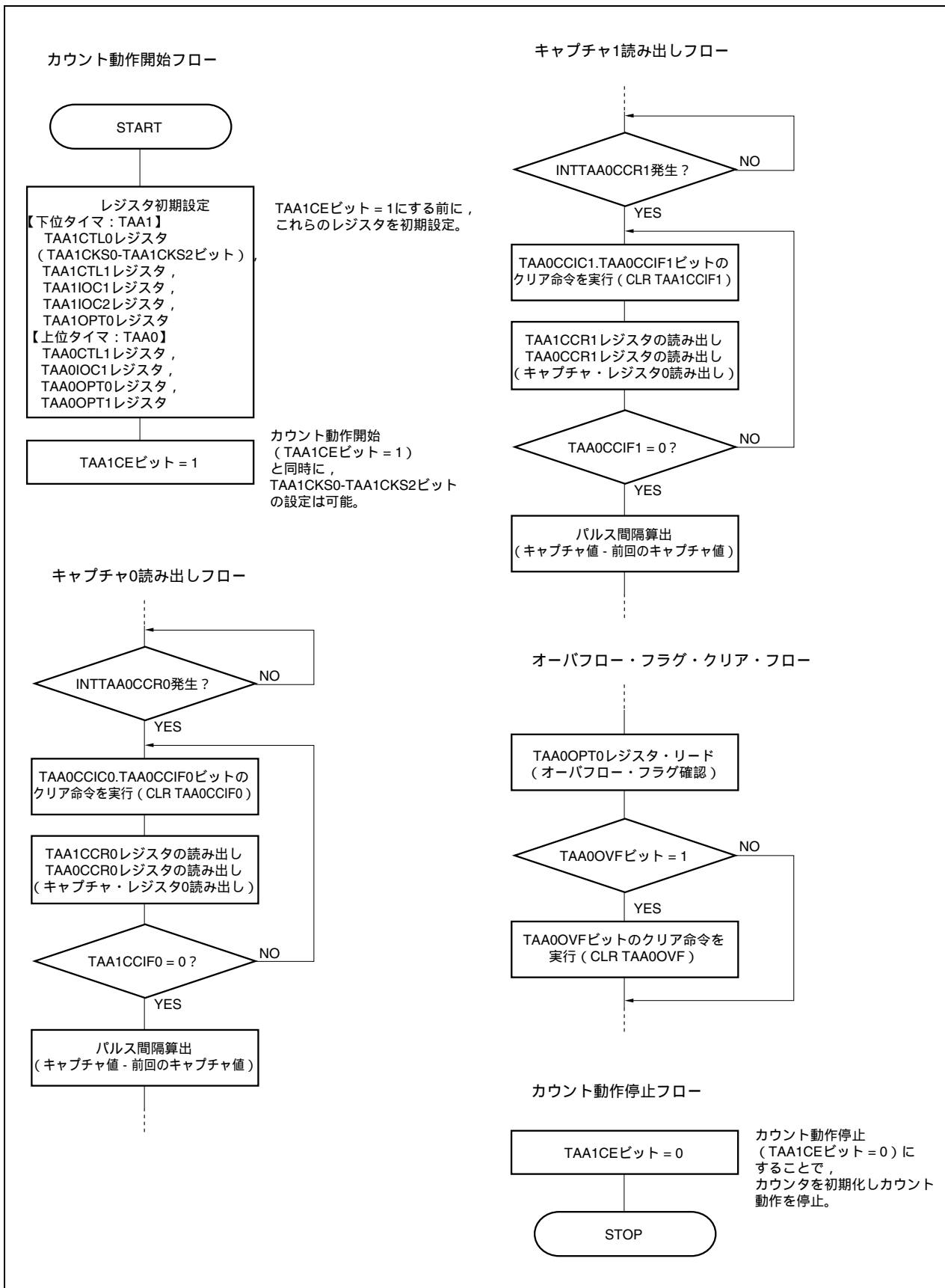
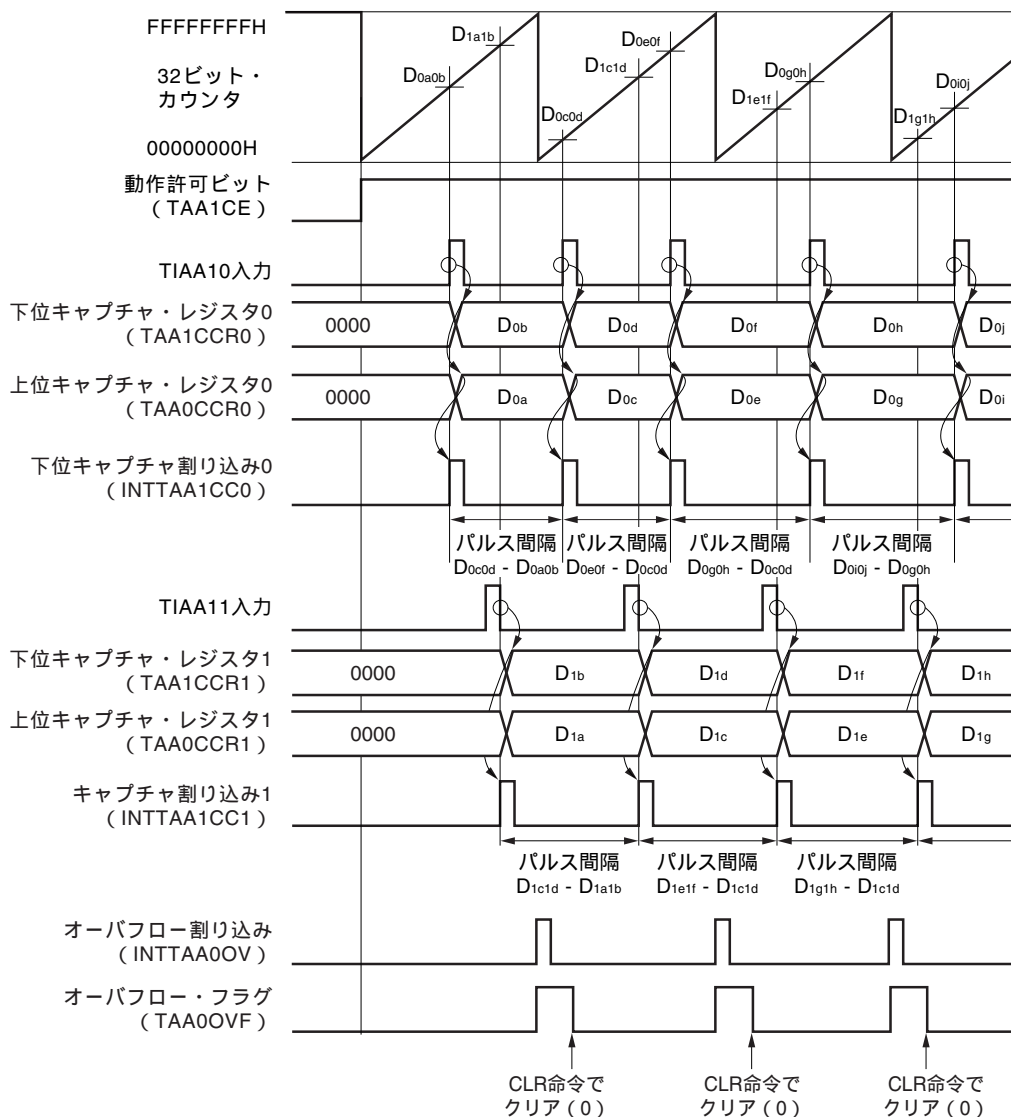


図7-52 TAA1とTAA0をカスケード接続した場合の基本タイミング例



TAA1CTL.TAA1CEビットをセット(1)に設定し、カウント・クロックを供給するとカウント動作を開始します。TIAA10端子入力の有効エッジを検出することにより、カウント値をキャプチャ・レジスタ0 (TAA1CCR0, TAA0CCR0) に格納しキャプチャ割り込み0信号 (INTTAA1CC0) を発行します。

タイマ・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFFFFHまでカウントしたあと、次のクロックでオーバーフロー割り込み (INTTAA0OV) の発生し、オーバーフロー・フラグ (TAA0OVF) がセット(1)され、タイマ・カウンタを00000000Hにクリアしカウント・アップを継続します。

オーバーフロー・フラグ (TAA0OVF) は、CPUからの“0”書き込み命令にてクリアされます。

フリー・ランニング・タイマ・モードに設定してあるため、TIAA10端子入力の有効エッジ検出では、タイマ・カウンタをクリアできません。

また、TOAA10出力は、TIAA10入力と兼用されているため使用禁止です。

キャプチャ・レジスタ1 (TAA1CCR1, TAA0CCR1) も、同様に動作します。

下位タイマ・カウンタ (TAA1側) がオーバーフローした場合、オーバーフロー割り込み (TAA1OVF) が発生しますが、32ビット・カウンタのオーバーフローとして使用できないので、割り込みをマスクしておくことを推奨します。

7.9 セレクタ機能

V850ES/JG3-U, V850ES/JH3-UではTAA1のキャプチャ・トリガ入力を, ポートの兼用端子と周辺I/O (TAA1, UARTC0, UARTC1) 信号とで選択が可能です。

UARTCn使用時に, このセレクタ機能によりRXDCn端子からの入力信号を選択すると, UARTCnのLIN受信転送レートのポー・レート誤差算出として使用可能です (n = 0, 1)。

(1) セレクタ動作制御レジスタ0 (SELCNT0)

SELCNT0 レジスタは, TAA1 のキャプチャ・トリガを選択する 8 ビット・レジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

リセット時 : 00H R/W アドレス : FFFFFFF308H

	7	6	5	4	3	2	1	0
SELCNT0	0	0	0	ISEL4	ISEL3	0	0	0

ISEL4	TIAA11キャプチャ・トリガ入力信号の選択
0	TIAA11 (P35兼用) 端子
1	RXDC1 (P91兼用) 端子

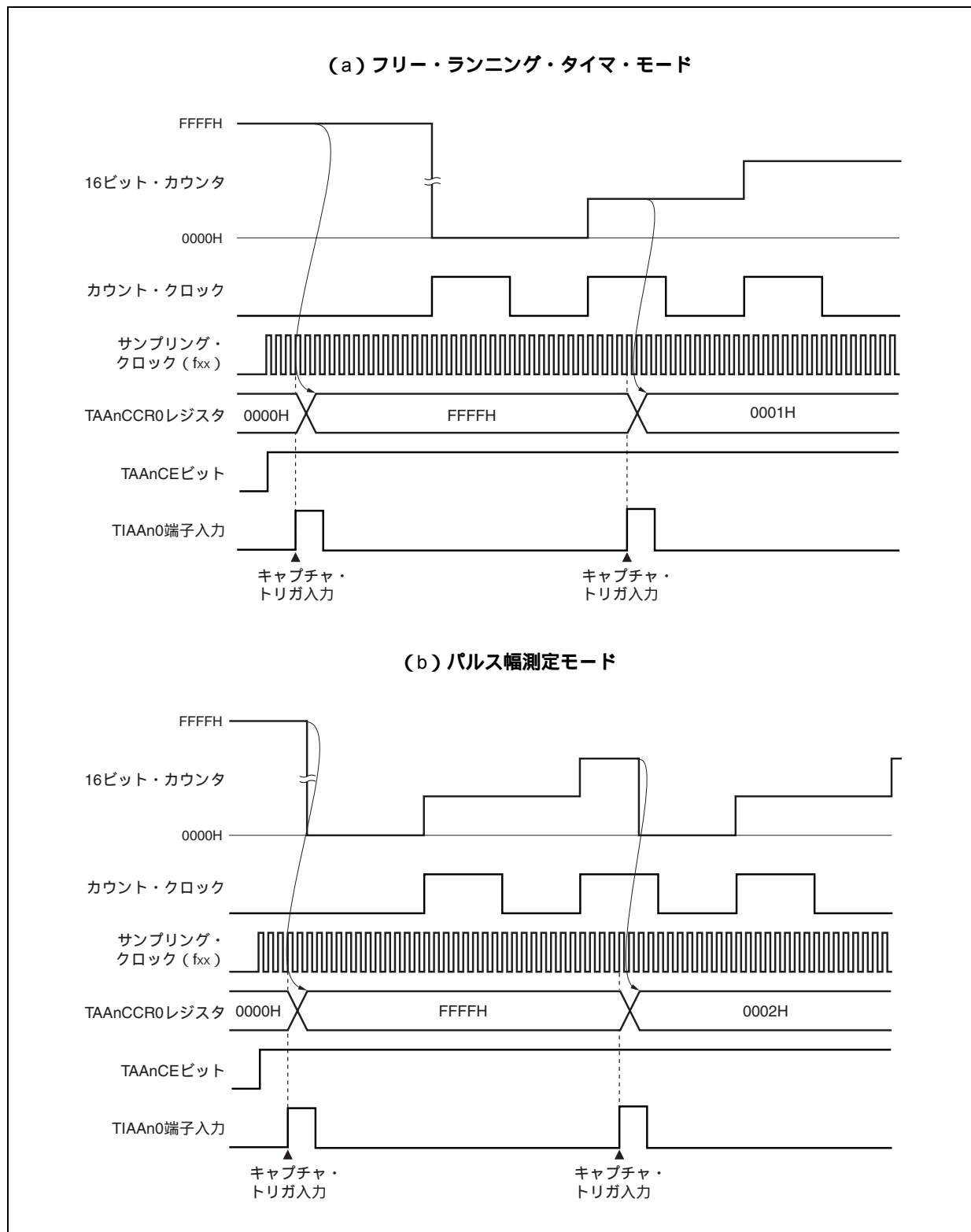
ISEL3	TIAA10キャプチャ・トリガ入力信号の選択
0	TIAA10 (P34兼用) 端子
1	RXDC0 (P31兼用) 端子

- 注意1.** ISEL3, ISEL4ビットを“1”に設定する場合は, 対応する機能端子をキャプチャ入力に設定してください。
2. ISEL3, ISEL4ビットは, 対象となるTAA1およびUARTC0, UARTC1の動作を停止した状態のときに設定してください。
3. ビット7-5, 2-0には必ず“0”を設定してください。

7.10 注意事項

(1) キャプチャ動作

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TAA_nCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TAA_nCCR0, TAA_nCCR1レジスタに0000HではなくFFFFHがキャプチャされる場合があります。



第8章 16ビット・タイマ/イベント・カウンタAB (TAB)

タイマAB (TAB) は、16ビットのタイマ/イベント・カウンタです。

V850ES/JG3-U, V850ES/JH3-Uは、TAB0, TAB1を内蔵しています。

8.1 概要

TABnの概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 4本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 4本
・キャプチャ/コンペア一致割り込み要求信号	: 4本
・タイマ出力端子	: 4本

備考 n = 0, 1

8.2 機能

TABnの機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定
- ・三角波PWM出力
- ・タイマ同調動作機能
- ・同時スタート機能

備考 n = 0, 1

8.3 構 成

TABnは、次のハードウェアで構成されています。

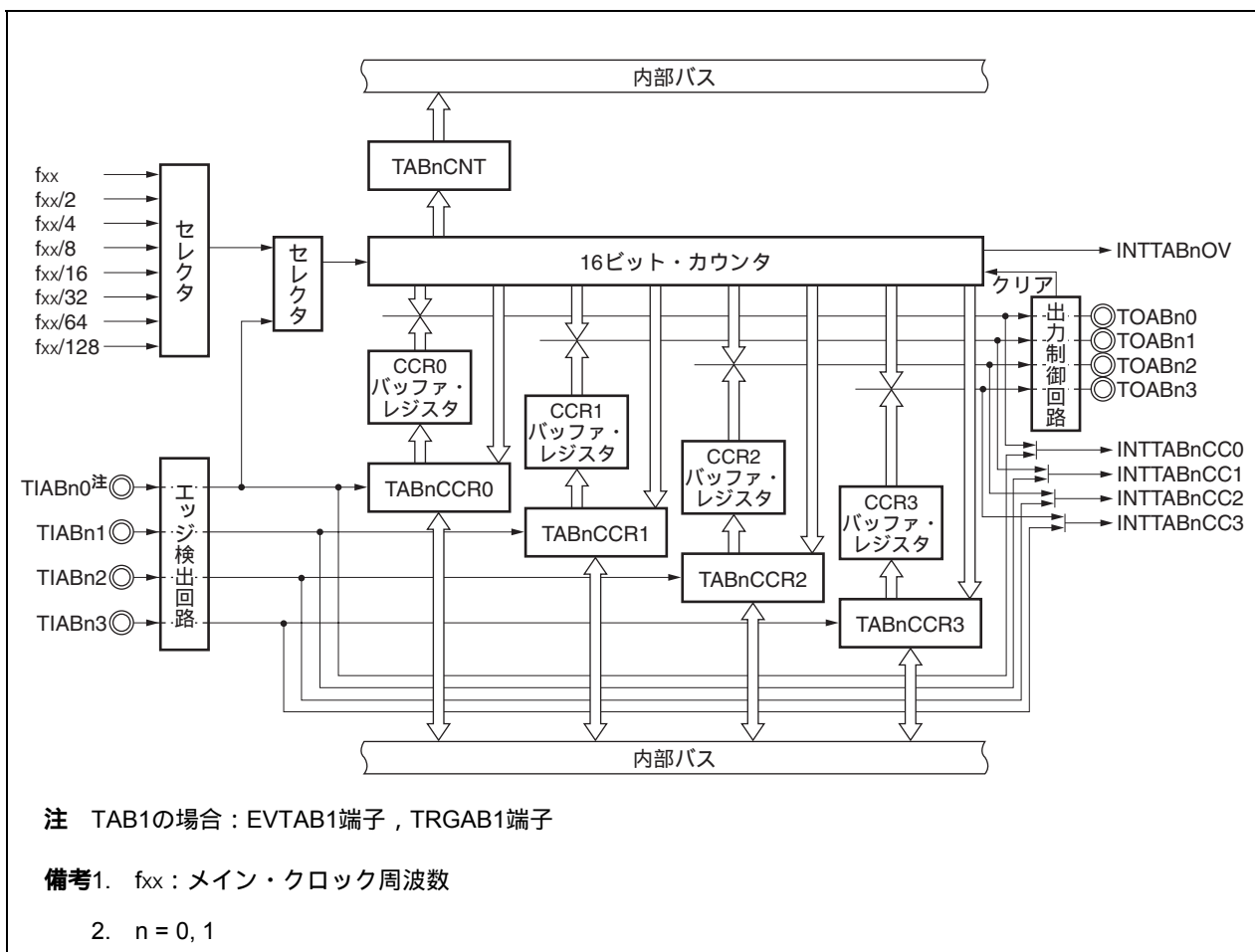
表8 - 1 TABnの構成

項 目	構 成
レジスタ	16ビット・カウンタ TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT) CCR0-CCR3バッファ・レジスタ TABn制御レジスタ0, 1 (TABnCTL0, TABnCTL1) TABnI/O制御レジスタ0-2 (TABnIOC0-TABnIOC2, TABnIOC4) TABnオプション・レジスタ0 (TABnOPT0)
タイマ入力 ^{注2}	4本 (TIABn0 ^{注1} -TIABn3端子)
タイマ出力 ^{注2}	4本 (TOABn0-TOABn3端子)

注1. TIABn0-TIABn3, TOABn0-TOABn3端子の機能を使用する場合は、表4 - 20 ポート端子を兼用端子として使用する場合のレジスタ設定を参照してください。

2. TIAB00端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

図8 - 1 TABnのブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TABnCNTレジスタでリードできます。

TABnCTL0.TABnCEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTABnCNTレジスタをリードすると、0000Hがリードされます。

リセットによりTABnCEビット = 0になるため、16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR0レジスタをコンペア・レジスタとして使用するとき、TABnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTABnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTABnCCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR1レジスタをコンペア・レジスタとして使用するとき、TABnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTABnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTABnCCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

(4) CCR2バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR2レジスタをコンペア・レジスタとして使用するとき、TABnCCR2レジスタにライトした値がCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTABnCC2) を発生します。

CCR2バッファ・レジスタは、直接リード/ライトできません。

リセットによりTABnCCR2レジスタが0000Hになるため、CCR2バッファ・レジスタも0000Hになります。

(5) CCR3バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR3レジスタをコンペア・レジスタとして使用するとき、TABnCCR3レジスタにライトした値がCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTABnCC3) を発生します。

CCR3バッファ・レジスタは、直接リード/ライトできません。

リセットによりTABnCCR3レジスタが0000Hになるため、CCR3バッファ・レジスタも0000Hになります。

(6) エッジ検出回路

TIABn0-TIABn3端子に入力される有効エッジを検出します。有効エッジは、TABnIOC1, TABnIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(7) 出力制御回路

TOABn0-TOABn3端子の出力を制御します。TOABn0-TOABn3端子の出力は、TABnIOC0レジスタで制御します。

(8) セレクタ

16ビット・カウンタのカウンタ・クロックを選択します。カウンタ・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

8.4 レジスタ

TABnを制御するレジスタを次に示します。

- ・ TABn制御レジスタ0 (TABnCTL0)
- ・ TABn制御レジスタ1 (TABnCTL1)
- ・ TABnI/O制御レジスタ0 (TABnIOC0)
- ・ TABnI/O制御レジスタ1 (TABnIOC1)
- ・ TABnI/O制御レジスタ2 (TABnIOC2)
- ・ TABnI/O制御レジスタ4 (TABnIOC4)
- ・ TABnオプション・レジスタ0 (TABnOPT0)
- ・ TABnキャプチャ/コンペア・レジスタ0 (TABnCCR0)
- ・ TABnキャプチャ/コンペア・レジスタ1 (TABnCCR1)
- ・ TABnキャプチャ/コンペア・レジスタ2 (TABnCCR2)
- ・ TABnキャプチャ/コンペア・レジスタ3 (TABnCCR3)
- ・ TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

備考1. TIABn0-TIABn3, TOABn0-TOABn3端子の機能を使用する場合は、表4 - 20 **ポート端子を兼用端子として使用する場合のレジスタ設定**を参照してください。

2. $n = 0, 1$

(1) TABn制御レジスタ0 (TABnCTL0)

TABnCTL0レジスタは、TABnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TABnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TAB0CTL0 FFFFF540H, TAB1CTL0 FFFFF560H

	7	6	5	4	3	2	1	0
TABnCTL0 (n = 0, 1)	TABnCE	0	0	0	0	TABnCKS2	TABnCKS1	TABnCKS0

TABnCE	TABnの動作の制御
0	TABn動作禁止 (TABnを非同期にリセット ^注)
1	TABn動作許可。TABn動作開始

TABnCKS2	TABnCKS1	TABnCKS0	内部カウント・クロックの選択
0	0	0	fx
0	0	1	fx/2
0	1	0	fx/4
0	1	1	fx/8
1	0	0	fx/16
1	0	1	fx/32
1	1	0	fx/64
1	1	1	fx/128

注 TABnOPT0.TABnOVFビット、16ビット・カウンタ、タイマ出力 (TOABn0-TOABn3端子)。

注意1. TABnCKS2-TABnCKS0ビットは、TABnCEビット = 0のときに設定してください。TABnCEビットを“0”から“1”に設定するときに、同時にTABnCKS2-TABnCKS0ビットを設定できます。

2. ビット3-6には必ず“0”を設定してください。

備考 fx：メイン・クロック周波数

(2) TABn制御レジスタ1 (TABnCTL1)

TABnCTL1レジスタは、TABnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0CTL1 FFFFF541H, TAB1CTL1 FFFFF561H

	7	6	5	4	3	2	1	0
TABnCTL1 (n = 0, 1)	0	TABnEST	TABnEEE	0	0	TABnMD2	TABnMD1	TABnMD0

TABnEST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時：TABnESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時：TABnESTビットへの“1”ライトをトリガとして、PWM波形を出力

TABnEEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 (TABnCTL0.TABnCK0-TABnCK2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)

TABnEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。

TABnMD2	TABnMD1	TABnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	三角波PWMモード

- 注意1.** TABnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- ビット3, 4, 7は必ず“0”を設定してください。
 - 外部イベント・カウント・モードのときは、TABnEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
 - TABnEEE, TABnMD2-TABnMD0ビットは、TABnCTL0.TABnCEビット = 0のときに設定してください(TABnCEビット = 1のときの同値書き込みは可能)。TABnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TABnCEビットをクリア(0)してから再設定してください。

(3) TABnI/O制御レジスタ0 (TABnIOC0)

TABnIOC0レジスタは、タイマ出力 (TOABn0-TOABn3端子) を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: TAB0IOC0 FFFFF542H, TAB1IOC0 FFFFF562H

	7	6	5	4	3	2	1	0
TABnIOC0	TABnOL3	TABnOE3	TABnOL2	TABnOE2	TABnOL1	TABnOE1	TABnOL0	TABnOE0

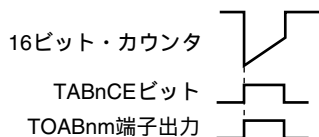
(n = 0, 1)

TABnOLm	TOABnm端子出力レベルの設定 (m = 0-3) 注
0	TOABnm端子ハイ・レベル・スタート
1	TOABnm端子ロウ・レベル・スタート

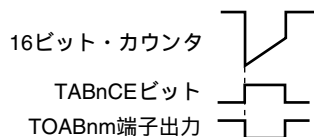
TABnOEm	TOABnm端子出力の設定 (m = 0-3)
0	タイマ出力禁止 ・TABnOLmビット = 0のときTOABnm端子からロウ・レベルを出力 ・TABnOLmビット = 1のときTOABnm端子からハイ・レベルを出力
1	タイマ出力許可 (TOABnm端子から方形波を出力)

注 TABnOLmビットの指定によるタイマ出力端子 (TOABnm) の出力レベルを次に示します。

・TABnOLmビット = 0の場合



・TABnOLmビット = 1の場合



注意1. TABnOLm, TABnOEmビットは、TABnCTL0.TABnCEビット = 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。

2. TABnCEビット = 0, TABnOEmビット = 0の状態において、TABnOLmビットを操作した場合でも、TOABnm端子の出力レベルは変化します。

備考 m = 0-3

(4) TABnI/O制御レジスタ1 (TABnIOC1)

TABnIOC1レジスタは、キャプチャ・トリガ入力信号 (TIABn0-TIABn3端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0IOC1 FFFFF543H, TAB1IOC1 FFFFF563H

	7	6	5	4	3	2	1	0
TABnIOC1 (n = 0, 1)	TABnIS7	TABnIS6	TABnIS5	TABnIS4	TABnIS3	TABnIS2	TABnIS1	TABnIS0

TABnIS7	TABnIS6	キャプチャ・トリガ入力信号 (TIABn3端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnIS5	TABnIS4	キャプチャ・トリガ入力信号 (TIABn2端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnIS3	TABnIS2	キャプチャ・トリガ入力信号 (TIABn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnIS1	TABnIS0	キャプチャ・トリガ入力信号 (TIABn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TABnIS7-TABnIS0ビットは、TABnCTL0.TABnCEビット= 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。
- 2.** TABnIS7-TABnIS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TABnI/O制御レジスタ2 (TABnIOC2)

TABnIOC2レジスタは、外部イベント・カウント入力信号 (TIAB00/EVTAB1端子)、外部トリガ入力信号 (TIAB00/TRGAB1端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0IOC2 FFFFFFF544H, TAB1IOC2 FFFFFFF564H

	7	6	5	4	3	2	1	0
TABnIOC2 (n = 0, 1)	0	0	0	0	TABnEES1	TABnEES0	TABnETS1	TABnETS0

TABnEES1	TABnEES0	外部イベント・カウント入力信号 (TIAB00/EVTAB1端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnETS1	TABnETS0	外部トリガ入力信号 (TIAB00/TRGAB1端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TABnEES1, TABnEES0, TABnETS1, TABnETS0ビットは、TABnCTL0.TABnCEビット = 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。
2. TABnEES1, TABnEES0ビットは、TABnCTL1.TABnEEEビット = 1、または外部イベント・カウント・モード (TABnCTL1.TABnMD2-TABnMD0ビット = 001) に設定したときのみ有効です。
3. TABnETS1, TABnETS0ビットは、外部トリガ・パルス出力モード (TABnCTL1.TABnMD2-TABnMD0ビット = 010)、ワンショット・パルス出力モード (TABnCTL1.TABnMD2-TABnMD0ビット = 011) に設定したときのみ有効です。

(6) TABnI/O制御レジスタ4 (TABnIOC4)

TABnIOC4レジスタは、タイマ出力を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。タイマ動作停止 (TABnCTL0.TABnCE = 0) ではリセットされません。

注意1. 次に示す状態において、TABnIOC4レジスタへのアクセスは禁止です。詳細は3. 4. 8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

2. TABnIOC4レジスタはインターバル・タイマ・モード、フリー・ランニング・タイマ・モード時のみ設定できます。それ以外のモードでは必ず00Hに設定してください(モード設定については8. 4 (2) TABn制御レジスタ1 (TABnCTL1) を参照してください)。またフリー・ランニング・タイマ・モードに設定してもTABnCCR0-TABnCCR3レジスタをキャプチャ機能に設定した場合はTABnIOC4レジスタの設定は無効になります。

リセット時：00H R/W アドレス：TAB0IOC4 FFFFF550H, TAB1IOC4 FFFFF570H

		7	6	5	4	3	2	1	0
TABnIOC4		TABnOS3	TABnOR3	TABnOS2	TABnOR2	TABnOS1	TABnOR1	TABnOS0	TABnOR0
(n = 0, 1)									
	TABnOSm	TABnORm	TOABnm端子のトグル制御 (m = 0-3)						
	0	0	要求なし。通常のトグル動作						
	0	1	リセット要求 次回16ビット・カウンタの値とTAAAnCCRmレジスタの値の一致でインアクティブ・レベルに固定						
	1	0	セット要求 次回16ビット・カウンタの値とTAAAnCCRmレジスタの値の一致でアクティブ・レベルに固定						
	1	1	キープ要求 現在の出力レベルを保持						

(7) TABnオプション・レジスタ0 (TABnOPT0)

TABnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0OPT0 FFFFF545H, TAB1OPT0 FFFFF565H

	7	6	5	4	3	2	1	0
TABnOPT0 (n = 0, 1)	TABnCCS3	TABnCCS2	TABnCCS1	TABnCCS0	0	TAB1CMS ^注	TABnCUF	TABnOVF

TABnCCSm	TABnCCRmレジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TABnCCSmビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TABnOVF	TABnのオーバフロー検出
セット(1)	オーバフロー発生
リセット(0)	TABnOVFビットへの0ライトまたはTABnCTL0.TABnCEビット = 0
<ul style="list-style-type: none"> ・TABnOVFビットは、カウントフリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウント値がFFFFHから0000Hにオーバフローするときセット(1)されます。 ・TABnOVFビットがセット(1)されると同時に、割り込み要求信号(INTTABnOV)が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTABnOV信号は発生しません。 ・TABnOVFビット = 1のときにTABnOVFビットまたはTABnOPT0レジスタをリードしてもTABnOVFビットはクリアされません。 ・TABnOVFビットはリード/ライト可能ですが、ソフトウェアでTABnOVFビットをセット(1)することはできません。“1”をライトしてもTABnの動作に影響はありません。 	

注 TAB1CMSビットは、モータ制御機能で使用します。詳細は第11章 モータ制御機能を参照してください。

注意1. TABnCCS3-TABnCCS0ビットは、TABnCTL0.TABnCEビット = 0のときに書き換えてください(TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア(0)してから再設定してください。

2. ビット3には必ず“0”を設定してください。モータ制御機能を使用しない場合は、ビット2も必ず“0”を設定してください。

備考 m = 0-3

(8) TABnキャプチャ/コンペア・レジスタ0 (TABnCCR0)

TABnCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TABnCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

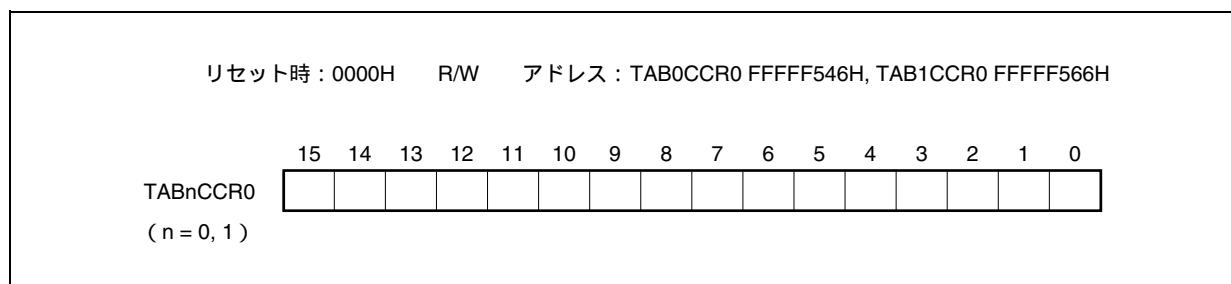
TABnCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TABnCCR0レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TABnCCR0レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTABnCC0) を発生し、TOABn0端子出力を許可している場合、TOABn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モード、三角波PWMモードにおいて、TABnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABnCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIABn0端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIABn0端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR0レジスタのリードが競合しても、TABnCCR0レジスタは正しい値をリードできます。

備考 n = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(9) TABnキャプチャ/コンペア・レジスタ1 (TABnCCR1)

TABnCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TABnCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

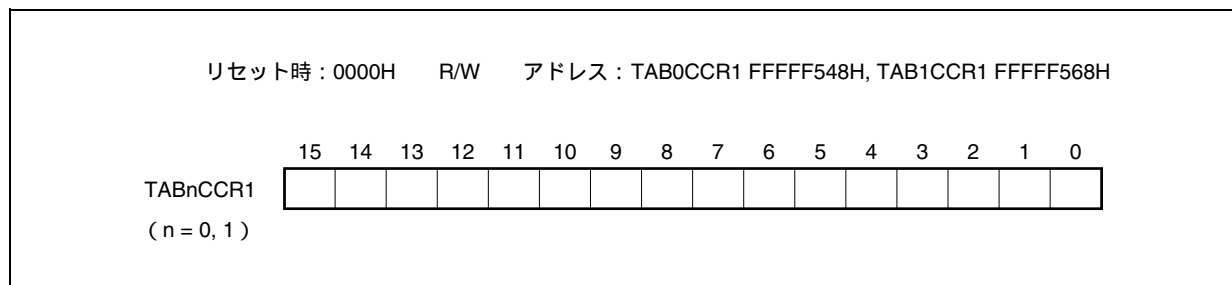
TABnCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TABnCCR1レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TABnCCR1レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTABnCC1) を発生し、TOABn1端子出力を許可している場合、TOABn1端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABnCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIABn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIABn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR1レジスタのリードが競合しても、TABnCCR1レジスタは正しい値をリードできます。

備考 n = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(10) TABnキャプチャ/コンペア・レジスタ2 (TABnCCR2)

TABnCCR2レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TABnCCR2レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS2ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

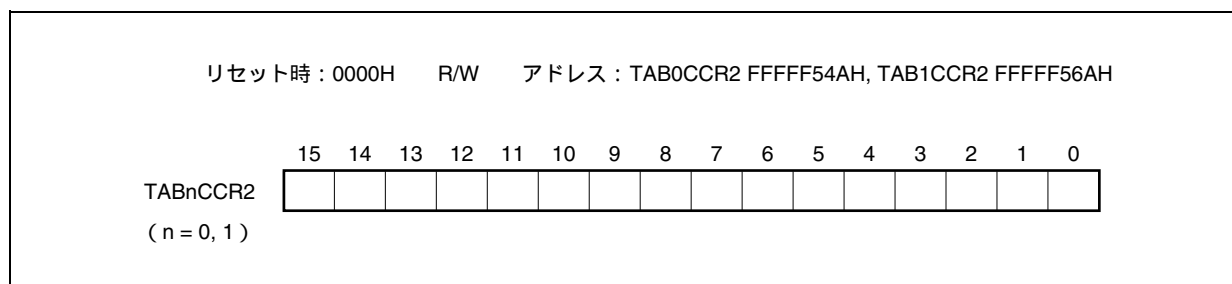
TABnCCR2レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TABnCCR2レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TABnCCR2レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR2レジスタの設定値はCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTABnCC2) を発生し、TOABn2端子出力を許可している場合、TOABn2端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABnCCR2レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIABn2端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR2レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIABn2端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR2レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR2レジスタのリードが競合しても、TABnCCR2レジスタは正しい値をリードできます。

備考 n = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(11) TABnキャプチャ/コンペア・レジスタ3 (TABnCCR3)

TABnCCR3レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TABnCCR3レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS3ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

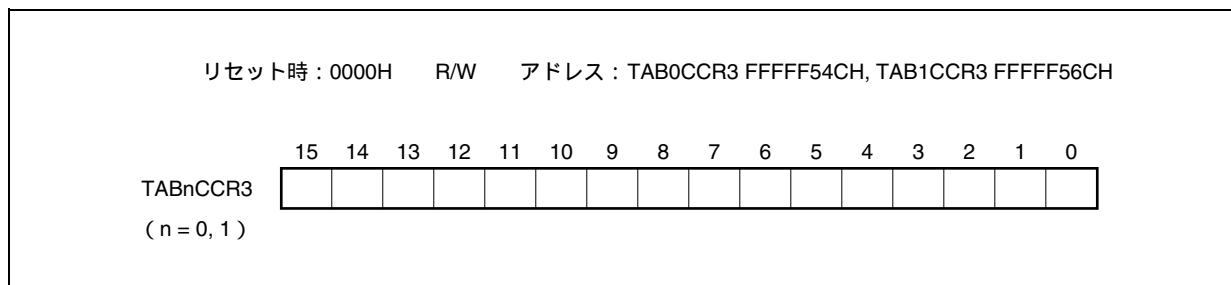
TABnCCR3レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TABnCCR3レジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TABnCCR3レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR3レジスタの設定値はCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTABnCC3) を発生し、TOABn3端子出力を許可している場合、TOABn3端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABnCCR3レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIABn3端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR3レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIABn3端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR3レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR3レジスタのリードが競合しても、TABnCCR3レジスタは正しい値をリードできます。

備考 n = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(12) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

TABnCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TABnCTL0.TABnCEビット = 1のときにTABnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

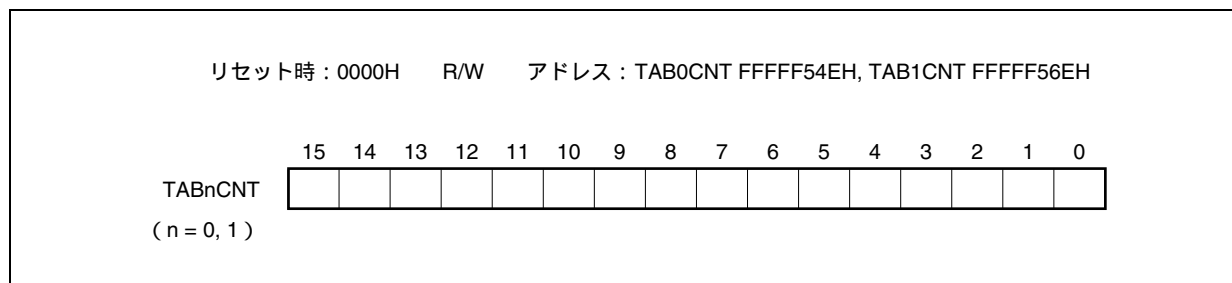
16ビット単位でリードのみ可能です。

TABnCEビット = 0のとき、TABnCNTレジスタは0000Hになります。このときにTABnCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTABnCEビット = 0になるため、TABnCNTレジスタは0000Hになります。

注意 次に示す状態において、TABnCNTレジスタへのアクセスは禁止です。詳細は3. 4. 8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



8.5 動作

TABnには次のような動作があります。

動作	TABnCTL1.TABnESTビット (ソフトウェア・トリガ・ビット)	TIABn0端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外
三角波PWMモード	無効	無効	コンペア専用	一斉書き込み

注1. 外部イベント・カウント・モードを使用する場合、TIABn0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TABnIOC1.TABnIS1, TABnIS0ビットを“00”) に設定してください。

2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TABnCTL1.TABnEEEビット = 0に設定) してください。

備考 n = 0, 1

8.5.1 インターバル・タイマ・モード (TABnMD2-TABnMD0ビット = 000)

インターバル・タイマ・モードは、TABnCTL0.TABnCEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号 (INTTABnCC0) を発生します。また、TOABn0端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TABnCCR1-TABnCCR3レジスタを使用しません。

図8-2 インターバル・タイマの構成図

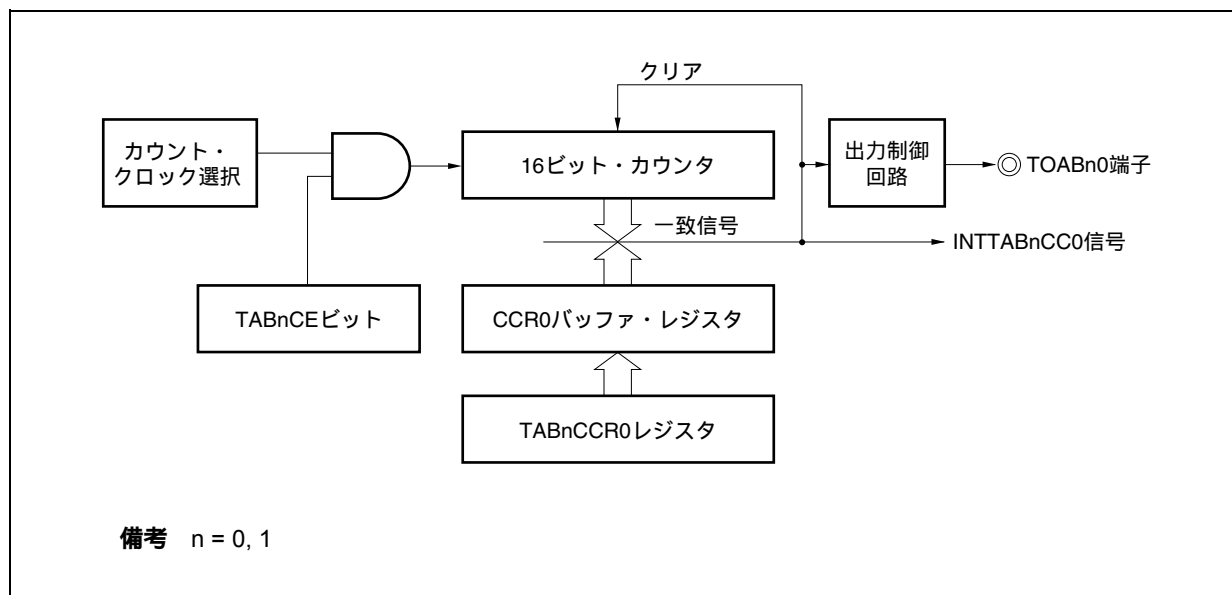
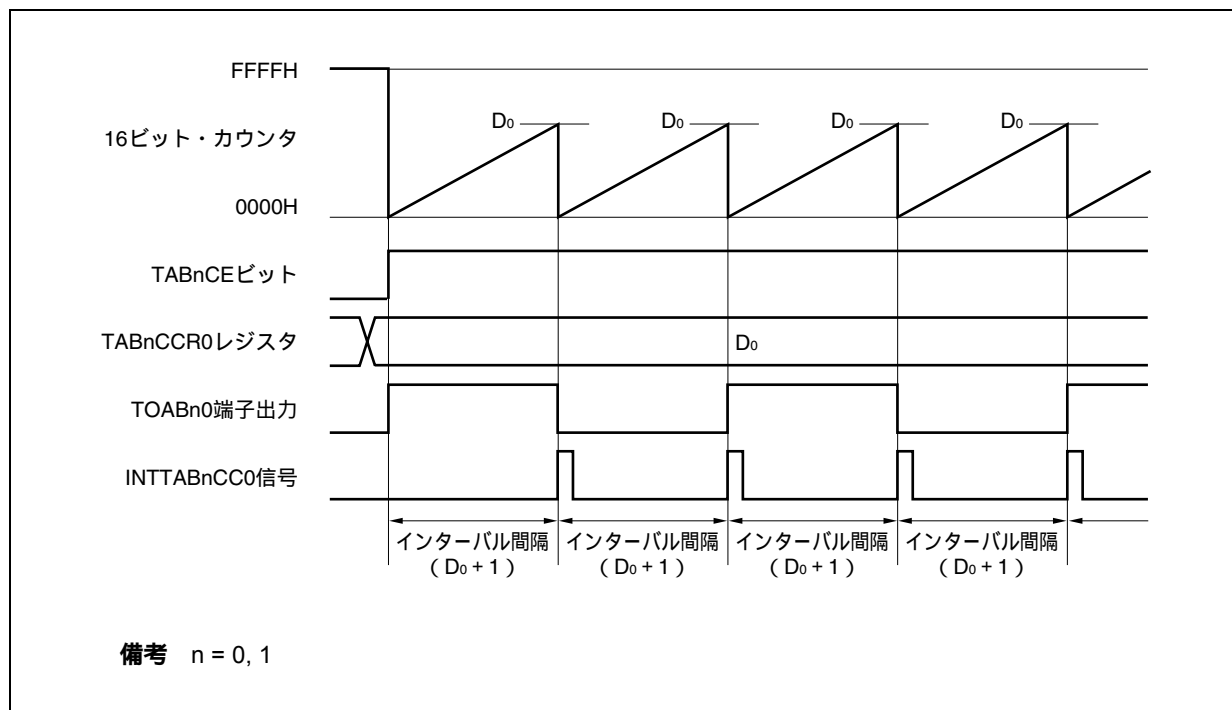


図8-3 インターバル・タイマ・モード動作の基本タイミング



TABnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOABn0端子出力を反転します。また、TABnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOABn0端子出力を反転させて、コンペア一致割り込み要求信号(INTTABnCC0)を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TABnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図8-4 インターバル・タイマ・モード動作時のレジスタ設定内容(1/2)

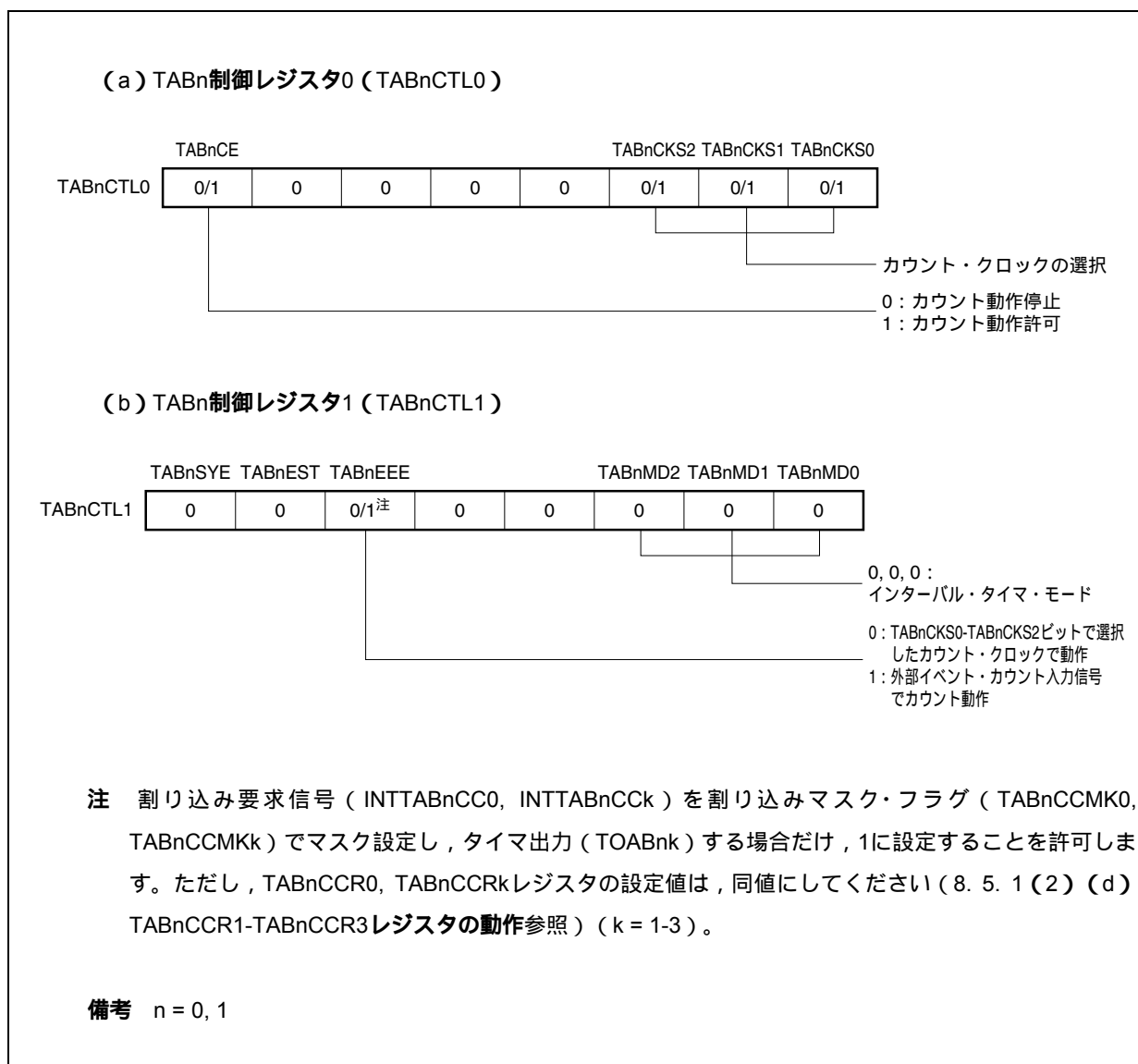
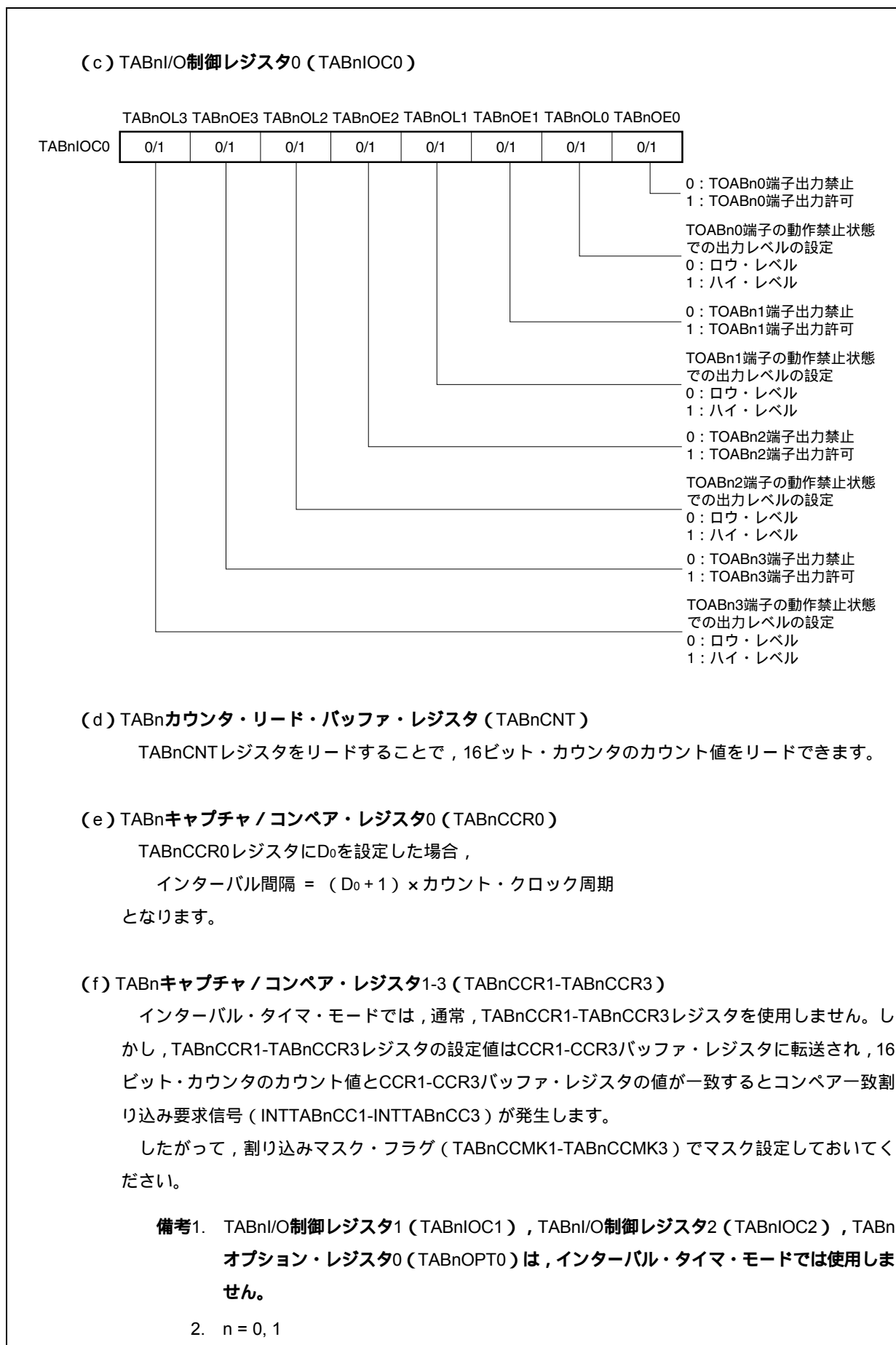
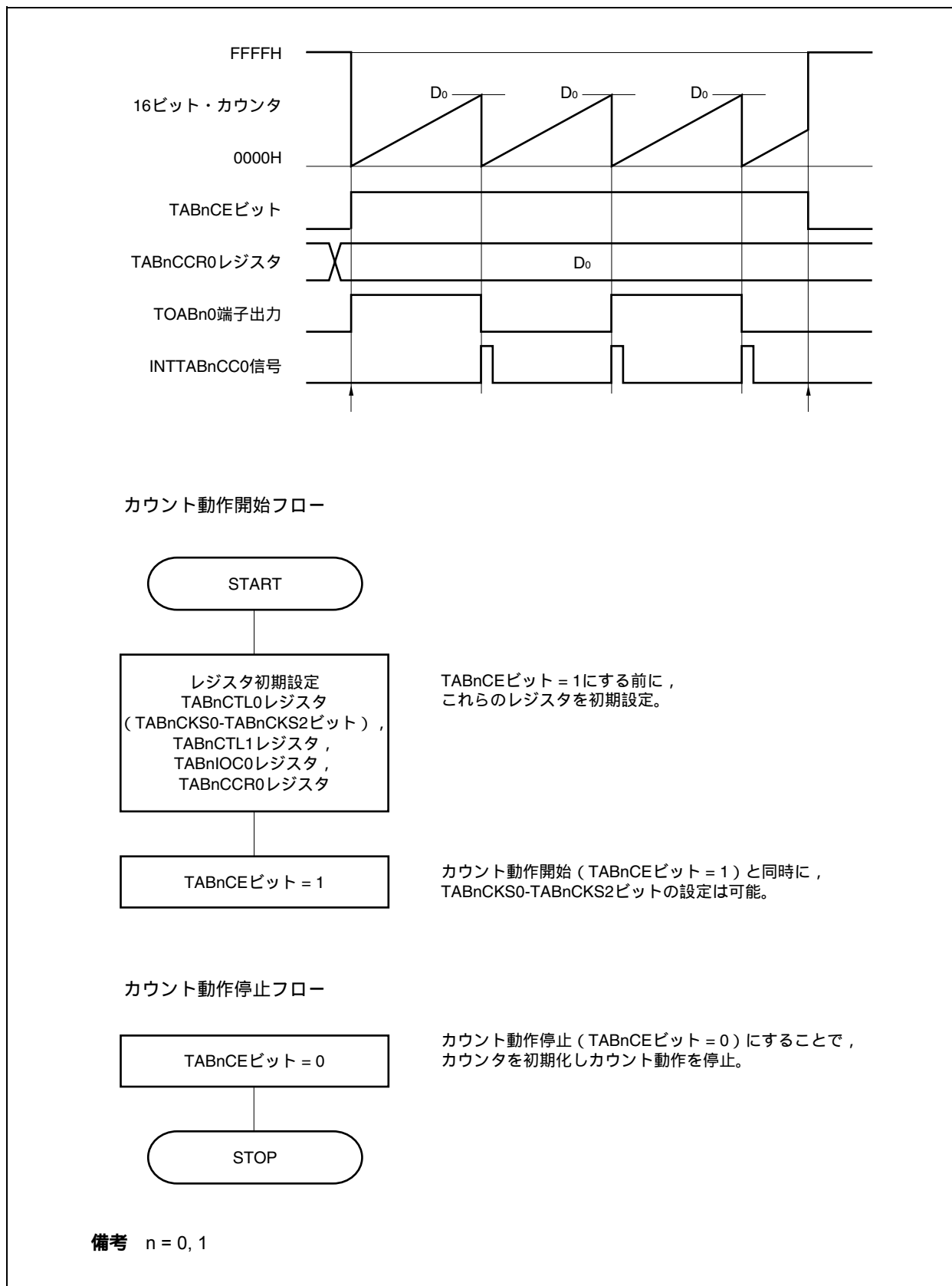


図8 - 4 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)



(1) インターバル・タイマ・モード動作フロー

図8 - 5 インターバル・タイマ・モード使用時のソフトウェア処理フロー

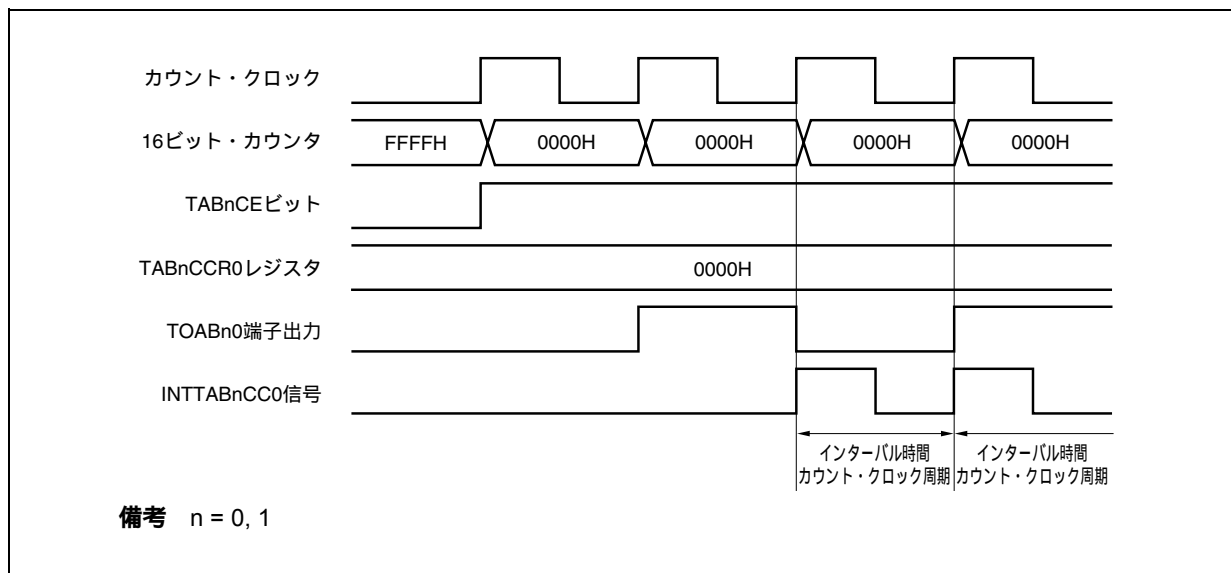


(2) インターバル・タイマ・モード動作タイミング

(a) TABnCCR0レジスタに0000Hを設定した場合の動作

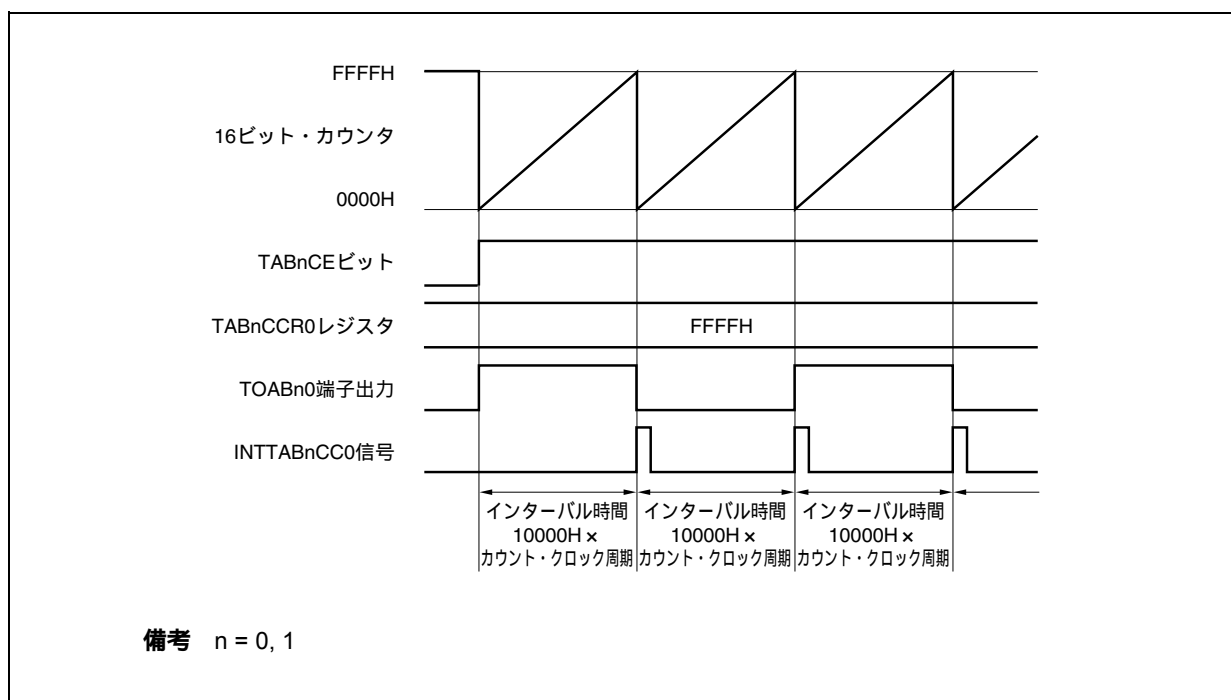
TABnCCR0レジスタに0000Hを設定した場合、2クロック目以降のカウンタ・クロックごとにINTTABnCC0信号を発生し、TOABn0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TABnCCR0レジスタにFFFFHを設定した場合の動作

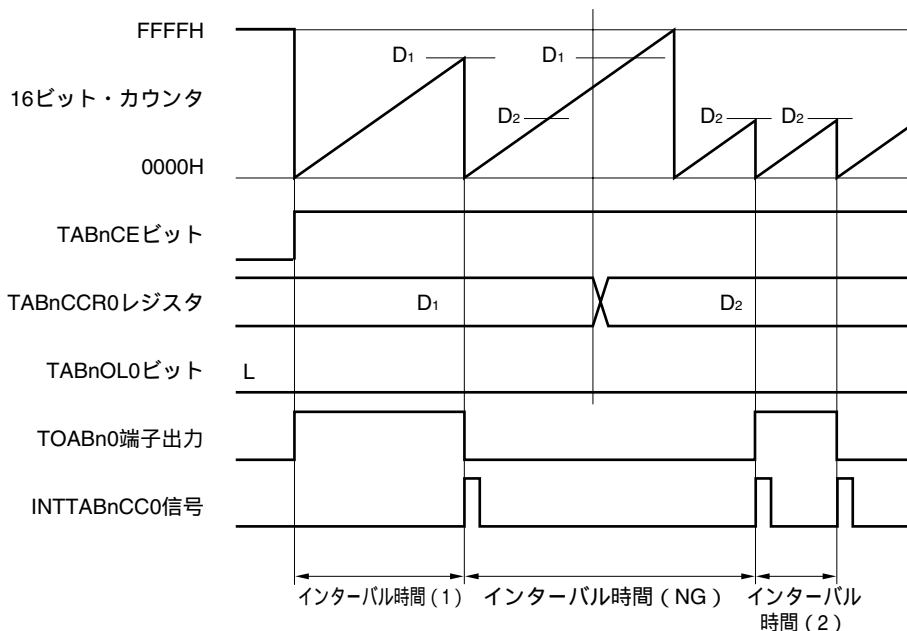
TABnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウンタ・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTABnCC0信号を発生し、TOABn0端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTABnOV) は発生せず、オーバフロー・フラグ (TABnOPT0.TABnOVビット) もセット (1) されません。



(c) TABnCCR0レジスタの書き換えに関する注意事項

TABnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTABnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



- 備考1.** インターバル時間 (1) : $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (2) : $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
2. $n = 0, 1$

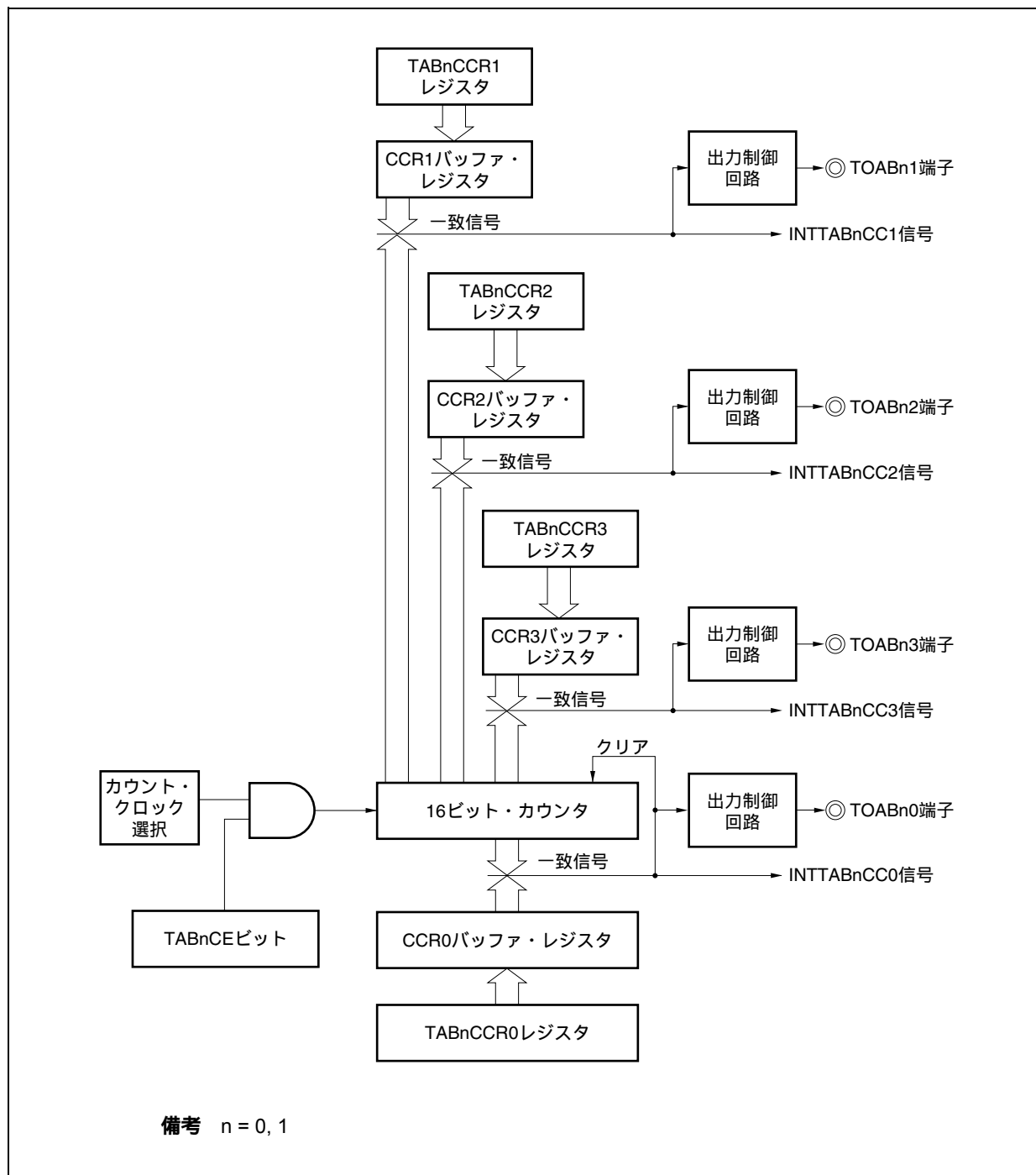
カウント値がD₂よりも大きくD₁よりも小さい状態において、TABnCCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTABnCC0信号を発生しTOABn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTABnCC0信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTABnCC0信号が発生する場合があります。

(d) TABnCCR1-TABnCCR3レジスタの動作

図8 - 6 TABnCCR1-TABnCCR3レジスタの構成図



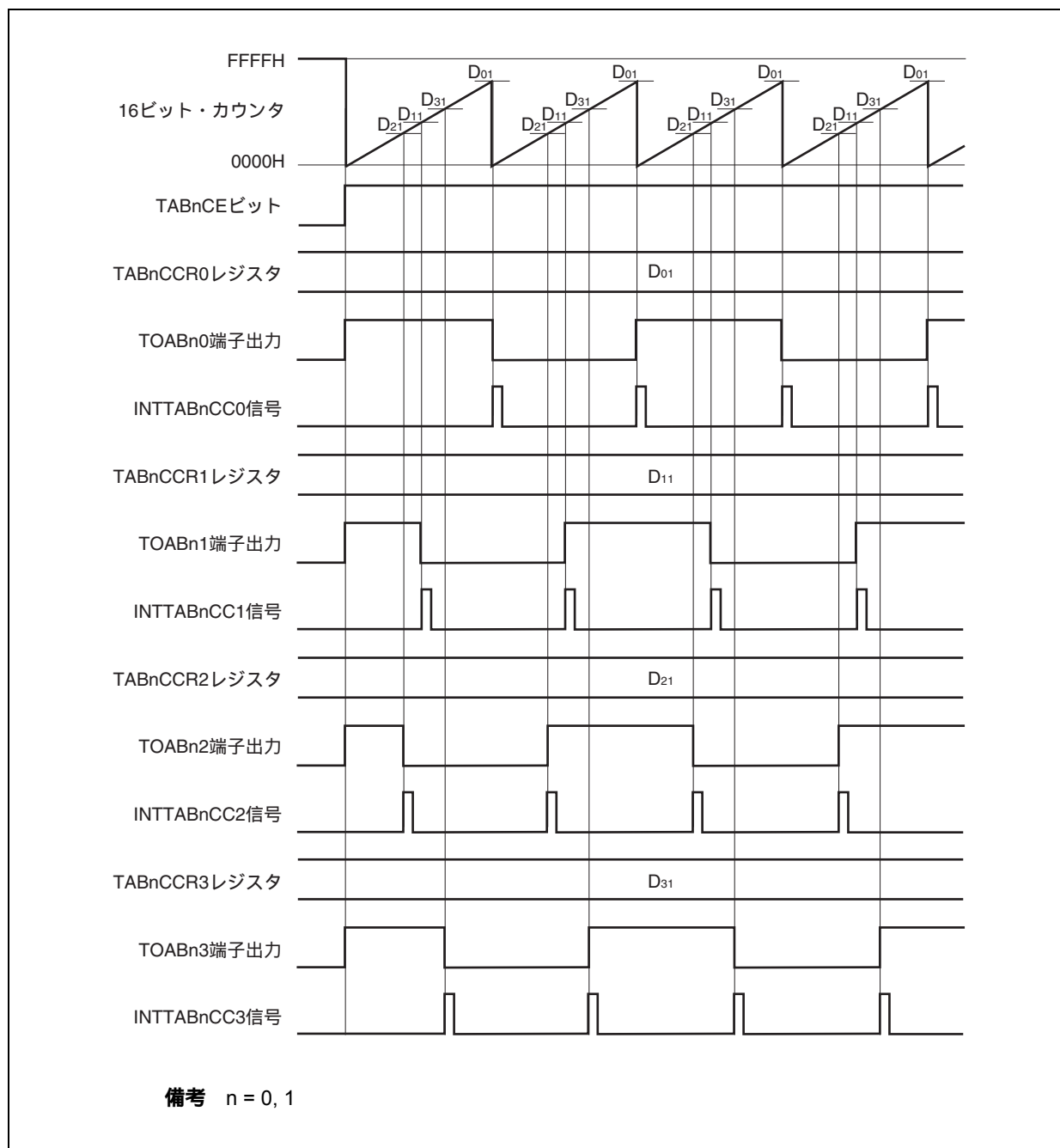
TABnCCRkレジスタの設定値がTABnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTABnCCk信号が発生します。また、同じタイミングでTOABnk端子出力は反転します。

TOABnk端子出力は、TOABn0端子出力と同じ周期の方形波を出力します。

備考 k = 1-3,

n = 0, 1

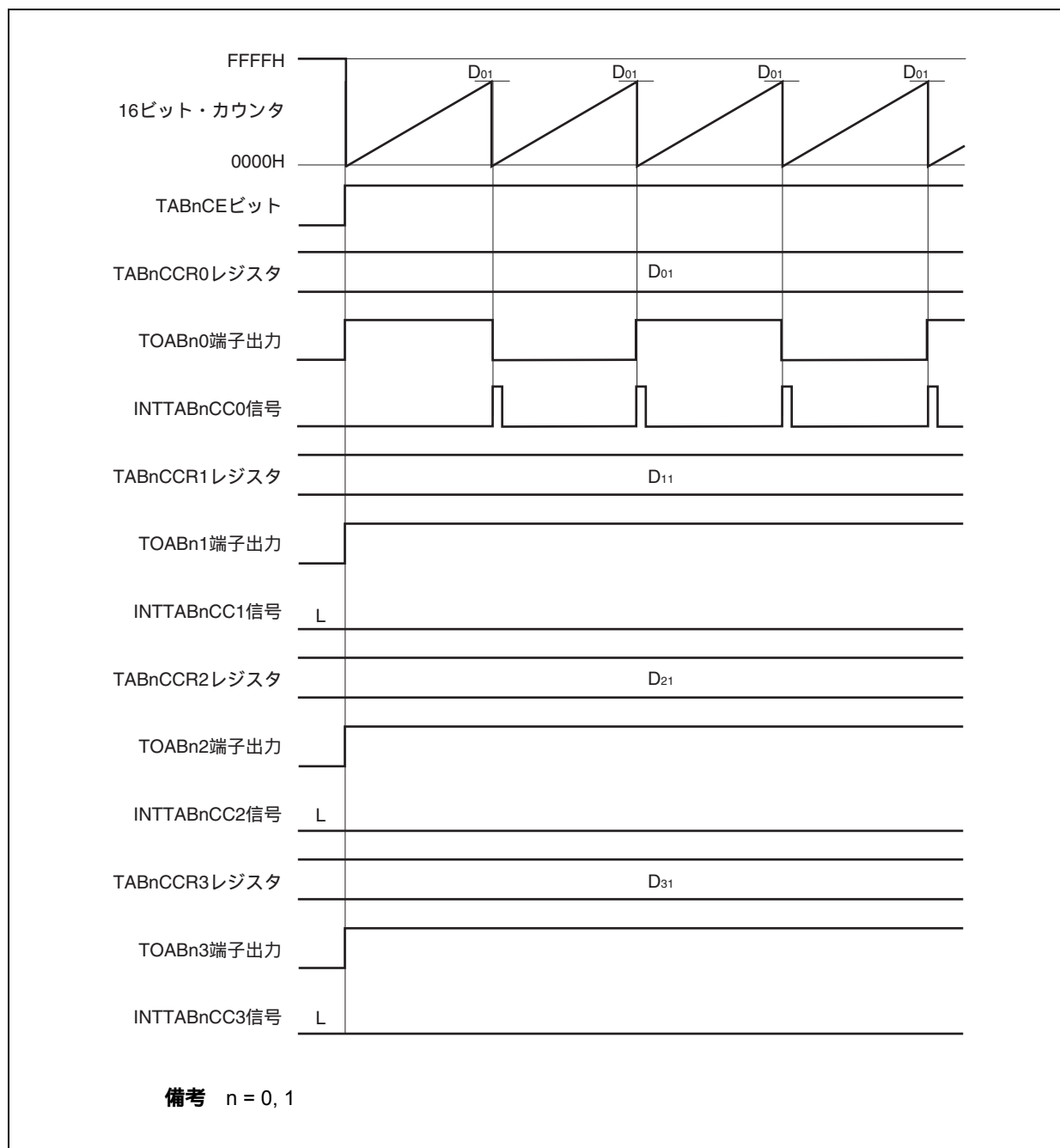
図8-7 D₀₁ D_{k1}の場合のタイミング図



TABnCCRkレジスタの設定値がTABnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値が一致しないので、INTTABnCCk信号は発生しません。また、TOABnk端子出力も変化しません。

備考 k = 1-3,
n = 0, 1

図8 - 8 $D_{01} < D_{k1}$ の場合のタイミング図



8.5.2 外部イベント・カウント・モード (TABnMD2-TABnMD0ビット = 001)

外部イベント・カウント・モードは、TABnCTL0.TABnCEビットをセット(1)することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントすることに割り込み要求信号(INTTABnCC0)を発生します。TOABn0端子は使用できません。

外部イベント・カウント・モードでは、通常、TABnCCR1-TABnCCR3レジスタは使用しません。

図8-9 外部イベント・カウント・モードの構成図

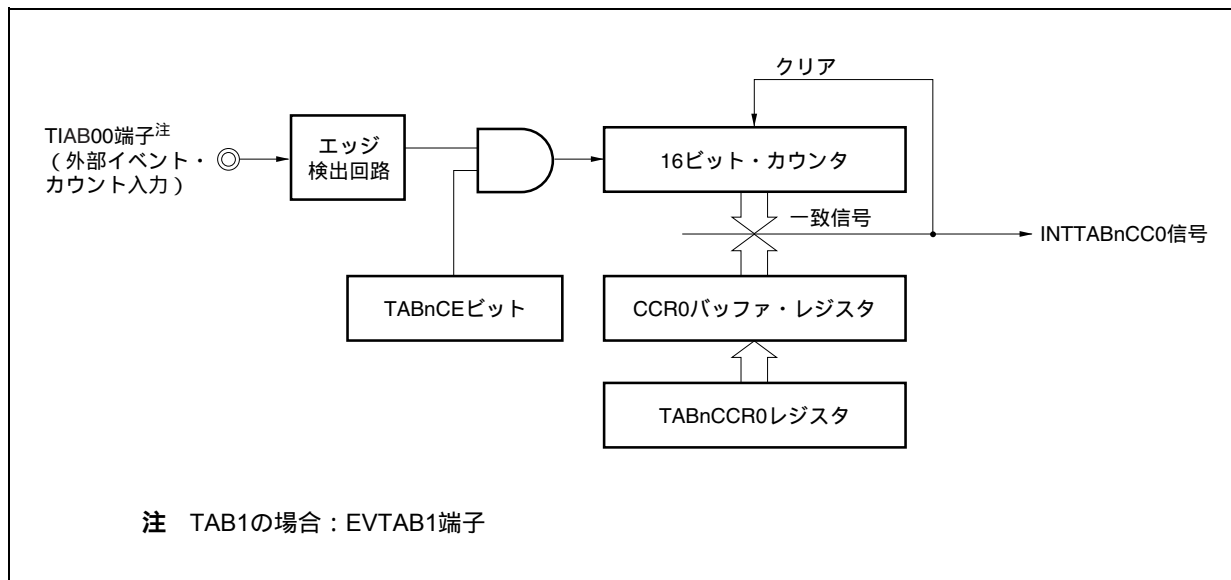
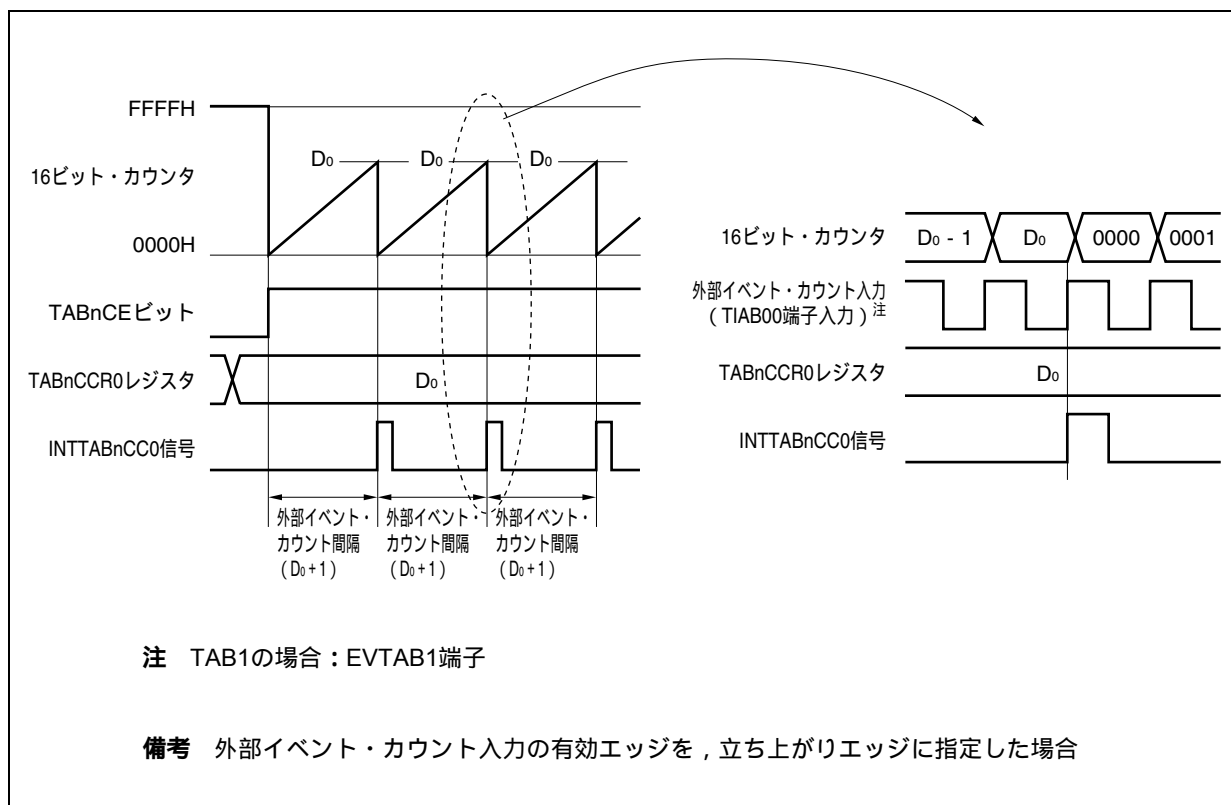


図8-10 外部イベント・カウント・モードの基本タイミング



TABnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することにカウンタ動作を行います。また、TABnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンパレー一致割り込み要求信号(INTTABnCC0)を発生します。

INTTABnCC0信号は、外部イベント・カウント入力の有効エッジを(TABnCCR0レジスタに設定した値+1)回検出することに発生します。

図8 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容(1/2)

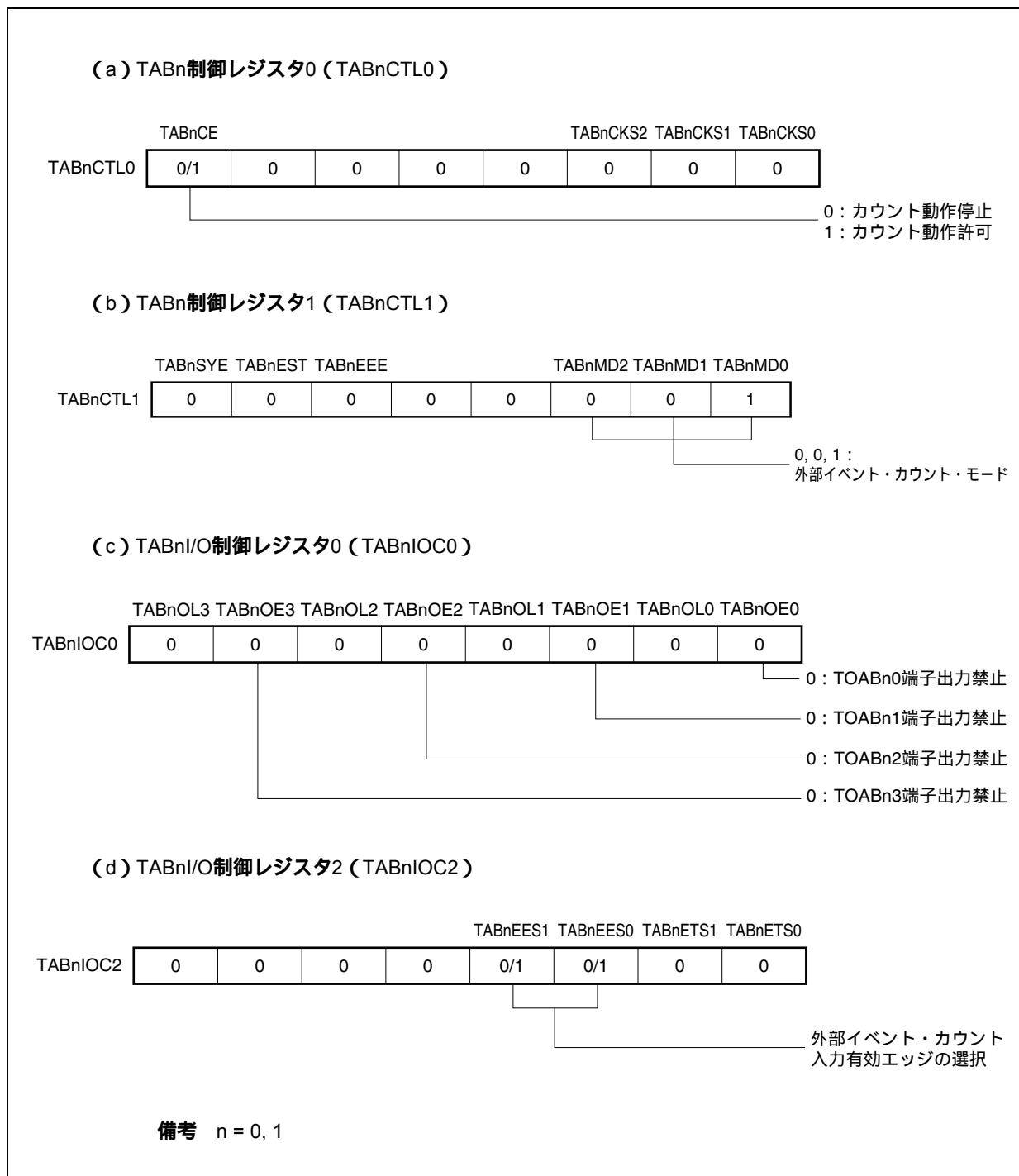


図8 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(e) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

TABnCNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(f) TABnキャプチャ/コンペア・レジスタ0 (TABnCCR0)

TABnCCR0レジスタにD₀を設定した場合、外部イベント・カウント数が (D₀ + 1) 回となるとカウントをクリアしコンペア一致割り込み要求信号 (INTTABnCC0) を発生します。

(g) TABnキャプチャ/コンペア・レジスタ1-3 (TABnCCR1-TABnCCR3)

外部イベント・カウント・モードでは、通常、TABnCCR1-TABnCCR3レジスタは使用しません。しかし、TABnCCR1-TABnCCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTABnCC1-INTTABnCC3) が発生します。

したがって、割り込みマスク・フラグ (TABnCCMK1-TABnCCMK3) でマスク設定しておいてください。

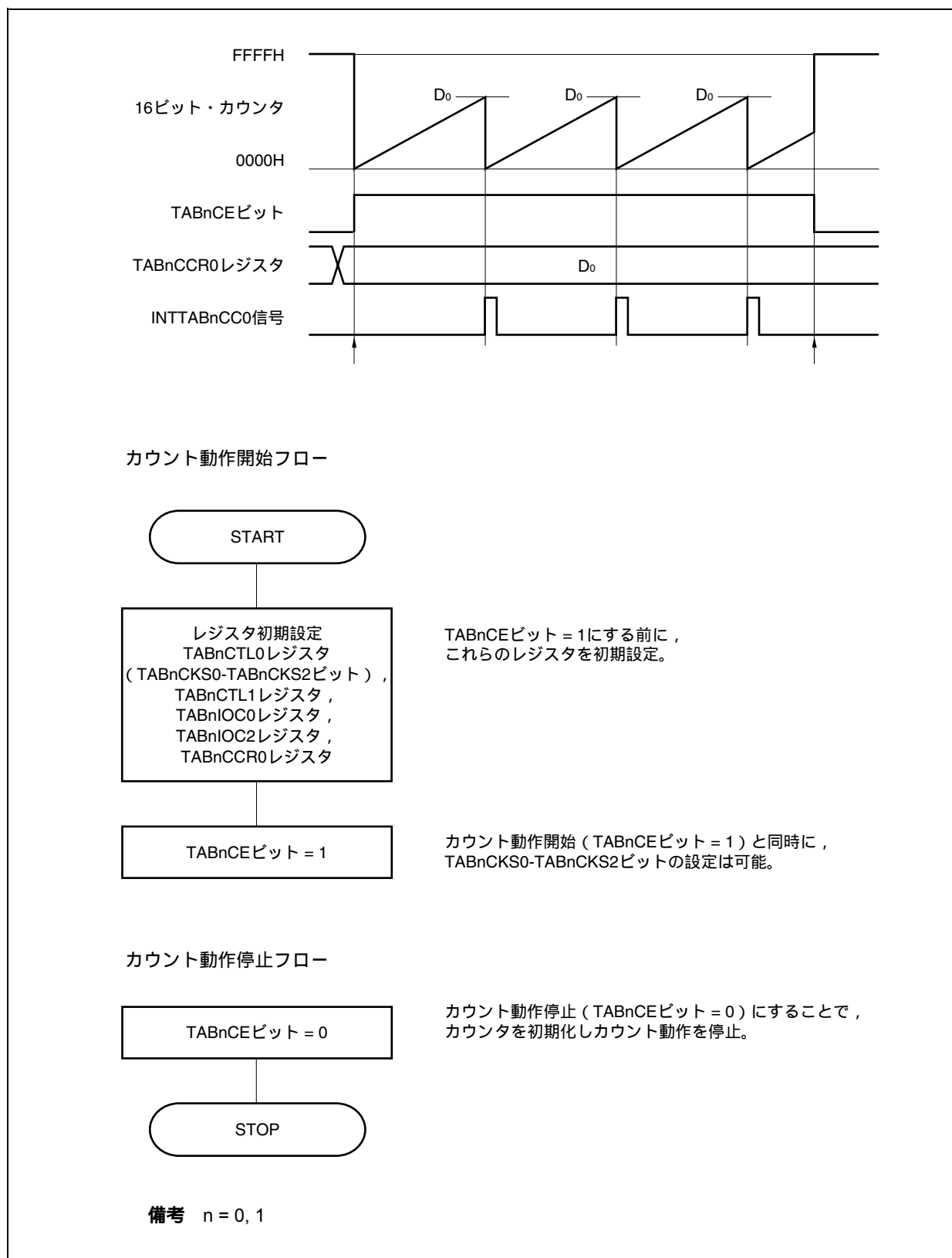
注意 TAB0の場合、カウント・クロックとして外部クロックを使用するときは、外部クロックはTIAB00端子からのみ入力できます。このとき、TAB0IOC1.TAB0IS1, TAB0IS0ビット = 00 (キャプチャ・トリガ入力 (TIAB00端子) : エッジ検出なし) に設定してください。

備考1. TABn/O制御レジスタ1 (TABnIOC1), TABnオプション・レジスタ0 (TABnOPT0) は、外部イベント・カウント・モードでは使用しません。

2. n = 0, 1

(1) 外部イベント・カウント・モード動作フロー

図8 - 12 外部イベント・カウント・モード使用時のソフトウェア処理フロー

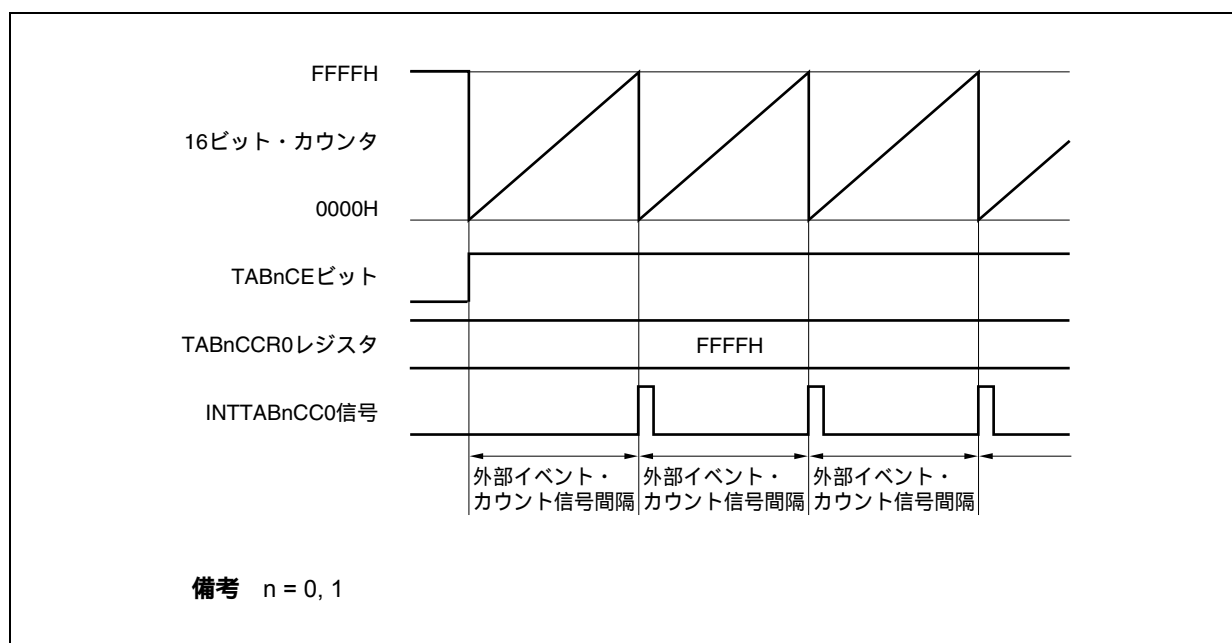


(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モード時, TABnCCR0レジスタには, 0000Hを設定しないでください。
2. 外部イベント・カウント・モード時, タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は, インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください (TABnCTL1.TABnMD2-TABnMD0 ビット = 000, TABnCTL1.TABnEEE ビット = 1)。

(a) TABnCCR0レジスタにFFFFHを設定した場合の動作

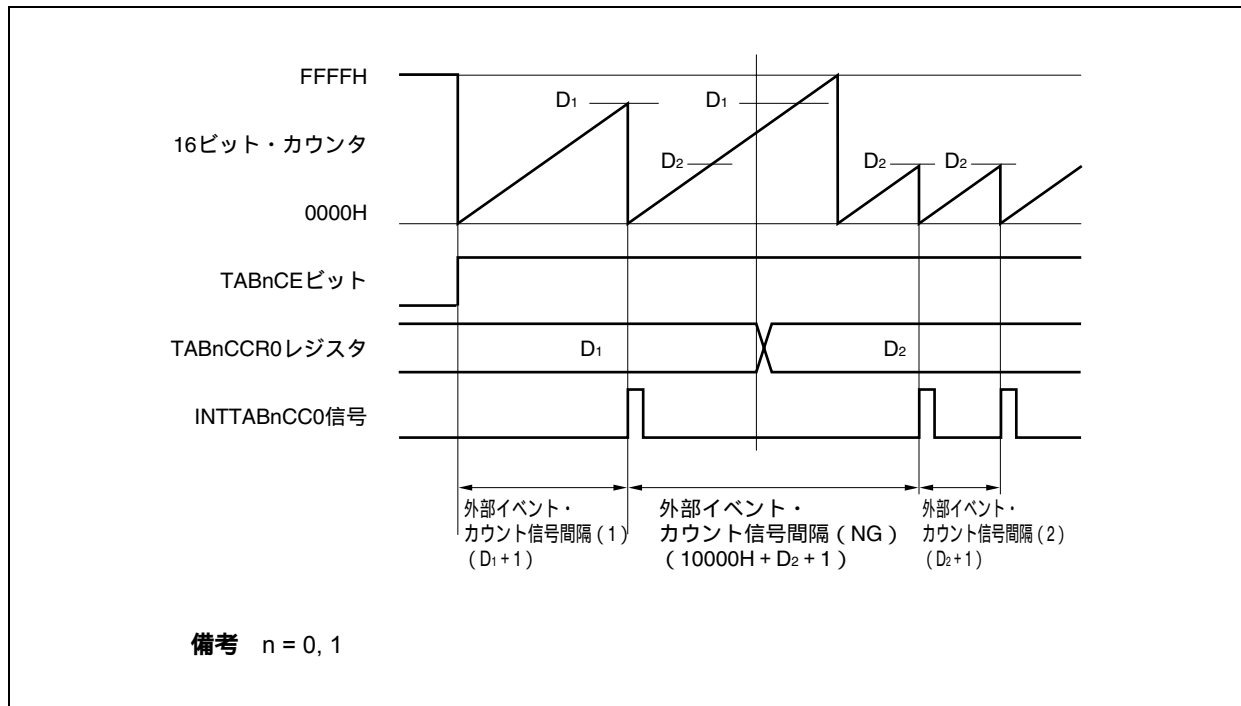
TABnCCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次のカウント・アップ・タイミングに同期して, 16ビット・カウンタを0000Hにクリアし, INTTABnCC0信号を発生します。このとき, TABnOPT0.TABnOVFビットはセットされません。



(b) TABnCCR0レジスタの書き換えに関する注意事項

TABnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTABnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



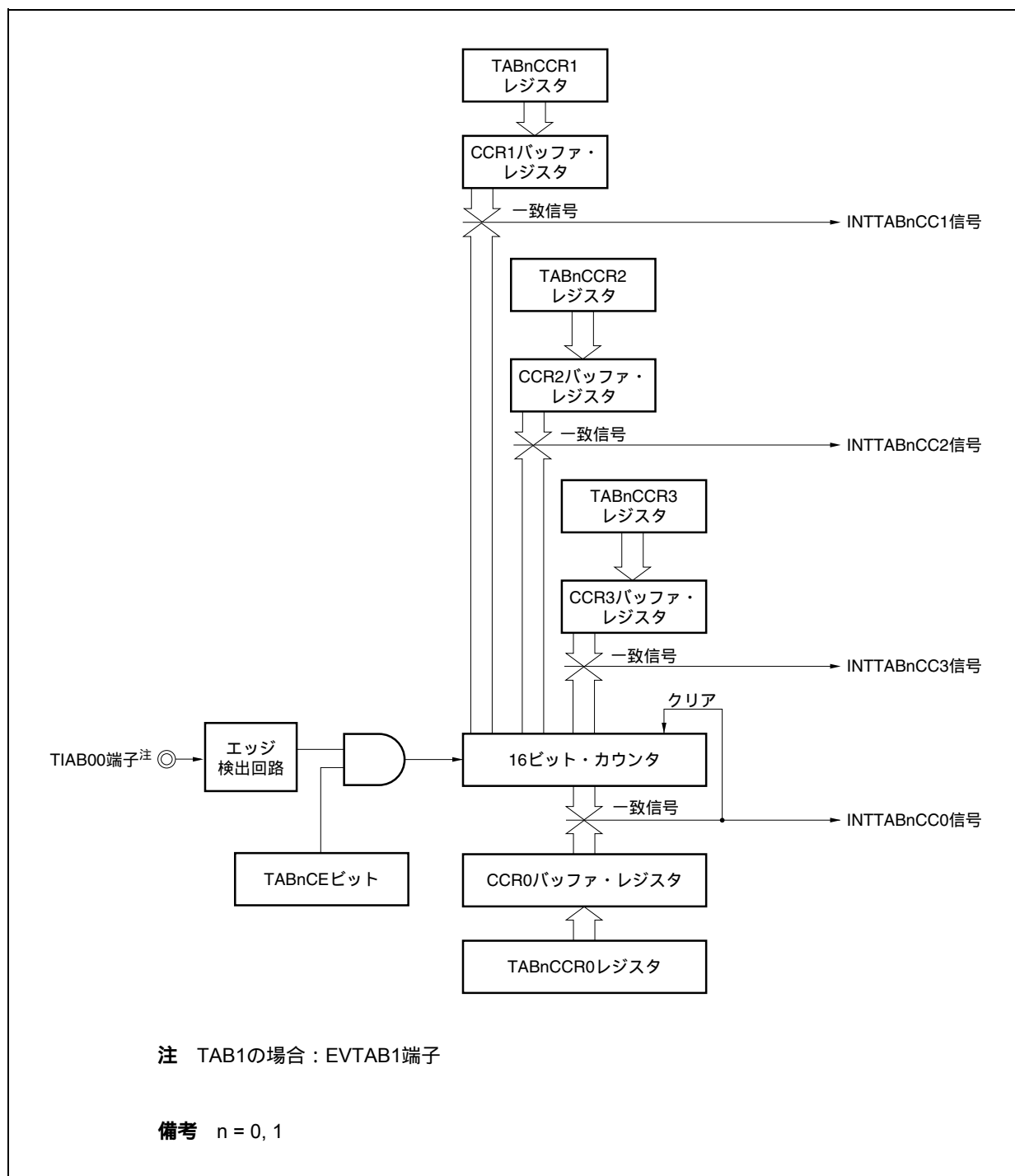
カウント値がD₂よりも大きくD₁よりも小さい状態において、TABnCCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTABnCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D₁+1)回」または「(D₂+1)回」の有効エッジ数でINTTABnCC0信号は発生せず、「(10000H + D₂ + 1)回」の有効エッジ数でINTTABnCC0信号が発生する場合があります。

(c) TABnCCR1-TABnCCR3レジスタの動作

図8 - 13 TABnCCR1-TABnCCR3レジスタの構成図

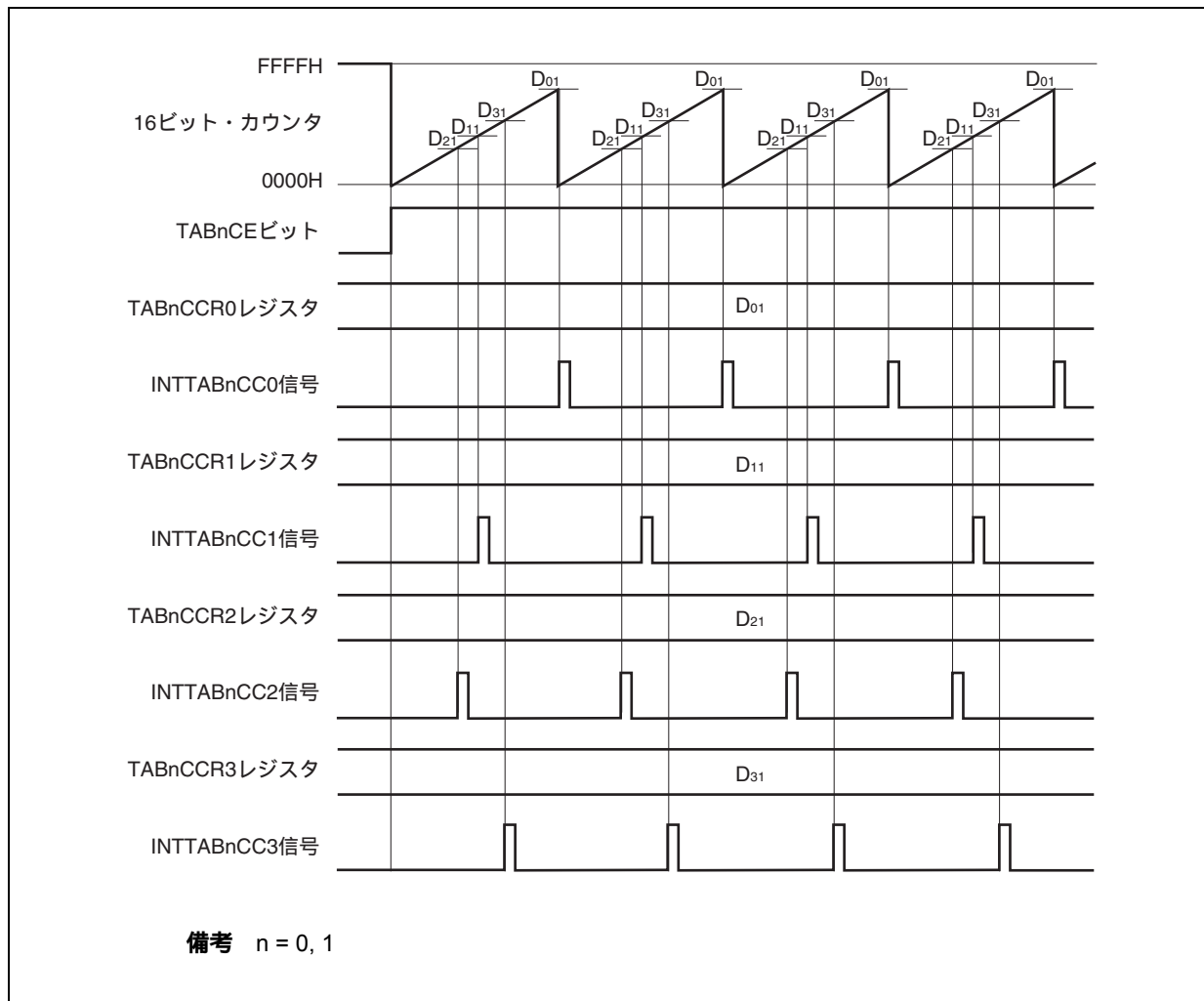


TABnCCRkレジスタの設定値がTABnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTABnCCk信号が発生します。

備考 k = 1-3,

n = 0, 1

図8 - 14 D₀₁ D_{k1}の場合のタイミング図

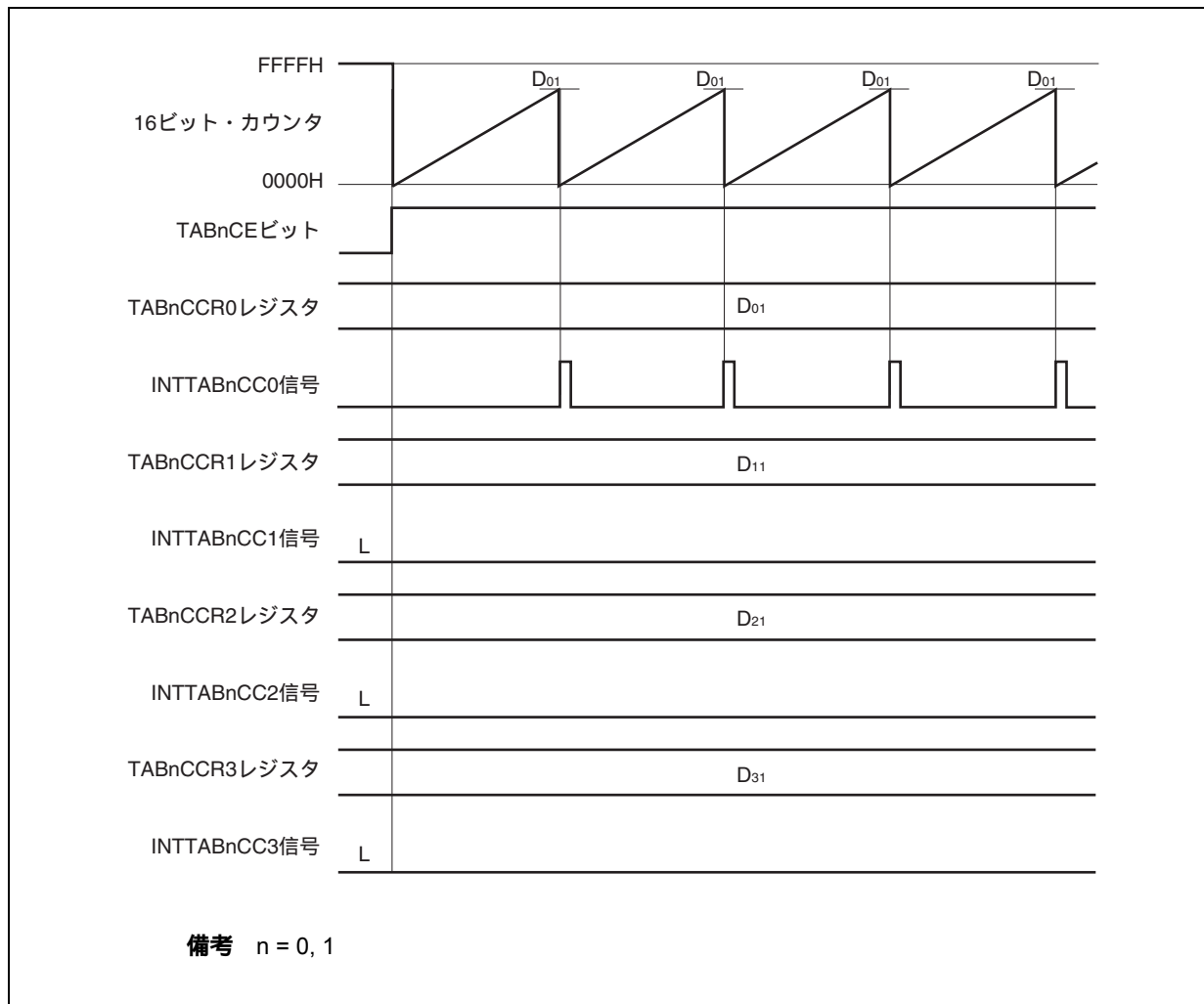


TABnCCRkレジスタの設定値がTABnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値が一致しないので、INTTABnCCk信号は発生しません。

備考 k = 1-3,

n = 0, 1

図8 - 15 D₀₁ < D_{k1}の場合のタイミング図



8.5.3 外部トリガ・パルス出力モード (TABnMD2-TABnMD0ビット = 010)

外部トリガ・パルス出力モードは、TABnCTL0.TABnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOABn1-TOABn3端子から最大3相のPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOABn0端子から、PWM波形の1周期を半周期とする方形波を出力できます。

図8 - 16 外部トリガ・パルス出力モードの構成図

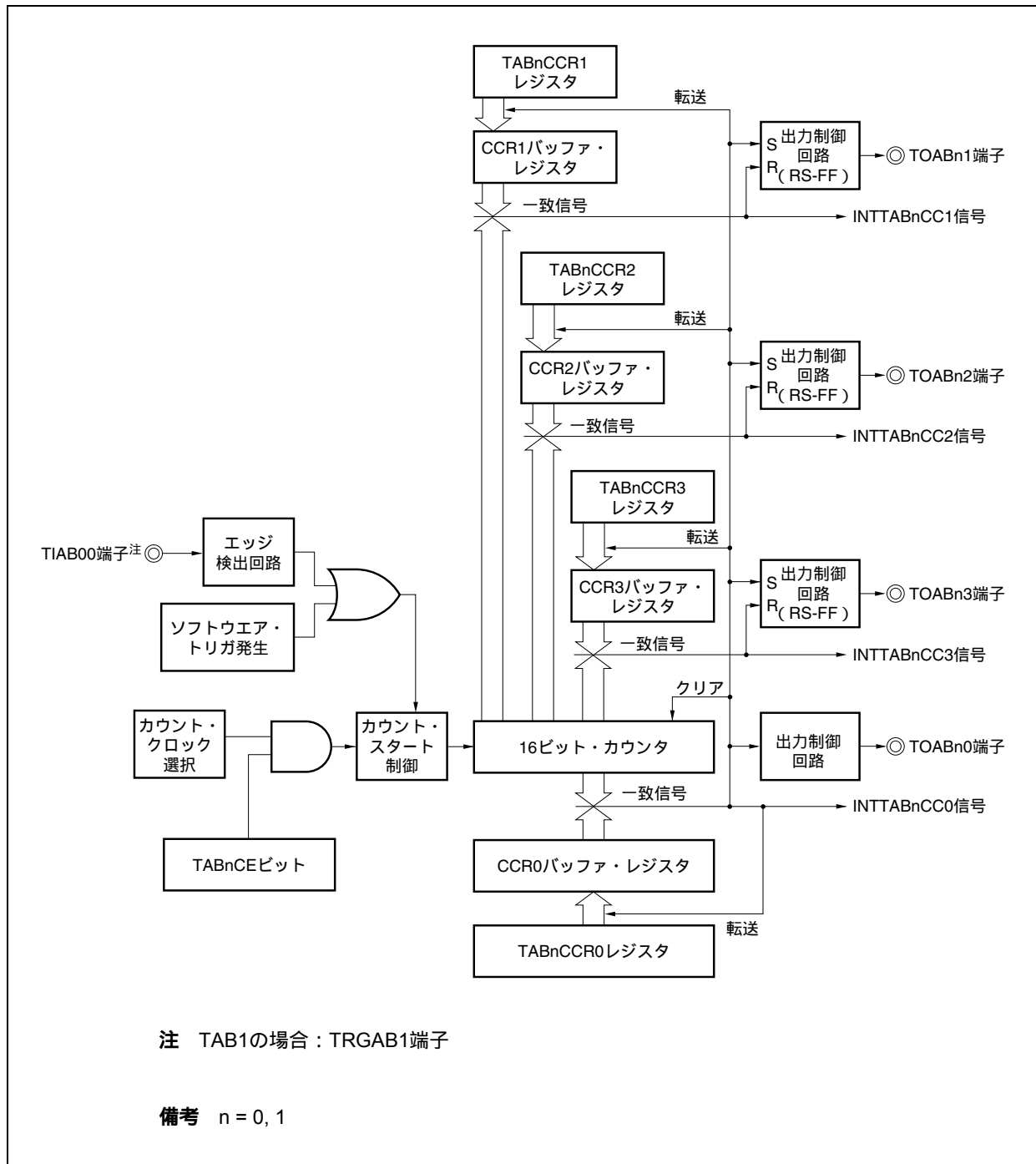
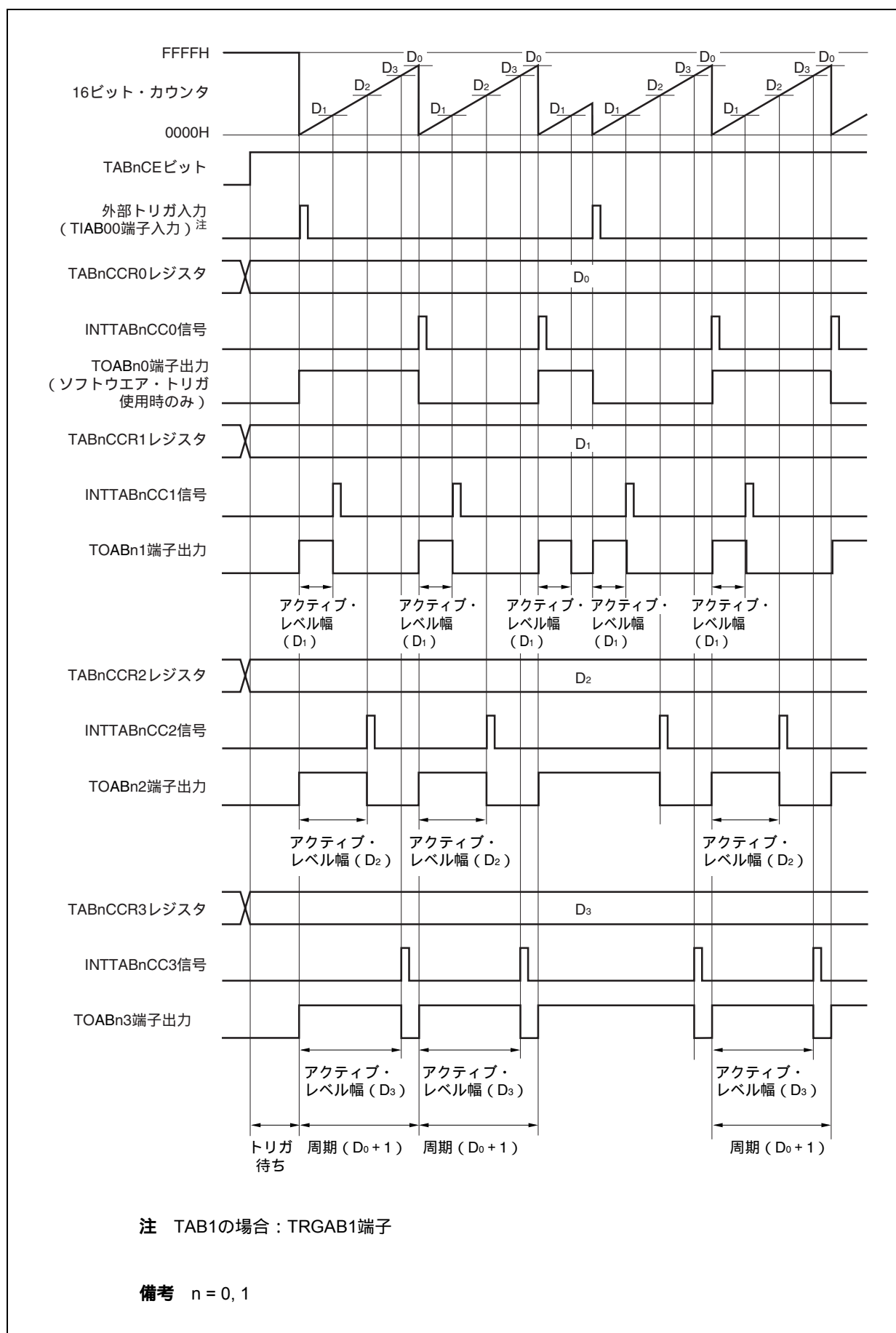


図8 - 17 外部トリガ・パルス出力モードの基本タイミング



TABnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOABnk端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOABn0端子出力は反転します。TOABnk端子出力は、ロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅, 周期, およびデューティは次のように求められます。

アクティブ・レベル幅 = (TABnCCRkレジスタの設定値) × カウント・クロック周期

周期 = (TABnCCR0レジスタの設定値 + 1) × カウント・クロック周期

デューティ = (TABnCCRkレジスタの設定値) / (TABnCCR0レジスタの設定値 + 1)

コンペアー一致割り込み要求信号 (INTTABnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTABnCCk) は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

TABnCCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

トリガには、外部トリガ入力の有効エッジ, またはソフトウエア・トリガ (TABnCTL1.TABnESTビット) のセット(1)があります。

備考 k = 1-3,

m = 0-3,

n = 0, 1

図8 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/3)

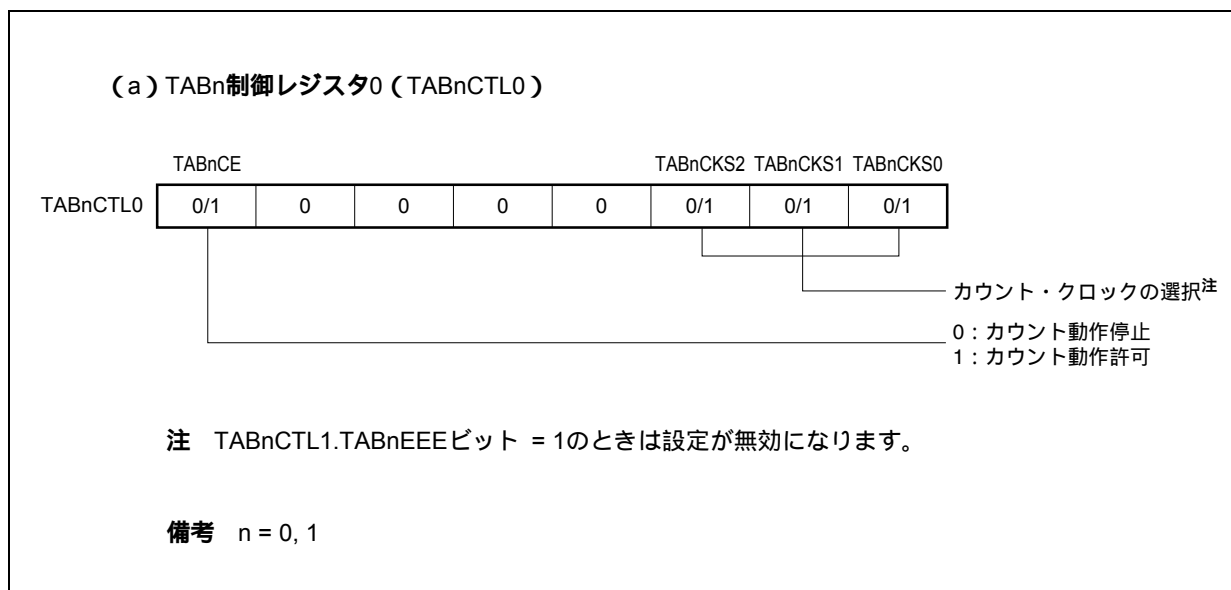
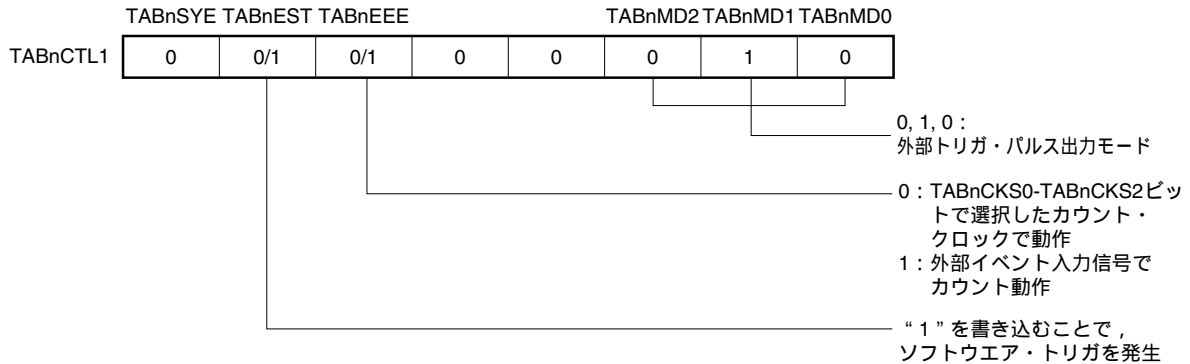
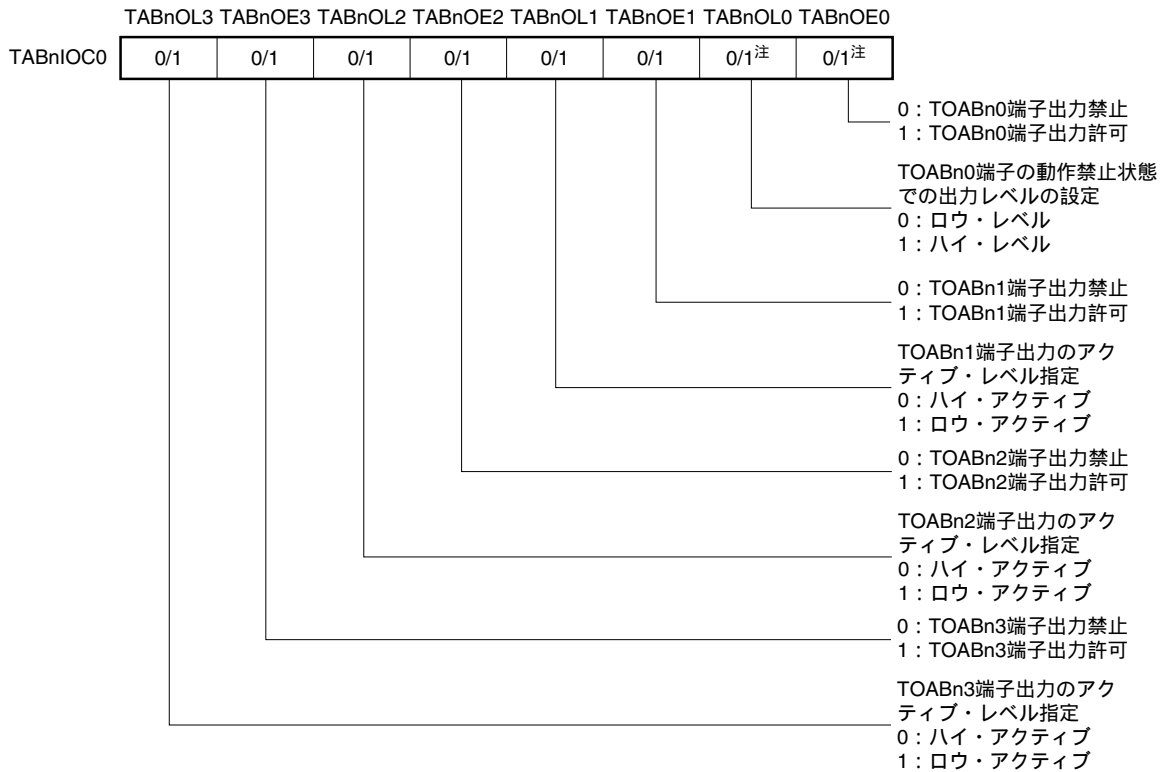


図8 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

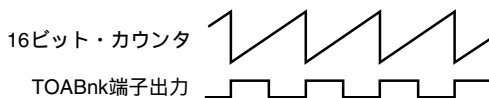
(b) TABn制御レジスタ1 (TABnCTL1)



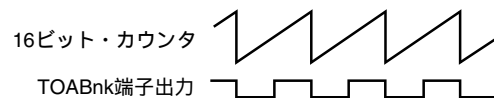
(c) TABnI/O制御レジスタ0 (TABnIOC0)



・ TABnOLkビット = 0の場合



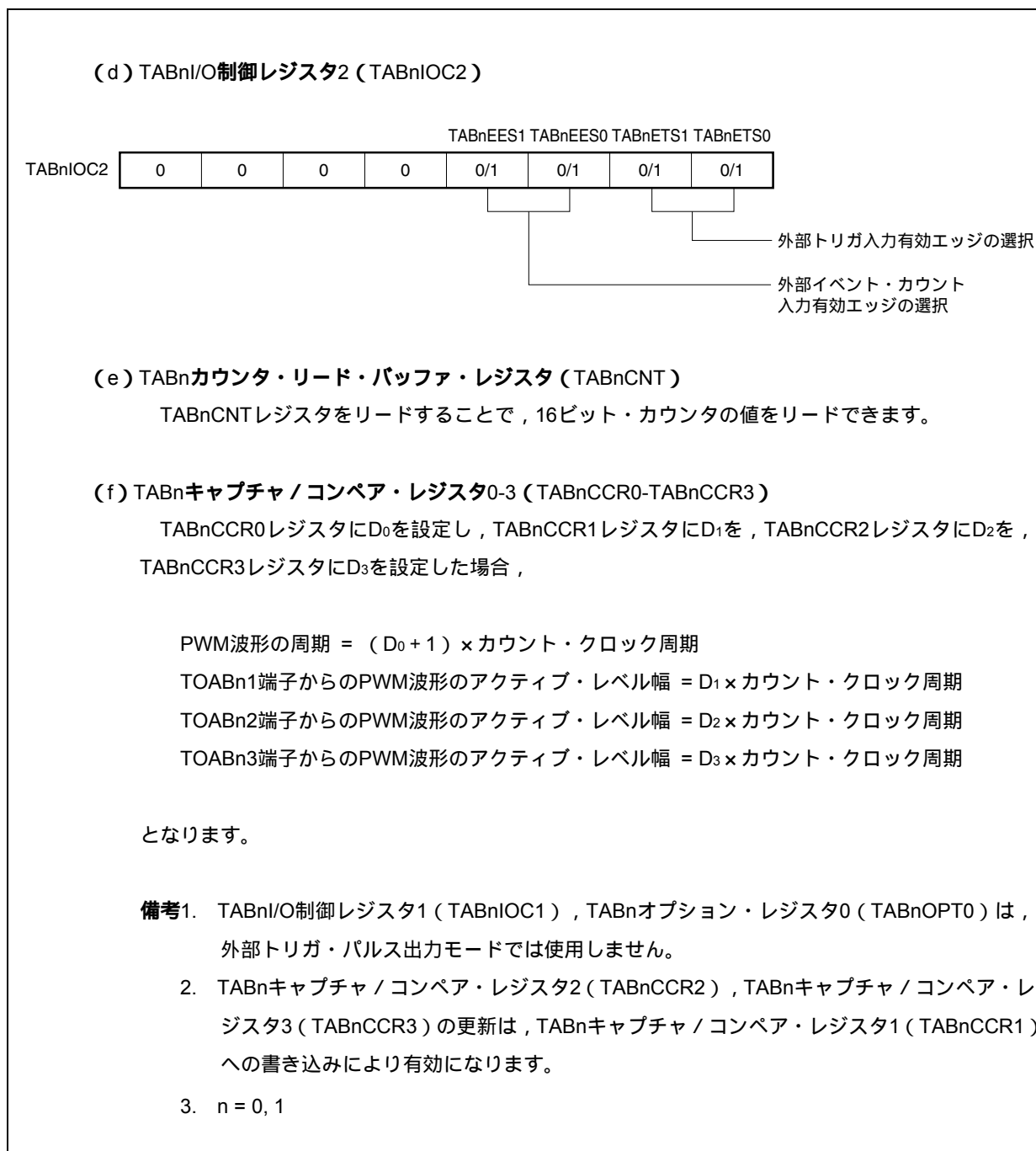
・ TABnOLkビット = 1の場合



注 外部トリガ・パルス出力モードでTOABn0端子を使用しない場合は，“0” に設定してください。

備考 n = 0, 1

図8 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)



(1) 外部トリガ・パルス出力モード動作フロー

図8 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

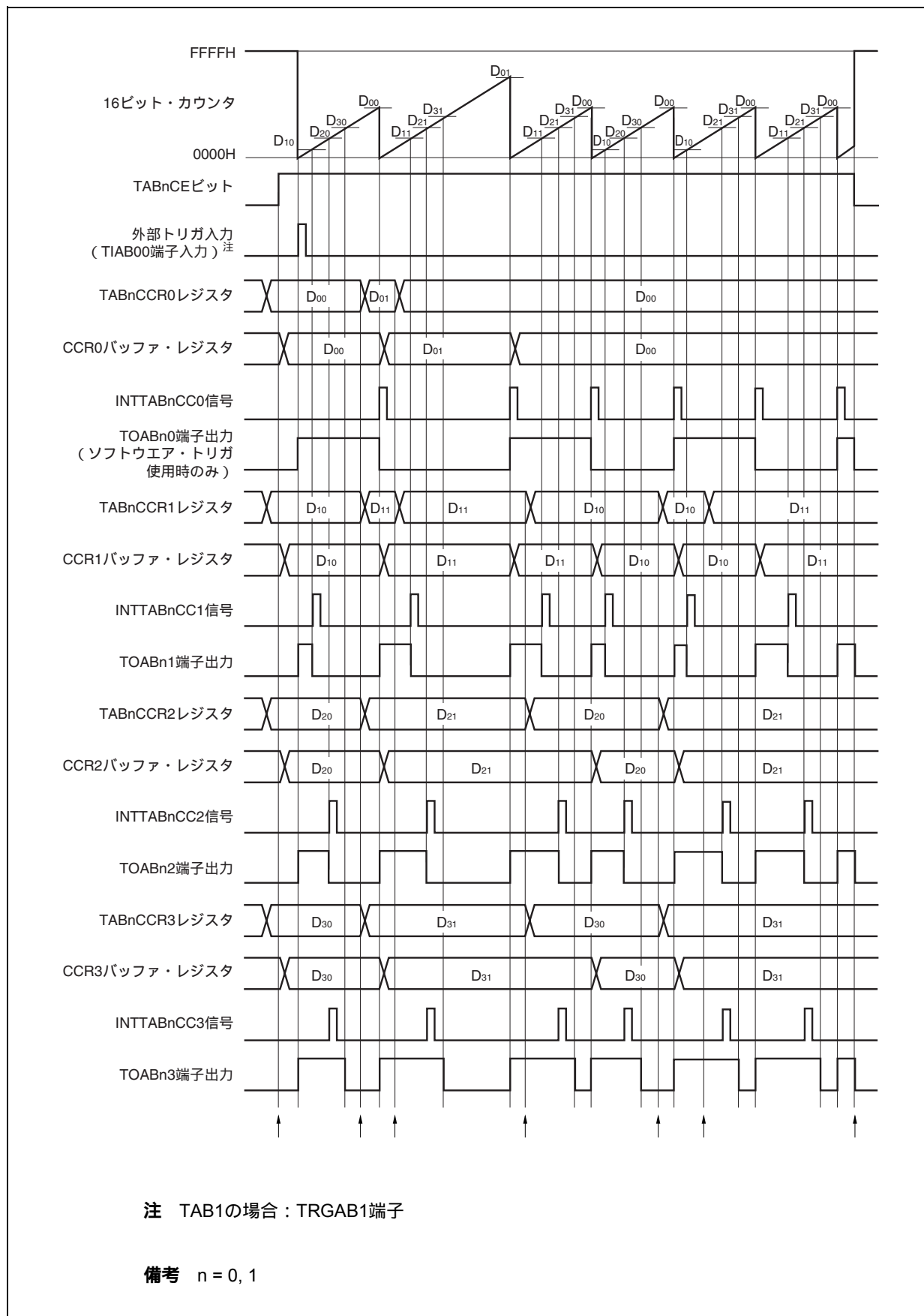
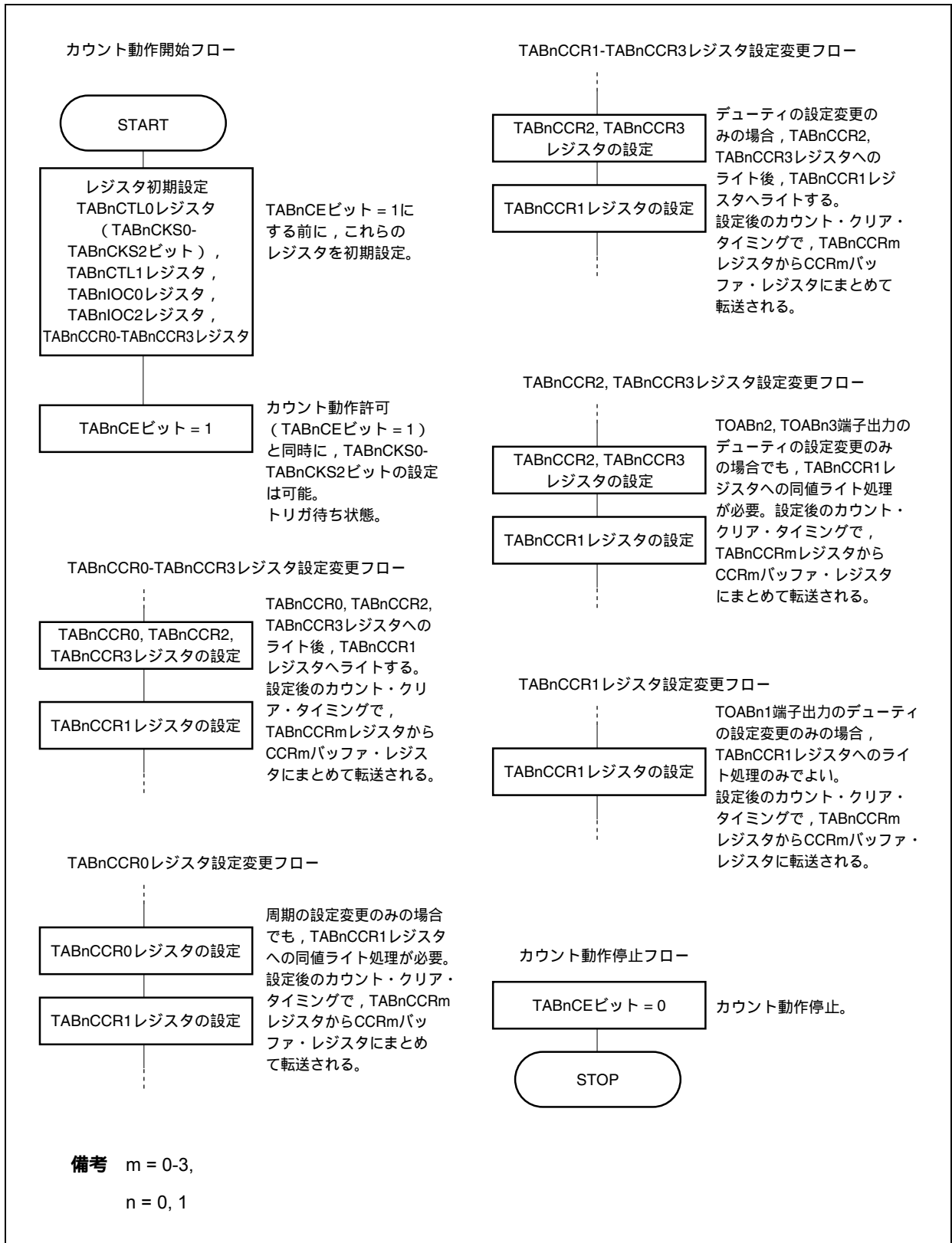


図8 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

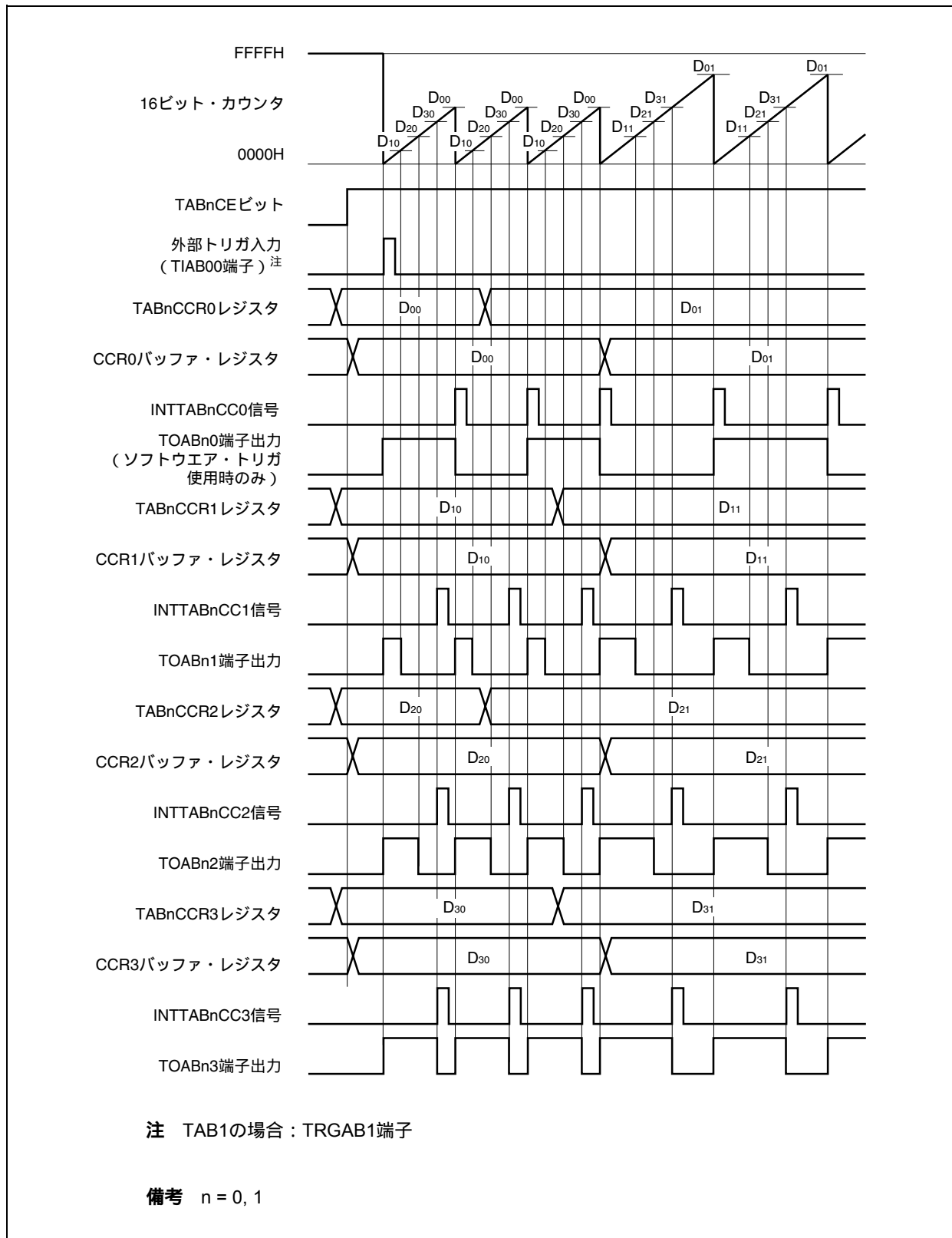


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTABnCCR1レジスタにライトしてください。

TABnCCR1レジスタにライト後、再度TABnCCRkレジスタの書き換えを行う場合には、INTTABnCC0信号を検出後に書き換えてください。



TABnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TABnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTABnCCR0レジスタに周期を、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTABnCCR0レジスタに周期を設定し、そのあとでTABnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合には、まず、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

TOABn1端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TABnCCR1レジスタのみの設定でかまいません。

TOABn2、TOABn3端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、まずTABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTABnCCR1レジスタに同値をライトしてください。

TABnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TABnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

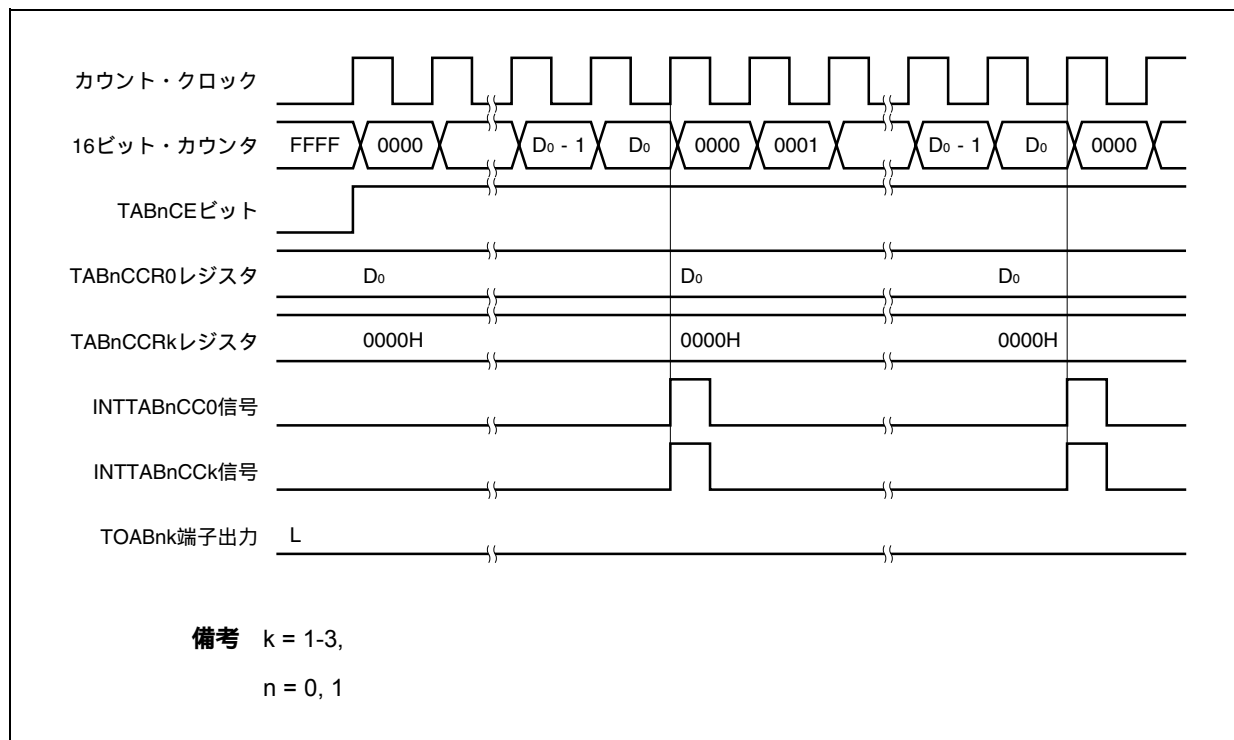
また、一度TABnCCR1レジスタにライトしたあとで、再度TABnCCR0-TABnCCR3レジスタへのライトを行う場合は、INTTABnCC0信号の発生後に行ってください。これを守れない場合には、TABnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TABnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

備考 m = 0-3,

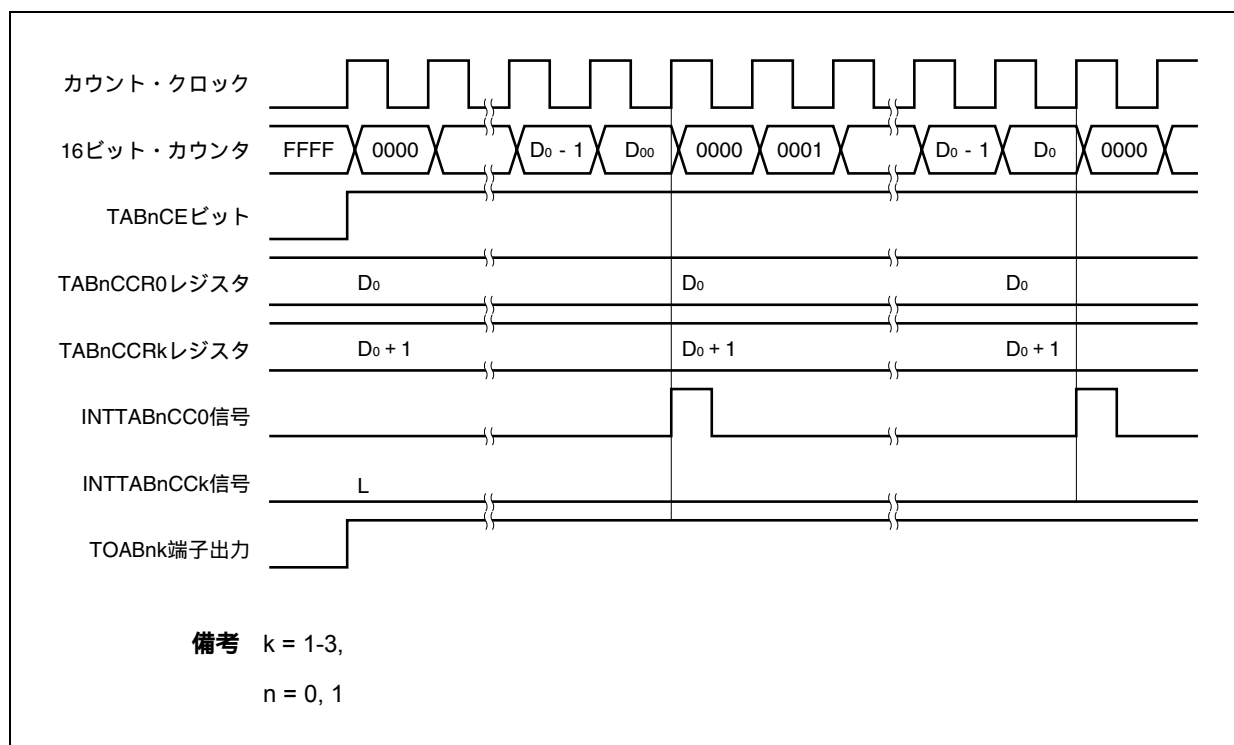
n = 0, 1

(b) PWM波形の 0 % / 100 % 出力

0 % 波形を出力するためには, TABnCCRkレジスタに対して0000Hを設定します。ただし, TABnCCR0レジスタの設定値がFFFFHの場合には, INTTABnCCk信号が定期的が発生します。

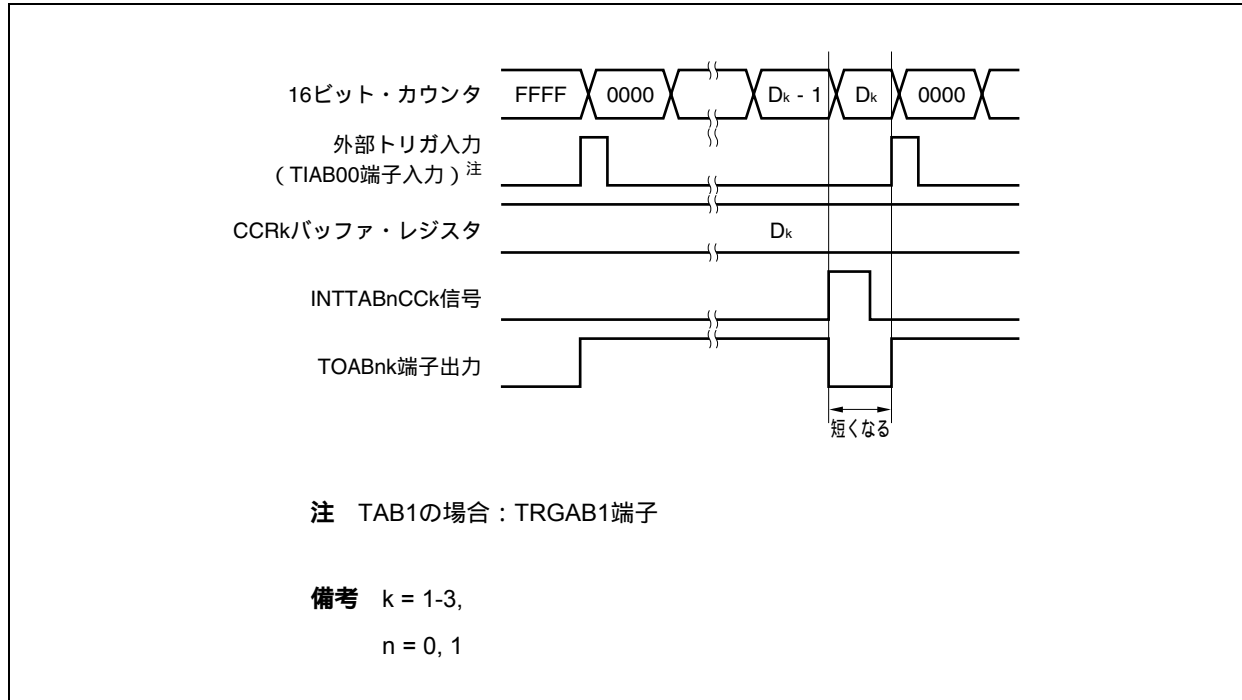


100 % 波形を出力するためには, TABnCCRkレジスタに対して (TABnCCR0レジスタの設定値 + 1) の値を設定してください。TABnCCR0レジスタの設定値がFFFFHの場合には, 100 % 出力はできません。

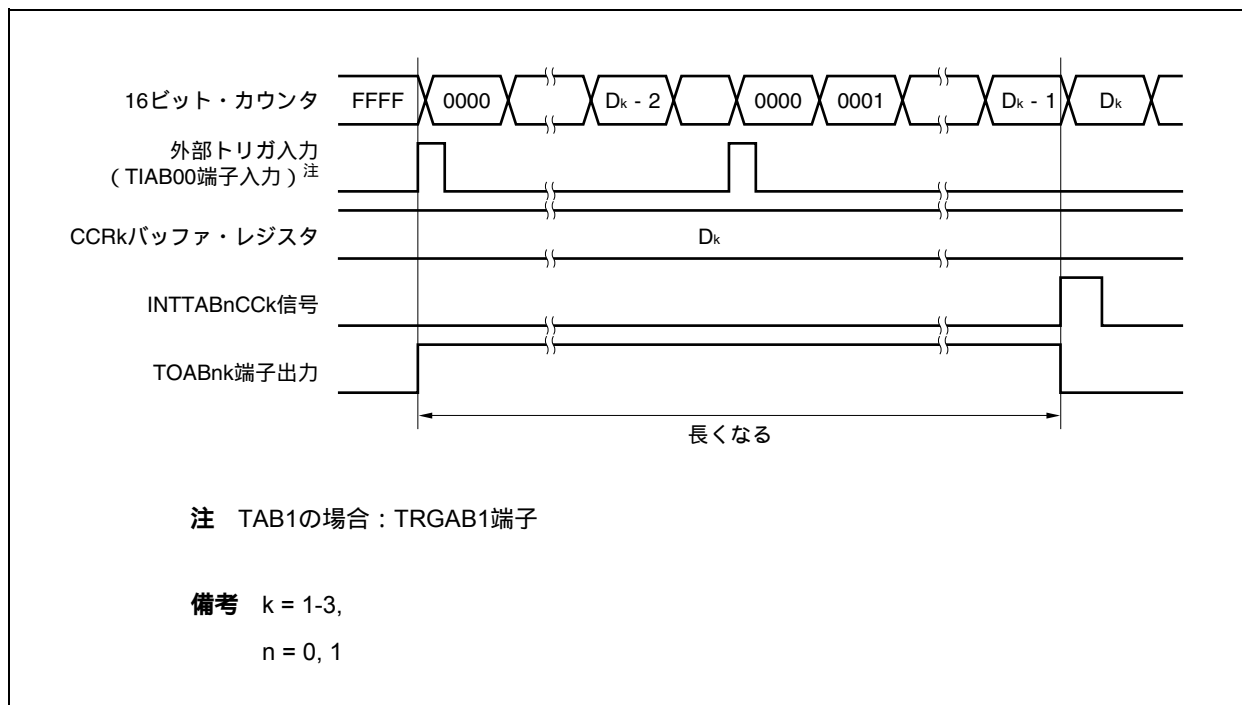


(c) トリガ検出とCCRkバッファ・レジスタとの一致の競合

INTTABnCCk信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOABnk端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

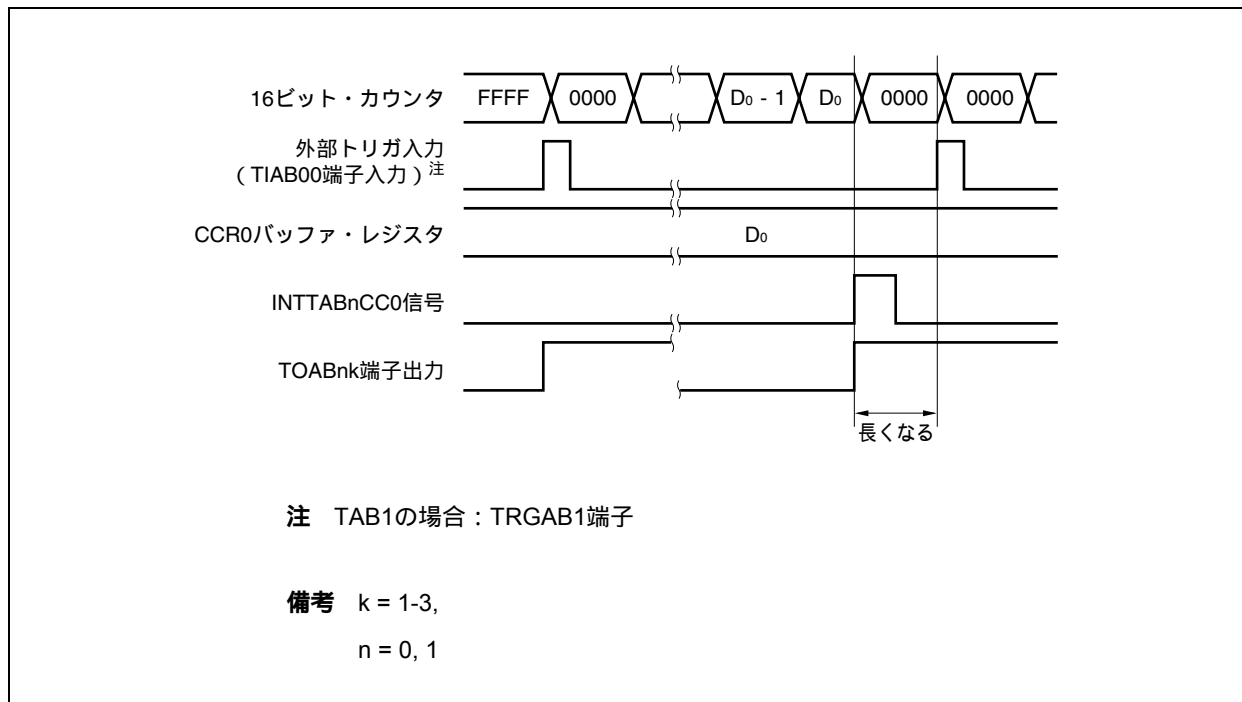


INTTABnCCk信号発生直前にトリガを検出した場合には、INTTABnCCk信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を続けます。TOABnk端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

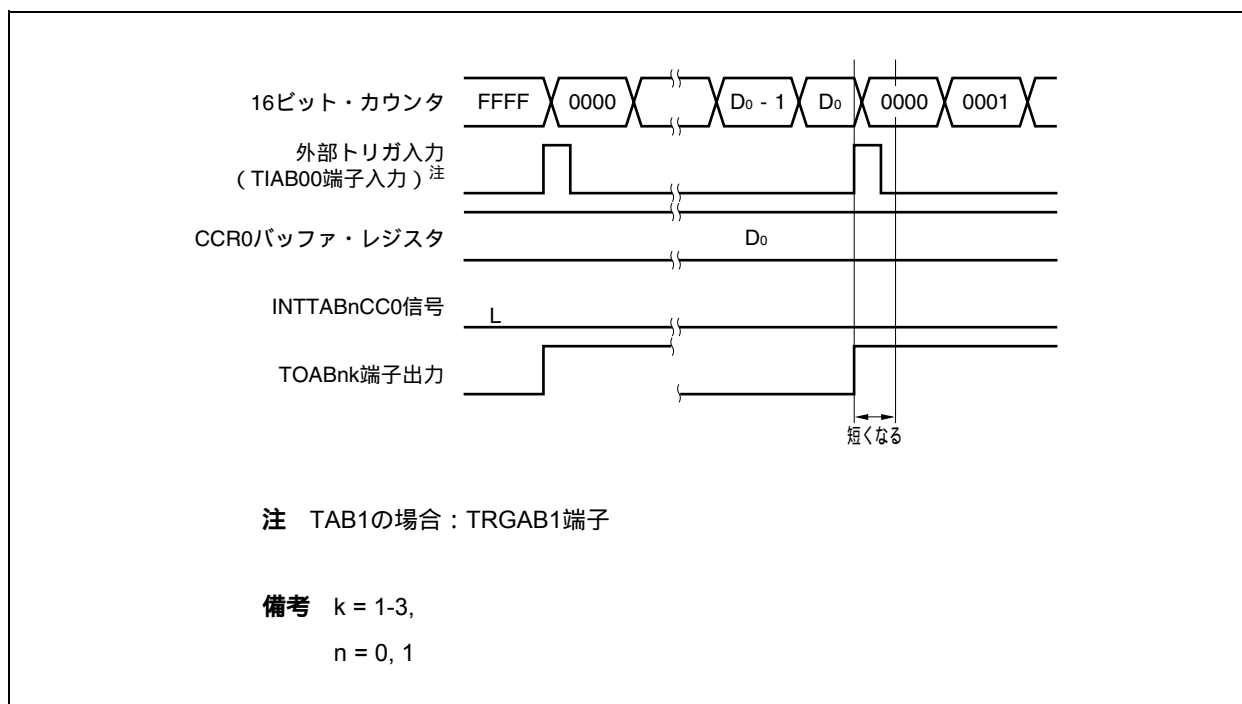


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTABnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOABnk端子出力のアクティブ期間が、INTTABnCC0信号発生からトリガ検出までの分だけ長くなります。

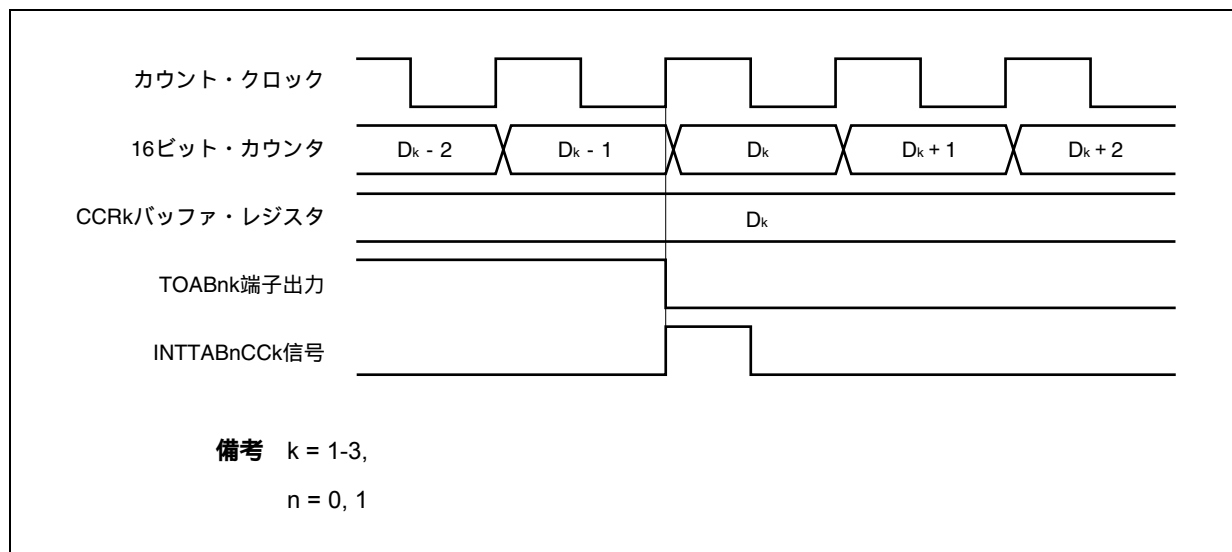


INTTABnCC0信号発生直前にトリガを検出した場合、INTTABnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOABnk端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンパレー一致割り込み要求信号 (INTTABnCck) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTABnCck信号の発生タイミングは、ほかのINTTABnCck信号と異なり、16ビット・カウンタのカウンタ値とCCRkバッファ・レジスタの値との一致と同時に発生します。



通常、INTTABnCck信号は、16ビット・カウンタのカウンタ値とCCRkバッファ・レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

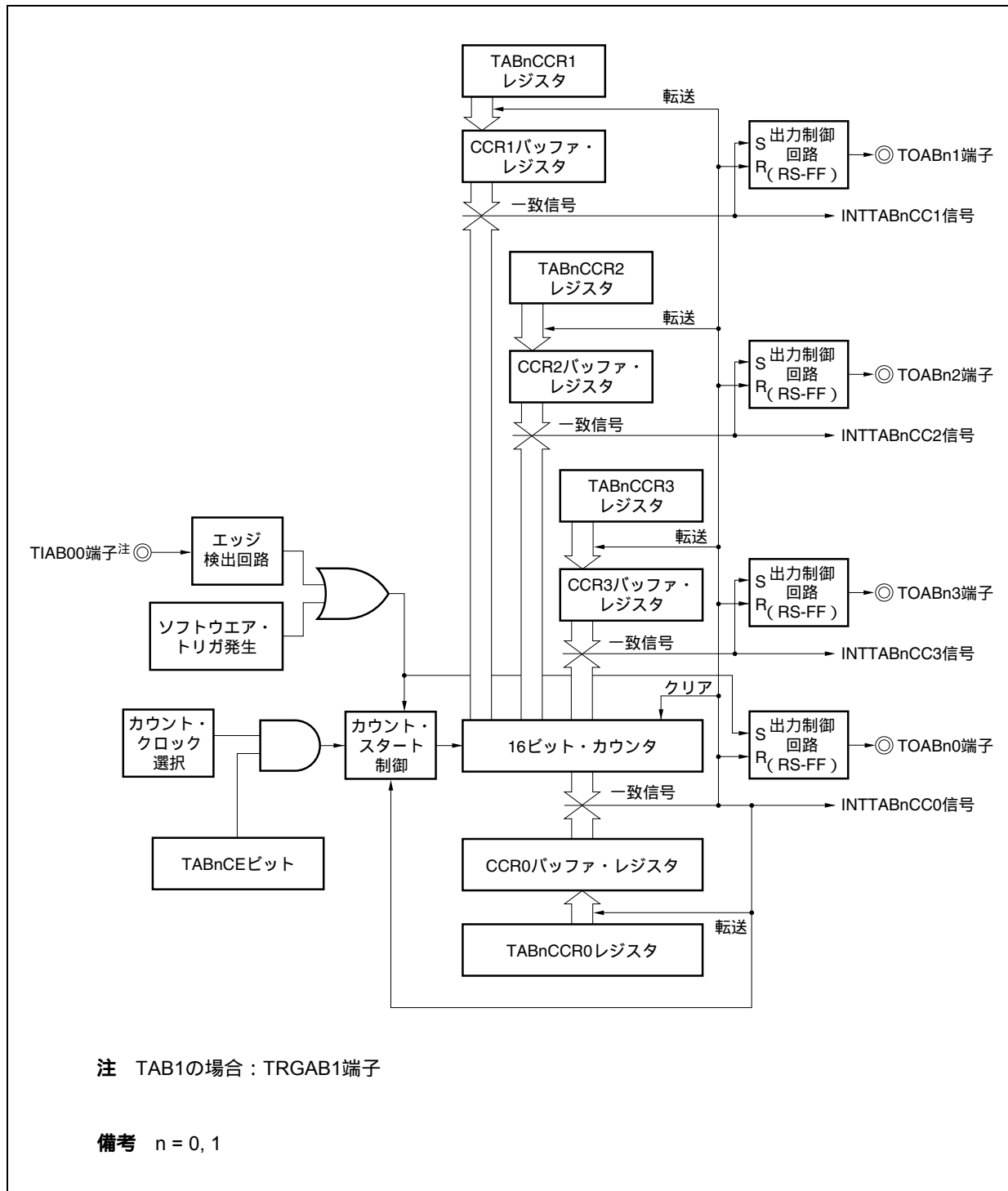
しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOABnk端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

8.5.4 ワンショット・パルス出力モード (TABnMD2-TABnMD0ビット = 011)

ワンショット・パルス出力モードは、TABnCTL0.TABnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOABn1-TOABn3端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOABn0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

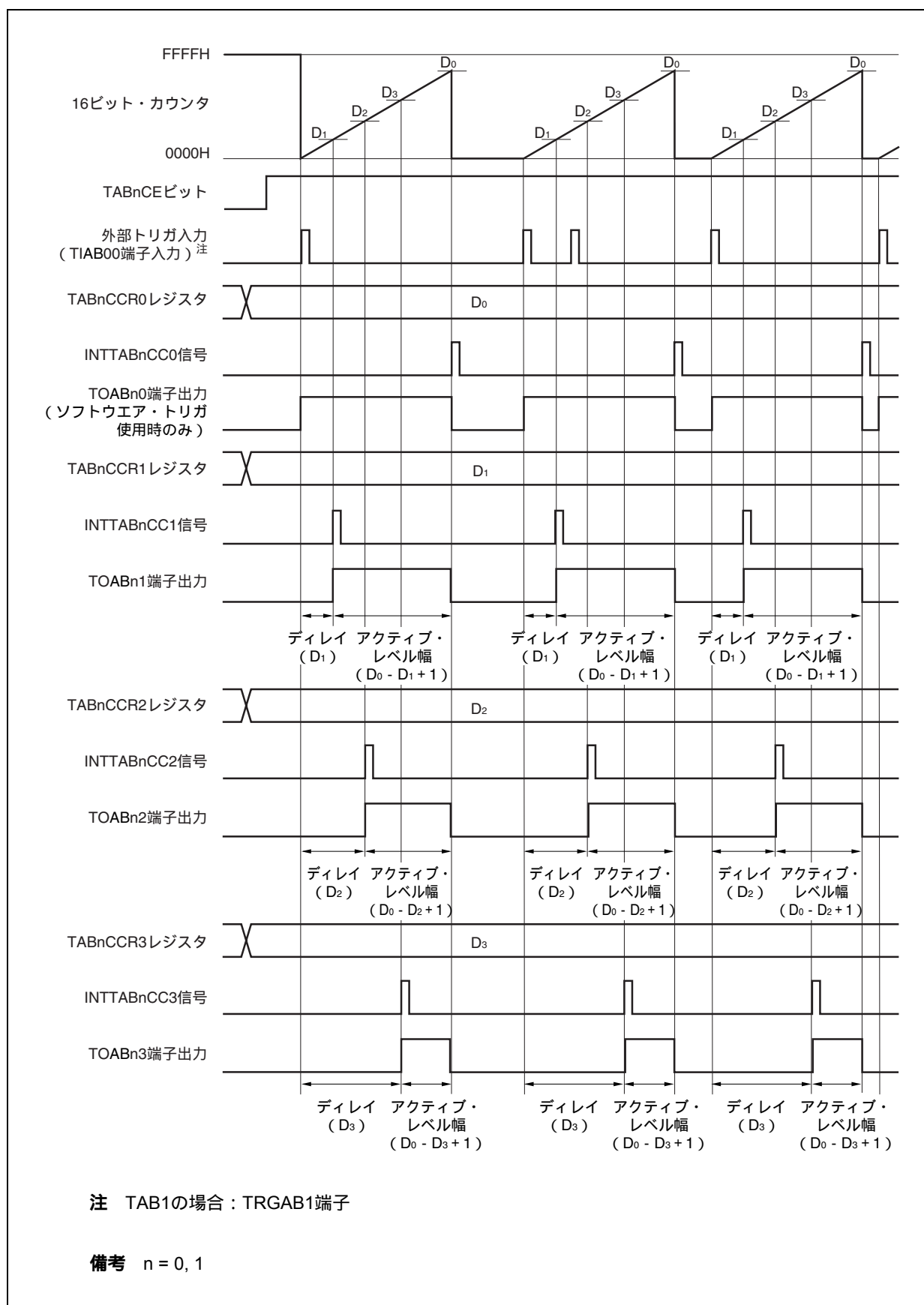
図8-20 ワンショット・パルス出力モードの構成図



注 TAB1の場合：TRGAB1端子

備考 n = 0, 1

図8 - 21 ワンショット・パルス出力モードの基本タイミング



TABnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOABnk端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16ビット・カウンタをFFFFHにしてカウント動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 = (TABnCCRkレジスタの設定値) × カウント・クロック周期

アクティブ・レベル幅 = (TABnCCR0レジスタの設定値 - TABnCCRkレジスタの設定値 + 1)
× カウント・クロック周期

コンペアー一致割り込み要求信号 (INTTABnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTABnCCk) は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TABnCTL1.TABnESTビット) のセット(1)があります。

備考 k = 1-3,
n = 0, 1

図8 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/3)

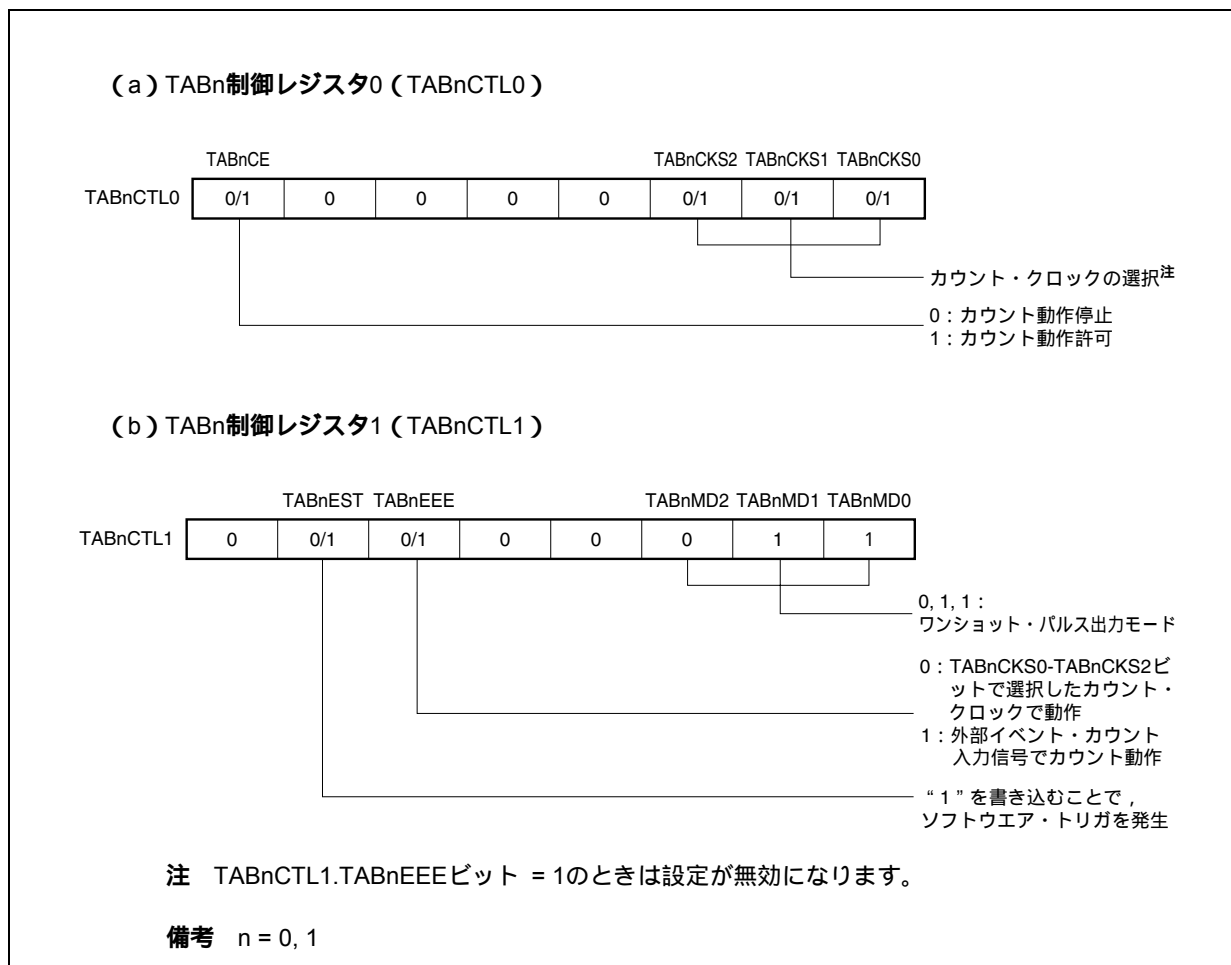


図8 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/3)

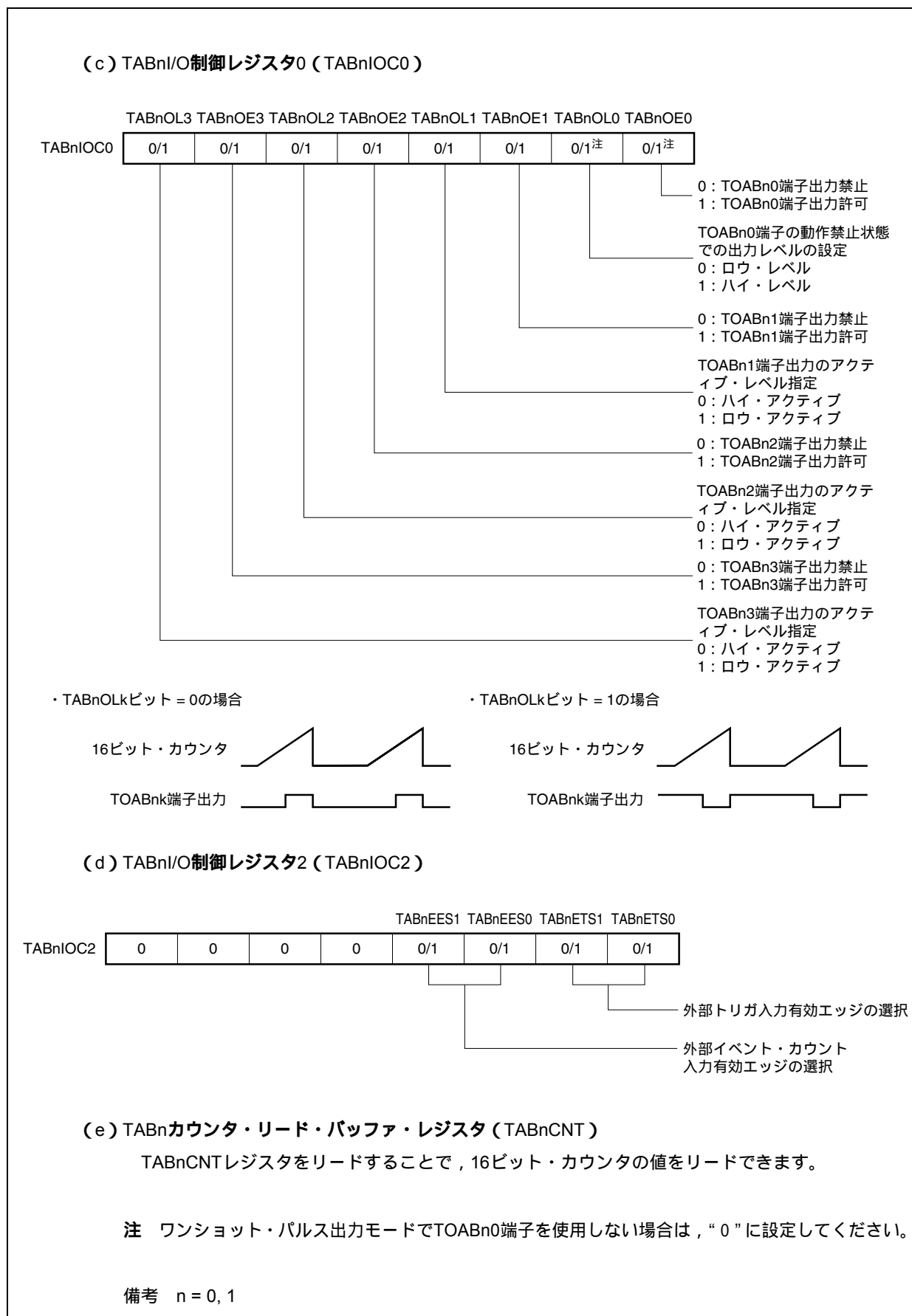


図8 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (3/3)

(f) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TABnCCR0レジスタにD₀を設定し, TABnCCRkレジスタにD_kを設定した場合,

ワンショット・パルスのアクティブ・レベル幅 = (D₀ - D_k + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = (D_k) × カウント・クロック周期

となります。

注意 ワンショット・パルス出力モードにおいて, TABnCCRkレジスタの設定値がTABnCCR0レジスタの設定値より大きい場合, ワンショット・パルスは出力しません。

備考1. TABnI/O制御レジスタ1 (TABnIOC1), TABnオプション・レジスタ0 (TABnOPT0) は, ワンショット・パルス出力モードでは使用しません。

2. k = 1-3,

n = 0, 1

(1) ワンショット・パルス出力モード動作フロー

図8 - 23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (1/2)

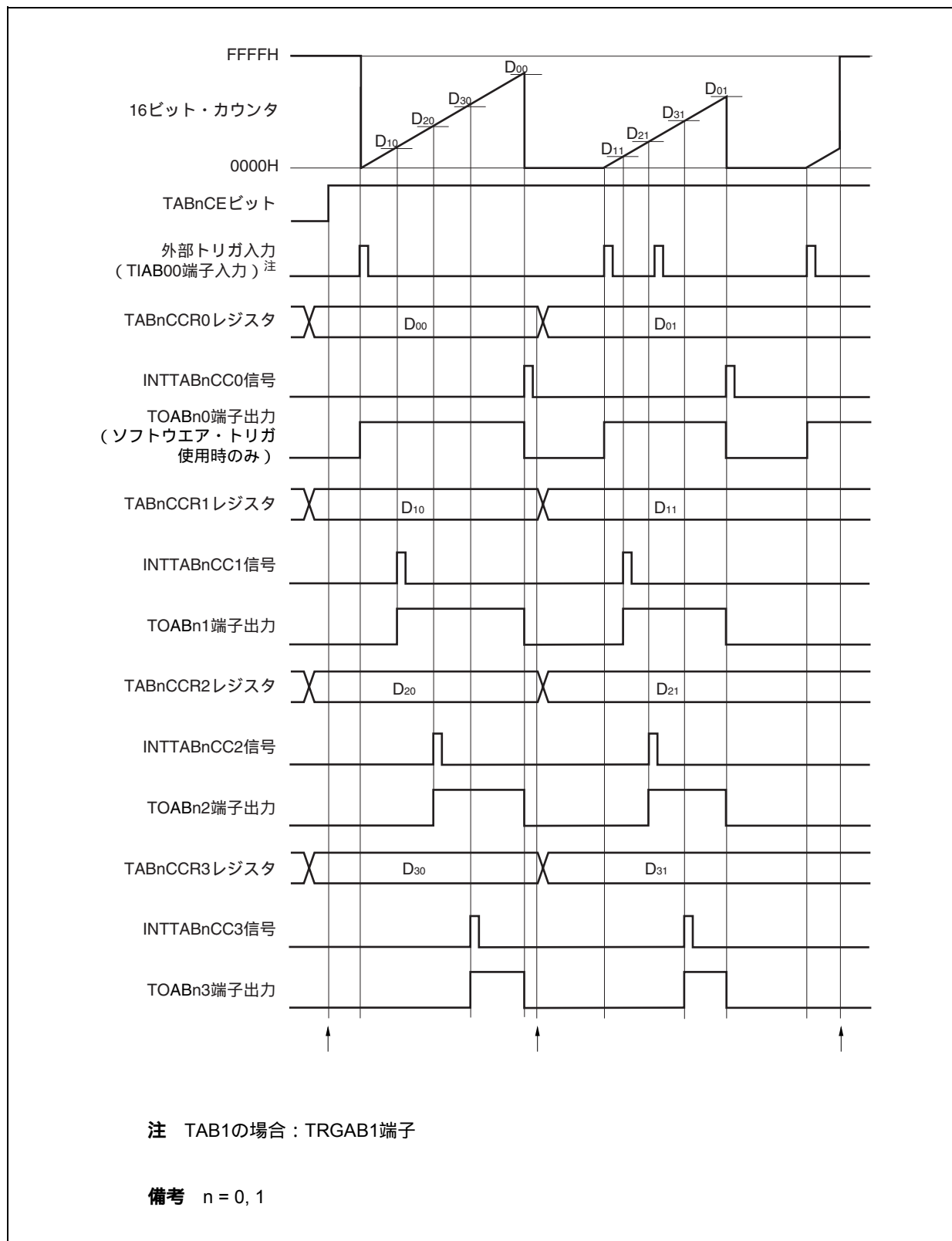
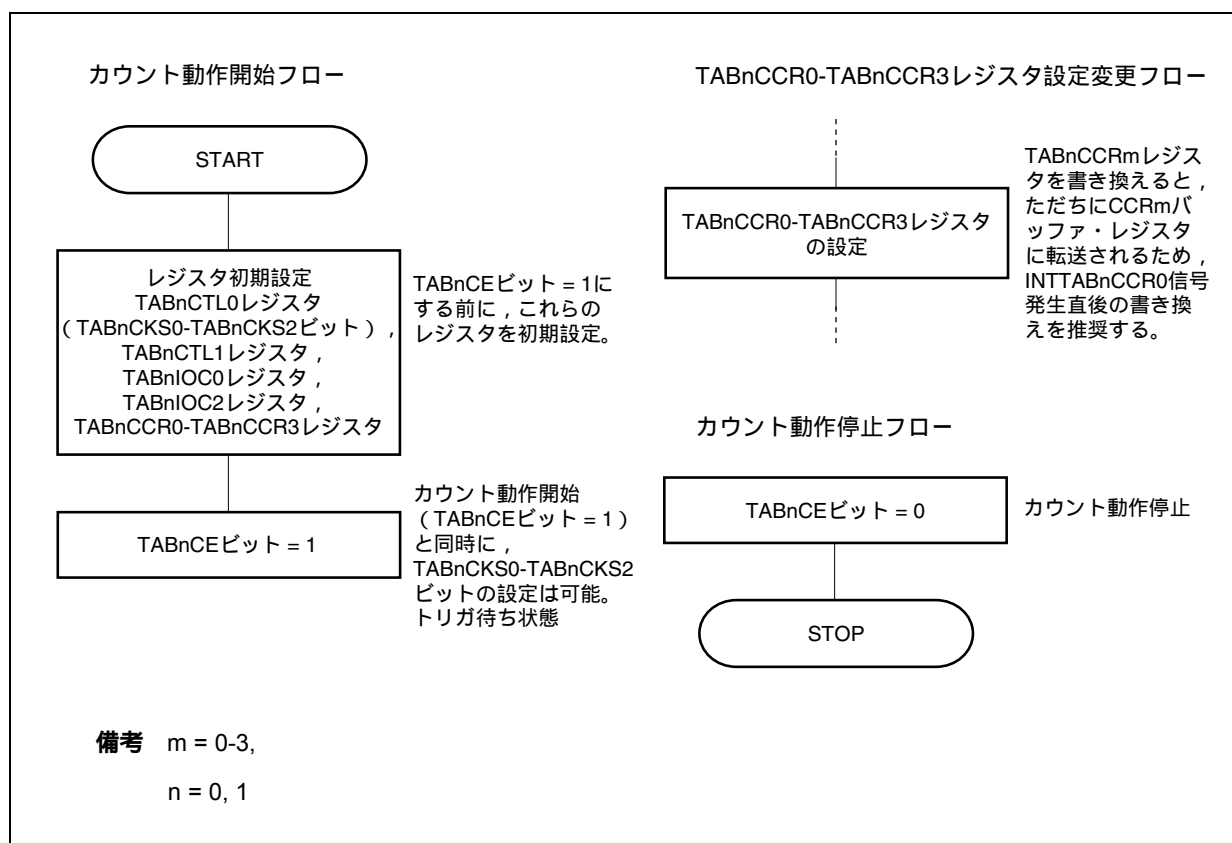


図8 - 23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (2/2)

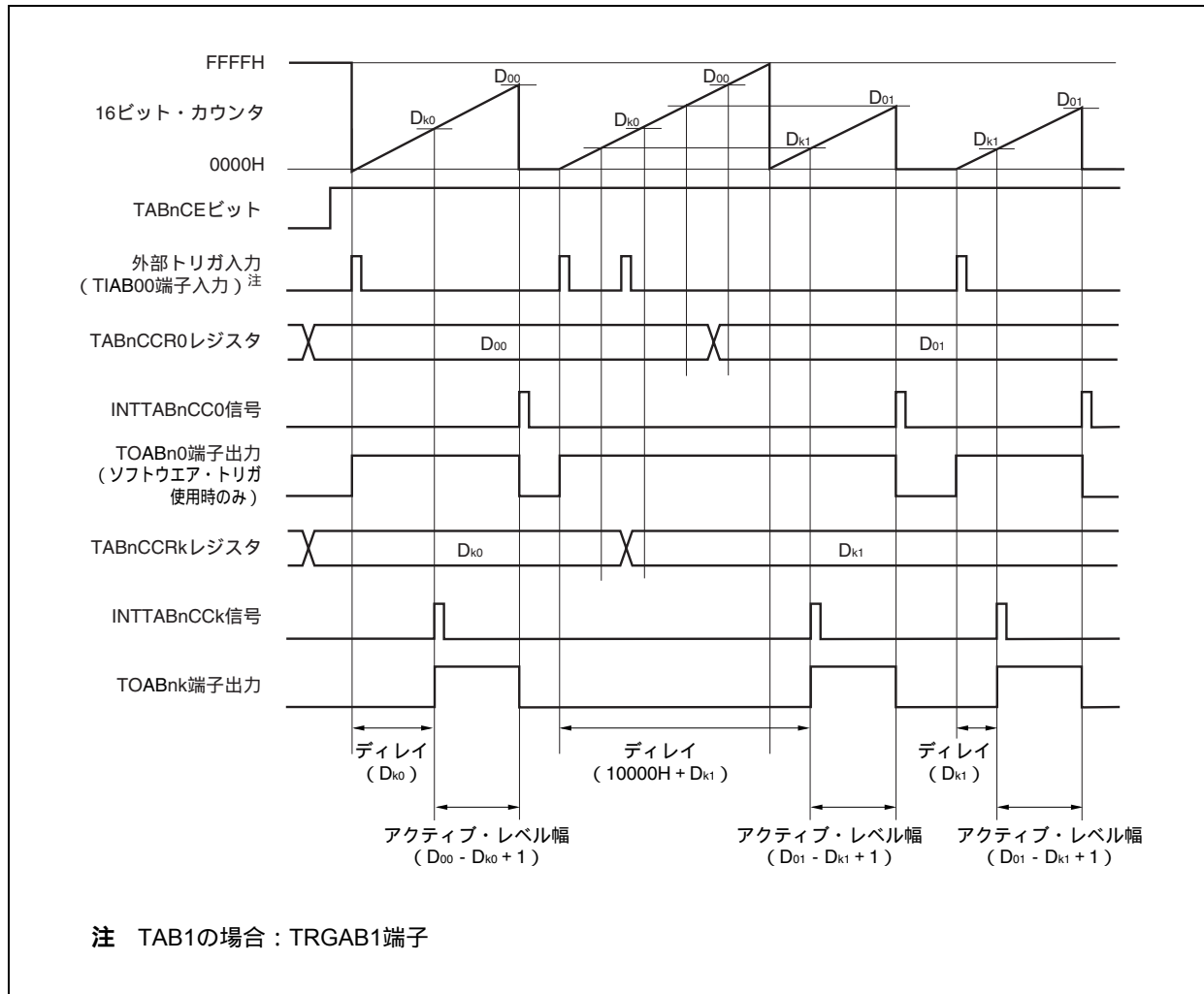


(2) ワンショット・パルス出力モード動作タイミング

(a) TABnCCRmレジスタの書き換えに関する注意事項

TABnCCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTABnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



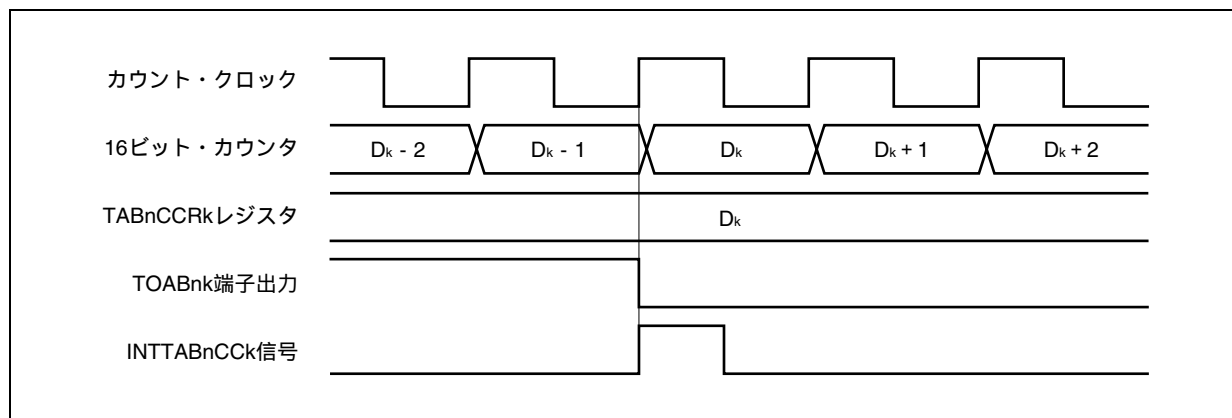
TABnCCR0レジスタをD₀₀からD₀₁に、TABnCCRkレジスタをD_{k0}からD_{k1}に書き換える場合において、D₀₀ > D₀₁、D_{k0} > D_{k1}の状態では、16ビット・カウンタのカウント値がD_{k1}よりも大きくD_{k0}よりも小さい状態のときTABnCCRkレジスタを書き換え、カウント値がD₀₁よりも大きくD₀₀よりも小さい状態でTABnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D_{k1}との一致でINTTABnCCk信号を発生してTOABnk端子出力をアクティブ・レベルにし、D₀₁との一致でINTTABnCC0信号を発生してTOABnk端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 k = 1-3,
n = 0, 1

(b) コンペアー一致割り込み要求信号 (INTTABnCCK) の発生タイミング

ワンショット・パルス出力モードにおけるINTTABnCCK信号の発生タイミングは、ほかのINTTABnCCK信号と異なり、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値との一致と同時に発生します。



通常、INTTABnCCK信号は、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOABnk端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

備考 $k = 1-3$,
 $n = 0, 1$

8.5.5 PWM出力モード (TABnMD2-TABnMD0ビット = 100)

PWM出力モードは、TABnCTL0.TABnCEビットをセット(1)することで、TOABn1-TOABn3端子からPWM波形を出力します。

また、TOABn0端子から、PWM波形の1周期を半周期とするパルスを出力します。

図8-24 PWM出力モードの構成図

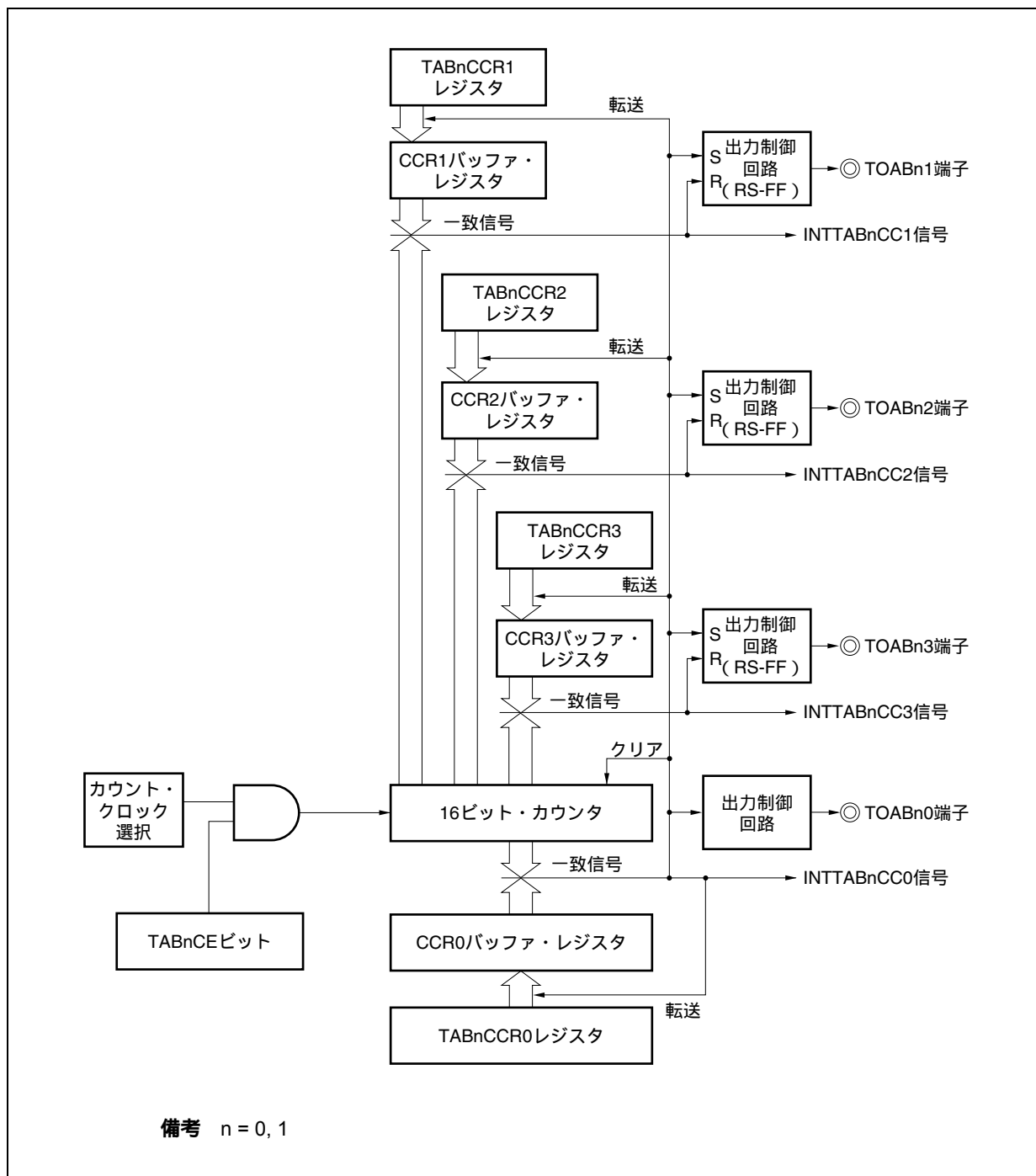
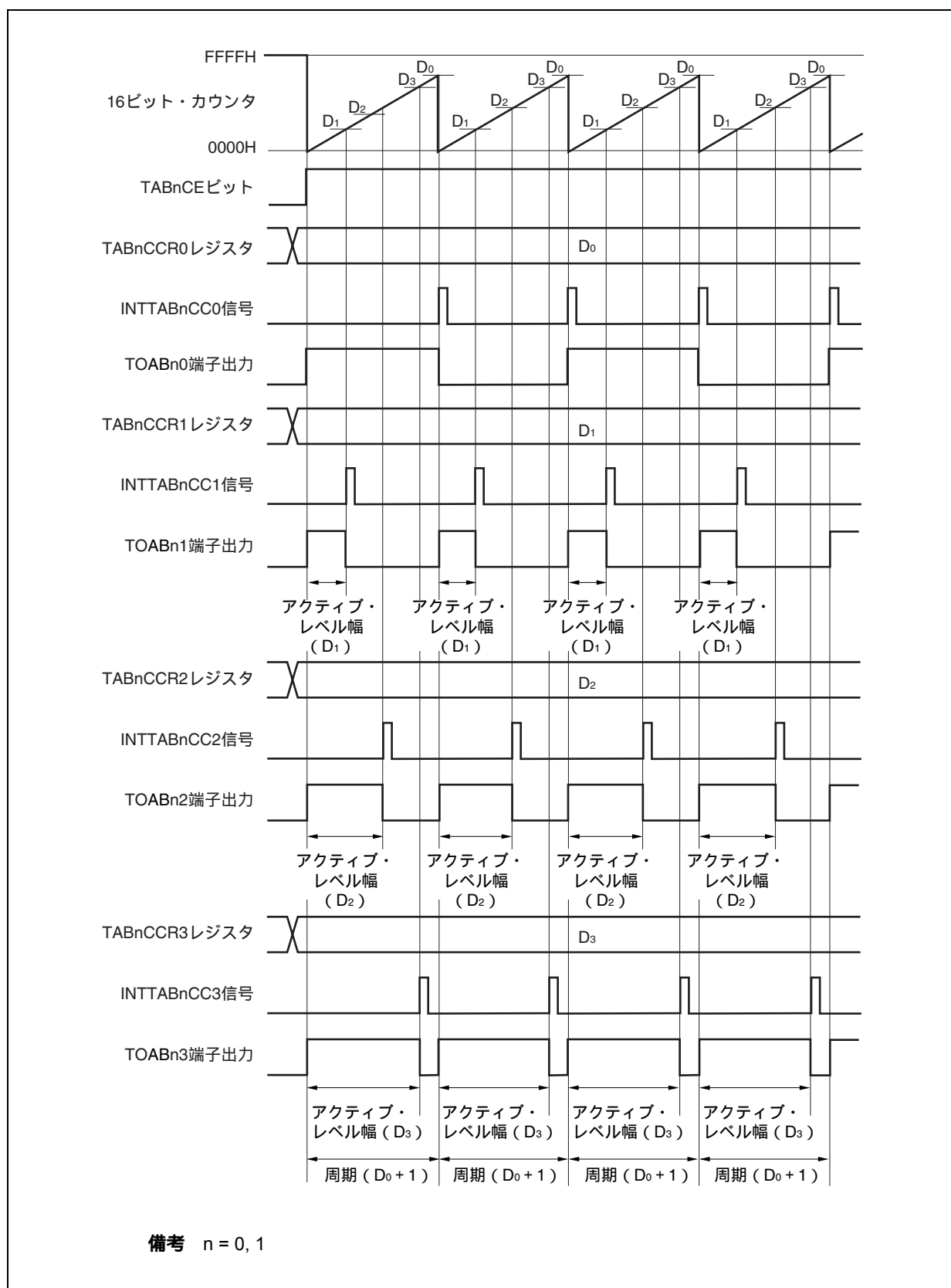


図8 - 25 PWM出力モードの基本タイミング



TABnCEビットをセット (1) することで, 16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し, TOABnk端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅, 周期, およびデューティは次のように求められます。

アクティブ・レベル幅 = (TABnCCRkレジスタの設定値) × カウント・クロック周期

周期 = (TABnCCR0レジスタの設定値 + 1) × カウント・クロック周期

デューティ = (TABnCCRkレジスタの設定値) / (TABnCCR0レジスタの設定値 + 1)

動作中にTABnCCRmレジスタを書き換えることにより, PWM波形を変更できます。書き換えた値は, 16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し, 16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTTABnCC0) は, 16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し, 同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTABnCCk) は, 16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

備考 k = 1-3,

m = 0-3,

n = 0, 1

図8 - 26 PWM出力モード動作時のレジスタ設定内容 (1/3)

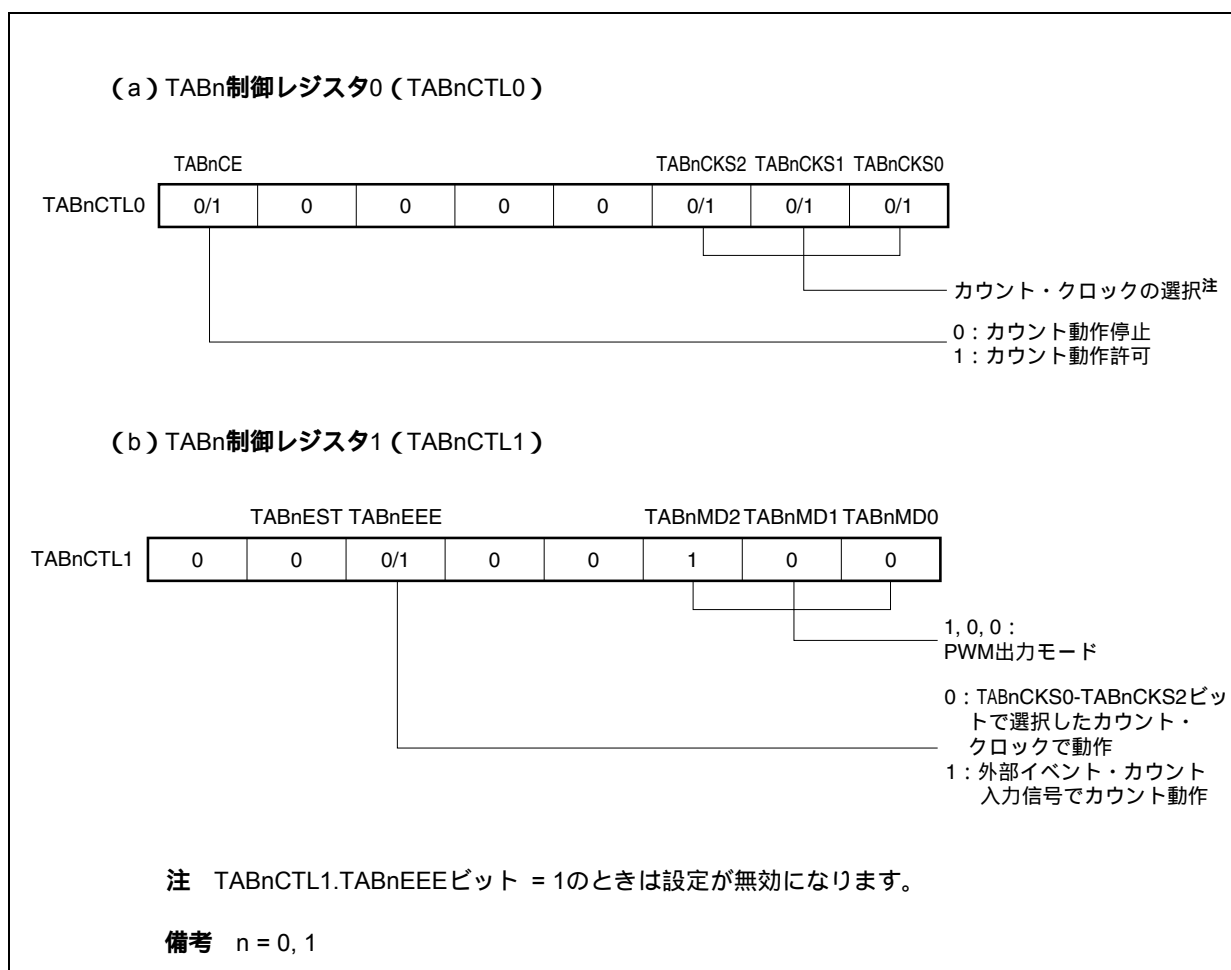


図8 - 26 PWM出力モード動作時のレジスタ設定内容 (2/3)

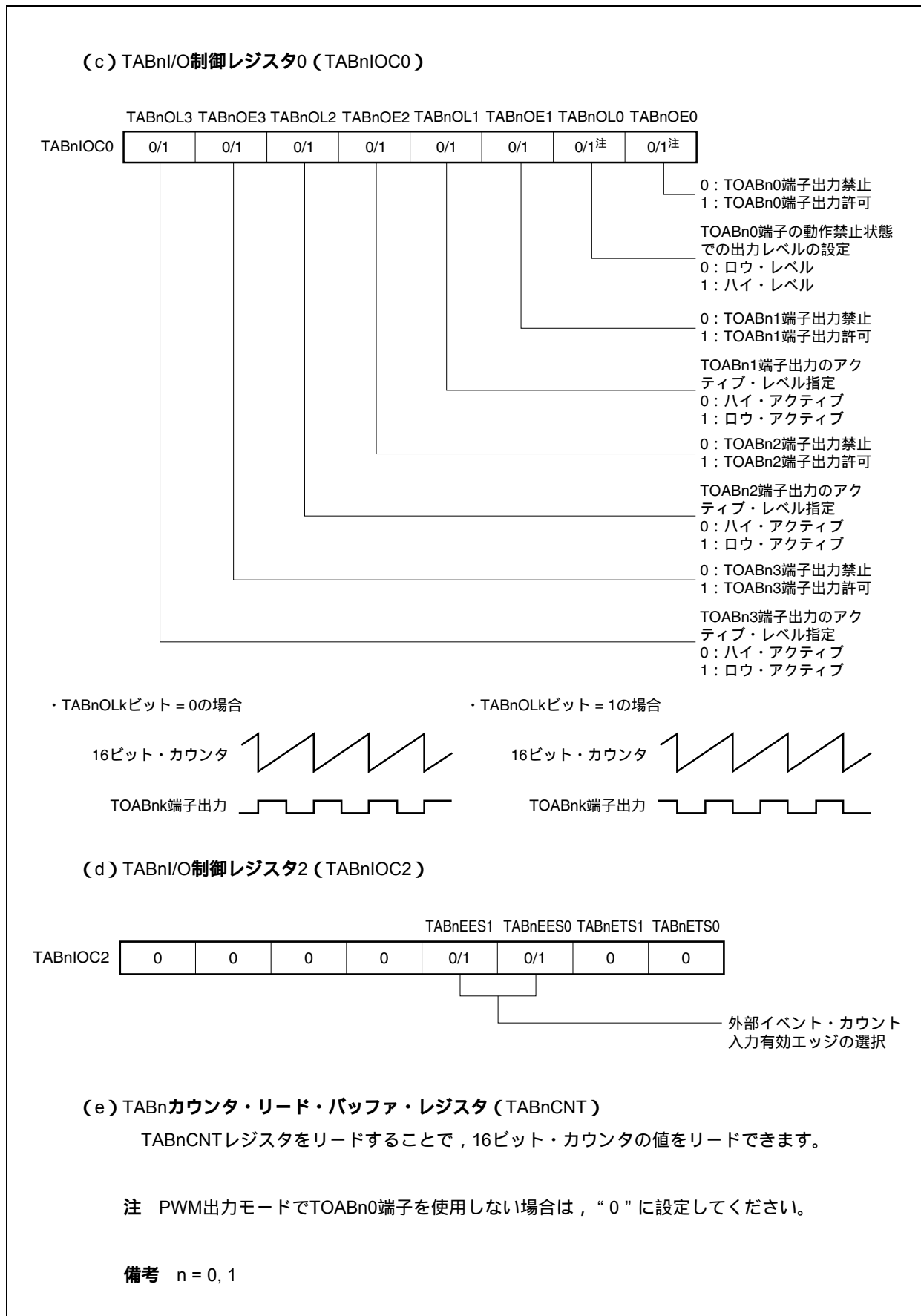


図8 - 26 PWM出力モード動作時のレジスタ設定内容 (3/3)

(f) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TABnCCR0レジスタにD₀を設定し, TABnCCRkレジスタにD_kを設定した場合,

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_k \times \text{カウント} \cdot \text{クロック周期}$$

となります。

- 備考1.** TABn/O制御レジスタ1 (TABnIOC1), TABnオプション・レジスタ0 (TABnOPT0) は, PWM出力モードでは使用しません。
2. TABnキャプチャ/コンペア・レジスタ2 (TABnCCR2), TABnキャプチャ/コンペア・レジスタ3 (TABnCCR3) の更新は, TABnキャプチャ/コンペア・レジスタ1 (TABnCCR1) への書き込みにより有効になります。
3. n = 0, 1

(1) PWM出力モード動作フロー

図8 - 27 PWM出力モード使用時のソフトウェア処理フロー (1/2)

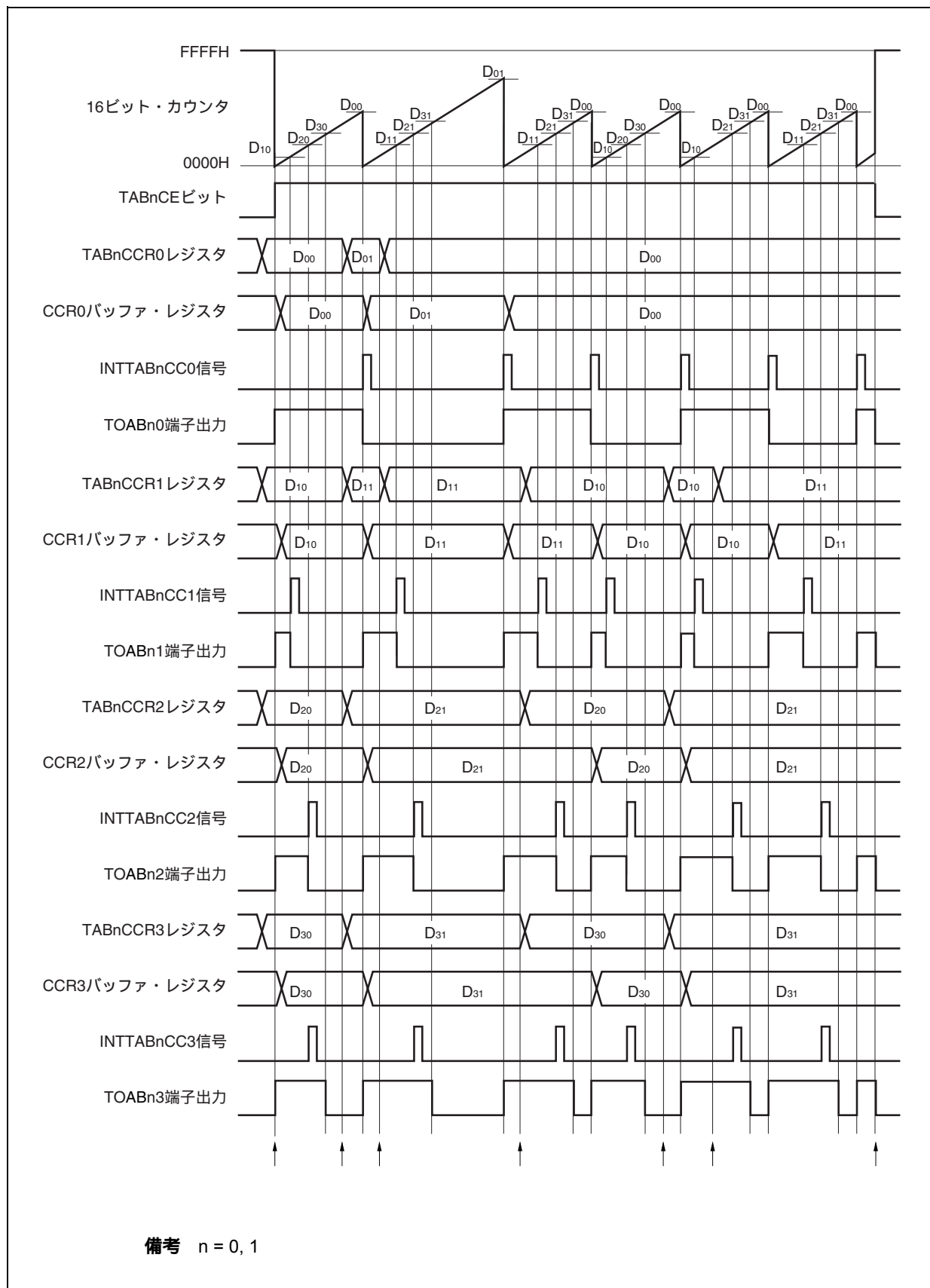
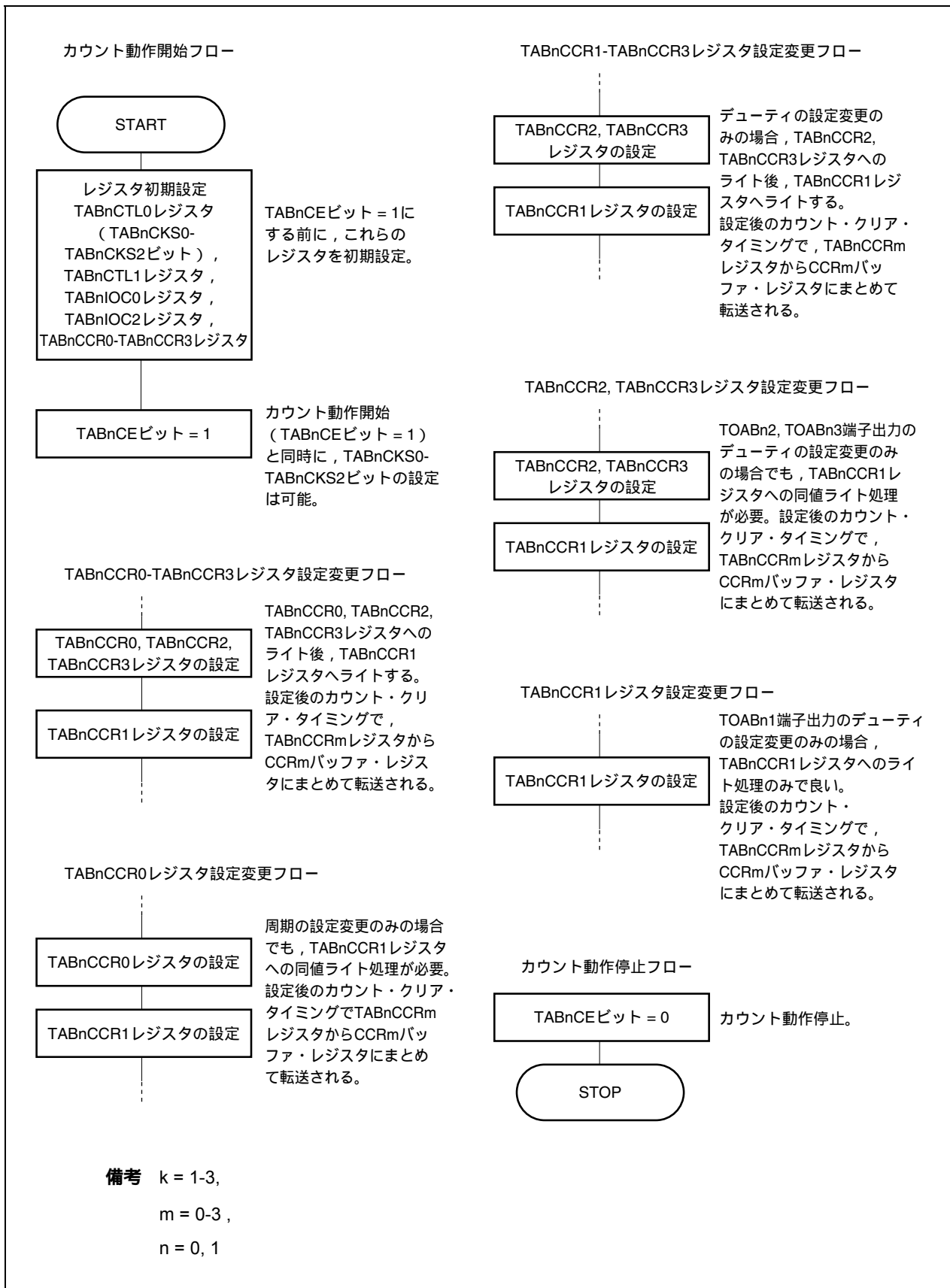


図8 - 27 PWM出力モード使用時のソフトウェア処理フロー (2/2)

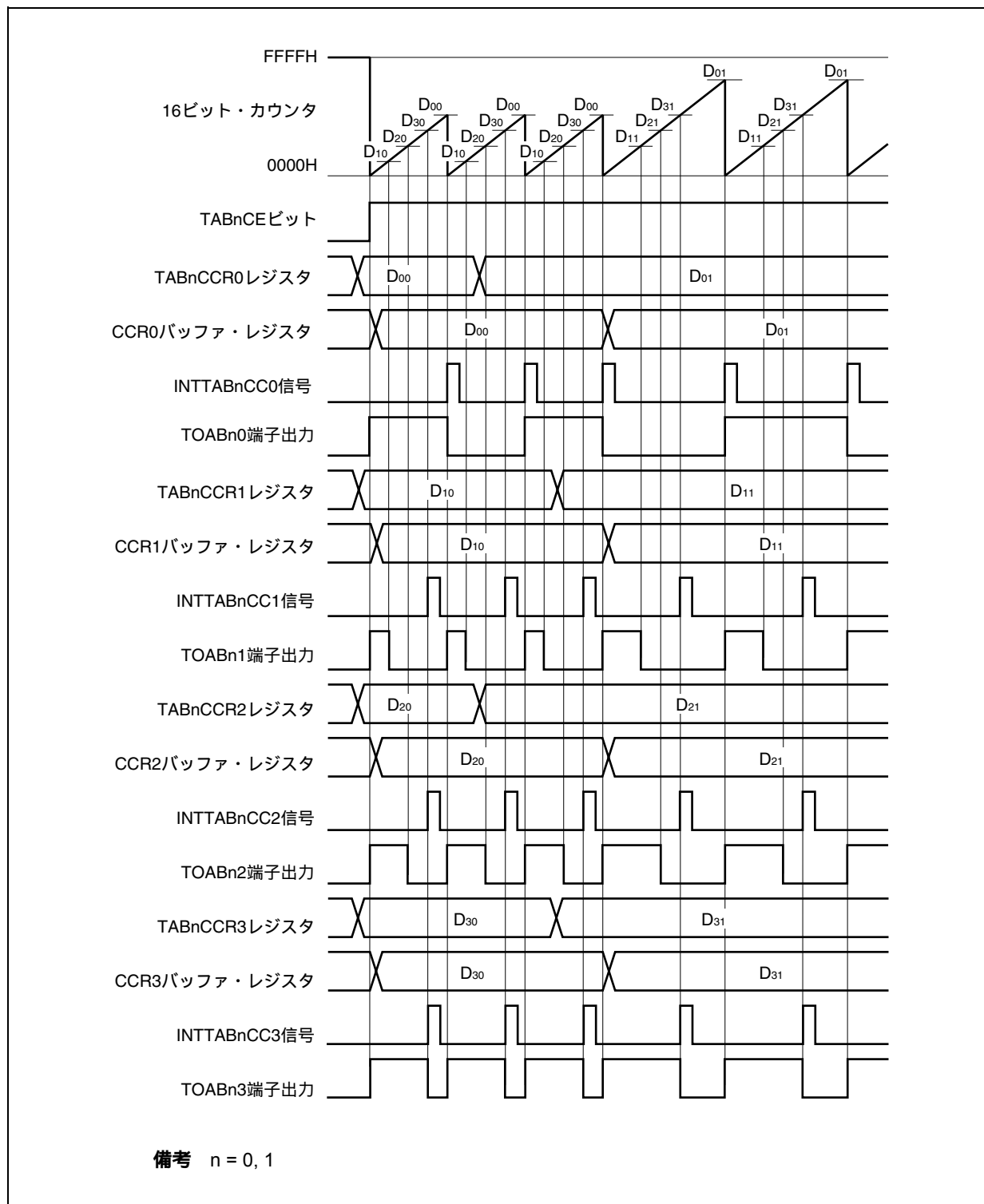


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTABnCCR1レジスタにライトしてください。

TABnCCR1レジスタにライト後、再度TABnCCRkレジスタの書き換えを行う場合には、INTTABnCC1信号を検出後に書き換えてください。



TABnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TABnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTABnCCR0レジスタに周期を、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTABnCCR0レジスタに周期を設定し、そのあとでTABnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合には、まず、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

TOABn1端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TABnCCR1レジスタのみの設定でかまいません。

TOABn2、TOABn3端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、まずTABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTABnCCR1レジスタに同値をライトしてください。

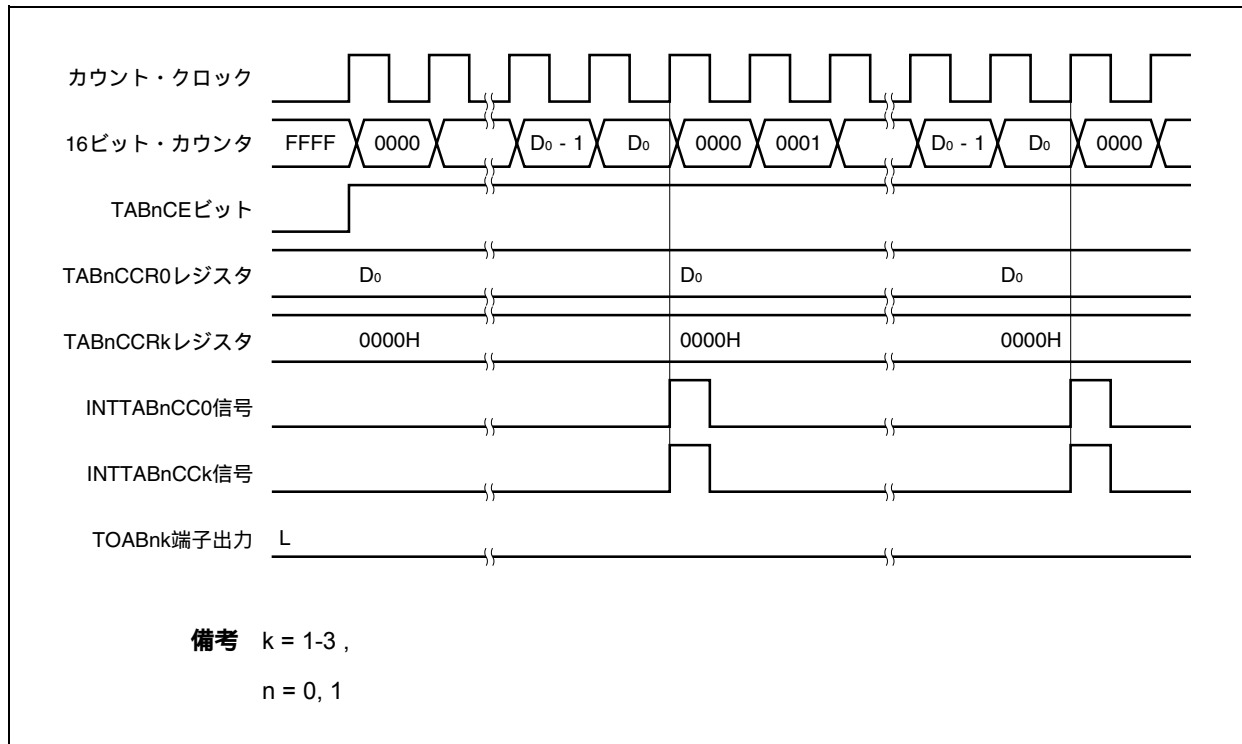
TABnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TABnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TABnCCR1レジスタにライトしたあとで、再度TABnCCR0-TABnCCR3レジスタへのライトを行う場合は、INTTABnCC0信号の発生後に行ってください。これを守れない場合には、TABnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TABnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

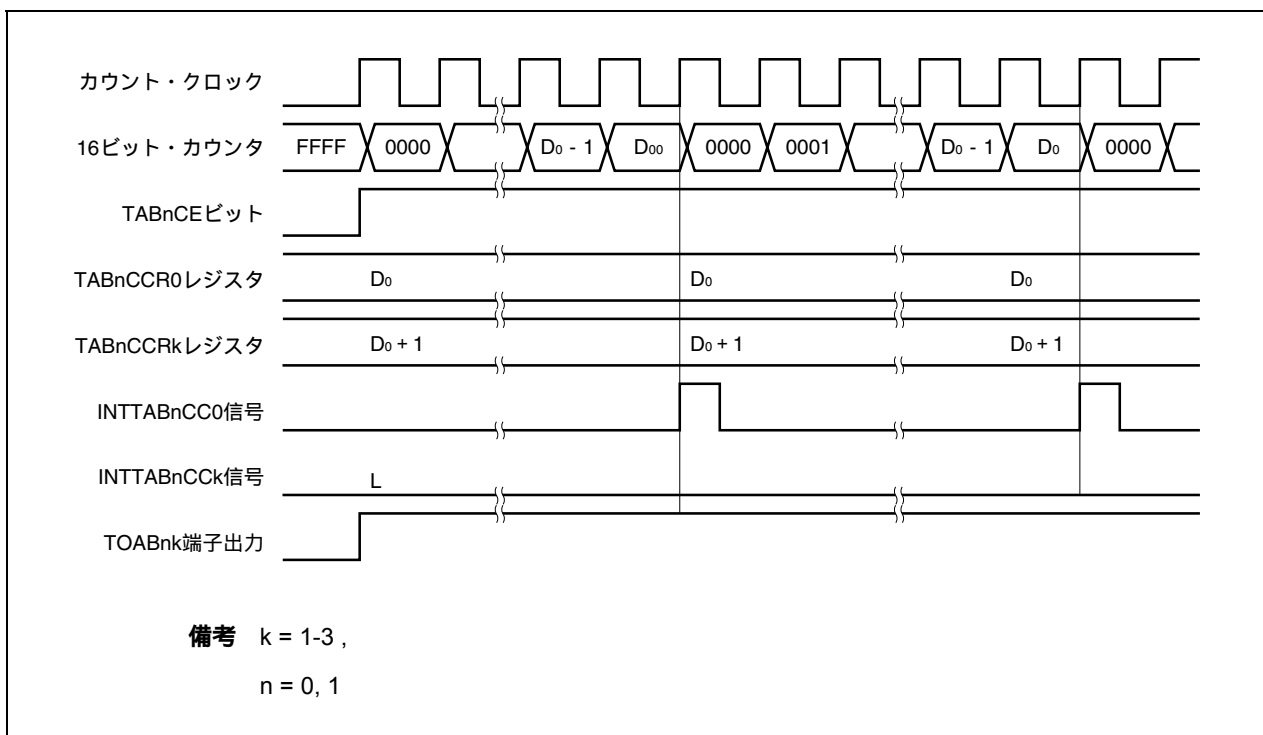
備考 m = 0-3,
n = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TABnCCRkレジスタに対して0000Hを設定します。ただし, TABnCCR0レジスタの設定値がFFFFHの場合には, INTTABnCCK信号が定期的が発生します。

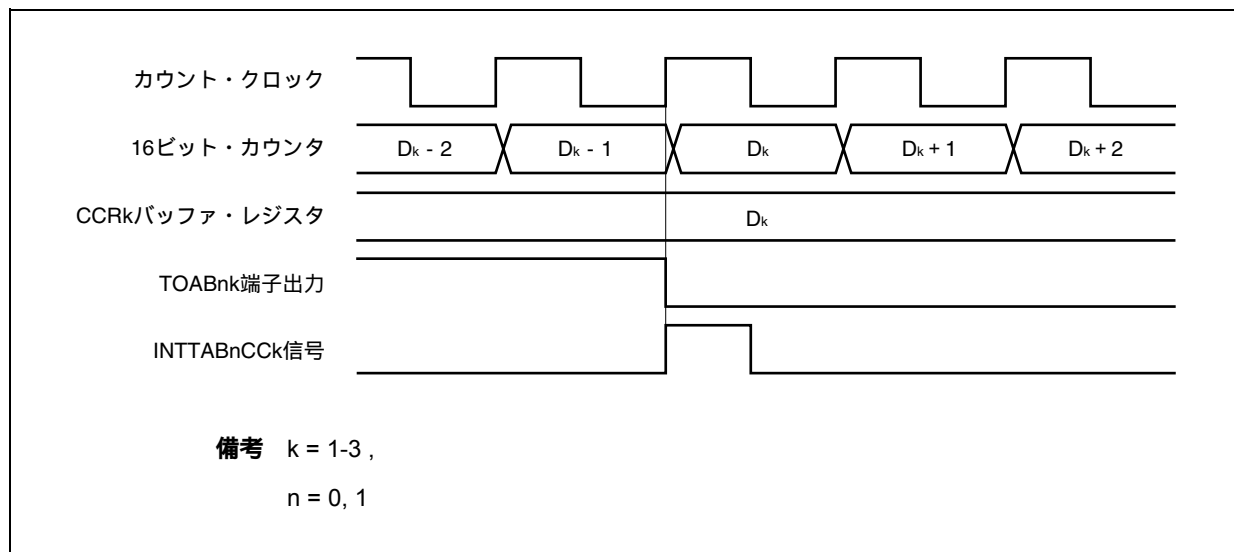


100 % 波形を出力するためには, TABnCCRkレジスタに対して (TABnCCR0レジスタの設定値 + 1) の値を設定してください。TABnCCR0レジスタの設定値がFFFFHの場合には, 100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTABnCck) の発生タイミング

PWM出力モードにおけるINTTABnCck信号の発生タイミングは、ほかのINTTABnCck信号と異なり、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値との一致と同時に発生します。



通常、INTTABnCck信号は、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOABnk端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

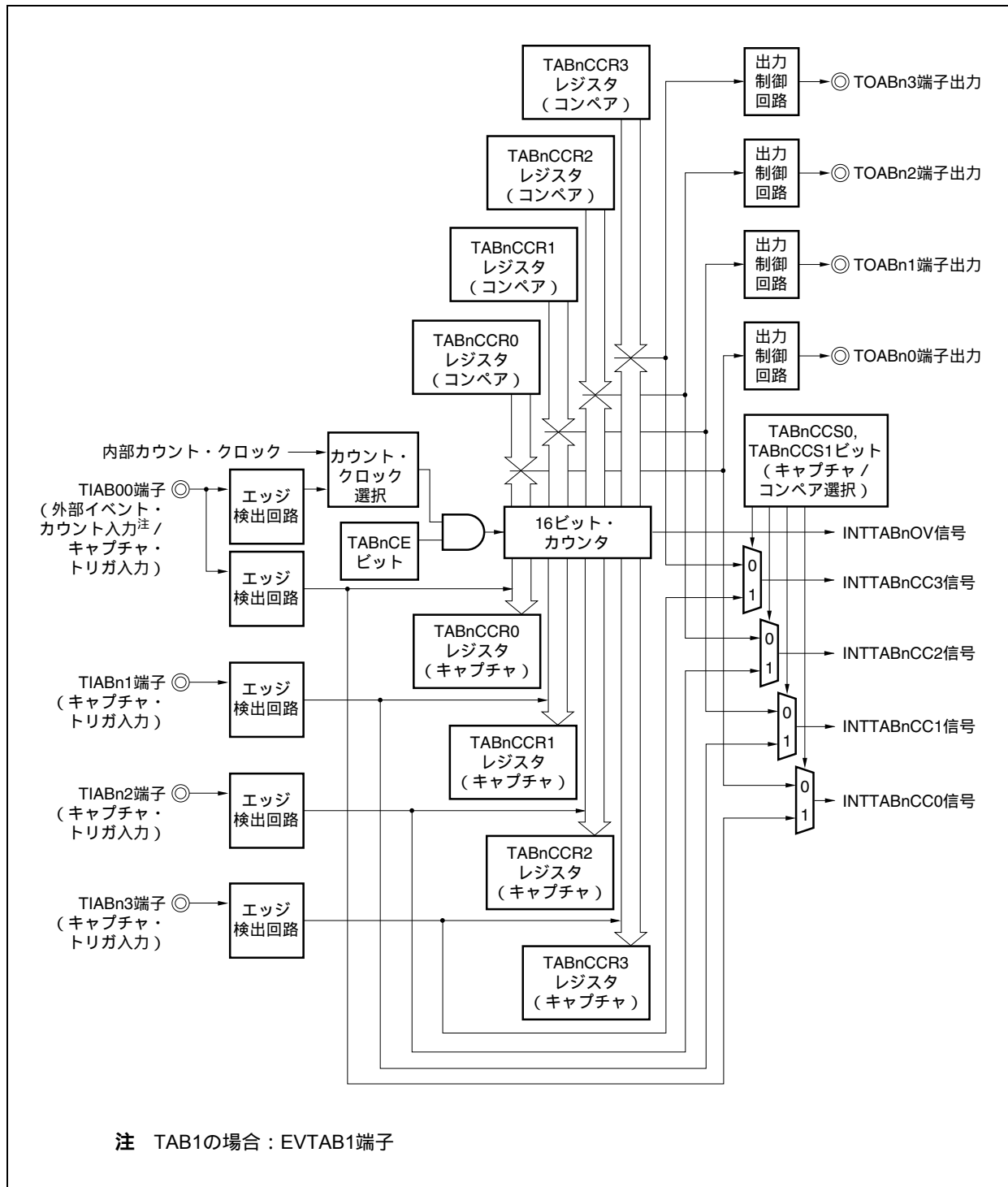
8.5.6 フリー・ランニング・タイマ・モード (TABnMD2-TABnMD0ビット = 101)

フリー・ランニング・タイマ・モードは, TABnCTL0.TABnCEビットをセット (1) することでカウント動作を開始します。このときのTABnCCRMレジスタの動作は, TABnOPT0.TABnCCS0, TABnCCS1ビットの設定により, コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

備考 m = 0-3,

n = 0, 1

図8-28 フリー・ランニング・タイマ・モードの構成図



TABnCEビットをセット(1)することで、カウント動作を開始し、TOABn0-TOABn3端子出力を反転します。その後、16ビット・カウンタのカウント値とTABnCCRmレジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTABnCCm) を発生し、TOABnm端子出力を反転します。

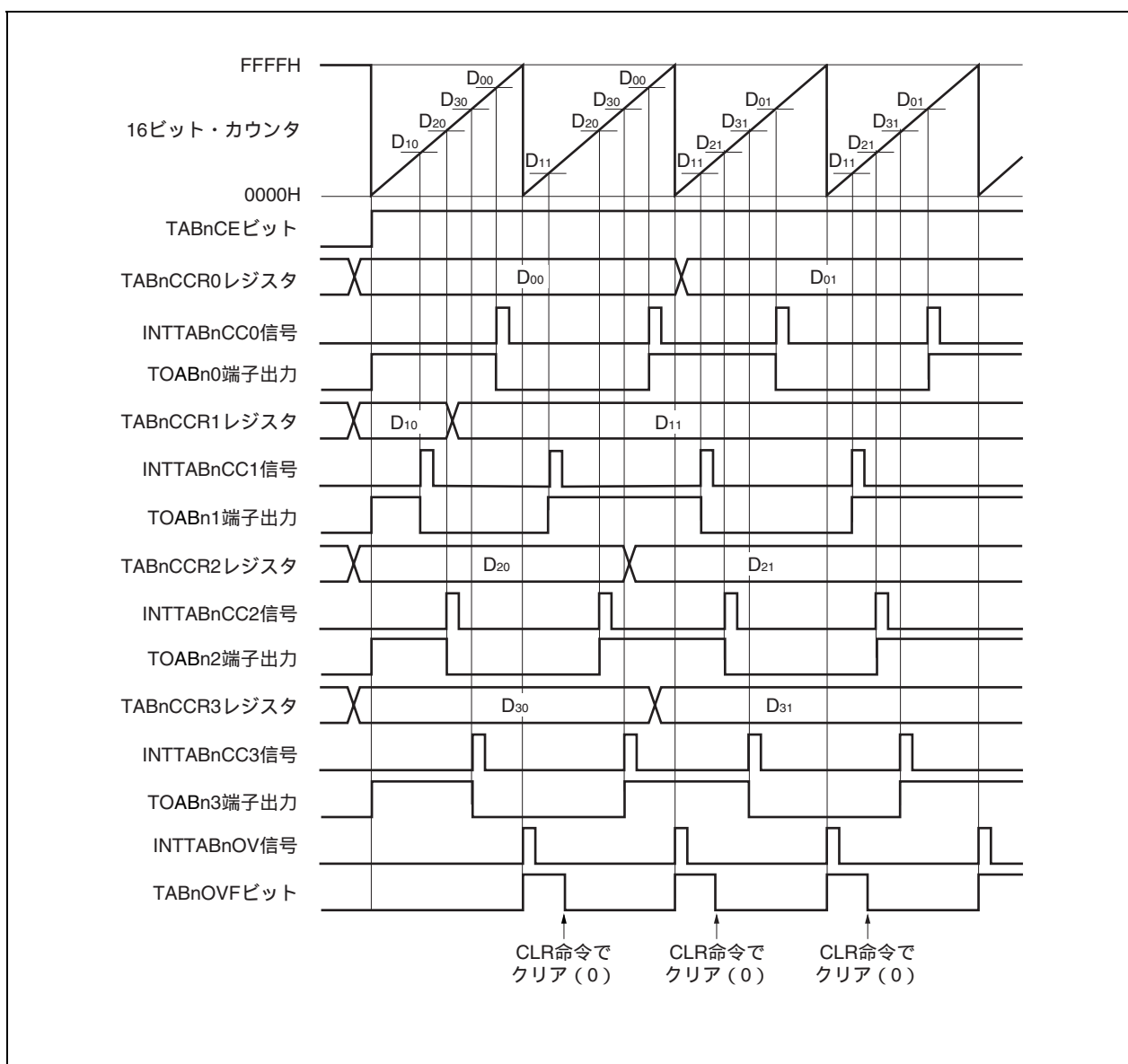
16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTABnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TABnOPT0.TABnOVFビット) もセット(1) されます。オーバーフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0) してください。

TABnCCRmレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き換えた値が反映され、カウント値と比較されます。

備考 m = 0-3,

n = 0, 1

図8 - 29 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



TABnCEビットをセット (1) することで、カウント動作を開始します。その後、TIABnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTABnCCRmレジスタに格納し、キャプチャ割り込み要求信号 (INTTABnCCm) を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号 (INTTABnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TABnOVFビット) もセット (1) されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア (0) してください。

備考 m = 0-3,
n = 0, 1

図8-30 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)

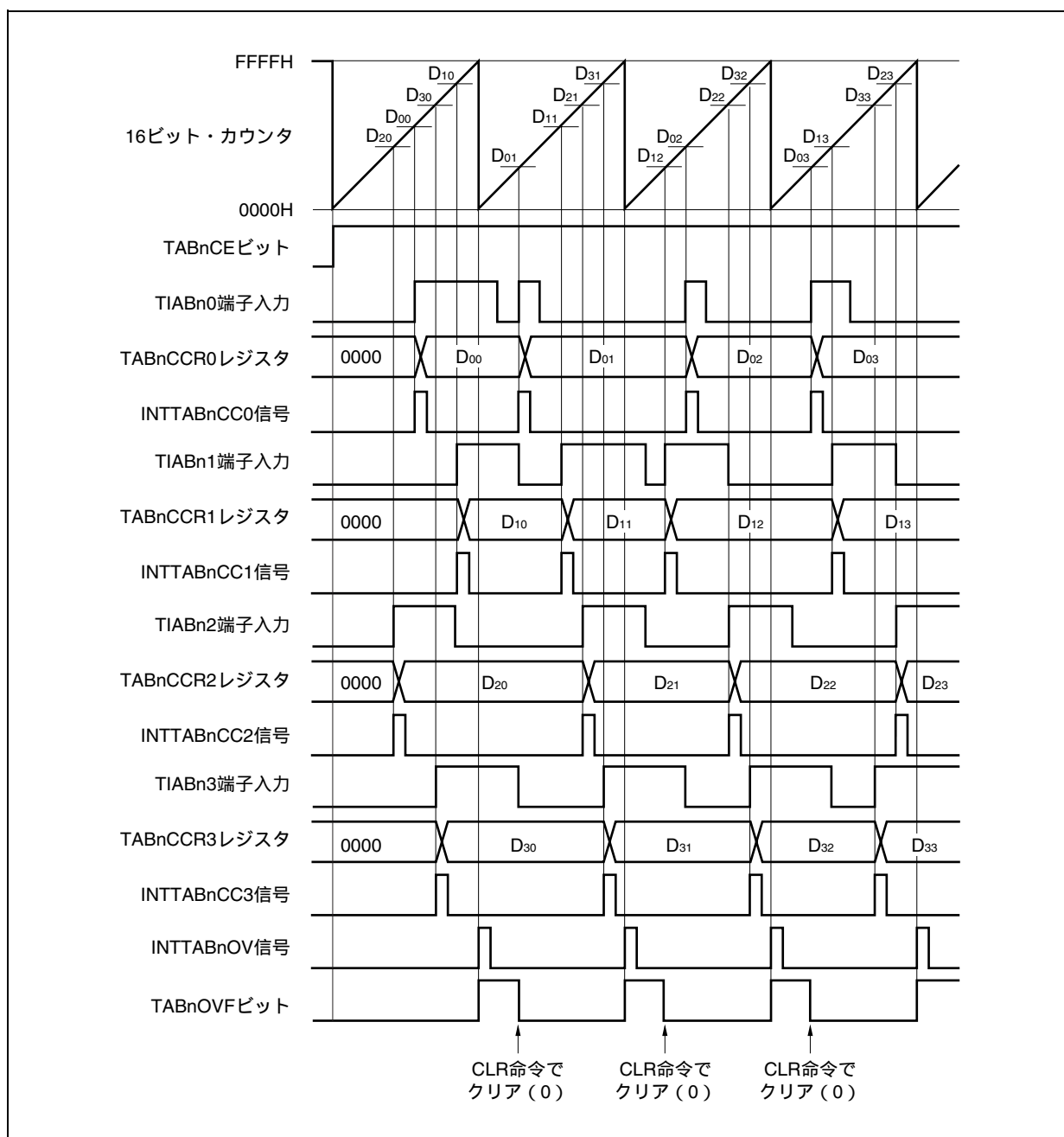
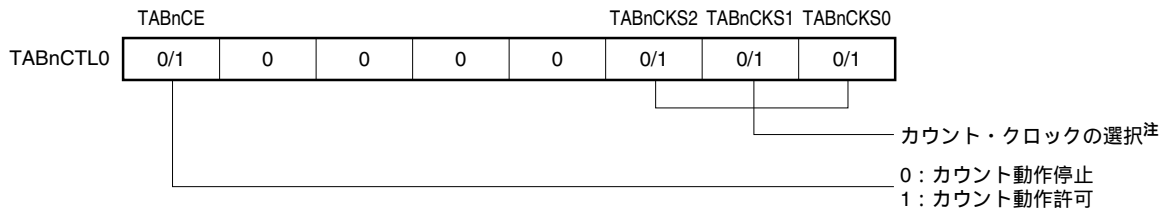


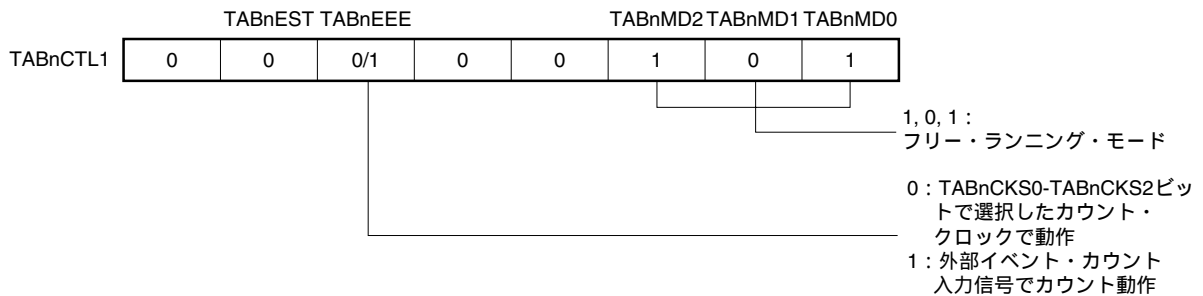
図8 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

(a) TABn制御レジスタ0 (TABnCTL0)

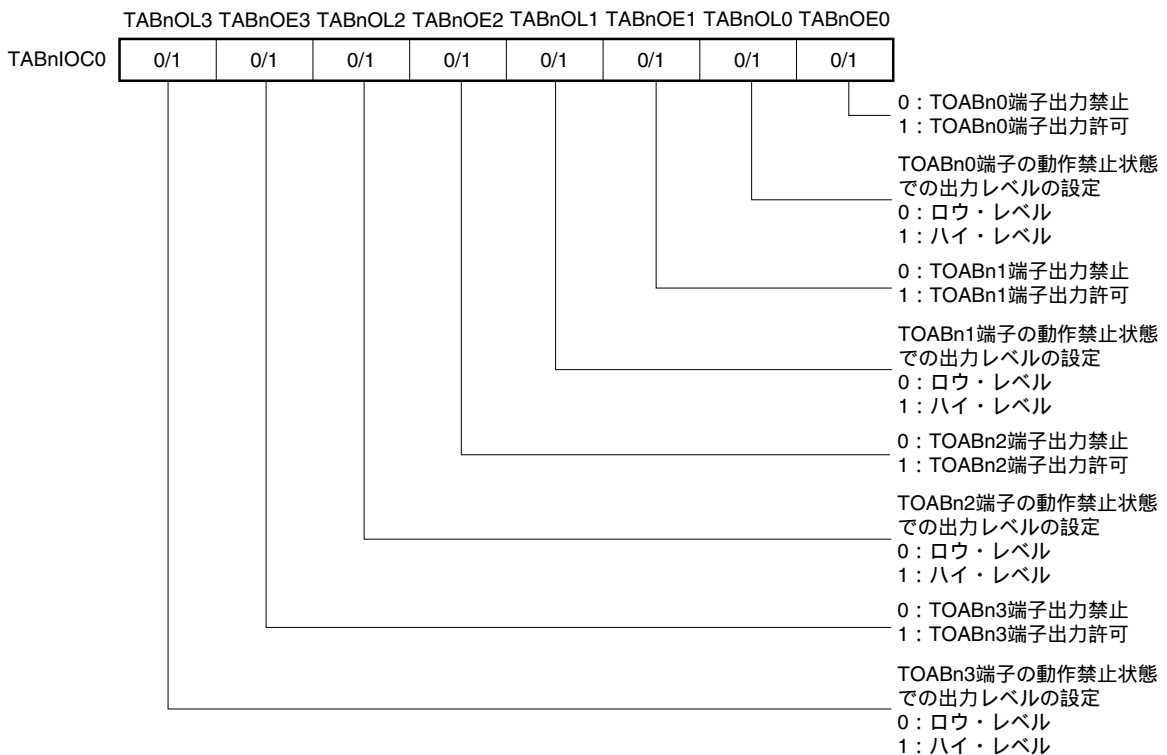


注 TABnCTL1.TABnEEEビット = 1のときは設定が無効になります。

(b) TABn制御レジスタ1 (TABnCTL1)



(c) TABnI/O制御レジスタ0 (TABnIOC0)



備考 n = 0, 1

図8 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

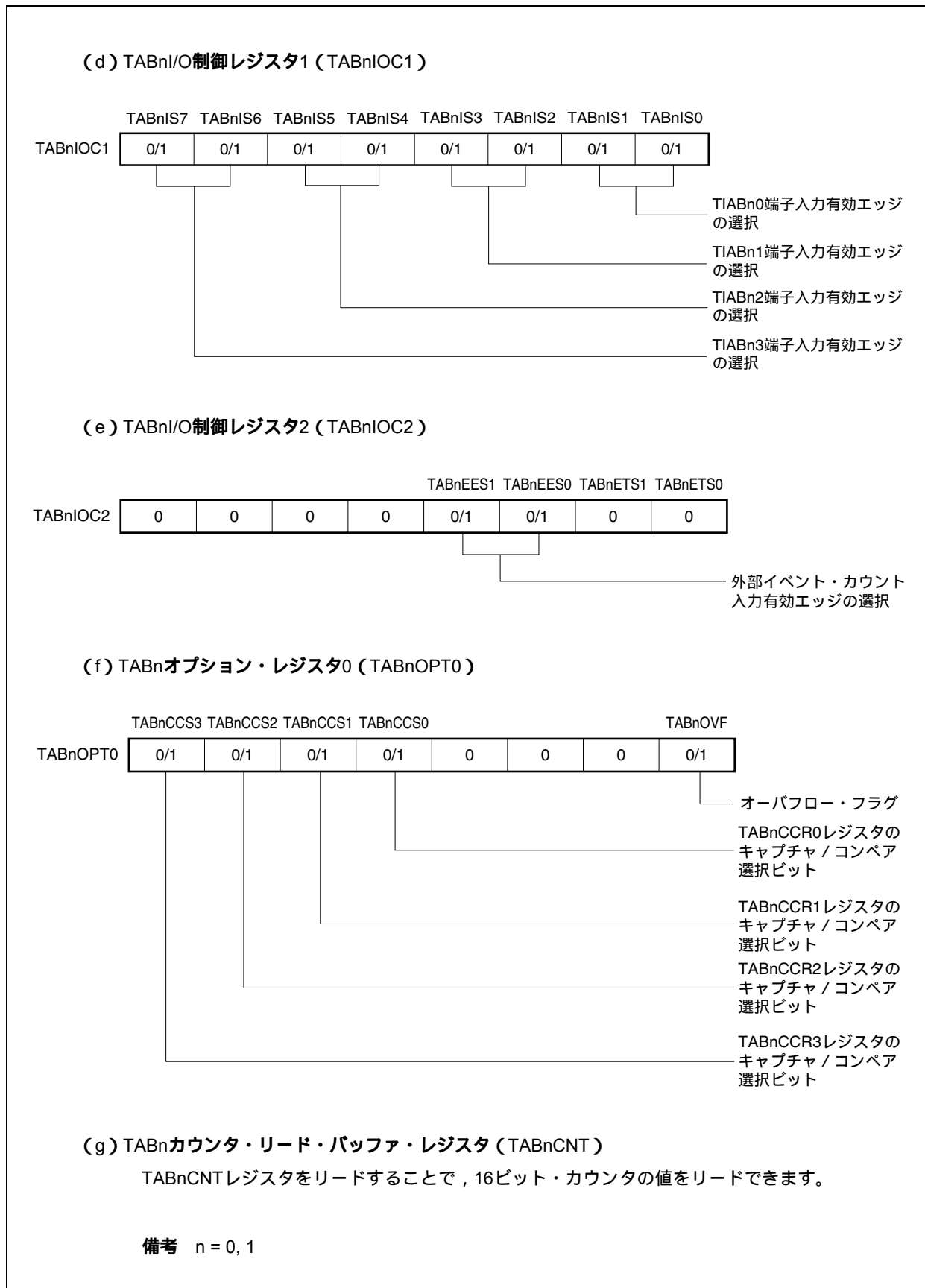


図8 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

(h) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TABnOPT0.TABnCCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIABnm端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TABnCCRmレジスタにD_mを設定した場合、カウンタが(D_m + 1)になるタイミングでINTTABnCCm信号を発生し、TOABnm端子出力を反転します。

備考 m = 0-3,

n = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図8 - 32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

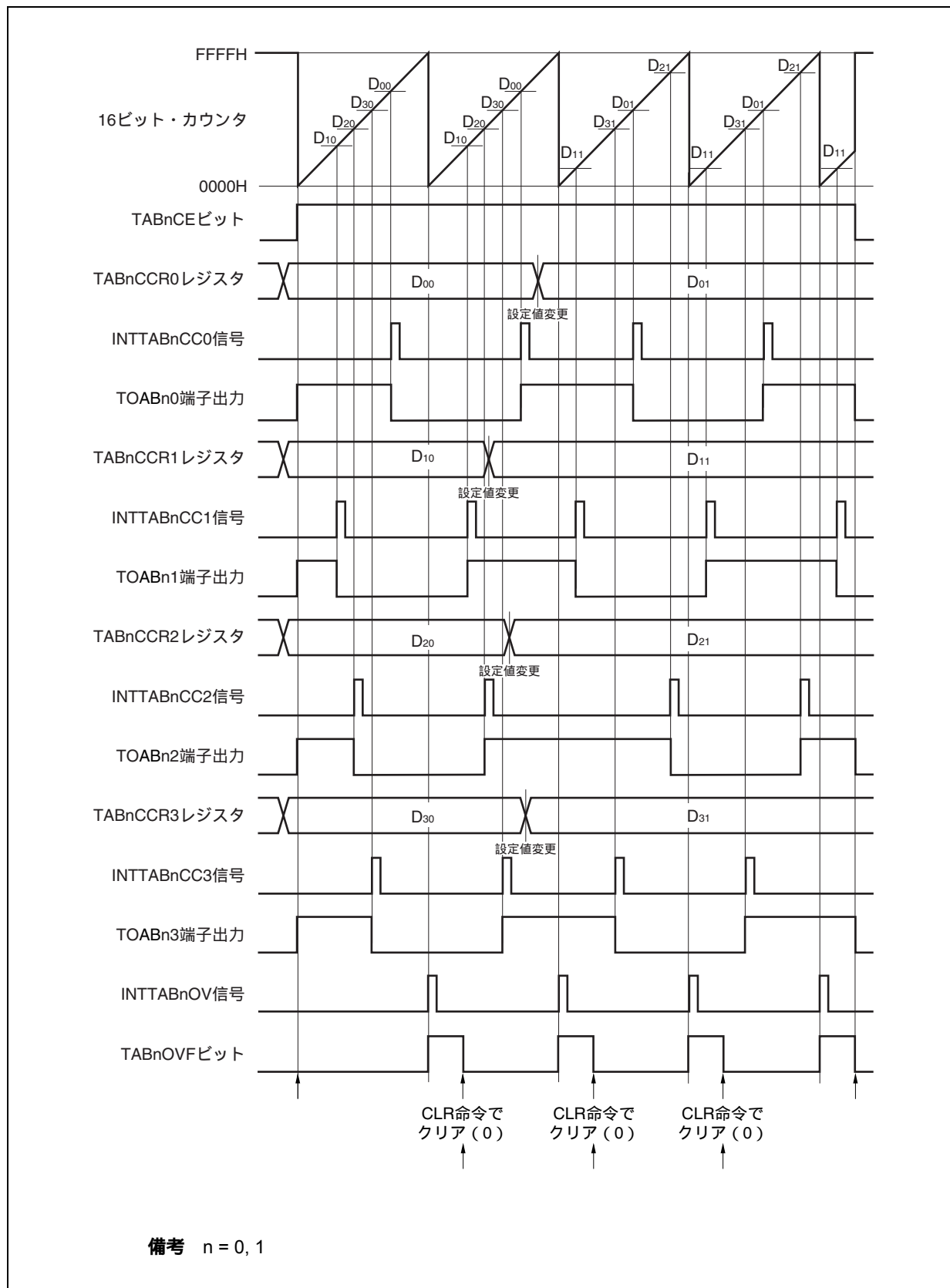
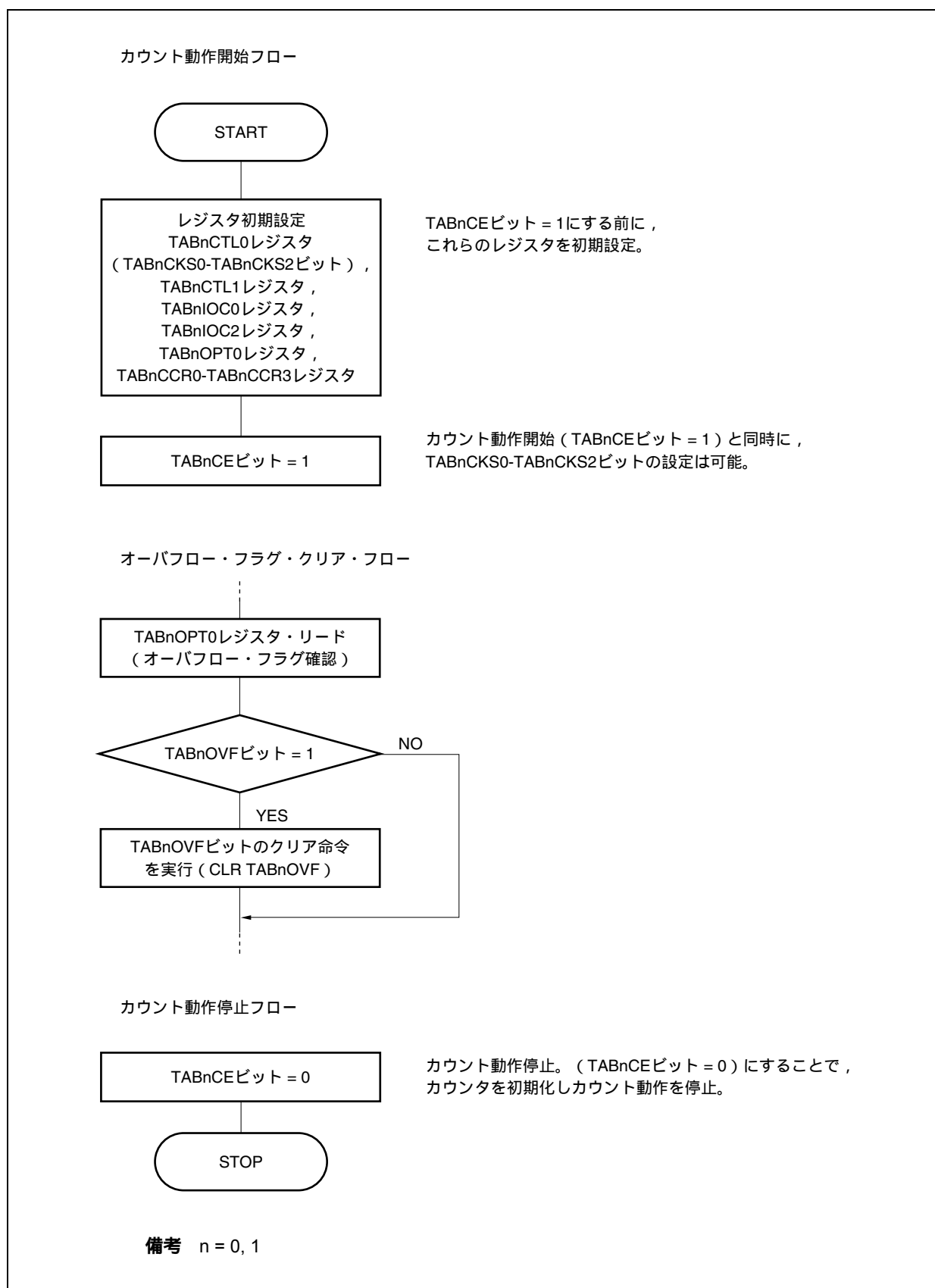


図8 - 32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図8 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

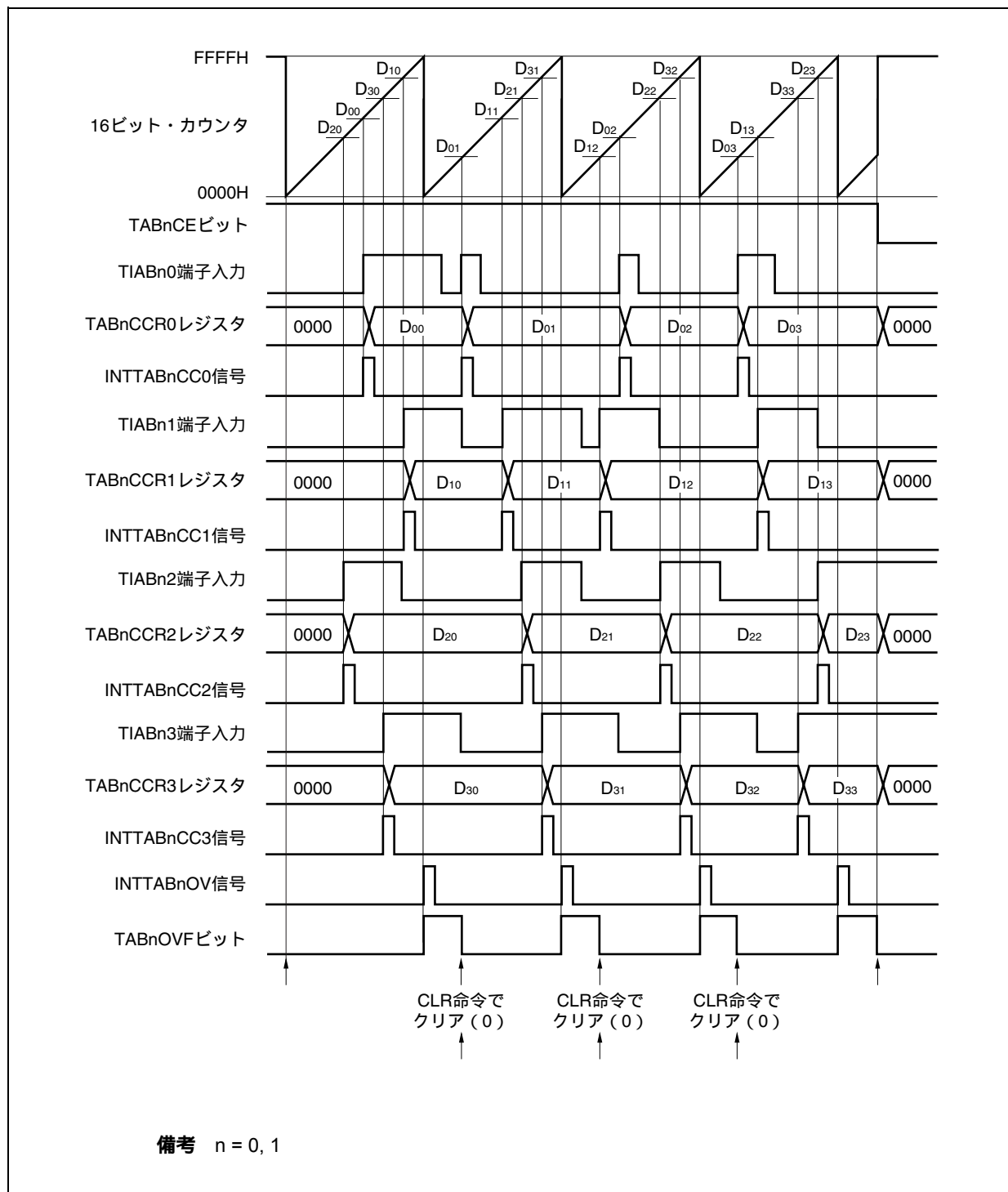
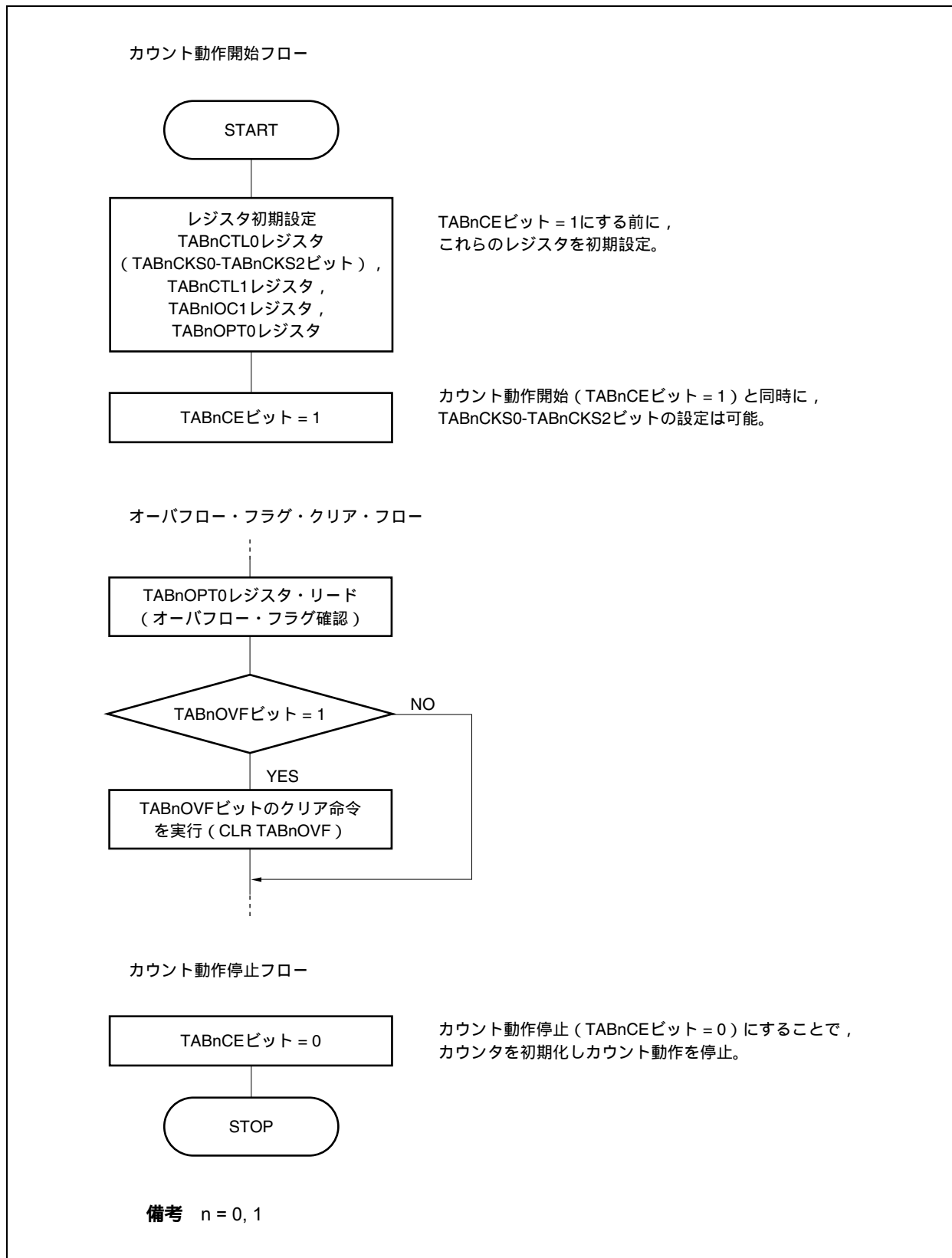


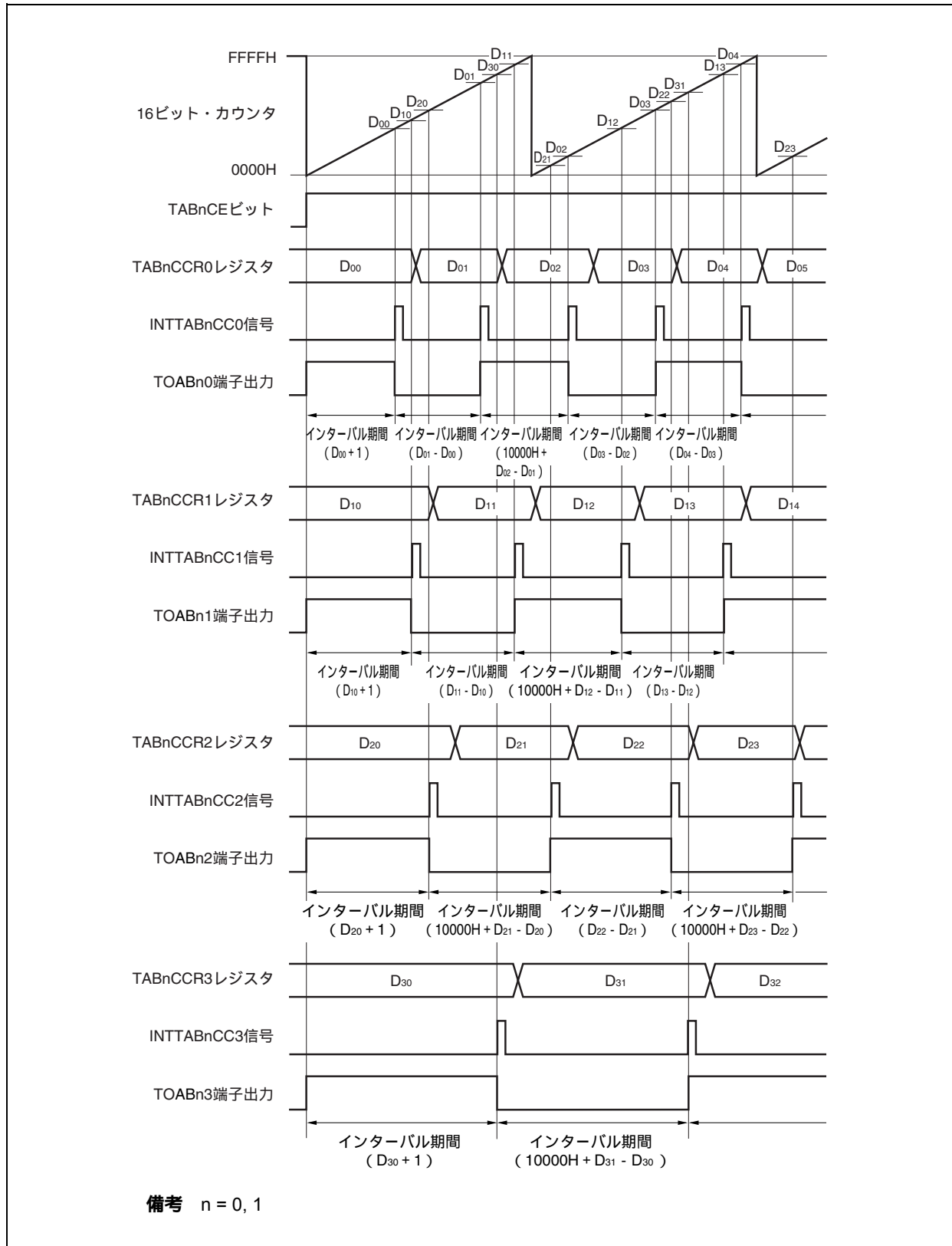
図8 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (キャプチャ機能) (2/2)



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TABnCCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTABnCCm信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、4つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTABnCCm信号を検出したときの割り込み処理中に、対応するTABnCCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_m ”とすると、次のように求められます。

コンペア・レジスタ初期値： $D_m - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_m

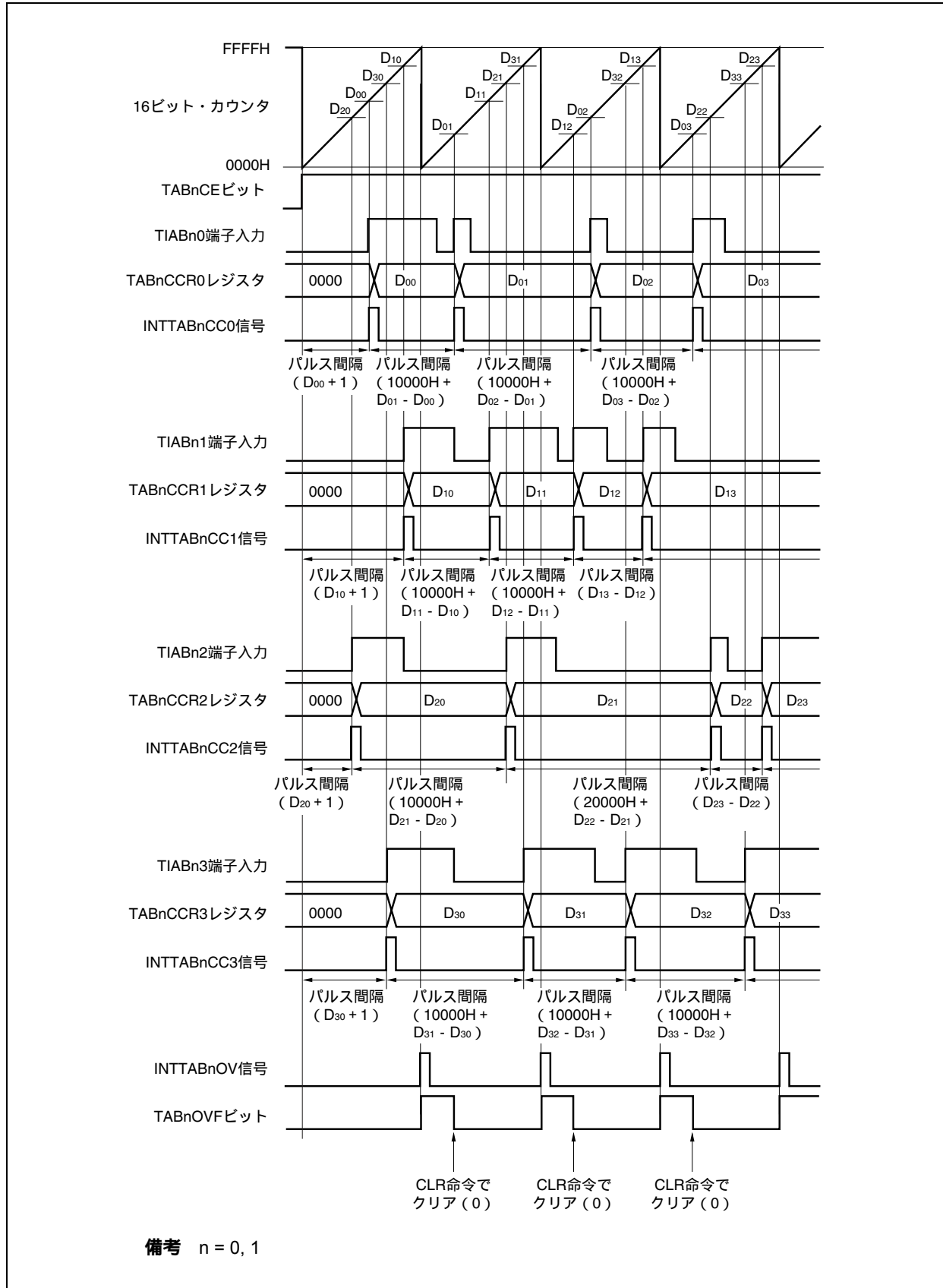
(演算結果がFFFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください。)

備考 $m = 0-3$,

$n = 0, 1$

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TABnCCRmレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTABnCCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



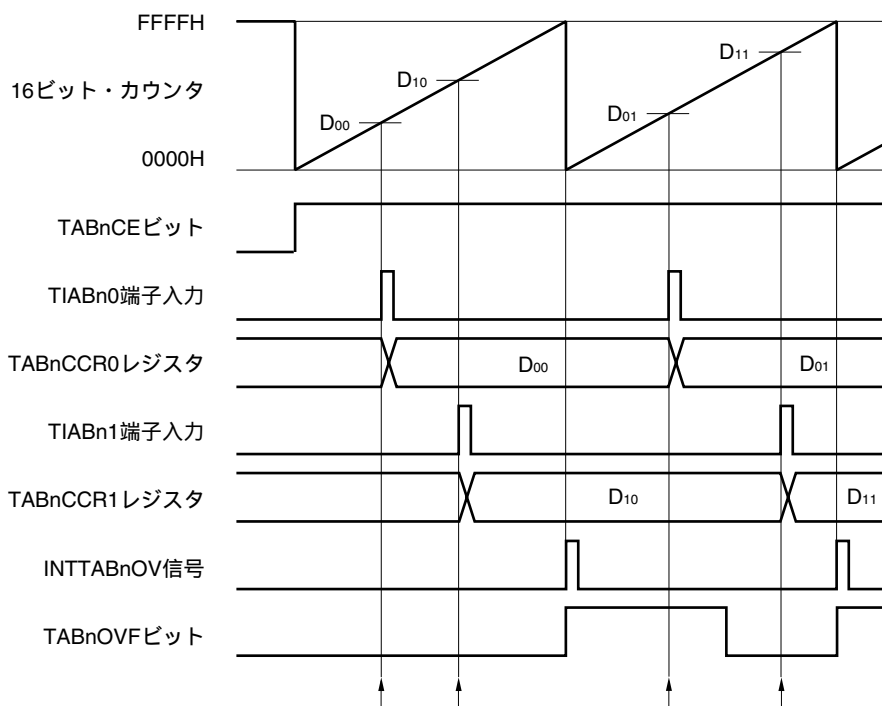
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、4つのパルス幅測定ができます。
パルス幅測定を行う場合、INTTABnCCm信号に同期してTABnCCRmレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 m = 0-3 ,
n = 0, 1

(c) 2つ以上のキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つ以上のキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つ以上のキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TABnCCR0レジスタをリードする (TIABn0端子入力の初期値設定)。

TABnCCR1レジスタをリードする (TIABn1端子入力の初期値設定)。

TABnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TABnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。でクリア(0)されているため、0がリードされます。

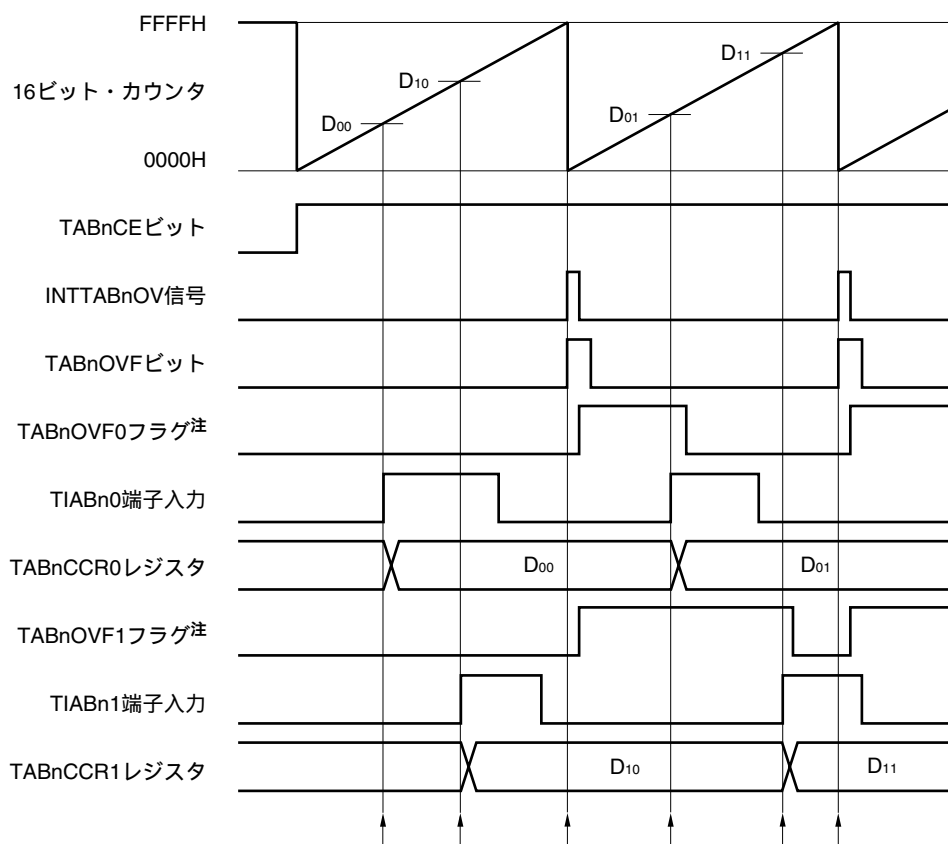
オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

備考 n = 0, 1

このように、2つ以上のキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、他のキャプチャは正しいパルス幅が求められない可能性があります。

2つ以上のキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TABnOVF0, TABnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TABnCCR0レジスタをリードする (TIABn0端子入力の初期値設定)。

TABnCCR1レジスタをリードする (TIABn1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TABnOVF0, TABnOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TABnCCR0レジスタをリードする。

TABnOVF0フラグをリードする。TABnOVF0フラグが“1”だった場合、クリア (0) する。

TABnOVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

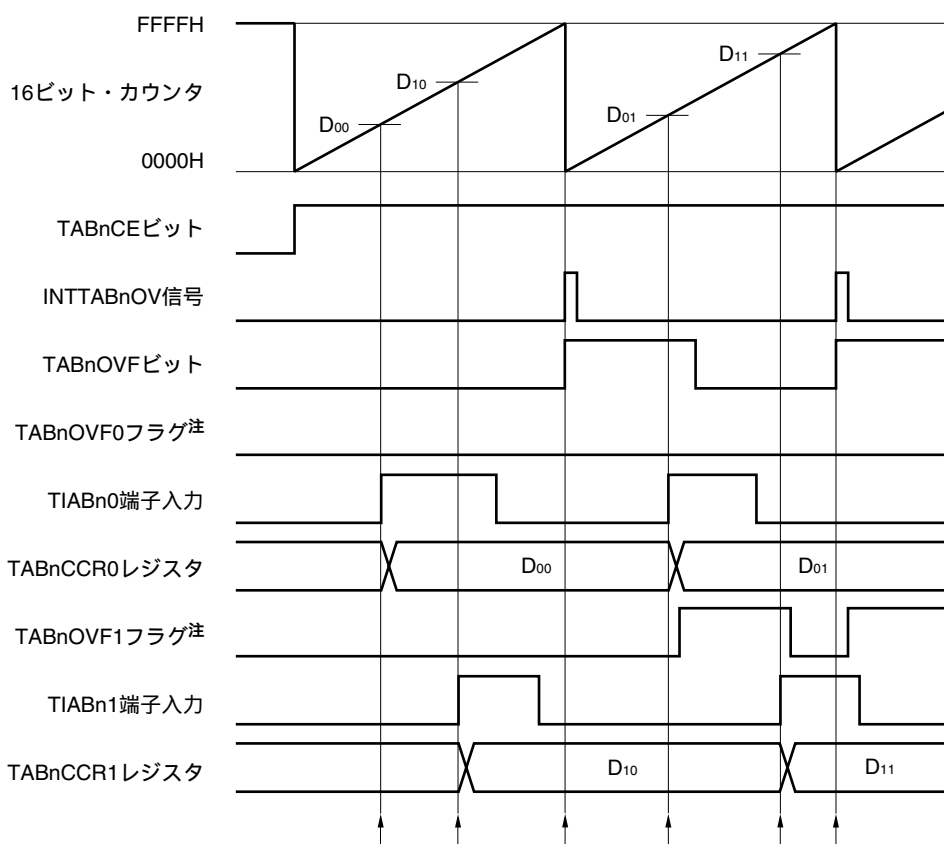
TABnCCR1レジスタをリードする。

TABnOVF1フラグをリードする。TABnOVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTABnOVF0フラグであり、TABnOVF1フラグは“1”のまま)。

TABnOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TABnOVF0, TABnOVF1フラグは,ソフトウェアにより,内蔵RAM上に任意に設定したものです。

TABnCCR0レジスタをリードする (TIABn0端子入力の初期値設定)。

TABnCCR1レジスタをリードする (TIABn1端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TABnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合, TABnOVF1フラグのみをセット (1) し, オーバーフロー・フラグをクリア (0) する。

オーバーフロー・フラグが“1”なので, パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TABnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア (0) されているので“0”がリードされる。

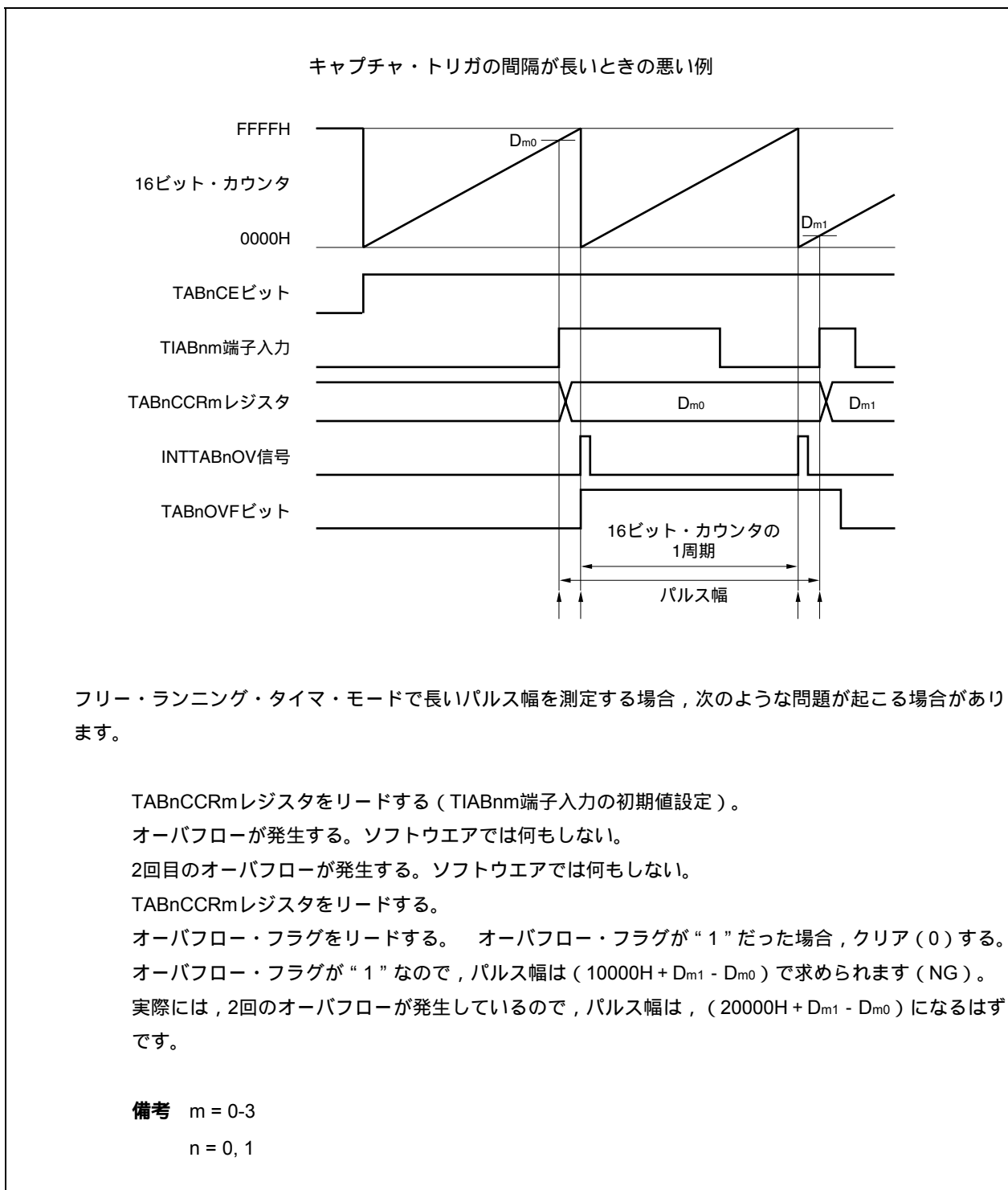
TABnOVF1フラグをリードする。TABnOVF1フラグが“1”だった場合, クリア (0) する。

TABnOVF1フラグが“1”なので, パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

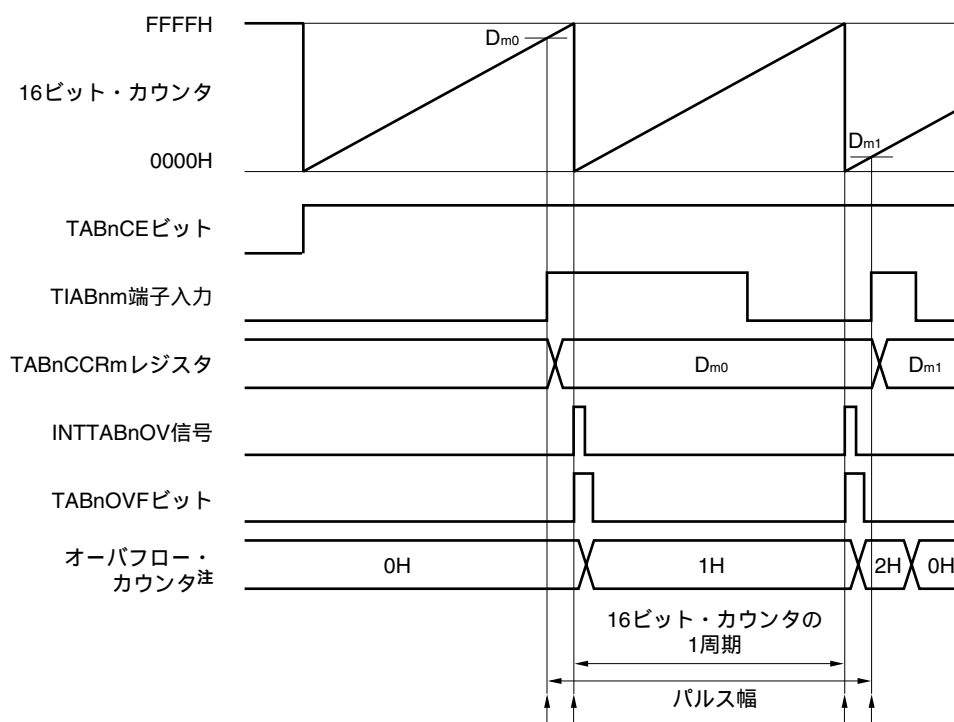
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TABnCCRmレジスタをリードする (TIABnm端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TABnCCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが "N" のとき、パルス幅は $(N \times 10000H + D_{m1} - D_{m0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{m1} - D_{m0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

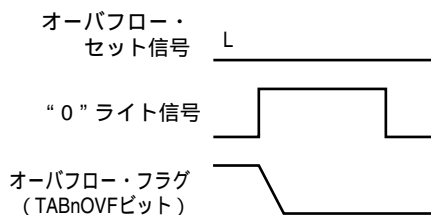
備考 m = 0-3

n = 0, 1

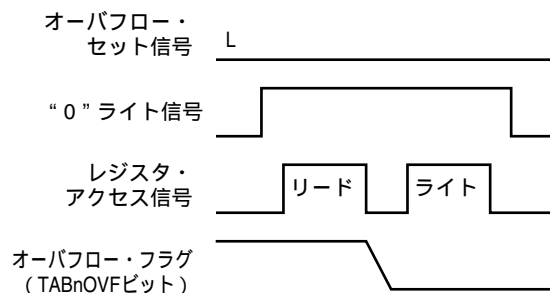
(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TABnOVFビットをCLR命令でクリア (0) する方法と、TABnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TABnOVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。

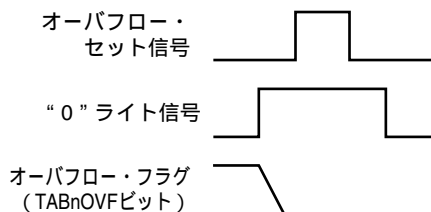
(i) “0” ライト時の動作 (セットとの競合なし)



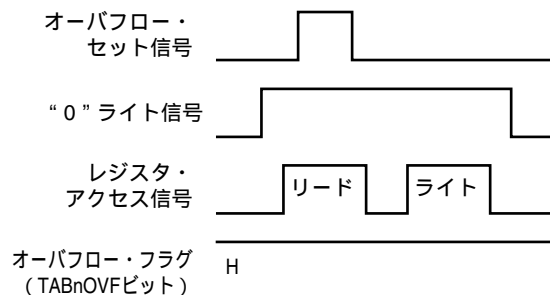
(iii) “0” クリア時の動作 (セットとの競合なし)



(ii) “0” ライト時の動作 (セットとの競合)



(iv) “0” クリア時の動作 (セットとの競合)



備考 n = 0, 1

オーバフロー・フラグをクリア (0) する場合には、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります (上図の (ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生タイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

8.5.7 パルス幅測定モード (TABnMD2-TABnMD0ビット = 110)

パルス幅測定モードは、TABnCTL0.TABnCEビットをセット(1)することでカウント動作を開始し、TIABnm端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTABnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTTABnCCm) が発生したあと、TABnCCRmレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIABn0-TIABn3端子のいずれか1本を使用してください。使用しない端子は、TABnIOC1レジスタで“エッジ検出なし”に設定してください。

また、TAB0にてカウント・クロックとして外部クロックを使用するときは、外部クロックはTIAB00端子固定ですので、TIAB0k端子のパルス幅を測定してください。このとき、TAB0IOC1.TAB0IS1, TAB0IS0ビット = 00 (キャプチャ・トリガ入力 (TIAB00端子) : エッジ検出なし) に設定してください。

TAB1の場合、外部クロックはEVTAB1端子より入力しパルス幅はTIAB10-TIAB13端子で計測できます。

備考 m = 0-3,

n = 0, 1,

k = 1-3

図8 - 34 パルス幅測定モードの構成図

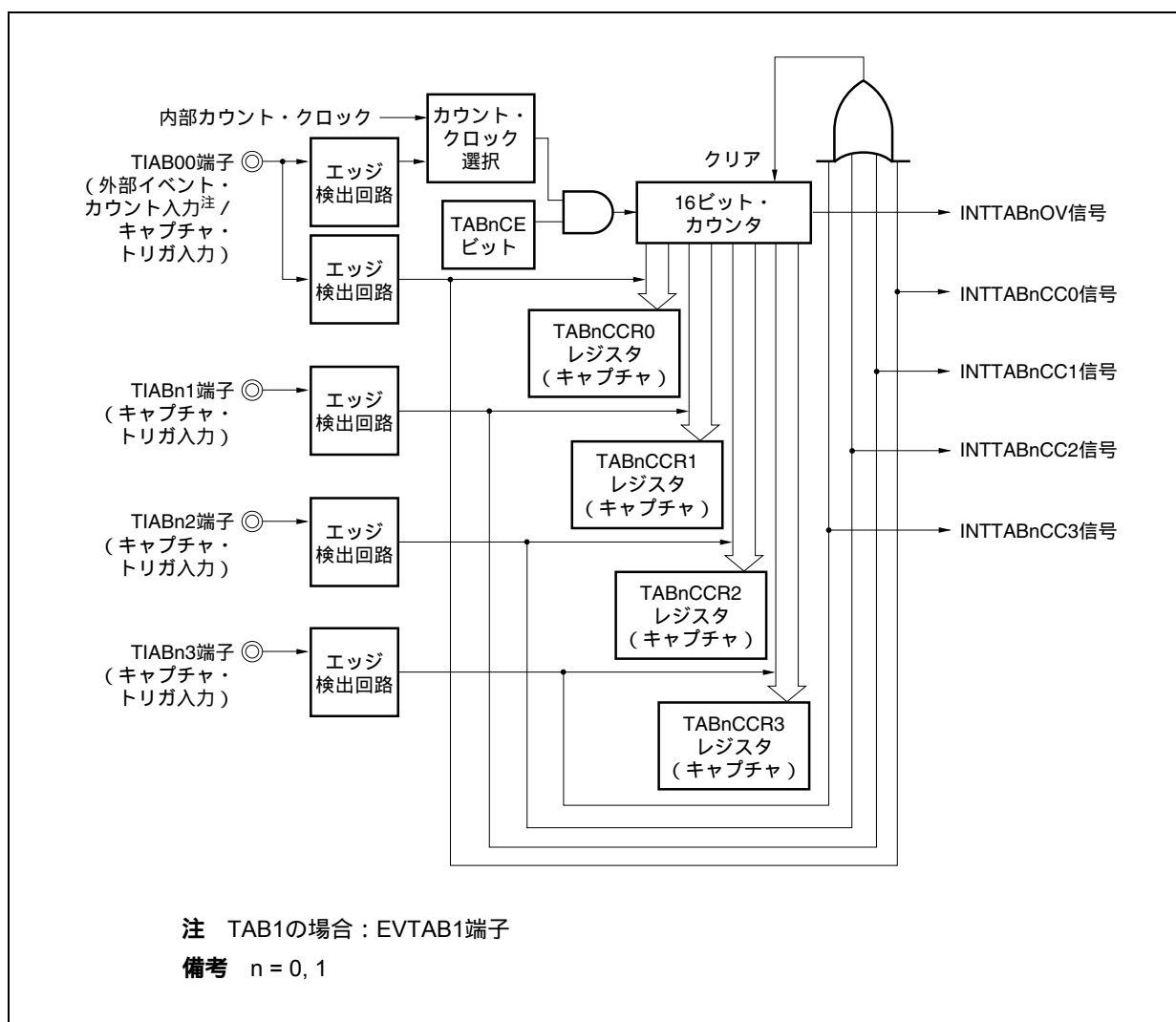
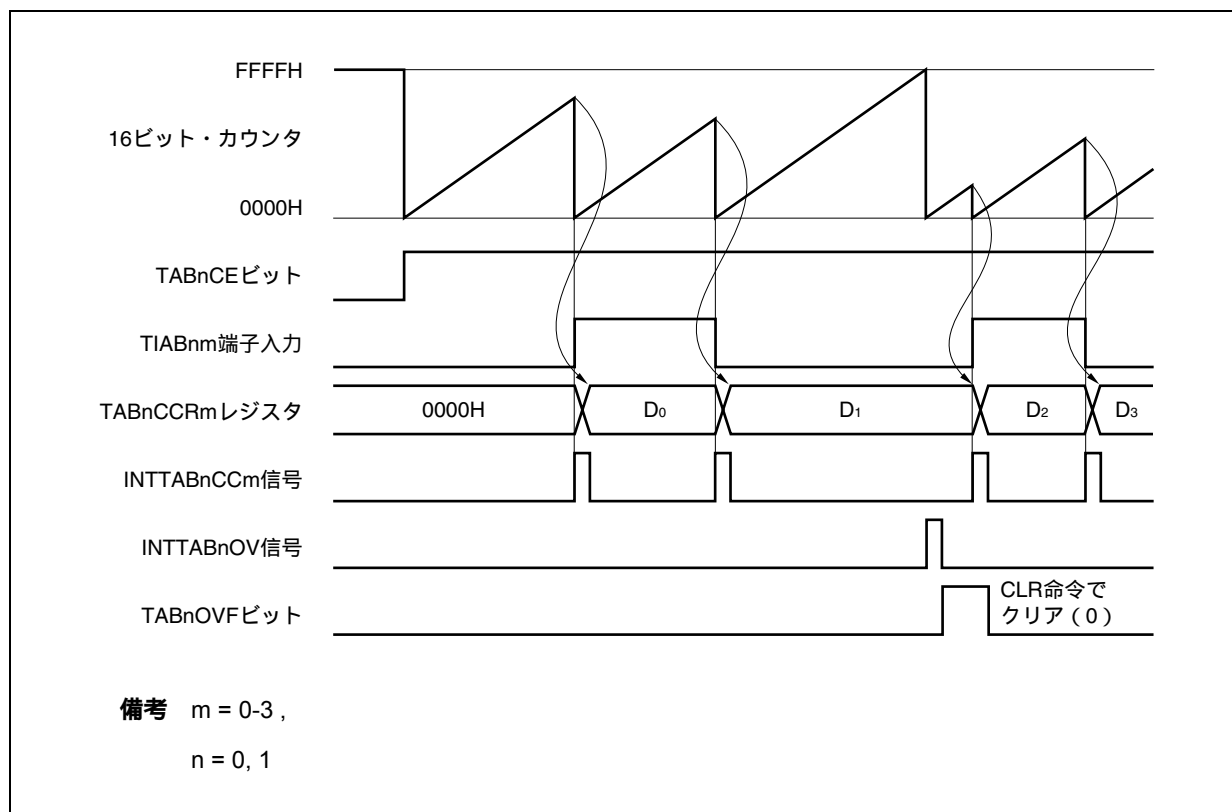


図8 - 35 パルス幅測定モードの基本タイミング



TABnCEビットをセット(1)することで、カウント動作を開始します。その後、TIABnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTABnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTABnCCm)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTABnOV)を発生するとともに、0000Hにクリアしカウント動作を続けます。また、このときオーバフロー・フラグ(TABnOPT0.TABnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)した場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TABnOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 m = 0-3,
n = 0, 1

図8 - 36 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

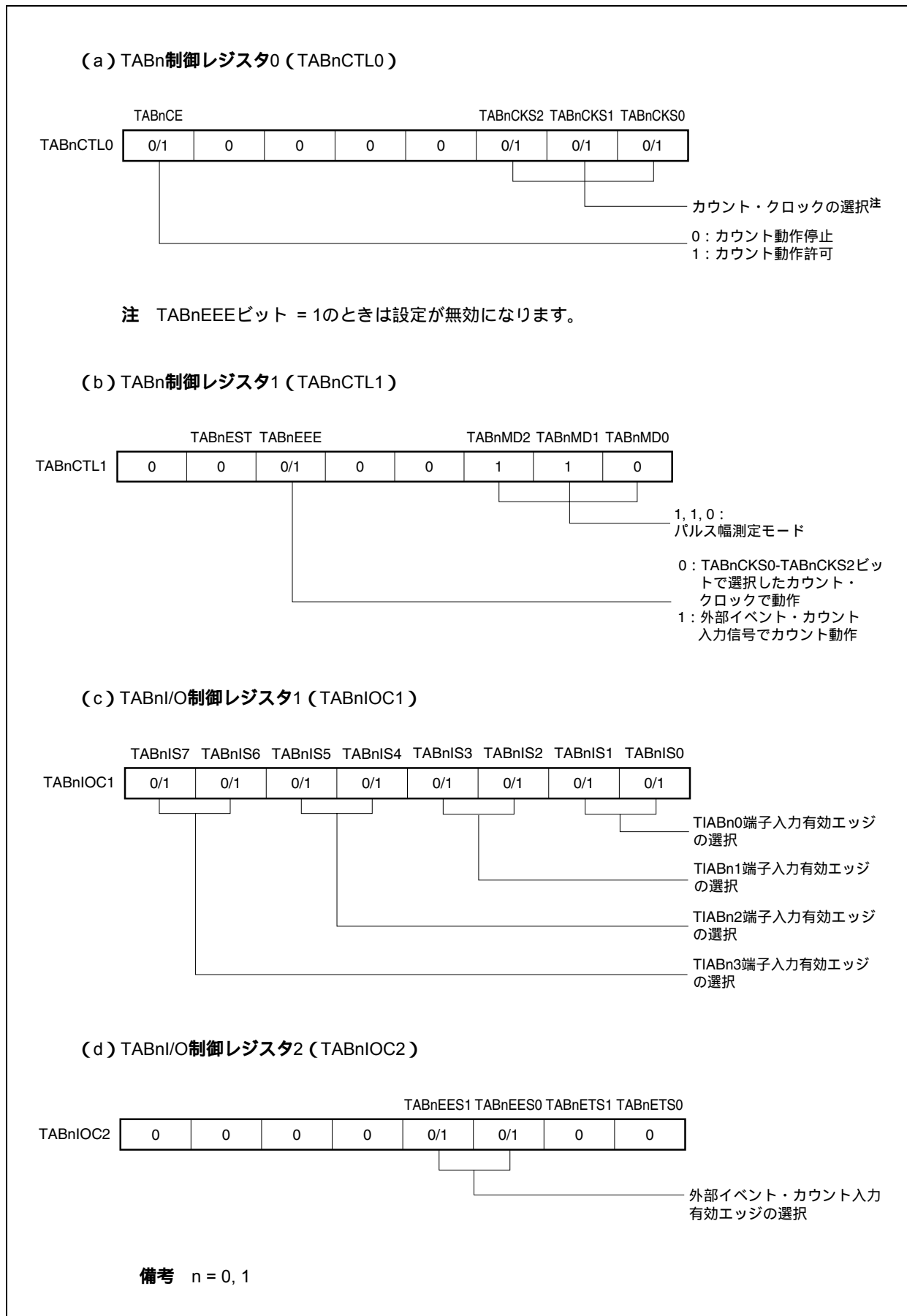
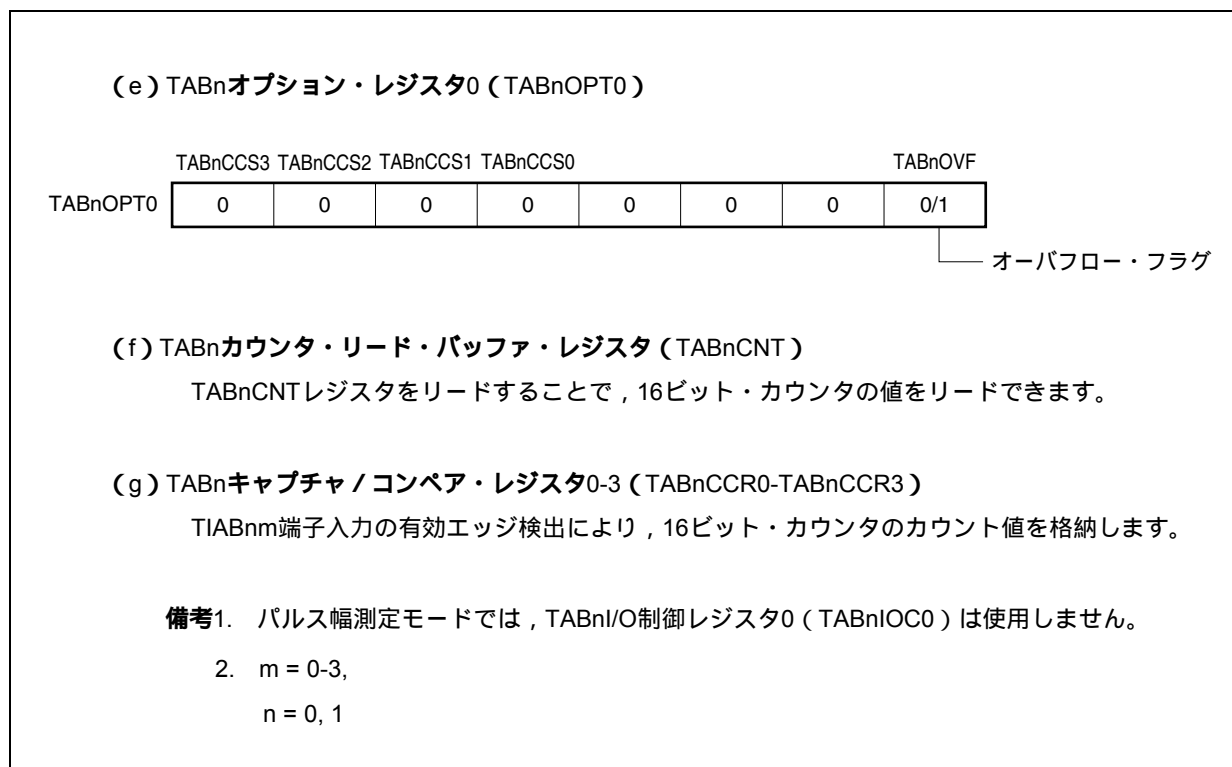
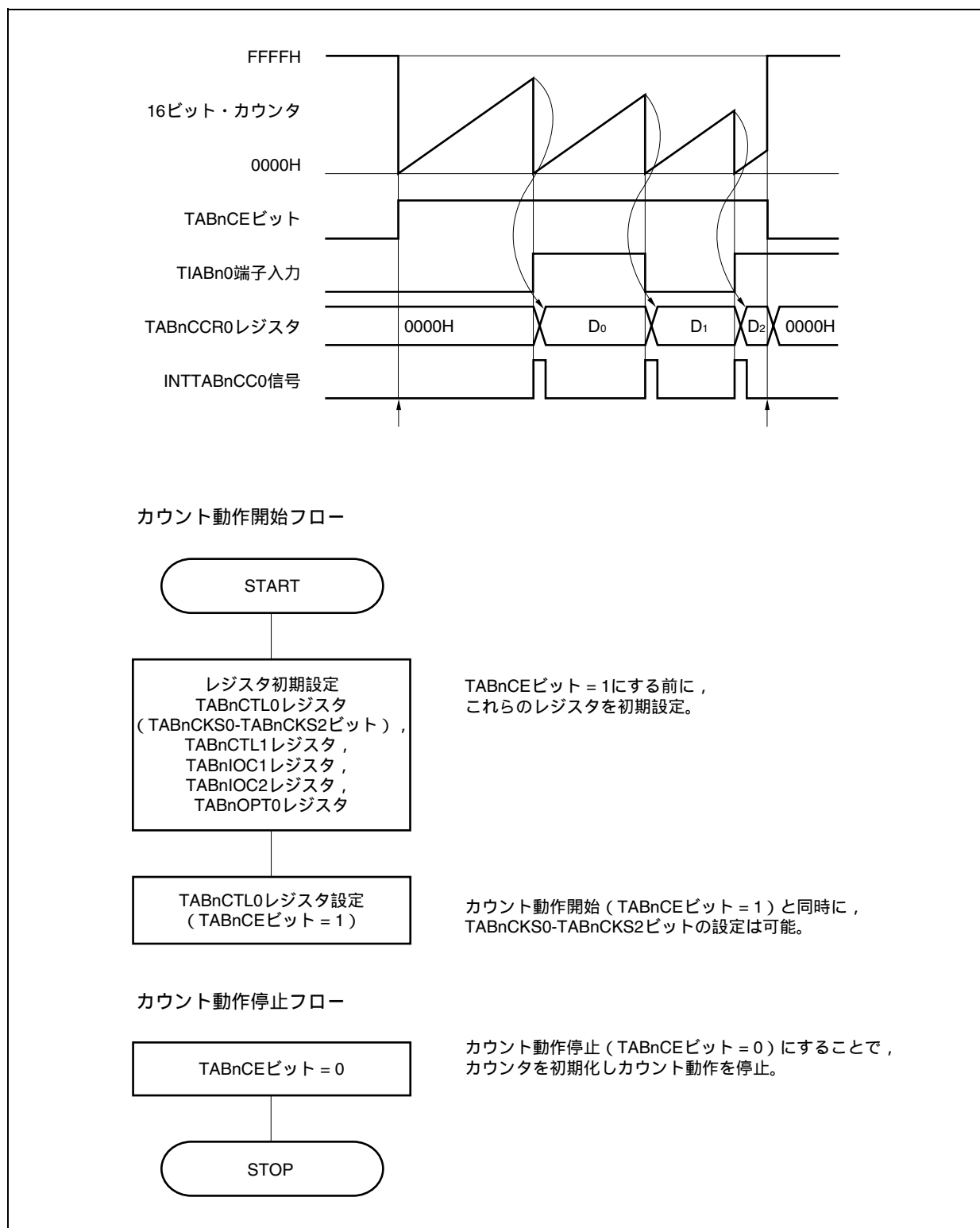


図8 - 36 パルス幅測定モード動作時のレジスタ設定内容 (2/2)



(1) パルス幅測定モード動作フロー

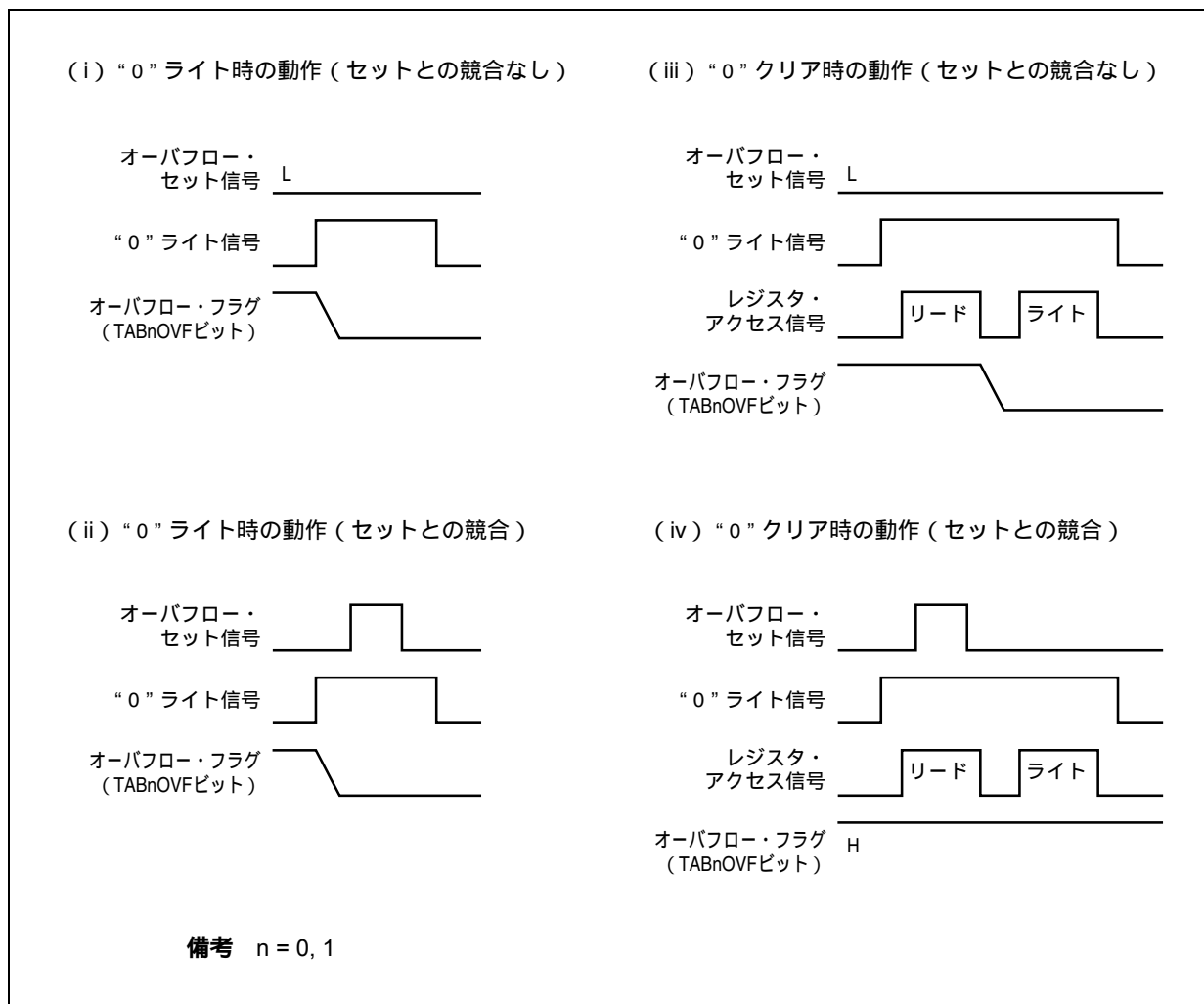
図8 - 37 パルス幅測定モード使用時のソフトウェア処理フロー



(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TABnOVFビットをCLR命令でクリア (0) する方法と、TABnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TABnOVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。



オーバフロー・フラグをクリア (0) する場合には、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります (上図の (ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生タイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

8.5.8 三角波PWMモード (TABnMD2-TABnMD0ビット = 111)

三角波PWMモードではデューティ用の設定レジスタはTABnキャプチャ/コンペア・レジスタk (TABnCCRk) とし周期用の設定レジスタはTABnキャプチャ/コンペア・レジスタ0 (TABnCCR0) となります。

この4つのレジスタを設定し、タイマを動作させることでデューティおよび周期可変型の三角波PWMを出力します。

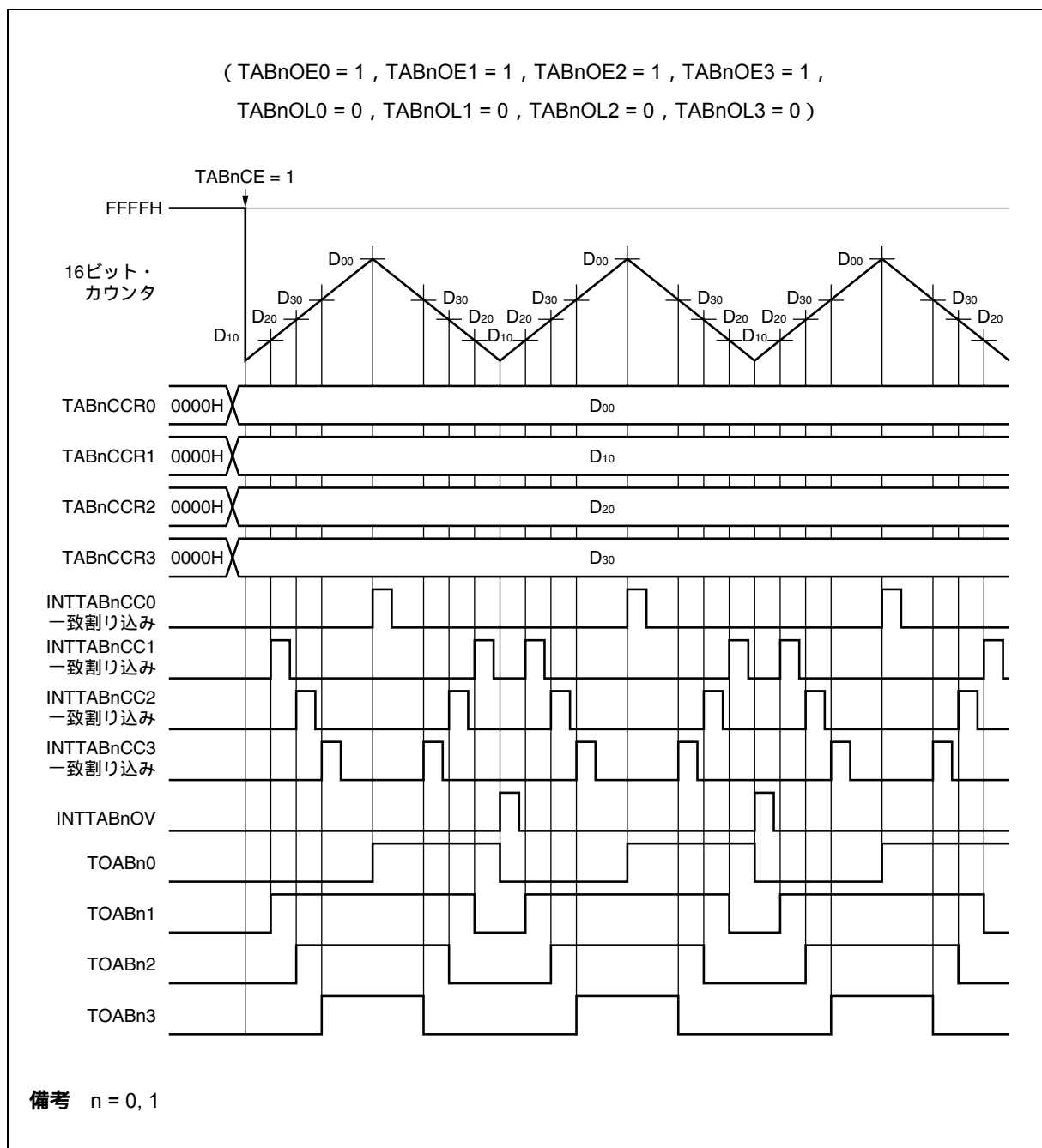
TABnCCRmレジスタはTABnCE = 1時の書き換えを許可しています。

タイマABを停止するにはTABnCE = 0にしてください。PWMの波形出力はTOABnk端子から出力します。TOABn0端子は16ビット・カウンタとTABnCCR0レジスタとの一致とアンドフローのタイミングでトグル出力します。

注意 PWMモード時、TABnCCRmレジスタはコンペア・レジスタとして機能が固定されるためキャプチャ・レジスタとしての機能は使用できません。

備考 n = 0, 1, m = 0-3, k = 1-3

図8 - 38 三角波PWMモードの基本動作タイミング



8.5.9 タイマ出力動作説明

次にTOABn0-TOABn3端子の動作，および出力レベルを示します。

表8 - 6 各モードによるタイマ出力制御

動作モード	TOABn0端子	TOABn1端子	TOABn2端子	TOABn3端子
インターバル・タイマ・モード	方形波出力			
外部イベント・カウント・モード	方形波出力	-		
外部トリガ・パルス出力モード	方形波出力	外部トリガ・パルス出力	外部トリガ・パルス出力	外部トリガ・パルス出力
ワンショット・パルス出力モード		ワンショット・パルス出力	ワンショット・パルス出力	ワンショット・パルス出力
PWM出力モード		PWM出力	PWM出力	PWM出力
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)			
パルス幅測定モード	-			
三角波PWM出力モード	方形波出力	三角波PWM出力	三角波PWM出力	三角波PWM出力

表8 - 7 タイマ出力制御ビットによるTOABn0-TOABn3端子の真理値表

TABnIOC0.TABnOLmビット	TABnIOC0.TABnOEmビット	TABnCTL0.TABnCEビット	TOABnm端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル， カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル， カウント開始後はロウ・レベル

備考 m = 0-3,

n = 0, 1

8.6 タイマ同調動作機能/同時スタート機能

タイマAAおよびタイマABには、タイマ同調動作機能/同時スタート機能があります。
同期させることのできるタイマを表8-8に示します。

表8-8 タイマの同調動作モード

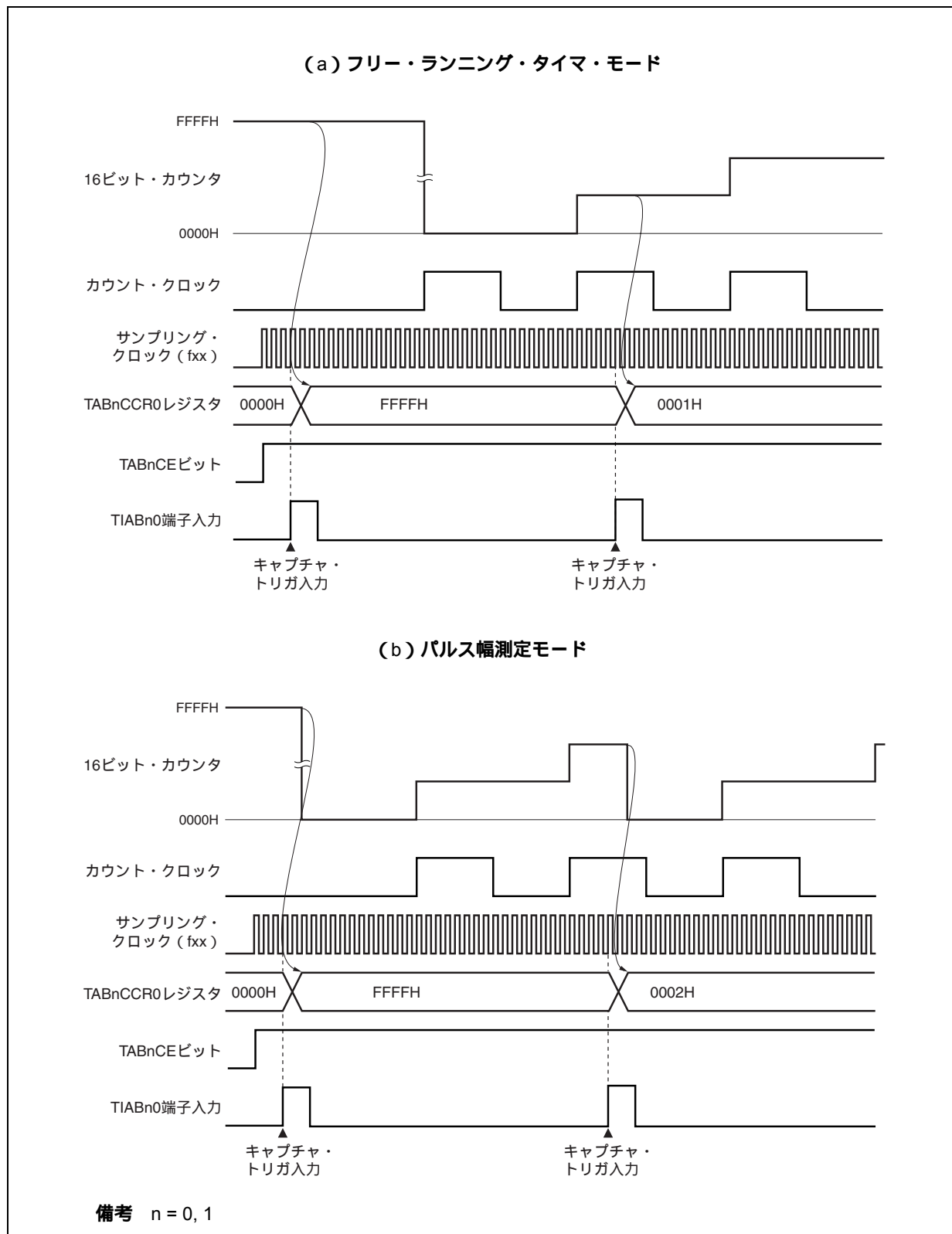
マスタ・タイマ	スレーブ・タイマ
TAA1	TAA0
TAA3	TAA2
TAB0	TAA5

タイマ同調動作機能についての詳細は7.6 **タイマ同調動作機能**を、同時スタート機能についての詳細は7.7 **同時スタート機能**を参照してください。

8.7 注意事項

(1) キャプチャ動作

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TABnCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TABnCCR0, TABnCCR1, TABnCCR2, TABnCCR3レジスタに0000HではなくFFFFHがキャプチャされる場合があります。



第9章 16ビット・タイマ/イベント・カウンタT (TMT)

タイマT (TMT) は、16ビットのタイマ/イベント・カウンタです。

タイマAA (TAA) にエンコーダ・カウント機能などを追加しています。ただし、インターバル・タイマ・モード時の外部イベント・カウント入力による動作はありません。

V850ES/JG3-U, V850ES/JH3-Uは、TMTを1チャンネル内蔵しています。

9.1 概要

TMT0の概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子 (TIT00, TIT01)	: 2本
・外部イベント・カウント入力端子 (EVTT0)	: 1本
・エンコーダ入力端子 (TENC00, TENC01)	: 2本
・エンコーダ・クリア入力端子 (TECR0)	: 1本
・外部トリガ入力端子 ^注	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 2本
・キャプチャ/コンペア一致割り込み要求信号	: 2本
・タイマ出力端子	: 2本

注 外部トリガ入力端子は外部イベント・カウント入力端子 (EVTT0) または、エンコーダ入力端子 (TENC00) と兼用されています。

9.2 機能

TMT0の機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定
- ・三角波PWM出力
- ・エンコーダ・カウント

9.3 構成

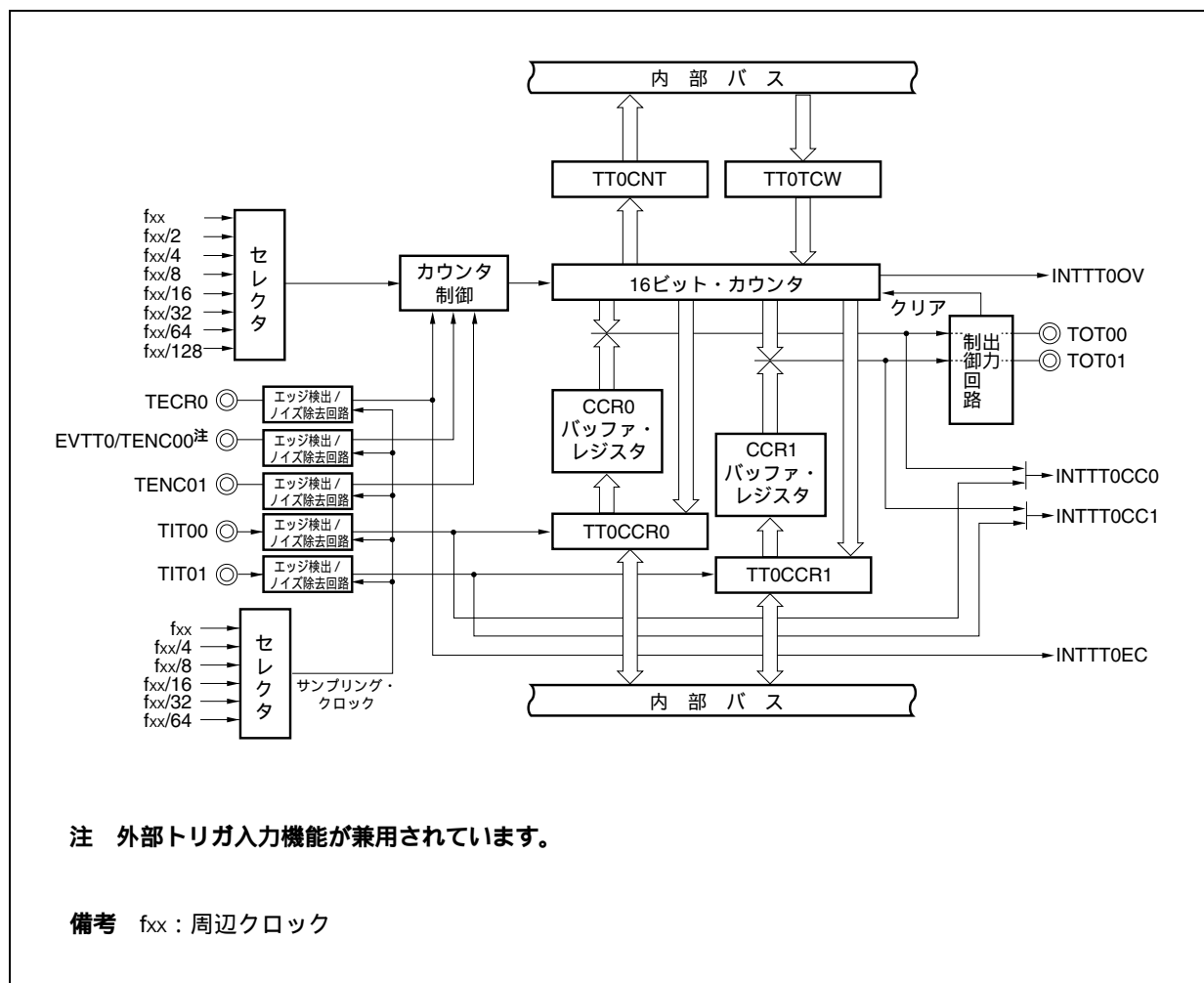
TMT0は、次のハードウェアで構成されています。

表9-1 TMT0の構成

項目	構成
レジスタ	16ビット・カウンタ×各1本 TMT0キャプチャ/コンペア・レジスタ0, 1 (TT0CCR0, TT0CCR1) TMT0カウンタ・リード・バッファ・レジスタ (TT0CNT) TMT0カウンタ・ライト・レジスタ (TT0TCW) CCR0, CCR1バッファ・レジスタ TMT0制御レジスタ0, 1 (TT0CTL0, TT0CTL1) TMT0制御レジスタ2 (TT0CTL2) TMT0I/O制御レジスタ0-3 (TT0IOC0-TT0IOC3) TMT0オプション・レジスタ0 (TT0OPT0) TMT0オプション・レジスタ1 (TT0OPT1) TMTノイズ除去制御レジスタ (TTNFC)
タイマ入力	<ul style="list-style-type: none"> ・ TIT00, TIT01 (キャプチャ・トリガ入力端子) ・ EVTT0/TENC00 (外部イベント入力/エンコーダ0入力端子)^注 ・ TENC01 (エンコーダ1入力端子) ・ TECR0 (エンコーダ・クリア入力端子)
タイマ出力	TOT00, TOT01

注 外部トリガ入力機能が兼用されています。

図9-1 TMT0のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TT0CNTレジスタでリードできます。

TT0CTL0.TT0CEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTT0CNTレジスタをリードすると0000Hがリードされます。

リセット時にはTT0CEビット = 0になります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TT0CCR0レジスタをコンペア・レジスタとして使用するとき、TT0CCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTCC00) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTT0CCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TT0CCR1レジスタをコンペア・レジスタとして使用するとき、TT0CCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTCC01) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTT0CCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

TIT00, TIT01, EVTT0/TENC00, TENC01, TECR0端子に入力される有効エッジを検出します。有効エッジは、TT0IOC1, TT0IOC2, TT0IOC3レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOT00, TOT01端子の出力をTT0IOC0レジスタで制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

(7) カウンタ制御

TT0CTL1レジスタで選択したタイマ・モードにより、カウント動作を制御します。

9.3.1 端子の構成

TMT0を構成する、タイマ入力およびタイマ出力は次のポートに兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4 - 20 ポート端子を兼用端子として使用する場合参照）

表9 - 2 端子構成

ポート	タイマ入力端子		タイマ出力	その他の兼用機能
P92	TIT01 (キャプチャ・トリガ入力1)	TENC01 (エンコーダ入力)	TOT01	A2 ^{注1}
P93	TIT00 (キャプチャ・トリガ入力0)	TECR0 (エンコーダ・クリア入力)	TOT00	A3 ^{注1}
P94	EVTT0/TENC00 ^{注2}			

注1. V850ES/JH3-Uのみ

- 外部イベント・カウント入力 (EVTT0) とエンコーダ入力 (TENC00) と外部トリガ入力が、ポート機能で制御できない状態で兼用されています。各機能を使用したい場合はポートの設定後、TT0IOC2, TT0IOC3レジスタにて設定してください。

9.4 レジスタ

(1) TMT0制御レジスタ0 (TT0CTL0)

TT0CTL0レジスタは、TMT0の動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TT0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：FFFFFF600H

	⑦	6	5	4	3	2	1	0
TT0CTL0	TT0CE	0	0	0	0	TT0CKS2	TT0CKS1	TT0CKS0

TT0CE	TMT0の動作の制御
0	TMT0動作禁止 (TMT0を非同期にリセット ^注)
1	TMT0動作許可。TMT0動作開始

TT0CKS2	TT0CKS1	TT0CKS0	内部カウント・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/8
1	0	0	fxx/16
1	0	1	fxx/32
1	1	0	fxx/64
1	1	1	fxx/128

注 TT0OPT0.TT0OVFビット、16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOT00, TOT01)、もTT0IOC0レジスタの設定状態に16ビット・カウンタと同時にリセットされます。

注意1. TT0CKS2-TT0CKS0ビットは、TT0CEビット = 0のときに設定してください。

TT0CEビットを“0”から“1”に設定するときも、同時にTT0CKS2-TT0CKS0ビットを設定できます。

2. ビット3-6には必ず0を設定してください。

備考 fxx：周辺クロック

(2) TMT0制御レジスタ1 (TT0CTL1)

TT0CTL1レジスタは、TMT0の動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：FFFFFF601H								
	7	6	5	4	3	2	1	0
TT0CTL1	0	TT0EST	TT0EEE	0	TT0MD3	TT0MD2	TT0MD1	TT0MD0
	TT0EST	ソフトウェア・トリガ制御						
	0	-						
	1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 ：TT0ESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時 ：TT0ESTビットへの“1”ライトをトリガとして、PWM波形を出力						
	TT0ESTビットのリード値は常に0です。							
	TT0EEE	カウント・クロックの選択						
	0	外部イベント・カウント入力 (EVTT0端子) での動作禁止 (TT0CTL0.TT0CKS0-TT0CKS2ビットによって選択されたカウント・クロックでカウント動作を行う)						
	1	外部イベント・カウント入力 (EVTT0端子) での動作許可 (外部イベント・カウント入力信号 (EVTT0端子) の有効エッジごとにカウント動作を行う)						
	TT0EEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。							
	TT0MD3	TT0MD2	TT0MD1	TT0MD0	タイマ・モードの選択			
	0	0	0	0	インターバル・タイマ・モード			
	0	0	0	1	外部イベント・カウント・モード			
	0	0	1	0	外部トリガ・パルス出力モード			
	0	0	1	1	ワンショット・パルス出力モード			
	0	1	0	0	PWM出力モード			
	0	1	0	1	フリー・ランニング・タイマ・モード			
	0	1	1	0	パルス幅測定モード			
	0	1	1	1	三角波PWM出力モード			
	1	0	0	0	エンコーダ・コンペア・モード			
	上記以外				設定禁止			

- 注意1. TT0ESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
2. TT0EEEビットは、インターバル・タイマ・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モード、フリー・ランニング・タイマ・モード、パルス幅測定モード、三角波PWM出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
3. 外部イベント・カウント・モード、エンコーダ・コンペア・モードのときは、TT0EEEビットの値にかかわらず外部イベント・カウント入力 (EVTT0)、エンコーダ入力 (TENC00, TENC01) が選択されます。
4. TT0EEE, TT0MD3-TT0MD0ビットは、TT0CTL0.TT0CEビット = 0のときに設定してください (TT0CEビット = 1のときの同値書き込みは可能)。TT0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TT0CEビットをクリア (0) してから再設定してください。
5. ビット4, 7には必ず0を設定してください。

(3) TMT0制御レジスタ2 (TT0CTL2)

TT0CTL2レジスタは、エンコーダ・カウンタ機能の動作を制御する8ビットのレジスタです。

TT0CTL2レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 TT0CTL2レジスタの各ビットの詳細については、9.6.9(5)TT0CTL2レジスタのビット制御を参照してください。

(1/2)

リセット時：00H		R/W	アドレス：FFFFF602H							
			7	6	5	4	3	2	1	0
TT0CTL2	TT0ECC	0	0	0	TT0LDE	TT0ECM1	TT0ECM0	TT0UDS1	TT0UDS0	
	TT0ECC	エンコーダ・カウンタ制御								
	0	通常動作								
	1	TT0CTL0.TT0CEビット = 0時、16ビット・カウンタのカウンタ値を保持								
	TT0LDE	16ビット・カウンタへの転送設定								
	0	アンダフロー発生時、16ビット・カウンタへTT0CCR0設定値の転送禁止								
	1	アンダフロー発生時、16ビット・カウンタへTT0CCR0設定値の転送許可								
	TT0ECM1	エンコーダ・クリア動作1の制御								
	0	16ビット・カウンタのカウンタ値とCCR1レジスタの値の一致ではカウンタを0000Hにクリアしない								
	1	16ビット・カウンタのカウンタ値とCCR1レジスタの値の一致で次のカウンタがダウン・カウントの場合、カウンタを0000Hにクリアする								
	TT0ECM0	エンコーダ・クリア動作0の制御								
	0	16ビット・カウンタのカウンタ値とCCR0レジスタの値の一致ではカウンタを0000Hにクリアしない								
	1	16ビット・カウンタのカウンタ値とCCR0レジスタの値の一致で次のカウンタがアップ・カウントの場合、カウンタを0000Hにクリアする								

TT0UDS1	TT0UDS0	アップ/ダウン・カウントの選択
0	0	TENC00入力の有効エッジ検出時, TENC01 = ハイ・レベルのとき, ダウン・カウント TENC01 = ロウ・レベルのとき, アップ・カウント
0	1	TENC00入力の有効エッジ検出でアップ・カウント TENC01入力の有効エッジ検出でダウン・カウント
1	0	TENC00入力の立ち上がりエッジ検出でダウン・カウント TENC00入力の立ち下がりエッジ検出でアップ・カウント ただし, TENC01 = ロウ・レベルのときのみカウント動作
1	1	TENC00, TENC01入力の立ち上がり/立ち下がり両エッジを検出。エッジ検出とレベル検出の組み合わせでカウント動作を自動判別。

- 注意1.** TT0ECCビットは、エンコーダ・コンペア・モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- TT0ECCビット = 1のときTT0CTL0.TT0CEビット = 0にすると、タイマ・カウンタ、キャプチャ・レジスタ (TT0CCR0, TT0CCR1)、TT0OPT1, TT0EUF, TT0EOF, TT0ESFフラグの値は保持されます。
- TT0ECCビット = 1のときTT0CEビットを0 1にすると、TT0TCWレジスタの値を16ビット・カウンタに転送しません。
- TT0LDEビットは、TT0ECM1, TT0ECM0ビット = 00, 01時のみ有効です。TT0ECM1, TT0ECM0ビット = 10, 11のときに“1”をライトしても無視されます。
 - TT0UDS1, TT0UDS0ビット = 10, 11のとき、TT0IOC3.TT0EIS1, TT0EIS0ビットで設定したTENC00, TENC01入力のエッジ検出は無効となり、立ち上がり/立ち下がり両エッジ固定となります。
 - TT0LDE, TT0ECM1, TT0ECM0, TT0UDS1, TT0UDS0ビットは、TT0CTL0.TT0CEビット = 0のときに設定してください (TT0CEビット = 1のときの同値書き込みは可能)。TT0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TT0CEビットをクリア (0) してから再設定してください。
 - ビット5, 6は必ず0を設定してください。

(4) TMT0I/O制御レジスタ0 (TT0IOC0)

TT0IOC0レジスタは、タイマ出力 (TOT00, TOT01端子) を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF603H

	7	6	5	4	3	②	1	①
TT0IOC0	0	0	0	0	TT0OL1	TT0OE1	TT0OL0	TT0OE0

TT0OL1	TOT01端子出力レベルの設定 ^注
0	TOT01端子ハイ・レベル・スタート
1	TOT01端子ロウ・レベル・スタート

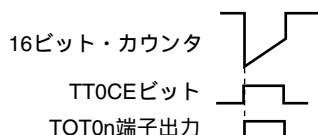
TT0OE1	TOT01端子出力の設定
0	タイマ出力禁止 ・ TT0OL1ビット = 0のときTOT01端子からロウ・レベルを出力 ・ TT0OL1ビット = 1のときTOT01端子からハイ・レベルを出力
1	タイマ出力許可 (TOT01端子からパルスを出力)

TT0OL0	TOT00端子出力レベルの設定 ^注
0	TOT00端子ハイ・レベル・スタート
1	TOT00端子ロウ・レベル・スタート

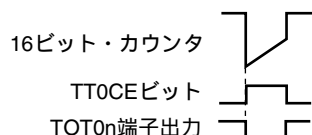
TT0OE0	TOT00端子出力の設定
0	タイマ出力禁止 ・ TT0OL0ビット = 0のときTOT00端子からロウ・レベルを出力 ・ TT0OL0ビット = 1のときTOT00端子からハイ・レベルを出力
1	タイマ出力許可 (TOT00端子からパルスを出力)

注 TT0OLnビットの指定によるタイマ出力端子 (TOT00, TOT01) の出力レベルを次に示します (n = 0, 1)。

・ TT0OLnビット = 0の場合



・ TT0OLnビット = 1の場合



注意1. ポート設定がTOT00, TOT01出力設定の場合, TT0IOC0レジスタの設定を書き換えると端子出力が変化するので, ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして, 端子状態の変化に注意してください。

2. TT0OL1, TT0OE1, TT0OL0, TT0OE0ビットは, TT0CTL0.TT0CEビット = 0のときに書き換えてください (TT0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TT0CEビットをクリア (0) してから再設定してください。

3. TT0CEビット = 0, TT0OE0ビット = 0, TT0OE1ビット = 0の状態において, TT0OL0ビット, TT0OL1ビットを操作した場合でも, TOT00, TOT01端子の出力レベルは変化します。

(5) TMT0I/O制御レジスタ1 (TT0IOC1)

TT0IOC1レジスタは、キャプチャ・トリガ入力信号 (TIT00, TIT01端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H	R/W	アドレス: FFFFF604H							
		7	6	5	4	3	2	1	0
TT0IOC1		0	0	0	0	TT0IS3	TT0IS2	TT0IS1	TT0IS0

TT0IS3	TT0IS2	キャプチャ・トリガ入力信号 (TIT01端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TT0IS1	TT0IS0	キャプチャ・トリガ入力信号 (TIT00端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注意1. TT0IS3-TT0IS0ビットは、TT0CTL0.TT0CEビット = 0のときに書き換えてください (TT0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TT0CEビットをクリア (0) してから再設定してください。

2. TT0IS3, TT0IS2ビットは、フリー・ランニング・タイマ・モード (TT0OPT0.TT0CCS1ビット = 1時のみ) と、パルス幅測定モード時のみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

TT0IS1, TT0IS0ビットは、フリー・ランニング・タイマ・モード (TT0OPT0.TT0CCS0ビット = 1時のみ) と、パルス幅測定モード時のみ有効です。それ以外のモードではキャプチャ動作は行なわれません。

(6) TMT0I/O制御レジスタ2 (TT0IOC2)

TT0IOC2レジスタは、外部イベント・カウント入力信号 (EVTT0端子)、外部トリガ入力信号に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF605H

	7	6	5	4	3	2	1	0
TT0IOC2	0	0	0	0	TT0EES1	TT0EES0	TT0ETS1	TT0ETS0

TT0EES1	TT0EES0	外部イベント・カウント入力信号 (EVTT0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TT0ETS1	TT0ETS0	外部トリガ入力信号 (EVTT0端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TT0EES1, TT0EES0, TT0ETS1, TT0ETS0ビットは、
TT0CTL0.TT0CEビット = 0のときに書き換えてください (TT0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TT0CEビットをクリア (0) してから再設定してください。
2. TT0EES1, TT0EES0ビットは、TT0CTL1.TT0EEEビット = 1、または、外部イベント・カウント・モード (TT0CTL1.TT0MD3-TT0MD0ビット = 0001) に設定したときのみ有効です。
3. TT0ETS1, TT0ETS0ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。

(7) TMT0I/O制御レジスタ3 (TT0IOC3)

TT0IOC3レジスタは、エンコーダ・クリアを制御する8ビットのレジスタです。

TT0IOC3レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時: 00H R/W アドレス: FFFFFFF606H

	7	6	5	4	3	2	1	0
TT0IOC3	TT0SCE	TT0ZCL	TT0BCL	TT0ACL	TT0ECS1	TT0ECS0	TT0EIS1	TT0EIS0

TT0SCE	エンコーダ・クリア選択
0	エンコーダ・クリア信号 (TECR0端子) のエッジ検出クリア
1	TENC00, TENC01, TECR0端子のクリア・レベル条件検出クリア
<ul style="list-style-type: none"> ・ TT0SCEビット = 0のとき, TT0ECS1, TT0ECS0ビットで指定したTECR0端子の有効エッジ検出により, 16ビット・カウンタを0000Hにクリアします。 ・ TT0SCEビット = 1のとき, TT0ZCL, TT0BCL, TT0ACLビットのクリア・レベル条件とTECR0, TENC01, TENC00端子の入力レベルが一致すると16ビット・カウンタを0000Hにクリアします。 ・ TT0SCEビット = 1のとき, TT0ZCL, TT0BCL, TT0ACLビットの設定が有効となり, TT0ECS1, TT0ECS0ビットの設定は無効となります。 エンコーダ・クリア割り込み要求信号 (INTTT0EC) は発生しません。 ・ TT0SCEビット = 0のとき, TT0ZCL, TT0BCL, TT0ACLビットの設定が無効となり, TT0ECS1, TT0ECS0ビットの設定は有効となります。 TT0ECS1, TT0ECS0ビットで設定した有効エッジ検出によりINTTT0EC信号が発生します。 ・ TT0SCEビット = 1の設定をするときには, 必ずTT0CTL2.TT0UDS1, TT0UDS0ビット = 10または11に設定してください。 TT0UDS1, TT0UDS0ビット = 00または01に設定し, TT0SCEビット = 1とした場合の動作は保証しません。 	

TT0ZCL	エンコーダ・クリア信号 (TECR0端子) のクリア・レベル選択
0	TECR0端子ロウ・レベル・クリア
1	TECR0端子ハイ・レベル・クリア
TT0ZCLビットの設定はTT0SCEビット = 1のときのみ有効になります。	

TT0BCL	エンコーダ入力信号 (TENC01端子) のクリア・レベル選択
0	TENC01端子ロウ・レベル・クリア
1	TENC01端子ハイ・レベル・クリア
TT0BCLビットの設定はTT0SCEビット = 1のときのみ有効になります。	

TT0ACL	エンコーダ入力信号 (TENC00端子) のクリア・レベル選択
0	TENC00端子ロウ・レベル・クリア
1	TENC00端子ハイ・レベル・クリア
TT0ACLビットの設定はTT0SCEビット = 1のときのみ有効になります。	

TT0ECS1	TT0ECS0	エンコーダ・クリア入力信号 (TECR0端子) の有効エッジの設定
0	0	エッジ検出なし (エンコーダ・クリア無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TT0EIS1	TT0EIS0	エンコーダ入力信号 (TENC00, TENC01端子) の有効エッジの設定
0	0	エッジ検出なし (エンコーダ入力無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TT0SCE, TT0ZCL, TT0BCL, TT0ACL, TT0ECS1, TT0ECS0, TT0EIS1, TT0EIS0ビットは, TT0CTL0.TT0CEビット = 0のときに書き換えてください (TT0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TT0CEビットをクリア (0) してから再設定してください。
- TT0ECS1, TT0ECS0ビットは, TT0SCEビット = 0, かつエンコーダ・コンペア・モード時のみ有効です。
 - TT0EIS1, TT0EIS0ビットは, TT0CTL2.TT0UDS1, TT0UDS0ビット = 00または01時のみ有効です。

(8) TMT0オプション・レジスタ0 (TT0OPT0)

TT0OPT0レジスタは、キャプチャ/コンペア動作の設定、オーバーフローの検出をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF607H

	7	6	5	4	3	2	1	①
TT0OPT0	0	0	TT0CCS1	TT0CCS0	0	0	0	TT0OVF

TT0CCS1	TT0CCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TT0CTL0.TT0CEビット = 0によりクリア)
TT0CCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TT0CCS0	TT0CCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TT0CTL0.TT0CEビット = 0によりクリア)
TT0CCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TT0OVF	TMT0のオーバーフロー検出フラグ
セット (1)	オーバーフロー発生
リセット (0)	TT0OVFビットへの0書き込みまたはTT0CTL0.TT0CEビット = 0
<ul style="list-style-type: none"> TT0OVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタの値がFFFFFFHから0000Hにオーバーフローするときセット (1) されます。 TT0OVFビットがセット (1) されると同時に、オーバーフロー割り込み要求信号 (INTTT0OV) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTT0OV信号は発生しません。 TT0OVFビット = 1のときにTT0OVFビットまたはTT0OPT0レジスタをリードしても、TT0OVFビットはクリア (0) されません。 INTTT0OV信号発生後、TT0OVFビットをクリア (0) する場合は、必ずTT0OVFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 TT0OVFビットはリード/ライト可能ですが、ソフトウェアでTT0OVFビットをセット (1) することはできません。1をライトしてもTMT0の動作に影響はありません。 	

注意1. TT0CCS1, TT0CCS0ビットは、TT0CEビット = 0のときに書き換えてください (TT0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TT0CEビットをクリア (0) してから再設定してください。

2. ビット1-3, 6, 7には必ず0を設定してください。

(9) TMT0オプション・レジスタ1 (TT0OPT1)

TT0OPT1レジスタは、エンコーダ・カウント機能のアンダフロー、オーバフロー、アップ/ダウン・カウント動作の状態を検出する8ビットのレジスタです。

TT0OPT1レジスタは、エンコーダ・コンペア・モード時のみ有効です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TT0OPT1レジスタは、TT0CTL0.TT0CEビット = 1のときでも書き換えできます。

(1/2)

リセット時 : 00H		R/W	アドレス : FFFFF608H							
			7	6	5	4	3	②	①	①
TT0OPT1			0	0	0	0	0	TT0EUF	TT0EOF	TT0ESF

TT0EUF	TMT0のアンダフロー検出フラグ
セット (1)	アンダフロー発生
リセット (0)	TT0EUFビットへの0書き込みまたはTT0CTL0.TT0CEビット = 0によりクリア
	<ul style="list-style-type: none"> ・ TT0EUFビットは、エンコーダ・コンペア・モード時に、16ビット・カウンタの値が0000HからFFFFHにアンダフローするときにセット (1) されます。 ・ TT0CTL2.TT0LDEビット = 1のときは、アンダフロー発生により16ビット・カウンタの値が0000HからTT0CCR0レジスタの設定値へ書き換わると、TT0EUFビットがセット (1) されます。 ・ TT0EUFビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTTIOV0) が発生します。 ・ TT0EUFビット = 1のときにTT0EUFビットまたはTT0OPT1レジスタをリードしても、TT0EUFビットはクリア (0) されません。 ・ TT0CTL2.TT0ECCビット = 1時にTT0CTL0.TT0CEビット = 0にしてもTT0EUFビットの状態は保持されます。 ・ INTTTIOV0信号発生後、TT0EUFビットをクリア (0) する場合は、必ずTT0EUFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 ・ TT0EUFビットはリード/ライト可能ですが、ソフトウェアでTT0EUFビットをセット (1) することはできません。1をライトしてもTMT0の動作に影響はありません。

TT0EOF	TMT0のエンコーダ機能用オーバーフロー検出フラグ
セット(1)	オーバーフロー発生
リセット(0)	TT0EOFビットへの0書き込みまたはTT0CTL0.TT0CEビット=0によりクリア)
	<ul style="list-style-type: none"> ・TT0EOFビットは、エンコーダ・コンペア・モード時に、16ビット・カウンタの値がFFFFHから0000Hにオーバーフローするときにセット(1)されます。 ・TT0EOFビットがセット(1)されると同時に、オーバーフロー割り込み要求信号(INTTTIOV0)が発生します。このとき、TT0OPT0.TT0OVFビットはセット(1)されません。 ・TT0EOFビット=1のときにTT0EOFビットまたはTT0OPT1レジスタをリードしても、TT0EOFビットはクリア(0)されません。 ・TT0CTL2.TT0ECCビット=1時にTT0CTL0.TT0CEビット=0にしてもTT0EOFビットの状態は保持されます。 ・INTTTIOV0信号発生後、TT0EOFビットをクリア(0)する場合は、必ずTT0EOFビットがセット(1)されているのを確認(リード)後クリア(0)してください。 ・TT0EOFビットはリード/ライト可能ですが、ソフトウェアでTT0EOFビットをセット(1)することはできません。1をライトしてもTMT0の動作に影響はありません。

TT0ESF	TMT0のアップ/ダウン・カウント動作状態検出フラグ
0	TMT0のアップ・カウント動作中
1	TMT0のダウン・カウント動作中
	<ul style="list-style-type: none"> ・TT0CTL2.TT0ECCビット=0時にTT0CTL0.TT0CEビット=0によりクリア(0)されます。 ・TT0ECCビット=1時にTT0CEビット=0にしてもTT0ESFビットの状態は保持されます。

注意 ビット3-7には必ず0を設定してください。

(10) TMT0キャプチャ/コンペア・レジスタ0 (TT0CCR0)

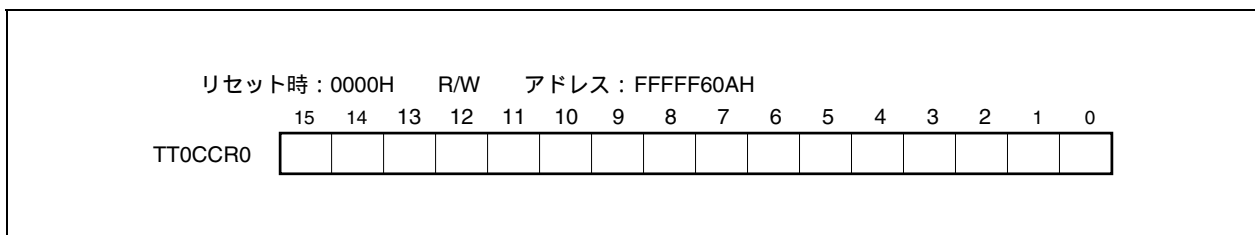
TT0CCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TT0CCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TT0OPT0.TT0CCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TT0CCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



(a) コンペア・レジスタとしての機能

TT0CCR0レジスタは、TT0CTL0.TT0CEビット = 1のときでも書き換えできます。

TT0CCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTT0CC0) を発生し、TOT00端子出力を許可している場合、TOT00端子出力を反転します。

インターバル・タイマ・モードの場合はTT0CCR0レジスタを、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モード、三角波PWM出力モード、エンコーダ・コンペア・モードの場合はTT0CCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TT0CTL0.TT0CEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モード (TT0CCR0レジスタをキャプチャ・レジスタとして使用する場合) の場合は、キャプチャ・トリガ入力 (TIT00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTT0CCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIT00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTT0CCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTT0CCR0レジスタのリードが競合しても、TT0CCR0レジスタは正しい値をリードできます。

TT0CTL0.TT0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表9-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	TT0CCR0レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^注
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^注
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし
三角波PWM出力	コンペア・レジスタ	一斉書き込み ^注
エンコーダ・コンペア	コンペア・レジスタ	随時書き込み

注 TT0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、9.6(2)随時書き込みと一斉書き込みを参照してください。

(11) TMT0キャプチャ/コンペア・レジスタ1 (TT0CCR1)

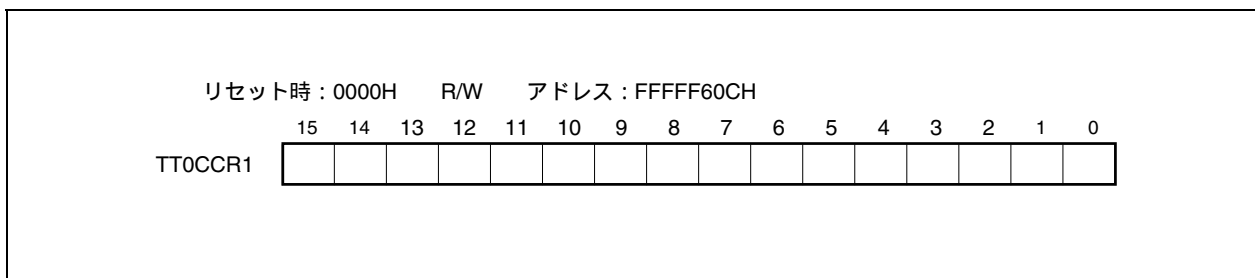
TT0CCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。

TT0CCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TT0OPT0.TT0CCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TT0CCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



(a) コンペア・レジスタとしての機能

TT0CCR1レジスタは、TT0CTL0.TT0CEビット = 1のときでも書き換えできます。

TT0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号(INTTT0CC01)を発生し、TOT01端子出力を許可している場合、TOT01端子出力を反転します。

TT0CTL0.TT0CEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モード (TT0CCR1レジスタをキャプチャ・レジスタとして使用する場合) の場合は、キャプチャ・トリガ入力 (TIT01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTT0CCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIT01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTT0CCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTT0CCR1レジスタのリードが競合しても、TT0CCR1レジスタは正しい値をリードできます。

TT0CTL0.TT0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表9-4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	TT0CCR1レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み ^注
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み ^注
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし
三角波PWM出力	コンペア・レジスタ	一斉書き込み ^注
エンコーダ・コンペア	コンペア・レジスタ	随時書き込み

注 TT0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、9.6(2) **随時書き込みと一斉書き込み**を参照してください。

(12) TMT0カウンタ・ライト・レジスタ (TT0TCW)

TT0TCWレジスタは、16ビット・カウンタの初期値を設定するレジスタです。

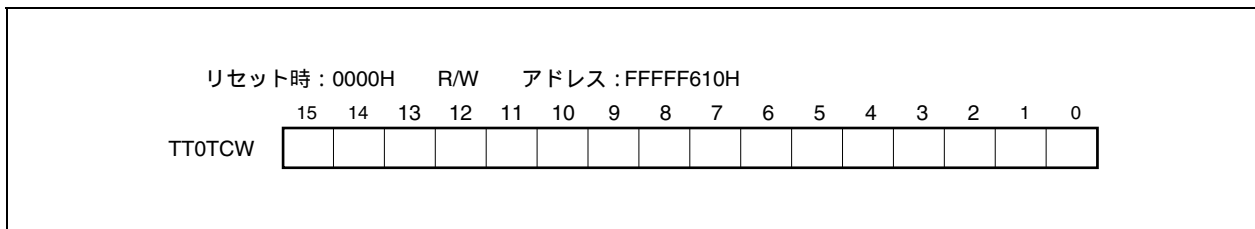
TT0TCWレジスタは、エンコーダ・コンペア・モード時のみ有効です。

16ビット単位でリード/ライト可能です。

TT0TCWレジスタは、TT0CTL0.TT0CEビット = 0のときに書き換えてください。

TT0CEビットをセット (1) するとTT0TCWレジスタの値を16ビット・カウンタに転送します。

リセットにより0000Hになります。



(13) TMT0カウンタ・リード・バッファ・レジスタ (TT0CNT)

TT0CNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TT0CTL0.TT0CEビット = 1のときにTT0CNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TT0CTL2.TT0ECCビット = 0かつTT0CEビット = 0のとき、TT0CNTレジスタは0000Hになります。このときにTT0CNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) ではなく、そのまま0000Hがリードされます。TT0ECCビット = 1かつTT0CEビット = 0のとき、TT0CNTレジスタは0000Hとならずに直前の値がリードされます。

リセットによりTT0ECCビット = 0かつTT0CEビット = 0になり、TT0CNTレジスタは0000Hになります。



(14) TMTノイズ除去制御レジスタ (TTNFC)

TIT00, TIT01, TENC01, TECR0, EVTT00端子はデジタル・ノイズ除去を選択することが可能で、TTNFCレジスタにてノイズ除去の設定を選択します。

デジタル・ノイズ除去を選択した場合、デジタル・サンプリングを行うサンプリング・クロックを、 f_{xx} , $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$ の中から選択できます。なおサンプリングの回数は3回です。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 サンプリング・クロック変更後、デジタル・ノイズ除去回路が初期化されるのに、サンプリング・クロック×3クロックの時間かかります。そのため、サンプリング・クロックを変更してからサンプリング・クロック×3クロックの間に、TIT00, TIT01, TENC01, TECR0, EVTT00端子の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって、TMTの外部トリガ機能、外部イベント機能、キャプチャ・トリガ機能、エンコーダ機能を使用する場合は、サンプリング・クロック×3クロック経過後、TMTの動作を許可してください。

リセット時：00H R/W アドレス：FFFFFF726H

	7	6	5	4	3	2	1	0
TTNFC	TTNFEN	0	0	0	0	TTNFC2	TTNFC1	TTNFC0

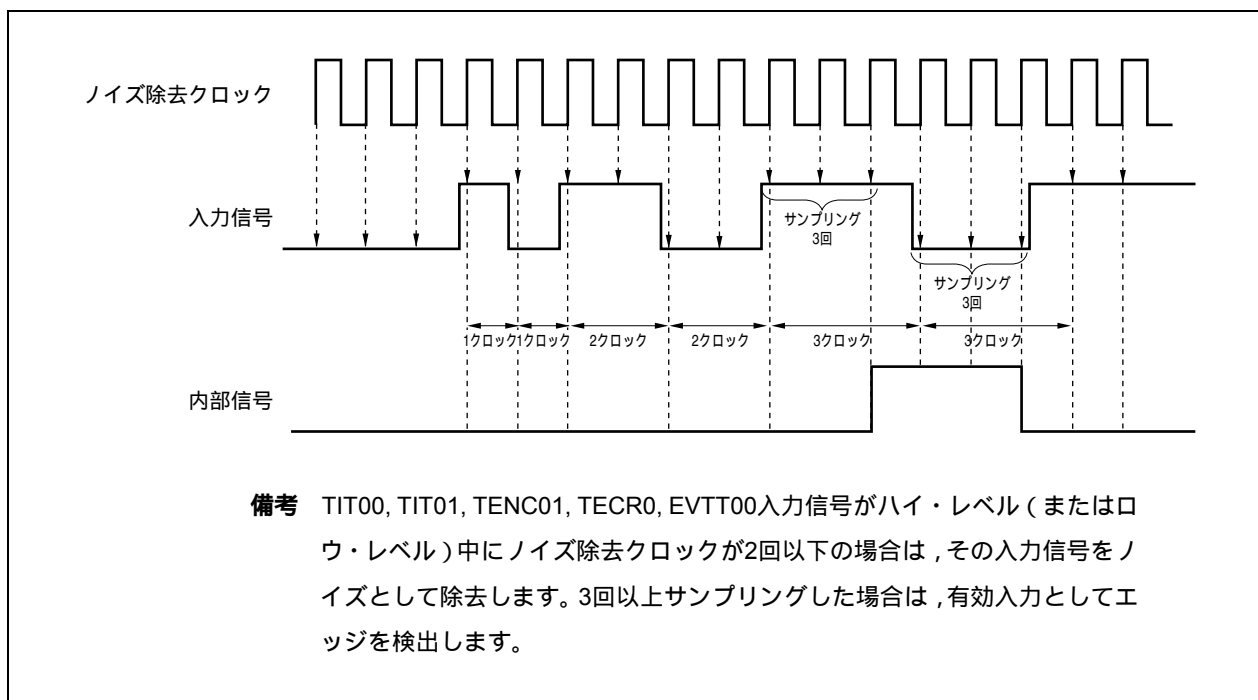
TTNFEN	デジタル・ノイズ除去の設定
0	デジタル・ノイズ除去を行わない
1	デジタル・ノイズ除去を行う

TTNFC2	TTNFC1	TTNFC0	デジタル・サンプリングを行うクロック
0	0	0	f_{xx}
0	0	1	$f_{xx}/4$
0	1	0	$f_{xx}/8$
0	1	1	$f_{xx}/16$
1	0	0	$f_{xx}/32$
1	0	1	$f_{xx}/64$
その他			設定禁止

- 備考1.** 3回サンプリングするため、確実に除去するノイズ幅はサンプリング・クロック×2となります。
- 2.** サンプリング・クロック×2より短いノイズがあっても、サンプリング・クロックに同期したノイズが入力された場合には、割り込み要求信号が発生します。

図9 - 2にタイマT入力端子のデジタル・フィルタによるノイズ除去のタイミング例を示します。

図9 - 2 デジタル・ノイズ除去タイミング例



9.5 タイマ出力動作説明

次にTOT00, TOT01端子の動作, および出力レベルを示します。

表9-5 各モードによるタイマ出力制御

動作モード	TOT01端子	TOT00端子
インターバル・タイマ・モード	方形波出力	
外部イベント・カウント・モード	なし	
外部トリガ・パルス出力モード	外部トリガ・パルス出力	方形波出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)	
パルス幅測定モード	なし	
三角波PWM出力モード	三角波PWM出力	
エンコーダ・コンペア・モード	なし	

表9-6 タイマ出力制御ビットによるTOT00, TOT01端子の真理値表

TT0IOC0.TT0OLnビット	TT0IOC0.TT0OEnビット	TT0CTL0.TT0CEビット	TOT0n端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 n = 0, 1

9.6 動作

TMT0は、チャンネルによって実現できる機能が異なります。次に各チャンネルの機能を示します。

表9-7 TMT0の各モードの仕様

動作	TT0CTL1.TT0ESTビット (ソフトウェア・トリガ・ビット)	EVTT0端子 (外部トリガ入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード	無効	無効	キャプチャ専用	対象外
三角波PWM出力モード	無効	無効	コンペア専用	一斉書き込み
エンコーダ・コンペア・モード	無効	無効	コンペア専用	随時書き込み

(1) カウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

(a) カウント開始動作**・エンコーダ・コンペア・モード**

TENC00, TENC01の位相によりカウント動作を制御します。

TT0TCWレジスタ設定値を16ビット・カウンタに転送することでカウンタの初期設定を行い、カウント動作を開始します (TT0TCWレジスタ設定値は、TT0CTL2.TT0ECCビット = 0時にTT0CTL0.TT0CEビット = 0 1となるタイミングで16ビット・カウンタに転送されます)。

・三角波PWM出力モード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

アップ・カウント後、16ビット・カウンタ値とCCR0バッファ・レジスタの値の一致でダウン・カウントします。

・上記以外のモード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

(b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリア、16ビット・カウンタの値のキャプチャ&クリア、エンコーダ・クリア信号のエッジ検出クリア、TENC00, TENC01, TECR0端子のクリア・レベル条件検出クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって、INTTT0CC0, INTTT0CC1割り込み信号は発生しません。

(c) オーバフロー動作

16ビット・カウンタのオーバフローは、フリー・ランニング・モード、パルス幅測定モード、エンコーダ・コンペア・モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。

フリー・ランニング・モード、パルス幅測定モード時は、オーバフローが発生すると、TT0OPT0.TT0OVFビットがセット(1)され、割り込み要求信号(INTTT0OV)が発生します。

エンコーダ・コンペア・モード時は、オーバフローが発生すると、TT0OPT1.TT0EOFビットがセット(1)され、割り込み要求信号(INTTT0OV)が発生します。

なお、次の条件ではINTTT0OV信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値がFFFFHで一致&クリアされた場合
- ・パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

注意 オーバフロー割り込み要求信号(INTTT0OV)発生後は、必ずオーバフロー・フラグ(TT0OVF,TT0EOFビット)が“1”にセットされているのを確認してください。

(d) カウントの保持動作

エンコーダ・コンペア・モード時に、TT0CTL2.TT0ECCビットにより16ビット・カウンタの値の保持制御を行います。TT0ECCビット = 0かつTT0CTL0.TT0CEビット = 0の場合は、16ビット・カウンタの値はFFFFHにリセットされ、次のTT0CEビット = 1でTT0TCWレジスタ設定値を16ビット・カウンタに転送し、カウント動作を行います。

TT0ECCビット = 1かつTT0CEビット = 0の場合は、16ビット・カウンタの値は保持され、次にTT0CEビット = 1にすると保持していた値からカウント動作を再開します。

(e) カウント動作中のカウンタ・リード動作

TMT0では、TT0CNTレジスタにより、カウント動作中の16ビット・カウンタの値をリードできます。

TT0CTL0.TT0CEビット = 1のときは、TT0CNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TT0CTL2.TT0ECCビット = 0かつTT0CEビット = 0のときにTT0CNTレジスタをリードすると0000Hです。TT0ECCビット = 1かつTT0CEビット = 0のときにTT0CNTレジスタをリードすると保持していた値となります。

(f) アンダフロー動作

16ビット・カウンタのアンダフローは、エンコーダ・コンペア・モード時に、0000HからFFFFHになるタイミングで発生します。アンダフローが発生すると、TT0OPT1.TT0EUFビットがセット(1)され、割り込み要求信号(INTTT0OV)が発生します。

(g) 割り込み動作

TMT0では、次の4種類の割り込み要求信号を発生します。

- ・ INTTT0CC0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号, およびTT0CCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTT0CC1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号, およびTT0CCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTT0OV割り込み : オーバフロー割り込み要求信号として機能します。
- ・ INTTT0EC割り込み : エンコーダ・クリア入力 (TECR0端子) の有効エッジ検出割り込み要求信号として機能します。

(2) 随時書き込みと一斉書き込み

TMT0では、タイマ動作中 (TT0CTL0.TT0CEビット = 1) でもTT0CCR0, TT0CCR1レジスタの書き換えを許可していますが、モードによってCCR0, CCR1バッファ・レジスタへの書き込み方法(随時書き込み、一斉書き込み)が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTT0CCR0, TT0CCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を随時行います。

図9-3 随時書き込みの基本動作フロー・チャート

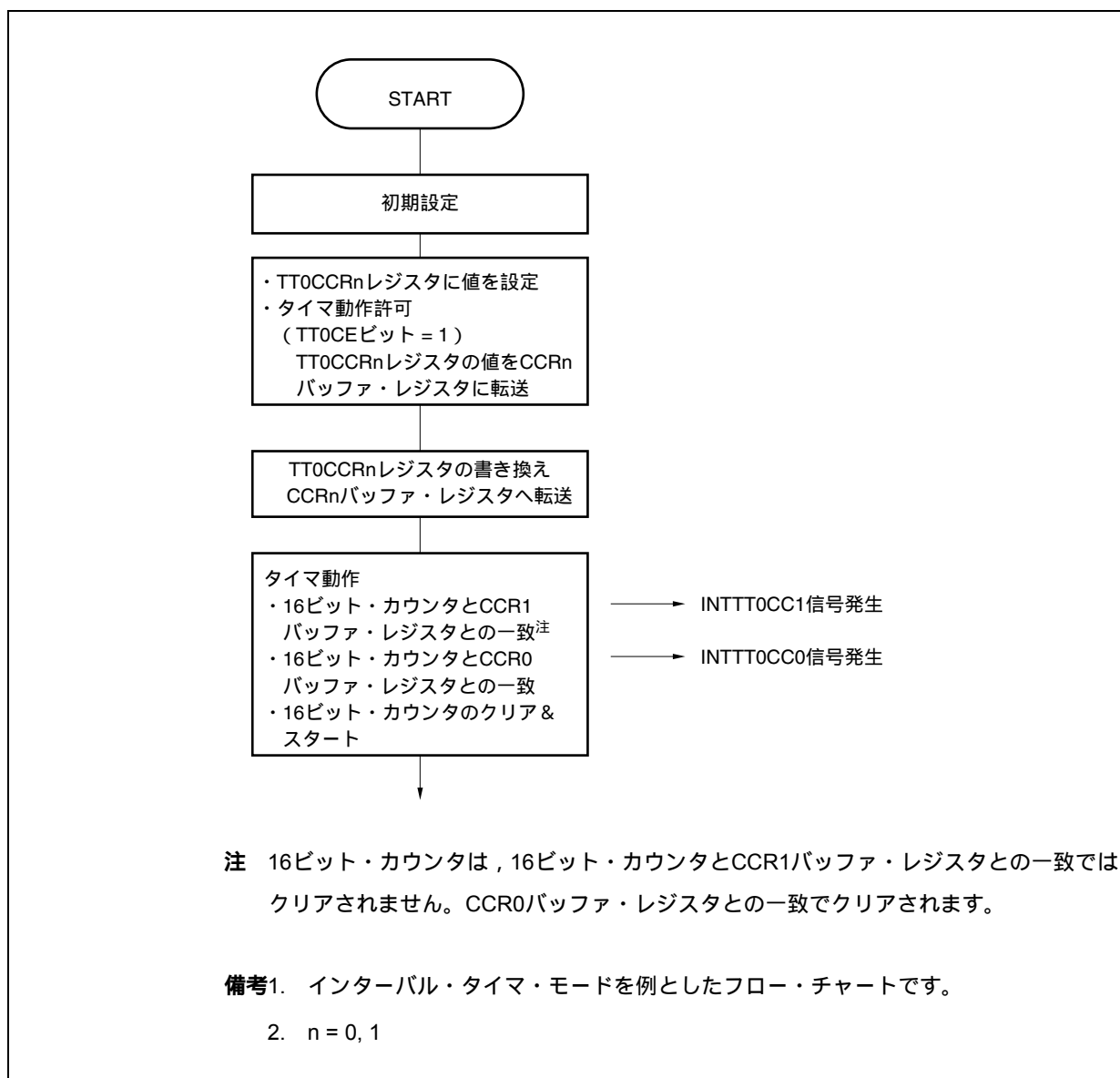
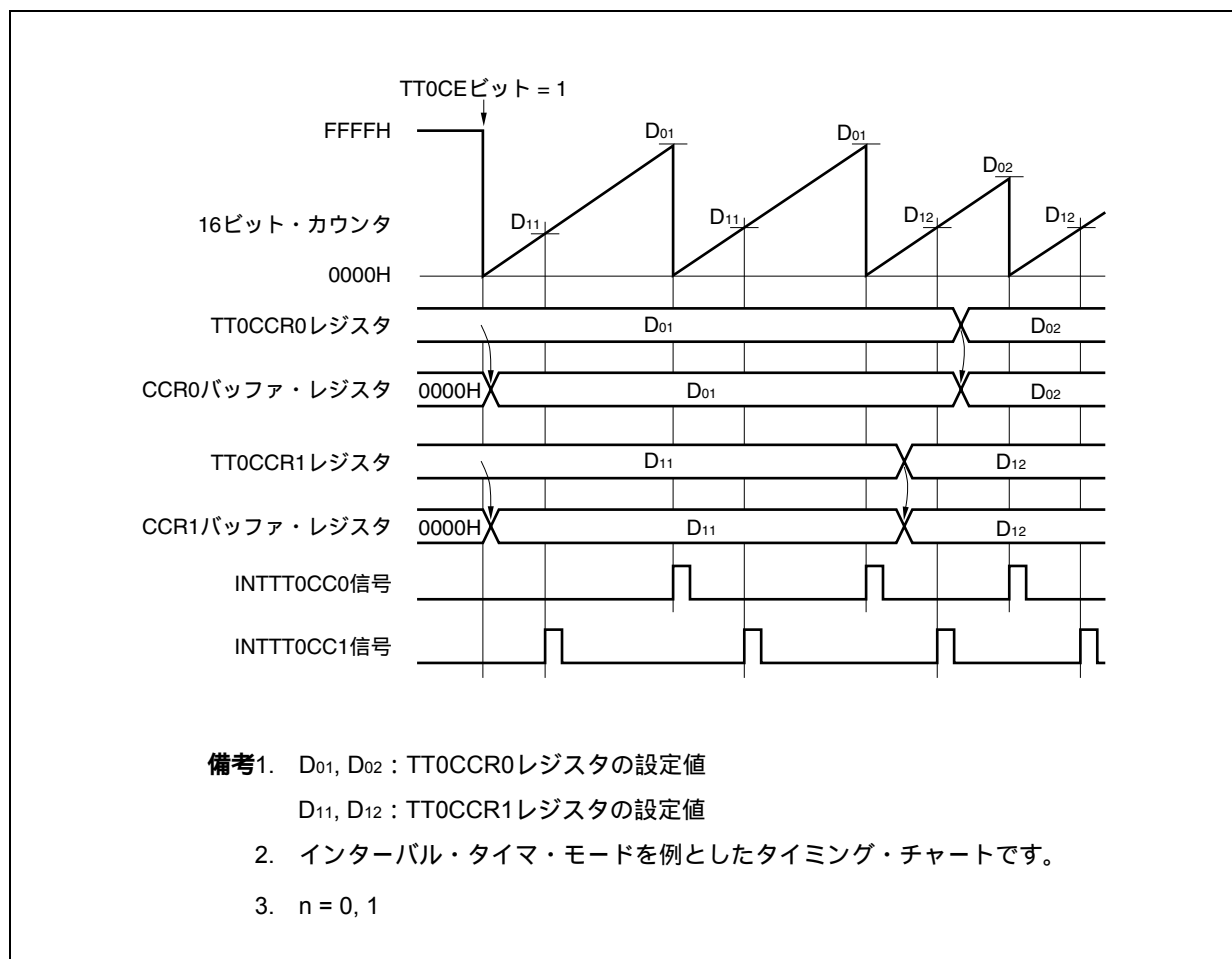


図9-4 随時書き込みのタイミング



(b) 一斉書き込み

このモードは、タイマ動作中に TT0CCR0, TT0CCR1 レジスタから CCR0, CCR1 バッファ・レジスタへの転送を一斉に行います。その転送タイミングは CCR0 バッファ・レジスタと 16 ビット・カウンタの一致時で、転送許可は TT0CCR1 レジスタへの書き込みとなります。TT0CCR1 レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TT0CCR0, TT0CCR1 レジスタを書き換えた場合の設定値が 16 ビット・カウンタのコンペア値とする (CCR0, CCR1 バッファ・レジスタに転送される) には、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致する前に TT0CCR0 レジスタを書き換え、次に TT0CCR1 レジスタを書き込む必要があります。これにより、16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値との一致タイミングで、TT0CCR0, TT0CCR1 レジスタの値は CCR0, CCR1 バッファ・レジスタに転送されます。なお、TT0CCR0 レジスタの値だけ書き換えたい場合でも、TT0CCR1 レジスタに同値 (すでに設定した TT0CCR1 レジスタと同じ値) を書き込んでください。

図9-5 一斉書き込みの基本動作フロー・チャート

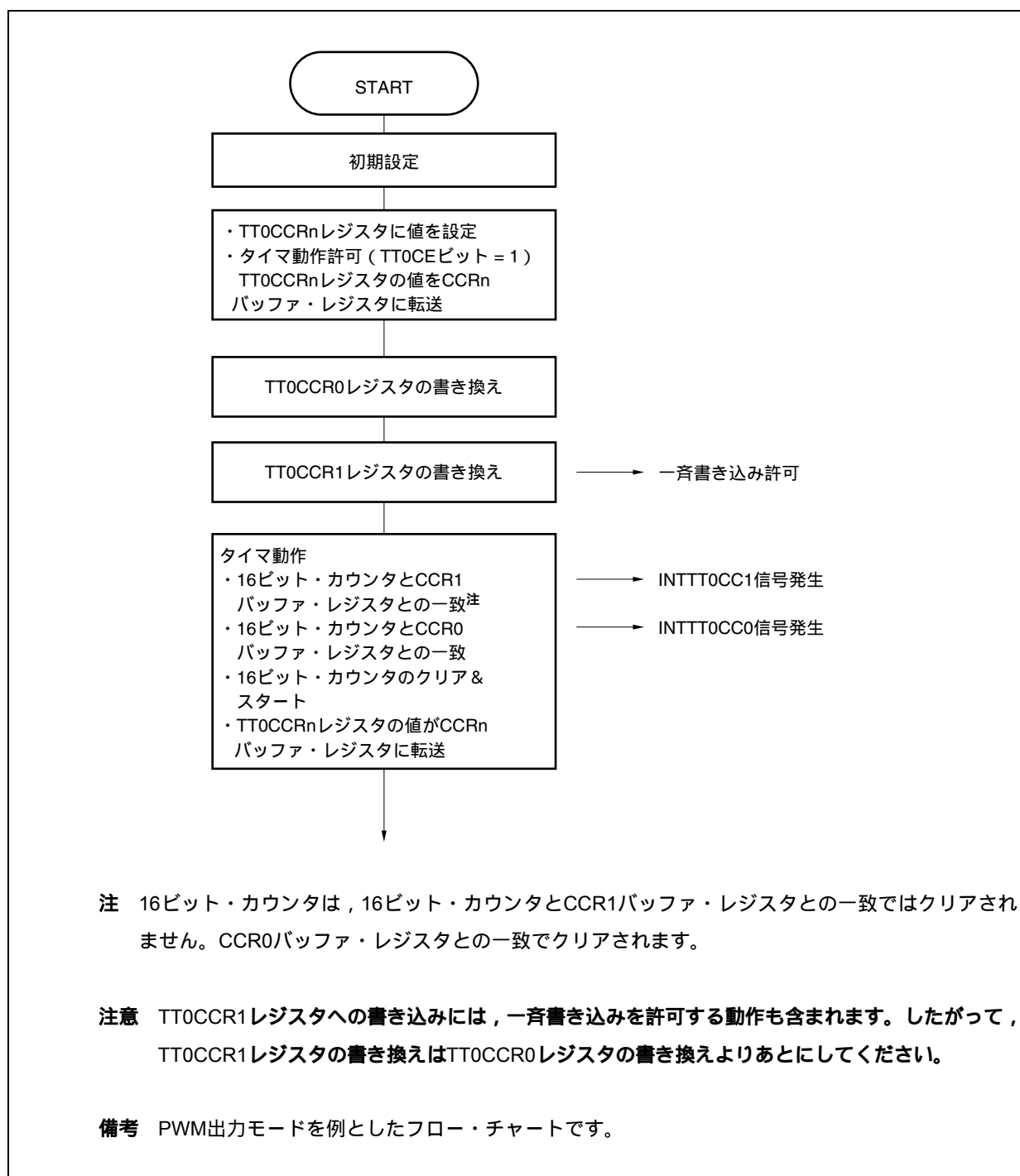
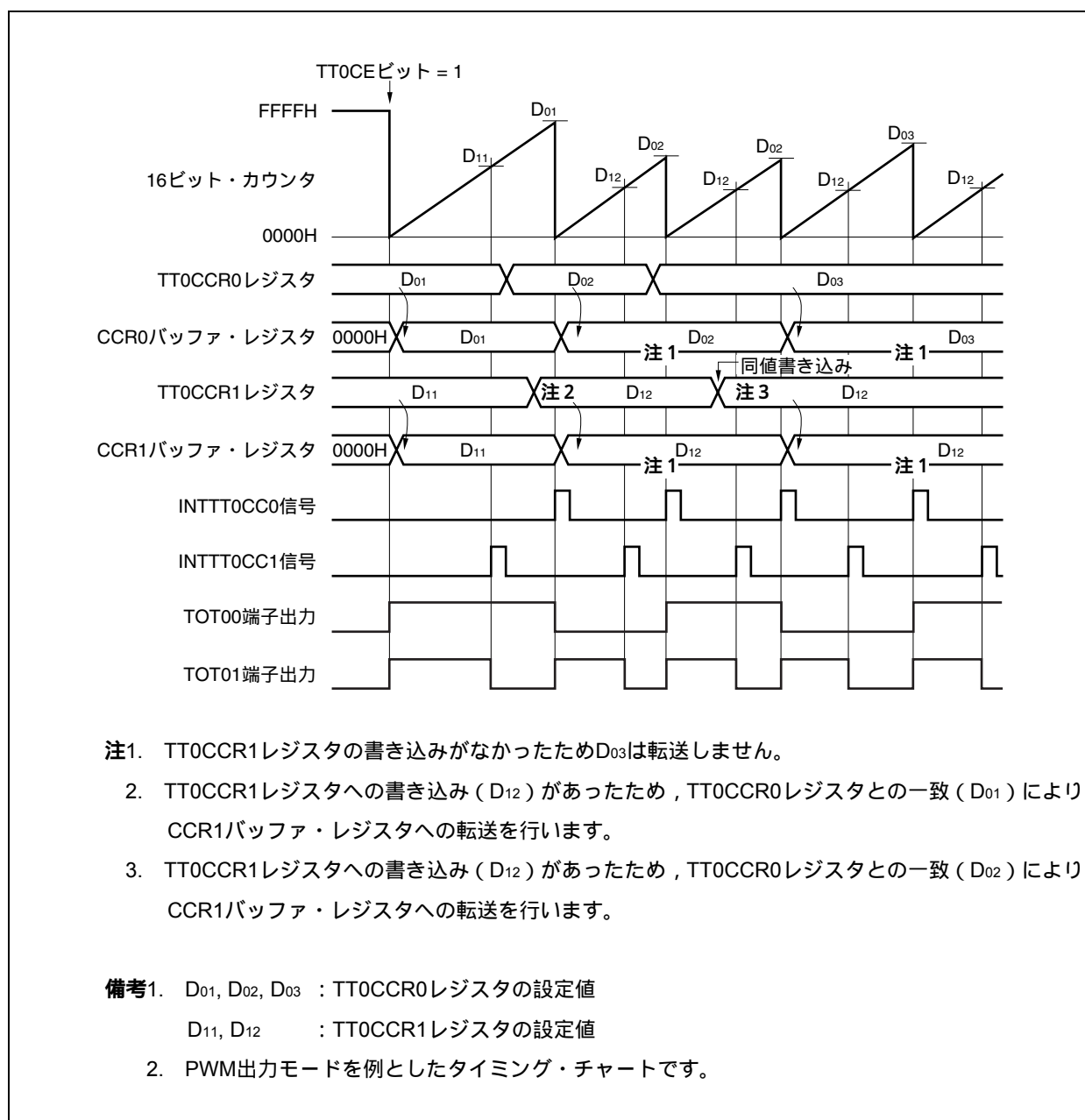


図9-6 一斉書き込みのタイミング



9.6.1 インターバル・タイマ・モード (TT0MD3-TT0MD0ビット = 0000)

インターバル・タイマ・モードは、TT0CTL0.TT0CEビットをセット(1)することで、TT0CCR0レジスタで設定したインターバル間隔にて割り込み要求信号 (INTTT0CC0) を発生します。また、TOT00端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、TT0CCR1レジスタを使用しません。しかし、TT0CCR1レジスタでは、TT0CCR1レジスタの設定値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペアー一致割り込み要求信号 (INTTT0CC1) が発生します。また、TOT01端子から、INTTT0CC1信号の発生タイミングにより反転する方形波を出力できます。

なお、TT0CCR0、TT0CCR1レジスタのタイマ動作中の書き換えは可能です。

図9-7 インターバル・タイマの構成図

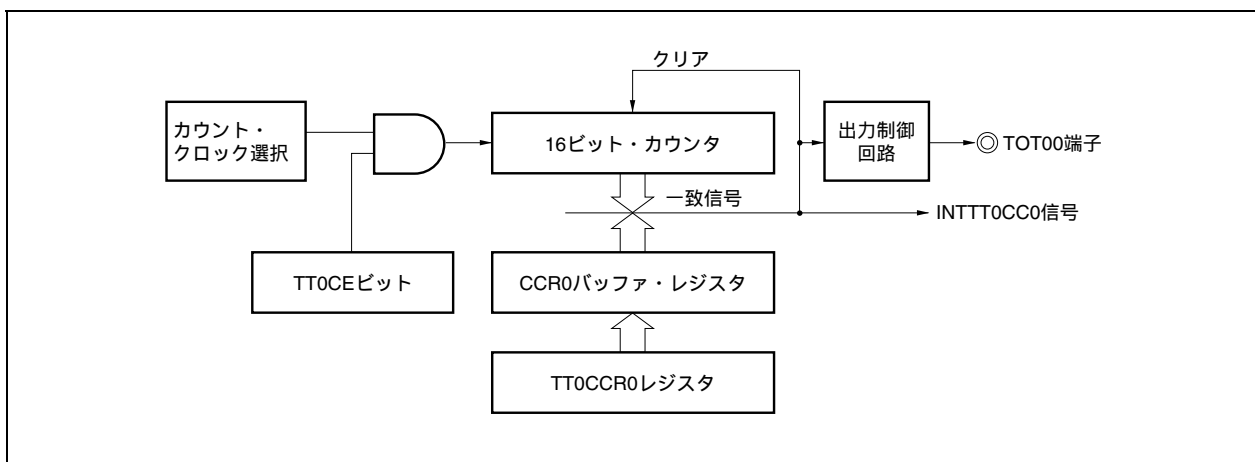
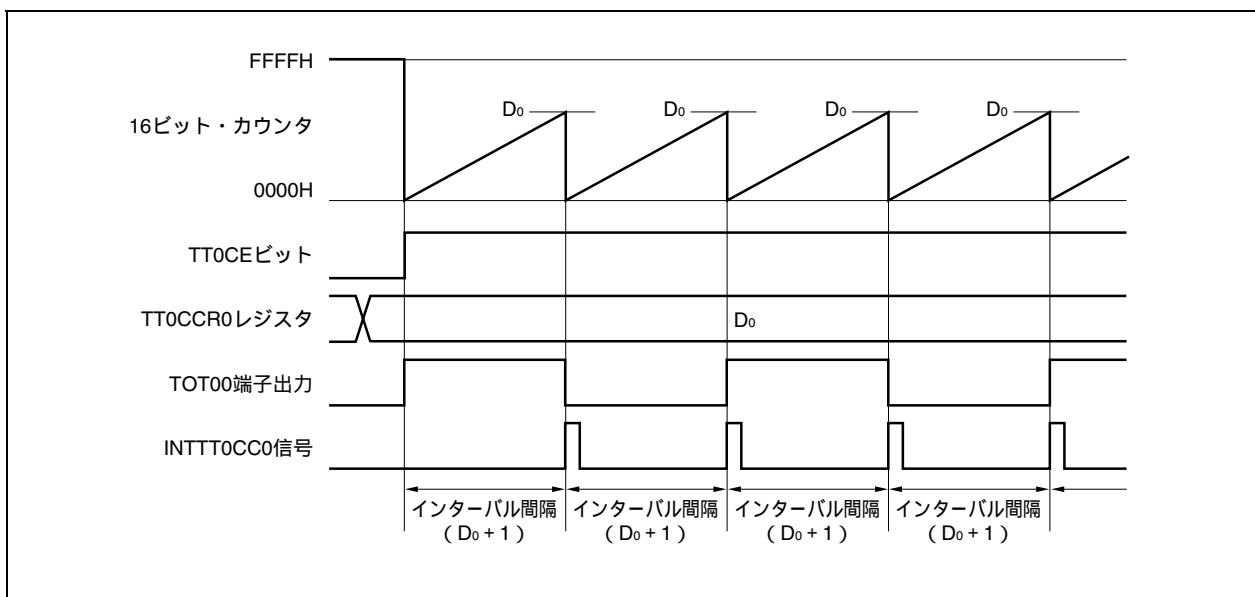


図9-8 インターバル・タイマ・モード動作の基本タイミング



TT0CEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOT00端子出力を反転します。また、TT0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOT00端子出力を反転させて、コンペア一致割り込み要求信号(INTTT0CC0)を発生します。

インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TT0CCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図9-9 インターバル・タイマ・モード動作時のレジスタ設定内容(1/2)

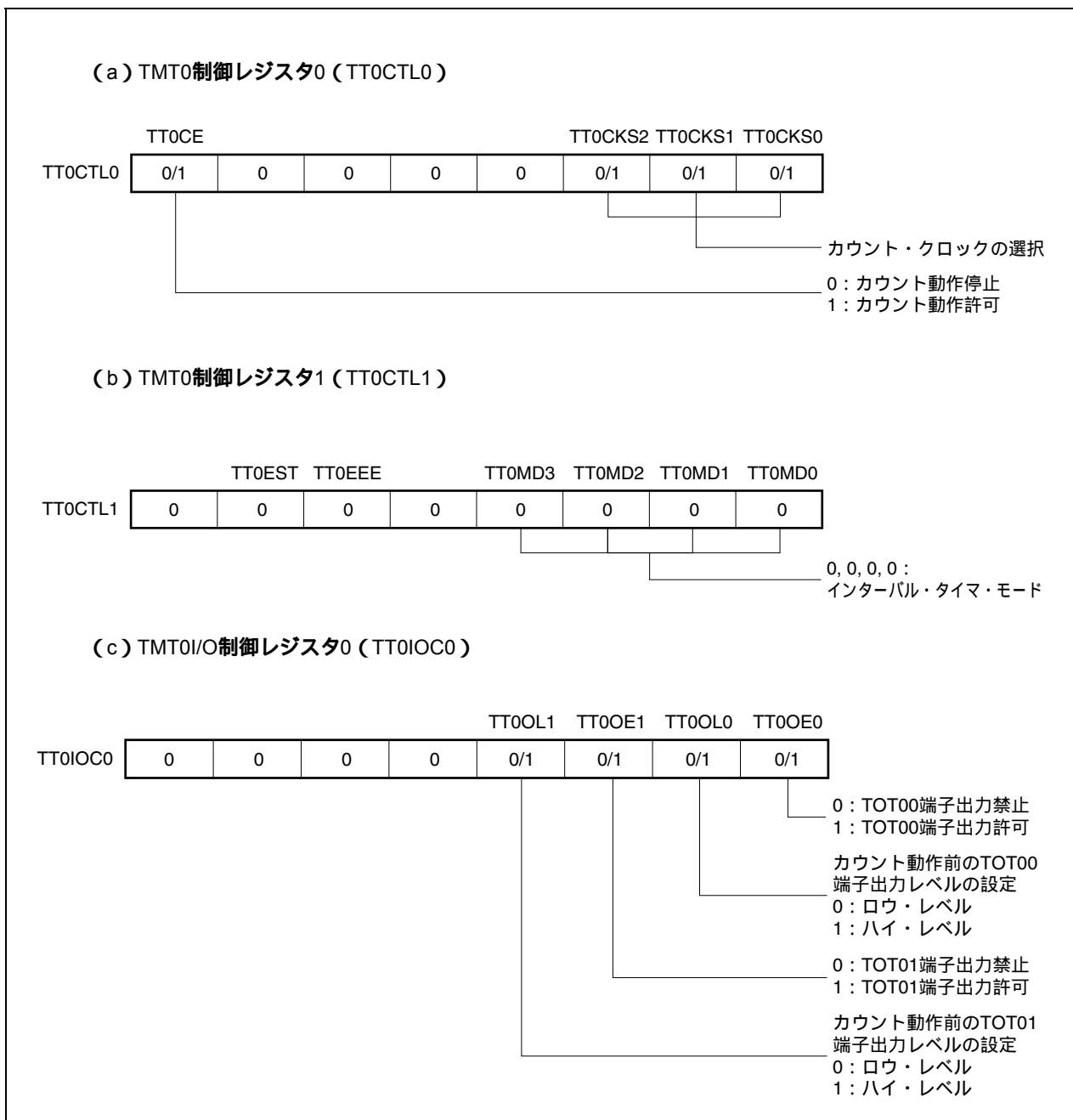


図9-9 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

(d) TMT0カウンタ・リード・バッファ・レジスタ (TT0CNT)

TT0CNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(e) TMT0キャプチャ/コンペア・レジスタ0 (TT0CCR0)

TT0CCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

となります。

(f) TMT0キャプチャ/コンペア・レジスタ1 (TT0CCR1)

インターバル・タイマ・モードでは、TT0CCR1レジスタを使用しません。しかし、TT0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致すると、TOT01端子出力を反転し、コンペア一致割り込み要求信号 (INTTT0CC1) が発生します。

TT0CCR0レジスタの設定値と同じ値を設定することにより、TOT01端子から方形波を出力できます。

TT0CCR1レジスタを使用しない場合には、TT0CCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TT0CCIC1.TT0CCMK1) でマスク設定してください。

備考 TMT0制御レジスタ2 (TT0CTL2)、TMT0I/O制御レジスタ1 (TT0IOC1)、TMT0I/O制御レジスタ2 (TT0IOC2)、TMT0I/O制御レジスタ3 (TT0IOC3)、TMT0オプション・レジスタ0 (TT0OPT0)、TMT0オプション・レジスタ1 (TT0OPT1)、TMT0カウンタ・ライト・レジスタ (TT0TCW) は、インターバル・タイマ・モードでは使用しません。

(1) インターバル・タイマ・モード動作フロー

図9 - 10 インターバル・タイマ・モード使用時のソフトウェア処理フロー (1/2)

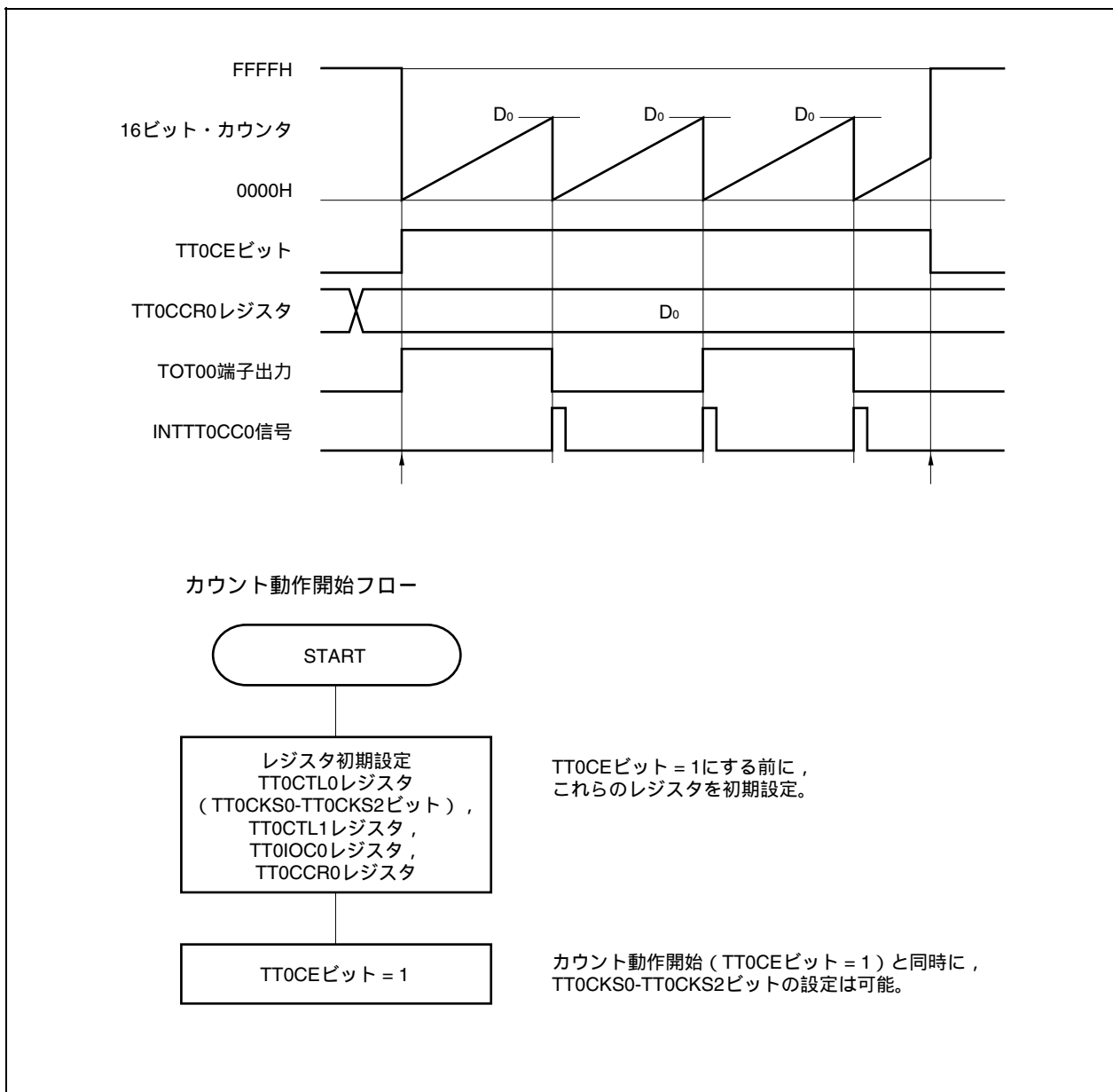
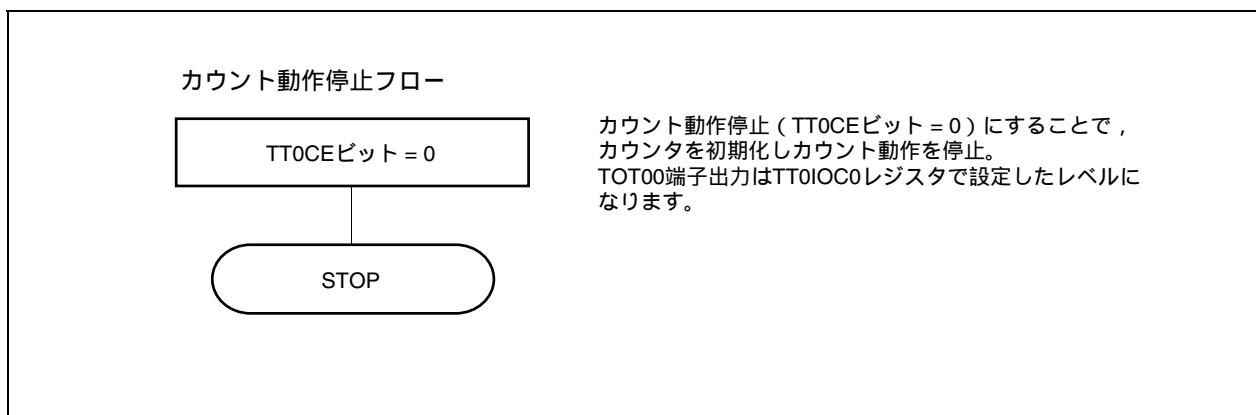


図9 - 10 インターバル・タイマ・モード使用時のソフトウェア処理フロー (2/2)

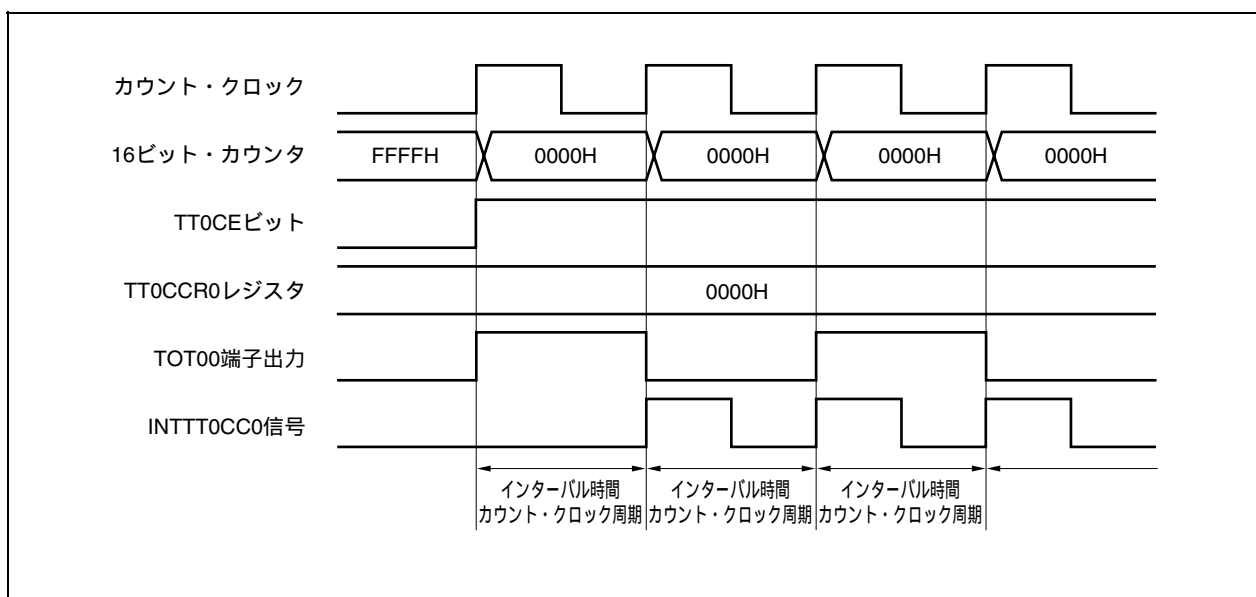


(2) インターバル・タイマ・モード動作タイミング

(a) TT0CCR0レジスタに0000Hを設定した場合の動作

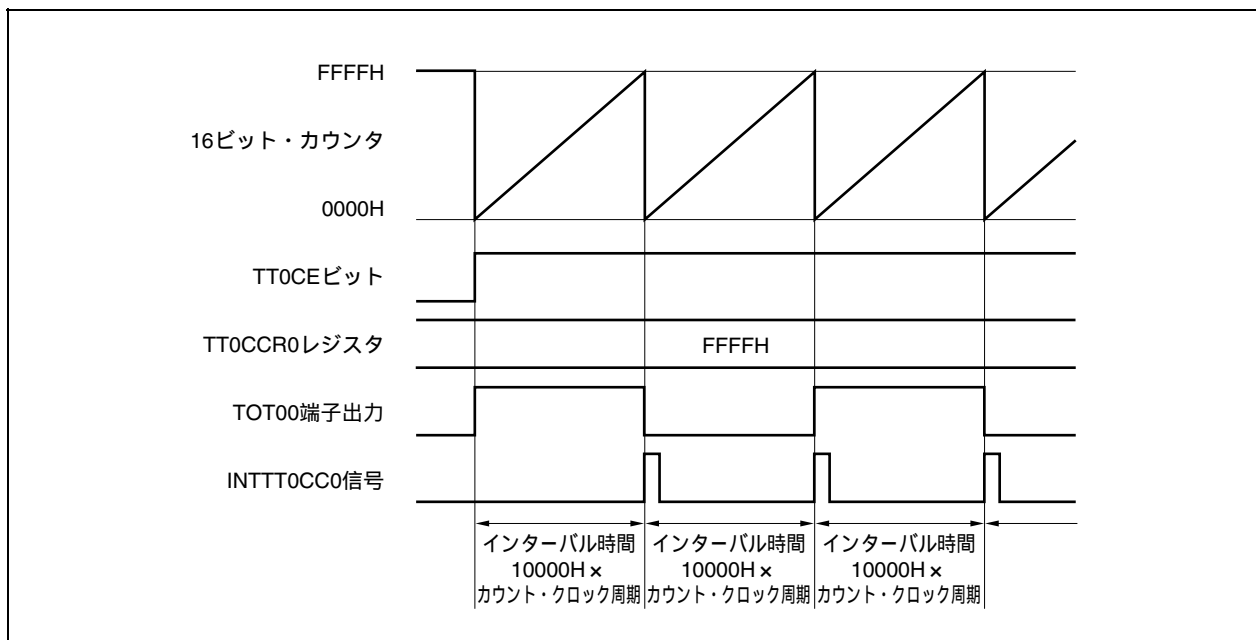
TT0CCR0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTT0CC0信号を発生し、TOT00端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



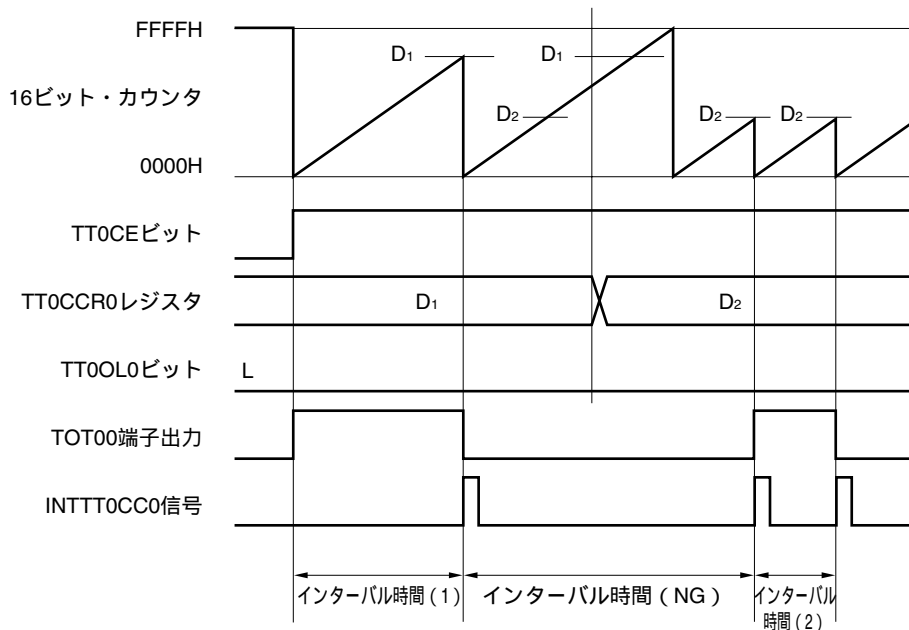
(b) TT0CCR0レジスタにFFFFHを設定した場合の動作

TT0CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTT0CC0信号を発生し、TOT00端子の出力を反転します。このとき、オーバーフロー割り込み要求信号 (INTTT0OV) は発生せず、オーバーフロー・フラグ (TT0OPT0.TT0OVFビット) もセット (1) されません。



(c) TT0CCR0レジスタの書き換えに関する注意事項

カウント動作中にTT0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



- 備考**
- インターバル時間 (1) : $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 - インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 - インターバル時間 (2) : $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$

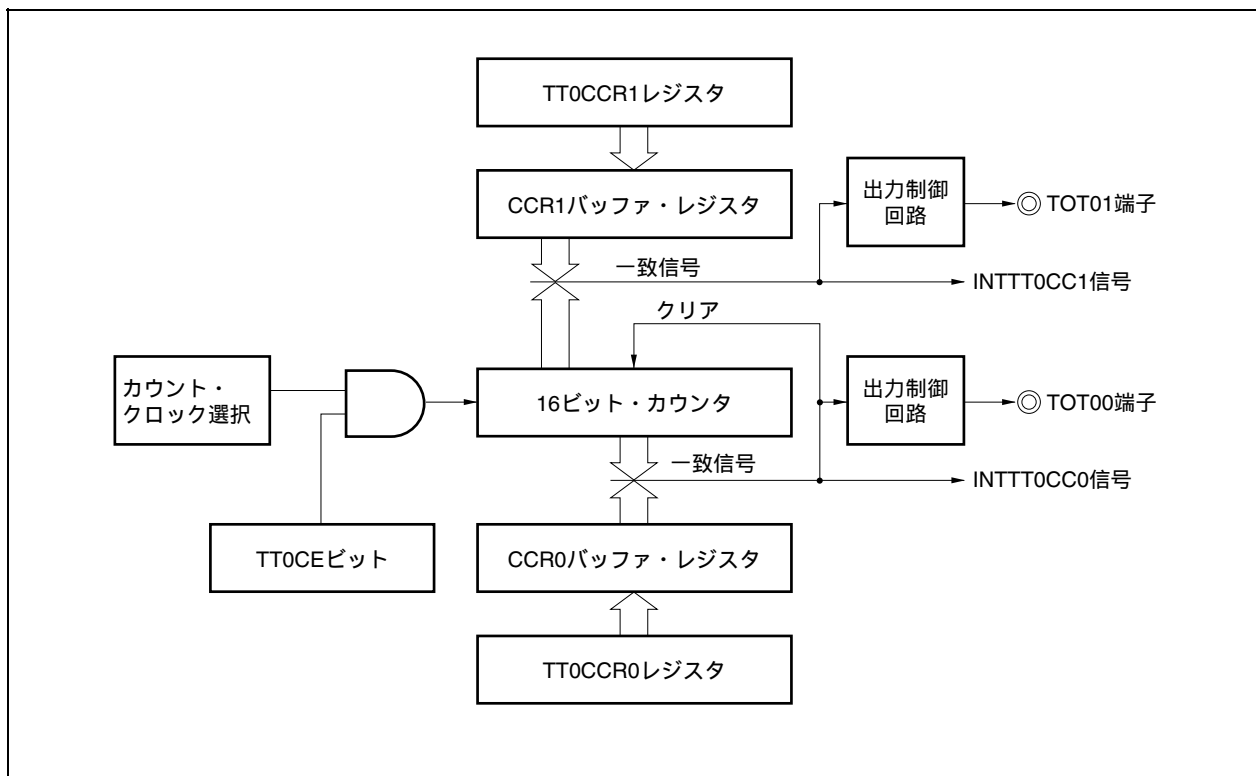
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TT0CCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTT0CC0信号を発生しTOT00端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTT0CC0信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTT0CC0信号が発生する場合があります。

(d) TT0CCR1レジスタの動作

図9 - 11 TT0CCR1レジスタの構成図



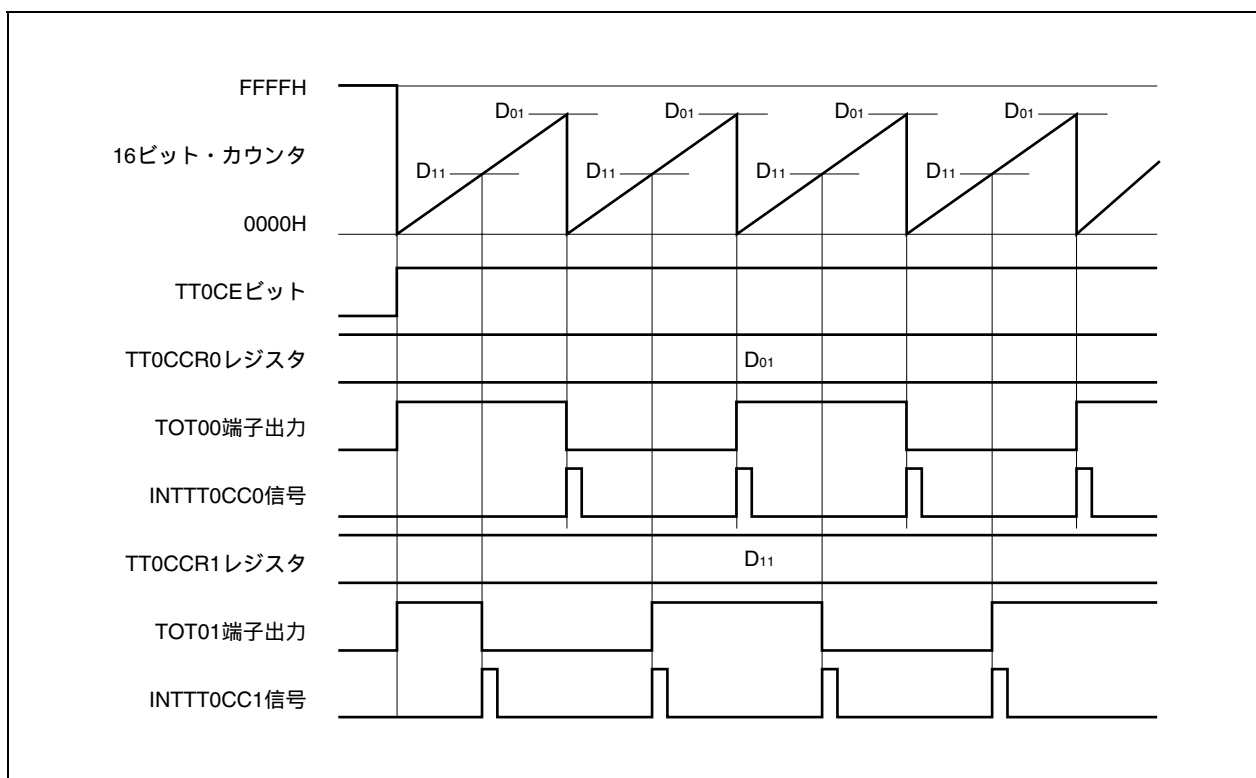
TT0CCR1レジスタにTT0CCR0レジスタの設定値と同じ値を設定すると、INTTT0CC0信号と同じタイミングでINTTT0CC1信号が発生し、TOT01端子出力が反転します。すなわち、TOT01端子から方形波を出力できます。

TT0CCR0レジスタの設定値とは異なる値をTT0CCR1レジスタに設定した場合の動作を次に示します。

TT0CCR1レジスタの設定値がTT0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTT0CC1信号が発生します。また、同じタイミングでTOT01端子出力は反転します。

TOT01端子出力は、最初に短い幅のパルスを出力したあと、方形波を出力します。

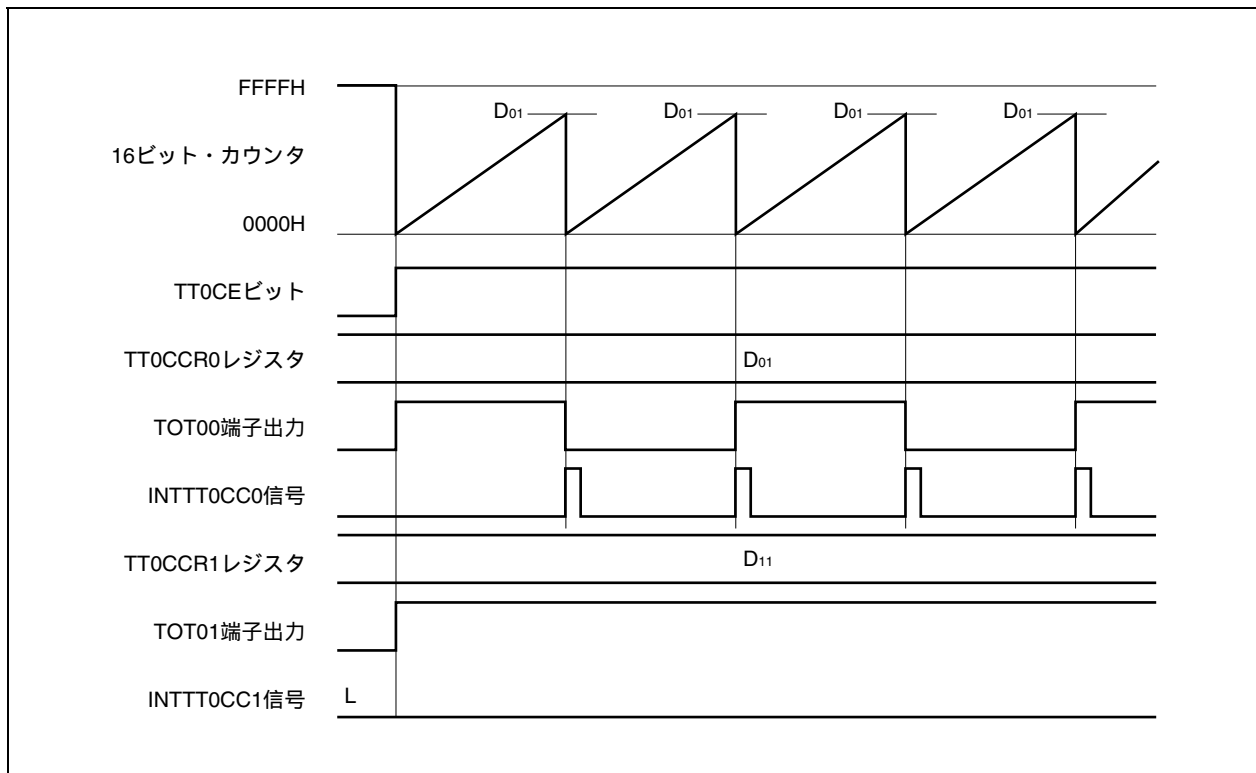
図9 - 12 D₀₁ D₁₁の場合のタイミング図



TT0CCR1レジスタの設定値がTT0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTT0CCR1レジスタの値が一致しないので、INTTT0CC1信号は発生しません。また、TOT01端子出力も変化しません。

TT0CCR1レジスタを使用しない場合には、TT0CCR1レジスタの設定値をFFFFHに設定することを推奨します。

図9 - 13 D₀₁ < D₁₁の場合のタイミング図



9.6.2 外部イベント・カウント・モード (TT0MD3-TT0MD0ビット = 0001)

外部イベント・カウント・モードは、TT0CTL0.TT0CEビットをセット(1)することで、外部イベント・カウント入力(EVTT0)の有効エッジをカウントし、TT0CCR0レジスタで設定したカウント数をカウントするごとに割り込み要求信号(INTTT0CC0)を発生します。TOT00, TOT01端子は使用できません。

外部イベント・カウント・モードでは、TT0CCR1レジスタは使用しません。

図9-14 外部イベント・カウント・モードの構成図

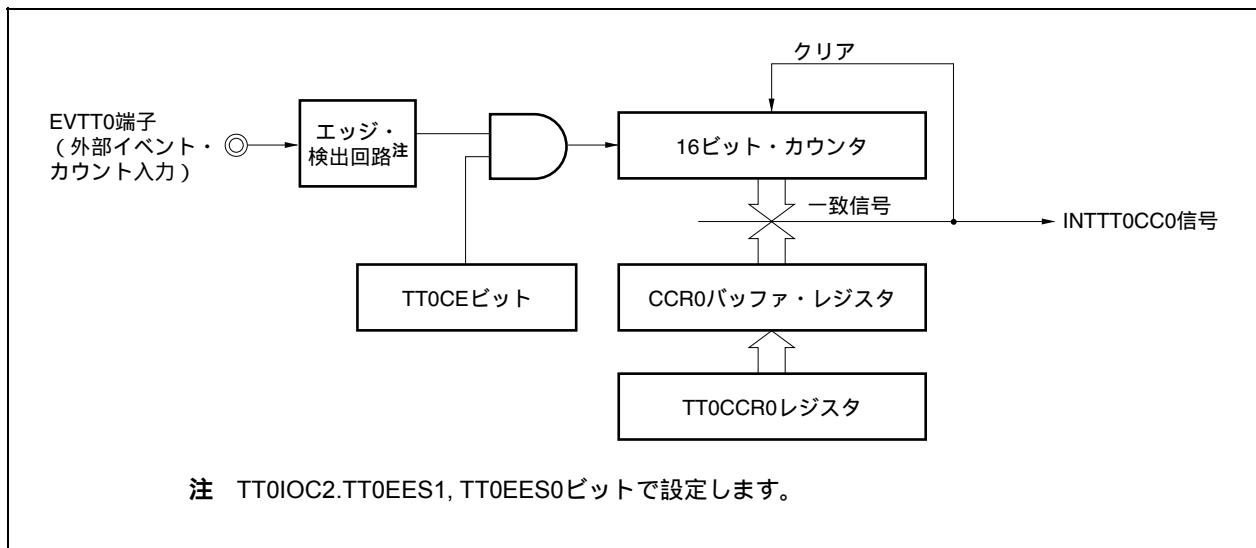
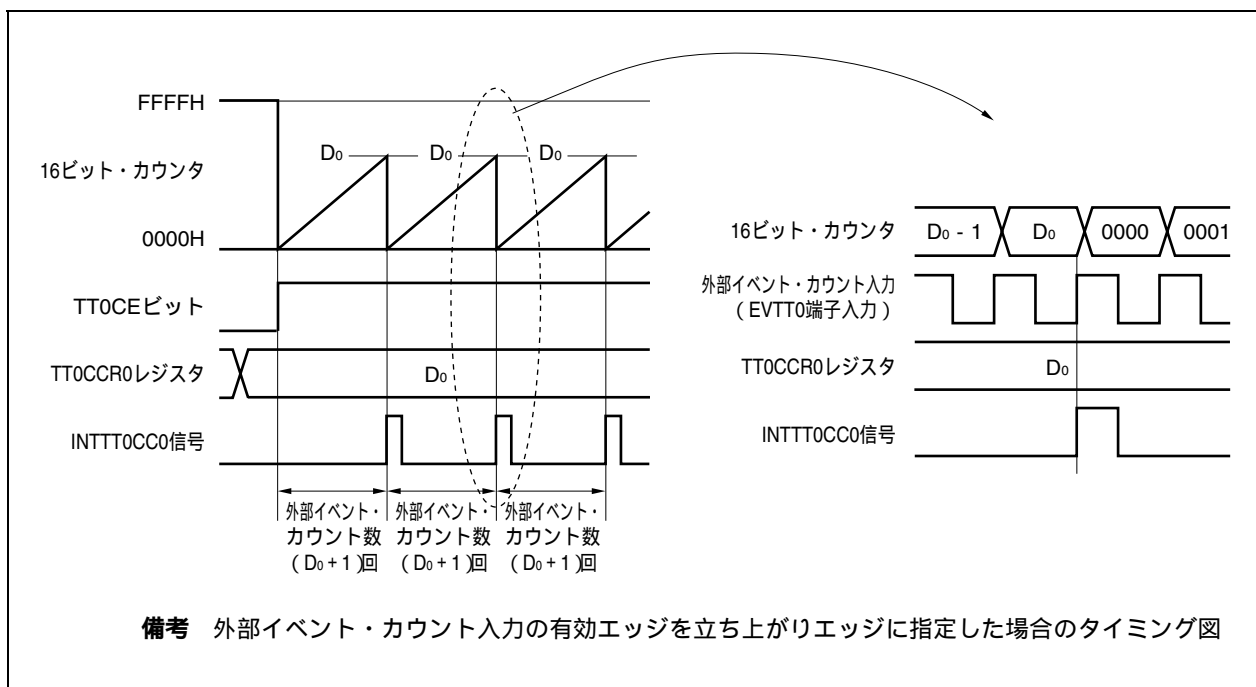


図9 - 15 外部イベント・カウント・モードの基本タイミング



TT0CEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また、TT0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTT0CC0)を発生します。

INTTT0CC0信号は、外部イベント・カウント入力の有効エッジを(TT0CCR0レジスタに設定した値+1)回検出するごとに発生します。

図9-16 外部イベント・カウント・モード動作時のレジスタ設定内容(1/2)

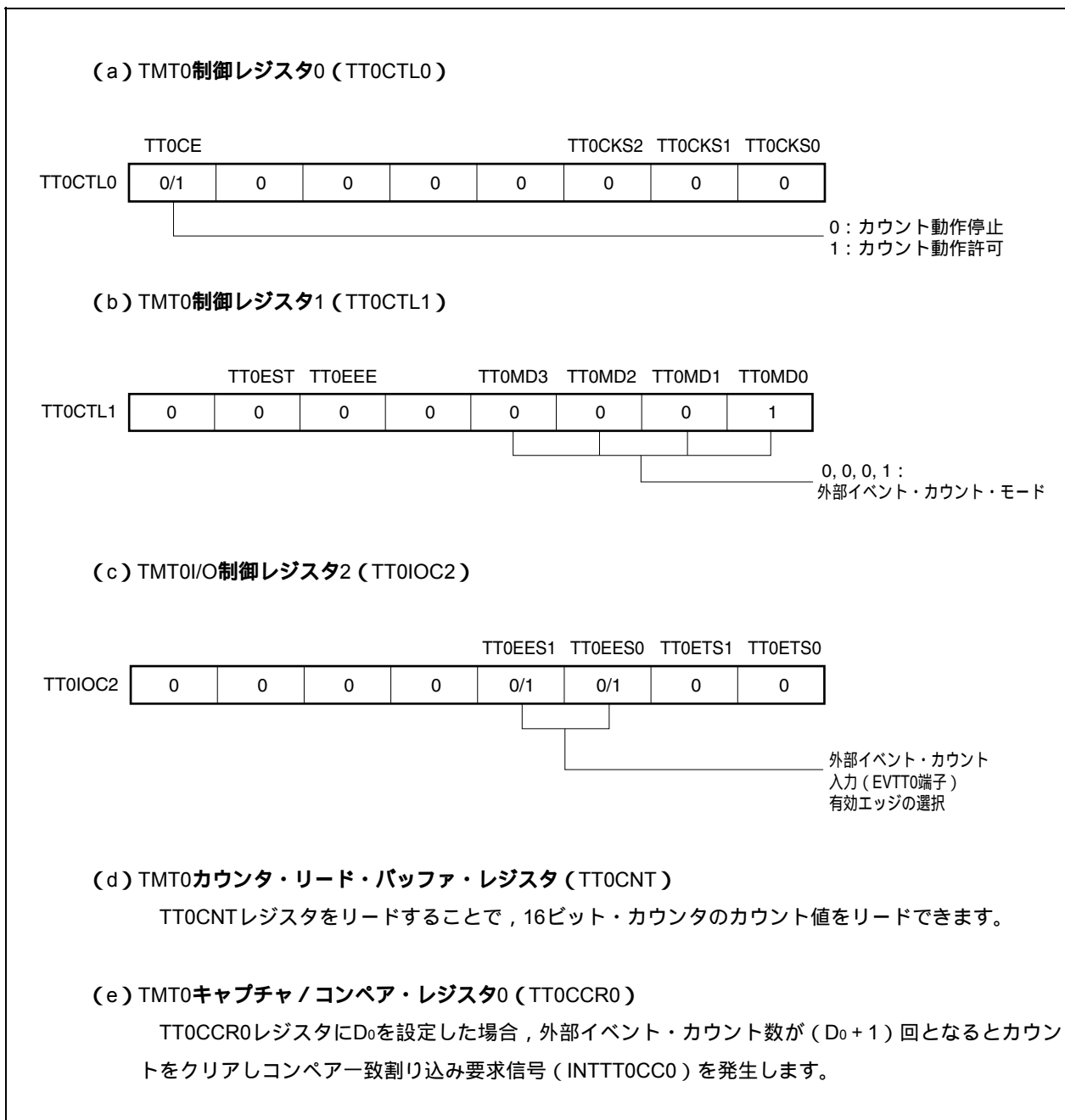


図9 - 16 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(f) TMT0キャプチャ/コンペア・レジスタ1 (TT0CCR1)

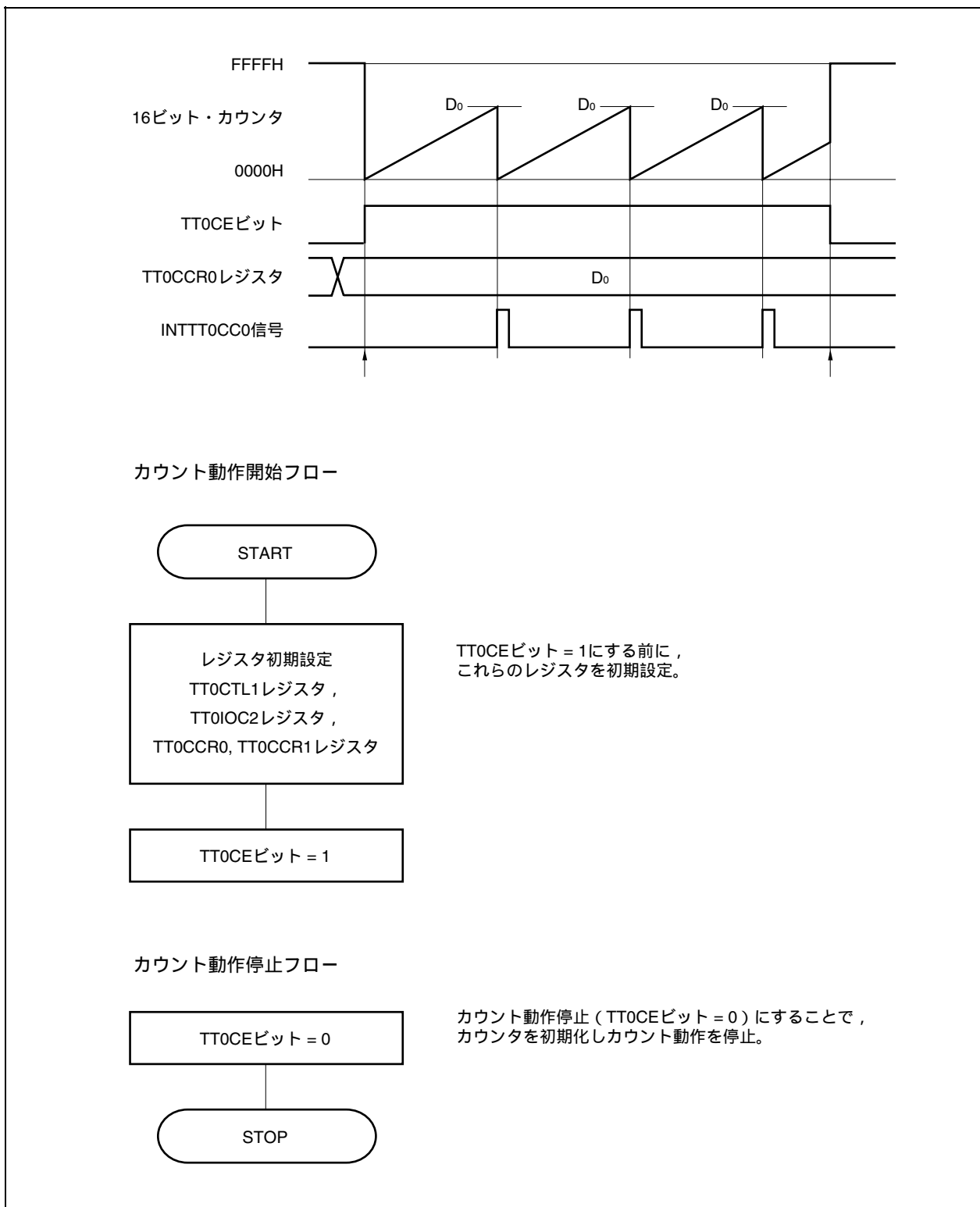
外部イベント・カウント・モードでは、TT0CCR1レジスタは使用しません。しかし、TT0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTT0CC1) が発生します。

TT0CCR1レジスタを使用しない場合には、TT0CCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TT0CCIC1.TT0CCMK1) でマスク設定してください。

備考 TMT0制御レジスタ2 (TT0CTL2) , TMT0I/O制御レジスタ0 (TT0IOC0) , TMT0I/O制御レジスタ1 (TT0IOC1) , TMT0I/O制御レジスタ3 (TT0IOC3) , TMT0オプション・レジスタ0 (TT0OPT0) , TMT0オプション・レジスタ1 (TT0OPT1) , TMT0カウンタ・ライト・レジスタ (TT0TCW) は、外部イベント・カウント・モードでは使用しません。

(1) 外部イベント・カウント・モード動作フロー

図9-17 外部イベント・カウント・モード使用時のソフトウェア処理フロー

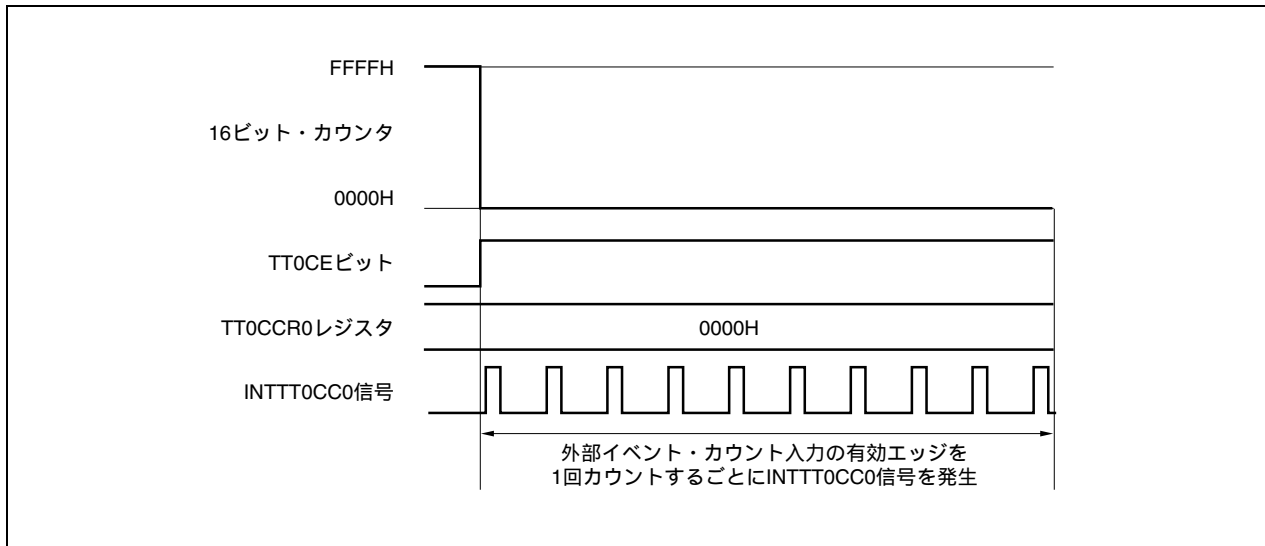


(2) 外部イベント・カウント・モード動作タイミング

(a) TT0CCR0レジスタに0000Hを設定した場合の動作

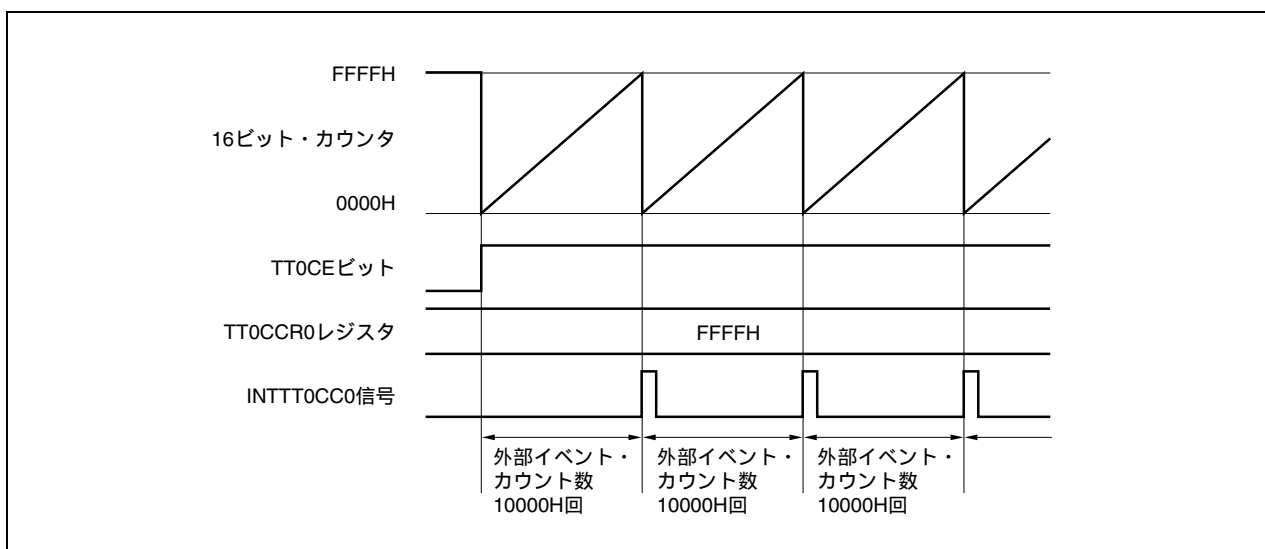
TT0CCR0レジスタに0000Hを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにCCR0バッファ・レジスタの値との一致で、16ビット・カウンタを0000Hにクリアし続けて、INTTT0CC0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TT0CCR0レジスタにFFFFHを設定した場合の動作

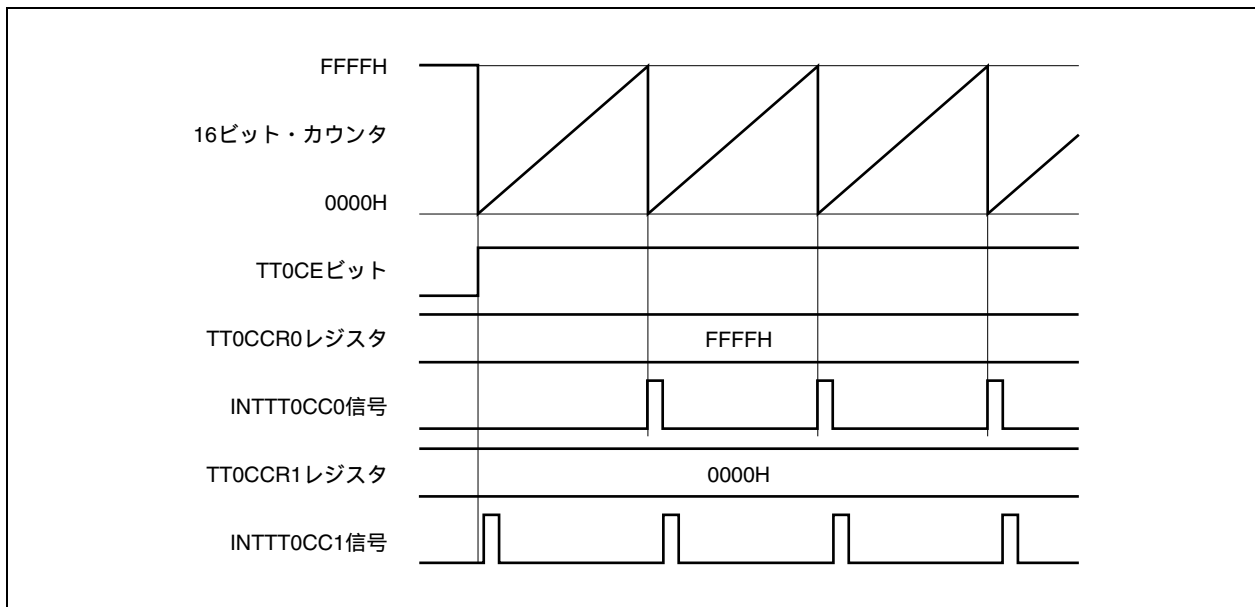
TT0CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTT0CC0信号を発生します。このとき、TT0OPT0.TT0OVFビットはセットされません。



(c) TT0CCR0レジスタにFFFFH, TT0CCR1レジスタに0000Hを設定した場合の動作

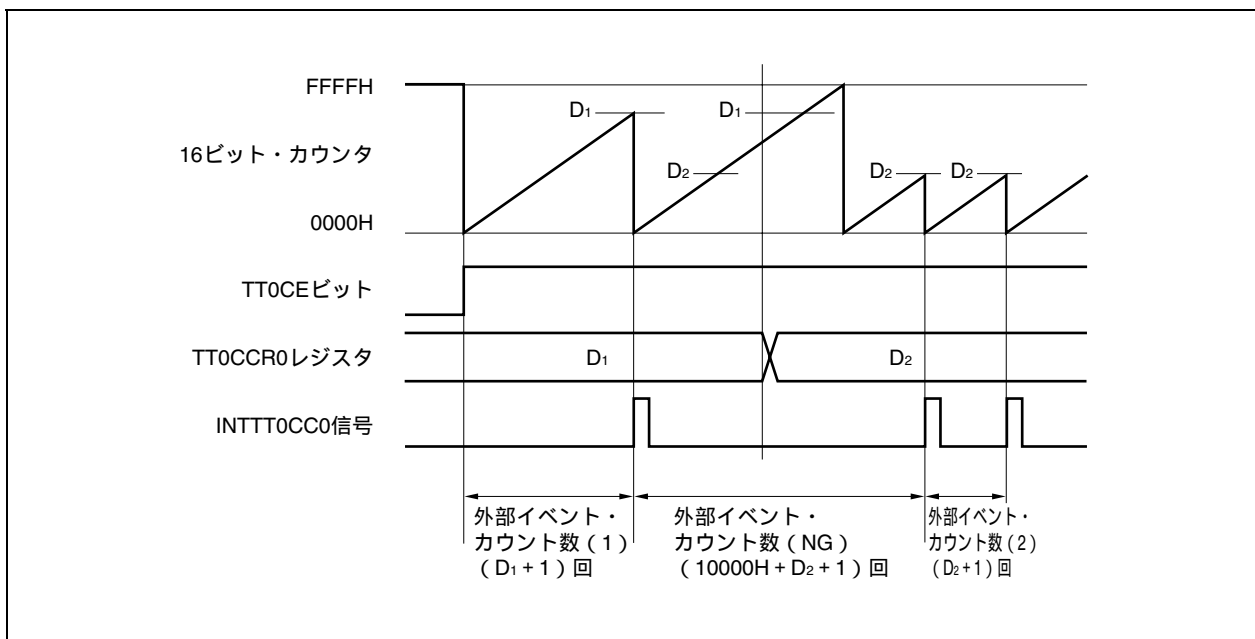
TT0CCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次の外部イベント・カウント信号の有効エッジに同期して, 16ビット・カウンタを0000Hにクリアし, INTTT0CC0信号を発生します。このとき, TT0OPT0.TT0OVFビットはセットされません。

TT0CCR1レジスタに0000Hを設定した場合, 16ビット・カウンタが0000HにクリアされたタイミングでINTTT0CC1信号が発生します。



(d) TT0CCR0レジスタの書き換えに関する注意事項

カウント動作中にTT0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



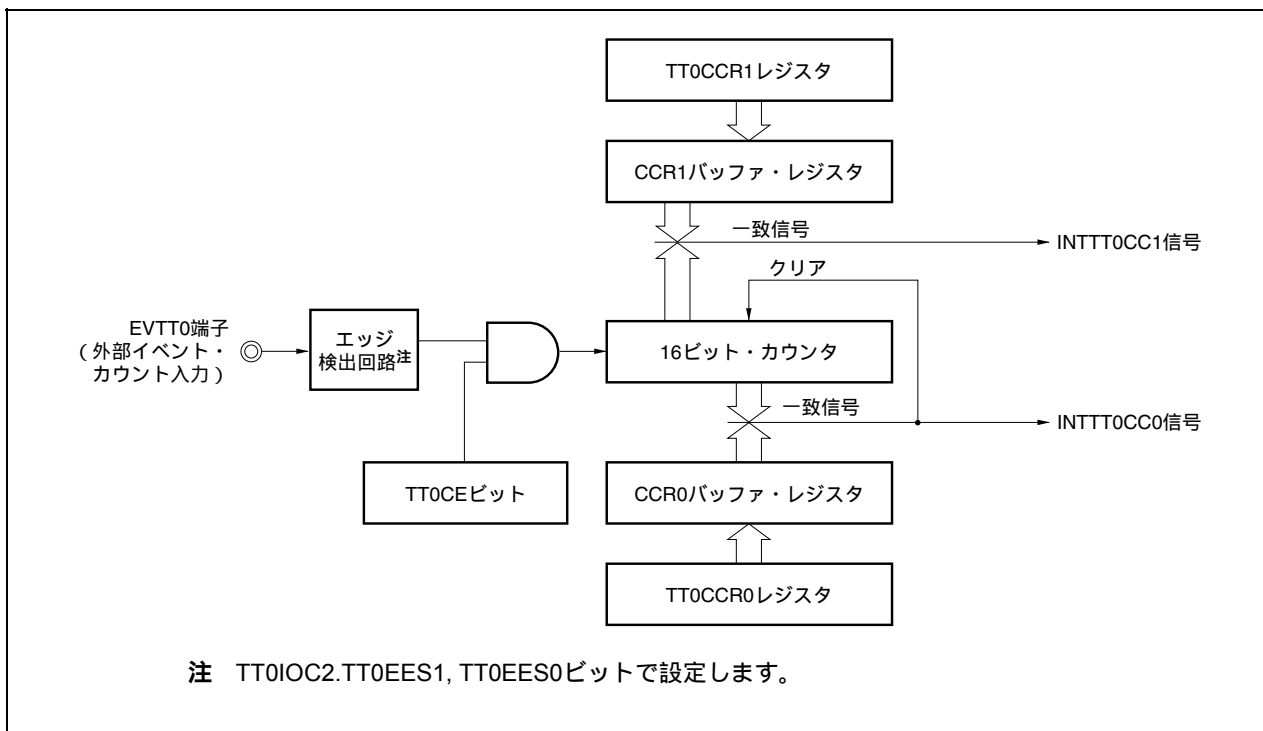
カウント値がD₂よりも大きくD₁よりも小さい状態において、TT0CCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTT0CC0信号を発生します。

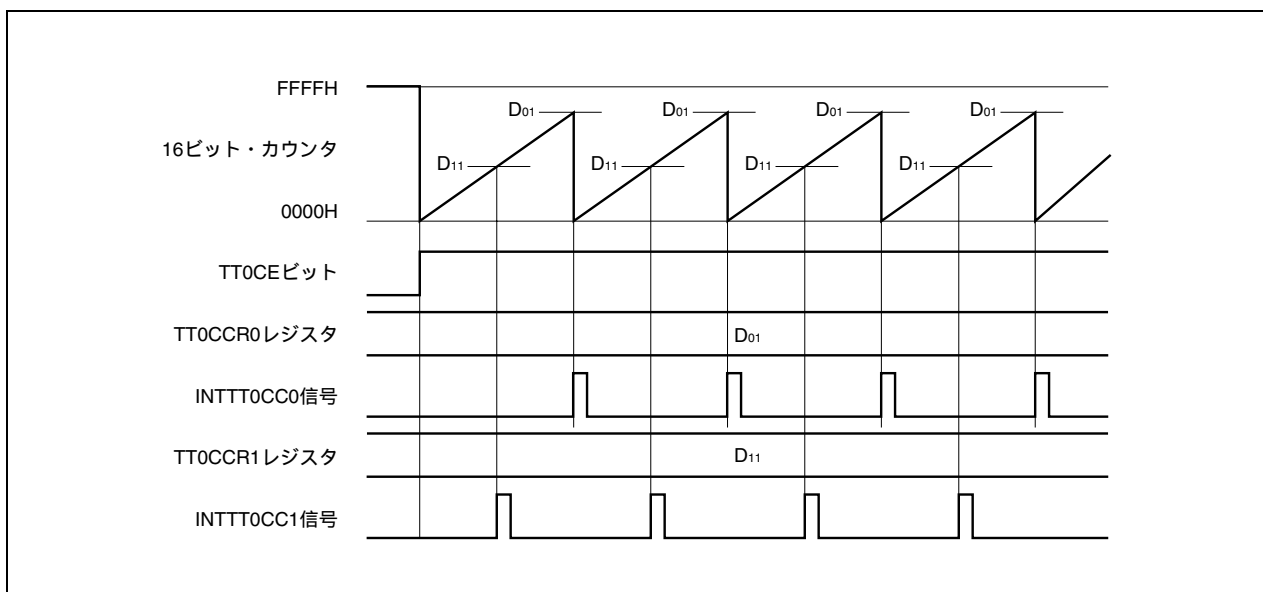
したがって、本来期待している外部イベント・カウント数である「(D₁+1)回」または「(D₂+1)回」の有効エッジ数でINTTT0CC0信号は発生せずに、「(10000H+D₂+1)回」の有効エッジ数でINTTT0CC0信号が発生する場合があります。

(e) TT0CCR1レジスタの動作

図9 - 18 TT0CCR1レジスタの構成図



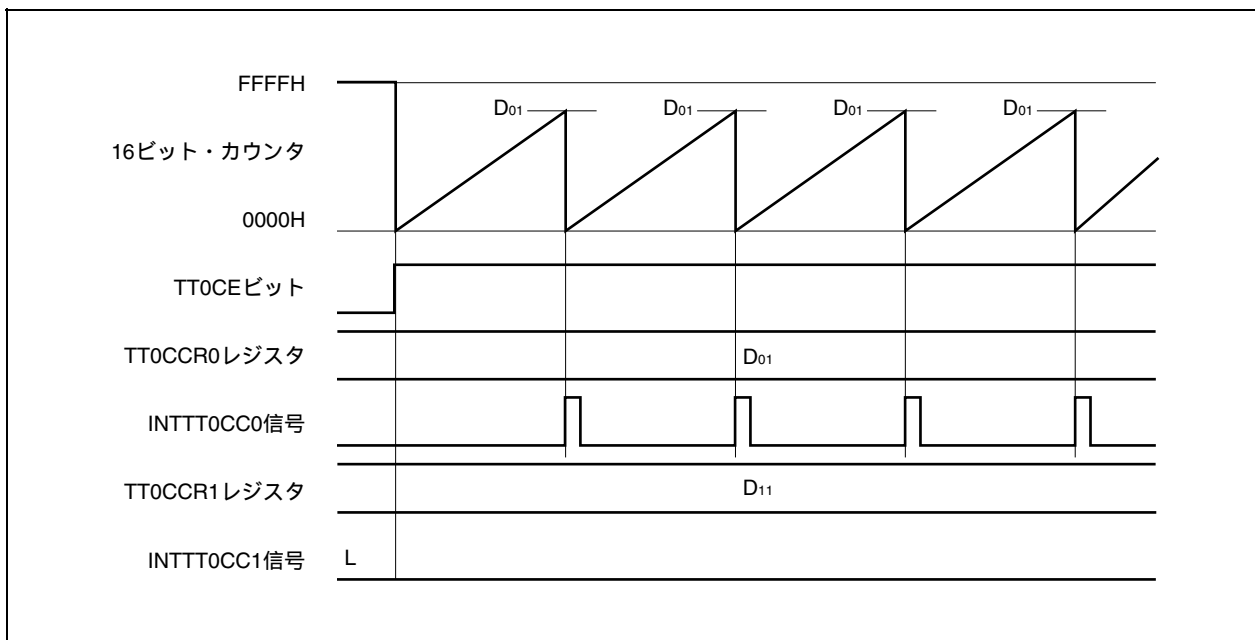
TT0CCR1レジスタの設定値がTT0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTT0CC1信号が発生します。

図9 - 19 D₀₁ D₁₁の場合のタイミング図

TT0CCR1レジスタの設定値がTT0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTT0CCR1レジスタの値が一致しないので、INTTT0CC1信号は発生しません。

TT0CCR1レジスタを使用しない場合には、TT0CCR1レジスタの設定値をFFFFHに設定することを推奨します。

図9 - 20 $D_{01} < D_{11}$ の場合のタイミング図



9.6.3 外部トリガ・パルス出力モード (TT0MD3-TT0MD0ビット = 0010)

外部トリガ・パルス出力モードは、TT0CTL0.TT0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力(EVTT0)の有効エッジを検出すると、カウント動作を開始し、TOT01端子からPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOT00端子からTT0CCR0レジスタの設定値+1を半周期とする方形波を出力できます。

図9-21 外部トリガ・パルス出力モードの構成図

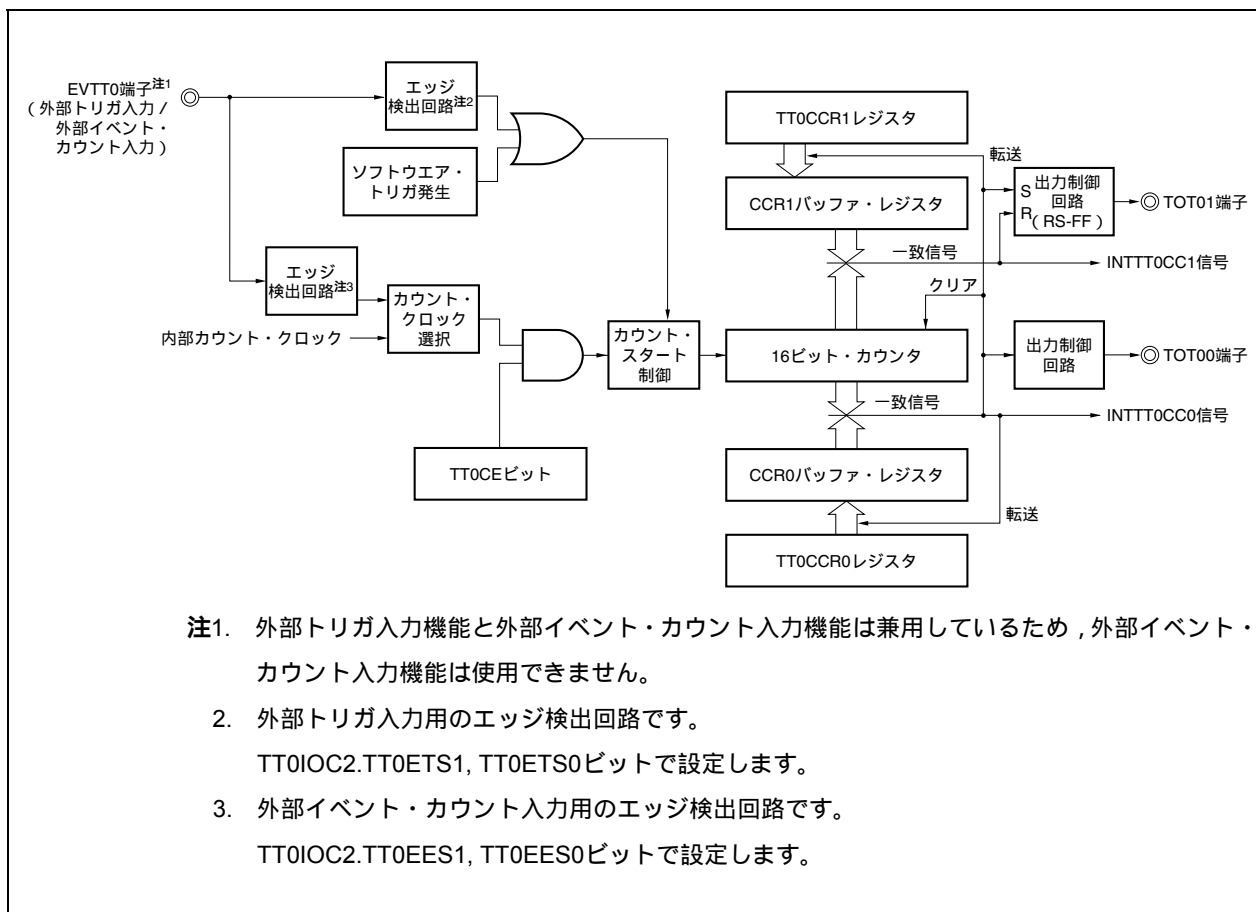
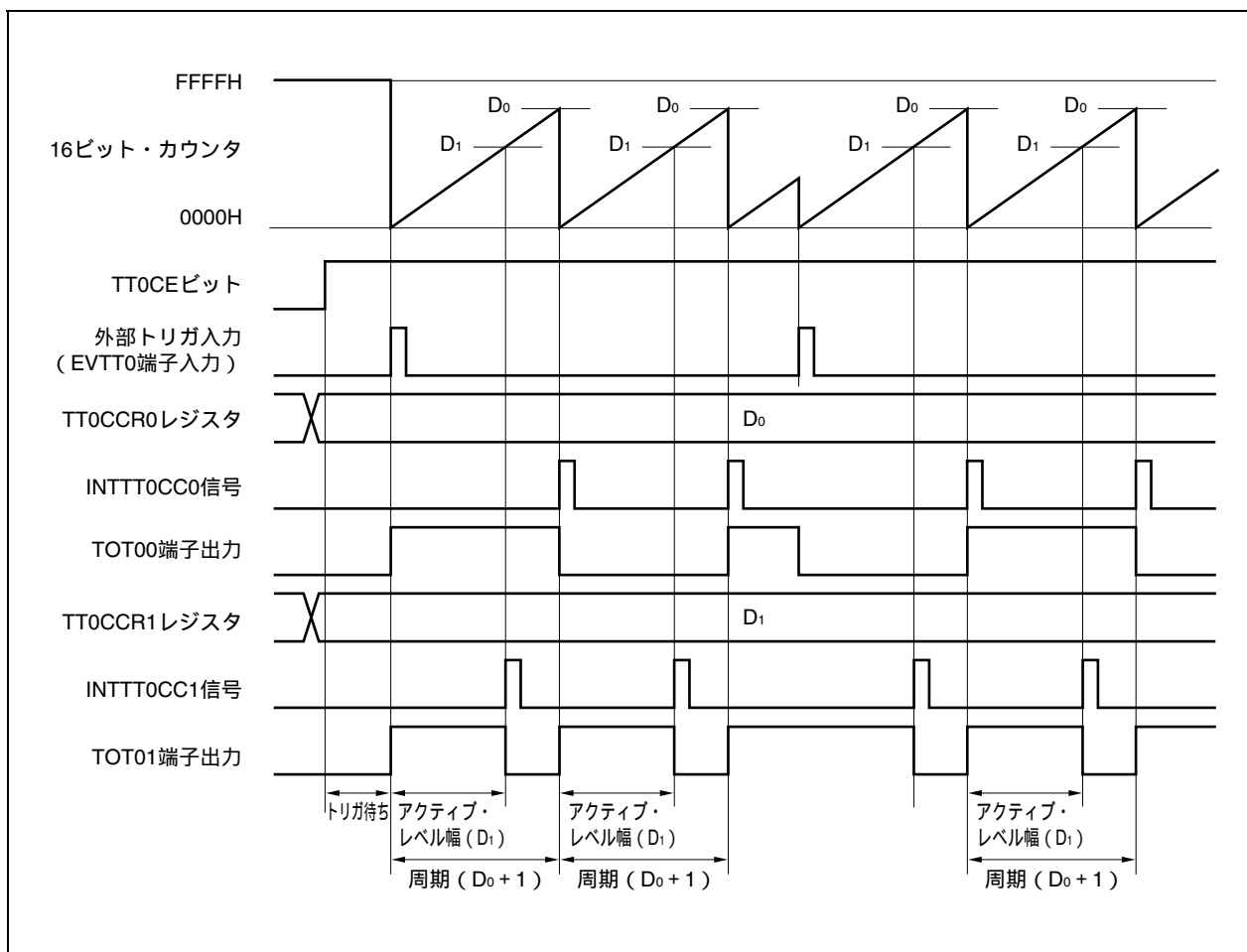


図9-22 外部トリガ・パルス出力モードの基本タイミング



TT0CEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOT01端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOT00端子出力は反転します。TOT01端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TT0CCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TT0CCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TT0CCR1レジスタの設定値}) / (\text{TT0CCR0レジスタの設定値} + 1)$$

コンパレー一致割り込み要求信号(INTTT0CC0)は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号(INTTT0CC1)は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TT0CCRnレジスタに設定した値は、16ビット・カウンタのカウント値とCCRnバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRnバッファ・レジスタに転送されます。

トリガには、外部トリガ入力(EVTTO)の有効エッジ、またはソフトウエア・トリガ(TT0CTL1.TT0ESTビット)のセット(1)があります(n=0,1)。

図9-23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/3)

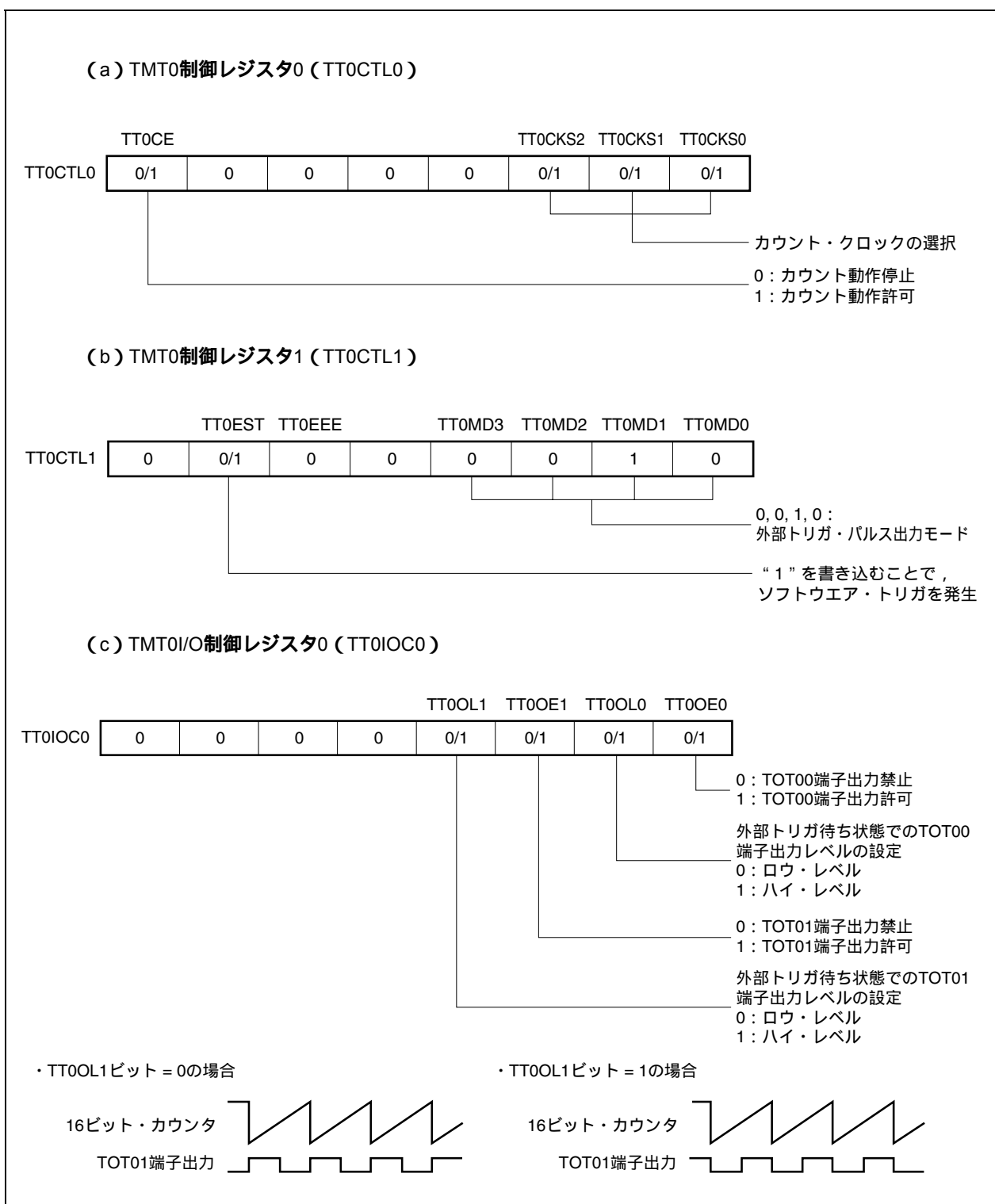
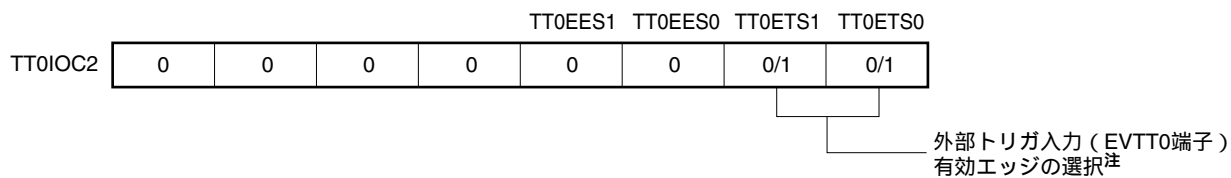


図9 - 23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

(d) TMT0I/O制御レジスタ2 (TT0IOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は、“エッジ検出なし”に設定してください。

(e) TMT0カウンタ・リード・バッファ・レジスタ (TT0CNT)

TT0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMT0キャプチャ/コンペア・レジスタ0, 1 (TT0CCR0, TT0CCR1)

TT0CCR0レジスタにD₀を設定し、TT0CCR1レジスタにD₁を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント} \cdot \text{クロック周期}$$

となります。

図9-23 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)

備考 TMT0制御レジスタ2 (TT0CTL2), TMT0I/O制御レジスタ1 (TT0IOC1), TMT0I/O制御レジスタ3 (TT0IOC3), TMT0オプション・レジスタ0 (TT0OPT0), TMT0オプション・レジスタ1 (TT0OPT1), TMT0カウンタ・ライト・レジスタ (TT0TCW) は, 外部トリガ・パルス出力モードでは使用しません。

(1) 外部トリガ・パルス出力モード動作フロー

図9-24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

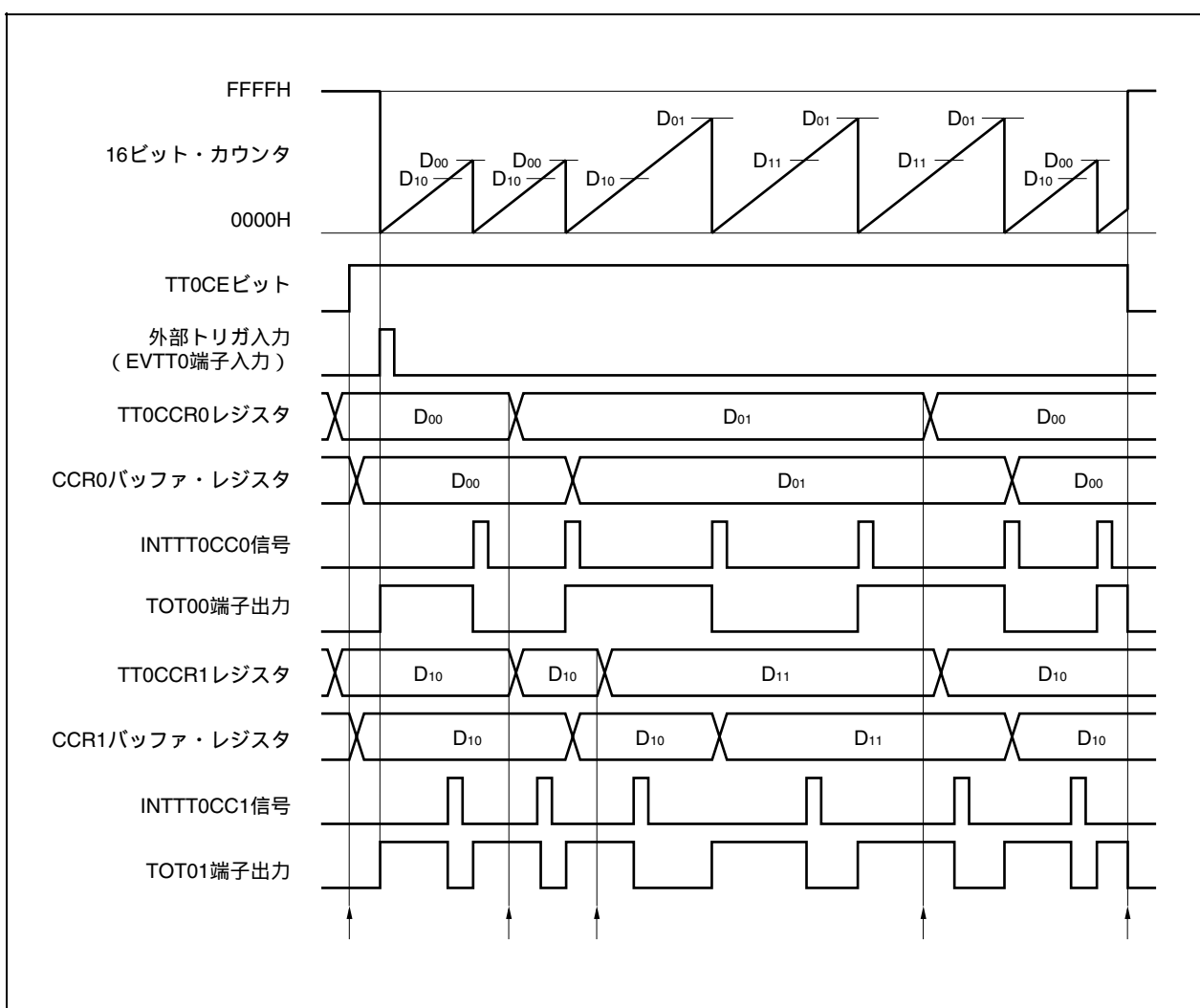
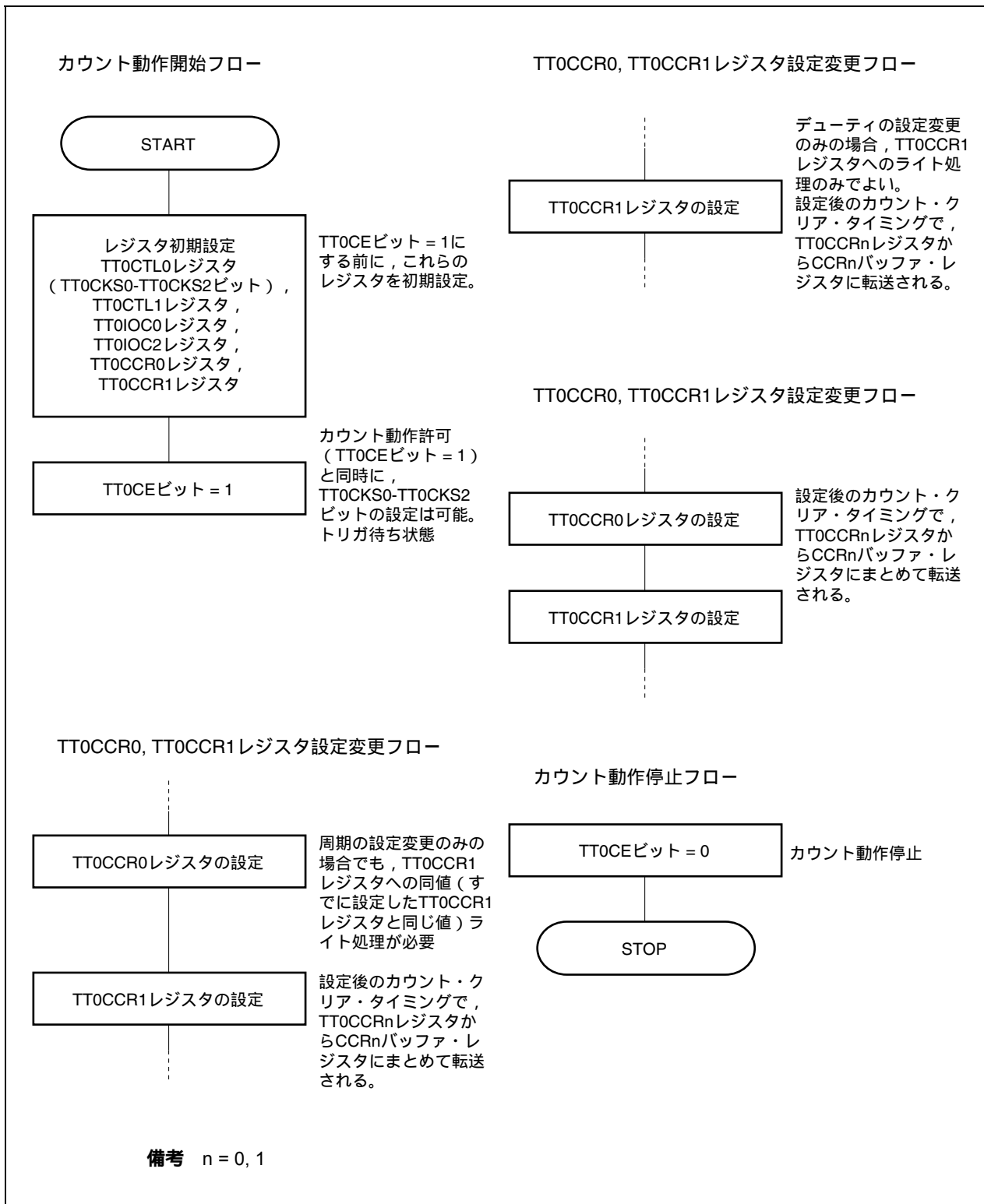


図9 - 24 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

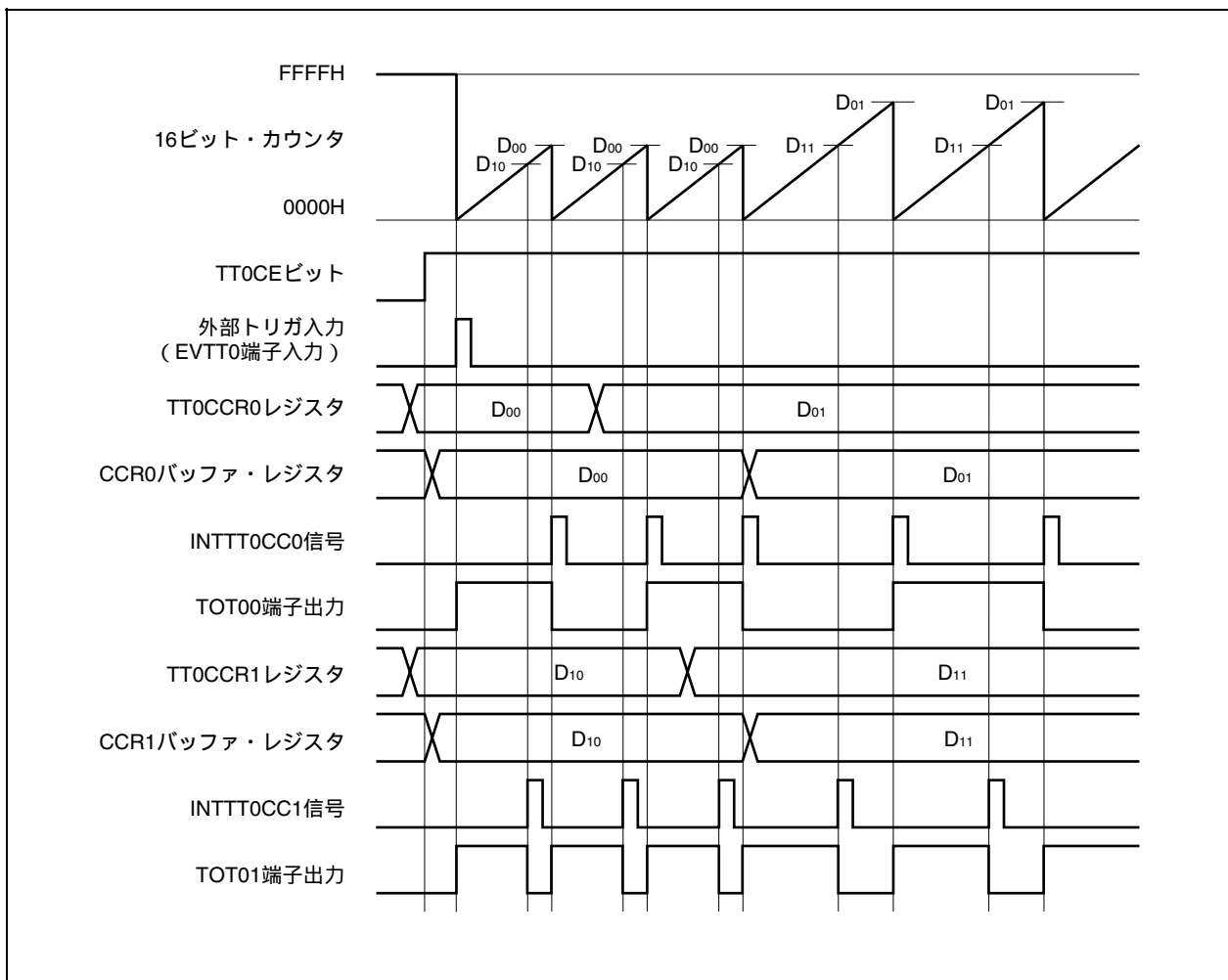


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTT0CCR1レジスタにライトしてください。

TT0CCR1レジスタにライト後、再度TT0CCRaレジスタの書き換えを行う場合には、INTTT0CC0信号を検出後に書き換えてください。



TT0CCRnレジスタからCCRnバッファ・レジスタへのデータ転送を行うためには、TT0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTT0CCR0レジスタに周期を設定し、そのあとでTT0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTT0CCR0レジスタに周期を設定し、そのあとでTT0CCR1レジスタに同値（すでに設定したTT0CCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TT0CCR1レジスタのみの設定でかまいません。

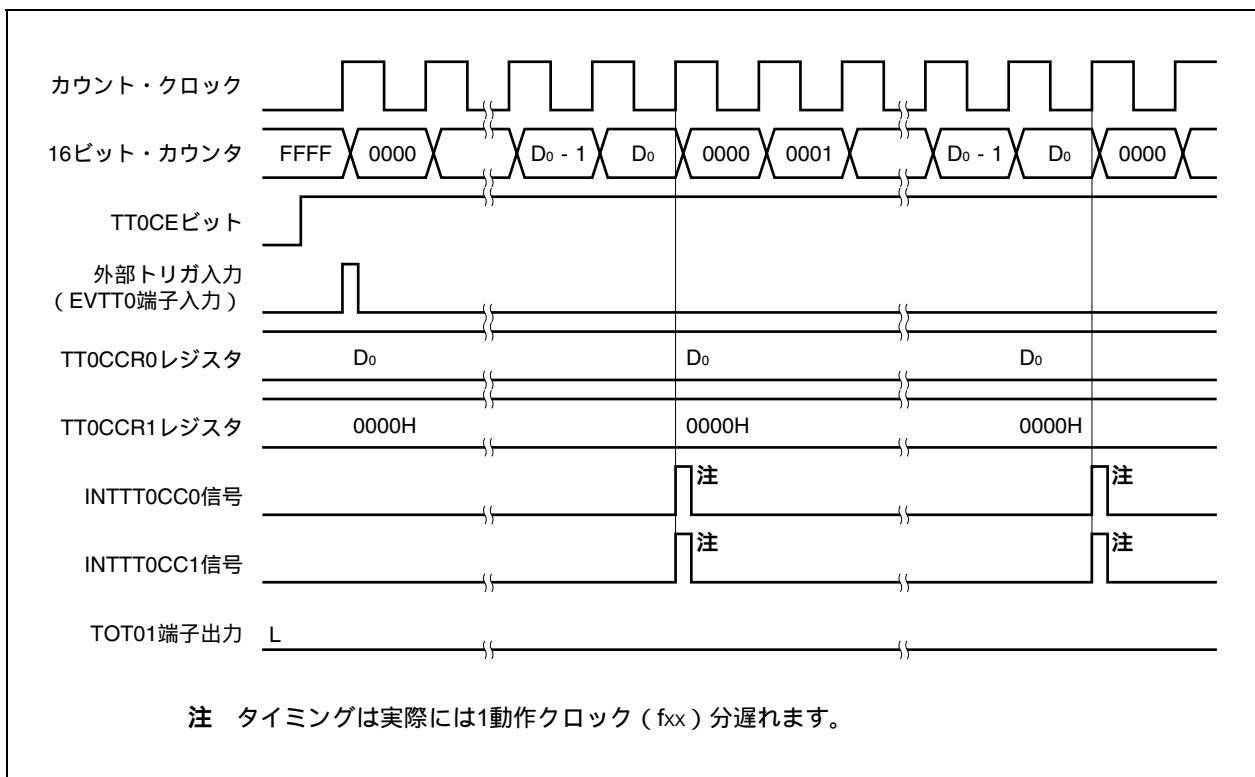
TT0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TT0CCRnレジスタに書き込まれた値がCCRnバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TT0CCR1レジスタにライトしたあとで、再度TT0CCR0、またはTT0CCR1レジスタへのライトを行う場合は、INTTT0CC0信号の発生後に行ってください。これを守れない場合には、TT0CCRnレジスタからCCRnバッファ・レジスタへのデータ転送タイミングと、TT0CCRnレジスタの書き換えの競合により、CCRnバッファ・レジスタの値が不定値になる場合があります。

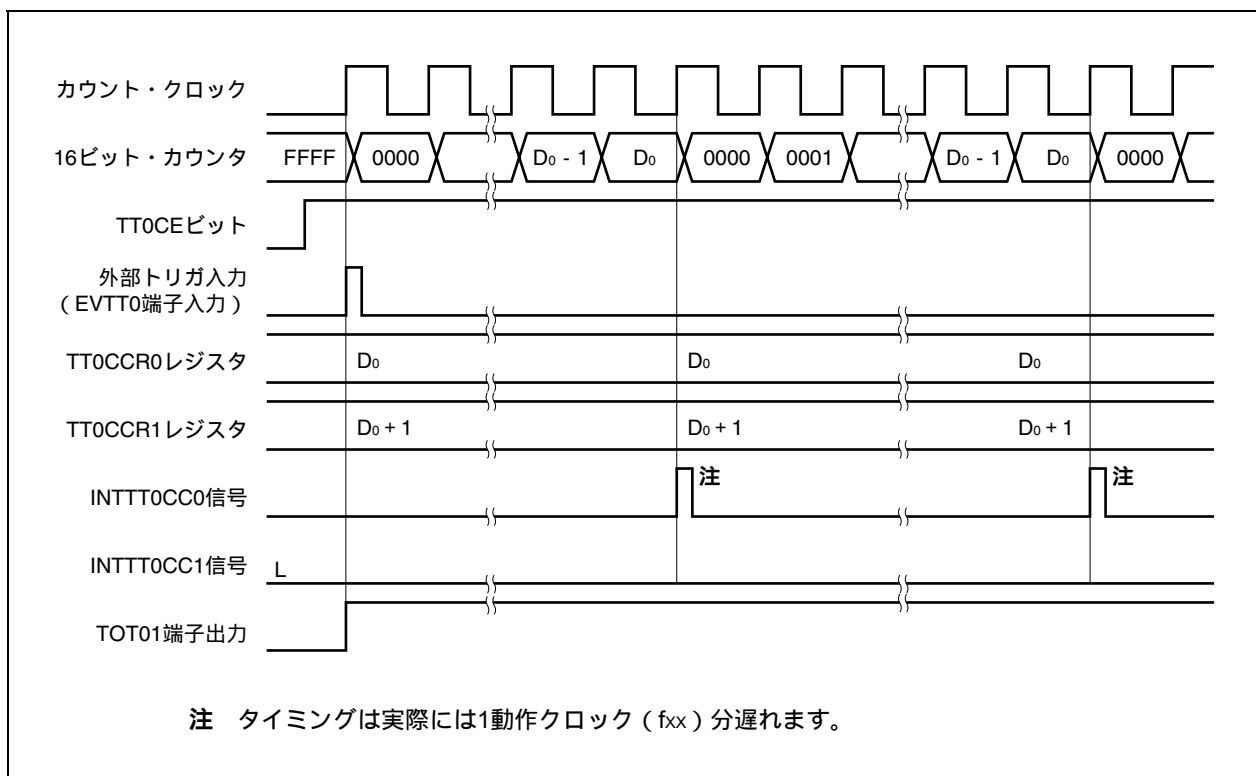
備考 n = 0, 1

(b) PWM波形の0% / 100%出力

0%波形を出力するためには、TT0CCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTT0CC0信号とINTTT0CC1信号が発生します。

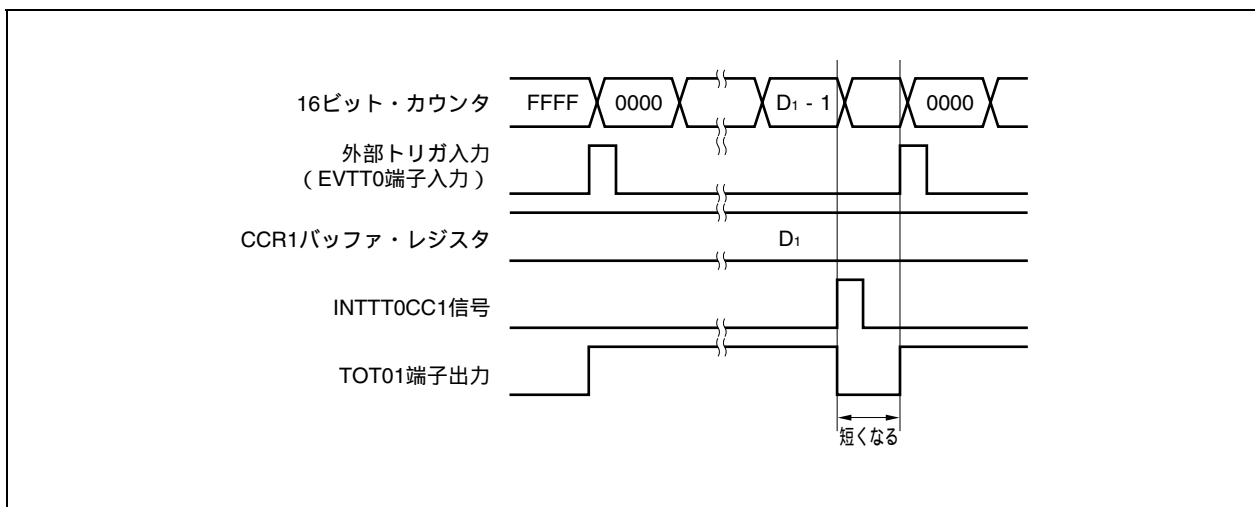


100 % 波形を出力するためには、TT0CCR1レジスタに対して (TT0CCR0レジスタの設定値 + 1) の値を設定してください。TT0CCR0レジスタの設定値がFFFFHの場合には、100 % 出力はできません。

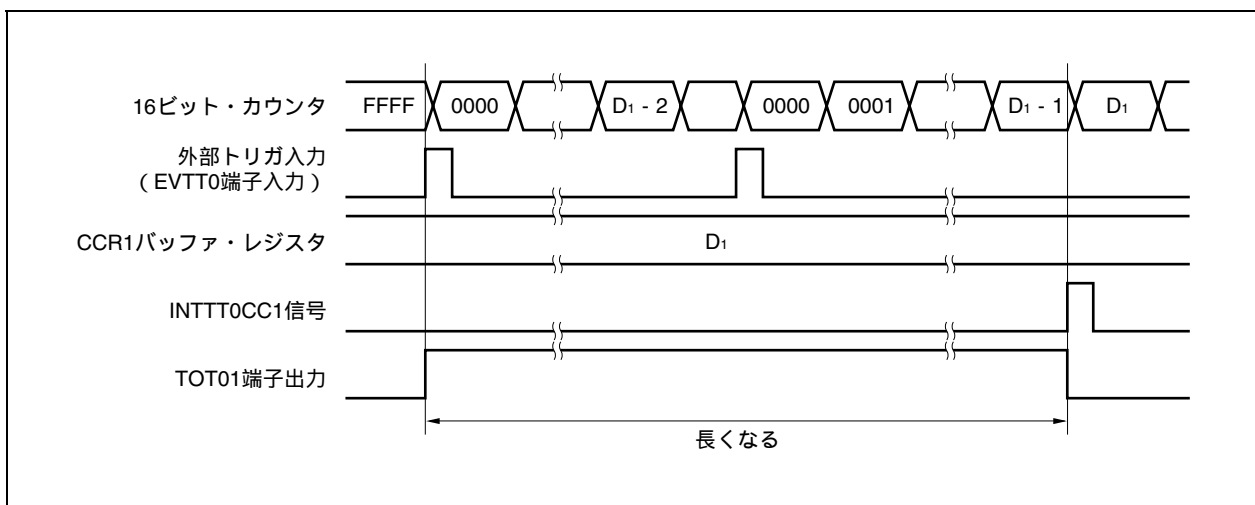


(c) トリガ検出とCCR1バッファ・レジスタとの一致の競合

INTTT0CC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOT01端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

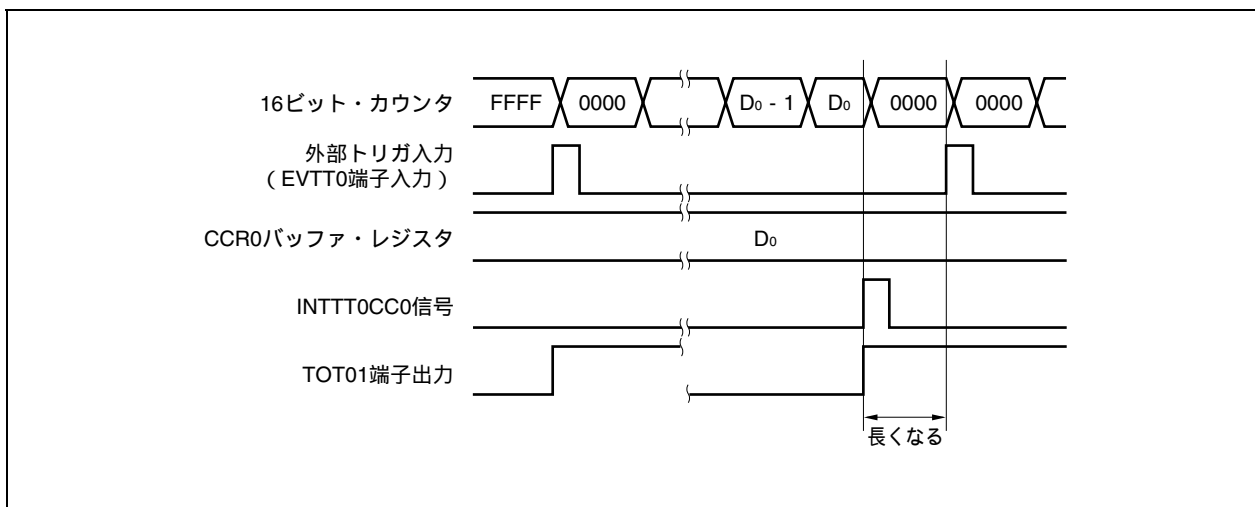


INTTT0CC1信号発生直前にトリガを検出した場合には、INTTT0CC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOT01端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

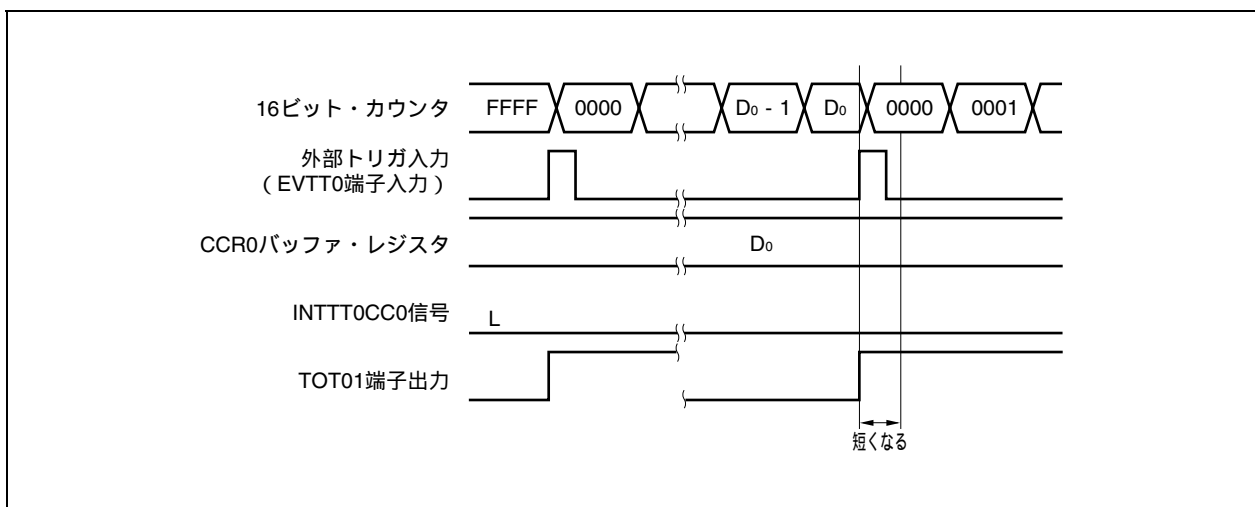


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTT0CC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOT01端子出力のアクティブ期間が、INTTT0CC0信号発生からトリガ検出までの分だけ長くなります。

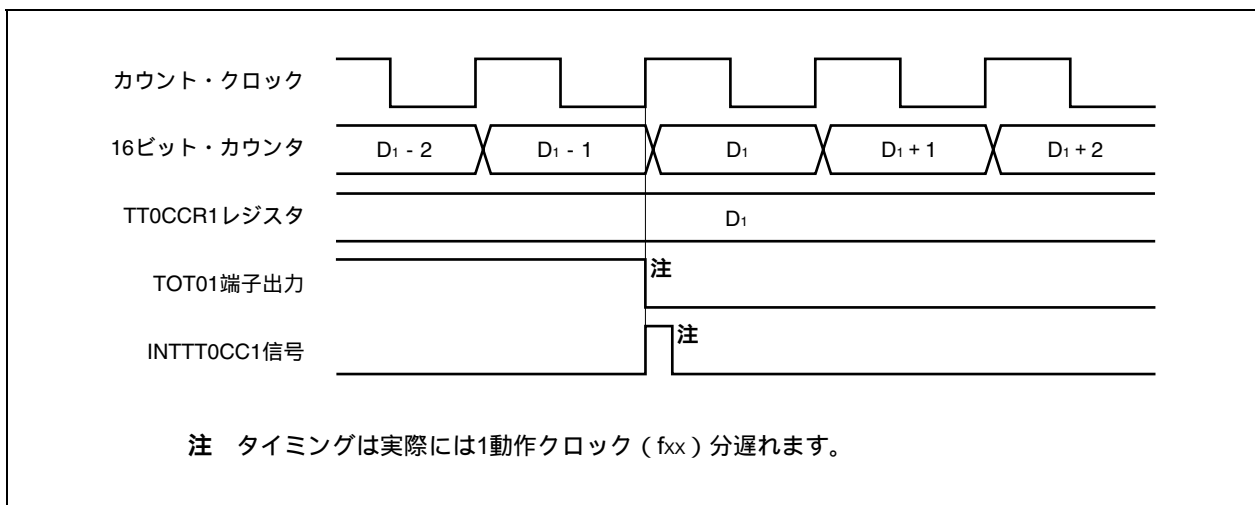


INTTT0CC0信号発生直前にトリガを検出した場合、INTTT0CC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOT01端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTTT0CC1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTT0CC1信号の発生タイミングは、ほかのモードのINTTT0CC1信号と異なり、16ビット・カウンタのカウント値とTT0CCR1レジスタの値との一致と同時に発生します。



通常、INTTT0CC1信号は、16ビット・カウンタのカウント値とTT0CCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

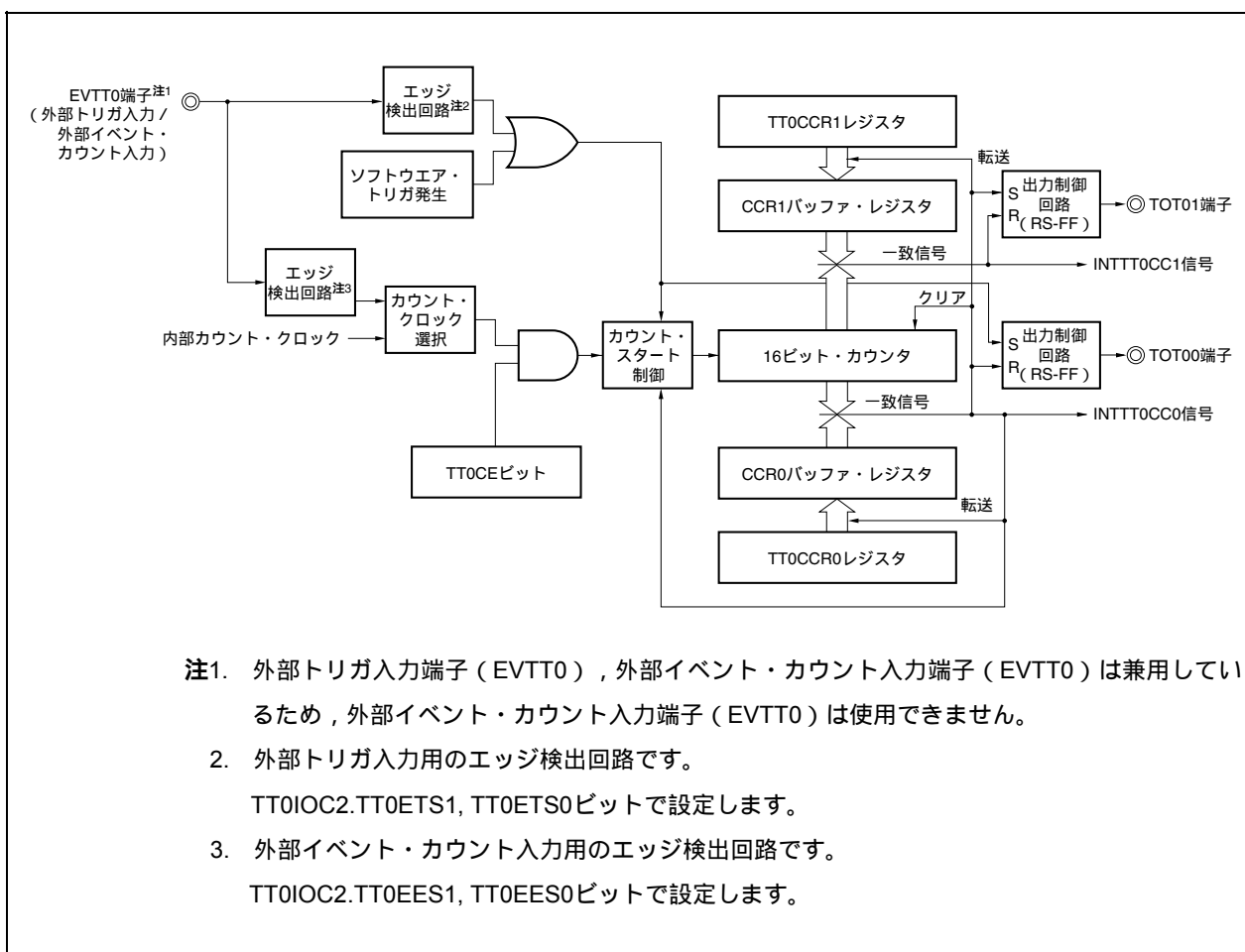
しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOT01端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

9.6.4 ワンショット・パルス出力モード (TT0MD3-TT0MD0ビット = 0011)

ワンショット・パルス出力モードは、TT0CTL0.TT0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOT01端子からワンショット・パルスを出力します。

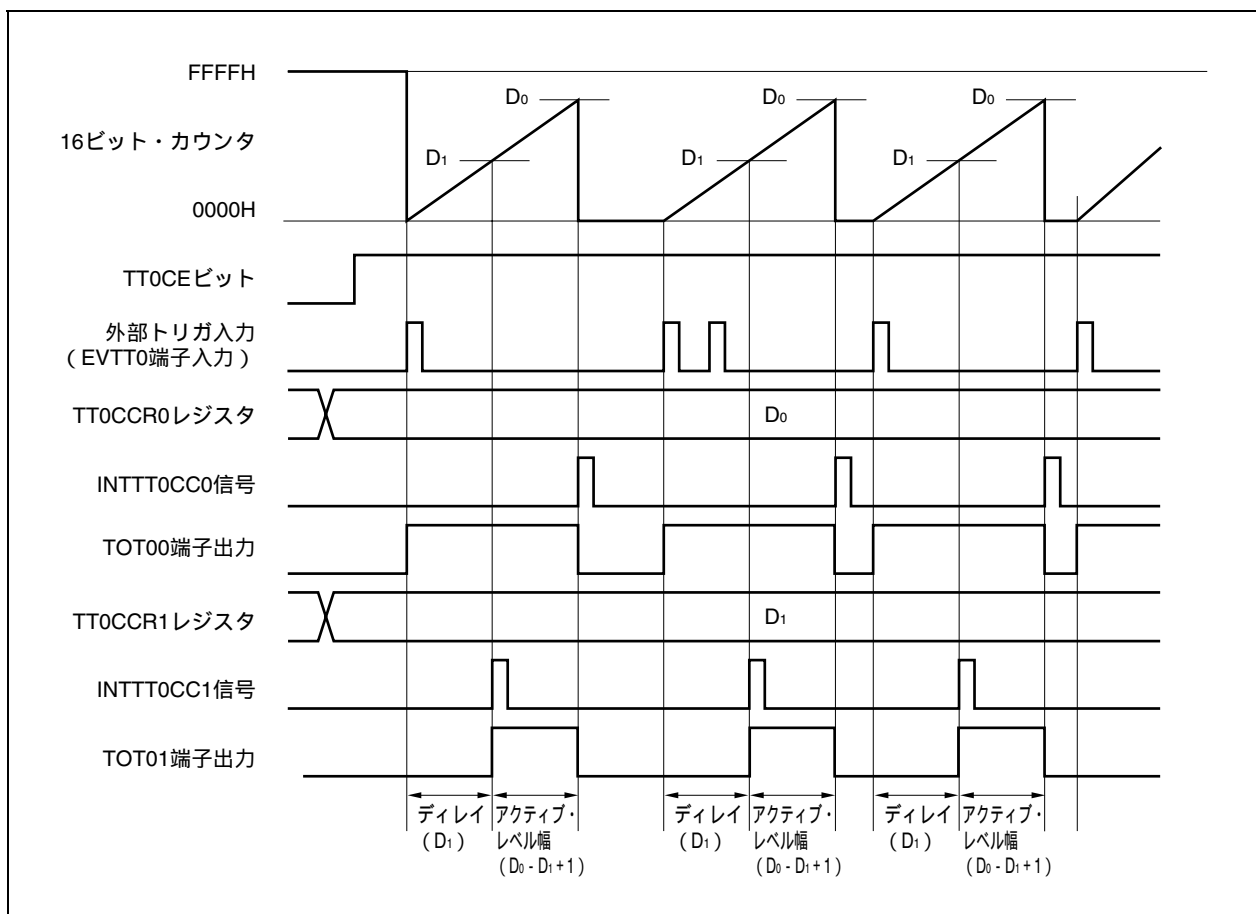
外部トリガ入力(EVTT0)の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合、TOT00端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図9-25 ワンショット・パルス出力モードの構成図



- 注1. 外部トリガ入力端子 (EVTT0), 外部イベント・カウント入力端子 (EVTT0) は兼用しているため、外部イベント・カウント入力端子 (EVTT0) は使用できません。
2. 外部トリガ入力用のエッジ検出回路です。
TT0IOC2.TT0ETS1, TT0ETS0ビットで設定します。
3. 外部イベント・カウント入力用のエッジ検出回路です。
TT0IOC2.TT0EES1, TT0EES0ビットで設定します。

図9 - 26 ワンショット・パルス出力モードの基本タイミング



TT0CEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOT01端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hからカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力ディレイ期間} = (\text{TT0CCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{アクティブ・レベル幅} = (\text{TT0CCR0レジスタの設定値} - \text{TT0CCR1レジスタの設定値} + 1) \\ \times \text{カウント・クロック周期}$$

コンペアー一致割り込み要求信号 (INTTT0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTT0CC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (EVTT0端子) の有効エッジ、またはソフトウェア・トリガ (TT0CTL1.TT0ESTビット) のセット(1)があります。

図9 - 27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

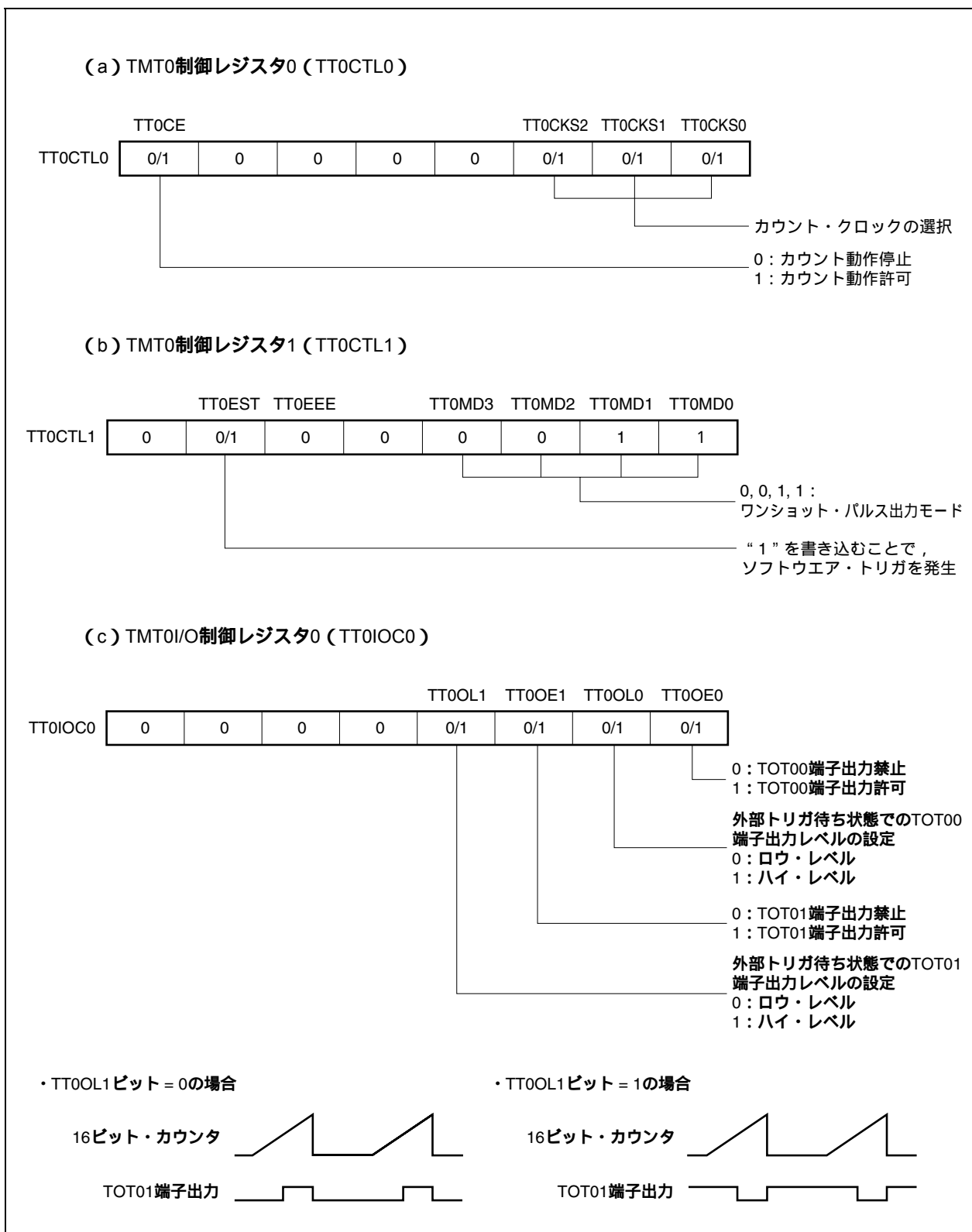
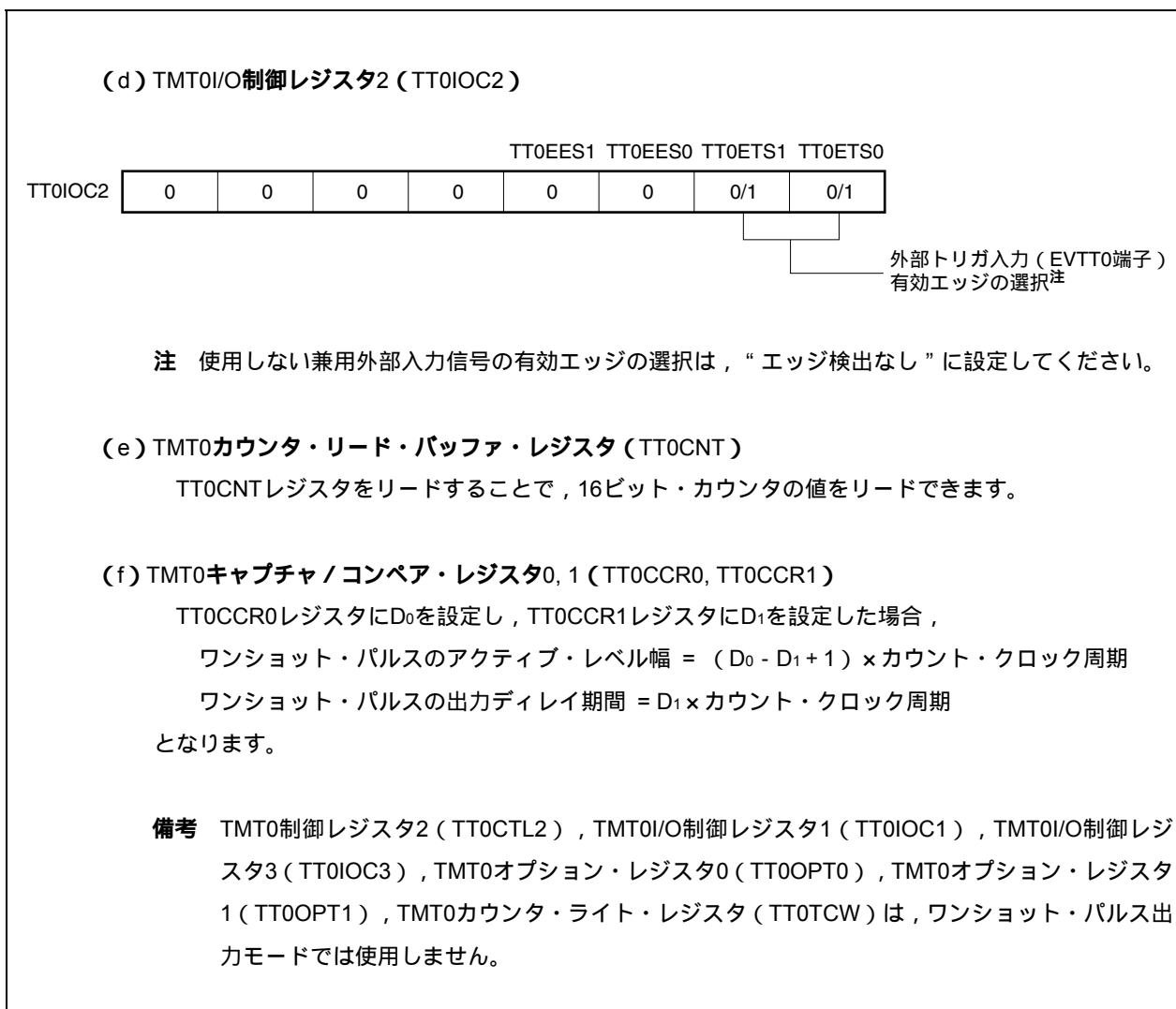
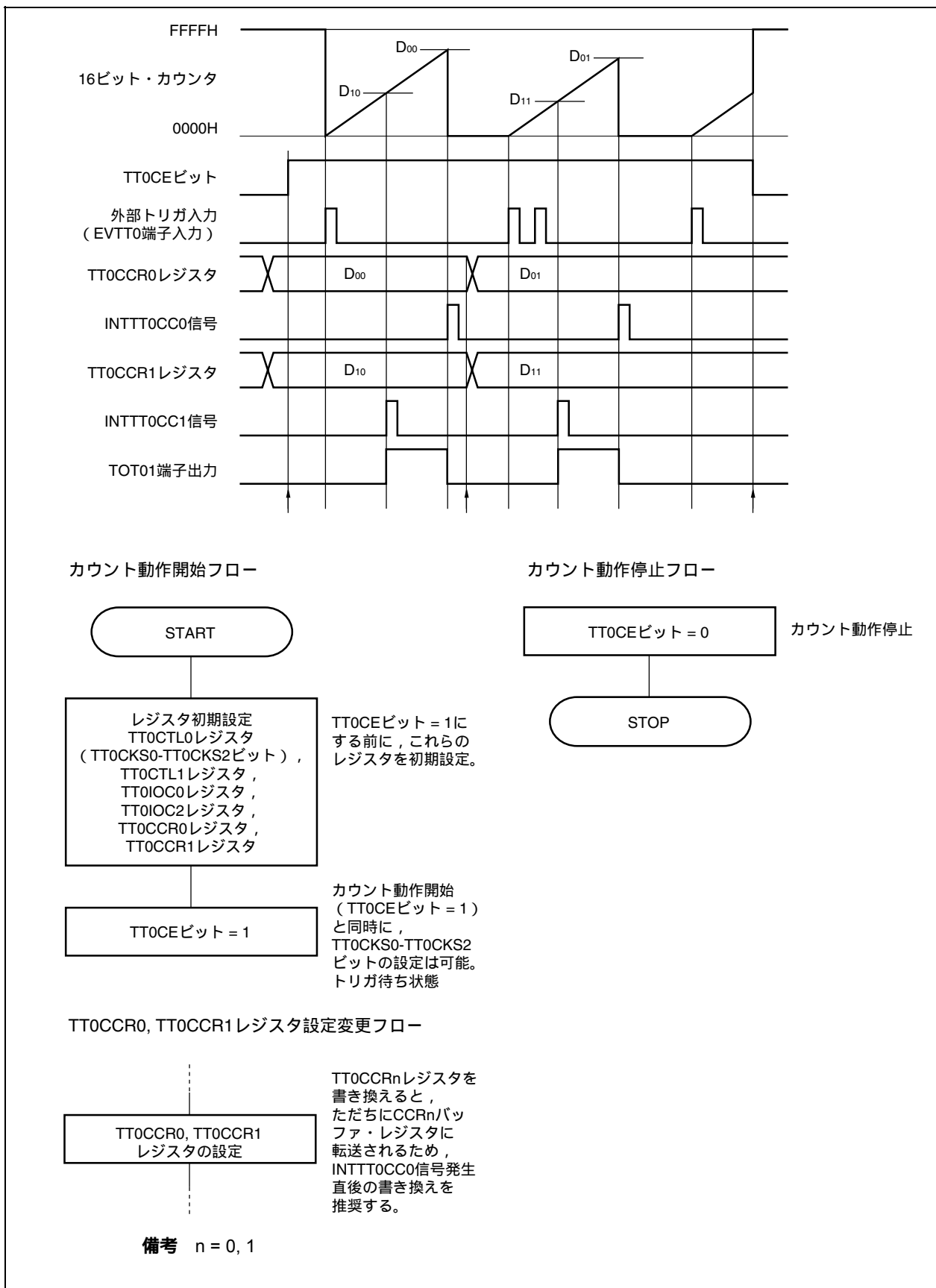


図9 - 27 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) ワンショット・パルス出力モード動作フロー

図9 - 28 ワンショット・パルス出力モード使用時のソフトウェア処理フロー

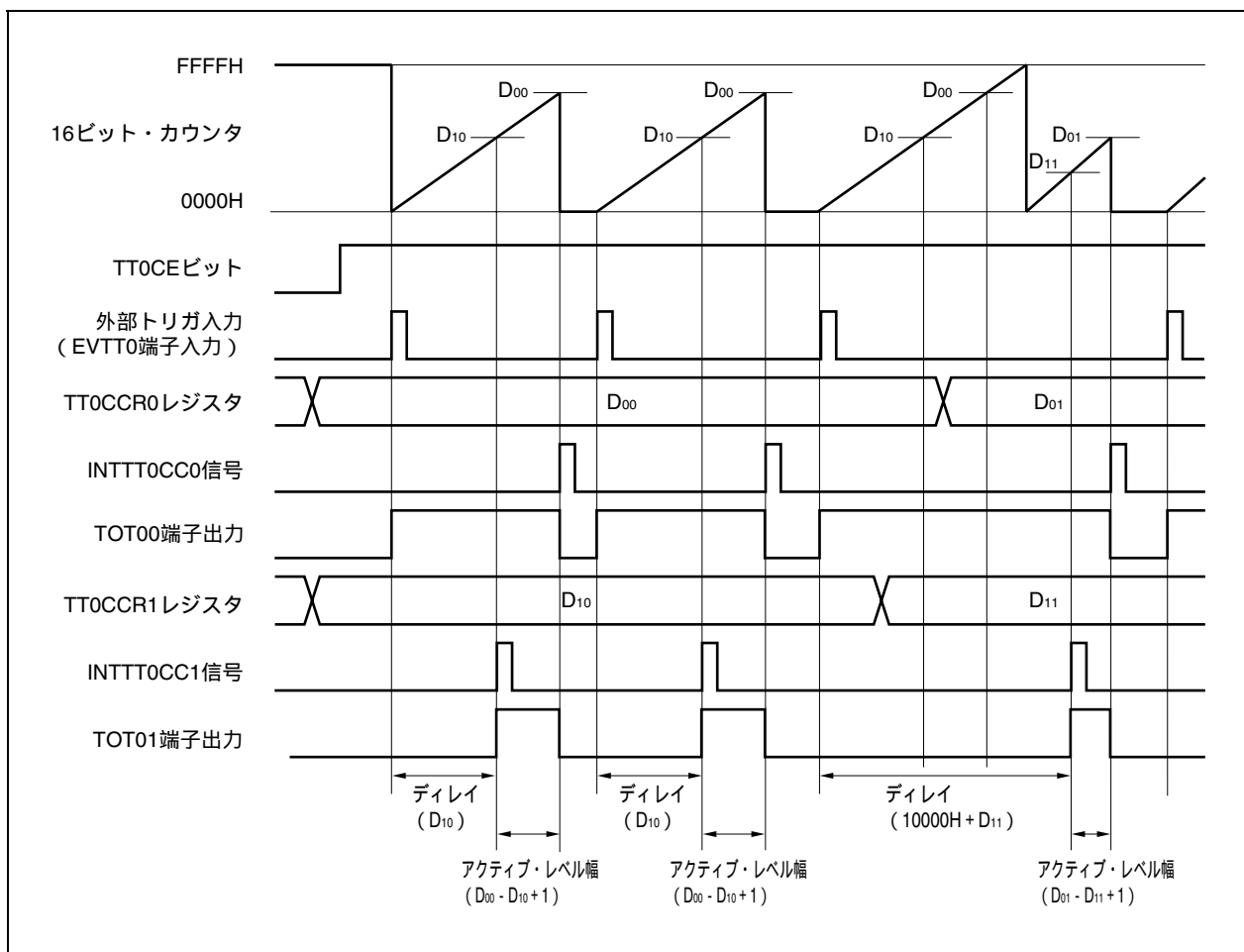


(2) ワンショット・パルス出力モード動作タイミング

(a) TT0CCRnレジスタの書き換えに関する注意事項

カウント動作中にTT0CCRnレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

備考 n= 0, 1

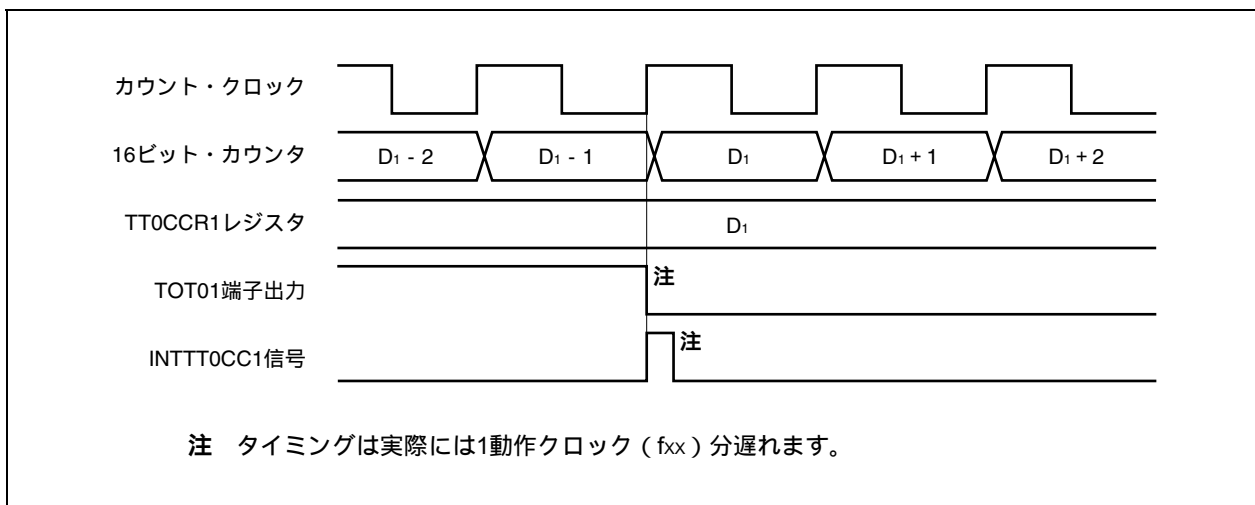


TT0CCR0レジスタをD00からD01に、TT0CCR1レジスタをD10からD11に書き換える場合において、 $D_{00} > D_{01}$ 、 $D_{10} > D_{11}$ の状態では、16ビット・カウンタのカウンタ値がD11よりも大きくD10よりも小さい状態のときTT0CCR1レジスタを書き換え、カウンタ値がD01よりも大きくD00よりも小さい状態でTT0CCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウンタ値と比較されるために、カウンタ値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D11との一致でINTTT0CC1信号を発生してTOT01端子出力をアクティブ・レベルにし、D01との一致でINTTT0CC0信号を発生してTOT01端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

(b) コンペアー一致割り込み要求信号 (INTTT0CC1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTT0CC1信号の発生タイミングは、ほかのモードのINTTT0CC1信号と異なり、16ビット・カウンタのカウント値とTT0CCR1レジスタの値との一致と同時に発生します。



通常、INTTT0CC1信号は、16ビット・カウンタのカウント値とTT0CCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOT01端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

9.6.5 PWM出力モード (TT0MD3-TT0MD0ビット = 0100)

PWM出力モードは、TT0CTL0.TT0CEビットをセット(1)することで、TOT01端子からPWM波形を出力します。

また、TOT00端子から、TT0CCR0レジスタの設定値+1を半周期とする方形波を出力します。

図9-29 PWM出力モードの構成図

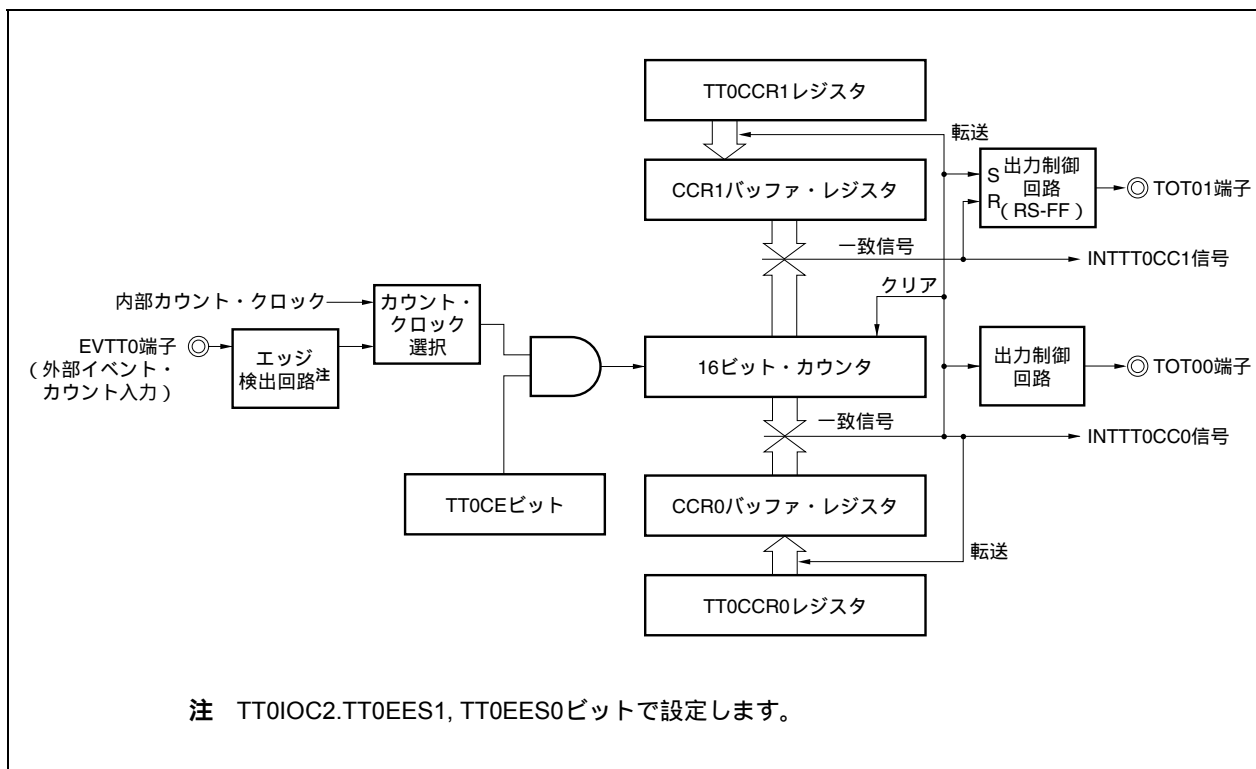
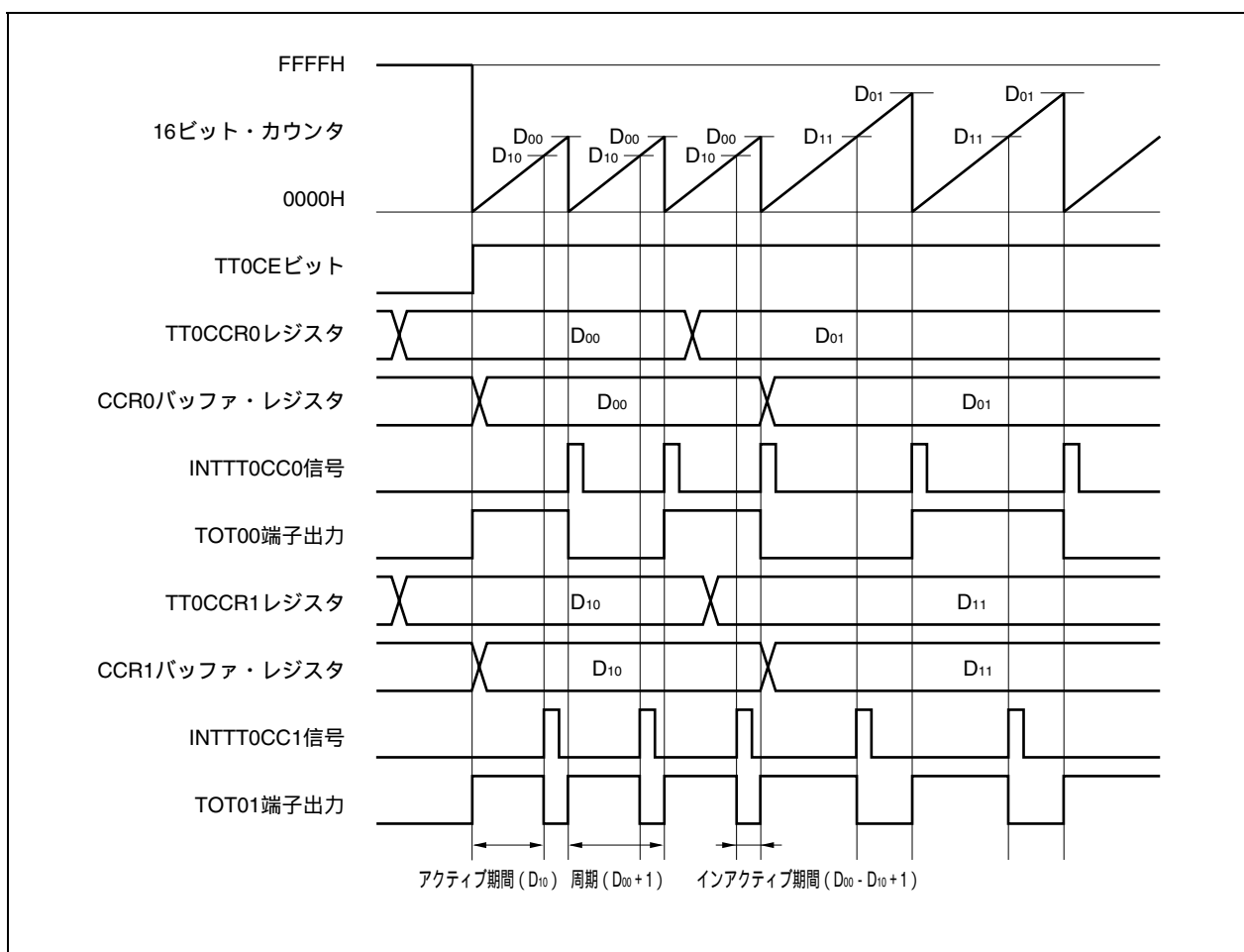


図9-30 PWM出力モードの基本タイミング



TT0CEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOT01端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TT0CCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TT0CCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TT0CCR1レジスタの設定値}) / (\text{TT0CCR0レジスタの設定値} + 1)$$

動作中にTT0CCRNレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTTT0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTT0CC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TT0CCRNレジスタに設定した値は、16ビット・カウンタのカウント値とCCRNバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRNバッファ・レジスタに転送されます。

備考 n = 0, 1

図9 - 31 PWM出力モード動作時のレジスタ設定内容 (1/2)

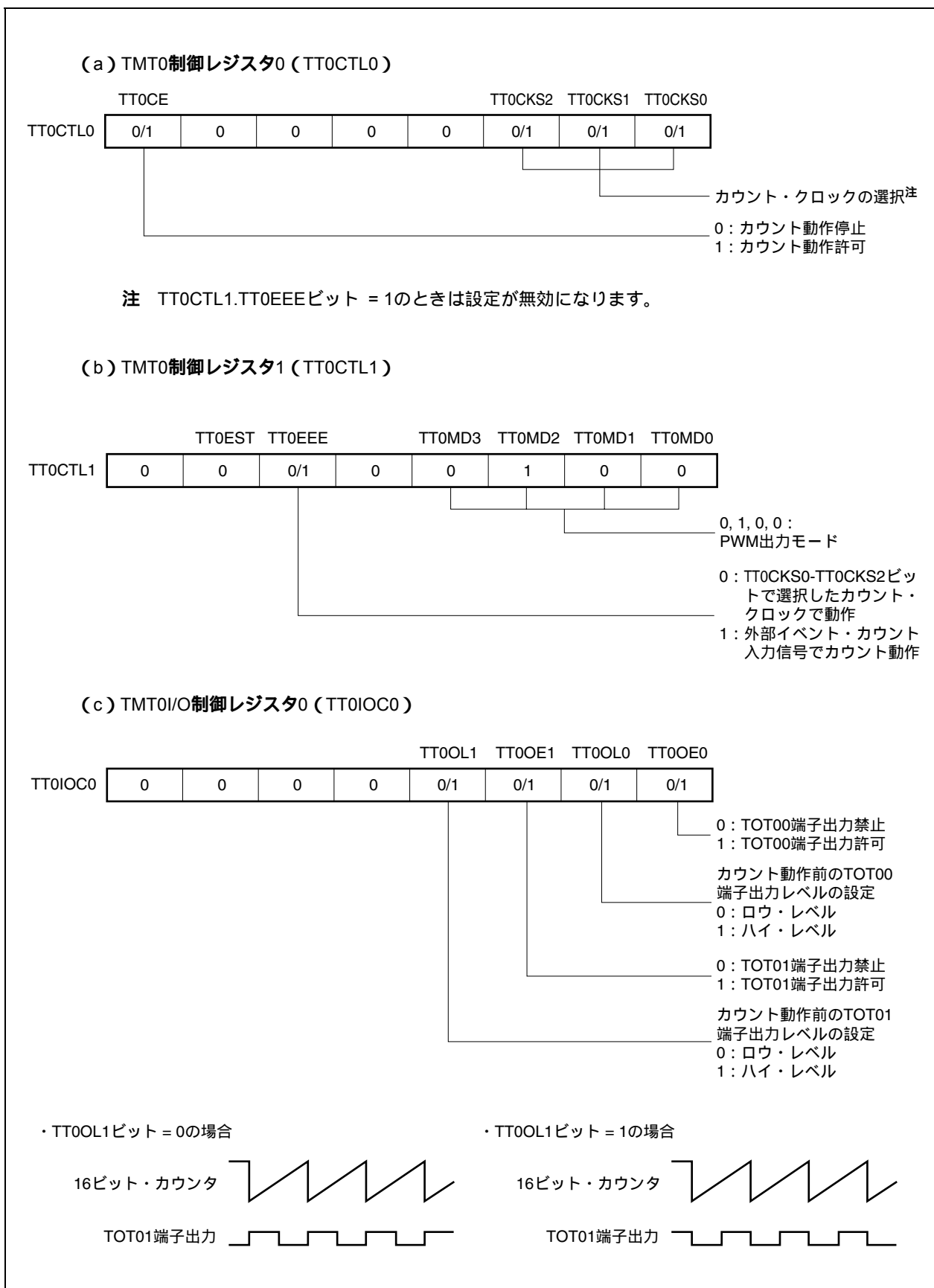
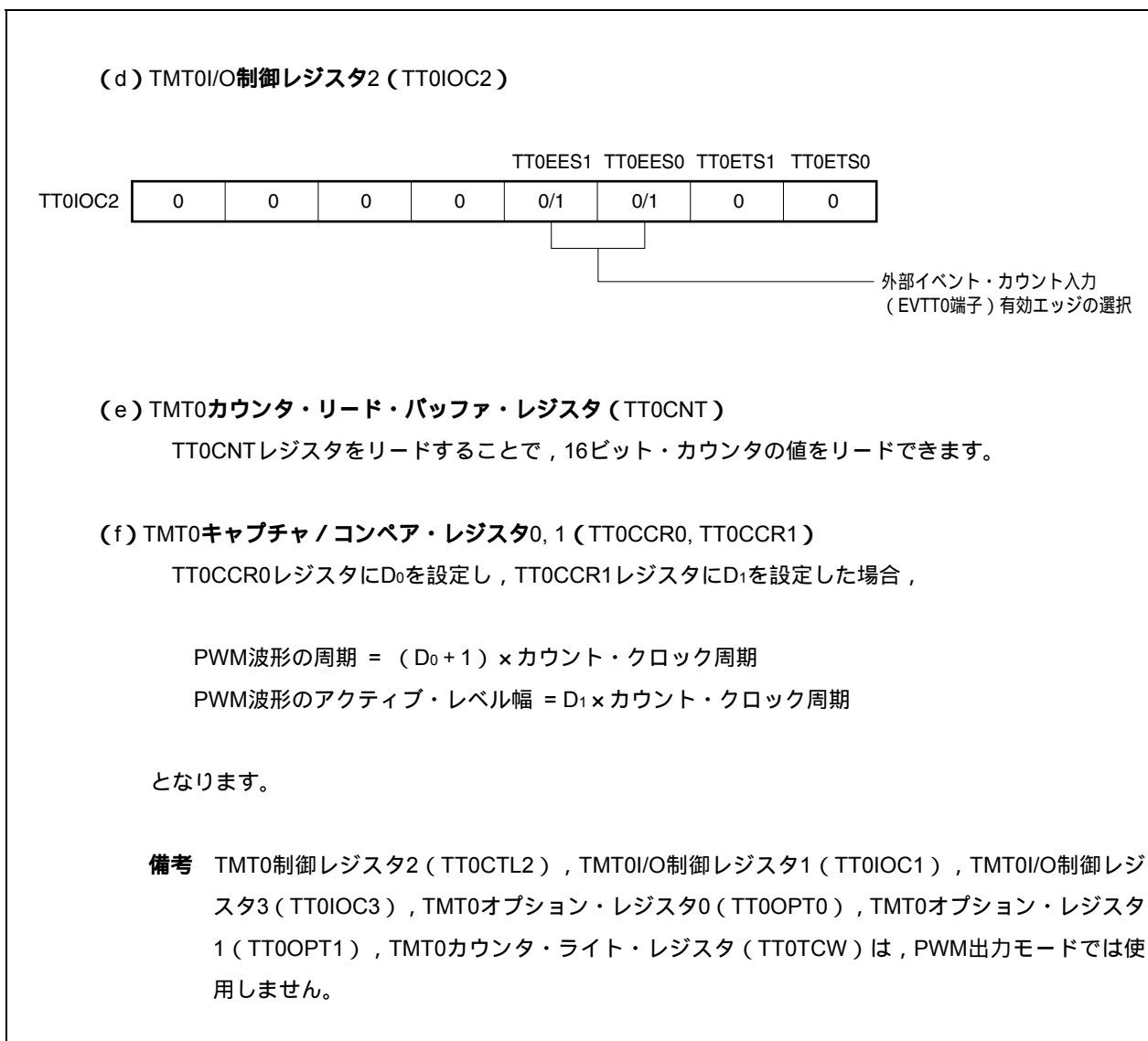


図9 - 31 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図9 - 32 PWM出力モード使用時のソフトウェア処理フロー (1/2)

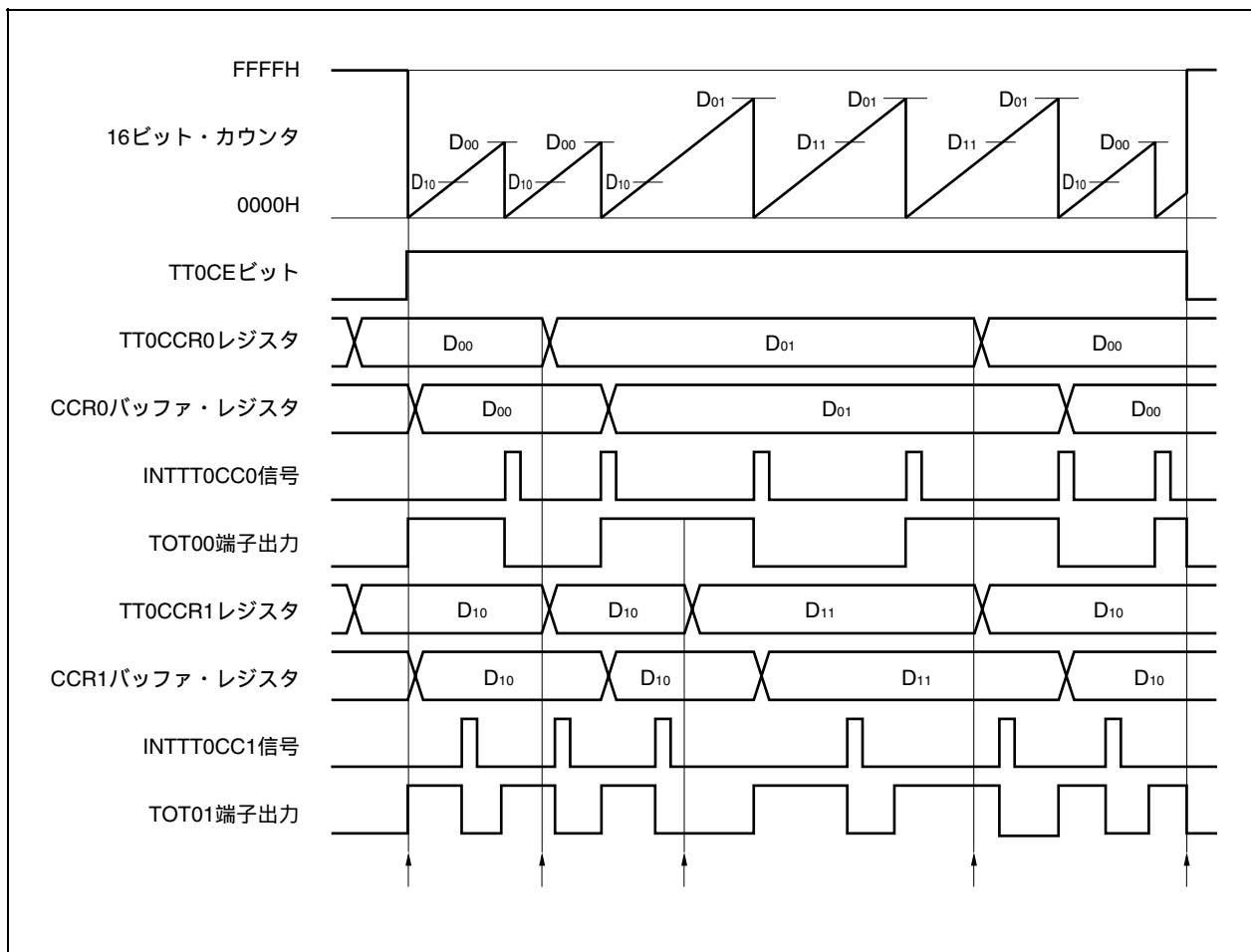
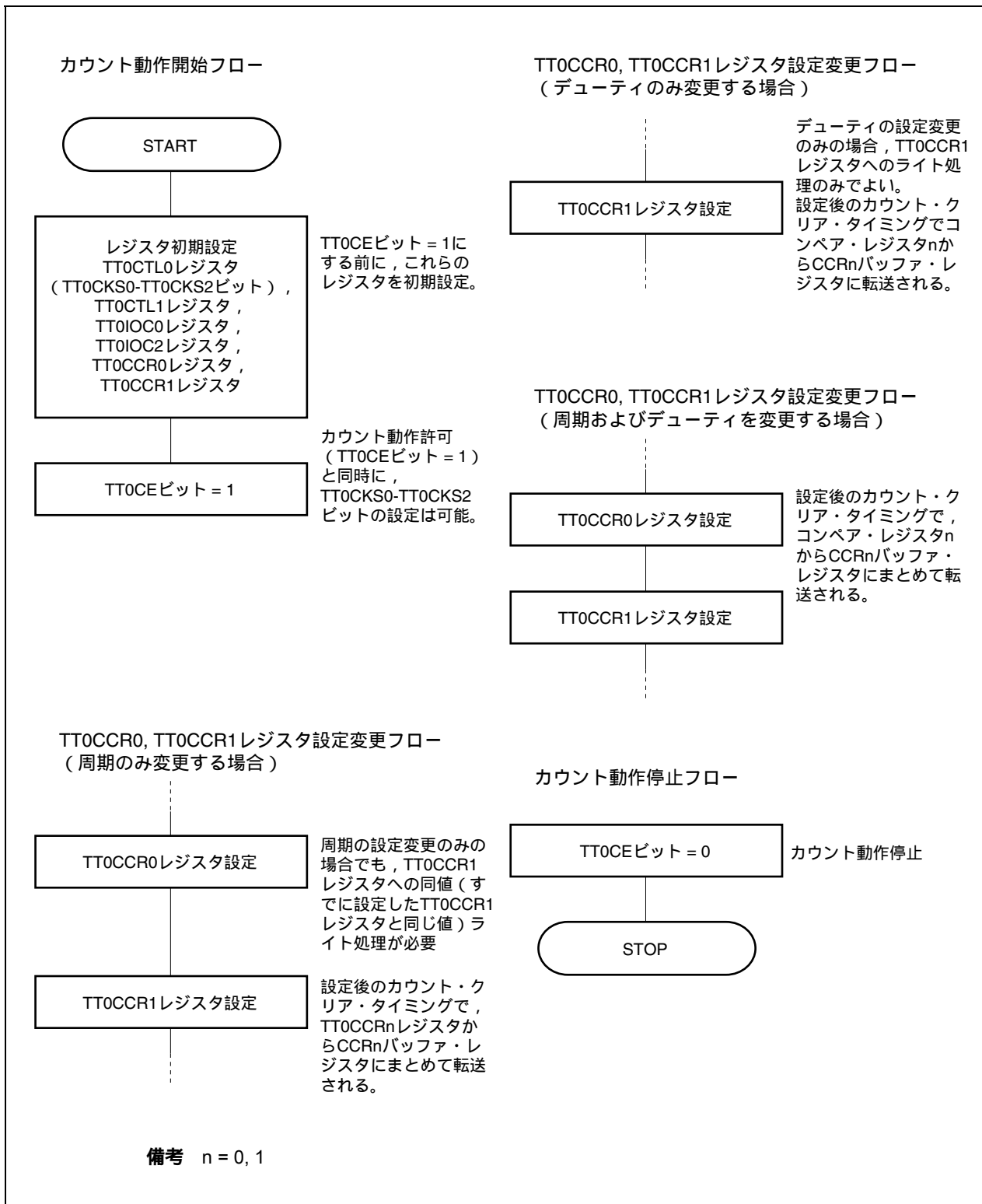


図9 - 32 PWM出力カモード使用時のソフトウェア処理フロー (2/2)

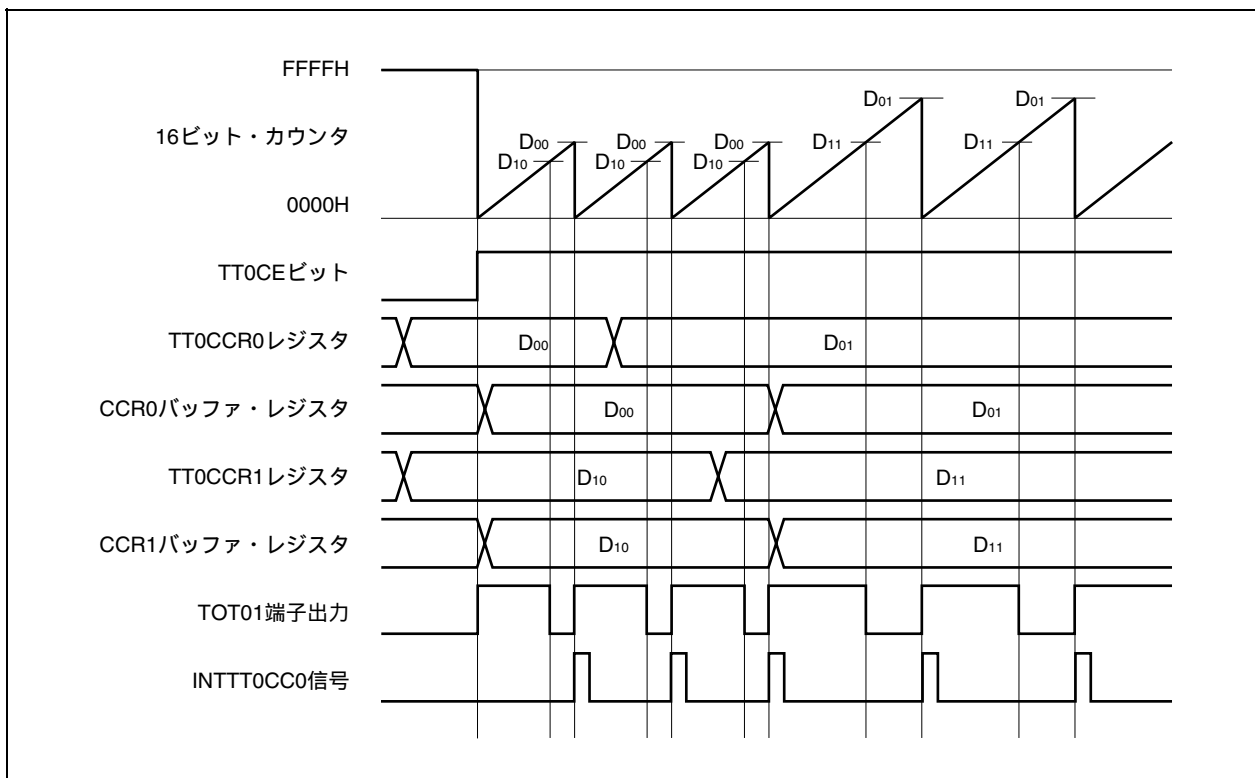


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTT0CCR1レジスタにライトしてください。

TT0CCR1レジスタにライト後、再度TT0CCRnレジスタの書き換えを行う場合には、INTTT0CC1信号を検出後に書き換えてください。



TT0CCRnレジスタからCCRnバッファ・レジスタへのデータ転送を行うためには、TT0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTT0CCR0レジスタに周期を設定し、そのあとでTT0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTT0CCR0レジスタに周期を設定し、そのあとでTT0CCR1レジスタに同値（すでに設定したTT0CCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TT0CCR1レジスタのみの設定でかまいません。

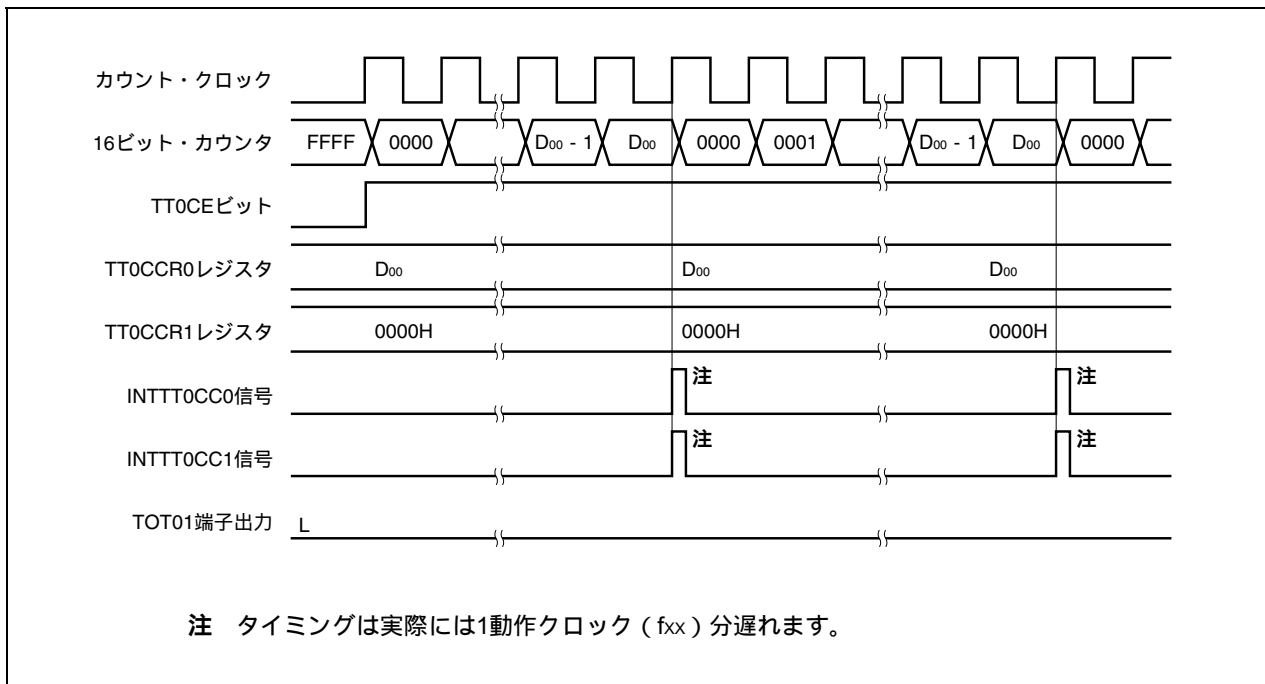
TT0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TT0CCRnレジスタに書き込まれた値がCCRnバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TT0CCR1レジスタにライトしたあとで、再度TT0CCR0、またはTT0CCR1レジスタへのライトを行う場合は、INTTT0CC0信号の発生後に行ってください。これを守れない場合には、TT0CCRnレジスタからCCRnバッファ・レジスタへのデータ転送タイミングと、TT0CCRnレジスタの書き換えの競合により、CCRnバッファ・レジスタの値が不定値になる場合があります。

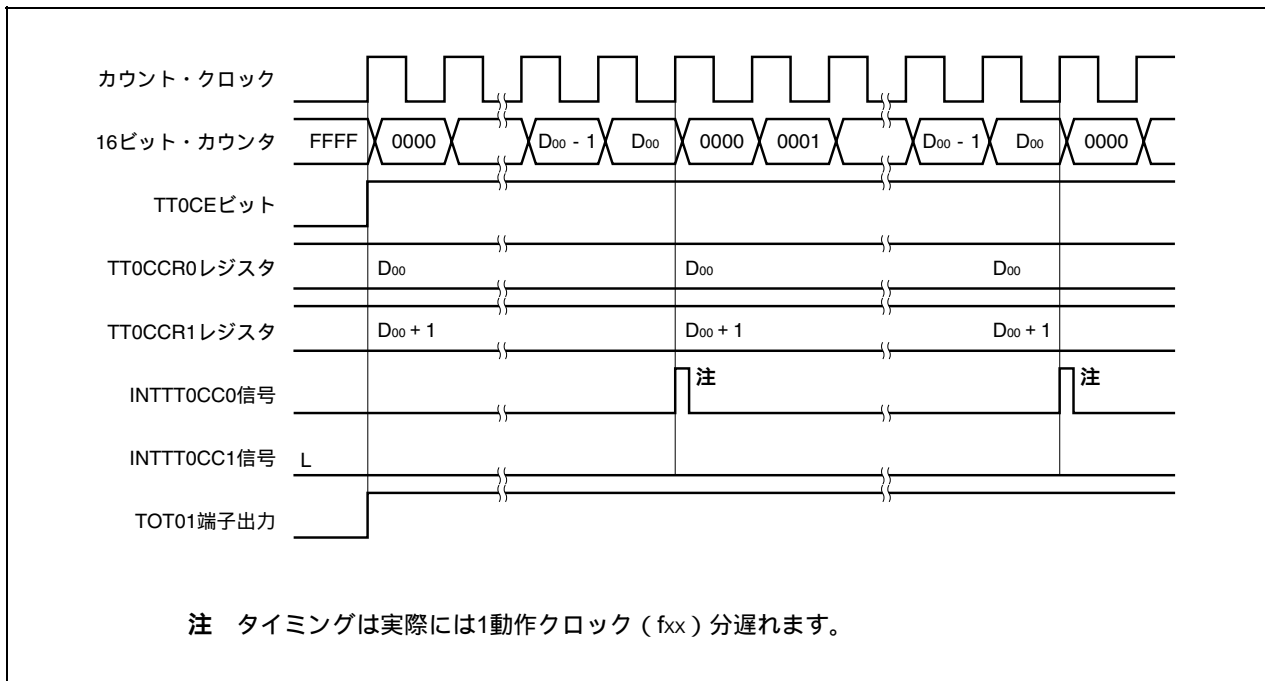
備考 n = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TT0CCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTT0CC0信号とINTTT0CC1信号が発生します。

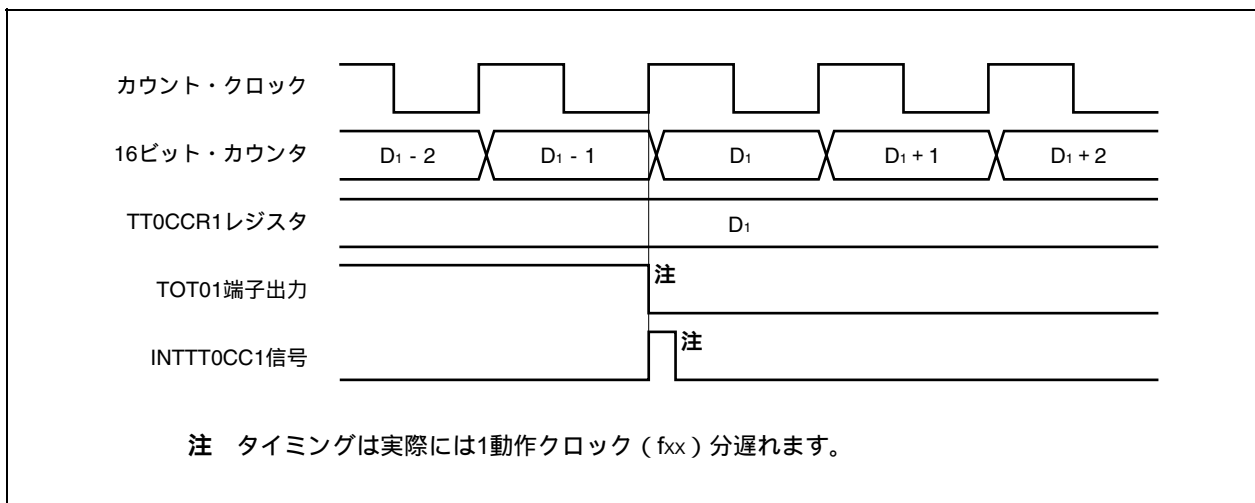


100 % 波形を出力するためには、TT0CCR1レジスタに対して (TT0CCR0レジスタの設定値 + 1) の値を設定してください。TT0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTT0CC1) の発生タイミング

PWM出力モードにおけるINTTT0CC1信号の発生タイミングは、ほかのモードのINTTT0CC1信号と異なり、16ビット・カウンタのカウンタ値とTT0CCR1レジスタの値との一致と同時に発生します。



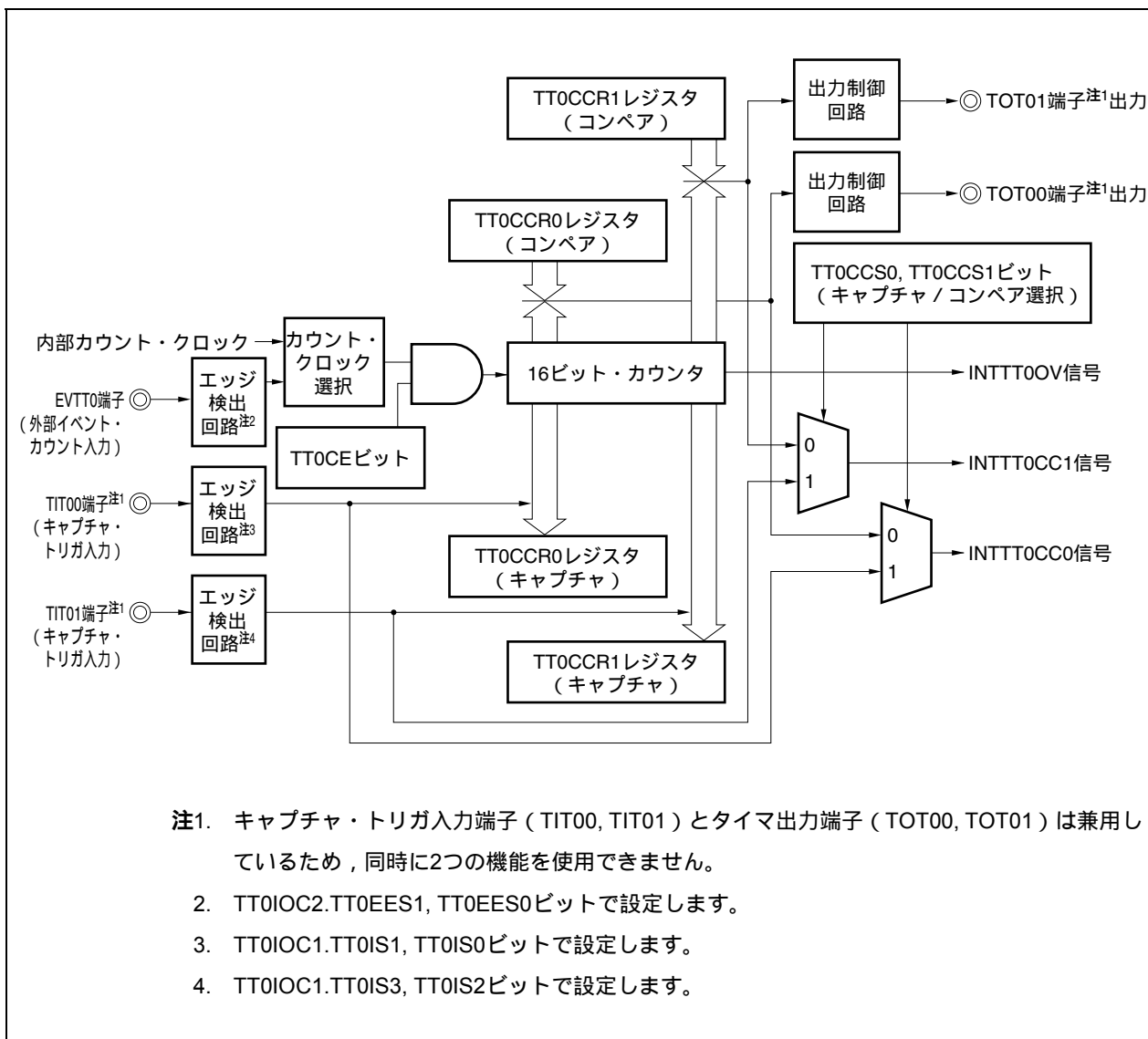
通常、INTTT0CC1信号は、16ビット・カウンタのカウンタ値とTT0CCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOT01端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

9.6.6 フリー・ランニング・タイマ・モード (TT0MD3-TT0MD0ビット = 0101)

フリー・ランニング・タイマ・モードは、TT0CTL0.TT0CEビットをセット(1)することでカウント動作を開始します。このときのTT0CCR0, TT0CCR1レジスタの動作は、TT0OPT0.TT0CCS0, TT0CCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図9-33 フリー・ランニング・タイマ・モードの構成図



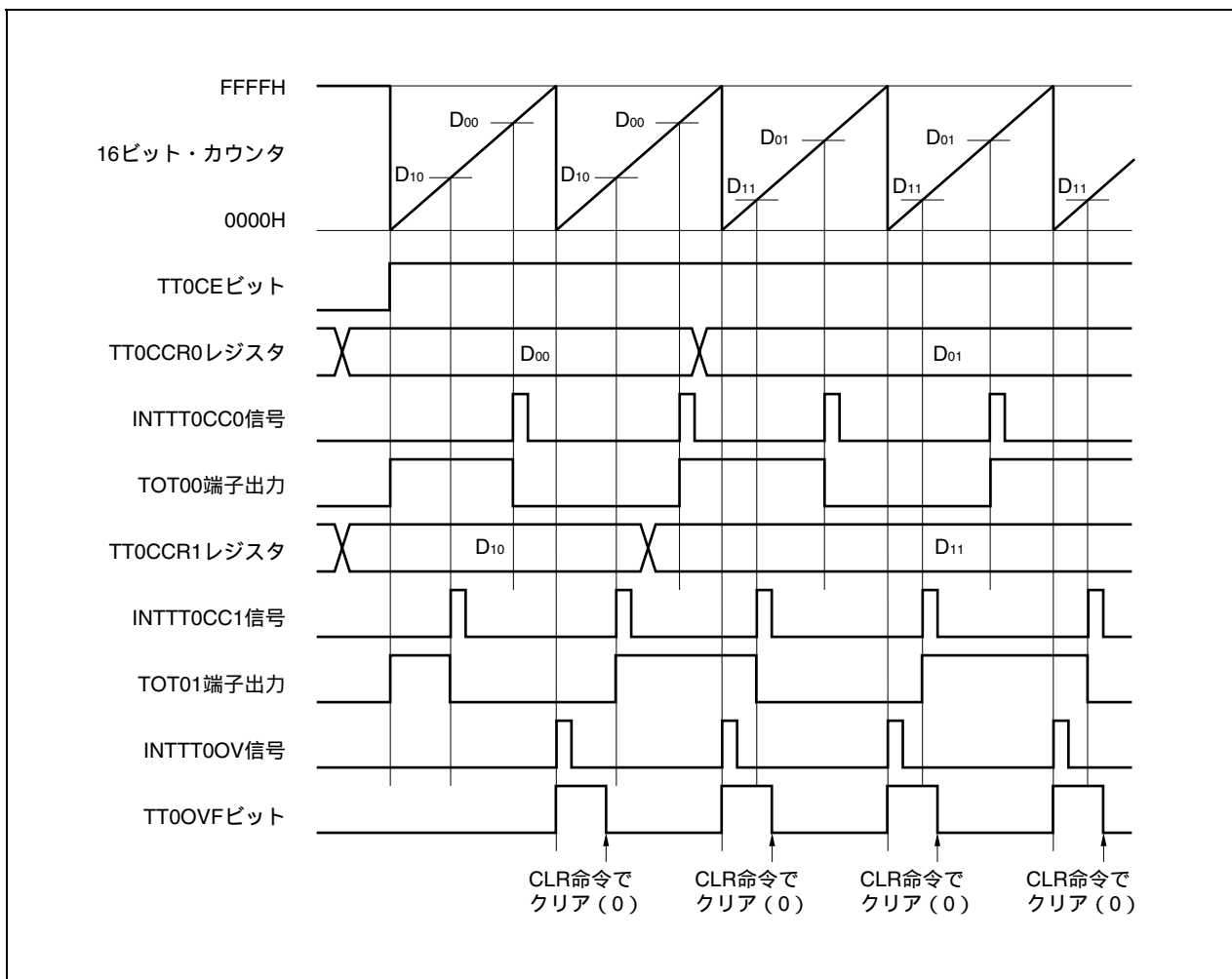
・コンペア動作

TT0CEビットをセット(1)することで、カウント動作を開始し、TOT0n端子出力を反転します。その後、16ビット・カウンタのカウント値とTT0CCRnレジスタの設定値が一致すると、コンペア一致割り込み要求信号(INTTT0CCn)を発生し、TOT0n端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号(INTTT0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TT0OPT0.TT0OVFビット)もセット(1)されます。オーバフロー・フラグがセット(1)されているのを確認してからソフトウェアでCLR命令を実行してクリア(0)してください。

TT0CCRnレジスタは、カウント動作中の書き換えを許可しています。書き換えした場合、随時書き込みにより値が即反映され、カウント値と比較されます。

図9-34 フリー・ランニング・タイマ・モードの基本タイミング(コンペア機能)



・キャプチャ動作

TT0CEビットをセット(1)することで、カウント動作を開始します。その後、TIT0n端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTT0CCRnレジスタに格納し、キャプチャ割り込み要求信号(INTTT0CCn)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号(INTTT0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TT0OPT0.TT0OVFビット)もセット(1)されます。オーバフロー・フラグがセット(1)されていることを確認してからソフトウェアでCLR命令を実行してクリア(0)してください。

図9-35 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

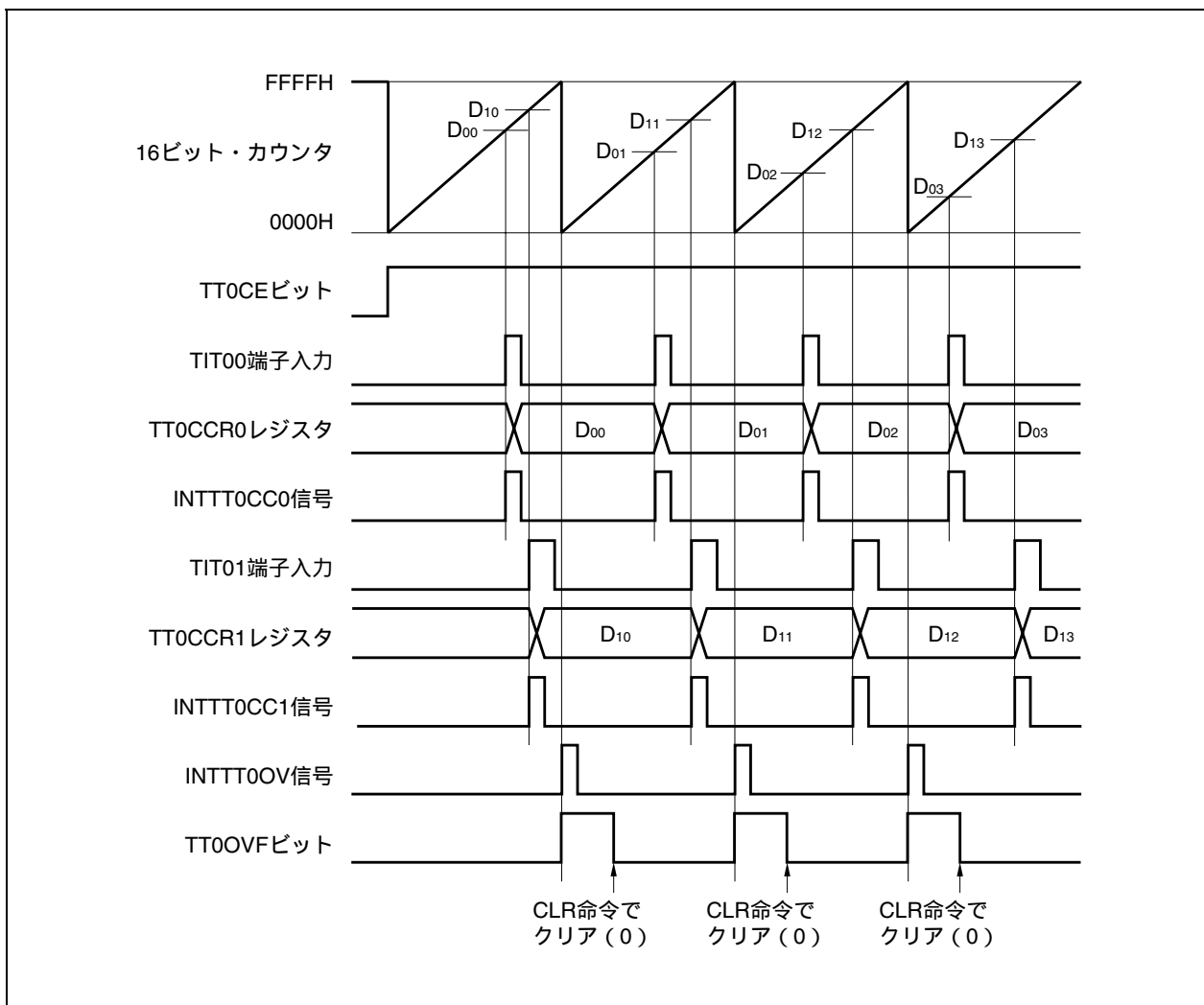
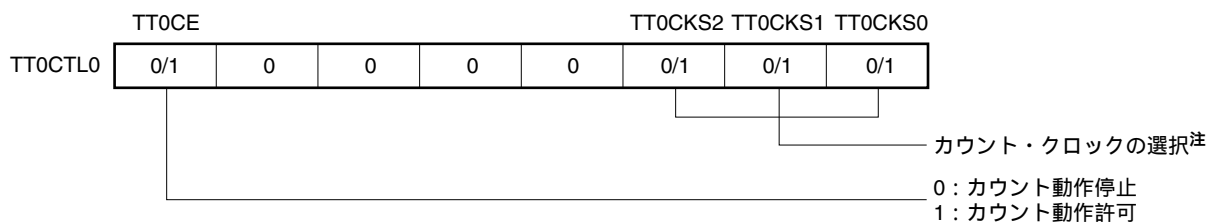


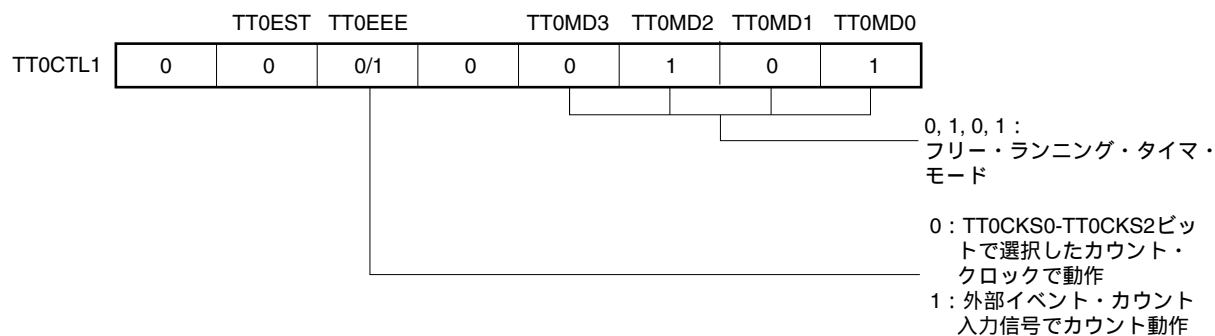
図9 - 36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

(a) TMT0制御レジスタ0 (TT0CTL0)



注 TT0CTL1.TT0EEEビット = 1のときは設定が無効になります。

(b) TMT0制御レジスタ1 (TT0CTL1)



(c) TMT0I/O制御レジスタ0 (TT0IOC0)

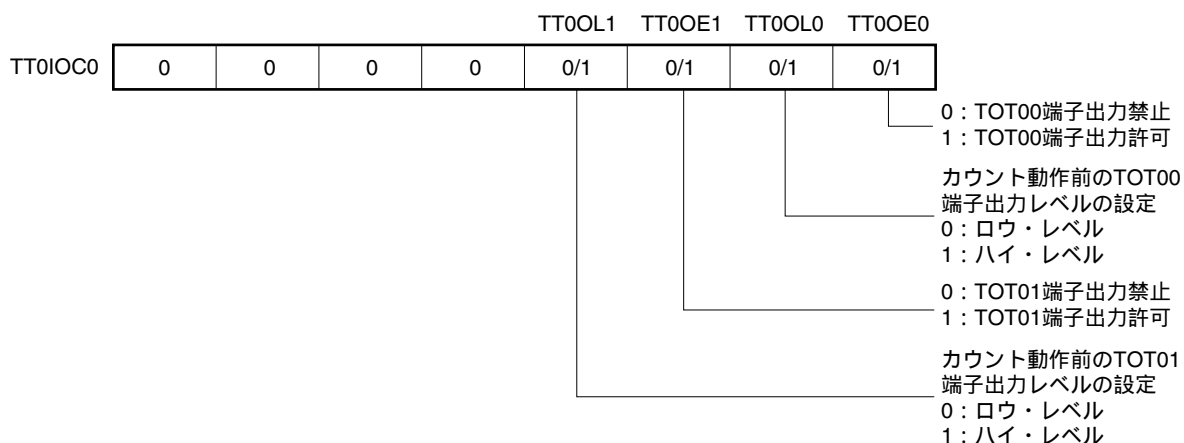
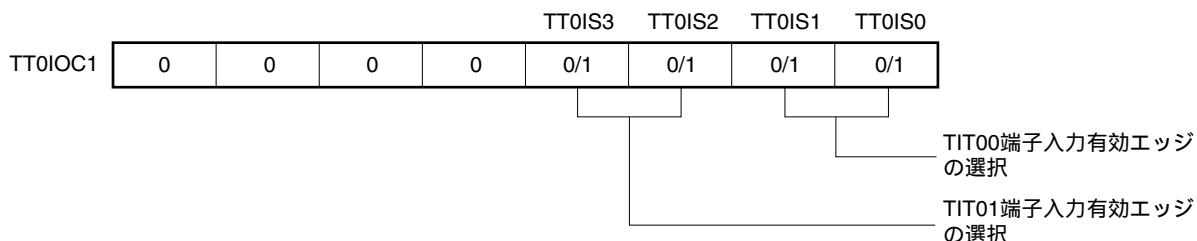
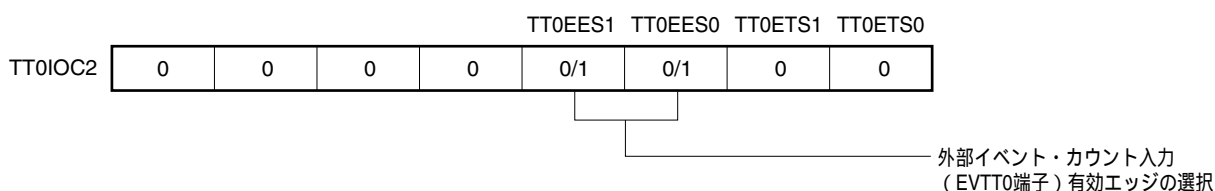


図9 - 36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

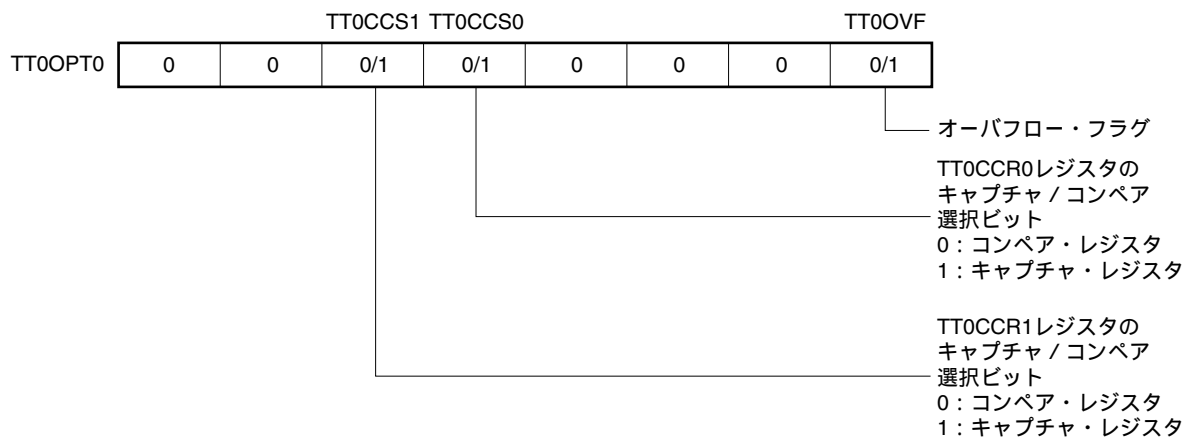
(d) TMT0I/O制御レジスタ1 (TT0IOC1)



(e) TMT0I/O制御レジスタ2 (TT0IOC2)



(f) TMT0オプション・レジスタ0 (TT0OPT0)



(g) TMT0カウンタ・リード・バッファ・レジスタ (TT0CNT)

TT0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

図9 - 36 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

(h) TMT0キャプチャ/コンペア・レジスタ0, 1 (TT0CCR0, TT0CCR1)

TT0OPT0.TT0CCSnビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には, TIT0n端子入力の有効エッジ検出により, 16ビット・カウンタのカウンタ値を格納します。

コンペア・レジスタとして動作する場合には, TT0CCRnレジスタにDaを設定した場合, カウンタが (Da + 1) になるタイミングでINTTT0CCn信号を発生し, TOT00, TOT01端子出力を反転します。

備考 n = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図9-37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

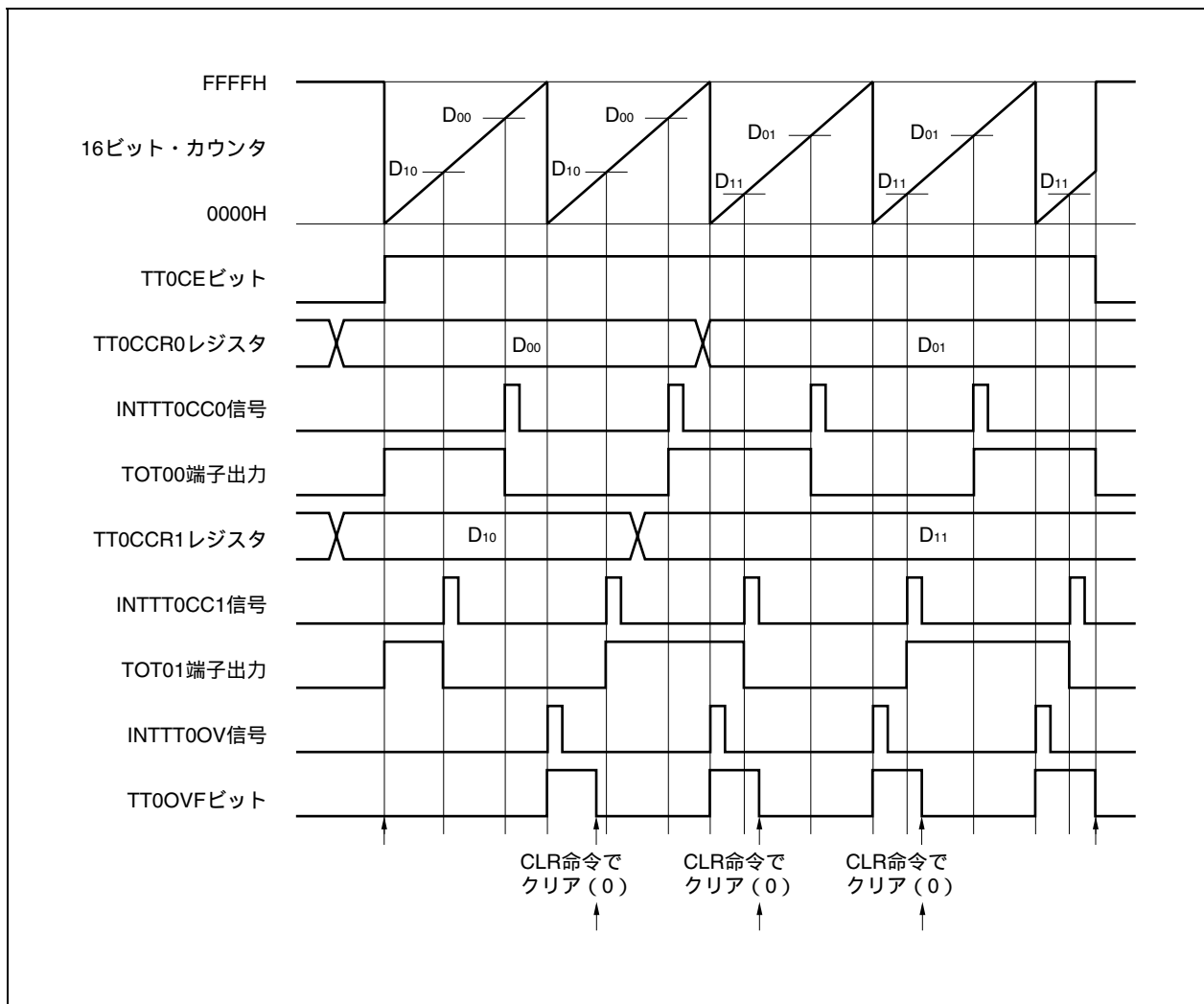
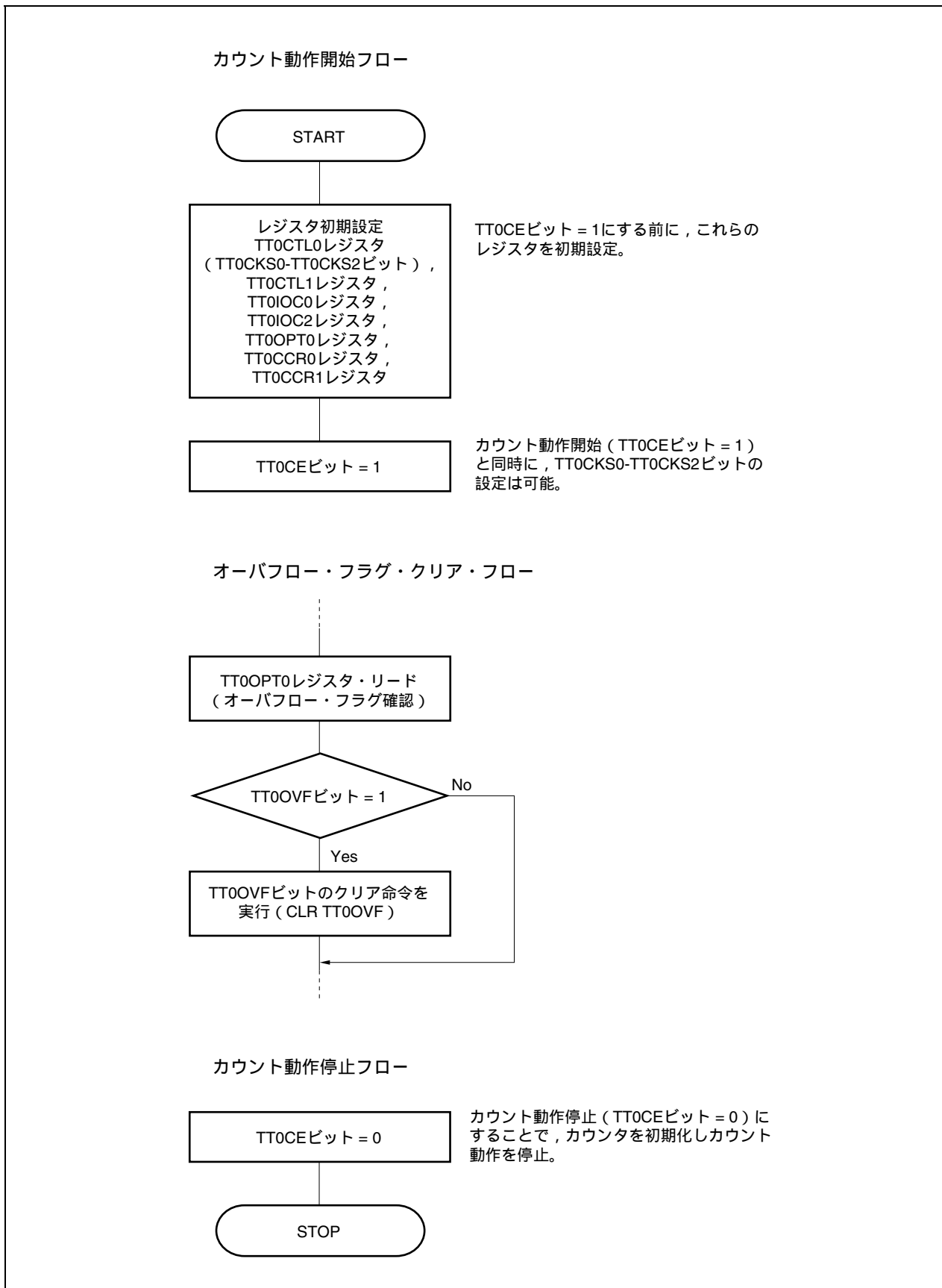


図9 - 37 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（2/2）



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図9 - 38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

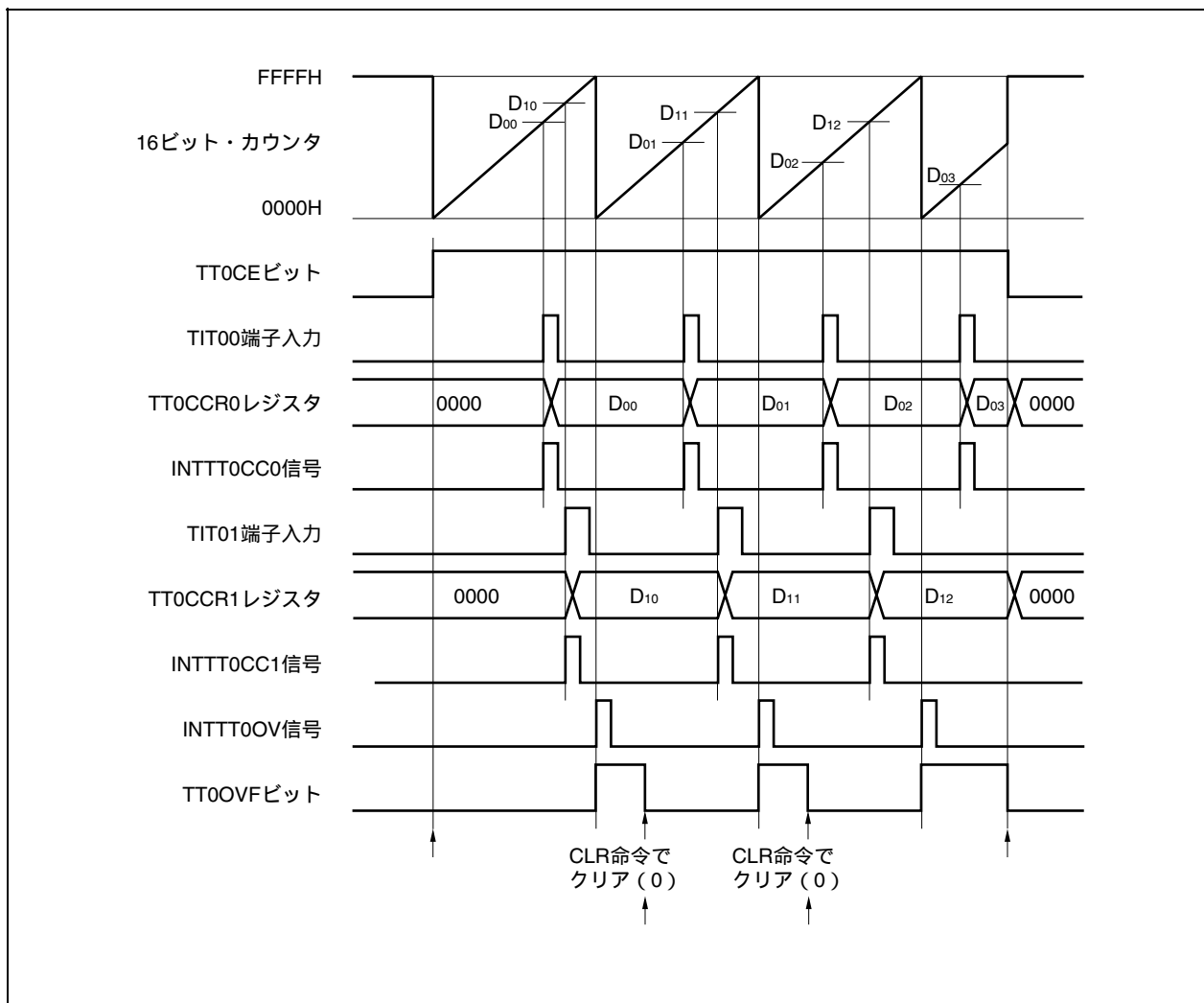
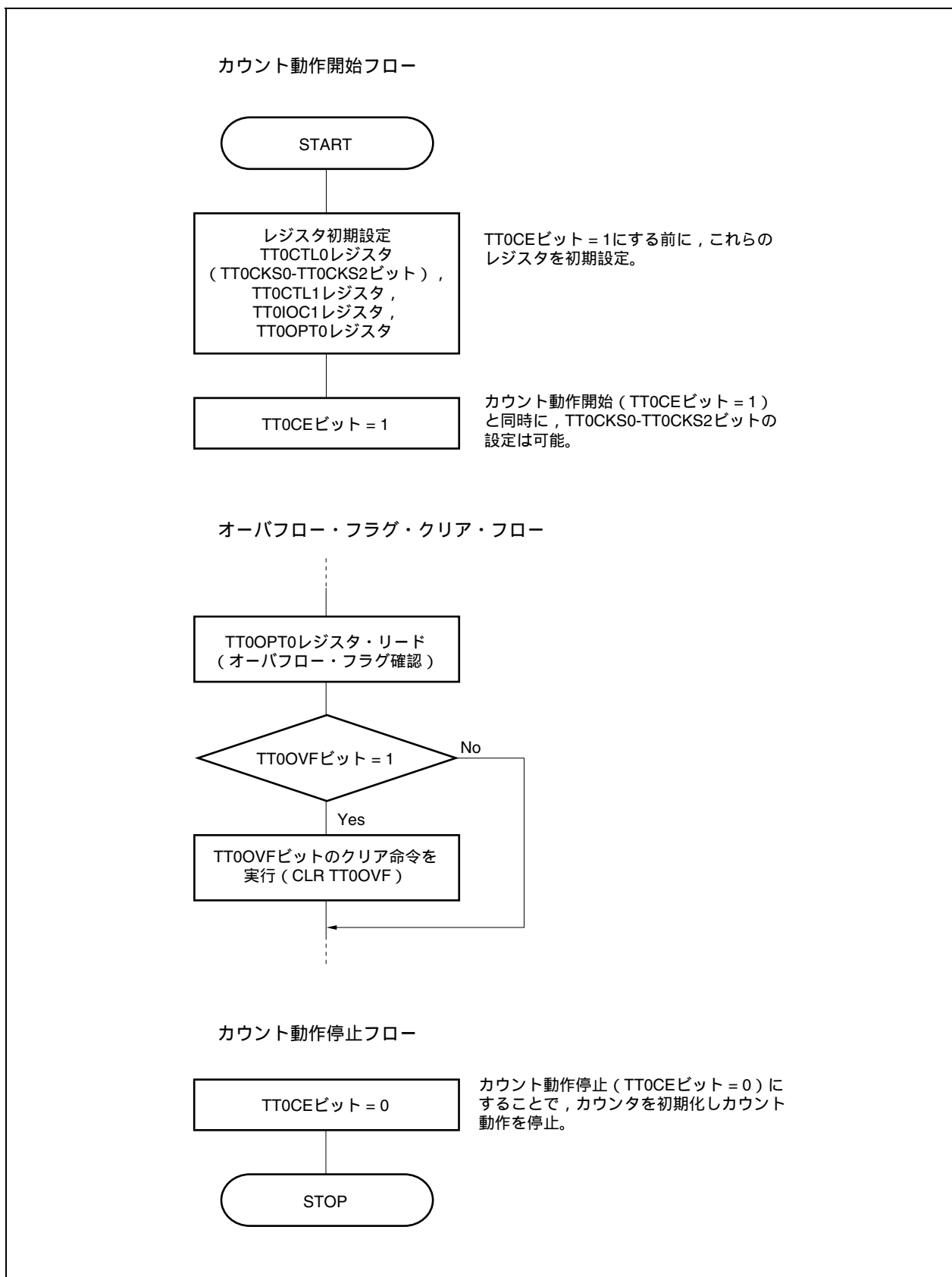


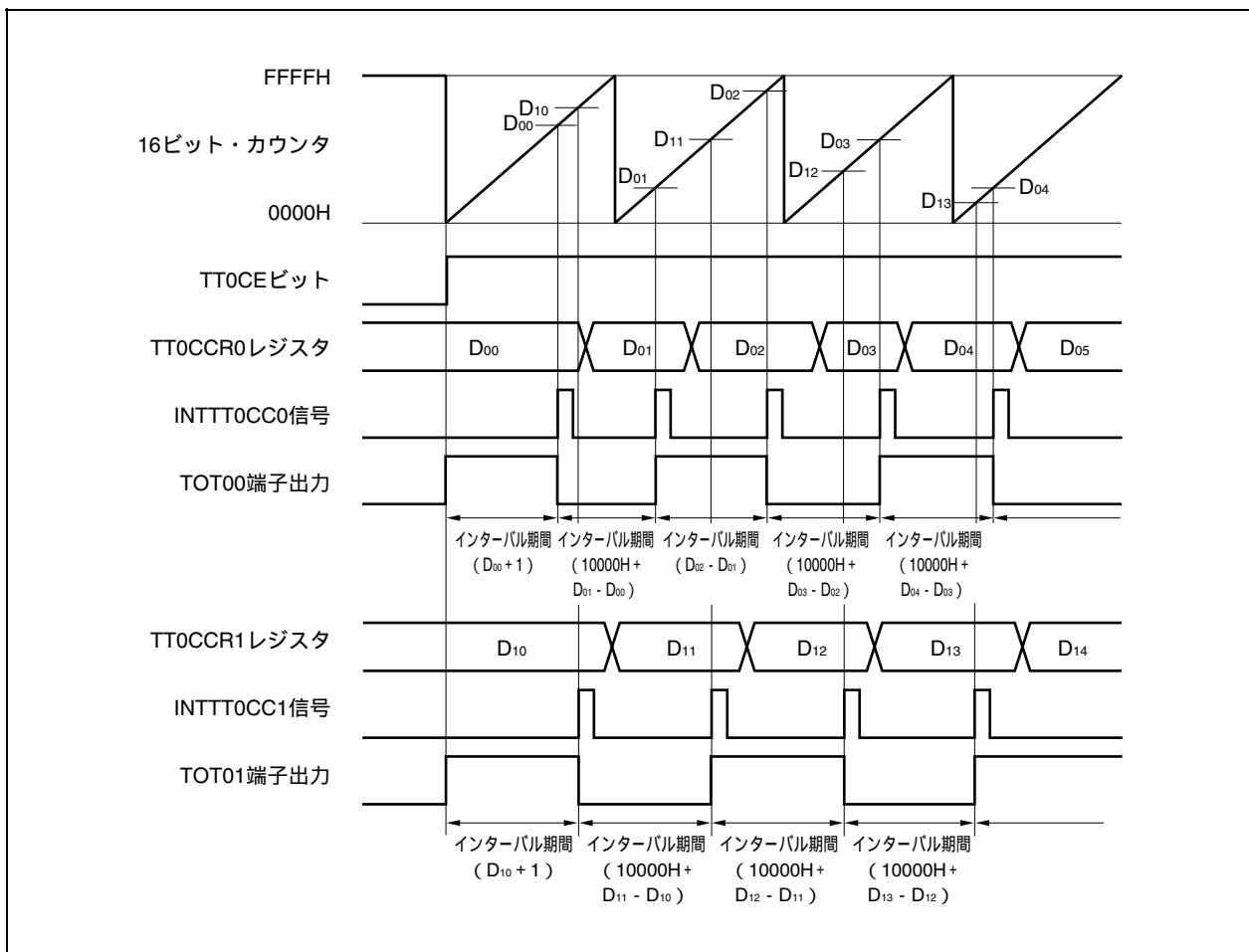
図9 - 38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TT0CCRnレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTT0CCn信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTT0CCn信号を検出したときの割り込み処理中に、対応するTT0CCRnレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_a ”とすると、次のように求められます。

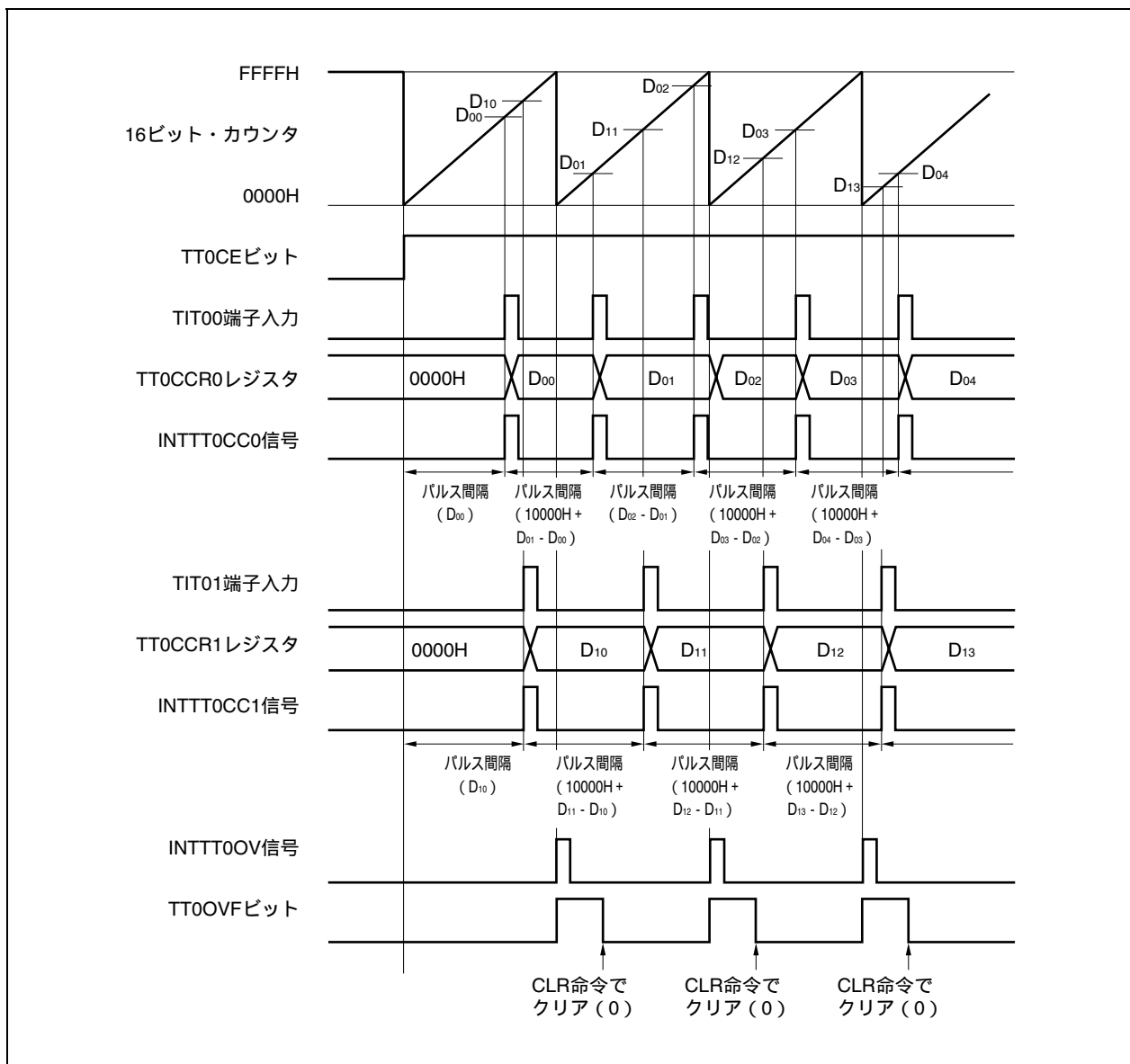
コンペア・レジスタ初期値 : $D_a - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_a

(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TT0CCRnレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTT0CCn信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



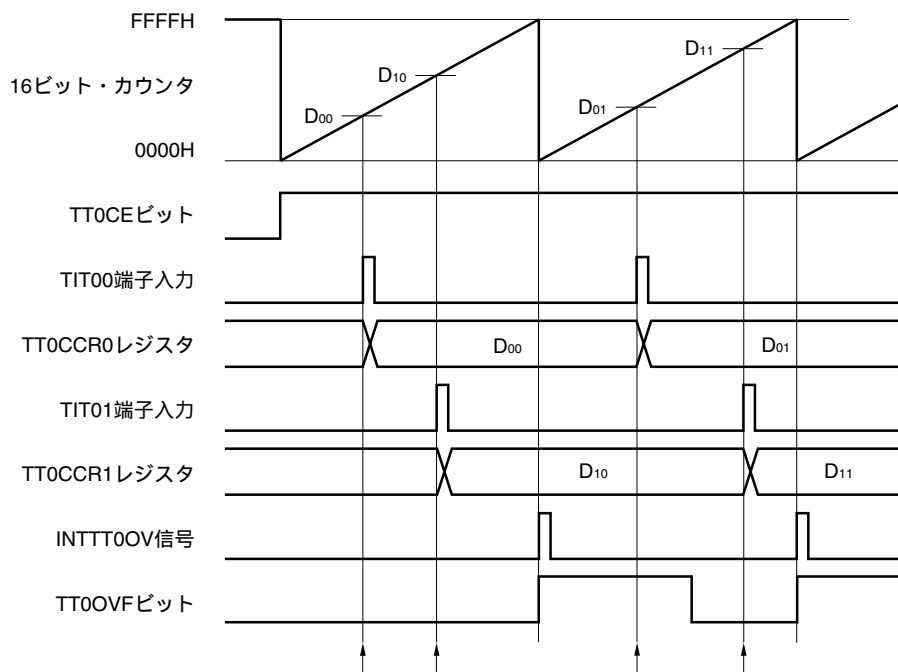
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

パルス幅測定を行う場合、INTTT0CCn信号に同期してTT0CCRnレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TT0CCR0レジスタをリードする (TIT00端子入力の初期値設定)。

TT0CCR1レジスタをリードする (TIT01端子入力の初期値設定)。

TT0CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TT0CCR1レジスタをリードする。

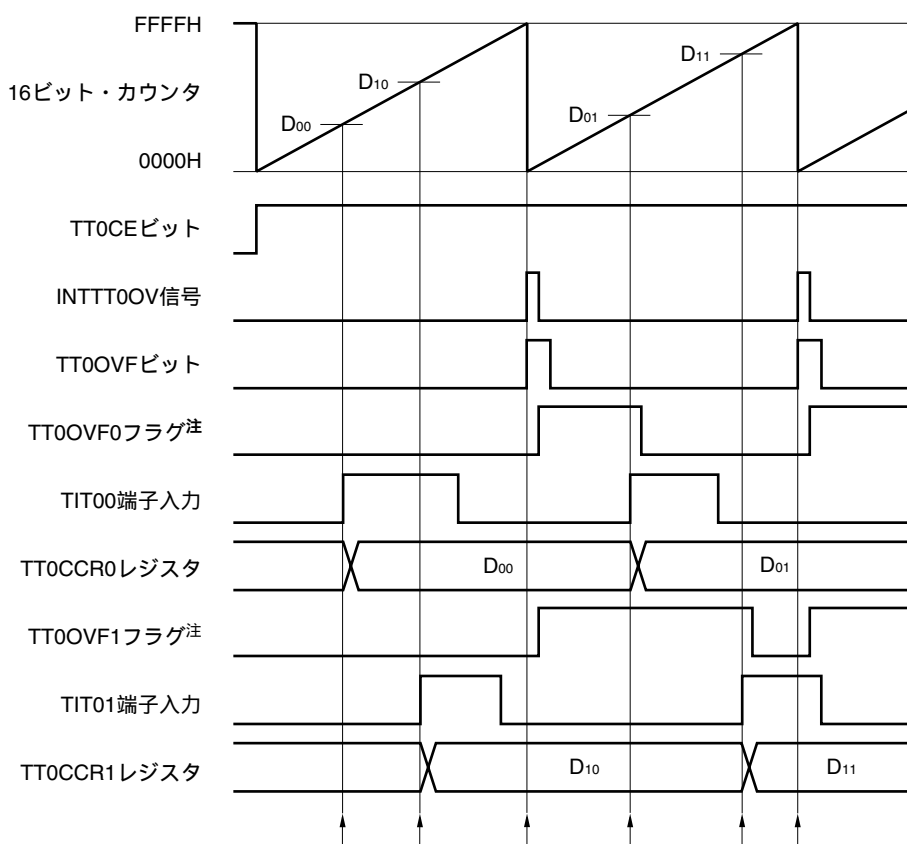
オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TT0OVF0, TT0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TT0CCR0レジスタをリードする (TIT00端子入力の初期値設定)。

TT0CCR1レジスタをリードする (TIT01端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TT0OVF0, TT0OVF1フラグをセット(1)し、オーバーフロー・フラグをクリア(0)する。

TT0CCR0レジスタをリードする。

TT0OVF0フラグをリードする。TT0OVF0フラグが“1”だった場合、クリア(0)する。

TT0OVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

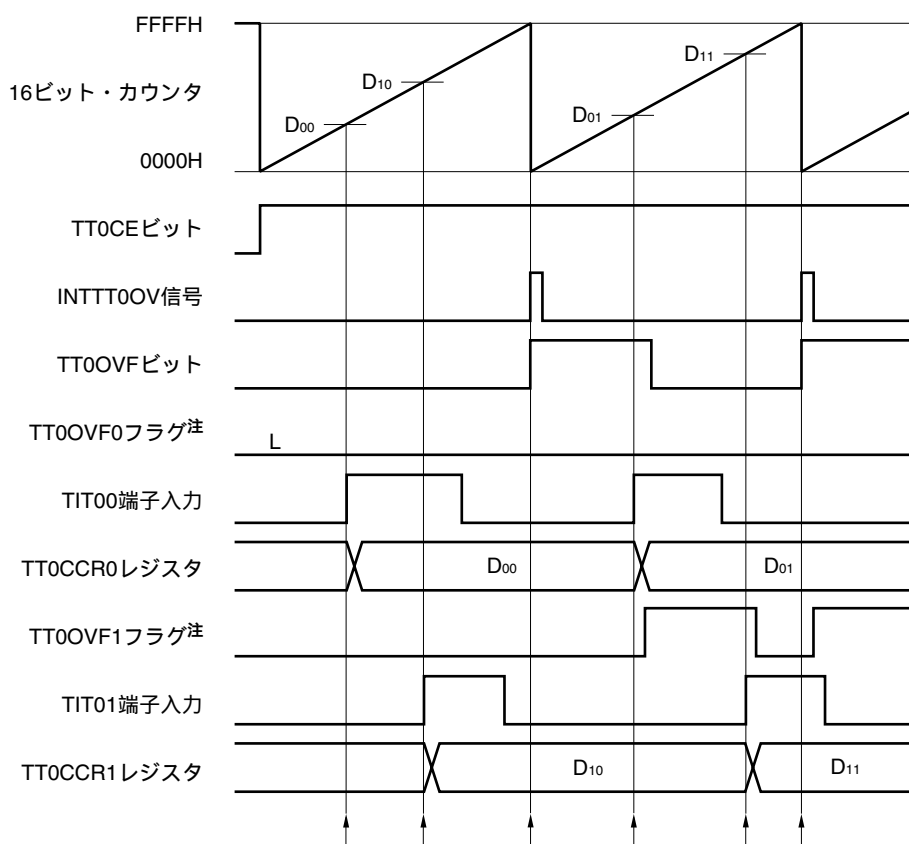
TT0CCR1レジスタをリードする。

TT0OVF1フラグをリードする。TT0OVF1フラグが“1”だった場合、クリア(0)する (でクリア(0)されたのはTT0OVF0フラグであり、TT0OVF1フラグは“1”のまま)。

TT0OVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TT0OVF0, TT0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TT0CCR0レジスタをリードする (TIT00端子入力の初期値設定)。

TT0CCR1レジスタをリードする (TIT01端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TT0CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TT0OVF1フラグのみをセット (1) し、オーバーフロー・フラグをクリア (0) する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TT0CCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア (0) されているので“0”がリードされる。

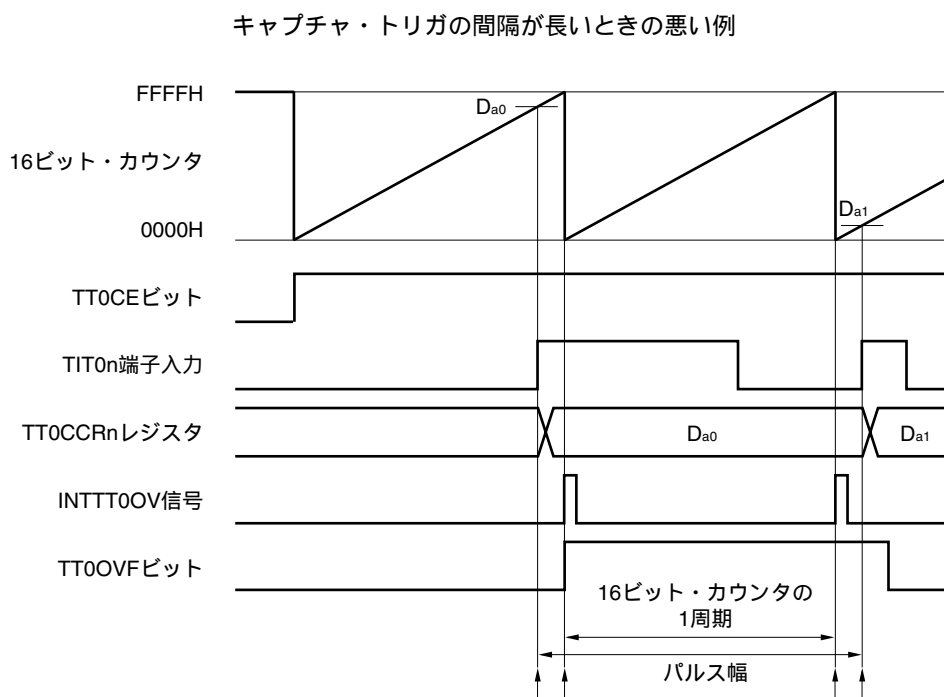
TT0OVF1フラグをリードする。TT0OVF1フラグが“1”だった場合、クリア (0) する。

TT0OVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

TT0CCRnレジスタをリードする (TIT0n端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

2回目のオーバーフローが発生する。ソフトウェアでは何もしない。

TT0CCRnレジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{a1} - D_{a0})$ で求められます (NG)。

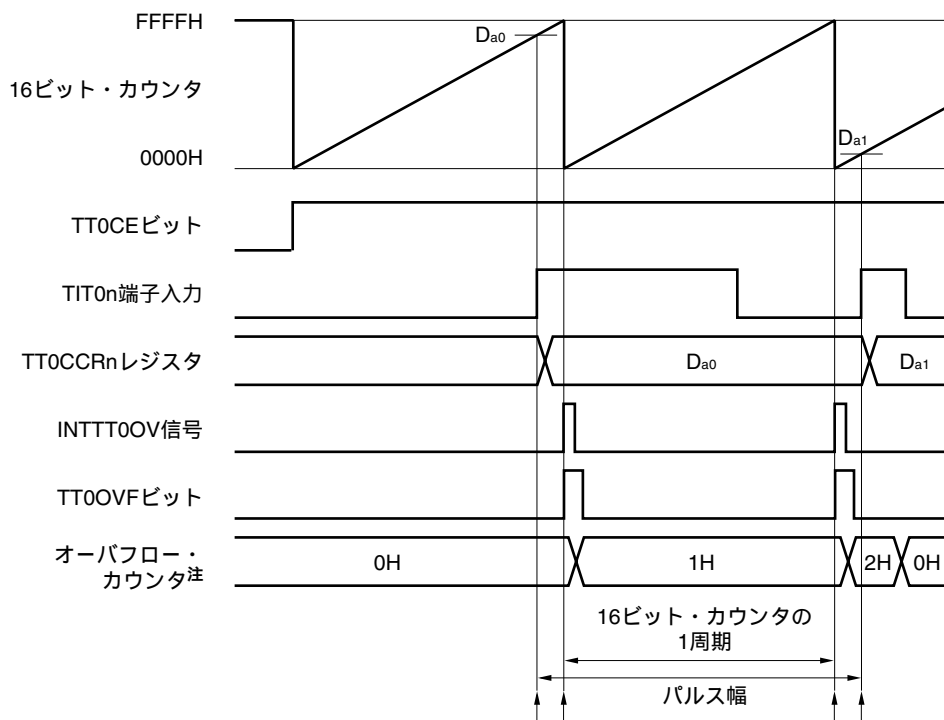
実際には、2回のオーバーフローが発生しているので、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になるはずですが。

備考 $n = 0, 1$

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TT0CCRnレジスタをリードする (TIT0n端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TT0CCRnレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが “N” のとき、パルス幅は $(N \times 10000H + D_{a1} - D_{a0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

備考 n = 0, 1

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TT0OVFビット = 1をリードしたあとにTT0OVFビットをCLR命令でクリア(0)する方法と、TT0OVFビット = 1をリードしたあとにTT0OPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法があります。

9.6.7 パルス幅測定モード (TT0MD3-TT0MD0ビット = 0110)

パルス幅測定モードは、TT0CTL0.TT0CEビットをセット(1)することでカウント動作を開始し、TIT0n端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTT0CCRnレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTT0CCn)が発生したあと、TT0CCRnレジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図9-39のような場合は、キャプチャ・トリガ入力端子としてTIT00, TIT01端子のいずれか1本を使用し、使用しない端子はTT0IOC1レジスタで“エッジ検出なし”に設定してください。

図9-39 パルス幅測定モードの構成図

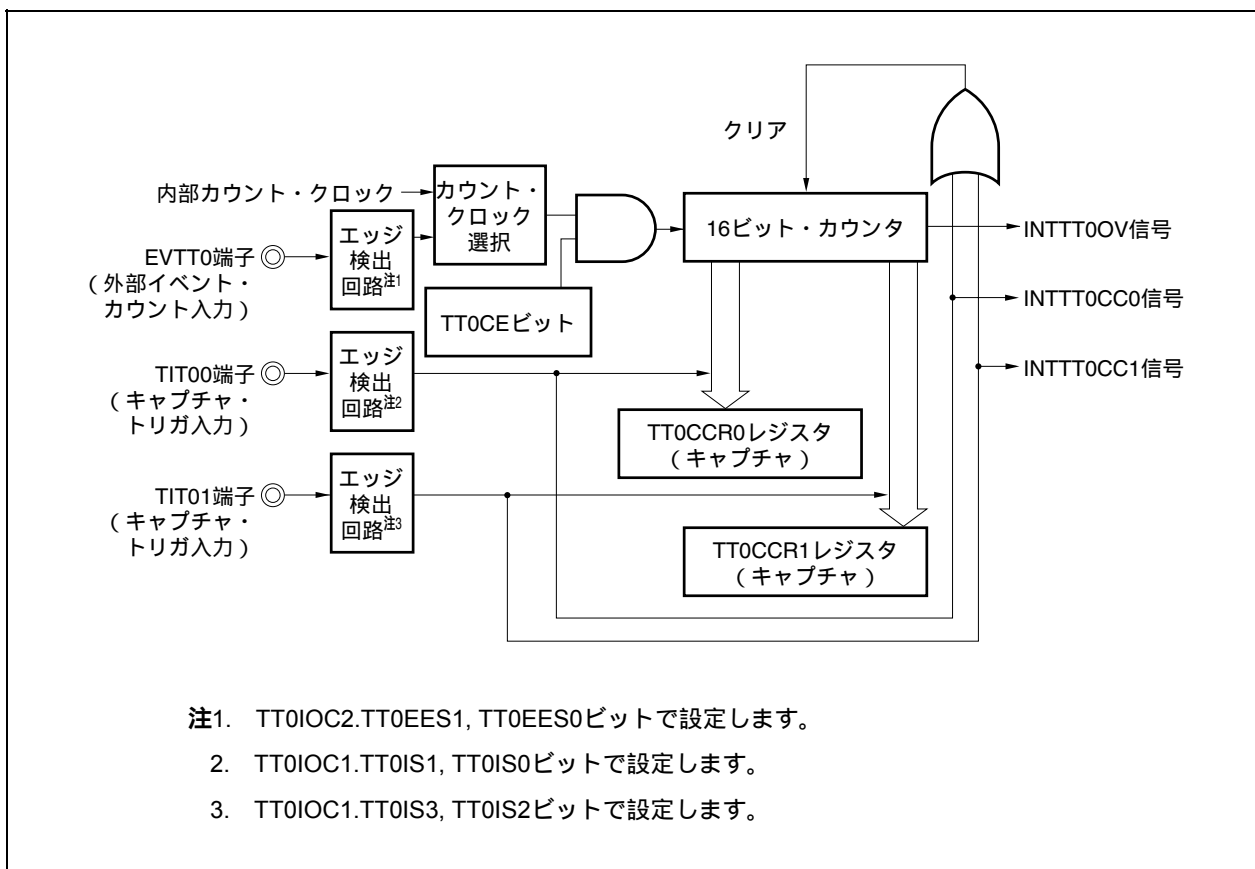
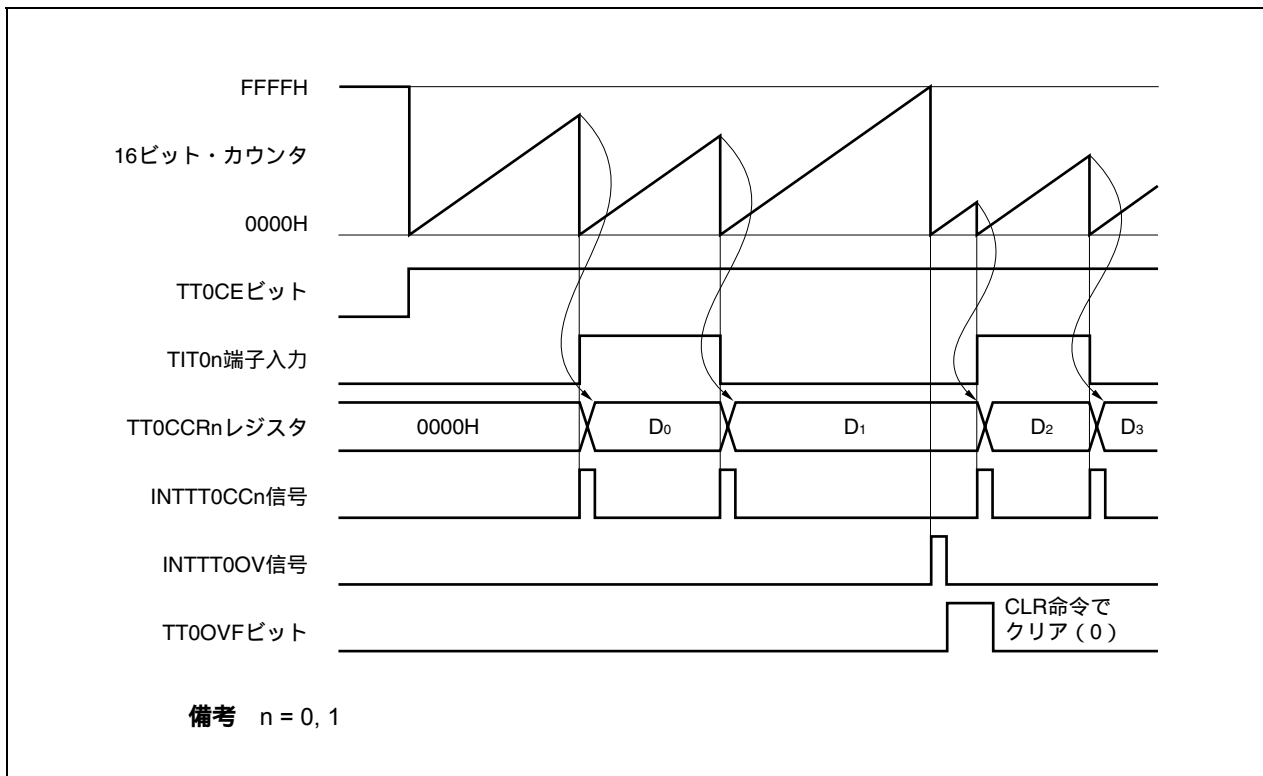


図9 - 40 パルス幅測定モードの基本タイミング



TT0CEビットをセット(1)することで、カウント動作を開始します。その後、TIT0n端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTT0CCRnレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTT0CCn)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTT0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TT0OPT0.TT0OVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TT0OVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 n = 0, 1

図9 - 41 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

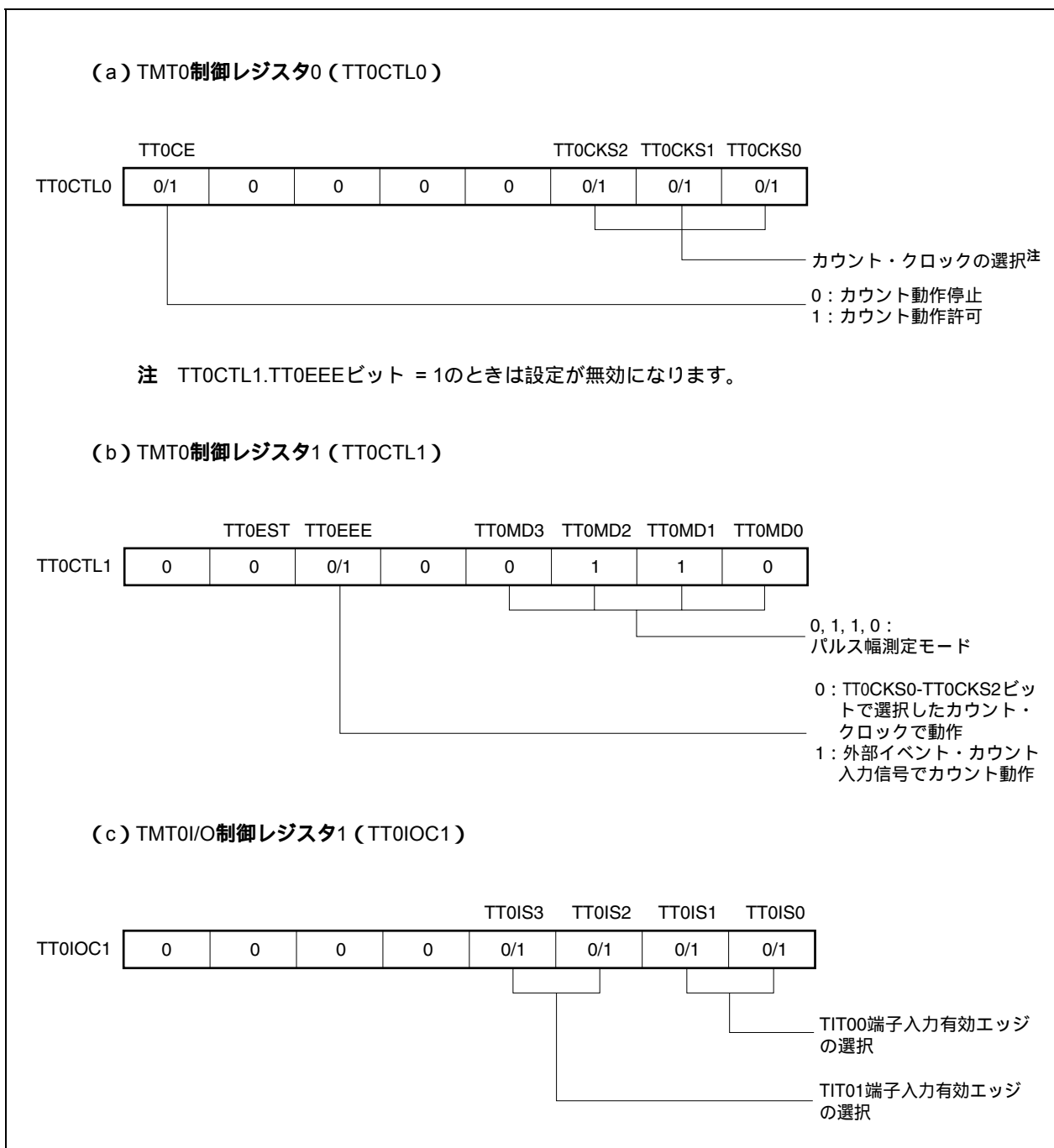
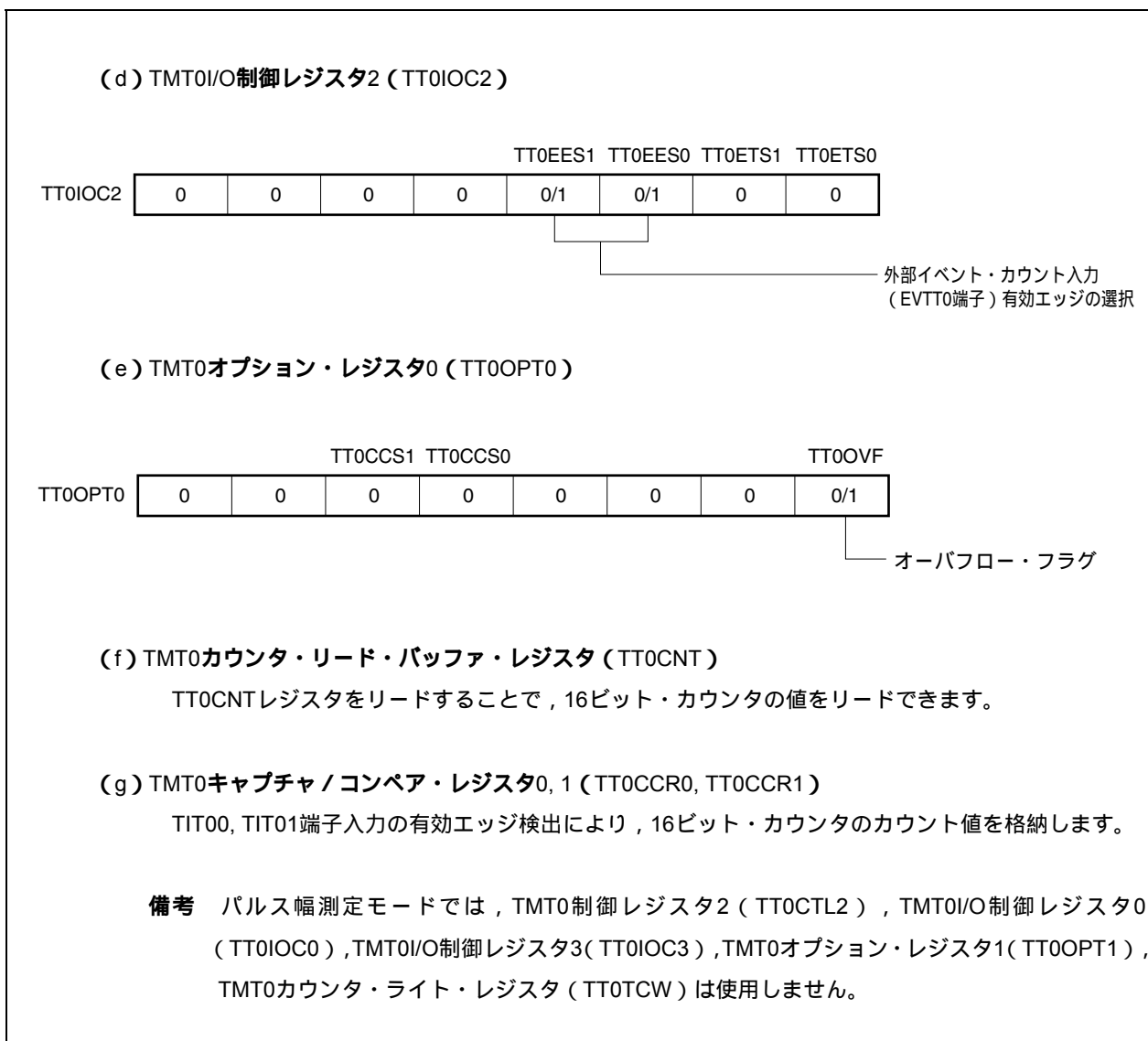
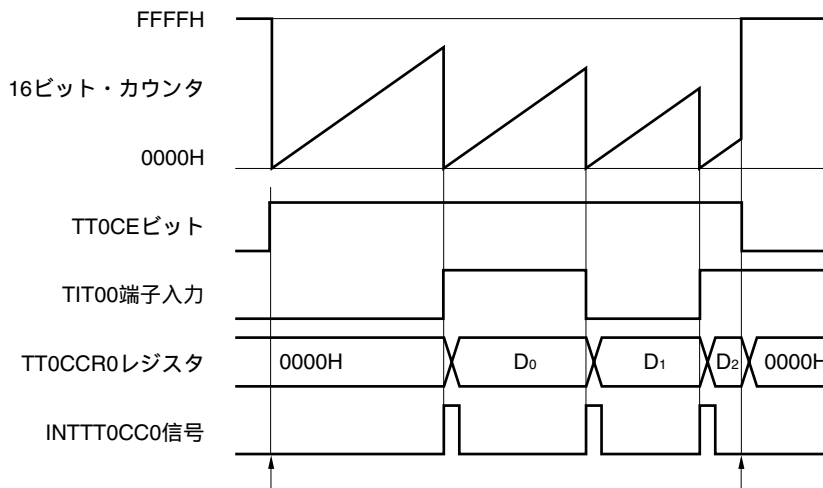


図9-41 パルス幅測定モード動作時のレジスタ設定内容 (2/2)



(1) パルス幅測定モード動作フロー

図9 - 42 パルス幅測定モード使用時のソフトウェア処理フロー



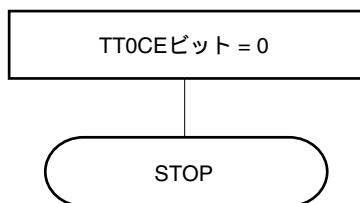
カウント動作開始フロー



TT0CEビット = 1にする前に、
これらのレジスタを初期設定。

カウント動作開始 (TT0CEビット = 1) と同時に、
TT0CKS0-TT0CKS2ビットの設定は可能。

カウント動作停止フロー



カウント動作停止 (TT0CEビット = 0) にすることで、
カウンタを初期化しカウント動作を停止。

(2) パルス幅測定モード動作タイミング**(a) オーバフロー・フラグのクリア方法**

オーバフロー・フラグをクリア(0)する方法は、TT0OVFビット = 1をリードしたあとにTT0OVFビットをCLR命令でクリア(0)する方法と、TT0OVFビット = 1をリードしたあとにTT0OPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法があります。

9.6.8 三角波PWM出力モード (TT0MD3-TT0MD0ビット = 0111)

三角波PWM出力モードは、TT0CTL0.TT0CEビットをセット(1)することで、TOT01端子から三角波PWM波形を出力します。

また、TOT00端子から、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致したタイミングと、16ビット・カウンタが0000Hのタイミングで反転するPWM波形を出力します。

図9 - 43 三角波PWM出力モードの構成図

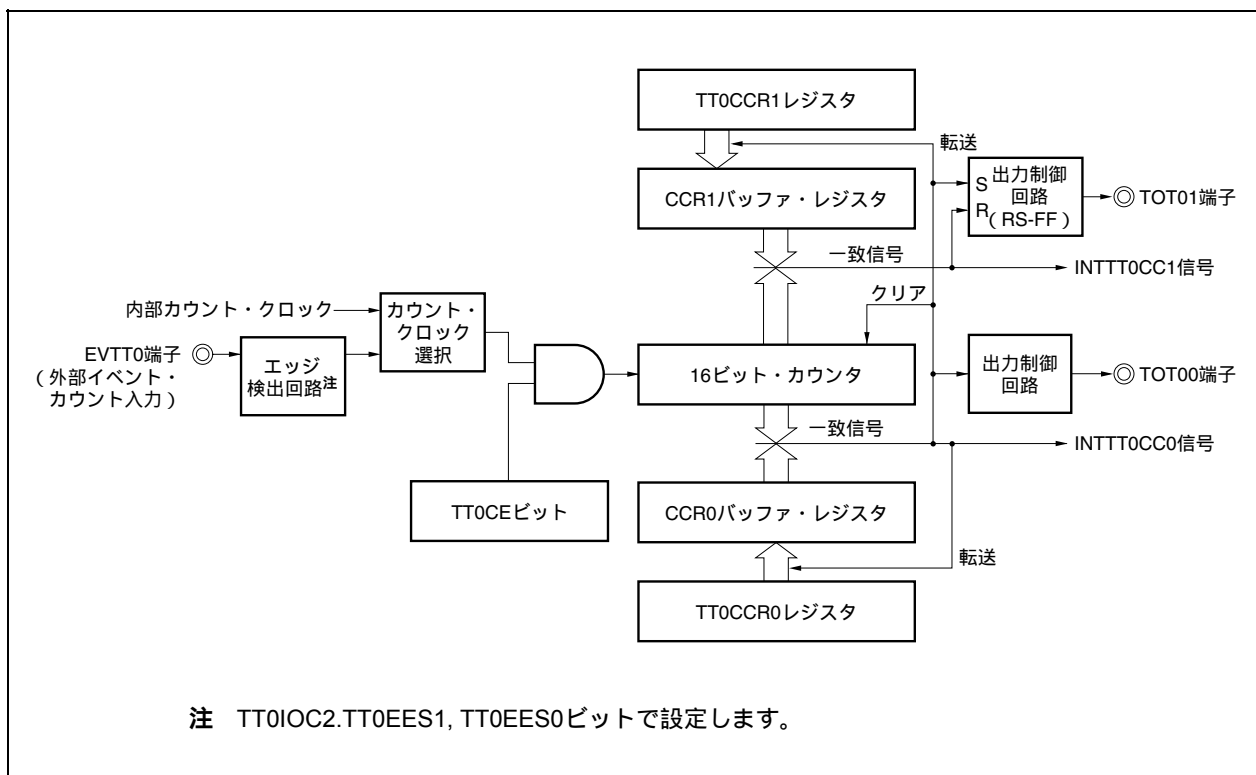
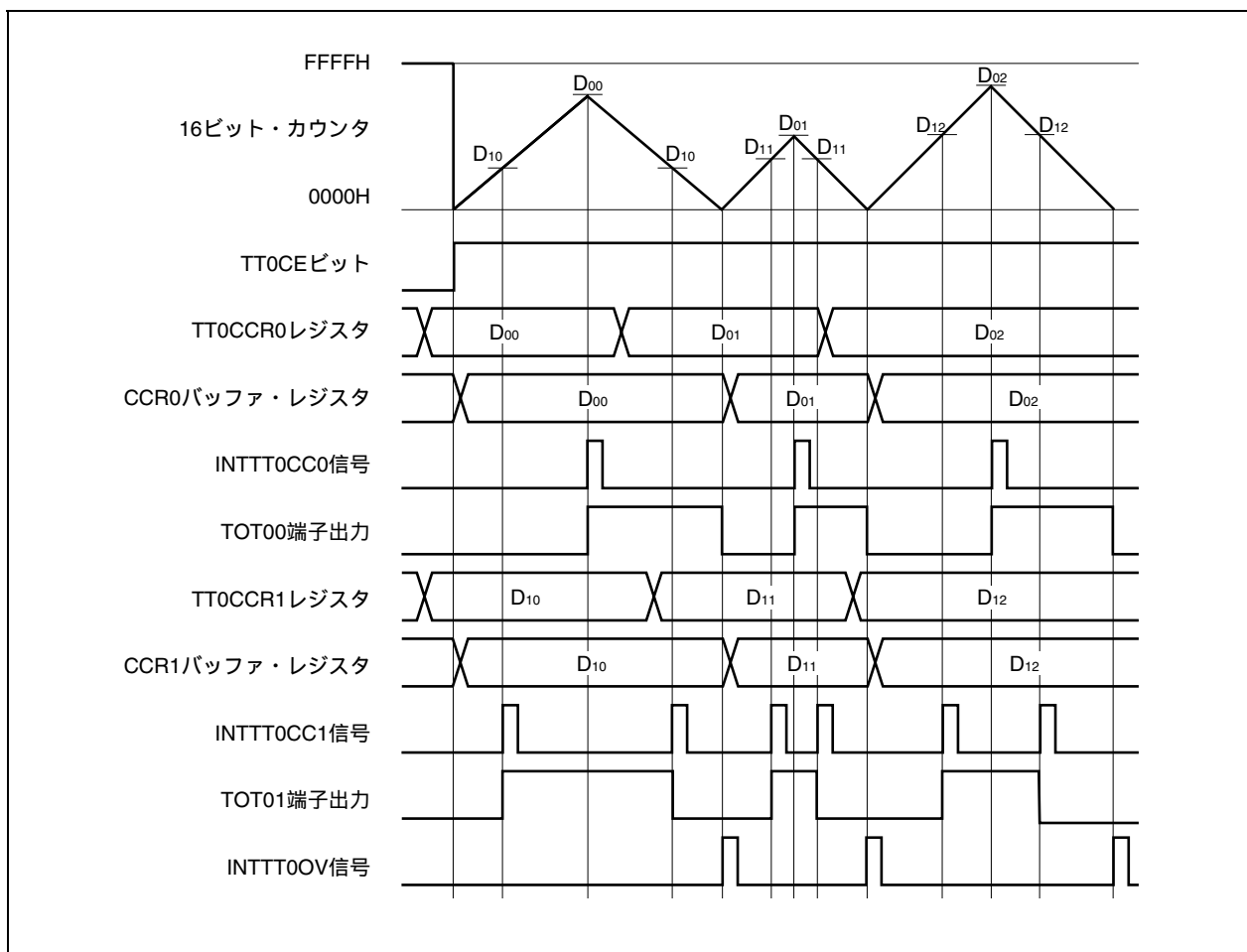


図9 - 44 三角波PWM出力モードの基本タイミング



TT0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOT01端子から三角波PWM波形を出力します。

三角波PWM出力モードでは、アップ/ダウン・カウント動作を行い、ダウン・カウント動作中に16ビット・カウンタが0000Hになるとオーバフロー割り込み要求信号 (INTTT0OV) を発生します。このとき、TT0OPT0.TT0OVFビットはセット (1) されません。アップ・カウント動作中に16ビット・カウンタ値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTT0CC0) を発生します。

アップ ダウン切り替えは16ビット・カウンタ値とCCR0バッファ・レジスタの値の一致 (INTTT0CC0) で、ダウン アップ切り替えは16ビット・カウンタが0000Hのタイミングです。

動作中にTT0CCRnレジスタを書き換えることにより、PWM波形を変更できます。なお、動作中にPWM波形を変更する場合には、最後にTT0CCR1レジスタにライトしてください。

三角波PWM波形の周期はTT0CCR0レジスタ、デューティはTT0CCR1レジスタで設定します。TT0CCR0レジスタの値は「0 TT0CCR0 FFEH」の範囲で設定してください。書き換えた値は、ダウン・カウント動作中の16ビット・カウンタが0000Hのタイミングで反映されます。

PWM波形の周期だけを変更する場合でも、まずTT0CCR0レジスタに周期を設定し、そのあとでTT0CCR1レジスタに同値 (すでに設定したTT0CCR1レジスタと同じ値) をライトしてください。

TT0CCRnレジスタからCCRnバッファ・レジスタへのデータ転送を行うためには、TT0CCR1レジスタに対してライトする必要があります (n = 0, 1)。

9.6.9 エンコーダ・カウント機能

エンコーダ・カウント機能には、エンコーダ・コンペア・モード (9.6.10 エンコーダ・コンペア・モード (TT0MD3-TT0MD0ビット = 1000) 参照) があります。

モード	TT0CCR0レジスタ	TT0CCR1レジスタ
エンコーダ・コンペア・モード	コンペア専用	コンペア専用

(1) アップ/ダウン・カウント制御

エンコーダ入力信号 (TENC00, TENC01) の位相とTT0CTL2.TT0UDS1, TT0UDS0ビットの設定により16ビット・カウンタのアップ/ダウン制御を行い、カウント動作を行います。

エンコーダ・カウント機能では、内部カウント・クロックおよび外部イベント・カウント入力 (EVTT0) は使用できません。TT0CTL0.TT0CKS2-TT0CKS0ビット = 000, TT0CTL1.TT0EEEビット = 0に設定してください。

(2) 16ビット・カウンタの初期値設定

TT0CTL2.TT0ECCビット = 0時にTT0TCWレジスタに設定したカウント初期値を、カウント動作の開始 (TT0CTL0.TT0CEビット = 0 1) 直後に16ビット・カウンタに転送し、エンコーダ入力信号 (TENC00, TENC01) の有効エッジ検出後にカウント動作を開始します

(3) 基本動作

TT0CCRnレジスタは、16ビット・カウンタのカウント値とCCRnバッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTT0CCn) が発生します。

(4) クリア動作

エンコーダ・コンペア・モード時の16ビット・カウンタのクリアは、次の条件で発生します。

- ・ 16ビット・カウンタとコンペア・レジスタの値の一致によるクリア
(TT0CTL2.TT0ECM1, TT0ECM0ビットを設定)
- ・ エンコーダ・クリア入力 (TECR0) のエッジ検出クリア
(TT0IOC3.TT0SCEビット = 0時にTT0ECS1, TT0ECS0ビットを設定)
- ・ TENC00, TENC01, TECR0端子のクリア・レベル条件検出クリア
(TT0SCEビット = 1時にTT0ZCL, TT0BCL, TT0ACLビットを設定)

備考 n = 0, 1

(5) TT0CTL2レジスタのビット制御

エンコーダ・コンペア・モード時のTT0CTL2レジスタの設定を次に示します。

表9 - 8 TT0CTL2レジスタの設定

モード	TT0UDS1, TT0UDS0 ビット()	TT0ECM1 ビット()	TT0ECM0 ビット()	TT0LDE ビット ()	カウンタ・ クリア (対象のコ ンペア・ レジスタ)	カウンタへ の転送
エンコーダ・コンペア・ モード	00, 01, 10, 11 の全設定可能	0	0	0	-	-
				1		可能
			1	0	TT0CCR0	-
				1		可能 ^注
		1	0	無効	TT0CCR1	-
			1	無効	TT0CCR0, TT0CCR1	-

注 「0000H-TT0CCR0レジスタ設定値」範囲内でカウント動作が可能です。

(a) 各ビットの概要

TT0UDS1, TT0UDS0ビットは、エンコーダ入力端子 (TENC00, TENC01) から入力された位相に対して、アップ/ダウン・カウンタの判別制御を行います。

TT0ECM1, TT0ECM0ビットは、16ビット・カウンタのカウント値とCCR0, CCR1バッファ・レジスタの値が一致した場合の16ビット・カウンタのクリアを制御します。

TT0LDEビットは、アンダフローが発生したときに、TT0CCR0レジスタ設定値を16ビット・カウンタに転送する機能を制御します。TT0LDEビットは、TT0ECM1, TT0ECM0ビットが00, 01時のみ有効となります。それ以外の設定は無効となります。

(b) 各ビットの詳細説明

TT0UDS1, TT0UDS0ビット：アップ/ダウン・カウントの選択

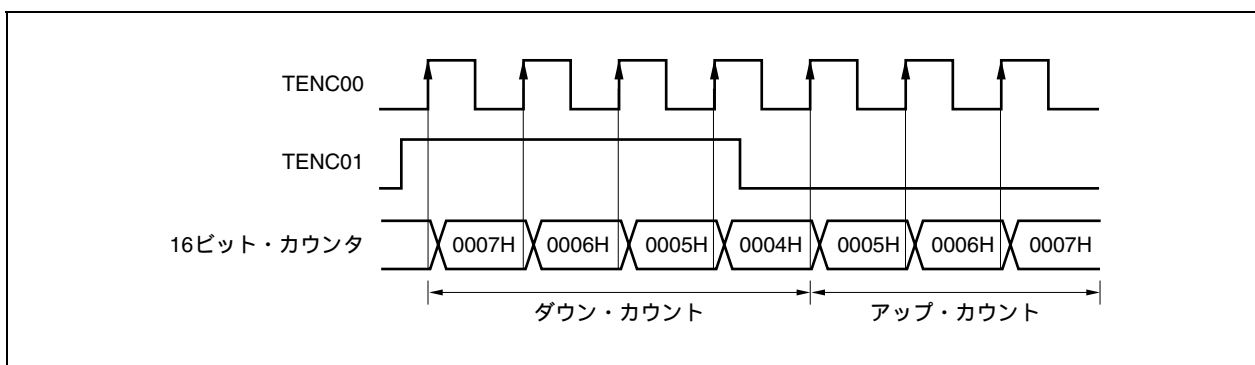
TT0UDS1, TT0UDS0ビット設定とTENC00, TENC01端子から入力された位相により, アップ/ダウン・カウントを判別します。TT0UDS1, TT0UDS0ビットは, エンコーダ・コンペア・モード時のみ有効です。

・ TT0UDS1, TT0UDS0ビット = 00時

TENC00端子	TENC01端子	カウント動作
立ち上がりエッジ	ハイ・レベル	ダウン・カウント
立ち下がりエッジ		
両エッジ		
立ち上がりエッジ	ロウ・レベル	アップ・カウント
立ち下がりエッジ		
両エッジ		

備考 TENC00端子のエッジ検出は, TT0IOC3.TT0EIS1, TT0EIS0ビットで設定します。

図9 - 45 動作例 (TENC00端子の有効エッジが立ち上がりエッジ指定, TENC01端子の有効エッジがエッジ検出なしの場合)

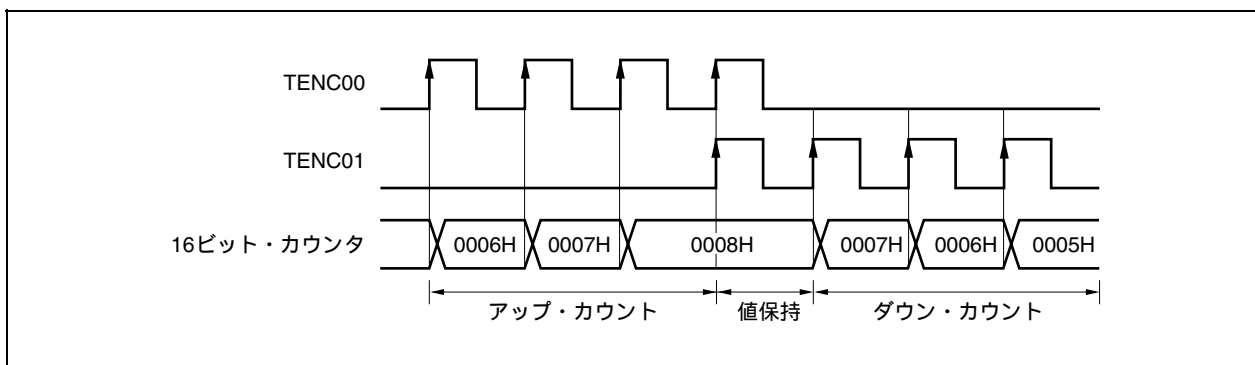


・ TT0UDS1, TT0UDS0ビット = 01時

TENC00端子	TENC01端子	カウント動作	
ロウ・レベル	立ち上がりエッジ	ダウン・カウント	
	立ち下がりエッジ		
	両エッジ		
ハイ・レベル	立ち上がりエッジ		
	立ち下がりエッジ		
	両エッジ		
立ち上がりエッジ	ハイ・レベル	アップ・カウント	
立ち下がりエッジ			
両エッジ			
立ち上がりエッジ	ロウ・レベル		アップ・カウント
立ち下がりエッジ			
両エッジ			
TENC00, TENC01端子同時入力		カウント動作は行わず, 直前の値を保持	

備考 TENC00, TENC01端子のエッジ検出は, TT0IOC3.TT0EIS1, TT0EIS0ビットで設定します。

図9 - 46 動作例 (TENC00, TENC01端子の有効エッジが立ち上がりエッジ指定の場合)



・ TT0UDS1, TT0UDS0ビット = 10時

TENC00端子	TENC01端子	カウント動作
ロウ・レベル	立ち上がりエッジ	カウント動作は行わず， 直前の値を保持
立ち上がりエッジ	ロウ・レベル	ダウン・カウント
ハイ・レベル	立ち上がりエッジ	カウント動作は行わず， 直前の値を保持
立ち下がりエッジ	ハイ・レベル	
立ち上がりエッジ	立ち下がりエッジ	アップ・カウント
ハイ・レベル		
立ち下がりエッジ	ロウ・レベル	アップ・カウント
ロウ・レベル	立ち上がりエッジ	カウント動作は行わず， 直前の値を保持
立ち上がりエッジ		
立ち下がりエッジ		
立ち上がりエッジ	立ち下がりエッジ	ダウン・カウント
立ち下がりエッジ		アップ・カウント

注意 TENC00端子とTENC01端子の有効エッジ指定は無効となります。

図9 - 47 動作例 (TENC00, TENC01端子の有効エッジが重ならない場合のカウント動作)

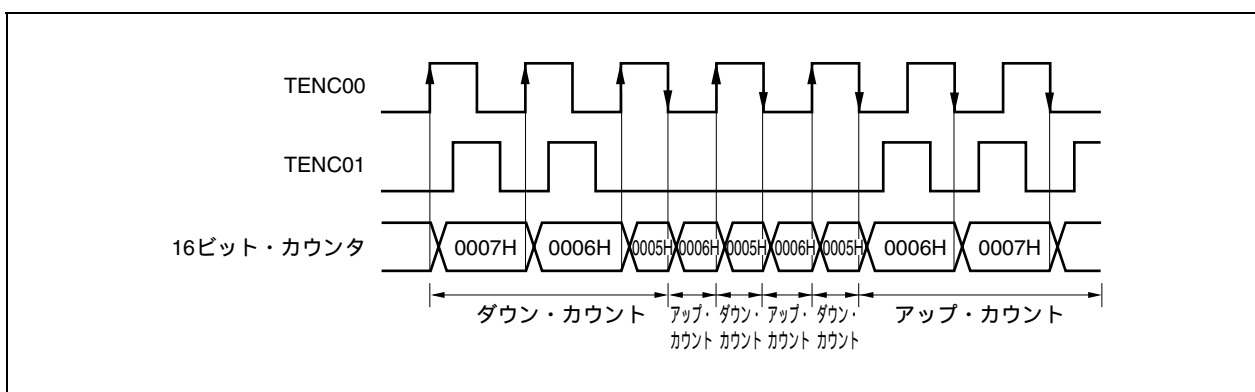
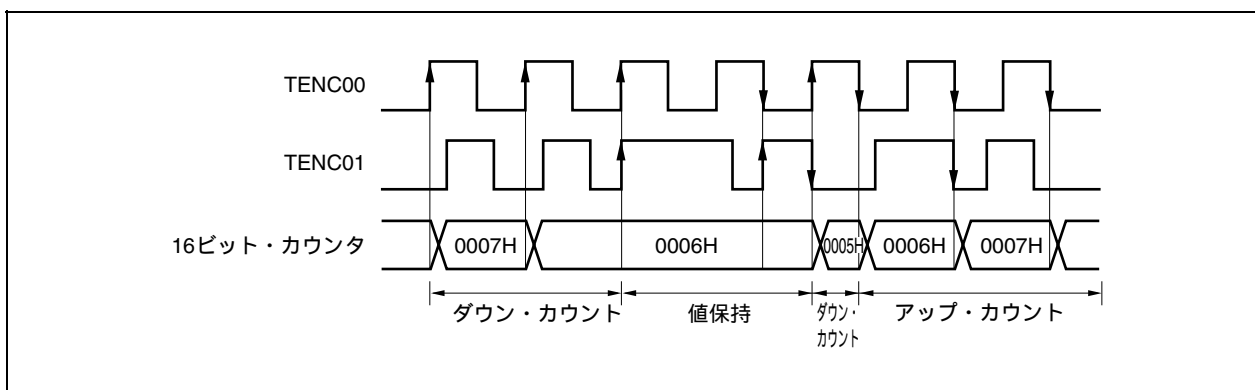


図9 - 48 動作例 (TENC00, TENC01端子の有効エッジが重なった場合のカウント動作)



・ TT0UDS1, TT0UDS0ビット = 11時

TENC00端子	TENC01端子	カウント動作
ロウ・レベル	立ち下がりエッジ	ダウン・カウント
立ち上がりエッジ	ロウ・レベル	
ハイ・レベル	立ち上がりエッジ	
立ち下がりエッジ	ハイ・レベル	
立ち上がりエッジ	立ち下がりエッジ	アップ・カウント
ハイ・レベル		
立ち下がりエッジ		
ロウ・レベル		
TENC00, TENC01端子同時入力		カウント動作は行わず, 直前の値を保持

注意 TENC00端子とTENC01端子の有効エッジ指定は無効となります。

図9 - 49 動作例 (TENC00, TENC01端子の有効エッジが重ならない場合のカウント動作)

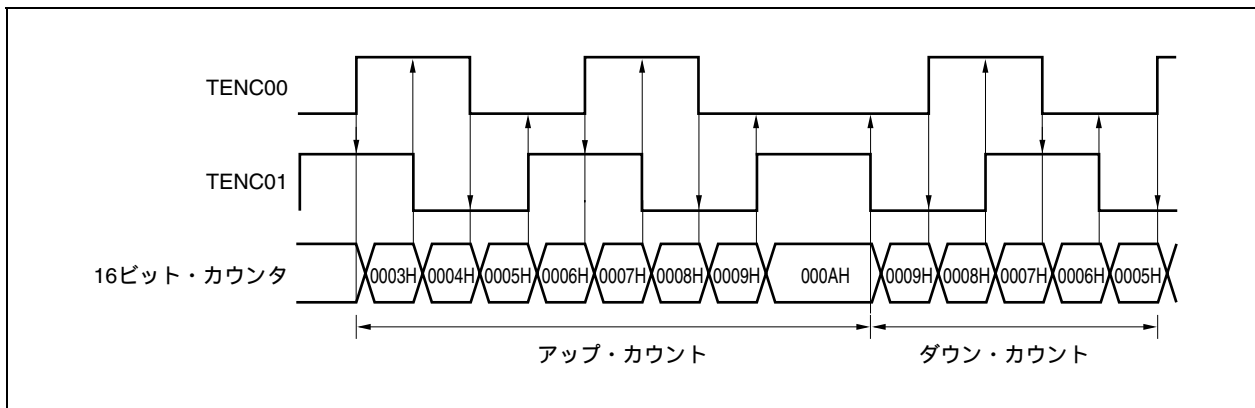
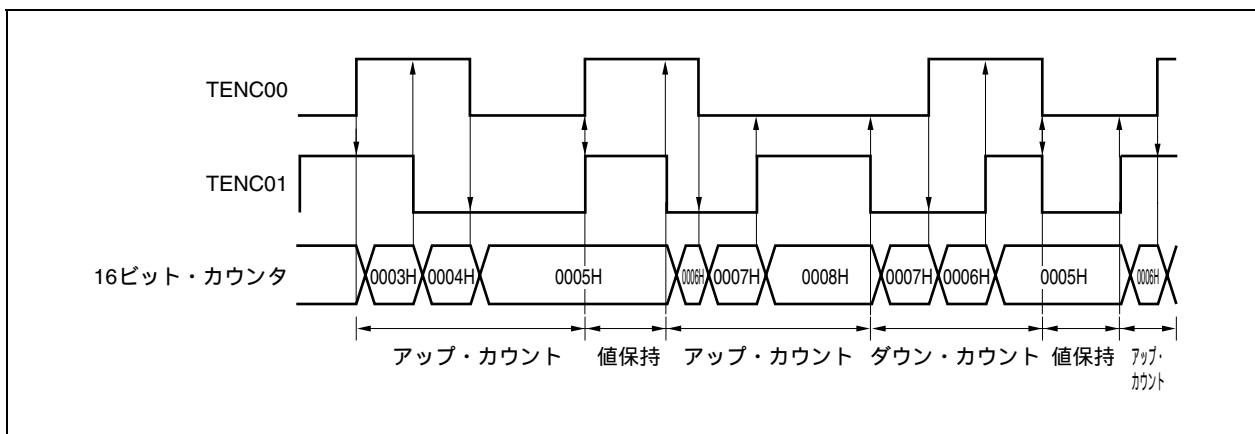


図9 - 50 動作例 (TENC00, TENC01端子の有効エッジが重なった場合のカウント動作)



TT0ECM1, TT0ECM0ビット：コンペア・レジスタ一致によるタイマ・カウンタ・クリア機能

16ビット・カウンタのカウンタ値とCCRnバッファ・レジスタの値が一致したときにTT0ECM1, TT0ECM0ビットの設定値に従い、カウンタ動作を行います。

- ・ TT0ECM1, TT0ECM0ビット = 00時

16ビット・カウンタのカウンタ値とCCRnバッファ・レジスタの値の一致によるカウンタ・クリアを行わない。

- ・ TT0ECM1, TT0ECM0ビット = 01時

16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウント	16ビット・カウンタを0000Hにクリアする。
ダウン・カウント	16ビット・カウンタのカウンタ値をダウン・カウントする

- ・ TT0ECM1, TT0ECM0ビット = 10時

16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウント	16ビット・カウンタのカウンタ値をアップ・カウントする
ダウン・カウント	16ビット・カウンタを0000Hにクリアする。

- ・ TT0ECM1, TT0ECM0ビット = 11時

16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウント	16ビット・カウンタを0000Hにクリアする。
ダウン・カウント	16ビット・カウンタのカウンタ値をダウン・カウントする

16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値の一致で次の条件によりカウンタ動作を行う。

次のカウンタ動作	説明
アップ・カウント	16ビット・カウンタのカウンタ値をアップ・カウントする
ダウン・カウント	16ビット・カウンタを0000Hにクリアする。

TT0LDEビット：アンダフロー発生時のTT0CCR0レジスタ設定値の16ビット・カウンタへの転送機能

TT0LDEビット = 1に設定することにより，アンダフロー発生時にTT0CCR0レジスタ設定値を16ビット・カウンタに転送することができます。

TT0LDEビットは，エンコーダ・コンペア・モード時のみ有効です。

・「0000H-TT0CCR0レジスタ設定値」範囲内でのカウント動作

TT0LDEビット = 1，TT0ECM1，TT0ECM0ビット = 01に設定し，カウント動作を行うと，TT0ECM0ビット = 1のときに16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値の一致発生後，次のカウントがアップ・カウントの場合に16ビット・カウンタが0000Hにクリアされます。

TT0LDEビット = 1のときにアンダフロー発生時にTT0CCR0レジスタ設定値が16ビット・カウンタに転送されます。

したがって，TT0CCR0レジスタ設定値をカウント上限値，0000Hをカウント下限値とした「0000H-TT0CCR0レジスタ設定値」範囲内でのカウント動作が実現できます。

図9 - 51 動作例（「0000H-TT0CCR0レジスタ設定値」範囲内でのカウント動作）

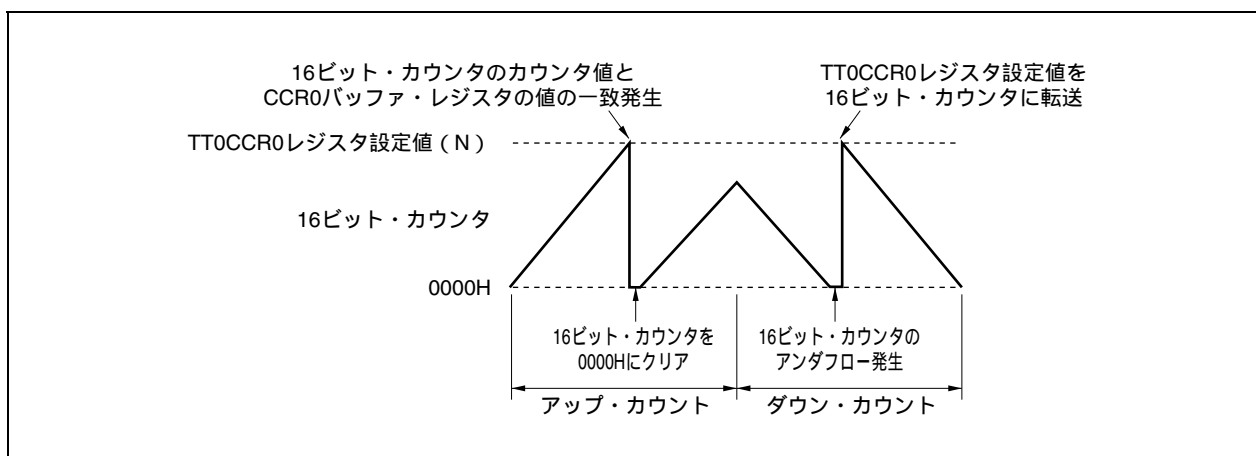
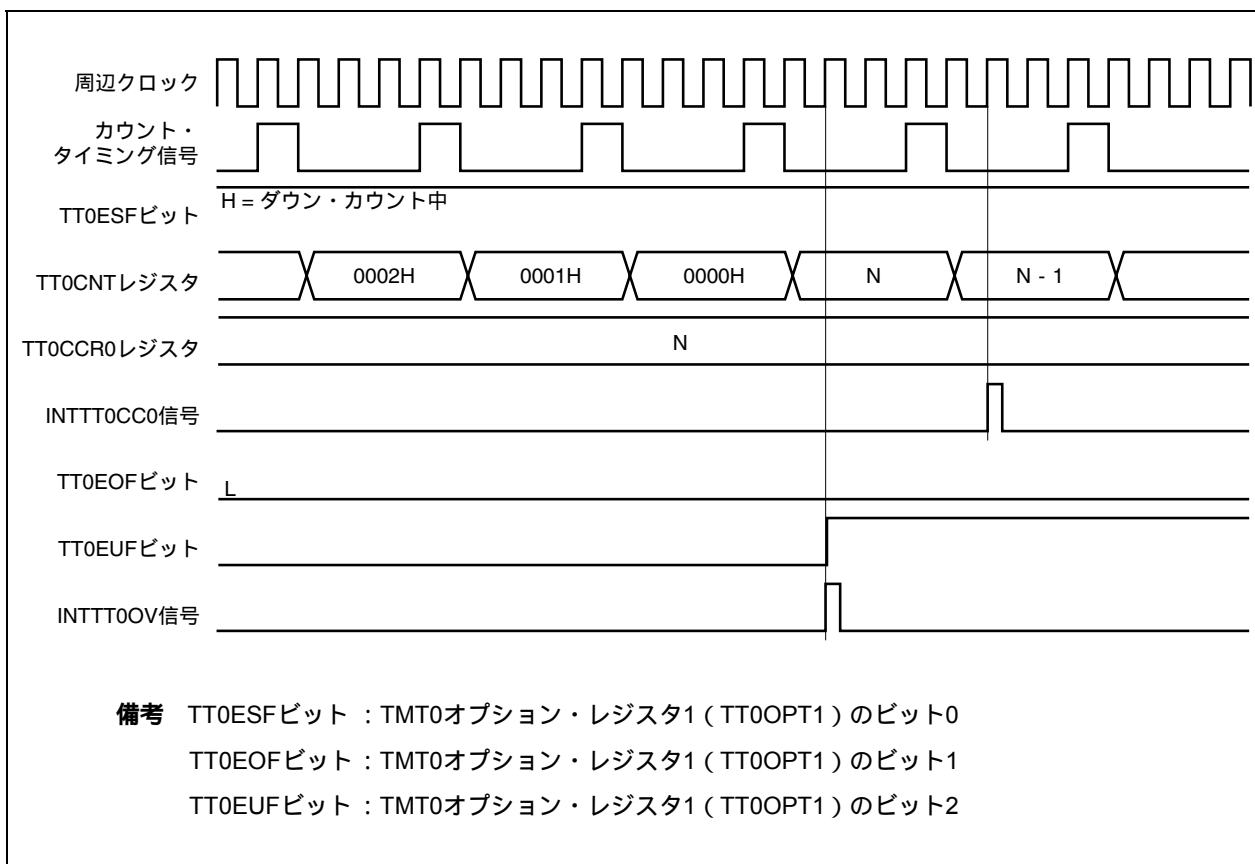


図9 - 52 動作タイミング (「0000H-TT0CCR0レジスタ設定値」範囲内でのカウント動作)



(6) エンコーダ・クリア信号 (TECR0端子) によるカウンタの0000Hクリア機能

TECR0端子入力により16ビット・カウンタを0000Hにクリアする方法は2種類あり、TT0IOC3.TT0SCEビットにより制御されます。また、TT0SCEビットは、その設定によりTT0IOC3.TT0ZCL, TT0BCL, TT0ACL, TT0ECS1, TT0ECS0ビットを制御します。

これらのクリア方法は、エンコーダ・コンペア・モード時のみ有効です。

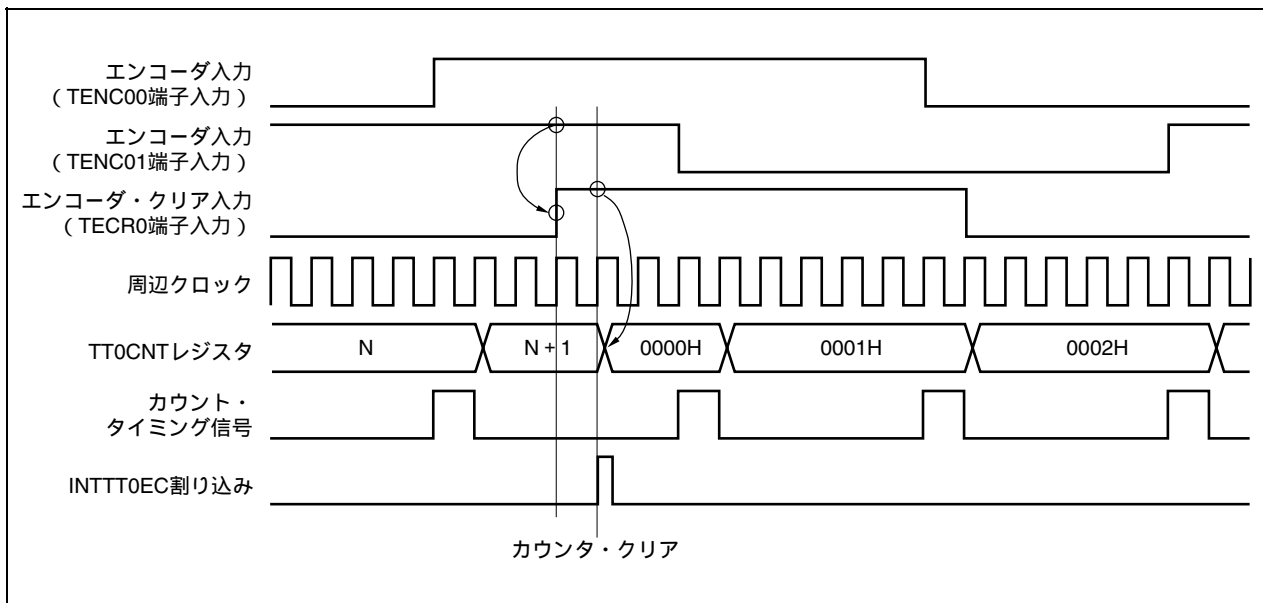
表9-9 TT0SCEビットとTT0ZCL, TT0BCL, TT0ACL, TT0ECS1, TT0ECS0ビットの関係

クリア方法	TT0SCEビット	TT0ZCLビット	TT0BCLビット	TT0ACLビット	TT0ECS1, TT0ECS0ビット
	0	無効	無効	無効	有効
	1	有効	有効	有効	無効

(a) クリア方法 : エンコーダ・クリア信号 (TECR0端子) のエッジ検出クリア (TT0SCEビット = 0)

TT0SCEビット = 0のとき、TT0ECS1, TT0ECS0ビットで指定したTECR0端子の有効エッジ検出により、周辺クロックに同期して16ビット・カウンタを0000Hにクリアします。このとき、エンコーダ・クリア割り込み要求信号 (INTTT0EC) が発生します。なお、TT0SCEビット = 0のとき、TT0ZCL, TT0BCL, TT0ACLビットの設定は無効です。

図9-53 動作例 (TT0SCEビット = 0, TT0ECS1, TT0ECS0ビット = 01, TT0UDS1, TT0UDS0ビット = 11の場合)



(b) クリア方法 : TENC00, TENC01, TECR0端子のクリア・レベル条件検出クリア (TT0SCEビット = 1)

TT0SCEビット = 1のとき, TT0ZCL, TT0BCL, TT0ACLビットで設定したTECR0, TENC00, TENC01端子のクリア・レベル条件検出により16ビット・カウンタを0000Hにクリアします。このとき, エンコーダ・クリア割り込み要求信号 (INTTT0EC) は発生しません。なお, TT0SCEビット = 1のとき, TT0ECS1, TT0ECS0ビットの設定は無効です。

表9 - 10 TT0SCEビット = 1のときの16ビット・カウンタのクリア条件

クリア・レベル条件設定			エンコーダ端子の入力レベル		
TT0ZCLビット	TT0BCLビット	TT0ACLビット	TECR0端子	TENC01端子	TENC00端子
0	0	0	L	L	L
0	0	1	L	L	H
0	1	0	L	H	L
0	1	1	L	H	H
1	0	0	H	L	L
1	0	1	H	L	H
1	1	0	H	H	L
1	1	1	H	H	H

注意 TT0ZCL, TT0BCL, TT0ACLビットのクリア・レベル条件と, TECR0, TENC01, TENC00端子の入力レベルが一致したときに16ビット・カウンタを0000Hにクリアします。

図9-54 動作例 (TT0SCEビット = 1, TT0ZCLビット = 1, TT0BCLビット = 0, TT0ACLビット = 1, TT0UDS1, TT0UDS0ビット = 11, TECR0 = ハイ・レベル, TENC01 = ロウ・レベル, TENC00 = ハイ・レベルの場合) (1/3)

(i) アップ・カウント時にTECR0端子のハイ・レベル入力(TENC01端子のロウ・レベル入力より遅れた場合, アップ・カウント後にカウンタがクリアされます。

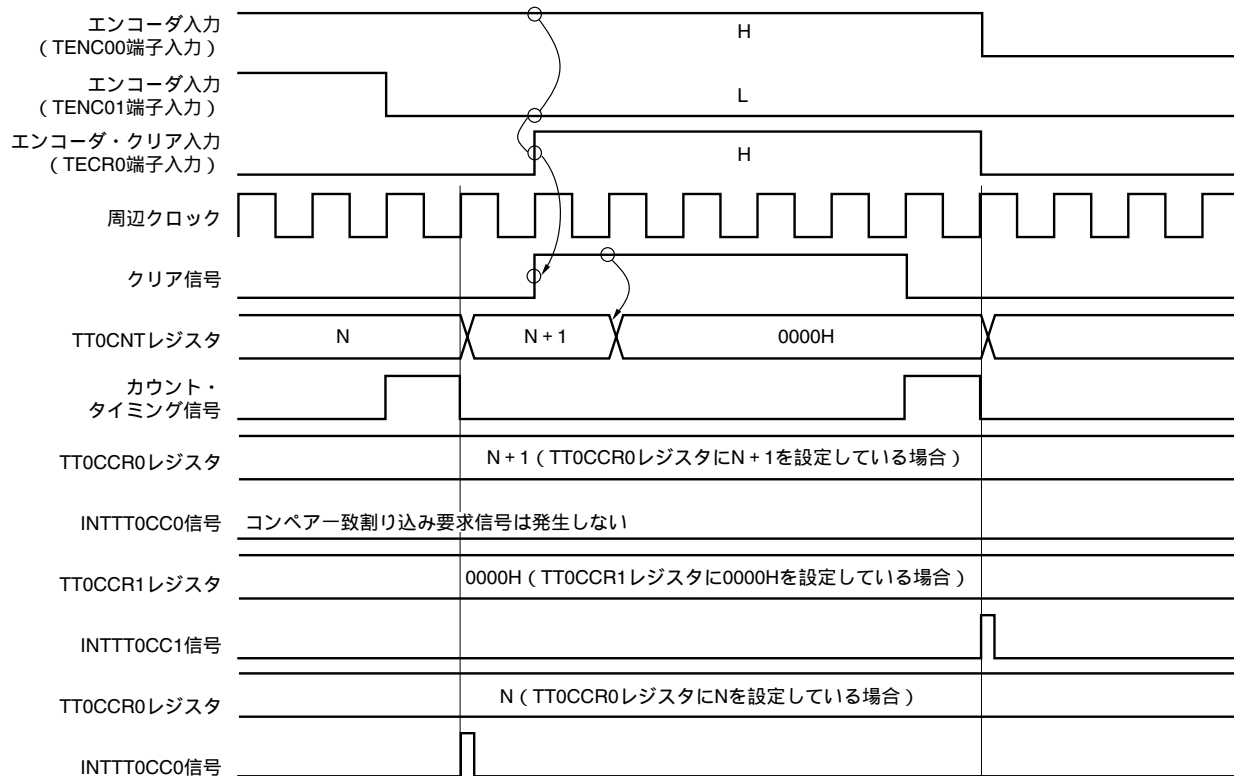
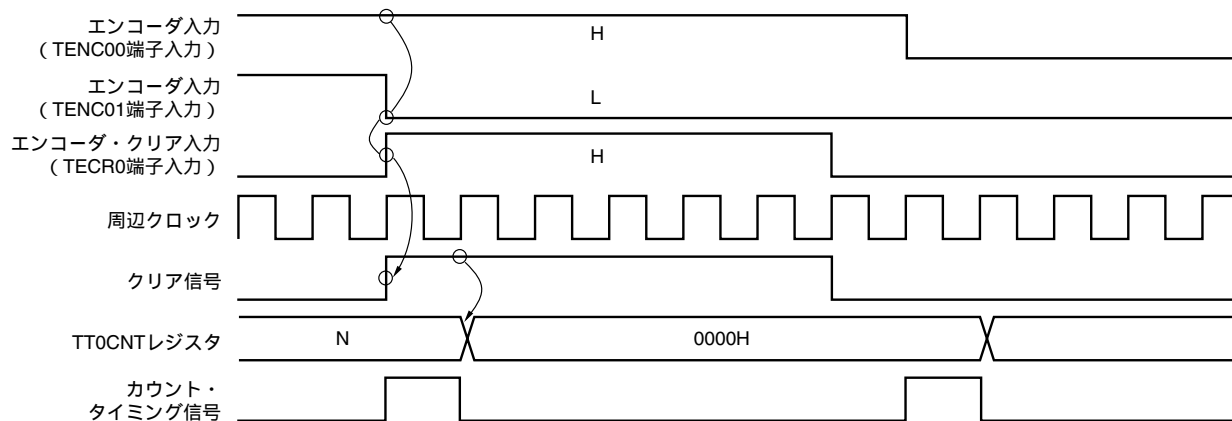


図9-54 動作例 (TT0SCEビット = 1, TT0ZCLビット = 1, TT0BCLビット = 0, TT0ACLビット = 1, TT0UDS1, TT0UDS0ビット = 11, TECR0 = ハイ・レベル, TENC01 = ロウ・レベル, TENC00 = ハイ・レベルの場合) (2/3)

(ii) アップ・カウント時にTECR0端子のハイ・レベル入力とTENC01端子のロウ・レベル入力が同時の場合、アップ・カウントせずにカウンタがクリアされます。



(iii) アップ・カウント時にTECR0端子のハイ・レベル入力がTENC01端子のロウ・レベル入力より早い場合、アップ・カウントせずにカウンタがクリアされます。

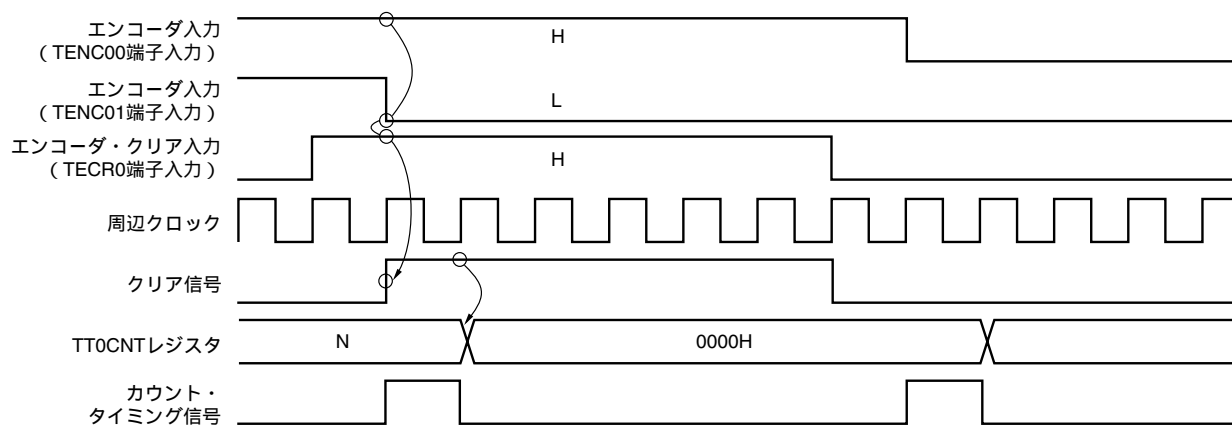
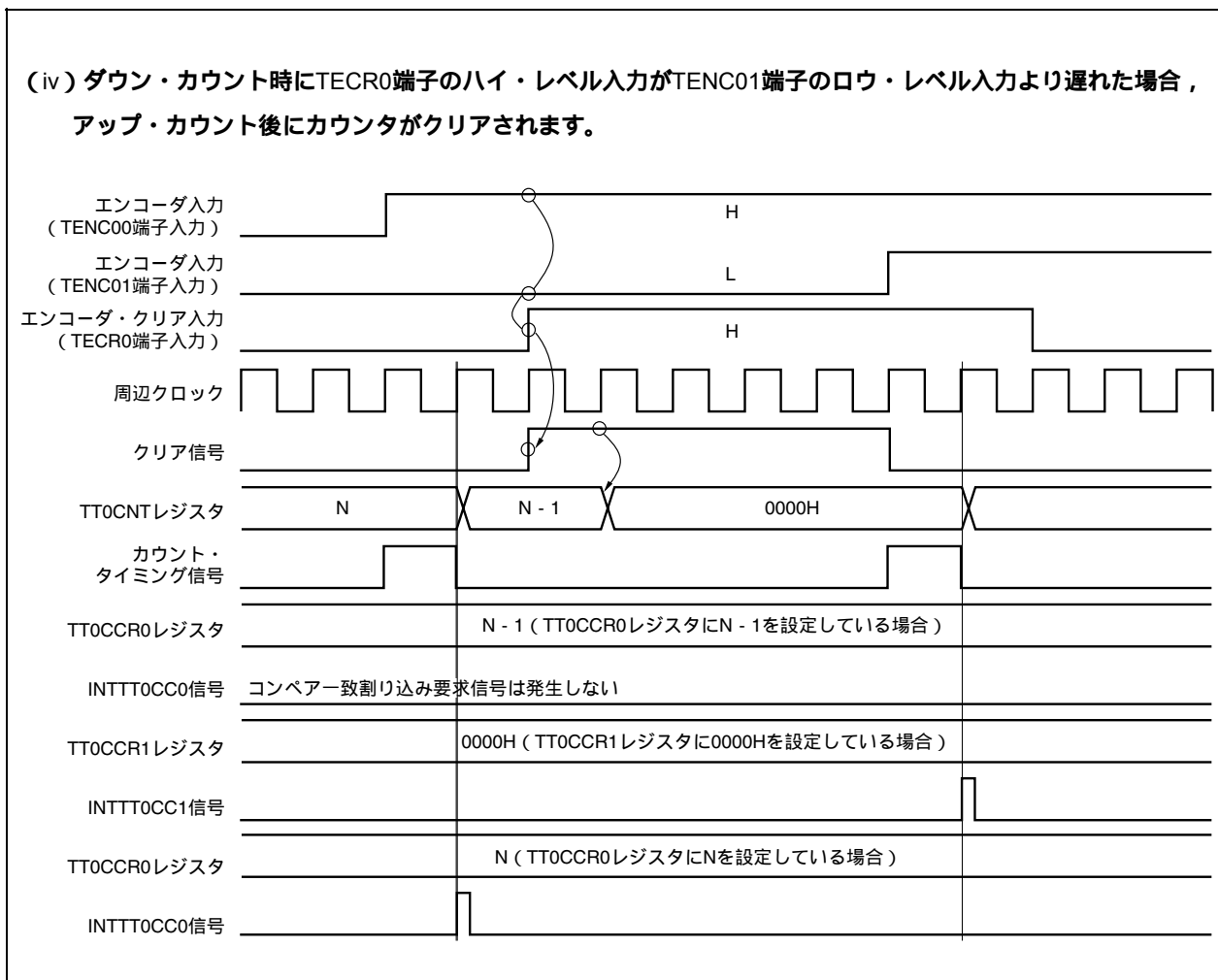


図9-54 動作例 (TT0SCEビット = 1, TT0ZCLビット = 1, TT0BCLビット = 0, TT0ACLビット = 1, TT0UDS1, TT0UDS0ビット = 11, TECR0 = ハイ・レベル, TENC01 = ロウ・レベル, TENC00 = ハイ・レベルの場合) (3/3)

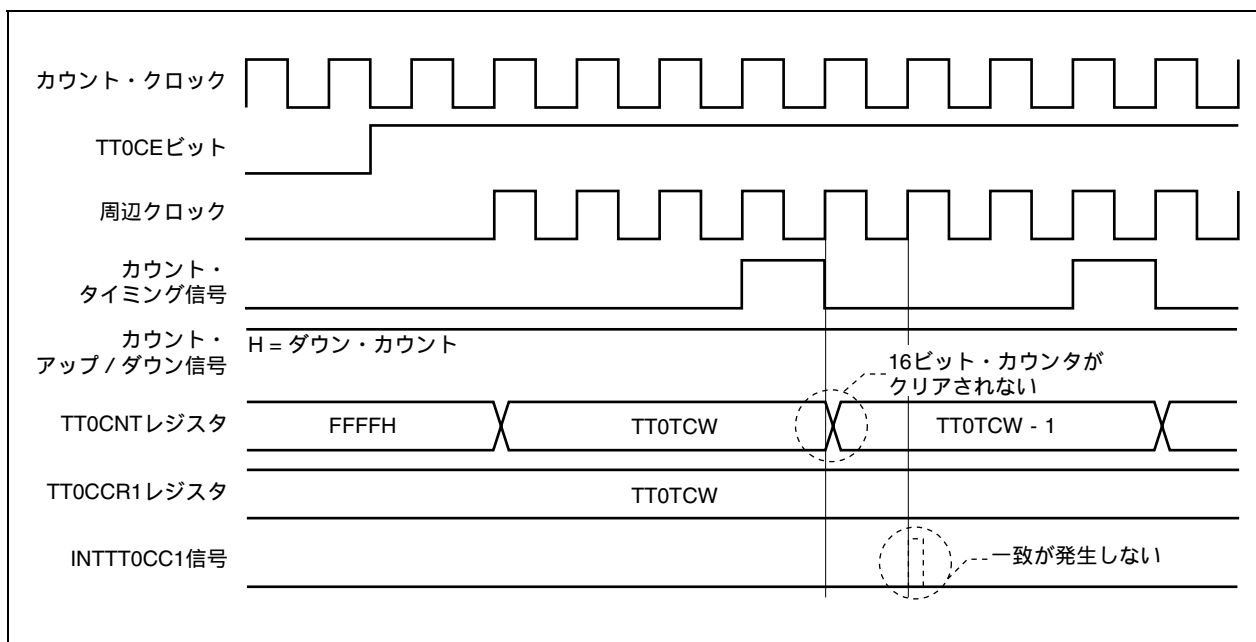


このクリア方法では、TECR0, TENC01, TENC00端子入力のクリア・レベル条件を設定し、クリア・レベル条件の検出により16ビット・カウンタを0000Hにクリアするため、TECR0端子入力の遅延による誤カウントは発生しません。

(7) エンコーダ・カウント機能の注意事項

(a) 動作開始直後のコンペア一致の未発生

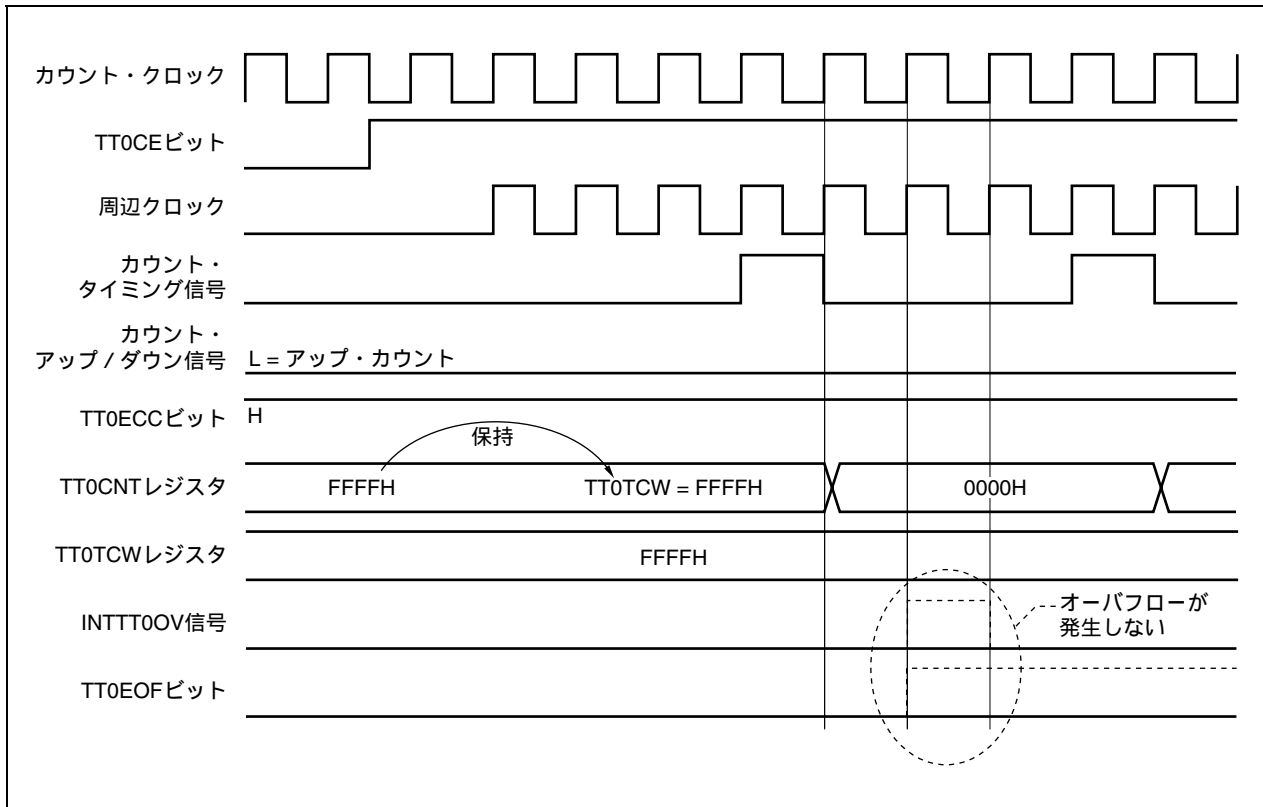
TT0CCR0 レジスタまたはTT0CCR1 レジスタにTT0TCW レジスタと同じ値を設定しTT0CTL2.TT0ECCビット = 0時にカウンタ動作を開始した場合、動作開始直後の16ビット・カウンタのカウンタ値 (TT0TCW) とCCRnバッファ・レジスタの値が一致すると、一致はマスクされ、コンペア一致割り込み要求信号 (INTTT0CCn) は発生しません (n = 0, 1)。また、TT0CTL2.TT0ECM1, TT0ECM0ビットの設定による16ビット・カウンタの0000Hクリアも行われません。



(b) 動作開始直後のオーバーフローの未発生

TT0CTL2.TT0ECCビット = 1時にカウンタ動作を再開した場合、16ビット・カウンタの保持していたカウント値がFFFFHで次のカウントがアップ・カウントのとき、オーバーフローは発生しません。

カウンタ値 (TT0TCWレジスタ値 = FFFFH)での動作開始後、カウント・アップした場合、カウント動作はFFFFH 0000Hとなりオーバーフローが発生となりますが、オーバーフロー検出がマスクされてしまい、オーバーフロー・フラグ (TT0EOF)はセットされず、オーバーフロー割り込み要求信号 (INTTT0OV)も発生しません。



9.6.10 エンコーダ・コンペア・モード (TT0MD3-TT0MD0ビット = 1000)

エンコーダ・コンペア・モードは、TT0CCR0, TT0CCR1レジスタをとともにコンペア機能として使用し、エンコーダ・カウント機能用入力端子 (TENC00, TENC01, TECR0) により、エンコーダ制御を実現します。

クリア動作としては3つの条件があります。16ビット・カウンタのカウント値とCCRnバッファ・レジスタの値の一致によるクリア(コンペア一致割り込み要求信号(INTTT0CCn)を発生)、エンコーダ・クリア入力(TECR0端子)のエッジ検出クリア、TENC00, TENC01, TECR0端子のクリア・レベル条件検出クリアにより、16ビット・カウンタを0000Hにクリアします。

アンダフロー発生時にTT0CCR0レジスタ設定値を16ビット・カウンタに転送することができます。

(1) エンコーダ・コンペア・モード動作フロー

図9 - 55 エンコーダ・コンペア・モード動作フロー

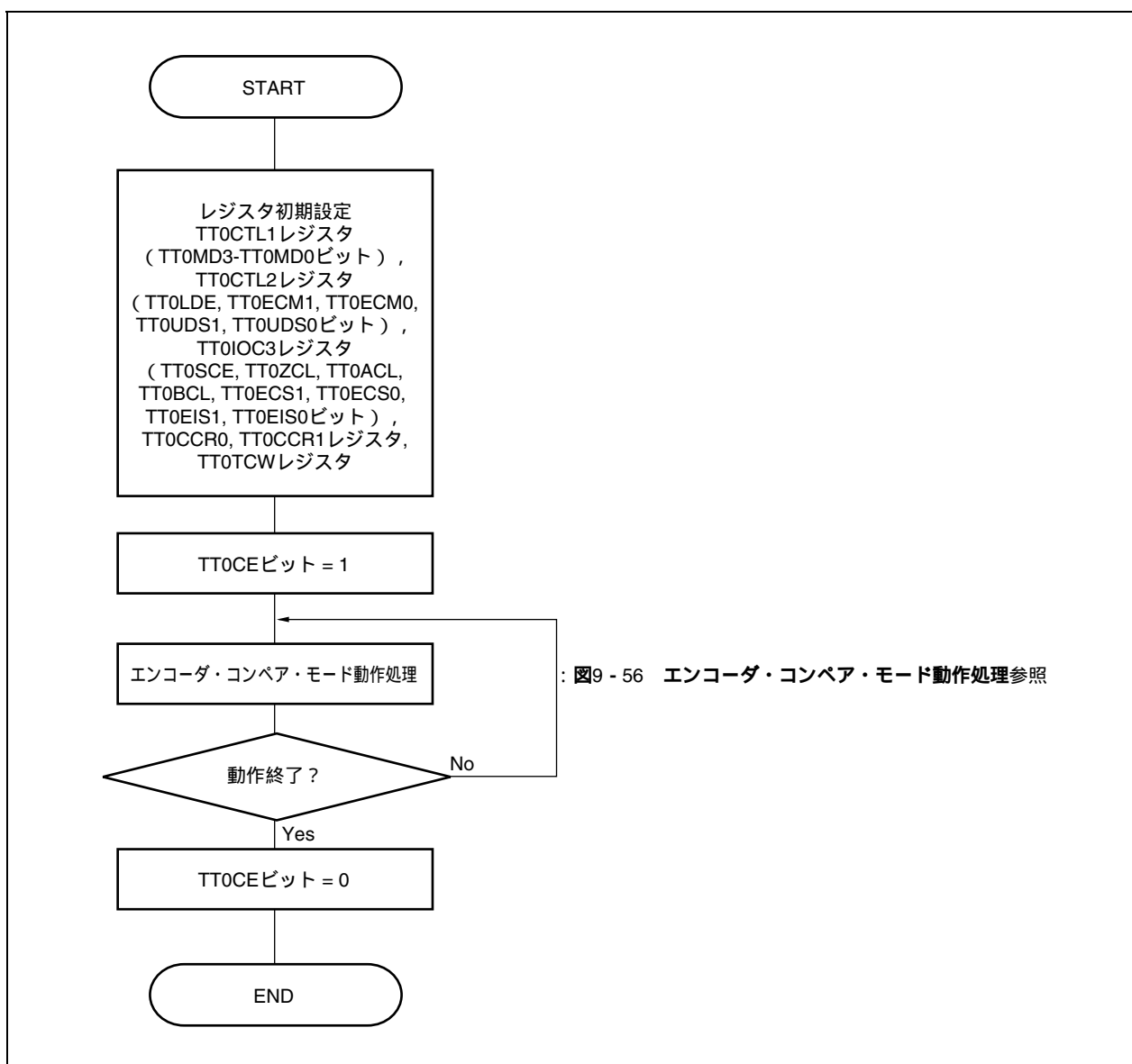
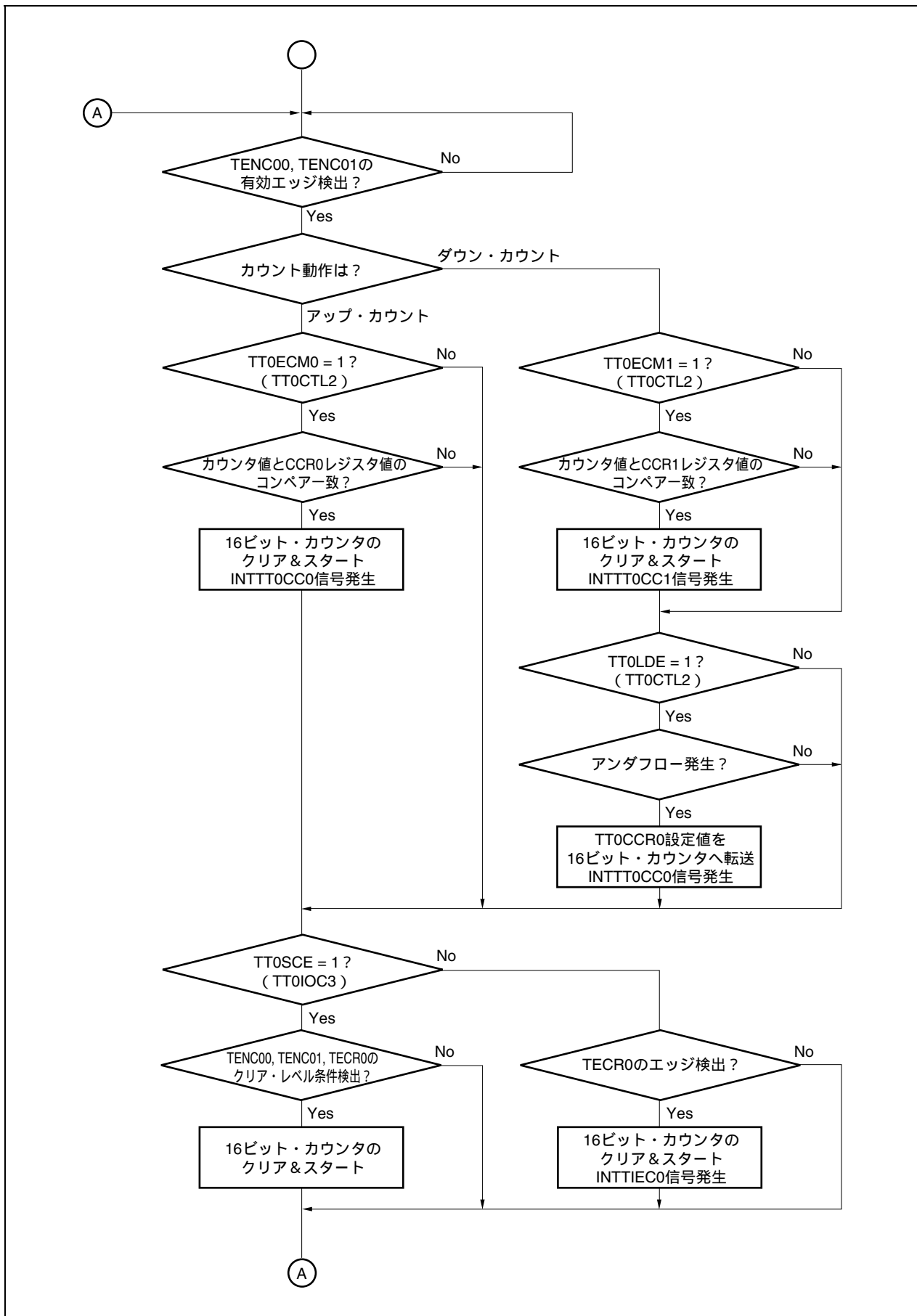


図9-56 エンコーダ・コンペア・モード動作処理

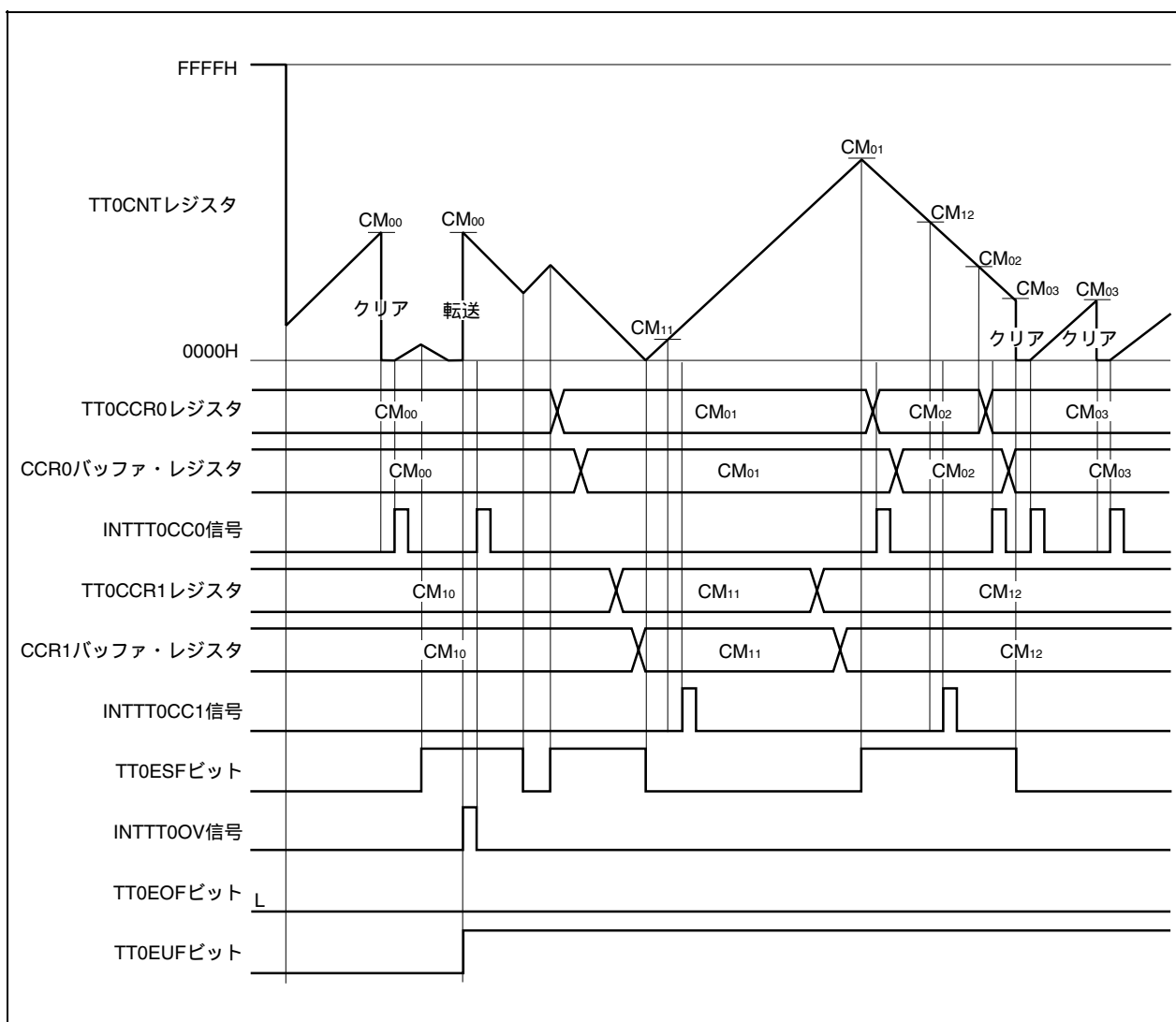


(2) エンコーダ・コンペア・モード動作タイミング

(a) 基本タイミング1

【レジスタ設定条件】

- ・ TT0CTL2.TT0ECM1, TT0ECM0ビット = 01
16ビット・カウンタのカウント値とCCR0バッファ・レジスタ値の一致でカウンタを0000Hにクリアする。
- ・ TT0CTL2.TT0LDEビット = 1
アンダフロー発生時, TT0CCR0レジスタ設定値を16ビット・カウンタに転送する。
- ・ TT0IOC3.TT0SCEビット = 0, TT0ECS1, TT0ECS0ビット = 00
エンコーダ・クリア入力 (TECR0端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TT0CEビット = 0 1) にTT0TCWレジスタ設定値を16ビット・カウンタに転送し、カウント動作を開始します。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTT0CC0) が発生します。TT0ECM0ビット = 1のため、次のカウント動作がアップ・カウントの場合に16ビット・カウンタを0000Hにクリアします。

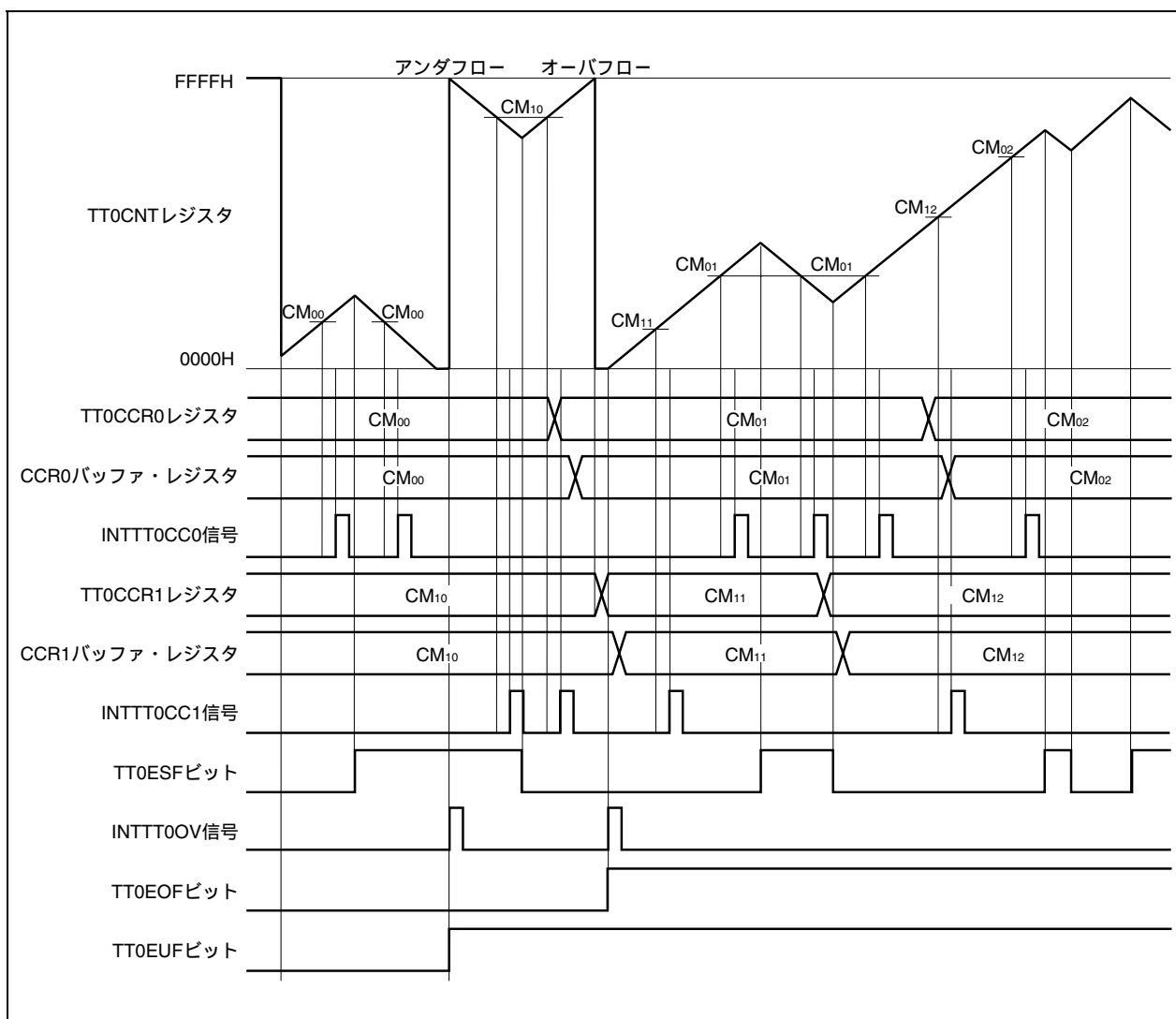
16ビット・カウンタのカウント値とCCR1バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTT0CC1) が発生します。TT0ECM1ビット = 0のため、一致条件では16ビット・カウンタは0000Hにクリアされません。

また、TT0LDEビット = 1, TT0ECM0ビット = 1の設定により、「0000H-TT0CCR0レジスタ設定値」範囲内でカウント動作が可能です。

(b) 基本タイミング2

【レジスタ設定条件】

- ・ TT0CTL2.TT0ECM1, TT0ECM0ビット = 00
16ビット・カウンタのカウンタ値とCCRaバッファ・レジスタ値の一致でのカウンタ・クリアなし ($a = 0, 1$)。
- ・ TT0CTL2.TT0LDEビット = 0
アンダフロー発生時, TT0CCR0レジスタ設定値を16ビット・カウンタに転送しない。
- ・ TT0IOC3.TT0SCEビット = 0, TT0ECS1, TT0ECS0ビット = 00
エンコーダ・クリア入力 (TECR0端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TT0CEビット = 0 1) にTT0TCWレジスタ設定値を16ビット・カウンタに転送し、カウンタ動作を開始します。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTT0CC0) が発生します。

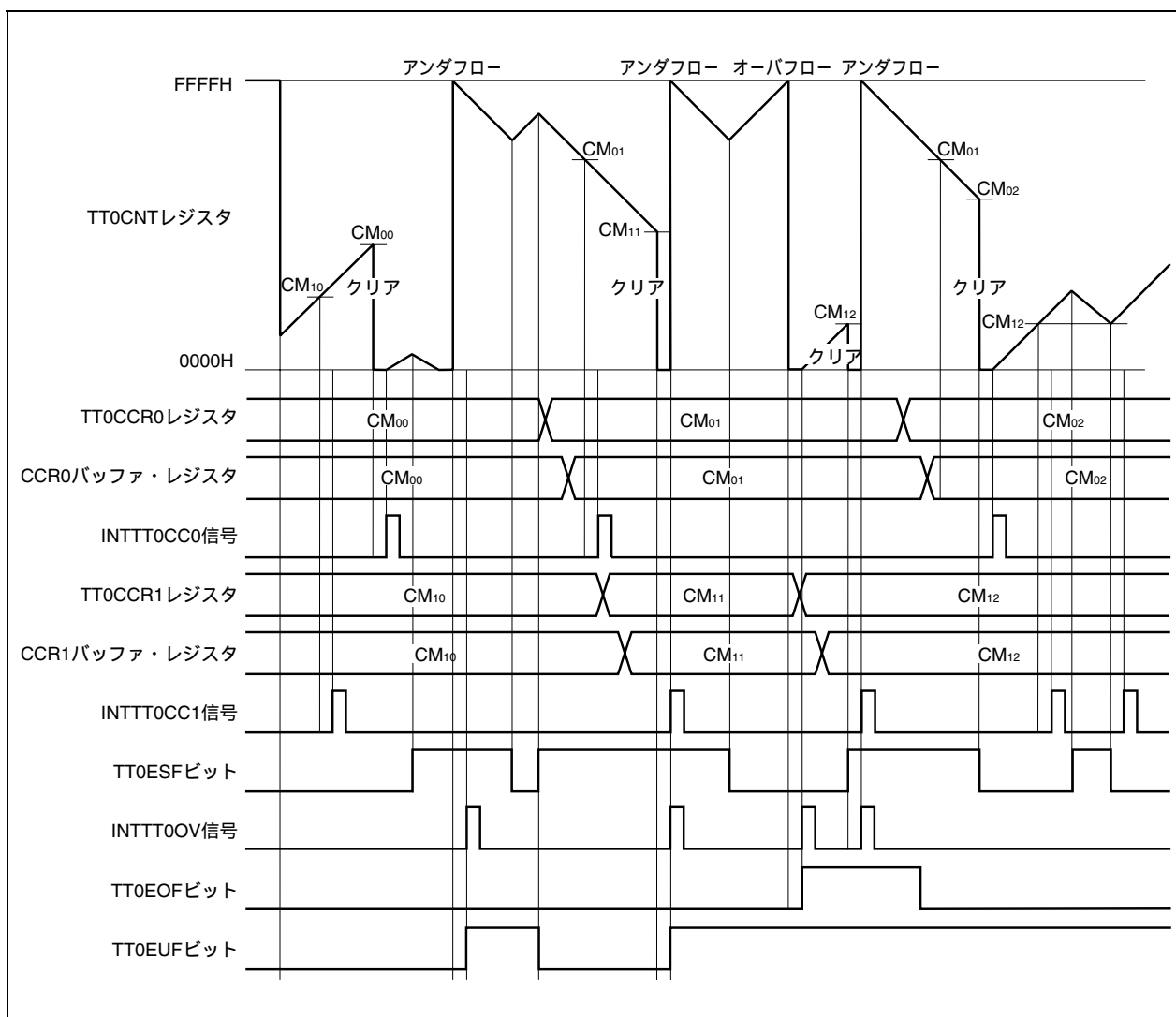
16ビット・カウンタのカウント値とCCR1バッファ・レジスタ値が一致すると、コンペア一致割り込み要求信号 (INTTT0CC1) が発生します。

また、TT0ECM1, TT0ECM0ビット = 00のため、16ビット・カウンタのカウント値とCCRnバッファ・レジスタとの一致では、16ビット・カウンタは0000Hにクリアされません (n = 0, 1)。

(c) 基本タイミング3

【レジスタ設定条件】

- ・ TT0CTL2.TT0ECM1, TT0ECM0ビット = 11
 - 16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタ値の一致でカウンタを0000Hにクリアする。
 - 16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタ値の一致でカウンタを0000Hにクリアする。
- ・ TT0CTL2.TT0LDEビットの設定無効
- ・ TT0IOC3.TT0SCEビット = 0, TT0ECS1, TT0ECS0ビット = 00
 - エンコーダ・クリア入力 (TECR0端子) のエッジ検出クリア指定 (エッジ指定なし)。



動作開始時 (TT0CEビット = 0 1) にTT0TCWレジスタ設定値を16ビット・カウンタに転送し、カウント動作を開始します。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTT0CC0) が発生します。このとき、次のカウント動作がアップ・カウントの場合に16ビット・カウンタを0000Hにクリアします。

16ビット・カウンタのカウント値とCCR1バッファ・レジスタ値が一致すると、コンペアー一致割り込み要求信号 (INTTT0CC1) が発生します。このとき、次のカウント動作がダウン・カウントの場合に16ビット・カウンタを0000Hにクリアします。

第10章 16ビット・インターバル・タイマM (TMM)

V850ES/JG3-U, V850ES/JH3-U は TMM を 4 チャンネル搭載しています。

10.1 概 要

TMMn の特徴について示します。

- ・インターバル機能
- ・クロック選択 × 8
- ・16ビット・カウンタ × 1 (タイマ・カウント動作中のカウンタ・リードはできません。)
- ・コンペア・レジスタ × 1 (タイマ・カウント動作中のコンペア・レジスタへのライトはできません。)
- ・コンペア一致割り込み × 1

タイマMはクリア&スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

備考 n = 0-3

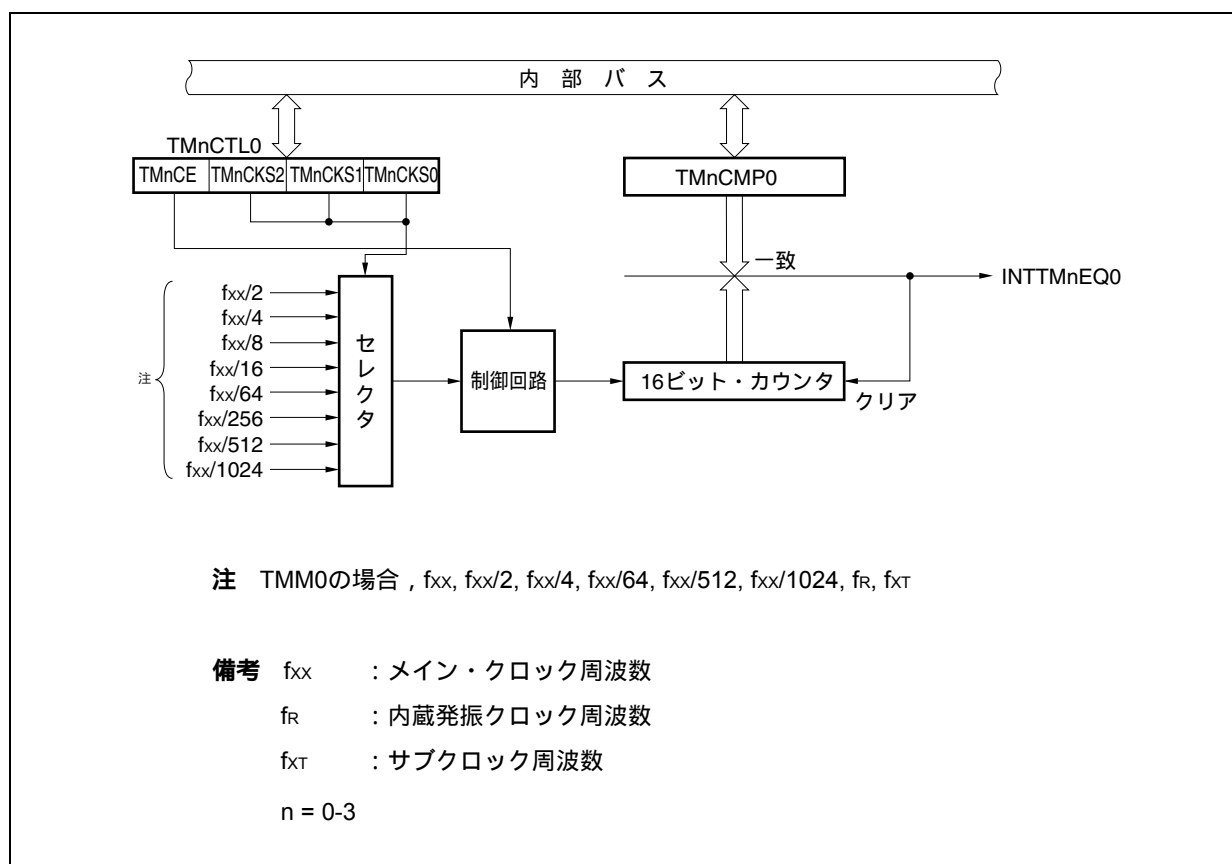
10.2 構 成

TMMnは、次のハードウェアで構成されています。

表10 - 1 TMMnの構成

項 目	構 成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMMnコンペア・レジスタ0 (TMnCMP0)
制御レジスタ	TMMn制御レジスタ0 (TMnCTL0)

図10 - 1 TMMnのブロック図



(1) 16ビット・カウンタ

内部クロックをカウントする16ビットのカウンタです。

16ビット・カウンタはリード/ライトできません。

(2) TMMnコンペア・レジスタ0 (TMnCMP0)

TMnCMP0レジスタは16ビットのコンペア・レジスタです。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

TMnCMP0レジスタは、常時ソフトウェアでの同値書き込みができます。

TMnCTL0.TMnCEビット = 1のとき、TMnCMP0レジスタの書き換えは禁止です。

リセット時：0000H R/W アドレス：TM0CMP0 FFFFFFFA84H, TM1CMP0 FFFFFFFA94H,
TM2CMP0 FFFFFFFAA4H, TM3CMP0 FFFFFFFAB4H,

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMnCMP0 (n = 0-3)	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

10.3 レジスタ

(1) TMMn制御レジスタ0 (TMnCTL0)

TMnCTL0レジスタはTMMnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TMnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

備考 n = 0-3

リセット時 : 00H R/W アドレス : TM0CTL0 FFFFFFFA80H, TM1CTL0 FFFFFFFA90H,
TM2CTL0 FFFFFFFAA0H, TM3CTL0 FFFFFFFAB0H

	⑦	6	5	4	3	2	1	0
TMnCTL0	TMnCE	0	0	0	0	TMnCKs2	TMnCKs1	TMnCKs0

(n = 0-3)

TMnCE	内部クロック動作許可 / 禁止指定
0	TMMn動作禁止 (16ビット・カウンタを非同期にリセット)。動作クロック供給停止
1	TMMn動作許可。動作クロック供給開始。TMMn動作開始

TMnCEビットにより、TMMnの内部クロックの制御と内部回路のリセットを非同期に行います。TMnCEビットをクリア (0) すると、TMMnの内部クロックは停止 (ロウ・レベル固定) し、16ビット・カウンタが非同期にリセットされます。

(m = 0)

TMmCKs2	TMmCKs1	TMmCKs0	カウント・クロックの選択	f _{xx} = 48 MHz		
				f _{xx} = 32 MHz	f _{xx} = 24 MHz	
0	0	0	f _{xx}	20.8 ns	31.3 ns	41.7 ns
0	0	1	f _{xx} /2	41.7 ns	62.5 ns	83.3 ns
0	1	0	f _{xx} /4	83.3 ns	125 ns	167 ns
0	1	1	f _{xx} /64	1.33 ms	2.00 ms	2.67 ms
1	0	0	f _{xx} /512	10.7 ms	16.0 ms	21.3 ms
1	0	1	f _{xx} /1024	21.3 ms	32.0 ms	42.7 ms
1	1	0	f _r /8	36.4 μs	36.4 μs	36.4 μs
1	1	1	f _T	30.5 μs	30.5 μs	30.5 μs

(m = 1-3)

TMmCKs2	TMmCKs1	TMmCKs0	カウント・クロックの選択	f _{xx} = 48 MHz		
				f _{xx} = 32 MHz	f _{xx} = 24 MHz	
0	0	0	f _{xx} /2	41.7 ns	62.5 ns	83.3 ns
0	0	1	f _{xx} /4	83.3 ns	125 ns	167 ns
0	1	0	f _{xx} /8	167 ns	250 ns	333 ns
0	1	1	f _{xx} /16	333 ns	500 ns	667 ns
1	0	0	f _{xx} /64	1.33 ms	2.00 ms	2.67 ms
1	0	1	f _{xx} /256	5.33 ms	8.00 ms	10.7 ms
1	1	0	f _{xx} /512	10.7 ms	16.0 ms	21.3 ms
1	1	1	f _{xx} /1024	21.3 ms	32.0 ms	42.7 ms

注意1. TMnCKs2-TMnCKs0ビットはTMnCEビット = 0のときに設定してください。

TMnCEビットを“0”から“1”に設定するときに、同時にTMnCKs2-TMnCKs0ビットを設定できません。

2. ビット3-6には必ず“0”を設定してください。

備考 f_{xx} : メイン・クロック周波数

f_r : 内蔵発振クロック周波数

f_T : サブクロック周波数

10.4 動作

注意 TMnCMP0レジスタには、FFFFHを設定しないでください。

10.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは、TMnCTL0.TMnCEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号(INTTMnEQ0)を発生します。

図10-2 インターバル・タイマの構成図

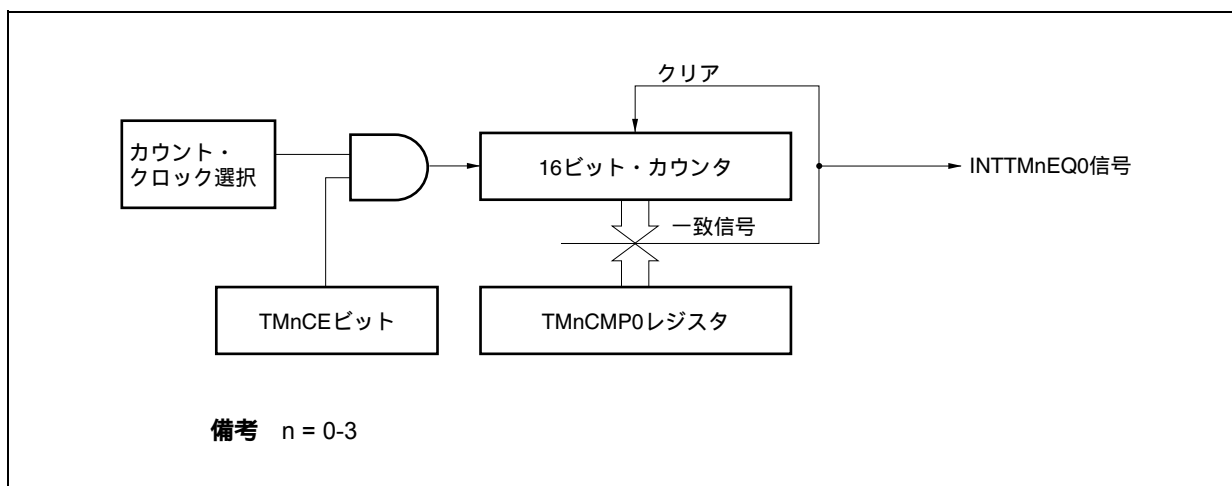
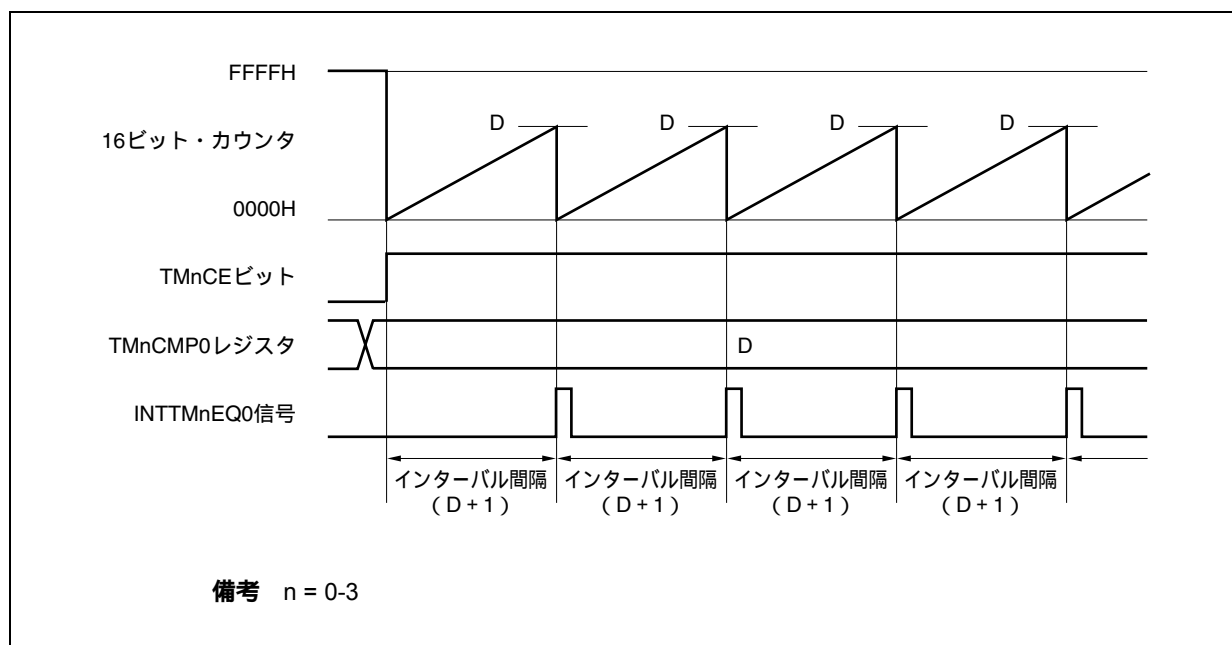


図10-3 インターバル・タイマ・モード動作の基本タイミング



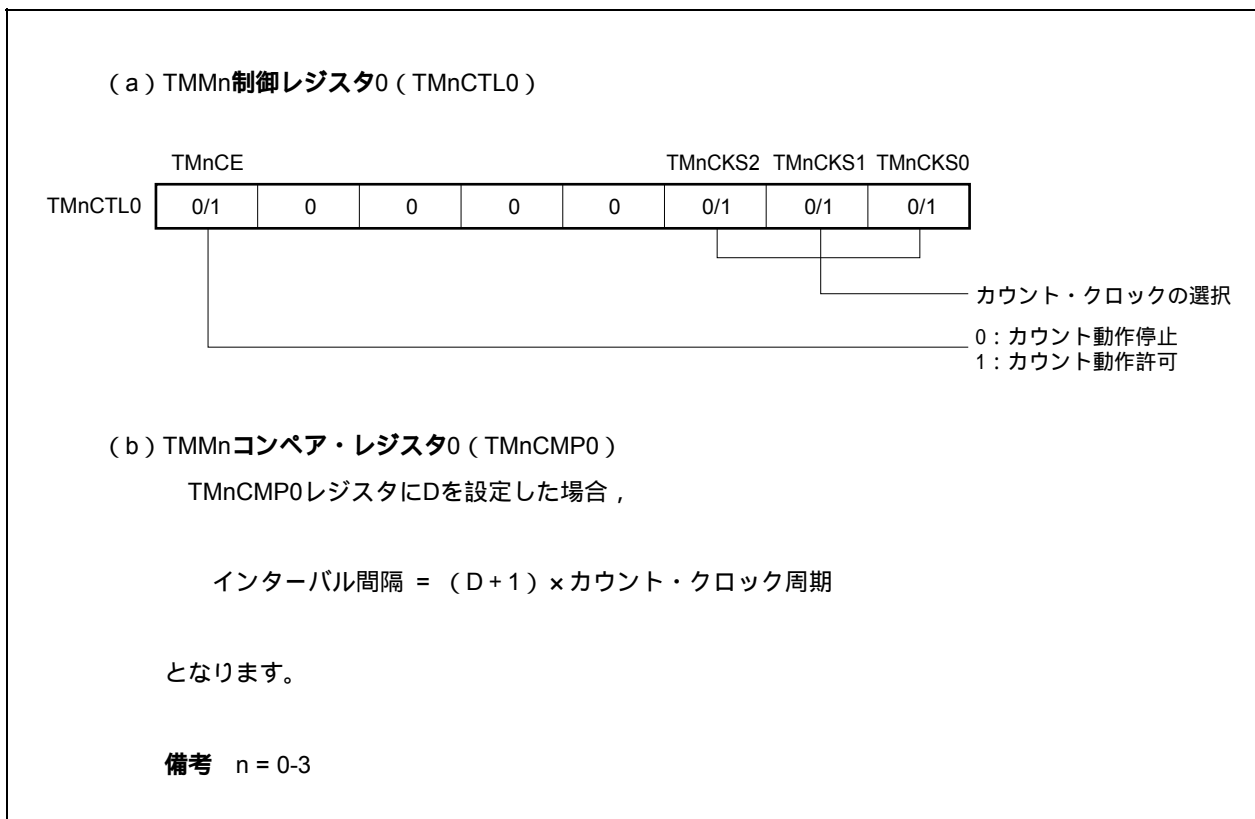
TMnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。

16ビット・カウンタのカウント値とTMnCMP0レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンパレー一致割り込み要求信号(INTTMnEQ0)を発生します。

インターバル間隔は次のようになります。

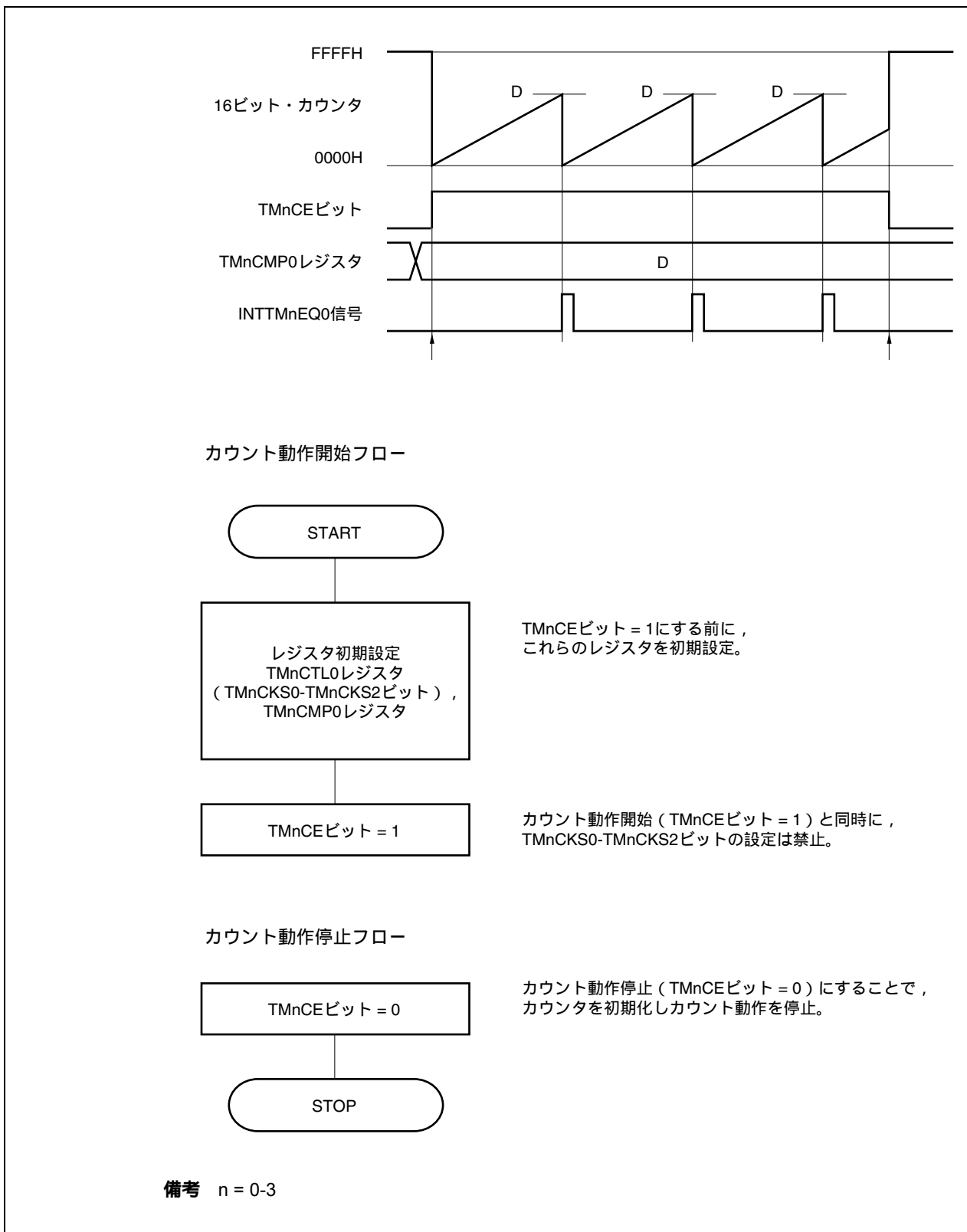
$$\text{インターバル間隔} = (\text{TMnCMP0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図10-4 インターバル・タイマ・モード動作時のレジスタ設定内容



(1) インターバル・タイマ・モード動作フロー

図10-5 インターバル・タイマ・モード使用時のソフトウェア処理フロー



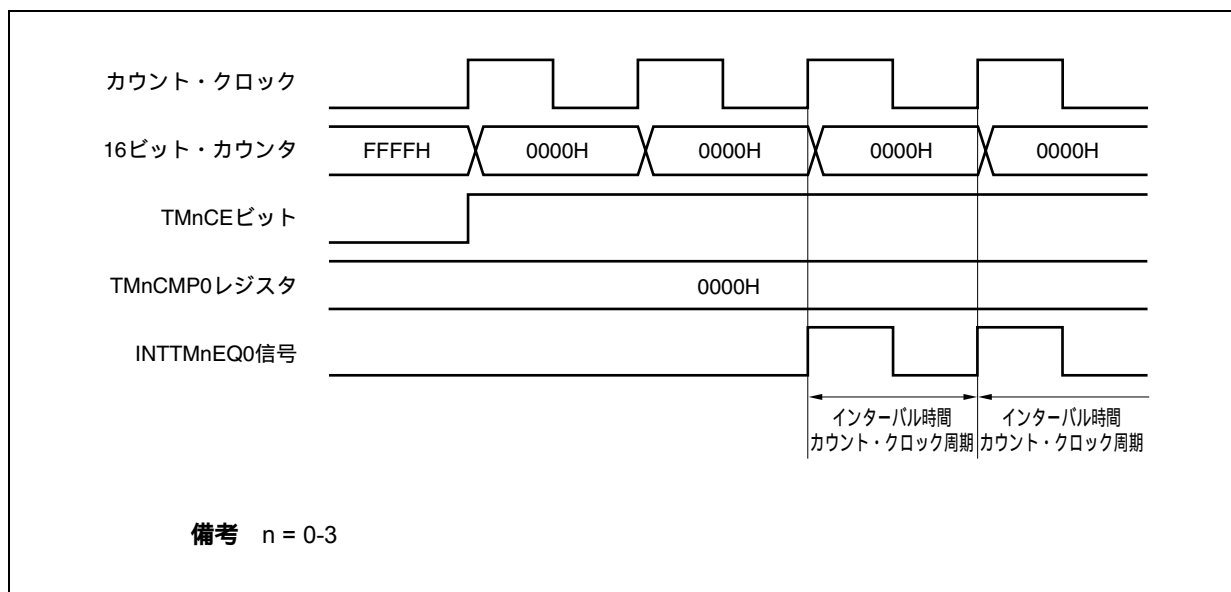
(2) インターバル・タイマ・モード動作タイミング

注意 TMnCMP0レジスタには, FFFFHを設定しないでください。

(a) TMnCMP0レジスタに0000Hを設定した場合の動作

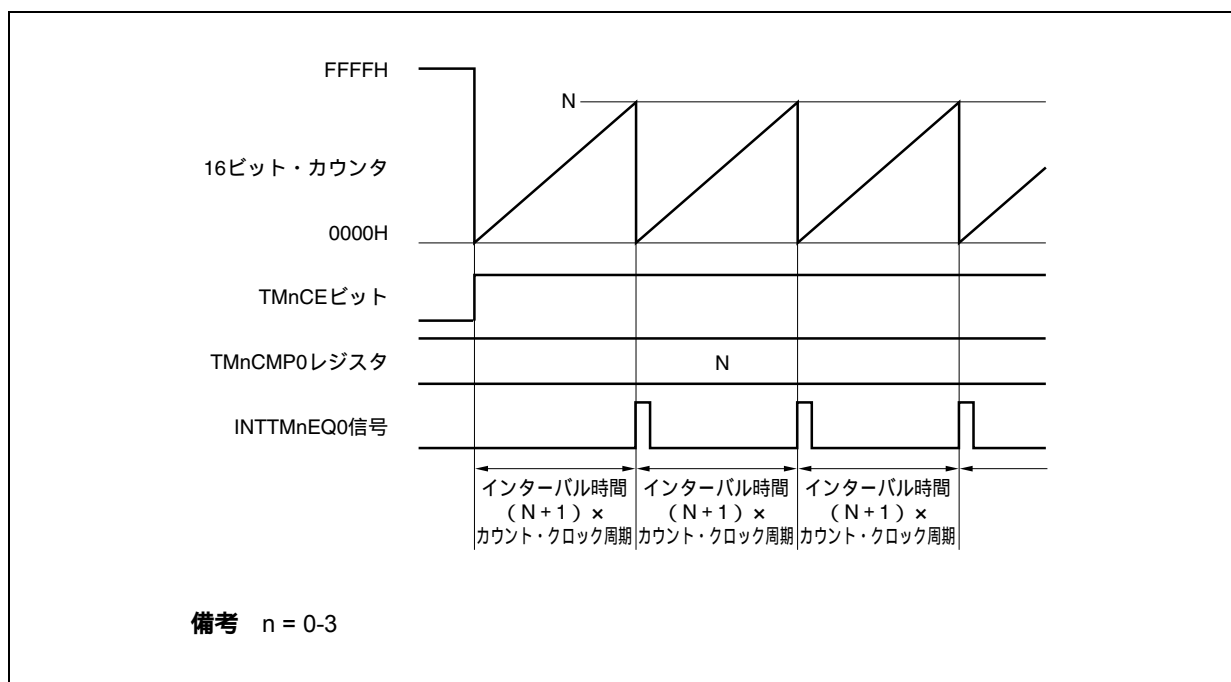
TMnCMP0レジスタに0000Hを設定した場合, カウント・クロックごとにINTTMnEQ0信号を発生します。

16ビット・カウンタは, 常に0000Hとなります。



(b) TMnCMP0レジスタにNを設定した場合の動作

TMnCMP0レジスタにNを設定した場合, 16ビット・カウンタはNまでカウント動作を行い, 次のカウント・アップ・タイミングに同期して, 16ビット・カウンタを0000Hにクリアし, INTTMnEQ0信号を発生します。



10.4.2 注意事項

- (1) TMnCTL0.TMnCEビット = 1としてからカウント開始するまで、選択したカウント・クロックによって次の時間が最大かかります。

(n = 0)

選択したカウント・クロック	カウント開始までの最大時間
f_{xx}	$2/f_{xx}$
$f_{xx}/2$	$3/f_{xx}$
$f_{xx}/4$	$6/f_{xx}$
$f_{xx}/64$	$128/f_{xx}$
$f_{xx}/512$	$1024/f_{xx}$
$f_{xx}/1024$	$2048/f_{xx}$
$f_R/8$	$16/f_R$
f_{XT}	$2/f_{XT}$

(n = 1-3)

選択したカウント・クロック	カウント開始までの最大時間
$f_{xx}/2$	$4/f_{xx}$
$f_{xx}/4$	$6/f_{xx}$
$f_{xx}/8$	$12/f_{xx}$
$f_{xx}/16$	$32/f_{xx}$
$f_{xx}/64$	$128/f_{xx}$
$f_{xx}/256$	$512/f_{xx}$
$f_{xx}/512$	$1024/f_{xx}$
$f_{xx}/1024$	$2048/f_{xx}$

- (2) TMnCMP0, TMnCTL0レジスタはTMMn動作中の書き換えは禁止です。

TMnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TMnCTL0.TMnCEビットをクリア (0) してから再設定してください。

備考 n = 0-3

第11章 モータ制御機能

11.1 機能概要

タイマAB1(TAB1)とTMQ0オプション(TMQOP0)によりモータ制御用のインバータ機能として使用します。またタイマAA4(TAA4)と同調動作を行い、TAA4のコンペア一致タイミングで、A/DコンバータのA/D変換を起動することができます。モータ制御機能は、次のような動作を行うことができます。

- ・ 16ビット精度の6相PWM出力機能
- ・ タイマ同調動作機能 (TAA4と同調動作可能)
- ・ 任意の周期設定機能
(山割り込み, 谷割り込みでの動作中の変更可能)
- ・ コンペア・レジスタ書き換え: 随時書き換え / 一斉書き換え / 間欠一斉書き換え選択機能
(TAB1動作中の変更可能)
- ・ 割り込み機能および転送間引き機能
- ・ 任意のデッド・タイム設定機能
- ・ A/DコンバータのA/Dトリガの任意タイミング機能
- ・ 0 %出力と100 %出力が可能
- ・ 山割り込み, 谷割り込みでの0 %,100 %出力切り替え可能
- ・ 強制出力停止機能
 - ・ 外部端子入力 (TOAB1OFF, TOAA1OFF) による有効エッジ検出時
 - ・ クロック・モニタ機能によるメイン・クロックの発振停止検出時

11.2 構 成

モータ制御は次のハードウェアで構成されています。

項 目	構 成
タイマ・レジスタ	デッド・タイム・カウンタ
コンペア・レジスタ	TAB1デッド・タイム・コンペア・レジスタ (TAB1DTCレジスタ)
制御レジスタ	TAB1オプション・レジスタ1 (TAB1OPT1) TAB1オプション・レジスタ2 (TAB1OPT2) TAB1I/O制御レジスタ3 (TAB1IOC3) ハイ・インピーダンス出力制御レジスタ0 (HZA0CTL0) ハイ・インピーダンス出力制御レジスタ1 (HZA0CTL1)

- ・ TAB1の出力 (TOAB11, TOAB12, TOAB13) を使用し, デッド・タイム付きの6相PWM出力が可能です。
- ・ 6相PWM出力の出力レベルは個別に設定できます。
- ・ TAB1の16ビット・タイマ・カウンタは, アップ/ダウンの三角波カウントを行います。アンダフロー発生時と周期一致発生時に割り込みを発生しますが, 最大31回までの割り込み発生を間引くことができます。
- ・ TAA4は, TAB1とカウント動作を同時に行うことができます (タイマ同調動作機能)。TAA4は, A/Dトリガ・ソース (TABTADT0) が生成でき, TAB1のアンダフロー割り込み (INTTAB1OV) と周期一致割り込み (INTTAB1CC0) の2種類と合わせ, 合計3種類の設定ができます。

図11 - 1 モータ制御のブロック図

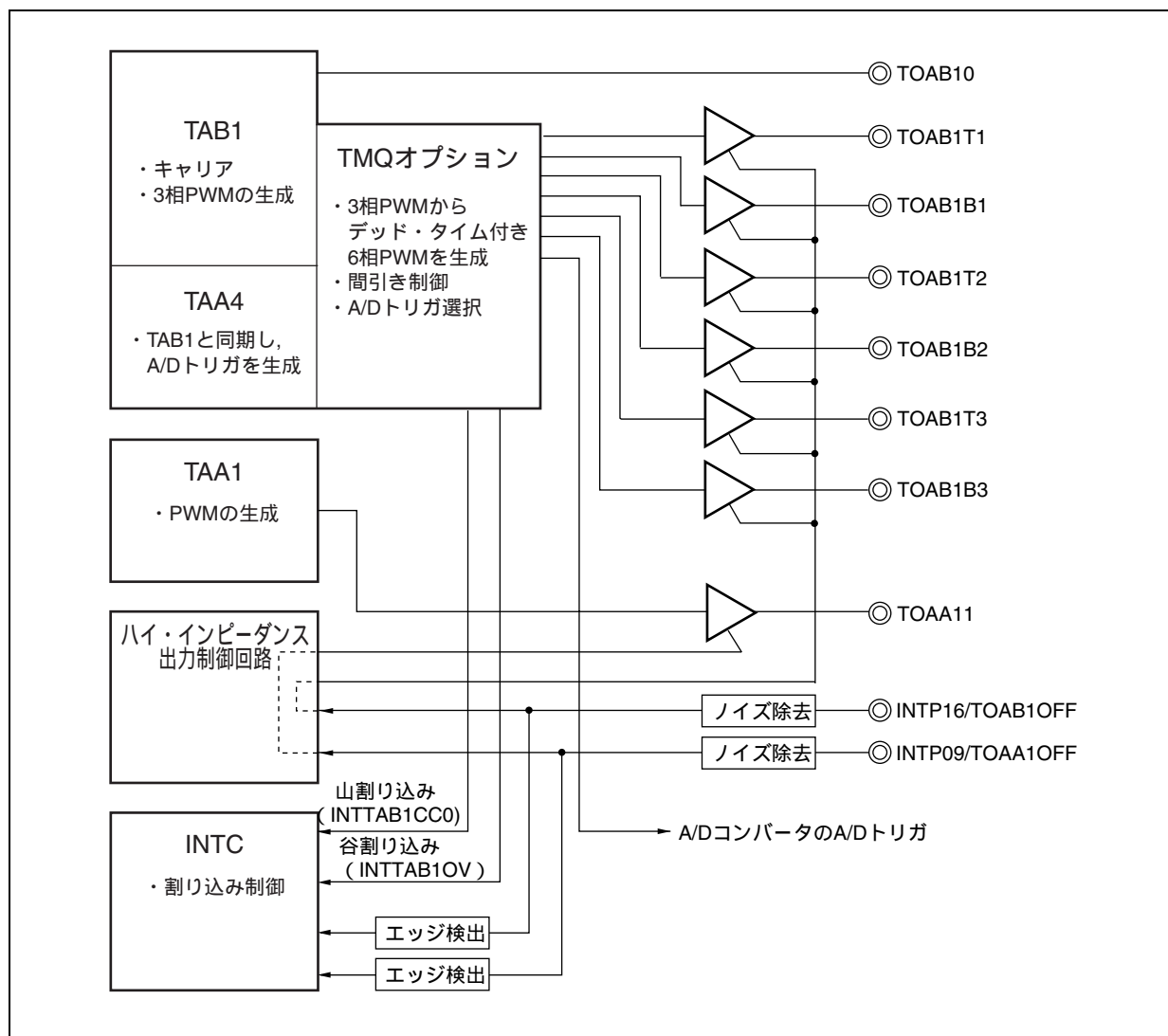
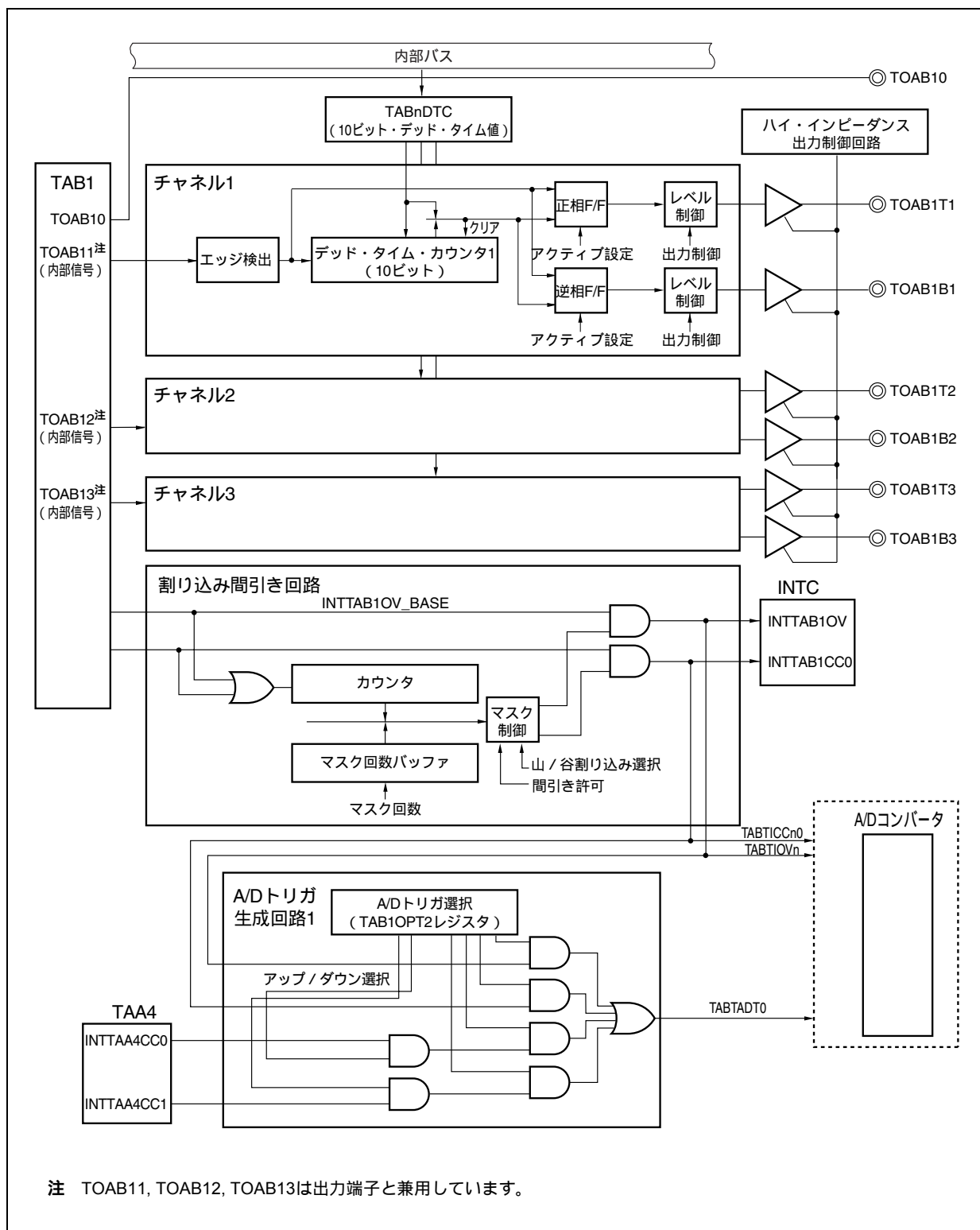


図11-2 TMQ1オプション



(1) TAB1デッド・タイム・コンペア・レジスタ (TAB1DTC)

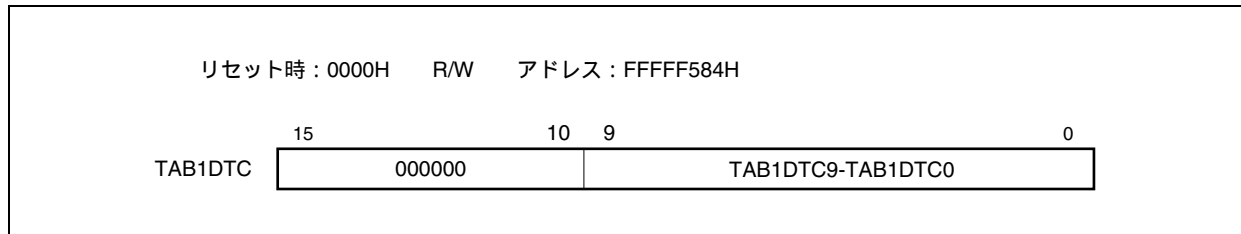
TAB1DTCレジスタは、デッド・タイム値を指定する10ビットのコンペア・レジスタです。

TAB1CTL0.TAB1CEビット = 1のとき、TAB1DTCレジスタの書き換えは禁止です。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 デッド・タイム期間を生成する場合は、TAB1DTCレジスタに1以上の値を設定してください。
 なお、動作停止(TAB1CTL0.TAB1CEビット = 0)時には、デッド・タイム期間は生成されず、
 TOAB1T1-TOAB1T3, TOAB1B1-TOAB1B3端子の出力レベルは初期状態となります。そのため、
 システム保護のため、動作停止前にTOAB1T1-TOAB1T3, TOAB1B1-TOAB1B3端子をハイ・インピーダンス状態にするか、もしくは端子の出力レベルを設定したうえでポート・モードに切り替えるなどの処置をしてください。
 デッド・タイム期間が不要の場合は、TAB1DTCレジスタに0を設定してください。

**(2) デッド・タイム・カウンタ1-3**

デッド・タイム・カウンタはデッド・タイムをカウントする10ビットのカウント・レジスタです。

TAB1のTOAB1m出力信号の立ち上がり/立ち下がりエッジにより、クリア/カウント・アップ動作を行い、TAB1DTCレジスタとの一致でクリア&ストップします。カウント・クロックはTAB1のTAB1CTL0.TAB1CKS2-TAB1CKS0ビットで設定したカウント・クロックと同じカウント・クロックです。

備考1. TAB1OPT2.TAB1DTMビット = 1とした場合は、動作が異なります。詳細は、11.4.2(4) **デッド・タイム幅の自動縮小機能** (TAB1OPT2.TAB1DTMビット = 1) を参照してください。

2. m = 1-3

11.3 レジスタ

(1) TAB1オプション・レジスタ1 (TAB1OPT1)

タイマQオプション機能から発生する割り込み要求信号を制御する8ビットのレジスタです。

TAB1CTL0.TAB1CEビット = 1のときも、TAB1OPT1レジスタの書き換えができます。

書き換え方法は、TAB1OPT0.TAB1CMSビットにより、一斉書き込みモードと随時書き込みモードの2種類を選択できます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF580H

	⑦	⑥	5	4	3	2	1	0
TAB1OPT1	TAB1ICE	TAB1IOE	0	TAB1ID4	TAB1ID3	TAB1ID2	TAB1ID1	TAB1ID0

TAB1ICE	山割り込み (INTTAB1CC0信号) 許可
0	INTTAB1CC0信号を使用しない (割り込み間引きのカウント信号としない)
1	INTTAB1CC0信号を使用する (割り込み間引きのカウント信号とする)

TAB1IOE	谷割り込み (INTTAB1OV信号) 許可
0	INTTAB1OV信号を使用しない (割り込み間引きのカウント信号としない)
1	INTTAB1OV信号を使用する (割り込み間引きのカウント信号とする)

TAB1ID4	TAB1ID3	TAB1ID2	TAB1ID1	TAB1ID0	割り込み回数の選択
0	0	0	0	0	間引きなし (すべての割り込みを出力)
0	0	0	0	1	1マスク (2回に1回の割り込みを出力)
0	0	0	1	0	2マスク (3回に1回の割り込みを出力)
0	0	0	1	1	3マスク (4回に1回の割り込みを出力)
:	:	:	:	:	:
1	1	1	0	0	28マスク (29回に1回の割り込みを出力)
1	1	1	0	1	29マスク (30回に1回の割り込みを出力)
1	1	1	1	0	30マスク (31回に1回の割り込みを出力)
1	1	1	1	1	31マスク (32回に1回の割り込みを出力)

(2) TAB1オプション・レジスタ2 (TAB1OPT2)

タイマQオプション機能を制御する8ビットのレジスタです。

TAB1CTL0.TAB1CEビット = 1のときも, TAB1OPT2レジスタの書き換えが可能です。ただし, TAB1DTMビットはTAB1CEビット = 1のとき, 書き換え禁止です。同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時 : 00H R/W アドレス : FFFFF581H

TAB1OPT2	⑦ TAB1RDE	⑥ TAB1DTM	⑤ TAB1ATM3	④ TAB1ATM2	③ TAB1AT3	② TAB1AT2	① TAB1AT1	① TAB1AT0
----------	--------------	--------------	---------------	---------------	--------------	--------------	--------------	--------------

TAB1RDE	転送間引き許可
0	転送の間引きなし (山, 谷で毎回転送タイミングが発生)
1	TAB1OPT1レジスタで設定した割り込み間引きと同じ間隔で転送を間引く

TAB1DTM	デッド・タイム・カウンタ動作モード選択 (m = 1-3)
0	通常のアップ・カウントを行い, TAB1のTOAB1m出力が狭間隔 (TOAB1m出力幅 < デッド・タイム幅) の場合は, デッド・タイム・カウンタをクリアし再カウントを行う。
1	通常のアップ・カウントを行い, TAB1のTOAB1m出力が狭間隔 (TOAB1m出力幅 < デッド・タイム幅) の場合は, デッド・タイム・カウンタはダウン・カウント動作に切り替わり, デッド・タイム制御幅が自動的に狭くなる。
TAB1DTMビットは, タイマ動作中の書き換えは禁止です。誤って書き換えた場合は, 一度TAB1CEビット = 0にしてタイマ動作を停止してから, 再度設定を行ってください。	

- 注意1. 割り込み間引きを使用する場合 (TAB1OPT1.TAB1ID4-TAB1ID0ビット = 00000以外) には, 必ずTAB1RDEビット = 1に設定してください。
このため, 割り込みと転送は同じタイミングで発生します。別々の設定はできません。別々の設定を行った場合 (TAB1RDEビット = 0) は転送が正常に行われません。
2. デッド・タイム期間を生成する場合は, TAB1DTCレジスタに1以上の値を設定してください。
なお, 動作停止 (TAB1CTL0.TAB1CEビット = 0) 時には, デッド・タイム期間は生成されず, TOAB1T1-TOAB1T3, TOAB1B1-TOAB1B3端子の出力レベルは初期状態となります。そのため, システム保護のため, 動作停止前にTOAB1T1-TOAB1T3, TOAB1B1-TOAB1B3端子をハイ・インピーダンス状態にするか, もしくは端子の出力レベルを設定したうえでポート・モードに切り替えるなどの処置をしてください。
デッド・タイム期間が不要の場合は, TAB1DTCレジスタに0を設定してください。

TAB1ATM3	TAB1ATM3モード選択
0	INTTAA4CC1割り込みのA/Dトリガ信号 (TABTADT0) をアップ・カウント時に出力
1	INTTAA4CC1割り込みのA/Dトリガ信号 (TABTADT0) をダウン・カウント時に出力

TAB1ATM2	TAB1ATM2モード選択
0	INTTAA4CC0割り込みのA/Dトリガ信号 (TABTADT0) をアップ・カウント時に出力
1	INTTAA4CC0割り込みのA/Dトリガ信号 (TABTADT0) をダウン・カウント時に出力

TAB1AT3 ^注	A/Dトリガ出力制御3
0	INTTAA4CC1割り込みのA/Dトリガ信号 (TABTADT0) の出力禁止
1	INTTAA4CC1割り込みのA/Dトリガ信号 (TABTADT0) の出力許可

TAB1AT2 ^注	A/Dトリガ出力制御2
0	INTTAA4CC0割り込みのA/Dトリガ信号 (TABTADT0) の出力禁止
1	INTTAA4CC0割り込みのA/Dトリガ信号 (TABTADT0) の出力許可

TAB1AT1 ^注	A/Dトリガ出力制御1
0	INTTAB1CC0 (山割り込み) のA/Dトリガ信号 (TABTADT0) の出力禁止
1	INTTAB1CC0 (山割り込み) のA/Dトリガ信号 (TABTADT0) の出力許可

TAB1AT0 ^注	A/Dトリガ出力制御0
0	INTTAB1OV (谷割り込み) のA/Dトリガ信号 (TABTADT0) の出力禁止
1	INTTAB1OV (谷割り込み) のA/Dトリガ信号 (TABTADT0) の出力許可

注 TAB1AT3-TAB1AT0ビットの設定については、第15章 A/Dコンバータを参照してください。

(3) TAB1I/O制御レジスタ3 (TAB1IOC3)

タイマQオプション機能の出力を制御する8ビットのレジスタです。

TOAB1Tm端子を出力するためには、TAB1IOC0.TAB1OEmビット = 1に設定してからTAB1IOC3レジスタを設定してください。

TAB1CTL0.TAB1CEビット = 0のときのみ、TAB1IOC3レジスタの書き換えが可能です。

TAB1CTL0.TAB1CEビット = 1のとき、TAB1IOC3レジスタの各ビットの書き換えは禁止です。

TAB1CTL0.TAB1CEビット = 1のとき、TAB1IOC3レジスタの各ビットの同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットによりA8Hになります。

注意 6相PWM出力モード以外のモードでタイマを使用する場合はTAB1IOC3レジスタの値はリセット値 (A8H) に設定してください。

備考1. TOAB1Tm端子の出力レベルの設定は、TAB1IOC0レジスタで行ってください。

2. m = 1-3

リセット時：A8H R/W アドレス：FFFFFF582H								
	⑦	⑥	⑤	④	③	②	1	0
TAB1IOC3	TAB1OLB3	TAB1OEB3	TAB1OLB2	TAB1OEB2	TAB1OLB1	TAB1OEB1	0	0
TAB1OLBm	TOAB1Bm端子出力レベルの設定 (m = 1-3)							
0	TOAB1Bm端子出力反転禁止							
1	TOAB1Bm端子出力反転許可							
TAB1OEBm	TOAB1Bm端子出力の設定 (m = 1-3)							
0	TOAB1Bm端子出力禁止 ・ TAB1OLBmビット = 0 のときTOAB1Bm端子からロウ・レベルを出力 ・ TAB1OLBmビット = 1 のときTOAB1Bm端子からハイ・レベルを出力							
1	TOAB1Bm端子出力許可							

(a) TOAB1Tm, TOAB1Bm端子出力

TOAB1Tm端子出力は, TAB1IOC0.TAB1OLm, TAB1OEmビットによって制御されます。TOAB1Bm端子出力は, TAB1IOC3.TAB1OLBm, TAB1OEBmビットによって制御されます。

6相PWM出力モードにおける各設定でのタイマ出力を次に示します。

図11 - 3 TOAB1Tm, TOAB1Bm端子出力制御 (デッド・タイムなし)

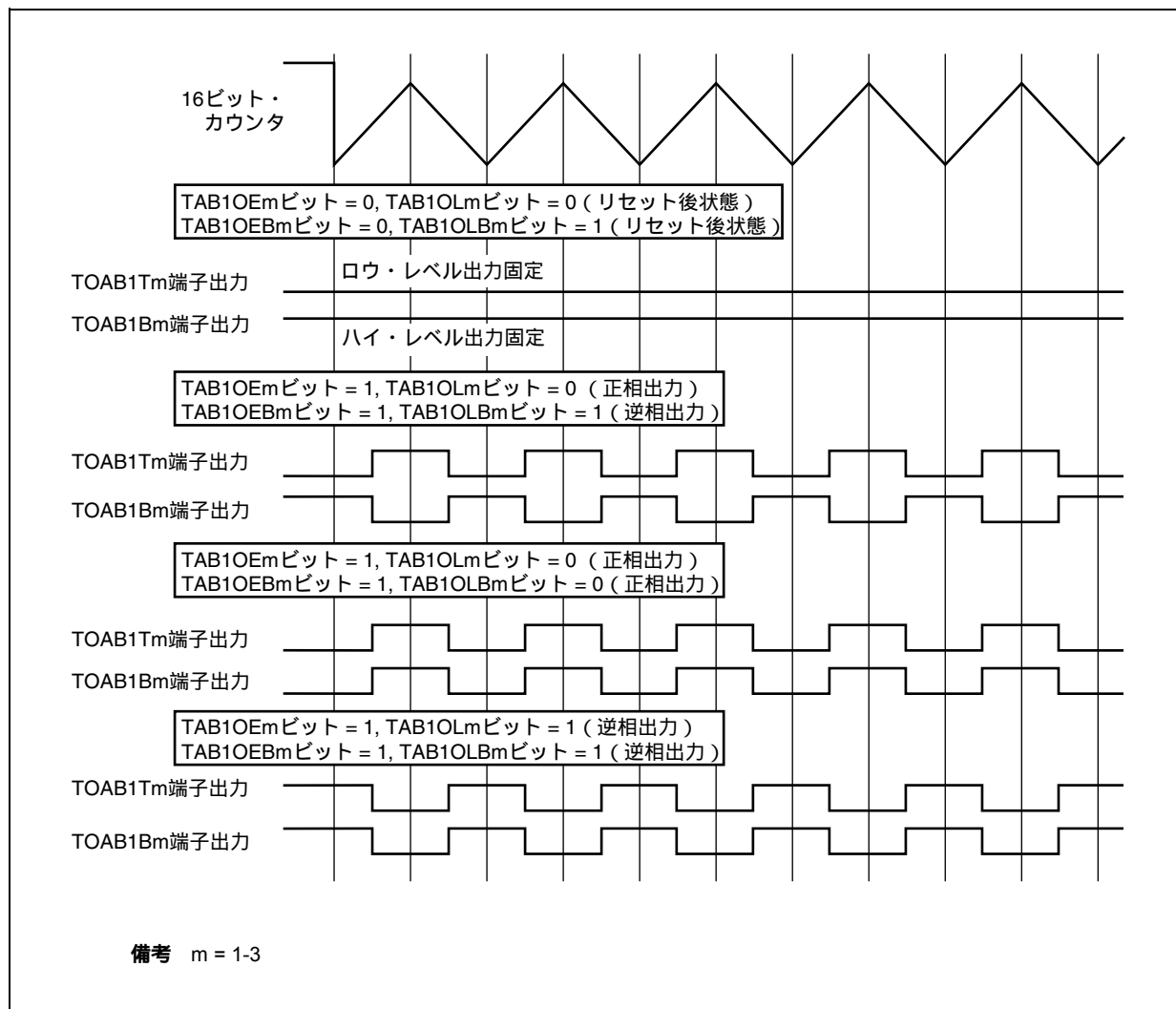


表11 - 1 TOAB1Tm端子出力

TAB1OLmビット	TAB1OEmビット	TAB1CEビット	TOAB1Tm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOAB1Tm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOAB1Tm逆相出力

備考 m = 1-3

表11 - 2 TOAB1Bm端子出力

TAB1OLBmビット	TAB1OEBmビット	TAB1CEビット	TOAB1Bm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOAB1Bm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOAB1Bm逆相出力

備考 m = 1-3

(6) ハイ・インピーダンス出力制御レジスタ0, 1 (HZA0CTL0, HZA0CTL1)

HZA0CTL0, HZA0CTL1レジスタは、出力バッファのハイ・インピーダンス制御をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただしHZA0DCFnビットは、リードのみ可能で、ライト動作を行っても書き込めません。

16ビット・アクセスは、できません。

リセットにより00Hになります。

HZA0CTLnレジスタは、常時ソフトウェアでの同値書き込みが可能です。

検出要因/制御レジスタの関係を次に示します。

ハイ・インピーダンス制御対象端子	ハイ・インピーダンス制御要因	制御レジスタ
	外部端子	
TOAB1T1-TOAB1T3出力時 TOAB1B1-TOAB1B3出力時	TOAB1OFF/INTP16	HZA0CTL0
TOAA11出力時	TOAA1OFF/INTP09	HZA0CTL1

注意 ハイ・インピーダンス制御が行なわれるのは、対象ポートを表中の対象端子に設定した場合にかぎります。

備考 n = 0, 1

リセット時：00H R/W アドレス：HZA0CTL0 FFFFF590H, HZA0CTL1 FFFFF591H

	⑦	⑥	5	4	③	②	1	①
HZA0CTLn (n = 0, 1)	HZA0DCEn	HZA0DCMn	HZA0DCNn	HZA0DCPn	HZA0DCTn	HZA0DCCn	0	HZA0DCFn

HZA0DCEn	ハイ・インピーダンス出力の制御
0	ハイ・インピーダンス出力制御動作禁止。対象端子出力可能
1	ハイ・インピーダンス出力制御動作許可

HZA0DCMn	HZA0DCCnビットによるハイ・インピーダンス解除の条件
0	外部端子入力に関係なく，HZA0DCCnビットの設定が有効
1	外部端子入力が異常検出したレベル（アクティブ・レベル）を保持している期間はHZA0DCCnビットの設定が無効。
HZA0DCMnビットを書き換える場合はHZA0DCEnビット = 0のとき行ってください。	

HZA0DCNn	HZA0DCPn	外部端子の入力エッジ指定
0	0	有効エッジなし（外部端子入力によるHZA0DCFnビットのセット禁止）
0	1	外部端子の入力の立ち上がりエッジを有効 （立ち上がりエッジ入力で異常検出）
1	0	外部端子の入力の立ち下がりエッジを有効 （立ち下がりエッジ入力で異常検出）
1	1	設定禁止

- ・ HZA0DCNn, HZA0DCPnビットを書き換える場合はHZA0DCEnビット = 0のとき行ってください。
- ・ INTP09, INTP16端子のエッジ指定については，23.6.2(3) **外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ3**（INTR3, INTF3），(6) **外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ9H**（INTR9, INTF9）を参照してください。
- ・ 外部端子のエッジ指定は，まずTOAB1OFF, TOAA1OFF端子から行ってください。その後，TOAB1OFF, TOAA1OFF端子以外の外部端子のエッジ指定を行ってください。それ以外の場合には，TOAB1OFF, TOAA1OFF端子のエッジ指定時に不定なエッジを検出することがあります。
- ・ ハイ・インピーダンス出力制御は動作許可（HZA0DCEnビット = 1）後に有効エッジが入力された場合に行われます。したがって，動作許可する時点で外部端子がアクティブ・レベルである場合は，ハイ・インピーダンス出力制御は行われません。

HZA0DCTn	ハイ・インピーダンス出力トリガ・ビット
0	非動作
1	ソフトウェアで対象端子をハイ・インピーダンスにして、HZA0DCFnビットがセット(1)されます。

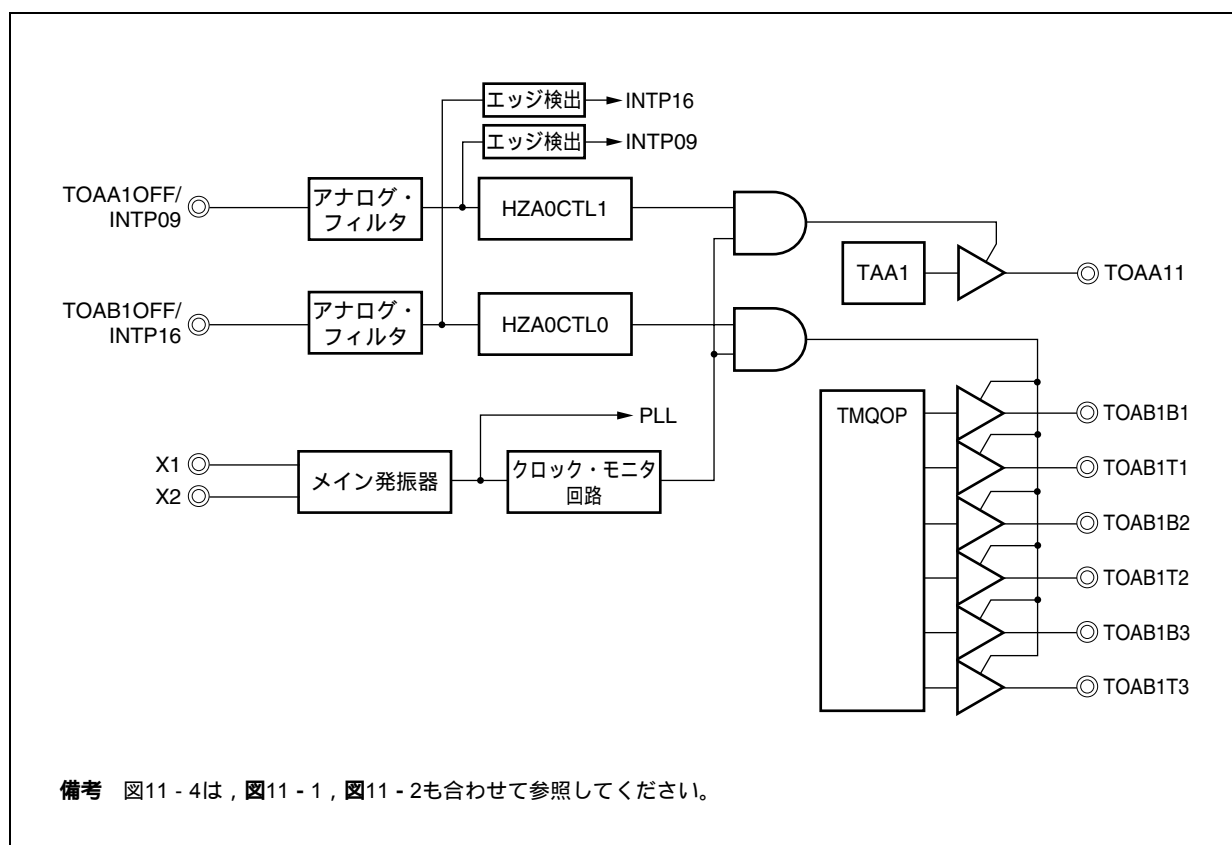
・外部端子に異常を示すエッジが入力 (HZA0DCNn, HZA0DCPnビットの設定により検出) された場合、HZA0DCTnビットに1を設定しても無効です。
 ・HZA0DCTnビットはソフトウェア・トリガ・ビットなのでリードすると必ず0が読み出されます。
 ・HZA0DCEnビット = 0のとき、HZA0DCTnビットに1を設定しても無効です。
 ・HZA0DCTnビットとHZA0DCCnビットを同時に1に設定することは禁止です。

HZA0DCCn	ハイ・インピーダンス出力制御クリア・ビット
0	非動作
1	ハイ・インピーダンス状態の対象端子をソフトウェアで出力許可状態にして、HZA0DCFnビットがクリア(0)されます。

・HZA0DCMビット = 0のとき、外部端子の状態にかかわらず対象端子の出力が可能です。
 ・HZA0DCMビット = 1のとき、外部端子に異常を示すエッジが入力 (HZA0DCNn, HZA0DCPnビットの設定により検出) された場合、HZA0DCCnビットに1を設定しても無効です。
 ・HZA0DCCnビットはリードすると必ず0が読み出されます。
 ・HZA0DCEnビット = 0のとき、HZA0DCCnビットに1を設定しても無効です。
 ・HZA0DCTnビットとHZA0DCCnビットを同時に1に設定することは禁止です。

HZA0DCFn	ハイ・インピーダンス出力状態フラグ
0	対象端子の出力が可能状態であることを示します。 ・HZA0DCEnビット = 0によりクリア(0)されます。 ・HZA0DCCnビット = 1によりクリア(0)されます。
1	対象端子の出力がハイ・インピーダンス状態であることを示します。 ・HZA0DCTnビット = 1によりセット(1)されます。 ・外部端子に異常を示すエッジが入力 (HZA0DCNn, HZA0DCPnビットの設定により検出) された場合、セット(1)されます。

図11 - 4 ハイ・インピーダンス出力制御回路構成



(a) 設定手順

(i) ハイ・インピーダンス制御動作を設定する方法

- <1> HZA0DCMn, HZA0DCNn, HZA0DCPnビットの設定
- <2> HZA0DCEnビット = 1 (ハイ・インピーダンス制御の許可)

(ii) ハイ・インピーダンス制御許可設定後に変更する方法

- <1> HZA0DCEnビット = 0 (ハイ・インピーダンス制御動作の停止)。
- <2> HZA0DCMn, HZA0DCNn, HZA0DCPnビットの変更設定。
- <3> HZA0DCEnビット = 1 (ハイ・インピーダンス制御の再許可)。

(iii) 端子がハイ・インピーダンス状態のとき、出力を再開する方法

HZA0DCMnビット = 1の場合、外部端子の有効エッジ検出後、ハイ・インピーダンス状態の解除のためHZA0DCCnビットに1をセットしますが、外部端子の入力レベルがインアクティブ状態のときにセットしなければハイ・インピーダンス状態の解除はできません。

- <1> HZA0DCCnビット = 1 (ハイ・インピーダンス状態の解除命令信号)。
- <2> HZA0DCFnビットをリードし、フラグの状態を確認。
- <3> HZA0DCFnビット = 1ならば<1> の操作に戻る。外部端子の入力レベルの確認が必要。
HZA0DCFnビット = 0ならば端子出力可能。

(iv) ソフトウェアにより端子をハイ・インピーダンスにする方法

ソフトウェアによりHZA0DCTnビット = 1を設定し、端子をハイ・インピーダンスにするには、外部端子の入力レベルがインアクティブ状態のときにセットしなければなりません。次の手順は、HZA0DCMnビットの設定に依存しない例です。

- <1> HZA0DCTnビット = 1 (ハイ・インピーダンス出力命令)。
- <2> HZA0DCFnビットをリードし、フラグの状態を確認。
- <3> HZA0DCFnビット = 0ならば<1>の操作に戻る。外部端子の入力レベルの確認が必要。
HZA0DCFnビット = 1ならばハイ・インピーダンス状態。

ただし、HZA0DCPnビット = 0, HZA0DCNnビット = 0に設定し、外部端子入力を使用しない場合は、HZA0DCTnビットに1をセットすることでハイ・インピーダンス状態になります。

備考 n = 0, 1

11.4 動作

11.4.1 システム概要説明

(1) 6相PWM出力概要

6相PWM出力モードは、6相PWM出力波形を生成するためにタイマAB1 (TAB1) とTMQオプション (TMQOPA) を組み合わせて使用します。

6相PWM出力モードはTAB1のTAB1CTL1.TAB1MD2-TAB1MD0ビットを“111”に設定することにより有効となります。

基本3相波生成用にTAB1の1本の16ビット・カウンタと4本の16ビット・コンペア・レジスタを使用します。

コンペア・レジスタの機能は次のとおりです。

また、A/Dコンバータの変換開始トリガ・ソース用に、TAA4はTAB1と同調動作を行うことができます。

コンペア・レジスタ	機能	設定可能範囲
TAB1CCR0レジスタ	周期の設定	0002H m FFFE _H
TAB1CCR1レジスタ	U相の出力幅の指定	0000H i m + 1
TAB1CCR2レジスタ	V相の出力幅の指定	0000H j m + 1
TAB1CCR3レジスタ	W相の出力幅の指定	0000H k m + 1

備考 m = TAB1CCR0レジスタの設定値

i = TAB1CCR1レジスタの設定値

j = TAB1CCR2レジスタの設定値

k = TAB1CCR3レジスタの設定値

生成された基本3相波を3本の10ビット・デッド・タイム・カウンタと1本のコンペア・レジスタでデッド・タイム間隔生成を行って、基本3相波の逆相波を作り、6相PWM出力波形 (U, \bar{U} , V, \bar{V} , W, \bar{W}) を生成します。

基本3相波生成用の16ビット・カウンタは、アップ/ダウン・カウント動作を行います。動作開始後はアップ・カウント動作を行い、TAB1CCR0レジスタに設定された周期値と一致するとダウン・カウント動作に切り替わります。次に0001Hとの一致が起こると再びアップ・カウント動作に切り替わります。つまりTAB1CCR0レジスタに設定した値 + 1の2倍の値がキャリア周期となります。

デッド・タイム間隔生成用の10ビットのデッド・タイム・カウンタ1-3は、アップ・カウント動作を行うので、TAB1デッド・タイム・コンペア・レジスタ (TAB1DTC) に設定した値がデッド・タイム値そのものになります。また、カウンタは3本ありデッド・タイム生成をU相、V相、W相に対し独立に行うことができますが、デッド・タイム値の指定レジスタ (TAB1DTC) は1本であるため、3相とも同じデッド・タイム値となります。

図11 - 5 6相PWM出力モードの概要

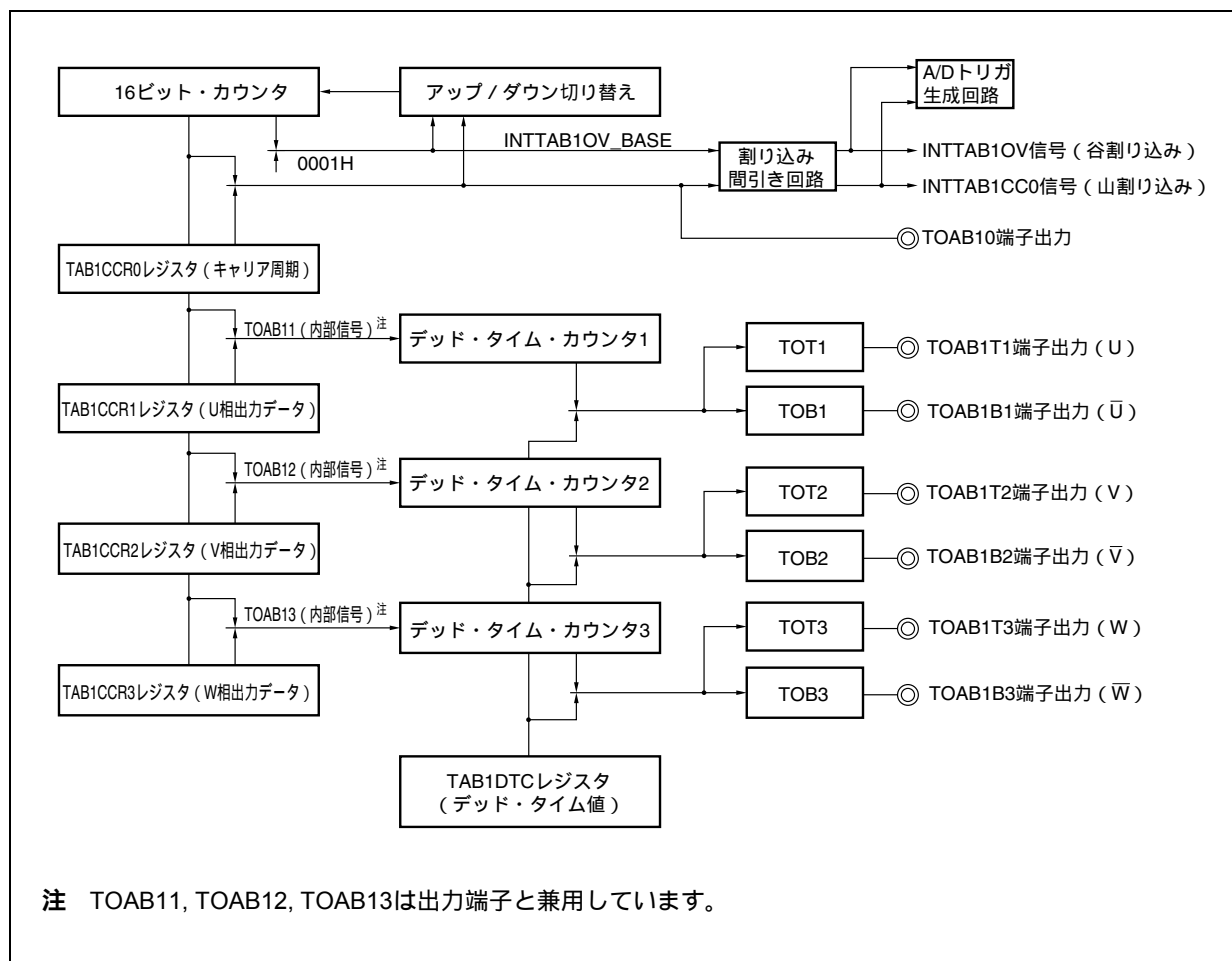
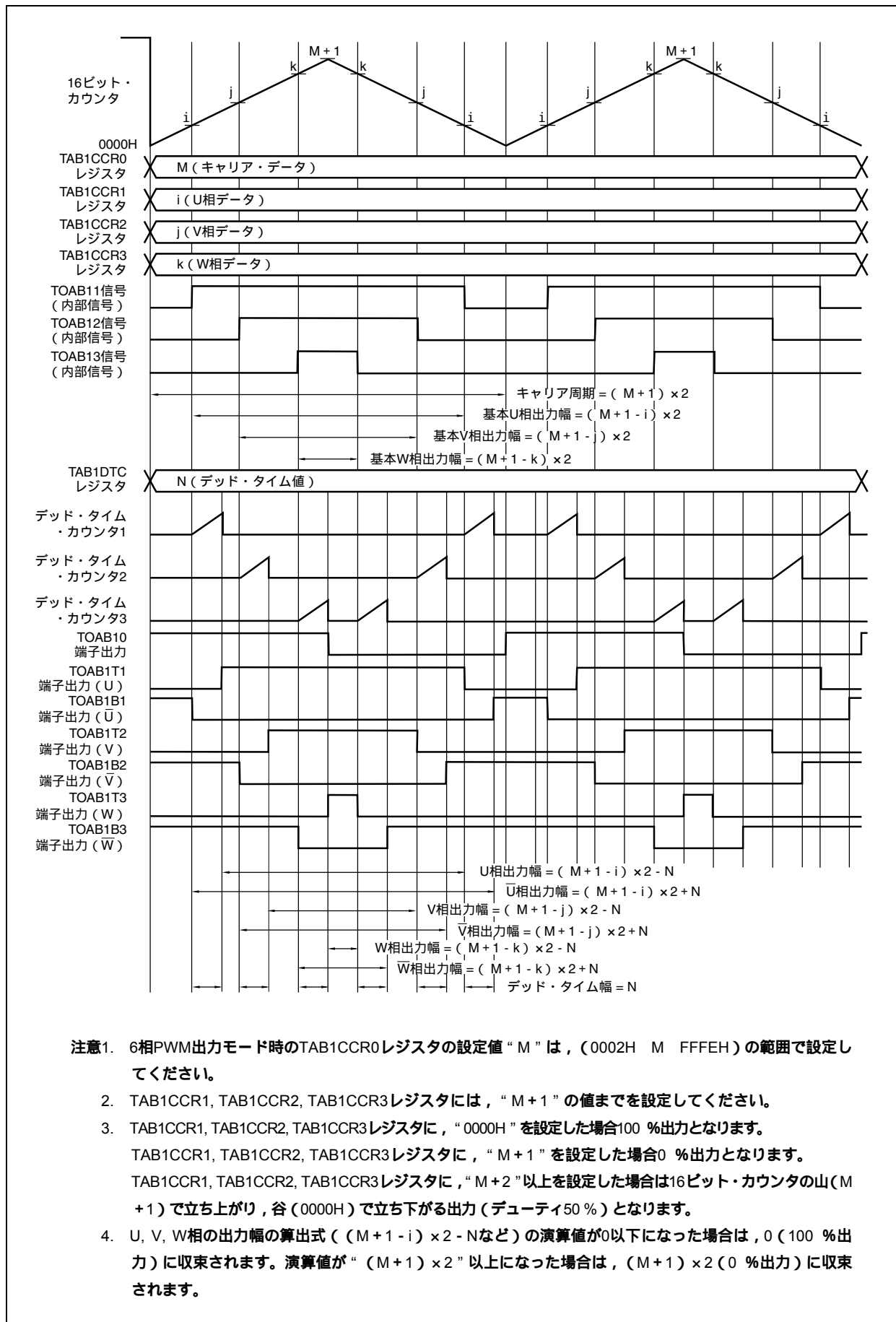


図11 - 6 6相PWM出力モードのタイミング図



(2) 割り込み要求

割り込み要求は、INTTAB1CC0（山割り込み）とINTTAB1OV（谷割り込み）の2種類あります。
 INTTAB1CC0, INTTAB1OVは、TAB1OPT1レジスタで割り込み要求を間引くことができます。
 割り込み間引きに関する詳細は、11.4.3 **割り込み間引き機能**を参照してください。

- ・INTTAB1CC0（山割り込み）：アップ・カウント時の16ビット・カウンタの値とTAB1CCR0レジスタの値との一致割り込み
- ・INTTAB1OV（谷割り込み）：ダウン・カウント時の16ビット・カウンタの値と0001Hの一致割り込み

(3) タイマ動作中のレジスタの書き換えについて

次のレジスタには、バッファ・レジスタがあり、随時書き換え、一斉書き換え、間欠一斉書き換えのいずれかの方法で書き換えができます。

関係ユニット	レジスタ
タイマAA1	TAA1キャプチャ/コンペア・レジスタ0 (TAA1CCR0) TAA1キャプチャ/コンペア・レジスタ1 (TAA1CCR1)
タイマAB1	TAB1キャプチャ/コンペア・レジスタ0 (TAB1CCR0) TAB1キャプチャ/コンペア・レジスタ1 (TAB1CCR1) TAB1キャプチャ/コンペア・レジスタ2 (TAB1CCR2) TAB1キャプチャ/コンペア・レジスタ3 (TAB1CCR3)
タイマQ1オプション	TAB1オプション・レジスタ1 (TAB1OPT1)

コンペア・レジスタの転送機能に関する詳細は、11.4.4 **転送機能付きレジスタの書き換え操作**を参照してください。

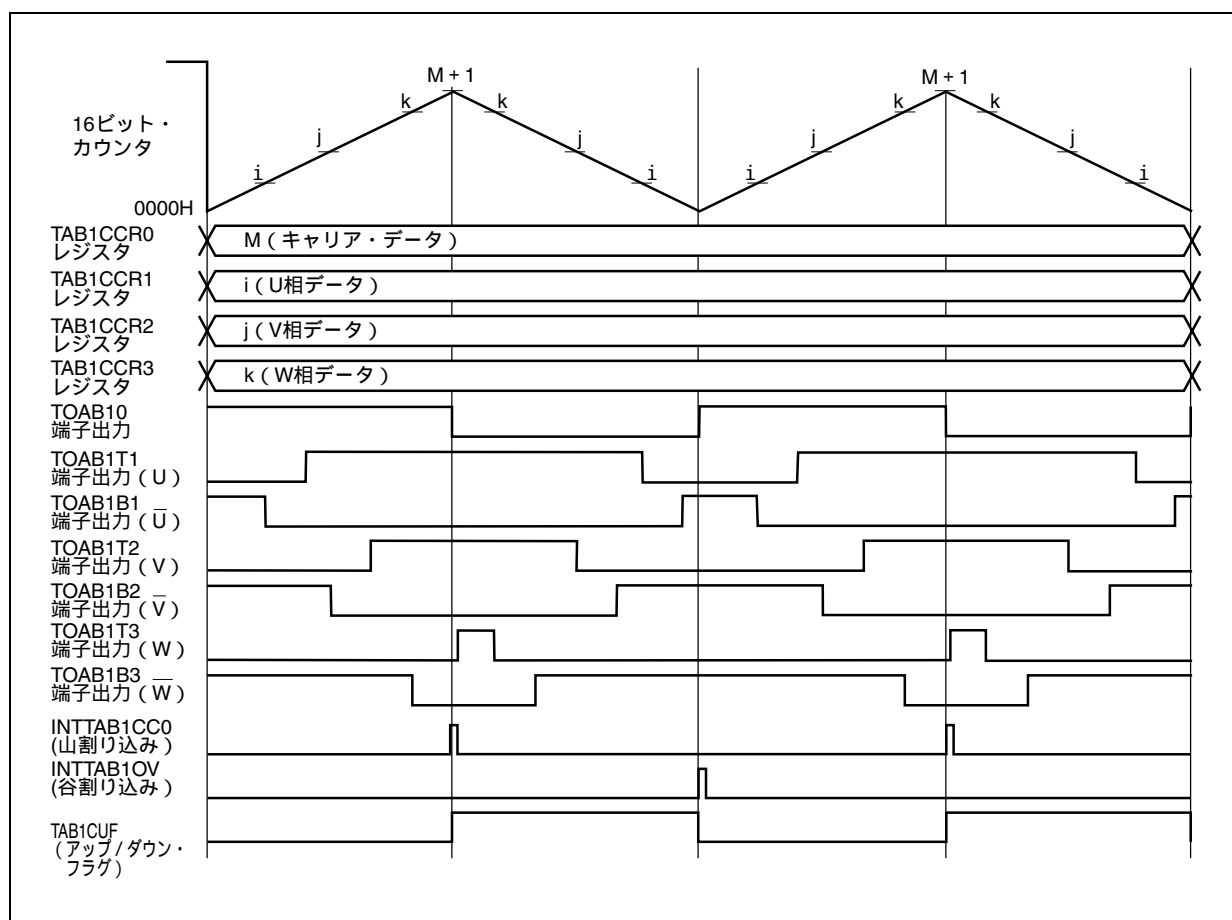
(4) 16ビット・カウンタのアップ/ダウン・カウント動作

16ビット・カウンタの動作状態は、TAB1オプション・レジスタ0 (TAB1OPT0) のTAB1CUFビットにより確認できます。

TAB1CUFビットの状態	16ビット・カウンタの状態	16ビット・カウンタの値の範囲
TAB1CUFビット = 0	アップ・カウント	0000H - m
TAB1CUFビット = 1	ダウン・カウント	(m + 1) - 0001H

備考 m = TAB1CCR0レジスタの設定値

図11-7 割り込みとアップ/ダウン・フラグ



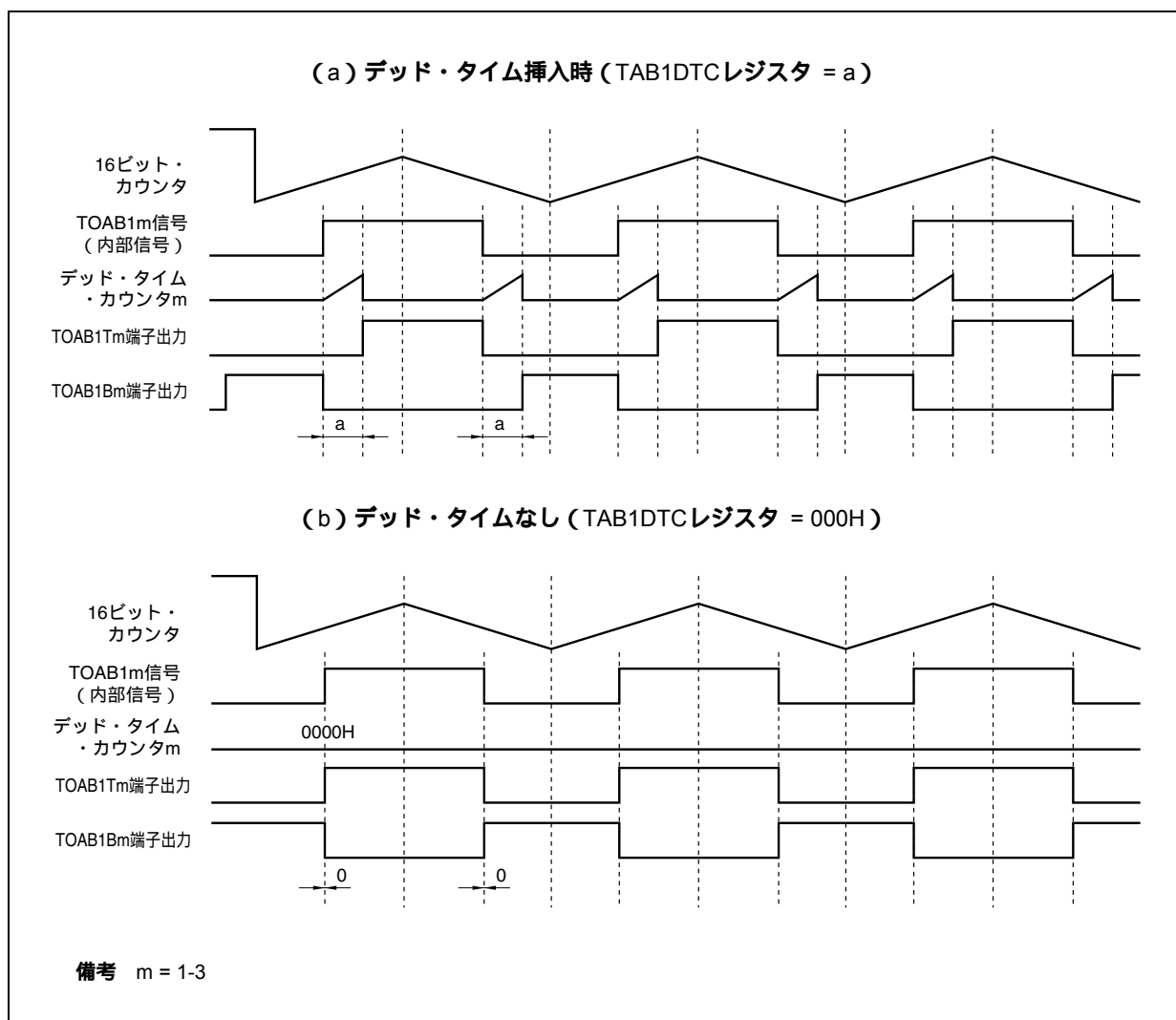
11.4.2 デッド・タイム制御 (逆相波信号の生成)

(1) デッド・タイム制御機構

6相PWM出力モードではデューティ用の設定レジスタはコンペア・レジスタ1-3 (TAB1CCR1, TAB1CCR2, TAB1CCR3)とし、周期用の設定レジスタはコンペア・レジスタ0 (TAB1CCR0)となります。この4種類のレジスタを設定し、TABを動作させることでデューティ可変型の3種類のPWM出力波形 (基本3相波) を生成します。この3種類のPWM出力波形をタイマQオプション・ユニット (TMQOP) で受け、デッド・タイムを付加した反転信号を作成することで、3組6本のPWM波形を生成します。

TMQOPユニットは、TAB1のカウント・クロックに同期して動作する3本の10ビット・カウンタ (デッド・タイム・カウンタ1-3) とデッド・タイムの時間を指定するTAB1デッド・タイム・コンペア・レジスタ (TAB1DTC) で構成されます。TAB1DTCレジスタに“a”を設定するとデッド・タイム値は“a”となり、正相波と逆相波の間に“a”の間隔が作られます。

図11-8 デッド・タイム付加後のPWM出力波形 (1)



(2) 0 % / 100 %のPWM出力

V850ES/V850ES/JG3-H, V850ES/JH3-Hは, PWM出力の0 % 波形出力, および100 % 波形出力が可能です。

0 % 波形出力は, TOAB1Tm端子からロウ・レベルを出力し続けます。100 % 波形はTOAB1Tm端子からハイ・レベルを出力し続けます。

0 % 波形は, TAB1CCR0レジスタ = Mの場合, TAB1CCRmを“M + 1”に設定することにより出力されます。

100 % 波形は, TAB1CCRmレジスタを“0000H”に設定することにより出力されます。

なお, タイマ動作中にTAB1CCRmレジスタの書き換えは許可されており, 山割り込み (INTTAB1CC0) および谷割り込み (INTTAB1OV) のポイントで0 % 波形出力 / 100 % 波形出力に切り替えられます。

備考 m = 1-3

図11-9 0 % PWM出力波形図 (デッド・タイムあり)

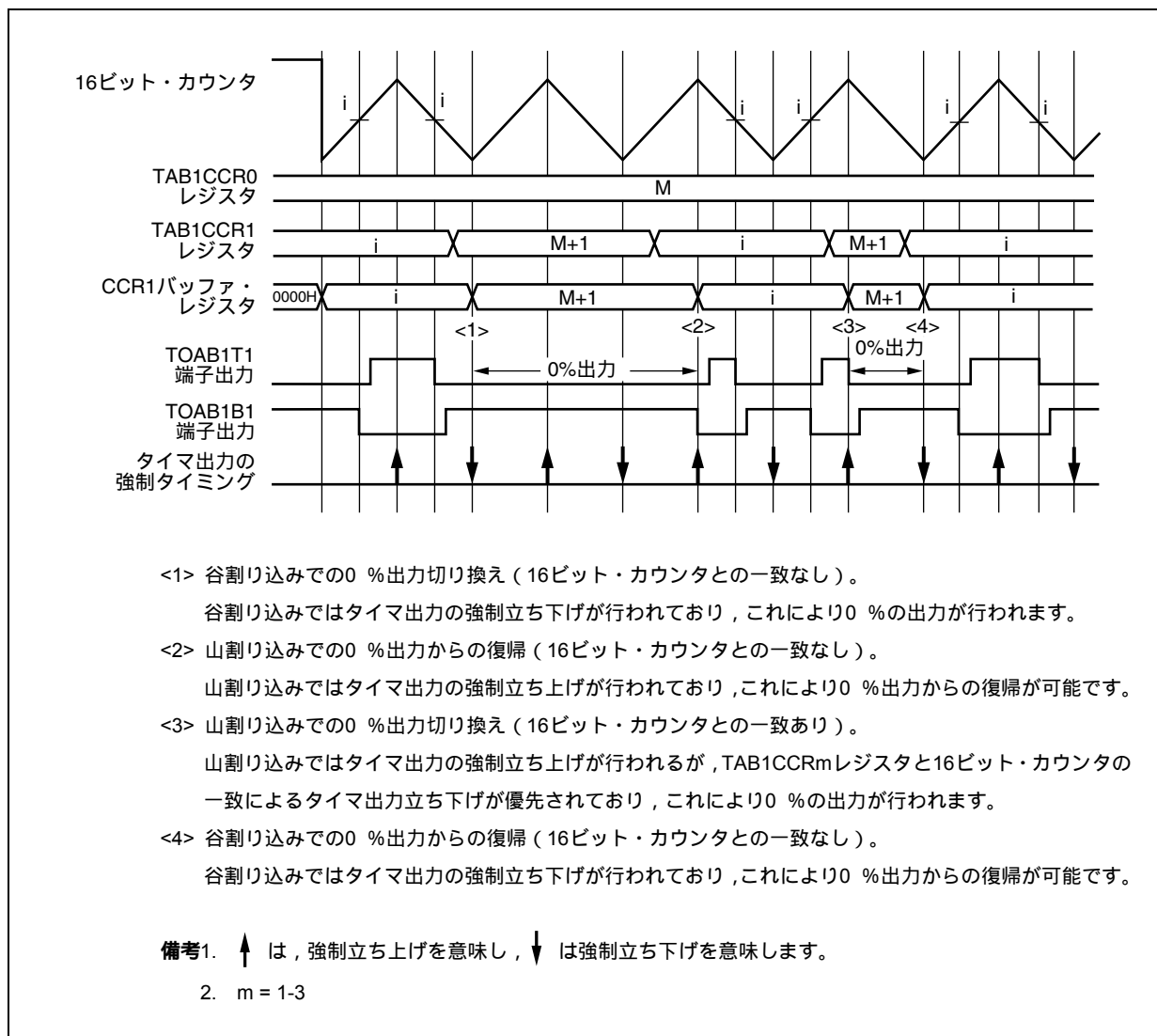


図11 - 10 100 %PWM出力波形図 (デッド・タイムあり)

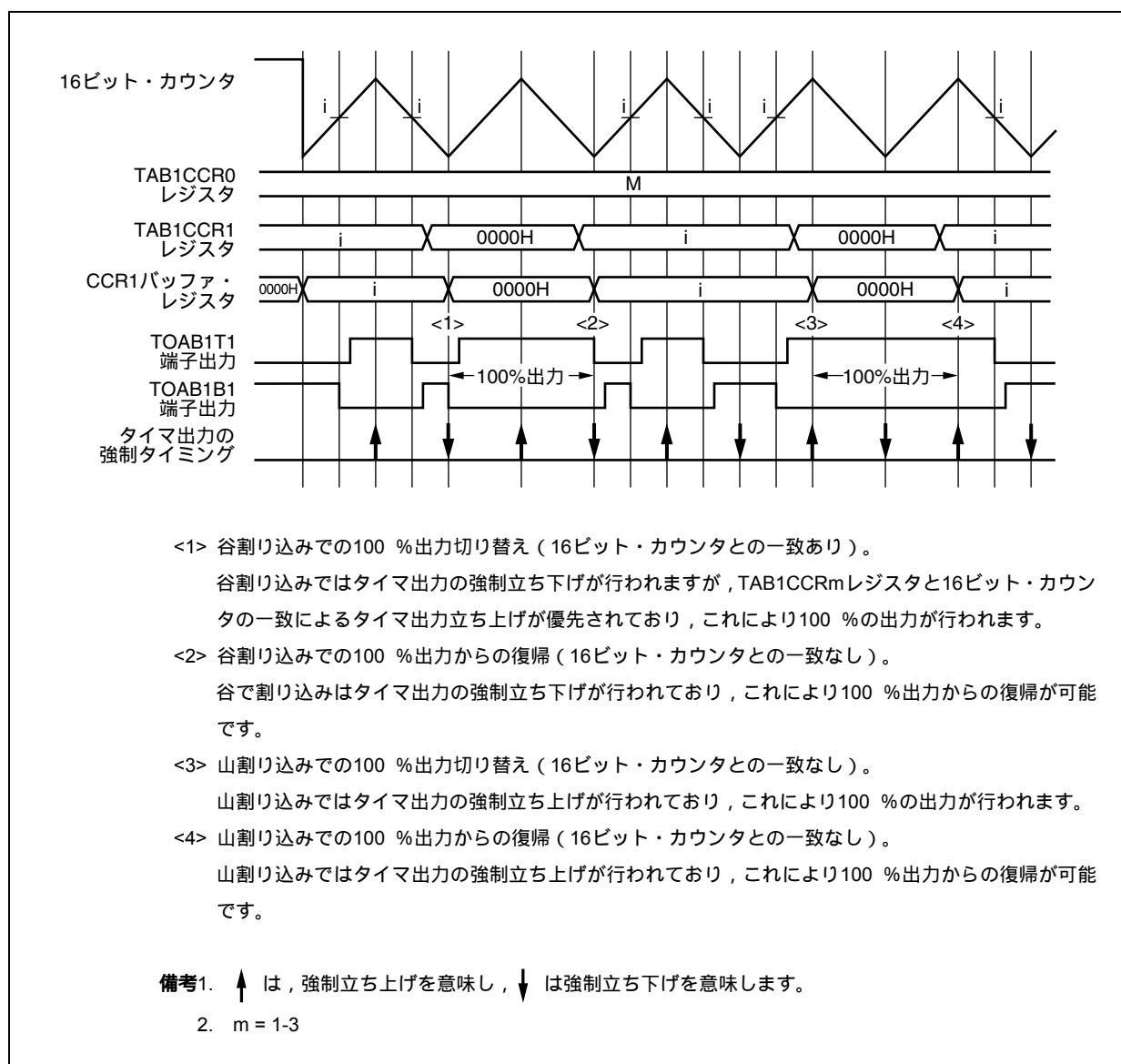
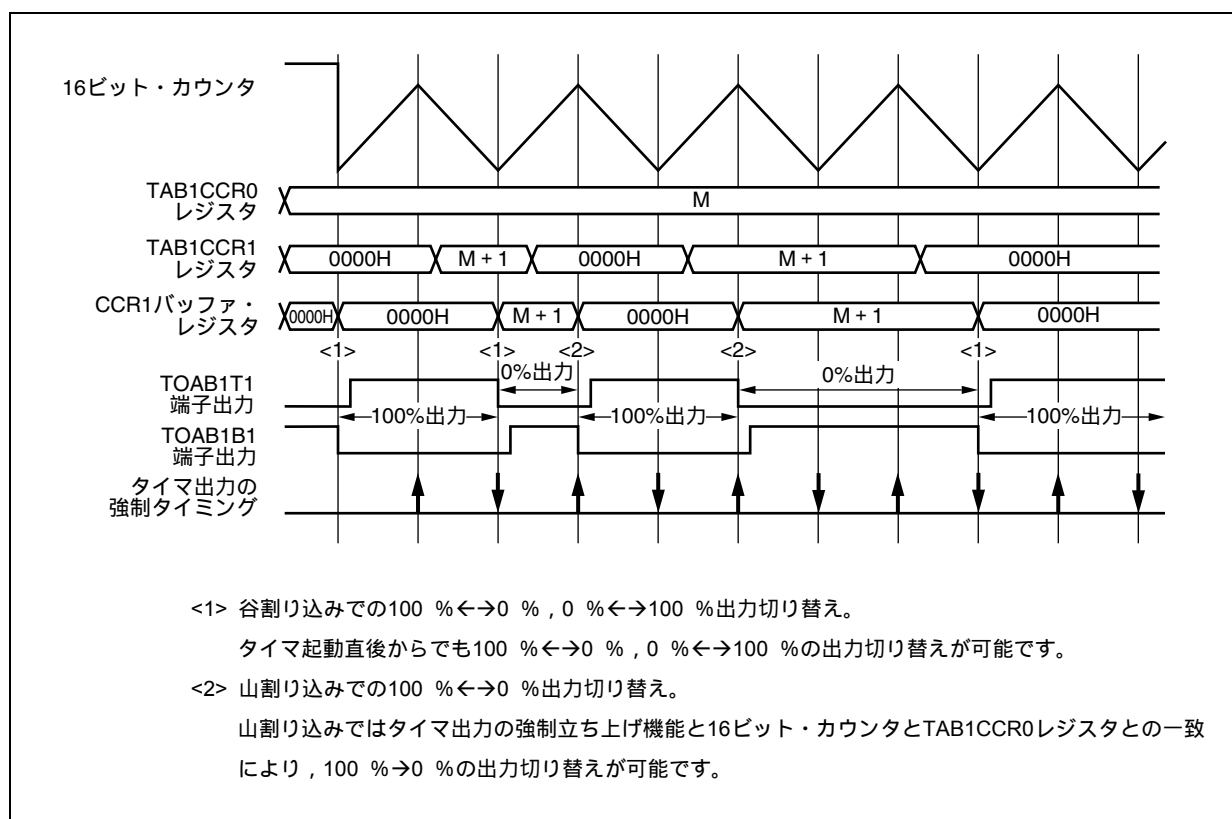


図11-11 0%から100%, 100%から0%のPWM出力波形図(デッド・タイムあり)

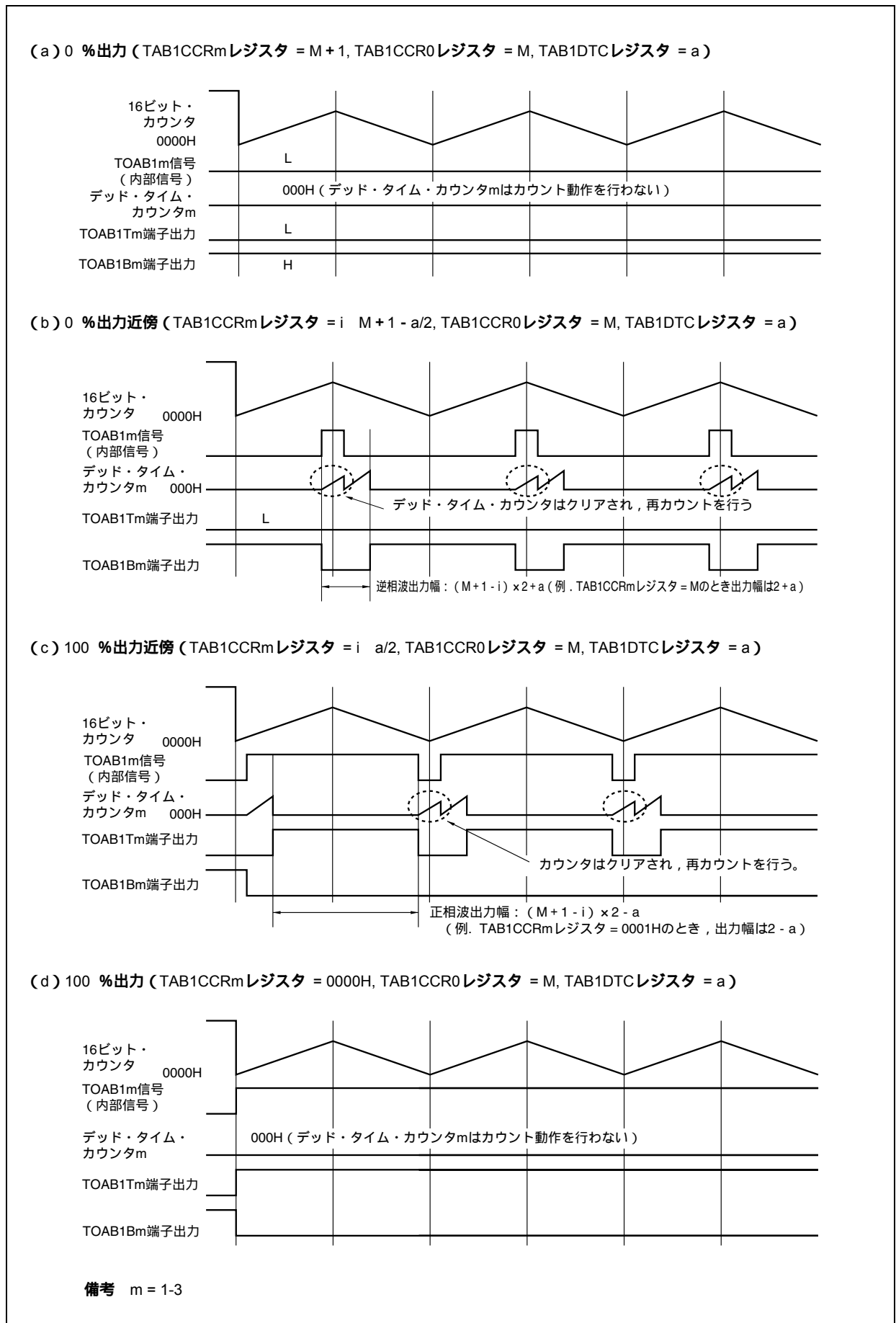


(3) 0%, 100%出力近傍の出力波形

デッド・タイム・カウント中にコンペア・レジスタと16ビット・カウンタとの一致割り込みが発生した場合, デッド・タイム・カウンタはクリアされ, 再びカウント動作をします。

0%, 100%出力の近傍でのデッド・タイム制御の出力波形を次に示します。

図11 - 12 デッド・タイム付加後のPWM出力波形 (2)



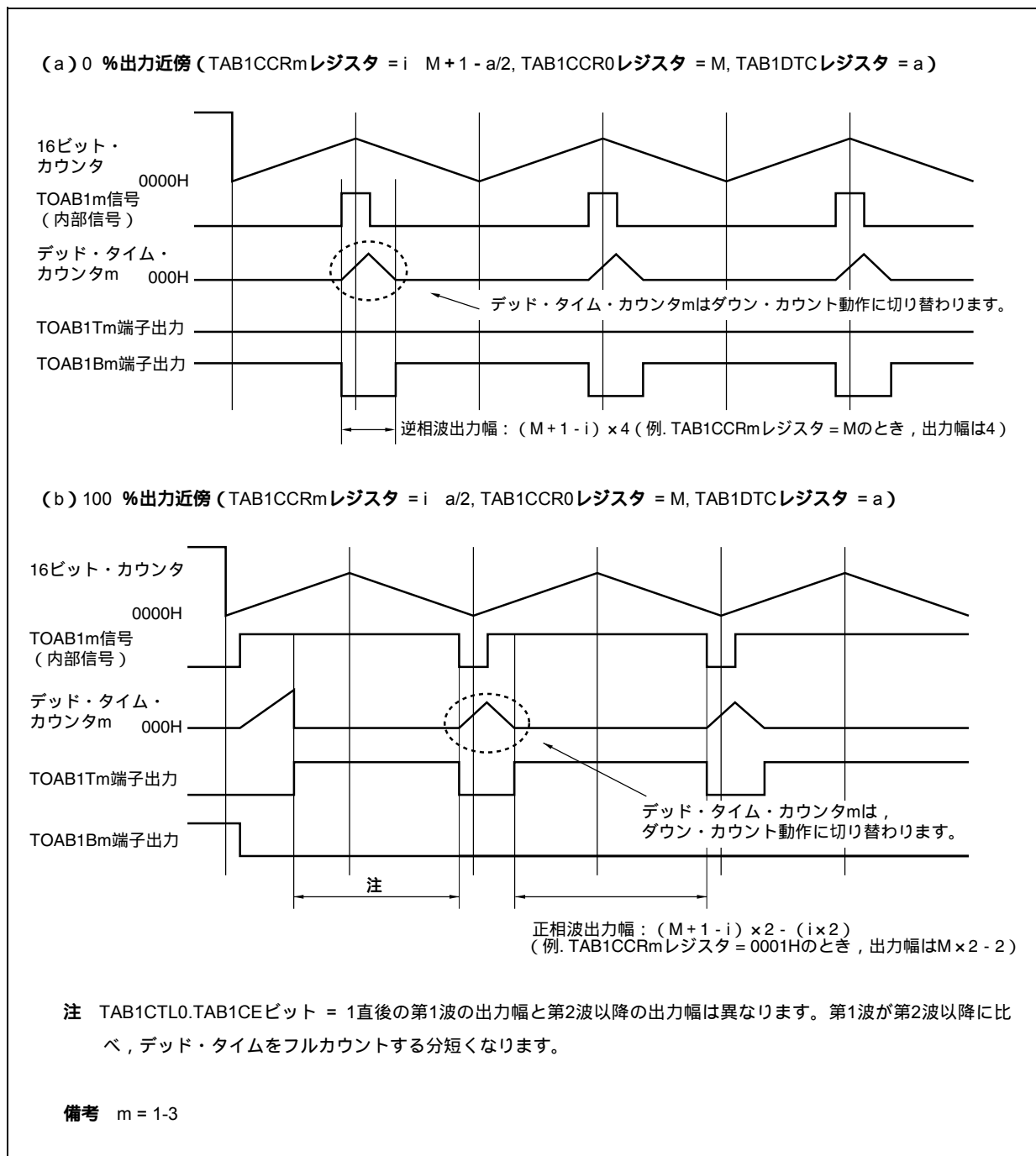
(4) デッド・タイム幅の自動縮小機能 (TAB1OPT2.TAB1DTMビット = 1)

TAB1OPT2.TAB1DTMビットを“1”に設定することにより, 0 %出力近傍 / 100 %出力近傍でのデッド・タイム幅を自動で縮小ができます。

TAB1DTMビット = 1に設定することにより, デッド・タイム・カウント中に再度のタイマABのTOAB1m (内部信号) 出力変化が起こった場合, カウンタ・クリア動作は行わず, デッド・タイム・カウンタはダウン・カウント動作に切り替わります。

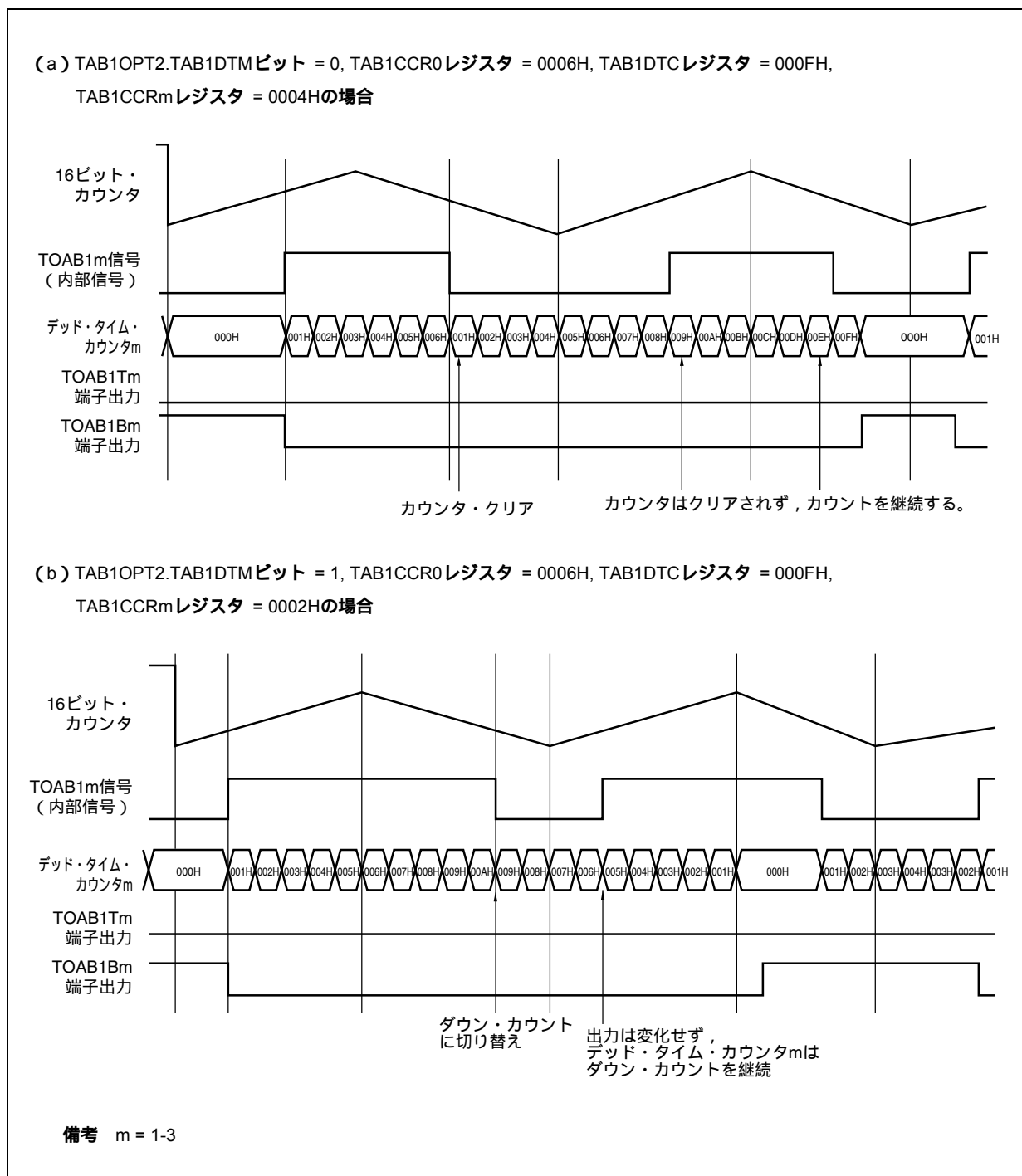
TAB1DTMビット = 1に設定した場合のタイミング・チャートを次に示します。

図11 - 13 デッド・タイム・カウンタmの動作 (1)



(5) 異常設定時のデッド・タイム制御

通常使用であれば、デッド・タイム・カウント中に再度のTAB1のTOAB1m (内部信号) 出力変化が起こるのは1度だけで、0%、100%出力の近傍のみです。ここでは、TAB1CCR0レジスタ (キャリア周期) とTAB1DTCレジスタ (デッド・タイム値) の設定を誤り異常な設定をした場合の動作を示します。異常設定をすると、デッド・タイム・カウント中に2、3度のTAB1のTOAB1m (内部信号) 出力変化が起こります。この場合の6相PWM出力波形の出力例を示します。

図11-14 デッド・タイム・カウンタ_mの動作 (2)

11.4.3 割り込み間引き機能

- ・ 間引き対象割り込みは、INTTAB1CC0（山割り込み）とINTTAB1OV（谷割り込み）です。
- ・ TAB1OPT1.TAB1ICEビットで、INTTAB1CC0割り込みの出力許可と間引きカウント対象指定を行います。
- ・ TAB1OPT1.TAB1IOEビットで、INTTAB1OV割り込みの出力許可と間引きカウント対象指定を行います。
- ・ TAB1OPT1.TAB1ID4-TAB1ID0ビットで、間引きカウント対象に指定された割り込み間引きカウント数の指定を行います。
指定した間引きカウント数分、割り込みはマスクされ、次の割り込みタイミングで割り込みが発生します。
- ・ TAB1OPT2.TAB1RDEビットで、転送の間引きあり/なしが指定可能です。
間引きありに指定した場合は、間引き後の割り込み出力と同タイミングにて転送が実行されます。
間引きなしに指定した場合は、TAB1CCR1レジスタ書き込み後の転送タイミングで転送が実行されます。
- ・ TAB1OPT0.TAB1CMSビットで、一斉書き換え/随時書き換えが指定可能。
TAB1CMSビット = 0のときは転送に同期してレジスタ値が更新されますが、TAB1CMSビット = 1のときは書き込み後、ただちにレジスタ値が更新されます。
転送タイミングは、割り込み間引きタイミングに同期して、TAB1CCRmレジスタからCCRmバッファ・レジスタに転送されます。

注意1. 一斉書き換えモード（転送モード）で割り込み間引き機能を使用する場合には、必ず間欠一斉書き換えモード（転送間引きモード）で行ってください。

2. 割り込みは間引き後のタイミングで発生します。

備考 m = 1-3

(1) 割り込み間引き動作

図11 - 15 TAB1OPT1.TAB1ICEビット = 1, TAB1IOEビット = 1, TAB1OPT2.TAB1RDEビット = 1での割り込み
間引き動作 (山/谷割り込み出力)

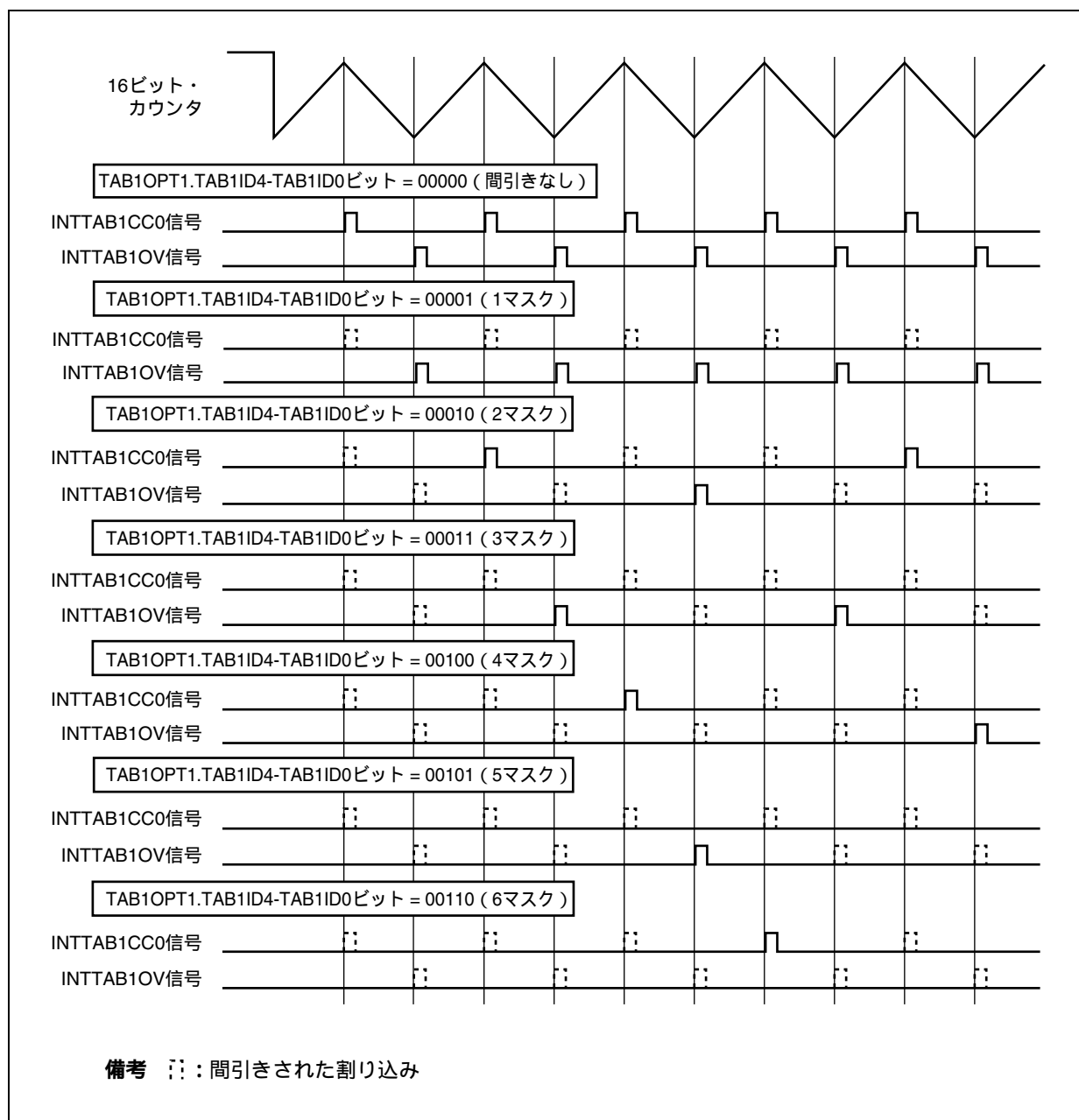


図11 - 16 TAB1OPT1.TAB1ICEビット = 1, TAB1IOEビット = 0, TAB1OPT2.TAB1RDEビット = 1での割り込み
間引き動作 (山割り込みのみ出力)

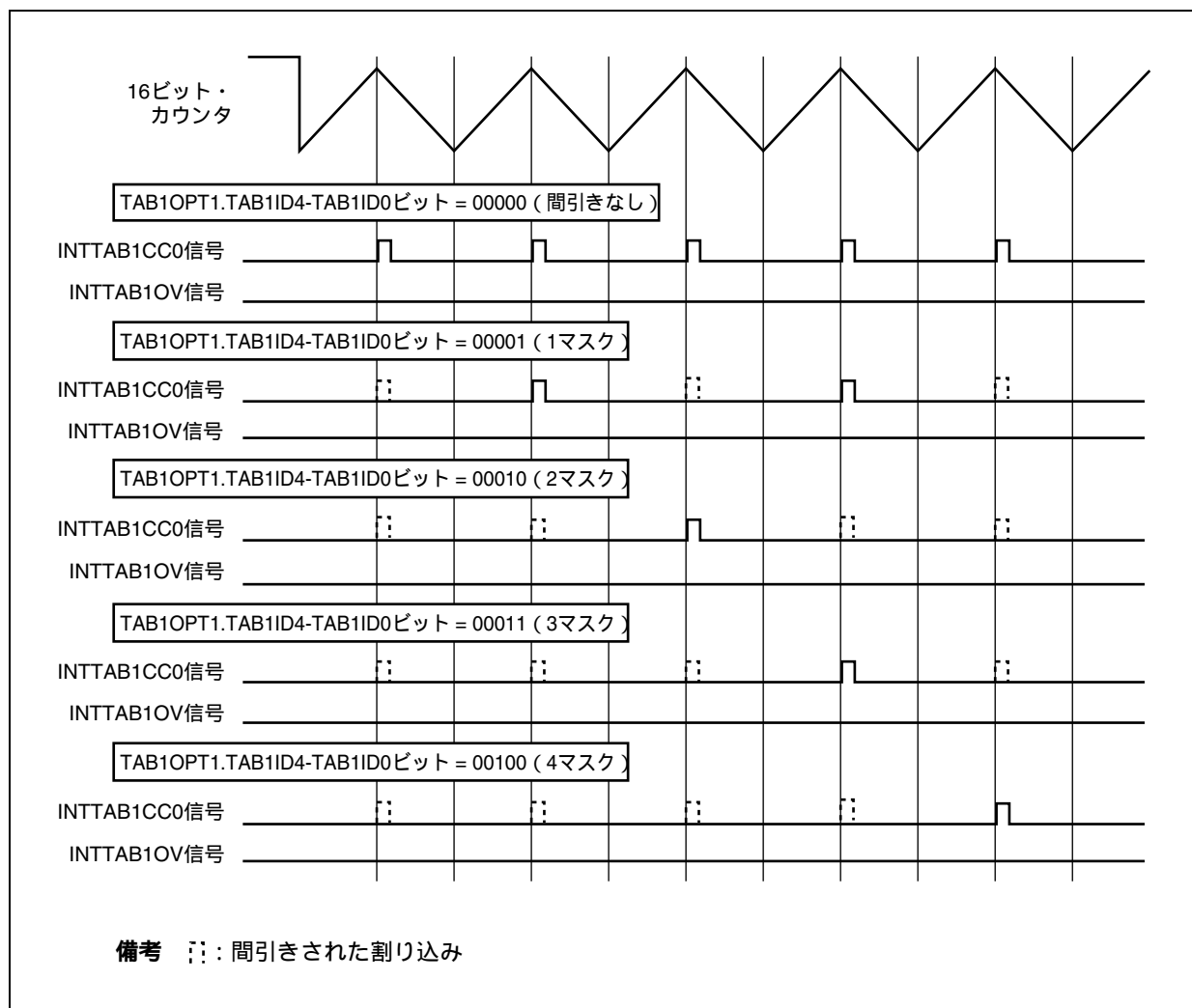
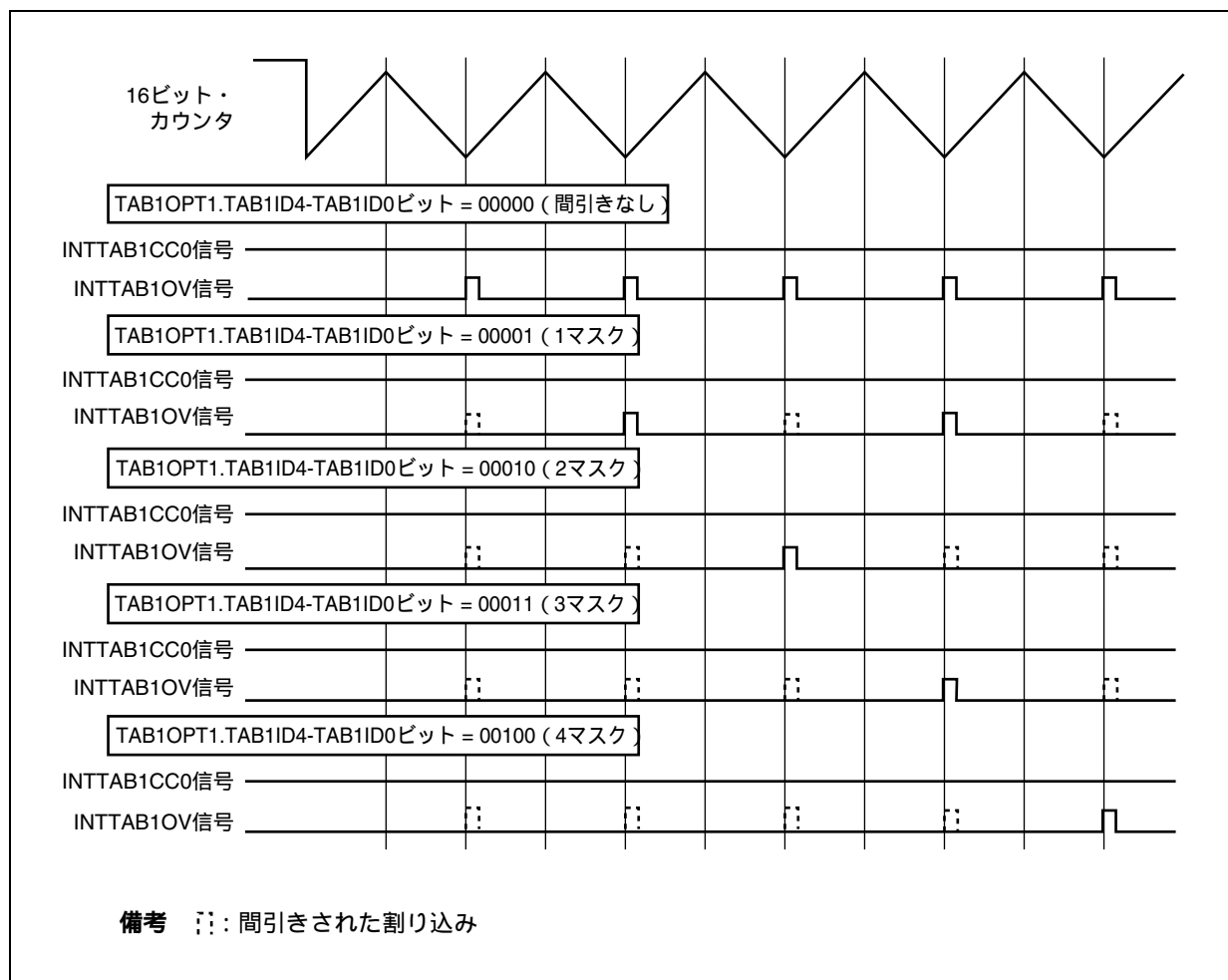


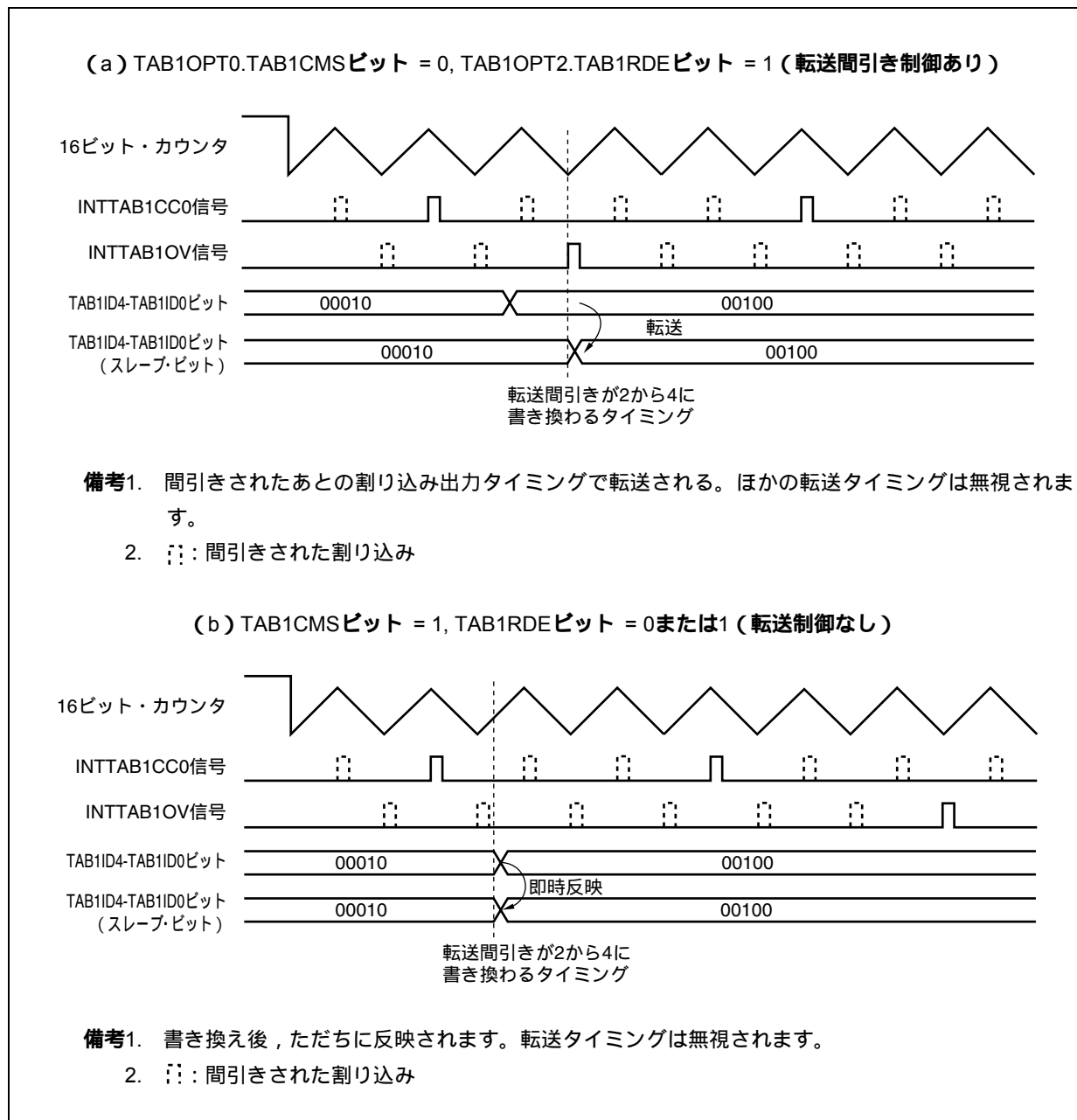
図11 - 17 TAB1OPT1.TAB1ICEビット = 0, TAB1IOEビット = 1, TAB1OPT2.TAB1RDEビット = 1での割り込み
間引き動作 (谷割り込みのみ出力)



(2) 山割り込み (INTTAB1CC0) と谷割り込み (INTTAB1OV) を交互出力する場合

山割り込みと谷割り込みを交互に出力するにはTAB1OPT1.TAB1ICE, TAB1IOEビットをともに“1”に設定してください。

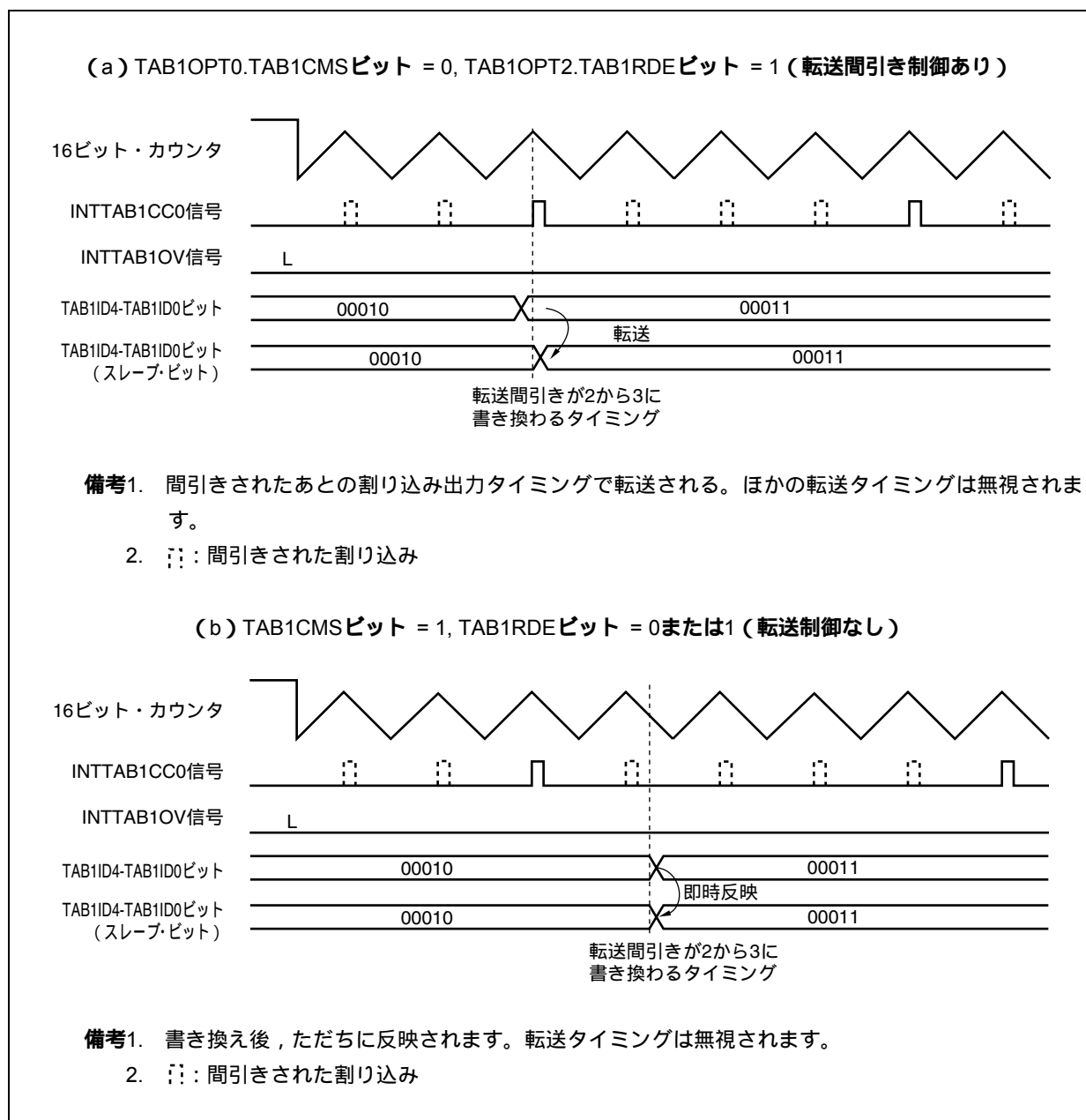
図11 - 18 山/谷割り込み出力



(3) 山割り込み (INTTAB1CC0) のみを出力する場合

TAB1OPT1.TAB1ICEビット = 1, TAB1IOEビット = 0に設定してください。

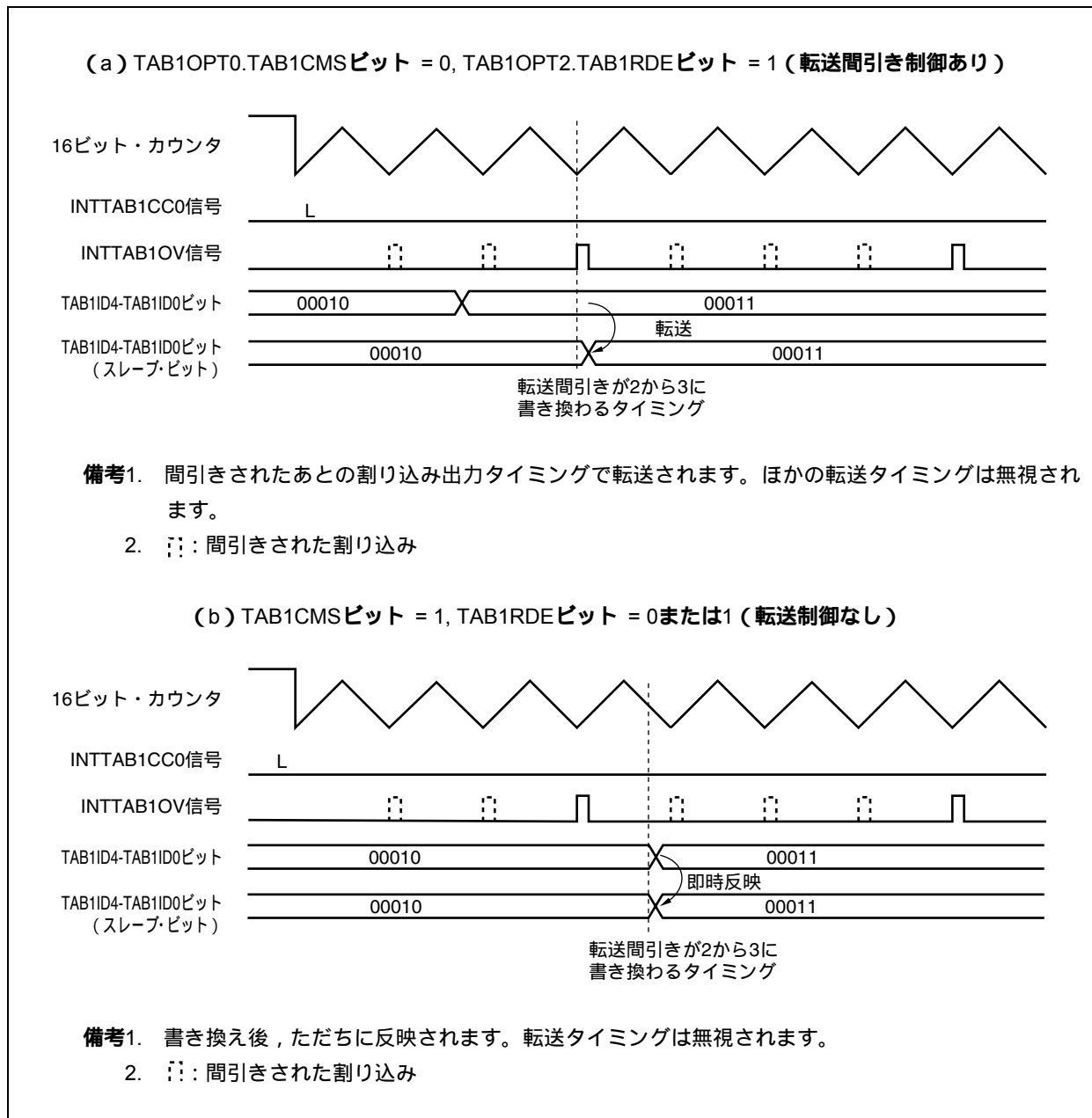
図11 - 19 山割り込み出力



(4) 谷割り込み (INTTAB1OV) のみ出力する場合

TAB1OPT1.TAB1ICEビット = 0, TAB1IOEビット = 1に設定してください。

図11 - 20 谷割り込み出力



11.4.4 転送機能付きレジスタの書き換え操作

モータ制御に使用し、転送機能があるレジスタは次の7種類です。それぞれにバッファ・レジスタがあります。

- ・ TAB1CCR0 : 16ビット・カウンタ (TAB) の周期指定用レジスタ
- ・ TAB1CCR1 : TOAB1T1 (U) , TOAB1B1 (\bar{U}) のデューティ指定用レジスタ
- ・ TAB1CCR2 : TOAB1T2 (V) , TOAB1B2 (\bar{V}) のデューティ指定用レジスタ
- ・ TAB1CCR3 : TOAB1T3 (W) , TOAB1B3 (\bar{W}) のデューティ指定用レジスタ
- ・ TAB1OPT1 : 割り込み間引き指定用レジスタ
- ・ TAA4CCR0 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTAA4)
- ・ TAA4CCR1 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTAA4)

また、転送機能があるレジスタには、次の3種類の書き換えモードがあります。

- ・ 随時書き換えモード

TAB1OPT0.TAB1CMSビット = 1で設定します。TAB1OPT2.TAB1RDEビットの指定は無視されません。

このモードでは、各コンペア・レジスタが独立して更新動作を行い、各コンペア・レジスタに書き込むと即時に書き込み値が更新されます。

- ・ 一斉書き換えモード (転送モード)

TAB1OPT0.TAB1CMSビット = 0, TAB1OPT1.TAB1ID4-TAB1ID0ビット = 00000, TAB1OPT2.TAB1RDEビット = 0で設定します。

TAB1CCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTAB1CCR1レジスタへの書き込みを行わないと転送動作は起こりません。

転送タイミングは、割り込みとは関係なく毎回の山 (16ビット・カウンタとTAB1CCR0レジスタの一致) タイミングと谷 (16ビット・カウンタと0001Hの一致) タイミングです。

- ・ 間欠一斉書き換えモード (転送間引きモード)

TAB1OPT0.TAB1CMSビット = 0, TAB1OPT2.TAB1RDEビット = 1で設定します。

TAB1CCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTAB1CCR1レジスタへの書き込みを行わないと転送動作は起こりません。

転送は、TAB1OPT1レジスタで指定した割り込み間引きにあわせて転送タイミングが間引かれ、間引かれたあとの山割り込み (16ビット・カウンタとTAB1CCR0レジスタの一致) タイミング、または谷割り込み (16ビット・カウンタと0001Hの一致) タイミングにより7つのレジスタに対して一斉に行われます。

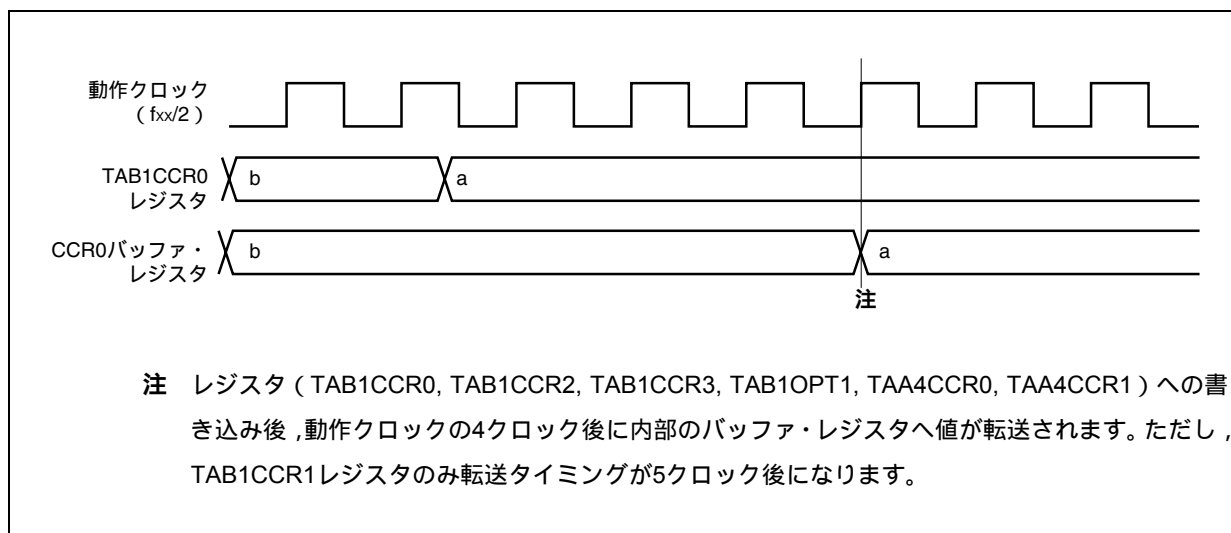
割り込み間引き機能についての詳細は、11.4.3 **割り込み間引き機能**を参照してください。

(1) 随時書き換えモード

TAB1OPT0.TAB1CMSビット = 1で設定します。TAB1OPT2.TAB1RDEビットの設定は無視されます。

各転送機能付きレジスタへの書き込み値が、すぐに内部のバッファ・レジスタに転送されカウンタ値との比較対象になるモードです。このモードではTAB1CCRmと16ビット・カウンタの一致が発生後に書き換ええると、一度一致が発生したあとの再度の一致は無視されるので書き換え値は反映されません。アップ・カウント中に書き換えた場合はダウン・カウントに切り替わったあとの一致で有効になります。

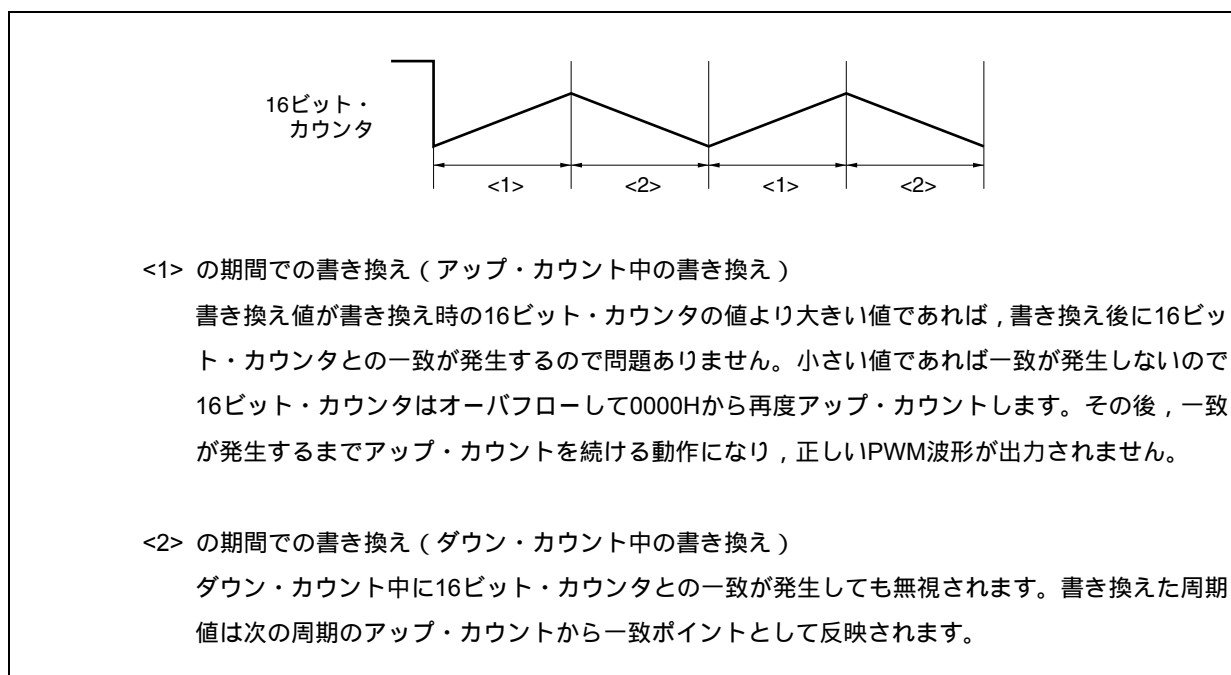
図11 - 21 書き換え値の反映タイミング



(a) TAB1CCR0レジスタの書き換え

TAB1CCR0レジスタを随時書き換えモードで書き換えても、すぐには値が反映されない場合があります。

図11 - 22 TAB1CCR0レジスタの書き換え例



(b) TAB1CCRmレジスタの書き換え

図11 - 24に16ビット・カウンタとTAB1CCRmレジスタが一致する前に書き換えた場合のタイミング (図11 - 23の<1>) を, 図11 - 25に16ビット・カウンタとTAB1CCRmレジスタが一致したあとに書き換えた場合のタイミング (図11 - 23の<2>) を示します。

図11 - 23 16ビット・カウンタとTAB1CCRmレジスタの基本動作

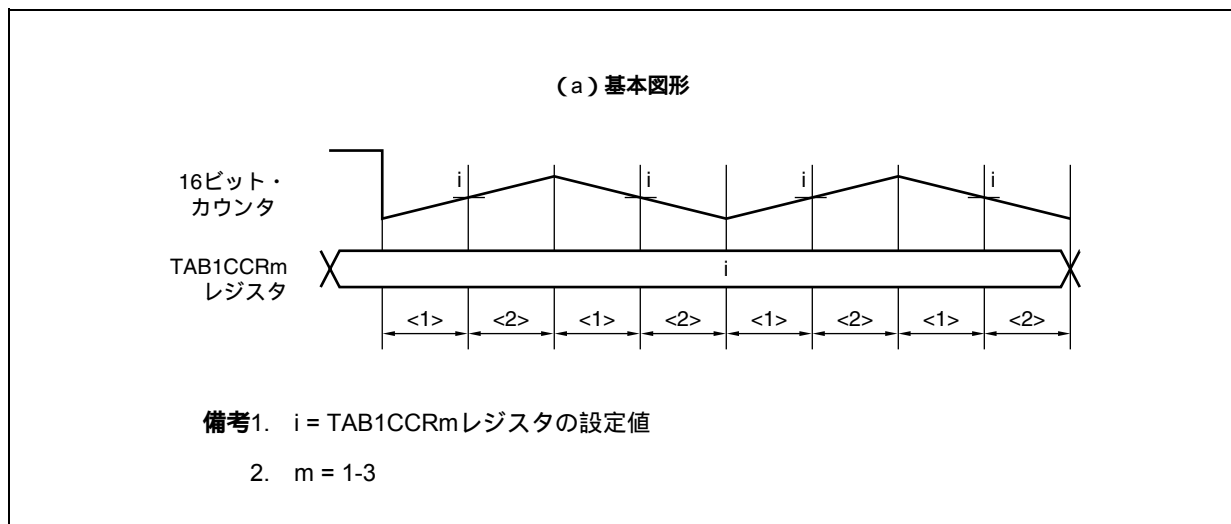


図11 - 24 TAB1CCR1-TAB1CCR3レジスタの書き換え例（一致発生前の書き換え）

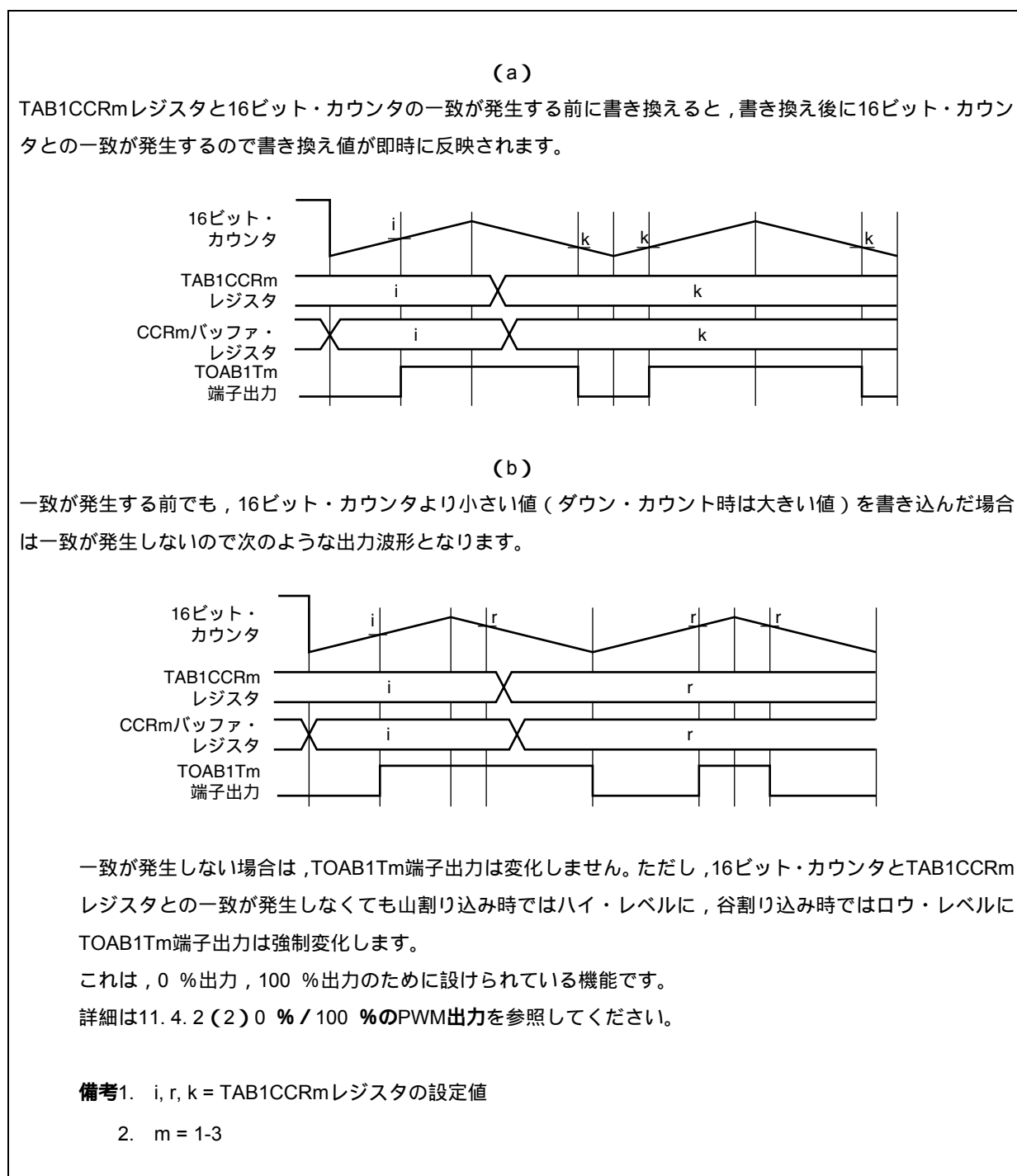
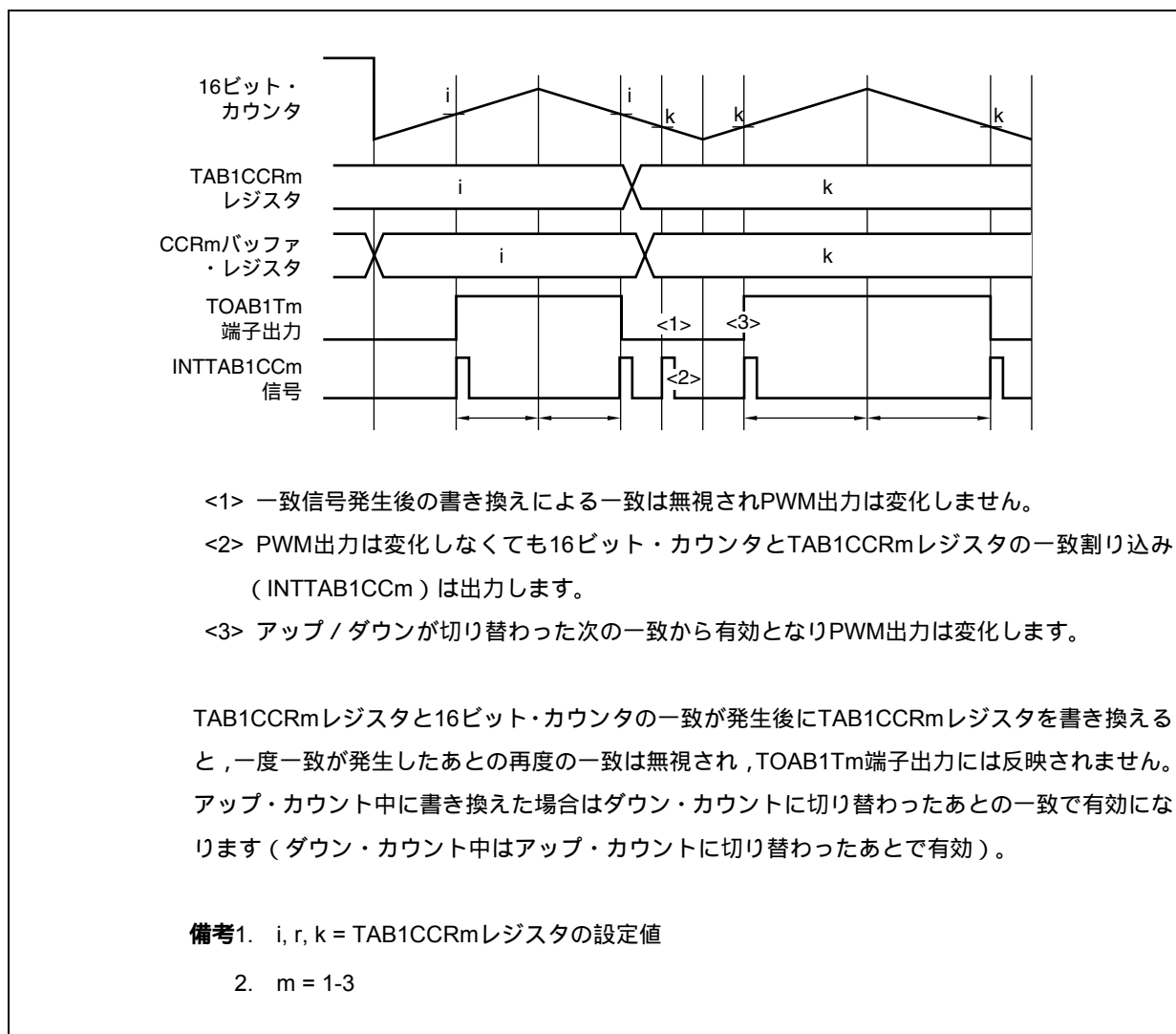


図11 - 25 TAB1CCR1-TAB1CCR3レジスタの書き換え例（一致発生後の書き換え）

**(c) TAB1OPT1レジスタの書き換え**

TAB1OPT1レジスタへの書き込みで割り込み間引きカウンタはクリアされます。割り込み間引きカウンタがクリアされることにより、それまで計測していた割り込み発生数は破棄されるので、一時的に割り込み発生間隔が長くなるので注意してください。

この動作を避けるためには、間欠一斉書き換えモード（転送間引きモード）での書き換えをしてください。

TAB1OPT1レジスタへの書き換えについての詳細は、11.4.3 **割り込み間引き機能**を参照してください。

(2) 一斉書き換えモード (転送モード)

TAB1OPT0.TAB1CMSビット = 0, TAB1OPT1.TAB1ID4-TAB1ID0ビット = 00000, TAB1OPT2.TAB1RDEビット = 0で設定します。

各コンペア・レジスタへの書き込み値が、転送タイミングで一斉に内部のバッファ・レジスタに転送され、カウンタ値との比較対象になるモードです。

(a) 書き換え操作手順

TAB1CCR1レジスタへの書き込みが行われると、TAB1CCR0-TAB1CCR3, TAB1OPT1, TAA4CCR0, TAA4CCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TAB1CCR1レジスタへの書き込みは最後に行ってください。また、TAB1CCR1レジスタへの書き込み後は、転送タイミング(山(16ビット・カウンタとTAB1CCR0レジスタの一致)タイミング、または谷(16ビット・カウンタと0001Hの一致)タイミング)が発生するまで、レジスタへの書き込みは禁止です。操作手順を次に示します。

TAB1CCR0, TAB1CCR2, TAB1CCR3, TAB1OPT1, TAA4CCR0, TAA4CCR1レジスタの書き換え書き換えが必要ないレジスタは書き換え不要です。

TAB1CCR1レジスタの書き換え

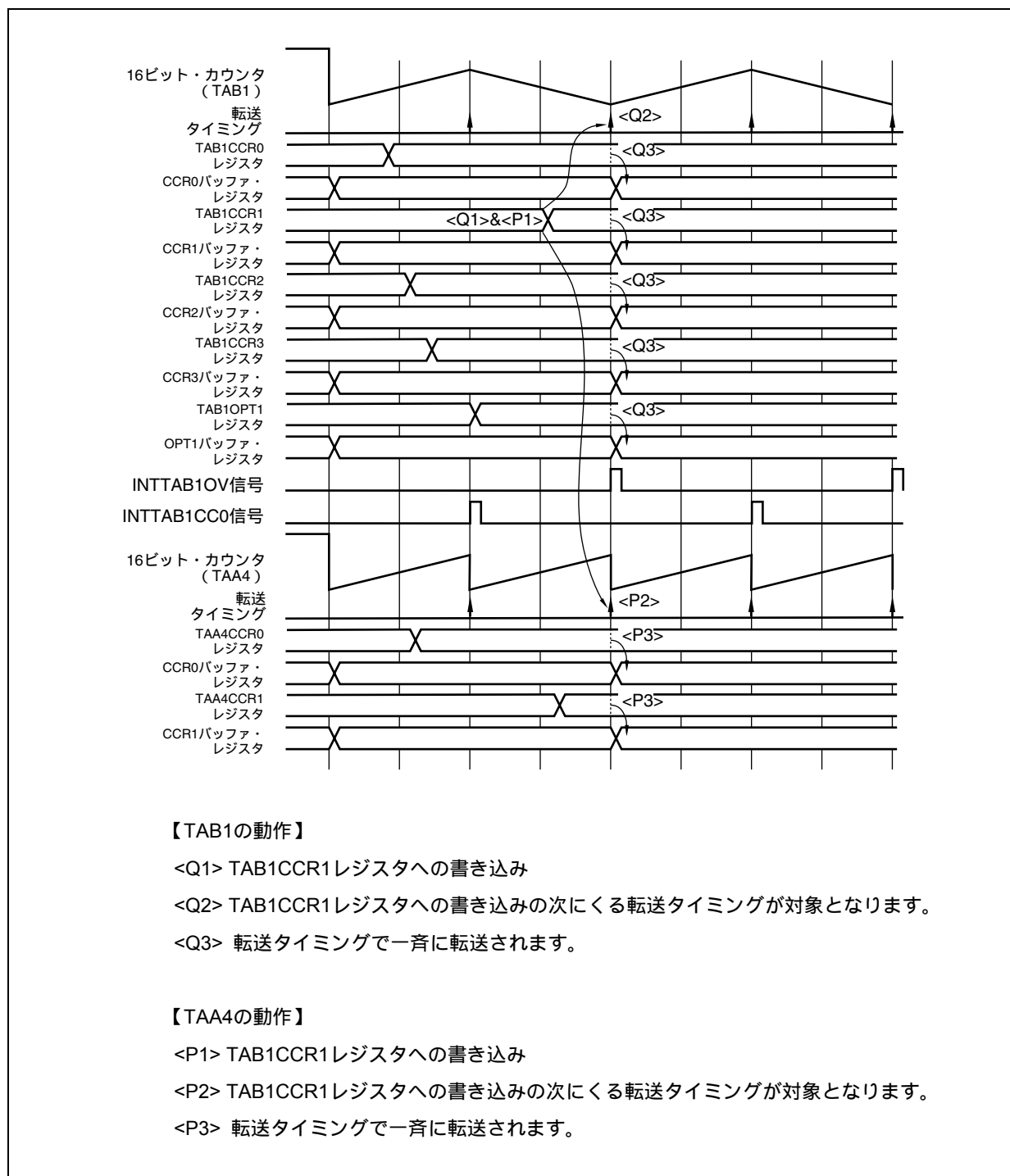
TAB1CCR1レジスタを書き換える必要がない場合でも、同じ値を再書き込みしてください。

転送タイミングが発生するまで次の書き換えを保留

INTTAB1OVまたはINTTAB1CC0割り込みの発生を確認してから次の書き換えをしてください。

に戻る

図11 - 26 一斉書き込みモードの基本動作



(b) TAB1CCR0レジスタの書き換え

TAB1CCR0レジスタを一斉書き換えモードで書き換える場合、転送が山（16ビット・カウンタとTAB1CCR0レジスタの一致）タイミング、谷（16ビット・カウンタと0001Hの一致）タイミングのどちらで起こるかにより出力波形が変わります。通常は、ダウン・カウント中に書き換えを行い、転送タイミングが谷タイミングのときに転送する操作を推奨します。

図11 - 28にアップ・カウント中（図11 - 27の<1>の期間）のTAB1CCR0レジスタの書き換え例を、図11 - 29にダウン・カウント中（図11 - 27の<2>の期間）のTAB1CCR0レジスタの書き換え例を示します。

図11 - 27 16ビット・カウンタの基本動作

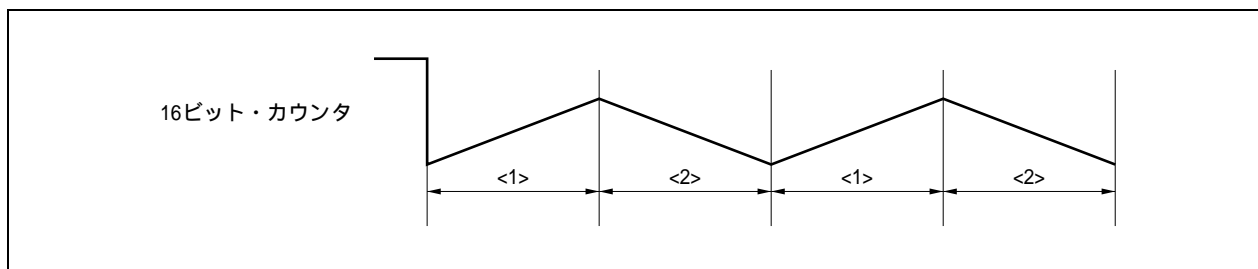


図11 - 28の転送タイミングは山タイミングのポイントになるので、ダウン・カウント側は周期が変わり非対称の三角波波形を出力します。また、周期が変化するので、デューティ比（電圧データ値）も書き換えてください。

図11 - 28 TAB1CCR0レジスタの書き換え例（アップ・カウント時）

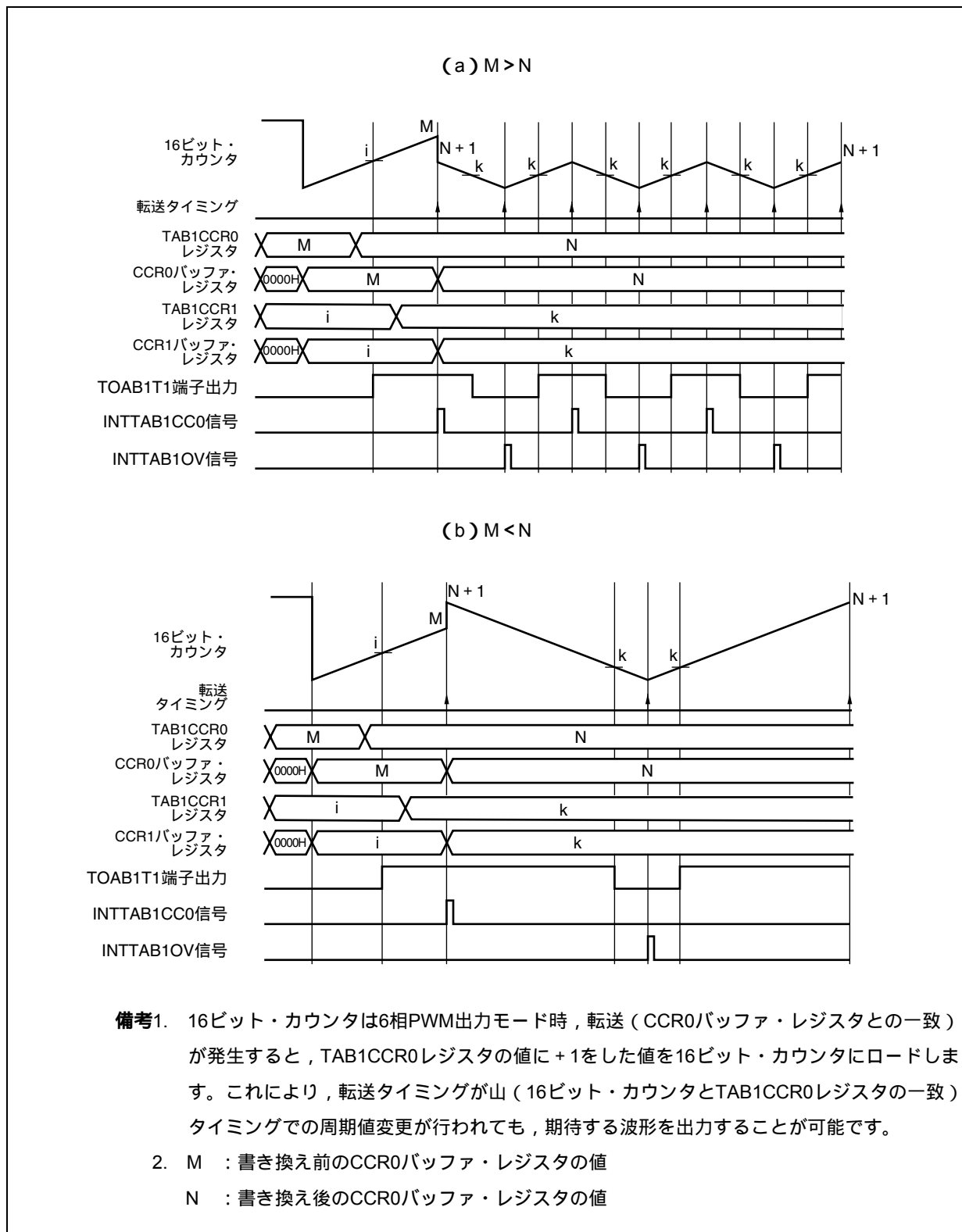
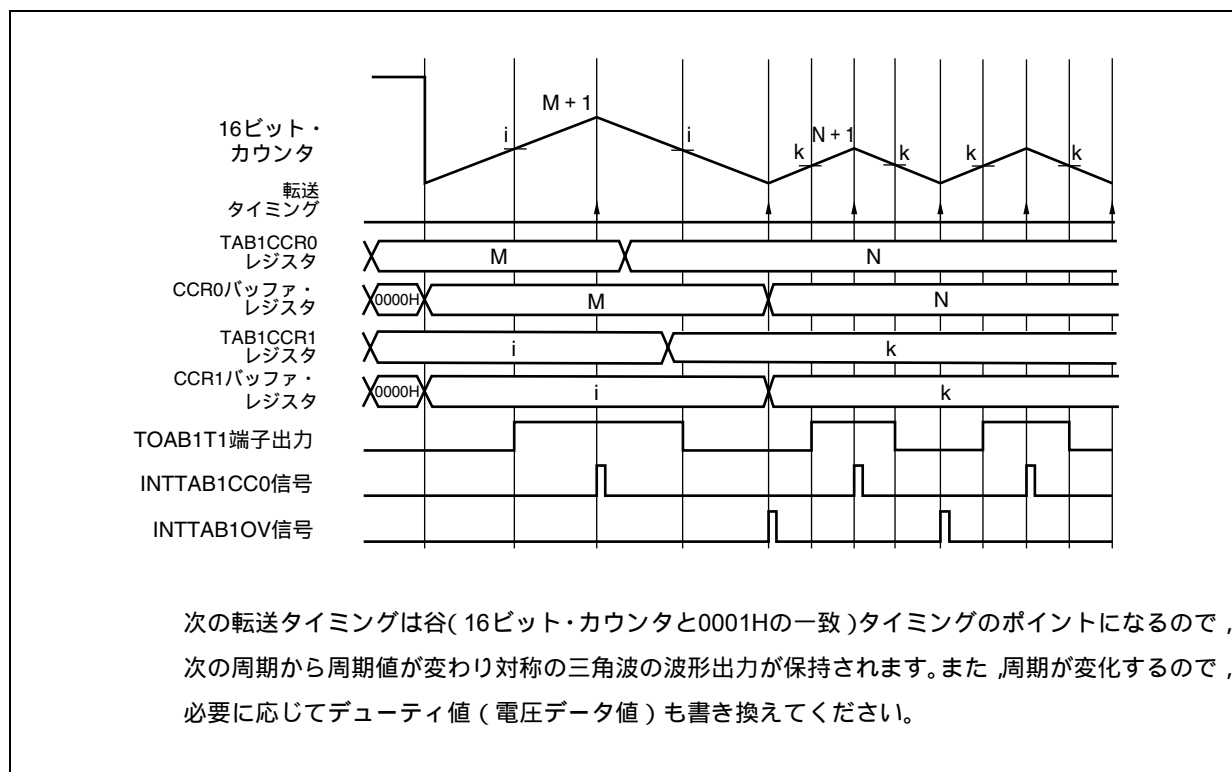
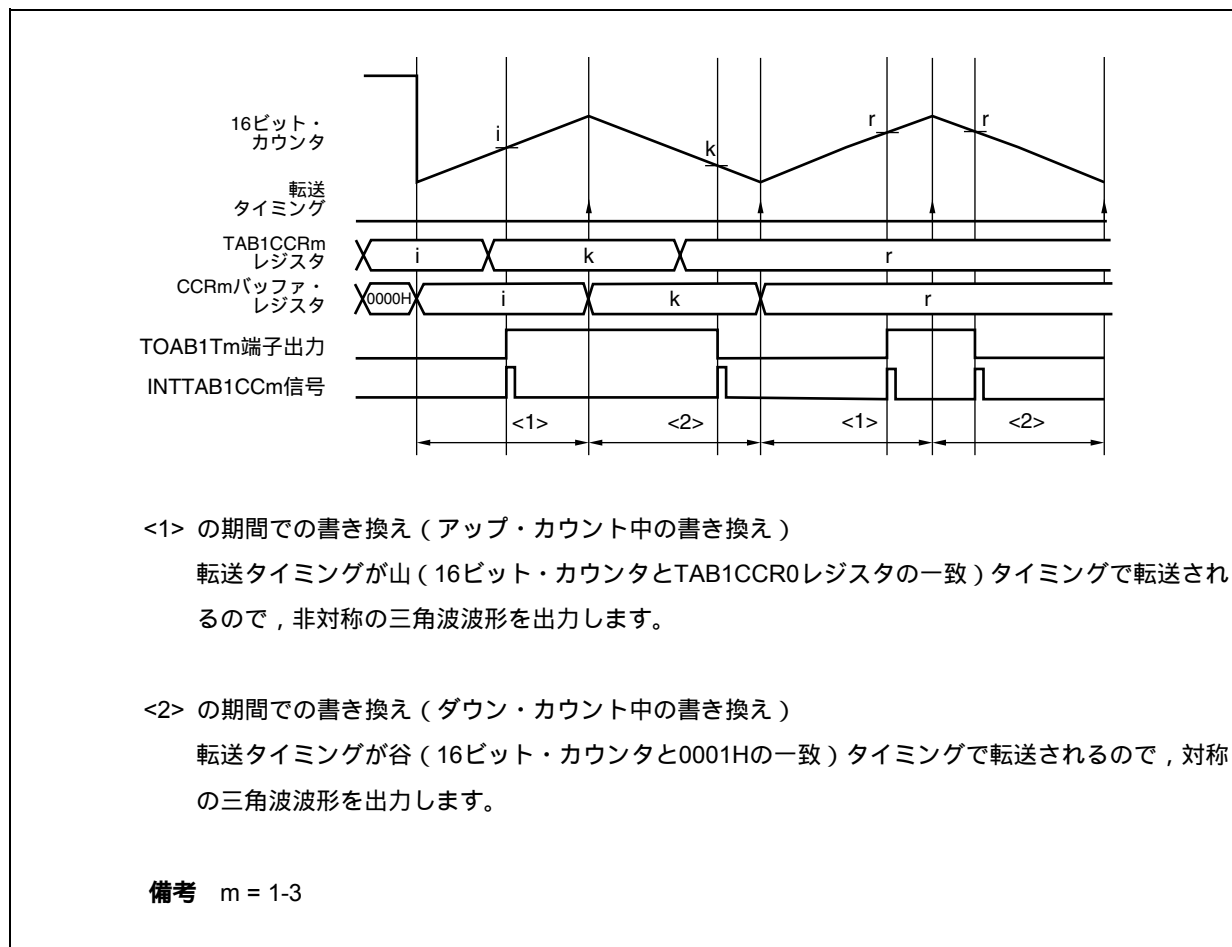


図11 - 29 TAB1CCR0レジスタの書き換え例 (ダウン・カウント時)



(c) TAB1CCRmレジスタの書き換え

図11 - 30 TAB1CCRmレジスタの書き換え例



(d) TAB1OPT1レジスタの転送

TAB1OPT1.TAB1ID4-TAB1ID0ビット = 00000以外の値は設定しないでください。割り込み間引き機能を使用する場合は、間欠一斉書き換えモード（転送間引きモード）で書き換えてください。

TAB1OPT1レジスタへの書き換えについての詳細は、11.4.3 **割り込み間引き機能**を参照してください。

(3) 間欠一斉書き換えモード (転送間引きモード)

TAB1OPT0.TAB1CMSビット = 0, TAB1OPT2.TAB1RDEビット = 1で設定します。

各コンペア・レジスタへの書き込み値が、間引きされたあとの転送タイミングで一斉に内部のバッファ・レジスタに転送されカウンタ値との比較対象になるモードです。転送タイミングは、割り込み間引きによる割り込み発生 (INTTAB1CC0, INTTAB1OV) タイミングになります。

割り込み間引き機能についての詳細は、11.4.3 **割り込み間引き機能**を参照してください。

(a) 書き換え操作手順

TAB1CCR1レジスタへの書き込みが行われるとTAB1CCR0-TAB1CCR3, TAB1OPT1, TAA4CCR0, TAA4CCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TAB1CCR1レジスタへの書き込みは最後に行ってください。また、TAB1CCR1レジスタへの書き込み後は、転送タイミングが発生するまで (INTTAB1OV, INTTAB1CC0の割り込み発生まで) レジスタへの書き込みは禁止です。操作手順を次に示します。

TAB1CCR0, TAB1CCR2, TAB1CCR3, TAB1OPT1, TAA4CCR0, TAA4CCR1レジスタの書き換え書き換えが必要ないレジスタは書き換え不要です。

TAB1CCR1レジスタの書き換え

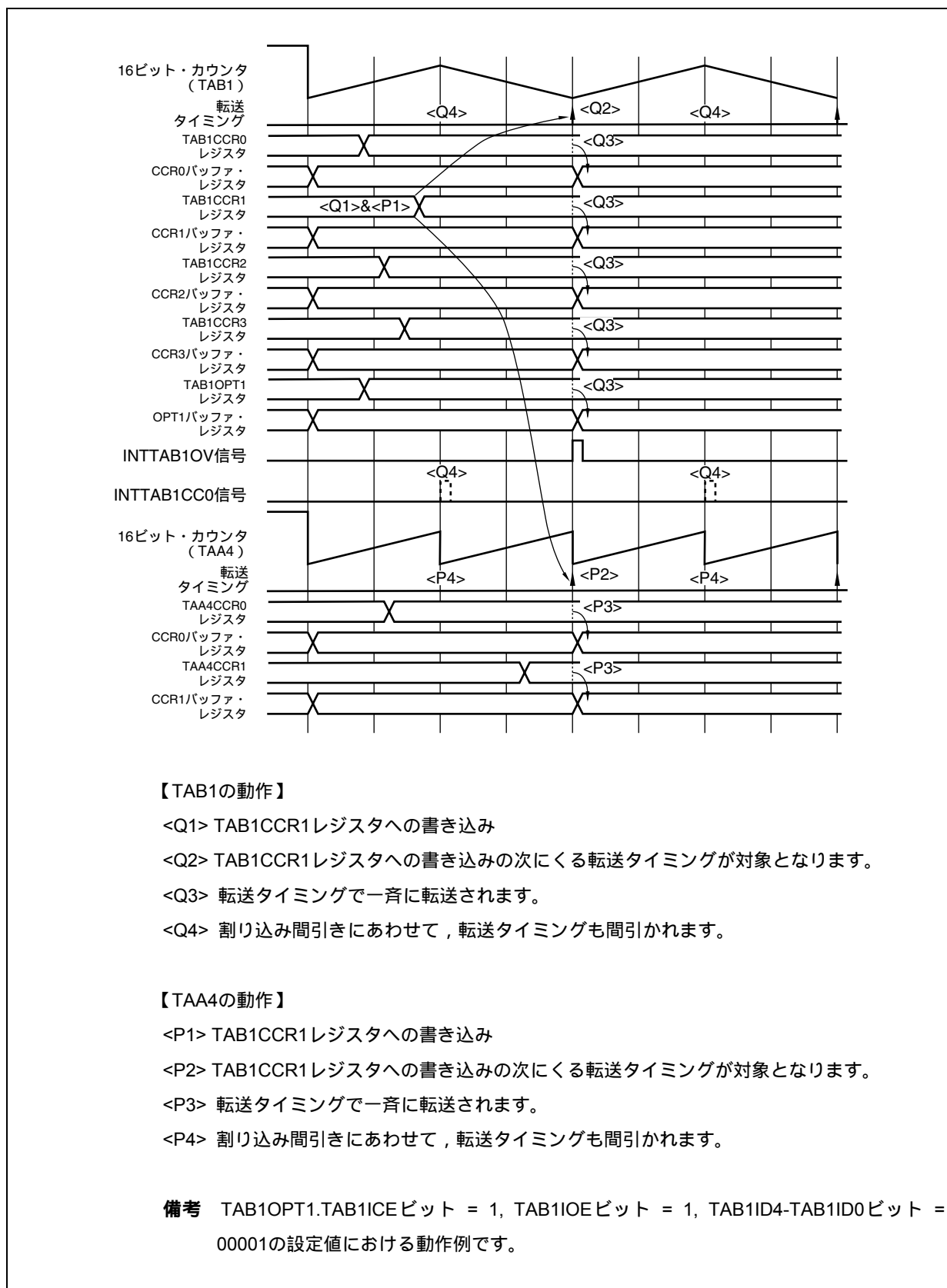
TAB1CCR1レジスタを書き換える必要がない場合でも同じ値を再書き込みしてください。

転送タイミングが発生するまで次の書き換えを保留

INTTAB1OVまたはINTTAB1CC0の割り込み発生を確認してから次の書き換えをしてください。

に戻る

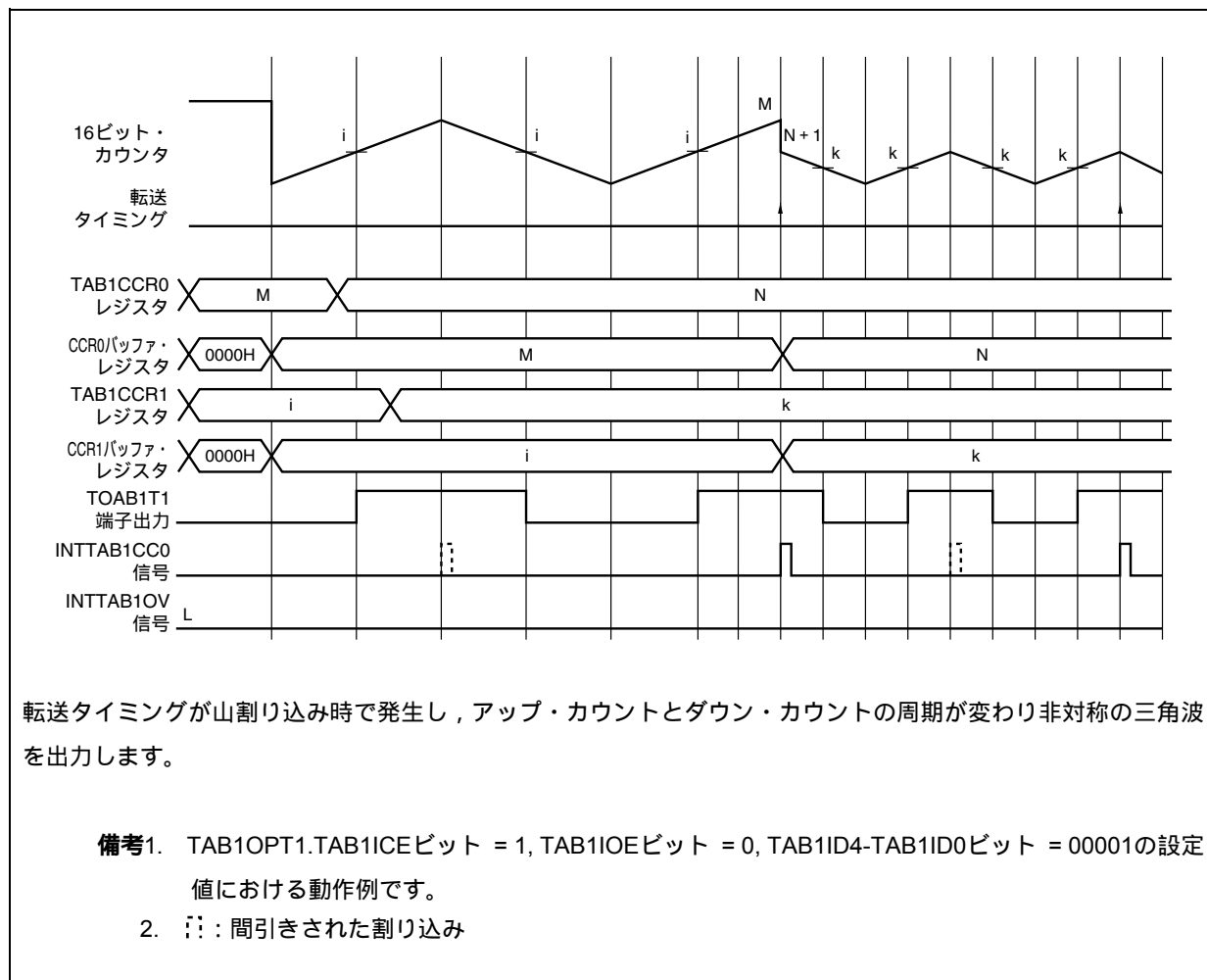
図11 - 31 間欠一斉書き込みモードの基本動作



(b) TAB1CCR0レジスタの書き換え

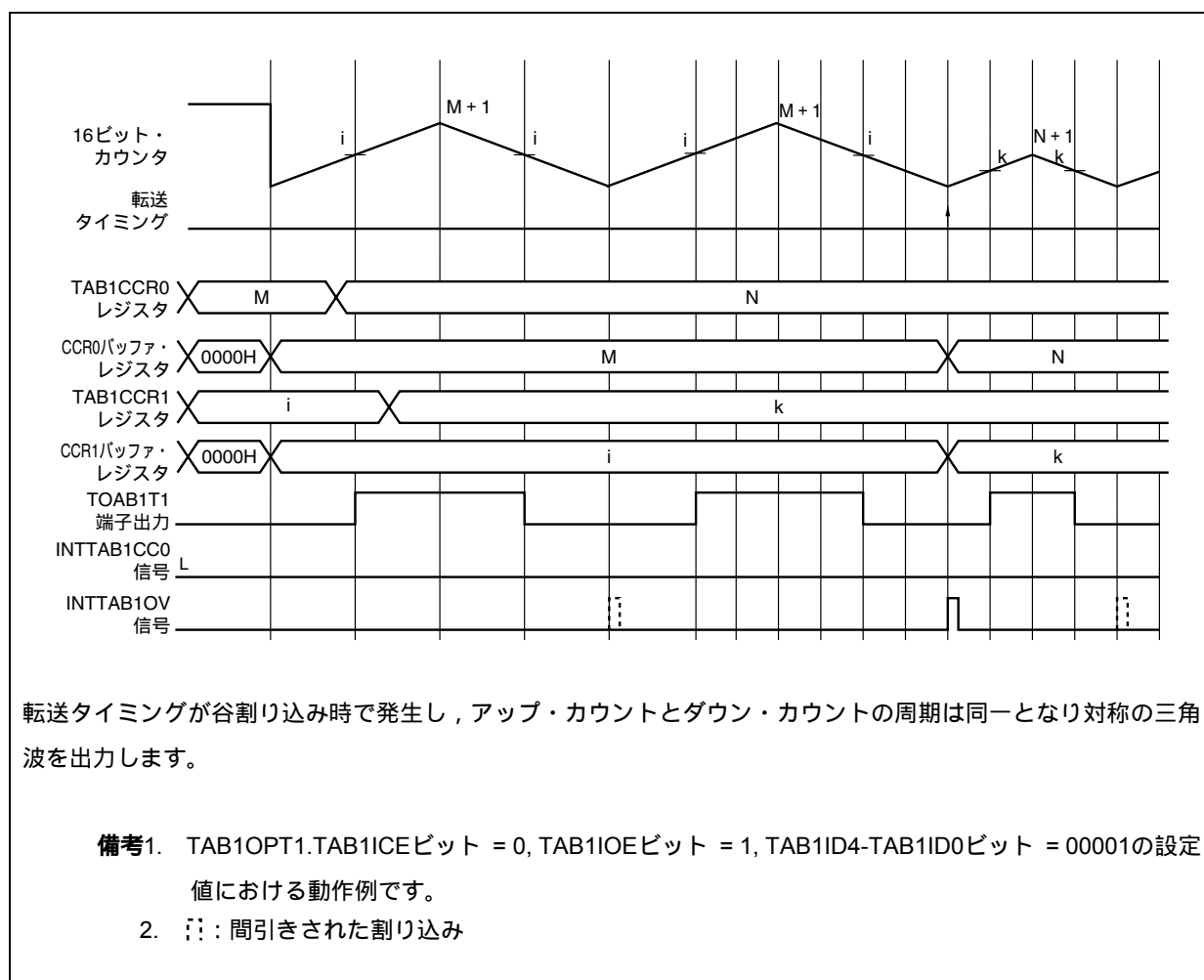
TAB1CCR0レジスタを間欠一斉書き換えモードで書き換える場合、割り込み間引き設定で山/谷割り込み発生をどこに指定しているかで出力波形が変わります。次に割り込み間引き設定での出力波形の変化を示します。

図11 - 32 TAB1CCR0レジスタの書き換え（山割り込みを設定時）



転送タイミングが山割り込み時で発生し、アップ・カウントとダウン・カウントの周期が変わり非対称の三角波を出力します。

図11 - 33 TAB1CCR0レジスタの書き換え（谷割り込みを設定時）

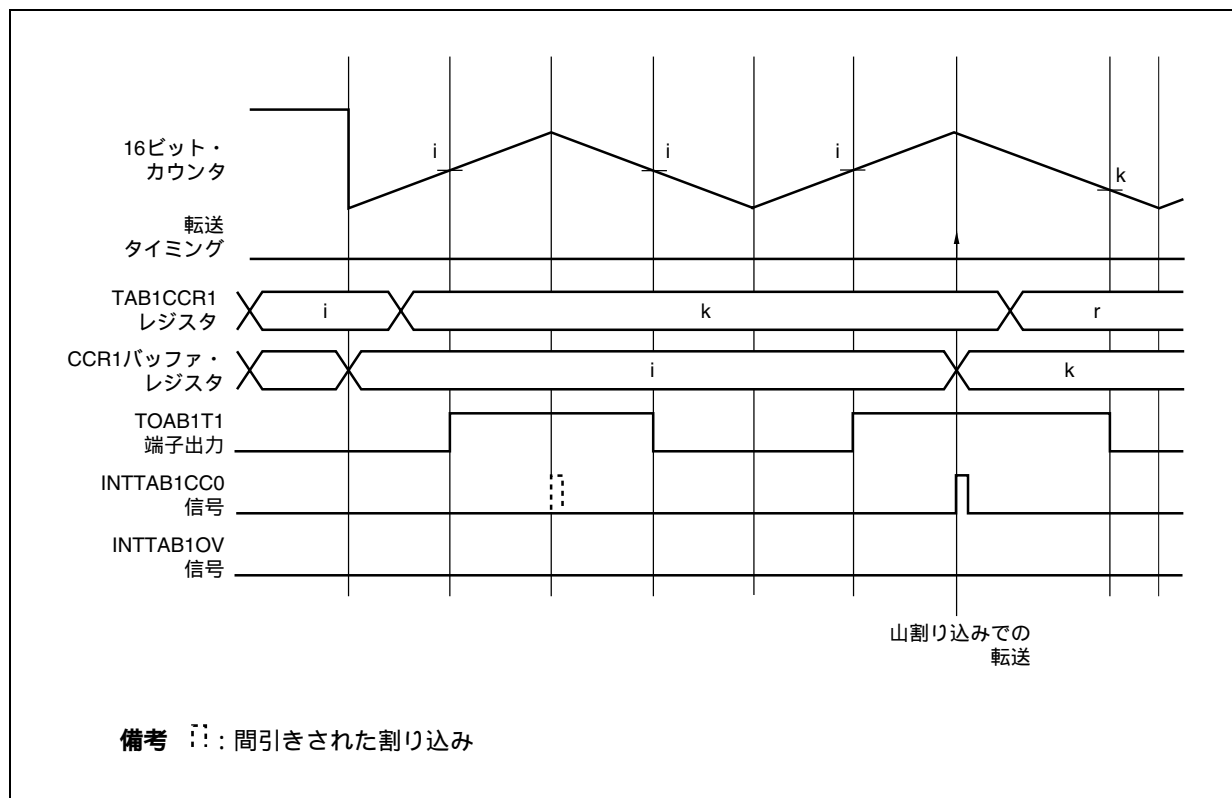


(c) TAB1CCR1-TAB1CCR3レジスタの書き換え

- ・山割り込みを設定した場合に山で転送された場合

山の転送タイミングで転送されるので、非対称の三角波波形を出力します。

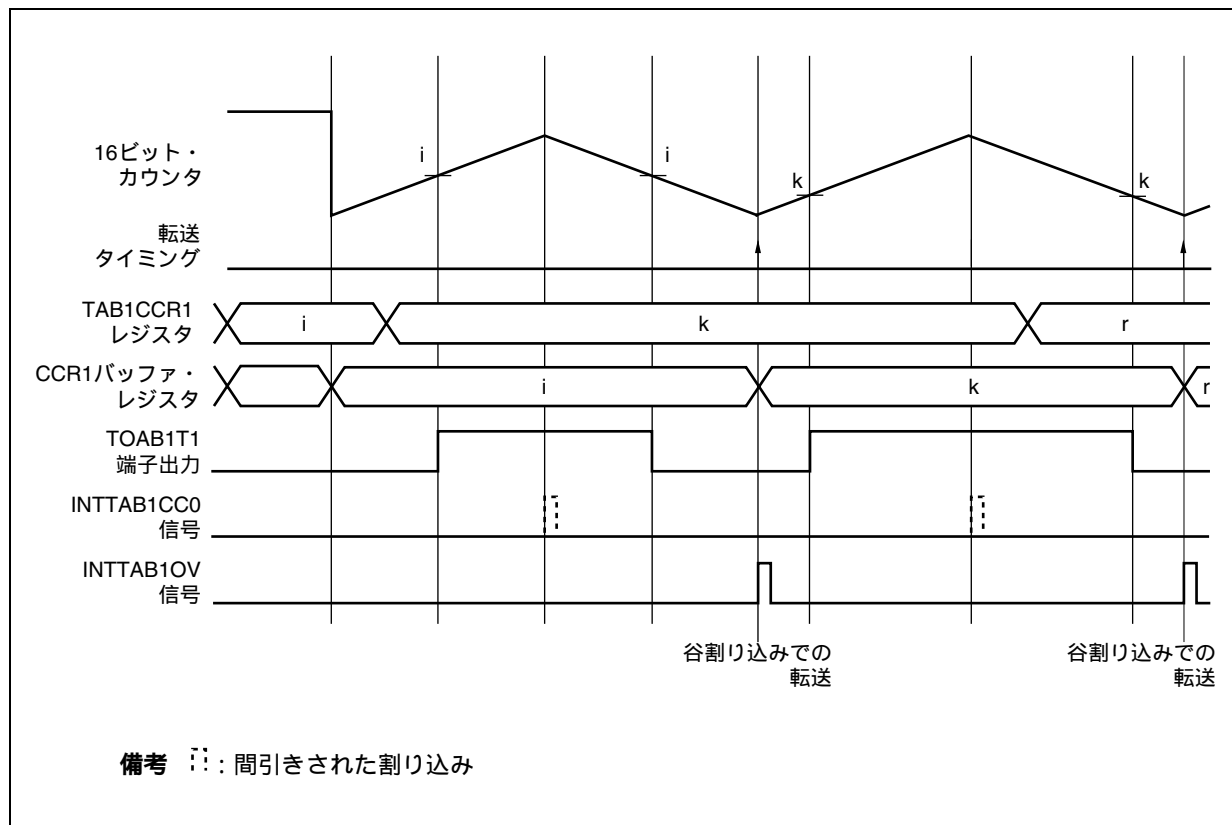
図11 - 34 TAB1CCR1レジスタの書き換え (TAB1OPT1.TAB1ICEビット = 1, TAB1IOEビット = 0, TAB1ID4-TAB1ID0 = 00001の場合)



- ・谷割り込みを設定した場合に谷で転送された場合
谷の転送タイミングで転送されるので、対称の三角波波形を出力します。

図11 - 35 TAB1CCR1レジスタの書き換え

(TAB1OPT1.TAB1ICEビット = 1, TAB1IOEビット = 1, TAB1ID4-TAB1ID0 = 00001の場合)



(d) TAB1OPT1レジスタの書き換え

割り込み間引きカウンタが一致したときに、新しい割り込み間引き値が転送されるため、次から設定した間隔で割り込みが発生します。

TAB1OPT1レジスタへの書き換えについての詳細は、11.4.3 割り込み間引き機能を参照してください。

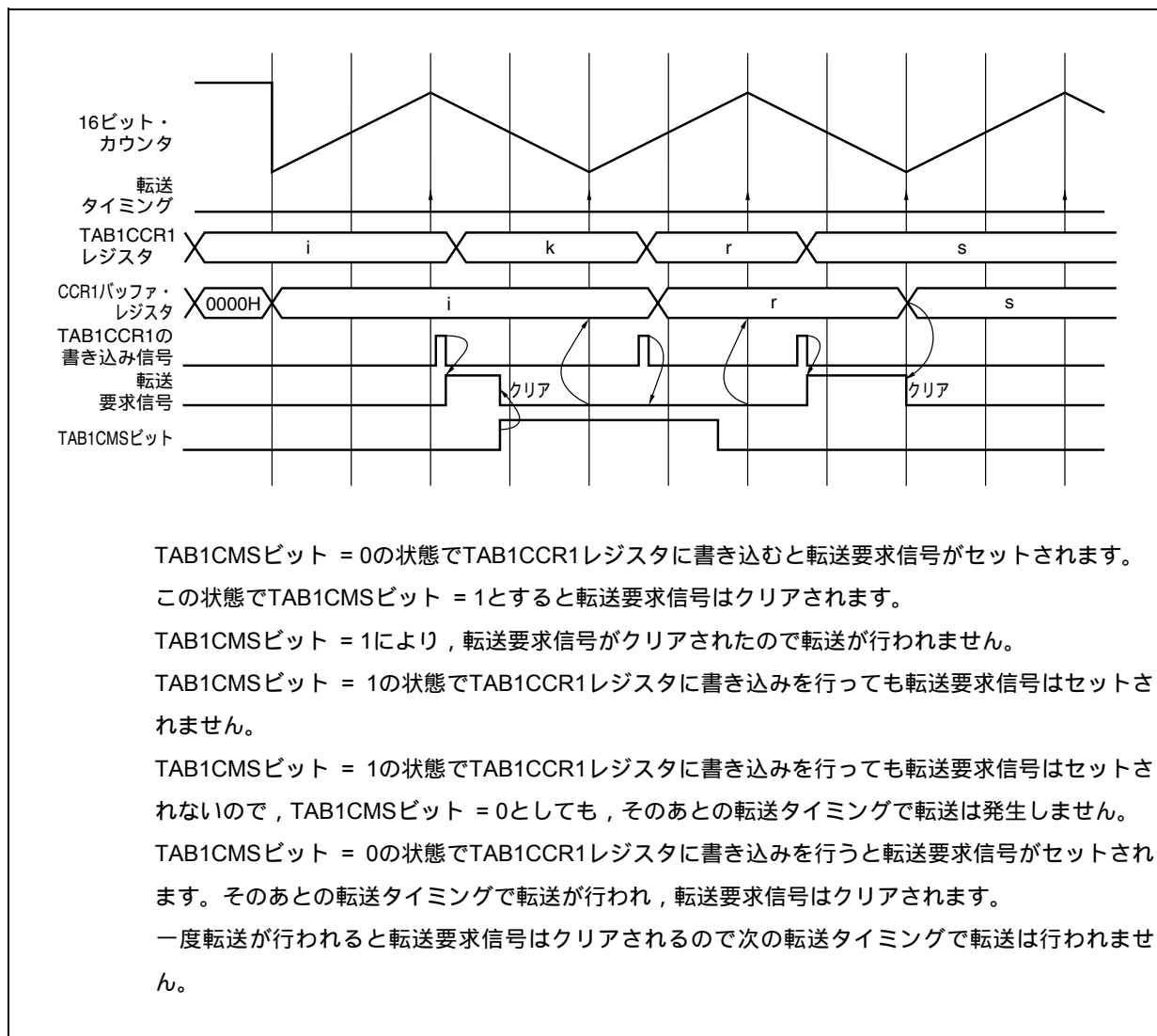
(4) TAB1OPT0.TAB1CMSビットの書き換え

TAB1CMSビットは、随時書き換えモードと一斉書き換えモードの切り替えができます。タイマ動作中 (TAB1CTL0.TAB1CEビット = 1) の書き換えが可能です。図11 - 36で示す動作および注意が必要です。

TAB1CMSビット = 0の状態ではTAB1CCR1レジスタに書き込むと転送要求信号 (内部信号) がセットされます。

転送要求信号がセットされていると、次の転送タイミングで転送を行い、転送要求信号がクリアされます。この転送要求信号は、TAB1CMSビット = 1によってもクリアされます。

図11 - 36 TAB1CMSビットの書き換え



TAB1CMSビット = 0の状態ではTAB1CCR1レジスタに書き込むと転送要求信号がセットされます。

この状態でTAB1CMSビット = 1とすると転送要求信号はクリアされます。

TAB1CMSビット = 1により、転送要求信号がクリアされたので転送が行われません。

TAB1CMSビット = 1の状態ではTAB1CCR1レジスタに書き込みを行っても転送要求信号はセットされません。

TAB1CMSビット = 1の状態ではTAB1CCR1レジスタに書き込みを行っても転送要求信号はセットされないため、TAB1CMSビット = 0としても、そのあとの転送タイミングで転送は発生しません。

TAB1CMSビット = 0の状態ではTAB1CCR1レジスタに書き込みを行うと転送要求信号がセットされます。そのあとの転送タイミングで転送が行われ、転送要求信号はクリアされます。

一度転送が行われると転送要求信号はクリアされるので次の転送タイミングで転送は行われません。

11.4.5 A/D変換開始トリガ信号出力用TAA4の同調動作

6相PWM出力モードで使用する場合の、TAA4およびTAB1の同調動作について示します。

6相PWM出力モードでは、TAB1をマスタとし、TAA4をスレーブとして同調動作を行い、A/D変換開始トリガ・ソースとしてTAA4のINTTAA4CC0、INTTAA4CC1信号とTAB1のINTTAB1OV、INTTAB1CC0信号でA/Dコンバータの変換開始トリガ信号を設定できます。

(1) 同調動作開始手順

同調動作を行わせるためのTAA4、TAB1のレジスタの設定手順を次に示します。

(a) TAA4レジスタ設定(TAB1、TAA4は動作停止状態(TAB1CTL0.TAB1CEビット = 0, TAA4CTL0.TAA4CEビット = 0) にしてください)

- ・ TAA4CTL1レジスタ = 85Hに設定 (同調動作スレーブ・モード, フリー・ランニング・タイマ・モードに設定)
- ・ TAA4OPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択)
- ・ TAA4CCR0, TAA4CCR1レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)

(b) TAB1レジスタ設定

- ・ TAB1CTL1レジスタ = 07Hに設定 (マスタ・モード, 6相PWM出力モードに設定)
- ・ TAB1IOC0レジスタに適切な値を設定 (TOAB1T1-TOAB1T3の出力モードを設定)
ただし、TAB1OL0, TAB1OE0ビットは必ずTAB1OL0ビット = 0, TAB1OE0ビット = 1に設定 (正相の出力許可) してください。この設定を行わない場合は、山割り込み (INTTAB1CC0), 谷割り込み (INTTAB1OV) が発生しないため、A/Dコンバータ0, 1の変換開始トリガ信号が正常に発生しません。
- ・ TAB1IOC1, TAB1IOC2レジスタ = 00Hに設定 (TAB1のTIAB10-TIAB13, EVTB1, TRGB1端子は使用しない)
- ・ TAB1OPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択にする)
- ・ TAB1CCR0-TAB1CCR3レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)
- ・ TAB1CTL0レジスタ = 0xHに設定 (TAB1CEビットは0, TAB1の動作クロックを設定する)
TAB1CTL0レジスタで設定したTAB1の動作クロックは、TAA4にも供給され、同じタイミングでカウント動作を行います。TAA4CTL0レジスタで設定したTAA4の動作クロックは無視されます。

(c) TMQOP (TMQオプション) レジスタ設定

- ・ TAB1OPT1, TAB1OPT2レジスタに適切な値を設定
- ・ TAB1IOC3レジスタに適切な値を設定 (TOAB1B1-TOAB1B3の出力モードを設定)
- ・ TAB1DTCレジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)

(d) 兼用機能設定

- ・ポート・コントロール・モードにより、ポートを兼用機能にする。

(e) TAA4CEビット = 1に設定し、直後にTAB1CEビット = 1に設定し、6相PWM出力動作を開始

動作中におけるTAB1CTL0, TAB1CTL1, TAB1IOC1, TAB1IOC2, TAA4CTL0, TAA4CTL1レジスタの書き換えは禁止です。書き換えた場合の動作、および、PWM出力波形は保証できません。ただし、TAB1CTL0.TAB1CEビット = 0にするためのTAB1CEビットの書き換えは許可します。また、TAA4CTL0.TAA4CEビット = 1としたあとTAB1CEビット = 1とするまでは、ほかのTAB1, TAA4, TMQオプションの各レジスタ操作（読み出し / 書き込み）は一切禁止です。

(2) 同調動作解除手順

同調動作を解除し、6相PWM出力モードを終了するためのTAA4, TAB1レジスタの設定手順を次に示します。

- TAB1CTL0.TAB1CEビット = 0に設定し、タイマ動作を停止
- TAA4CTL0.TAA4CEビット = 0に設定し、TAA4は分離可能状態
- TAB1IOC0レジスタによりタイマ出力を停止
- TAA4CTL1.TAA4SYEビット = 0に設定し、同調動作を解除

注意 TAB1CEビット = 0としたあとTAA4CEビット = 0とするまでは、ほかのTAB1, TAA4, TMQオプションの各レジスタ操作（読み出し / 書き込み）は一切禁止です。

(3) TAA4を同調動作させない場合について

A/Dコンバータの変換開始トリガ・ソースとしてTAA4の一致割り込み信号を使用しない場合は、TAA4を同調動作させず単独動作させて別機能のタイマとして使用できます。この場合、6相PWM出力モードにおいて、A/D変換開始トリガ・ソースとしてTAA4の一致割り込み信号を使用しないため、TAB1OPT2.TAB1AT0-TAB1AT3ビットは0固定にして使用してください。

ほかの制御ビットは、TAA4を同調動作させた場合と同様に使用できます。

TAA4を同調動作させていない場合、TAA4のコンペア・レジスタ（TAA4CCR0, TAA4CCR1）は、TAB1OPT0.TAB1CMSビット、TAB1OPT2.TAB1RDEビットの設定による影響を受けません。TAA4を同調動作させない場合の初期設定手順は、11.4.5(1)同調動作開始手順に示した手順の(b)-(e)を行ってください。(a)は同調動作させるTAA4の設定なので不要です。

(4) 同調動作時のTAA4の基本動作

TAA4の16ビット・カウンタは、アップ・カウント動作のみを行います。TAB1CCR0レジスタによる周期設定値でTAA4の16ビット・カウンタがクリアされ0000Hから再カウントを行います。したがって、TAB1の16ビット・カウンタがアップ・カウント時はTAA4の16ビット・カウンタと同値ですが、ダウン・カウント時はTAA4のカウント値は同じではありません。

- ・ TAB1がアップ・カウント時 (同値)

TAB1の16ビット・カウンタ : 0000H M (アップ・カウント)

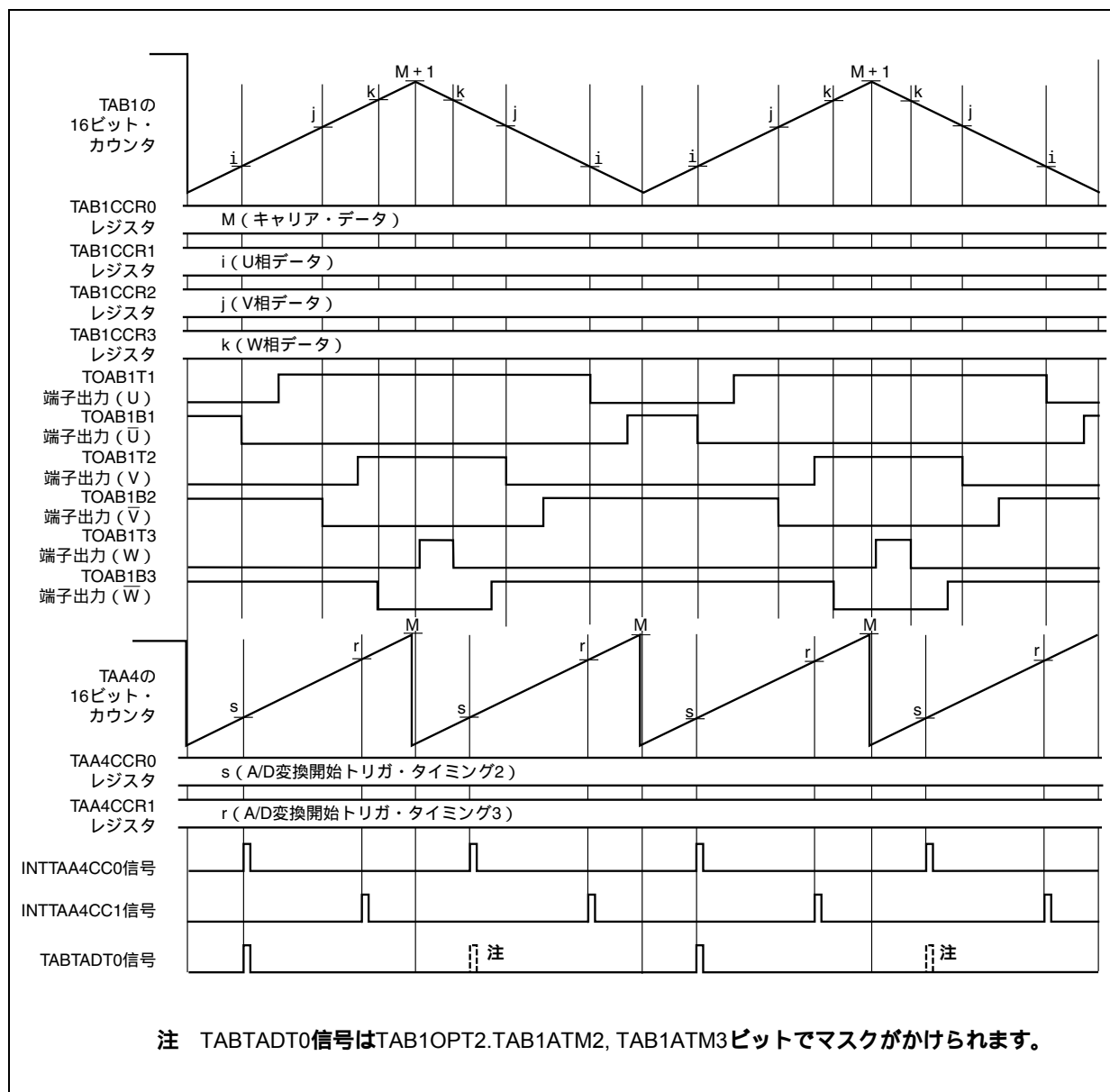
TAA4の16ビット・カウンタ : 0000H M (アップ・カウント)

- ・ TAB1がダウン・カウント時 (同値でない)

TAB1の16ビット・カウンタ : M + 1 0001H (ダウン・カウント)

TAA4の16ビット・カウンタ : 0000H M (アップ・カウント)

図11 - 37 同調動作時のTAA4



注 TABTADT0信号はTAB1OPT2, TAB1ATM2, TAB1ATM3ビットでマスクがかけられます。

11. 4. 6 A/D変換開始トリガ出力機能

V850ES/JG3-U, V850ES/JH3-Uには、4つのトリガ・ソース (INTTAB10V, INTTAB1CC0, INTTAA4CC0, INTTAA4CC1) を自由に選択して、A/Dコンバータの変換開始トリガ信号 (TABTADT0) を生成する機能があります。

トリガ・ソースは、TAB1OPT2.TAB1AT0-TAB1AT3ビットで指定します。

- ・ TAB1AT0ビット = 1
: INTTAB10V (カウンタ・アンダフロー) 発生時にA/D変換開始トリガ信号を発生
- ・ TAB1AT1ビット = 1
: INTTAB1CC0 (周期一致) 発生時にA/D変換開始トリガ信号を発生
- ・ TAB1AT2ビット = 1
: INTTAA4CC0 (同調動作TAA4のTAA4CCR0レジスタとの一致) 発生時にA/D変換開始トリガ信号を発生
- ・ TAB1AT3ビット = 1
: INTTAA4CC1 (同調動作TAA4のTAA4CCR1レジスタとの一致) 発生時にA/D変換開始トリガ信号を発生

TAB1AT0-TAB1AT3ビットにより選択されたA/D変換開始トリガ信号は、すべてORされて出力されるため、複数のトリガ・ソースを同時に指定できます。

TAB1AT0, TAB1AT1ビットによって選択されるINTTAB10V, INTTAB1CC0信号は割り込み間引き後の信号となります。

したがって、割り込み間引き制御を受けたタイミングでの出力となり、割り込みの出力イネーブル (TAB1OPT1.TAB1ICE, TAB1IOEビット) を許可にしていない場合は、A/D変換開始トリガ信号も出力されません。

TAA4からのトリガ・ソース (INTTAA4CC0, INTTAA4CC1) は、TAB1AT2, TAB1AT3ビットの設定により、16ビット・カウンタのアップ・カウント/ダウン・カウントの状態によって、A/D変換開始トリガ信号をマスクする機能があります。

- ・ TAB1ATM2ビット
: TAB1AT2ビットに対応し、TAA4のINTTAA4CC0 (一致割り込み信号) を制御
 - ・ TAB1ATM2ビット = 0
: 16ビット・カウンタがアップ・カウント時 (TAB1OPT0.TAB1CUFビット = 0) はA/D変換開始トリガ信号を出力し、ダウン・カウント時 (TAB1CUFビット = 1) はA/D変換開始トリガ信号を出力しない。
 - ・ TAB1ATM2ビット = 1
: 16ビット・カウンタがダウン・カウント時 (TAB1CUFビット = 1) はA/D変換開始トリガ信号を出力し、アップ・カウント時 (TAB1CUFビット = 0) はA/D変換開始トリガ信号を出力しない。
- ・ TAB1ATM3ビット
: TAB1AT3ビットに対応し、TAA4のINTTAA4CC1 (一致割り込み信号) を制御
 - ・ TAB1ATM3ビット = 0
: 16ビット・カウンタがアップ・カウント時 (TAB1CUFビット = 0) はA/D変換開始トリガ信号を出力し、ダウン・カウント時 (TAB1CUFビット = 1) はA/D変換開始トリガ信号を出力しない。
 - ・ TAB1ATM3ビット = 1
: 16ビット・カウンタがダウン・カウント時 (TAB1CUFビット = 1) はA/D変換開始トリガ信号を出力し、アップ・カウント時 (TAB1CUFビット = 0) はA/D変換開始トリガ信号を出力しない。

TAB1ATM3, TAB1ATM2, TAB1AT3-TAB1AT0ビットは、タイマ動作中に書き換えることができます。タイマ動作中にA/D変換開始トリガ信号の設定ビットを書き換えると、即時にA/D変換開始トリガ信号の出力状態に反映されます。これらの制御ビットは、転送機能を持たず、随時書き換えモードのみ可能です。

- 注意1.** TAB1AT2, TAB1AT3ビットの設定におけるA/Dの変換開始トリガ信号出力は、TAA4がTAB1のスレーブ・タイマとして同調動作している場合にかぎり利用できます。TAB1, TAA4が同調動作を行っていない場合、および6相PWM出力モード以外で使用している場合は、出力を保証できません。
2. 16ビット・カウンタのアップ/ダウン・カウンタの状態判定には、TOAB10信号出力を内部で利用しています。したがって、TAB1IOC0.TAB1OL0ビット = 0, TAB1OE0ビット = 1と設定し、TOAB10端子出力を有効にしてください。

図11 - 38 A/D変換開始トリガ (TABTADT0) 信号出力例 (TAB1OPT1.TAB1ICEビット = 1, TAB1IOEビット = 1, TAB1ID4-TAB1ID0ビット = 00000 : 割り込み間引きなし)

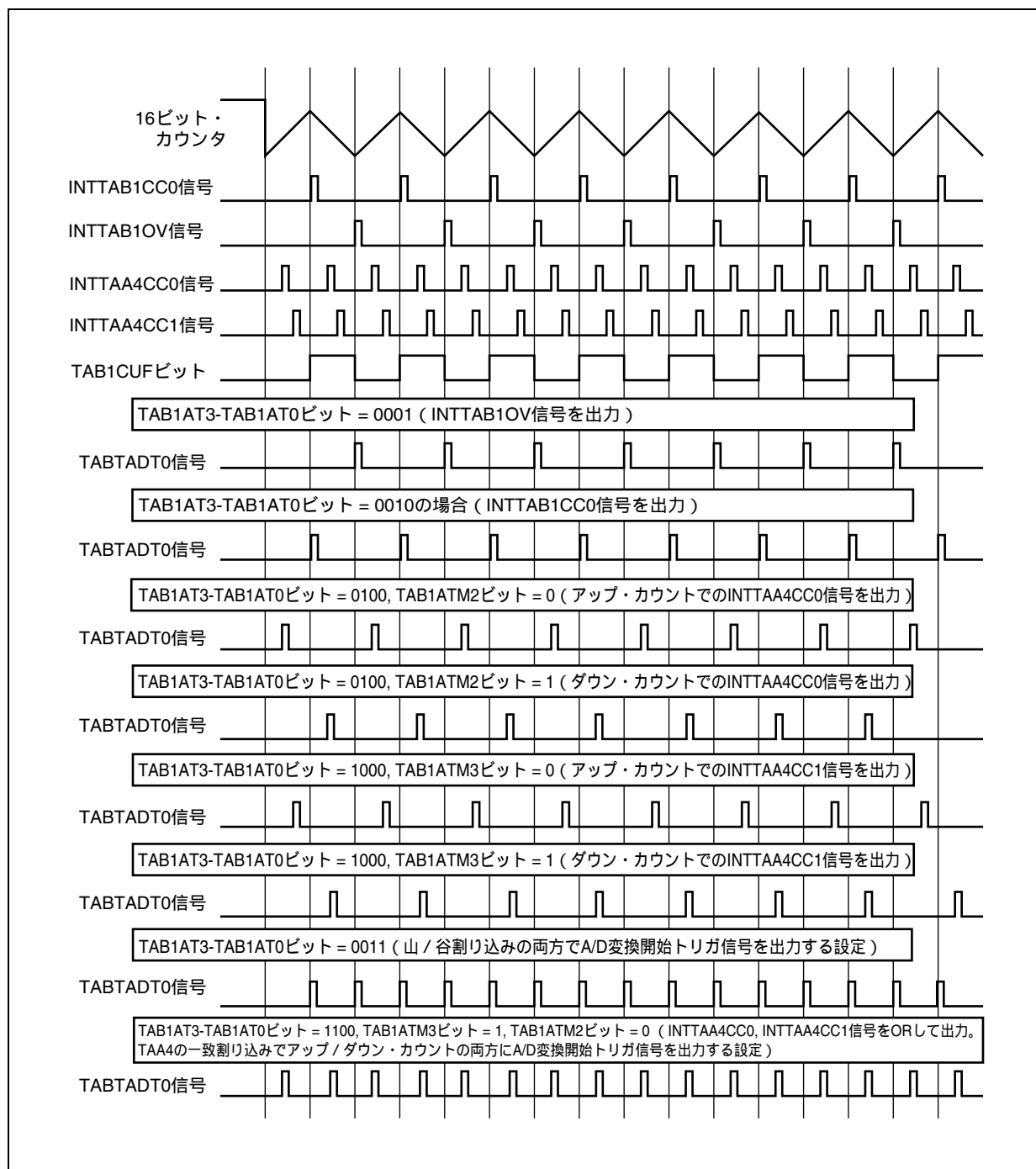


図11 - 39 A/D変換開始トリガ (TABTADT0) 信号出力例 (TAB1OPT1.TAB1ICEビット = 0,
TAB1IOEビット = 1, TAB1ID4-TAB1ID0ビット = 00010 : 割り込み間引きあり) (1)

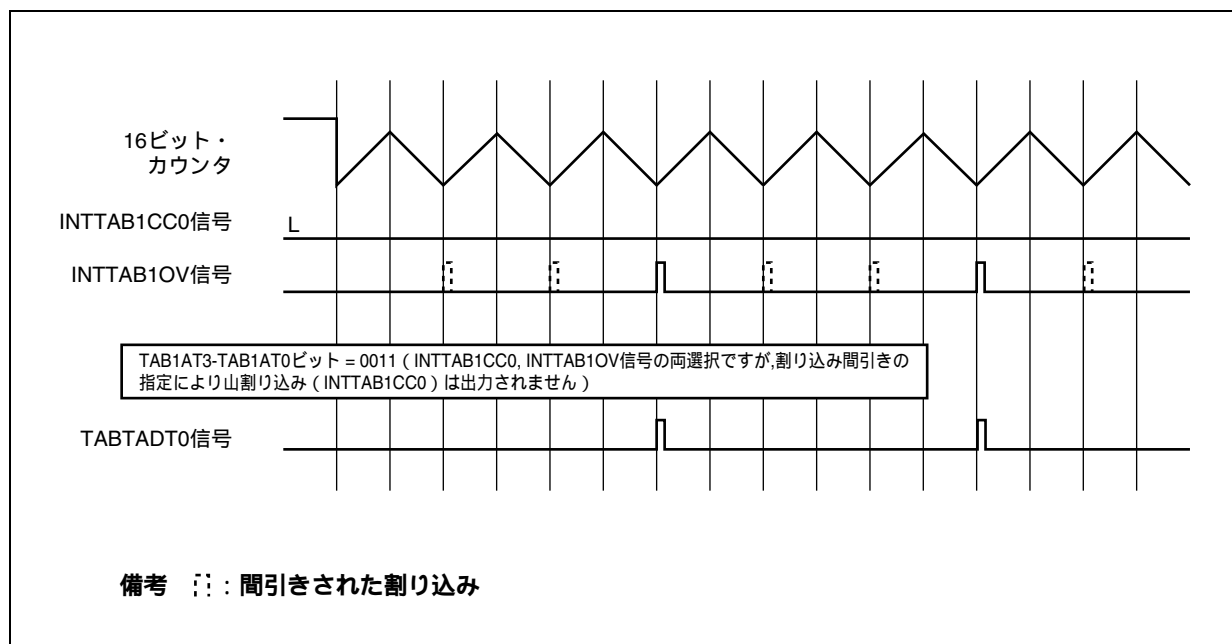
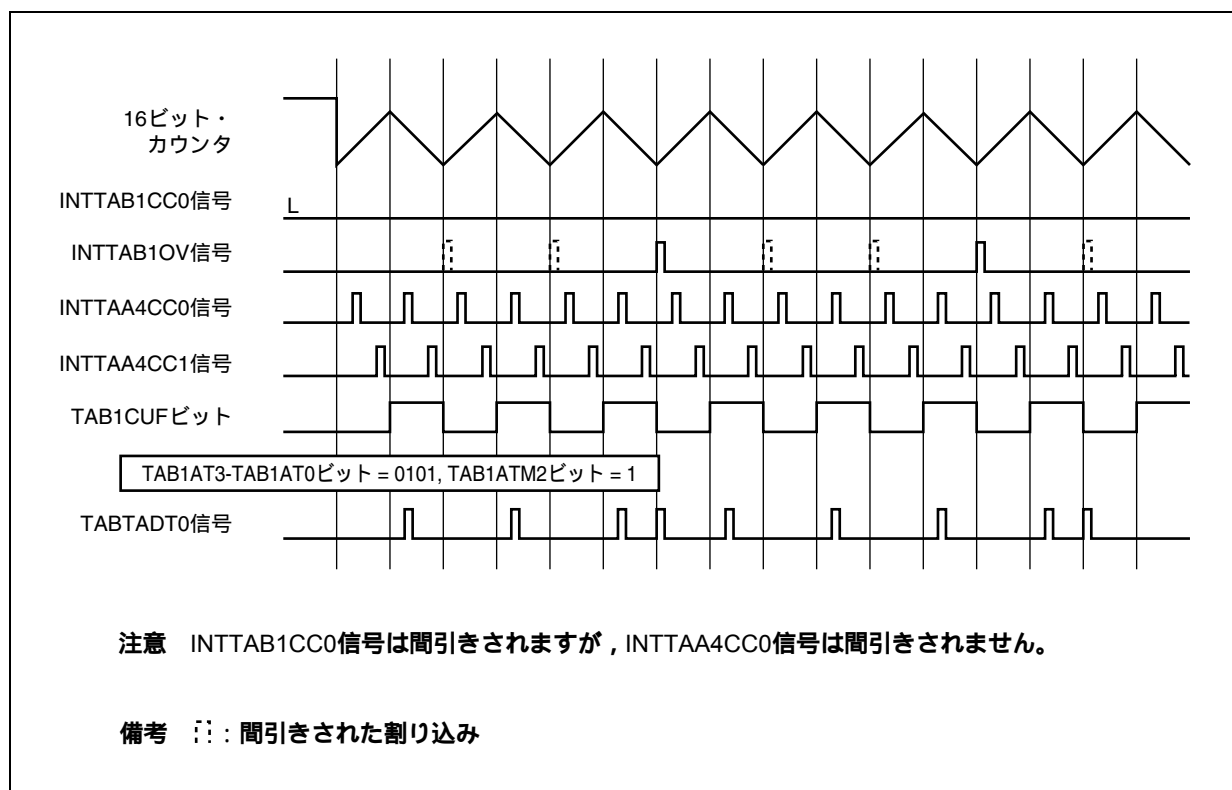


図11 - 40 A/D変換開始トリガ (TABTADT0) 信号出力例 (TAB1OPT1.TAB1ICEビット = 0,
TAB1IOEビット = 1, TAB1ID4-TAB1ID0ビット = 00010 : 割り込み間引きあり) (2)



(1) 境界条件での動作 (16ビット・カウンタとINTTAA4CC0信号の一致発生時の動作説明)

表11 - 3 TAB1CCR0レジスタ = M, TAB1AT2ビット = 1, TAB1ATM2ビット = 0 (アップ・カウント期間選択)の動作

TAA4CCR0レジスタの値	TAB1の16ビット・カウンタの値	TAA4の16ビット・カウンタの値	TAB1の16ビット・カウンタの状態	INTTAA4CC0信号によるTABTADT0信号の出力
0000H	0000H	0000H	-	出力する
0000H	M + 1	0000H	-	出力しない
0001H	0001H	0001H	アップ・カウント	出力する
0001H	M	0001H	ダウン・カウント	出力しない
M	M	M	アップ・カウント	出力する
M	0001H	M	ダウン・カウント	出力しない

表11 - 4 TAB1CCR0レジスタ = M, TAB1AT2ビット = 1, TAB1ATM2ビット = 1 (ダウン・カウント期間選択)の動作

TAA4CCR0レジスタの値	TAB1の16ビット・カウンタの値	TAA4の16ビット・カウンタの値	TAB1の16ビット・カウンタの状態	INTTAA4CC0信号によるTABTADT0信号の出力
0000H	0000H	0000H	-	出力しない
0000H	M + 1	0000H	-	出力する
0001H	0001H	0001H	アップ・カウント	出力しない
0001H	M	0001H	ダウン・カウント	出力する
M	M	M	アップ・カウント	出力しない
M	0001H	M	ダウン・カウント	出力する

注意 TAA4CCR_mレジスタは、TAB1CCR0レジスタ = Mのとき、“0”から“M”までの設定を許可します。

“M + 1”以上は設定禁止です。

“M + 1”以上の値を設定した場合は、TAA4の16ビット・カウンタは“M”でクリアされるため、TABTADT0信号は出力されません。

備考 m = 0, 1

第12章 リアルタイム・カウンタ

12.1 機能

リアルタイム・カウンタ（RTC）には、次のような機能があります。

- ・年，月，曜日，日，時，分，秒，サブカウンタを持ち，99年までをカウント可能
- ・年，月，曜日，日，時，分，秒カウンタはBCDコード^{注1}で表現
- ・アラーム割り込み機能
- ・定周期割り込み機能（周期1ヶ月～0.5秒）
- ・インターバル割り込み機能（周期1.95 ms～125 ms）
- ・1 Hzの端子出力機能
- ・32.768 kHzの端子出力機能
- ・512 Hzまたは16.384 kHzの端子出力機能
- ・時計誤差補正機能
- ・サブクロック動作 / メイン・クロック動作^{注2}選択可能

注1. BCDコード（Binary Coded Decimal）とは，10進数の各桁の値を4ビットの2進数で表現したものです。

2. リアルタイム・カウンタ専用ポー・レート・ジェネレータにて，メイン・クロックを32.768 kHzに分周して使用してください。

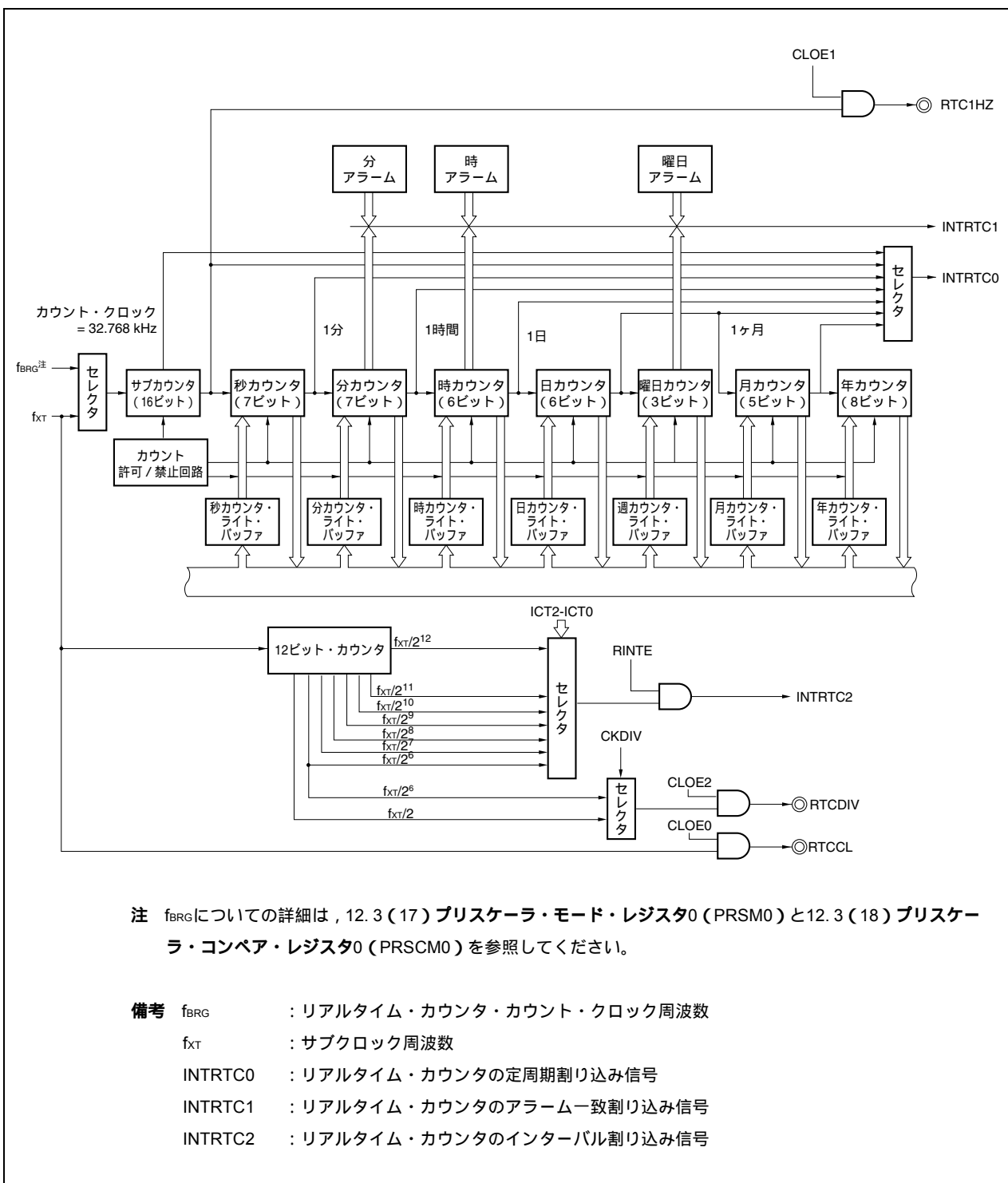
12.2 構 成

リアルタイム・カウンタは、次のハードウェアで構成されています。

表12 - 1 リアルタイム・カウンタの構成

項 目	構 成
制御レジスタ	リアルタイム・カウンタ・コントロール・レジスタ0 (RC1CC0)
	リアルタイム・カウンタ・コントロール・レジスタ1 (RC1CC1)
	リアルタイム・カウンタ・コントロール・レジスタ2 (RC1CC2)
	リアルタイム・カウンタ・コントロール・レジスタ3 (RC1CC3)
	サブカウント・レジスタ (RC1SUBC)
	秒カウント・レジスタ (RC1SEC)
	分カウント・レジスタ (RC1MIN)
	時カウント・レジスタ (RC1HOUR)
	日カウント・レジスタ (RC1DAY)
	曜日カウント・レジスタ (RC1WEEK)
	月カウント・レジスタ (RC1MONTH)
	年カウント・レジスタ (RC1YEAR)
	時計誤差補正レジスタ (RC1SUBU)
	アラーム分レジスタ (RC1ALM)
	アラーム時レジスタ (RC1ALH)
	アラーム曜日レジスタ (RC1ALW)
	プリスケアラ・モード・レジスタ0 (PRSM0)
	プリスケアラ・コンペア・レジスタ0 (PRSCM0)

図12-1 リアルタイム・カウンタのブロック図



12.2.1 端子の構成

リアルタイム・カウンタを構成するRTC出力は、表12-2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4-20 ポート端子を兼用端子として使用する場合参照）

表12-2 端子構成

ピン番号		ポート	RTC出力	その他の兼用機能
V850ES/JG3-U	V850ES/JH3-U			
30	42	P35	RTC1HZ	TIAA11/TOAA11/ \overline{OCI}
28	40	P33	RTCDIV	TIAA01/TOAA01/RTCCCL
28	40	P33	RTCCCL	TIAA01/TOAA01/RTCDIV

12.2.2 割り込み機能

RTCには3種類の割り込み信号があります。

(1) INTRTC0

0.5秒 / 1秒 / 1分 / 1時間 / 1日 / 1ヶ月に一度の定周期割り込み信号を発生します。

(2) INTRTC1

アラーム割り込み信号

(3) INTRTC2

$f_{XT}/2^6$ / $f_{XT}/2^7$ / $f_{XT}/2^8$ / $f_{XT}/2^9$ / $f_{XT}/2^{10}$ / $f_{XT}/2^{11}$ / $f_{XT}/2^{12}$ 周期のインターバル割り込み信号を発生します。

12.3 レジスタ

リアルタイム・カウンタは、次の16種類のレジスタで制御します。

(1) リアルタイム・カウンタ・コントロール・レジスタ0 (RC1CC0)

リアルタイム・カウンタの入カクロックを選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFADDH

	7	6	5	4	3	2	1	0
RC1CC0	RC1PWR	RC1CKS	0	0	0	0	0	0

RC1PWR	リアルタイム・カウンタの動作の制御
0	リアルタイム・カウンタ動作停止
1	リアルタイム・カウンタ動作許可

RC1CKS	動作クロックの選択
0	f _{XT} を動作クロックとして選択
1	f _{BRG} を動作クロックとして選択

- 注意1.** 動作中のリアルタイム・カウンタを停止 (RC1PWR = 1→0) させる場合は、
12.4.8 リアルタイム・カウンタの初期化にそって行ってください。
2. RC1CKSビットの書き換えは、リアルタイム・カウンタ動作停止時
(RC1PWRビット = 0) のみ可能です。また、RC1PWRビットを“0”から
“1”にするのと同時にRC1CKSビットを書き換えることは禁止です。

(2) リアルタイム・カウンタ・コントロール・レジスタ1 (RC1CC1)

リアルタイム・カウンタ動作の開始/停止、RTCCL端子/RTC1HZ端子の制御、12/24時間制、定周期割り込み機能を設定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFFADEH

	7	6	5	4	3	2	1	0
RC1CC1	RTCE	0	CLOE1	CLOE0	AMPM	CT2	CT1	CT0

RTCE	各カウンタの動作の制御
0	カウンタ動作停止
1	カウンタ動作許可

CLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力 (1 Hz) 禁止
1	RTC1HZ端子の出力 (1 Hz) 許可

CLOE0	RTCCL端子の出力制御
0	RTCCL端子の出力 (32.768 kHz) 禁止
1	RTCCL端子の出力 (32.768 kHz) 許可

AMPM	12時間制 / 24時間制の選択
0	12時間制表示 (午前 / 午後を表示)
1	24時間制表示

CT2	CT1	CT0	定周期割り込み (INTRTC0) の選択
0	0	0	定周期割り込みを使用しない
0	0	1	0.5秒に1度 (秒カウント・アップに同期)
0	1	0	1秒に1度 (秒カウント・アップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	x	1月に1度 (毎月1日午前00時00分00秒)

- 注意1. RTCEビット = 1の状態ではRTCEビットに“0”を書き込むことは禁止です。12.4.8 リアルタイム・カウンタの初期化にそってRC1PWRビットをクリアすることでRTCEビットをクリアしてください。
- CLOE1ビットの設定変更時、RTC1HZ出力は次のように動作します。
 - ・0 1に変更した場合：最大2クロック後 (2 x 32.768 kHz) に、RTC1HZ出力は1 Hzのパルスを出力
 - ・1 0に変更した場合：最大2クロック後 (2 x 32.768 kHz) に、RTC1HZ出力は出力停止 (ロウ・レベル固定)。
 - AMPMビットの設定 / 変更は、12.4.1 初期設定、12.4.2 リアルタイム・カウンタ動作中の各カウンタの書き換えを参照してください。また、AMPMビットを書き換えた場合は、RC1HOURレジスタを再設定してください。
 - リアルタイム・カウンタ動作中 (RC1PWRビット = 1) にCT2-CT0ビットを書き換える場合は、12.4.4 リアルタイム・カウンタ動作中のINTRTC0割り込み設定の変更を参照してください。

(3) リアルタイム・カウンタ・コントロール・レジスタ2 (RC1CC2)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより，00Hになります。

リセット時：00H R/W アドレス：FFFFADFH

	7	6	5	4	3	2	1	0
RC1CC2	WALE	0	0	0	0	0	RWST	RWAIT

WALE	アラーム割り込み (INTRTC1) の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

RWST	リアルタイム・カウンタのウェイト状態
0	カウンタ動作中
1	秒～年カウンタのカウンタ・アップ停止状態 (カウンタ値の読み出し，書き込み許可状態)

RWAITビットの設定が有効であることを示すステータス・フラグです。
カウンタ値の読み出し，書き込みは，RWSTビットが1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・カウンタのウェイト制御
0	カウンタ動作設定
1	秒～年カウンタのカウンタ動作停止 (カウンタ値の読み出し，書き込みモード)

カウンタの動作を制御します。
カウンタ値の読み出し，書き込みを行う際には必ず“1”を書き込んでください。
RWAITビットが“1”のときにRC1SUBCレジスタのオーバーフローが起きた場合は，オーバーフロー情報を内部で保持して，RWAITビットに“0”を書き込んだあと，最大2クロック後にRC1SECレジスタをカウンタ・アップします。
ただし，RWAITビット=1中に秒カウンタの値を書き換えた場合，保持していたオーバーフロー情報は破棄されます。

- 注意1. WALEビットをリアルタイム・カウンタ動作中 (RC1PWRビット = 1) に書き換える場合は，12. 4. 5 リアルタイム・カウンタ動作中のINTRTC1割り込み設定の変更を参照してください。
2. 各カウンタ値の読み出し/書き込みを行う場合は，RWSTビットが1になっていることを確認してください。
3. RWAITビットを“0”に設定しても，各カウンタ書き込み中は，RWSTビットは“0”になりません。各カウンタ書き込み完了後に“0”になります。

(4) リアルタイム・カウンタ・コントロール・レジスタ3 (RC1CC3)

インターバル割り込み機能，RTCDIV端子を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより，00Hになります。

リセット時：00H R/W アドレス：FFFFFFAE0H

	7	6	5	4	3	2	1	0
RC1CC3	RINTE	CLOE2	CKDIV	0	0	ICT2	ICT1	ICT0

RINTE	インターバル割り込み (INTRTC2) の制御
0	インターバル割り込みを発生しない
1	インターバル割り込みを発生する

CLOE2	RTCDIV端子の出力制御
0	RTCDIV端子の出力禁止
1	RTCDIV端子の出力許可

CKDIV	RTCCL端子の出力制御
0	RTCDIV端子から512 Hz (1.95 ms) を出力
1	RTCDIV端子から16.384 kHz (0.061 ms) を出力

ICT2	ICT1	ICT0	インターバル割り込み (INTRTC2) の選択
0	0	0	$2^6/f_{XT}$ (1.953125 ms)
0	0	1	$2^7/f_{XT}$ (3.90625 ms)
0	1	0	$2^8/f_{XT}$ (7.8125 ms)
0	1	1	$2^9/f_{XT}$ (15.625 ms)
1	0	0	$2^{10}/f_{XT}$ (31.25 ms)
1	0	1	$2^{11}/f_{XT}$ (62.5 ms)
1	1	x	$2^{12}/f_{XT}$ (125 ms)

注意1. RINTEビットをリアルタイム・カウンタ動作中 (RC1PWRビット = 1) に書き換える場合は，12. 4.

7 リアルタイム・カウンタ動作中のINTRTC2割り込み設定の変更を参照してください。

2. CLOE2ビットの設定変更時，RTCDIV出力は次のように動作します。

- ・ 0 1に変更した場合：最大2クロック後 (2 x 32.768 kHz) に，CKDIVビットで設定したパルスを出力
- ・ 1 0に変更した場合：最大2クロック後 (2 x 32.768 kHz) に，RTCDIV出力は出力停止 (ロウ・レベル固定)。

3. リアルタイム・カウンタ動作中 (RC1PWRビット = 1) にICT2-ICT0ビットを書き換える場合は，12.

4. 7 リアルタイム・カウンタ動作中のINTRTC2割り込み設定の変更を参照してください。

(5) サブカウント・レジスタ (RC1SUBC)

リアルタイム・カウンタの1秒の基準時間をカウントする16ビットのレジスタです。

0000H-7FFFHまでの値をとり、32.768 kHzのクロックで1秒をカウントします。

16ビット単位でリード可能のみです。

リセットにより、0000Hになります。

- 注意1.** RC1SUBUレジスタにより補正を行う場合は、8000H以上の値になる場合があります。
- 2.** RC1SUBCレジスタは、秒カウント・レジスタへのライトによってもクリアされます。
- 3.** RC1SUBCレジスタの読み出し値は、動作中に読み出しを行った場合、変化中の値を読み出すため、値は保証されません。

リセット時：0000H R アドレス： FFFFFAD0H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RC1SUBC																

(6) 秒カウント・レジスタ (RC1SEC)

0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。

サブカウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ、最大2クロック (2×32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

注意 RC1SECレジスタに00-59以外の値を設定することは禁止です。

備考 RC1SECレジスタのリード/ライトは、必ず12.4.1 初期設定、12.4.2 リアルタイム・カウンタ動作中の各カウンタの書き換え、12.4.3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。

リセット時：00H R/W アドレス： FFFFFAD2H

	7	6	5	4	3	2	1	0
RC1SEC	0							

(7) 分カウント・レジスタ (RC1MIN)

0-59 (10進) までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

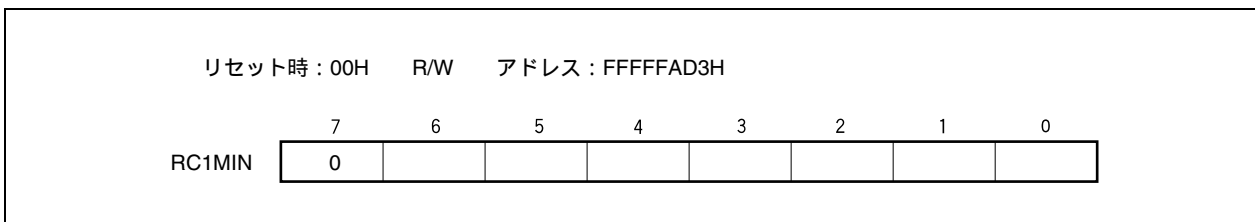
書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後に、カウンタへ書き込まれます。また設定する値は、10進の00-59をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

注意 RC1MINレジスタに00-59以外の値を設定することは禁止です。

備考 RC1MINレジスタのリード/ライトは、必ず12. 4. 1 初期設定, 12. 4. 2 リアルタイム・カウンタ動作中の各カウンタの書き換え, 12. 4. 3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。

**(8) 時カウント・レジスタ (RC1HOUR)**

0-23または1-12 (10進) までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込みされます。また設定する値は、10進の00-23または01-12, 21-32をBCDコードで設定してください。

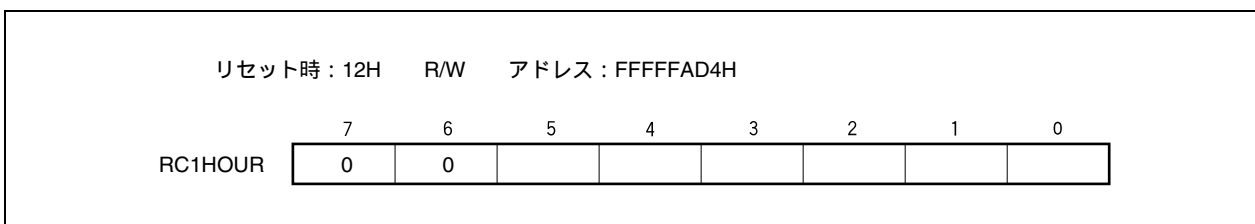
8ビット単位でリード/ライト可能です。

リセットにより、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

- 注意1.** RC1HOURレジスタのビット5は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。
- 2.** RC1HOURレジスタに01-12, 21-32 (AMPMビット = 0), または00-23 (AMPMビット = 1) 以外の値を設定することは禁止です。

備考 RC1HOURレジスタのリード/ライトは、必ず12. 4. 1 初期設定, 12. 4. 2 リアルタイム・カウンタ動作中の各カウンタの書き換え, 12. 4. 3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。



AMPMビットの設定値とRC1HOURレジスタの値と時間の関係を表12 - 3に示します。

表12 - 3 時間桁表示表

12時間表示 (AMPMビット = 0)		24時間表示 (AMPMビット = 1)	
時間	RC1HOURレジスタの値	時間	RC1HOURレジスタの値
AM0時	12 H	0時	00H
AM1時	01 H	1時	01 H
AM2時	02 H	2時	02 H
AM3時	03 H	3時	03 H
AM4時	04 H	4時	04 H
AM5時	05 H	5時	05 H
AM6時	06 H	6時	06 H
AM7時	07 H	7時	07 H
AM8時	08 H	8時	08 H
AM9時	09 H	9時	09 H
AM10時	10 H	10時	10 H
AM11時	11 H	11時	11 H
PM0時	32 H	12時	12 H
PM1時	21 H	13時	13 H
PM2時	22 H	14時	14 H
PM3時	23 H	15時	15 H
PM4時	24 H	16時	16 H
PM5時	25 H	17時	17 H
PM6時	26 H	18時	18 H
PM7時	27 H	19時	19 H
PM8時	28 H	20時	20 H
PM9時	29 H	21時	21 H
PM10時	30 H	22時	22 H
PM11時	31 H	23時	23 H

RC1HOURレジスタの値は、AMPMビットが“0”のとき12時間表示で、“1”のとき24時間表示となります。

12時間表示の場合は、RCHOURの5ビット目が午前/午後を表示し、午前 (AM) のときに0に、午後 (PM) のときに1となります。

(9) 日カウント・レジスタ (RC1DAY)

1-31 (10進) までの値を取り, 日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは, 次に示すようにカウントします。

- ・ 01-31 (1, 3, 5, 7, 8, 10, 12月)
- ・ 01-30 (4, 6, 9, 11月)
- ・ 01-29 (2月 うるう年)
- ・ 01-28 (2月 通常年)

書き込みを行った場合は, バッファに書き込まれ最大2クロック (2×32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の01-31をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより, 01Hになります。

注意 RC1DAYレジスタに01-31以外の値を設定することは禁止です。また上記カウント範囲外 “2月30日を設定するなど” も禁止です。

備考 RC1DAYレジスタのリード/ライトは, 必ず12. 4. 1 初期設定, 12. 4. 2 リアルタイム・カウンタ動作中の各カウンタの書き換え, 12. 4. 3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。

リセット時 : 01H R/W アドレス : FFFFFAD6H

	7	6	5	4	3	2	1	0
RC1DAY	0	0						

(10) 曜日カウント・レジスタ (RC1WEEK)

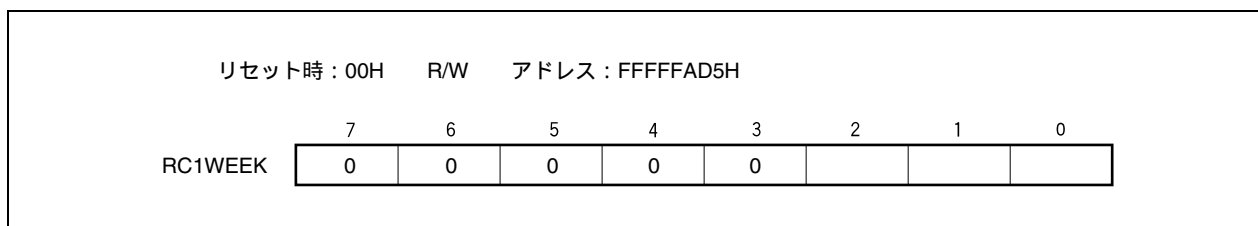
0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大の2クロック (2×32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。範囲外の値を設定した場合は1周期後に正常値に戻ります。

8ビット単位でリード/ライト可能です。

リセットにより、00Hになります。



- 注意1.** RC1WEEKレジスタに00-06以外の値を設定することは禁止です。
- 2.** 曜日カウント・レジスタには、月カウント・レジスタおよび日カウント・レジスタに対応した値が自動的に格納されるわけではありません。
リセット解除後、必ず次のように設定してください。

曜日	RC1WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

備考 RC1WEEKレジスタのリード/ライトは、必ず12.4.1 初期設定, 12.4.2 リアルタイム・カウンタ動作中の各カウンタの書き換え, 12.4.3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。

(11) 月カウント・レジスタ (RC1MONTH)

RC1MONTHレジスタは1-12 (10進) までの値を取り, 月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

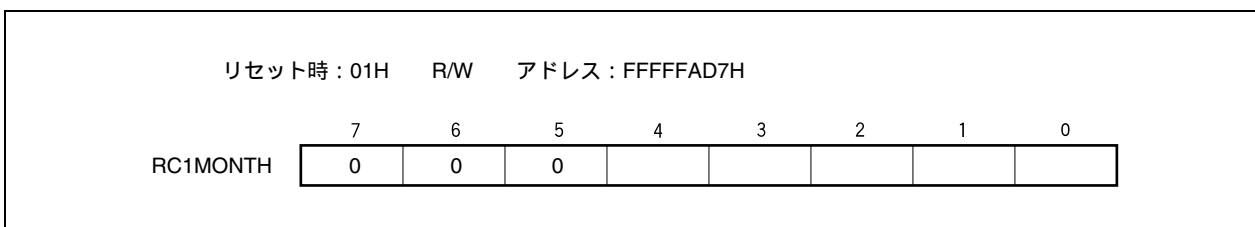
書き込みを行った場合は, バッファに書き込まれ最大2クロック (2×32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の01-12をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより, 01Hになります。

注意 RC1MONTHレジスタに01-12以外の値を設定することは禁止です。

備考 RC1MONTHレジスタのリード/ライトは, 必ず12.4.1 初期設定, 12.4.2 リアルタイム・カウンタ動作中の各カウンタの書き換え, 12.4.3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。

**(12) 年カウント・レジスタ (RC1YEAR)**

0-99 (10進) までの値を取り, 年のカウント値を示す8ビットのレジスタです。

月カウンタからのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

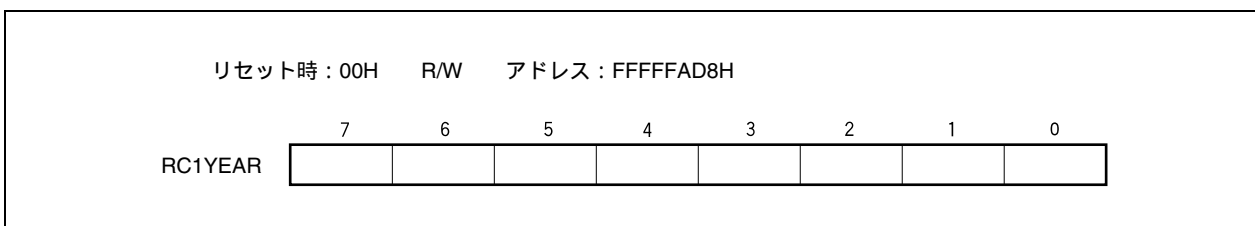
書き込みを行った場合は, バッファに書き込まれ最大2クロック (2×32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の00-99をBCDコードで設定してください。

8ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

注意 RC1YEARレジスタに00-99以外の値を設定することは禁止です。

備考 RC1YEARレジスタのリード/ライトは, 必ず12.4.1 初期設定, 12.4.2 リアルタイム・カウンタ動作中の各カウンタの書き換え, 12.4.3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。



(13) 時計誤差補正レジスタ (RC1SUBU)

サブカウント・レジスタ (RSUBC) から秒カウンタ・レジスタへオーバーフローする値 (基準値: 7FFFH) を変化させることにより, 時計の進みや遅れをより高精度に補正することができるレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

- 備考1.** RC1SUBUレジスタの書き換えはリアルタイム・カウンタの初期設定時のみ可能です。必ず12.4.1 **初期設定**を参照してください。
2. 時計誤差補正については, 12.4.9 **リアルタイム・カウンタの時計誤差補正例**を参照してください。

リセット時: 00H R/W アドレス: FFFFFAD9H

	7	6	5	4	3	2	1	0
RC1SUBU	DEV	F6	F5	F4	F3	F2	F1	F0
DEV	時計誤差補正のタイミングの設定							
0	RC1SEC (秒カウンタ) が00, 20, 40秒のとき (20秒ごと) に時計誤差補正							
1	RC1SEC (秒カウンタ) が00秒のとき (60秒ごと) に時計誤差補正							
F6	時計誤差補正值の設定							
0	F5-F0ビットで設定した値分, RC1SUBCのカウンタ値を増加 (+ 補正) 増加値計算式: $(F5-F0\text{ビットの設定値} - 1) \times 2$							
1	F5-F0ビットで設定した値分, RC1SUBCのカウンタ値を減少 (- 補正) 減少値計算式: $(F5-F0\text{ビットの設定値の反転値データ} + 1) \times 2$							
F6-F0ビットの値が { 1/0, 0, 0, 0, 0, 0, 1/0 } のときは, 時計誤差補正は行いません。								

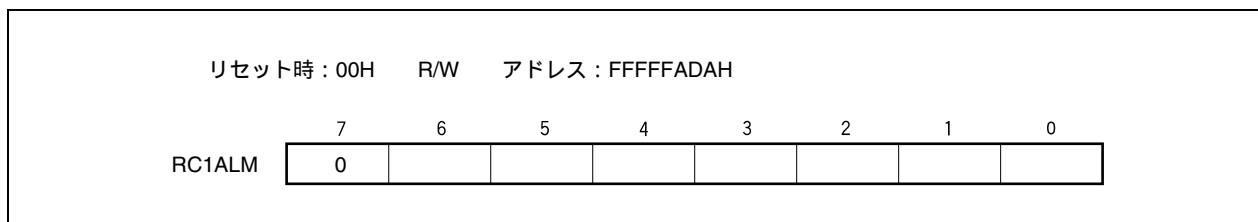
(14) アラーム分設定レジスタ (RC1ALM)

アラームの分を設定する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

注意 設定する値は, 10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合, アラームは検出されません。

**(15) アラーム時設定レジスタ (RC1ALH)**

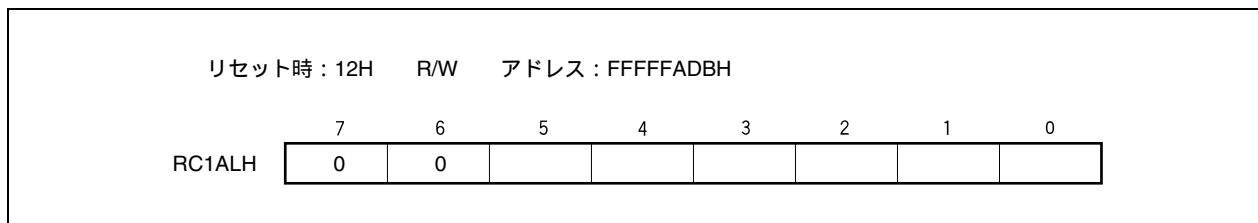
アラームの時を設定する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより, 12Hになります。

注意1. 設定する値は, 10進の00-23または, 01-12, 21-32をBCDコードで設定してください。範囲外の値を設定した場合, アラームは検出されません。

2. RC1ALHレジスタのビット5は, AMPMビット = 0 (12時間制) を選択した場合, AM (0) / PM (1) を示します。



(16) アラーム曜日設定レジスタ (RC1ALW)

アラームの曜日を設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

注意 リアルタイム・カウンタ動作中 (RC1PWRビット = 1) にRC1ALWレジスタを書き換える場合は、12.4.5 リアルタイム・カウンタ動作中のINTRTC1割り込み設定の変更を参照してください。

リセット時 : 00H R/W アドレス : FFFFFADCH

	7	6	5	4	3	2	1	0
RC1ALW	0	RC1ALW6	RC1ALW5	RC1ALW4	RC1ALW3	RC1ALW2	RC1ALW1	RC1ALW0

RC1ALWn	アラーム割り込み曜日設定ビット (n = 0-6)
0	RC1WEEK = nHのときに、アラーム割り込みを発生しない
1	RC1WEEK = nHのときに、RC1ALM, RC1ALHレジスタで設定した時間になるとアラーム割り込みを発生する

備考 曜日とRC1WEEKレジスタの対応表を次に示します。

曜日	RC1WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

(a) アラーム割り込み設定例 (RC1ALM, RC1ALH, RC1ALW設定例)

日曜日をRC1WEEK = 00 , 月曜日をRC1WEEK = 01 , 火曜日をRC1WEEK = 02 , ... , 土曜日をRC1WEEK = 06とした場合の設定例を表12 - 4, 表12 - 5に示します。

表12 - 4 AMPM=0 (RC1HOURレジスタ12時間表示)の時のアラーム設定例

アラーム設定時間	レジスタ	RC1ALW	RC1ALH	RC1ALM
日曜日, AM 7時00分		01H	07H	00H
日曜日 / 月曜日, PM 12時15分		03H	32H	15H
月曜日 / 火曜日 / 金曜日, PM 5時30分		26H	25H	30H
毎日, PM 10時45分		7FH	30H	45H

表12 - 5 AMPM=1 (RC1HOURレジスタ24時間表示)の時のアラーム設定例

アラーム設定時間	レジスタ	RC1ALW	RC1ALH	RC1ALM
日曜日, 7時00分		01H	07H	00H
日曜日 / 月曜日, 12時15分		03H	12H	15H
月曜日 / 火曜日 / 金曜日, 17時30分		26H	17H	30H
毎日, 22時45分		7FH	22H	45H

(17) プリスケーラ・モード・レジスタ0 (PRSM0)

PRSM0レジスタは, リアルタイム・カウンタのカウンタ・クロック (f_{BRG}) の生成を制御します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFF8B0H

	7	6	5	④	3	2	1	0
PRSM0	0	0	0	BGCE0	0	0	BGCS01	BGCS00

BGCE0	メイン・クロックでの動作許可
0	禁止
1	許可

BGCS01	BGCS00	リアルタイム・カウンタ・ソース・クロック (f_{BGCS}) の選択	5 MHz	4 MHz
0	0	fx	200 ns	250 ns
0	1	fx/2	400 ns	500 ns
1	0	fx/4	800 ns	1 μ s
1	1	fx/8	1.6 μ s	2 μ s

- 注意1. リアルタイム・カウンタ動作中に, BGCS01, BGCS00ビットの値を変更しないでください。
2. PRSM0レジスタの設定はBGCE0ビットをセット(1)する前に行ってください。
3. f_{BRG} の周波数が32.768 kHzに近くなるよう, 使用するメイン・クロック周波数にあわせて, PRSM0, PRSCM0レジスタの設定を行ってください。

(18) プリスケアラ・コンペア・レジスタ 0 (PRSCM0)

8ビットのコンペア・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM0	PRSCM07	PRSCM06	PRSCM05	PRSCM04	PRSCM03	PRSCM02	PRSCM01	PRSCM00

注意1. リアルタイム・カウンタ動作中にPRSCM0レジスタを書き換えないでください。

2. PRSM0.BGCE0ビットをセット(1)する前にPRSCM0レジスタの設定を行ってください。

3. f_{BRG} の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。

f_{BRG} の計算式を次に示します。

$$f_{BRG} = f_{BGCS}/2N$$

備考 f_{BGCS} : PRSM0レジスタで設定した時計タイマ・ソース・クロック

N : PRSCM0レジスタの設定値 = 1-256

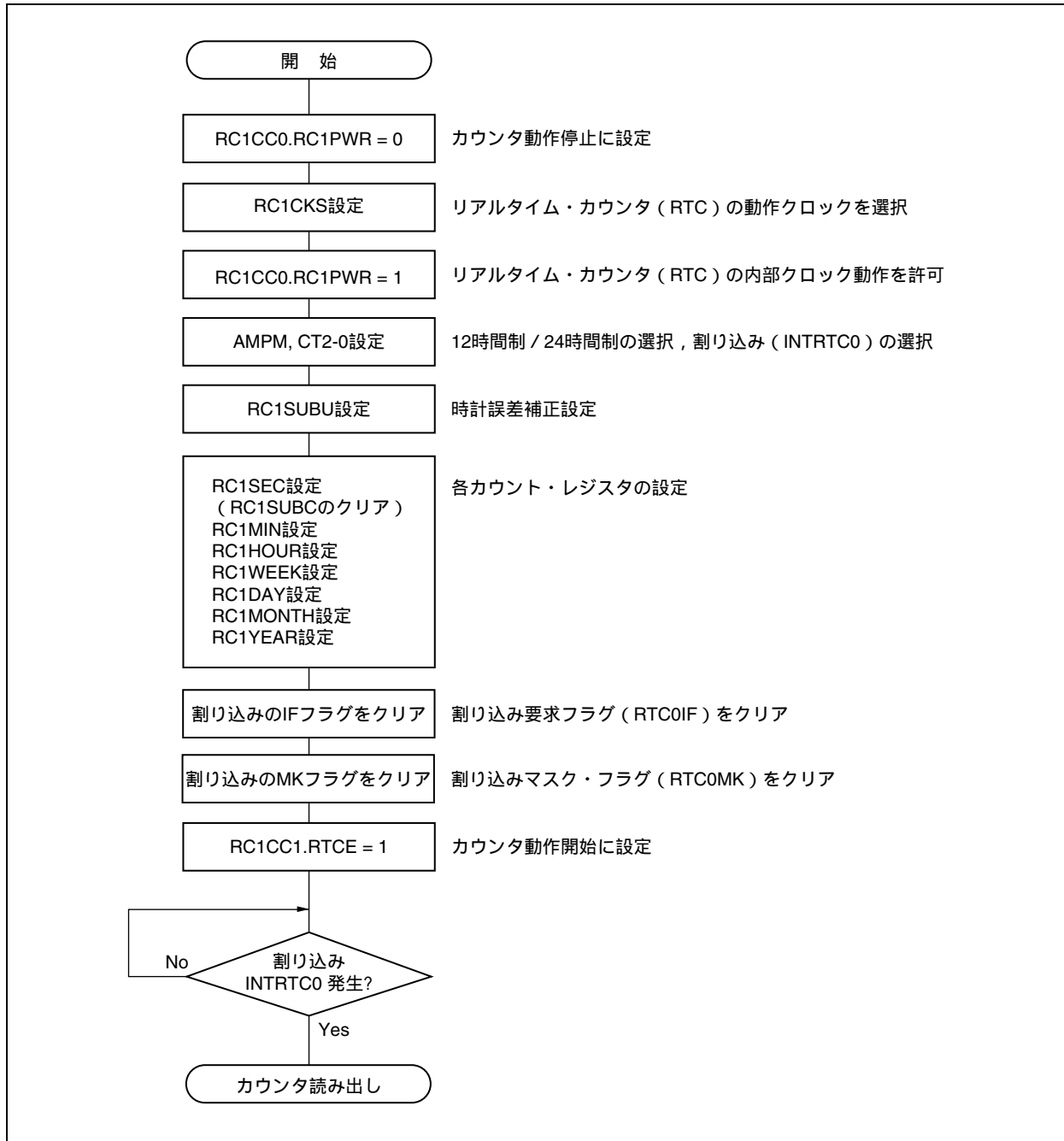
ただし、N = 256となるのは、PRSCM0レジスタに00Hを設定した場合です。

12.4 動作

12.4.1 初期設定

時計機能，定周期割り込み動作をする場合に設定します。

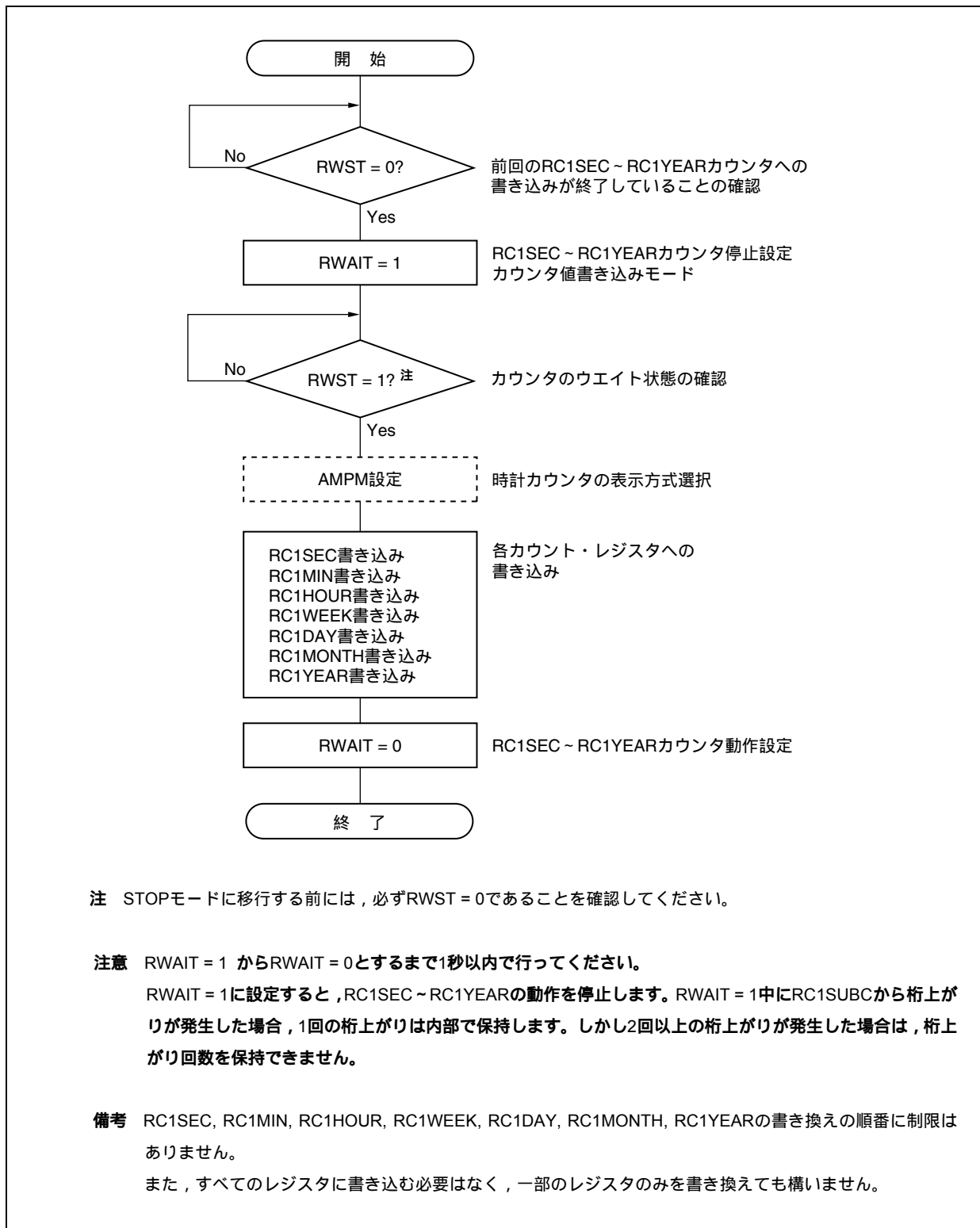
図12-2 初期設定手順



12.4.2 リアルタイム・カウンタ動作中の各カウンタの書き換え

リアルタイム・カウンタ動作中 (RC1PWR = 1, RTCE = 1) に各カウンタ (RC1SEC, RC1MIN, RC1HOUR, RC1WEEK, RC1DAY, RC1MONTH, RC1YEAR) を書き換える場合は次のように設定してください。

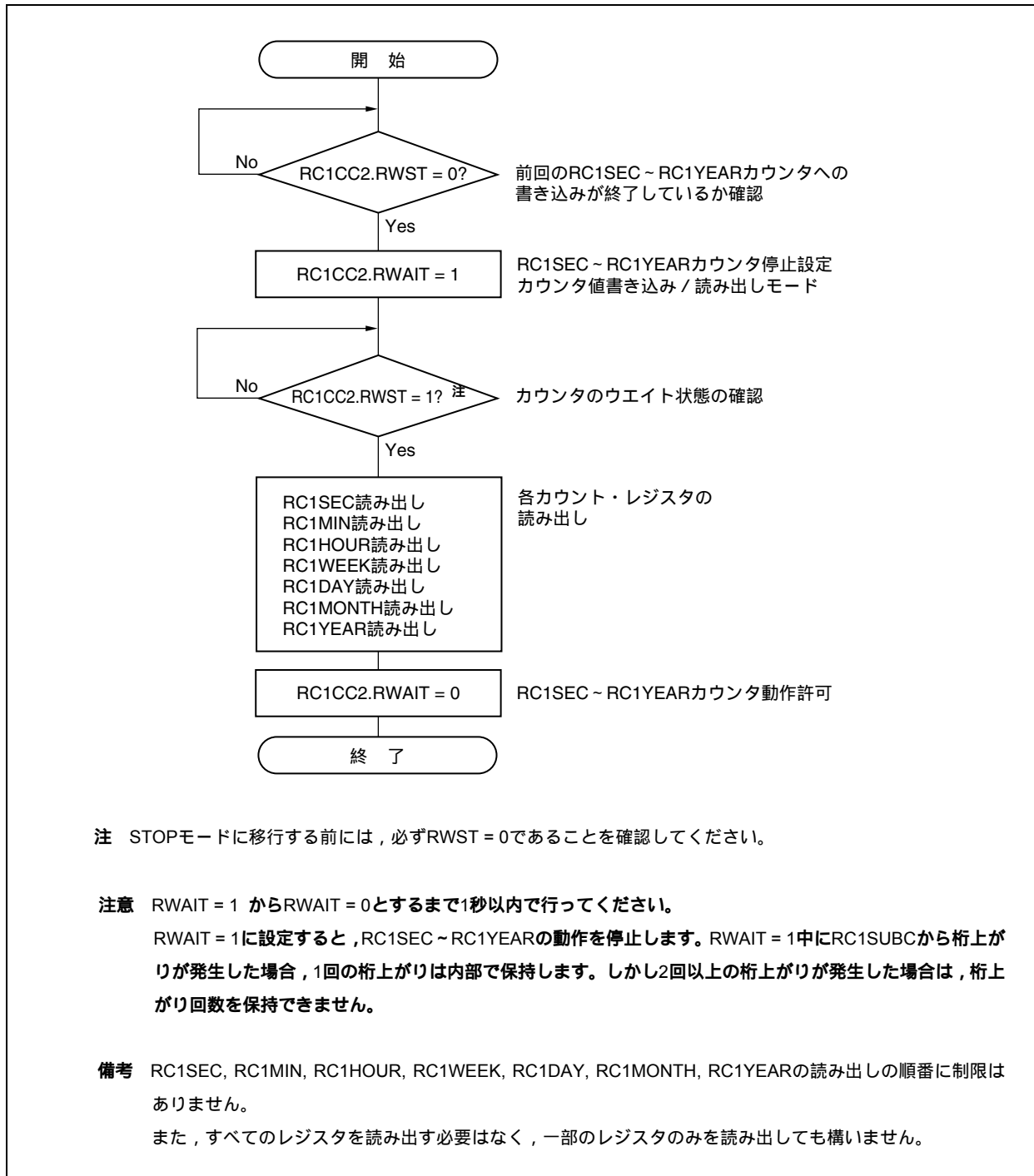
図12-3 リアルタイム・カウンタ動作中の各カウンタの書き換え



12.4.3 リアルタイム・カウンタ動作中の各カウンタの読み出し

リアルタイム・カウンタ動作中 (RC1PWR = 1) に各カウンタ (RC1SEC, RC1MIN, RC1HOUR, RC1WEEK, RC1DAY, RC1MONTH, RC1YEAR) を読み出す場合は次のように設定してください。

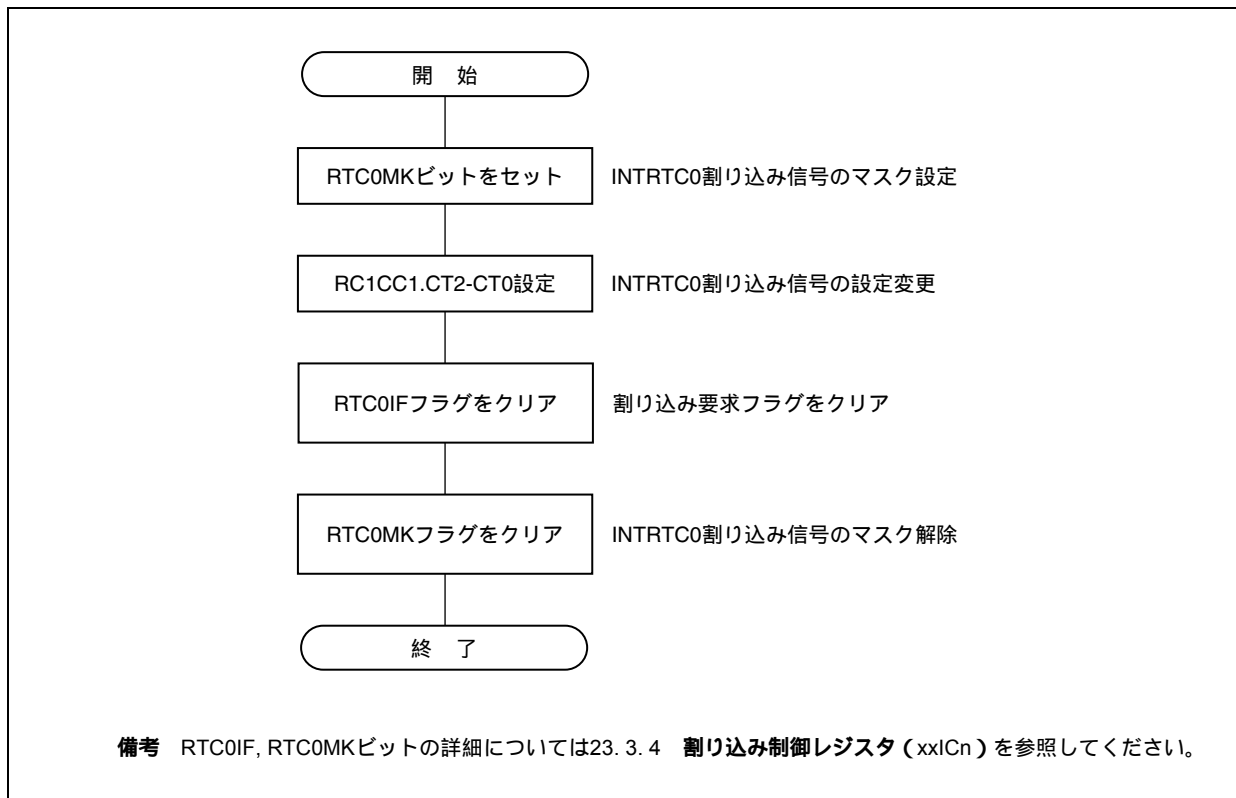
図12-4 リアルタイム・カウンタ動作中の各カウンタの読み出し



12.4.4 リアルタイム・カウンタ動作中のINTRTC0割り込み設定の変更

リアルタイム・カウンタのクロック動作中 (RC1PWR = 1) のときに, INTRTC0割り込み (定周期割り込み) 信号の設定を変更すると, INTRTC0割り込みの波形にヒゲが混じり, 意図しない信号が出力される可能性があります。ヒゲをマスクするため, リアルタイム・カウンタ動作中 (RC1PWR = 1, RTCE = 1) に, INTRTC0割り込み信号の設定を変更する場合は次のように設定してください。

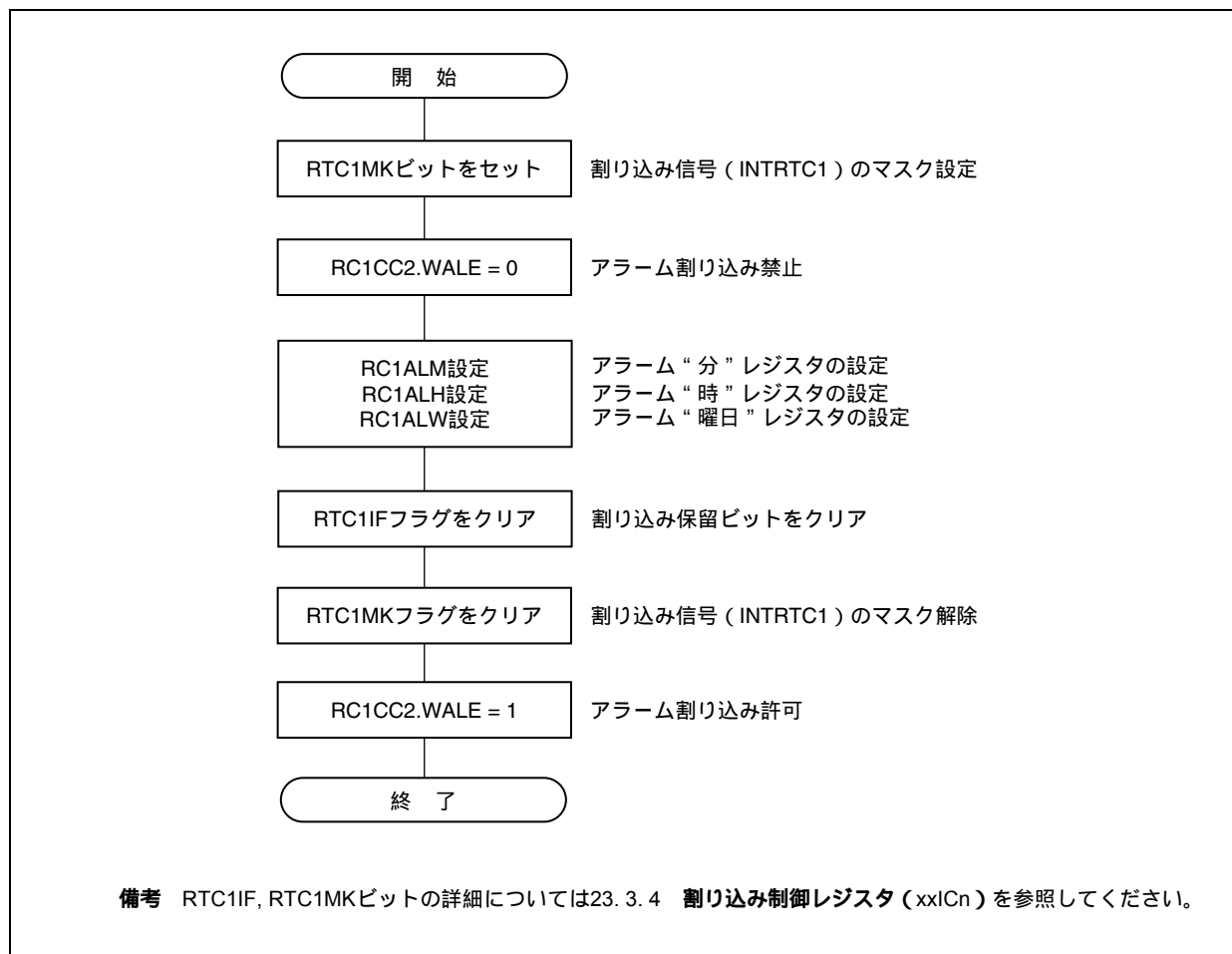
図12 - 5 リアルタイム・カウンタ動作中のINTRTC0割り込み設定の変更



12.4.5 リアルタイム・カウンタ動作中のINTRTC1割り込み設定の変更

リアルタイム・カウンタのクロック動作中 (RC1PWR = 1) のときに、INTRTC1割り込み (アラーム割り込み) の設定を変更すると、INTRTC1割り込みの波形にヒゲが混じり、意図しない信号が出力される可能性があります。ヒゲをマスクするため、リアルタイム・カウンタ動作中 (RC1PWR = 1, RTCE = 1) に、INTRTC1割り込み信号の設定を変更する場合は次のように設定してください。

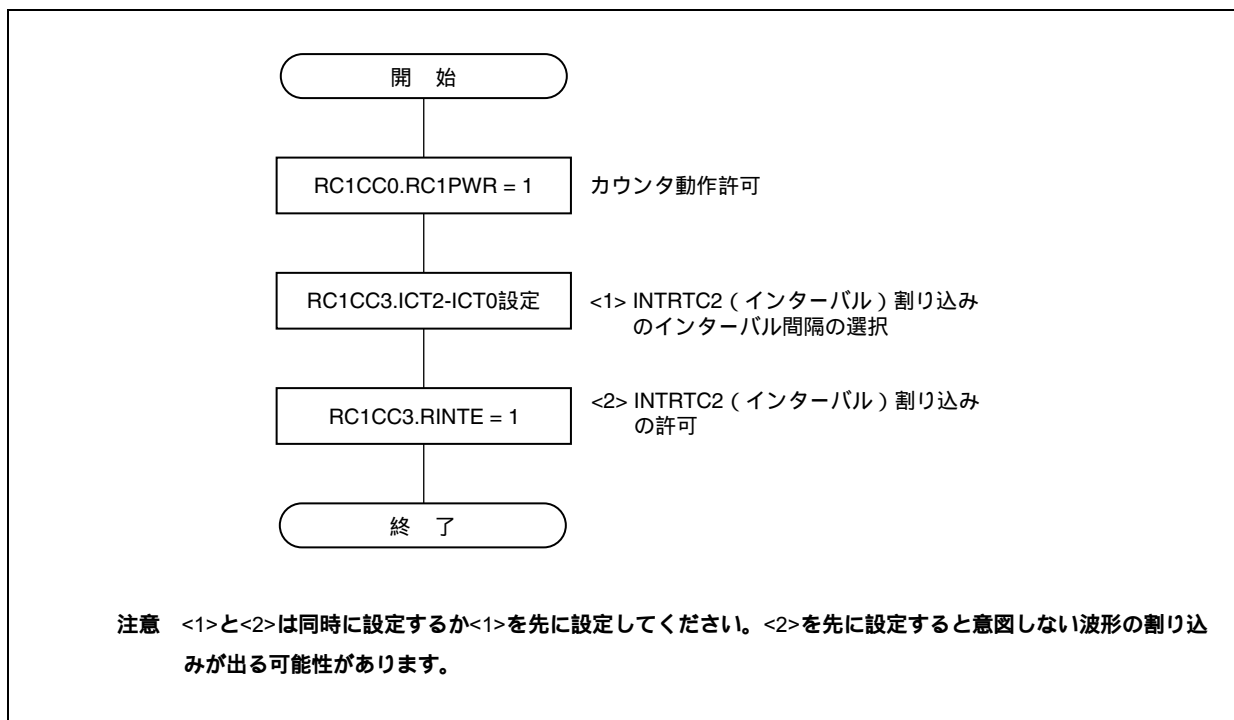
図12-6 リアルタイム・カウンタ動作中のINTRTC1割り込み設定の変更



12.4.6 INTRTC2割り込みの初期設定

INTRTC1割り込み（インターバル割り込み）の設定をする場合は次のように設定してください。

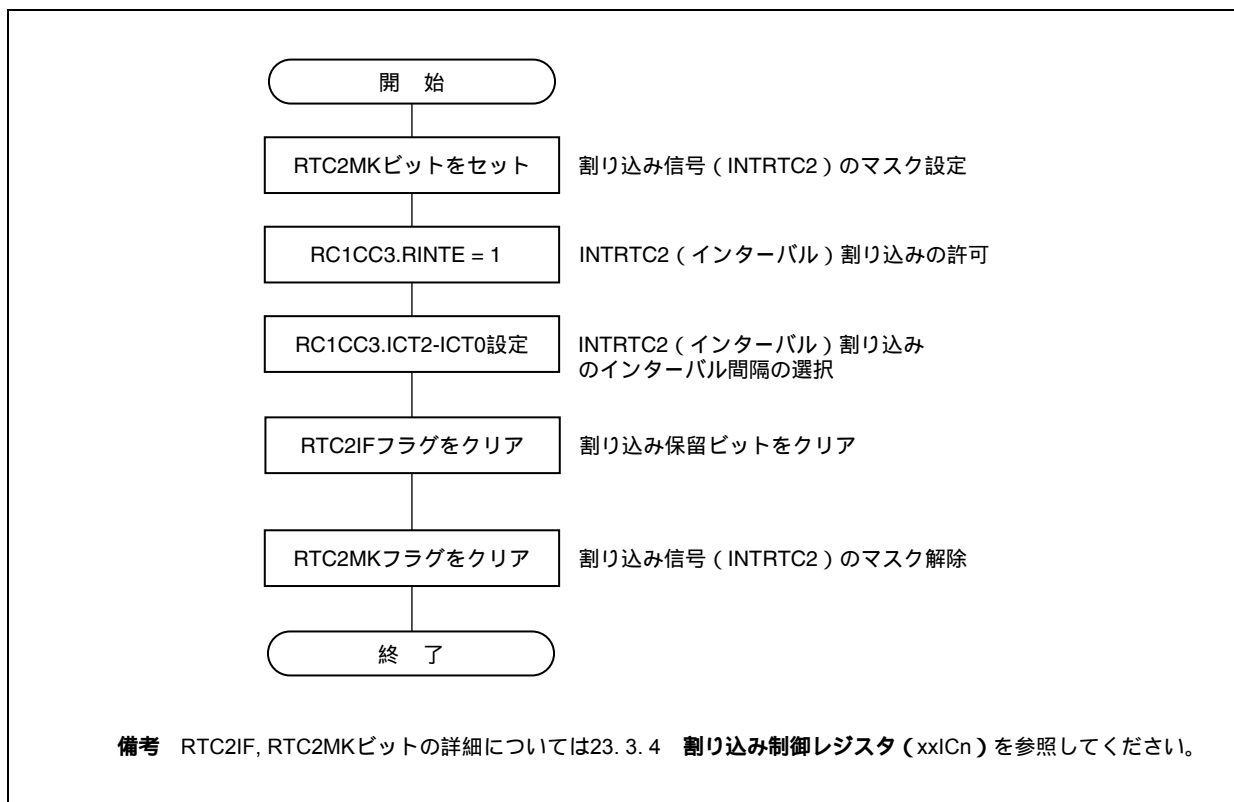
図12 - 7 INTRTC2割り込み設定



12.4.7 リアルタイム・カウンタ動作中のINTRTC2割り込み設定の変更

リアルタイム・カウンタのクロック動作中 ($RC1PWR = 1$) のときに、INTRTC2割り込み (インターバル割り込み) の設定を変更すると、INTRTC2割り込みの波形にヒゲが混じり、意図しない信号が出力される可能性があります。ヒゲをマスクするため、リアルタイム・カウンタ動作中 ($RC1PWR = 1, RTCE = 1$) に、INTRTC2割り込み信号の設定を変更する場合は次のように設定してください。

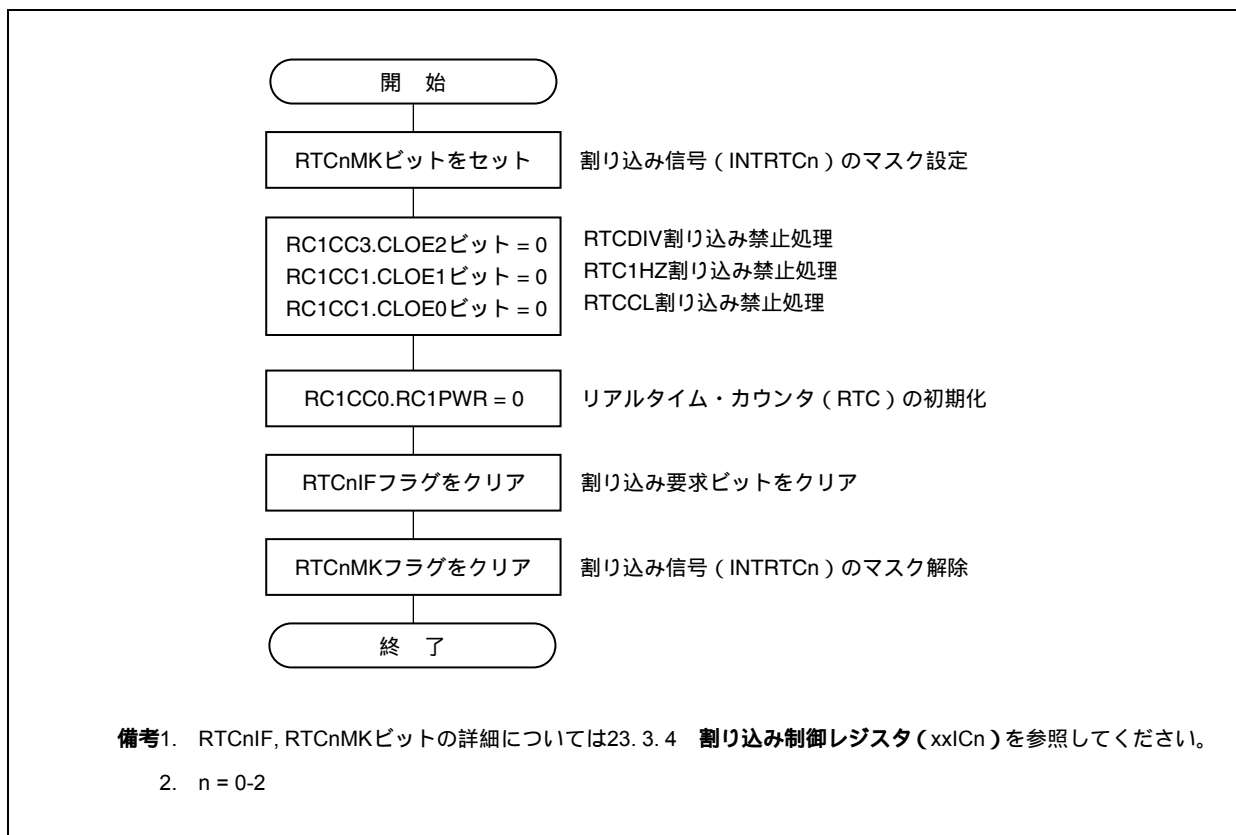
図12 - 8 リアルタイム・カウンタ動作中のINTRTC2割り込み設定の変更



12.4.8 リアルタイム・カウンタの初期化

リアルタイム・カウンタの初期化手順を次に示します。

図12-9 リアルタイム・カウンタの初期化



12.4.9 リアルタイム・カウンタの時計誤差補正例

時計誤差補正機能とは、V850ES/Jx3Hに接続される発振子をもつ発振周波数の偏差を補正する機能です。

ここでの偏差とは、発振子設計時の周波数の偏りである“定常偏差”を示します。

次に、システム設計時に意図する入力クロック“32.768 kHz”に誤差が生じて、32.7681 kHzの発振子が接続されてしまったときのタイミング図とそれを補正するためのRC1SUBC、RC1SECのカウンタ動作を示します。

図12 - 10 時計誤差補正例

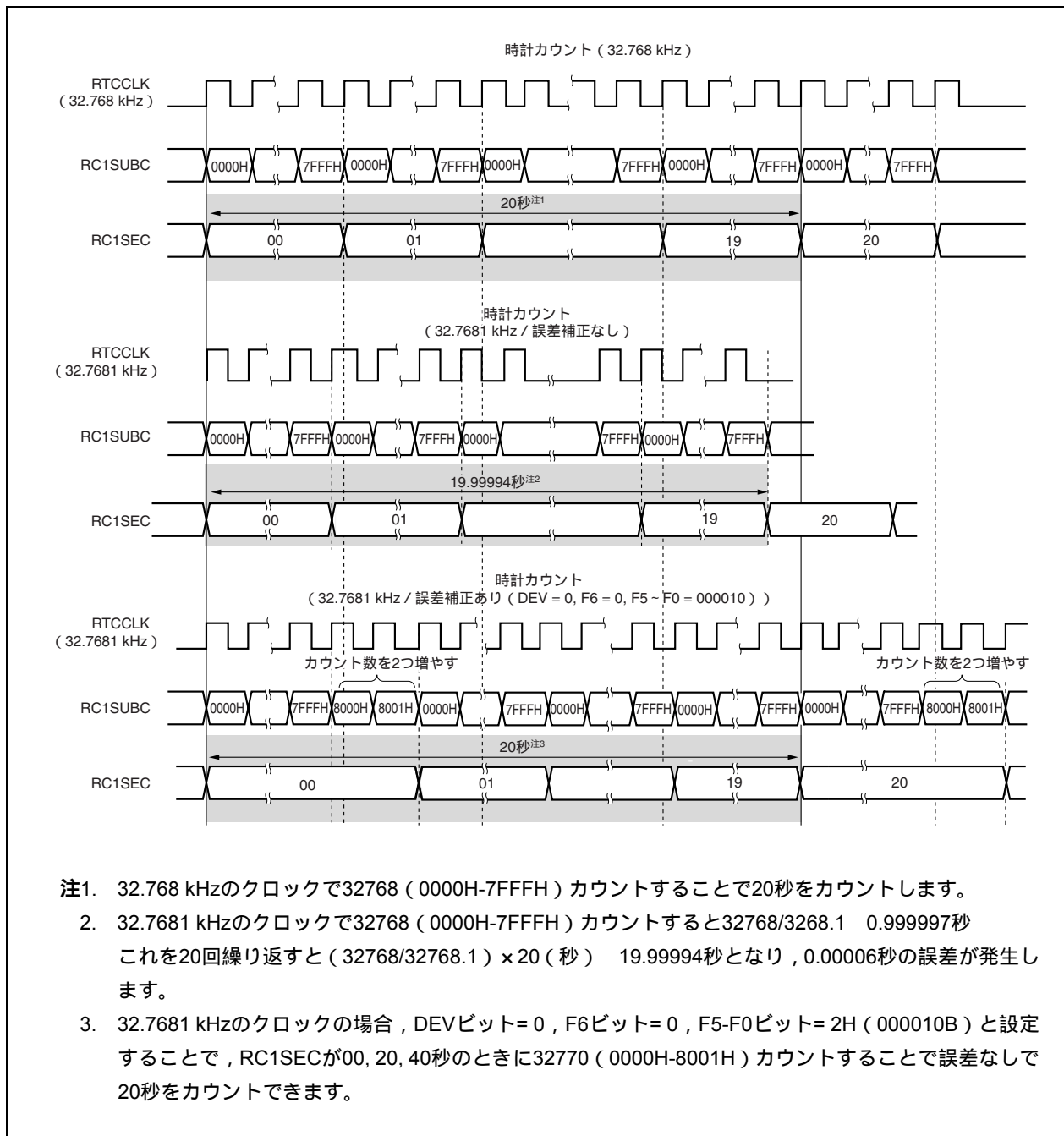


図12 - 10のように、発振子に32.768 kHzより速い“+誤差”が生じた場合は、RC1SUBCのカウント値を増やす事で正確に時計をカウントできることがわかります。また同様に発振子に32.768 kHzより遅い“-誤差”が生じた場合は、RC1SUBCのカウント値を減らすことで正確に時計をカウントできることがわかります。

RC1SUBCの補正値を決定するのがRC1SUBU.F6-F0ビットです。

F6ビットでRC1SUBCの増加/減少を決定し、F5-F0ビットで値を決定します。

(1) RC1SUBCのカウント増加

F6ビット=0にすることによって、F5-F0ビットで設定した値分、RC1SUBCのカウント値を増加します。

増加値計算式：(F5-F0ビット設定値 - 1) × 2

【RC1SUBCのカウント増加例：F6ビット = 0】

F5-F0ビットに15H (010101B) を設定した場合

(15H - 1) × 2 = 40 (RC1SUBCカウント値を40増)

RC1SUBCカウント値 = 32768 + 40 = 32808

(2) RC1SUBCのカウント減少

F6ビット= 1にすることによって、F5-F0ビット設定した値の反転値分、RC1SUBCのカウント値を減少します。

減少値計算式：(F5-F0ビット設定値の反転値 + 1) × 2

【RC1SUBCのカウント増加例：F6ビット = 1】

F5-F0ビットに15H (010101B) を設定した場合

15H (010101B) の反転データ = 2AH (101010B)

(2AH + 1) × 2 = 86 (RC1SUBCカウント値を86減)

RC1SUBCカウント値 = 32768 - 86 = 32682

(3) DEVビットについて

DEVビットは、F6-F0ビットでの設定が有効となるタイミングを決定します。

F6-F0ビットで設定した値は、毎回RC1SUBCカウント値に反映されるわけではなく次のタイミングで、反映されます。

表12 - 6 DVEビットの設定

DEVビットの値	RC1SUBCへの反映タイミング
0の場合	RC1SECが00, 20, 40秒のとき
1の場合	RC1SECが00秒のとき

【F6-F0ビットに0010101Bを設定した場合の例】

- ・ DEVビット= 0の場合

RC1SUBCカウント値は、00秒、20秒、40秒のとき「32808」

それ以外のとき「32768」

- ・ DEVビット= 1の場合

RC1SUBCカウント値は、00秒のとき「32808」

それ以外のとき「32768」

このように、毎秒RC1SUBCカウント値を補正するのではなく、20秒ごと、60秒ごとに補正しているのは、発振子をもつ偏差幅に合わせているためです。

実際に補正できる発振子の周波数範囲は次のようになります。

- ・ DEVビット = 0のとき : 32.76180000 kHz ~ 32.77420000 kHz
- ・ DEVビット = 1のとき : 32.76593333 kHz ~ 32.77006667 kHz

DEVビット = 0の方が、DEVビット = 1より3倍広い周波数範囲を補正できます。

ただしDEVビット = 1の方が、3倍の精度で周波数を設定できます。

表12 - 7、表12 - 8に、DEVビット、F6-F0ビットの設定値と、そのときに補正できる周波数の一覧を示します。

表12-7 DEVビット = 0のときの補正できる周波数範囲

F6	F5-F0	RC1SUBC補正值	接続クロック周波数 (定常偏差込み)
0	000000	補正なし	-
0	000001	補正なし	-
0	000010	20秒に1度, RC1SUBCカウント値を + 2	32.76810000 kHz
0	000011	20秒に1度, RC1SUBCカウント値を + 4	32.76820000 kHz
0	000100	20秒に1度, RC1SUBCカウント値を + 6	32.76830000 kHz
⋮			
0	111011	20秒に1度, RC1SUBCカウント値を+120	32.77400000 kHz
0	111110	20秒に1度, RC1SUBCカウント値を+122	32.77410000 kHz
0	111111	20秒に1度, RC1SUBCカウント値を+124	32.77420000 kHz (上限)
1	000000	補正なし	-
1	000001	補正なし	-
1	000010	20秒に1度, RC1SUBCカウント値を - 124	32.76180000 kHz(下限)
1	000011	20秒に1度, RC1SUBCカウント値を - 122	32.76190000 kHz
1	000100	20秒に1度, RC1SUBCカウント値を - 120	32.76200000 kHz
⋮			
1	11011	20秒に1度, RC1SUBCカウント値を - 6	32.76770000 kHz
1	11110	20秒に1度, RC1SUBCカウント値を - 4	32.76780000 kHz
1	11111	20秒に1度, RC1SUBCカウント値を - 2	32.76790000 kHz

表12-8 DEVビット = 1のときの補正できる周波数範囲

F6	F5-F0	RC1SUBC補正值	接続クロック周波数 (定常偏差込み)
0	000000	補正なし	-
0	000001	補正なし	-
0	000010	60秒に1度, RC1SUBCカウント値を + 2	32.76803333 kHz
0	000011	60秒に1度, RC1SUBCカウント値を + 4	32.76806667 kHz
0	000100	60秒に1度, RC1SUBCカウント値を + 6	32.76810000 kHz
⋮			
0	111011	60秒に1度, RC1SUBCカウント値を + 120	32.77000000 kHz
0	111110	60秒に1度, RC1SUBCカウント値を + 122	32.77003333 kHz
0	111111	60秒に1度, RC1SUBCカウント値を + 124	32.77006667 kHz (上限)
1	000000	補正なし	-
1	000001	補正なし	-
1	000010	60秒に1度, RC1SUBCカウント値を - 124	32.76593333 kHz (下限)
1	000011	60秒に1度, RC1SUBCカウント値を - 122	32.76596667 kHz
1	000100	60秒に1度, RC1SUBCカウント値を - 120	32.76600000 kHz
⋮			
1	11011	60秒に1度, RC1SUBCカウント値を - 6	32.76790000 kHz
1	11110	60秒に1度, RC1SUBCカウント値を - 4	32.76793333 kHz
1	11111	60秒に1度, RC1SUBCカウント値を - 2	32.76796667 kHz

第13章 ウォッチドッグ・タイマ2機能

13.1 機能

ウォッチドッグ・タイマ2には、次のような機能があります。

- ・デフォルト・スタート・ウォッチドッグ・タイマ^{注1}
 - リセット・モード：ウォッチドッグ・タイマ2のオーバフローによるリセット動作（WDT2RES信号を発生）
 - ノンマスクابل割り込み要求モード：ウォッチドッグ・タイマ2のオーバフローによるNMI動作（INTWDT2信号を発生）^{注2}
- ・ソース・クロックとしてメイン・クロック，内蔵発振クロック，サブクロックからの入力を選択可能

注1. ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。ウォッチドッグ・タイマ2を使用しない場合は、この機能によるリセットが発生する前に停止するか、一度ウォッチドッグ・タイマ2をクリアし、次のインターバル時間内で停止してください。

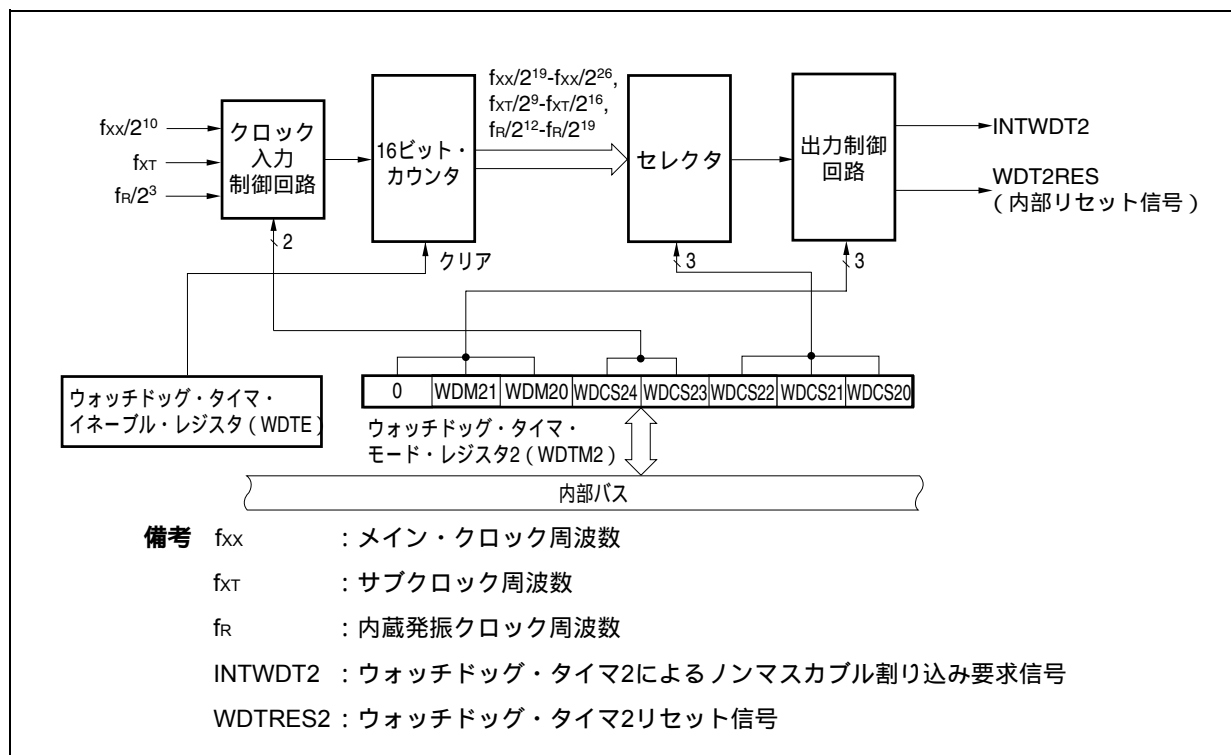
また、デフォルトの設定（リセット・モード，インターバル時間： $f_{R}/2^{19}$ ）で変更する必要がない場合も、動作を確定するために、1回だけWDTM2レジスタへの書き込みを行ってください。

2. ノンマスクابل割り込み要求信号（INTWDT2）によるノンマスクابل割り込み処理については23.2.2（2）INTWDT2信号の場合を参照してください。

13.2 構 成

次にウォッチドッグ・タイマ2のブロック図を示します。

図13 - 1 ウォッチドッグ・タイマ2のブロック図



ウォッチドッグ・タイマ2は、次のハードウェアで構成されています。

表13 - 1 ウォッチドッグ・タイマ2の構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

13.3 レジスタ

(1) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

WDTM2は8ビット単位でリード/ライト可能です。ただし、リードは何回でもできますが、ライトはリセット解除後に1回のみできます。

リセットにより67Hになります。

注意 次に示す状態において、WDTM2レジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時 : 67H R/W アドレス : FFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20

WDM21	WDM20	ウォッチドッグ・タイマ2の動作モードの選択
0	0	動作停止
0	1	ノンマスクブル割り込み要求モード (INTWDT2信号を発生)
1	-	リセット・モード (WDT2RES信号を発生)

- 注意1.** WDCS24-WDCS20ビットについては表13-2 ウォッチドッグ・タイマ2のクロック選択を参照してください。
2. 内蔵発振器の停止のみでウォッチドッグ・タイマ2は停止しますが、動作を確定するため (誤書き込みで、メイン・クロックやサブクロックが選択されないようにする)、WDTM2レジスタに00Hを設定してください。
 3. リセット後、WDTM2レジスタに2回書き込んだ場合、強制的にオーバフロー信号を発生し、カウンタをリセットします。
 4. 意図的にオーバフロー信号を発生させたい場合は、WDTM2レジスタに2回だけ書き込むか、WDTEレジスタに“ACH”以外の値を1回だけ書き込んでください。
ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTM2レジスタに2回だけ書き込む、またはWDTEレジスタに“ACH”以外の値を1回だけ書き込んでもオーバフロー信号は発生しません。
 5. ウォッチドッグ・タイマ2の動作を停止する場合は、RCM.RSTOPビット = 1に設定 (内蔵発振器の停止) するとともに、WDTM2レジスタに00Hを書き込んでください。RCM.RSTOPビット = 1に設定できない場合は、WDCS23ビット = 1に設定してください (2^{fxx} が選択され、IDLE1、IDLE2、サブIDLE、サブクロック動作モードでクロックを停めることができます)。

表13 - 2 ウォッチドッグ・タイマ2のクロック選択

WDCS24	WDCS23	WDCS22	WDCS21	WDCS20	選択クロック	100 kHz (MIN.)	220 kHz (TYP.)	400 kHz (MAX.)
0	0	0	0	0	$2^{12}/f_R$	41.0 ms	18.6 ms	10.2 ms
0	0	0	0	1	$2^{13}/f_R$	81.9 ms	37.2 ms	20.5 ms
0	0	0	1	0	$2^{14}/f_R$	163.8 ms	74.5 ms	41.0 ms
0	0	0	1	1	$2^{15}/f_R$	327.7 ms	148.9 ms	81.9 ms
0	0	1	0	0	$2^{16}/f_R$	655.4 ms	297.9 ms	163.8 ms
0	0	1	0	1	$2^{17}/f_R$	1310.7 ms	595.8 ms	327.7 ms
0	0	1	1	0	$2^{18}/f_R$	2621.4 ms	1191.6 ms	655.4 ms
0	0	1	1	1	$2^{19}/f_R$ (初期値)	5242.9 ms	2383.1 ms	1310.7 ms
						$f_{xx} = 24 \text{ MHz時}$	$f_{xx} = 32 \text{ MHz時}$	$f_{xx} = 48 \text{ MHz時}$
0	1	0	0	0	$2^{19}/f_{xx}$	21.8 ms	16.4 ms	10.9 ms
0	1	0	0	1	$2^{20}/f_{xx}$	43.7 ms	32.8 ms	21.8 ms
0	1	0	1	0	$2^{21}/f_{xx}$	87.4 ms	65.5 ms	43.7 ms
0	1	0	1	1	$2^{22}/f_{xx}$	174.8 ms	131.1 ms	87.4 ms
0	1	1	0	0	$2^{23}/f_{xx}$	349.5 ms	262.1 ms	174.8 ms
0	1	1	0	1	$2^{24}/f_{xx}$	699.1 ms	524.3 ms	349.5 ms
0	1	1	1	0	$2^{25}/f_{xx}$	1398.1 ms	1048.6 ms	699.1 ms
0	1	1	1	1	$2^{26}/f_{xx}$	2796.2 ms	2097.2 ms	1398.1 ms
						$f_{XT} = 32.768 \text{ kHz}$		
1	x	0	0	0	$2^9/f_{XT}$	15.625 ms		
1	x	0	0	1	$2^{10}/f_{XT}$	31.25 ms		
1	x	0	1	0	$2^{11}/f_{XT}$	62.5 ms		
1	x	0	1	1	$2^{12}/f_{XT}$	125 ms		
1	x	1	0	0	$2^{13}/f_{XT}$	250 ms		
1	x	1	0	1	$2^{14}/f_{XT}$	500 ms		
1	x	1	1	0	$2^{15}/f_{XT}$	1000 ms		
1	x	1	1	1	$2^{16}/f_{XT}$	2000 ms		

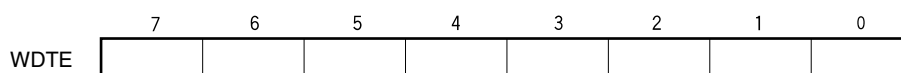
(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再びカウントを開始します。

8ビット単位でリード/ライト可能です。

リセットにより9AHになります。

リセット時：9AH R/W アドレス：FFFFFF6D1H



- 注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、強制的にオーバフロー信号を発生します。
2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、強制的にオーバフロー信号を発生します。
3. 意図的にオーバフロー信号を発生させたい場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込むか、WDTM2レジスタに2回だけ書き込んでください。ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込む、またはWDTM2レジスタに2回だけ書き込んででもオーバフロー信号は発生しません。
4. WDTEレジスタのリード値は、“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

13.4 動作

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。

WDTM2レジスタへの書き込みは、バイト・アクセスのみリセット後に一度だけ可能です。ウォッチドッグ・タイマ2を使用する場合は、動作モードとインターバル時間を8ビット・メモリ操作でWDTM2レジスタに書き込んでください。この操作後、動作停止することはできません。

WDTM2.WDCS24-WDCS20ビットで、ウォッチドッグ・タイマ2の暴走検出時間間隔を選択できます。

WDTEレジスタにACHを書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再度カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にWDTEレジスタにACHを書き込んでください。

WDTEレジスタにACHが書き込まれず、暴走検出時間を越えてしまった場合は、WDTM2.WDM21, WDM20ビットの設定値により、リセット信号 (WDT2RES) またはノンマスクابل割り込み要求信号 (INTWDT2) が発生します。

WDTM2.WDM21ビット = 1 (リセット・モード) に設定している場合、リセットやスタンバイ解除後の発振安定時間中にWDTオーバフローが発生すると、内部リセットは発生せずに、CPUクロックが内蔵発振クロックに切り替わります。

ウォッチドッグ・タイマ2を使用しない場合は、WDTM2レジスタに00Hを書き込んでください。

また、ノンマスクابل割り込み要求モードに設定した場合、ノンマスクابل割り込み処理については23.2.2(2) INTWDT2信号の場合を参照してください。

第14章 リアルタイム出力機能 (RTO)

14.1 機 能

RTBL0, RTBH0レジスタにあらかじめ設定したデータを, タイマ割り込みの発生と同時にハードウェアで出力ラッチに転送して, 外部に出力することをリアルタイム出力機能 (RTO) といいます。また, 外部へ出力する端子をリアルタイム出力ポートと呼びます。

RTOを使用することにより, ジッタのない信号を出力できますので, ステッピング・モータなどの制御に最適です。

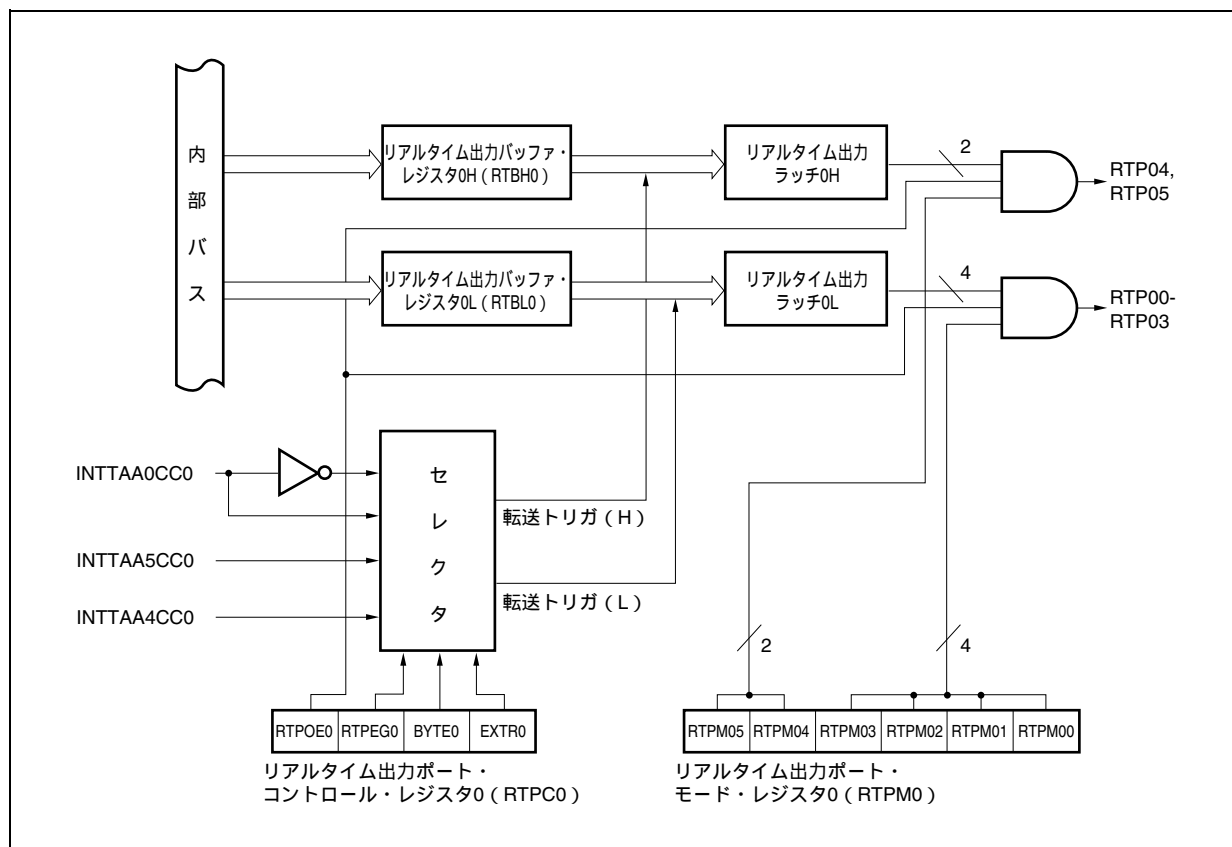
V850ES/JG3-U, V850ES/JH3-Uでは, 6ビット・リアルタイム出力ポートを1チャンネル搭載しています。

1ビット単位でポート・モード / リアルタイム出力ポート・モードの指定ができます。

14.2 構 成

次にRTOのブロック図を示します。

図14 - 1 RTOのブロック図



RTOは、次のハードウェアで構成しています。

表14 - 1 RTOの構成

項 目	構 成
レジスタ	リアルタイム出力バッファ・レジスタ0L, 0H (RTBL0, RTBH0)
制御レジスタ	リアルタイム出力ポート・モード・レジスタ0 (RTPM0) リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

(1) リアルタイム出力バッファ・レジスタ0L, 0H (RTBL0, RTBH0)

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL0, RTBH0レジスタは、周辺I/Oレジスタ領域内でそれぞれ独立したアドレスにマッピングされています。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

4ビット×1チャンネル、2ビット×1チャンネルの動作モードを指定したとき (RTPC0.BYTE0ビット = 0) は、RTBL0, RTBH0レジスタはそれぞれ独立にデータを設定できます。また、RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

6ビット×1チャンネルの動作モードを指定したとき (BYTE0ビット = 1) は、RTBL0, RTBH0レジスタのどちらか一方に8ビット・データを書き込むことにより、RTBL0, RTBH0レジスタそれぞれにデータを設定できます。また、RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

表14 - 2にRTBL0, RTBH0レジスタに対する操作時の動作を示します。

リセット時：00H R/W アドレス：RTBL0 FFFFF6E0H, RTBH0 FFFFF6E2H

	7	6	5	4	3	2	1	0
RTBL0	-----				RTBL03	RTBL02	RTBL01	RTBL00
RTBH0	0	0	RTBH05	RTBH04	-----			

注意1. RTBH0レジスタのビット6, 7への書き込み時は、必ず“0”を書き込んでください。

2. 次に示す状態において、RTBL0, RTBH0レジスタへのアクセスは禁止です。詳細は3. 4. 8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

表14 - 2 RTBL0, RTBH0レジスタに対する操作時の動作

動作モード	操作対象 レジスタ	リード時		ライト時 ^注	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×1チャンネル, 2ビット×1チャンネル	RTBL0	RTBH0	RTBL0	無効	RTBL0
	RTBH0	RTBH0	RTBL0	RTBH0	無効
6ビット×1チャンネル	RTBL0	RTBH0	RTBL0	RTBH0	RTBL0
	RTBH0	RTBH0	RTBL0	RTBH0	RTBL0

注 リアルタイム出力ポートに設定後、リアルタイム出力トリガが発生されるまでにRTBL0, RTBH0レジスタに出力データを設定してください。

14.3 レジスタ

RTOは、次の2種類のレジスタで制御します。

- ・リアルタイム出力ポート・モード・レジスタ0 (RTPM0)
- ・リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

(1) リアルタイム出力ポート・モード・レジスタ0 (RTPM0)

RTPM0レジスタは、リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時 : 00H R/W アドレス : RTPM0 FFFFF6E4H

	7	6	5	4	3	2	1	0
RTPM0	0	0	RTPM05	RTPM04	RTPM03	RTPM02	RTPM01	RTPM00
RTPM0m	リアルタイム出力ポートの制御 (m = 0-5)							
	0	リアルタイム出力禁止						
	1	リアルタイム出力許可						

- 注意1.** リアルタイム出力動作を許可 (RTPC0.RTPOE0ビット = 1) することにより、RTP00-RTP05信号のうちリアルタイム出力許可されたビットはリアルタイム出力を行い、リアルタイム出力動作禁止に指定されたビットは“0”を出力します。
2. リアルタイム出力動作を禁止 (RTPOE0ビット = 0) した場合は、RTPM0レジスタの設定にかかわらず、リアルタイム出力端子 (RTP00-RTP05) は全ビット“0”を出力します。
3. リアルタイム出力端子 (RTP00-RTP05) として使用するには、PMC, PFCレジスタでリアルタイム出力ポートに設定してください。

(2) リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

RTPC0レジスタは、リアルタイム出力ポートの動作モード、および出力トリガを設定するレジスタです。

リアルタイム出力ポートの動作モードと出力トリガについては表14 - 3に示すような関係があります。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：RTPC0 FFFFF6E5H

	⑦	6	5	4	3	2	1	0
RTPC0	RTPOE0	RTPEG0	BYTE0	EXTR0	0	0	0	0
RTPOE0	リアルタイム出力の動作制御							
0	動作禁止 ^{注1}							
1	動作許可							
RTPEG0	INTTAA0CC0信号の有効エッジ							
0	立ち下がりエッジ ^{注2}							
1	立ち上がりエッジ							
BYTE0	リアルタイム出力のチャンネル構成指定							
0	4ビット×1チャンネル, 2ビット×1チャンネル							
1	6ビット×1チャンネル							

注1. リアルタイム出力動作禁止 (RTPOE0ビット = 0) の場合、リアルタイム出力信号 (RTP00-RTP05) は全ビット“0”を出力します。

2. INTTAA0CC0信号は、TAA0で選択しているカウント・クロックの1クロック分出力されます。

注意 RTPEG0, BYTE0, EXTR0ビットの設定は、必ずRTPOE0ビット = 0のときに行ってください。

表14 - 3 リアルタイム出力ポートの動作モードと出力トリガ

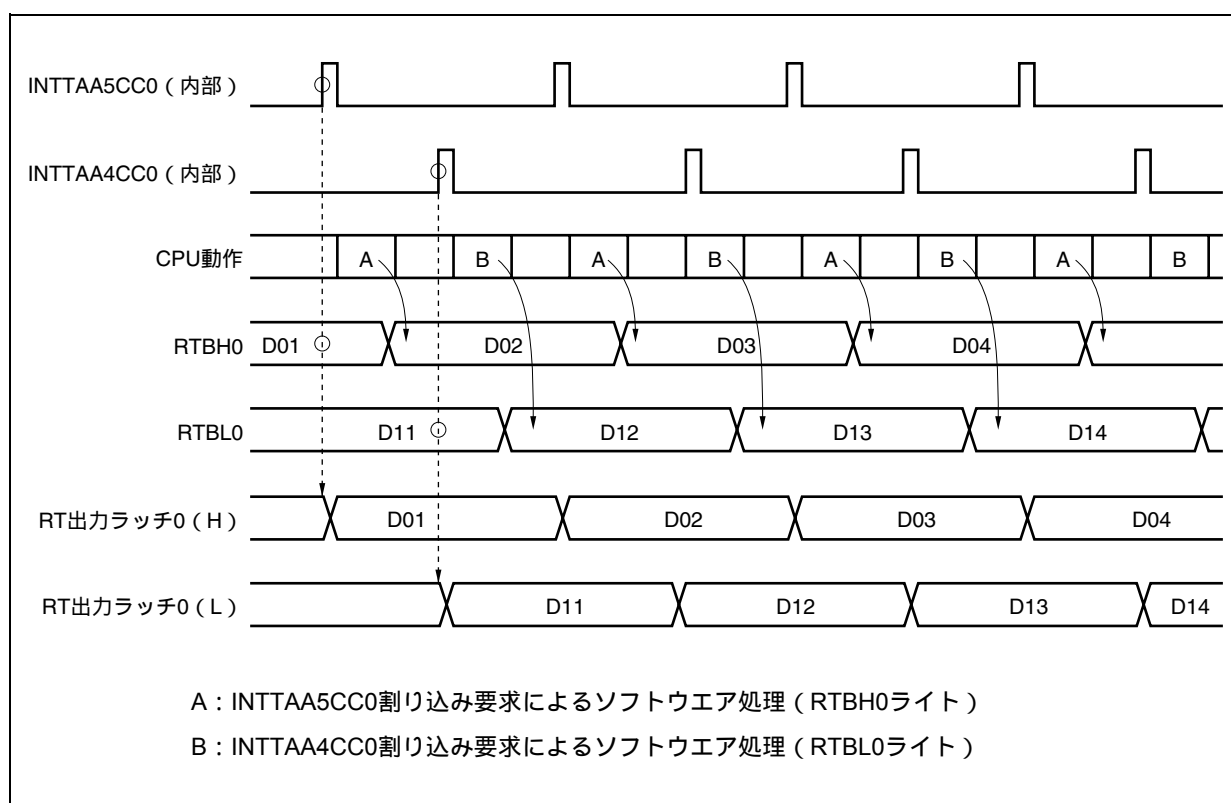
BYTE0	EXTR0	動作モード	RTBH0 (RTP04, RTP05)	RTBL0 (RTP00-RTP03)
0	0	4ビット×1チャンネル,	INTTAA5CC0	INTTAA4CC0
	1	2ビット×1チャンネル	INTTAA4CC0	INTTAA0CC0
1	0	6ビット×1チャンネル	INTTAA4CC0	
	1		INTTAA0CC0	

14.4 動作

RTPC0.RTPOE0ビット = 1でリアルタイム出力動作を許可した場合、選択された転送トリガ (RTPC0.EXTR0, BYTE0ビットで設定) の発生に同期して、RTBH0, RTBL0レジスタのデータをリアルタイム出力ラッチに転送します。転送されたデータのうちRTPM0レジスタの設定により、リアルタイム出力を許可されたビットのデータのみをRTP00-RTP05のそれぞれのビットから出力します。RTPM0レジスタでリアルタイム出力動作禁止に指定されたビットは0を出力します。

RTPOE0ビット = 0でリアルタイム出力動作を禁止した場合は、RTPM0レジスタの設定に関係なくRTP00-RTP05信号は0を出力します。

図14 - 2 RTO0の動作タイミング例 (EXTR0ビット = 0, BYTE0ビット = 0の場合)



備考 スタンバイ時の動作については、第25章 スタンバイ機能を参照してください。

14.5 使用方法

(1) リアルタイム出力動作を禁止する。

RTPC0.RTPOE0ビット = 0に設定。

(2) 初期設定

・ポート2またはポート5の兼用端子を設定する。

PFC2.PFC2mビット, PFCE2.PFCE2mビットをRTO用端子に設定後, PMC2.PMC2mビットに1を設定する (m = 0-3)。

PFC5.PFC5mビット, PFCE5.PFCE5mビットをRTO用端子に設定後, PMC5.PMC5mビットに1を設定する (m = 0-5)。

・ビット単位でリアルタイム出力ポート・モード/ポート・モードを指定する。

RTPM0レジスタを設定。

・チャンネル構成, トリガおよび有効エッジを選択する。

RTPC0.EXTR0, BYTE0, RTPEG0ビットを設定。

・初期値をRTBH0, RTBL0レジスタに設定する^{注1}。

(3) リアルタイム出力動作を許可する。

RTPOE0ビット = 1に設定。

(4) 選択した転送トリガが発生するまでに, 次の出力値をRTBH0, RTBL0レジスタに設定する^{注2}。

(5) 選択したトリガに対応する割り込み処理により, 順次, 次のリアルタイム出力値をRTBH0, RTBL0レジスタに設定する。

注1. RTPOE0ビット = 0のとき, RTBH0, RTBL0レジスタに対してライトを行うと, その値がそれぞれリアルタイム出力ラッチ0H, リアルタイム出力ラッチ0Lに転送されます。

2. RTPOE0ビット = 1のとき, RTBH0, RTBL0レジスタに対してライトを行っても, リアルタイム出力ラッチ0H, リアルタイム出力ラッチ0Lにデータ転送はされません。

14.6 注意事項

(1) ソフトウェアにより, 次の競合を回避してください。

・リアルタイム出力動作の禁止/許可の切り替え (RTPOE0ビット) と選択したリアルタイム出力トリガとの競合

・リアルタイム出力動作許可状態におけるRTBH0, RTBL0レジスタのライトと選択したリアルタイム出力トリガとの競合

(2) 初期設定は, リアルタイム出力動作を禁止 (RTPOE0ビット = 0) にしてから行ってください。

(3) 一度リアルタイム出力動作を禁止 (RTPOE0ビット = 0) した場合は, リアルタイム出力動作を許可 (RTPOE0ビット = 0 1) する前に, 必ずRTBH0, RTBL0レジスタに初期値を設定してください。

第15章 A/Dコンバータ

15.1 概 要

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、10ビット分解能、12チャンネル：ANI0-ANI11端子の構成になっています。

次にA/Dコンバータの特徴について示します。

10ビット分解能

12チャンネル

逐次比較変換方式

動作電圧： $AV_{REF0} = 3.0 \sim 3.6 \text{ V}$

アナログ入力電圧： $0 \text{ V} \sim AV_{REF0}$

動作モードとして、次の機能があります。

- ・連続セレクト・モード
- ・連続スキャン・モード
- ・ワンショット・セレクト・モード
- ・ワンショット・スキャン・モード

トリガ・モードとして、次の機能があります。

- ・ソフトウェア・トリガ・モード
- ・外部トリガ・モード（外部1本）
- ・タイマ・トリガ・モード

パワー・フェイル監視機能（変換結果比較機能）

15.2 機 能

（1）10ビット分解能A/D変換

アナログ入力をANI0-ANI11から1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求信号（INTAD）を発生します。

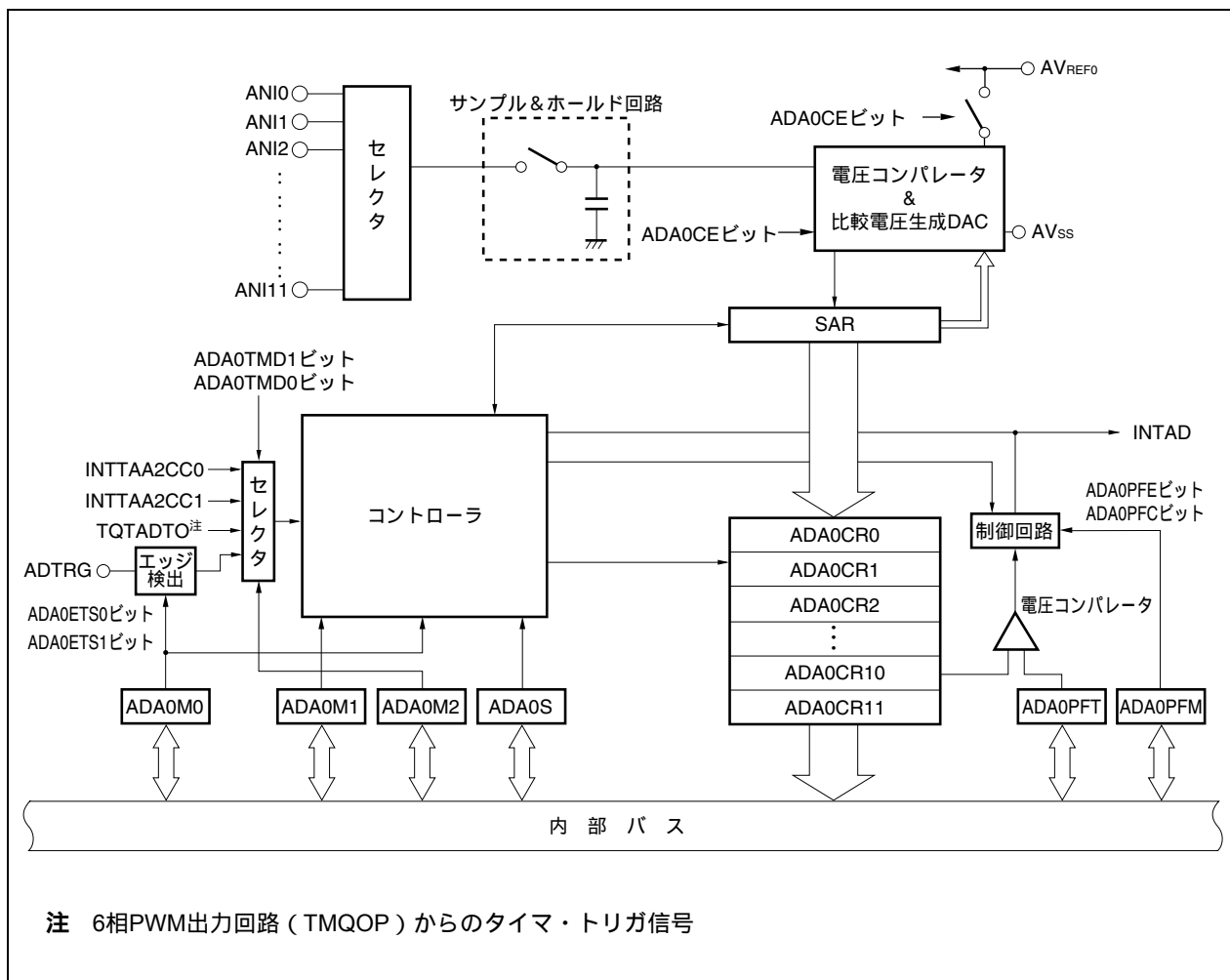
（2）パワー・フェイル検出機能

バッテリー電圧低下を検出するための機能です。A/D変換結果（ADA0CRnHレジスタ値）とADA0PFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します（ $n = 0-11$ ）。

15.3 構 成

次にブロック図を示します。

図15 - 1 A/Dコンバータのブロック図



A/Dコンバータは、次のハードウェアで構成しています。

表15 - 1 A/Dコンバータの構成

項目	構成
アナログ入力	12チャンネル（ANI0-ANI11端子）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ0-11（ADA0CR0-ADA0CR11） A/D変換結果レジスタ0H-11H（ADCR0H-ADCR11H）：上位8ビットだけ読み出し可能
制御レジスタ	A/Dコンバータ・モード・レジスタ0-2（ADA0M0-ADA0M2） A/Dコンバータ・チャンネル指定レジスタ0（ADA0S） パワー・フェイル比較モード・レジスタ（ADA0PFM） パワー・フェイル比較しきい値レジスタ（ADA0PFT）

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と比較電圧生成DACの出力電圧 (比較電圧) の値を比較し, その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了), SARレジスタの内容はADA0CRnレジスタに転送されます。

備考 n = 0-11

(2) A/D変換結果レジスタn (ADA0CRn), A/D変換結果レジスタnH (ADA0CRnH)

ADA0CRnレジスタはA/D変換の結果を格納する16ビットのレジスタです。12本のレジスタで構成されており, A/D変換結果はアナログ入力に対応したADA0CRnレジスタの上位10ビットに格納します (下位6ビットは0に固定)。

(3) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行うレジスタです。

(4) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

A/D変換するアナログ入力の変換時間を設定するレジスタです。

(5) A/Dコンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを設定するレジスタです。

(6) A/Dコンバータ・チャンネル指定レジスタ (ADA0S)

A/D変換するアナログ電圧の入力ポートを設定するレジスタです。

(7) パワー・フェイル比較モード・レジスタ (ADA0PFM)

パワー・フェイル監視モードを設定するレジスタです。

(8) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

A/D変換結果レジスタnH (ADA0CRnH) と大小比較する場合のしきい値を設定するレジスタです。

ADA0PFTレジスタに設定した8ビット・データとA/D変換結果レジスタの上位8ビット (ADA0CRnH) が比較されます。

(9) 制御回路

A/D変換が終了するか, パワー・フェイル検出機能使用時, A/D変換結果 (ADA0CRnHレジスタ値) とADA0PFTレジスタの値との大小比較を行い, 比較条件に合致した場合のみINTAD信号を発生します。

(10) サンプル&ホールド回路

サンプル&ホールド回路は, 入力回路で選択されたアナログ入力信号をサンプリングし, 電圧コンパレータに送ります。また, そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(11) 電圧コンパレータ

電圧コンパレータは、サンプリングされ保持された電圧値と比較電圧生成DACの出力電圧を比較します。

(12) 比較電圧生成DAC

比較電圧生成DACは AV_{REF0} - AV_{SS} 間に接続されており、アナログ入力と比較する電圧を発生します。

(13) ANI0-ANI11端子

A/Dコンバータへの12チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ADA0Sレジスタでアナログ入力として選択した端子以外は、入力ポートとして使用できます。

注意 ANI0-ANI11端子入力電圧は規格の範囲内で使用してください。特に AV_{REF0} 以上の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(14) AV_{REF0} 端子

A/Dコンバータの基準電圧を入力する端子です。A/Dコンバータを使用しないときでも、常に V_{DD} 端子と同電位で使用してください。

AV_{REF0} , AV_{SS} 間にかかる電圧に基づいて、ANI0-ANI11端子に入力される信号をデジタル信号に変換します。

(15) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} 端子と同電位で使用してください。

15.4 レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ0, 1, 2 (ADA0M0, ADA0M1, ADA0M2)
- ・ A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S)
- ・ パワー・フェイル比較モード・レジスタ (ADA0PFM)

また、次のレジスタも使用します。

- ・ A/D変換結果レジスタn (ADA0CRn)
- ・ A/D変換結果レジスタnH (ADA0CRnH)
- ・ パワー・フェイル比較しきい値レジスタ (ADA0PFT)

(1) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、ADA0EFビットはリードのみ可能です。

リセットにより、00Hになります。

(1/2)

リセット時 : 00H R/W アドレス : FFFFF200H								
ADA0M0	⑦ ADA0CE	6 0	5 ADA0MD1	4 ADA0MD0	3 ADA0ETS1	2 ADA0ETS0	1 ADA0TMD	⑩ ADA0EF
ADA0CE	A/D変換動作の制御							
0	A/D変換動作停止							
1	A/D変換動作許可							
ADA0MD1	ADA0MD0	A/Dコンバータ動作モードを指定						
0	0	連続セレクト・モード						
0	1	連続スキャン・モード						
1	0	ワンショット・セレクト・モード						
1	1	ワンショット・スキャン・モード						
ADA0ETS1	ADA0ETS0	外部トリガ (ADTRG端子) 入力の有効エッジを指定						
0	0	エッジ検出なし						
0	1	立ち下がりエッジ検出						
1	0	立ち上がりエッジ検出						
1	1	立ち上がり / 立ち下がり両エッジ検出						

ADA0TMD	トリガ・モードを指定
0	ソフトウェア・トリガ・モード
1	外部トリガ・モード/タイマ・トリガ・モード

ADA0EF	A/Dコンバータの状態を提示
0	A/D変換停止中
1	A/D変換動作中

- 注意1. 次に示す状態において, ADA0M0レジスタへのアクセスは禁止です。詳細は3. 4. 8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。
- ・CPUがサブクロックで動作し,かつメイン・クロック発振を停止している場合
 - ・CPUが内蔵発振クロックで動作している場合
2. ビット0に書き込みを行った場合,書き込みは無視されます。
 3. A/D変換動作許可中 (ADA0CEビット = 1) は, ADA0M1.ADA0FR2-ADA0FR0 ビットの変更は禁止です。
 4. 次のモードでは, ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFT レジスタへの書き込みはA/D変換動作停止 (ADA0CEビット = 0) の状態で行い, そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。
 - ・通常変換モード
 - ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード
 また, そのほかのモードでA/D変換動作中 (ADA0EFビット = 1) にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFT レジスタに書き込みを行った場合には各モードにより次のようになります。
 - ・ソフトウェア・トリガ・モード時
A/D変換動作は中断され,再度,最初から変換動作を行います。
 - ・ハードウェア・トリガ・モード時
A/D変換動作は中断され,再度,トリガ待機状態になります。
 5. 外部トリガ・モード/タイマ・トリガ・モードを選択する場合 (ADA0TMDビット = 1) は, 高速変換モード (ADA0M1.ADA0HS1ビット = 1) に設定してください。また, A/D変換動作許可 (ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。
 6. A/Dコンバータを使用しない場合は,消費電力を小さくするために, ADA0CEビット = 0として動作を停止させてください。

(2) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

変換時間の指定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時: 00H R/W アドレス: FFFFF201H

	7	6	5	4	3	2	1	0
ADA0M1	ADA0HS1	0	0	0	ADA0FR3	ADA0FR2	ADA0FR1	ADA0FR0

ADA0HS1	A/D変換時間の通常変換モード / 高速変換モードを指定
0	通常変換モード
1	高速変換モード

- 注意1.** A/D変換動作許可中 (ADA0M0.ADA0CEビット = 1) は, ADA0M1レジスタの変更は禁止です。
- 2.** 外部トリガ・モード / タイマ・トリガ・モードを選択する場合 (ADA0M0.ADA0TMDビット = 1) は, 高速変換モード (ADA0HS1ビット = 1) に設定してください。また, A/D変換動作許可 (ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。
- 3.** ビット6-4には必ず“0”を設定してください。

備考 A/D変換時間の設定例は表15 - 2, 表15 - 3を参照してください。

表15 - 2 通常変換モード時の変換時間の選択 (ADA0HS1ビット = 0)

ADA0FR3- ADA0FR0 ビット	A/D変換時間			
	安定時間 + 変換時間 + ウエイト時間	48 MHz	32 MHz	24 MHz
0000	$26/f_{xx} + 52/f_{xx} + 54/f_{xx}$	設定禁止	設定禁止	$5.50 \mu s$
0001	$52/f_{xx} + 104/f_{xx} + 106/f_{xx}$	$5.46 \mu s$	$8.19 \mu s$	設定禁止
0010	$78/f_{xx} + 156/f_{xx} + 158/f_{xx}$	$8.17 \mu s$	設定禁止	設定禁止
0011	$100/f_{xx} + 208/f_{xx} + 210/f_{xx}$	設定禁止	設定禁止	設定禁止
0100	$100/f_{xx} + 260/f_{xx} + 262/f_{xx}$	設定禁止	設定禁止	設定禁止
0101	$100/f_{xx} + 312/f_{xx} + 314/f_{xx}$	設定禁止	設定禁止	設定禁止
0110	$100/f_{xx} + 364/f_{xx} + 366/f_{xx}$	設定禁止	設定禁止	設定禁止
0111	$100/f_{xx} + 416/f_{xx} + 418/f_{xx}$	設定禁止	設定禁止	設定禁止
1000	$100/f_{xx} + 468/f_{xx} + 470/f_{xx}$	設定禁止	設定禁止	設定禁止
1001	$100/f_{xx} + 520/f_{xx} + 522/f_{xx}$	設定禁止	設定禁止	設定禁止
1010	$100/f_{xx} + 572/f_{xx} + 574/f_{xx}$	設定禁止	設定禁止	設定禁止
1011	$100/f_{xx} + 624/f_{xx} + 626/f_{xx}$	設定禁止	設定禁止	設定禁止
1100	$100/f_{xx} + 676/f_{xx} + 678/f_{xx}$	設定禁止	設定禁止	設定禁止
1101	$100/f_{xx} + 728/f_{xx} + 730/f_{xx}$	設定禁止	設定禁止	設定禁止
1110	$100/f_{xx} + 780/f_{xx} + 782/f_{xx}$	設定禁止	設定禁止	設定禁止
1111	$100/f_{xx} + 832/f_{xx} + 834/f_{xx}$	設定禁止	設定禁止	設定禁止
上記以外	設定禁止			

備考 安定時間 : A/Dコンバータのセットアップ時間 ($1 \mu s$ 以上)

変換時間 : 実際にA/D変換にかかる時間 ($2.17 \sim 9.75 \mu s$)

ウエイト時間 : 次の変換までに挿入されるウエイト時間

fxx : メイン・クロック周波数

通常変換モードでは、ADA0M0.ADA0CEビットをセット(1)してから、安定時間後に変換を開始し、変換時間 ($2.17 \sim 9.75 \mu s$) の間だけA/D変換動作を行います。変換終了後、動作を停止し、ウエイト時間が経過してからA/D変換終了割り込み要求信号 (INTAD) が発生します。

ウエイト時間中は変換動作を停止しているため、動作電流を低減することができます。

注意1. $2.17 \mu s$ 変換時間 $9.75 \mu s$ になるように設定してください。

2. A/D変換中に、ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みまたはトリガが入力されると再変換が行われますが、安定時間終了タイミングとADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みが競合した場合、または安定時間終了タイミングとトリガの入力が競合した場合は、安定時間が64クロック再挿入されません。

また、再挿入の安定時間終了タイミングと再び競合すると、再度、安定時間が挿入されますので、トリガの入力間隔と制御レジスタ書き込みの間隔は64クロック以下にしないでください。

表15 - 3 高速変換モード時の変換時間の選択 (ADA0HS1ビット = 1)

ADA0FR3- ADA0FR0 ビット	A/D 変換時間			
	変換時間 (+ 安定時間)	48 MHz	32 MHz	24 MHz
0000	$52/f_{xx} (+ 26/f_{xx})$	設定禁止	設定禁止	$2.17 \mu s$
0001	$104/f_{xx} (+ 52/f_{xx})$	$2.17 \mu s$	$3.25 \mu s$	$4.33 \mu s$
0010	$156/f_{xx} (+ 78/f_{xx})$	$3.25 \mu s$	$4.88 \mu s$	$6.50 \mu s$
0011	$208/f_{xx} (+ 100/f_{xx})$	$4.33 \mu s$	$6.50 \mu s$	$8.67 \mu s$
0100	$260/f_{xx} (+ 100/f_{xx})$	$5.42 \mu s$	$8.13 \mu s$	設定禁止
0101	$312/f_{xx} (+ 100/f_{xx})$	$6.50 \mu s$	$9.75 \mu s$	設定禁止
0110	$364/f_{xx} (+ 100/f_{xx})$	$7.58 \mu s$	設定禁止	設定禁止
0111	$416/f_{xx} (+ 100/f_{xx})$	$8.67 \mu s$	設定禁止	設定禁止
1000	$468/f_{xx} (+ 100/f_{xx})$	$9.75 \mu s$	設定禁止	設定禁止
1001	$520/f_{xx} (+ 100/f_{xx})$	設定禁止	設定禁止	設定禁止
1010	$572/f_{xx} (+ 100/f_{xx})$	設定禁止	設定禁止	設定禁止
1011	$624/f_{xx} (+ 100/f_{xx})$	設定禁止	設定禁止	設定禁止
1100	$676/f_{xx} (+ 100/f_{xx})$	設定禁止	設定禁止	設定禁止
1101	$728/f_{xx} (+ 100/f_{xx})$	設定禁止	設定禁止	設定禁止
1110	$780/f_{xx} (+ 100/f_{xx})$	設定禁止	設定禁止	設定禁止
1111	$832/f_{xx} (+ 100/f_{xx})$	設定禁止	設定禁止	設定禁止
上記以外	設定禁止			

備考 安定時間 : A/Dコンバータのセットアップ時間 ($1 \mu s$ 以上)
 変換時間 : 実際にA/D変換にかかる時間 ($2.17 \sim 9.75 \mu s$)
 fxx : メイン・クロック周波数

高速変換モードでは、ADA0M0.ADA0CEビットをセット(1)してから、安定時間後に変換を開始し、変換時間 ($2.17 \sim 9.75 \mu s$)の間A/D変換動作を行います。変換終了後、ただちにA/D変換終了割り込み要求信号 (INTAD)が発生します。

連続変換モードの場合、1回目の変換前だけに安定時間が挿入され、2回目以降は安定時間が挿入されません (A/Dコンバータは起動したままです)。

- 注意** 1. $2.17 \mu s$ 変換時間 $9.75 \mu s$ になるように設定してください。
 2. 高速モードでは、安定時間中のADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタの書き換え、およびトリガ入力を禁止します。

(3) A/Dコンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを指定します。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時 : 00H R/W アドレス : FFFFF203H

	7	6	5	4	3	2	1	0
ADA0M2	0	0	0	0	0	0	ADA0TMD1	ADA0TMD0

ADA0TMD1	ADA0TMD0	ハードウェア・トリガ・モードの指定
0	0	外部トリガ・モード (ADTRG端子の有効エッジ検出時)
0	1	タイマ・トリガ・モード0 (INTTAA2CC0割り込み要求発生時)
1	0	タイマ・トリガ・モード1 (INTTAA2CC1割り込み要求発生時)
1	1	タイマ・トリガ・モード2 (TQTADT0信号)

注意1. 次のモードでは, ADA0M2レジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い, そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。

- ・通常変換モード
- ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード

2. ビット7-2には必ず“0”を設定してください。

(4) A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時 : 00H R/W アドレス : FFFFF202H

	7	6	5	4	3	2	1	0
ADA0S	0	0	0	0	ADA0S3	ADA0S2	ADA0S1	ADA0S0

ADA0S3	ADA0S2	ADA0S1	ADA0S0	セレクト・モード	スキャン・モード
0	0	0	0	ANI0	ANI0
0	0	0	1	ANI1	ANI0-ANI1
0	0	1	0	ANI2	ANI0-ANI2
0	0	1	1	ANI3	ANI0-ANI3
0	1	0	0	ANI4	ANI0-ANI4
0	1	0	1	ANI5	ANI0-ANI5
0	1	1	0	ANI6	ANI0-ANI6
0	1	1	1	ANI7	ANI0-ANI7
1	0	0	0	ANI8	ANI0-ANI8
1	0	0	1	ANI9	ANI0-ANI9
1	0	1	0	ANI10	ANI0-ANI10
1	0	1	1	ANI11	ANI0-ANI11

注意1. 次のモードでは, ADA0Sレジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い, そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。

- ・通常変換モード
- ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード

2. ビット7-4には必ず“0”を設定してください。

(5) A/D変換結果レジスタ_n, nH (ADA0CR_n, ADA0CR_nH)

ADA0CR_n, ADA0CR_nHレジスタは、A/D変換結果を格納するレジスタです。

16/8ビット単位でリードのみ可能です。ただし、16ビット・アクセス時はADA0CR_nレジスタを指定、8ビット・アクセス時はADA0CR_nHレジスタを指定します。ADA0CR_nレジスタは上位10ビットに変換結果の10ビットが読み出され、下位6ビットには0が読み出されます。ADA0CR_nHレジスタには変換結果の上位8ビットが読み出されます。

注意 次に示す状態において、ADA0CR_n, ADA0CR_nHレジスタへのアクセスは禁止です。詳細は3.4.

8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：不定 R アドレス：ADA0CR0 FFFFF210H, ADA0CR1 FFFFF212H,
ADA0CR2 FFFFF214H, ADA0CR3 FFFFF216H,
ADA0CR4 FFFFF218H, ADA0CR5 FFFFF21AH,
ADA0CR6 FFFFF21CH, ADA0CR7 FFFFF21EH,
ADA0CR8 FFFFF220H, ADA0CR9 FFFFF222H,
ADA0CR10 FFFFF224H, ADA0CR11 FFFFF226H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADA0CR _n (n = 0-11)	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時：不定 R アドレス：ADA0CR0H FFFFF211H, ADA0CR1H FFFFF213H,
ADA0CR2H FFFFF215H, ADA0CR3H FFFFF217H,
ADA0CR4H FFFFF219H, ADA0CR5H FFFFF21BH,
ADA0CR6H FFFFF21DH, ADA0CR7H FFFFF21FH,
ADA0CR8H FFFFF221H, ADA0CR9H FFFFF223H,
ADA0CR10H FFFFF225H, ADA0CR11H FFFFF227H

	7	6	5	4	3	2	1	0
ADA0CR _n H (n = 0-11)	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

注意 ADA0M0, ADA0Sレジスタに対して書き込み動作を行ったとき、ADA0CR_nレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

アナログ入力端子 (ANI0-ANI11) に入力されたアナログ入力電圧とA/D変換結果 (ADA0CRnレジスタ) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{IN}}}{\text{AV}_{\text{REF0}}} \times 1024 + 0.5 \right)$$

$$\text{ADA0CR}^{\#} = \text{SAR} \times 64$$

または,

$$\left(\text{SAR} - 0.5 \right) \times \frac{\text{AV}_{\text{REF0}}}{1024} < V_{\text{IN}} < \left(\text{SAR} + 0.5 \right) \times \frac{\text{AV}_{\text{REF0}}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{IN} : アナログ入力電圧

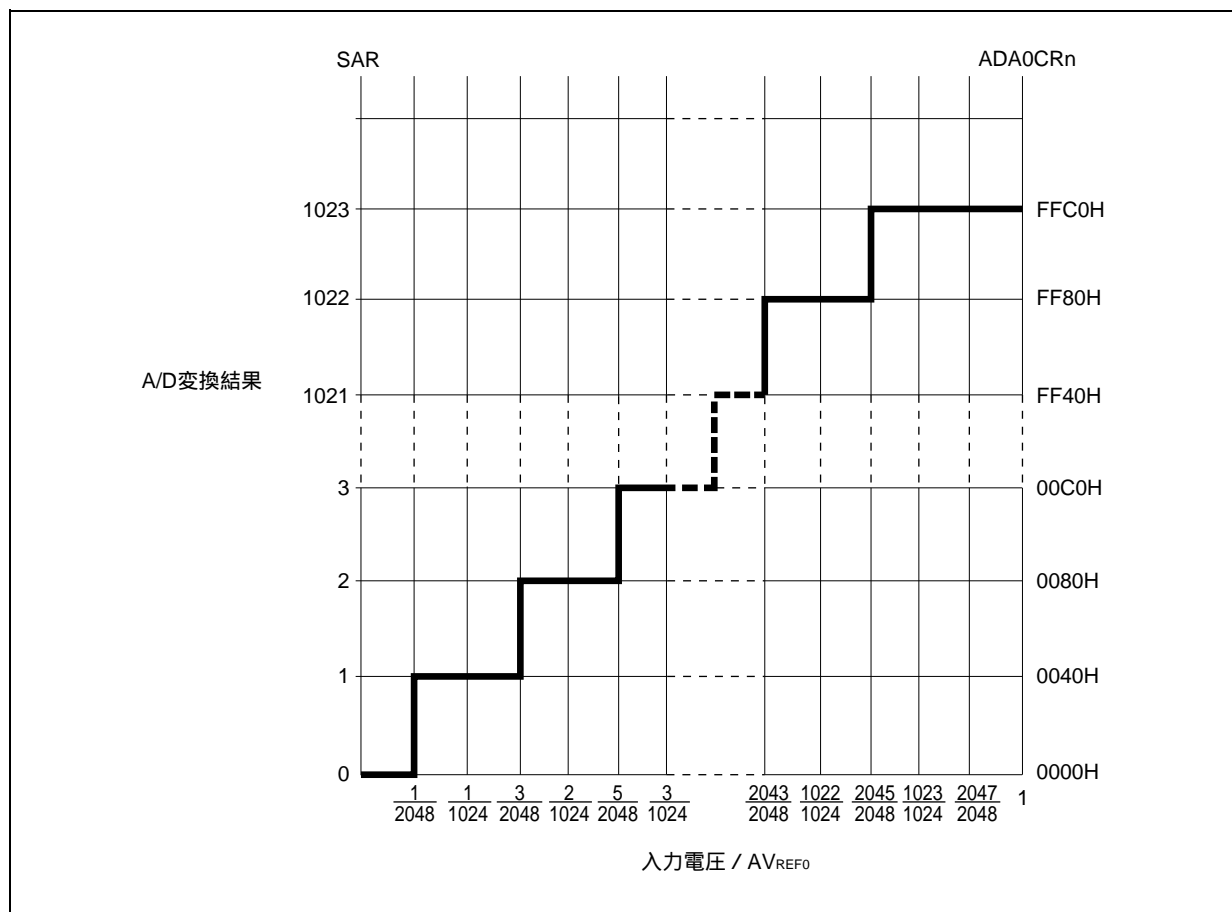
AV_{REF0} : AV_{REF0} 端子電圧

ADA0CR : ADA0CRnレジスタの値

注 ADA0CRnレジスタの下位6ビットは0固定です。

次にアナログ入力電圧とA/D変換結果の関係を示します。

図15 - 2 アナログ入力電圧とA/D変換結果の関係



(6) パワー・フェイル比較モード・レジスタ (ADA0PFM)

ADA0PFMレジスタは、パワー・フェイル比較モードの設定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF204H

	⑦	6	5	4	3	2	1	0
ADA0PFM	ADA0PFE	ADA0PFC	0	0	0	0	0	0

ADA0PFE	パワー・フェイル比較許可 / 禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

ADA0PFC	パワー・フェイル比較モードの選択
0	ADA0CRnH ADA0PFTで割り込み要求信号 (INTAD) を発生
1	ADA0CRnH < ADA0PFTで割り込み要求信号 (INTAD) を発生

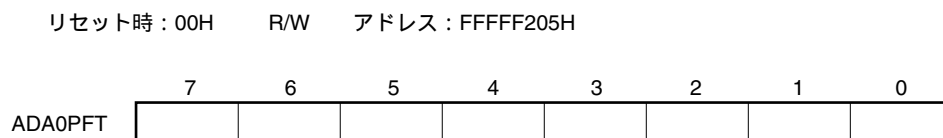
- 注意1. セレクト・モードではADA0PFTレジスタに設定した8ビット・データとADA0Sレジスタで指定したADA0CRnHレジスタの値を比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CRnレジスタに変換結果を格納しINTAD信号が発生しますが、一致しない場合は割り込みを発生しません。
2. スキャン・モードではADA0PFTレジスタに設定した8ビット・データとADA0CR0Hレジスタを比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CR0レジスタに変換結果を格納しINTAD信号を発生させますが、一致しない場合はINTAD信号を発生させません。また比較結果にかかわらず、比較後はスキャン動作を継続しスキャン終了までADA0CRnレジスタに変換結果は格納しますが、スキャン終了後のINTAD信号は発生しません。
3. 次のモードでは ADA0PFMレジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。
- ・通常変換モード
 - ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード

(7) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

ADA0PFTレジスタは、パワー・フェイル比較モード時の比較値を設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。



注意 次のモードでは、ADA0PFTレジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。

- ・通常変換モード
- ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード

15.5 動作

15.5.1 基本動作

A/D変換する動作モード、トリガ・モード、変換時間などをADA0M0, ADA0M1, ADA0M2, ADA0Sレジスタで設定します。ADA0M0レジスタのADA0CEビットをセットすると、ソフトウェア・トリガ・モード時は変換を開始し、外部/タイマ・トリガ・モード時はトリガ待機状態になります。

A/D変換が開始されると選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ(SAR)のビット9をセットし、比較電圧生成DACを $(1/2)AV_{REF0}$ にします。

比較電圧生成DACとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 $(1/2)AV_{REF0}$ よりも大きければ、SARレジスタのMSBをセットしたままです。また、 $(1/2)AV_{REF0}$ よりも小さければMSBをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように比較電圧生成DACが選択されます。

・ビット9 = 1 : $(3/4)AV_{REF0}$

・ビット9 = 0 : $(1/4)AV_{REF0}$

この比較電圧とアナログ入力電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

アナログ入力電圧 比較電圧 : ビット8 = 1

アナログ入力電圧 比較電圧 : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がADA0CRnレジスタに転送され格納されます。そのあと、A/D変換終了割り込み要求信号(INTAD)を発生します。

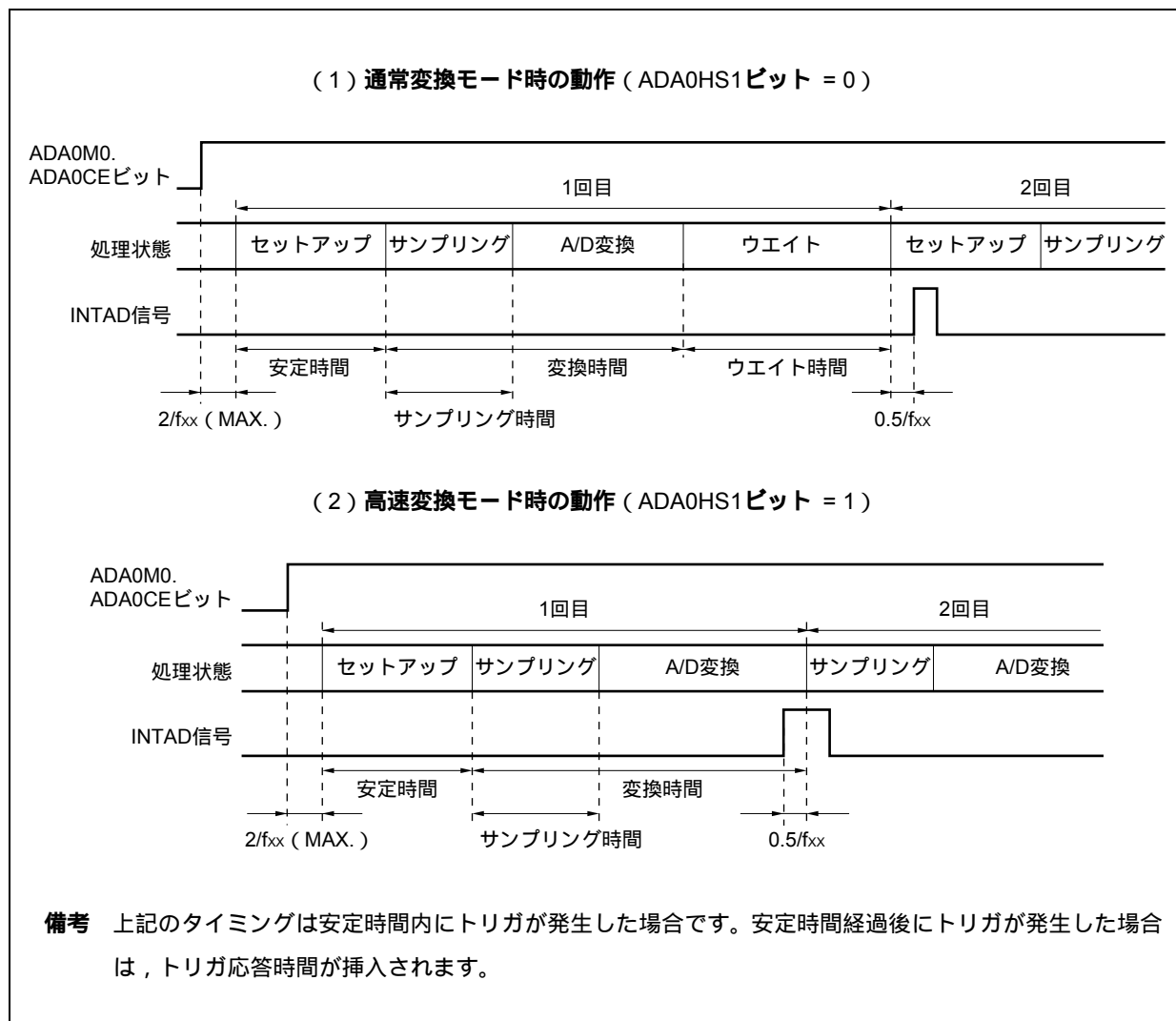
ワンショット・セレクト・モードの場合は、変換を停止します^注。ワンショット・スキャン・モードの場合は、スキャンを一巡すると停止します^注。連続セレクト・モードの場合はADA0M0.ADA0CEビット = 0とするまで ~ を繰り返します。連続スキャン・モードの場合もそれぞれのチャンネルに対して ~ を繰り返します。

注 外部トリガ・モード、タイマ・トリガ・モード0、タイマ・トリガ・モード1時はトリガ待機状態になります。

備考 トリガ待機状態とは、安定時間経過後の状態を示します。

15.5.2 変換動作タイミング

図15-3 変換動作タイミング (連続変換)



15.5.3 トリガ・モード

トリガ・モードの設定により、変換動作の開始タイミングの指定を行います。トリガ・モードにはソフトウェア・トリガ・モード、ハードウェア・トリガ・モードがあり、ハードウェア・トリガ・モードでは、タイマ・トリガ・モード0, 1, 外部トリガ・モードの3つがあります。トリガ・モードの設定はADA0M0.ADA0TMDビットで行い、ハードウェア・トリガ・モードの設定はADA0M2.ADA0TMD1, ADA0TMD0ビットで行います。

(1) ソフトウェア・トリガ・モード

ADA0M0.ADA0CEビットを“1”に設定すると、ADA0Sレジスタで指定したアナログ入力 (ANI0-ANI11端子) に対し、変換動作を開始します。変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、A/D変換終了割り込み要求信号 (INTAD) を発生します。

ADA0M0.ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/スキャン・モードであれば、変換終了後はADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います。動作モードがワンショット・セレクト/スキャン・モードであれば、1回で変換を終了します。

変換が開始されると、ADA0M0.ADA0EFビット = 1 (動作中) となります。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度最初から変換を行います。ただし、通常変換モード時、高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード時の書き込みは禁止です。

(2) 外部トリガ・モード

外部トリガ (ADTRG端子) の入力により、ADA0Sレジスタで指定したアナログ入力 (ANI0-ANI11端子) に対し、変換動作を開始するモードです。ADA0M0.ADA0ETS1, ADA0ETS0ビットの設定により、外部トリガのエッジ検出 (立ち上がり, 立ち下がり, 立ち上がり/立ち下がりの両エッジ) の指定ができます。ADA0CEビットをセット (1) 設定するとトリガ待機状態となり、外部トリガが入力された後に変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/連続スキャン/ワンショット・セレクト/ワンショット・スキャン・モードにかかわらず、変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、INTAD信号を発生し、再びトリガ待機状態になります。

変換が開始されると、ADA0EFビット = 1 (動作中) となります。ただし、トリガ待機状態のときはADA0EFビット = 0 (停止中) となります。変換動作中に有効なトリガが入力されると、変換は中断され、再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度トリガ待機状態になります。ただし、ワンショット・セレクト・モード/ワンショット・スキャン・モード時の書き込みは禁止です。

注意 外部トリガ・モードを選択する場合は、高速変換モードに設定してください。また、A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

備考 トリガ待機状態とは、安定時間経過後の状態を示します。

(3) タイマ・トリガ・モード

タイマに接続されたキャプチャ/コンペア・レジスタのコンペア一致割り込み要求信号 (INTTAA2CC0, INTTAA2CC1) により, ADA0Sレジスタで指定したアナログ入力 (ANI0-ANI11端子) に対し, 変換動作を開始するモードです。ADA0TMD1, ADA0TMD0ビットの設定により, INTTAA2CC0, INTTAA2CC1信号のいずれかを指定し, 指定されたコンペア一致割り込み要求信号の立ち上がりエッジで変換を開始します。ADA0CEビットをセット (1) するとトリガ待機状態となり, タイマのコンペア一致割り込み要求信号が入力されたあとに変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが, 連続セレクト/連続スキャン/ワンショット・セレクト/ワンショット・スキャン・モードにかかわらず, 変換を終了すると, 変換結果をADA0CRnレジスタに格納し, 同時に, INTAD信号を発生し, 再びトリガ待機状態になります。

変換が開始されると, ADA0EFビット = 1 (動作中) となります。ただし, トリガ待機状態の時はADA0EFビット = 0 (停止中) となります。変換動作中に有効なトリガが入力されると, 変換は中断され, 再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合, 変換は中断され, 再度, トリガ待機状態になります。ただし, ワンショット・セレクト・モード/ワンショット・スキャン・モード時の書き込みは禁止です。

注意 タイマ・トリガ・モードを選択する場合は, 高速変換モードに設定してください。また, A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

備考 トリガ待機状態とは, 安定時間経過後の状態を示します。

15.5.4 動作モード

動作モードには、ANI0-ANI11端子を設定するモードとして、連続セレクト・モード、連続スキャン・モード、ワンショット・セレクト・モード、ワンショット・スキャン・モードの4つがあります。

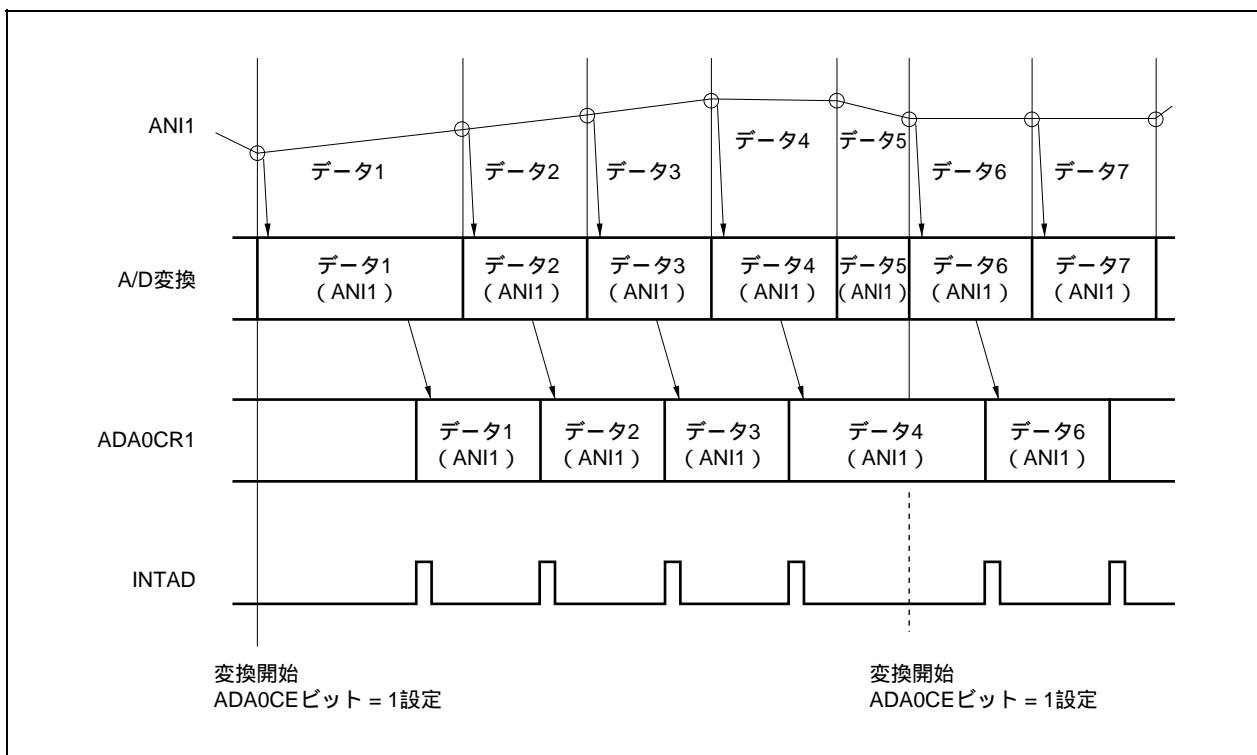
動作モードはADA0M0.ADA0MD1, ADA0MD0ビットで設定します。

(1) 連続セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子の電圧を連続してA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/D変換終了割り込み要求信号(INTAD)が発生します。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり、次の変換を繰り返していきます(n = 0-11)。

図15-4 連続セレクト・モード動作タイミング例 (ADA0Sレジスタ = 01H)

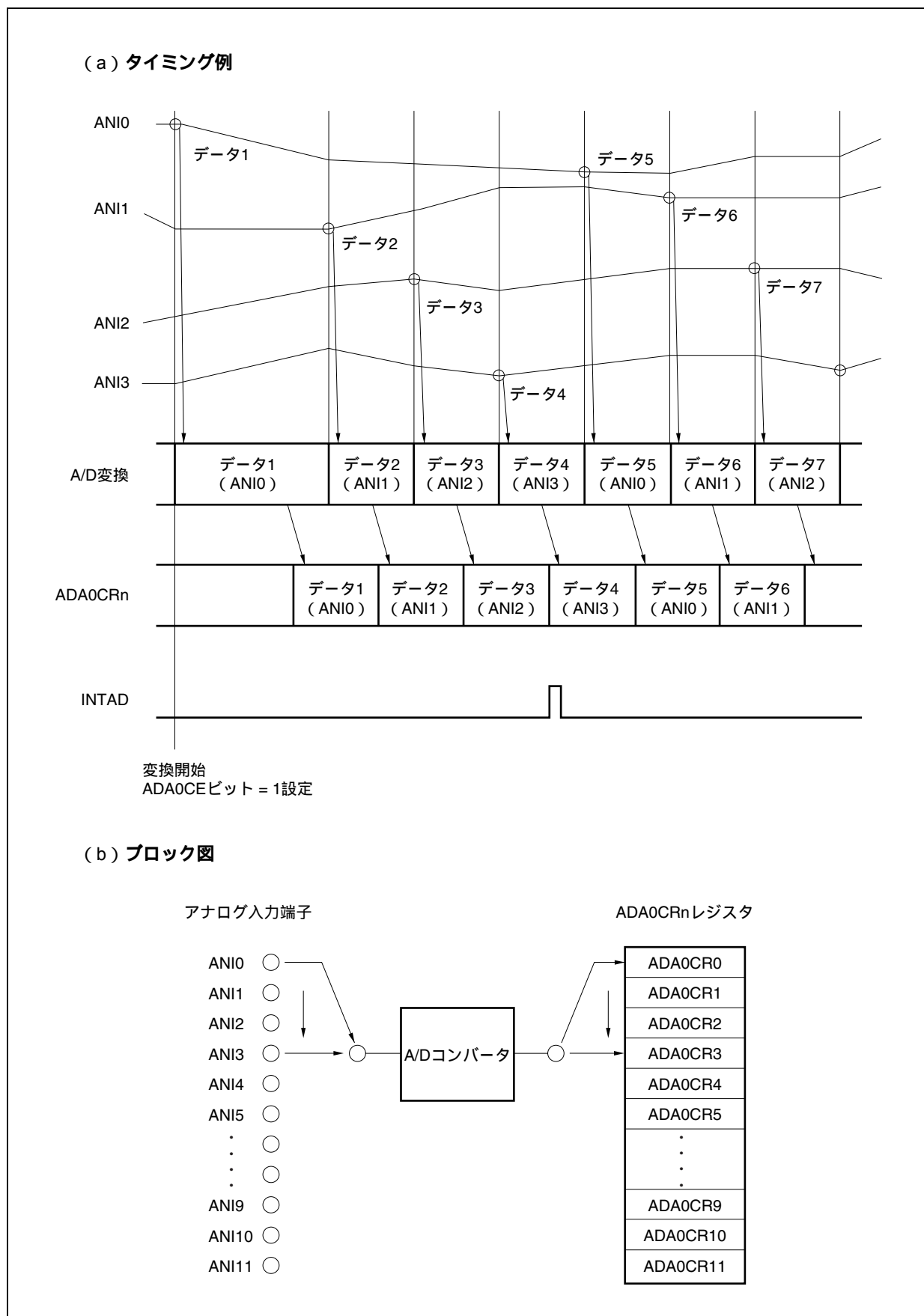


(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し、A/D変換を連続で行います。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると、INTAD信号が発生し、ADA0CEビットを“0”にしないかぎり、再びANI0端子からA/D変換を開始します(n = 0-11)。

図15 - 5 連続スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)

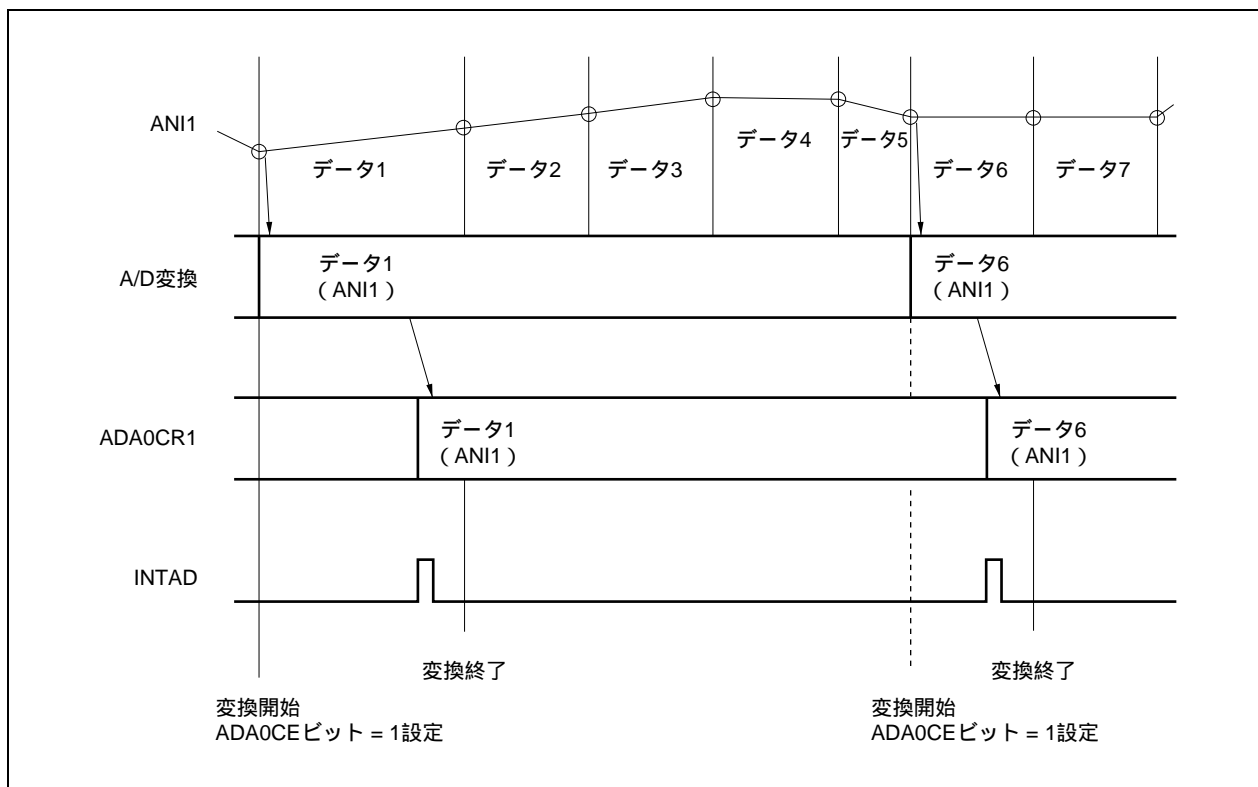


(3) ワンショット・セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子を1回のみA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており、1回のA/D変換終了後、INTAD信号が発生します。A/D変換終了後はA/D変換動作を停止します (n = 0-11)。

図15 - 6 ワンショット・セレクト・モード動作タイミング例 (ADA0Sレジスタ = 01H)

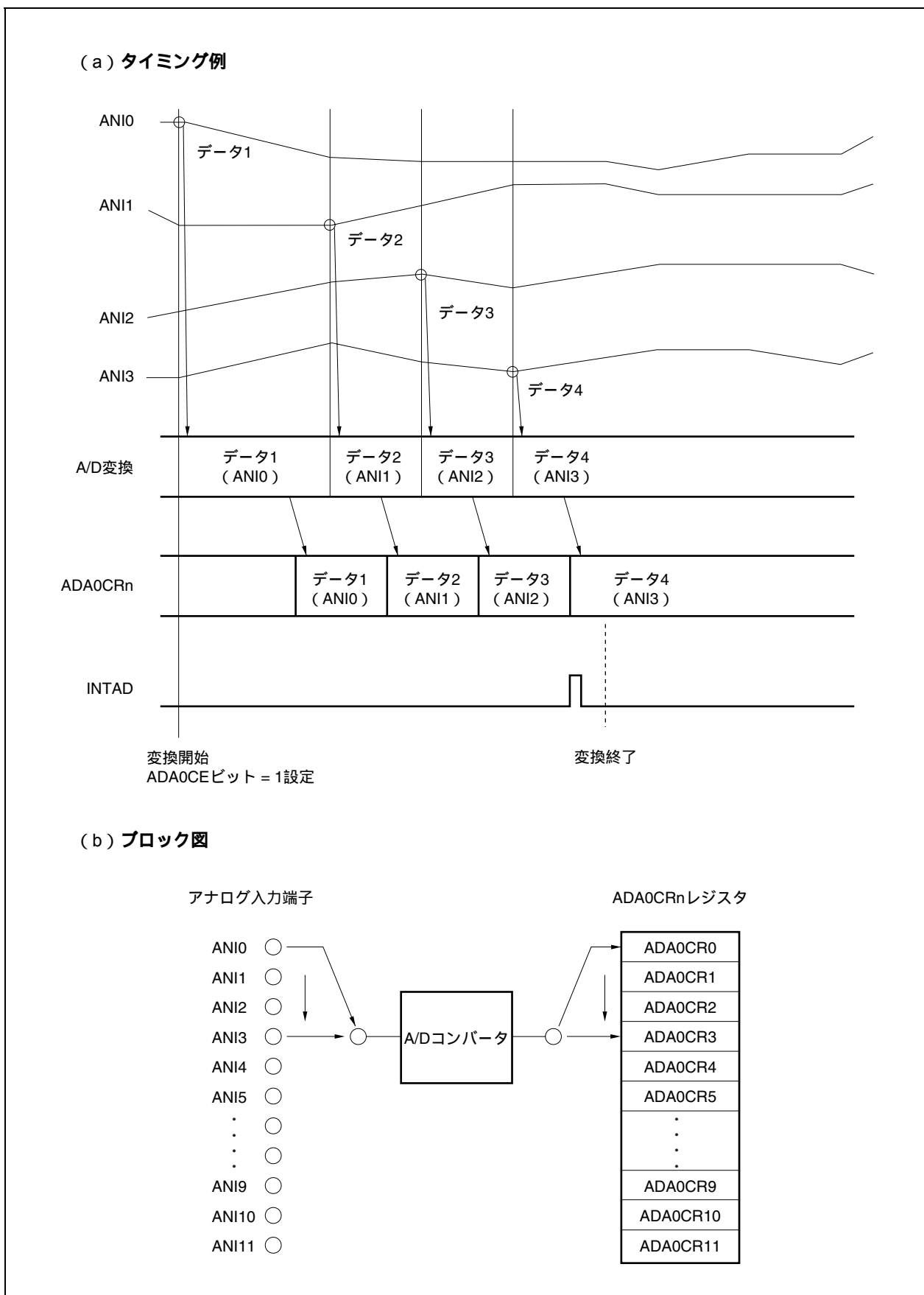


(4) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し、A/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると、INTAD信号が発生し、A/D変換終了後はA/D変換動作を停止します (n = 0-11)。

図15-7 ワンショット・スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)



15.5.5 パワー・フェイル比較モード

ADA0PFM, ADA0PFTレジスタにより, A/D変換終了割り込み要求信号(INTAD)を次のように制御できます。

- ・ ADA0PFM.ADA0PFEビット = 0の場合, 変換終了ごとにINTAD信号が発生します(通常のA/Dコンバータとして使用)。
- ・ ADA0PFEビット = 1かつADA0PFM.ADA0PFCビット = 0の場合, 変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し, ADA0CRnH > ADA0PFTの場合のみ, INTAD信号が発生します。
- ・ ADA0PFEビット = 1かつADA0PFCビット = 1の場合, 変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し, ADA0CRnH < ADA0PFTの場合のみ, INTAD信号が発生します。

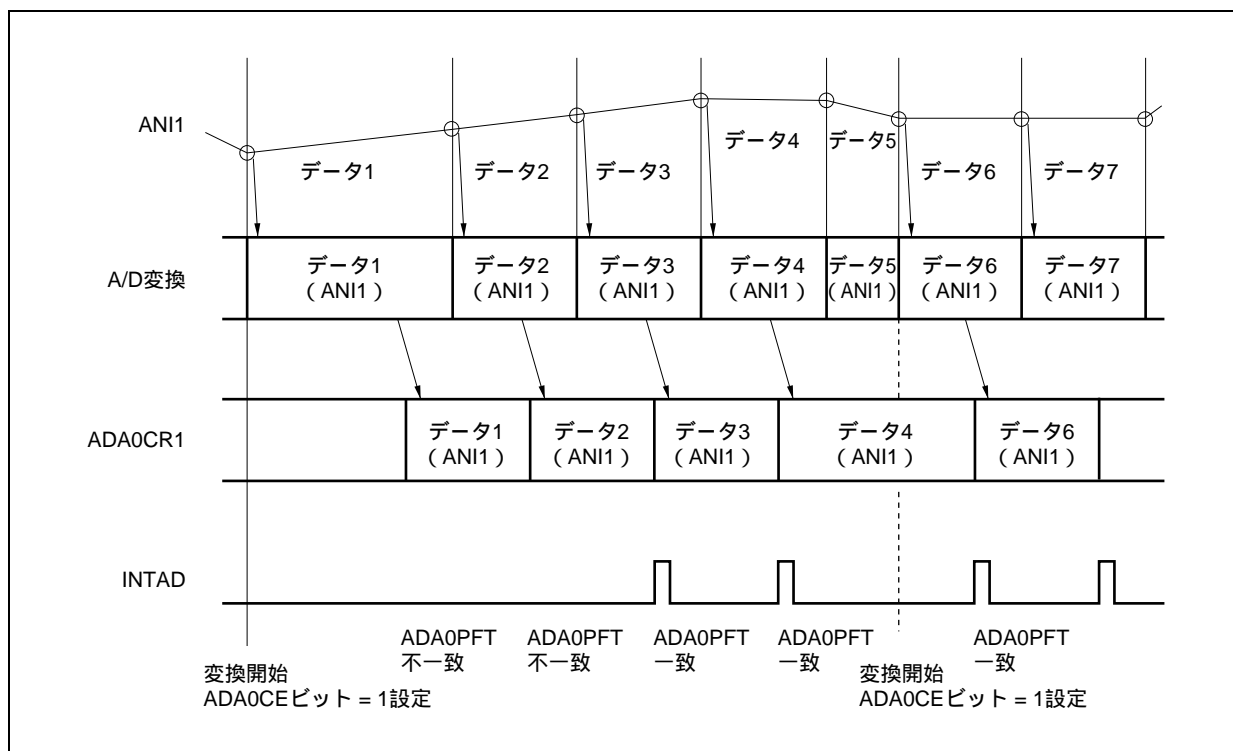
備考 n = 0-11

パワー・フェイル比較モードにもANI0-ANI11端子を設定するモードとして, 連続セレクト・モード, 連続スキャン・モード, ワンショット・セレクト・モード, ワンショット・スキャン・モードの4つがあります。

(1) 連続セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子電圧の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CRnレジスタに格納し、INTAD信号が発生します。一致しない場合、変換結果をADA0CRnレジスタに格納し、INTAD信号を発生しません。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います (n = 0-11)。

図15 - 8 連続セレクト・モード動作タイミング例 (パワー・フェイル比較時 : ADA0Sレジスタ = 01H)

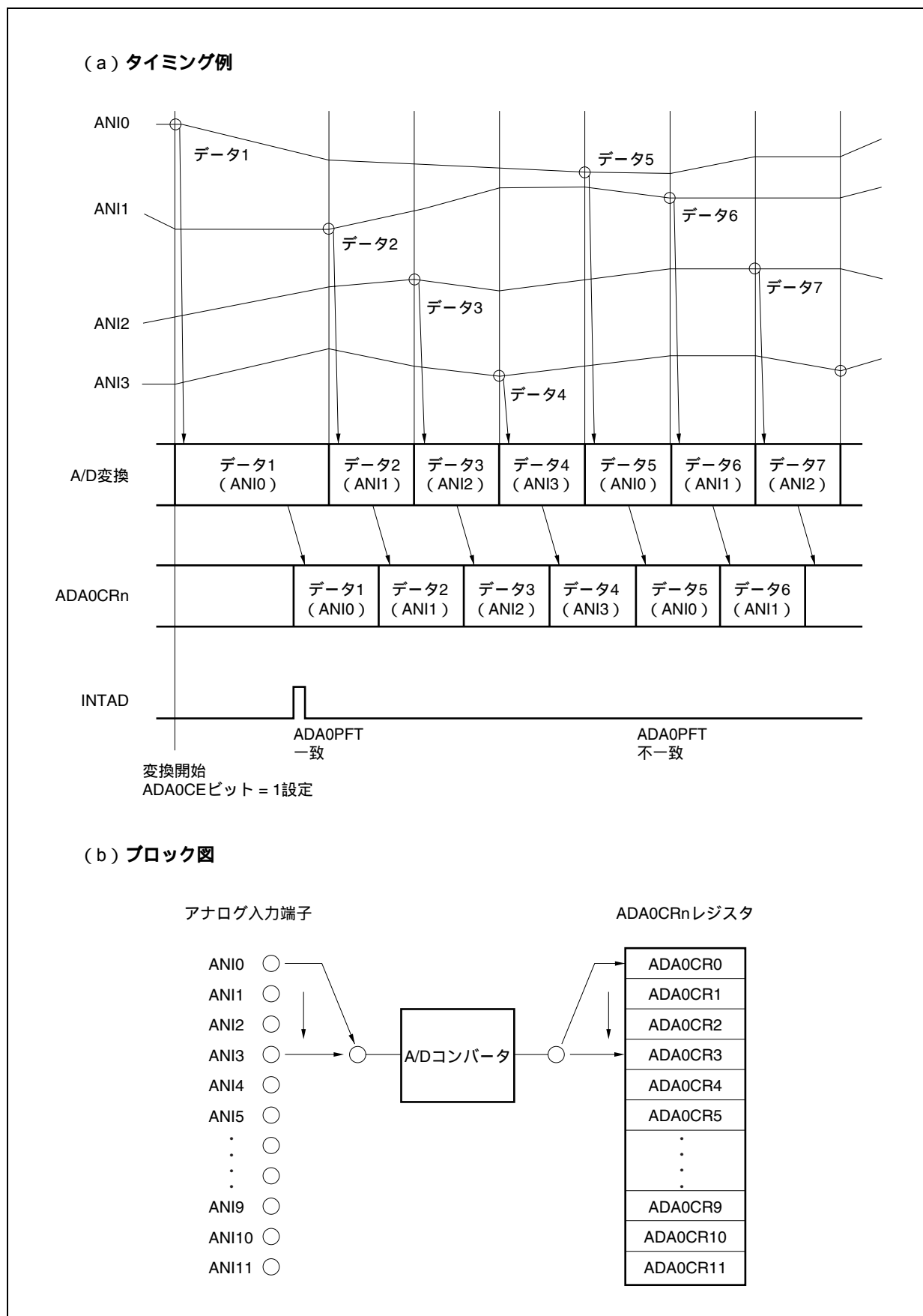


(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャンネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。

ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後はADA0CEビットを“0”にしないかぎり、再びANI0端子から変換を開始します。

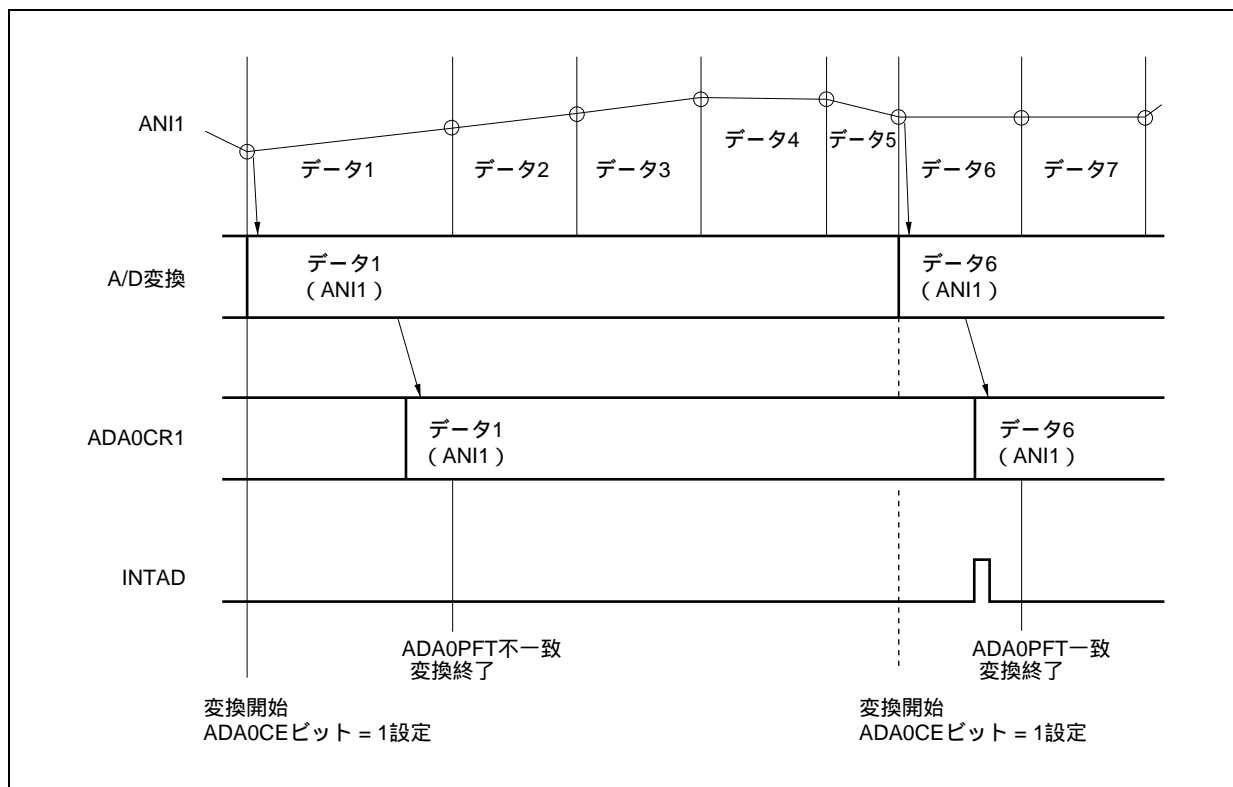
図15 - 9 連続スキャン・モード動作タイミング例 (パワー・フェイル比較時 : ADA0Sレジスタ = 03H)



(3) ワンショット・セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CRnレジスタに格納し、INTAD信号が発生します。一致しない場合、変換結果をADA0CRnレジスタに格納し、INTAD信号を発生しません。変換終了後は変換を停止します。

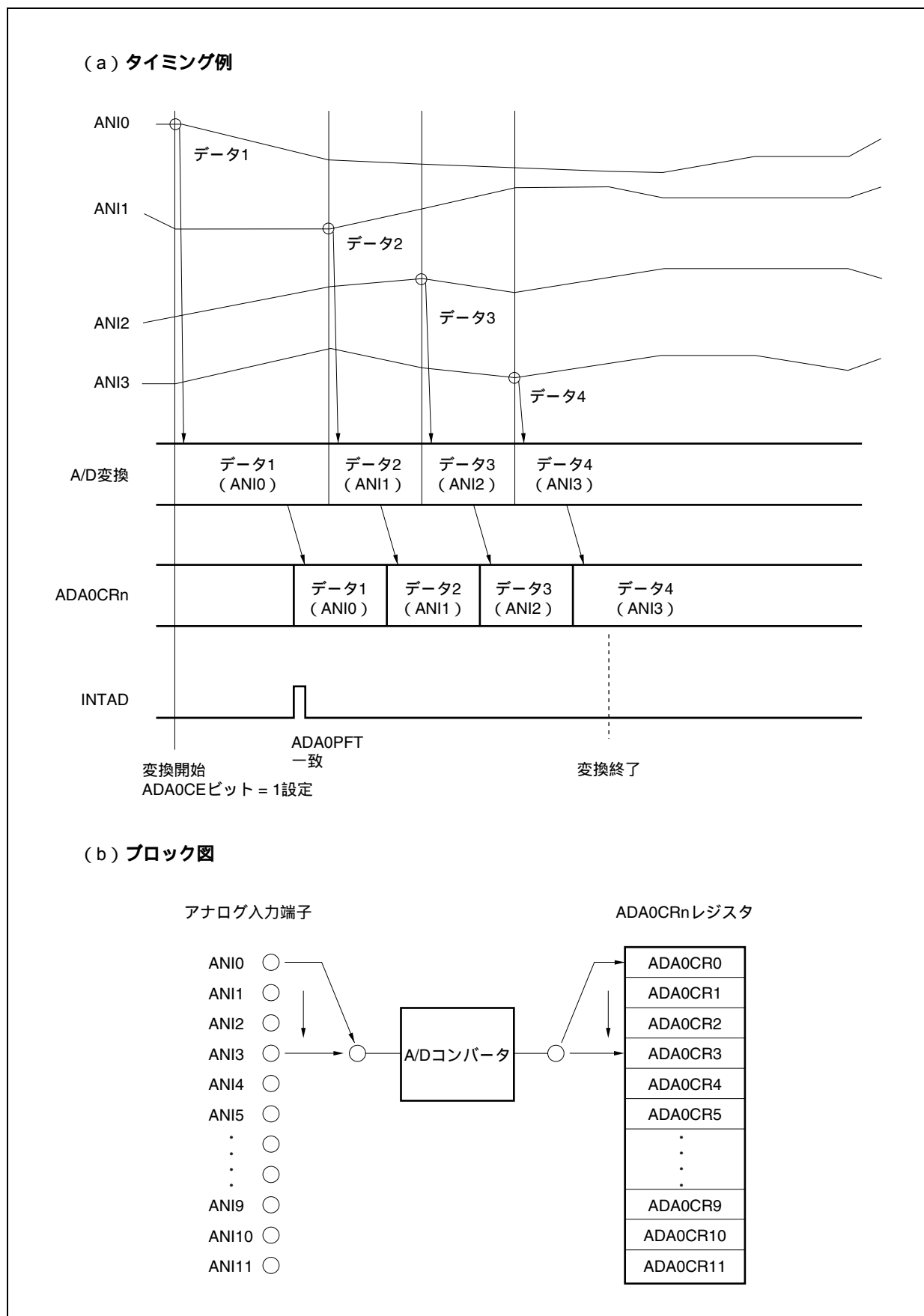
図15 - 10 ワンショット・セレクト・モード動作タイミング例(パワー・フェイル比較時: ADA0Sレジスタ = 01H)



(4) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャンネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後は変換を停止します。

図15 - 11 ワンショット・スキャン・モード動作タイミング例(パワー・フェイル比較時: ADA0Sレジスタ = 03H)



15.6 注意事項

(1) A/Dコンバータ未使用時について

未使用時は、ADA0M0.ADA0CEビット = 0とすることにより消費電力を低減できます。

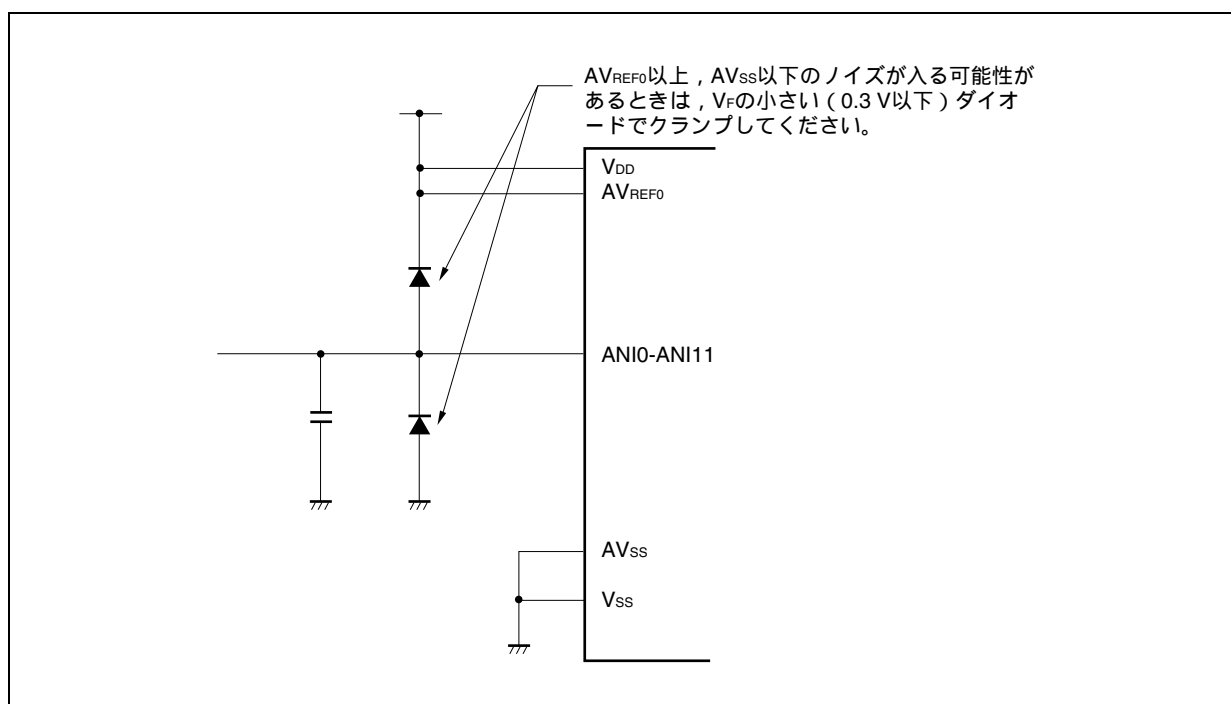
(2) ANI0-ANI11端子入力範囲について

ANI0-ANI11端子の入力電圧は規格の範囲内で使用してください。ただし、絶対最大定格の範囲内であっても AV_{REF0} 以上、 AV_{SS} 以下の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) ノイズ対策について

10ビット分解能を保つためには、ANI0-ANI11端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図15-12のようにコンデンサを外付けすることを推奨します。

図15-12 アナログ入力端子の処理



(4) 兼用入出力について

アナログ入力 (ANI0-ANI11) 端子はポート端子と兼用になっています。ANI0-ANI11端子のいずれかを選択してA/D変換をする場合、変換中に入力ポートへの読み出し命令、または出力ポートへの書き込み命令を実行しないでください。変換分解能が低下することがあります。

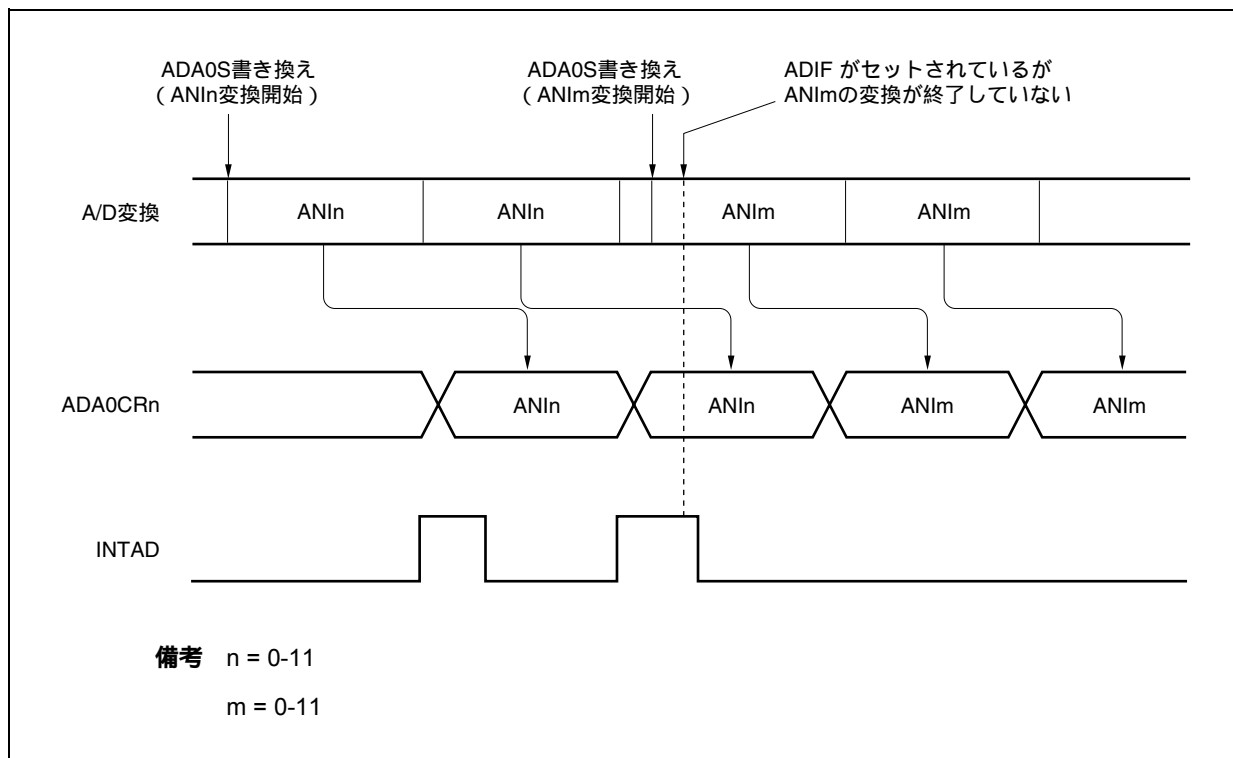
また、A/D変換中に出力ポートに設定している端子で、ポート端子に接続される外部回路の影響で出力電流が変動する場合も変換分解能が低下することがあります。

A/D変換中の端子に隣接する端子へデジタル・パルスを印加したりデジタル・パルスを出力したりすると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。

(5) 割り込み要求フラグ (ADIF) について

ADA0Sレジスタを変更しても、割り込み要求フラグ (ADIF) はクリアされません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADA0Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります、ADA0Sレジスタ書き換え直後にADIFフラグを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされている場合がありますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリアしてください。

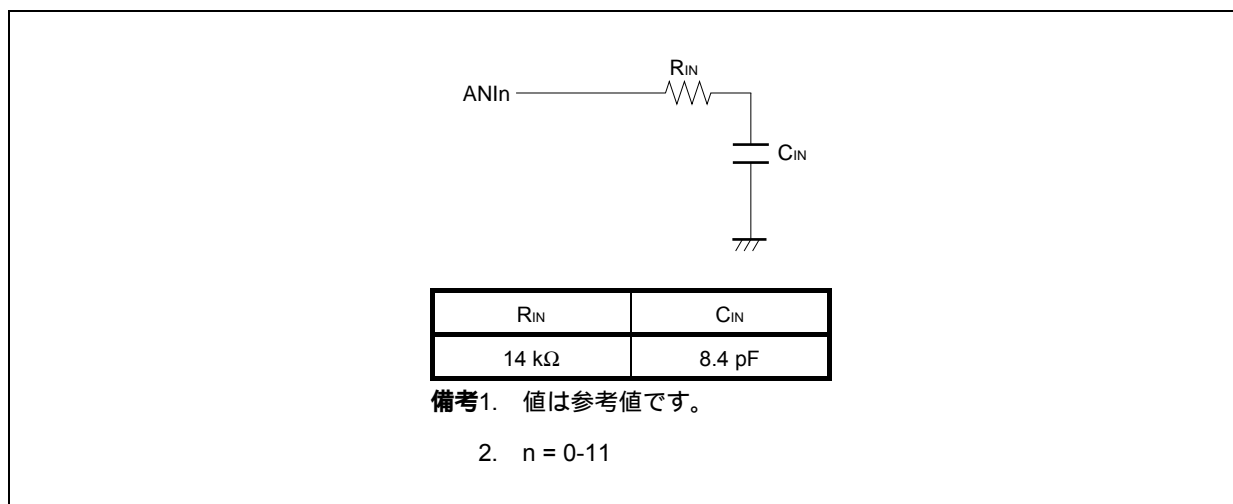
図15 - 13 A/D変換終了割り込み要求発生タイミング



(6) 内部等価回路について

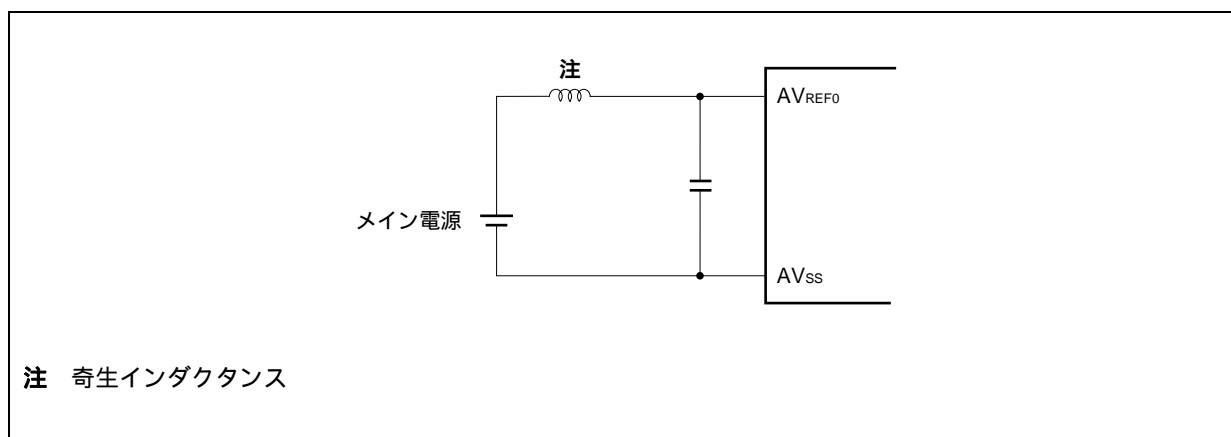
アナログ入力部の等価回路を次に示します。

図15 - 14 ANIn端子内部等価回路



(7) AV_{REF0}端子について

- (a) AV_{REF0}端子はA/Dコンバータの電源端子を兼用しており、また兼用ポートにも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても図15 - 15のように必ずV_{DD}と同じ電位を印加してください。
- (b) AV_{REF0}端子はA/Dコンバータ用の基準電圧端子を兼用しています。したがって、AV_{REF0}端子への供給部のインピーダンス値が高い場合や、電源の電流供給能力が低い場合、変換時に流れる電流（特に変換動作許可ADA0CEビット = 1とした直後）により基準電圧が変動し、変換精度が悪くなるおそれがあります。これを避けるため図15 - 15のようにAV_{REF0}端子とAV_{SS}端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。
- (c) AV_{REF0}端子への供給部に直流抵抗値（ダイオード挿入など）が高いと、A/D変換電流による電圧降下により、変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。

図15 - 15 AV_{REF0}端子の処理例

(8) ADA0CRnレジスタの読み出しについて

ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行ったとき、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行う前に読み出してください。また、外部/タイマ・トリガを受け付けたときも、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、次の外部/タイマ・トリガを受け付ける前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(9) 外部トリガ・モードについて

外部トリガを使用する場合、A/D変換中に入力したトリガは、受け付けられません

(10) スタンバイ・モードについて

A/Dコンバータは、STOPモード時に動作が停止するため、変換結果は無効になり消費電力を低減できます。STOPモード解除後、再び動作を開始しますが、STOPモード解除後のA/D変換結果は無効です。STOPモード解除後にA/Dコンバータを使用する場合は、STOPモード設定前またはSTOPモード解除後にADA0M0.ADA0CEビット = 0に設定してからSTOPモード解除後にADA0CEビット = 1に設定してください。

IDLE1, IDLE2モード, サブクロック動作モードでは動作が保持されるため、消費電力を低減する場合にはADA0M0.ADA0CEビット = 0にしてください。ただし、IDLE1, IDLE2モード期間中は、アナログ入力電圧値が保持できなくなるため、IDLE1, IDLE2モード解除後のA/D変換結果は無効です。また、IDLE1, IDLE2モード設定前のA/D変換結果は有効です。

(11) 高速変換モードについて

高速変換モードでは、安定時間中のADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTのレジスタの書き換え、およびトリガ入力を禁止します。

(12) A/D変換時間について

A/D変換時間は、安定時間、変換時間、ウエイト時間、およびトリガ応答時間の合計時間になります（それぞれの時間については、表15-2 通常変換モード時の変換時間の選択（ADA0HS1ビット= 0）、表15-3 高速変換モード時の変換時間の選択（ADA0HS1ビット= 1）を参照してください）。

通常変換モードでは、A/D変換中に、ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みまたはトリガが入力されると再変換が行われますが、安定時間終了タイミングとADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みが競合した場合、または安定時間終了タイミングとトリガの入力が競合した場合は、安定時間が64クロック再挿入されます。

また、再挿入の安定時間終了タイミングと再び競合すると、再度、安定時間が挿入されますので、トリガの入力間隔と制御レジスタ書き込みの間隔は64クロック以下にしないでください。

(13) A/D変換結果のばらつきについて

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。

(14) A/D変換のヒステリシス特性について

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- ・ 同一チャンネルでA/D変換を実行する場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・ アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

15.7 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1 \text{ \%FSR} &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF0} - 0) / 100 \\ &= AV_{REF0} / 100 \end{aligned}$$

分解能10ビットのとき、1 LSBは次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \text{ \%FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

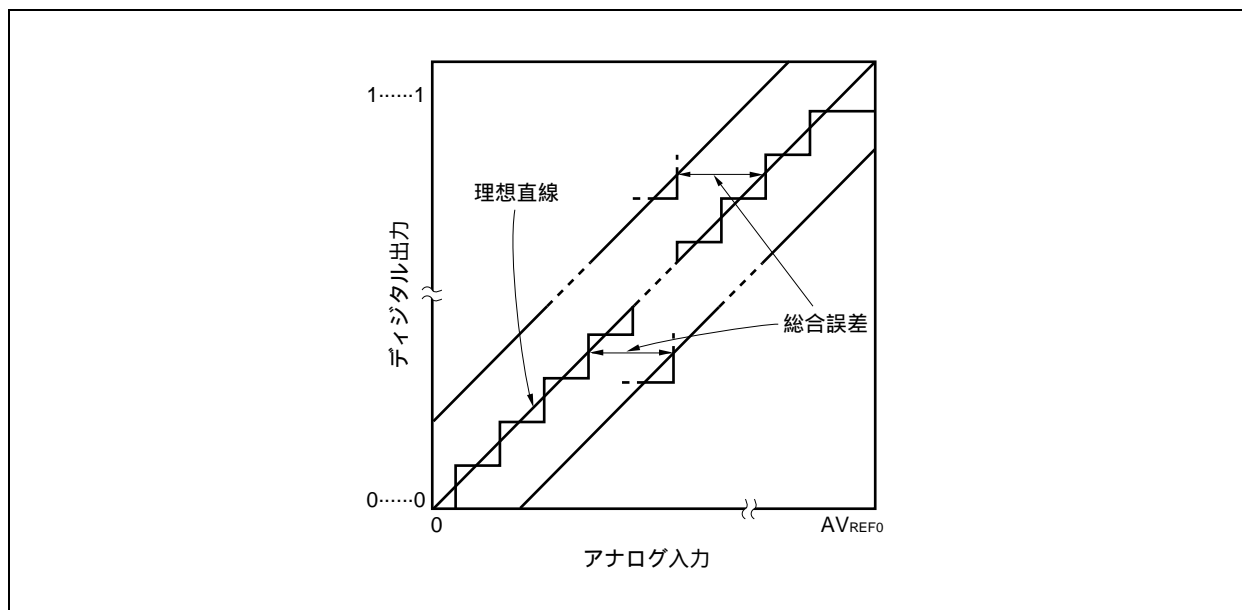
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図15 - 16 総合誤差

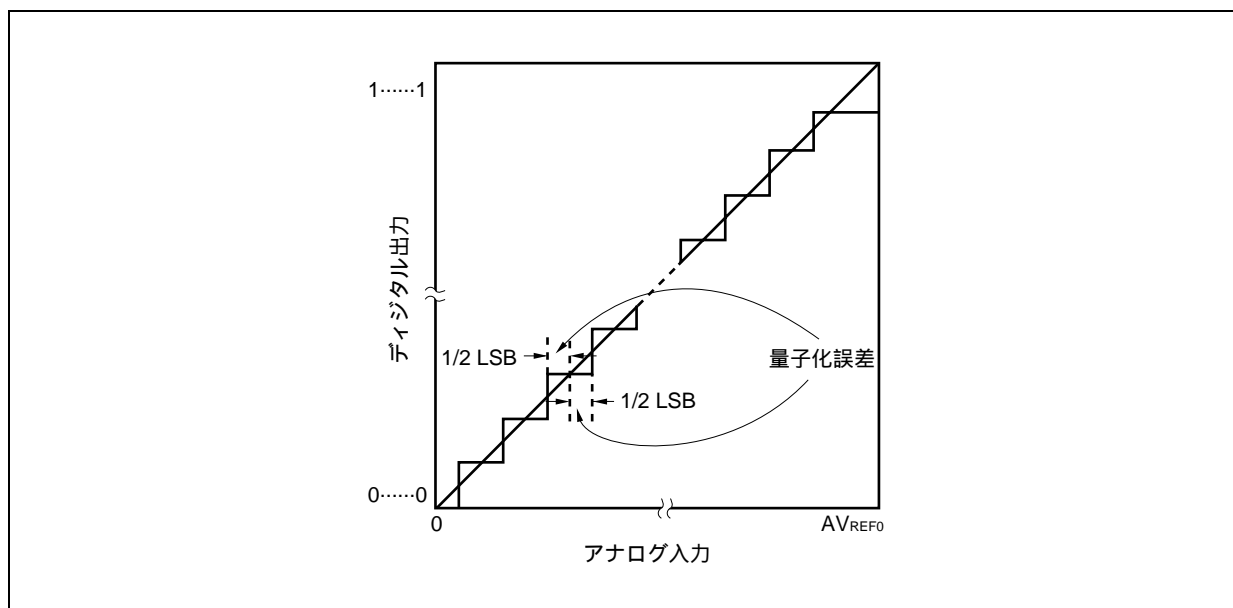


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSB の誤差です。A/D コンバータでは、 $\pm 1/2$ LSB の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

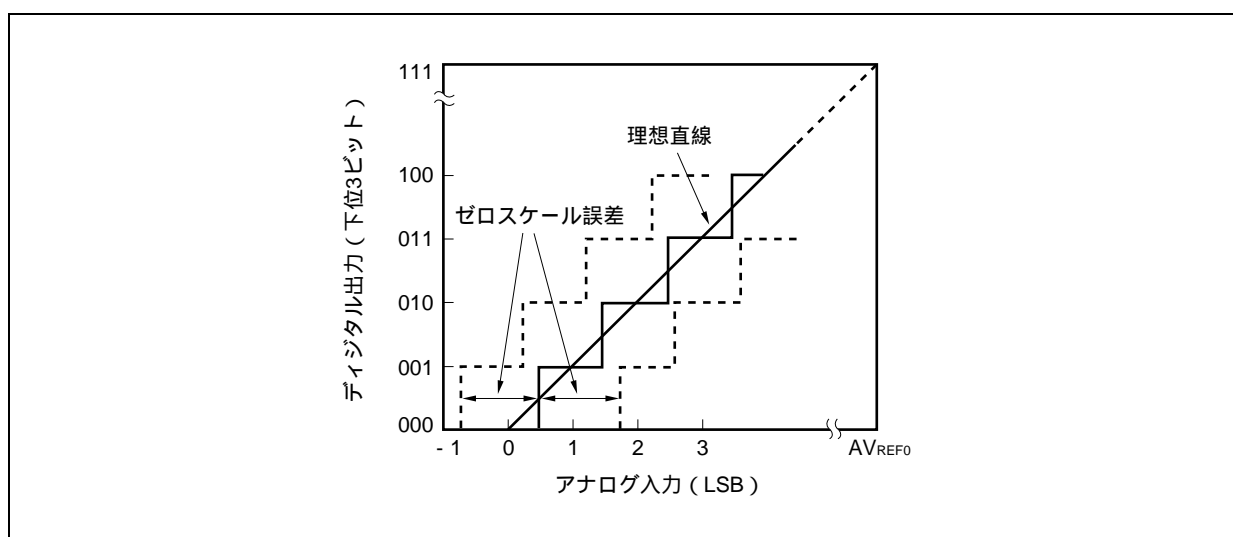
図15 - 17 量子化誤差



(4) ゼロスケール誤差

デジタル出力が 0.....000 から 0.....001 に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2$ LSB) との差を表します。

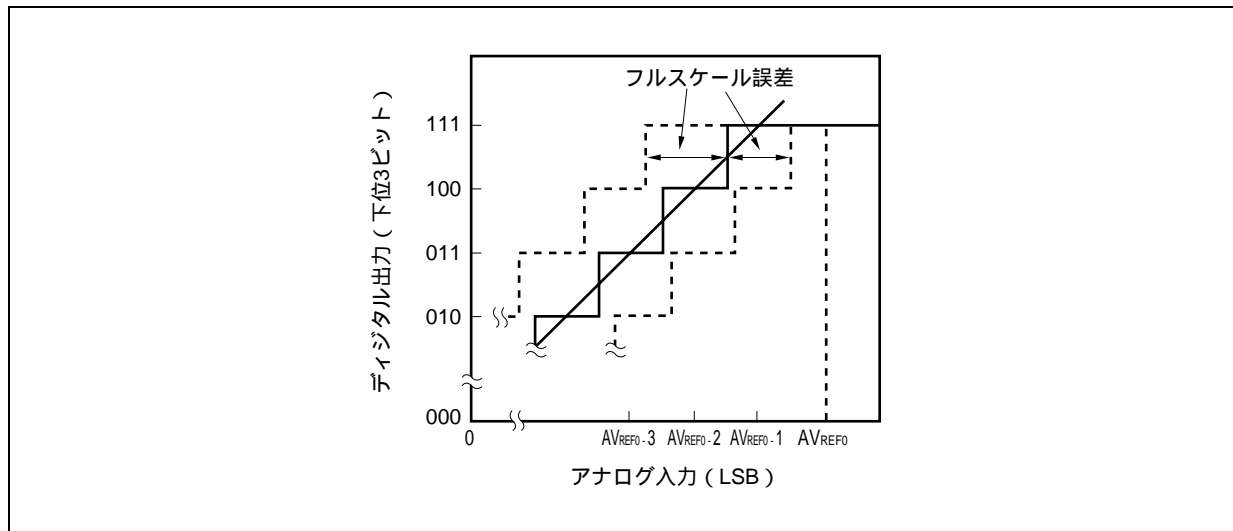
図15 - 18 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - 3/2 LSB）との差を表します。

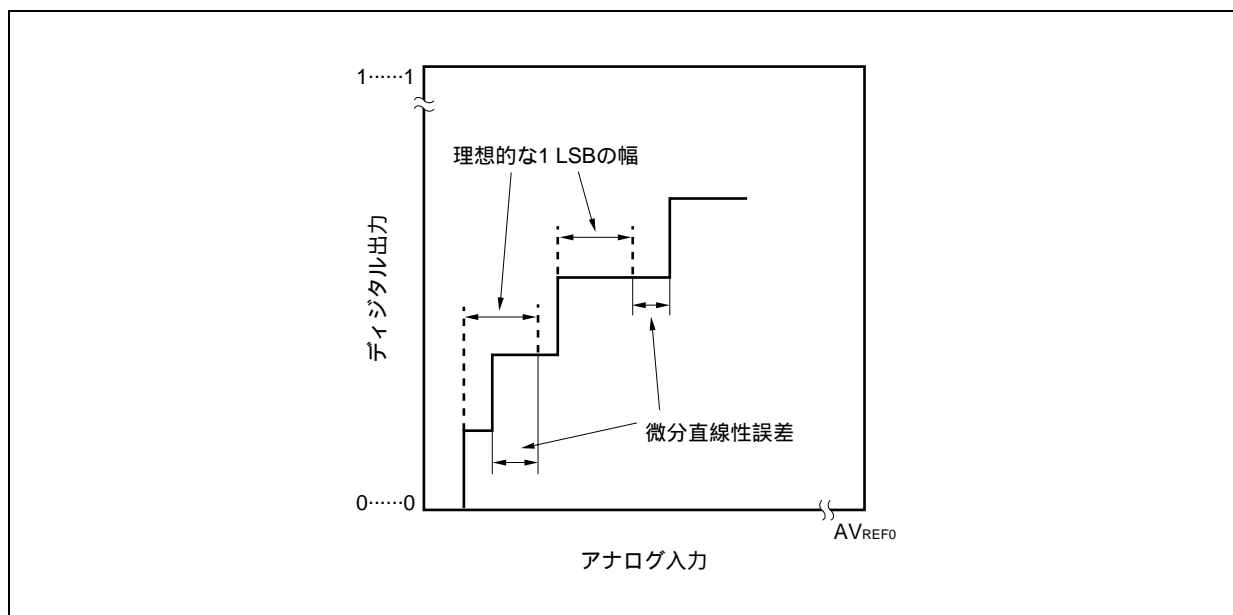
図15 - 19 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。同一チャンネルのアナログ入力端子に印加する電圧を AV_{SS} から AV_{REF0} まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャンネルを使用する場合は、15.7 (2) 総合誤差を参照してください。

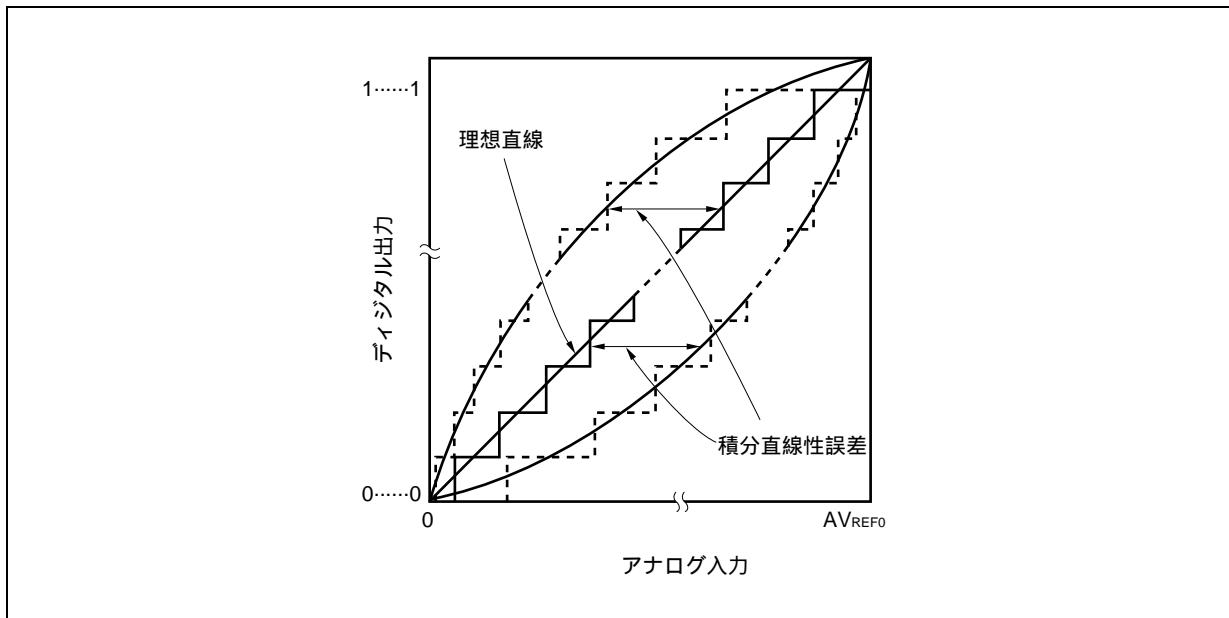
図15 - 20 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図15 - 21 積分直線性誤差



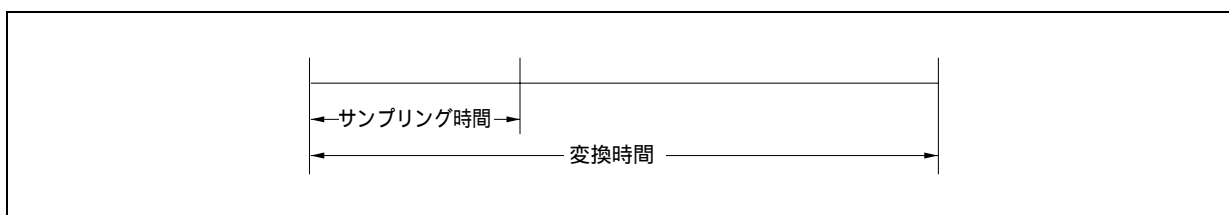
(8) 変換時間

各トリガが発生してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図15 - 22 サンプリング時間



第16章 D/Aコンバータ

16.1 機 能

D/Aコンバータには、次のような機能があります。

8ビット分解能 × 2ch (DA0CS0, DA0CS1)

R-2Rラダー方式

セトリング・タイム : 3 μ s (MAX.) (AV_{REF1} = 3.0 ~ 3.6 V, 外部負荷20 pF時)

アナログ出力電圧 : $AV_{REF1} \times m/256$ ($m = 0-255$; DA0CSnレジスタに設定した値)

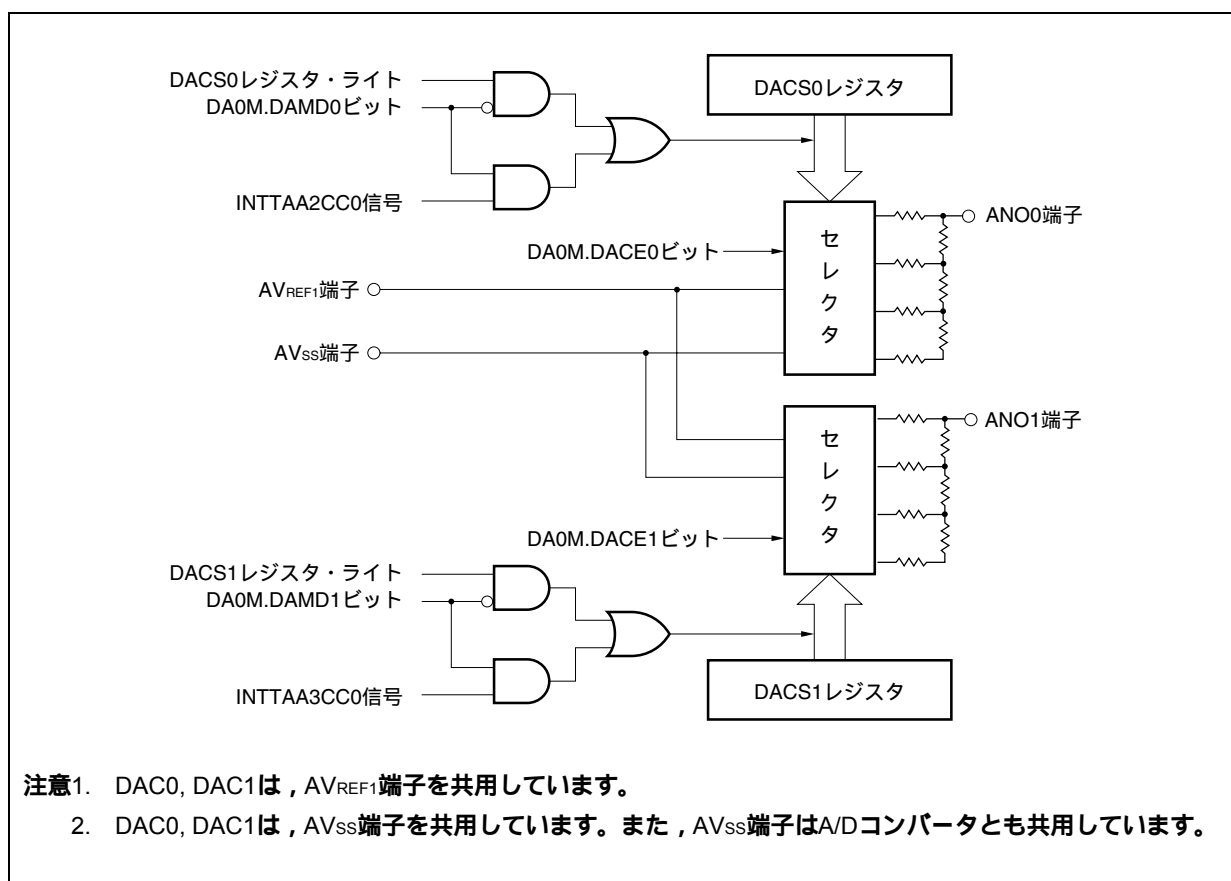
動作モード : 通常モード / リアルタイム出力モード

備考 $n = 0, 1$

16.2 構 成

次にD/Aコンバータの構成について示します。

図16 - 1 D/Aコンバータのブロック図



D/Aコンバータは、次のハードウェアで構成されています。

表16 - 1 D/Aコンバータの構成

項 目	構 成
制御レジスタ	D/Aコンバータ・モード・レジスタ (DA0M) D/A変換値設定レジスタ0, 1 (DA0CS0, DA0CS1)

16.3 レジスタ

D/Aコンバータを制御するレジスタを次に示します。

- ・ D/Aコンバータ・モード・レジスタ (DA0M)
- ・ D/A変換値設定レジスタ0, 1 (DA0CS0, DA0CS1)

(1) D/Aコンバータ・モード・レジスタ (DA0M)

D/Aコンバータの動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF282H								
	7	6	⑤	④	3	2	1	0
DA0M	0	0	DA0CE1	DA0CE0	0	0	DA0MD1	DA0MD0
DA0CE _n	D/Aコンバータの動作許可/禁止制御 (n = 0, 1)							
0	動作禁止							
1	動作許可							
DA0MD _n	D/Aコンバータの動作モードの選択 (n = 0, 1)							
0	通常モード							
1	リアルタイム出力モード ^注							
<p>注 リアルタイム出力モード (DA0MD_nビット = 1) 時の出力トリガは、次のとおりです。</p> <ul style="list-style-type: none"> ・ n = 0のとき : INTTAA2CC0信号 (第7章 16ビット・タイマ/イベント・カウンタ AA (TAA) 参照) ・ n = 1のとき : INTTAA3CC0信号 (第7章 16ビット・タイマ/イベント・カウンタ AA (TAA) 参照) 								

(2) D/A変換値設定レジスタ0, 1 (DA0CS0, DA0CS1)

ANO0, ANO1端子に出力するアナログ電圧値を設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : DA0CS0 FFFFF280H, DA0CS1 FFFFF281H

	7	6	5	4	3	2	1	0
DA0CSn	DA0CSn7	DA0CSn6	DA0CSn5	DA0CSn4	DA0CSn3	DA0CSn2	DA0CSn1	DA0CSn0

注意 リアルタイム出力モード (DA0M.DA0MDnビット = 1) のとき, INTTAA2CC0/INTTAA3CC0信号が発生する前に, DA0CSnレジスタを設定してください。INTTAA2CC0/INTTAA3CC0信号発生でD/A変換を開始します。

備考 n = 0, 1

16.4 動作

16.4.1 通常モード時の動作

DA0CSnレジスタへのライト動作を起動トリガとして、D/A変換を行います。

次に、その設定方法を示します。

DA0M.DA0MDnビット = 0 (通常モード) に設定します。

DA0CSnレジスタにANOn端子に出力するアナログ電圧値を設定します。

以上、を初期設定として行います。

DA0M.DA0CEnビット = 1 (D/A変換動作許可) に設定します。

これによりD/A変換が開始します。

以降、D/A変換を行う場合は、DA0CSnレジスタへのライト動作を行います。

なお、次のD/A変換を行うまでは、前回D/A変換した結果を保持します。

備考1. 兼用端子の設定は表4 - 20 **ポート端子を兼用端子として使用する場合**を参照してください。

2. $n = 0, 1$

16.4.2 リアルタイム出力モード時の動作

TAA2, TAA3の割り込み要求信号 (INTTAA2CC0, INTTAA3CC0) を起動トリガとして、D/A変換を行います。

次に、その設定方法を示します。

DA0M.DA0MDnビット = 1 (リアルタイム出力モード) に設定します。

DA0CSnレジスタにANOn端子に出力するアナログ電圧値を設定します。

DA0M.DA0CEnビット = 1 (D/A変換動作許可) に設定します。

以上、を初期設定として行います。

TAA2, TAA3を動作させます。

INTTAA2CC0, INTTAA3CC0信号が発生すると、D/A変換を開始します。

以降、DA0CSnレジスタに設定した値がINTTAA2CC0, INTTAA3CC0信号のタイミングで出力されま
す。

備考1. までのAN00, AN01端子の出力値は不定です。

2. HALT, IDLE1, IDLE2, STOPモード時のAN00, AN01端子の出力値については、**第21章
スタンバイ機能**を参照してください。

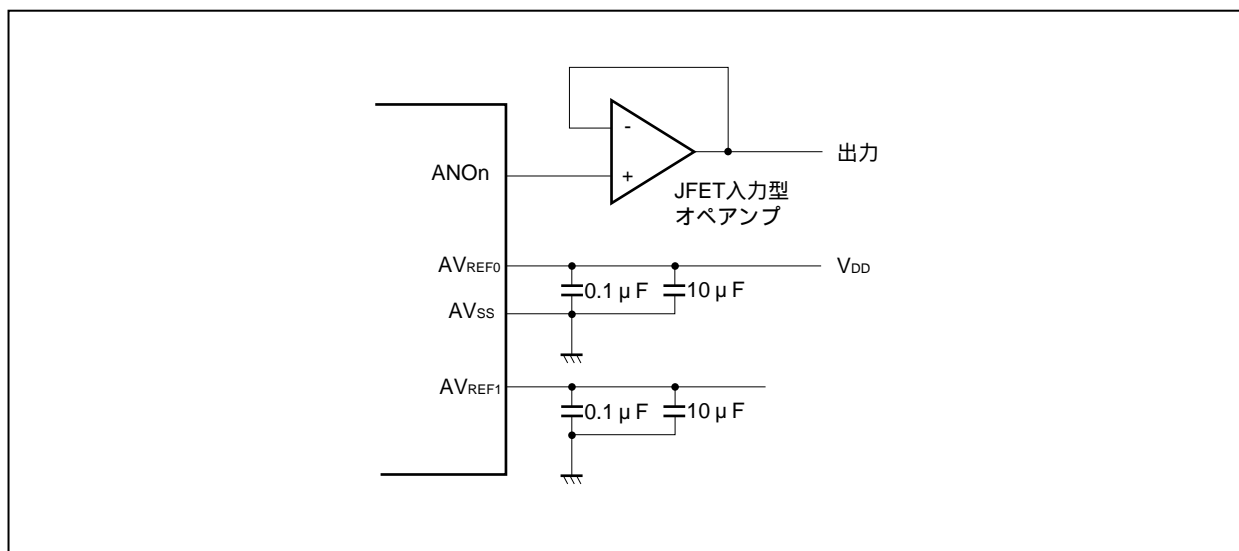
3. 兼用端子の設定は表4 - 20 **ポート端子を兼用端子として使用する場合**を参照してくだ
さい。

16.4.3 使用上の注意点

D/Aコンバータを使用する際の注意事項を次に示します。

- (1) リアルタイム出力モード時、トリガ信号が出ている間にDA0CSnレジスタの設定値を変更しないでください。
- (2) 動作モードを切り替える場合は、必ずDA0M.DA0CEnビット = 0にしたあとに行ってください。
- (3) P10/ANO0, P11/ANO1端子を、1本を入出力ポート、1本をD/A出力端子として使用する場合、D/A出力中は、ポートの入出力レベルが変化しないようなアプリケーションで使用してください。
- (4) $AV_{REF0} = V_{DD} = AV_{REF1} = 3.0 \sim 3.6$ Vの範囲で使用してください。それ以外の場合の動作は保証できません。
- (5) AV_{REF1} の電源投入および電源切断は、 AV_{REF0} と同じタイミングで行ってください。
- (6) D/Aコンバータの出力インピーダンスが高いため、ANOn端子 ($n = 0, 1$) から電流を取り出すことはできません。2 M Ω 以下の抵抗を接続する場合には、抵抗とANOn端子の間にJFET入力型オペアンプを挿入してください。

図16 - 2 外部端子の接続例



- (7) D/Aコンバータは、STOPモード時に動作が停止するため、ANO0, ANO1端子は、ハイ・インピーダンスになり消費電力を低減できます。
ただし、IDLE1, IDLE2モード、サブクロック動作モードでは端子は保持されるため、消費電力を低減する場合にはDA0M.DA0CEnビット = 0にしてください。

第17章 アシンクロナス・シリアル・インタフェースC(UARTC)

V850ES/JG3-U, V850ES/JH3-UはUARTCを5チャンネル搭載しています。

17.1 特 徴

転送速度 300 bps ~ 3 Mbps (内部システム・クロック24 MHz, 専用ポー・レート・ジェネレータ使用)

全二重通信 UARTCn受信データ・レジスタ (UCnRX) 内蔵

UARTCn送信データ・レジスタ (UCnTX) 内蔵

2端子構成 TXDCn : 送信データの出力端子

RXDCn : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース : 2種類

- ・受信完了割り込み (INTUCnR) : 受信許可状態において, シリアル転送完了後, 受信シフト・レジスタから受信データ・レジスタへ受信データを転送すると発生
- ・送信許可割り込み (INTUCnT) : 送信許可状態において, 送信データ・レジスタから送信シフト・レジスタへ送信データを転送すると発生

キャラクタ長 : 7-9ビット

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

送受信データの反転入出力が可能

LIN (Local Interconnect Network) 通信フォーマットにおけるSBF (Synch Break Field) 送信可能

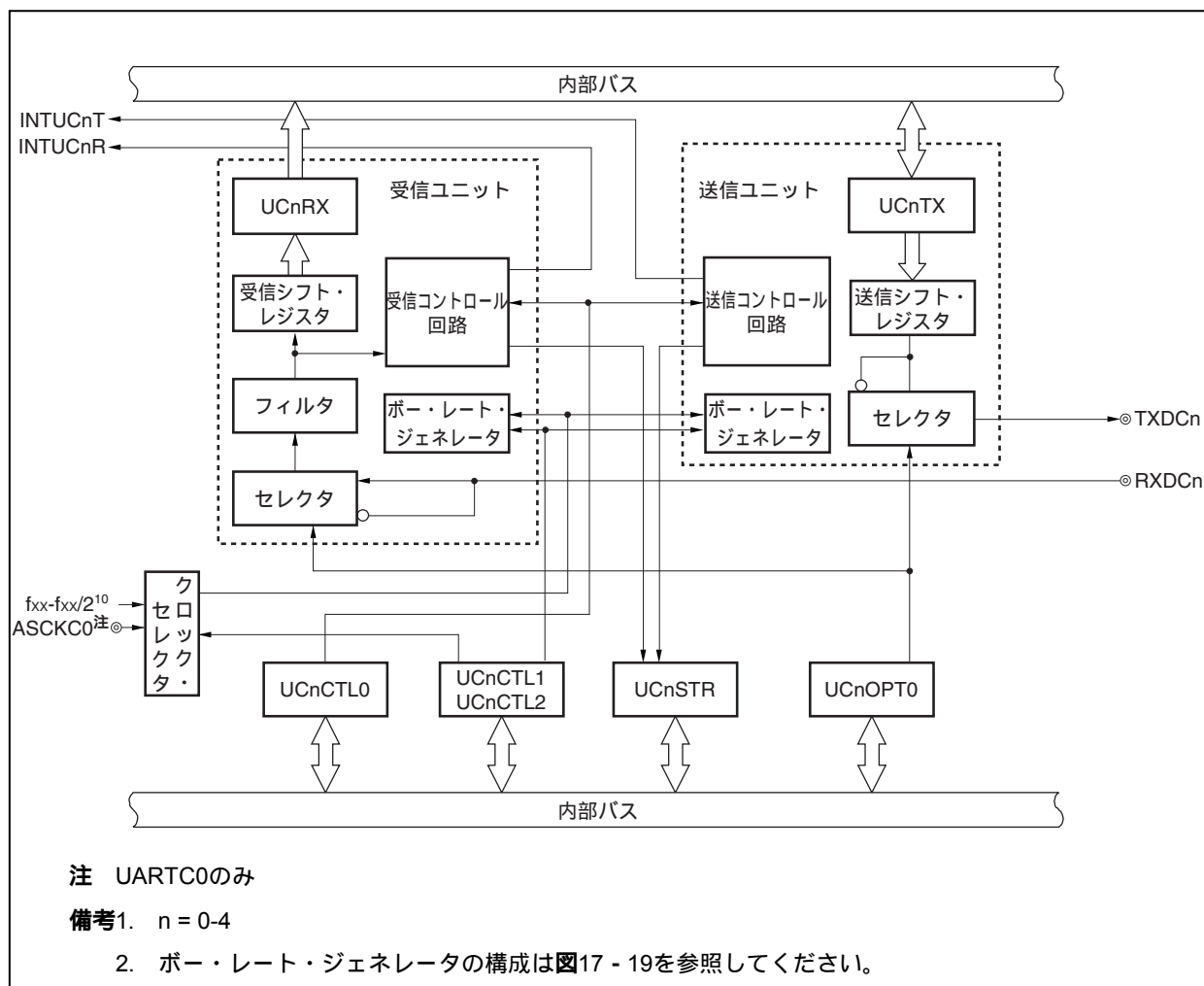
- ・SBF送信は13-20ビットまで選択可能
- ・SBF受信は11ビット以上認識可能
- ・SBF受信フラグあり

備考 n = 0-4

17.2 構成

次にUARTCnのブロック図を示します。

図17-1 アシクロナス・シリアル・インタフェースCnのブロック図



UARTCnは、次のハードウェアで構成されています。

表17-1 UARTCnの構成

項目	構成
レジスタ	UARTCn制御レジスタ0 (UCnCTL0) UARTCn制御レジスタ1 (UCnCTL1) UARTCn制御レジスタ2 (UCnCTL2) UARTCnオプション制御レジスタ0 (UCnOPT0) UARTCnオプション制御レジスタ1 (UCnOPT1) UARTCn状態レジスタ (UCnSTR) UARTCn受信シフト・レジスタ UARTCn受信データ・レジスタ (UCnRX) UARTCn送信シフト・レジスタ UARTCn送信データ・レジスタ (UCnTX)

(1) UARTCn制御レジスタ0 (UCnCTL0)

UCnCTL0レジスタは、UARTCnの動作を指定する8ビット・レジスタです。

(2) UARTCn制御レジスタ1 (UCnCTL1)

UCnCTL1レジスタは、UARTCnの入力クロックを選択する8ビット・レジスタです。

(3) UARTCn制御レジスタ2 (UCnCTL2)

UCnCTL2レジスタは、UARTCnのポー・レートを制御する8ビット・レジスタです。

(4) UARTCnオプション制御レジスタ0 (UCnOPT0)

UCnOPT0レジスタは、UARTCnのシリアル転送を制御する8ビット・レジスタです。

(5) UARTCnオプション制御レジスタ1 (UCnOPT1)

UCnOPT1レジスタは、UARTCnの9ビット長でのシリアル転送を制御する8ビット・レジスタです。

(6) UARTCn状態レジスタ (UCnSTR)

UCnSTRレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット (1) されます。

(7) UARTCn受信シフト・レジスタ

RXDCn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分のデータを受信し、ストップ・ビットを検出すると、受信データをUCnRXレジスタへ転送します。このレジスタは直接操作することはできません。

(8) UARTCn受信データ・レジスタ (UCnRX)

UCnRXレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます (LSBファースト受信時)。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期してUARTCn受信シフト・レジスタからUCnRXレジスタに転送されます。

また、UCnRXレジスタへの転送により、受信完了割り込み要求信号 (INTUCnR) が発生します。

(9) UARTCn送信シフト・レジスタ

送信シフト・レジスタは、UCnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UCnTXレジスタから1バイト分のデータが転送されると、シフト・レジスタのデータをTXDCn端子から出力します。

このレジスタは直接操作することはできません。

(10) UARTCn送信データ・レジスタ (UCnTX)

UCnTXレジスタは、8ビットの送信データ用バッファです。UCnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UCnTXレジスタにデータの書き込みが可能になる (UCnTXレジスタからUARTCn送信シフト・レジスタに1フレーム分のデータが転送される) と、送信許可割り込み要求信号 (INTUCnT) を発生します。

17.3 UARTCとほかのシリアル・インタフェースのモード切り替え

17.3.1 UARTC0とCSIF4とのモード切り替え

V850ES/JG3-U, V850ES/JH3-Uでは、CSIF4とUARTC0は端子が兼用になっており、同時には使用できません。UARTC0を使用するときは、あらかじめPMC3, PFC3レジスタで設定する必要があります。

注意 CSIF4またはUARTC0において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-2 CSIF4とUARTC0のモード切り替え設定

リセット時：00H R/W アドレス：FFFFFF446H								
	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時：00H R/W アドレス：FFFFFF466H								
	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30
リセット時：00H R/W アドレス：FFFFFF706H								
	7	6	5	4	3	2	1	0
PFCE3	PFCE37	PFCE36	PFCE35	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30
PMC32	PFCE32	PFC32	動作モード					
0	x	x	ポート入出力モード					
1	0	0	ASCKC0 (UARTC0)					
1	0	1	SCKF4 (CSIF4)					
PMC31	PFCE31	PFC31	動作モード					
0	x	x	ポート入出力モード					
1	0	0	RXDC0 (UARTC)					
1	0	1	SIF4 (CSIF4)					
PMC30	PFCE30	PFC30	動作モード					
0	x	x	ポート入出力モード					
1	0	0	TXDC0 (UARTC)					
1	0	1	SOF4 (CSIF4)					
備考 x = don't care								

17.3.2 UARTC1とI²C02のモード切り替え

V850ES/JG3-U, V850ES/JH3-Uでは, UARTC1とI²C02は端子が兼用になっており, 同時には使用できません。UARTC1を使用するときは, あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります。

注意 UARTC1とI²C02において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-3 UARTC1とI²C02のモード切り替え設定

リセット時 : 0000H R/W アドレス : FFFFF452H, FFFFF453H

	15	14	13	12	11	10	9	8
PMC9	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

リセット時 : 0000H R/W アドレス : FFFFF472H, FFFFF473H

	15	14	13	12	11	10	9	8
PFC9	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

リセット時 : 0000H R/W アドレス : FFFFF712H, FFFFF713H

	15	14	13	12	11	10	9	8
PFCE9	PFCE915	PFCE914	0	0	PFCE911	PFCE910	PFCE99	PFCE98
	7	6	5	4	3	2	1	0
	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

PMC91	PFCE91	PFC91	動作モード
0	x	x	ポート入出力モード
1	0	1	TXDC1 (UARTC1)
1	1	0	SDA02 (I ² C02)

PMC90	PFCE90	PFC90	動作モード
0	x	x	ポート入出力モード
1	0	1	RXDC1 (UARTC1)
1	1	0	SCL02 (I ² C02)

備考 x = don't care

17.3.3 UARTC2とCSIF3のモード切り替え

V850ES/JG3-U, V850ES/JH3-Uでは, UARTC2とCSIF3は端子が兼用になっており, 同時には使用できません。UARTC2を使用するときは, あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります。

注意 UARTC2とCSIF3において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-4 UARTC2とCSIF3のモード切り替え設定

リセット時: 0000H R/W アドレス: FFFFF452H, FFFFF453H

	15	14	13	12	11	10	9	8
PMC9	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

リセット時: 0000H R/W アドレス: FFFFF472H, FFFFF473H

	15	14	13	12	11	10	9	8
PFC9	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

リセット時: 0000H R/W アドレス: FFFFF712H, FFFFF713H

	15	14	13	12	11	10	9	8
PFCE9	PFCE915	PFCE914	0	0	PFCE911	PFCE910	PFCE99	PFCE98
	7	6	5	4	3	2	1	0
	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

PMC91	PFCE91	PFC91	動作モード
0	x	x	ポート入出力モード
1	0	1	TXDC1 (UARTC1)
1	1	0	SDA02 (I ² C02)

PMC90	PFCE90	PFC90	動作モード
0	x	x	ポート入出力モード
1	0	1	RXDC1 (UARTC1)
1	1	0	SCL02 (I ² C02)

備考 x = don't care

17.3.4 UARTC3とI²C00のモード切り替え

V850ES/JG3-U, V850ES/JH3-Uでは, UARTC3とI²C00は端子が兼用になっており, 同時には使用できません。UARTC3を使用するときは, あらかじめPMC3, PFC3, PFCE3レジスタで設定する必要があります。

注意 UARTC3, I²C00において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-5 UARTC3とI²C00のモード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF446H								
	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時 : 00H R/W アドレス : FFFFF466H								
	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30
リセット時 : 00H R/W アドレス : FFFFF706H								
	7	6	5	4	3	2	1	0
PFCE3	PFCE37	PFCE36	PFCE35	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30
PMC37	PFCE37	PFC37	動作モード					
0	x	x	ポート入出力モード					
1	0	0	RXDC3 (UARTC3)					
1	0	1	SDA00 (I ² C00)					
PMC36	PFCE36	PFC36	動作モード					
0	x	x	ポート入出力モード					
1	0	0	TXDC3 (UARTC3)					
1	0	1	SCL00 (I ² C00)					
備考 x = don't care								

17.3.5 UARTC4とCSIF0とI²C01のモード切り替え

V850ES/JG3-U, V850ES/JH3-Uでは, UARTC4とCSIF0とI²C01は端子が兼用になっており, 同時には使用できません。UARTC4を使用するときは, あらかじめPMC4, PFC4, PFCE4レジスタで設定する必要があります。

注意 UARTC4, CSIF0またはI²C01において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17 - 6 UARTC4とCSIF0とI²C01のモード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF448H								
PMC4	7	6	5	4	3	2	1	0
	0	0	0	0	0	PMC42	PMC41	PMC40
リセット時 : 00H R/W アドレス : FFFFF468H								
PFC4	7	6	5	4	3	2	1	0
	0	0	0	0	0	PFC42	PFC41	PFC40
リセット時 : 00H R/W アドレス : FFFFF708H								
PFCE4	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	PFCE41	PFCE40
	PMC41	PFCE41	PFC41	動作モード				
	0	×	×	ポート入出力モード				
	1	0	0	SOF0 (CSIF0)				
	1	0	1	RXDC4 (UARTC4)				
	1	1	0	SCL01 (I ² C01)				
	PMC40	PFCE40	PFC40	動作モード				
	0	×	×	ポート入出力モード				
	1	0	0	SIF0 (CSIF0)				
	1	0	1	TXDC4 (UARTC4)				
	1	1	0	SDA01 (I ² C01)				
備考 x = don't care								

17.4 レジスタ

(1) UARTCn制御レジスタ0 (UCnCTL0)

UCnCTL0レジスタは、UARTCnシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより10Hになります。

(1/2)

リセット時：10H R/W アドレス：UC0CTL0 FFFFFFFA00H, UC1CTL0 FFFFFFFA10H,
UC2CTL0 FFFFFFFA20H, UC3CTL0 FFFFFFFA30H,
UC4CTL0 FFFFFFFA40H

UCnCTL0 (n = 0-4)	⑦	⑥	⑤	④	3	2	1	0
	UCnPWR	UCnTXE	UCnRXE	UCnDIR	UCnPS1	UCnPS0	UCnCL	UCnSL

UCnPWR	UARTCnの動作の制御
0	UARTCn動作禁止 (UARTCnを非同期にリセット)
1	UARTCn動作許可

UCnPWRビットにより、UARTCn動作の制御を行います。UCnPWRビットをクリア (0) すると、TXDCn端子の出力はハイ・レベルに固定されます (UCnOPT0. UCnTDLビット = 1のときは、ロウ・レベルに固定されます)。

UCnTXE	送信動作許可
0	送信動作禁止
1	送信動作許可

- ・起動時はUCnPWRビット = 1にしてから、UCnTXEビット = 1としてください。また、停止時はUCnTXEビット = 0にしてから、UCnPWRビット = 0としてください。
- ・送信ユニットを初期化する場合は、UCnTXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUCnTXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては17.7 (1) (a) 基本クロック参照)。

UCnRXE	受信動作許可
0	受信動作禁止
1	受信動作許可

- ・起動時はUCnPWRビット = 1にしてから、UCnRXEビット = 1としてください。また、停止時は、UCnRXEビット = 0にしてから、UCnPWRビット = 0としてください。
- ・受信ユニットの状態を初期化する場合は、UCnRXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUCnRXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては17.7 (1) (a) 基本クロック参照)。

UCnDIR	転送方向選択
0	MSB転送ファースト
1	LSB転送ファースト

・ UCnPWRビット = 0, またはUCnTXEビット = UCnRXEビット = 0の場合のみ書き換え可能です。
 ・ LINのフォーマットで送受信を行う場合は, UCnDIRビットは“1”に設定してください。

UCnPS1	UCnPS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・ UCnPWRビット = 0, またはUCnTXEビット = UCnRXEビット = 0の場合のみ書き換え可能です。
 ・ 受信時に「0パリティとして受信」を選択した場合, パリティ判定を行いません。したがって, UCnSTR.UCnPEビットはセットされません。
 ・ LINのフォーマットで送受信を行う場合, UCnPS1, UCnPS0ビットは“00”に設定してください。

UCnCL	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

・ UCnPWRビット = 0, またはUCnTXEビット = UCnRXEビット = 0の場合のみ書き換え可能です。
 ・ LINのフォーマットで送受信を行う場合は, UCnCLビットは“1”に設定してください。

UCnSL	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

UCnPWRビット = 0, またはUCnTXEビット = UCnRXEビット = 0の場合のみ書き換え可能です。

備考 パリティについての詳細は, 17.6.9 **パリティの種類と動作**を参照してください。

(2) UARTCn制御レジスタ1 (UCnCTL1)

詳細は, 17.7 (2) **UARTCn制御レジスタ1 (UCnCTL1)**を参照してください。

(3) UARTCn制御レジスタ2 (UCnCTL2)

詳細は, 17.7 (3) **UARTCn制御レジスタ2 (UCnCTL2)**を参照してください。

(4) UARTCnオプション制御レジスタ0 (UCnOPT0)

UCnOPT0レジスタは、UARTCnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより14Hになります。

(1/2)

リセット時：14H R/W アドレス：UC0OPT0 FFFFFFFA03H, UC1OPT0 FFFFFFFA13H,
UC2OPT0 FFFFFFFA23H, UC3OPT0 FFFFFFFA33H,
UC4OPT0 FFFFFFFA43H

	⑦	6	5	4	3	2	1	0
UCnOPT0	UCnSRF	UCnSRT	UCnSTT	UCnSLS2	UCnSLS1	UCnSLS0	UCnTDL	UCnRDL

(n = 0-4)

UCnSRF	SBF受信フラグ
0	UCnCTL0.UCnPWRビット = UCnRXEビット = 0に設定したとき。または SBF受信正常終了したとき。
1	SBF受信中

- ・ LIN通信でのSBF (Synch Break Field) を受信していることを判断します。
- ・ SBF受信エラー時、UCnSRFビットは“1”を保持し、そのあと再度SBF受信を開始します。
- ・ UCnSRFビットはリードのみ可能です。

UCnSRT	SBF受信トリガ
0	
1	SBF受信トリガ

- ・ LIN通信でのSBFの受信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。SBFを受信する場合、UCnSRTビットをセット(1)しSBF受信可能状態にしてください。
- ・ UCnPWRビット = UCnRXEビット = 1としてからUCnSRTビットを設定してください。

UCnSTT	SBF送信トリガ
0	
1	SBF送信トリガ

- ・ LIN通信でのSBFの送信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。
- ・ UCnPWRビット = UCnTXEビット = 1としてからUCnSTTビットを設定してください。

注意 UCnSRT, UCnSTTビットは、SBF受信中 (UCnSRFビット = 1) にセット(1)しないでください。

UCnSLS2	UCnSLS1	UCnSLS0	SBF送信長選択
1	0	1	13ビット長で出力 (リセット値)
1	1	0	14ビット長で出力
1	1	1	15ビット長で出力
0	0	0	16ビット長で出力
0	0	1	17ビット長で出力
0	1	0	18ビット長で出力
0	1	1	19ビット長で出力
1	0	0	20ビット長で出力

UCnPWRビット = 0またはUCnTXEビット = 0のとき設定できます。

UCnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力

・ UCnTDLビットによりTXDCn端子の出力レベルを反転できます。
 ・ UCnPWRビット = 0またはUCnTXEビット = 0のとき設定できます。

UCnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力

・ UCnRDLビットによりRXDCn端子の入力レベルを反転できます。
 ・ UCnPWRビット = 0またはUCnRXEビット = 0のとき設定できます。

(5) UARTCn オプション制御レジスタ1 (UCnOPT1)

UCnOPT1レジスタは、UARTCnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 UCnEBEビットはUARTCを動作禁止 (UCnCTL0.UCnPWR = 0) の状態で設定してください。

リセット時 : 00H R/W アドレス : UC0OPT1 FFFFFFFA0AH, UC1OPT1 FFFFFFFA1AH, UC2OPT1 FFFFFFFA2AH, UC3OPT1 FFFFFFFA3AH, UC4OPT1 FFFFFFFA4AH								
	7	6	5	4	3	2	1	0
UCnOPT1 (n = 0-4)	0	0	0	0	0	0	0	UCnEBE
UCnEBE	拡張ビット許可 / 禁止							
0	拡張ビット動作禁止。UCnCTL0.UCnCLビットで設定したデータ長で送受信を行う							
1	拡張ビット動作許可。キャラクタ長9ビットで送受信可能							
<ul style="list-style-type: none"> ・ UCnEBEビットをセット (1) し、9ビット・データ長での転送を行う場合、次の設定をしてください。この設定をしない場合UCnEBEビットの設定は無効になります。 ・ UCnCTL0.UCnPS1,UCnPS0 = 00 (パリティなし) ・ UCnCTL0.UCnCL = 1 (8ビット・キャラクタ長) ・ LINの通信フォーマットで送受信を行う場合は、UCnEBE = 0に設定してください。 								

次にレジスタ設定値とデータ・フォーマットの関係について示します。

表17-2 レジスタ設定とデータ・フォーマットの関係

レジスタ設定					データ・フォーマット				
UCnCTL0				UCnOPT1	D0-D6	D7	D8	D9	D10
UCnCL	UCnPS1	UCnPS0	UCnSL	UCnEBE					
0	0	0	0	0	Data	Stop			
0	00以外				Data	Parity	Stop		
1	0	0			Data	Data	Stop		
1	00以外				Data	Data	Parity	Stop	
0	0	0	1	0	Data	Stop	Stop		
0	00以外				Data	Parity	Stop	Stop	
1	0	0			Data	Data	Stop	Stop	
1	00以外				Data	Data	Parity	Stop	Stop
0	0	0	0	1	Data	Stop			
0	00以外				Data	Parity	Stop		
1	0	0			Data	Data	Data	Stop	
1	00以外				Data	Data	Parity	Stop	
0	0	0	1	1	Data	Stop	Stop		
0	00以外				Data	Parity	Stop	Stop	
1	0	0			Data	Data	Data	Stop	Stop
1	00以外				Data	Data	Parity	Stop	Stop

備考 Data : データ・ビット

Stop : ストップ・ビット

Parity : パリティ・ビット

(6) UARTCn状態レジスタ (UCnSTR)

UCnSTRレジスタは、UARTCnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。UCnTSFビットはリードのみ可能で、UCnPE, UCnFE, UCnOVEビットについてはリード/ライト可能ですが、ライト時は“0”ライトによるクリアのみ可能で、“1”ライトによるセット動作はできません(“1”をライトしても値を保持します)。

次に初期化条件を示します。

レジスタ/ビット	初期化条件
UCnSTRレジスタ	<ul style="list-style-type: none"> ・リセット ・UCnCTL0.UCnPWRビット = 0
UCnTSFビット	<ul style="list-style-type: none"> ・UCnCTL0.UCnTXEビット = 0
UCnPE, UCnFE, UCnOVEビット	<ul style="list-style-type: none"> ・0の書き込み ・UCnCTL0.UCnRXEビット = 0

リセット時 : 00H R/W アドレス : UC0STR FFFFFFFA04H, UC1STR FFFFFFFA14H,
UC2STR FFFFFFFA24H, UC3STR FFFFFFFA34H,
UC4STR FFFFFFFA44H

	⑦	6	5	4	3	②	①	①
UCnSTR (n = 0-4)	UCnTSF	0	0	0	0	UCnPE	UCnFE	UCnOVE

UCnTSF	転送状態フラグ
0	<ul style="list-style-type: none"> ・UCnPWRビット = 0, またはUCnTXEビット = 0に設定したとき ・転送完了後に, UCnTXレジスタに次のデータ転送がなかったとき
1	UCnTXレジスタへの書き込み
<p>連続送信を行っている場合にはUCnTSFビットは常に“1”になっています。 送信ユニットの初期化を行う場合には, UCnTSFビット = 0になっていることを確認してから初期化を行ってください。UCnTSFビット = 1の状態での初期化を行った場合の送信データは保証できません。</p>	

UCnPE	パリティ・エラー・フラグ
0	<ul style="list-style-type: none"> ・UCnPWRビット = 0, またはUCnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	受信時, データのパリティとパリティ・ビットが一致しないとき
<ul style="list-style-type: none"> ・UCnPEビットの動作は, UCnCTL0.UCnPS1, UCnPS0ビットの設定により左右されます。 ・UCnPEビットはリード/ライト可能となっておりますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。 	

UCnFE	フレーミング・エラー・フラグ
0	<ul style="list-style-type: none"> ・UCnPWRビット = 0, またはUCnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	受信時, ストップ・ビットが検出されないとき
<ul style="list-style-type: none"> ・受信データのストップ・ビットは, UCnCTL0.UCnSLビットの値に関わらず, 最初の1ビットのみチェックします。 ・UCnFEビットはリード/ライト可能となっておりますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。 	

UCnOVE	オーバラン・エラー・フラグ
0	<ul style="list-style-type: none"> ・UCnPWRビット = 0, またはUCnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	UCnRXレジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき
<ul style="list-style-type: none"> ・オーバラン・エラーが発生したとき, 次の受信データは受信バッファに書き込まれず, データは破棄されます。 ・UCnOVEビットはリード/ライト可能となっておりますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。 	

(7) UARTCn受信データ・レジスタL (UCnRXL), UARTCn受信データ・レジスタ (UCnRX)

UCnRXL, UCnRXレジスタは、受信シフト・レジスタで変換したパラレル・データを格納するための8または9ビット・バッファ・レジスタです。

1バイト・データの受信完了により受信シフト・レジスタに格納したデータをUCnRXL, UCnRXレジスタに転送します。

データ長を7ビットに指定し、LSBファーストで受信する場合、受信データはUCnRXLレジスタのビット6-ビット0に転送され、MSBは必ず“0”になります。MSBファーストで受信する場合、受信データはUCnRXLレジスタのビット7-ビット1に転送されLSBは必ず“0”になります。

オーバラン・エラー (UCnOVE) が発生した場合は、そのときの受信データはUCnRXL, UCnRXレジスタに転送されず破棄されます。

キャラクタ長によってアクセス単位 / リセット値が異なります。

- ・キャラクタ長7/8ビット (UCnOPT1.UCnEBE = 0) の場合

8ビット単位でリードのみ可能です。

リセット、またはUCnCTL0.UCnPWRビット = 0によってFFHになります。

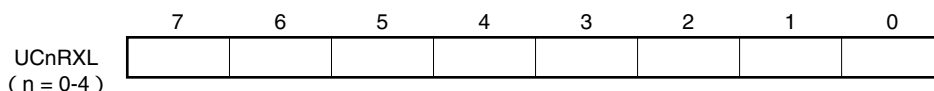
- ・キャラクタ長9ビット (UCnOPT1.UCnEBE = 0) の場合

16ビット単位でリードのみ可能です。

リセット、またはUCnCTL0.UCnPWRビット = 0によって01FFHになります。

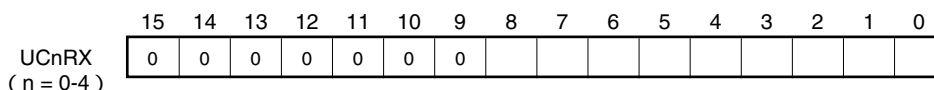
(a) キャラクタ長7/8ビット (UCnOPT1.UCnEBE = 0) の場合

リセット時 : FFH R アドレス : UC0RXL FFFFFFFA06H, UC1RXL FFFFFFFA16H,
UC2RXL FFFFFFFA26H, UC3RXL FFFFFFFA36H,
UC4RXL FFFFFFFA46H



(b) キャラクタ長9ビット (UCnOPT1.UCnEBE = 1) の場合

リセット時 : 01FFH R アドレス : UC0RX FFFFFFFA06H, UC1RX FFFFFFFA16H,
UC2RX FFFFFFFA26H, UC3RX FFFFFFFA36H,
UC4RX FFFFFFFA46H



(8) UARTCn送信データ・レジスタL (UCnTXL), UARTCn送信データ・レジスタ (UCnTX)

UCnTXL, UCnTXレジスタは、送信データを設定するための8または9ビット・レジスタです。

データ長を7ビットに指定し、LSBファーストで送信する場合、送信データはUCnTXLレジスタのビット6-ビット0のデータが送信されます。MSBファーストで送信する場合、送信データはUCnTXLレジスタのビット7-ビット1のデータが送信されます。

キャラクタ長によってアクセス単位/リセット値が異なります。

- ・キャラクタ長7/8ビット (UCnOPT1.UCnEBE = 0) の場合

8ビット単位でリード/ライト可能です。

リセットによってFFHになります。

- ・キャラクタ長9ビット (UCnOPT1.UCnEBE = 0) の場合

16ビット単位でリード/ライト可能です。

リセットによって01FFHになります。

注意1. 送信動作許可状態 (UCnPWR = 1かつUCnTXE = 1) では、UCnTXL, UCnTXレジスタへの書き込みは、送信開始のトリガとして作用するためINTUCnT割り込み発生後に直前の値と同一の値を書き込むと、2度同じデータが送信されることとなります。

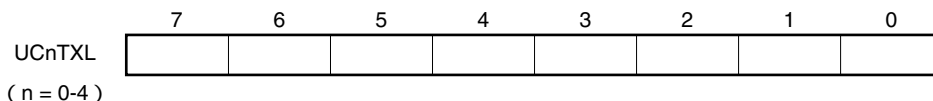
2. 連続送信を行うためのデータ書き込みは、INTUCnT割り込み発生後に書き込みを行ってください。

INTUCnT割り込み発生前に次のデータの書き込みを行った場合、送信開始処理と、UCnTXL, UCnTXレジスタへの書き込みの競合により意図しない送信データなる恐れがあります。

3. 送信禁止状態において、UCnTXL, UCnTXレジスタへの書き込みを実施した場合には、送信開始トリガとして使用できません。そのため送信禁止状態にてUCnTXL, UCnTXレジスタに書き込みを実施したあと、送信許可状態にしても送信は開始されません。

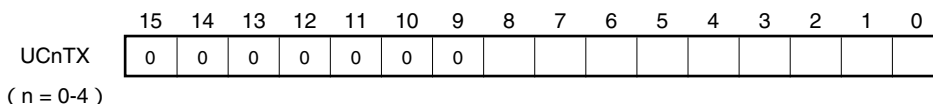
(a) キャラクタ長7/8ビット (UCnOPT1.UCnEBE = 0) の場合

リセット時: FFH R/W アドレス: UC0TXL FFFFFFFA08H, UC1TXL FFFFFFFA18H,
UC2TXL FFFFFFFA28H, UC3TXL FFFFFFFA38H,
UC4TXL FFFFFFFA48H



(b) キャラクタ長9ビット (UCnOPT1.UCnEBE = 1) の場合

リセット時: 01FFH R/W アドレス: UC0TX FFFFFFFA08H, UC1TX FFFFFFFA18H,
UC2TX FFFFFFFA28H, UC3TX FFFFFFFA38H,
UC4TX FFFFFFFA48H



17.5 割り込み要求信号

UARTCnからは次の2種類の割り込み要求信号を発生します。

- ・受信完了割り込み要求信号 (INTUCnR)
- ・送信許可割り込み要求信号 (INTUCnT)

これら2種類の割り込み要求信号のデフォルト優先順位は受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表17-3 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

(1) 受信完了割り込み要求信号 (INTUCnR)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされUCnRXレジスタに転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号は、受信エラーが起きた場合にも発生しますので、受信完了割り込み要求信号を受け付け、データを読み出すときに、UCnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

受信禁止状態中は、受信完了割り込み要求信号は発生しません。

(2) 送信許可割り込み要求信号 (INTUCnT)

送信許可状態で、UCnTXレジスタからUARTCn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

17.6 動作

17.6.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

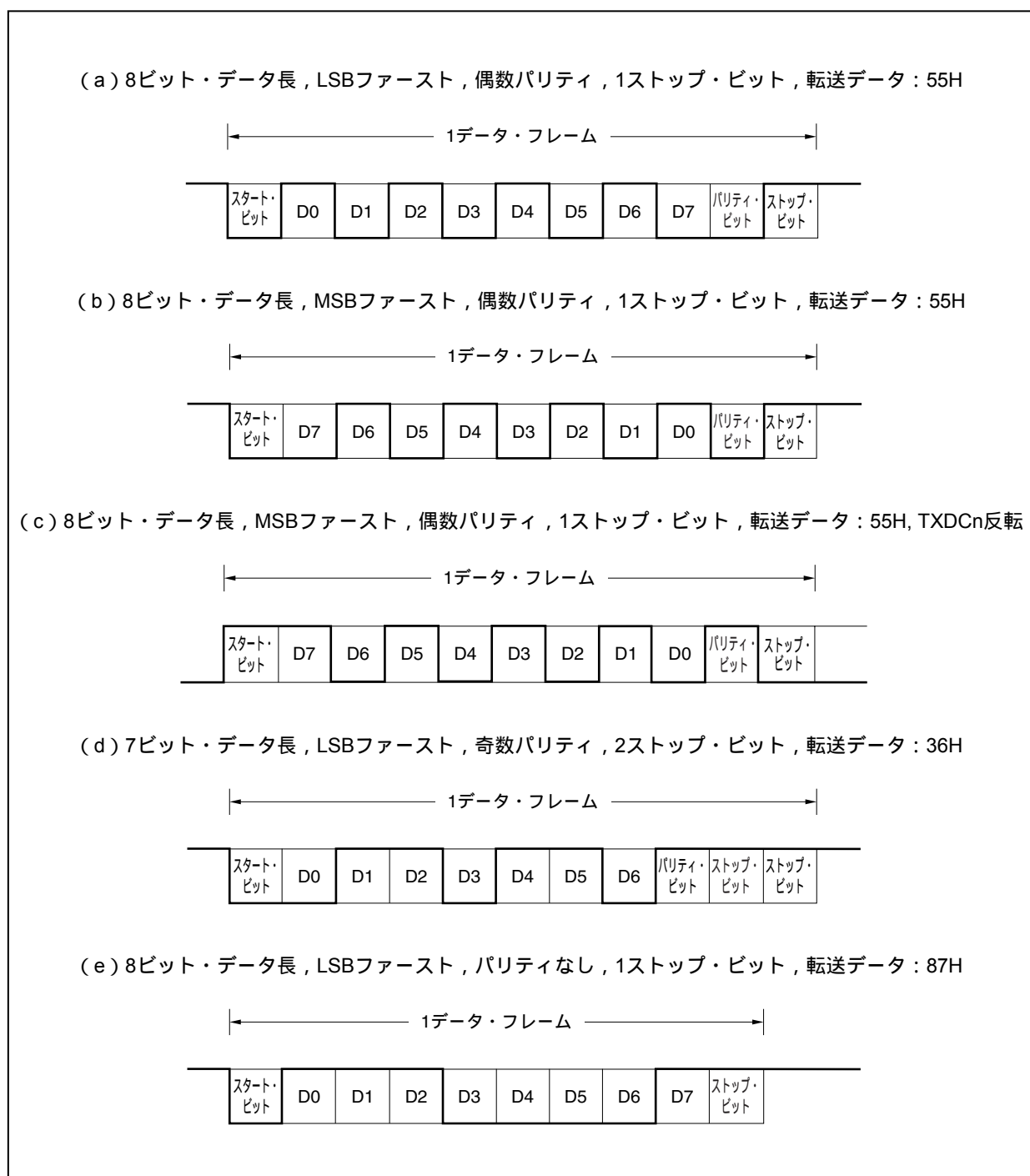
送受信データのフォーマットは図17-7に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットでデータ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSB/LSBファーストの転送指定は、UCnCTL0レジスタによって行います。

また、UCnOPT0.UCnTDLビットでTXDCn端子のUART出力/反転出力の制御を行います。

- ・スタート・ビット 1ビット
- ・キャラクタ・ビット ... 7ビット/8ビット
- ・パリティ・ビット 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット 1ビット/2ビット

図17-7 UARTCの送受信データのフォーマット



17.6.2 SBF送信/受信フォーマット

V850ES/JG3-U, V850ES/JH3-UにはLIN機能として使用するために、SBF (Synch Break Field) 送信/受信制御機能があります。

備考 LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速 (1~20 kbps) のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

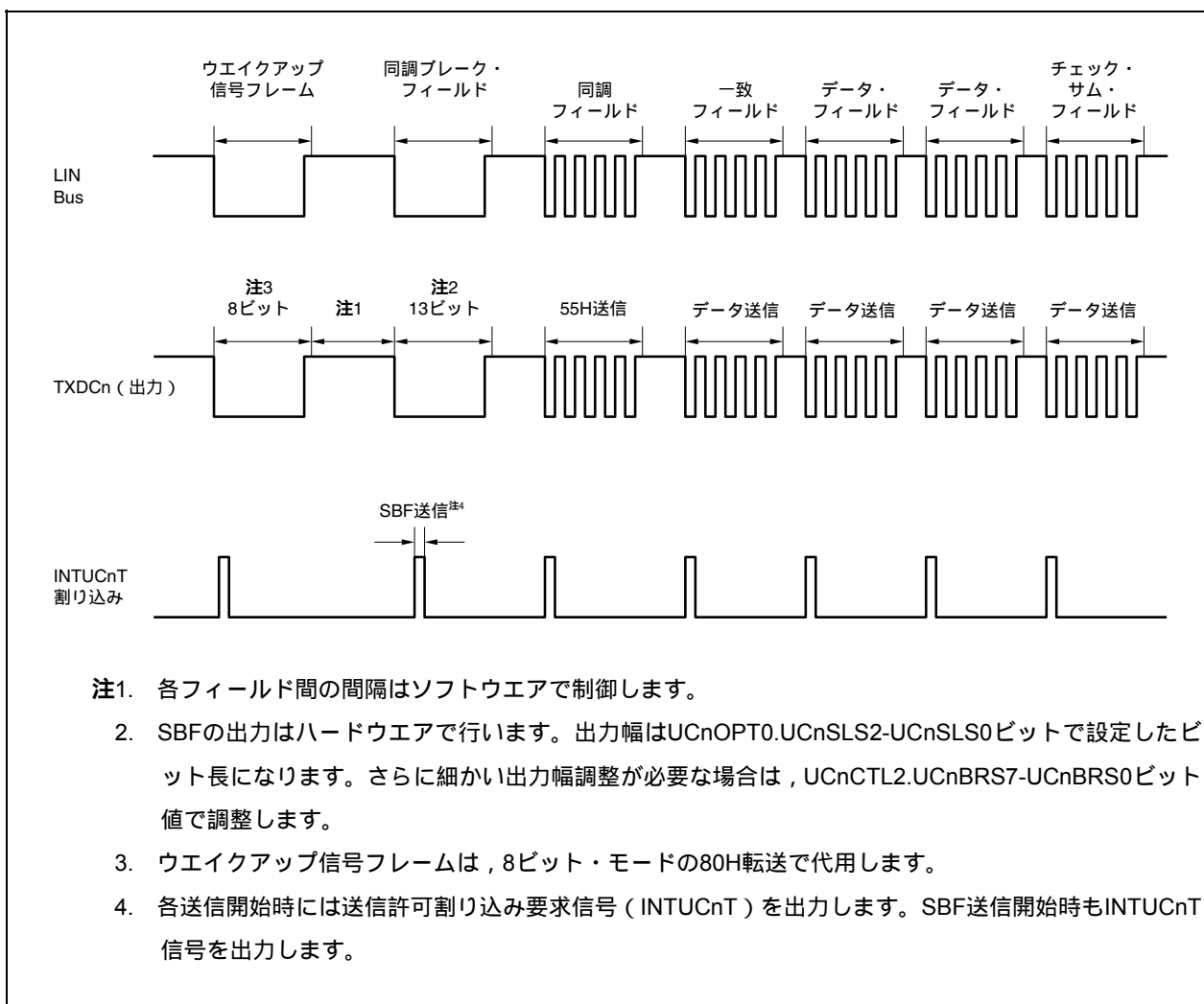
LINのマスタは通常、CAN (Controller Area Network) などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにポー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため、スレーブのポー・レート誤差が $\pm 15\%$ 以下であれば、通信可能です。

LINの送信操作と受信操作の概略を、図17-8、図17-9に示します。

図17-8 LINの送信操作概略



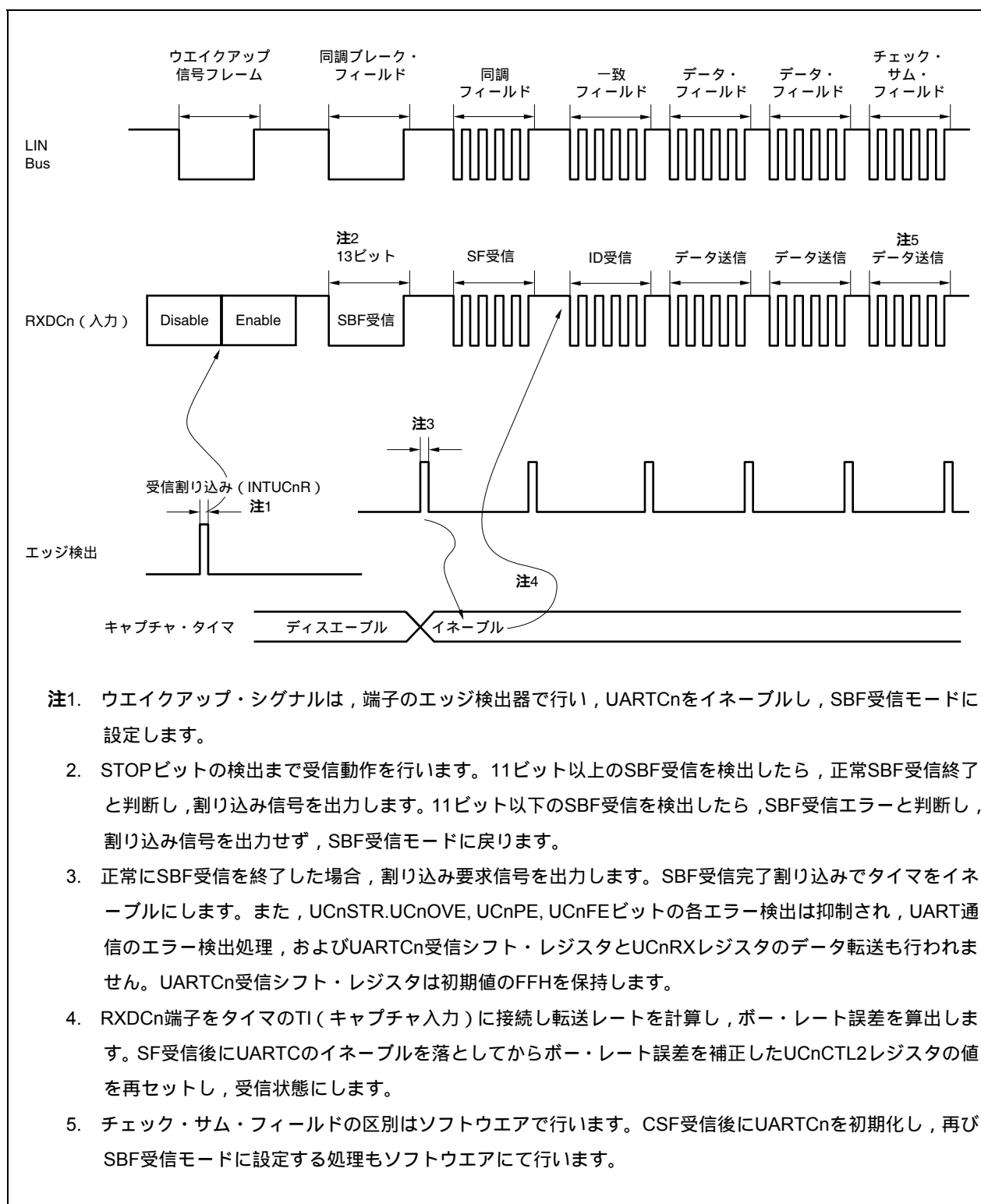
注1. 各フィールド間の間隔はソフトウェアで制御します。

2. SBFの出力はハードウェアで行います。出力幅はUCnOPT0.UCnSLS2-UCnSLS0ビットで設定したビット長になります。さらに細かい出力幅調整が必要な場合は、UCnCTL2.UCnBRS7-UCnBRS0ビット値で調整します。

3. ウェイクアップ信号フレームは、8ビット・モードの80H転送で代用します。

4. 各送信開始時には送信許可割り込み要求信号 (INTUCnT) を出力します。SBF送信開始時もINTUCnT信号を出力します。

図17-9 LINの受信操作概略



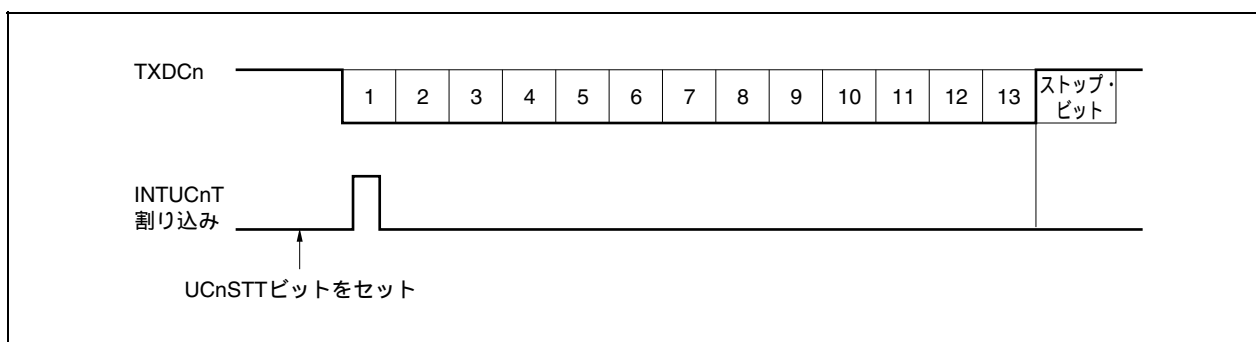
17.6.3 SBF送信

UCnCTL0.UCnPWRビット = UCnTXEビット = 1にすると送信許可状態となり、SBF送信トリガ (UCnOPT0.UCnSTTビット) をセット (1) することによりSBF送信動作は起動します。

そのあとUCnOPT0.UCnSLS2-UCnSLS0ビットで指定された13ビットから20ビット分までの幅のロウ・レベルを出力します。SBF送信開始時には送信許可割り込み要求信号 (INTUCnT) を発生します。SBF送信を終了したあと、UCnSTTビットは自動的にクリアされます。そのあと、UART送信モードに戻ります。

次に送信するデータをUCnTXレジスタに書き込み、あるいはSBF送信トリガ (UCnSTTビット) をセットするまで、送信動作は中断します。

図17 - 10 SBF送信



17.6.4 SBF受信

UCnCTL0.UCnPWRビット = 1にして、次に、UCnCTL0.UCnRXEビット = 1にすることにより、受信待ち状態になります。

SBF受信トリガ (UCnOPT0.UCnSRTビット) をセット (1) することで、SBF受信待ち状態になります。

SBF受信待ち状態はUARTの受信待ち状態と同じくRXDCn端子をモニタし、スタート・ビットの検出を行います。

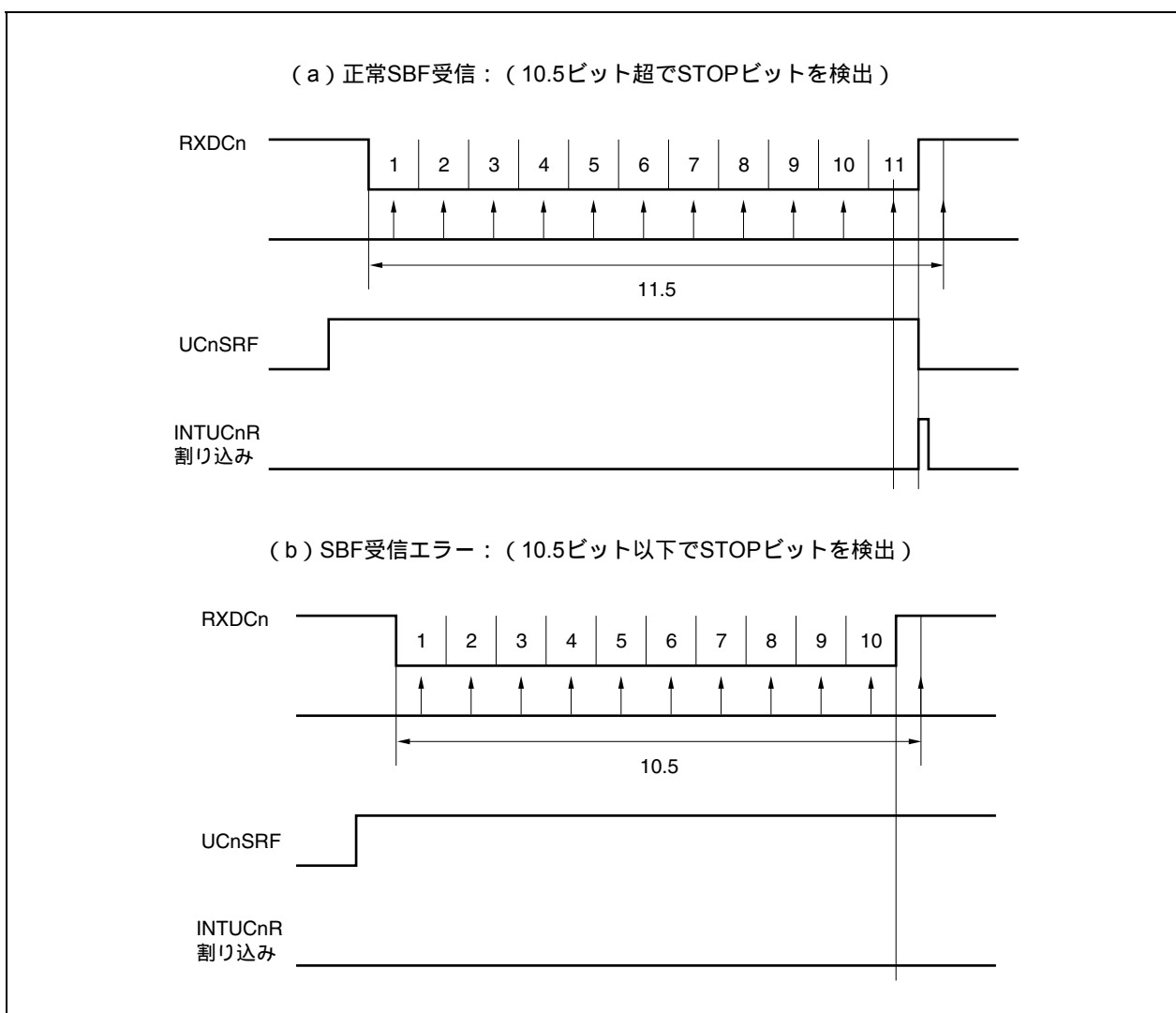
スタート・ビットを検出したら、受信動作を開始し、設定されたボー・レートにあわせて、内蔵カウンタをカウント・アップします。

ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求信号 (INTUCnR) を発生します。UCnOPT0.UCnSRFビットは自動的にクリアされ、SBF受信を終了します。UCnSTR.UCnOVE, UCnPE, UCnFEビットの各エラー検出は抑制されUART通信のエラー検出処理は行われません。また、UARTCn受信シフト・レジスタとUCnRXレジスタのデータの転送も行われず、初期値のFFHを保持します。SBFの幅が10ビット長以下の場合、エラー処理として、割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。その際UCnSRFビットはクリアされません。

注意1. データ受信中に、SBFが送信されてきた場合には、フレーミング・エラーとなります。

2. SBF受信トリガ・ビット (UCnSRT), SBF送信トリガ・ビット (UCnSTT) はSBF受信中 (UCnSRF = 1) にセット (1) しないでください。

図17 - 11 SBF受信



17.6.5 UART送信

UCnCTL0.UCnPWRビット = 1とすることにより, TXDCn端子からハイ・レベルを出力します。

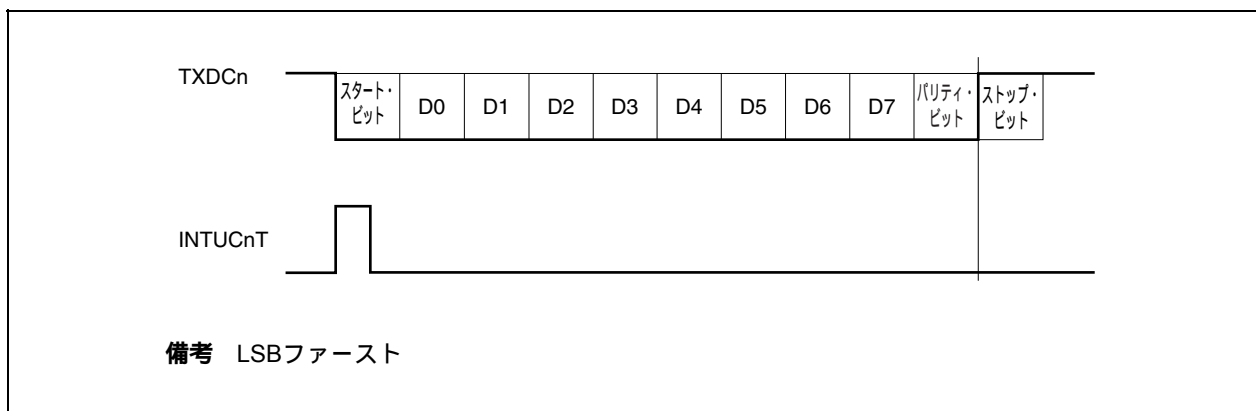
次に, UCnCTL0.UCnTXEビット = 1にすると送信許可状態となり, UCnTXレジスタに送信データを書き込むことにより送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加します。

なお, UARTCnにはCTS (送信許可信号) 入力端子がないので, 相手側が受信許可状態かを確認するときはポートを使用してください。

送信動作の開始により, UCnTXレジスタ内のデータをUARTCn送信シフト・レジスタへ転送します。

UCnTXレジスタのデータをUARTCn送信シフト・レジスタに転送完了したタイミングで, 送信許可割り込み要求信号 (INTUCnT) を発生し, そのあとUARTCn送信シフト・レジスタから順次, TXDCn端子に出力します。INTUCnT信号の発生後, UCnTXレジスタに次の転送データの書き込みができます。

図17 - 12 UART送信



17.6.6 連続送信の手順説明

UARTCnはUARTCn送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをUCnTXレジスタへ書き込むことができます。UARTCn送信シフト・レジスタへの送信タイミングは、送信許可割り込み要求信号 (INTUCnT) で判断できます。次に送信するデータを、転送中にUCnTXレジスタに書き込むことにより、効率的な通信レートを実現できます。

注意 送信の初期化を行う場合、連続送信実行中は、UCnSTR.UCnTSFビットが“0”であることを確認してから初期化を実行してください。UCnTSFビットが“1”のときに初期化を実行した場合の送信データの保証できません。

図17 - 13 連続送信の処理フロー

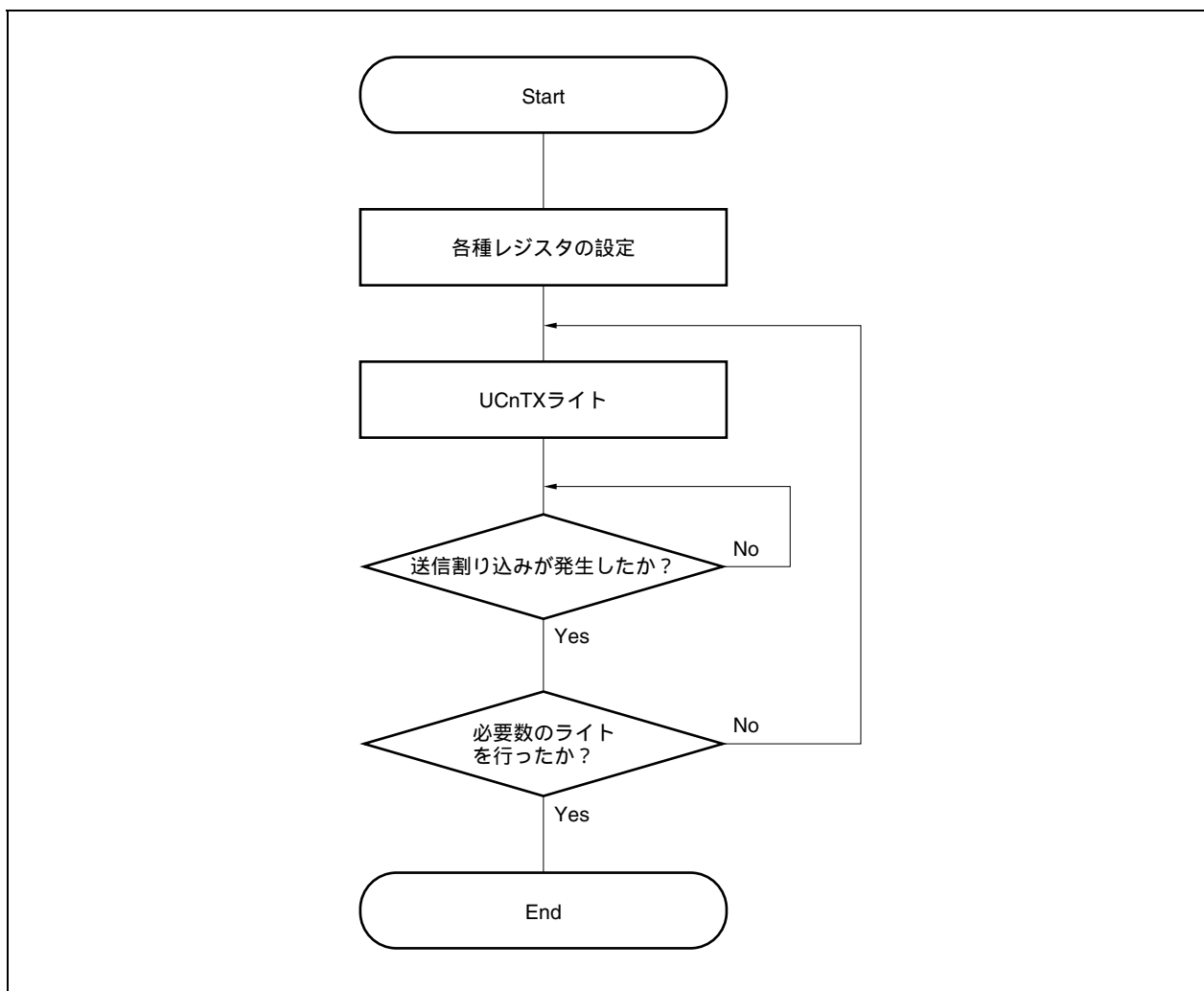
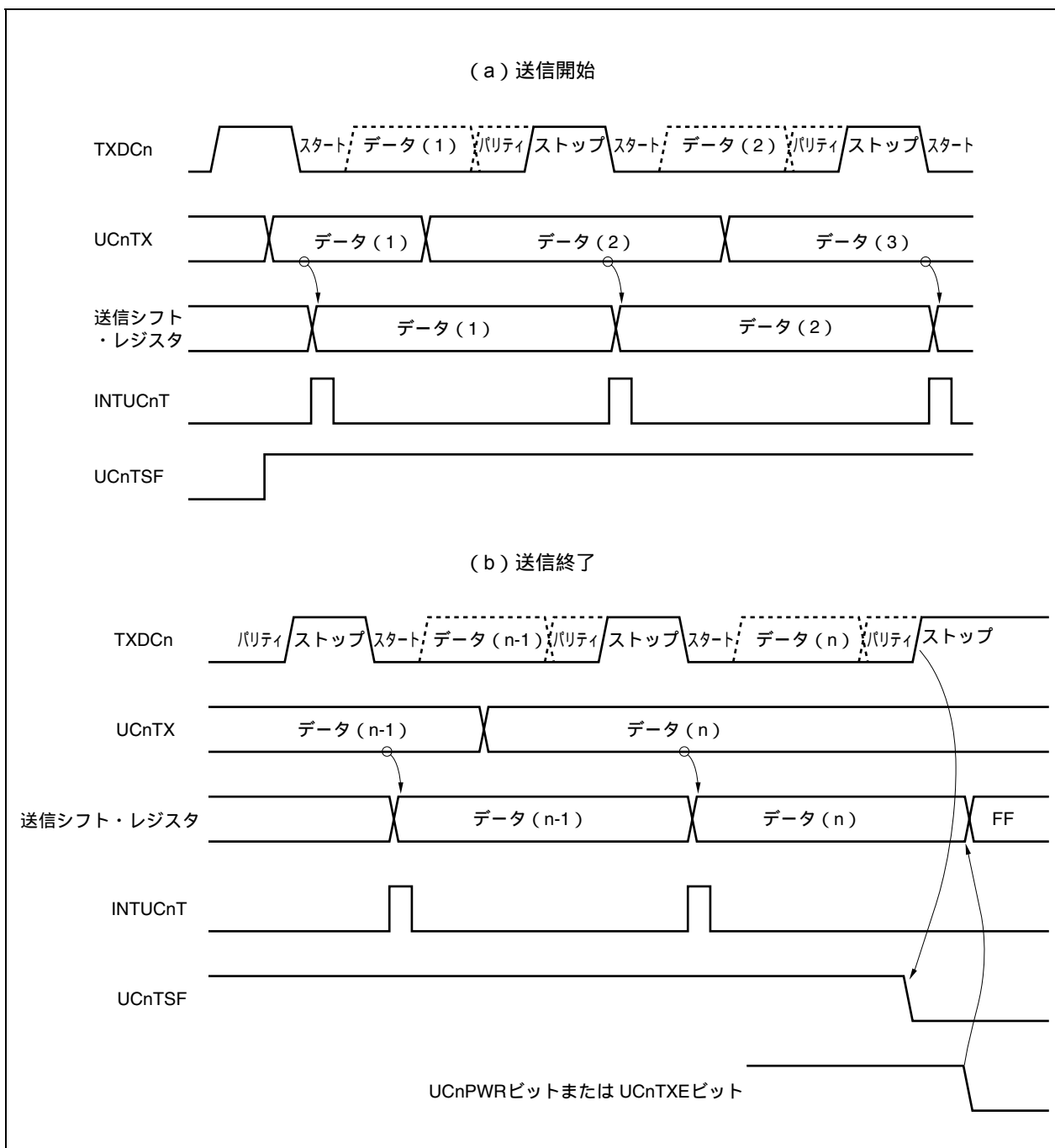


図17 - 14 連続送信動作のタイミング



17.6.7 UART受信

UCnCTL0.UCnPWRビット = 1にして、次にUCnCTL0.UCnRXEビット = 1にすることにより、受信待ち状態になります。受信待ち状態では、RXDCn端子をモニタし、スタート・ビットの検出を行います。

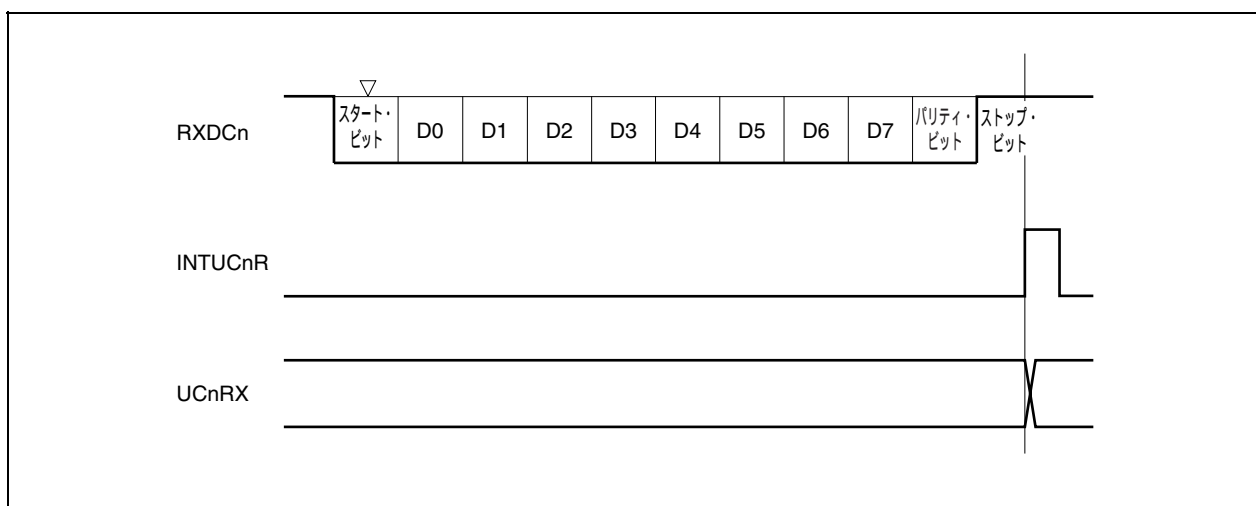
なおスタート・ビットの認識には2段階の検出ルーチンを取ります。

まずRXDCn端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDCn端子がロウ・レベルであれば、スタート・ビットと認識します。スタート・ビットが認識されたら、受信動作を開始し、設定されたボー・レートにあわせて、シリアル・データを順次、UARTCn受信シフト・レジスタに格納していきます。

ストップ・ビットを受信したら、受信完了割り込み要求信号 (INTUCnR) を発生すると同時に、UARTCn受信シフト・レジスタのデータをUCnRXレジスタに書き込みます。ただし、オーバーラン・エラー (UCnSTR.UCnOVEビット) が発生した場合は、そのときの受信データをUCnRXレジスタに書き込まれずに破棄されます。

受信途中に、パリティ・エラー (UCnSTR.UCnPEビット)、フレーミング・エラー (UCnSTR.UCnFEビット) が発生しても、1ビット目のストップ・ビットの受信位置までは、受信を継続し、受信完了後にINTUCnR信号を発生します。

図17 - 15 UART受信



- 注意1. 受信エラー発生時にも、UCnRXレジスタは必ず読み出してください。UCnRXレジスタを読み出さないと、次のデータ受信にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続くことになります。
2. 受信時は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
 3. 受信終了時は、受信完了割り込み要求信号 (INTUCnR) 発生後、UCnRXレジスタを読み出してから UCnPWRビット = 0またはUCnRXEビット = 0としてください。INTUCnR信号が発生する前に UCnPWRビット = 0またはUCnRXEビット = 0とした場合、UCnRXレジスタのリード値は保証できません。
 4. UARTCnの受信完了処理 (INTUCnR信号の発生) と、UCnPWRビット = 0またはUCnRXEビット = 0が競合した場合、UCnRXレジスタにデータを格納していないにもかかわらず、INTUCnR信号が発生することがあります。INTUCnR信号の発生を待たずに受信終了を行うときには、必ず割り込み制御レジスタ (UCnRIC) の割り込みマスク・フラグ (UCnRMK) をセット (1) してから、UCnPWRビット = 0またはUCnRXEビット = 0とし、さらにUCnRICレジスタの割り込み要求フラグ (UCnRIF) をクリア (0) してください。

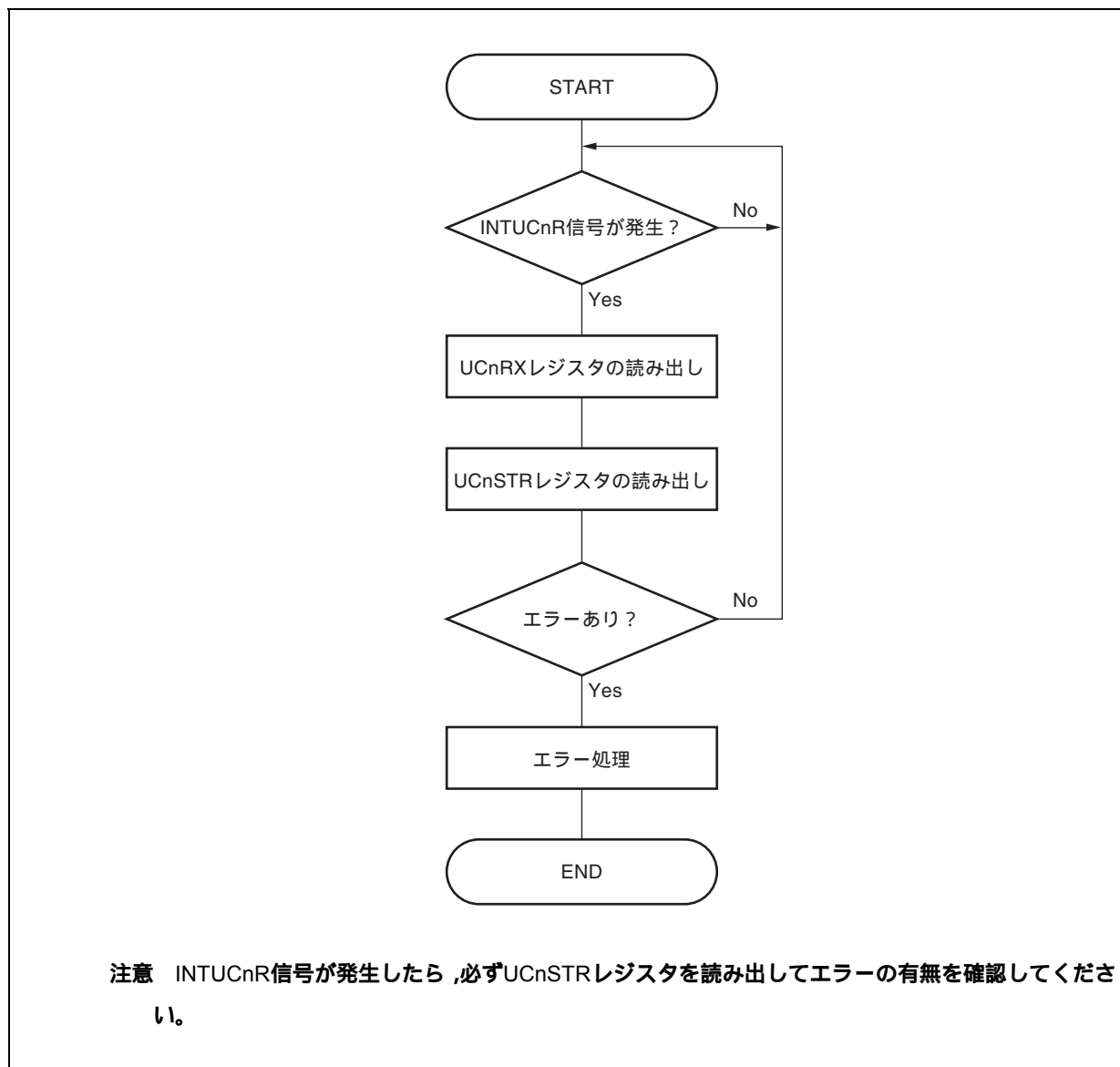
17.6.8 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。データ受信の結果エラー・フラグがUCnSTRレジスタに設定され、受信完了割り込み要求信号 (INTUCnR) を発生します。

UCnSTRレジスタの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます。

受信エラー・フラグをリードしたあとは、“0”ライトによりクリアしてください。

図17-16 受信データの読み出しフロー



・受信エラーの要因

エラー・フラグ	受信エラー	要 因
UCnPE	パリティ・エラー	受信したパリティ・ビットが設定と一致しない
UCnFE	フレーミング・エラー	ストップ・ビットが検出されない
UCnOVE	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信が完了

受信エラー発生時は、エラーの内容によって、次の処理を行ってください。

・パリティ・エラー

受信ラインへのノイズなどによって誤ったデータを受信しているため、受信データを破棄し、再度通信を行ってください。

・フレーミング・エラー

送信側との間でポー・レートずれが発生しているか、何らかの理由で誤ってスタート・ビットを検出してしまったことが考えられます。通信フォーマットのフェータルなエラーであるため、送信側の動作停止を確認後、互いに初期化処理を行って再度通信を開始してください。

・オーバラン・エラー

受信データを読み出す前に次の受信が完了してしまったため、1フレーム分のデータが破棄された状態になっています。必要なデータであれば再度通信をやり直してください。

注意 連続受信時に受信エラー割り込みが発生した場合は、次の受信が完了する前にUCnSTRレジスタの内容を読み出してエラー処理を実施してください。

17.6.9 パリティの種類と動作

注意 LIN機能を使用する場合、UCnCTL0.UCnPS1, UCnPS0ビットを“00”に固定してください。

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは奇数個ビットの誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

(a) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ

(i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

17. 6. 10 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRXDCn端子をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、2クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図17 - 18参照)。基本クロックについては17. 7 (1) (a) 基本クロックを参照してください。

また、回路は図17 - 17のようにになっているので、受信動作の内部での処理は、外部の信号状態より3クロック分遅れて動作することになります。

図17 - 17 ノイズ・フィルタ回路

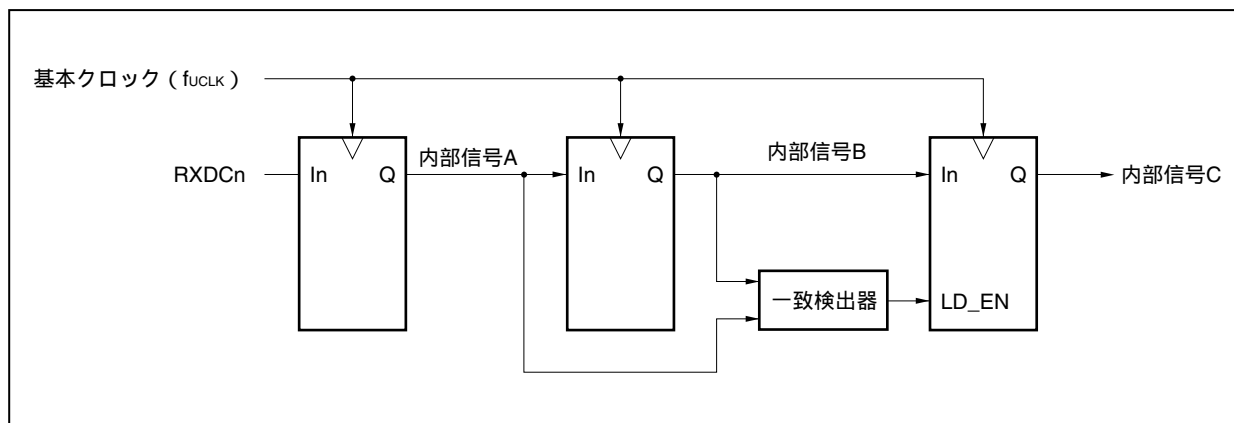
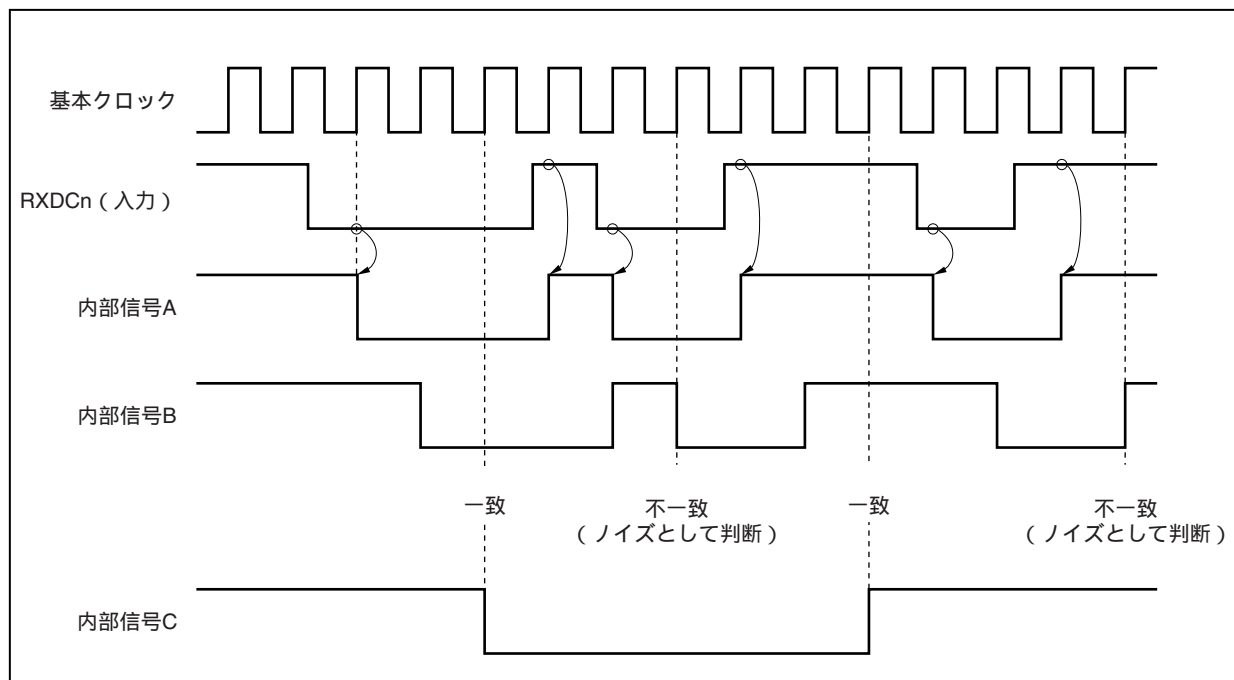


図17 - 18 ノイズとして判断されるRXDCn信号のタイミング



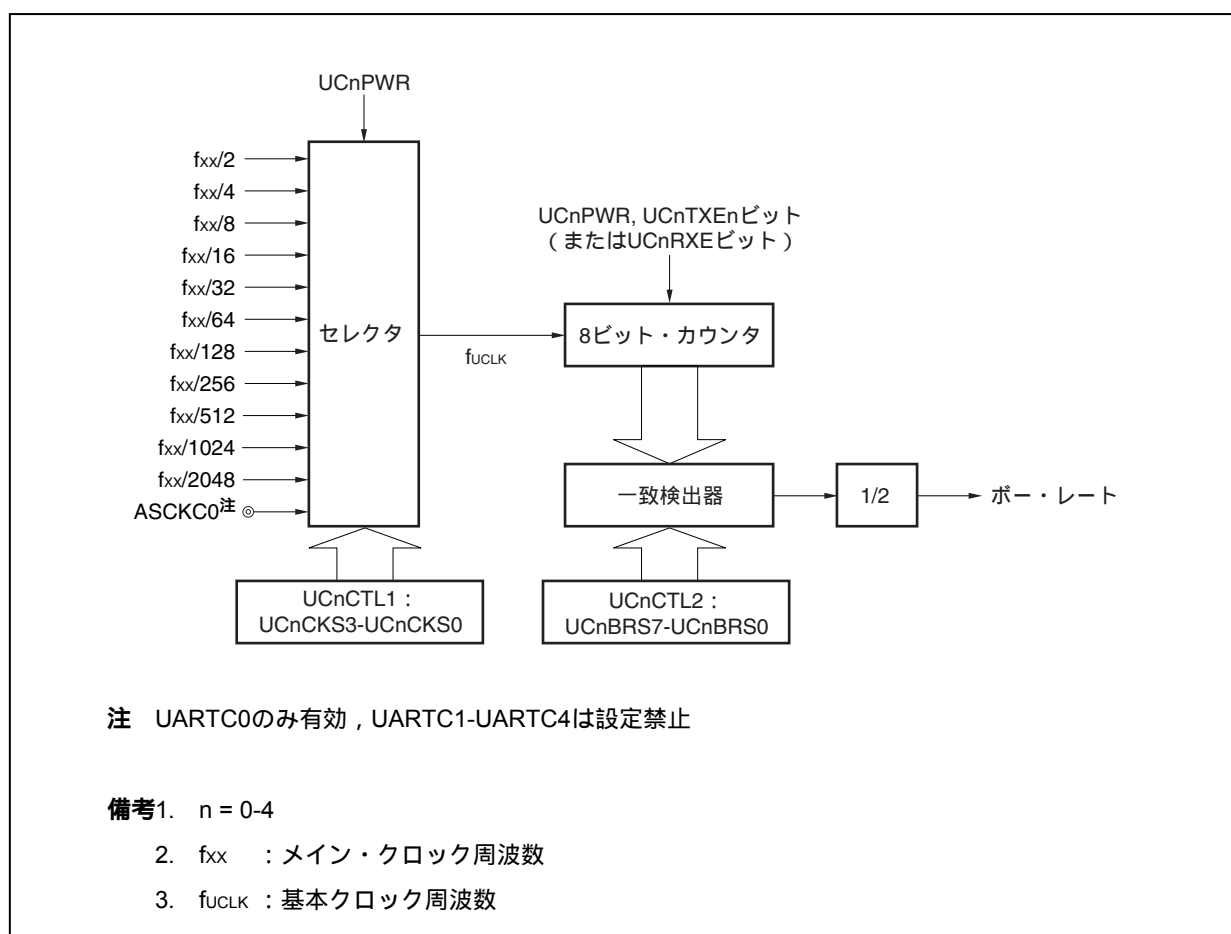
17.7 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTCnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

図17-19 ポー・レート・ジェネレータの構成



(a) 基本クロック

UCnCTL0.UCnPWRビット = 1のとき、UCnCTL1.UCnCKS3-UCnCKS0ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロック (f_{UCLK}) と呼びます。

(b) シリアル・クロックの生成

UCnCTL1レジスタとUCnCTL2レジスタの設定により、シリアル・クロックを生成できます(n = 0-4)。

UCnCTL1.UCnCKS3-UCnCKS0ビットにより、基本クロックを選択します。

UCnCTL2.UCnBRS7-UCnBRS0ビットにより、8ビット・カウンタの分周値を設定できます。

(2) UARTCn制御レジスタ1 (UCnCTL1)

UCnCTL1レジスタは、UARTCnの基本クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 UCnCTL1レジスタを書き換える場合は、UCnCTL0.UCnPWRビット = 0にしてから行ってください。

リセット時：00H R/W アドレス：UC0CTL1 FFFFFFFA01H, UC1CTL1 FFFFFFFA11H,
UC2CTL1 FFFFFFFA21H, UC3CTL1 FFFFFFFA31H,
UC4CTL1 FFFFFFFA41H

	7	6	5	4	3	2	1	0
UCnCTL1	0	0	0	0	UCnCKS3	UCnCKS2	UCnCKS1	UCnCKS0

(n = 0-4)

UCnCKS3	UCnCKS2	UCnCKS1	UCnCKS0	基本クロック (f _{CLK}) の選択
0	0	0	0	f _{xx} /2
0	0	0	1	f _{xx} /4
0	0	1	0	f _{xx} /8
0	0	1	1	f _{xx} /16
0	1	0	0	f _{xx} /32
0	1	0	1	f _{xx} /64
0	1	1	0	f _{xx} /128
0	1	1	1	f _{xx} /256
1	0	0	0	f _{xx} /512
1	0	0	1	f _{xx} /1024
1	0	1	0	f _{xx} /2048
1	0	1	1	外部クロック ^注 (ASCKC0端子)
上記以外				設定禁止

注 UARTC0のみ有効，UARTC1-UARTC4は設定禁止

備考 f_{xx} : メイン・クロック周波数

(3) UARTCn制御レジスタ2 (UCnCTL2)

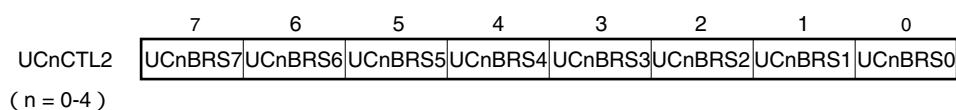
UCnCTL2レジスタは、UARTCnのボー・レート (シリアル転送スピード) クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。

注意 UCnCTL2レジスタを書き換える場合は、UCnCTL0.UCnPWRビット = 0、またはUCnTXE, UCnRXEビット = 00にしてから行ってください。

リセット時：FFH R/W アドレス：UC0CTL2 FFFFFFFA02H, UC1CTL2 FFFFFFFA12H,
UC2CTL2 FFFFFFFA22H, UC3CTL2 FFFFFFFA32H,
UC4CTL2 FFFFFFFA42H



UCn BRS7	UCn BRS6	UCn BRS5	UCn BRS4	UCn BRS3	UCn BRS2	UCn BRS1	UCn BRS0	規定値 (k)	シリアル・クロック
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	f _{UCLK} /4
0	0	0	0	0	1	0	1	5	f _{UCLK} /5
0	0	0	0	0	1	1	0	6	f _{UCLK} /6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	f _{UCLK} /252
1	1	1	1	1	1	0	1	253	f _{UCLK} /253
1	1	1	1	1	1	1	0	254	f _{UCLK} /254
1	1	1	1	1	1	1	1	255	f _{UCLK} /255

備考 f_{UCLK} : UCnCTL1.UCnCKS3-UCnCKS0ビットで選択したクロック周波数

(4) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{UCLK}}/2}{2 \times k} \quad [\text{bps}]$$

内部クロックを使用する場合は、次の式になります (UARTC0でASCKC0端子入力をクロックとして使用する場合は、上の式で計算してください)。

$$\text{ボー・レート} = \frac{f_{\text{xx}}/2}{2^{m+1} \times k} \quad [\text{bps}]$$

備考 f_{UCLK} = UCnCTL1.UCnCKS3-UCnCKS0ビットで選択した基本クロックの周波数

f_{xx} : メイン・クロック周波数

m = UCnCTL1.UCnCKS3-UCnCKS0ビットで設定した値 ($m = 0-10$)

k = UCnCTL2.UCnBRS7-UCnBRS0ビットで設定した値 ($k = 4-255$)

ボー・レート誤差は次の式によって求められます。

$$\begin{aligned} \text{誤差}(\%) &= \left[\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right] \times 100 [\%] \\ &= \left[\frac{f_{\text{UCLK}}/2}{2 \times k \times \text{目標ボー・レート}} - 1 \right] \times 100 [\%] \end{aligned}$$

内部クロックを使用する場合は、次の式になります (UARTC0でASCKC0端子入力をクロックとして使用する場合は、上の式で計算してください)。

$$\text{誤差}(\%) = \left[\frac{f_{\text{xx}}/2}{2^{m+1} \times k \times \text{目標ボー・レート}} - 1 \right] \times 100 [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内になしてください。

2. 受信時のボー・レート誤差は、(5) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

ボー・レートを設定するときは、次のように計算してUCnCTL1, UCnCTL2レジスタを設定してください (内部クロック使用時)。

$k = f_{xx} / 2 / (2 \times \text{目標ボー・レート})$ とし、 $m = 0$ としてください。

$k > 256$ のとき、 $k = k/2$ とし、 $m = m + 1$ としてください。

$k < 256$ になるまで、を繰り返してください。

k の小数点第一位を四捨五入します。

四捨五入して、 $k = 256$ になったときは、もう一度 を行ってください ($k = 128$ になります)。

m をUCnCTL1レジスタに、 k をUCnCTL2レジスタに設定してください。

例： $f_{xx} = 48 \text{ MHz}$ ，目標ボー・レート：153,600 bpsの場合

$$k = 48,000,000/2 / (2 \times 153,600) = 78.125\dots, m = 0$$

$$, \quad k = 78.125\dots < 256, m = 0$$

UCnCTL2レジスタ設定値： $k = 78 = 4EH$ ，UCnCTL1レジスタ設定値： $m = 0$

$$\begin{aligned} \text{実際のボー・レート} &= 48,000,000/2 / (2 \times 78) \\ &= 153,846 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{ボー・レート誤差} &= \{ 48,000,000/2 / (2 \times 78 \times 153,600) - 1 \} \times 100 \\ &= 0.160 \text{ [\%]} \end{aligned}$$

次に、代表的なボー・レートの設定例を示します。

表17-4 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	$f_{xx} = 48 \text{ MHz}$			$f_{xx} = 32 \text{ MHz}$			$f_{xx} = 24 \text{ MHz}$		
	UCnCTL1	UCnCTL2	ERR (%)	UCnCTL1	UCnCTL2	ERR (%)	UCnCTL1	UCnCTL2	ERR (%)
300	08H	9CH	0.16	07H	D0H	0.16	07H	9CH	- 2.3
600	07H	9CH	0.16	06H	D0H	0.16	06H	9CH	0.16
1200	06H	9CH	0.16	05H	D0H	0.16	05H	9CH	0.16
2400	05H	9CH	0.16	04H	D0H	0.16	04H	9CH	0.16
4800	04H	9CH	0.16	03H	D0H	0.16	03H	9CH	0.16
9600	03H	9CH	0.16	02H	D0H	0.16	02H	9CH	0.16
19200	02H	9CH	0.16	01H	D0H	0.16	01H	9CH	0.16
31250	01H	C0H	0.00	01H	80H	0.00	00H	C0H	0.00
38400	01H	9CH	0.16	00H	D0H	0.16	00H	9CH	0.16
76800	00H	9CH	0.16	00H	68H	0.16	00H	4EH	0.16
153600	00H	4EH	0.16	00H	34H	0.16	00H	27H	0.16
312500	00H	26H	1.05	00H	1AH	- 1.54	00H	13H	1.05
625000	00H	13H	1.05	00H	0DH	- 1.54	00H	0AH	- 4.00
1000000	00H	0CH	0.00	00H	08H	0.00	00H	06H	0.00
1250000	00H	0AH	- 4.00	設定禁止			00H	05H	- 4.00
2000000	00H	06H	0.00	00H	04H	0.00	設定禁止		
2500000	00H	05H	- 4.00	設定禁止					
3000000	00H	04H	0.00	設定禁止					

備考 f_{xx} : メイン・クロック周波数

ERR : ボー・レート誤差 [%]

(5) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図17 - 20 受信時の許容ポー・レート範囲

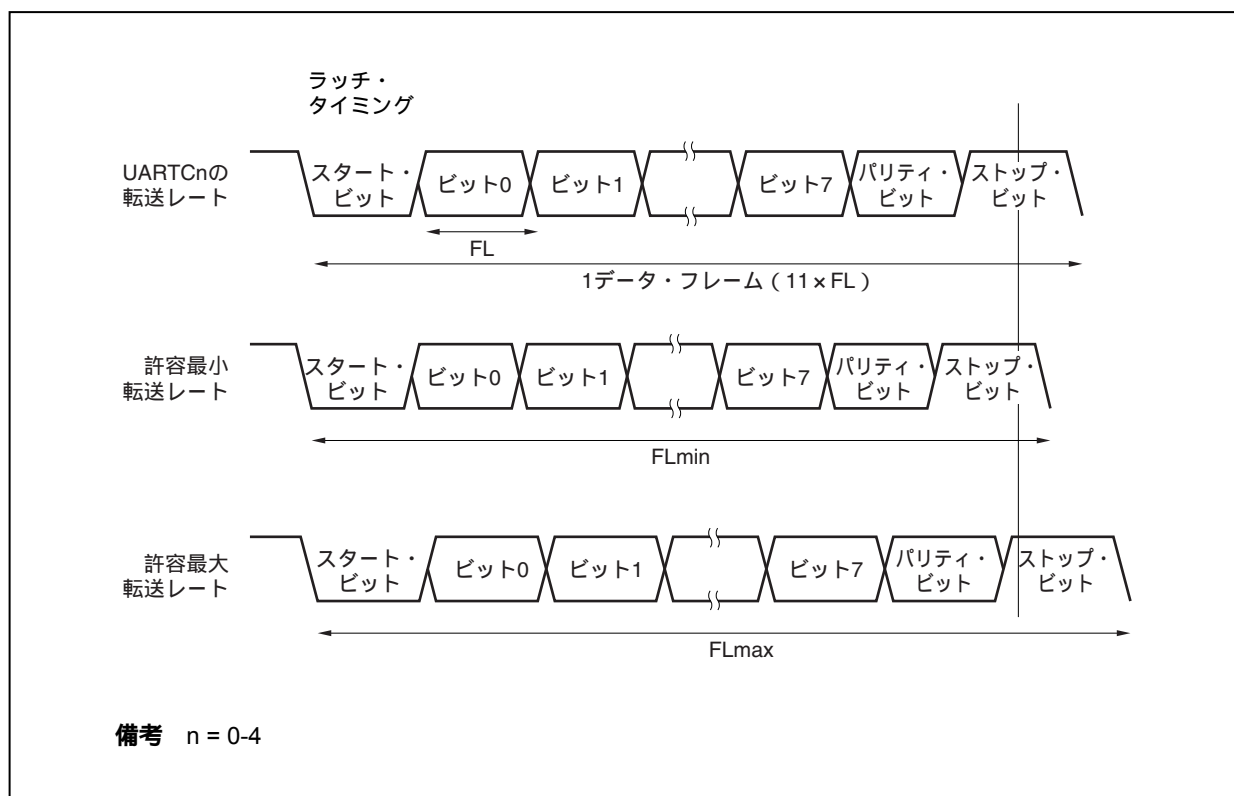


図17 - 20に示すように、スタート・ビット検出後はUCnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTCnのポー・レート (n = 0-4)

k : UCnCTL2.UCnBRS7-UCnBRS0ビットの設定値 (n = 0-4)

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート} : FL_{min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UARTCnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表 17 - 5 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.32 %	- 2.43 %
8	+ 3.52 %	- 3.61 %
20	+ 4.26 %	- 4.30 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.72 %

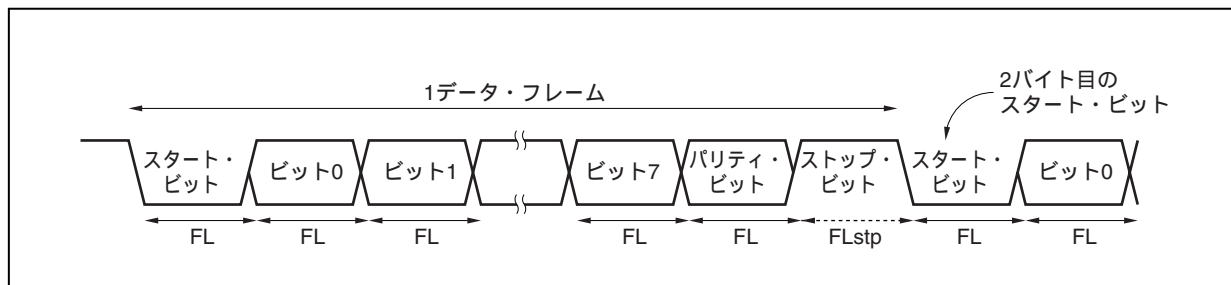
備考1. 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UCnCTL2.UCnBRS7-UCnBRS0ビットの設定値 (n = 0-4)

(6) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図17-21 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：f_{uCLK}とすると次の式が成り立ちます。

$$FLstp = FL + 2 / f_{uCLK}$$

したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + (2 / f_{uCLK})$$

17.8 注意事項

- (1) UARTCnへの供給クロックが停止する場合(例: IDLE1, IDLE2, STOPモード)は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDCn端子出力も停止直前の値を保持し、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUCnCTL0.UCnPWR, UCnRXEn, UCnTXEnビット = 000とし、回路を初期化してください。
- (2) RXDC1端子とKR7端子は同時に使用することはできません。RXDC1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDC1端子を使用しないでください(PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します)。
- (3) UARTCnの起動は次の順序で行ってください。
 - UCnCTL0.UCnPWRビット = 1
 - ポートの設定
 - UCnCTL0.UCnTXEビット = 1, UCnCTL0.UCnRXEビット = 1
- (4) UARTCnの停止は次の順序で行ってください。
 - UCnCTL0.UCnTXEビット = 0, UCnCTL0.UCnRXEビット = 0
 - ポートの設定, UCnCTL0.UCnPWRビット = 0 (ポートの設定は変更しなくても問題ありません)
- (5) 送信モード中(UCnCTL0.UCnPWRビット = 1, かつUCnCTL0.UCnTXEビット = 1)に、ソフトウェアでUCnTXレジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。
- (6) 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信レートが、通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出でタイミングの初期化を行うため、受信結果には影響しません。

第18章 3線式可変長シリアルI/O (CSIF)

18.1 CSIFとほかのシリアル・インタフェースのモード切り替え

18.1.1 CSIF4とUARTC0のモード切り替え

V850ES/JG3-U, V850ES/JH3-Uでは, CSIF4とUARTC0は端子が兼用になっており, 同時には使用できません。CSIF4を使用するときは, あらかじめPMC3, PFC3, PFCE3レジスタで設定する必要があります。

注意 CSIF4またはUARTC0において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図18 - 1 CSIF4とUARTC0のモード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF446H								
	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時 : 00H R/W アドレス : FFFFF466H								
	7	6	5	4	3	2	1	0
PFC3	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30
リセット時 : 00H R/W アドレス : FFFFF706H								
	7	6	5	4	3	2	1	0
PFCE3	PFCE37	PFCE36	PFCE35	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30
PMC32	PFCE32	PFC32	動作モード					
0	x	x	ポート入出力モード					
1	0	0	ASCKC0					
1	0	1	SCKF4					
PMC3n	PFC3n	動作モード						
0	x	ポート入出力モード						
1	0	UARTC0モード						
1	1	CSIF4モード						

備考1. n = 0, 1
2. x = don't care

18.1.2 CSIF0とUARTC4とI²C01のモード切り替え

V850ES/JG3-U, V850ES/JH3-Uでは, CSIF0とUARTC4とI²C01は端子が兼用になっており, 同時には使用できません。CSIF0とUARTC4とI²C01の切り替えは, あらかじめPMC4, PFC4, PFCE4レジスタで設定する必要があります。

注意 CSIF0, UARTC4またはI²C01において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図18 - 2 CSIF0とUARTC4とI²C01のモード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF448H								
	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40
リセット時 : 00H R/W アドレス : FFFFF468H								
	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	PFC42	PFC41	PFC40
リセット時 : 00H R/W アドレス : FFFFF708H								
	7	6	5	4	3	2	1	0
PFCE4	0	0	0	0	0	0	PFCE41	PFCE40
	PMC4n	PFCE4n	PFC4n	動作モード				
	0	x	x	ポート入出力モード				
	1	0	0	CSIF0モード				
	1	0	1	UARTC4モード				
	1	1	0	I ² C01モード				

備考1. n = 0, 1
2. x = don't care

18.1.3 CSIF3とUARTC2のモード切り替え

V850ES/JG3-U, V850ES/JH3-Uでは、CSIF3とUARTC2は端子が兼用になっており、同時には使用できません。CSIF3とUARTC2の切り替えは、あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります。

注意 CSIF3またはUARTC2において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図18 - 3 CSIF3とUARTC2のモード切り替え設定

リセット時 : 0000H R/W アドレス : FFFFF452H, FFFFF453H								
PMC9	15	14	13	12	11	10	9	8
	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90
リセット時 : 0000H R/W アドレス : FFFFF472H, FFFFF473H								
PFC9	15	14	13	12	11	10	9	8
	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90
リセット時 : 0000H R/W アドレス : FFFFF712H, FFFFF713H								
PFCE9	15	14	13	12	11	10	9	8
	PFCE915	PFCE914	0	0	PFCE911	PFCE910	PFCE99	PFCE98
	7	6	5	4	3	2	1	0
	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90
動作モード								
PMC91n	PFCE91n	PFC91n	動作モード					
0	x	x	ポート入出力モード					
1	0	0	CSIF3モード					
1	0	1	UARTC2モード					

備考1. n = 0, 1
2. x = don't care

18.2 特 徴

転送速度：最大12 Mbps ($f_{xx} = 48$ MHz, 内部クロック使用時, マスタ・モード：CSIF3)
8 Mbps ($f_{xx} = 48$ MHz, 内部クロック使用時, マスタ・モード：CSIF0-CSIF4)

マスタ・モードとスレーブ・モードを選択可能

8-16ビット転送, 3線式シリアル・インタフェース

割り込み要求信号 (INTCFnT, INTCFnR)

シリアル・クロックとデータのフェーズ切り替えが可能

転送データ長を8-16ビットに1ビット単位で選択可能

転送データのMSB先頭 / LSB先頭を切り替え可能

3線式 SOFn : シリアル・データ出力
SIFn : シリアル・データ入力
 $\overline{\text{SCKFn}}$: シリアル・クロック入出力

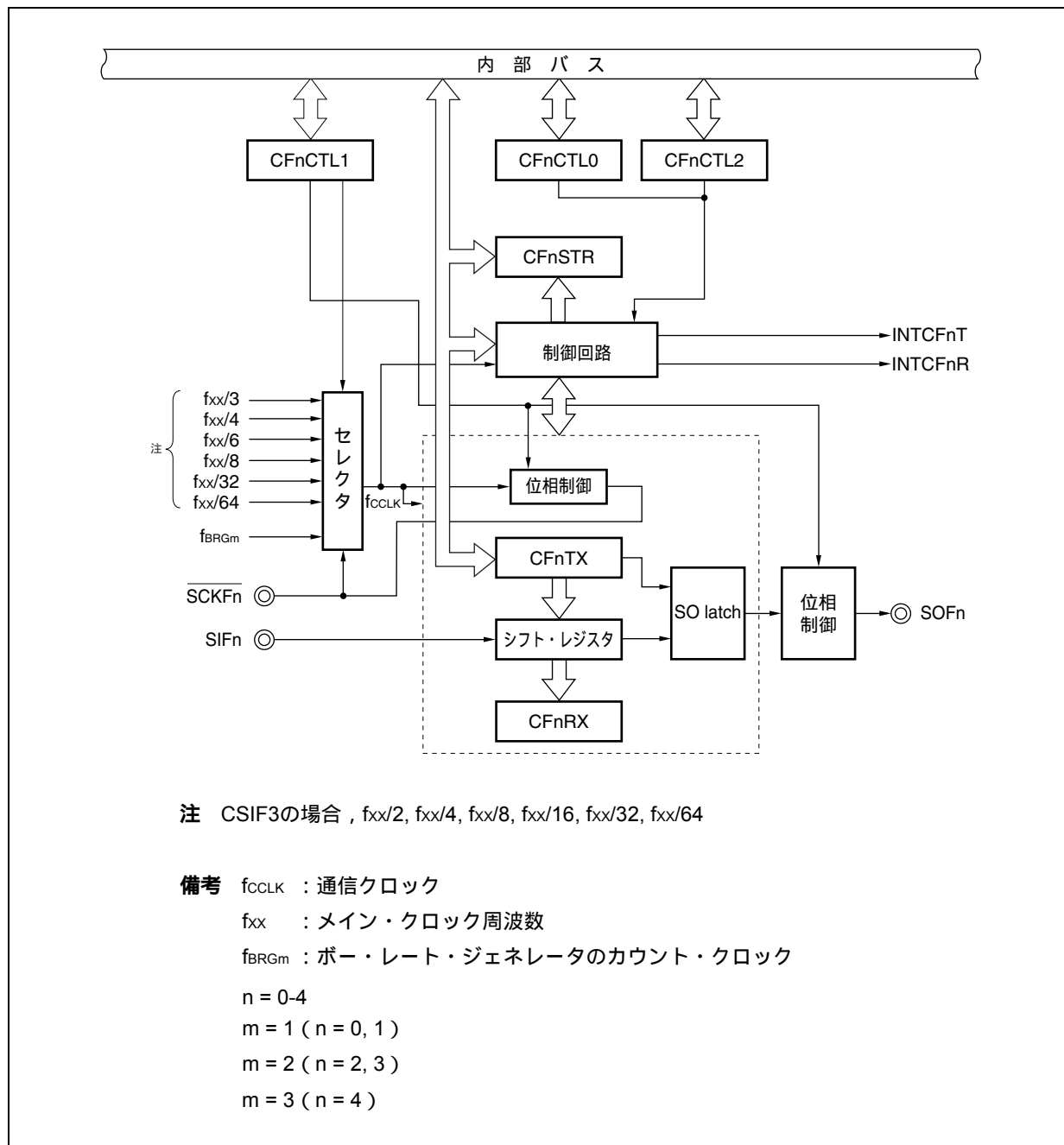
送信モード, 受信モード, 送受信モードを指定可能

備考 n = 0-4

18.3 構成

次にCSIFnのブロック図を示します。

図18-4 CSIFnのブロック図



CSIFnは、次のハードウェアで構成されています。

表18 - 1 CSIFnの構成

項 目	構 成
レジスタ	CSIFn受信データ・レジスタ (CFnRX) CSIFn送信データ・レジスタ (CFnTX) CSIFn制御レジスタ0 (CFnCTL0) CSIFn制御レジスタ1 (CFnCTL1) CSIFn制御レジスタ2 (CFnCTL2) CSIFn状態レジスタ (CFnSTR)

(1) CSIFn受信データ・レジスタ (CFnRX)

CFnRXレジスタは、受信データを保持する16ビットのバッファ・レジスタです。

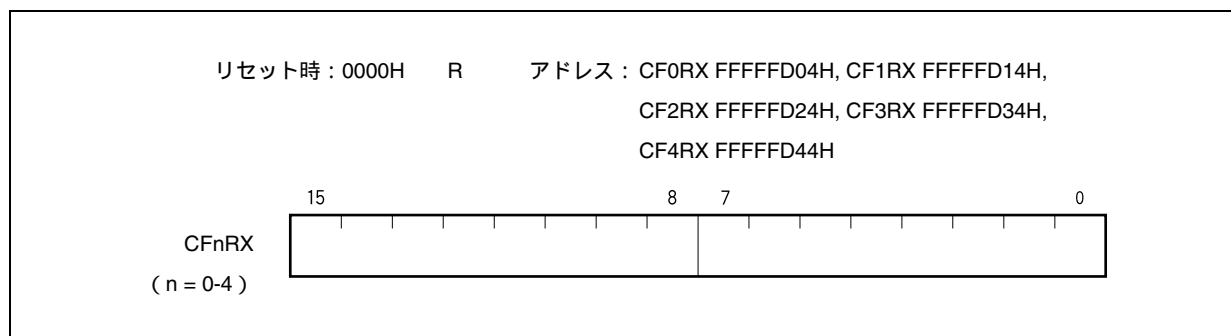
16ビット単位でリードのみ可能です。

受信許可状態中に、CFnRXレジスタをリードすることにより、受信動作を開始します。

転送データ長が8ビットの場合は、CFnRXレジスタの下位8ビットをCFnRXLレジスタとして、8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に、CFnCTL0レジスタのCFnPWRビットをクリア (0) しても初期化されます。



(2) CSIFn送信データ・レジスタ (CFnTX)

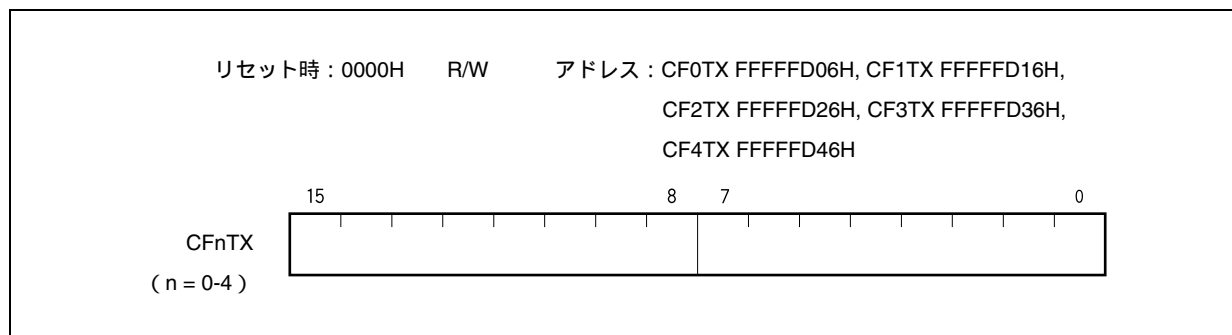
CFnTXレジスタは、CSIFnの転送データを書き込む16ビットのバッファ・レジスタです。

16ビット単位でリード/ライト可能です。

送信許可状態のときは、CFnTXレジスタにデータをライトすることにより、送信動作を開始します。

転送データ長が8ビットの場合は、CFnTXレジスタの下位8ビットをCFnTXLレジスタとして、8ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**備考** 通信開始条件について

送信モード (CFnTXEビット = 1, CFnRXEビット = 0) : CFnTXレジスタへのライト

送受信モード (CFnTXEビット = 1, CFnRXEビット = 1) : CFnTXレジスタへのライト

受信モード (CFnTXEビット = 0, CFnRXEビット = 1) : CFnRXレジスタのリード

18.4 レジスタ

CSIFnを制御するレジスタには、次のものがあります。

- ・ CSIFn制御レジスタ0 (CFnCTL0)
- ・ CSIFn制御レジスタ1 (CFnCTL1)
- ・ CSIFn制御レジスタ2 (CFnCTL2)
- ・ CSIFn状態レジスタ (CFnSTR)

(1) CSIFn制御レジスタ0 (CFnCTL0)

CSIFnのシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

(1/3)

リセット時：01H R/W アドレス：CF0CTL0 FFFFFFFD00H, CF1CTL0 FFFFFFFD10H,
CF2CTL0 FFFFFFFD20H, CF3CTL0 FFFFFFFD30H,
CF4CTL0 FFFFFFFD40H

CFnCTL0	⑦	⑥	⑤	④	3	2	1	①
(n = 0-4)	CFnPWR	CFnTXE ^注	CFnRXE ^注	CFnDIR ^注	0	0	CFnTMS ^注	CFnSCE

CFnPWR	CSIFn動作禁止 / 許可の指定
0	CSIFn動作禁止, CFnSTRレジスタをリセットする
1	CSIFn動作許可
・ CFnPWRビット はCSIFnの動作の制御と内部回路のリセットを行います。	

CFnTXE ^注	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可
・ CFnTXEビット = 0のとき, SOFn出力はロウ・レベルとなります。	

CFnRXE ^注	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可
・ CFnRXEビット = 0にすることで受信動作を禁止するため, 規定のデータを転送されても受信完了割り込みは出力されず, 受信データ (CFnRXレジスタ) は更新されません。	

注 CFnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCFnPWRビット = 1とするのは可能です。

注意 送受信を強制中断する場合は, CFnRXE, CFnTXEビットではなく, CFnPWRビットをクリア (0) してください。このとき, クロック出力も停止します。

CFnDIR ^注	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

CFnTMS ^注	転送モードの指定
0	シングル転送モード
1	連続転送モード

【シングル転送モード】

通信の完了で受信完了割り込み (INTCFnR) を発生します。

送信許可 (CFnTXEビット = 1) の場合でも送信許可割り込み (INTCFnT) は発生しません。

通信中 (CFnSTR.CFnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CFnTXEビット = 0, CFnRXEビット = 1) も、通信中 (CFnSTR.CFnTSFビット = 1) に受信データをリードしても次の通信は起動しません。

【連続転送モード】

通信中 (CFnSTR.CFnTSFビット = 1) に次の送信データをライトすることで連続送信が可能です。

次の送信データがライト可能になるのは、送信許可割り込み (INTCFnT) 発生後です。

また、連続転送モードで受信のみの通信に設定 (CFnTXEビット = 0, CFnRXEビット = 1) すると、CFnRXレジスタのリード操作に関係なく、受信完了割り込み (INTCFnR) 後、連続して次の受信を開始します。

そのため、速やかにCFnRXレジスタから受信データを読み出してください。読み出しが遅れるとオーバラン・エラー (CFnOVEビット = 1) が発生します。

注 CFnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCFnPWRビット = 1とするのは可能です。

CFnSCE	起動転送無効 / 許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

・マスタ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
(a) シングル送信 / 送受信モード, 連続送信 / 送受信モード時
CFnSCEビットが“1”のときにCFnTXレジスタへのデータ書き込みで通信動作を起動できます。
CFnSCEビットは“1”に設定してください。

(b) シングル受信モード時
受信データ (CFnRXレジスタ) のリードで受信動作が起動されるため, 最終受信データのリードを行う前にCFnSCEビットを“0”に設定して次の受信動作の起動を無効にしてください^{注1}。

(c) 連続受信モード時
最終データの受信が完了する1通信クロック前までにCFnSCEビットを“0”に設定して最終データ受信後の受信動作の起動を無効にしてください^{注2}。

・スレーブ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
CFnSCEビットは“1”に設定してください。

【CFnSCEビットの使用方法】

・シングル受信モード時
INTCFnR割り込み処理で最終データの受信が完了している場合には, CFnSCEビット = 0にしてからCFnRXレジスタを読み出す。
CFnSTR.CFnTSFビット = 0を確認後, 受信を禁止する場合, CFnRXEビット = 0とする。
続けて受信をする場合には, CFnSCEビット = 1にしてCFnRXレジスタのダミー・リードにより次の受信動作を起動する。

・連続受信モード時
INTCFnR割り込み処理で最終データ受信中にCFnSCEビット = 0とする。
CFnRXレジスタを読み出す。
CFnTIR割り込みを受けて, CFnRXレジスタを読み出すことで, 最終受信データを読み出す。
CFnSTR.CFnTSFビット = 0を確認後, 受信を禁止する場合, CFnRXEビット = 0とする。
続けて受信をする場合には, CFnSCEビット = 1にしてCFnRXレジスタのダミー・リードにより次の受信動作まで待つ。

- 注1. CFnSCEビットが“1”のままリードした場合, 次回の通信動作が起動されません。
2. 最終データの受信を完了する1通信クロック前までにCFnSCEビットを“0”にしない場合, 自動的に次回の通信動作が起動されます。

注意 ビット3, 2には必ず0を設定してください。

(2) CSIFn制御レジスタ1 (CFnCTL1)

CSIFnのシリアル転送動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CFnCTL1レジスタは、CFnCTL0.CFnPWRビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CF0CTL1 FFFFFFFD01H, CF1CTL1 FFFFFFFD11H,
CF2CTL1 FFFFFFFD21H, CF3CTL1 FFFFFFFD31H,
CF4CTL1 FFFFFFFD41H

	7	6	5	4	3	2	1	0
CFnCTL1	0	0	0	CFnCKP	CFnDAP	CFnCKS2	CFnCKS1	CFnCKS0
(n = 0-4)								

	CFnCKP	CFnDAP	SCKFnに対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

CFnCKS2	CFnCKS1	CFnCKS0	通信クロック (f _{CLK})		モード
			n = 0-2, 4 ^{注1}	n = 3 ^{注2}	
0	0	0	f _{xx} /3	f _{xx} /2	マスタ・モード
0	0	1	f _{xx} /4	f _{xx} /4	マスタ・モード
0	1	0	f _{xx} /6	f _{xx} /8	マスタ・モード
0	1	1	f _{xx} /8	f _{xx} /16	マスタ・モード
1	0	0	f _{xx} /32	f _{xx} /32	マスタ・モード
1	0	1	f _{xx} /64	f _{xx} /64	マスタ・モード
1	1	0	f _{BRGm}		マスタ・モード
1	1	1	外部クロック (SCKFn)		スレーブ・モード

注1. 通信クロック (f_{CLK}) は、8 MHz以下 (マスタ/スレーブ・モード時) になるように設定してください。

2. 通信クロック (f_{CLK}) は、12 MHz (マスタ・モード時) , 8 MHz以下 (マスタ/スレーブ・モード時) になるように設定してください。

備考 n = 0, 1の場合, m = 1

n = 2, 3の場合, m = 2

n = 4の場合, m = 3

f_{BRGm}についての詳細は18.8 ポー・レート・ジェネレータを参照してください。

(3) CSIFn制御レジスタ2 (CFnCTL2)

CSIFnのシリアル転送ビット数を制御する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CFnCTL2レジスタは、CFnCTL0.CFnPWRビット = 0、またはCFnTXE, CFnRXEビット = 0の場合のみ書き換えが可能です。

リセット時 : 00H R/W アドレス : CF0CTL2 FFFFFFFD02H, CF1CTL2 FFFFFFFD12H,
CF2CTL2 FFFFFFFD22H, CF3CTL2 FFFFFFFD32H,
CF4CTL2 FFFFFFFD42H

	7	6	5	4	3	2	1	0
CFnCTL2 (n = 0-4)	0	0	0	0	CFnCL3	CFnCL2	CFnCL1	CFnCL0

CFnCL3	CFnCL2	CFnCL1	CFnCL0	シリアル・レジスタのビット長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	x	x	x	16ビット

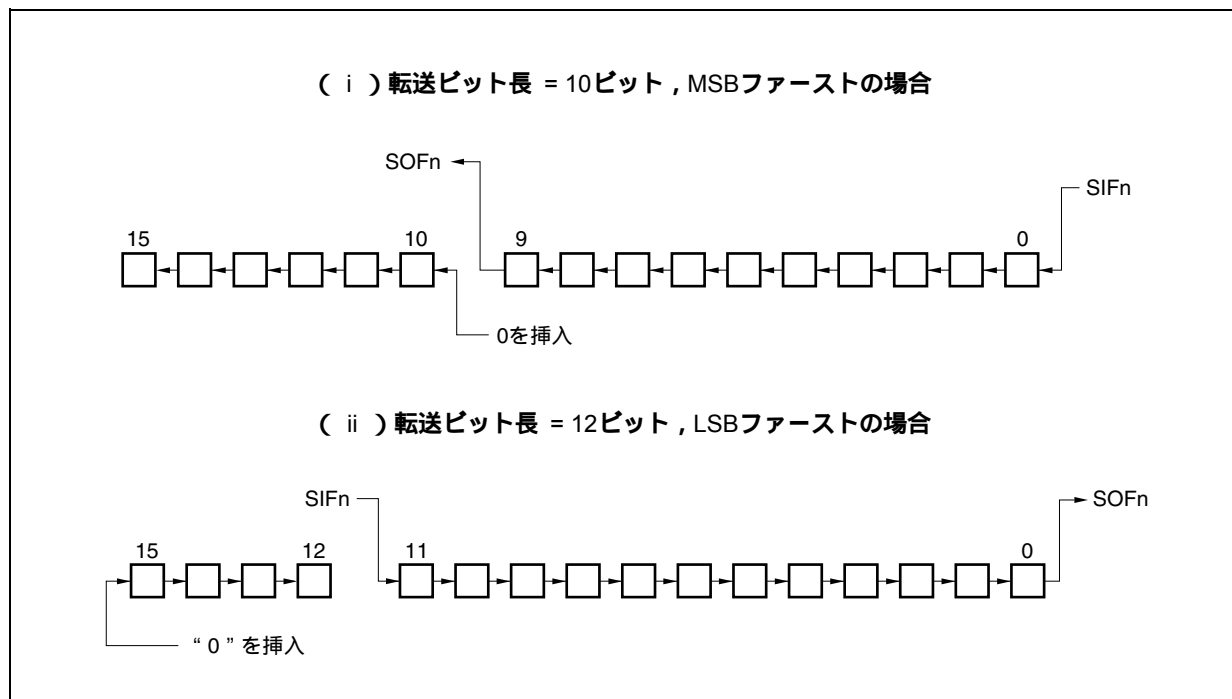
備考1. 転送ビット数が8/16ビットではない場合には、CFnTX, CFnRXレジスタの最下位ビットから詰めてデータを準備して使用してください。

2. x : don't care

(a) 転送データ長変更機能

CSIFnの転送データ長はCFnCTL2.CFnCL3-CFnCL0ビットによって、8-16ビットに1ビット単位で設定可能です。

転送ビット長を16ビット以外に設定した場合、CFnTX、CFnRXレジスタへは、転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。



(4) CSIFn状態レジスタ (CFnSTR)

CSIFnの状態をあらわす8ビットのレジスタです。

8/1ビット単位でリード/ライト可能ですが、CFnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に、CFnCTL0.CFnPWRビットをクリア(0)する場合も初期化されます。

リセット時：00H R/W アドレス：CF0STR FFFFFFFD03H, CF1STR FFFFFFFD13H,
CF2STR FFFFFFFD23H, CF3STR FFFFFFFD33H,
CF4STR FFFFFFFD43H

CFnSTR (n = 0-4)	⑦	6	5	4	3	2	1	⑩
	CFnTSF	0	0	0	0	0	0	CFnOVE

CFnTSF	通信状態フラグ
0	通信停止
1	通信中

・送信時にはCFnTXレジスタにデータを準備したタイミングでセットされます。
受信時にはCFnRXレジスタをダミー・リードしたタイミングでセットされます。
転送終了時、クロックの最後のエッジでクリア(0)されます。

CFnOVE	オーバラン・エラー・フラグ
0	オーバランなし
1	オーバランあり

・受信時もしくは受信動作完了後に、受信バッファの値をCPUがリードせずに次の受信が完了した場合、オーバラン・エラーとなります。
CFnOVEフラグは、このような場合のオーバラン・エラーの発生状態を示します。

・シングル転送モード時もCFnOVEビットは有効です。そのため、送信のみで使用する場合は、次のように対応してください。

- ・CFnOVEフラグのチェックを行わない。
- ・受信データを読み出す必要がない場合でも読み出す。

・CFnOVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセットされません。

18.5 割り込み要求信号

CSIFnからは次の2種類の割り込み要求信号を発生します。

- ・ 受信完了割り込み要求信号 (INTCFnR)
- ・ 送信許可割り込み要求信号 (INTCFnT)

これら2種類の割り込み要求信号のデフォルト優先順位は、受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表18 - 2 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

(1) 受信完了割り込み要求信号 (INTCFnR)

受信許可状態中で、CFnRXレジスタに受信データが転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号は、オーバラン・エラーが起こった場合にも発生します。

受信完了割り込み要求信号を受け付け、データを読み出すときに、CFnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

また、シングル転送モード時は送信のみにおいても、送信完了のタイミングで、INTCFnR割り込み要求信号が発生します。

(2) 送信許可割り込み要求信号 (INTCFnT)

連続送信 / 連続送受信モードにおいて、CFnTXレジスタから送信データが転送され、CFnTXへの書き込みが可能となった時点で送信許可割り込み要求信号を発生します。

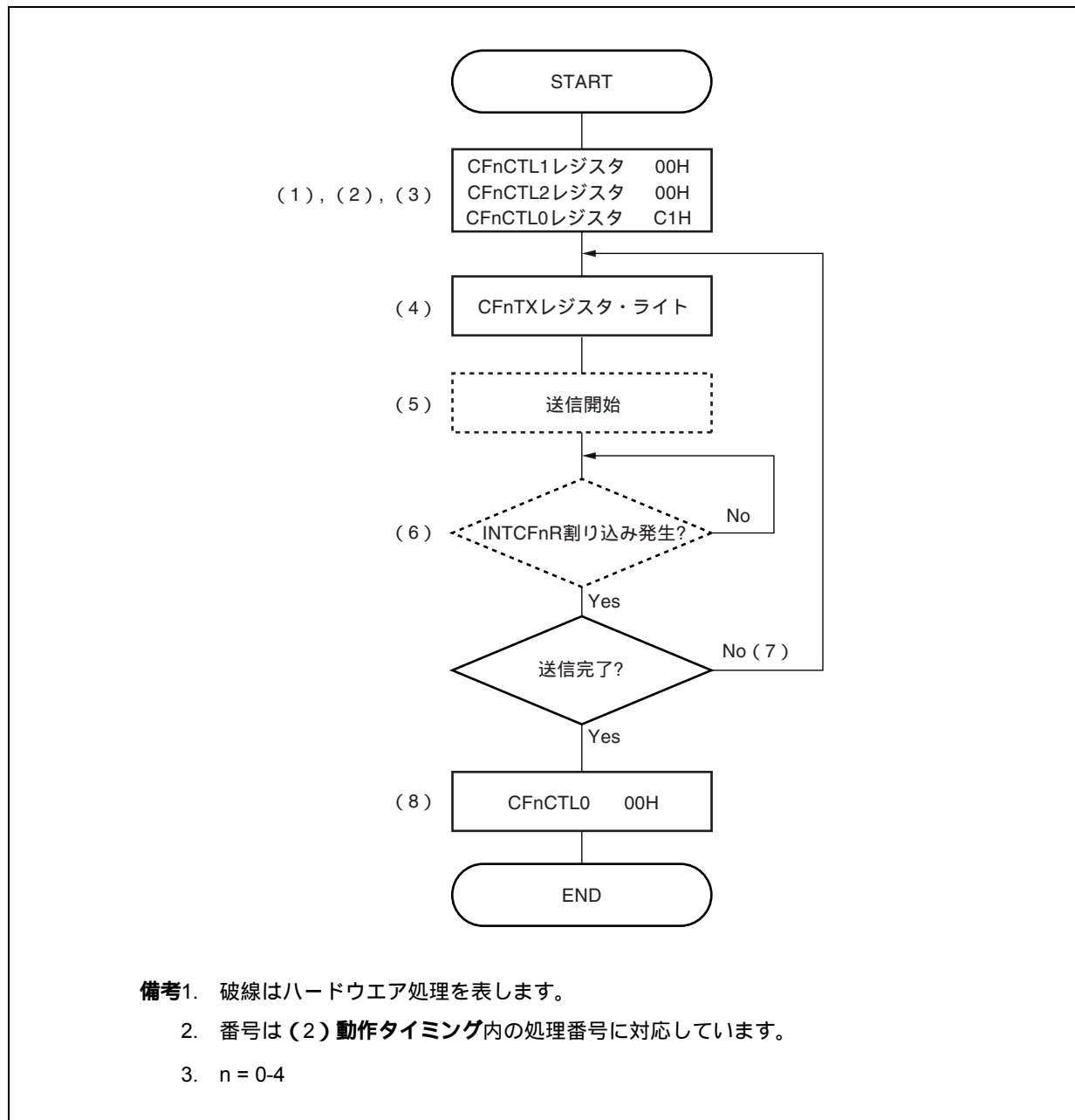
シングル送信 / シングル送受信モードにおいては、INTCFnT割り込みは発生しません。

18.6 動作

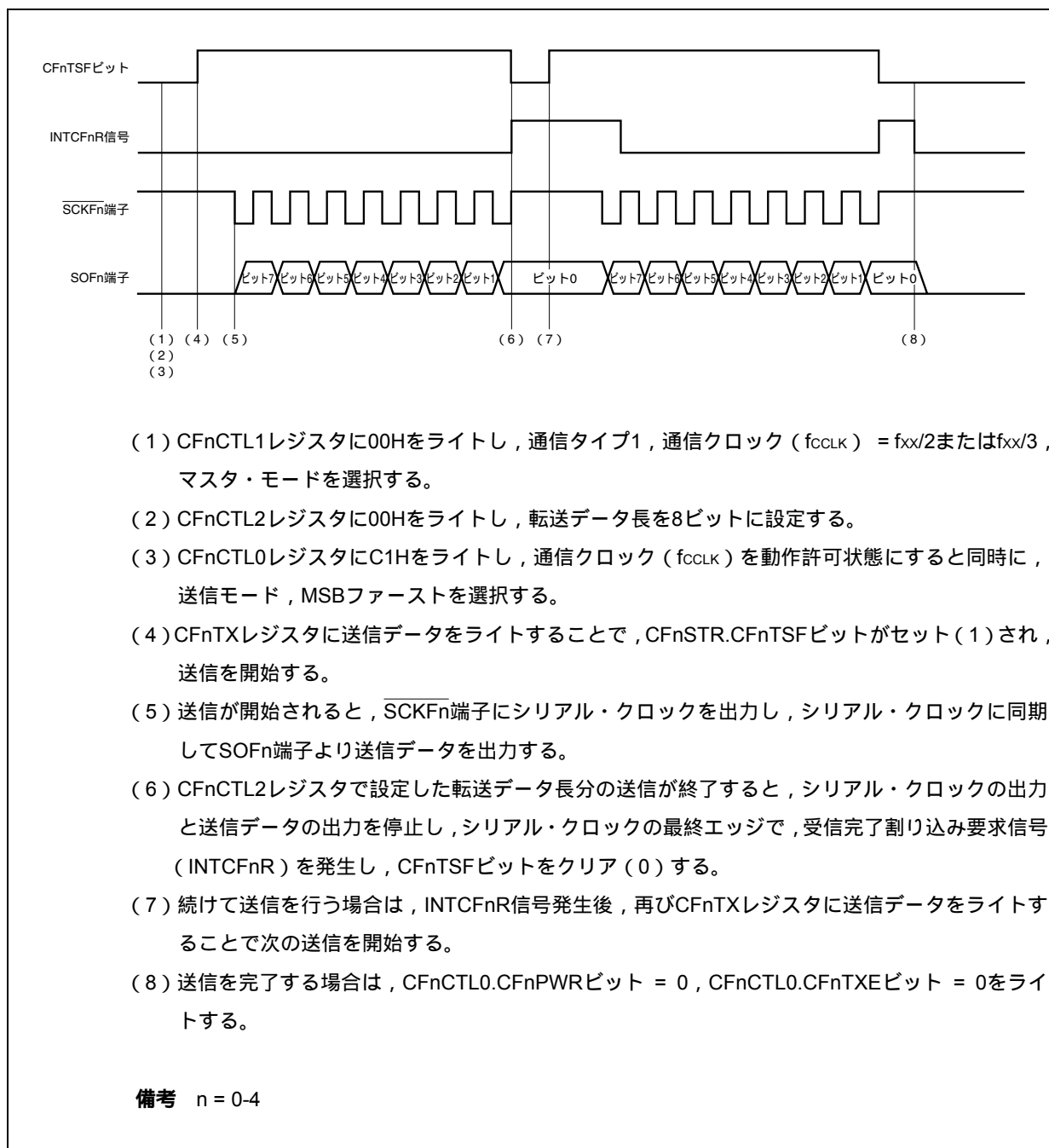
18.6.1 シングル転送モード (マスタ・モード, 送信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{xx}/2$ または $f_{xx}/3$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

(1) 動作フロー



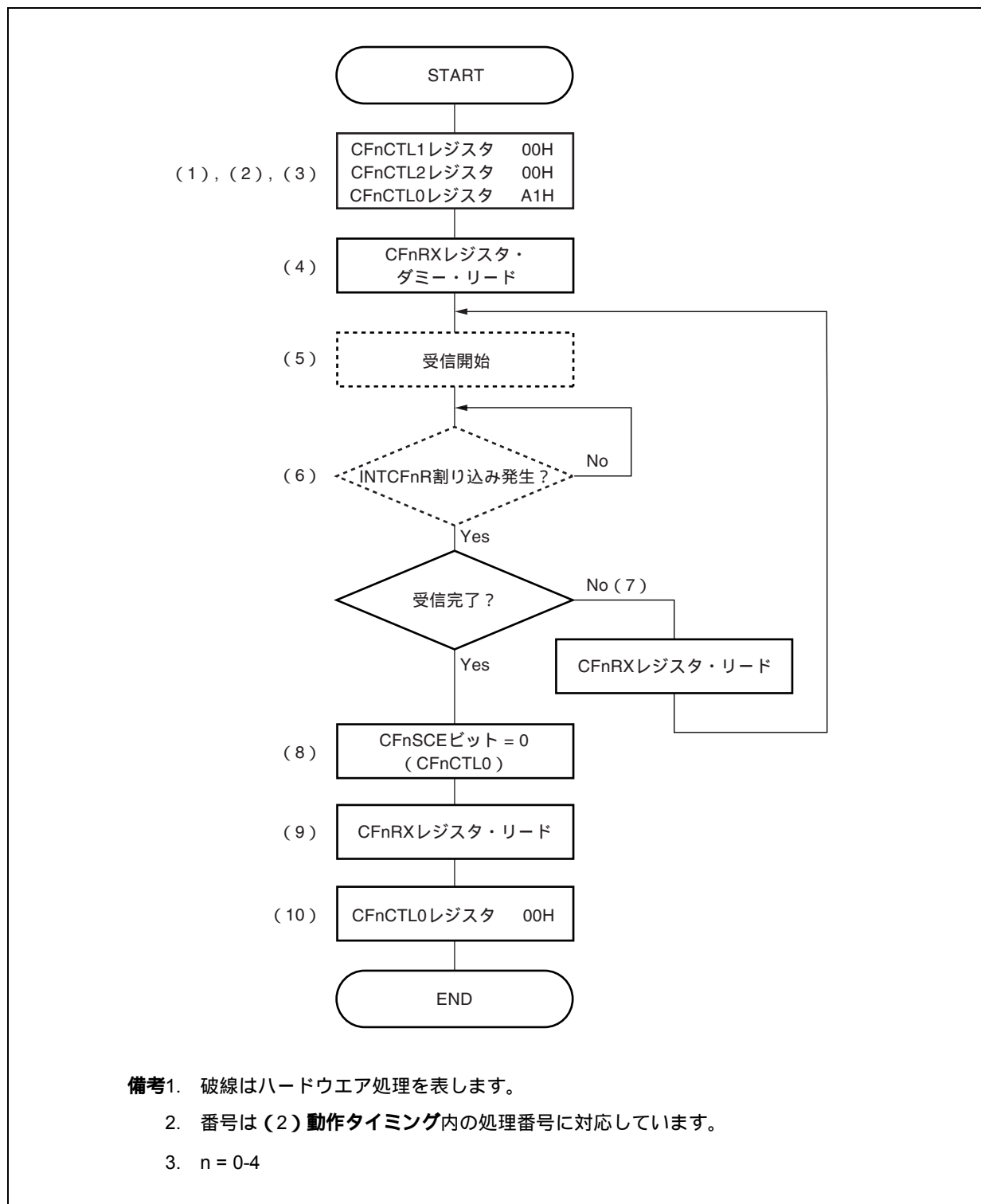
(2) 動作タイミング



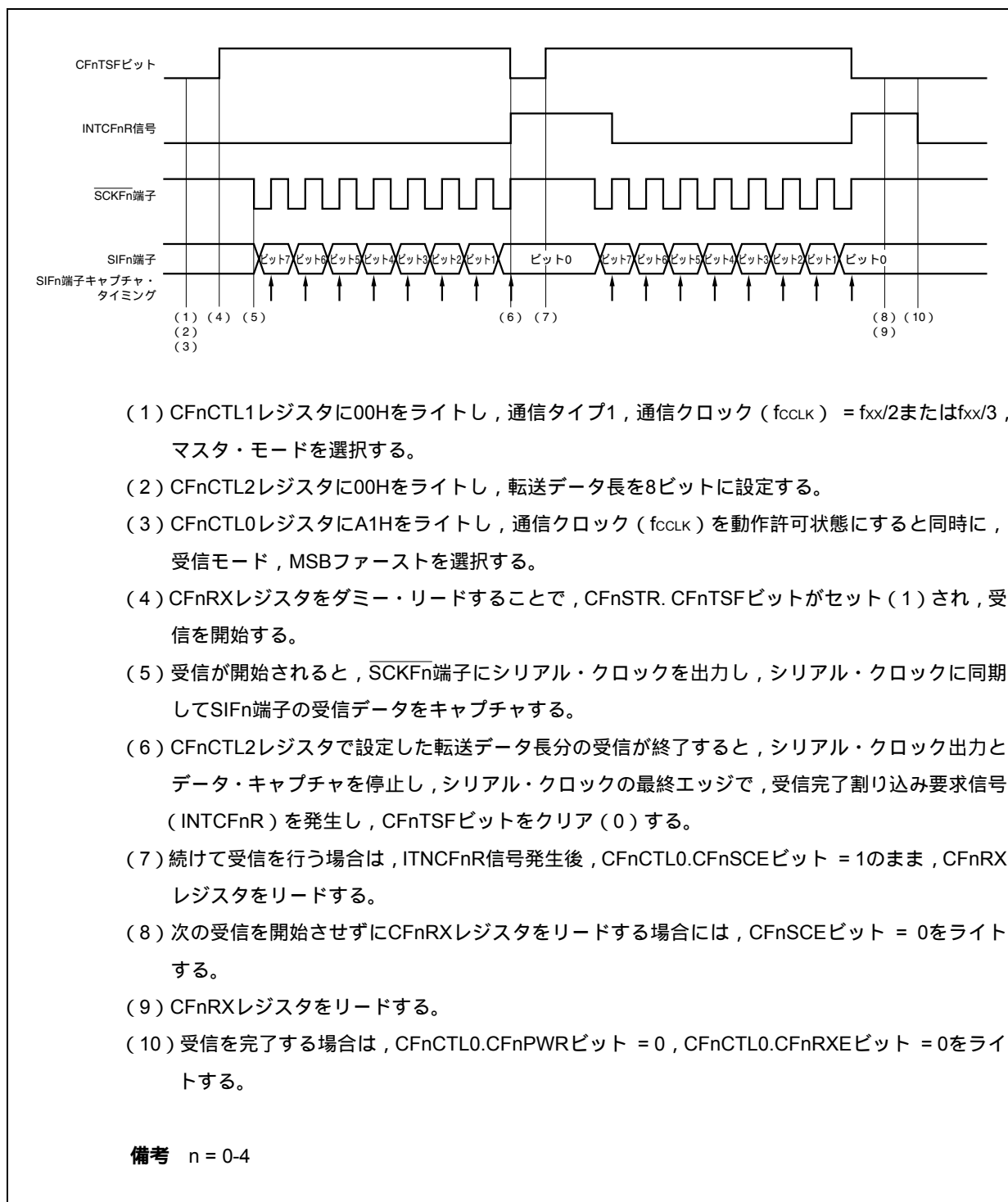
18. 6. 2 シングル転送モード (マスタ・モード, 受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = $f_{xx}/2$ または $f_{xx}/3$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



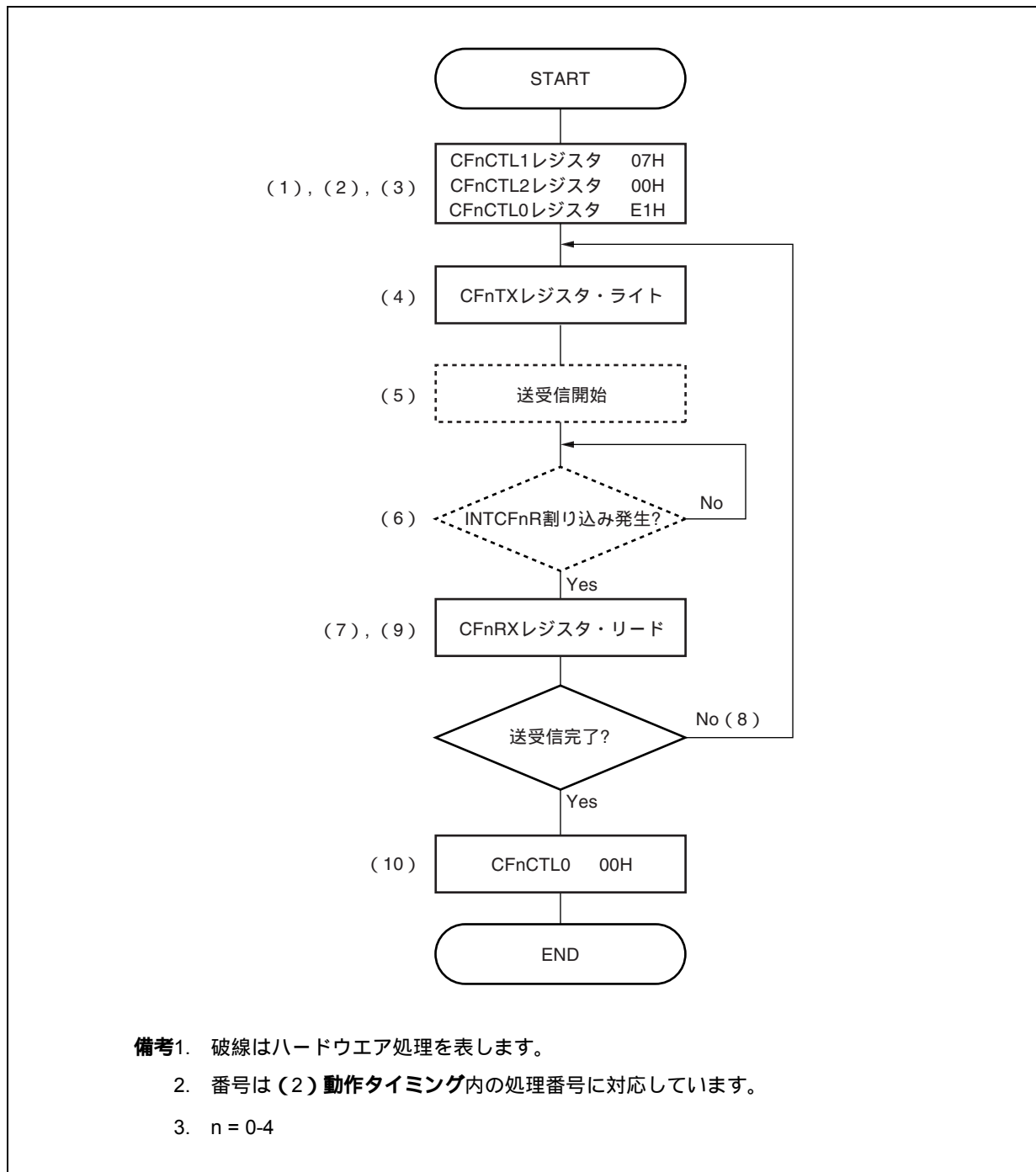
(2) 動作タイミング



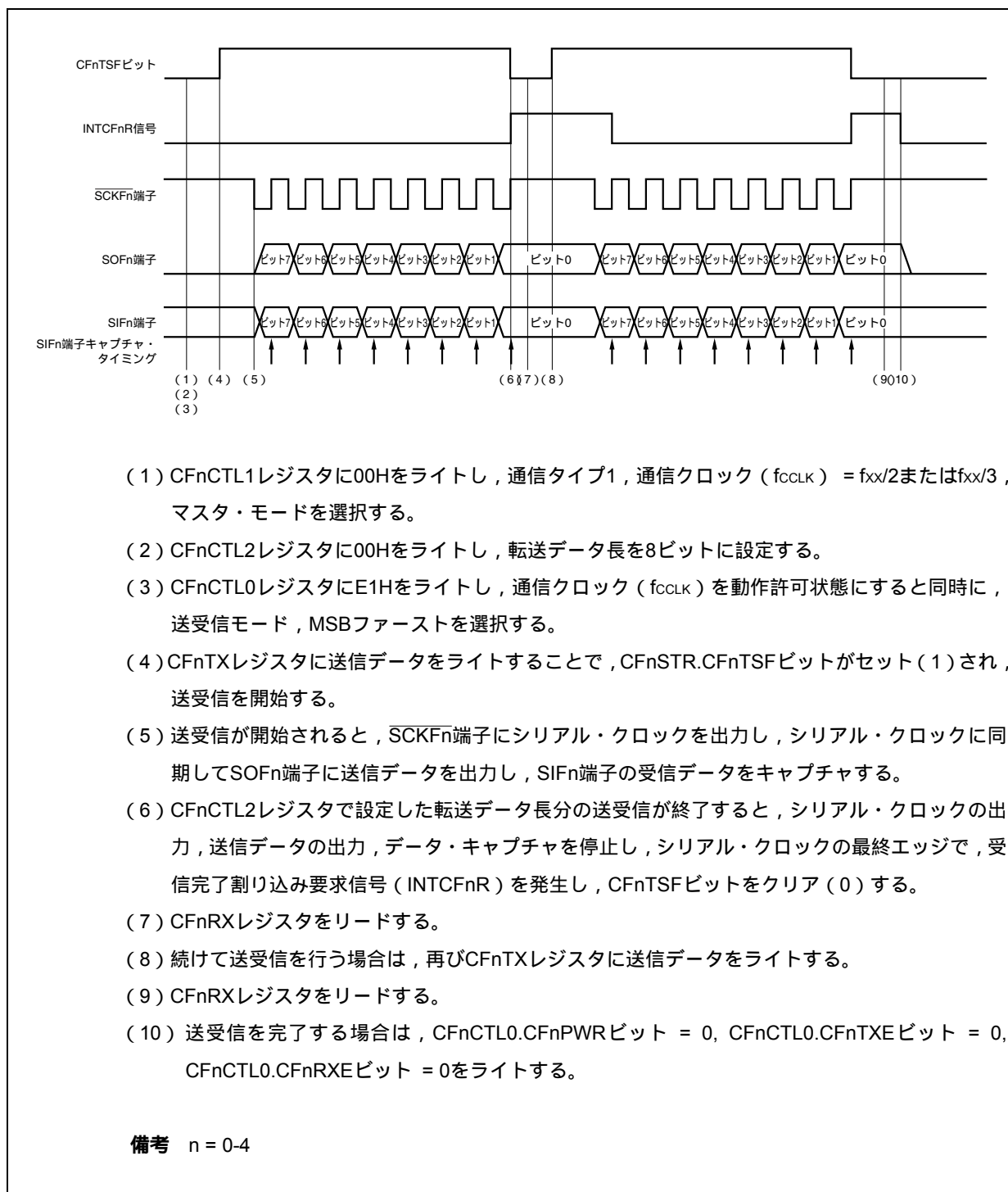
18. 6. 3 シングル転送モード (マスタ・モード, 送受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{xx}/2$ または $f_{xx}/3$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

(1) 動作フロー



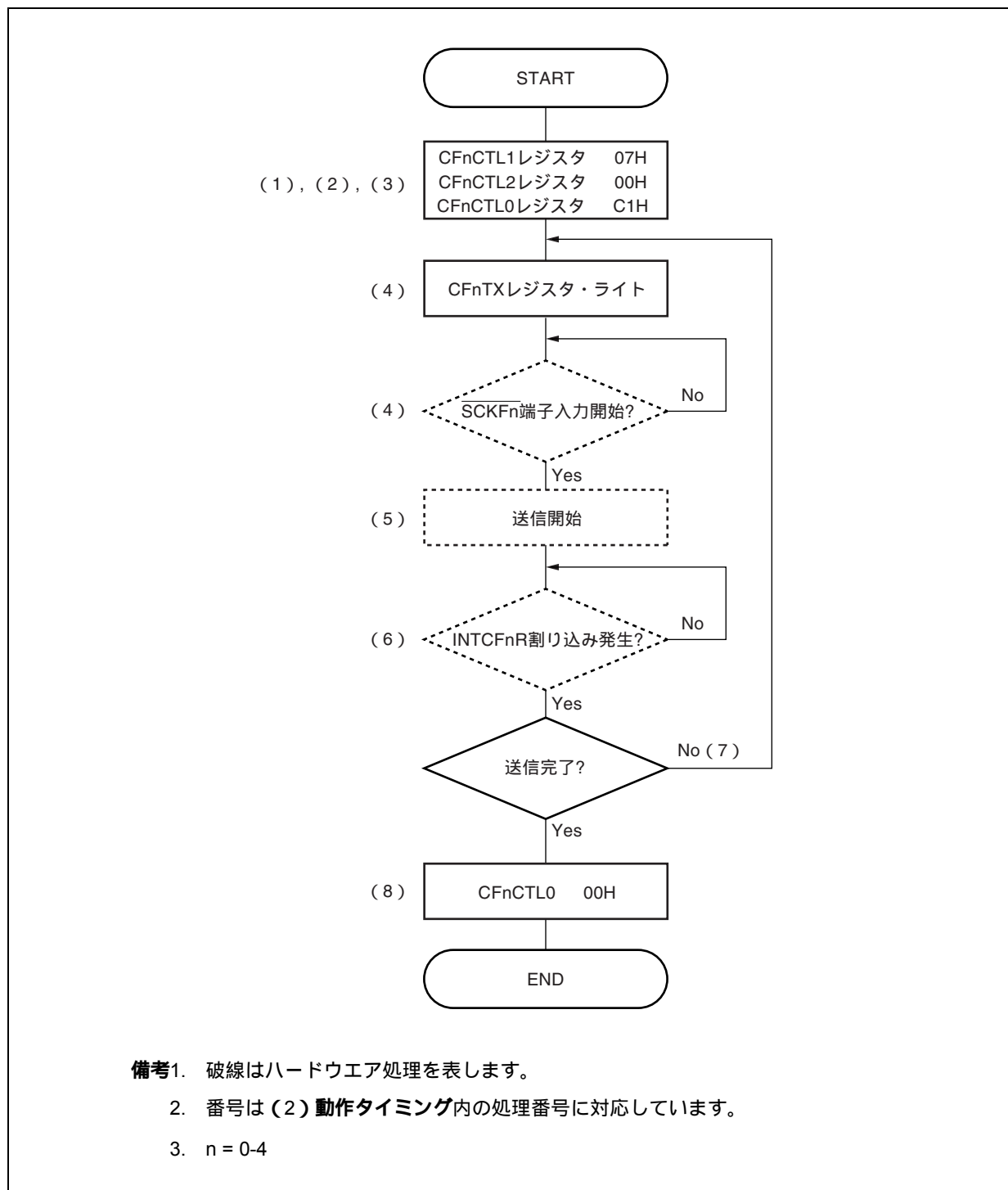
(2) 動作タイミング



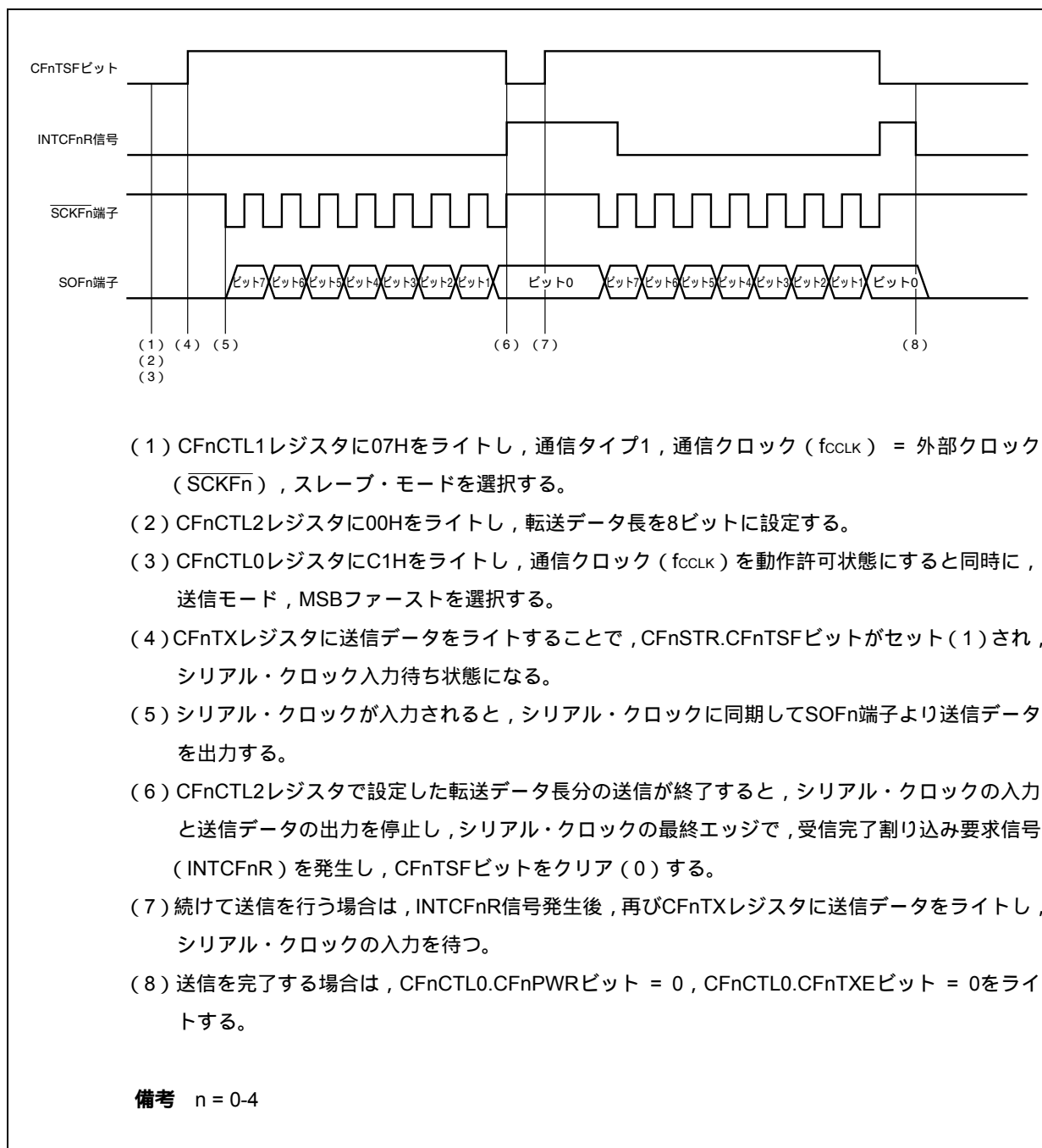
18. 6. 4 シングル転送モード (スレーブ・モード, 送信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック(SCKFn)(CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



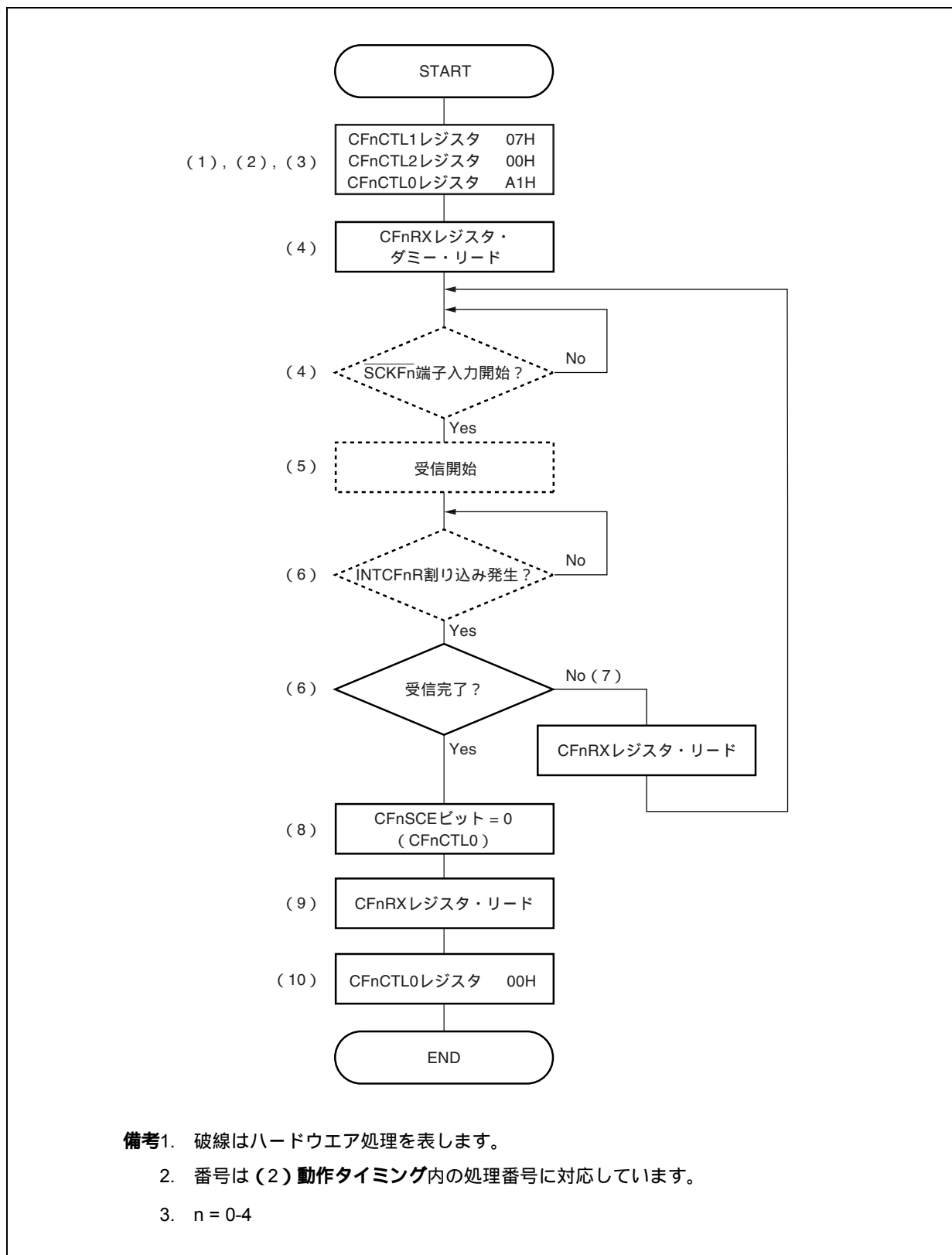
(2) 動作タイミング



18.6.5 シングル転送モード (スレーブ・モード, 受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック($SCKFn$) (CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー

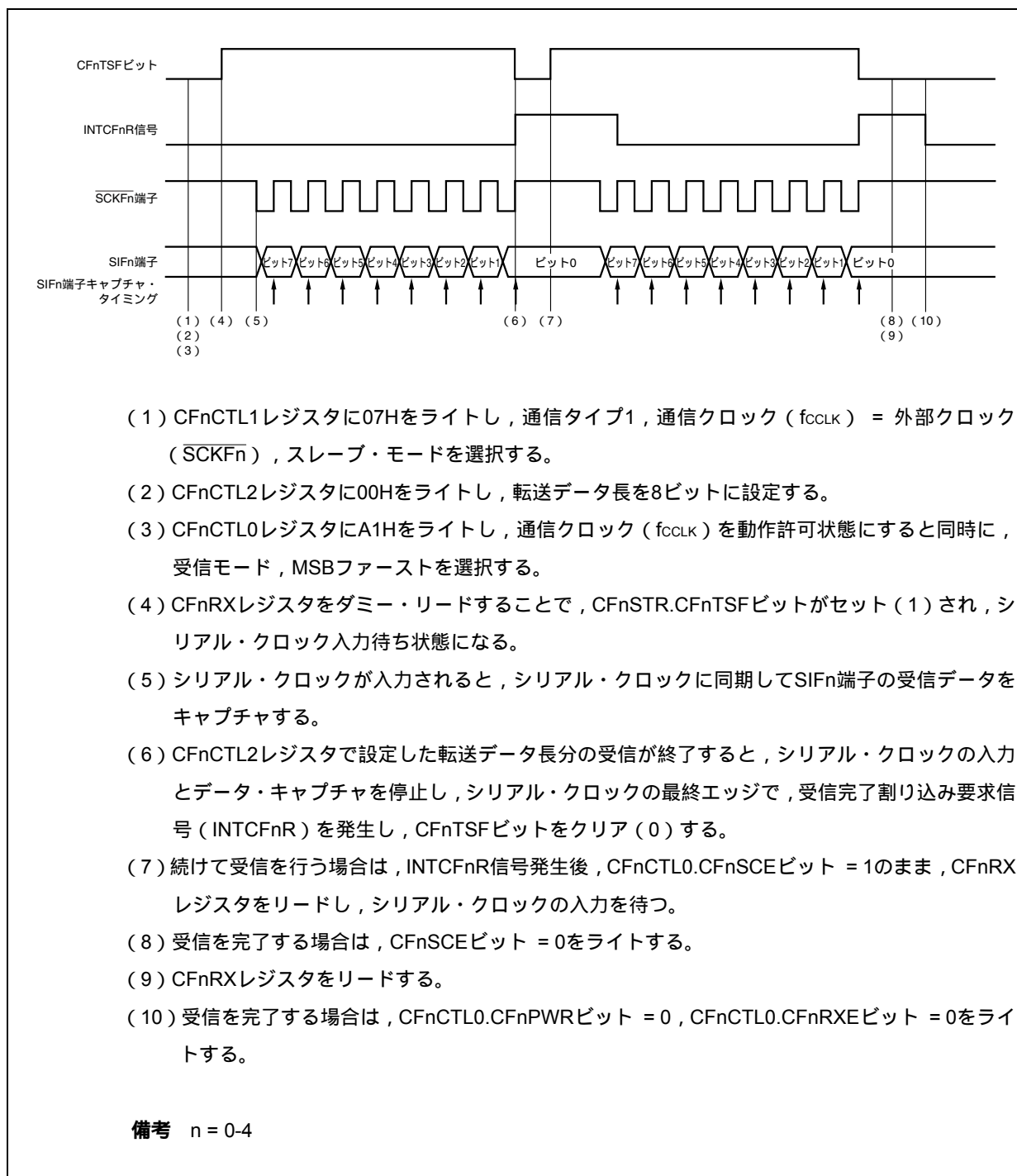


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. n = 0-4

(2) 動作タイミング



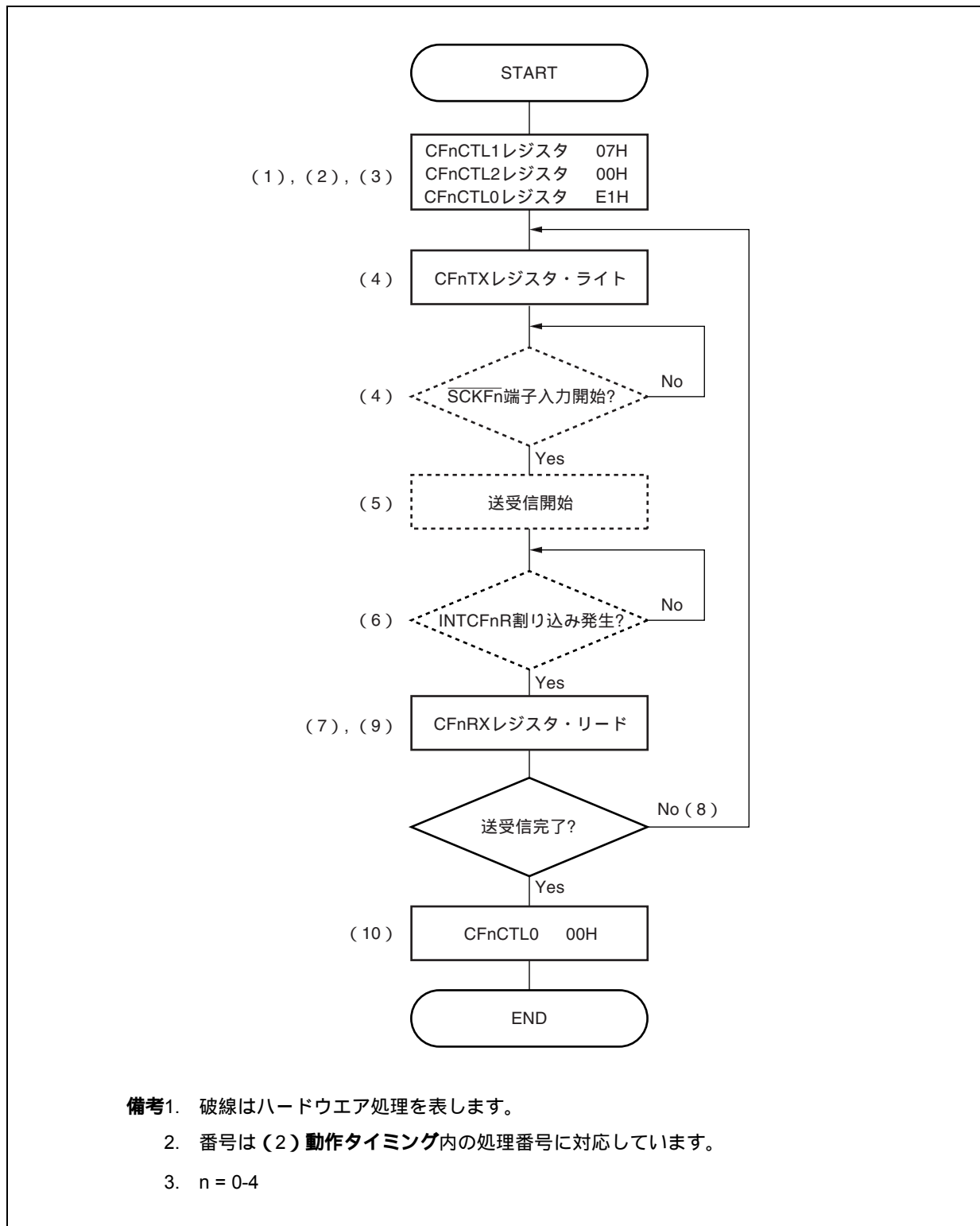
- (1) CFnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (fcCLK) = 外部クロック ($\overline{\text{SCKFn}}$)、スレーブ・モードを選択する。
- (2) CFnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CFnCTL0レジスタにA1Hをライトし、通信クロック (fcCLK) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CFnRXレジスタをダミー・リードすることで、CFnSTR.CFnTSPFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIFn端子の受信データをキャプチャする。
- (6) CFnCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロックの入力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCFnR) を発生し、CFnTSPFビットをクリア (0) する。
- (7) 続けて受信を行う場合は、INTCFnR信号発生後、CFnCTL0.CFnSCEビット = 1のまま、CFnRXレジスタをリードし、シリアル・クロックの入力を待つ。
- (8) 受信を完了する場合は、CFnSCEビット = 0をライトする。
- (9) CFnRXレジスタをリードする。
- (10) 受信を完了する場合は、CFnCTL0.CFnPWRビット = 0、CFnCTL0.CFnRXEビット = 0をライトする。

備考 n = 0-4

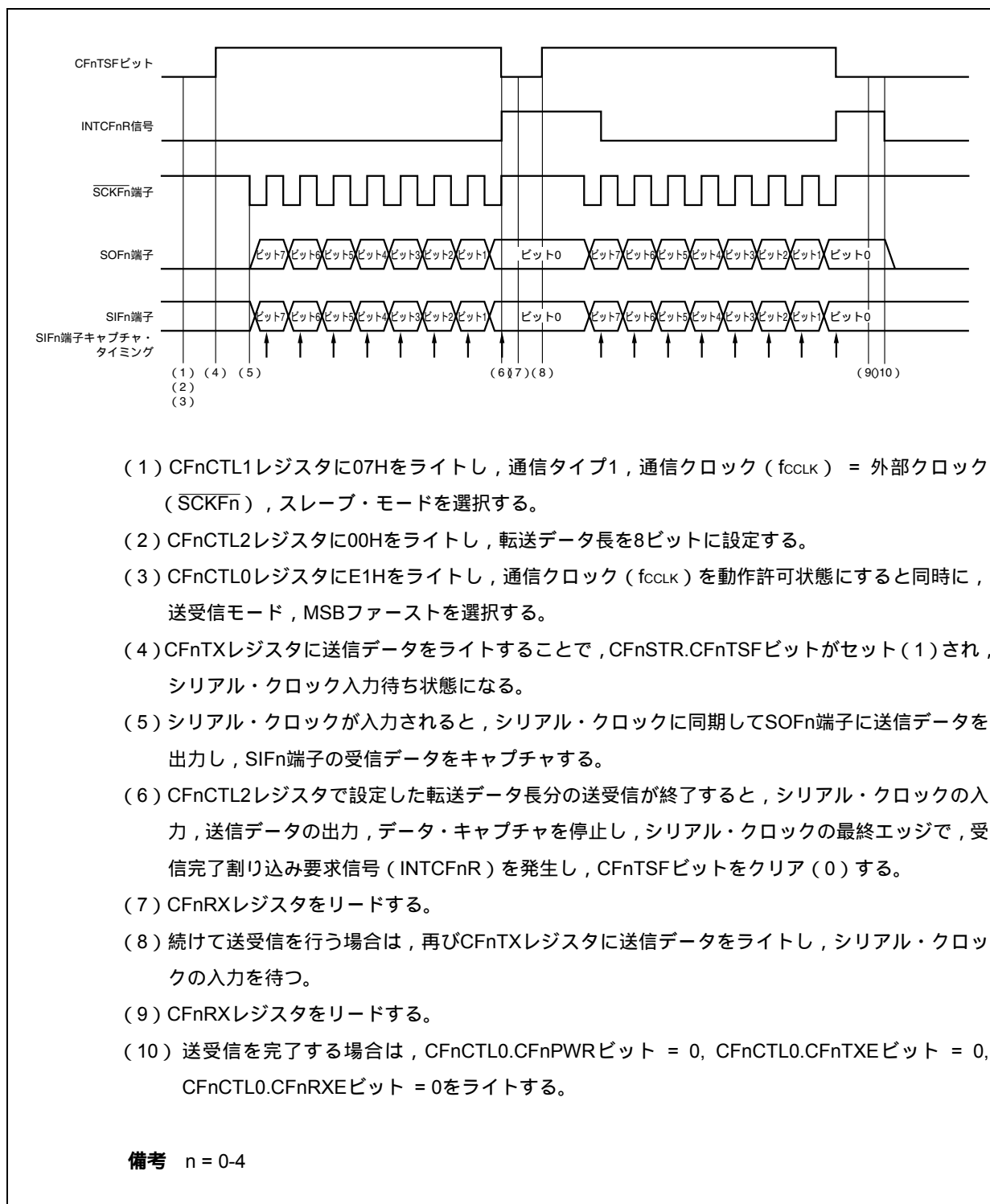
18.6.6 シングル転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CCLK}) = 外部クロック($SCKFn$) (CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



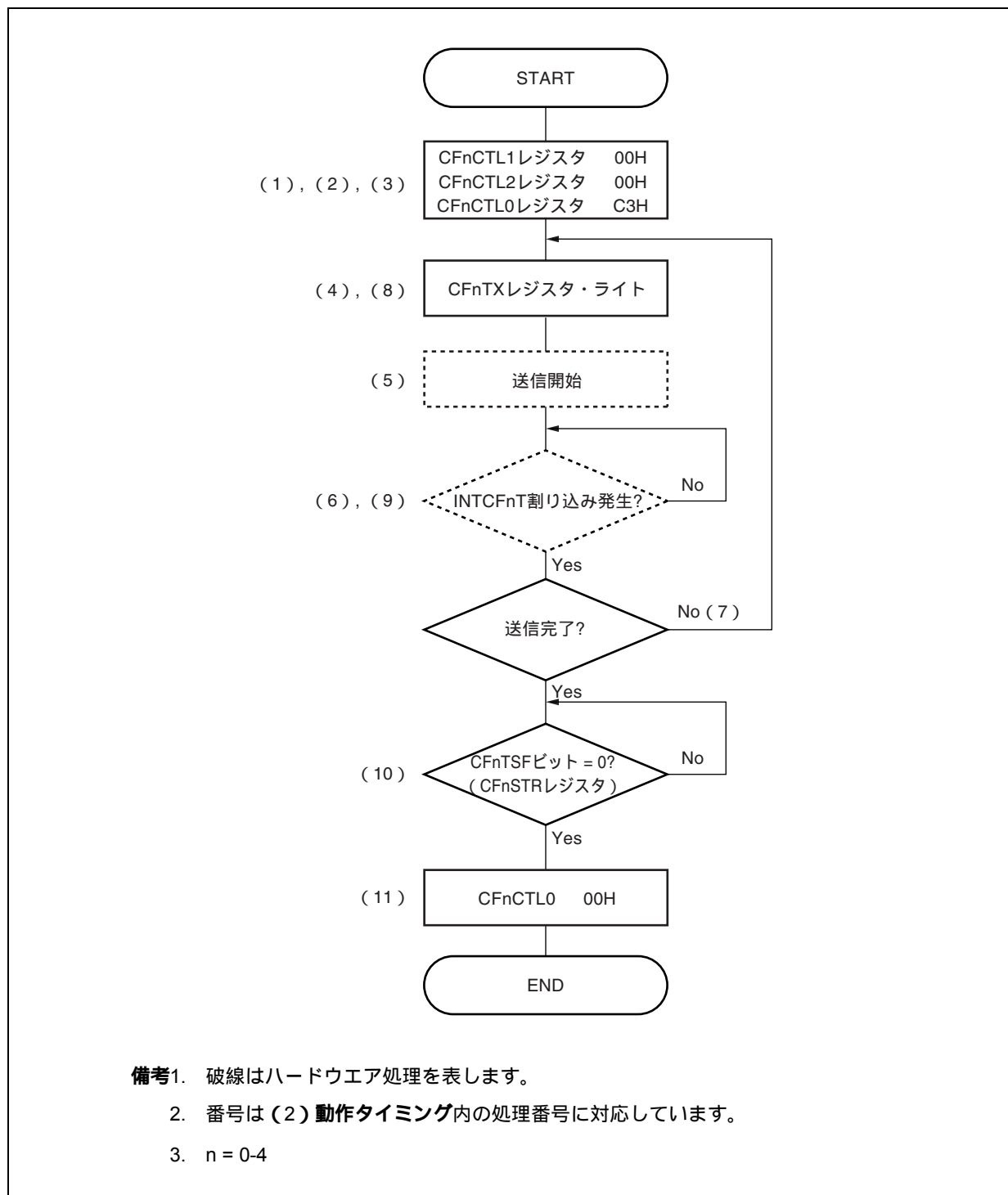
(2) 動作タイミング



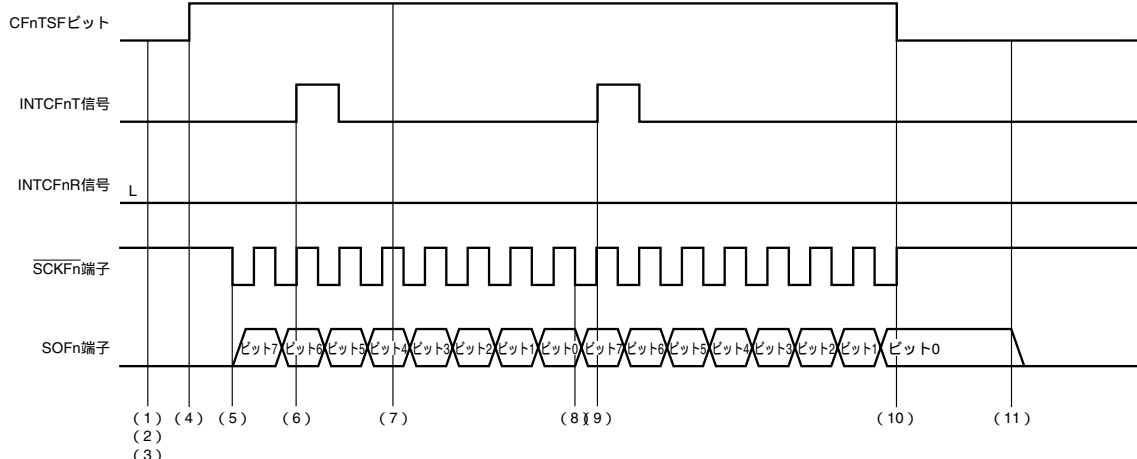
18.6.7 連続転送モード (マスタ・モード, 送信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = $f_{xx}/2$ または $f_{xx}/3$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



(2) 動作タイミング



- (1) CFnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/2$ または $f_{xx}/3$ 、マスタ・モードを選択する。
- (2) CFnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CFnCTL0レジスタにC3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CFnTXレジスタに送信データをライトすることで、CFnSTR.CFnTSFビットがセット(1)され、送信を開始する。
- (5) 送信が開始されると、SCKFn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOFn端子より送信データを出力する。
- (6) CFnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CFnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCFnT) が発生する。
- (7) 続けて送信を行う場合は、INTCFnT信号発生後、再びCFnTXレジスタに送信データをライトする。
- (8) 通信完了前に新たな送信データがCFnTXレジスタへライトされていると、通信完了後に続けて次の通信を開始する。
- (9) CFnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCFnT信号が発生する。現送信で連続送信を完了する場合は、CFnTXレジスタへのライトを行わない。
- (10) 転送完了までに次の送信データがCFnTXレジスタへライトされない場合は、転送完了後、SCKFn端子へのシリアル・クロックの出力を停止し、CFnTSFビットをクリア(0)する。
- (11) 送信許可状態を解除する場合は、CFnTSFビット = 0を確認後、CFnCTL0.CFnPWRビット = 0、CFnCTL0.CFnTXEビット = 0をライトする。

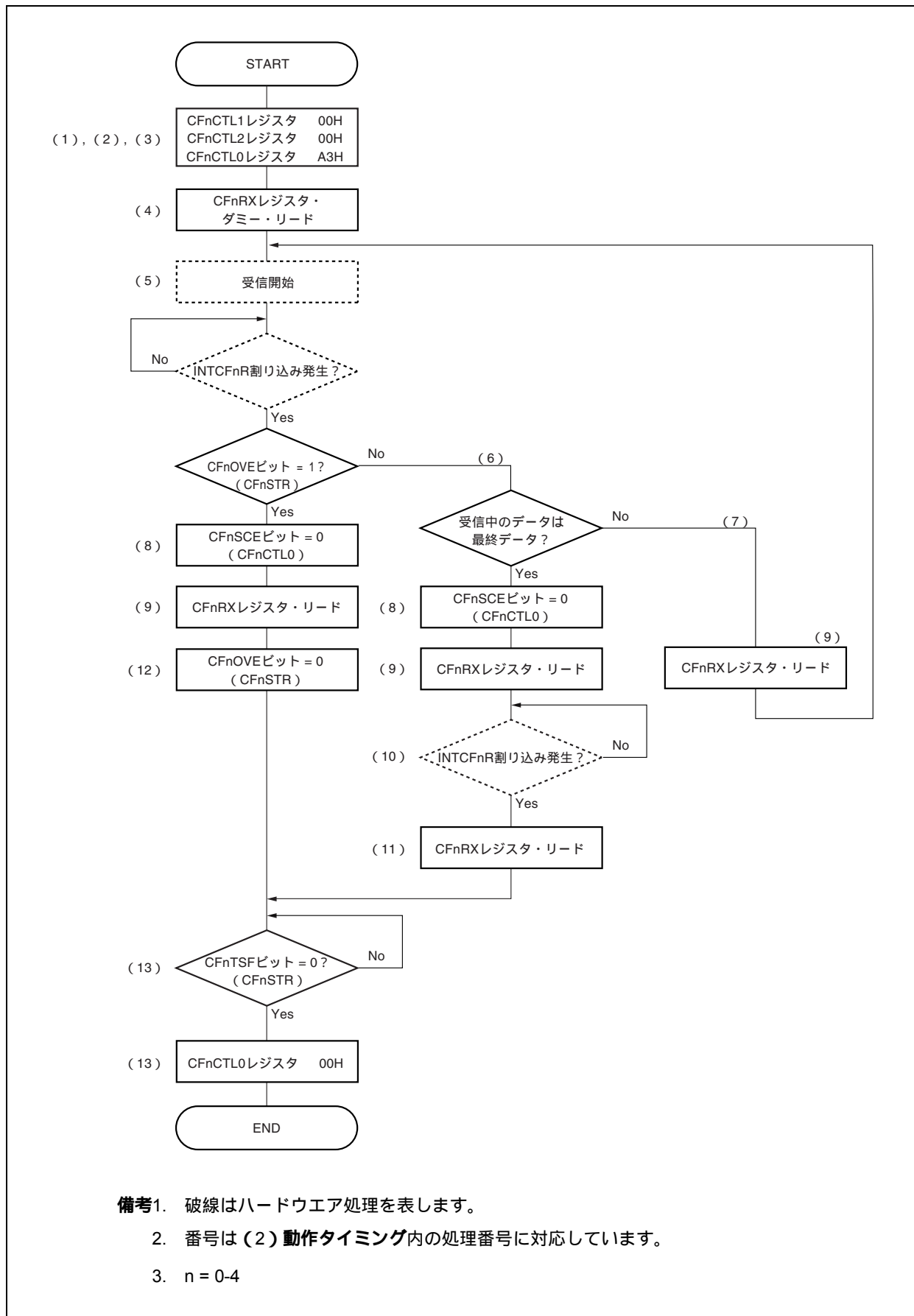
注意 連続送信モードでは、受信完了割り込み要求信号 (INTCFnR) は発生しません。

備考 n = 0-4

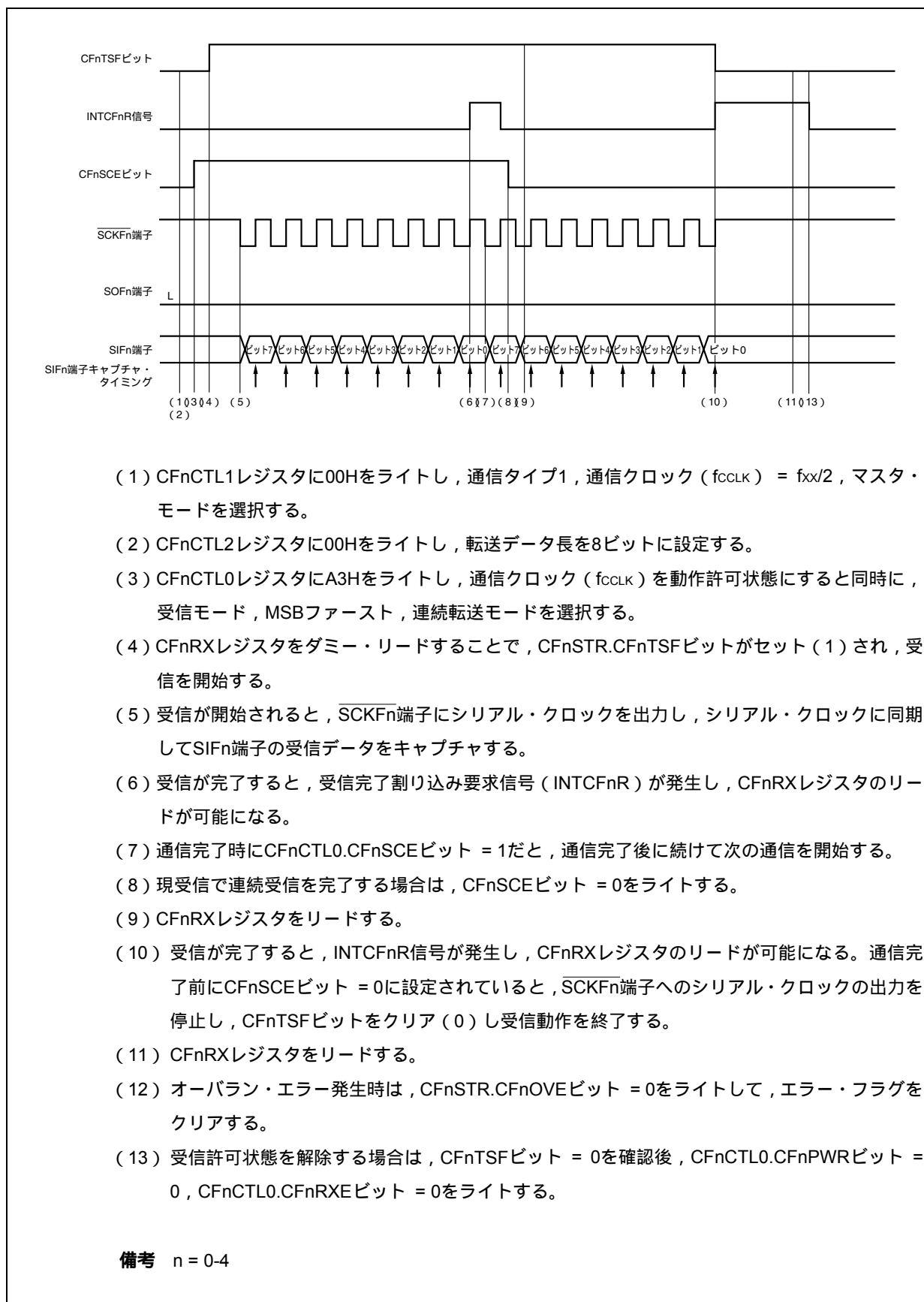
18. 6. 8 連続転送モード (マスタ・モード, 受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{xx}/2$ または $f_{xx}/3$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

(1) 動作フロー



(2) 動作タイミング



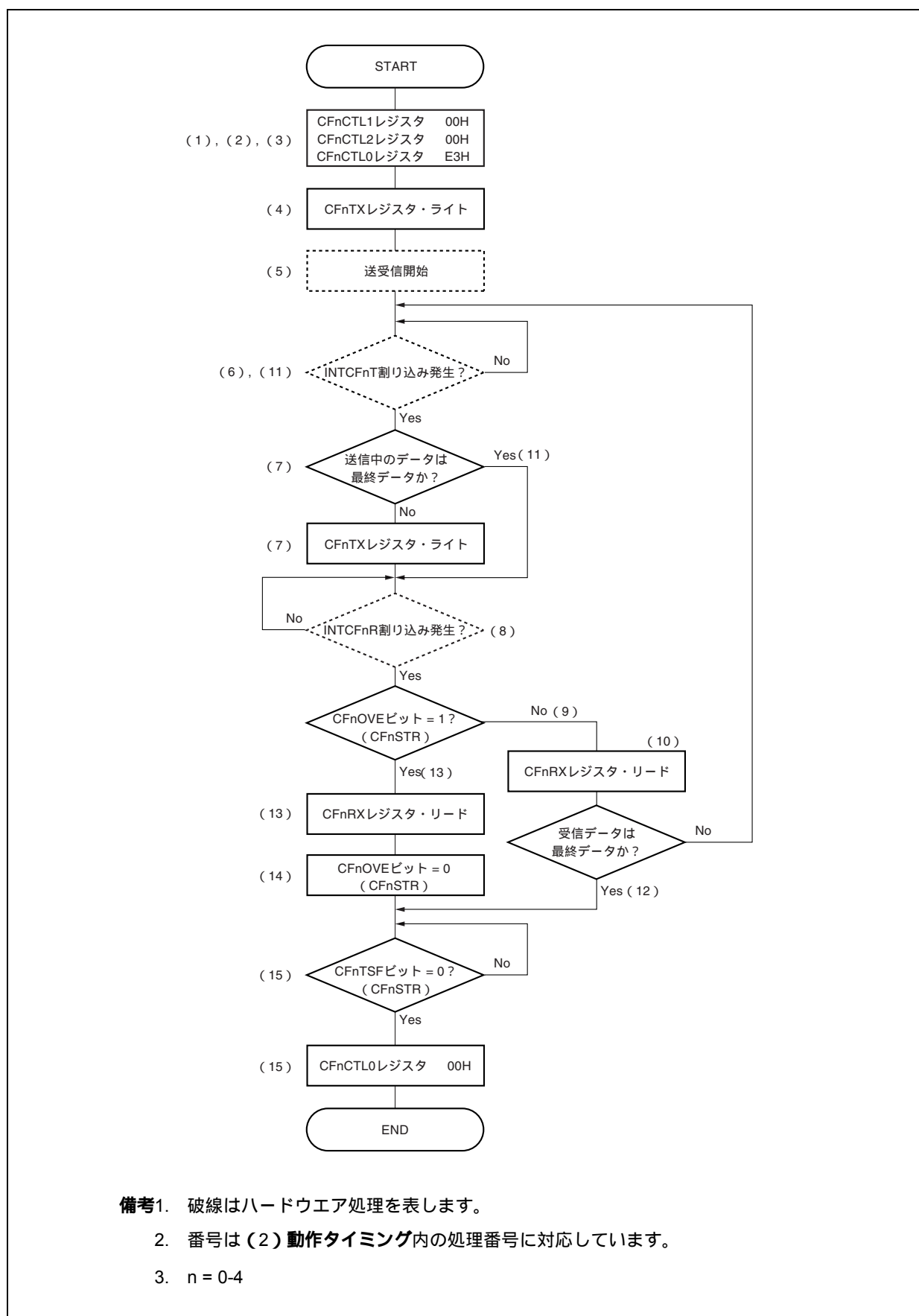
- (1) CFnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/2$ 、マスターモードを選択する。
- (2) CFnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CFnCTL0レジスタにA3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CFnRXレジスタをダミー・リードすることで、CFnSTR.CFnTSPFビットがセット (1) され、受信を開始する。
- (5) 受信が開始されると、 \overline{SCKFn} 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIFn端子の受信データをキャプチャする。
- (6) 受信が完了すると、受信完了割り込み要求信号 (INTCFnR) が発生し、CFnRXレジスタのリードが可能になる。
- (7) 通信完了時にCFnCTL0.CFnSCEビット = 1だと、通信完了後に続けて次の通信を開始する。
- (8) 現受信で連続受信を完了する場合は、CFnSCEビット = 0をライトする。
- (9) CFnRXレジスタをリードする。
- (10) 受信が完了すると、INTCFnR信号が発生し、CFnRXレジスタのリードが可能になる。通信完了前にCFnSCEビット = 0に設定されていると、 \overline{SCKFn} 端子へのシリアル・クロックの出力を停止し、CFnTSPFビットをクリア (0) し受信動作を終了する。
- (11) CFnRXレジスタをリードする。
- (12) オーバラン・エラー発生時は、CFnSTR.CFnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は、CFnTSPFビット = 0を確認後、CFnCTL0.CFnPWRビット = 0、CFnCTL0.CFnRXEビット = 0をライトする。

備考 n = 0-4

18. 6. 9 連続転送モード (マスタ・モード, 送受信モード)

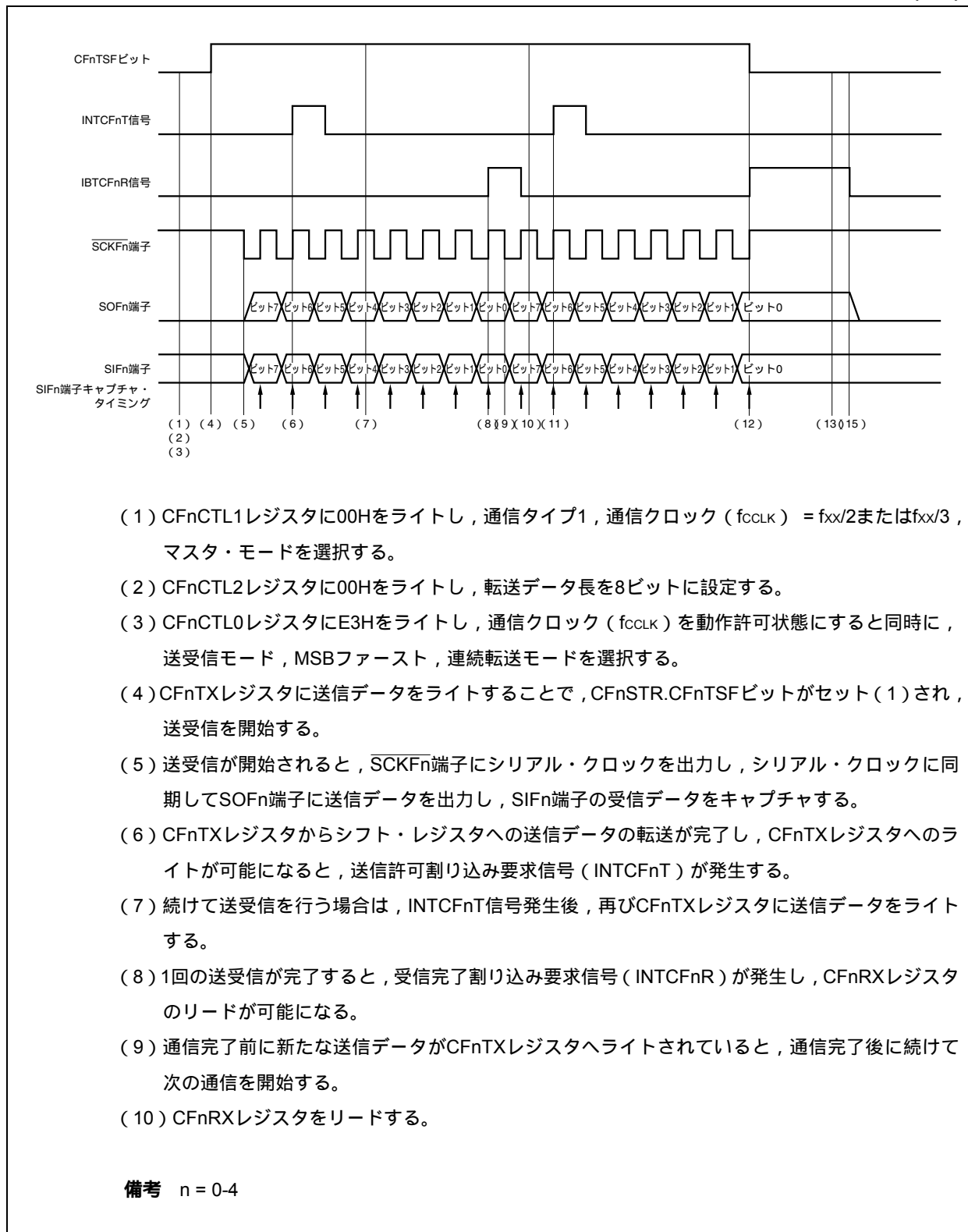
MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{xx}/2$ または $f_{xx}/3$ (CFnCTL1.CFnCKS2-CFnCKS0ビット = 000), 転送データ長8ビット (CFnCTL2.CFnCL3-CFnCL0ビット = 0000) の場合

(1) 動作フロー



(2) 動作タイミング

(1/2)



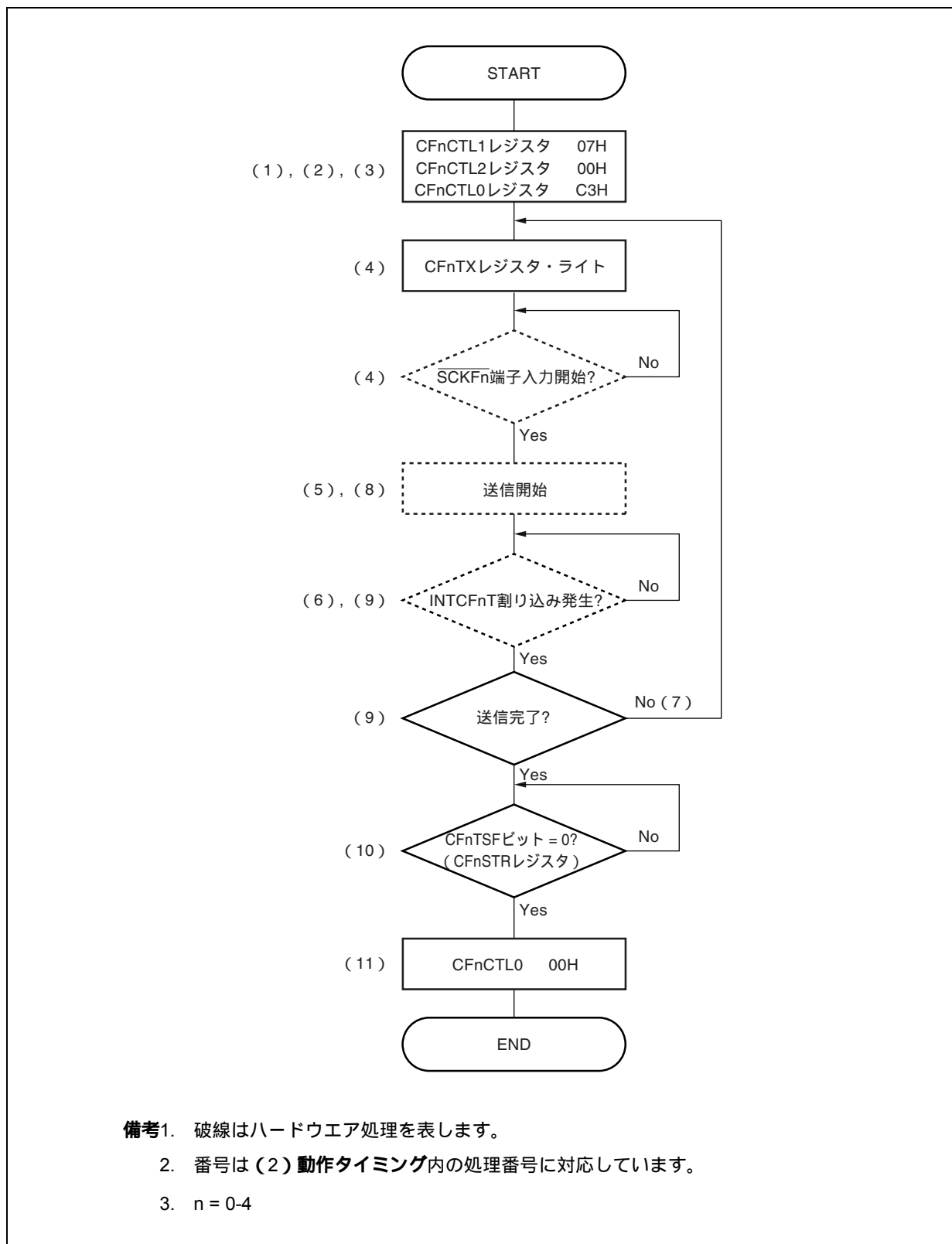
- (11) CFnTXレジスタからシフト・レジスタへの送信データの転送が完了し,INTCFnT信号が発生する。現送受信で連続送受信を完了する場合は,CFnTXレジスタへのライトを行わない。
- (12) 転送完了までに次の送信データがCFnTXレジスタへライトされない場合は,転送完了後, \overline{SCKFn} 端子へのシリアル・クロックの出力を停止し,CFnTSFビットをクリア(0)する。
- (13) 受信エラー割り込み要求信号(INTCFnR)発生時は,CFnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は,CFnSTR.CFnOVEビット = 0をライトして,エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は,CFnTSFビット = 0を確認後,CFnCTL0.CFnPWRビット = 0,CFnCTL0.CFnTXEビット = 0,CFnCTL0.CFnRXEビット = 0をライトする。

備考 n = 0-4

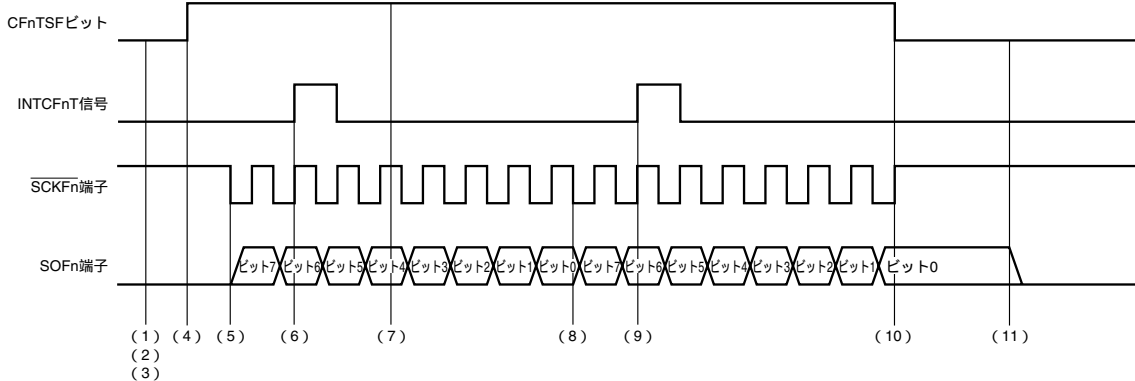
18. 6. 10 連続転送モード (スレーブ・モード, 送信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CCLK}) = 外部クロック($SCKF\bar{n}$) (CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



(2) 動作タイミング



- (1) CFnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = 外部クロック (SCKFn)、スレーブ・モードを選択する。
- (2) CFnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CFnCTL0レジスタにC3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CFnTXレジスタに送信データをライトすることで、CFnSTR.CFnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOFn端子より送信データを出力する。
- (6) CFnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CFnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCFnT) が発生する。
- (7) 続けて送信を行う場合は、INTCFnT信号発生後、再びCFnTXレジスタに送信データをライトする。
- (8) CFnCTL2レジスタで設定した転送データ長分の送信が完了後に続けてシリアル・クロックが入力されると、連続送信を開始する。
- (9) CFnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CFnTXレジスタへのライトが可能になるとINTCFnT信号が発生する。現送信で連続送信を完了する場合は、CFnTXレジスタへのライトを行わない。
- (10) CFnTXレジスタへライトされていない状態で、CFnCTL2レジスタに設定した転送データ長分のクロックが入力されると、CFnTSFビットをクリア(0)し、送信を終了する。
- (11) 送信許可状態を解除する場合は、CFnTSFビット = 0を確認後、CFnCTL0.CFnPWRビット = 0、CFnCTL0.CFnTXEビット = 0をライトする。

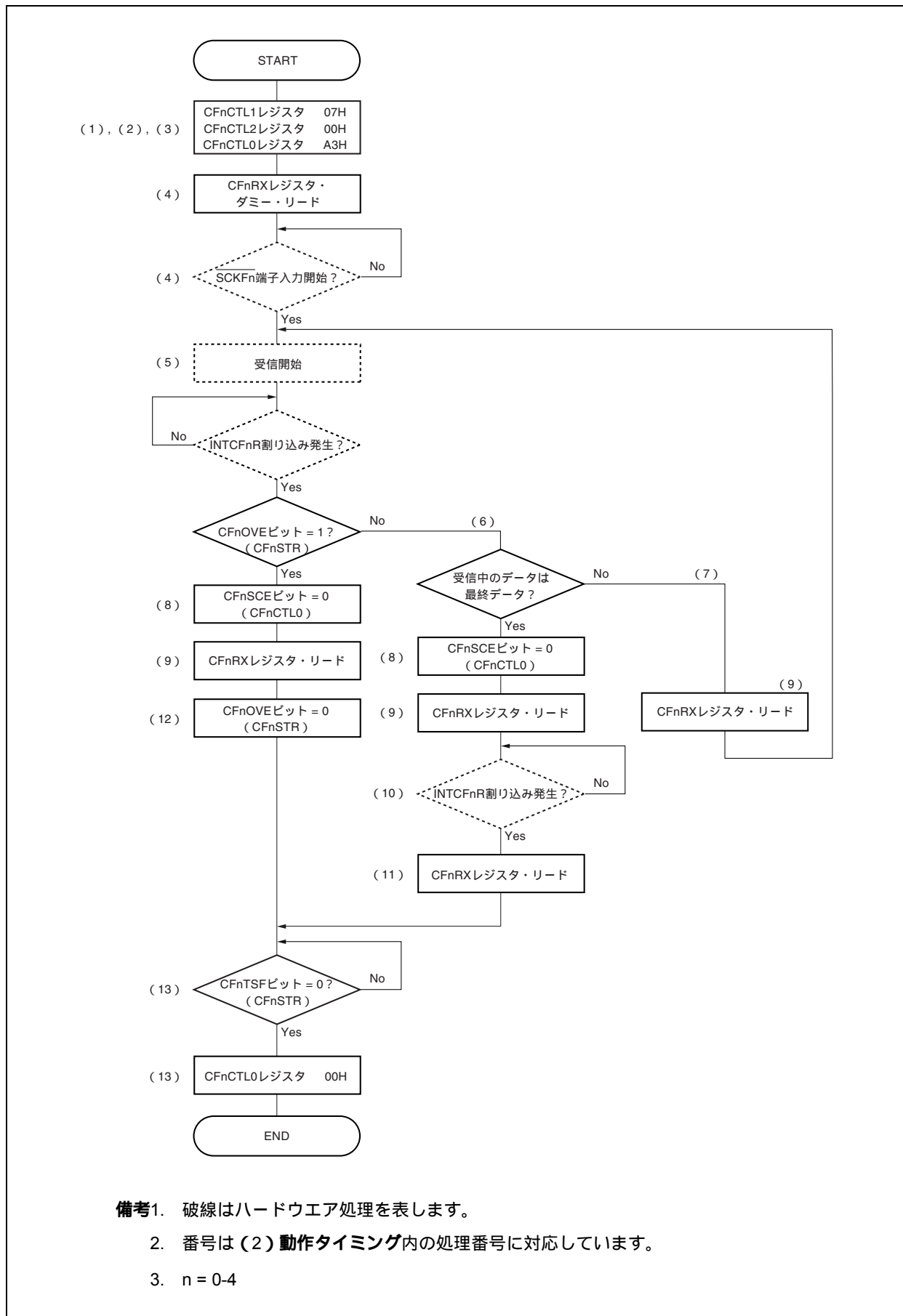
注意 連続送信モードでは、受信完了割り込み要求信号 (INTCFnR) は発生しません。

備考 n = 0-4

18. 6. 11 連続転送モード (スレーブ・モード, 受信モード)

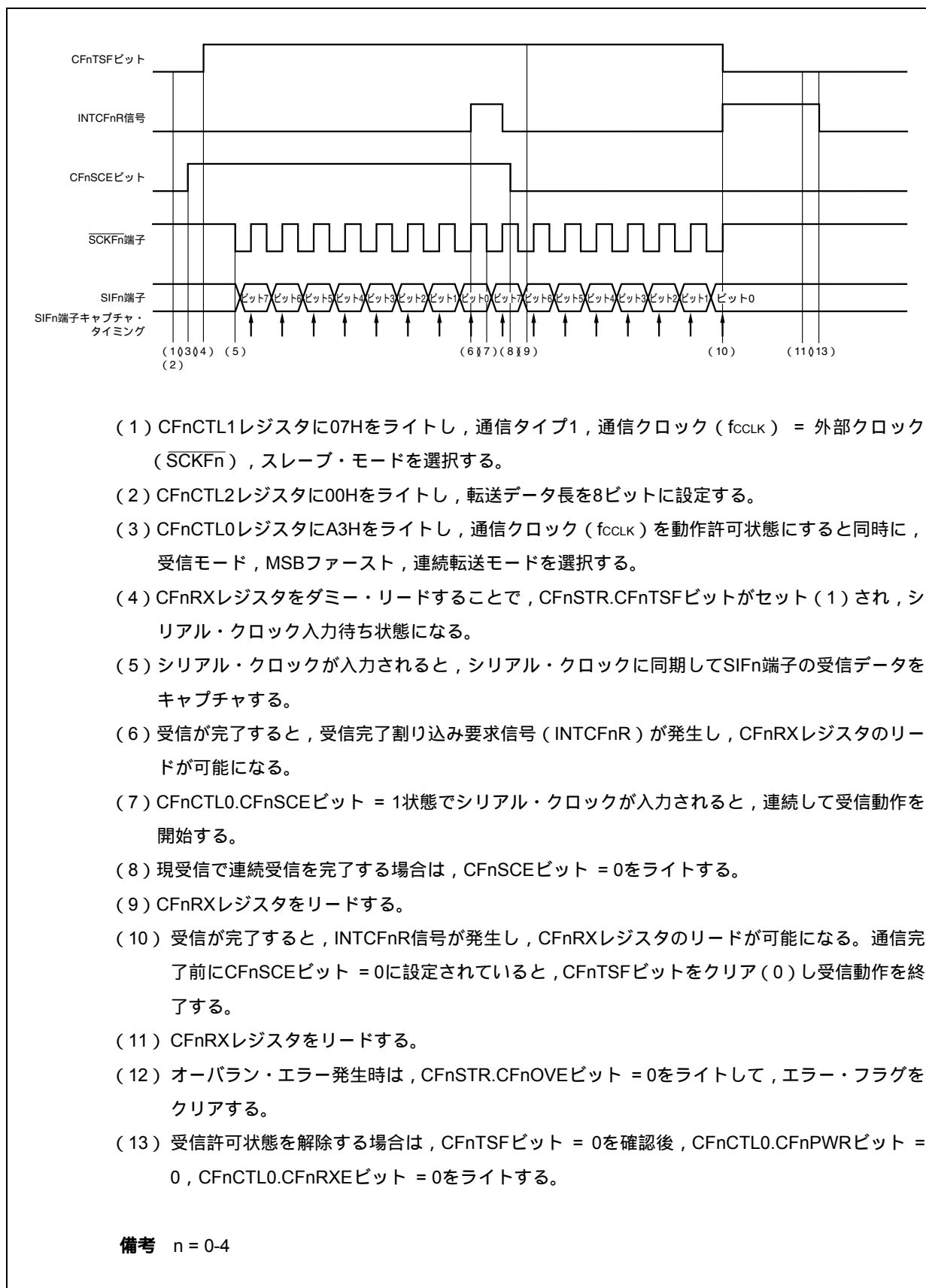
MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック($\overline{\text{SCKFn}}$) (CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
- 2. 番号は(2)動作タイミング内の処理番号に対応しています。
- 3. n = 0-4

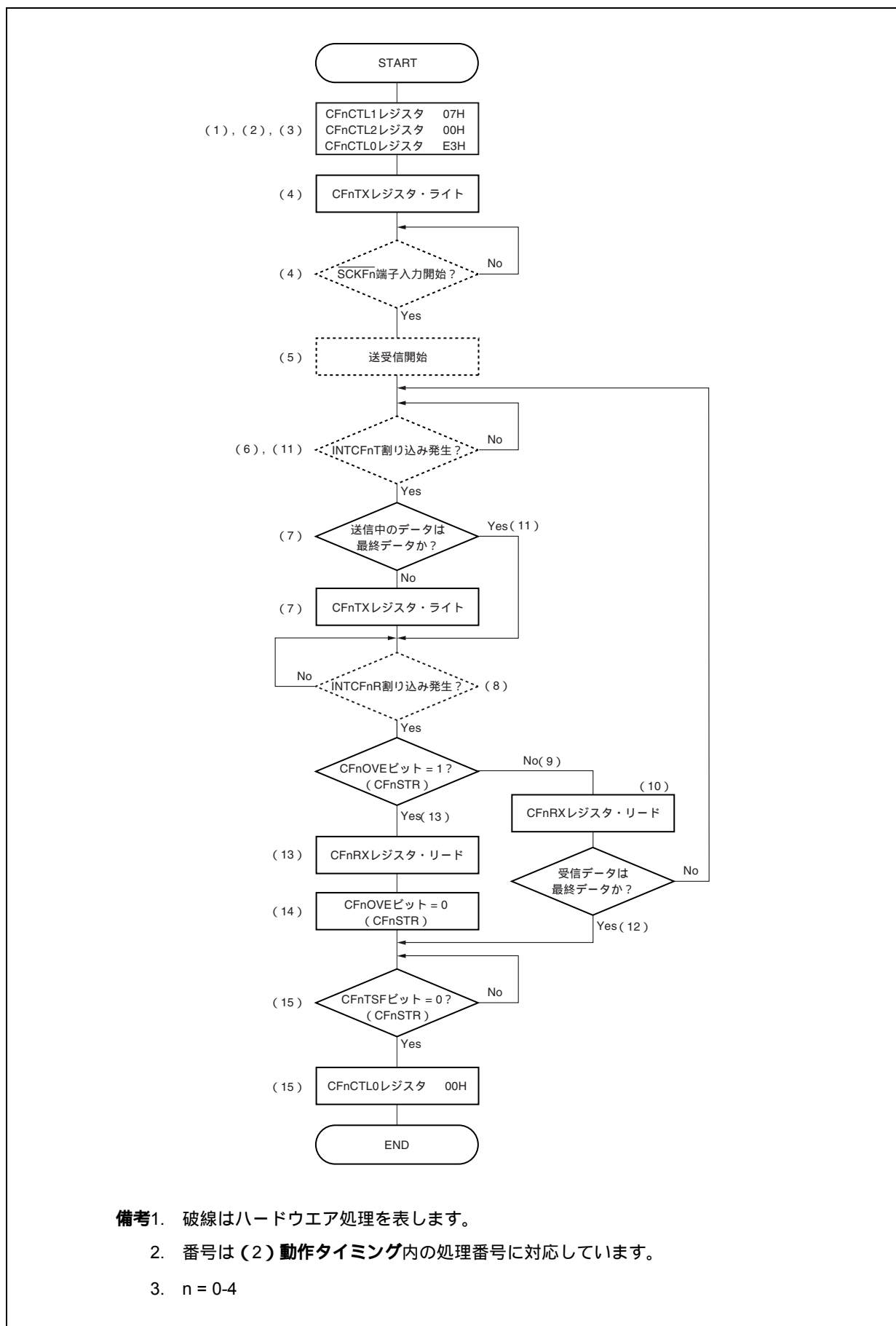
(2) 動作タイミング



18. 6. 12 連続転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CFnCTL0.CFnDIRビット = 0), 通信タイプ1(CFnCTL1.CFnCKP, CFnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック(\overline{SCKFn}) (CFnCTL1.CFnCKS2-CFnCKS0ビット = 111), 転送データ長8ビット(CFnCTL2.CFnCL3-CFnCL0ビット = 0000)の場合

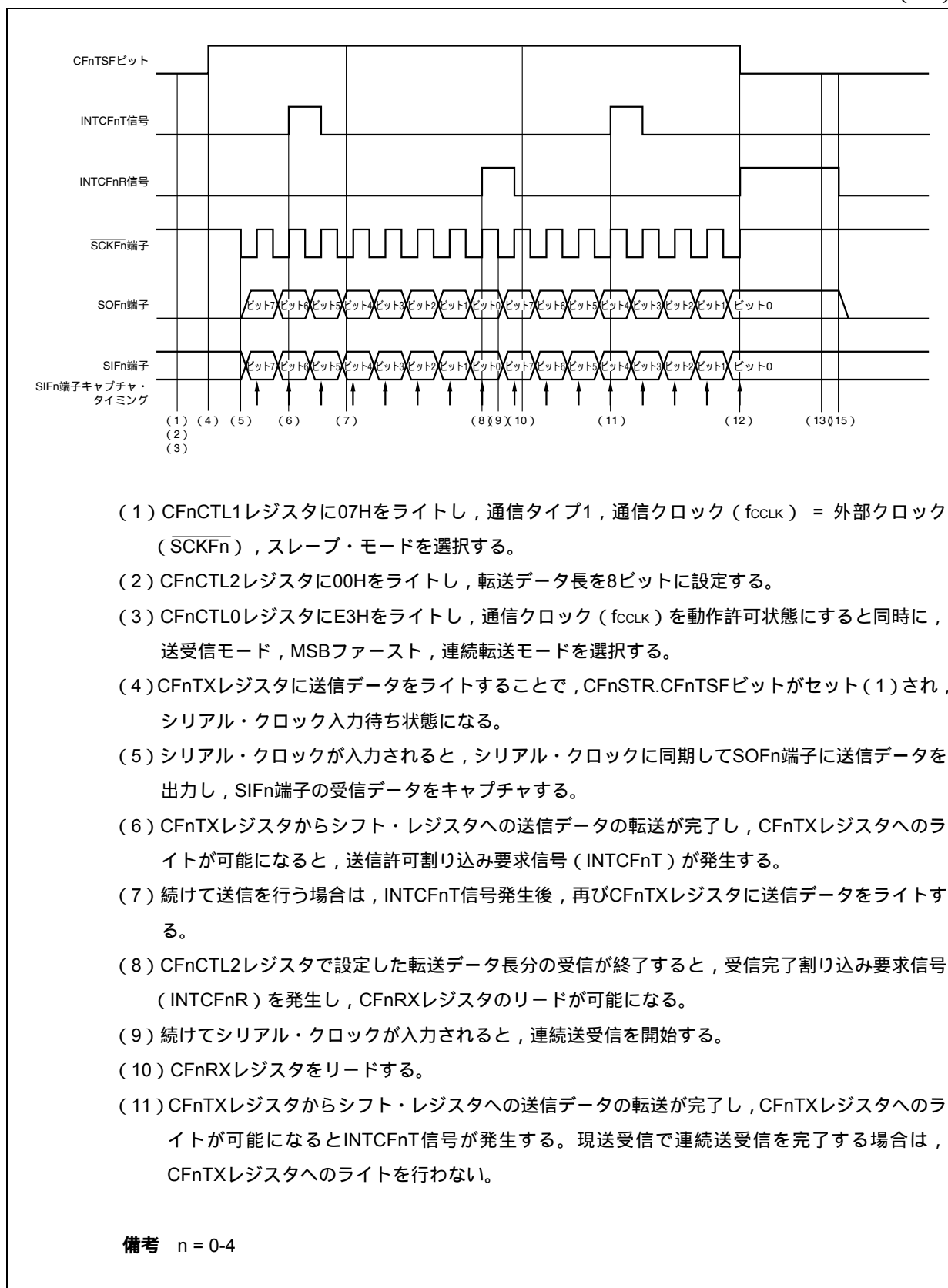
(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. n = 0-4

(2) 動作タイミング

(1/2)



- (12) CFnTXレジスタへライトされていない状態で、CFnCTL2レジスタに設定した転送データ長分のクロックが入力されると、INTCFnR信号が発生し、CFnTSFビットをクリア(0)し、送受信を終了する。
- (13) INTCFnR信号発生時は、CFnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CFnSTR.CFnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CFnTSFビット = 0を確認後、CFnCTL0.CFnPWRビット = 0, CFnCTL0.CFnTXEビット = 0, CFnCTL0.CFnRXEビット = 0をライトする。

備考 n = 0-4

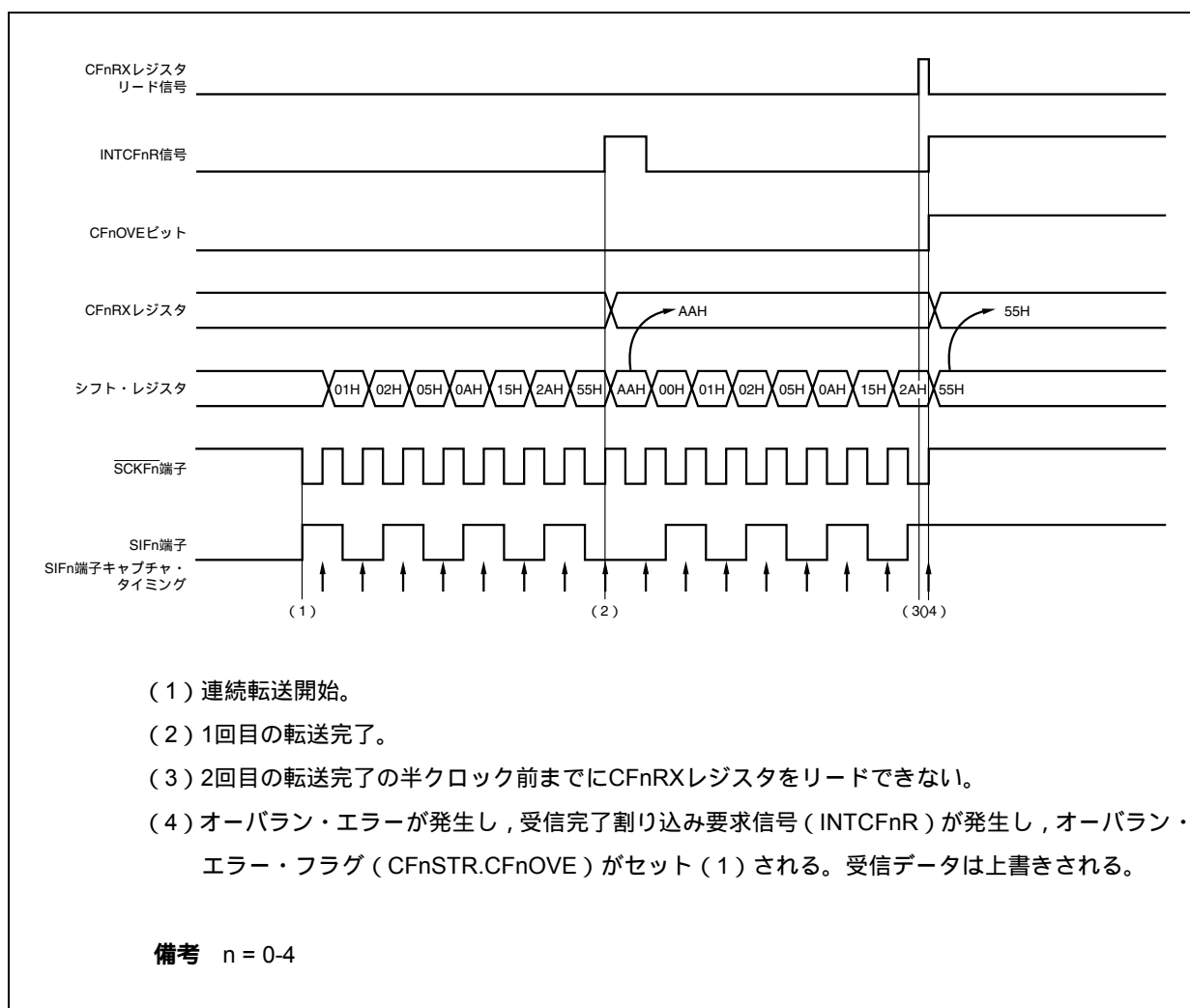
18.6.13 受信エラー

連続転送モード時に受信許可 (CFnCTL0.CFnRXEビット = 1) で転送を行う場合、受信完了割り込み要求信号 (INTCFnR) 発生後、CFnRXレジスタをリードする前に次の受信動作が完了すると再度INTCFnR信号が発生し、オーバラン・エラー・フラグ (CFnSTR.CFnOVE) がセット (1) されます。

オーバラン・エラーが発生した場合でも、CFnRXレジスタは更新されるため、前回の受信データは失われます。また、受信エラーが発生した場合でもCFnRXレジスタをリードしないと、次の受信完了で再びINTCFnR信号が発生します。

オーバラン・エラーを回避するためには、INTCFnR信号発生後から次の受信データの最終ビットをサンプリングする半クロック前までに、CFnRXレジスタのリードを完了してください。

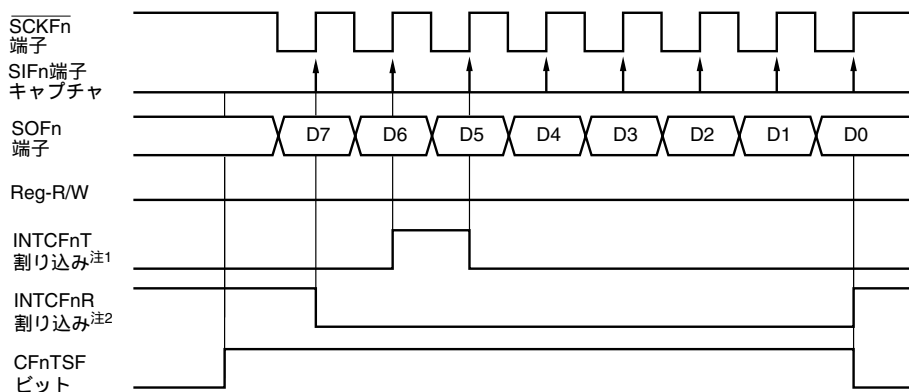
(1) 動作タイミング



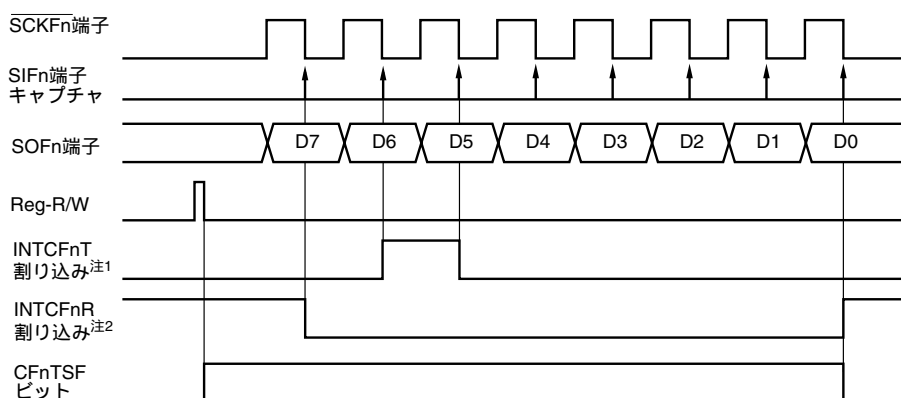
18.6.14 クロック・タイミング

(1/2)

(i) 通信タイプ1 (CFnCKP, CFnDAPビット = 00)



(ii) 通信タイプ3 (CFnCKP, CFnDAPビット = 10)



注1. 連続送信 / 連続送受信モードにおいて、CFnTXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信 / シングル送受信モードにおいては、INTCFnT割り込み要求信号は発生せずに、通信完了時にINTCFnR割り込み要求信号が発生します。

2. 受信許可状態において、正常に受信を完了し受信データがCFnRXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信完了のタイミングでINTCFnR割り込み要求信号が発生します。

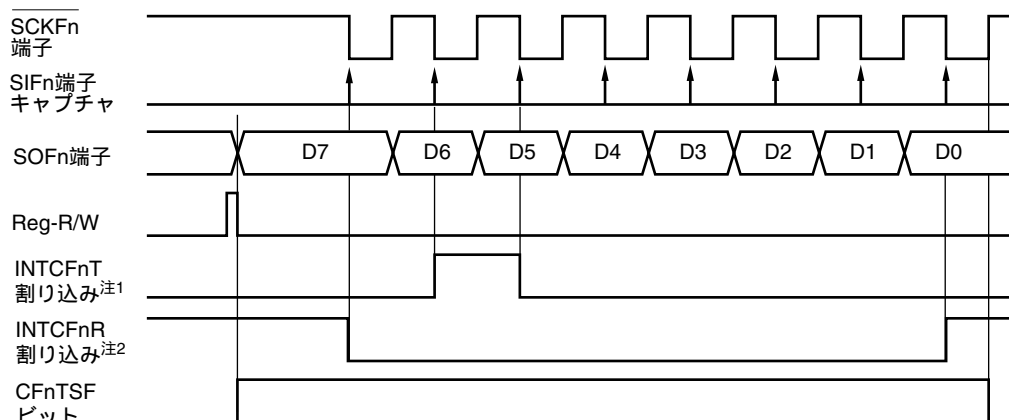
注意 シングル転送モードでは、CFnTSFビット = 1の状態でもCFnTXレジスタに書き込みを行っても無視されません。なお、転送中の動作には影響はありません。

たとえば、INTCFnR信号発生によりDMAを起動し、CFnTXレジスタに次のデータを書き込んでも、CFnTSFビット = 1のため書き込んだデータの転送は行われません。

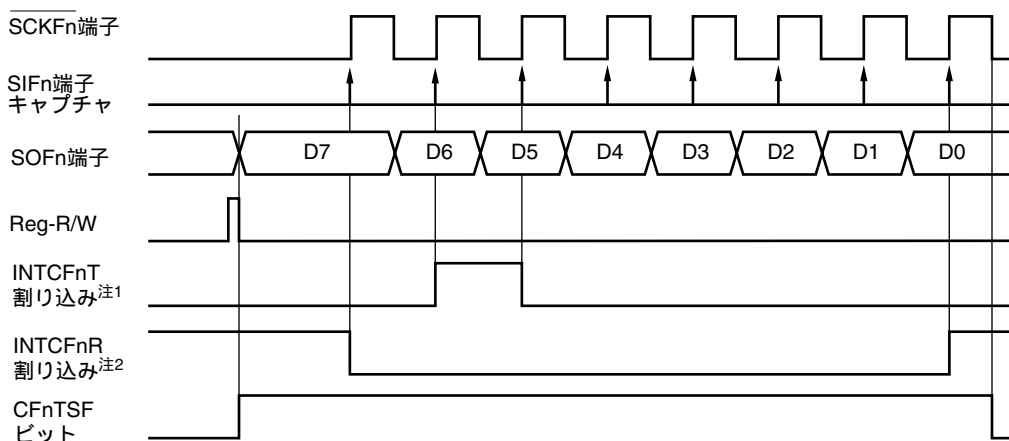
このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

備考 n = 0-4

(iii) 通信タイプ2 (CFnCKP, CFnDAPビット = 01)



(iv) 通信タイプ4 (CFnCKP, CFnDAPビット = 11)



注1. 連続送信 / 連続送受信モードにおいて、CFnTXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信 / シングル送受信モードにおいては、INTCFnT割り込み要求信号は発生せずに、通信完了時にINTCFnR割り込み要求信号が発生します。

2. 受信許可状態において、正常に受信を完了し受信データがCFnRXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信完了のタイミングでINTCFnR割り込み要求信号が発生します。

注意 シングル転送モードでは、CFnTSFビット = 1の状態でもCFnTXレジスタに書き込みを行っても無視されません。なお、転送中の動作には影響はありません。

たとえば、INTCFnR信号発生によりDMAを起動し、CFnTXレジスタに次のデータを書き込んでも、CFnTSFビット = 1のため書き込んだデータの転送は行われません。

このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

備考 n = 0-4

18.7 出力端子

(1) SCKFn端子

CSIFn動作禁止 (CFnCTL0.CFnPWRビット = 0) のとき、SCKFn端子出力状態は次のようになります。

CFnCKP	CFnCKS2	CFnCKS1	CFnCKS0	SCKFn端子出力
0	1	1	1	ハイ・インピーダンス
	上記以外			ハイ・レベル固定
1	1	1	1	ハイ・インピーダンス
	上記以外			ロウ・レベル固定

備考1. CFnCTL1.CFnCKP, CFnCKS2-CFnCKS0ビットのいずれかを書き換えるとSCKFn端子の出力が変化します。

2. n = 0-4

(2) SOFn端子

CSIFn動作禁止 (CFnPWRビット = 0) のとき、SOFn端子出力状態は次のようになります。

CFnTXE	CFnDAP	CFnDIR	SOFn端子出力
0	x	x	ロウ・レベル固定
1	0	x	SOFnラッチの値 (ロウ・レベル)
	1	0	CFnTXの値 (MSB)
		1	CFnTXの値 (LSB)

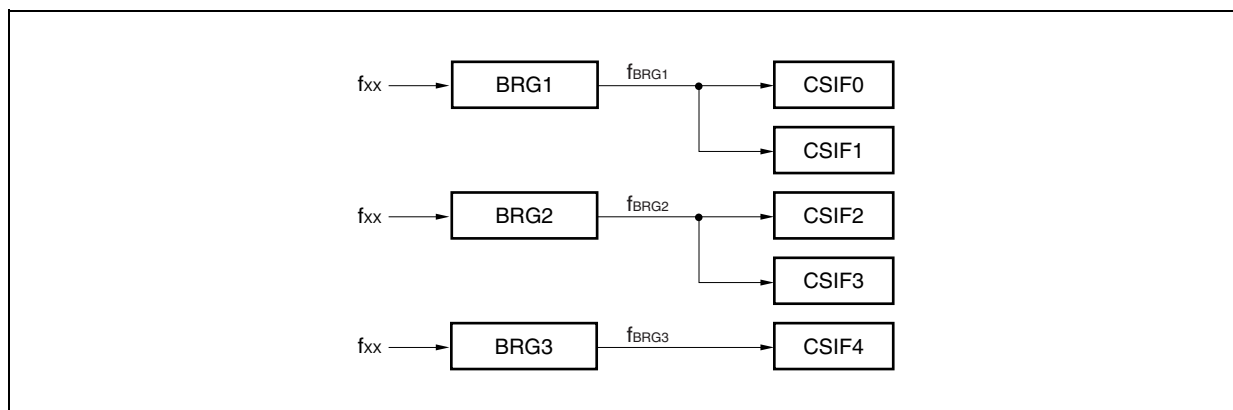
備考1. CFnCTL0.CFnTXE, CFnDIRビット, CFnCTL1.CFnDAPビットのいずれかを書き換えるとSOFn端子の出力が変化します。

2. x : 任意

3. n = 0-4

18.8 ポー・レート・ジェネレータ

ポー・レート・ジェネレータBRG1-BRG3とCSIF0-CSIF4は、次のブロック図のように接続されています。



(1) プリスケアラ・モード・レジスタ 1-3 (PRSM1-PRSM3)

PRSMmレジスタは、CSIFのポー・レート信号の生成を制御します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：PRSM1 FFFFF320H, PRSM2 FFFFF324H,
PRSM3 FFFFF328H

	7	6	5	④	3	2	1	0	
PRSMm (m = 1-3)	0	0	0	BGCEm	0	0	BGCSm1	BGCSm0	
BGCEm	ポー・レート出力								
0	禁止								
1	許可								
BGCSm1	BGCSm0	入力クロックの選択 (f _{BGCSm})						設定値 (k)	
0	0	f _{xx}						0	
0	1	f _{xx} /2						1	
1	0	f _{xx} /4						2	
1	1	f _{xx} /8						3	

注意1. 動作中に、PRSMmレジスタを書き換えしないでください。

2. PRSMmレジスタの設定はBGCEmビットに“1”を設定する前に行ってください。

3. ビット7-5, 3, 2には必ず“0”を設定してください。

(2) プリスケアラ・コンペア・レジスタ 1-3 (PRSCM1-PRSCM3)

8ビットのコンペア・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：PRSCM1 FFFFF321H, PRSCM2 FFFFF325H,
PRSCM3 FFFFF329H

	7	6	5	4	3	2	1	0
PRSCMm (m = 1-3)	PRSCMm7	PRSCMm6	PRSCMm5	PRSCMm4	PRSCMm3	PRSCMm2	PRSCMm1	PRSCMm0

注意1. 動作中にPRSCMmレジスタを書き換えしないでください。

2. PRSMm.BGCEmビットに“1”を設定する前にPRSCMmレジスタの設定を行ってください。

18.8.1 ボー・レートの生成

メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するボー・レートは次の式によって求められます。

$$f_{BRGm} = \frac{f_{XX}}{2^{k+1} \times N}$$

注意 f_{BRGm} は、8 MHz (CSIF0-2, 4) または12 MHz (CSIF3) 以下になるように設定してください。

備考 f_{BRGm} : BRGmのカウント・クロック

f_{XX} : メイン・クロックの発振周波数

k : PRSMmレジスタの設定値 = 0-3

N : PRSCMmレジスタ設定値 = 1-256

ただし、 $N = 256$ となるのは、PRSCMmレジスタに00Hを設定した場合です。

$m = 1-3$

18.9 注意事項

(1) DMA転送により、送信データ、受信データの転送を行う場合、シリアル転送中にオーバーラン・エラーが発生してもエラー処理を行えません。DMA転送終了後にCFnSTR.CFnOVEビットを読み出してオーバーラン・エラーがなかったことを確認してください。

(2) 動作中 (CFnCTL0.CFnPWRビット = 1) の書き換えを禁止しているレジスタに対して、動作中に誤って書き換えを行ってしまった場合は、一度CFnCTL0.CFnPWRビット = 0に設定してCSIFnを初期化してください。

動作中の書き換えが禁止されているレジスタを次に示します。

- ・ CFnCTL0レジスタ：CFnTXE, CFnRXE, CFnDIR, CFnTMSビット
- ・ CFnCTL1レジスタ：CFnCKP, CFnDAP, CFnCKS2-CFnCKS0ビット
- ・ CFnCTL2レジスタ：CFnCL3-CFnCL0ビット

(3) 通信タイプ2, 4 (CFnCTL1.CFnDAPビット = 1) では、受信完了割り込み (INTCFnR) 発生後、 \overline{SCKFn} 半クロック後にCFnSTR.CFnTSFビットがクリアされます。

一方、シングル転送モードでは、通信中 (CFnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CFnCTL0.CFnTXEビット = 0, CFnCTL0.CFnRXEビット = 1) も、通信中 (CFnTSFビット = 1) に受信データをリードしても次の通信は起動しません。

そのため、通信タイプ2, 4 (CFnDAPビット = 1) でシングル転送モードを使用する場合、次の点に注意してください。

- ・ 次の送信を起動する場合は、CFnTSFビット = 0であることを確認したあと、CFnTXレジスタに送信データを書き込む
- ・ 受信のみの通信に設定したとき (CFnTXEビット = 0, CFnRXEビット = 1) に続けて次の受信を行う場合は、CFnTSFビット = 0であることを確認したあと、CFnRXレジスタをリードする

または、シングル転送モードではなく、連続転送モードを使用してください。特にDMAを使用する場合は連続転送モードの使用を推奨します。

備考 n = 0-4

第19章 I²Cバス

この機能を使用する場合は、P36/SCL00, P37/SDA00, P40/SDA01, P41/SCL01, P90/SDA02, P91/SCL02端子を兼用端子として使用し、N-chオープン・ドレイン出力に設定してください。

19.1 I²Cバスとほかのシリアル・インタフェースのモード切り替え

19.1.1 UARTC3とI²C00のモード切り替え

V850ES/JG3-U, V850ES/JH3-Uでは、UARTC3とI²C00は端子が兼用になっており、同時には使用できません。UARTC3とI²C00の切り替えは、あらかじめPMC3, PFC3, PFCE3レジスタで設定する必要があります。

注意 UARTC3またはI²C00において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図19 - 1 UARTC3とI²C00のモード切り替え設定

<p>リセット時：00H R/W アドレス：FFFFFF446H</p> <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 0 10px;">7</td><td style="padding: 0 10px;">6</td><td style="padding: 0 10px;">5</td><td style="padding: 0 10px;">4</td><td style="padding: 0 10px;">3</td><td style="padding: 0 10px;">2</td><td style="padding: 0 10px;">1</td><td style="padding: 0 10px;">0</td> </tr> <tr> <td style="border: 1px solid black; padding: 2px 5px;">PMC37</td><td style="border: 1px solid black; padding: 2px 5px;">PMC36</td><td style="border: 1px solid black; padding: 2px 5px;">PMC35</td><td style="border: 1px solid black; padding: 2px 5px;">PMC34</td><td style="border: 1px solid black; padding: 2px 5px;">PMC33</td><td style="border: 1px solid black; padding: 2px 5px;">PMC32</td><td style="border: 1px solid black; padding: 2px 5px;">PMC31</td><td style="border: 1px solid black; padding: 2px 5px;">PMC30</td> </tr> </table>	7	6	5	4	3	2	1	0	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
7	6	5	4	3	2	1	0									
PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30									
<p>リセット時：00H R/W アドレス：FFFFFF466H</p> <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 0 10px;">7</td><td style="padding: 0 10px;">6</td><td style="padding: 0 10px;">5</td><td style="padding: 0 10px;">4</td><td style="padding: 0 10px;">3</td><td style="padding: 0 10px;">2</td><td style="padding: 0 10px;">1</td><td style="padding: 0 10px;">0</td> </tr> <tr> <td style="border: 1px solid black; padding: 2px 5px;">PFC37</td><td style="border: 1px solid black; padding: 2px 5px;">PFC36</td><td style="border: 1px solid black; padding: 2px 5px;">PFC35</td><td style="border: 1px solid black; padding: 2px 5px;">PFC34</td><td style="border: 1px solid black; padding: 2px 5px;">PFC33</td><td style="border: 1px solid black; padding: 2px 5px;">PFC32</td><td style="border: 1px solid black; padding: 2px 5px;">PFC31</td><td style="border: 1px solid black; padding: 2px 5px;">PFC30</td> </tr> </table>	7	6	5	4	3	2	1	0	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30
7	6	5	4	3	2	1	0									
PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30									
<p>リセット時：00H R/W アドレス：FFFFFF706H</p> <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 0 10px;">7</td><td style="padding: 0 10px;">6</td><td style="padding: 0 10px;">5</td><td style="padding: 0 10px;">4</td><td style="padding: 0 10px;">3</td><td style="padding: 0 10px;">2</td><td style="padding: 0 10px;">1</td><td style="padding: 0 10px;">0</td> </tr> <tr> <td style="border: 1px solid black; padding: 2px 5px;">PFCE37</td><td style="border: 1px solid black; padding: 2px 5px;">PFCE36</td><td style="border: 1px solid black; padding: 2px 5px;">PFCE35</td><td style="border: 1px solid black; padding: 2px 5px;">PFCE34</td><td style="border: 1px solid black; padding: 2px 5px;">PFCE33</td><td style="border: 1px solid black; padding: 2px 5px;">PFCE32</td><td style="border: 1px solid black; padding: 2px 5px;">PFCE31</td><td style="border: 1px solid black; padding: 2px 5px;">PFCE30</td> </tr> </table>	7	6	5	4	3	2	1	0	PFCE37	PFCE36	PFCE35	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30
7	6	5	4	3	2	1	0									
PFCE37	PFCE36	PFCE35	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30									
<table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th style="padding: 5px;">PMC3n</th><th style="padding: 5px;">PFCE3n</th><th style="padding: 5px;">PFC3n</th><th style="padding: 5px;">動作モード</th></tr> </thead> <tbody> <tr> <td style="text-align: center; padding: 5px;">0</td><td style="text-align: center; padding: 5px;">×</td><td style="text-align: center; padding: 5px;">×</td><td style="padding: 5px;">ポート入出力モード</td></tr> <tr> <td style="text-align: center; padding: 5px;">1</td><td style="text-align: center; padding: 5px;">0</td><td style="text-align: center; padding: 5px;">0</td><td style="padding: 5px;">UARTC3モード</td></tr> <tr> <td style="text-align: center; padding: 5px;">1</td><td style="text-align: center; padding: 5px;">0</td><td style="text-align: center; padding: 5px;">1</td><td style="padding: 5px;">I²C00モード</td></tr> </tbody> </table>	PMC3n	PFCE3n	PFC3n	動作モード	0	×	×	ポート入出力モード	1	0	0	UARTC3モード	1	0	1	I ² C00モード
PMC3n	PFCE3n	PFC3n	動作モード													
0	×	×	ポート入出力モード													
1	0	0	UARTC3モード													
1	0	1	I ² C00モード													
<p>備考1. n = 6, 7</p> <p>2. x = don't care</p>																

19.1.2 UARTC4とCSIF0とI²C01のモード切り替え

V850ES/JG3-U, V850ES/JH3-Uでは, UARTC4とCSIF0とI²C01は端子が兼用になっており, 同時には使用できません。UARTC4とCSIF0とI²C01の切り替えは, あらかじめPMC4, PFC4, PFCE4レジスタで設定する必要があります。

注意 UARTC4またはCSIF0またはI²C01において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図19 - 2 UARTC4とCSIF0とI²C01のモード切り替え設定

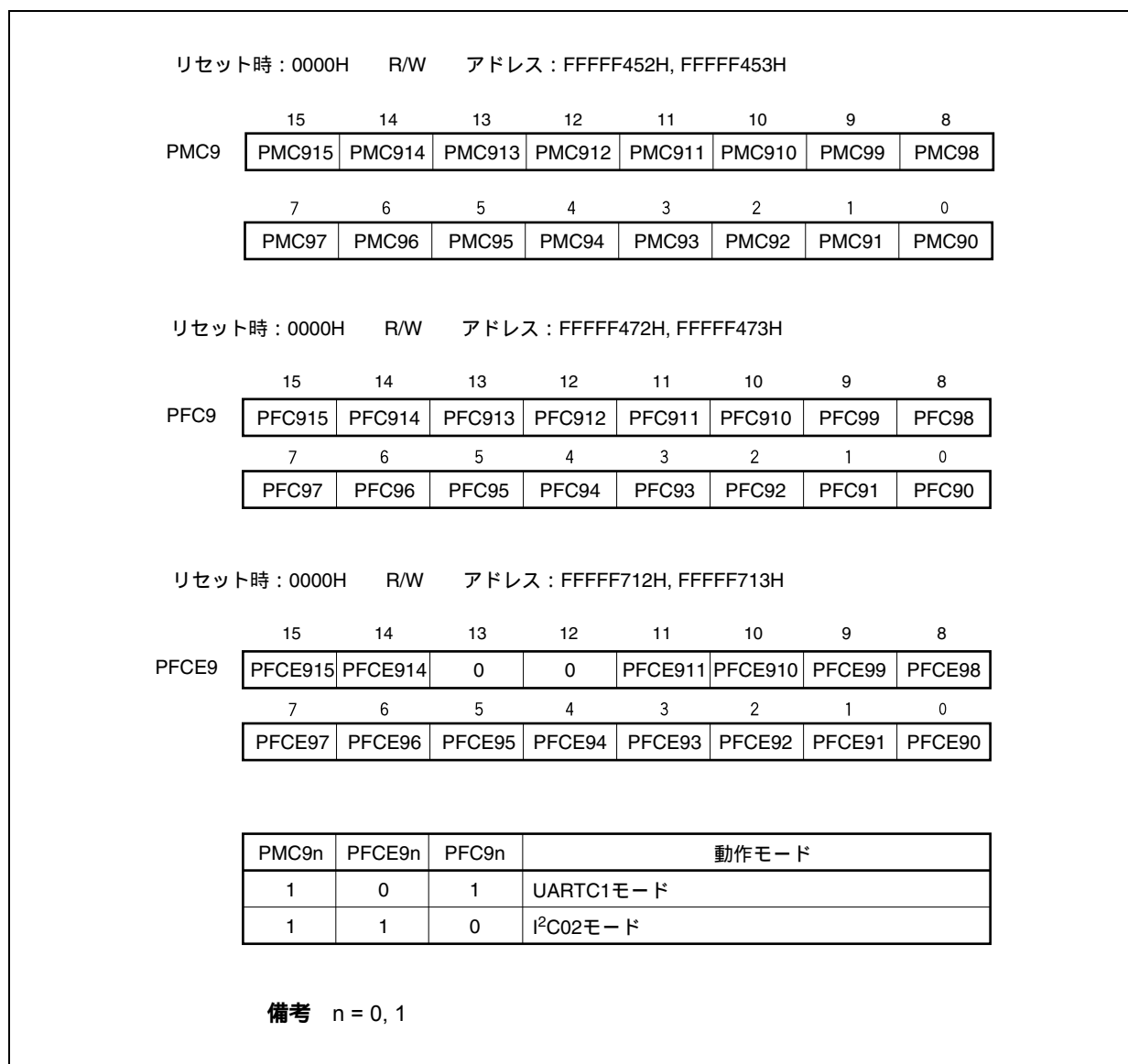
リセット時 : 00H R/W アドレス : FFFFF448H								
	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40
リセット時 : 00H R/W アドレス : FFFFF468H								
	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	PFC42	PFC41	PFC40
リセット時 : 00H R/W アドレス : FFFFF708H								
	7	6	5	4	3	2	1	0
PFCE4	0	0	0	0	0	0	PFCE41	PFCE40
	PMC4n	PFC4n	PFCE4n	動作モード				
	0	x	x	ポート入出力モード				
	1	0	0	CSIF0モード				
	1	0	1	I ² C01モード				
	1	1	0	UARTC4モード				
備考1. n = 0, 1								
2. x = don't care								

19.1.3 UARTC1とI²C02のモード切り替え

V850ES/JG3-U, V850ES/JH3-Uでは, UARTC1とI²C02は端子が兼用になっており, 同時には使用できません。UARTC1とI²C02の切り替えは, あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります。

注意 UARTC1とI²C02において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図19 - 3 UARTC1とI²C02のモード切り替え設定



19.2 特 徴

I²C00-I²C02には、次の2種類のモードがあります。

- ・動作停止モード
- ・I²C (Inter IC) バス・モード (マルチマスタ対応)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック端子 (SCL0n) とシリアル・データ・バス端子 (SDA0n) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

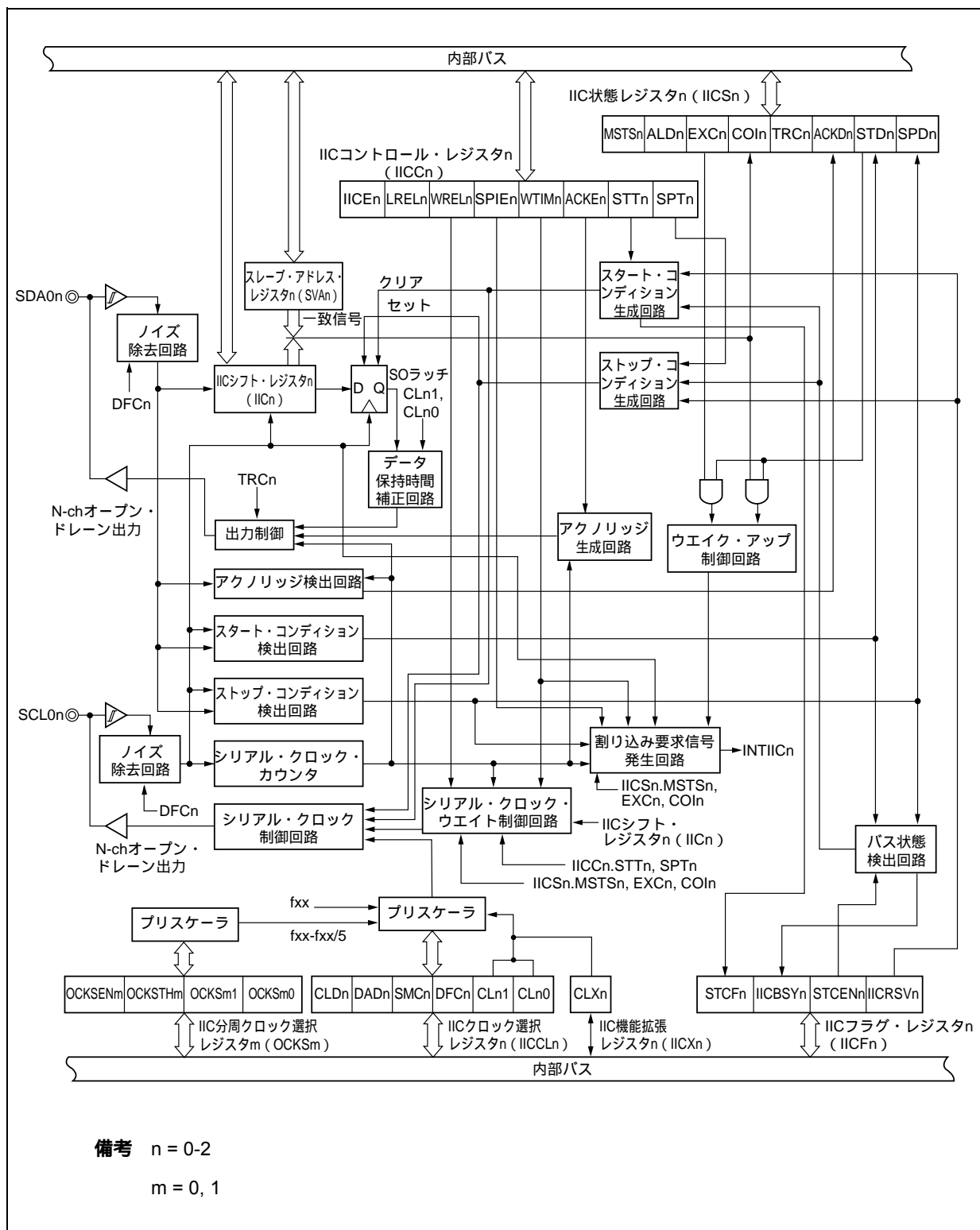
I²C0nでは、SCL0n端子とSDA0n端子はN-chオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

備考 n = 0-2

19.3 構成

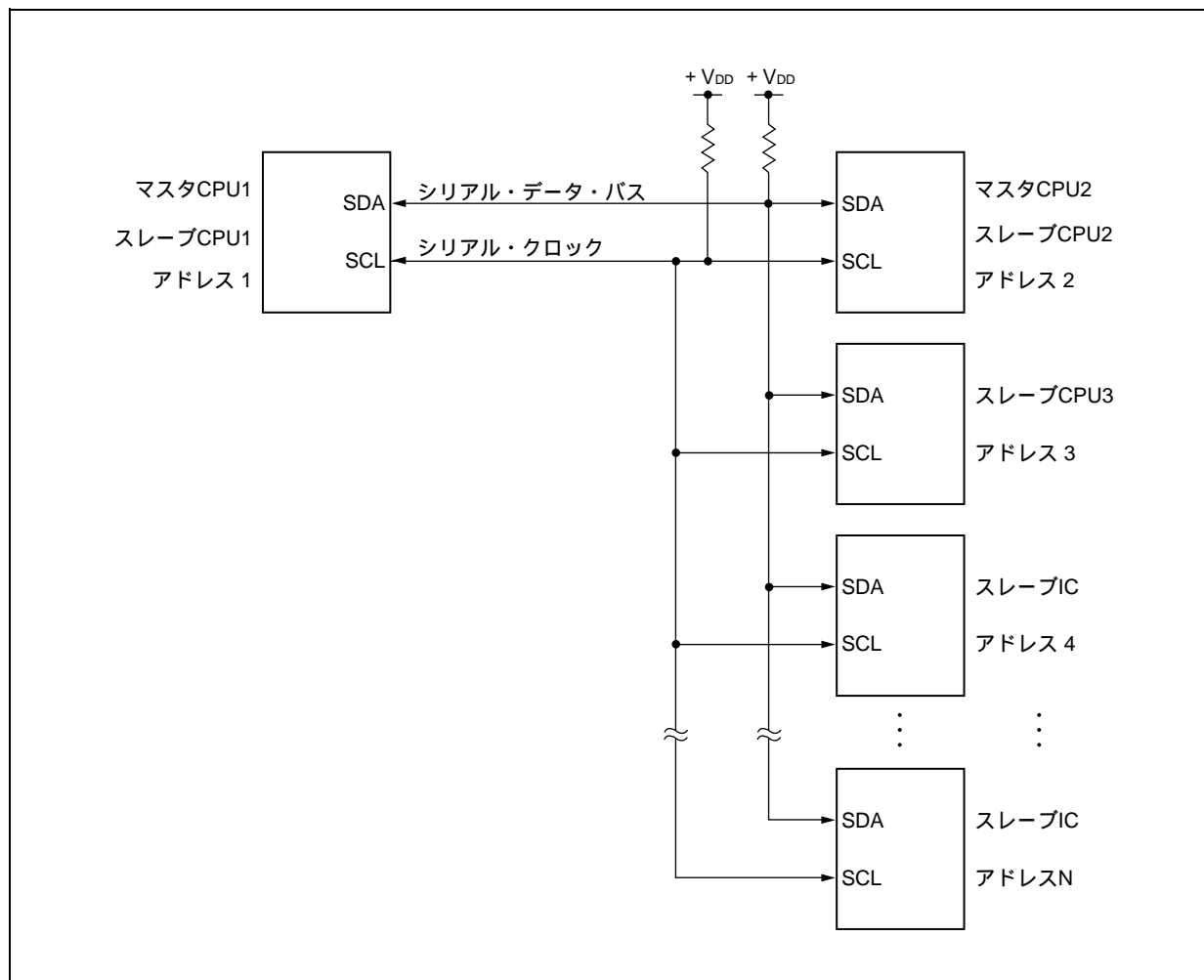
I²C0nのブロック図を次に示します。

図19-4 I²C0nのブロック図



次にシリアル・バス構成例を示します。

図19 - 5 I²Cバスによるシリアル・バス構成例



I²C0nは、次のハードウェアで構成されています (n = 0-2)。

表19 - 1 I²C0nの構成

項 目	構 成
レジスタ	IICシフト・レジスタn (IICn) スレーブ・アドレス・レジスタn (SVAn)
制御レジスタ	IICコントロール・レジスタn (IICcn) IIC状態レジスタn (IICSn) IICフラグ・レジスタn (IICFn) IICクロック選択レジスタn (IICCLn) IIC機能拡張レジスタn (IICXn) IIC分周クロック選択レジスタ0, 1 (OCKS0, OCKS1)

(1) IICシフト・レジスタn (IICn)

IICnレジスタは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICnレジスタは送信および受信の両方に使用されます (n = 0-2)。

IICnレジスタに対する書き込み / 読み出しにより、実際の送受信動作が制御されます。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

(2) スレーブ・アドレス・レジスタn (SVAn)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

8ビット単位でリード / ライト可能です (n = 0-2)。

リセットにより00Hになります。

(3) SOラッチ

SOラッチは、SDA0n端子出力レベルを保持するラッチです (n = 0-2)。

(4) ウェイク・アップ制御回路

SVAnレジスタに設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求信号 (INTIICn) を発生させる回路です (n = 0-2)。

(5) プリスケーラ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIICn) の発生を制御します。

I²C 割り込みは、次の2つのトリガで発生します。

- ・ シリアル・クロックの8クロック目または9クロック目の立ち下がり (IICn.WTIMnビットで設定)
- ・ ストップ・コンディション検出による割り込み発生 (IICn.SPIEnビットで設定)

備考 n = 0-2

(8) シリアル・クロック制御回路

マスタ・モード時に、SCL0n端子に出力するクロックをサンプリング・クロックから生成します(n = 0-2)。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(10) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

(11) データ保持時間補正回路

SCL0n端子の立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション生成回路

IICn.STTnビットがセットされるとスタート・コンディションを生成します。

ただし、通信予約禁止状態(IICFn.IICRSVnビット = 1)で、かつバスが解放されていない(IICFn.IICBSYnビット = 1) 場合には、この要求は無視し、IICFn.STCFnビットをセット(1)します。

(13) ストップ・コンディション生成回路

IICn.SPTnビットがセットされるとストップ・コンディションを生成します。

(14) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし、動作直後はバス状態を検出できないため、IICFn.STCENnビットにより、バス状態検出回路の初期状態を設定してください。

19.4 レジスタ

I²C00-I²C02は、次のレジスタで制御します。

- ・ IICコントロール・レジスタ0-2 (IICC0-IICC2)
- ・ IIC状態レジスタ0-2 (IICS0-IICS2)
- ・ IICフラグ・レジスタ0-2 (IICF0-IICF2)
- ・ IICクロック選択レジスタ0-2 (IICCL0-IICCL2)
- ・ IIC機能拡張レジスタ0-2 (IICX0-IICX2)
- ・ IIC分周クロック選択レジスタ0, 1 (OCKS0, OCKS1)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタ0-2 (IIC0-IIC2)
- ・ スレーブ・アドレス・レジスタ0-2 (SVA0-SVA2)

備考 兼用端子の設定は表4 - 20 **ポート端子を兼用端子として使用する場合**を参照してください。

(1) IICコントロール・レジスタ0-2 (IICC0-IICC2)

I²C0nの動作許可/停止、ウェイト・タイミングの設定、その他I²C動作の設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です (n = 0-2)。ただし、SPIEn, WTIMn, ACKEnビットは、IICEnビット = 0のとき、またはウェイト期間中に設定してください。IICEnビットを“0”から“1”に設定するときに、同時にこれらのビットを設定できます。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : IICC0 FFFFFFFD82H, IICC1 FFFFFFFD92H, IICC2 FFFFFFFDA2H

	⑦	⑥	⑤	④	③	②	①	①
IICn	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

(n = 0-2)

IICEn	I ² Cn動作許可 / 禁止の指定
0	動作停止。IICSnレジスタをリセット ^{注1} 。内部動作も停止。
1	動作許可。

このビットのセット (1) は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。

クリアされる条件 (IICEnビット = 0)	セットされる条件 (IICEnビット = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

LRELn ^{注2}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0n, SDA0nラインはハイ・インピーダンス状態になる。 STTn, SPTnビット, IICSn.MSTSn, EXCn, COIn, TRCn, ACKDn, STDnビットがクリアされる。

次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。
ストップ・コンディション検出後、マスタとしての起動
スタート・コンディション後のアドレス一致または拡張コード受信

クリアされる条件 (LRELnビット = 0)	セットされる条件 (LRELnビット = 1)
<ul style="list-style-type: none"> ・実行後、自動的にクリア ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

WRELn ^{注2}	ウェイト解除の制御
0	ウェイトを解除しない。
1	ウェイト解除する。ウェイト解除後、自動的にクリアされる。

クリアされる条件 (WRELnビット = 0)	セットされる条件 (WRELnビット = 1)
<ul style="list-style-type: none"> ・実行後、自動的にクリア ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

注1. リセットされるのはIICSnレジスタ, IICFn.STCFn, IICBSYnビット, IICCLn.CLDn, DADnビットです。

2. IICEnビット = 0により、このフラグの信号を無効にします。

注意 SCL0nラインがハイ・レベル, SDA0nラインがロウ・レベルの状態、I²Cnを動作許可 (IICEnビット = 1) した場合、直後にスタート・コンディションを検出してしまいます。I²Cnを動作許可 (IICEnビット = 1) したあと、連続してビット操作命令によりLRELnビットをセット (1) してください。

備考 LRELn, WRELnビットは、データ設定後に読み出すと0になっています。

SPIEn ^注	ストップ・コンディション検出による割り込み要求発生への許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIEnビット = 0)		セットされる条件 (SPIEnビット = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

WTIMn ^注	ウェイトおよび割り込み要求発生への制御	
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後, クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後, クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後, クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後, クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定にかかわらず, 9クロック目の立ち下がりでの割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時, アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは, アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでのウェイトに入ります。ただし拡張コードを受信したスレーブは, 8クロック目の立ち下がりでのウェイトに入ります。		
クリアされる条件 (WTIMnビット = 0)		セットされる条件 (WTIMnビット = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

ACKEn ^注	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA0nラインをロウ・レベルにする。	
スレーブでアドレス受信のときは, ACKEnビットの設定は無効です。この場合, アドレスが一致したときはアクノリッジを生成します。 ただし, 拡張コードを受信するときは, ACKEnビットの設定は有効になります。拡張コードを受信するシステムでは, ACKEnビットの設定をしてください。		
クリアされる条件 (ACKEnビット = 0)		セットされる条件 (ACKEnビット = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

注 IICEnビット = 0により, このフラグの信号を無効にします。

備考 n = 0-2

STTn	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	<p>バスが解放されているとき（ストップ状態）：</p> <p>スタート・コンディションを生成する（マスタとしての起動）。SCLnラインがハイ・レベルの状態ではSDA0nラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCL0nラインをロウ・レベルにする。</p> <p>第三者が通信中のとき：</p> <p>通信予約機能許可の場合（IICFn.IICRSVnビット = 0）</p> <ul style="list-style-type: none"> ・スタート・コンディション予約フラグとして機能。セット（1）されると、バスが解放されたあと自動的にスタート・コンディションを生成する。 <p>通信予約機能禁止の場合（IICRSVnビット = 1）</p> <ul style="list-style-type: none"> ・IICFn.STCFnビットをセット（1）し、STTnビットにセット（1）した情報をクリアする。 <p>スタート・コンディションは生成しない。</p> <p>ウエイト状態（マスタ時）：</p> <p>ウエイトを解除してリスタート・コンディションを生成する。</p>	
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。</p> <p>スレーブの場合：通信予約機能禁止（IICRSVnビット = 1）の場合でも、通信予約状態になってしまいます。</p> <ul style="list-style-type: none"> ・SPTnビットと同時にセット（1）することは禁止です。 ・STTnビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。 		
クリアされる条件（STTnビット = 0）		セットされる条件（STTnビット = 1）
<ul style="list-style-type: none"> ・通信予約禁止状態でのSTTnビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成後クリア ・LRELnビット = 1（通信退避）によるクリア ・IICEnビット = 0（動作停止）のとき ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

備考1. STTnビットは、データ設定後に読み出すと0になっています。

2. n = 0-2

SPTn	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDA0nラインをロウ・レベルにしたあと、SCL0nラインをハイ・レベルにするか、またはSCL0n端子がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDA0nラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。				
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ受信期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。</p> <ul style="list-style-type: none"> ・STTnビットと同時にセット（1）することは禁止です。 ・SPTnビットのセット（1）は、マスタのときのみ行ってください^注。 ・WTIMnビット = 0設定時に、8クロック出力後のウエイト期間中にSPTnビットをセット（1）すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIMnビット = 0 1にセットし、9クロック目出力後のウエイト期間中にSPTnビットをセット（1）してください。 ・SPTnビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。 					
<table border="1"> <thead> <tr> <th>クリアされる条件（SPTnビット = 0）</th> <th>セットされる条件（SPTnビット = 1）</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELnビット = 1（通信退避）によるクリア ・IICEnビット = 0（動作停止）のとき ・リセット時 </td> <td> <ul style="list-style-type: none"> ・命令によるセット </td> </tr> </tbody> </table>		クリアされる条件（SPTnビット = 0）	セットされる条件（SPTnビット = 1）	<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELnビット = 1（通信退避）によるクリア ・IICEnビット = 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット
クリアされる条件（SPTnビット = 0）	セットされる条件（SPTnビット = 1）				
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELnビット = 1（通信退避）によるクリア ・IICEnビット = 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット 				

注 SPTnビットのセット（1）は、マスタのときのみ行ってください。ただし、IICRSVnビットが0の場合、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPTnビットをセット（1）してストップ・コンディションを生成する必要があります。詳細は、19.15 **注意事項**を参照してください。

注意 TRCnビット = 1のとき、9クロック目にWRELnビットをセット（1）してウエイトを解除すると、TRCnビットをクリア（0）してSDA0nラインをハイ・インピーダンスにします。

備考1. SPTnビットは、データ設定後に読み出すと0になっています。

2. n = 0-2

(2) IIC状態レジスタ0-2 (IICS0-IICS2)

I²C0nのステータスを表すレジスタです。

8/1ビット単位でリードのみ可能です (n = 0-2)。ただし、IICSnレジスタは、IICn.STTnビット = 1のとき、またはウェイト期間中だけリード可能です。

リセットにより00Hになります。

注意 次に示す状態において、IICSnレジスタへのアクセスは禁止です。詳細は3.4.7(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

(1/3)

リセット時：00H R アドレス：IICS0 FFFFFFFD86H, IICS1 FFFFFFFD96H, IICS2 FFFFFFFDA6H							
IICSn	⑦	⑥	⑤	④	③	②	①
	MSTSn	ALDn	EXCn	COIn	TRCn	ACKDn	STDn
	⑦	⑥	⑤	④	③	②	①
(n = 0-2)	MSTSn	マスタの状態					
	0	スレーブ状態または通信待機状態。					
	1	マスタ通信状態。					
	クリアされる条件 (MSTSnビット = 0)			セットされる条件 (MSTSnビット = 1)			
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALDnビット = 1 (アービトレーション負け) のとき ・IICn.LRELnビット = 1 (通信退避) によるクリア ・IICn.IICEnビット = 1 0 (動作停止) のとき ・リセット時 			<ul style="list-style-type: none"> ・スタート・コンディション生成時 			
	ALDn	アービトレーション負け検出					
	0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。					
	1	アービトレーションに負けた状態。MSTSnビットがクリア (0) される。					
	クリアされる条件 (ALDnビット = 0)			セットされる条件 (ALDnビット = 1)			
	<ul style="list-style-type: none"> ・IICSnレジスタ読み出し後、自動的にクリア^注 ・IICEnビット = 1 0 (動作停止) のとき ・リセット時 			<ul style="list-style-type: none"> ・アービトレーションに負けたとき 			
	EXCn	拡張コード受信検出					
	0	拡張コードを受信していない。					
	1	拡張コードを受信。					
	クリアされる条件 (EXCnビット = 0)			セットされる条件 (EXCnビット = 1)			
	<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1 0 (動作停止) のとき ・リセット時 			<ul style="list-style-type: none"> 受信したアドレス・データの上位4ビットが “0000” または “1111” のとき (8クロック目の立ち上がりでセット) 			
<p>注 IICSnレジスタのほかのビットに対しビット操作命令を実行した場合もクリアされます。</p>							

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
	クリアされる条件 (COInビット = 0)	セットされる条件 (COInビット = 1)
	<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ ストップ・コンディション検出時 ・ LRELnビット = 1 (通信退避) によるクリア ・ IICEnビット = 1 0 (動作停止) のとき ・ リセット時 	受信アドレスが自局アドレス (SVAnレジスタ) と一致したとき (8クロック目の立ち上がりでセット)

TRCn	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDA0nラインをハイ・インピーダンスにする。	
1	送信状態。SDA0nラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
	クリアされる条件 (TRCnビット = 0)	セットされる条件 (TRCnビット = 1)
	<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ LRELnビット = 1 (通信退避) によるクリア ・ IICEnビット = 1 0 (動作停止) のとき ・ IICn.WRELnビット = 1によるクリア^注 ・ ALDnビット = 0 1 (アービトレーション負け) のとき ・ リセット時 マスタの場合 <ul style="list-style-type: none"> ・ 1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・ スタート・コンディション検出時 通信不参加の場合	マスタの場合 <ul style="list-style-type: none"> ・ スタート・コンディション生成時 ・ 1バイト目のLSB (転送方向指定ビット) に “0” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・ 1バイト目のLSB (転送方向指定ビット) に “1” を入力したとき

ACKDn	アクノリッジ (\overline{ACK}) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出。	
	クリアされる条件 (ACKDnビット = 0)	セットされる条件 (ACKDnビット = 1)
	<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ 次のバイトの1クロック目の立ち上がり時 ・ LRELnビット = 1 (通信退避) によるクリア ・ IICEnビット = 1 0 (動作停止) のとき ・ リセット時 	SCL0n端子の9クロック目の立ち上がり時にSDA0n端子がロウ・レベルであったとき

注 TRCnビット = 1のとき,9クロック目にWRELnビットをセット(1)してウエイトを解除すると,TRCnビットをクリア(0)してSDA0nラインをハイ・インピーダンスにします。

備考 n = 0-2

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出。アドレス転送期間であることを示す。	
	クリアされる条件 (STDnビット = 0)	セットされる条件 (STDnビット = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出。マスタでの通信が終了し、バスが解放される。	
	クリアされる条件 (SPDnビット = 0)	セットされる条件 (SPDnビット = 1)
	<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICEnビット = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考 n = 0-2

(3) IICフラグ・レジスタ0-2 (IICF0-IICF2)

I²C0nの動作モードの設定と、I²Cバスの状態を表すレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、STCFn, IICBSYnビットはリードのみ可能です。

IICRSVnビットにより通信予約機能の禁止/許可を設定します(19.14 通信予約参照)。

また、STCENnビットにより、IICBSYnビットの初期値を設定します(19.15 注意事項参照)。

IICRSVn, STCENnビットは、I²C0nが動作禁止(IICn.IICEnビット = 0)のときのみ書き込み可能です。

動作許可後、IICFnレジスタは読み出し可能となります(n = 0-2)。

リセットにより00Hになります。

リセット時：00H R/W^注 アドレス：IICF0 FFFFFFFD8AH, IICF1 FFFFFFFD9AH, IICF2 FFFFFFFDAAH

	⑦	⑥	5	4	3	2	①	①
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

(n = 0-2)

STCFn	STTnビット・クリア
0	スタート・コンディション発行
1	スタート・コンディション発行できずSTTnビット・クリア
クリアされる条件 (STCFnビット = 0)	
<ul style="list-style-type: none"> ・ IICn.STTnビット = 1によるクリア ・ IICn.IICEnビット = 0のとき ・ リセット時 	
セットされる条件 (STCFnビット = 1)	
<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSVnビット = 1) 設定時にスタート・コンディション発行できず, STTnフラグ・クリア (0) されたとき 	

IICBSYn	I ² C0nバス状態
0	バス解放状態 (STCENnビット = 1時の通信初期状態)
1	バス通信状態 (STCENnビット = 0時の通信初期状態)
クリアされる条件 (IICBSYnビット = 0)	
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICEnビット = 0のとき ・ リセット時 	
セットされる条件 (IICBSYnビット = 1)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCENnビット = 0のときIICEnビットのセット 	

STCENn	初期スタート許可トリガ
0	動作許可 (IICEnビット = 1) 後, ストップ・コンディションを検出するまで, スタート・コンディションを生成できない。
1	動作許可 (IICEnビット = 1) 後, ストップ・コンディションを検出しなくても, スタート・コンディションを生成できる。
クリアされる条件 (STCENnビット = 0)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ リセット時 	
セットされる条件 (STCENnビット = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

IICRSVn	通信予約機能禁止ビット
0	通信予約許可
1	通信予約禁止
クリアされる条件 (IICRSVnビット = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 	
セットされる条件 (IICRSVnビット = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 ビット6, 7はリード・オンリーです。

- 注意1. STCENnビットへの書き込みは、動作停止 (IICEnビット = 0) 時のみ行ってください。
2. STCENnビット = 1とした場合、I²C動作許可直後は実際のバス状態にかかわらずバス解放状態 (IICBSYnビット = 0) と認識しますので、1回目のスタート・コンディションを発行 (STTnビット = 1) する場合は他の通信を破壊しないようにバスが解放されていることを確認する必要があります。
3. IICRSVnビットへの書き込みは、動作停止 (IICEnビット = 0) 時のみ行ってください。

(4) IICクロック選択レジスタ0-2 (IICCL0-IICCL2)

I²C0nの転送クロックを設定するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、CLDn, DADnビットはリードのみ可能です。

IICCLnレジスタは、IICn.IICEnビット = 0のときに設定してください。

SMCn, CLn1, CLn0ビットの設定は、IICXn.CLXnビットと、OCKSm.OCKSTHm, OCKSm1, OCKSm0ビットと組み合わせて設定します (19.4 (6) I²C0nの転送クロックの設定方法参照) (n = 0-2, m = 0, 1)。

リセットにより00Hになります。

リセット時: 00H R/W^注 アドレス: IICCL0 FFFFFFFD84H, IICCL1 FFFFFFFD94H, IICCL2 FFFFFFFDA4H

	7	6	⑤	④	3	2	1	0
IICCLn	0	0	CLDn	DADn	SMCn	DFCn	CLn1	CLn0

(n = 0-2)

CLDn	SCL0n端子のレベル検出 (IICn.IICEnビット = 1のときのみ有効)
0	SCL0n端子がロウ・レベルであることを検出
1	SCL0n端子がハイ・レベルであることを検出
クリアされる条件 (CLDnビット = 0)	
<ul style="list-style-type: none"> ・ SCL0n端子がロウ・レベルのとき ・ IICEnビット = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (CLDnビット = 1)	
<ul style="list-style-type: none"> ・ SCL0n端子がハイ・レベルのとき 	

DADn	SDA0n端子のレベル検出 (IICEnビット = 1のときのみ有効)
0	SDA0n端子がロウ・レベルであることを検出
1	SDA0n端子がハイ・レベルであることを検出
クリアされる条件 (DADnビット = 0)	
<ul style="list-style-type: none"> ・ SDA0n端子がロウ・レベルのとき ・ IICEnビット = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (DADnビット = 1)	
<ul style="list-style-type: none"> ・ SDA0n端子がハイ・レベルのとき 	

SMCn	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

DFCn	デジタル・フィルタの動作制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、高速モード時にのみ使用できます。	
高速モード時は、DFCnビットの設定により転送クロックが変化することはありません。	
デジタル・フィルタは、高速モード時にノイズ除去のために使用します。	

注 ビット4, 5はリード・オンリーです。

注意 ビット7, 6には必ず“0”を設定してください。

備考 IICn.IICEnビット = 0のとき、CLDn, DADnビットは0がリードされます。

(5) IIC機能拡張レジスタ0-2 (IICX0-IICX2)

I²C0nの機能拡張を設定するレジスタです(高速モード時のみ有効)。

8/1ビット単位でリード/ライト可能です。

CLXnビットの設定は、IICCLn.SMCn, CLn1, CLn0ビットと、OCKSm.OCKSTHm, OCKSm1, OCKSm0ビット(m = 0, 1)と組み合わせて設定します(19.4(6)I²C0nの転送クロックの設定方法参照)。

IICXnレジスタは、IICCn.IICEnビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時 : 00H								R/W	アドレス : IICX0 FFFFFFFD85H, IICX1 FFFFFFFD95H, IICX2 FFFFFFFDA5H							
IICXn (n = 0-2)	7	6	5	4	3	2	1	①								
	0	0	0	0	0	0	0	CLXn								

(6) I²C0nの転送クロックの設定方法

I²C0nの転送クロック周波数(f_{SCL})は、次の計算式により求められます(n = 0-2)。

$$f_{SCL} = 1 / (m \times T + t_R + t_F)$$

m = 24, 48, 72, 96, 108, 120, 144, 172, 192, 240, 264, 344, 352, 396, 440, 516, 688, 860 (表19-2
クロックの設定参照)

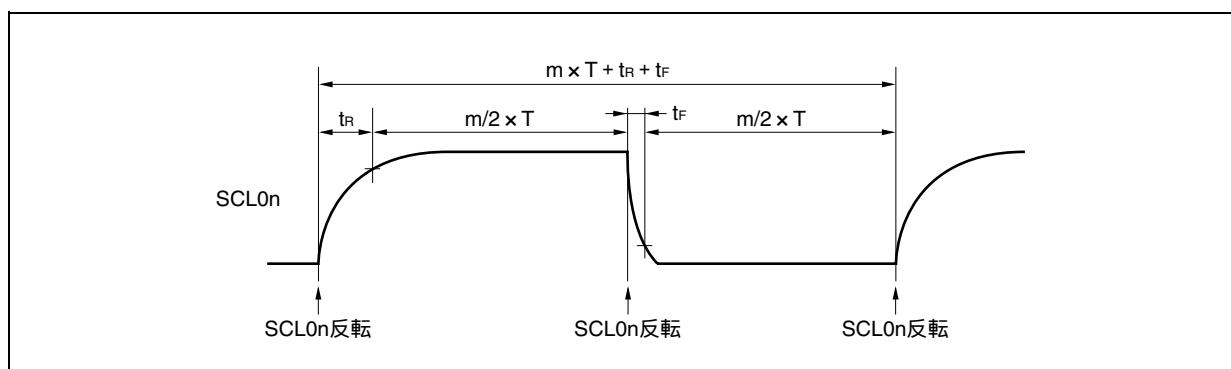
T : 1/f_{XX}

t_R : SCL0n端子立ち上がり時間

t_F : SCL0n端子立ち下がり時間

たとえば、f_{XX} = 19.2 MHz, m = 198, t_R = 200 ns, t_F = 50 nsの場合のI²C0nの転送クロック周波数(f_{SCL})は、次の計算式により求められます。

$$f_{SCL} = 1 / (198 \times 52 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 94.7 \text{ kHz}$$



選択クロックは、IICCLn.SMCn, CLn1, CLn0ビット, IICXn.CLXnビット, OCKSm.OCKSTHm, OCKSm1, OCKSm0ビットを組み合わせて設定します(n = 0-2, m = 0, 1)。

表19 - 2 クロックの設定

IICXn	IICCLn			選択クロック	転送 クロック	設定可能なfxxの範囲	転送速度	動作 モード
	CLXn	SMCn	CLn1					
0	0	0	0	fxx/6 (OCKSm=11H)	fxx/264	24.00 MHz fxx 25.14 MHz	90.91 kHz ~ 95.23 kHz	標準 モード (SMCn=0)
				fxx/8 (OCKSm=12H)	fxx/352	24.00 MHz fxx 33.52 MHz	68.18 kHz ~ 95.23 kHz	
				fxx/10 (OCKSm=13H)	fxx/440	30.00 MHz fxx 41.90 MHz	68.18 kHz ~ 95.23 kHz	
0	0	0	1	fxx/4 (OCKSm=10H)	fxx/344	24.00 MHz fxx 33.52 MHz	48.72 kHz ~ 97.44 kHz	
				fxx/6 (OCKSm=11H)	fxx/516	25.14 MHz fxx 48.00 MHz	48.72 kHz ~ 93.02 kHz	
				fxx/8 (OCKSm=12H)	fxx/688	33.52 MHz fxx 48.00 MHz	48.72 kHz ~ 69.77 kHz	
				fxx/10 (OCKSm=13H)	fxx/860	41.90 MHz fxx 48.00 MHz	48.72 kHz ~ 55.81 kHz	
0	0	1	1	fxx/4 (OCKSm=10H)	fxx/264	24.00 MHz fxx 25.60 MHz	90.91 kHz ~ 96.97 kHz	
				fxx/6 (OCKSm=11H)	fxx/396	38.40 MHz	96.97 kHz	
0	1	0	X	fxx/4 (OCKSm=10H)	fxx/96	24.00 MHz fxx 33.52 MHz	250.00 kHz ~ 349.17 kHz	高速 モード (SMCn=1)
				fxx/6 (OCKSm=11H)	fxx/144	24.00 MHz fxx 48.00 MHz	166.67 kHz ~ 333.33 kHz	
				fxx/8 (OCKSm=12H)	fxx/192	32.00 MHz fxx 48.00 MHz	166.67 kHz ~ 250.00 kHz	
				fxx/10 (OCKSm=13H)	fxx/240	40.00 MHz fxx 48.00 MHz	166.67 kHz ~ 200.00 kHz	
0	1	1	1	fxx/4 (OCKSm=10H)	fxx/72	24.00 MHz fxx 25.60 MHz	333.33 kHz ~ 355.56 kHz	
				fxx/6 (OCKSm=11H)	fxx/108	38.40 MHz	355.56 kHz	
1	1	0	X	fxx/6 (OCKSm=11H)	fxx/72	24.00 MHz fxx 25.14 MHz	333.33 kHz ~ 349.17 kHz	
				fxx/8 (OCKSm=12H)	fxx/96	32.00 MHz fxx 33.52 MHz	333.33 kHz ~ 349.17 kHz	
				fxx/10 (OCKSm=13H)	fxx/120	40.00 MHz fxx 41.90 MHz	333.33 kHz ~ 349.17 kHz	
上記以外				設定禁止	-	-	-	-

備考1. n = 0-2, m = 0, 1

2. X : don't care

(7) IIC分周クロック選択レジスタ0, 1 (OCKS0, OCKS1)

I²C_{0n}の分周クロックを制御するレジスタです (n = 0-2)。

OCKS0レジスタでI²C₀₀の分周クロックを, OCKS1レジスタでI²C₀₁, I²C₀₂の分周クロックを制御します。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : OCKS0 FFFFF340H, OCKS1 FFFFF344H

	7	6	5	4	3	2	1	0
OCKSm	0	0	0	OCKSENm	OCKSTHm	0	OCKSm1	OCKSm0

(m = 0, 1)

OCKSENm	I ² C分周クロック動作指定
0	I ² C分周クロック動作停止
1	I ² C分周クロック動作許可

OCKSTHm	OCKSm1	OCKSm0	I ² C分周クロック選択
0	0	0	f _{xx} /4
0	0	1	f _{xx} /6
0	1	0	f _{xx} /8
0	1	1	f _{xx} /10
1	0	0	f _{xx} /2

(8) IICシフト・レジスタ0-2 (IIC0-IIC2)

このレジスタは, シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。

8ビット単位でリード/ライト可能ですが, データ転送中にIIC_nレジスタへデータを書き込まないでください。

IIC_nレジスタには, ウェイト期間中にだけアクセス(リード/ライト)してください。ウェイト期間中を除く通信状態でのIIC_nレジスタのアクセスは禁止です。ただし, マスタになる場合は, 送信トリガ・ビット(IIC_n.STT_nビット)をセット(1)したあと, 1回だけライトできます。

ウェイト期間中のIIC_nレジスタへの書き込みにより, ウェイト解除しデータ転送を開始します(n = 0-2)。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : IIC0 FFFFFD80H, IIC1 FFFFFD90H, IIC2 FFFFFDA0H

	7	6	5	4	3	2	1	0
IICn								

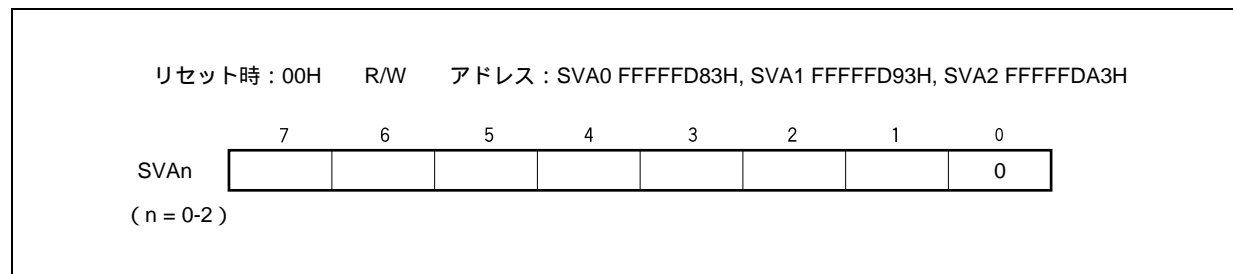
(n = 0-2)

(9) スレーブ・アドレス・レジスタ0-2 (SVA0-SVA2)

SVAnレジスタには、I²Cバスのスレーブ・アドレスを格納します。

8ビット単位でリ - ド / ライト可能ですが、ビット0は0に固定されています。ただし、IICSn.STDnビット = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセットにより00Hになります。



19.5 I²Cバス・モードの機能

19.5.1 端子構成

シリアル・クロック端子 (SCL0n) と、シリアル・データ・バス端子 (SDA0n) の構成は、次のようになっています (n = 0-2)。

SCL0n ... シリアル・クロックを入出力するための端子。

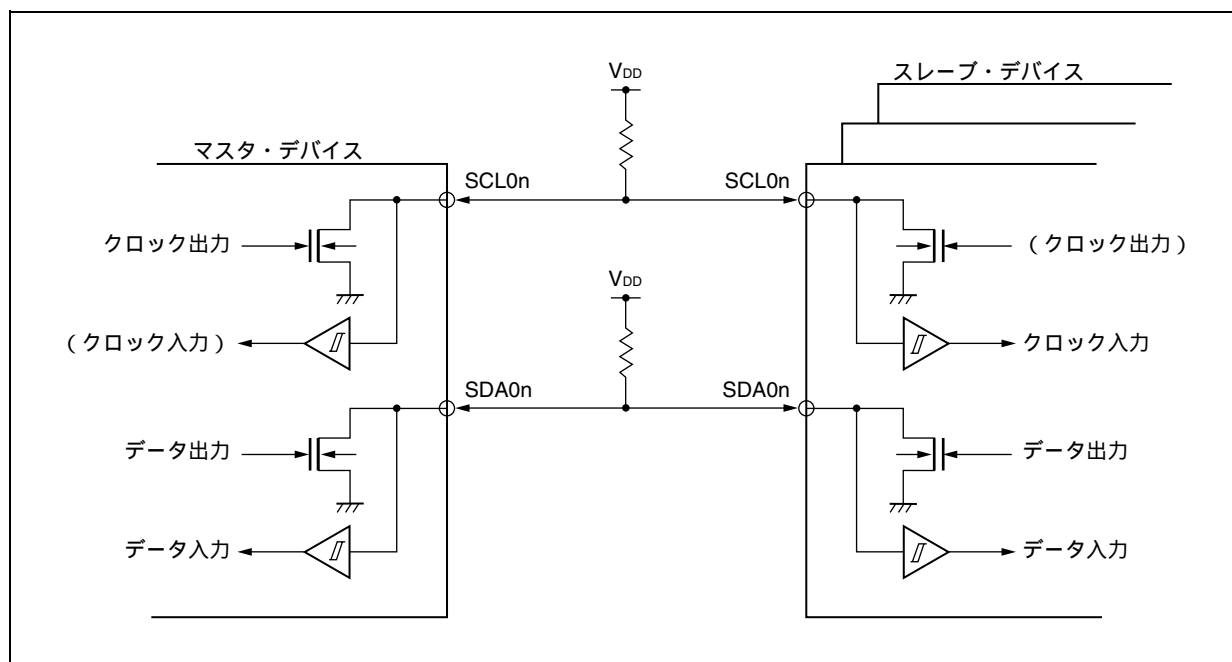
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

SDA0n ... シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図19 - 6 端子構成図

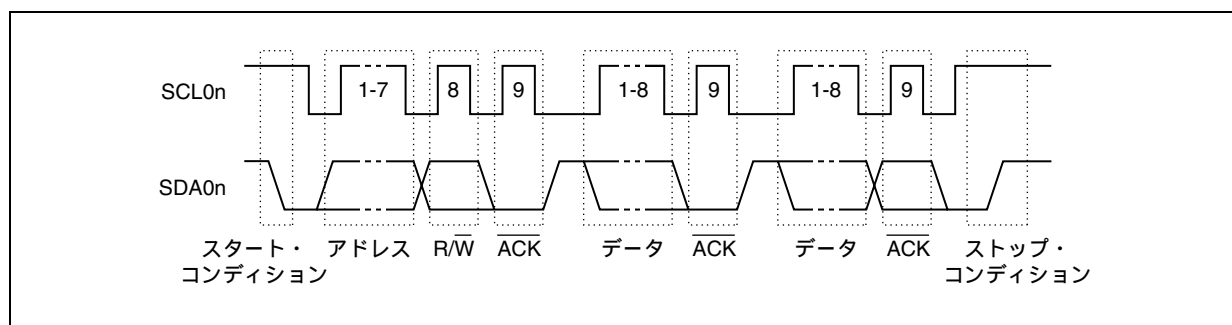


19.6 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図19-7 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

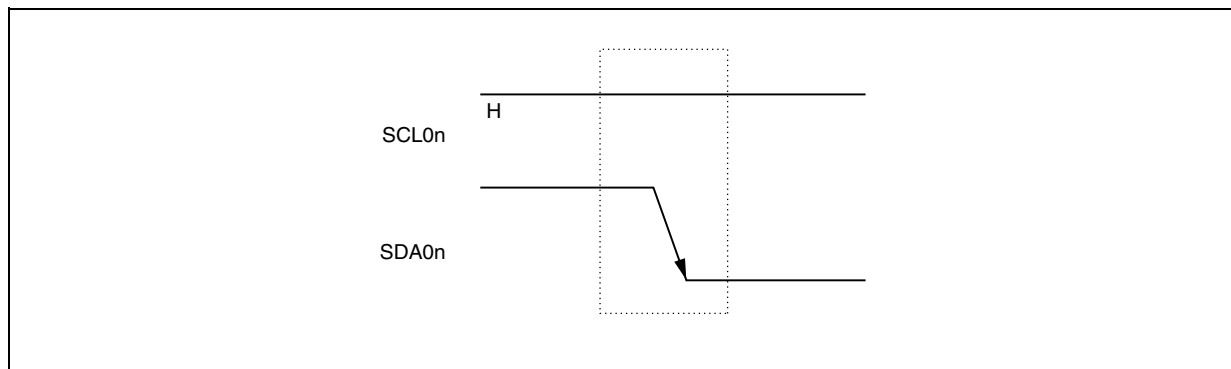
アクノリッジ (ACK) は、マスタ、スレーブのどちらでも生成できます (通常、8ビット・データの受信側が生成します)。

シリアル・クロック (SCL0n) は、マスタが出力し続けます。ただし、スレーブはSCL0n端子のロウ・レベル期間を延長し、ウエイトを挿入できます (n = 0-2)。

19. 6. 1 スタート・コンディション

SCL0n端子がハイ・レベルのときに、SDA0n端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0n, SDA0n端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できません (n = 0-2)。

図19 - 8 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (IICSn.SPDnビット = 1) のときに IICn.STTnビットをセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICSn.STDnビットがセット (1) されます (n = 0-2)。

注意 ほかのデバイス同士の通信中にV850ES/JG3-U, V850ES/JH3-UのIICn.IICEnビットをセット (1) した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICn.IICEnビットのセット (1) は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。

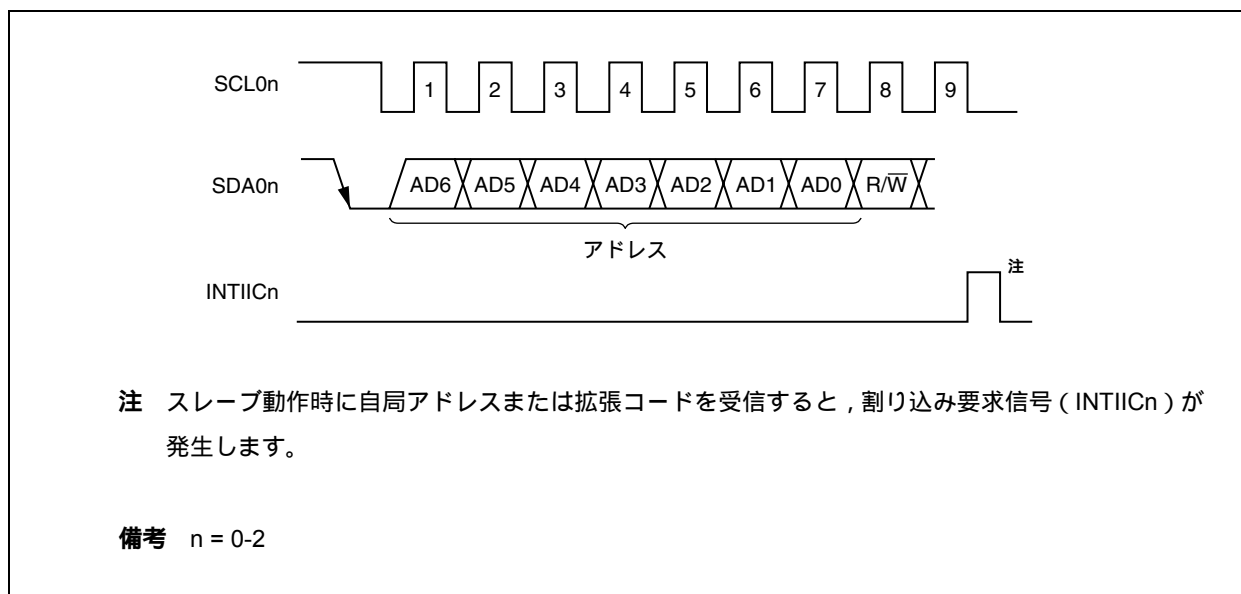
19.6.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがSVAnレジスタと一致しているかを調べます。このとき、7ビット・データとSVAnレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います (n = 0-2)。

図19-9 アドレス



アドレスは、スレーブのアドレスと19.6.3 **転送方向指定**に説明する転送方向を合わせて8ビットとしてIICnレジスタに書き込むと出力します。また、受信したアドレスはIICnレジスタに書き込まれます (n = 0-2)。

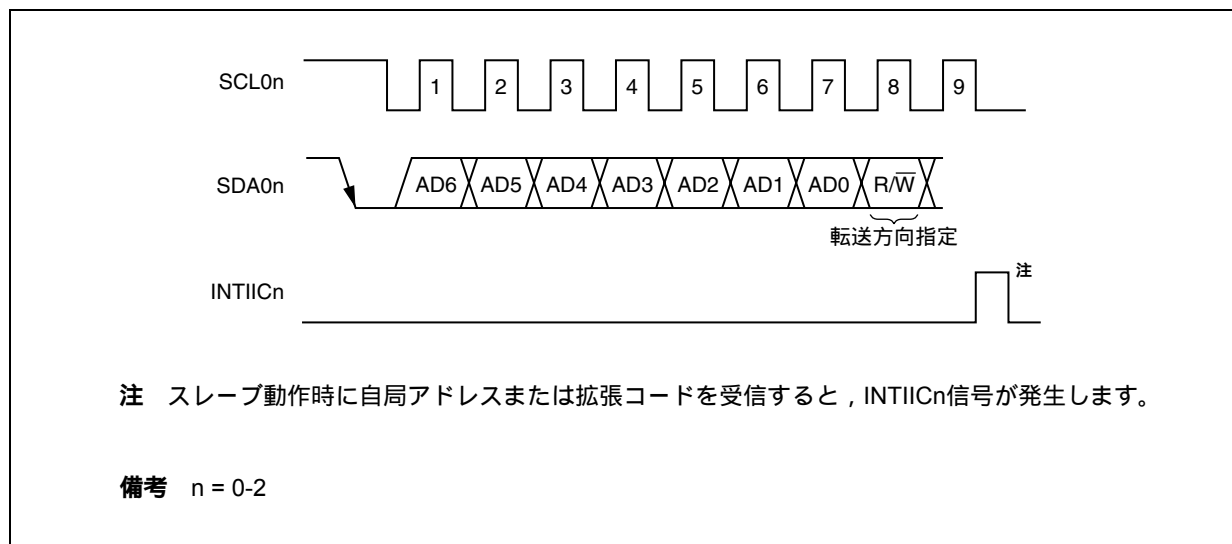
なお、スレーブのアドレスは、IICnレジスタの上位7ビットに割り当てられます。

19.6.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図19 - 10 転送方向指定



19.6.4 アクノリッジ (ACK)

アクノリッジ ($\overline{\text{ACK}}$) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICSn.ACKDnビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを生成し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- 受信が正しく行われていない。
- 最終データの受信が終わっている。
- アドレス指定した受信側が存在しない。

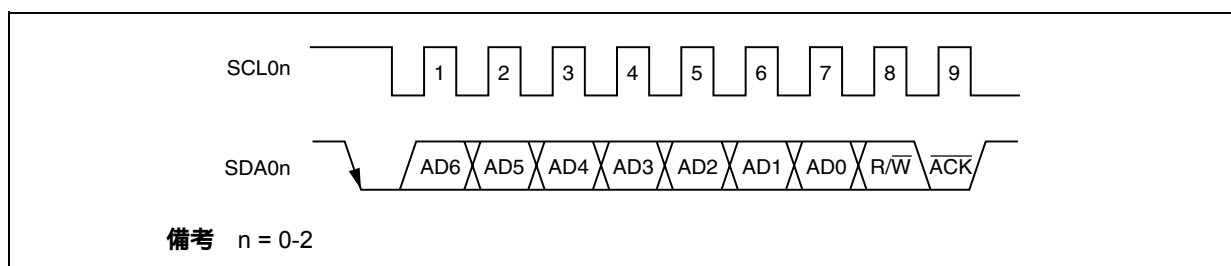
アクノリッジ生成は、受信側が9クロック目にSDA0nラインをロウ・レベルにすることによって行われます(正常受信)。

IICn.ACKEnビットをセット(1)することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICn.TRCnビットが設定されます。受信(TRCnビット = 0)の場合は、通常、ACKEnビットをセット(1)してください。

スレーブ受信動作時(TRCnビット = 0)にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEnビットをクリア(0)し、マスタ側に受信ができないことを示してください。

マスタ受信動作時(TRCnビット = 0)に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEnビットをクリア(0)してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図19 - 11 アクノリッジ



自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません(NACK)。

拡張コード受信時は、あらかじめACKEnビットをセット(1)しておくことによってアクノリッジを生成します。データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

- ・8クロック・ウェイト選択時(IICn.WTIMnビット = 0) :
ウェイト解除を行う前にACKEnビットをセット(1)することによって、SCL0n端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・ウェイト選択時(WTIMnビット = 1) :
あらかじめACKEnビットをセット(1)することによって、アクノリッジを生成します。

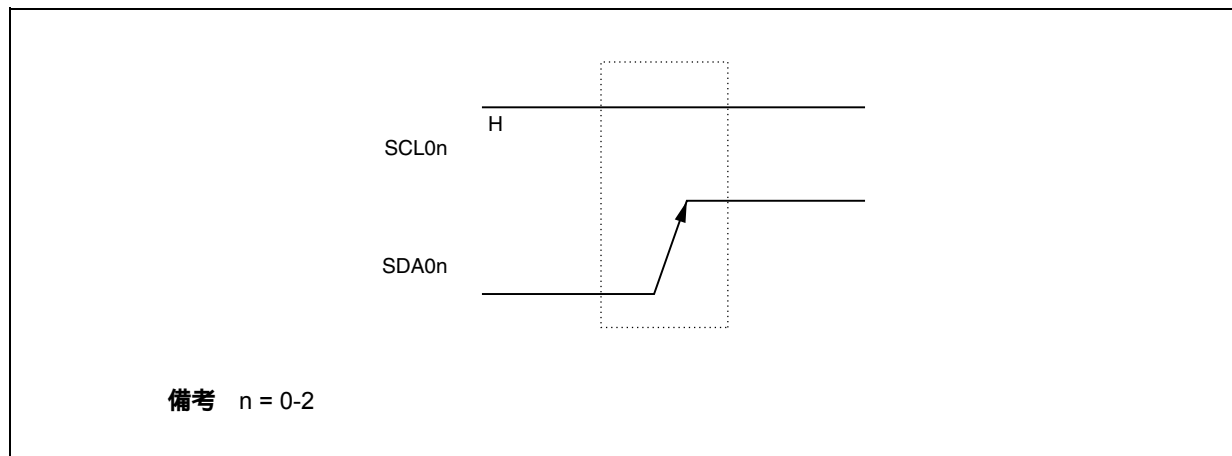
備考 n = 0-2

19.6.5 ストップ・コンディション

SCL0n端子がハイ・レベルのときに、SDA0n端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります (n = 0-2)。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図19 - 12 ストップ・コンディション



ストップ・コンディションは、IICn.SPTnビットをセット (1) すると発生します。また、ストップ・コンディションを検出するとIICn.SPnビットがセット (1) され、IICn.SPIEnビットがセット (1) されている場合には割り込み要求信号 (INTIICn) が発生します (n = 0-2)。

19.6.6 ウェイト

ウェイトは、マスタまたはスレーブがデータの送受信が準備中（ウェイト状態）であることを相手に知らせます。

SCL0n端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます（ $n = 0-2$ ）。

図19 - 13 ウェイト (1/2)

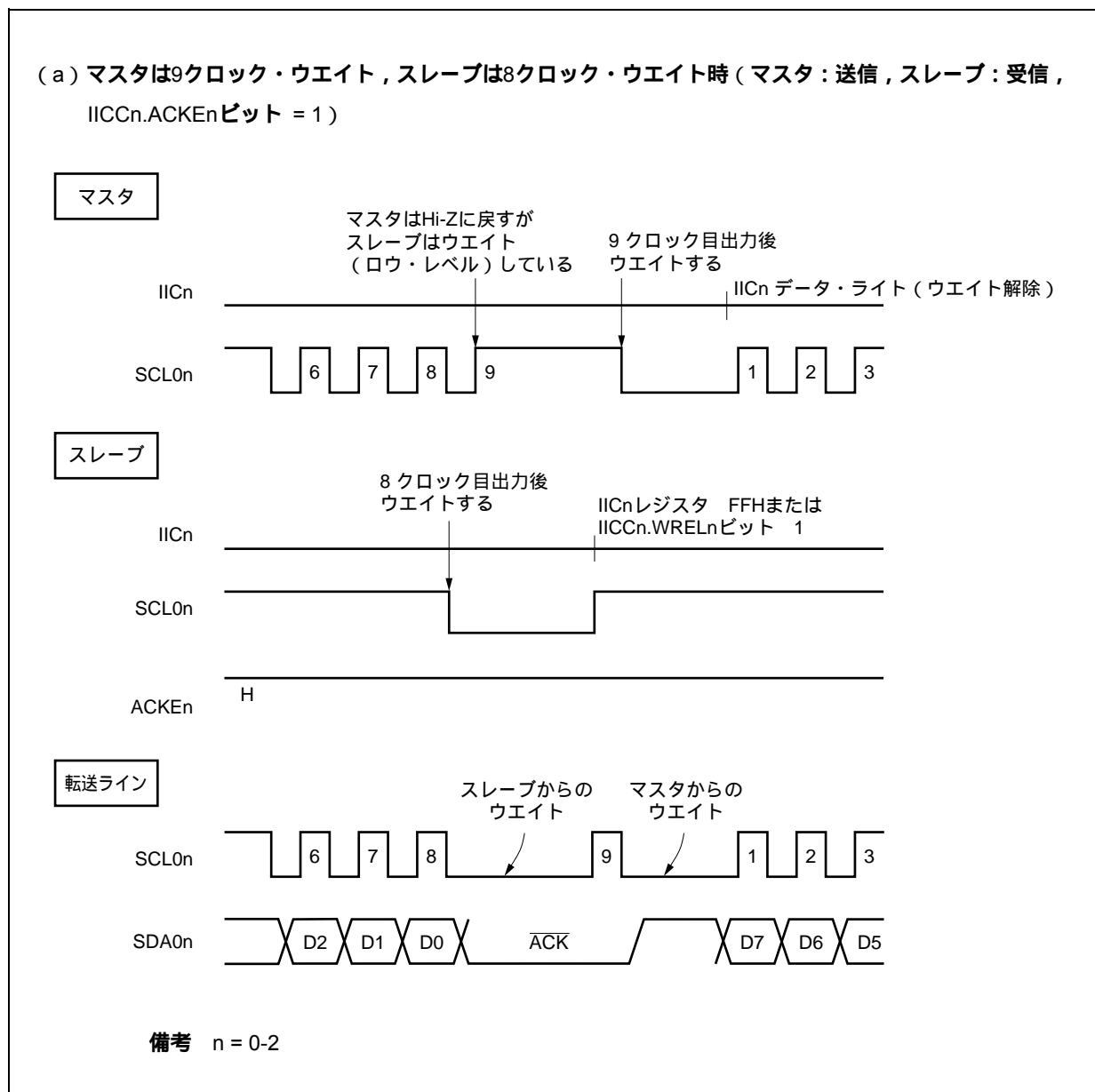
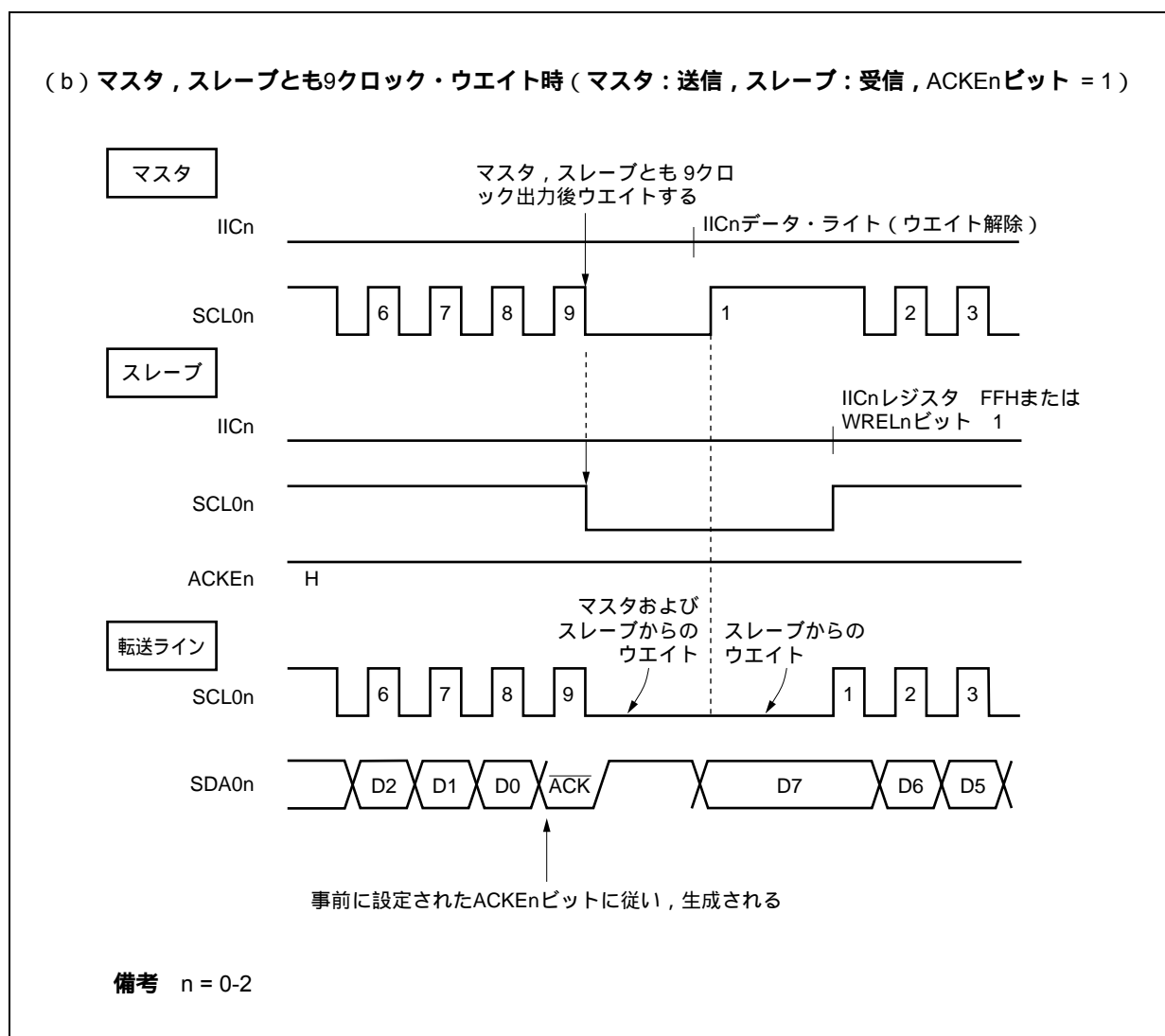


図19 - 13 ウェイト (2/2)



ウェイトは, IICn.WTIMnビットの設定により自動的に発生します (n = 0-2)。

通常, 受信側はWRELnビット = 1またはIICnレジスタ FFHライトにするとウェイトを解除し, 送信側はIICnレジスタにデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICn.STTnビット = 1
- ・ IICn.SPTnビット = 1

19.6.7 ウェイト解除方法

I²C0nでは、通常、次のような処理でウェイトを解除できます (n = 0-2)。

- ・ IICnレジスタへのデータの書き込み
- ・ IICn.WRELnビットのセット (1) (ウェイト解除)
- ・ IICn.STTnビットのセット (1) (スタート・コンディションの生成)
- ・ IICn.SPTnビットのセット (1) (ストップ・コンディションの生成)

これらのウェイト解除処理を実行した場合、I²C0nはウェイトを解除し通信が再開されます。

ウェイトを解除してデータ(アドレスを含む)を送信する場合には、IICnレジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、WRELnビットをセット(1)してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、STTnビットをセット(1)してください。

ウェイト解除後にストップ・コンディションを生成する場合には、SPTnビットをセット(1)してください。

1回のウェイト状態に対して、1回だけ解除処理を実行してください。

たとえば、WRELnビットのセット(1)によるウェイト解除後、IICnレジスタへのデータ書き込みを実施した場合には、SDA0nラインの変化タイミングとIICnレジスタへの書き込みタイミングの競合により、SDA0nラインへの出力データが間違っただけになる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICn.IICEnビットをクリア(0)すると通信を停止するので、ウェイトを解除できます。

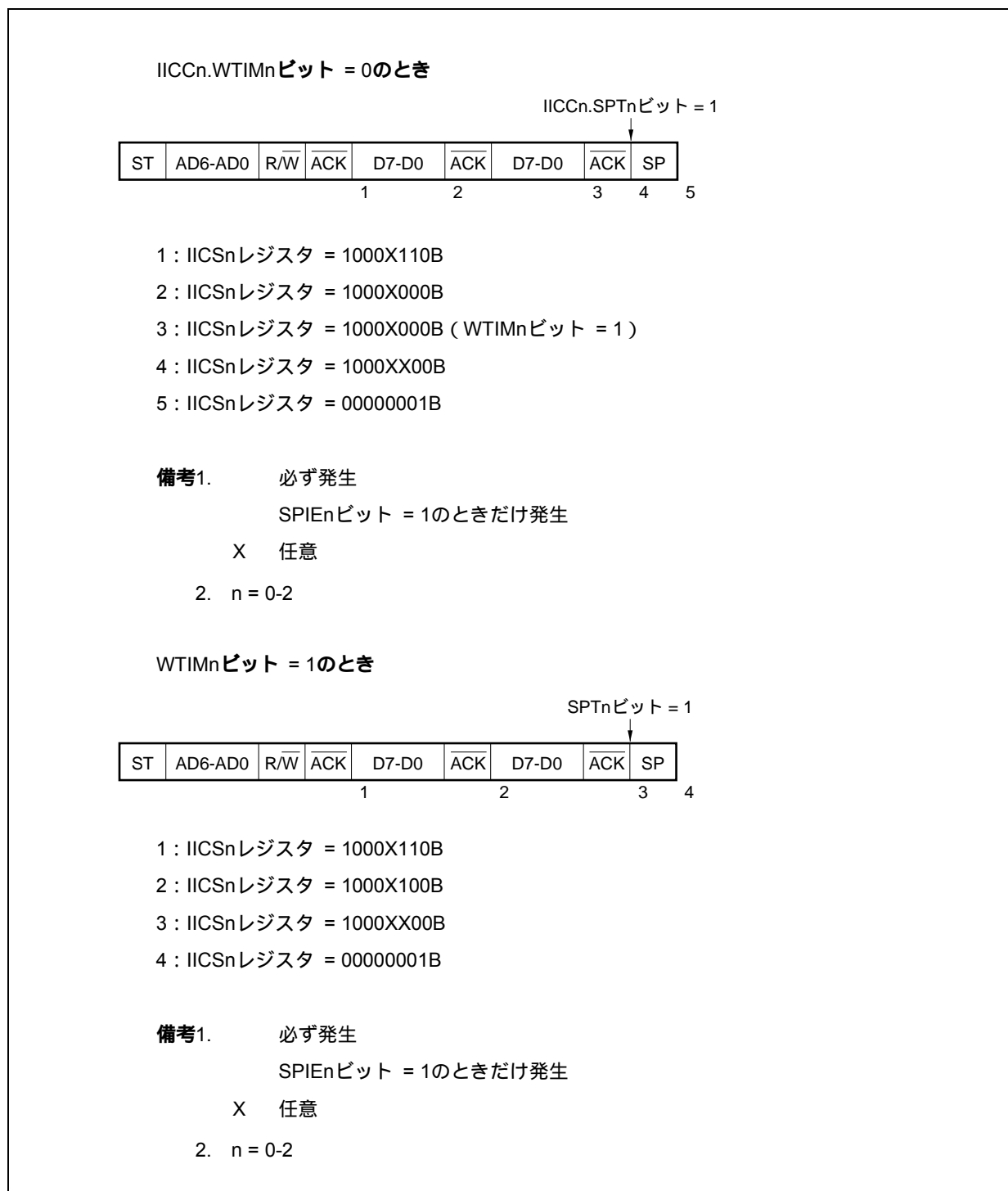
I²Cバスがノイズなどによりデッド・ロックしてしまった場合には、IICn.LRELnビットをセット(1)すると通信から退避するので、ウェイトを解除できます。

19.7 I²C 割り込み要求信号 (INTIICn)

次に、INTIICn 割り込み要求信号発生タイミングと、INTIICn 信号タイミングでの IICSn レジスタの値を示します (n = 0-2)。

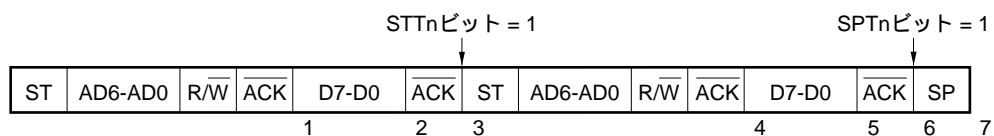
19.7.1 マスタ動作

(1) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)



(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

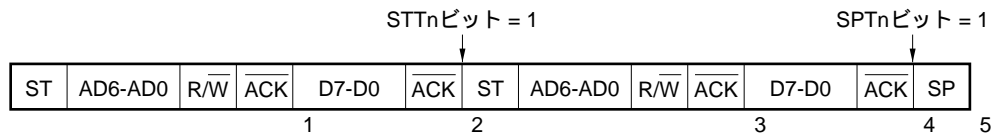
WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 3 : IICSnレジスタ = 1000XX00B (WTIMnビット = 0)
- 4 : IICSnレジスタ = 1000X110B (WTIMnビット = 0)
- 5 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 6 : IICSnレジスタ = 1000XX00B
- 7 : IICSnレジスタ = 00000001B

- 備考1.** 必ず発生
 SPIEnビット = 1のときだけ発生
 X 任意
2. n = 0-2

WTIMnビット = 1のとき

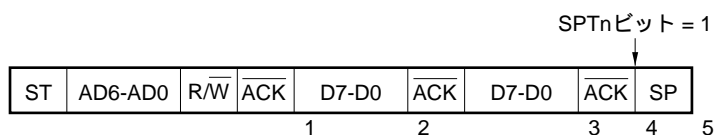


- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000XX00B
- 3 : IICSnレジスタ = 1000X110B
- 4 : IICSnレジスタ = 1000XX00B
- 5 : IICSnレジスタ = 00000001B

- 備考1.** 必ず発生
 SPIEnビット = 1のときだけ発生
 X 任意
2. n = 0-2

(3) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

WTIMnビット = 0のとき



1 : IICSnレジスタ = 1010X110B

2 : IICSnレジスタ = 1010X000B

3 : IICSnレジスタ = 1010X000B (WTIMnビット = 1)

4 : IICSnレジスタ = 1010XX00B

5 : IICSnレジスタ = 00000001B

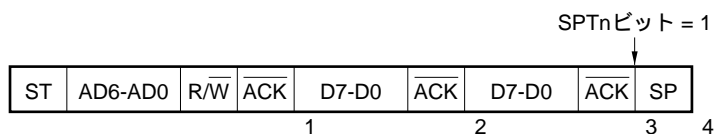
備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき



1 : IICSnレジスタ = 1010X110B

2 : IICSnレジスタ = 1010X100B

3 : IICSnレジスタ = 1010XX00B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

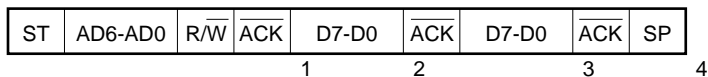
X 任意

2. n = 0-2

19.7.2 スレーブ動作 (スレーブ・アドレス・データ受信時 (アドレス一致))

(1) Start ~ Address ~ Data ~ Data ~ Stop

IICn.WTIMnビット = 0のとき



1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0001X000B

4 : IICSnレジスタ = 00000001B

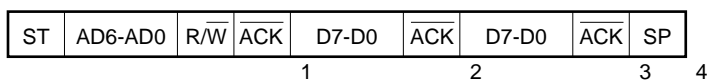
備考1. 必ず発生

IICn.SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき



1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X100B

3 : IICSnレジスタ = 0001XX00B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0001X110B

4 : IICSnレジスタ = 0001X000B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001XX00B

3 : IICSnレジスタ = 0001X110B

4 : IICSnレジスタ = 0001XX00B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0010X010B

4 : IICSnレジスタ = 0010X000B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
				1	2					3	4	5	6

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001XX00B

3 : IICSnレジスタ = 0010X010B

4 : IICSnレジスタ = 0010X110B

5 : IICSnレジスタ = 0010XX00B

6 : IICSnレジスタ = 00000001B

備考1. 必ず発生

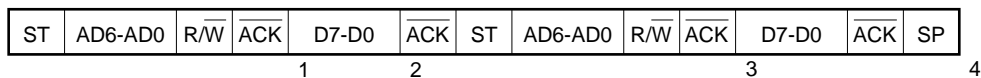
SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 00000X10B

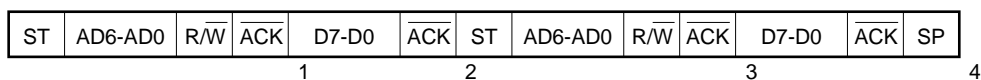
4 : IICSnレジスタ = 00000001B

備考1. 必ず発生
SPIEnビット = 1 のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001XX00B

3 : IICSnレジスタ = 00000X10B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生
SPIEnビット = 1 のときだけ発生

X 任意

2. n = 0-2

19.7.3 スレーブ動作 (拡張コード受信時)

(1) Start ~ Code ~ Data ~ Data ~ Stop

IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0010X000B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

IICn.SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1	2		3		4
								5

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010X100B

4 : IICSnレジスタ = 0010XX00B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2					3	4	5

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0001X110B

4 : IICSnレジスタ = 0001X000B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1	2		3				4		5 6

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010XX00B

4 : IICSnレジスタ = 0001X110B

5 : IICSnレジスタ = 0001XX00B

6 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2				3		4	5

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0010X010B

4 : IICSnレジスタ = 0010X000B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
			1	2		3			4	5		6	7

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010XX00B

4 : IICSnレジスタ = 0010X010B

5 : IICSnレジスタ = 0010X110B

6 : IICSnレジスタ = 0010XX00B

7 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2					3		4

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 00000X10B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1 のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1	2		3				4		5

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010XX00B

4 : IICSnレジスタ = 00000X10B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1 のときだけ発生

X 任意

2. n = 0-2

19.7.4 通信不参加の動作

(1) Start ~ Code ~ Data ~ Data ~ Stop

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
----	---------	-----	-----	-------	-----	-------	-----	----

1

1 : IICSnレジスタ = 00000001B

備考1. SPIEnビット = 1のときだけ発生

2. n = 0-2

19.7.5 アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICSnレジスタ = 0101X110B (例 割り込み処理中にIICSn.ALDnビットをリード)

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0001X000B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

IICn.SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICSnレジスタ = 0101X110B (例 割り込み処理中にALDnビットをリード)

2 : IICSnレジスタ = 0001X100B

3 : IICSnレジスタ = 0001XX00B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(2) 拡張コード送信中にアービトレーションに負けた場合

WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICSnレジスタ = 0110X010B (例 割り込み処理中にALDnビットをリード)

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0010X000B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP	
			1	2		3		4	5

1 : IICSnレジスタ = 0110X010B (例 割り込み処理中にALDnビットをリード)

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010X100B

4 : IICSnレジスタ = 0010XX00B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

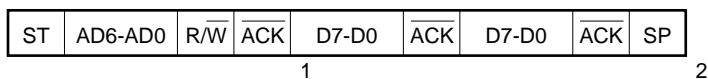
SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

19.7.6 アービトレーション負けの動作(アービトレーション負けのあと,不参加)

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合



1 : IICSnレジスタ = 01000110B (例 割り込み処理中にIICSn.ALDnビットをリード)

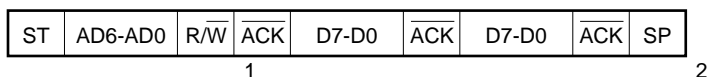
2 : IICSnレジスタ = 00000001B

備考1. 必ず発生

IICn.SPIEnビット = 1のときだけ発生

2. n = 0-2

(2) 拡張コード送信中にアービトレーションに負けた場合



1 : IICSnレジスタ = 0110X010B (例 割り込み処理中にALDnビットをリード)

ソフトウェアでIICn.LRELnビット = 1を設定

2 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(3) データ転送時にアービトレーションに負けた場合

IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICSnレジスタ = 10001110B

2 : IICSnレジスタ = 01000000B (例 割り込み処理中にALDnビットをリード)

3 : IICSnレジスタ = 00000001B

備考1. 必ず発生
SPIEnビット = 1のときだけ発生

2. n = 0-2

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICSnレジスタ = 10001110B

2 : IICSnレジスタ = 01000100B (例 割り込み処理中にALDnビットをリード)

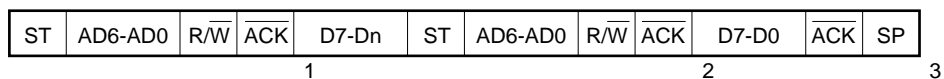
3 : IICSnレジスタ = 00000001B

備考1. 必ず発生
SPIEnビット = 1のときだけ発生

2. n = 0-2

(4) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 アドレス不一致)



1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 01000110B (例 割り込み処理中にALDnビットをリード)

3 : IICSnレジスタ = 00000001B

備考1. 必ず発生

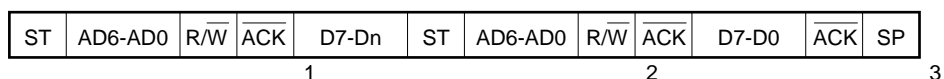
SPIEnビット = 1のときだけ発生

X 任意

Dn = D6-D0

2. n = 0-2

拡張コード



1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 0110X010B (例 割り込み処理中にALDnビットをリード)

ソフトウェアでIICn.LRELnビット = 1を設定

3 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

Dn = D6-D0

2. n = 0-2

(5) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
			1		2

1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 01000001B

備考1. 必ず発生
 SPIEnビット = 1のときだけ発生

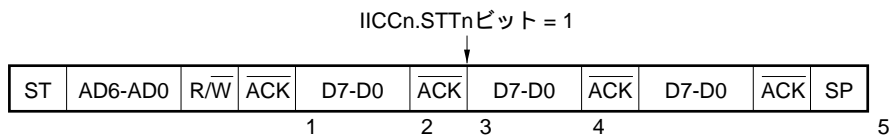
X 任意

2. Dn = D6-D0

n = 0-2

(6) リスタート・コンディションを発生しようとしたが、SDA_n端子がロウ・レベルでアービトレーションに負けた場合

WTIM_nビット = 0のとき



1 : IIC_nレジスタ = 1000X110B

2 : IIC_nレジスタ = 1000X000B (WTIM_nビット = 1)

3 : IIC_nレジスタ = 1000XX00B (WTIM_nビット = 0)

4 : IIC_nレジスタ = 01000000B (例 割り込み処理中にALD_nビットをリード)

5 : IIC_nレジスタ = 00000001B

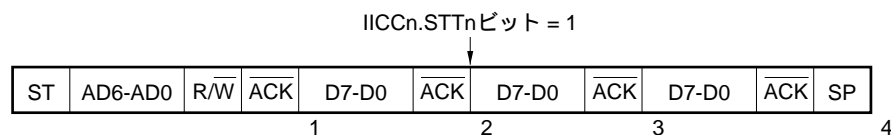
備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIM_nビット = 1のとき



1 : IIC_nレジスタ = 1000X110B

2 : IIC_nレジスタ = 1000XX00B

3 : IIC_nレジスタ = 01000100B (例 割り込み処理中にALD_nビットをリード)

4 : IIC_nレジスタ = 00000001B

備考1. 必ず発生

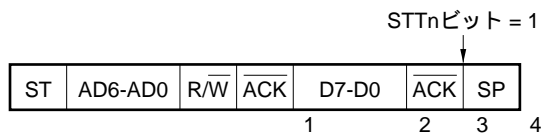
SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(7) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

WTIMnビット = 0 のとき



1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)

3 : IICSnレジスタ = 1000XX00B

4 : IICSnレジスタ = 01000001B

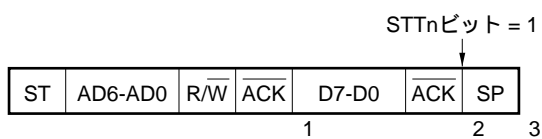
備考1. 必ず発生

SPIEnビット = 1 のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1 のとき



1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 1000XX00B

3 : IICSnレジスタ = 01000001B

備考1. 必ず発生

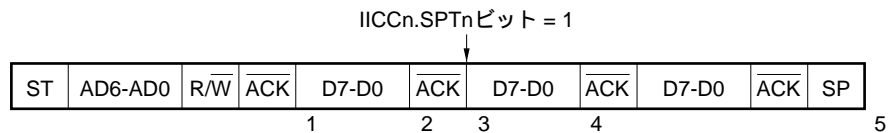
SPIEnビット = 1 のときだけ発生

X 任意

2. n = 0-2

(8) ストップ・コンディションを発生しようとしたが、SDA0n端子がロウ・レベルでアービトレーションに負けた場合

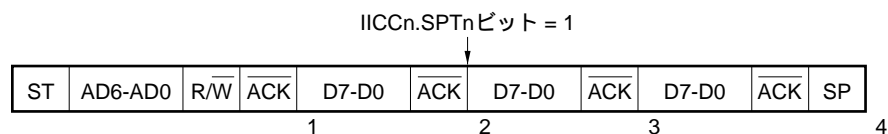
WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 3 : IICSnレジスタ = 1000XX00B (WTIMnビット = 0)
- 4 : IICSnレジスタ = 01000000B (例 割り込み処理中にALDnビットをリード)
- 5 : IICSnレジスタ = 00000001B

- 備考1.** 必ず発生
SPIEnビット = 1のときだけ発生
X 任意
2. n = 0-2

WTIMnビット = 1のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000XX00B
- 3 : IICSnレジスタ = 01000000B (例 割り込み処理中にALDnビットをリード)
- 4 : IICSnレジスタ = 00000001B

- 備考1.** 必ず発生
SPIEnビット = 1のときだけ発生
X 任意
2. n = 0-2

19.8 割り込み要求信号 (INTIICn) 発生タイミングおよびウェイト制御

IICn.WTIMnビットの設定で、次に示すタイミングでINTIICn信号が発生して、ウェイト制御を行います (n = 0-2)。

表19-3 INTIICn信号発生タイミングおよびウェイト制御

WTIMnビット	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIICn信号およびウェイトは、SVAnレジスタに設定しているアドレスと一致したときのみ、9クロック目の立ち下がりが発生します。

また、このとき、IICn.ACKEnビットの設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりINTIICn信号を発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりINTIICn信号を発生しますが、ウェイトは発生しません。

2. SVAnレジスタと受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICn信号もウェイトも発生しません。

備考1. 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

2. n = 0-2

(1) アドレス送受信時

- ・スレーブ動作時：WTIMnビットにかかわらず、上記の注1、注2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がり発生します。

(2) データ受信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICn.WRELnビット = 1
- ・ IICnレジスタのライト動作
- ・ スタート・コンディションのセット (IICn.STTnビット = 1)^注
- ・ ストップ・コンディションのセット (IICn.SPTnビット = 1)^注

注 マスタのみ

8クロック・ウェイト選択 (WTIMnビット = 0) 時は, ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

備考 n = 0-2

(5) ストップ・コンディション検出

ストップ・コンディションを検出すると, INTIICn信号を発生します。

備考 n = 0-2

19.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。SVAnレジスタに自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVAnレジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICn信号が発生します (n = 0-2)。

19.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス端子 (SDA0n) の状態が、送信しているデバイスのIICnレジスタにも取り込まれるため、送信開始前と送信終了後のIICnレジスタのデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します (n = 0-2)。

19.11 拡張コード

- (1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (IICSn.EXCnビット) をセットし、8クロック目の立ち上がりで割り込み要求信号 (INTIICn) を発生します (n = 0-2)。

SVAnレジスタに格納された自局アドレスは影響しません。

- (2) 10ビット・アドレス転送で、SVAnレジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIICn信号は、8クロック目の立ち上がりで発生します (n = 0-2)。

上位4ビット・データの一致 : EXCnビット = 1

7ビット・データの一致 : IICSn.COInビット = 1

- (3) 割り込み要求信号発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行いません。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICn.LRELnビット = 1に設定し、次の通信待機状態となります。

表19-4 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行)

備考 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

19.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（IICSn.STDnビット = 1になる前に IICn.STTnビット = 1にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます（n = 0-2）。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、アービトレーション負けフラグ（IICSn.ALDnビット）をセット（1）し、SCL0n, SDA0nラインともハイ・インピーダンス状態にしてバスを解放します（n = 0-2）。

アービトレーションに負けたことは、次の割り込み要求信号（INTIICn）発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアでALDnビット = 1になっていることで検出します（n = 0-2）。

割り込み発生タイミングについては、19.7 I²C 割り込み要求信号（INTIICn）を参照してください。

図19 - 14 アービトレーション・タイミング例

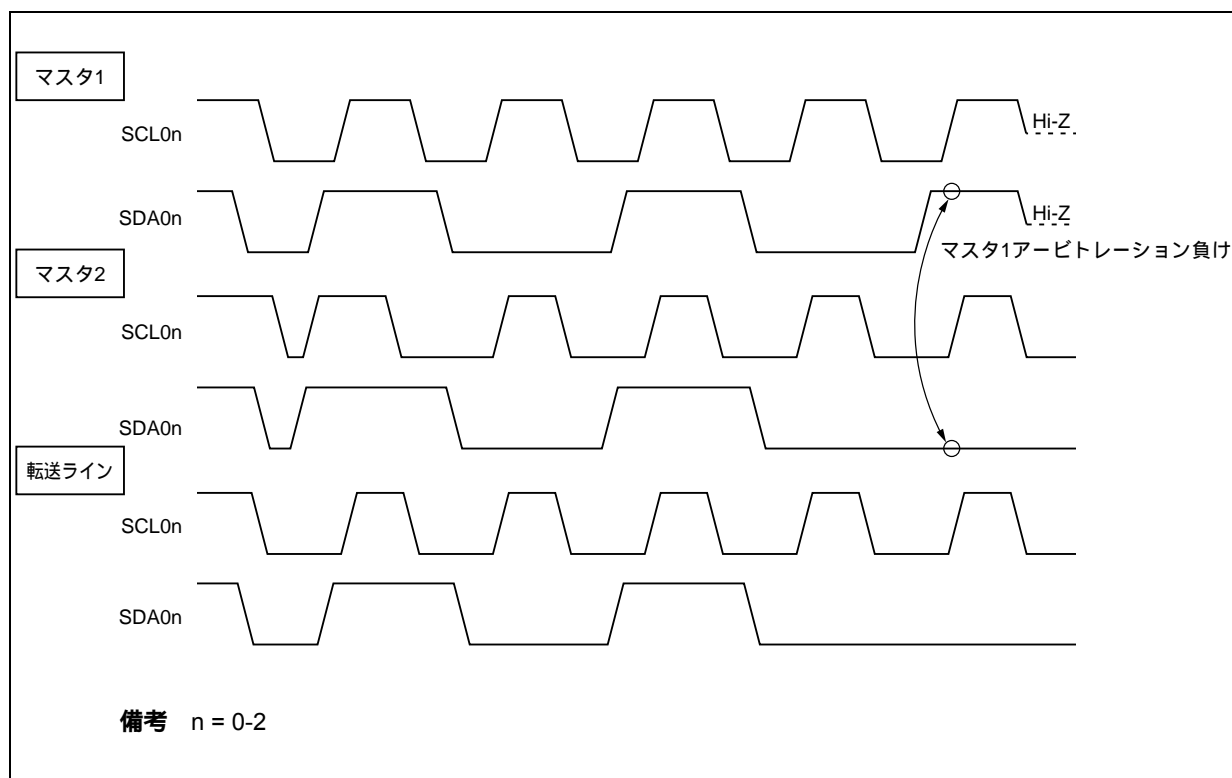


表 19 - 5 アービトレーション発生時の状態と割り込み要求信号発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (IICn.SPIEnビット = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがSDA0n端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIEnビット = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがSDA0n端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCL0n端子がロウ・レベル	

- 注1. IICn.WTIMnビット = 1の場合には, 9クロック目の立ち下がりタイミングでINTIICn信号を発生します。WTIMnビット = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングでINTIICn信号を発生します (n = 0-2)。
2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIEnビット = 1にしてください (n = 0-2)。

19. 13 ウェイク・アップ機能

I²Cバスのスレーブ機能で, 自局アドレスまたは拡張コードを受信したときに割り込み要求信号 (INTIICn) が発生する機能です。アドレスが一致しないときは不要なINTIICn信号を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイク・アップ機能に関係なく, IICn.SPIEnビットの設定によって, INTIICn信号の発生許可/禁止が決定します (n = 0-2)。

19. 14 通信予約

19. 14. 1 通信予約機能許可の場合 (IICFn.IICRSVnビット = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず, IICn.LRELnビット = 1でバスを解放した)とき (n = 0-2)

バスに不参加の状態、IICn.STTnビットをセット(1)すると、バスが解放されたあと(ストップ・コンディション検出後)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

バスの解放を検出(ストップ・コンディション検出)すると、IICnレジスタ・ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICn.SPIEnビットをセット(1)しておいてください(n = 0-2)。

STTnビットをセット(1)したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます(n = 0-2)。

バスが解放されているとき スタート・コンディション生成
 バスが解放されていないとき(待機状態) .. 通信予約

通信予約として動作するのかどうかを確認するには、STTnビットをセット(1)し、ウェイト時間をとったあと、IICSn.MSTSnnビットを確認することで行います(n = 0-2)。

ウェイト時間は、表19 - 6に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICLn.SMCn, CLn1, CLn0ビットと、IICXn.CLXnビットにより設定できます(n = 0-2)。

表19 - 6 ウェイト時間

選択クロック	CLXn	SMCn	CLn1	CLn0	ウェイト時間
f _{xx} /6 (OCKSm = 11H)	0	0	0	0	156クロック
f _{xx} /8 (OCKSm = 12H)	0	0	0	0	208クロック
f _{xx} /10 (OCKSm = 13H)	0	0	0	0	260クロック
f _{xx} /4 (OCKSm = 10H)	0	0	0	1	188クロック
f _{xx} /6 (OCKSm = 11H)	0	0	0	1	282クロック
f _{xx} /8 (OCKSm = 12H)	0	0	0	1	376クロック
f _{xx} /10 (OCKSm = 13H)	0	0	0	1	470クロック
f _{xx} /4 (OCKSm = 10H)	0	0	1	1	148クロック
f _{xx} /6 (OCKSm = 11H)	0	0	1	1	222クロック
f _{xx} /4 (OCKSm = 10H)	0	1	0	×	64クロック
f _{xx} /6 (OCKSm = 11H)	0	1	0	×	96クロック
f _{xx} /8 (OCKSm = 12H)	0	1	0	×	128クロック
f _{xx} /10 (OCKSm = 13H)	0	1	0	×	160クロック
f _{xx} /4 (OCKSm = 10H)	0	1	1	1	52クロック
f _{xx} /6 (OCKSm = 11H)	0	1	1	1	78クロック
f _{xx} /6 (OCKSm = 11H)	1	1	0	×	60クロック
f _{xx} /8 (OCKSm = 12H)	1	1	0	×	80クロック
f _{xx} /10 (OCKSm = 13H)	1	1	0	×	100クロック

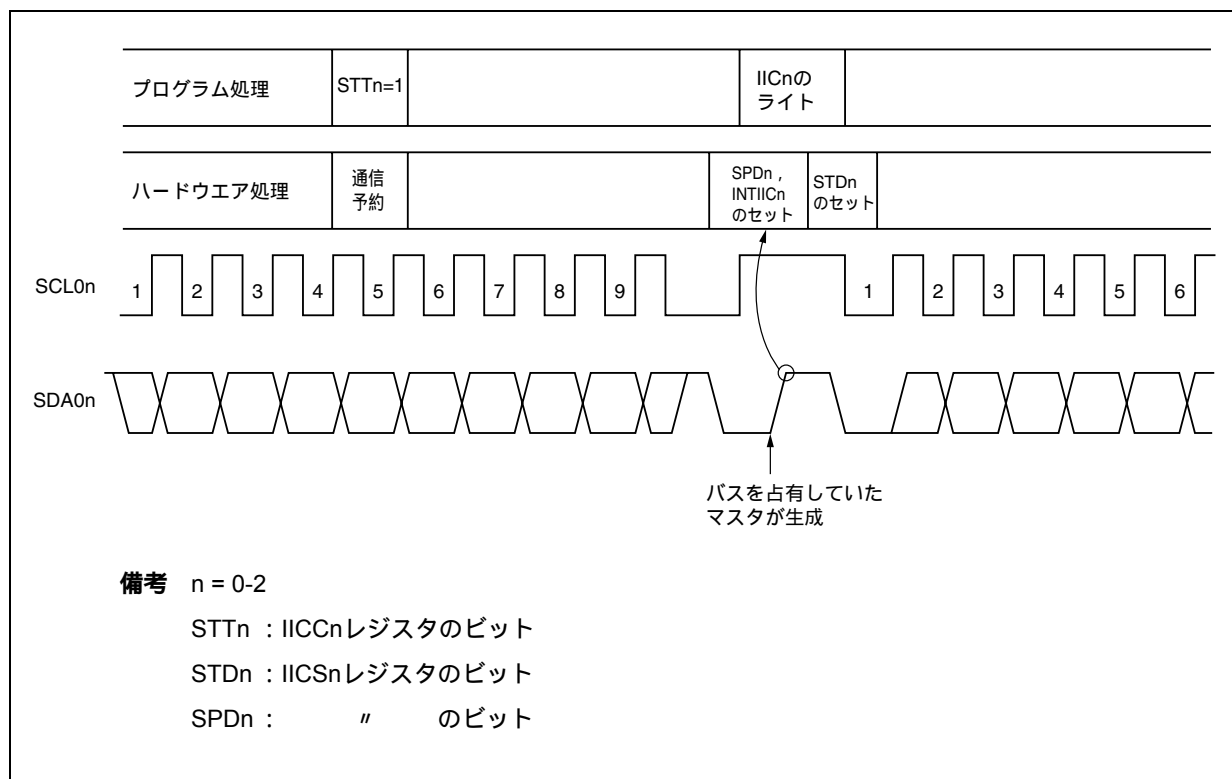
備考1. m = 0, 1

n = 0-2

2. x = Don't care

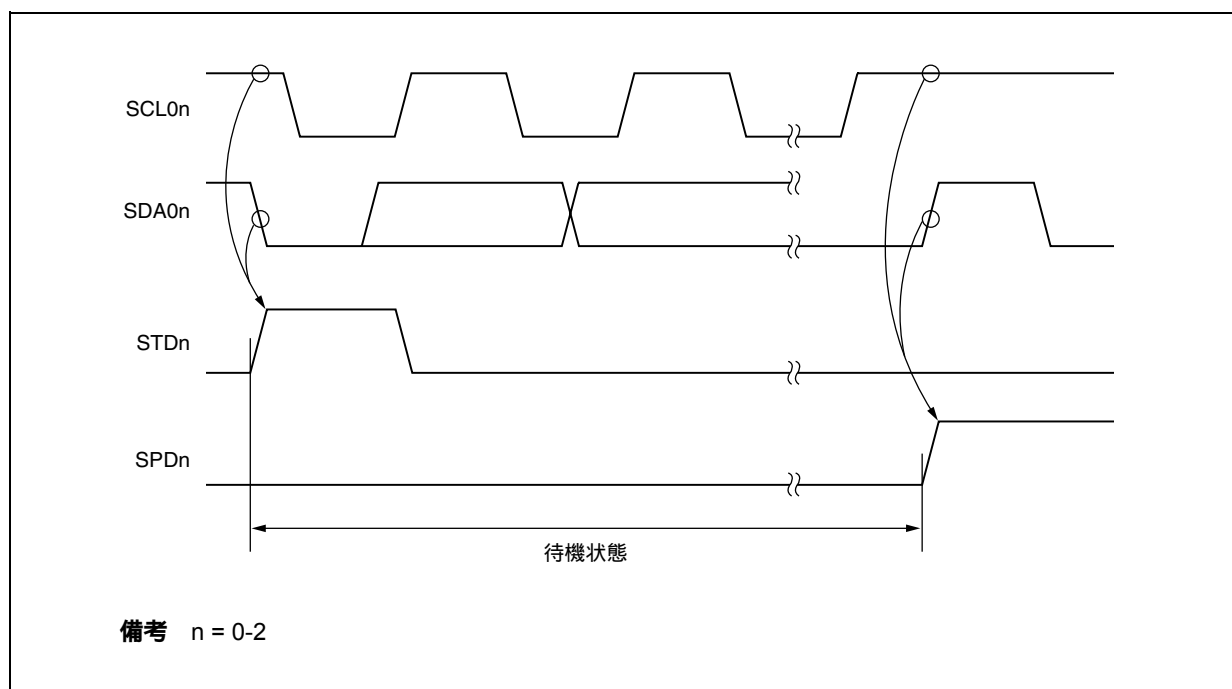
通信予約のタイミングを次に示します。

図19 - 15 通信予約のタイミング



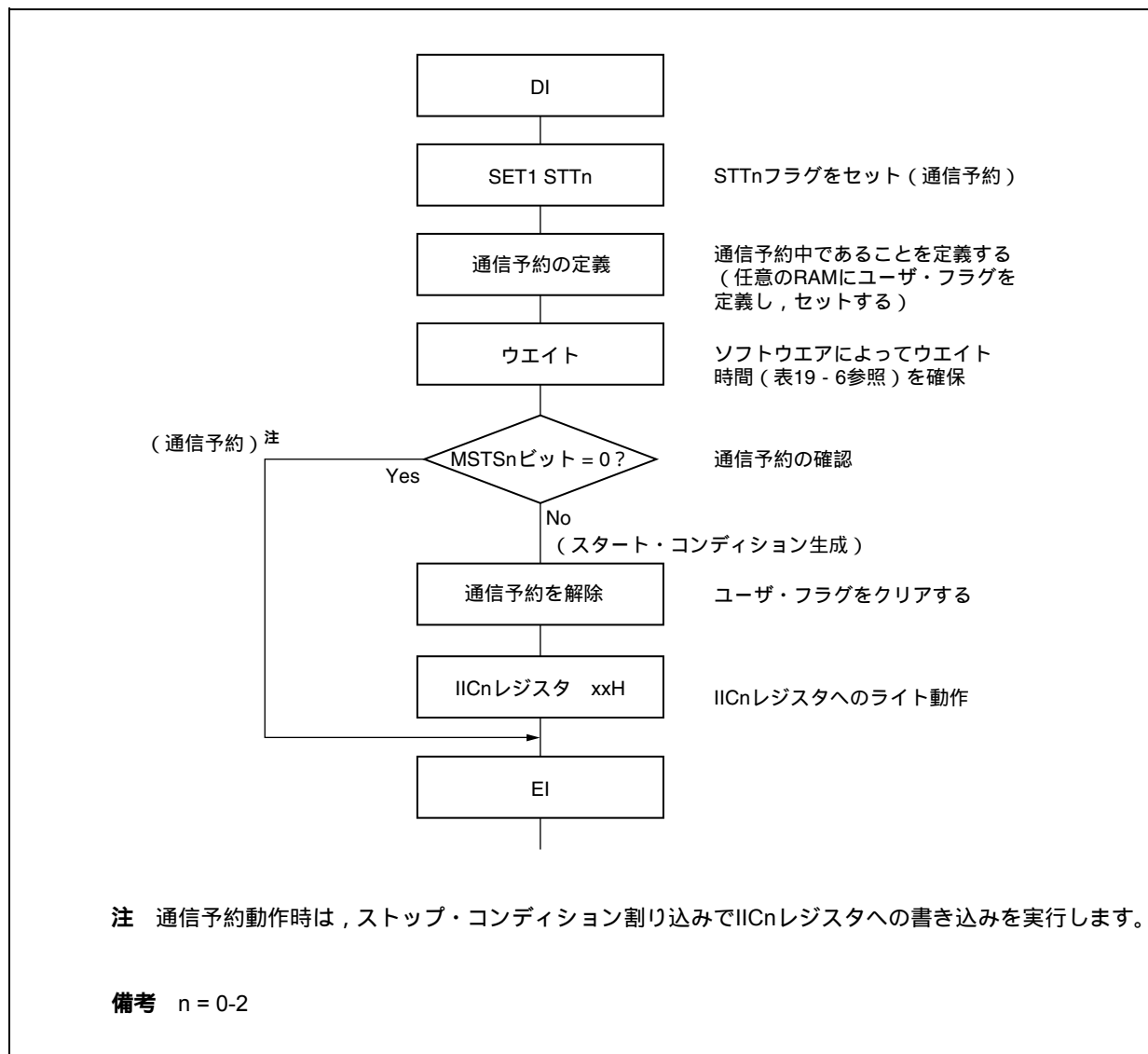
通信予約は次のタイミングで受け付けられます。IICSn.STDnビット = 1になったあと、ストップ・コンディション検出までにIICn.STTnビット = 1で通信予約をします (n = 0-2)。

図19 - 16 通信予約受け付けタイミング



次に通信予約の手順を示します。

図19 - 17 通信予約の手順



19. 14. 2 通信予約機能禁止の場合 (IICFn.IICRSVnビット = 1)

バスが通信中で、この通信に不参加の状態では IICFn.STTn ビットをセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクリッジを返さず、IICFn.LRELn ビット = 1 でバスを解放した) とき (n = 0-2)。

スタート・コンディションが生成されたか拒絶されたを確認するには、IICFn.STCFn フラグを確認することにより行います。STTn ビット = 1 としてから STCFn フラグがセットされるまで表 19 - 7 に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表 19 - 7 ウェイト時間

OCKSENm	OCKSm1	OCKSm0	CLn1	CLn0	ウェイト時間
1	0	0	0	X	20クロック
1	0	1	0	X	30クロック
1	1	0	0	X	40クロック
1	1	1	0	X	50クロック
0	0	0	1	0	10クロック

備考1. X : Don't care

2. n = 0-2

m = 0, 1

19. 15 注意事項

(1) IICFn.STCENnビット = 0の場合

I²C0n動作許可直後、実際のバス状態にかかわらず通信状態 (IICFn.IICBSYnビット = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

ストップ・コンディションの生成は次の順番で行ってください。

IICCLnレジスタの設定

IICCn.IICEnビットのセット

IICCn.SPTnビットのセット

(2) IICFn.STCENnビット = 1の場合

I²C0n動作許可直後、実際のバス状態にかかわらず解放状態 (IICBSYnビット = 0) と認識しますので、1回目のスタート・コンディションを生成 (IICCn.STTnビット = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) ほかのデバイス同士の通信中にV850ES/JG3-U, V850ES/JH3-UのIICCn.IICEnビットをセット (1) した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICCn.IICEnビットのセット (1) は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。

(4) 動作許可 (IICCn.IICEnビット = 1) する前にIICCLn, IICXn, OCKSmレジスタで動作クロック周波数を決定してください。動作クロック周波数を変更する場合は、一度IICCn.IICEnビットをクリア (0) してください。

(5) IICCn.STTn, SPTnビットをセット (1) したあと、クリア (0) される前の再セットは禁止します。

(6) 送信予約をした場合には、IICCn.SPIEnビットをセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI²Cnに通信データをライトすることによってウェイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでIICSn.MSTSnビットを検出する場合には、SPIEnビットをセット (1) する必要はありません。

備考 n = 0-2

m = 0, 1

19.16 通信動作

ここでは、次の 3 つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²C_n バスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかが I²C バスの仕様だけでは判断できません。ここでは、一定(1 フレーム) 期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I²C_n バスのスレーブとして使用する場合の例を示します。

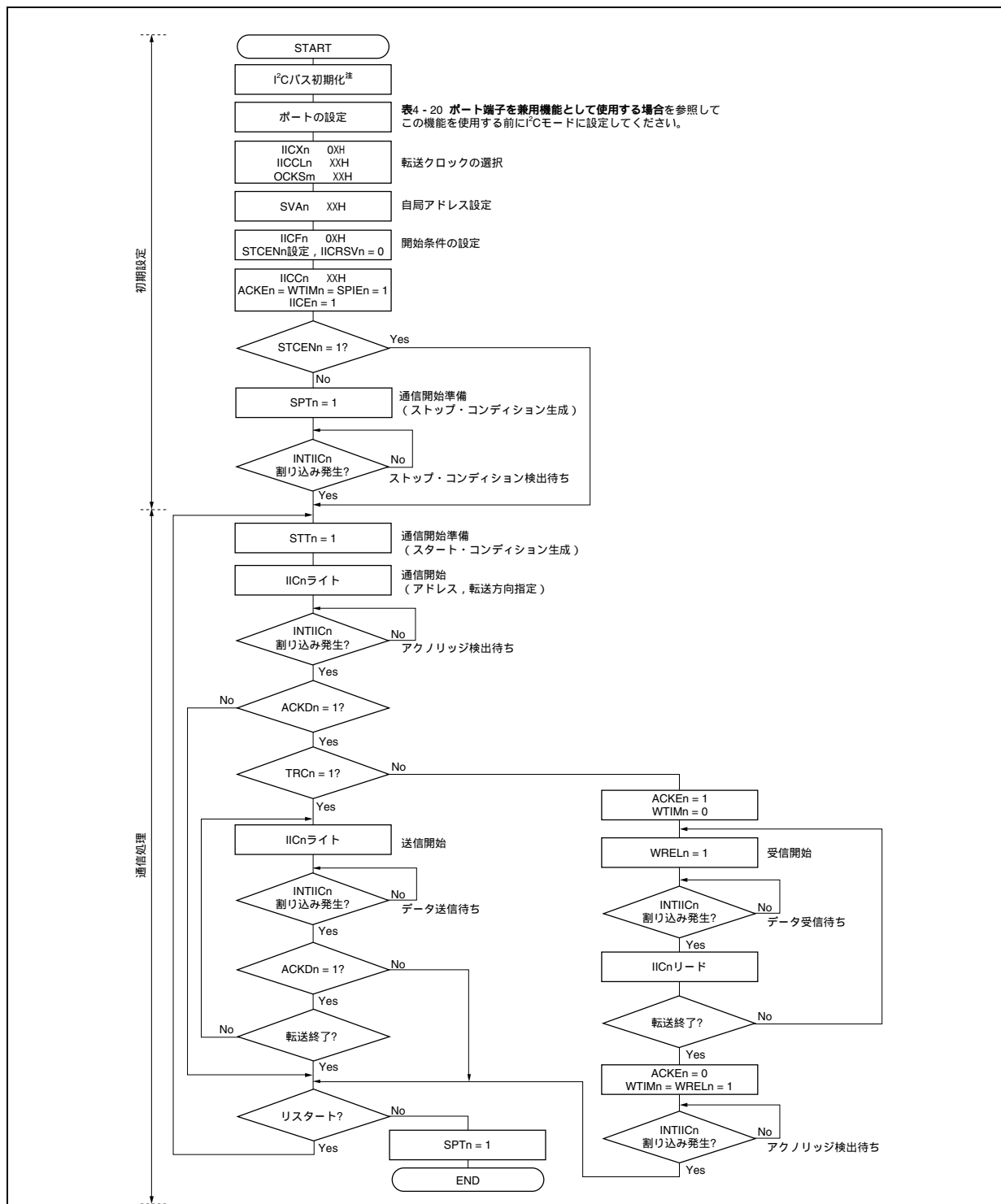
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちで INTIIC_n 割り込みの発生を待ちます。INTIIC_n 割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

備考 n = 0-2

19. 16. 1 シングルマスタ・システムでのマスタ動作

図19 - 18 シングルマスタ・システムでのマスタ動作



注 通信している製品の仕様に準拠し、I²C0nバスを解放 (SCL0n, SDA0n端子 = ハイ・レベル) してください。たとえば、EEPROM[®]がSDA0n端子にロウ・レベルを出力した状態であれば、SCL0n端子を出力ポートに設定し、SDA0n端子が定期的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
 2. n = 0-2, m = 0, 1

19. 16. 2 マルチマスタ・システムでのマスタ動作

図19 - 19 マルチマスタ・システムでのマスタ動作 (1/3)

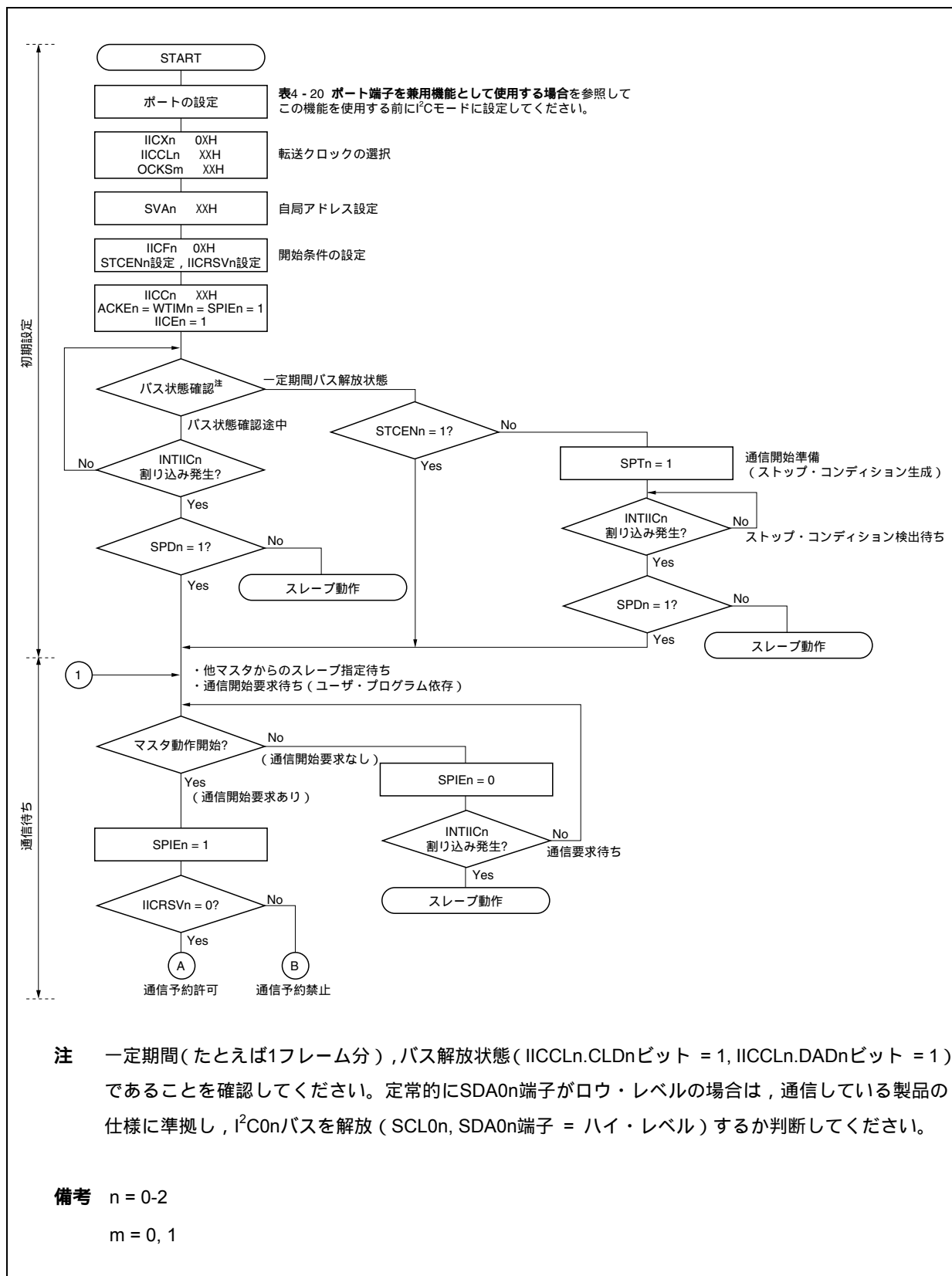


図19 - 19 マルチマスタ・システムでのマスタ動作 (2/3)

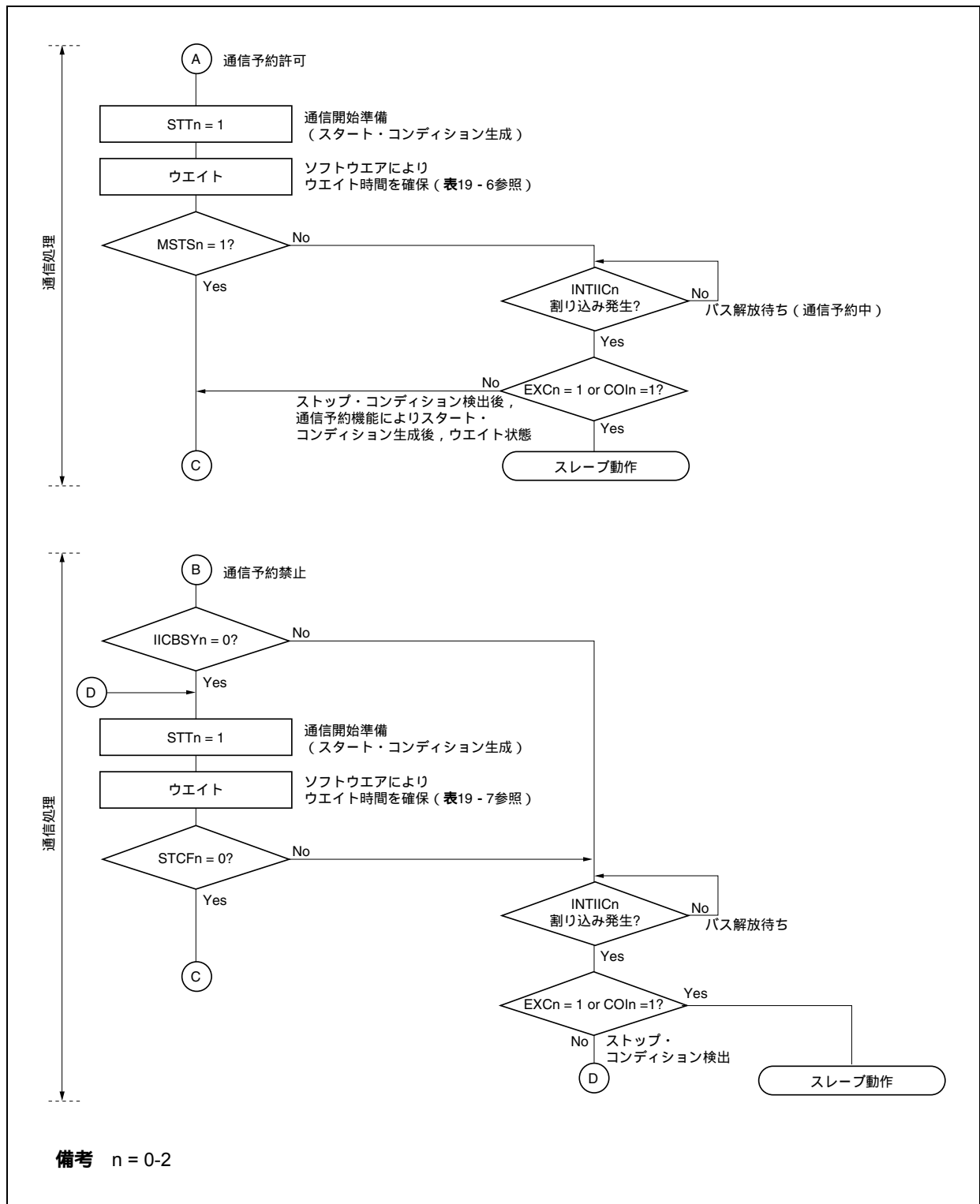
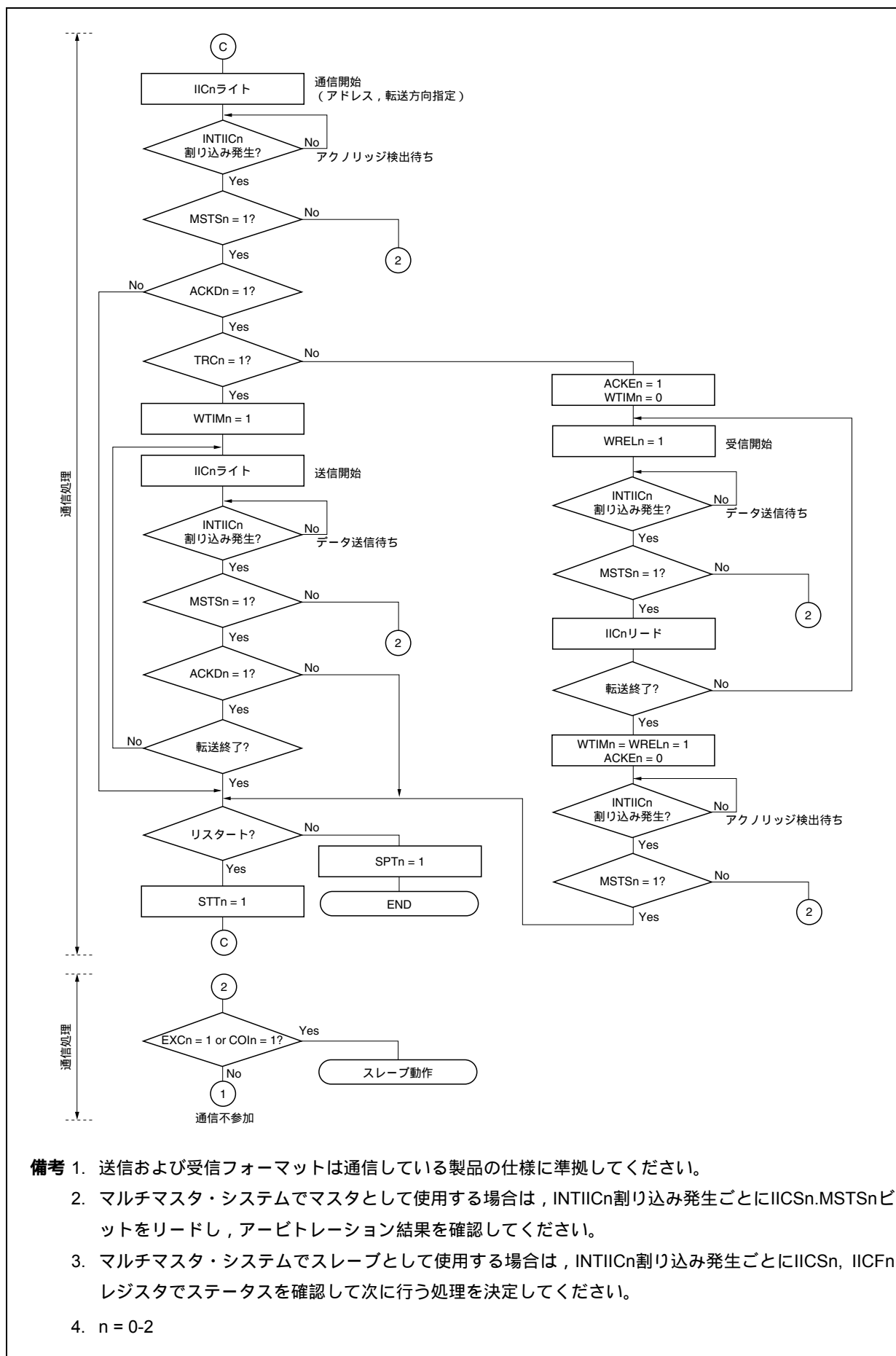


図19 - 19 マルチマスタ・システムでのマスタ動作 (3/3)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

2. マルチマスタ・システムでマスタとして使用する場合は、INTIICn割り込み発生ごとにIICSn.MSTSnビットをリードし、アービトレーション結果を確認してください。

3. マルチマスタ・システムでスレープとして使用する場合は、INTIICn割り込み発生ごとにIICSn, IICFnレジスタでステータスを確認して次に行う処理を決定してください。

4. n = 0-2

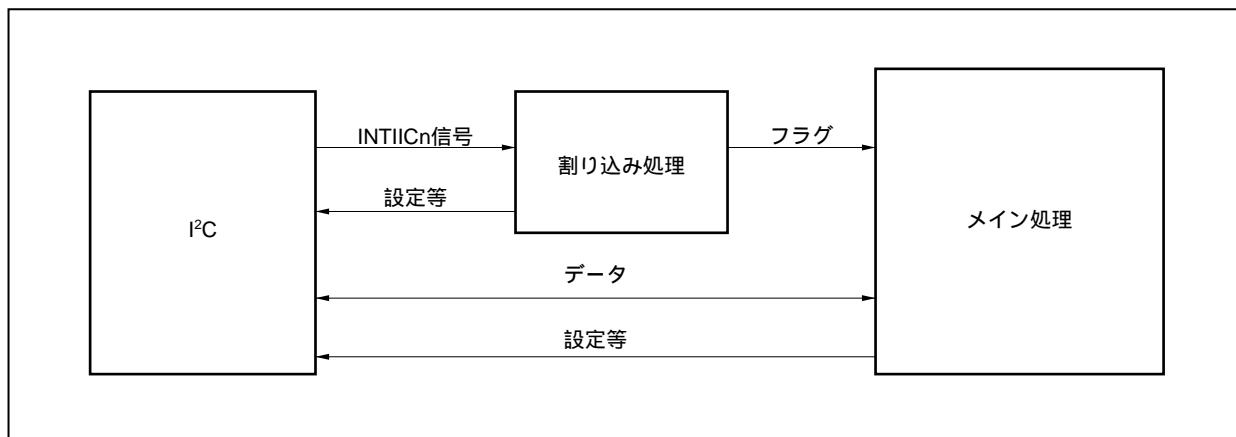
19. 16. 3 スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。

図19 - 20 スレーブ動作時のソフトウェア概要



このため、3つのフラグを準備し、これをINTIICn信号の代わりにメイン処理に渡すことでデータ転送処理を行います。

(1) 通信モード・フラグ

次の2つの通信状態を示します。

クリア・モード : データ通信を行っていない状態

通信モード : データの通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

(2) レディ・フラグ

データ通信が可能になったことを示します。通常のデータ転送ではINTIICn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータについては、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

(3) 通信方向フラグ

通信の方向を示すフラグで、IICSn.TRCnビットの値と同じです。

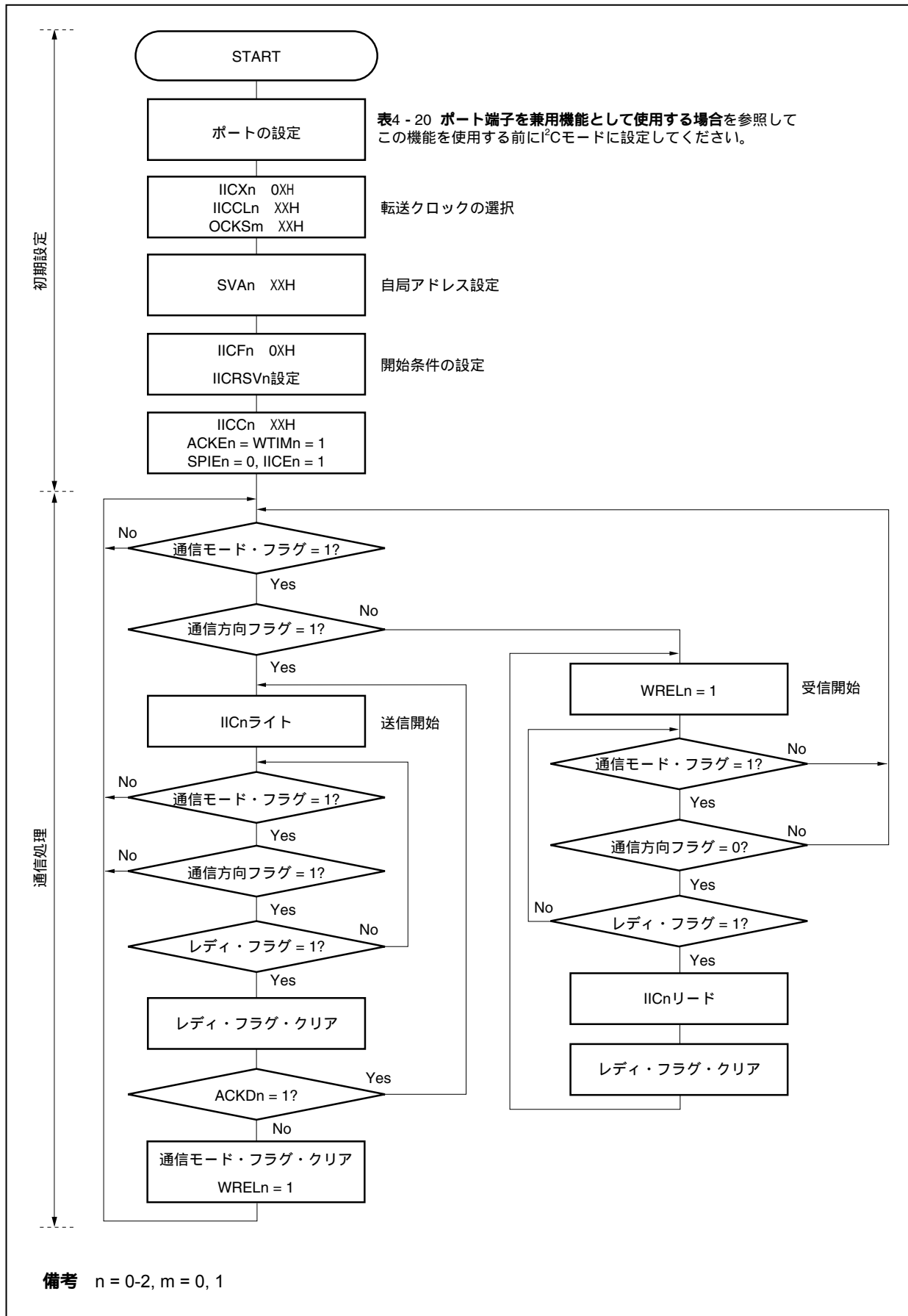
次にスレーブ動作でのメイン処理部の動作を示します。

I²C0nを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って転送を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで確認します）。

送信ではマスタからアクノリッジが来なくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら転送を完了します。

受信では必要な数のデータを受信し、転送完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを発行します。これにより、通信状態から抜け出します。

図19 - 21 スレーブ動作手順 (1)



スレーブのINTIICn割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICn割り込みではステータスを確認して、次のように行います。

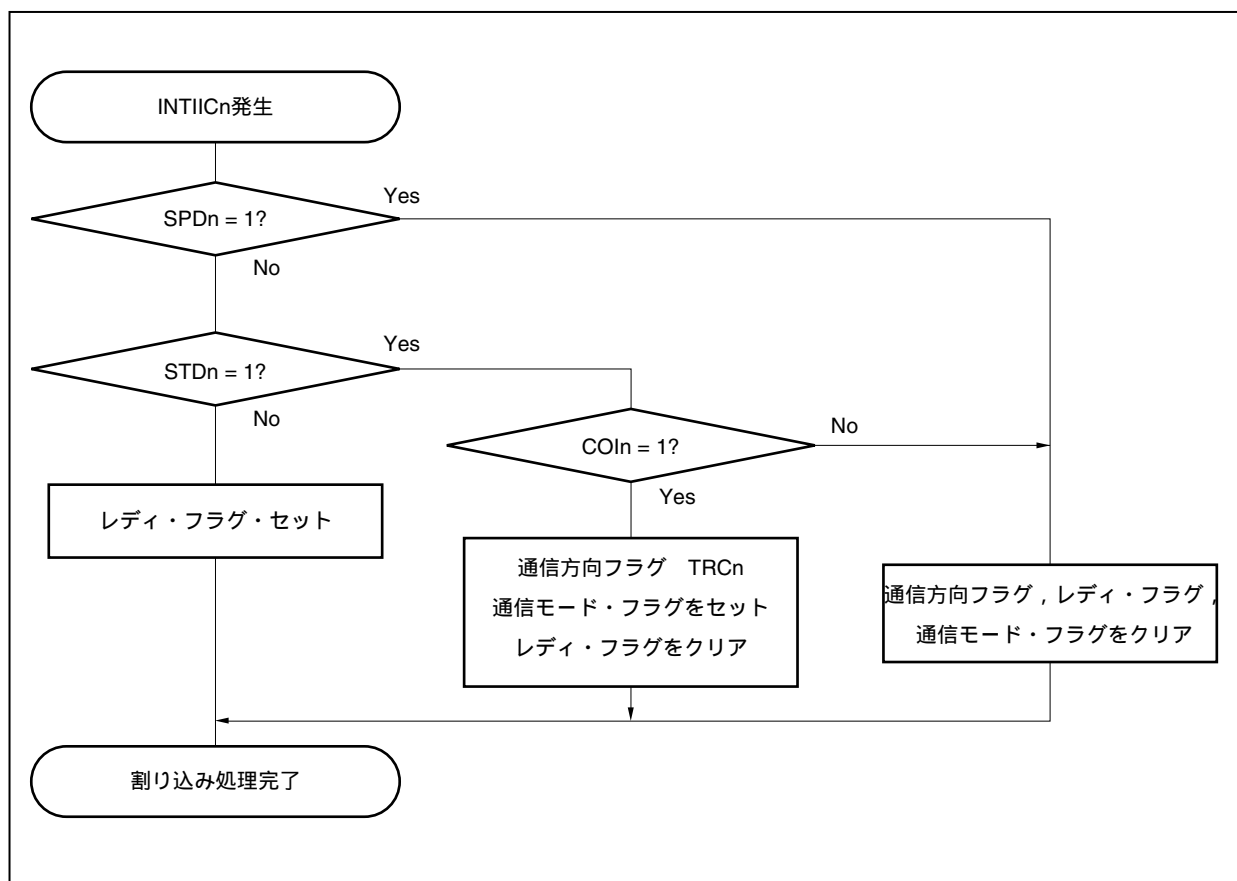
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

データ送受信の場合、レディ・フラグをセットするだけで、I²C0nバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図19 - 22 スレーブ動作手順(2)の ~ と対応しています。

図19 - 22 スレーブ動作手順(2)



19. 17 データ通信のタイミング

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すIICSn.TRCnビットを送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック端子 (SCL0n) の立ち下がりに同期してIICnレジスタのシフト動作が行われ、送信データがSOラッチに転送され、SDA0n端子からMSBファーストで出力されます。

また、SCL0n端子の立ち上がりでSDA0n端子に入力されたデータがIICnレジスタに取り込まれます。

データ通信のタイミングを次に示します。

備考 n = 0-2

図19 - 23 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウェイト選択時) (1/3)

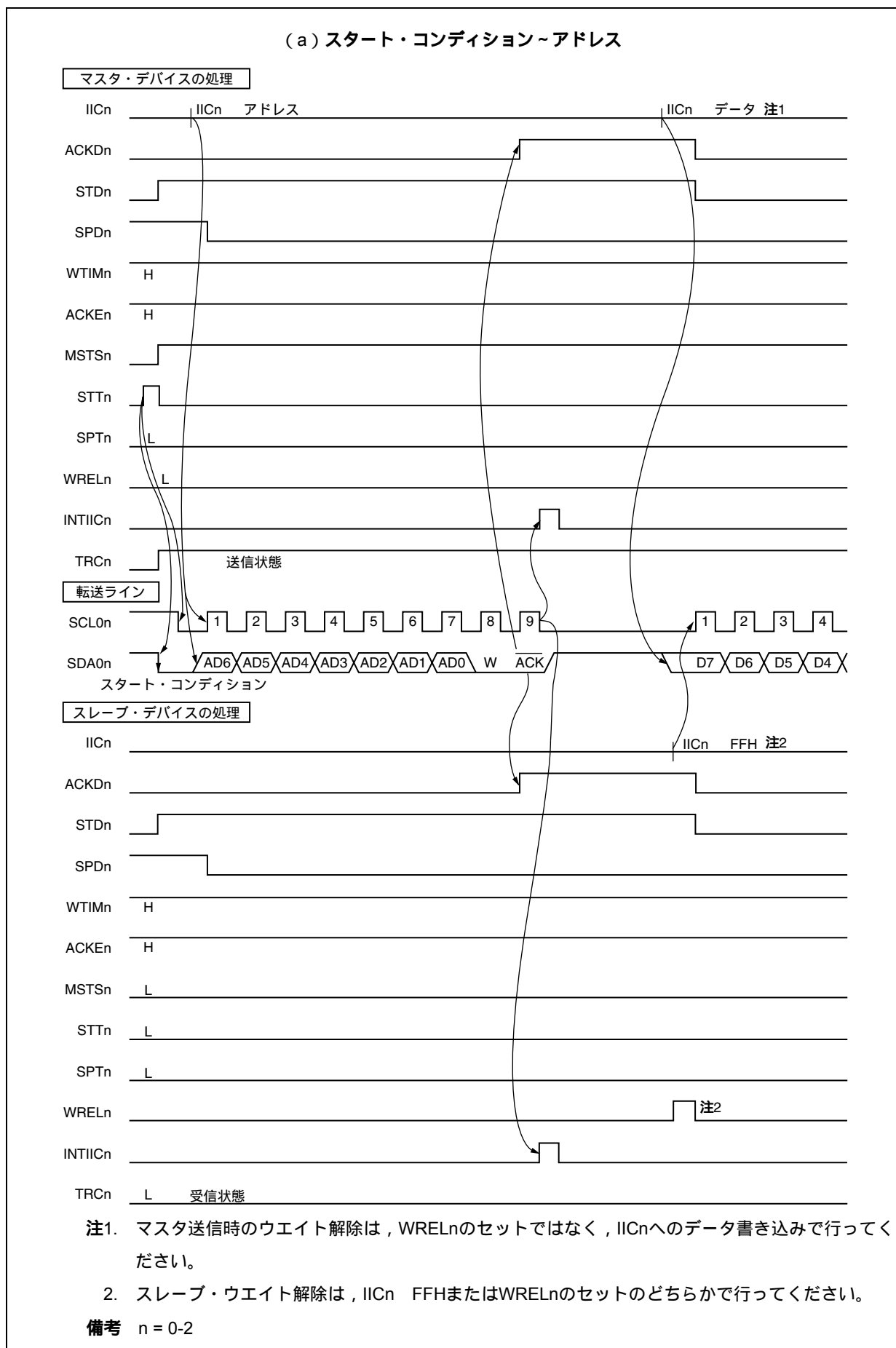


図19 - 23 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウェイト選択時) (2/3)

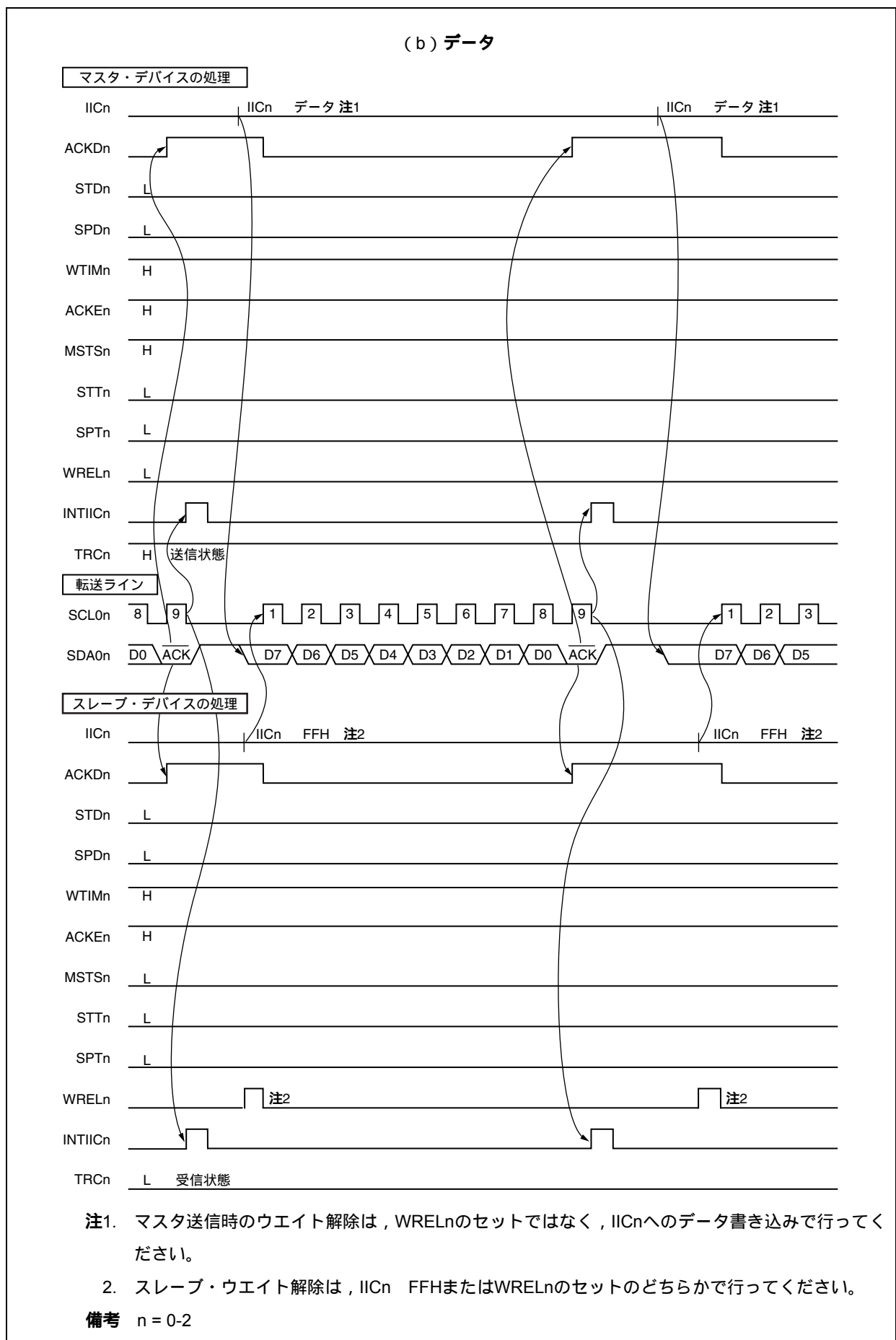


図19 - 23 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウェイト選択時) (3/3)

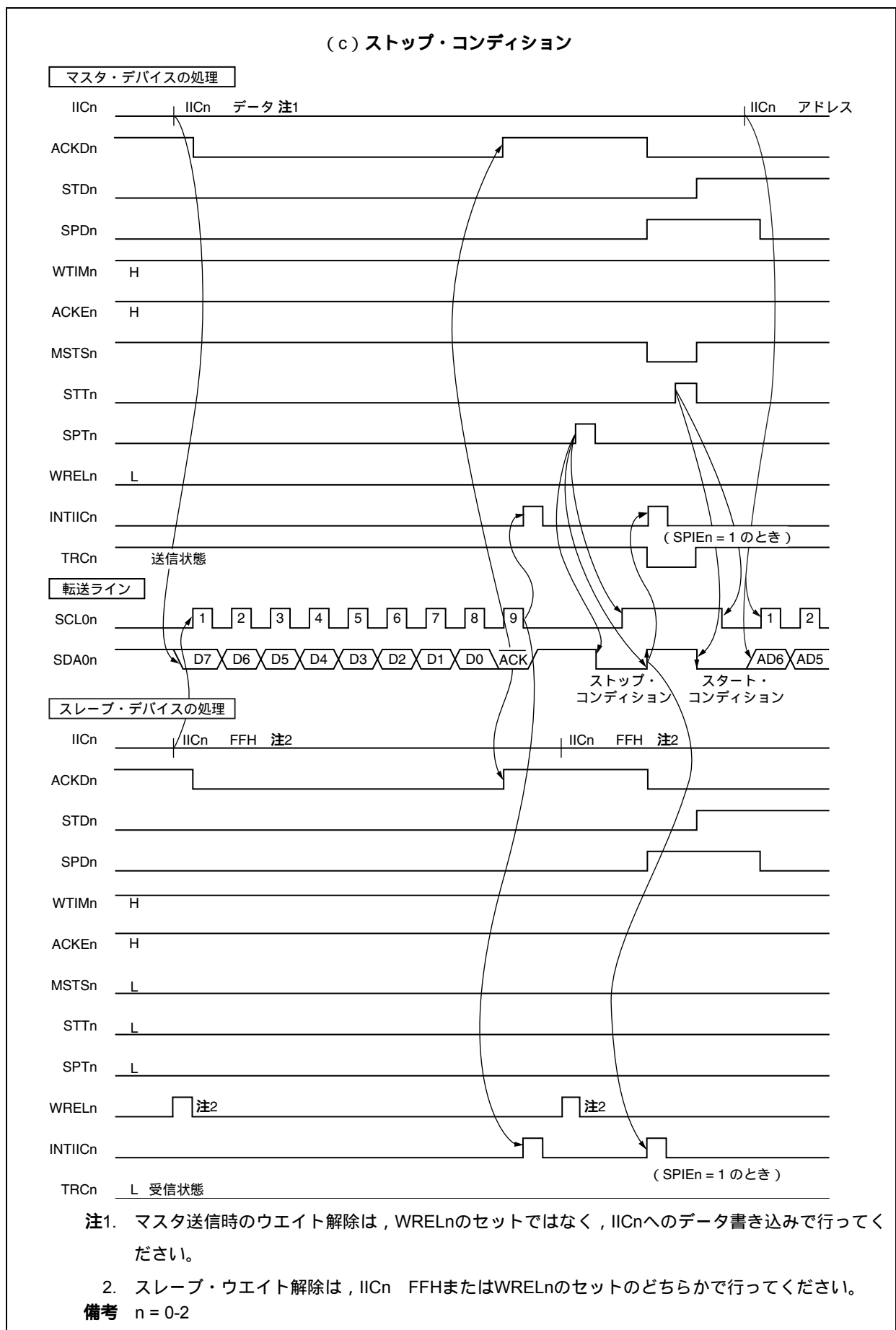


図19 - 24 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (1/3)

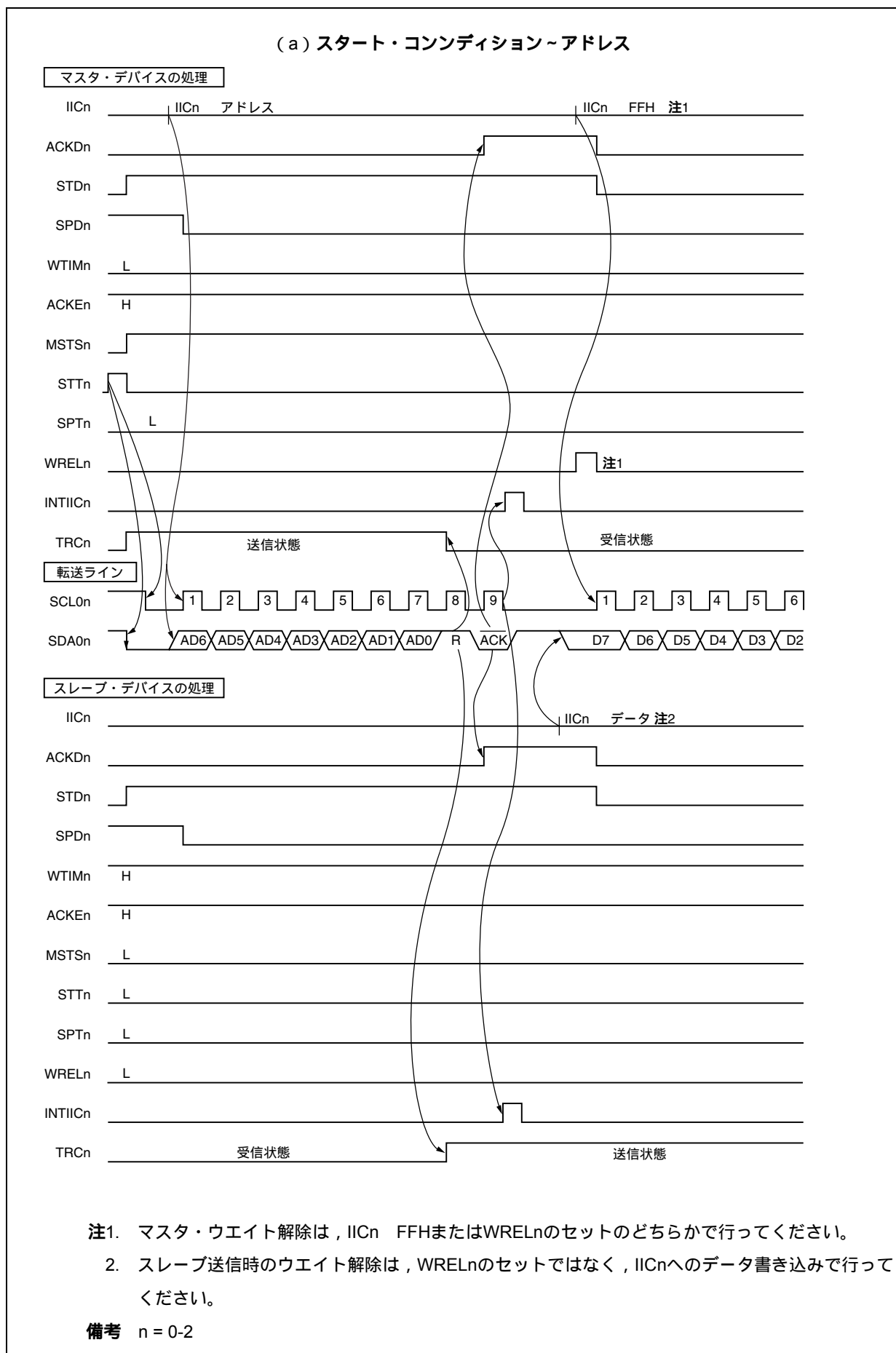


図19 - 24 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (2/3)

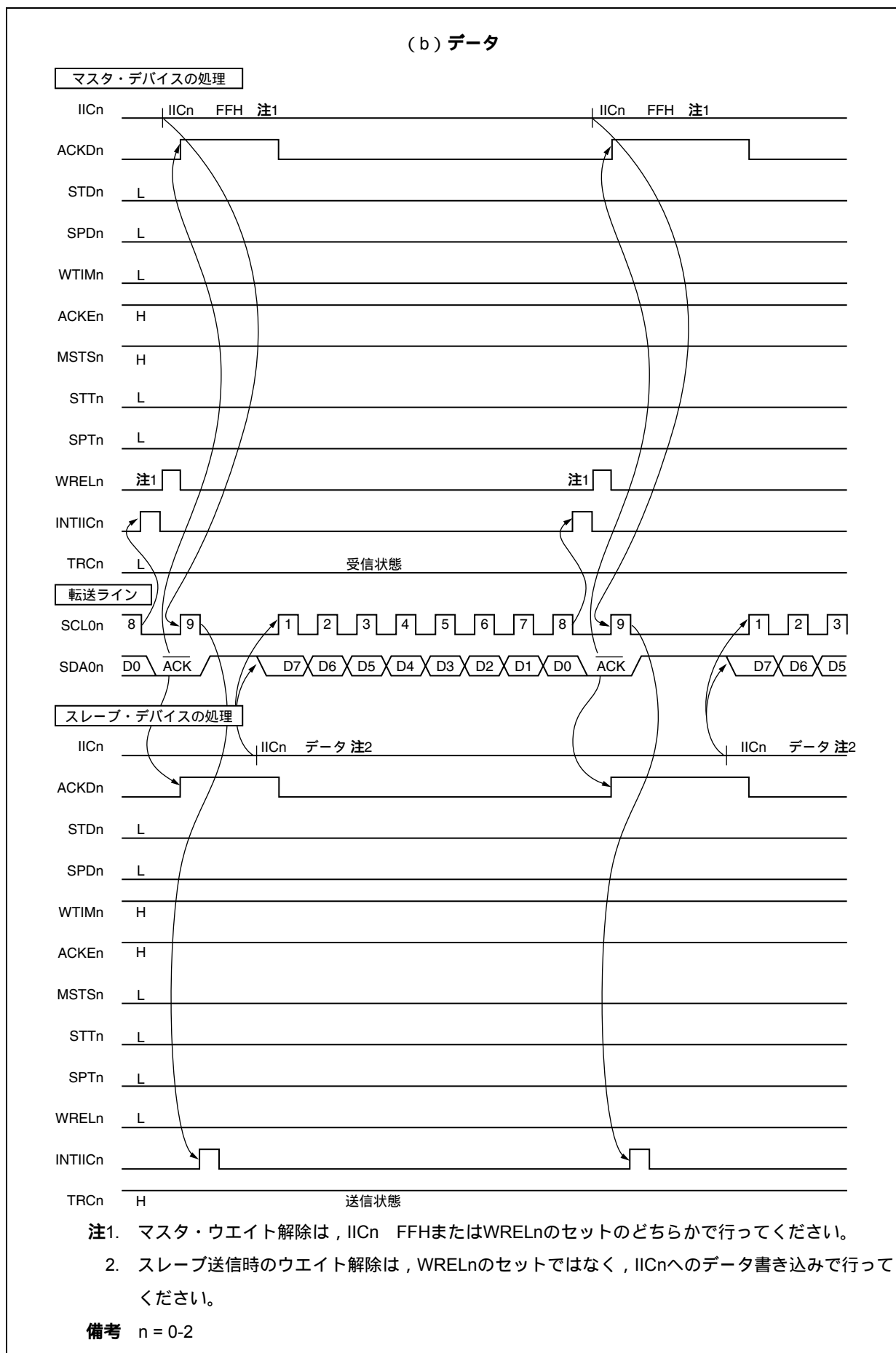
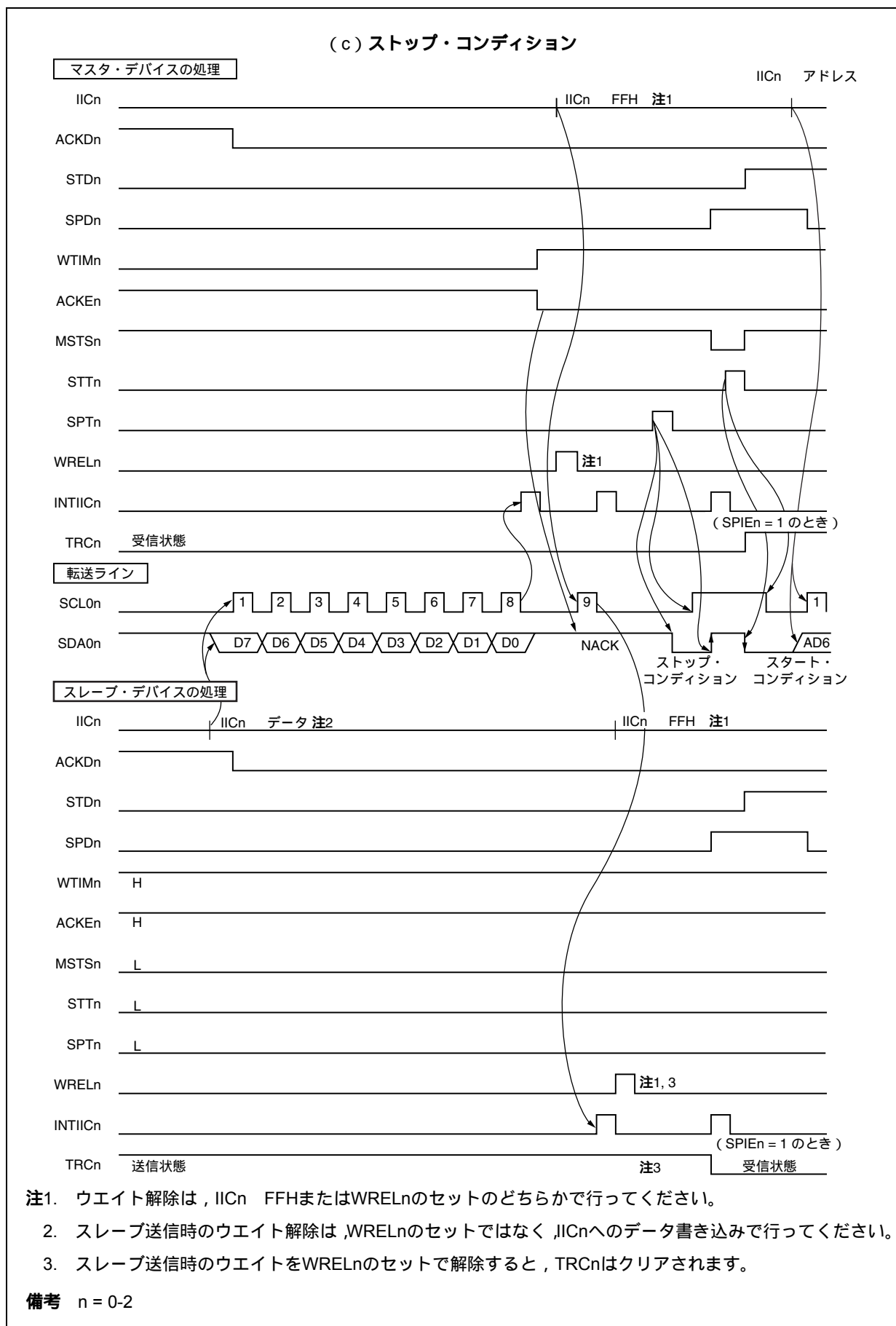


図19 - 24 スレーブ マスタ通信例 (マスタ:8 クロック, スレーブ:9クロックでウェイト選択時) (3/3)



第20章 USBファンクション・コントローラ (USBF)

V850ES/JG3-U, V850ES/JH3-Uは、Universal Serial Bus Specificationに準拠したUSBファンクション・コントローラ (USBF) を内蔵しています。トークン・ベースのプロトコルにより、外部ホスト・デバイスとの間でポーリング方式のデータ通信を行います。

20.1 概要

Universal Serial Bus Specificationに準拠

12 Mbps (フルスピード) 転送に対応

転送用のエンドポイントを内蔵

エンドポイント名	FIFOサイズ (バイト)	転送タイプ	備考
Endpoint0 Read	64	コントロール転送	-
Endpoint0 Write	64	コントロール転送	-
Endpoint1	64 × 2	バルク1転送 (IN)	2バッファ構成
Endpoint2	64 × 2	バルク1転送 (OUT)	2バッファ構成
Endpoint3	64 × 2	バルク2転送 (IN)	2バッファ構成
Endpoint4	64 × 2	バルク2転送 (OUT)	2バッファ構成
Endpoint7	8	インタラプト転送	-

バルク転送 (IN/OUT) はDMA転送 (2サイクル・シングル転送モード) 可能

USBクロック：内部クロック (外部6 MHz × 内部8逡倍 = 内部48 MHz) /

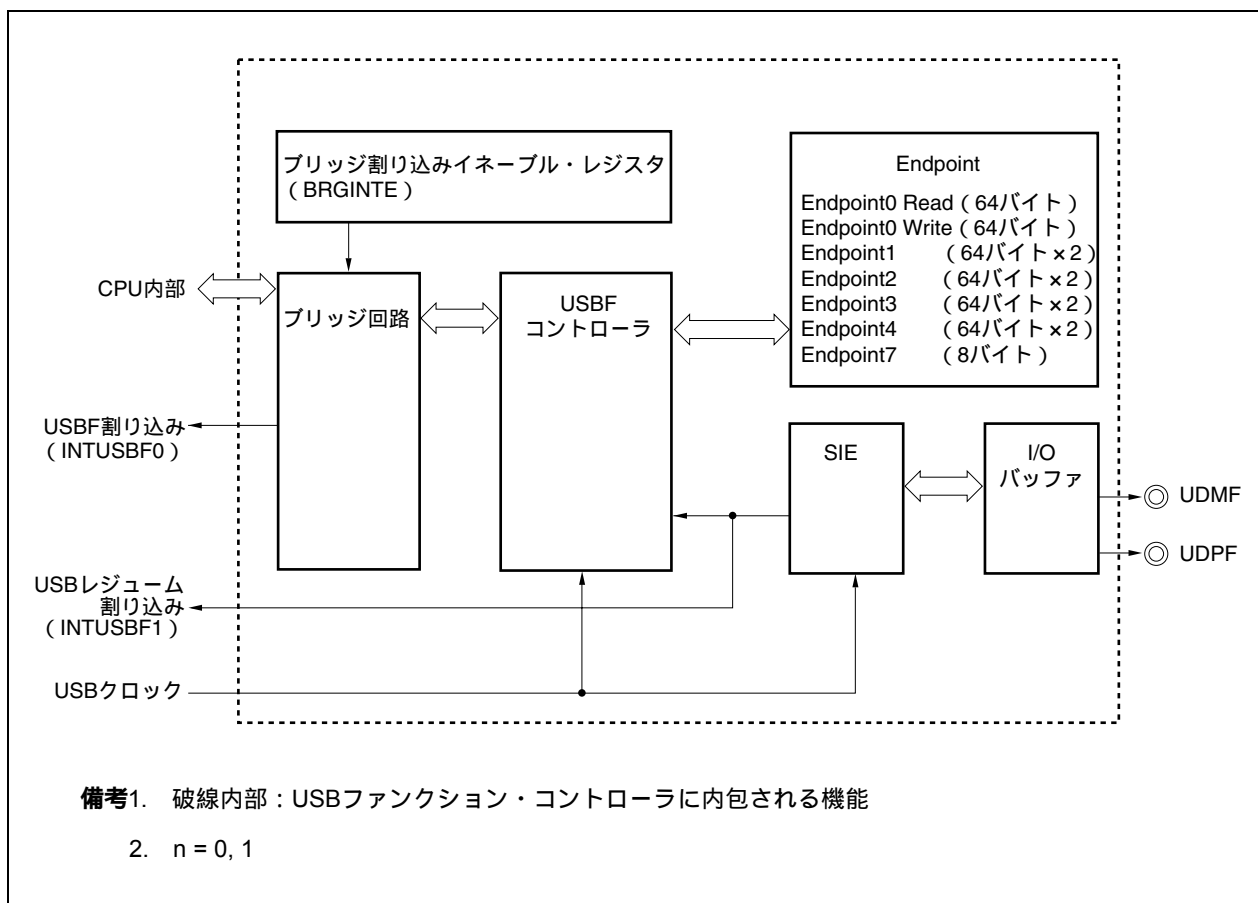
外部クロック (UCLK端子へ外部クロック入力 ($f_{USB} = 48 \text{ MHz}$)) を選択可能

注意 USBファンクション・コントローラ・レジスタ (20.6.2参照) に記載されているレジスタ群は、USBクロックを内部クロックもしくは外部クロックに設定し、USBファンクション・コントローラにクロック供給された状態でアクセスしてください。

20.2 構成

20.2.1 ブロック図

図20 - 1 USBファンクション・コントローラのブロック図



20.2.2 USBメモリ・マップ

CPUから見た場合のUSBファンクション・コントローラは、マイコン内部でCS1空間に割り当てられています。メモリ空間は、下記のように分割して使用しています。

表20 - 1 CPUメモリ空間の分割

アドレス	領域	
00200000H-00200092H	EPC制御レジスタ領域	
00200100H-00200114H	EPCデータ保持・レジスタ領域	
00200144H-002003C4H	EPCリクエスト・データ・レジスタ領域	
00200400H-00200408H	ブリッジ・レジスタ領域	
00200500H-0020050EH	DMAレジスタ領域	
00201000H	バルク・イン・レジスタ領域	EP1 (Bulk-IN1)
00202000H		EP3 (Bulk-IN2)
00210000H	バルク・アウト・レジスタ領域	EP2 (Bulk-Out1)
00220000H		EP4 (Bulk-Out2)
00240000H	周辺制御レジスタ領域	

20.3 外部回路構成

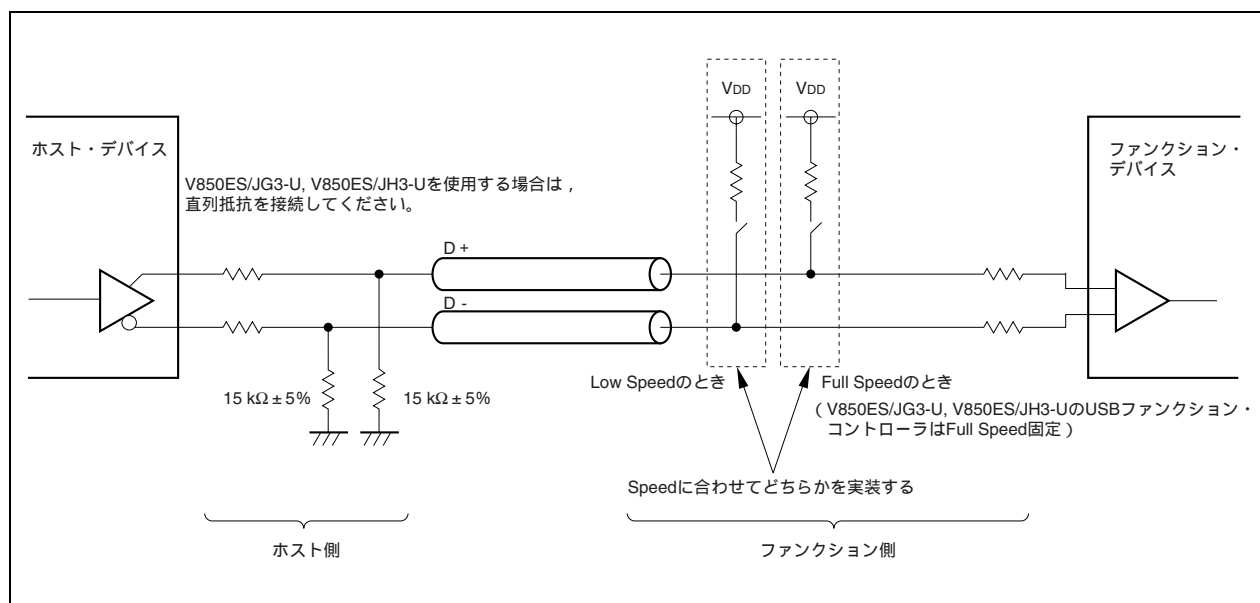
20.3.1 概要

USB伝送において、ホスト・コントローラとファンクション・コントローラが対向して通信する場合、相手を識別するために、USB信号 (D + / D -) にプルアップ、プルダウン抵抗を接続する必要があります。また V850ES/JG3-U, V850ES/JH3-Uでは、直列抵抗を接続する必要もあります。

V850ES/JG3-U, V850ES/JH3-Uはこれらのプルアップ、プルダウン抵抗、直列抵抗を内蔵していませんので、V850ES/JG3-U, V850ES/JH3-U外部で接続してください。

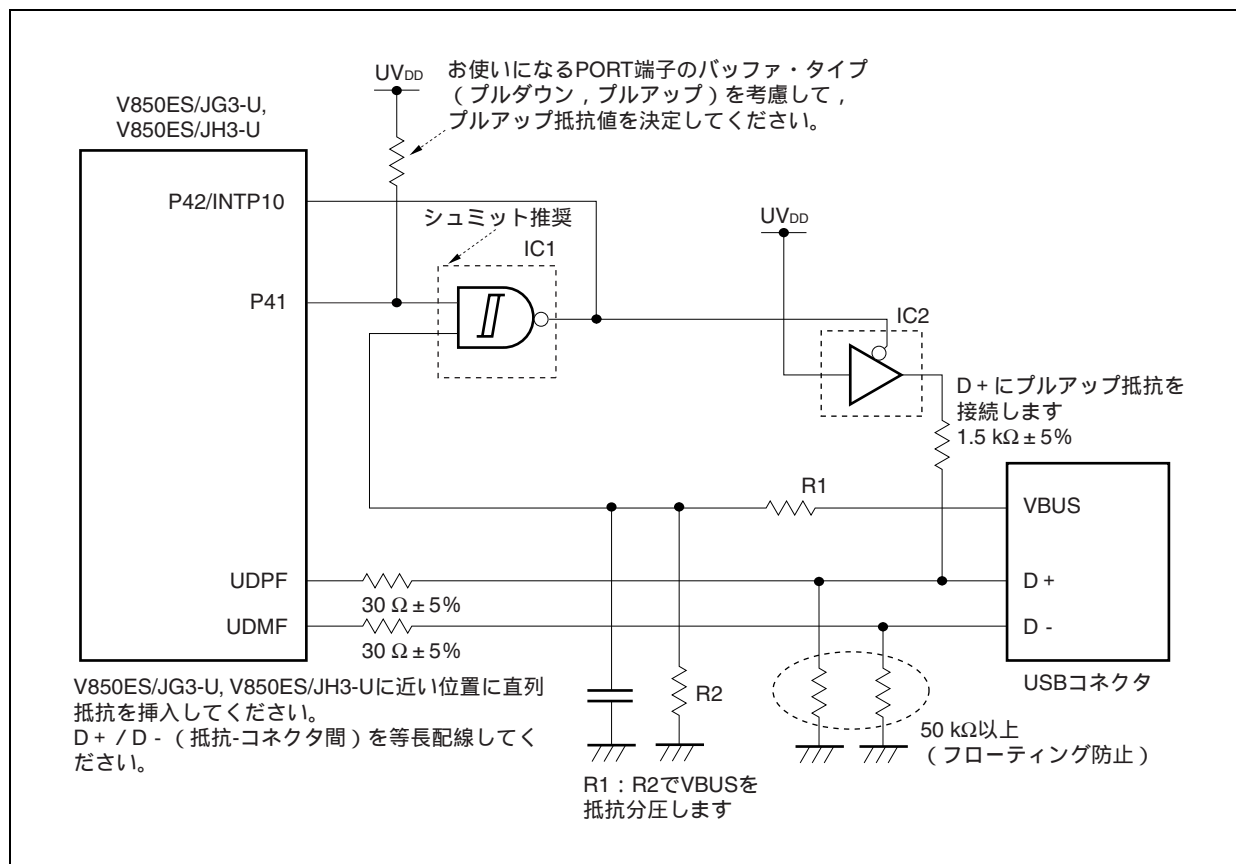
下記はUSB伝送路の構成概略図です。詳しい外付け構成については、各項にて説明します。

図20 - 2 USB伝送路のプルアップ、プルダウン、直列抵抗の概略構成



20.3.2 接続構成

図20-3 USBファンクション・コントローラ接続例



(1) D+ / D- への直列抵抗の接続

V850ES/JG3-U, V850ES/JH3-UのUSBファンクション・コントローラのD+ / D- 端子 (UDFP, UDFM) には、30 Ω ± 5%の抵抗を直列に接続してください。これを接続しないとインピーダンス規格を満たさないだけでなく、出力波形が乱れる原因となります。

直列抵抗は、なるべくV850ES/JG3-U, V850ES/JH3-Uに近い位置に配置し、直列抵抗からUSBコネクタまでは、D+ / D- のインピーダンスが等しくなるよう、なるべく等長配線してください (差動で90 Ω ± 5%を推奨します)。

(2) D+ のプルアップ制御

V850ES/JG3-U, V850ES/JH3-Uのファンクション・コントローラはフルスピード (FS) ですので、D+ 端子 (UDFP) は1.5 kΩ ± 5%でUV_{DD}にプルアップしてください。

USBホスト / HUBへの接続通知 (D+ プルアップ) を禁止したい場合 (優先度の高い処理中、初期化処理中など)、システムではD+ のプルアップを汎用ポートにより制御してください。図20-3の回路例のようにD+ のプルアップ制御信号およびVBUS入力信号は、汎用ポートとUSBケーブルVBUSを使用して (AND回路)、制御してください。図20-3では、汎用ポートがロウ・レベルの場合、D+ プルアップ禁止となります。また、図20-3のIC2には、システム電源オフ時に電圧印加が可能なICを使用してください。

(3) USBケーブル接続/切断の検出

USBファンクション・コントローラ (USBF) は、ハードウェアでUSBFのステートなどを管理しているため、接続/切断を認識するVBUS入力信号が必要となります。VBUS入力信号は、USBFが電源オフの場合に、USBホスト/HUBにUSBケーブルVBUSが接続されると、USBホスト/HUBから電圧(5V)が印加されます。そのため、図20-3のIC1には、システム電源オフ時に電圧印加が可能なICを使用してください。また、図20-3の回路において、切断する際、VBUSの電圧降下中にINTP10への入力信号が不安定になる場合があります。このため、図20-3のIC1にはシュミット・バッファを使用することを推奨します。

(4) 初期化時または未使用時のフローティング防止

初期化時または未使用時には、フローティング状態を避けるため、D+ / D- 端子は50 kΩ以上でプルダウンしてください。

20.4 注意事項

(1) クロック精度

USBファンクション・コントローラを動作させるには、USBクロックとして、内部クロック（外部6 MHz × 内部8逓倍 = 内部48 MHz）あるいは外部クロック（UCLK端子への外部クロック入力（ $f_{\text{USB}} = 48 \text{ MHz}$ ））が必要です。USBクロックには、内部クロック使用時には、 $6 \text{ MHz} \pm 500 \text{ ppm}$ 以下の精度の発振子を使用してください。また外部クロック使用時には、UCLK端子に $48 \text{ MHz} \pm 500 \text{ ppm}$ 以下の精度のクロックを供給してください。USBクロックの精度が低下すると、送信データがUSB規格を満足できなくなります。

(2) USBクロック停止

USBファンクション・コントローラのクロックとしてメイン・クロック（ f_{xx} ）を選択し、USBファンクション・コントローラを停止させる場合は、メイン・クロック（ f_{xx} ）を停止させる前にUSBファンクション・コントローラを停止（ソフトウェアによるUSBファンクション停止処理後、UFCKMSKレジスタのビット1, 0に“1”をセット）してください。

USBファンクション・コントローラを停止させずにメイン・クロック（ f_{xx} ）を停止させた場合、メイン・クロック動作に復帰した際にクロックのヒゲがでることにより誤動作をする可能性があります。

同様にEXCLK端子からの外部クロックを選択した場合は、外部回路にてクロックのヒゲがでないような処置をするか、メイン・クロック（ f_{xx} ）を停止させる前に必ずUSBファンクション・コントローラを停止してください。

20.5 リクエスト

USBには、ホスト・デバイスからの要求をファンクション・デバイスに伝え、応答処理させるための、リクエストと呼ばれるコマンドがあります。

リクエストは、コントロール転送のSETUPステージにて受信され、一部のリクエストを除いて、USBファンクション・コントローラ (USBF) のハードウェアにて自動処理することができます。

20.5.1 自動リクエスト

(1) デコード

次にリクエストのフォーマットとリクエスト・デコード対応表を示します。

表20-2 リクエストのフォーマット

オフセット	フィールド名	
0	bmRequestType	
1	bRequest	
2	wValue	下位側
3		上位側
4	wIndex	下位側
5		上位側
6	wLength	下位側
7		上位側

表20-3 リクエスト・デコード対応表

オフセット リクエスト	デコード値								応答			データ・ ステージ
	bmRequestType	bRequest	wValue		wIndex		wLength		Df	Ad	Cf	
	0	1	3	2	5	4	7	6				
GET_INTERFACE	81H	0AH	00H	00H	00H	0nH	00H	01H	STALL	STALL	ACK NAK	
GET_CONFIGURATION	80H	08H	00H	00H	00H	00H	00H	01H	ACK NAK	ACK NAK	ACK NAK	
GET_DESCRIPTOR Device	80H	06H	01H	00H	00H	00H	XXH	XXH ^{注1}	ACK NAK	ACK NAK	ACK NAK	
GET_DESCRIPTOR Configuration	80H	06H	02H	00H	00H	00H	XXH	XXH ^{注1}	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Device	80H	00H	00H	00H	00H	00H	00H	02H	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Endpoint 0	82H	00H	00H	00H	00H	00H	00H	02H	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Endpoint X	82H	00H	00H	00H	00H	\$\$H	00H	02H	STALL	STALL	ACK NAK	
CLEAR_FEATURE Device ^{注2}	00H	01H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint 0 ^{注2}	02H	01H	00H	00H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint X ^{注2}	02H	01H	00H	00H	00H	\$\$H	00H	00H	STALL	STALL	ACK NAK	×
SET_FEATURE Device ^{注3}	00H	03H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint 0 ^{注3}	02H	03H	00H	00H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint X ^{注3}	02H	03H	00H	00H	00H	\$\$H	00H	00H	STALL	STALL	ACK NAK	×
SET_INTERFACE	01H	0BH	00H	0#H	00H	0?H	00H	00H	STALL	STALL	ACK NAK	×
SET_CONFIGURATION ^{注4}	00H	09H	00H	00H 01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_ADDRESS	00H	05H	XXH	XXH	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×

備考 : データ・ステージあり

× : データ・ステージなし

注1. wLength値が準備している値未満の場合、wLength値までを返信し、wLength値が準備している値以上の場合、準備している値までを返信します。

2. CLEAR_FEATUREリクエストは、ステータス・ステージでACKを受信した場合にUF0デバイス・ステータス・レジスタL (UF0DSTL)、UF0 EPnステータス・レジスタL (UF0EnSL) (n = 0-4, 7) をクリアします。

- 注3. SET_FEATUREリクエストは、ステータス・ステージでACKを受信した場合にUF0デバイス・ステータス・レジスタL (UF0DSTL) , UF0 EPhステータス・レジスタL (UF0EnSL) (n = 0-4, 7) をセットします。また、UF0E0SLレジスタのE0HALTビットを設定した場合は、CLEAR_FEATURE Endpoint0リクエストを受信するまで、GET_STATUS Endpoint0リクエスト、SET_FEATURE Endpoint0リクエスト、CPUDEC割り込み要求の発生するリクエスト以外のコントロール転送のデータ・ステージまたはステータス・ステージでSTALL応答します。なお、サポートしていないリクエストについてのSTALL応答では、UF0E0SLレジスタのE0HALTビットはセット (1) されず、次のSETUPトークンを受信した時点でSTALL応答はクリアされます。
4. wValue値が規定外の場合、自動STALL応答します。

注意1. 次に示す条件では、Universal Serial Bus Specificationで規定されているコントロール転送のシーケンスを満しません。この場合の動作は保証できません。

- SETUPステージなしにいきなりIN/OUTトークンを受信する場合
 - SETUPステージのデータ・フェーズでDATA PID1を送ってくる場合
 - アドレス128以上のトークンを受信する場合
 - SETUPステージで送信されるリクエスト・データが8バイト未満の場合
2. ステータス・ステージにおいて、ホストがNullパケット以外のデータを送信してきた場合でも、ACK応答します。
3. FW処理のコントロール転送 (リード) では、wLength値が00Hであった場合、コントロール転送 (データなし) としてNullパケットを自動送出します。FWリクエストの場合は、Nullパケットを自動送出しません。

備考1. Df : Defaultステート, Ad : Addressedステート, Cf : Configuredステート

2. n = 0-4
Interface番号1-4のリクエストに対して正常応答するか、またはSTALL応答するかは、UF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) の設定により、対象のInterface番号が有効かどうかで決定します。
3. \$\$: 転送方向を含んだ有効なEndpoint番号
有効なEndpointは現在設定されているAlternate Setting番号により決定します (20. 6. 3 (36) UF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) , (38) UF0エンドポイント1インタフェース・マッピング・レジスタ (UF0E11M) - (42) UF0エンドポイント7インタフェース・マッピング・レジスタ (UF0E71M) 参照)。
4. ?と#: ホストから送信される値 (Interface番号0-4の情報)
各Interface番号に対応したAlternate Settingのリクエストに対して正常応答するか、STALL応答するかは、UF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) とUF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) により、対象のInterface番号と対象のAlternate Settingが有効かどうかによって決まります。

(2) 処理内容

次に自動リクエストのDefaultステート, Addressedステート, Configuredステートでの処理内容を示します。

備考 Defaultステート : Default addressで動作する状態

Addressedステート : アドレスが割り当てられたあとの状態

Configuredステート : SET_CONFIGURATION wValue = 1を正常受信したあとの状態

(a) CLEAR_FEATURE()リクエスト

CLEAR_FEATURE()リクエストが, クリアできない, 存在しないFEATUREである, 対象がInterfaceか, または存在しないEndpointの場合には, ステータス・ステージでSTALL応答します。また, wLength値が0以外の場合もSTALL応答します。

- ・ Defaultステート : CLEAR_FEATURE()リクエストを受信したとき, 対象がデバイスか, またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Addressedステート : CLEAR_FEATURE()リクエストを受信したとき, 対象がデバイスか, またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Configuredステート : CLEAR_FEATURE()リクエストを受信したとき, 対象がデバイスか, または存在するEndpointに対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。

CLEAR_FEATURE()リクエストを正常処理した場合には, UF0 CLRリクエスト・レジスタ (UF0CLR) の対象ビットがセット (1) され, UF0 EPnステータス・レジスタL (UF0EnSL) のEnHALTビットがクリア (0) され, 割り込みが発行されず (n = 0-4, 7)。なお, 対象がEndpointのとき, CLEAR_FEATURE()リクエストを受信した場合には, 対象Endpointのトグル・ビット (DATA0/DATA1の切り替え制御) は必ずDATA0に再設定されます。

(b) GET_CONFIGURATION()リクエスト

wValue, wIndex, wLengthのいずれかが表20-3 リクエスト・デコード対応表に記載以外のもの場合は, データ・ステージでSTALL応答します。

- ・ Defaultステート : GET_CONFIGURATION()リクエストを受信したとき, UF0コンフィギュレーション・レジスタ (UF0CNF) に格納されている値を返信します。
- ・ Addressedステート : GET_CONFIGURATION()リクエストを受信したとき, UF0CNFレジスタに格納されている値を返信します。
- ・ Configuredステート : GET_CONFIGURATION()リクエストを受信したとき, UF0CNFレジスタに格納されている値を返信します。

(c) GET_DESCRIPTOR()リクエスト

対象ディスクリプタがwMaxPacketSizeの倍数の長さを持つ場合には、データ・ステージの終わりを示すためにNullパケットを送り返します。そのとき、対象ディスクリプタの長さがwLength値未満の場合、対象ディスクリプタをすべて返信し、対象ディスクリプタの長さがwLength値以上の場合、wLength値まで返信します。

- ・ Defaultステート : GET_DESCRIPTOR()リクエストを受信したとき、UF0デバイス・ディスクリプタ・レジスタn (UF0DDn)、UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタm (UF0CIEm)に格納されている値を返信します(n = 0-17, m = 0-255)。
- ・ Addressedステート : GET_DESCRIPTOR()リクエストを受信したとき、UF0DDnレジスタ、UF0CIEmレジスタに格納されている値を返信します。
- ・ Configuredステート : GET_DESCRIPTOR()リクエストを受信したとき、UF0DDnレジスタ、UF0CIEmレジスタに格納されている値を返信します。

UF0CIEmレジスタに格納できるディスクリプタは、総数256バイトまでです。256バイト以上のディスクリプタを返信する場合には、UF0MODCレジスタのCDCGDSTビットをセット(1)して、FWによりGET_DESCRIPTOR()リクエストを処理してください。

UF0CIEmレジスタで設定した全ディスクリプタのバイト数 - 1の値をUF0ディスクリプタ・レンジ・レジスタ (UF0DSCL) に格納してください。このデータ + 1の値とwLengthにより転送データを制御します。

(d) GET_INTERFACE()リクエスト

wValue、wLengthのいずれかが表20-3 リクエスト・デコード対応表に記載以外のもの場合、またはwIndexがUF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) の設定以外の場合、データ・ステージでSTALL応答します。

- ・ Defaultステート : GET_INTERFACE()リクエストを受信したとき、データ・ステージでSTALL応答します。
- ・ Addressedステート : GET_INTERFACE()リクエストを受信したとき、データ・ステージでSTALL応答します。
- ・ Configuredステート : GET_INTERFACE()リクエストを受信したとき、wIndex値に対応したUF0インタフェースnレジスタ (UF0IFn) に格納されている値を返信します (n = 0-4)。

(e) GET_STATUS()リクエスト

wValue, wIndex, wLengthのいずれかが表20-3 リクエスト・デコード対応表に記載以外のもの場合は、データ・ステージでSTALL応答します。また、対象がInterfaceか、または存在しないEndpointの場合は、データ・ステージでSTALL応答します。

- ・ Defaultステート : GET_STATUS()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージでSTALL応答します。
- ・ Addressedステート : GET_STATUS()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージでSTALL応答します。
- ・ Configuredステート : GET_STATUS()リクエストを受信したとき、対象がデバイスか、または存在するEndpointに対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージでSTALL応答します。

注 対象ステータス・レジスタを次に示します。

- ・ 対象がデバイスの場合：UF0デバイス・ステータス・レジスタL (UF0DSTL)
- ・ 対象がEndpoint0の場合：UF0 EP0ステータス・レジスタL (UF0E0SL)
- ・ 対象がEndpoint nの場合：UF0 EPnステータス・レジスタL (UF0EnSL) (n = 1-4, 7)

(f) SET_ADDRESS()リクエスト

wIndex, wLengthのいずれかが表20-3 リクエスト・デコード対応表に記載以外のもの場合は、ステータス・ステージでSTALL応答します。指定されたデバイス・アドレスが127より大きい場合は、STALL応答になります。

- ・ Defaultステート : SET_ADDRESS()リクエストを受信したとき、指定されたアドレスが0以外の場合には、デバイスはAddressedステートに入り、SIEへ入力するUSB Address値を指定のアドレス値に変更します。指定されたアドレスが0の場合には、Defaultステートのままです。
- ・ Addressedステート : SET_ADDRESS()リクエストを受信したとき、指定されたアドレスが0の場合には、デバイスはDefaultステートに入り、SIEへ入力するUSB Address値をデフォルト・アドレスに戻します。指定されたアドレスが0以外の場合には、Addressedステートのままで、SIEへ入力するUSB Address値を指定の新しいアドレス値に変更します。
- ・ Configuredステート : SET_ADDRESS()リクエストを受信したとき、指定されたアドレスが0の場合には、デバイスはConfiguredステートのままで、SIEへ入力するUSB Address値をデフォルト・アドレスに戻します。この場合、Endpoint0以外のEndpointも有効のままで、コントロール転送 (IN)、コントロール転送 (OUT)、Endpoint0以外のEndpointに対するバルク転送およびインタラプト転送にも応答します。指定されたアドレスが0

以外の場合には、Configured状態のまま、SIEへ入力するUSB Address値を指定の新しいアドレス値に変更します。

(g) SET_CONFIGURATION()リクエスト

wValue, wIndex, wLengthのいずれかが表20-3 リクエスト・デコード対応表に記載以外のもの場合は、ステータス・ステージでSTALL応答します。

- ・ Default状態 : SET_CONFIGURATION()リクエストを受信したとき、指定されたコンフィギュレーション値が1の場合には、UF0モード・ステータス・レジスタ (UF0MODS) のCONFビットとUF0コンフィギュレーション・レジスタ (UF0CNF) がセット (1) されます。指定されたコンフィギュレーション値が0の場合には、UF0MODSレジスタのCONFビットとUF0CNFレジスタがクリア (0) されます。つまり、Addressed状態をスキップして、Default addressに回答するConfigured状態に移行します。
- ・ Addressed状態 : SET_CONFIGURATION()リクエストを受信したとき、指定されたコンフィギュレーション値が1の場合には、UF0MODSレジスタのCONFビットとUF0CNFレジスタがセット (1) され、Configured状態に入り、指定されたコンフィギュレーション値が0の場合には、Addressed状態のままです。
- ・ Configured状態 : SET_CONFIGURATION()リクエストを受信したとき、指定されたコンフィギュレーション値が0の場合には、UF0MODSレジスタのCONFビットとUF0CNFレジスタがクリア (0) され、Addressed状態に戻り、指定されたコンフィギュレーション値が1の場合には、Configured状態のままです。

SET_CONFIGURATION()リクエストを正常処理した場合には、UF0 SETリクエスト・レジスタ (UF0SET) の対象ビットがセット (1) され、割り込みが発行されます。指定されたコンフィギュレーション値が現在のコンフィギュレーション値と同じ場合でも、すべてのHalt FeatureはSET_CONFIGURATION()リクエストを完了したあとにクリアされます。また、SET_CONFIGURATION()リクエストを正常処理した場合には、必ずすべてのEndpointのデータ・トグルはDATA0に再び初期化されます (SET_CONFIGURATIONリクエストの受信からSET_INTERFACEリクエストを受信するまではデフォルト状態であるAlternative Setting 0に設定されているものと定義しています)。

(h) SET_FEATURE()リクエスト

SET_FEATURE()リクエストが、セットできない、存在しないFeatureである、対象がInterfaceか、または存在しないEndpointの場合には、ステータス・ステージでSTALL応答します。また、wLength値が0以外の場合もSTALL応答します。

- ・ Defaultステート : SET_FEATURE()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Addressedステート : SET_FEATURE()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Configuredステート : SET_FEATURE()リクエストを受信したとき、対象がデバイスか、または存在するEndpointに対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。

SET_FEATURE()リクエストを正常処理した場合には、UF0 SETリクエスト・レジスタ (UF0SET) の対象ビットやUF0 EPnステータス・レジスタL (UF0EnSL) のEnHALTビットがセット (1) され、割り込みが発行されます (n = 0-4, 7)。

(i) SET_INTERFACE()リクエスト

wLengthが表20 - 3 リクエスト・デコード対応表に記載以外のもの場合、wIndexがUF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) の設定以外の場合、wValueがUF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) 設定以外の場合のいずれかのときに、ステータス・ステージでSTALL応答します。

- ・ Defaultステート : SET_INTERFACE()リクエストを受信したとき、ステータス・ステージでSTALL応答します。
- ・ Addressedステート : SET_INTERFACE()リクエストを受信したとき、ステータス・ステージでSTALL応答します。
- ・ Configuredステート : SET_INTERFACE()リクエストを受信したとき、ステータス・ステージでNullパケットを送信します。

SET_INTERFACE()リクエストを正常処理した場合には、割り込みが発行されます。対象InterfaceにリンクされたEndpointのすべてのHalt Featureは、SET_INTERFACE()リクエストを完了したあとにクリアされます。対象Interface番号に関連するすべてのEndpointのデータ・トグルは、必ずDATA0に再び初期化されます。また、SET_INTERFACE()リクエストを正常処理して、現在選択されているAlternative Settingと異なる設定に変更する場合には、影響を受けるEndpointのFIFOは完全にクリアされ、関連するすべての割り込み要因なども初期化されます。

SET_INTERFACE()リクエスト完了時、対象InterfaceにリンクされたすべてのEndpointのFIFOがクリアされます。また、同時にHalt Feature、Data PIDが初期化され、関連するUF0 INTステータスnレジスタ (UF0ISn) がクリア (0) されます (n = 0-4) (SET_CONFIGURATIONリクエスト完了時には、Halt FeatureのクリアとData PIDの初期化のみです)。

DMA転送中にSET_INTERFACE()リクエストにより、対象Endpointがサポートされなくなった場合

は、DMAリクエスト信号はただちにインアクティブ状態になり、SET_INTERFACE()リクエスト完了時にリンクされたEndpointのFIFOは完全にクリアされます。このため、FIFOのクリアにより、DMAのデータ転送は正常処理されなくなります。

20.5.2 その他のリクエスト

(1) 応答と処理方法

次にその他のリクエストの応答と処理方法を示します。

表20 - 4 その他のリクエストの応答と処理方法

リクエスト	応答と処理方法
GET_DESCRIPTOR String	CPUDEC割り込み要求発生
GET_STATUS Interface	自動STALL応答
CLEAR_FEATURE Interface	自動STALL応答
SET_FEATURE Interface	自動STALL応答
all SET_DESCRIPTOR	CPUDEC割り込み要求発生
その他の全リクエスト	CPUDEC割り込み要求発生

20.6 レジスタ構成

20.6.1 USB制御レジスタ

(1) USBクロック選択レジスタ (UCKSEL)

USBコントローラの動作クロックを選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFF40H								
	7	6	5	4	3	2	1	0
UCKSEL	0	0	0	0	0	0	UUSEL1	0
UUSEL1	USBコントローラ動作クロックの選択							
0	UCLK端子入力からの外部クロック (f _{USB} = 48 MHz)							
1	メイン・クロック (f _{xx} = 48 MHz)							
注意 ビット7-2, 0には必ず“0”を設定してください。								

(2) USBファンクション制御レジスタ (UFCKMSK)

USBファンクション・コントローラ動作の許可/禁止を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 03Hになります。

リセット時 : 03H R/W アドレス : FFFFFFF41H								
	7	6	5	4	3	2	1	0
UFCKMSK	0	0	0	0	0	0	UFBUFMSK	UFMSK
UFBUFMSK	UFMSK	USBファンクション・コントローラ動作許可/停止						
0	0	動作許可						
0	1	動作停止 (USBサスペンド時設定)						
1	1	動作停止						
上記以外		設定禁止						

(3) USB機能選択レジスタ (UHCKMSK)

USBコントローラ機能を使用する場合に、データ専用RAMの動作を制御するレジスタです。

USBコントローラを使用しない場合でも、UHCKMSKレジスタを設定することでデータ専用RAMを使用することができます。

8/1ビット単位でリード/ライト可能です。

リセットにより、03Hになります。

リセット時：03H R/W アドレス：FFFFFF42H

	7	6	5	4	3	2	1	0
UHCKMSK	0	0	0	0	0	0	UHBUFMSK	UHMSK

UHBUFMSK	UHMSK	USBコントローラの機能選択
0	0	USBホスト・コントローラ動作許可
1	0	データ専用RAM (8 Kバイト) 動作許可 (USBファンクション使用時)
1	1	USBホスト・コントローラ/データ専用RAM (8 Kバイト) 使用禁止
上記以外		設定禁止

注意 ビット7-2には必ず“0”を設定してください。

20.6.2 USBファンクション・コントローラ・レジスタ一覧

(1) EPC制御レジスタ

(1/2)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200000H	UF0 EP0NAKレジスタ	UF0E0N	R/W				00H
00200002H	UF0 EP0NAKALLレジスタ	UF0E0NA	R/W				00H
00200004H	UF0 EPNAKレジスタ	UF0EN	R/W				00H
00200006H	UF0 EPNAKマスク・レジスタ	UF0ENM	R/W				00H
00200008H	UF0 SNDSIE レジスタ	UF0SDS	R/W				00H
0020000AH	UF0 CLRリクエスト・レジスタ	UF0CLR	R				00H
0020000CH	UF0 SETリクエスト・レジスタ	UF0SET	R				00H
0020000EH	UF0 EPステータス0レジスタ	UF0EPS0	R				00H
00200010H	UF0 EPステータス1レジスタ	UF0EPS1	R				00H
00200012H	UF0 EPステータス2レジスタ	UF0EPS2	R				00H
00200020H	UF0 INTステータス0レジスタ	UF0IS0	R				00H
00200022H	UF0 INTステータス1レジスタ	UF0IS1	R				00H
00200024H	UF0 INTステータス2レジスタ	UF0IS2	R				00H
00200026H	UF0 INTステータス3レジスタ	UF0IS3	R				00H
00200028H	UF0 INTステータス4レジスタ	UF0IS4	R				00H
0020002EH	UF0 INTマスク0レジスタ	UF0IM0	R/W				00H
00200030H	UF0 INTマスク1レジスタ	UF0IM1	R/W				00H
00200032H	UF0 INTマスク2レジスタ	UF0IM2	R/W				00H
00200034H	UF0 INTマスク3レジスタ	UF0IM3	R/W				00H
00200036H	UF0 INTマスク4レジスタ	UF0IM4	R/W				00H
0020003CH	UF0 INTクリア0レジスタ	UF0IC0	W				FFH
0020003EH	UF0 INTクリア1レジスタ	UF0IC1	W				FFH
00200040H	UF0 INTクリア2レジスタ	UF0IC2	W				FFH
00200042H	UF0 INTクリア3レジスタ	UF0IC3	W				FFH
00200044H	UF0 INTクリア4レジスタ	UF0IC4	W				FFH
0020004CH	UF0 INT & DMARQレジスタ	UF0IDR	R/W				00H
0020004EH	UF0 DMAステータス0レジスタ	UF0DMS0	R				00H
00200050H	UF0 DMAステータス1レジスタ	UF0DMS1	R				00H
00200060H	UF0 FIFOクリア0レジスタ	UF0FIC0	W				00H
00200062H	UF0 FIFOクリア1レジスタ	UF0FIC1	W				00H
0020006AH	UF0データ・エンド・レジスタ	UF0DEND	R/W				00H
0020006EH	UF0 GPRレジスタ	UF0GPR	W				00H
00200074H	UF0モード・コントロール・レジスタ	UF0MODC	R/W				00H
00200078H	UF0モード・ステータス・レジスタ	UF0MODS	R				00H

(2/2)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200080H	UF0アクティブ・インタフェース・ナンバー・レジスタ	UF0AIFN	R/W				00H
00200082H	UF0アクティブ・オルタナティブ・セッティング・レジスタ	UF0AAS	R/W				00H
00200084H	UF0オルタナティブ・セッティング・ステータス・レジスタ	UF0ASS	R				00H
00200086H	UF0エンドポイント1インタフェース・マッピング・レジスタ	UF0E1IM	R/W				00H
00200088H	UF0エンドポイント2インタフェース・マッピング・レジスタ	UF0E2IM	R/W				00H
0020008AH	UF0エンドポイント3インタフェース・マッピング・レジスタ	UF0E3IM	R/W				00H
0020008CH	UF0エンドポイント4インタフェース・マッピング・レジスタ	UF0E4IM	R/W				00H
00200092H	UF0エンドポイント7インタフェース・マッピング・レジスタ	UF0E7IM	R/W				00H

(2) EPCデータ保持レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200100 H	UF0 EP0リード・レジスタ	UF0E0R	R				不定
00200102H	UF0 EP0レンゲス・レジスタ	UF0E0L	R				00H
00200104H	UF0 EP0セットアップ・レジスタ	UF0E0ST	R				00H
00200106H	UF0 EP0ライト・レジスタ	UF0E0W	W				不定
00200108H	UF0バルク・アウト1レジスタ	UF0BO1	R				不定
0020010AH	UF0バルク・アウト1レンゲス・レジスタ	UF0BO1L	R				00H
0020010CH	UF0バルク・アウト2レジスタ	UF0BO2	R				不定
0020010EH	UF0バルク・アウト2レンゲス・レジスタ	UF0BO2L	R				00H
00200110H	UF0バルク・イン1レジスタ	UF0BI1	W				不定
00200112H	UF0バルク・イン2レジスタ	UF0BI2	W				不定
00200114H	UF0インタラプト1レジスタ	UF0INT1	W				不定

(3) EPCリクエスト・データ・レジスタ

(1/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200144H	UF0デバイス・ステータス・レジスタL	UF0DSTL	R/W				00H
0020014CH	UF0 EP0ステータス・レジスタL	UF0E0SL	R/W				00H
00200150H	UF0 EP1ステータス・レジスタL	UF0E1SL	R/W				00H
00200154H	UF0 EP2ステータス・レジスタL	UF0E2SL	R/W				00H
00200158H	UF0 EP3ステータス・レジスタL	UF0E3SL	R/W				00H
0020015CH	UF0 EP4ステータス・レジスタL	UF0E4SL	R/W				00H
00200168H	UF0 EP7ステータス・レジスタL	UF0E7SL	R/W				00H
00200180H	UF0アドレス・レジスタ	UF0ADRS	R				00H
00200182H	UF0コンフィギュレーション・レジスタ	UF0CNF	R				00H
00200184H	UF0インタフェース0レジスタ	UF0IF0	R				00H
00200186H	UF0インタフェース1レジスタ	UF0IF1	R				00H
00200188H	UF0インタフェース2レジスタ	UF0IF2	R				00H
0020018AH	UF0インタフェース3レジスタ	UF0IF3	R				00H
0020018CH	UF0インタフェース4レジスタ	UF0IF4	R				00H
002001A0H	UF0ディスクリプタ・レングス・レジスタ	UF0DSSL	R/W				00H
002001A2H	UF0デバイス・ディスクリプタ・レジスタ0	UF0DD0	R/W				不定
002001A4H	UF0デバイス・ディスクリプタ・レジスタ1	UF0DD1	R/W				不定
002001A6H	UF0デバイス・ディスクリプタ・レジスタ2	UF0DD2	R/W				不定
002001A8H	UF0デバイス・ディスクリプタ・レジスタ3	UF0DD3	R/W				不定
002001AAH	UF0デバイス・ディスクリプタ・レジスタ4	UF0DD4	R/W				不定
002001ACH	UF0デバイス・ディスクリプタ・レジスタ5	UF0DD5	R/W				不定
002001AEH	UF0デバイス・ディスクリプタ・レジスタ6	UF0DD6	R/W				不定
002001B0H	UF0デバイス・ディスクリプタ・レジスタ7	UF0DD7	R/W				不定
002001B2H	UF0デバイス・ディスクリプタ・レジスタ8	UF0DD8	R/W				不定
002001B4H	UF0デバイス・ディスクリプタ・レジスタ9	UF0DD9	R/W				不定
002001B6H	UF0デバイス・ディスクリプタ・レジスタ10	UF0DD10	R/W				不定
002001B8H	UF0デバイス・ディスクリプタ・レジスタ11	UF0DD11	R/W				不定
002001BAH	UF0デバイス・ディスクリプタ・レジスタ12	UF0DD12	R/W				不定
002001BCH	UF0デバイス・ディスクリプタ・レジスタ13	UF0DD13	R/W				不定
002001BEH	UF0デバイス・ディスクリプタ・レジスタ14	UF0DD14	R/W				不定
002001C0H	UF0デバイス・ディスクリプタ・レジスタ15	UF0DD15	R/W				不定
002001C2H	UF0デバイス・ディスクリプタ・レジスタ16	UF0DD16	R/W				不定
002001C4H	UF0デバイス・ディスクリプタ・レジスタ17	UF0DD17	R/W				不定
002001C6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ0	UF0CIE0	R/W				不定
002001C8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ1	UF0CIE1	R/W				不定
002001CAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ2	UF0CIE2	R/W				不定
002001CCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ3	UF0CIE3	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
002001CEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ4	UF0CIE4	R/W				不定
002001D0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ5	UF0CIE5	R/W				不定
002001D2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ6	UF0CIE6	R/W				不定
002001D4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ7	UF0CIE7	R/W				不定
002001D6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ8	UF0CIE8	R/W				不定
002001D8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ9	UF0CIE9	R/W				不定
002001DAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ10	UF0CIE10	R/W				不定
002001DCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ11	UF0CIE11	R/W				不定
002001DEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ12	UF0CIE12	R/W				不定
002001E0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ13	UF0CIE13	R/W				不定
002001E2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ14	UF0CIE14	R/W				不定
002001E4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ15	UF0CIE15	R/W				不定
002001E6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ16	UF0CIE16	R/W				不定
002001E8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ17	UF0CIE17	R/W				不定
002001EAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ18	UF0CIE18	R/W				不定
002001ECH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ19	UF0CIE19	R/W				不定
002001EEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ20	UF0CIE20	R/W				不定
002001F0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ21	UF0CIE21	R/W				不定
002001F2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ22	UF0CIE22	R/W				不定
002001F4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ23	UF0CIE23	R/W				不定
002001F6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ24	UF0CIE24	R/W				不定
002001F8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ25	UF0CIE25	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
002001FAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ26	UF0CIE26	R/W				不定
002001FCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ27	UF0CIE27	R/W				不定
002001FEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ28	UF0CIE28	R/W				不定
00200200H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ29	UF0CIE29	R/W				不定
00200202H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ30	UF0CIE30	R/W				不定
00200204H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ31	UF0CIE31	R/W				不定
00200206H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ32	UF0CIE32	R/W				不定
00200208H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ33	UF0CIE33	R/W				不定
0020020AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ34	UF0CIE34	R/W				不定
0020020CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ35	UF0CIE35	R/W				不定
0020020EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ36	UF0CIE36	R/W				不定
00200210H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ37	UF0CIE37	R/W				不定
00200212H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ38	UF0CIE38	R/W				不定
00200214H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ39	UF0CIE39	R/W				不定
00200216H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ40	UF0CIE40	R/W				不定
00200218H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ41	UF0CIE41	R/W				不定
0020021AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ42	UF0CIE42	R/W				不定
0020021CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ43	UF0CIE43	R/W				不定
0020021EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ44	UF0CIE44	R/W				不定
00200220H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ45	UF0CIE45	R/W				不定
00200222H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ46	UF0CIE46	R/W				不定
00200224H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ47	UF0CIE47	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200226H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ48	UF0CIE48	R/W				不定
00200228H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ49	UF0CIE49	R/W				不定
0020022AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ50	UF0CIE50	R/W				不定
0020022CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ51	UF0CIE51	R/W				不定
0020022EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ52	UF0CIE52	R/W				不定
00200230H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ53	UF0CIE53	R/W				不定
00200232H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ54	UF0CIE54	R/W				不定
00200234H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ55	UF0CIE55	R/W				不定
00200236H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ56	UF0CIE56	R/W				不定
00200238H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ57	UF0CIE57	R/W				不定
0020023AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ58	UF0CIE58	R/W				不定
0020023CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ59	UF0CIE59	R/W				不定
0020023EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ60	UF0CIE60	R/W				不定
00200240H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ61	UF0CIE61	R/W				不定
00200242H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ62	UF0CIE62	R/W				不定
00200244H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ63	UF0CIE63	R/W				不定
00200246H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ64	UF0CIE64	R/W				不定
00200248H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ65	UF0CIE65	R/W				不定
0020024AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ66	UF0CIE66	R/W				不定
0020024CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ67	UF0CIE67	R/W				不定
0020024EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ68	UF0CIE68	R/W				不定
00200250H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ69	UF0CIE69	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200252H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ70	UF0CIE70	R/W				不定
00200254H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ71	UF0CIE71	R/W				不定
00200256H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ72	UF0CIE72	R/W				不定
00200258H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ73	UF0CIE73	R/W				不定
0020025AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ74	UF0CIE74	R/W				不定
0020025CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ75	UF0CIE75	R/W				不定
0020025EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ76	UF0CIE76	R/W				不定
00200260H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ77	UF0CIE77	R/W				不定
00200262H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ78	UF0CIE78	R/W				不定
00200264H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ79	UF0CIE79	R/W				不定
00200266H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ80	UF0CIE80	R/W				不定
00200268H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ81	UF0CIE81	R/W				不定
0020026AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ82	UF0CIE82	R/W				不定
0020026CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ83	UF0CIE83	R/W				不定
0020026EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ84	UF0CIE84	R/W				不定
00200270H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ85	UF0CIE85	R/W				不定
00200272H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ86	UF0CIE86	R/W				不定
00200274H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ87	UF0CIE87	R/W				不定
00200276H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ88	UF0CIE88	R/W				不定
00200278H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ89	UF0CIE89	R/W				不定
0020027AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ90	UF0CIE90	R/W				不定
0020027CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ91	UF0CIE91	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
0020027EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ92	UF0CIE92	R/W				不定
00200280H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ93	UF0CIE93	R/W				不定
00200282H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ94	UF0CIE94	R/W				不定
00200284H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ95	UF0CIE95	R/W				不定
00200286H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ96	UF0CIE96	R/W				不定
00200288H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ97	UF0CIE97	R/W				不定
0020028AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ98	UF0CIE98	R/W				不定
0020028CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ99	UF0CIE99	R/W				不定
0020028EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ100	UF0CIE100	R/W				不定
00200290H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ101	UF0CIE101	R/W				不定
00200292H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ102	UF0CIE102	R/W				不定
00200294H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ103	UF0CIE103	R/W				不定
00200296H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ104	UF0CIE104	R/W				不定
00200298H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ105	UF0CIE105	R/W				不定
0020029AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ106	UF0CIE106	R/W				不定
0020029CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ107	UF0CIE107	R/W				不定
0020029EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ108	UF0CIE108	R/W				不定
002002A0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ109	UF0CIE109	R/W				不定
002002A2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ110	UF0CIE110	R/W				不定
002002A4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ111	UF0CIE111	R/W				不定
002002A6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ112	UF0CIE112	R/W				不定
002002A8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ113	UF0CIE113	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
002002AAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ114	UF0CIE114	R/W				不定
002002ACH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ115	UF0CIE115	R/W				不定
002002AEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ116	UF0CIE116	R/W				不定
002002B0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ117	UF0CIE117	R/W				不定
002002B2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ118	UF0CIE118	R/W				不定
002002B4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ119	UF0CIE119	R/W				不定
002002B6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ120	UF0CIE120	R/W				不定
002002B8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ121	UF0CIE121	R/W				不定
002002BAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ122	UF0CIE122	R/W				不定
002002BCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ123	UF0CIE123	R/W				不定
002002BEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ124	UF0CIE124	R/W				不定
002002C0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ125	UF0CIE125	R/W				不定
002002C2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ126	UF0CIE126	R/W				不定
002002C4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ127	UF0CIE127	R/W				不定
002002C6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ128	UF0CIE128	R/W				不定
002002C8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ129	UF0CIE129	R/W				不定
002002CAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ130	UF0CIE130	R/W				不定
002002CCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ131	UF0CIE131	R/W				不定
002002CEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ132	UF0CIE132	R/W				不定
002002D0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ133	UF0CIE133	R/W				不定
002002D2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ134	UF0CIE134	R/W				不定
002002D4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ135	UF0CIE135	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
002002D6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ136	UF0CIE136	R/W				不定
002002D8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ137	UF0CIE137	R/W				不定
002002DAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ138	UF0CIE138	R/W				不定
002002DCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ139	UF0CIE139	R/W				不定
002002DEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ140	UF0CIE140	R/W				不定
002002E0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ141	UF0CIE141	R/W				不定
002002E2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ142	UF0CIE142	R/W				不定
002002E4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ143	UF0CIE143	R/W				不定
002002E6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ144	UF0CIE144	R/W				不定
002002E8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ145	UF0CIE145	R/W				不定
002002EAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ146	UF0CIE146	R/W				不定
002002ECH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ147	UF0CIE147	R/W				不定
002002EEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ148	UF0CIE148	R/W				不定
002002F0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ149	UF0CIE149	R/W				不定
002002F2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ150	UF0CIE150	R/W				不定
002002F4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ151	UF0CIE151	R/W				不定
002002F6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ152	UF0CIE152	R/W				不定
002002F8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ153	UF0CIE153	R/W				不定
002002FAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ154	UF0CIE154	R/W				不定
002002FCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ155	UF0CIE155	R/W				不定
002002FEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ156	UF0CIE156	R/W				不定
00200300H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ157	UF0CIE157	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200302H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ158	UF0CIE158	R/W				不定
00200304H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ159	UF0CIE159	R/W				不定
00200306H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ160	UF0CIE160	R/W				不定
00200308H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ161	UF0CIE161	R/W				不定
0020030AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ162	UF0CIE162	R/W				不定
0020030CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ163	UF0CIE163	R/W				不定
0020030EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ164	UF0CIE164	R/W				不定
00200310H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ165	UF0CIE165	R/W				不定
00200312H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ166	UF0CIE166	R/W				不定
00200314H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ167	UF0CIE167	R/W				不定
00200316H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ168	UF0CIE168	R/W				不定
00200318H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ169	UF0CIE169	R/W				不定
0020031AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ170	UF0CIE170	R/W				不定
0020031CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ171	UF0CIE171	R/W				不定
0020031EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ172	UF0CIE172	R/W				不定
00200320H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ173	UF0CIE173	R/W				不定
00200322H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ174	UF0CIE174	R/W				不定
00200324H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ175	UF0CIE175	R/W				不定
00200326H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ176	UF0CIE176	R/W				不定
00200328H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ177	UF0CIE177	R/W				不定
0020032AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ178	UF0CIE178	R/W				不定
0020032CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ179	UF0CIE179	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
0020032EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ180	UF0CIE180	R/W				不定
00200330H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ181	UF0CIE181	R/W				不定
00200332H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ182	UF0CIE182	R/W				不定
00200334H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ183	UF0CIE183	R/W				不定
00200336H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ184	UF0CIE184	R/W				不定
00200338H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ185	UF0CIE185	R/W				不定
0020033AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ186	UF0CIE186	R/W				不定
0020033CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ187	UF0CIE187	R/W				不定
0020033EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ188	UF0CIE188	R/W				不定
00200340H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ189	UF0CIE189	R/W				不定
00200342H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ190	UF0CIE190	R/W				不定
00200344H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ191	UF0CIE191	R/W				不定
00200346H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ192	UF0CIE192	R/W				不定
00200348H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ193	UF0CIE193	R/W				不定
0020034AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ194	UF0CIE194	R/W				不定
0020034CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ195	UF0CIE195	R/W				不定
0020034EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ196	UF0CIE196	R/W				不定
00200350H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ197	UF0CIE197	R/W				不定
00200352H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ198	UF0CIE198	R/W				不定
00200354H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ199	UF0CIE199	R/W				不定
00200356H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ200	UF0CIE200	R/W				不定
00200358H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ201	UF0CIE201	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
0020035AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ202	UF0CIE202	R/W				不定
0020035CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ203	UF0CIE203	R/W				不定
0020035EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ204	UF0CIE204	R/W				不定
00200360H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ205	UF0CIE205	R/W				不定
00200362H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ206	UF0CIE206	R/W				不定
00200364H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ207	UF0CIE207	R/W				不定
00200366H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ208	UF0CIE208	R/W				不定
00200368H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ209	UF0CIE209	R/W				不定
0020036AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ210	UF0CIE210	R/W				不定
0020036CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ211	UF0CIE211	R/W				不定
0020036EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ212	UF0CIE212	R/W				不定
00200370H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ213	UF0CIE213	R/W				不定
00200372H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ214	UF0CIE214	R/W				不定
00200374H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ215	UF0CIE215	R/W				不定
00200376H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ216	UF0CIE216	R/W				不定
00200378H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ217	UF0CIE217	R/W				不定
0020037AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ218	UF0CIE218	R/W				不定
0020037CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ219	UF0CIE219	R/W				不定
0020037EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ220	UF0CIE220	R/W				不定
00200380H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ221	UF0CIE221	R/W				不定
00200382H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ222	UF0CIE222	R/W				不定
00200384H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ223	UF0CIE223	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200386H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ224	UF0CIE224	R/W				不定
00200388H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ225	UF0CIE225	R/W				不定
0020038AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ226	UF0CIE226	R/W				不定
0020038CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ227	UF0CIE227	R/W				不定
0020038EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ228	UF0CIE228	R/W				不定
00200390H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ229	UF0CIE229	R/W				不定
00200392H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ230	UF0CIE230	R/W				不定
00200394H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ231	UF0CIE231	R/W				不定
00200396H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ232	UF0CIE232	R/W				不定
00200398H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ233	UF0CIE233	R/W				不定
0020039AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ234	UF0CIE234	R/W				不定
0020039CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ235	UF0CIE235	R/W				不定
0020039EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ236	UF0CIE236	R/W				不定
002003A0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ237	UF0CIE237	R/W				不定
002003A2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ238	UF0CIE238	R/W				不定
002003A4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ239	UF0CIE239	R/W				不定
002003A6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ240	UF0CIE240	R/W				不定
002003A8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ241	UF0CIE241	R/W				不定
002003AAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ242	UF0CIE242	R/W				不定
002003ACH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ243	UF0CIE243	R/W				不定
002003AEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ244	UF0CIE244	R/W				不定
002003BOH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ245	UF0CIE245	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
002003B2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ246	UF0CIE246	R/W				不定
002003B4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ247	UF0CIE247	R/W				不定
002003B6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ248	UF0CIE248	R/W				不定
002003B8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ249	UF0CIE249	R/W				不定
002003BAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ250	UF0CIE250	R/W				不定
002003BCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ251	UF0CIE251	R/W				不定
002003BEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ252	UF0CIE252	R/W				不定
002003C0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ253	UF0CIE253	R/W				不定
002003C2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ254	UF0CIE254	R/W				不定
002003C4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ255	UF0CIE255	R/W				不定

(4) ブリッジ・レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200400H	ブリッジ割り込み・コントロール・レジスタ	BRGINTT	R/W				0000H
00200402H	ブリッジ割り込み・イネーブル・レジスタ	BRGINTE	R/W				0000H
00200404H	EPCマクロ・コントロール・レジスタ	EPCCLT	R/W				0000H
00200408H	CPU I/F バス・コントロール・レジスタ	CPUBCTL	R/W				0000H

(5) DMAレジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00200500H	EP1 DMAコントロール・レジスタ1	UF0E1DC1	R/W				0000H
00200502H	EP1 DMAコントロール・レジスタ2	UF0E1DC2	R/W				0000H
00200504H	EP2 DMAコントロール・レジスタ1	UF0E2DC1	R/W				0000H
00200506H	EP2 DMAコントロール・レジスタ2	UF0E2DC2	R/W				0000H
00200508H	EP3 DMAコントロール・レジスタ1	UF0E3DC1	R/W				0000H
0020050AH	EP3 DMAコントロール・レジスタ2	UF0E3DC2	R/W				0000H
0020050CH	EP4 DMAコントロール・レジスタ1	UF0E4DC1	R/W				0000H
0020050EH	EP4 DMAコントロール・レジスタ2	UF0E4DC2	R/W				0000H

(6) バルク・イン・レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00201000H	UF0 EP1バルク・イン転送データ・レジスタ	UF0EP1BI	W				0000H
00202000H	UF0 EP3バルク・イン転送データ・レジスタ	UF0EP3BI	W				0000H

(7) バルク・アウト・レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00210000H	UF0 EP2バルク・アウト転送データ・レジスタ	UF0EP2BO	R				0000H
00220000H	UF0 EP4バルク・アウト転送データ・レジスタ	UF0EP4BO	R				0000H

(8) 周辺制御レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
00240000H	USBF DMAリクエスト・イネーブル・レジスタ	UFDRQEN	R/W				0000H

20.6.3 EPC制御レジスタ

(1) UF0 EP0NAKレジスタ (UF0E0N)

Endpoint0のNAKを制御します (自動実行リクエストを除きます)。

8ビット単位でリード/ライト可能です (ただし、ビット0はリードだけ可能です)。

UF0FIC0, UF0FIC1レジスタをセットしてからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって、正確にステータスを読み出す必要がある場合は、UF0FIC0, UF0FIC1レジスタに対するライト信号とUF0EPS0, UF0EPS1, UF0EPS2レジスタ, UF0E0Nレジスタ, UF0ENレジスタに対するリード信号との間は4USBクロック以上空けてください。

Endpoint0 Read, Endpoint2, Endpoint4に対するNAK送信中は、EP0NKRビットに対する書き込みは無視されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0N	0	0	0	0	0	0	EP0NKR	EP0NKW	00200000H	00H

ビット位置	ビット名	意味
1	EP0NKR	Endpoint0へのOUTトークンに対するNAKを制御します (自動実行リクエストを除く)。Endpoint0がデータを正常受信した際に、ハードウェアによって自動的にセット (1) されます。FWによってUF0E0Rレジスタのデータを読み出されたときに (カウンタ値 = 0), ハードウェアによって自動的にクリア (0) されます。 1: NAKを送信する 0: NAKを送信しない (初期値) USBFBがデータを受信できるにもかかわらず、なんらかの理由によりUSBバスからのデータを受信したくない場合には、このビットをFWによりセット (1) してください。なおこの場合には、FWでこのビットをクリア (0) するまでUSBFBはNAKを送出しつづけます。UF0E0Rレジスタをクリアした場合には同時にこのビットもクリア (0) されます。
0	EP0NKW	Endpoint0へのINトークンに対するNAK制御状況を示します (自動実行リクエストを除く)。Endpoint0のデータが送信され、送信データをホストが正常受信した場合にハードウェアによって自動的にクリア (0) されます。UF0E0Wレジスタのデータはこのタイミングまで保持されます。したがって、ホストが正常受信できなかった場合の再送要求に対しても、再度書き込みを行う必要はありません。ショート・パケットを送る場合には必ずUF0DENDレジスタのE0DEDビットをセット (1) してください。FIFOフルの場合は自動的にセット (1) されます。UF0DENDレジスタのE0DEDビットがセット (1) された場合、同時にEP0NKWビットが自動的にセット (1) されます。 1: NAKを送信しない 0: NAKを送信する (初期値) なお、データ・ステージでACKを正常に受信できていない状態でコントロール転送がステータス・ステージに変わった場合、UF0E0Wレジスタがクリアされると同時にこのビットもクリア (0) されます。FWによりUF0E0Wをクリアした場合にも同時にこのビットもクリア (0) されます。

次に、IN/OUTトークンをとまなうSETUPトランザクションの手順を示します。

(a) INトークンをとまなう場合 (ハードウェアで自動実行するリクエストを除く)

FWはCPUDEC割り込みを受け取ったあと、UF0E0STレジスタからデータを読み出す前に、UF0IS1レジスタのPROTビットをクリア (0) してください。次に、リクエストに従った処理を行い、INトークンでデータを返す必要がある場合はUF0E0Wレジスタにデータを書き込みます。書き込みが終了したあと、UF0IS1レジスタのPROTビットが0であることを確認してから、UF0DENDレジスタのE0DEDビットをセット (1) します。ハードウェアはEP0NKWビットがセット (1) されてから最初のINトークンでデータの送出行います。UF0IS1レジスタのPROTビットが1の場合、コントロール転送終了前にSETUPトランザクションが再度発生したことを示します。その場合は、UF0IC1レジスタのPROTCビットをクリア(0)することでUF0IS1レジスタのPROTビットをクリア(0)してから、再度UF0E0STレジスタからデータを読み出してください。あとから受信したリクエストを読み出すことが可能になります。

(b) OUTトークンをとまなう場合 (ハードウェアで自動実行するリクエストを除く)

FWはCPUDEC割り込みを受け取ったあと、UF0E0STレジスタからデータを読み出す前に、UF0IS1レジスタのPROTビットをクリア (0) してください。UF0E0Rレジスタからデータを読み出す前にUF0IS1レジスタのPROTビットが0であることを確認してください。もしPROTビットが1であれば無効なデータを保持しているので、FWによりFIFOをクリアしてください (EP0NKRビットは自動的にクリア (0) されます)。UF0IS1レジスタのPROTビットが0の場合はUF0E0Lレジスタのデータを読み出し、セットされている分だけのデータをUF0E0Rレジスタから読み出してください。UF0E0Rレジスタからのデータの読み出しが完了すると (UF0E0Rレジスタのカウンタが0になったときに)、ハードウェアは自動的にEP0NKRビットをクリア (0) します。

(2) UF0 EP0NAKALLレジスタ (UF0E0NA)

Endpoint0のすべてのリクエストのNAKを制御します。自動実行リクエストに対しても有効です。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0NA	0	0	0	0	0	0	0	EP0NKA	00200002H	00H

ビット位置	ビット名	意味
0	EP0NKA	<p>Endpoint0へのSETUPトランザクション以外のNAKを制御します (自動実行リクエストを含む)。このビットの操作はFWによって行います。</p> <p>1: NAKを送信する 0: NAKを送信しない (初期値)</p> <p>このレジスタは、自動実行リクエストで使用するデータの変更を行う場合に、FWライトとSIEからのリードの競合を防止するためのもので、SIEからのアクセスが行われている間は、FWからこのビットへの書き込みの反映を保留する機能を持っています。FWによりリクエスト・データ・レジスタの書き換えを行う際には、このビットのセット (1) が正しく行えたことを確認してから実行してください。このビットのセット (1) が反映されるのは、次の場合に限ります。</p> <ul style="list-style-type: none"> ・ USBFがリセットされた直後でSETUPトークンを一度も受信していない ・ Bus Resetの受信直後でSETUPトークンを一度も受信していない ・ SETUPトークンのPIDを検出したとき ・ ステータス・ステージへ移行したとき <p>なお、クリア (0) はINトークンの受信中でNAK応答を行っている最中を除いてすぐに反映されます。</p> <p>Endpoint0転送中のEP0NKAビットのセット (1) 反映タイミングは上記の4つの場合となりますが、Endpoint0の転送以外の場合は書き込み後すぐに反映されません。</p>

(3) UF0 EPNAKレジスタ (UF0EN)

Endpoint0以外のEndpointのNAK制御などを行います。

8ビット単位でリード/ライト可能です (ただし, ビット4, 1, 0はリードだけ可能です)。

なお, BKO2NKビットはUF0ENMレジスタのBKO2NKMビット = 1のとき, BKO1NKビットはUF0ENMレジスタのBKO1NKMビット = 1のときだけライト可能です。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは, 関連ビットは無効となります。

UF0FIC0, UF0FIC1レジスタを設定してからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって, 正確にステータスを読み出す必要がある場合は, UF0FIC0, UF0FIC1レジスタに対するライト信号とUF0EPS0, UF0EPS1, UF0EPS2レジスタ, UF0E0Nレジスタ, UF0ENレジスタに対するリード信号との間は4USBクロック以上空けてください。

Endpoint0 Read, Endpoint2, Endpoint4に対するNAK送信中は, BKO1NK, BKO2NKビットに対する書き込みは無視されます。

ビット7-5には必ず0を設定してください。1を設定した場合の動作は保証できません。

(1/4)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EN	0	0	0	IT1NK	BKO2NK	BKO1NK	BKI2NK	BKI1NK	00200004H	00H

ビット位置	ビット名	意味
4	IT1NK	Endpoint7 (インタラプト1転送) に対するNAKを制御します。 データ書き込みによりUF0INT1レジスタがフルになるとこのビットは自動的にセット (1) され, 送信が開始されます。FIFOがフルにならないショート・パケットを送る場合には, UF0DENDレジスタのIT1DENDビットをセット (1) してください。IT1DENDビットがセット (1) されると, 同時にこのビットが自動的にセット (1) されます。 1: NAKを送信しない 0: NAKを送信する (初期値) なお, UF0INT1レジスタをクリアした場合には同時にこのビットもクリア (0) されます。

ビット位置	ビット名	意味
3	BKO2NK	<p>Endpoint4 (バルク2転送 (OUT)) に対するNAKを制御します。</p> <p>1: NAKを送信する 0: NAKを送信しない (初期値)</p> <p>UF0BO2レジスタ (バンク構成の64バイトFIFO) のSIE側に接続されているFIFOがデータを受信できない場合のみセット (1) されます。なお、トグル動作が行われるとクリア (0) されます。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ SIE側に接続されているFIFOに正常受信されたデータを格納した ・ CPU側に接続されているFIFOカウンタ値が0である (リード完了) <p>FWはBLKO2DT割り込み要求を受け取った時点でUF0BO2Lレジスタのデータを読み出し、その値分のデータをUF0BO2レジスタから読み出してください。USBFがデータを受信できるにもかかわらず、なんらかの理由によりUSBバスからのデータを受信したくない場合には、このビットをFWによりセット (1) してください。なお、この場合にはFWがこのビットをクリア (0) するまでUSBFはNAKを送出し続けます。UF0BO2レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>
2	BKO1NK	<p>Endpoint2 (バルク1転送 (OUT)) に対するNAKを制御します。</p> <p>1: NAKを送信する 0: NAKを送信しない (初期値)</p> <p>UF0BO1レジスタ (バンク構成の64バイトFIFO) のSIE側に接続されているFIFOがデータを受信できない場合のみセット (1) されます。なお、トグル動作が行われるとクリア (0) されます。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ SIE側に接続されているFIFOに正常受信されたデータを格納した ・ CPU側に接続されているFIFOカウンタ値が0である (リード完了) <p>FWはBLKO1DT割り込み要求を受け取った時点でUF0BO1Lレジスタのデータを読み出し、その値分のデータをUF0BO1レジスタから読み出してください。USBFがデータを受信できるにもかかわらず、なんらかの理由によりUSBバスからのデータを受信したくない場合には、このビットをFWによりセット (1) してください。なお、この場合にはFWがこのビットをクリア (0) するまでUSBFはNAKを送出し続けます。UF0BO1レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>

- 注意1.** PIOモードでUF0BO2レジスタからデータを読み込んでいる最中にDMAを許可すると、すぐにDMAリクエストが発行されます。
2. DMA転送モードでCPU側FIFOの最終データを読み出すと、DMAリクエスト信号はインアクティブになります。
3. DMA転送モードでTC信号を受信すると、DMAリクエスト信号はインアクティブになります。

ビット位置	ビット名	意味
1	BKI2NK	<p>Endpoint3 (バルク2転送 (IN)) に対するNAKを制御します。</p> <p>1: NAKを送信しない 0: NAKを送信する (初期値)</p> <p>UF0BI2レジスタ (バンク構成の64バイトFIFO) のデータ送信が正常に終了してSIE側に接続されているFIFOにデータがない場合のみクリア(0)されます。なお、トグル動作が行われるとセット(1)されます (UF0BI2レジスタのデータは、送信が正常に完了するまで保持されます)。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ CPUバス側に接続されているFIFOに正常に書き込みが行われた (ライト完了, FIFOフルがUF0DENDレジスタがセットされている) ・ SIE側に接続されているFIFOカウンタ値が0である <p>データ書き込みによりCPU側のFIFOがフルになりFIFOトグル動作が行われると、このビットは自動的にセット(1)されデータ送信が開始されます。ただし、UF0DENDレジスタのBKI2Tビットがクリア(0)されている状態でのDMAによるCPU側のFIFOへの書き込みでFIFOがフルになった場合は、UF0DENDレジスタのBKI2DEDビットがセット(1)されるまでトグル動作の条件を満足しないため、トグル動作は発生しません。CPU側のFIFOがフルにならないショート・パケットを送る場合には、データ書き込み完了後BKI2DEDビットをセット(1)してください。BKI2DEDビットがセット(1)されると、トグル動作が行われるのと同時にこのビットも自動的にセット(1)されます。UF0BI2レジスタをクリアした場合には同時にこのビットもクリア(0)されます。</p>

注意1. PIOモードでUF0BI2レジスタにデータを書き込んでいる最中にDMA許可を行うと、すぐにDMAリクエストが発行されます。

2. DMA転送モードで64バイト書き込みを行った場合、DMAリクエスト信号はインアクティブになります。このあとBKI2NKビットがセット(1)されている場合には、INトークンに同期してデータ送信が行われます。FIFOのトグルが発生した時点で、DMAリクエストのマスクを行わないかぎりDMAリクエスト信号は再度アクティブになります。一方、BKI2NKビットがセットされていない(0)場合には、INトークンを受け取ってもデータの送信は行われません。この場合には、UF0DENDレジスタのBKI2DEDビットをセット(1)してください。
3. DMA転送モードでTC信号を受信すると、DMAリクエスト信号はインアクティブになります。同時にDMAリクエストもマスクされます。BKI2NKビットがセット(1)されない場合には、INトークンを受け取ってもデータの送信は行われません。FWでUF0DENDレジスタのBKI2DEDビットをセット(1)すると、INトークンに同期してデータ送信が行われます。再度DMA転送を行う場合は、DMAリクエストのマスクを解除してください。

ビット位置	ビット名	意味
0	BKI1NK	<p>Endpoint1 (バルク1転送 (IN)) に対するNAKを制御します。</p> <p>1 : NAKを送信しない 0 : NAKを送信する (初期値)</p> <p>UF0BI1レジスタ (バンク構成の64バイトFIFO) のデータ送信が正常に終了してSIE側に接続されているFIFOにデータがない場合のみクリア (0) されます。なお、トグル動作が行われるとセット (1) されます (UF0BI1レジスタのデータは、送信が正常に完了するまで保持されます)。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ CPUバス側に接続されているFIFOに正常に書き込みが行われた (ライト完了, FIFOフルがUF0DENDレジスタがセットされている) ・ SIE側に接続されているFIFOカウンタ値が0である <p>データ書き込みでCPU側のFIFOがフルになりFIFOトグル動作が行われると、このビットは自動的にセット (1) されデータ送信が開始されます。ただし、UF0DENDレジスタのBKI1Tビットがクリア (0) されている状態でのDMAによるCPU側のFIFOへの書き込みでFIFOがフルになった場合は、UF0DENDレジスタのBKI1DEDビットがセット (1) されるまでトグル動作の条件を満たさないため、トグル動作は発生しません。CPU側のFIFOがフルにならないショート・パケットを送る場合には、データ書き込み完了後BKI1DEDビットをセット (1) してください。BKI1DEDビットがセット (1) されると、トグル動作が行われるのと同時にこのビットも自動的にセット (1) されます。UF0BI1レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>

- 注意1.** PIOモードでUF0BI1レジスタにデータを書き込んでいる最中にDMA許可を行うと、すぐにDMAリクエストが発行されます。
- DMA転送モードで64バイト書き込みを行った場合、DMAリクエスト信号はインアクティブになります。このあとBKI1NKビットがセット (1) されている場合には、INトークンに同期してデータ送信が行われます。FIFOのトグルが発生した時点で、DMAリクエストのマスクを行わないかぎりDMAリクエスト信号は再度アクティブになります。一方、BKI1NKビットがセットされていない (0) 場合には、INトークンを受け取ってもデータの送信は行われません。この場合には、UF0DENDレジスタのBKI1DEDビットをセット (1) してください。
 - DMA転送モードでTC信号を受信すると、DMAリクエスト信号はインアクティブになります。同時にDMAリクエストもマスクされます。BKI1NKビットがセット (1) されない場合には、INトークンを受け取ってもデータの送信は行われません。FWでUF0DENDレジスタのBKI1DEDビットをセット (1) すると、INトークンに同期してデータ送信が行われます。再度DMA転送を行う場合は、DMAリクエストのマスクを解除してください。

(4) UF0 EPNAKマスク・レジスタ (UF0ENM)

UF0ENレジスタに対する書き込みマスクを制御します。

8ビット単位でリード/ライト可能です。

ビット7-4, 1, 0には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ENM	0	0	0	0	BKO2NKM	BKO1NKM	0	0	00200006H	00H

ビット位置	ビット名	意 味
3	BKO2NKM	UF0ENレジスタのビット3 (BKO2NK) に対する書き込みをマスクするかしないかを設定します。 1: マスクしない 0: マスクする (初期値)
2	BKO1NKM	UF0ENレジスタのビット2 (BKO1NK) に対する書き込みをマスクするかしないかを設定します。 1: マスクしない 0: マスクする (初期値)

(5) UF0 SNDSIEレジスタ (UF0SDS)

ノー・ハンドシェークなどの操作を行います。SIEの端子を直接操作できます。

8ビット単位でリード/ライトが可能です。

ビット2には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0SDS	0	0	0	0	SNDSTL	0	0	RSUMIN	00200008H	00H

ビット位置	ビット名	意 味
3	SNDSTL	<p>Endpoint0に対してSTALLハンドシェークを発行させるようにします。CPUDEC処理のリクエストがシステムで対応していないものであるときにセット(1)することで、STALLハンドシェークで応答させます。SET_CONFIGURATION, SET_INTERFACEリクエストなどでサポートしていないwValueが送られてきた場合は、ハードウェアがこのビットをセット(1)します。自動リクエストでのオーバーラン等によりEndpoint0で問題が発生した場合もこのビットはセット(1)されます。ただし、UF0E0SLレジスタのE0HALTビットへのセット(1)は行われません。</p> <p>1: STALLハンドシェークで応答する 0: STALLハンドシェークで応答しない(初期値)</p> <p>なお、次のSETUPトークンを受信したときにこのビットはクリア(0)され、バスへのハンドシェーク応答はSTALL以外になります。FWでSNDSTLビットをセット(1)する場合には、UF0E0Wレジスタへの書き込みは行わないでください。また、セット(1)するタイミングによってはSTALL応答が間に合わずNAK応答を行ったあとに次の転送にSTALL応答する場合があります。</p> <p>このビットの設定は、セット(1)されたときに実行中のFW実行リクエストの間だけ有効です。次のSETUPトークン受信時に自動的にクリア(0)されます。</p> <p>備考 SNDSTLビットはFW実行リクエストに対してだけ有効です。</p>
0	RSUMIN	<p>USBバス上にResume信号を出力させます。UF0DSTLレジスタのRMWKビットがセット(1)されていないかぎり、このビットへの書き込みは無効となります。</p> <p>1: Resume信号を発生させる 0: Resume信号を発生させない(初期値)</p> <p>このビットがセット(1)されている間はResume信号を発生させ続けますので、一定時間経過したあとFWによりクリア(0)してください。内部でクロックによるサンプリングを行っているため、CLKが供給されている場合のみ動作を保証できます。システムとしてCLKを停止する場合は注意してください。</p>

(6) UF0 CLRリクエスト・レジスタ (UF0CLR)

受信されたCLEAR_FEATUREリクエストが何を対象にしたものかを示します。

8ビット単位でリードだけ可能です。

このレジスタは割り込み要求が発生したときにだけ意味を持ちます。各ビットはステータス・ステージ終了後にセット(1)され、このレジスタを読み出したときに自動的にクリア(0)されます。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CLR	0	CLREP7	CLREP4	CLREP3	CLREP2	CLREP1	CLREP0	CLRDEV	0020000AH	00H

ビット位置	ビット名	意 味
6-1	CLREPn	CLEAR_FEATURE Endpoint nリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない(初期値)
0	CLRDEV	CLEAR_FEATURE Deviceリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない(初期値)

備考 n = 0-4, 7

(7) UF0 SETリクエスト・レジスタ (UF0SET)

自動処理を行ったSET_XXXXリクエスト (SET_INTERFACEを除く) が何を対象にしたものかを示します。

8ビット単位でリードだけ可能です。

このレジスタは割り込み要求が発生したときにだけ意味を持ちます。各ビットはステータス・ステージ終了後にセット (1) され、このレジスタを読み出したときに自動的にクリア (0) されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0SET	SETCON	0	0	0	0	SETEP	0	SETDEV	0020000CH	00H

ビット位置	ビット名	意 味
7	SETCON	SET_CONFIGURATIONリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
2	SETEP	SET_FEATURE Endpoint nリクエスト (n=0-4, 7) を受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
0	SETDEV	SET_FEATURE Deviceリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)

(8) UF0 EPステータスレジスタ (UF0EPS0)

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

UF0FIC0, UF0FIC1レジスタを設定してからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって，正確にステータスを読み出す必要がある場合はUF0FIC0, UF0FIC1レジスタに対するライトとUF0EPS0, UF0EPS1, UF0EPS2レジスタ，UF0E0Nレジスタ，UF0ENレジスタに対するリードとの間は4USBクロック以上空けてください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS0	0	IT1	BKOUT2	BKOUT1	BKIN2	BKIN1	EPOW	EP0R	0020000EH	00H

ビット位置	ビット名	意 味
6	IT1	UF0INT1レジスタ (FIFO) にデータがあることを示します。また，UF0DENDレジスタのIT1DENDビットをセット (1) することにより，UF0INT1レジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Nullデータ送信)。UF0INT1レジスタのカウンタが0であっても，UF0DENDレジスタのIT1DENDビットをセット (1) すると，同時にこのビットがハードウェアによりセット (1) されます。正常送信後にクリア (0) されます。 1: データがある 0: データがない (初期値)
5, 4	BKOUTn	CPU側に接続されたUF0BOnレジスタ (FIFO) にデータがあることを示します。UF0BOnレジスタを構成しているFIFOが切り替わったときに，ハードウェアにより自動的にセット (1) されます。CPU側に接続されたUF0BOnレジスタ (FIFO) の読み出しが終了 (カウンタ値 = 0) したときに，ハードウェアにより自動的にクリア (0) されます。Nullデータを受信した場合はセット (1) されません (FIFOのトグルも発生しません)。 1: データがある 0: データがない (初期値)
3, 2	BKINn	CPU側に接続されたUF0Binレジスタ (FIFO) にデータがあることを示します。また，UF0DENDレジスタのBKInDEDビットをセット (1) することにより，UF0Binレジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Nullデータ送信)。UF0Binレジスタのカウンタが0であっても，UF0DENDレジスタのBKInDEDビットをセット (1) すると，同時にこのビットがハードウェアによりセット (1) されます。トグル動作時にクリア (0) されます。 1: データがある 0: データがない (初期値)

備考 n = 1, 2

ビット位置	ビット名	意 味
1	EP0W	UF0E0Wレジスタ (FIFO) にデータがあることを示します。また、UF0DENDレジスタのE0DEDビットをセット (1) することにより、UF0E0Wレジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Nullデータ送信)。UF0E0Wレジスタのカウンタが0であっても、UF0DENDレジスタのE0DEDビットをセット (1) すると、同時にこのビットがハードウェアによりセット (1) されます。正常送信後にクリア (0) されます。 1: データがある 0: データがない (初期値)
0	EP0R	UF0E0Rレジスタ (FIFO) にデータがあることを示します。UF0E0Rレジスタ (FIFO) の読み出しが終了 (カウンタ値 = 0) したときに、ハードウェアにより自動的にクリア (0) されます。Nullデータを受信した場合はセット (1) されません。 1: データがある 0: データがない (初期値)

(9) UF0 EPステータス1レジスタ (UF0EPS1)

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS1	RSUM	0	0	0	0	0	0	0	00200010H	00H

ビット位置	ビット名	意 味
7	RSUM	<p>USBバスがResume状態にあることを示します。このビットは割り込み要求が発生したときにだけ意味を持ちます。</p> <p>1 : Suspend状態になった</p> <p>0 : Resume状態になった (初期値)</p> <p>内部でクロックによるサンプリングを行っているため，CLKが供給されている場合にのみ動作を保証できます。システムとしてCLKを停止する場合は注意してください。SIEではCLKが停止した状態でもINTUSBF1信号は動作します。したがって割り込み制御レジスタ (UFIC1) を有効にするか，USBFに対するCLKの周波数を下げることで対応が可能になります。</p> <p>このビットは読み出したときに自動的にクリア (0) されます。</p>

(10) UF0 EPステータス2レジスタ (UF0EPS2)

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS2	0	0	HALT7	HALT4	HALT3	HALT2	HALT1	HALT0	00200012H	00H

ビット位置	ビット名	意 味
5-0	HALTn	<p>現在Endpoint nがストールしていることを示すビットです。オーバラン発生や規定外リクエスト受信などのストール条件が成立した場合にセット(1)されます。これらのビットはハードウェアにより自動的にセット(1)されます。</p> <p>1: Endpointがストールしている 0: Endpointはストールしていない(初期値)</p> <p>オーバラン発生/規定外リクエスト受信などによりHALT0ビットがセット(1)されると，同時にSNDSTLビットもセット(1)されます。この状態で次のSETUPトークンを受信すると，SNDSTLビットがクリア(0)されるため，このビットもクリア(0)されます。なお，SET_FEATURE Endpoint0リクエストによりEndpoint0をストールさせた場合には，CLEAR_FEATURE Endpoint0リクエストを受信するかFWでHalt Featureをクリアするまでこのビットはクリア(0)されません。Endpoint0のHalt Featureをセットした状態でGET_STATUS Endpoint0, CLEAR_FEATURE Endpoint0, SET_FEATURE Endpoint0リクエスト，またはCPUDEC割り込み要求によりFWで処理を行うリクエストを受信した場合には，次のSETUPトークンを受信するまでHALT0ビットはマスクされ0になります。Endpoint nがCLEAR_FEATURE Endpointリクエストを受信するまでかEndpointがリンクされたInterfaceに対するSET_INTERFACE, SET_CONFIGURATIONリクエストでHalt Featureをクリアするまで，またはFWでHalt Featureをクリアするまで，HALTnビットはクリア(0)されません。SET_INTERFACE, SET_CONFIGURATIONリクエストを正常処理した場合には，wValue値が現行の設定値と同じであったとしてもEndpoint0を除いたすべての対象EndpointのHalt Featureはリクエストを処理したあとにクリアされ，これらのビットもクリア(0)されます。Endpoint0のHalt FeatureがセットされているとSET_INTERFACE, SET_CONFIGURATIONリクエストはSTALL応答されるため，Endpoint0のHalt Featureはクリアできません。</p>

備考 n = 0-4, 7, 8

(11) UF0 INTステータス0レジスタ (UF0IS0)

割り込み要因を示します。このレジスタに変化があった場合は、EPCINT0Bがアクティブになります。8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSBF0) が発生した場合、FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC0レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。

注意 USBFでは、Bus Reset, Resume, Shortなど複数の割り込み要因が内部で論理和 (OR) され、1つの割り込み要求 (INTUSBF0) として発生します。このため、複数の割り込み要因が発生している場合、複数の割り込み要因が論理和 (OR) されてINTUSBF0割り込み要求を発行します。例えば、Bus Reset割り込み要因とResume割り込み要因が発生している場合には、2つの要因が論理和 (OR) されてINTUSBF0割り込み要求を発行します。

この条件で、Bus Reset割り込み要因だけをクリア (0) (UF0IC0.BUSRSTC = 0) した場合、Resume割り込み要因が残っているため、V850ES/JG3-U, V850ES/JH3-U内部のINTUSBF0割り込み要求はセット (1) された状態のままとなり、新たに割り込み要求フラグ (US0BIC.US0BIF) がセット (1) されないことがあります。

この場合、INTUSBF0割り込み処理ルーチン内で各割り込み要求のクリア処理を実施したあと、改めてUF0IS0, UF0IS1レジスタのフラグ状態を確認し、フラグがセット (1) されている割り込み要因がある場合には、フラグのクリア (一括クリアではなく、該当ビットのみをクリア) を行ってください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS0	BUSRST	RSUSPD	0	SHORT	DMAED	SETRQ	CLRRQ	EPHALT	00200020H	00H

ビット位置	ビット名	意味
7	BUSRST	Bus Resetが行われたことを示します。 1 : Bus Resetが行われた (割り込み要求発生) 0 : Bus Reset状態ではない (初期値)
6	RSUSPD	ResumeまたはSuspend状態が発生したことを示します。FWでUF0EPS1レジスタのビット7を参照してください。 1 : ResumeまたはSuspend状態が発生した (割り込み要求発生) 0 : ResumeまたはSuspend状態が発生していない (初期値)
4	SHORT	UF0BO1, UF0BO2レジスタのいずれかのFIFOからデータが読み出され、USBSPnB信号 (n=2, 4) のいずれかをアクティブにしたことを示します。DMAモードでFIFOがフルになっていないときにだけ有効です。 1 : USBSPnB信号をアクティブにした (割り込み要求発生) 0 : USBSPnB信号をアクティブにしていない (初期値) 実際にどのEndpointに対する動作であるかはUF0DMS1レジスタで確認してください。ただし、FWによりUF0DMS1レジスタを読み出しても、自動的にクリア (0) されません。

ビット位置	ビット名	意味
3	DMAED	<p>Endpoint n用DMA終了 (TC) 信号 (n = 1-4, 7) のいずれかがアクティブになったことを示します。</p> <p>1: Endpoint n用DMA終了信号が入力された (割り込み要求発生)</p> <p>0: Endpoint n用DMA終了信号が入力されていない (初期値)</p> <p>このビットがセット (1) されると, Endpoint n用DMA要求信号はインアクティブになります。FWによりDMA転送許可を行わないかぎり, Endpoint n用DMA要求信号はアクティブになりません。</p> <p>実際にどのEndpointに対する動作であるかはUF0DMS0レジスタで確認してください。ただし, FWによりUF0DMS0レジスタを読み出しても, 自動的にクリア (0) されません。</p>
2	SETRQ	<p>自動処理対象のSET_XXXXリクエストを受信し, 自動処理を行ったことを示します (XXXX = CONFIGURATION, FEATURE)。</p> <p>1: 自動処理対象のSET_XXXXリクエストを受信した (割り込み要求発生)</p> <p>0: 自動処理対象のSET_XXXXリクエストを受信していない (初期値)</p> <p>このビットはステータス・ステージ終了後にセット (1) されます。リクエストの対象が何かはUF0SETレジスタを参照してください。FWによりUF0SETレジスタを読み出しても, 自動的にクリア (0) されません。</p> <p>なお, SET_FEATURE Endpointリクエストを受信したときはEPHALTビットもセット (1) されます。</p>
1	CLRRQ	<p>CLEAR_FEATUREリクエストを受信し, 自動処理を行ったことを示します。</p> <p>1: CLEAR_FEATUREリクエストを受信した (割り込み要求発生)</p> <p>0: CLEAR_FEATUREリクエストを受信していない (初期値)</p> <p>このビットはステータス・ステージ終了後にセット (1) されます。</p> <p>CLEAR_FEATUREリクエストの対象が何かはUF0CLRレジスタを参照してください。FWによりUF0CLRレジスタを読み出しても, 自動的にクリア (0) されません。</p>
0	EPHALT	<p>Endpointがストールしていることを示します。</p> <p>1: Endpointがストールしている (割り込み要求発生)</p> <p>0: Endpointがストールしていない (初期値)</p> <p>なお, FWのセットによりEndpointをストールさせた場合もこのビットがセット (1) されます。</p> <p>ストールしているEndpointは, UF0EPS2レジスタを参照してください。CLEAR_FEATURE Endpoint, SET_INTERFACE, SET_CONFIGURATIONリクエストを受信しても, 自動的にクリア (0) されません。またEndpoint0のオーバーラン発生の場合, 次のSETUPトークンを受信しても, 自動的にクリア (0) されません。</p> <p>注意 Endpoint0のHalt Featureがセットされてこの割り込み要求が発生した場合でも, SET_FEATURE Endpoint0, CLEAR_FEATURE Endpoint0, GET_STATUS Endpoint0リクエストまたはFW処理リクエストを受信してから次の前述以外のSETUPトークンを受信するまではUF0EPS2レジスタのビット0はマスクされ0になります。</p>

(12) UF0 INTステータス1レジスタ (UF0IS1)

割り込み要因を示します。このレジスタに変化があった場合は、EPCINT0Bがアクティブになります。8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSBF0) が発生した場合、FWIはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC1レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。ただし、UF0IS1レジスタのSUCES, STGビットは次のSETUPトークン受信で自動的にクリア (0) されます。

注意 USBFでは、Bus Reset, Resume, Shortなど複数の割り込み要因が内部で論理和 (OR) され、1つの割り込み要求 (INTUSBF0) として発生します。このため、複数の割り込み要因が発生している場合、複数の割り込み要因が論理和 (OR) されてINTUSBF0割り込み要求を発行します。例えば、Bus Reset割り込み要因とResume割り込み要因が発生している場合には、2つの要因が論理和 (OR) されてINTUSBF0割り込み要求を発行します。

この条件で、Bus Reset割り込み要因だけをクリア (0) (UF0IC0.BUSRSTC = 0) した場合、Resume割り込み要因が残っているため、V850ES/JG3-U, V850ES/JH3-U内部のINTUSBF0割り込み要求はセット (1) された状態のままとなり、新たに割り込み要求フラグ (US0BIC.US0BIF) がセット (1) されないことがあります。

この場合、INTUSBF0割り込み処理ルーチン内で各割り込み要求のクリア処理を実施したあと、改めてUF0IS0, UF0IS1レジスタのフラグ状態を確認し、フラグがセット (1) されている割り込み要因がある場合には、フラグのクリア (一括クリアではなく、該当ビットのみをクリア) を行ってください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS1	0	E0IN	E0INDT	E0ODT	SUCES	STG	PROT	CPU DEC	00200022H	00H

ビット位置	ビット名	意味
6	E0IN	Endpoint0に対するINトークンを受信して、ハードウェアが自動的にNAKを送信したことを示します。 1: INトークンを受信しNAKを送出した (割り込み要求発生) 0: INトークンを受信していない (初期値)
5	E0INDT	UF0E0Wレジスタからデータが正常に送信されたことを示します。 1: UF0E0Wレジスタから送信が完了した (割り込み要求発生) 0: UF0E0Wレジスタから送信を完了していない (初期値) データはUF0E0NレジスタのEP0NKWビットをセット (1) した次のINトークンに同期して送信されますが、そのデータをホストが正常受信した場合にハードウェアにより自動的にセット (1) されます。Nullパケットでもセット (1) されます。UF0E0Wレジスタに書き込みを行った最初のライト・アクセス時にハードウェアにより自動的にクリア (0) されます。

ビット位置	ビット名	意 味
4	E0ODT	<p>データがUF0E0Rレジスタに正常に受信されたことを示します。</p> <p>1: UF0E0Rレジスタにデータがある (割り込み要求発生)</p> <p>0: UF0E0Rレジスタにデータがない (初期値)</p> <p>正常に受信するとハードウェアにより自動的にセット(1)され,同時にUF0EPS0レジスタのEP0Rビットもセット(1)されます。Nullパケットを受信した場合はセット(1)されません。FWによりUF0E0Rレジスタを読み出し,UF0E0Lレジスタの値が0になるとハードウェアにより自動的にクリア(0)されます。</p>
3	SUCES	<p>FW処理またはハードウェア処理リクエストのどちらかを受信し,ステータス・ステージを正常に終了したことを示します。</p> <p>1: コントロール転送を正常に処理し終わった (割り込み要求発生)</p> <p>0: コントロール転送を正常に処理し終わっていない (初期値)</p> <p>このビットはステータス・ステージ終了後にセット(1)されます。また,次のSETUPトークンを受信したときにハードウェアにより自動的にクリア(0)されます。</p> <p>なお,コントロール転送のステータス・ステージでData PIDが0のデータ (Nullデータ)を受信した場合もSUCESビットがセット(1)されます。</p>
2	STG	<p>コントロール転送でステータス・ステージが変わったときにセット(1)されます。FW処理またはハードウェア処理のいずれのリクエストでも有効です。また,コントロール転送(データなし)でもステータス・ステージが変わったときにはセット(1)されます。</p> <p>1: ステータス・ステージに入った (割り込み要求発生)</p> <p>0: ステータス・ステージに入っていない (初期値)</p> <p>このビットは次のSETUPトークンを受信したときにハードウェアにより自動的にクリア(0)されます。</p> <p>なお,データ・ステージでACKを正常に受信できていない状態でコントロール転送がステータス・ステージが変わった場合でもセット(1)されます。この場合,FWでコントロール転送(リード)を処理している場合にはUF0E0Wレジスタと同時にUF0E0NレジスタのEP0NKWビットもクリア(0)されます。</p>
1	PROT	<p>SETUPトークンを受信したことを示します。ハードウェア処理またはFW処理のいずれのリクエストでも有効です。</p> <p>1: SETUPトークンを正常受信した (割り込み要求発生)</p> <p>0: SETUPトークンを受信していない (初期値)</p> <p>このビットは,UF0E0STレジスタにデータを正常受信した際にセット(1)されます。UF0E0STレジスタを最初にリード・アクセスする際などに,FWによってクリア(0)してください。FWによりクリア(0)しなかった場合,次のSETUPトークンを正常に受け取ったことを認識できません。</p> <p>このビットは,コントロール転送中に再度SETUPトランザクションが行われたことを確実に認識するために使用します。コントロール転送中に再度SETUPトランザクションが行われ,2番目のリクエストがハードウェア実行の場合CPUDECビットはセット(1)されないので,このビットで確認することができます。</p>
0	CPUDEC	<p>UF0E0STレジスタにFWでデコードを行うリクエストがあることを示します。</p> <p>1: UF0E0STレジスタにデータがある (割り込み要求発生)</p> <p>0: UF0E0STレジスタにデータがない (初期値)</p> <p>UF0E0STレジスタのデータをすべてリードすると,ハードウェアにより自動的にクリア(0)されます。</p>

(13) UF0 INTステータス2レジスタ (UF0IS2)

割り込み要因を示します。このレジスタに変化があった場合は、EPCINT1Bがアクティブになります。8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSBF0) が発生した場合、FWIはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC2レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。

UF0EnIMレジスタ (n = 1, 3, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS2	BKI2IN	BKI2DT	BKI1IN	BKI1DT	0	0	0	IT1DT	00200024H	00H

ビット位置	ビット名	意 味
7, 5	BKInIN	UF0BInレジスタ (Endpoint m) に対するINトークンを受信してNAKを返信したことを示します。 1: INトークンを受信しNAKを送出した (割り込み要求発生) 0: INトークンを受信していない (初期値)
6, 4	BKInDT	UF0BInレジスタ (Endpoint m) のFIFOのトグルが発生したことを示します。これはEndpoint mにデータを書き込めることを意味します。 1: FIFOのトグル動作が発生した (割り込み要求発生) 0: FIFOのトグル動作が発生していない (初期値) Endpoint mに書き込まれたデータはUF0ENレジスタのBKInNKビットがセット (1) された次のINトークンに同期して送信されますが、FIFOのトグル動作が発生してCPU側からデータが書き込めるようになると、このビットがハードウェアにより自動的にセット (1) されます。Nullパケットの場合でもFIFOの切り替えが行われた場合はセット (1) されます。UF0BInレジスタに書き込みを行った最初のライト・アクセス時にハードウェアが自動的にクリア (0) します。
0	IT1DT	UF0INT1レジスタ (Endpoint x) からデータが正常に送信されたことを示します。 1: 送信が完了した (割り込み要求発生) 0: 送信が完了していない (初期値) データはUF0ENレジスタのITnNKビットをセット (1) した次のINトークンに同期して送信されますが、そのデータをホストが正常受信した場合にハードウェアにより自動的にセット (1) されます。UF0INT1レジスタに書き込みを行った最初のライト・アクセス時にハードウェアが自動的にクリア (0) します。Nullパケットでもセット (1) されます。

備考 n = 1, 2

n = 1のときm = 1, x = 7

n = 2のときm = 3

(14) UF0 INTステータス3レジスタ (UF0IS3)

割り込み要因を示します。このレジスタに変化があった場合は、EPCINT1Bがアクティブになります。8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSBF0) が発生した場合、FWIはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC3レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS3	BKO2FL	BKO2NL	BKO2 NAK	BKO2DT	BKO1FL	BKO1NL	BKO1 NAK	BKO1DT	00200026H	00H

ビット位置	ビット名	意 味
7, 3	BKOnFL	UF0BOnレジスタ (Endpoint m) にデータが正常受信され、CPU/SIEの両方のFIFOにデータが保持されていることを示します。 1: UF0BOnレジスタの両方のFIFOに受信データが存在する (割り込み要求発生) 0: UF0BOnレジスタの少なくともSIE側FIFOには受信データが存在しない (初期値) CPU/SIEの両方のFIFOにデータが保持されると、ハードウェアにより自動的にセット (1) されます。FIFOのトグル動作が起こるとハードウェアにより自動的にクリア (0) されます。
6, 2	BKOnNL	UF0BOnレジスタ (Endpoint m) でNullパケット (0長パケット) を受信したことを示します。 1: Nullパケットを受信した (割り込み要求発生) 0: Nullパケットは受信していない (初期値) FIFOが空の状態ではNullパケットの受信により受信直後にこのビットがセット (1) されます。CPU側FIFOにデータが存在する状態ではCPU側FIFOの読み出しが完了したあとにこのビットがセット (1) されます。
5, 1	BKOnNAK	UF0BOnレジスタ (Endpoint m) に対するOUTトークンを受信してNAKを返信したことを示します。 1: OUTトークンを受信しNAKを送出した (割り込み要求発生) 0: OUTトークンを受信していない (初期値)

備考 n = 1, 2

n = 1のときm = 2

n = 2のときm = 4

ビット位置	ビット名	意 味
4, 0	BKOnDT	<p>UF0BOnレジスタ (Endpoint m) にデータが正常受信されたことを示します。</p> <p>1: 正常に受信が完了した (割り込み要求発生)</p> <p>0: 受信が完了していない (初期値)</p> <p>正常受信を行いFIFOが切り替わったときに,ハードウェアにより自動的にセット (1) され,同時にUF0EPS0レジスタの対応ビットもセット (1) されます。Null パケットの場合はセット (1) されません。FWIによるUF0BOnレジスタ読み出しでUF0BOnLレジスタの値が0になると,ハードウェアにより自動的にクリア (0) されます。</p> <p>このビットはCPU側のFIFOをすべて読み出したときに自動的にクリア (0) されますが,このときSIE側にデータがあれば割り込み要求はクリアされずINTUSBF1信号もインアクティブになりません。連続してデータを受信した場合は,アクティブのままになります。</p>

備考 n = 1, 2

n = 1のときm = 2

n = 2のときm = 4

(15) UF0 INTステータス4レジスタ (UF0IS4)

割り込み要因を示します。このレジスタに変化があった場合は、EPCINT2Bがアクティブになります。
8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSBF0) が発生した場合、FWはこのレジスタを読み出して割り込み要因を確認してください。

このレジスタのビットは、UF0IC4レジスタの対応ビットに0を書き込むと強制的にクリア(0)されます。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS4	0	0	SETINT	0	0	0	0	0	00200028H	00H

ビット位置	ビット名	意 味
5	SETINT	SET_INTERFACEリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った (割り込み要求発生) 0: 自動処理を行っていない (初期値) 現在の設定がどのようになっているかはUF0ASSレジスタまたはUF0IFnレジスタ (n = 0-4) を読み出すことで判断できます。

(16) UF0 INTマスクレジスタ (UF0IM0)

UF0IS0レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWはこのレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSBF0) 発生をマスクします。マスクした場合もステータスは反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM0	BUS RSTM	RSU SPDM	0	SHORTM	DMA EDM	SET RQM	CLR RQM	EP HALTM	0020002EH	00H

ビット位置	ビット名	意味
7	BUSRSTM	Bus Reset割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6	RSUSPDM	Resume/Suspend割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4	SHORTM	Short割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
3	DMAEDM	DMA_END割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	SETRQM	SET_RQ割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	CLRRQM	CLR_RQ割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	EPHALTM	EP_Halt割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(17) UF0 INTマスク1レジスタ (UF0IM1)

UF0IS1レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWはこのレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSBF0) 発生をマスクします。マスクした場合もステータスは反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM1	0	E0INM	E0 INDTM	E0 ODTM	SUCESM	STGM	PROTM	CPU DECM	00200030H	00H

ビット位置	ビット名	意 味
6	E0INM	EP0IN割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
5	E0INDTM	EP0INDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4	E0ODTM	EP0OUTDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
3	SUCESM	Success割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	STGM	Stg割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	PROTM	Protect割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	CPUDECM	CPUDECM割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(18) UF0 INTマスクレジスタ (UF0IM2)

UF0IS2レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWは、このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSBF0) 発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIMレジスタ (n = 1, 3, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM2	BKI2INM	BKI2 DTM	BKI1INM	BKI1 DTM	0	0	0	IT1DTM	00200032H	00H

ビット位置	ビット名	意 味
7, 5	BKInINM	BLKInIN割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6, 4	BKInDTM	BLKInDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	IT1DTM	INTnDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

備考 n = 1, 2

(19) UF0 INTマスク3レジスタ (UF0IM3)

UF0IS3レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWは、このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSBF0) 発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM3	BKO2	BKO2	BKO2	BKO2	BKO1	BKO1	BKO1	BKO1	00200034H	00H
	FLM	NLM	NAKM	DTM	FLM	NLM	NAKM	DTM		

ビット位置	ビット名	意 味
7, 3	BKOnFLM	BLKOnFL割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6, 2	BKOnNLM	BLKOnNL割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
5, 1	BKOnNAKM	BLKOnNK割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4, 0	BKOnDTM	BLKOnDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

備考 n = 1, 2

(20) UF0 INTマスク4レジスタ (UF0IM4)

UF0IS4レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWは、このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSBF0) 発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM4	0	0	SETINTM	0	0	0	0	0	00200036H	00H

ビット位置	ビット名	意味
5	SETINTM	SET_INT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(21) UF0 INTクリアレジスタ (UF0IC0)

UF0IS0レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア(0)するビットでも、ハードウェアによるクリア(0)の前にFWによるクリア(0)が可能です。0を書き込んだあとは自動的にセット(1)されます。1を書き込んででも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC0	BUS RSTC	RSU SPDC	1	SHORTC	DMA EDC	SET RQC	CLR RQC	EP HALTC	0020003CH	FFH

ビット位置	ビット名	意味
7	BUSRSTC	Bus Reset割り込み要求をクリアします。 0 : クリアする
6	RSUSPDC	Resume/Suspend割り込み要求をクリアします。 0 : クリアする
4	SHORTC	Short割り込み要求をクリアします。 0 : クリアする
3	DMAEDC	DMA_END割り込み要求をクリアします。 0 : クリアする
2	SETRQC	SET_RQ割り込み要求をクリアします。 0 : クリアする
1	CLRRQC	CLR_RQ割り込み要求をクリアします。 0 : クリアする
0	EPHALTC	EP_Halt割り込み要求をクリアします。 0 : クリアする

(22) UF0 INTクリアレジスタ (UF0IC1)

UF0IS1レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア(0)するビットでも、ハードウェアによるクリア(0)の前にFWによるクリア(0)が可能です。0を書き込んだあとは自動的にセット(1)されます。1を書き込んででも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC1	1	E0INC	E0 INDTC	E0ODTC	SUCESC	STGC	PROTC	CPU DECC	0020003EH	FFH

ビット位置	ビット名	意 味
6	E0INC	EP0IN割り込み要求をクリアします。 0 : クリアする
5	E0INDTC	EP0INDT割り込み要求をクリアします。 0 : クリアする
4	E0ODTC	EP0OUTDT割り込み要求をクリアします。 0 : クリアする
3	SUCESC	Success割り込み要求をクリアします。 0 : クリアする
2	STGC	Stg割り込み要求をクリアします。 0 : クリアする
1	PROTC	Protect割り込み要求をクリアします。 0 : クリアする
0	CPUDECC	CPUDECC割り込み要求をクリアします。 0 : クリアする

(23) UF0 INTクリアレジスタ (UF0IC2)

UF0IS2レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んででも無効となります。

UF0EnIMレジスタ (n = 1, 3, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC2	BKI2INC	BKI2 DTC	BKI1INC	BKI1 DTC	1	1	1	IT1DTC	00200040H	FFH

ビット位置	ビット名	意 味
7, 5	BKInINC	BLKInIN割り込み要求をクリアします。 0 : クリアする
6, 4	BKInDTC	BLKInDT割り込み要求をクリアします。 0 : クリアする
0	IT1DTC	INTnDT割り込み要求をクリアします。 0 : クリアする

備考 n = 1, 2

(24) UF0 INTクリア3レジスタ (UF0IC3)

UF0IS3レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んででも無効となります。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC3	BKO2	BKO2	BKO2	BKO2	BKO1	BKO1	BKO1	BKO1	00200042H	FFH
	FLC	NLC	NAKC	DTC	FLC	NLC	NAKC	DTC		

ビット位置	ビット名	意味
7, 3	BKOnFLC	BLKOnFL割り込み要求をクリアします。 0 : クリアする
6, 2	BKOnNLC	BLKOnNL割り込み要求をクリアします。 0 : クリアする
5, 1	BKOnNAKC	BLKOnNK割り込み要求をクリアします。 0 : クリアする
4, 0	BKOnDTC	BLKOnDT割り込み要求をクリアします。 0 : クリアする

備考 n = 1, 2

(25) UF0 INTクリアレジスタ (UF0IC4)

UF0IS4レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んででも無効となります。

UF0EnIMレジスタ (n = 1-4, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC4	1	1	SETINTC	1	1	1	1	1	00200044H	FFH

ビット位置	ビット名	意 味
5	SETINTC	SET_INT割り込み要求をクリアします。 0: クリアする

(26) UF0 INT & DMARQレジスタ (UF0IDR)

割り込み要求による通知またはDMA起動を選択するためのレジスタです。

8ビット単位でリード/ライト可能です。

UF0BO1, UF0BO2レジスタのいずれかにデータが存在する場合, またはUF0BI1, UF0BI2レジスタにデータを書き込める場合に, FWに対して割り込み要求で通知するかDMA起動を要求するかを選択します。また, DMA起動を要求した場合は, ビット0, 1の設定によりDMA転送モードが選択できます。

UF0EnIMレジスタ (n = 1-4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは, 関連ビットは無効となります。

ビット3, 2には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意 DMA転送中のSET_INTERFACEリクエストで対象Endpointがサポートされなくなった場合は, DMAリクエスト信号はただちにインアクティブになり, 該当するビットはハードウェアにより自動的にクリア (0) されます。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IDR	DQBI2 MS	DQBI1 MS	DQBO2 MS	DQBO1 MS	0	0	MODE1	MODE0	0020004CH	00H

ビット位置	ビット名	意 味
7, 6	DQBInMS	UF0BInレジスタへの書き込みDMA転送リクエスト (Endpoint m用DMA要求信号) の許可 (マスク) を行います。このビットをセット (1) すると, データの書き込みを受け付けられるときEndpoint m用DMA要求信号がアクティブになります。Endpoint m用DMA終了信号が入力された場合 (DMAコントローラがTCを発行したとき) に, このビットはハードウェアにより自動的にクリア (0) されます。DMAによる転送を継続する場合は, FWで再セット (1) してください。 1 : Endpoint m用DMA要求信号アクティブ許可 (BKInDT割り込みをマスク) 0 : Endpoint m用DMA要求信号アクティブ不許可 (初期値)
5, 4	DQBOOnMS	UF0BOOnレジスタの読み出しDMA転送リクエスト (Endpoint x用DMA要求信号) の許可 (マスク) を行います。このビットをセット (1) すると, 読み出すデータがUF0BOOnレジスタに準備されるとEndpoint x用DMA要求信号がアクティブになります。Endpoint x用DMA終了信号が入力された場合 (DMAコントローラがTCを発行したとき) に, このビットはハードウェアにより自動的にクリア (0) されます。USBSPxB信号のアクティブ時にもクリア (0) されます。DMAによる転送を継続する場合は, FWで再セット (1) してください。 1 : Endpoint x用DMA要求信号アクティブ許可 (BKOnDT割り込みをマスク) 0 : Endpoint x用DMA要求信号アクティブ不許可 (初期値)

備考 n = 1, 2
n = 1のときm = 1, x = 2
n = 2のときm = 3, x = 4

ビット位置	ビット名	意 味												
1, 0	MODE1, MODE0	<p>DMA転送モードを選択します。</p> <table border="1"> <thead> <tr> <th>MODE1</th> <th>MODE0</th> <th>モード</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>デマンド・モード</td> <td>データがあるかぎりDMAリクエスト信号はアクティブになります。データがなくなるとインアクティブになります。</td> </tr> <tr> <td colspan="2">上記以外</td> <td colspan="2">設定禁止</td> </tr> </tbody> </table>	MODE1	MODE0	モード	備考	1	0	デマンド・モード	データがあるかぎりDMAリクエスト信号はアクティブになります。データがなくなるとインアクティブになります。	上記以外		設定禁止	
MODE1	MODE0	モード	備考											
1	0	デマンド・モード	データがあるかぎりDMAリクエスト信号はアクティブになります。データがなくなるとインアクティブになります。											
上記以外		設定禁止												

(27) UF0 DMAステータスレジスタ (UF0DMS0)

Endpoint1-Endpoint4のDMAのステータスを示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ (n = 1-4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DMS0	0	0	DQE4	DQE3	DQE2	DQE1	0	0	0020004EH	00H

ビット位置	ビット名	意味
5	DQE4	Endpoint4からメモリへのDMA読み出し要求を行っていることを示します。 1: Endpoint4に対するDMA読み出し要求中 0: Endpoint4に対するDMA読み出し要求をしていない (初期値)
4	DQE3	メモリからEndpoint3へのDMA書き込み要求を行っていることを示します。 Endpoint3にデータがある状態 (FIFOフル以外, BKI2DEDビットのセット (1) 後) でも, UF0IDRレジスタのDQBI2MSビットをセット (1) すると, すぐにDMAリクエスト信号がアクティブになりDMA転送が開始されますのでご注意ください。 1: Endpoint3に対するDMA書き込み要求中 0: Endpoint3に対するDMA書き込み要求をしていない (初期値)
3	DQE2	Endpoint2からメモリへのDMA読み出し要求を行っていることを示します。 1: Endpoint2に対するDMA読み出し要求中 0: Endpoint2に対するDMA読み出し要求をしていない (初期値)
2	DQE1	メモリからEndpoint1へのDMA書き込み要求を行っていることを示します。 Endpoint1にデータがある状態 (FIFOフル以外, BKI1DEDビットのセット (1) 後) でも, UF0IDRレジスタのDQBI1MSビットをセット (1) すると, すぐにDMAリクエスト信号がアクティブになりDMA転送が開始されますのでご注意ください。 1: Endpoint1に対するDMA書き込み要求中 0: Endpoint1に対するDMA書き込み要求をしていない (初期値)

(28) UF0 DMAステータス1レジスタ (UF0DMS1)

Endpoint1-Endpoint4のDMAのステータスを示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ (n = 1-4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

各ビットはこのレジスタを読み出したときに自動的にクリア (0) されます。ただし、このレジスタを読み出してもUF0IS0レジスタのビット4, 3はクリア (0) されません。SET_INTERFACEリクエストで対象Endpointがサポートされなくなった場合は、各ビットはハードウェアにより自動的にクリア (0) されます (ただし、DMA_END割り込み要求、Short割り込み要求はクリアされません)。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DMS1	DEDE4	DSPE4	DEDE3	DEDE2	DSPE2	DEDE1	0	0	00200050H	00H

ビット位置	ビット名	意味
7, 5, 4, 2	DEDEn	Endpoint nからメモリへのDMA読み出し要求を行っている最中にEndpoint n用DMA終了 (TC) 信号がアクティブになりDMAが停止したことを示します。 1: Endpoint n用DMA終了信号がアクティブ 0: Endpoint n用DMA終了信号がインアクティブ (初期値)
6, 3	DSPEm	Endpoint mからメモリへのDMA読み出し要求を行っていたが、受信データがショート・パケットであり転送データがなくなったため、DMAが停止したことを示します。 1: DMASTOP_EPm信号がアクティブ 0: DMASTOP_EPm信号がインアクティブ (初期値)

備考 n = 1-4
m = 2, 4

(29) UF0 FIFOクリア0レジスタ (UF0FIC0)

各FIFOをクリアするためのレジスタです。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、00Hが読み出せます。

FWはこのレジスタの該当するビットに1を書き込むことで対象FIFOをクリアできます。1を書き込んだあとは自動的にクリア(0)されます。0を書き込んで無効となります。

UF0EnIMレジスタ (n = 1, 3, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0FIC0	BKI2SC	BKI2CC	BKI1SC	BKI1CC	0	ITR1C	EP0WC	EP0RC	00200060H	00H

ビット位置	ビット名	意 味
7, 5	BKInSC	UF0BInレジスタのSIE側FIFOのみをクリア (カウンタをリセット) します。 1: クリアする BKInNKビットがセット (1) されている状態でEndpoint mに対するINトークンの処理中にこのビットの書き込みを行っても無効になります。なお, BKInNKビットはFIFOをクリアすることで自動的にクリア (0) されます。このビットを使用するときにはCPU側FIFOを必ず空にしておいてください。
6, 4	BKInCC	UF0BInレジスタのCPU側FIFOのみをクリア (カウンタをリセット) します。 1: クリアする
2	ITR1C	UF0INT1レジスタをクリア (カウンタをリセット) します。 1: クリアする IT1NKビットがセット (1) されている状態でEndpoint 7に対するINトークンの処理中にこのビットの書き込みを行っても無効になります。なお, IT1NKビットはFIFOをクリアすることで自動的にクリア (0) されます。
1	EP0WC	UF0E0Wレジスタをクリア (カウンタをリセット) します。 1: クリアする EP0NKWビットがセット (1) されている状態でEndpoint0に対するINトークンの処理中にこのビットの書き込みを行っても無効になります。なお, EP0NKWビットはFIFOをクリアすることで自動的にクリア (0) されます。
0	EP0RC	UF0E0Rレジスタをクリア (カウンタをリセット) します。 1: クリアする EP0NKRビットがセット (1) されている場合 (ただし, FWでセット (1) した場合は除く) には, FIFOをクリアすることでEP0NKRビットが自動的にクリア (0) されます。

備考 n = 1, 2

n = 1のときm = 1

n = 2のときm = 3

(30) UF0 FIFOクリアレジスタ (UF0FIC1)

各FIFOをクリアするためのレジスタです。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、00Hが読み出せます。

FWはこのレジスタの該当するビットに1を書き込むことで対象FIFOをクリアできます。1を書き込んだあとは自動的にクリア(0)されます。0を書き込んで無効となります。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0FIC1	0	0	0	0	BKO2C	BKO2CC	BKO1C	BKO1CC	00200062H	00H

ビット位置	ビット名	意 味
3, 1	BKOnC	UF0BOnレジスタのSIE側/CPU側の両FIFOをクリア (カウンタをリセット) します。 1: クリアする BKOnNKビットがセット (1) されている場合 (ただし, FWでセット (1) した場合は除く) には, FIFOをクリアすることでBKOnNKビットが自動的にクリア(0) されます。
2, 0	BKOnCC	UF0BOnレジスタのCPU側のFIFOだけをクリア (カウンタをリセット) します。 1: クリアする BKOnNKビットがセット (1) されている場合 (ただし, FWでセット (1) した場合は除く) には, FIFOをクリアすることでBKOnNKビットが自動的にクリア(0) されます。

備考 n = 1, 2

(31) UF0データ・エンド・レジスタ (UF0DEND)

送信系に対し書き込み終了を通知するためのレジスタです。

8ビット単位でライトだけ可能です (ただし, ビット7, 6はリード/ライト可能)。このレジスタをリードした場合は, 00Hが読み出せます。

FWはこのレジスタの該当するビットに1を書き込むことで対象Endpointのデータ転送を開始させることができます。1を書き込んだあとは自動的にクリア (0) されます。0を書き込んででも無効となります。

UF0EnIMレジスタ (n = 1, 3, 7) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは, 関連ビットは無効となります。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DEND	BKI2T	BKI1T	0	0	IT1DEND	BKI2DED	BKI1DED	E0DED	0020006AH	00H

ビット位置	ビット名	意 味
7, 6	BKInT	DMAによりUF0BinレジスタのCPU側のFIFOがフルになった場合に, FIFOのトグル動作を自動的に実行するかを設定します。 1: FIFOフルになった時点でFIFOのトグル動作を自動的に実行する 0: FIFOフルになってもFIFOのトグル動作は自動実行しない (初期値)
3	IT1DEND	UF0INT1レジスタのデータを送信するときにセット (1) してください。このビットがセット (1) されると, IT1NKビットがセット (1) されデータ転送が行われます。 1: ショート・パケットを送信する 0: ショート・パケットを送信しない (初期値) UF0FIC0レジスタのITR1Cビットがセット (1) され, さらにこのビットがセット (1) された場合 (UF0INT1レジスタのカウンタ = 0, UF0EPS0レジスタの対応ビット = 1), Null (データ長0) パケットが送信されます。 UF0INT1レジスタにデータが存在し, さらにこのビットがセット (1) された場合 (UF0INT1レジスタのカウンタ = 0, UF0EPS0レジスタの対応ビット = 1), ショート・パケットが送信されます。 FIFOがフルの場合はこのビットに関連する制御はハードウェアによって自動的に行われます。

備考 n = 1, 2

ビット位置	ビット名	意 味
2, 1	BKInDED	<p>UF0BInレジスタへの送信データの書き込みが終了したときにセット(1)してください。このビットがセット(1)されると、FIFOのトグル動作が行えるようになったタイミングでFIFOトグル動作が起こり、BKInNKビットがセット(1)されデータ転送が行われます。</p> <p>1: ショート・パケットを送信する 0: ショート・パケットを送信しない(初期値)</p> <p>このビットはCPU側のFIFOを制御します。</p> <p>UF0FIC0レジスタのBKInCCビットがセット(1)され、さらにこのビットがセット(1)された場合(UF0BInレジスタのカウンタ = 0)、Null(データ長0)パケットが送信されます。</p> <p>UF0BInレジスタにデータが存在し、さらにこのビットがセット(1)された場合(UF0BInレジスタのカウンタ = 0)、FIFOがフルでなければショート・パケットが送信されます。</p> <p>PIOがBKInTビットをセット(1)した状態のDMAでUF0BInレジスタのCPU側のFIFOをフルにした場合、このビットをセット(1)しなくてもハードウェアはデータ送信を開始します。</p> <p>BKInTビットをクリア(0)した状態のDMAでUF0BInレジスタのCPU側のFIFOをフルにした場合、必ずこのビットをセット(1)してください(20.6.3(3)UF0EPNAKレジスタ(UF0EN)参照)。</p>
0	E0DED	<p>UF0E0Wレジスタのデータを送信するときにセット(1)してください。このビットがセット(1)されると、EP0NKWビットがセット(1)されデータ転送が行われます。</p> <p>1: ショート・パケットを送信する 0: ショート・パケットを送信しない(初期値)</p> <p>UF0FIC0レジスタのEP0WCビットがセット(1)され、さらにこのビットがセット(1)された場合(UF0E0Wレジスタのカウンタ = 0, UF0EPS0レジスタのビット1 = 1)、Null(データ長0)パケットが送信されます。</p> <p>UF0E0Wレジスタにデータが存在し、さらにこのビットがセット(1)された場合(UF0E0Wレジスタのカウンタ = 0, UF0EPS0レジスタのビット1 = 1)、FIFOがフルでなければショート・パケットが送信されます。</p>

備考 n = 1, 2

(32) UF0 GPRレジスタ (UF0GPR)

USBFとUSBインタフェースを制御します。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。ビット7-1には、必ず0を設定してください。

FWはこのレジスタのビット0に1を書き込むことでUSBFをリセットできます。1を書き込んだあとは自動的にクリア (0) されます。0を書き込んででも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0GPR	0	0	0	0	0	0	0	MRST	0020006EH	00H

ビット位置	ビット名	意 味
0	MRST	USBFをリセットするときにセット (1) してください。 1: リセットする このビットをFWによりセット (1) したあと実際にリセットされるのは、ライト信号のインアクティブから2USBクロック後になります。 システム・クロックの動作中にMRSTビットによるUSBFのリセットを行った場合、USBFについてはRESET端子による制御 (ハードウェア・リセット) と同じになります (レジスタ値が初期値に戻ります)。

(33) UF0モード・コントロール・レジスタ (UF0MODC)

CPUDEC処理の制御を行います。

8ビット単位でリード/ライト可能です。

このレジスタの各ビットを設定することにより、UF0MODSレジスタの設定を変更できます。ハードウェア・リセット時とUF0GRPレジスタのMRSTビットをセット(1)したときにだけ自動的にクリア(0)されます。

このレジスタのビットがハードウェアにより自動的にセット(1)されても、FWによる設定が優先されます。

ビット7, 5-2には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意 このレジスタはデバッグ用に用意されています。動作検証や特殊なモードを使用する場合以外はこのレジスタは設定しないでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0MODC	0	CDC GDST	0	0	0	0	0	0	00200074H	00H

ビット位置	ビット名	意味
6	CDCGDST	GET_DESCRIPTOR ConfigurationリクエストをCPUDEC処理に切り替えるときにセット(1)してください。このビットをセット(1)することによりUF0MODSレジスタのCDCGDビットを強制的にセット(1)できます。 1: GET_DESCRIPTOR Configurationリクエストを強制的にCPUDEC処理に変更(UF0MODSレジスタのCDCGDビットをセット(1)) 0: GET_DESCRIPTOR Configurationリクエストは自動処理のまま(初期値)

(34) UF0モード・ステータス・レジスタ (UF0MODS)

コンフィギュレーション状況を示します。

8ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0MODS	0	CDCGD	0	MPACK	DFLT	CONF	0	0	00200078H	00H

ビット位置	ビット名	意 味
6	CDCGD	<p>GET_DESCRIPTOR ConfigurationリクエストをCPUDEC処理に切り替えるかを示します。</p> <p>1: GET_DESCRIPTOR Configurationリクエストを強制的にCPUDEC処理に変更</p> <p>0: GET_DESCRIPTOR Configurationリクエストは自動処理のまま (初期値)</p>
4	MPACK	<p>Endpoint0の送信パケット・サイズを示します。</p> <p>1: 8バイト以外で送信を行っている</p> <p>0: 8バイトで送信を行っている (初期値)</p> <p>このビットはGET_DESCRIPTOR Deviceリクエストを処理したあと (ステータス・ステージ正常終了時) に、ハードウェアにより自動的にセット (1) されます。なお、USBFがリセットされるまでこのビットはクリア (0) されません (Bus Resetではクリア (0) されません)。</p> <p>このビットがセット (1) されていない状態では、ハードウェアは自動実行リクエストのみ8バイト転送を行います。したがって、GET_DESCRIPTOR Deviceリクエストの完了前にFW処理のOUTトークンで8バイト以上のデータが送られた場合でも、正常受信します。</p> <p>なお、Endpoint0のサイズを8バイト構成にした場合は無視されます。</p>
3	DFLT	<p>デフォルト状態 (DFLTビット = 1) になっているかを示します。</p> <p>1: 応答許可</p> <p>0: 応答禁止 (常に無応答) (初期値)</p> <p>このビットはBus Resetにより自動的にセット (1) されます。このビットがセット (1) されるまですべてのEndpointに対するトランザクションに応答しません。</p>
2	CONF	<p>SET_CONFIGURATIONリクエストが完了したかを示します。</p> <p>1: SET_CONFIGURATIONリクエストが完了した</p> <p>0: SET_CONFIGURATIONリクエストが完了していない (初期値)</p> <p>SET_CONFIGURATIONリクエストでConfiguration値 = 1を受信したときにセット (1) されます。</p> <p>このビットがセット (1) されていないかぎり、Endpoint0以外に対するアクセスは無視されます。</p> <p>なお、SET_CONFIGURATIONリクエストでConfiguration値 = 0を受信したとき、このビットはクリア (0) されます。また、Bus Resetを検出したときもクリア (0) されます。</p>

(35) UF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN)

GET/SET_INTERFACEリクエストに対して正常に応答する有効なInterface番号を設定します。なお、Interface 0は必ず有効となるため、Interface 1-4までを選択できます。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0AIFN	ADDIF	0	0	0	0	0	IFNO1	IFNO0	00200080H	00H

ビット位置	ビット名	意味															
7	ADDIF	0以外のInterface番号が利用できるように設定します。 1: IFNO1, IFNO0ビットで指定されるInterface番号までサポート 0: Interface 0だけをサポート (初期値) このビットがセット (1) されていない状態ではこのレジスタのビット1, 0の設定は無効になります。															
1, 0	IFNO1, IFNO0	サポートするInterface番号の範囲を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>IFNO1</th> <th>IFNO0</th> <th>有効なInterface番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>0, 1, 2, 3, 4</td> </tr> <tr> <td>1</td> <td>0</td> <td>0, 1, 2, 3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0, 1, 2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0, 1</td> </tr> </tbody> </table>	IFNO1	IFNO0	有効なInterface番号	1	1	0, 1, 2, 3, 4	1	0	0, 1, 2, 3	0	1	0, 1, 2	0	0	0, 1
IFNO1	IFNO0	有効なInterface番号															
1	1	0, 1, 2, 3, 4															
1	0	0, 1, 2, 3															
0	1	0, 1, 2															
0	0	0, 1															

(36) UF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS)

Interface番号とAlternative Settingのリンクを設定します。

8ビット単位でリード/ライト可能です。

V850ES/JG3-U, V850ES/JH3-UのUSBFでは5連Alternative Setting (Alternative Setting 0, 1, 2, 3, 4を定義できる) と2連Alternative Setting (Alternative Setting 0, 1を定義できる) をそれぞれ1つのInterfaceに対して設定できます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0AAS	ALT2	IFAL21	IFAL20	ALT2EN	ALT5	IFAL51	IFAL50	ALT5EN	00200082H	00H

ビット位置	ビット名	意味															
7, 3	ALTn	n連Alternative SettingをInterface 0にリンクするかを設定します。このビットがセット (1) されるとIFALn1, IFALn0ビットの設定は無効になります。 1 : Interface 0にn連Alternative Settingをリンクする 0 : Interface 0にはn連Alternative Settingはリンクしない (初期値)															
6, 5, 2, 1	IFALn1, IFALn0	n連Alternative SettingにリンクされるInterface番号を設定します。リンクしたInterface番号がUF0AIFNレジスタで設定されたInterface番号の範囲外の場合は、n連Alternative Settingは無効になります (ALTnENビット = 0)。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>IFALn1</th> <th>IFALn0</th> <th>リンクするInterface番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>Interface 4とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>Interface 3とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>Interface 2とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>Interface 1とリンク</td> </tr> </tbody> </table> 5連Alternative Settingと2連Alternative Settingを同じInterface番号にリンクさせないようにしてください。	IFALn1	IFALn0	リンクするInterface番号	1	1	Interface 4とリンク	1	0	Interface 3とリンク	0	1	Interface 2とリンク	0	0	Interface 1とリンク
IFALn1	IFALn0	リンクするInterface番号															
1	1	Interface 4とリンク															
1	0	Interface 3とリンク															
0	1	Interface 2とリンク															
0	0	Interface 1とリンク															
4, 0	ALTnEN	n連Alternative Settingを有効にします。このビットがセット (1) されていないとALTnビット, IFALn1, IFALn0ビットの設定は無効になります。 1 : n連Alternative Settingを有効にする 0 : n連Alternative Settingを有効にしない (初期値)															

備考 n = 2, 5

たとえば, UF0AIFNレジスタを82Hに設定し, UF0AASレジスタを15Hに設定した場合, Interface 0, 1, 2, 3が有効になりInterface 0, 2はAlternative Setting 0のみ, Interface 1はAlternative Setting 0, 1, Interface 3はAlternative Setting 0, 1, 2, 3, 4をサポートすることを示します。この設定ではGET_INTERFACE wIndex = 0/1/2/3, SET_INTERFACE wValue = 0 & wIndex = 0/2, SET_INTERFACE wValue = 0/1 & wIndex = 1, SET_INTERFACE wValue = 0/1/2/3/4 & wIndex = 3のリクエストに対して自動応答し, それ以外のGET/SET_INTERFACEリクエストにはSTALL応答します。

(37) UF0オルタナティブ・セッティング・ステータス・レジスタ (UF0ASS)

現在のAlternative Settingの設定状態を示します。

8ビット単位でリードだけ可能です。

SET_INT割り込み要求が発行されたときはこのレジスタを確認してください。なお、SET_INTERFACEリクエストで受信した値は同時にUF0IFnレジスタ (n = 0-4) にも反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ASS	0	0	0	0	AL5ST3	AL5ST2	AL5ST1	AL2ST	00200084H	00H

ビット位置	ビット名	意味																								
3-1	AL5ST3- AL5ST1	5連Alternative Settingの現在の設定状況を示します。 <table border="1"> <thead> <tr> <th>AL5ST3</th> <th>AL5ST2</th> <th>AL5ST1</th> <th>設定されているAlternative Setting番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Alternative Setting 4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Alternative Setting 3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Alternative Setting 2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Alternative Setting 1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Alternative Setting 0</td> </tr> </tbody> </table>	AL5ST3	AL5ST2	AL5ST1	設定されているAlternative Setting番号	1	0	0	Alternative Setting 4	0	1	1	Alternative Setting 3	0	1	0	Alternative Setting 2	0	0	1	Alternative Setting 1	0	0	0	Alternative Setting 0
AL5ST3	AL5ST2	AL5ST1	設定されているAlternative Setting番号																							
1	0	0	Alternative Setting 4																							
0	1	1	Alternative Setting 3																							
0	1	0	Alternative Setting 2																							
0	0	1	Alternative Setting 1																							
0	0	0	Alternative Setting 0																							
0	AL2ST	2連Alternative Settingの現在の設定状況 (設定されているAlternative Setting番号) を示します。 1 : Alternative Setting 1 0 : Alternative Setting 0																								

(38) UF0エンドポイント1インタフェース・マッピング・レジスタ (UF0E1IM)

Endpoint1がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint1が現在有効であるかどうかを判定し、GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint1リクエストとEndpoint1へのINトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E1IM	E1EN2	E1EN1	E1EN0	E12AL1	E15AL4	E15AL3	E15AL2	E15AL1	00200086H	00H

ビット位置	ビット名	意 味																																				
7-5	E1EN2- E1EN0	<p>Endpoint1の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E1EN2</th> <th>E1EN1</th> <th>E1EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない(初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E12AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット(1)されたときにEndpoint1が有効になることを示します。</p>	E1EN2	E1EN1	E1EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0		1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない(初期値)
E1EN2	E1EN1	E1EN0	リンク状態																																			
1	1	1	Interfaceとリンクされていない																																			
1	1	0																																				
1	0	1	Interface 4, Alternative Setting 0とリンク																																			
1	0	0	Interface 3, Alternative Setting 0とリンク																																			
0	1	1	Interface 2, Alternative Setting 0とリンク																																			
0	1	0	Interface 1, Alternative Setting 0とリンク																																			
0	0	1	Interface 0, Alternative Setting 0とリンク																																			
0	0	0	Interfaceとリンクされていない(初期値)																																			
4	E12AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint1が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0: CONFビット = 1でAlternate Setting 1に設定されても有効にならない(初期値)</p> <p>このビットはE15AL4-E15AL1ビットが0000の場合に有効になります。</p>																																				
3-0	E15ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint1が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0: CONFビット = 1でAlternate Setting nに設定されても有効にならない(初期値)</p>																																				

備考 n = 1-4

(39) UF0エンドポイント2インタフェース・マッピング・レジスタ (UF0E2IM)

Endpoint2がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint2が現在有効であるかどうかを判定し、GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint2リクエストとEndpoint2へのOUTトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E2IM	E2EN2	E2EN1	E2EN0	E22AL1	E25AL4	E25AL3	E25AL2	E25AL1	00200088H	00H

ビット位置	ビット名	意 味																																			
7-5	E2EN2- E2EN0	<p>Endpoint2の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E2EN2</th> <th>E2EN1</th> <th>E2EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E22AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット(1)されたときにEndpoint2が有効になることを示します。</p>	E2EN2	E2EN1	E2EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E2EN2	E2EN1	E2EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない (初期値)																																		
4	E22AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint2が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE25AL4-E25AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E25ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint2が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

(40) UF0エンドポイント3インタフェース・マッピング・レジスタ (UF0E3IM)

Endpoint3がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint3が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint3リクエストとEndpoint3へのINトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E3IM	E3EN2	E3EN1	E3EN0	E32AL1	E35AL4	E35AL3	E35AL2	E35AL1	0020008AH	00H

ビット位置	ビット名	意 味																																			
7-5	E3EN2- E3EN0	<p>Endpoint3の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E3EN2</th> <th>E3EN1</th> <th>E3EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E32AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット(1)されたときにEndpoint3が有効になることを示します。</p>	E3EN2	E3EN1	E3EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E3EN2	E3EN1	E3EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない (初期値)																																		
4	E32AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint3が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0: CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE35AL4-E35AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E35ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint3が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0: CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

(41) UF0エンドポイント4インタフェース・マッピング・レジスタ (UF0E4IM)

Endpoint4がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint4が現在有効であるかどうかを判定し、GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint4リクエストとEndpoint4へのOUTトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E4IM	E4EN2	E4EN1	E4EN0	E42AL1	E45AL4	E45AL3	E45AL2	E45AL1	0020008CH	00H

ビット位置	ビット名	意 味																																			
7-5	E4EN2- E4EN0	<p>Endpoint4の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E4EN2</th> <th>E4EN1</th> <th>E4EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E42AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット(1)されたときにEndpoint4が有効になることを示します。</p>	E4EN2	E4EN1	E4EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E4EN2	E4EN1	E4EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない (初期値)																																		
4	E42AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint4が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0: CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE45AL4-E45AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E45ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint4が有効になるようにします。</p> <p>1: CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0: CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

(42) UF0エンドポイント7インタフェース・マッピング・レジスタ (UF0E71M)

Endpoint7がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint7が現在有効であるかどうかを判定し、GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint7リクエストとEndpoint7へのINトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E7IM	E7EN2	E7EN1	E7EN0	E72AL1	E75AL4	E75AL3	E75AL2	E75AL1	00200092H	00H

ビット位置	ビット名	意 味																																			
7-5	E7EN2- E7EN0	<p>Endpoint7の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>E7EN2</th> <th>E7EN1</th> <th>E7EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E72AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット(1)されたときにEndpoint7が有効になることを示します。</p>	E7EN2	E7EN1	E7EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E7EN2	E7EN1	E7EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない (初期値)																																		
4	E72AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint7が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE75AL4-E75AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E75ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint7が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

20.6.4 データ保持レジスタ

(1) UF0 EP0リード・レジスタ (UF0E0R)

UF0E0Rレジスタは、Endpoint0に対するコントロール転送のデータ・ステージでホストから送られてくるOUTデータを格納する64バイトのFIFOです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアはホストからのデータを受信するとUF0E0Rレジスタに自動的に転送を行います。データを正常受信するとUF0IS1レジスタのE0ODTビットをセット (1) し、UF0E0Lレジスタに受信したデータ量を保持して、割り込み要求 (INTUSBF0) を発行します。UF0E0Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が正常受信だった場合には割り込み要求が発生し、異常受信だった場合にはUF0E0Lレジスタはクリア (0) され割り込み要求は発生しません。

UF0E0Rレジスタに保持しているデータは、UF0E0Lレジスタで読み出した値分のデータだけFWにおいて読み出してください。全データの読み出しが完了したかどうかはUF0EPS0レジスタのEP0Rビットで確認してください (全データの読み出し完了の場合：EP0Rビット = 0)。UF0E0Lレジスタ値が0のとき、UF0E0NレジスタのEP0NKRビットがクリア (0) され、UF0E0Rレジスタは受信可能状態になります。また、UF0E0Rレジスタは、次のSETUPトークン受信時にクリアされます。

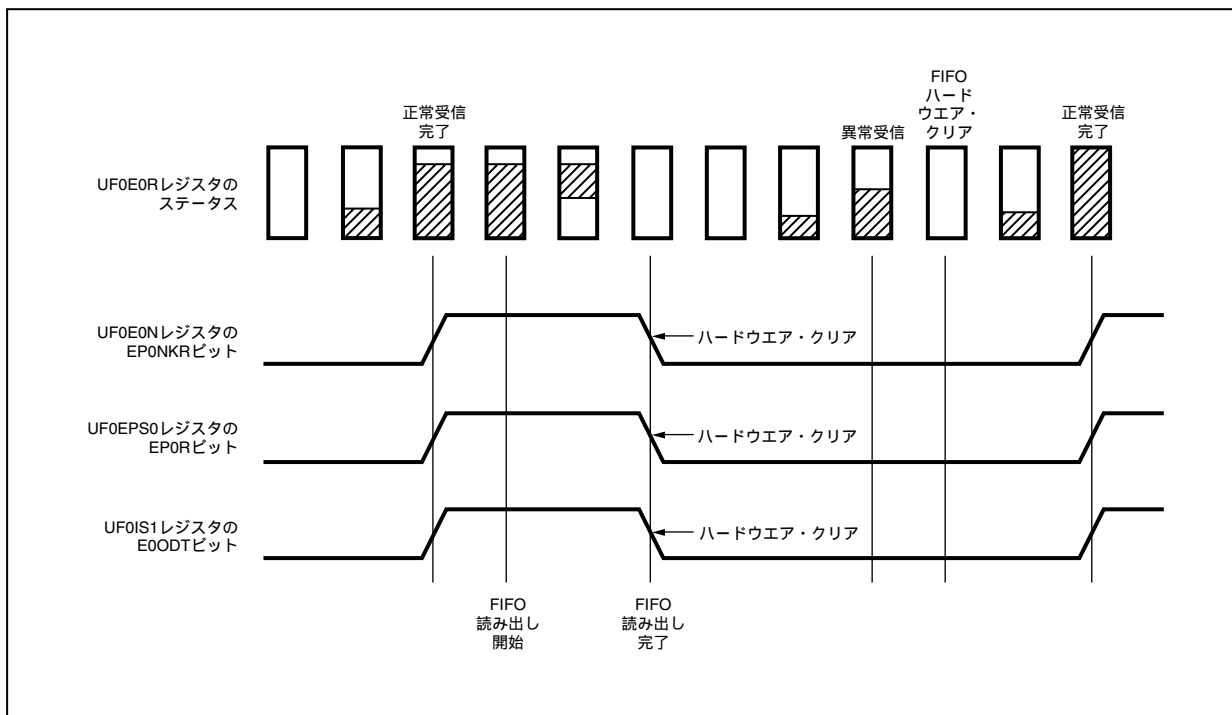
注意 格納されているデータは、すべて読み出してください。途中で廃棄する場合は、FIFOクリアを行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0R	E0R7	E0R6	E0R5	E0R4	E0R3	E0R2	E0R1	E0R0	00200100H	不定

ビット位置	ビット名	意味
7-0	E0R7-E0R0	Endpoint0に対するコントロール転送のデータ・ステージでホストから送られてくるOUTデータが格納されます。

次にUF0E0Rレジスタの動作を示します。

図20 - 4 UF0E0Rレジスタの動作



(2) UF0 EP0 レンゲス・レジスタ (UF0E0L)

UF0E0Lレジスタは、UF0E0Rレジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0E0Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0E0Lレジスタはクリア (0) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FWIはUF0E0Lレジスタで読み出した値分のデータだけUF0E0Rレジスタを読み出せます。UF0E0LレジスタはUF0E0Rレジスタを読み出すごとに、ディクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0L	E0L7	E0L6	E0L5	E0L4	E0L3	E0L2	E0L1	E0L0	00200102H	00H

ビット位置	ビット名	意味
7-0	E0L7-E0L0	UF0E0Rレジスタに保持されているデータ長が格納されます。

(3) UF0 EP0 セットアップ・レジスタ (UF0E0ST)

UF0E0STレジスタは、ホストから送られてきたSETUPデータを保持するためのレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0E0STレジスタは、SETUPトランザクションを受信すると常にデータの書き込みを行います。ハードウェアはSETUPトランザクションを正常受信した場合、UF0IS1レジスタのPROTビット、FW処理のリクエスト時にはUF0IS1レジスタのCPUDECビットをセット (1) し、割り込み要求 (INTUSBF0) を発行します。FW処理の場合には、必ず8バイト・リードしてください。8バイト・リードしなかった場合には、以降のリクエストを正常にデコードできません。UF0E0STレジスタのリード・カウンタは、Bus Resetの受信時にもクリアされないため、Bus Resetの受信にかかわらず常に8バイト・リードしてください。

UF0E0STレジスタは常に書き込みを許可しているため、データ・リード中にSETUPトランザクションを受け取った場合でも、ハードウェアはそのままデータの上書きを行います。また、SETUPトランザクションを正常受信できなかった場合でも、CPUDEC割り込み要求およびProtect割り込み要求は発生しませんが前のデータは破棄されます。ただし、8バイト以下のSETUPトークンを受信した場合、受信したSETUPデータは破棄され、前回受信したSETUPデータが保持されます。したがって、1回のコントロール転送中に複数回のSETUPトークンを受信した場合、次に示す条件のときには必ずUF0IS1レジスタのPROTビットを確認してください。PROTビット = 1の場合には複数回SETUPトランザクションを受信しているため、UF0E0STレジスタを再度読み出してください。

FWよりリクエストのデコードを行い、UF0E0Rレジスタの読み出し、またはUF0E0Wレジスタの書き込みを行ったとき

デコード結果が対応していないリクエストのためにSTALL応答の準備をするとき

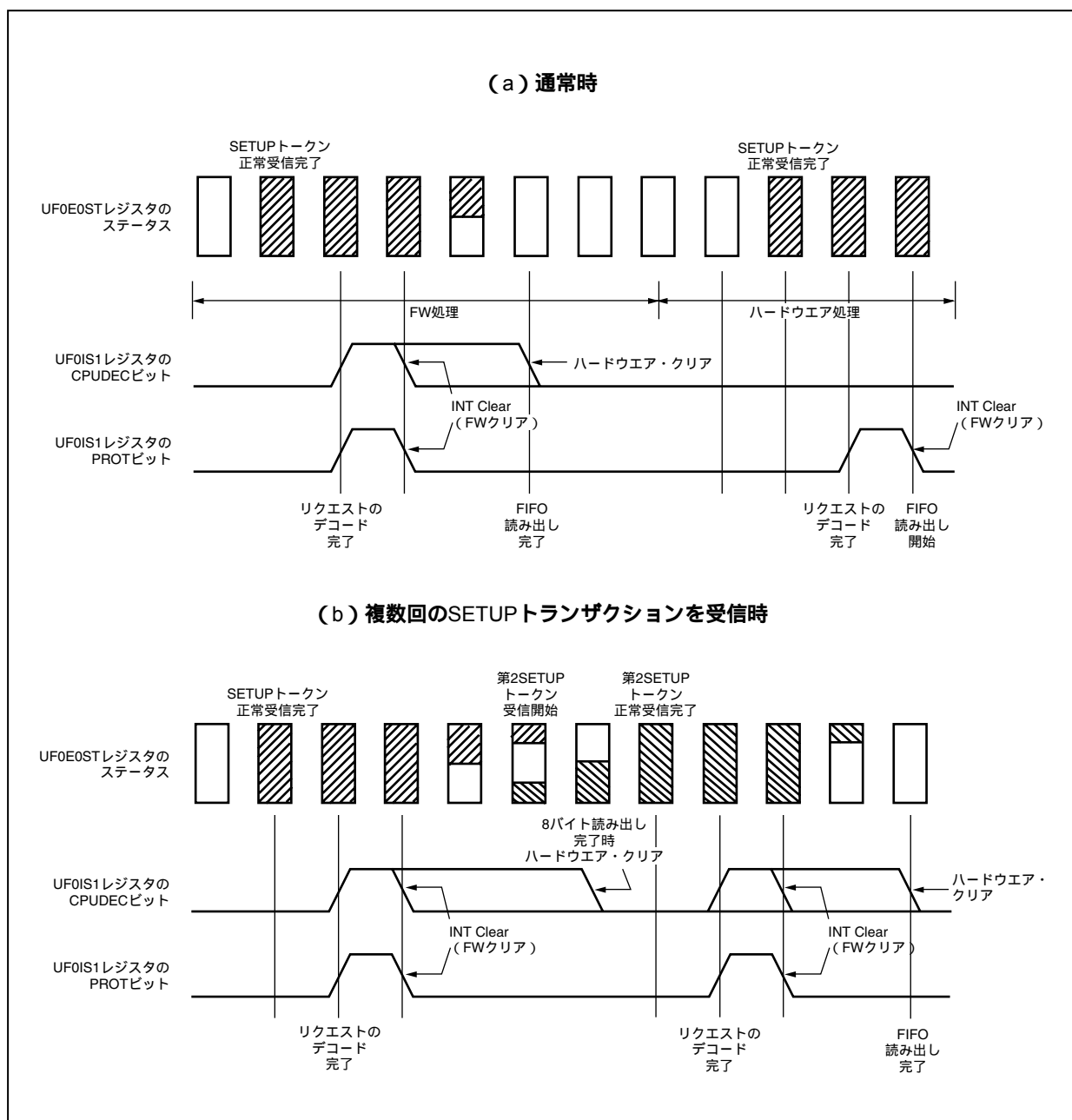
注意 格納されているデータは、すべて読み出してください。UF0E0STレジスタは、常にSETUPトランザクション内のリクエストによって更新されています。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0ST	E0S7	E0S6	E0S5	E0S4	E0S3	E0S2	E0S1	E0S0	00200104H	00H

ビット位置	ビット名	意味
7-0	E0S7-E0S0	ホストから送られてきたSETUPデータを保持します。

次にUF0E0STレジスタの動作を示します。

図20 - 5 UF0E0STレジスタの動作



(4) UF0 EP0ライト・レジスタ (UF0E0W)

UF0E0Wレジスタは、Endpoint0に対するデータ・ステージでホストに送るINデータを格納する (SIEに引き渡す) 64バイトのFIFOです。

8ビット単位でライトのみ可能です。なお、このレジスタをリードした場合は、00Hが読み出せます。

ハードウェアはUF0E0NレジスタのEP0NKWビットがセット (1) されている (NAKを送信しない) 場合のみ、INトークンに同期してUSBバスへのデータの送信を行います。データが送信され、ホストがデータを正常受信した場合、UF0E0NレジスタのEP0NKWビットがハードウェアによって自動的にクリア (0) されます。ショート・パケットを送信する場合は、UF0E0Wレジスタにデータを書き込み、UF0DENDレジスタのE0DEDビットをセット (1) すると送信が行われます (UF0EPS0レジスタのEP0Wビット = 1 (データがある))。Nullパケットを送信する場合は、UF0E0Wレジスタのクリアを行い、UF0DENDレジスタのE0DEDビットをセット (1) すると送信が行われます (UF0EPS0レジスタのEP0Wビット = 1 (データがある))。

UF0E0Wレジスタは、送信が完了していない状態で次のSETUPトークンを受信したときにクリア (0) されます。また、データ・ステージでACKを正常に受信できていない状態でコントロール転送 (リード) がステータス・ステージに変わった場合、UF0E0Wレジスタは自動的にクリア (0) され、同時にUF0E0NレジスタのEP0NKWビット = 1の場合にはクリア (0) されます。

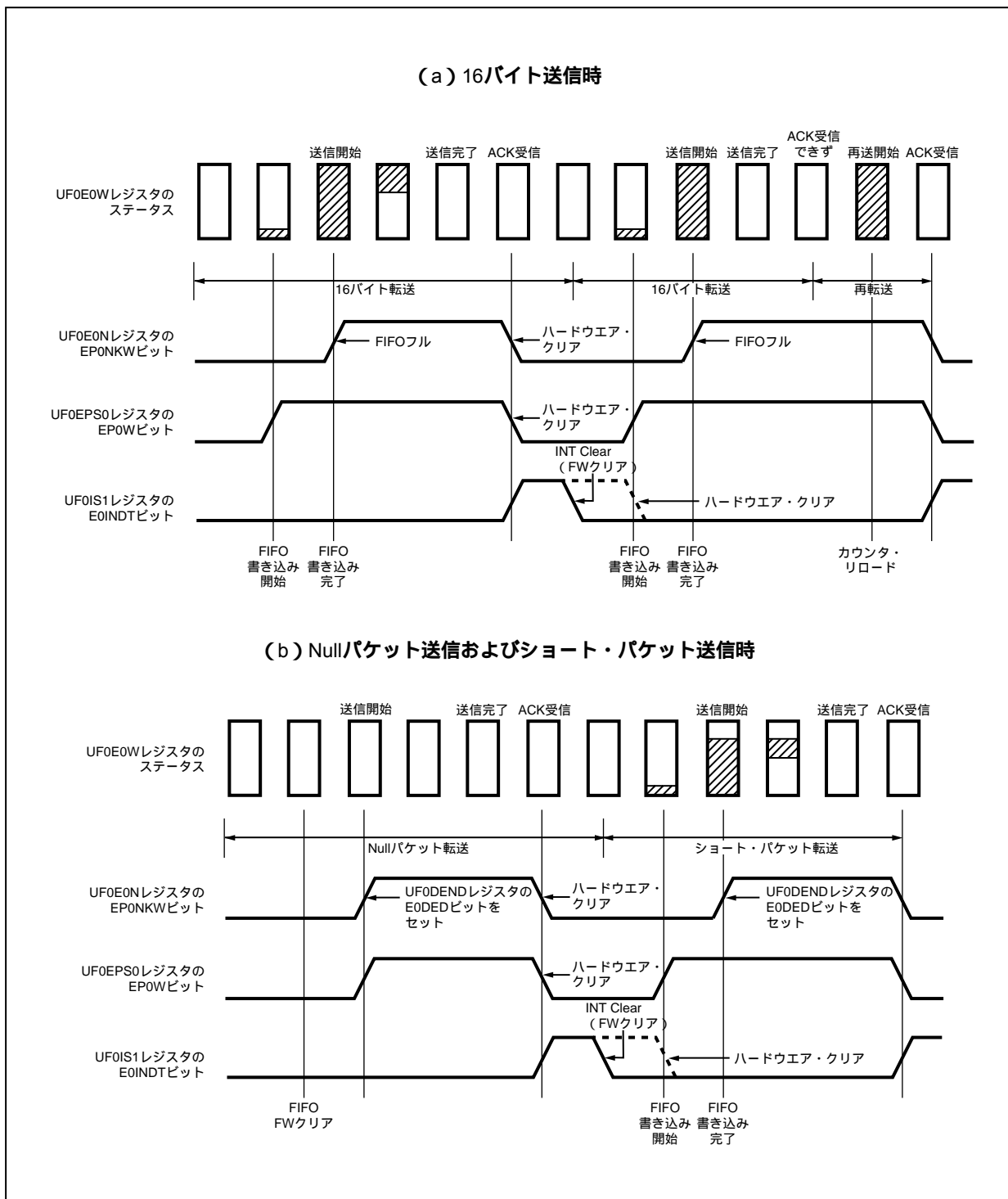
データが空の状態ではUF0E0Wレジスタを読み出した場合には、00Hが読み出せます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0W	E0W7	E0W6	E0W5	E0W4	E0W3	E0W2	E0W1	E0W0	00200106H	不定

ビット位置	ビット名	意味
7-0	E0W7-E0W0	Endpoint0に対するデータ・ステージでホストに送るINデータを格納します。

次にUF0E0Wレジスタの動作を示します。

図20 - 6 UF0E0Wレジスタの動作



(5) UF0バルク・アウト1レジスタ (UF0BO1)

UF0BO1レジスタは、Endpoint2に対するデータを格納する64バイト×2のFIFOです。UF0BO1レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがあり、かつCPU側のFIFOにデータがない(カウンタ値 = 0)ときです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアはEndpoint2に対するホストからのデータを受信するとUF0BO1レジスタに自動的に転送します。データを正常受信するとFIFOトグル動作が起こり、UF0IS3レジスタのBKO1DTビットをセット(1)し、UF0BO1Lレジスタに受信したデータ量を保持して、CPUに対して割り込み要求またはDMA要求を発生します。この割り込み要求とDMA要求の切り替えは、UF0IDRレジスタのDQBO1MSビットで選択できます。

UF0BO1レジスタに保持しているデータは、UF0BO1Lレジスタで読み出した値分のデータだけFWにおいて読み出してください。SIE側に接続されているFIFOに正常な受信データが保持されており、UF0BO1Lレジスタの値が0になるとFIFOのトグル動作が発生して、UF0ENレジスタのBKO1NKビットが自動的にクリア(0)されます。なお、UF0BO1Lレジスタ値以上のデータの読み出しを行った場合には、FIFOのトグル条件が成立するとFIFOの切り替えが発生し、結果として次のパケットを誤って読み出す可能性があります。またトグル条件が成立しない場合には、先頭データを繰り返し読み出しますので、注意してください。

CPU側に接続されているFIFOにデータが保持されている状態でオーバーラン・データを受信した場合、Endpoint2がストール状態となり、CPU側FIFOもクリアされます。

データが空の状態UF0BO1レジスタを読み出した場合には、不定値が読み出せます。

注意 格納されているデータは、すべて読み出してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO1	BKO17	BKO16	BKO15	BKO14	BKO13	BKO12	BKO11	BKO10	00200108H	不定

ビット位置	ビット名	意味
7-0	BKO17- BKO10	Endpoint2に対するデータが格納されます。

次にUF0BO1レジスタの動作を示します。

図20 - 7 UF0BO1レジスタの動作 (1/2)

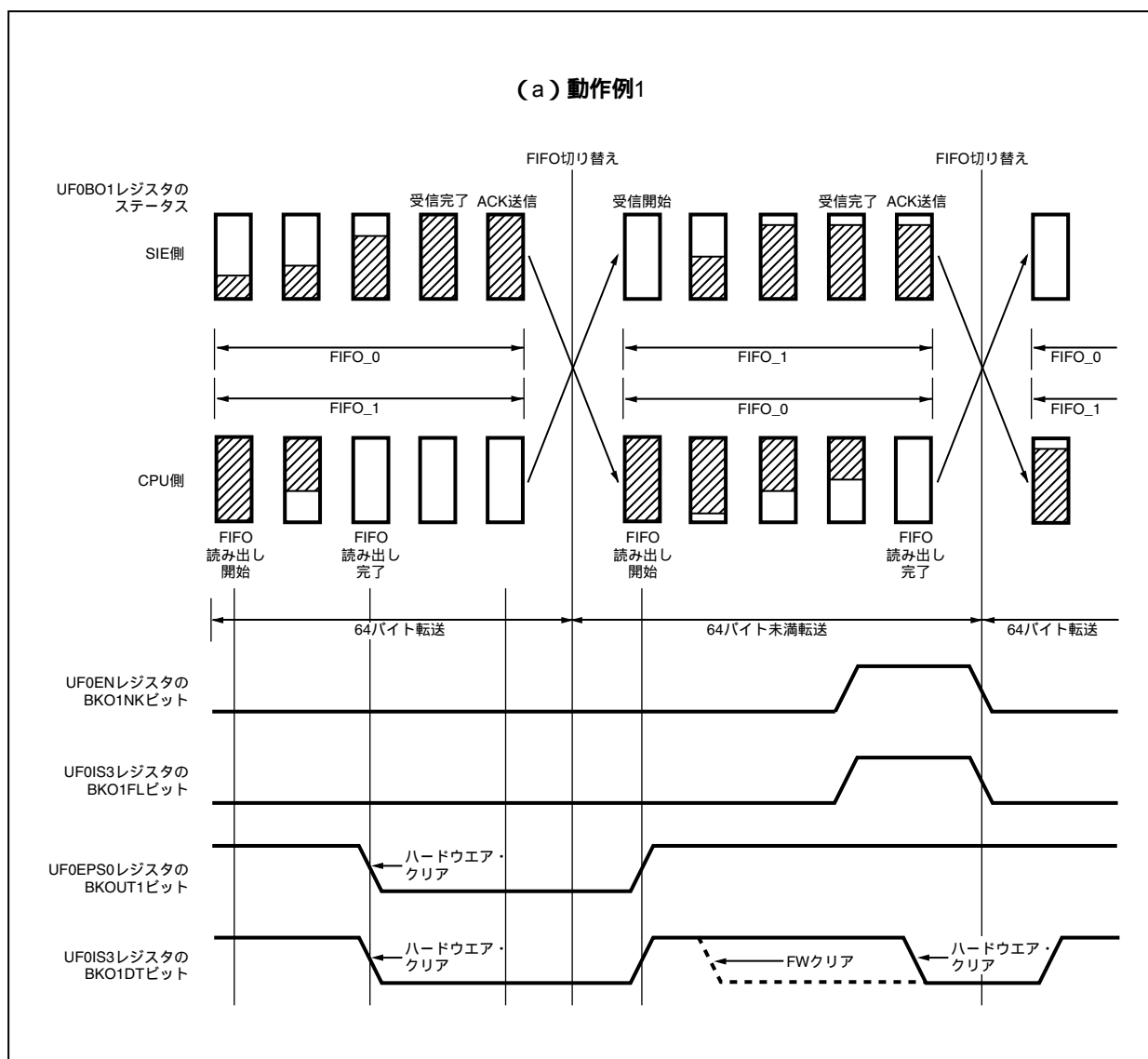
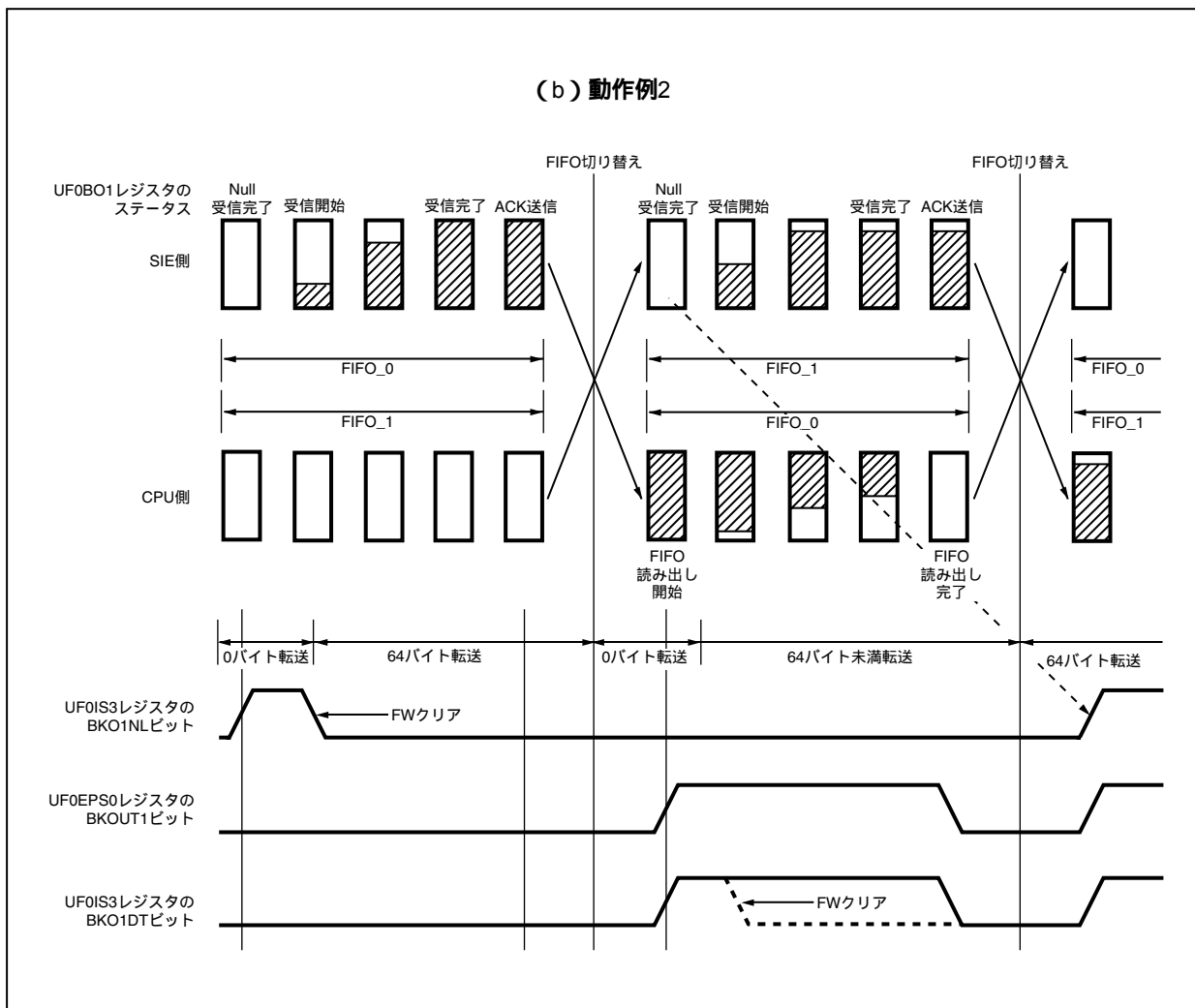


図20 - 7 UF0BO1レジスタの動作 (2/2)



(6) UF0バルク・アウト1レングス・レジスタ (UF0BO1L)

UF0BO1Lレジスタは、UF0BO1レジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0BO1Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0BO1Lレジスタはクリア (00H) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FWはUF0BO1Lレジスタで読み出した値分のデータだけUF0BO1レジスタを読み出せます。UF0BO1LレジスタはUF0BO1レジスタを読み出すごとに、デクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO1L	BKO1L7	BKO1L6	BKO1L5	BKO1L4	BKO1L3	BKO1L2	BKO1L1	BKO1L0	0020010AH	00H

ビット位置	ビット名	意味
7-0	BKO1L7- BKO1L0	UF0BO1レジスタに保持されているデータ長が格納されます。

(7) UF0バルク・アウト2レジスタ (UF0BO2)

UF0BO2レジスタは、Endpoint4に対するデータを格納する64バイト×2のFIFOです。UF0BO2レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがあり、かつCPU側のFIFOにデータがない(カウンタ値 = 0) ときです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアはEndpoint4に対するホストからのデータを受信するとUF0BO2レジスタに自動的に転送します。データを正常受信するとFIFOトグル動作が起こり、UF0IS3レジスタのBKO2DTビットをセット(1)し、UF0BO2Lレジスタに受信したデータ量を保持して、CPUに対して割り込み要求またはDMA要求を発生します。この割り込み要求とDMA要求の切り替えは、UF0IDRレジスタのDQBO2MSビットで選択できます。

UF0BO2レジスタに保持しているデータは、UF0BO2レジスタで読み出した値分のデータだけFWにおいて読み出してください。SIE側に接続されているFIFOに正常な受信データが保持されており、UF0BO2Lレジスタの値が0になるとFIFOのトグル動作が発生して、UF0ENレジスタのBKO2NKビットが自動的にクリア(0)されます。なお、UF0BO2Lレジスタ値以上のデータの読み出しを行った場合には、FIFOのトグル条件が成立するとFIFOの切り替えが発生し、結果として次のパケットを誤って読み出す可能性があります。またトグル条件が成立しない場合には、先頭データを繰り返し読み出しますので、注意してください。

CPU側に接続されているFIFOにデータが保持されている状態でオーバーラン・データを受信した場合、Endpoint4がストール状態となり、CPU側FIFOもクリアされます。

データが空の状態UF0BO2レジスタを読み出した場合には、不定値が読み出せます。

注意 格納されているデータは、すべて読み出してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO2	BKO27	BKO26	BKO25	BKO24	BKO23	BKO22	BKO21	BKO20	0020010CH	不定

ビット位置	ビット名	意味
7-0	BKO27- BKO20	Endpoint4に対するデータが格納されます。

次にUF0BO2レジスタの動作を示します。

図20 - 8 UF0BO2レジスタの動作 (1/2)

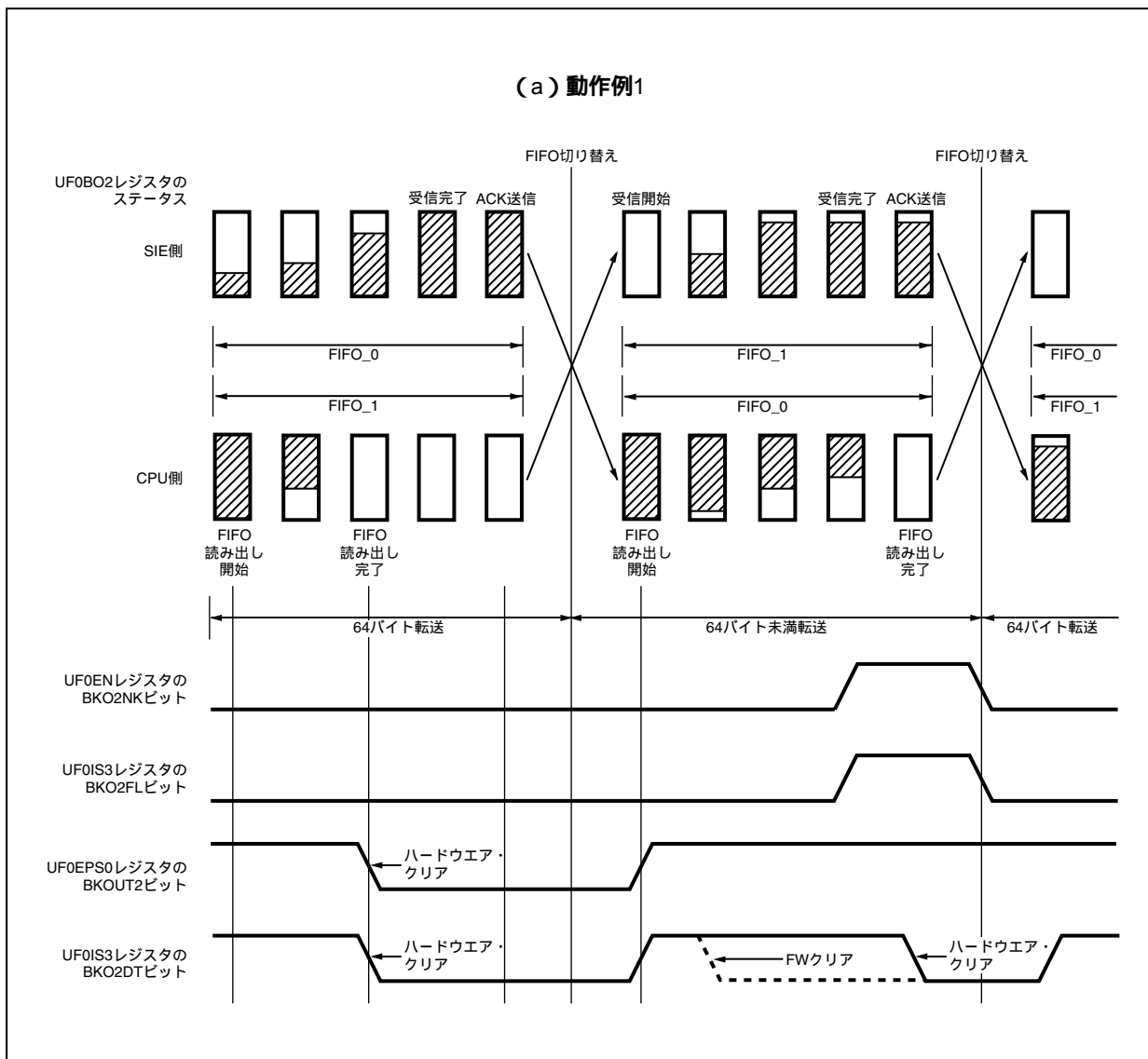
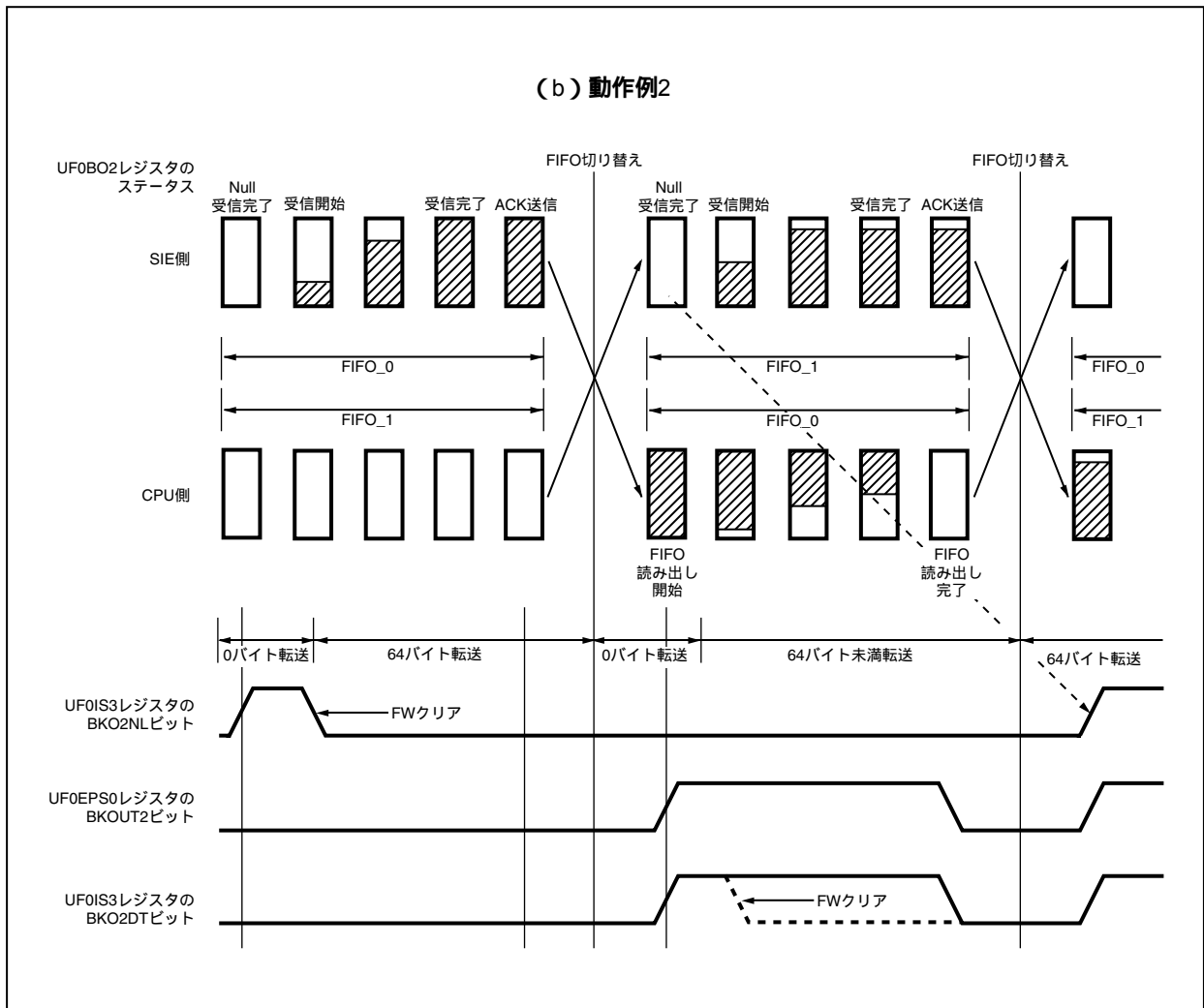


図20 - 8 UF0BO2レジスタの動作 (2/2)



(8) UF0バルク・アウト2レングス・レジスタ (UF0BO2L)

UF0BO2Lレジスタは、UF0BO2レジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0BO2Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0BO2Lレジスタはクリア (00H) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FWはUF0BO2Lレジスタで読み出した値分のデータだけUF0BO2レジスタを読み出せます。UF0BO2LレジスタはUF0BO2レジスタを読み出すごとに、デクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO2L	BKO2L7	BKO2L6	BKO2L5	BKO2L4	BKO2L3	BKO2L2	BKO2L1	BKO2L0	0020010EH	00H

ビット位置	ビット名	意味
7-0	BKO2L7- BKO2L0	UF0BO2レジスタに保持されているデータ長が格納されます。

(9) UF0バルク・イン1レジスタ (UF0BI1)

UF0BI1レジスタは、Endpoint1に対するデータを格納する64バイト×2のFIFOです。UF0BI1レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがない(カウンタ値 = 0)、かつCPU側のFIFOが正常に書き込まれていることです(FIFOフル、またはBKI1DEDビット = 1)。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。

ハードウェアは、UF0ENレジスタのBKI1NKビットがセット(1)されている(NAKを送信しない)場合のみ、Endpoint1に対するINトークンに同期してUSBバスへのデータの送信を行います。書き込み、および読み出しのアドレスはハードウェアで管理しているため、FWはUF0BI1レジスタにホストに送信するデータを順番に書き込むだけで送信できます。ショート・パケットを送信する場合は、UF0BI1レジスタにデータを書き込み、UF0DENDレジスタのBKI1DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN1ビット = 1(データがある))。Nullパケットを送信する場合は、UF0BI1レジスタのクリアを行い、UF0DENDレジスタのBKI1DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN1ビット = 1(データがある))。データを正常送信するとFIFOトグル動作が起こり、UF0IS2レジスタのBKI1DTビットをセット(1)し、CPUに対して割り込み要求を発生します。割り込み要求とDMA要求の切り替えは、UF0IDRレジスタのDQBI1MSビットで選択できます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BI1	BKI17	BKI16	BKI15	BKI14	BKI13	BKI12	BKI11	BKI10	00200110H	不定

ビット位置	ビット名	意 味
7-0	BKI17-BKI10	Endpoint1に対するデータを格納します。

次にUF0BI1レジスタの動作を示します。

図20 - 9 UF0B1レジスタの動作 (1/3)

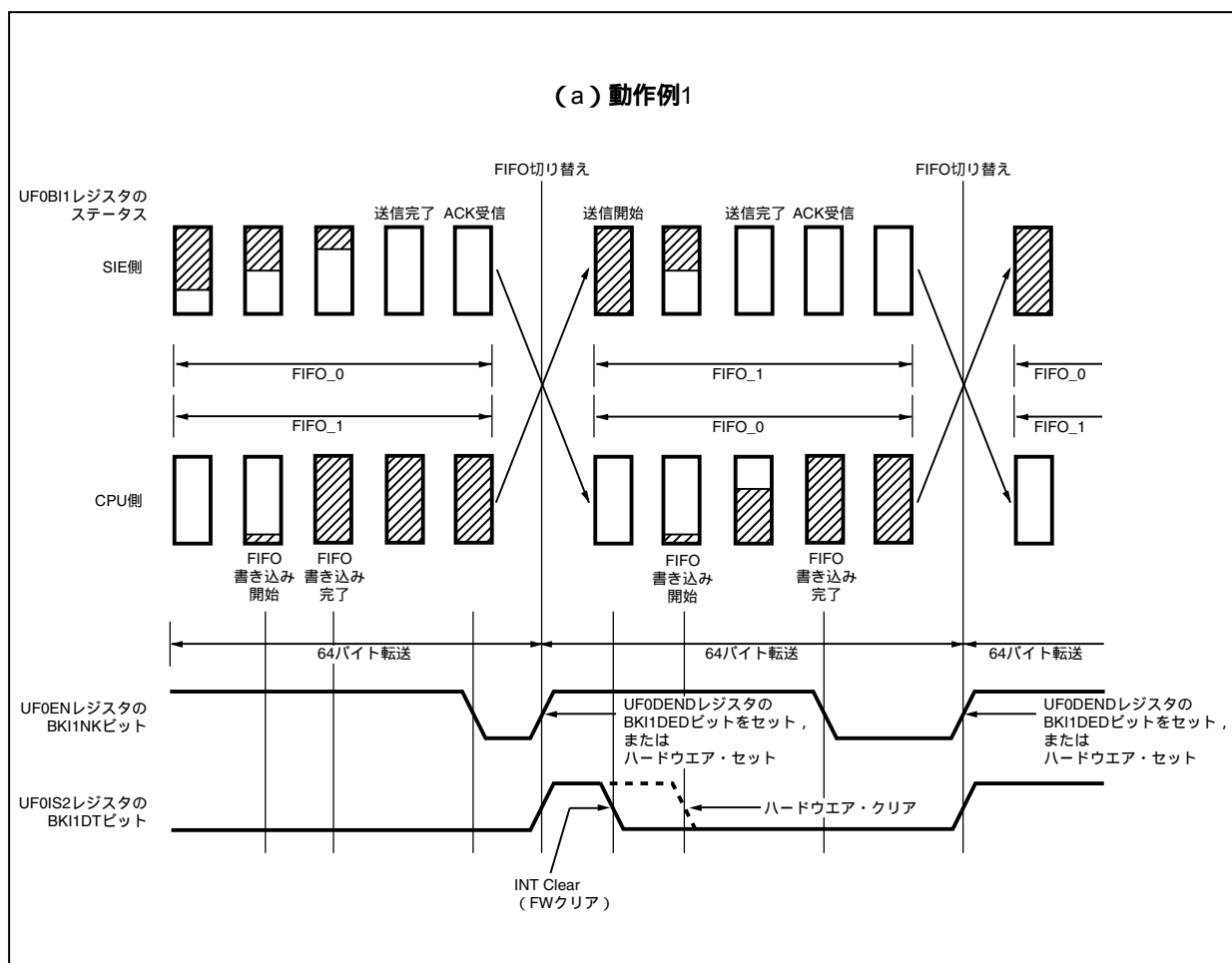


図20 - 9 UF0B1レジスタの動作 (2/3)

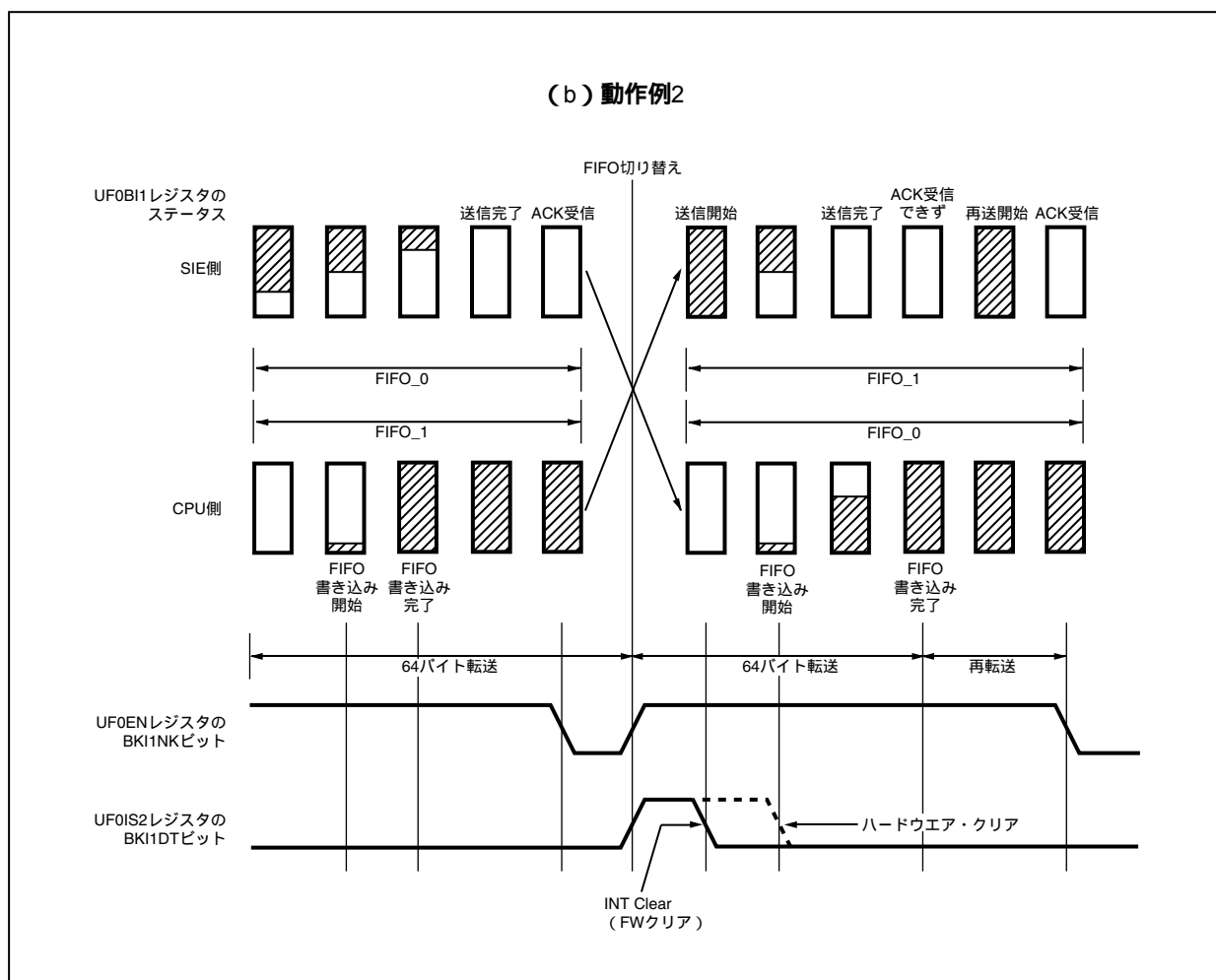
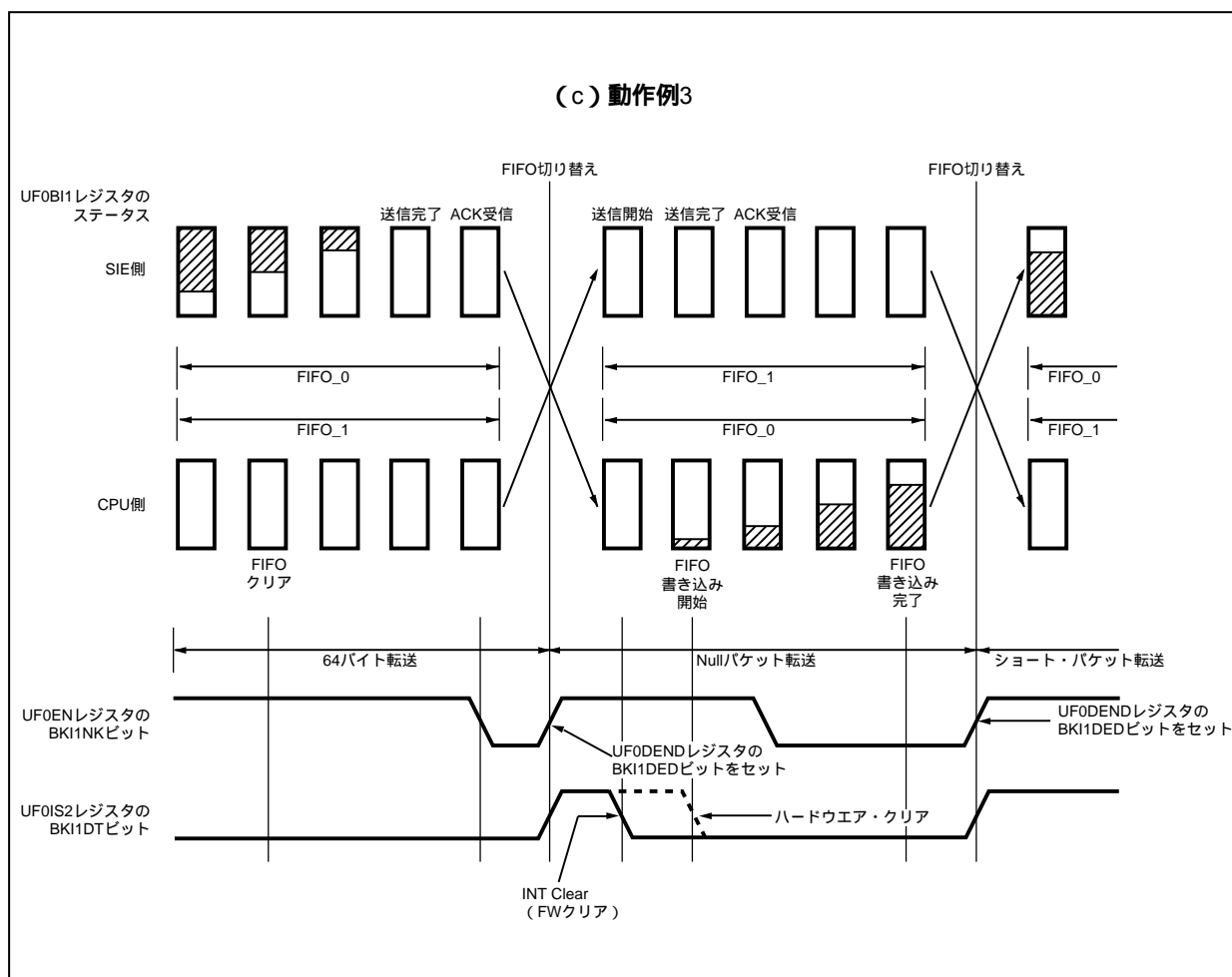


図20 - 9 UF0B1レジスタの動作 (3/3)



(10) UF0バルク・イン2レジスタ (UF0BI2)

UF0BI2レジスタは、Endpoint3に対するデータを格納する64バイト×2のFIFOです。UF0BI2レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがない(カウンタ値 = 0)、かつCPU側のFIFOが正常に書き込まれていることです(FIFOフル、またはBK12DEDビット = 1)。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。

ハードウェアは、UF0ENレジスタのBK12NKビットがセット(1)されている(NAKを送信しない)場合のみ、Endpoint3に対するINトークンに同期してUSBバスへのデータの送信を行います。書き込み、および読み出しのアドレスはハードウェアで管理しているため、FWはUF0BI2レジスタにホストに送信するデータを順番に書き込むだけで送信できます。ショート・パケットを送信する場合は、UF0BI2レジスタにデータを書き込み、UF0DENDレジスタのBK12DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN2ビット = 1(データがある))。Nullパケットを送信する場合は、UF0BI2レジスタのクリアを行い、UF0DENDレジスタのBK12DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN2ビット = 1(データがある))。データを正常送信するとFIFOトグル動作が起こり、UF0IS2レジスタのBK12DTビットをセット(1)し、CPUに対して割り込み要求を発生します。割り込み要求とDMA要求の切り替えは、UF0IDRレジスタのDQBI2MSビットで選択できます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BI2	BK127	BK126	BK125	BK124	BK123	BK122	BK121	BK120	00200112H	不定

ビット位置	ビット名	意 味
7-0	BK127-BK120	Endpoint3に対するデータを格納します。

次にUF0BI2レジスタの動作を示します。

図20 - 10 UF0BI2レジスタの動作 (1/3)

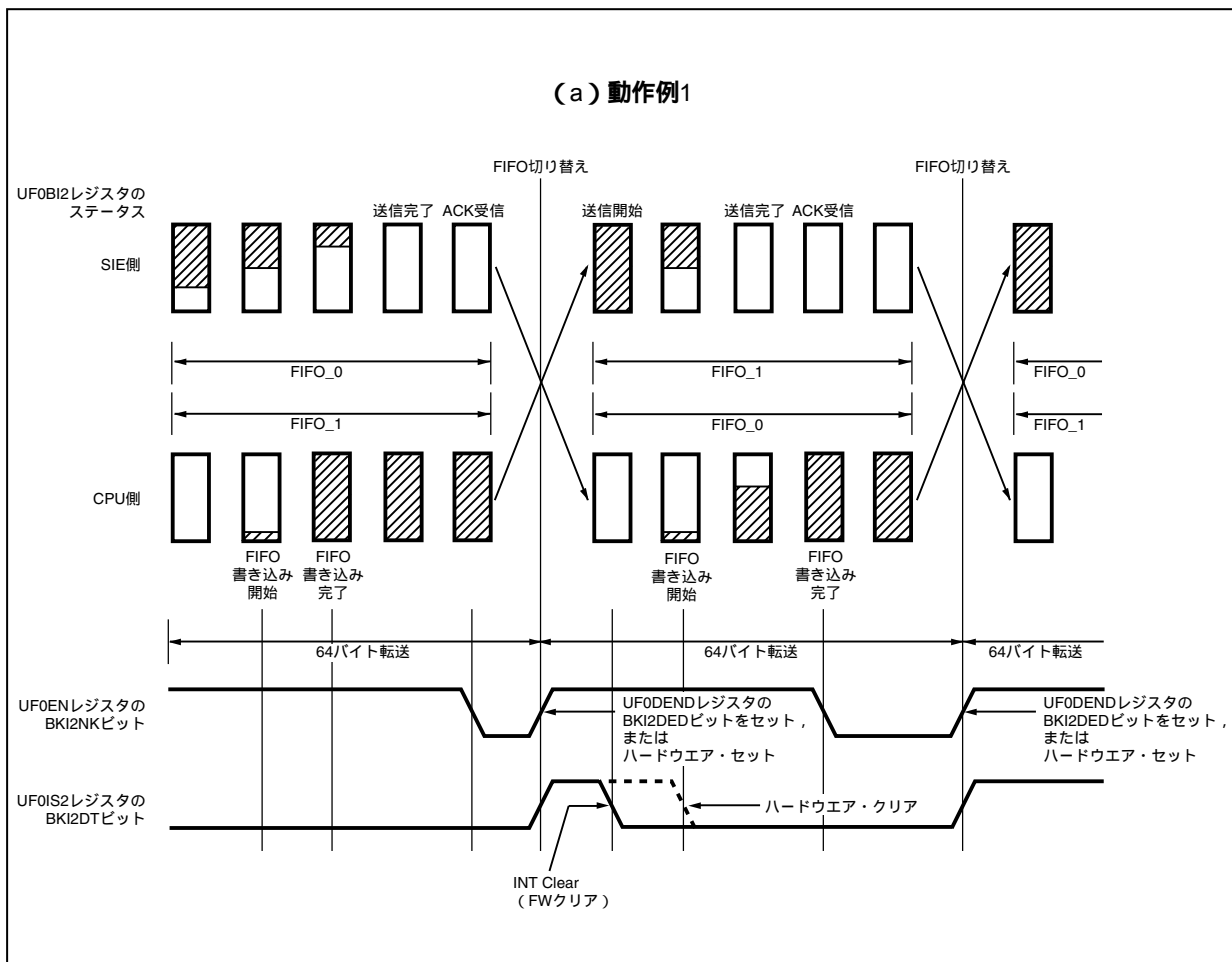


図20 - 10 UF0BI2レジスタの動作 (2/3)

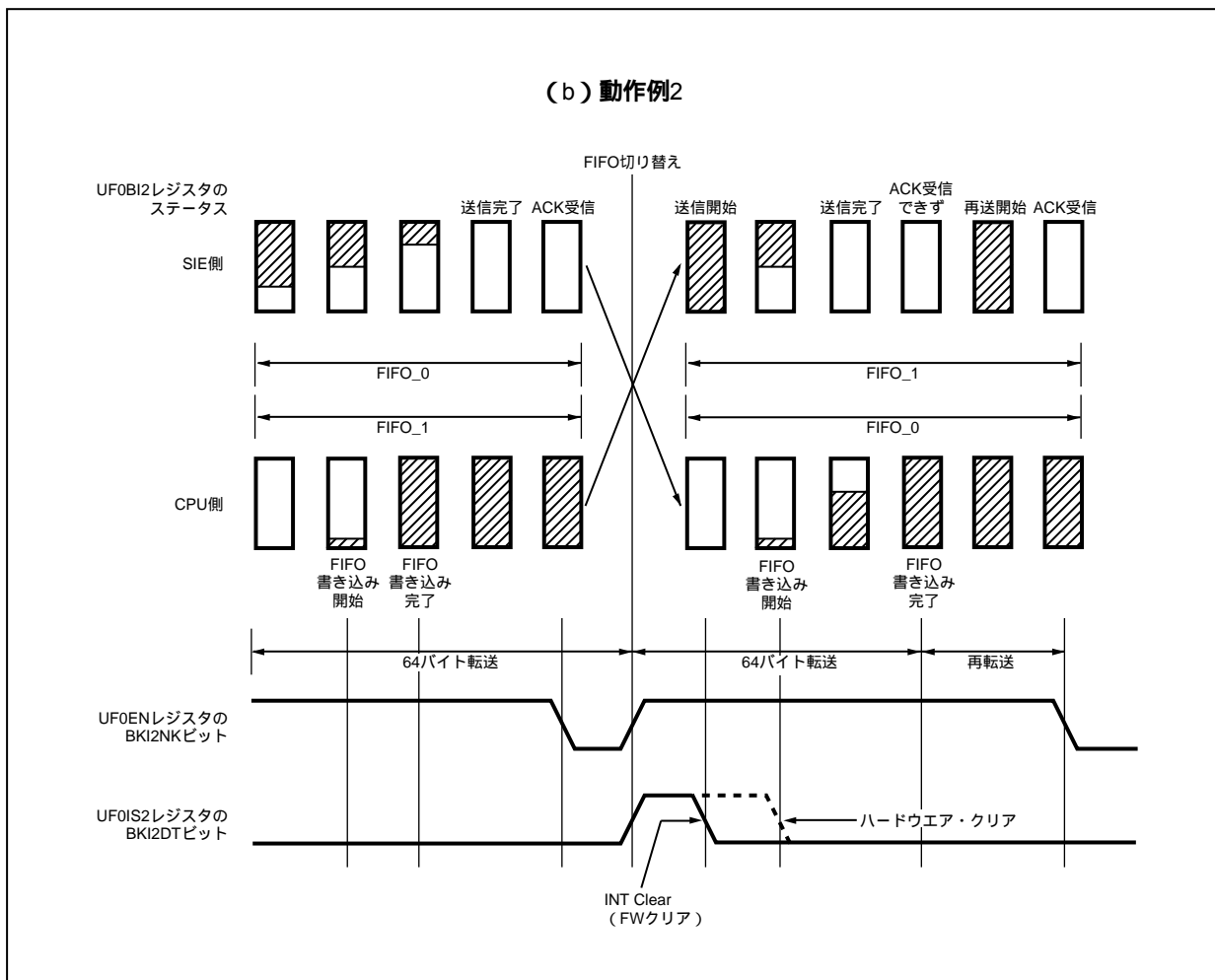
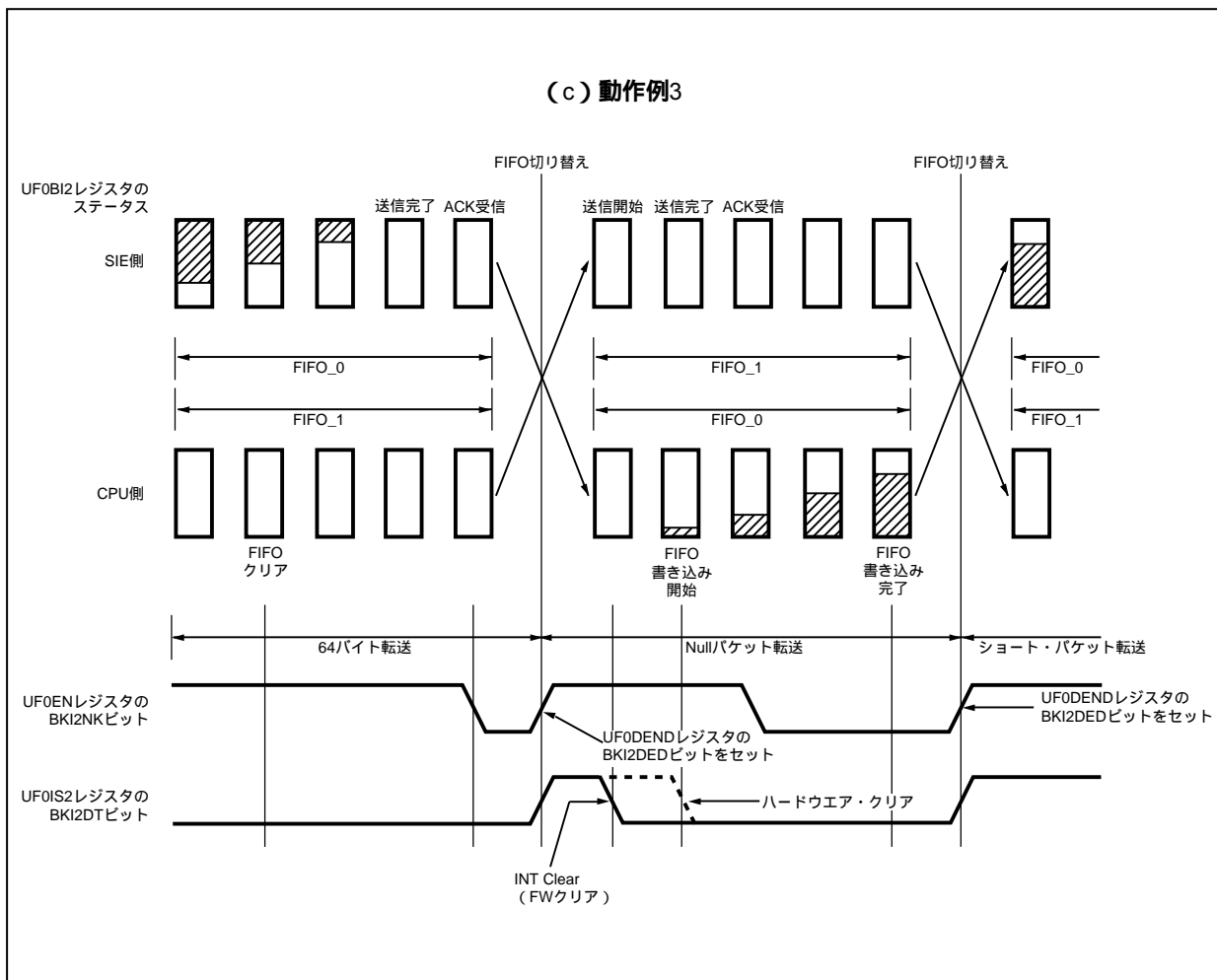


図20 - 10 UF0B12レジスタの動作 (3/3)



(11) UF0インタラプト1レジスタ (UF0INT1)

UF0INT1レジスタは、Endpoint7に対するデータを格納する (SIEに引き渡す) 8バイトのFIFOです。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。

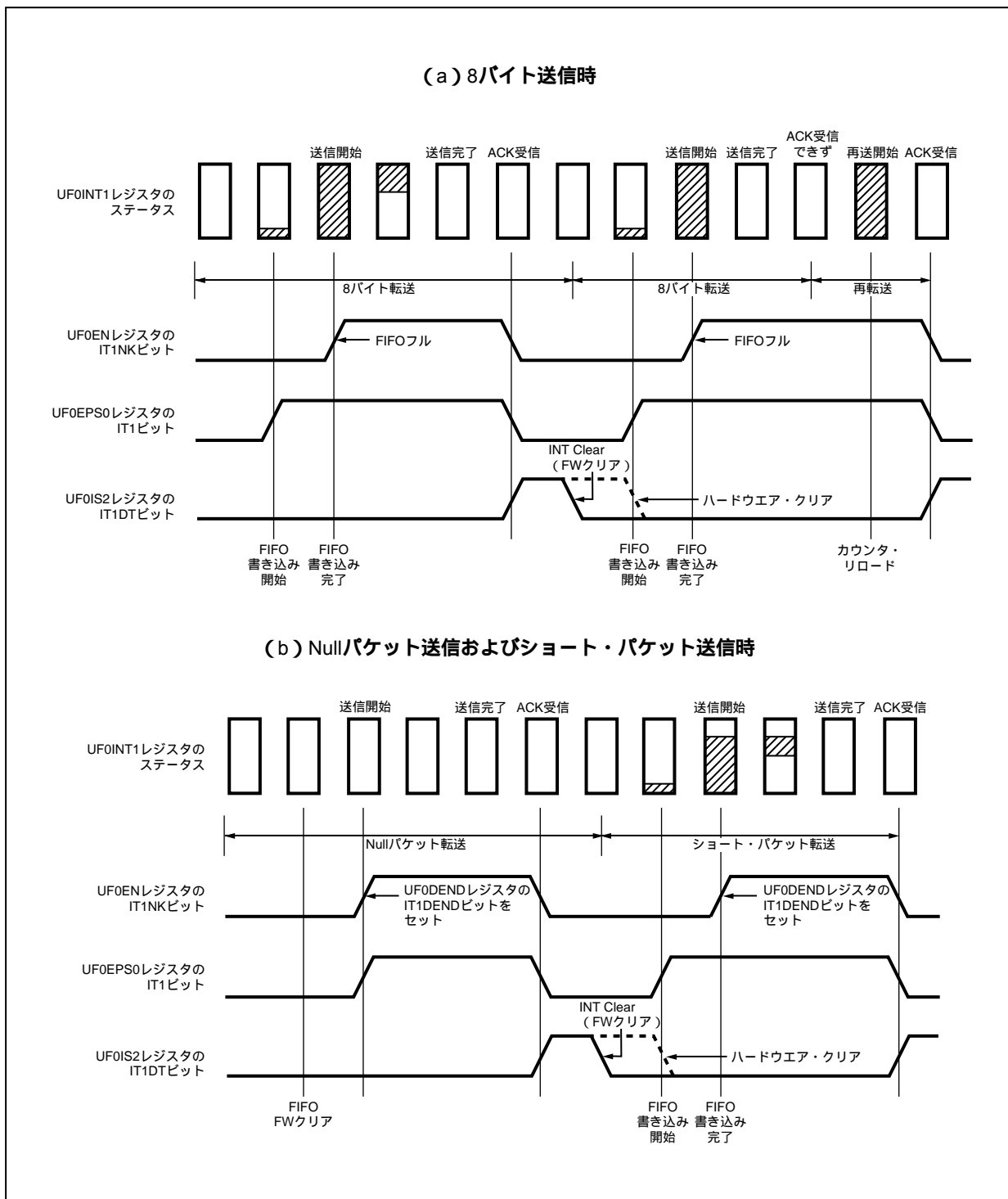
ハードウェアはUF0ENレジスタのIT1NKビットがセット(1)されている(NAKを送信しない)場合のみ、Endpoint7に対するINトークンに同期してUSBバスへのデータの送信を行います。データが送信され、ホストがデータを正常受信した場合、UF0ENレジスタのIT1NKビットがハードウェアによって自動的にクリア(0)されます。ショート・パケットを送信する場合は、UF0INT1レジスタにデータを書き込み、UF0DENDレジスタのIT1DENDビットをセット(1)すると送信が行われます (UF0EPS0レジスタのIT1ビット = 1 (データがある))。Nullパケットを送信する場合は、UF0INT1レジスタのクリアを行い、UF0DENDレジスタのIT1DENDビットをセット(1)すると送信が行われます (UF0EPS0レジスタのIT1ビット = 1 (データがある))。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0INT1	IT17	IT16	IT15	IT14	IT13	IT12	IT11	IT10	00200114H	不定

ビット位置	ビット名	意 味
7-0	IT17-IT10	Endpoint7に対するデータを格納します。

次にUF0INT1レジスタの動作を示します。

図20 - 11 UF0INT1レジスタの動作



20.6.5 EPCリクエスト・データ・レジスタ

(1) UF0デバイス・ステータス・レジスタ (UF0DSTL)

GET_STATUS Deviceリクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。

ハードウェアはGET_STATUS Deviceリクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DSTL	0	0	0	0	0	0	RMWK	SFPW	00200144H	00H

ビット位置	ビット名	意 味
1	RMWK	デバイスによるリモート・ウエイクアップ機能を使用するかどうかを設定します。 1: 許可 0: 禁止 デバイスがリモート・ウエイクアップをサポートする場合は、SET_FEATURE Deviceリクエストを受信したときハードウェアによりセット(1)され、CLEAR_FEATURE Deviceリクエストを受信したときハードウェアによりクリア(0)されます。リモート・ウエイクアップをサポートしない場合にはホストからSET_FEATURE Deviceリクエストを発行しないようにしてください。
0	SFPW	デバイスがセルフ・パワーであるかバス・パワーであるかを示します。 1: セルフ・パワー 0: バス・パワー

(2) UF0 EP0ステータス・レジスタ (UF0E0SL)

GET_STATUS Endpoint0リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

USBF自身でエラーが発生すると、E0HALTビットがFWによってセット(1)されます。Endpoint0へのUSB側アクセスを受けている間の書き込みは無視されます。

FWでE0HALTビットをセット(1)する場合、直前のコントロール転送がSET_FEATURE Endpoint0, CLEAR_FEATURE Endpoint0, GET_STATUA Endpoint0リクエスト, またはFW処理のリクエストの場合には次のSETUPトークンを受信するまで反映されません。

ハードウェアはGET_STATUS Endpoint0リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint0がストールした場合にはUF0E0W, UF0E0Rレジスタがクリアされ、UF0E0NレジスタのEP0NKW, EP0NKRビットがクリア(0)されます。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0SL	0	0	0	0	0	0	0	E0HALT	0020014CH	00H

ビット位置	ビット名	意味
0	E0HALT	Endpoint0の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint0リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint0リクエストを受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(3) UF0 EP1ステータス・レジスタ (UF0E1SL)

GET_STATUS Endpoint1リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint1でエラーが発生すると、E1HALTビットがセット(1)されます。Endpoint1へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint1リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint1がストールした場合にはUF0B11レジスタがクリアされ、BK11NKビットがクリア(0)されます。

コントロール転送でなくEndpoint1に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E1SL	0	0	0	0	0	0	0	E1HALT	00200150H	00H

ビット位置	ビット名	意味
0	E1HALT	Endpoint1の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint1リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint1リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint1がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(4) UF0 EP2ステータス・レジスタ (UF0E2SL)

GET_STATUS Endpoint2リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint2でエラーが発生すると、E2HALTビットがセット(1)されます。Endpoint2へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint2リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint2がストールした場合にはUF0BO1レジスタがクリアされ、BKO1NKビットがクリア(0)されます。

コントロール転送でなくEndpoint2に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E2SL	0	0	0	0	0	0	0	E2HALT	00200154H	00H

ビット位置	ビット名	意味
0	E2HALT	Endpoint2の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint2リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint2リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint2がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(5) UF0 EP3ステータス・レジスタ (UF0E3SL)

GET_STATUS Endpoint3リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint3でエラーが発生すると、E3HALTビットがセット(1)されます。Endpoint3へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint3リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint3がストールした場合にはUF0BI2レジスタがクリアされ、BK12NKビットがクリア(0)されます。

コントロール転送でなくEndpoint3に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E3SL	0	0	0	0	0	0	0	E3HALT	00200158H	00H

ビット位置	ビット名	意味
0	E3HALT	Endpoint3の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint3リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint3リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint3がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(6) UF0 EP4ステータス・レジスタ (UF0E4SL)

GET_STATUS Endpoint4リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint4でエラーが発生すると、E4HALTビットがセット(1)されます。Endpoint4へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint4リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint4がストールした場合にはUF0BO2レジスタがクリアされ、BKO2NKビットがクリア(0)されます。

コントロール転送でなくEndpoint4に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E4SL	0	0	0	0	0	0	0	E4HALT	0020015CH	00H

ビット位置	ビット名	意味
0	E4HALT	Endpoint4の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint4リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint4リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint4がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(7) UF0 EP7ステータス・レジスタ (UF0E7SL)

GET_STATUS Endpoint7リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint7でエラーが発生すると、E7HALTビットがセット(1)されます。Endpoint7へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint7リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint7がストールした場合にはUF0INT1レジスタがクリアされ、IT1NKビットがクリア(0)されます。

コントロール転送でなくEndpoint7に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E7SL	0	0	0	0	0	0	0	E7HALT	00200168H	00H

ビット位置	ビット名	意味
0	E7HALT	Endpoint7の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint7リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint7リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint7がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(8) UF0アドレス・レジスタ (UF0ADRS)

デバイス・アドレスを格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタは、SET_ADDRESSリクエストにより送られてくるデバイス・アドレスを解析し、自動的にその値を書き込みます。SET_ADDRESSリクエストをFW処理した場合、ステータス・ステージのSUCCESS信号受信時にこのレジスタの値をデバイス・アドレスとして反映します。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ADRS	0	ADRS6	ADRS5	ADRS4	ADRS3	ADRS2	ADRS1	ADRS0	00200180H	00H

ビット位置	ビット名	意味
6-0	ADRS6- ADRS0	SIEのデバイス・アドレスを保持します。

(9) UF0コンフィギュレーション・レジスタ (UF0CNF)

GET_CONFIGURATIONリクエストで返す値を格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタはSET_CONFIGURATIONリクエストを受信すると、自動的にそのwValueを書き込みます。

このレジスタの値が00Hから00H以外に変化したタイミングを検出して、UF0MODSレジスタのCONFビットがセット (1) されます。また、SET_CONFIGURATIONリクエストをFWで処理した場合、このレジスタにデータを書き込んだ時点ですぐにUF0MODSレジスタに状態が反映されます (ステータス・ステージ終了前にCONFビット = 1になります)。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CNF	0	0	0	0	0	0	CONF1	CONF0	00200182H	00H

ビット位置	ビット名	意 味
1, 0	CONF1, CONF0	GET_CONFIGURATIONリクエストに対して返信するデータを保持します。

(10) UF0インタフェース0レジスタ (UF0IF0)

GET_INTERFACE wIndex = 0リクエストで返す値を格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタはSET_INTERFACEリクエストを受信すると、自動的にそのwValueを書き込みます。

SET_INTERFACEリクエストをFWで処理した場合、wIndex、wValueをデコードしてEndpointの設定を自動的に変更します。このとき、設定に応じて対象Endpointの状態ビットとDPIDを自動的にクリア(0)します。FIFOは自動的にクリアされません。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IF0	0	0	0	0	0	IF02	IF01	IF00	00200184H	00H

ビット位置	ビット名	意味
2-0	IF02-IF00	GET_INTERFACE wIndex = 0リクエストに対して返信するデータを保持します。

(11) UF0インタフェース1-4レジスタ (UF0IF1-UF0IF4)

GET_INTERFACE wIndex = nリクエストで返す値を格納するレジスタです (n = 1-4)。

8ビット単位でリードのみ可能です。

このレジスタはSET_INTERFACEリクエストを受信すると、自動的にそのwValueを書き込みます。

このレジスタはUF0AIFNレジスタとUF0AASレジスタの設定によっては無効になります。

SET_INTERFACEリクエストをFWで処理した場合、wIndex, wValueをデコードしてEndpointの設定を自動的に変更します。このとき、設定に応じて対象Endpointの状態ビットとDPIDを自動的にクリア (0) します。FIFOは自動的にクリアされません。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IF1	0	0	0	0	0	IF12	IF11	IF10	00200186H	00H
UF0IF2	0	0	0	0	0	IF22	IF21	IF20	00200188H	00H
UF0IF3	0	0	0	0	0	IF32	IF31	IF30	0020018AH	00H
UF0IF4	0	0	0	0	0	IF42	IF41	IF40	0020018CH	00H

ビット位置	ビット名	意味
2-0	IFn2-IFn0	GET_INTERFACE wIndex = nリクエストに対して返信するデータを保持します。

備考 n = 1-4

(12) UF0 ディスクリプタ・レングス・レジスタ (UF0DSCL)

GET_DESCRIPTOR Configuration リクエストで返す値の長さを格納するレジスタです。このレジスタ値はUF0CIEnレジスタで設定した全ディスクリプタのバイト数 - 1の値になります (n = 0-255)。このレジスタ値によりGET_DESCRIPTOR Configuration リクエストで返信する全ディスクリプタ長が決定されます。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

wLengthの処理は自動的に制御されます。このレジスタに00Hを設定すると、返信するディスクリプタ長は1バイトを意味し、FFHを設定すると256バイトを意味します。なお、256バイトを越えるディスクリプタを使用する場合には、UF0MODC レジスタのCDCGDST ビットをセット(1)してFWによりGET_DESCRIPTOR リクエストを処理してください(このときUF0MODS レジスタのCDCGD ビットもセット(1)されます)。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DSCL	DPL7	DPL6	DPL5	DPL4	DPL3	DPL2	DPL1	DPL0	002001A0H	00H

ビット位置	ビット名	意味
7-0	DPL7-DPL0	GET_DESCRIPTOR Configuration リクエストで返信する全ディスクリプタのバイト数 - 1の値を設定します。

(13) UF0デバイス・ディスクリプタ・レジスタ0-17 (UF0DD0-UF0DD17)

GET_DESCRIPTOR Deviceリクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKABITがセット(1)されているときにだけ可能です。

- 注意1. このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKABITをセット(1)したあと読み出し、セット(1)を確認してから行ってください。
2. 設定する値には、USB Specification Ver2.0、および最新Class Specificationの値を使用してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DDn (n = 0-17)									表20 - 5参照	不定

表20 - 5 UF0デバイス・ディスクリプタ・レジスタのマッピングとデータ

略号	アドレス	フィールド名	内容
UF0DD0	002001A2H	bLength	このディスクリプタのサイズ
UF0DD1	002001A4H	bDescriptorType	デバイス・ディスクリプタ・タイプ
UF0DD2	002001A6H	bcdUSB	USB仕様のRev.番号の小数点以下の値
UF0DD3	002001A8H		USB仕様のRev.番号の小数点以上の値
UF0DD4	002001AAH	bDeviceClass	クラス・コード
UF0DD5	002001ACH	bDeviceSubClass	サブクラス・コード
UF0DD6	002001AEH	bDeviceProtocol	プロトコル・コード
UF0DD7	002001B0H	bMaxPacketSize0	Endpoint0の最大パケット・サイズ
UF0DD8	002001B2H	idVendor	ベンダIDの下位側の値
UF0DD9	002001B4H		ベンダIDの上位側の値
UF0DD10	002001B6H	idProduct	製品IDの下位側の値
UF0DD11	002001B8H		製品IDの上位側の値
UF0DD12	002001BAH	bcdDevice	デバイス・リリース番号の下位側の値
UF0DD13	002001BCH		デバイス・リリース番号の上位側の値
UF0DD14	002001BEH	iManufacturer	メーカーを記述するstring・ディスクリプタのインデクス
UF0DD15	002001C0H	iProduct	製品を記述するstring・ディスクリプタのインデクス
UF0DD16	002001C2H	iSerialNumber	デバイス・シリアル番号を記述するstring・ディスクリプタのインデクス
UF0DD17	002001C4H	BNumConfigurations	設定可能なConfigurationの数

(14) UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ0-255
(UF0CIE0-UF0CIE255)

GET_DESCRIPTOR Configurationリクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

このレジスタには256バイトまでのディスクリプタ情報を格納できます。各ディスクリプタは Configuration, Interface, Endpointの順に格納してください(表20 - 6参照)。Interfaceが複数ある場合は、Interfaceディスクリプタ以降を繰り返し格納してください。

表20 - 6 UF0CIE_nレジスタのマッピング

アドレス	格納するディスクリプタ
002001C6H	Configurationディスクリプタ (9バイト)
002001D8H	Interfaceディスクリプタ (9バイト)
002001EAH	Endpoint1ディスクリプタ (7バイト)
002001F8H	Endpoint2ディスクリプタ (7バイト)
00200206H	Endpoint3ディスクリプタ (7バイト)
:	:
002002xxH	Interfaceディスクリプタ (9バイト)
002002xxH + 9	Endpoint1ディスクリプタ (7バイト)
002002xxH + 16	Endpoint2ディスクリプタ (7バイト)
002002xxH + 23	Endpoint3ディスクリプタ (7バイト)
:	:

UF0DSCLレジスタの設定により、このレジスタに設定できる有効なデータ範囲が変わります。なお、表20 - 7に示すディスクリプタ以外にもクラスやベンダに固有のディスクリプタを格納できます。

すべての値が固定されていれば、ROM化可能です。

- 注意** 1. このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。
2. 設定する値には、USB Specification Ver2.0、および最新Class Specificationの値を使用してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CIE _n (n = 0-255)									002001C6H- 002003C4H	不定

表20 - 7 Uf0CIEnレジスタのデータ

(a) Configurationディスクリプタ (9バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	wTotalLength	Configuration, 全Interface, 全Endpointのディスクリプタが占める総バイト数の下位側の値
3		Configuration, 全Interface, 全Endpointのディスクリプタが占める総バイト数の上位側の値
4	bNumInterface	Interfaceの数
5	bConfigurationValue	このConfigurationを選択するための値
6	iConfiguration	このConfigurationを記述するSTRING・ディスクリプタのインデックス
7	bmAttributes	Configurationの特徴 (セルフ・パワード, リモート・ウエイクアップなし)
8	MaxPower	このConfigurationの最大消費電力 (単位: mA) ^注

注 2mAの単位で表されます。(例: 50 = 100 mA)

(b) Interfaceディスクリプタ (9バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bInterfaceNumber	このInterfaceの値
3	bAlternateSetting	Interfaceの代替セッティングを選択する値
4	bNumEndpoints	使用可能なEndpointの数
5	bInterfaceClass	クラス・コード
6	bInterfaceSubClass	サブクラス・コード
7	bInterfaceProtocol	プロトコル・コード
8	Interface	このInterfaceを記述するSTRING・ディスクリプタのインデックス

(c) Endpointディスクリプタ (7バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bEndpointAddress	このEndpointのアドレス / 転送方向
3	bmAttributes	転送種類
4	wMaxPaketSize	最大データ転送数の下位側の値
5		最大データ転送数の上位側の値
6	bInterval	転送周期

20.6.6 ブリッジ・レジスタ

(1) ブリッジ割り込み・コントロール・レジスタ (BRGINTT)

ブリッジ回路へのEPCからの割り込み発生ステータス、各エンドポイント (EP1-EP4) のDMA転送ステータスを制御するレジスタです。

16ビット単位でリード/ライト可能です。

リセット時：0000H RW アドレス：00200400H

	15	14	13	12	11	10	9	8
BRGINTT	0	0	0	0	EP4INT	EP3INT	EP2INT	EP1INT
	7	6	5	4	3	2	1	0
	0	0	0	0	0	EPCINT2B	EPCINT1B	EPCINT0B

ビット位置	ビット名	意味
11	EP4INT	EP4において、DMA転送が正常終了、もしくはDMA転送中にエラー終了した時に、このビットがセットされます。"1"を書き込むことで"0"にクリアされます。 0 : DMA転送未終了 1 : DMA転送終了
10	EP3INT	EP3において、DMA転送が正常終了、もしくはDMA転送中にエラー終了した時に、このビットがセットされます。"1"を書き込むことで"0"にクリアされます。 0 : DMA転送未終了 1 : DMA転送終了
9	EP2INT	EP2において、DMA転送が正常終了、もしくはDMA転送中にエラー終了した時に、このビットがセットされます。"1"を書き込むことで"0"にクリアされます。 0 : DMA転送未終了 1 : DMA転送終了
8	EP1INT	EP1において、DMA転送が正常終了、もしくはDMA転送中にエラー終了した時に、このビットがセットされます。"1"を書き込むことで"0"にクリアされます。 0 : DMA転送未終了 1 : DMA転送終了
2	EPCINT2B	EPCからのInterrupt信号"EPC_INT2B"のステータスを示します。 EPCレジスタからの要求によりクリア制御されます。 0 : 割り込みなし 1 : 割り込みあり
1	EPCINT1B	EPCからのInterrupt信号"EPC_INT1B"のステータスを示します。 EPCレジスタからの要求によりクリア制御されます。 0 : 割り込みなし 1 : 割り込みあり
0	EPCINT0B	EPCからのInterrupt信号"EPC_INT0B"のステータスを示します。 EPCレジスタからの要求によりクリア制御されます。 0 : 割り込みなし 1 : 割り込みあり

(2) ブリッジ割り込み・イネーブル・レジスタ (BRGINTE)

ブリッジ回路で発生した割り込みを許可 / 禁止するかを制御するレジスタです。

16ビット単位でリード / ライト可能です。

リセット時 : 0000H R/W アドレス : 00200402H

	15	14	13	12	11	10	9	8
BRGINTE	0	0	0	0	EP4INTN	EP3INTN	EP2INTN	EP1INTN
	7	6	5	4	3	2	1	0
	0	0	0	0	0	EPC INT2BEN	EPC INT1BEN	EPC INT0BEN

ビット位置	ビット名	意味
11	EP4INTN	EP4INTビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可
10	EP3INTN	EP3INTビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可
9	EP2INTN	EP2INTビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可
8	EP1INTN	EP1INTビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み発生禁止 1 : 割り込み発生許可
2	EPCINT2BEN	EPCINT2BENビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可
1	EPCINT1BEN	EPCINT1BENビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可
0	EPCINT0BEN	EPCINT0BENビットがセットされた時の割り込み発生許可 / 禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可

(3) EPCマクロ・コントロール・レジスタ (EPCCLT)

EPCマクロへのリセット発生を制御するレジスタです。

16ビット単位でリード/ライト可能です。

リセット時 : 0000H R/W アドレス : 00200404H								
	15	14	13	12	11	10	9	8
EPCCLT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	EPCRST

ビット位置	ビット名	意 味
0	EPCRST	EPCへのリセット発生を設定します。 0 : リセット解除 1 : リセット発行

(4) CPU I/Fバス・コントロール・レジスタ (CPUBCTL)

ブリッジ回路とCPU間のインタフェースを制御するレジスタです。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：00200408H

	15	14	13	12	11	10	9	8
CPUBCTL	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	BULKWAIT	DATAWAIT	NOWAIT

ビット位置	ビット名	意 味
2	BULKWAIT	<p>バルク・レジスタ・アクセス時に1ウエイト(バルク・ウエイト)を強制的に挿入します。</p> <p>0: バルク・ウエイト強制挿入なし^注(初期値) 1: バルク・ウエイト強制挿入あり</p> <p>注 ライト・アクセス時は設定が無効になり、バルク・ウエイトは強制挿入されません。</p>
1	DATAWAIT	<p>CPUバス・サイクルの最後に、1ウエイト(データ・ウエイト)を強制的に挿入します。</p> <p>0: データ・ウエイト強制挿入なし(初期値) 1: データ・ウエイト強制挿入あり</p>
0	NOWAIT	<p>CPUバス・サイクルのノー・ウエイト動作の許可/禁止を設定します。</p> <p>0: ノー・ウエイト禁止^注(初期値) 1: ノー・ウエイ許可</p> <p>注 必ず1ウエイト以上が挿入されます。</p>

20.6.7 DMAレジスタ

(1) EPn DMAコントロール・レジスタ1 (UF0E1DC1- UF0E4DC1)

エンドポイントn (EPn) のDMA転送を制御するレジスタです。(n=1-4)

16ビット単位でリード/ライト可能です。

(1/2)

リセット時 : 0000H R/W アドレス : 00200500H

	15	14	13	12	11	10	9	8
UF0E1DC1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	EP1BULK2	EP1BULK1	EP1BULK0	EP1STOP	EP1REQ	EP1DMAE N

リセット時 : 0000H R/W アドレス : 00200504H

	15	14	13	12	11	10	9	8
UF0E2DC1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	EP2BULK2	EP2BULK1	EP2BULK0	EP2STOP	EP2REQ	EP2DMAE N

リセット時 : 0000H R/W アドレス : 00200508H

	15	14	13	12	11	10	9	8
UF0E3DC1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	EP3BULK2	EP3BULK1	EP3BULK0	EP3STOP	EP3REQ	EP3DMAE N

リセット時 : 0000H R/W アドレス : 0020050CH

	15	14	13	12	11	10	9	8
UF0E4DC1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	EP4BULK2	EP4BULK1	EP4BULK0	EP4STOP	EP4REQ	EP4DMAE N

ビット位置	ビット名	意味																								
5-3	EPnBULK2, EPnBULK1, EPnBULK0	ブリッジ内部のバルク転送用ステートマシン"BIN_STATE"のステータスを示します。"BIN_STATE"のIDLE状態を監視しています。 <table border="1" data-bbox="576 427 1356 685"> <thead> <tr> <th>EPnBULK2</th> <th>EPnBULK1</th> <th>EPnBULK0</th> <th>"BIN_STATE"ステータス</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>BIN_IDLE</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>BIN_CPU</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>BIN_EPC</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>BIN_CMP</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>BIN_END</td> </tr> </tbody> </table>	EPnBULK2	EPnBULK1	EPnBULK0	"BIN_STATE"ステータス	0	0	0	BIN_IDLE	0	0	1	BIN_CPU	0	1	0	BIN_EPC	0	1	1	BIN_CMP	1	0	0	BIN_END
EPnBULK2	EPnBULK1	EPnBULK0	"BIN_STATE"ステータス																							
0	0	0	BIN_IDLE																							
0	0	1	BIN_CPU																							
0	1	0	BIN_EPC																							
0	1	1	BIN_CMP																							
1	0	0	BIN_END																							
2	EPnSTOP	EPCからのDMA転送終了のステータス (DMA転送の終了要因) を示します。 0 : EPn_TCNT値"0"によるDMA転送の終了 1 : "EPC_DMARQ_EPnB"のネゲートによるDMA転送の終了 次のEP1_DMAENの"1"セットにより自動的にクリア (0) されます。																								
1	EPnREQ	EPCからの"EPC_DMARQ_EPnB"信号のステータスを示します。 0 : DMAリクエスト信号なし 1 : DMAリクエスト信号あり																								
0	EPnDMAEN	EPCからのDMA要求の制御について設定します。 0 : DMA要求をマスク 1 : DMA要求を許可する EPn_TCNTで設定されたパケット数の転送が完了するか, DMARQ_EPnBのネゲートによるDMA転送の終了にて自動的にクリア (0) されます。 注意 強制終了時は設定していた値は保証されません。																								

備考 n = 1-4

(2) EPn DMAコントロール・レジスタ2 (UF0E1DC2- UF0E4DC2)

エンドポイントn (EPn) のDMA転送を制御するレジスタです。(n=1-4)

16ビット単位でリード/ライト可能です。

(1/2)

リセット時：0000H R/W アドレス：00200502H

	15	14	13	12	11	10	9	8
UF0E1DC2	EP1	EP1	EP1	EP1	EP1	EP1	EP1	EP1
	TCNT15	TCNT14	TCNT13	TCNT12	TCNT11	TCNT10	TCNT9	TCNT8
	7	6	5	4	3	2	1	0
	EP1	EP1	EP1	EP1	EP1	EP1	EP1	EP1
	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0

リセット時：0000H R/W アドレス：00200506H

	15	14	13	12	11	10	9	8
UF0E2DC2	EP2	EP2	EP2	EP2	EP2	EP2	EP2	EP2
	TCNT15	TCNT14	TCNT13	TCNT12	TCNT11	TCNT10	TCNT9	TCNT8
	7	6	5	4	3	2	1	0
	EP2	EP2	EP2	EP2	EP2	EP2	EP2	EP2
	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0

リセット時：0000H R/W アドレス：0020050AH

	15	14	13	12	11	10	9	8
UF0E3DC2	EP3	EP3	EP3	EP3	EP3	EP3	EP3	EP3
	TCNT15	TCNT14	TCNT13	TCNT12	TCNT11	TCNT10	TCNT9	TCNT8
	7	6	5	4	3	2	1	0
	EP3	EP3	EP3	EP3	EP3	EP3	EP3	EP3
	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0

リセット時：0000H R/W アドレス：0020050EH

	15	14	13	12	11	10	9	8
UF0E4DC2	EP4	EP4	EP4	EP4	EP4	EP4	EP4	EP4
	TCNT15	TCNT14	TCNT13	TCNT12	TCNT11	TCNT10	TCNT9	TCNT8
	7	6	5	4	3	2	1	0
	EP4	EP4	EP4	EP4	EP4	EP4	EP4	EP4
	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0

ビット位置	ビット名	意 味
15-0	EPnTCNT15- EPnTCNT0	<p>EPnにてDMA転送するバイト数を設定します。</p> <p>転送度にデクリメントしEPn_TCNTの値が“0”になったらDMA転送を終了させます。</p> <p>注意1. 本レジスタは、EPn_DMAEN=0の時に設定して下さい。</p> <p>2. 本レジスタに、“0”を設定することは禁止です。 本レジスタには必ずDMACの転送カウント・レジスタDBC0-DBC3の設定値に対して+1した値を設定してください。</p> <p>3. 本レジスタで設定した値がブリッジ内部のバルク転送用カウンタBIN_TCNTに反映されます。またBIN_TCNTの値が“0”になったらEPn_TCNTも“0”になります。</p> <p>4. 強制終了時はブリッジ内部のバルク転送用カウンタBIN_TCNTが停止した値に更新します。</p>

備考 n = 1-4

20.6.8 バルク・イン・レジスタ

(1) UF0 EP1バルク・イン転送データ・レジスタ (UF0EP1BI)

EP1のバルク・イン転送データを書き込むレジスタです。

8/16ビット単位でリード/ライト可能です。

リセット時 : 0000H		R/W	アドレス : 00201000H					
	15	14	13	12	11	10	9	8
UF0EP1BI	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	EP1BI7	EP1BI6	EP1BI5	EP1BI4	EP1BI3	EP1BI2	EP1BI1	EP1BI0

ビット位置	ビット名	意味
7-0	EP1BI7- EP1BI0	EP1のバルク・イン転送データを書き込みます。 本レジスタにデータを書き込むことにより、EPCマクロへのデータ出力を行います。 本レジスタを使用する場合、DMACのDMAディスティネーション・アドレス・レジスタ (DDAn (n=0-3)) にてアドレス (00201000H) を設定します。また、UFDRQEN レジスタのRQnUR1E (n=0-3) ビットをセット (1) し、DMAチャンネルを割り付けてください。

(2) UF0 EP3バルク・イン転送データ・レジスタ (UF0EP3BI)

EP3のバルク・イン転送データを書き込むレジスタです。

8/16ビット単位でリード/ライト可能です。

リセット時 : 0000H		R/W	アドレス : 00202000H					
	15	14	13	12	11	10	9	8
UF0EP3BI	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	EP3BI7	EP3BI6	EP3BI5	EP3BI4	EP3BI3	EP3BI2	EP3BI1	EP3BI0

ビット位置	ビット名	意味
7-0	EP3BI7- EP3BI0	EP3のバルク・イン転送データを書き込みます。 本レジスタにデータを書き込むことにより、EPCマクロへのデータ出力を行います。 本レジスタを使用する場合、DMACのDMAディスティネーション・アドレス・レジスタ (DDAn (n=0-3)) にてアドレス (00202000H) を設定します。また、UFDRQEN レジスタのRQnUR3E (n=0-3) ビットをセット (1) し、DMAチャンネルを割り付けてください。

20.6.9 バルク・アウト・レジスタ

(1) UF0 EP2バルク・アウト転送データ・レジスタ (UF0EP2BO)

EP2のバルク・アウト転送データを読み出すレジスタです。

8/16ビット単位でリードのみ可能です。

リセット時 : 0000H R アドレス : 00210000H

	15	14	13	12	11	10	9	8
UF0EP2BO	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
	EP2BO7	EP2BO6	EP2BO5	EP2BO4	EP2BO3	EP2BO2	EP2BO1	EP2BO0

ビット位置	ビット名	意味
7-0	EP2BO7- EP2BO0	EP2のバルク・アウト転送データを読み出します。 EPCマクロからの入力されたデータを、本レジスタにより読み出しを行います。 本レジスタを使用する場合、DMACのDMAソース・アドレス・レジスタ(DSAr(n=0-3)) にてアドレス(00210000H)を設定します。また、UFDRQENレジスタの RQnUR0E(n=0-3)ビットをセット(1)し、DMAチャンネルを割り付けてください。

注意 次の動作が行われた場合、格納されたデータが読み出され、次のバルク・アウト受信データがUF0EP2BOレジスタに格納されます。

- ・プログラム実行中にUF0EP2BOレジスタをリード
- ・デバッガ使用中にUF0EP2BOレジスタをメモリ・ウインドウでモニタ

(2) UF0 EP4バルク・アウト転送データ・レジスタ (UF0EP4BO)

EP4のバルク・アウト転送データを読み出すレジスタです。

8/16ビット単位でリードのみ可能です。

リセット時 : 0000H R アドレス : 00220000H

	15	14	13	12	11	10	9	8
UF0EP4BO	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	EP4BO7	EP4BO6	EP4BO5	EP4BO4	EP4BO3	EP4BO2	EP4BO1	EP4BO0

ビット位置	ビット名	意味
7-0	EP4BO7- EP4BO0	EP4のバルク・アウト転送データを読み出します。 EPCマクロからの入力されたデータを、本レジスタにより読み出しを行います。 本レジスタを使用する場合、DMACのDMAソース・アドレス・レジスタ(DSAr(n=0-3)) にてアドレス(00220000H)を設定します。また、UFDRQENレジスタの RQnUR2E(n=0-3)ビットをセット(1)し、DMAチャンネルを割り付けてください。

注意 次の動作が行われた場合、格納されたデータが読み出され、次のバルク・アウト受信データがUF0EP4BOレジスタに格納されます。

- ・プログラム実行中にUF0EP4BOレジスタをリード
- ・デバッガ使用中にUF0EP4BOレジスタをメモリ・ウィンドウでモニタ

20. 6. 10 周辺制御レジスタ

(1) USBF DMAリクエスト・イネーブル・レジスタ (UFDRQEN)

DMAチャンネルと転送対象となるエンドポイントを指定するレジスタです。

8/16ビット単位でリード/ライト可能です。

(1/2)

リセット時 : 0000H R/W アドレス : 00240000H

	15	14	13	12	11	10	9	8
UFDRQEN	RQ3UR3E	RQ2UR3E	RQ1UR3E	RQ0UR3E	RQ3UR2E	RQ2UR2E	RQ1UR2E	RQ0UR2E
	7	6	5	4	3	2	1	0
	RQ3UR1E	RQ2UR1E	RQ1UR1E	RQ0UR1E	RQ3UR0E	RQ2UR0E	RQ1UR0E	RQ0UR0E

ビット位置	ビット名	意味																														
15,11,7,3	RQ3UR3E, RQ3UR2E, RQ3UR1E, RQ3UR0E	<p>DMAチャンネル3のDMA転送対象となるエンドポイントn (EPn) を指定します。 (n = 1-4)</p> <table border="1"> <thead> <tr> <th>RQ3UR3E</th> <th>RQ3UR2E</th> <th>RQ3UR1E</th> <th>RQ3UR0E</th> <th>DMA3の転送対象となるEP</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>EP4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>EP3</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>EP2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>EP1</td> </tr> <tr> <td colspan="4">上記以外の設定</td> <td>DMA3をEPnの転送対象としない (DMA3未使用)</td> </tr> </tbody> </table>	RQ3UR3E	RQ3UR2E	RQ3UR1E	RQ3UR0E	DMA3の転送対象となるEP	1	0	0	0	EP4	0	1	0	0	EP3	0	0	1	0	EP2	0	0	0	1	EP1	上記以外の設定				DMA3をEPnの転送対象としない (DMA3未使用)
RQ3UR3E	RQ3UR2E	RQ3UR1E	RQ3UR0E	DMA3の転送対象となるEP																												
1	0	0	0	EP4																												
0	1	0	0	EP3																												
0	0	1	0	EP2																												
0	0	0	1	EP1																												
上記以外の設定				DMA3をEPnの転送対象としない (DMA3未使用)																												
14,10,6,2	RQ2UR3E, RQ2UR2E, RQ2UR1E, RQ2UR0E	<p>DMAチャンネル2のDMA転送対象となるエンドポイントn (EPn) を指定します。 (n = 1-4)</p> <table border="1"> <thead> <tr> <th>RQ2UR3E</th> <th>RQ2UR2E</th> <th>RQ2UR1E</th> <th>RQ2UR0E</th> <th>DMA2の転送対象となるEP</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>EP4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>EP3</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>EP2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>EP1</td> </tr> <tr> <td colspan="4">上記以外の設定</td> <td>DMA2をEPnの転送対象としない (DMA2未使用)</td> </tr> </tbody> </table>	RQ2UR3E	RQ2UR2E	RQ2UR1E	RQ2UR0E	DMA2の転送対象となるEP	1	0	0	0	EP4	0	1	0	0	EP3	0	0	1	0	EP2	0	0	0	1	EP1	上記以外の設定				DMA2をEPnの転送対象としない (DMA2未使用)
RQ2UR3E	RQ2UR2E	RQ2UR1E	RQ2UR0E	DMA2の転送対象となるEP																												
1	0	0	0	EP4																												
0	1	0	0	EP3																												
0	0	1	0	EP2																												
0	0	0	1	EP1																												
上記以外の設定				DMA2をEPnの転送対象としない (DMA2未使用)																												

ビット位置	ビット名	意味																														
13,9,5,1	RQ1UR3E, RQ1UR2E, RQ1UR1E, RQ1UR0E	DMAチャンネル1のDMA転送対象となるエンドポイントn (EPn) を指定します。 (n = 1-4) <table border="1"> <thead> <tr> <th>RQ1UR3E</th> <th>RQ1UR2E</th> <th>RQ1UR1E</th> <th>RQ1UR0E</th> <th>DMA2の転送対象となるEP</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>EP4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>EP3</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>EP2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>EP1</td> </tr> <tr> <td colspan="4">上記以外の設定</td> <td>DMA1をEPnの転送対象としない (DMA1未使用)</td> </tr> </tbody> </table>	RQ1UR3E	RQ1UR2E	RQ1UR1E	RQ1UR0E	DMA2の転送対象となるEP	1	0	0	0	EP4	0	1	0	0	EP3	0	0	1	0	EP2	0	0	0	1	EP1	上記以外の設定				DMA1をEPnの転送対象としない (DMA1未使用)
RQ1UR3E	RQ1UR2E	RQ1UR1E	RQ1UR0E	DMA2の転送対象となるEP																												
1	0	0	0	EP4																												
0	1	0	0	EP3																												
0	0	1	0	EP2																												
0	0	0	1	EP1																												
上記以外の設定				DMA1をEPnの転送対象としない (DMA1未使用)																												
12,8,4,0	RQ0UR3E, RQ0UR2E, RQ0UR1E, RQ0UR0E	DMAチャンネル0のDMA転送対象となるエンドポイントn (EPn) を指定します。 (n = 1-4) <table border="1"> <thead> <tr> <th>RQ0UR3E</th> <th>RQ0UR2E</th> <th>RQ0UR1E</th> <th>RQ0UR0E</th> <th>DMA0の転送対象となるEP</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>EP4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>EP3</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>EP2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>EP1</td> </tr> <tr> <td colspan="4">上記以外の設定</td> <td>DMA0をEPnの転送対象としない (DMA0未使用)</td> </tr> </tbody> </table>	RQ0UR3E	RQ0UR2E	RQ0UR1E	RQ0UR0E	DMA0の転送対象となるEP	1	0	0	0	EP4	0	1	0	0	EP3	0	0	1	0	EP2	0	0	0	1	EP1	上記以外の設定				DMA0をEPnの転送対象としない (DMA0未使用)
RQ0UR3E	RQ0UR2E	RQ0UR1E	RQ0UR0E	DMA0の転送対象となるEP																												
1	0	0	0	EP4																												
0	1	0	0	EP3																												
0	0	1	0	EP2																												
0	0	0	1	EP1																												
上記以外の設定				DMA0をEPnの転送対象としない (DMA0未使用)																												

- 注意1. 複数のDMAチャンネルに対して、同一のDMA転送対象に設定すること、及び同一のDMAチャンネルに対して、複数のDMA転送対象に設定をすることは禁止です。
2. 本レジスタの機能を使用する場合、DMAトリガ要因レジスタ (DTFRn (n = 0-3)) は、割り込みによるDMA要求禁止 (00H) を設定してください。

次にホスト切断 / ホスト再接続時のプログラム，電源投入時のプログラムのフロー・チャートを示します。

図20 - 12 ホスト切断 / ホスト再接続時のプログラムのフロー・チャート

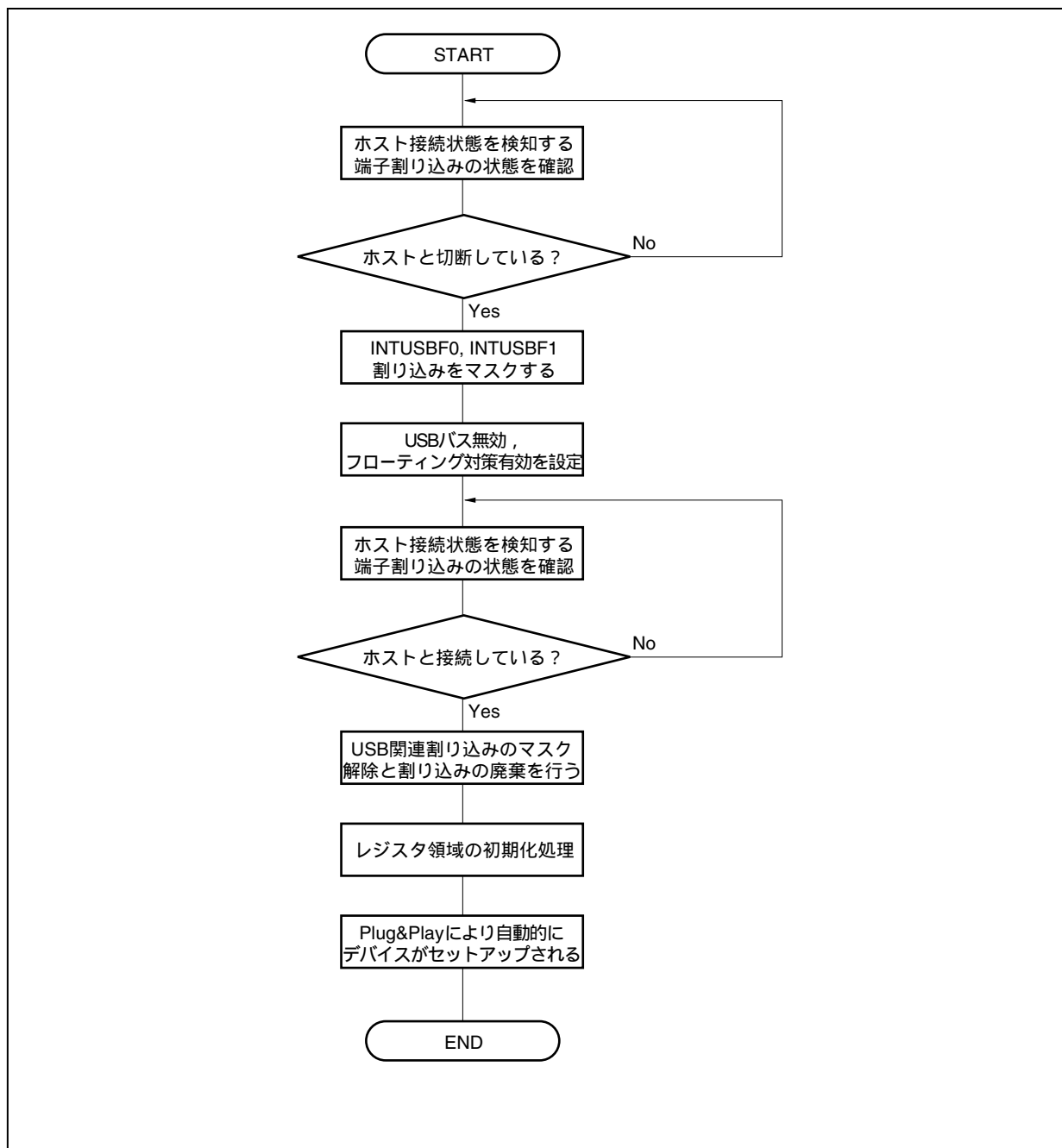
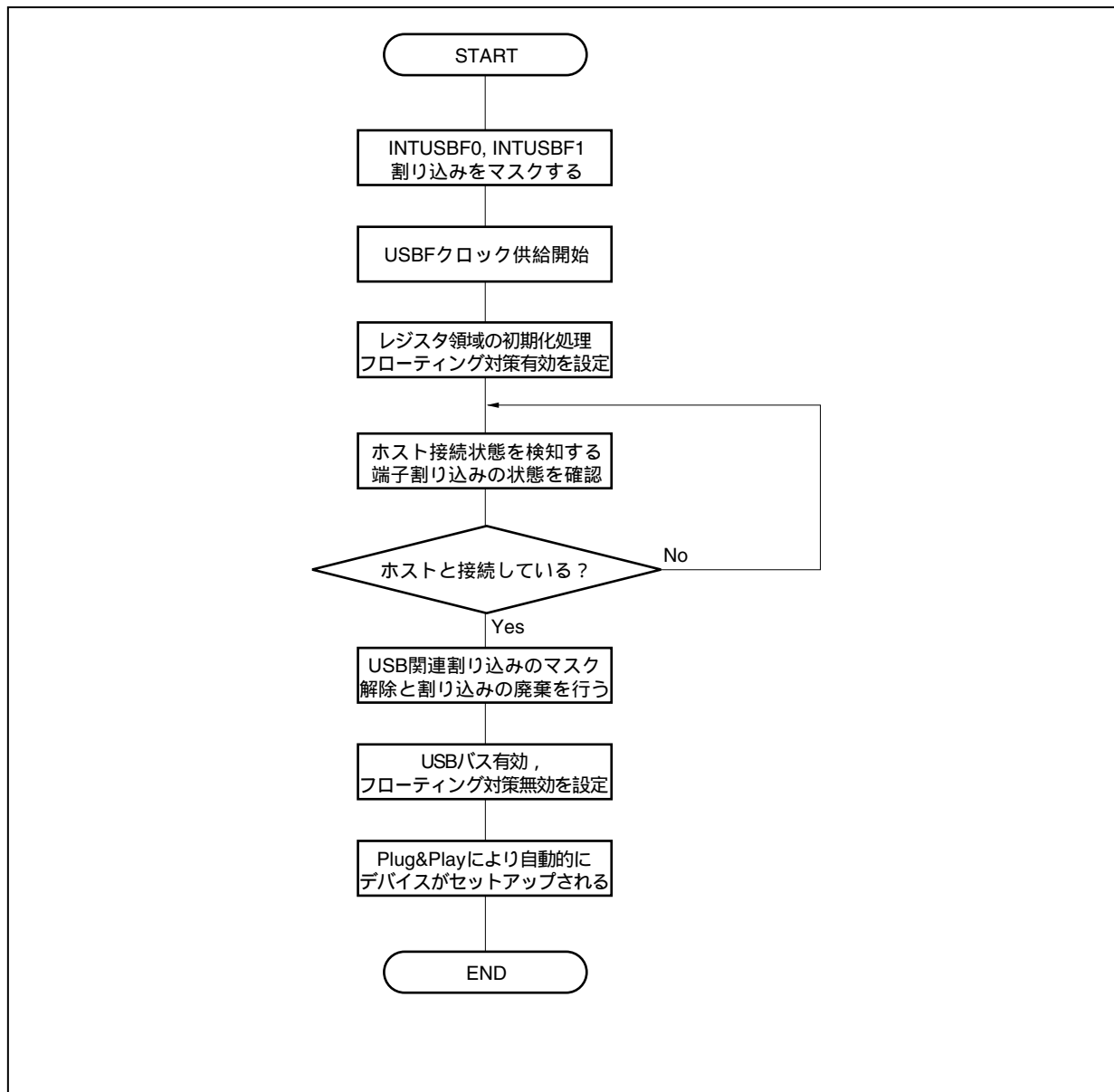


図20 - 13 電源投入時のプログラムのフロー・チャート



20.7 STALLハンドシェークまたはノー・ハンドシェーク

USBFのエラーの取り扱いは、次のように定義されています。

転送タイプ	トランザクション	対象 パケット	エラー種類	ファンクション 応答	処理内容
コントロール転送/ バルク転送/ インタラプト転送	IN/OUT/SETUP	トークン	Endpoint未対応	無応答	特になし
			Endpointに対する 転送方向不一致	無応答	特になし
			CRCエラー	無応答	特になし
			ビット・スタッフィング・エラー	無応答	特になし
コントロール転送/ バルク転送/ OUT	OUT/SETUP	データ	タイムアウト	無応答	特になし
			PID チェック・エラー	無応答	特になし
			未対応PID (Data PID以外)	無応答	特になし
			CRCエラー	無応答	受信データを破棄
	ビット・スタッフィング・エラー	無応答	受信データを破棄		
OUT	データ	Data PID不一致	ACK	受信データを破棄	
コントロール転送 (SETUPステージ)	SETUP	データ	オーバラン	無応答	受信データを破棄
コントロール転送 (データ・ステージ)	OUT	データ	オーバラン	無応答 ^{注1}	UF0SDSレジスタのSNDSTL ビットをセット(1)し、受信 データを破棄
コントロール転送 (ステータス・ ステージ)	OUT	データ	オーバラン	ACK or 無応答 ^{注2}	UF0SDSレジスタのSNDSTL ビットをセット(1)し、受信 データを破棄
バルク転送	OUT	データ	オーバラン	無応答 ^{注1}	UF0EnSLレジスタの EnHALTビットをセット(1) する (n=0-4,7)
コントロール転送/ バルク転送/ インタラプト転送	IN	ハンドシ ェーク	PIDチェック・エラー	-	送出したデータを保持し、再 転送 ^{注3}
			未対応PID (ACK PID以外)	-	送出したデータを保持し、再 転送 ^{注3}
			タイムアウト	-	送出したデータを保持し、再 転送 ^{注3}

注1. ホストの再転送に対してSTALL応答します。

- 転送データがMaxPacketSize以下の場合にはACK応答し、ステータス・ステージの受信データを破棄します。一方、MaxPacketSizeを越える場合には無応答となり、UF0SDSレジスタのSNDSTLビットがセット(1)され、受信データは破棄されます。
- コントロール転送で、データ・ステージからステータス・ステージへの変化を示すOUTトランザクションを受信した場合は対象外となり、正常受信完了と判断します。

注意1. 現在設定されているAlternate Settingの番号により対象Endpointが有効か無効かが判定されます。

- Endpoint0へのコントロール転送に含まれるリクエストに対する応答は、20.5 リクエストを参照してください。

20.8 特定状態でのレジスタ値

表20 - 8 特定状態でのレジスタ値 (1/2)

レジスタ名	CPUリセット (RESET) 時	Bus Reset時
UF0E0Nレジスタ	00H	値を保持
UF0E0NAレジスタ	00H	値を保持
UF0ENレジスタ	00H	値を保持
UF0ENMレジスタ	00H	値を保持
UF0SDSレジスタ	00H	値を保持
UF0CLRレジスタ	00H	値を保持
UF0SETレジスタ	00H	値を保持
UF0EPS0レジスタ	00H	値を保持
UF0EPS1レジスタ	00H	値を保持
UF0EPS2レジスタ	00H	値を保持
UF0IS0レジスタ	00H	値を保持
UF0IS1レジスタ	00H	値を保持
UF0IS2レジスタ	00H	値を保持
UF0IS3レジスタ	00H	値を保持
UF0IS4レジスタ	00H	値を保持
UF0IM0レジスタ	00H	値を保持
UF0IM1レジスタ	00H	値を保持
UF0IM2レジスタ	00H	値を保持
UF0IM3レジスタ	00H	値を保持
UF0IM4レジスタ	00H	値を保持
UF0IC0レジスタ	FFH	値を保持
UF0IC1レジスタ	FFH	値を保持
UF0IC2レジスタ	FFH	値を保持
UF0IC3レジスタ	FFH	値を保持
UF0IC4レジスタ	FFH	値を保持
UF0IDRレジスタ	00H	値を保持
UF0DMS0レジスタ	00H	値を保持
UF0DMS1レジスタ	00H	値を保持
UF0FIC0レジスタ	00H	値を保持
UF0FIC1レジスタ	00H	値を保持
UF0DENDレジスタ	00H	値を保持
UF0GPRレジスタ	00H	値を保持
UF0MODCレジスタ	00H	値を保持
UF0MODSレジスタ	00H	ビット2 (CONF) : クリア (0) , それ以外のビット : 値を保持
UF0AIFNレジスタ	00H	値を保持
UF0AASレジスタ	00H	値を保持
UF0ASSレジスタ	00H	00H
UF0E1IMレジスタ	00H	値を保持
UF0E2IMレジスタ	00H	値を保持

表20 - 8 特定状態でのレジスタ値 (2/2)

レジスタ名	CPUリセット ($\overline{\text{RESET}}$) 時	Bus Reset時
UF0E3IMレジスタ	00H	値を保持
UF0E4IMレジスタ	00H	値を保持
UF0E7IMレジスタ	00H	値を保持
UF0E0Rレジスタ	不定 ^{注1}	値を保持
UF0E0Lレジスタ	00H	値を保持
UF0E0STレジスタ	00H	00H
UF0E0Wレジスタ	不定 ^{注1}	値を保持
UF0BO1レジスタ	不定 ^{注1}	値を保持
UF0BO1Lレジスタ	00H	値を保持
UF0BO2レジスタ	不定 ^{注1}	値を保持
UF0BO2Lレジスタ	00H	値を保持
UF0BI1レジスタ	不定 ^{注1}	値を保持
UF0BI2レジスタ	不定 ^{注1}	値を保持
UF0INT1レジスタ	不定	値を保持
UF0DSTLレジスタ	00H	00H
UF0E0SLレジスタ	00H	00H
UF0E1SLレジスタ	00H	00H
UF0E2SLレジスタ	00H	00H
UF0E3SLレジスタ	00H	00H
UF0E4SLレジスタ	00H	00H
UF0E7SLレジスタ	00H	00H
UF0ADRSレジスタ	00H	00H
UF0CNFレジスタ	00H	00H
UF0IF0レジスタ	00H	00H
UF0IF1レジスタ	00H	00H
UF0IF2レジスタ	00H	00H
UF0IF3レジスタ	00H	00H
UF0IF4レジスタ	00H	00H
UF0DSCLレジスタ	00H	値を保持
UF0DDnレジスタ (n = 0-17)	注2	注2
UF0CIEnレジスタ (n = 0-255)	注2	注2

注1. 該当のレジスタは、FIFO制御のため、UF0FICnレジスタでのクリア (0) と同様にRESET信号がアクティブになると、ライト・ポインタ、カウンタ、リード・ポインタのすべてがクリア (0) されるので、RESET信号によって、クリア (0) できます。

2. 該当のレジスタは、クリア (0) できません。ただし、FWライト可能なので、任意の値を書き込めませ (その場合は、必ずUF0E0NAレジスタのEP0NKAビット = 1にしてから行ってください)。

20.9 FW処理

FW処理は次に示すものに対して行います。

エニマレーション処理中のSET_CONFIGURATION, SET_INTERFACE, SET_FEATURE,
CLEAR_FEATUREリクエストに対する装置側の設定処理
自動処理対象外のXXXXStandardリクエスト, XXXXClassリクエスト, XXXXVendorリクエストの解析とそ
の処理
バルク転送のOUTトークンに続くデータの受信バッファからの読み出し
バルク転送のINトークンに対して返信されるデータの書き込み
インタラプト転送のトークンに対して返信されるデータの書き込み

次にFW対応のリクエストを示します。

表20 - 9 FW対応の標準リクエスト

リクエスト	受信側	処理 / 頻度	説明
CLEAR_FEATURE	Interface	自動STALL 応答	bmRequestTypeでは予約しているが、機能セクタ値がないため、Interfaceにはこの要求は来ないと思われます。 このリクエストを受けた場合、ハードウェアは自動STALL応答します。
SET_FEATURE	Interface	自動STALL 応答	bmRequestTypeでは予約しているが、機能セクタ値がないため、Interfaceにはこの要求はないと思われます。 このリクエストを受けた場合、ハードウェアは自動STALL応答します。
GET_DESCRIPTOR	String	FW	ストリング・ディスクリプタを返します。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、ホストに返すデータをUF0E0Wレジスタに書き込みます。
SET_DESCRIPTOR	Device	FW	デバイス・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータをUF0DDnレジスタに書き込みます (n = 0-17)。
SET_DESCRIPTOR	Configuration	FW	コンフィギュレーション・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータをUF0CIE nレジスタに書き込みます (n = 0-255)。
SET_DESCRIPTOR	String	FW	ストリング・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータを取り込みます。
その他のリクエスト	NA	FW	SETUPトークンでその他のリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、必要な処理を行ってください。

20.9.1 初期化処理

初期化処理には次の2つの設定があります。

- ・ リクエスト・データ・レジスタの初期化
- ・ 割り込みの設定

リクエスト・データ・レジスタの初期化では、自動返信処理を行うGET_XXXXリクエストに対するデータの書き込みとEndpointのInterfaceに対する割り当てを行います。割り込みの設定では、確認する必要のない割り込み要因に対して、UF0IMnレジスタにより割り込みのマスクを行います (n = 0-4)。

次にフローを示します。

図20 - 14 リクエスト・データ・レジスタの初期化

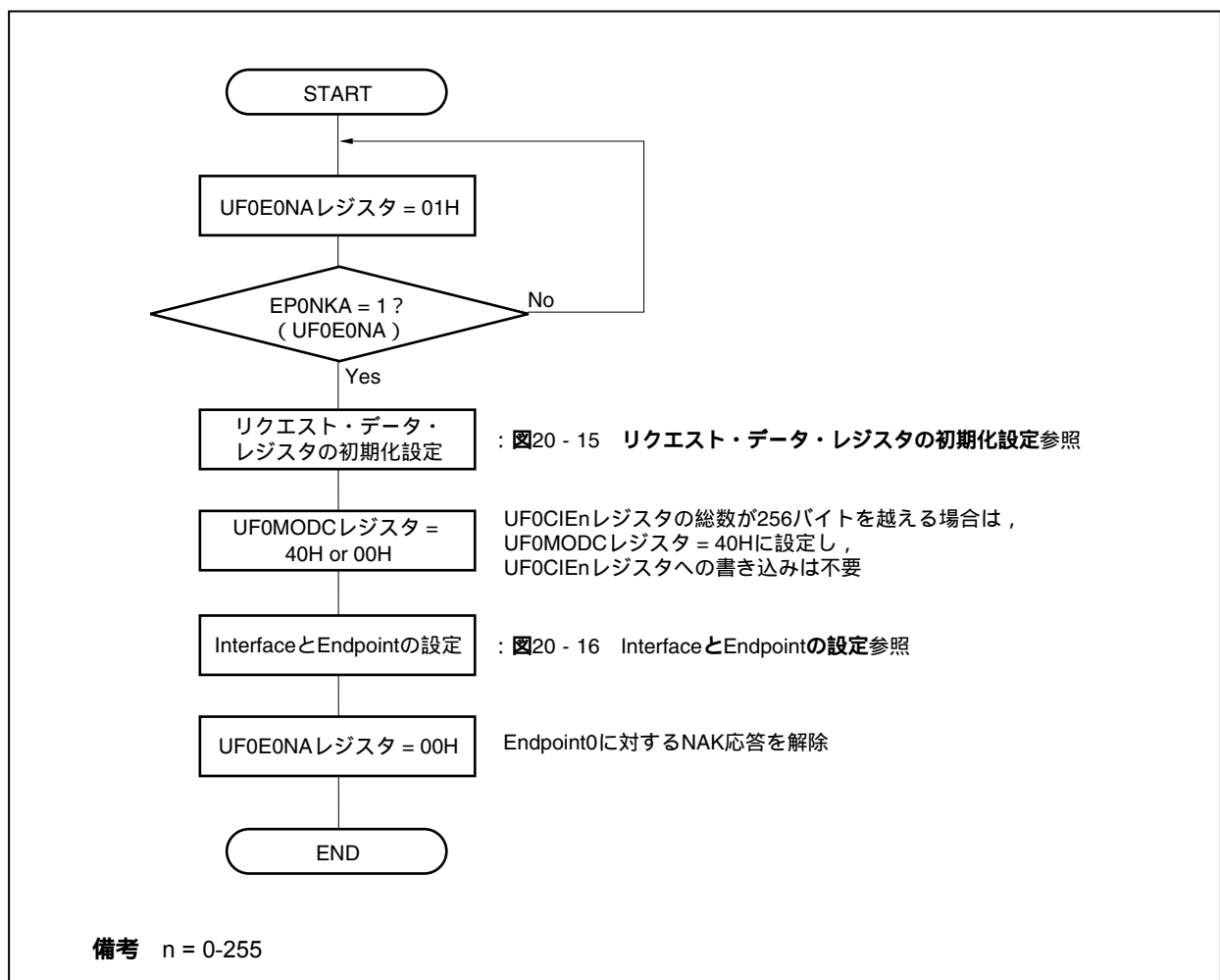


図20 - 15 リクエスト・データ・レジスタの初期化設定

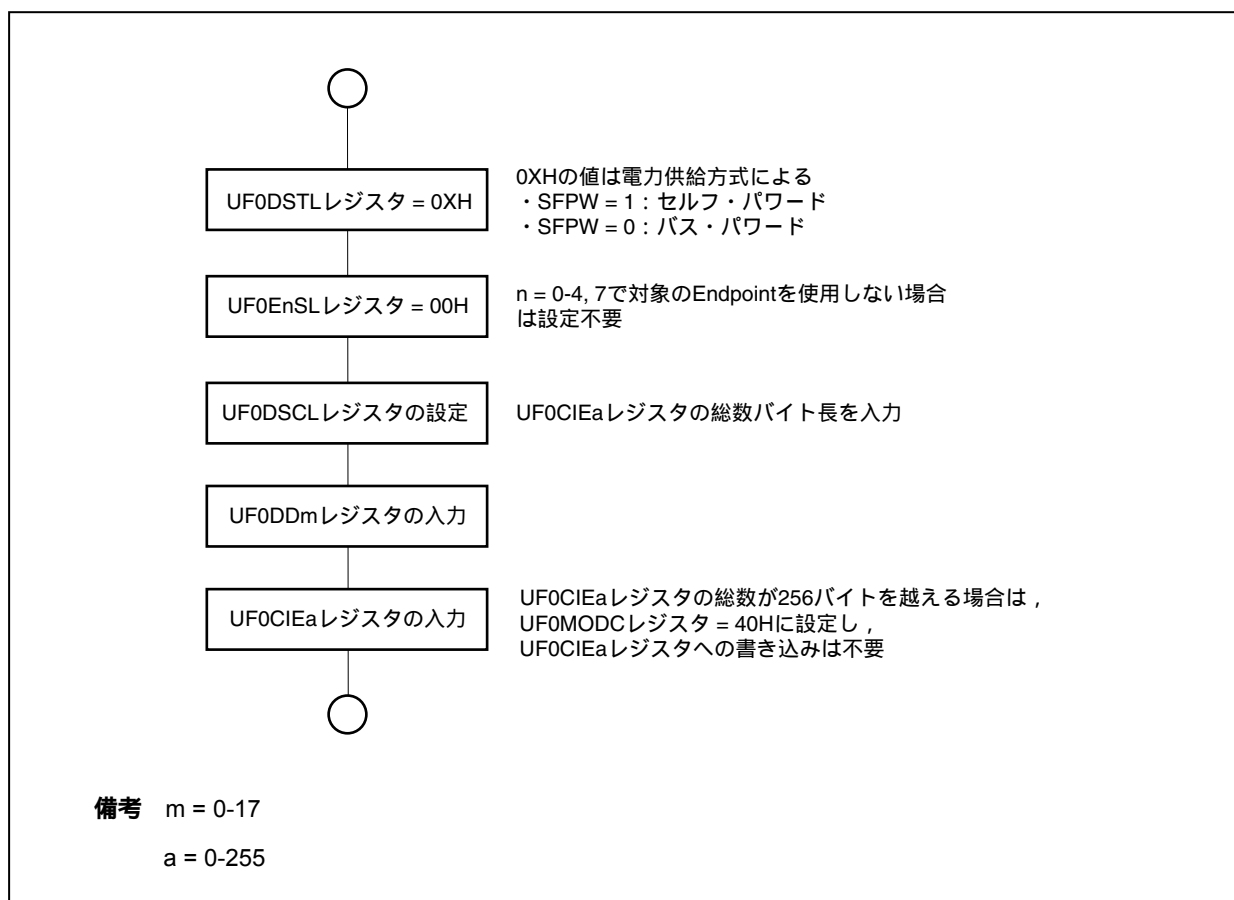


図20 - 16 InterfaceとEndpointの設定

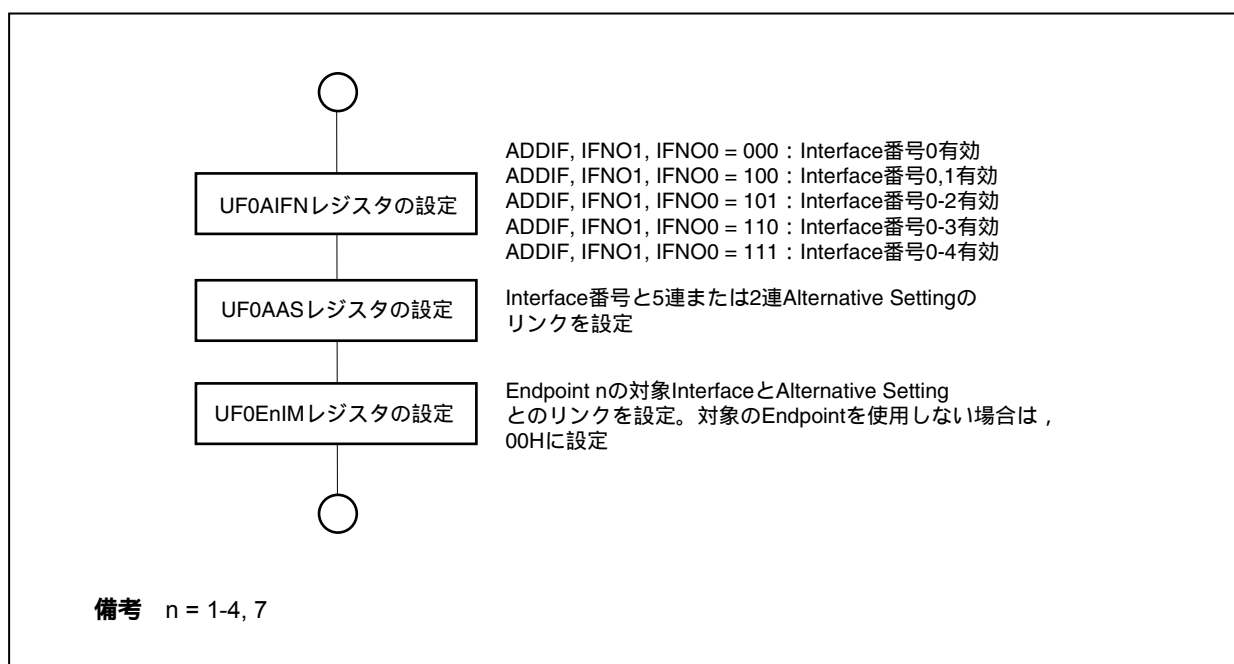
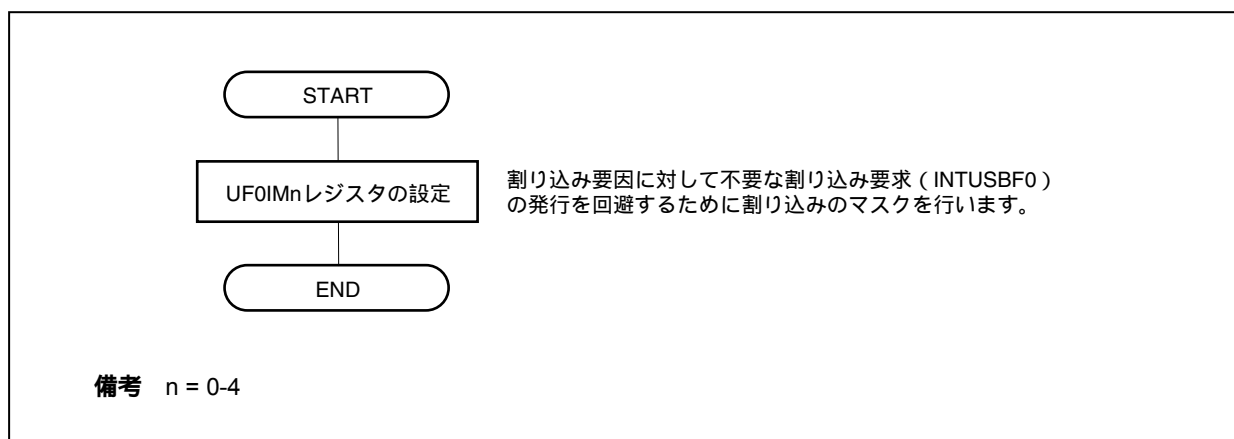


図20 - 17 割り込みの設定



20.9.2 割り込み処理

次にフローを示します。

図20 - 18 割り込み処理



次に示すUF0ISnレジスタのビットは、条件を満たしたときにハードウェアにより、自動的にクリアされます (n = 0-4)。

- ・ UF0IS1レジスタのE0INDT, E0ODT, SUCES, STG, CPUDECビット
- ・ UF0IS2レジスタのBKI2DT, BKI1DT, IT1DTビット
- ・ UF0IS3レジスタのBKO2FL, BKO2DT, BKO1FL, BKO1DTビット

なお、UF0ICnレジスタでの割り込み要因のクリアは、対象となる割り込み要因のハードウェアによるセットより、優先順位は低いため、タイミングによってはクリアできない場合があります (n = 0-4)。

20.9.3 USBメイン処理

USBメイン処理では、USBトランザクションに対する処理を行います。対象となるトランザクションのタイプは次の通りです。

- ・コントロール転送に対する完全自動処理リクエスト
- ・コントロール転送に対する自動処理リクエスト
(SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE)
- ・コントロール転送に対するCPUDECリクエスト
- ・バルク転送 (IN) に対する処理
- ・バルク転送 (OUT) に対する処理
- ・インタラプト転送 (IN) に対する処理

Endpoint nに対する処理は、データ転送の書き込みまたは読み出し処理です。なお、以降で示すフロー・チャートはPIOを対象にしたものです。

(1) コントロール転送に対する完全自動処理リクエスト

コントロール転送に対する完全自動処理リクエストは、ハードウェアで処理のすべてを実行するため、FWでは参照できません。このため、FWで特別に処理する必要はありません。

(2) コントロール転送に対する自動処理リクエスト

(SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE)

SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATUREのコントロール転送に対する自動処理リクエストに対してレジスタ等への書き込み処理などはハードウェアで自動的に実行されますが、装置側での認知のために割り込み要求を発行します。特に処理すべきことがない場合は、この処理は無視してもかまいません。

次にフローを示します。

図20 - 19 コントロール転送に対する自動処理リクエスト

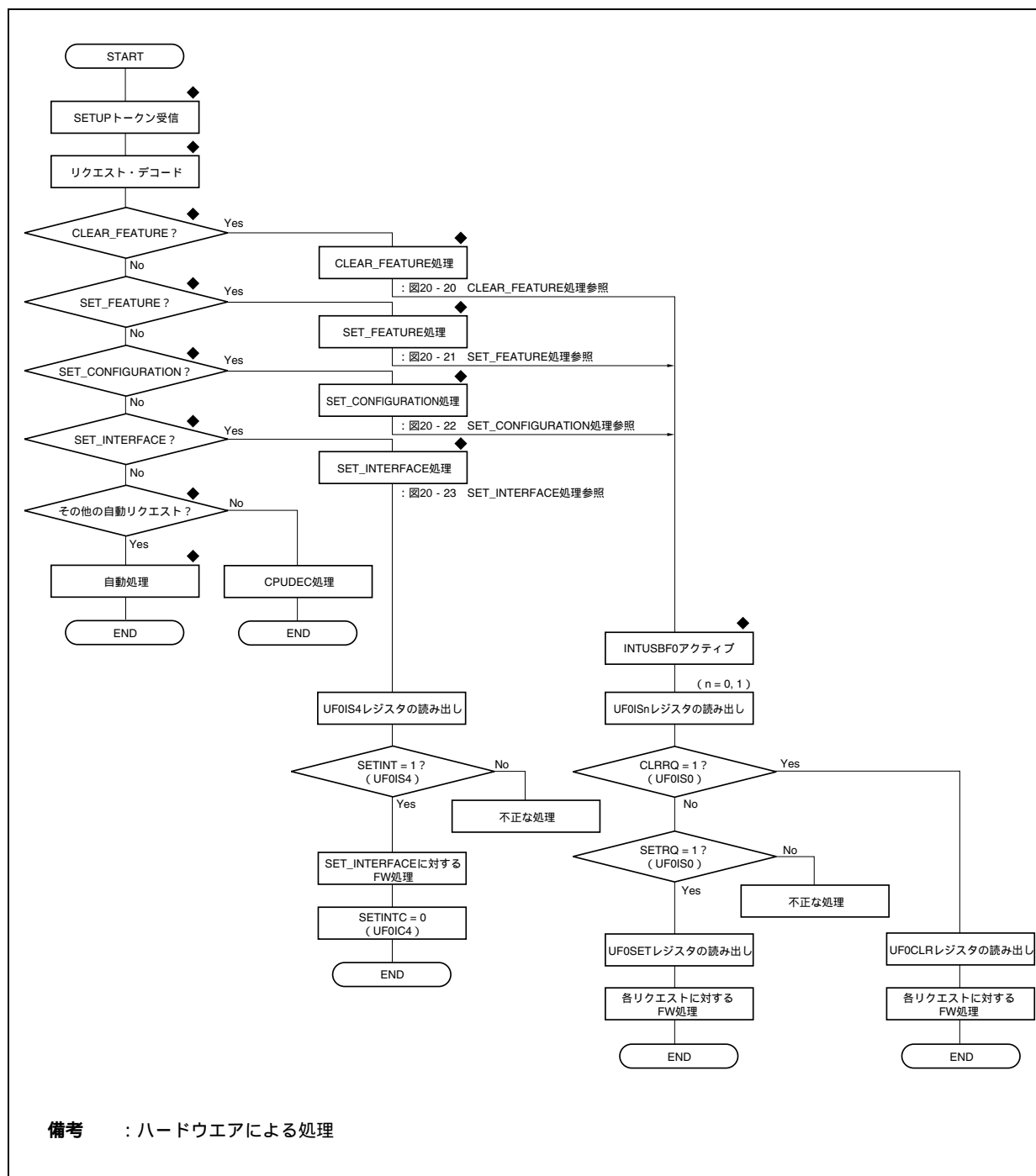


図20 - 20 CLEAR_FEATURE処理

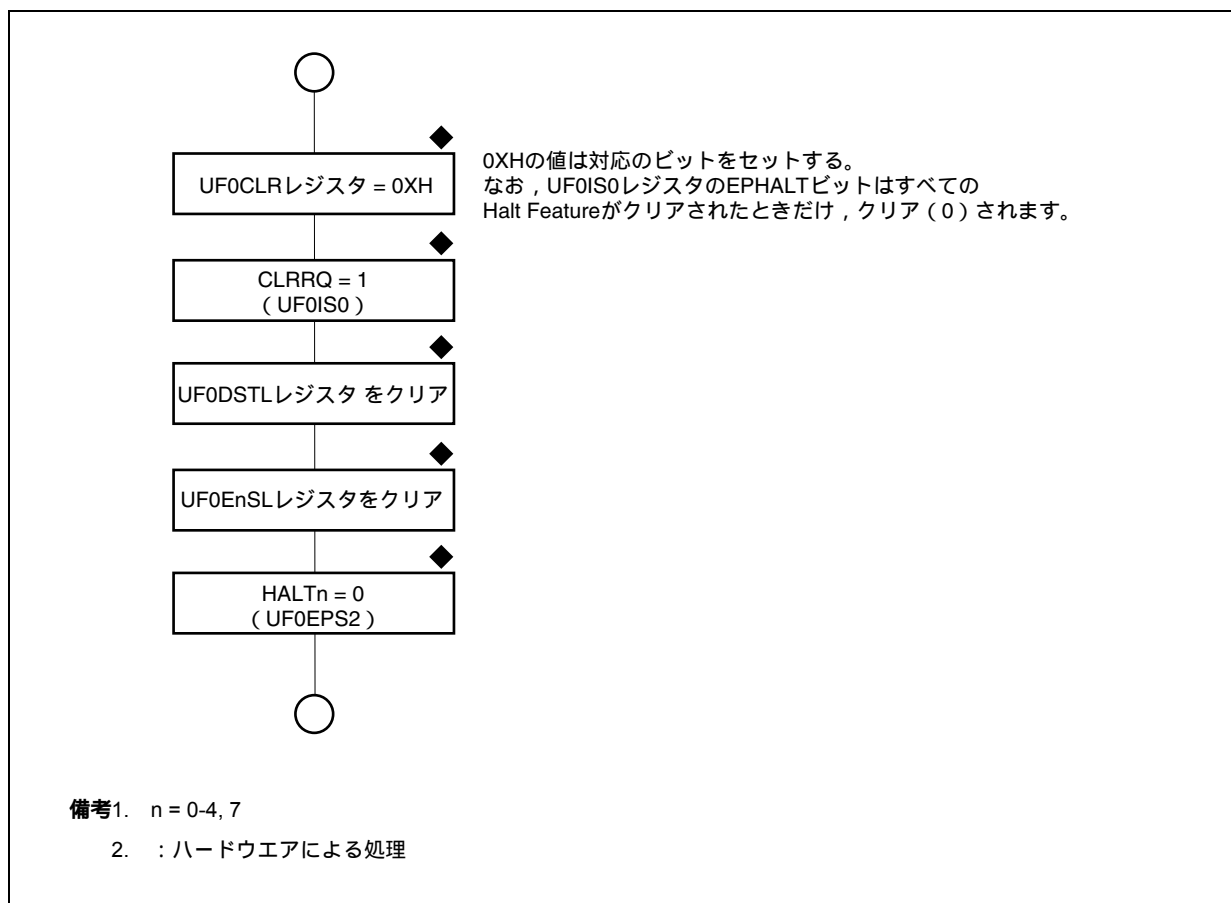


図20 - 21 SET_FEATURE処理

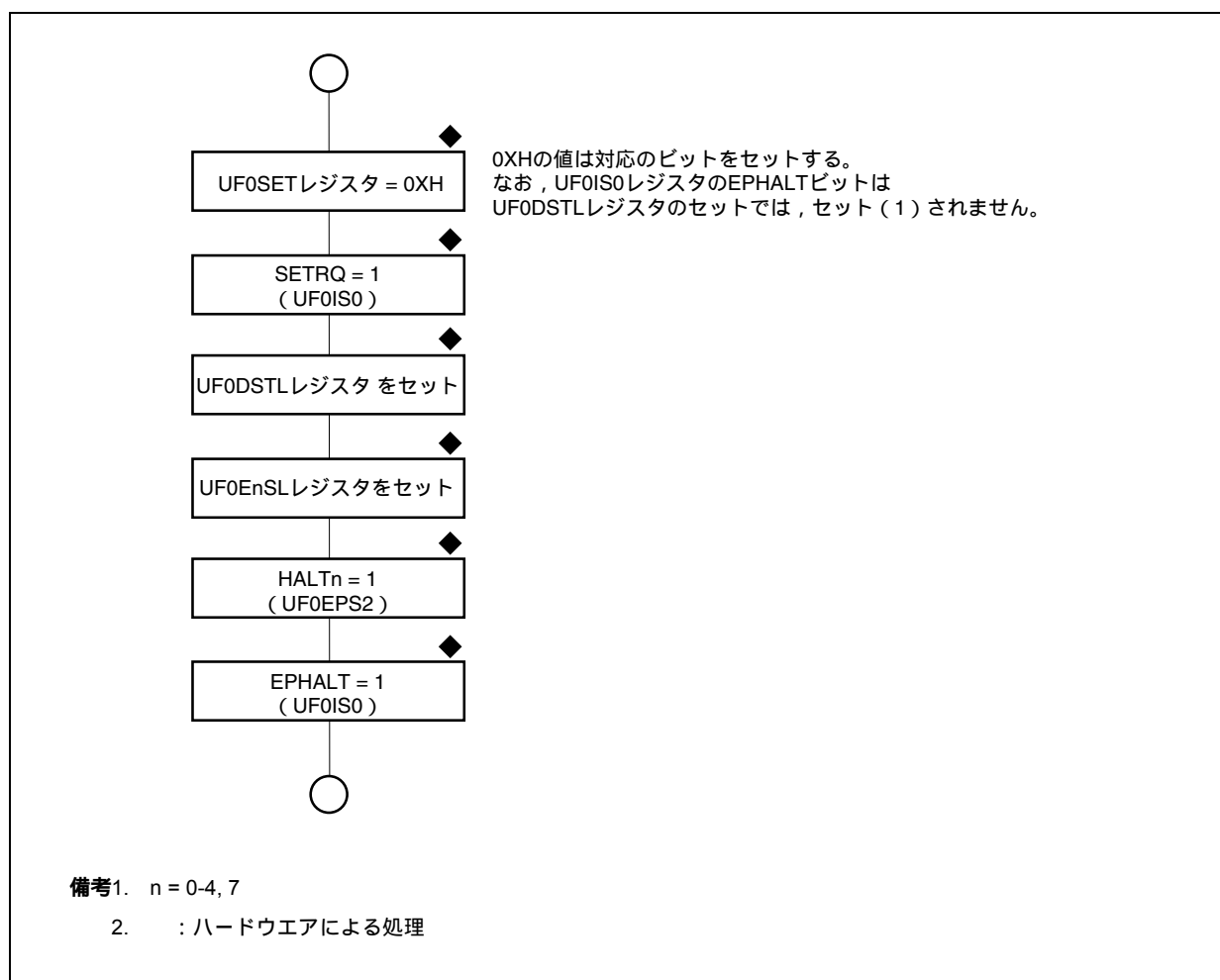


図20 - 22 SET_CONFIGURATION処理

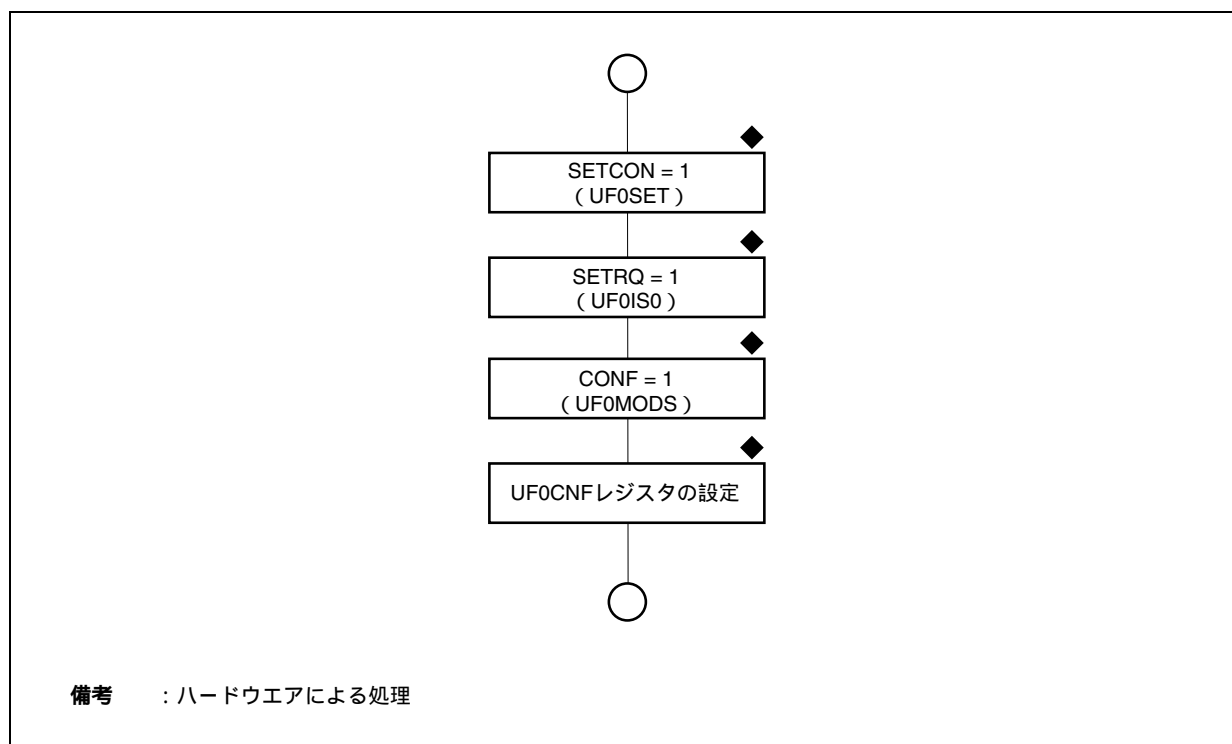
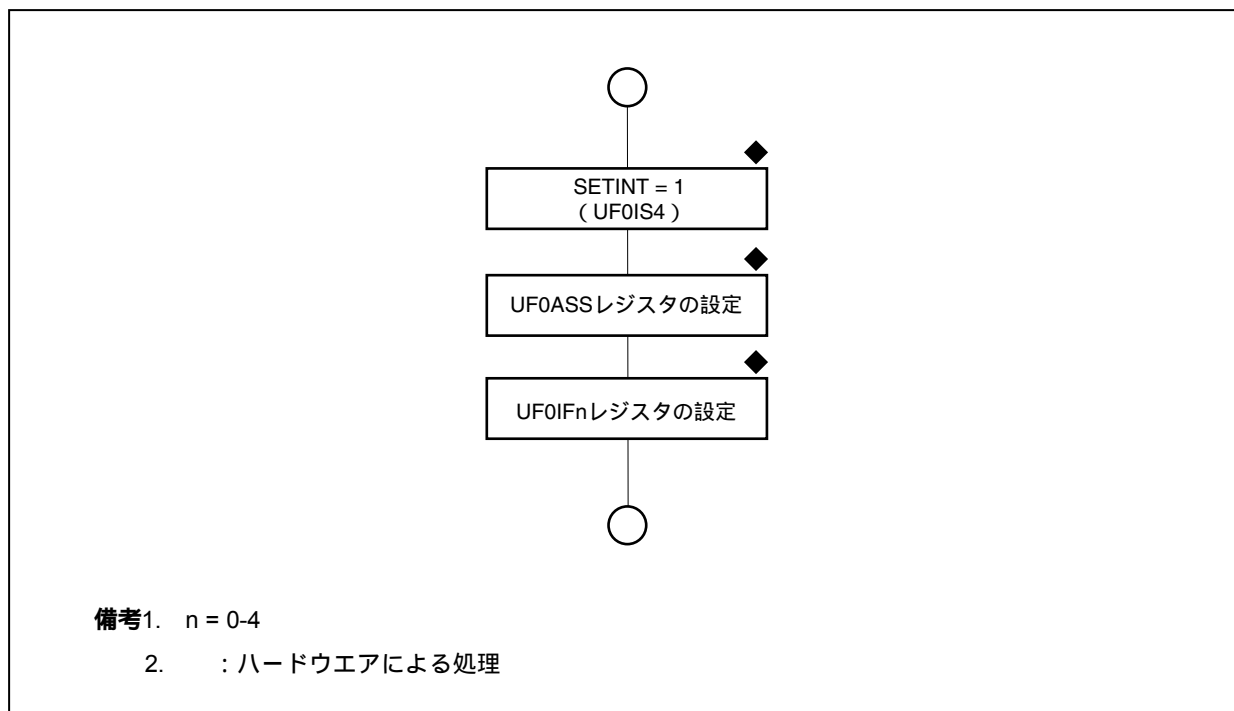


図20 - 23 SET_INTERFACE処理



(3) コントロール転送に対するCPUDECリクエスト

CPUDECリクエストは、コントロール転送(ライト)、コントロール転送(リード)、コントロール転送(データなし)の3つの処理に分類できます。コントロール転送(ライト)はデータ・ステージでOUTトランザクションを利用するリクエスト(例: SET_DESCRIPTOR)、コントロール転送(リード)はデータ・ステージでINトランザクションを利用するリクエスト(例: GET_DESCRIPTOR)、コントロール転送(データなし)はデータ・ステージを持たないリクエスト(例: SET_CONFIGURATION)を示します。

次にフローを示します。

図20 - 24 コントロール転送に対するCPUDECリクエスト (1/12)

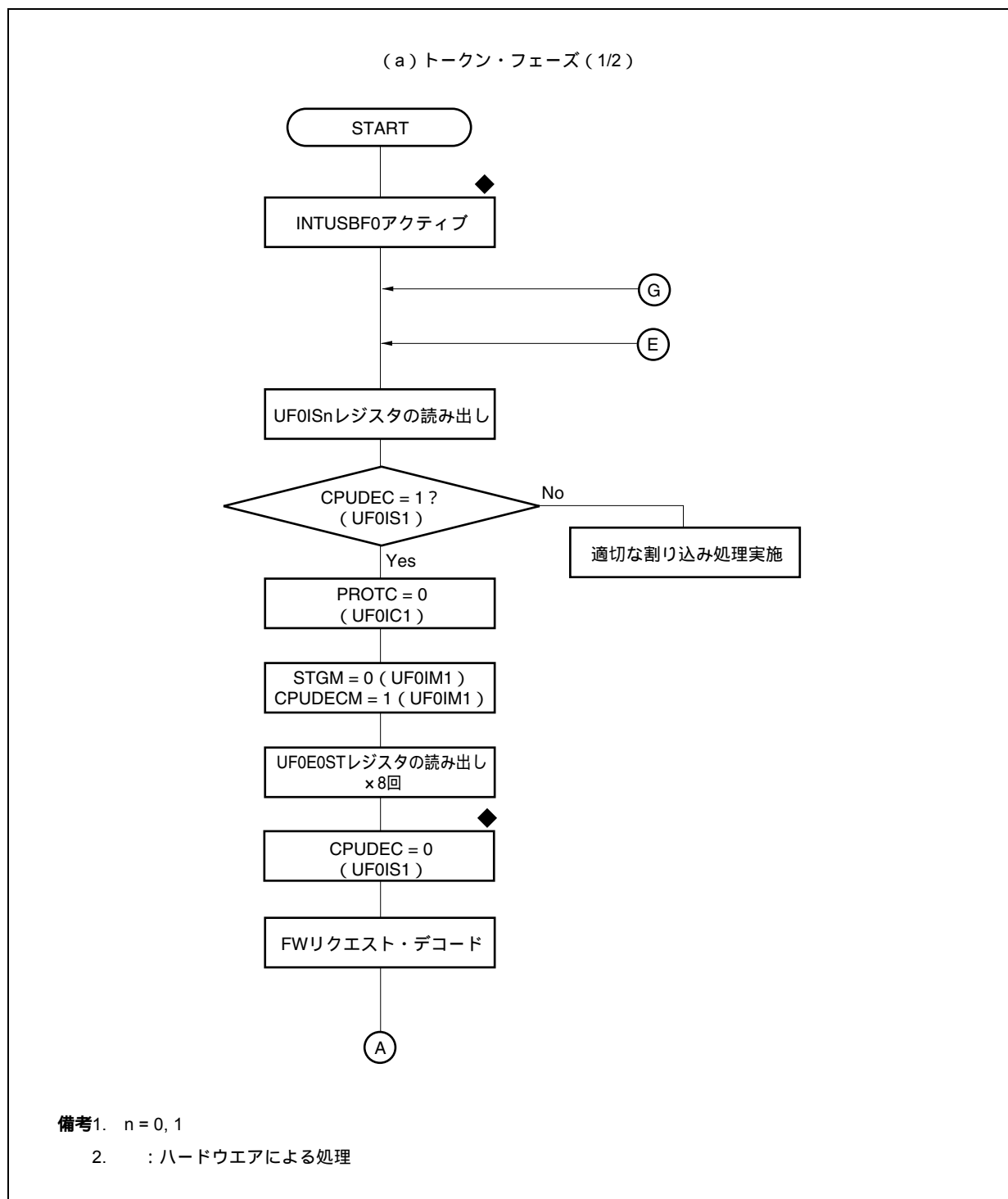


図20 - 24 コントロール転送に対するCPUDECリクエスト (2/12)

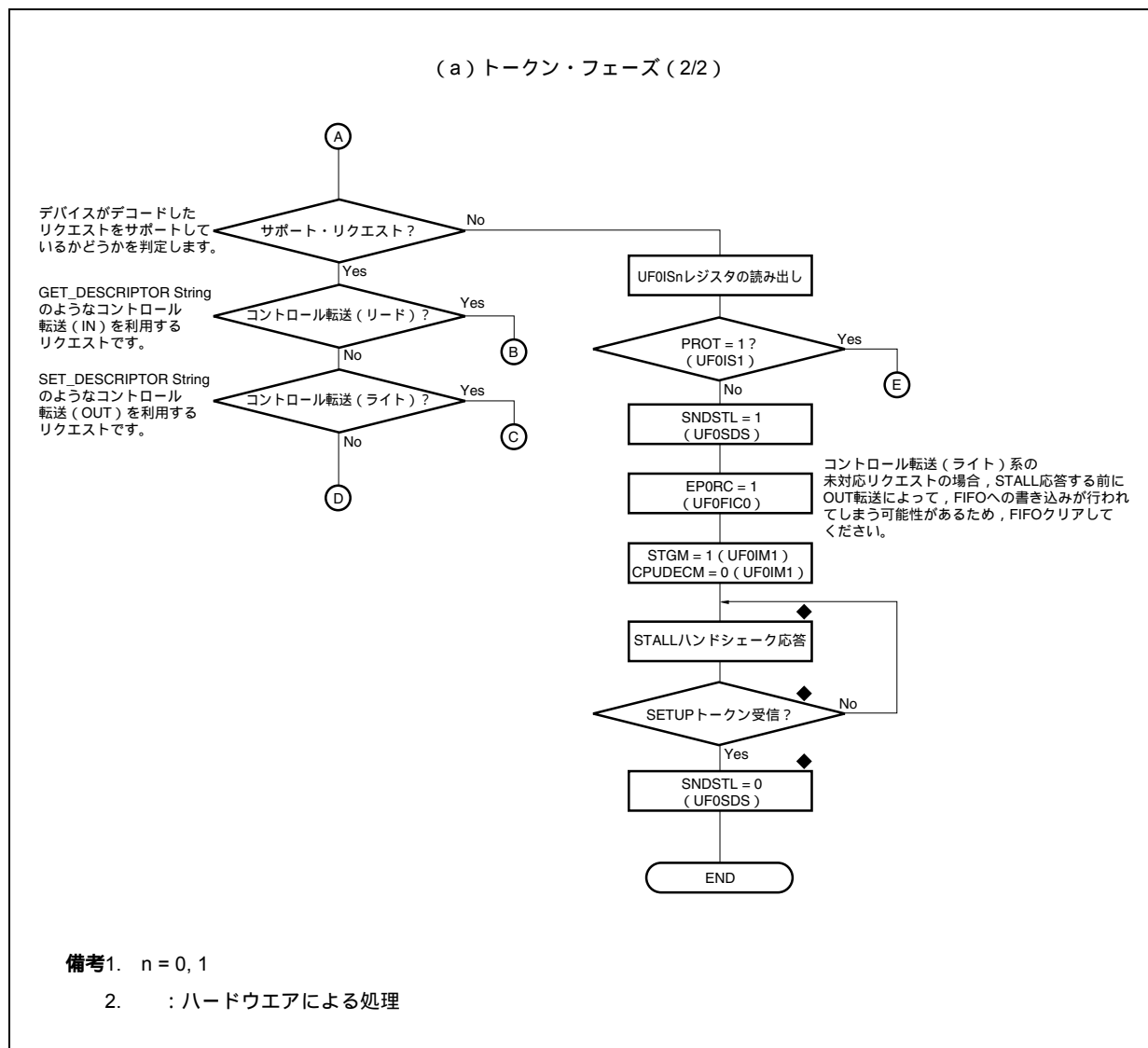


図20 - 24 コントロール転送に対するCPUDECリクエスト (3/12)

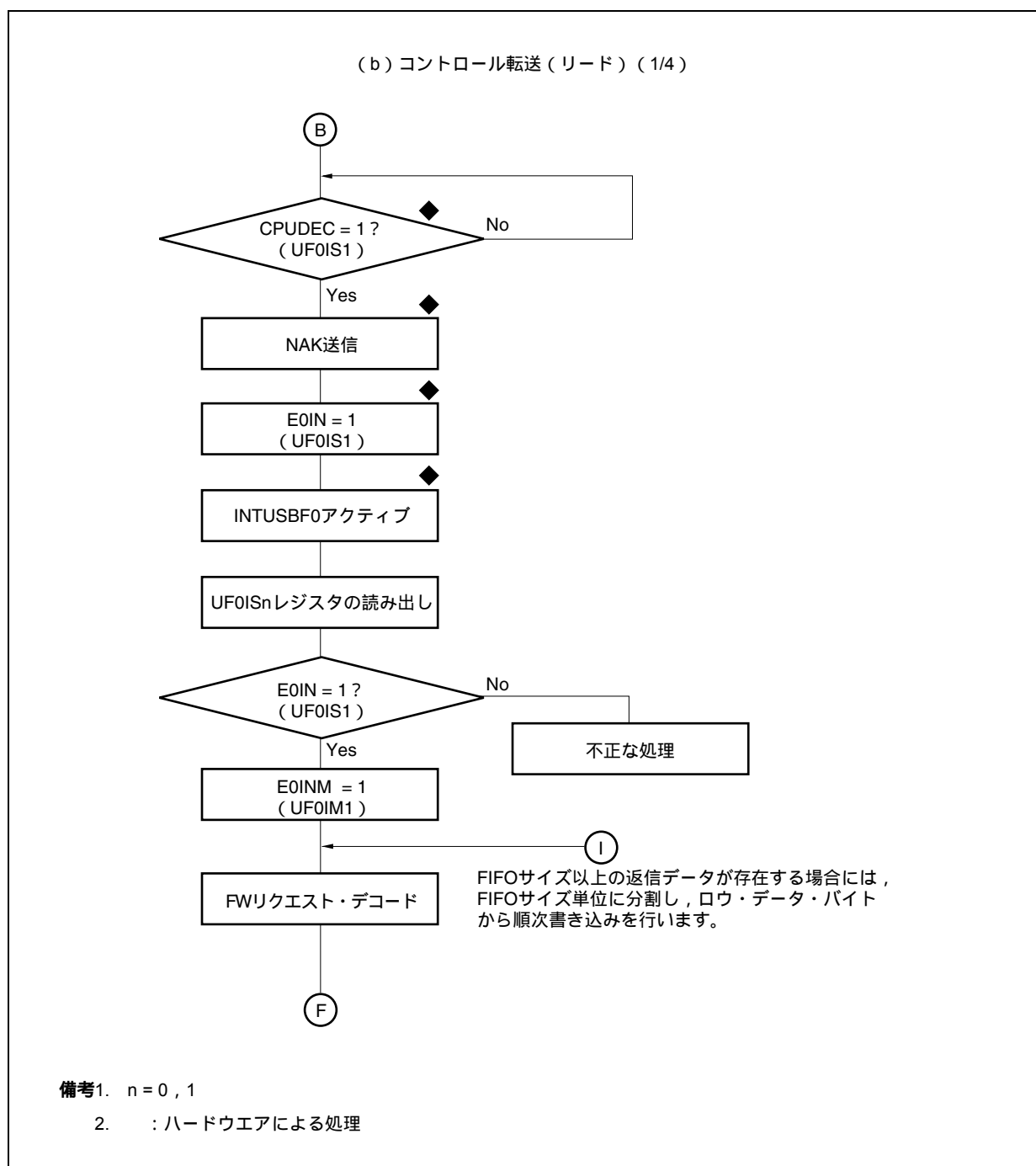


図20 - 24 コントロール転送に対するCPUDECリクエスト (4/12)

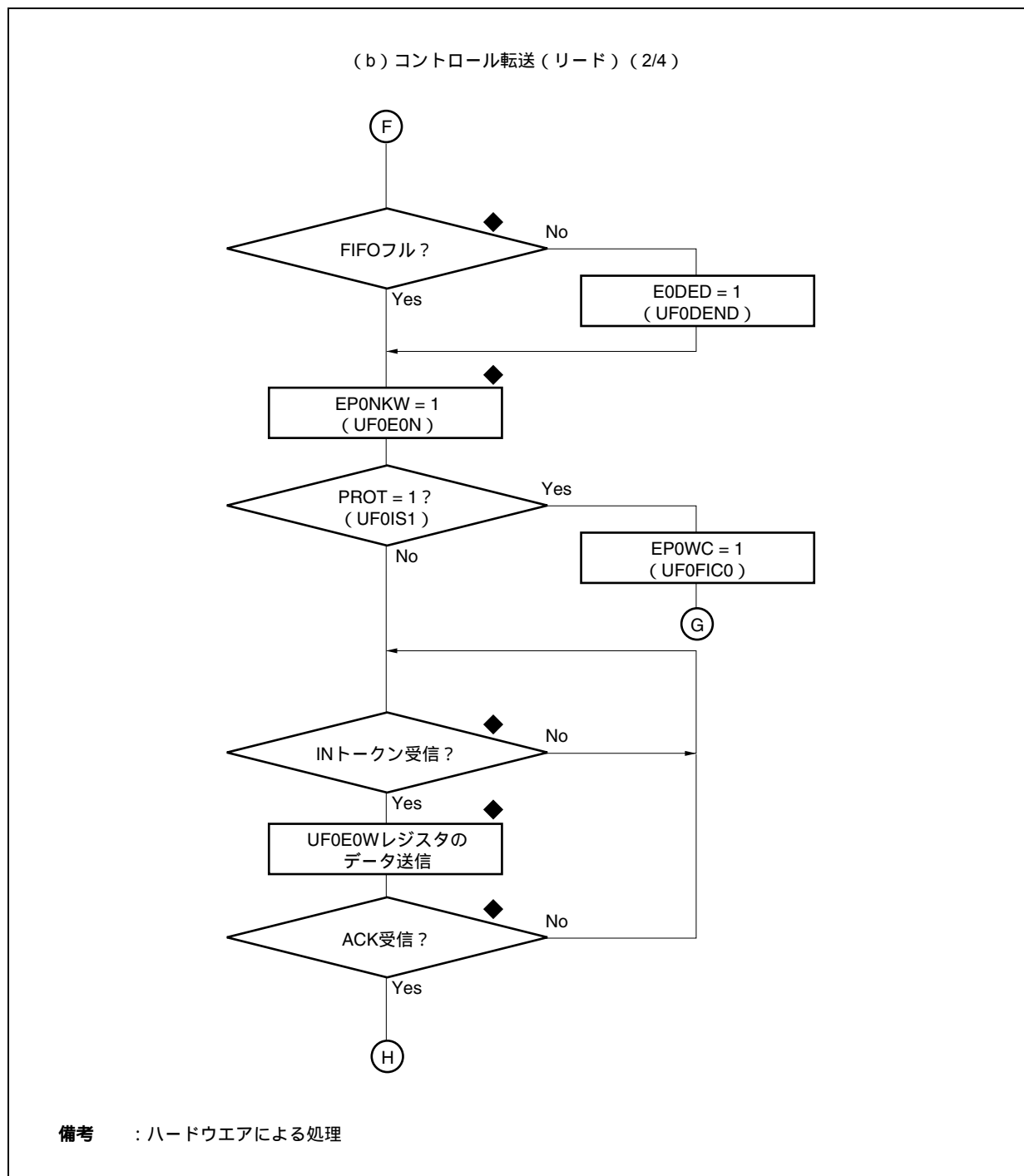


図20 - 24 コントロール転送に対するCPUDECリクエスト (5/12)

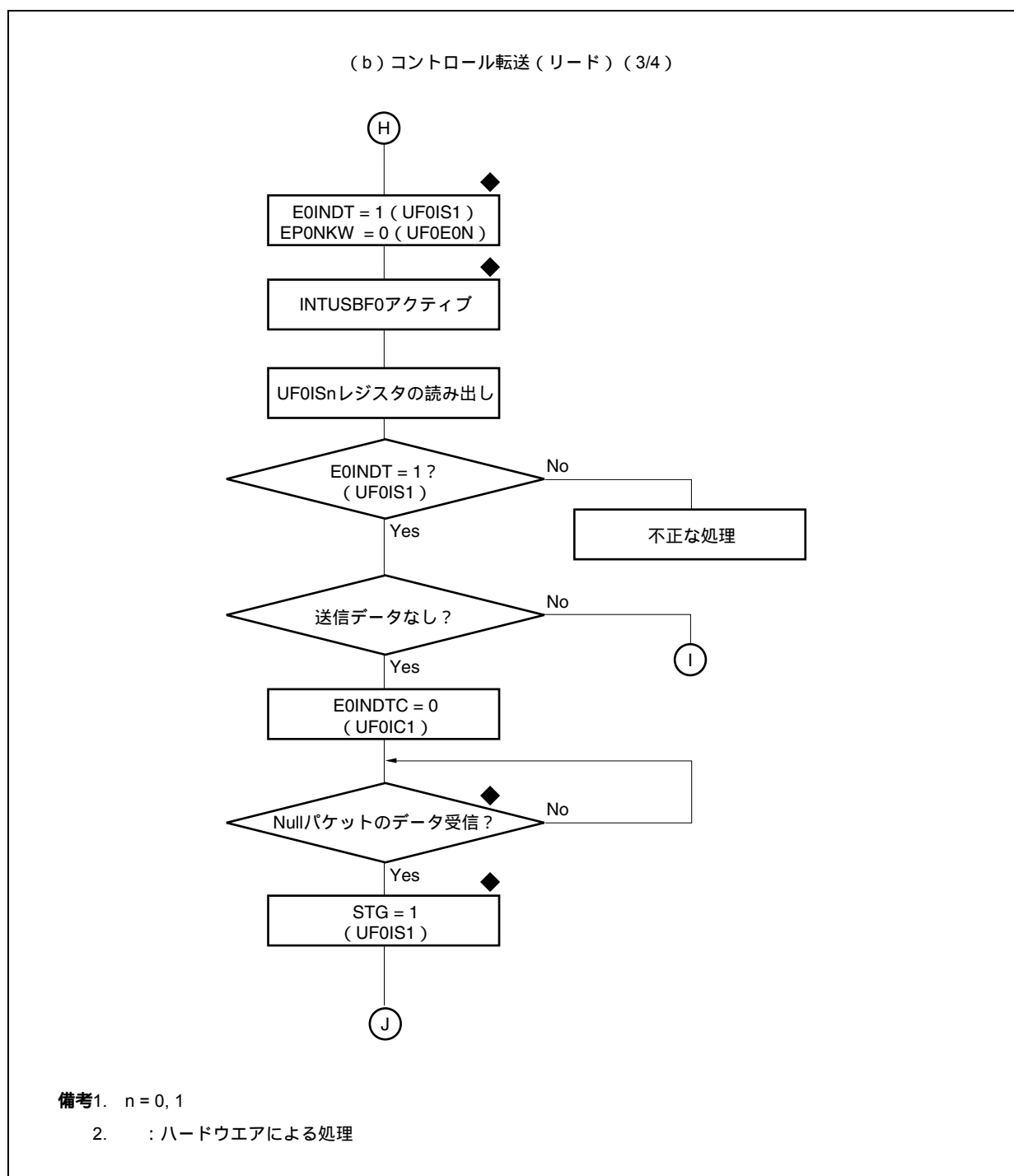


図20 - 24 コントロール転送に対するCPUDECリクエスト (6/12)

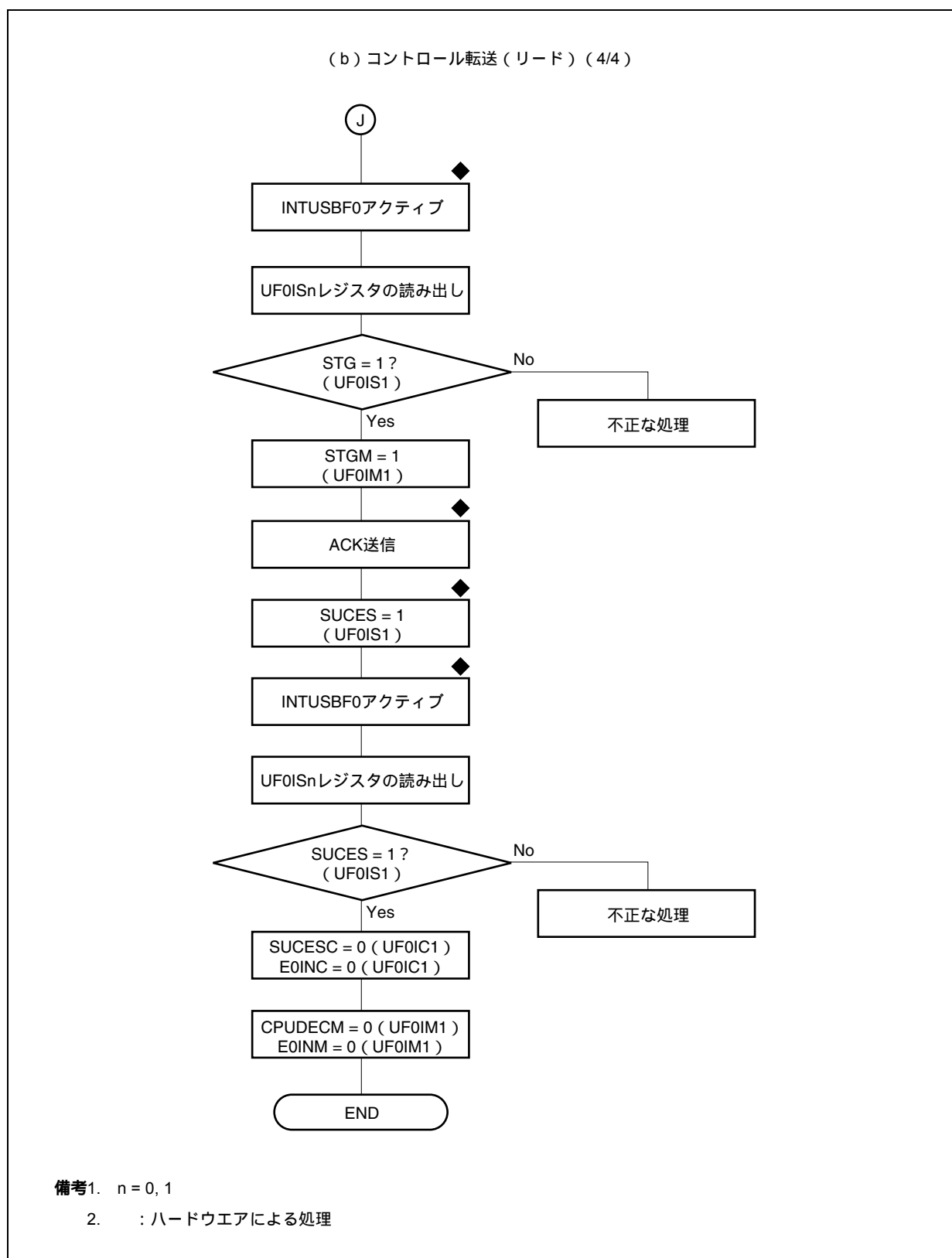


図20 - 24 コントロール転送に対するCPUDECリクエスト (7/12)

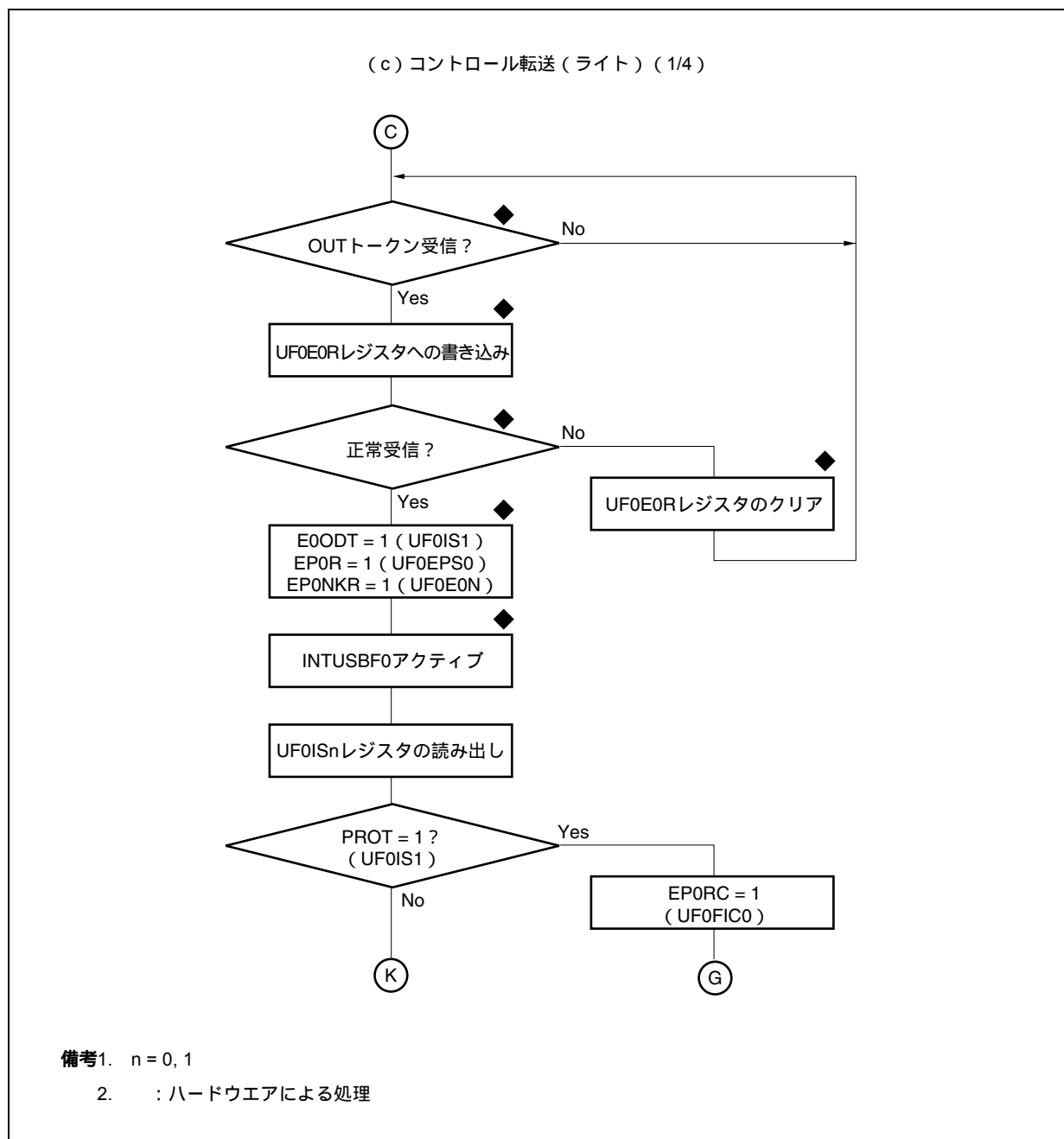


図20 - 24 コントロール転送に対するCPUDECリクエスト (8/12)

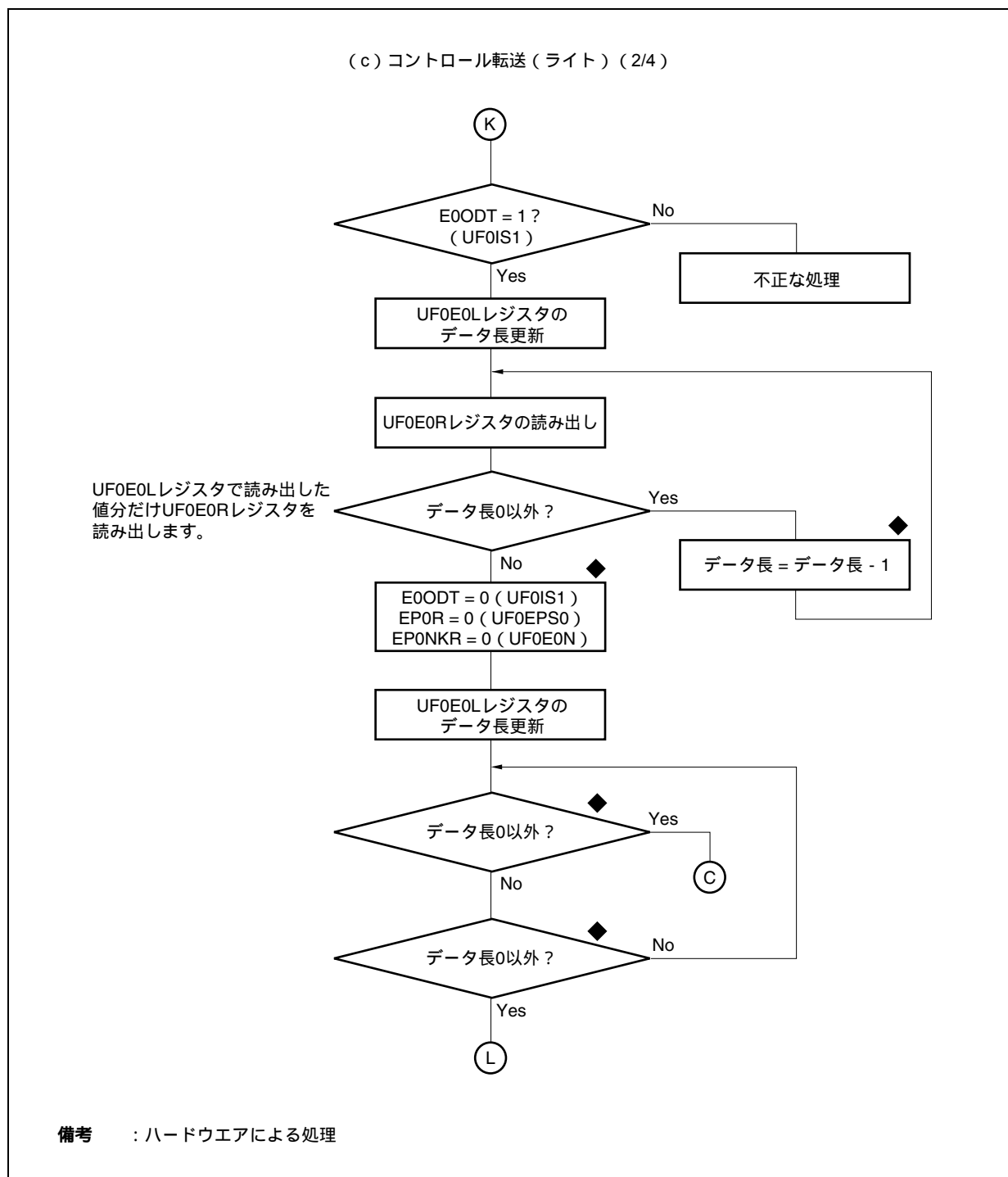


図20 - 24 コントロール転送に対するCPUDECリクエスト (9/12)

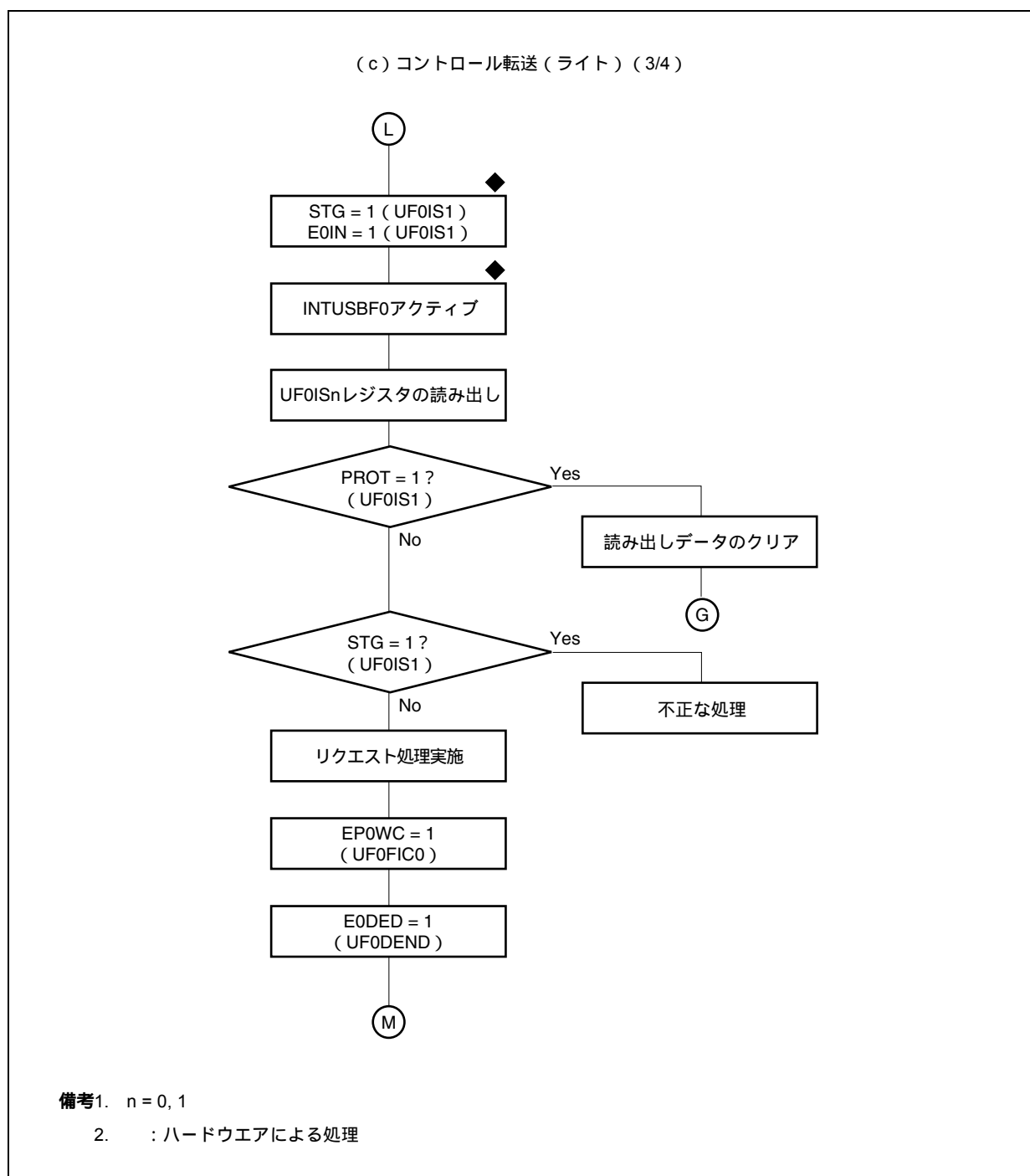


図20 - 24 コントロール転送に対するCPUDECリクエスト (10/12)

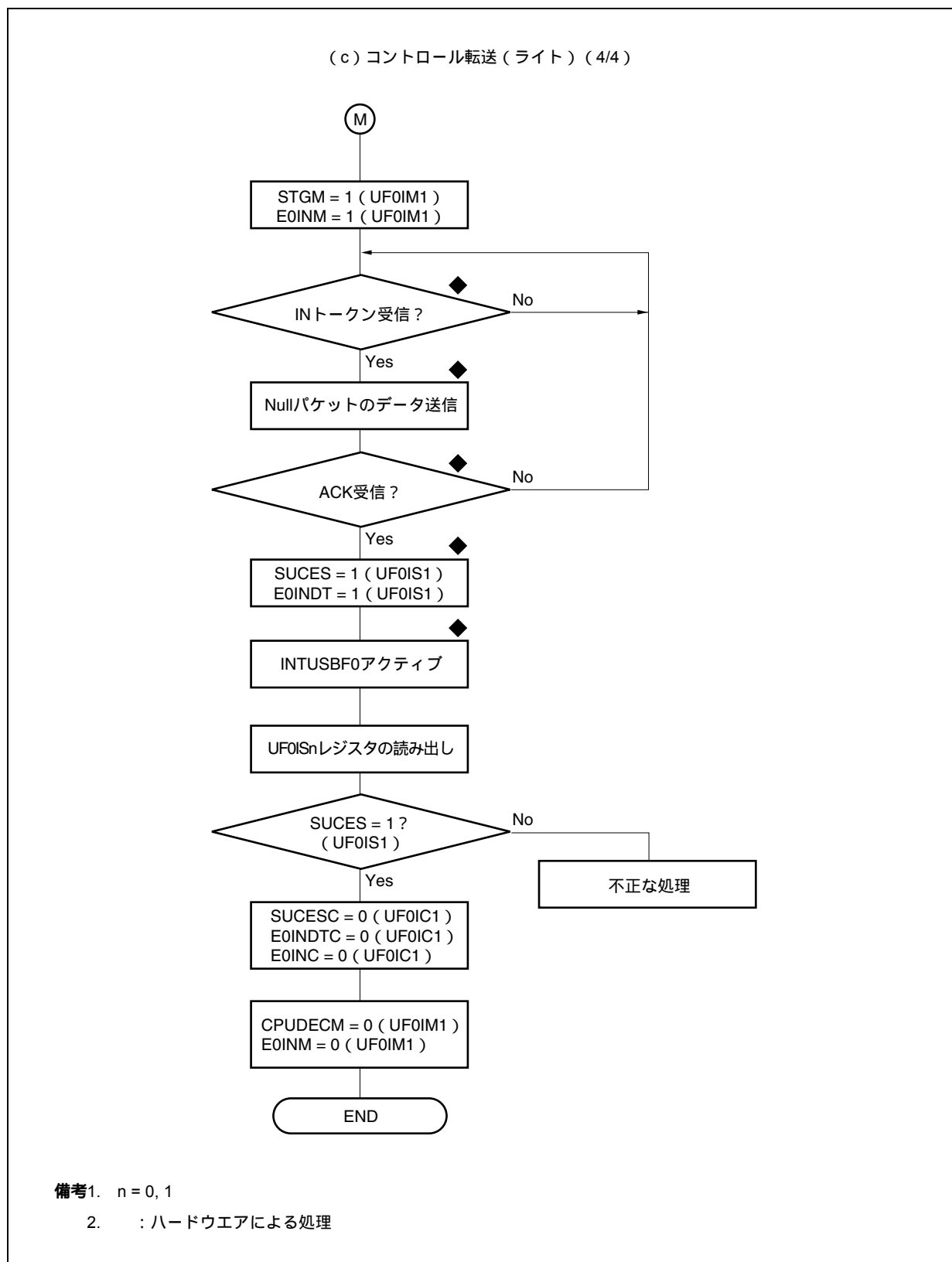


図20 - 24 コントロール転送に対するCPUDECリクエスト (11/12)

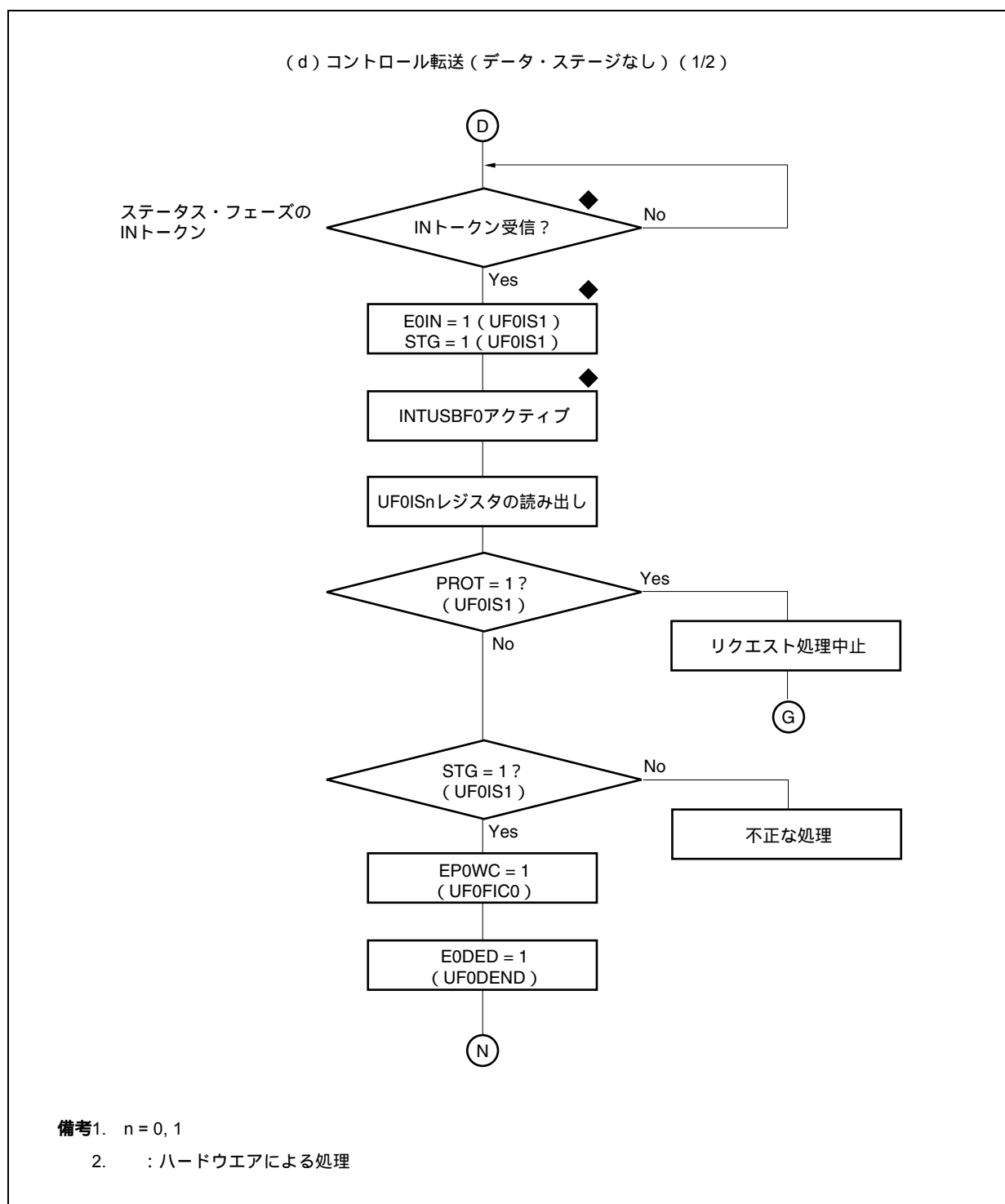
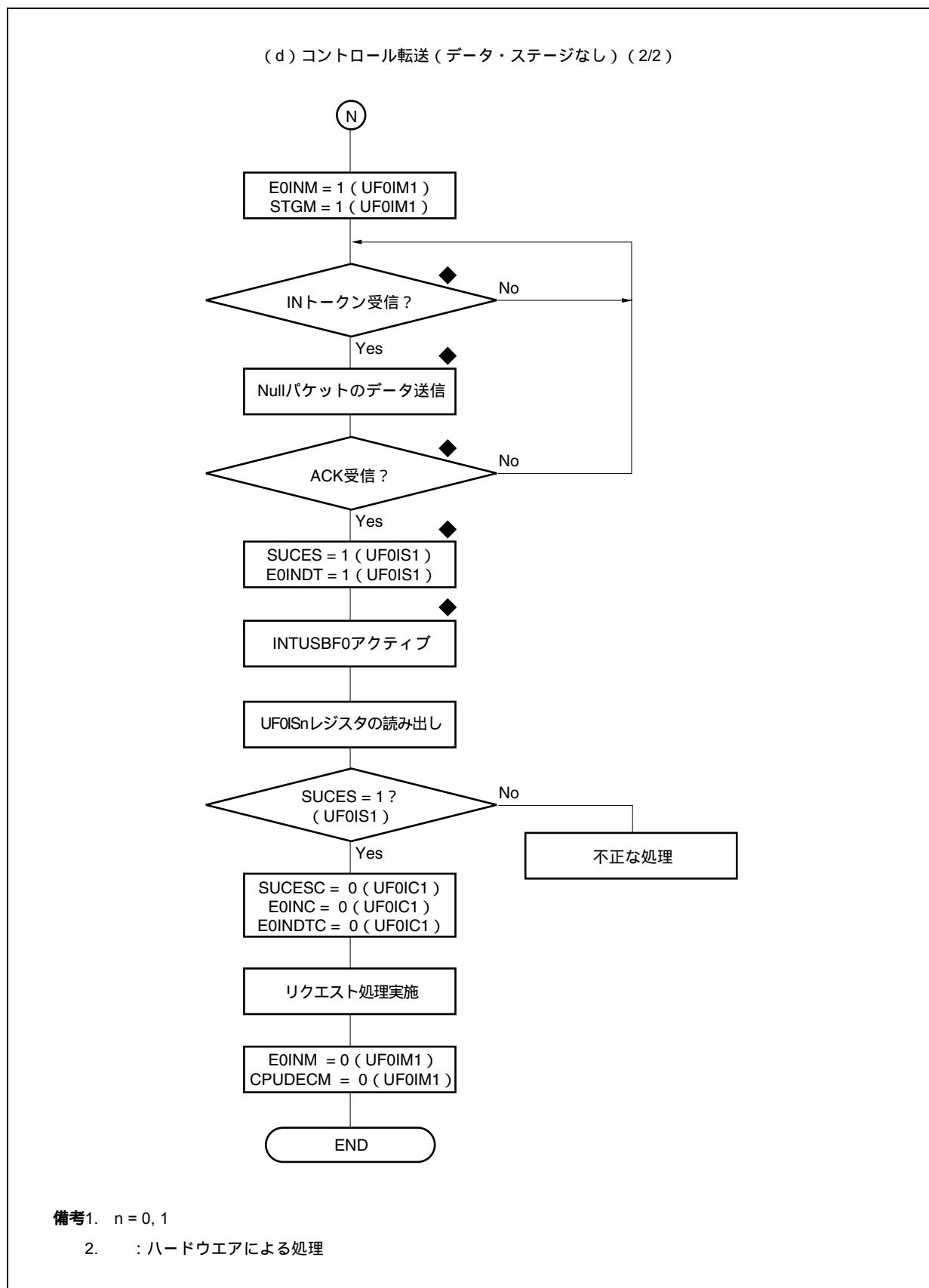


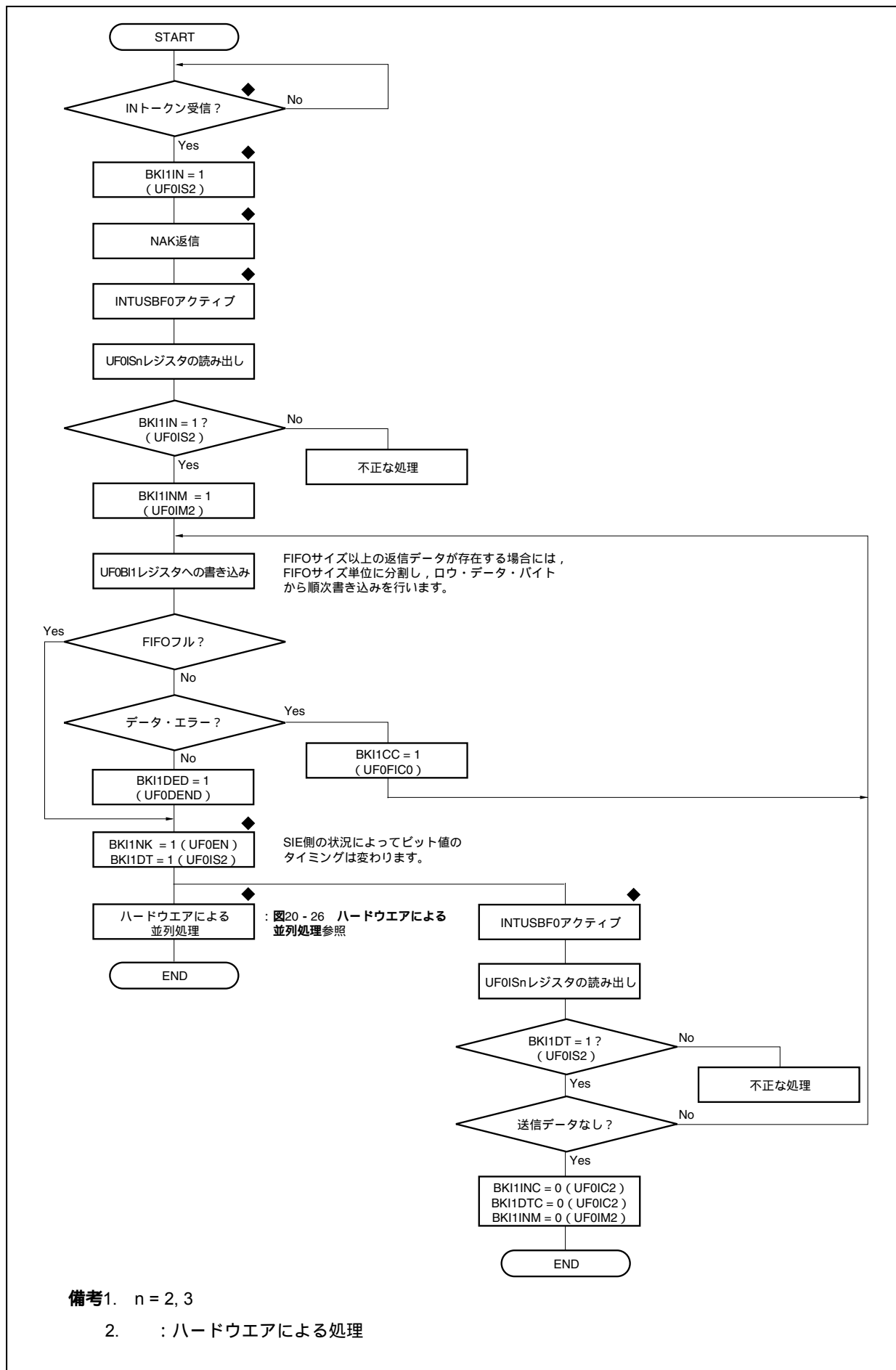
図20 - 24 コントロール転送に対するCPUDECリクエスト (12/12)



(4) バルク転送 (IN) に対する処理

バルク転送 (IN) は、Endpoint1およびEndpoint3に割り当てられています。次に示すフロー・チャートは、Endpoint1に対する制御フローです。Endpoint3についても、同じシーケンスで制御できます。したがって、Endpoint3に対する制御フローとして使用する場合は、フロー中のEndpoint1に対するビット名をEndpoint3に対するビット名に読み替えてください。

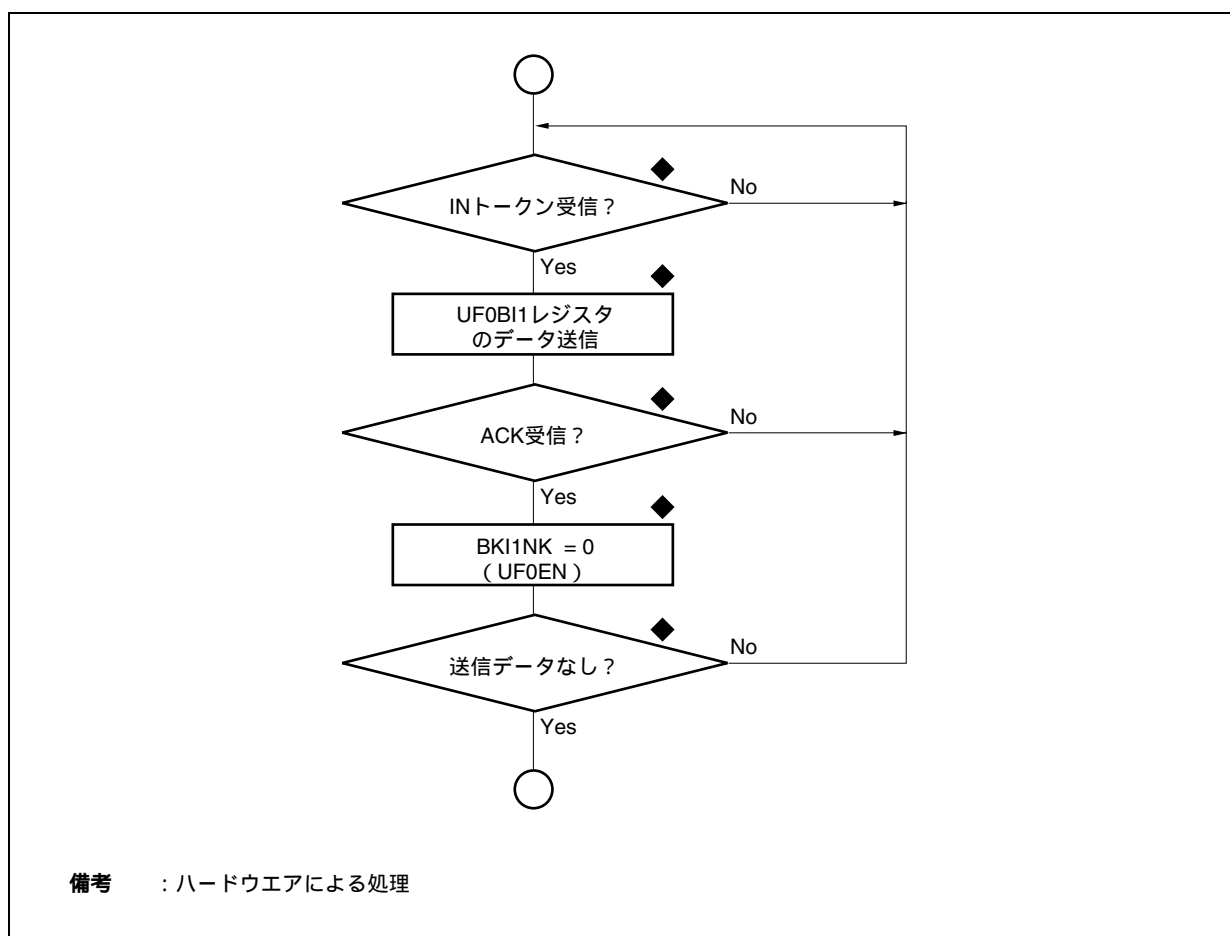
図20 - 25 バルク転送 (IN) に対する処理 (Endpoint1の場合)



備考1. n = 2, 3

2. : ハードウェアによる処理

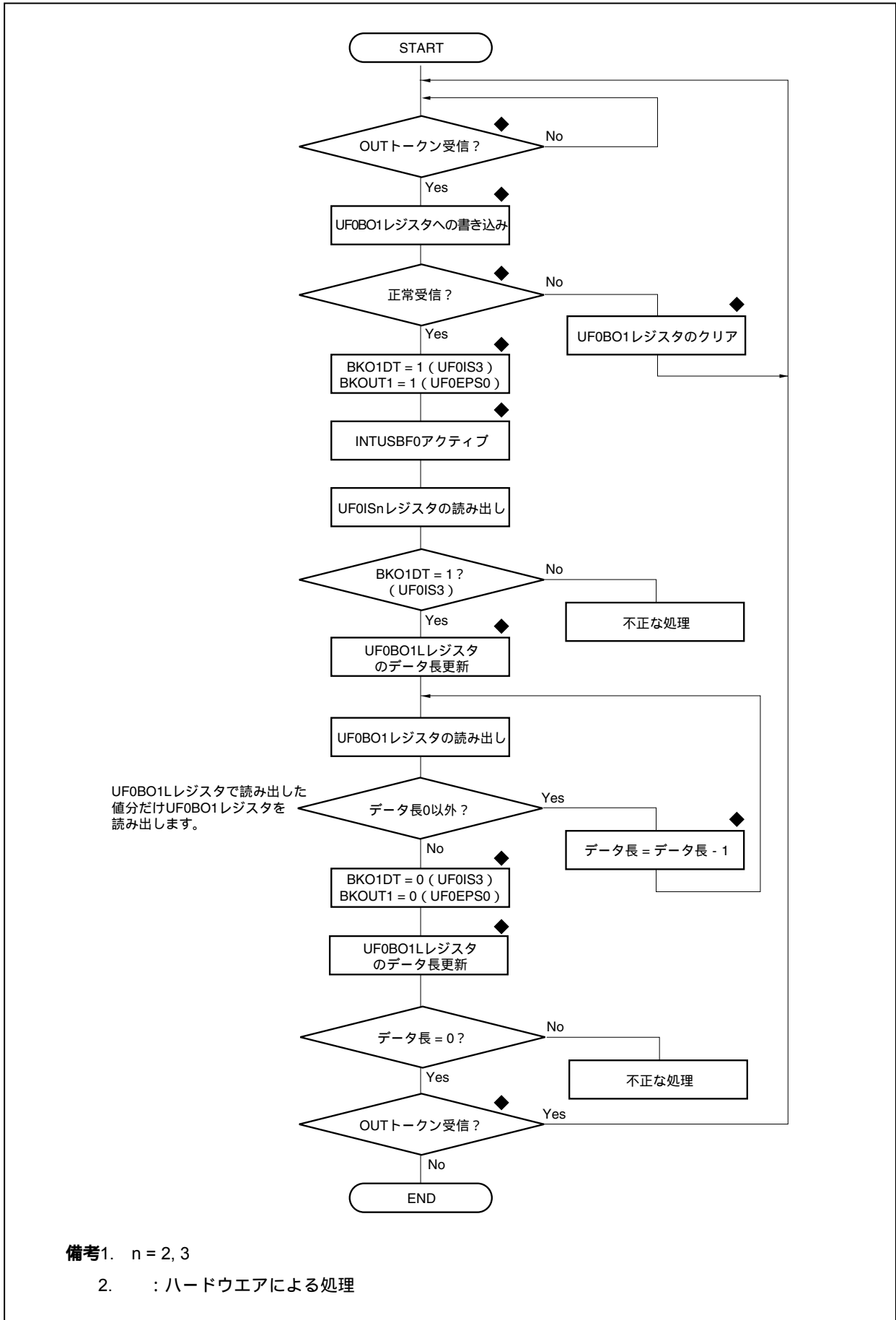
図20 - 26 ハードウェアによる並列処理



(5) バルク転送 (OUT) に対する処理

バルク転送 (OUT) は、Endpoint2およびEndpoint4に割り当てられています。次に示すフロー・チャートは、Endpoint2に対する制御フローです。Endpoint4についても、同じシーケンスで制御できます。したがって、Endpoint4に対する制御フローとして使用する場合は、フロー中のEndpoint2に対するビット名をEndpoint4に対するビット名に読み替えてください。

図20 - 27 バルク転送 (OUT) に対する通常処理 (Endpoint2の場合)



なお、バルク転送 (OUT) に関してシステムが期待するデータ量以上のデータがホストから送信されてくる場合も考えられます。V850ES/JG3-U, V850ES/JH3-Uでは、USBバスの転送レートがアップし、できるかぎりNAK応答しないようにバス側のアクセス中でもCPU側からの読み出しができるようにバルク転送 (OUT) のEndpoint2およびEndpoint4は、64バイトのダブル・バッファ構成になっています。このため、ホストがシステムの期待するデータ量以上のデータを送ってくると、最悪128バイト分、余計に自動受信する可能性があります。この場合、システムの期待するデータ量が残り2パケット分になった時点で、Endpoint2およびEndpoint4に対する通常処理から次に示す制御フローに切り替えてください。フロー・チャートは、Endpoint2に対する制御フローです。Endpoint4についても、同じシーケンスで制御できます。したがって、Endpoint4に対する制御フローとして使用する場合は、フロー中のEndpoint2に対するビット名をEndpoint4に対するビット名に読み替えてください。

図20 - 28 システムの期待するデータ量以上のデータが送られてくるときの処理 (Endpoint2の場合) (1/2)

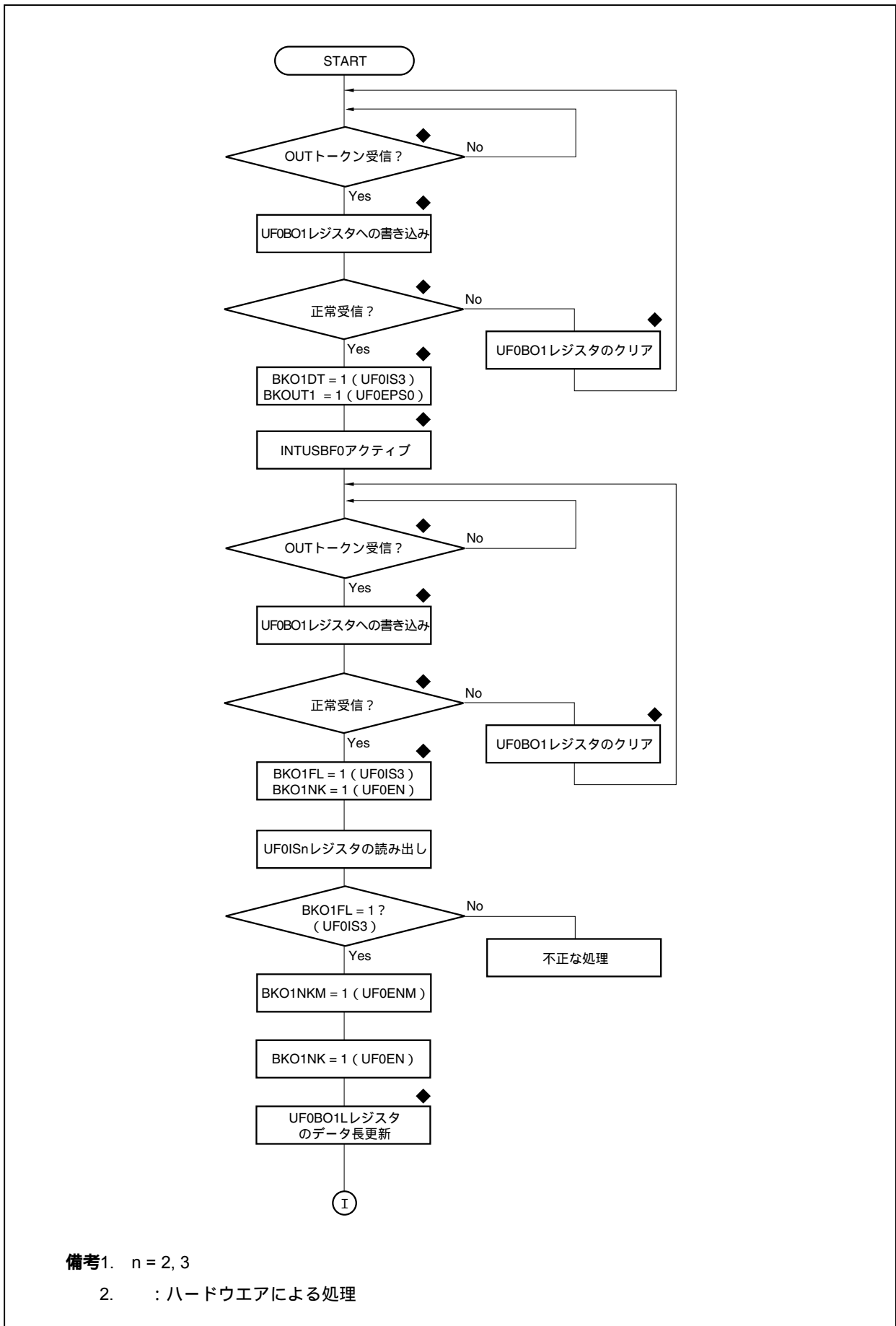
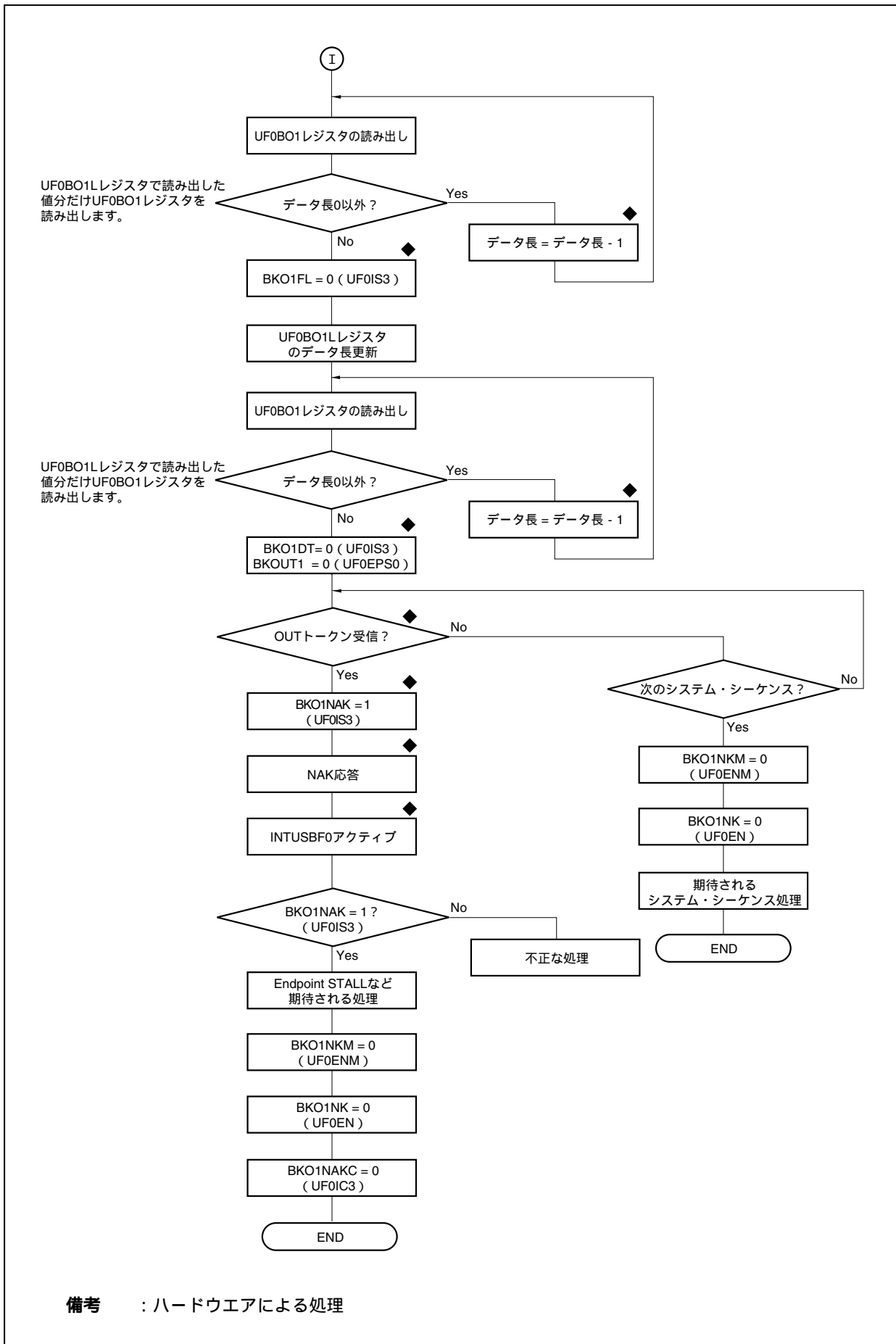


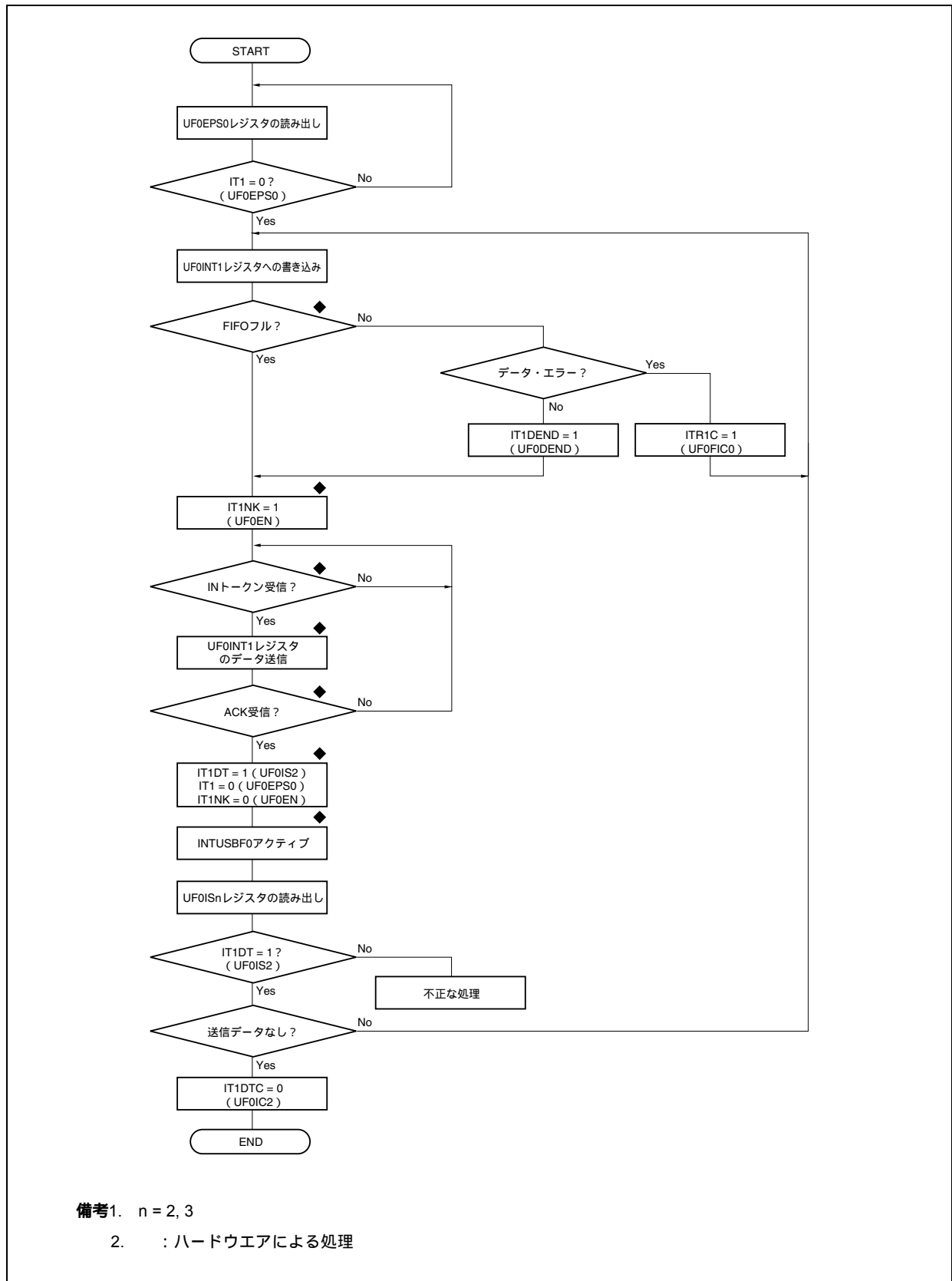
図20 - 28 システムの期待するデータ量以上のデータが送られてくるときの処理 (Endpoint2の場合) (2/2)



(6) インタラプト転送 (IN) に対する処理

インタラプト転送 (IN) は, Endpoint7に割り当てられています。図20 - 29にフロー・チャートを示します。

図20 - 29 インタラプト転送 (IN) に対する処理 (Endpoint7)



20.9.4 Suspend/Resume処理

Suspend/Resume処理はシステムの構成によって、その処理方法は異なります。ここでは、1つの例を示します。

図20 - 30 Suspend/Resume処理例 (1/3)

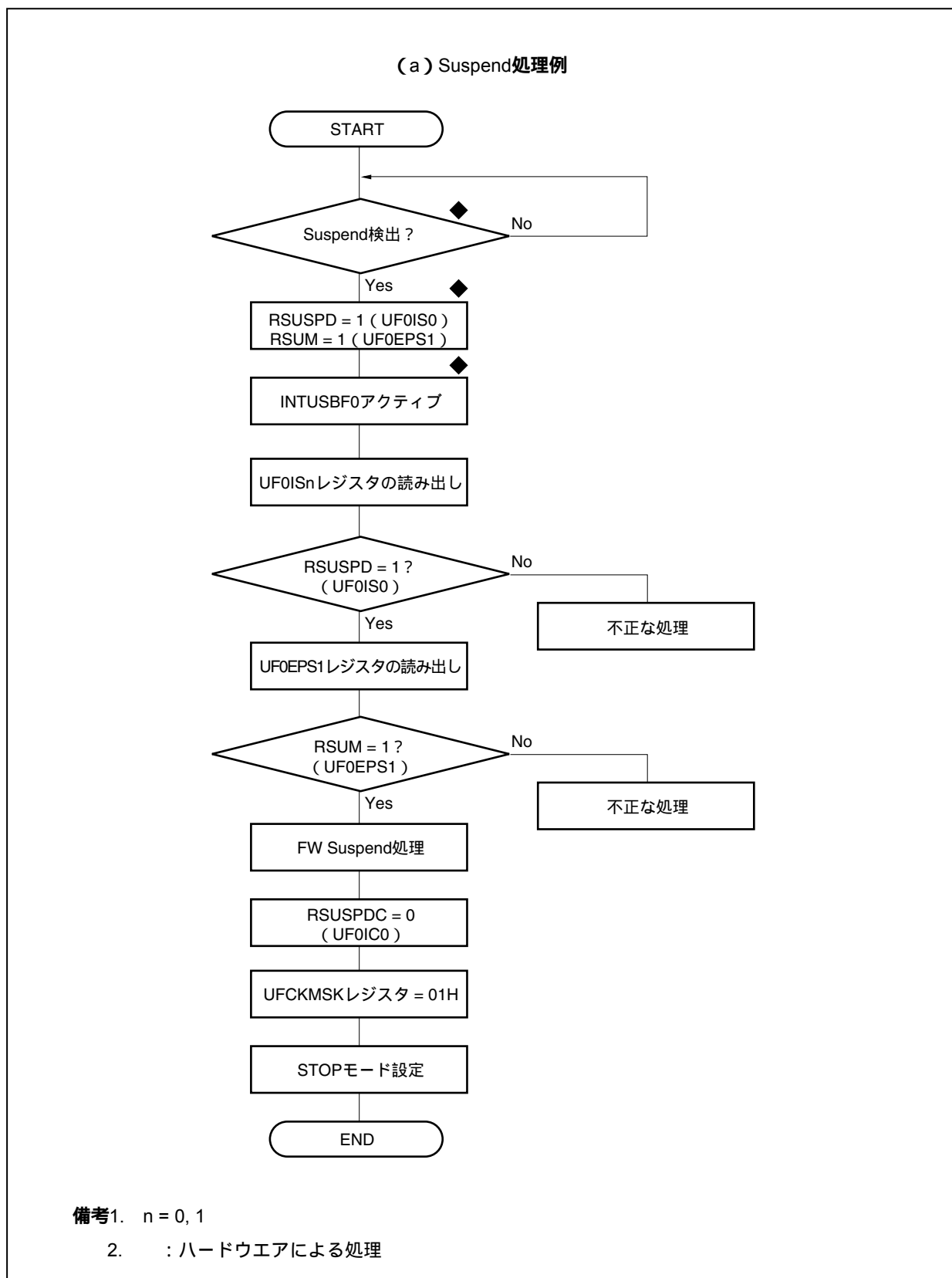


図20 - 30 Suspend/Resume処理例 (2/3)

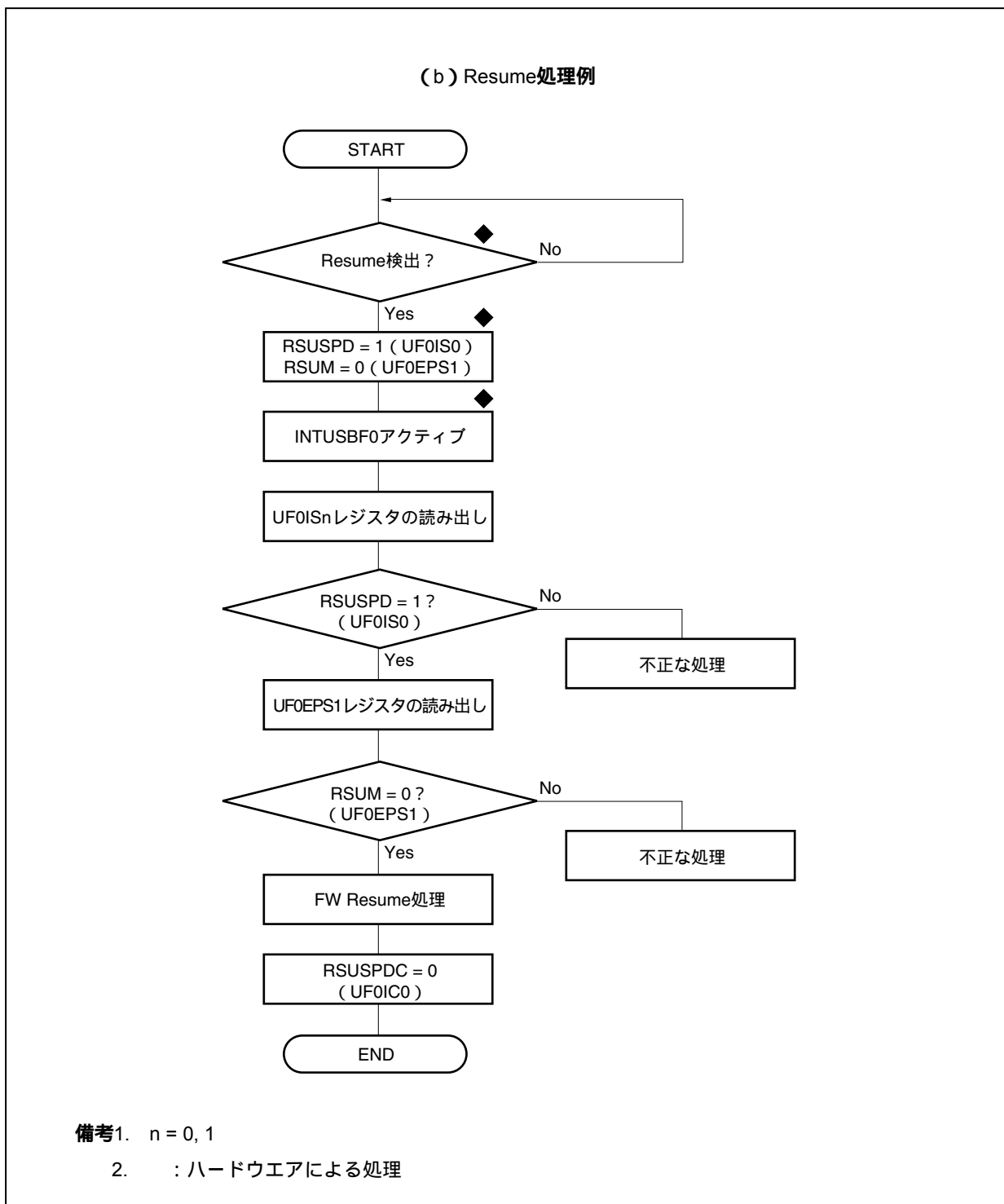
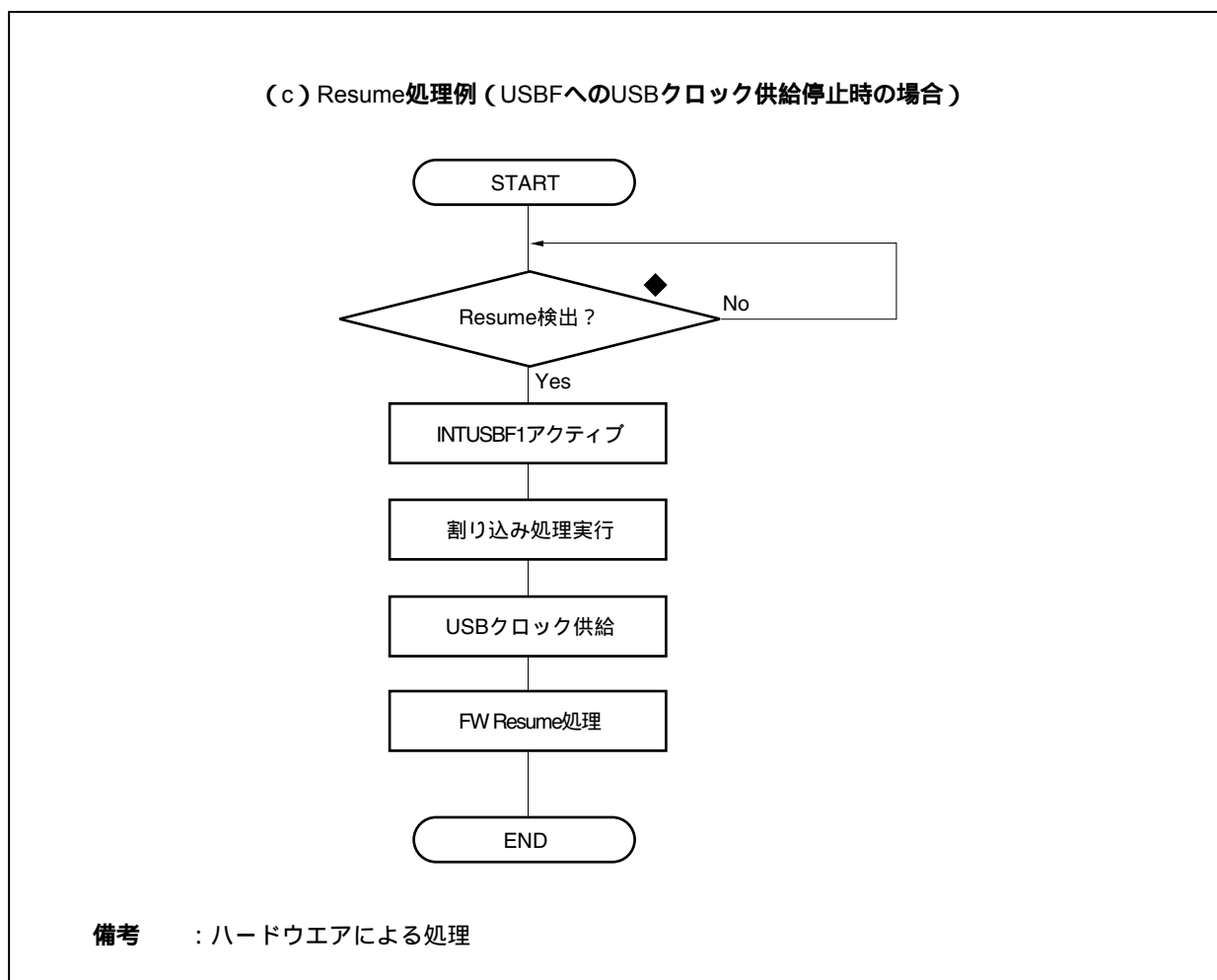


図20 - 30 Suspend/Resume処理例 (3/3)



20.9.5 電源投入後の処理

電源投入後の処理はシステムの構成によって、その処理方法は異なります。ここでは、1つの例を示します。

図20 - 31 電源投入後の処理 / 電源切断の処理例 (1/3)

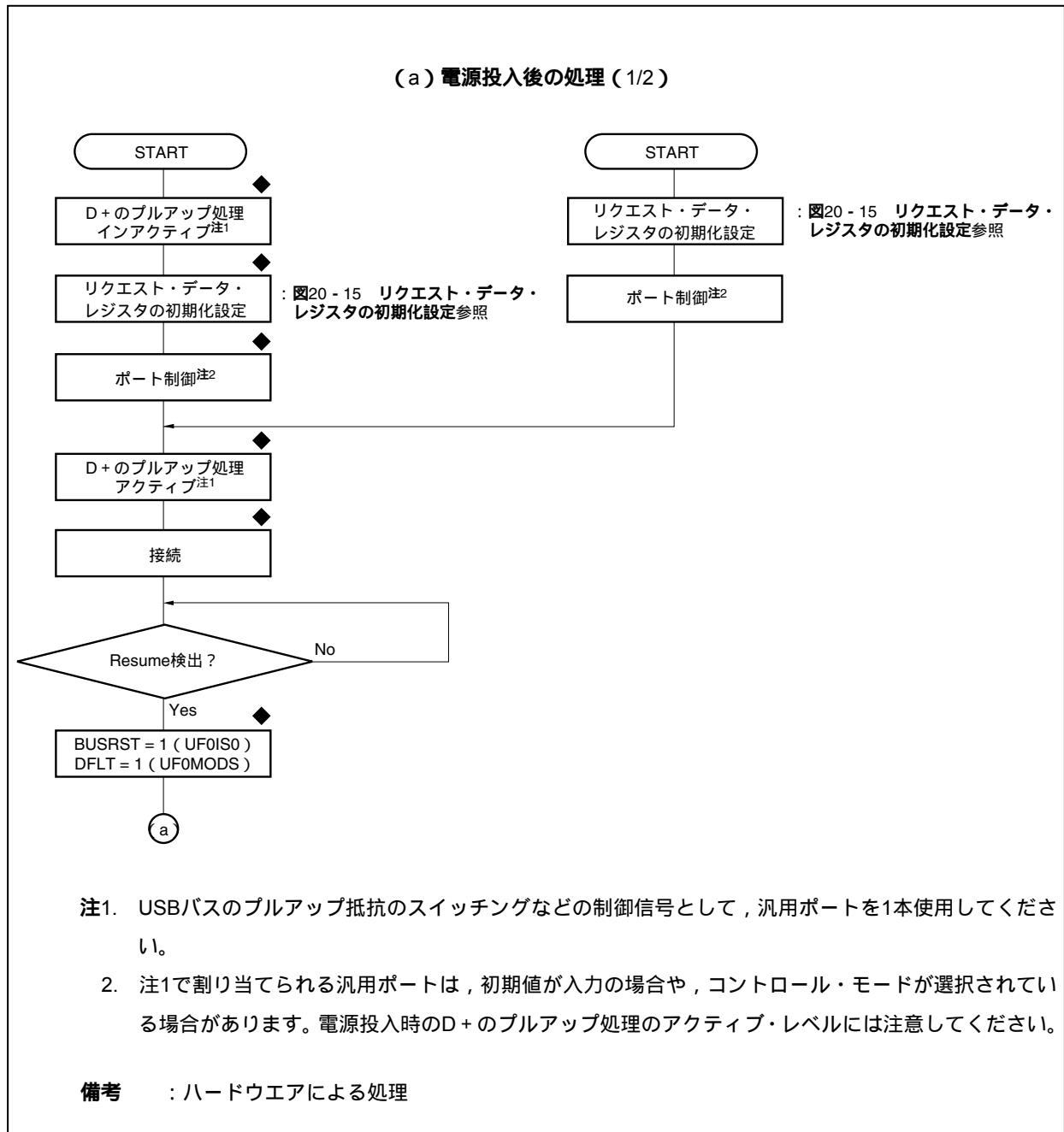


図20 - 31 電源投入後の処理 / 電源切断の処理例 (2/3)

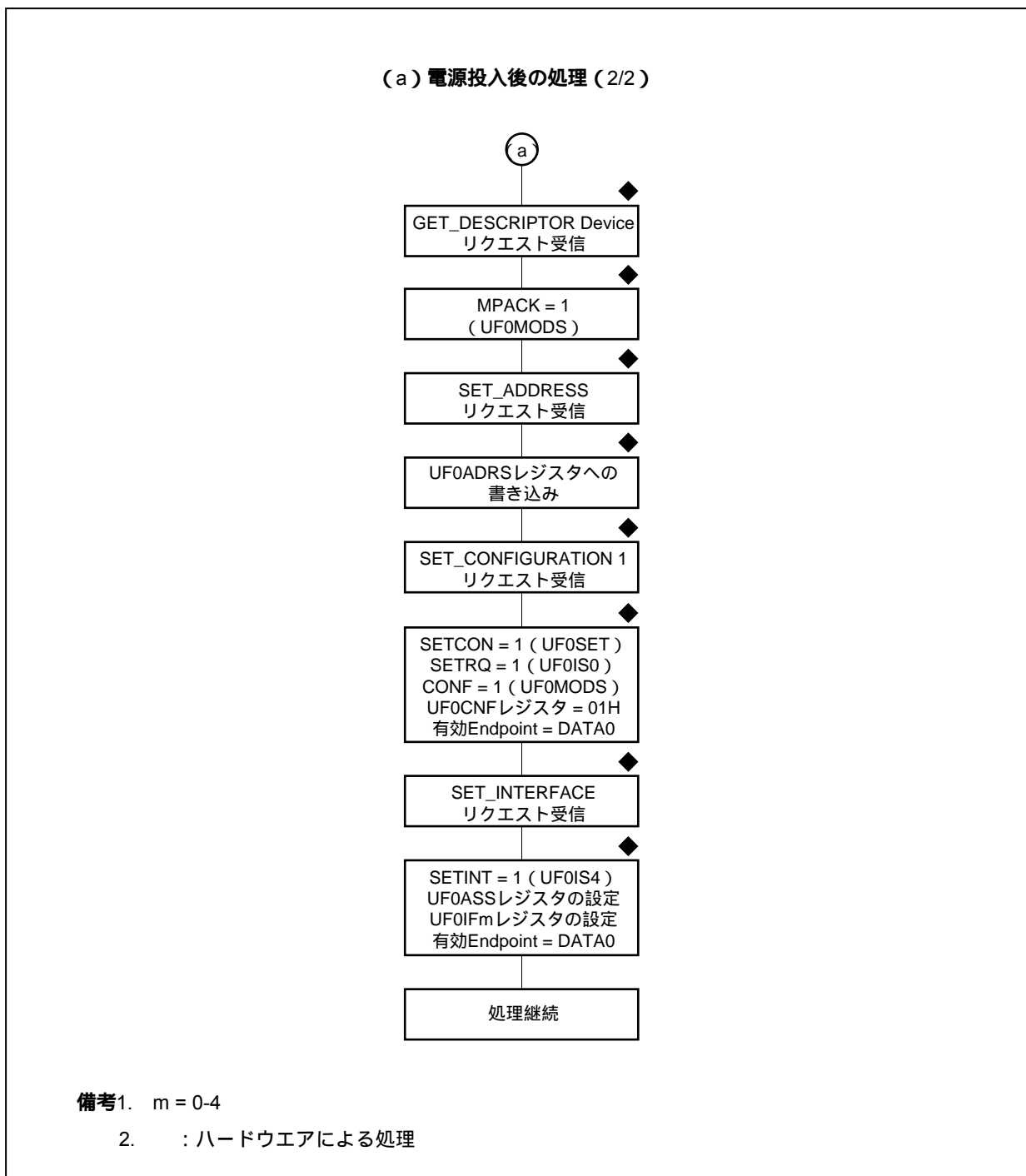
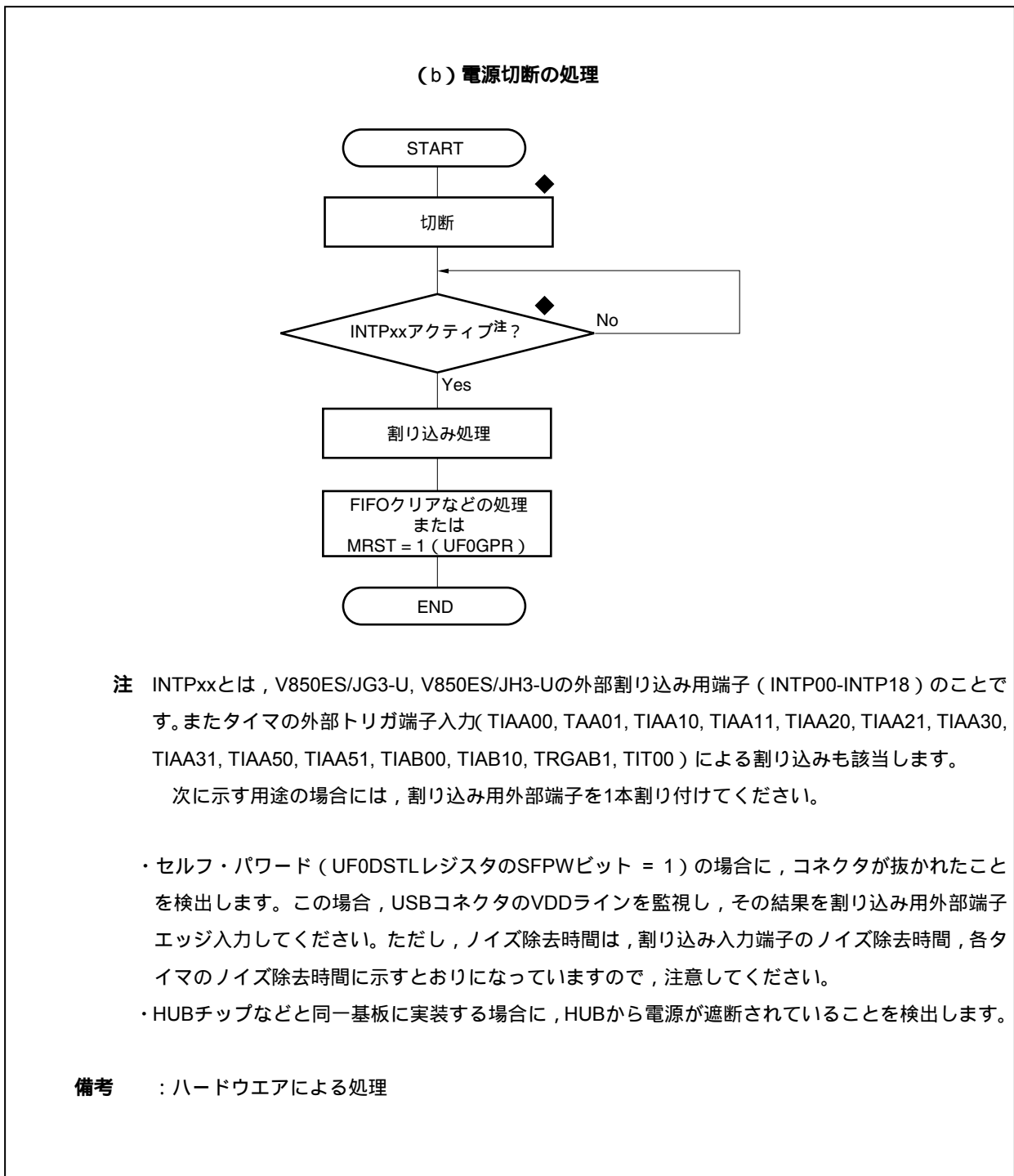


図20 - 31 電源投入後の処理 / 電源切断の処理例 (3/3)



20.9.6 DMAモードによるバルク転送 (OUT) のデータ受信方法

バルク転送 (OUT) はEndpoint2およびEndpoint4に割り当てられています。次に示すフロー・チャートは、Endpoint2に対してDMAを使用する場合の制御フローです。Endpoint4についても、同じシーケンスで制御できます。したがって、Endpoint4に対する制御フローとして使用する場合は、フロー中のEndpoint2に対するビット名をEndpoint4に対するビット名に読み替えてください。また、次に示す制御フローでは、残りのデータの読み出しをCPUによって行う場合について示しています。

UF0IDRレジスタのDQBO1MSビットをセット (1) することで、バルク転送 (OUT) のデータを正常受信した場合には、割り込み要求 (INTUSBF0) の代わりにEndpoint2用DMA要求信号がアクティブになります。UF0IDRレジスタのMODEnビットの設定によりEndpoint2用DMA要求信号は動作します (n = 0, 1)。UF0BO1レジスタに保持されていたデータをDMAですべて読み出した場合、いったんEndpoint2用DMA要求信号はインアクティブになります。この状態で次のバルク転送 (OUT) のデータを正常に受信した場合、Endpoint2用DMA要求信号は再度アクティブになります。受信したバルク転送 (OUT) のデータがFIFOサイズ以下の場合には、DMAでの読み出し完了と同時にShort割り込み要求を発行し、同時にINTUSBF0 (EP2_ENDINT) 信号がアクティブになります。再度、DMAで読み出しをする場合にはDQBO1MSビットを再度セット (1) してください。DMAの完了をEndpoint2用DMA終了信号により行った場合、UF0IDRレジスタのDQBO1MSビットがクリア (0) され、Endpoint2用DMA要求信号はインアクティブになります。また、同時にDMA_END割り込み要求が発行されます。このとき、UF0BO1レジスタにデータが残っている場合、UF0IDRレジスタのDQBO1MSビットを再度セット (1) すると、再度DMAが起動されますが、バルク転送 (OUT) のデータは必ずFIFOサイズ以下になります。このため、DMAでの読み出し完了と同時に、Short割り込み要求の発行、INTUSBF0 (EP2_ENDINT) 信号のアクティブ、DQBO1MSビットのクリア、Endpoint2用DMA要求信号のインアクティブが起こります。

- 注意1.** デマンド・モード (UF0IDRレジスタのMODE1, MODE0ビット = 10) では転送データがあるかぎり、常にEndpoint n用DMA要求信号がアクティブになります (n = 2, 4)。
- 2.** バルク転送 (OUT) でShortパケット (63 バイト以下) のデータを対象としてDMA転送では、転送終了後UF0IC0.SHORTCビットに0を書き込み、UF0IS0.SHORTビットをクリア (0) してください。SHORTビットがクリア (0) されない場合、DMASTOP_EPnB信号がアサートされ、次のDMA転送動作を行いません。

(1) バルク転送 (OUT : EP2, EP4) の初期設定**(a) DMACの初期設定**

- ・ DSA_nレジスタ (n = 0-3) = 00210000H (EP2対象時) / 00220000H (EP4対象時)
- ・ DADC_nレジスタ (n = 0-3) = 0080H
(8ビット転送, 転送元アドレス: 固定, 転送先アドレス: インクリメント)
- ・ DTFR_nレジスタ (n = 0-3) = 0000H
- ・ UFDRQENレジスタ: 使用するDMAチャンネルに合わせて設定
(20. 6. 10 (1) USBF DMAリクエスト・イネーブル・レジスタ (UFDRQEN) 参照)

(b) EPCの初期設定

- ・ UF0IDRレジスタ = 12H (EP2対象時) / 22H (EP4対象時) [デマンド・モード]
- ・ UF0IM0.DMAEDMビット = 0
- ・ UF0IM3.BKO1NLMビット = 0 (EP2対象時)
- ・ UF0IM3.BKO1DTMビット = 0 (EP2対象時)
- ・ UF0IM3.BKO2NLMビット = 0 (EP4対象時)
- ・ UF0IM3.BKO2DTMビット = 0 (EP4対象時)

図20 - 32 バルク転送 (OUT) によるDMA処理 (1/3)

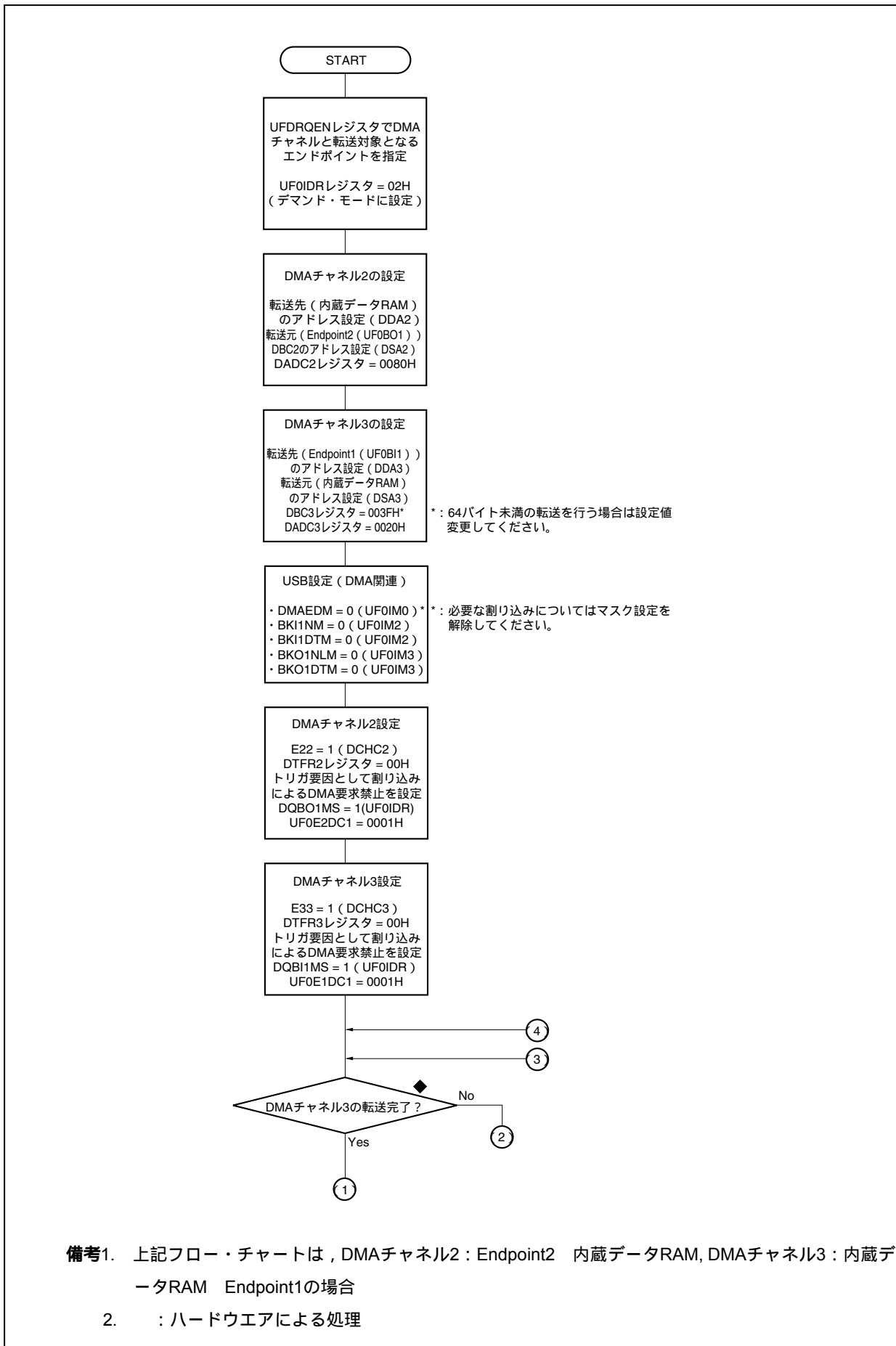


図20 - 32 バルク転送 (OUT) によるDMA処理 (2/3)

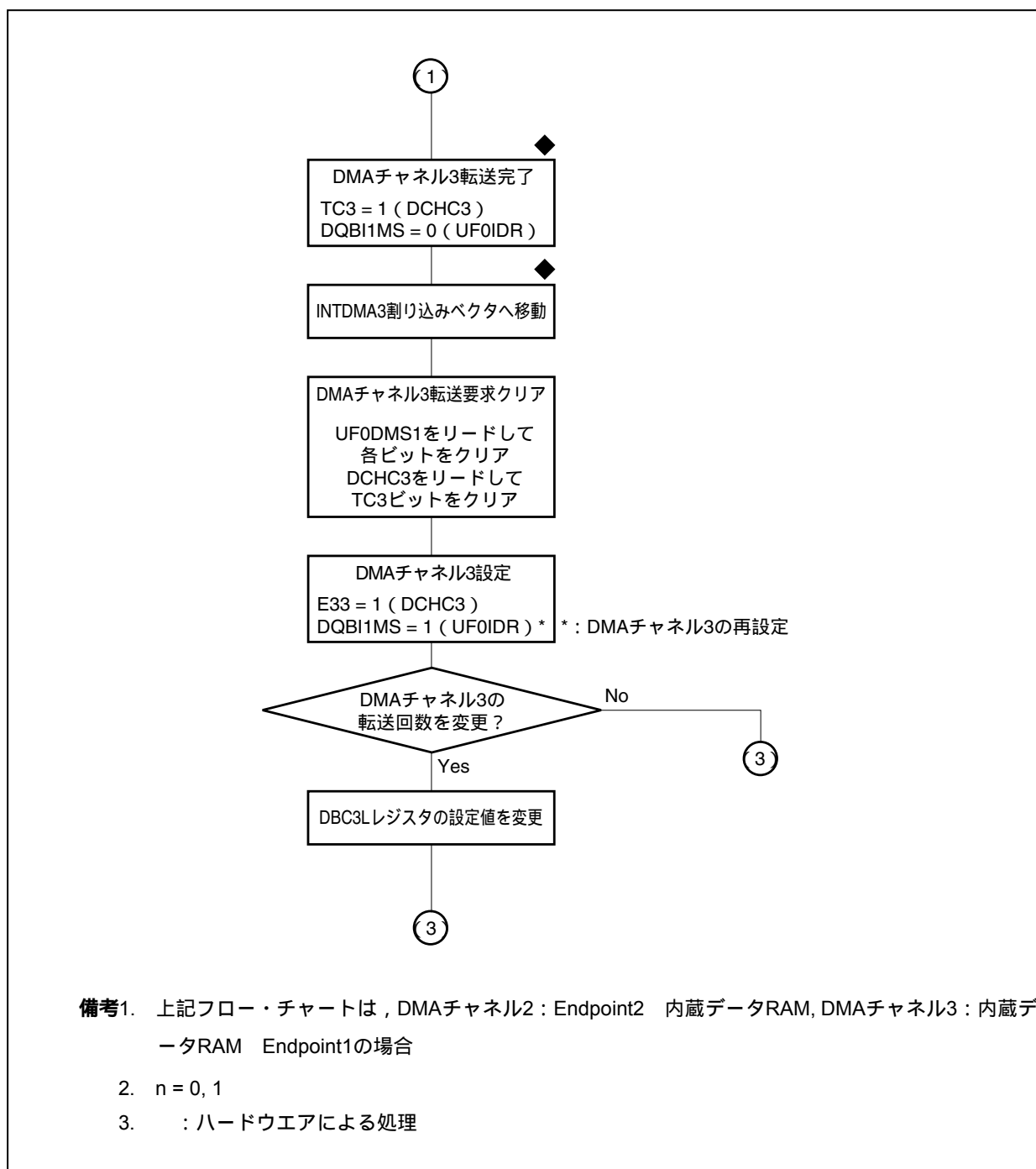
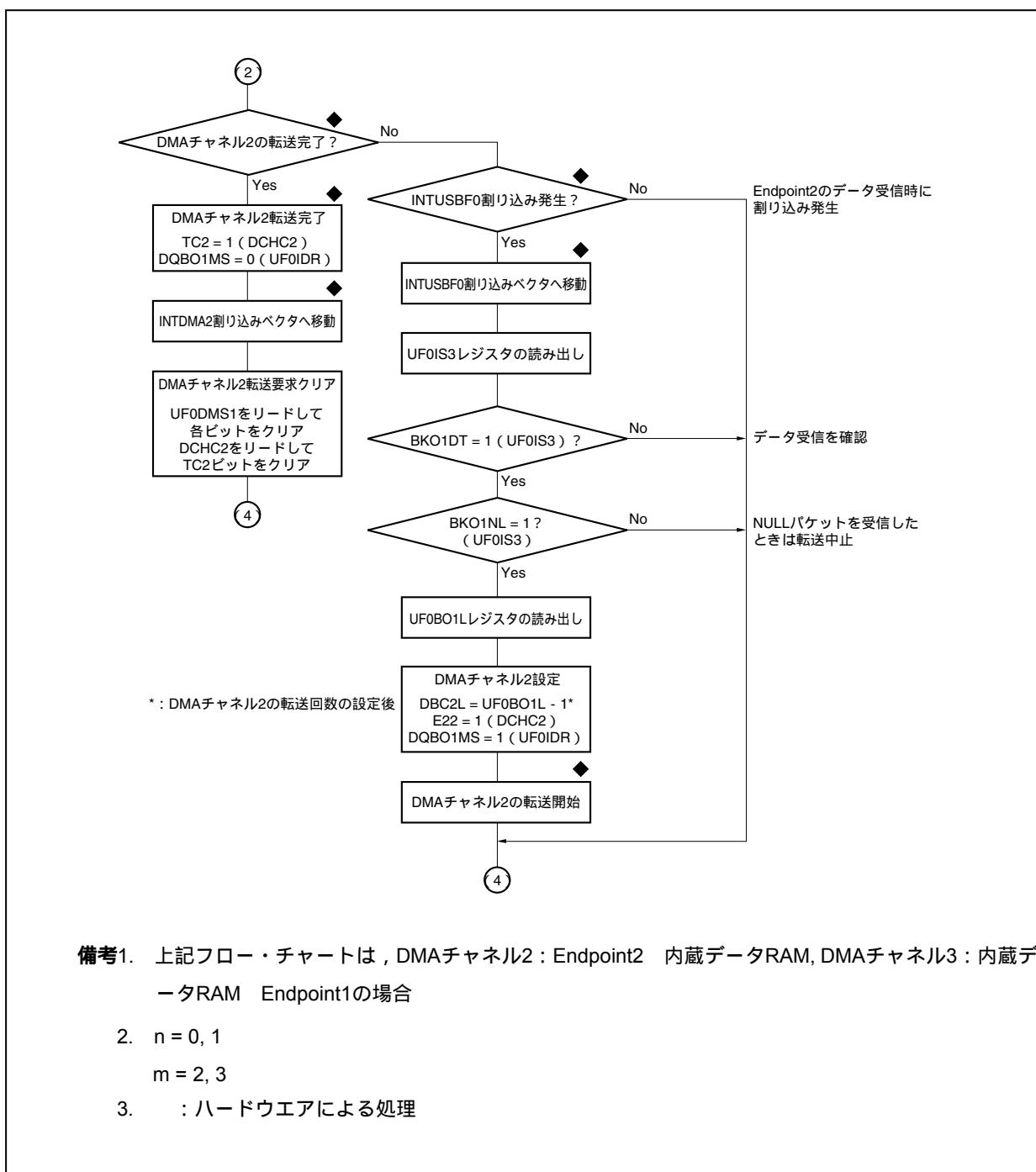


図20 - 32 バルク転送 (OUT) によるDMA処理 (3/3)



20.9.7 DMAモードによるバルク転送 (IN) のデータ送信方法

バルク転送 (IN) はEndpoint1およびEndpoint3に割り当てられています。次に示すフロー・チャートは、Endpoint1に対してDMAを使用する場合の制御フローです。Endpoint3についても、同じシーケンスで制御できます。したがって、Endpoint3に対する制御フローとして使用する場合は、フロー中のEndpoint1に対するビット名をEndpoint3に対するビット名に読み替えてください。

UF0IDRレジスタのDQBI1MSビットをセット (1) することで、バルク転送 (IN) のデータを書き込める場合には、割り込み要求 (INTUSBF0) の代わりにEndpoint1用DMA要求信号がアクティブになります。UF0IDRのMODEnビットの設定によりEndpoint1用DMA要求信号は動作しません ($n = 0, 1$)。UF0B1レジスタに書き込み可能な量のデータをDMAですべて書き込んだ場合、いったんEndpoint1用DMA要求信号はインアクティブになります。この状態でFIFOのトグル動作が発生し、バルク転送 (IN) のデータを書き込める場合、Endpoint1用DMA要求信号は再度アクティブになります。なお、DMA転送によってFIFOがフルになってもUF0DENDレジスタのBKI1Tビットがセット (1) されていないとFIFOの自動トグル動作は実行しません。このため、データ転送を行うために必ずUF0DENDレジスタのBKI1DEDをセット (1) してください。DMAの完了をEndpoint1用DMA終了信号により行った場合には、UF0IDRレジスタのDQBI1MSビットがクリア (0) され、Endpoint1用DMA要求信号はインアクティブになります。また、同時にDMA_END割り込み要求が発行されます。このとき、FIFOがフルになっていない状態で、そのままショート・パケットを送信する場合には、UF0DENDレジスタのBKI1DEDビットをセット (1) してください。

注意 デマンド・モード (UF0IDRレジスタのMODE1, MODE0ビット = 10) ではデータ転送が可能であるかぎり、常にEndpoint n用DMA要求信号がアクティブになります ($n = 1, 3$)。

(1) バルク転送 (IN : EP1, EP3) の初期設定

(a) DMACの初期設定

- DDAnレジスタ ($n = 0-3$) = 00201000H (EP1対象時) / 00202000H (EP3対象時)
- DADCnレジスタ ($n = 0-3$) = 0020H
(8ビット転送, 転送元アドレス: インクリメント, 転送先アドレス: 固定)
- DTFRnレジスタ ($n = 0-3$) = 0000H
- UFDRQEN使用するDMAチャンネルに合わせて設定
(21.6.10 (1) USBF DMAリクエスト・イネーブル・レジスタ (UFDRQEN) 参照)

(b) EPCの初期設定

- UF0IDRレジスタ = 42H (EP1対象時) / 82H (EP3対象時) [デマンド・モード]
- UF0IM0.DMAEDMビット = 0
- UF0IM2.BKI1NLMビット = 0 (EP1対象時)
- UF0IM2.BKI1DTMビット = 0 (EP1対象時)
- UF0IM2.BKI2NLMビット = 0 (EP3対象時)
- UF0IM2.BKI2DTMビット = 0 (EP3対象時)

図20 - 33 バルク転送 (IN) によるDMA処理 (1/4)

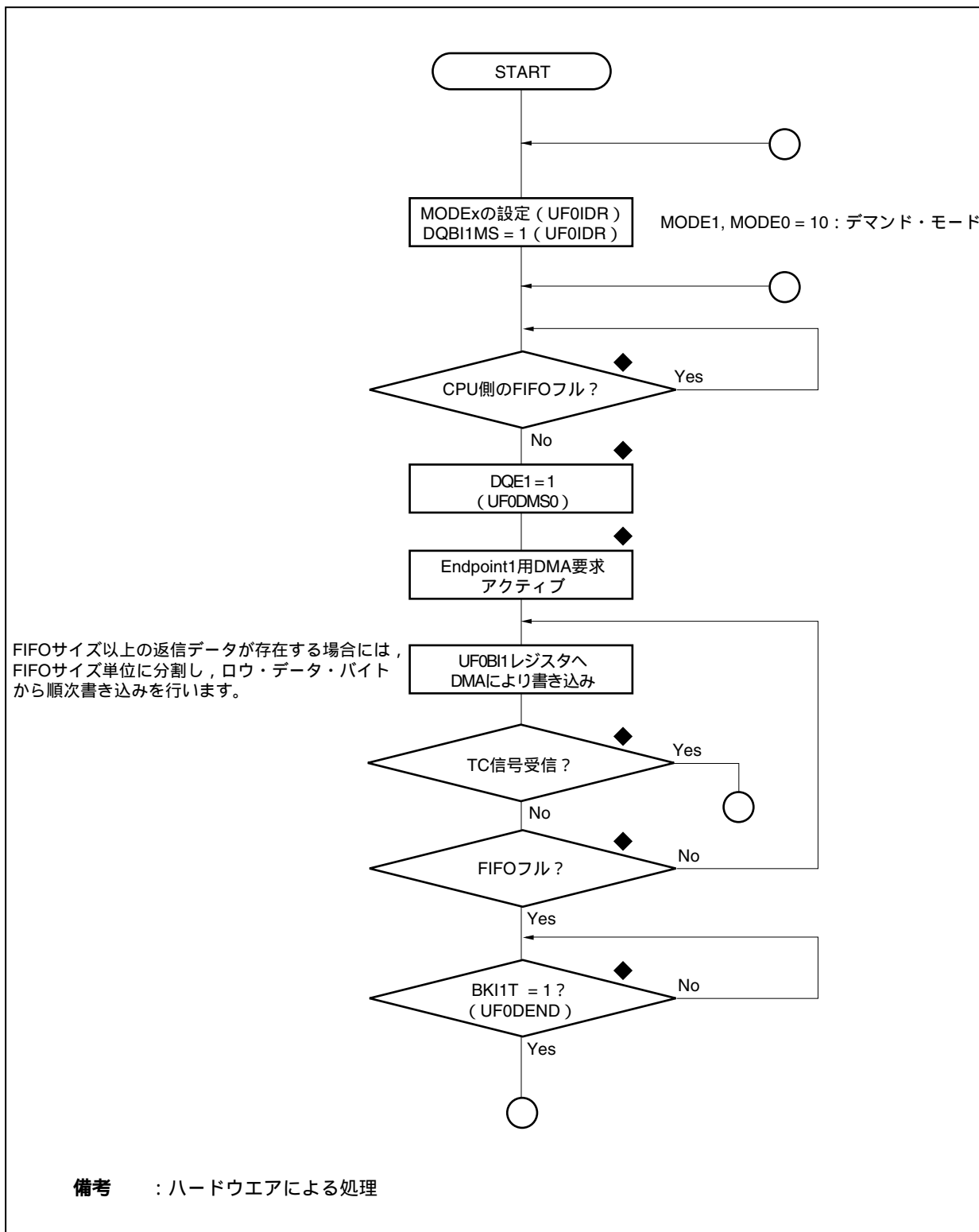


図20 - 33 バルク転送 (IN) によるDMA処理 (2/4)

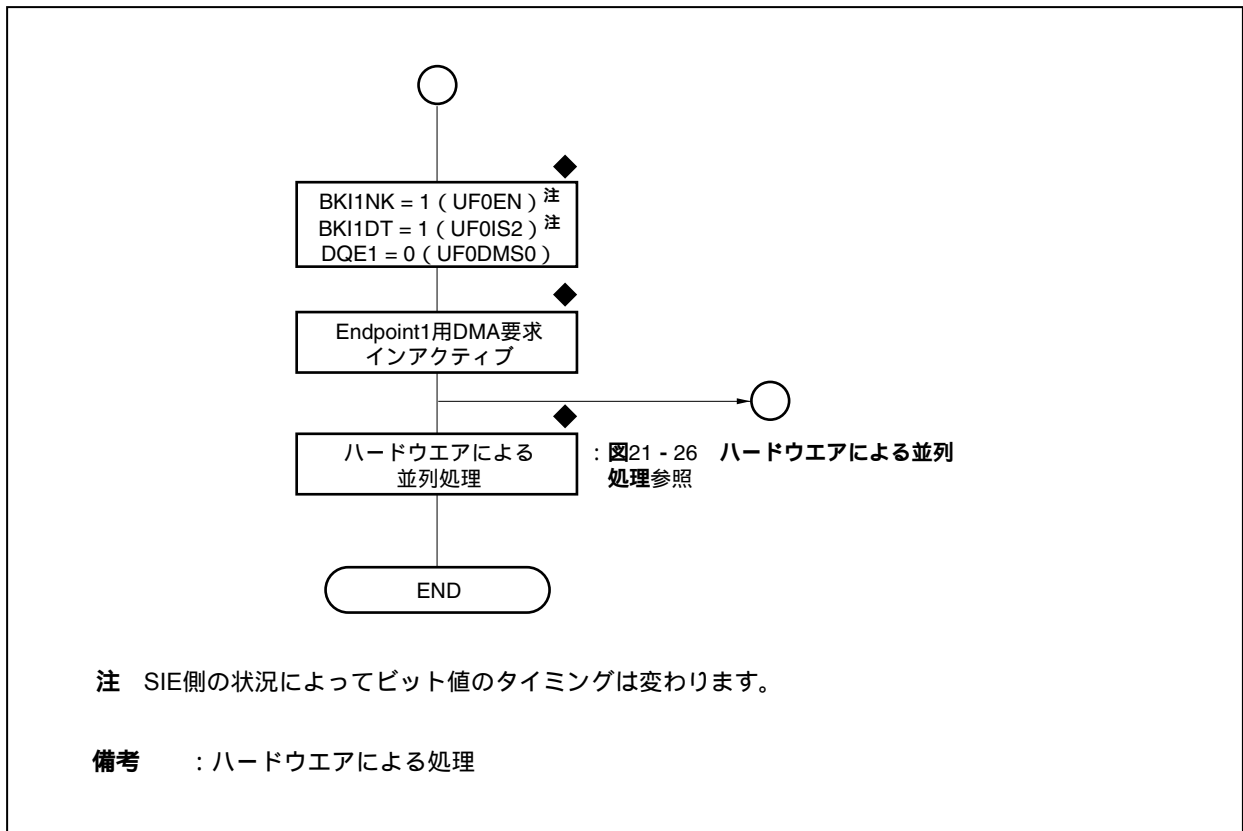
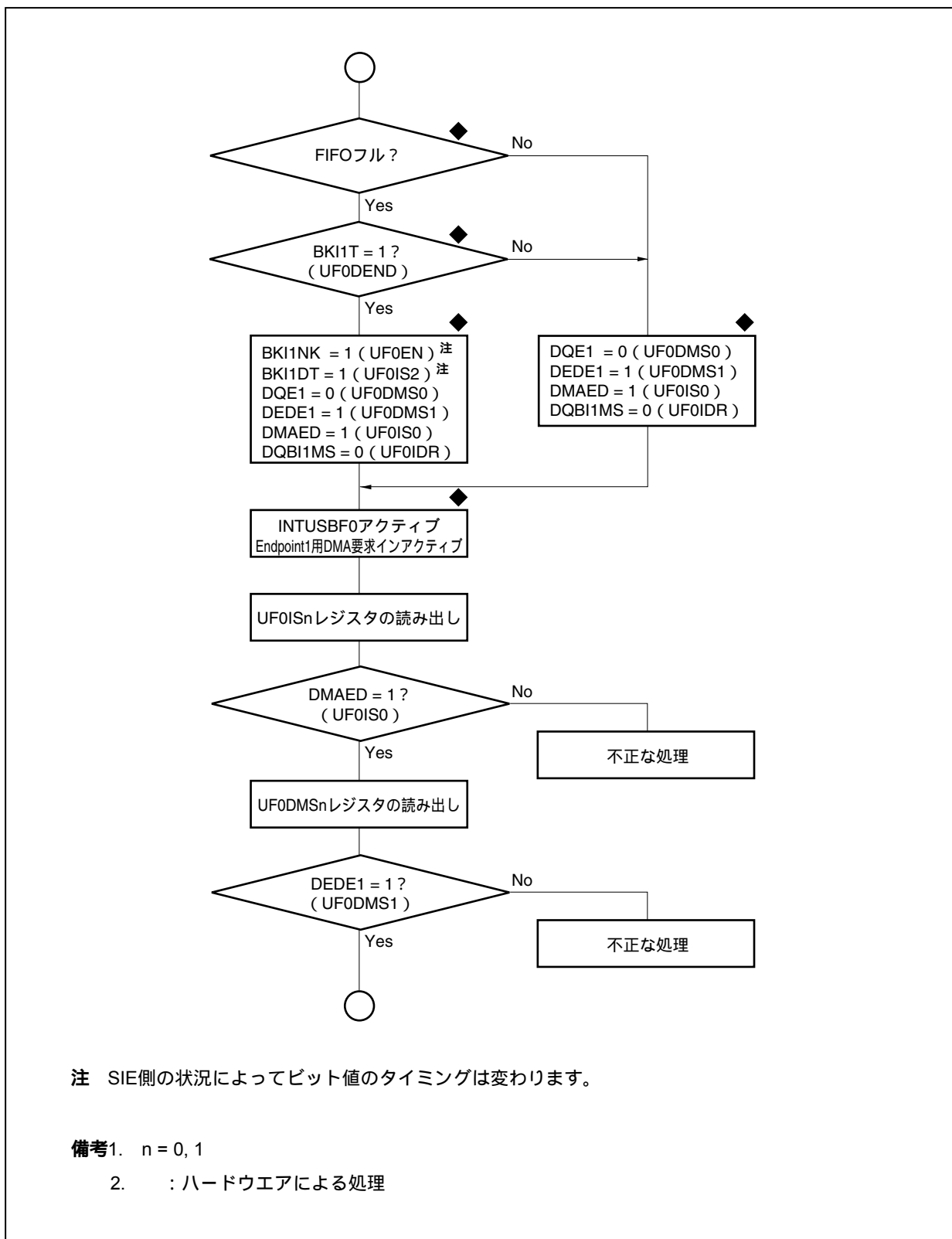


図20 - 33 バルク転送 (IN) によるDMA処理 (3/4)

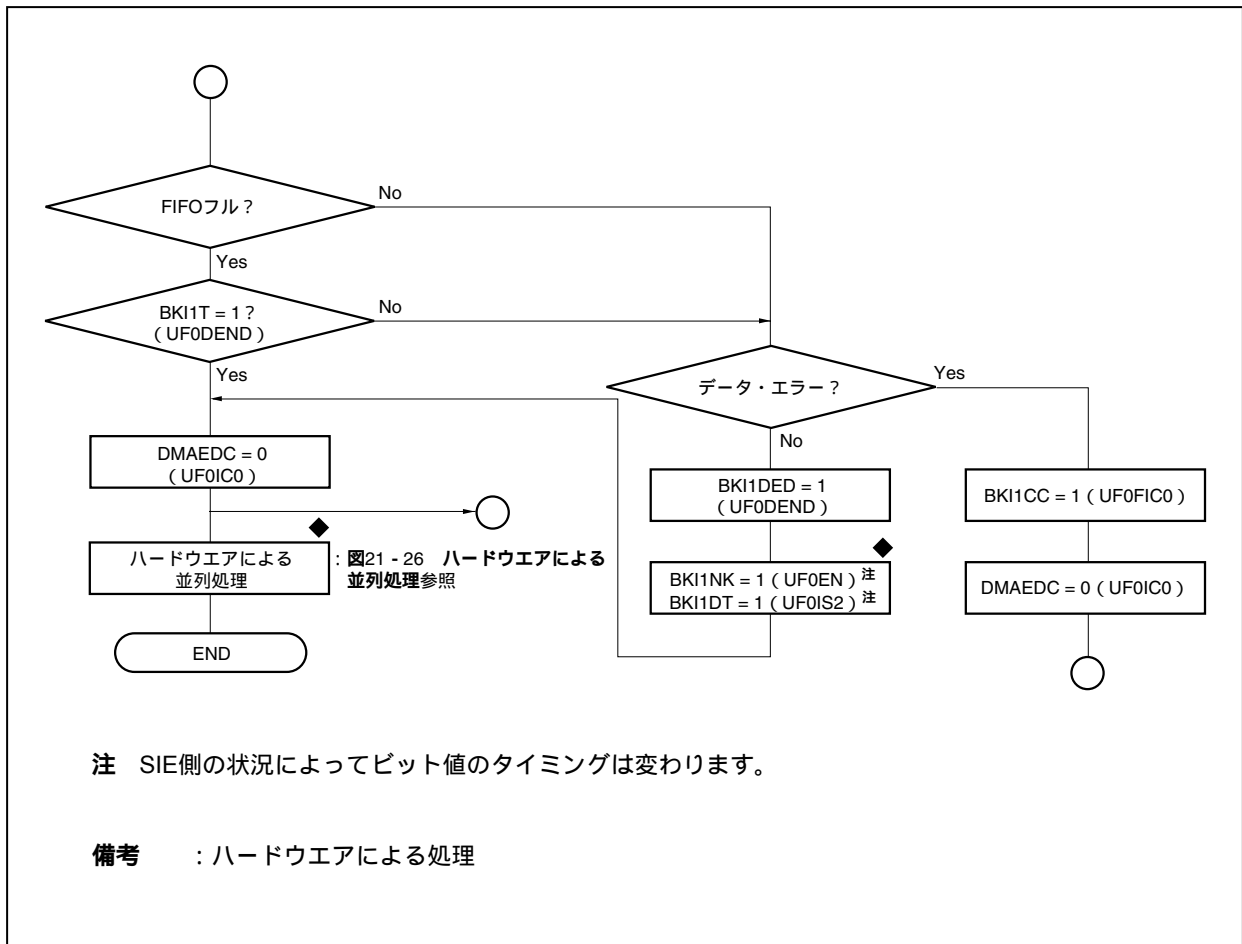


注 SIE側の状況によってビット値のタイミングは変わります。

備考1. n = 0, 1

2. : ハードウェアによる処理

図20 - 33 バルク転送 (IN) によるDMA処理 (4/4)



第21章 USBホスト・コントローラ (USBH)

V850ES/JG3-U, V850ES/JH3-Uは、Universal Serial Bus Specificationに準拠したUSBホスト・コントローラ (USBH) を内蔵しています。トークン・ベースのプロトコルにより、外部ファンクション・デバイスとの間でポーリング方式のデータ通信を行います。

21.1 概 要

Universal Serial Bus Specificationに準拠

12 Mbps (フルスピード) 転送に対応

OHCI (Open Host Controller Interface) 1.0aをサポート

(ただしUSBポートをDisableからEnableへ遷移させる制御に制限あり)

コントロール転送, バルク転送, インタラプト転送, アイソクロナス転送^注をサポート

ルート・ハブ機能を内蔵し, 1 chのダウン・ストリーム・ポートを搭載

シェアード・メモリとしてSRAM (8 Kバイト) を使用

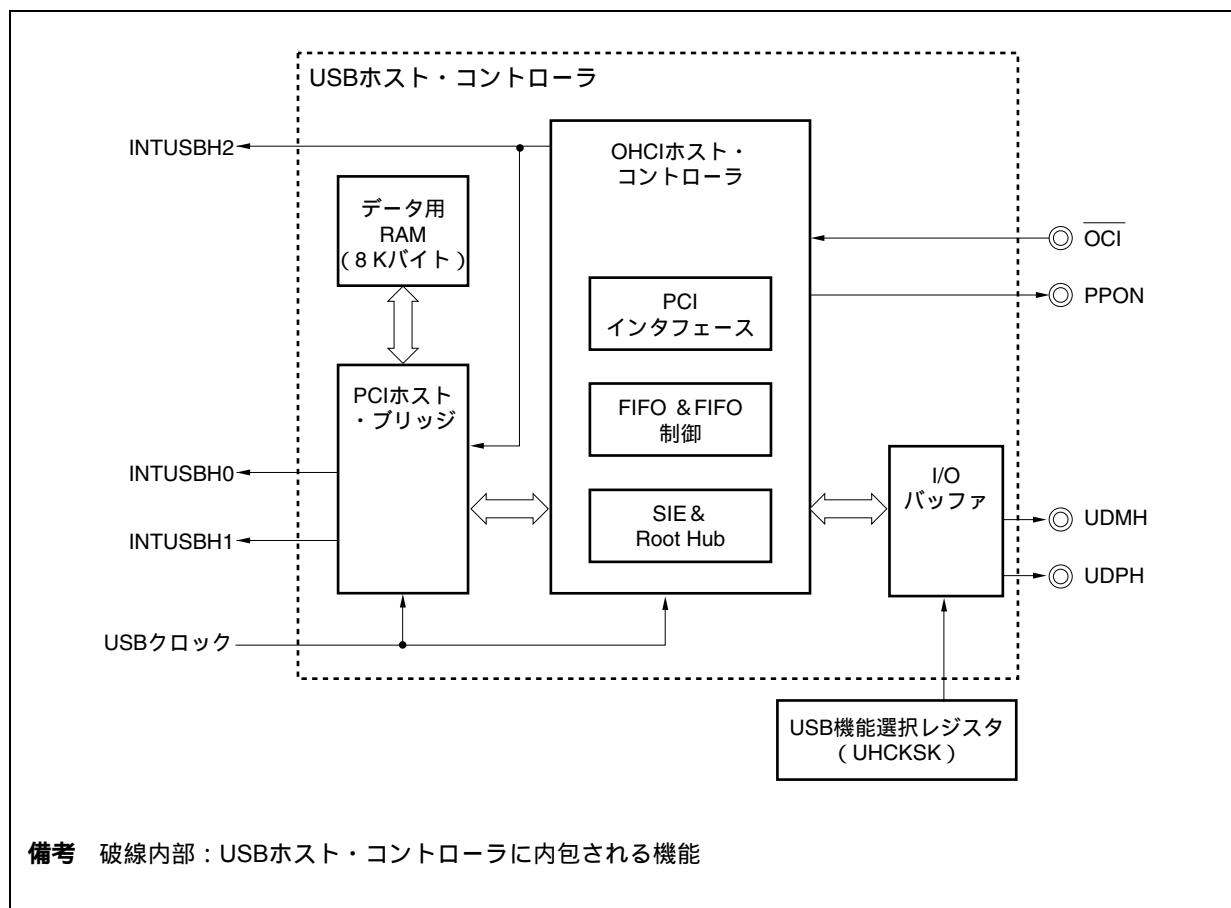
クロック: 内部CLK (6 MHz × 8週倍 = 48 MHz) あるいはUCLK端子からのクロック入力 (f_{USB} = 48 MHz)

注 アイソクロナス転送は、システム性能への負荷が大きい転送であり、事前に対象システムで十分な性能評価を実施してください。

21.2 構 成

21.2.1 ブロック図

図21-1 USBホスト・コントローラのブロック図



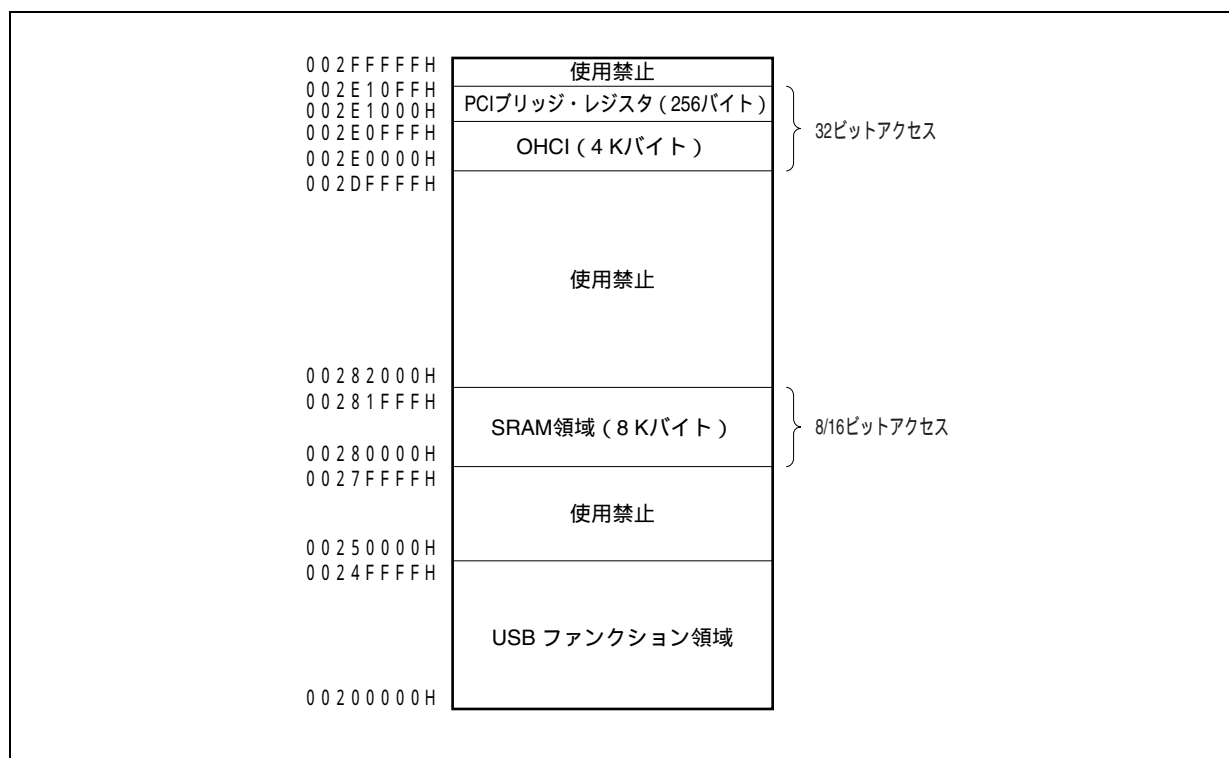
21.2.2 USBホスト・コントローラ・メモリ・マップ

USBホスト・コントローラは、マイコン内部でCS1空間に割り当てられています (CS1は外部端子としては存在しません)。USBホスト・コントローラを中心機能であるOHCIホスト・コントローラは、CS1空間のSRAMインタフェースを経由し、内部PCIバス・ブリッジを経由して接続されています。CPUと内部PCIバス・ブリッジは同一のメモリをシェアし、CPUメモリ空間とPCIメモリ空間がリンクします。この関係は、PCIホスト・ブリッジ・レジスタと、PCIホスト・ブリッジ・レジスタを介してアクセスされるPCIコンフィグレーション・レジスタにより定義されます。

表21-1 CPUメモリ空間の分割

アドレス	アクセス	領域
00280000H-00281FFFH	8/16ビット	SRAM領域
002E0000H-002E0FFFH	32ビット	OHCI領域
002E1000H-002E10FFFH		PCIバス・ブリッジ・レジスタ領域

図21-2 USBホスト・コントローラ・メモリ・マップ



21. 2. 3 データ・アクセス注意事項

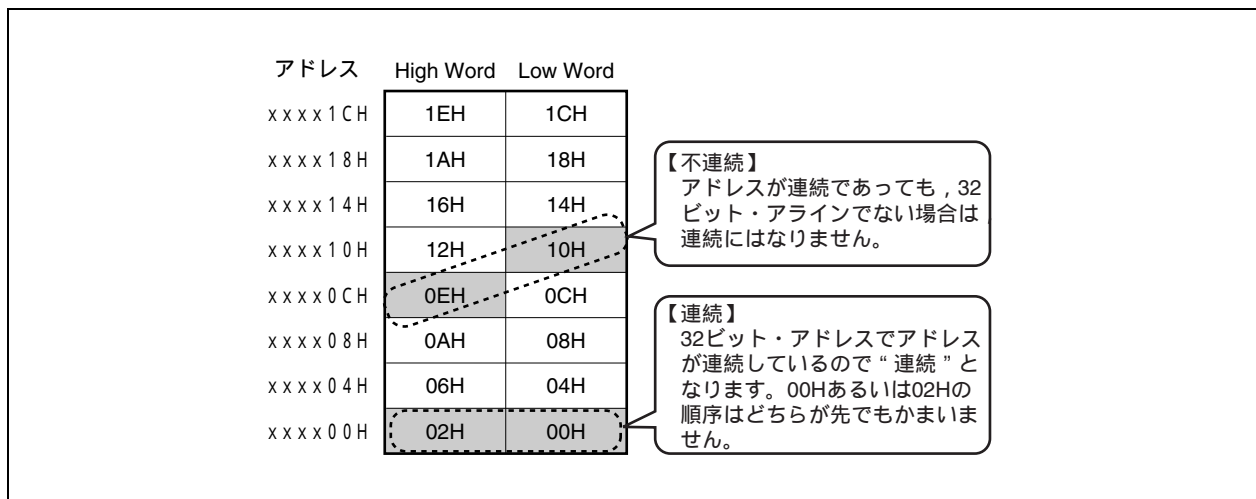
V850ES/JG3-U, V850ES/JH3-Uは、16ビット・バス幅でPCIバス・ブリッジを介してUSBホスト・コントローラと接続されています。OHCI領域、PCIバス・ブリッジ・レジスタ領域は、32ビット単位でのアクセスになっており、CPU側からの16ビット・サイクルを受けて32ビット・サイクルに置き換え、ターゲットに対してサイクル起動を行います。

表21 - 2にしたがって必ず32ビット単位でのアクセスしてください。エラーが発生するデータ・アクセスをした場合、PCIサイクル・エラー (INTUSBH1) が発生します。また、ミスアライン・アクセスはアドレスが不連続となるため禁止です。32ビット・アラインでの連続のときのみ連続アドレスとして認識され、正常動作します (図21 - 3参照)。

表21 - 2 OHCI, PCIバス・ブリッジ・レジスタ領域 (32ビット・アクセス) 方法

アクセス	アドレス		コマンド	
	1回目サイクル	2回目サイクル	1回目サイクル	2回目サイクル
正常	連続		ライト	ライト
正常	連続		リード	リード
エラー	不連続		ライト	ライト
エラー	不連続		リード	リード
エラー	連続または不連続		ライト	リード
エラー	連続または不連続		リード	ライト
エラー	32ビット・アクセス	なし	ライト (8ビット)	
エラー	連続または不連続		ライトまたはリード	ライト (8ビット)
エラー	アクセス禁止領域		-	-

図21 - 3 ミスアライン・アクセス時の例



21.3 外部回路構成

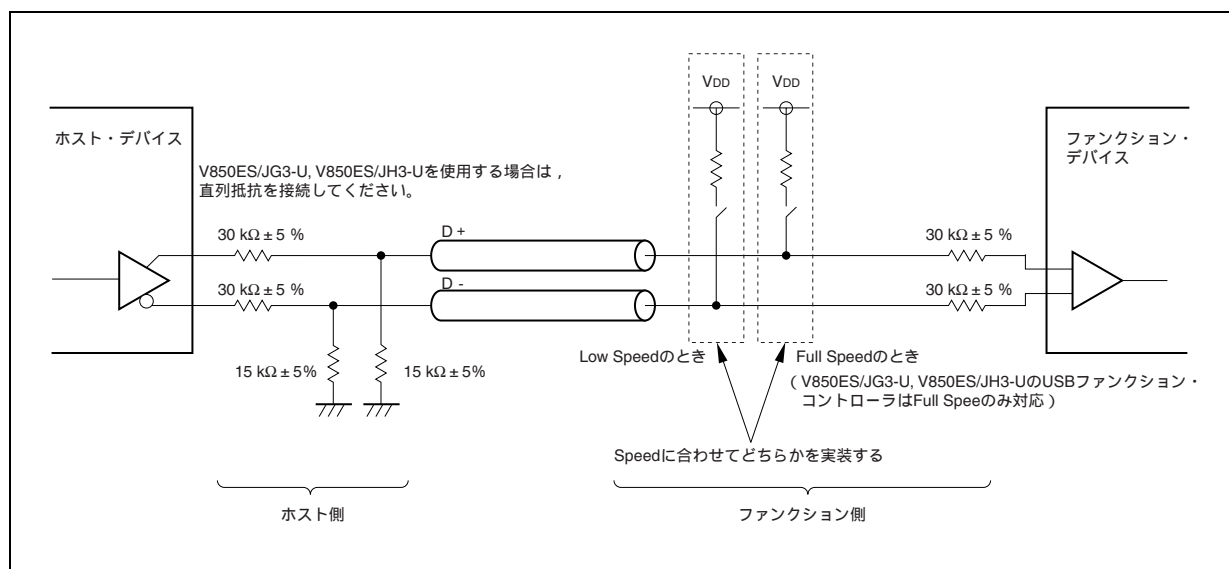
21.3.1 概要

USB伝送において、ホスト・コントローラとファンクション・コントローラが対向して通信する場合、相手を識別するために、USB信号 (D+ / D-) にプルアップ、プルダウン抵抗を接続する必要があります。また V850ES/JG3-U, V850ES/JH3-Uでは、直列抵抗を接続する必要もあります。

V850ES/JG3-U, V850ES/JH3-Uは、これらのプルアップ、プルダウン抵抗、直列抵抗を内蔵していませんので、V850ES/JG3-U, V850ES/JH3-Uの外部で接続してください。

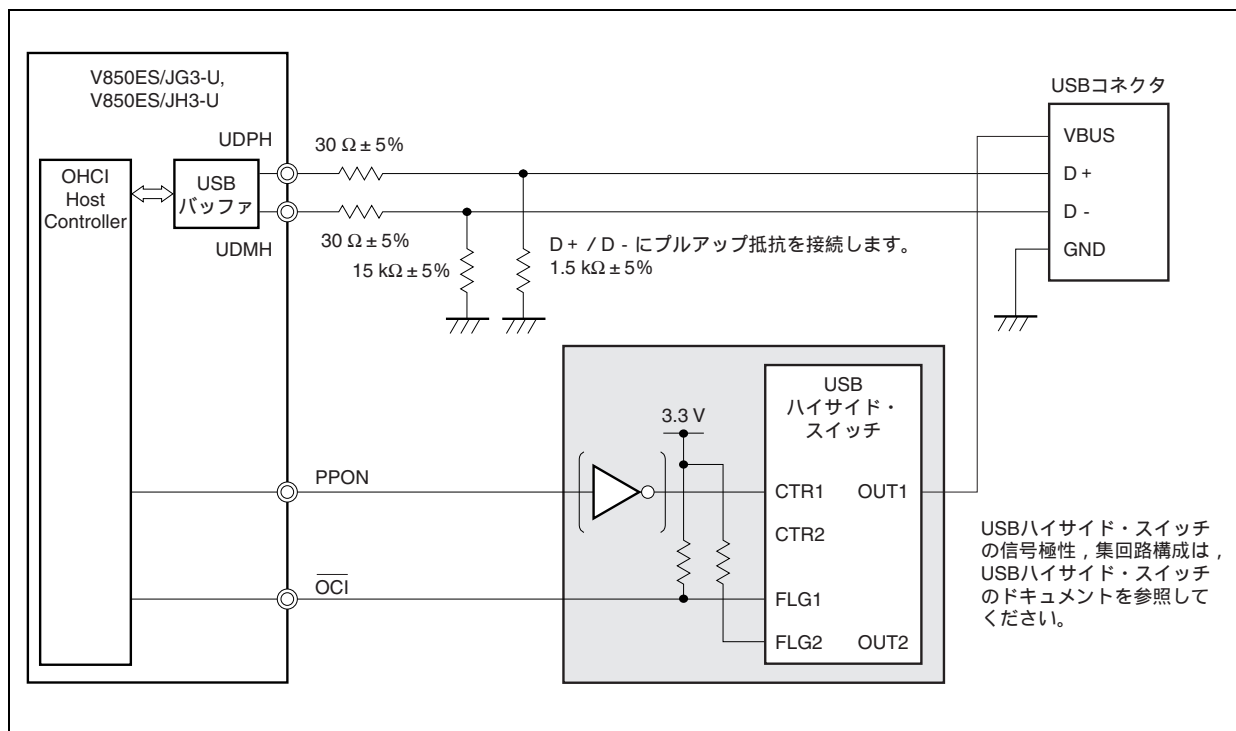
図21 - 4はUSB伝送路の構成概略図です。詳しい外付け構成については、21.3.2 接続構成にて説明します。

図21 - 4 USB伝送路のプルアップ/プルダウン/直列抵抗の概略構成



21.3.2 接続構成

図21-5 USBホスト・コントローラの接続例



(1) D+ / D- への直列抵抗の接続

V850ES/JG3-U, V850ES/JH3-UのUSBホスト・コントローラのD+ / D- 端子 (UDPH, UDMH) には, $30\ \Omega \pm 5\%$ の抵抗を直列に接続してください。これを接続しないとインピーダンス規格を満たさないだけでなく, 出力波形が乱れる原因となります。

直列抵抗は, なるべくV850ES/JG3-U, V850ES/JH3-Uに近い位置に配置し, 直列抵抗からUSBコネクタまでは, D+ / D- のインピーダンスが等しくなるよう, なるべく等長配線してください(差動で $90\ \Omega \pm 5\%$ を推奨します)。

(2) D+ / D- のプルダウン接続

D+ / D- 端子 (UDPH, UDMH) は, $15\ k\Omega \pm 5\%$ でGNDにプルダウンしてください。

この場合, ファンクション・デバイス未接続と同様の構成になります。

21.3.3 USB電源について

(1) 過電流検出, 電源制御について

V850ES/JG3-U, V850ES/JH3-Uには,USBポートの過電流検出回路と電源制御回路は内蔵していません。これらの機能をシステムでサポートする場合には,USBハイサイド・スイッチなど外部回路で構成し \overline{OCI} ,PPON端子に接続してください。

USBポートの過電流検出と電源制御を行うための外部回路制御に用いる \overline{OCI} ,PPON信号に関する動作について次に示します。

表21 - 3 \overline{OCI} /PPON信号の説明

端子	入出力	レベル	意味
\overline{OCI}	入力	1	オーバ・カレントを検出していない
		0	オーバ・カレントを検出した
PPON	出力	1	VBUSへの電源供給ON
		0	VBUSへの電源供給OFF

図21 - 5は,過電流検出,電源(VBUS)制御のための接続例です。USBコネクタとの接続構成にもよりますが,これによりUSBバス未使用時にそのポートのVBUSを停止させ電力を削減させることが可能になります。対向するUSBファンクション・デバイスがBus-Poweredタイプである場合は,この接続例のように,ハイサイド・スイッチを使用することを推奨します。

(2) ルートHubレジスタ設定条件によるVBUSの制御仕様

VBUSを制御するためのPPSビットの制御はHcRhDescriptorA, HcRhDescriptorBレジスタ(RootHub制御系レジスタ)の設定により変化します。

ポートごとのVBUS制御を行う場合,HcRhDescriptorA.NPSビット = 1, HcRhDescriptorA.PSMビット = 1に設定する必要があります。

21.4 注意事項

(1) クロック精度

USBホスト・コントローラを動作させるには、USBクロックとして、内部クロック（外部6 MHz×内部8 通倍 = 内部48 MHz）あるいは外部クロック（UCLK端子への外部クロック入力（ $f_{USB} = 48 \text{ MHz}$ ））が必要です。USBクロックには、内部クロック使用時には、 $6 \text{ MHz} \pm 500 \text{ ppm}$ 以下の精度の発振子を使用してください。また外部クロック使用時には、UCLK端子に $48 \text{ MHz} \pm 500 \text{ ppm}$ 以下の精度のクロックを供給してください。USBクロックの精度が低下すると、送信データがUSB規格を満たすことができなくなります。

(2) HUB接続

HUB接続の場合には、外部クロック（水晶発振器）での使用を推奨します。内部クロックでは、マイコン内部回路でのクロック・ジッタの影響により、USB規格を満たすことができない可能性があります。内部クロック使用時には、ホスト機器と1対1接続を推奨します。

21.5 制御レジスタ

21.5.1 USB制御レジスタ

(1) USBクロック選択レジスタ (UCKSEL)

USBコントローラの動作クロックを選択するレジスタです。

UCKSELレジスタは、USBファンクション・コントローラと兼用しております。詳細は、20.6.1(1) USBクロック選択レジスタ (UCKSEL) を参照してください。

(2) USB機能選択レジスタ (UHCKMSK)

USBコントローラの機能を選択するレジスタです。

UHCKMSKレジスタは、USBファンクション・コントローラと兼用しております。詳細は、20.6.1(3) USB機能選択レジスタ (UHCKMSK) を参照してください。

21.6 PCIホスト・ブリッジ

21.6.1 PCIホスト・ブリッジの機能

PCIホスト・ブリッジは、CPUシステムからPCIを介してOHCIホスト・コントローラへ接続するブリッジ回路で、次の機能を持っています。

PCIマスタ・サイクル制御

CPU (MEMC) からのPCIバス・アクセス要求に対し
PCI Configuration Register Read/Write Single Cycle
PCI Memory Read/Write Cycle
を発行します。

PCISレーブ・サイクル制御

PCIバスからのSDRAM領域、およびSRAM領域へのアクセスに対し、PCI Memory Read/Write Cycle (最大8ダブル・ワードのバースト転送)を受け付けます。

PCIエラー処理

Master Abort, Target Abort, $\overline{\text{PERR}}$ 受信, $\overline{\text{SERR}}$ 受信に対しエラー割り込み (INTUSBH0) を発生します。
(エラー直前のアドレスを保持)

PCIアドレス変換制御

PCIバスに対して、CPUからの物理アドレスを変換する、PCI Window Base Address Registerを備えています。

V850ES/JG3-U, V850ES/JH3-U内蔵メモリコントローラバス制御

メモリ・コントローラ・バス経由のCPUからのアクセスに対して、ハードウェア・ウエイト (WAIT) によりバス・サイクルを制御します。

SRAM制御

シェアード・メモリとして8 KバイトのSRAMを内蔵しています。主にディスクリプタを配置するために使用します。CPU (MEMC) とPCIバスの双方からのSRAM領域アクセスを調停 / 制御します。

21.6.2 PCIホスト・ブリッジ・レジスタ

PCIブリッジは、次のPCIホスト・ブリッジ・レジスタを備えています。

32ビット単位でのみアクセスできます。

表21-4 PCIホスト・ブリッジ・レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
002E1000H	PCIコンフィグレーション・データ・レジスタ	PCI_CONFIG_DATA	R/W					不定
002E1004H	PCIコンフィグレーション・アドレス・レジスタ	PCI_CONFIG_ADD	R/W					00000000H
002E1008H	PCIコントロール・レジスタ1	PCI_CONTROL1	R/W					07000300H
002E100CH	PCIコントロール・レジスタ2	PCI_CONTROL2	R/W					00000077H
002E1014H	PCIウィンドウズ・ベース・アドレス・レジスタ	PCI_WIN_BASE	R/W					002E0000H
002E1018H	PCI割り込みステータス・レジスタ	PCI_INT_STATUS	R/W					00000000H
002E101CH	PCI割り込みコントロール・レジスタ	PCI_INT_CTL	R/W					00000000H
002E1020H	PCIバスエラー・アドレス・レジスタ	PCI_ERR_ADD	R/W					00000000H
002E1024H	バス・ブリッジ・コントロール・レジスタ	BGR_CTL	R/W					00000016H
002E1050H	SRAM_BASEレジスタ	SRAM_BASE	R/W					00280000H

(1) PCIコンフィグレーション・データ・レジスタ (PCI_CONFIG_DATA)

初期値：不定		R/W	アドレス：002E1000H	
PCI_CONFIG_DATA		31	0	
		cdata [31:0]		
ビット位置	ビット名	意味		
31-0	cdata[31:0]	PCI_CONFIG_DATAレジスタでPCI Configuration Registerにアクセスできます。 先にPCI_CONFIG_ADDレジスタの設定が必要です。		

(2) PCIコンフィグレーション・アドレス・レジスタ (PCI_CONFIG_ADD)

初期値 : 0000 0000H R/W アドレス : 002E1004H		
PCI_CONFIG_ADD	31	0
	cadd [31:0]	
ビット位置	ビット名	意味
31-0	cadd [31:0]	<p>PCI Configuration Registerのアドレスを設定します。 【PCI Configuration Address Registerの設定方法】</p> <p style="text-align: center;"> 31 11 10 8 7 2 1 0 0 0 </p> <p style="text-align: center;"> IDSEL指定 機能番号 レジスタ番号 </p> <ul style="list-style-type: none"> ・レジスタ番号 : PCI Configuration Register の番号を指定します。 ・機能番号 : PCI Multi Function Device に対する機能番号を指定します。 ・IDSEL 指定 : アクセスする PCI Device の IDSEL 信号を選択します。 <p>PCI ホスト・ブリッジは IDSEL 信号を AD[31:11]で代用するため、PCI バスに接続している PCI デバイスへの Configuration アクセスは、各々の IDSEL 端子に接続している AD 信号に対応するビットのどれか 1 ビットだけ設定します。</p> <p>V850ES/JG3-U, V850ES/JH3-U では、IDSEL 端子には AD31 信号を接続していますので、cadd31 ビットをセット (1) することで PCI デバイス (OHCI ホスト・コントローラ) へアクセス可能になります。</p> <p>【PCI Configuration Registerのアクセス方法】</p> <p>次の手順に従って、PCI バスの Configuration Register にアクセスできます。</p> <ul style="list-style-type: none"> ・ PCI_CONFIG_ADD レジスタ設定 Configuration Cycle のアドレスを設定します。 ・ PCI_CONFIG_DATA レジスタ設定 PCI_CONFIG_ADD に設定したアドレスへのリード・アクセスは、PCI_CONFIG_DATA レジスタから読み出すことができます。また、ライト・アクセスは PCI_CONFIG_DATA に書き込むことで実行できます。

(3) PCIコントロール・レジスタ1 (PCI_CONTROL1)

初期値 : 0700 0300H R/W アドレス : 002E1008H

PCI_CONTROL1	31	30	29	28	27	26	25	24
	pci_parkcnt7	pci_parkcnt6	pci_parkcnt5	pci_parkcnt4	pci_parkcnt3	pci_parkcnt2	pci_parkcnt1	pci_parkcnt0
	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	pci_bpmode
	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	pci_req_en1	pci_req_en0
	7	6	5	4	3	2	1	0
	0	0	pci_pchken	pci_reset	sram_en	sdram_en	mem_en	0

ビット位置	ビット名	意味
31-24	pci_parkcnt [7:0]	PCI Bus Parking Timer Bus Parkingに移行する時間を設定します。FRAME = 1 & IRDY = 1でカウントを開始します。 pci_parkcnt[7:0]ビットは初期値のまま変更する必要はありません。
16	pci_bpmode	PCI Bus Parking Mode 0 : Bus Parking Master は、この V850ES/JG3-U, V850ES/JH3-U 限定 (初期値) 1 : Bus Parking Master は、最後にアクセスしたマスタ pci_bpmode ビットは初期値のまま変更する必要はありません。
9, 8	pci_req_en [1:0]	PCI Request Enable pci_req_en0 ビットは、常に "1" となります。 0 : Request 無効 (初期値) 1 : Request 有効 PCI リクエストを行う際には、セット (1) してください。
5	pci_pchken	PCI Parity Check Enable 0 : PCI バス上の Parity Check を無効とする (初期値) 1 : PCI バス上の Parity Check を有効とする pci_pchken ビットは初期値のまま変更する必要はありません。
4	pci_reset	PCI Reset 0 : PCI バスはリセット状態 (初期値) 1 : PCI バスはリセット解除 OHCI ホスト・コントローラへアクセスする際には、セット (1) してください。
3	sram_en	SRAM 領域 Enable 0 : PCI バスからの SRAM 領域へのアクセスに回答しません (初期値) 1 : PCI バスからの SRAM 領域へのアクセスに回答します OHCI ホスト・コントローラから SRAM へアクセスを開始する際には、セット (1) してください。
2	sdram_en	SDRAM 領域 Enable 0 : PCI バスからの SDRAM 領域へのアクセスに回答しません (初期値) 1 : PCI バスからの SDRAM 領域へのアクセスに回答します OHCI ホスト・コントローラから SDRAM へアクセスを開始する際には、セット (1) してください。
1	mem_en	PCI メモリ領域 Enable 0 : PCI Memory Area への CPU からのアクセスを禁止します (初期値) 1 : PCI Memory Area への CPU からのアクセスを許可します OHCI ホスト・コントローラの OHCI レジスタへアクセスする際には、セット (1) してください。

(4) PCIコントロール・レジスタ2 (PCI_CONTROL2)

初期値 : 0000 0077H R/W アドレス : 002E100CH

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	wbuf_busy
7	6	5	4	3	2	1	0
0	wburst_size2	wburst_size1	wburst_size0	0	rburst_size2	rburst_size1	rburst_size0

ビット位置	ビット名	意味																																								
8	wbuf_busy	PCI Write Buffer Busy PCI Target (SDRAM) Write時のWrite Bufferのデータ状態を示します。 0 : Write BufferにSDRAM/SRAMへのライト・データはありません。 1 : Write BufferにSDRAM/SRAMへのライト・データが残っています。 wbuf_busyビットは、リードのみ可能です。																																								
6-4	wburst_size [2:0]	PCI Write Burst Max Size PCI Target (SDRAM) Write時の最大バースト長を設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th colspan="3">wburst_size</th><th>PCI Target Write時の最大バースト長</th></tr> <tr> <th>2</th><th>1</th><th>0</th><td></td></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>Single転送のみ対応</td></tr> <tr> <td>0</td><td>0</td><td>1</td><td>2バースト</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>3バースト</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>4バースト</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>5バースト</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>6バースト</td></tr> <tr> <td>1</td><td>1</td><td>0</td><td>7バースト</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>8バースト (初期値)</td></tr> </tbody> </table> wburst_size[2:0]ビットは初期値のまま変更する必要はありません。	wburst_size			PCI Target Write時の最大バースト長	2	1	0		0	0	0	Single転送のみ対応	0	0	1	2バースト	0	1	0	3バースト	0	1	1	4バースト	1	0	0	5バースト	1	0	1	6バースト	1	1	0	7バースト	1	1	1	8バースト (初期値)
wburst_size			PCI Target Write時の最大バースト長																																							
2	1	0																																								
0	0	0	Single転送のみ対応																																							
0	0	1	2バースト																																							
0	1	0	3バースト																																							
0	1	1	4バースト																																							
1	0	0	5バースト																																							
1	0	1	6バースト																																							
1	1	0	7バースト																																							
1	1	1	8バースト (初期値)																																							
2-0	rburst_size [2:0]	PCI Read Burst Max Size PCI Target (SDRAM) Read時の最大バースト長を設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th colspan="3">rburst_size</th><th>PCI Target Read時の最大バースト長</th></tr> <tr> <th>2</th><th>1</th><th>0</th><td></td></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>Single転送のみ対応</td></tr> <tr> <td>0</td><td>0</td><td>1</td><td>2バースト</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>3バースト</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>4バースト</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>5バースト</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>6バースト</td></tr> <tr> <td>1</td><td>1</td><td>0</td><td>7バースト</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>8バースト (初期値)</td></tr> </tbody> </table> rburst_size[2:0]ビットは初期値のまま変更する必要はありません。	rburst_size			PCI Target Read時の最大バースト長	2	1	0		0	0	0	Single転送のみ対応	0	0	1	2バースト	0	1	0	3バースト	0	1	1	4バースト	1	0	0	5バースト	1	0	1	6バースト	1	1	0	7バースト	1	1	1	8バースト (初期値)
rburst_size			PCI Target Read時の最大バースト長																																							
2	1	0																																								
0	0	0	Single転送のみ対応																																							
0	0	1	2バースト																																							
0	1	0	3バースト																																							
0	1	1	4バースト																																							
1	0	0	5バースト																																							
1	0	1	6バースト																																							
1	1	0	7バースト																																							
1	1	1	8バースト (初期値)																																							

(5) PCI ウィンドウ・ベース・アドレス・レジスタ (PCI_WIN_BASE)

初期値 : 002E 0000H R/W アドレス : 002E1014H

	31	30	29	28	27	26	25	24
PCI_WIN_BASE	p_base23	p_base22	p_base21	p_base20	p_base19	p_base18	p_base17	p_base16
	23	22	21	20	19	18	17	16
	p_base23	p_base22	p_base21	p_base20	p_base19	p_base18	p_base17	p_base16
	15	14	13	12	11	10	9	8
	p_base15	p_base14	p_base13	p_base12	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31-12	p_base [31:12]	PCI Window Base Address Register PCI Windowを介してアクセスするPCI空間の上位アドレスPCI Window Base Addressを設定します。 PCI Windowを介して、PCIバス・メモリ空間へのメモリ・アクセスを行うとき、PCI_WIN_BASEレジスタの設定によって、4 KバイトのPCIバス・メモリ空間のうち任意の領域にアクセスが可能となります。

(6) PCI割り込みステータス・レジスタ (PCI_INT_STATUS)

PCI_INT_STATUSレジスタで、PCIホスト・ブリッジから出力されるINTUSBH0, INTUSBH1信号の発生要因を知ることができます。なお、inta, int_smmi, int_pmeの割り込み要因のクリア (0) は発生元で行います。serr, perr, mabort, tabortの割り込み要因はデバッグ時のみ使用され通常は使用しません。

各割り込み要因を有効にする方法は、次項のPCI_INT_CTLレジスタで説明します。

(1/2)

初期値 : 0000 0000H		R/W	アドレス : 002E1018H					
PCI_INT_STATUS	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
0	0	0	0	int_pme	int_smmi	0	inta	
7	6	5	4	3	2	1	0	
0	0	0	0	serr	perr	mabort	tabort	

ビット位置	ビット名	意味
11	int_pme	PCI Interrupt PME Status 0 : 割り込み要因はありません 1 : PMEによる割り込み発生 割り込み要因のクリア (0) はPME発生元にて行います。 int_pmeビットは、リードのみ可能です。
10	Int_smmi	PCI Interrupt SMMI Status 0 : 割り込み要因はありません 1 : SMMIによる割り込み発生 割り込み要因のクリア (0) はSMMI発生元にて行います。 Int_smmiビットは、リードのみ可能です。
8	inta	PCI Interrupt INTA Status 0 : 割り込み要因はありません 1 : INTAによる割り込み発生 割り込み要因のクリア (0) はINTA発生元にて行います。 intaビットは、リードのみ可能です。
3	serr	PCI Host Bridge System Error Interrupt Status 0 : 割り込み要因はありません 1 : System Error検出 “1” を書き込むと、割り込み要因がクリア (0) されます。 System Error割り込みは、デバッグ用で通常時は使用しません。
2	perr	PCI Host Bridge Parity Error Interrupt Status 0 : 割り込み要因はありません 1 : Parity Error検出 “1” を書き込むと、割り込み要因がクリア (0) されます。 Parity Error割り込みは、デバッグ用で通常時は使用しません。

ビット位置	ビット名	意 味
1	mabort	PCI Host Bridge Master Abort Interrupt Status 0 : 割り込み要因はありません 1 : Master Abort受信 “ 1 ” を書き込むと、割り込み要因がクリア (0) されます。 Master Abort割り込みは、デバッグ用で通常時は使用しません。
0	tabort	PCI Host Bridge Target Abort Interrupt Status 0 : 割り込み要因はありません 1 : Target Abort受信 “ 1 ” を書き込むと、割り込み要因がクリア (0) されます。 Target Abort割り込みは、デバッグ用で通常時は使用しません。

(7) PCI 割り込みコントロール・レジスタ (PCI_INT_CTL)

初期値 : 0000 0000H R/W アドレス : 002E101CH

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8
0	0	0	0	int_pme_en	int_smmi_en	0	inta_en
7	6	5	4	3	2	1	0
0	0	0	0	serrint_en	perrint_en	mabortint_en	tabortint_en

ビット位置	ビット名	意味
11	int_pme_en	PCI Interrupt PME Enable 0 : 割り込み要因として無効にする (初期値) 1 : 割り込み要因として有効にする
10	int_smmi_en	PCI Interrupt SMMI Enable 0 : 割り込み要因として無効にする (初期値) 1 : 割り込み要因として有効にする
8	inta_en	PCI Interrupt INTA Enable 0 : 割り込み要因として無効にする (初期値) 1 : 割り込み要因として有効にする
3	serrint_en	PCI Host Bridge System Error Interrupt Enable 0 : 割り込み要因として無効にする (初期値) 1 : 割り込み要因として有効にする この割り込みはデバッグ用で通常時は使用しません。
2	perrint_en	PCI Host Bridge Parity Error Interrupt Enable 0 : 割り込み要因として無効にする (初期値) 1 : 割り込み要因として有効にする この割り込みはデバッグ用で通常時は使用しません。
1	mabortint_en	PCI Host Bridge Master Abort Interrupt Enable 0 : 割り込み要因として無効にする (初期値) 1 : 割り込み要因として有効にする この割り込みはデバッグ用で通常時は使用しません。
0	tabortint_en	PCI Host Bridge Target Abort Interrupt Enable 0 : 割り込み要因として無効にする (初期値) 1 : 割り込み要因として有効にする この割り込みはデバッグ用で通常時は使用しません。

(8) PCIバス・エラー・アドレス・レジスタ (PCI_ERR_ADD)

初期値 : 0000 0000H R/W アドレス : 002E1020H		
PCI_ERR_ADD	31 err_adr [31:0] 0	
ビット位置	ビット名	意 味
31-0	err_adr [31:0]	<p>PCI Bus Error Address</p> <p>PCI_ERR_ADDレジスタは、次のエラー要因が発生したときのPCIアドレスを保持します。</p> <ul style="list-style-type: none"> ・ SERR入力 ・ Parity Error発生 ・ PCI Bus Master Abort発生 ・ PCI Bus Target Abort発生 <p>リード・アクセスすることで全ビットがクリア (0) されます。一度バス・エラーが起きて、PCI_ERR_ADDレジスタに値がセットされると、リードするか、新たなバス・エラーにより値が更新されるまで保持します。PCI_ERR_ADDレジスタはデバック時のみ使用され、通常は使用しません。</p>

(9) バス・ブリッジ・コントロール・レジスタ (BRG_CTL)

初期値 : 0000 0000H R/W アドレス : 002E1024H

BRG_CTL	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	cnv_err
	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	data_wait_en	no_wait_en
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	cnv_err_en

ビット位置	ビット名	意味
16	cnv_err	16-32ビット Cycle Convert Error BRG_CTLレジスタは、16-32ビット変換時に期待しないサイクル受信によるエラーが発生した時にセットされます。また、INTUSBH1として割り込みを通知します。cnv_err_enビットが“1”にセットされない限り、cnv_errビットはセットされることはありません。 0 : 割り込み要因なし 1 : Cycle Convert Error検出 INTUSBH1 (PCIサイクル・エラー) 割り込みはデバック用で、通常時は使用しません。
9	data_wait_en	Data Wait Enable CPUバス・サイクルの最後に1 Wait (Data Wait) を強制的に挿入します。 0 : Data Wait強制挿入なし (初期値) 1 : Data Wait強制挿入あり
8	no_wait_en	No Wait Enable CPUバス・サイクルのNo Wait動作を許可します。 0 : No Wait不許可 (必ず最低1 Waitが挿入される) (初期値) 1 : No Wait許可 (推奨) no_wait_enビットを“1” “0”へ変更する場合は、変更が反映されるまでのタイム・ラグを吸収するため、BRG_CTLレジスタを一度リードしてからライトすることを推奨します。なお、その際のリード値は正しくWait挿入されていない可能性があるため、値は読み捨ててください。
0	cnv_err_en	16-32ビット Cycle Convert Error Enable BRG_CTLレジスタは、割り込みマスクと割り込み要因クリアの機能を兼ねており、“0”に設定するとcnv_errがクリアされ、同時に割り込み要因をマスクします。 0 : 割り込み要因をクリアする (初期値) 1 : 割り込み要因として有効にする INTUSBH1 (PCIサイクル・エラー) 割り込みはデバック用で通常時は使用しません。

(10) SRAM_BASEレジスタ (SRAM_BASE)

初期値 : 0028 0000H R/W アドレス : 002E1050H

SRAM_BASE	31	30	29	28	27	26	25	24
	sram_base31	sram_base30	sram_base29	sram_base28	sram_base27	sram_base26	sram_base25	sram_base24
	23	22	21	20	19	18	17	16
	sram_base23	sram_base22	sram_base21	sram_base20	sram_base19	sram_base18	sram_base17	sram_base16
15	14	13	12	11	10	9	8	
0	0	0	0	0	0	0	0	
7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	

ビット位置	ビット名	意味
31-16	sram_base [31:16]	SRAM Area Base Address SRAM領域アクセス時のベース・アドレスを設定します。 SRAM_BASEレジスタは、PCI空間におけるSRAM領域のベース・アドレスを設定します。 SRAM_BASEレジスタの設定によって、PCIターゲットからのメモリ・アクセスが発生した場合、一致したアドレスに対して応答します。

21.7 OHCIホスト・コントローラ

21.7.1 OHCIホスト・コントローラの機能

OHCIホスト・コントローラは、次の機能を持っています。

- ・ OpenHCI Specification Release 1.0aに準拠
- ・ Universal Serial Bus Specification Revision 1.1に準拠
 - Full-Speed (12 Mbps) の転送をサポート
- ・ 1チャンネル・ルート・ハブを内蔵し、1つのダウン・ストリーム・ポートをサポート
- ・ USBクロック：48 MHz, PCIクロック：25~33 MHz
- ・ メモリ空間
 - 4 KバイトのPCIメモリ領域 (OHCI Operationalレジスタ) を配置
 - 256バイトのHost Controller Communication Area (HCCA) を配置
- ・ CPUとの通信
 - OHCIホスト・コントローラ内のOperationalレジスタと, Host Controller Communication Area (HCCA) 経由で通信

CPUとOHCIホスト・コントローラの間には、2つの通信チャンネルがあります。一つめの通信チャンネルはOHCI Operationalレジスタであり、この通信に対してはOHCIホスト・コントローラがターゲット (スレーブ) となります。PCIコンフィグレーション・レジスタ内のBASE_Address_Register (10H) が、OHCI Operationalレジスタへのポインタとなります。

また、OHCI Operationalレジスタ内には、Host Controller Communication Area (HCCA) と呼ばれるシェアード・メモリへのポインタがあり、このHCCAが2つめの通信チャンネルとなります。この通信に対してはOHCIホスト・コントローラがマスタとなります。

通信のためのディスクリプタ情報は、OHCI OperationalレジスタとHCCA領域で管理されます。

21.7.2 OHCIホスト・コンフィグレーション・レジスタ

OHCIホスト・コンフィグレーション・レジスタは、256バイトのレジスタ空間であり、OHCIホスト・コントローラに内蔵されています。CPUシステムからはPCIホスト・ブリッジ・レジスタ (PCI_CONFIG_DATA, PCI_CONFIG_ADD) 経由でアクセスされます。アドレスは21.2.2 USBホスト・コントローラ・メモリ・マップを参照してください。

表22 - 4 OHCIホスト・コンフィグレーション・レジスタ

アドレス	ビット	31									24	23								16	15														8	7										0
00H	Device ID											Vendor ID																																		
04H	Status											Command																																		
08H	Class Code														Revision ID																															
0CH	BIST						Header Code						Latency Timer						Cache Line Size																											
10H	Base Address Register																																													
14H	Reserved																																													
18H																																														
1CH																																														
20H																																														
24H																																														
28H																																	Reserved													
2CH	Subsystem ID											Subsystem Vendor ID																																		
30H	Reserved																																													
34H	Reserved																								Cap_ptr																					
38H	Reserved																																													
3CH	Max_lat						Min_Gnt						Interrupt Pin						Interrupt Line																											
40H	PMC											Next_Item_Ptr						Cap_ID																												
44H	Data						DMCSR_BSE						PMCSR																																	
E0H	Reserved																																													

(1) Vender ID , Device ID (Offset 00H)

初期値 : 0035 1033H R アドレス : 002E1050H		
	31	16
	Device ID [15:0]	
	15	0
	Vender ID [15:0]	
ビット位置	ビット名	意 味
31-16	Device ID [15:0]	デバイスの種類を示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するため使用されます。 0035H固定です。
15-0	Vender ID [15:0]	デバイスのベンダを示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するため使用されます。 1033H固定です。

(2) Command , Status (Offset 04H)

(1/2)

初期値 : 0210 0000H R/W

31	30	29	28	27	26	25	24
Detected Parity Error	Signaled System Error	Received Master Abort	Received Target Abort	Signaled Target Abort	Devsel Timing1	Devsel Timing0	Data Parity Detected
23	22	21	20	19	18	17	16
Fast Back to Back Capable	0	0	Capabilities	0	0	0	0
15	14	13	12	11	10	9	8
0	0	0	0	0	0	Fast Back to Back Enable	SERR Enable
7	6	5	4	3	2	1	0
Wait Cycle Control	Parity Error Response	VGA Pallet Snoop	Memory Write and Invalidate	Special Cycle	Bus Master	Memory Space	I/O Space

ビット位置	ビット名	意味
31	Detected Parity Error	パリティ・エラーのステータス・ビットです。アドレスまたはデータ・パリティ・エラーを検知した場合セット (1) されます。PCIバスからの "1" 書き込みによりクリア (0) されます。
30	Signaled System Error	SERRのステータス・ビットです。システム・エラーが発生した場合セット (1) されます。PCIバスからの "1" 書き込みによりクリア (0) されます。
29	Received Master Abort	マスタのマスタ・アボートのステータス・ビットです。マスタ動作がマスタ・アボートで終了した場合にセット (1) されます。PCIバスからの "1" 書き込みによりクリア (0) されます。
28	Received Target Abort	マスタのターゲット・アボートのステータス・ビットです。マスタ動作がターゲット・アボートで終了した場合にセット (1) されます。PCIバスからの "1" 書き込みでクリア (0) されます。
27	Signaled Target Abort	スレーブのターゲット・アボートのステータス・ビットです。スレーブ動作がターゲットで終了した場合にセット (1) されます。PCIバスからの "1" 書き込みによりクリア (0) されます。
26-25	Devsel Timing[1:0]	DEVSEL応答速度を示すフィールドです。 MediumModeのため "01" 固定となります。 Devsel Timing[1:0]ビットは、リードのみ可能です。
24	Data Parity Detected	マスタ動作時にパリティ・エラーを検出した場合にセット (1) されます。PCIバスからの "1" 書き込みによりクリア (0) されます。Parity Error Response (Command Register) が Disableの場合は "0" 固定となります。
23	Fast Back to Back Capable	Fast Back to Backに対応しているかを示すビットです。Fast Back to Backに対応しないため "0" 固定となります。 Fast Back to Back Capableビットは、リードのみ可能です。
22-21	-	Reserved (必ず "0" を書き込んでください)
20	Capabilities	Power Management Modeをサポートすることを示すビットです。"1" 固定となります。 Capabilitiesビットは、リードのみ可能です。
19-10	-	Reserved (必ず "0" を書き込んでください)
9	Fast Back to Back Enable	Fast Back to Backのイネーブル・ビットです。Host ControllerはFast Back to Backに対応していないため "0" 固定となります。 Fast Back to Back Enableビットは、リードのみ可能です。

ビット位置	ビット名	意味
8	SERR Enable	SERRのイネーブル・ビットです。システム・エラーをSERR信号に伝達させる場合には“1”に設定してください
7	Wait Cycle Control	Wait Cycle Controlのイネーブル・ビットです。Host ControllerはAddress/Data Steppingに対応しないため“0”固定となります。 Wait Cycle Controlビットは、リードのみ可能です。
6	Parity Error Response	Parity Error応答のイネーブル・ビットです。Parity Errorチェックを行う場合には“1”に設定してください。
5	VGA Pallet Snoop	VGA Pallet Snoopのイネーブル・ビットです。Host ControllerはVGA Pallet Snoopに対応しないため“0”固定となります。 VGA Pallet Snoopビットは、リードのみ可能です。
4	Memory Write and Invalidate	Memory Write and Invalidateのイネーブル・ビットです。Host ControllerはMemory Write and Invalidateに対応しないため“0”固定となります。 Memory Write and Invalidateビットは、リードのみ可能です。
3	Special Cycle	Special Cycleのイネーブル・ビットです。Host ControllerはSpecial Cycleに対応しないため“0”固定となります。 Special Cycleビットは、リードのみ可能です。
2	Bus Master	バス・マスタのイネーブル・ビットです。PCIバスに対しマスタ・アクセスを行うためのEnable信号であり、システム・バスのSRAMにアクセスする場合“1”に設定する必要があります。Host Controllerの初期化時に“1”を設定してください。
1	Memory Space	メモリ空間へのアクセス・イネーブル・ビットです。PCI規格におけるメモリ・アクセスを行うためのEnable信号であり、レジスタ・アクセスを行う場合“1”に設定する必要があります。Host Controllerの初期化時に“1”を設定してください。
0	I/O Space	I/O空間へのアクセス・イネーブル・ビットです。PCI規格におけるI/Oアクセスを行うためのEnable信号ですが、Host ControllerはI/Oアクセスを使用しないため“0”固定となります。 I/O Spaceビットは、リードのみ可能です。

(3) Revision ID , Class Code (Offset 08H)

初期値 : 0C03 1042H R

31	30	29	28	27	26	25	24
Base Class7	Base Class6	Base Class5	Base Class4	Base Class3	Base Class2	Base Class1	Base Class0
23	22	21	20	19	18	17	16
Sub Class7	Sub Class6	Sub Class5	Sub Class4	Sub Class3	Sub Class2	Sub Class1	Sub Class0
15	14	13	12	11	10	9	8
Program- ming I/F7	Program- ming I/F6	Program- ming I/F5	Program- ming I/F4	Program- ming I/F3	Program- ming I/F2	Program- ming I/F1	Program- ming I/F0
7	6	5	4	3	2	1	0
Revision ID7	Revision ID6	Revision ID5	Revision ID4	Revision ID3	Revision ID2	Revision ID1	Revision ID0

ビット位置	ビット名	意味
31-24	Base Class [7:0]	PCI規格における基本クラスを示すフィールドです (Class Code) 。 シリアル周辺バスのコントローラであるため、0CH固定となります。
23-16	Sub Class [7:0]	PCI規格におけるサブクラスを示すフィールドです (Class Code) 。 USBデバイスであるため、03H固定となります。
15-8	Programming I/F[7:0]	PCI規格におけるプログラム・インターフェースを示すフィールドです (Class Code) 。 OHCI仕様USBであるため、10H固定となります。
7-0	Revision ID [7:0]	Host Controllerのリビジョンを示すフィールドです (Class Code) 。 42H固定となります。

(4) Cache Line Size, Latency Timer, Header Type, BIST (Offset 0CH)

初期値 : 0000 0800H R/W

31	30	29	28	27	26	25	24
BIST7	BIST6	BIST5	BIST4	BIST3	BIST2	BIST1	BIST0
23	22	21	20	19	18	17	16
Header Type7	Header Type6	Header Type5	Header Type4	Header Type3	Header Type2	Header Type1	Header Type0
15	14	13	12	11	10	9	8
Latency Timer7	Latency Timer6	Latency Timer5	Latency Timer4	Latency Timer3	Latency Timer2	Latency Timer1	Latency Timer0
7	6	5	4	3	2	1	0
Cache Line Size7	Cache Line Size6	Cache Line Size5	Cache Line Size4	Cache Line Size3	Cache Line Size2	Cache Line Size1	Cache Line Size0

ビット位置	ビット名	意味
31-24	BIST[7:0]	セルフ・テスト用のフィールドです。 00H固定となります。 BIST[7:0]ビットは、リードのみ可能です。
23-16	Header Type [7:0]	Header Typeをシステムに通知するためのフィールドです。 PCIデバイスであるため00H固定となります。 特に、MultiFunctionは非対応のためビット23は“0”固定となります。 Header Type[7:0]ビットは、リードのみ可能です。
15-8	Latency Timer[7:0]	Latency Timerをシステムに通知するためのフィールドです。 下位2ビットは“00”固定です。 Latency Timer[1:0]ビットは、リードのみ可能です。
7-0	Cache Line Size[7:0]	Cache Line Sizeをシステムに通知するためのフィールドです。 00H固定となります。 Cache Line Size[7:0]ビットは、リードのみ可能です。

(5) OHCI Base Address (Offset 10H)

初期値 : 0000 0000H R/W

31	30	29	28	27	26	25	24
OHCI Base Address27	OHCI Base Address26	OHCI Base Address25	OHCI Base Address24	OHCI Base Address23	OHCI Base Address22	OHCI Base Address21	OHCI Base Address20
23	22	21	20	19	18	17	16
OHCI Base Address19	OHCI Base Address18	OHCI Base Address17	OHCI Base Address16	OHCI Base Address15	OHCI Base Address14	OHCI Base Address13	OHCI Base Address12
15	14	13	12	11	10	9	8
OHCI Base Address11	OHCI Base Address10	OHCI Base Address9	OHCI Base Address8	OHCI Base Address7	OHCI Base Address6	OHCI Base Address5	OHCI Base Address4
7	6	5	4	3	2	1	0
OHCI Base Address3	OHCI Base Address2	OHCI Base Address1	OHCI Base Address0	Prefetchable	Type1	Type0	Memory Space Indicator

ビット位置	ビット名	意味
31-4	OHCI Base Address [27:0]	ビット31-12にてOperational Registerのアドレスを指定します。 初期化時にシステムにより決定されたOperational RegisterのBase Address値を設定してください。ビット11-4は00H固定となります。 OHCI Base Address[7:0]ビットは、リードのみ可能です。
3	Prefetchable	Base Addressで指定するフィールドがメモリ空間であることを示すフィールドです。 “0”固定となります。フィールドがプリフェッチ禁止であることを示します。 Prefetchableビットは、リードのみ可能です。
2-1	Type[1:0]	Base Address Typeを示すフィールドです。“00”固定となります。 OHCI Base Addressが“32ビット空間の任意の位置”であることを示します。 Type[1:0]ビットは、リードのみ可能です。
0	Memory Space Indicator	Base Addressで指定するフィールドがメモリ空間であることを示すフィールドです。 “0”固定となります。 Memory Space Indicatorビットは、リードのみ可能です。

(6) SubSystem Vender ID, SubSystemID (Offset 2CH)

初期値 : 0133 1033H R

31	30	29	28	27	26	25	24
SubSystem ID15	SubSystem ID14	SubSystem ID13	SubSystem ID12	SubSystem ID11	SubSystem ID10	SubSystem ID9	SubSystem ID8
23	22	21	20	19	18	17	16
SubSystem ID7	SubSystem ID6	SubSystem ID5	SubSystem ID4	SubSystem ID3	SubSystem ID2	SubSystem ID1	SubSystem ID0
15	14	13	12	11	10	9	8
SubSystem Vender ID15	SubSystem Vender ID14	SubSystem Vender ID13	SubSystem Vender ID12	SubSystem Vender ID11	SubSystem Vender ID10	SubSystem Vender ID9	SubSystem Vender ID8
7	6	5	4	3	2	1	0
SubSystem Vender ID7	SubSystem Vender ID6	SubSystem Vender ID5	SubSystem Vender ID4	SubSystem Vender ID3	SubSystem Vender ID2	SubSystem Vender ID1	SubSystem Vender ID0

ビット位置	ビット名	意味
31-16	SubSystem ID[15:0]	デバイスの種類を示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するため使用されます。 0133H固定です。
15-0	SubSystem Vender ID [15:0]	デバイスのベンダを示すレジスタです。 PCI規格においてデバイスを動作させるドライバを選択するため使用されます。 1033H固定です。

(7) Capability Pointer (Offset 34H)

初期値 : 0000 0040H R

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
Capability Pointer7	Capability Pointer6	Capability Pointer5	Capability Pointer4	Capability Pointer3	Capability Pointer2	Capability Pointer1	Capability Pointer0

ビット位置	ビット名	意味
31-10	-	Reserved (必ず“0”を書き込んでください)
7-0	Capability Pointer[7:0]	40H固定となります。

(8) Interrupt Line, Interrupt Pin, Min gnt, Max Latency (Offset 3CH)

初期値 : 2A01 0100H R/W

31	30	29	28	27	26	25	24
Max Latency7	Max Latency6	Max Latency5	Max Latency4	Max Latency3	Max Latency2	Max Latency1	Max Latency0
23	22	21	20	19	18	17	16
Min Gnt7	Min Gnt6	Min Gnt5	Min Gnt4	Min Gnt3	Min Gnt2	Min Gnt1	Min Gnt0
15	14	13	12	11	10	9	8
Interrupt Pin7	Interrupt Pin6	Interrupt Pin5	Interrupt Pin4	Interrupt Pin3	Interrupt Pin2	Interrupt Pin1	Interrupt Pin0
7	6	5	4	3	2	1	0
Interrupt Line7	Interrupt Line6	Interrupt Line5	Interrupt Line4	Interrupt Line3	Interrupt Line2	Interrupt Line1	Interrupt Line0

ビット位置	ビット名	意味
31-24	Max Latency[7:0]	最大レイテンシを示します。2AH固定となります。 Max Latency[7:0]ビットは、リードのみ可能です。
23-16	Min Gnt[7:0]	最小グラント時間を示します。01H固定となります。 Min Gnt[7:0]ビットは、リードのみ可能です。
15-8	Interrupt Pin[7:0]	割り込み出力端子を示します。INTAであるため01H固定となります。 Interrupt Pin[7:0]ビットは、リードのみ可能です。
7-0	Interrupt Line[7:0]	割り込みラインを示します。00H固定となります。

(9) Capability Identifier, Next Item Pointer, Power Management Capabilities (Offset 40H)

初期値 : 7E02 0001H R

31	30	29	28	27	26	25	24
PME Support4	PME Support3	PME Support2	PME Support1	PME Support0	D2 Support	D1 Support	Aux Current2
23	22	21	20	19	18	17	16
Aux Current1	Aux Current0	DSI	0	PME CLK	Version2	Version1	Version0
15	14	13	12	11	10	9	8
Next Item Pointer7	Next Item Pointer6	Next Item Pointer5	Next Item Pointer4	Next Item Pointer3	Next Item Pointer2	Next Item Pointer1	Next Item Pointer0
7	6	5	4	3	2	1	0
Capability Identifier7	Capability Identifier6	Capability Identifier5	Capability Identifier4	Capability Identifier3	Capability Identifier2	Capability Identifier1	Capability Identifier0

ビット位置	ビット名	意味
31	PME Support[4:0]	D3 Cold状態をサポートしているかを示します (Power Management Capabilities)。D3 Cold状態をサポートしないため“0”固定となります。
30-27		PCI Power Stateのすべてのステート (D0-D3) でPMEをサポートすることを示します (Power Management Capabilities)。 “1111”固定となります。
26	D2 Support	PCI Power StateのD2に対応していることを示します (Power Management Capabilities)。 “1”固定となります。
25	D1 Support	PCI Power StateのD1に対応していることを示します (Power Management Capabilities)。 “1”固定となります。
24-22	Aux Current [2:0]	D3 coldステートからのPME割り込みアサートをサポートしていません (Power Management Capabilities)。 “000”固定となります。
21	DSI	Power Management使用の際に特殊な初期化が必要でないことを示します (Power Management Capabilities)。 “0”固定となります。
19	PME CLK	PME割り込み生成にPCLKが必要でないことを示します (Power Management Capabilities)。 “0”固定となります。
18-16	Version[2:0]	Power Managementのバージョンを示すフィールドです (Power Management Capabilities)。 Host Controllerにインプリされた回路構成に従い“010”固定となります。
15-8	Next Item Pointer[7:0]	Next Itemが存在しないことを示すフィールドです。 00H固定となります。
7-0	Capability Identifier[7:0]	Power Management Register IDを示すフィールドです。 01H固定となります。

(10) Power Management Control/Status, PMCSR Bridge Support Extensions (Offset 44H)

(1/2)

初期値 : 0000 0000H R/W

31	30	29	28	27	26	25	24
Data7	Data6	Data5	Data4	Data3	Data2	Data1	Data0
23	22	21	20	19	18	17	16
BPCC Enable	B2_B3	0	0	0	0	0	0
15	14	13	12	11	10	9	8
PME Status	Data Scale1	Data Scale0	Data Select3	Data Select2	Data Select1	Data Select0	PME Enable
7	6	5	4	3	2	1	0
0	0	0	0	0	0	Power State1	Power State0

ビット位置	ビット名	意味
31-24	Data[7:0]	PCI規格においてDataフィールドはオプション・フィールドであり、Host Controllerは未対応です (Data)。 “00” 固定となります。 Data[7:0]ビットは、リードのみ可能です。
23	BPCC Enable	Bridge用のビットでありHost Controllerは未対応です (PMCSR Bridge Support Extensions)。 “0” 固定となります。 BPCC Enableビットは、リードのみ可能です。
22	B2_B3	Bridge用のビットでありHost Controllerは未対応です (PMCSR Bridge Support Extensions)。 “0” 固定となります。 B2_B3ビットは、リードのみ可能です。
15	PME Status	PMEの割り込みステータスを示します (Power Management Control/Status)。 PMEがアサートする条件となると“1” がセット (1) されます。 PCIバスから“1” を書き込むと“0” にクリア (0) されます。
14-13	Data Scale [1:0]	PCI規格においてData Scaleフィールドはオプション・フィールドであり、Host Controllerは未対応です (Power Management Control/Status)。 “00” 固定となります。 Data Scale[1:0]ビットは、リードのみ可能です。
12-9	Data Select [3:0]	PCI規格においてData Selectフィールドはオプション・フィールドであり、Host Controllerは未対応です (Power Management Control/Status)。 “0000” 固定となります。 Data Select[3:0]ビットは、リードのみ可能です。
8	PME Enable	PME割り込みの使用を設定するビットです (Power Management Control/Status)。 “1” に設定するとPower Managementからの復帰時にPME割り込みを発生します。

ビット位置	ビット名	意 味															
1-0	Power State[1:0]	PCIのPower Statusを示すフィールドです (Power Management Control/Status)。 [1:0]の状態により次の状態となります。 <table border="1" data-bbox="646 392 1200 593"><thead><tr><th>Power State1</th><th>Power State0</th><th>フィールド状態</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>D0 State</td></tr><tr><td>0</td><td>1</td><td>D1 State</td></tr><tr><td>1</td><td>0</td><td>D2 State</td></tr><tr><td>1</td><td>1</td><td>D3 hot State</td></tr></tbody></table>	Power State1	Power State0	フィールド状態	0	0	D0 State	0	1	D1 State	1	0	D2 State	1	1	D3 hot State
Power State1	Power State0	フィールド状態															
0	0	D0 State															
0	1	D1 State															
1	0	D2 State															
1	1	D3 hot State															

21.7.3 OHCI Operational レジスタ

OHCI OperationalレジスタはOHCIホスト・コントローラに内蔵されており、表21 - 5の項目で構成されています。詳細な情報につきましては、OpenHCI Specification Release 1.0aを参照してください。

OpenHCI Specification Release 1.0aでは、Port番号を[1 : Port数]と定義しているため、ここではその記載に従って説明しています。例えば、Port [1] : ホスト・チャンネル0, Port[2] : ホスト・チャンネル1に対応する説明となります。オフセット・アドレスは21.2.2 USBホスト・コントローラ・メモリ・マップを参照してください。

表21 - 5 OHCI Operationalレジスタ

ビット アドレス	31	24	23	16	15	8	7	0
00H	HcRevision							
04H	HcControl							
08H	HcCommandStatus							
0CH	HcInterruptStatus							
10H	HcInterruptEnable							
14H	HcInterruptDisable							
18H	HcHCCA							
1CH	HcPeriodCurrentED							
20H	HcControlHeadED							
24H	HcControlCurrentED							
28H	HcBulkHeadED							
2CH	HcBulkCurrentED							
30H	HcDoneHead							
34H	HcFmInterval							
38H	HcFmRemaining							
3CH	HcFmNumber							
40H	HcPeriodicStart							
44H	HcLSThreshold							
48H	HcRhDescriptorA							
4CH	HcRhDescriptorB							
50H	HcRhStatus							
54H	HcRhPortStatus1							
58H	HcRhPortStatus2							
5CH ~ FFH	Reserved							

備考 HC : HostController (OHCIホスト・コントローラを示します)
 HCD : HostControllerDriver
 ED : EndPointDescriptor
 TD : TransferDescriptor
 EOP : EndOfPacket
 SOF : StartOfFrame

(1) HcRevision Register (Offset 00H)

初期値 : 0000 0010H R

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	Legacy
7							0
Revision							

ビット位置	ビット名	意味
31-9	-	Reserved (必ず“0”を書き込んでください)
8	Legacy	レガシー・サポート・レジスタがHost Controllerにインプリされているかを示すビットです。Host Controllerはレガシー機能をサポートしていないため“0”固定となります。
7-0	Revision	Host ControllerにインプリメントされたHCI仕様のバージョンを示すフィールドです。Host ControllerはOHCI規格1.0aに準拠しているため10H固定となります。

(2) HcControl Register (Offset 04H)

(1/2)

初期値 : 0000 0000H R/W

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8
0	0	0	0	0	RWE	RWC	IR
7	6	5	4	3	2	1	0
HCFS1	HCFS0	BLE	CLE	IE	PLE	CBSR1	CBSR0

ビット位置	ビット名	意味										
31-11	-	Reserved (必ず“0”を書き込んでください)										
10	RWE	Remote WakeUp Enable RWEビットはアップストリーム・レジューム信号の検出の設定をするビットです。 1 : Resume信号をRemote Wakeとする 0 : Resume信号をRemote Wakeとしない										
9	RWC	Remote WakeUp Connect Host ControllerがRemote WakeUpをサポートするかを示すビットです。 Remote WakeUpをシステムでサポートする場合には,初期化中にRWCビットをセット(1)する必要があります。 1 : Remote WakeUpをサポートする 0 : Remote WakeUpをサポートしない										
8	IR	Interrupt Routing Host Controllerの割り込み出力経路を示すビットです。 HcInterrupt Statusに発生した割り込み要因のシステムへの通知方法を設定します。 1 : SMI経由で割り込みが発生する 0 : INTA経由で割り込みが発生する										
7-6	HCFS[1:0]	Host Controller Functional State Host Controllerの動作状態を示すフィールドです。 <table border="1" data-bbox="557 1547 1299 1744"> <thead> <tr> <th>HCFS</th><th>USBステータス</th></tr> </thead> <tbody> <tr> <td>00</td><td>USB Reset</td></tr> <tr> <td>01</td><td>USB Resume</td></tr> <tr> <td>10</td><td>USB Operational</td></tr> <tr> <td>11</td><td>USB Suspend</td></tr> </tbody> </table> USB Operationalに遷移すると1 msで区切られたフレームの管理を開始します。 この動作状態はUSB Suspend時のRemote WakeUpによるUSB Resumeの遷移以外は常にHost Controllerドライバにより制御されます。 ハードウェア・リセット後, HCFSフィールドはUSB Reset状態となりますが, ソフトウェア・リセット後はUSB Suspendに遷移します。	HCFS	USBステータス	00	USB Reset	01	USB Resume	10	USB Operational	11	USB Suspend
HCFS	USBステータス											
00	USB Reset											
01	USB Resume											
10	USB Operational											
11	USB Suspend											

ビット位置	ビット名	意 味										
5	BLE	<p>Bulk List Enable</p> <p>バルク・リストの処理を行うかどうかを設定するビットです。</p> <p>1 : バルク・リストの処理を行う</p> <p>0 : バルク・リストの処理を行わない</p> <p>BLEビットの設定値は次のフレームから有効になります。</p> <p>なお、バルク・リストを修正する場合には、必ずBLEビットが“0”でなければなりません。</p>										
4	CLE	<p>Control List Enable</p> <p>コントロール・リストの処理を行うかどうかを設定するビットです。</p> <p>1 : コントロール・リストの処理を行う</p> <p>0 : コントロール・リストの処理を行わない</p> <p>CLEビットへの設定値は次のフレームから有効になります。</p> <p>なお、コントロール・リストを修正する場合には、必ずCLEビットが“0”でなければなりません。</p>										
3	IE	<p>Isochronouse Enable</p> <p>アイソクロナスEDの処理を行うかどうかを設定するビットです。</p> <p>リスト処理中にアイソクロナスEDを発見した場合に、IEビットをチェックしアイソクロナスEDの処理を行うかどうかを決定します。</p> <p>1 : アイソクロナス転送の処理を行う</p> <p>0 : アイソクロナス転送の処理を行わない</p> <p>IEビットがイネーブル・ディセーブルとなると次のフレームからアイソクロナス処理に影響を与えます。</p>										
2	PLE	<p>Periodic List Enable</p> <p>ピリオディック・リストの処理を行うかどうかを設定するビットです。</p> <p>1 : ピリオディック・リストの処理を行う</p> <p>0 : ピリオディック・リストの処理を行わない</p> <p>PLEビットがイネーブル・ディセーブルとなると次のフレームからピリオディック・リストの処理を開始・停止します</p>										
1-0	CBSR[1:0]	<p>Control Bulk Service Ratio</p> <p>Control転送とBulk転送のサービス比を規定するフィールドです。</p> <p>ピリオディック・リストの処理の際、CBSRフィールドで規定されるサービス比を維持し転送を行います。</p> <table border="1" data-bbox="596 1547 1246 1758"> <thead> <tr> <th>CBSR</th> <th>バルクED : コントロールED / サービス比</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>1 : 1</td> </tr> <tr> <td>01</td> <td>2 : 1</td> </tr> <tr> <td>10</td> <td>3 : 1</td> </tr> <tr> <td>11</td> <td>4 : 1</td> </tr> </tbody> </table>	CBSR	バルクED : コントロールED / サービス比	00	1 : 1	01	2 : 1	10	3 : 1	11	4 : 1
CBSR	バルクED : コントロールED / サービス比											
00	1 : 1											
01	2 : 1											
10	3 : 1											
11	4 : 1											

(3) HcCommandStatus Register (Offset 08H)

(1/2)

初期値 : 0000 0000H R/W

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	SOC1	SOC0
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	0	0	0	OCR	BLF	CLF	HCR

ビット位置	ビット名	意味
31-18	-	Reserved (必ず“0”を書き込んでください)
17-16	SOC[1:0]	Scheduling Overrun Count スケジュール・オーバーラン数をカウントするためのフィールドです。 スケジュール・オーバーランのたびにカウント・アップします。 Interrupt StatusレジスタのSOカウント・アップされた状態においてもカウント・アップは続けます。 SOC[1:0]ビットは、リードのみ可能です。
15-4	-	Reserved (必ず“0”を書き込んでください)
3	OCR	Ownership Change Request Host Controllerの制御権の変更を要求するためのビットです。
2	BLF	Bulk List Filled BulkリストにTDが存在するかどうかを示すビットです。 BulkリストのEDにTDを追加するときは、必ずドライバ(HCD)によって“1”にセットされます。 Host ControllerはBulkリスト・ヘッドの処理を始めるとき、BLFビットをチェックします。 BLFビットが“0”の場合はBulkリストの処理を開始しません。“1”ならば“0”にセットしBulkリストの処理を開始します。BulkリストにTDを見つけた場合、再度“1”にセットしBulkリストの処理を継続します。 ドライバはリストを再構築しHcCommandレジスタのBLEビットをセットしリスト処理を開始する前にBLFビットをセットする必要があります。
1	CLF	Control List Filled Controlリストが存在するかどうかを示すビットです。 ControlリストのEDにTDを追加するときは、必ずドライバ(HCD)によって“1”にセットされます。 Host ControllerはControlリスト・ヘッドの処理を始めるとき、CLFビットをチェックします。 CLFビットが“0”の場合はControlリストの処理を開始しません。“1”ならば“0”にセットしControlリストの処理を開始します。ControlリストにTDを見つけた場合、再度“1”にセットしControlリストの処理を継続します。 ドライバはリストを再構築しHcCommandレジスタのCLEビットをセットしリスト処理を開始する前にCLFビットをセットする必要があります。

ビット位置	ビット名	意味
0	HCR	Host Controller Reset Host Controllerのソフトウェア・リセットを起動するためのビットです。 HCRビットをセット(1)するとHost Controllerの機能ステートに関わらずUSB Suspendに遷移します。 リセット作業の完了時にHost Controllerによってクリア(0)されます。

(4) HcInterruptStatus Register (Offset 0CH)

(1/2)

初期値 : 0000 0000H R/W

31	30	29	28	27	26	25	24
0	OC	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	RHSC	FNO	UE	RD	SF	WDH	SO

ビット位置	ビット名	意味
31	-	Reserved (必ず“0”を書き込んでください)
30	OC	Ownership Change Ownership Change割り込みが発生したことを示す割り込みビットです。 HcCommand StatusのOwnership Change Requestフィールドをセットしたときにセット(1)されます。この割り込み要因がマスクされていない場合はSMMI割り込みを発生させます。 1: OC割り込みが発生している 0: OC割り込みは発生していない OCビットに“1”を書き込むことで割り込みはクリア(0)されます。
29-7	-	Reserved (必ず“0”を書き込んでください)
6	RHSC	Root Hub Status Change HcRhPortStatusの状態が変化したことを示す割り込みビットです。 ハードウェア要因によりHcRhPortStatusが変化した場合にセット(1)されます。 1: RHSC割り込みが発生している 0: RHSC割り込みは発生していない RHSCビットに“1”を書き込むことで割り込みはクリア(0)されます。
5	FNO	Frame Number Overflow フレーム・ナンバーのMSBが変化したことを示す割り込みビットです。 フレーム・ナンバーのMSBが0から1または1から0に変化するフレームにおいてHcca Frame Numberの更新後にセット(1)されます。 1: FNO割り込みが発生している 0: FNO割り込みは発生していない FNOビットに“1”を書き込むことで割り込みはクリア(0)されます。
4	UE	Unrecoverable Error USBに関係のないPCIバス上のシステム・エラーを検出したことを示す割り込みビットです。 1: UE割り込みが発生している 0: UE割り込みは発生していない UEビットに“1”を書き込むことで割り込みはクリア(0)されます。

ビット位置	ビット名	意 味
3	RD	<p>Resume Detected</p> <p>Resumeを検出したことを示す割り込みビットです。</p> <p>USBバス上のデバイスがレジューム信号をアサートしていることを検出したときにセット(1)されます。ドライバによりUSB Resumeが発行された場合には、RDビットはセット(1)されません。</p> <p>1: RD割り込みが発生している</p> <p>0: RD割り込みは発生していない</p> <p>RDビットに“1”を書き込むことで割り込みはクリア(0)されます。</p>
2	SF	<p>StartOfFrame</p> <p>フレームの開始時にHcca Frame Numberをアップデートしたことを示す割り込みビットです。Host ControllerはSOFパケットの送出と共にHccaFrameNumberの更新を行います。</p> <p>1: SF割り込みが発生している</p> <p>0: SF割り込みは発生していない</p> <p>SFビットに“1”を書き込むことで割り込みはクリア(0)されます。</p>
1	WDH	<p>Writeback Done Head</p> <p>Host ControllerがHccaDoneHeadの内容をアップデートしたことを示す割り込みビットです。Host ControllerはHccaDoneHeadを更新した直後にWDHビットをセット(1)し、WDHビットをクリア(0)するまでHccaDoneHeadの更新は行いません。</p> <p>1: WDH割り込みが発生している</p> <p>0: WDH割り込みは発生していない</p> <p>WDHビットに“1”を書き込むことで割り込みはクリア(0)されます。</p>
0	SO	<p>Scheduling Overrun</p> <p>フレームにおけるUSBスケジュールがオーバーランしたことを示す割り込みビットです。USBスケジュールがオーバーランした場合に次のフレームのFrame Number Update後にセット(1)されます。SOビットがセット(1)される時にはHcCommandStatusレジスタのSchedulingOverrunビットもインクリメントされます。</p> <p>1: SO割り込みが発生している</p> <p>0: SO割り込みは発生していない</p> <p>SOビットに“1”を書き込むことで割り込みはクリア(0)されます。</p>

(5) HcInterruptEnable Register (Offset 10H)

(1/2)

初期値 : 0000 0000H R/W

31	30	29	28	27	26	25	24
MIE	OCE	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	RHSCE	FNOE	UEE	RDE	SFE	WDHE	SOE

ビット位置	ビット名	意味
31	MIE	Master Interrupt Enable [30, 6:0]にて設定された割り込み要因設定を有効にするかを設定するビットです。 1: 設定されたすべての割り込みを有効にする 0: 無効 (“0”の書き込みは無視) MIEビットをクリア(0)する場合はHcInterruptDisableレジスタのみ該当ビットに“1”を書き込みます。
30	OCE	Ownership Change Enable OCを割り込み要因として有効にするか設定するためのビットです。 1: OCを割り込み要因として有効にする 0: 無効 (“0”の書き込みは無視) OCEビットに“1”を書き込むことでセット(1)することができます。 クリア(0)する場合はHcInterruptDisableレジスタの該当ビットに“1”を書き込みます。
29-7	-	Reserved (必ず“0”を書き込んでください)
6	RHSCE	Root Hub Status Change Enable RHSCを割り込み要因として有効にするか設定するためのビットです。 1: RHSCを割り込み要因として有効にする 0: 無効 (“0”の書き込みは無視) RHSCEビットに“1”を書き込むことでセット(1)することができます。 クリア(0)する場合はHcInterruptDisableレジスタの該当ビットに“1”を書き込みます。
5	FNOE	Frame Number Overflow Enable FNOを割り込み要因として有効にするか設定するためのビットです。 1: FNOを割り込み要因として有効にする 0: 無効 (“0”の書き込みは無視) FNOEビットに“1”を書き込むことでセット(1)することができます。 クリア(0)する場合はHcInterruptDisableレジスタの該当ビットに“1”を書き込みます。
4	UEE	Unrecoverable Error Enable UEを割り込み要因として有効にするか設定するためのビットです。 1: UEを割り込み要因として有効にする 0: 無効 (“0”の書き込みは無視) UEEビットに“1”を書き込むことでセット(1)することができます。 クリア(0)する場合はHcInterruptDisableレジスタの該当ビットに“1”を書き込みます。

ビット位置	ビット名	意 味
3	RDE	<p>Resume Detected Enable</p> <p>RDを割り込み要因として有効にするか設定するためのビットです。</p> <p>1: RDを割り込み要因として有効にする</p> <p>0: 無効 (“0”の書き込みは無視)</p> <p>RDEビットに“1”を書き込むことでセット(1)することができます。</p> <p>クリア(0)する場合はHcInterruptDisableレジスタの該当ビットに“1”を書き込みます。</p>
2	SFE	<p>Stato Of Frame Enable</p> <p>SFを割り込み要因として有効にするか設定するためのビットです。</p> <p>1: SFを割り込み要因として有効にする</p> <p>0: 無効 (“0”の書き込みは無視)</p> <p>SFEビットに“1”を書き込むことでセット(1)することができます。</p> <p>クリア(0)する場合はHcInterruptDisableレジスタの該当ビットに“1”を書き込みます。</p>
1	WDHE	<p>Writeback Done Head Enable</p> <p>WDHを割り込み要因として有効にするか設定するためのビットです。</p> <p>1: WDHを割り込み要因として有効にする</p> <p>0: 無効 (“0”の書き込みは無視)</p> <p>WDHEビットに“1”を書き込むことでセット(1)することができます。</p> <p>クリア(0)する場合はHcInterruptDisableレジスタの該当ビットに“1”を書き込みます。</p>
0	SOE	<p>Scheduling Overrun Enable</p> <p>SOを割り込み要因として有効にするか設定するためのビットです。</p> <p>1: SOを割り込み要因として有効にする</p> <p>0: 無効 (“0”の書き込みは無視)</p> <p>SOEビットに“1”を書き込むことでセット(1)することができます。</p> <p>クリア(0)する場合はHcInterruptDisableレジスタの該当ビットに“1”を書き込みます。</p>

(6) HcInterruptDisable Register (Offset 14H)

(1/2)

初期値 : 0000 0000H R/W

31	30	29	28	27	26	25	24
MID	OCD	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	RHSCD	FNOD	UED	RDD	SFD	WDHD	SOD

ビット位置	ビット名	意味
31	MID	Master Interrupt Disable HcInterruptEnableレジスタのビット[30, 6:0]にて設定された割り込み要因を無効にする設定を行うビットです。 1 : 設定されたすべての割り込みを無効にする 0 : (" 0 " の書き込みは無視) このHcInterruptDisableレジスタをリードした場合 ,HcInterruptEnableレジスタの内容が読み出されます。 セット (1) する場合はHcInterruptEnableレジスタの該当ビットに " 1 " を書き込みます。
30	OCD	Ownership Change Disable OCを割り込み要因から削除するための設定ビットです。 1 : OCを割り込み要因として無効にする 0 : (" 0 " の書き込みは無視) このHcInterruptDisableレジスタをリードした場合 ,HcInterruptEnableレジスタの内容が読み出されます。 OCDビットに " 1 " を書き込むことでクリア (0) できます。 セット (1) する場合はHcInterruptEnableレジスタの該当ビットに " 1 " を書き込みます。
29-7	-	Reserved (必ず " 0 " を書き込んでください)
6	RHSCD	Root Hub Status Change Disable RHSCを割り込み要因から削除するための設定ビットです。 1 : RHSCを割り込み要因として無効にする 0 : (" 0 " の書き込みは無視) このHcInterruptDisableレジスタをリードした場合 ,HcInterruptEnableレジスタの内容が読み出されます。 RHSCDビットに " 1 " を書き込むことでクリア (0) できます。 セット (1) する場合はHcInterruptEnableレジスタの該当ビットに " 1 " を書き込みます。
5	FNOD	Frame Number Overflow Disable FNOを割り込み要因から削除するための設定ビットです。 1 : FNOを割り込み要因として無効にする 0 : (" 0 " の書き込みは無視) このHcInterruptDisableレジスタをリードした場合 ,HcInterruptEnableレジスタの内容が読み出されます。 FNODビットに " 1 " を書き込むことでクリア (0) できます。 セット (1) する場合はHcInterruptEnableレジスタの該当ビットに " 1 " を書き込みます。

ビット位置	ビット名	意 味
4	UED	<p>Unrecoverable Error Disable</p> <p>UEを割り込み要因から削除するための設定ビットです。</p> <p>0 : UEを割り込み要因として無効にする</p> <p>1 : (“ 0 ” の書き込みは無視)</p> <p>このHcInterruptDisableレジスタをリードした場合、HcInterruptEnableレジスタの内容が読み出されます。</p> <p>UEDビットに “ 1 ” を書き込むことでクリア (0) できます。</p> <p>セット (1) する場合はHcInterruptEnableレジスタの該当ビットに “ 1 ” を書き込みます。</p>
3	RDD	<p>Resume Detected Disable</p> <p>RDを割り込み要因から削除するための設定ビットです。</p> <p>0 : RDを割り込み要因として無効にする</p> <p>1 : (“ 0 ” の書き込みは無視)</p> <p>このHcInterruptDisableレジスタをリードした場合、HcInterruptEnableレジスタの内容が読み出されます。</p> <p>RDDビットに “ 1 ” を書き込むことでクリア (0) できます。</p> <p>セット (1) する場合はHcInterruptEnableレジスタの該当ビットに “ 1 ” を書き込みます。</p>
2	SFD	<p>StartOfFrame Disable</p> <p>SFを割り込み要因から削除するための設定ビットです。</p> <p>0 : SFを割り込み要因として無効にする</p> <p>1 : (“ 0 ” の書き込みは無視)</p> <p>このHcInterruptDisableレジスタをリードした場合、HcInterruptEnableレジスタの内容が読み出されます。</p> <p>SFDビットに “ 1 ” を書き込むことでクリア (0) できます。</p> <p>セット (1) する場合はHcInterruptEnableレジスタの該当ビットに “ 1 ” を書き込みます。</p>
1	WDHD	<p>Writeback Done Head Disable</p> <p>WDHを割り込み要因から削除するための設定ビットです。</p> <p>0 : WDHを割り込み要因として無効にする</p> <p>1 : (“ 0 ” の書き込みは無視)</p> <p>このHcInterruptDisableレジスタをリードした場合、HcInterruptEnableレジスタの内容が読み出されます。</p> <p>WDHDビットに “ 1 ” を書き込むことでクリア (0) できます。</p> <p>セット (1) する場合はHcInterruptEnableレジスタの該当ビットに “ 1 ” を書き込みます。</p>
0	SOD	<p>Scheduling Overrun Disable</p> <p>SOを割り込み要因から削除するための設定ビットです。</p> <p>0 : SOを割り込み要因として無効にする</p> <p>1 : (“ 0 ” の書き込みは無視)</p> <p>このHcInterruptDisableレジスタをリードした場合、HcInterruptEnableレジスタの内容が読み出されます。</p> <p>SODビットに “ 1 ” を書き込むことでクリア (0) できます。</p> <p>セット (1) する場合はHcInterruptEnableレジスタの該当ビットに “ 1 ” を書き込みます。</p>

(7) HcHCCA Register (Offset 18H)

初期値 : 0000 0000H R/W

31	30	29	28	27	26	25	24
HcHCCA23	HcHCCA22	HcHCCA21	HcHCCA20	HcHCCA19	HcHCCA18	HcHCCA17	HcHCCA16
23	22	21	20	19	18	17	16
HcHCCA15	HcHCCA14	HcHCCA13	HcHCCA12	HcHCCA11	HcHCCA10	HcHCCA9	HcHCCA8
15	14	13	12	11	10	9	8
HcHCCA7	HcHCCA6	HcHCCA5	HcHCCA4	HcHCCA3	HcHCCA2	HcHCCA1	HcHCCA0
7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

ビット位置	ビット名	意味
31-8	HcHCCA [23:0]	Host Controller Communication Areaとして割り当てられたRAMのBase Addressを設定するためのフィールドです。 初期化時に設定する必要があります。Host ControllerはHCCAとしてHcHCCAフィールドで指定するBase Addressから256バイトの領域を要求します。

(8) HcPeriodCurrentED Register (Offset 1CH)

初期値 : 0000 0000H R

31	30	29	28	27	26	25	24
Period CurrentED27	Period CurrentED26	Period CurrentED25	Period CurrentED24	Period CurrentED23	Period CurrentED22	Period CurrentED21	Period CurrentED20
23	22	21	20	19	18	17	16
Period CurrentED19	Period CurrentED18	Period CurrentED17	Period CurrentED16	Period CurrentED15	Period CurrentED14	Period CurrentED13	Period CurrentED12
15	14	13	12	11	10	9	8
Period CurrentED11	Period CurrentED10	Period CurrentED9	Period CurrentED8	Period CurrentED7	Period CurrentED6	Period CurrentED5	Period CurrentED4
7	6	5	4	3	2	1	0
Period CurrentED3	Period CurrentED2	Period CurrentED1	Period CurrentED0	0	0	0	0

ビット位置	ビット名	意味
31-4	PeriodCurre -ntED[27:0]	ピリオディック・リストの処理アドレスを示すフィールドです。 ひとつのピリオディック・リストの処理が終了すると、Host ControllerはPeriodCurrentEDフィールドのポインタを更新します。

(9) HcControlHeadED Register (Offset 20H)

初期値 : 0000 0000H R/W

31	30	29	28	27	26	25	24
Control HeadED27	Control HeadED26	Control HeadED25	Control HeadED24	Control HeadED23	Control HeadED22	Control HeadED21	Control HeadED20
23	22	21	20	19	18	17	16
Control HeadED19	Control HeadED18	Control HeadED17	Control HeadED16	Control HeadED15	Control HeadED14	Control HeadED13	Control HeadED12
15	14	13	12	11	10	9	8
Control HeadED11	Control HeadED10	Control HeadED9	Control HeadED8	Control HeadED7	Control HeadED6	Control HeadED5	Control HeadED4
7	6	5	4	3	2	1	0
Control HeadED3	Control HeadED2	Control HeadED1	Control HeadED0	0	0	0	0

ビット位置	ビット名	意味
31-4	ControlHeadED [27:0]	Control転送用リストEDの先頭アドレスを指定するためのフィールドです。 Control転送を行うため、HcControlレジスタのCLEビットをセット(1)する前に設定する必要があります。

(10) HcControlCurrentED Register (Offset 24H)

初期値 : 0000 0000H R/W

31	30	29	28	27	26	25	24
Control CurrentED27	Control CurrentED26	Control CurrentED25	Control CurrentED24	Control CurrentED23	Control CurrentED22	Control CurrentED21	Control CurrentED20
23	22	21	20	19	18	17	16
Control CurrentED19	Control CurrentED18	Control CurrentED17	Control CurrentED16	Control CurrentED15	Control CurrentED14	Control CurrentED13	Control CurrentED12
15	14	13	12	11	10	9	8
Control CurrentED11	Control CurrentED10	Control CurrentED9	Control CurrentED8	Control CurrentED7	Control CurrentED6	Control CurrentED5	Control CurrentED4
7	6	5	4	3	2	1	0
Control CurrentED3	Control CurrentED2	Control CurrentED1	Control CurrentED0	0	0	0	0

ビット位置	ビット名	意味
31-4	ControlCurrentED[27:0]	Controlリストの処理アドレスを示すフィールドです。 Control EDの処理が終わるたびにHost Controllerが、ControlCurrentEDフィールド値をアップデートします。新規でリストを構築する場合には、ControlCurrentEDフィールドはリストの末尾を示す00000000Hに設定します。 転送を一度中断し再開する際に、CCEDのリンク・ポインタが示すEDが存在することを保証する必要があります。

(11) HcBulkHeadED Register (Offset 28H)

初期値 : 0000 0000H R/W

31	30	29	28	27	26	25	24
BulkHead ED27	BulkHead ED26	BulkHead ED25	BulkHead ED24	BulkHead ED23	BulkHead ED22	BulkHead ED21	BulkHead ED20
23	22	21	20	19	18	17	16
BulkHead ED19	BulkHead ED18	BulkHead ED17	BulkHead ED16	BulkHead ED15	BulkHead ED14	BulkHead ED13	BulkHead ED12
15	14	13	12	11	10	9	8
BulkHead ED11	BulkHead ED10	BulkHead ED9	BulkHead ED8	BulkHead ED7	BulkHead ED6	BulkHead ED5	BulkHead ED4
7	6	5	4	3	2	1	0
BulkHead ED3	BulkHead ED2	BulkHead ED1	BulkHead ED0	0	0	0	0

ビット位置	ビット名	意味
31-4	BulkHeadED [27:0]	Bulk転送用リストEDの先頭アドレスを指定するためのフィールドです。 Bulk転送を行うため、HcControlレジスタのBLEビットをセット(1)する前に設定する必要があります。

(12) HcBulkCurrentED Register (Offset 2CH)

初期値 : 0000 0000H R/W

31	30	29	28	27	26	25	24
BulkCurrent ED27	BulkCurrent ED26	BulkCurrent ED25	BulkCurrent ED24	BulkCurrent ED23	BulkCurrent ED22	BulkCurrent ED21	BulkCurrent ED20
23	22	21	20	19	18	17	16
BulkCurrent ED19	BulkCurrent ED18	BulkCurrent ED17	BulkCurrent ED16	BulkCurrent ED15	BulkCurrent ED14	BulkCurrent ED13	BulkCurrent ED12
15	14	13	12	11	10	9	8
BulkCurrent ED11	BulkCurrent ED10	BulkCurrent ED9	BulkCurrent ED8	BulkCurrent ED7	BulkCurrent ED6	BulkCurrent ED5	BulkCurrent ED4
7	6	5	4	3	2	1	0
BulkCurrent ED3	BulkCurrent ED2	BulkCurrent ED1	BulkCurrent ED0	0	0	0	0

ビット位置	ビット名	意味
31-4	BulkCurrent- ED[27:0]	Bulkリストの処理アドレスを示すフィールドです。 Bulk EDの処理が終わるたびにHost Controllerが、BulkCurrentEDフィールド値をアップデートします。 新規でリストを構築する場合には、BulkCurrentEDフィールドはリストの末尾を示す00000000Hに設定します。 転送を一度中断し再開する際にBCEDのリンク・ポインタが示すEDが存在することを保証する必要があります。

(13) HcDoneHead Register (Offset 30H)

初期値 : 0000 0000H R

31	30	29	28	27	26	25	24
Done Head27	Done Head26	Done Head25	Done Head24	Done Head23	Done Head22	Done Head21	Done Head20
23	22	21	20	19	18	17	16
Done Head19	Done Head18	Done Head17	Done Head16	Done Head15	Done Head14	Done Head13	Done Head12
15	14	13	12	11	10	9	8
Done Head11	Done Head10	Done Head9	Done Head8	Done Head7	Done Head6	Done Head5	Done Head4
7	6	5	4	3	2	1	0
Done Head3	Done Head2	Done Head1	Done Head0	0	0	0	0

ビット位置	ビット名	意味
31-4	DoneHead [27:0]	Host ControllerのHcDoneHeadのアドレスを示すフィールドです。

(14) HcFmInterval Register (Offset 34H)

初期値 : 0000 2EDFH R/W

31	30	29	28	27	26	25	24
FIT	FSMPS14	FSMPS13	FSMPS12	FSMPS11	FSMPS10	FSMPS9	FSMPS8
23	22	21	20	19	18	17	16
FSMPS7	FSMPS6	FSMPS5	FSMPS4	FSMPS3	FSMPS2	FSMPS1	FSMPS0
15	14	13	12	11	10	9	8
0	0	FI13	FI12	FI11	FI10	FI9	FI8
7	6	5	4	3	2	1	0
FI7	FI6	FI5	FI4	FI3	FI2	FI1	FI0

ビット位置	ビット名	意味
31	FIT	<p>Frame Interval Toggle</p> <p>FITビットはHCDとHC間のフレーム設定値の同期を取るために使用します。</p> <p>HCDによりFIフィールドを書き込む際は、FITビットをトグルさせてください。</p> <p>HCはFIフィールドをロードするとき、HcFmRemaining.FRTビットにFITビットの値を反映します。</p> <p>HCDはFIフィールドを書き込む際に設定したFITビットの値と、読み出したFRTビットの値を比較することで、新たに設定したFIフィールドが反映されたかを確認することができます。</p>
30-16	FSMPS [14:0]	<p>FSLargest Data Packet</p> <p>スケジュール・オーバーランを起こさずに送受信できる最大のデータ量を設定するフィールドです。現在のフレーム位置と設定値を比較し、フレームのどこまでが転送開始可能かどうか判断します。システム・バスの能力などにより異なるため、この値はドライバ(HCD)から設定します。</p>
15-14	-	Reserved (必ず "0" を書き込んでください)
13-0	FI[13:0]	<p>FrameInterval</p> <p>FIフィールドはFull-Speedにおいて、2つの連続するStartOfFrameの間隔をビット時間で設定するために使用します。</p> <p>USB規格の1フレーム (= 1 ms) を満たすためFIフィールドの値は2EDFHに設定します。</p>

(15) HcFmRemaining Register (Offset 38H)

初期値 : 0000 2EDFH R

31	30	29	28	27	26	25	24
FRT	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8
0	0	FR13	FR12	FR11	FR10	FR9	FR8
7	6	5	4	3	2	1	0
FR7	FR6	FR5	FR4	FR3	FR2	FR1	FR0

ビット位置	ビット名	意味
31	FRT	Frame Remaining Toggle FRTビットはHCDとHC間のフレーム設定値の同期を取るために使用します。 HCはFRフィールドが0Hとなり、FIフィールド値を再ロードする時にFITビットの値をFRTビットにコピーします。 HCDはFITビットとFRTビットの値を比較することにより、FIフィールドへの設定値がFRビットへ設定されたことを確認することができます。
13:0	FR [13:0]	Frame Remaining FRフィールドはフレームの現在の値を示します。 経過時刻と共にFRフィールドの値はカウント・ダウンしていきます。 0Hとなるとフレームの値を再ロードするため、FI[13:0]ビットの値をFRフィールドにコピーし、再びカウント・ダウンします。

(16) HcFmNumber Register (Offset 3CH)

初期値 : 0000 0000H R

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8
Frame Number15	Frame Number14	Frame Number13	Frame Number12	Frame Number11	Frame Number10	Frame Number9	Frame Number8
7	6	5	4	3	2	1	0
Frame Number7	Frame Number6	Frame Number5	Frame Number4	Frame Number3	Frame Number2	Frame Number1	Frame Number0

ビット位置	ビット名	意味
15-0	FrameNumber [15:0]	FrameNumberフィールドは経過したフレーム数を示します。 FRフィールドが0Hとなると、FrameNumberフィールドはカウント・アップします。

(17) HcPeriodicStart Register (Offset 40H)

初期値 : 0000 0000H R/W

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8
0	0	Periodic Start13	Periodic Start12	Periodic Start11	Periodic Start10	Periodic Start9	Periodic Start8
7	6	5	4	3	2	1	0
Periodic Start7	Periodic Start6	Periodic Start5	Periodic Start4	Periodic Start3	Periodic Start2	Periodic Start1	Periodic Start0

ビット位置	ビット名	意味
31-14	-	Reserved (必ず“0”を書き込んでください)
13-0	PeriodicStart [13:0]	PeriodicStartフィールド・フレームにおけるPeriodicリストとAsyncリストの転送割り合を決定するために使用します。 Host Controllerの初期化時にHCDによりPeriodicStartフィールドの値を設定する必要があります。 設定した値よりもFmRemainingの値が大きいときは、Periodicリストに対しNonPeriodicリストが優先されます。 この設定値はFmIntervaの10%減程度に設定することがOHCI規格で推奨されており、代表的な値は3E67Hです。

(18) HcLSThreshold Register (Offset 44H)

初期値 : 0000 0628H R/W

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8
0	0	0	0	HcLSThres-hold11	HcLSThres-hold10	HcLSThres-hold9	HcLSThres-hold8
7	6	5	4	3	2	1	0
HcLSThres-hold7	HcLSThres-hold6	HcLSThres-hold5	HcLSThres-hold4	HcLSThres-hold3	HcLSThres-hold2	HcLSThres-hold1	HcLSThres-hold0

ビット位置	ビット名	意味
31-12	-	Reserved (必ず“0”を書き込んでください)
11-0	HcLSThres-hold[11:0]	HcLSThresholdフィールドはLS転送時フレームの残り時間に対して転送が可能かのスレッショルド値の作成に用いられます。 FmRemainingの値がこの設定値よりも大きい場合には、LSの転送を開始することができます。

(19) HRDA (HcRhDescriptorA) レジスタ (Offset 48H)

(1/2)

初期値 : FF00 0902H R/W

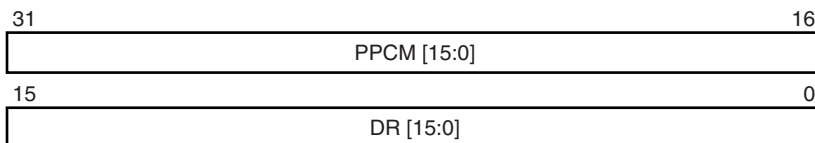
	31	30	29	28	27	26	25	24
HRDA	POTPGT7	POTPGT6	POTPGT5	POTPGT4	POTPGT3	POTPGT2	POTPGT1	POTPGT0
	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
	0	0	0	NOCP	OCPM	DT	NPS	PSM
	7	6	5	4	3	2	1	0
	NDP7	NDP6	NDP5	NDP4	NDP3	NDP2	NDP1	NDP0

ビット位置	ビット名	意味
31-24	POTPGT [7:0]	Power On To Power Good Time パワー・オンされたルート・ハブに対しHost Controllerドライバがアクセスする前に待機する時間を規定するビットです。時間単位は2 msである待機時間はPOTPGT[7:0]ビット×2 msとなります。
23-13	-	Reserved (必ず“0”を書き込んでください)
12	NOCP	No Over Current Protection ルート・ハブの過電流保護機能をサポートするかを規定するビットです。 1: 過電流保護機能をサポートしない 0: 過電流保護機能をサポートする
11	OCPM	Over Current Protection Mode ルート・ハブの過電流状態をどのように報告するかを規定するビットです。 OCPMビットはPSMビットと同じモードを反映している必要があります。 1: 過電流状態はポート単位で報告される 0: すべてのポートは同時に過電流報告される OCPMビットはNOCPビットがクリア(0)されている場合のみ有効となります。
10	DT	Device Type ルート・ハブが複合デバイスでないことを示します。 ルート・ハブは複合デバイスであることを認められていないため、DTフィールドは常に“0”を読み出します。 DTビットは、リードのみ可能です。
9	NPS	No Power Switching パワー・スイッチがサポートされているか、もしくはポートは常時パワー・オンかを規定するために使用されるビットです。 1: Host Controllerが動作中は常にパワー・オンされる 0: ポートはパワー・スイッチされる

ビット位置	ビット名	意味
8	PSM	<p>Power Switching Mode</p> <p>ルート・ハブのポート・パワー・スイッチをどのように制御するかを規定するためのビットです。</p> <p>1: ポートは個別に電源制御される</p> <p>0: すべてのポートは同時に電源制御される</p> <p>PPCM[15:0]ビットがセット(1)されていたらポートはSet/ClearPortPowerだけに応答します。クリア(0)されている場合はSet/ClearGlobalPowerによって制御されます。PSMビットはNPSビットがクリア(0)されている場合のみ有効となります。</p>
7-0	NDP [7:0]	<p>Number Downstream Port</p> <p>HostControllerのルート・ハブによりサポートされるダウン・ストリーム・ポート数を規定するフィールドです。</p> <p>HostControllerは、2つのダウン・ストリーム・ポートを配備しているため02H固定です。</p> <p>NDP[7:0]ビットは、リードのみ可能です。</p>

(20) HcRhDescriptorB Register (Offset 4CH)

初期値 : 0006 0000H R/W



ビット位置	ビット名	意味										
31-16	PPCM [15:0]	<p>Port Power Control Mask</p> <p>ポートがSet/Clear GlobalPowerによって制御されるかを示すビットです。 PSMビットがセット(1)されているときに有効となります。</p> <p>・ Field</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Reserved</td> </tr> <tr> <td>1</td> <td>ポート1に接続されているデバイスの設定</td> </tr> <tr> <td>2</td> <td>ポート2に接続されているデバイスの設定</td> </tr> <tr> <td>15-3</td> <td>Reserved</td> </tr> </tbody> </table> <p>・ Value</p> <p>1 : ポートはSet/ClearPortPowerによってのみ作用される 0 : ポートはSet/ClearGlobalPowerによって制御される</p>	ビット	説明	0	Reserved	1	ポート1に接続されているデバイスの設定	2	ポート2に接続されているデバイスの設定	15-3	Reserved
ビット	説明											
0	Reserved											
1	ポート1に接続されているデバイスの設定											
2	ポート2に接続されているデバイスの設定											
15-3	Reserved											
15-0	DR [15:0]	<p>Device Removable</p> <p>HostControllerのポートがリムーバブルであることを示すビットです。</p> <p>・ Field</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Reserved</td> </tr> <tr> <td>1</td> <td>ポート1に接続されているデバイスの設定</td> </tr> <tr> <td>2</td> <td>ポート2に接続されているデバイスの設定</td> </tr> <tr> <td>15-3</td> <td>Reserved</td> </tr> </tbody> </table> <p>・ Value</p> <p>1 : 接続されているデバイスはリムーバブルでない 0 : 接続されているデバイスはリムーバブル</p>	ビット	説明	0	Reserved	1	ポート1に接続されているデバイスの設定	2	ポート2に接続されているデバイスの設定	15-3	Reserved
ビット	説明											
0	Reserved											
1	ポート1に接続されているデバイスの設定											
2	ポート2に接続されているデバイスの設定											
15-3	Reserved											

(21) HcRhStatus Register (Offset 50H)

(1/2)

初期値 : 0000 0000H R/W

(a) リード時

31	30	29	28	27	26	25	24
CRWE	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	OCIC	LPSC
15	14	13	12	11	10	9	8
DRWE	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCI	LPS

(b) ライト時

31	30	29	28	27	26	25	24
CRWE	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	0	0	0	OCIC	SGP
15	14	13	12	11	10	9	8
SRWE	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCI	CGP

ビット位置	R/W	ビット名	意味
31	-	CRWE	Clear Remote Wakeup Enable DRWEビットをクリア (0) するためのビットです。 CRWEビットをセット (1) するとDRWEビットをクリア (0) することができます。 “0” の書き込みは影響しません。 CRWEフィールドを読み出すと常に “0” が出力されます。 CRWEビットは、ライトのみ可能です。
30-18	-	-	Reserved (必ず “0” を書き込んでください)
17	-	OCIC	Over Current Indicate Change ビット1のOCIフィールドに変化があったことを通知するためのビットです。OCIビットに変化があった場合にセット (1) されます。 OCICビットがセット (1) されているときに “1” を書き込むと、OCICビットをクリア (0) することができます。 1 : OverCurrent状態に変化があった 0 : OverCurrent状態に変化はない
16	R	LPSC	Local Power Status Change Local Power Statusをサポートしていないため、LPSCビットは常に “0” として読み出されます。
	W	SGP	Set Global Power グローバル・パワー・モード時にすべてのポートのパワーをオンするためのビットです。SGPビットをセット (1) するとすべてのポートがパワー・オンします。 ポートごとのパワー・モードにおいては、PPCM[15:0]ビットがクリア (0) されているポートだけポート・パワーをオンします。

ビット位置	R/W	ビット名	意 味
15	R	DRWE	Device Remote Wakeup Enable RemoteWakeUpイベントとしてConnect Status Changeを含むかどうかを示すビットです。 1 : Connect Status ChangeはRemoteWakeup要因 0 : Connect Status ChangeはRemoteWakeup要因でない DRWEビットがセット(1)されている場合にConnect Status Changeイベントが発生した場合、USB SuspendからUSB Resume状態への遷移を起こし、ResumeDetect割り込みを発生させます。
	W	SRWE	Set Remote Wakeup Enable DRWEをセット(1)するためのビットです。 SRWEビットをセット(1)するとDeviceRemoteWakeupEnableをセット(1)することができます。“0”の書き込みでは何も影響しません。
14-2	-	-	Reserved (必ず“0”を書き込んでください)
1	-	OCI	Over Current Indicator グローバル過電流検出モードにおいて、過電流状態を報告するビットです。 1 : ポートは過電流状態 0 : ポート状態は正常 ポート単位の過電流報告時には、OCIビットは“0”固定となります。 OCIビットは、リードのみ可能です。
0	R	LPS	Local Power Status LocalPowerStatusをサポートしていないため、LPSビットは常に“0”として読み出されます。
	W	CGP	Clear Global Power グローバル・パワー・モード時にすべてのポートのパワーをオフするためのビットです。CGPビットをセット(1)するとすべてのポートがパワーオフします。 ポートごとのパワー・モードにおいては、PPCM[15:0]ビットがクリア(0)されているポートだけのポート・パワーをオフします。

(22) HcRhPortStatus1/2 Register (Offset 54H/58H)

(1/4)

初期値 : 0000 0000H R/W

(a) リード時

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	PRSC	OCIC	PSSC	PESC	CSC
15	14	13	12	11	10	9	8
0	0	0	0	0	0	LSDA	PPS
7	6	5	4	3	2	1	0
0	0	0	PRS	POCI	PSS	PES	CSC

(b) ライト時

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	0	PRSC	OCIC	PSSC	PESC	CSC
15	14	13	12	11	10	9	8
0	0	0	0	0	0	CPP	SPP
7	6	5	4	3	2	1	0
0	0	0	SPR	CSS	SPS	SPE	CPE

ビット位置	R/W	ビット名	意味
30-21	-	-	Reserved (必ず“0”を書き込んでください)
20	-	PRSC	Port Reset Status Change ポート・リセットが完了したことを示すビットです。 1 : ポート・リセットが完了した 0 : Port Reset Statusに変化はない 10 msのハードウェア・リセットが終了した場合にセット(1)されます。 ドライバにより“1”がセットされるとPRSCビットはクリア(0)されます。
19	-	OCIC	Over Current Indicate Change ポートの過電流状態を検出した場合にセット(1)されるビットです。 1 : OverCurrent状態に変化があった 0 : OverCurrent状態に変化はない ドライバ(HCD)により“1”がセットされるとOCICビットはクリア(0)されます。
18	-	PSSC	Port Suspend Status Change Resumeシーケンスが終了したことを示すビットです。 1 : Resumeが完了した 0 : Port Suspend Statusに変化はない ハードウェアによるすべてのResume処理が終了した場合にセット(1)されます。 ドライバ(HCD)により“1”がセットされるとPSSCビットはクリア(0)されます。

ビット位置	R/W	ビット名	意 味
17	-	PESC	Port Enable Status Change PESビットがクリア (0) されたことを示すビットです。 1: PESビットに変化があった (PESビットクリア) 0: PESビットに変化はない 過電流状態, ディスコネクト, パワーオフ, パブル・エラーなどハードウェア・イベントによりポートがEnableからDisableに変化した場合に, PESビットがクリア (0) されるため, これに連動してセット (1) されるビットです。ドライバ (HCD) により "1" がセットされるとPESCビットはクリア (0) されます。
16	-	CSC	Connect Status Change CCSビットが変化したことを示すビットです。 1: CCSビットに変化があった 0: CCSビットに変化はない CCSビットがコネクト・ディスコネクトにより変化する時にCSCビットをセット (1) します。 またディスコネクト中にポート・リセット, ポート・サスペンド, ポート・イネーブルの要求があった場合もドライバにデバイス接続確認の再評価を行わせるためにCSCビットをセット (1) します。 ドライバ (HCD) により "1" がセットされるとCSCビットはクリア (0) されます。
15-10	-	-	Reserved (必ず "0" を書き込んでください)
9	R	LSDA	Low Speed Device Attached ポートに接続されたデバイス・スピードを示すビットです。 1: Low-Speedデバイスが接続 0: Full-Speedデバイスが接続 このステータス・ビットはCCSビットがセットされている時のみ有効となります。
	W	CPP	Clear Port Power ポート・パワーをオフするためのビットです。 "1" を書き込むとポートをオフします。"0" の書き込みは影響しません。
8	R	PPS	Port Power Status ポートの電源ステータスを反映するビットです。 1: ポート・パワーオン 0: ポート・パワーオフ パワー・スイッチのタイムにより制御方法が異なります。
	W	SPP	Set Port Power ポートごとのパワー制御が行われている場合にポート・パワーをオンにするビットです。"1" を書き込むとポートをオンします。"0" の書き込みは影響しません。
7-5	-	-	Reserved (必ず "0" を書き込んでください)

ビット位置	R/W	ビット名	意 味
4	R	PRS	<p>Port Reset Status</p> <p>ダウン・ストリーム・ポートに対しReset発行中であることを示すビットです。</p> <p>1: ポート・リセット中</p> <p>0: ポート・リセット中でない</p> <p>10 msのポート・リセットが完了するとPRSCビットのセットと共にクリア(0)されます。CSCビットがクリア(0)されているデバイス未接続状態ではセットすることはできません。</p>
	W	SPR	<p>Set Port Reset</p> <p>ダウン・ストリーム・ポートに対しポート・リセットを発行するためのビットです。SPRビットに“1”を書き込むと10 msのポート・リセットが起動します。CCSビットがクリア(0)されているときにSPRビットへの書き込みを行うとCSCビットをセットしドライバにディスコネクト・ポートをリセットしようとしたことを通知します。“0”の書き込みは影響しません。</p>
3	R	POCI	<p>Port Over Current Indicator</p> <p>ダウン・ストリーム・ポートが過電流状態となったことを示すビットです。</p> <p>1: ポートは過電流状態</p> <p>0: ポートは通常状態</p>
	W	CPS	<p>Clear Port Suspend</p> <p>Suspendを終了させResumeシーケンスを起動させるためのビットです。</p> <p>“1”を書き込むとResumeシーケンスを起動します。“0”の書き込みは影響しません。PSSビットがセットされているときのみResumeが起動します。</p>
2	R	PSS	<p>Port Suspend Status</p> <p>Port状態がSuspendかResumeシーケンス中であることを示すビットです。</p> <p>1: ポートはSuspend中</p> <p>0: ポートは通常転送状態</p> <p>ポート状態はCCSビットがクリア(0)されているデバイス未接続状態ではセットすることができません。</p> <p>ポートはSPSビットの書き込みでセットされます。</p> <p>Resumeの終わり / PortResetの終わり / USB Resumeステートに移行した場合にはクリア(0)されます。</p>
	W	SPS	<p>Set Port Suspend</p> <p>Port状態をSuspendに遷移させるためのビットです。</p> <p>“1”を書き込むとポートをSuspendへ移行します。“0”の書き込みは影響しません。</p> <p>SPSビットに“1”を書き込むとPortはSuspendに遷移します。CCSビットがクリア(0)されているときにSPSビットへの書き込みを行うとCSCビットをセットし、ドライバにディスコネクト・ポートをサスペンドしようとしたことを通知します</p>

ビット位置	R/W	ビット名	意味
1	R	PES	<p>Port Enable Status</p> <p>Port状態がEnableかDisableかを示すビットです。</p> <p>1 : ポート状態はEnable</p> <p>0 : ポート状態はDisable</p> <p>CCSビットがクリア (0) されているデバイス未接続状態ではセットすることができません。</p> <p>ポート状態はポート・リセットの終了時にEnable状態へ遷移します。</p> <p>過電流状態, ディスコネクト, パワーオフ, パブル・エラーなどを検出すると, 自動的にハードウェアによりクリア (0) されます。</p>
	W	SPE	<p>Set Port Enable</p> <p>PESビットをセット (1) するためのビットです。</p> <p>“0” の書き込みは影響しません。</p> <p>ポート状態の遷移はPortResetにて行ってください。OHCI規格ではSPEビットによるPortのEnableへの遷移をサポートしておりますが, USB規格ではサポートしていないためV850ES/JG3-U, V850ES/JH3-UのHost Controllerにおいても対応しておりません。</p>
0	R	CCS	<p>Current Connect Status</p> <p>ダウン・ストリーム・ポートの現在の接続ステータスを反映するビットです。</p> <p>1 : デバイスが接続されている</p> <p>0 : デバイスが接続されていない</p>
	W	CPE	<p>Clear Port Enable</p> <p>PESビットをクリア (0) するためのビットです。</p> <p>“1” を書き込むとポートをDisableへ移行します。“0” の書き込みは影響しません。</p>

21.7.4 USBホスト・コントローラからの割り込み

USBホスト・コントローラでは、OHCIホスト・コントローラからの割り込みを統合し、3種類の割り込みとしてシステムへ通知します。

表21 - 6 USBホスト・コントローラからの割り込み

システムへの割り込み通知信号	OHCIホスト・コントローラが発生する割り込み通知信号
INTUSBH0	USBHステータス割り込み (INTAまたはSMMIまたはPME)
INTUSBH1	USBH PCIサイクル・エラー
INTUSBH2	USBH PME割り込み

各割り込み内容については次のとおりです。

(1) USBステータス割り込み (INTUSBH0)

(a) 割り込み通知経路

OHCIホスト・コントローラは、OHCI OperationalレジスタとHcControlレジスタのIRビット設定に従い、INTAまたはSMMI割り込みをシステムに通知します。HcControl.IRビットの初期設定により、リセット直後はINTA割り込みが通知経路として選択されています。

INTAとSMMIは、OwnershipChangeを除き、割り込みの発生要因になります。

表21 - 7 INTAとSMMI割り込み通知経路

HcControlレジスタIRビット	割り込み通知信号
0	INTA (初期値)
1	SMMI

また、INTA、SMMI割り込みを使用するためには、PCIホスト・ブリッジ・レジスタでPCI Interrupt Control Registerのinta_en, int_smmi_enビットをセット (1) しておく必要があります。

(b) 割り込み要因

OpenHCI規格で定義されている割り込みをサポートしています。

システムに通知する割り込み要因はHcInterruptEnableレジスタに設定し、IRビットにて決定された割り込み経路に通知されます。

次に割り込み要因を示します。

表21 - 8 INTAとSMMI割り込み要因

割り込み要因	内容										
Scheduling Overrun	フレームにおけるUSBスケジューリングがオーバーランしたことを示す割り込み										
Writeback DoneHead	HostControllerがTDを終了しWritebackが発生したことを示す割り込み										
Start Of Frame	フレームの開始時点でHccaFmNumberが更新されたことを示す割り込み										
Resume Detected	USB上のデバイスからのレジューム信号を検出したことを示す割り込み										
Unrecoverable Error	USBと関係ないエラー (PCIのアボート) を検出したことを示す割り込み										
Frame Number Overflow	HcFmNumber RegisterのFrameNumber15ビットが0 または1 0に変化したことを示す割り込み										
Root Hub Status Change	HcRhStatus/HcRhPortStatusの内容が変化したことを示す割り込み 次の詳細イベントに分類されます <table border="1" data-bbox="619 936 1326 1263"> <tbody> <tr> <td>OverCurrentIndicateChange</td> <td>過電流状態が発生したことを示す。</td> </tr> <tr> <td>Connect Status Change</td> <td>USBバスに接続・切断が発生したことを示す。</td> </tr> <tr> <td>Port EnableStatusChange</td> <td>USBのエラーによりPortがDisableに遷移したことを示す。</td> </tr> <tr> <td>Port Suspend Status Change</td> <td>Resumeシーケンスが完了したことを示す。</td> </tr> <tr> <td>Port Reset Status Change</td> <td>USB Resetが完了したことを示す。</td> </tr> </tbody> </table>	OverCurrentIndicateChange	過電流状態が発生したことを示す。	Connect Status Change	USBバスに接続・切断が発生したことを示す。	Port EnableStatusChange	USBのエラーによりPortがDisableに遷移したことを示す。	Port Suspend Status Change	Resumeシーケンスが完了したことを示す。	Port Reset Status Change	USB Resetが完了したことを示す。
OverCurrentIndicateChange	過電流状態が発生したことを示す。										
Connect Status Change	USBバスに接続・切断が発生したことを示す。										
Port EnableStatusChange	USBのエラーによりPortがDisableに遷移したことを示す。										
Port Suspend Status Change	Resumeシーケンスが完了したことを示す。										
Port Reset Status Change	USB Resetが完了したことを示す。										
Ownership Change	Ownership Requestが発生したことを示す割り込み SMMIにのみ通知されます										

(2) PCIサイクル・エラー割り込み (INTUSBH1)

PCIサイクル・エラー割り込み (INTUSBH1) は、OHCI, PCIバス・ブリッジ・レジスタ領域 (32ビット・アクセス) に対してエラーとなるデータ・アクセスをした場合に発生する割り込みです。デバッグ時に使用する割り込みで、通常動作には使用しません。

(3) PME割り込み (INTUSBH2)

PME割り込み (INTUSBH2) はパワー・マネージメント用の割り込み信号であり、USBバスの変化をPCLKがない状態でシステムに通知するための割り込み信号です。

USBバスに発生するイベントと割り込みサポートの可否は次の通りです。

表21 - 9 PME割り込み要因

イベント	割り込み発生可否
Over Current Indicate	発生しない
Connect	発生する
Disconnect	発生する
Resume (RemoteWakeUp)	発生する

PME 割り込みを使用するためには、PCI コンフィグレーション・レジスタで、Power_Management_Control/Status.PME Enableビットと、PCIホスト・ブリッジ・レジスタで、PCI Interrupt Control Registerのint_pme_enビットをセット (1) しておく必要があります。

第22章 DMA機能 (DMAコントローラ)

V850ES/JG3-U, V850ES/JH3-Uは、DMA転送を実行制御するDMA(Direct Memory Access)コントローラ(DMAC)を備えています。

DMACは、内蔵周辺I/O(シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ), 外部入力端子からの割り込みによる要求, またはソフトウェア・トリガによるDMA要求に基づいて、メモリ I/O間, メモリ メモリ間, I/O I/O間でのデータ転送を制御します(メモリは内蔵RAM, または外部メモリを意味します)。

22.1 特 徴

4つの独立なDMAチャンネル

転送単位: 8ビット/16ビット

最大転送回数: 65536 (2^{16}) 回

転送タイプ: 2サイクル転送

転送モード: シングル転送モード

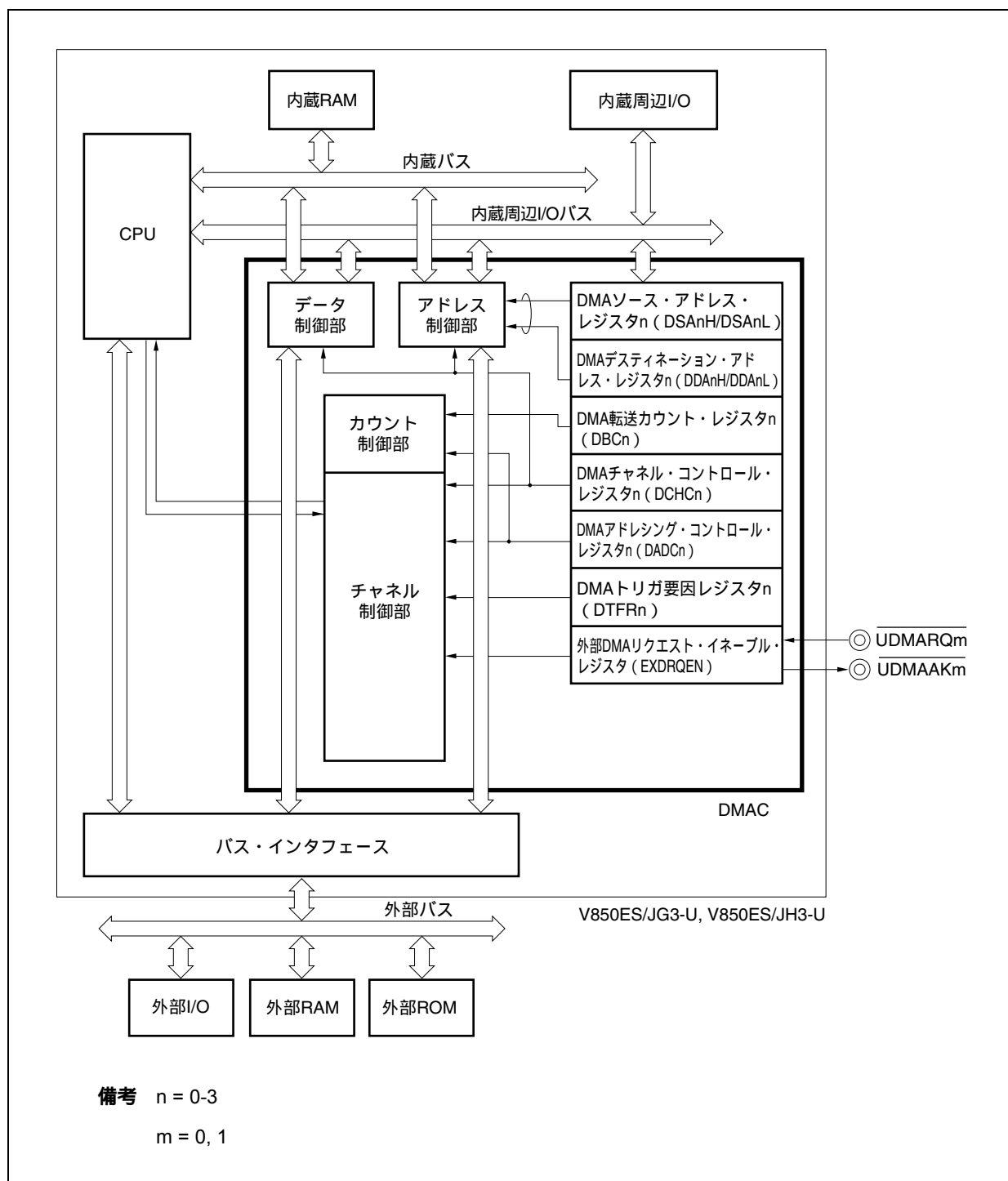
転送要求

- ・内蔵周辺I/O(シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ), 外部入力端子からの割り込みによる要求
- ・ソフトウェア・トリガによる要求

転送対象

- ・内蔵RAM 周辺I/O
- ・周辺I/O 周辺I/O
- ・内蔵RAM 外部メモリ
- ・外部メモリ 周辺I/O
- ・外部メモリ 外部メモリ

22.2 構 成



22.3 レジスタ

(1) DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネルnのDMA転送元アドレス (26ビット) を設定します (n = 0-3)。

このレジスタは、DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DSA0H FFFFF082H, DSA1H FFFFF08AH,
DSA2H FFFFF092H, DSA3H FFFFF09AH,
DSA0L FFFFF080H, DSA1L FFFFF088H,
DSA2L FFFFF090H, DSA3L FFFFF098H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnH (n = 0-3)	IR	0	0	0	0	0	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnL (n = 0-3)	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0

IR	DMA転送元の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

SA25-SA16	DMA転送元のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。
-----------	--

SA15-SA0	DMA転送元のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。
----------	---

- 注意1.** DSAnHレジスタのビット14-10には, 必ず“0”を設定してください。
- DSAnH, DSAnLレジスタの設定は, DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。
 - リセット後から最初のDMA転送起動までの期間
 - DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
 - DSAnレジスタの値を読み出す際, DSAnHレジスタとDSAnLレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります (22.13 注意事項参照)。
 - リセット後, DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は, 動作を保証しません。

(2) DMA デスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャネルnのDMA転送先アドレス (26ビット) を設定します (n = 0-3)。

このレジスタは、DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DDA0H FFFFFFF086H, DDA1H FFFFFFF08EH,
DDA2H FFFFFFF096H, DDA3H FFFFFFF09EH,
DDA0L FFFFFFF084H, DDA1L FFFFFFF08CH,
DDA2L FFFFFFF094H, DDA3L FFFFFFF09CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnH (n = 0-3)	IR	0	0	0	0	0	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnL (n = 0-3)	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0

IR	DMA転送先の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

DA25-DA16	DMA転送先のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送先アドレスを保持します。 DMA転送が終了すると, 最初に設定されたDMA転送元アドレスを保持します。
-----------	--

DA15-DA0	DMA転送先のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送先アドレスを保持します。 DMA転送が終了すると, 最初に設定されたDMA転送元アドレスを保持します。
----------	---

注意1. DDAnHレジスタのビット14-10には, 必ず“0”を設定してください。

2. DDAnH, DDAnLレジスタの設定は, DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
3. DDAnレジスタの値を読み出す際, DDAnHレジスタとDDAnLレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります (22.13 注意事項参照)。
4. リセット後, DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は, 動作を保証しません。

(3) DMA 転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャンネルnの転送数を設定する16ビット・レジスタです (n = 0-3)。

DMA転送中は、残りの転送数を保持します。

転送データ単位 (8/16ビット) にかかわらず、1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DBC0 FFFFFFF0C0H, DBC1 FFFFFFF0C2H,
DBC2 FFFFFFF0C4H, DBC3 FFFFFFF0C6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBCn (n = 0-3)	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0

BC15-BC0	転送数の設定, またはDMA転送中の残りの転送数
0000H	1回の転送, または残り転送数
0001H	2回の転送, または残り転送数
:	:
FFFFH	65536 (2 ¹⁶) 回の転送, または残り転送数
DMA転送が完了すると, 最初に設定された転送データ数を保持します。	

注意1. DBCnレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
2. リセット後, DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は, 動作を保証しません。

(4) DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャンネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時 : 0000H R/W アドレス : DADC0 FFFFF0D0H, DADC1 FFFFF0D2H,
DADC2 FFFFF0D4H, DADC3 FFFFF0D6H

DADCn (n = 0-3)	15	14	13	12	11	10	9	8
	0	DS0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	SAD1	SAD0	DAD1	DAD0	0	0	0	0

DS0	転送データ・サイズの設定
0	8ビット
1	16ビット

SAD1	SAD0	転送元アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DAD1	DAD0	転送先アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

- 注意1.** DADCnレジスタのビット15, 13-8, 3-0には、必ず“0”を設定してください。
- DADCnレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。
 - ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
 - DS0ビットは転送データ・サイズを設定するものであり、バス・サイジングを制御するものではありません。したがって、8ビット・データ (DS0ビット = 0) を設定した場合でも、必ずしも下位データ・バスを使用するわけではありません。
 - 転送データ・サイズを16ビットに設定した場合 (DS0ビット = 1)、奇数アドレスから始まる転送はできません。下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。
 - 内蔵周辺I/Oレジスタを対象 (転送元/転送先) とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ず (8ビット) 転送を指定してください。

(5) DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャンネルnのDMA転送動作モードを指定する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です(ただし、ビット7はリードだけ、ビット1, 2はライトだけ可能です。ビット1, 2をリードした場合は0が読み出されます。)。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : DCHC0 FFFFFFF0E0H, DCHC1 FFFFFFF0E2H,
DCHC2 FFFFFFF0E4H, DCHC3 FFFFFFF0E6H

	⑦	6	5	4	3	②	①	①
DCHCn	TCn ^{注1}	0	0	0	0	INITn ^{注2}	STGn ^{注2}	Enn

(n = 0-3)

TCn ^{注1}	DMAチャンネルnのDMA転送の完了 / 未完了を示すステータス・フラグ
0	DMA転送未完了
1	DMA転送完了

DMA転送の最後の転送時にセット (1) され、読み出しによってクリア (0) されます。

INITn ^{注2}	DMA転送が禁止された状態で (Ennビット = 0) , INITnビットをセット (1) するとDMA転送のステータスを初期化できます。 DMA転送が完了する前に (TCnビットがセット (1) される前) , DMA転送ステータスの再設定 (DDAnH, DDAnL, DSAnH, DSAnL, DBCn, DADCnレジスタの再設定) を行う場合は、必ずDMAチャンネルの初期化後に行ってください。 ただし、DMAコントローラの初期化は、必ず22. 13 注意事項に示す手順にしたがって行ってください。
---------------------	--

STGn ^{注2}	DMA転送のソフトウェア起動トリガです。 DMA転送が許可の状態 (TCnビット = 0, Ennビット = 1) でこのビットをセット (1) するとDMA転送を開始します。
--------------------	---

Enn	DMAチャンネルnのDMA転送の許可 / 禁止の設定
0	DMA転送の禁止
1	DMA転送の許可

Ennビットをセット (1) するとDMA転送が許可されます。
DMA転送が完了 (ターミナル・カウント発生) すると、自動的にクリア (0) されます。
なお、DMA転送を中断するには、ソフトウェアでEnnビットをクリア (0) してください。再開するには、再度Ennビットをセット (1) してください。
ただし、DMA転送の中断 / 再開は、必ず22. 13 注意事項に示す手順にしたがって行ってください。

注1. TCnビットはリードのみ可能です。

2. INITn, STGnビットはライトのみ可能です。

注意1. DCHCnレジスタのビット6-3には、必ず“0”を設定してください。

2. DMA転送完了時 (ターミナル・カウント時) は、Ennビットのクリア (0) TCnビットのセット (1) の順で各ビットの更新が行われます。そのため、DCHCnレジスタの各ビットの更新途中にDCHCnレジスタを読み出した場合、「転送未完了、かつ転送禁止」の状態を示す値 (TCnビット = 0, かつEnnビット = 0) が読み出されることがあります。

(6) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oからの割り込み要求信号によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求信号が、DMA転送の起動要因になります。

8ビット単位でリード/ライト可能です。ただし、DFnビットのみ1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：DTFR0 FFFFF810H, DTFR1 FFFFF812H,
DTFR2 FFFFF814H, DTFR3 FFFFF816H

	⑦	6	5	4	3	2	1	0
DTFRn	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

(n = 0-3)

DFn ^注	DMA転送要求ステータス・フラグ
0	DMA転送要求なし
1	DMA転送要求あり

注 DFnビットはソフトウェアにより“1”を設定しないでください。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合に0をライトしてください。

注意1. IFCn5-IFCn0ビットの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
2. スタンバイ・モード (IDLE1, IDLE2, STOP, サブIDLEモード) 中に発生した割り込み要求は、DMA転送サイクルの起動要因にはなりません (DFnビットもセット (1) されません)。
 3. IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは、DMA転送の許可/禁止にかかわらず、選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット (1) されます。この状態でDMA許可とした場合、ただちにDMA転送が起動されます。
 4. DTFRnレジスタの設定を変更する場合は必ず次の手順で行ってください。
 - ・IFCn5-IFCn0ビットに設定する値が他チャンネルのIFCm5-IFCm0ビットに設定されていない場合 (n = 0-3, m = 0-3, n ≠ m)
 - 書き換え対象となるチャンネルのDMA動作を停止 (DCHCn.Ennビット = 0) する。
 - DTFRnレジスタの設定を変更する (必ずDFnビット = 0とし、かつ8ビット操作で行ってください)。
 - DFnビット = 0であることを確認する (あらかじめ、割り込み発生要因の動作を停止しておいてください)。
 - DMA動作を許可 (Ennビット = 1) する。
 - ・IFCn5-IFCn0ビットに設定する値がすでに他チャンネルのIFCm5-IFCm0ビットに設定されている場合 (n = 0-3, m = 0-3, n = m)
 - 書き換え対象となるチャンネルのDMA動作を停止 (DCHCn.Ennビット = 0) する。
 - IFCn5-IFCn0ビットに書き換える値と同じ値がIFCm5-IFCm0ビットに設定されているチャンネルのDMA動作を停止 (DCHCm.Emmビット = 0) する。
 - DTFRnレジスタの設定を変更する (必ずDFnビット = 0とし、かつ8ビット操作で行ってください)。
 - DFnビット = 0およびDFmビット = 0であることを確認する (あらかじめ、割り込み発生要因の動作を停止しておいてください)。
 - DMA動作を許可 (Ennビット = 1およびEmmビット = 1) する。

備考 IFCn5-IFCn0ビットについては表22 - 1 DMA起動要因を参照してください。

表22 - 1 DMA起動要因 (1/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	割り込みによるDMA要求禁止
0	0	0	0	0	1	INTP02
0	0	0	0	1	0	INTP05
0	0	0	0	1	1	INTP09
0	0	0	1	0	0	INTP10
0	0	0	1	0	1	INTP13
0	0	0	1	1	0	INTP16
0	0	0	1	1	1	INTTAB0OV
0	0	1	0	0	0	INTTAB0CC0
0	0	1	0	0	1	INTTAB0CC1
0	0	1	0	1	0	INTTAB0CC2
0	0	1	0	1	1	INTTAB0CC3
0	0	1	1	0	0	INTTAB1OV_BASE ^注
0	0	1	1	0	1	INTTAB1CC0
0	0	1	1	1	0	INTTAB1CC1
0	0	1	1	1	1	INTTAB1CC2
0	1	0	0	0	0	INTTAB1CC3
0	1	0	0	0	1	INTTT0OV
0	1	0	0	1	0	INTTT0CC0
0	1	0	0	1	1	INTTT0CC1
0	1	0	1	0	0	INTTAA0OV
0	1	0	1	0	1	INTTAA0CC0
0	1	0	1	1	0	INTTAA0CC1
0	1	0	1	1	1	INTTAA1OV
0	1	1	0	0	0	INTTAA1CC0
0	1	1	0	0	1	INTTAA1CC1
0	1	1	0	1	0	INTTAA2CC0
0	1	1	0	1	1	INTTAA2CC1
0	1	1	1	0	0	INTTAA3CC0
0	1	1	1	0	1	INTTAA3CC1
0	1	1	1	1	0	INTTAA4CC0
0	1	1	1	1	1	INTTAA4CC1
1	0	0	0	0	0	INTTAA5CC0
1	0	0	0	0	1	INTTAA5CC1
1	0	0	0	1	0	INTTM0EQ0
1	0	0	0	1	1	INTTM1EQ0
1	0	0	1	0	0	INTTM2EQ0
1	0	0	1	0	1	INTTM3EQ0
1	0	0	1	1	0	INTCF0R/INTIIC1
1	0	0	1	1	1	INTCF0T
1	0	1	0	0	0	INTCF1R
1	0	1	0	0	1	INTCF1T

注 INTTAB1OV_BASEは、TAB1のオーバフロー割り込み (INTTAB1OV) がTMQOPで間引き処理される前の割り込み信号である。

表22 - 1 DMA起動要因 (2/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
1	0	1	0	1	0	INTCF2R
1	0	1	0	1	1	INTCF2T
1	0	1	1	0	0	INTCF3R
1	0	1	1	0	1	INTCF3T
1	0	1	1	1	0	INTCF4R
1	0	1	1	1	1	INTCF4T
1	1	0	0	0	0	INTUC0R
1	1	0	0	0	1	INTUC0T
1	1	0	0	1	0	INTUC1R/INTIIC2
1	1	0	0	1	1	INTUC1T
1	1	0	1	0	0	INTUC2R
1	1	0	1	0	1	INTUC2T
1	1	0	1	1	0	INTUC3R/INTIIC0
1	1	0	1	1	1	INTUC3T
1	1	1	0	0	0	INTUC4R
1	1	1	0	0	1	INTUC4T
1	1	1	0	1	0	INTAD
1	1	1	0	1	1	INTKR
1	1	1	1	0	0	INTRTC1

備考 n = 0-3

(7) 外部DMAリクエスト・イネーブル・レジスタ (EXDRQEN)

EXDRQENレジスタは、UDMARQm/UDMAAKm端子を使用して外部USBデバイス接続時のDMAリクエストをDMAの各チャンネルに設定するレジスタです (m = 0, 1)。

8ビットでリード/ライト可能です。

リセットにより、00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFF60H

	7	6	5	4	3	2	1	0
EXDRQEN	RQ3EX1E	RQ2EX1E	RQ1EX1E	RQ0EX1E	RQ3EX0E	RQ2EX0E	RQ1EX0E	RQ0EX0E

RQnEX1E	DMAチャンネルnの割り付け (n = 0-3)
0	UDMARQ1/UDMAAK1端子にDMAチャンネルnを割り付けない
1	UDMARQ1/UDMAAK1端子にDMAチャンネルnを割り付ける

RQnEX0E	DMAチャンネルnの割り付け (n = 0-3)
0	UDMARQ0/UDMAAK0端子にDMAチャンネルnを割り付けない
1	UDMARQ0/UDMAAK0端子にDMAチャンネルnを割り付ける

- 注意1. UDMARQ1/UDMAAK1端子に対して、複数のDMAチャンネルを割り当てることは禁止です (UDMARQ1/UDMAAK1端子に対して、RQ3EX1E, RQ2EX1E, RQ1EX1E, RQ0EX1Eビットを同時にセットすることは禁止です)。
2. UDMARQ0/UDMAAK0端子に対して、複数のDMAチャンネルを割り当てることは禁止です (UDMARQ0/UDMAAK0端子に対して、RQ3EX0E, RQ2EX0E, RQ1EX0E, RQ0EX0Eビットを同時にセットすることは禁止です)。
3. 同じDMAチャンネルをUDMARQ1/UDMAAK1端子とUDMARQ0/UDMAAK0端子の両方に割り当てることは禁止です (RQ3EX1EとRQ3EX0E, RQ2EX1EとRQ2EX0E, RQ1EX1EとRQ1EX0E, RQ0EX1EとRQ0EX0Eビットをそれぞれ同時にセットすることは禁止です)。
4. EXDRQENレジスタを設定して外部からのDMAリクエストを使用する場合、DTFRn.IFCn5-IFCn0ビット = 000000 (割り込みによるDMA要求禁止) に設定してください。詳細は22.3(6) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) を参照してください。

22.4 転送対象

転送対象の関係を次に示します (: 転送可, × : 転送不可)。

表22 - 2 転送対象の関係

		転送先			
		内蔵ROM	内蔵周辺I/O	内蔵RAM	外部メモリ
転送元	内蔵周辺I/O	×			
	内蔵RAM	×		×	
	外部メモリ	×			
	内蔵ROM	×	×	×	×

注意 表22 - 2に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証できません。

22.5 転送モード

転送モードとして、シングル転送をサポートしています。

シングル転送では、1回のバイト/ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

ただし、転送サイクル中に同一チャネルの新たな転送要求と、他の優先順位が低いチャネルの転送要求が発生した場合、CPUにバスを解放した次の転送は、新たに要求のあった優先順位の低いチャネルのDMA転送となります (転送サイクル中は、同一チャネルの新たな転送要求は無視されます)。

22.6 転送タイプ

転送タイプとして、2サイクル転送をサポートしています。

2サイクル転送は、リード・サイクル、ライト・サイクルと2回のサイクルでデータを転送します。

リード・サイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、ライト・サイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

リード・サイクルとライト・サイクルの間には、必ず1クロック分のアイドル・サイクルが挿入されます。

2サイクルのDMA転送で、転送元と転送先のデータ・バス幅が異なる場合、次のような動作になります。

< 16ビット・データ転送の場合 >

32ビット・バス 16ビット・バスへの転送

リード・サイクル(上位16ビットはハイ・インピーダンス)が発生し、そのあとライト・サイクル(16ビット)が発生します。

16/32ビット・バス 8ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後8ビットのライト・サイクルが2回発生します。

8ビット・バス 16/32ビット・バスへの転送の場合

8ビットのリード・サイクルが2回発生し、その後16ビットのライト・サイクルが1回発生します。

16ビット・バス 32ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後16ビットのライト・サイクルが1回発生します。

なお、内蔵周辺I/Oレジスタを対象(転送元/転送先)とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ずバイト(8ビット)転送を指定してください。

備考 各転送対象(転送元/転送先)のバス幅は次のとおりです。

- ・内蔵周辺I/O : 16ビット・バス幅
- ・内蔵RAM : 32ビット・バス幅
- ・外部メモリ : 8もしくは16ビット・バス幅

22.7 DMAチャネルの優先順位

DMAチャネルの優先順位は固定で、次のようになります。

DMAチャネル0 > DMAチャネル1 > DMAチャネル2 > DMAチャネル3

1回の転送サイクルの度に優先順位がチェックされます。

22.8 DMA転送に関する各種時間

DMA要求に対する応答時間、DMA転送にかかる最小クロック数を次に示します。

シングル転送 : DMA応答時間() + 転送元メモリ・アクセス() + 1^{注1} + 転送先メモリ・アクセス()

DMAサイクル		最小実行クロック数
DMA要求に対する応答時間		4クロック (MIN.) + ノイズ除去時間 ^{注2}
メモリ・アクセス	外部メモリ・アクセス	接続するメモリで異なります
	内蔵RAMアクセス	2クロック ^{注3}
	周辺I/Oレジスタ・アクセス	3クロック + VSWCレジスタによるウエイト数 ^{注4}
	USBレジスタ・アクセス	4クロック ^{注5}
	データ専用RAMアクセス	4クロック ^{注5}

- 注1. DMA転送のリード・サイクルとライト・サイクルの間には、必ず1クロック挿入されます。
2. 外部割り込み (INTPn) をDMA転送の起動要因に指定した場合、ノイズ除去時間が加算されます (n = 00-18)。
3. DMAサイクルの場合は、2クロックかかります。
4. 特定の周辺I/Oレジスタへのアクセスについては、さらにウエイトが必要となります(詳細は3.4.7(2)を参照してください)。
5. データ・ウエイト1 (DWC0レジスタ)、アドレス・ウエイト0 (AWCレジスタ)、アイドル・ステート0 (BCCレジスタ) の場合のクロック数。

22.9 DMA転送起動要因

DMA転送の起動要因には、次の2種類があります。

(1) ソフトウェアによる要求

DCHCn.TCnビット = 0, かつEnnビット = 1 (DMA転送許可) の状態で, STGnビットをセット (1) すると, DMA転送を起動します。

続けて次のDMA転送サイクルを要求するには, DBCnレジスタにて, 先のDMA転送サイクルが完了したことを確認してから, 再度STGnビットをセット (1) してください (n = 0-3)。

TCnビット = 0, Ennビット = 1

STGnビット = 1 ... 1回目のDMA転送開始

DBCnレジスタの内容が更新されたことを確認

STGnビット = 1 ... 2回目のDMA転送開始

:

ターミナル・カウント発生...Ennビット = 0, TCnビット = 1かつINTDMA_n信号発生

(2) 内蔵周辺I/Oによる要求

DCHCn.TCnビット = 0, かつEnnビット = 1 (DMA転送許可) の状態で, DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると, DMA転送を起動します。

- 注意1. 同一のDMAチャンネルに対して, 2つの起動要因 (ソフトウェア・トリガ, ハードウェア・トリガ) を併用できません。1つのDMAチャンネルに対して, 2つの起動要因が同時に発生した場合, どちらか一方だけが有効となります。有効となった起動要因の特定はできません。
2. 先のDMA転送要求が発生してから, または先のDMA転送サイクル中に新たな転送要求が発生しても, その要求は無視 (クリア) されます。
3. 同一のDMAチャンネルに対する転送要求間隔は, DMA転送サイクル中のバス・ウエイトの設定やほかのチャンネルの起動状況, または外部バス・ホールド要求により変化します。特に注意2のとおり, DMA転送サイクル前, または転送サイクル中に同一チャンネルの新たな転送要求が発生しても, その要求は無視されてしまいます。したがって, 同一のDMAチャンネルに対する転送要求間隔は, システム上で十分な間隔をもつようにしてください。ソフトウェア・トリガ時は, DBCnレジスタの更新により, 先に発生したDMA転送サイクルの完了を確認できます。

22. 10 DMAの中断要因

DMA転送は、バス・ホールドが発生すると中断されます。

内部メモリ / 内蔵周辺IO 内部メモリ / 内蔵周辺I/O時も同様です。

バス・ホールドが解除されると、引き続きDMA転送を開始します。

22. 11 DMA転送の終了

DBCnレジスタに設定した回数分DMA転送が終了し、DCHCn.Ennビットがクリア(0)、TCnビットがセット(1)されると、割り込みコントローラ (INTC) に対して、DMA転送終了割り込み要求信号 (INTDMA_n) を発生します (n = 0-3)。

V850ES/JG3-U, V850ES/JH3-Uでは、ターミナル・カウント信号を外部に出力していませんので、DMA転送終了割り込み、またはTCnビットのポーリングによりDMA転送の完了を確認してください。

22. 12 動作タイミング

図22 - 1から図22 - 4にDMAの動作タイミングを示します。

図22 - 1 DMAの優先順位 (1)

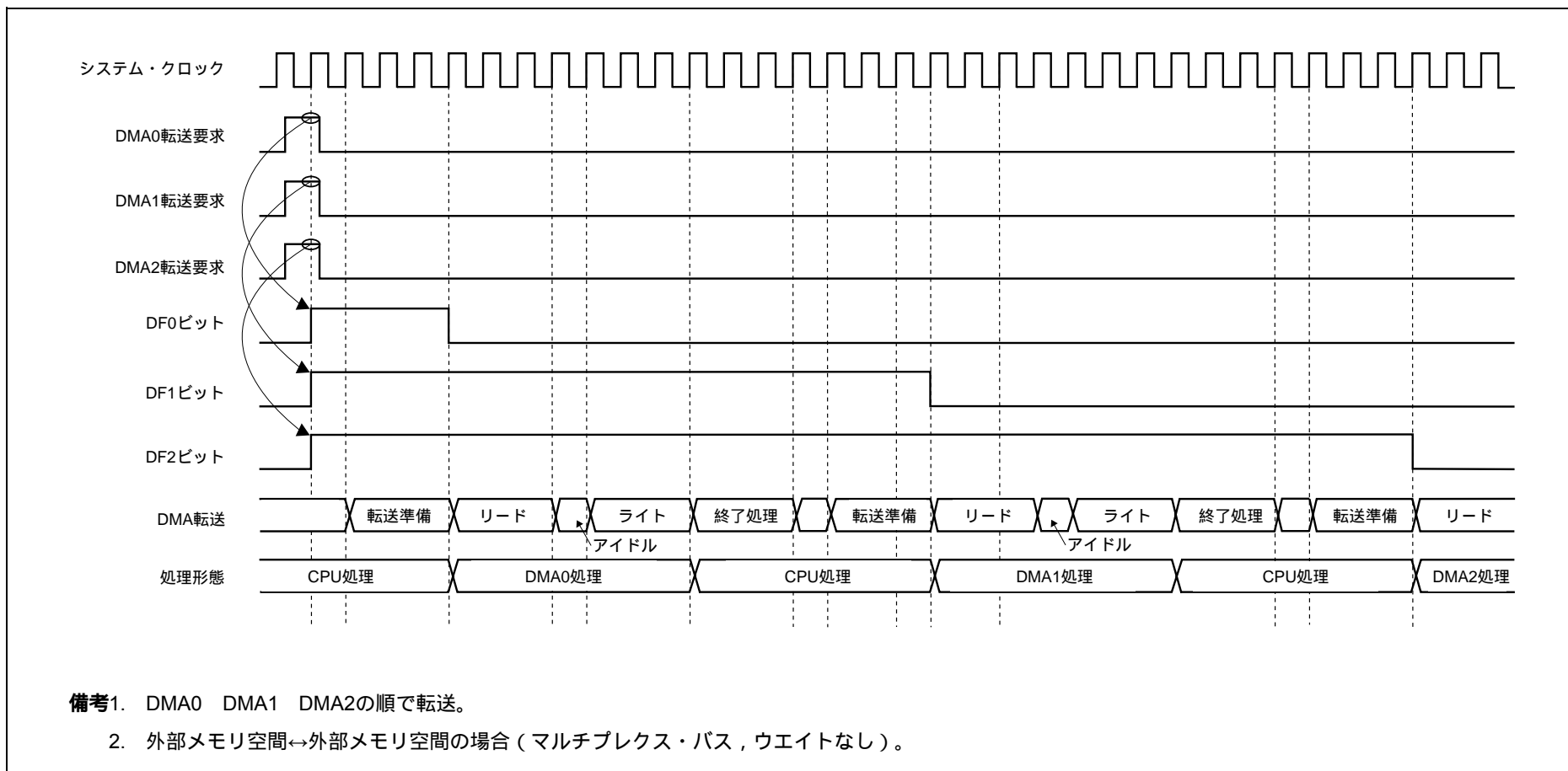


図22 - 2 DMAの優先順位 (2)

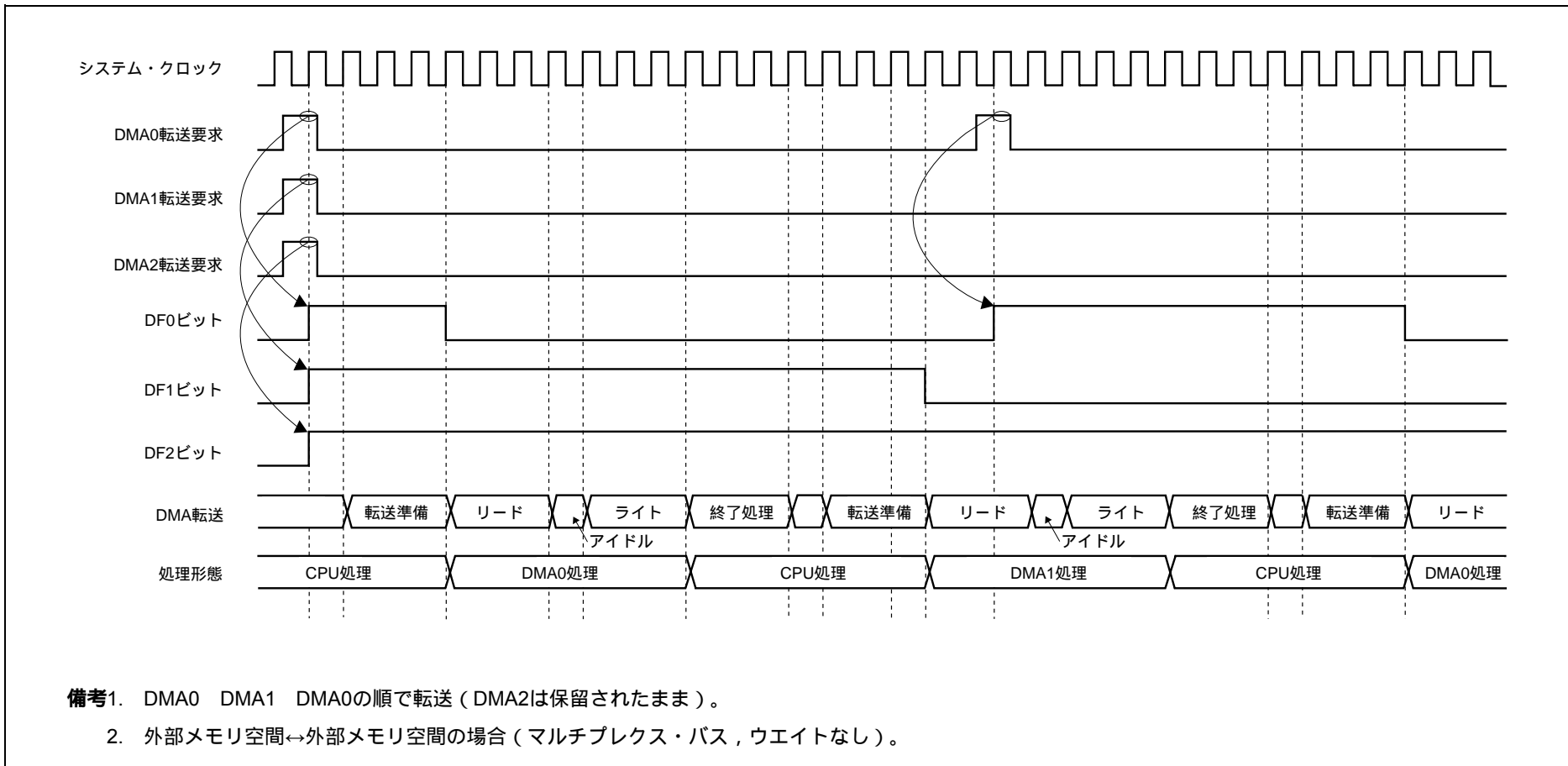


図22 - 3 DMAの転送要求が無視される期間 (1)

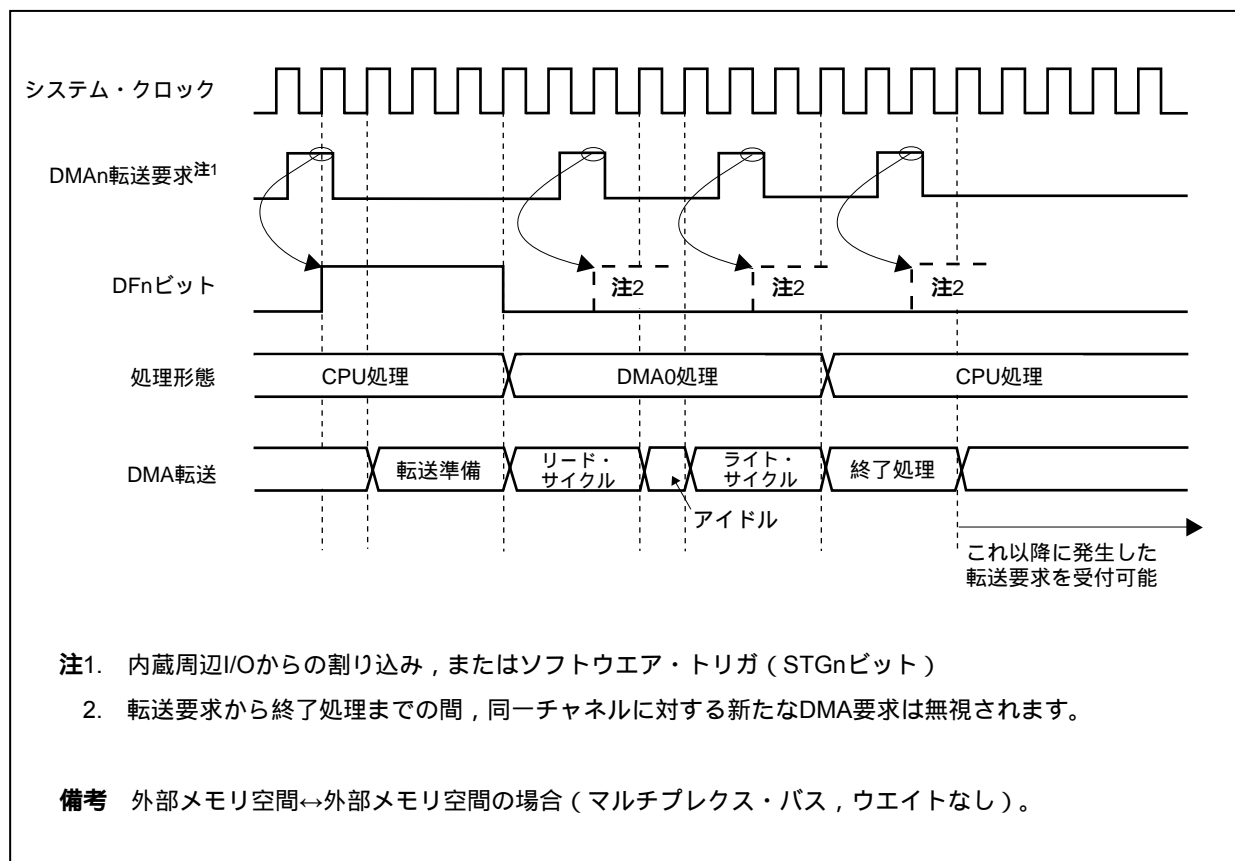
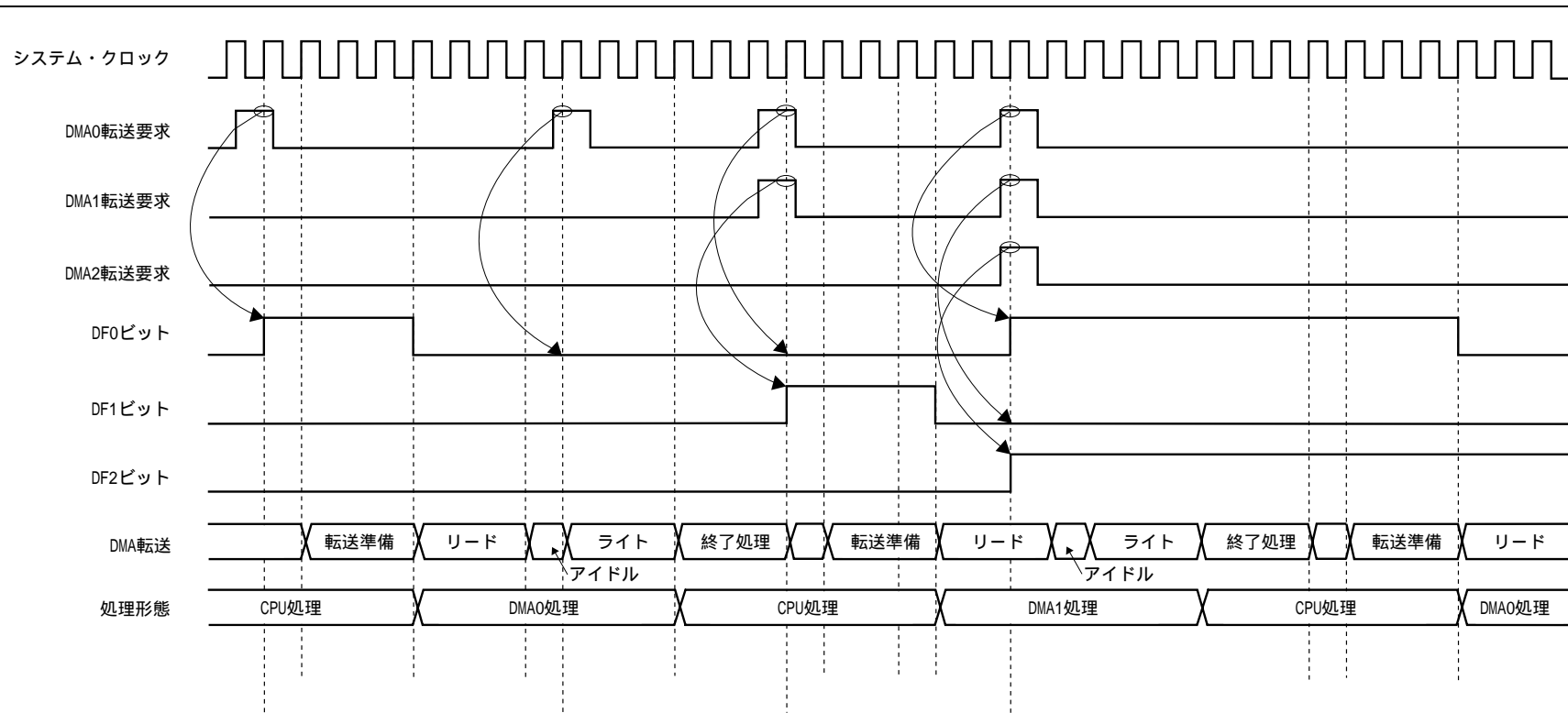


図22 - 4 DMAの転送要求が無視される期間 (2)



DMA0転送要求

DMA0転送中に新たなDMA0転送要求が発生

DMA転送中の同一チャネルのDMA要求は無視される

DMA0とDMA1の要求が同時発生

DMA0の要求は無視される (転送中の同一チャネルのDMA要求は無視される)

DMA1の要求が受け付けられる

DMA0とDMA1とDMA2の要求が同時に発生

DMA1の要求は無視される (転送中の同一チャネルのDMA要求は無視される)

優先順位によりDMA0の要求が受け付けられる。DMA2の要求は保留 (次はDMA2の転送が発生)

22. 13 注意事項

(1) VSWCレジスタに関する注意

DMACを使用する際は、必ずVSWCレジスタに、動作周波数に応じた最適な値を設定してください。

VSWCレジスタの初期値(77H)、または最適な値以外でを使用した場合は正常に動作できません(VSWCレジスタの詳細については、3. 4. 8(1)(a) システム・ウェイト・コントロール・レジスタ(VSWC)を参照してください)。

(2) DCHCn.TCnビットのリードに関する注意事項(n = 0-3)

TCnビットは、読み出しによりクリア(0)されますが、ある特定タイミングにおいてTCnビットをリードしても、自動的にクリア(0)されません。TCnビットのクリアを確実に実行するために次の処理を追加してください。

(a) TCnビットをポーリングしてDMA転送完了の待ち合わせを行う場合

TCnビットがセット(1)されたことを確認したあと(TCnビット = 1が読み出されたあと)、さらに3回のTCnビットのリードを行ってください。

(b) 割り込み処理ルーチンでTCnビットのリードを行う場合

TCnビットのリードを3回実行してください。

(3) DMA 転送の初期化手順について (DCHCn.INITn ビットのセット (1))

DMA 転送中のチャンネルを初期化するとき、INITn ビットをセット (1) しても、チャンネルの初期化が行われない場合があります。初期化を確実に実行するために、次に示す 2 つの手順のいずれかを実行させてください。

(a) 一時的にすべての DMA チャンネルの転送を停止させる方法

次に示す ~ の手順で初期化を実行してください。

ただし、次の に示す処理の実行により、TCn ビットがクリア (0) されてしまいます。ほかの処理において、TCn ビット = 1 となっていることを期待したプログラムになっていないことを確認してください。

割り込み禁止状態 (DI) にする。

強制終了したいチャンネル以外に使用している DMA チャンネルの DCHCn.Enn ビットを読み出し、汎用レジスタに転送する。

使用している DMA チャンネル (強制終了するチャンネルを含む) の Enn ビットをクリア (0) する。最終の DMA チャンネルの場合には Enn ビットのクリア命令を 2 回実行する。このとき、転送対象 (転送元 / 転送先) が内蔵 RAM の場合は、3 回実行する。

例 チャンネル 0, 1, 2 を使用している場合には、次の順で命令を実行する (転送対象が内蔵 RAM でない場合)。

- ・ DCHC0.E00 ビットをクリア (0)
- ・ DCHC1.E11 ビットをクリア (0)
- ・ DCHC2.E22 ビットをクリア (0)
- ・ 再度、DCHC2.E22 ビットをクリア (0)

強制終了するチャンネルの INITn ビットをセット (1) する。

強制終了しない各チャンネルの TCn ビットを読み出し、TCn ビットと で読み出した Enn ビットが、ともに 1 (論理積 (AND) が 1) の場合は退避していた Enn ビットをクリア (0) する。

で操作後の Enn ビットを DCHCn レジスタに書き込む。

割り込み許可状態 (EI) にする。

注意 上記 は、 , の間に正常終了したチャンネルに対して、再度 Enn ビットを不正にセットすることを防ぐため、必ず行ってください。

(b) 正常に強制終了するまでINITnビットのセットを繰り返し実行する方法

強制終了したいチャンネルのDMA要求元からのリクエストが発生しないようにする (内蔵周辺I/Oの動作停止)。

DTFRn.DFnビットにより、強制終了するチャンネルのDMA転送要求が保留されていないかを確認する。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。

強制終了するチャンネルのDMA要求が保留されていないことが確認できたら、Ennビットをクリア (0) する。

再度、強制終了するチャンネルのEnnビットをクリア (0) する。

ただし、強制終了するチャンネルの転送対象 (転送元 / 転送先) が内蔵RAMの場合は、この操作をさらにもう一度実行する。

強制終了するチャンネルの初期転送回数を汎用レジスタにコピーする。

強制終了するチャンネルのINITnビットをセット (1) する。

強制終了するチャンネルのDBCnレジスタの値を読み出し、 でコピーした値と比較する。比較した結果、一致しない場合は から の操作を繰り返す。

- 備考1.** でDBCnレジスタの値を読み出すと、正常に強制終了を完了した場合は初期転送回数が読み出されず。未完了の場合は残りの転送回数が読み出されます。
2. (b)の方法は、強制終了の対象となっているDMAチャンネル以外のDMA転送が頻繁に行われるようなアプリケーションの場合、強制終了されるまでに時間を要する可能性があるので注意してください。

(4) DMA転送の一時中断手順について (Ennビットのクリア)

実行中のDMA転送を中断し、再開するには次の手順にしたがってください。

DMA要求元からの転送要求が発生しないようにする (内蔵周辺I/Oの動作を停止)。

DFnビットにより、DMA転送要求が保留されていないかを確認する (DFnビット = 0であることを確認)。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。

DMA転送要求が保留されていないことを確認できたら、Ennビットをクリア (0) する (この操作により、DMA転送が中断される)。

DMA転送を再開させるためにEnnビットをセット (1) する。

停止しているDMA要求元の動作を再開する (内蔵周辺I/Oの動作を開始)。

(5) メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象 (外部メモリ、内蔵RAM、内蔵周辺I/O) の領域を越えた場合の動作は保証できません。

(6) ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。

(7) CPUへのバス・アービトレーション

バス使用権の優先順位はCPUよりDMAコントローラが高いため、DMA転送中に発生したCPUのアクセスは、DMA転送サイクルが完了しCPUにバスが開放されるまで待たされます。

ただし、CPUはDMA転送を行っていない外部メモリ、内蔵周辺I/O、内蔵RAMとのアクセスが可能です。

- ・外部メモリ 内蔵周辺I/Oとの間でDMA転送が行われているとき、CPUは内蔵RAMにアクセスできません。
- ・外部メモリ 外部メモリでDMA転送が行われているときは、CPUは内蔵RAM、内蔵周辺I/Oにアクセスできます。

(8) DMA動作中の書き換え禁止レジスタ/ビット

次のレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。

【対象レジスタ】

- ・ DSA_nH, DSA_nL, DDA_nH, DDA_nL, DBC_n, DADC_nレジスタ
- ・ DTFR_n.IFC_n5-IFC_n0ビット

【設定可能タイミング】

- ・ リセット後から最初のDMA転送開始までの期間
- ・ チャンネル初期化後からDMA転送開始までの時間
- ・ DMA転送完了後 (TC_nビット = 1の状態) から次のDMA転送開始までの期間

(9) 次のレジスタの各ビットには、必ず“0”を設定してください。

- ・ DSA_nHレジスタのビット14-10
- ・ DDA_nHレジスタのビット14-10
- ・ DADC_nレジスタのビット15, 13-8, 3-0
- ・ DCHC_nレジスタのビット6-3

(10) DMAの起動要因

同じ起動要因で複数のDMAチャンネルを起動しないでください。起動した場合、すでに設定済みのチャンネルのDMAが起動されたり、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられたりする場合があります、動作は保証できません。

(11) DSAn, DDAAnレジスタの読み出し値

DMA転送中にDSAn, DDAAnレジスタの値を読み出した場合、更新途中の値が読み出されることがあります (n = 0-3)。

たとえば、DMA転送元アドレス (DSAnレジスタ) が0000FFFFH、カウント方向がインクリメント (DADCn.SAD1, SAD0ビット = 00) の場合、DSAnHレジスタ DSAnLレジスタの順に読み出しを行うと、DSAnHレジスタ読み出し直後のDMA転送の有無によって、DSAnLレジスタの値が次のように異なります。

(a) DSAnレジスタの読み出し中にDMA転送が発生しない場合

DSAnHレジスタの読み出し : DSAnH = 0000H

DSAnLレジスタの読み出し : DSAnL = FFFFH

(b) DSAnレジスタの読み出し中にDMA転送が発生する場合

DSAnHレジスタの読み出し : DSAnH = 0000H

DMA転送の発生

DSAnレジスタのインクリメント : DSAn = 00100000H

DSAnLレジスタの読み出し : DSAnL = 0000H

第23章 割り込み / 例外処理機能

V850ES/JG3-U, V850ES/JH3-Uは、割り込み処理用に専用の割り込みコントローラ (INTC) を内蔵し、合計87-92要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850ES/JG3-U, V850ES/JH3-Uでは、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求信号を処理できます。さらに、TRAP命令による例外処理の起動 (ソフトウェア例外) や、例外事象の発生 (不正命令コードのフェッチ) による例外処理の起動 (例外トラップ) が可能です。

23.1 特 徴

割り込み

表23 - 1 V850ES/JG3-U, V850ES/JH3-Uの割り込みの数

		内部			外部		
		ノンマスクابل	マスクابل	計	ノンマスクابل	マスクابل	計
V850ES/JG3-U	μ PD70F3763	1	71	72	1	14	15
	μ PD70F3764	1	71	72	1	14	15
V850ES/JH3-U	μ PD70F3768	1	71	72	1	19	20
	μ PD70F3769	1	71	72	1	19	20

- ・ 8レベルのプログラマブル優先順位制御 (マスクابل割り込み)
- ・ 優先順位に従った割り込み多重処理制御
- ・ 個々のマスクابل割り込み要求に対するマスク指定
- ・ 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ ソフトウェア例外 : 32要因
- ・ 例外トラップ : 2要因 (不正命令コード例外, デバッグ・トラップ)

これらのV850ES/JG3-Uの割り込み / 例外要因を表23 - 2に、V850ES/JH3-Uの割り込み / 例外要因を表23 - 3にそれぞれ示します。

表23 - 2 V850ES/JG3-Uの割り込み要因一覧 (1/4)

種類	分類	デフォルト・ 優先度	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
リセット	割り込み	-	RESET	RESET端子入力/ 内部要因からのリセッ ト入力	RESET	0000H	00000000H	不定	-
ノンマス カブル	割り込み	-	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	nextPC	-
		-	INTWDT2	WDT2のオーバフロー	WDT2	0020H	00000020H	注1	-
ソフトウ エア例外	例外	-	TRAP0n ^{注2}	TRAP命令	-	004nH ^{注2}	00000040H	nextPC	-
		-	TRAP1n ^{注2}	TRAP命令	-	005nH ^{注2}	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP/ DBG0	不正命令コード/ DBTRAP命令	-	0060H	00000060H	nextPC	-
マスカブル	割り込み	0	INTLVI	低電圧検出	POCLVI	0080H	00000080H	nextPC	LVIIC
		3	INTP02	外部割り込み端子入力 エッジ検出 (INTP02)	端子	00B0H	000000B0H	nextPC	PIC02
		6	INTP05	外部割り込み端子入力 エッジ検出 (INTP05)	端子	00E0H	000000E0H	nextPC	PIC05
		8	INTP07	外部割り込み端子入力 エッジ検出 (INTP07)	端子	0100H	00000100H	nextPC	PIC07
		9	INTP08	外部割り込み端子入力 エッジ検出 (INTP08)	端子	0110H	00000110H	nextPC	PIC08
		10	INTP09	外部割り込み端子入力 エッジ検出 (INTP09)	端子	0120H	00000120H	nextPC	PIC09
		11	INTP10	外部割り込み端子入力 エッジ検出 (INTP10)	端子	0130H	00000130H	nextPC	PIC10
		12	INTP11	外部割り込み端子入力 エッジ検出 (INTP11)	端子	0140H	00000140H	nextPC	PIC11
		13	INTP12	外部割り込み端子入力 エッジ検出 (INTP12)	端子	0150H	00000150H	nextPC	PIC12
		14	INTP13	外部割り込み端子入力 エッジ検出 (INTP16)	端子	0160H	00000160H	nextPC	PIC13
		15	INTP14	外部割り込み端子入力 エッジ検出 (INTP14)	端子	0170H	00000170H	nextPC	PIC14
		16	INTP15	外部割り込み端子入力 エッジ検出 (INTP15)	端子	0180H	00000180H	nextPC	PIC15
		17	INTP16	外部割り込み端子入力 エッジ検出 (INTP16)	端子	0190H	00000190H	nextPC	PIC16

注1. INTWDT2の場合の復帰については23. 2 (2) INTWDT2信号の場合を参照してください。

2. nは0-FHの値

表23 - 2 V850ES/JG3-Uの割り込み要因一覧 (2/4)

種類	分類	デフォルト・ フイオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスカブル	割り込み	18	INTP17	外部割り込み端子入力 エッジ検出 (INTP17)	端子	01A0H	000001A0H	nextPC	PIC17
		19	INTP18	外部割り込み端子入力 エッジ検出 (INTP18)	端子	01B0H	000001B0H	nextPC	PIC18
		20	INTTAB0OV	TAB0オーバフロー	TAB0	01C0H	000001C0H	nextPC	TAB0OVIC
		21	INTTAB0CC0	TAB0キャプチャ0 /コンペア0一致	TAB0	01D0H	000001D0H	nextPC	TAB0CCIC0
		22	INTTAB0CC1	TAB0キャプチャ1 /コンペア1一致	TAB0	01E0H	000001E0H	nextPC	TAB0CCIC1
		23	INTTAB0CC2	TAB0キャプチャ2 /コンペア2一致	TAB0	01F0H	000001F0H	nextPC	TAB0CCIC2
		24	INTTAB0CC3	TAB0キャプチャ3 /コンペア3一致	TAB0	0200H	00000200H	nextPC	TAB0CCIC3
		25	INTTAB1 OV ^{注1}	TAB1オーバフロー	TAB1	0210H	00000210H	nextPC	TAB1OVIC
		26	INTTAB1 CC0 ^{注2}	TAB1キャプチャ0 /コンペア0一致	TAB1	0220H	00000220H	nextPC	TAB1CCIC0
		27	INTTAB1CC1	TAB1キャプチャ1 /コンペア1一致	TAB1	0230H	00000230H	nextPC	TAB1CCIC1
		28	INTTAB1CC2	TAB1キャプチャ2 /コンペア2一致	TAB1	0240H	00000240H	nextPC	TAB1CCIC2
		29	INTTAB1CC3	TAB1キャプチャ3 /コンペア3一致	TAB1	0250H	00000250H	nextPC	TAB1CCIC3
		30	INTTT0OV	TMT0オーバフロー	TMT0	0260H	00000260H	nextPC	TT0OVIC
		31	INTTT0CC0	TMT0キャプチャ0 /コンペア0一致	TMT0	0270H	00000270H	nextPC	TT0CCIC0
		32	INTTT0CC1	TMT0キャプチャ1 /コンペア1一致	TMT0	0280H	00000280H	nextPC	TT0CCIC1
		33	INTTT0EC	TMT0エンコーダ入力	TMT0	0290H	00000290H	nextPC	TT0ECIC
		34	INTTAA0OV	TAA0オーバフロー	TAA0	02A0H	000002A0H	nextPC	TAA0OVIC
		35	INTTAA0CC0	TAA0キャプチャ0 /コンペア0一致	TAA0	02B0H	000002B0H	nextPC	TAA0CCIC0
		36	INTTAA0CC1	TAA0キャプチャ1 /コンペア1一致	TAA0	02C0H	000002C0H	nextPC	TAA0CCIC1
		37	INTTAA1OV	TAA1オーバフロー	TAA1	02D0H	000002D0H	nextPC	TAA1OVIC
		38	INTTAA1CC0	TAA1キャプチャ0 /コンペア0一致	TAA1	02E0H	000002E0H	nextPC	TAA1CCIC0
		39	INTTAA1CC1	TAA1キャプチャ1 /コンペア1一致	TAA1	02F0H	000002F0H	nextPC	TAA1CCIC1
		40	INTTAA2OV	TAA2オーバフロー	TAA2	0300H	00000300H	nextPC	TAA2OVIC

注1. TAB1を6相PWM出力モードで使用する場合は、TMQOPからのゼロ一致割り込み (TAB1TIOD) 要求として機能します。

2. TAB1を6相PWM出力モードで使用する場合は、TMQOPからのコンペア一致割り込み (TAB1TICD0) 要求として機能します。

表23 - 2 V850ES/JG3-Uの割り込み要因一覧 (3/4)

種類	分類	デフォルト・ 優先度	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスク可能	割り込み	41	INTTAA2CC0	TAA2キャプチャ0 / コンペア0一致	TAA2	0310H	00000310H	nextPC	TAA2CCIC0
		42	INTTAA2CC1	TAA2キャプチャ1 / コンペア1一致	TAA2	0320H	00000320H	nextPC	TAA2CCIC1
		43	INTTAA3OV	TAA3オーバフロー	TAA3	0330H	00000330H	nextPC	TAA3OVIC
		44	INTTAA3CC0	TAA3キャプチャ0 / コンペア0一致	TAA3	0340H	00000340H	nextPC	TAA3CCIC0
		45	INTTAA3CC1	TAA3キャプチャ1 / コンペア1一致	TAA3	0350H	00000350H	nextPC	TAA3CCIC1
		46	INTTAA4OV	TAA4オーバフロー	TAA4	0360H	00000360H	nextPC	TAA4OVIC
		47	INTTAA4CC0	TAA4コンペア0一致	TAA4	0370H	00000370H	nextPC	TAA4CCIC0
		48	INTTAA4CC1	TAA4コンペア1一致	TAA4	0380H	00000380H	nextPC	TAA4CCIC1
		49	INTTAA5OV	TAA5オーバフロー	TAA5	0390H	00000390H	nextPC	TAA5OVIC
		50	INTTAA5CC0	TAA5キャプチャ0 / コンペア0一致	TAA5	03A0H	000003A0H	nextPC	TAA5CCIC0
		51	INTTAA5CC1	TAA5キャプチャ1 / コンペア1一致	TAA5	03B0H	000003B0H	nextPC	TAA5CCIC1
		52	INTTM0EQ0	TMM0コンペア一致	TMM0	03C0H	000003C0H	nextPC	TM0EQIC0
		53	INTTM1EQ0	TMM1コンペア一致	TMM1	03D0H	000003D0H	nextPC	TM1EQIC0
		54	INTTM2EQ0	TMM2コンペア一致	TMM2	03E0H	000003E0H	nextPC	TM2EQIC0
		55	INTTM3EQ0	TMM3コンペア一致	TMM3	03F0H	000003F0H	nextPC	TM3EQIC0
		56	INTCF0R /INTIIC1	CSIF0の受信終了 / CSIF0の受信エラー / IIC1の転送終了	CSIF0 /IIC1	0400H	00000400H	nextPC	CF0RIC /IICIC1
		57	INTCF0T	CSIF0の連続送信書き 込み許可	CSIF0	0410H	00000410H	nextPC	CF0TIC
		58	INTCF1R	CSIF1の受信終了 / CSIF1の受信エラー	CSIF1	0420H	00000420H	nextPC	CF1RIC
		59	INTCF1T	CSIF1の連続送信書き 込み許可	CSIF1	0430H	00000430H	nextPC	CF1TIC
		60	INTCF2R	CSIF2の受信終了 / CSIF2の受信エラー	CSIF2	0440H	00000440H	nextPC	CF2RIC
		61	INTCF2T	CSIF2の連続送信書き 込み許可	CSIF2	0450H	00000450H	nextPC	CF2TIC
		62	INTCF3R	CSIF3の受信終了 / CSIF3の受信エラー	CSIF3	0460H	00000460H	nextPC	CF3RIC
		63	INTCF3T	CSIF3の連続送信書き 込み許可	CSIF3	0470H	00000470H	nextPC	CF3TIC
		64	INTCF4R	CSIF4の受信終了 / CSIF4の受信エラー	CSIF4	0480H	00000480H	nextPC	CF4RIC
		65	INTCF4T	CSIF4の連続送信書き 込み許可	CSIF4	0490H	00000490H	nextPC	CF4TIC

表23 - 2 V850ES/JG3-Uの割り込み要因一覧 (4/4)

種類	分類	デフォルト・ 優先度	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスカブル	割り込み	66	INTUC0R	UARTC0の受信終了 / UARTC0の受信エラー	UARTC0	04A0H	000004A0H	nextPC	UC0RIC
		67	INTUC0T	UARTC0の連続送信 許可	UARTC0	04B0H	000004B0H	nextPC	UC0TIC
		68	INTUC1R /INTIIC2	UARTC1の受信終了 / UARTC1の受信エラー / IIC2転送終了	UARTC1 /IIC2	04C0H	000004C0H	nextPC	UC1RIC /IICIC2
		69	INTUC1T	UARTC1の連続送信 許可	UARTC1	04D0H	000004D0H	nextPC	UC1TIC
		70	INTUC2R	UARTC2の受信終了 / UARTC2の受信エラー	UARTC2	04E0H	000004E0H	nextPC	UC2RIC
		71	INTUC2T	UARTC2の連続送信 許可	UARTC2	04F0H	000004F0H	nextPC	UC2TIC
		72	INTUC3R/ INTIIC0	UARTC3の受信終了 / UARTC0の受信エラー / IIC0転送終了	UARTC3 /IIC0	0500H	00000500H	nextPC	UC3RIC /IICIC0
		73	INTUC3T	UARTC3の連続送信 許可	UARTC3	0510H	00000510H	nextPC	UC3TIC
		74	INTUC4R	UARTC4の受信終了 / UARTC4の受信エラー	UARTC4	0520H	00000520H	nextPC	UC4RIC
		75	INTUC4T	UARTC4の連続送信 許可	UARTC4	0530H	00000530H	nextPC	UC4TIC
		76	INTAD	A/D変換終了	A/D	0540H	00000540H	nextPC	ADIC
		77	INTDMA0	DMA0転送終了	DMA	0550H	00000550H	nextPC	DMAIC0
		78	INTDMA1	DMA1転送終了	DMA	0560H	00000560H	nextPC	DMAIC1
		79	INTDMA2	DMA2転送終了	DMA	0570H	00000570H	nextPC	DMAIC2
		80	INTDMA3	DMA3転送終了	DMA	0580H	00000580H	nextPC	DMAIC3
		81	INTKR	キー・リターン割り込み	KR	0590H	00000590H	nextPC	KRIC
		82	INTRTC0	RTC定周期信号	RTC	05A0H	000005A0H	nextPC	RTC0IC
		83	INTRTC1	RTCアラーム一致	RTC	05B0H	000005B0H	nextPC	RTC1IC
		84	INTRTC2	RTCインターバル信号	RTC	05C0H	000005C0H	nextPC	RTC2IC
		89	INTUSBH0	USBHステータス割り込み	USBH	0610H	00000610H	nextPC	UHIC0
		90	INTUSBH1	USBH PCIサイクル・エラー	USBH	0620H	00000620H	nextPC	UHIC1
91	INTUSBH2	USBH PME割り込み	USBH	0630H	00000630H	nextPC	UHIC2		
92	INTUSBF0	USBF割り込み	USBF	0640H	00000640H	nextPC	UFIC0		
93	INTUSBF1	USBFレジャーム割り込み	USBF	0650H	00000650H	nextPC	UFIC1		

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスクブル割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

ノンマスクブル割り込みの優先順位は、INTWDT2 > NMIとなります。

復帰PC：割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお、次の命令実行中にノンマスクブル / マスクブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます）。

- ・ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- ・除算命令（DIV, DIVH, DIVU, DIVHU）
- ・PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、（復帰PC - 4）で求められます。

表23 - 3 V850ES/JH3-Uの割り込み要因一覧 (1/4)

種類	分類	デフォルト・ 優先度	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
リセット	割り込み	-	RESET	RESET端子入力/ 内部要因からのリセッ ト入力	RESET	0000H	00000000H	不定	-
ノンマス カブル	割り込み	-	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	nextPC	-
		-	INTWDT2	WDT2のオーバフロー	WDT2	0020H	00000020H	注1	-
ソフトウ エア例外	例外	-	TRAP0n ^{注2}	TRAP命令	-	004nH ^{注2}	00000040H	nextPC	-
		-	TRAP1n ^{注2}	TRAP命令	-	005nH ^{注2}	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP/ DBG0	不正命令コード/ DBTRAP命令	-	0060H	00000060H	nextPC	-
マスカブル	割り込み	0	INTLVI	低電圧検出	POCLVI	0080H	00000080H	nextPC	LVIIC
		1	INTP00	外部割り込み端子入力 エッジ検出 (INTP00)	端子	0090H	00000090H	nextPC	PIC00
		2	INTP01	外部割り込み端子入力 エッジ検出 (INTP01)	端子	00A0H	000000A0H	nextPC	PIC01
		3	INTP02	外部割り込み端子入力 エッジ検出 (INTP02)	端子	00B0H	000000B0H	nextPC	PIC02
		4	INTP03	外部割り込み端子入力 エッジ検出 (INTP03)	端子	00C0H	000000C0H	nextPC	PIC03
		5	INTP04	外部割り込み端子入力 エッジ検出 (INTP04)	端子	00D0H	000000D0H	nextPC	PIC04
		6	INTP05	外部割り込み端子入力 エッジ検出 (INTP05)	端子	00E0H	000000E0H	nextPC	PIC05
		7	INTP06	外部割り込み端子入力 エッジ検出 (INTP06)	端子	00F0H	000000F0H	nextPC	PIC06
		8	INTP07	外部割り込み端子入力 エッジ検出 (INTP07)	端子	0100H	00000100H	nextPC	PIC07
		9	INTP08	外部割り込み端子入力 エッジ検出 (INTP08)	端子	0110H	00000110H	nextPC	PIC08
		10	INTP09	外部割り込み端子入力 エッジ検出 (INTP09)	端子	0120H	00000120H	nextPC	PIC09
		11	INTP10	外部割り込み端子入力 エッジ検出 (INTP10)	端子	0130H	00000130H	nextPC	PIC10
		12	INTP11	外部割り込み端子入力 エッジ検出 (INTP11)	端子	0140H	00000140H	nextPC	PIC11
		13	INTP12	外部割り込み端子入力 エッジ検出 (INTP12)	端子	0150H	00000150H	nextPC	PIC12
		14	INTP13	外部割り込み端子入力 エッジ検出 (INTP16)	端子	0160H	00000160H	nextPC	PIC13
15	INTP14	外部割り込み端子入力 エッジ検出 (INTP14)	端子	0170H	00000170H	nextPC	PIC14		

注1. INTWDT2の場合の復帰については23. 2. 2 (2) INTWDT2信号の場合を参照してください。

2. nは0-FHの値

表23 - 3 V850ES/JH3-Uの割り込み要因一覧 (2/4)

種類	分類	デフォルト・ 優先リティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスカブル	割り込み	16	INTP15	外部割り込み端子入力 エッジ検出 (INTP15)	端子	0180H	00000180H	nextPC	PIC15
		17	INTP16	外部割り込み端子入力 エッジ検出 (INTP16)	端子	0190H	00000190H	nextPC	PIC16
		18	INTP17	外部割り込み端子入力 エッジ検出 (INTP17)	端子	01A0H	000001A0H	nextPC	PIC17
		19	INTP18	外部割り込み端子入力 エッジ検出 (INTP18)	端子	01B0H	000001B0H	nextPC	PIC18
		20	INTTAB0OV	TAB0オーバフロー	TAB0	01C0H	000001C0H	nextPC	TAB0OVIC
		21	INTTAB0CC0	TAB0キャプチャ0 / コンペア0一致	TAB0	01D0H	000001D0H	nextPC	TAB0CCIC0
		22	INTTAB0CC1	TAB0キャプチャ1 / コンペア1一致	TAB0	01E0H	000001E0H	nextPC	TAB0CCIC1
		23	INTTAB0CC2	TAB0キャプチャ2 / コンペア2一致	TAB0	01F0H	000001F0H	nextPC	TAB0CCIC2
		24	INTTAB0CC3	TAB0キャプチャ3 / コンペア3一致	TAB0	0200H	00000200H	nextPC	TAB0CCIC3
		25	INTTAB1 OV ^{注1}	TAB1オーバフロー	TAB1	0210H	00000210H	nextPC	TAB1OVIC
		26	INTTAB1 CC0 ^{注2}	TAB1キャプチャ0 / コンペア0一致	TAB1	0220H	00000220H	nextPC	TAB1CCIC0
		27	INTTAB1CC1	TAB1キャプチャ1 / コンペア1一致	TAB1	0230H	00000230H	nextPC	TAB1CCIC1
		28	INTTAB1CC2	TAB1キャプチャ2 / コンペア2一致	TAB1	0240H	00000240H	nextPC	TAB1CCIC2
		29	INTTAB1CC3	TAB1キャプチャ3 / コンペア3一致	TAB1	0250H	00000250H	nextPC	TAB1CCIC3
		30	INTTT0OV	TMT0オーバフロー	TMT0	0260H	00000260H	nextPC	TT0OVIC
		31	INTTT0CC0	TMT0キャプチャ0 / コンペア0一致	TMT0	0270H	00000270H	nextPC	TT0CCIC0
		32	INTTT0CC1	TMT0キャプチャ1 / コンペア1一致	TMT0	0280H	00000280H	nextPC	TT0CCIC1
		33	INTTT0EC	TMT0エンコーダ入力	TMT0	0290H	00000290H	nextPC	TT0ECIC
		34	INTTAA0OV	TAA0オーバフロー	TAA0	02A0H	000002A0H	nextPC	TAA0OVIC
		35	INTTAA0CC0	TAA0キャプチャ0 / コンペア0一致	TAA0	02B0H	000002B0H	nextPC	TAA0CCIC0
		36	INTTAA0CC1	TAA0キャプチャ1 / コンペア1一致	TAA0	02C0H	000002C0H	nextPC	TAA0CCIC1
		37	INTTAA1OV	TAA1オーバフロー	TAA1	02D0H	000002D0H	nextPC	TAA1OVIC

注1. TAB1を6相PWM出力モードで使用する場合は、TMQOPからのゼロ一致割り込み (TAB1TIOD) 要求として機能する。

2. TAB1を6相PWM出力モードで使用する場合は、TMQOPからのコンペア一致割り込み (TAB1TICD0) 要求として機能する。

表23 - 3 V850ES/JH3-Uの割り込み要因一覧 (3/4)

種類	分類	デフォルト・ 優先度	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスカブル	割り込み	38	INTTAA1CC0	TAA1キャプチャ0 / コンペア0一致	TAA1	02E0H	000002E0H	nextPC	TAA1CCIC0
		39	INTTAA1CC1	TAA1キャプチャ1 / コンペア1一致	TAA1	02F0H	000002F0H	nextPC	TAA1CCIC1
		40	INTTAA2OV	TAA2オーバフロー	TAA2	0300H	00000300H	nextPC	TAA2OVIC
		41	INTTAA2CC0	TAA2キャプチャ0 / コンペア0一致	TAA2	0310H	00000310H	nextPC	TAA2CCIC0
		42	INTTAA2CC1	TAA2キャプチャ1 / コンペア1一致	TAA2	0320H	00000320H	nextPC	TAA2CCIC1
		43	INTTAA3OV	TAA3オーバフロー	TAA3	0330H	00000330H	nextPC	TAA3OVIC
		44	INTTAA3CC0	TAA3キャプチャ0 / コンペア0一致	TAA3	0340H	00000340H	nextPC	TAA3CCIC0
		45	INTTAA3CC1	TAA3キャプチャ1 / コンペア1一致	TAA3	0350H	00000350H	nextPC	TAA3CCIC1
		46	INTTAA4OV	TAA4オーバフロー	TAA4	0360H	00000360H	nextPC	TAA4OVIC
		47	INTTAA4CC0	TAA4コンペア0一致	TAA4	0370H	00000370H	nextPC	TAA4CCIC0
		48	INTTAA4CC1	TAA4コンペア1一致	TAA4	0380H	00000380H	nextPC	TAA4CCIC1
		49	INTTAA5OV	TAA5オーバフロー	TAA5	0390H	00000390H	nextPC	TAA5OVIC
		50	INTTAA5CC0	TAA5キャプチャ0 / コンペア0一致	TAA5	03A0H	000003A0H	nextPC	TAA5CCIC0
		51	INTTAA5CC1	TAA5キャプチャ1 / コンペア1一致	TAA5	03B0H	000003B0H	nextPC	TAA5CCIC1
		52	INTTM0EQ0	TMM0コンペア一致	TMM0	03C0H	000003C0H	nextPC	TM0EQIC0
		53	INTTM1EQ0	TMM1コンペア一致	TMM1	03D0H	000003D0H	nextPC	TM1EQIC0
		54	INTTM2EQ0	TMM2コンペア一致	TMM2	03E0H	000003E0H	nextPC	TM2EQIC0
		55	INTTM3EQ0	TMM3コンペア一致	TMM3	03F0H	000003F0H	nextPC	TM3EQIC0
		56	INTCF0R /INTIIC1	CSIF0の受信終了 / CSIF0の受信エラー / IIC1の転送終了	CSIF0/ IIC1	0400H	00000400H	nextPC	CF0RIC /IICIC1
		57	INTCF0T	CSIF0の連続送信書き 込み許可	CSIF0	0410H	00000410H	nextPC	CF0TIC
		58	INTCF1R	CSIF1の受信終了 / CSIF1の受信エラー	CSIF1	0420H	00000420H	nextPC	CF1RIC
		59	INTCF1T	CSIF1の連続送信書き 込み許可	CSIF1	0430H	00000430H	nextPC	CF1TIC
		60	INTCF2R	CSIF2の受信終了 / CSIF2の受信エラー	CSIF2	0440H	00000440H	nextPC	CF2RIC
		61	INTCF2T	CSIF2の連続送信書き 込み許可	CSIF2	0450H	00000450H	nextPC	CF2TIC
		62	INTCF3R	CSIF3の受信終了 / CSIF3の受信エラー	CSIF3	0460H	00000460H	nextPC	CF3RIC

表23 - 3 V850ES/JH3-Uの割り込み要因一覧 (4/4)

種類	分類	デフォルト・ 優先リティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスカブル	割り込み	63	INTCF3T	CSIF3の連続送信書き 込み許可	CSIF3	0470H	00000470H	nextPC	CF3TIC
		64	INTCF4R	CSIF4の受信終了 / CSIF4の受信エラー	CSIF4	0480H	00000480H	nextPC	CF4RIC
		65	INTCF4T	CSIF4の連続送信書き 込み許可	CSIF4	0490H	00000490H	nextPC	CF4TIC
		66	INTUC0R	UARTC0の受信終了 / UARTC0の受信エラー	UARTC0	04A0H	000004A0H	nextPC	UC0RIC
		67	INTUC0T	UARTC0の連続送信許可	UARTC0	04B0H	000004B0H	nextPC	UC0TIC
		68	INTUC1R /INTIIC2	UARTC1の受信終了 / UARTC1の受信エラー / IIC2転送終了	UARTC1 /IIC2	04C0H	000004C0H	nextPC	UC1RIC /IICIC2
		69	INTUC1T	UARTC1の連続送信許可	UARTC1	04D0H	000004D0H	nextPC	UC1TIC
		70	INTUC2R	UARTC2の受信終了 / UARTC2の受信エラー	UARTC2	04E0H	000004E0H	nextPC	UC2RIC
		71	INTUC2T	UARTC2の連続送信許可	UARTC2	04F0H	000004F0H	nextPC	UC2TIC
		72	INTUC3R/ INTIIC0	UARTC3の受信終了 / UARTC0の受信エラー / IIC0転送終了	UARTC3 /IIC0	0500H	00000500H	nextPC	UC3RIC /IICIC0
		73	INTUC3T	UARTC3の連続送信許可	UARTC3	0510H	00000510H	nextPC	UC3TIC
		74	INTUC4R	UARTC4の受信終了 / UARTC4の受信エラー	UARTC4	0520H	00000520H	nextPC	UC4RIC
		75	INTUC4T	UARTC4の連続送信許可	UARTC4	0530H	00000530H	nextPC	UC4TIC
		76	INTAD	A/D変換終了	A/D	0540H	00000540H	nextPC	ADIC
		77	INTDMA0	DMA0転送終了	DMA	0550H	00000550H	nextPC	DMAIC0
		78	INTDMA1	DMA1転送終了	DMA	0560H	00000560H	nextPC	DMAIC1
		79	INTDMA2	DMA2転送終了	DMA	0570H	00000570H	nextPC	DMAIC2
		80	INTDMA3	DMA3転送終了	DMA	0580H	00000580H	nextPC	DMAIC3
		81	INTKR	キー・リターン割り込み	KR	0590H	00000590H	nextPC	KRIC
		82	INTRTC0	RTC定周期信号	RTC	05A0H	000005A0H	nextPC	RTC0IC
		83	INTRTC1	RTCアラーム一致	RTC	05B0H	000005B0H	nextPC	RTC1IC
		84	INTRTC2	RTCインターバル信号	RTC	05C0H	000005C0H	nextPC	RTC2IC
		89	INTUSBH0	USBHステータス割り込み	USBH	0610H	00000610H	nextPC	UHC0
		90	INTUSBH1	USBH PCIサイクル・エラー	USBH	0620H	00000620H	nextPC	UHC1
		91	INTUSBH2	USBH PME割り込み	USBH	0630H	00000630H	nextPC	UHC2
		92	INTUSBF0	USBF割り込み	USBF	0640H	00000640H	nextPC	UFIC0
93	INTUSBF1	USBFレジューム割り込み	USBF	0650H	00000650H	nextPC	UFIC1		

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスクブル割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

ノンマスクブル割り込みの優先順位は、INTWDT2 > NMIとなります。

復帰PC：割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお、次の命令実行中にノンマスクブル / マスクブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます）。

- ・ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- ・除算命令（DIV, DIVH, DIVU, DIVHU）
- ・PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、（復帰PC - 4）で求められます。

23.2 ノンマスクابل割り込み

ノンマスクابل割り込み要求信号は、CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求信号に対して最優先されます。

この製品のノンマスクابل割り込み要求信号には、次の2つがあります。

- ・ NMI端子入力（NMI）
- ・ ウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込み要求信号（INTWDT2）

NMI端子の有効エッジは、“立ち上がりエッジ”、“立ち下がりエッジ”、“両エッジ”、“エッジ検出なし”の4種類から選択できます。

ウォッチドッグ・タイマ2のオーバフローによるノンマスクابل割り込み要求信号（INTWDT2）はWDTM2.WDM21, WDM20ビットを“01”と設定することで機能します。

複数のノンマスクابل割り込み要求信号が重なって発生した場合は、次の優先順位に従って順位の高い処理が実行されます（優先順位の低い割り込み要求信号は無視されます）。

INTWDT2 > NMI

なお、NMI処理中に、新たにNMI, INTWDT2要求信号が発生した場合は次のような処理を行います。

（1）NMI処理中に、新たにNMI要求信号が発生した場合

PSW.NPビットの値によらず、新たなNMI要求信号は保留されます。保留されたNMI要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

（2）NMI処理中に、新たにINTWDT2要求信号が発生した場合

NMI処理中にNPビットがセット（1）されたままであれば、新たなINTWDT2要求信号は保留されます。保留されたINTWDT2要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

NMI処理中にNPビットをクリア（0）すれば、新たに発生したINTWDT2要求信号が実行されます（NMI処理は中断されます）。

注意 ノンマスクابل割り込み要求信号（INTWDT2）によるノンマスクابل割り込み処理については23.2.2（2）INTWDT2信号の場合を参照してください。

図23 - 1 ノンマスクابل割り込み要求信号の受け付け動作 (1/2)

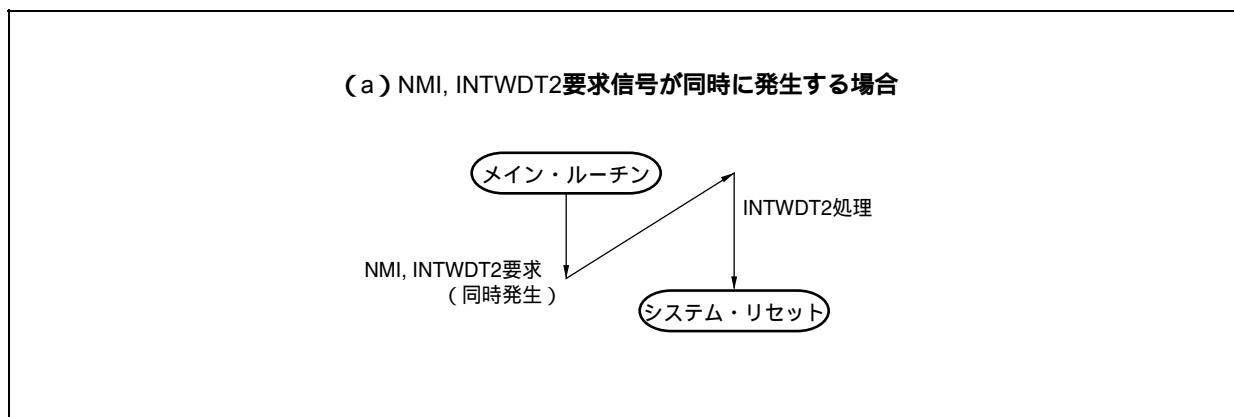
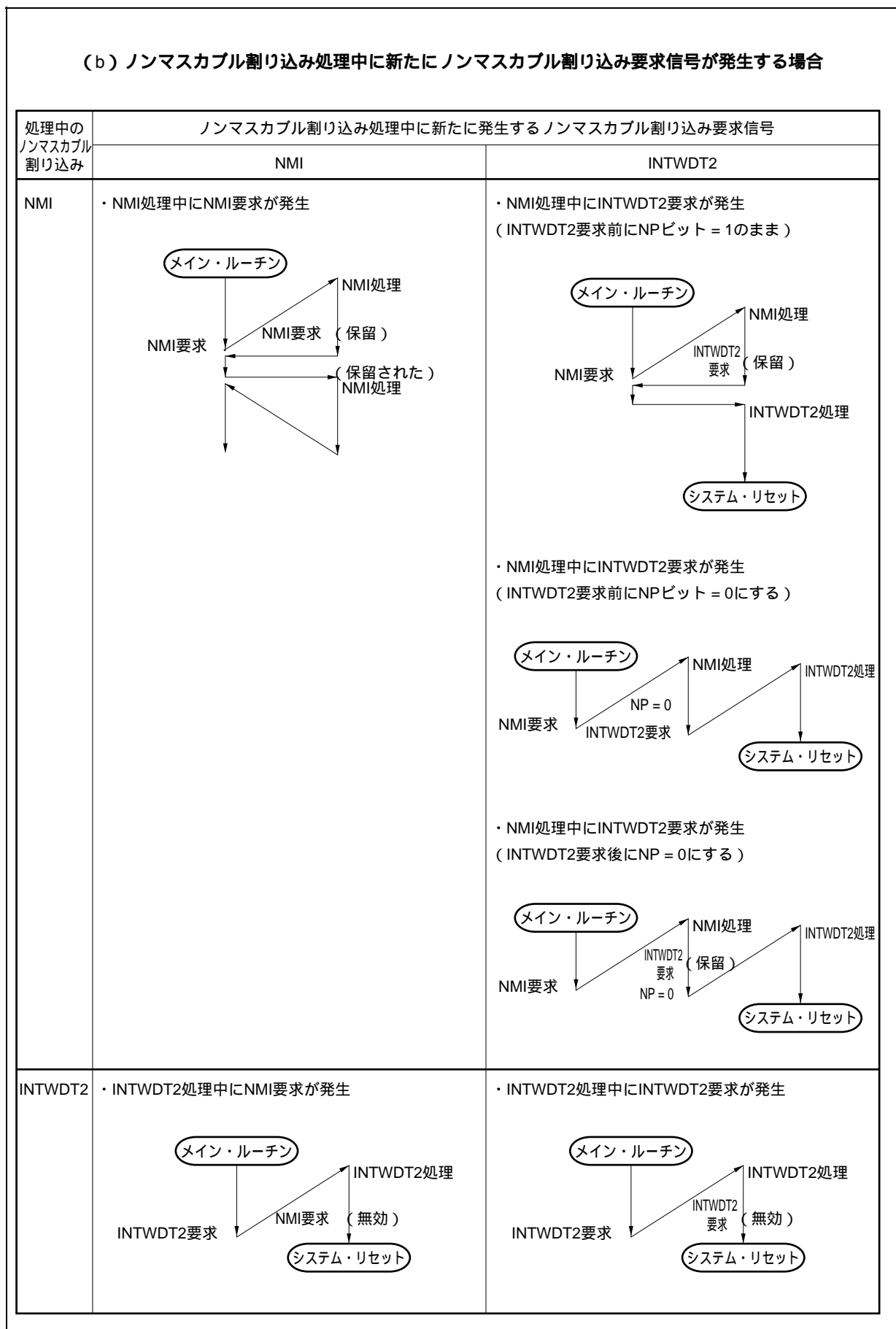


図23 - 1 ノンマスクابل割り込み要求信号の受け付け動作 (2/2)



23.2.1 動作

ノンマスクブル割り込み要求信号が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

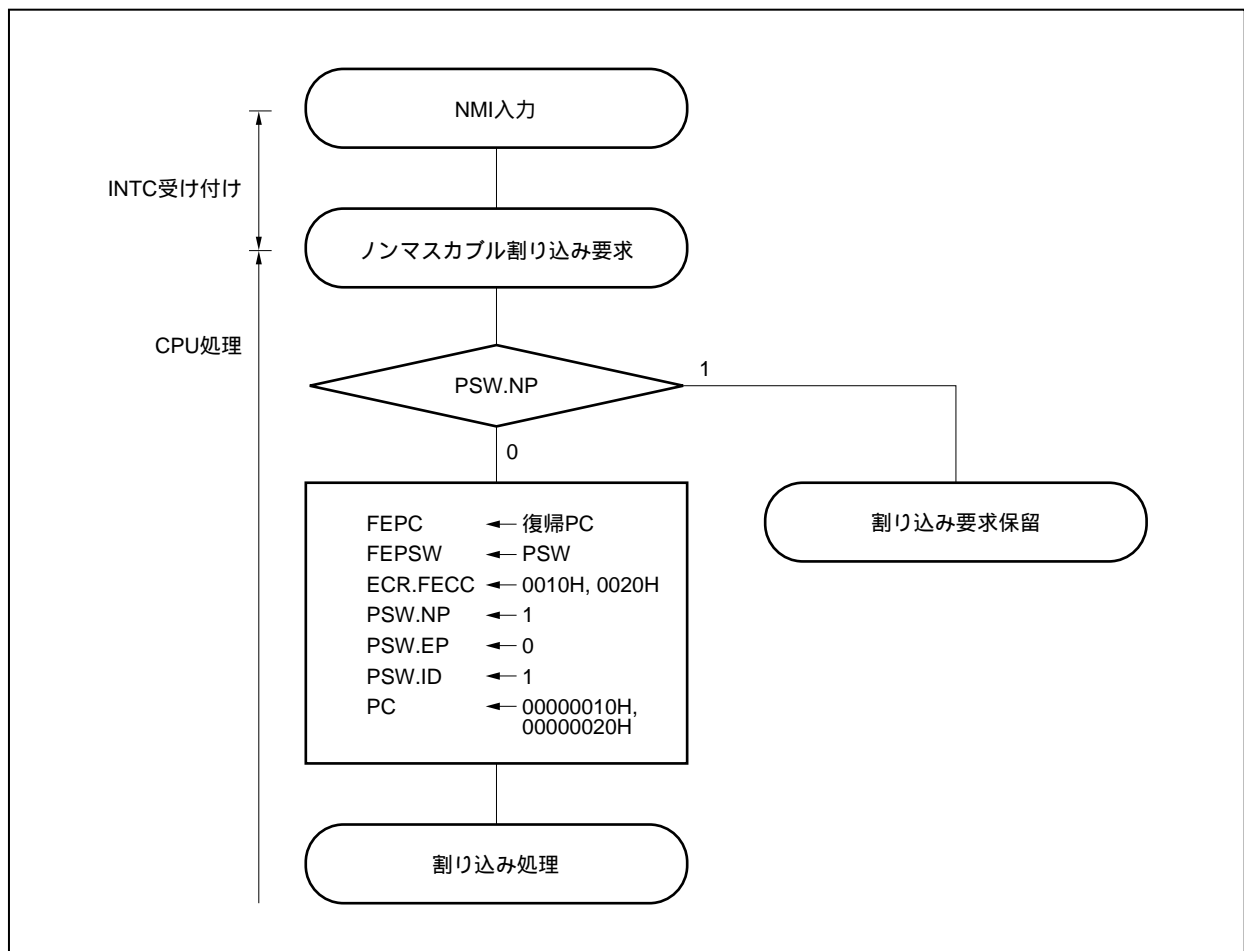
ECRの上位ハーフワード (FECC) に例外コード (0010H, 0020H) を書き込みます。

PSW.NP, IDビットをセット (1) し, PSW.EPビットをクリア (0) します。

PCにノンマスクブル割り込みに対するハンドラ・アドレス (00000010H, 00000020H) をセットし, 制御を移します。

ノンマスクブル割り込みの処理形態を次に示します。

図23-2 ノンマスクブル割り込みの処理形態



23.2.2 復 帰

(1) NMI端子入力の場合

NMI処理からの復帰は、RETI命令により行います。

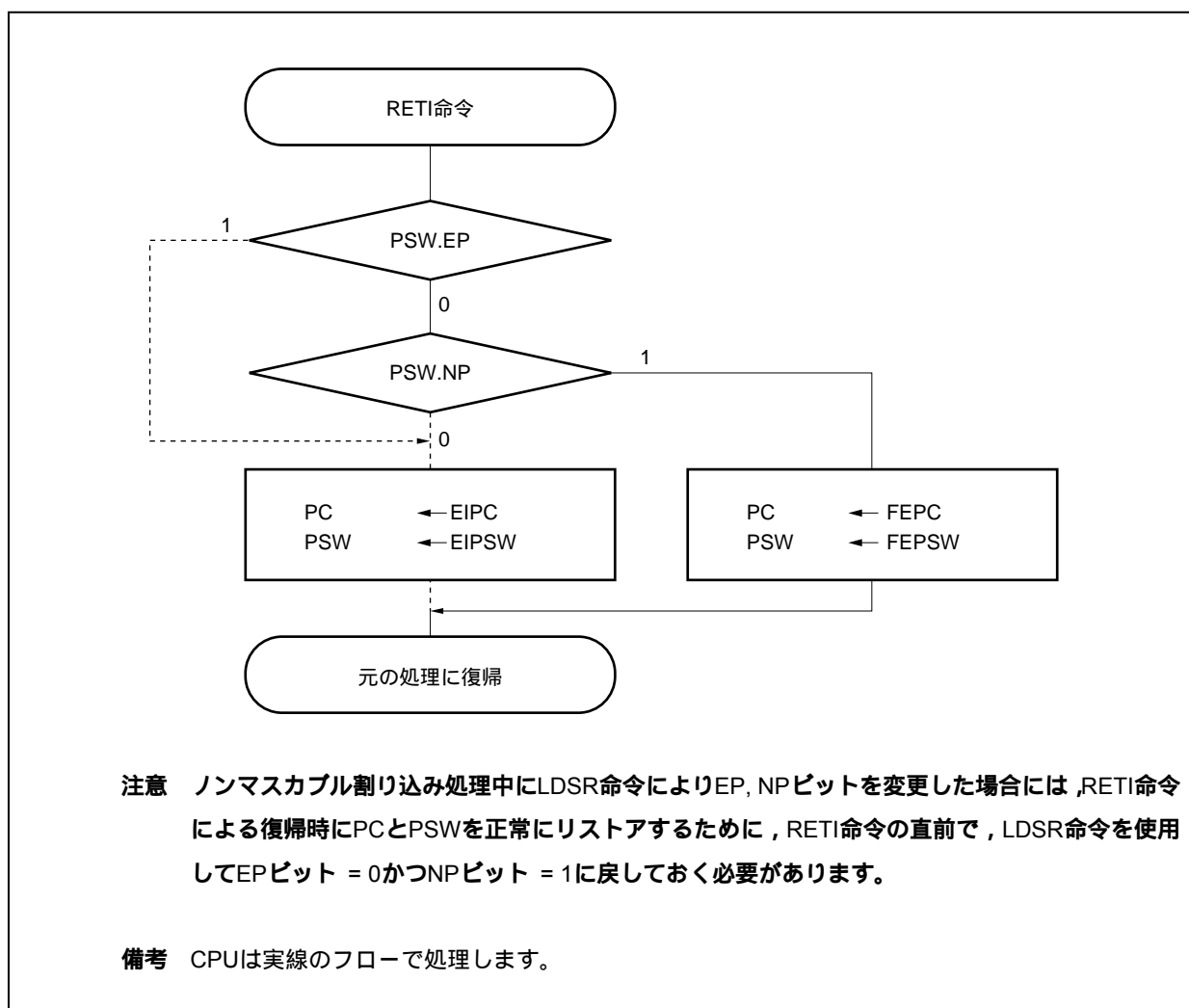
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSW.EPビットが0かつPSW.NPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

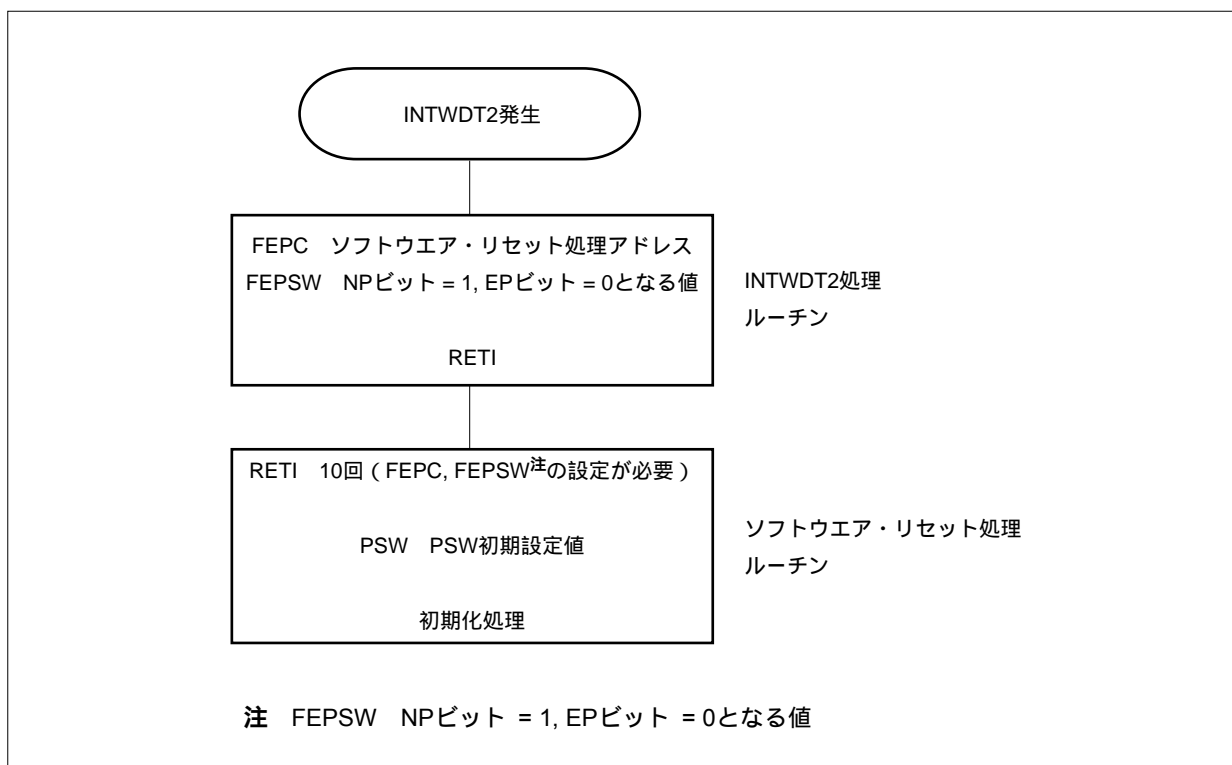
図23 - 3 RETI命令の処理形態



(2) INTWDT2信号の場合

ノンマスクابل割り込み要求 (INTWDT2) によるノンマスクابل割り込み処理実行後に, RETI命令による復帰はできません。次に示すソフトウェア・リセット処理を実行してください。

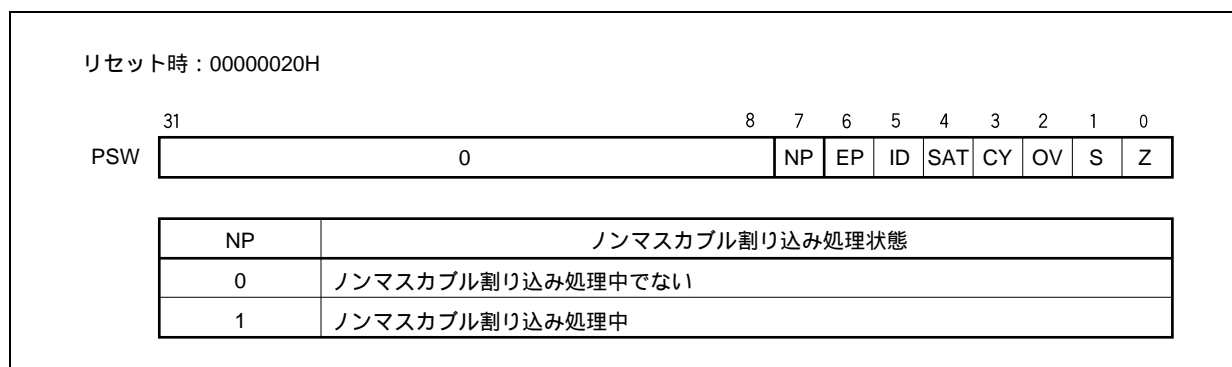
図23 - 4 ソフトウェア・リセット処理



23. 2. 3 NPフラグ

NPフラグは, ノンマスクابل割り込みの処理中であることを示すステータス・フラグです。

ノンマスクابل割り込み要求信号を受け付けるとセットされ, ノンマスクابل割り込み要求をマスクして多重割り込みを禁止します。



23.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求信号で、85, 90種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC, EIPSWをメモリ、または汎用レジスタに退避し、RETI命令を実行する前にDIを行って、EIPC, EIPSWを元の値に復帰してください。

23.3.1 動作

マスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

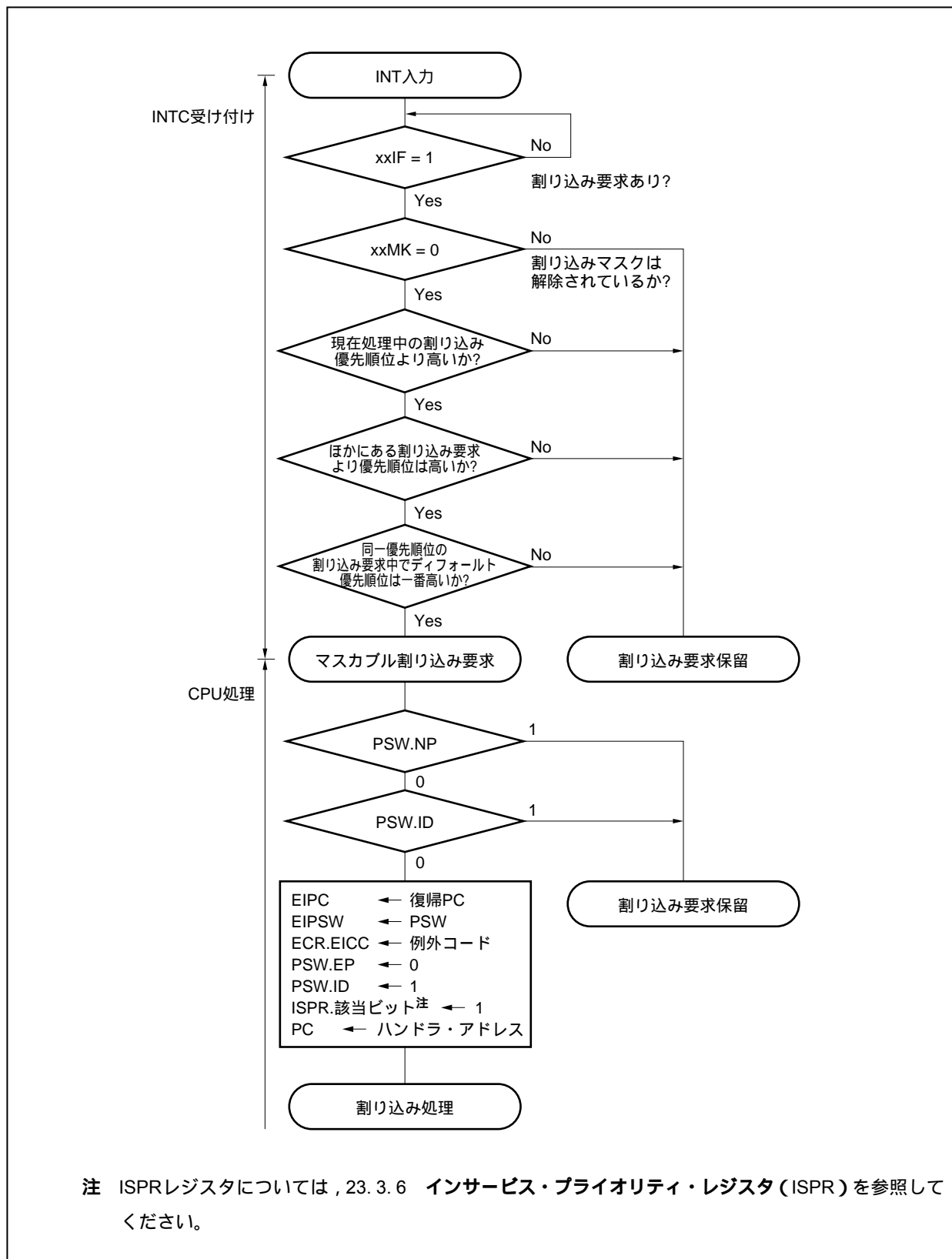
PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、INTCでマスクされているマスカブル割り込み要求信号と、ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してNPビット = 0かつIDビット = 0にすると、保留していたマスカブル割り込み要求信号の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図23 - 5 マスカブル割り込みの処理形態



23.3.2 復 帰

マスクابل割り込み処理からの復帰は、RETI命令により行います。

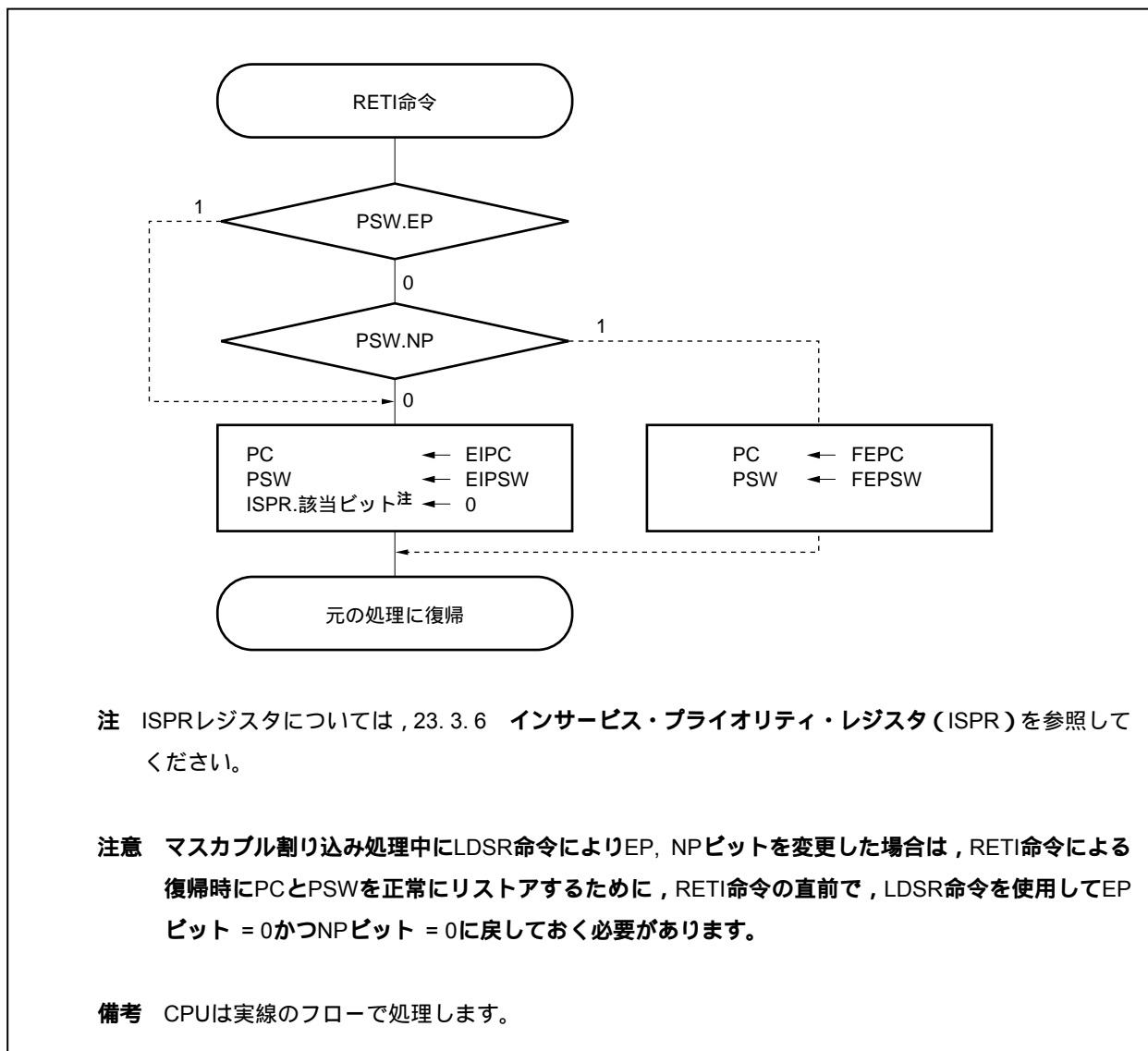
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットが0かつPSW.NPビットが0なので、EIPC、EIPSWから復帰PC、PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図23 - 6 RETI命令の処理形態



23.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求信号にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表23 - 2, 表23 - 3参照)。プログラマブル優先順位制御は、各割り込み要求信号を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

備考 xx : 各周辺ユニット識別名称 (表23 - 4 割り込み制御レジスタ (xxICn) 参照)

n : 周辺ユニット番号 (表23 - 4 割り込み制御レジスタ (xxICn) 参照)

図23 - 7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

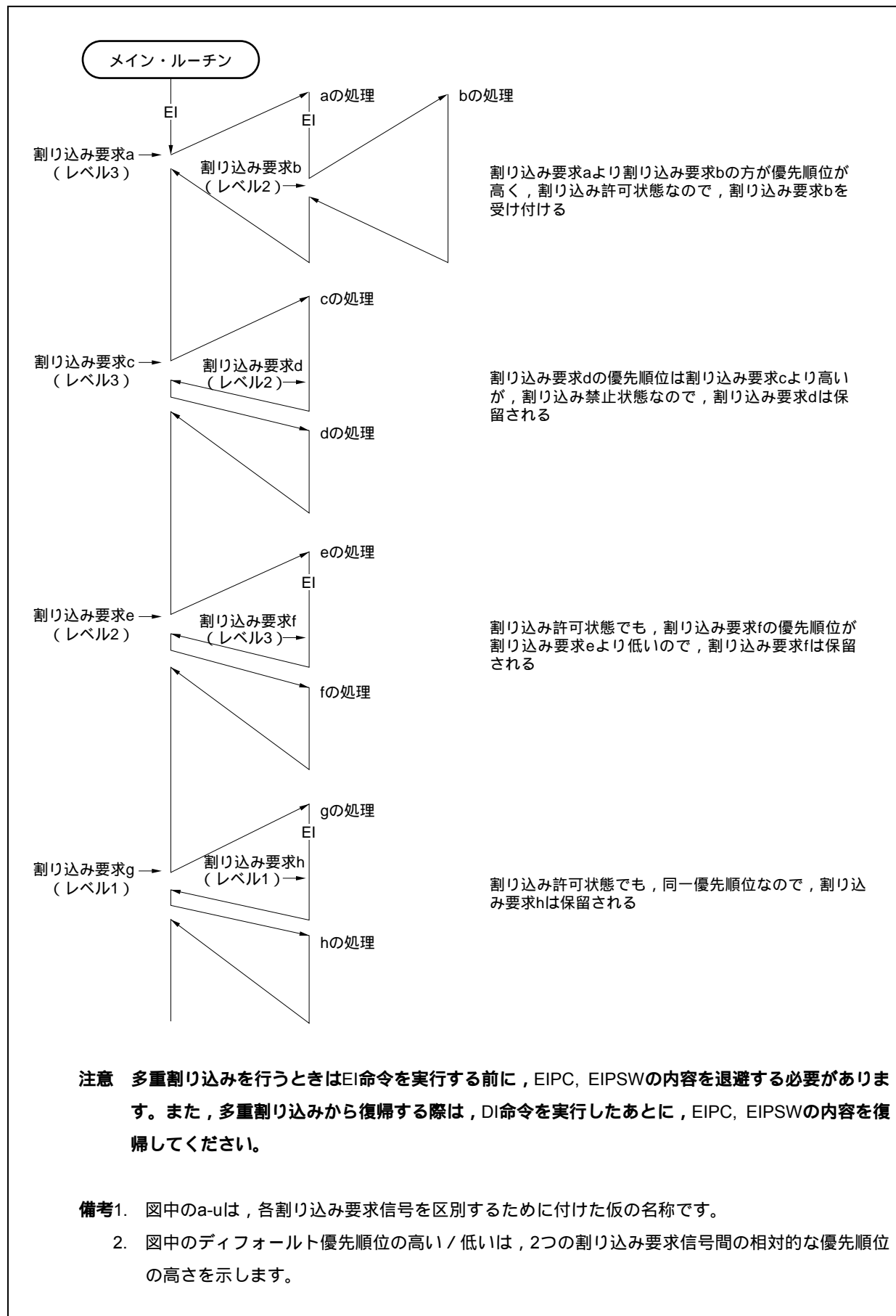


図23 - 7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

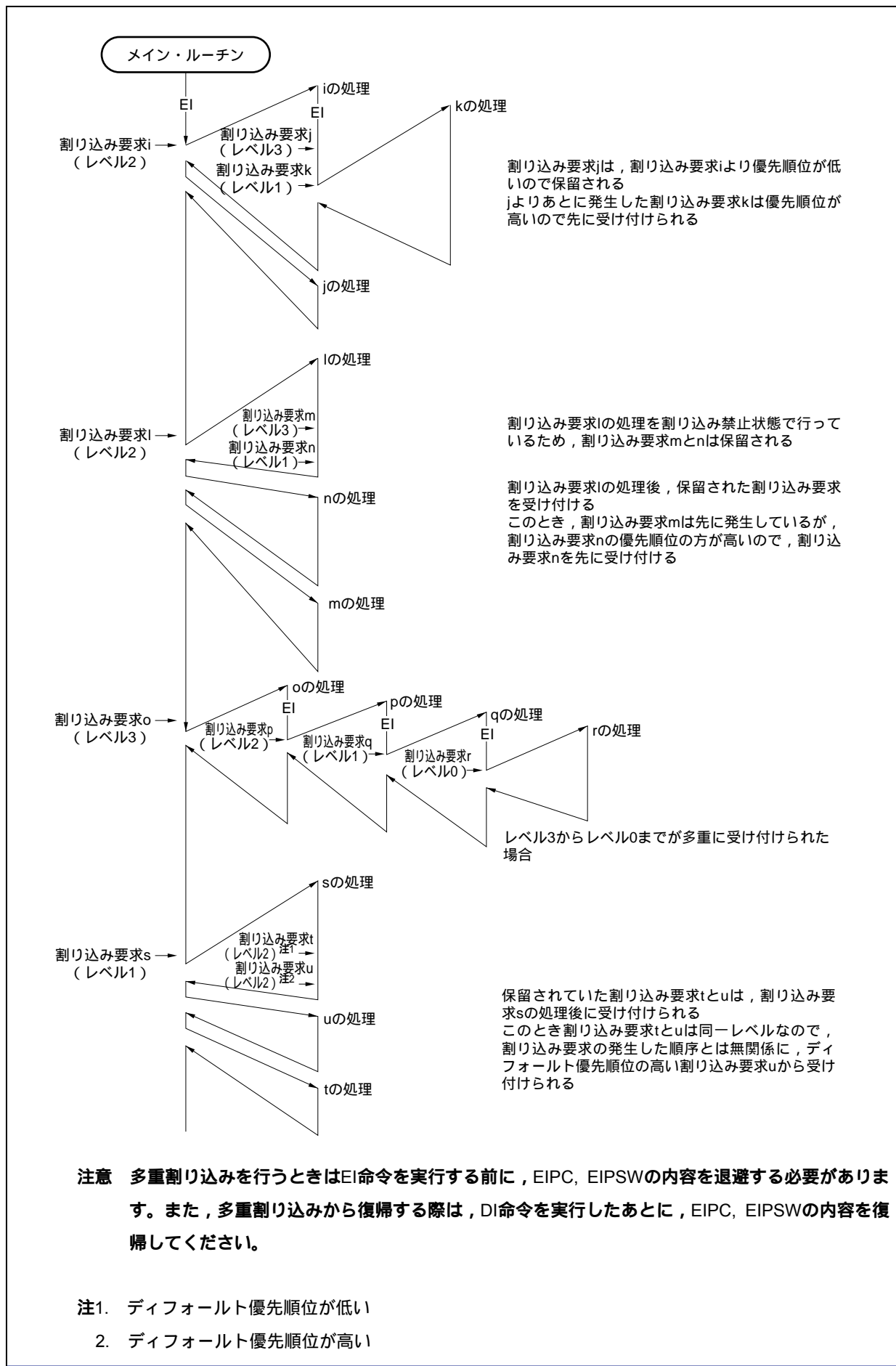
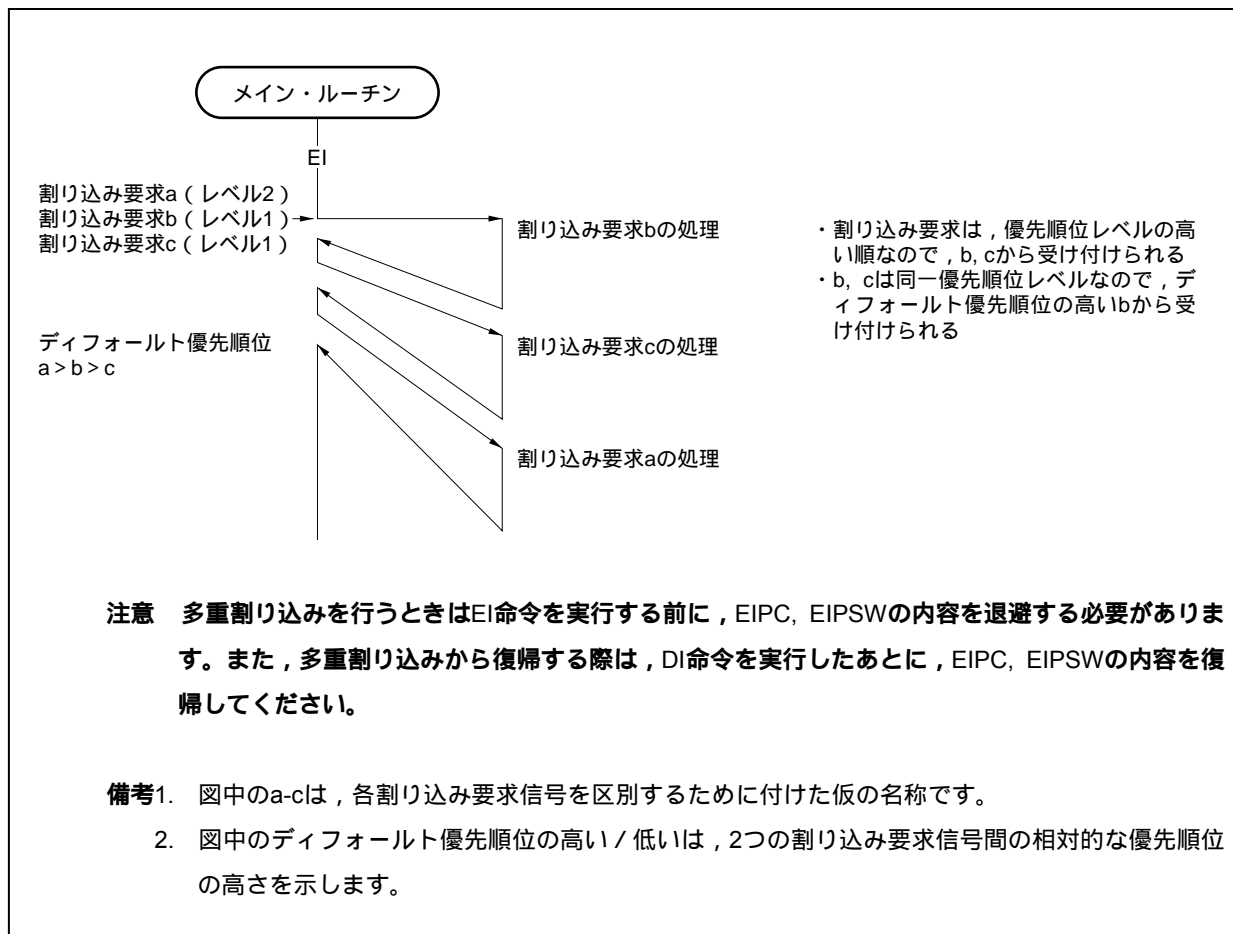


図23 - 8 同時発生した割り込み要求信号の処理例



23.3.4 割り込み制御レジスタ (xxlCn)

割り込み要求信号 (マスカブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。

8/1ビット単位でリード/ライト可能です。

リセットにより47Hになります。

注意 xxlCn.xxIFnビットを読み出す場合は, 割り込み禁止 (DI) 状態または割り込みをマスクした状態で行ってください。割り込み許可 (EI) 状態または割り込みマスクを解除した状態でxxIFnビットを読み出すと, 割り込みの受け付けとビットの読み出しのタイミングが競合した場合に, 正常な値が読み出せないことがあります。

リセット時: 47H R/W アドレス: FFFFF110H-FFFFFF184H

	⑦	⑥	5	4	3	2	1	0
xxlCn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ ^注
0	割り込み要求信号なし
1	割り込み要求信号あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止 (保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0 (最高位) を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7 (最低位) を指定

注 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされます。

備考 xx : 各周辺ユニット識別名称 (表23-4 割り込み制御レジスタ (xxlCn) 参照)
n : 周辺ユニット番号 (表23-4 割り込み制御レジスタ (xxlCn) 参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表23 - 4 割り込み制御レジスタ (xxICn) (1/3)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF110H	LVIIC	LVIIIF	LVIMK	0	0	0	LVIPR2	LVIPR1	LVIPR0
FFFFF112H	PIC00 ^注	PIF00	PMK00	0	0	0	PPR002	PPR001	PPR000
FFFFF114H	PIC01 ^注	PIF01	PMK01	0	0	0	PPR012	PPR011	PPR010
FFFFF116H	PIC02	PIF02	PMK02	0	0	0	PPR022	PPR021	PPR020
FFFFF118H	PIC03 ^注	PIF03	PMK03	0	0	0	PPR032	PPR031	PPR030
FFFFF11AH	PIC04 ^注	PIF04	PMK04	0	0	0	PPR042	PPR041	PPR040
FFFFF11CH	PIC05	PIF05	PMK05	0	0	0	PPR052	PPR051	PPR050
FFFFF11EH	PIC06 ^注	PIF06	PMK06	0	0	0	PPR062	PPR061	PPR060
FFFFF120H	PIC07	PIF07	PMK07	0	0	0	PPR072	PPR071	PPR070
FFFFF122H	PIC08	PIF08	PMK08	0	0	0	PPR082	PPR081	PPR080
FFFFF124H	PIC09	PIF09	PMK09	0	0	0	PPR092	PPR091	PPR090
FFFFF126H	PIC10	PIF10	PMK10	0	0	0	PPR102	PPR101	PPR100
FFFFF128H	PIC11	PIF11	PMK11	0	0	0	PPR112	PPR111	PPR110
FFFFF12AH	PIC12	PIF12	PMK12	0	0	0	PPR122	PPR121	PPR120
FFFFF12CH	PIC13	PIF13	PMK13	0	0	0	PPR132	PPR131	PPR130
FFFFF12EH	PIC14	PIF14	PMK14	0	0	0	PPR142	PPR141	PPR140
FFFFF130H	PIC15	PIF15	PMK15	0	0	0	PPR152	PPR151	PPR150
FFFFF132H	PIC16	PIF16	PMK16	0	0	0	PPR162	PPR161	PPR160
FFFFF134H	PIC17	PIF17	PMK17	0	0	0	PPR172	PPR171	PPR170
FFFFF136H	PIC18	PIF18	PMK18	0	0	0	PPR182	PPR181	PPR180
FFFFF138H	TAB0OVIC	TAB0OVIF	TAB0OVMK	0	0	0	TAB0OVPPR2	TAB0OVPPR1	TAB0OVPPR0
FFFFF13AH	TAB0CCIC0	TAB0CCIF0	TAB0CCMK0	0	0	0	TAB0CCPPR2	TAB0CCPPR1	TAB0CCPPR00
FFFFF13CH	TAB0CCIC1	TAB0CCIF1	TAB0CCMK1	0	0	0	TAB0CCPPR12	TAB0CCPPR11	TAB0CCPPR10
FFFFF13EH	TAB0CCIC2	TAB0CCIF2	TAB0CCMK2	0	0	0	TAB0CCPPR22	TAB0CCPPR21	TAB0CCPPR20
FFFFF140H	TAB0CCIC3	TAB0CCIF3	TAB0CCMK3	0	0	0	TAB0CCPPR32	TAB0CCPPR31	TAB0CCPPR30
FFFFF142H	TAB1OVIC	TAB1OVIF	TAB1OVMK	0	0	0	TAB1OVPPR2	TAB1OVPPR1	TAB1OVPPR0
FFFFF144H	TAB1CCIC0	TAB1CCIF0	TAB1CCMK0	0	0	0	TAB1CCPPR2	TAB1CCPPR1	TAB1CCPPR00
FFFFF146H	TAB1CCIC1	TAB1CCIF1	TAB1CCMK1	0	0	0	TAB1CCPPR12	TAB1CCPPR11	TAB1CCPPR10
FFFFF148H	TAB1CCIC2	TAB1CCIF2	TAB1CCMK2	0	0	0	TAB1CCPPR22	TAB1CCPPR21	TAB1CCPPR20
FFFFF14AH	TAB1CCIC3	TAB1CCIF3	TAB1CCMK3	0	0	0	TAB1CCPPR32	TAB1CCPPR31	TAB1CCPPR30
FFFFF14CH	TT0OVIC	TT0OVIF	TT0OVMK	0	0	0	TT0OVPPR2	TT0OVPPR1	TT0OVPPR0
FFFFF14EH	TT0CCIC0	TT0CCIF0	TT0CCMK0	0	0	0	TT0CCPPR2	TT0CCPPR1	TT0CCPPR00
FFFFF150H	TT0CCIC1	TT0CCIF1	TT0CCMK1	0	0	0	TT0CCPPR12	TT0CCPPR11	TT0CCPPR10
FFFFF152H	TT0IECIC	TT0IECIF	TT0IECMK	0	0	0	TT0IECPPR2	TT0IECPPR1	TT0IECPPR0
FFFFF154H	TAA0OVIC	TAA0OVIF	TAA0OVMK	0	0	0	TAA0OVPPR2	TAA0OVPPR1	TAA0OVPPR0
FFFFF156H	TAA0CCIC0	TAA0CCIF0	TAA0CCMK0	0	0	0	TAA0CCPPR2	TAA0CCPPR1	TAA0CCPPR00
FFFFF158H	TAA0CCIC1	TAA0CCIF1	TAA0CCMK1	0	0	0	TAA0CCPPR12	TAA0CCPPR11	TAA0CCPPR10
FFFFF15AH	TAA1OVIC	TAA1OVIF	TAA1OVMK	0	0	0	TAA1OVPPR2	TAA1OVPPR1	TAA1OVPPR0
FFFFF15CH	TAA1CCIC0	TAA1CCIF0	TAA1CCMK0	0	0	0	TAA1CCPPR2	TAA1CCPPR1	TAA1CCPPR00
FFFFF15EH	TAA1CCIC1	TAA1CCIF1	TAA1CCMK1	0	0	0	TAA1CCPPR12	TAA1CCPPR11	TAA1CCPPR10

注 V850ES/JH3-Uのみ

表23 - 4 割り込み制御レジスタ (xxICn) (2/3)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF160H	TAA2OVIC	TAA2OVIF	TAA2OVMK	0	0	0	TAA2OVPPR2	TAA2OVPPR1	TAA2OVPPR0
FFFFF162H	TAA2CCIC0	TAA2CCIF0	TAA2CCMK0	0	0	0	TAA2CCPPR2	TAA2CCPPR1	TAA2CCPPR0
FFFFF164H	TAA2CCIC1	TAA2CCIF1	TAA2CCMK1	0	0	0	TAA2CCPPR12	TAA2CCPPR11	TAA2CCPPR10
FFFFF166H	TAA3OVIC	TAA3OVIF	TAA3OVMK	0	0	0	TAA3OVPPR2	TAA3OVPPR1	TAA3OVPPR0
FFFFF168H	TAA3CCIC0	TAA3CCIF0	TAA3CCMK0	0	0	0	TAA3CCPPR2	TAA3CCPPR1	TAA3CCPPR0
FFFFF16AH	TAA3CCIC1	TAA3CCIF1	TAA3CCMK1	0	0	0	TAA3CCPPR12	TAA3CCPPR11	TAA3CCPPR10
FFFFF16CH	TAA4OVIC	TAA4OVIF	TAA4OVMK	0	0	0	TAA4OVPPR2	TAA4OVPPR1	TAA4OVPPR0
FFFFF16EH	TAA4CCIC0	TAA4CCIF0	TAA4CCMK0	0	0	0	TAA4CCPPR2	TAA4CCPPR1	TAA4CCPPR0
FFFFF170H	TAA4CCIC1	TAA4CCIF1	TAA4CCMK1	0	0	0	TAA4CCPPR12	TAA4CCPPR11	TAA4CCPPR10
FFFFF172H	TAA5OVIC	TAA5OVIF	TAA5OVMK	0	0	0	TAA5OVPPR2	TAA5OVPPR1	TAA5OVPPR0
FFFFF174H	TAA5CCIC0	TAA5CCIF0	TAA5CCMK0	0	0	0	TAA5CCPPR2	TAA5CCPPR1	TAA5CCPPR0
FFFFF176H	TAA5CCIC1	TAA5CCIF1	TAA5CCMK1	0	0	0	TAA5CCPPR12	TAA5CCPPR11	TAA5CCPPR10
FFFFF178H	TM0EQIC0	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR2	TM0EQPR1	TM0EQPR0
FFFFF17AH	TM1EQIC0	TM1EQIF0	TM1EQMK0	0	0	0	TM1EQPR2	TM1EQPR1	TM1EQPR0
FFFFF17CH	TM2EQIC0	TM2EQIF0	TM2EQMK0	0	0	0	TM2EQPR2	TM2EQPR1	TM2EQPR0
FFFFF17EH	TM3EQIC0	TM3EQIF0	TM3EQMK0	0	0	0	TM3EQPR2	TM3EQPR1	TM3EQPR0
FFFFF180H	CF0RIC/ IICIC1	CF0RIF/ IICIF1	CF0RMK/ IICMK1	0	0	0	CF0RPPR2/ IICPPR12	CF0RPPR1/ IICPPR11	CF0RPPR0/ IICPPR10
FFFFF182H	CF0TIC	CF0TIF	CF0TMK	0	0	0	CF0TPPR2	CF0TPPR1	CF0TPPR0
FFFFF184H	CF1RIC	CF1RIF	CF1RMK	0	0	0	CF1RPPR2	CF1RPPR1	CF1RPPR0
FFFFF186H	CF1TIC	CF1TIF	CF1TMK	0	0	0	CF1TPPR2	CF1TPPR1	CF1TPPR0
FFFFF188H	CF2RIC	CF2RIF	CF2RMK	0	0	0	CF2RPPR2	CF2RPPR1	CF2RPPR0
FFFFF18AH	CF2TIC	CF2TIF	CF2TMK	0	0	0	CF2TPPR2	CF2TPPR1	CF2TPPR0
FFFFF18CH	CF3RIC	CF3RIF	CF3RMK	0	0	0	CF3RPPR2	CF3RPPR1	CF3RPPR0
FFFFF18EH	CF3TIC	CF3TIF	CF3TMK	0	0	0	CF3TPPR2	CF3TPPR1	CF3TPPR0
FFFFF190H	CF4RIC	CF3RIF	CF3RMK	0	0	0	CF3RPPR2	CF3RPPR1	CF3RPPR0
FFFFF192H	CF4TIC	CF3TIF	CF3TMK	0	0	0	CF3TPPR2	CF3TPPR1	CF3TPPR0
FFFFF194H	UC0RIC	UC0RIF	UC0RMK	0	0	0	UC0RPPR2	UC0RPPR1	UC0RPPR0
FFFFF196H	UC0TIC	UC0TIF	UC0TMK	0	0	0	UC0TPPR2	UC0TPPR1	UC0TPPR0
FFFFF198H	UC1RIC/ IICIC2	UC1RIF/ IICIF2	UC1RMK/ IICMK2	0	0	0	UC1RPPR2/ IICPPR22	UC1RPPR1/ IICPPR21	UC1RPPR0/ IICPPR20
FFFFF19AH	UC1TIC	UC1TIF	UC1TMK	0	0	0	UC1TPPR2	UC1TPPR1	UC1TPPR0
FFFFF19CH	UC2RIC	UC2RIF	UC2RMK	0	0	0	UC2RPPR2	UC2RPPR1	UC2RPPR0
FFFFF19EH	UC2TIC	UC2TIF	UC2TMK	0	0	0	UC2TPPR2	UC2TPPR1	UC2TPPR0
FFFFF1A0H	UC3RIC/ IICIC0	UC3RIF/ IICIF0	UC3RMK/ IICMK0	0	0	0	UC3RPPR2/ IICPPR02	UC3RPPR1/ IICPPR01	UC3RPPR0/ IICPPR00
FFFFF1A2H	UC3TIC	UC3TIF	UC3TMK	0	0	0	UC3TPPR2	UC3TPPR1	UC3TPPR0
FFFFF1A4H	UC4RIC	UC4RIF	UC4RMK	0	0	0	UC4RPPR2	UC4RPPR1	UC4RPPR0
FFFFF1A6H	UC4TIC	UC4TIF	UC4TMK	0	0	0	UC4TPPR2	UC4TPPR1	UC4TPPR0
FFFFF1A8H	ADIC	ADIF	ADMK	0	0	0	ADPPR2	ADPPR1	ADPPR0
FFFFF1AAH	DMAIC0	DMAIC0	DMAMK0	0	0	0	DMAPPR2	DMAPPR1	DMAPPR0
FFFFF1ACH	DMAIC1	DMAIC1	DMAMK1	0	0	0	DMAPPR12	DMAPPR11	DMAPPR10

表23 - 4 割り込み制御レジスタ (xxICn) (3/3)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFFF1AEH	DMAIC2	DMAIC2	DMAMK2	0	0	0	DMAPPR22	DMAPPR21	DMAPPR20
FFFFFF1B0H	DMAIC3	DMAIC3	DMAMK3	0	0	0	DMAPPR32	DMAPPR31	DMAPPR30
FFFFFF1B2H	KRIC	KRIF	KRMK	0	0	0	KRPPR2	KRPPR1	KRPPR0
FFFFFF1B4H	RTC0IC	RTC0IF	RTC0MK	0	0	0	RTC0PPR2	RTC0PPR1	RTC0PPR0
FFFFFF1B6H	RTC1IC	RTC1IF	RTC1MK	0	0	0	RTC1PPR2	RTC1PPR1	RTC1PPR0
FFFFFF1B8H	RTC2IC	RTC2IF	RTC2MK	0	0	0	RTC2PPR2	RTC2PPR1	RTC2PPR0
FFFFFF1C2H	UHIC0	UHIC0	UHMK0	0	0	0	UHPPR02	UHPPR01	UHPPR00
FFFFFF1C4H	UHIC1	UHIC1	UHMK1	0	0	0	UHPPR12	UHPPR11	UHPPR10
FFFFFF1C6H	UHIC2	UHIC2	UHMK2	0	0	0	UHPPR22	UHPPR21	UHPPR20
FFFFFF1C8H	UFIC0	UFIC0	UFMK0	0	0	0	UFPPR02	UFPPR01	UFPPR00
FFFFFF1CAH	UFIC1	UFIC1	UFMK1	0	0	0	UFPPR12	UFPPR11	UFPPR10

23.3.5 割り込みマスク・レジスタ0-5 (IMR0-IMR5)

マスク割込みに対する割り込みマスク状態を設定します。IMR0-IMR5レジスタのxxMKnビットとxxlCn.xxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です (m = 0-5)。

リセットによりFFFFHになります。

注意 デバイス・ファイルでは、xxlCn.xxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxlCnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

(1/2)

リセット時: FFFFH R/W アドレス: IMR5 FFFFF10AH, IMR5L FFFFF10AH, IMR5H FFFFF10BH																	
IMR5 (IMR5H ^注)	<table border="1"> <thead> <tr> <th>15</th><th>14</th><th>13</th><th>12</th><th>11</th><th>10</th><th>9</th><th>8</th> </tr> </thead> <tbody> <tr> <td>1</td><td>1</td><td>UFMK1</td><td>UFMK0</td><td>UHKM2</td><td>UHKM1</td><td>UHKM0</td><td>1</td> </tr> </tbody> </table>	15	14	13	12	11	10	9	8	1	1	UFMK1	UFMK0	UHKM2	UHKM1	UHKM0	1
15	14	13	12	11	10	9	8										
1	1	UFMK1	UFMK0	UHKM2	UHKM1	UHKM0	1										
IMR5L	<table border="1"> <thead> <tr> <th>7</th><th>6</th><th>5</th><th>4</th><th>3</th><th>2</th><th>1</th><th>0</th> </tr> </thead> <tbody> <tr> <td>1</td><td>1</td><td>1</td><td>RTC2MK</td><td>RTC1MK</td><td>RTC0MK</td><td>KRMK</td><td>DMAMK3</td> </tr> </tbody> </table>	7	6	5	4	3	2	1	0	1	1	1	RTC2MK	RTC1MK	RTC0MK	KRMK	DMAMK3
7	6	5	4	3	2	1	0										
1	1	1	RTC2MK	RTC1MK	RTC0MK	KRMK	DMAMK3										
リセット時: FFFFH R/W アドレス: IMR4 FFFFF108H, IMR4L FFFFF108H, IMR4H FFFFF109H																	
IMR4 (IMR4H ^注)	<table border="1"> <thead> <tr> <th>15</th><th>14</th><th>13</th><th>12</th><th>11</th><th>10</th><th>9</th><th>8</th> </tr> </thead> <tbody> <tr> <td>DMAMK2</td><td>DMAMK1</td><td>DMAMK0</td><td>ADMK</td><td>UC4TMK</td><td>UC4RMK</td><td>UC3TMK</td><td>UC3RMK/ IICMK0</td> </tr> </tbody> </table>	15	14	13	12	11	10	9	8	DMAMK2	DMAMK1	DMAMK0	ADMK	UC4TMK	UC4RMK	UC3TMK	UC3RMK/ IICMK0
15	14	13	12	11	10	9	8										
DMAMK2	DMAMK1	DMAMK0	ADMK	UC4TMK	UC4RMK	UC3TMK	UC3RMK/ IICMK0										
IMR4L	<table border="1"> <thead> <tr> <th>7</th><th>6</th><th>5</th><th>4</th><th>3</th><th>2</th><th>1</th><th>0</th> </tr> </thead> <tbody> <tr> <td>UC2TMK</td><td>UC2RMK</td><td>UC1TMK</td><td>UC1RMK/ IICMK2</td><td>UC0TMK</td><td>UC0RMK</td><td>CF3TMK</td><td>CF3RMK</td> </tr> </tbody> </table>	7	6	5	4	3	2	1	0	UC2TMK	UC2RMK	UC1TMK	UC1RMK/ IICMK2	UC0TMK	UC0RMK	CF3TMK	CF3RMK
7	6	5	4	3	2	1	0										
UC2TMK	UC2RMK	UC1TMK	UC1RMK/ IICMK2	UC0TMK	UC0RMK	CF3TMK	CF3RMK										
リセット時: FFFFH R/W アドレス: IMR3 FFFFF106H, IMR3L FFFFF106H, IMR3H FFFFF107H																	
IMR3 (IMR3H ^注)	<table border="1"> <thead> <tr> <th>15</th><th>14</th><th>13</th><th>12</th><th>11</th><th>10</th><th>9</th><th>8</th> </tr> </thead> <tbody> <tr> <td>CF3TMK</td><td>CF3RMK</td><td>CF2TMK</td><td>CF2RMK</td><td>CF1TMK</td><td>CF1RMK</td><td>CF0TMK</td><td>CF0RMK/ IICMK1</td> </tr> </tbody> </table>	15	14	13	12	11	10	9	8	CF3TMK	CF3RMK	CF2TMK	CF2RMK	CF1TMK	CF1RMK	CF0TMK	CF0RMK/ IICMK1
15	14	13	12	11	10	9	8										
CF3TMK	CF3RMK	CF2TMK	CF2RMK	CF1TMK	CF1RMK	CF0TMK	CF0RMK/ IICMK1										
IMR3L	<table border="1"> <thead> <tr> <th>7</th><th>6</th><th>5</th><th>4</th><th>3</th><th>2</th><th>1</th><th>0</th> </tr> </thead> <tbody> <tr> <td>TM3EQMK0</td><td>TM2EQMK0</td><td>TM1EQMK0</td><td>TM0EQMK0</td><td>TAA5CCMK1</td><td>TAA5CCMK0</td><td>TAA5OVMK</td><td>TAA4CCMK1</td> </tr> </tbody> </table>	7	6	5	4	3	2	1	0	TM3EQMK0	TM2EQMK0	TM1EQMK0	TM0EQMK0	TAA5CCMK1	TAA5CCMK0	TAA5OVMK	TAA4CCMK1
7	6	5	4	3	2	1	0										
TM3EQMK0	TM2EQMK0	TM1EQMK0	TM0EQMK0	TAA5CCMK1	TAA5CCMK0	TAA5OVMK	TAA4CCMK1										

注 IMR3-IMR5レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、IMR3H-IMR5Hレジスタのビット0-7として指定してください。

注意 IMR5レジスタのビット5-8, 14, 15には1を設定してください。変更した場合の動作は保証できません。

備考 xx : 各周辺ユニット識別名称 (表23 - 4 割り込み制御レジスタ (xxlCn) 参照)
n : 周辺ユニット番号 (表23 - 4 割り込み制御レジスタ (xxlCn) 参照)

リセット時：FFFFH R/W アドレス：IMR2 FFFFF104H,
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2 (IMR2H ^{注1})	TAA4CCMK0	TAA4OVMK	TAA3CCMK1	TAA3CCMK0	TAA3OVMK	TAA2CCMK1	TAA2CCMK0	TAA2OVMK
	7	6	5	4	3	2	1	0
IMR2L	TAA1CCMK1	TAA1CCMK0	TAA1OVMK	TAA0CCMK1	TAA0CCMK0	TAA0OVMK	TMTIECMK	TMT0CCMK1

リセット時：FFFFH R/W アドレス：IMR1 FFFFF102H,
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H ^{注1})	TT0CCMK0	TT0OVMK	TAB1CCMK3	TAB1CCMK2	TAB1CCMK1	TAB1CCMK0	TAB1OVMK	TAB0CCMK3
	7	6	5	4	3	2	1	0
IMR1L	TAB0CCMK2	TAB0CCMK1	TAB0CCMK0	TAB0OVMK	PMK18	PMK17	PMK16	PMK15

リセット時：FFFFH R/W アドレス：IMR0 FFFFF100H,
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H ^{注1})	PMK14	PMK13	PMK12	PMK11	PMK10	PMK09	PMK08	PMK07
	7	6	5	4	3	2	1	0
IMR0L	PMK06 ^{注2}	PMK05	PMK04 ^{注2}	PMK03 ^{注2}	PMK02	PMK01 ^{注2}	PMK00 ^{注2}	LVIMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

注1. IMR0-IMR2レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、IMR0H-IMR2Hレジスタのビット0-7として指定してください。

2. V850ES/JH3-Uのみ

備考 xx : 各周辺ユニット識別名称 (表23 - 4 割り込み制御レジスタ (xxICn) 参照)
n : 周辺ユニット番号 (表23 - 4 割り込み制御レジスタ (xxICn) 参照)

23.3.6 インサース・プライオリティ・レジスタ (ISPR)

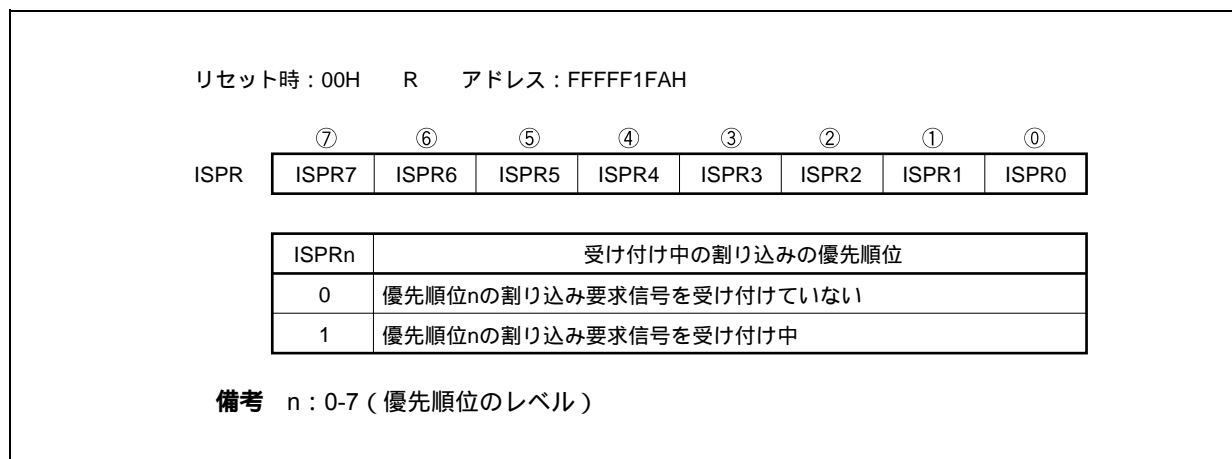
受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にリセット (0) されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット (0) されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意 割り込み許可 (EI) 状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット (1) されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止 (DI) 状態でリードしてください。



23.3.7 IDフラグ

マスクブル割り込みの動作状態を制御し、割り込み要求信号受け付けの許可 / 禁止制御情報を記憶します。

割り込み禁止フラグ (ID) は、PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0	
PSW	0				NP	EP	ID	SAT	CY	OV	S	Z

ID	マスクブル割り込み処理の指定 ^注
0	マスクブル割り込み要求信号の受け付けを許可
1	マスクブル割り込み要求信号の受け付けを禁止

注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1)、EI命令でクリア (0) されます。また、RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスクブル割り込み要求信号および例外は、このフラグの状態に関係なく受け付けられます。また、マスクブル割り込み要求信号を受け付けると、IDフラグはハードウェアで自動的にセット (1) されます。

受け付け禁止期間中 (IDフラグ = 1) に発生した割り込み要求信号は、xxICn.xxIFnビットがセット (1) され、IDフラグがクリア (0) されると受け付けられます。

23.3.8 ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

8ビット単位でリード/ライト可能です (詳細は第13章 ウォッチドッグ・タイマ2機能参照)。

リセットにより67Hになります。

リセット時 : 67H R/W アドレス : FFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	0	0	0	0	0

WDM21	WDM20	ウォッチドッグ・タイマの動作モードの選択
0	0	動作停止
0	1	ノンマスクブル割り込み要求モード
1	x	リセット・モード (初期値)

23.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

23.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

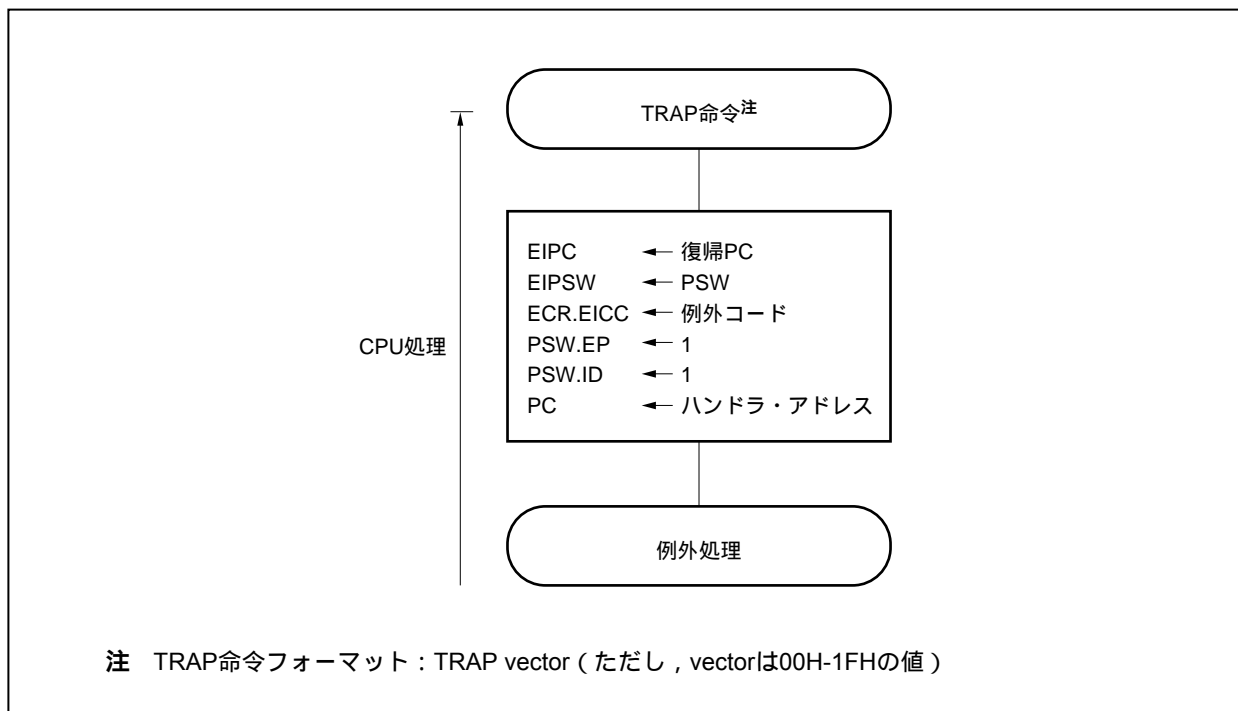
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSW.EP, IDビットをセット (1) します。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を次に示します。

図23 - 9 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

23.4.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

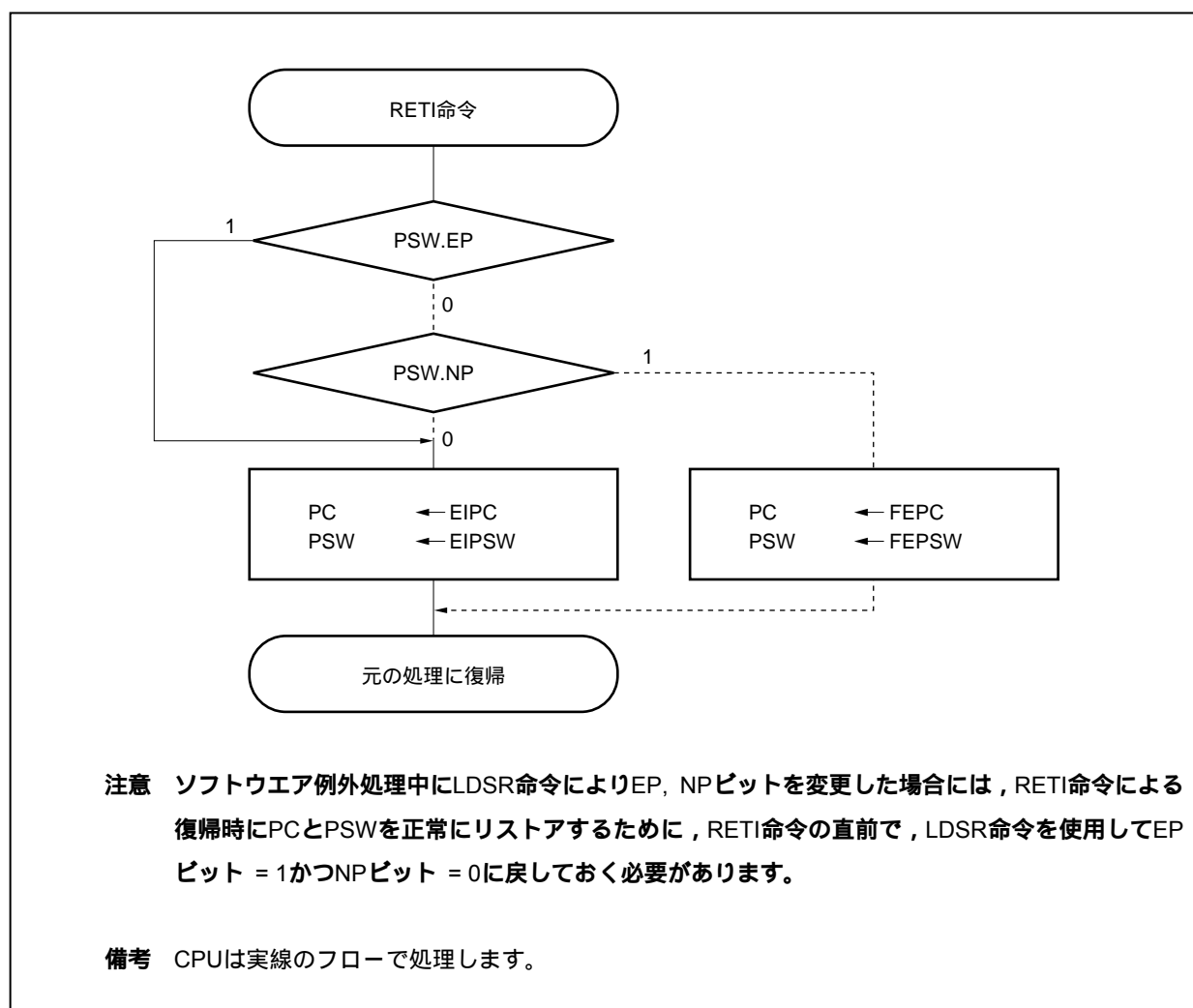
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図23 - 10 RETI命令の処理形態



23.4.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

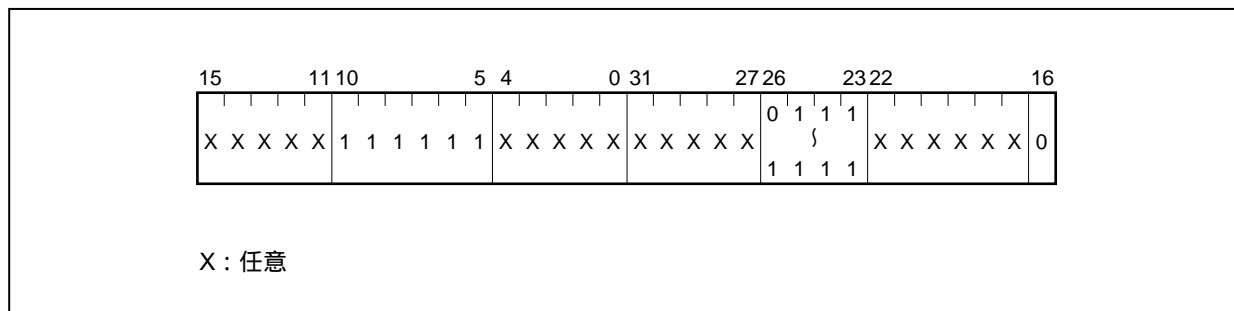
リセット時：00000020H															
	31						8	7	6	5	4	3	2	1	0
PSW	0							NP	EP	ID	SAT	CY	OV	S	Z
	EP	例外処理状態													
	0	例外処理中でない													
	1	例外処理中													

23.5 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850ES/JG3-U, V850ES/JH3-U では、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

23.5.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が111111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

(1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

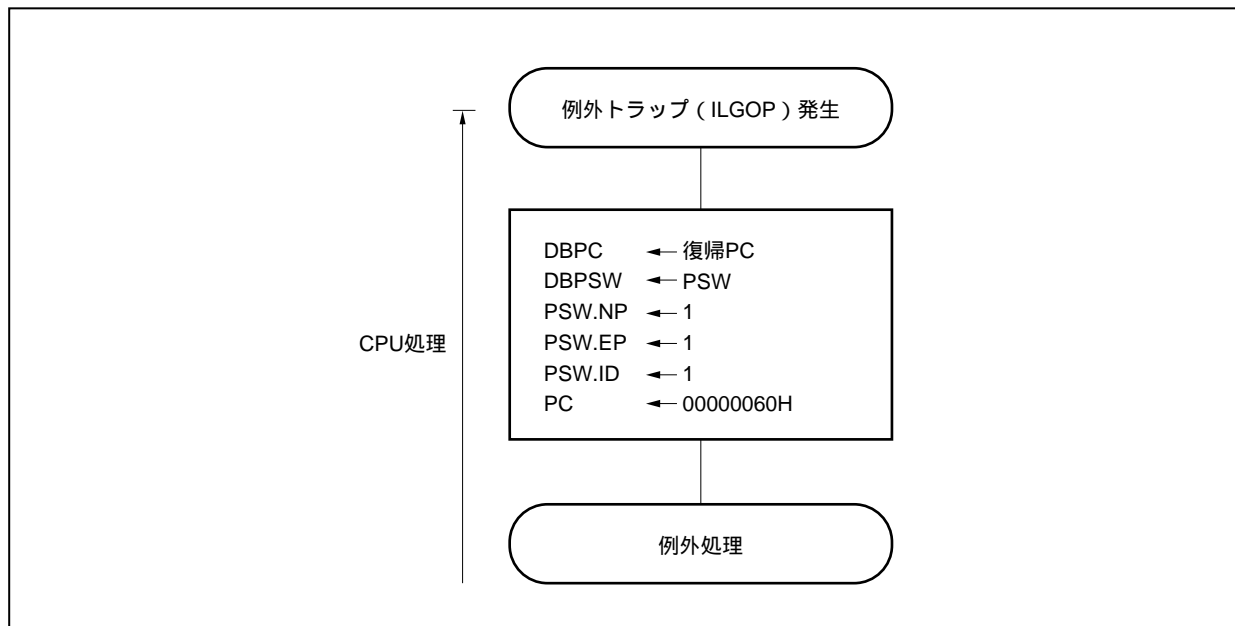
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCに例外トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

例外トラップの処理形態を次に示します。

図23 - 11 例外トラップの処理形態

**(2) 復 帰**

例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

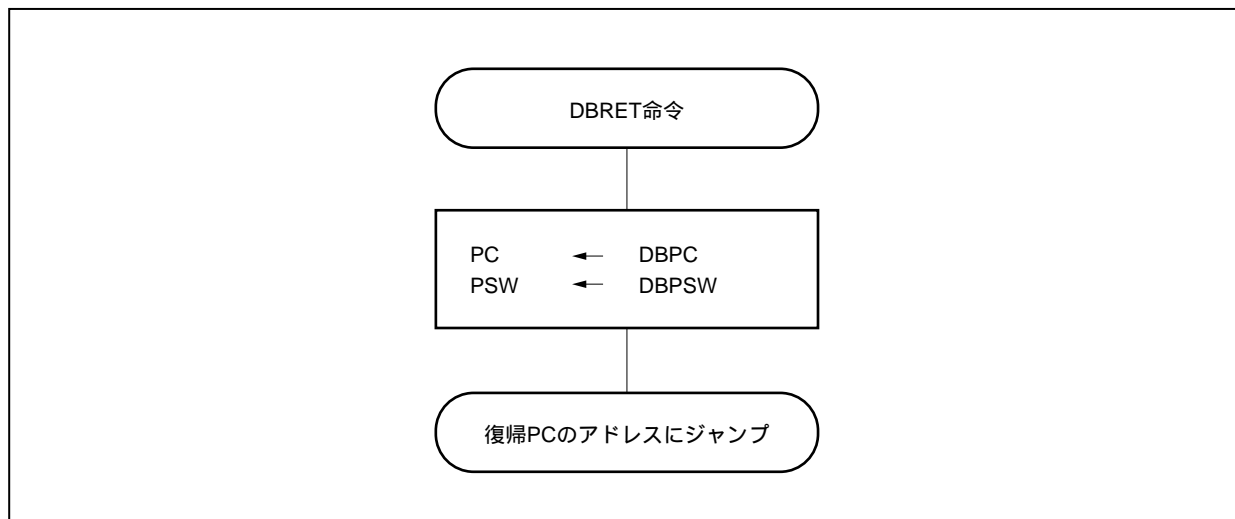
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWには、不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

例外トラップからの復帰の処理形態を次に示します。

図23 - 12 例外トラップからの復帰の処理形態



23.5.2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

(1) 動作

デバッグ・トラップが発生した場合、CPUは次の処理を行います。

復帰PCをDBPCに退避します。

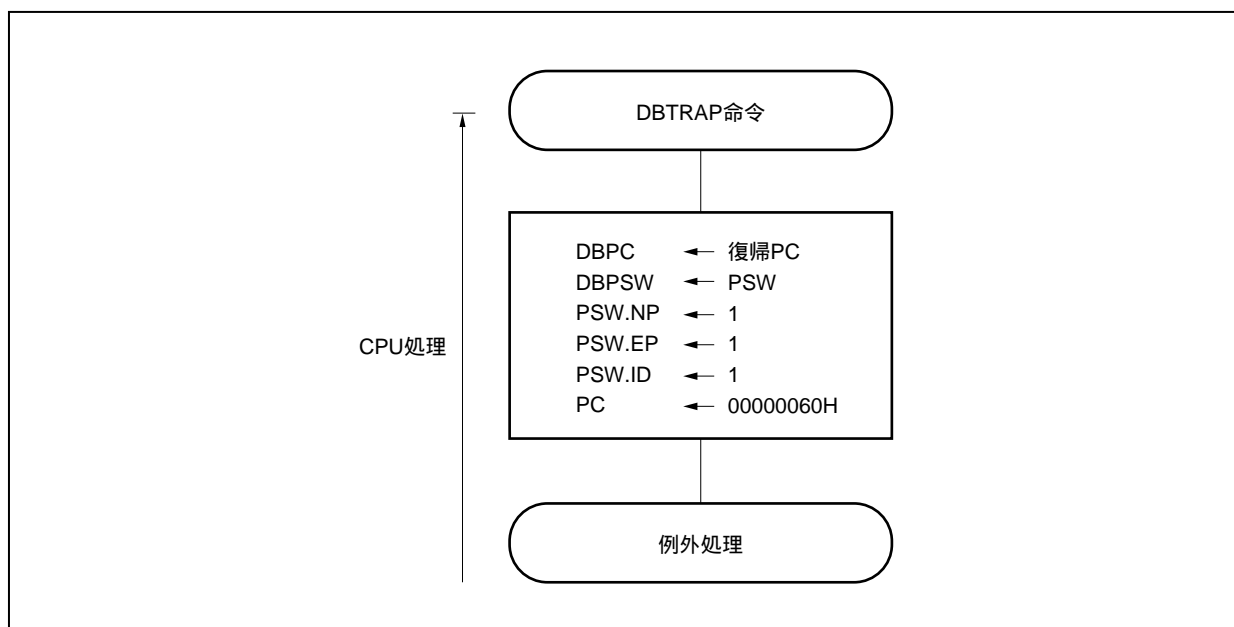
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCにデバッグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

デバッグ・トラップの処理形態を次に示します。

図23 - 13 デバッグ・トラップの処理形態



(2) 復 帰

デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

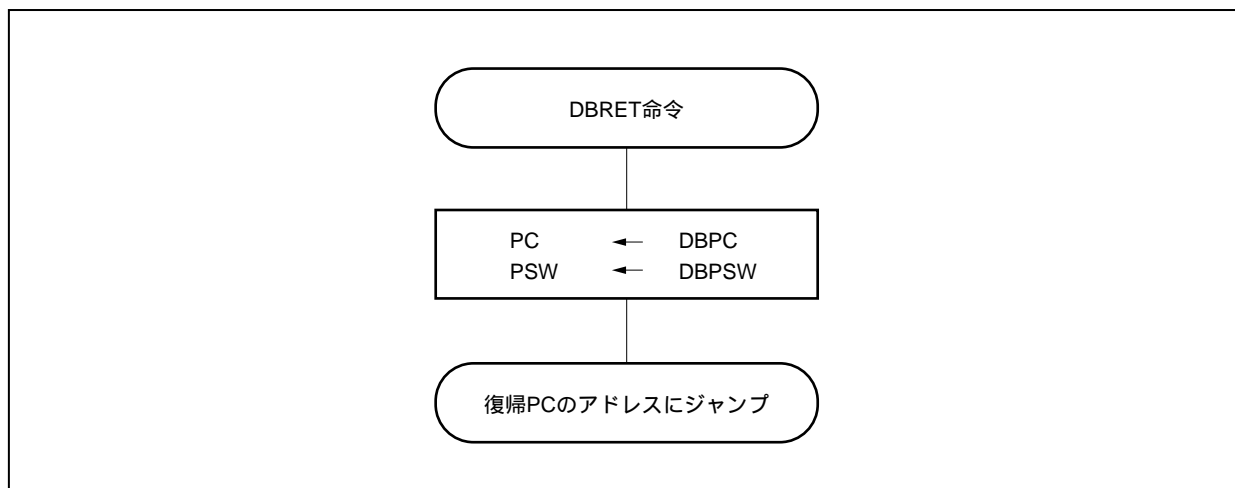
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWには、DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

デバッグ・トラップからの復帰の処理形態を次に示します。

図23 - 14 デバッグ・トラップからの復帰の処理形態



23. 6 外部割り込み要求入力端子 (NMI, INTP00-INTP18)

23. 6. 1 ノイズ除去

(1) NMI端子のノイズ除去

NMI端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、NMI端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI端子はSTOPモードの解除に使用できます。STOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

(2) INTP00, INTP01, INTP03-INTP18端子のノイズ除去

INTP00, INTP01, INTP03-INTP18端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

(3) INTP02端子のノイズ除去

INTP02端子はアナログ・ディレイによるノイズ除去回路とデジタルによるノイズ除去回路を内蔵しており、ノイズ除去制御レジスタ (INTNFC) によって、どちらかを選択することが可能です (23. 6. 2 (7) 参照)。

23. 6. 2 エッジ検出

NMI, INTP00-INTP18端子の有効エッジは、次の4種類から端子ごとに選択できます。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・両エッジ
- ・エッジ検出なし

リセット後のNMI端子は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを許可しないと、割り込み要求信号を受け付けません (通常ポートとして機能します)。

(1) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ0 (INTF0, INTR0)

ビット2でNMI端子, ビット0, 1, 3-5で外部割り込み端子 (INTP00-INTP04) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF0n, INTR0nビット = 00に設定したあとにポート・モードに設定してください。

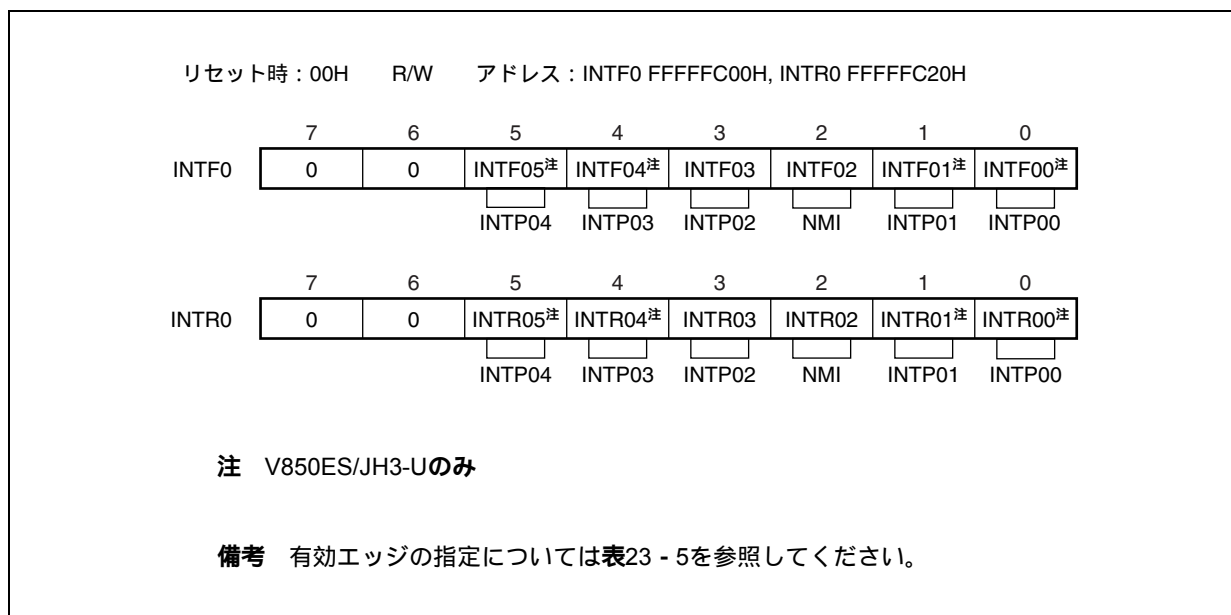


表23 - 5 有効エッジの指定

INTF0n	INTR0n	有効エッジの指定 (n = 0-5)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 NMI, INTP00-INTP04端子として使用しない場合, 必ずINTF0n, INTR0nビット = 00に設定してください。

備考 n = 0, 1 : INTP00, INTP01端子の制御
n = 2 : NMI端子の制御
n = 3-5 : INTP02-INTP04端子の制御

(2) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ2 (INTF2, INTR2) (V850ES/JH3-Uのみ)

外部割り込み端子 (INTP05, INTP06) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF2n, INTR2nビット = 00に設定したあとにポート・モードに設定してください。

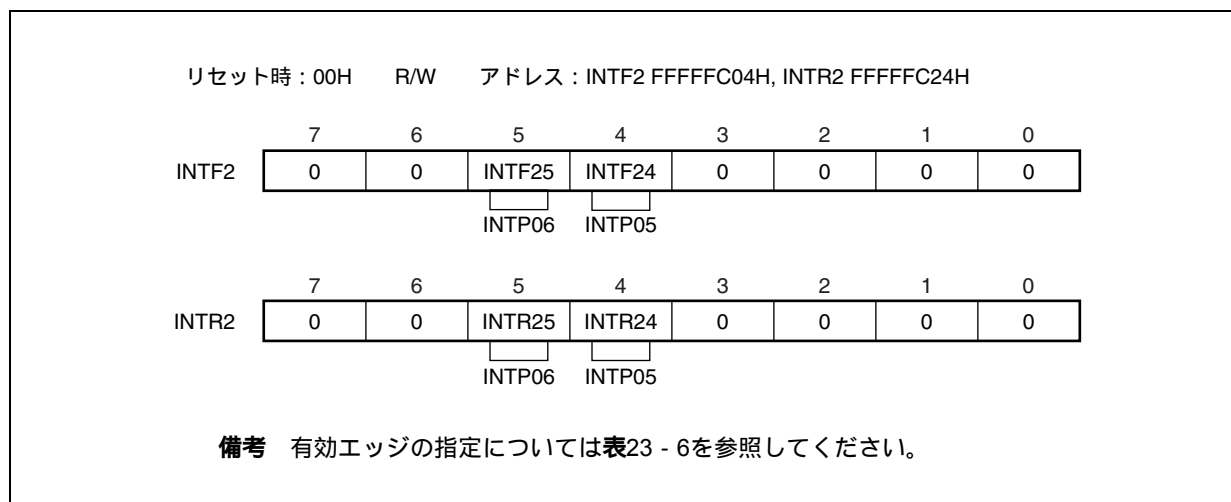


表23 - 6 有効エッジの指定

INTF2n	INTR2n	有効エッジの指定 (n = 4, 5)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP05, INTP06端子として使用しない場合, 必ずINTF2n, INTR2nビット = 00に設定してください。

備考 n = 4, 5 : INTP05, INTP06端子の制御

(3) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ3 (INTF3, INTR3)

外部割り込み端子 (INTP07-INTP09) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF3n, INTR3nビット = 00に設定したあとにポート・モードに設定してください。

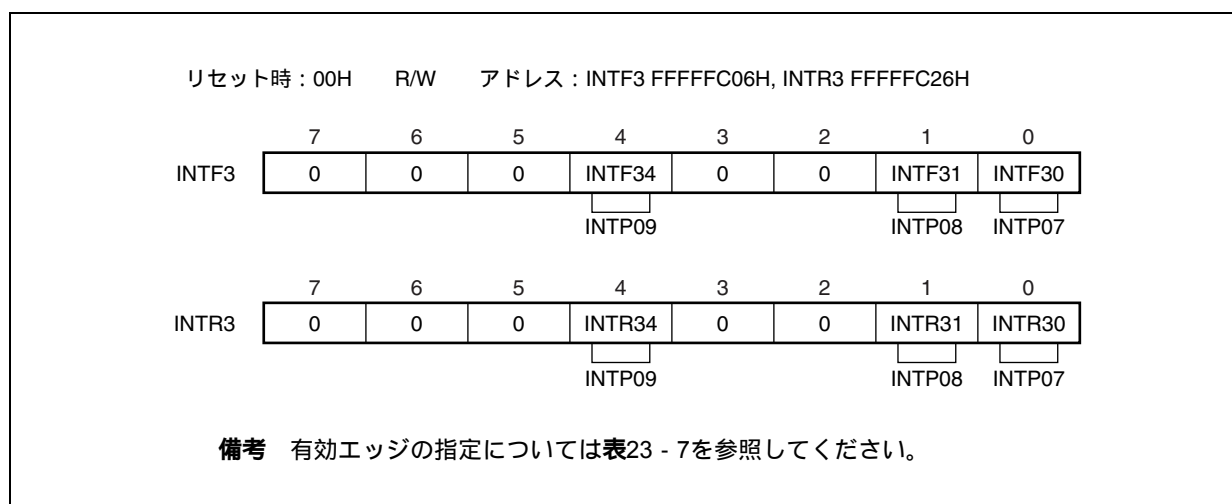


表23 - 7 有効エッジの指定

INTF3n	INTR3n	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP07-INTP09端子として使用しない場合, 必ずINTF3n, INTR3nビット = 00に設定してください。

備考 n = 0, 1, 4 : INTP07-INTP09端子の制御

(4) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ4 (INTF4, INTR4)

外部割り込み端子 (INTP10) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF42, INTR42ビット = 00に設定したあとにポート・モードに設定してください。

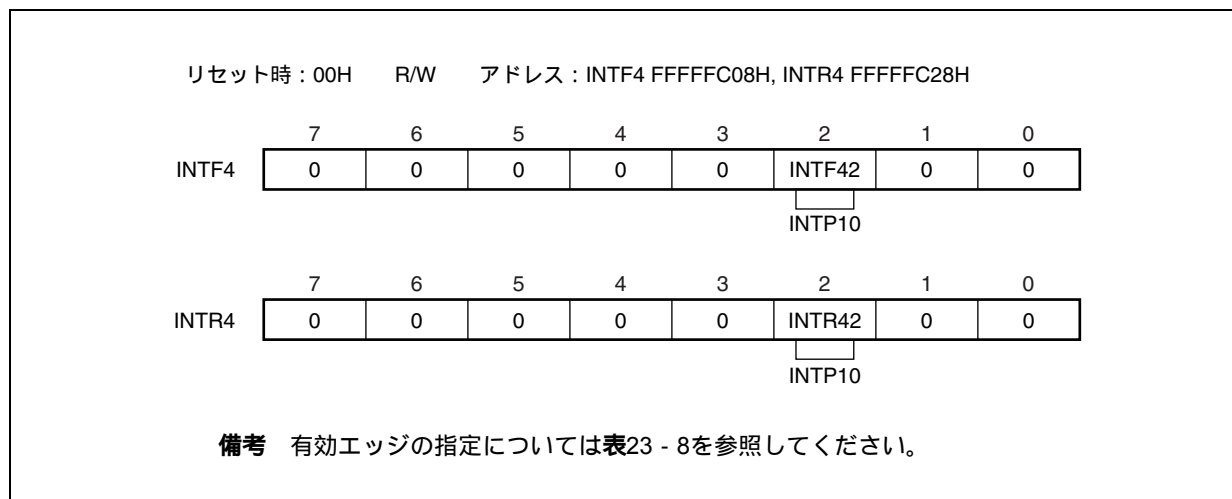


表23 - 8 有効エッジの指定

INTF42	INTR42	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP10端子として使用しない場合, 必ずINTF42, INTR42ビット = 00に設定してください。

(5) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ5 (INTF5, INTR5) (V850ES/JG3-Uのみ)

外部割り込み端子 (INTP05) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF56, INTR56ビット = 00に設定したあとにポート・モードに設定してください。

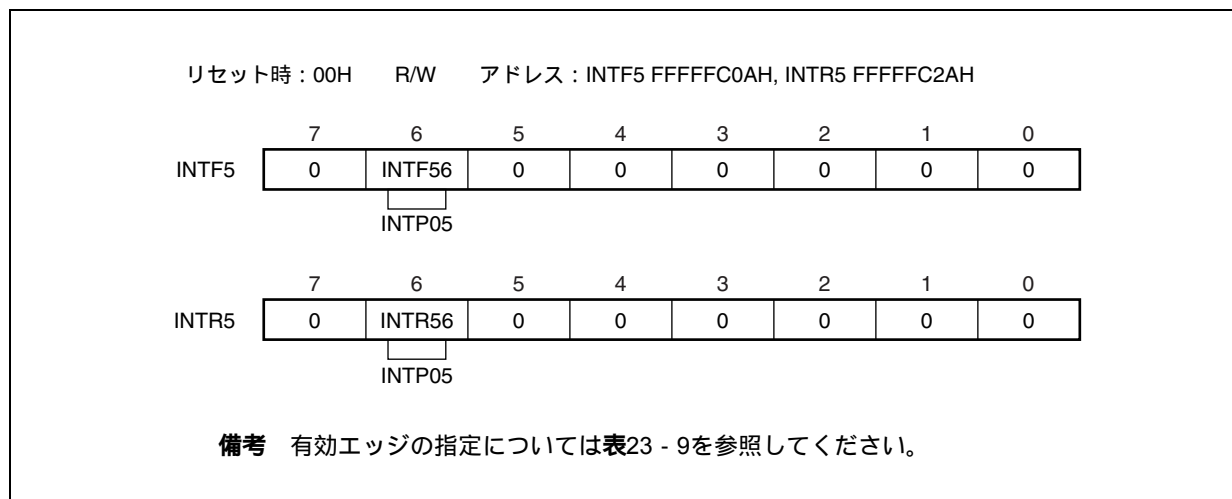


表23 - 9 有効エッジの指定

INTF56	INTR56	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP05端子として使用しない場合, 必ずINTF56, INTR56ビット = 00に設定してください。

(6) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ9H (INTF9H, INTR9H)

外部割り込み端子 (INTP11-INTP18) の立ち下がり, 立ち上がりエッジ検出を指定する16/8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより0000H/00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF9n, INTR9nビット = 0に設定したあとにポート・モードに設定してください。

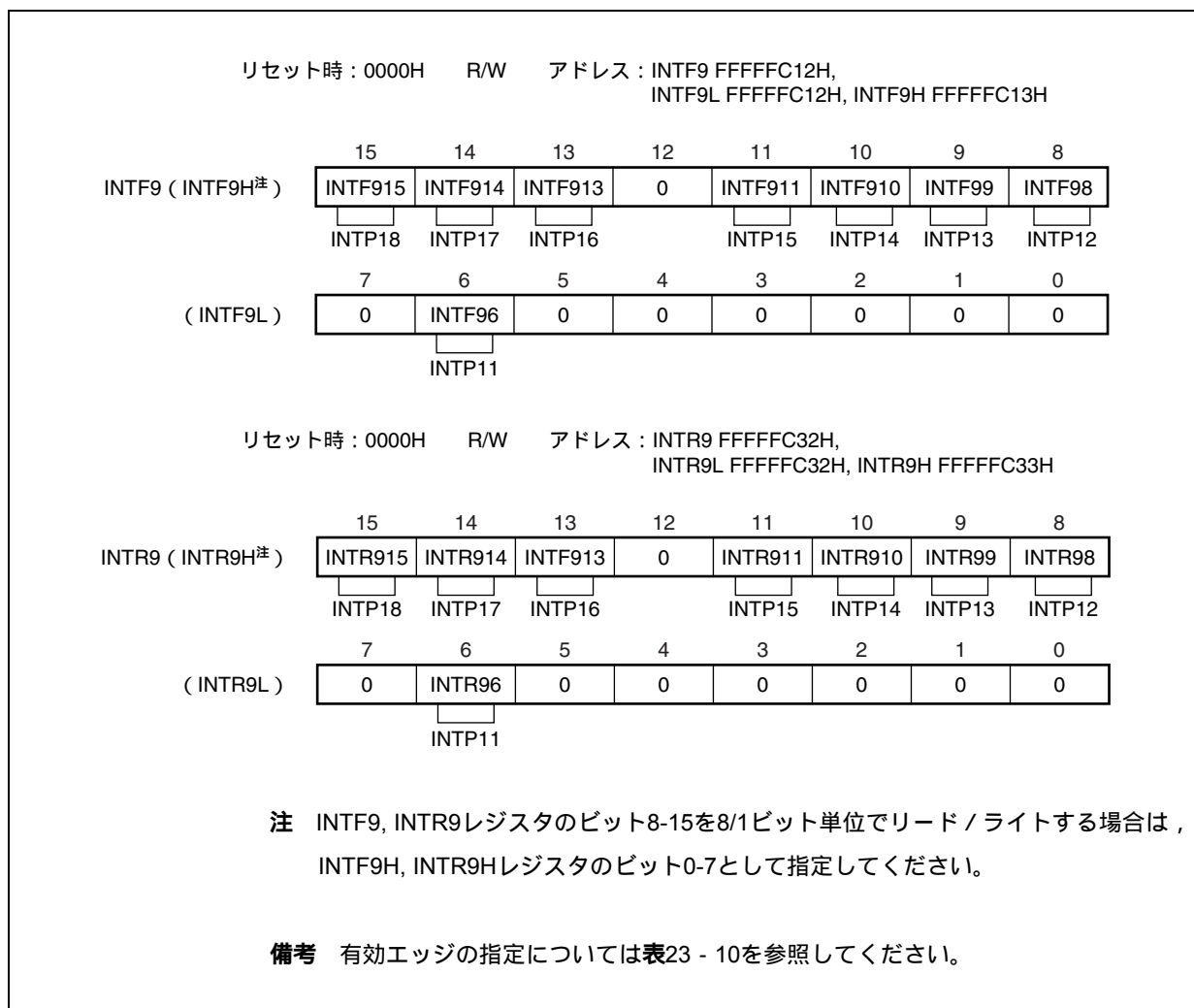


表23 - 10 有効エッジの指定

INTF9n	INTR9n	有効エッジの指定 (n = 11-18)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP11-INTP18端子として使用しない場合, 必ずINTF9n, INTR9nビット = 00に設定してください。

備考 n = 6, 8-11, 13-15 : INTP11-INTP18端子の制御

(7) ノイズ除去制御レジスタ (INTNFC)

INTP02端子はアナログ・ノイズ除去とデジタル・ノイズ除去を選択することが可能で、INTNFCレジスタにてノイズ除去の設定を選択します。

アナログ・ノイズ除去を選択した場合、端子への入力レベルを一定時間維持することで、エッジとして検出します。

デジタル・ノイズ除去を選択した場合、デジタル・サンプリングを行うサンプリング・クロックを、 $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$, $f_{xx}/1024$, f_{XT} の中から選択できます。なおサンプリングの回数は3回です。

デジタル・ノイズ除去を選択した場合でも、サンプリング・クロックに f_{XT} を使用すると、IDLE1/IDLE2/STOPモードの解除にINTP02の割り込み要求信号を使用できます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 サンプリング・クロック変更後、デジタル・ノイズ除去回路が初期化されるのに、サンプリング・クロック×3クロックの時間かかります。そのため、サンプリング・クロックを変更してからサンプリング・クロック×3クロックの間に、INTP02の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって、割り込み機能、DMA機能を使用する場合は、次の点を注意してください。

- ・割り込み機能使用時は、サンプリング・クロック×3クロック経過後、割り込み要求フラグ (PIC2.PIF2ビット) をクリアしてから割り込みを許可してください。
- ・DMA機能使用時 (INTP02で起動) は、サンプリング・クロック×3クロック経過後、DMAを許可してください。

リセット時 : 00H R/W アドレス : FFFFF728H

	7	6	5	4	3	2	1	0
INTNFC	INTNFEN	0	0	0	0	INTNFC2	INTNFC1	INTNFC0

INTNFEN	INTP02端子のノイズ除去の設定
0	アナログ・ノイズ除去を行う (60 ns (TYP.))
1	デジタル・ノイズ除去を行う

INTNFC2	INTNFC1	INTNFC0	デジタル・サンプリングを行うクロック
0	0	0	$f_{xx}/64$
0	0	1	$f_{xx}/128$
0	1	0	$f_{xx}/256$
0	1	1	$f_{xx}/512$
1	0	0	$f_{xx}/1024$
1	0	1	f_{XT} (サブクロック)
その他			設定禁止

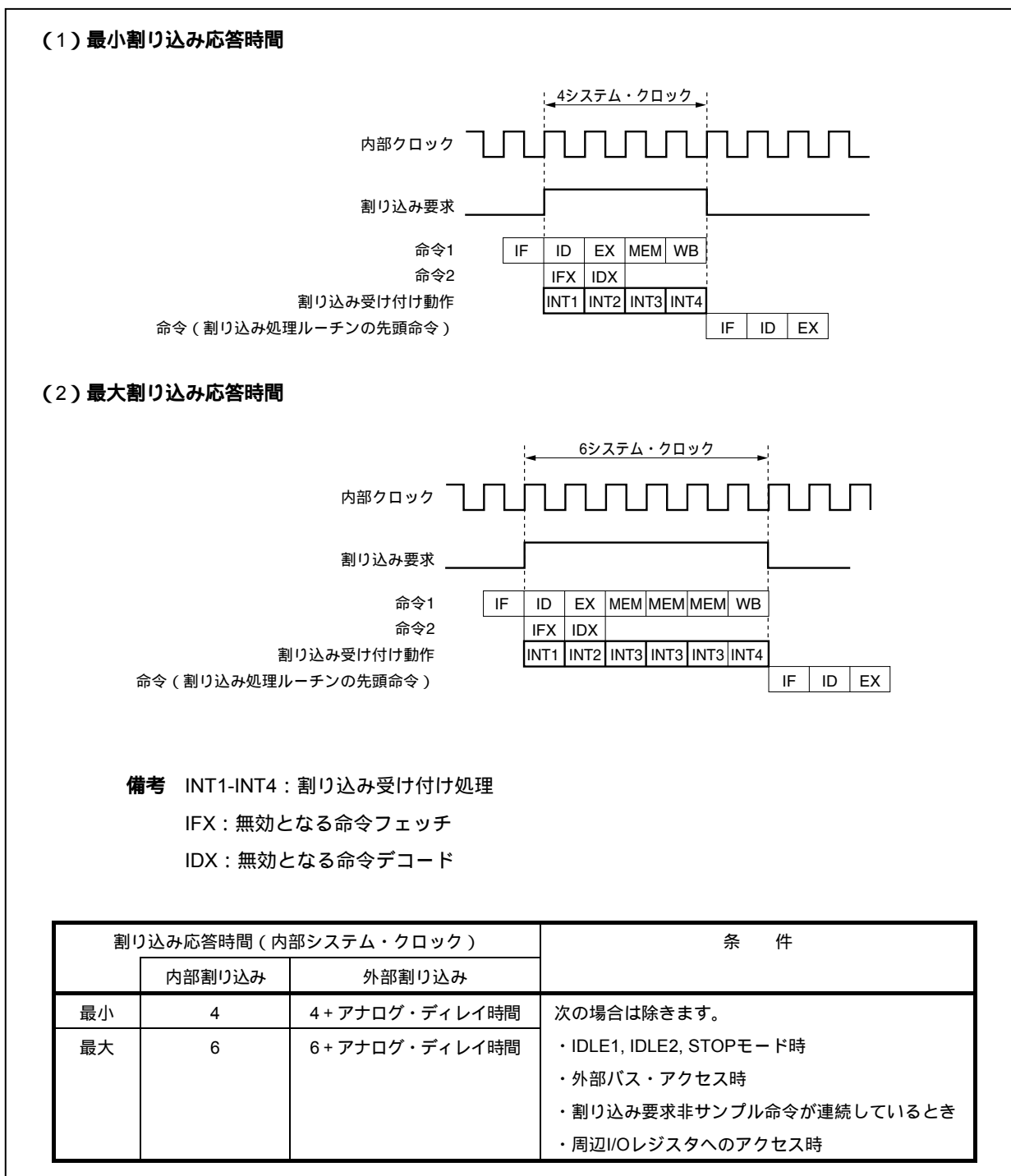
- 備考1.** 3回サンプリングするため、確実に除去するノイズ幅はサンプリング・クロック×2となります。
- 2.** サンプリング・クロック×2より短いノイズがあっても、サンプリング・クロックに同期したノイズが入力された場合には、割り込み要求信号が発生します。

23.7 CPUの割り込み応答時間

次の場合を除き、CPUの割り込み応答時間は、最小4クロックとなります。連続して割り込み要求信号を入力する場合には、最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

- ・ IDLE1/IDLE2/STOPモード時
- ・ 外部バス・アクセス時
- ・ 割り込み要求非サンプル命令（23.8 CPUが割り込みを受け付けられない期間参照）が連続しているとき
- ・ 割り込み制御レジスタへのアクセス時

図23 - 15 割り込み要求信号受け付け時のパイプライン動作例（概略）



23.8 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2, 0x5命令（対PSW）
- ・ PRCMDレジスタに対するストア命令
- ・ 次のレジスタに対するストア命令およびSET1, NOT1, CLR1命令
 - ・ 割り込み関連のレジスタ：
 - 割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-5（IMR0-IMR5）
 - ・ パワー・セーブ・コントロール・レジスタ（PSC）
 - ・ オンチップ・デバッグ・モード・レジスタ（OCDM）

備考 xx：各周辺ユニット識別名称（表23 - 4 割り込み制御レジスタ（xxICn）参照）

n：周辺ユニット番号（表23 - 4 割り込み制御レジスタ（xxICn）参照）

23.9 注意事項

NMI端子はP02と兼用しており、リセット後は通常ポートとして機能します。NMI端子を使用する場合には、PMC0レジスタでNMI端子を有効にしてください。また、NMI端子の初期設定は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを選択してください。

第24章 キー割り込み機能

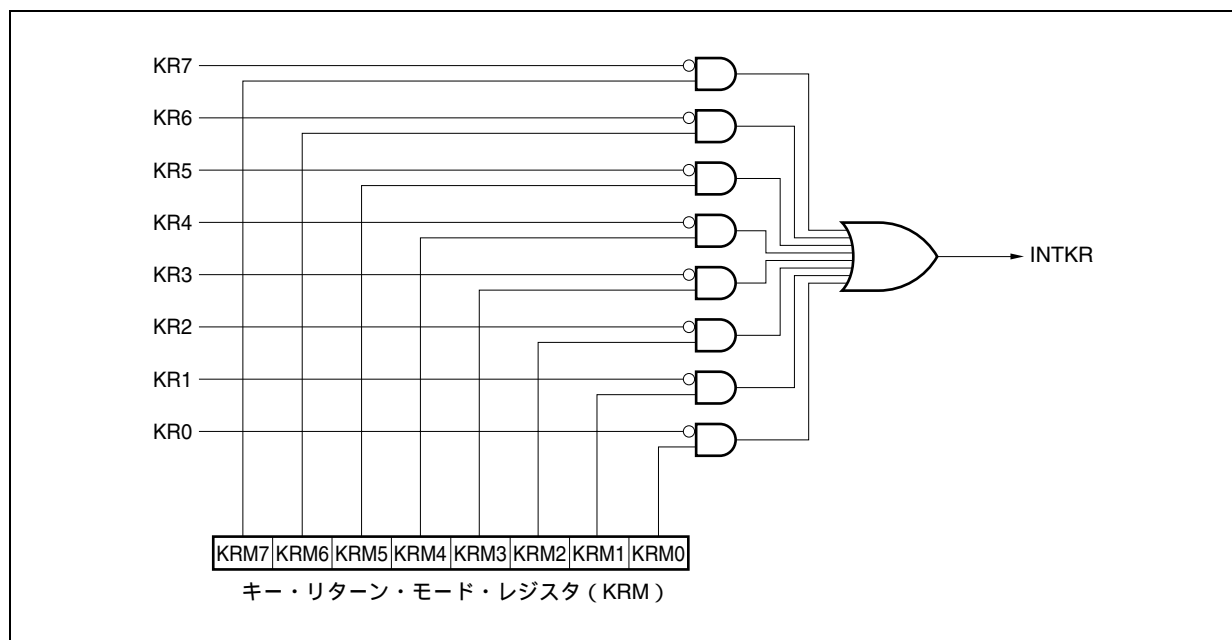
24.1 機 能

KRMレジスタの設定により、キー入力端子 (KR0-KR7) に立ち下がりエッジを入力することによって、キー割り込み要求信号 (INTKR) を発生させることができます。

表24 - 1 キー・リターン検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

図24 - 1 キー・リターンのブロック図



24.2 レジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRMレジスタは、KRM0-KRM7ビットでそれぞれKR0-KR7信号を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF300H

	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

注意 KRMレジスタを書き換える場合は、一度00Hとしてから書き換えてください。

備考 兼用端子の設定は表4 - 20 ポート端子を兼用端子として使用する場合を参照してください。

24.3 注意事項

- (1) KR0-KR7端子のうち1つでもロウ・レベルが入力されていると、別の端子の立ち下がりエッジを入力してもINTKR信号が発生しません。
- (2) KRMレジスタを変更すると、割り込み要求信号 (INTKR) が発生する場合があります。したがって、あらかじめ割り込みを禁止 (DI) またはマスクしてからKRMレジスタを変更し、割り込み要求フラグ (KRIC.KRIFビット) をクリア (0) してから、割り込みを許可 (EI) またはマスク解除してください。
- (3) キー割り込み機能を使用する場合は、必ずポート端子をキー・リターン用端子に設定してからKRMレジスタで動作を許可してください。また、逆にキー・リターン用端子からポート端子に切り替える場合は、KRMレジスタで動作を禁止してからポート端子の設定を行ってください。

第25章 スタンバイ機能

25.1 概 要

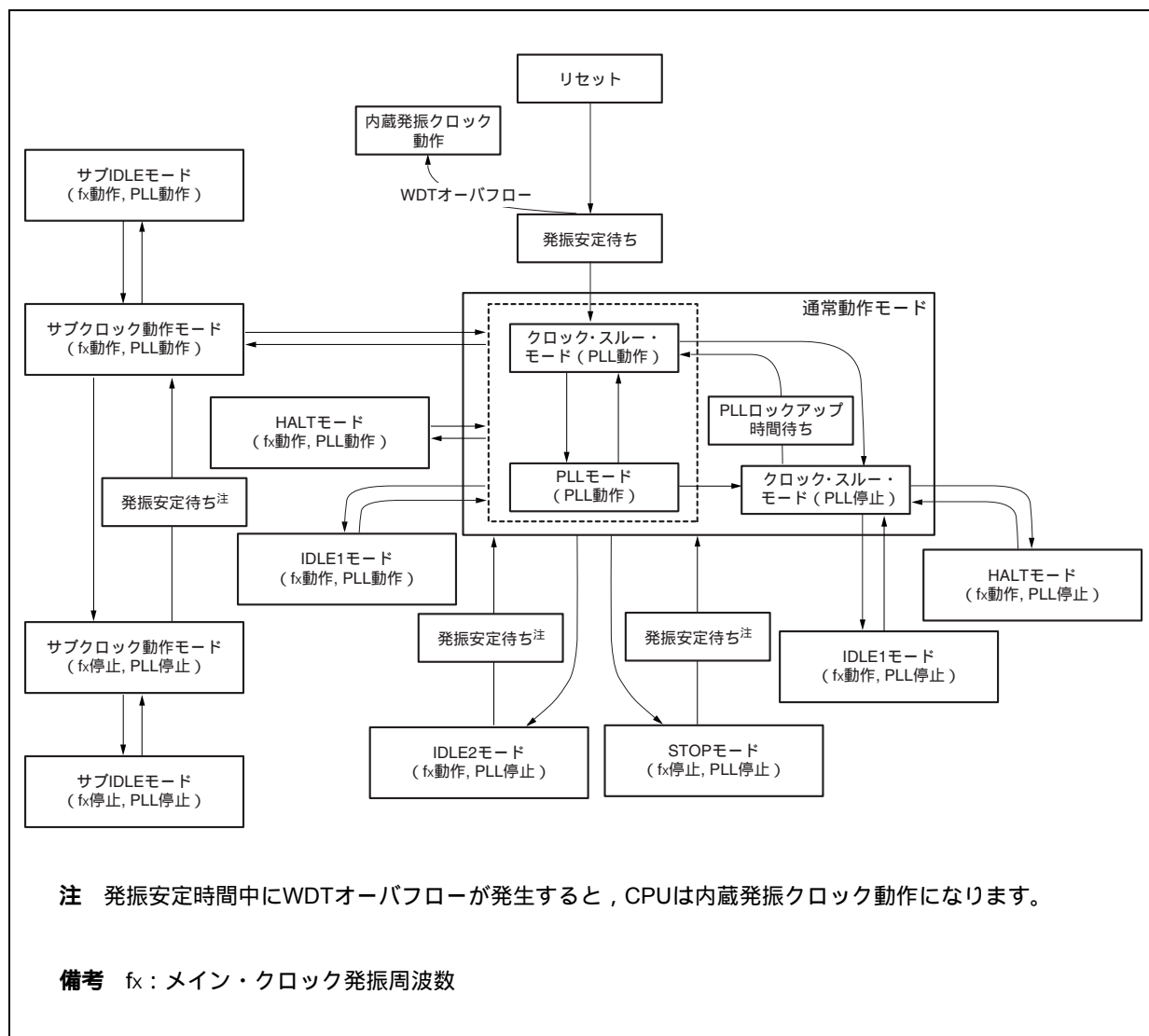
各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。スタンバイ機能には、次に示すものがあります。

表25 - 1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLE1モード	発振回路, PLL動作 ^注 , フラッシュ・メモリ以外の内部回路の動作をすべて停止させるモード
IDLE2モード	発振回路以外の内部回路の動作をすべて停止させるモード
STOPモード	サブクロック発振回路以外の内部回路の動作をすべて停止させるモード
サブクロック動作モード	内部システム・クロックをサブクロックで動作させるモード
サブIDLEモード	サブクロック動作モード時, 発振回路以外の内部回路の動作をすべて停止させるモード

注 PLLは前の動作状態を保持します。

図25 - 1 状態遷移図



25.2 レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STPビットの設定によりスタンバイ・モードを指定します。PSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF1FEH

	7	⑥	⑤	④	3	2	①	0
PSC	0	NMI1M	NMI0M	INTM	0	0	STP	0

NMI1M	INTWDT2信号発生によるスタンバイ・モード解除制御
0	INTWDT2信号によるスタンバイ・モード解除許可
1	INTWDT2信号によるスタンバイ・モード解除禁止

NMI0M	NMI端子入力によるスタンバイ・モード解除制御
0	NMI端子入力によるスタンバイ・モード解除許可
1	NMI端子入力によるスタンバイ・モード解除禁止

INTM	マスカブル割り込み要求信号によるスタンバイ・モード解除制御
0	マスカブル割り込み要求信号によるスタンバイ・モード解除許可
1	マスカブル割り込み要求信号によるスタンバイ・モード解除禁止

STP	スタンバイ・モード注の設定
0	通常モード
1	スタンバイ・モード

注 STPビットにおけるスタンバイ・モード : IDLE1, IDLE2, STOP, サブIDLEモード

- 注意1. IDLE1, IDLE2, STOP, サブIDLEモードに設定するときは, PSMR.PSM1, PSM0ビットを設定してから, STPビットを設定してください。
2. NMI1M, NMI0M, INTMビットの設定は, HALTモード解除時は無効です。
3. NMI1M, NMI0M, INTMビットと, STPビットを同時にセット(1)した場合, NMI1M, NMI0M, INTMビットの設定は無効になります。したがって, IDLE1/IDLE2/STOPモードに移行する際にマスクされていない保留中の割り込み要求信号がある場合は, その割り込み要求信号に対するビット(NMI1M, NMI0M, INTM)をセット(1)したあとにSTPビットをセット(1)してください。

(2) パワー・セーブ・モード・レジスタ (PSMR)

パワー・セーブ・モードの動作状態やクロックの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF820H

	7	6	5	4	3	2	①	②
PSMR	0	0	0	0	0	0	PSM1	PSM0

PSM1	PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	0	IDLE1, サブIDLEモード
0	1	STOPモード
1	0	IDLE2, サブIDLEモード
1	1	STOPモード

注意1. ビット2-7には、必ず0を設定してください。

2. PSM0, PSM1ビットは、PSC.STPビット = 1のときのみ有効です。

備考 IDLE1 : 発振回路と一部の回路（フラッシュ・メモリ、PLL）以外の動作を停止するモードです。

IDLE1モード解除後、HALTモードと同様に発振安定時間を確保する必要なく、通常モードに復帰します。

IDLE2 : 発振回路以外の動作を停止するモードです。

IDLE2モード解除後、OSTSレジスタで指定したセットアップ時間（フラッシュ・メモリ、PLL）を確保したあと、通常モードに復帰します。

STOP : サブクロック発振回路以外の動作を停止するモードです。

STOPモード解除後、OSTSレジスタで指定した発振安定時間を確保したあと、通常モードに復帰します。

サブIDLE : サブクロック動作モード時、発振回路以外の動作を停止するモードです。

割り込み要求信号によるサブIDLEモードの解除後、サブクロックの12周期分の時間を確保したあと、サブクロック動作モードに復帰します。

(3) 発振安定時間選択レジスタ (OSTS)

STOPモードを解除してから発振が安定するまでのウェイト時間や、IDLE2モードを解除してから内蔵フラッシュ・メモリが安定するまでのウェイト時間は、OSTSレジスタで制御します。

OSTSレジスタは、8ビット単位でリード/ライト可能です。

リセットにより06Hになります。

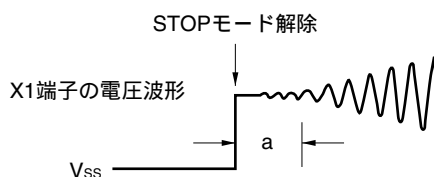
リセット時：06H R/W アドレス：FFFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間 / セットアップ時間の選択 ^注	fx	
				3 MHz	6 MHz
				0	0
0	0	1	$2^{11}/fx$	0.683 ms	0.341 ms
0	1	0	$2^{12}/fx$	1.365 ms	0.683 ms
0	1	1	$2^{13}/fx$	2.730 ms	1.365 ms
1	0	0	$2^{14}/fx$	5.461 ms	2.731 ms
1	0	1	$2^{15}/fx$	10.923 ms	5.461 ms
1	1	0	$2^{16}/fx$	21.85 ms	10.92 ms
1	1	1	設定禁止		

注 発振安定時間はSTOPモードの解除時に、セットアップ時間はIDLE2モード解除時に必要になります。

注意1. STOPモード解除時のウェイト時間は、リセットによる場合も、割り込み要求信号発生による場合も、STOPモード解除後クロック発振を開始するまでの時間（下図 a）は含みません。



- ビット7-3には必ず“0”を設定してください。
- リセット解除後の発振安定時間は、 $2^{16}/fx$ (OSTSレジスタの初期値 = 06Hのため) となります

備考 fx = メイン・クロック発振周波数

25.3 HALTモード

25.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに設定されます。

HALTモードに設定すると、クロック発振回路は動作を継続しますが、CPUへのクロック供給のみが停止し、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容は、HALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表25-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減することができます。

注意1. HALT命令の後には、NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行するが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

25.3.2 HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP00-INTP18端子入力）、HALTモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（RESET端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。

HALTモードの解除により、通常動作モードに移行します。

（1）ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

- （a）現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとHALTモードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- （b）現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、HALTモードの解除とともにこの割り込み要求信号を受け付けます。

表25-2 割り込み要求信号によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表25 - 3 HALTモード時の動作状態

項 目		HALTモードの設定	
		動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路 (fx)		発振可能	
サブクロック発振回路 (fxT)		-	発振可能
内蔵発振回路 (fr)		発振可能	
PLL		動作可能	
CPU		動作停止	
DMAコントローラ		動作可能	
割り込みコントローラ		動作可能	
タイマ	TAA0-TAA5	動作可能	
	TAB0, TAB1	動作可能	
	TMM0-TMM3	カウント・クロックにfxT以外を選択時に動作可能	動作可能
	TMT0	動作可能	
リアルタイム・カウンタ (RTC)		カウント・クロックにfx (BRG分周) を選択時に動作可能	動作可能
ウォッチドッグ・タイマ (WDT2)		カウント・クロックにfxT以外を選択時に動作可能	動作可能
シリアル・インタフェース	CSIF0-CSIF4	動作可能	
	I ² C00-I ² C02	動作可能	
	UARTC0-UARTC4	動作可能	
A/Dコンバータ		動作可能	
D/Aコンバータ		動作可能	
リアルタイム出力機能 (RTO)		動作可能	
キー割り込み機能 (KR)		動作可能	
CRC演算回路		動作可能 (ただしCPU停止のためCRCINレジスタへのデータ入力がない状態)	
外部バス・インタフェース		第5章 バス制御機能参照	
ポート機能		HALTモード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持	
USBファンクション		動作可能	
USBホスト		動作可能	

25.4 IDLE1モード

25.4.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“00”に設定し、PSC.STPビットを“1”に設定することにより、IDLE1モードに設定されます。

IDLE1モードに設定すると、クロック発振回路、PLL動作、フラッシュ・メモリは動作を継続しますが、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLE1モード設定前の状態を保持します。また、CPUや、そのほかの内蔵周辺機能は動作を停止します。ただし、サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表25 - 5にIDLE1モード時の動作状態を示します。

IDLE1モードは、内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。また、メイン・クロック発振回路は停止しないので、IDLE1モード解除時、HALTモードと同様に発振安定時間を確保することなく、通常動作モードに復帰できます。

- 注意1. IDLE1モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
2. マスクされていない割り込み要求信号が保留されている状態でIDLE1モードに設定した場合、保留されている割り込み要求によりIDLE1モードはすぐに解除されます。

25.4.2 IDLE1モードの解除

IDLE1モードは、ノンマスクابل割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号（INTP00-INTP18端子入力），IDLE1モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット信号（ $\overline{\text{RESET}}$ 端子入力，WDT2RES信号，低電圧検出回路（LVI），クロック・モニタ（CLM）によるリセット）により解除されます。

IDLE1モードの解除により，通常動作モードに移行します。

(1) ノンマスクابل割り込み要求信号，マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号，マスクされていないマスクابل割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でIDLE1モードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE1モードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると，IDLE1モードの解除とともにこの割り込み要求信号を受け付けます。

注意 PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり，IDLE1モードは解除されません。

表25 - 4 割り込み要求信号によるIDLE1モード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクابل割り込み要求信号	所定のセットアップ時間確保後，ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	所定のセットアップ時間確保後，ハンドラ・アドレスに分岐，または次の命令を実行	所定のセットアップ時間確保後，次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表25 - 5 IDLE1モード時の動作状態

項目		IDLE1モードの設定		動作状態	
				サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路 (fx)		発振可能			
サブクロック発振回路 (fxT)				-	発振可能
内蔵発振回路 (fr)		発振可能			
PLL		動作可能			
CPU		動作停止			
DMAコントローラ		動作停止			
割り込みコントローラ		動作停止 (ただし, スタンバイ・モードは解除可能)			
タイマ	TAA0-TAA5	動作停止			
	TAB0, TAB1	動作停止			
	TMM0-TMM3	カウント・クロックにfr/8を選択時に動作可能	カウント・クロックにfr/8またはfxTを選択時に動作可能		
	TMT0	動作停止			
リアルタイム・カウンタ (RTC)		カウント・クロックにfx (BRG分周) を選択時に動作可能		動作可能	
ウォッチドッグ・タイマ (WDT2)		カウント・クロックにfrを選択時に動作可能		カウント・クロックにfrまたはfxTを選択時に動作可能	
シリアル・インタフェース	CSIF0-CSIF4	カウント・クロックにSCKFn入力クロック選択時に動作可能 (n = 0-4)			
	I ² C00-I ² C02	動作停止			
	UARTC0-UARTC4	動作停止 (ただしUARTC0はASCKC0入力クロック選択時に動作可能)			
A/Dコンバータ		動作保持 (変換結果も保持) ^注			
D/Aコンバータ		動作保持 (出力保持) ^注			
リアルタイム出力機能 (RTO)		動作停止 (出力保持)			
キー割り込み機能 (KR)		動作可能			
CRC演算回路		動作停止			
外部バス・インタフェース		第5章 バス制御機能参照			
ポート機能		IDLE1モード設定前の状態を保持			
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLE1モード設定前の状態を保持			
USBファンクション		動作クロックにUCLK入力クロック選択時またはPLL動作時に動作可能 ^注			
USBホスト		PLL動作時に動作可能 ^注			

注 低消費電力を実現するためには, IDLE1モードに遷移する前にA/Dコンバータ, D/Aコンバータ, USBファンクション, USBホストを停止してください。

25.5 IDLE2モード

25.5.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“10”に設定し、PSC.STPビットを“1”に設定することにより、IDLE2モードに設定されます。

IDLE2モードに設定すると、クロック発振回路は動作を継続しますが、CPU, PLL, フラッシュ・メモリやその他の内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLE2モード設定前の状態を保持します。また、CPU, PLLや、その他の内蔵周辺機能は動作を停止します。ただし、サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表25-7にIDLE2モード時の動作状態を示します。

IDLE2モードは、内蔵周辺機能、PLL、フラッシュ・メモリの動作が停止するので、IDLE1モードよりさらに低消費電力を実現できます。ただし、PLL、フラッシュ・メモリは停止するため、IDLE2モード解除時、必ずPLL、フラッシュ・メモリのセットアップ時間が必要となります。

- 注意1. IDLE2モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
2. マスクされていない割り込み要求信号が保留されている状態でIDLE2モードに設定した場合、保留されている割り込み要求によりIDLE2モードはすぐに解除されます。

25. 5. 2 IDLE2モードの解除

IDLE2モードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP00-INTP18端子入力）、IDLE2モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。また、PLLはIDLE2モード設定前の動作状態に復帰します。

IDLE2モードの解除により、通常動作モードに移行します。

（1）ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLE2モードに設定した場合は次のようになります。

- （a）現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE2モードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- （b）現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、IDLE2モードの解除とともにこの割り込み要求信号を受け付けます。

注意 PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、IDLE2モードは解除されません。

表25 - 6 割り込み要求信号によるIDLE2モード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクابل割り込み要求信号	所定のセットアップ時間確保後、ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	所定のセットアップ時間確保後、ハンドラ・アドレスに分岐、または次の命令を実行	所定のセットアップ時間確保後、次の命令を実行

（2）リセットによる解除

通常のリセット動作と同じです。

表25 - 7 IDLE2モード時の動作状態

項目		IDLE2モードの設定		動作状態	
				サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路 (fx)		発振可能			
サブクロック発振回路 (fxT)				-	発振可能
内蔵発振回路 (fr)		発振可能			
PLL		動作停止			
CPU		動作停止			
DMAコントローラ		動作停止			
割り込みコントローラ		動作停止			
タイマ	TAA0-TAA5	動作停止			
	TAB0, TAB1	動作停止			
	TMM0-TMM3	カウント・クロックにfr/8を選択時に動作可能	カウント・クロックにfr/8またはfxT選択時に動作可能		
	TMT0	動作停止			
リアルタイム・カウンタ (RTC)		カウント・クロックにfx (BRG分周) を選択時に動作可能		動作可能	
ウォッチドッグ・タイマ (WDT2)		カウント・クロックにfrを選択時に動作可能		カウント・クロックにfrまたはfxTを選択時に動作可能	
シリアル・インタフェース	CSIF0-CSIF4	動作クロックにSCKFn入力クロック選択時に動作可能 (n = 0-4)			
	I ² C00-I ² C02	動作停止			
	UARTC0-UARTC4	動作停止 (ただしUARTC0はASCKC0入力クロック選択時に動作可能)			
A/Dコンバータ		動作保持 (変換結果も保持) ^注			
D/Aコンバータ		動作保持 (出力保持) ^注			
リアルタイム出力機能 (RTO)		動作停止 (出力保持)			
キー割り込み機能 (KR)		動作可能			
CRC演算回路		動作停止			
外部バス・インタフェース		第5章 バス制御機能参照			
ポート機能		IDLE2モード設定前の状態を保持			
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLE2モード設定前の状態を保持			
USBファンクション		動作クロックにUCLK入力クロック選択時またはPLL動作時に動作可能 ^注			
USBホスト		動作停止			

注 低消費電力を実現するためには、IDLE2モードに遷移する前にA/Dコンバータ、D/Aコンバータ、USBファンクションを停止してください。

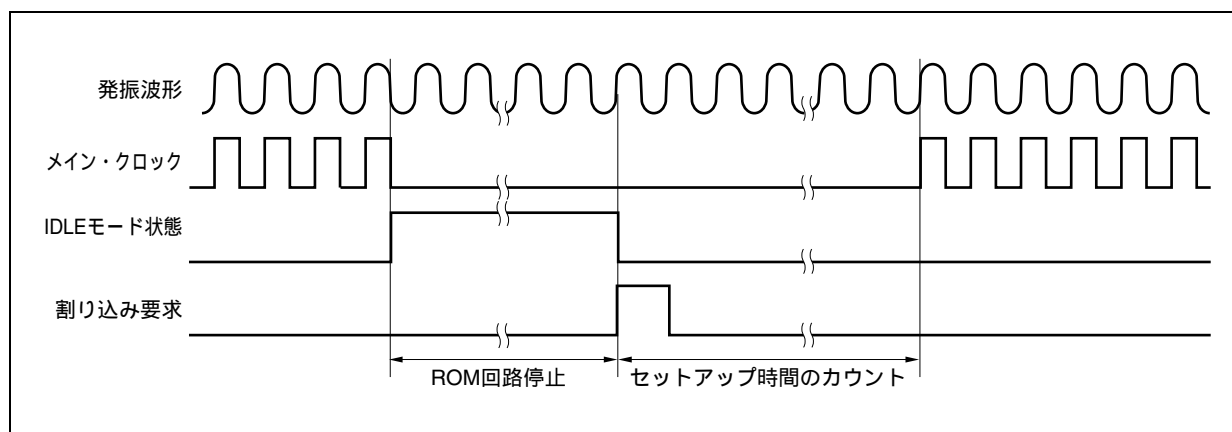
25. 5. 3 IDLE2モード解除時のセットアップ時間の確保

IDLE2モードに設定されることにより、メイン・クロック発振回路以外は動作を停止するので、IDLE2モード解除後、フラッシュ・メモリのセットアップ時間を確保してください。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号による解除

所定のセットアップ時間は、OSTSレジスタの設定により確保します。

IDLE2モードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバフローすると通常動作モードに移行します。



(2) リセット (RESET端子入力, WDT2RES発生) による解除

通常のリセット動作と同じです。

なお、発振安定時間はOSTSレジスタの初期値： $2^{16}/f_x$ になります。

25. 6 STOPモード

25. 6. 1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“01”または“11”に設定し、PSC.STPビットを“1”に設定することにより、STOPモードに設定されます。

STOPモードに設定するとサブクロック発振回路は動作を継続しますが、メイン・クロック発振回路は動作を停止します。また、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はSTOPモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、サブクロック発振回路、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表25 - 9にSTOPモード時の動作状態を示します。

STOPモードは、メイン・クロック発振回路の動作が停止するので、IDLE2モードよりさらに低消費電力を実現できます。また、サブクロック発振回路、内蔵発振器、外部クロックを使用しない場合は、リーク電流のみの超低消費電力を実現できます

- 注意1.** STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
- 2.** マスクされていない割り込み要求信号が保留されている状態でSTOPモードに設定した場合、保留されている割り込み要求によりSTOPモードはすぐに解除されます。

25. 6. 2 STOPモードの解除

STOPモードは、ノンマスクブル割り込み要求信号（NMI端子入力, INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP00-INTP18端子入力）、STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（RESET端子入力, WDT2RES信号、低電圧検出回路（LVI）によるリセット）により解除されます。

STOPモードの解除により、発振安定時間を確保したあと、通常動作モードに移行します。

(1) ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号

ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとSTOPモードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクブル割り込み要求信号を含む）が発生すると、STOPモードの解除とともにこの割り込み要求信号を受け付けます。

注意 PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求は無効になり、STOPモードは解除されません。

表25 - 8 割り込み要求信号によるSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクブル割り込み要求信号	発振安定時間確保後, ハンドラ・アドレスに分岐	
マスクブル割り込み要求信号	発振安定時間確保後, ハンドラ・アドレスに分岐, または次の命令を実行	発振安定時間確保後, 次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表25 - 9 STOPモード時の動作状態

STOPモードの設定 項目		動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路 (fx)		発振停止	
サブクロック発振回路 (fxT)		-	発振可能
内蔵発振回路 (fr)		発振可能	
PLL		動作停止	
CPU		動作停止	
DMAコントローラ		動作停止	
割り込みコントローラ		動作停止	
タイマ	TAA0-TAA5	動作停止	
	TAB0, TAB1	動作停止	
	TMM0-TMM3	カウント・クロックにfr/8を選択時に動作可能	カウント・クロックにfr/8またはfxT選択時に動作可能
	TMT0	動作停止	
リアルタイム・カウンタ (RTC)		動作停止	カウント・クロックにfxTを選択時に動作可能
ウォッチドッグ・タイマ (WDT2)		カウント・クロックにfrを選択時に動作可能	カウント・クロックにfrまたはfxTを選択時に動作可能
シリアル・インタフェース	CSIF0-CSIF4	カウント・クロックにSCKFn入力クロック選択時に動作可能 (n = 0-4)	
	I ² C00-I ² C02	動作停止	
	UARTC0-UARTC4	動作停止 (ただしUARTC0はASCKC0入力クロック選択時に動作可能)	
A/Dコンバータ		動作停止 (変換結果も不定) ^{注1, 2}	
D/Aコンバータ		動作停止 ^{注3, 4} (出力はハイ・インピーダンス)	
リアルタイム出力機能 (RTO)		動作停止 (出力保持)	
キー割り込み機能 (KR)		動作可能	
CRC演算回路		動作停止	
外部バス・インタフェース		第5章 バス制御機能参照	
ポート機能		STOPモード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてSTOPモード設定前の状態を保持	
USBファンクション		動作停止	
USBホスト		動作停止	

注1. A/Dコンバータを動作したままSTOPモードに遷移した場合, STOPモード期間中A/Dコンバータは自動的に停止しませんが, STOPモード解除後, 再び動作を開始します。ただし, その場合STOPモード解除後のA/D変換結果は無効です。また, STOPモード遷移前のA/D変換結果はすべて無効です。

2. A/Dコンバータを動作したままSTOPモードに遷移した場合でも, STOPモード遷移前にA/Dコンバータを停止した場合と同等に消費電力を低減できます。

3. D/Aコンバータを動作したままSTOPモードに遷移した場合, STOPモード期間中D/Aコンバータは自動的に停止し, 端子状態はハイ・インピーダンスになります。STOPモード解除後, 再び動作を開始しセトリング時間を経て, STOPモード遷移前の出力レベルにもどります。

4. D/Aコンバータを動作したままSTOPモードに遷移した場合でも, STOPモード遷移前にD/Aコンバータを停止した場合と同等に消費電力を低減できます。

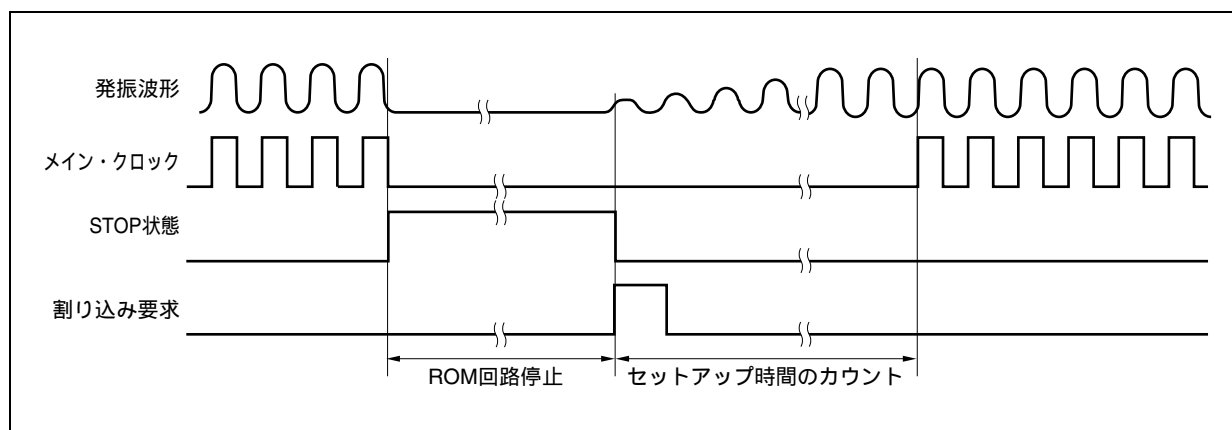
25. 6. 3 STOPモード解除時の発振安定時間の確保

STOPモードに設定されることにより、メイン・クロック発振回路は動作を停止するので、STOPモード解除後、メイン・クロック発振回路の発振安定時間を確保してください。

(1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号による解除

発振安定時間は、OSTSレジスタの設定により確保します。

STOPモードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバフローすると通常動作モードに移行します。



(2) リセットによる解除

通常のリセット動作と同じです。

なお、発振安定時間はOSTSレジスタの初期値： $2^{16}/f_x$ になります。

25.7 サブクロック動作モード

25.7.1 設定および動作状態

通常動作モード時，PCC.CK3ビットを“1”に設定することにより，サブクロック動作モードに設定されます。

サブクロック動作モードに設定すると，内部システム・クロックがメイン・クロック サブクロックに切り替わります。切り替わりは，PCC.CLSビットを確認してください。

さらに，PCC.MCKビットを“1”に設定することにより，メイン・クロック発振回路の動作を停止します。これにより，システム全体がサブクロックでのみ動作します。

サブクロック動作モードは，内部システム・クロックがサブクロックとなるので，通常動作モードよりも消費電力を低減できます。さらに，メイン・クロック発振回路の動作を停止させることにより，STOPモードに近い低消費電力を実現できます。

サブクロック動作モード時の動作状態を表25 - 10に示します。

注意1. CK3ビットを操作する場合，PCC.CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は，6.3(1)プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。

2. 次の条件を満たしていない場合は，条件を満たすようにCK2-CK0ビットを変更後，サブクロック動作モードに移行してください。

$$\text{内部システム・クロック (f}_{\text{CLK}}) > \text{サブクロック (f}_{\text{XT}} = 32.768 \text{ kHz}) \times 4$$

備考 内部システム・クロック (f_{CLK}) : CK2-CK0ビットの設定によってメイン・クロック (f_{XX}) から生成するクロック

25.7.2 サブクロック動作モードの解除

サブクロック動作モードは，CK3ビットを“0”に設定するか，リセット信号（ $\overline{\text{RESET}}$ 端子入力，WDT2RES信号，低電圧検出回路(LVI)，クロック・モニタ(CLM)によるリセット)により解除します。

なお，メイン・クロックを停止(MCKビット = 1)していた場合は，MCKビットを“1”に設定し，メイン・クロックの発振安定時間をソフトウェアにより確保してから，CK3ビットを“0”に設定します。

サブクロック動作モードの解除により，通常動作モードに移行します。

注意 CK3ビットを操作する場合，CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は，6.3(1)プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。

表25 - 10 サブクロック動作モード時の動作状態

サブクロック動作モードの設定 項目		動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路 (f _{XT})		発振可能	
内蔵発振回路 (f _R)		発振可能	
PLL		動作可能	動作停止 ^注
CPU		動作可能	
DMAコントローラ		動作可能	
割り込みコントローラ		動作可能	
タイマ	TAA0-TAA5	動作可能	動作停止
	TAB0, TAB1	動作可能	動作停止
	TMM0-TMM3	動作可能	カウント・クロックにf _R /8またはf _{XT} 選択時に動作可能
	TMT0	動作可能	動作停止
リアルタイム・カウンタ (RTC)		動作可能	カウント・クロックにf _{XT} を選択時に動作可能
ウォッチドッグ・タイマ (WDT2)		動作可能	カウント・クロックにf _R またはf _{XT} 選択時に動作可能
シリアル・インタフェース	CSIF0-CSIF4	動作可能	カウント・クロックにSCKFn入力クロック選択時に動作可能 (n = 0-4)
	I ² C00-I ² C02	動作可能	動作停止
	UARTC0-UARTC4	動作可能	動作停止 (ただしUARTC0はASCKC0入力クロック選択時に動作可能)
A/Dコンバータ		動作可能	動作停止
D/Aコンバータ		動作可能	
リアルタイム出力機能 (RTO)		動作可能	動作停止 (出力保持)
キー割り込み機能 (KR)		動作可能	
CRC演算回路		動作可能	
外部バス・インタフェース		第5章 バス制御機能参照	
ポート機能		設定可能	
内部データ		設定可能	
USBファンクション		動作可能	動作停止
USBホスト		動作可能	動作停止

注 メイン・クロックを停止するときは、必ずPLL停止 (PLLCTL.PLLONビット = 0) に設定してください。

注意 CPUがサブクロックで動作し、かつメイン発振を停止している場合、ウエイトが発生するレジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットのみです (3.4.8 (2) 参照)。

25. 8 サブIDLEモード

25. 8. 1 設定および動作状態

サブクロック動作モード時、PSMR.PSM1, PSM0ビットを“00”または“10”に設定し、PSC.STPビットを“1”に設定することにより、サブIDLEモードに設定されます。

サブIDLEモードに設定すると、クロック発振回路は動作を継続しますが、CPU、フラッシュ・メモリやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はサブIDLEモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、サブクロック、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

サブIDLEモードは、CPU、フラッシュ・メモリやそのほかの内蔵周辺機能の動作が停止するので、サブクロック動作モードよりさらに低消費電力を実現できます。

また、メイン・クロックを停止してからサブIDLEモードに設定した場合は、STOPモードに近い低消費電力を実現できます。

サブIDLEモード時の動作状態を、表25 - 12に示します。

注意1. サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態でサブIDLEモードに設定した場合、保留されている割り込み要求によりサブIDLEモードはすぐに解除されます。

25. 8. 2 サブIDLEモードの解除

サブIDLEモードは、ノンマスカブル割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP00-INTP18端子入力）、サブIDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。また、PLLはサブIDLEモード設定前の動作状態と同じ状態に復帰します。

割り込み要求信号によるサブIDLEモードの解除により、サブクロック動作モードに移行します。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号が発生すると、優先順位とは無関係に解除されます。

ただし、割り込み処理ルーチン内でサブIDLEモードに設定した場合、次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生すると、サブIDLEモードの解除だけ行い、この割り込み要求信号は受けません。割り込み要求信号そのものは保留されます。

(b) 現在処理中の割り込み要求よりも優先順位の高い割り込み要求信号（ノンマスカブル割り込み要求信号も含む）が発生すると、サブIDLEモードの解除とともにこの割り込み要求信号を受け付けます。

注意1. PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、サブIDLEモードは解除されません。

2. サブIDLEモードからの復帰時は、割り込み要求信号による解除要因が発生してから解除されるまでに、サブクロックの12周期分の時間（約366 μs ）が挿入されます。

表25 - 11 割り込み要求信号によるサブIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表25 - 12 サブIDLEモード時の動作状態

項 目	サブIDLEモードの設定		動作状態	
			メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路 (f _{XT})			発振可能	
内蔵発振回路 (f _R)			発振可能	
PLL			動作可能	動作停止 ^{注1}
CPU			動作停止	
DMAコントローラ			動作停止	
割り込みコントローラ			動作停止	
タイマ	TAA0-TAA5		動作停止	
	TAB0, TAB1		動作停止	
	TMM0-TMM3		カウント・クロックにf _R /8またはf _{XT} 選択時に動作可能	
	TMT0		動作停止	
リアルタイム・カウンタ (RTC)			動作可能	カウント・クロックにf _{XT} を選択時に動作可能
ウォッチドッグ・タイマ (WDT2)			カウント・クロックにf _R またはf _{XT} 選択時に動作可能	
シリアル・インタフェース	CSIF0-CSIF4		カウント・クロックにSCKFn入力クロック選択時に動作可能 (n = 0-4)	
	I ² C00-I ² C02		動作停止	
	UARTC0-UARTC4		動作停止 (ただしUARTC0はASCKC0入力クロック選択時に動作可能)	
A/Dコンバータ			動作保持 (変換結果も保持) ^{注2}	
D/Aコンバータ			動作保持 (出力保持) ^{注2}	
リアルタイム出力機能 (RTO)			動作停止 (出力保持)	
キー割り込み機能 (KR)			動作可能	
CRC演算回路			動作停止	
外部バス・インタフェース			第5章 バス制御機能参照 (IDLEモードと同じ動作状態)	
ポート機能			サブIDLEモード設定前の状態を保持	
内部データ			CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてサブIDLEモード設定前の状態を保持	
USBファクション			動作停止	
USBホスト			動作停止	

注1. メイン・クロックを停止するときは, 必ずPLL停止 (PLLCTL.PLLONビット = 0) に設定してください。

2. 低消費電力を実現するためには, サブIDLEモードに遷移する前にA/Dコンバータ, D/Aコンバータを停止してください。

第26章 リセット機能

26.1 概 要

リセット機能の概要を次に示します。

(1) 4種類のリセット要因

- ・ $\overline{\text{RESET}}$ 端子による外部リセット入力
- ・ ウォッチドッグ・タイマ2 (WDT2) のオーバフローによるリセット機能 (WDT2RES)
- ・ 低電圧検出回路 (LVI) の電源電圧と検出電圧との比較によるシステム・リセット
- ・ クロック・モニタ (CLM) の発振停止検出によるシステム・リセット

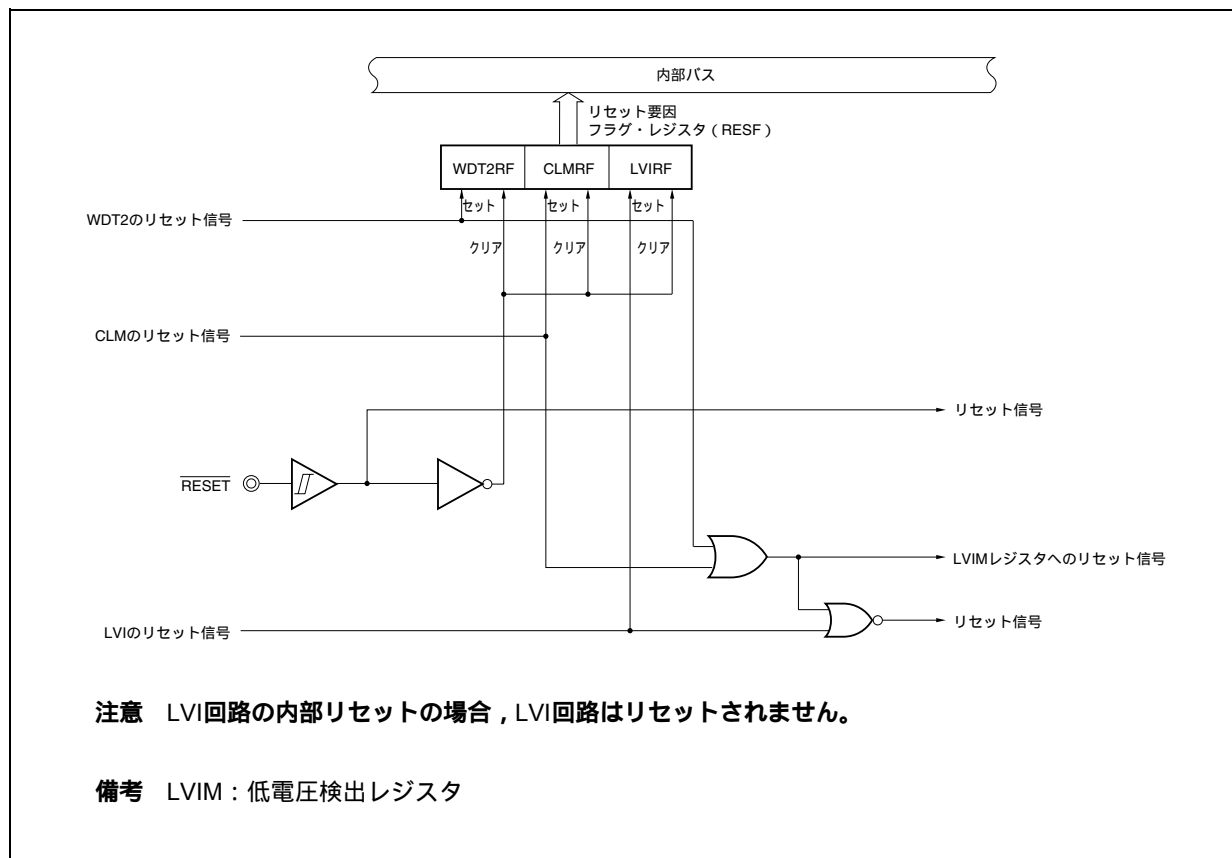
リセット解除後, リセット要因フラグ・レジスタ (RESF) によりリセット要因を確認できます。

(2) 緊急動作モード

リセット後に挿入されるメイン・クロック発振安定期間内でWDT2がオーバフローした場合, メイン・クロックの発振異常と判断し, 内蔵発振クロックでCPUの動作を開始します。

注意 緊急動作モード時は, 内蔵発振クロックで動作が可能な“割り込み機能, ポート機能, WDT2, タイマM”用レジスタ以外の内蔵周辺I/Oレジスタにアクセスしないでください。また, 外部クロック入力を使用したCSIF0-CSIF4, UARTC0の動作も禁止します。

図26 - 1 リセット機能のブロック図



26.2 リセット要因を確認するレジスタ

V850ES/JG3-U, V850ES/JH3-Uには4つのリセット要因が存在します。リセット解除後、リセット要因フラグ・レジスタ (RESF) により発生したリセット要因を確認できます。

(1) リセット要因フラグ・レジスタ (RESF)

RESFレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.7 特定レジスタ参照)。

RESFレジスタは、どの要因から発生したリセット信号かを格納するレジスタです。

8/1ビット単位でリード/ライト可能です。

$\overline{\text{RESET}}$ 端子入力により00Hになります。 $\overline{\text{RESET}}$ 端子以外の要因のリセットにより初期値は異なります。

リセット時：00H^注 R/W アドレス：FFFFFF888H

	7	6	5	4	3	2	1	0
RESF	0	0	0	WDT2RF	0	0	CLMRF	LVIRF

WDT2RF	WDT2からのリセット信号発生有無
0	発生なし
1	発生あり

CLMRF	CLMからのリセット信号発生有無
0	発生なし
1	発生あり

LVIRF	LVIからのリセット信号発生有無
0	発生なし
1	発生あり

注 $\overline{\text{RESET}}$ 端子によるリセット時はRESFレジスタは00H。

ウォッチドッグ・タイマ2 (WDT2), 低電圧検出回路 (LVI), クロック・モニタ (CLM) によるリセット時は、自身のリセット・フラグ (WDT2RF, CLMRF, LVIRFビット) をセットします。ただし、ほかの要因は保持します。

注意 各ビットへの書き込みは“0”ライトのみ可能で、“0”ライト書き込みとフラグ・セット(リセットの発生)が競合した場合、フラグ・セットが優先されます。

26.3 動作

26.3.1 RESET端子によるリセット動作

RESET端子にロウ・レベルを入力すると、システム・リセットがかかり、各ハードウェアを初期化します。
RESET端子入力をロウ・レベルからハイ・レベルに変化させると、リセット状態を解除します。

表26 - 1 RESET端子入力時の各ハードウェアの状態

項目	リセット中	リセット後
メイン・クロック発振回路 (fx)	発振停止	発振開始
サブクロック発振回路 (fxT)	発振継続	
内蔵発振器	発振停止	発振開始
周辺クロック (fx-fx/1024)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (fCLK) , CPUクロック (fCPU)	動作停止	発振安定時間確保後、動作開始 (fx/8に初期化)
CPU	初期化	発振安定時間確保後、プログラムの実行開始
ウォッチドッグ・タイマ2	動作停止 (カウントは0に初期化)	内蔵発振クロックをソース・クロックとして0からカウント・アップ
内蔵RAM	パワーオン時のリセット、またはCPUアクセスとリセット入力競合 (データ破壊) した場合、不定。 それ以外は、リセット入力直前の値を保持。	
I/Oライン (ポート / 兼用端子)	ハイ・インピーダンス ^注	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタはセット (01H)	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

注 次に示す端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- ・ P10/ANO0端子
- ・ P11/ANO1端子
- ・ DDO端子 (V850ES/JH3-Uのみ)
- ・ P53/SIF2/TIAB00/KR3/TOAB00/RTP03/DDO端子 (V850ES/JG3-Uのみ)

注意 OCDMレジスタはRESET端子入力によって初期化されます。そのため、リセット解除後、再度OCDM.OCDM0ビットをクリアするまでの間にP56/INTP05/DRST端子にハイ・レベルが入力されると、オンチップ・デバッグ・モードに入るため注意してください。詳細は、第4章 ポート機能を参照してください。

図26 - 2 RESET端子入力によるリセット動作のタイミング

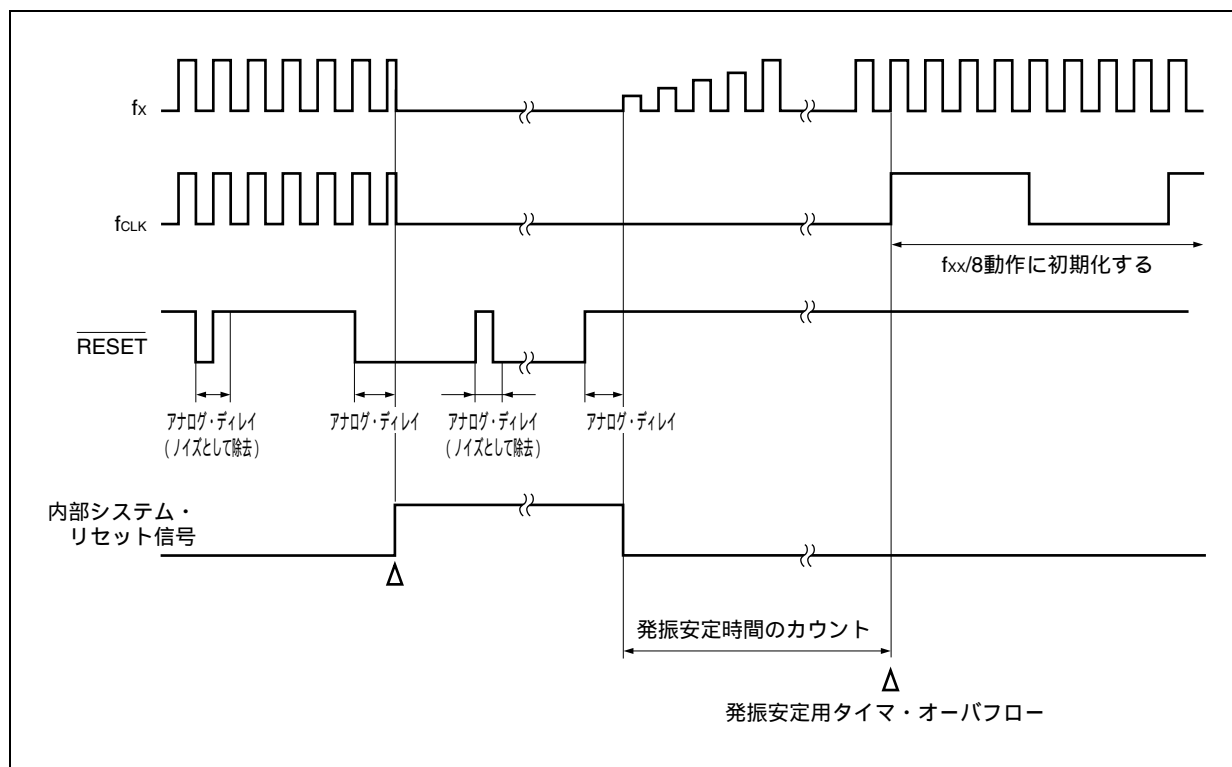
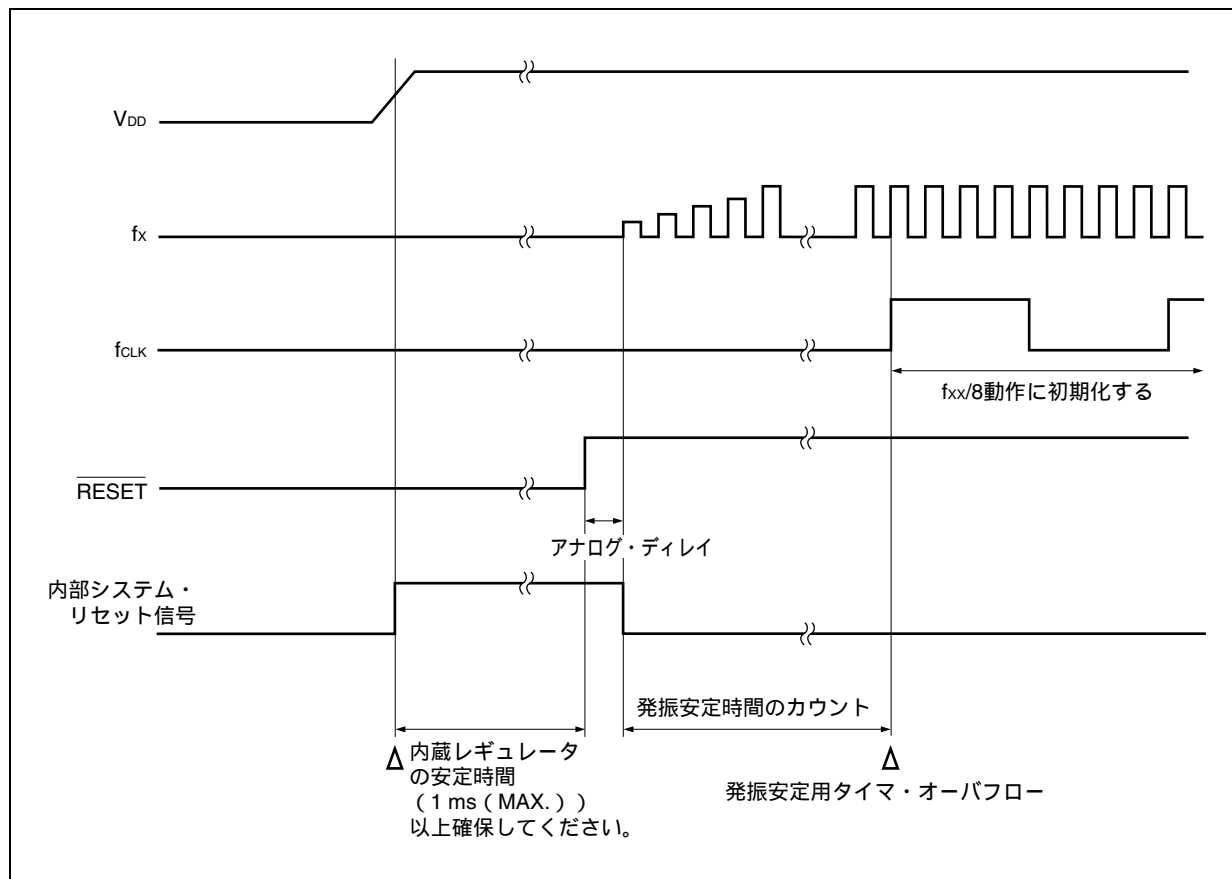


図26 - 3 パワーオン時のリセット動作のタイミング



26.3.2 ウォッチドッグ・タイマ2によるリセット動作

ウォッチドッグ・タイマ2をオーバフローによるリセット動作モードに設定時、ウォッチドッグ・タイマ2がオーバフロー（WDT2RES信号発生）すると、システム・リセットがかかり各ハードウェアを所定の状態に初期化します。

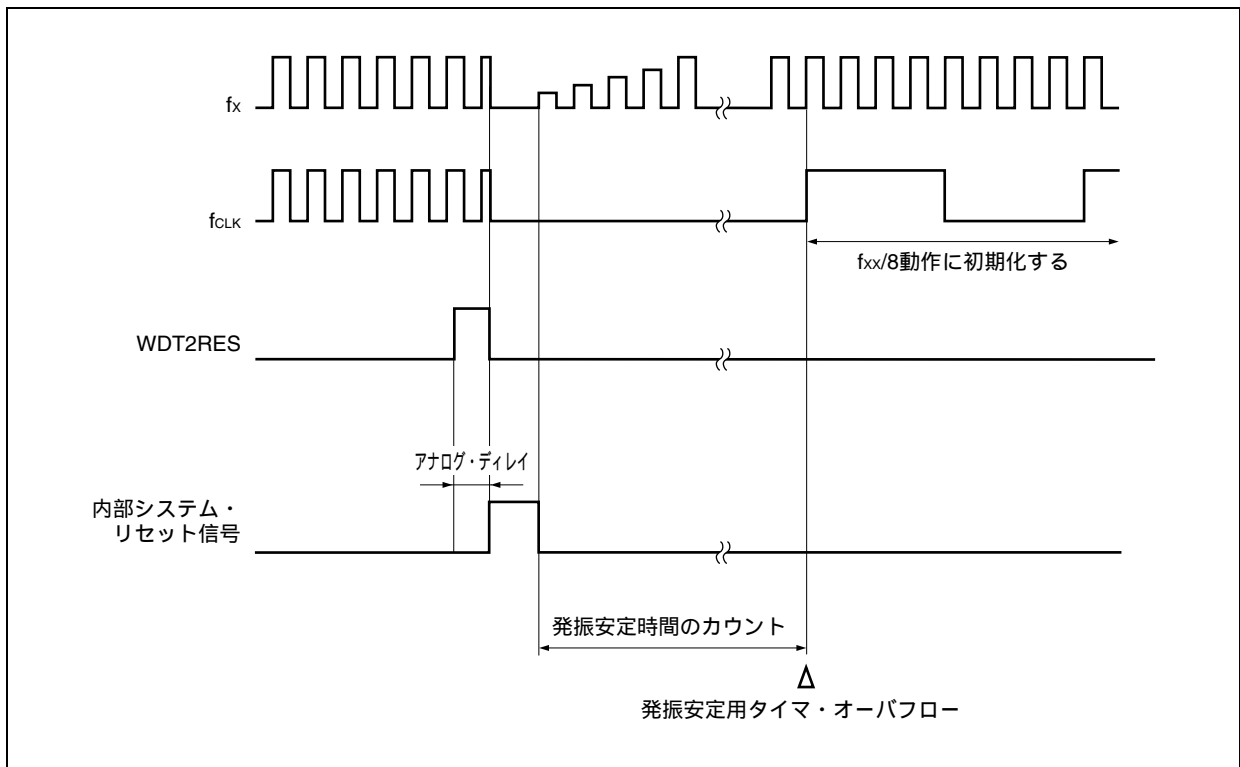
ウォッチドッグ・タイマ2のオーバフロー後、所定の時間（アナログ・ディレイ分）リセット状態となり、その後リセット状態を自動的に解除します。

なお、リセット期間中はメイン・クロック発振回路は停止します。

表26-2 ウォッチドッグ・タイマ2によるリセット動作時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (fx)	発振停止	発振開始
サブクロック発振回路 (fxT)	発振継続	
内蔵発振器	発振停止	発振開始
周辺クロック (fxx-fxx/1024)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (fxx) , CPUクロック (fCPU)	動作停止	発振安定時間確保後、動作開始 (fxx/8に初期化)
CPU	初期化	発振安定時間確保後、プログラムの実行開始
WDT2	動作停止 (カウントは0に初期化)	内蔵発振クロックをソース・クロックとして0からカウント・アップ
内蔵RAM	パワーオン時のリセット、またはCPUアクセスとリセット入力競合 (データ破壊) した場合、不定。 それ以外は、リセット入力直前の値を保持。	
I/Oライン (ポート / 兼用端子)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタは値を保持。	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

図26 - 4 WDT2RES信号発生によるリセット動作のタイミング



26.3.3 低電圧検出回路によるリセット動作

LVIの動作許可時，電源電圧と検出電圧を比較し，電源電圧が検出電圧を下回った場合，システム・リセットがかかり（LVIM.LVIMDビット = 1設定時），各ハードウェアを所定の状態に初期化します。

電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となります。

なお，リセット期間中はメイン・クロック発振回路は停止します。

LVIMDビット = 0設定時は，低電圧を検出すると割り込み要求信号（INTLVI）を発生します。

表26 - 3 低電圧検出回路によるリセット動作時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (f _x)	発振停止	発振開始
サブクロック発振回路 (f _{XT})	発振継続	
内蔵発振器	発振停止	発振開始
周辺クロック (f _{xx} -f _{xx} /1024)	動作停止	発振安定時間確保後，動作開始
内部システム・クロック (f _{xx})， CPUクロック (f _{CPU})	動作停止	発振安定時間確保後，動作開始 (f _{xx} /8に初期化)
CPU	初期化	発振安定時間確保後，プログラムの実行開始
WDT2	動作停止 (カウントは0に初期化)	内蔵発振クロックをソース・クロックとして0からカウント・アップ
内蔵RAM	パワーオン時のリセット，またはCPUアクセスとリセット入力競合 (データ破壊) した場合，不定。 それ以外は，リセット入力直前の値を保持。	
I/Oライン (ポート / 兼用端子)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化，OCDMレジスタは値を保持。	
LVI	動作停止	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後，動作開始可能

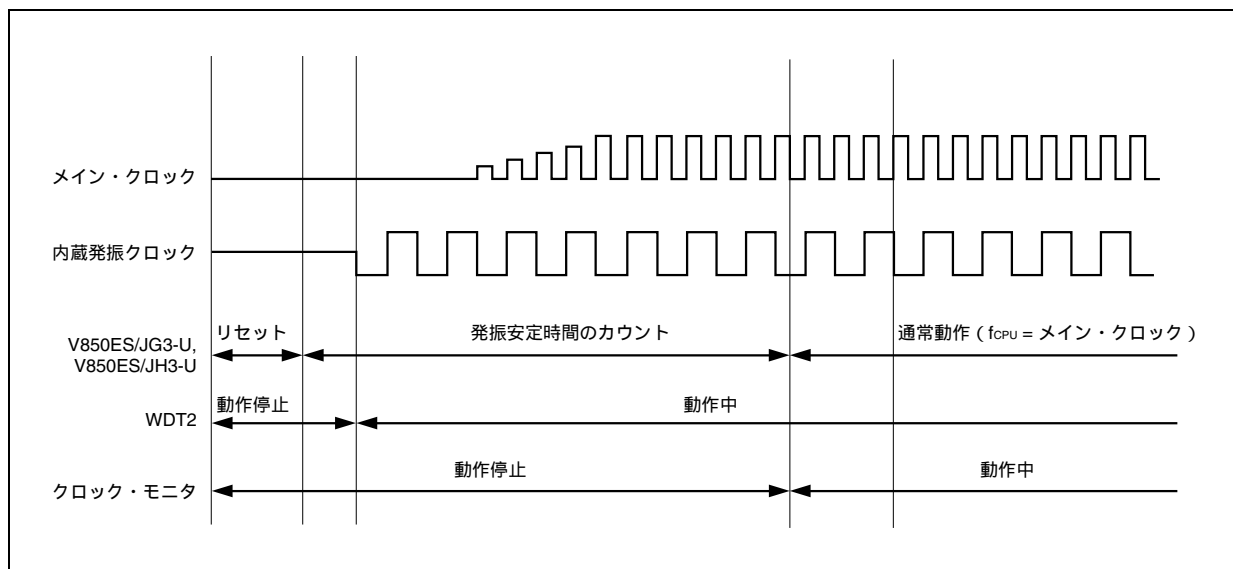
備考 低電圧検出回路のリセット・タイミングは，第28章 低電圧検出回路 (LVI) を参照してください。

26.3.4 リセット解除後の動作

リセット解除後、メイン・クロックは発振を開始し、発振安定時間（OSTSレジスタの初期値： $2^{16}/f_x$ ）を確保したあと、CPUはプログラムの実行を開始します。

また、WDT2はリセット解除後、内蔵発振クロックをソース・クロックとして、すぐに動作を開始します。

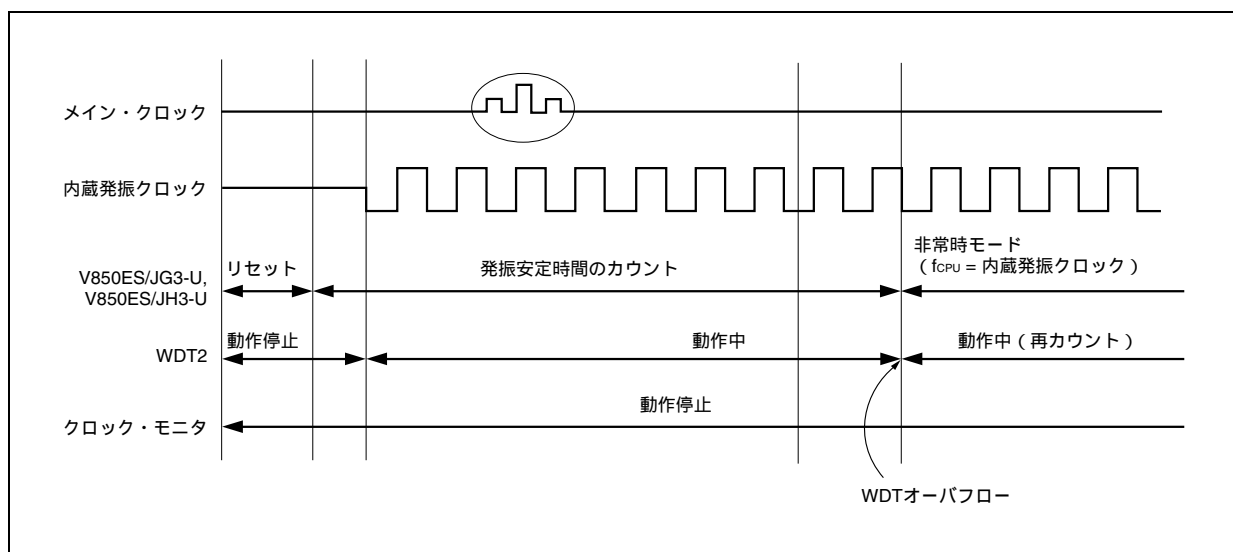
図26 - 5 リセット解除後の動作



(1) 緊急動作モード

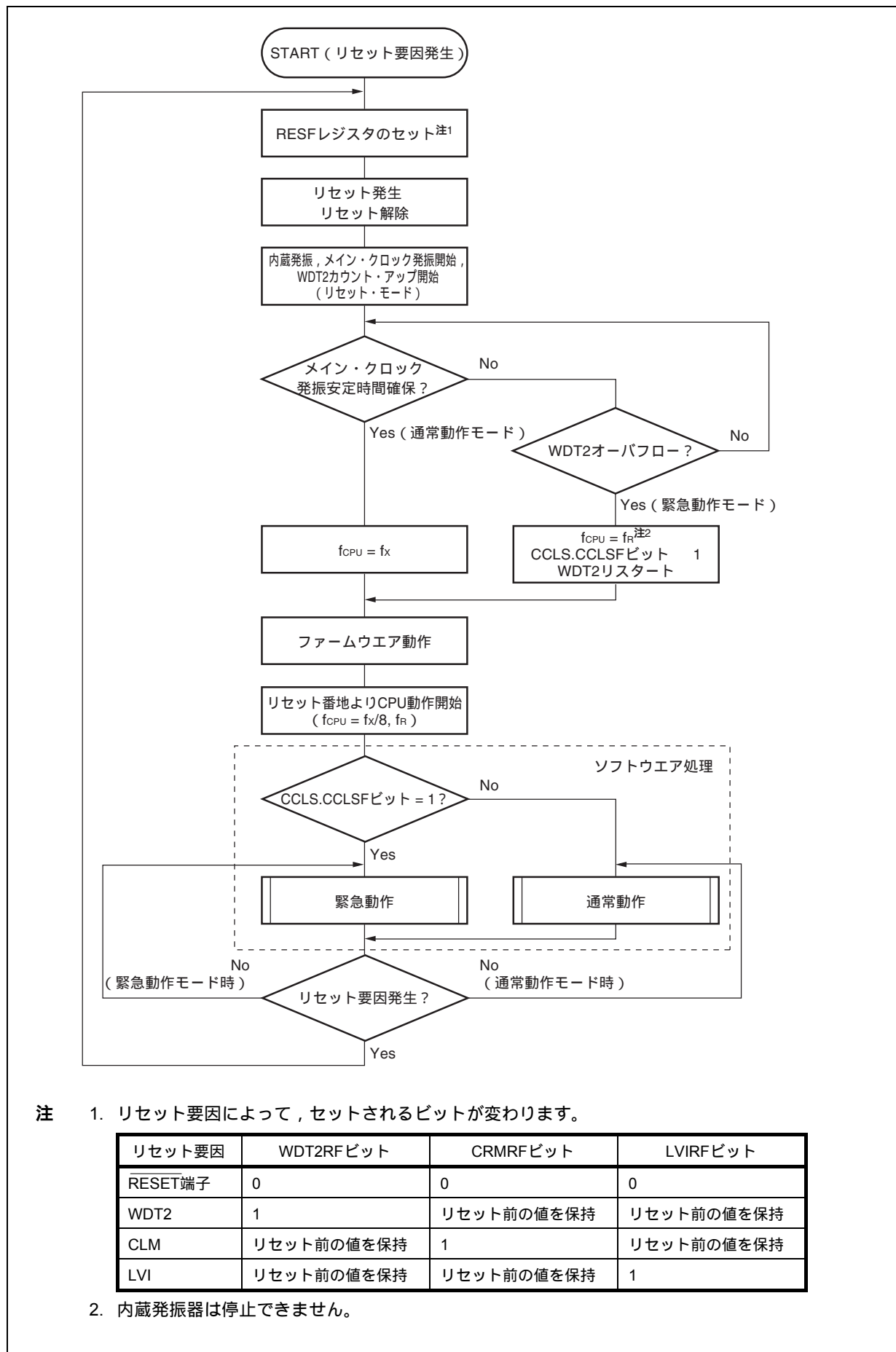
発振安定時間が確保される前にメイン・クロックに異常が発生した場合、CPUがプログラムの実行を開始する前にWDT2がオーバーフローします。このとき、CPUは内蔵発振クロックをソース・クロックとして、プログラムの実行を開始します。

図26 - 6 リセット解除後の動作



CPU動作クロックの状態は、CPU動作クロック・ステータス・レジスタ（CCLS）で確認してください。

26.3.5 リセット機能の動作フロー



注 1. リセット要因によって、セットされるビットが変わります。

リセット要因	WDT2RFビット	CRMRFビット	LVI RFビット
RESET端子	0	0	0
WDT2	1	リセット前の値を保持	リセット前の値を保持
CLM	リセット前の値を保持	1	リセット前の値を保持
LVI	リセット前の値を保持	リセット前の値を保持	1

2. 内蔵発振器は停止できません。

第27章 クロック・モニタ

27.1 機 能

クロック・モニタは、内蔵発振クロックで、メイン・クロックのサンプリングを行い、メイン・クロックの発振停止時に、リセット要求信号を発生します。

動作許可フラグにより一度動作許可にすると、リセット以外ではクリア (0) できません。

クロック・モニタによるリセットが発生した場合、RESF.CLMRFビットがセットされます。RESFレジスタの詳細については、26.2 リセット要因を確認するレジスタを参照してください。

次の条件のとき、クロック・モニタは自動的に停止します。

- ・ STOPモード ~ 発振安定時間時
- ・ メイン・クロック停止時
(サブクロック動作時にPCC.MCKビット=1としてから、メイン・クロック動作時にPCC.CLSビット = 0とするまで)
- ・ サンプリング・クロック (内蔵発振クロック) 停止時
- ・ CPUが内蔵発振クロック動作時

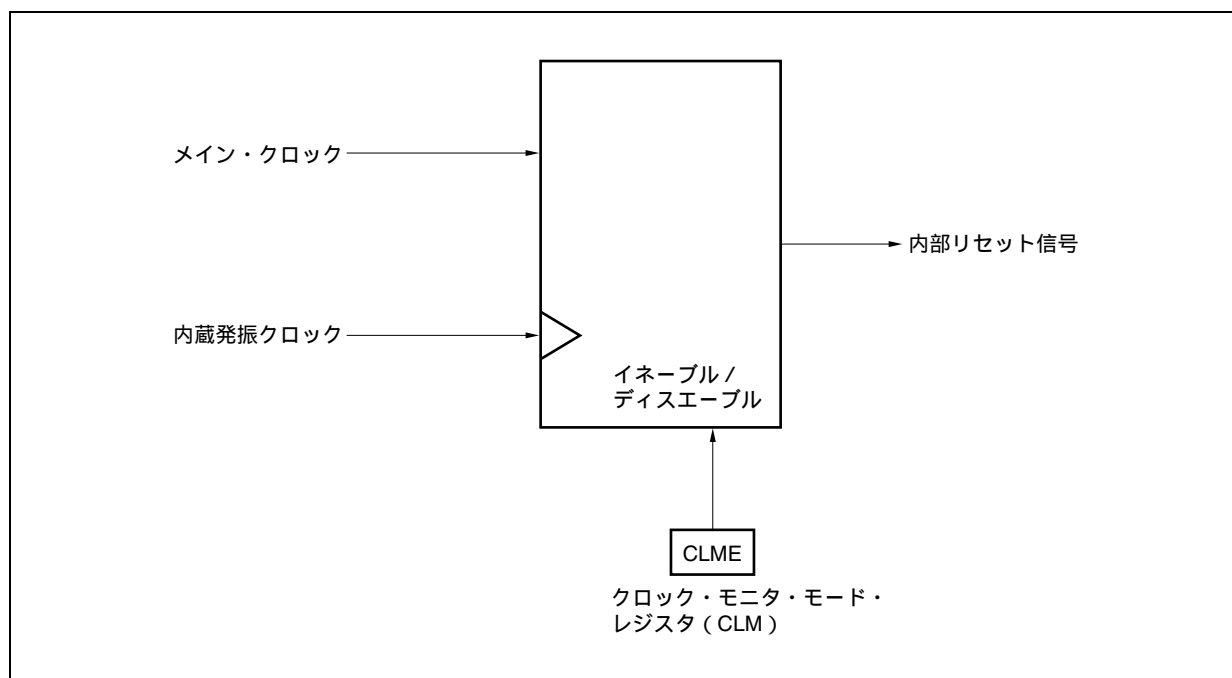
27.2 構 成

クロック・モニタは、次のハードウェアで構成しています。

表27 - 1 クロック・モニタの構成

項 目	構 成
制御レジスタ	クロック・モニタ・モード・レジスタ (CLM)

図27 - 1 RESET端子入力によるリセット動作のタイミング



27.3 レジスタ

クロック・モニタは、クロック・モニタ・モード・レジスタ (CLM) で制御します。

(1) クロック・モニタ・モード・レジスタ (CLM)

CLMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.7 特定レジスタ参照)。

クロック・モニタの動作モードの設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF870H

	7	6	5	4	3	2	1	①
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作許可/禁止
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

- 注意1.** 一度CLMEビット = 1に設定した場合、リセット以外ではクリア(0)できません。
- クロック・モニタによるリセットが発生した場合、CLMEビットはクリア(0)され、RESF.CLMRFビットがセット(1)されます。
 - 7-1ビットには必ず“0”を設定してください。

27.4 動作

クロック・モニタの持つ機能について説明します。スタート条件，ストップ条件は次のようになります。

<スタート条件>

CLM.CLMEビットを動作許可(1)に設定

<ストップ条件>

- ・ STOPモード～発振安定時間カウント時
- ・ メイン・クロック停止時
(サブクロック動作時にPCC.MCKビット=1としてから，メイン・クロック動作時にPCC.CLSビット = 0とするまで)
- ・ サンプリング・クロック(内蔵発振クロック)停止時
- ・ CPUが内蔵発振クロック動作時

表27-2 クロック・モニタの動作状態 (CLM.CLMEビット = 1設定時，内蔵発振クロック動作時)

CPU動作クロック	動作モード	メイン・クロックの状態	内蔵発振クロックの状態	クロック・モニタの状態
メイン・クロック	HALTモード	発振	発振 ^{注1}	動作 ^{注2}
	IDLE1, IDLE2モード	発振	発振 ^{注1}	動作 ^{注2}
	STOPモード	停止	発振 ^{注1}	停止
サブクロック (PCC.MCK = 0)	サブIDLEモード	発振	発振 ^{注1}	動作 ^{注2}
サブクロック (PCC.MCK = 1)	サブIDLEモード	停止	発振 ^{注1}	停止
内蔵発振クロック	-	停止	発振 ^{注3}	停止
リセット中	-	停止	停止	停止

注1. RCM.RSTOPビットをセット(1)することで内蔵発振器を停止できます。

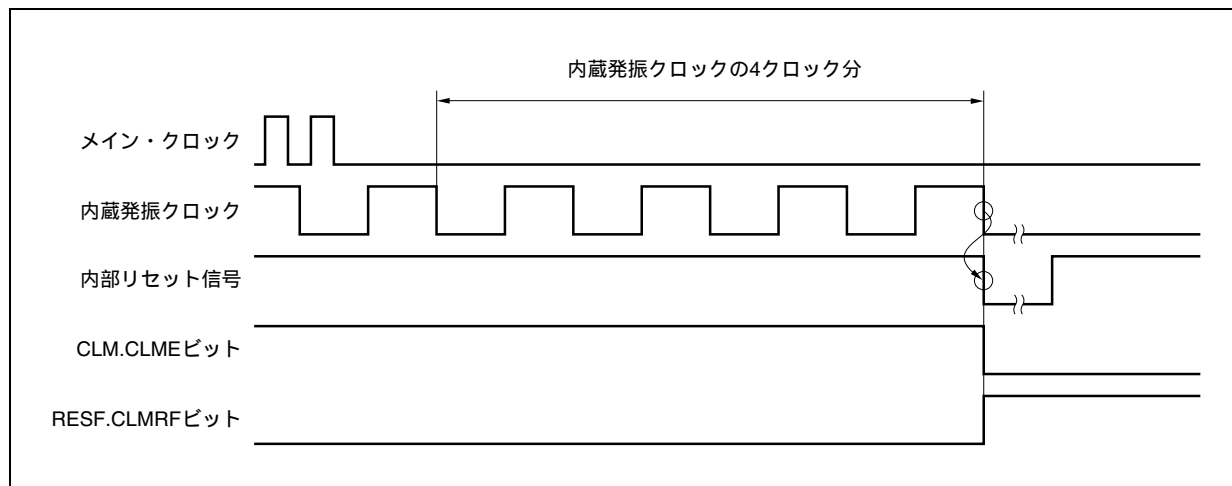
2. 内蔵発振器が停止している場合，クロック・モニタは停止します。

3. 内蔵発振器をソフトウェアで停止することはできません。

(1) メイン・クロック発振停止時の動作 (CLMEビット = 1)

CLMEビット = 1のとき、メイン・クロックの発振が停止した場合、図27 - 2のタイミングで内部リセット信号が発生します。

図27 - 2 メイン・クロックの発振停止によってリセットがかかる時間

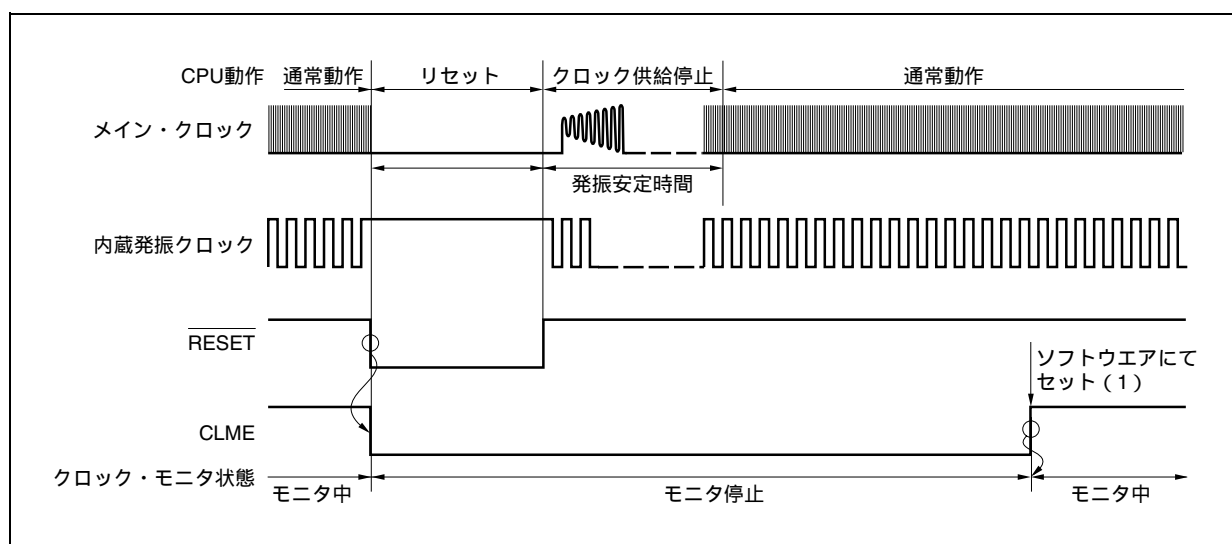


(2) RESET入力後のクロック・モニタの状態

RESET入力により、CLM.CLMEビットはクリア (0) されて、クロック・モニタは動作停止します。メイン・クロックの発振安定時間後にソフトウェアでCLMEビットをセット (1) すると、モニタ動作を開始します。

図27 - 3 RESET入力後のクロック・モニタの状態

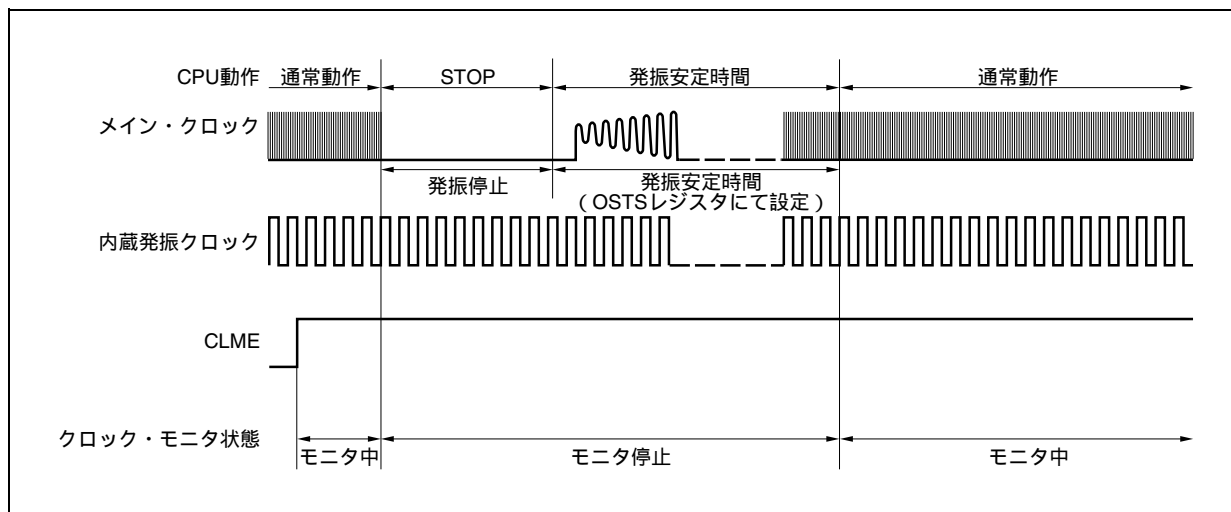
(RESET入力後、メイン・クロックの発振安定時間終了後に、CLM.CLMEビット = 1を設定)



(3) STOPモード中およびSTOPモード解除後の動作

CLM.CLMEビット = 1の状態ですoftウェアSTOPモードに移行した場合、STOPモード中および発振安定時間カウント中はモニタ動作を停止します。発振安定時間カウント終了後に自動的にモニタ動作を開始します。

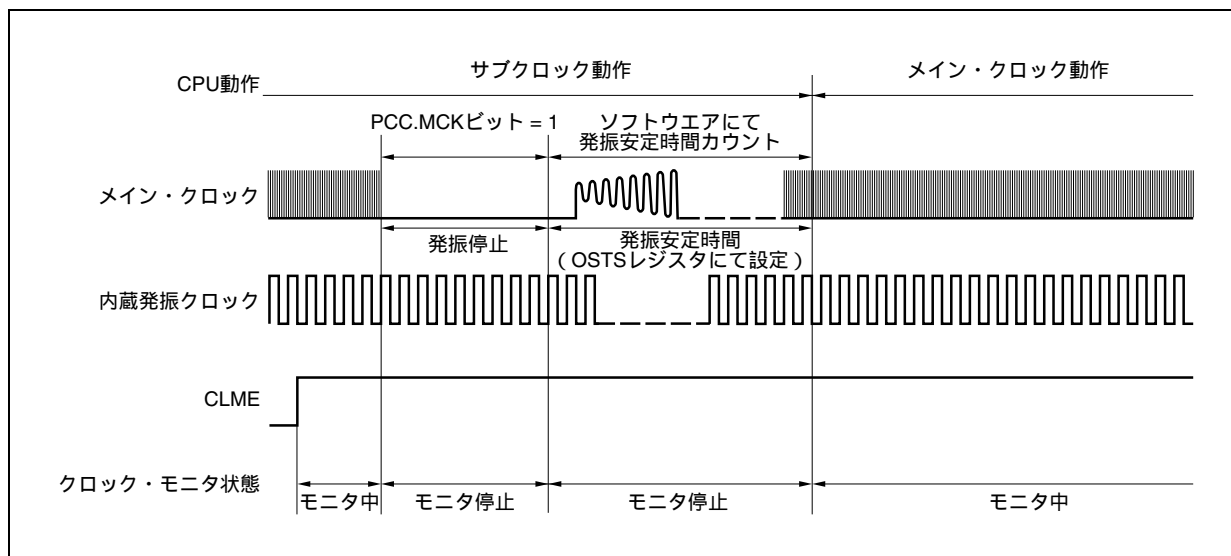
図27 - 4 STOPモード中およびSTOPモード解除後の動作



(4) メイン・クロック停止時(任意)の動作

サブクロック動作時(PCC.CLSビット = 1), PCC.MCKビット = 1に設定することによりメイン・クロックを停止した場合、メイン・クロック動作(PCC.CLSビット = 0)に移行するまでモニタ動作を停止し、メイン・クロック動作移行後に自動的にモニタ動作を開始します。

図27 - 5 メイン・クロック停止時(任意)の動作



(5) CPUが内蔵発振クロックで動作時(CCLS.CCLSFBビット = 1)の動作

CCLSFBビット = 1のとき、CLMEビット = 1に設定してもモニタ動作を開始しません。

第28章 低電圧検出回路 (LVI)

28.1 機 能

低電圧検出回路 (LVI) は次のような機能を持ちます。

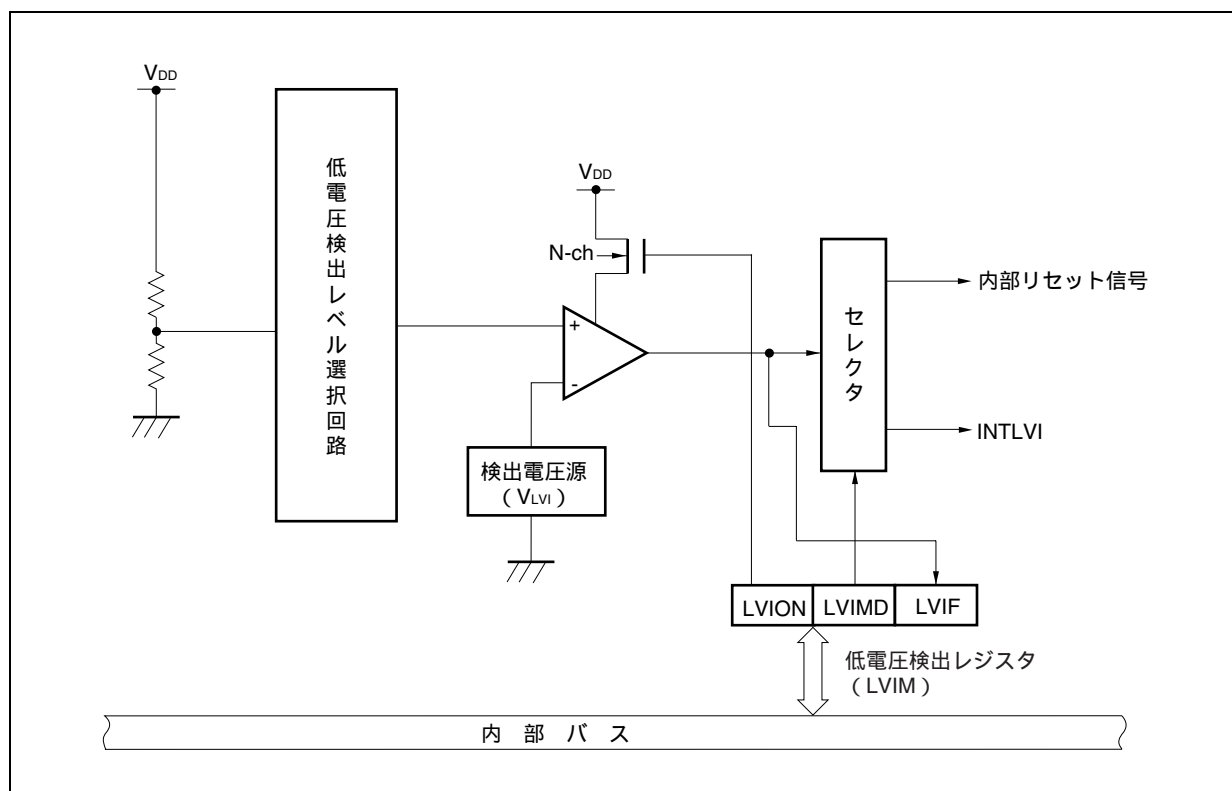
- ・ 低電圧検出時に割り込み発生を選択している場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電源電圧が検出電圧を下回ったとき、および上回ったときに、内部割り込み信号を発生します。
- ・ 低電圧検出時にリセット発生を選択している場合、電源電圧 (V_{DD}) が検出電圧 (V_{LVI}) を下回ったときに内部リセット信号を発生します。
- ・ 割り込み / リセットをソフトウェアにて選択できます。
- ・ STOPモードにおいて動作可能です。

低電圧検出回路をリセットとして使用した場合に、リセットが発生するとRESF.LVIRFビットがセット (1) されます。RESFレジスタについての詳細は、26.2 リセット要因を確認するレジスタを参照してください。

28.2 構 成

低電圧検出回路のブロック図を次に示します。

図28 - 1 低電圧検出回路のブロック図



28.3 レジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・内蔵RAMデータ・ステータス・レジスタ (RAMS)

(1) 低電圧検出レジスタ (LVIM)

LVIMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.7 特定レジスタ参照)。

LVIMレジスタは、低電圧検出、動作モードを設定するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、LVIFビットはリードのみ可能です。

リセット時：00H^{注1} R/W アドレス：FFFFFF890H

	⑦	6	5	4	3	2	①	①
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF
	LVION	低電圧検出動作許可 / 禁止						
	0	動作禁止						
	1	動作許可						
	LVIMD	低電圧検出の動作モード選択						
	0	電源電圧値が検出電圧値を下回ったとき、または上回ったときに割り込み信号INTLVIを発生						
	1	電源電圧 < 検出電圧時に内部リセット信号LVIRESを発生						
	LVIF ^{注2}	低電圧検出フラグ						
	0	電源電圧寄り > 検出電圧、または動作禁止時						
	1	接続する電源電圧 < 検出電圧						

注1. 低電圧検出によるリセット : 82H

そのほかの要因によるリセット : 00H

2. LVI動作開始 (LVIONビット = 1) 後、またはINTLVI発生時には、LVIFビットで電源電圧の状態を確認してください。

注意1. LVIONビット = 1かつLVIMDビット = 1に設定した場合、低電圧検出によるリセット以外のリセット要求が発生するまで低電圧検出回路を停止できません。

2. LVIONビットをセット(1)すると、LVI回路内のコンパレータの動作が開始します。LVIONビットをセットしてからLVIFビットで電圧を確認するまでに、ソフトウェアで0.2 ms以上ウェイトしてください。
3. ビット6-2には必ず“0”を設定してください。

(2) 内蔵RAMデータ・ステータス・レジスタ (RAMS)

RAMSレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます

(3.4.7 特定レジスタ参照)。

内蔵RAMデータの有効/無効を示すフラグ・レジスタです。

8/1ビット単位でリード/ライト可能です。

次にRAMFビットのセット/クリア条件を示します。

- ・セット条件 : 検出レベル以下の電圧検出
 : 命令によるセット
- ・クリア条件 : 特定シーケンスによる0書き込み

リセット時 : 01H^注 R/W アドレス : FFFFF892H

	7	6	5	4	3	2	1	①
RAMS	0	0	0	0	0	0	0	RAMF

RAMF	内蔵RAM電圧検出
0	RAM保持電圧以下を非検出
1	RAM保持電圧以下を検出

注 RAM保持電圧を下回ったときにだけリセットされます。

28.4 動作

LVIM.LVIMDビットの設定により、割り込み信号 (INTLVI) もしくは内部リセット信号を発生します。
次に動作設定方法とタイミング図を示します。

28.4.1 内部リセット信号として使用する場合

<動作開始時>

LVIMの割り込みをマスクします。

LVIM.LVIONビット = 1に設定 (動作許可) します。

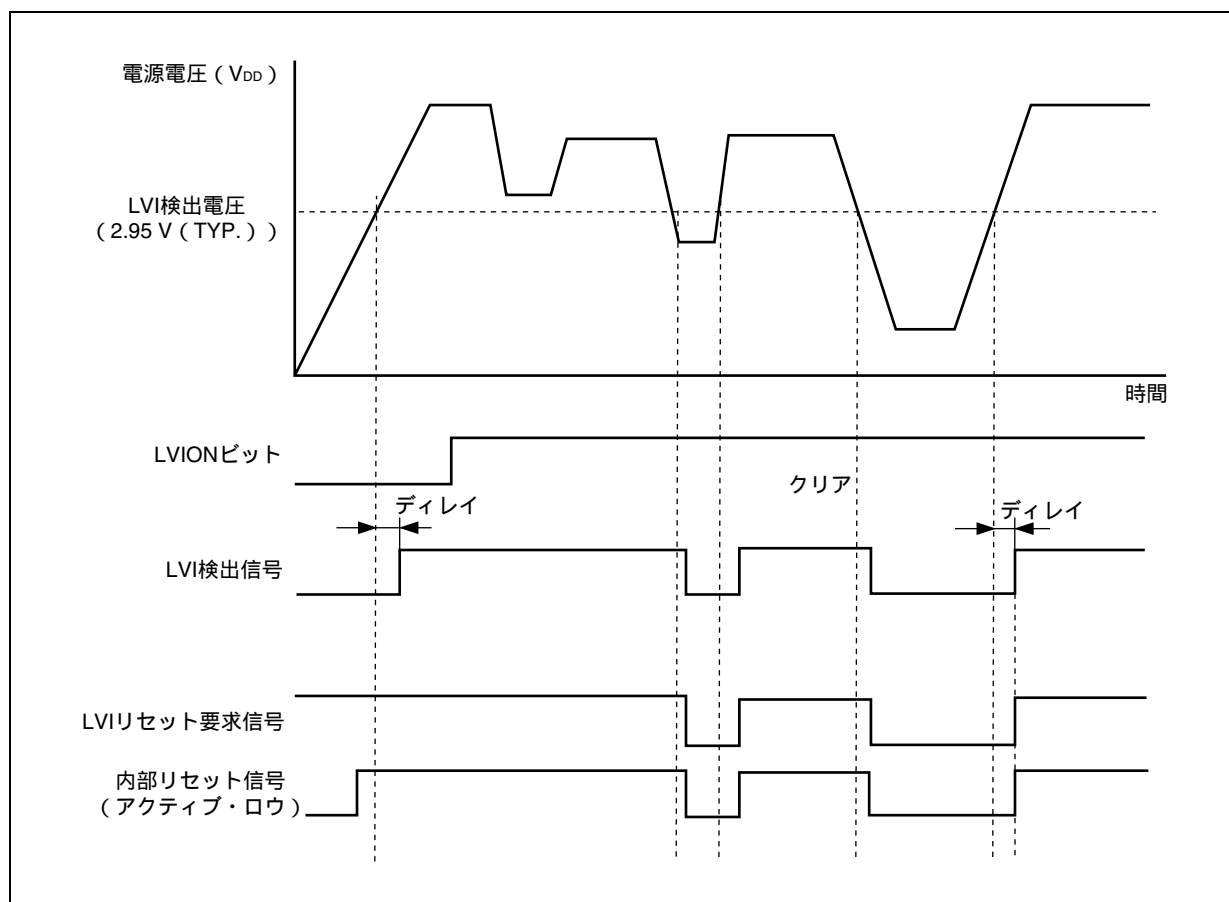
0.2 ms (MAX.) 以上ソフトウェアにてウエイトを挿入します。

LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。

LVIMDビット = 1 (内部リセット発生) を設定します。

注意 LVIMDビット = 1に設定した場合、LVI以外のリセット要求が発生するまで、LVIMレジスタの変更はできません。

図28 - 2 低電圧検出回路の動作タイミング (LVIMDビット = 1)



28. 4. 2 割り込みとして使用する場合

<動作開始時>

LVIの割り込みをマスクします。

LVIM.LVIONビット = 1に設定 (動作許可) します。

0.2 ms (MAX.) 以上ソフトウェアにてウェイトを挿入します。

LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。

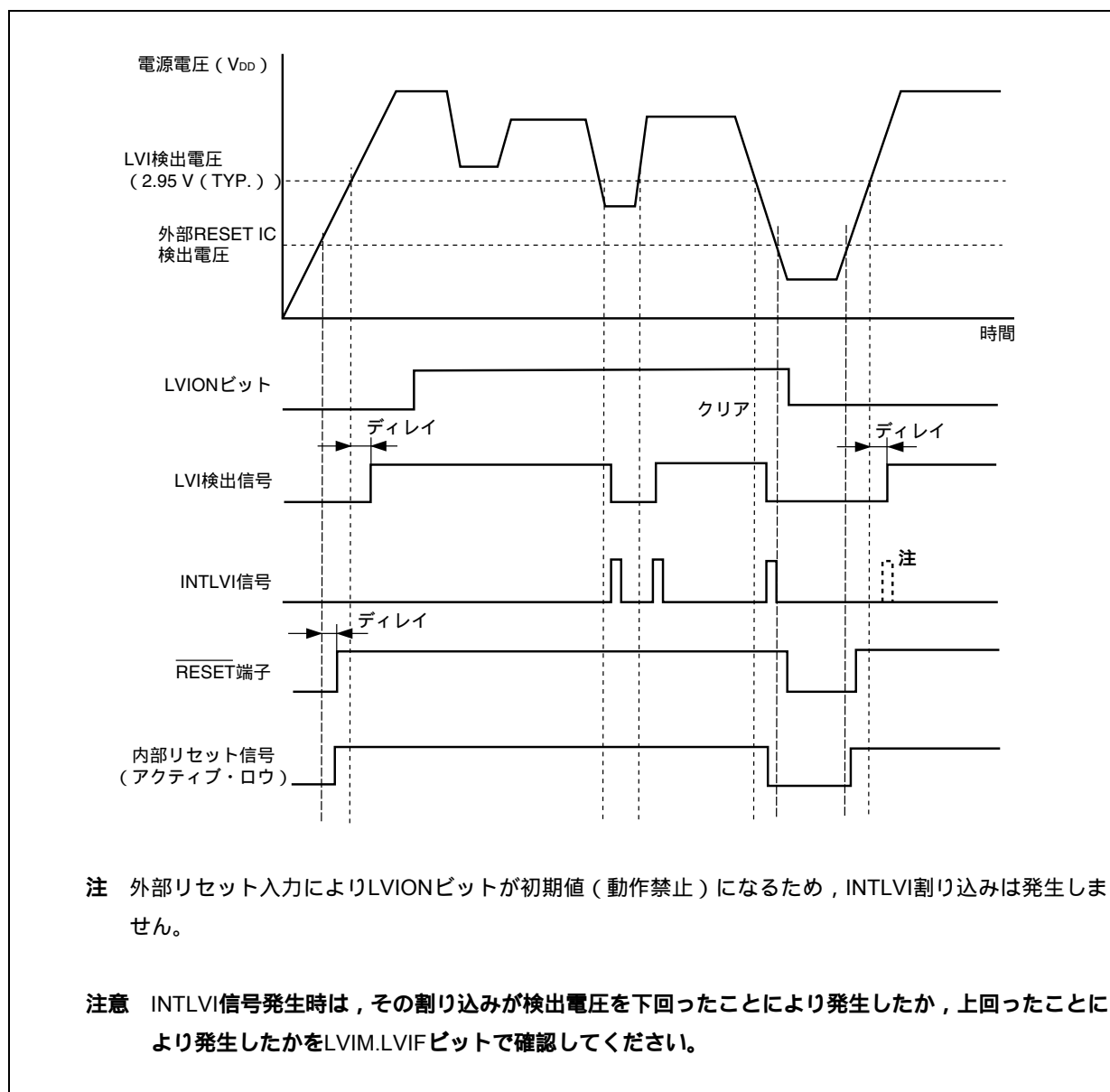
LVIの割り込み要求フラグをクリアします。

LVIの割り込みマスクを解除します。

<動作停止時>

LVIONビット = 0に設定します。

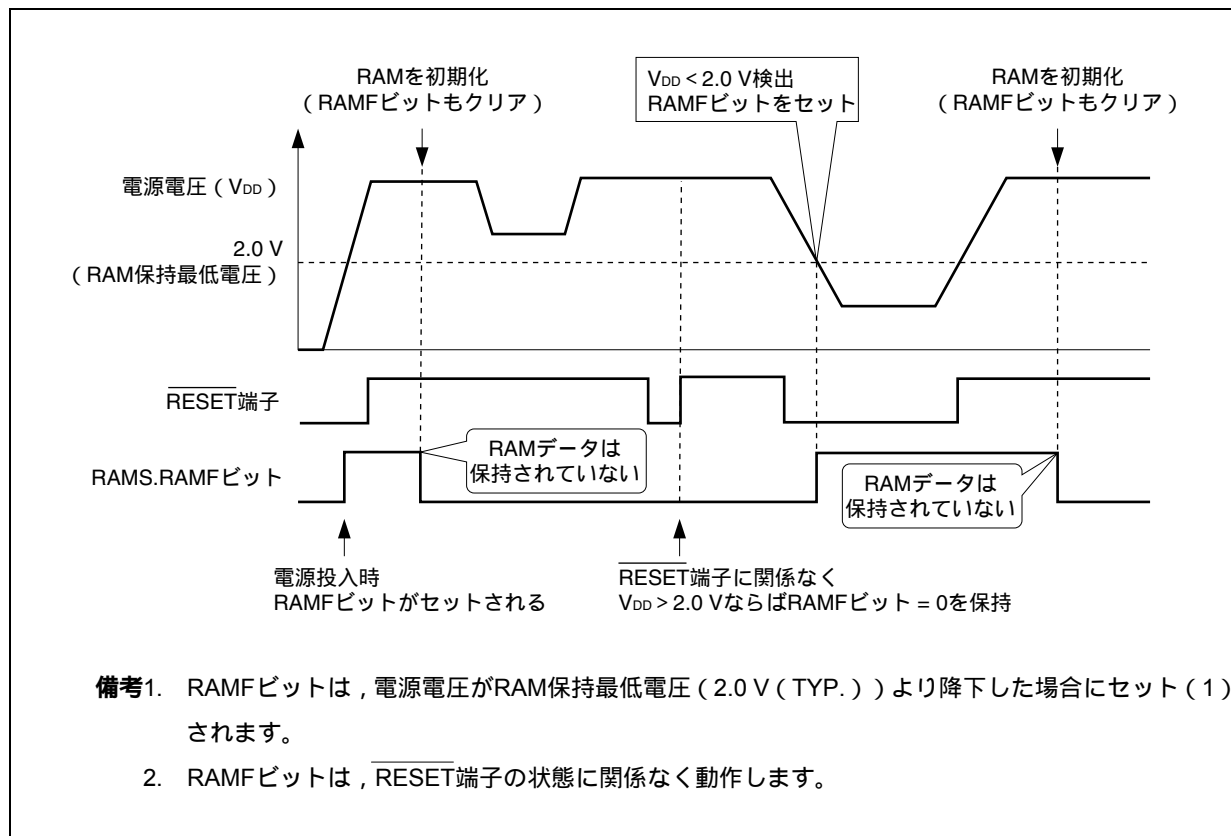
図28 - 3 低電圧検出回路の動作タイミング (LVIMDビット = 0)



28.5 RAM保持電圧検出動作

電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合（電源投入時も含みます）、RAMS.RAMFビットをセット（1）します。

図28 - 4 RAM保持電圧検出機能の動作タイミング



第29章 CRC機能

29.1 機 能

- ・データ・ブロックの誤り検出用のCRC演算回路です。
- ・8ビット単位の任意のデータ長ブロックに対し、CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) の生成多項式を使用し、16ビットCRCコードを生成します。
- ・CRCコードは、CRCDレジスタに初期値を設定したあと、1バイトのデータをCRCINレジスタに転送することにより、CRCDレジスタに設定されます。

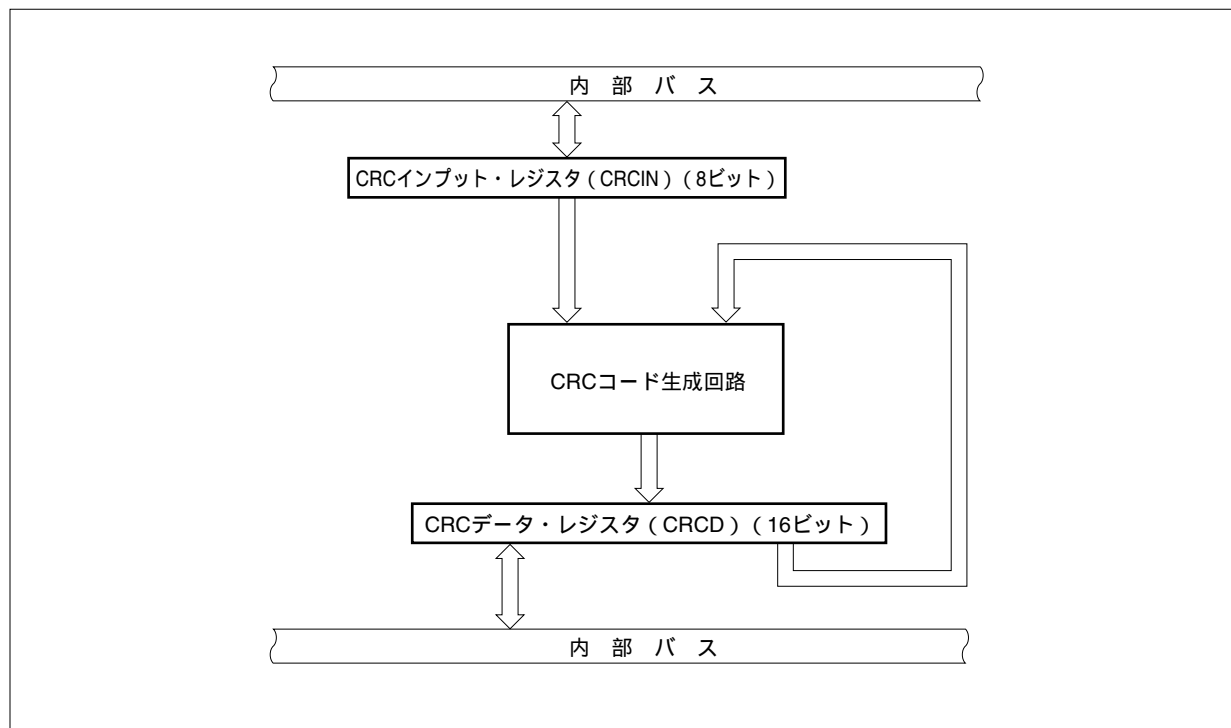
29.2 構 成

CRC機能は、次のハードウェアで構成されています。

表29 - 1 CRCの構成

項 目	構 成
制御レジスタ	CRCインプット・レジスタ (CRCIN) CRCデータ・レジスタ (CRCD)

図29 - 1 CRCレジスタのブロック図



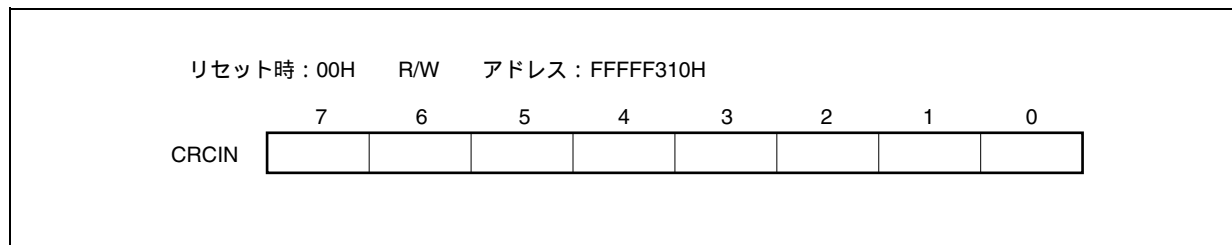
29.3 レジスタ

(1) CRCインプット・レジスタ (CRCIN)

CRCINレジスタは、データ設定用の8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。



(2) CRCデータ・レジスタ (CRCD)

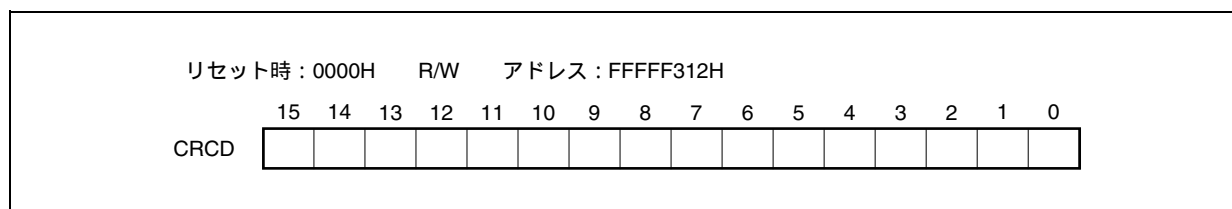
CRCDレジスタは、CRC-CCITT演算結果格納の16ビット・レジスタです。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、CRCDレジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

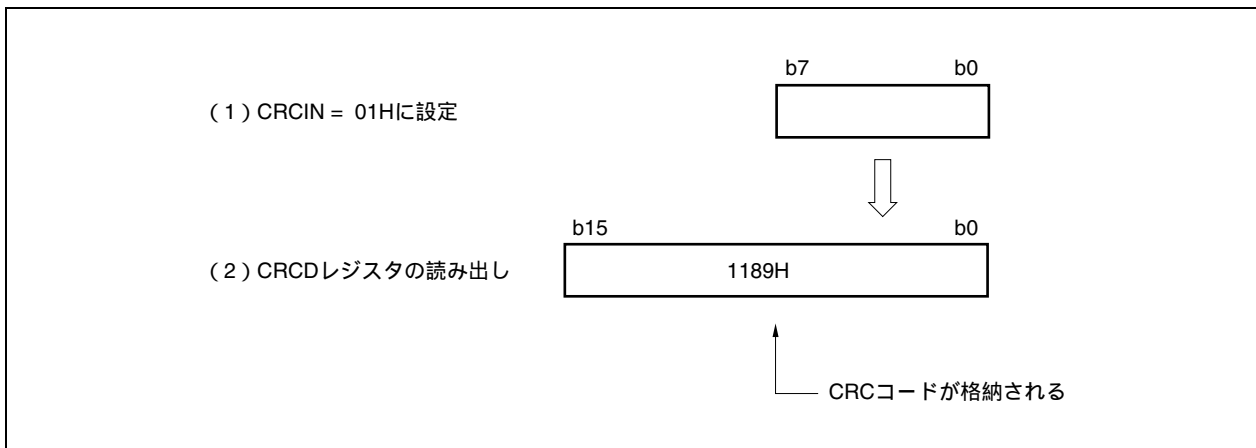
- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



29.4 動作

CRC演算回路の演算例を次に示します。

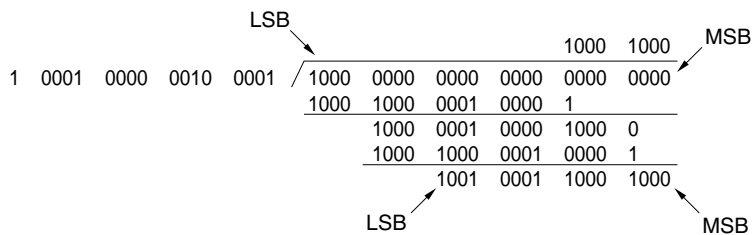
図29 - 2 CRC演算回路の演算例 (LSBファースト)



01HをLSBファーストで送信した場合のコードは (1000 0000) です。したがって、生成多項式 $X^{16} + X^{12} + X^5 + 1$ でのCRCコードは、モジュロ2の演算法則を用いて (1000 0000) X^{16} を (1 0001 0000 0010 0001) で除算をした場合の剰余となります。

モジュロ2の演算とは次の法則に基づいた演算です。

- 0 + 0 = 0
- 0 + 1 = 1
- 1 + 0 = 1
- 1 + 1 = 0
- 1 = 1

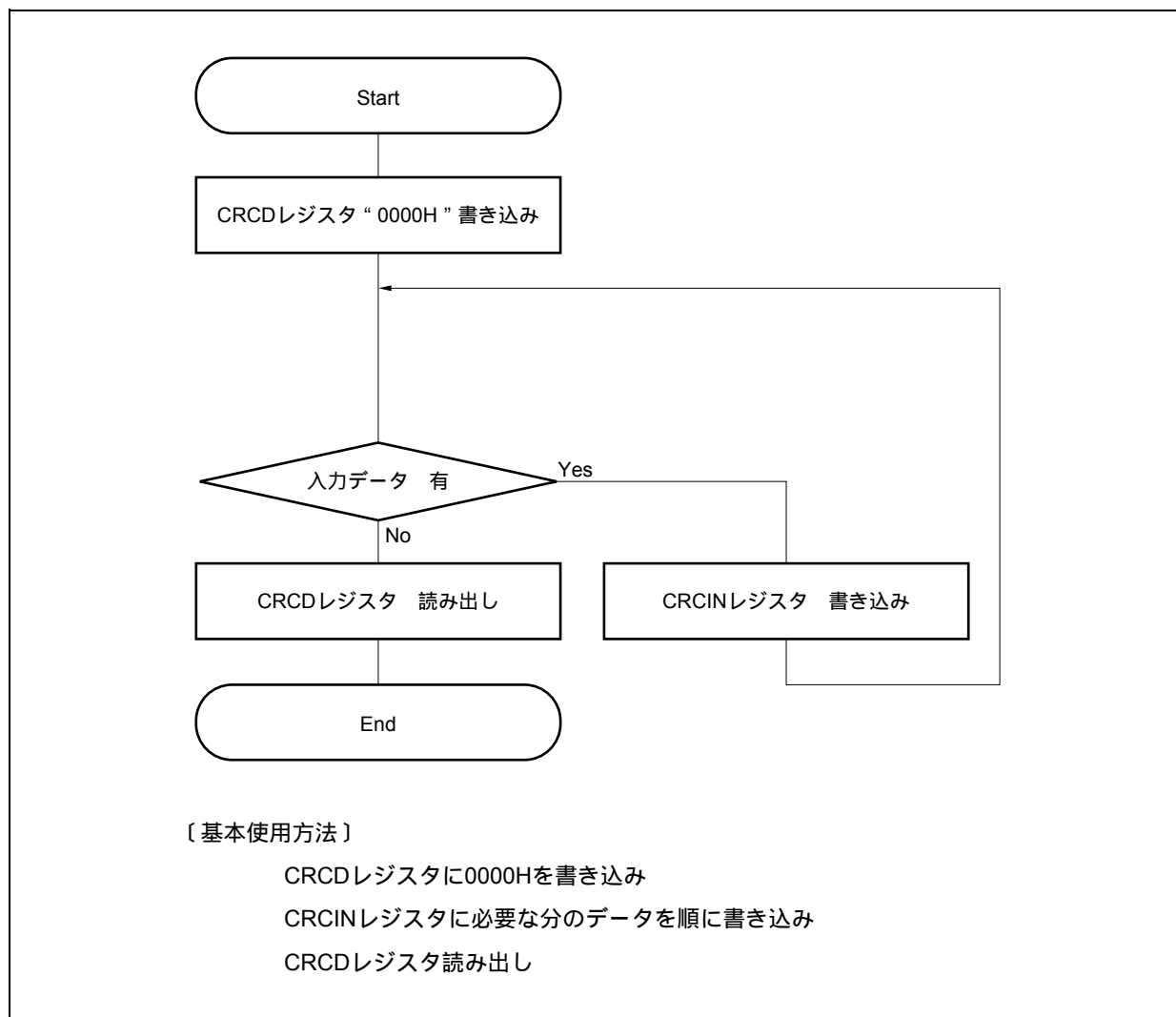


したがって、CRC符号は $\overbrace{1001}^9 \overbrace{0001}^8 \overbrace{1000}^1 \overbrace{1000}^1$ となります。LSBファーストなので16進数表記では、1189Hに相当します。

29.5 使用方法

次にCRC論理回路の使用方法について説明します。

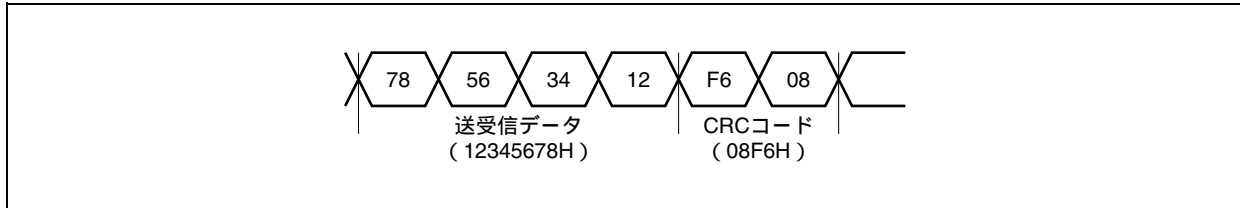
図29 - 3 CRC動作フロー



複数バイトのデータを送受信する際、送受信データとともに、CRCコードを送受信すると、通信エラーを容易に検出できます。

次に12345678H (0001 0010 0011 0100 0101 0110 0111 1000B) をLSBファーストで送信する場合の例について示します。

図29 - 4 CRC送信例



送信側の設定手順

CRCDレジスタに、初期値“0000H”を書き込む

最初に送信する1バイト・データを、送信バッファ・レジスタに書き込む（このとき、CRCINレジスタにも同じデータを書き込む）

複数バイトのデータを送信する場合は、送信データを送信バッファ・レジスタに書き込むたびに、同じデータをCRCINレジスタに書き込む

すべてのデータを送信したあと、CRCDレジスタの内容（CRCコード）を送信バッファ・レジスタに書き込み、送信する（LSBファーストなので、下位バイト、上位バイトの順に送信する）

受信側の設定手順

CRCDレジスタに、初期値“0000H”を書き込む

最初の1バイト・データの受信完了後、その受信データを、CRCINレジスタに書き込む

複数バイトのデータを受信する場合は、受信完了のたびに、その受信データをCRCINレジスタに書き込む（正常に受信している場合、すべての受信データをCRCINレジスタに書き込んだ時点で、受信側のCRCDレジスタの内容と送信側のCRCDレジスタの内容は同一になる）

このあと、送信側からはCRCコードが送信されるので、受信データと同様に、CRCINレジスタに書き込む

CRCコードを含めて、すべての受信が完了した時点で、CRCDレジスタの内容が“0000H”であれば、正常受信。CRCDレジスタの内容は“0000H”以外の値の場合は、通信エラーであるため、送信側へ再送要求を行う

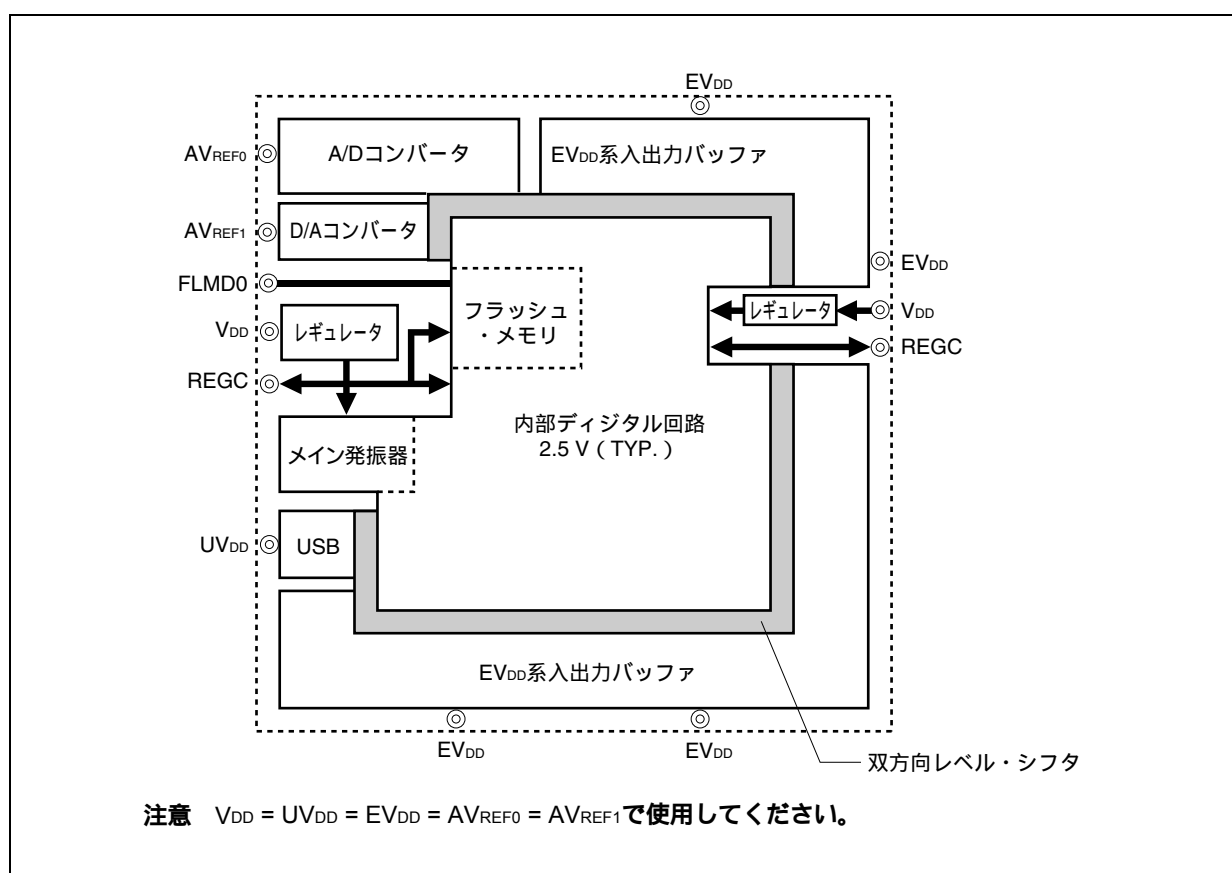
第30章 レギュレータ

30.1 概 要

V850ES/JG3-U, V850ES/JH3-Uは、低消費電力/低ノイズを実現するために、レギュレータを内蔵しています。

このレギュレータは、発振器ブロックと内部ロジック回路（A/Dコンバータ，D/Aコンバータ，出力バッファは除く）に、 V_{DD} 電源電圧を降圧した電圧を供給します。

図30 - 1 レギュレータ



30.2 動作

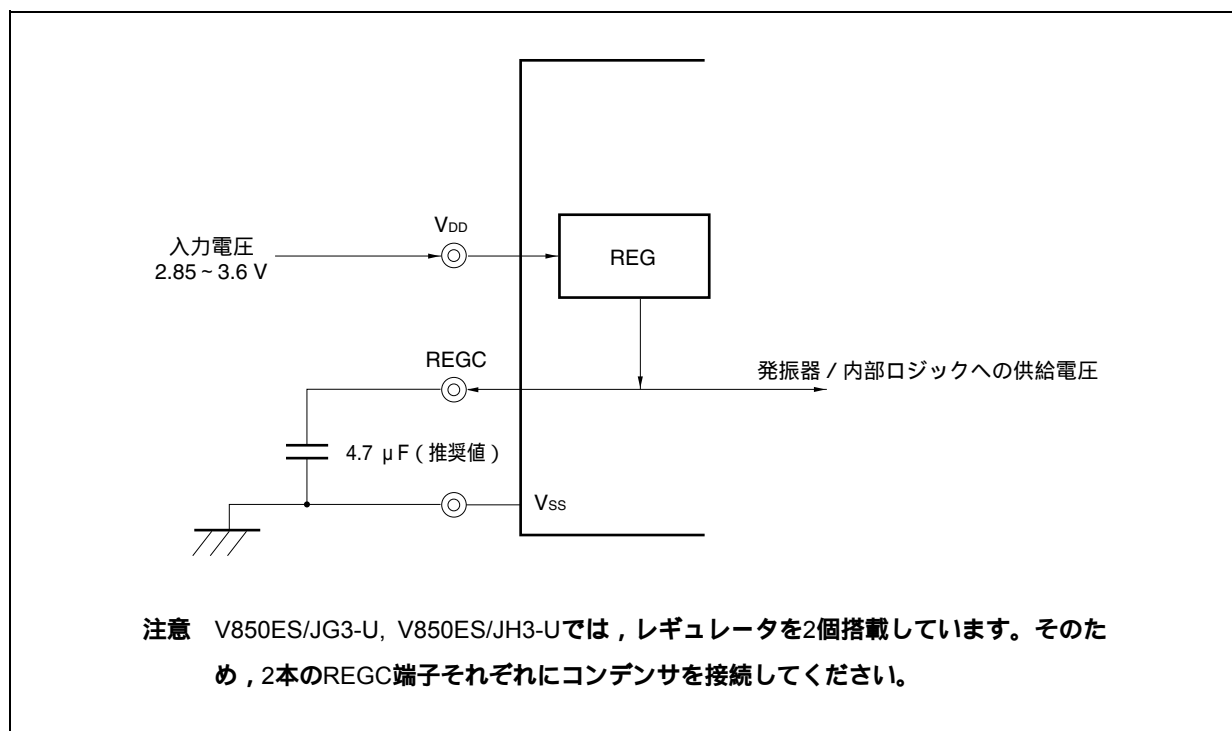
V850ES/JG3-U, V850ES/JH3-Uのレギュレータは、いかなるモード（通常動作モード/HALTモード/IDLE1モード/IDLE2モード/STOPモード/サブクロック動作モード/サブIDLEモード/リセット中）でも常に動作します。

また、レギュレータの出力を安定させるためにREGC端子[※]にコンデンサ（ $4.7\ \mu\text{F}$ （推奨値））を接続してください。

次に端子の接続の方法を示します。

注 REGC端子は2本あります。

図30 - 2 REGC端子の接続



第31章 フラッシュ・メモリ

V850ES/JG3-U, V850ES/JH3-Uは、フラッシュ・メモリを内蔵しています。

- ・ μ PD70F3763, 70F3768 : 384 Kバイトのフラッシュ・メモリ内蔵
- ・ μ PD70F3764, 70F3769 : 512 Kバイトのフラッシュ・メモリ内蔵

フラッシュ・メモリ内蔵品は、開発用途および量産用途として次のような利点があります。

ターゲット・システムにV850ES/JG3-U, V850ES/JH3-Uを半田実装後、ソフトウェアの変更可能
量産立ち上げ時のデータ調整が容易
規格ごとにソフトウェアを区別することで少量多品種生産が容易
在庫管理が容易
出荷後のソフトウェアのアップデートが容易

31.1 特 徴

4バイト/1クロック・アクセス (命令フェッチ時)

容量 : 384 Kバイト / 512 Kバイト

書き換え電圧 : 単一電源による消去 / 書き込みが可能

書き換え方式

- ・フラッシュ・メモリ・プログラマとのシリアル・インタフェースを介しての通信による書き換え (オンボード / オフボード・プログラミング)
- ・ユーザ・プログラムによるフラッシュ・メモリの書き換え (セルフ・プログラミング)

フラッシュ・メモリの書き換え禁止機能をサポート (セキュリティ機能)

ブート・スワップ機能により、セルフ・プログラミングによる全フラッシュ・メモリ領域のセキュアな書き換えが可能

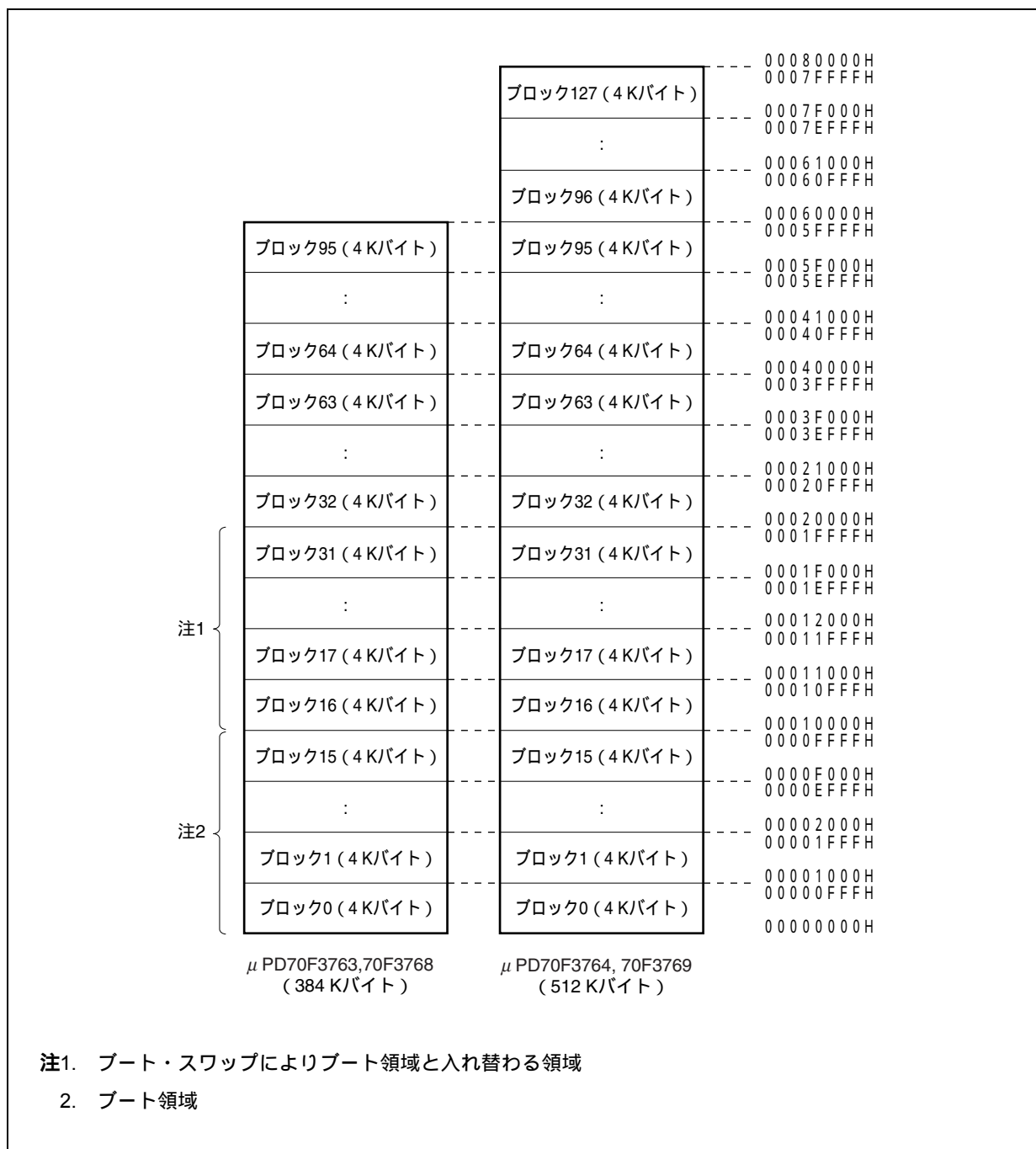
セルフ・プログラミング中の割り込み受け付け可能

31.2 メモリ構成

V850ES/JG3-U, V850ES/JH3-Uの内蔵フラッシュ・メモリの領域は96, 128個のブロックに分割されており, 各ブロック単位でプログラム/消去可能となっています。また, 全ブロックの一括消去も可能です。

また, ブート・スワップ機能を用いた場合, ブロック0-15のアドレスに配置された物理メモリと, ブロック16-31のアドレスに配置された物理メモリが入れ替わります。ブート・スワップ機能詳細については, 31.5 セルフ・プログラミングによる書き換えを参照してください。

図31-1 フラッシュ・メモリ・マッピング



31.3 機能概要

V850ES/JG3-U, V850ES/JH3-Uの内蔵フラッシュ・メモリは、フラッシュ・メモリ・プログラマによる書き換え機能により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です（オフボード/オンボード・プログラミング）。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は、ターゲット・システムの製造/出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

表31-1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	フラッシュ・メモリ・プログラマを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	フラッシュ・メモリ・プログラマと専用プログラム・アダプタ・ボード（FAシリーズ）を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オフボード/オンボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。（セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので、内蔵RAMもしくは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。）	通常動作モード

備考 FAシリーズは、（株）内藤電誠町田製作所の製品です。

表31 - 2 基本機能一覧

機 能	機能概要	サポートの有無 (: サポート, × : 未サポート)	
		オンボード/オフボード・ プログラミング	セルフ・プログラミング
ブランク・チェック	全メモリの消去状態の確認を行います。		
チップ消去	全メモリの内容の一括消去を行います。		× ^注
ブロック消去	指定したブロックのメモリの内容の消去を行います。		
プログラム	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。		
ベリファイ/チェック・サム	フラッシュ・メモリから読み出したデータと、フラッシュ・メモリ・プログラムから転送されたデータの比較を行います。		× (ユーザ・プログラムにて読み出しは可能)
リード	フラッシュ・メモリに書き込まれたデータの読み出しを行います。		×
セキュリティ設定	チップ消去コマンド/ブロック消去コマンド/プログラム・コマンド/リード・コマンドの使用禁止設定およびブート・ブロック・クラスタの書き換え禁止設定を行います。		× (設定を許可から禁止にする場合のみ可能)

注 ブロック消去関数において全メモリ領域を指定することにより可能です。

次にセキュリティ機能の一覧を示します。ブロック消去コマンド禁止/チップ消去コマンド禁止/プログラム・コマンド禁止機能は、出荷後の初期状態はすべて許可になっており、オンボード/オフボード・プログラミングによる書き換えでのみセキュリティ設定が可能です。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

表31 - 3 セキュリティ機能一覧

機 能	機能概要
ブロック消去 コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
チップ消去 コマンド禁止	全ブロックに対してのブロック消去および、チップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため、すべての禁止設定の初期化ができなくなります。
プログラム・ コマンド禁止	全ブロックに対してのプログラム・コマンドとブロック消去コマンドを禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
リード・ コマンド禁止	全ブロックに対してのリード・コマンドを禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
ブート領域の 書き換え禁止設定	ブート領域に対しての書き込みコマンド、ブロック消去コマンドおよびチップ消去コマンドの実行を禁止します。一度禁止設定するとブート領域の書き換え禁止設定の初期化ができなくなります。

表31-4 セキュリティ設定

機能	各セキュリティ設定時の消去/書き込み/読み出し動作 (:実行可能, x :実行不可, :未サポート)		セキュリティ設定 注意事項	
	オンボード/オフボード・ プログラミング	セルフ・プログラミング	オンボード/オ フボード・プロ グラミング	セルフ・プログ ラミング
ブロック消去 コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : プログラム・コマンド : リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	設定を許可から 禁止にする場合 のみ可能
チップ消去 コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : x プログラム・コマンド : ^{注1} リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	禁止設定の初期 化が不可能	
プログラム・ コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : プログラム・コマンド : x リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
リード・ コマンド禁止	ブロック消去コマンド : チップ消去コマンド : プログラム・コマンド : リード・コマンド : x	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
ブート領域の書 き換え禁止	ブロック消去コマンド : x ^{注2} チップ消去コマンド : x プログラム・コマンド : x ^{注2} リード・コマンド :	ブロック消去 (FlashBlockErase) : x ^{注2} チップ消去 : - 書き込み (FlashWordWrite) : x ^{注2} 読み出し (FlashWordRead) :	禁止設定の初期 化が不可能	設定を許可から 禁止にする場合 のみ可能 ^{注3}

注1. 消去コマンドは無効となるため,すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできません。

2. ブート領域以外は実行可能です。

3. リセット入力後からブート領域の書き換え禁止機能は有効になります。

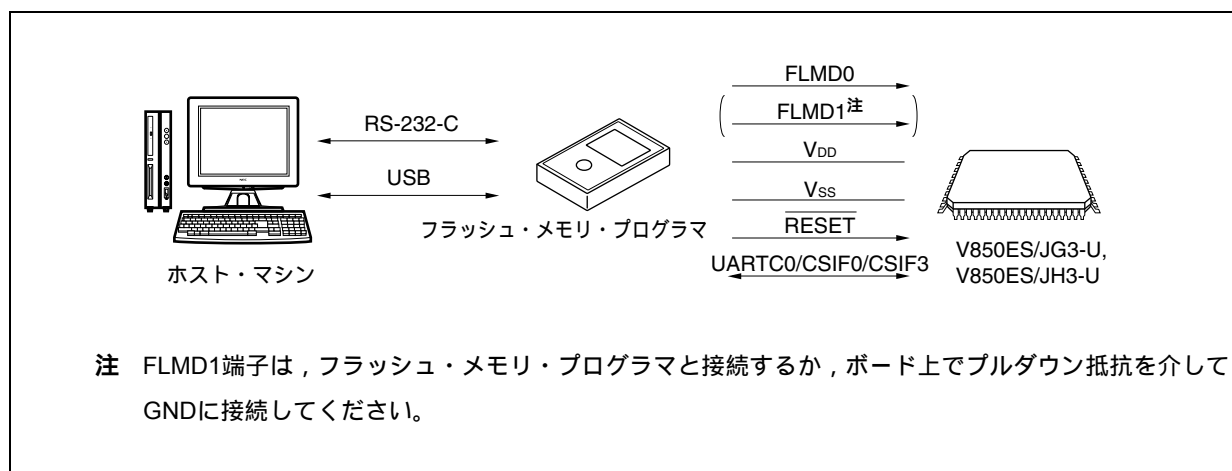
31.4 フラッシュ・メモリ・プログラマでの書き換え

フラッシュ・メモリ・プログラマにて、ターゲット・システム上にV850ES/JG3-U, V850ES/JH3-Uを実装後のフラッシュ・メモリの書き換えが可能です（オンボード・プログラミング）。また、専用プログラム・アダプタ（FAシリーズ）を使用すれば、ターゲット・システムに実装する前でのフラッシュ・メモリの書き換えが可能です（オフボード・プログラミング）。

31.4.1 プログラミング環境

V850ES/JG3-U, V850ES/JH3-Uのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図31-2 フラッシュ・メモリにプログラムを書き込むための環境



フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、フラッシュ・メモリ・プログラマとV850ES/JG3-U, V850ES/JH3-UとのインターフェースはUARTC0, CSIF0またはCSIF3を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ（FAシリーズ）が必要です。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

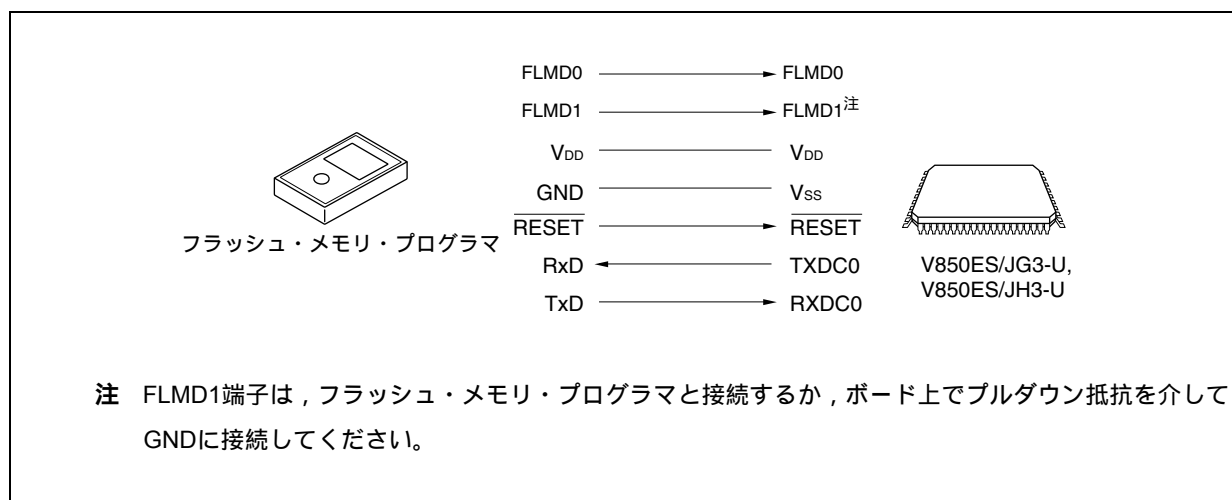
31.4.2 通信方式

フラッシュ・メモリ・プログラマとV850ES/JG3-U, V850ES/JH3-Uとの通信は, V850ES/JG3-U, V850ES/JH3-UのUARTC0, CSIF0またはCSIF3によるシリアル通信で行います。

(1) UARTC0

転送レート : 9600 ~ 153600 bps

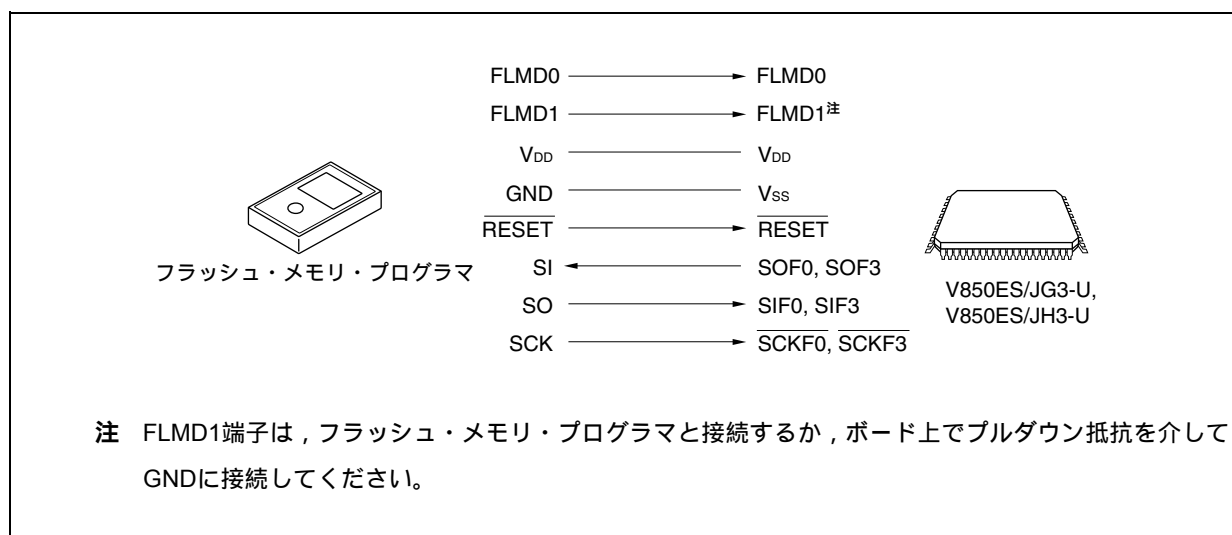
図31-3 フラッシュ・メモリ・プログラマとの通信 (UARTC0)



(2) CSIF0, CSIF3

シリアル・クロック : 5 MHz以下 (MSBファースト)

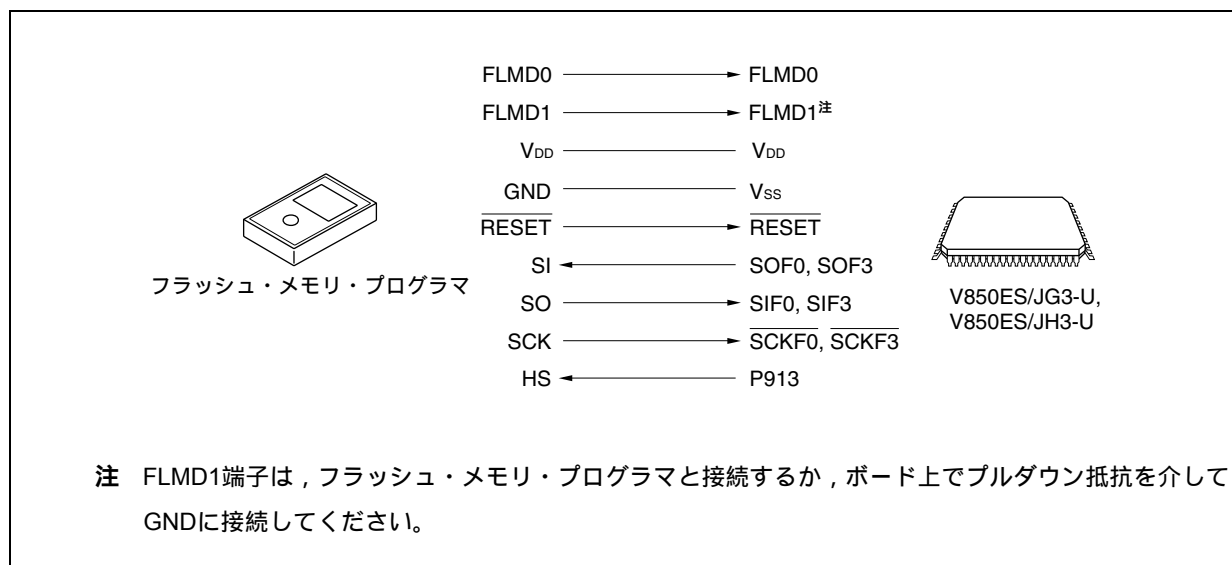
図31-4 フラッシュ・メモリ・プログラマとの通信 (CSIF0, CSIF3)



(3) CSIF0 + HS, CSIF3 + HS

シリアル・クロック : 5 MHz以下 (MSBファースト)

図31 - 5 フラッシュ・メモリ・プログラマとの通信 (CSIF0 + HS, CSIF3 + HS)



フラッシュ・メモリ・プログラマが転送クロックを出力し、V850ES/JG3-U, V850ES/JH3-Uはスレーブとして動作します。

フラッシュ・メモリ・プログラマとしてPG-FP5を使用した場合、PG-FP5はV850ES/JG3-U, V850ES/JH3-Uに対して次の信号を生成します。詳細はPG-FP5 **ユーザズ・マニュアル** (U18865J) を参照してください。

表31 - 5 フラッシュ・メモリ・プログラマ (PG-FP5) の信号接続一覧

PG-FP5			V850ES/JG3-U, V850ES/JH3-U	接続時の処置		
信号名	入出力	端子機能	端子名	UARTC0	CSIF0, CSIF3	CSIF0 + HS, CSIF3 + HS
FLMD0	出力	書き込み許可 / 禁止	FLMD0			
FLMD1	出力	書き込み許可 / 禁止	FLMD1	注1	注1	注1
VDD	-	V _{DD} 電圧生成/電圧監視	V _{DD}			
GND	-	グラウンド	V _{SS}			
CLK	出力	V850ES/JG3-U, V850ES/JH3-Uへのク ロック出力	X1, X2	x 注2	x 注2	x 注2
RESET	出力	リセット信号	RESET			
SI/RxD	入力	受信信号	SOF0, SOF3/ TXDC0			
SO/TxD	出力	送信信号	SIF0, SIF3/ RXDC0			
SCK	出力	転送クロック	SCKF0, SCKF3	x		
HS	入力	CSIF0 + HS, CSIF3 + HS通信のハンド シェーク信号	P913	x	x	

注1. 図31 - 6, 図31 - 7のように配線するか, もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

2. フラッシュ・メモリ・プログラマのCLK端子からのクロック供給はできません。ボード上に発振回路を作成してクロックを供給してください。

備考 : 必ず接続してください。

x : 接続の必要はありません。

表31 - 6 V850ES/JG3-Uフラッシュ書き込み用アダプタの配線例 (1/3)

ピン番号	端子名称	推奨接続例
1	AV _{REF0}	プログラムのVDD端子と接続
2	AV _{SS}	プログラムのGND端子と接続
3	P10/ANO0	-
4	P11/ANO1	-
5	AV _{REF1}	プログラムのVDD端子と接続
6	P02/NMI	-
7	P03/INTP02/ADTRG/UCLK	-
8	FLMD0	プログラムのFLMD0 出力端子と接続
9	V _{DD}	プログラムのVDD 端子と接続
10	REGC	4.7 μ Fを介してGNDに接続
11	V _{SS}	プログラムのGND 端子と接続
12	X1	3 MHz ~ 6 MHzの発振子を接続
13	X2	3 MHz ~ 6 MHz発振子を接続
14	RESET	プログラムのRESET出力端子と接続
15	XT1	プログラムのGND端子と接続
16	XT2	-
17	UDMF	-
18	UDPF	-
19	UV _{DD}	プログラムのVDD端子と接続
20	UDMH	-
21	UDPH	-
22	P40/SIF0/TXDC4/SDA01	CSI通信 (CSIF0) 時プログラムのSO 出力端子と接続 未使用時はプルダウン接続 ^注
23	P41/SOF0/RXDC4/SCL01	CSI通信 (CSIF0) 時プログラムのSI入力端子と接続 未使用時はプルダウン接続 ^注
24	P42/SCKF0/INTP10	CSI通信 (CSIF0) 時プログラムのSCK出力端子と接続 未使用時はプルダウン接続 ^注
25	P30/TXDC0/SOF4/INTP07	UART通信 (UARTD0) 時プログラムのRxD入力端子と接続 未使用時はプルダウン接続 ^注
26	P31/RXDC0/SIF4/INTP08	UART通信 (UARTD0) 時プログラムのTxD出力端子と接続 未使用時はプルダウン接続 ^注
27	P32/ASCKC0/SCKF4/TIAA00/TOAA00	-
28	P33/TIAA01/TOAA01/RTCDIV/RTCCL	-
29	P34/TIAA10/TOAA10/TOAA1OFF/INTP09/PPON	-
30	P35/TIAA11/TOAA11/RTC1HZ/OCI	-
31	P36/TXDC3/SCL00/UDMARQ0	-
32	P37/RXDC3/SDA00/UDMAAK0	-
33	EV _{SS}	プログラムのGND端子と接続
34	EV _{DD}	プログラムのVDD端子と接続
35	P50/TIAB01/KR0/TOAB01/RTP00/UDMARQ1	-
36	P51/TIAB02/KR1/TOAB02/RTP01/UDMAAK1	-
37	P52/TIAB03/KR2/TOAB03/RTP02/DDI	-
38	P53/SIF2/TIAB00/KR3/TOAB00/RTP03/DDO	-

注 個別に抵抗を介してEV_{SS}またはV_{SS}に接続してください。

表31 - 6 V850ES/JG3-Uフラッシュ書き込み用アダプタの配線例 (2/3)

ピン番号	端子名称	推奨接続例
39	P54/SOF2/KR4/RTP04/DCK	-
40	P55/SCKF2/KR5/RTP05/DMS	-
41	P56/INTP05/DRST	プログラムのGND端子と接続
42	P90/KR6/TXDC1/SDA02	-
43	P91/KR7/RXDC1/SCL02	-
44	P92/TENC01/TIT01/TOT01	-
45	P93/TECR0/TIT00/TOT00	-
46	P94/TIAA31/TOAA31/TENC00/EVTT00	-
47	P95/TIAA30/TOAA30	-
48	P96/TIAA21/TOAA21/INTP11	-
49	P97/SIF1/TIAA20/TOAA20	-
50	P98/SOF1/INTP12	-
51	P99/SCKF1/INTP13/A9	-
52	P910/SIF3/TXDC2/INTP14/A10	CSI通信 (CSIF3) 時プログラムのSO 出力端子と接続 未使用時はプルダウン接続 ^注
53	P911/SOF3/RXDC2/INTP15/A11	CSI通信 (CSIF3) 時プログラムのSI 入力端子と接続 未使用時はプルダウン接続 ^注
54	P912/SCKF3/A12	CSI通信 (CSIF3) 時プログラムのSCK 出力端子と接続 未使用時はプルダウン接続 ^注
55	P913/TOAB1OFF/INTP16/A13 (HS)	CSI+HS通信 (CSIF3) 時プログラムのH/S 入力端子と接続 未使用時はプルダウン接続 ^注
56	P914/TIAA51/TOAA51/INTP17/A14	-
57	P915/TIAA50/TOAA50/INTP18/A15	-
58	PCT0/WR0	-
59	PCT1/WR1	-
60	V _{DD}	プログラムのVDD 端子と接続
61	REGC	4.7 μ Fを介してGNDに接続
62	EV _{SS}	プログラムのGND端子と接続
63	EV _{DD}	プログラムのVDD端子と接続
64	PCM1/CLKOUT	-
65	P60/TOAB1T1/TOAB11/TIAB11/WAIT	-
66	P61/TOAB1B1/TIAB10/TOAB10/RD	-
67	P62/TOAB1T2/TOAB12/TIAB12/ASTB	-
68	P63/TOAB1B2/TRGAB1/CS0	-
69	P64/TOAB1T3/TOAB13/TIAB13/CS2	-
70	P65/TOAB1B3/EVTAB1/CS3	プログラムのGND端子と接続
71	PDL0/AD0	プログラムのGND端子と接続
72	PDL1/AD1	プログラムのGND端子と接続
73	PDL2/AD2	プログラムのGND端子と接続
74	PDL3/AD3	プログラムのGND端子と接続
75	PDL4/AD4	プログラムのGND端子と接続
76	PDL5/AD5/FLMD1	プログラムのFLMD1出力端子と接続
77	PDL6/AD6	-

注 個別に抵抗を介してEV_{SS}またはV_{SS}に接続してください。

表31 - 6 V850ES/JG3-Uフラッシュ書き込み用アダプタの配線例 (3/3)

ピン番号	端子名称	推奨接続例
78	PDL7/AD7	-
79	EVSS	プログラムのGND端子と接続
80	EVDD	プログラムのVDD端子と接続
81	PDL8/AD8	-
82	PDL9/AD9	-
83	PDL10/AD10	-
84	PDL11/AD11	-
85	PDL12/AD12	-
86	PDL13/AD13	-
87	PDL14/AD14	-
88	PDL15/AD15	-
89	P711/ANI11	-
90	P710/ANI10	-
91	P79/ANI9	-
92	P78/ANI8	-
93	P77/ANI7	-
94	P76/ANI6	-
95	P75/ANI5	-
96	P74/ANI4	-
97	P73/ANI3	-
98	P72/ANI2	-
99	P71/ANI1	-
100	P70/ANI0	-

図31 - 6 V850ES/JG3-Uフラッシュ書き込み用アダプタの配線例 (CSIF0 + HSモード時) (1/2)

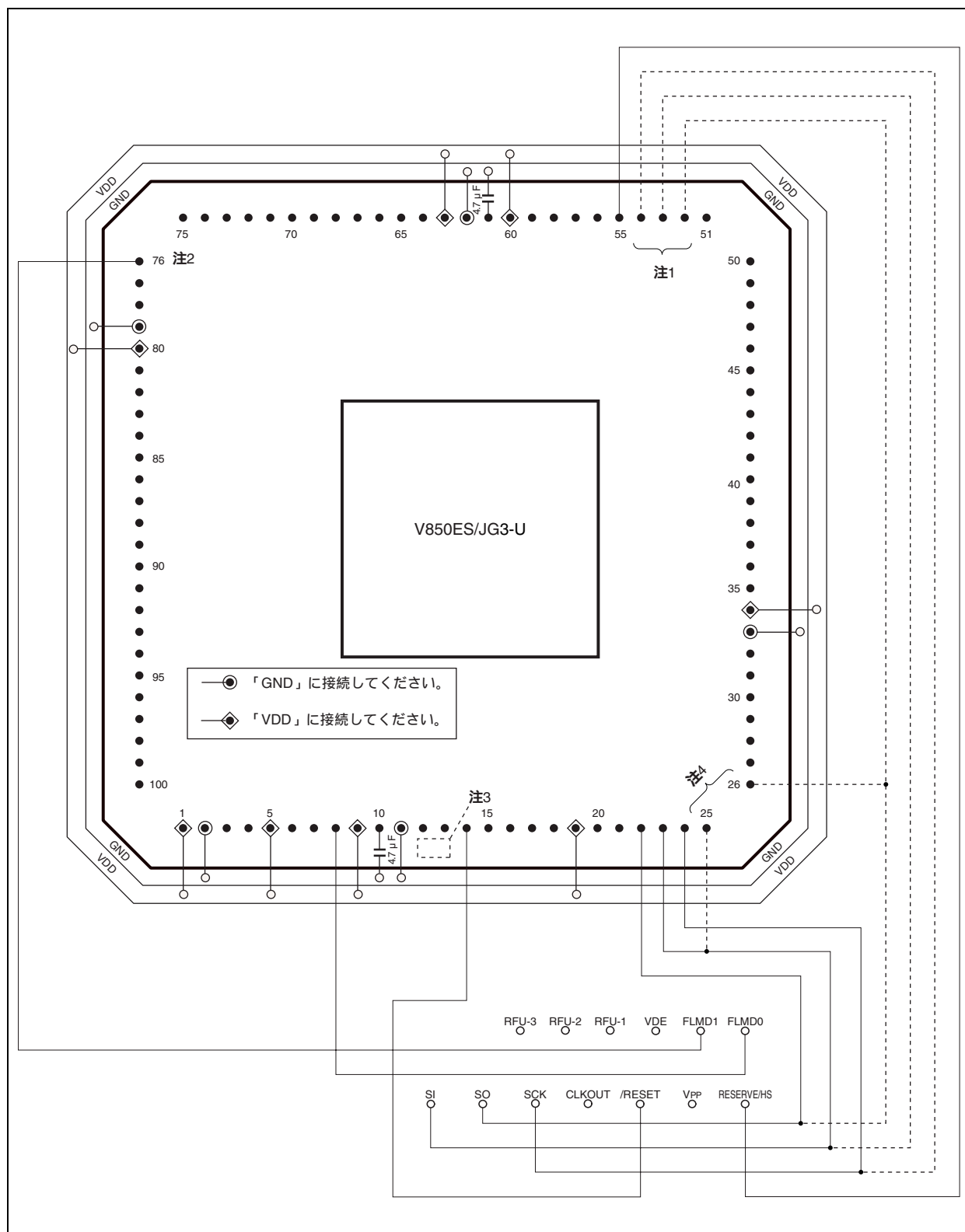
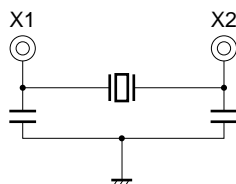


図31 - 6 V850ES/JG3-Uフラッシュ書き込み用アダプタの配線例 (CSIF0 + HSモード時) (2/2)

注1. CSIF3使用時の該当端子

2. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
3. フラッシュ書き込みアダプタ上 (破線部) に発振回路を作成してクロックを供給してください。次に発振回路例を示します。

例



4. UARTC0使用時の該当端子

注意 $\overline{\text{DRST}}$ 端子には、ハイ・レベルを入力しないでください。

備考1. 記述していない端子は、未使用時の端子処理に従って処理してください (2.3 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理参照)。

2. このアダプタは100ピン・プラスチックLQFPパッケージ用です。

表31 - 7 V850ES/JH3-Uフラッシュ書き込み用アダプタの配線例 (1/4)

ピン番号	端子名称	推奨接続例
1	AV _{REF0}	プログラムのVDD端子と接続
2	AV _{SS}	プログラムのGND端子と接続
3	P10/ANO0	-
4	P11/ANO1	-
5	AV _{REF1}	プログラムのVDD端子と接続
6	P02/NMI	-
7	P03/INTP02/ADTRG/UCLK	-
8	P00/INTP00	-
9	P01/INTP01	-
10	PCM2/HLDAK	-
11	PCM3/HLDRQ	-
12	FLMD0	プログラムのFLMD0 出力端子と接続
13	V _{DD}	プログラムのVDD 端子と接続
14	REGC	4.7 μ Fを介してGNDに接続
15	V _{SS}	プログラムのGND 端子と接続
16	X1	3 MHz ~ 6 MHzの発振子を接続
17	X2	3 MHz ~ 6 MHz発振子を接続
18	RESET	プログラムのRESET出力端子と接続
19	XT1	プログラムのGND端子と接続
20	XT2	-
21	UDMF	-
22	UDPF	-
23	UV _{DD}	プログラムのVDD端子と接続
24	UDMH	-
25	UDPH	-
26	P04/INTP03	-
27	P05/INTP04	-
28	P25/INTP06	-
29	P40/SIF0/TXDC4/SDA01	CSI通信 (CSIF0) 時プログラムのSO 出力端子と接続 未使用時はプルダウン接続 ^注
30	P41/SOF0/RXDC4/SCL01	CSI通信 (CSIF0) 時プログラムのSI入力端子と接続 未使用時はプルダウン接続 ^注
31	P42/SCKF0/INTP10	CSI通信 (CSIF0) 時プログラムのSCK出力端子と接続 未使用時はプルダウン接続 ^注
32	P20/TIAB03/KR2/TOAB03/RTP02	-
33	P21/SIF2/TIAB00/KR3/TOAB00/RTP03	-
34	P22/SOF2/KR4/RTP04	-
35	P23/SCKF2/KR5/RTP05	-
36	P24/INTP05	-
37	P30/TXDC0/SOF4/INTP07	UART通信 (UARTD0) 時プログラムのRxD入力端子と接続 未使用時はプルダウン接続 ^注
38	P31/RXDC0/SIF4/INTP08	UART通信 (UARTD0) 時プログラムのTxD出力端子と接続 未使用時はプルダウン接続 ^注

注 個別に抵抗を介してEV_{SS}またはV_{SS}に接続してください。

表31 - 7 V850ES/JH3-Uフラッシュ書き込み用アダプタの配線例 (2/4)

ピン番号	端子名称	推奨接続例
39	P32/ASCKC0/SCKF4/TIAA00/TOAA00	-
40	P33/TIAA01/TOAA01/RTCDIV/RTCCL	-
41	P34/TIAA10/TOAA10/TOAA1OFF/INTP09/PPON	-
42	P35/TIAA11/TOAA11/RTC1HZ/OCI	-
43	P36/TXDC3/SCL00/UDMARQ0	-
44	P37/RXDC3/SDA00/UDMAAK0	-
45	EV _{SS}	プログラムのGND端子と接続
46	EV _{DD}	プログラムのVDD端子と接続
47	P50/TIAB01/KR0/TOAB01/RTP00/UDMARQ1	-
48	P51/TIAB02/KR1/TOAB02/RTP01/UDMAAK1	-
49	DDI	-
50	DDO	-
51	DCK	-
52	DMS	-
53	DRST	プログラムのGND端子と接続
54	P90/KR6/TXDC1/SDA02/A0	-
55	P91/KR7/RXDC1/SCL02/A1	-
56	P92/TENC01/TIT01/TOT01/A2	-
57	P93/TECR0/TIT00/TOT00/A3	-
58	P94/TIAA31/TOAA31/TENC00/EVTT00/A4	-
59	P95/TIAA30/TOAA30/A5	-
60	EV _{SS}	プログラムのGND端子と接続
61	EV _{DD}	プログラムのVDD端子と接続
62	P96/TIAA21/TOAA21/INTP11/A6	-
63	P97/SIF1/TIAA20/TOAA20/A7	-
64	P98/SOF1/INTP12/A8	-
65	P99/SCKF1/INTP13/A9	-
66	P910/SIF3/TXDC2/INTP14/A10	CSI通信 (CSIF3) 時プログラムのSO 出力端子と接続 未使用時はプルダウン接続 [※]
67	P911/SOF3/RXDC2/INTP15/A11	CSI通信 (CSIF3) 時プログラムのSI 入力端子と接続 未使用時はプルダウン接続 [※]
68	P912/SCKF3/A12	CSI通信 (CSIF3) 時プログラムのSCK 出力端子と接続 未使用時はプルダウン接続 [※]
69	P913/TOAB1OFF/INTP16/A13 (HS)	CSI+HS通信 (CSIF3) 時プログラムのH/S 入力端子と接続 未使用時はプルダウン接続 [※]
70	P914/TIAA51/TOAA51/INTP17/A14	-
71	P915/TIAA50/TOAA50/INTP18/A15	-
72	PDH0/A16	-
73	PDH1/A17	-
74	PDH2/A18	-
75	PDH3/A19	-
76	PCT0/WR0	-
77	PCT1/WR1	-

注 個別に抵抗を介してEV_{SS}またはV_{SS}に接続してください。

表31 - 7 V850ES/JH3-Uフラッシュ書き込み用アダプタの配線例 (3/4)

ピン番号	端子名称	推奨接続例
78	PDH4/A20	-
79	PDH5/A21	-
80	PDH6/A22	-
81	PDH7/A23	-
82	V _{DD}	プログラムのVDD端子と接続
83	REGC	4.7 μ F (推奨値) を介してGNDに接続
84	EV _{SS}	プログラムのGND端子と接続
85	EV _{DD}	プログラムのVDD端子と接続
86	PCM1/CLKOUT	-
87	PCT4/ \overline{RD}	-
88	PCT6/ASTB	-
89	PCM0/ \overline{WAIT}	-
90	P60/TOAB1T1/TOAB11/TIAB11	-
91	P61/TOAB1B1/TIAB10/TOAB10	-
92	P62/TOAB1T2/TOAB12/TIAB12	-
93	P63/TOAB1B2/TRGAB1	-
94	P64/TOAB1T3/TOAB13/TIAB13	-
95	P65/TOAB1B3/EVTAB1	プログラムのGND端子と接続
96	PCS0/ $\overline{CS0}$	-
97	PCS2/ $\overline{CS2}$	-
98	PDL0/AD0	プログラムのGND端子と接続
99	PDL1/AD1	プログラムのGND端子と接続
100	PDL2/AD2	プログラムのGND端子と接続
101	PDL3/AD3	プログラムのGND端子と接続
102	PDL4/AD4	プログラムのGND端子と接続
103	PDL5/AD5/FLMD1	プログラムのFLMD1出力端子と接続
104	PDL6/AD6	-
105	PDL7/AD7	-
106	EVSS	プログラムのGND端子と接続
107	EVDD	プログラムのVDD端子と接続
108	PDL8/AD8	-
109	PDL9/AD9	-
110	PDL10/AD10	-
111	PDL11/AD11	-
112	PDL12/AD12	-
113	PDL13/AD13	-
114	PDL14/AD14	-
115	PDL15/AD15	-
116	PCS3/ $\overline{CS3}$	-
117	P711/ANI11	-
118	P710/ANI10	-
119	P79/ANI9	-
120	P78/ANI8	-

表31 - 7 V850ES/JH3-Uフラッシュ書き込み用アダプタの配線例 (4/4)

ピン番号	端子名称	推奨接続例
121	P77/ANI7	-
122	P76/ANI6	-
123	P75/ANI5	-
124	P74/ANI4	-
125	P73/ANI3	-
126	P72/ANI2	-
127	P71/ANI1	-
128	P70/ANI0	-

図31 - 7 V850ES/JH3-Uフラッシュ書き込み用アダプタの配線例 (CSIF0+HSモード時) (1/2)

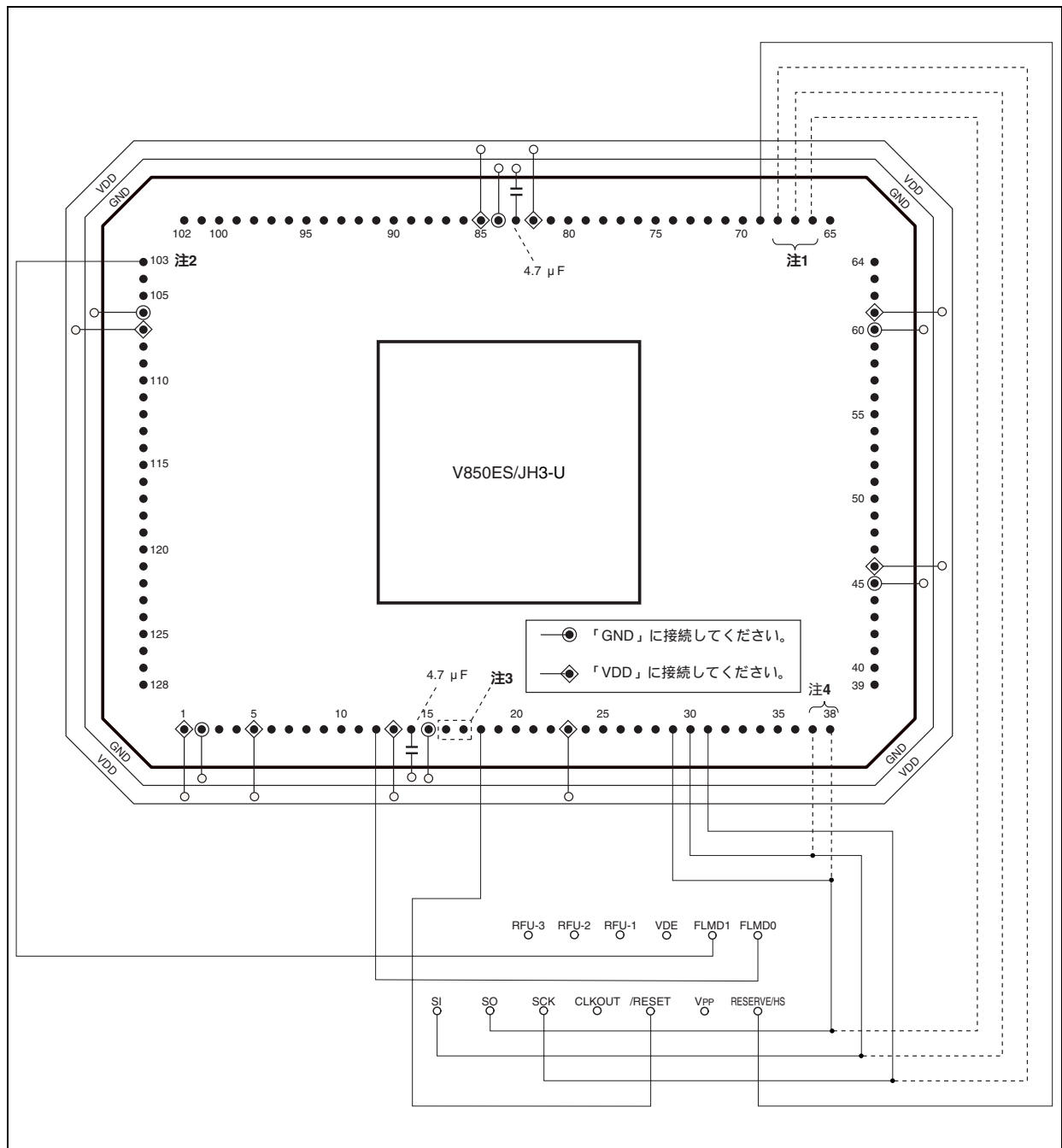
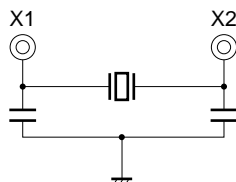


図31 - 7 V850ES/JH3-Uフラッシュ書き込み用アダプタの配線例 (CSIF0 + HSモード時) (2/2)

注1. CSIF3使用時の該当端子

2. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
3. フラッシュ書き込みアダプタ上 (破線部) に発振回路を作成してクロックを供給してください。次に発振回路例を示します。

例



4. UARTC0使用時の該当端子

注意 $\overline{\text{DRST}}$ 端子には、ハイ・レベルを入力しないでください。

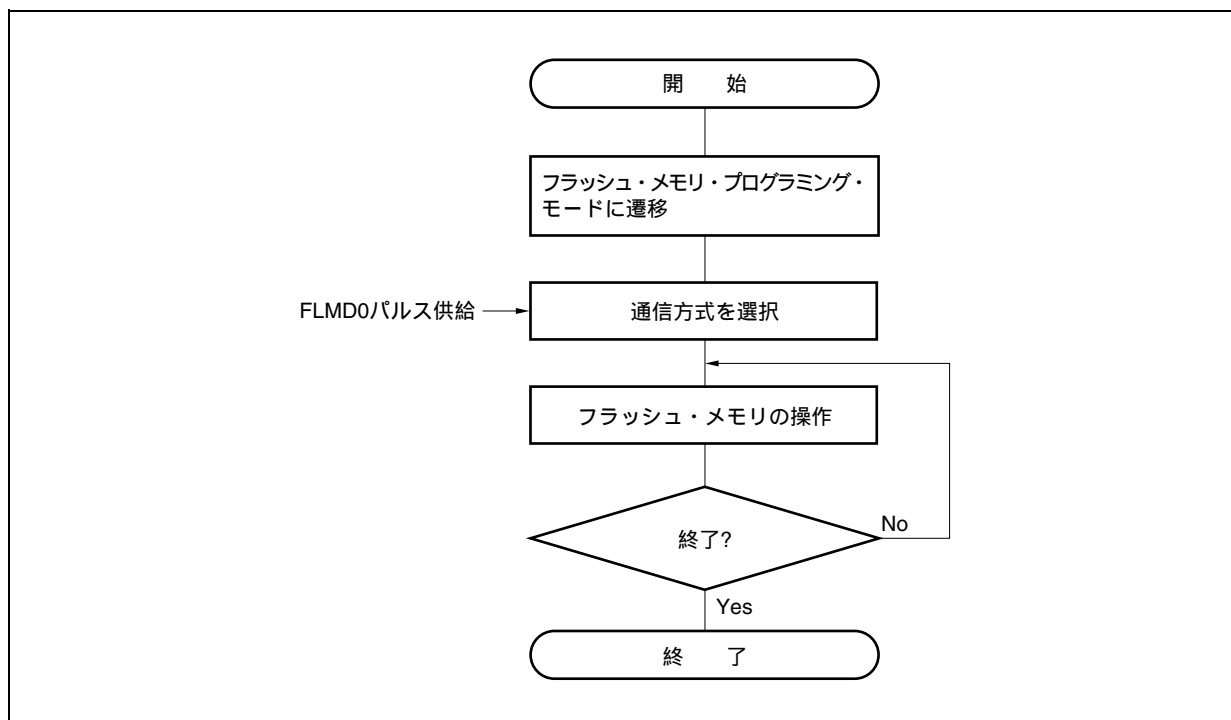
備考1. 記述していない端子は、未使用時の端子処理に従って処理してください (2. 3 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理参照)。

2. このアダプタは128ピン・プラスチックLQFPパッケージ用です。

31.4.3 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図31 - 8 フラッシュ・メモリの操作手順

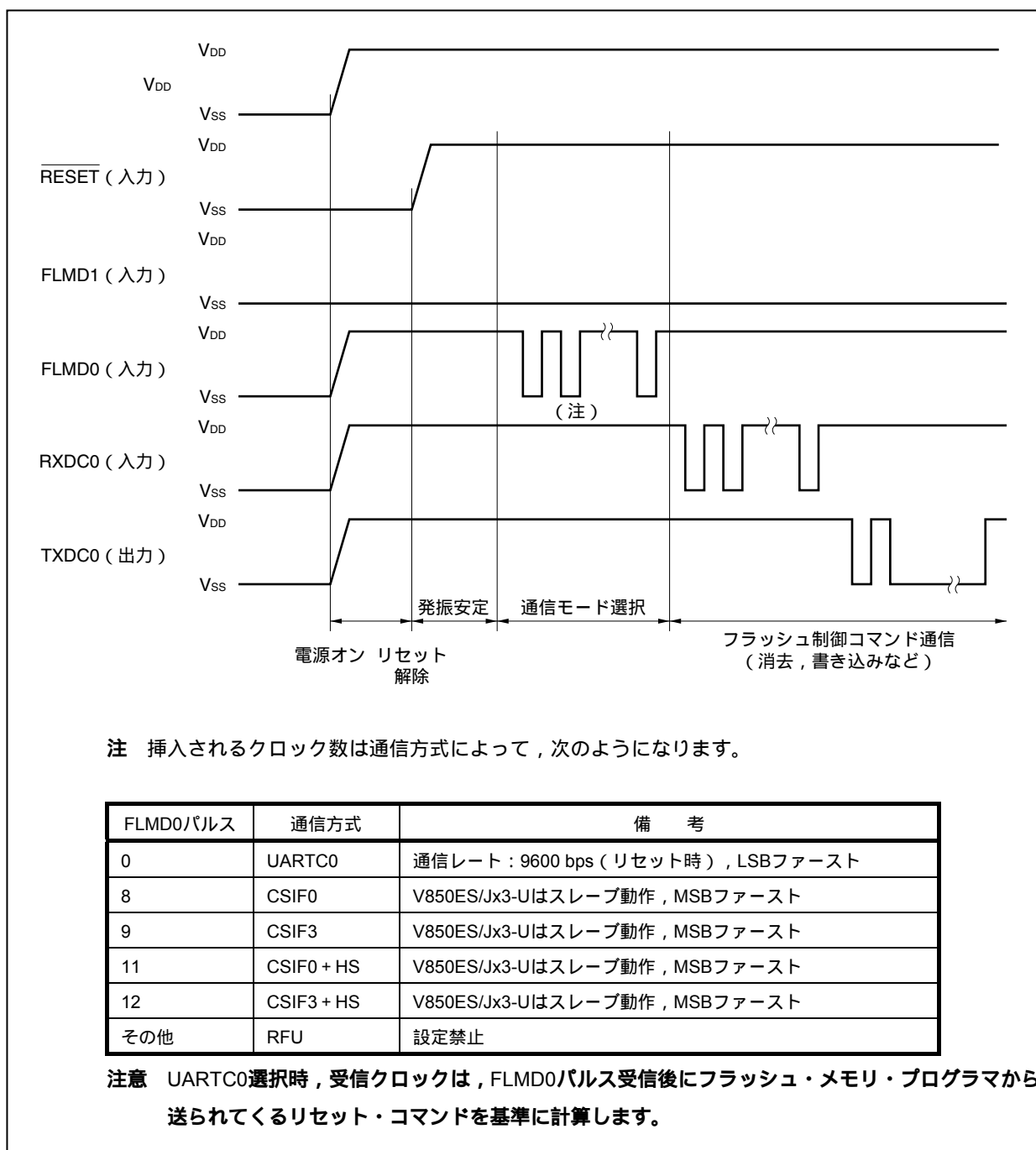


31.4.4 通信方式の選択

V850ES/JG3-U, V850ES/JH3-Uでは、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス(最大12パルス)を入力することで通信方式を選択します。このFLMD0パルスはフラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

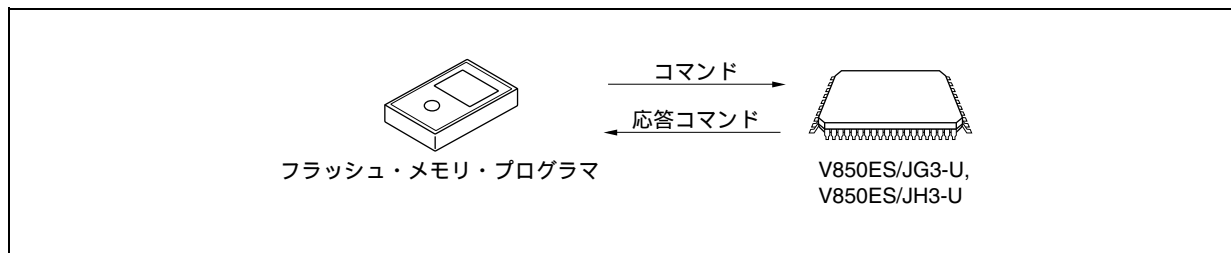
図31-9 通信方式の選択



31.4.5 通信コマンド

V850ES/JG3-U, V850ES/JH3-Uとフラッシュ・メモリ・プログラマは、コマンドを介して通信します。フラッシュ・メモリ・プログラマからV850ES/JG3-U, V850ES/JH3-Uへ送られる信号を「コマンド」と呼び、V850ES/JG3-U, V850ES/JH3-Uからフラッシュ・メモリ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。

図31 - 10 通信コマンド



V850ES/JG3-U, V850ES/JH3-Uのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、V850ES/JG3-U, V850ES/JH3-Uがコマンドに対応した各処理を行います。

表31 - 7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	対応			機能
		CSIF0, CSIF3	CSIF0+HS, CSIF3+HS	UARTC0	
ブランク・チェック	ブロック・ブランク・チェック・コマンド				指定したブロックのメモリの消去状態を確認
消去	チップ消去コマンド				全メモリの内容を消去
	ブロック消去コマンド				指定したブロックのメモリの内容を消去
書き込み	プログラム・コマンド				指定したアドレス範囲の書き込み、内容ベリファイ・チェックを実行
ベリファイ	ベリファイ・コマンド				指定したアドレス範囲のメモリの内容と、フラッシュ・メモリ・プログラマから転送されたデータを比較
	チェック・サム・コマンド				指定したアドレス範囲のチェック・サムを読み出す
リード	リード・コマンド				フラッシュ・メモリに書き込まれたデータを読み出す
システム設定, 制御	シリコン・シグネチャ・コマンド				シリコン・シグネチャ情報を読み出す
	セキュリティ設定コマンド				チップ消去コマンド, ブロック消去コマンド, プログラム・コマンド, リード・コマンドの禁止設定, およびブート領域の書き換え禁止設定

31.4.6 端子処理

オンボード書き込みを行う場合は、ターゲット・システム上にフラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

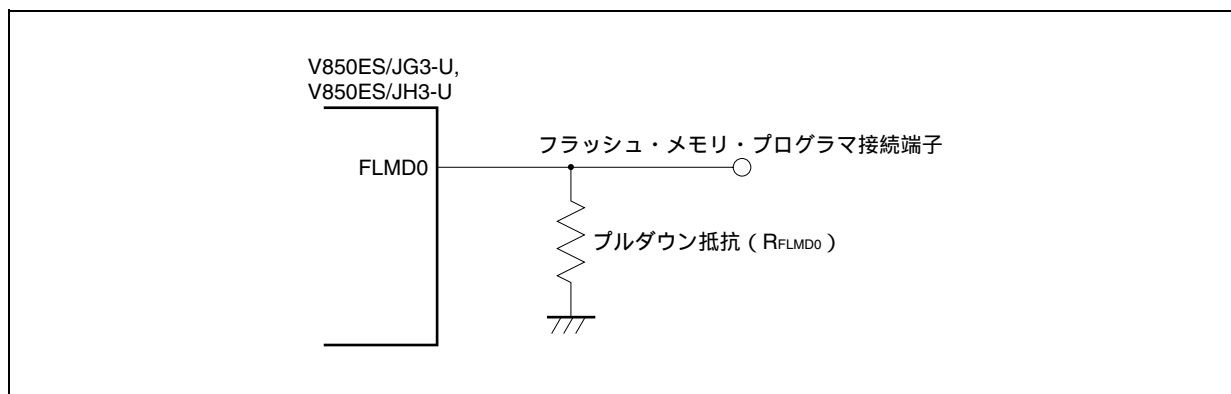
フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

(1) FLMD0端子

通常動作モード時は、FLMD0端子にV_{SS}レベルの電圧を入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

また、FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため、書き換え前にポート制御などによって、FLMD0端子にV_{DD}レベルの電圧を供給する必要があります。詳細は、31.5.5 (1) FLMD0端子を参照してください。

図31 - 11 FLMD0端子の接続例



(2) FLMD1端子

FLMD0端子に0 Vを入力された場合、FLMD1端子は機能しません。FLMD0端子にV_{DD}が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子に0 Vを入力する必要があります。FLMD1端子の接続例を次に示します。

図31 - 12 FLMD1端子の接続例

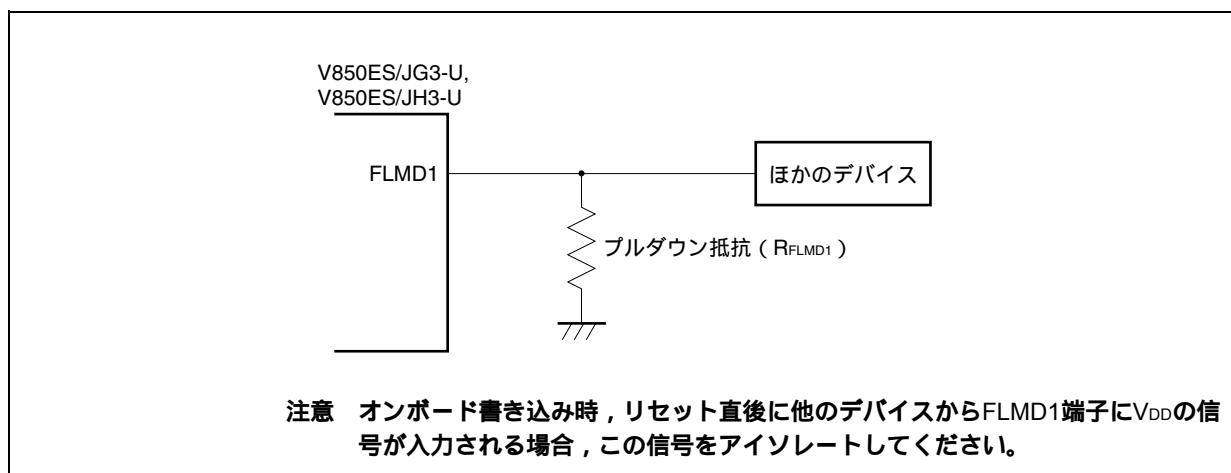


表31 - 8 リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
V _{DD}	0	フラッシュ・メモリ・プログラミング・モード
V _{DD}	V _{DD}	設定禁止

(3) シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表31 - 9 各シリアル・インタフェースが使用する端子

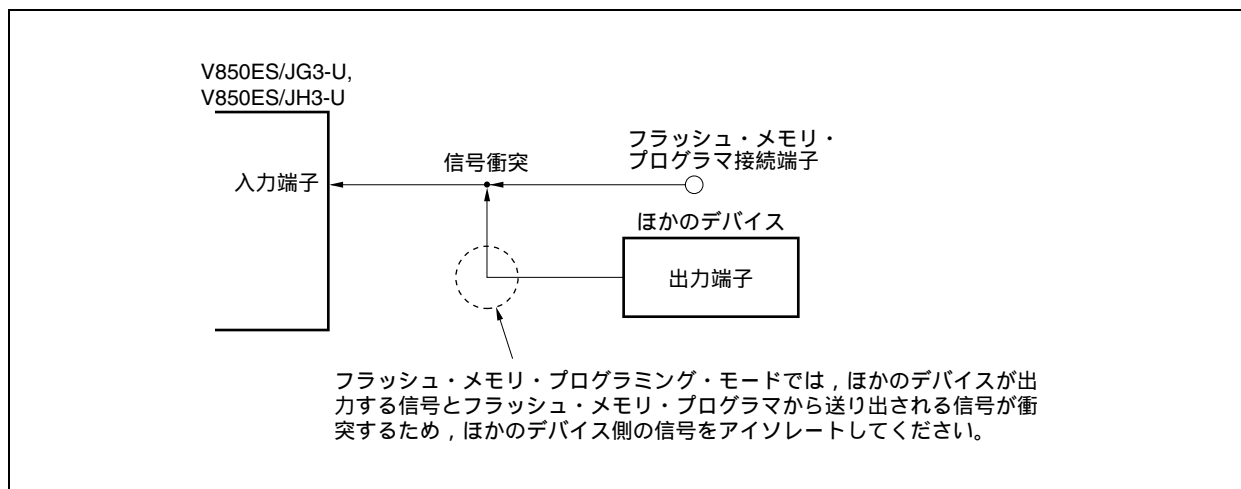
シリアル・インタフェース	使用端子
UARTC0	TXDC0, RXDC0
CSIF0	SOF0, SIF0, SCKF0
CSIF3	SOF3, SIF3, SCKF3
CSIF0 + HS	SOF0, SIF0, SCKF0, P913
CSIF3 + HS	SOF3, SIF3, SCKF3, P913

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(a) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

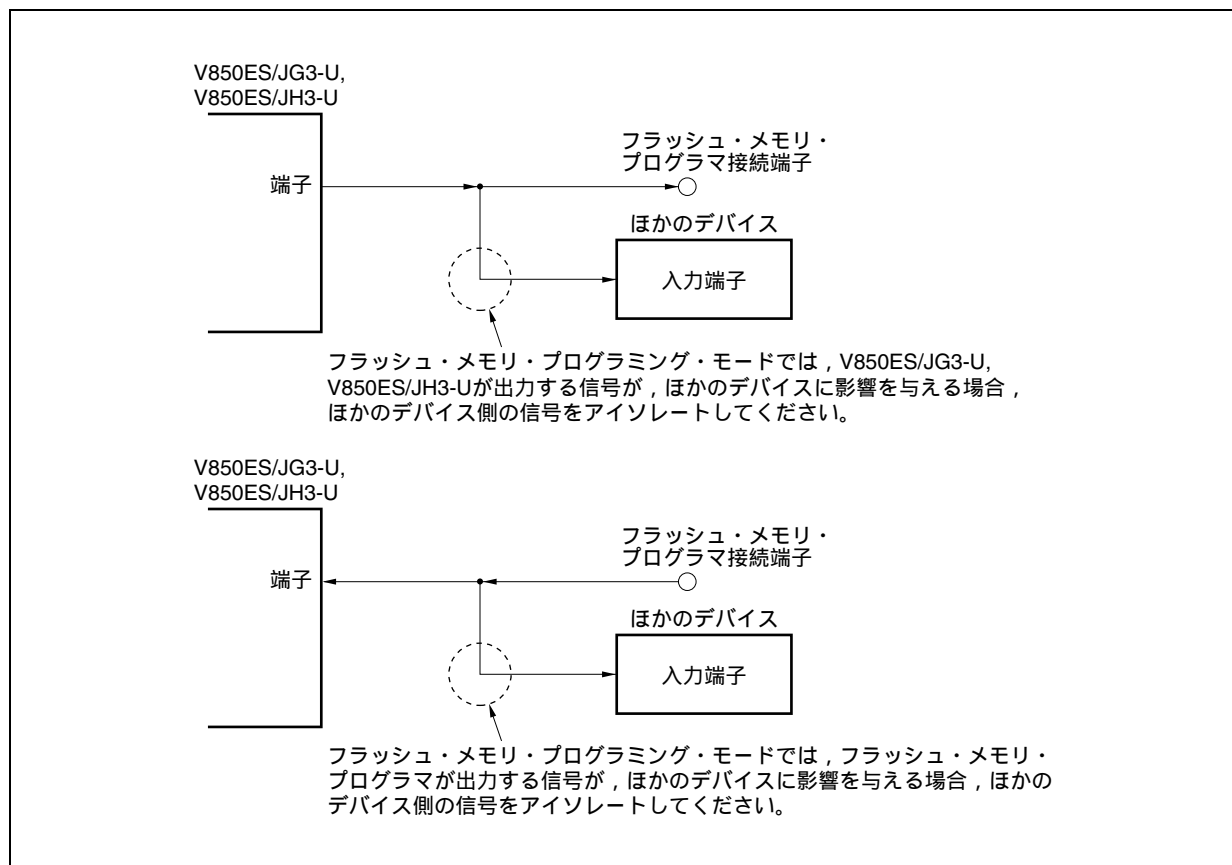
図31 - 13 信号の衝突（シリアル・インタフェースの入力端子）



(b) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図31 - 14 ほかのデバイスの異常動作

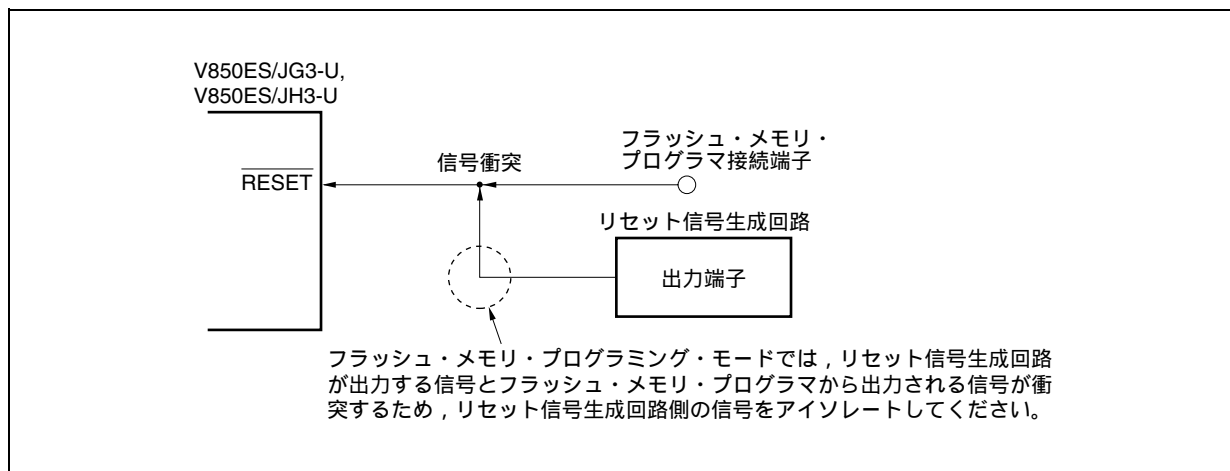


(4) RESET 端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図31 - 15 信号の衝突 (RESET 端子)

**(5) ポート端子 (NMIを含む)**

フラッシュ・メモリ・プログラミング・モードに設定すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

(6) その他の信号端子

X1, X2, XT1, XT2, REGCIは、通常動作モード時と同じ状態に接続してください。

また、フラッシュ・メモリ・プログラミング中、DRST端子はロウ・レベル入力またはオープンにし、ハイ・レベル入力しないようにしてください。

(7) 電 源

電源 (V_{DD}, V_{SS}, EV_{DD}, UV_{DD}, AV_{REF0}, AV_{REF1}, AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

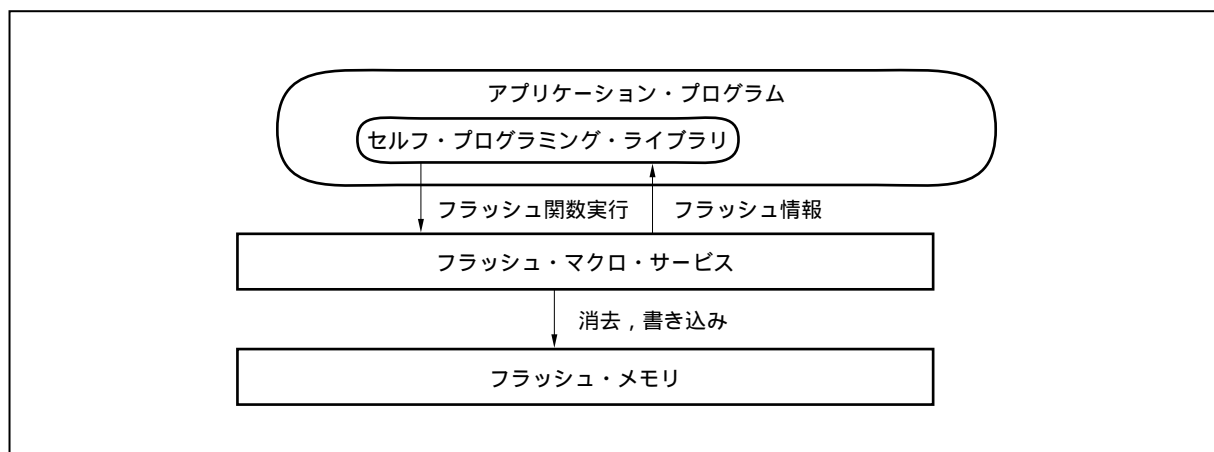
31.5 セルフ・プログラミングによる書き換え

31.5.1 概 要

V850ES/JG3-U, V850ES/JH3-Uは、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび、フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより、内蔵RAMもしくは、外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換え[※]を行うことができます。

注 書き換え対象の定数データがあるブロックに、プログラム・コードを配置しないよう注意してください。ブロック構成については、31.2 **メモリ構成**を参照してください。

図31 - 16 セルフ・プログラミングの概念図

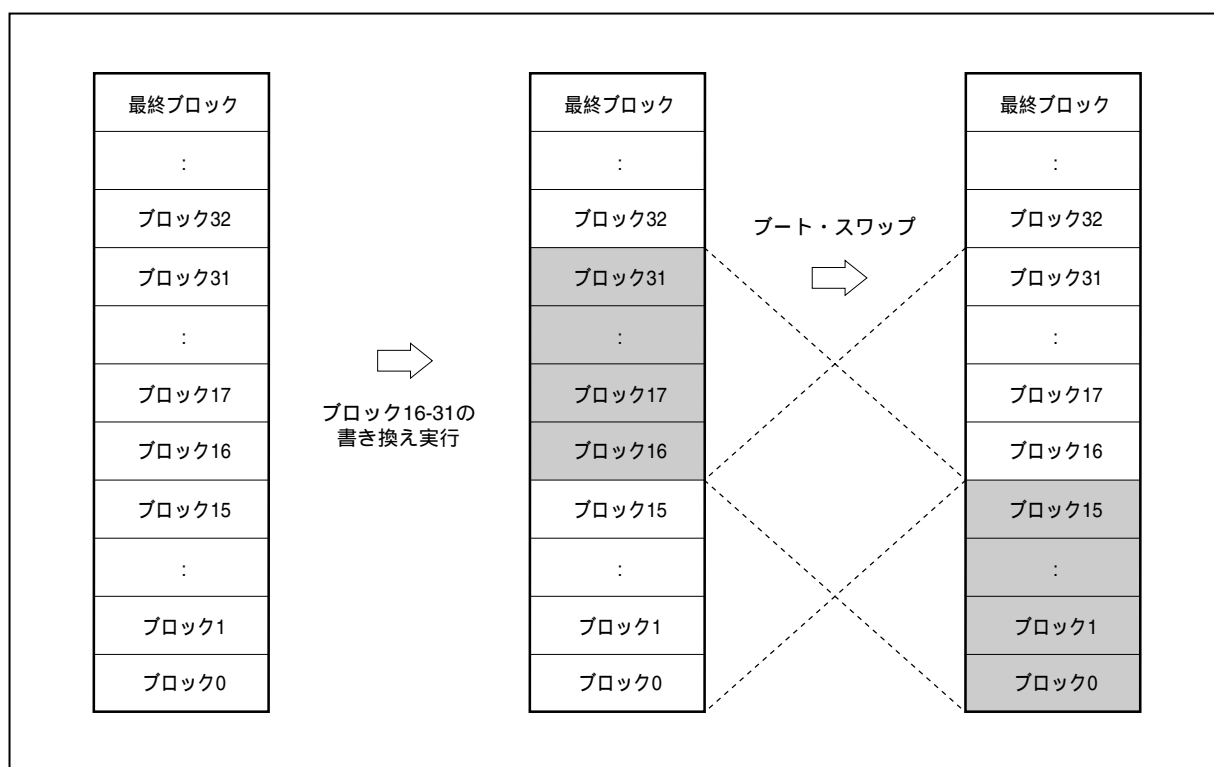


31.5.2 特 徴

(1) セキュア・セルフ・プログラミング (ブート・スワップ機能)

V850ES/JG3-U, V850ES/JH3-Uは、ブロック0-15の物理メモリと、ブロック16-31の物理メモリを入れ替えることができるブート・スワップ機能をサポートしているため、あらかじめ書き換えたい起動用のプログラムをブロック16-31に書いておき、物理メモリをスワップさせることにより、書き換え中に電源遮断が発生しても常にブロック0-15には正常なユーザ・プログラムが存在する状態となるため、全領域の書き換えが安全に実行可能となります。

図31 - 17 全メモリ領域の書き換え (ブート・スワップ対応)



(2) 割り込み対応

セルフ・プログラミング中は、フラッシュ・メモリからの命令フェッチが不可能であるため、割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できません。

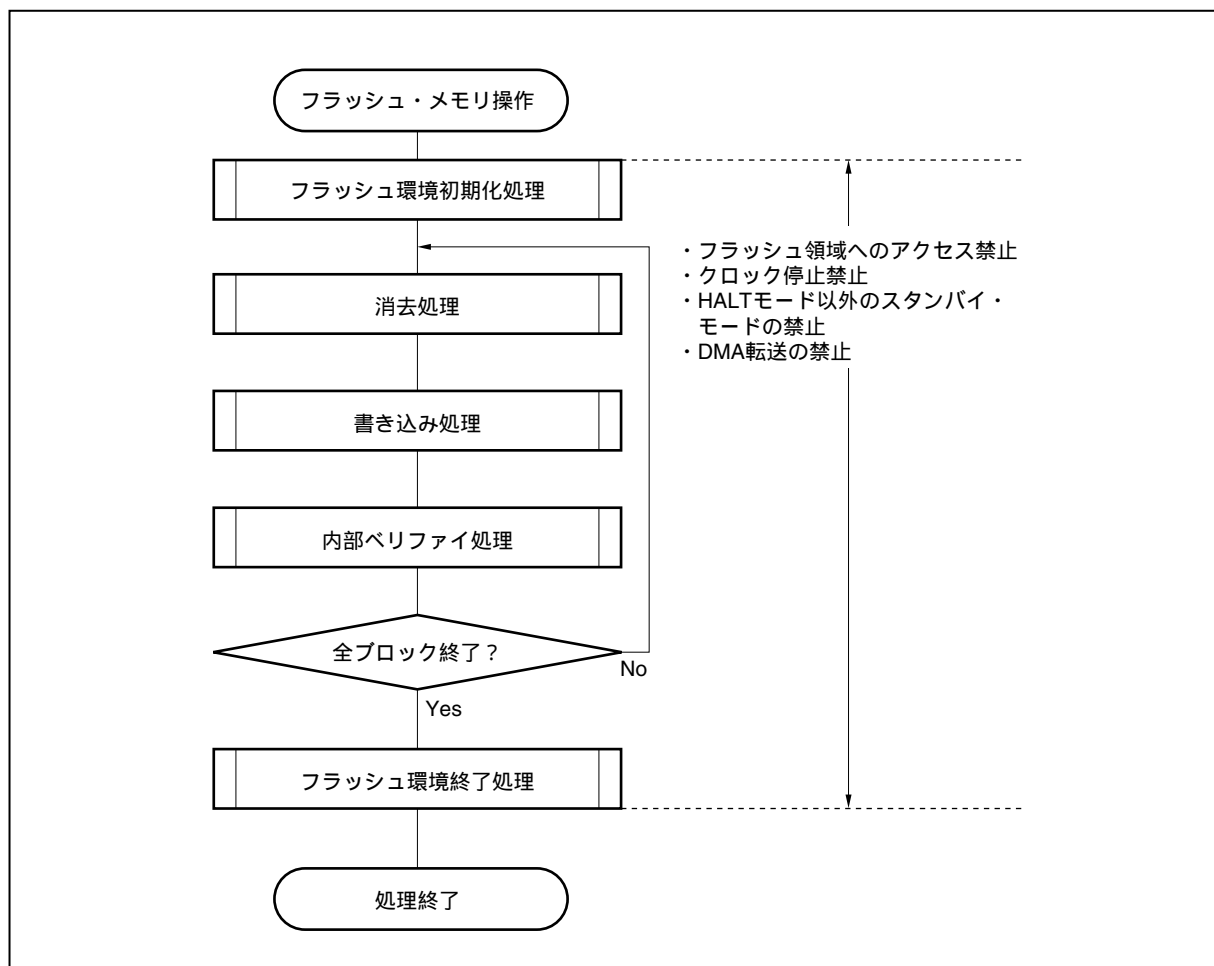
そのため、V850ES/JG3-U, V850ES/JH3-Uでは、セルフ・プログラミング中に割り込みを利用する場合、内蔵RAMの特定番地^注に処理が移ります。したがって、あらかじめ内蔵RAMの特定番地^注にユーザ割り込み処理へ遷移するJMP命令を用意してください。

注 NMI割り込み : 内蔵RAMの先頭番地
 マスカブル割り込み : 内蔵RAMの先頭 + 4番地

31.5.3 標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて、フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。

図31 - 18 標準セルフ・プログラミング・フロー



31.5.4 フラッシュ関数一覧

表31 - 10 フラッシュ関数一覧

関数名	概要	対応
FlashInit	セルフ・ライブラリの初期化	
FlashEnv	フラッシュ環境の開始 / 終了	
FlashFLMDCheck	FLMD端子のチェック	
FlashStatusCheck	ハードウェア処理の実況チェック	
FlashBlockErase	ブロックの消去	
FlashWordWrite	データの書き込み	
FlashBlockVerify	ブロックの内部ベリファイ	
FlashBlockBlankCheck	ブロックのブランク・チェック	
FlashSetInfo	フラッシュ情報の設定	
FlashGetInfo	フラッシュ情報の獲得	
FlashBootSwap	ブート・スワップの実行	

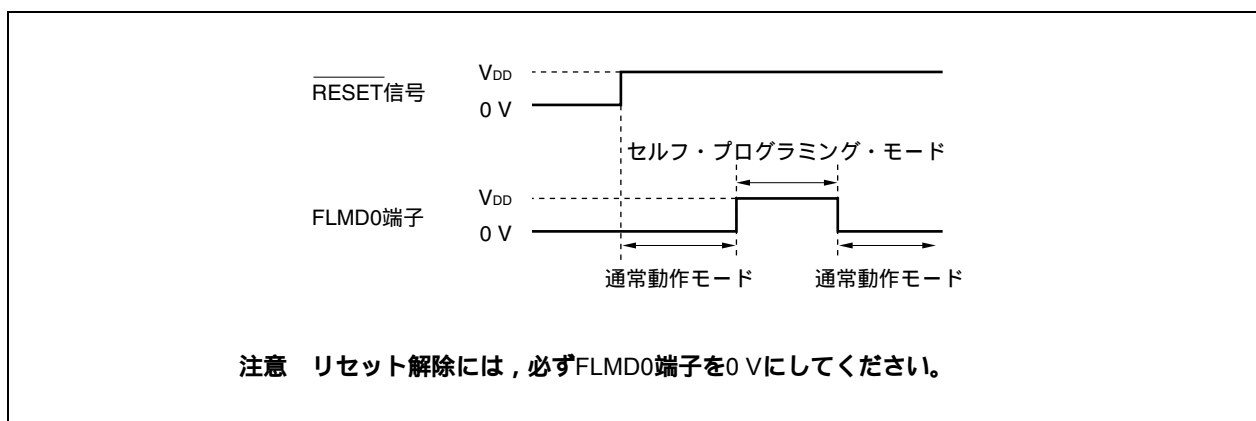
31.5.5 端子処理

(1) FLMD0端子

FLMD0端子は、リセット解除時の動作モード設定と、セルフ書き換え時の書き換え保護機能の兼用端子となっているため、リセット解除～通常動作実行時は、FLMD0端子へ印加される電圧を0 Vに保持し、セルフ・プログラミング・モードの期間は、書き換え前にポート制御などによって、FLMD0端子に V_{DD} レベルの電圧を印加する必要があります。

また、セルフ・プログラミングが終了したあとは、FLMD0端子の電圧を0 Vに戻す必要があります。

図31 - 19 モード切り替わりタイミング



31.5.6 使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお、セルフ・プログラミング以外では、次の内部資源については自由に使用できます。

表31 - 11 使用する内部資源

リソース名	説明
スタック領域	ユーザの使用しているスタックの延長をライブラリが使用。 (内部RAM / 外部RAMのどちらでも使用可)
ライブラリ・コード ^注	ライブラリのプログラム本体。 (操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可)
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合，内蔵RAMの先頭+4番地に処理が移るため，あらかじめ内蔵RAMの先頭+4番地にユーザ割り込み処理へ遷移するjump命令を用意してください。
NMI割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合，内蔵RAMの先頭番地に処理が移るため，あらかじめ内蔵RAMの先頭番地にユーザ割り込み処理へ遷移するjump命令を用意してください。

注 使用リソースについては、フラッシュ・メモリ・セルフ・プログラミング・ライブラリ ユーザーズ・マニュアルを参照してください。

31.6 書き込み済み品発注用ROMコードの作成方法

ルネサス エレクトロニクスでの書き込み済み製品は、発注用のROMコードを作成し、ルネサス エレクトロニクスへ発注する必要があります。

ROMコードは、完成したプログラム（ヘキサ・ファイル）とオプション・データ（フラッシュ・メモリ・プログラムによるセキュリティ設定情報など）をHex Consolidation Utility（以降、HCU）を使用して作成します。

また、HCUは、ROMコード作成に必要な機能を搭載したソフトウェア・ツールです。

ルネサス エレクトロニクスのWEBサイトからHCUをダウンロードしてください。

(1) WEBサイト

<http://www2.renesas.com/micro/ja/ods/> 「バージョンアップ・サービス」をクリック

(2) HCUのダウンロード方法

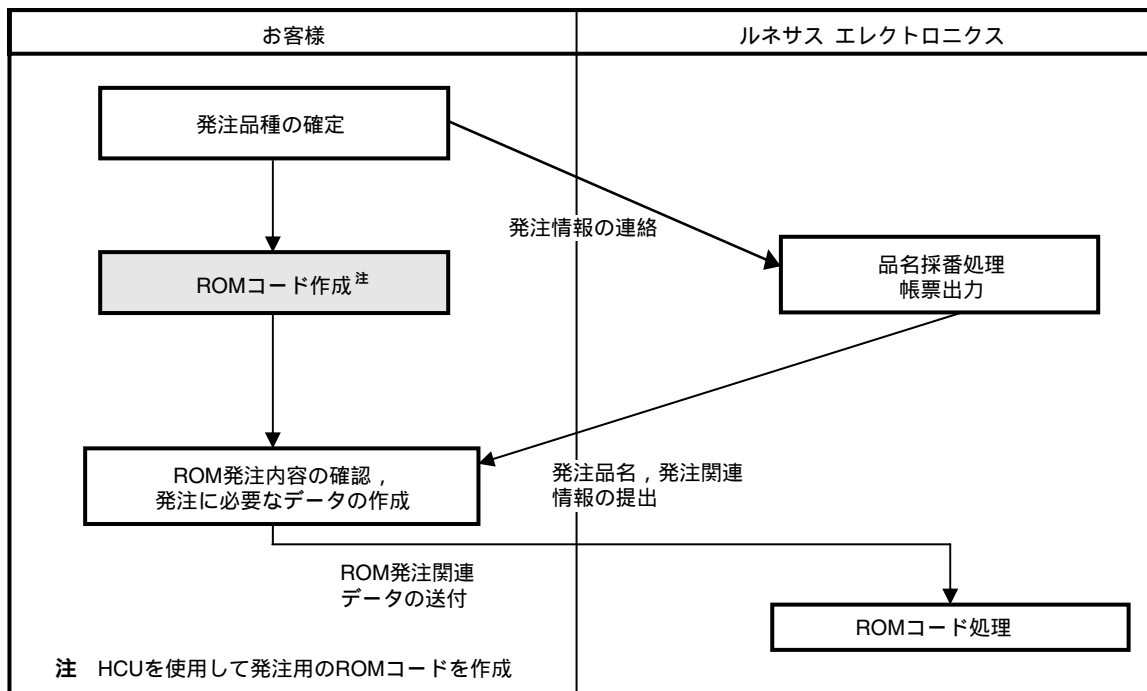
「書き込み済みフラッシュ製品用ソフトウェア」 「HCU_GUI」をクリックしてダウンロードしてください。

備考 インストール方法、HCUの使用法の詳細については、上記WEBサイトにあるHCUの添付資料（ユーザズ・マニュアル）を参照してください。

31.6.1 ROMコードの発注手順

ROMコードは、下記の流れでHCUを用いて作成し、ルネサス エレクトロニクスへ発注してください。

詳細は、ROMコードの発注方法 インフォメーション（C10302J）を参照してください。



第32章 オンチップ・デバッグ機能

V850ES/JG3-U, V850ES/JH3-Uのオンチップ・デバッグ機能を実現するには次の2つの方法があります。

- ・ DCU (デバッグ・コントロール・ユニット) を使用する方法
 \overline{DRST} , DCK, DMS, DDI, DDO端子をデバッグ・インタフェース端子としてV850ES/JG3-U, V850ES/JH3-Uに内蔵されているDCUによってオンチップ・デバッグを実現します。
- ・ DCUを使用しない方法
 DCUを使用せず, ユーザ資源を使用してMINICUBE2などによってオンチップ・デバッグを実現します。

2つのオンチップ・デバッグ機能の特徴を次に示します。

表32 - 1 オンチップ・デバッグ機能の特徴

	DCUを使用する方法	DCUを使用しない方法
デバッグ・インタフェース端子	\overline{DRST} , DCK, DMS, DDI, DDO	<ul style="list-style-type: none"> ・ UARTC0使用時 RXDC0, TXDC0 ・ CSIF0使用時 SIF0, SOF0, $\overline{SCKF0}$, HS (P913) ・ CSIF3使用時 SIF3, SOF3, $\overline{SCKF3}$, HS (P913)
ユーザ資源の確保	不要	必要
ハードウェア・ブ레이크機能	2ポイント	2ポイント
ソフトウェア・ブ레이크機能	4ポイント	4ポイント
ソフトウェア・ブ레이크機能	2000ポイント	2000ポイント
リアルタイムRAMモニタ機能 ^{※1}	可能	可能
ダイナミック・メモリ・モディフィケーション (DMM) 機能 ^{※2}	可能	可能
マスク機能	リセット, NMI, INTWDT2, \overline{HLDRQ} , WAIT	RESET端子
ROMセキュリティ機能	10バイトIDコード認証	10バイトIDコード認証
使用するハードウェア	MINICUBEなど	MINICUBE2など
トレース機能	サポートしていません	サポートしていません
デバッグ割り込みインタフェース機能 (DBINT)	サポートしていません	サポートしていません

注1. プログラム実行中にメモリの内容の読み出しを行う機能です。

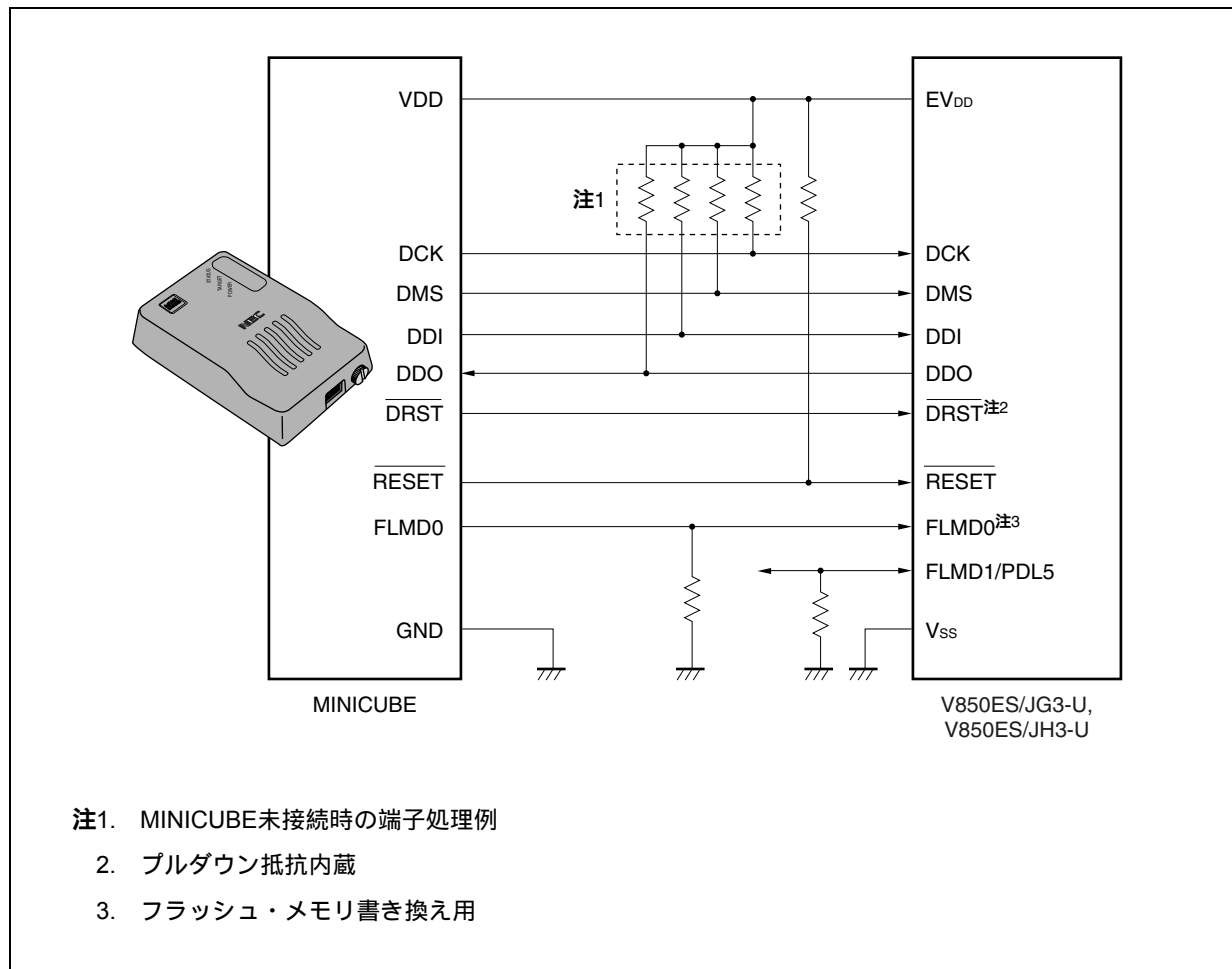
2. プログラム実行中にRAMの内容の書き換えを行う機能です。

32.1 DCUを使用する方法

デバッグ・インタフェース端子 ($\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子) を利用して, オンチップ・デバッグ・エミュレータ (MINICUBE) を接続することで, プログラムのデバッグが可能です。

32.1.1 接続回路例

図32 - 1 デバッグ・インタフェース端子を通信インタフェースとして使用する場合の回路接続例



32. 1. 2 インタフェース信号

インタフェース信号について説明します。

(1) $\overline{\text{DRST}}$

オンチップ・デバッグ・ユニット用のリセット入力信号です。デバッグ・コントロール・ユニットを非同期に初期化するための負論理の信号です。

MINICUBEは、統合デバッグの起動後にターゲット・システムのV_{DD}を検出すると、 $\overline{\text{DRST}}$ 信号をロウ・レベルからハイ・レベルに立ち上げて、対象デバイス内のオンチップ・デバッグ・ユニットを起動させます。

また、 $\overline{\text{DRST}}$ 信号がロウ・レベルからハイ・レベルに立ち上がることにより、CPUにもリセットが発生します。

統合デバッグを起動してデバッグを開始する際には、必ずCPUリセットが発生します。

(2) DCK

クロック入力信号です。MINICUBEから20 MHz、あるいは10 MHzのクロックを供給します。オンチップ・デバッグ・ユニット内で、DCK信号の立ち上がり同期してDMS、DDI信号をサンプリングし、DCK信号の立ち下がり同期してデータDDOを出力します。

(3) DMS

転送モード選択信号です。DMS信号のレベルによりデバッグ・ユニット内の転送状態が遷移します。

(4) DDI

データ入力信号です。オンチップ・デバッグ・ユニット内でDCKの立ち上がり同期してサンプリングします。

(5) DDO

データ出力信号です。オンチップ・デバッグ・ユニットからDCK信号の立ち下がり同期して出力されます。

(6) EV_{DD}

ターゲット・システムのV_{DD}検出用です。ターゲット・システムからのV_{DD}が未検出の場合は、MINICUBEからの出力信号 ($\overline{\text{DRST}}$, DCK, DMS, DDI, FLMD0, $\overline{\text{RESET}}$ 端子) はハイ・インピーダンスになります。

(7) FLMD0

統合デバッガによるフラッシュ・メモリへのダウンロード機能は、フラッシュ・セルフ・プログラミング機能を利用しています。フラッシュ・セルフ・プログラミング中はFLMD0端子をハイ・レベルにする必要があります。また、FLMD0端子にはプルダウン抵抗を接続してください。

FLMD0端子の制御方法として、次の2種類のうち、どちらかの方法を選択してください。

MINICUBEから制御する場合

MINICUBEからのFLMD0信号をデバイスのFLMD0端子に接続します。

通常モード時はMINICUBEからは何もドライブしません（ハイ・インピーダンス）。

ブレイク中、統合デバッガのダウンロード機能を実行した際にMINICUBEはFLMD0端子をハイ・レベルに制御します。

ポートから制御する場合

デバイスの任意のポートをFLMD0端子に接続します。

ユーザ・プログラムにおいてフラッシュ・セルフ・プログラミング機能を実現する場合と同じポート端子で問題ありません。

統合デバッガのコンソールによって、ダウンロード機能実行前にポート端子をハイ・レベルにする、または、ダウンロード機能実行後にポート端子をロウ・レベルにする設定を行ってください。

詳細はID850QB Ver.3.40 **統合デバッガ ユーザーズ・マニュアル 操作編 (U18604J)** を参照してください。

(8) $\overline{\text{RESET}}$

システム・リセット入力信号です。ユーザ・プログラムにおいてOCDM.OCDM0ビットの値によって、 $\overline{\text{DRST}}$ 端子を無効としたあとは、オンチップ・デバッグは行えません。そのため、MINICUBEからRESET端子によるリセットを与えて、 $\overline{\text{DRST}}$ 端子を有効（初期化）にします。

32. 1. 3 マスク機能

リセット, NMI, INTWDT2, $\overline{\text{WAIT}}$, $\overline{\text{HLDRQ}}$ 信号のマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

表32 - 2 マスク機能

デバッガ (ID850QB) のマスク機能	対応するV850ES/JG3-U, V850ES/JH3-Uの機能
NMI0	NMI端子入力
NMI2	ノンマスクブル割り込み要求信号 (INTWDT2) 発生
STOP	x
HOLD	$\overline{\text{HLDRQ}}$ 端子入力
RESET	RESET端子入力, 低電圧検出回路, クロック・モニタまたはウォッチドッグ・タイマ (WDT2) のオーバフローによるリセット信号発生
WAIT	$\overline{\text{WAIT}}$ 端子入力

32. 1. 4 レジスタ

(1) オンチップ・デバッグ・モード・レジスタ (OCDM) (V850ES/JG3-Uのみ)

通常動作モードとオンチップ・デバッグ・モードを切り替えるレジスタです。OCDMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3. 4. 7 特定レジスタ参照)。

通常動作モードとオンチップ・デバッグ・モードを切り替えるレジスタで、オンチップ・デバッグ機能が割り付けられている兼用端子をオンチップ・デバッグ用端子として使用するか、通常のポート/周辺機能兼用端子として使用するかを指定します。また同時に、P56/INTP05/ $\overline{\text{DRST}}$ 端子の内蔵プルダウン抵抗の切断を制御します。

OCDMレジスタへの書き込みは、 $\overline{\text{DRST}}$ 端子にロウ・レベルが入力されているときのみ有効です。

8/1ビット単位でリード/ライト可能です。

リセット時：01H^注 R/W アドレス：FFFFFF9FCH

	7	6	5	4	3	2	1	①
OCDM	0	0	0	0	0	0	0	OCDM0

OCDM0	動作モード
0	通常動作モード（オンチップ・デバッグ兼用端子をポート/周辺機能端子として使用）かつ、P56/INTP05/DRST端子の内蔵プルダウン抵抗を切断
1	$\overline{\text{DRST}}$ 端子がロウ・レベルの場合： 通常動作モード（オンチップ・デバッグ兼用端子をポート/周辺機能端子として使用） $\overline{\text{DRST}}$ 端子がハイ・レベルの場合： オンチップ・デバッグ・モード（オンチップ・デバッグ・モード用端子として使用）

注 $\overline{\text{RESET}}$ 端子によるリセット時は01Hになります。ただし、WDT2RES信号、クロック・モニタ（CLM）、低電圧検出回路（LVI）によるリセット時は、OCDMレジスタの値を保持します。

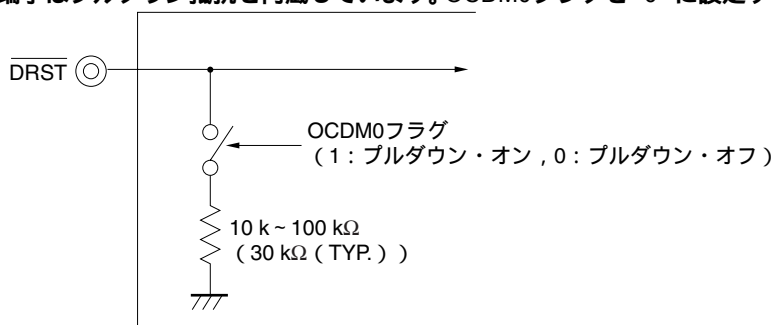
注意1. 外部リセット後、DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次のいずれかの処置が必要です。

- ・P56/INTP05/ $\overline{\text{DRST}}$ 端子にロウ・レベルを入力します。
- ・OCDM0ビットを設定します。この場合の処置は次のとおりです。

OCDM0ビットをクリア（0）します。

の処理を終えるまで、P56/INTP05/ $\overline{\text{DRST}}$ 端子入力をロウ・レベル固定にしておきます。

2. $\overline{\text{DRST}}$ 端子はプルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。



32.1.5 動作

オンチップ・デバッグ機能は次の表に示す条件で有効になります。

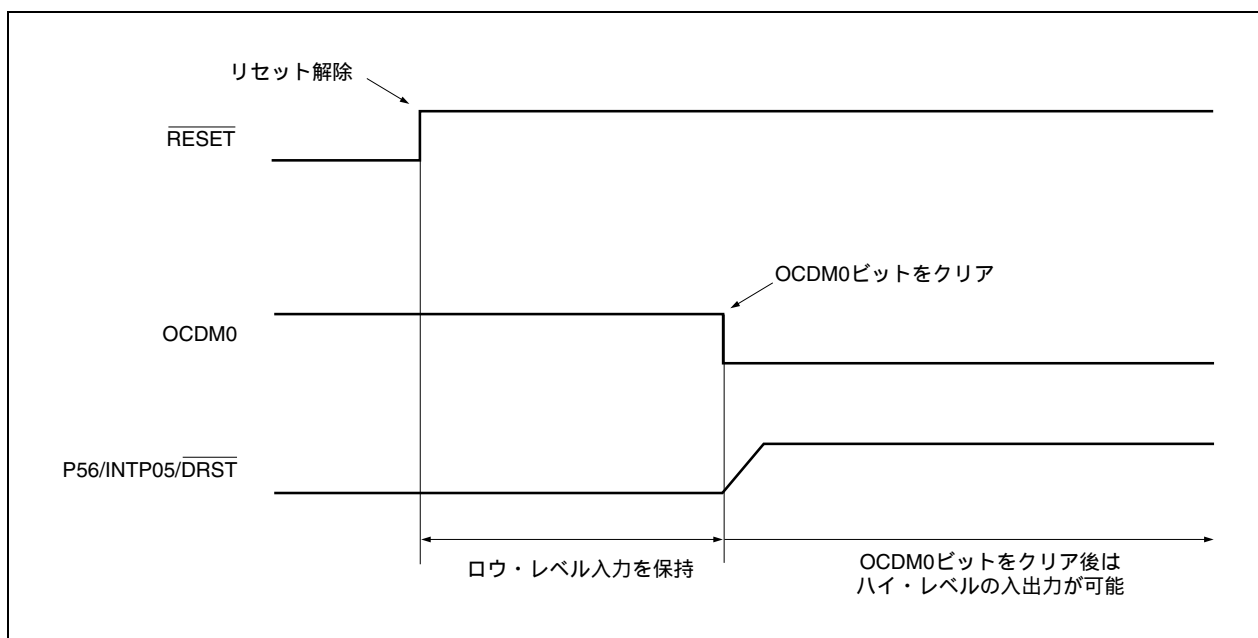
未使用時はOCDM.OCDM0フラグをクリア(0)するまで、 $\overline{\text{DRST}}$ 端子はロウ・レベル入力の状態を保持してください。

OCDM0フラグ $\overline{\text{DRST}}$ 端子	0	1
L	無効	無効
H	無効	有効

備考 L: ロウ・レベル入力

H: ハイ・レベル入力

図32-2 オンチップ・デバッグ機能未使用時のタイミング



32. 1. 6 注意事項

- (1) RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合、ブレーク機能が誤動作することがあります。
- (2) リセットをマスク機能でマスクしていても、端子からのリセットが入力された際に入出力バッファ（ポート端子）がリセット状態になる場合があります。
- (3) ブレーク中の端子リセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMMで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。
- (4) オンチップ・デバッグ・モード時、DDO端子は強制的にハイ・レベル出力に設定されます。

32.2 DCUを使用しない方法

DCUを使用せず，UARTC0用端子（RXDC0, TXDC0），CSIF0用端子（SIF0, SOF0, $\overline{\text{SCKF0}}$, HS (P913)）またはCSIF3用端子（SIF3, SOF3, $\overline{\text{SCKF3}}$, HS (P913)）をデバッグ・インタフェースとしてMINICUBE2を使用してオンチップ・デバッグ機能を実現する方法を次に示します。

32.2.1 接続回路例

図32-3 UARTC0/CSIF0/CSIF3を通信インタフェースとして使用する場合の回路接続例

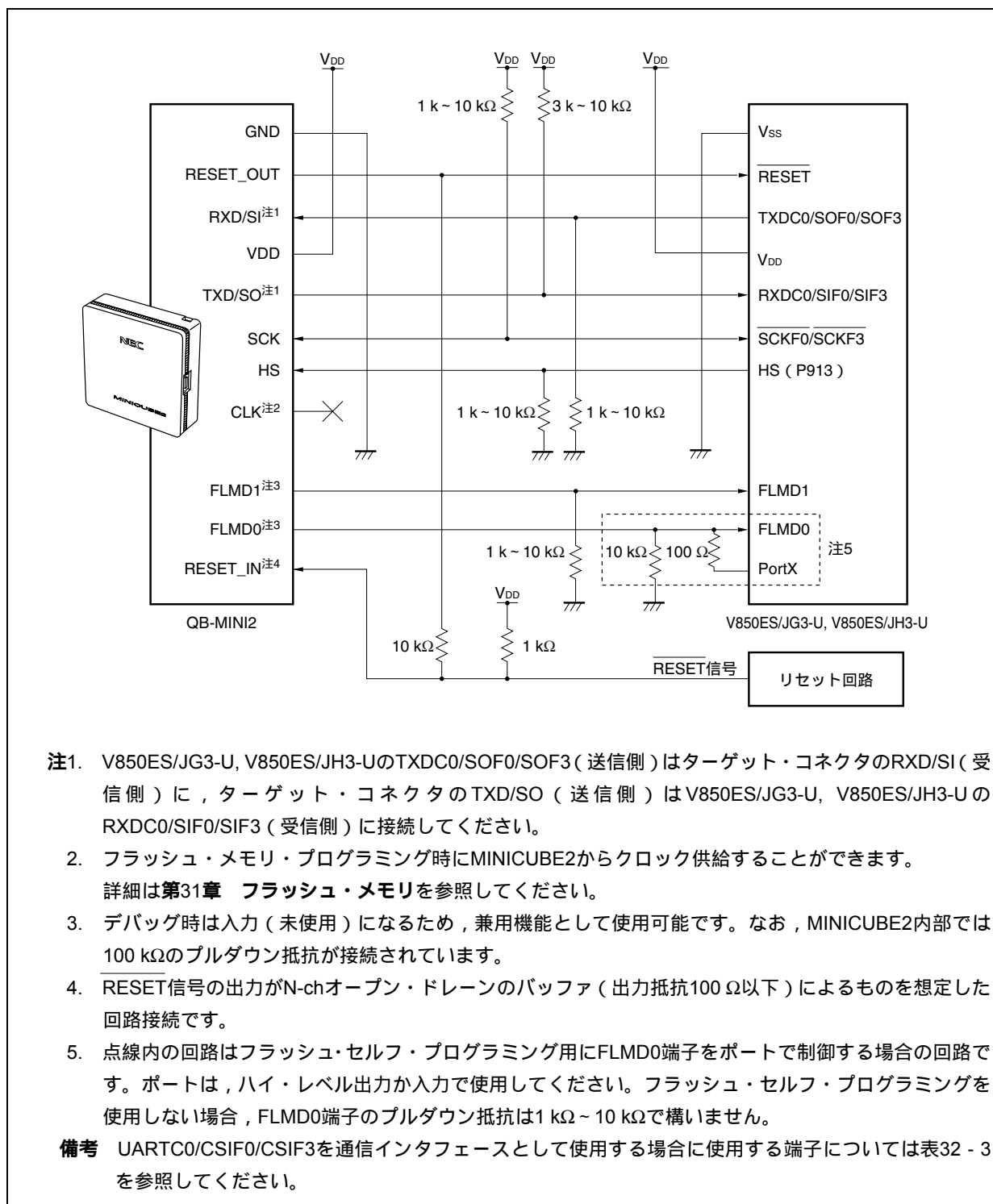


表32 - 3 V850ES/JG3-UとMINICUBE2の配線表

MINICUBE2 (QB-MINI2) 接続端子			CSIF0-HS使用時		CSIF3-HS使用時		UARTC0使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	V850ES/JG3-Uからのコマンド , データ受信端子	P41/SOF0	23	P911/SOF3	53	P30/TXDC0	25
SO/TxD	出力	V850ES/JG3-Uへのコマンド , データ送信端子	P40/SIF0	22	P910/SIF3	52	P31/RXDC0	26
SCK	出力	3線式シリアル通信用クロック出力端子	P42/SCKF0	24	P912/SCKF3	54	必要なし	-
CLK ^注	出力	V850ES/JG3-Uへのクロック出力端子	必要なし ^注	-	必要なし ^注	-	必要なし ^注	-
RESET_OUT	出力	V850ES/JG3-Uへのリセット出力端子	RESET	14	RESET	14	RESET	14
FLMD0	出力	V850ES/JG3-Uをデバッグ・モード , またはプログラミング・モードにするための出力端子	FLMD0	8	FLMD0	8	FLMD0	8
FLMD1	出力	プログラミング・モードにするための出力端子	PDL5/FLMD1	76	PDL5/FLMD1	76	PDL5/FLMD1	76
HS	入力	CSI0 + HS通信のハンドシェーク信号	P913	85	P913	85	必要なし	-
GND	-	グラウンド	Vss	11, 33, 62, 79	Vss	11, 33, 62, 79	Vss	11, 33, 62, 79
			AVss	2	AVss	2	AVss	2
RESET_IN	入力	ターゲット・システム上のリセット入力端子						

注 MINICUBE2のフラッシュ・ライタとして使用する場合のクロック出力として使用します。詳細は第31章 フラッシュ・メモリを参照してください

表32 - 4 V850ES/JH3-UとMINICUBE2の配線表

MINICUBE2 (QB-MINI2) 接続端子			CSIF0-HS使用時		CSIF3-HS使用時		UARTC0使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	V850ES/JH3-Uからのコマンド , データ受信端子	P41/SOF0	30	P911/SOF3	67	P30/TXDC0	37
SO/TxD	出力	V850ES/JH3-Uへのコマンド , データ送信端子	P40/SIF0	29	P910/SIF3	66	P31/RXDC0	31
SCK	出力	3線式シリアル通信用クロック出力端子	P42/SCKF0	31	P912/SCKF3	68	必要なし	-
CLK ^注	出力	V850ES/JH3-Uへのクロック出力端子	必要なし ^注	-	必要なし ^注	-	必要なし ^注	-
RESET_OUT	出力	V850ES/JH3-Uへのリセット出力端子	RESET	18	RESET	18	RESET	18
FLMD0	出力	V850ES/JH3-Uをデバッグ・モード , またはプログラミング・モードにするための出力端子	FLMD0	12	FLMD0	12	FLMD0	12
FLMD1	出力	プログラミング・モードにするための出力端子	PDL5/FLMD1	103	PDL5/FLMD1	103	PDL5/FLMD1	103
HS	入力	CSI0 + HS通信のハンドシェーク信号	P913	69	P913	69	必要なし	-
GND	-	グラウンド	Vss	15, 45, 84, 106	Vss	15, 45, 84, 106	Vss	15, 45, 84, 106
			AVss	2	AVss	2	AVss	2
RESET_IN	入力	ターゲット・システム上のリセット入力端子						

注 MINICUBE2のフラッシュ・ライタとして使用する場合のクロック出力として使用します。詳細は第31章 フラッシュ・メモリを参照してください

32.2.2 マスク機能

リセット信号のみマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

表32 - 5 マスク機能

デバッガ (ID850QB) のマスク機能	対応するV850ES/JG3-U, V850ES/JH3-Uの機能
NMI0	×
NMI1	×
NMI2	×
STOP	×
HOLD	×
RESET	RESET端子入力によるリセット信号発生
WAIT	×

32. 2. 3 ユーザ資源の確保

MINICUBE2は対象デバイスとの通信, または各デバッグ機能を実現するために次に示す準備を行う必要があります。これらは, ユーザ・プログラムやコンパイラ・オプションで設定する必要があります。

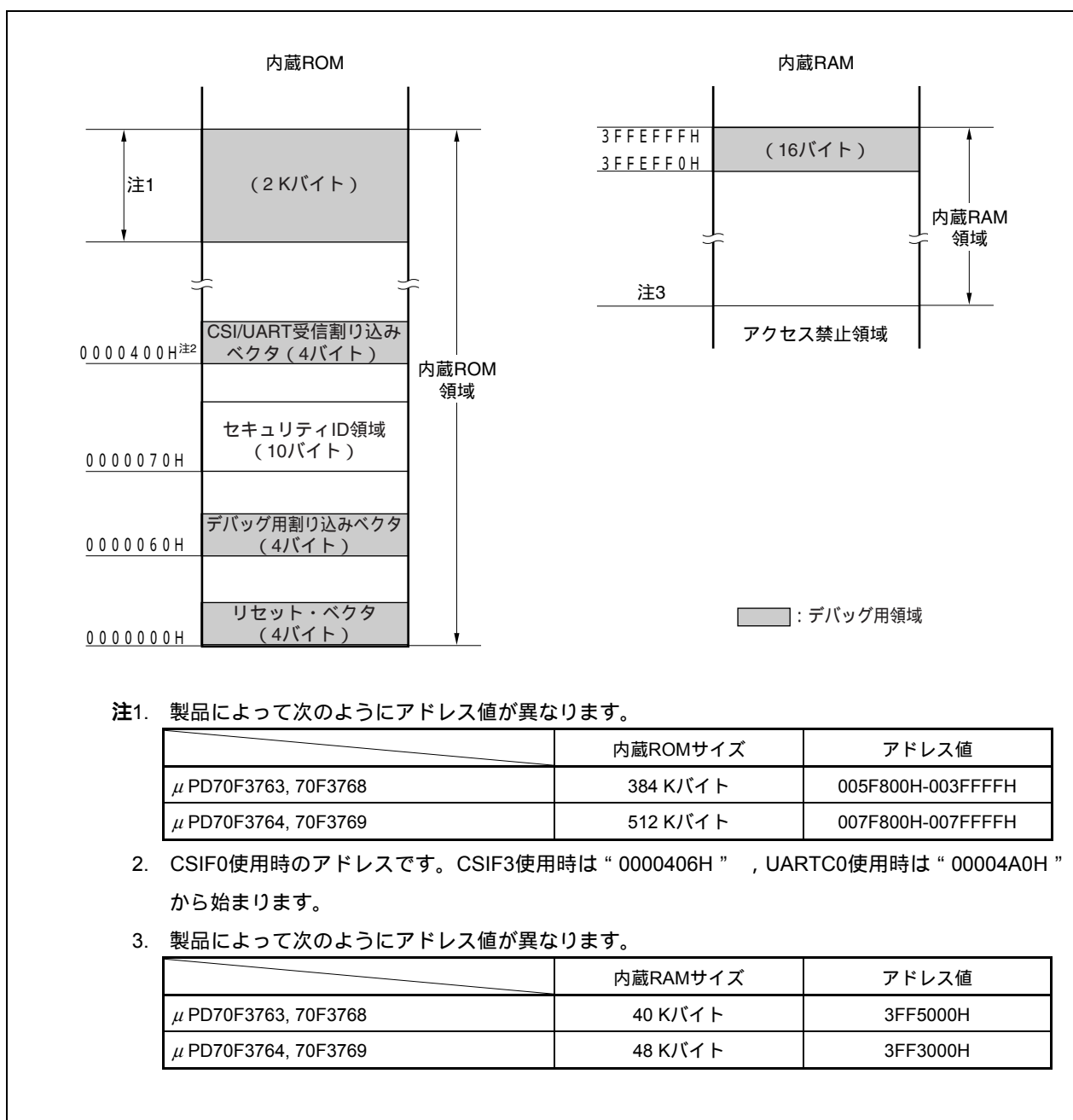
(1) メモリ空間の確保

図32 - 4で示すデバッグ領域はデバッグ用のモニタ・プログラムを組み込むために, ユーザ・プログラムやデータを配置できない空間です。この空間を使用しないように, 領域を確保する必要があります。

(2) セキュリティIDの設定

図32 - 4で示す0000070H-0000079H領域は第三者からメモリの内容を読み取られないようにするために, IDコードを埋め込む必要があります。詳細は32. 3 ROMセキュリティ機能を参照してください。

図32 - 4 デバッグ用モニタ・プログラムが配置されるメモリ空間



(3) リセット・ベクタ

リセット・ベクタにはデバッグ用モニタ・プログラムへのジャンプ命令が組み込まれます。

【領域確保の方法】

この領域は意図的に確保する必要はありません。ただし、プログラムのダウンロード時に、次のケースに応じてデバッガがリセット・ベクタの書き換えを行います。書き換えパターンが次に示すケースに一致しない場合、デバッガがエラーを発生します（ID850QBの場合F0C34番）。

(a) 0番地からnopが2個連続している場合

書き換え前	書き換え後
0x0 nop	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 nop	0x4 xxxx
0x4 xxxx	

(b) 0番地から0xFFFFが2個連続している場合（消去済みデバイスが該当します）

書き換え前	書き換え後
0x0 0xFFFF	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 0xFFFF	0x4 xxxx
0x4 xxxx	

(c) 0番地がjr命令の場合（CA850では通常このケースに該当）

書き換え前	書き換え後
0x0 jr disp22	0x0 デバッグ用モニタ・プログラムへジャンプ
	0x4 jr disp22 - 4

(d) 0番地からmov32とjmpが連続している（IAR社製コンパイラ ICCV850では通常このケースに該当）

書き換え前	書き換え後
0x0 mov imm32,reg1	0x0 デバッグ用モニタ・プログラムへジャンプ
0x6 jmp [reg1]	0x4 mov imm32,reg1
	0xa jmp [reg1]

(e) 0番地が既にデバッグ用モニタ・プログラムへのジャンプ命令の場合

書き換え前	書き換え後
0x0 デバッグ用モニタ・プログラムへジャンプ	変更なし

(4) デバッグ用モニタ・プログラム領域の確保

図32 - 4の示すデバック用領域は、デバッグ用モニタ・プログラムが配置される空間です。モニタ・プログラムはデバッグ用通信インタフェースの初期化処理や、CPUのRUN / ブレーク処理などを行うものです。内蔵ROM領域については0xFFでフィルする必要があります。また、この領域をユーザ・プログラム内で書き換えないようにすることが必要です。

【領域確保の方法】

この空間をユーザ・プログラムで使用しない場合は、必ずしも領域を確保する必要はありません。

しかし、デバッグ起動時のトラブルを回避するために、あらかじめコンパイラなどで領域確保しておくことを推奨いたします。

次に、ルネサス エレクトロニクス社製コンパイラCA850を使用している場合に領域の確保を行う例を示します。次に示すように、アセンブル・ソースとリンクディレクティブ・コードを追加してください。

- ・アセンブル・ソース（次の内容をアセンブル・ソース・ファイルとして追加してください）

```
-- MonitorROMセクションとして2Kバイトの空間を確保
.section "MonitorROM", const
.space 0x800, 0xff

-- デバッグ用割り込みベクタの確保
.section "DBG0"
.space 4, 0xff

-- シリアル通信用割り込みベクタの確保
-- セクション名は使用するシリアル通信に応じて変更してください
.section "INTCF0R"
.space 4, 0xff

-- MonitorRAMセクションとして16バイトの空間を確保
.section "MonitorRAM", bss
.lcomm monitorramsym, 16, 4 ; -- monitorramsymシンボルを定義
```

- ・リンク・ディレクティブ（以下をリンク・ディレクティブ・ファイルの内容に追加してください）

次の例は、内蔵ROMが512 Kバイト（最終アドレス007FFFFH）、内蔵RAMが56 Kバイト（最終アドレス：3FFEFFFH）の場合です。

```
MROMSEG : !LOAD ?R V0x07f800{
        MonitorROM = $PROGBITS ?A MonitorROM;
};
MRAMSEG : !LOAD ?RW V0x03ffeff0{
        MonitorRAM = $NOBITS ?AW MonitorRAM;
};
```

(5) 通信用シリアル・インタフェースの確保

MINICUBE2は対象デバイスと通信するためにUARTC0, CSIF0もしくはCSIF3のいずれかを使用します。これらのシリアル・インタフェースに関する設定は、デバッグ用モニタ・プログラムで行っていますが、ユーザ・プログラム上で、この設定を変更した場合、通信異常となりエラーが発生する可能性があります。

このようなトラブルが発生しないよう、ユーザ・プログラムで通信用シリアル・インタフェースの確保を行う必要があります。

【通信用シリアル・インタフェース確保の方法】**●オンチップ・デバッグ・モード・レジスタ (OCDM)**

UARTC0, CSIF0, CSIF3を使用するオンチップ・デバッグ機能の場合、OCDMレジスタの機能を通常モードにする必要があります。必ず次の設定をしてください。

- ・P56/INTP05/DRST端子にロウ・レベルを入力します。
- ・OCDM0ビットを設定します。この場合の処置は次のとおりです。

OCDM0ビットをクリア (0) します。

の処理を終えるまで、P56/INTP05/DRST端子入力をロウ・レベル固定にしておきます。

●シリアル・インタフェースのレジスタ

通信用に使用するCSIF0, CSIF3やUARTC0のレジスタ設定は、ユーザ・プログラムで行わないようにしてください。

●割り込みマスク・レジスタ

通信用にCSIF0を使用する場合、転送終了割り込み (INTCF0R) をマスクしないようにしてください。CSIF3の場合、転送終了割り込み (INTCF3R) をマスクしないようにしてください。UARTC0の場合、受信完了割り込み (INTUC0R) をマスクしないようにしてください。

(a) CSIF0の場合

	7	6	5	4	3	2	1	0
CF0RIC	x	0	x	x	x	x	x	x

(b) CSIF3の場合

	7	6	5	4	3	2	1	0
CF3RIC	x	0	x	x	x	x	x	x

(c) UARTC0の場合

	7	6	5	4	3	2	1	0
UC0RIC	x	0	x	x	x	x	x	x

備考 x : 任意

●UARTC0使用時のポートに関するレジスタ

通信用にUARTC0を使用する場合、TXDC0, RXDC0端子を有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

	7	6	5	4	3	2	1	0
PFC3	x	x	x	x	x	x	0	0
	7	6	5	4	3	2	1	0
PFCE3	x	x	x	x	x	x	0	0
	7	6	5	4	3	2	1	0
PMC3	x	x	x	x	x	x	1	1

備考 x : 任意

●CSIF0使用時のポートに関するレジスタ

通信用にCSIF0を使用する場合、SIF0, SOF0, SCKF0およびHS (P913) 端子が有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

(a) SIF0, SOF0, SCKF0の設定

	7	6	5	4	3	2	1	0
PMC4	x	x	x	x	x	1	1	1
	7	6	5	4	3	2	1	0
PFC4	x	x	x	x	x	0	0	0
	7	6	5	4	3	2	1	0
PFCE4	x	x	x	x	x	x	0	0

(b) HS (P913端子) の設定

	15	14	13	12	11	10	9	8
PM9H	x	x	0	x	x	x	x	x
	15	14	13	12	11	10	9	8
P9H	x	x	注	x	x	x	x	x

注 ライト禁止です。

HS端子の値はモニタ・プログラムがデバッグの状態に応じて変更を行っています。ポート・レジスタの設定を8ビット単位で操作したい場合、ユーザ・プログラム上でリード・モディファイ・ライトを行えば、ほとんど問題ありませんが、ライト前にデバッグ用の割り込みが入った場合、意図しない動作になる可能性があります。

備考 x : 任意

●CSIF3使用時のポートに関するレジスタ

通信用にCSIF3を使用する場合、SIF3、SOF3、 $\overline{\text{SCKF3}}$ およびHS (P913) 端子が有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

(a) SIF3, SOF3, $\overline{\text{SCKF3}}$ の設定

	15	14	13	12	11	10	9	8
PMC9H	x	x	x	1	1	1	x	x

	15	14	13	12	11	10	9	8
PFC9H	x	x	x	0 ^{注1}	0	0	x	x

	15	14	13	12	11	10	9	8
PFCE9H	x	x	x	x	0	0	x	x

(b) HS (P913端子)の設定

	15	14	13	12	11	10	9	8
PM9H	x	x	0	x	x	x	x	x

	15	14	13	12	11	10	9	8
P9H	x	x	注2	x	x	x	x	x

注1. V850ES/JH3-Uのみ。

2. ライト禁止です。

HS端子の値はモニタ・プログラムがデバッグの状態に応じて変更を行っています。ポート・レジスタの設定を8ビット単位で操作したい場合、ユーザ・プログラム上でリード・モディファイ・ライトを行えば、ほとんど問題ありませんが、ライト前にデバッグ用の割り込みが入った場合、意図しない動作になる可能性があります。

備考 x : 任意

32.2.4 注意事項

(1) デバッグに使用したデバイスの取り扱いについて

デバッグに使用したデバイスを、量産製品に搭載しないでください（デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保証することができないためです）。また、デバッグ用モニタ・プログラムは量産製品には組み込まないでください。

(2) ブレークができない場合について

次の状態が継続している場合は、強制ブレークすることができません。

- 割り込み禁止中 (DI) の場合
- MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTC0の場合に、メイン・クロックを停止している場合

(3) 疑似リアルタイムRAMモニタ (RRM) 機能やDMM機能が動作しない場合について

次の状態の場合、疑似RRM機能、DMM機能が動作しません。

- 割り込み禁止中 (DI) の場合
- MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTC0の場合に、メイン・クロックを停止している場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTC0の場合に、デバッガで指定する動作クロックと異なるクロックで動作している場合

(4) 疑似RRMやDMM機能を有効にしている場合のスタンバイ解除について

次の状態の場合、疑似RRM機能、DMM機能によりスタンバイ・モードが解除されません。

- MINICUBE2と対象デバイスの通信インタフェースがCSIF0, CSIF3の場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTC0の場合に、メイン・クロックが停止していない場合

(5) 特定シーケンスを必要とする周辺I/OレジスタへのDMM機能による書き換えについて

特定シーケンスを必要とする周辺I/Oレジスタは、DMM機能により書き換えることができません。

(6) フラッシュ・セルフ・プログラミングについて

デバッグ用モニタ・プログラムが配置された空間を、フラッシュ・セルフ・プログラミングで書き換えた場合、デバッガが正常に動作しなくなります。

32.3 ROMセキュリティ機能

32.3.1 セキュリティID

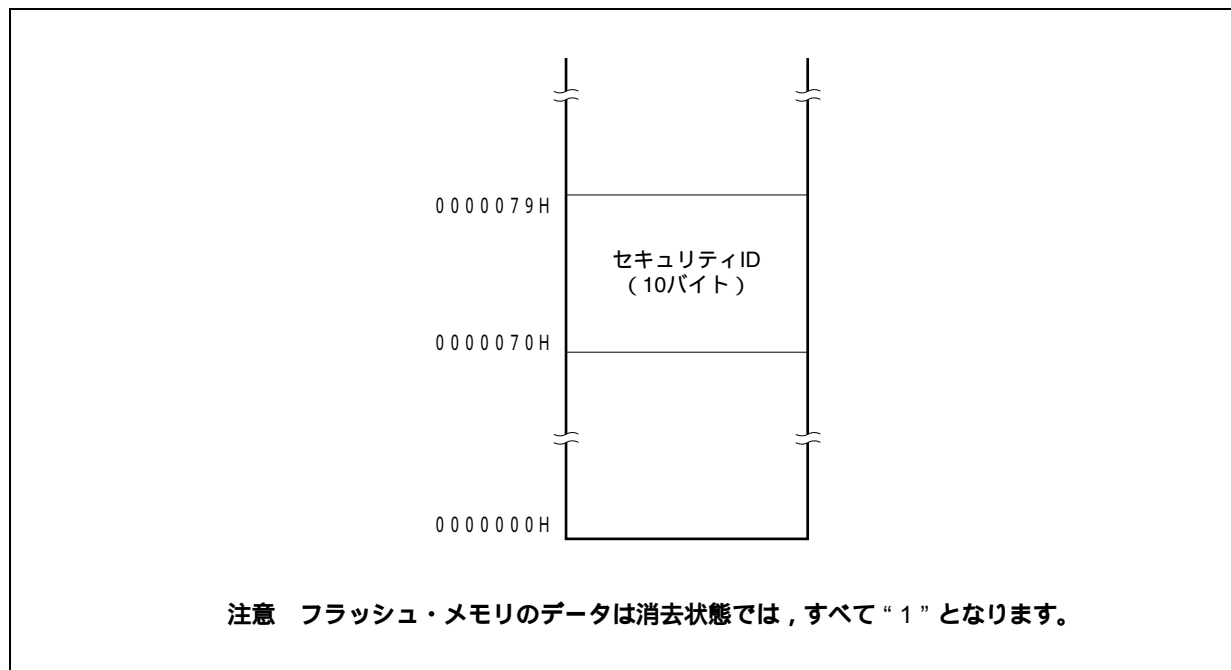
オンチップ・デバッグ・エミュレータによるオンチップ・デバッグ時、フラッシュ・メモリの内容を第三者に読み出されることを防ぐために、10バイトのIDコードによる認証を行います。

IDコードは、あらかじめ内蔵フラッシュ・メモリ領域の0000070H-0000079Hの10バイト分に設定し、デバッグがID認証を行います。

このID照合が一致していれば、セキュリティが解除されフラッシュ・メモリ読み出し許可、オンチップ・デバッグ・エミュレータ使用許可となります。

- ・10バイトのIDコードは、0000070H-0000079Hに設定します。
- ・0000079Hのビット7はオンチップ・デバッグ・エミュレータ使用許可フラグです。
(0: 使用禁止, 1: 使用許可)
- ・オンチップ・デバッグ・エミュレータを起動すると、デバッグがID入力を要求します。デバッグ上で入力したIDコードと、0000070H-0000079Hに埋め込んだIDコードが一致すればデバッグが起動します。
- ・IDコードが一致しても、オンチップ・デバッグ・エミュレータ使用許可フラグが“0”である場合は、デバッグを行うことはできません。

図32 - 5 セキュリティID領域



32.3.2 設定方法

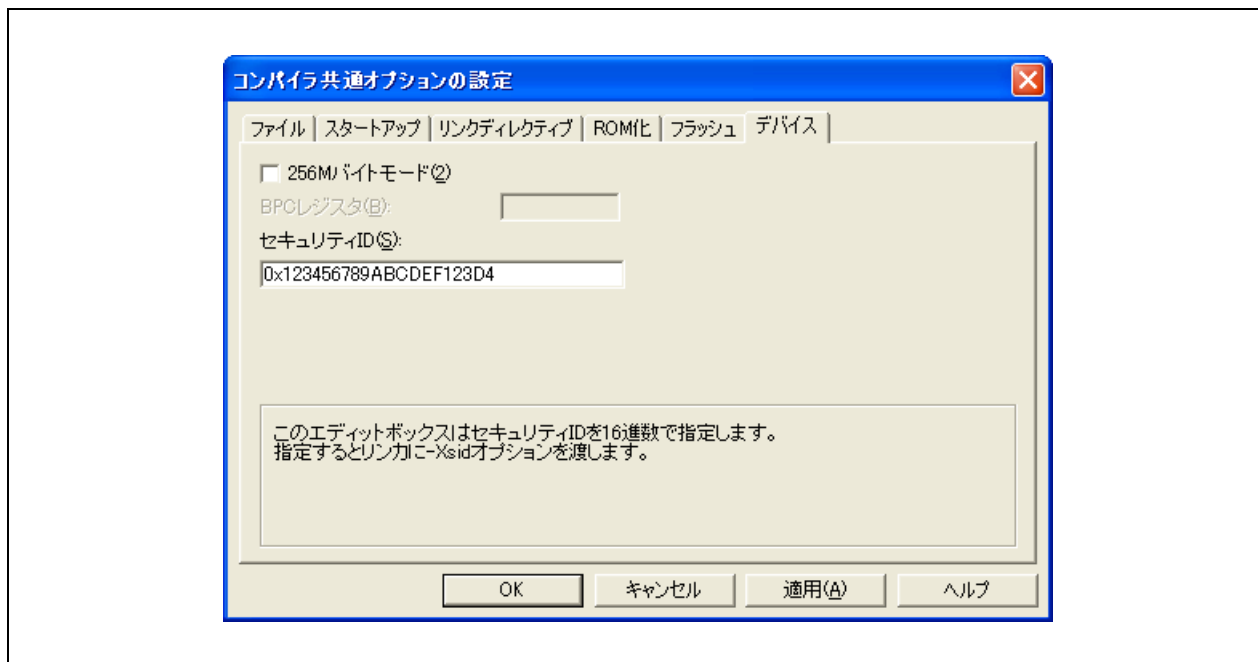
IDコードを表32 - 6のように設定する方法を次に示します。

表32 - 6のようにIDコードを設定した場合、ID850QBのコンフィギュレーション・ダイアログ上で入力するIDコードは「123456789ABCDEF123D4」となります（英数字は大文字でも小文字でも同じIDコードとして認識します）。

表32 - 6 IDコード

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4

CA850 Ver. 3.10以上とセキュリティIDに対応したデバイス・ファイルであれば、PM+のコンパイラ共通オプション設定でIDコードを指定することができます。



[プログラム例 (CA850 V3.10以上 使用時)]

```
#-----  
# SECURITYID  
#-----  
    .section    "SECURITY_ID"    -- Interrupt handler address 0x70  
    .word       0x78563412       -- 0 - 3 byte code  
    .word       0xF1DEBC9A       -- 4 - 7 byte code  
    .hword      0xD423           -- 8 - 9 byte code
```

備考 上記プログラム例はスタートアップ・ファイルに追加してください。

第33章 電気的特性

33.1 絶対最大定格

(TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD} = EV _{DD} = UV _{DD} = AV _{REF0} = AV _{REF1}	- 0.5 ~ +4.6	V
	EV _{DD}	V _{DD} = EV _{DD} = UV _{DD} = AV _{REF0} = AV _{REF1}	- 0.5 ~ +4.6	V
	UV _{DD}	V _{DD} = EV _{DD} = UV _{DD} = AV _{REF0} = AV _{REF1}	- 0.5 ~ +4.6	V
	AV _{REF0}	V _{DD} = EV _{DD} = UV _{DD} = AV _{REF0} = AV _{REF1}	- 0.5 ~ +4.6	V
	AV _{REF1}	V _{DD} = EV _{DD} = UV _{DD} = AV _{REF0} = AV _{REF1}	- 0.5 ~ +4.6	V
	V _{SS}	V _{SS} = AV _{SS}	- 0.5 ~ +0.5	V
	AV _{SS}	V _{SS} = AV _{SS}	- 0.5 ~ +0.5	V
入力電圧	V _{I1}	P60-P65, P90-P915, PCM0, PCM1, PCS0, PCS2, PCS3, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0-PDH7, RESET, FLMD0	- 0.5 ~ EV _{DD} + 0.5 ^{注1}	V
	V _{I2}	UDMF, UDPF, UDMH, UDPH	- 0.5 ~ UV _{DD} + 0.5 ^{注1}	V
	V _{I3}	P10, P11	- 0.5 ~ AV _{REF1} + 0.5 ^{注1}	V
	V _{I4}	X1, X2, XT1, XT2	- 0.5 ~ V _{RO} ^{注2} + 0.5 ^{注1}	V
	V _{I5}	P00-P05, P20-P25, P30-P37, P40-P42 P50-P56, PCM2, PCM3	- 0.5 ~ +6.0	V
アナログ入力電圧	V _{IAN}	P70-P711	- 0.5 ~ AV _{REF0} + 0.5 ^{注1}	V

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

注1. それぞれの電源電圧の絶対最大定格（MAX.値）を越えないようにしてください。

2. 内蔵レギュレータ出力電圧（2.5V（TYP.））

備考 特に指定のないかぎり兼用端子の特性は、ポート端子以外の機能として使用しても同じです。

(T_A = 25) (2/2)

項目	略号	条件	定格	単位			
ロウ・レベル出力電流	IoL	P00-P05, P20-P25, P30-P37, P40-P42, P50-P56, P60-P65, P90-P915, PCM0-PCM3, PCS0, PCS2, PCS3, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0-PDH7	1端子	4	mA		
			全端子合計	50	mA		
		UDMF, UDPF	1端子	4	mA		
			全端子合計	8	mA		
		UDMH, UDPH	1端子	4	mA		
			全端子合計	8	mA		
		P10, P11	1端子	4	mA		
			全端子合計	8	mA		
		P70-P711	1端子	4	mA		
			全端子合計	20	mA		
		ハイ・レベル出力電流	IoH	P00-P05, P20-P25, P30-P37, P40-P42, P50-P56, P60-P65, P90-P915, PCM0-PCM3, PCS0, PCS2, PCS3, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0-PDH7	1端子	- 4	mA
					全端子合計	- 50	mA
UDMF, UDPF, UDMH, UDPH	1端子			- 4	mA		
	全端子合計			- 8	mA		
P10, P11	1端子			- 4	mA		
	全端子合計			- 8	mA		
P70-P711	1端子			- 4	mA		
	全端子合計			- 20	mA		
動作周囲温度	T _A			通常動作時	- 40 ~ + 85		
				フラッシュ・メモリ・プログラミング時	- 40 ~ + 85		
保存温度	T _{stg}				- 40 ~ + 125		

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 特に指定のないかぎり兼用端子の特性は、ポート端子以外の機能として使用しても同じです。

33.2 容 量

($T_A = 25\text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入出力容量	C _{io}	f _x = 1 MHz 被測定ピン以外は0 V			10	pF

33.3 動作条件

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

内部システム・クロック周波数	条 件	電源電圧				単 位
		V _{DD}	EV _{DD}	UV _{DD}	AV _{REF0} , AV _{REF1}	
f _{xx} = 3 ~ 6MHz (クロック・スルー動作時) f _{xx} = 24 ~ 48 MHz (PLL動作時)	C = 4.7 μF, A/Dコンバータ停止, D/Aコンバータ停止 USB停止	2.85 ~ 3.6	2.85 ~ 3.6	2.85 ~ 3.6	2.85 ~ 3.6	V
	C = 4.7 μF, A/Dコンバータ動作, D/Aコンバータ動作 USB動作	3.0 ~ 3.6	3.0 ~ 3.6	3.0 ~ 3.6	3.0 ~ 3.6	V
f _{XT} = 32.768 kHz	C = 4.7 μF, 注	2.85 ~ 3.6	2.85 ~ 3.6	2.85 ~ 3.6	2.85 ~ 3.6	V

注 サブクロック動作時 (f_{XT} = 32.768 kHz) はA/Dコンバータ, D/Aコンバータ, USBコントローラは動作しません。

33.4 発振回路特性

33.4.1 メイン・クロック発振回路特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子 / 水 晶振動子		発振周波数 (f_x) ^{注1}		3		6	MHz
		発振安定時間 ^{注2}	リセット解除後		$2^{16}/f_x$		s
			STOPモード解除後		注3		ms
			IDLE2モード解除後		注3		μ s

注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。

2. 発振を開始してから発振子が安定するまでの時間です。
3. OSTSレジスタの設定によって値が異なります。

注意1. USBコントローラ使用時、USBクロックに内部クロックを使用する場合には、必ず6 MHz \pm 500 ppm以下の精度のセラミック発振子あるいは水晶振動子を使用してください。

また、UCLK端子入力による外部クロック使用時には、必ず48 MHz \pm 500 ppm以下の精度のクロックを供給してください。

USBクロックの精度が低下すると、送受信データがUSB規格を満足できなくなります。

2. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

3. メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

(1) 京セラキンセキ株式会社：水晶振動子

タイプ	回路例	品名	発振周波数 f_x (MHz)	推奨回路定数			発振電圧範囲		発振安定時間 MAX. (ms)
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)	
表面実装		CX49GFWB04000D0PPTZ1	4.000	10	10	1000	2.85	3.6	14.86
		CX49GFWB05000D0PPTZ1	5.000	10	10	1000	2.85	3.6	13.98
		CX49GFWB06000D0PPTZ1	6.000	10	10	1000	2.85	3.6	12.8

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/Jx3-Uの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

(2) 京セラ株式会社：セラミック発振子

タイプ	回路例	品名	発振周波数 f_x (MHz)	推奨回路定数			発振電圧範囲		発振安定時間 MAX. (ms)
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)	
表面実装		PBRC3.00HR10X000	3.000	30	30	1000	2.85	3.6	0.01
		PBRC4.00MR10X000	4.000	15	15	1000	2.85	3.6	0.01
		PBRC5.00MR10X000	5.000	15	15	1000	2.85	3.6	0.01
		PBRC6.00MR10X000	6.000	15	15	1000	2.85	3.6	0.01

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/Jx3-Uの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

(3) 株式会社富山村田製作所：セラミック発振子

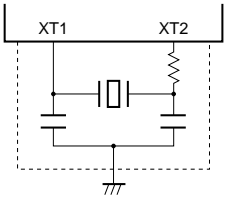
タイプ	回路例	品名	発振周波数 f_x (MHz)	推奨回路定数			発振電圧範囲		発振安定時間 MAX. (ms)
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)	
表面実装		CSTCR4M00GH5L99	4.000	(39)	(39)	1000	2.85	3.6	0.01
		CSTCR5M00GH5L99	5.000	(39)	(39)	1000	2.85	3.6	0.01
		CSTCR6M00GH5L99	6.000	(39)	(39)	680	2.85	3.6	0.01

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/Jx3-Uの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

備考 C1, C2の () 内の数値は発振子に内蔵されている容量を表しています。

33.4.2 サブクロック発振回路特性

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0 = AVREF1, VSS = AVSS = 0 V, CL = 50pF)

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (fXT) 注1		32	32.768	35	kHz
		発振安定時間注2				10	s

注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。

2. VDDが発振電圧範囲 (2.85 V (MIN.)) に達してから水晶振動子が安定するまでの時間です。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- サブクロック発振回路は、低消費電力にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。
- 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

(1) セイコーインスツル株式会社：水晶振動子

発振周波数：fXT = 32.768 kHz

タイプ	回路例	品名	推奨回路定数			発振電圧範囲		発振安定時間
			C1 (pF)	C2 (pF)	MAX. (ms)	MIN. (V)	MAX. (V)	MAX. (ms)
表面実装		SSP-T7	7	7	0	2.85	3.6	1.4

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/Jx3-Uの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

33.4.3 PLL特性

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0 = AVREF1, VSS = AVSS = 0 V, CL = 50pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f _x		3		6	MHz
出力周波数	f _{xx}	クロック・スルー・モード	3		6	MHz
		PLLモード(8逡倍)	24		48	MHz
ロック時間	t _{PLL}				800	μs

33.4.4 内蔵発振器特性

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0 = AVREF1, VSS = AVSS = 0 V, CL = 50pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数	f _R		100	220	400	kHz

33.5 DC特性

33.5.1 入出力レベル

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0 = AVREF1, VSS = AVSS = 0 V, CL = 50pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	VIH1	RESET, FLMD0, P60-P65 P90-P915	0.8 EVDD		EVDD	V
	VIH2	P00-P05, P20-P25, P30-P35, P42 P50-P56	0.8 EVDD		5.5	V
	VIH3	P36, P37, P40, P41, PCM2, PCM3	0.7 EVDD		5.5	V
	VIH4	PDL0-PDL15, PDH0-PDH7, PCM0 PCM1, PCS0, PCS2, PCS3, PCT0, PCT1, PCT4, PCT6	0.7 EVDD		EVDD	V
	VIH5	UDPF, UDMF, UDPH, UDMH	2.0		UVDD	V
	VIH6	P70-P711	0.7 AVREF0		AVREF0	V
	VIH7	P10, P11	0.7 AVREF1		AVREF1	V
ロウ・レベル入力電圧	VIL1	RESET, FLMD0, P60-P65 P90-P915	VSS		0.2 EVDD	V
	VIL2	P00-P05, P20-P25, P30-P35, P42 P50-P56	VSS		0.2 EVDD	V
	VIL3	P36, P37, P40, P41, PCM2, PCM3	VSS		0.3 EVDD	V
	VIL4	PDL0-PDL15, PDH0-PDH7, PCM0 PCM1, PCS0, PCS2, PCS3, PCT0, PCT1, PCT4, PCT6	VSS		0.3 EVDD	V
	VIL5	UDPF, UDMF, UDPH, UDMH	VSS		0.8	V
	VIL6	P70-P711	AVSS		0.3 AVREF0	V
	VIL7	P10, P11	AVSS		0.3 AVREF1	V
ハイ・レベル入力リーク電流	ILIH	VI = VDD = EVDD = UVDD = AVREF0 = AVREF1			5	μA
ロウ・レベル入力リーク電流	ILIL	VI = 0 V			- 5	μA
ハイ・レベル出力リーク電流	ILOH	VO = VDD = EVDD = UVDD = AVREF0 = AVREF1			5	μA
ロウ・レベル出力リーク電流	ILOL	VO = 0 V			- 5	μA

備考 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	V _{OH1}	注1	1端子 I _{OH} = - 1.0 mA	EV _{DD} - 1.0		EV _{DD}	V
			1端子 I _{OH} = - 100 μ A	EV _{DD} - 0.5		EV _{DD}	V
	V _{OH2}	P70-P711	1端子 I _{OH} = - 0.4 mA	AV _{REF0} - 1.0		AV _{REF0}	V
			1端子 I _{OH} = - 100 μ A	AV _{REF0} - 0.5		AV _{REF0}	V
	V _{OH3}	P10, P11	1端子 I _{OH} = - 0.4 mA	AV _{REF1} - 1.0		AV _{REF1}	V
			1端子 I _{OH} = - 100 μ A	AV _{REF1} - 0.5		AV _{REF1}	V
	V _{OH4}	UDPF, UDMF, UDPH, UDMH	R _L = 15 k Ω プルアップ	2.8			V
	ロウ・レベル出力電圧	V _{OL1}	注2	1端子 I _{OL} = 1.0 mA	0		0.4
V _{OL2}		P36, P37, P40, P41, P90, P91	1端子 I _{OL} = 3.0 mA	0		0.4	V
V _{OL3}		P70-P711	1端子 I _{OL} = 1.0 mA	0		0.4	V
V _{OL4}		P10, P11	1端子 I _{OL} = 0.4 mA	0		0.4	V
V _{OL5}		UDPF, UDMF, UDPH, UDMH	R _L = 1.5 k Ω プルダウン	0		0.3	V
ソフトウェア・プルダ ウン抵抗	R ₁	P56	V _I = V _{DD}	10	30	100	k Ω

- 注1. P00-P05, P20-P25, P30-P37, P40-P42, P50-P56, P60-P65, P90-P915, PCM0-PCM3, PCS0, PCS2, PCS3
PCT0, PCT1, PCT4, PCT6, PDH0-PDH7, PDL0-PDL15
2. P00-P05, P20-P25, P30-P35, P42, P50-P56, P60-P65, P92-P915, PCM0-PCM3, PCS0, PCS2, PCS3
PCT0, PCT1, PCT4, PCT6, PDH0-PDH7, PDL0-PDL15

備考1. 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

2. I_{OH}, I_{OL}の条件を1端子のみ満たさず合計値は条件を満たしている場合、DC特性も満たさなくなるのは、その端子のみです。

33.5.2 電源電流

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0 = AVREF1, VSS = AVSS = 0 V, CL = 50pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
電源電流 ^{注1,2}	IDD1	通常動作	f _{XX} = 48 MHz (f _X = 6 MHz) 周辺機能動作			120	mA	
			f _{XX} = 48 MHz (f _X = 6 MHz) USBF動作		54		mA	
	IDD2	HALTモード	f _{XX} = 48 MHz (f _X = 6 MHz) 周辺機能動作		42	60	mA	
	IDD3	IDLE1モード	f _{XX} = 48 MHz (f _X = 6 MHz) , PLL オン時		4	7	mA	
	IDD4	IDLE2モード	f _{XX} = 6 MHz (f _X = 6 MHz) , PLL オフ時		0.5	1	mA	
	IDD5	サブクロック 動作モード	f _{XT} = 32.768 kHz , メイン・クロック , 内蔵発振器停止		120	600	μA	
	IDD6	サブIDLEモード	f _{XT} = 32.768 kHz , メイン・クロック , 内蔵発振器停止	-40 T _A 25		13	25	μA
				25 < T _A 85			95	μA
	IDD7	STOPモード	サブクロック停止 , 内蔵発振器停止	-40 T _A 25		10	20	μA
				25 < T _A 85			90	μA
サブクロック動作 , 内蔵発振器停止			-40 T _A 25		13	25	μA	
			25 < T _A 85			95	μA	
IDD8	フラッシュ・メモ リ・プログラ ミング・モード	f _{XX} = 48 MHz (f _X = 6 MHz)		65	130	mA		

注1. V_{DD}, EV_{DD}, UV_{DD}電流の合計です。出力バッファ, A/Dコンバータ, D/Aコンバータ, 内蔵プルダウン抵抗で流れる電流は含みません。

2. TYP. 値のV_{DD}は3.3Vです。

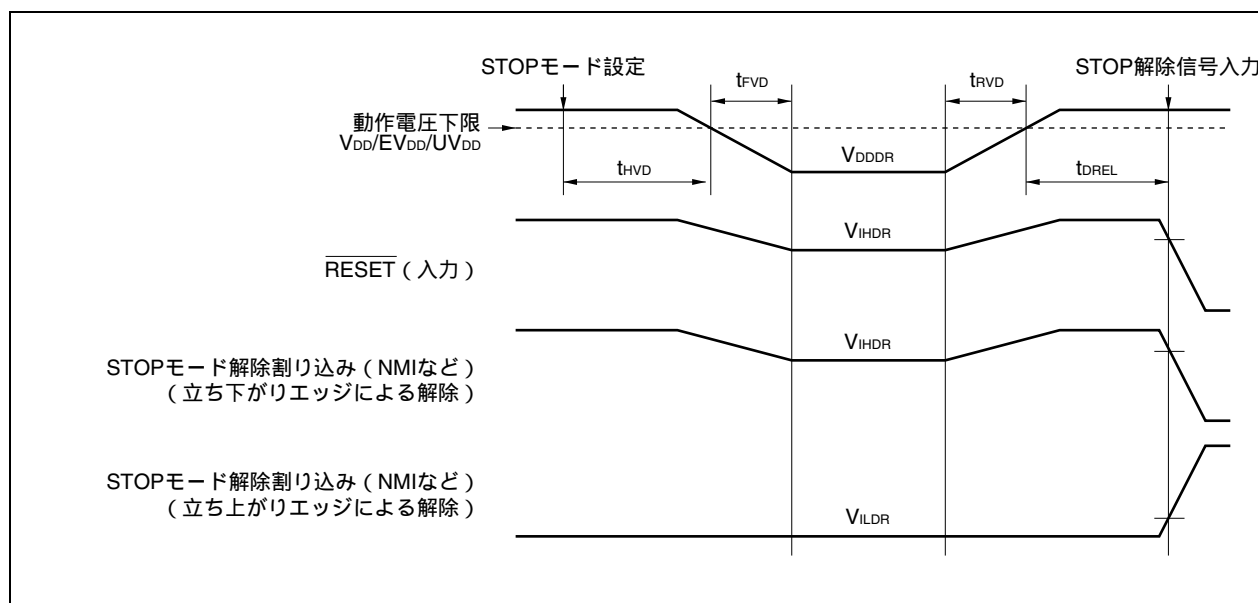
33.6 データ保持特性

(1) STOPモード時

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

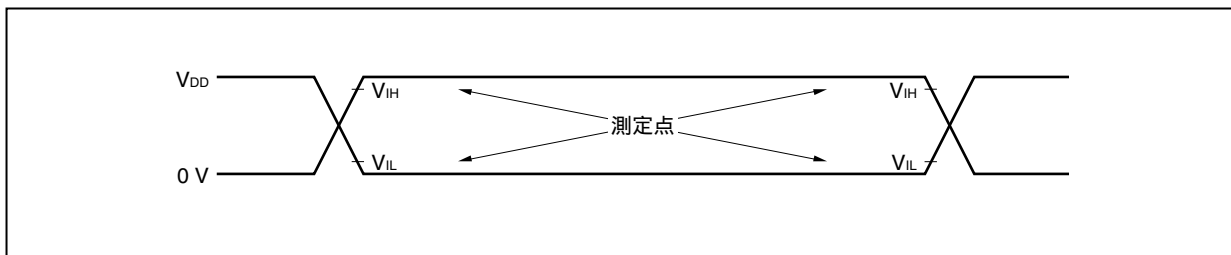
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード (全機能停止)	1.9		3.6	V
データ保持電流	I_{DDDR}	STOPモード (全機能停止) , $V_{DDDR} = 2.0$ V		10	90	μ A
電源電圧立ち上がり時間	t_{RVD}		200			μ s
電源電圧立ち下がり時間	t_{FVD}		200			μ s
電源電圧保持時間	t_{HVD}	STOPモード設定後	0			ms
STOP解除信号入力時間	t_{DREL}	V_{DD} が2.85 V (MIN.) に達したあと	0			ms
データ保持ハイ・レベル入力電圧	V_{IHDR}	$V_{DD} = EV_{DD} = UV_{DD} = V_{DDDR}$	$0.9V_{DDDR}$		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	$V_{DD} = EV_{DD} = UV_{DD} = V_{DDDR}$	0		$0.1V_{DDDR}$	V

注意 STOPモードへの移行, およびSTOPモードからの復帰は, 動作範囲内で行ってください。

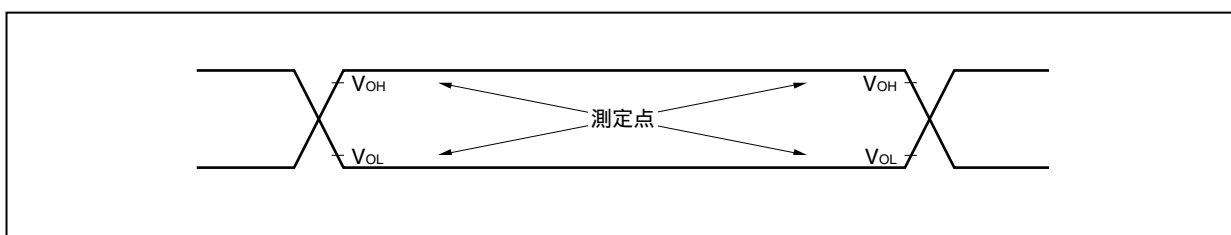


33.7 AC特性

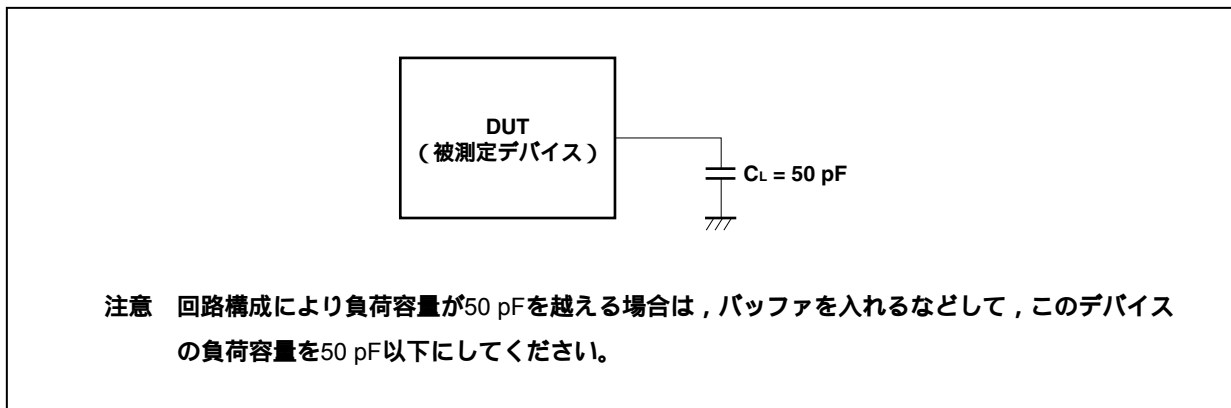
(1) ACテスト入力測定点 (V_{DD}, AVREF0, AVREF1, EVDD)



(2) ACテスト出力測定点



(3) 負荷条件

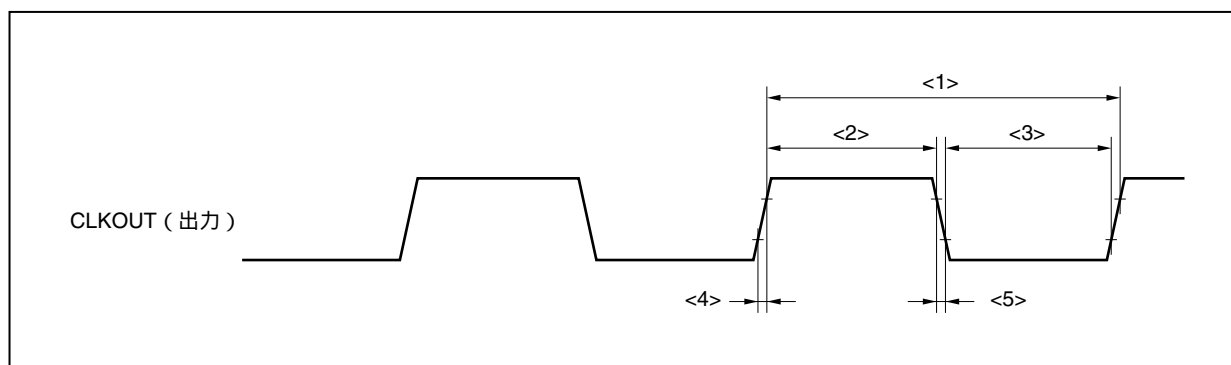


33.7.1 CLKOUT出力タイミング

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK}	<1>	20.83 ns	31.25 μ s	
ハイ・レベル幅	t_{WKH}	<2>	$t_{CYK}/2 - 6$		ns
ロウ・レベル幅	t_{WKL}	<3>	$t_{CYK}/2 - 6$		ns
立ち上がり時間	t_{KR}	<4>		6	ns
立ち下がり時間	t_{KF}	<5>		6	ns

クロック・タイミング



33.7.2 バス・タイミング

(1) マルチプレクス・バス/セパレート・バス・モード時

(a) リード/ライト・サイクル (CLKOUT非同期)

(TA = -40 ~ +85, VDD = EVDD = UVDD = AVREF0 = AVREF1, VSS = AVSS = 0 V, CL = 50pF)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対ASTB)	tDAST	<6>	$(0.5 + t_{ASw}) T - 9$		ns
アドレス保持時間 (対ASTB)	tHSTA	<7>	$(0.5 + t_{AHw}) T - 8$		ns
\overline{RD} アドレス・フロート遅延時間	tFRDA	<8>		5	ns
アドレス データ入力設定時間	tDAID	<9>		$(2 + n + t_{ASw} + t_{AHw}) T - 25$	ns
\overline{RD} データ入力設定時間	tDRDID2	<10>		$(1 + n) T - 15$	ns
ASTB \overline{RD} 遅延時間	tDSTRD	<11>	$(0.5 + t_{AHw}) T - 4$		ns
ASTB \overline{WRm} 遅延時間	tDSTWR				
データ入力保持時間 (対 \overline{RD})	tHRDID	<12>	0		ns
\overline{RD} データ出力遅延時間	tDRDOD	<13>	$(1 + i) T - 3$		ns
\overline{RD} ASTB 遅延時間	tDRDST	<14>	0.5T - 5		ns
\overline{WRm} ASTB 遅延時間	tDWRST				
\overline{RD} ASTB 遅延時間	tDRDST	<15>	$(1.5 + i + t_{ASw}) T - 4$		ns
\overline{RD} ロウ・レベル幅	tWRDL	<16>	$(1 + n) T - 10$		ns
\overline{WRm} ロウ・レベル幅	tWRRL				
ASTBハイ・レベル幅	tWSTH	<17>	$(1 + i + t_{ASw}) T - 10$		ns
\overline{WRm} データ出力遅延時間	tDWRDOD	<18>		9	ns
データ出力遅延時間 (対 \overline{WRm})	tDODWR	<19>	$(1 + n) T - 11$		ns
データ出力保持時間 (対 \overline{WRm})	tHWROD	<20>	T - 3		ns
WAIT設定時間 (対アドレス)	tSAWT1	<21>	n 1	$(1.5 + t_{ASw} + t_{AHw}) T - 25$	ns
	tSAWT2	<22>		$(1.5 + n + t_{ASw} + t_{AHw}) T - 25$	ns
WAIT保持時間 (対アドレス)	tHAWT1	<23>	n 1	$(0.5 + n + t_{ASw} + t_{AHw}) T$	ns
	tHAWT2	<24>		$(1.5 + n + t_{ASw} + t_{AHw}) T$	ns
WAIT設定時間 (対ASTB)	tSSTWT1	<25>	n 1	$(1 + t_{AHw}) T - 15$	ns
	tSSTWT2	<26>		$(1 + n + t_{AHw}) T - 15$	ns
WAIT保持時間 (対ASTB)	tHSTWT1	<27>	n 1	$(n + t_{AHw}) T$	ns
	tHSTWT2	<28>		$(1 + n + t_{AHw}) T$	ns
\overline{RD} アドレス保持時間	tHRDA2	<29>	$(1 + i) T - 5$		ns
\overline{WRm} アドレス保持時間	tHWRA2	<30>	T - 5		ns
\overline{RD} \overline{CSn} 保持時間	tHRDC2	<31>	i 1	T - 5	ns
\overline{WRm} \overline{CSn} 保持時間	tHWRC2	<32>		T - 5	ns

備考1. tASW : アドレス・セットアップ・ウエイト・クロック数

tAHW : アドレス・ホールド・ウエイト・クロック数

2. T = 1/fCPU (fCPU : CPU動作クロック周波数)

3. n : バス・サイクルに挿入されるウエイト・クロック数

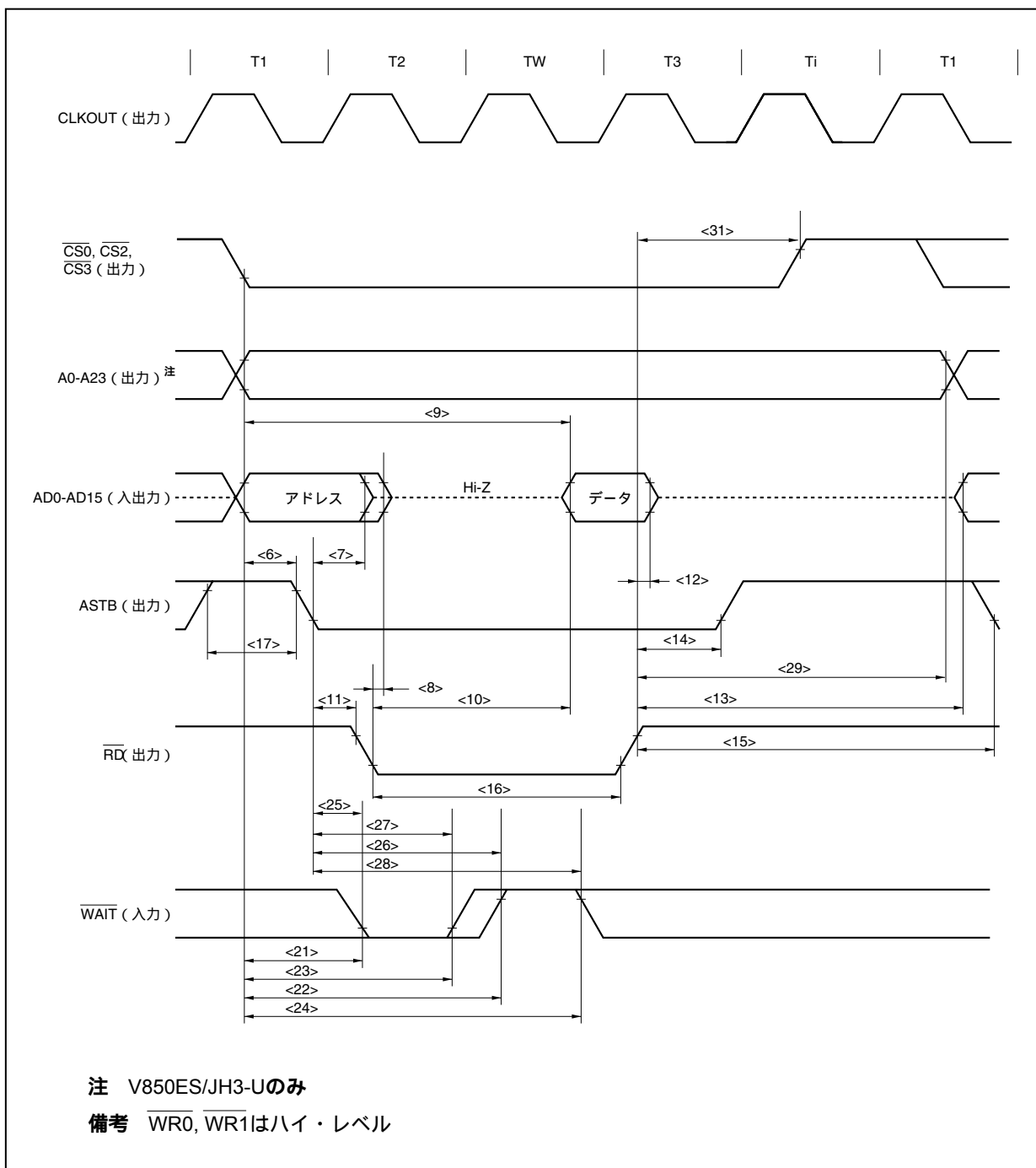
プログラマブル・ウエイト挿入時は、サンプル・タイミングが変わります。

4. m = 0, 1

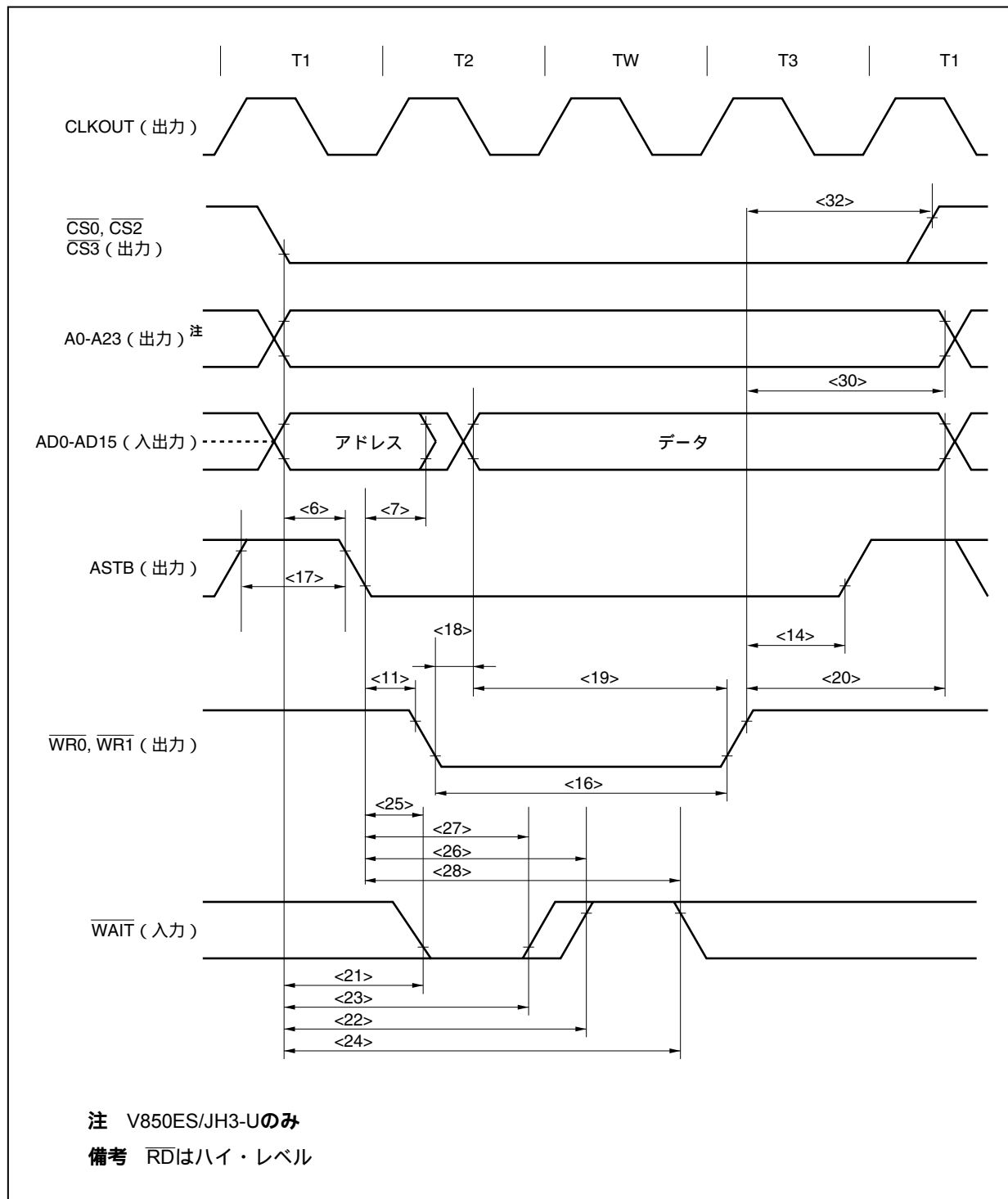
5. i : リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

6. 上記スペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT非同期) : マルチプレクス・バス/セパレート・バス・モード時



ライト・サイクル (CLKOUT非同期) : マルチプレクス・バス/セパレート・バス・モード時



(b) リード/ライト・サイクル (CLKOUT同期) : マルチプレクス・バス/セパレート・バス・モード時

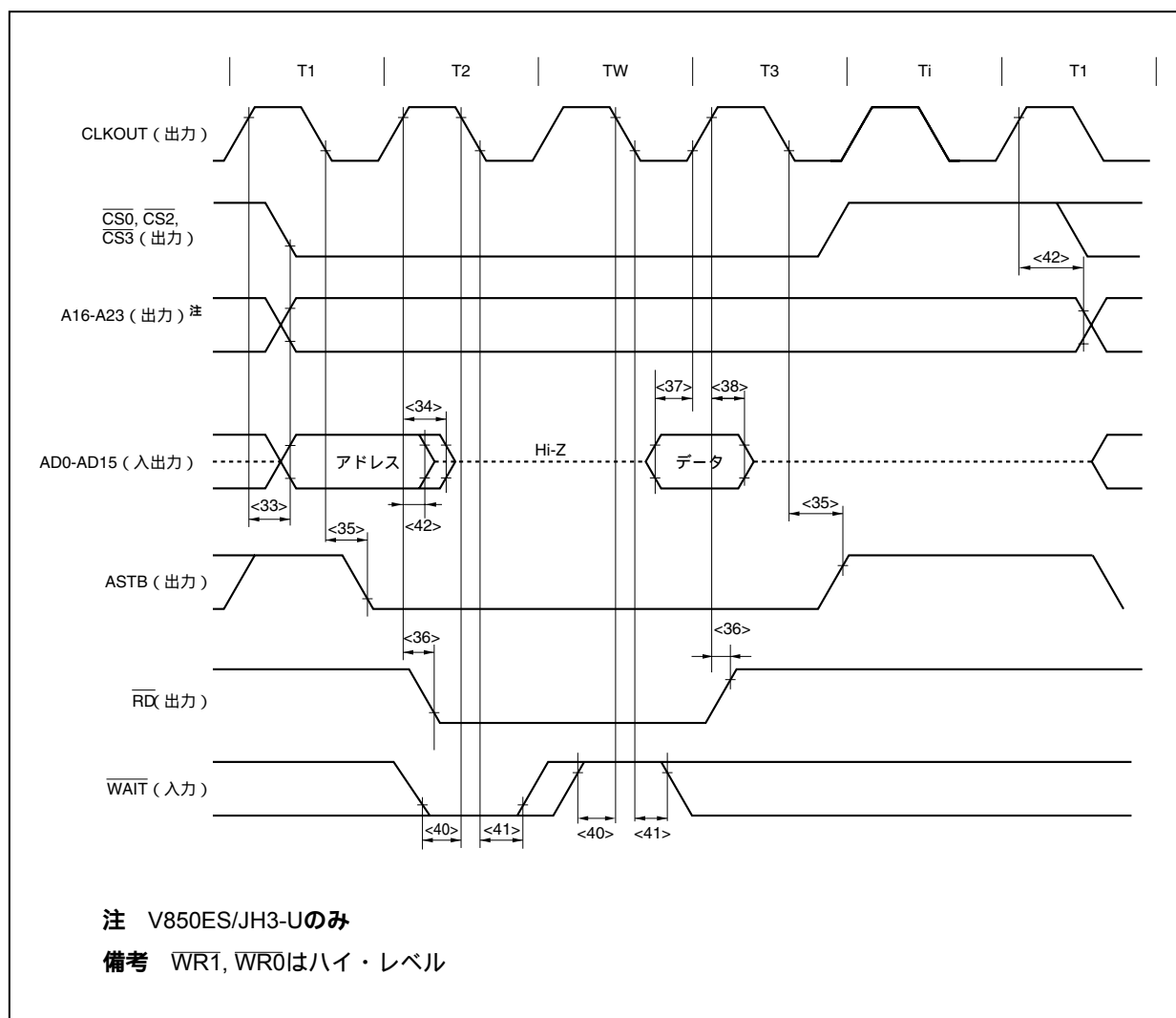
($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t _{DKA}	<33>	0	17	ns
CLKOUT アドレス・フロート遅延時間	t _{FKA}	<34>	0	15	ns
CLKOUT ASTB遅延時間	t _{DKST}	<35>	0	12	ns
CLKOUT \overline{RD} , WR_m 遅延時間	t _{DKRDWR}	<36>	0	12	ns
データ入力設定時間 (対CLKOUT)	t _{SIDK}	<37>	16		ns
データ入力保持時間 (対CLKOUT)	t _{HKID}	<38>	0		ns
CLKOUT データ出力遅延時間	t _{DKOD}	<39>		17	ns
WAIT設定時間 (対CLKOUT)	t _{SWTK}	<40>	16		ns
WAIT保持時間 (対CLKOUT)	t _{HKWT}	<41>	0		ns
CLKOUT アドレス保持時間	t _{HKA2}	<42>	0		ns
CLKOUT データ出力保持時間	t _{HKOD2}	<43>	0		ns

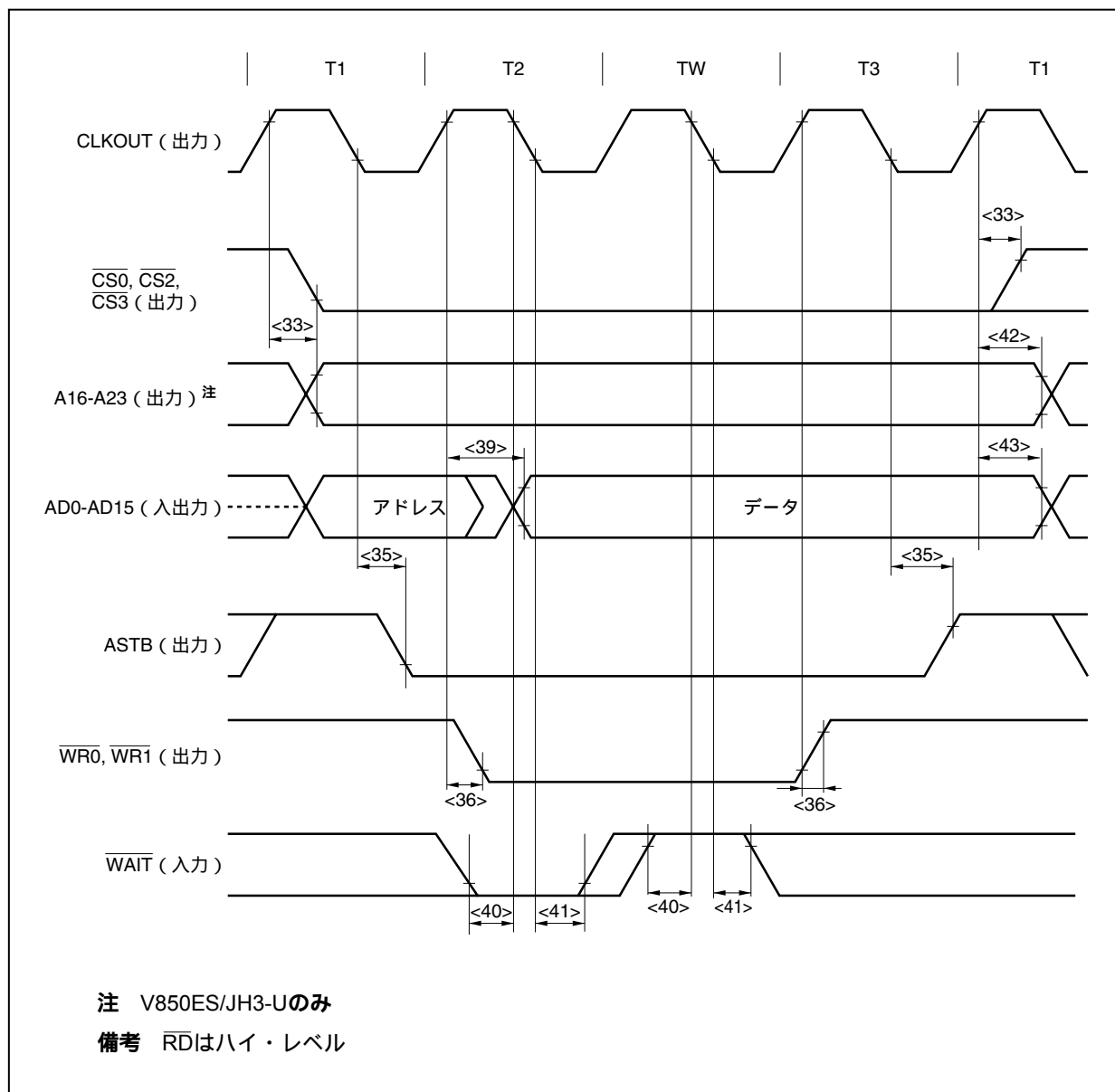
備考1. m = 0, 1

2. 上記スペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT同期) : マルチプレクス・バス/セパレート・バス・モード時



ライト・サイクル (CLKOUT同期) : マルチプレクス・バス/セパレート・バス・モード時



(2) バス・ホールド時 (V850ES/JH3-Uのみ)

(a) CLKOUT非同期

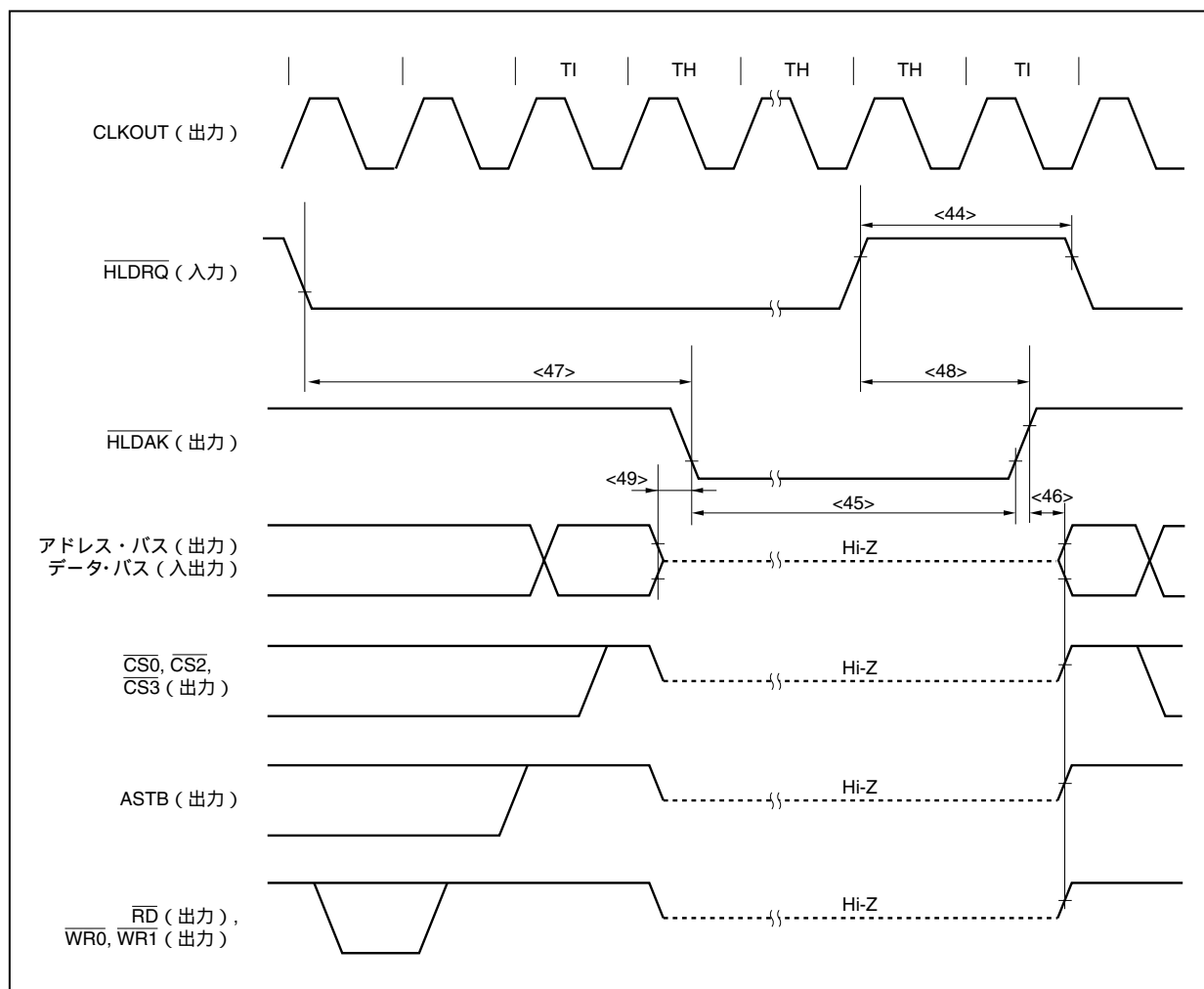
(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0 = AVREF1, VSS = AVSS = 0 V, CL = 50pF)

項目	略号	条件	MIN.	MAX.	単位
HLD $\overline{\text{RQ}}$ ハイ・レベル幅	t _{WHQH}	<44>	T + 16		ns
HLD $\overline{\text{AK}}$ ロウ・レベル幅	t _{WHAL}	<45>	T - 10		ns
HLD $\overline{\text{AK}}$ バス出力遅延時間	t _{DHAC}	<46>	- 7		ns
HLD $\overline{\text{RQ}}$ HLD $\overline{\text{AK}}$ 遅延時間	t _{DHQHA1}	<47>	2.5T		ns
HLD $\overline{\text{RQ}}$ HLD $\overline{\text{AK}}$ 遅延時間	t _{DHQHA2}	<48>	0.5T + 17	1.5T + 31	ns
バス・フロート HLD $\overline{\text{AK}}$ 遅延時間	t _{DFHA}	<49>	0		ns

備考1. T = 1/f_{CPU} (f_{CPU} : CPU動作クロック周波数)

2. n : バス・サイクルに挿入されるウェイト・クロック数
プログラマブル・ウェイト挿入時は、サンプル・タイミングが変わります。
3. 上記のスペックは、X1からデューティ比1 : 1のクロックを入力した場合の値です。

バス・ホールド (CLKOUT非同期)



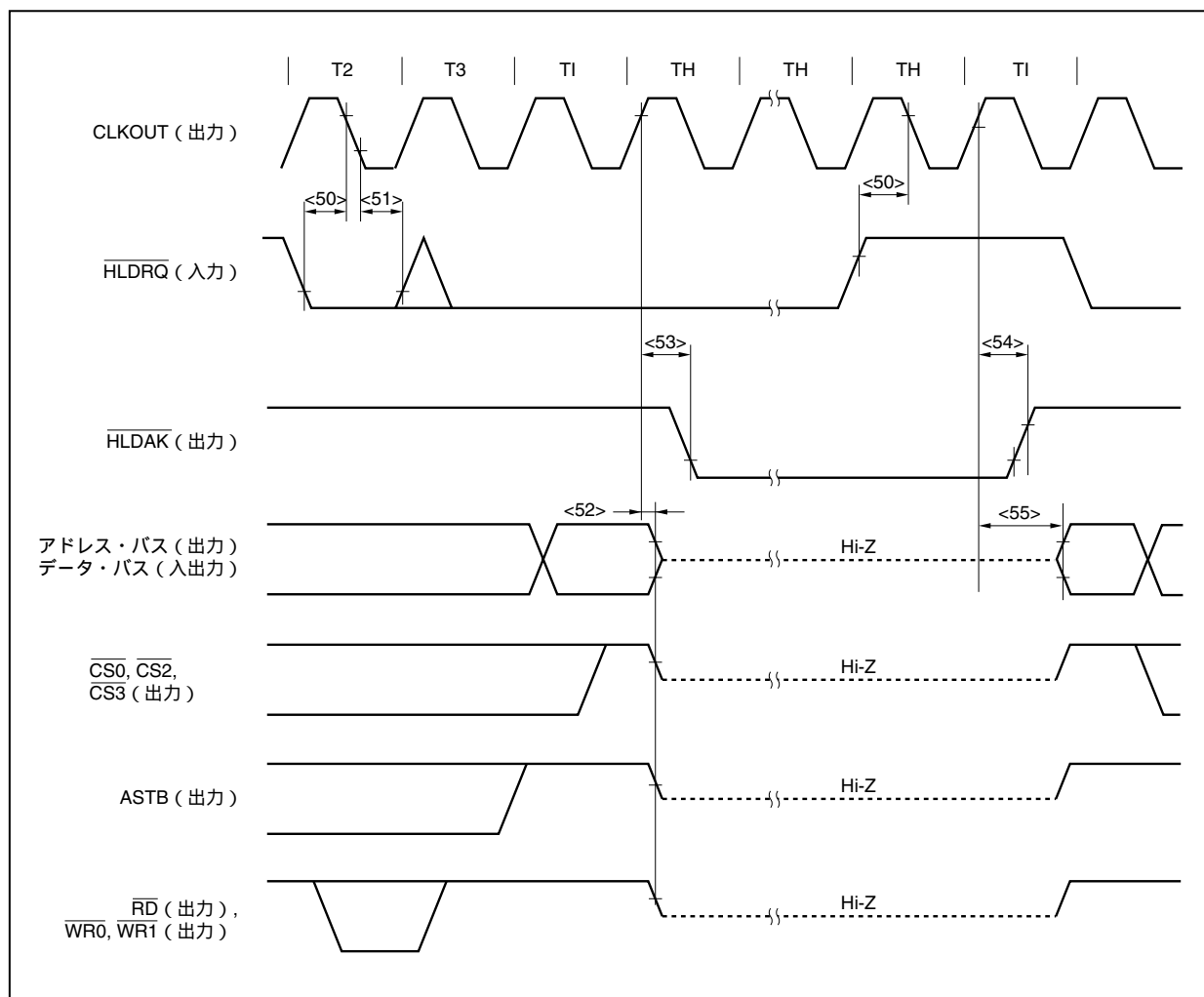
(b) CLKOUT同期

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
HLD \overline{RQ} 設定時間 (対CLKOUT)	t_{SHQK}	<50>	16		ns
HLD \overline{RQ} 保持時間 (対CLKOUT)	t_{HKHQ}	<51>	0		ns
CLKOUT バス・フロート遅延時間	t_{DKF}	<52>		15	ns
CLKOUT $\overline{H}LDAK$ 遅延時間	t_{DKHA1}	<53>	1	15	ns
CLKOUT $\overline{H}LDAK$ 遅延時間	t_{DKHA2}	<54>	1	15	ns
CLKOUT データ出力遅延時間	t_{DKBO}	<55>	1	17	ns

備考 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

バス・ホールド (CLKOUT同期)



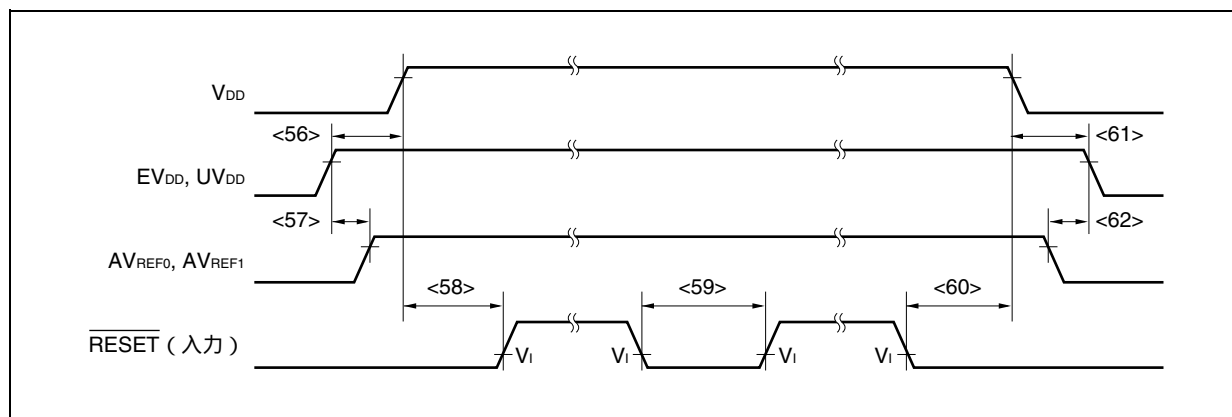
33.8 基本動作

(1) パワー・オン/パワー・オフ/リセット・タイミング

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
EV_{DD}, UV_{DD} V_{DD}	t_{REL} <56>		0		ns
EV_{DD}, UV_{DD} AV_{REF0}, AV_{REF1}	t_{REA} <57>		0	t_{REL}	ns
V_{DD} \overline{RESET}	t_{RER} <58>		$500 + t_{REG}$ 注		ns
RESET口ウ・レベル幅	t_{WRS} <59>	アナログ・ノイズ除去 (フラッシュ 消去 / 書き込み間)	500		ns
		アナログ・ノイズ除去	500		ns
\overline{RESET} V_{DD}	t_{FRE} <60>		500		ns
V_{DD} EV_{DD}, UV_{DD}	t_{FEL} <61>		0		ns
AV_{REF0}, AV_{REF1} EV_{DD}, UV_{DD}	t_{FEA} <62>		0	t_{FEL}	ns

注 内蔵レギュレータの特性に依存します。



(2) リセット, 割り込み, FLMD0端子タイミング

(TA = -40 ~ +85, VDD = EVDD = UVDD = AVREF0 = AVREF1, VSS = AVSS = 0 V, CL = 50pF)

項目	略号	条件	MIN.	MAX.	単位
RESET入力ロウ・レベル幅	tWRSL		500		ns
NMIハイ・レベル幅	tWNIH	アナログ・ノイズ除去	500		ns
NMIロウ・レベル幅	tWNIL	アナログ・ノイズ除去	500		ns
INTPnハイ・レベル幅	tWITH	n = 0-18 (アナログ・ノイズ除去)	500		ns
		n = 2 (デジタル・ノイズ除去)	3T _{SMP} + 20		ns
INTPnロウ・レベル幅	tWITL	n = 0-18 (アナログ・ノイズ除去)	500		ns
		n = 2 (デジタル・ノイズ除去)	3T _{SMP} + 20		ns

備考 T_{SMP}: ノイズ除去制御レジスタ (INTNFC) で設定。fxx/64, fxx/128, fxx/256, fxx/512, fxx/1024から選択可能。

(TA = -40 ~ +85, VDD = EVDD = UVDD = AVREF0 = AVREF1, VSS = AVSS = 0 V, CL = 50pF)

項目	略号	条件	MIN.	MAX.	単位
KRnハイ・レベル幅	tWKRH	アナログ・ノイズ除去	500		ns
KRnロウ・レベル幅	tWKRL	アナログ・ノイズ除去	500		ns

備考 n = 0-7

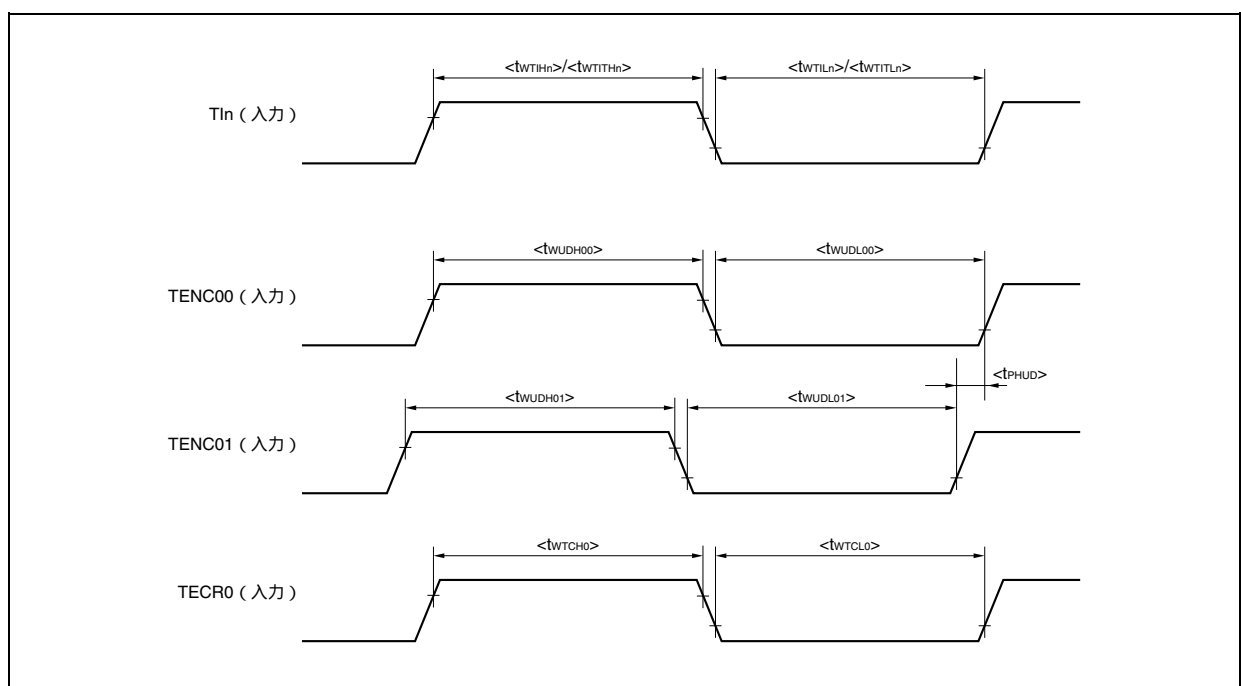
(3) タイマ・タイミング

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0 = AVREF1, VSS = AVSS = 0 V, CL = 50pF)

項目	略号	条件	MIN.	MAX.	単位
TIハイ・レベル幅	t _{TIH}	TAB00-TAB03, TAB10-TAB13, EVTAB1, TRGAB1	12T + 20		ns
		TIAA00, TIAA01, TIAA10, TIAA11, TIAA20, TIAA21, TIAA30, TIAA31, TIAA50, TIAA51,	3T _{SMP1} + 20		ns
TIロウ・レベル幅	t _{TIL}	TAB00-TAB03, TAB10-TAB13, EVTAB1, TRGAB1	12T + 20		ns
		TIAA00, TIAA01, TIAA10, TIAA11, TIAA20, TIAA21, TIAA30, TIAA31, TIAA50, TIAA51,	3T _{SMP1} + 20		ns
TENCnハイ・レベル幅	t _{WENCHn}	n = 0, 1	3T _{SMP2} + 20		ns
TENCnロウ・レベル幅	t _{WENCLn}	n = 0, 1	3T _{SMP2} + 20		ns
TECR0ハイ・レベル幅	t _{WCRH0}		3T _{SMP2} + 20		ns
TECR0ロウ・レベル幅	t _{WCRL0}		3T _{SMP2} + 20		ns
TITnハイ・レベル幅	t _{WTITHn}	n = 0, 1	3T _{SMP2} + 20		ns
TITnロウ・レベル幅	t _{WTITLn}	n = 0, 1	3T _{SMP2} + 20		ns
EVTT0ハイ・レベル幅	t _{WTITH0}		3T _{SMP2} + 20		ns
EVTT0ロウ・レベル幅	t _{WTITL0}		3T _{SMP2} + 20		ns
TENCn入力時間差	t _{PHUD}	n = 0, 1	3T _{SMP2} + 20		ns

備考1. T = 1/f_{xx}

- T_{SMP1} : ノイズ除去制御レジスタ (TANFC) で設定。f_{xx}, f_{xx}/4から選択可能。
- T_{SMP2} : ノイズ除去制御レジスタ (TTNFC) で設定。f_{xx}/4, f_{xx}/8, f_{xx}/16, f_{xx}/32, f_{xx}/64から選択可能。
- 上記のスペックは、有効エッジとして確実に検出されるパルス幅を示しているため、上記のスペックより小さいパルス幅を入力しても有効エッジとして検出される可能性があります。



(4) UARTC タイミング

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項 目	略 号	条 件	MIN.	MAX.	単 位
送信レート				3.0	Mbps
ASCK0 サイクル・タイム				10	MHz

(5) CSIFタイミング

(a) マスタ・モード

【CSI0-CSIF2, CSIF4 使用時】

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0 = AVREF1, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKFnサイクル・タイム	t _{KCY1}	<63>	125		ns
SCKFnハイ・レベル幅	t _{KH1}	<64>	t _{KCY1} /2 - 8		ns
SCKFnロウ・レベル幅	t _{KL1}		t _{KCY1} /2 - 8		ns
SIFnセットアップ時間 (対SCKFn)	t _{SIK1}	<65>	27		ns
SIFnセットアップ時間 (対SCKFn)			27		ns
SIFnホールド時間 (対SCKFn)	t _{SI1}	<66>	27		ns
SIFnホールド時間 (対SCKFn)			27		ns
SOFn出力遅延時間 (対SCKFn)	t _{KSO1}	<67>		27	ns
SOFn出力遅延時間 (対SCKFn)				27	ns
SOFn出力保持時間 (対SCKFn)	t _{HSO1}	<68>	t _{KCY1} /2 - 10		ns
SOFn出力保持時間 (対SCKFn)			t _{KCY1} /2 - 10		ns

備考 n = 0-2, 4

【CSI3 使用時】

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0 = AVREF1, VSS = AVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKF3サイクル・タイム	t _{KCYM}	<63>	83.3		ns
SCKF3ハイ・レベル幅	t _{KHM}	<64>	t _{KCYM} /2 - 8		ns
SCKF3ロウ・レベル幅			t _{KCYM} /2 - 8		ns
SIF3セットアップ時間 (対SCKF3)	t _{SIKM}	<65>	16		ns
SIF3セットアップ時間 (対SCKF3)			16		ns
SIF3ホールド時間 (対SCKF3)	t _{SIM}	<66>	16		ns
SIF3ホールド時間 (対SCKF3)			16		ns
SOF3出力遅延時間 (対SCKF3)	t _{KSOM}	<67>		16	ns
SOF3出力遅延時間 (対SCKF3)				16	ns
SOF3出力保持時間 (対SCKF3)	t _{HSOM}	<68>	t _{KCYM} /2 - 10		ns
SOF3出力保持時間 (対SCKF3)			t _{KCYM} /2 - 10		ns

(b) スレーブ・モード

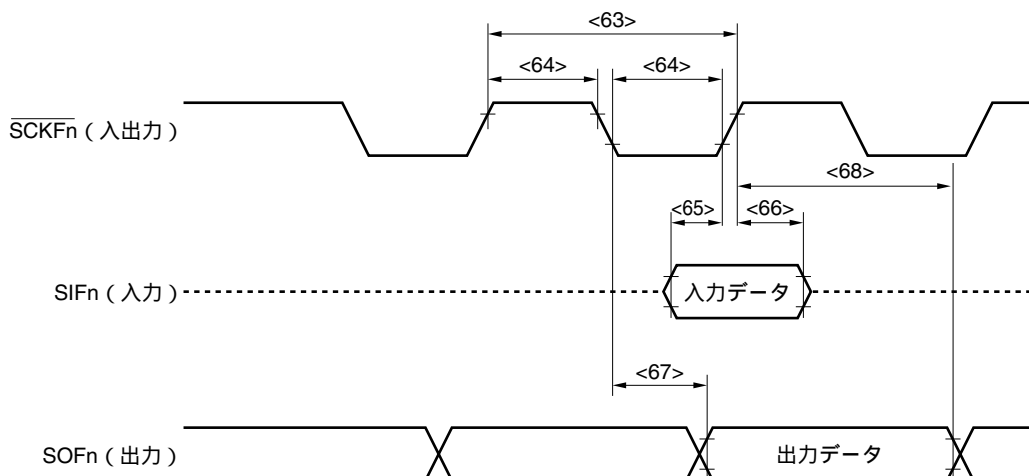
【CSI0-CSIF4 使用時】

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0 = AVREF1, VSS = AVSS = 0 V, CL = 50 pF)

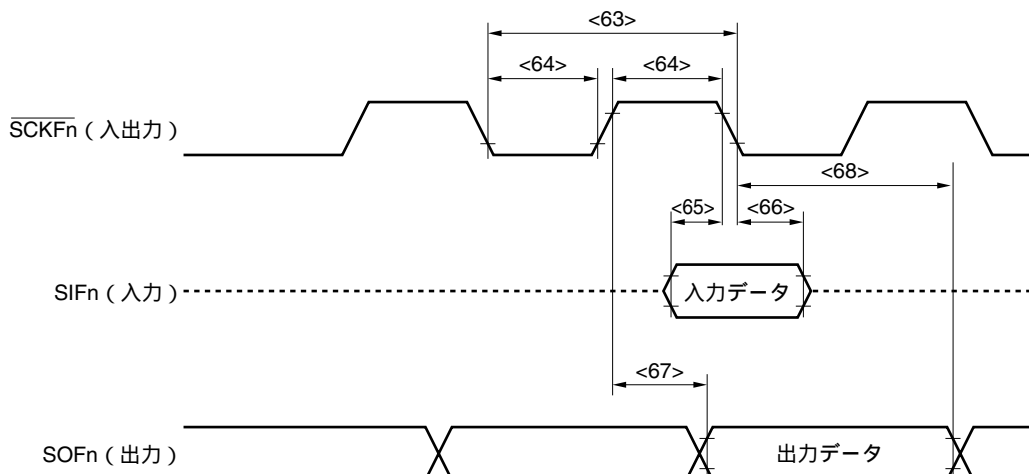
項目	略号	条件	MIN.	MAX.	単位
SCKFnサイクル・タイム	t _{KCY2}	<63>	125		ns
SCKFnハイ・レベル幅	t _{KH2}	<64>	t _{KCYn} /2 - 8		ns
SCKFnロウ・レベル幅	t _{KL2}		t _{KCYn} /2 - 8		ns
SIFnセットアップ時間 (対SCKFn)	t _{SIK2}	<65>	27		ns
SIFnセットアップ時間 (対SCKFn)			27		ns
SIFnホールド時間 (対SCKFn)	t _{SI2}	<66>	27		ns
SIFnホールド時間 (対SCKFn)			27		ns
SOFn出力遅延時間 (対SCKFn)	t _{KSO2}	<67>		27	ns
SOFn出力遅延時間 (対SCKFn)				27	ns
SOFn出力保持時間 (対SCKFn)	t _{HSO2}	<68>	t _{KCYn} /2 - 10		ns
SOFn出力保持時間 (対SCKFn)			t _{KCYn} /2 - 10		ns

備考 n = 0-4

(a) CFnCTL1.CFnCKP, CFnDAPビット = 00または11



(b) CFnCTL1.CFnCKP, CFnDAPビット = 10または01



備考 n = 0-4

(6) I²Cバス・モード(T_A = -40 ~ +85 , V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = AV_{SS} = 0 V)

項目	略号	標準モード		高速モード		単位	
		MIN.	MAX.	MIN.	MAX.		
SCL0nクロック周波数	f _{CLK}	0	100	0	400	kHz	
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	<69>	4.7	-	1.3	μs	
ホールド時間 ^{注1}	t _{HD : STA}	<70>	4.0	-	0.6	μs	
SCL0nクロックのロウ・レベル幅	t _{LOW}	<71>	4.7	-	1.3	μs	
SCL0nクロックのハイ・レベル幅	t _{HIGH}	<72>	4.0	-	0.6	μs	
スタート/リスタート・コンディションのセットアップ時間	t _{SU : STA}	<73>	4.7	-	0.6	μs	
データ・ホールド時間	CBUS互換マスタの場合 I ² Cモードの場合	t _{HD : DAT}	<74>	5.0	-	-	μs
		0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}	μs	
データ・セットアップ時間	t _{SU : DAT}	<75>	250	-	100 ^{注4}	ns	
SDA0nおよびSCL0n信号の立ち上がり時間	t _r	<76>	-	1000	20 + 0.1Cb ^{注5}	300	ns
SDA0nおよびSCL0n信号の立ち下がり時間	t _f	<77>	-	300	20 + 0.1Cb ^{注5}	300	ns
ストップ・コンディションのセットアップ時間	t _{SU : STO}	<78>	4.0	-	0.6	μs	
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	<79>	-	-	0	50	ns
各バス・ラインの容量性負荷	C _b		-	400	-	400	pF

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

- 装置は、SCL0nの立ち下がり端の未定義領域を埋めるために (SCL0n信号のV_{IHmin.}での) SDA0n信号用に最低 300 nsのホールド時間を内部的に提供する必要があります。
- 装置がSCL0n信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD : DAT}) のみ満たすことが必要です。
- 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- ・装置がSCL0n信号のロウ状態ホールド時間を延長しない場合

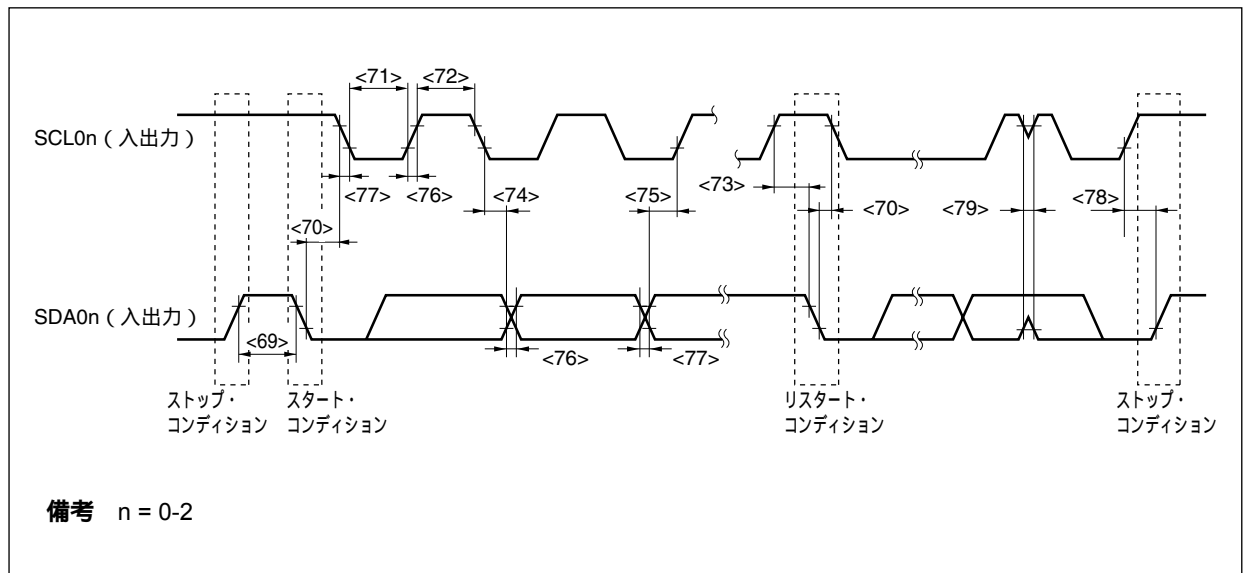
t_{SU : DAT} 250 ns

- ・装置がSCL0n信号のロウ状態ホールド時間を延長する場合

SCL0nラインが解放される (t_{Rmax.} + t_{SU : DAT} = 1000 + 250 = 1250 ns : 標準モードI²Cバス仕様) 前に、次のデータ・ビットをSDA0nラインに送出してください。

- C_b : 1つのバス・ラインの合計キャパシタンス (単位 : pF)

備考 n = 0-2



(7) ハイ・インピーダンス制御タイミング

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0 = AVREF1, VSS = AVSS = 0 V, CL = 50pF)

項目	略号	条件	MIN.	MAX.	単位
発振停止 タイマ出力ハイ・インピーダンス	tCLM	クロック・モニタ動作時		65	μs
TOAB1OFF入力 タイマ出力ハイ・インピーダンス	tHTQn			300	ns
TOAA1OFF入力 タイマ出力ハイ・インピーダンス	tHTP2			300	ns

(8) A/Dコンバータ

(TA = -40 ~ +85 , VDD = EVDD = UVDD = AVREF0 = AVREF1, 3.0V AVREF0 3.6V , VSS = AVSS = 0 V, CL = 50pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					10	bit
総合誤差 ^注		3.0 AVREF0 3.6 V			±0.6	%FSR
変換時間	tCONV		2.17		24	μs
ゼロスケール誤差					±0.5	%FSR
フルスケール誤差					±0.5	%FSR
非直線性誤差					±4.0	LSB
微分直線性誤差					±4.0	LSB
アナログ入力電圧	VIAN		AVSS		AVREF0	V
基準電圧	AVREF0		3.0		3.6	V
AVREF0電流	AIREF0	通常変換モード		3	6.5	mA
		高速変換モード		4	10	mA
		A/Dコンバータ未使用時			5	μA

注 量子化誤差 (±0.05 %FSR) は含みません。

注意 A/D変換中に兼用ポートの設定(リード/ライト)を行わないでください。変換分解能が低下することがあります。

備考 LSB : Least Significant Bit
FSR : Full Scale Range

(9) D/Aコンバータ

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0} = AV_{REF1}, 3.0V$ $AV_{REF1} 3.6V$, $V_{SS} = AV_{SS} = 0V$, $C_L = 50pF$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差 ^{注1}		R = 2 M Ω			± 1.2	%FSR
セトリング・タイム		C = 20 pF			3	μs
出力抵抗	R _O	出力データ55H		6.42		k Ω
基準電圧	AV _{REF1}		3.0		3.6	V
AV _{REF1} 電流 ^{注2}	AI _{REF1}	D/A変換動作時		1	2.5	mA
		D/A変換停止時			5	μA

注1. 量子化誤差 (± 0.5 LSB) は含みません。

- D/Aコンバータ1チャンネル分の値

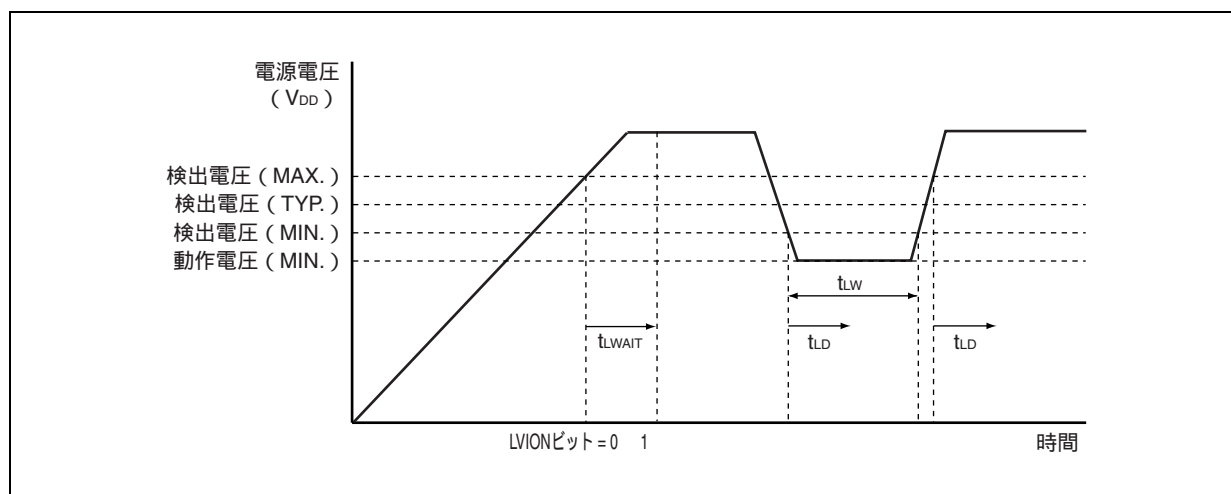
備考 Rは出力端子の負荷抵抗, Cは出力端子の負荷容量です。

(10) LVI回路特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = AV_{SS} = 0V$, $C_L = 50pF$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{LVI0}		2.85	2.95	3.05	V
応答時間 ^注	t _{LD}	V _{DD} がV _{LVI0} (MAX.)に達したあと、またはV _{DD} がV _{LVI0} (MAX.)まで下がったあと。		0.2	2.0	ms
最小パルス幅	t _{LW}		0.2			ms
基準電圧安定待ち時間	t _{LWAIT}	V _{DD} が2.85 V (MIN.) に達したあと。		0.1	0.2	ms

注 検出電圧を検出して割り込みまたはリセット信号を出力するまでの時間です。

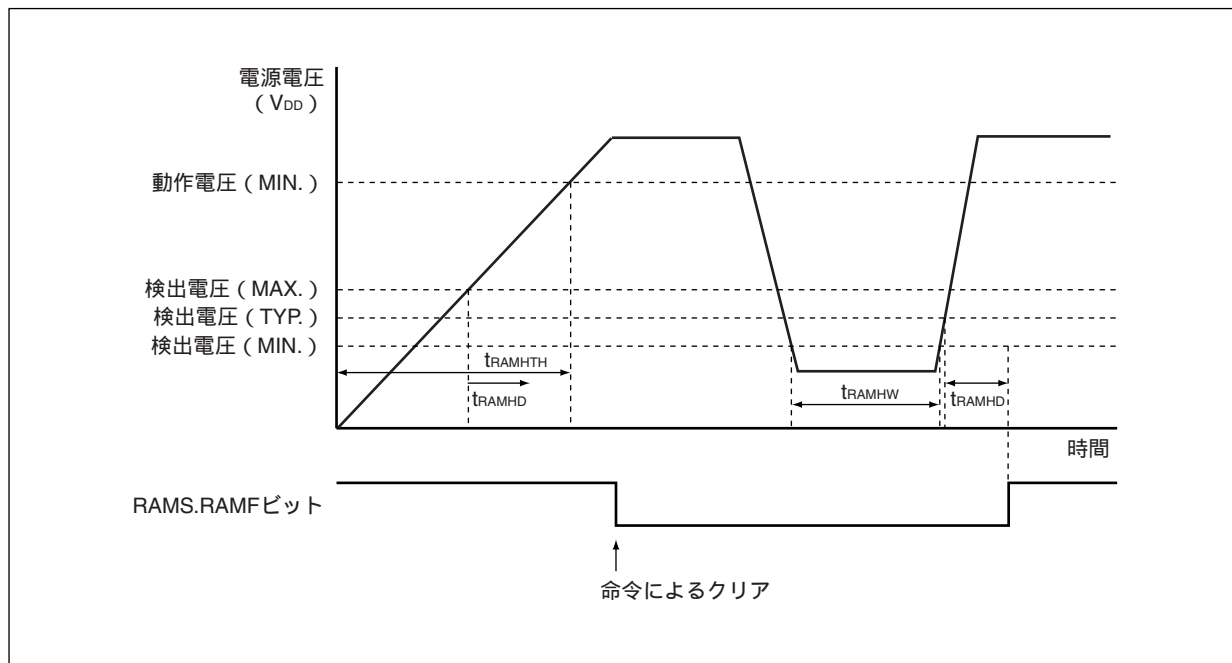


(11) RAM保持検出

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	$V_{DD} = 0 \sim 2.85$ V	0.002			ms
応答時間 ^注	t_{RAMHD}	V_{DD} が2.1 Vに達したあと		0.2	3.0	ms
最小パルス幅	t_{RAMHW}		0.2			ms

注 検出電圧を検出してRAMS.RAMFビットを設定するまでの時間です。



33.9 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85$, $V_{DD} = EV_{DD} = UV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

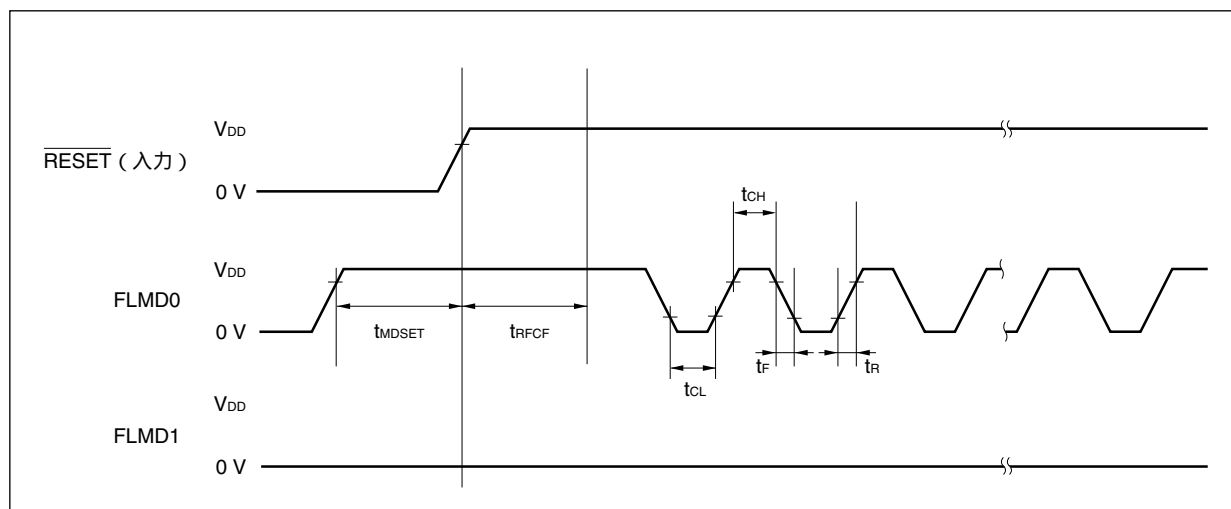
(1) 基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位	
動作周波数	f_{CPU}		24		48	MHz	
電源電圧	V_{DD}		2.85		3.6	V	
書き換え回数	C_{WRT}	プログラム更新用途 フラッシュ・メモリ・プログラ マ使用時および当社提供のセルフ・プ ログラミング・ライブラリ使用時	保持 15年	1,000			回
		データ更新用途 当社提供のEEPROMエミュレーショ ン・ライブラリ使用時 使用可能ROMサイズ：連続した3プロ ックの12Kバイト	保持 5年	10,000			回
プログラミング温度	t_{PRG}		-40		+85		

(2) シリアル書き込みオペレーション特性

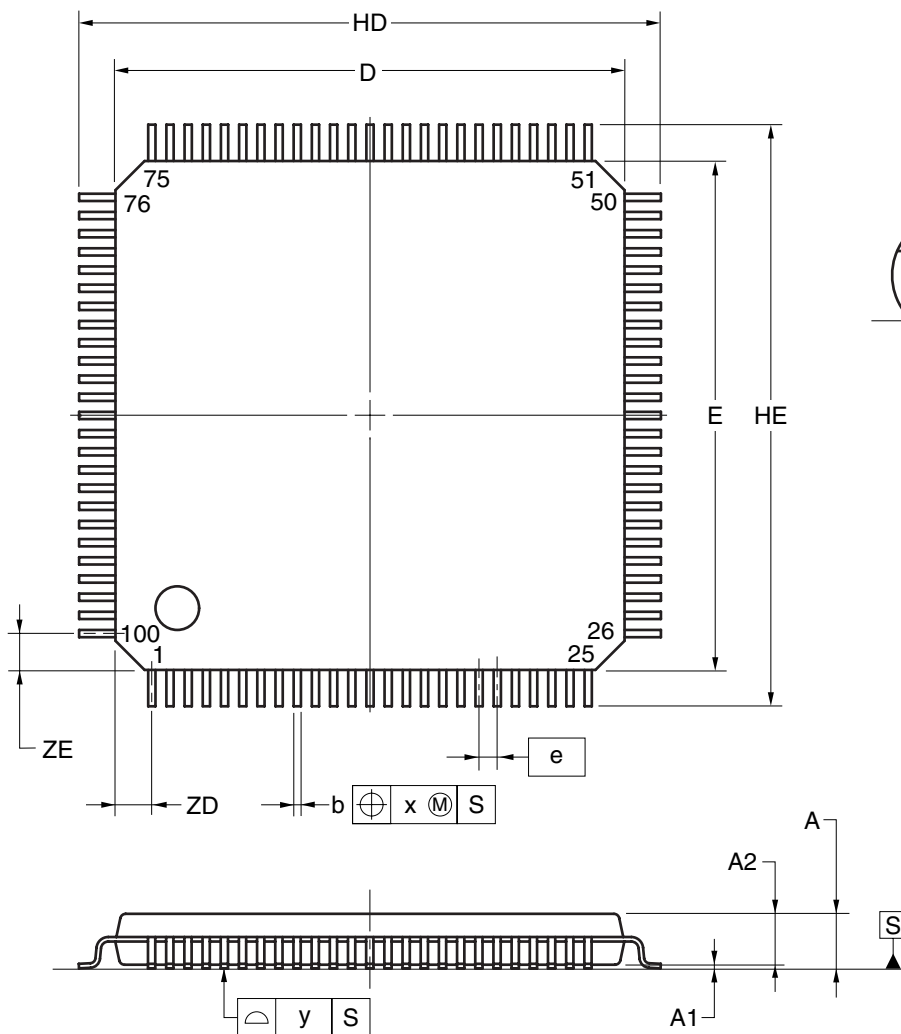
項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0, FLMD1設定時間	t_{MDSET}		2		3000	ms
RESET FLMD0カウンタ開始時間	t_{RFCF}	$f_x = 3 \sim 6$ MHz	800			μ s
FLMD0カウンタ・ハイ・レベル幅 / ロウ・レベル幅	t_{CH}/t_{CL}		10		100	μ s
FLMD0カウンタ立ち上がり時間 / 立ち下がり時間	t_r/t_f				1	μ s

フラッシュ書き込みモード設定タイミング



第34章 外形图

100-PIN PLASTIC LQFP (FINE PITCH) (14x14)

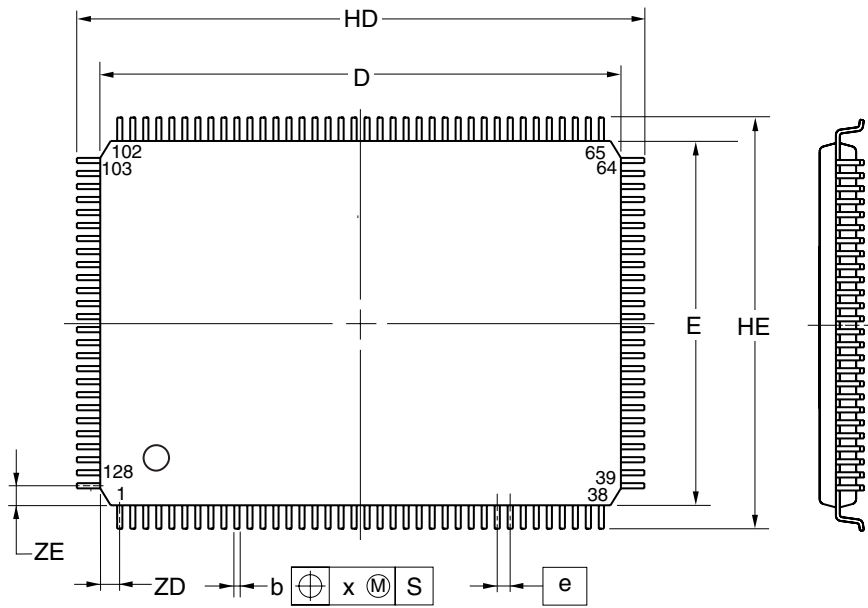


(UNIT:mm)

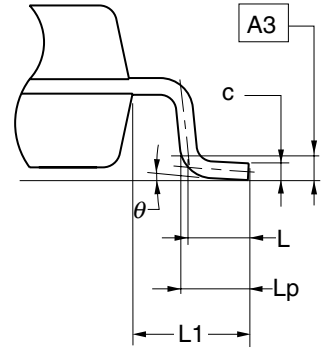
ITEM	DIMENSIONS
D	14.00±0.20
E	14.00±0.20
HD	16.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
theta	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	1.00
ZE	1.00

P100GC-50-UEU-1

128-PIN PLASTIC LQFP (FINE PITCH) (14x20)

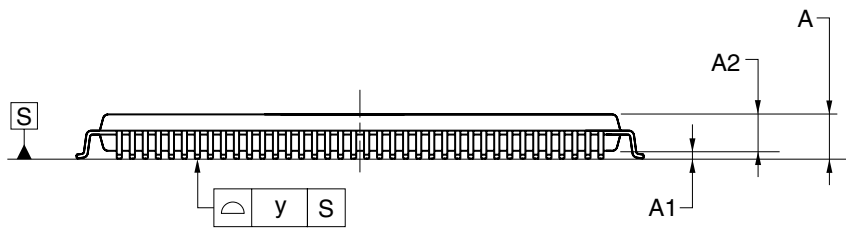


detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	20.00±0.20
E	14.00±0.20
HD	22.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	0.75
ZE	0.75



NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

P128GF-50-GAT

第35章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www2.renesas.com/pkg/ja/jissou/index.html>)

表35 - 1 表面実装タイプの半田付け条件

(1) μ PD70F3763GC-UEU-AX : 100ピン・プラスチックLQFP (ファインピッチ)(14×14)

μ PD70F3764GC-UEU-AX : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：7日間 [※] （以降は125℃プリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. オーダ名称末尾「-AX」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

(2) μ PD70F3768GF-GAT-AX : 128ピン・プラスチックLQFP (ファインピッチ)(14×20)

μ PD70F3769GF-GAT-AX : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：7日間 [※] （以降は125℃プリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. オーダ名称末尾「-AX」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

付録A 開発ツール

V850ES/JG3-U, V850ES/JH3-Uを使用するシステム開発のために、次のような開発ツールを用意しています。
図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

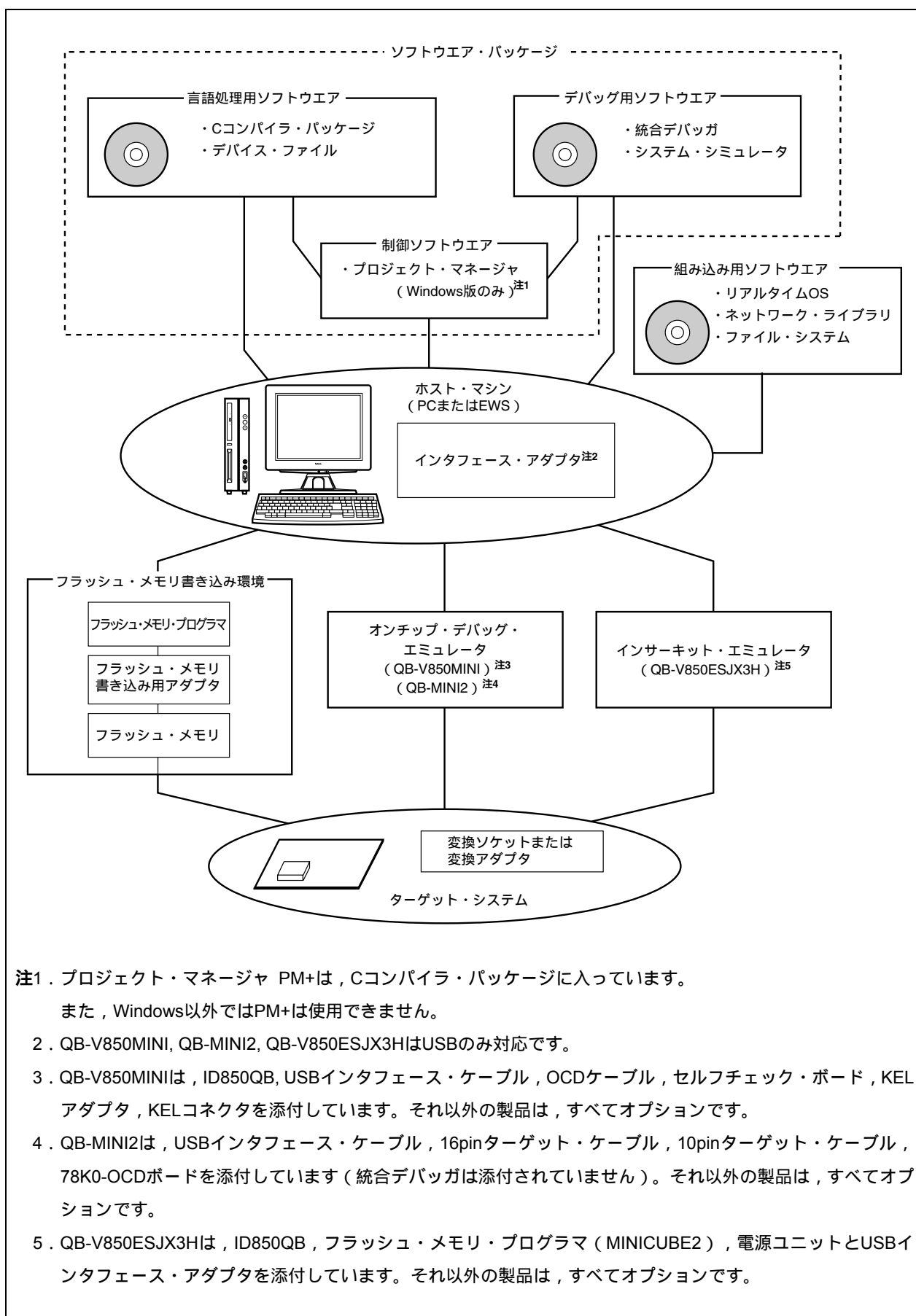
特に断りのないかぎり、IBM PC/AT™互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windows®について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 98, 2000
- Windows Me
- Windows XP®
- Windows NT® Ver. 4.0

図A - 1 開発ツール構成



A. 1 ソフトウェア・パッケージ

SP850 V850シリーズ・ソフトウェア・ パッケージ	V850シリーズ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダ名称： μ S x x x x SP850
------------------------------------	---

備考 オーダ名称の x x x x は、使用するホスト・マシン，OSにより異なります。

μ S x x x x SP850

x x x x	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A. 2 言語処理用ソフトウェア

CA850 Cコンパイラ・パッケージ	C言語で書かれたプログラムを，マイコンの実行可能なオブジェクト・コードに変換するプログラムです。プロジェクト・マネージャ PM+から起動されます。 オーダ名称： μ S x x x x CA703000
DF703771 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 各ツール（CA850, ID850QB）と組み合わせて使用します。 対応OS，ホスト・マシンは組み合わせられる各ツールに依存します。

備考 オーダ名称の x x x x は、使用するホスト・マシン，OSにより異なります。

μ S x x x x CA703000

x x x x	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3K17	SPARCstation TM	SunOS TM (Rel. 4.1.4) ， Solaris TM (Rel. 2.5.1)	

A. 3 制御ソフトウェア

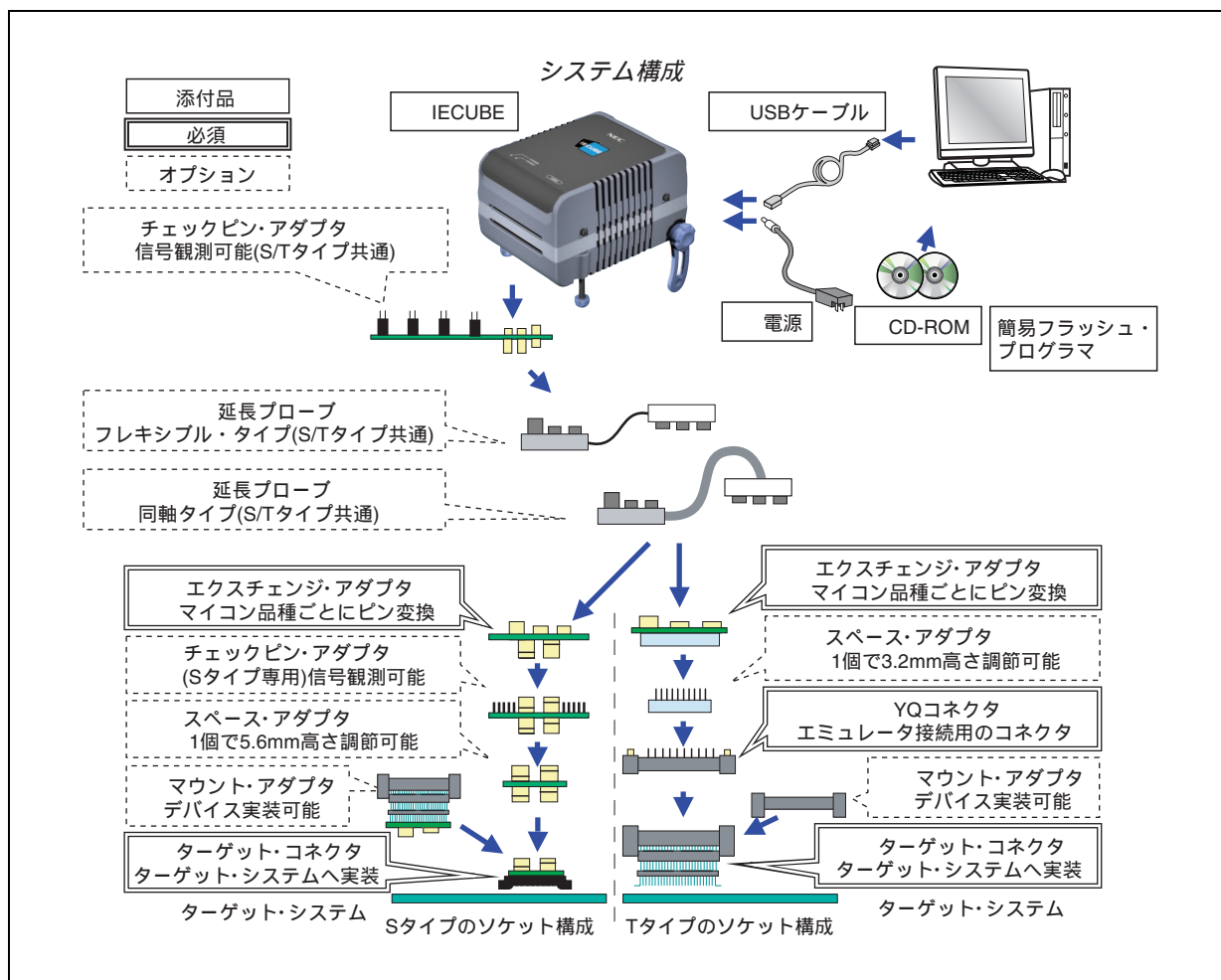
PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM+上から，エディタの起動，ビルド，デバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> PM+は，Cコンパイラ・パッケージ CA850の中に入っています。 Windows以外の環境では使用できません。
---------------------	--

A. 4 デバッグ用ツール (ハードウェア)

A. 4. 1 IECUBE QB-V850ESJX3Hを使用する場合

QB-V850ESJX3Hとホスト・マシン (PC-9821シリーズ, PC/AT互換機) を接続して使用する場合のシステム構成を次に示します。オプション製品がない場合でも接続は可能です。

図A-2 システム構成 (QB-V850ESJX3Hを使用する場合) (1/2)



図A - 2 システム構成 (QB-V850ESJX3Hを使用する場合) (2/2)

ホスト・マシン (PC-9821シリーズ, IBM-PC/AT互換機)
 デバッグ, USBドライバ, マニュアルなど (ID850QB Disk, Accessory Disk^{注1})
 USBインタフェース・ケーブル
 ACアダプタ
 インサーキット・エミュレータ (QB-V850ESJX3H)
 チェックピン・アダプタ (S/Tタイプ共通) (QB-144-CA-01) (オプション)
 延長プローブ・フレキシブル・タイプ (S/Tタイプ共通) (QB-144-EP-02S) (オプション)
 延長プローブ同軸タイプ (S/Tタイプ共通) (QB-144-EP-01S) (オプション)
 エクスチェンジ・アダプタ^{注2} (Sタイプ: QB-100GC-EA-04S (GCパッケージ用), QB-128GF-EA-01S (GFパッケージ用), Tタイプ: QB-100GC-EA-05T (GCパッケージ用), QB-128GF-EA-02T (GFパッケージ用))
 チェックピン・アダプタ^{注3} (Sタイプのみ: QB-100-CA-01S (GCパッケージ用), QB-128-CA-01S (GFパッケージ用)) (オプション)
 スペース・アダプタ^{注3} (Sタイプ: QB-100-SA-01S (GCパッケージ用), QB-144-SA-01S (GFパッケージ用), Tタイプ: QB-100GC-YS-01T (GCパッケージ用), QB-128GF-YS-01T (GFパッケージ用)) (オプション)
 YQコネクタ^{注2} (Tタイプのみ) (QB-100GC-YQ-01T (GCパッケージ用), QB-128GF-YQ-01T (GFパッケージ用))
 マウント・アダプタ (Sタイプ: QB-100GC-MA-01S (GCパッケージ用), QB-128GF-MA-01S (GFパッケージ用), Tタイプ: QB-100GC-HQ-01T (GCパッケージ用), QB-128GF-HQ-01T (GFパッケージ用)) (オプション)
 ターゲット・コネクタ^{注2} (Sタイプ: QB-100GC-TC-01S (GCパッケージ用), QB-128GF-TC-01S (GFパッケージ用), Tタイプ: QB-100GC-NQ-01T (GCパッケージ用), QB-128GF-NQ-01T (GFパッケージ用))
 ターゲット・システム

注 1. デバイス・ファイルはルネサス エレクトロニクスのホームページから入手してください。

<http://www2.renesas.com/micro/ja/ods/index.html>

2. 開発中

3. オーダ品名によっては、添付品となります。

- ・ QB-V850ESJX3H-ZZZでオーダーした場合
エクスチェンジ・アダプタ, ターゲット・コネクタは添付されていません。
- ・ QB-V850ESJX3H-S100GCでオーダーした場合
QB-100GC-EA-04S, QB-100GC-TC-01Sが添付されています。
- ・ QB-V850ESJX3H-S128GFでオーダーした場合
QB-128GF-EA-01S, QB-128GF-TC-01Sが添付されています。
- ・ QB-V850ESJX3H-T100GCでオーダーした場合
QB-100GC-EA-05T, QB-100GC-YQ-01T, QB-100GC-NQ-01Tが添付されています。
- ・ QB-V850ESJX3H-T128GFでオーダーした場合
QB-128GF-EA-02T, QB-128GF-YQ-01T, QB-128GF-NQ-01Tが添付されています。

4. と の両方を使用する場合, と の接続順序が逆でも接続できます。

QB-V850ESJX3H ^注 インサーキット・エミュレータ	V850ES/JG3-U, V850ES/JH3-Uを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ ID850QBに対応しています。電源ユニット、エミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
USBインタフェース・ケーブル	ホスト・マシンとQB-V850ESJX3Hを接続するケーブルです。
ACアダプタ	ACプラグ差し替えて100～240 Vに対応可能です。
QB-100GC-EA-04S QB-128GF-EA-01S QB-100GC-EA-05T QB-128GF-EA-02T エクスチェンジ・アダプタ	ピン変換を行うアダプタです。 ・QB-100GC-EA-04S：100ピン・プラスチックLQFP（GC-UEUタイプ）用 ・QB-128GF-EA-01S：128ピン・プラスチックLQFP（GF-GATタイプ）用 ・QB-100GC-EA-05T：100ピン・プラスチックLQFP（GC-UEUタイプ）用 ・QB-128GF-EA-02T：128ピン・プラスチックLQFP（GF-GATタイプ）用
QB-100-CA-01S QB-128-CA-01S （Sタイプのみ） チェックピン・アダプタ	オシロスコープなどで波形観測を行うときに使用するアダプタです。 ・QB-100-CA-01S：100ピン・プラスチックLQFP（GC-UEUタイプ）用 ・QB-128-CA-01S：128ピン・プラスチックLQFP（GF-GATタイプ）用
QB-100-SA-01S QB-144-SA-01S QB-100GC-YS-01T QB-128GF-YS-01T スペース・アダプタ	高さ調節用アダプタです。 ・QB-100-SA-01S：100ピン・プラスチックLQFP（GC-UEUタイプ）用 ・QB-144-SA-01S：128ピン・プラスチックLQFP（GF-GATタイプ）用 ・QB-100GC-YS-01T：100ピン・プラスチックLQFP（GC-UEUタイプ）用 ・QB-128GF-YS-01T：128ピン・プラスチックLQFP（GF-GATタイプ）用
QB-100GC-YQ-01T QB-128GF-YQ-01T （Tタイプのみ） YQコネクタ	ターゲット・コネクタとエクスチェンジ・アダプタを接続する変換アダプタ ・QB-100GC-YQ-01T：100ピン・プラスチックLQFP（GC-UEUタイプ）用 ・QB-128GF-YQ-01T：128ピン・プラスチックLQFP（GF-GATタイプ）用
QB-100GC-MA-01S QB-128GF-MA-01S QB-100GC-HQ-01T QB-128GF-HQ-01T マウント・アダプタ	V850ES/JG3-U, V850ES/JH3-Uをソケット実装するためのアダプタです。 ・QB-100GC-MA-01S：100ピン・プラスチックLQFP（GC-UEUタイプ）用 ・QB-128GF-MA-01S：128ピン・プラスチックLQFP（GF-GATタイプ）用 ・QB-100GC-HQ-01T：100ピン・プラスチックLQFP（GC-UEUタイプ）用 ・QB-128GF-HQ-01T：128ピン・プラスチックLQFP（GF-GATタイプ）用
QB-100GC-TC-01S QB-128GF-TC-01S QB-100GC-NQ-01T QB-128GF-NQ-01T ターゲット・コネクタ	ターゲット・システム上へ半田付けするコネクタです。 ・QB-100GC-TC-01S：100ピン・プラスチックLQFP（GC-UEUタイプ）用 ・QB-128GF-TC-01S：128ピン・プラスチックLQFP（GF-GATタイプ）用 ・QB-100GC-NQ-01T：100ピン・プラスチックLQFP（GC-UEUタイプ）用 ・QB-128GF-NQ-01T：128ピン・プラスチックLQFP（GF-GATタイプ）用

注 QB-V850ESJX3Hは、電源ユニット、USBインタフェース・ケーブルとフラッシュ・メモリ・プログラマ（MINICUBE2）を添付しています。また、コントロール・ソフトウェアとして、統合デバッガ ID850QBを添付しています。

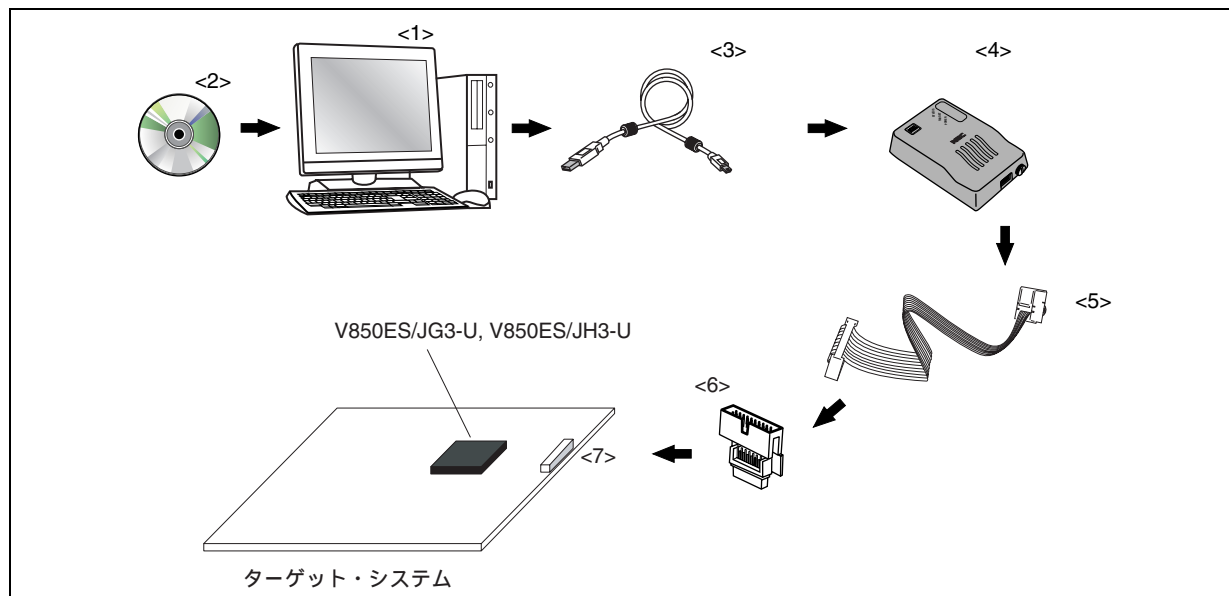
備考 表内の番号は図A - 2の番号に対応しています。

A. 4.2 MINICUBE QB-V850MINIを使用する場合

(1) MINICUBEを使用してのオンチップ・エミュレーション

MINICUBEとホスト・マシン (PC-9821シリーズ, PC/AT互換機) を接続して使用する場合のシステム構成を次に示します。

図A-3 オンチップ・エミュレーション・システム構成例



<1> ホスト・マシン	USBポート搭載品。
<2> CD-ROM ^{注1}	CD-ROM形式で統合デバッグ ID850QB, N-Wire Checker, デバイス・ドライバ, ドキュメントなどが含まれています。MINICUBEに添付されています。
<3> USBインタフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付されています。ケーブルの長さは約2 mです。
<4> MINICUBE オンチップ・デバッグ・エミュレータ	V850ES/JG3-U, V850ES/JH3-Uを使用する応用システムを開発する際に, ハードウェア, ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッグ ID850QBに対応しています。
<5> OCDケーブル	MINICUBEとターゲット・システムを接続するケーブルです。MINICUBEに添付されています。ケーブルの長さは約20 cmです。
<6> コネクタ変換ボード KEL Adaptor	MINICUBEに添付されています。
<7> MINICUBE接続コネクタ KELコネクタ ^{注2}	8830E-026-170S (MINICUBEに添付されています) 8830E-026-170L (別売品)

注1. デバイス・ファイルはルネサス エレクトロニクスホームページから入手してください。

<http://www2.renesas.com/micro/ja/ods/index.html>

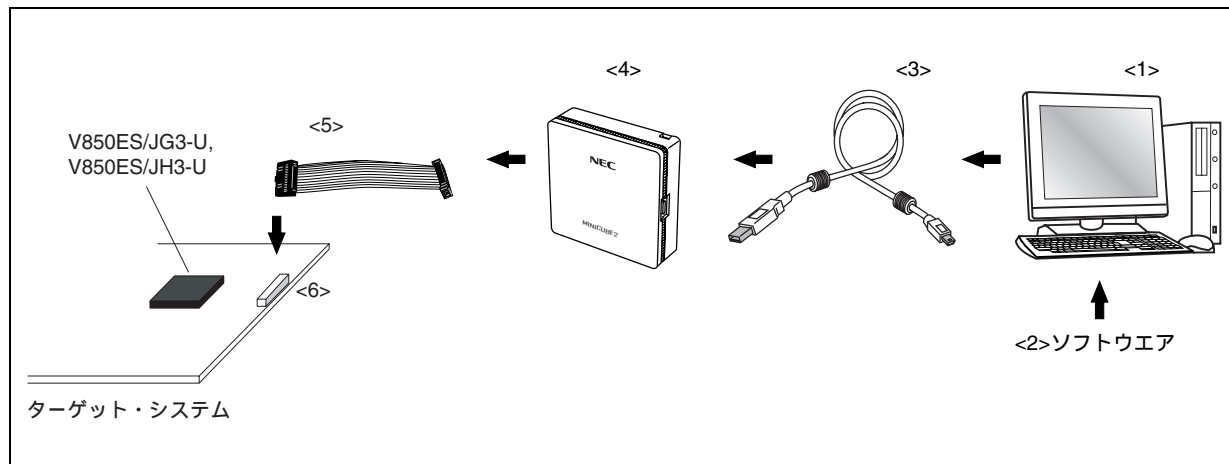
2. ケル株式会社の製品です。

備考 表内の番号は図A-3の番号に対応しています。

A. 4.3 MINICUBE2 QB-MINI2を使用する場合

MINICUBE2とホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。

図A-4 オンチップ・エミュレーション・システム構成例



<1> ホスト・マシン	USBポート搭載品。
<2> ソフトウェア	統合デバッグ ID850QB, デバイス・ファイルなどです。 ルネサス エレクトロニクスのホームページから入手してください http://www2.renesas.com/micro/ja/ods/index.html
<3>USBインタフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付しています。ケーブルの長さは約2 mです。
<4> MINICUBE2 オンチップ・デバッグ・エミュレータ	V850ES/JG3-U, V850ES/JH3-Uを使用する応用システムを開発する際に，ハードウェア，ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッグ ID850QBに対応しています。
<5> 16pinターゲット・ケーブル	MINICUBE2とターゲット・システムを接続するケーブルです。 MINICUBEに添付されています。ケーブルの長さは約15 cmです。
<6>ターゲット・コネクタ（別売品）	2.54 mmピッチの16ピン汎用コネクタを使用してください。

備考 表内の番号は図A-4の番号に対応しています。

A.5 デバッグ用ツール(ソフトウェア)

ID850QB 統合デバッガ	V850シリーズ用のインサーキット・エミュレータに対応したデバッガです。ID850QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイルと組み合わせて使用します。
	オーダ名称： μ SxxxID703000-QB (ID850QB)

備考 オーダ名称の xxx は、使用するホスト・マシン、OSにより異なります。

μ SxxxID703000-QB

xxx	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ、	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.6 組み込み用ソフトウェア

RX850, RX850 Pro リアルタイムOS	<p>μITRON3.0仕様に準拠したリアルタイムOSです。</p> <p>複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。</p> <p>RX850よりRX850 Proの方が多機能になっています。</p> <p>オーダ名称：μS × × × × RX703000- (RX850) μS × × × × RX703100- (RX850 Pro)</p>
RX-FS850 (ファイル・システム)	<p>FATファイル・システム機能です。</p> <p>CD-ROMファイル・システム機能をサポートしたファイル・システムです。</p> <p>リアルタイムOS RX850 Proと共に使用します。</p>

注意 RX850, RX850 Proを購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の××××および は、使用するホスト・マシン、OSなどにより異なります。

μS × × × × RX703000-

μS × × × × RX703100-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	
3K17	SPARCstation	Solaris (Rel. 2.5.1)	

A.7 フラッシュ・メモリ書き込み用ツール

Flashpro V (型番 PG-FP5) フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
QB-MINI2 (MINICUBE2)	プログラミング機能付きオンチップ・デバッグ・エミュレータです。
FA-100GC-UEU-B FA-128GF-GAT-B フラッシュ・メモリ書き込み用アダプタ	<p>フラッシュ・メモリ書き込み用アダプタです（未配線）。Flashpro Vに接続して使用します。</p> <p>・FA-100GC-UEU-B：100ピン・プラスチックLQFP（GC-UEUタイプ）用</p> <p>・FA-128GF-GAT-B：128ピン・プラスチックLQFP（GF-GATタイプ）用</p>

備考 FA-100GC-UEU-B, FA-128GF-GAT-Bは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（042）750-4172）

付録B V850ES/Jx3-UとV850ES/Jx3とのおもな違い

表B - 1 V850ES/Jx3-UとV850ES/Jx3とのおもな違い

主な差異点	V850ES/Jx3-U	V850ES/Jx3
最小命令実行時間	20.8 ns (48 MHz動作時)	31.25 ns (32 MHz動作時)
16ビット・タイマ	TAA (TMPの高機能型)	TMP
	TAB (TMQの高機能型)	TMQ
	TMT (エンコーダ・タイマ)	なし
時計タイマ機能	RTC (ハードウェア・カウンタ内蔵)	WT (ハードウェア・カウンタ非内蔵)
モータ制御機能	あり	なし
USBインタフェース	ファンクション/ホスト	なし
アシンクロナス・シリアル・インタフェース	UARTC (UARTAの高機能型)	UARTA
パッケージ	100ピン LQFP	100ピン LQFP
	128ピン LQFP	144ピン LQFP

付録C レジスタ索引

(1/24)

略号	名称	ユニット	ページ
ADA0CR0	A/D変換結果レジスタ0	ADC	696
ADA0CR0H	A/D変換結果レジスタ0H	ADC	696
ADA0CR1	A/D変換結果レジスタ1	ADC	696
ADA0CR10	A/D変換結果レジスタ10	ADC	696
ADA0CR10H	A/D変換結果レジスタ10H	ADC	696
ADA0CR11	A/D変換結果レジスタ11	ADC	696
ADA0CR11H	A/D変換結果レジスタ11H	ADC	696
ADA0CR1H	A/D変換結果レジスタ1H	ADC	696
ADA0CR2	A/D変換結果レジスタ2	ADC	696
ADA0CR2H	A/D変換結果レジスタ2H	ADC	696
ADA0CR3	A/D変換結果レジスタ3	ADC	696
ADA0CR3H	A/D変換結果レジスタ3H	ADC	696
ADA0CR4	A/D変換結果レジスタ4	ADC	696
ADA0CR4H	A/D変換結果レジスタ4H	ADC	696
ADA0CR5	A/D変換結果レジスタ5	ADC	696
ADA0CR5H	A/D変換結果レジスタ5H	ADC	696
ADA0CR6	A/D変換結果レジスタ6	ADC	696
ADA0CR6H	A/D変換結果レジスタ6H	ADC	696
ADA0CR7	A/D変換結果レジスタ7	ADC	696
ADA0CR7H	A/D変換結果レジスタ7H	ADC	696
ADA0CR8	A/D変換結果レジスタ8	ADC	696
ADA0CR8H	A/D変換結果レジスタ8H	ADC	696
ADA0CR9	A/D変換結果レジスタ9	ADC	696
ADA0CR9H	A/D変換結果レジスタ9H	ADC	696
ADA0M0	A/Dコンバータ・モード・レジスタ0	ADC	689
ADA0M1	A/Dコンバータ・モード・レジスタ1	ADC	691
ADA0M2	A/Dコンバータ・モード・レジスタ2	ADC	694
ADA0PFM	パワー・フェイル比較モード・レジスタ	ADC	698
ADA0PFT	パワー・フェイル比較しきい値レジスタ	ADC	699
ADA0S	A/Dコンバータ・チャンネル指定レジスタ	ADC	695
ADIC	割り込み制御レジスタ	INTC	1214
AWC	アドレス・ウェイト・コントロール・レジスタ	BCU	191
BCC	バス・サイクル・コントロール・レジスタ	BCU	192
BGR_CTL	バス・ブリッジ・コントロール・レジスタ	USBH	1117
BIST	BIST	USBH	1125
BRGINTE	ブリッジ割り込み・イネーブル・レジスタ	USBF	1032
BRGINTT	ブリッジ割り込み・コントロール・レジスタ	USBF	1031
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	180

(2/24)

略号	名称	ユニット	ページ
Cache Line Size	Cache Line Size	USBH	1125
Capability Identifier	Capability Identifier	USBH	1130
Capability Pointer	Capability Pointer	USBH	1128
CCLS	CPU動作クロック・ステータス・レジスタ	CG	206
CF0CTL0	CSIF0制御レジスタ0	CSIF	776
CF0CTL1	CSIF0制御レジスタ1	CSIF	779
CF0CTL2	CSIF0制御レジスタ2	CSIF	780
CF0RIC	割り込み制御レジスタ	INTC	1214
CF0RX	CSIF0受信データ・レジスタ	CSIF	774
CF0RXL	CSIF0受信データ・レジスタL	CSIF	774
CF0STR	CSIF0状態レジスタ	CSIF	782
CF0TIC	割り込み制御レジスタ	INTC	1214
CF0TX	CSIF0送信データ・レジスタ	CSIF	775
CF0TXL	CSIF0送信データ・レジスタL	CSIF	775
CF1CTL0	CSIF1制御レジスタ0	CSIF	776
CF1CTL1	CSIF1制御レジスタ1	CSIF	779
CF1CTL2	CSIF1制御レジスタ2	CSIF	780
CF1RIC	割り込み制御レジスタ	INTC	1214
CF1RX	CSIF1受信データ・レジスタ	CSIF	774
CF1RXL	CSIF1受信データ・レジスタL	CSIF	774
CF1STR	CSIF1状態レジスタ	CSIF	782
CF1TIC	割り込み制御レジスタ	INTC	1214
CF1TX	CSIF1送信データ・レジスタ	CSIF	775
CF1TXL	CSIF1送信データ・レジスタL	CSIF	775
CF2CTL0	CSIF2制御レジスタ0	CSIF	776
CF2CTL1	CSIF2制御レジスタ1	CSIF	779
CF2CTL2	CSIF2制御レジスタ2	CSIF	780
CF2RIC	割り込み制御レジスタ	INTC	1214
CF2RX	CSIF2受信データ・レジスタ	CSIF	774
CF2RXL	CSIF2受信データ・レジスタL	CSIF	774
CF2STR	CSIF2状態レジスタ	CSIF	782
CF2TIC	割り込み制御レジスタ	INTC	1214
CF2TX	CSIF2送信データ・レジスタ	CSIF	775
CF2TXL	CSIF2送信データ・レジスタL	CSIF	775
CF3CTL0	CSIF3制御レジスタ0	CSIF	776
CF3CTL1	CSIF3制御レジスタ1	CSIF	779
CF3CTL2	CSIF3制御レジスタ2	CSIF	780
CF3RIC	割り込み制御レジスタ	INTC	1214
CF3RX	CSIF3受信データ・レジスタ	CSIF	774
CF3RXL	CSIF3受信データ・レジスタL	CSIF	774
CF3STR	CSIF3状態レジスタ	CSIF	782
CF3TIC	割り込み制御レジスタ	INTC	1214

略号	名称	ユニット	ページ
CF3TX	CSIF3送信データ・レジスタ	CSIF	775
CF3TXL	CSIF3送信データ・レジスタL	CSIF	775
CF4CTL0	CSIF4制御レジスタ0	CSIF	776
CF4CTL1	CSIF4制御レジスタ1	CSIF	779
CF4CTL2	CSIF4制御レジスタ2	CSIF	780
CF4RIC	割り込み制御レジスタ	INTC	1214
CF4RX	CSIF4受信データ・レジスタ	CSIF	774
CF4RXL	CSIF4受信データ・レジスタL	CSIF	774
CF4STR	CSIF4状態レジスタ	CSIF	782
CF4TIC	割り込み制御レジスタ	INTC	1214
CF4TX	CSIF4送信データ・レジスタ	CSIF	775
CF4TXL	CSIF4送信データ・レジスタL	CSIF	775
CKC	クロック・コントロール・レジスタ	CG	209
Class Code	Class Code	USBH	1124
CLM	クロック・モニタ・モード・レジスタ	CLM	1274
Command	Command	USBH	1122
CPUBCTL	CPU I/F バス・コントロール・レジスタ	USBF	1034
CRC	CRCデータ・レジスタ	CRC	1284
CRCIN	CRCインプット・レジスタ	CRC	1284
CTBP	CALLTベース・ポインタ	CPU	64
CTPC	CALLT実行時状態回避レジスタ	CPU	63
CTPSW	CALLT実行時状態回避レジスタ	CPU	63
DA0CS0	D/A変換値設定レジスタ0	DAC	723
DA0CS1	D/A変換値設定レジスタ1	DAC	723
DA0M	D/Aコンバータ・モード・レジスタ	DAC	722
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMAC	1170
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMAC	1170
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMAC	1170
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMAC	1170
DBC0	DMA転送カウント・レジスタ0	DMAC	1169
DBC1	DMA転送カウント・レジスタ1	DMAC	1169
DBC2	DMA転送カウント・レジスタ2	DMAC	1169
DBC3	DMA転送カウント・レジスタ3	DMAC	1169
DBPC	例外 / デバッグ・トラップ時状態回避レジスタ	CPU	64
DBPSW	例外 / デバッグ・トラップ時状態回避レジスタ	CPU	64
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	1171
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	1171
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	1171
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMAC	1171
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	1168
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	1168
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	1168
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	1168

略号	名称	ユニット	ページ
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	1168
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	1168
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	1168
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	1168
Device ID	Device ID	USBH	1121
DMAIC0	割り込み制御レジスタ	INTC	1214
DMAIC1	割り込み制御レジスタ	INTC	1214
DMAIC2	割り込み制御レジスタ	INTC	1214
DMAIC3	割り込み制御レジスタ	INTC	1214
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	1167
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	1167
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	1167
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	1167
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	1167
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	1167
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	1167
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	1167
DTFR0	DMAトリガ要因レジスタ0	DMAC	1172
DTFR1	DMAトリガ要因レジスタ1	DMAC	1172
DTFR2	DMAトリガ要因レジスタ2	DMAC	1172
DTFR3	DMAトリガ要因レジスタ3	DMAC	1172
DWC0	データ・ウェイト・コントロール・レジスタ0	BCU	188
ECR	割り込み要因レジスタ	CPU	61
EIPC	割り込み状態回避レジスタ	CPU	60
EIPSW	割り込み状態回避レジスタ	CPU	60
EPCCLT	EPCマクロ・コントロール・レジスタ	USBF	1033
EXDRQEN	外部DMAリクエスト・イネーブル・レジスタ	DMAC	1175
FEPC	NMI時状態回避レジスタ	CPU	61
FEPSW	NMI時状態回避レジスタ	CPU	61
HcBulkCurrent ED Register	HcBulkCurrentED Register	USBH	1148
HcBulkHeadED Register	HcBulkHeadED Register	USBH	1148
HcCommandSt atus Register	HcCommandStatus Register	USBH	1138
HcControl Register	HcControl Register	USBH	1136
HcControlCurr entED Register	HcControlCurrentED Register	USBH	1147
HcControlHead ED Register	HcControlHeadED Register	USBH	1147
HcDoneHead Register	HcDoneHead Register	USBH	1149
HcFmInterval Register	HcFmInterval Register	USBH	1150

(5/24)

略号	名称	ユニット	ページ
HcFmNumber Register	HcFmNumber Register	USBH	1151
HcFmRemaining Register	HcFmRemaining Register	USBH	1151
HcHCCA Register	HcHCCA Register	USBH	1146
HcInterruptDisable Register	HcInterruptDisable Register	USBH	1144
HcInterruptEnable Register	HcInterruptEnable Register	USBH	1142
HcInterruptStatus Register	HcInterruptStatus Register	USBH	1140
HcLSThreshold Register	HcLSThreshold Register	USBH	1152
HcPeriodCurrentED Register	HcPeriodCurrentED Register	USBH	1146
HcPeriodicStart Register	HcPeriodicStart Register	USBH	1152
HcRevision Register	HcRevision Register	USBH	1135
HcRhDescriptorB Register	HcRhDescriptorB Register	USBH	1155
HcRhPortStatus1/2 Register	HcRhPortStatus1/2 Register	USBH	1158
HcRhStatus Register	HcRhStatus Register	USBH	1156
Header Type	Header Type	USBH	1123
HRDA	HcRhDescriptorA	USBH	1153
HZA0CTL0	ハイ・インピーダンス出力制御レジスタ0	モータ	591
HZA0CTL1	ハイ・インピーダンス出力制御レジスタ1	モータ	591
IIC0	IICシフト・レジスタ0	I2C	842
IIC1	IICシフト・レジスタ1	I2C	842
IIC2	IICシフト・レジスタ2	I2C	842
IICC0	IICコントロール・レジスタ0	I2C	829
IICC1	IICコントロール・レジスタ1	I2C	829
IICC2	IICコントロール・レジスタ2	I2C	829
IICCL0	IICクロック選択レジスタ0	I2C	839
IICCL1	IICクロック選択レジスタ1	I2C	839
IICCL2	IICクロック選択レジスタ2	I2C	839
IICF0	IICフラグ・レジスタ0	I2C	837
IICF1	IICフラグ・レジスタ1	I2C	837
IICF2	IICフラグ・レジスタ2	I2C	837
IICIC0	割り込み制御レジスタ	INTC	1214
IICIC1	割り込み制御レジスタ	INTC	1214
IICIC2	割り込み制御レジスタ	INTC	1214

略号	名称	ユニット	ページ
IICS0	IIC状態レジスタ0	I2C	834
IICS1	IIC状態レジスタ1	I2C	834
IICS2	IIC状態レジスタ2	I2C	834
IICX0	IIC機能拡張レジスタ0	I2C	840
IICX1	IIC機能拡張レジスタ1	I2C	840
IICX2	IIC機能拡張レジスタ2	I2C	840
IMR0	割り込みマスク・レジスタ0	INTC	1218
IMR0H	割り込みマスク・レジスタ0H	INTC	1218
IMR0L	割り込みマスク・レジスタ0L	INTC	1218
IMR1	割り込みマスク・レジスタ1	INTC	1218
IMR1H	割り込みマスク・レジスタ1H	INTC	1218
IMR1L	割り込みマスク・レジスタ1L	INTC	1218
IMR2	割り込みマスク・レジスタ2	INTC	1218
IMR2H	割り込みマスク・レジスタ2H	INTC	1218
IMR2L	割り込みマスク・レジスタ2L	INTC	1218
IMR3	割り込みマスク・レジスタ3	INTC	1218
IMR3H	割り込みマスク・レジスタ3H	INTC	1218
IMR3L	割り込みマスク・レジスタ3L	INTC	1218
IMR4	割り込みマスク・レジスタ4	INTC	1218
IMR4H	割り込みマスク・レジスタ4H	INTC	1218
IMR4L	割り込みマスク・レジスタ4L	INTC	1218
IMR5	割り込みマスク・レジスタ5	INTC	1218
IMR5H	割り込みマスク・レジスタ5H	INTC	1218
IMR5L	割り込みマスク・レジスタ5L	INTC	1218
Interrupt Line	Interrupt Line	USBH	1129
Interrupt Pin	Interrupt Pin	USBH	1129
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	1230
INTF2	外部割り込み立ち下がりエッジ指定レジスタ2	INTC	1231
INTF3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	1232
INTF4	外部割り込み立ち下がりエッジ指定レジスタ4	INTC	1233
INTF5	外部割り込み立ち下がりエッジ指定レジスタ5	INTC	1234
INTF9	外部割り込み立ち下がりエッジ指定レジスタ9	INTC	1235
INTF9H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTC	1235
INTF9L	外部割り込み立ち下がりエッジ指定レジスタ9L	INTC	1235
INTNFC	ノイズ除去制御レジスタ	INTC	1236
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	1230
INTR2	外部割り込み立ち上がりエッジ指定レジスタ2	INTC	1231
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	1232
INTR4	外部割り込み立ち上がりエッジ指定レジスタ4	INTC	1233
INTR5	外部割り込み立ち上がりエッジ指定レジスタ5	INTC	1234
INTR9	外部割り込み立ち上がりエッジ指定レジスタ9	INTC	1235
INTR9H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTC	1235
INTR9L	外部割り込み立ち上がりエッジ指定レジスタ9L	INTC	1235
ISPR	インサースビス・プライオリティ・レジスタ	INTC	1219

(7/24)

略号	名称	ユニット	ページ
KRIC	割り込み制御レジスタ	INTC	1214
KRM	キー・リターン・モード・レジスタ	KR	1240
Latency Timer	Latency Timer	USBH	1125
LOCKR	ロック・レジスタ	CG	210
LVIIIC	割り込み制御レジスタ	INTC	1214
LVIM	低電圧検出レジスタ	LVI	1279
Max Latency	Max Latency	USBH	1129
Min gnt	Min gnt	USBH	1129
Next Item Pointer	Next Item Pointer	USBH	1130
OCDM	オンチップ・デバッグ・モード・レジスタ	DCU	1329
OCKS0	IIC分周クロック選択レジスタ0	I2C	842
OCKS1	IIC分周クロック選択レジスタ1	I2C	842
OHCI Base Address	OHCI Base Address	USBH	1126
OSTS	発振安定時間選択レジスタ	スタンバイ	1245
P0	ポート0レジスタ	ポート	107
P1	ポート1レジスタ	ポート	112
P2	ポート2レジスタ	ポート	113
P3	ポート3レジスタ	ポート	117
P4	ポート4レジスタ	ポート	122
P5	ポート5レジスタ	ポート	126
P6	ポート6レジスタ	ポート	132
P7H	ポート7レジスタH	ポート	136
P7L	ポート7レジスタL	ポート	136
P9	ポート9レジスタ	ポート	139
P9H	ポート9レジスタH	ポート	139
P9L	ポート9レジスタL	ポート	139
PC	プログラム・カウンタ	CPU	58
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	202
PCI_CONFIG_ADD	PCIコンフィグレーション・アドレス・レジスタ	USBH	1109
PCI_CONFIG_DATA	PCIコンフィグレーション・データ・レジスタ	USBH	1109
PCI_CONTROL1	PCIコントロール・レジスタ1	USBH	1110
PCI_CONTROL2	PCIコントロール・レジスタ2	USBH	1111
PCI_ERR_ADD	PCIバスエラー・アドレス・レジスタ	USBH	1116
PCI_INT_CTL	PCI割り込みコントロール・レジスタ	USBH	1115
PCI_INT_STATUS	PCI割り込みステータス・レジスタ	USBH	1113
PCI_WIN_BASE	PCIウィンドウズ・ベース・アドレス・レジスタ	USBH	1112
PCM	ポートCMレジスタ	ポート	148
PCS	ポートCSレジスタ	ポート	151
PCT	ポートCTレジスタ	ポート	153
PDH	ポートDHレジスタ	ポート	157

(8/24)

略号	名称	ユニット	ページ
PDL	ポートDLレジスタ	ポート	159
PDLH	ポートDLレジスタH	ポート	159
PDLL	ポートDLレジスタL	ポート	159
PF0	ポート0ファンクション・レジスタ	ポート	111
PF2	ポート2ファンクション・レジスタ	ポート	116
PF3	ポート3ファンクション・レジスタ	ポート	121
PF4	ポート4ファンクション・レジスタ	ポート	124
PF5	ポート5ファンクション・レジスタ	ポート	131
PF9	ポート9ファンクション・レジスタ	ポート	147
PF9L	ポート9ファンクション・レジスタL	ポート	147
PFC0	ポート0ファンクション・コントロール・レジスタ	ポート	110
PFC2	ポート2ファンクション・コントロール・レジスタ	ポート	114
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	119
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	123
PFC5	ポート5ファンクション・コントロール・レジスタ	ポート	129
PFC6	ポート6ファンクション・コントロール・レジスタ	ポート	134
PFC9	ポート9ファンクション・コントロール・レジスタ	ポート	142
PFC9H	ポート9ファンクション・コントロール・レジスタH	ポート	142
PFC9L	ポート9ファンクション・コントロール・レジスタL	ポート	142
PFCE0	ポート0ファンクション・コントロール拡張レジスタ	ポート	110
PFCE2	ポート2ファンクション・コントロール拡張レジスタ	ポート	115
PFCE3	ポート3ファンクション・コントロール拡張レジスタ	ポート	119
PFCE4	ポート4ファンクション・コントロール拡張レジスタ	ポート	123
PFCE5	ポート5ファンクション・コントロール拡張レジスタ	ポート	129
PFCE6	ポート6ファンクション・コントロール拡張レジスタ	ポート	134
PFCE9	ポート9ファンクション・コントロール拡張レジスタ	ポート	143
PFCE9H	ポート9ファンクション・コントロール拡張レジスタH	ポート	143
PFCE9L	ポート9ファンクション・コントロール拡張レジスタL	ポート	143
PIC00	割り込み制御レジスタ	INTC	1214
PIC01	割り込み制御レジスタ	INTC	1214
PIC02	割り込み制御レジスタ	INTC	1214
PIC03	割り込み制御レジスタ	INTC	1214
PIC04	割り込み制御レジスタ	INTC	1214
PIC05	割り込み制御レジスタ	INTC	1214
PIC06	割り込み制御レジスタ	INTC	1214
PIC07	割り込み制御レジスタ	INTC	1214
PIC08	割り込み制御レジスタ	INTC	1214
PIC09	割り込み制御レジスタ	INTC	1214
PIC10	割り込み制御レジスタ	INTC	1214
PIC11	割り込み制御レジスタ	INTC	1214
PIC12	割り込み制御レジスタ	INTC	1214
PIC13	割り込み制御レジスタ	INTC	1214
PIC14	割り込み制御レジスタ	INTC	1214
PIC15	割り込み制御レジスタ	INTC	1214

(9/24)

略号	名称	ユニット	ページ
PIC16	割り込み制御レジスタ	INTC	1214
PIC17	割り込み制御レジスタ	INTC	1214
PIC18	割り込み制御レジスタ	INTC	1214
PLLCTL	PLLコントロール・レジスタ	CG	208
PLLS	PLLロックアップ時間指定レジスタ	CG	211
PM0	ポート0モード・レジスタ	ポート	108
PM1	ポート1モード・レジスタ	ポート	112
PM2	ポート2モード・レジスタ	ポート	113
PM3	ポート3モード・レジスタ	ポート	117
PM4	ポート4モード・レジスタ	ポート	122
PM5	ポート5モード・レジスタ	ポート	127
PM6	ポート6モード・レジスタ	ポート	133
PM7H	ポート7モード・レジスタH	ポート	137
PM7L	ポート7モード・レジスタL	ポート	137
PM9	ポート9モード・レジスタ	ポート	139
PM9H	ポート9モード・レジスタH	ポート	139
PM9L	ポート9モード・レジスタL	ポート	139
PMC0	ポート0モード・コントロール・レジスタ	ポート	109
PMC2	ポート2モード・コントロール・レジスタ	ポート	114
PMC3	ポート3モード・コントロール・レジスタ	ポート	118
PMC4	ポート4モード・コントロール・レジスタ	ポート	123
PMC5	ポート5モード・コントロール・レジスタ	ポート	128
PMC6	ポート6モード・コントロール・レジスタ	ポート	133
PMC9	ポート9モード・コントロール・レジスタ	ポート	140
PMC9H	ポート9モード・コントロール・レジスタH	ポート	140
PMC9L	ポート9モード・コントロール・レジスタL	ポート	140
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	150
PMCCS	ポートCSモード・コントロール・レジスタ	ポート	152
PMCCT	ポートCTモード・コントロール・レジスタ	ポート	155
PMCDH	ポートDHモード・コントロール・レジスタ	ポート	157
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	160
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	160
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	160
PMCM	ポートCMモード・レジスタ	ポート	149
PMCS	ポートCSモード・レジスタ	ポート	151
PMCSR Bridge Support Extensions	PMCSR Bridge Support Extensions	USBH	1131
PMCT	ポートCTモード・レジスタ	ポート	154
PMDH	ポートDHモード・レジスタ	ポート	157
PMDL	ポートDLモード・レジスタ	ポート	159
PMDLH	ポートDLモード・レジスタH	ポート	159
PMDLL	ポートDLモード・レジスタL	ポート	159

(10/24)

略号	名称	ユニット	ページ
Power Management Capabilities	Power Management Capabilities	USBH	1130
Power Management Control/Status	Power Management Control/Status	USBH	1131
PRCMD	コマンド・レジスタ	CPU	93
PRSCM0	プリスケラ・コンペア・レジスタ0	BRG	660
PRSCM1	プリスケラ・コンペア・レジスタ1	BRG	819
PRSCM2	プリスケラ・コンペア・レジスタ2	BRG	819
PRSCM3	プリスケラ・コンペア・レジスタ3	BRG	819
PRSM0	プリスケラ・モード・レジスタ0	BRG	659
PRSM1	プリスケラ・モード・レジスタ1	BRG	818
PRSM2	プリスケラ・モード・レジスタ2	BRG	818
PRSM3	プリスケラ・モード・レジスタ3	BRG	818
PSC	パワー・セーブ・コントロール・レジスタ	CG	1243
PSMR	パワー・セーブ・モード・レジスタ	CG	1244
PSW	プログラム・ステータス・ワード	CPU	62
r0-r31	汎用レジスタ	CPU	58
RAMS	内蔵RAMデータ・ステータス・レジスタ	LVI	1280
RC1ALH	アラーム時設定レジスタ	RTC	657
RC1ALM	アラーム分設定レジスタ	RTC	657
RC1ALW	アラーム曜日設定レジスタ	RTC	658
RC1CC0	RTCコントロール・レジスタ0	RTC	646
RC1CC1	RTCコントロール・レジスタ1	RTC	646
RC1CC2	RTCコントロール・レジスタ2	RTC	648
RC1CC3	RTCコントロール・レジスタ3	RTC	649
RC1DAY	日カウント・レジスタ	RTC	653
RC1HOUR	時カウント・レジスタ	RTC	651
RC1MIN	分カウント・レジスタ	RTC	651
RC1MONTH	月カウント・レジスタ	RTC	655
RC1SEC	秒カウント・レジスタ	RTC	650
RC1SUBC	サブ・カウント・レジスタ	RTC	650
RC1SUBU	時間誤差補正レジスタ	RTC	656
RC1WEEK	曜日カウント・レジスタ	RTC	654
RC1YEAR	年カウント・レジスタ	RTC	655
RCM	内蔵発振モード・レジスタ	CG	206
RESF	リセット要因フラグ・レジスタ	リセット	1264
Revision ID	Revision ID	USBH	1124
RTBH0	リアルタイム出力バッファ・レジスタ0H	RTO	680
RTBL0	リアルタイム出力バッファ・レジスタ0L	RTO	680
RTC0IC	割り込み制御レジスタ	INTC	1214
RTC1IC	割り込み制御レジスタ	INTC	1214
RTC2IC	割り込み制御レジスタ	INTC	1214

(11/24)

略号	名称	ユニット	ページ
RTPC0	リアルタイム出力ポート・コントロール・レジスタ0	RTO	682
RTPM0	リアルタイム出力ポート・モード・レジスタ0	RTO	681
SELCNT0	セレクト動作制御レジスタ0	タイマ	329
SRAM_BASE	SRAM_BASEレジスタ	USBH	1118
Status	Status	USBH	1122
SubSystem Vender ID	SubSystem Vender ID	USBH	1127
SubSystemID	SubSystemID	USBH	1127
SVA0	スレーブ・アドレス・レジスタ0	I2C	843
SVA1	スレーブ・アドレス・レジスタ1	I2C	843
SVA2	スレーブ・アドレス・レジスタ2	I2C	843
SYS	システム・ステータス・レジスタ	CPU	94
TAA0CCIC0	割り込み制御レジスタ	INTC	1214
TAA0CCIC1	割り込み制御レジスタ	INTC	1214
TAA0CCR0	TAA0キャプチャ/コンペア・レジスタ0	タイマ	227
TAA0CCR1	TAA0キャプチャ/コンペア・レジスタ1	タイマ	229
TAA0CNT	TAA0カウンタ・リード・バッファ・レジスタ	タイマ	231
TAA0CTL0	TAA0制御レジスタ0	タイマ	218
TAA0CTL1	TAA0制御レジスタ1	タイマ	219
TAA0IOC0	TAA0I/O制御レジスタ0	タイマ	221
TAA0IOC1	TAA0I/O制御レジスタ1	タイマ	222
TAA0IOC2	TAA0I/O制御レジスタ2	タイマ	223
TAA0IOC4	TAA0I/O制御レジスタ4	タイマ	224
TAA0OPT0	TAA0オプション・レジスタ0	タイマ	225
TAA0OPT1	TAA0オプション・レジスタ1	タイマ	226
TAA0OVIC	割り込み制御レジスタ	INTC	1214
TAA1CCIC0	割り込み制御レジスタ	INTC	1214
TAA1CCIC1	割り込み制御レジスタ	INTC	1214
TAA1CCR0	TAA1キャプチャ/コンペア・レジスタ0	タイマ	227
TAA1CCR1	TAA1キャプチャ/コンペア・レジスタ1	タイマ	229
TAA1CNT	TAA1カウンタ・リード・バッファ・レジスタ	タイマ	231
TAA1CTL0	TAA1制御レジスタ0	タイマ	218
TAA1CTL1	TAA1制御レジスタ1	タイマ	219
TAA1IOC0	TAA1I/O制御レジスタ0	タイマ	221
TAA1IOC1	TAA1I/O制御レジスタ1	タイマ	222
TAA1IOC2	TAA1I/O制御レジスタ2	タイマ	223
TAA1IOC4	TAA1I/O制御レジスタ4	タイマ	224
TAA1OPT0	TAA1オプション・レジスタ0	タイマ	225
TAA1OVIC	割り込み制御レジスタ	INTC	1214
TAA2CCIC0	割り込み制御レジスタ	INTC	1214
TAA2CCIC1	割り込み制御レジスタ	INTC	1214
TAA2CCR0	TAA2キャプチャ/コンペア・レジスタ0	タイマ	227
TAA2CCR1	TAA2キャプチャ/コンペア・レジスタ1	タイマ	229
TAA2CNT	TAA2カウンタ・リード・バッファ・レジスタ	タイマ	231

(12/24)

略号	名称	ユニット	ページ
TAA2CTL0	TAA2制御レジスタ0	タイマ	218
TAA2CTL1	TAA2制御レジスタ1	タイマ	219
TAA2IOC0	TAA2I/O制御レジスタ0	タイマ	221
TAA2IOC1	TAA2I/O制御レジスタ1	タイマ	222
TAA2IOC2	TAA2I/O制御レジスタ2	タイマ	223
TAA2IOC4	TAA2I/O制御レジスタ4	タイマ	224
TAA2OPT0	TAA2オプション・レジスタ0	タイマ	225
TAA2OPT1	TAA2オプション・レジスタ1	タイマ	226
TAA2OVIC	割り込み制御レジスタ	INTC	1214
TAA3CCIC0	割り込み制御レジスタ	INTC	1214
TAA3CCIC1	割り込み制御レジスタ	INTC	1214
TAA3CCR0	TAA3キャプチャ/コンペア・レジスタ0	タイマ	227
TAA3CCR1	TAA3キャプチャ/コンペア・レジスタ1	タイマ	229
TAA3CNT	TAA3カウンタ・リード・バッファ・レジスタ	タイマ	231
TAA3CTL0	TAA3制御レジスタ0	タイマ	218
TAA3CTL1	TAA3制御レジスタ1	タイマ	219
TAA3IOC0	TAA3I/O制御レジスタ0	タイマ	221
TAA3IOC1	TAA3I/O制御レジスタ1	タイマ	222
TAA3IOC2	TAA3I/O制御レジスタ2	タイマ	223
TAA3IOC4	TAA3I/O制御レジスタ4	タイマ	224
TAA3OPT0	TAA3オプション・レジスタ0	タイマ	225
TAA3OVIC	割り込み制御レジスタ	INTC	1214
TAA4CCIC0	割り込み制御レジスタ	INTC	1214
TAA4CCIC1	割り込み制御レジスタ	INTC	1214
TAA4CCR0	TAA4キャプチャ/コンペア・レジスタ0	タイマ	227
TAA4CCR1	TAA4キャプチャ/コンペア・レジスタ1	タイマ	229
TAA4CNT	TAA4カウンタ・リード・バッファ・レジスタ	タイマ	231
TAA4CTL0	TAA4制御レジスタ0	タイマ	218
TAA4CTL1	TAA4制御レジスタ1	タイマ	219
TAA4OVIC	割り込み制御レジスタ	INTC	1214
TAA5CCIC0	割り込み制御レジスタ	INTC	1214
TAA5CCIC1	割り込み制御レジスタ	INTC	1214
TAA5CCR0	TAA5キャプチャ/コンペア・レジスタ0	タイマ	227
TAA5CCR1	TAA5キャプチャ/コンペア・レジスタ1	タイマ	229
TAA5CNT	TAA5カウンタ・リード・バッファ・レジスタ	タイマ	231
TAA5CTL0	TAA5制御レジスタ0	タイマ	218
TAA5CTL1	TAA5制御レジスタ1	タイマ	219
TAA5IOC0	TAA5I/O制御レジスタ0	タイマ	221
TAA5IOC1	TAA5I/O制御レジスタ1	タイマ	222
TAA5IOC2	TAA5I/O制御レジスタ2	タイマ	223
TAA5IOC4	TAA5I/O制御レジスタ4	タイマ	224
TAA5OPT0	TAA5オプション・レジスタ0	タイマ	225
TAA5OVIC	割り込み制御レジスタ	INTC	1214
TAB0CCIC0	割り込み制御レジスタ	INTC	1214

(13/24)

略号	名称	ユニット	ページ
TAB0CCIC1	割り込み制御レジスタ	INTC	1214
TAB0CCIC2	割り込み制御レジスタ	INTC	1214
TAB0CCIC3	割り込み制御レジスタ	INTC	1214
TAB0CCR0	TAB0キャプチャ/コンペア・レジスタ0	タイマ	343
TAB0CCR1	TAB0キャプチャ/コンペア・レジスタ1	タイマ	345
TAB0CCR2	TAB0キャプチャ/コンペア・レジスタ2	タイマ	347
TAB0CCR3	TAB0キャプチャ/コンペア・レジスタ3	タイマ	349
TAB0CNT	TAB0カウンタ・リード・バッファ・レジスタ	タイマ	351
TAB0CTL0	TAB0制御レジスタ0	タイマ	336
TAB0CTL1	TAB0制御レジスタ1	タイマ	337
TAB0IOC0	TAB0I/O制御レジスタ0	タイマ	338
TAB0IOC1	TAB0I/O制御レジスタ1	タイマ	339
TAB0IOC2	TAB0I/O制御レジスタ2	タイマ	340
TAB0OIC4	TAB0I/O制御レジスタ4	タイマ	341
TAB0OPT0	TAB0オプション・レジスタ0	タイマ	342
TAB0OVIC	割り込み制御レジスタ	INTC	1214
TAB1CCIC0	割り込み制御レジスタ	INTC	1214
TAB1CCIC1	割り込み制御レジスタ	INTC	1214
TAB1CCIC2	割り込み制御レジスタ	INTC	1214
TAB1CCIC3	割り込み制御レジスタ	INTC	1214
TAB1CCR0	TAB1キャプチャ/コンペア・レジスタ0	タイマ	343
TAB1CCR1	TAB1キャプチャ/コンペア・レジスタ1	タイマ	345
TAB1CCR2	TAB1キャプチャ/コンペア・レジスタ2	タイマ	347
TAB1CCR3	TAB1キャプチャ/コンペア・レジスタ3	タイマ	349
TAB1CNT	TAB1カウンタ・リード・バッファ・レジスタ	タイマ	351
TAB1CTL0	TAB1制御レジスタ0	タイマ	336
TAB1CTL1	TAB1制御レジスタ1	タイマ	337
TAB1DTC	TAB1デッドタイム・コンペア・レジスタ1	タイマ	584
TAB1IOC0	TAB1I/O制御レジスタ0	タイマ	338
TAB1IOC1	TAB1I/O制御レジスタ1	タイマ	339
TAB1IOC2	TAB1I/O制御レジスタ2	タイマ	340
TAB1IOC3	TAB1I/O制御レジスタ3	タイマ	591
TAB1OIC4	TAB1I/O制御レジスタ4	タイマ	341
TAB1OPT0	TAB1オプション・レジスタ0	タイマ	342
TAB1OPT1	TAB1オプション・レジスタ1	タイマ	585
TAB1OPT2	TAB1オプション・レジスタ2	タイマ	586
TAB1OVIC	割り込み制御レジスタ	INTC	1214
TANFC	TAAノイズ除去制御レジスタ	タイマ	232
TM0CMP0	TMM0コンペア・レジスタ0	タイマ	572
TM0CTL0	TMM0制御レジスタ0	タイマ	573
TM0EQIC0	割り込み制御レジスタ	INTC	1214
TM1CMP0	TMM1コンペア・レジスタ0	タイマ	572
TM1CTL0	TMM1制御レジスタ0	タイマ	573
TM1EQIC0	割り込み制御レジスタ	INTC	1214

(14/24)

略号	名称	ユニット	ページ
TM2CMP0	TMM2コンペア・レジスタ0	タイマ	572
TM2CTL0	TMM2制御レジスタ0	タイマ	573
TM2EQIC0	割り込み制御レジスタ	INTC	1214
TM3CMP0	TMM3コンペア・レジスタ0	タイマ	572
TM3CTL0	TMM3制御レジスタ0	タイマ	573
TM3EQIC0	割り込み制御レジスタ	INTC	1214
TT0CCIC0	割り込み制御レジスタ	INTC	1214
TT0CCIC1	割り込み制御レジスタ	INTC	1214
TT0CCR0	TMT0キャプチャ/コンペア・レジスタ0	タイマ	454
TT0CCR1	TMT0キャプチャ/コンペア・レジスタ1	タイマ	456
TT0CNT	TMT0カウンタ・リード・パッファ・レジスタ	タイマ	458
TT0CTL0	TMT0制御レジスタ0	タイマ	440
TT0CTL1	TMT0制御レジスタ1	タイマ	441
TT0CTL2	TMT0制御レジスタ2	タイマ	443
TT0IECIC	割り込み制御レジスタ	INTC	1214
TT0IOC0	TMT0I/O制御レジスタ0	タイマ	445
TT0IOC1	TMT0I/O制御レジスタ1	タイマ	447
TT0IOC2	TMT0I/O制御レジスタ2	タイマ	448
TT0IOC3	TMT0I/O制御レジスタ3	タイマ	449
TT0OPT0	TMT0オプション・レジスタ0	タイマ	451
TT0OPT1	TMT0オプション・レジスタ1	タイマ	452
TT0OVIC	割り込み制御レジスタ	INTC	1214
TT0TCW	TMT0カウンタ・ライト・レジスタ	タイマ	458
TTNFC	TMTノイズ除去制御レジスタ	タイマ	459
UC0CTL0	UARTC0制御レジスタ0	UARTC	734
UC0CTL1	UARTC0制御レジスタ1	UARTC	761
UC0CTL2	UARTC0制御レジスタ2	UARTC	762
UC0OPT0	UARTC0オプション制御レジスタ0	UARTC	736
UC0OPT1	UARTC0オプション制御レジスタ1	UARTC	738
UC0RIC	割り込み制御レジスタ	INTC	1214
UC0RX	UARTC0受信データ・レジスタ	UARTC	742
UC0RXL	UARTC0受信データ・レジスタL	UARTC	742
UC0STR	UARTC0状態レジスタ	UARTC	740
UC0TIC	割り込み制御レジスタ	INTC	1214
UC0TX	UARTC0送信データ・レジスタ	UARTC	743
UC0TXL	UARTC0送信データ・レジスタL	UARTC	743
UC1CTL0	UARTC1制御レジスタ0	UARTC	734
UC1CTL1	UARTC1制御レジスタ1	UARTC	761
UC1CTL2	UARTC1制御レジスタ2	UARTC	762
UC1OPT0	UARTC1オプション制御レジスタ0	UARTC	736
UC1OPT1	UARTC1オプション制御レジスタ1	UARTC	738
UC1RIC	割り込み制御レジスタ	INTC	1214
UC1RX	UARTC1受信データ・レジスタ	UARTC	742
UC1RXL	UARTC1受信データ・レジスタL	UARTC	742

(15/24)

略号	名称	ユニット	ページ
UC1STR	UARTC1状態レジスタ	UARTC	740
UC1TIC	割り込み制御レジスタ	INTC	1214
UC1TX	UARTC1送信データ・レジスタ	UARTC	743
UC1TXL	UARTC1送信データ・レジスタL	UARTC	743
UC2CTL0	UARTC2制御レジスタ0	UARTC	734
UC2CTL1	UARTC2制御レジスタ1	UARTC	761
UC2CTL2	UARTC2制御レジスタ2	UARTC	762
UC2OPT0	UARTC2オプション制御レジスタ0	UARTC	736
UC2OPT1	UARTC2オプション制御レジスタ1	UARTC	738
UC2RIC	割り込み制御レジスタ	INTC	1214
UC2RX	UARTC2受信データ・レジスタ	UARTC	742
UC2RXL	UARTC2受信データ・レジスタL	UARTC	742
UC2STR	UARTC2状態レジスタ	UARTC	740
UC2TIC	割り込み制御レジスタ	INTC	1214
UC2TX	UARTC2送信データ・レジスタ	UARTC	743
UC2TXL	UARTC2送信データ・レジスタL	UARTC	743
UC3CTL0	UARTC3制御レジスタ0	UARTC	734
UC3CTL1	UARTC3制御レジスタ1	UARTC	761
UC3CTL2	UARTC3制御レジスタ2	UARTC	762
UC3OPT0	UARTC3オプション制御レジスタ0	UARTC	736
UC3OPT1	UARTC3オプション制御レジスタ1	UARTC	738
UC3RIC	割り込み制御レジスタ	INTC	1214
UC3RX	UARTC3受信データ・レジスタ	UARTC	742
UC3RXL	UARTC3受信データ・レジスタL	UARTC	742
UC3STR	UARTC3状態レジスタ	UARTC	740
UC3TIC	割り込み制御レジスタ	INTC	1214
UC3TX	UARTC3送信データ・レジスタ	UARTC	743
UC3TXL	UARTC3送信データ・レジスタL	UARTC	743
UC4CTL0	UARTC4制御レジスタ0	UARTC	734
UC4CTL1	UARTC4制御レジスタ1	UARTC	761
UC4CTL2	UARTC4制御レジスタ2	UARTC	762
UC4OPT0	UARTC4オプション制御レジスタ0	UARTC	736
UC4OPT1	UARTC4オプション制御レジスタ1	UARTC	738
UC4RIC	割り込み制御レジスタ	INTC	1214
UC4RX	UARTC4受信データ・レジスタ	UARTC	742
UC4RXL	UARTC4受信データ・レジスタL	UARTC	742
UC4STR	UARTC4状態レジスタ	UARTC	740
UC4TIC	割り込み制御レジスタ	INTC	1214
UC4TX	UARTC4送信データ・レジスタ	UARTC	743
UC4TXL	UARTC4送信データ・レジスタL	UARTC	743
UCKSEL	USBクロック選択レジスタ	USB	918
UF0AAS	UF0アクティブ・オルタナティブ・セッティング・レジスタ	USBF	981
UF0ADRS	UF0アドレス・レジスタ	USBF	1023
UF0AIFN	UF0アクティブ・インタフェース・ナンバー・レジスタ	USBF	980

(22/24)

略号	名称	ユニット	ページ
UF0CLR	UF0 CLRリクエスト・レジスタ	USBF	945
UF0CNF	UF0コンフィギュレーション・レジスタ	USBF	1024
UF0DD0	UF0デバイス・ディスクリプタ・レジスタ0	USBF	1028
UF0DD1	UF0デバイス・ディスクリプタ・レジスタ1	USBF	1028
UF0DD2	UF0デバイス・ディスクリプタ・レジスタ2	USBF	1028
UF0DD3	UF0デバイス・ディスクリプタ・レジスタ3	USBF	1028
UF0DD4	UF0デバイス・ディスクリプタ・レジスタ4	USBF	1028
UF0DD5	UF0デバイス・ディスクリプタ・レジスタ5	USBF	1028
UF0DD6	UF0デバイス・ディスクリプタ・レジスタ6	USBF	1028
UF0DD7	UF0デバイス・ディスクリプタ・レジスタ7	USBF	1028
UF0DD8	UF0デバイス・ディスクリプタ・レジスタ8	USBF	1028
UF0DD9	UF0デバイス・ディスクリプタ・レジスタ9	USBF	1028
UF0DD10	UF0デバイス・ディスクリプタ・レジスタ10	USBF	1028
UF0DD11	UF0デバイス・ディスクリプタ・レジスタ11	USBF	1028
UF0DD12	UF0デバイス・ディスクリプタ・レジスタ12	USBF	1028
UF0DD13	UF0デバイス・ディスクリプタ・レジスタ13	USBF	1028
UF0DD14	UF0デバイス・ディスクリプタ・レジスタ14	USBF	1028
UF0DD15	UF0デバイス・ディスクリプタ・レジスタ15	USBF	1028
UF0DD16	UF0デバイス・ディスクリプタ・レジスタ16	USBF	1028
UF0DD17	UF0デバイス・ディスクリプタ・レジスタ17	USBF	1028
UF0DEND	UF0データ・エンド・レジスタ	USBF	975
UF0DMS0	UF0 DMAステータス0レジスタ	USBF	971
UF0DMS1	UF0 DMAステータス1レジスタ	USBF	972
UF0DSCL	UF0ディスクリプタ・レングス・レジスタ	USBF	1027
UF0DSTL	UF0デバイス・ステータス・レジスタL	USBF	1016
UF0E0L	UF0 EP0レングス・レジスタ	USBF	994
UF0E0N	UF0 EP0NAKレジスタ	USBF	936
UF0E0NA	UF0 EP0NAKALLレジスタ	USBF	938
UF0E0R	UF0 EP0リード・レジスタ	USBF	993
UF0E0SL	UF0 EP0ステータス・レジスタL	USBF	1017
UF0E0ST	UF0 EP0セットアップ・レジスタ	USBF	995
UF0E0W	UF0 EP0ライト・レジスタ	USBF	997
UF0E1DC1	EP1 DMAコントロール・レジスタ1	USBF	1035
UF0E1DC2	EP1 DMAコントロール・レジスタ2	USBF	1037
UF0E1IM	UF0エンドポイント1インタフェース・マッピング・レジスタ	USBF	983
UF0E1SL	UF0 EP1ステータス・レジスタL	USBF	1018
UF0E2DC1	EP2 DMAコントロール・レジスタ1	USBF	1035
UF0E2DC2	EP2 DMAコントロール・レジスタ2	USBF	1037
UF0E2IM	UF0エンドポイント2インタフェース・マッピング・レジスタ	USBF	985
UF0E2SL	UF0 EP2ステータス・レジスタL	USBF	1019
UF0E3DC1	EP3 DMAコントロール・レジスタ1	USBF	1035
UF0E3DC2	EP3 DMAコントロール・レジスタ2	USBF	1037
UF0E3IM	UF0エンドポイント3インタフェース・マッピング・レジスタ	USBF	987
UF0E3SL	UF0 EP3ステータス・レジスタL	USBF	1020

(23/24)

略号	名称	ユニット	ページ
UF0E4DC1	EP4 DMAコントロール・レジスタ1	USBF	1035
UF0E4DC2	EP4 DMAコントロール・レジスタ2	USBF	1037
UF0E4IM	UF0エンドポイント4インタフェース・マッピング・レジスタ	USBF	989
UF0E4SL	UF0 EP4ステータス・レジスタL	USBF	1021
UF0E7IM	UF0エンドポイント7インタフェース・マッピング・レジスタ	USBF	991
UF0E7SL	UF0 EP7ステータス・レジスタL	USBF	1022
UF0EN	UF0 EPNAKレジスタ	USBF	939
UF0ENM	UF0 EPNAKマスク・レジスタ	USBF	943
UF0EP1BI	UF0 EP1バルク・イン転送データ・レジスタ	USBF	1039
UF0EP2BO	UF0 EP2バルク・アウト転送データ・レジスタ	USBF	1040
UF0EP3BI	UF0 EP3バルク・イン転送データ・レジスタ	USBF	1039
UF0EP4BO	UF0 EP4バルク・アウト転送データ・レジスタ	USBF	1041
UF0EPS0	UF0 EPステータス0レジスタ	USBF	947
UF0EPS1	UF0 EPステータス1レジスタ	USBF	949
UF0EPS2	UF0 EPステータス2レジスタ	USBF	950
UF0FIC0	UF0 FIFOクリア0レジスタ	USBF	973
UF0FIC1	UF0 FIFOクリア1レジスタ	USBF	974
UF0GPR	UF0 GPRレジスタ	USBF	977
UF0IC0	UF0 INTクリア0レジスタ	USBF	964
UF0IC1	UF0 INTクリア1レジスタ	USBF	965
UF0IC2	UF0 INTクリア2レジスタ	USBF	966
UF0IC3	UF0 INTクリア3レジスタ	USBF	967
UF0IC4	UF0 INTクリア4レジスタ	USBF	968
UF0IDR	UF0 INT & DMARQレジスタ	USBF	969
UF0IF0	UF0インタフェース0レジスタ	USBF	1025
UF0IF1	UF0インタフェース1レジスタ	USBF	1026
UF0IF2	UF0インタフェース2レジスタ	USBF	1026
UF0IF3	UF0インタフェース3レジスタ	USBF	1026
UF0IF4	UF0インタフェース4レジスタ	USBF	1026
UF0IM0	UF0 INTマスク0レジスタ	USBF	959
UF0IM1	UF0 INTマスク1レジスタ	USBF	960
UF0IM2	UF0 INTマスク2レジスタ	USBF	961
UF0IM3	UF0 INTマスク3レジスタ	USBF	962
UF0IM4	UF0 INTマスク4レジスタ	USBF	963
UF0INT1	UF0インタラプト1レジスタ	USBF	1014
UF0IS0	UF0 INTステータス0レジスタ	USBF	951
UF0IS1	UF0 INTステータス1レジスタ	USBF	953
UF0IS2	UF0 INTステータス2レジスタ	USBF	955
UF0IS3	UF0 INTステータス3レジスタ	USBF	956
UF0IS4	UF0 INTステータス4レジスタ	USBF	958
UF0MODC	UF0モード・コントロール・レジスタ	USBF	978
UF0MODS	UF0モード・ステータス・レジスタ	USBF	979
UF0SDS	UF0 SNDSIE レジスタ	USBF	944
UF0SET	UF0 SETリクエスト・レジスタ	USBF	946

(24/24)

略号	名称	ユニット	ページ
UFCKMSK	USBファンクション制御レジスタ	USB	918
UFDRQEN	USBF DMAリクエスト・イネーブル・レジスタ	USBF	1042
UFIC0	割り込み制御レジスタ	INTC	1214
UFIC1	割り込み制御レジスタ	INTC	1214
UHCKMSK	USB機能選択レジスタ	USB	919
UHIC0	割り込みレジスタ	INTC	1214
UHIC1	割り込みレジスタ	INTC	1214
UHIC2	割り込みレジスタ	INTC	1214
Vender ID	Vender ID	USBH	1121
VSWC	システム・ウエイト・コントロール・レジスタ	CPU	95
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	677
WDTM2	ウォッチドッグ・タイマ・モード・レジスタ2	WDT	675

付録D 命令セット一覧

D.1 凡 例

(1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (ソース・レジスタとして使用)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。)
reg3	汎用レジスタ (おもに除算結果の余り、乗算結果の上位32ビットを格納)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ (r3)
ep	エレメント・ポインタ (r30)
list x	x個のレジスタ・リスト

(2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエトの1ビット分データ (イミューディエトの上位ビットを示す)
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略号	説明
	代入
GR []	汎用レジスタ
SR []	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果, n 7FFFFFFFHとなった場合, n = 7FFFFFFFHとする。 nが計算の結果, n 80000000Hとなった場合, n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

(5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件コード (cccc)	条件式	説明
0000	$OV = 1$	Overflow
1000	$OV = 0$	No overflow
0001	$CY = 1$	Carry Lower (Less than)
1001	$CY = 0$	No carry No lower (Greater than or equal)
0010	$Z = 1$	Zero
1010	$Z = 0$	Not zero
0011	$(CY \text{ or } Z) = 1$	Not higher (Less than or equal)
1011	$(CY \text{ or } Z) = 0$	Higher (Greater than)
0100	$S = 1$	Negative
1100	$S = 0$	Positive
0101	-	Always (無条件)
1101	$SAT = 1$	Saturated
0110	$(S \text{ xor } OV) = 1$	Less than signed
1110	$(S \text{ xor } OV) = 0$	Greater than or equal signed
0111	$((S \text{ xor } OV) \text{ or } Z) = 1$	Less than or equal signed
1111	$((S \text{ xor } OV) \text{ or } Z) = 0$	Greater than signed

D.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x	
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	x	x	
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied	条件成立時	2	2	2				
			then PC PC + sign-extend (disp9)	注2	注2	注2					
			条件不成立時	1	1	1					
BSH	reg2, reg3	rrrrr1111100000 wwww01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x	
BSW	reg2, reg3	rrrrr1111100000 wwww01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x	
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr, Half-word))	4	4	4					
CLR1	bit#3, disp16[reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3	3	3				x	
	reg2, [reg1]	rrrrr11111RRRRR 000000011100100	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3				x	
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1					
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1					
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x	
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	3	3	3	R	R	R	R	R
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	3	3	3	R	R	R	R	R
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	3	3	3					
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1					

(2/5)

二モニツク	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4						
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4						
DIV	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6}	35	35	35		x	x	x		
	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01010000000	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01010000010	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
EI		100001111100000 0000000101100000	PSW.ID 0	1	1	1						
HALT		000001111100000 0000000100100000	停止する	1	1	1						
HSW	reg2, reg3	rrrrr1111100000 WWWWW01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x		
JARL	disp22, reg2	rrrrr11110dddddd ddddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	2	2	2						
JMP	[reg1]	00000000011RRRRR	PC GR[reg1]	3	3	3						
JR	disp22	0000011110dddddd ddddddddddddddd0 注7	PC PC + sign-extend(disp22)	2	2	2						
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注11						
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注11						
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注11						
LDSR	reg2, regID	rrrrr11111RRRRR 0000000000100000 注12	SR[regID] GR[reg2]	regID = PSW以外	1	1	1					
				regID = PSW	1	1	1	x	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr11111RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注11						

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11						
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2] GR[reg1]	1	1	1						
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1						
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2						
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1						
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)	1	1	1						
MUL	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100000 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5						
	imm9, reg2, reg3	rrrrr111111iiii WWWWW01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	4	5						
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ²⁶ × GR[reg1] ²⁶	1	1	2						
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] ²⁶ × sign-extend (imm5)	1	1	2						
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ²⁶ × imm16	1	1	2						
MULU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100010 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5						
	imm9, reg2, reg3	rrrrr111111iiii WWWWW01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	4	5						
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1						
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT (GR[reg1])	1	1	1		0	x	x		
NOT1	bit#3,	01bbb11110RRRRR	adr GR[reg1] + sign-extend (disp16)	3	3	3					x	
	disp16[reg1]	ddddddddddddddd	Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	注3	注3	注3						
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					x	
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	x	x		
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	x	x		
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4						
	list12, imm5, sp/imm ^{注15}	0000011110iiiiL LLLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp - zero-extend (imm5) ep sp/imm	n+2 注4	n+2 注4	n+2 注4						

(4/5)

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	3	3	3	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1])	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5))	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16))	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep], reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep], reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep], reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注9					

(5/5)

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr11111RRRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	0000000010RRRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	0000000101RRRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0))	1	1	1					
SXH	reg1	0000000111RRRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0))	1	1	1					
TRAP	vector	0000011111111111 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 0000040H (vectorが00H-0FHのとき) 0000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3))	3	3	3	注3	注3	注3		x
	reg2, [reg1]	rrrrr11111RRRRR 000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2))	3	3	3	注3	注3	注3		x
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	0000000100RRRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0))	1	1	1					
ZXH	reg1	0000000110RRRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0))	1	1	1					

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は3。
 3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
 4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ数。n = 0の場合, n = 1と同じ動作)
 5. RRRRR : 00000以外
 6. 下位ハーフワード・データだけ有効
 7. ddddddddddddddddddddはdisp22の上位21ビットです。
 8. ddddddddddddddddはdisp16の上位15ビットです。
 9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
 10. b : disp16のビット0
 11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
 12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
 - rrrrr = regID指定
 - RRRRR = reg2指定
 13. iiii : imm9の下位5ビット
IIII : imm9の上位4ビット
 14. 汎用レジスタreg1と汎用レジスタreg3に, 同じレジスタを指定しないでください。
 15. sp/imm : サブオペコードのビット19, 20で指定
 16. ff = 00 : spをepにロード
 - 01 : 符号拡張した16ビット・イミューディエト・データ (ビット47-32) をepにロード
 - 10 : 16ビット論理左シフトした16ビット・イミューディエト・データ (ビット47-32) をepにロード
 - 11 : 32ビット・イミューディエト・データ (ビット63-32) をepにロード
 17. imm = imm32の場合はn + 3クロック
 18. rrrrr : 00000以外
 19. dddddddはdisp8の上位7ビットです。
 20. ddddはdisp5の上位4ビットです。
 21. dddddddはdisp8の上位6ビット

付録E 改版履歴

E. 1 本版で改訂された主な箇所

箇所	内容
p.36	2.1 端子機能一覧(1)ポート端子 変更
p.40-48	2.1 端子機能一覧(2)ポート以外の端子 変更
p.100	図4 - 1 ポートの構成図 (V850ES/JG3-U) 注意を追加
p.100	図4 - 2 ポートの構成図 (V850ES/JH3-U) 注意を追加
p.823	図19 - 3 UARTC1とI ² C02のモード切り替え設定 変更

E. 2 前版までの改版履歴

前版までの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/2)

版数	内容	適用箇所
2版	5. 5. 1 (1) データ・ウェイト・コントロール・レジスタ0 (DWC0) 注追加	第5章 バス制御U機能
	5. 5. 4 (1) アドレス・ウェイト・コントロール・レジスタ (AWC) 注追加	
	5. 6 (1) パス・サイクル・コントロール・レジスタ (BCC) 注追加	
	20. 1 概要 注意追加	第20章 USBファンクション・コントローラ (USBF)
	図20 - 3 USBファンクション・コントローラ接続例 変更	
	20. 4 (2) USBクロック停止 変更	
	20. 6. 1 (2) USBファンクション制御レジスタ (UFCKMSK) 変更	
	20. 6. 3 (26) UF0 INT&DMARQレジスタ (UF0IDR) MODE1, MODE0ビット記述変更	
	20. 6. 8 (1) UF0 EP1バルク・イン転送データ・レジスタ (UF0EP1BI) 変更	
	20. 6. 8 (2) UF0 EP3バルク・イン転送データ・レジスタ (UF0EP3BI) 変更	
	20. 6. 9 (1) UF0 EP2バルク・アウト転送データ・レジスタ (UF0EP2BO) 変更	
	20. 6. 9 (2) UF0 EP4バルク・アウト転送データ・レジスタ (UF0EP4BO) 変更	
	20. 9. 6 (1) バルク転送 (OUT : EP2, EP4) の初期設定 追加	
	20. 9. 7 (1) バルク転送 (IN : EP1, EP3) の初期設定 追加	
	表31 - 6 V850ES/JG3-Uフラッシュ書き込み用アダプタの配線例 変更	第31章 フラッシュ・メモリ
	表31 - 7 V850ES/JH3-Uフラッシュ書き込み用アダプタの配線例 変更	
	31. 6 書き込み済み品発注用ROMコードの作成方法 追加	第32章 オンチップ・デバッグ機能
	32. 2. 3 (5) 通信用シリアル・インタフェースの確保 CSIF0使用時のポートに関するレジスタ (a) 変更	
	32. 2. 3 (5) 通信用シリアル・インタフェースの確保 CSIF3使用時のポートに関するレジスタ (a) 変更	
33. 1 絶対最大定格 変更	第33章 電気的特性	
33. 4. 1 (1) 京セラキンセキ株式会社：水晶振動子 追加		
33. 4. 1 (2) 京セラ株式会社：セラミック発振子 追加		

版 数	内 容	適応箇所
2版	33.4.1(3) 株式会社富山村田製作所：セラミック発振子 追加	第33章 電気的特性
	33.4.2(1) セイコーインスツル株式会社：水晶振動子 追加	
	33.5.1 入出力レベル 変更	
	33.5.2 電源電流 変更	
	33.6(1) STOPモード時 データ保持電流MAX.値変更	
	33.9(1) 基本特性 書き換え回数変更	
	第35章 半田付け推奨条件 追加	第35章 半田付け推奨条件
	付録E 改版履歴 追加	付録E 改版履歴
3版	4.3.3(6) ポート2の兼用機能の指定 変更	第4章 ポート機能
	4.3.9(4) ポート9ファンクション・コントロール・レジスタ(PFC9) 注意 変更	
	4.3.9(5) ポート9ファンクション・コントロール拡張レジスタ(PFCE9) 注意 変更	
	表4-20 ポート端子を兼用端子として使用する場合 変更	
	図12-1 リアルタイム・カウンタのブロック図 変更	第12章 リアルタイム・カウンタ
	12.2.1(3) INTRTC2 変更	
	図12-10 時計誤差補正例 変更	
	18.4(2) CSIFn制御レジスタ1(CFnCTL1)注 変更	第18章 3線式可変長シリアルI/O(CSIF)
	図21-30 Suspend/Resume処理例 変更	第21章 USBファンクション・コントローラ(USBF)
	22.3(6) DMAトリガ要因レジスタ0-3(DTFR0-DTFR3)注意4 追加	第22章 DMA機能(DMAコントローラ)
	表31-2 基本機能一覧 変更	第31章 フラッシュ・メモリ
表31-7 フラッシュ・メモリ制御用コマンド 変更		
33.9(1) 基本特性 変更	第33章 電気的特性	

V850ES/JG3-U, V850ES/JH3-U ユーザーズマニュアル ハードウェア編

発行年月日 2011年8月1日 Rev.4.00
 2010年9月30日 Rev.3.00

発行 ルネサス エレクトロニクス株式会社
 〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

V850ES/JG3-U, V850ES/JH3-U