

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



# ユーザーズ・マニュアル

## V850ES/KJ1+

### 32ビット・シングルチップ・マイクロコントローラ

### ハードウェア編

---

μPD70F3316

μPD70F3316Y

μPD70F3318

μPD70F3318Y

資料番号 U16893JJ3V0UD00 (第3版)

発行年月 May 2006 N CP(K)

© NEC Electronics Corporation 2004

(メモ)

## 目次要約

第1章	概 説	...	20
第2章	端子機能	...	36
第3章	CPU機能	...	51
第4章	ポート機能	...	94
第5章	バス制御機能	...	194
第6章	クロック発生機能	...	221
第7章	16ビット・タイマ/イベント・カウンタP (TMP)	...	232
第8章	16ビット・タイマ/イベント・カウンタ0	...	320
第9章	16ビット・タイマ/イベント・カウンタ5	...	399
第10章	8ビット・タイマH	...	418
第11章	インターバル・タイマ, 時計タイマ	...	441
第12章	ウォッチドッグ・タイマ機能	...	453
第13章	リアルタイム出力機能 (RTO)	...	463
第14章	A/Dコンバータ	...	472
第15章	D/Aコンバータ	...	501
第16章	アシンクロナス・シリアル・インタフェース (UART)	...	506
第17章	クロック同期式シリアル・インタフェース0 (CSI0)	...	547
第18章	自動送受信機能付きクロック同期式シリアル・インタフェースA (CSIA)	...	574
第19章	I <sup>2</sup> Cバス	...	609
第20章	DMA機能 (DMAコントローラ)	...	686
第21章	割り込み/例外処理機能	...	709
第22章	キー割り込み機能	...	751
第23章	スタンバイ機能	...	753
第24章	リセット機能	...	775
第25章	クロック・モニタ	...	790
第26章	低電圧検出回路	...	800
第27章	パワーオン・クリア回路	...	805
第28章	レギュレータ	...	807
第29章	オプション・バイト	...	809
第30章	フラッシュ・メモリ	...	811
第31章	オンチップ・ディバグ機能	...	835
第32章	電気的特性	...	844
第33章	外形図	...	896
第34章	半田付け推奨条件	...	897
付録A	開発ツール	...	898
付録B	命令セット一覧	...	909
付録C	レジスタ索引	...	918
付録D	改版履歴	...	929

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

注意：  $\mu$ PD70F3316, 70F3316Y, 70F3318, 70F3318Yは、Silicon Storage Technology, Inc.からライセンスを受けたSuperFlash<sup>®</sup>を使用しています。

EEPROM, IECUBE, MINICUBEは、NECエレクトロニクス株式会社の登録商標です。

Windows, Windows XPおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

PC/ATは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

- 本資料に記載されている内容は2006年4月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

(1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

(2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

# はじめに

- 対象者** このマニュアルは、V850ES/KJ1+の機能を理解し、それをを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850ES/KJ1+のユーザーズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850ES ユーザーズ・マニュアル アーキテクチャ編）の2冊に分かれています。

## ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

## アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

レジスタ名がわかっていて、レジスタの詳細を確認するとき

**付録A レジスタ索引**を利用してください。

命令機能の詳細を理解しようとするとき

別冊の**V850ES ユーザーズ・マニュアル アーキテクチャ編**を参照してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

一通りV850ES/KJ1+の機能を理解しようとするとき

目次に従ってお読みください。

V850ES/KJ1+の電気的特性を知りたいとき

**第32章 電気的特性**を参照してください。

このマニュアルでは、「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ/アセンブラでは正しく認識できませんので、注意してください。

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この“ ”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。



凡 例 データ表記の重み：左が上位桁，右が下位桁

アクティブ・ロウの表記： $\overline{xxx}$ （端子，信号名称に上線）

メモリ・マップのアドレス：上部 - 上位，下部 - 下位

注：本文中に付けた注の説明

注意：気を付けて読んでいただきたい内容

備考：本文の補足説明

数の表記：2進数 ... xxxxまたはxxxxB

10進数 ... xxxx

16進数 ... xxxxH

2のべき数を示す接頭語（アドレス空間，メモリ容量）：

K（キロ）： $2^{10} = 1024$

M（メガ）： $2^{20} = 1024^2$

G（ギガ）： $2^{30} = 1024^3$

**関連資料** 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

**V850ES/KJ1+に関する資料**

資料名	資料番号
V850ES ユーザーズ・マニュアル アーキテクチャ編	U15943J
V850ES/KJ1+ ユーザーズ・マニュアル ハードウェア編	このマニュアル

**開発ツールに関する資料(ユーザーズ・マニュアル)**

資料名	資料番号	
QB-V850MINI (オンチップ・デバッグ・エミュレータ)	U17638J	
QB-V850ESKX1H (インサーキット・エミュレータ)	U17214J	
CA850 Ver.3.00 Cコンパイラ・パッケージ	操作編	U17293J
	C言語編	U17291J
	アセンブリ言語編	U17292J
	リンク・ディレクティブ編	U17294J
PM+ Ver.6.00 プロジェクト・マネージャ	U17178J	
ID850 Ver.3.00 統合デバッガ	操作編	U17358J
ID850QB Ver.3.10 統合デバッガ	操作編	U17435J
SM850 Ver.2.50 システム・シミュレータ	操作編	U16218J
SM850 Ver.2.00以上 システム・シミュレータ	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
RX850 Ver.3.20 リアルタイムOS	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッグ編	U17420J
RX850 Pro Ver.3.20 リアルタイムOS	基礎編	U13773J
	インストレーション編	U17421J
	テクニカル編	U13772J
	タスク・デバッグ編	U17422J
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ	U17423J	
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J	

# 目 次

<b>第1章 概 説</b> ...	20
1.1 Kシリーズの製品展開 ...	20
1.1.1 V850ES/Kx1+, V850ES/Kx1の製品展開 ...	20
1.1.2 78K0/Kx1+, 78K0/Kx1の製品展開 ...	23
1.2 特 徴 ...	26
1.3 応用分野 ...	28
1.4 オーダ情報 ...	28
1.5 端子接続図 (Top View) ...	29
1.6 機能ブロック構成 ...	31
1.7 機能概要 ...	35
<b>第2章 端子機能</b> ...	36
2.1 端子機能一覧 ...	36
2.2 端子状態 ...	45
2.3 端子の入出力回路タイプと未使用時の処理 ...	46
2.4 端子の入出力回路 ...	49
<b>第3章 CPU機能</b> ...	51
3.1 特 徴 ...	51
3.2 CPUレジスタ・セット ...	52
3.2.1 プログラム・レジスタ・セット ...	53
3.2.2 システム・レジスタ・セット ...	54
3.3 動作モード ...	60
3.4 アドレス空間 ...	61
3.4.1 CPUアドレス空間 ...	61
3.4.2 CPUアドレス空間のラップ・アラウンド ...	62
3.4.3 メモリ・マップ ...	63
3.4.4 領 域 ...	65
3.4.5 アドレス空間の推奨使用方法 ...	70
3.4.6 周辺I/Oレジスタ ...	73
3.4.7 特定レジスタ ...	86
3.4.8 注意事項 ...	90
<b>第4章 ポート機能</b> ...	94
4.1 特 徴 ...	94
4.2 ポートの基本構成 ...	94
4.3 ポートの構成 ...	95
4.3.1 ポート0 ...	101
4.3.2 ポート1 ...	104
4.3.3 ポート3 ...	106

4.3.4	ポート4	...	112
4.3.5	ポート5	...	115
4.3.6	ポート6	...	118
4.3.7	ポート7	...	123
4.3.8	ポート8	...	125
4.3.9	ポート9	...	128
4.3.10	ポートCD	...	135
4.3.11	ポートCM	...	137
4.3.12	ポートCS	...	139
4.3.13	ポートCT	...	141
4.3.14	ポートDH	...	143
4.3.15	ポートDL	...	145
4.4	ブロック図	...	148
4.5	兼用機能使用時のポートのレジスタ設定	...	183
4.6	注意事項	...	192
4.6.1	ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項	...	192
4.6.2	ヒステリシス特性について	...	193
4.6.3	オンチップ・デバッグ用端子に関する注意事項	...	193
4.6.4	P05/INTP2/DRST端子に関する注意事項	...	193

## 第5章 バス制御機能 ... 194

5.1	特徴	...	194
5.2	バス制御端子	...	195
5.2.1	内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態	...	195
5.2.2	各動作モードの端子状態	...	195
5.3	メモリ・ブロック機能	...	196
5.3.1	チップ・セレクト制御機能	...	197
5.4	外部バス・インタフェース・モード制御機能	...	197
5.5	バス・アクセス	...	198
5.5.1	アクセス・クロック数	...	198
5.5.2	バス・サイズ設定機能	...	198
5.5.3	バス・サイズによるアクセス	...	199
5.6	ウェイト機能	...	206
5.6.1	プログラマブル・ウェイト機能	...	206
5.6.2	外部ウェイト機能	...	207
5.6.3	プログラマブル・ウェイトと外部ウェイトの関係	...	208
5.6.4	プログラマブル・アドレス・ウェイト機能	...	209
5.7	アイドル・ステート挿入機能	...	210
5.8	バス・ホールド機能	...	211
5.8.1	機能概要	...	211
5.8.2	バス・ホールド手順	...	212
5.8.3	パワー・セーブ・モード時の動作	...	212
5.9	バスの優先順位	...	213
5.10	バス・タイミング	...	214
5.11	注意事項	...	220

## 第6章 クロック発生機能 ... 221

- 6.1 概 要 ... 221
- 6.2 構 成 ... 222
- 6.3 レジスタ ... 224
- 6.4 動 作 ... 229
  - 6.4.1 各クロックの動作 ... 229
  - 6.4.2 クロック出力機能 ... 229
  - 6.4.3 外部クロック入力機能 ... 229
- 6.5 PLL機能 ... 230
  - 6.5.1 概 要 ... 230
  - 6.5.2 レジスタ ... 230
  - 6.5.3 使用方法 ... 231

## 第7章 16ビット・タイマ/イベント・カウンタP (TMP) ... 232

- 7.1 概 要 ... 232
- 7.2 機 能 ... 232
- 7.3 構 成 ... 233
- 7.4 レジスタ ... 235
- 7.5 動 作 ... 246
  - 7.5.1 インターバル・タイマ・モード (TP0MD2-TP0MD0ビット = 000) ... 247
  - 7.5.2 外部イベント・カウント・モード (TP0MD2-TP0MD0ビット = 001) ... 257
  - 7.5.3 外部トリガ・パルス出力モード (TP0MD2-TP0MD0ビット = 010) ... 265
  - 7.5.4 ワンショット・パルス出力モード (TP0MD2-TP0MD0ビット = 011) ... 277
  - 7.5.5 PWM出力モード (TP0MD2-TP0MD0ビット = 100) ... 284
  - 7.5.6 フリー・ランニング・タイマ・モード (TP0MD2-TP0MD0ビット = 101) ... 293
  - 7.5.7 パルス幅測定モード (TP0MD2-TP0MD0ビット = 110) ... 310
  - 7.5.8 タイマ出力動作説明 ... 316
- 7.6 キャプチャ・トリガ入力端子 (TIP0a) のノイズ除去 ... 317
- 7.7 注意事項 ... 319

## 第8章 16ビット・タイマ/イベント・カウンタ0 ... 320

- 8.1 機 能 ... 320
- 8.2 構 成 ... 321
- 8.3 レジスタ ... 327
- 8.4 動 作 ... 336
  - 8.4.1 インターバル・タイマとしての動作 ... 336
  - 8.4.2 方形波出力としての動作 ... 339
  - 8.4.3 外部イベント・カウンタとしての動作 ... 343
  - 8.4.4 TI0n0端子の有効エッジ入力によるクリア&スタート・モードとしての動作 ... 347
  - 8.4.5 フリー・ランニング・タイマとしての動作 ... 363
  - 8.4.6 PPG出力としての動作 ... 373
  - 8.4.7 ワンショット・パルス出力としての動作 ... 377
  - 8.4.8 パルス幅測定としての動作 ... 382
- 8.5 TM0nの特殊な使用方法 ... 390
  - 8.5.1 CR0n1レジスタのTM0n動作中の書き換え ... 390

- 8.5.2 LVS0n, LVR0nビットの設定について ... 390
- 8.6 注意事項 ... 392

## 第9章 8ビット・タイマ/イベント・カウンタ5 ... 399

- 9.1 機能 ... 399
- 9.2 構成 ... 400
- 9.3 レジスタ ... 403
- 9.4 動作 ... 406
  - 9.4.1 インターバル・タイマとしての動作 ... 406
  - 9.4.2 外部イベント・カウンタとしての動作 ... 408
  - 9.4.3 方形波出力としての動作 ... 409
  - 9.4.4 8ビットPWM出力としての動作 ... 410
  - 9.4.5 インターバル・タイマ(16ビット)としての動作 ... 413
  - 9.4.6 外部イベント・カウンタ(16ビット)としての動作 ... 415
  - 9.4.7 方形波出力(16ビット分解能)としての動作 ... 416
  - 9.4.8 注意事項 ... 417

## 第10章 8ビット・タイマH ... 418

- 10.1 機能 ... 418
- 10.2 構成 ... 418
- 10.3 レジスタ ... 421
- 10.4 動作 ... 425
  - 10.4.1 インターバル・タイマ/方形波出力としての動作 ... 425
  - 10.4.2 PWM出力モードとしての動作 ... 428
  - 10.4.3 キャリア・ジェネレータ・モードとしての動作 ... 434

## 第11章 インターバル・タイマ, 時計タイマ ... 441

- 11.1 インターバル・タイマBRG ... 441
  - 11.1.1 機能 ... 441
  - 11.1.2 構成 ... 441
  - 11.1.3 レジスタ ... 443
  - 11.1.4 動作 ... 445
- 11.2 時計タイマ ... 446
  - 11.2.1 機能 ... 446
  - 11.2.2 構成 ... 446
  - 11.2.3 レジスタ ... 448
  - 11.2.4 動作 ... 450
- 11.3 注意事項 ... 451

## 第12章 ウォッチドッグ・タイマ機能 ... 453

- 12.1 ウォッチドッグ・タイマ1 ... 453
  - 12.1.1 機能 ... 453
  - 12.1.2 構成 ... 455
  - 12.1.3 レジスタ ... 455
  - 12.1.4 動作 ... 457

- 12.2 ウォッチドッグ・タイマ2 ... 459
  - 12.2.1 機能 ... 459
  - 12.2.2 構成 ... 460
  - 12.2.3 レジスタ ... 460
  - 12.2.4 動作 ... 462

## 第13章 リアルタイム出力機能 (RTO) ... 463

- 13.1 機能 ... 463
- 13.2 構成 ... 464
- 13.3 レジスタ ... 466
- 13.4 動作 ... 468
- 13.5 使用方法 ... 469
- 13.6 注意事項 ... 469
- 13.7 セキュリティ機能 ... 470

## 第14章 A/Dコンバータ ... 472

- 14.1 概要 ... 472
- 14.2 機能 ... 472
- 14.3 構成 ... 473
- 14.4 レジスタ ... 475
- 14.5 動作 ... 483
  - 14.5.1 基本動作 ... 483
  - 14.5.2 トリガ・モード ... 484
  - 14.5.3 動作モード ... 485
  - 14.5.4 パワー・フェイル検出機能 ... 488
  - 14.5.5 設定方法 ... 489
- 14.6 注意事項 ... 491
- 14.7 A/Dコンバータ特性表の読み方 ... 497

## 第15章 D/Aコンバータ ... 501

- 15.1 機能 ... 501
- 15.2 構成 ... 502
- 15.3 レジスタ ... 503
- 15.4 動作 ... 504
  - 15.4.1 通常モード時の動作 ... 504
  - 15.4.2 リアルタイム出力モード時の動作 ... 504
  - 15.4.3 注意事項 ... 505

## 第16章 アシンクロナス・シリアル・インタフェース (UART) ... 506

- 16.1 UART2端子について ... 506
  - 16.1.1 UART2とCSI00のモード切り替え ... 507
  - 16.1.2 UART2とI<sup>2</sup>C1のモード切り替え ... 508
- 16.2 特徴 ... 509
- 16.3 構成 ... 510
- 16.4 レジスタ ... 512
- 16.5 割り込み要求信号 ... 521

- 16.6 動作 ... 522
  - 16.6.1 データ・フォーマット ... 522
  - 16.6.2 送信動作 ... 523
  - 16.6.3 連続送信動作 ... 525
  - 16.6.4 受信動作 ... 529
  - 16.6.5 受信エラー ... 531
  - 16.6.6 パリティの種類と動作 ... 532
  - 16.6.7 受信データのノイズ・フィルタ ... 533
  - 16.6.8 SBF送受信 (UART0のみ) ... 534
- 16.7 専用ポー・レート・ジェネレータ<sub>n</sub> (BRG<sub>n</sub>) ... 539
  - 16.7.1 ポー・レート・ジェネレータ<sub>n</sub> (BRG<sub>n</sub>) の構成 ... 539
  - 16.7.2 シリアル・クロックの生成 ... 540
  - 16.7.3 ポー・レート設定例 ... 543
  - 16.7.4 受信時の許容ポー・レート範囲 ... 544
  - 16.7.5 連続送信時の転送レート ... 546
- 16.8 注意事項 ... 546

## 第17章 クロック同期式シリアル・インタフェース0 (CSI0) ... 547

- 17.1 特徴 ... 547
- 17.2 構成 ... 548
- 17.3 レジスタ ... 551
- 17.4 動作 ... 560
  - 17.4.1 送受信完了割り込み要求信号 (INTCSI0<sub>n</sub>) ... 560
  - 17.4.2 シングル転送モード ... 562
  - 17.4.3 連続転送モード ... 565
- 17.5 出力端子 ... 573

## 第18章 自動送受信機能付きクロック同期式シリアル・インタフェースA (CSIA) ... 574

- 18.1 機能 ... 574
- 18.2 構成 ... 575
- 18.3 レジスタ ... 578
- 18.4 動作 ... 588
  - 18.4.1 3線式シリアルI/Oモード ... 588
  - 18.4.2 自動送受信機能付き3線式シリアルI/Oモード ... 592

## 第19章 I<sup>2</sup>Cバス ... 609

- 19.1 UART2とI<sup>2</sup>C1のモード切り替え ... 609
- 19.2 特徴 ... 610
- 19.3 構成 ... 613
- 19.4 レジスタ ... 615
- 19.5 機能 ... 629
  - 19.5.1 端子構成 ... 629
- 19.6 I<sup>2</sup>Cバスの定義および制御方法 ... 630
  - 19.6.1 スタート・コンディション ... 630
  - 19.6.2 アドレス ... 631
  - 19.6.3 転送方向指定 ... 632



19.6.4	アクリッジ ( $\overline{ACK}$ )	...	633
19.6.5	ストップ・コンディション	...	634
19.6.6	ウェイト	...	635
19.6.7	ウェイト解除方法	...	637
19.7	I <sup>2</sup> C割り込み要求信号 (INTIICn)	...	638
19.7.1	マスタ動作	...	639
19.7.2	スレーブ動作 (スレーブ・アドレス受信時 (アドレス一致))	...	642
19.7.3	スレーブ動作 (拡張コード受信時)	...	646
19.7.4	通信不参加の動作	...	650
19.7.5	アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作)	...	651
19.7.6	アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)	...	653
19.8	割り込み要求信号 (INTIICn) 発生タイミングおよびウェイト制御	...	660
19.9	アドレスの一致検出方法	...	661
19.10	エラーの検出	...	661
19.11	拡張コード	...	662
19.12	アービトレーション	...	663
19.13	ウェイク・アップ機能	...	664
19.14	通信予約	...	665
19.14.1	通信予約機能許可の場合 (IICFn.IICRSVnビット = 0)	...	665
19.14.2	通信予約機能禁止の場合 (IICFn.IICRSVnビット = 1)	...	668
19.15	注意事項	...	669
19.16	通信動作	...	670
19.16.1	シングルマスタ・システムでのマスタ動作	...	671
19.16.2	マルチマスタ・システムでのマスタ動作	...	672
19.16.3	スレーブ動作	...	675
19.17	データ通信のタイミング	...	679

## 第20章 DMA機能 (DMAコントローラ) ... 686

20.1	特徴	...	686
20.2	構成	...	687
20.3	レジスタ	...	688
20.4	転送対象	...	696
20.5	転送モード	...	696
20.6	転送タイプ	...	697
20.7	DMAチャンネルの優先順位	...	697
20.8	DMA転送に関する各種時間	...	698
20.9	DMA転送起動要因	...	699
20.10	DMAの中断要因	...	700
20.11	DMA転送の終了	...	700
20.12	動作タイミング	...	700
20.13	注意事項	...	705

## 第21章 割り込み / 例外処理機能 ... 709

21.1	概要	...	709
21.1.1	特徴	...	709

21.2	<b>ノンマスカブル割り込み</b>	...	713
21.2.1	動作	...	716
21.2.2	復帰	...	717
21.2.3	NPフラグ	...	718
21.3	<b>マスカブル割り込み</b>	...	719
21.3.1	動作	...	719
21.3.2	復帰	...	721
21.3.3	マスカブル割り込みの優先順位	...	722
21.3.4	割り込み制御レジスタ (xxICn)	...	726
21.3.5	割り込みマスク・レジスタ0-3 (IMR0-IMR3)	...	729
21.3.6	インサービス・プライオリティ・レジスタ (ISPR)	...	731
21.3.7	IDフラグ	...	732
21.3.8	ウォッチドッグ・タイマ・モード・レジスタ1 (WDTM1)	...	733
21.4	<b>外部割り込み要求入力端子 (NMI, INTP0-INTP7)</b>	...	734
21.4.1	ノイズ除去	...	734
21.4.2	エッジ検出	...	736
21.5	<b>ソフトウェア例外</b>	...	740
21.5.1	動作	...	740
21.5.2	復帰	...	741
21.5.3	EPフラグ	...	742
21.6	<b>例外トラップ</b>	...	743
21.6.1	不正命令コード	...	743
21.6.2	ディバグ・トラップ	...	745
21.7	<b>多重割り込み処理制御</b>	...	747
21.8	<b>割り込み応答時間</b>	...	749
21.9	<b>CPUが割り込みを受け付けられない期間</b>	...	750
21.10	<b>注意事項</b>	...	750

## 第22章 キー割り込み機能 ... 751

22.1	機能	...	751
22.2	レジスタ	...	752

## 第23章 スタンバイ機能 ... 753

23.1	概要	...	753
23.2	レジスタ	...	756
23.3	<b>HALTモード</b>	...	759
23.3.1	設定および動作状態	...	759
23.3.2	HALTモードの解除	...	759
23.4	<b>IDLEモード</b>	...	761
23.4.1	設定および動作状態	...	761
23.4.2	IDLEモードの解除	...	762
23.5	<b>STOPモード</b>	...	765
23.5.1	設定および動作状態	...	765
23.5.2	STOPモードの解除	...	765
23.5.3	STOPモード解除時の発振安定時間の確保	...	768
23.6	<b>サブクロック動作モード</b>	...	769
23.6.1	設定および動作状態	...	769

23.6.2	サブクロック動作モードの解除	...	769
23.7	<b>サブIDLEモード</b>	...	771
23.7.1	設定および動作状態	...	772
23.7.2	サブIDLEモードの解除	...	772
<b>第24章</b>	<b>リセット機能</b>	...	775
24.1	概 要	...	775
24.2	構 成	...	775
24.3	リセット要因を確認するレジスタ	...	776
24.4	リセット要因	...	777
24.4.1	$\overline{\text{RESET}}$ 端子によるリセット動作	...	777
24.4.2	WDTRES1信号によるリセット動作	...	782
24.4.3	WDTRES2信号によるリセット動作	...	783
24.4.4	パワーオン・クリアによるリセット動作	...	784
24.4.5	低電圧検出回路によるリセット動作	...	787
24.4.6	クロック・モニタによるリセット動作	...	788
24.5	リセット出力機能	...	789
<b>第25章</b>	<b>クロック・モニタ</b>	...	790
25.1	機 能	...	790
25.2	レジスタ	...	790
25.3	動 作	...	792
25.4	内蔵発振クロック動作モード	...	795
25.4.1	設定および動作状態	...	795
25.4.2	内蔵発振クロック動作モードの解除	...	795
25.5	内蔵発振HALTモード	...	798
25.5.1	設定および動作状態	...	798
25.5.2	内蔵発振HALTモードの解除	...	798
<b>第26章</b>	<b>低電圧検出回路</b>	...	800
26.1	機 能	...	800
26.2	構 成	...	800
26.3	レジスタ	...	801
26.4	動 作	...	803
<b>第27章</b>	<b>パワーオン・クリア回路</b>	...	805
27.1	機 能	...	805
27.2	構 成	...	805
27.3	動 作	...	806
<b>第28章</b>	<b>レギュレータ</b>	...	807
28.1	概 要	...	807
28.2	動 作	...	807

<b>第29章</b>	<b>オプション・バイト</b>	...	809
29.1	内蔵発振器のソフトウェアによる停止許可/禁止	...	810
29.2	リセット解除後のメイン・クロック発振の発振安定時間短縮	...	810
<b>第30章</b>	<b>フラッシュ・メモリ</b>	...	811
30.1	特 徴	...	811
30.2	メモリ構成	...	812
30.3	機能概要	...	813
30.4	専用フラッシュ・ライターでの書き換え	...	817
30.4.1	プログラミング環境	...	817
30.4.2	通信方式	...	818
30.4.3	フラッシュ・メモリ制御	...	823
30.4.4	通信方式の選択	...	824
30.4.5	通信コマンド	...	825
30.4.6	端子処理	...	826
30.5	セルフ・プログラミングによる書き換え	...	830
30.5.1	概 要	...	830
30.5.2	特 徴	...	831
30.5.3	標準セルフ・プログラミング・フロー	...	832
30.5.4	フラッシュ関数一覧	...	833
30.5.5	端子処理	...	833
30.5.6	使用する内部資源	...	834
<b>第31章</b>	<b>オンチップ・ディバグ機能</b>	...	835
31.1	特 徴	...	835
31.2	接続回路例	...	836
31.3	インタフェース信号	...	836
31.4	レジスタ	...	838
31.5	動 作	...	840
31.6	ROMセキュリティ機能	...	841
31.6.1	セキュリティID	...	841
31.6.2	設定方法	...	842
31.7	注意事項	...	843
<b>第32章</b>	<b>電気的特性</b>	...	844
<b>第33章</b>	<b>外形図</b>	...	896
<b>第34章</b>	<b>半田付け推奨条件</b>	...	897
<b>付録A</b>	<b>開発ツール</b>	...	898
A.1	ソフトウェア・パッケージ	...	901
A.2	言語処理用ソフトウェア	...	901
A.3	制御ソフトウェア	...	901

- A. 4 **ディバグ用ツール（ハードウェア）** ... 902
  - A. 4. 1 IECUBE QB-V850ESKX1Hを使用する場合 ... 902
  - A. 4. 2 MINICUBE QB-V850MINIを使用する場合 ... 904
- A. 5 **ディバグ用ツール（ソフトウェア）** ... 907
- A. 6 **組み込み用ソフトウェア** ... 908
- A. 7 **フラッシュ・メモリ書き込み用ツール** ... 908

## **付録B 命令セット一覧** ... 909

- B. 1 **凡 例** ... 909
- B. 2 **インストラクション・セット（アルファベット順）** ... 912

## **付録C レジスタ索引** ... 918

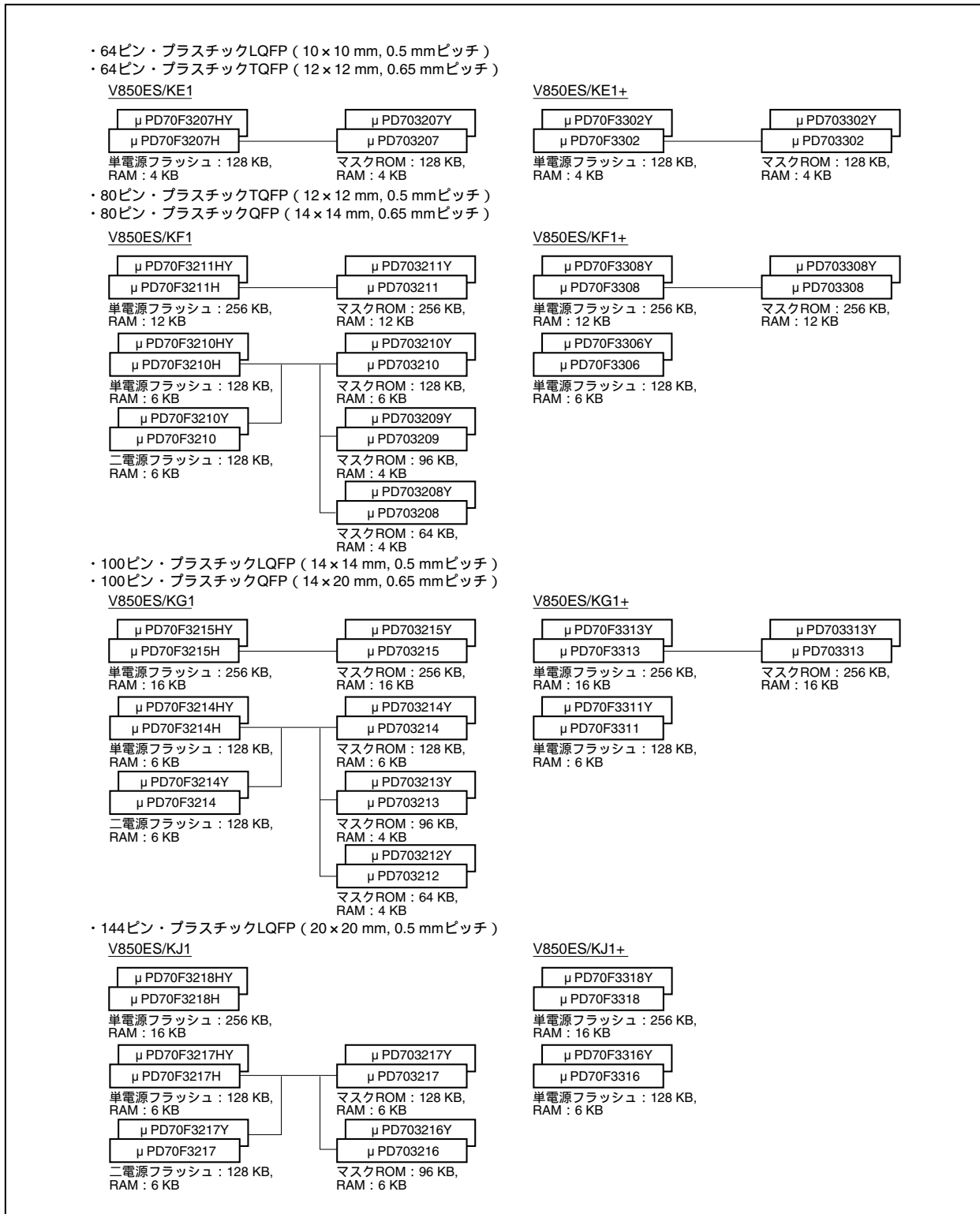
## **付録D 改版履歴** ... 929

- D. 1 **本版で改訂された主な箇所** ... 929
- D. 2 **前版までの改版履歴** ... 930

# 第1章 概 説

## 1.1 Kシリーズの製品展開

### 1.1.1 V850ES/Kx1+, V850ES/Kx1の製品展開



V850ES/Kx1+の機能一覧を次に示します。

愛 称		V850ES/KE1+		V850ES/KF1+		V850ES/KG1+		V850ES/KJ1+					
ピン数		64ピン		80ピン		100ピン		144ピン					
内部 メモリ (Kバイト)	マスクROM	128	-	-	256	-	-	256	-	-	-		
	フラッシュ・メモリ	-	128	128	-	256	128	-	256	128	256		
	内蔵発振器	4		6	12		6	16		6	16		
電源電圧		2.7 ~ 5.5 V											
最小命令実行時間		50 ns@20 MHz											
クロック	X1入力	2 ~ 10 MHz											
	サブクロック	32.768 kHz											
	内蔵発振器	240 kHz ( TYP. )											
ポート	CMOS入力	8		8		8		16					
	CMOS入出力	41 ( 4 ) <sup>注1</sup>		57 ( 6 ) <sup>注1</sup>		72 ( 8 ) <sup>注1</sup>		106 ( 12 ) <sup>注1</sup>					
	N-ch オープン・ドレイン入出力	2		2		4		6					
タイマ	16ビット ( TMP )	1 ch		1 ch		1 ch		1 ch					
	16ビット ( TM0 )	1 ch		2 ch		4 ch		6 ch					
	8ビット ( TM5 )	2 ch		2 ch		2 ch		2 ch					
	8ビット ( TMH )	2 ch		2 ch		2 ch		2 ch					
	インターバル・タイマ	1 ch		1 ch		1 ch		1 ch					
	時計	1 ch		1 ch		1 ch		1 ch					
	WDT1	1 ch		1 ch		1 ch		1 ch					
	WDT2	1 ch		1 ch		1 ch		1 ch					
RTO		6ビット × 1 ch		6ビット × 1 ch		6ビット × 1 ch		6ビット × 2 ch					
シリアル・ インタフェ ース	CSI	2 ch		2 ch		2 ch		3 ch					
	自動受信3線式CSI	-		1 ch		2 ch		2 ch					
	UART	1 ch		1 ch		2 ch		2 ch					
	LIN-bus対応UART	1 ch		1 ch		1 ch		1 ch					
	I <sup>2</sup> C <sup>注2</sup>	1 ch		1 ch		1 ch		2 ch					
外部バス	アドレス空間	-		128 Kバイト		3 Mバイト		15 Mバイト					
	アドレス・バス	-		16ビット		22ビット		24ビット					
	モード	-		マルチプレクスのみ		マルチプレクス / セパレート							
DMAコントローラ		-		-		4 ch		4 ch					
10ビットA/Dコンバータ		8 ch		8 ch		8 ch		16 ch					
8ビットD/Aコンバータ		-		-		2 ch		2 ch					
割り込み	外部	9		9		9		9					
	内部	26/27 <sup>注2</sup>		29/30 <sup>注2</sup>		41/42 <sup>注2</sup>		46/48 <sup>注2</sup>					
キー・リターン入力		8 ch		8 ch		8 ch		8 ch					
リセット	RESET端子	あり											
	POC	2.7 V以下固定											
	LVI	3.1 V/3.3 V ± 0.15 Vまたは3.5 V/3.7 V/3.9 V/4.1 V/4.3 V ± 0.2 V ( ソフトウェアにより選択可能 )											
	クロック・モニタ	あり ( 内蔵発振器によるモニタ )											
	WDT1	あり											
	WDT2	あり											
ROMコレクション		4箇所								なし			
レギュレータ		なし				あり							
スタンバイ		HALT/IDLE/STOP/サブIDLEモード											
動作周囲温度		T <sub>A</sub> = - 40 ~ + 85											

注1. ( ) のチャンネル数はソフトウェアによりN-chオープン・ドレイン出力選択可能な端子数です。

2. I<sup>2</sup>C内蔵品 ( Y品 ) のみ。製品名については各ユーザーズ・マニュアルを参照してください。

V850ES/Kx1の機能一覧を次に示します。

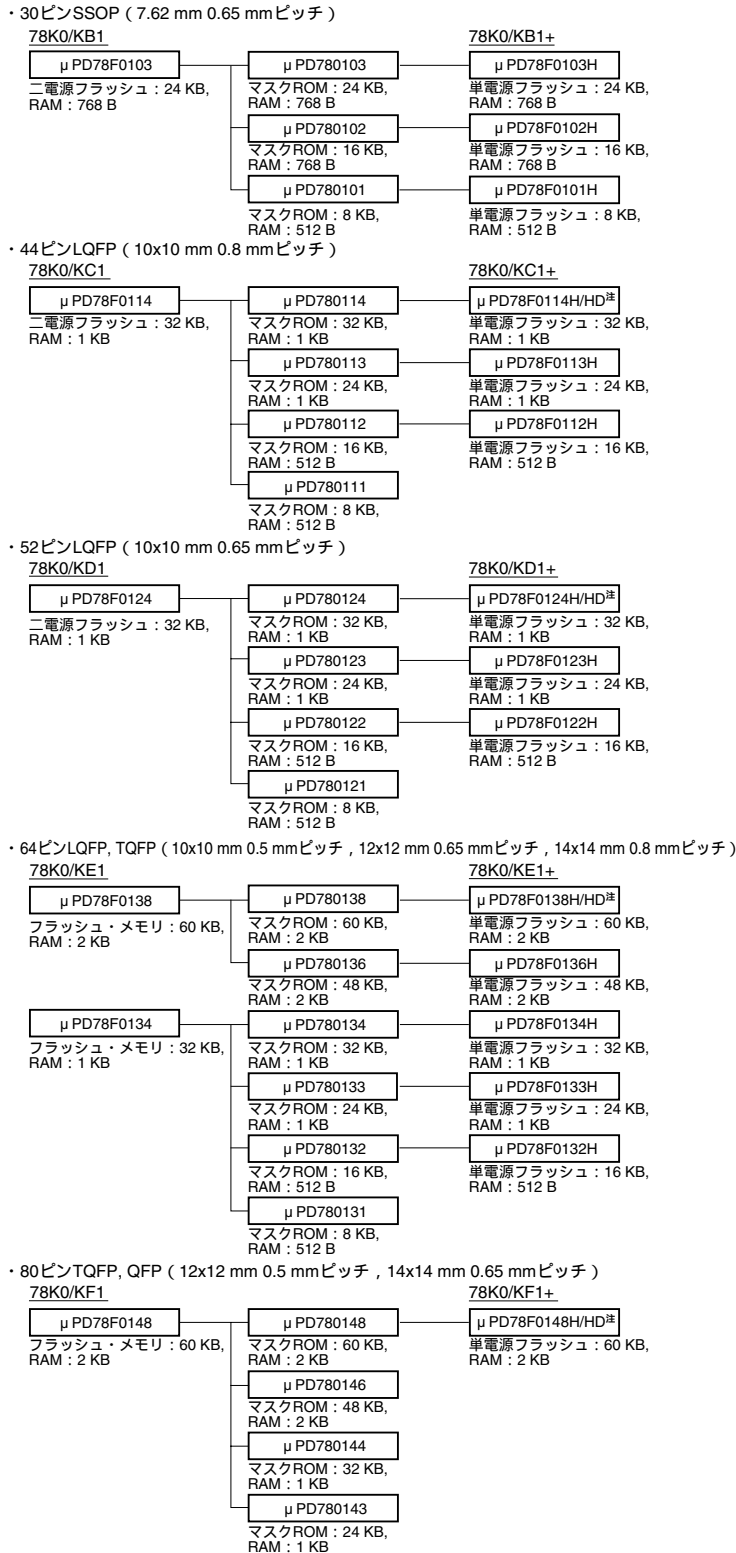
愛 称		V850ES/KE1		V850ES/KF1				V850ES/KG1				V850ES/KJ1				
ピン数		64ピン		80ピン				100ピン				144ピン				
内部メモリ (Kバイト)	マスクROM	128	-	64/96	128	-	256	-	64/96	128	-	256	-	96/128	-	-
	フラッシュ・メモリ	-	128	-	-	128	-	256	-	-	128	-	256	-	128	256
	RAM	4		4	6	12	4	6	16	6		16				
電源電圧		2.7~5.5 V														
最小命令実行時間		50 ns@20 MHz														
クロック	X1入力	2~10 MHz														
	サブクロック	32.768 kHz														
	内蔵発振器	-														
ポート	CMOS入力	8		8				8				16				
	CMOS入出力	41 (4) <sup>注1</sup>		57 (6) <sup>注1</sup>				72 (8) <sup>注1</sup>				106 (12) <sup>注1</sup>				
	N-ch オープン・ドレイン入出力	2		2				4				6				
タイマ	16ビット (TMP)	1 ch		-				1 ch				-			1 ch	
	16ビット (TM0)	1 ch		2 ch				4 ch				6 ch				
	8ビット (TM5)	2 ch		2 ch				2 ch				2 ch				
	8ビット (TMH)	2 ch		2 ch				2 ch				2 ch				
	インターバル・タイマ	1 ch		1 ch				1 ch				1 ch				
	時計	1 ch		1 ch				1 ch				1 ch				
	WDT1	1 ch		1 ch				1 ch				1 ch				
	WDT2	1 ch		1 ch				1 ch				1 ch				
RTO		6ビット×1 ch		6ビット×1 ch				6ビット×1 ch				6ビット×2 ch				
シリアル・インタフェース	CSI	2 ch		2 ch				2 ch				3 ch				
	自動送受信3線式CSI	-		1 ch				2 ch				2 ch				
	UART	2 ch		2 ch				2 ch				3 ch				
	LIN-bus対応UART	-		-				-				-				
	I <sup>2</sup> C <sup>注2</sup>	1 ch		1 ch				1 ch				2 ch				
外部バス	アドレス空間	-		128 Kバイト				3 Mバイト				15 Mバイト				
	アドレス・バス	-		16ビット				22ビット				24ビット				
	モード	-		マルチプレクスのみ				マルチプレクス/セパレート								
DMAコントローラ		-		-				-				-				
10ビットA/Dコンバータ		8 ch		8 ch				8 ch				16 ch				
8ビットD/Aコンバータ		-		-				2 ch				2 ch				
割り込み	外部	8		8				8				8				
	内部	25/26 <sup>注2</sup>		25/26 <sup>注2</sup>		28/29 <sup>注2</sup>		30/31 <sup>注2</sup>		33/34 <sup>注2</sup>		38/40 <sup>注2</sup>		41/43 <sup>注2</sup>		
キー・リターン入力		8 ch		8 ch				8 ch				8 ch				
リセット	RESET端子	あり														
	POC	なし														
	LVI	なし														
	クロック・モニタ	なし														
	WDT1	あり														
	WDT2	あり														
ROMコレクション		4箇所														
レギュレータ		なし		あり												
スタンバイ		HALT/IDLE/STOP/サブIDLEモード														
動作周囲温度		T <sub>A</sub> = -40 ~ +85														

注1. ( )内のチャンネル数はソフトウェアによりN-chオープン・ドレイン出力可能な端子数です。

2. I<sup>2</sup>C内蔵品 (Y品) のみ。製品名については各ユーザズ・マニュアルを参照してください。



1.1.2 78K0/Kx1+, 78K0/Kx1の製品展開



注 オンチップ・デバッグ機能内蔵品です。

78K0/Kx1の機能一覧を次に示します。

愛 称		78K0/KB1			78K0/KC1			78K0/KD1			78K0/KE1				78K0/KF1					
ピン数		30ピン			44ピン			52ピン			64ピン				80ピン					
内部メモリ (Kバイト)	マスクROM	8	16 / 24	-	8 / 16	24 / 32	-	8 / 16	24 / 32	-	8 / 16	24 / 32	-	48 / 60	-	24 / 32	48 / 60	-		
	フラッシュ・メモリ	-			24			-			32			-				60		
	RAM	0.5	0.75		0.5	1		0.5	1		0.5	1		2		1	2			
電源電圧		V <sub>DD</sub> = 2.5 ~ 5.5 V <sup>注1,2</sup>																		
最小命令実行時間		0.166 μs (12 MHz, V <sub>DD</sub> = 4.0 ~ 5.5 V時) 0.2 μs (10 MHz, V <sub>DD</sub> = 3.5 ~ 5.5 V時) 0.238 μs (8.38 MHz, V <sub>DD</sub> = 3.0 ~ 5.5 V時) 0.4 μs (5 MHz, V <sub>DD</sub> = 2.5 ~ 5.5 V時)							< REGC端子をV <sub>DD</sub> に接続 > 0.166 μs (12 MHz, V <sub>DD</sub> = 4.0 ~ 5.5 V時) 0.2 μs (10 MHz, V <sub>DD</sub> = 3.5 ~ 5.5 V時) 0.238 μs (8.38 MHz, V <sub>DD</sub> = 3.0 ~ 5.5 V時) 0.4 μs (5 MHz, V <sub>DD</sub> = 2.5 ~ 5.5 V時)											
クロック	X1入力	2 ~ 12 MHz																		
	サブクロック	-			32.768 kHz															
	内蔵発振器	240 kHz ( TYP. )																		
ポート	CMOS出力	17			19			26			38				54					
	CMOS入力	4			8															
	CMOS出力	1																		
	N-chオープン・ドレイン入出力	-			4															
タイマ	16ビット (TM0)	-					1 ch					2 ch				1 ch	2 ch			
	8ビット (TM5)	1 ch			2 ch															
	8ビット (TMH)	2 ch																		
	時計用	-			1ch															
	WDT	1 ch																		
シリアル・インタフェース	3線式CSI <sup>注3</sup>	-					1 ch					2 ch				1 ch	2 ch			
	自動送受信3線式CSI	-																		
	UART <sup>注3</sup>	-			1ch															
	LIN-bus対応UART	1 ch																		
10ビットA/Dコンバータ		4 ch			8 ch															
割り込み	外部	6			7			8			9				9					
	内部	11	12		15					16	19			17	20					
キー・リターン入力		-			4ch			8ch												
リセット	RESET端子	あり																		
	POC	2.85 V ± 0.15 V / 3.5 V ± 0.2 V (マスク・オプションにより選択可能)																		
	LVI	2.85 V / 3.1 V / 3.3 V ± 0.15 V / 3.5 V / 3.7 V / 3.9 V / 4.1 V / 4.3 V ± 0.2 V (ソフトウェアにより選択可能)																		
	クロック・モニタ	あり																		
	WDT	あり																		
クロック出力 / ブザー出力		-					クロック出力のみ					あり								
乗除算器		-																		
ROMコレクション		-											あり		-					
スタンバイ機能		HALT/STOPモード																		
動作周囲温度		標準水準品, 特別水準 (A) 品 : - 40 ~ + 85 特別水準 (A1) 品 : - 40 ~ + 110 (マスクROM製品), - 40 ~ + 105 (フラッシュ・メモリ製品) 特別水準 (A2) 品 : - 40 ~ + 125 (マスクROM製品)																		

- 注1. POC回路の検出電圧 (V<sub>POC</sub>)を2.85 V ± 0.15 Vで使用する場合は, 3.0 ~ 5.5 Vの電圧範囲で使用してください。  
 2. POC回路の検出電圧 (V<sub>POC</sub>)を3.5 V ± 0.2 Vで使用する場合は, 3.7 ~ 5.5 Vの電圧範囲で使用してください。  
 3. 端子を兼用している場合は, どちらかを選択して使用します。

78K0/Kx1+の機能一覧を次に示します。

愛 称		78K0/KB1+		78K0/KC1+		78K0/KD1+		78K0/KE1+			78K0/KF1+	
ピン数		30ピン		44ピン		52ピン		64ピン			80ピン	
内部メモリ (Kバイト)	フラッシュ・メモリ	8	16 /24	16	24 /32	16	24/32	16	24 /32	48 /60	60	
	RAM	0.5	0.75	0.5	1	0.5	1	0.5	1	2	2	
電源電圧		V <sub>DD</sub> = 2.5 ~ 5.5 V ( 内蔵発振クロックまたはサブクロック使用時 : V <sub>DD</sub> = 2.0 ~ 5.5 V <sup>注1</sup> )										
最小命令実行時間		0.125 μs ( 16 MHz, V <sub>DD</sub> = 4.0 ~ 5.5 V時 ) / 0.2 μs ( 10 MHz, V <sub>DD</sub> = 3.5 ~ 5.5 V時 ) / 0.238 μs ( 8.38 MHz, V <sub>DD</sub> = 3.0 ~ 5.5 V時 ) / 0.4 μs ( 5 MHz, V <sub>DD</sub> = 2.5 ~ 5.5 V時 )										
ク ロ ッ ク	水晶 / セラミック	2 ~ 16 MHz										
	RC	3 ~ 4 MHz				-						
	サブクロック	-		32.768 kHz								
	内蔵発振器	240 kHz ( TYP. )										
ポ ー ト	CMOS入出力	17		19		26		38			54	
	CMOS入力	4		8								
	CMOS出力	1										
	N-chオープン・ド レ ー ン 入 出 力	-		4								
タイマ	16ビット ( TM0 )	1 ch				2 ch						
	8ビット ( TM5 )	1 ch		2 ch								
	8ビット ( TMH )	2 ch										
	時計用	-		1 ch								
	WDT	1 ch										
シ リ ア ル ・ イ ン タ フ ェ ー ス	3線式CSI注2	1 ch				2 ch						
	自動送受信3線式CSI	-								1 ch		
	UART <sup>注2</sup>	-		1 ch								
	LIN-bus対応UART	1 ch										
10ビットA/Dコンバータ		4 ch		8 ch								
割 り 込 み	外部	6		7		8		9			9	
	内部	11	12	15				16	19		20	
キー・リターン入力		-		4 ch		8 ch						
リ セ ッ ト	RESET端子	あり										
	POC	2.1 V ± 0.1 V ( 検出電圧は固定 )										
	LVI	2.35 V/2.6 V/2.85 V/3.1 V/3.3 V ± 0.15 V/3.5 V/3.7 V/3.9 V/4.1 V/4.3 V ± 0.2 V ( ソフトウェアにより選択可能 )										
	クロック・モニタ	あり										
	WDT	あり										
クロック出力 / プザー出力		-				クロック出力のみ		あり				
外部バス・インタフェース		-								あり		
乗除算器		-						16ビット × 16ビット , 32ビット ÷ 16ビット				
ROMコレクション		-							あり		-	
セルフ・プログラミング機能		あり										
オンチップ・デバッグ機能搭載品		μPD78F0114HD, 78F0124HD, 78F0138HD, 78F0148HD										
スタンバイ機能		HALT/STOPモード										
動作周囲温度		T <sub>A</sub> = - 40 ~ + 85										

注1. POC回路の検出電圧 ( V<sub>POC</sub> ) が2.1 V ± 0.1 Vのため、2.2 ~ 5.5 Vの電圧範囲で使用してください。

2. 端子を兼用している場合は、どちらかを選択して使用します。

## 1.2 特 徴

最小命令実行時間 50 ns (メイン・クロック (f<sub>xx</sub>) = 20 MHz動作時)

汎用レジスタ 32ビット×32本

CPUの特徴 符号付き乗算 (16×16 32) : 1-2クロック

(レジスタ・ハザードが起きない後続の命令を並列に実行可能)

飽和演算 (オーバフロー / アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング / ショート形式を持つロード / ストア命令

メモリ空間 64 Mバイト・リニア・アドレス空間

メモリ・ブロック分割機能 : 2 M, 2 M, 4 M, 8 Mバイト / 計4ブロック

・内蔵メモリ  $\mu$  PD70F3316, 70F3316Y (単電源フラッシュ・メモリ : 128 Kバイト / RAM : 6 K  
バイト)

$\mu$  PD70F3318, 70F3318Y (単電源フラッシュ・メモリ : 256 Kバイト / RAM : 16 K  
バイト)

・外部バス・インタフェース

セパレート・バス / マルチプレクス・バス出力選択可能

8/16ビット・データ・バス・サイジング機能

ウエイト機能

・プログラマブル・ウエイト機能

・外部ウエイト機能

アイドル・ステート機能

バス・ホールド機能

割り込み / 例外

ノンマスクابل割り込み : 3要因

マスクابل割り込み : 52要因 ( $\mu$  PD70F3316, 70F3318)

54要因 ( $\mu$  PD70F3316Y, 70F3318Y)

ソフトウェア例外 : 32要因

例外トラップ : 1要因

I/Oライン 合計 : 128

キー割り込み機能

タイマ機能 16ビット・タイマ / イベント・カウンタP : 1 ch

16ビット・タイマ / イベント・カウンタ0 : 6 ch

8ビット・タイマ / イベント・カウンタ5 : 2 ch

8ビット・タイマH : 2 ch

8ビット・インターバル・タイマBRG : 1 ch

時計タイマ / インターバル・タイマ : 1 ch

ウォッチドッグ・タイマ

ウォッチドッグ・タイマ1 (発振安定用タイマ兼用) : 1 ch

ウォッチドッグ・タイマ2 : 1 ch

## シリアル・インタフェース

アシンクロナス・シリアル・インタフェース (UART) (LIN対応) : 1 ch

アシンクロナス・シリアル・インタフェース (UART) : 2 ch

3線式シリアルI/O (CSI0) : 3 ch

3線式シリアルI/O (自動送受信機能付き) (CSIA) : 2 ch

I<sup>2</sup>Cバス・インタフェース (I<sup>2</sup>C) : 2 ch

( $\mu$  PD70F3316Y, 70F3318Y)

A/Dコンバータ : 10ビット分解能  $\times$  16 ch

D/Aコンバータ : 8ビット分解能  $\times$  2 ch

DMAコントローラ : 4 ch

リアルタイム出力ポート : 6ビット  $\times$  2 ch

スタンバイ機能 : HALT/IDLE/STOPモード, サブクロック/サブIDLEモード, 内蔵発振クロック動作/リングHALTモード

オンチップ・ディバグ機能 : JTAGインタフェース (オンチップ・ディバグ・エミュレータ) ( $\mu$  PD70F3318, 70F3318Yのみ)

## クロック・ジェネレータ

メイン・クロック発振 ( $f_x$ ) / サブクロック発振 ( $f_{XT}$ ) / 内蔵発振器 ( $f_R$ )

CPUクロック ( $f_{CPU}$ ) 7段階 ( $f_{xx}$ ,  $f_{xx}/2$ ,  $f_{xx}/4$ ,  $f_{xx}/8$ ,  $f_{xx}/16$ ,  $f_{xx}/32$ ,  $f_{XT}$ )

クロック・スルー・モード / PLLモード選択可

内蔵発振器 : 240 kHz (TYP.)

**備考** 内蔵発振器の周波数特性 (誤差) は第32章 **電気的特性**を参照してください。

## リセット

- ・  $\overline{\text{RESET}}$ 端子によるリセット
- ・ ウォッチドッグ・タイマ1のオーバーフローによるリセット (WDTRES1)
- ・ ウォッチドッグ・タイマ2のオーバーフローによるリセット (WDTRES2)
- ・ 低電圧検出回路によるリセット (LVIRES)
- ・ パワーオン・クリアによるリセット (POCRES)
- ・ クロック・モニタによるリセット (CLMRES)
- ・ リセット出力機能 (P00/TOH0端子)

低電圧検出 (LVI) 回路

パワーオン・クリア (POC) 回路

クロック・モニタ (CLM) 回路

パッケージ : 144ピン・プラスチックLQFP (ファインピッチ) (20  $\times$  20)

### 1.3 応用分野

#### 自動車実装

- ・ボディ電装系のシステム制御（パワー・ウインドウ，キーレス・エントリ受信など）
- ・制御系のサブマイコン

#### ホーム・オーディオ，カー・オーディオ

#### AV機器

#### PC周辺機器（キーボードなど）

#### 家電製品

- ・エアコン室外機
- ・電子レンジ，炊飯器

#### 産業機器

- ・ポンプ
- ・自動販売機
- ・FA

### 1.4 オーダ情報

オーダ名称	パッケージ	品質水準
μ PD70F3316GJ-UEN-A	144ピン・プラスチックLQFP（ファインピッチ）（20×20）標準（一般電子機器用）	
μ PD70F3316YGJ-UEN-A	〃	〃
μ PD70F3318GJ-UEN-A	〃	〃
μ PD70F3318YGJ-UEN-A	〃	〃

**備考** オーダ名称末尾「-A」の製品は，鉛フリー製品です。

## 1.5 端子接続図 (Top View)

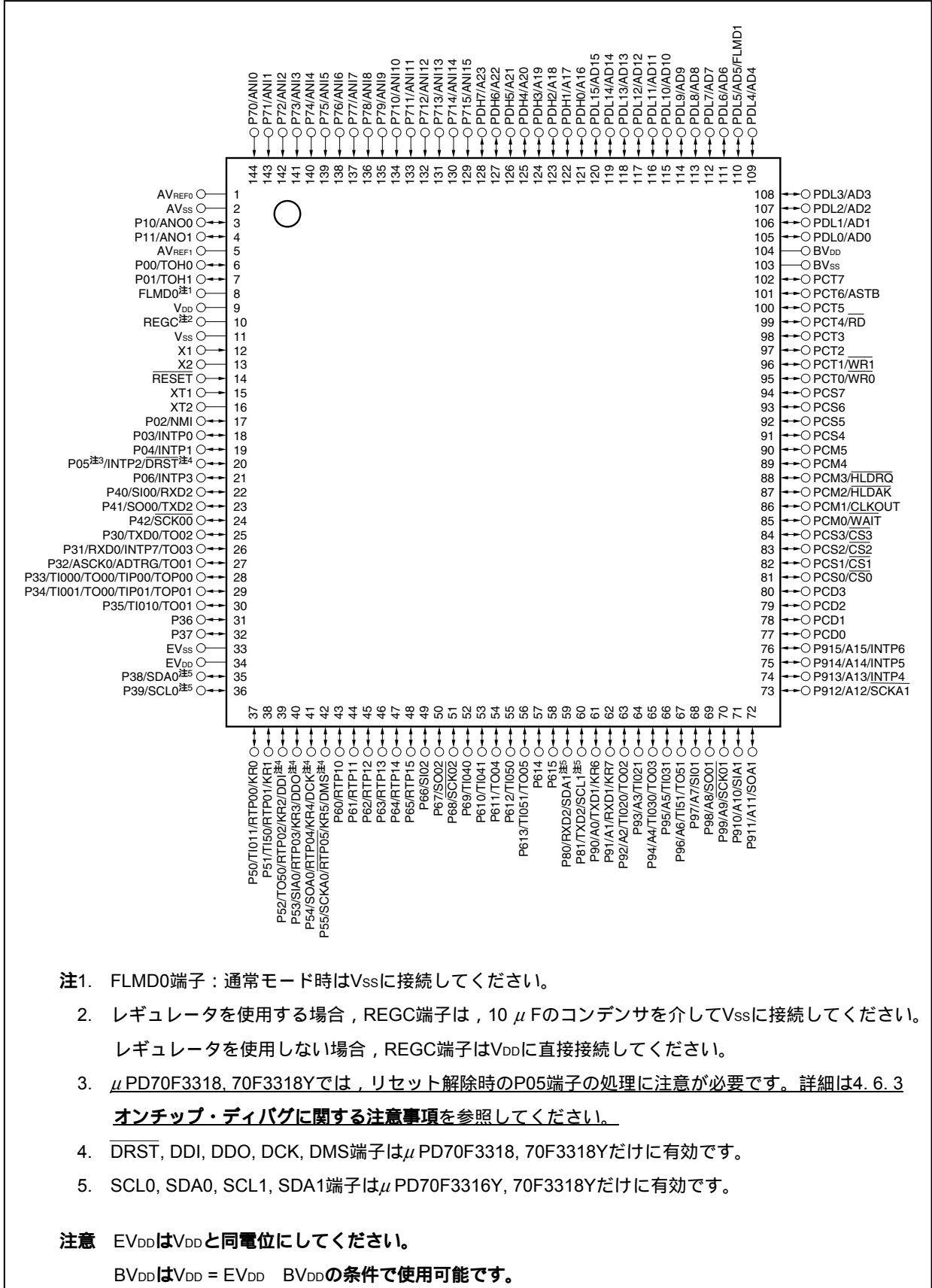
144ピン・プラスチックLQFP (ファインピッチ) (20×20)

μ PD70F3316GJ-UEN-A

μ PD70F3318GJ-UEN-A

μ PD70F3316YGJ-UEN-A

μ PD70F3318YGJ-UEN-A



- 注1. FLMD0端子：通常モード時はVssに接続してください。
2. レギュレータを使用する場合，REGC端子は，10 μFのコンデンサを介してVssに接続してください。レギュレータを使用しない場合，REGC端子はVDDに直接接続してください。
3. μ PD70F3318, 70F3318Yでは，リセット解除時のP05端子の処理に注意が必要です。詳細は4. 6. 3 **オンチップ・デバッグに関する注意事項**を参照してください。
4. DRST, DDI, DDO, DCK, DMS端子はμ PD70F3318, 70F3318Yだけに有効です。
5. SCL0, SDA0, SCL1, SDA1端子はμ PD70F3316Y, 70F3318Yだけに有効です。

**注意** EVDDはVDDと同電位にしてください。  
BVDDはVDD = EVDD BVDDの条件で使用可能です。

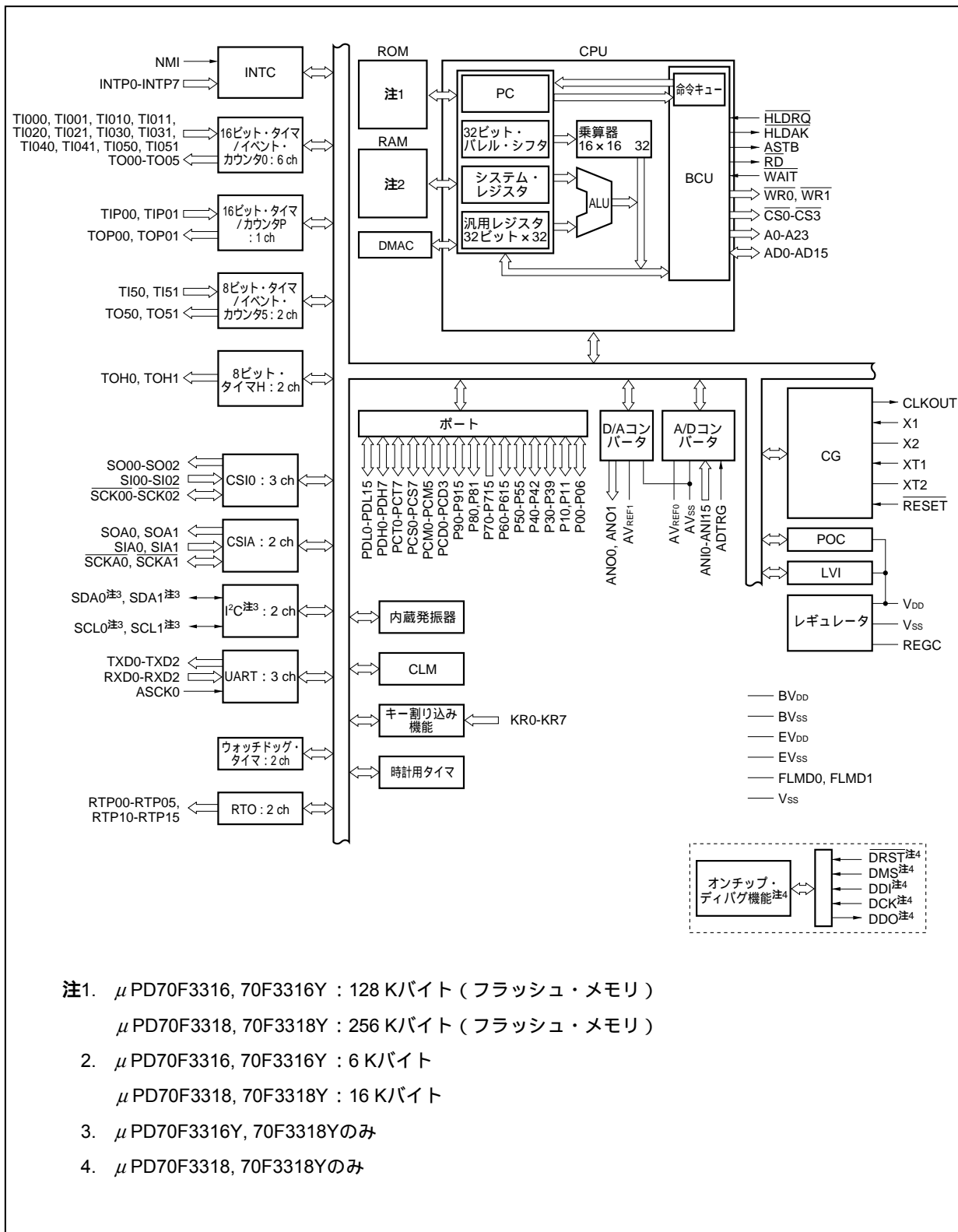
端子名称

A0-A23	: Address Bus	PCT0-PCT7	: Port CT
AD0-AD15	: Address/Data Bus	PDH0-PDH7	: Port DH
ADTRG	: A/D Trigger Input	PDL0-PDL15	: Port DL
ANI0-ANI15	: Analog Input	$\overline{RD}$	: Read Strobe
ANO0, ANO1	: Analog Output	REGC	: Regulator Control
ASCK0	: Asynchronous Serial Clock	$\overline{RESET}$	: Reset
ASTB	: Address Strobe	RTP00-RTP05,	: Real-time Output Port
AVREF0, AVREF1	: Analog Reference Voltage	RTP10-RTP15	
AVSS	: Ground for Analog	RXD0-RXD2	: Receive Data
BVDD	: Power Supply for Bus Interface	$\overline{SCK00-SCK02}$ ,	: Serial Clock
BVSS	: Ground for Bus Interface	$\overline{SCKA0, SCKA1}$	
CLKOUT	: Clock Output	SCL0, SCL1	: Serial Clock
$\overline{CS0-CS3}$	: Chip Select	SDA0, SDA1	: Serial Data
DCK	: Debug Clock	SI00-SI02,	: Serial Input
DDI	: Debug Data Input	SIA0, SIA1	
DDO	: Debug Data Output	SO00-SO02,	: Serial Output
DMS	: Debug Mode Select	SOA0, SOA1	
$\overline{DRST}$	: Debug Reset	TI000, TI001,	: Timer Input
EVDD	: Power Supply for Port	TI010, TI011,	
EVSS	: Ground for Port	TI020, TI021,	
FLMD0, FLMD1	: Flash Programing Mode	TI030, TI031,	
$\overline{HLDAK}$	: Hold Acknowledge	TI040, TI041,	
$\overline{HLDRQ}$	: Hold Request	TI050, TI051,	
INTP0-INTP7	: External Interrupt Input	TI50, TI51,	
KR0-KR7	: Key Return	TIP00, TIP01	
NMI	: Non-maskable Interrupt Request	TO00-TO05,	: Timer Output
P00-P06	: Port 0	TO50, TO51,	
P10, P11	: Port 1	TOH0, TOH1,	
P30-P39	: Port 3	TOP00, TOP01	
P40-P42	: Port 4	TXD0-TXD2	: Transmit Data
P50-P55	: Port 5	VDD	: Power Supply
P60-P615	: Port 6	VSS	: Ground
P70-P715	: Port 7	$\overline{WAIT}$	: Wait
P80, P81	: Port 8	$\overline{WR0}$	: Lower Byte Write Strobe
P90-P915	: Port 9	$\overline{WR1}$	: Upper Byte Write Strobe
PCD0-PCD3	: Port CD	X1, X2	: Crystal for Main Clock
PCM0-PCM5	: Port CM	XT1, XT2	: Crystal for Subclock
PCS0-PCS7	: Port CS		



## 1.6 機能ブロック構成

(1) 内部ブロック図



## (2) 内部ユニット

### (a) CPU

アドレス計算, 算術論理演算, データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器 (16ビット×16ビット 32ビット), バレル・シフタ (32ビット) などの専用ハードウェアを内蔵し, 複雑な処理の高速化を図っています。

### (b) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は, プリフェッチ・アドレスを生成し, 命令コードのプリフェッチを行います。プリフェッチされた命令コードは, 内部の命令キューに取り込まれます。

### (c) ROM

00000000H-003FFFFFH/00000000H-001FFFFFH番地にマッピングされる256/128 Kバイトのフラッシュ・メモリです。

命令フェッチ時にCPUから1クロックでアクセスできます。

### (d) RAM

3FFB000H-3FFEFFFH/3FFD800H-3FFEFFFH番地にマッピングされる16/6 KバイトのRAMです。

データ・アクセス時にCPUから1クロックでアクセスできます。

### (e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア, および外部からのハードウェア割り込み要求 (NMI, INTP0-INTP7) を処理します。これらの割り込み要求は, 8レベルの割り込み優先順位を指定でき, 多重処理制御ができます。

### (f) クロック・ジェネレータ (CG)

メイン・クロック発振回路とサブクロック発振回路があり, メイン・クロック発振周波数 ( $f_x$ ) とサブクロック周波数 ( $f_{xT}$ ) を生成しています。メイン・クロック周波数 ( $f_{xx}$ ) として,  $f_x$  をそのまま使用するクロック・スルー・モードと,  $f_x$  を4逓倍して使用するPLLモードがあります。

CPUクロック周波数 ( $f_{CPU}$ ) としては,  $f_{xx}$ ,  $f_{xx}/2$ ,  $f_{xx}/4$ ,  $f_{xx}/8$ ,  $f_{xx}/16$ ,  $f_{xx}/32$ ,  $f_{xT}$  の7種類から選択できます。

### (g) タイマ/カウンタ

16ビット・タイマ/イベント・カウンタ0を6チャンネルと, 16ビット・タイマ/イベント・カウンタPを1チャンネルと, 8ビット・タイマ/イベント・カウンタ5を2チャンネル内蔵し, パルス間隔や周波数の計測, プログラマブルなパルスの出力ができます。

2チャンネルの8ビット・タイマ/イベント・カウンタ5をカスケード接続し, 16ビット・タイマとしても使用できます。

また, プログラマブルなパルス出力ができる8ビット・タイマHを2チャンネル内蔵しています。

**(h) 時計タイマ**

サブクロック (32.768 kHz) またはクロック・ジェネレータからの  $f_{BRG}$  (32.768 kHz) から時計カウント用の基準時間 (0.5秒) をカウントします。インターバル・タイマとしても同時に使用できます。

**(i) ウォッチドッグ・タイマ**

プログラムの暴走, システム異常などを検出するためのウォッチドッグ・タイマを2チャンネル内蔵しています。ウォッチドッグ・タイマ1は, インターバル・タイマとしても使用できます。また, ウォッチドッグ・タイマとして使用する場合は, オーバフローでノンマスクابل割り込み要求信号 (INTWDT1), またはシステム・リセット信号 (WDTRES1) を発生します。インターバル・タイマとして使用する場合は, オーバフローでマスクابل割り込み要求信号 (INTWDTM1) を発生します。

ウォッチドッグ・タイマ2は, リセット解除後にデフォルトで動作します。

オーバフローでノンマスクابل割り込み要求信号 (INTWDT2), またはシステム・リセット信号 (WDTRES2) を発生します。

**(j) シリアル・インタフェース (SIO)**

アシンクロナス・シリアル・インタフェース (UARTn) (1チャンネル LIN対応), クロック同期式シリアル・インタフェース (CSI0n), クロック同期式シリアル・インタフェース (自動送受信機能付き) (CSIAm), I<sup>2</sup>Cバス・インタフェース (I<sup>2</sup>Cm) を内蔵しており,  $\mu$ PD70F3316, 70F3318は最大8チャンネルを,  $\mu$ PD70F3316Y, 70F3318Yは最大9チャンネルを同時に使用できます。

UARTnは, TXDn, RXDn端子によりデータ転送を行います。

CSI0nは, SO0n, SI0n,  $\overline{SCK0n}$ 端子によりデータ転送を行います。

CSIAmは, SOAm, SIAm,  $\overline{SCKAm}$ 端子によりデータ転送を行います。

I<sup>2</sup>Cmは, SDAm, SCLm端子によりデータ転送を行います。

I<sup>2</sup>Cmは,  $\mu$ PD70F3316Y, 70F3318Yのみ内蔵しています。

**備考** n = 0-2

m = 0, 1

**(k) A/Dコンバータ**

16本のアナログ入力端子を持つ高速, 高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

**(l) D/Aコンバータ**

8ビット分解能のD/Aコンバータを2チャンネル内蔵しています。R-2Rラダー方式です。

**(m) DMAコントローラ**

4チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて, 内蔵RAM, 内蔵周辺I/O, 外部メモリ間でデータを転送します。

**(n) キー割り込み機能**

8チャンネルのキー入力端子に立ち下がりエッジを入力することによって, キー割り込み要求信号 (INTKR) を発生させることができます。

(o) リアルタイム出力機能

あらかじめ設定しておいた6ビット・データを、タイマのコンペア・レジスタの一致信号により出力ラッチに転送します。

6ビット・データのリアルタイム出力機能を2チャンネル内蔵しています。

(p) クロック・モニタ

クロック・モニタは、内蔵発振クロック ( $f_R$ ) で、メイン・クロック ( $f_X$ ) のサンプリングを行い、メイン・クロックの発振停止時に、リセット要求信号を発生します。

(q) 低電圧検出 (LVI) 回路

電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し  $V_{DD} < V_{LVI}$  になったとき、内部割り込み信号もしくは内部リセット信号を発生します。

(r) パワーオン・クリア (POC) 回路

電源投入時に内部リセット信号を発生します。

電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{POC}$ ) を比較し  $V_{DD} < V_{POC}$  になったとき、内部リセット信号を発生します。

(s) オンチップ・ディバグ機能

JTAG (Joint Test Action Group) の通信仕様を利用して、オンチップ・ディバグ・エミュレータを介したオンチップ・ディバグ機能を内蔵しています。通常ポート機能とオンチップ・ディバグ機能の切り替えは、制御端子の入力レベルとOCDMレジスタの2つで行います。

オンチップ・ディバグ機能は、 $\mu$ PD70F3318, 70F3318Yだけに内蔵されています。

(t) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
P0	7ビット入出力	NMI, 外部割り込み, タイマ出力
P1	2ビット入出力	D/Aコンバータ・アナログ出力
P3	10ビット入出力	シリアル・インタフェース, タイマ入出力, 外部割り込み, A/Dコンバータ・トリガ
P4	3ビット入出力	シリアル・インタフェース
P5	6ビット入出力	シリアル・インタフェース, タイマ入出力, キー割り込み機能, リアルタイム出力機能
P6	16ビット入出力	シリアル・インタフェース, タイマ入出力, リアルタイム出力機能
P7	16ビット入力	A/Dコンバータ・アナログ入力
P8	2ビット入出力	シリアル・インタフェース
P9	16ビット入出力	外部アドレス・バス, シリアル・インタフェース, タイマ入出力, 外部割り込み, キー割り込み機能
PCD	4ビット入出力	-
PCM	6ビット入出力	外部バス制御信号
PCS	8ビット入出力	チップ・セレクト出力
PCT	8ビット入出力	外部バス制御信号
PDH	8ビット入出力	外部アドレス・バス
PDL	16ビット入出力	外部アドレス/データ・バス

## 1.7 機能概要

品 名		$\mu$ PD70F3316 / $\mu$ PD70F3316Y	$\mu$ PD70F3318 / $\mu$ PD70F3318Y
内部	ROM	128 Kバイト (単電源フラッシュ・メモリ)	256 Kバイト (単電源フラッシュ・メモリ)
メモリ	高速RAM	6 Kバイト	16 Kバイト
バッファRAM		64バイト	
メモリ	論理空間	64 Mバイト	
空間	外部メモリ領域	15 Mバイト	
外部バス・インタフェース		アドレス・バス：24ビット データ・バス：8/16ビット マルチプレクス・バス・モード/セパレート・バス・モード	
汎用レジスタ		32ビット×32レジスタ	
メイン・クロック (発振周波数)		セラミック/クリスタル/外部クロック PLL未使用時 (2~10 MHz : 2.7~5.5 V) PLL 使用時 REGC端子をV <sub>DD</sub> に直接接続 (2~5 MHz : 4.5~5.5 V, 2~2.5 MHz : 2.7~5.5 V) REGC端子に10 $\mu$ Fのコンデンサを接続 (2~4 MHz : 4.0~5.5 V)	
サブクロック (発振周波数)		クリスタル/外部クロック (32.768 kHz)	
最小命令実行時間		50ns (メイン・クロック (f <sub>xx</sub> ) = 20 MHz動作時)	
DSP機能		32×32 = 64 : 200-250 ns (20 MHz時) 32×32 + 32 = 32 : 300 ns (20 MHz時) 16×16 = 32 : 50-100 ns (20 MHz時) 16×16 + 32 = 32 : 150 ns (20 MHz時)	
I/Oポート		128本 ・入力：16本 ・入出力：112本 (内 N-ch オープン・ドレイン出力選択可能：12本, N-ch オープン・ドレイン出力固定：6本)	
タイマ		16ビット・タイマ/イベント・カウンタP：1チャンネル 16ビット・タイマ/イベント・カウンタ0：6チャンネル 8ビット・タイマ/イベント・カウンタ5：2チャンネル (16ビット・タイマ/イベント・カウンタ：1チャンネルとして使用可能) 8ビット・タイマH：2チャンネル ウォッチドッグ・タイマ：2チャンネル 時計タイマ：1チャンネル 8ビット・インターバル・タイマ：1チャンネル	
リアルタイム出力ポート		2チャンネル：4ビット×1, 2ビット×1, または6ビット×1	
A/Dコンバータ		10ビット分解能×16チャンネル	
D/Aコンバータ		8ビット分解能×2チャンネル	
シリアル・インタフェース		CSI：3チャンネル CSIA (自動送受信機能付き)：2チャンネル UART (LIN対応)：1チャンネル UART：2チャンネル/1チャンネル <sup>注1</sup> UART/I <sup>2</sup> Cバス：1チャンネル <sup>注1</sup> I <sup>2</sup> Cバス：1チャンネル <sup>注1</sup> 専用ボ・レート・ジェネレータ：3チャンネル	
割り込み要因		外部：10 (10) <sup>注2</sup> , 内部：46/48 <sup>注1</sup>	
パワー・セーブ機能		STOP/IDLE/HALT/サブIDLEモード	
オンチップ・デバッグ機能		なし	あり
動作電源電圧		4.5~5.5 V (20 MHz時) / 2.7~5.5 V (8 MHz時)	
パッケージ		144ピン・プラスチックLQFP (ファインピッチ) (20×20 mm)	

注1.  $\mu$ PD70F3316Y, 70F3318Yのみ。

2. ( )内はSTOPモード解除可能な外部割り込み本数です。

## 第2章 端子機能

V850ES/KJ1+の端子の名称と機能を次に示します。これらの端子は、機能別にポート端子とそれ以外の端子に分けることができます。

端子の入出力バッファ電源には、AV<sub>REF0</sub>/AV<sub>REF1</sub>、BV<sub>DD</sub>、EV<sub>DD</sub>の3系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電 源	対応する端子
AV <sub>REF0</sub>	ポート7
AV <sub>REF1</sub>	ポート1
BV <sub>DD</sub>	ポートCD, CM, CS, CT, DH, DL
EV <sub>DD</sub>	RESET, ポート0, 3-6, 8, 9

### 2.1 端子機能一覧

#### (1) ポート端子

(1/4)

端子名称	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用端子	
P00	6	入出力	あり	ポート0 入出力ポート 1ビット単位で入力 / 出力の指定が可能	TOH0	
P01	7				TOH1	
P02	17				NMI	
P03	18				INTP0	
P04	19				INTP1	
P05 <sup>注1</sup>	20				INTP2/DRST <sup>注2</sup>	
P06	21				INTP3	
P10	3	入出力	あり	ポート1 入出力ポート 1ビット単位で入力 / 出力の指定が可能	ANO0	
P11	4				ANO1	
P30	25	入出力	あり	ポート3 入出力ポート 1ビット単位で入力 / 出力の指定が可能 P36-P39はN-chオープン・ドレイン出力固定	TXD0/TO02	
P31	26				RXD0/INTP7/TO03	
P32	27				ASCK0/ADTRG/TO01	
P33	28				TI000/TO00/TIP00/TOP00	
P34	29				TI001/TO00/TIP01/TOP01	
P35	30				TI010/TO01	
P36	31				なし	-
P37	32				なし	-
P38	35		なし	SDA0 <sup>注3</sup>		
P39	36		なし	SCL0 <sup>注3</sup>		

注1.  $\mu$ PD70F3318, 70F3318Yでは、リセット解除時のP05端子の処理に注意が必要です。詳細は4.3.6 **オンチップ・デバッグ用端子に関する注意事項**を参照してください。

2.  $\mu$ PD70F3318, 70F3318Yのみ
3.  $\mu$ PD70F3316Y, 70F3318Yのみ

端子名称	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用端子
P40	22	入出力	あり	ポート4 入出力ポート 1ビット単位で入力/出力の指定が可能 P41, P42は1ビット単位でN-chオープン・ドレ ーン出力の指定が可能	SI00/RXD2 <sup>注1</sup>
P41	23				SO00/TXD2
P42	24				SCK00
P50	37	入出力	あり	ポート5 入出力ポート 1ビット単位で入力/出力の指定が可能 P54, P55は1ビット単位でN-chオープン・ドレ ーン出力の指定が可能	TI011/RTP00/KR0
P51	38				TI50/RTP01/KR1
P52	39				TO50/RTP02/KR2/DDI <sup>注2</sup>
P53	40				SIA0/RTP03/KR3/DDO <sup>注2</sup>
P54	41				SOA0/RTP04/KR4/DCK <sup>注2</sup>
P55	42				SCKA0/RTP05/KR5/DMS <sup>注2</sup>
P60	43	入出力	あり	ポート6 入出力ポート 1ビット単位で入力/出力の指定が可能 P67, P68は1ビット単位でN-chオープン・ドレ ーン出力の指定が可能 P614, P615はN-chオープン・ドレーン出力固 定	RTP10
P61	44				RTP11
P62	45				RTP12
P63	46				RTP13
P64	47				RTP14
P65	48				RTP15
P66	49				SI02
P67	50				SO02
P68	51				SCK02
P69	52				TI040
P610	53				TI041
P611	54				TO04
P612	55				TI050
P613	56		TI051/TO05		
P614	57	なし	-		
P615	58	なし	-		
P70	144	入力	なし	ポート7 入力ポート	ANI0
P71	143				ANI1
P72	142				ANI2
P73	141				ANI3
P74	140				ANI4
P75	139				ANI5
P76	138				ANI6
P77	137				ANI7

注1. V850ES/KJ1+は、P80端子にもRXD2端子機能を割り当てており、P40, P80端子を同時にRXD2端子として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40, P80端子を同時にRXD2端子として使用しないでください。

2.  $\mu$ PD70F3318, 70F3318Yのみ

端子名称	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用端子
P78	136	入力	なし	ポート7 入力ポート	ANI8
P79	135				ANI9
P710	134				ANI10
P711	133				ANI11
P712	132				ANI12
P713	131				ANI13
P714	130				ANI14
P715	129				ANI15
P80	59	入出力	あり	ポート8 入出力ポート 1ビット単位で入力/出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力の指定が可能	RXD2 <sup>注1</sup> /SDA1 <sup>注2</sup>
P81	60				TXD2/SCL1 <sup>注2</sup>
P90	61	入出力	あり	ポート9 入出力ポート 1ビット単位で入力/出力の指定が可能 P98, P99, P911, P912は1ビット単位でN-chオープン・ドレイン出力の指定が可能	A0/TXD1/KR6
P91	62				A1/RXD1/KR7
P92	63				A2/TI020/TO02
P93	64				A3/TI021
P94	65				A4/TI030/TO03
P95	66				A5/TI031
P96	67				A6/TI51/TO51
P97	68				A7/SI01
P98	69				A8/SO01
P99	70				A9/SCK01
P910	71				A10/SIA1
P911	72				A11/SOA1
P912	73				A12/SCKA1
P913	74				A13/INTP4
P914	75				A14/INTP5
P915	76	A15/INTP6			
PCD0	77	入出力	あり	ポートCD 入出力ポート 1ビット単位で入力/出力の指定が可能	-
PCD1	78				-
PCD2	79				-
PCD3	80				-
PCM0	85	入出力	あり	ポートCM 入出力ポート 1ビット単位で入力/出力の指定が可能	WAIT
PCM1	86				CLKOUT
PCM2	87				HLDK
PCM3	88				HLDK
PCM4	89				-
PCM5	90				-

注1. V850ES/KJ1+は、P40端子にもRXD2端子機能を割り当てており、P40, P80端子を同時にRXD2端子として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40, P80端子を同時にRXD2端子として使用しないでください。

2.  $\mu$  PD70F3316Y, 70F3318Yのみ



端子名称	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用端子
PCS0	81	入出力	あり	ポートCS 入出力ポート 1ビット単位で入力/出力の指定が可能	CS0
PCS1	82				CS1
PCS2	83				CS2
PCS3	84				CS3
PCS4	91				-
PCS5	92				-
PCS6	93				-
PCS7	94				-
PCT0	95	入出力	あり	ポートCT 入出力ポート 1ビット単位で入力/出力の指定が可能	WR0
PCT1	96				WR1
PCT2	97				-
PCT3	98				-
PCT4	99				RD
PCT5	100				-
PCT6	101				ASTB
PCT7	102				-
PDH0	121	入出力	あり	ポートDH 入出力ポート 1ビット単位で入力/出力の指定が可能	A16
PDH1	122				A17
PDH2	123				A18
PDH3	124				A19
PDH4	125				A20
PDH5	126				A21
PDH6	127				A22
PDH7	128				A23
PDL0	105	入出力	あり	ポートDL 入出力ポート 1ビット単位で入力/出力の指定が可能	AD0
PDL1	106				AD1
PDL2	107				AD2
PDL3	108				AD3
PDL4	109				AD4
PDL5	110				AD5/FLMD1
PDL6	111				AD6
PDL7	112				AD7
PDL8	113				AD8
PDL9	114				AD9
PDL10	115				AD10
PDL11	116				AD11
PDL12	117				AD12
PDL13	118				AD13
PDL14	119				AD14
PDL15	120				AD15

## (2) ポート以外の端子

( 1/5 )

端子名	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用端子名
A0	61	出力	あり	外部メモリに対するアドレス・バス (セパレート・バス使用時)	P90/TXD1/KR6
A1	62				P91/RXD1/KR7
A2	63				P92/TI020/TO02
A3	64				P93/TI021
A4	65				P94/TI030/TO03
A5	66				P95/TI031
A6	67				P96/TI51/TO51
A7	68				P97/SI01
A8	69				P98/SO01
A9	70				P99/SCK01
A10	71				P910/SIA1
A11	72				P911/SOA1
A12	73				P912/SCKA1
A13	74				P913/INTP4
A14	75				P914/INTP5
A15	76	P915/INTP6			
A16	121	出力	あり	外部メモリに対するアドレス・バス	PDH0
A17	122				PDH1
A18	123				PDH2
A19	124				PDH3
A20	125				PDH4
A21	126				PDH5
A22	127				PDH6
A23	128	PDH7			
AD0	105	入出力	あり	外部メモリに対するアドレス/データ・バス	PDL0
AD1	106				PDL1
AD2	107				PDL2
AD3	108				PDL3
AD4	109				PDL4
AD5	110				PDL5/FLMD1
AD6	111				PDL6
AD7	112				PDL7
AD8	113				PDL8
AD9	114				PDL9
AD10	115				PDL10
AD11	116				PDL11
AD12	117				PDL12
AD13	118				PDL13
AD14	119				PDL14
AD15	120	PDL15			

端子名	ピン番号	入出力	内蔵プルアップ抵抗	機能	兼用端子名
ADTRG	27	入力	あり	A/Dコンバータ外部トリガ入力	P32/ASCK0/TO01
ANI0	144	入力	なし	A/Dコンバータ用アナログ電圧入力	P70
ANI1	143				P71
ANI2	142				P72
ANI3	141				P73
ANI4	140				P74
ANI5	139				P75
ANI6	138				P76
ANI7	137				P77
ANI8	136				P78
ANI9	135				P79
ANI10	134				P710
ANI11	133				P711
ANI12	132				P712
ANI13	131				P713
ANI14	130				P714
ANI15	129	P715			
ANO0	3	出力	あり	D/Aコンバータ用アナログ電圧出力	P10
ANO1	4				P11
ASCK0	27	入力	あり	UART0のシリアル・クロック入力	P32/ADTRG/TO01
ASTB	101	出力	あり	外部メモリに対するアドレス・ストローブ信号出力	PCT6
AV <sub>REF0</sub>	1	-	-	A/Dコンバータ用基準電圧および兼用ポート用正電源供給	-
AV <sub>REF1</sub>	5	-	-	D/Aコンバータ用基準電圧および兼用ポート用正電源供給	-
AV <sub>SS</sub>	2	-	-	A/D, D/Aコンバータおよび兼用ポート用グランド電位	-
BV <sub>DD</sub>	104	-	-	バス・インタフェースおよび兼用ポート用正電源供給	-
BV <sub>SS</sub>	103	-	-	バス・インタフェースおよび兼用ポート用グランド電位	-
CLKOUT	86	出力	あり	内部システム・クロック出力	PCM1
CS <sub>0</sub>	81	出力	あり	チップ・セレクト出力	PCS0
CS <sub>1</sub>	82				PCS1
CS <sub>2</sub>	83				PCS2
CS <sub>3</sub>	84				PCS3
DCK <sup>注</sup>	41	入力	あり	ディバグ・クロック入力	P54/SOA0/RTP04/KR4
DDI <sup>注</sup>	39	入力	あり	ディバグ・データ入力	P52/TO50/RTP02/KR2
DDO <sup>注</sup>	40	出力	あり	ディバグ・データ出力	P53/SIA0/RTP03/KR3
DMS <sup>注</sup>	42	入力	あり	ディバグ・モード・セレクト入力	P55/SCKA0/RTP05/KR5
DRST <sup>注</sup>	20	入力	あり	ディバグ・リセット入力	P05/INTP2
EV <sub>DD</sub>	34	-	-	外部用正電源供給	-
EV <sub>SS</sub>	33	-	-	外部用グランド電位	-
FLMD0	8	入力	なし	フラッシュ・プログラミング・モード引き込み用端子	-
FLMD1	110		あり		PDL5/AD5
HLD <sub>AK</sub>	87	出力	あり	バス・ホールド・アクノリッジ出力	PCM2
HLD <sub>RQ</sub>	88	入力	あり	バス・ホールド要求入力	PCM3

注 μPD70F3318, 70F3318Yのみ

端子名	ピン番号	入出力	内蔵プルアップ抵抗	機能	兼用端子名			
INTP0	18	入力	あり	外部割り込み要求入力 ( マスカブル, アナログ・ノイズ除去 )	P03			
INTP1	19				P04			
INTP2	20				P05/DRST <sup>注1</sup>			
INTP3	21			外部割り込み要求入力 ( マスカブル, デジタル+アナログ・ノイズ除去 )	P06			
INTP4	74			外部割り込み要求入力 ( マスカブル, アナログ・ノイズ除去 )	P913/A13			
INTP5	75				P914/A14			
INTP6	76				P915/A15			
INTP7	26	P31/RXD0/TO03						
KR0	37	入力	あり	キー・リターン入力	P50/TI011/RTP00			
KR1	38				P51/TI50/RTP01			
KR2	39				P52/TO50/RTP02/DDI <sup>注1</sup>			
KR3	40				P53/SIA0/RTP03/DDO <sup>注1</sup>			
KR4	41				P54/SOA0/RTP04/DCK <sup>注1</sup>			
KR5	42				P55/SCKA0/RTP05/DMS <sup>注1</sup>			
KR6	61				P90/A0/TXD1			
KR7	62				P91/A1/RXD1			
NMI	17	入力	あり	外部割り込み入力 ( ノンマスカブル, アナログ・ノイズ除去 )	P02			
RD	99	出力	あり	外部メモリに対するリード・ストローク信号出力	PCT4			
REGC	10	-	-	レギュレータ出力安定容量接続	-			
RESET	14	入力	-	システム・リセット入力	-			
RTP00	37	出力	あり	リアルタイム出力ポート	P50/TI011/KR0			
RTP01	38				P51/TI50/KR1			
RTP02	39				P52/TO50/KR2/DDI <sup>注1</sup>			
RTP03	40				P53/SIA0/KR3/DDO <sup>注1</sup>			
RTP04	41				P54/SOA0/KR4/DCK <sup>注1</sup>			
RTP05	42				P55/SCKA0/KR5/DMS <sup>注1</sup>			
RTP10	43				P60			
RTP11	44				P61			
RTP12	45				P62			
RTP13	46				P63			
RTP14	47				P64			
RTP15	48				P65			
RXD0	26				入力	あり	シリアル受信データ入力 ( UART0 )	P31/INTP7/TO03
RXD1	62						シリアル受信データ入力 ( UART1 )	P91/A1/KR7
RXD2	22						シリアル受信データ入力 ( UART2 )	P40 <sup>注2</sup> /SI00
	59				P80 <sup>注2</sup> /SDA1 <sup>注3</sup>			

注1.  $\mu$ PD70F3318, 70F3318Yのみ

- V850ES/KJ1+は、P40端子とP80端子にRXD2端子機能を割り当てており、P40、P80端子を同時にRXD2端子として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40、P80端子を同時にRXD2端子として使用しないでください。

- $\mu$ PD70F3316Y, 70F3318Yのみ

端子名	ピン番号	入出力	内蔵プルアップ抵抗	機能	兼用端子名
SCK00	24	入出力	あり	シリアル・クロック入出力 (CSI00-CSI02, CSIA0, CSIA1) 1ビット単位でN-chオープン・ドレイン出力の指定が可能	P42
SCK01	70				P99/A9
SCK02	51				P68
SCKA0	42				P55/RTP05/KR5/DMS <sup>注1</sup>
SCKA1	73				P912/A12
SCL0 <sup>注2</sup>	36	入出力	なし	シリアル・クロック入出力 (I <sup>2</sup> C0) N-chオープン・ドレイン出力固定	P39
SCL1 <sup>注2</sup>	60		あり	シリアル・クロック入出力 (I <sup>2</sup> C1) N-chオープン・ドレイン出力の指定が可能	P81/TXD2
SDA0 <sup>注2</sup>	35	入出力	なし	シリアル送受信データ入出力 (I <sup>2</sup> C0) N-chオープン・ドレイン出力固定	P38
SDA1 <sup>注2</sup>	59		あり	シリアル送受信データ入出力 (I <sup>2</sup> C1) N-chオープン・ドレイン出力の指定が可能	P80/RXD2
SI00	22	入力	あり	シリアル受信データ入力 (CSI00)	P40/RXD2
SI01	68			シリアル受信データ入力 (CSI01)	P97/A7
SI02	49			シリアル受信データ入力 (CSI02)	P66
SIA0	40			シリアル受信データ入力 (CSIA0)	P53/RTP03/KR3/DDO <sup>注1</sup>
SIA1	71			シリアル受信データ入力 (CSIA1)	P910/A10
SO00	23	出力	あり	シリアル送信データ出力 (CSI00-CSI02, CSIA0, CSIA1) 1ビット単位でN-chオープン・ドレイン出力の指定が可能	P41/TXD2
SO01	69				P98/A8
SO02	50				P67
SOA0	41				P54/RTP04/KR4/DCK <sup>注1</sup>
SOA1	72				P911/A11
TI000	28	入力	あり	キャプチャ・トリガ入力 / 外部イベント入力 (TM00)	P33/TO00/TIP00/ TOP00
TI001	29			キャプチャ・トリガ入力 (TM00)	P34/TO00/TIP01/ TOP01
TI010	30			キャプチャ・トリガ入力 / 外部イベント入力 (TM01)	P35/TO01
TI011	37			キャプチャ・トリガ入力 (TM01)	P50/RTP00/KR0
TI020	63			キャプチャ・トリガ入力 / 外部イベント入力 (TM02)	P92/A2/TO02
TI021	64			キャプチャ・トリガ入力 (TM02)	P93/A3
TI030	65			キャプチャ・トリガ入力 / 外部イベント入力 (TM03)	P94/A4/TO03
TI031	66			キャプチャ・トリガ入力 (TM03)	P95/A5
TI040	52			キャプチャ・トリガ入力 / 外部イベント入力 (TM04)	P69
TI041	53			キャプチャ・トリガ入力 (TM04)	P610
TI050	55			キャプチャ・トリガ入力 / 外部イベント入力 (TM05)	P612
TI051	56			キャプチャ・トリガ入力 (TM05)	P613/TO05

注1.  $\mu$  PD70F3318, 70F3318Yのみ

2.  $\mu$  PD70F3316Y, 70F3318Yのみ

端子名	ピン番号	入出力	内蔵プルアップ抵抗	機能	兼用端子名		
TI50	38	入力	あり	外部イベント入力 (TM50)	P51/RTP01/KR1		
TI51	67			外部イベント入力 (TM51)	P96/A6/TO51		
TIP00	28			キャプチャ・トリガ入力 / 外部イベント入力 / 外部トリガ入力 (TMP0)	P33/TI000/TO00/ TOP00		
TIP01	29			キャプチャ・トリガ入力 (TMP0)	P34/TI001/TO00/ TOP01		
TO00	28	出力	あり	タイマ出力 (TM00)	P33/TI000/TIP00/ TOP00		
	29				P34/TI001/TIP01/ TOP01		
TO01	27			タイマ出力 (TM01)	P32/ASCK0/ADTRG		
	30				P35/TI010		
TO02	25			タイマ出力 (TM02)	P30/TXD0		
	63				P92/A2/TI020		
TO03	26			タイマ出力 (TM03)	P31/RXD0/INTP7		
	65				P94/A4/TI030		
TO04	54			タイマ出力 (TM04)	P611		
TO05	56			タイマ出力 (TM05)	P613/TI051		
TO50	39			タイマ出力 (TM50)	P52/RTP02/KR2/DD <sup>注1</sup>		
TO51	67			タイマ出力 (TM51)	P96/A6/TI51		
TOH0	6			タイマ出力 (TMH0)	P00		
TOH1	7			タイマ出力 (TMH1)	P01		
TOP00	28			タイマ出力 (TMP0)	P33/TI000/TO00/ TIP00		
TOP01	29					P34/TI001/TO00/ TIP01	
TXD0	25			出力	あり	シリアル送信データ出力 (UART0)	P30/TO02
TXD1	61					シリアル送信データ出力 (UART1)	P90/A0/KR6
TXD2	23					シリアル送信データ出力 (UART2)	P41/SO00
	60	P81/SCL1 <sup>注2</sup>					
V <sub>DD</sub>	9	-	-	内部用正電源供給端子	-		
V <sub>SS</sub>	11	-	-	内部用グランド電位	-		
WAIT	85	入力	なし	外部ウエイト入力	PCM0		
WR0	95	出力	なし	外部メモリ (下位8ビット) に対するライト・ストロープ	PCT0		
WR1	96			外部メモリ (上位8ビット) に対するライト・ストロープ	PCT1		
X1	12	入力	なし	メイン・クロック用発振子接続	-		
X2	13	-	なし		-		
XT1	15	入力	なし	サブクロック用発振子接続	-		
XT2	16	-	なし		-		

注1.  $\mu$  PD70F3318, 70F3318Yのみ

2.  $\mu$  PD70F3316Y, 70F3318Yのみ

## 2.2 端子状態

内蔵ROM，内蔵RAMのアクセス時には，アドレス・バスは不定になります。データ・バスは出力されずハイ・インピーダンス状態になります。外部バスの制御信号は，インアクティブ状態になります。

周辺I/Oアクセス時には，アドレス・バスはアクセスしている内蔵周辺I/Oのアドレスを出力します。データ・バスは出力されずハイ・インピーダンス状態になります。外部バスの制御信号は，インアクティブ状態になります。

表2-2 動作モードによる各端子の動作状態

端子	動作状態	リセット <sup>注1</sup>	HALTモード	IDLEモード/ STOPモード	アイドル・ ステート <sup>注2</sup>	バス・ホールド
AD0-AD15 (PDL0-PDL15)		Hi-Z	注3	Hi-Z	保持	Hi-Z
A0-A15 (P90-P915)		Hi-Z	不定 <sup>注4</sup>	Hi-Z	保持	Hi-Z
A16-A23 (PDH0-PDH7)		Hi-Z	不定	Hi-Z	保持	Hi-Z
WAIT (PCM0)		Hi-Z	-	-	-	-
CLKOUT (PCM1)		Hi-Z	動作	L	動作	動作
CS0-CS3 (PCS0-PCS3)		Hi-Z	H	H	保持	Hi-Z
WR0, WR1 (PCT0, PCT1)		Hi-Z	H	H	H	Hi-Z
RD (PCT4)		Hi-Z	H	H	H	Hi-Z
ASTB (PCT6)		Hi-Z	H	H	H	Hi-Z
HLDKAK (PCM2)		Hi-Z	動作	H	H	L
HLDRQ (PCM3)		Hi-Z	動作	-	-	動作

注1. バス制御端子はポート端子と兼用のため，リセット時には，ポート・モード（入力）に初期化されます。

- マルチプレクス・バス・モード時T3，セパレート・バス・モード時T2ステート後に挿入されるアイドル・ステート時の端子状態を示します。
- セパレート・バス・モード時 : Hi-Z  
マルチプレクス・バス・モード時 : 不定
- セパレート・バス・モード時のみ

備考 Hi-Z : ハイ・インピーダンス

H : ハイ・レベル出力

L : ロウ・レベル出力

- : 入力非サンプリング（入力受け付け不可能）

## 2.3 端子の入出力回路タイプと未使用時の処理

( 1/3 )

端子	兼用端子名	ピン番号	入出力回路タイプ	推奨接続方法
P00	TOH0	6	5-A	入力時：個別に抵抗を介して，EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P01	TOH1	7		
P02	NMI	17	5-W	
P03, P04	INTP0, INTP1	18, 19		
P05	INTP2 <sup>注1</sup>	20	5-AF	
	INTP2/DRST <sup>注2</sup>			
P06	INTP3	21	5-W	
P10	ANO0	3	12-B	入力時：個別に抵抗を介して，AV <sub>REF1</sub> またはAV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P11	ANO1	4		
P30	TXD0/TO02	25	5-A	入力時：個別に抵抗を介して，EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P31	RXD0/INTP7/TO03	26	5-W	
P32	ASCK0/ADTRG/TO01	27		
P33	TI000/TO00/TIP0/TOPO	28		
P34	TI001/TO00/TIP1/TOP1	29		
P35	TI010/TO01	30		
P36, P37	-	31, 32	13-AH	
P38	SDA0 <sup>注3</sup>	35	13-AE	
P39	SCL0 <sup>注3</sup>	38		
P40	SI00/RXD2	22	5-W	
P41	SO00/TXD2	23	10-E	
P42	SCK00	24	10-F	
P50	TI011/RTP00/KR0	37	8-A	
P51	TI50/RTP01/KR1	38		
P52	TO50/RTP02/KR2/DDI <sup>注2</sup>	39		
P53	SIA0/RTP03/KR3/DDO <sup>注2</sup>	40		
P54	SOA0/RTP04/KR4/DCK <sup>注2</sup>	41	10-A	
P55	SCKA0/RTP05/KR5/DMS <sup>注2</sup>	42		
P60-P65	RTP10-RTP15	43-48	5-A	
P66	SI02	49	5-W	
P67	SO02	50	10-E	
P68	SCK02	51	10-F	
P69	TI040	52	5-W	
P610	TI041	53		
P611	TO04	54	5-A	
P612	TI050	55	5-W	
P613	TI051/TO05	56		
P614, P615	-	57, 58	13-AH	
P70-P715	ANI0-ANI15	144-129	9-C	AV <sub>REF0</sub> またはAV <sub>SS</sub> に接続してください。

注1. μPD70F3316, 70F3316Yのみ

2. μPD70F3318, 70F3318Yのみ

3. μPD70F3316Y, 70F3318Yのみ



端子	兼用端子名	ピン番号	入出力回路タイプ	推奨接続方法
P80	RXD2/SDA1 <sup>注</sup>	59	10-F	入力時：個別に抵抗を介して，EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。
P81	TXD2/SCL1 <sup>注</sup>	60		
P90	A0/TXD1/KR6	61	8-A	出力時：オープンにしてください。
P91	A1/RXD1/KR7	62		
P92	A2/TI020/TO02	63		
P93	A3/TI021	64	5-W	
P94	A4/TI030/TO03	65	8-A	
P95	A5/TI031	66	5-W	
P96	A6/TI51/TO51	67	8-A	
P97	A7/SI01	68	5-W	
P98	A8/SO01	69	10-E	
P99	A9/ $\overline{\text{SCK01}}$	70	10-F	
P910	A10/SIA1	71	5-W	
P911	A11/SOA1	72	10-E	
P912	A12/ $\overline{\text{SCKA1}}$	73	10-F	
P913-P915	A13/INTP4-A15/INTP6	74-76	5-W	
PCD0-PCD3	-	77-80	5-A	入力時：個別に抵抗を介して，BV <sub>DD</sub> またはBV <sub>SS</sub> に接続してください。
PCM0	$\overline{\text{WAIT}}$	85	5-A	
PCM1	CLKOUT	86		出力時：オープンにしてください。
PCM2	$\overline{\text{HLDK}}$	87		
PCM3	$\overline{\text{HLDRQ}}$	88		
PCM4, PCM5	-	89, 90		
PCS0, PCS1	$\overline{\text{CS0}}, \overline{\text{CS1}}$	81, 82	5-A	
PCS2, PCS3	$\overline{\text{CS2}}, \overline{\text{CS3}}$	83, 84		
PCS4-PCS7	-	91-94		
PCT0	$\overline{\text{WR0}}$	95	5-A	
PCT1	$\overline{\text{WR1}}$	96		
PCT2, PCT3	-	97, 98		
PCT4	$\overline{\text{RD}}$	99		
PCT5	-	100		
PCT6	ASTB	101		
PCT7	-	102		
PDL0-PDL4	AD0-AD4	105-109	5-A	
PDL5	AD5/FLMD1	110		
PDL6-PDL15	AD6-AD15	111-120		
PDH0-PDH7	A16-A23	121-128	5-A	
AV <sub>REF0</sub>	-	1	-	V <sub>DD</sub> に直接接続してください。
AV <sub>REF1</sub>	-	5	-	V <sub>DD</sub> に直接接続してください。
AV <sub>SS</sub>	-	2	-	-

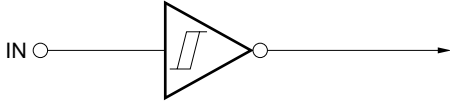
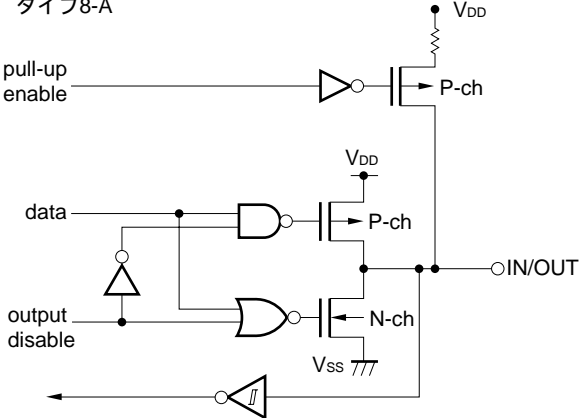
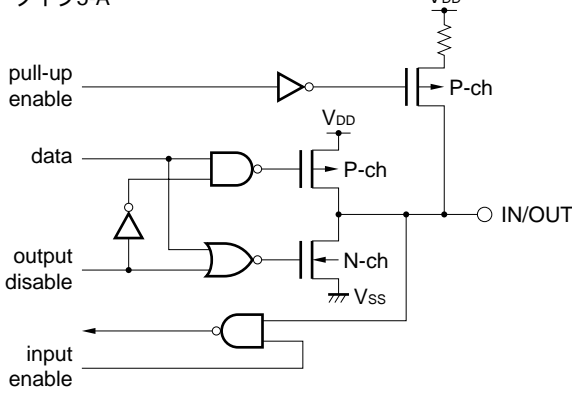
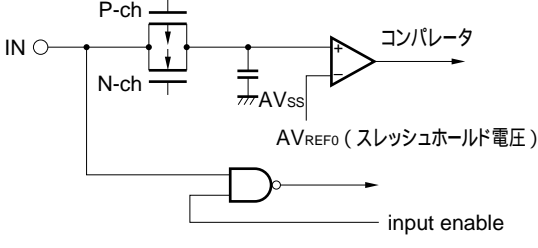
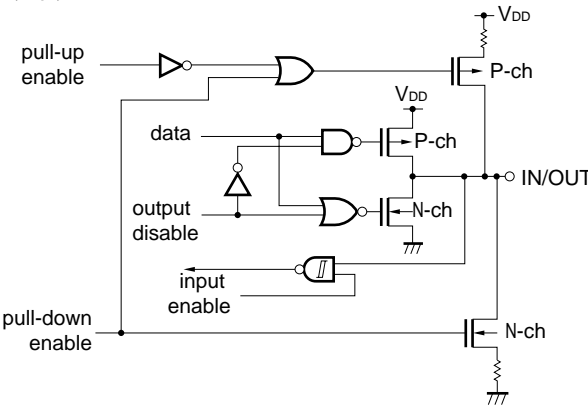
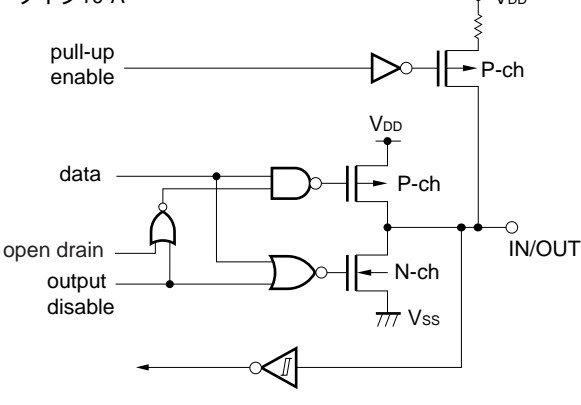
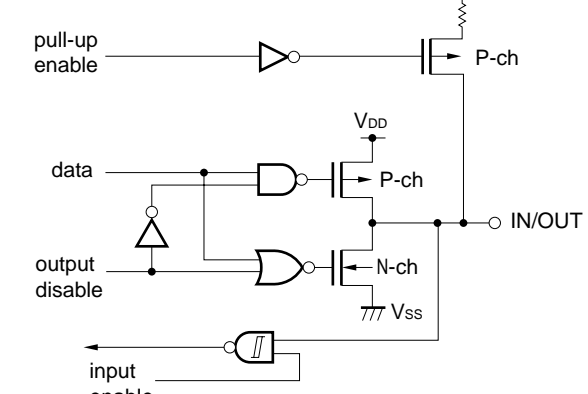
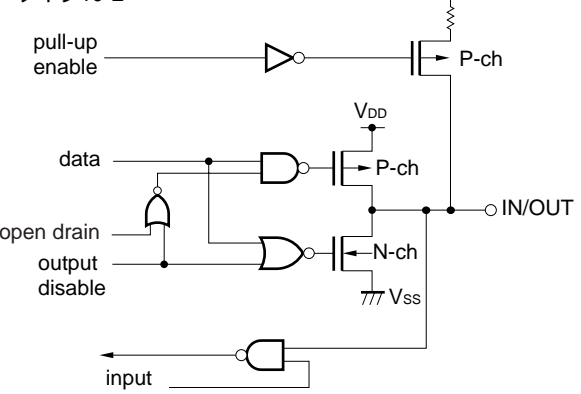
注  $\mu$  PD70F3316Y, 70F3318Yのみ

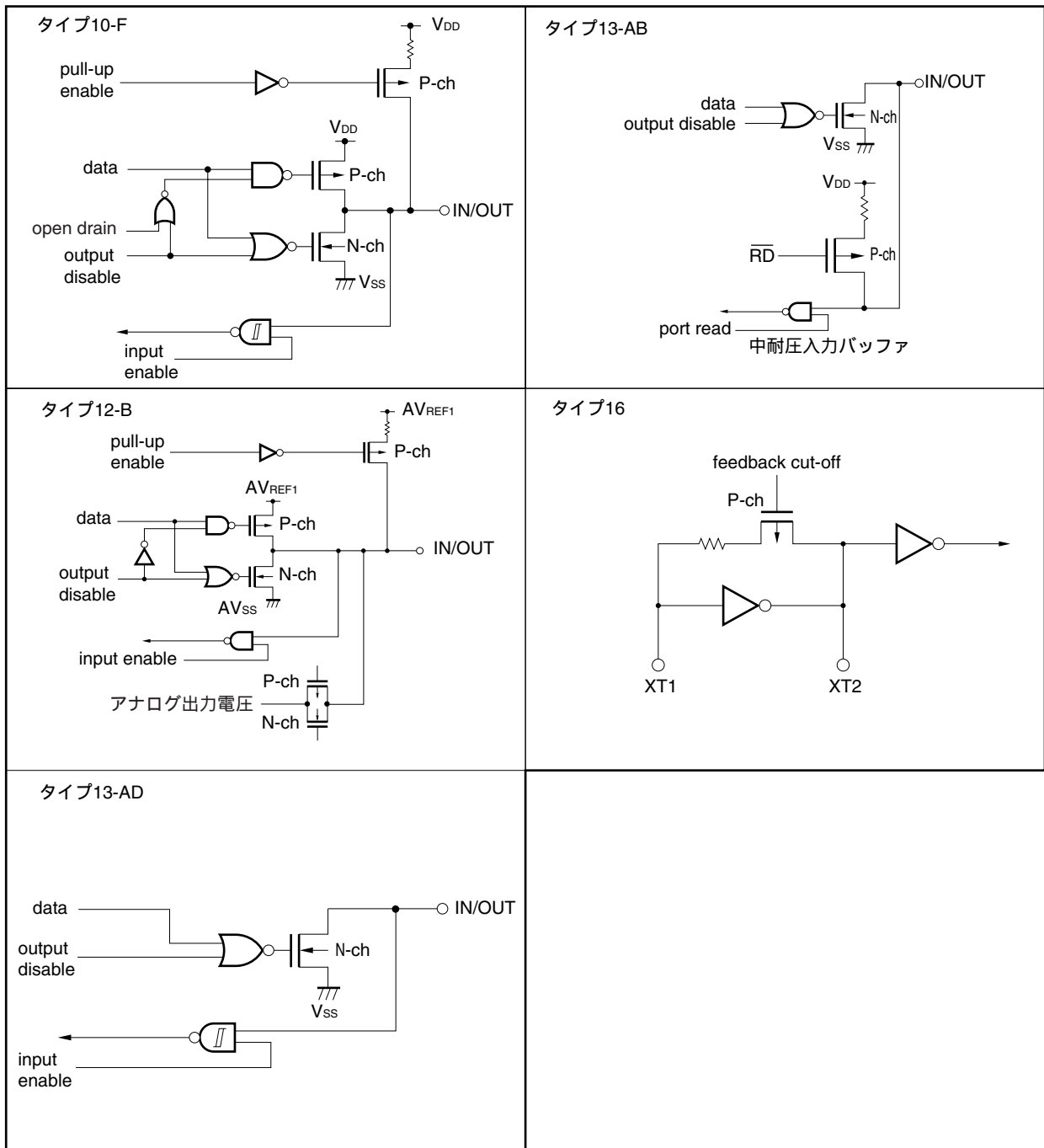
端子	兼用端子名	ピン番号	入出力回路タイプ	推奨接続方法
BV <sub>DD</sub>	-	104	-	-
BV <sub>SS</sub>	-	103	-	-
EV <sub>DD</sub>	-	34	-	-
EV <sub>SS</sub>	-	33	-	-
RESET	-	14	2	抵抗を介してEV <sub>DD</sub> に接続してください <sup>注</sup> 。
FLMD0	-	8	-	EV <sub>SS</sub> またはV <sub>SS</sub> に直接接続してください。もしくは、10 kΩの抵抗でプルダウンしてください。
V <sub>DD</sub>	-	9	-	-
V <sub>SS</sub>	-	11	-	-
X1	-	12	-	-
X2	-	13	-	-
XT1	-	15	16	V <sub>SS</sub> に直接接続してください <sup>注</sup> 。
XT2	-	16	16	オープンにしてください。

注 未使用時には、PSMR.XTSTPビットに必ず1を設定してください。

## 2.4 端子の入出力回路

(1/2)

<p>タイプ2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>タイプ8-A</p> 
<p>タイプ5-A</p> 	<p>タイプ9-C</p> 
<p>タイプ5-AF</p> 	<p>タイプ10-A</p> 
<p>タイプ5-W</p> 	<p>タイプ10-E</p> 



**備考**  $V_{DD}$ は、 $EV_{DD}$ または $BV_{DD}$ に置き換えて参照してください。 $V_{SS}$ は、 $EV_{SS}$ または $BV_{SS}$ に置き換えて参照してください。

## 第3章 CPU機能

V850ES/KJ1+のCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

### 3.1 特 徴

命令数 : 83

最小命令実行時間 : 50.0 ns (20 MHz動作時 : 4.5 ~ 5.5 V, REGC =  $V_{DD}$ )

62.5 ns (16 MHz動作時 : 4.0 ~ 5.5 V, REGC = 10  $\mu$ F)

100 ns (10 MHz動作時 : 2.7 ~ 5.5 V, REGC =  $V_{DD}$ )

メモリ空間 プログラム (物理アドレス) 空間 : 64 Mバイト・リニア

データ (論理アドレス) 空間 : 4 Gバイト・リニア

・メモリ・ブロック分割機能 : 2 M, 2 M, 4 M, 8 Mバイト / 計4ブロック

汎用レジスタ : 32ビット × 32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令 : 1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

・SET1

・CLR1

・NOT1

・TST1

## 3.2 CPUレジスタ・セット

V850ES/KJ1+のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	0	31	0
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態回避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態回避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態回避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態回避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態回避レジスタ)
r11		CTPSW	(CALLT実行時状態回避レジスタ)
r12			
r13			
r14		DBPC	(例外/ディバグ・トラップ時状態回避レジスタ)
r15		DBPSW	(例外/ディバグ・トラップ時状態回避レジスタ)
r16			
r17		CTBP	(CALLTベース・ポインタ)
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31	0		
PC	(プログラム・カウンタ)		

### 3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

#### (1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1, r3-r5, r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

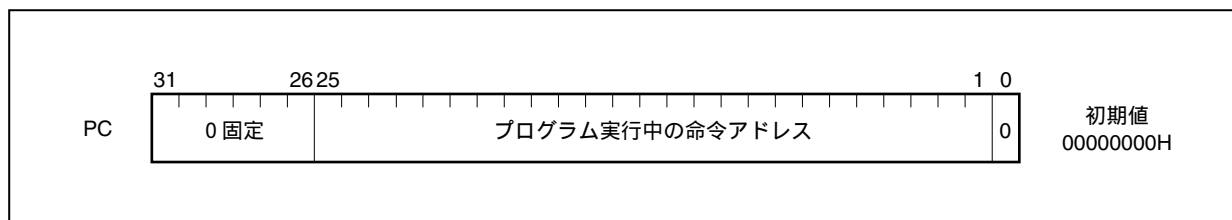
表3 - 1 プログラム・レジスタ一覧

名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス / データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス / データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

#### (2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



### 3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) <sup>注1</sup>		
1	割り込み時状態退避レジスタ (EIPSW) <sup>注1</sup>		
2	NMI時状態退避レジスタ (FEPC) <sup>注1</sup>		
3	NMI時状態退避レジスタ (FEPSW) <sup>注1</sup>		
4	割り込み要因レジスタ (ECR)	×	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	×	×
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/ディバグ・トラップ時状態退避レジスタ (DBPC)	注2	注2
19	例外/ディバグ・トラップ時状態退避レジスタ (DBPSW)	注2	注2
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	×	×

注1. これらのレジスタは1組しかないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してから、DBRET命令を実行するまでの期間だけアクセス可能です。

**注意** LDSR命令によりEIPCかFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC、FEPC、CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

**備考** : アクセス可能

× : アクセス禁止



(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

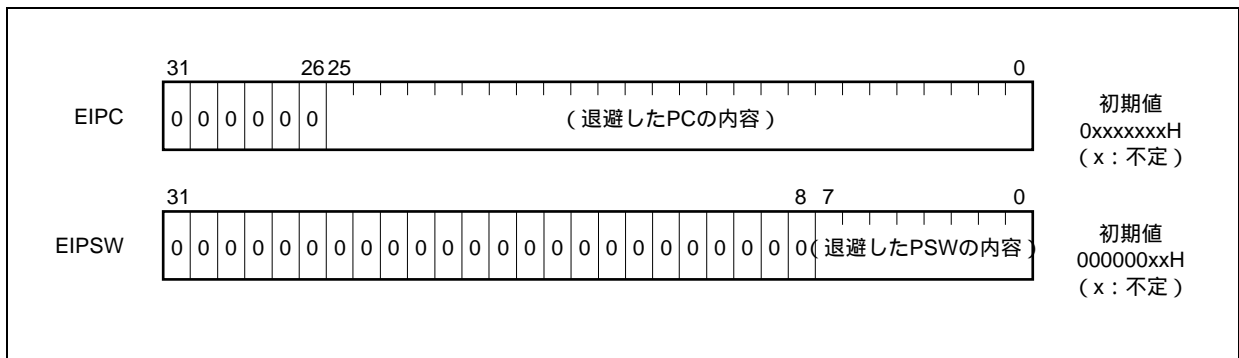
EIPCには、一部の命令 (21.9 CPUが割り込みを受け付けられない期間参照) を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

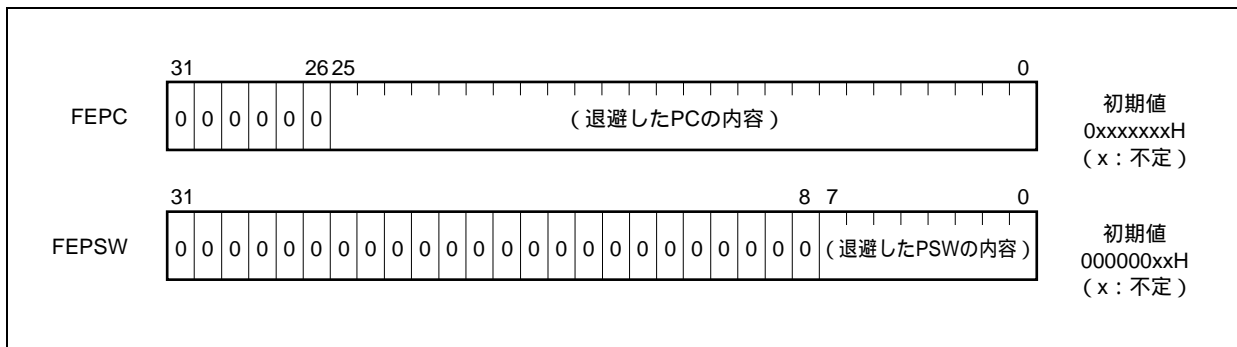
ノンマスクابل割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSW に退避されます。

FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

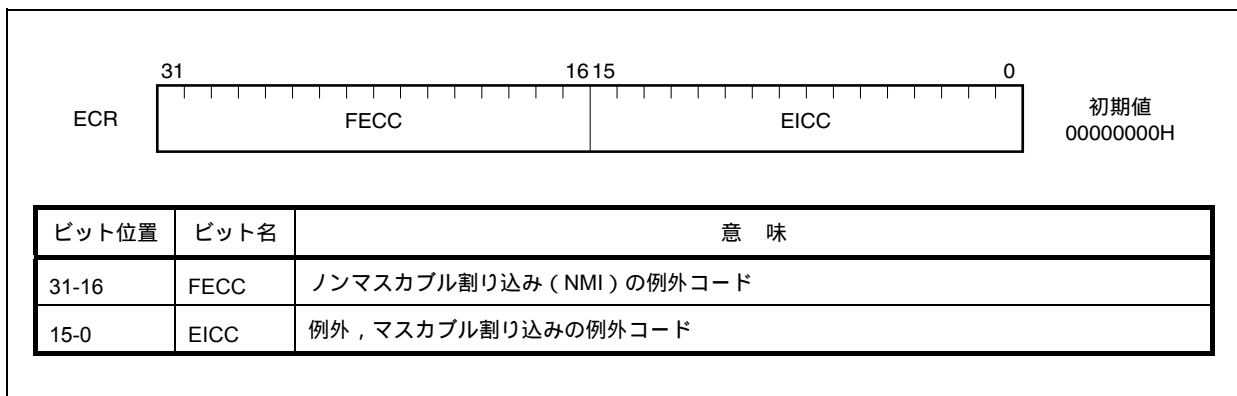
NMI時状態退避レジスタは1組しかないため、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



(4) プログラム・ステータス・ワード (PSW)

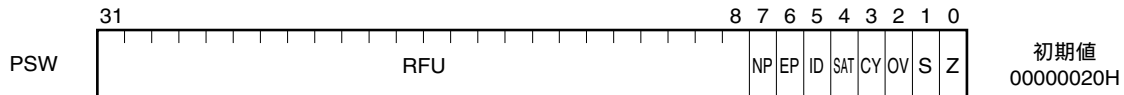
プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。

LDSR命令によるPSWのライト命令実行中は、割り込み要求の受け付けを保留します。

なお、ビット31-8は、将来の機能拡張のために予約されています (0に固定)。

( 1/2 )



ビット位置	フラグ名	意 味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスクابل割り込み (NMI) 処理中であることを示します。NMI要求が受け付けられるとセット“1”され、多重割り込みを禁止します。 0: NMI処理中でない。 1: NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスクابل割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み可 1: 割り込み不可
4	SAT <sup>注</sup>	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV <sup>注</sup>	演算中にオーバーフローが発生したかどうかを示します。 0: オーバーフローは発生していない。 1: オーバーフローが発生した。
1	S <sup>注</sup>	演算の結果が負かどうかを示します。 0: 演算の結果は、正または0であった。 1: 演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0: 演算の結果は0でなかった。 1: 演算の結果は0であった。

備考 注の説明は次ページに記載しています。

**注** 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また、飽和演算時にOVフラグがセット(1)された場合だけ、SATフラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負(最大値を越えない)	保持		1	

**(5) CALLT実行時状態退避レジスタ(CTPC, CTPSW)**

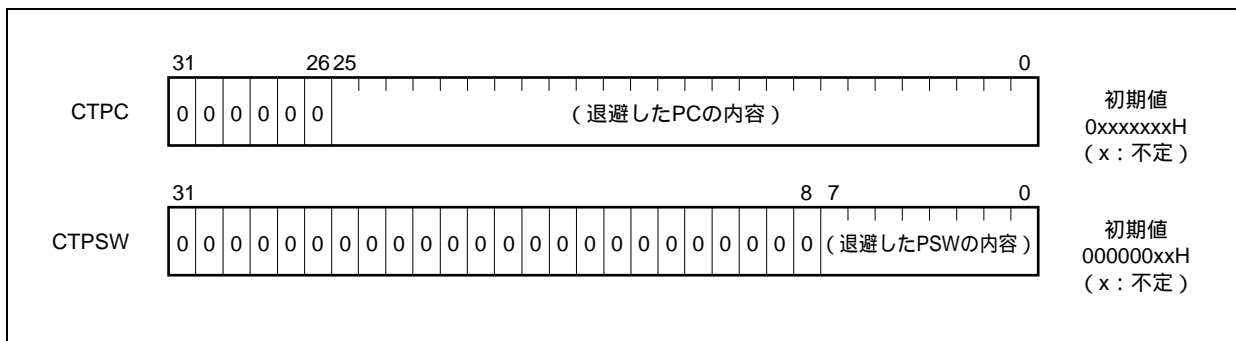
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ(PC)の内容がCTPCに、プログラム・ステータス・ワード(PSW)の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。



(6) 例外/ディバグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

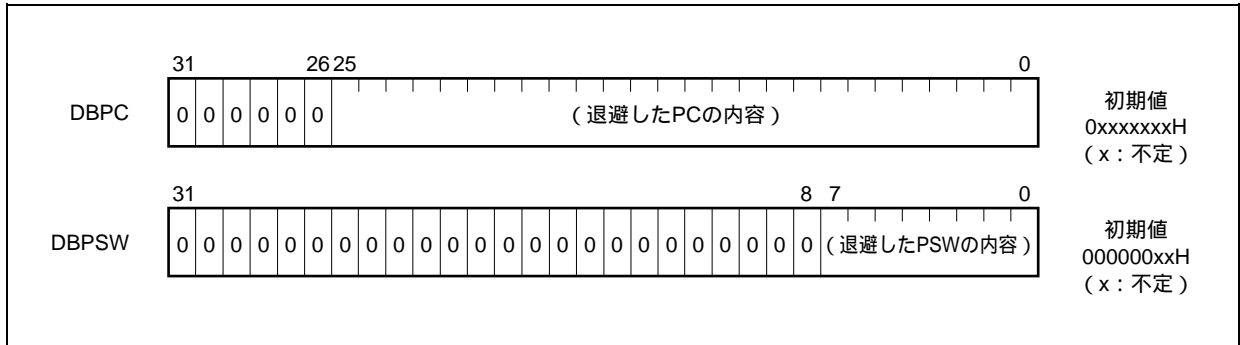
例外/ディバグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

例外トラップ,またはディバグ・トラップが発生すると,プログラム・カウンタ(PC)の内容がDBPCに,プログラム・ステータス・ワード(PSW)の内容がDBPSWに退避されます。

DBPCに退避される内容は,例外トラップ,またはディバグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには,現在のPSWの内容が退避されます。

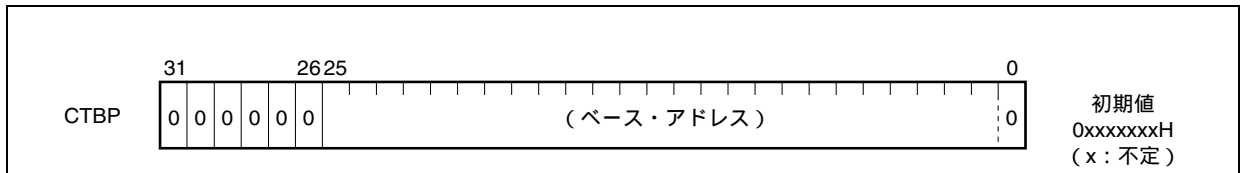
なお,DBPCのビット31-26とDBPSWのビット31-8は,将来の機能拡張のために予約されています(“0”に固定)。



(7) CALLTベース・ポインタ (CTBP)

CALLTベース・ポインタ (CTBP) は,テーブル・アドレスの指定,ターゲット・アドレスの生成に使用されます(ビット0は“0”に固定)。

なお,ビット31-26は,将来の機能拡張のために予約されています(“0”に固定)。



### 3.3 動作モード

V850ES/KJ1+は次に示す動作モードを備えます。

#### (1) 通常動作モード

システム・リセット解除後，バス・インタフェース関連の各端子はポート・モードになり，内蔵ROMのリセット・エントリ・アドレスに分岐し，命令処理を開始します。

#### (2) フラッシュ・メモリ・プログラミング・モード

このモードを指定すると，フラッシュ・ライターによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

##### (a) 動作モード指定

FLMD0, FLMD1端子の状態（入力レベル）により，動作モードを指定します。

通常モード時は，リセット時にFLMD0端子がロウ・レベル入力となるようにしてください。

フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力は，フラッシュ・ライター接続時はフラッシュ・ライターから行いますが，セルフ・プログラミング時は外部回路で行ってください。

これらの端子の指定は応用システムにおいて固定とし，動作中に変更しないでください。

FLMD0	FLMD1	動作モード
L	×	通常動作モード
H	L	フラッシュ・メモリ・プログラミング・モード
H	H	設定禁止

**備考** H：ハイ・レベル

L：ロウ・レベル

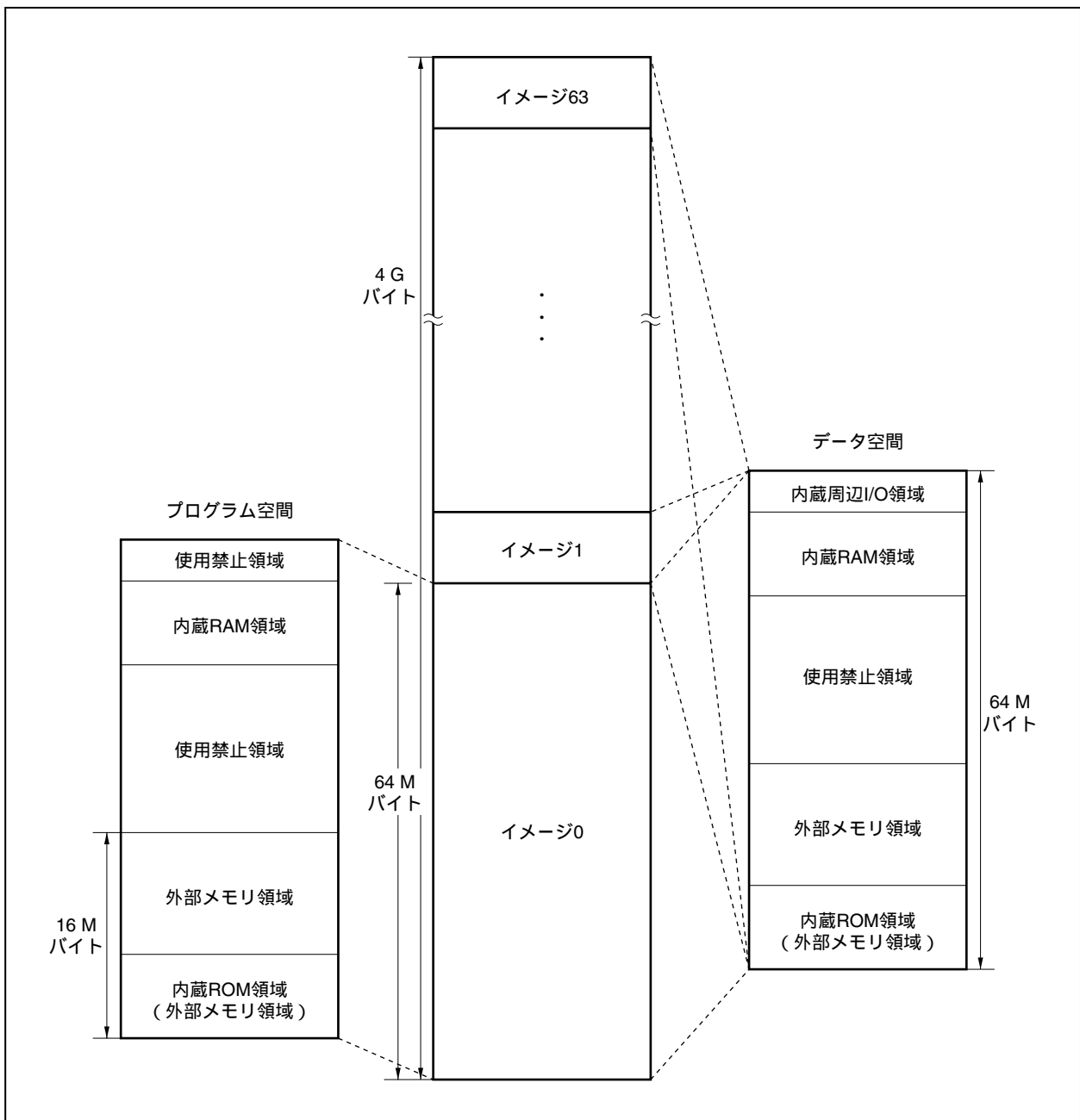
×：任意

### 3.4 アドレス空間

#### 3.4.1 CPUアドレス空間

命令アドレスのアドレッシングにおいては、最大で64 Mバイトのリニア・アドレス空間（プログラム空間）のうち最大16 Mバイトの外部メモリ領域および内蔵ROM領域と、内蔵RAM領域をサポートしています。オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし、4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり、ビット31-ビット26がどのような値でも、同じ64 Mバイトの物理アドレス空間をアクセスします。

図3 - 1 アドレス空間上のイメージ



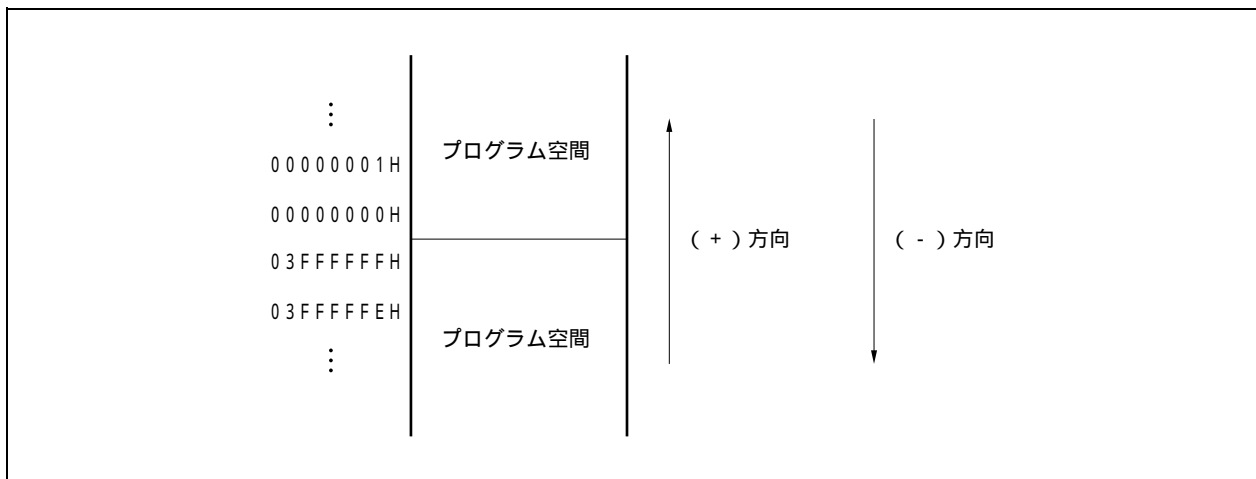
### 3.4.2 CPUアドレス空間のラップ・アラウンド

#### (1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の下限である00000000H番地と、上限の03FFFFFFH番地は連続したアドレスとなります。このようにメモリ空間の下限と上限が連続したアドレスになることをラップ・アラウンドといいます。

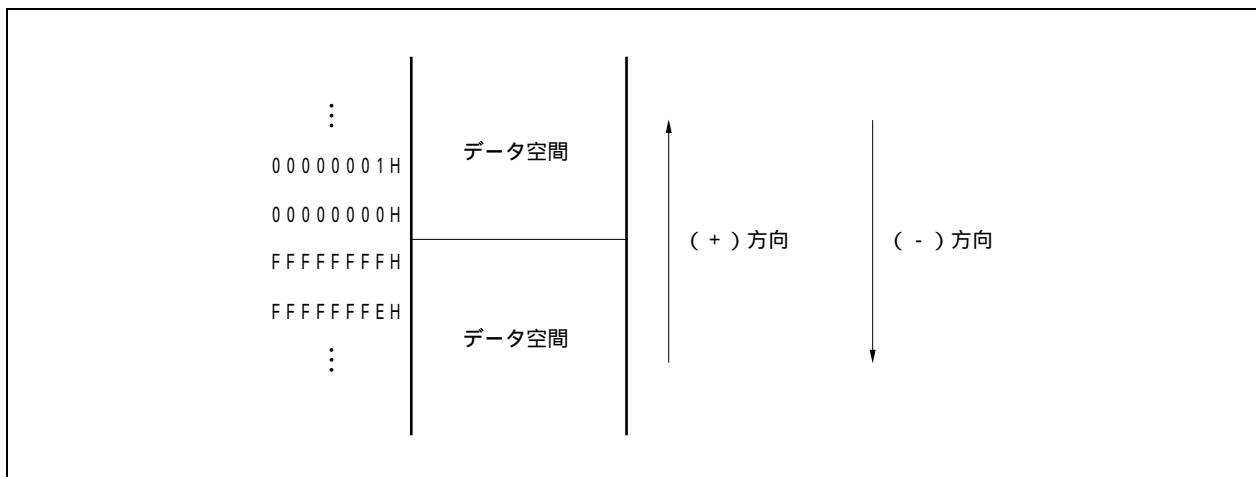
**注意** 03FFF000H-03FFFFFFHの4 Kバイトの領域は、内蔵周辺I/O領域のため、命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



#### (2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の下限である00000000H番地と、上限のFFFFFFFH番地は連続したアドレスになり、この境界でラップ・アラウンドします。





### 3.4.3 メモリ・マップ

V850ES/KJ1+では、次に示すように各領域を予約しています。

図3-2 データ・メモリ・マップ(物理アドレス)

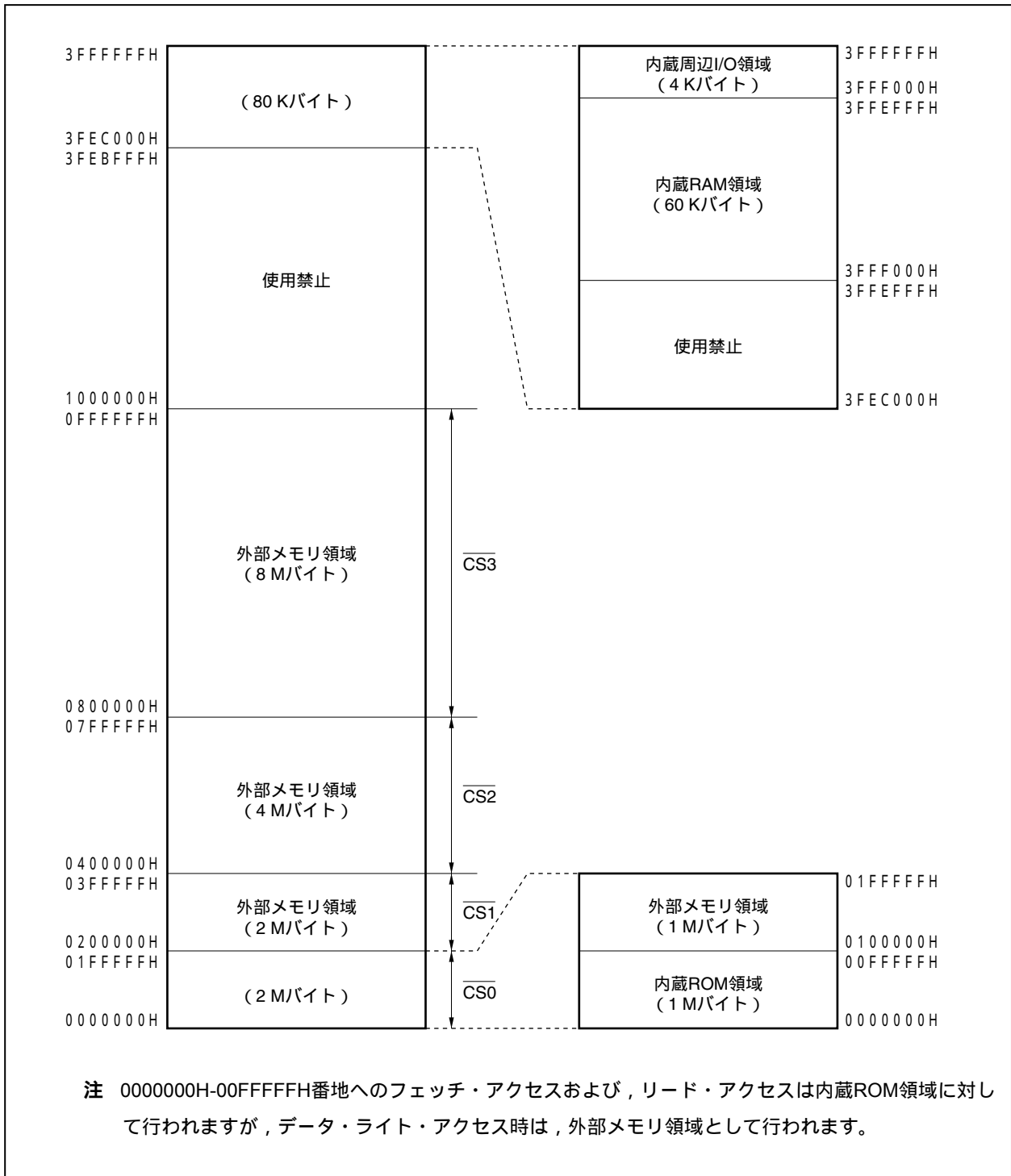
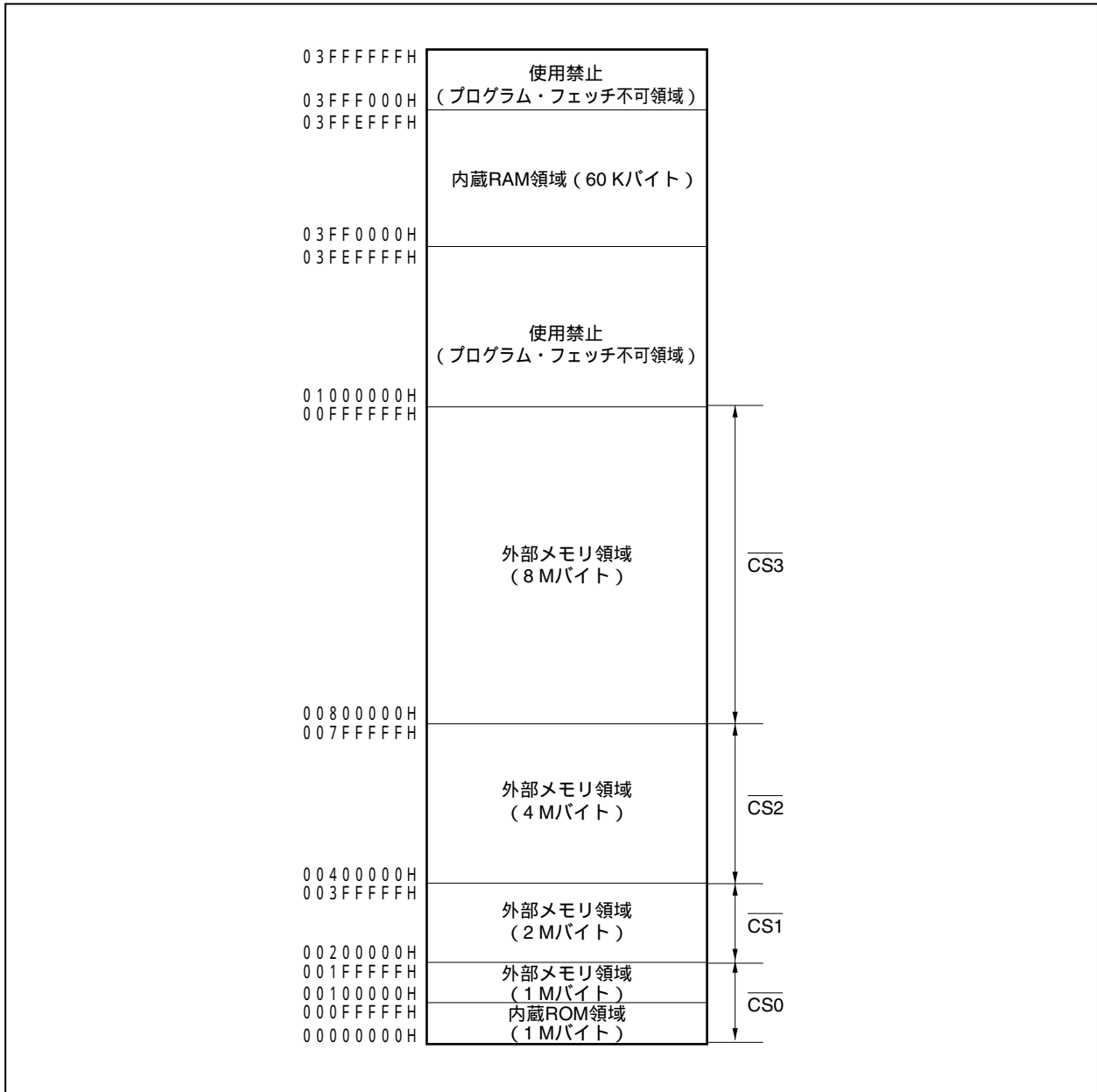


図3-3 プログラム・メモリ・マップ



### 3.4.4 領域

#### (1) 内蔵ROM領域

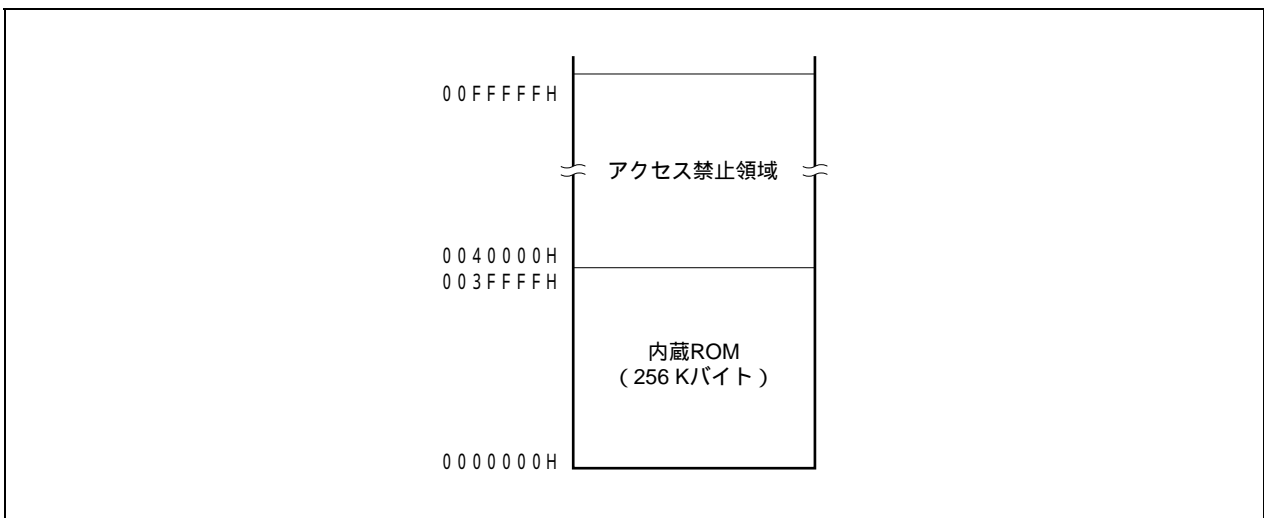
内蔵ROM領域は、0000000H-00FFFFFFH番地の1 Mバイトが予約されています。

##### (a) 内蔵ROM (256 Kバイト)

次の製品には、0000000Hから003FFFFFFH番地に256 Kバイト実装しています。  
0040000Hから00FFFFFFH番地はアクセス禁止領域です。

・ $\mu$  PD70F3318, 70F3318Y

図3 - 4 内蔵ROM (256 Kバイト)

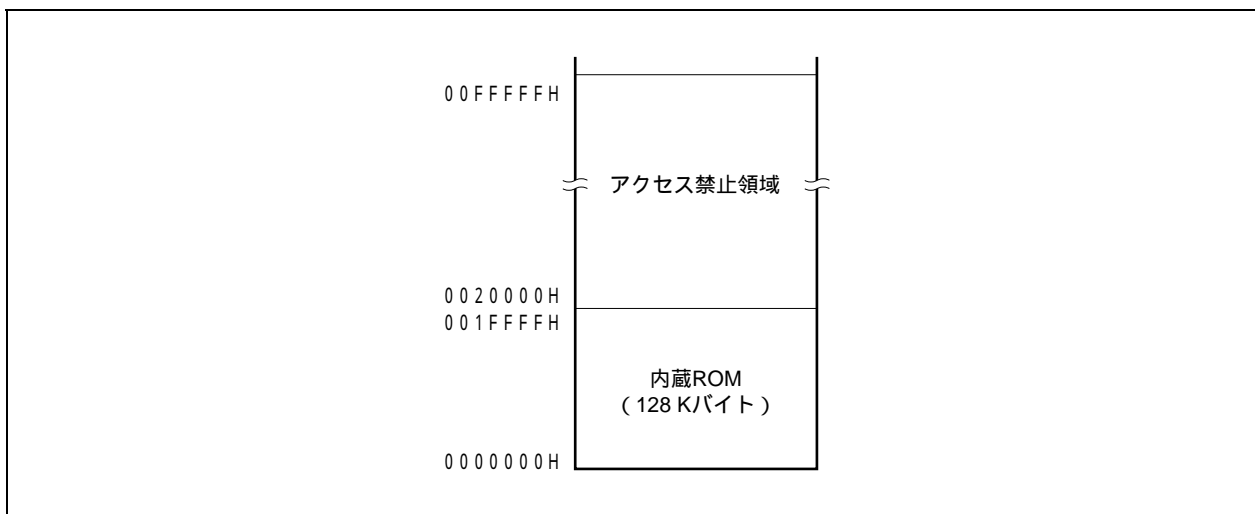


(b) 内蔵ROM (128 Kバイト)

次の製品には、0000000Hから001FFFFH番地に128 Kバイト実装しています。  
0020000Hから00FFFFFFH番地はアクセス禁止領域です。

・ $\mu$ PD70F3316, 70F3316Y

図3 - 5 内蔵ROM (128 Kバイト)



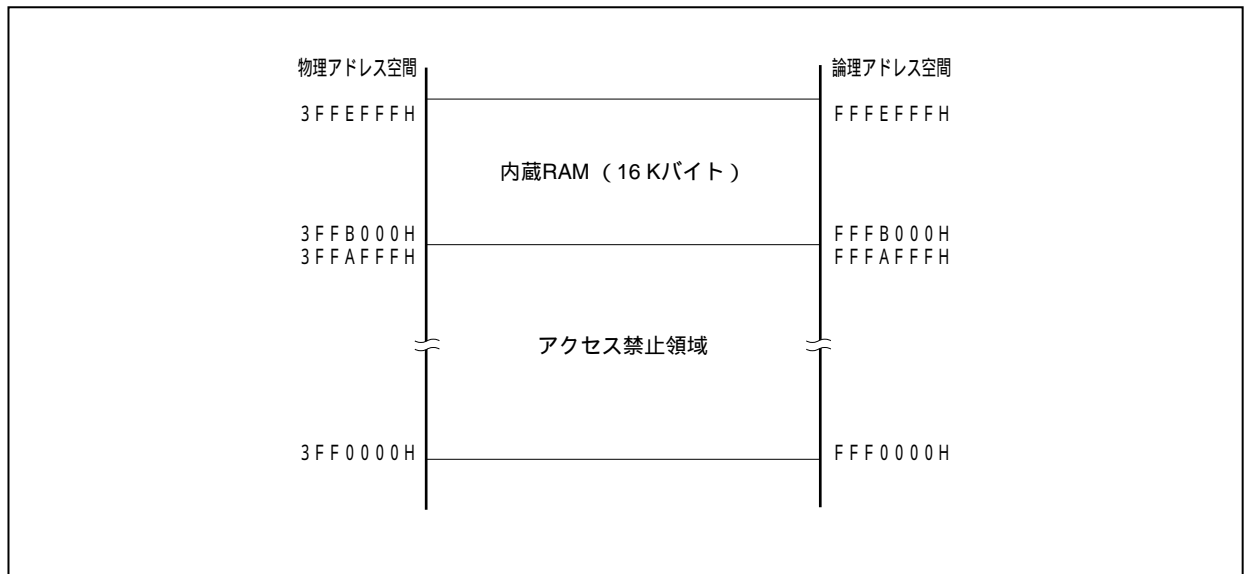
**(2) 内蔵RAM領域**

内蔵RAM領域は、3FF0000H-3FFEFFFH番地の最大60 Kバイトが予約されています。

**(a) 内蔵RAM (16 Kバイト)**

次の製品には、物理内蔵RAMとして3FFB000H-3FFEFFFH番地の16 Kバイトを実装しています。  
3FF0000H-3FFAFFFH番地はアクセス禁止領域です。

・ $\mu$  PD70F3318, 70F3318Y

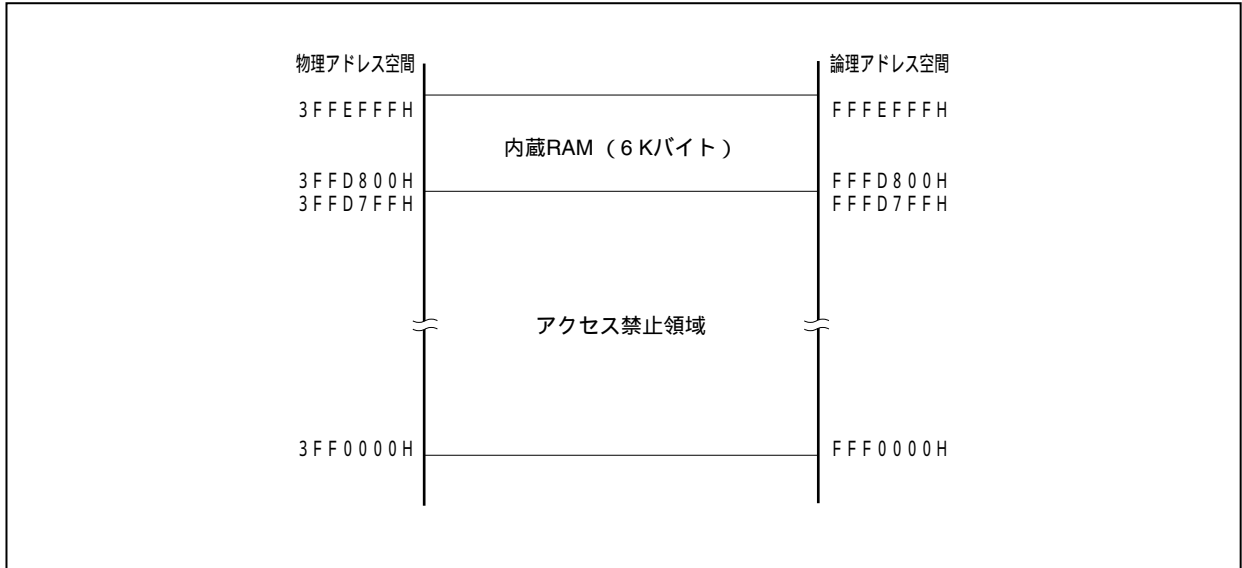
**図3 - 6 内蔵RAM (16 Kバイト)**

(b) 内蔵RAM (6 Kバイト)

次の製品には、物理内蔵RAMとして3FFD800H-3FFEFFFH番地の6 Kバイトを実装しています。  
3FF0000H-3FFD7FFH番地はアクセス禁止領域です。

・μPD70F3316, 70F3316Y

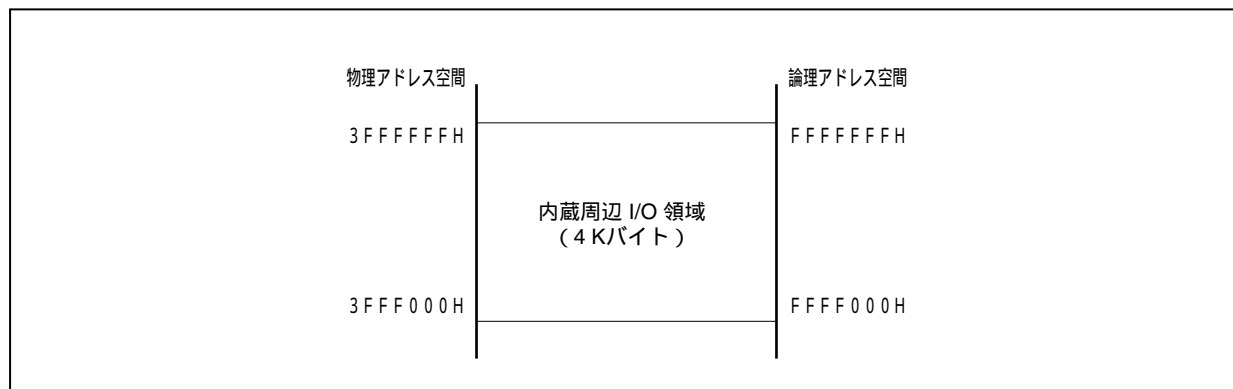
図3 - 7 内蔵RAM (6 Kバイト)



**(3) 内蔵周辺I/O領域**

内蔵周辺I/O領域として3FFF000H-3FFFFFFFH番地の4 Kバイトを予約しています。

図3 - 8 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。

**(4) 外部メモリ領域**

外部メモリ領域として15 Mバイト (0100000H-0FFFFFFFH) あります。詳細は第5章 バス制御機能を参照してください。

### 3.4.5 アドレス空間の推奨使用方法

V850ES/KJ1+のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

#### (1) プログラム空間

PC(プログラム・カウンタ)は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は、次の番地に対してアクセスしてください。

RAMサイズ	アクセス番地
6 Kバイト	3FFD800H-3FFEFFFH
16 Kバイト	3FFB000H-3FFEFFFH

#### (2) データ空間

V850ES/KJ1+では、4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため、この26ビット・アドレスの最上位ビット(ビット25)を32ビット長まで符号拡張したアドレスとして割り当てています。

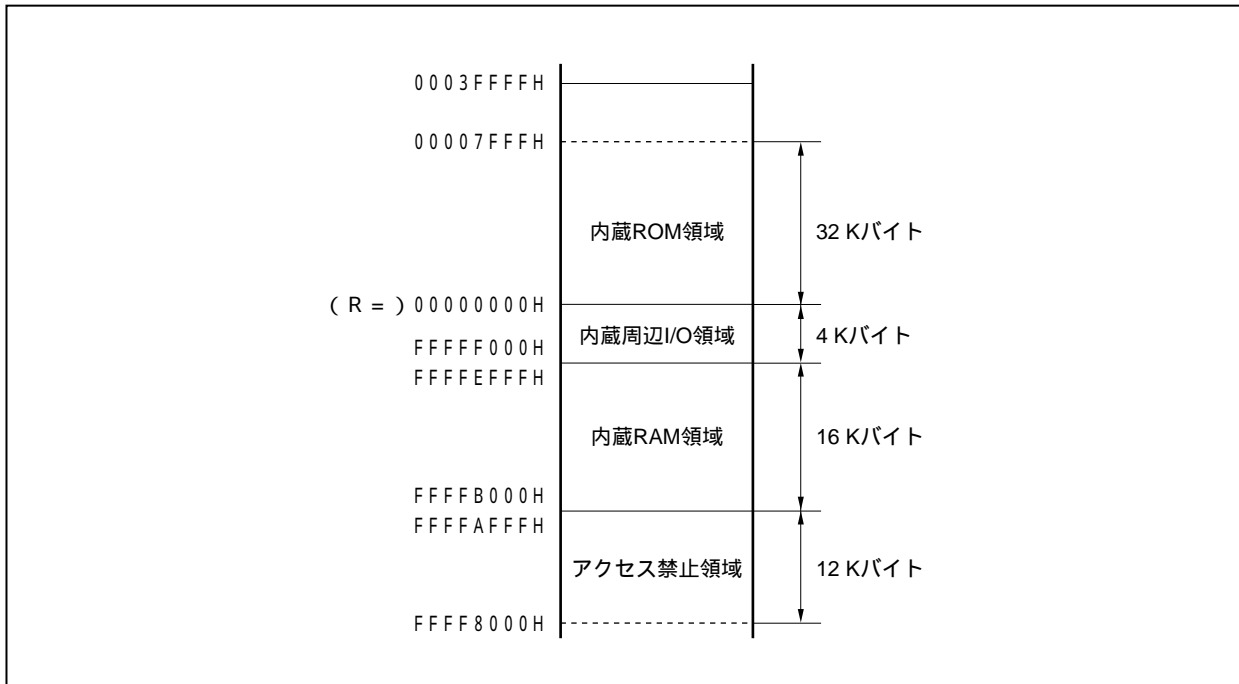


(a) ラップ・アラウンドを利用した応用例

LD/ST disp16[ R ]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地 ± 32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ (r0) はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

例 μ PD70F3318, 70F3318Yの場合





## 3.4.6 周辺I/Oレジスタ

(1/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF004H	ポートDLレジスタ	PDL	R/W				0000H <sup>注</sup>
FFFFFF004H	ポートDLレジスタL	PDLL	R/W				00H <sup>注</sup>
FFFFFF005H	ポートDLレジスタH	PDLH	R/W				00H <sup>注</sup>
FFFFFF006H	ポートDHレジスタ	PDH	R/W				00H <sup>注</sup>
FFFFFF008H	ポートCSレジスタ	PCS	R/W				00H <sup>注</sup>
FFFFFF00AH	ポートCTレジスタ	PCT	R/W				00H <sup>注</sup>
FFFFFF00CH	ポートCMレジスタ	PCM	R/W				00H <sup>注</sup>
FFFFFF00EH	ポートCDレジスタ	PCD	R/W				00H <sup>注</sup>
FFFFFF024H	ポートDLモード・レジスタ	PMDL	R/W				FFFFH
FFFFFF024H	ポートDLモード・レジスタL	PMDLL	R/W				FFH
FFFFFF025H	ポートDLモード・レジスタH	PMDLH	R/W				FFH
FFFFFF026H	ポートDHモード・レジスタ	PMDH	R/W				FFH
FFFFFF028H	ポートCSモード・レジスタ	PMCS	R/W				FFH
FFFFFF02AH	ポートCTモード・レジスタ	PMCT	R/W				FFH
FFFFFF02CH	ポートCMモード・レジスタ	PMCM	R/W				FFH
FFFFFF02EH	ポートCDモード・レジスタ	PMCD	R/W				FFH
FFFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL	R/W				0000H
FFFFFF044H	ポートDLモード・コントロール・レジスタL	PMCDLL	R/W				00H
FFFFFF045H	ポートDLモード・コントロール・レジスタH	PMCDLH	R/W				00H
FFFFFF046H	ポートDHモード・コントロール・レジスタ	PMCDH	R/W				00H
FFFFFF048H	ポートCSモード・コントロール・レジスタ	PMCCS	R/W				00H
FFFFFF04AH	ポートCTモード・コントロール・レジスタ	PMCCT	R/W				00H
FFFFFF04CH	ポートCMモード・コントロール・レジスタ	PMCCM	R/W				00H
FFFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC	R/W				5555H
FFFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC	R/W				77H
FFFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L	R/W				不定
FFFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H	R/W				不定
FFFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L	R/W				不定
FFFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H	R/W				不定
FFFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L	R/W				不定
FFFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H	R/W				不定
FFFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L	R/W				不定
FFFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H	R/W				不定
FFFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L	R/W				不定
FFFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H	R/W				不定
FFFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L	R/W				不定
FFFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H	R/W				不定
FFFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L	R/W				不定
FFFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H	R/W				不定
FFFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L	R/W				不定

注 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H	R/W				不定
FFFFFF0C0H	DMA転送カウント・レジスタ0	DBC0	R/W				不定
FFFFFF0C2H	DMA転送カウント・レジスタ1	DBC1	R/W				不定
FFFFFF0C4H	DMA転送カウント・レジスタ2	DBC2	R/W				不定
FFFFFF0C6H	DMA転送カウント・レジスタ3	DBC3	R/W				不定
FFFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0	R/W				0000H
FFFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1	R/W				0000H
FFFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2	R/W				0000H
FFFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3	R/W				0000H
FFFFFF0E0H	DMAチャンネル・コントロール・レジスタ0	DCHC0	R/W				00H
FFFFFF0E2H	DMAチャンネル・コントロール・レジスタ1	DCHC1	R/W				00H
FFFFFF0E4H	DMAチャンネル・コントロール・レジスタ2	DCHC2	R/W				00H
FFFFFF0E6H	DMAチャンネル・コントロール・レジスタ3	DCHC3	R/W				00H
FFFFFF100H	割り込みマスクレジスタ0	IMR0	R/W				FFFFH
FFFFFF100H	割り込みマスクレジスタ0L	IMR0L	R/W				FFH
FFFFFF101H	割り込みマスクレジスタ0H	IMR0H	R/W				FFH
FFFFFF102H	割り込みマスクレジスタ1	IMR1	R/W				FFFFH
FFFFFF102H	割り込みマスクレジスタ1L	IMR1L	R/W				FFH
FFFFFF103H	割り込みマスクレジスタ1H	IMR1H	R/W				FFH
FFFFFF104H	割り込みマスクレジスタ2	IMR2	R/W				FFFFH
FFFFFF104H	割り込みマスクレジスタ2L	IMR2L	R/W				FFH
FFFFFF105H	割り込みマスクレジスタ2H	IMR2H	R/W				FFH
FFFFFF106H	割り込みマスク・レジスタ3	IMR3	R/W				FFFFH
FFFFFF106H	割り込みマスク・レジスタ3L	IMR3L	R/W				FFH
FFFFFF107H	割り込みマスク・レジスタ3H	IMR3H	R/W				FFH
FFFFFF110H	割り込み制御レジスタ	WDT1IC	R/W				47H
FFFFFF112H	割り込み制御レジスタ	PIC0	R/W				47H
FFFFFF114H	割り込み制御レジスタ	PIC1	R/W				47H
FFFFFF116H	割り込み制御レジスタ	PIC2	R/W				47H
FFFFFF118H	割り込み制御レジスタ	PIC3	R/W				47H
FFFFFF11AH	割り込み制御レジスタ	PIC4	R/W				47H
FFFFFF11CH	割り込み制御レジスタ	PIC5	R/W				47H
FFFFFF11EH	割り込み制御レジスタ	PIC6	R/W				47H
FFFFFF120H	割り込み制御レジスタ	TM0IC00	R/W				47H
FFFFFF122H	割り込み制御レジスタ	TM0IC01	R/W				47H
FFFFFF124H	割り込み制御レジスタ	TM0IC10	R/W				47H
FFFFFF126H	割り込み制御レジスタ	TM0IC11	R/W				47H
FFFFFF128H	割り込み制御レジスタ	TM5IC0	R/W				47H
FFFFFF12AH	割り込み制御レジスタ	TM5IC1	R/W				47H
FFFFFF12CH	割り込み制御レジスタ	CSI0IC0	R/W				47H

注 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF12EH	割り込み制御レジスタ	CSI0IC1	R/W				47H
FFFFFF130H	割り込み制御レジスタ	SREIC0	R/W				47H
FFFFFF132H	割り込み制御レジスタ	SRIC0	R/W				47H
FFFFFF134H	割り込み制御レジスタ	STIC0	R/W				47H
FFFFFF136H	割り込み制御レジスタ	SREIC1	R/W				47H
FFFFFF138H	割り込み制御レジスタ	SRIC1	R/W				47H
FFFFFF13AH	割り込み制御レジスタ	STIC1	R/W				47H
FFFFFF13CH	割り込み制御レジスタ	TMHIC0	R/W				47H
FFFFFF13EH	割り込み制御レジスタ	TMHIC1	R/W				47H
FFFFFF140H	割り込み制御レジスタ	CSAIC0	R/W				47H
FFFFFF142H	割り込み制御レジスタ	IICIC0 <sup>注</sup>	R/W				47H
FFFFFF144H	割り込み制御レジスタ	ADIC	R/W				47H
FFFFFF146H	割り込み制御レジスタ	KRIC	R/W				47H
FFFFFF148H	割り込み制御レジスタ	WTIIC	R/W				47H
FFFFFF14AH	割り込み制御レジスタ	WTIC	R/W				47H
FFFFFF14CH	割り込み制御レジスタ	BRGIC	R/W				47H
FFFFFF14EH	割り込み制御レジスタ	TM0IC20	R/W				47H
FFFFFF150H	割り込み制御レジスタ	TM0IC21	R/W				47H
FFFFFF152H	割り込み制御レジスタ	TM0IC30	R/W				47H
FFFFFF154H	割り込み制御レジスタ	TM0IC31	R/W				47H
FFFFFF156H	割り込み制御レジスタ	CSAIC1	R/W				47H
FFFFFF158H	割り込み制御レジスタ	TM0IC40	R/W				47H
FFFFFF15AH	割り込み制御レジスタ	TM0IC41	R/W				47H
FFFFFF15CH	割り込み制御レジスタ	TM0IC50	R/W				47H
FFFFFF15EH	割り込み制御レジスタ	TM0IC51	R/W				47H
FFFFFF160H	割り込み制御レジスタ	CSI0IC2	R/W				47H
FFFFFF162H	割り込み制御レジスタ	SREIC2	R/W				47H
FFFFFF164H	割り込み制御レジスタ	SRIC2	R/W				47H
FFFFFF166H	割り込み制御レジスタ	STIC2	R/W				47H
FFFFFF168H	割り込み制御レジスタ	IICIC1 <sup>注</sup>	R/W				47H
FFFFFF170H	割り込み制御レジスタ	LVIIIC	R/W				47H
FFFFFF172H	割り込み制御レジスタ	PIC7	R/W				47H
FFFFFF174H	割り込み制御レジスタ	TP0OVIC	R/W				47H
FFFFFF176H	割り込み制御レジスタ	TP0CCIC0	R/W				47H
FFFFFF178H	割り込み制御レジスタ	TP0CCIC1	R/W				47H
FFFFFF17AH	割り込み制御レジスタ	DMAIC0	R/W				47H
FFFFFF17CH	割り込み制御レジスタ	DMAIC1	R/W				47H
FFFFFF17EH	割り込み制御レジスタ	DMAIC2	R/W				47H
FFFFFF180H	割り込み制御レジスタ	DMAIC3	R/W				47H

注  $\mu$ PD70F3316Y, 70F3318Yのみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF1FAH	インサービス・プライオリティ・レジスタ	ISPR	R				00H
FFFFFF1FCH	コマンド・レジスタ	PRCMD	W				不定
FFFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H
FFFFFF200H	A/Dコンバータ・モード・レジスタ	ADM	R/W				00H
FFFFFF201H	アナログ入力チャンネル指定レジスタ	ADS	R/W				00H
FFFFFF202H	パワー・フェイル比較モード・レジスタ	PFM	R/W				00H
FFFFFF203H	パワー・フェイル比較しきい値レジスタ	PFT	R/W				00H
FFFFFF204H	A/D変換結果レジスタ	ADCR	R				不定
FFFFFF205H	A/D変換結果レジスタH	ADCRH	R				不定
FFFFFF280H	D/A変換値設定レジスタ0	DACS0	R/W				00H
FFFFFF282H	D/A変換値設定レジスタ1	DACS1	R/W				00H
FFFFFF284H	D/Aコンバータ・モード・レジスタ	DAM	R/W				00H
FFFFFF300H	キー・リターン・モード・レジスタ	KRM	R/W				00H
FFFFFF308H	セレクト動作制御レジスタ0	SELCNT0	R/W				00H
FFFFFF30AH	セレクト動作制御レジスタ1	SELCNT1	R/W				00H
FFFFFF318H	デジタル・ノイズ除去制御レジスタ	NFC	R/W				00H
FFFFFF400H	ポート0レジスタ	P0	R/W				00H <sup>注</sup>
FFFFFF402H	ポート1レジスタ	P1	R/W				00H <sup>注</sup>
FFFFFF406H	ポート3レジスタ	P3	R/W				0000H <sup>注</sup>
FFFFFF406H	ポート3レジスタL	P3L	R/W				00H <sup>注</sup>
FFFFFF407H	ポート3レジスタH	P3H	R/W				00H <sup>注</sup>
FFFFFF408H	ポート4レジスタ	P4	R/W				00H <sup>注</sup>
FFFFFF40AH	ポート5レジスタ	P5	R/W				00H <sup>注</sup>
FFFFFF40CH	ポート6レジスタ	P6	R/W				0000H <sup>注</sup>
FFFFFF40CH	ポート6レジスタL	P6L	R/W				00H <sup>注</sup>
FFFFFF40DH	ポート6レジスタH	P6H	R/W				00H <sup>注</sup>
FFFFFF40EH	ポート7レジスタ	P7	R				不定
FFFFFF40EH	ポート7レジスタL	P7L	R				不定
FFFFFF40FH	ポート7レジスタH	P7H	R				不定
FFFFFF410H	ポート8レジスタ	P8	R/W				00H <sup>注</sup>
FFFFFF412H	ポート9レジスタ	P9	R/W				0000H <sup>注</sup>
FFFFFF412H	ポート9レジスタL	P9L	R/W				00H <sup>注</sup>
FFFFFF413H	ポート9レジスタH	P9H	R/W				00H <sup>注</sup>
FFFFFF420H	ポート0モード・レジスタ	PM0	R/W				FEH
FFFFFF422H	ポート1モード・レジスタ	PM1	R/W				FFH
FFFFFF426H	ポート3モード・レジスタ	PM3	R/W				FFFFH
FFFFFF426H	ポート3モード・レジスタL	PM3L	R/W				FFH
FFFFFF427H	ポート3モード・レジスタH	PM3H	R/W				FFH
FFFFFF428H	ポート4モード・レジスタ	PM4	R/W				FFH
FFFFFF42AH	ポート5モード・レジスタ	PM5	R/W				FFH

注 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF42CH	ポート6モード・レジスタ	PM6	R/W				FFFFH
FFFFF42CH	ポート6モード・レジスタL	PM6L	R/W				FFH
FFFFF42DH	ポート6モード・レジスタH	PM6H	R/W				FFH
FFFFF430H	ポート8モード・レジスタ	PM8	R/W				FFH
FFFFF432H	ポート9モード・レジスタ	PM9	R/W				FFFFH
FFFFF432H	ポート9モード・レジスタL	PM9L	R/W				FFH
FFFFF433H	ポート9モード・レジスタH	PM9H	R/W				FFH
FFFFF440H	ポート0モード・コントロール・レジスタ	PMC0	R/W				00H
FFFFF446H	ポート3モード・コントロール・レジスタ	PMC3	R/W				0000H
FFFFF446H	ポート3モード・コントロール・レジスタL	PMC3L	R/W				00H
FFFFF447H	ポート3モード・コントロール・レジスタH	PMC3H	R/W				00H
FFFFF448H	ポート4モード・コントロール・レジスタ	PMC4	R/W				00H
FFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5	R/W				00H
FFFFF44CH	ポート6モード・コントロール・レジスタ	PMC6	R/W				0000H
FFFFF44CH	ポート6モード・コントロール・レジスタL	PMC6L	R/W				00H
FFFFF44DH	ポート6モード・コントロール・レジスタH	PMC6H	R/W				00H
FFFFF450H	ポート8モード・コントロール・レジスタ	PMC8	R/W				00H
FFFFF452H	ポート9モード・コントロール・レジスタ	PMC9	R/W				0000H
FFFFF452H	ポート9モード・コントロール・レジスタL	PMC9L	R/W				00H
FFFFF453H	ポート9モード・コントロール・レジスタH	PMC9H	R/W				00H
FFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3	R/W				00H
FFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4	R/W				00H
FFFFF46AH	ポート5ファンクション・コントロール・レジスタ	PFC5	R/W				00H
FFFFF46DH	ポート6ファンクション・コントロール・レジスタ	PFC6H	R/W				00H
FFFFF470H	ポート8ファンクション・コントロール・レジスタ	PFC8	R/W				00H
FFFFF472H	ポート9ファンクション・コントロール・レジスタ	PFC9	R/W				0000H
FFFFF472H	ポート9ファンクション・コントロール・レジスタL	PFC9L	R/W				00H
FFFFF473H	ポート9ファンクション・コントロール・レジスタH	PFC9H	R/W				00H
FFFFF484H	データ・ウェイト制御レジスタ0	DWC0	R/W				7777H
FFFFF488H	アドレス・ウェイト制御レジスタ	AWC	R/W				FFFFH
FFFFF48AH	バス・サイクル制御レジスタ	BCC	R/W				AAAAH
FFFFF580H	8ビット・タイマHモード・レジスタ0	TMHMD0	R/W				00H
FFFFF581H	8ビット・タイマHキャリア・コントロール・レジスタ0	TMCYC0	R/W				00H
FFFFF582H	8ビット・タイマHコンペア・レジスタ00	CMP00	R/W				00H
FFFFF583H	8ビット・タイマHコンペア・レジスタ01	CMP01	R/W				00H
FFFFF590H	8ビット・タイマHモード・レジスタ1	TMHMD1	R/W				00H
FFFFF591H	8ビット・タイマHキャリア・コントロール・レジスタ1	TMCYC1	R/W				00H
FFFFF592H	8ビット・タイマHコンペア・レジスタ10	CMP10	R/W				00H
FFFFF593H	8ビット・タイマHコンペア・レジスタ11	CMP11	R/W				00H
FFFFF5A0H	TMP0制御レジスタ0	TP0CTL0	R/W				00H
FFFFF5A1H	TMP0制御レジスタ1	TP0CTL1	R/W				00H
FFFFF5A2H	TMP0/O制御レジスタ0	TP0IOC0	R/W				00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF5A3H	TMP0I/O制御レジスタ1	TP0IOC1	R/W				00H
FFFFF5A4H	TMP0I/O制御レジスタ2	TP0IOC2	R/W				00H
FFFFF5A5H	TMP0オプション・レジスタ0	TP0OPT0	R/W				00H
FFFFF5A6H	TMP0キャプチャ/コンペア・レジスタ0	TP0CCR0	R/W				0000H
FFFFF5A8H	TMP0キャプチャ/コンペア・レジスタ1	TP0CCR1	R/W				0000H
FFFFF5AAH	TMP0カウンタ・リード・バッファ・レジスタ	TP0CNT	R				0000H
FFFFF5C0H	16ビット・タイマ・カウンタ5	TM5	R				0000H
FFFFF5C0H	8ビット・タイマ・カウンタ50	TM50	R				00H
FFFFF5C1H	8ビット・タイマ・カウンタ51	TM51	R				00H
FFFFF5C2H	16ビット・タイマ・コンペア・レジスタ5	CR5	R/W				0000H
FFFFF5C2H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W				00H
FFFFF5C3H	8ビット・タイマ・コンペア・レジスタ51	CR51	R/W				00H
FFFFF5C4H	タイマ・クロック選択レジスタ5	TCL5	R/W				0000H
FFFFF5C4H	タイマ・クロック選択レジスタ50	TCL50	R/W				00H
FFFFF5C5H	タイマ・クロック選択レジスタ51	TCL51	R/W				00H
FFFFF5C6H	16ビット・タイマ・モード・コントロール・レジスタ5	TMC5	R/W				0000H
FFFFF5C6H	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50	R/W				00H
FFFFF5C7H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51	R/W				00H
FFFFF600H	16ビット・タイマ・カウンタ00	TM00	R				0000H
FFFFF602H	16ビット・タイマ・キャプチャ/コンペア・レジスタ000	CR000	R/W				0000H
FFFFF604H	16ビット・タイマ・キャプチャ/コンペア・レジスタ001	CR001	R/W				0000H
FFFFF606H	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00	R/W				00H
FFFFF607H	プリスケアラ・モード・レジスタ00	PRM00	R/W				00H
FFFFF608H	キャプチャ/コンペア・コントロール・レジスタ00	CRC00	R/W				00H
FFFFF609H	16ビット・タイマ出力コントロール・レジスタ00	TOC00	R/W				00H
FFFFF610H	16ビット・タイマ・カウンタ01	TM01	R				0000H
FFFFF612H	16ビット・タイマ・キャプチャ/コンペア・レジスタ010	CR010	R/W				0000H
FFFFF614H	16ビット・タイマ・キャプチャ/コンペア・レジスタ011	CR011	R/W				0000H
FFFFF616H	16ビット・タイマ・モード・コントロール・レジスタ01	TMC01	R/W				00H
FFFFF617H	プリスケアラ・モード・レジスタ01	PRM01	R/W				00H
FFFFF618H	キャプチャ/コンペア・コントロール・レジスタ01	CRC01	R/W				00H
FFFFF619H	16ビット・タイマ出力コントロール・レジスタ01	TOC01	R/W				00H
FFFFF620H	16ビット・タイマ・カウンタ02	TM02	R				0000H
FFFFF622H	16ビット・タイマ・キャプチャ/コンペア・レジスタ020	CR020	R/W				0000H
FFFFF624H	16ビット・タイマ・キャプチャ/コンペア・レジスタ021	CR021	R/W				0000H
FFFFF626H	16ビット・タイマ・モード・コントロール・レジスタ02	TMC02	R/W				00H
FFFFF627H	プリスケアラ・モード・レジスタ02	PRM02	R/W				00H
FFFFF628H	キャプチャ/コンペア・コントロール・レジスタ02	CRC02	R/W				00H
FFFFF629H	16ビット・タイマ出力コントロール・レジスタ02	TOC02	R/W				00H
FFFFF630H	16ビット・タイマ・カウンタ03	TM03	R				0000H
FFFFF632H	16ビット・タイマ・キャプチャ/コンペア・レジスタ030	CR030	R/W				0000H
FFFFF634H	16ビット・タイマ・キャプチャ/コンペア・レジスタ031	CR031	R/W				0000H



アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF636H	16ビット・タイマ・モード・コントロール・レジスタ03	TMC03	R/W				00H
FFFFFF637H	プリスケアラ・モード・レジスタ03	PRM03	R/W				00H
FFFFFF638H	キャプチャ/コンペア・コントロール・レジスタ03	CRC03	R/W				00H
FFFFFF639H	16ビット・タイマ出力コントロール・レジスタ03	TOC03	R/W				00H
FFFFFF640H	16ビット・タイマ・カウンタ04	TM04	R				0000H
FFFFFF642H	16ビット・タイマ・キャプチャ/コンペア・レジスタ040	CR040	R/W				0000H
FFFFFF644H	16ビット・タイマ・キャプチャ/コンペア・レジスタ041	CR041	R/W				0000H
FFFFFF646H	16ビット・タイマ・モード・コントロール・レジスタ04	TMC04	R/W				00H
FFFFFF647H	プリスケアラ・モード・レジスタ04	PRM04	R/W				00H
FFFFFF648H	キャプチャ/コンペア・コントロール・レジスタ04	CRC04	R/W				00H
FFFFFF649H	16ビット・タイマ出力コントロール・レジスタ04	TOC04	R/W				00H
FFFFFF650H	16ビット・タイマ・カウンタ05	TM05	R				0000H
FFFFFF652H	16ビット・タイマ・キャプチャ/コンペア・レジスタ050	CR050	R/W				0000H
FFFFFF654H	16ビット・タイマ・キャプチャ/コンペア・レジスタ051	CR051	R/W				0000H
FFFFFF656H	16ビット・タイマ・モード・コントロール・レジスタ05	TMC05	R/W				00H
FFFFFF657H	プリスケアラ・モード・レジスタ05	PRM05	R/W				00H
FFFFFF658H	キャプチャ/コンペア・コントロール・レジスタ05	CRC05	R/W				00H
FFFFFF659H	16ビット・タイマ出力コントロール・レジスタ05	TOC05	R/W				00H
FFFFFF680H	時計タイマ動作モード・レジスタ	WTM	R/W				00H
FFFFFF6C0H	発振安定時間選択レジスタ	OSTS	R/W				注
FFFFFF6C1H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS	R/W				00H
FFFFFF6C2H	ウォッチドッグ・タイマ・モード・レジスタ1	WDTM1	R/W				00H
FFFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ2	WDTM2	R/W				67H
FFFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W				9AH
FFFFFF6E0H	リアルタイム出力バッファ・レジスタL0	RTBL0	R/W				00H
FFFFFF6E2H	リアルタイム出力バッファ・レジスタH0	RTBH0	R/W				00H
FFFFFF6E4H	リアルタイム出力ポート・モード・レジスタ0	RTPM0	R/W				00H
FFFFFF6E5H	リアルタイム出力ポート・コントロール・レジスタ0	RTPC0	R/W				00H
FFFFFF6F0H	リアルタイム出力バッファ・レジスタL1	RTBL1	R/W				00H
FFFFFF6F2H	リアルタイム出力バッファ・レジスタH1	RTBH1	R/W				00H
FFFFFF6F4H	リアルタイム出力ポート・モード・レジスタ1	RTPM1	R/W				00H
FFFFFF6F5H	リアルタイム出力ポート・コントロール・レジスタ1	RTPC1	R/W				00H
FFFFFF706H	ポート3ファンクション・コントロール拡張レジスタ	PFCE3	R/W				00H
FFFFFF802H	システム・ステータス・レジスタ	SYS	R/W				00H
FFFFFF806H	PLLコントロール・レジスタ	PLLCTL	R/W				01H
FFFFFF80CH	内蔵発振モード・レジスタ	RCM	R/W				00H
FFFFFF810H	DMAトリガ要因レジスタ0	DTFR0	R/W				00H
FFFFFF812H	DMAトリガ要因レジスタ1	DTFR1	R/W				00H
FFFFFF814H	DMAトリガ要因レジスタ2	DTFR2	R/W				00H
FFFFFF816H	DMAトリガ要因レジスタ3	DTFR3	R/W				00H

注 オプション・バイトの設定により00Hまたは、01Hに設定可能です。

詳細は第29章 オプション・バイトを参照してください。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF820H	パワー・セーブ・モード・レジスタ	PSMR	R/W				00H
FFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W				03H
FFFFF82EH	CPU動作クロック・ステータス・レジスタ	CCLS	R				00H
FFFFF860H	リセット・ノイズ除去コントロール・レジスタ	RNZC	R/W				00H
FFFFF870H	クロック・モニタ・モード・レジスタ	CLM	R/W				00H
FFFFF888H	リセット要因フラグ・レジスタ	RESF	R/W				注1
FFFFF890H	低電圧検出レジスタ	LVIM	R/W				00H
FFFFF891H	低電圧検出レベル選択レジスタ	LVIS	R/W				00H
FFFFF8B0H	インターバル・タイマBRGモード・レジスタ	PRSM	R/W				00H
FFFFF8B1H	インターバル・タイマBRGコンペア・レジスタ	PRSCM	R/W				00H
FFFFF9FCH	オンチップ・デバッグ・モード・レジスタ	OCDM <sup>注2</sup>	R/W				01H
FFFFFA00H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0	R/W				01H
FFFFFA02H	受信バッファ・レジスタ0	RXB0	R				FFH
FFFFFA03H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R				00H
FFFFFA04H	送信バッファ・レジスタ0	TXB0	R/W				FFH
FFFFFA05H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	ASIF0	R				00H
FFFFFA06H	クロック選択レジスタ0	CKSR0	R/W				00H
FFFFFA07H	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W				FFH
FFFFFA08H	LIN動作制御レジスタ0	ASICL0	R/W				16H
FFFFFA10H	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	ASIM1	R/W				01H
FFFFFA12H	受信バッファ・レジスタ1	RXB1	R				FFH
FFFFFA13H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1	R				00H
FFFFFA14H	送信バッファ・レジスタ1	TXB1	R/W				FFH
FFFFFA15H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ1	ASIF1	R				00H
FFFFFA16H	クロック選択レジスタ1	CKSR1	R/W				00H
FFFFFA17H	ポー・レート・ジェネレータ・コントロール・レジスタ1	BRGC1	R/W				FFH
FFFFFA20H	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	ASIM2	R/W				01H
FFFFFA22H	受信バッファ・レジスタ2	RXB2	R				FFH
FFFFFA23H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	ASIS2	R				00H
FFFFFA24H	送信バッファ・レジスタ2	TXB2	R/W				FFH
FFFFFA25H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ2	ASIF2	R				00H
FFFFFA26H	クロック選択レジスタ2	CKSR2	R/W				00H
FFFFFA27H	ポー・レート・ジェネレータ・コントロール・レジスタ2	BRGC2	R/W				FFH
FFFFFB00H	TIP00ノイズ除去制御レジスタ	P0NFC	R/W				00H
FFFFFB04H	TIP01ノイズ除去制御レジスタ	P1NFC	R/W				00H
FFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0	R/W				00H
FFFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3	INTF3	R/W				00H
FFFFFC13H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTF9H	R/W				00H
FFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0	R/W				00H
FFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3	R/W				00H
FFFFFC33H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTR9H	R/W				00H

注1. リセット要因により異なります(24.3(1)リセット要因フラグ・レジスタ(RESF)参照)

2.  $\mu$ PD70F3318, 70F3318Yのみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFC40H	プルアップ抵抗オプション・レジスタ0	PU0	R/W				00H
FFFFFC42H	プルアップ抵抗オプション・レジスタ1	PU1	R/W				00H
FFFFFC46H	プルアップ抵抗オプション・レジスタ3	PU3	R/W				00H
FFFFFC48H	プルアップ抵抗オプション・レジスタ4	PU4	R/W				00H
FFFFFC4AH	プルアップ抵抗オプション・レジスタ5	PU5	R/W				00H
FFFFFC4CH	プルアップ抵抗オプション・レジスタ6	PU6	R/W				0000H
FFFFFC4CH	プルアップ抵抗オプション・レジスタ6L	PU6L	R/W				00H
FFFFFC4DH	プルアップ抵抗オプション・レジスタ6H	PU6H	R/W				00H
FFFFFC50H	プルアップ抵抗オプション・レジスタ8	PU8	R/W				00H
FFFFFC52H	プルアップ抵抗オプション・レジスタ9	PU9	R/W				0000H
FFFFFC52H	プルアップ抵抗オプション・レジスタ9L	PU9L	R/W				00H
FFFFFC53H	プルアップ抵抗オプション・レジスタ9H	PU9H	R/W				00H
FFFFFC67H	ポート3ファンクション・レジスタH	PF3H	R/W				00H
FFFFFC68H	ポート4ファンクション・レジスタ	PF4	R/W				00H
FFFFFC6AH	ポート5ファンクション・レジスタ	PF5	R/W				00H
FFFFFC6CH	ポート6ファンクション・レジスタ	PF6	R/W				0000H
FFFFFC6CH	ポート6ファンクション・レジスタL	PF6L	R/W				00H
FFFFFC6DH	ポート6ファンクション・レジスタH	PF6H	R/W				00H
FFFFFC70H	ポート8ファンクション・レジスタ	PF8	R/W				00H
FFFFFC73H	ポート9ファンクション・レジスタH	PF9H	R/W				00H
FFFFFD00H	クロック同期式シリアル・インタフェース・モード・レジスタ00	CSIM00	R/W				00H
FFFFFD01H	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSIC0	R/W				00H
FFFFFD02H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0	SIRB0	R				0000H
FFFFFD02H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0L	SIRB0L	R				00H
FFFFFD04H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	SOTB0	R/W				0000H
FFFFFD04H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0L	SOTB0L	R/W				00H
FFFFFD06H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0	SIRBE0	R				0000H
FFFFFD06H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0L	SIRBE0L	R				00H
FFFFFD08H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0	SOTBF0	R/W				0000H
FFFFFD08H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0L	SOTBF0L	R/W				00H
FFFFFD0AH	シリアル/Oシフト・レジスタ0	SIO00	R/W				00H
FFFFFD0AH	シリアル/Oシフト・レジスタ0L	SIO00L	R/W				0000H
FFFFFD10H	クロック同期式シリアル・インタフェース・モード・レジスタ01	CSIM01	R/W				00H
FFFFFD11H	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSIC1	R/W				00H
FFFFFD12H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1	SIRB1	R				0000H
FFFFFD12H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1L	SIRB1L	R				00H
FFFFFD14H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	SOTB1	R/W				0000H
FFFFFD14H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1L	SOTB1L	R/W				00H
FFFFFD16H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1	SIRBE1	R				0000H
FFFFFD16H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1L	SIRBE1L	R				00H
FFFFFD18H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1	SOTBF1	R/W				0000H
FFFFFD18H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1L	SOTBF1L	R/W				00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFD1AH	シリアルI/Oシフト・レジスタ1	SIO01	R/W				00H
FFFFFD1AH	シリアルI/Oシフト・レジスタ1L	SIO01L	R/W				0000H
FFFFFD20H	クロック同期式シリアル・インタフェース・モード・レジスタ02	CSIM02	R/W				00H
FFFFFD21H	クロック同期式シリアル・インタフェース・クロック選択レジスタ2	CSIC2	R/W				00H
FFFFFD22H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ2	SIRB2	R				0000H
FFFFFD22H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ2L	SIRB2L	R				00H
FFFFFD24H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ2	SOTB2	R/W				0000H
FFFFFD24H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ2L	SOTB2L	R/W				00H
FFFFFD26H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ2	SIRBE2	R				0000H
FFFFFD26H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ2L	SIRBE2L	R				00H
FFFFFD28H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ2	SOTBF2	R/W				0000H
FFFFFD28H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ2L	SOTBF2L	R/W				00H
FFFFFD2AH	シリアルI/Oシフト・レジスタ2	SIO02	R/W				00H
FFFFFD2AH	シリアルI/Oシフト・レジスタ2L	SIO02L	R/W				0000H
FFFFFD40H	シリアル動作モード指定レジスタ0	CSIMA0	R/W				00H
FFFFFD41H	シリアル・ステータス・レジスタ0	CSIS0	R/W				00H
FFFFFD42H	シリアル・トリガ・レジスタ0	CSIT0	R/W				00H
FFFFFD43H	分周値選択レジスタ0	BRGCA0	R/W				03H
FFFFFD44H	自動データ転送アドレス・ポイント指定レジスタ0	ADTP0	R/W				00H
FFFFFD45H	自動データ転送間隔指定レジスタ0	ADTI0	R/W				00H
FFFFFD46H	シリアルI/Oシフト・レジスタA0	SIOA0	R/W				00H
FFFFFD47H	自動データ転送アドレス・カウント・レジスタ0	ADTC0	R				00H
FFFFFD50H	シリアル動作モード指定レジスタ1	CSIMA1	R/W				00H
FFFFFD51H	シリアル・ステータス・レジスタ1	CSIS1	R/W				00H
FFFFFD52H	シリアル・トリガ・レジスタ1	CSIT1	R/W				00H
FFFFFD53H	分周値選択レジスタ1	BRGCA1	R/W				03H
FFFFFD54H	自動データ転送アドレス・ポイント指定レジスタ1	ADTP1	R/W				00H
FFFFFD55H	自動データ転送間隔指定レジスタ1	ADTI1	R/W				00H
FFFFFD56H	シリアルI/Oシフト・レジスタA1	SIOA1	R/W				00H
FFFFFD57H	自動データ転送アドレス・カウント・レジスタ1	ADTC1	R				00H
FFFFFD80H	IICシフト・レジスタ0	IIC0 <sup>注</sup>	R/W				00H
FFFFFD82H	IICコントロール・レジスタ0	IICC0 <sup>注</sup>	R/W				00H
FFFFFD83H	スレーブ・アドレス・レジスタ0	SVA0 <sup>注</sup>	R/W				00H
FFFFFD84H	IICクロック選択レジスタ0	IICCL0 <sup>注</sup>	R/W				00H
FFFFFD85H	IIC機能拡張レジスタ0	IICX0 <sup>注</sup>	R/W				00H
FFFFFD86H	IIC状態レジスタ0	IICS0 <sup>注</sup>	R				00H
FFFFFD8AH	IICフラグ・レジスタ0	IICF0 <sup>注</sup>	R/W				00H
FFFFFD90H	IICシフト・レジスタ1	IIC1 <sup>注</sup>	R/W				00H
FFFFFD92H	IICコントロール・レジスタ1	IICC1 <sup>注</sup>	R/W				00H
FFFFFD93H	スレーブ・アドレス・レジスタ1	SVA1 <sup>注</sup>	R/W				00H
FFFFFD94H	IICクロック選択レジスタ1	IICCL1 <sup>注</sup>	R/W				00H
FFFFFD95H	IIC機能拡張レジスタ1	IICX1 <sup>注</sup>	R/W				00H

注  $\mu$ PD70F3316Y, 70F3318Yのみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFD96H	IIC状態レジスタ1	IICS1 <sup>注</sup>	R				00H
FFFFFD9AH	IICフラグ・レジスタ1	IICF1 <sup>注</sup>	R/W				00H
FFFFFE00H	CSIA0バッファRAM0	CSIA0B0	R/W				不定
FFFFFE00H	CSIA0バッファRAM0L	CSIA0B0L	R/W				不定
FFFFFE01H	CSIA0バッファRAM0H	CSIA0B0H	R/W				不定
FFFFFE02H	CSIA0バッファRAM1	CSIA0B1	R/W				不定
FFFFFE02H	CSIA0バッファRAM1L	CSIA0B1L	R/W				不定
FFFFFE03H	CSIA0バッファRAM1H	CSIA0B1H	R/W				不定
FFFFFE04H	CSIA0バッファRAM2	CSIA0B2	R/W				不定
FFFFFE04H	CSIA0バッファRAM2L	CSIA0B2L	R/W				不定
FFFFFE05H	CSIA0バッファRAM2H	CSIA0B2H	R/W				不定
FFFFFE06H	CSIA0バッファRAM3	CSIA0B3	R/W				不定
FFFFFE06H	CSIA0バッファRAM3L	CSIA0B3L	R/W				不定
FFFFFE07H	CSIA0バッファRAM3H	CSIA0B3H	R/W				不定
FFFFFE08H	CSIA0バッファRAM4	CSIA0B4	R/W				不定
FFFFFE08H	CSIA0バッファRAM4L	CSIA0B4L	R/W				不定
FFFFFE09H	CSIA0バッファRAM4H	CSIA0B4H	R/W				不定
FFFFFE0AH	CSIA0バッファRAM5	CSIA0B5	R/W				不定
FFFFFE0AH	CSIA0バッファRAM5L	CSIA0B5L	R/W				不定
FFFFFE0BH	CSIA0バッファRAM5H	CSIA0B5H	R/W				不定
FFFFFE0CH	CSIA0バッファRAM6	CSIA0B6	R/W				不定
FFFFFE0CH	CSIA0バッファRAM6L	CSIA0B6L	R/W				不定
FFFFFE0DH	CSIA0バッファRAM6H	CSIA0B6H	R/W				不定
FFFFFE0EH	CSIA0バッファRAM7	CSIA0B7	R/W				不定
FFFFFE0EH	CSIA0バッファRAM7L	CSIA0B7L	R/W				不定
FFFFFE0FH	CSIA0バッファRAM7H	CSIA0B7H	R/W				不定
FFFFFE10H	CSIA0バッファRAM8	CSIA0B8	R/W				不定
FFFFFE10H	CSIA0バッファRAM8L	CSIA0B8L	R/W				不定
FFFFFE11H	CSIA0バッファRAM8H	CSIA0B8H	R/W				不定
FFFFFE12H	CSIA0バッファRAM9	CSIA0B9	R/W				不定
FFFFFE12H	CSIA0バッファRAM9L	CSIA0B9L	R/W				不定
FFFFFE13H	CSIA0バッファRAM9H	CSIA0B9H	R/W				不定
FFFFFE14H	CSIA0バッファRAMA	CSIA0BA	R/W				不定
FFFFFE14H	CSIA0バッファRAMAL	CSIA0BAL	R/W				不定
FFFFFE15H	CSIA0バッファRAMAH	CSIA0BAH	R/W				不定
FFFFFE16H	CSIA0バッファRAMB	CSIA0BB	R/W				不定
FFFFFE16H	CSIA0バッファRAMBL	CSIA0BBL	R/W				不定
FFFFFE17H	CSIA0バッファRAMBH	CSIA0BBH	R/W				不定
FFFFFE18H	CSIA0バッファRAMC	CSIA0BC	R/W				不定
FFFFFE18H	CSIA0バッファRAMCL	CSIA0BCL	R/W				不定
FFFFFE19H	CSIA0バッファRAMCH	CSIA0BCH	R/W				不定

注 μPD70F3316Y, 70F3318Yのみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFE1AH	CSIA0バッファRAMD	CSIA0BD	R/W				不定
FFFFFFE1AH	CSIA0バッファRAMDL	CSIA0BDL	R/W				不定
FFFFFFE1BH	CSIA0バッファRAMDH	CSIA0BDH	R/W				不定
FFFFFFE1CH	CSIA0バッファRAME	CSIA0BE	R/W				不定
FFFFFFE1CH	CSIA0バッファRAMEL	CSIA0BEL	R/W				不定
FFFFFFE1DH	CSIA0バッファRAMEH	CSIA0BEH	R/W				不定
FFFFFFE1EH	CSIA0バッファRAMF	CSIA0BF	R/W				不定
FFFFFFE1EH	CSIA0バッファRAMFL	CSIA0BFL	R/W				不定
FFFFFFE1FH	CSIA0バッファRAMFH	CSIA0BFH	R/W				不定
FFFFFFE20H	CSIA1バッファRAM0	CSIA1B0	R/W				不定
FFFFFFE20H	CSIA1バッファRAM0L	CSIA1B0L	R/W				不定
FFFFFFE21H	CSIA1バッファRAM0H	CSIA1B0H	R/W				不定
FFFFFFE22H	CSIA1バッファRAM1	CSIA1B1	R/W				不定
FFFFFFE22H	CSIA1バッファRAM1L	CSIA1B1L	R/W				不定
FFFFFFE23H	CSIA1バッファRAM1H	CSIA1B1H	R/W				不定
FFFFFFE24H	CSIA1バッファRAM2	CSIA1B2	R/W				不定
FFFFFFE24H	CSIA1バッファRAM2L	CSIA1B2L	R/W				不定
FFFFFFE25H	CSIA1バッファRAM2H	CSIA1B2H	R/W				不定
FFFFFFE26H	CSIA1バッファRAM3	CSIA1B3	R/W				不定
FFFFFFE26H	CSIA1バッファRAM3L	CSIA1B3L	R/W				不定
FFFFFFE27H	CSIA1バッファRAM3H	CSIA1B3H	R/W				不定
FFFFFFE28H	CSIA1バッファRAM4	CSIA1B4	R/W				不定
FFFFFFE28H	CSIA1バッファRAM4L	CSIA1B4L	R/W				不定
FFFFFFE29H	CSIA1バッファRAM4H	CSIA1B4H	R/W				不定
FFFFFFE2AH	CSIA1バッファRAM5	CSIA1B5	R/W				不定
FFFFFFE2AH	CSIA1バッファRAM5L	CSIA1B5L	R/W				不定
FFFFFFE2BH	CSIA1バッファRAM5H	CSIA1B5H	R/W				不定
FFFFFFE2CH	CSIA1バッファRAM6	CSIA1B6	R/W				不定
FFFFFFE2CH	CSIA1バッファRAM6L	CSIA1B6L	R/W				不定
FFFFFFE2DH	CSIA1バッファRAM6H	CSIA1B6H	R/W				不定
FFFFFFE2EH	CSIA1バッファRAM7	CSIA1B7	R/W				不定
FFFFFFE2EH	CSIA1バッファRAM7L	CSIA1B7L	R/W				不定
FFFFFFE2FH	CSIA1バッファRAM7H	CSIA1B7H	R/W				不定
FFFFFFE30H	CSIA1バッファRAM8	CSIA1B8	R/W				不定
FFFFFFE30H	CSIA1バッファRAM8L	CSIA1B8L	R/W				不定
FFFFFFE31H	CSIA1バッファRAM8H	CSIA1B8H	R/W				不定
FFFFFFE32H	CSIA1バッファRAM9	CSIA1B9	R/W				不定
FFFFFFE32H	CSIA1バッファRAM9L	CSIA1B9L	R/W				不定
FFFFFFE33H	CSIA1バッファRAM9H	CSIA1B9H	R/W				不定
FFFFFFE34H	CSIA1バッファRAMA	CSIA1BA	R/W				不定
FFFFFFE34H	CSIA1バッファRAMAL	CSIA1BAL	R/W				不定
FFFFFFE35H	CSIA1バッファRAMAH	CSIA1BAH	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFE36H	CSIA1バッファRAMB	CSIA1BB	R/W				不定
FFFFFFE36H	CSIA1バッファRAMBL	CSIA1BBL	R/W				不定
FFFFFFE37H	CSIA1バッファRAMBH	CSIA1BBH	R/W				不定
FFFFFFE38H	CSIA1バッファRAMC	CSIA1BC	R/W				不定
FFFFFFE38H	CSIA1バッファRAMCL	CSIA1BCL	R/W				不定
FFFFFFE39H	CSIA1バッファRAMCH	CSIA1BCH	R/W				不定
FFFFFFE3AH	CSIA1バッファRAMD	CSIA1BD	R/W				不定
FFFFFFE3AH	CSIA1バッファRAMDL	CSIA1BDL	R/W				不定
FFFFFFE3BH	CSIA1バッファRAMDH	CSIA1BDH	R/W				不定
FFFFFFE3CH	CSIA1バッファRAME	CSIA1BE	R/W				不定
FFFFFFE3CH	CSIA1バッファRAMEL	CSIA1BEL	R/W				不定
FFFFFFE3DH	CSIA1バッファRAMEH	CSIA1BEH	R/W				不定
FFFFFFE3EH	CSIA1バッファRAMF	CSIA1BF	R/W				不定
FFFFFFE3EH	CSIA1バッファRAMFL	CSIA1BFL	R/W				不定
FFFFFFE3FH	CSIA1バッファRAMFH	CSIA1BFH	R/W				不定
FFFFFFF44H	プルアップ抵抗オプション・レジスタDL	PUDL	R/W				0000H
FFFFFFF44H	プルアップ抵抗オプション・レジスタDLL	PUDLL	R/W				00H
FFFFFFF45H	プルアップ抵抗オプション・レジスタDLH	PUDLH	R/W				00H
FFFFFFF46H	プルアップ抵抗オプション・レジスタDH	PUDH	R/W				00H
FFFFFFF48H	プルアップ抵抗オプション・レジスタCS	PUCS	R/W				00H
FFFFFFF4AH	プルアップ抵抗オプション・レジスタCT	PUCT	R/W				00H
FFFFFFF4CH	プルアップ抵抗オプション・レジスタCM	PUCM	R/W				00H
FFFFFFF4EH	プルアップ抵抗オプション・レジスタCD	PUCD	R/W				00H
FFFFFFFBEH	外部バス・インタフェース・モード・コントロール・レジスタ	EXIMC	R/W				00H

### 3.4.7 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850ES/KJ1+には次の7つの特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM1)
- ・クロック・モニタ・モード・レジスタ (CLM)
- ・リセット要因フラグ・レジスタ (RESF)
- ・低電圧検出レジスタ (LVIM)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM) :  $\mu$  PD70F3318, 70F3318Yのみ

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、PRCMDレジスタがあり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はSYSレジスタに報告されます。

#### (1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

DMA動作を禁止する。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

PRCMDレジスタに で用意したデータを書き込む。

特定レジスタに設定データを書き込む (次の命令で行う)。

- ・ストア命令 (ST/SST命令)
- ・ビット操作命令 (SET1/CLR1/NOT1命令)
- NOP命令を挿入する (5命令)<sup>注</sup>。

DMA動作が必要な場合、DMA動作を許可する。

**注** IDLEモード、STOPモードに移行する場合 (PSC.STPビット = 1) には、直後にNOP命令を5命令挿入する必要があります。

**注意** 特定シーケンス後、DMA動作を禁止する以前の状態でDMA動作を再開するには、DMA動作を禁止する以前に、DCHCnレジスタの状態を格納する必要があります。  
DCHCnレジスタの状態を格納後、DMA動作を禁止するまでにDMA転送終了が発生する可能性があるため、DMA動作を再開する前にDCHCn.TCnビットを確認し、TCnビットの状態により処理を次のようにする必要があります。

- ・TCnビット = 0 (DMA転送未終了) のとき、DMA動作を禁止する以前に格納したDCHCnレジスタの内容を、DCHCnレジスタに再度書き込む。
- ・TCnビット = 1 (DMA転送終了) のとき、DMA転送終了処理を行う。

**備考** n = 0-3



## [記述例] PSCレジスタの場合 (スタンバイ・モードの設定)

```

ST.B r11, PSMR [ r0 ] ; PSMRレジスタ設定 (IDLE, STOPモードの設定)
LD.B DCHCn [ r0 ], r12 ; (a)DMA転送状態の格納
ANDI 0xfe, r12, r13
ST.B r13, DCHCn [ r0 ] ; (b)DMA動作停止注1
MOV 0x02, r10
ST.B r10, PRCMD [ r0 ] ; PRCMDレジスタ書き込み
ST.B r10, PSC [ r0 ] ; PSCレジスタ設定
NOP注2 ; ダミー命令
NOP注2 ; ダミー命令
NOP注2 ; ダミー命令
NOP注2 ; ダミー命令
NOP注2 ; ダミー命令
TSTl 7, DCHCn [ r0 ] ; (a)と(b)の間にDMA転送が終了していないか
                        (DCHCnレジスタの状態が更新されていないか)を確認
BNE next ; 更新されていたならば, DMA転送終了処理
                        (nextルーチンへ)
ST.B r12, DCHCn [ r0 ] ; 更新されていなければ, (a)の状態に戻す (DMA転送許可)
(next instruction)

```

なお, 特定レジスタを読み出す場合は, 特別なシーケンスは必要ありません。

- 注 1.** ビット操作命令を使用しないのは, DMA 転送終了ステータス・フラグ (DCHCn.TCn ビット) がリードされることによりクリア (0) されるのを防ぐためです。また TCn ビットは, 0 ライトによるクリア (0) はできません。
- 2.** IDLE モード, STOP モードに移行する場合 (PSC.STP ビット = 1) には, 直後に NOP 命令を 5 命令挿入する必要があります。

**備考** n = 0-3

- 注意 1.** PRCMDレジスタに対するストア命令では, 割り込みを受け付けません。これはプログラムで上記 , を連続したストア命令で行うことを前提としているためです。 , の間にほかの命令が置かれていると, その命令で割り込みを受け付けた際, 上記シーケンスが成立しなくなる場合があります, 誤動作の要因となります
- 2.** PRCMDレジスタへ書き込むデータはダミーですが, 特定レジスタへの設定 (例 ) で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み (例 ) でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。

## (2) コマンド・レジスタ (PRCMD)

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタへの書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセット時：不定    W    アドレス：FFFFFF1FCH

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

**(3) システム・ステータス・レジスタ (SYS)**

システム全体の動作状態を示すステータス・フラグが割り付けられています。  
8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF802H

	7	6	5	4	3	2	1	①
SYS	0	0	0	0	0	0	0	PRERR

PRERR	プロテクション・エラーの検出
0	プロテクション・エラーは発生していない
1	プロテクション・エラーが発生している

PRERRフラグの動作条件を次に示します。

**(a) セット条件 (PRERR=1)**

- (i) PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき (3. 4. 7 (1) **特定レジスタの設定**で示す を行わずに を行なったとき)。
- (ii) PRCMDレジスタへの書き込み動作後、特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作 (ビット操作命令含む) を行なったとき (3. 4. 7 (1) **特定レジスタの設定**で示す が特定レジスタでなかったとき)。

**備考** WDTMレジスタ以外の特定レジスタ (PCC, PSCレジスタ) は、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作 (ビット操作命令を除く) など (内蔵RAMへのアクセスなど) を行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

**(b) クリア条件 (PRERR=0)**

- (i) PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意1.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります (ライト優先)。
- 2.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

### 3.4.8 注意事項

#### (1) レジスタ・アクセス時のウエイト

V850ES/KJ1+を使用する際には、必ず最初に次のレジスタを設定してください。

- ・システム・ウエイト・コントロール・レジスタ (VSWC)

VSWCレジスタを設定したあとに、必要に応じてその他の各レジスタを設定してください。

なお、外部バスを使用する場合は、VSWCレジスタを設定し、次にポート関連のレジスタの設定により、各端子をコントロール・モードに設定してください。

#### (a) システム・ウエイト・コントロール・レジスタ (VSWC)

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウエイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック (ノー・ウエイト時) ですが、V850ES/KJ1+では、内部システム・クロック周波数によりウエイトが必要です。使用する内部システム・クロック周波数に応じて、VSWCレジスタには次に示す値を設定してください。

8ビット単位でリード/ライト可能です (アドレス: FFFFF06EH, 初期値: 77H)。

動作条件	内部システム・クロック周波数 (f <sub>CLK</sub> )	VSWCレジスタの設定値	ウエイト数
4.5 V REGC = V <sub>DD</sub> 5.5 V	32 kHz f <sub>CLK</sub> < 16.6 MHz	00H	0 (ノー・ウエイト)
	16.6 MHz f <sub>CLK</sub> 20 MHz	01H	1
4.0 V REGC = V <sub>DD</sub> < 4.5 V	32 kHz f <sub>CLK</sub> 16 MHz	00H	0 (ノー・ウエイト)
REGC = 10 μF, 4.0 V V <sub>DD</sub> 5.5 V	32 kHz f <sub>CLK</sub> < 8.3 MHz	00H	0 (ノー・ウエイト)
	8.3 MHz f <sub>CLK</sub> 16 MHz	01H	1
2.7 V REGC = V <sub>DD</sub> < 4.0 V	32 kHz f <sub>CLK</sub> < 8.3 MHz	00H	0 (ノー・ウエイト)
	8.3 MHz f <sub>CLK</sub> 10 MHz	01H	1

#### (b) 特定の内蔵周辺I/Oレジスタへのアクセスについて

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインターフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期的な関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。したがって、競合の恐れがある周辺ハードウェアへのアクセス時は、CPUは正しいデータの受け渡しが行われるよう、アクセス・サイクル数が変わります。その結果、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となるため、このウエイトが発生した場合、命令の実行クロック数が次に示すウエイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は、この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に、VSWCレジスタで設定したウエイト以外に、さらにウエイトを要する場合があります。

その際のアクセス条件と、挿入されるウエイト数 (CPUクロック数) の算出方法を次に示します。

$$\text{増加するウエイト数} = (2 + m) \times k \text{ [クロック]}$$

$$\text{特定の内蔵周辺I/Oレジスタへのアクセス数} = 3 + m + (2 + m) \times k \text{ [クロック]}$$

周辺機能	レジスタ名称	アクセス	k
ウォッチドッグ・タイマ1 (WDT1)	WDTM1	ライト	1-5
	$\langle \text{ウエイト回数算出式}^{\text{注1}} \rangle$ $k = \{ (1/f_x) \times 2 / ( (2+m) / f_{\text{CPU}} ) \} + 1$ f <sub>x</sub> : メイン・クロック発振周波数		
ウォッチドッグ・タイマ2 (WDT2)	WDTM2	ライト	3 (固定)
16ビット・タイマ/イベント・カウンタP0 (TMP0)	TP0CCR0, TP0CCR1, TP0CNT	リード	1
	$\langle \text{ウエイト回数算出式}^{\text{注1}} \rangle$ $k = \{ (1/f_{\text{xx}}) / ( (2+m) / f_{\text{CPU}} ) \} + 1$		
	TP0CCR0, TP0CCR1	ライト	0-2
	$\langle \text{ウエイト回数算出式}^{\text{注1}} \rangle$ $k = \{ (1/f_{\text{xx}}) \times 5 / ( (2+m) / f_{\text{CPU}} ) \}$ 同一レジスタへの連続書き込みでウエイト発生		
16ビット・タイマ/イベント・カウンタ00-05 (TM00-TM05)	TMC00-TMC05	リード・モディファイ・ ライト	1 (固定) ライト時にウエイト発生
	$\langle \text{ウエイト回数算出式}^{\text{注1}} \rangle$ $k = \{ (1/f_{\text{SCKA}}) \times 5 - (4+m) / f_{\text{CPU}} \} / \{ ( (2+m) / f_{\text{CPU}} ) \}$ ただし、CSIA <sub>n</sub> レジスタのCKSA <sub>n</sub> 1, CKSA <sub>n</sub> 0ビット = 0選択時でf <sub>CPU</sub> = f <sub>xx</sub> 時は1回 f <sub>SCKA</sub> : CSIA選択クロック周波数		
自動送受信機能付きクロック同期式シリアル・インタフェース0, 1 (CSIA0, CSIA1)	CSIA0B0-CSIA0BF, CSIA1B0-CSIA1BF	ライト	0-18 (ライト命令による連続ライト時)
	$\langle \text{ウエイト回数算出式}^{\text{注1}} \rangle$ $k = \{ (1/f_{\text{SCKA}}) \times 5 - (4+m) / f_{\text{CPU}} \} / \{ ( (2+m) / f_{\text{CPU}} ) \}$ ただし、CSIA <sub>n</sub> レジスタのCKSA <sub>n</sub> 1, CKSA <sub>n</sub> 0ビット = 0選択時でf <sub>CPU</sub> = f <sub>xx</sub> 時は1回 f <sub>SCKA</sub> : CSIA選択クロック周波数		
	CSIA0B0-CSIA0BF, CSIA1B0-CSIA1BF	ライト	0-20 (ライト命令と受信動作によるライトの競合動作時)
$\langle \text{ウエイト回数算出式}^{\text{注1}} \rangle$ $k = \{ (1/f_{\text{SCKA}}) \times 5 \} / ( (2+m) / f_{\text{CPU}} )$ f <sub>SCKA</sub> : CSIA選択クロック周波数			
i <sup>2</sup> C0 <sup>注2</sup> , i <sup>2</sup> C1 <sup>注2</sup>	IICS0, IICS1	リード	1 (固定)
アシンクロナス・シリアル・インタフェース0-2 (UART0-UART2)	ASIS0-ASIS2	リード	1 (固定)
リアルタイム出力機能0, 1 (RTO0, RTO1)	RTBL0, RTBL1, RTBH0, RTBH1	ライト ( RTPCn.RTPOEn ビット = 0の時)	1
A/Dコンバータ	ADM, ADS, PFM, PFT	ライト	1-2
	ADCR, ADCRH	リード	1-2
	$\langle \text{ウエイト回数算出式}^{\text{注1}} \rangle$ $\{ (1/f_{\text{xx}}) \times 2 / [ (2+m) / f_{\text{CPU}} ] \} + 1$		

- 注1. ウェイト回数算出式において、その計算結果の小数点以下は、 $(1/f_{CPU})$ をかけて、 $(1/f_{CPU}) / (2 + m)$ 以下であれば切り捨て、 $(1/f_{CPU}) / (2 + m)$ を越える場合には切り上げます。
2. I<sup>2</sup>C0, I<sup>2</sup>C1はμPD70F3316Y, 70F3318Yのみ

- 注意1. 内蔵ROMまたは内蔵RAMからフェッチした場合は、上記のようなウェイト回数となります。  
外部メモリよりフェッチした場合は、このウェイト回数より減少する場合があります。  
外部メモリ・アクセス・サイクルによる影響は、ウェイトの設定などにより変化します。ただし、上記ウェイト数が最大値となり、これより増加することはありません。
2. 次に示す状態において、ウェイトが発生するレジスタにウェイトが発生するアクセス方法でアクセスしないでください。ウェイトが発生した場合、解除する方法はリセットのみです。
- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
  - ・CPUが内蔵発振器で動作している場合

- 備考1. ウェイト算出式において

$f_{CPU}$  : CPUクロック周波数

$f_{xx}$  : メイン・クロック周波数

$m$  : VSWCレジスタのビット2-0設定値

VSWCレジスタ = 00H時 :  $m = 0$

VSWCレジスタ = 01H時 :  $m = 1$

2.  $n = 0, 1$

## (2) sld命令と割り込み競合に関する制限事項

## (a) 内 容

次の命令<1>の事項が完了する前に、後続の sld 命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ ld 命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・ sld 命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・ 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

< > ld.w [r11], r10	< >の ld 命令の実行が完了する前に、< >の sld 命令の直前の mov
・	命令< >のデコード動作と割り込み要求が競合した場合、< >の ld
・	命令の実行結果がレジスタに格納されないことがあります。
< > mov r10, r28	
< > sld.w 0x28, r10	

## (b) 回避策

コンパイラ (CA850) 使用時

Ver. 2.61 以降のバージョンを使用してください。該当命令シーケンスの生成を自動的に抑止します。

アセンブラでの対策

命令< >の直後に sld 命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・ sld 命令の直前に nop 命令を入れる。
- ・ sld 命令のディスティネーション・レジスタと同じレジスタを、sld 命令の直前で実行する上記< >の命令で使用しない。

## 第4章 ポート機能

### 4.1 特徴

入力専用ポート：16本

入出力ポート：112本

・N-chオープン・ドレイン出力固定：6本（中耐圧：4本）

・N-chオープン・ドレイン出力切り替え可能：12本

1ビット単位で入力／出力指定可能

### 4.2 ポートの基本構成

V850ES/KJ1+は、ポート0, 1, 3-9, CD, CM, CS, CT, DH, DLの合計128本の入力／出力ポート（うち16本は入力専用ポート）を内蔵しています。ポートの構成を次に示します。

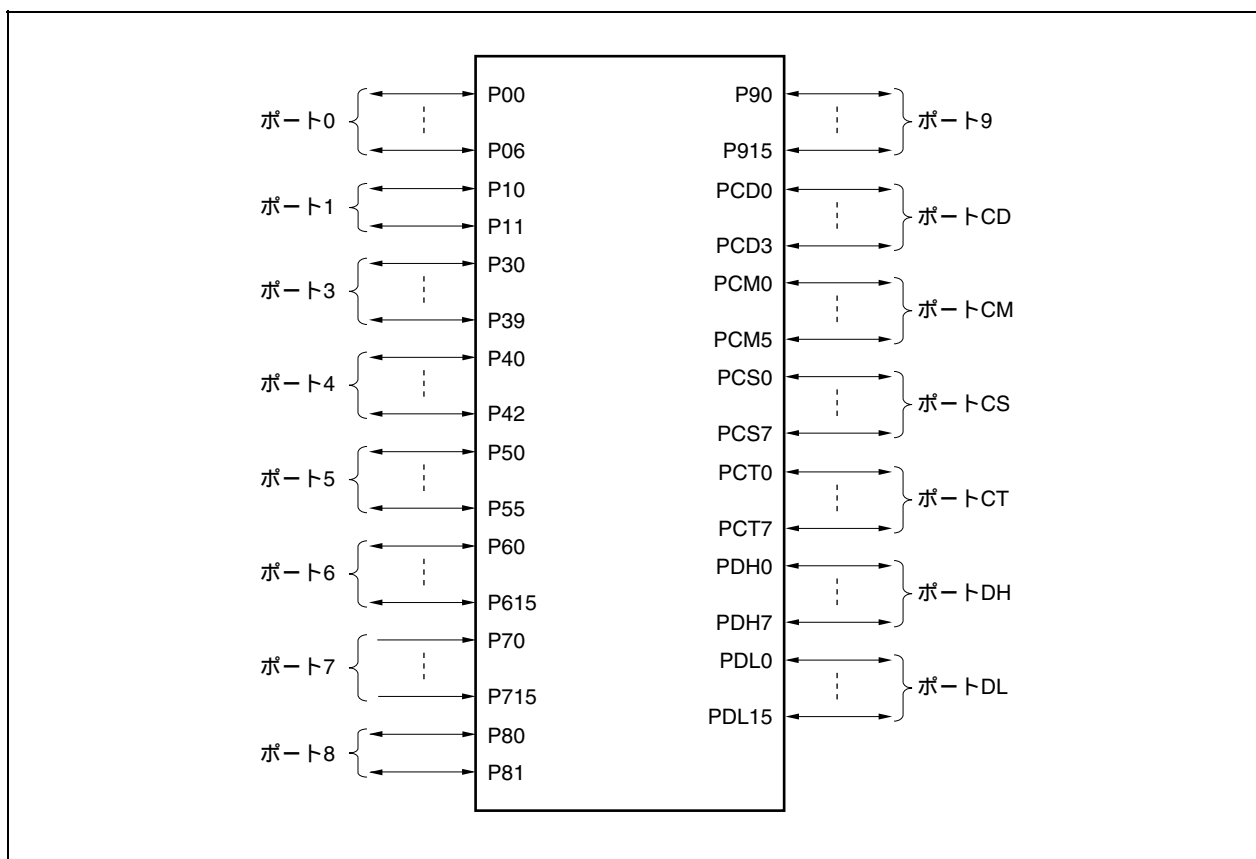


表4 - 1 V850ES/KJ1+の各端子の入出力バッファ電源

電 源	対応する端子
AV <sub>REF0</sub>	ポート7
AV <sub>REF1</sub>	ポート1
BV <sub>DD</sub>	ポートCD, CM, CS, CT, DH, DL
EV <sub>DD</sub>	RESET, ポート0, 3-6, 8, 9



## 4.3 ポートの構成

表4-2 ポートの構成

項 目	構 成
制御レジスタ	ポートnレジスタ (Pn : n = 0, 1, 3-9, CD, CM, CS, CT, DL, DH) ポートnモード・レジスタ (PMn : n = 0, 1, 3-6, 8, 9, CD, CM, CS, CT, DL, DH) ポートnモード・コントロール・レジスタ (PMCn : n = 0, 3-6, 8, 9, CM, CS, CT, DL, DH) ポートnファンクション・コントロール・レジスタ (PFCn : n = 3, 5, 6, 8, 9) ポートnファンクション・レジスタ (PFn : n = 3-6, 8, 9) ポート3ファンクション・コントロール拡張レジスタ (PFCE3) プルアップ抵抗オプション・レジスタ (PUn : n = 0, 1, 3-6, 8, 9, CD, CM, CS, CT, DL, DH)
ポート	入力専用 : 8本 入出力 : 112本
プルアップ抵抗	ソフトウェア制御 : 106本

(1) ポートnレジスタ (Pn)

外部とのデータ入出力は、Pnレジスタへの書き込み、および読み出しによって行います。Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位でリード/ライト可能です。

リセット時：00H <sup>注</sup> (出力ラッチ)      R/W								
Pn	7	6	5	4	3	2	1	0
	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
	出力データの制御 (出力モード時)							
	Pnm							
	0	0を出力						
	1	1を出力						

**注** 入力専用ポートは不定になります。

各レジスタの設定によって、Pnレジスタへの書き込みや読み出しは次のようになります。

表4-3 Pnレジスタへの書き込み/読み出しについて

PMCnレジスタの設定	PMnレジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
ポート・モード (PMCnmビット = 0)	出力モード (PMnmビット = 0)	出力ラッチに対して書き込みます <sup>注</sup> 。 出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します。
	入力モード (PMnmビット = 1)	出力ラッチに対して書き込みます <sup>注</sup> 。 端子の状態には影響ありません。	端子状態を読み出します。
兼用機能モード (PMCnmビット = 1)	出力モード (PMnmビット = 0)	出力ラッチに対して書き込みます <sup>注</sup> 。 端子の状態には影響ありません。 端子は兼用機能として動作します。	・兼用機能が出力の場合 兼用機能の出力状態を読み出します。 ・兼用機能が入力の場合 出力ラッチの値を読み出します。
	入力モード (PMnmビット = 1)	出力ラッチに対して書き込みます <sup>注</sup> 。 端子の状態には影響ありません。 端子は兼用機能として動作します。	端子状態を読み出します。

**注** 出力ラッチに書き込まれた値は、再度出力ラッチに値が書き込まれるまで保持されます。

(2) ポートnモード・レジスタ (PMn)

ポートの入力モード/出力モードを指定します。

PMnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : FFH    R/W								
	7	6	5	4	3	2	1	0
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
PMnm	入出力モードの制御							
0	出力モード							
1	入力モード							

(3) ポートnモード・コントロール・レジスタ (PMCn)

ポート・モード/兼用機能を指定します。

PMCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H    R/W								
	7	6	5	4	3	2	1	0
PMCn	PMCn7	PMCn6	PMCn5	PMCn4	PMCn3	PMCn2	PMCn1	PMCn0
PMCnm	動作モードの指定							
0	ポート・モード							
1	兼用機能モード							

(4) ポートnファンクション・コントロール・レジスタ (PFCn)

1本の端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H    R/W

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCnm	兼用機能の指定
0	兼用機能1
1	兼用機能2

(5) ポートnファンクション・コントロール拡張レジスタ (PFCEn)

1本の端子に兼用機能が3つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H    R/W

	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCEnm	PFCnm	兼用機能の指定
0	0	兼用機能1
0	1	兼用機能2
1	0	兼用機能3
1	1	兼用機能4

(6) ポートnファンクション・レジスタ (PFn)

通常出力/N-chオープン・ドレイン出力を指定するレジスタです。

PFnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFn	PFn7	PFn6	PFn5	PFn4	PFn3	PFn2	PFn1	PFn0

PFnm <sup>注</sup>	通常出力/N-chオープン・ドレイン出力の制御
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

**注** PMCnレジスタの設定によらず、PFnmビットは、PMn.PMnmビット = 0 (出力モード時) のときのみ有効です。PMnmビット = 1 (入力モード時) のときは、PFnレジスタの設定値は無効です。

例 PFnレジスタの値が有効な場合

PFnmビット = 1 ... N-chオープン・ドレイン出力を指定

PMnmビット = 0 ... 出力モードを指定

PMCnmビット = 任意

PFnレジスタの値が無効な場合

PFnmビット = 0 ... N-chオープン・ドレイン出力を指定

PMnmビット = 1 ... 入力モードを指定

PMCnmビット = 任意

(7) ブルアップ抵抗オプション・レジスタ (PUn)

内蔵ブルアップ抵抗の接続を指定するレジスタです。

PUnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

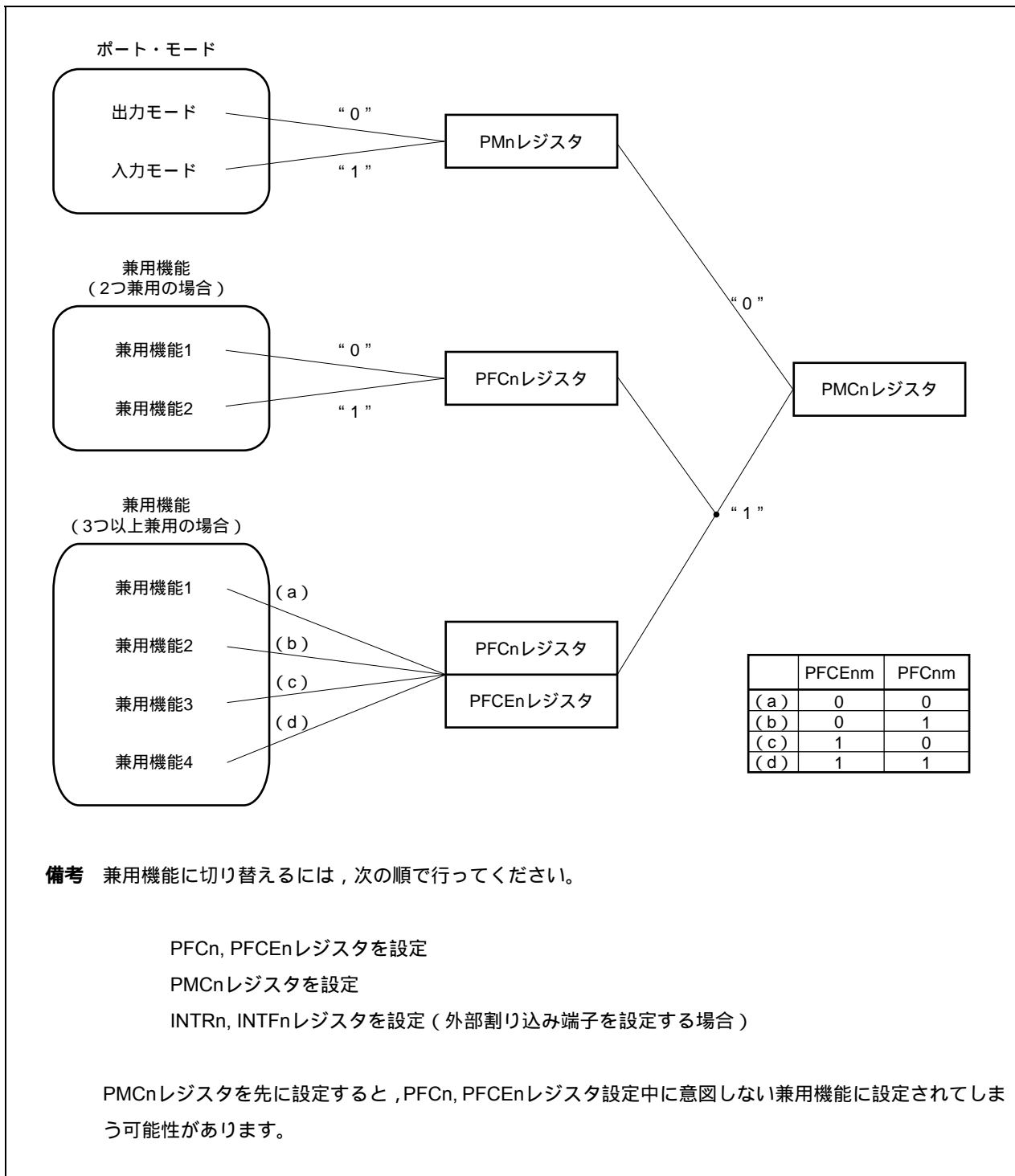
	7	6	5	4	3	2	1	0
PUn	PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0

PUnm	内蔵ブルアップ抵抗接続制御
0	接続しない
1	接続する

(8) ポートの設定

ポートの設定は、次のように設定してください。

図4 - 1 各レジスタの設定と端子の機能



## 4.3.1 ポート0

ポート0は1ビット単位で入出力を制御できる7ビットの入出力ポートです。

ポート0は、次に示す端子と兼用しています。

表4-4 ポート0の兼用端子

ピン番号	端子名	兼用端子名	入出力	PULL <sup>注1</sup>	備考	ブロック・タイプ
6	P00 <sup>注2</sup>	TOH0	出力	あり	-	D0-U
7	P01	TOH1	出力			D0-U
17	P02	NMI	入力		アナログ・ノイズ除去	D1-SUIL
18	P03	INTP0	入力			D1-SUIL
19	P04	INTP1	入力			D1-SUIL
20	P05 <sup>注3</sup>	INTP2	入力			D1-SUIL
	P05 <sup>注4</sup>	INTP2/DRST <sup>注5</sup>	入力			OD11-SUIL
21	P06	INTP3	入力		アナログ/デジタル・ノイズ除去	D1-SUIL

注1. ソフトウェア・プルアップ機能

2. リセット時にP00端子のみロウ・レベルを出力します（他のポートは入力モード）。

したがって、リセット時のP00端子からのロウ・レベル出力を、疑似的にCPUからのリセット信号として使用できます。

3.  $\mu$ PD70F3316, 70F3316Yのみ

4.  $\mu$ PD70F3318, 70F3318Yのみ

5. DRST端子はオンチップ・デバッグ用の端子です（ $\mu$ PD70F3318, 70F3318Yのみ）。

オンチップ・デバッグを使用しない場合、RESET端子によるリセット解除後から、OCDM.OCDM0ビットをクリア（0）するまで、P05/INTP2/DRST端子状態をロウ・レベルに固定してください。

詳細は4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。

**注意** P02-P06は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート0レジスタ (P0)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF400H

	7	6	5	4	3	2	1	0
P0	0	P06	P05 <sup>注</sup>	P04	P03	P02	P01	P00

P0n	出力データの制御 (出力モード時) (n = 0-6)
0	0を出力
1	1を出力

注  $\mu$ PD70F3318, 70F3318Yでは、リセット解除時のP05端子の処理に注意が必要です。  
 詳細は4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。

(2) ポート0モード・レジスタ (PM0)

リセット時：FEH R/W アドレス：FFFFFF420H

	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05 <sup>注</sup>	PM04	PM03	PM02	PM01	PM00

PM0n	入出力モードの制御 (n = 0-6)
0	出力モード
1	入力モード

注  $\mu$ PD70F3318, 70F3318Yでは、リセット解除時のP05端子の処理に注意が必要です。  
 詳細は4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。



(3) ポート0モード・コントロール・レジスタ (PMC0)

リセット時：00H R/W アドレス：FFFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	PMC06	PMC05注	PMC04	PMC03	PMC02	PMC01	PMC00
PMC06	P06端子の動作モードの指定							
0	入出力ポート							
1	INTP3入力							
PMC05	P05端子の動作モードの指定							
0	入出力ポート							
1	INTP2入力							
PMC04	P04端子の動作モードの指定							
0	入出力ポート							
1	INTP1入力							
PMC03	P03端子の動作モードの指定							
0	入出力ポート							
1	INTP0入力							
PMC02	P02端子の動作モードの指定							
0	入出力ポート							
1	NMI入力							
PMC01	P01端子の動作モードの指定							
0	入出力ポート							
1	TOH1出力							
PMC00	P00端子の動作モードの指定							
0	入出力ポート							
1	TOH0出力							

注  $\mu$ PD70F3318, 70F3318Yでは、リセット解除時のP05端子の処理に注意が必要です。  
 詳細は4. 6. 3 オンチップ・デバッグ用端子に関する注意事項を参照してください。

(4) プルアップ抵抗オプション・レジスタ0 (PU0)

リセット時：00H R/W アドレス：FFFFFC40H

	7	6	5	4	3	2	1	0
PU0	0	PU06	PU05注	PU04	PU03	PU02	PU01	PU00
PU0n	内蔵プルアップ抵抗接続制御 (n = 0-6)							
0	接続しない							
1	接続する							

注  $\mu$ PD70F3318, 70F3318Yでは、リセット解除時のP05端子の処理に注意が必要です。  
 詳細は4. 6. 3 オンチップ・デバッグ用端子に関する注意事項を参照してください。  
 OCDM.OCDMビット = 0 のときのみ有効になります。

### 4.3.2 ポート1

ポート1は1ビット単位で入出力を制御できる2ビット入出力ポートです。

ポート1は、次に示す端子と兼用しています。

表4 - 5 ポート1の兼用端子

ピン番号	端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	ブロック・タイプ
3	P10	ANO0	出力	あり	-	C-UA
4	P11	ANO1	出力			C-UA

注 ソフトウェア・プルアップ機能

## (1) ポート1レジスタ (P1)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF402H

	7	6	5	4	3	2	1	0
P1	0	0	0	0	0	0	P11	P10

P1n	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

## (2) ポート1モード・レジスタ (PM1)

注意 ANO0, ANO1端子として使用する場合は, 一括してFFHに設定してください。

リセット時 : FFH R/W アドレス : FFFFF422H

	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	1	PM11	PM10

PM1n	入出力モードの制御 (n = 0, 1)
0	出力モード
1	入力モード

## (3) プルアップ抵抗オプション・レジスタ1 (PU1)

リセット時 : 00H R/W アドレス : FFFFFC42H

	7	6	5	4	3	2	1	0
PU1	0	0	0	0	0	0	PU11	PU10

PU1n	内蔵プルアップ抵抗接続制御 (n = 0, 1)
0	接続しない
1	接続する

## 4.3.3 ポート3

ポート3は1ビット単位で入出力を制御できる10ビット入出力ポートです。

ポート3は、次に示す端子と兼用しています。

表4-6 ポート3の兼用端子

ピン番号	端子名	兼用端子名	入出力	PULL <sup>注1</sup>	備考	ブロック・タイプ
25	P30	TXD0/TO02	出力	あり	-	E00-U
26	P31	RXD0/INTP7/TO03	入出力			E10-SUIHL
27	P32	ASCK0/ADTRG/TO01	入出力			E10-SUL
28	P33	TI000/TO00/TIP00/TOP00	入出力			G1010-SUL
29	P34	TI001/TO00/TIP01/TOP01	入出力			G1010-SUL
30	P35	TI010/TO01	入出力			E10-SUL
31	P36	-	-	なし	N-chオープン・ドレイン出力	C-N
32	P37	-	-			C-N
35	P38	SDA0 <sup>注2</sup>	入出力			D2-SNFH
36	P39	SCL0 <sup>注2</sup>	入出力			D2-SNFH

注1. ソフトウェア・プルアップ機能

2.  $\mu$ PD70F3316Y, 70F3318Yのみ

注意 P31-35, P38, P39は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート3レジスタ (P3)

リセット時：00H (出力ラッチ) R/W アドレス：P3 FFFFF406H,  
P3L FFFFF406H, P3H FFFFF407H

P3 (P3H <sup>注</sup> )	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	P39	P38

(P3L)	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御 (出力モード時) (n = 0-9)
0	0を出力
1	1を出力

**注** P3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P3Hレジスタのビット0-7として指定してください。

**備考** P3レジスタは、16ビット単位でリード/ライト可能です。  
ただし、P3レジスタの上位8ビットをP3Hレジスタ、下位8ビットをP3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(2) ポート3モード・レジスタ (PM3)

リセット時：FFFFH R/W アドレス：PM3 FFFFF426H,  
PM3L FFFFF426H, PM3H FFFFF427H

PM3 (PM3H <sup>注</sup> )	15	14	13	12	11	10	9	8
	1	1	1	1	1	1	PM39	PM38

(PM3L)	7	6	5	4	3	2	1	0
	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (n = 0-9)
0	出力モード
1	入力モード

**注** PM3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM3Hレジスタのビット0-7として指定してください。

**備考** PM3レジスタは、16ビット単位でリード/ライト可能です。  
PM3レジスタの上位8ビットをPM3Hレジスタ、下位8ビットをPM3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(3) ポート3モード・コントロール・レジスタ (PMC3)

リセット時：0000H R/W アドレス：PMC3 FFFFF446H,  
PMC3L FFFFF446H, PMC3H FFFFF447H

15	14	13	12	11	10	9	8	
PMC3 (PMC3H <sup>注1</sup> )	0	0	0	0	0	PMC39 <sup>注2</sup>	PMC38 <sup>注2</sup>	
7	6	5	4	3	2	1	0	
(PMC3L)	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

PMC39	P39端子の動作モードの指定
0	入出力ポート
1	SCL0入出力

PMC38	P38端子の動作モードの指定
0	入出力ポート
1	SDA0入出力

PMC35	P35端子の動作モードの指定
0	入出力ポート
1	TI010入力/TO01出力

PMC34	P34端子の動作モードの指定
0	入出力ポート
1	TI001入力/TO00出力/TIP01入力/TOP01出力

PMC33	P33端子の動作モードの指定
0	入出力ポート
1	TI000入力/TO00出力/TIP00入力/TOP00出力

PMC32	P32端子の動作モードの指定
0	入出力ポート
1	ASCK0入力/ADTRG入力/TO01出力

PMC31	P31端子の動作モードの指定
0	入出力ポート
1	RXD0入力/INTP7入力/TO03出力

PMC30	P30端子の動作モードの指定
0	入出力ポート
1	TXD0出力/TO02出力

注1. PMC3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC3Hレジスタのビット0-7として指定してください。

2.  $\mu$ PD70F3316Y, 70F3318Yのみ有効です。それ以外は0に設定してください。

備考 PMC3レジスタは、16ビット単位でリード/ライト可能です。

ただし、PMC3レジスタの上位8ビットをPMC3Hレジスタ、下位8ビットをPMC3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(4) ポート3ファンクション・レジスタH (PF3H)

リセット時 : 00H R/W アドレス : FFFFC67H

	7	6	5	4	3	2	1	0
PF3H	0	0	0	0	0	0	PF39	PF38

PF3n	通常ポート / 兼用機能の指定 (n = 8, 9)
0	通常ポートとして使用時 (N-chオープン・ドレイン出力)
1	兼用機能として使用時 (N-chオープン・ドレイン出力)

**注意** P38, P39をN-chオープン・ドレインで兼用端子として使用する場合は次の順で設定してください。

**必ずポート・ラッチに1を設定後, N-chオープン・ドレインに設定してください。**

P3nビット = 1 PF3nビット = 1 PMC3nビット = 1

(5) ポート3ファンクション・コントロール・レジスタ (PFC3)

リセット時 : 00H R/W アドレス : FFFFF466H

	7	6	5	4	3	2	1	0
PFC3	0	0	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

**備考** 兼用端子の指定については4. 3. 3 (7) ポート3の兼用端子の指定を参照してください。

(6) ポート3ファンクション・コントロール拡張レジスタ (PFCE3)

リセット時 : 00H R/W アドレス : FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	0	0	0	PFCE34	PFCE33	0	0	0

**備考** 兼用端子の指定については4. 3. 3 (7) ポート3の兼用端子の指定を参照してください。

## (7) ポート3の兼用端子の指定

PFC35	P35端子の兼用端子の指定	
0	TI010	入力
1	TO01	出力

PFCE34	PFC34	P34端子の兼用端子の指定
0	0	TI001入力
0	1	TO00出力
1	0	TIP01入力
1	1	TOP01出力

PFCE33	PFC33	P33端子の兼用端子の指定
0	0	TI000入力
0	1	TO00出力
1	0	TIP00入力
1	1	TOP00出力

PFC32	P32端子の兼用端子の指定	
0	ASCK0/ADTRG <sup>注1</sup>	入力
1	TO01	出力

PFC31	P31端子の兼用端子の指定	
0	RXD0/INTP7 <sup>注2</sup>	入力
1	TO03	出力

PFC30	P30端子の兼用端子の指定	
0	TXD0	出力
1	TO02	出力

- 注1. ASCK0端子とADTRG端子は兼用となっています。ASCK0端子として使用する場合は、兼用しているADTRG端子のトリガ入力を無効にしてください(ADS.TRGビット=0,またはADS.ADTMDビット=1に設定)。また、ADTRG端子として使用する場合は、UART0の動作クロックを外部入力に設定しないでください(CKSR0.TPS03-TPS00ビット=1011以外に設定)。
2. INTP7端子とRXD0端子は兼用となっています。RXD0端子として使用する場合は、兼用しているINTP7端子のエッジ検出を無効にしてください(INTF3.INTF31ビット=0,INTR3.INTR31ビット=0に設定)。また、INTP7端子として使用する場合は、UART0を受信動作停止としてください(ASIM0.RXE0ビット=0に設定)。



(8) プルアップ抵抗オプション・レジスタ3 (PU3)

リセット時 : 00H R/W アドレス : FFFFFFFC46H

	7	6	5	4	3	2	1	0
PU3	0	0	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	内蔵プルアップ抵抗接続制御 (n = 0-5)
0	接続しない
1	接続する

### 4.3.4 ポート4

ポート4は1ビット単位で入出力を制御できる3ビット入出力ポートです。

ポート4は、次に示す端子と兼用しています。

表4-7 ポート4の兼用端子

ピン番号	端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	ブロック・タイプ
22	P40	SI00/RXD2	入力	あり	-	E11-SULH
23	P41	SO00/TXD2	出力		N-chオープン・ドレイン出力	E00-UF
24	P42	SCK00	入出力		選択可能	D2-SUFL

注 ソフトウェア・プルアップ機能

- 注意1. P40, P42は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。
2. V850ES/KJ1+は、P80端子にもRXD2端子機能を割り当てており、P40, P80端子を同時にRXD2端子として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40, P80端子を同時にRXD2端子として使用しないでください。

#### (1) ポート4レジスタ (P4)

リセット時：00H (出力ラッチ)    R/W    アドレス：FFFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	0	0	0	P42	P41	P40

P4n	出力データの制御 (出力モード時) (n = 0-2)
0	0を出力
1	1を出力

#### (2) ポート4モード・レジスタ (PM4)

リセット時：FFH    R/W    アドレス：FFFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40

PM4n	入出力モードの制御 (n = 0-2)
0	出力モード
1	入力モード

(3) ポート4モード・コントロール・レジスタ (PMC4)

リセット時 : 00H    R/W    アドレス : FFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

PMC42	P42端子の動作モードの指定	
0	入出力ポート	
1	SCK00入出力	

PMC41	P41端子の動作モードの指定	
0	入出力ポート	
1	SO00出力/TXD2出力	

PMC40	P40端子の動作モードの指定	
0	入出力ポート	
1	SI00入力/RXD2入力	

(4) ポート4ファンクション・コントロール・レジスタ (PFC4)

リセット時 : 00H    R/W    アドレス : FFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	0	PFC41	PFC40

PFC41	P41端子の兼用機能の指定	
0	SO00出力	
1	TXD2出力	

PFC40	P40端子の兼用機能の指定	
0	SI00入力	
1	RXD2入力	

## (5) ポート4ファンクション・レジスタ (PF4)

リセット時 : 00H R/W アドレス : FFFFFFFC68H

	7	6	5	4	3	2	1	0
PF4	0	0	0	0	0	PF42	PF41	0

PF4n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 1, 2)
0	通常出力
1	N-chオープン・ドレイン出力

**注意** P41, P42をN-chオープン・ドレインで兼用端子として使用する場合は次の順で設定してください。

必ずポート・ラッチに1を設定後, N-chオープン・ドレインに設定してください。

P4nビット = 1 PF4nビット = 1 PMC4nビット = 1

## (6) プルアップ抵抗オプション・レジスタ4 (PU4)

リセット時 : 00H R/W アドレス : FFFFFFFC48H

	7	6	5	4	3	2	1	0
PU4	0	0	0	0	0	PU42	PU41	PU40

PU4n	内蔵プルアップ抵抗接続制御 (n = 0-2)
0	接続しない
1	接続する

### 4.3.5 ポート5

ポート5は1ビット単位で入出力を制御できる6ビット入出力ポートです。

ポート5は、次に示す端子と兼用しています。

表4-8 ポート5の兼用端子

ピン番号	端子名	兼用端子名	入出力	PULL <sup>注1</sup>	備考	ブロック・タイプ	
37	P50	TI011/RTP00/KR0	入出力	あり	-	E10-SULT	
38	P51	TI50/RTP01/KR1	入出力			E10-SULT	
39	P52 <sup>注2</sup>	TO50/RTP02/KR2	入出力			E00-SUT	
	P52 <sup>注3</sup>	TO50/RTP02/KR2/DDI <sup>注4</sup>	入出力			OE001-SUT	
40	P53 <sup>注2</sup>	SIA0/RTP03/KR3	入出力			E10-SULT	
	P53 <sup>注3</sup>	SIA0/RTP03/KR3/DDO <sup>注4</sup>	入出力			OE100-SULT	
41	P54 <sup>注2</sup>	SOA0/RTP04/KR4	入出力			N-chオープン・ドレイン出力 選択可能	E00-SUFT
	P54 <sup>注3</sup>	SOA0/RTP04/KR4/DCK <sup>注4</sup>	入出力				OE001-SUFT
42	P55 <sup>注2</sup>	SCKA0/RTP05/KR5	入出力			E20-SUFLT	
	P55 <sup>注3</sup>	SCKA0/RTP05/KR5/DMS <sup>注4</sup>	入出力			OE201-SUFLT	

注1. ソフトウェア・プルアップ機能

2.  $\mu$  PD70F3316, 70F3316Yのみ

3.  $\mu$  PD70F3318, 70F3318Yのみ

4. DDI, DDO, DCK, DMS端子はオンチップ・デバッグ用の端子です ( $\mu$  PD70F3318, 70F3318Yのみ)。

オンチップ・デバッグを使用しない場合、RESET端子によるリセット解除後から、OCDM.OCDM0ビットをクリア(0)するまで、P05/INTP2/DRST端子状態をロウ・レベルに固定してください。

詳細は、4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。

#### (1) ポート5レジスタ (P5)

リセット時: 00H (出力ラッチ)    R/W    アドレス: FFFFF40AH								
	7	6	5	4	3	2	1	0
P5	0	0	P55	P54	P53	P52	P51	P50
P5n	出力データの制御 (出力モード時) (n = 0-5)							
0	0を出力							
1	1を出力							

#### (2) ポート5モード・レジスタ (PM5)

リセット時: FFH    R/W    アドレス: FFFFF42AH								
	7	6	5	4	3	2	1	0
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50
PM5n	入出力モードの制御 (n = 0-5)							
0	出力モード							
1	入力モード							

(3) ポート5モード・コントロール・レジスタ (PMC5)

リセット時 : 00H R/W アドレス : FFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50

PMC55	P55端子の動作モードの指定	
0	入出力ポート / KR5入力	
1	SCKA0入出力 / RTP05出力	

PMC54	P54端子の動作モードの指定	
0	入出力ポート / KR4入力	
1	SOA0出力 / RTP04出力	

PMC53	P53端子の動作モードの指定	
0	入出力ポート / KR3入力	
1	SIA0入力 / RTP03出力	

PMC52	P52端子の動作モードの指定	
0	入出力ポート / KR2入力	
1	TO50出力 / RTP02出力	

PMC51	P51端子の動作モードの指定	
0	入出力ポート / KR1入力	
1	TI50入力 / RTP01出力	

PMC50	P50端子の動作モードの指定	
0	入出力ポート / KR0入力	
1	TI011入力 / RTP00出力	

(4) ポート5ファンクション・レジスタ5 (PF5)

リセット時 : 00H R/W アドレス : FFFFC6AH

	7	6	5	4	3	2	1	0
PF5	0	0	PF55	PF54	0	0	0	0

PF5n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 4, 5)	
0	通常出力	
1	N-chオープン・ドレイン出力	

**注意1.** PF5レジスタのビット0-3, 6, 7には必ず0を設定してください。

2. P54, P55をN-chオープン・ドレインで兼用端子として使用する場合は次の順で設定してください。

**必ずポート・ラッチに1を設定後, N-chオープン・ドレインに設定してください。**

P5nビット = 1 PF5nビット = 1 PMC5nビット = 1

(5) ポート5ファンクション・コントロール・レジスタ (PFC5)

リセット時 : 00H R/W アドレス : FFFFF46AH

	7	6	5	4	3	2	1	0
PFC5	0	0	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50

PFC55	P55端子の兼用端子の指定	
0	SCKA0入出力	
1	RTP05出力	

PFC54	P54端子の兼用端子の指定	
0	SOA0出力	
1	RTP04出力	

PFC53	P53端子の兼用端子の指定	
0	SIA0入力	
1	RTP03出力	

PFC52	P52端子の兼用端子の指定	
0	TO50出力	
1	RTP02出力	

PFC51	P51端子の兼用端子の指定	
0	TI50入力	
1	RTP01出力	

PFC50	P50端子の兼用端子の指定	
0	TI011入力	
1	RTP00出力	

(6) プルアップ抵抗オプション・レジスタ5 (PU5)

リセット時 : 00H R/W アドレス : FFFFFC4AH

	7	6	5	4	3	2	1	0
PU5	0	0	PU55	PU54	PU53	PU52	PU51	PU50

PU5n	内蔵プルアップ抵抗接続制御 (n = 0-5)	
0	接続しない	
1	接続する	

## 4.3.6 ポート6

ポート6は1ビット単位で入出力を制御できる16ビットの入出力ポートです。

ポート6は、次に示す端子と兼用しています。

表4-9 ポート6の兼用端子

ピン番号	端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	ブロック・タイプ	
43	P60	RTP10	出力	あり	-	D0-U	
44	P61	RTP11	出力			D0-U	
45	P62	RTP12	出力			D0-U	
46	P63	RTP13	出力			D0-U	
47	P64	RTP14	出力			D0-U	
48	P65	RTP15	出力			D0-U	
49	P66	SI02	入力			D1-SUL	
50	P67	SO02	出力		N-chオープン・ドレイン出力	D0-UF	
51	P68	SCK02	入出力			D2-SUFL	
52	P69	TI040	入力		-	D1-SUL	
53	P610	TI041	入力			D1-SUL	
54	P611	TO04	出力			D0-U	
55	P612	TI050	入力			D1-SUL	
56	P613	TI051/TO05	入出力			E10-SUL	
57	P614	-	-			なし	C-N
58	P615	-	-				C-N

注 ソフトウェア・プルアップ機能

注意 P66, P68-P610, P612, P613は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。



(1) ポート6レジスタ (P6)

リセット時 : 00H (出力ラッチ) R/W アドレス : P6 FFFFF40CH,  
P6L FFFFF40CH, P6H FFFFF40DH

	15	14	13	12	11	10	9	8
P6 (P6H <sup>注</sup> )	P615	P614	P613	P612	P611	P610	P69	P68
	7	6	5	4	3	2	1	0
(P6L)	P67	P66	P65	P64	P63	P62	P61	P60

P6n	出力データの制御 (出力モード時) (n = 0-15)
0	0を出力
1	1を出力

**注** P6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P6Hレジスタのビット0-7として指定してください。

**備考** P6レジスタは、16ビット単位でリード/ライト可能です。  
ただし、P6レジスタの上位8ビットをP6Hレジスタ、下位8ビットをP6Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(2) ポート6モード・レジスタ (PM6)

リセット時 : FFFFH R/W アドレス : PM6 FFFFF42CH,  
PM6L FFFFF42CH, PM6H FFFFF42DH

	15	14	13	12	11	10	9	8
PM6 (PM6H <sup>注</sup> )	PM615	PM614	PM613	PM612	PM611	PM610	PM69	PM68
	7	6	5	4	3	2	1	0
(PM6L)	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60

PM6n	入出力モードの制御 (n = 0-15)
0	出力モード
1	入力モード

**注** PM6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM6Hレジスタのビット0-7として指定してください。

**備考** PM6レジスタは、16ビット単位でリード/ライト可能です。  
ただし、PM6レジスタの上位8ビットをPM6Hレジスタ、下位8ビットをPM6Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(3) ポート6モード・コントロール・レジスタ (PMC6)

リセット時：0000H R/W アドレス：PMC6 FFFFF44CH,  
PMC6L FFFFF44CH, PMC6H FFFFF44DH

	15	14	13	12	11	10	9	8
PMC6 (PMC6H <sup>注</sup> )	0	0	PMC613	PMC612	PMC611	PMC610	PMC69	PMC68
	7	6	5	4	3	2	1	0
(PMC6L)	PMC67	PMC66	PMC65	PMC64	PMC63	PMC62	PMC61	PMC60

PMC613	P613端子の動作モードの指定	
0	入出力ポート	
1	TI051入力/TO05出力	

PMC612	P612端子の動作モードの指定	
0	入出力ポート	
1	TI050入力	

PMC611	P611端子の動作モードの指定	
0	入出力ポート	
1	TO04出力	

PMC610	P610端子の動作モードの指定	
0	入出力ポート	
1	TI041入力	

PMC69	P69端子の動作モードの指定	
0	入出力ポート	
1	TI040入力	

PMC68	P68端子の動作モードの指定	
0	入出力ポート	
1	SCK02入出力	

PMC67	P67端子の動作モードの指定	
0	入出力ポート	
1	SO02出力	

PMC66	P66端子の動作モードの指定	
0	入出力ポート	
1	SI02入力	

PMC6n	P6n端子の動作モードの指定 (n = 0-5)	
0	入出力ポート	
1	RTP1n出力	

**注** PMC6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC6Hレジスタのビット0-7として指定してください。

**備考** PMC6レジスタは、16ビット単位でリード/ライト可能です。  
ただし、PMC6レジスタの上位8ビットをPMC6Hレジスタ、下位8ビットをPMC6Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(4) ポート6ファンクション・レジスタ (PF6)

リセット時 : 0000H R/W アドレス : PF6 FFFFFFFC6CH,  
PF6L FFFFFFFC6CH, PF6H FFFFFFFC6DH

	15	14	13	12	11	10	9	8
PF6 (PF6H <sup>注</sup> )	0	0	0	0	0	0	0	PF68

	7	6	5	4	3	2	1	0
(PF6L)	PF67	0	0	0	0	0	0	0

PF6n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 7, 8)
0	通常出力
1	N-chオープン・ドレイン出力

**注** PF6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PF6Hレジスタのビット0-7として指定してください。

**注意** PF6レジスタのビット0-6, 9-15には必ず0を設定してください。

**備考** PF6レジスタは、16ビット単位でリード/ライト可能です。  
ただし、PF6レジスタの上位8ビットをPF6Hレジスタ、下位8ビットをPF6Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(5) ポート6ファンクション・コントロール・レジスタ (PFC6H)

リセット時 : 00H R/W アドレス : FFFFFFF46DH

	7	6	5	4	3	2	1	0
PFC6H	0	0	PFC613	0	0	0	0	0

PFC613	P613端子の兼用端子の指定
0	TI051入力
1	TO05出力

(6) プルアップ抵抗オプション・レジスタ6 (PU6)

リセット時 : 0000H R/W アドレス : PU6 FFFFC4CH,  
PU6L FFFFC4CH, PU6H FFFFC4DH

	15	14	13	12	11	10	9	8
PU6 (PU6H <sup>注</sup> )	0	0	PU613	PU612	PU611	PU610	PU69	PU68

	7	6	5	4	3	2	1	0
(PU6L)	PU67	PU66	PU65	PU64	PU63	PU62	PU61	PU60

PU6n	内蔵プルアップ抵抗接続制御 (n = 0-13)
0	接続しない
1	接続する

**注** PU6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PU6Hレジスタのビット0-7として指定してください。

**備考** PU6レジスタは、16ビット単位でリード/ライト可能です。  
ただし、PU6レジスタの上位8ビットをPU6Hレジスタ、下位8ビットをPU6Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

## 4.3.7 ポート7

ポート7は、全端子が入力に固定の16ビット入力専用ポートです。

ポート7は、次に示す端子と兼用しています。

表4 - 10 ポート7の兼用端子

ピン番号	端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	ブロック・タイプ
144	P70	ANI0	入力	なし	-	A-A
143	P71	ANI1	入力			A-A
142	P72	ANI2	入力			A-A
141	P73	ANI3	入力			A-A
140	P74	ANI4	入力			A-A
139	P75	ANI5	入力			A-A
138	P76	ANI6	入力			A-A
137	P77	ANI7	入力			A-A
136	P78	ANI8	入力			A-A
135	P79	ANI9	入力			A-A
134	P710	ANI10	入力			A-A
133	P711	ANI11	入力			A-A
132	P712	ANI12	入力			A-A
131	P713	ANI13	入力			A-A
130	P714	ANI14	入力			A-A
129	P715	ANI15	入力			A-A

注 ソフトウェア・プルアップ機能

## (1) ポート7レジスタ (P7)

リセット時：不定 R アドレス：P7 FFFFF40EH  
P7L FFFFF40EH, P7H FFFFF40FH

	15	14	13	12	11	10	9	8
P7 (P7H <sup>注</sup> )	P715	P714	P713	P712	P711	P710	P79	P78
	7	6	5	4	3	2	1	0
(P7L)	P77	P76	P75	P74	P73	P72	P71	P70
	P7n	入力データの読み出し(n = 0-15)						
	0	ロウ・レベルを入力						
	1	ハイ・レベルを入力						

**注** P7レジスタのビット8-15を8/1ビット単位でリードする場合は、P7Hレジスタのビット0-7として指定してください。

**備考** P7レジスタは16ビット単位でリードのみ可能です。

ただし、P7レジスタの上位8ビットをP7Hレジスタ、下位8ビットをP7Lレジスタとして使用する場合は、8ビット単位でリードのみ可能です。

### 4.3.8 ポート8

ポート8は1ビット単位で入出力を制御できる2ビット入出力ポートです。

ポート8は、次に示す端子と兼用しています。

表4 - 11 ポート8の兼用端子

ピン番号	端子名	兼用端子名	入出力	PULL <sup>注1</sup>	備考	ブロック・タイプ
59	P80	RXD2/SDA1 <sup>注2</sup>	入出力	あり	N-chオープン・ドレイン出力 選択可能	E12-SUFHH
60	P81	TXD2/SCL1 <sup>注2</sup>	入出力			E02-SUFH

注1. ソフトウェア・プルアップ機能

2.  $\mu$ PD70F3316Y, 70F3318Yのみ

注意1. P80, P81は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時には、ヒステリシス特性を持ちません。

2. V850ES/KJ1+は、P40端子にもRXD2端子機能を割り当てており、P40, P80端子を同時にRXD2端子として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40, P80端子を同時にRXD2端子として使用しないでください。

#### (1) ポート8レジスタ (P8)

リセット時：00H (出力ラッチ)    R/W    アドレス：FFFFFF410H

	7	6	5	4	3	2	1	0
P8	0	0	0	0	0	0	P81	P80

P8n	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

#### (2) ポート8モード・レジスタ (PM8)

リセット時：FFH    R/W    アドレス：FFFFFF430H

	7	6	5	4	3	2	1	0
PM8	1	1	1	1	1	1	PM81	PM80

PM8n	入出力モードの制御 (n = 0, 1)
0	出力モード
1	入力モード

(3) ポート8モード・コントロール・レジスタ (PMC8)

リセット時 : 00H R/W アドレス : FFFFF450H

	7	6	5	4	3	2	1	0
PMC8	0	0	0	0	0	0	PMC81	PMC80

PMC81	P81端子の動作モードの指定
0	入出力ポート
1	TXD2出力/SCL1 <sup>注</sup> 入出力

PMC80	P80端子の動作モードの指定
0	入出力ポート
1	RXD2入力/SDA1 <sup>注</sup> 入出力

注  $\mu$  PD70F3316Y, 70F3318Yのみ

(4) ポート8ファンクション・レジスタ (PF8)

リセット時 : 00H R/W アドレス : FFFFFC70H

	7	6	5	4	3	2	1	0
PF8	0	0	0	0	0	0	PF81	PF80

PF8n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 0, 1)
0	通常出力
1	N-chオープン・ドレイン出力

注意 P80, P81をN-chオープン・ドレインで兼用端子として使用する場合は次の順で設定してください。

必ずポート・ラッチに1を設定後, N-chオープン・ドレインに設定してください。

P8nビット = 1 PFC8nビット = 0/1 PF8nビット = 1 PMC8nビット = 1



(5) ポート8ファンクション・コントロール・レジスタ (PFC8)

リセット時 : 00H R/W アドレス : FFFFF470H

	7	6	5	4	3	2	1	0
PFC8	0	0	0	0	0	0	PFC81	PFC80

PFC81	P81端子の兼用端子の指定
0	TXD2出力
1	SCL1 <sup>注</sup> 入出力

PFC80	P80端子の兼用端子の指定
0	RXD2入力
1	SDA1 <sup>注</sup> 入出力

注  $\mu$ PD70F3316Y, 70F3318Yのみ, それ以外は0に設定してください。

(6) プルアップ抵抗オプション・レジスタ8 (PU8)

リセット時 : 00H R/W アドレス : FFFFFC50H

	7	6	5	4	3	2	1	0
PU8	0	0	0	0	0	0	PU81	PU80

PU8n	内蔵プルアップ抵抗接続制御 (n = 0, 1)
0	接続しない
1	接続する

### 4.3.9 ポート9

ポート9は1ビット単位で入出力を制御できる16ビット入出力ポートです。

ポート9は、次に示す端子と兼用しています。

表4 - 12 ポート9の兼用端子

ピン番号	端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	ブロック・タイプ
61	P90	A0/TXD1/KR6	入出力	あり	-	E00-SUTZ
62	P91	A1/RXD1/KR7	入出力			E01-SUHTZ
63	P92	A2/TI020/TO02	入出力			E00-SUTZ
64	P93	A3/TI021	入出力			E01-SULZ
65	P94	A4/TI030/TO03	入出力			E00-SUTZ
66	P95	A5/TI031	入出力			E01-SULZ
67	P96	A6/TI51/TO51	入出力			E00-SUTZ
68	P97	A7/SI01	入出力			E01-SULZ
69	P98	A8/SO01	出力		N-chオープン・ドレイン出力 選択可能	E00-UFZ
70	P99	A9/SCK01	入出力			E02-SUFLZ
71	P910	A10/SIA1	入出力		-	E01-SULZ
72	P911	A11/SOA1	出力		N-chオープン・ドレイン出力 選択可能	E00-UFZ
73	P912	A12/SCKA1	入出力			E02-SUFLZ
74	P913	A13/INTP4	入出力		アナログ・ノイズ除去	E01-SUILZ
75	P914	A14/INTP5	入出力			E01-SUILZ
76	P915	A15/INTP6	入出力			E01-SUILZ

注 ソフトウェア・プルアップ機能

注意 P93, P95, P97, P99, P910, P912-P915は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート9レジスタ (P9)

リセット時 : 0000H (出力ラッチ) R/W アドレス : P9 FFFFF412H,  
P9L FFFFF412H, P9H FFFFF413H

	15	14	13	12	11	10	9	8
P9 (P9H <sup>注</sup> )	P915	P914	P913	P912	P911	P910	P99	P98
	7	6	5	4	3	2	1	0
(P9L)	P97	P96	P95	P94	P93	P92	P91	P90
P9n	出力データの制御 (出力モード時) (n = 0-15)							
0	0を出力							
1	1を出力							

**注** P9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P9Hレジスタのビット0-7として指定してください。

**備考** P9レジスタは、16ビット単位でリード/ライト可能です。  
ただし、P9レジスタの上位8ビットをP9Hレジスタ、下位8ビットをP9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(2) ポート9モード・レジスタ (PM9)

リセット時 : FFFFH R/W アドレス : PM9 FFFFF432H,  
PM9L FFFFF432H, PM9H FFFFF433H

	15	14	13	12	11	10	9	8
PM9 (PM9H <sup>注</sup> )	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98
	7	6	5	4	3	2	1	0
(PM9L)	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90
PM9n	入出力モードの制御 (n = 0-15)							
0	出力モード							
1	入力モード							

**注** PM9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM9Hレジスタのビット0-7として指定してください。

**備考** PM9レジスタは、16ビット単位でリード/ライト可能です。  
ただし、PM9レジスタの上位8ビットをPM9Hレジスタ、下位8ビットをPM9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(3) ポート9モード・コントロール・レジスタ (PMC9)

**注意** A0-A15端子として使用する場合は、一括してFFFFHと16ビット設定してください。

( 1/2 )

リセット時：0000H R/W アドレス：PMC9 FFFFF452H,  
PMC9L FFFFF452H, PMC9H FFFFF453H

	15	14	13	12	11	10	9	8
PMC9 (PMC9H <sup>注</sup> )	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
(PMC9L)	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

PMC915	P915端子の動作モードの指定	
0	入出力ポート	
1	A15出力/INTP6入力	

PMC914	P914端子の動作モードの指定	
0	入出力ポート	
1	A14出力/INTP5入力	

PMC913	P913端子の動作モードの指定	
0	入出力ポート	
1	A13出力/INTP4入力	

PMC912	P912端子の動作モードの指定	
0	入出力ポート	
1	A12出力/ $\overline{\text{SCKA1}}$ 入出力	

PMC911	P911端子の動作モードの指定	
0	入出力ポート	
1	A11出力/SOA1出力	

PMC910	P910端子の動作モードの指定	
0	入出力ポート	
1	A10出力/SIA1入力	

PMC99	P99端子の動作モードの指定	
0	入出力ポート	
1	A9出力/ $\overline{\text{SCK01}}$ 入出力	

PMC98	P98端子の動作モードの指定	
0	入出力ポート	
1	A8出力/SO01出力	

**注** PMC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC9Hレジスタのビット0-7として指定してください。

**備考** PMC9レジスタは、16ビット単位でリード/ライト可能です。  
ただし、PMC9レジスタの上位8ビットをPMC9Hレジスタ、下位8ビットをPMC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

PMC97	P97端子の動作モードの指定	
0	入出力ポート	
1	A7出力/SI01入力	
PMC96	P96端子の動作モードの指定	
0	入出力ポート/TI51	
1	A6出力/TO51出力	
PMC95	P95端子の動作モードの指定	
0	入出力ポート	
1	A5出力/TI031入力	
PMC94	P94端子の動作モードの指定	
0	入出力ポート/TI030入力	
1	A4出力/TO03出力	
PMC93	P93端子の動作モードの指定	
0	入出力ポート	
1	A3出力/TI021入力	
PMC92	P92端子の動作モードの指定	
0	入出力ポート/TI020入力	
1	A2出力/TO02出力	
PMC91	P91端子の動作モードの指定	
0	入出力ポート/KR7入力	
1	A1出力/RXD1入力	
PMC90	P90端子の動作モードの指定	
0	入出力ポート/KR6入力	
1	A0出力/TXD1出力	

(4) ポート9ファンクション・レジスタH (PF9H)

リセット時 : 00H    R/W    アドレス : FFFFC73H

	7	6	5	4	3	2	1	0
PF9H	0	0	0	PF912	PF911	0	PF99	PF98

PF9n	通常出力/N-chオープン・ドレイン出力の制御 (n = 8, 9, 11, 12)
0	通常出力
1	N-chオープン・ドレイン出力

**注意** P98, P99, P911, P912をN-chオープン・ドレインで兼用端子として使用する場合は次の順で設定してください。

**必ずポート・ラッチに1を設定後, N-chオープン・ドレインに設定してください。**

P9nビット = 1    PFC9nビット = 0/1    PF9nビット = 1    PMC9nビット = 1

(5) ポート9ファンクション・コントロール・レジスタ (PFC9)

注意 A0-A15端子として使用する場合は、一括して0000Hと16ビット設定してください。

( 1/2 )

リセット時：0000H R/W アドレス：PFC9 FFFFF472H,  
PFC9L FFFFF472H, PFC9H FFFFF473H

	15	14	13	12	11	10	9	8
PFC9 (PFC9H <sup>注</sup> )	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
(PFC9L)	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

PFC915	P915端子の兼用端子の指定
0	A15出力
1	INTP6入力

PFC914	P914端子の兼用端子の指定
0	A14出力
1	INTP5入力

PFC913	P913端子の兼用端子の指定
0	A13出力
1	INTP4入力

PFC912	P912端子の兼用端子の指定
0	A12出力
1	SCKA1入出力

PFC911	P911端子の兼用端子の指定
0	A11出力
1	SOA1出力

PFC910	P910端子の兼用端子の指定
0	A10出力
1	SIA1入力

PFC99	P99端子の兼用端子の指定
0	A9出力
1	SCK01入出力

PFC98	P98端子の兼用端子の指定
0	A8出力
1	SO01出力

注 PFC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFC9Hレジスタのビット0-7として指定してください。

備考 PFC9レジスタは、16ビット単位でリード/ライト可能です。

ただし、PFC9レジスタの上位8ビットをPFC9Hレジスタ、下位8ビットをPFC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

PFC97	P97端子の兼用端子の指定
0	A7出力
1	SI01入力

PFC96	P96端子の兼用端子の指定
0	A6出力
1	TO51出力

PFC95	P95端子の兼用端子の指定
0	A5出力
1	TI031入力

PFC94	P94端子の兼用端子の指定
0	A4出力
1	TO03出力

PFC93	P93端子の兼用端子の指定
0	A3出力
1	TI021入力

PFC92	P92端子の兼用端子の指定
0	A2出力
1	TO02出力

PFC91	P91端子の兼用端子の指定
0	A1出力
1	RXD1入力

PFC90	P90端子の兼用端子の指定
0	A0出力
1	TXD1出力

(6) プルアップ抵抗オプション・レジスタ9 (PU9)

リセット時 : 0000H    R/W    アドレス : PU9 FFFFFFFC52H,  
 PU9L FFFFFFFC52H, PU9H FFFFFFFC53H

	15	14	13	12	11	10	9	8
PU9 (PU9H <sup>注</sup> )	PU915	PU914	PU913	PU912	PU911	PU910	PU99	PU98

	7	6	5	4	3	2	1	0
(PU9L)	PU97	PU96	PU95	PU94	PU93	PU92	PU91	PU90

PU9n	内蔵プルアップ抵抗接続制御 (n = 0-15)
0	接続しない
1	接続する

**注** PU9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PU9Hレジスタのビット0-7として指定してください。

**備考** PU9レジスタは、16ビット単位でリード/ライト可能です。  
 ただし、PU9レジスタの上位8ビットをPU9Hレジスタ、下位8ビットをPU9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。



## 4.3.10 ポートCD

ポートCDは1ビット単位で入出力を制御できる4ビット入出力ポートです。

ポートCDは、兼用端子はありません。

表4 - 13 ポートCDの兼用端子

ピン番号	端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	ブロック・タイプ
77	PCD0	-	-	あり	-	C-U
78	PCD1	-	-			C-U
79	PCD2	-	-			C-U
80	PCD3	-	-			C-U

注 ソフトウェア・プルアップ機能

(1) ポートCDレジスタ (PCD)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF00EH

	7	6	5	4	3	2	1	0
PCD	0	0	0	0	PCD3	PCD2	PCD1	PCD0

PCDn	出力データの制御 (出力モード時) (n = 0-3)
0	0を出力
1	1を出力

(2) ポートCDモード・レジスタ (PMCD)

リセット時：FFH R/W アドレス：FFFFFF02EH

	7	6	5	4	3	2	1	0
PMCD	1	1	1	1	PMCD3	PMCD2	PMCD1	PMCD0

PMCDn	入出力モードの制御 (n = 0-3)
0	出力モード
1	入力モード

(3) ブルアップ抵抗オプション・レジスタCD (PUCD)

リセット時：00H R/W アドレス：FFFFFF4EH

	7	6	5	4	3	2	1	0
PUCD	0	0	0	0	PUCD3	PUCD2	PUCD1	PUCD0

PUCDn	内蔵ブルアップ抵抗接続制御 (n = 0-3)
0	接続しない
1	接続する

### 4.3.11 ポートCM

ポートCMは1ビット単位で入出力を制御できる6ビット入出力ポートです。

ポートCMは、次に示す端子と兼用しています。

表4 - 14 ポートCMの兼用端子

ピン番号	端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	ブロック・タイプ
85	PCM0	WAIT	入力	あり	-	D1-UH
86	PCM1	CLKOUT	出力			D0-U
87	PCM2	HLD $\overline{\text{AK}}$	出力			D0-U
88	PCM3	H $\overline{\text{LDRQ}}$	入力			D1-UH
89	PCM4	-	-			C-U
90	PCM5	-	-			C-U

注 ソフトウェア・ブルアップ機能

#### (1) ポートCMレジスタ (PCM)

リセット時：00H (出力ラッチ)    R/W    アドレス：FFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	PCM5	PCM4	PCM3	PCM2	PCM1	PCM0

PCMn	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

#### (2) ポートCMモード・レジスタ (PMCM)

リセット時：FFH    R/W    アドレス：FFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	PMCM5	PMCM4	PMCM3	PMCM2	PMCM1	PMCM0

PMCMn	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(3) ポートCMモード・コントロール・レジスタ (PMCCM)

リセット時：00H R/W アドレス：FFFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	PMCCM3	PMCCM2	PMCCM1	PMCCM0

PMCCM3	PCM3端子の動作モードの指定	
0	入出力ポート	
1	HLDRQ入力	

PMCCM2	PCM2端子の動作モードの指定	
0	入出力ポート	
1	HLDAK出力	

PMCCM1	PCM1端子の動作モードの指定	
0	入出力ポート	
1	CLKOUT出力	

PMCCM0	PCM0端子の動作モードの指定	
0	入出力ポート	
1	WAIT入力	

(4) プルアップ抵抗オプション・レジスタCM (PUCM)

リセット時：00H R/W アドレス：FFFFFFF4CH

	7	6	5	4	3	2	1	0
PUCM	0	0	PUCM5	PUCM4	PUCM3	PUCM2	PUCM1	PUCM0

PUCMn	内蔵プルアップ抵抗接続制御 (n = 0-5)	
0	接続しない	
1	接続する	

### 4.3.12 ポートCS

ポートCSは1ビット単位で入出力を制御できる8ビット入出力ポートです。

ポートCSは、次に示す端子と兼用しています。

表4 - 15 ポートCSの兼用端子

ピン番号	端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	ブロック・タイプ
81	PCS0	$\overline{CS0}$	出力	あり	-	D0-UZ
82	PCS1	$\overline{CS1}$	出力			D0-UZ
83	PCS2	$\overline{CS2}$	出力			D0-UZ
84	PCS3	$\overline{CS3}$	出力			D0-UZ
91	PCS4	-	-			C-U
92	PCS5	-	-			C-U
93	PCS6	-	-			C-U
94	PCS7	-	-			C-U

注 ソフトウェア・プルアップ機能

#### (1) ポートCSレジスタ (PCS)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF008H

	7	6	5	4	3	2	1	0
PCS	PCS7	PCS6	PCS5	PCS4	PCS3	PCS2	PCS1	PCS0

PCS <sub>n</sub>	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

#### (2) ポートCSモード・レジスタ (PMCS)

リセット時：FFH R/W アドレス：FFFFFF028H

	7	6	5	4	3	2	1	0
PMCS	PMCS7	PMCS6	PMCS5	PMCS4	PMCS3	PMCS2	PMCS1	PMCS0

PMCS <sub>n</sub>	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(3) ポートCSモード・コントロール・レジスタ (PMCCS)

リセット時 : 00H R/W アドレス : FFFFF048H

	7	6	5	4	3	2	1	0
PMCCS	0	0	0	0	PMCCS3	PMCCS2	PMCCS1	PMCCS0

PMCCSn	PCSn端子の動作モードの指定 (n = 0-3)
0	入出力ポート
1	CSn出力

(4) プルアップ抵抗オプション・レジスタCS (PUCS)

リセット時 : 00H R/W アドレス : FFFFFFF48H

	7	6	5	4	3	2	1	0
PUCS	PUCS7	PUCS6	PUCS5	PUCS4	PUCS3	PUCS2	PUCS1	PUCS0

PUCSn	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

### 4.3.13 ポートCT

ポートCTは1ビット単位で入出力を制御できる8ビット入出力ポートです。

表4 - 16 ポートCTの兼用端子

ピン番号	端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	ブロック・タイプ
95	PCT0	$\overline{WR0}$	出力	あり	-	D0-UZ
96	PCT1	$\overline{WR1}$	出力			D0-UZ
97	PCT2	-	-			C-U
98	PCT3	-	-			C-U
99	PCT4	$\overline{RD}$	出力			D0-UZ
100	PCT5	-	-			C-U
101	PCT6	ASTB	出力			D0-UZ
102	PCT7	-	-			C-U

注 ソフトウェア・プルアップ機能

#### (1) ポートCTレジスタ (PCT)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF0AH

	7	6	5	4	3	2	1	0
PCT	PCT7	PCT6	PCT5	PCT4	PCT3	PCT2	PCT1	PCT0

PCTn	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

#### (2) ポートCTモード・レジスタ (PMCT)

リセット時：FFH R/W アドレス：FFFFFF02AH

	7	6	5	4	3	2	1	0
PMCT	PMCT7	PMCT6	PMCT5	PMCT4	PMCT3	PMCT2	PMCT1	PMCT0

PMCTn	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(3) ポートCTモード・コントロール・レジスタ (PMCCT)

リセット時：00H R/W アドレス：FFFFFF04AH

	7	6	5	4	3	2	1	0
PMCCT	0	PMCCT6	0	PMCCT4	0	0	PMCCT1	PMCCT0

PMCCT6	PCT6端子の動作モードの指定
0	入出力ポート
1	ASTB出力

PMCCT4	PCT4端子の動作モードの指定
0	入出力ポート
1	$\overline{RD}$ 出力

PMCCT1	PCT1端子の動作モードの指定
0	入出力ポート
1	$\overline{WR1}$ 出力

PMCCT0	PCT0端子の動作モードの指定
0	入出力ポート
1	$\overline{WR0}$ 出力

(4) プルアップ抵抗オプション・レジスタCT (PUCT)

リセット時：00H R/W アドレス：FFFFFF4AH

	7	6	5	4	3	2	1	0
PUCT	PUCT7	PUCT6	PUCT5	PUCT4	PUCT3	PUCT2	PUCT1	PUCT0

PUCTn	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する



### 4.3.14 ポートDH

ポートDHは1ビット単位で入出力を制御できる8ビット入出力ポートです。

ポートDHは、次に示す端子と兼用しています。

表4 - 17 ポートDHの兼用端子

ピン番号	端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	ブロック・タイプ
121	PDH0	A16	出力	あり	-	D0-UZ
122	PDH1	A17	出力			D0-UZ
123	PDH2	A18	出力			D0-UZ
124	PDH3	A19	出力			D0-UZ
125	PDH4	A20	出力			D0-UZ
126	PDH5	A21	出力			D0-UZ
127	PDH6	A22	出力			D0-UZ
128	PDH7	A23	出力			D0-UZ

注 ソフトウェア・プルアップ機能

#### (1) ポートDHレジスタ (PDH)

リセット時：00H (出力ラッチ)    R/W    アドレス：FFFF006H

	7	6	5	4	3	2	1	0
PDH	PDH7	PDH6	PDH5	PDH4	PDH3	PDH2	PDH1	PDH0

PDHn	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

#### (2) ポートDHモード・レジスタ (PMDH)

リセット時：FFH    R/W    アドレス：FFFF026H

	7	6	5	4	3	2	1	0
PMDH	PMDH7	PMDH6	PMDH5	PMDH4	PMDH3	PMDH2	PMDH1	PMDH0

PMDHn	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(3) ポートDHモード・コントロール・レジスタ (PMCDH)

リセット時：00H R/W アドレス：FFFFFF046H

	7	6	5	4	3	2	1	0
PMCDH	PMCDH7	PMCDH6	PMCDH5	PMCDH4	PMCDH3	PMCDH2	PMCDH1	PMCDH0
PMCDHn	PDHn端子の動作モードの指定 (n = 0-7)							
0	入出力ポート							
1	Am出力 (アドレス・バス出力) (m = 16-23)							

**注意** 1ビットごとにポート/兼用機能を指定する場合は、兼用機能の動作について十分注意してください。

(4) プルアップ抵抗オプション・レジスタDH (PUDH)

リセット時：00H R/W アドレス：FFFFFF46H

	7	6	5	4	3	2	1	0
PUDH	PUDH7	PUDH6	PUDH5	PUDH4	PUDH3	PUDH2	PUDH1	PUDH0
PUDHn	内蔵プルアップ抵抗接続制御 (n = 0-7)							
0	接続しない							
1	接続する							

## 4.3.15 ポートDL

ポートDLは1ビット単位で入出力を制御できる16ビット入出力ポートです。

ポートDLは、次に示す端子と兼用しています。

表4 - 18 ポートDLの兼用端子

ピン番号	端子名	兼用端子名	入出力	PULL <sup>注</sup>	備考	ブロック・タイプ
105	PDL0	AD0	入出力	あり	-	D2-ULZ
106	PDL1	AD1	入出力			D2-ULZ
107	PDL2	AD2	入出力			D2-ULZ
108	PDL3	AD3	入出力			D2-ULZ
109	PDL4	AD4	入出力			D2-ULZ
110	PDL5	AD5	入出力			D2-ULZ
111	PDL6	AD6	入出力			D2-ULZ
112	PDL7	AD7	入出力			D2-ULZ
113	PDL8	AD8	入出力			D2-ULZ
114	PDL9	AD9	入出力			D2-ULZ
115	PDL10	AD10	入出力			D2-ULZ
116	PDL11	AD11	入出力			D2-ULZ
117	PDL12	AD12	入出力			D2-ULZ
118	PDL13	AD13	入出力			D2-ULZ
119	PDL14	AD14	入出力			D2-ULZ
120	PDL15	AD15	入出力			D2-ULZ

注 ソフトウェア・プルアップ機能

(1) ポートDLレジスタ (PDL)

リセット時：00H (出力ラッチ) R/W アドレス：PDL FFFF004H,  
PDL FFFF005H, PDLH FFFF004H, PDLH FFFF005H

	15	14	13	12	11	10	9	8
PDL (PDLH <sup>注</sup> )	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8
	7	6	5	4	3	2	1	0
(PDLL)	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0
PDLn	出力データの制御 (出力モード時) (n = 0-15)							
0	0を出力							
1	1を出力							

**注** PDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PDLHレジスタのビット0-7として指定してください。

**備考** PDLレジスタは、16ビット単位でリード/ライト可能です。  
ただし、PDLレジスタの上位8ビットをPDLHレジスタ、下位8ビットをPDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(2) ポートDLモード・レジスタ (PMDL)

リセット時：FFFFH R/W アドレス：PMDL FFFF024H,  
PMDL FFFF025H, PMDLH FFFF024H, PMDLH FFFF025H

	15	14	13	12	11	10	9	8
PMDL (PMDLH <sup>注</sup> )	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8
	7	6	5	4	3	2	1	0
(PMDLL)	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0
PMDLn	入出力モードの制御 (n = 0-15)							
0	出力モード							
1	入力モード							

**注** PMDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMDLHレジスタのビット0-7として指定してください。

**備考** PMDLレジスタは、16ビット単位でリード/ライト可能です。  
ただし、PMDLレジスタの上位8ビットをPMDLHレジスタ、下位8ビットをPMDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(3) ポートDLモード・コントロール・レジスタ (PMCDL)

リセット時：0000H R/W アドレス：PMCDL FFFFF044H,  
PMCDLL FFFFF044H, PMCDLH FFFFF045H

	15	14	13	12	11	10	9	8
PMCDL (PMCDLH <sup>注</sup> )	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8
	7	6	5	4	3	2	1	0
(PMCDLL)	PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0
PMCDLn	PDLn端子の動作モードの指定 (n = 0-15)							
0	入出力ポート							
1	ADn入出力 (アドレス/データ・バス入出力)							

**注** PMCDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMCDLHレジスタのビット0-7として指定してください。

**注意** 1ビットごとにポート/兼用機能を指定する場合は、兼用機能の動作について十分注意してください。

**備考** PMCDLレジスタは、16ビット単位でリード/ライト可能です。  
ただし、PMCDLレジスタの上位8ビットをPMCDLHレジスタ、下位8ビットをPMCDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(4) プルアップ抵抗オプション・レジスタDL (PUDL)

リセット時：0000H R/W アドレス：PUDL FFFFFFF44H,  
PUDLL FFFFFFF44H, PUDLH FFFFFFF45H

	15	14	13	12	11	10	9	8
PUDL (PUDLH <sup>注</sup> )	PUDL15	PUDL14	PUDL13	PUDL12	PUDL11	PUDL10	PUDL9	PUDL8
	7	6	5	4	3	2	1	0
(PUDLL)	PUDL7	PUDL6	PUDL5	PUDL4	PUDL3	PUDL2	PUDL1	PUDL0
PUDLn	内蔵プルアップ抵抗接続制御 (n = 0-15)							
0	接続しない							
1	接続する							

**注** PUDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PUDLHレジスタのビット0-7として指定してください。

**備考** PUDLレジスタは、16ビット単位でリード/ライト可能です。  
ただし、PUDLレジスタの上位8ビットをPUDLHレジスタ、下位8ビットをPUDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

## 4.4 ブロック図

図4-2 タイプA-Aのブロック図

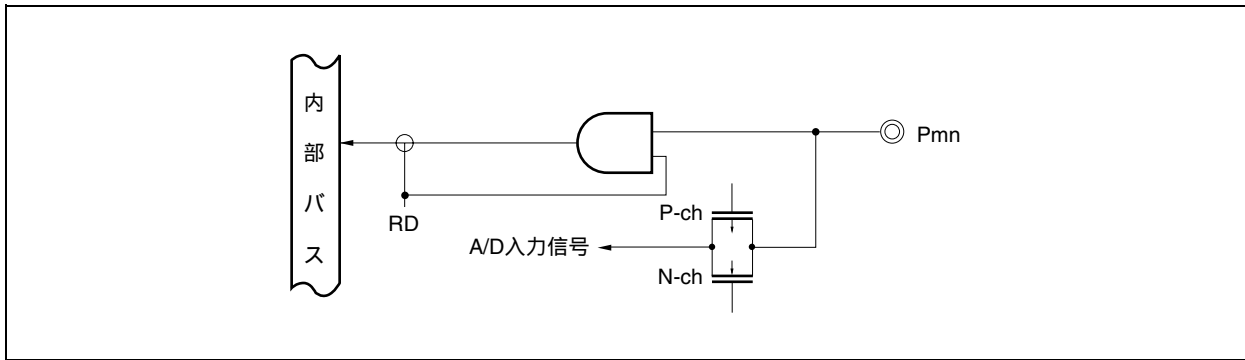


図4-3 タイプC-Nのブロック図

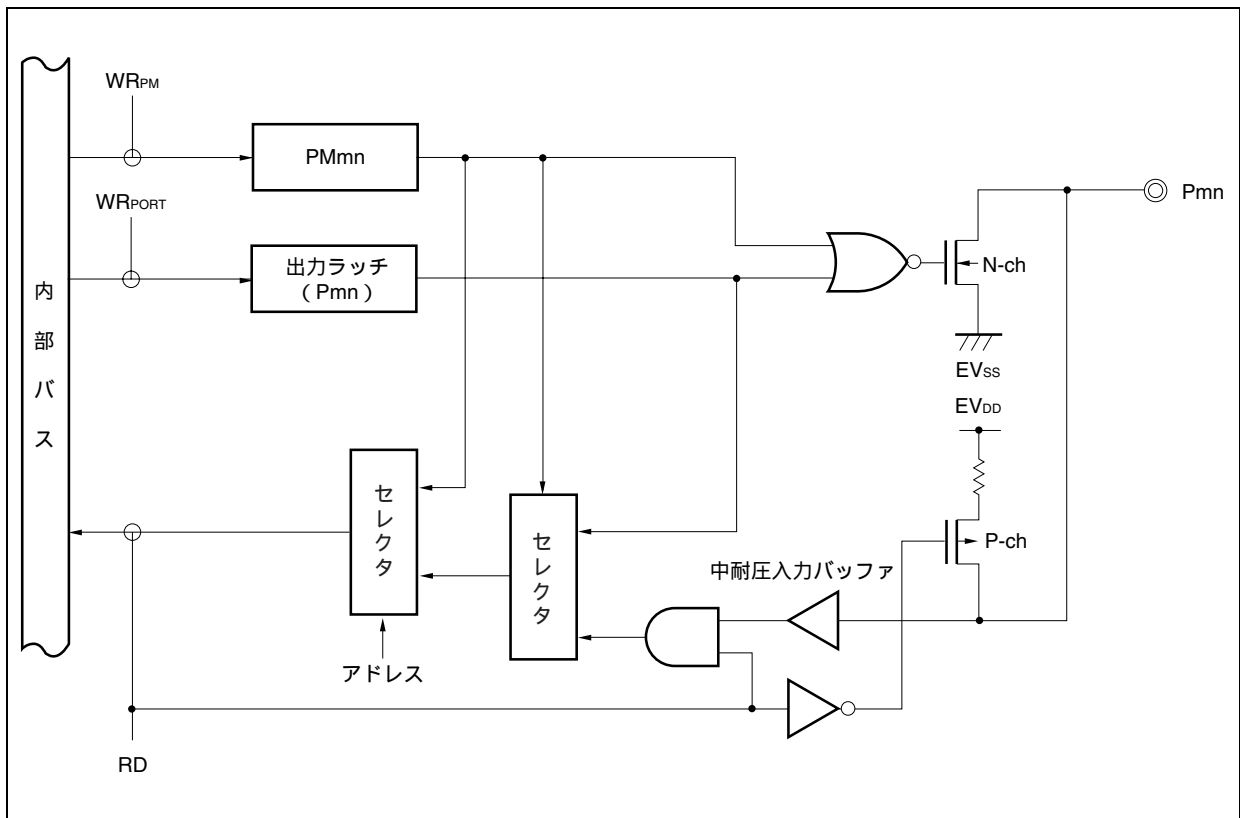


図4-4 タイプC-Uのブロック図

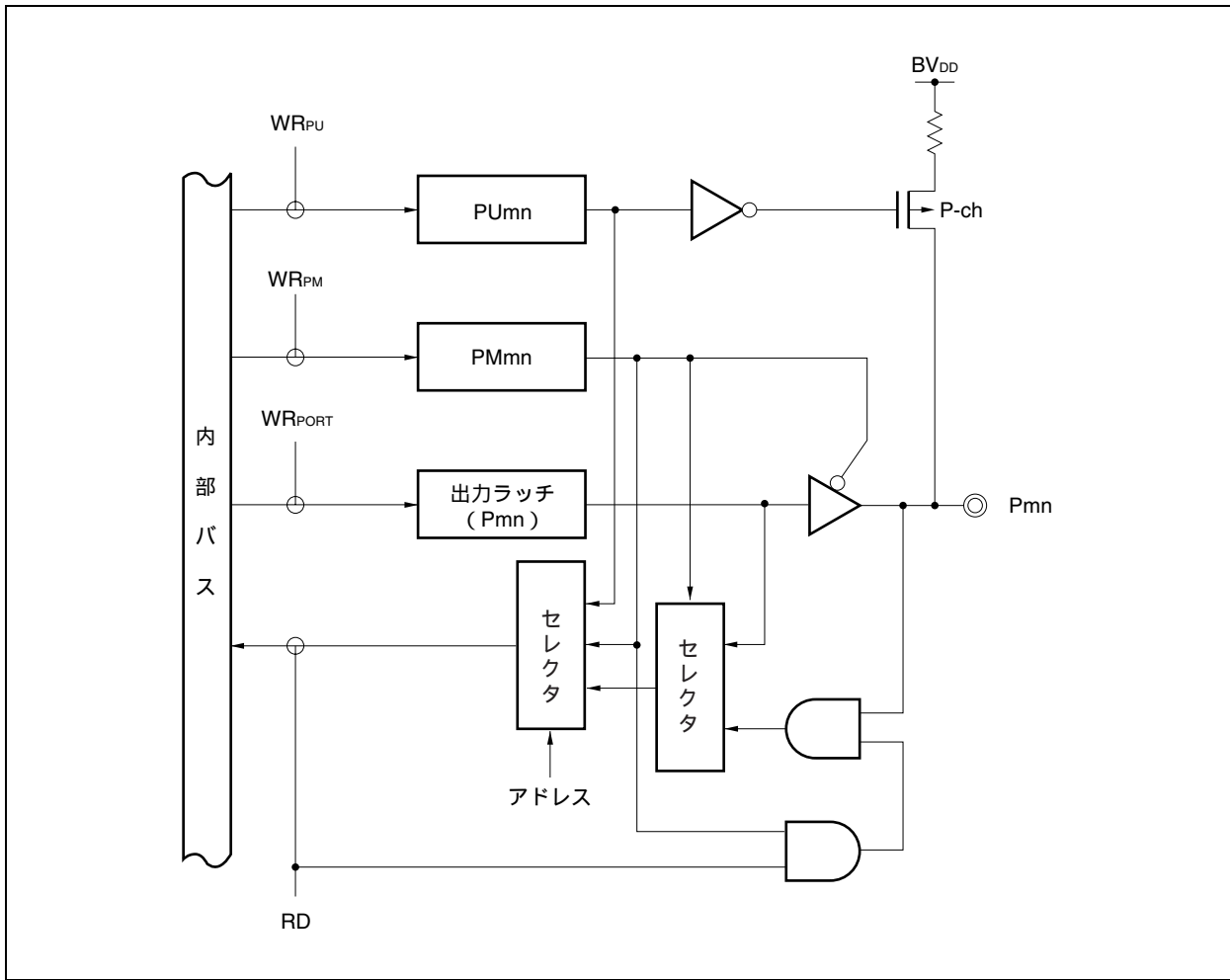


図4-5 タイプC-UAのブロック図

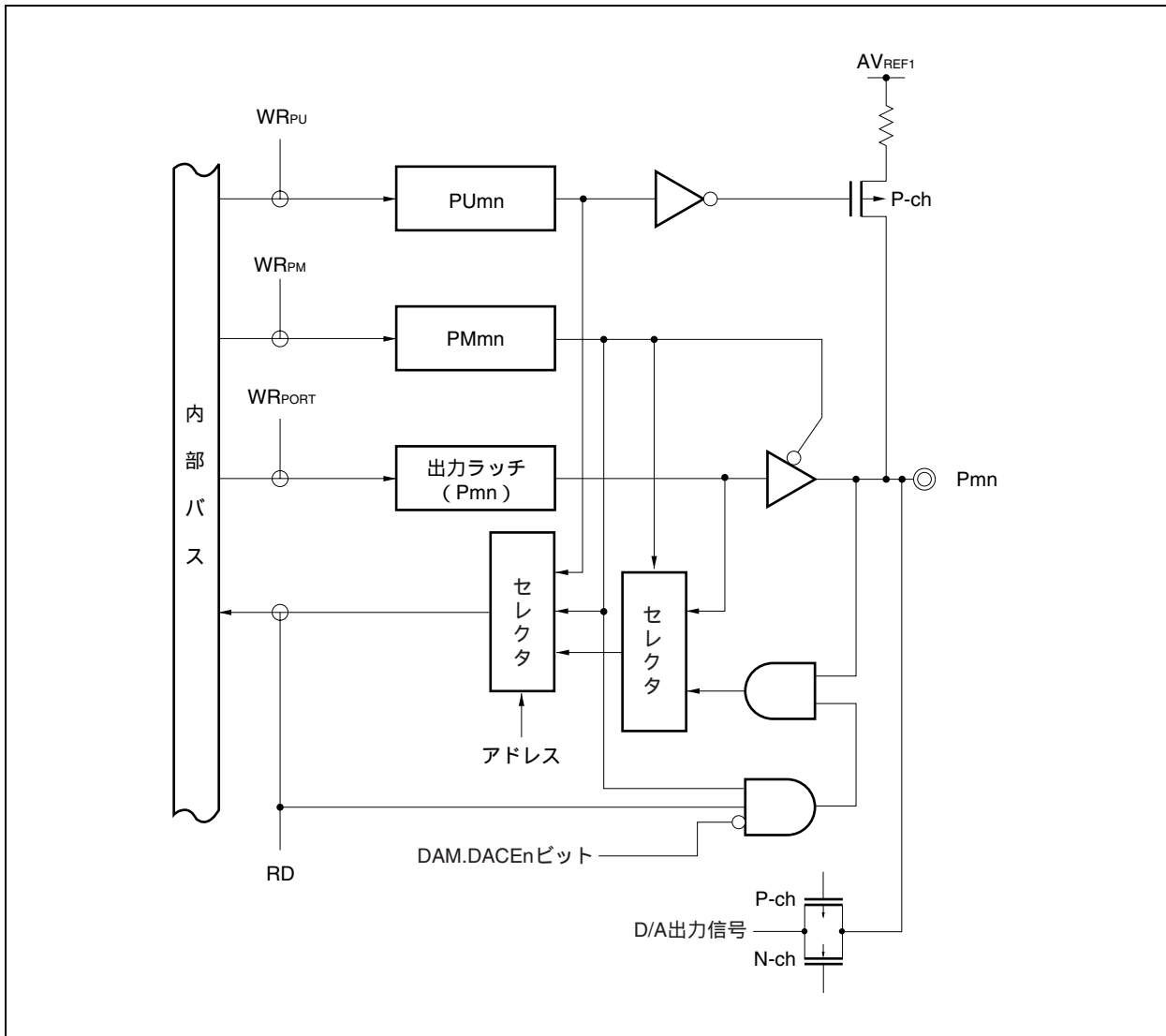




図4-6 タイプD0-Uのブロック図

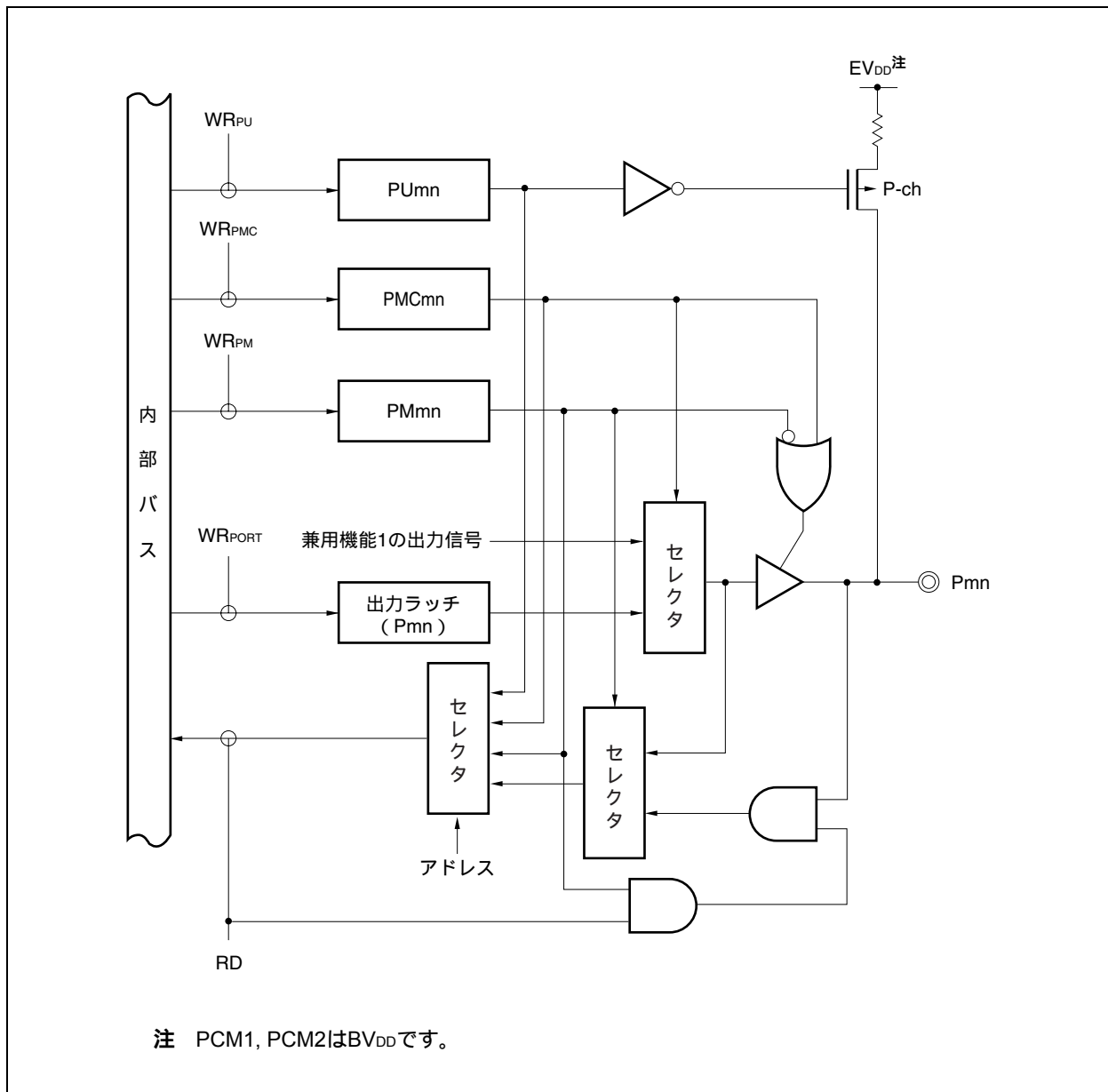


図4 - 7 タイプD0-UFのブロック図

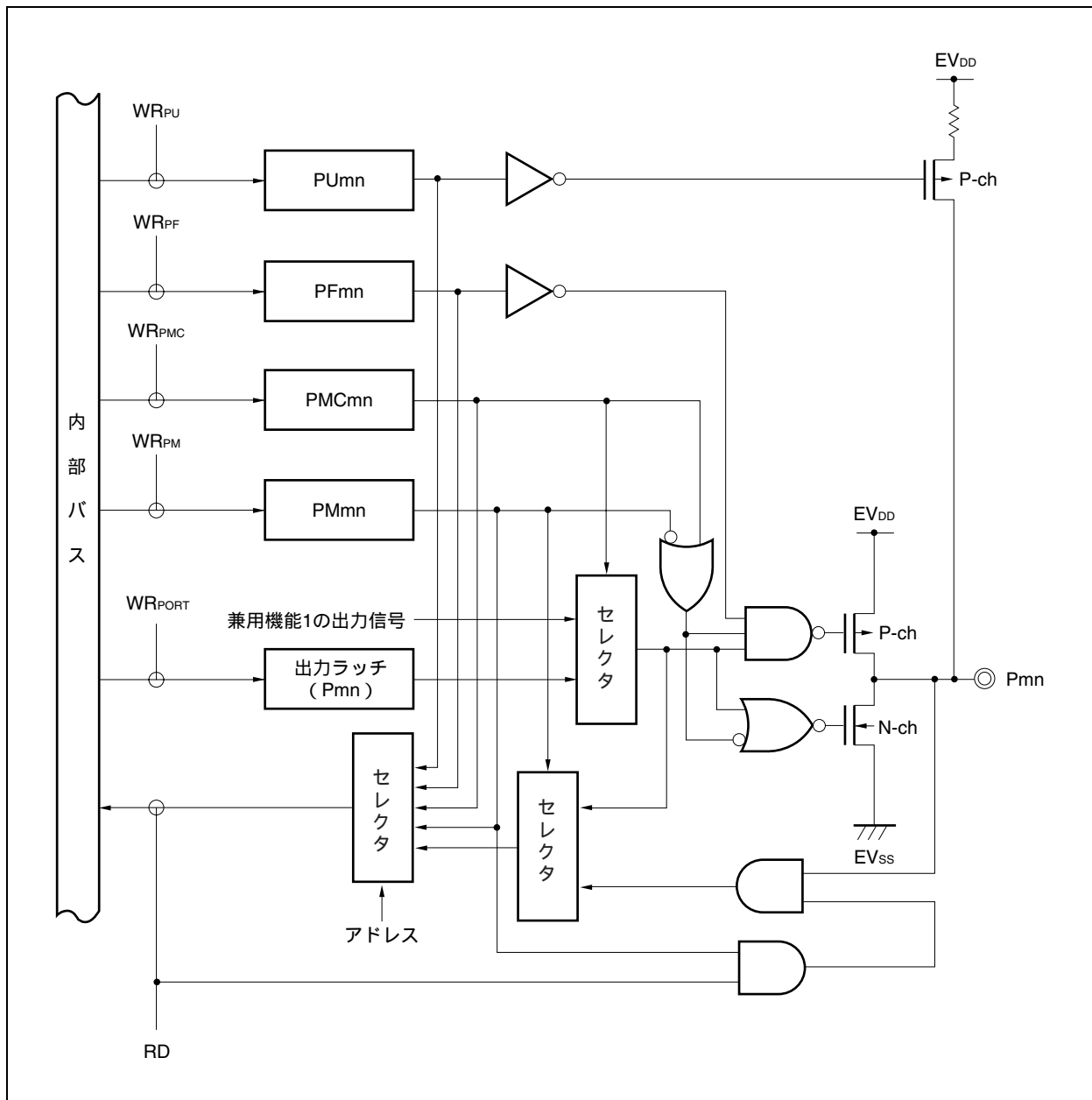


図4 - 8 タイプD0-UZのブロック図

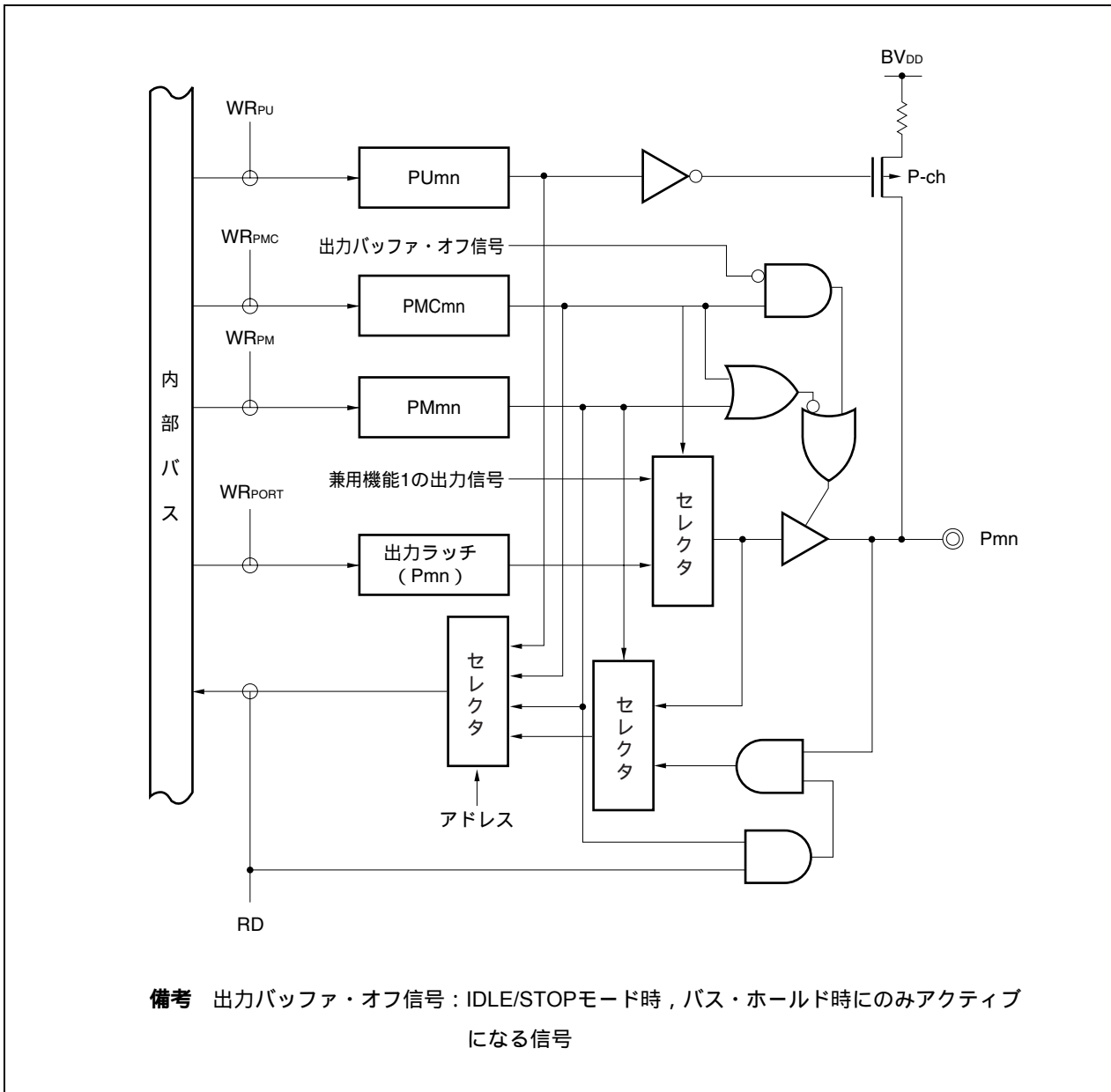
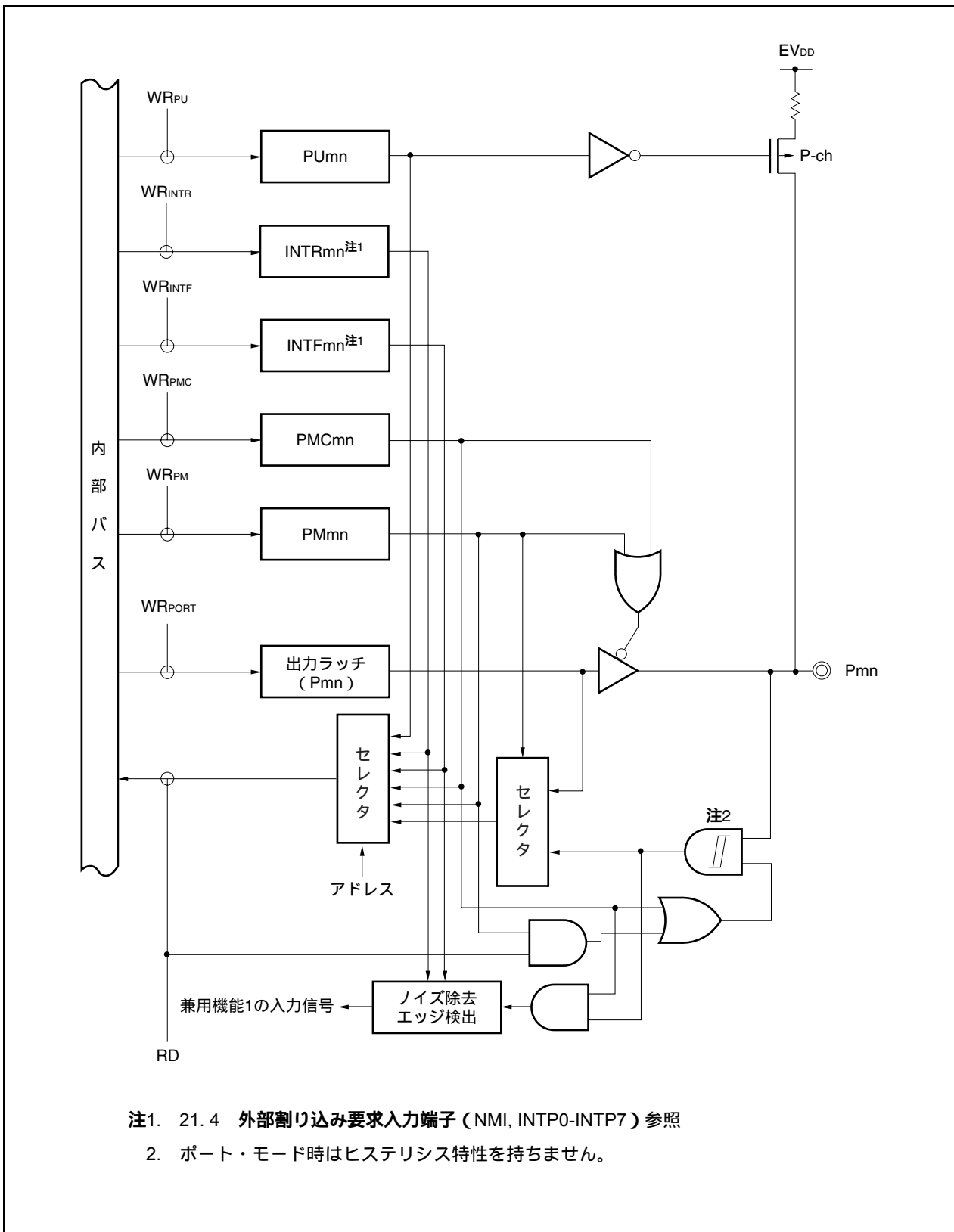


図4-9 タイプD1-SUILのブロック図



注1. 21.4 外部割り込み要求入力端子 (NMI, INTP0-INTP7) 参照

2. ポート・モード時はヒステリシス特性を持ちません。

図4 - 10 タイプD1-SULのブロック図

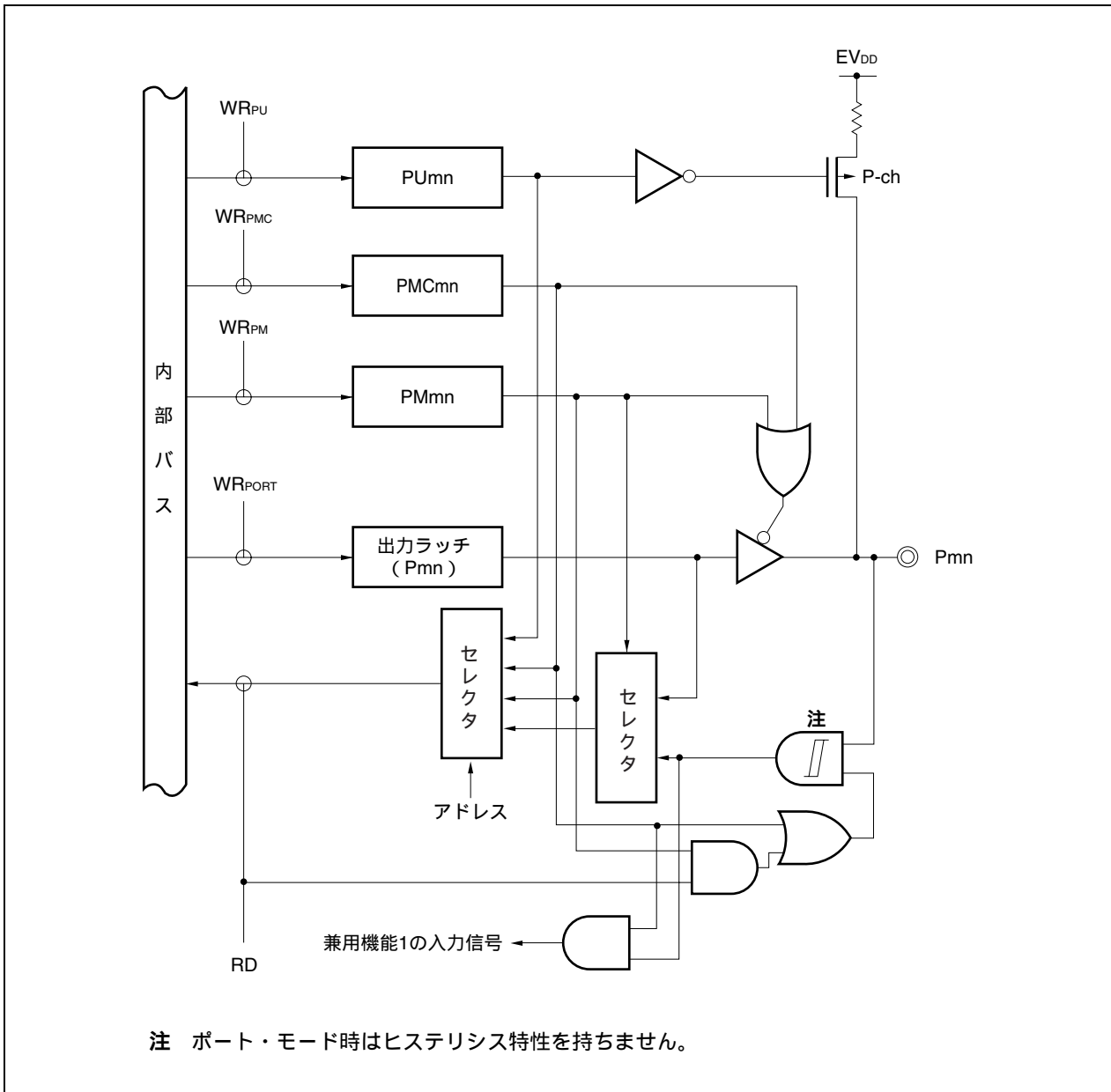


図4 - 11 タイプD1-UHのブロック図

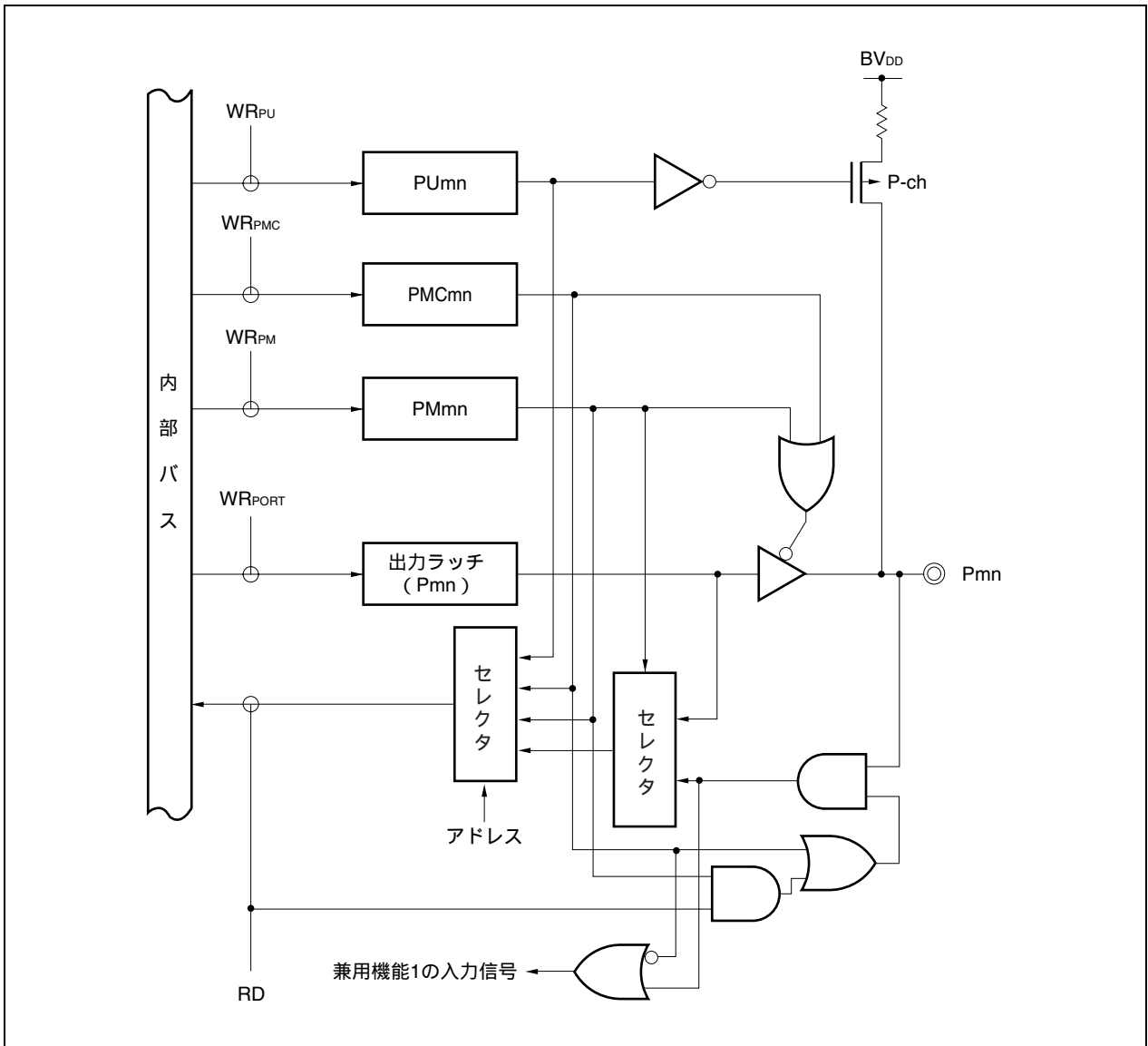


図4 - 12 タイプD2-SNFHのブロック図

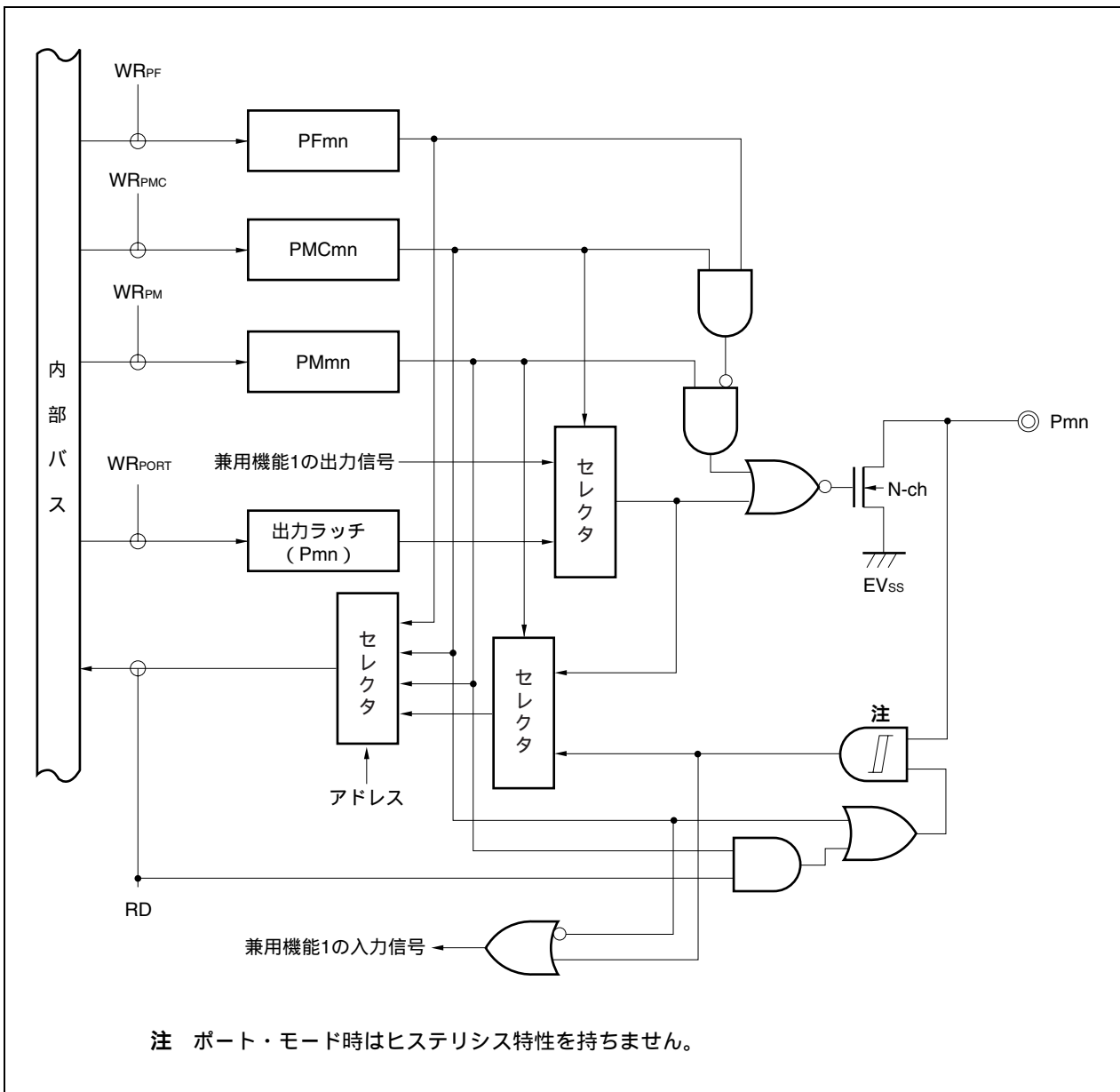


図4 - 13 タイプD2-SUFLのブロック図

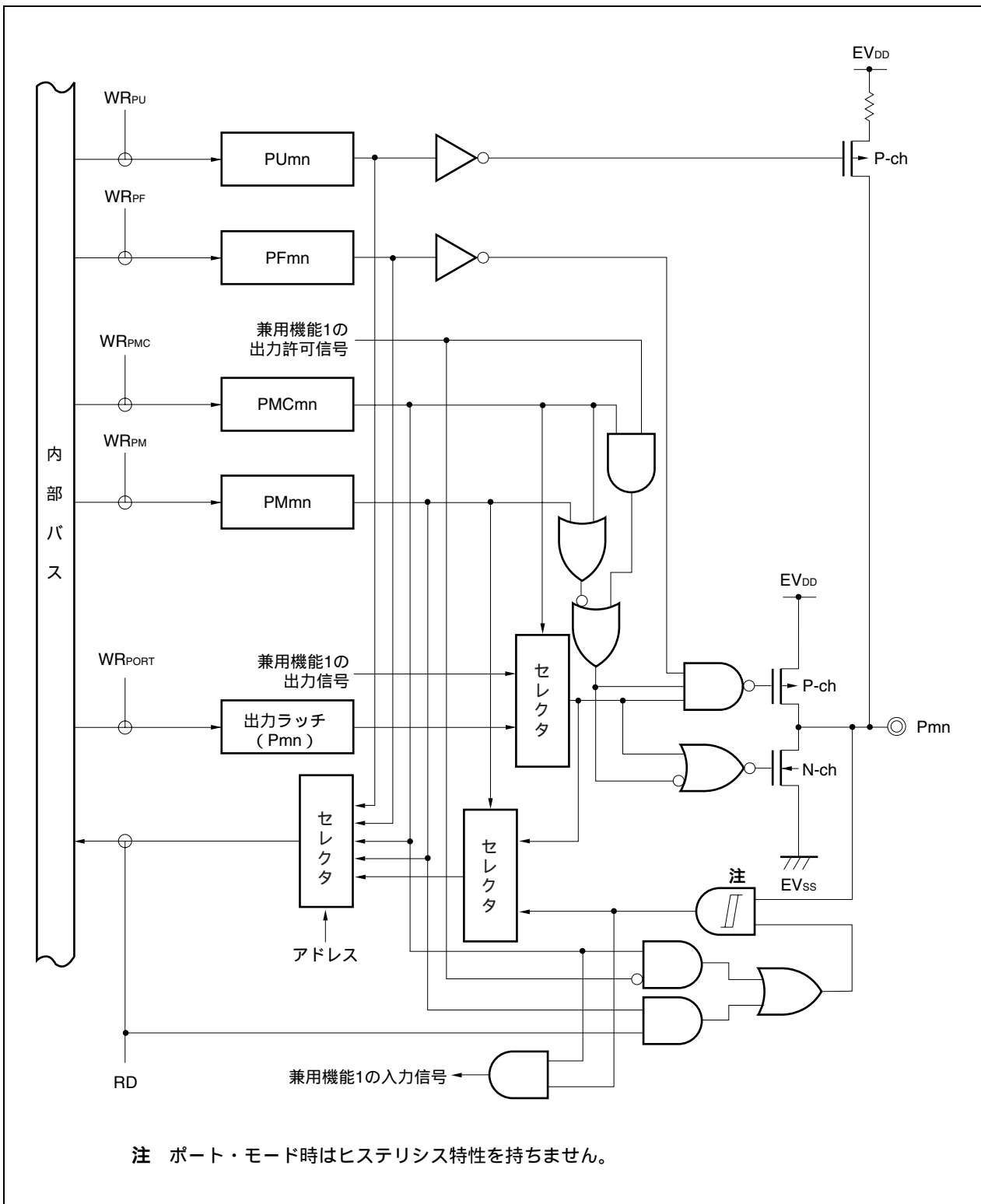




図4 - 14 タイプD2-ULZのブロック図

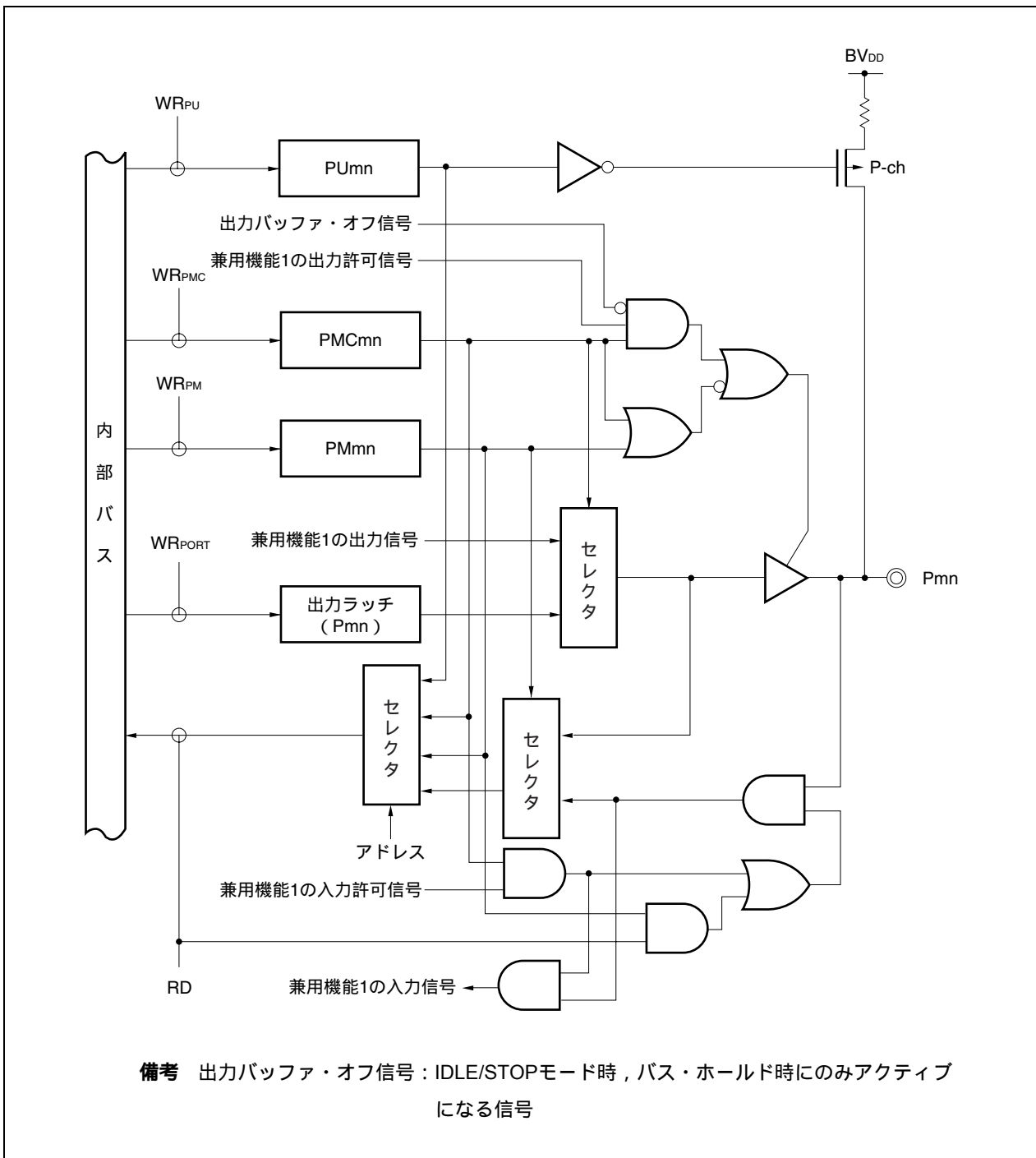


図4 - 15 タイプE00-SUFTのブロック図

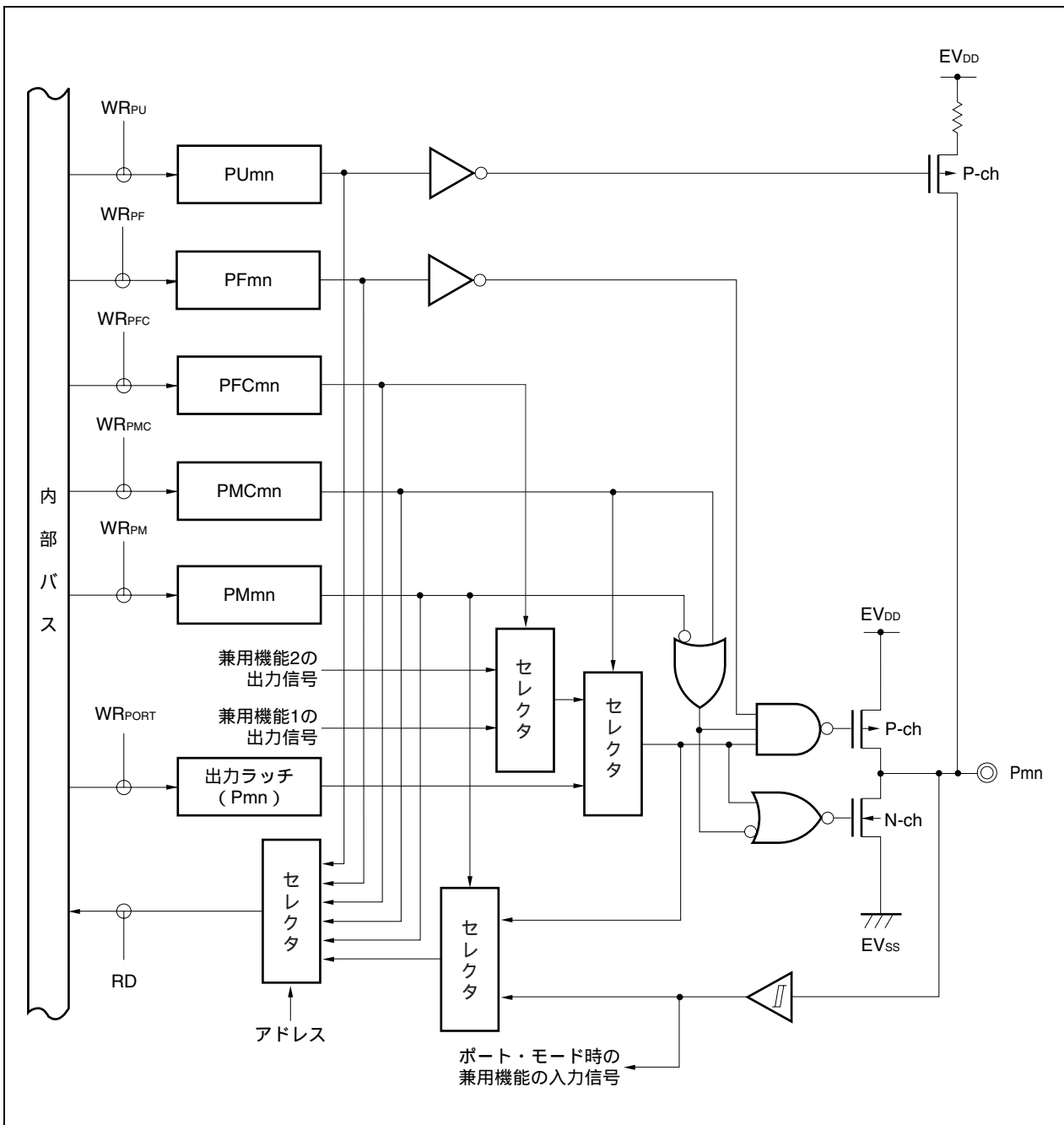


図4 - 16 タイプE00-SUTのブロック図

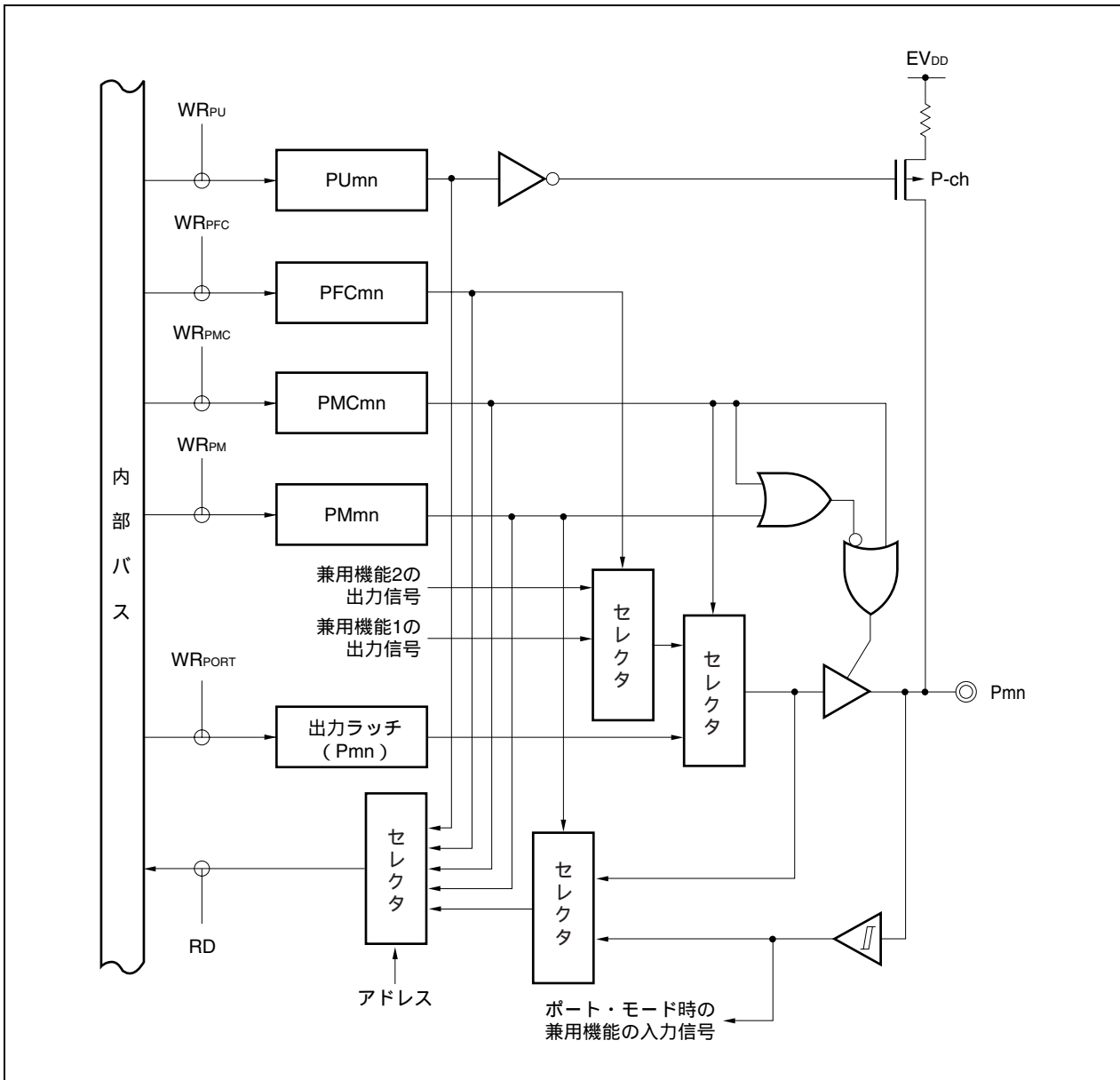


図4 - 17 タイプE00-SUTZのブロック図

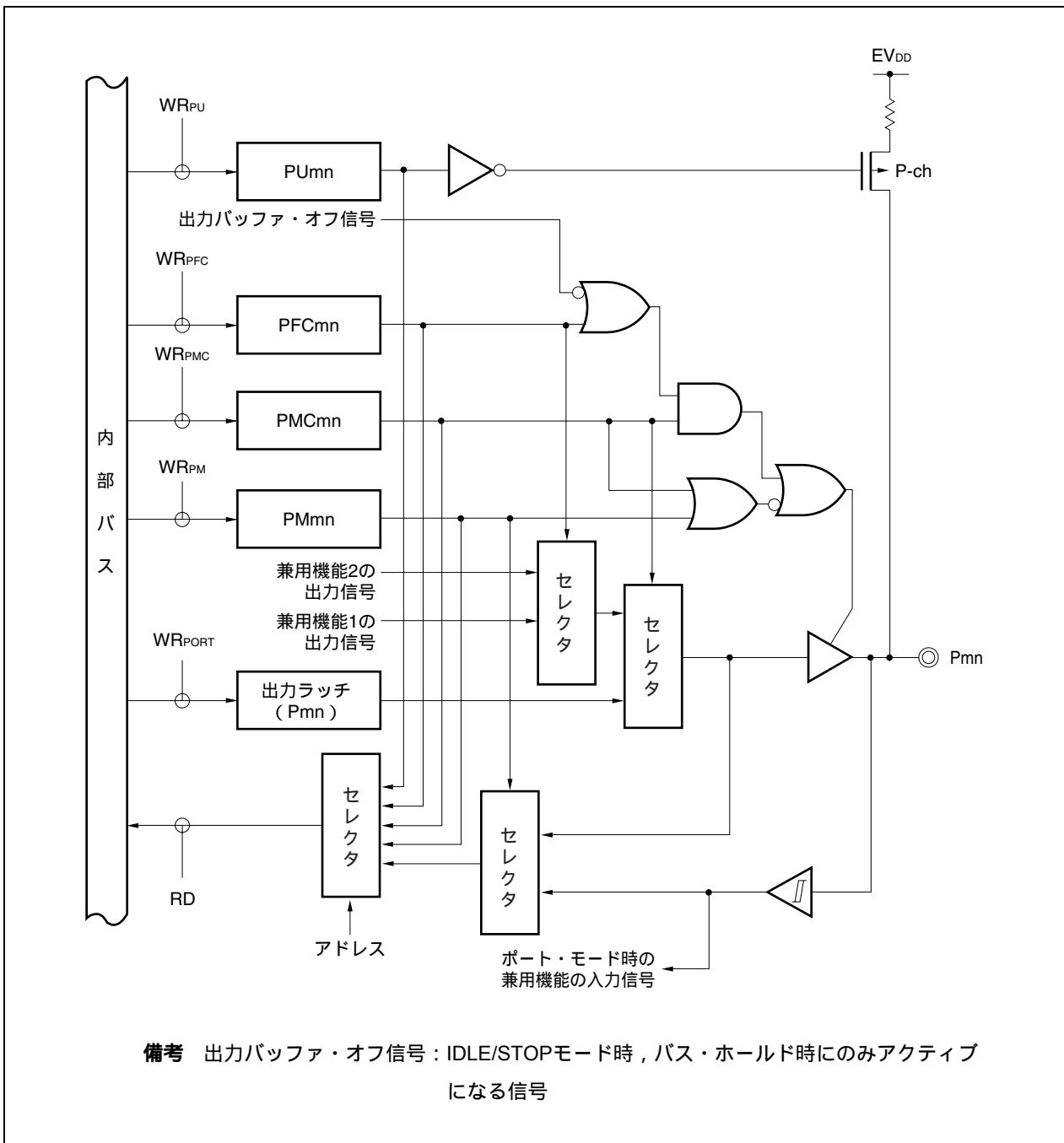


図4 - 18 タイプE00-Uのブロック図

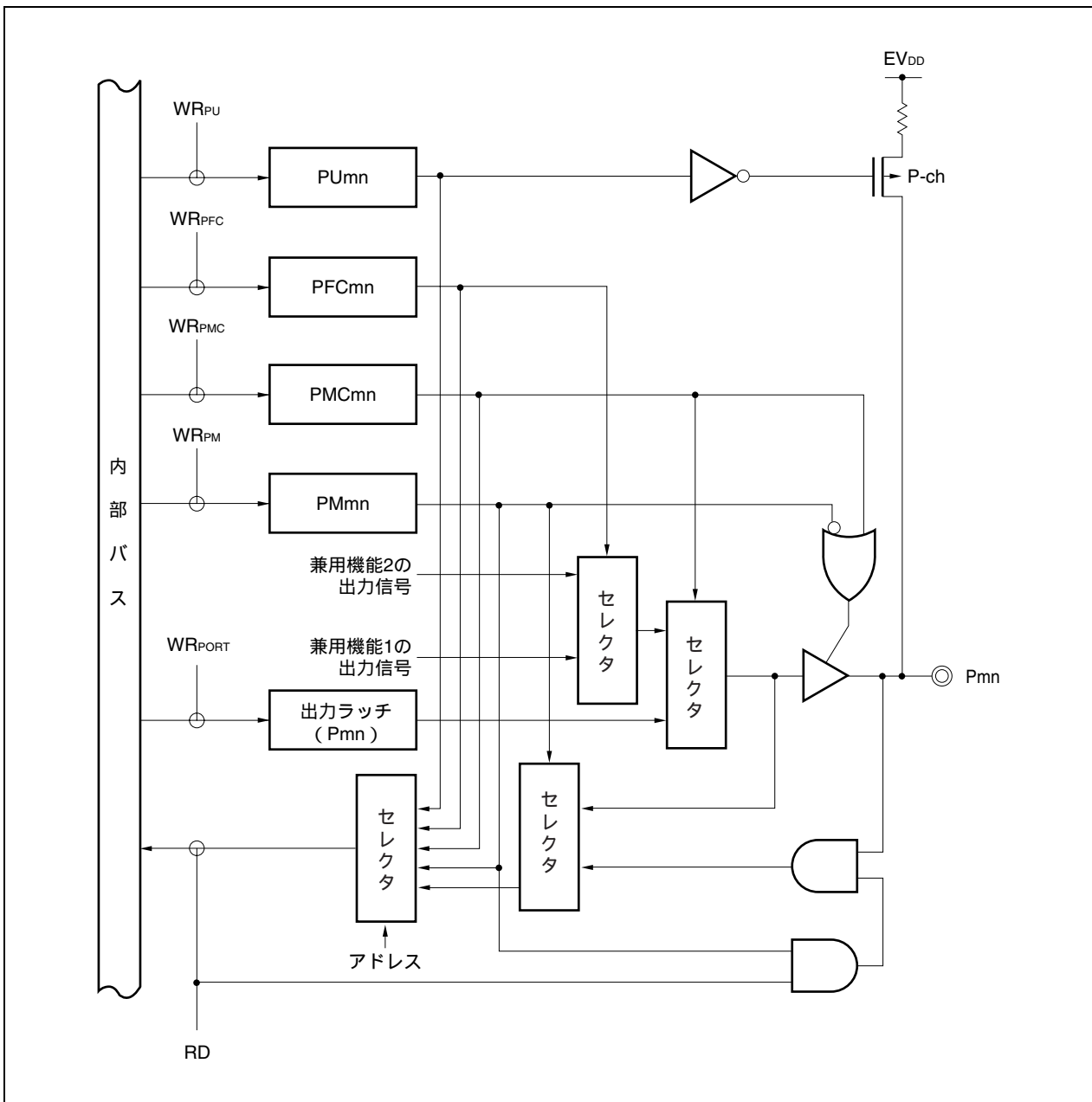


図4 - 19 タイプE00-UFのブロック図

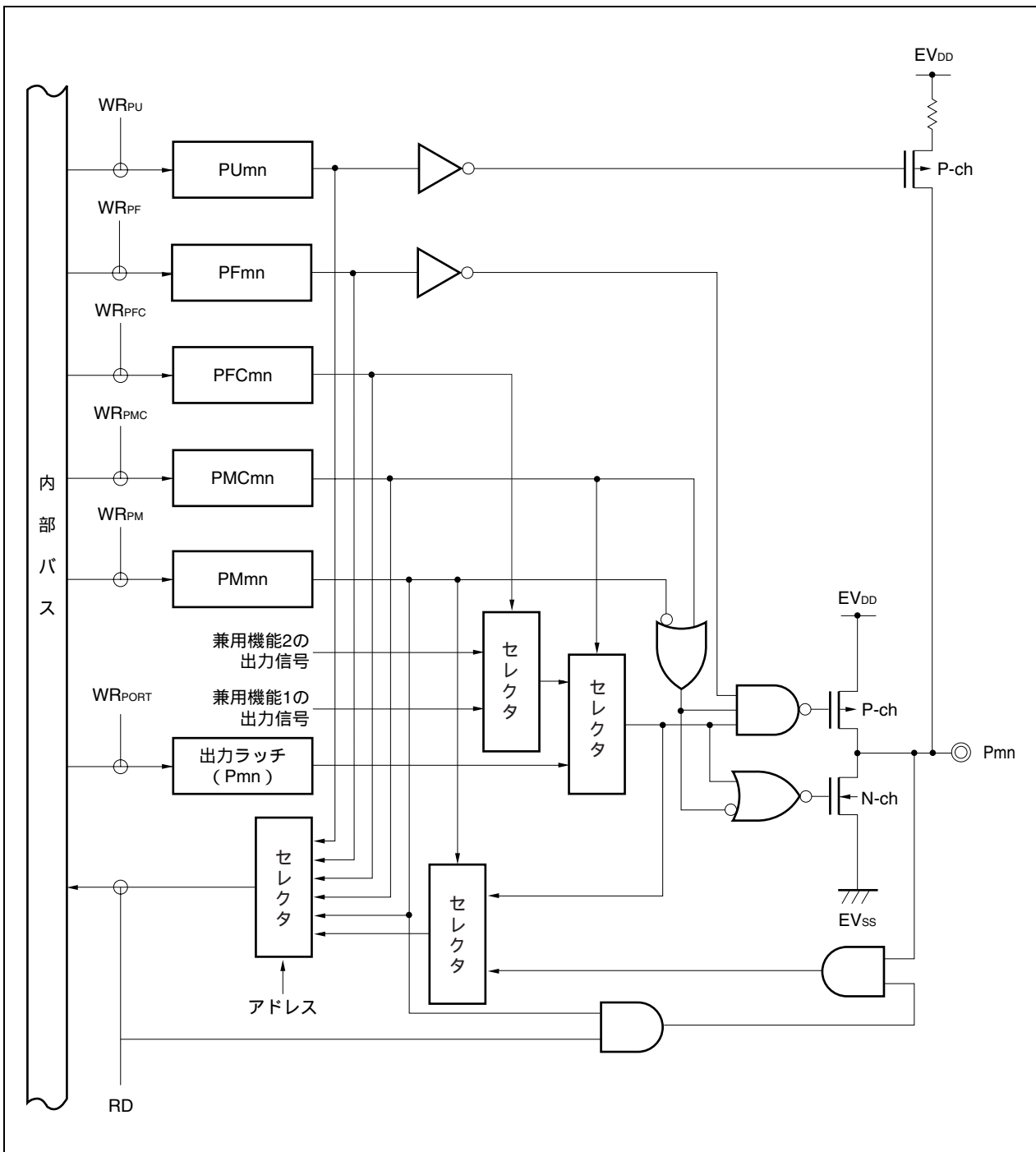


図4 - 20 タイプE00-UFZのブロック図

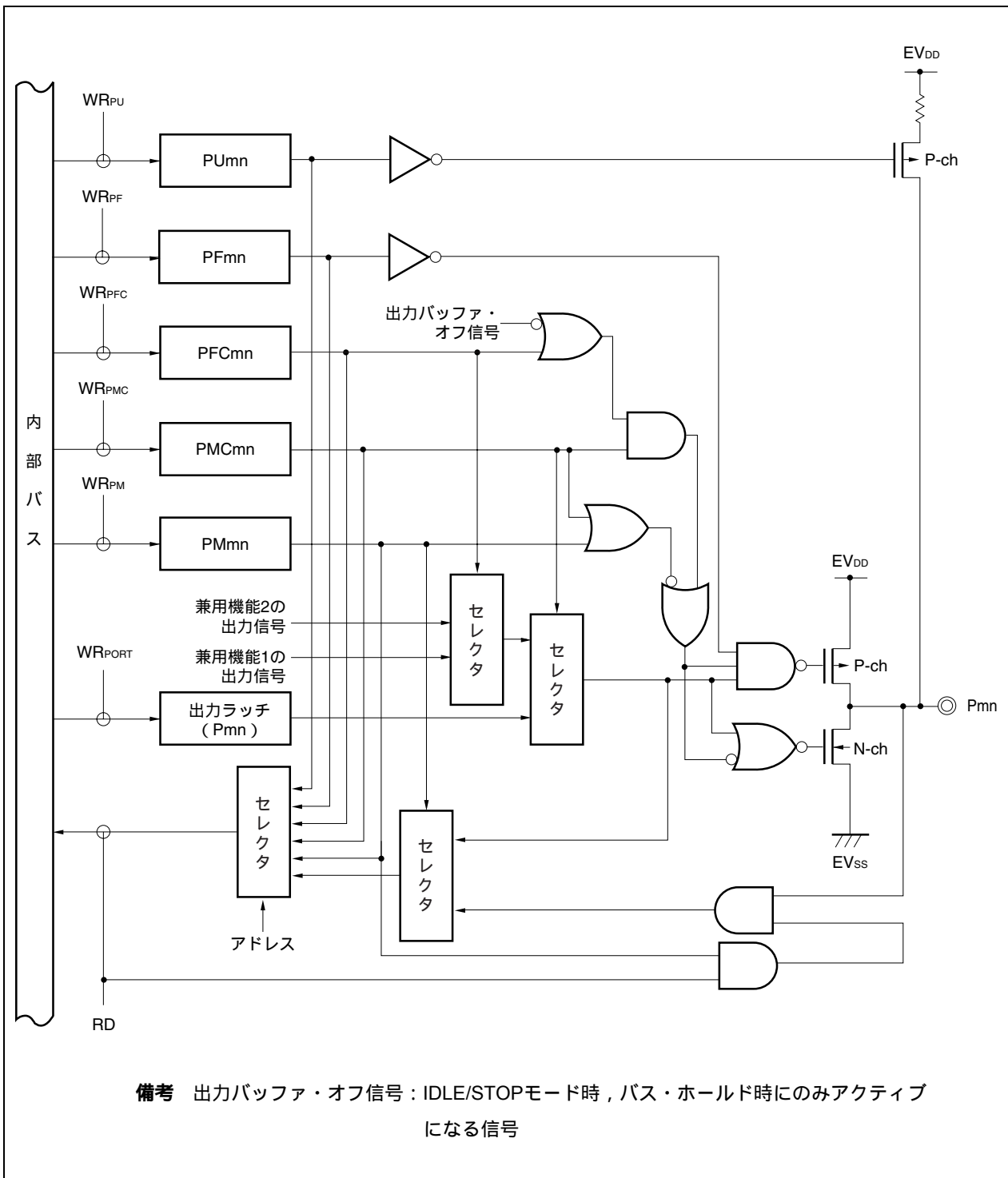


図4 - 21 タイプE01-SUHTZのブロック図

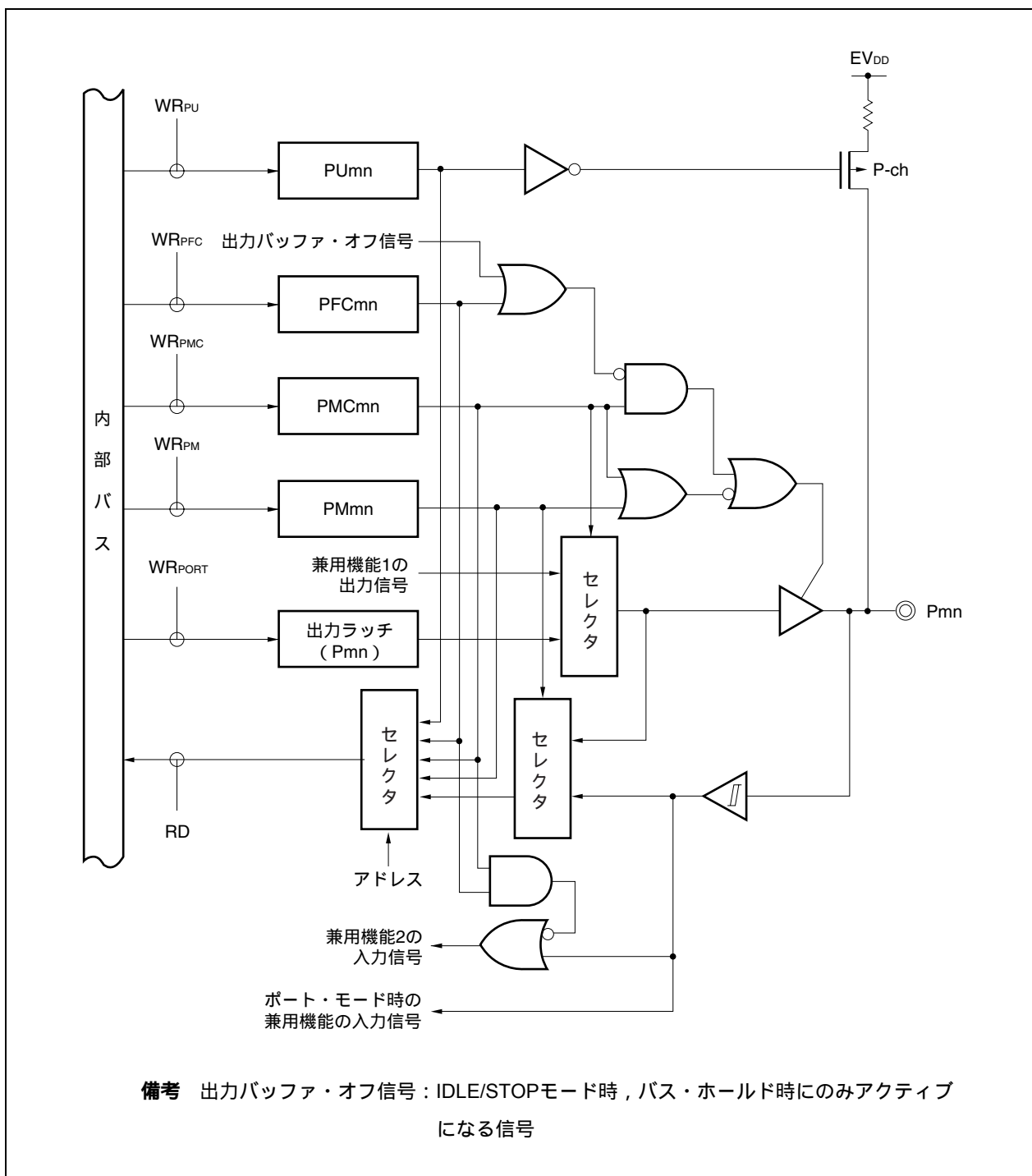




図4-22 タイプE01-SUILZのブロック図

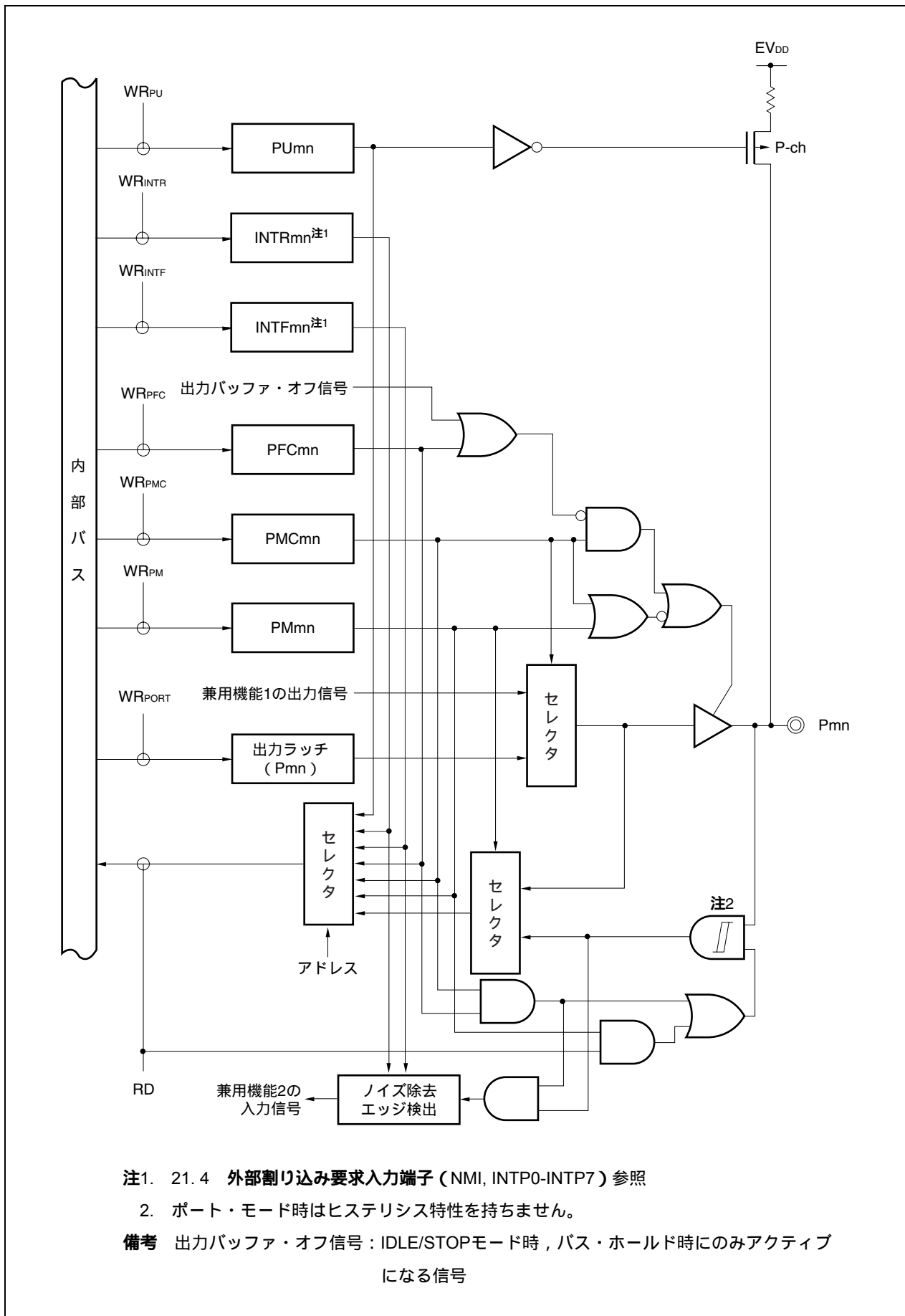


図4-23 タイプE01-SULZのブロック図

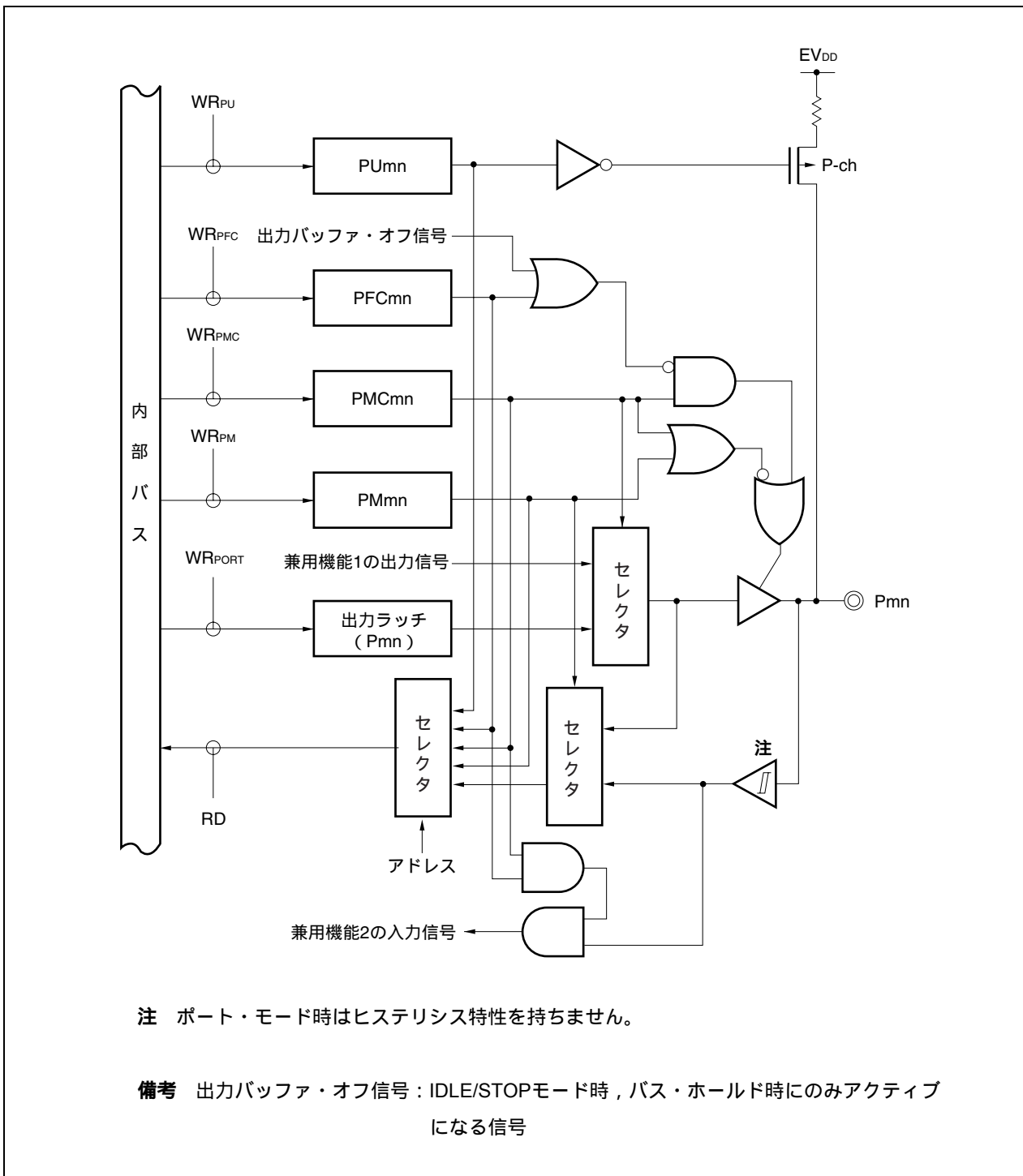


図4 - 24 タイプE02-SUFHのブロック図

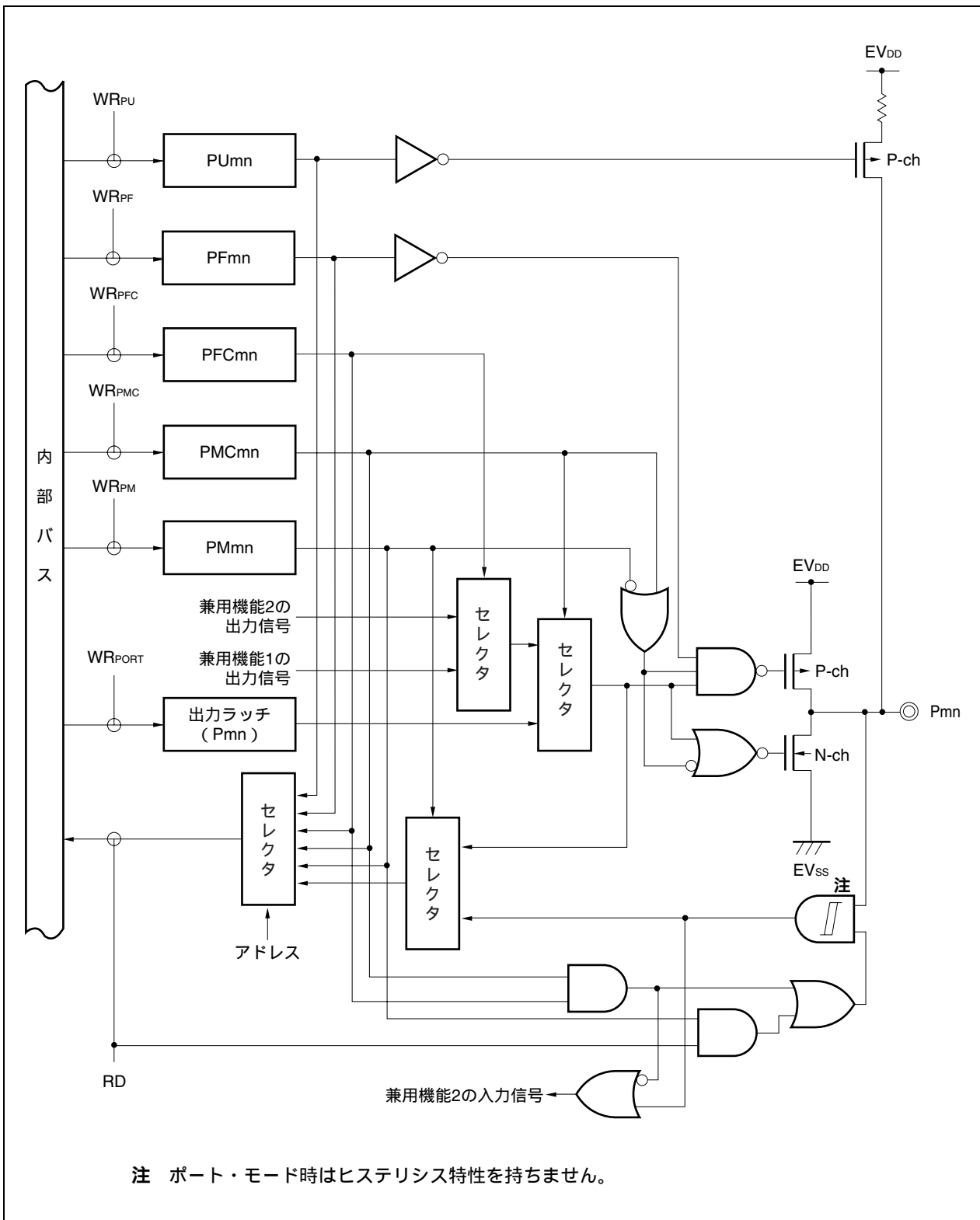


図4 - 25 タイプE02-SUFLZのブロック図

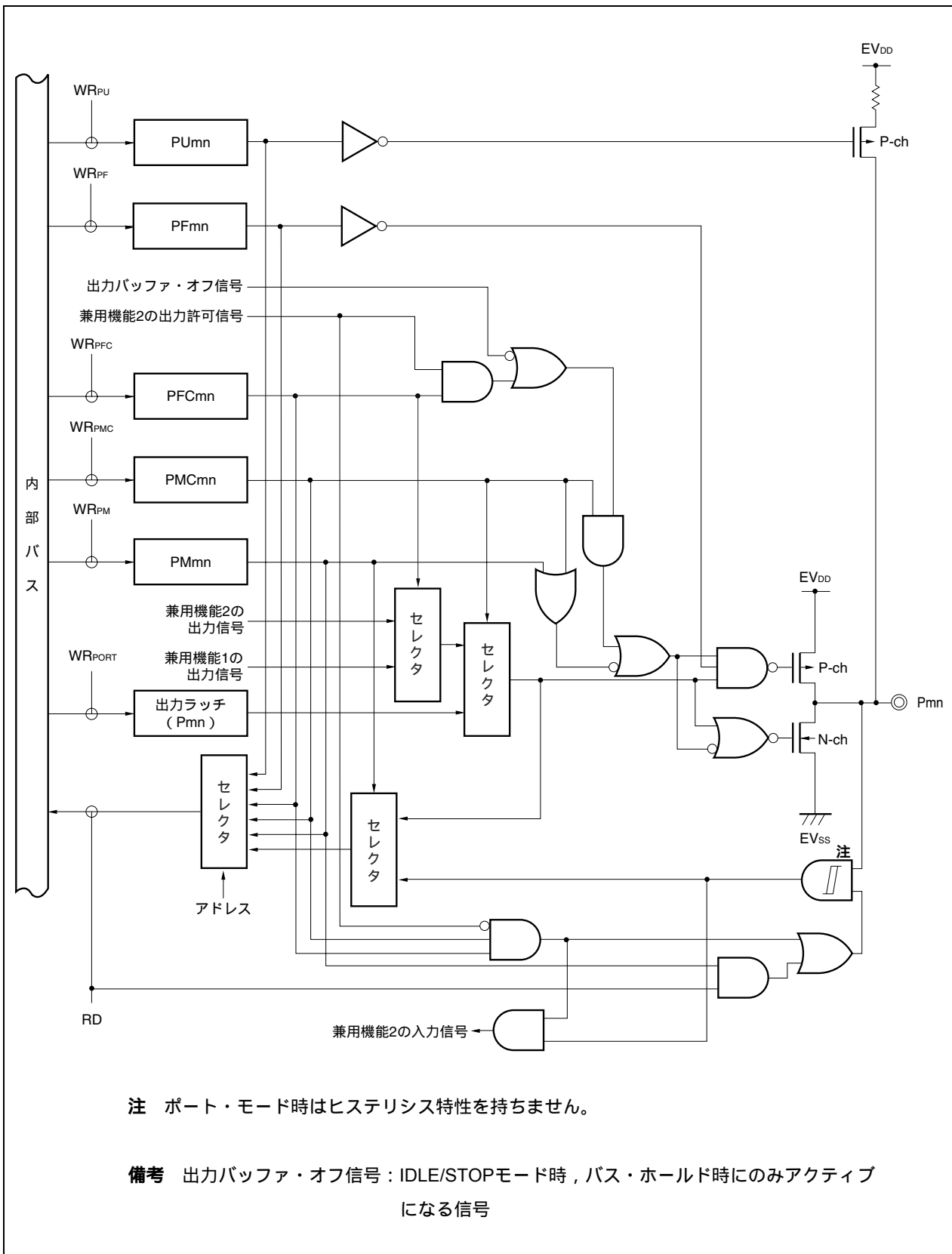


図4-26 タイプE10-SUIHLのブロック図

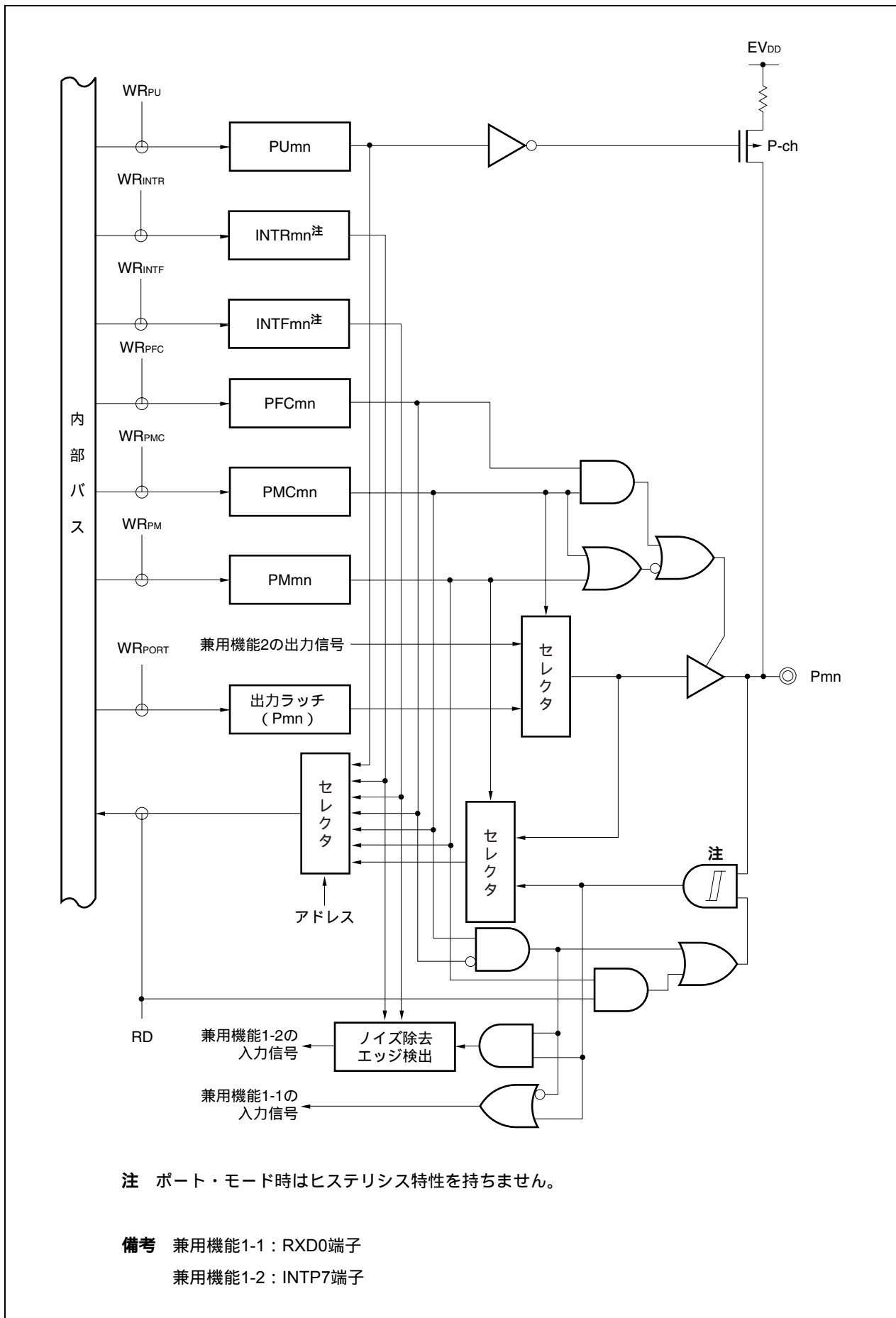


図4 - 27 タイプE10-SULのブロック図

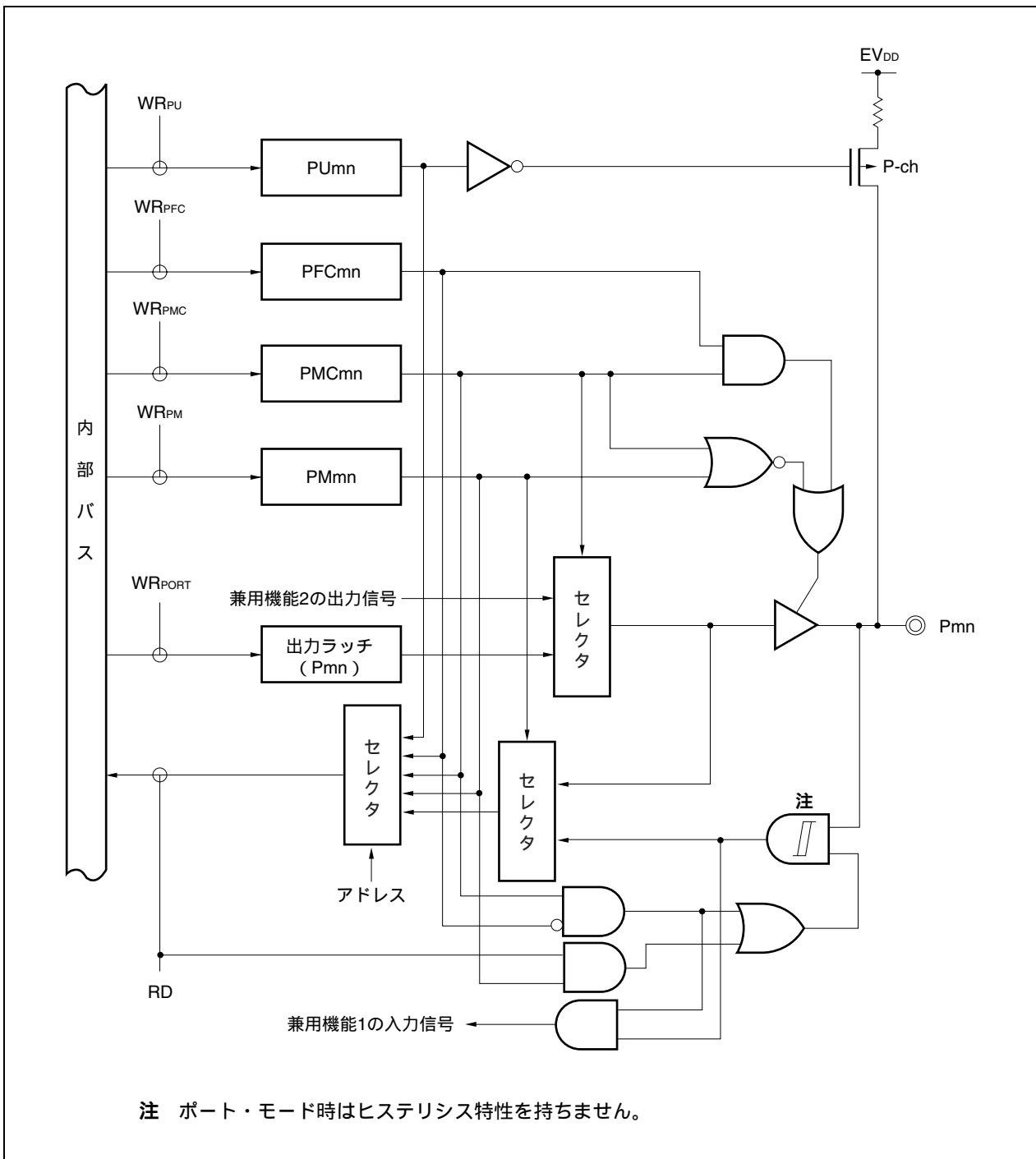


図4 - 28 タイプE10-SULTのブロック図

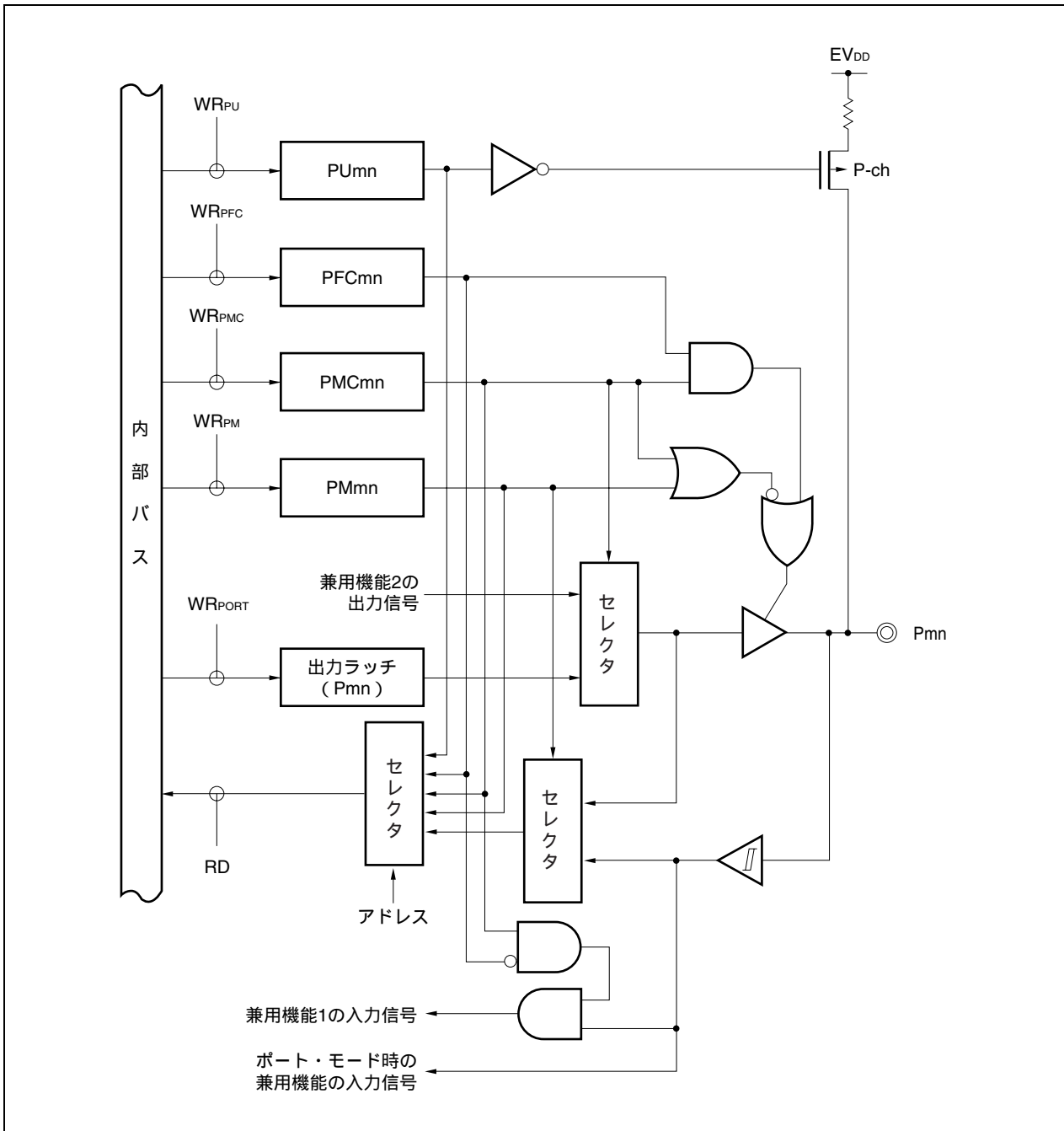


図4-29 タイプE11-SULHのブロック図

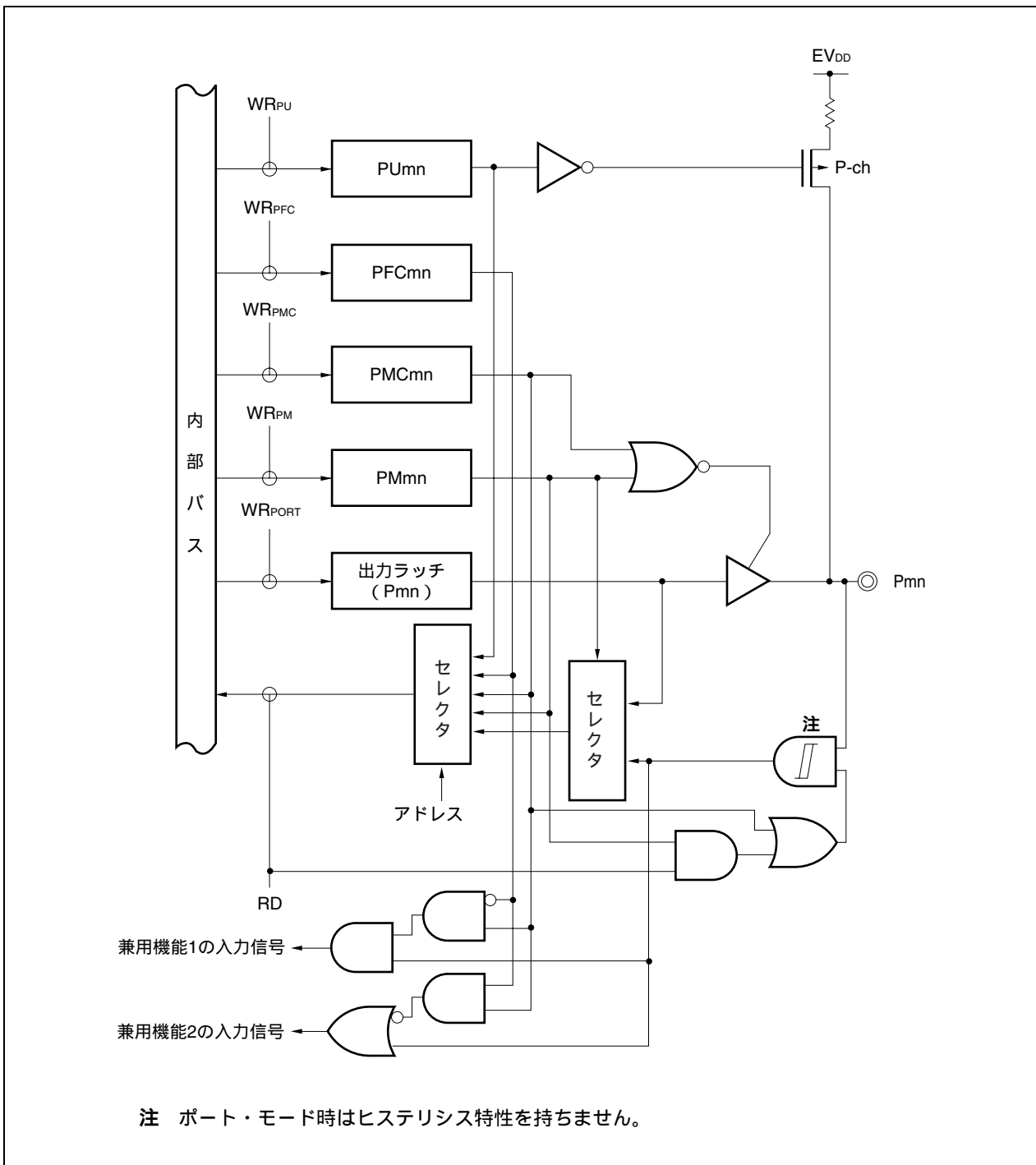




図4 - 30 タイプE12-SUFHHのブロック図

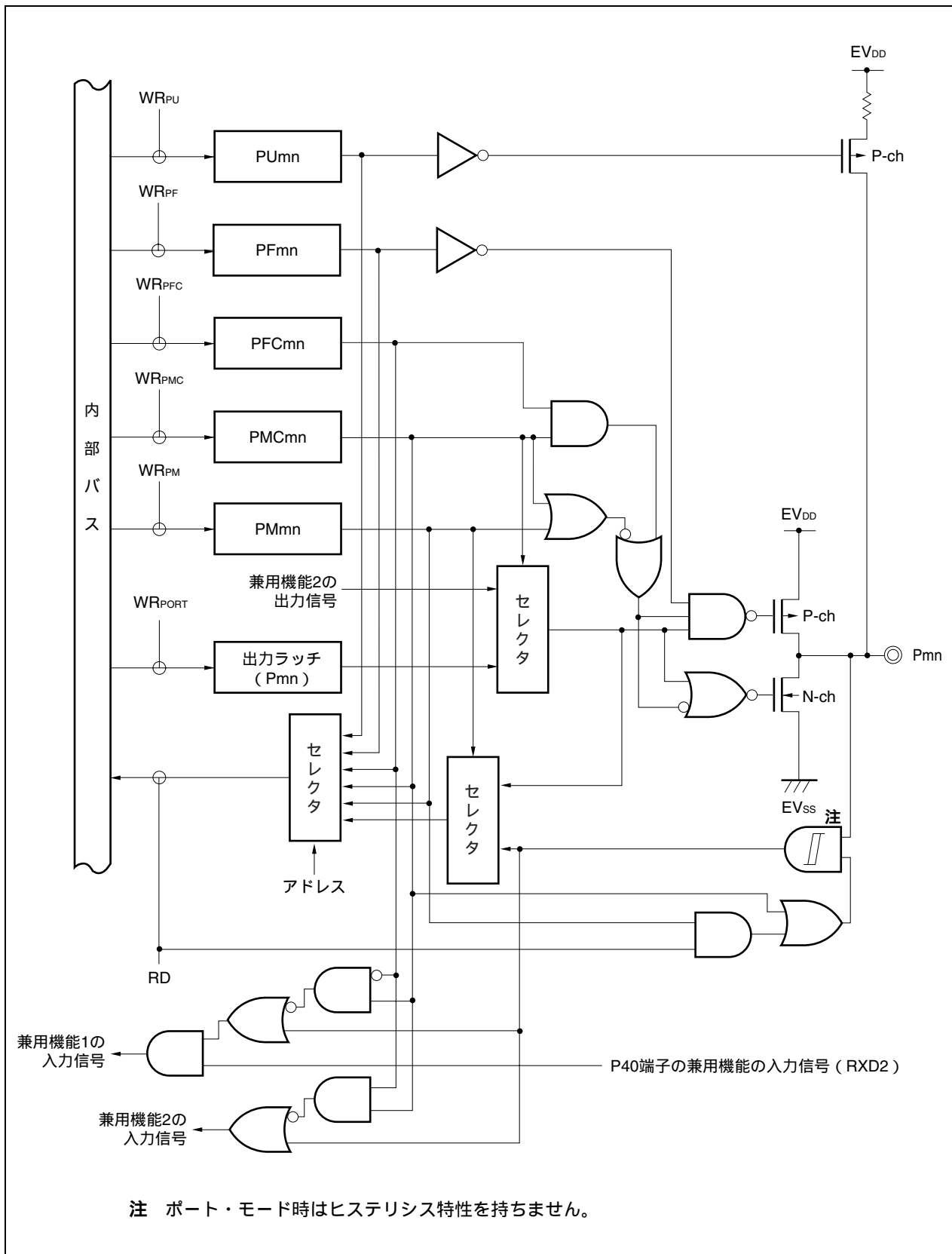


図4 - 31 タイプE20-SUFLTのブロック図

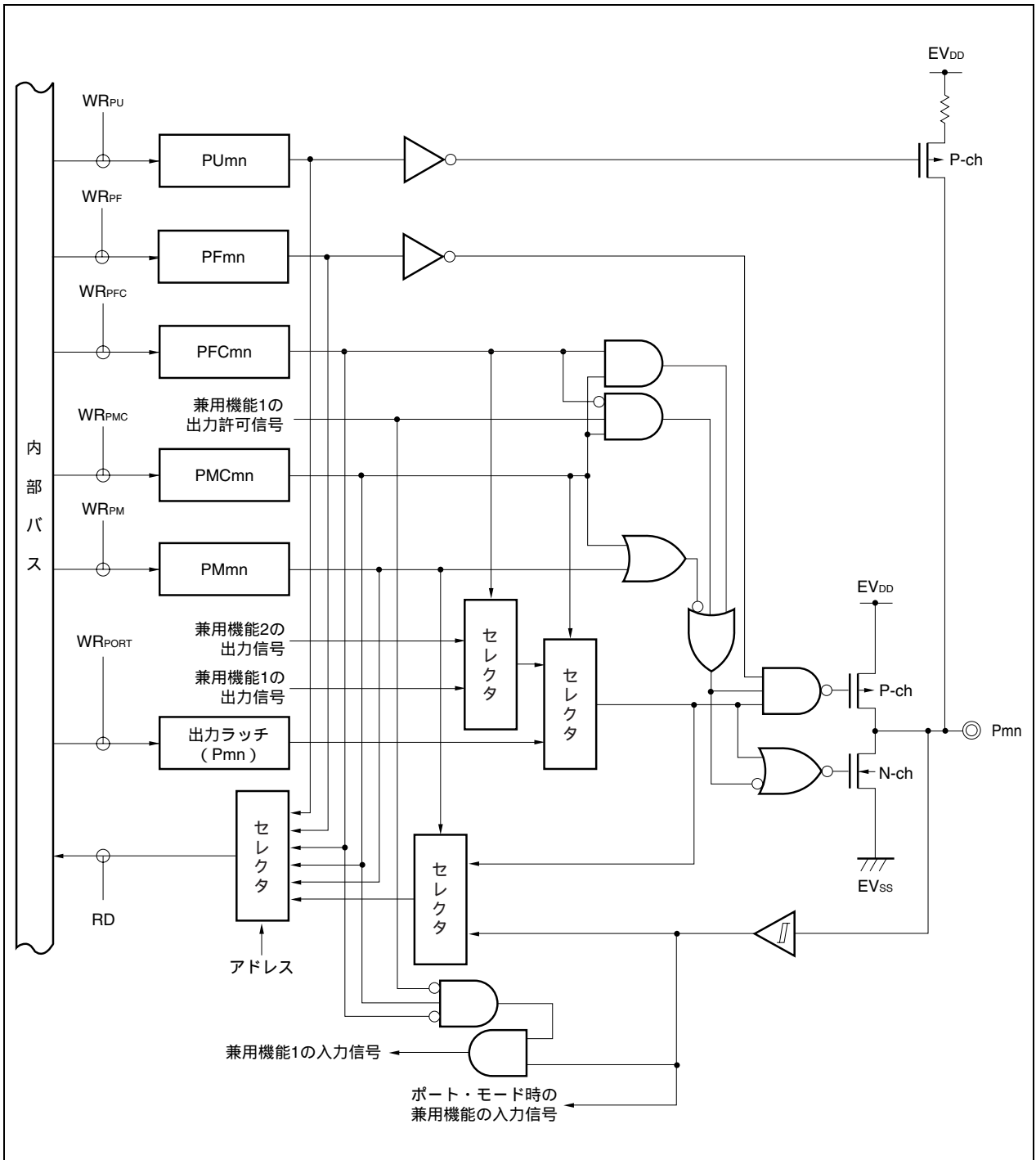


図4 - 32 タイプG1010-SULのブロック図

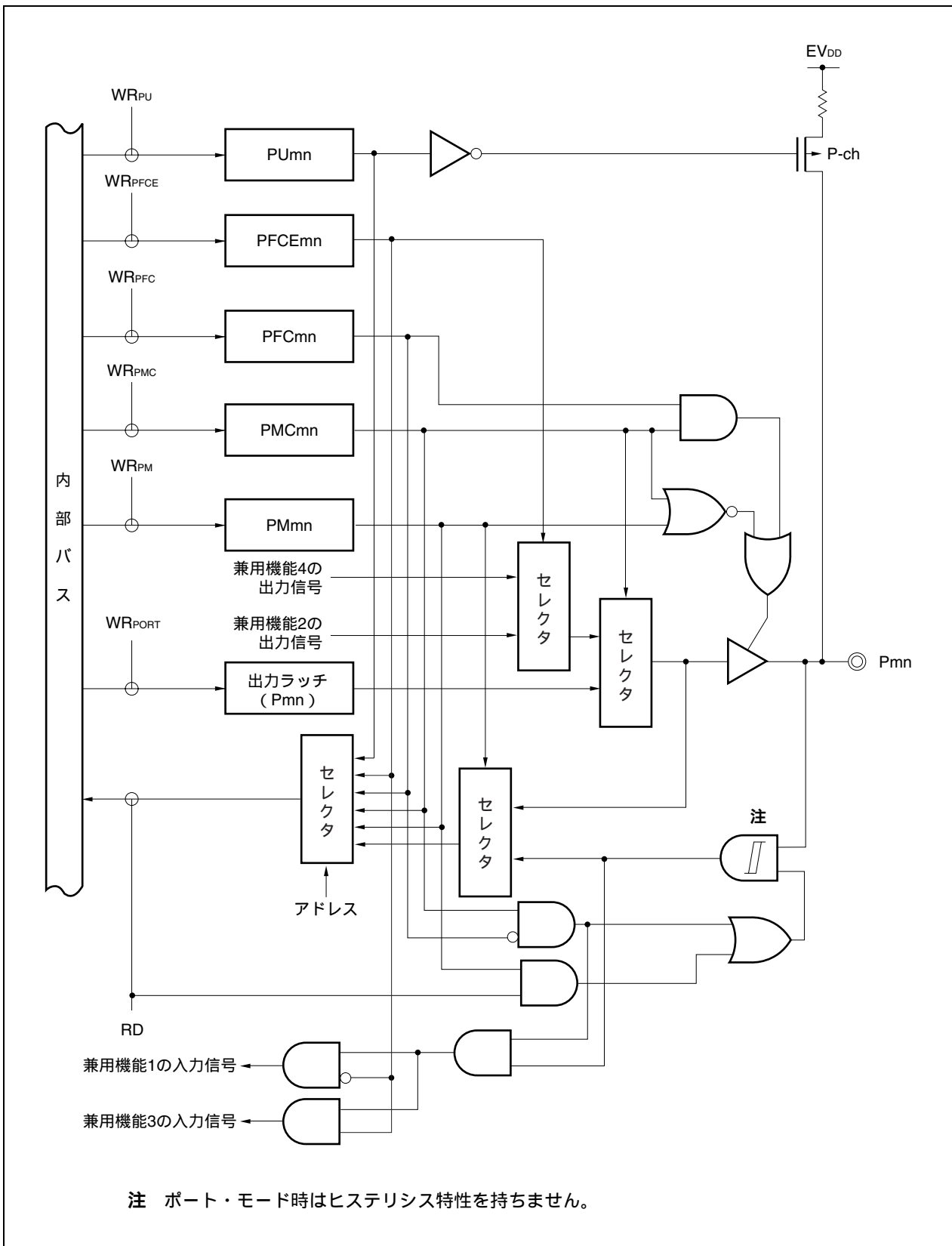


図4 - 33 タイプOD11-SUILのブロック図

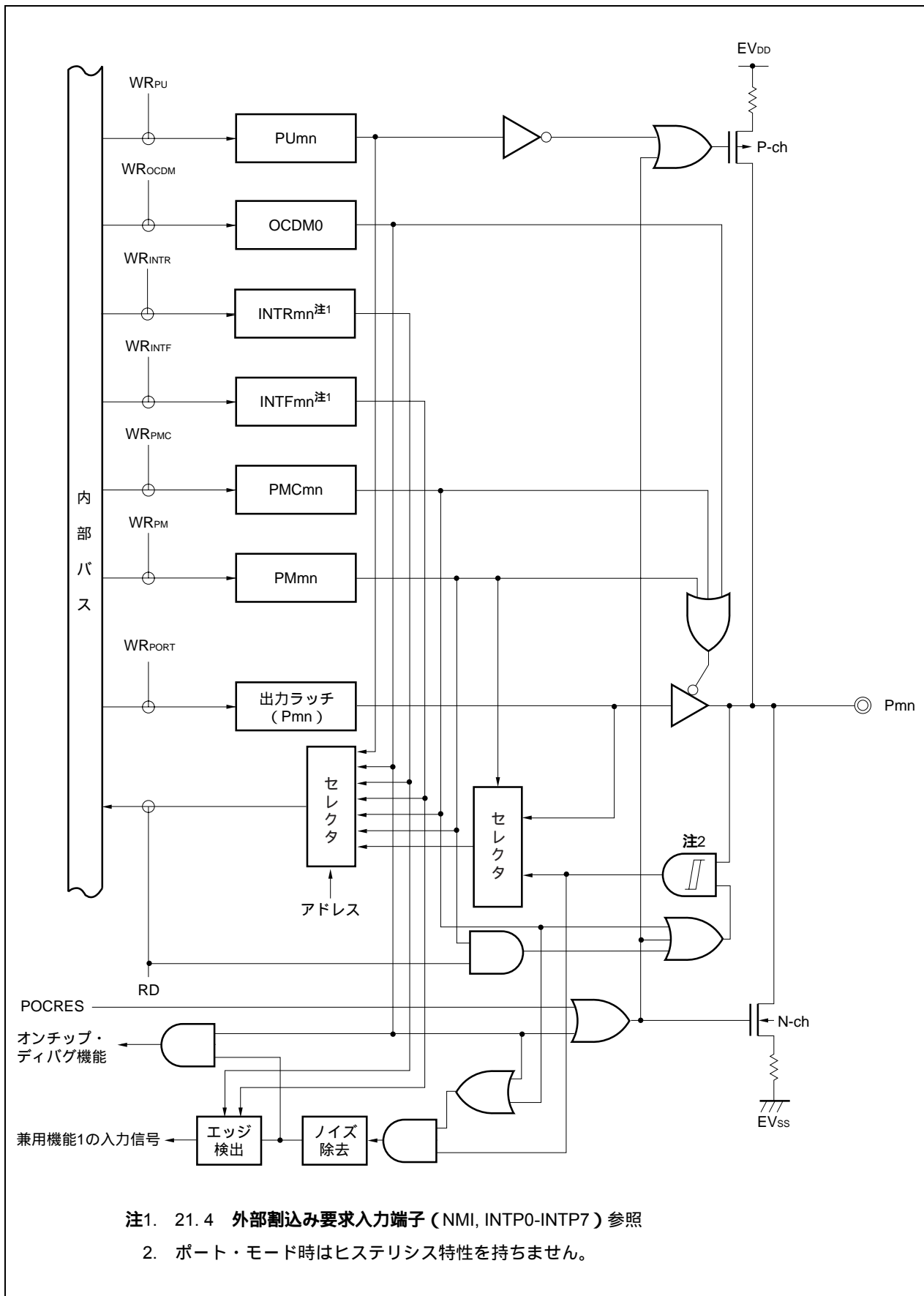


図4 - 34 タイプOE001-SUFTのブロック図

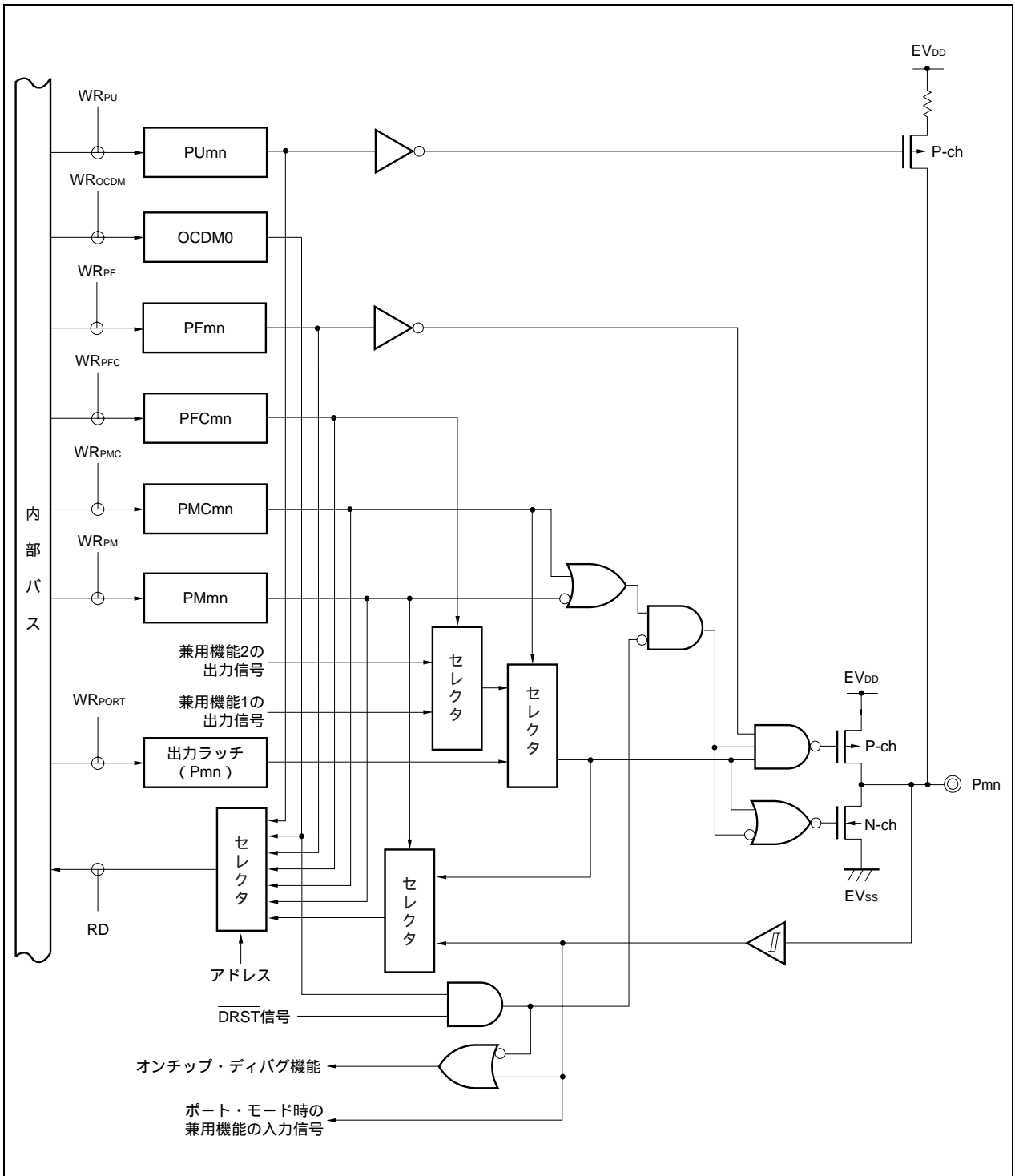


図4 - 35 タイプOE001-SUTのブロック図

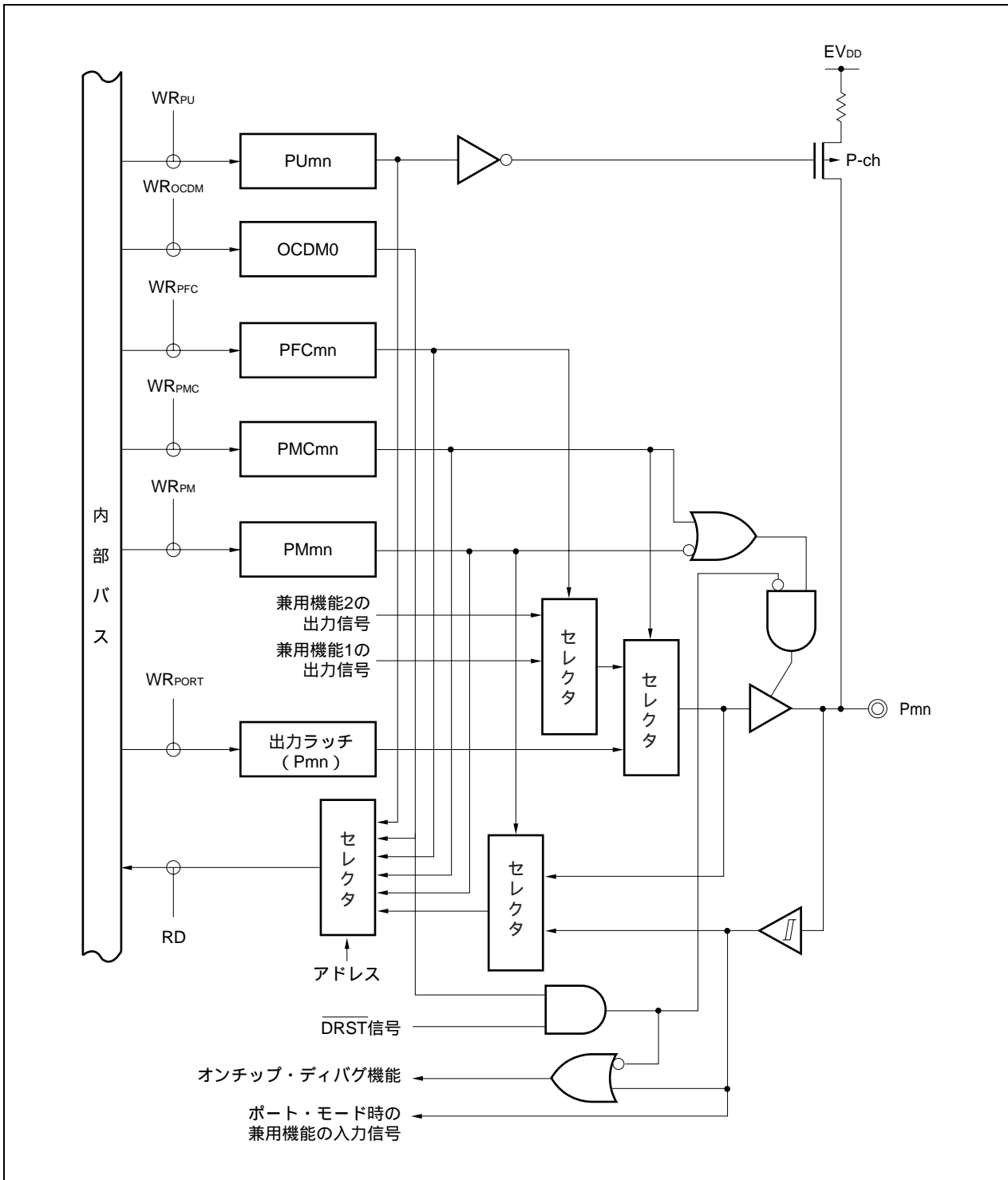


図4 - 36 タイプOE100-SULTのブロック図

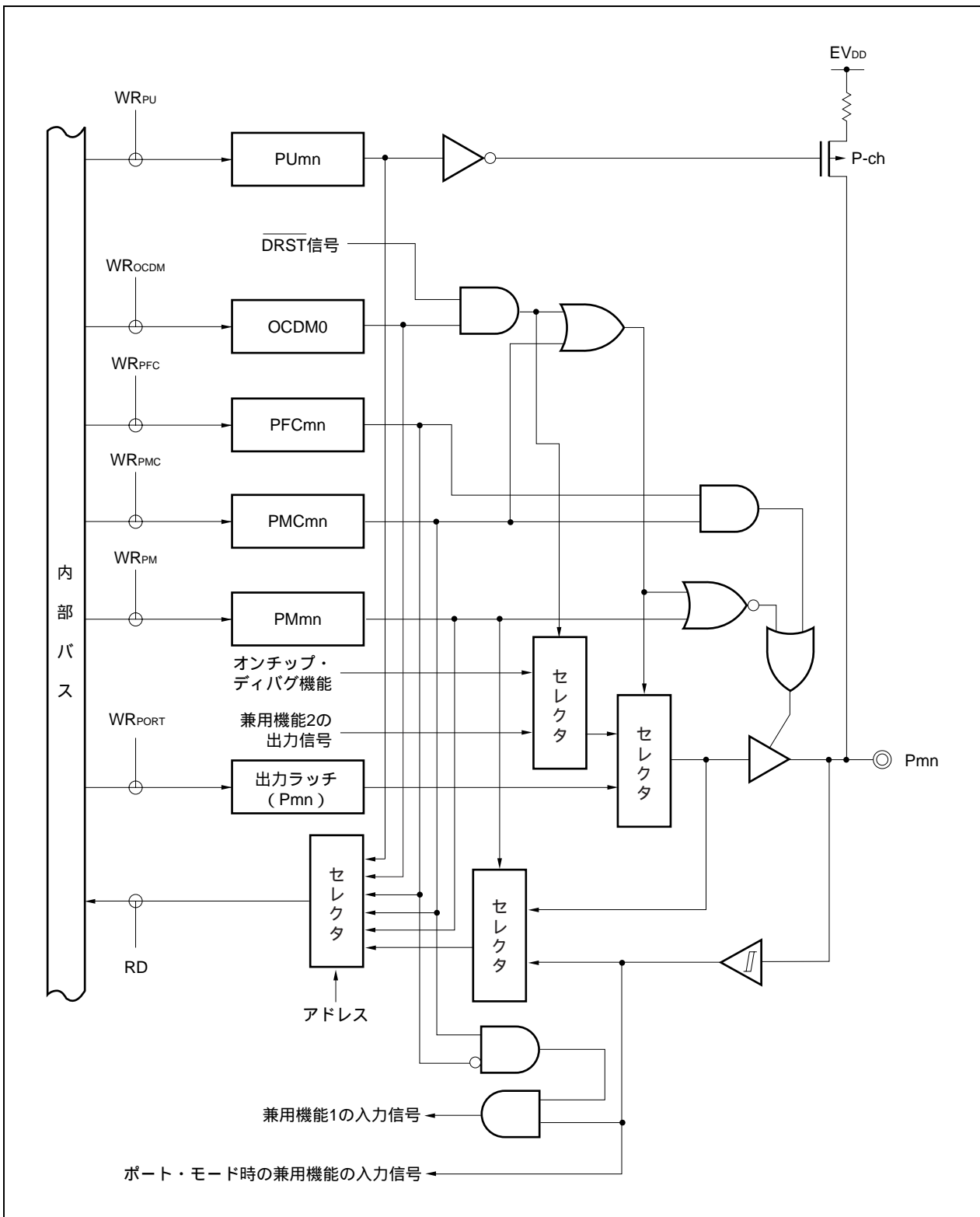
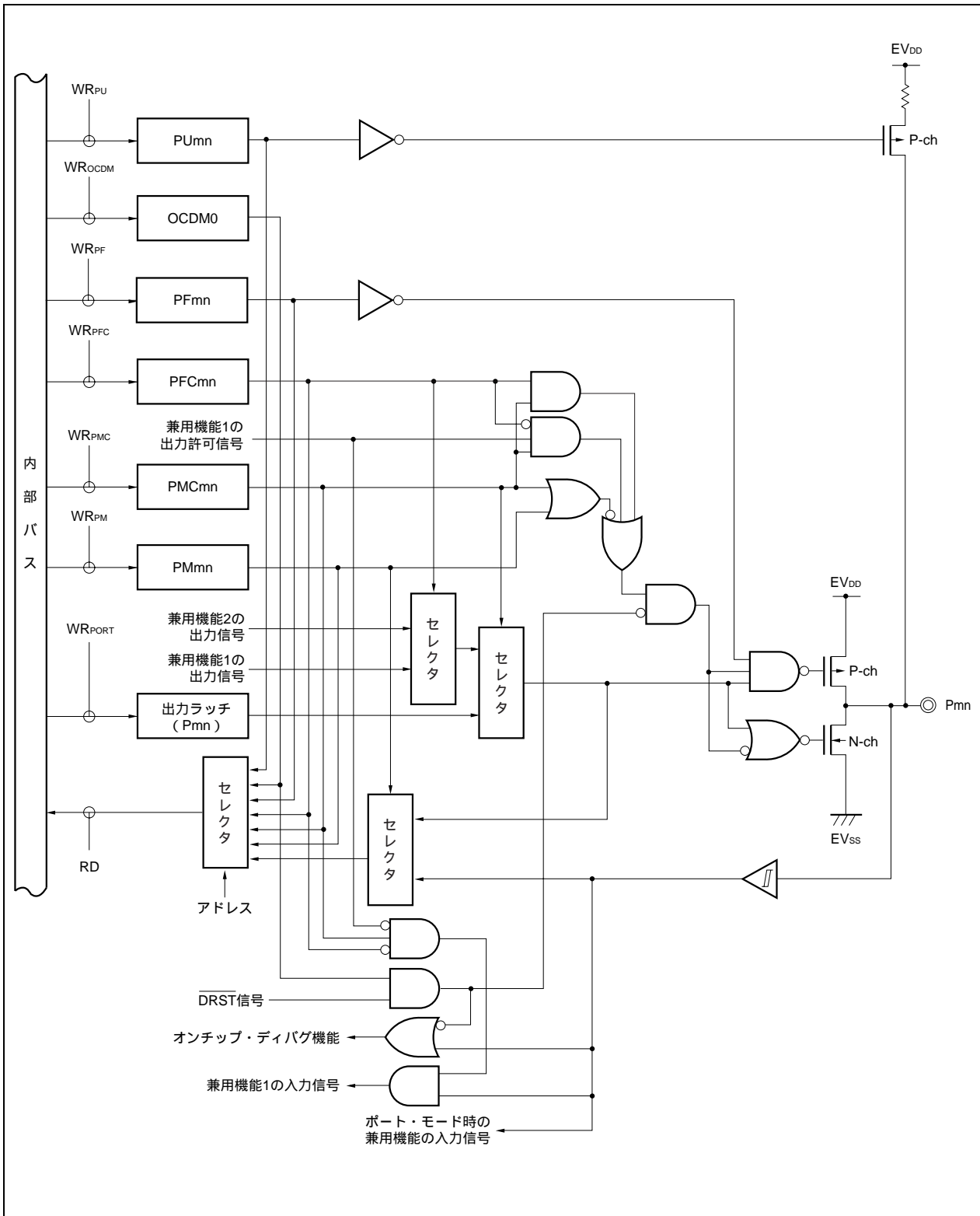


図4 - 37 タイプOE201-SUFLTのブロック図





## 4.5 兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を表4 - 19に示します。  
兼用端子として使用する場合は各機能を参照してください。

表4 - 19 ポート端子を兼用端子として使用する場合 (1/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P00	TOH0	出力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	-	-	-
P01	TOH1	出力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	-	-	-
P02	NMI	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	-	-	-
P03	INTP0	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	-	-	-
P04	INTP1	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	-	-	-
P05	INTP2	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	-	-	OCDM0 (OCDM) = 0 <sup>注1</sup>
	$\overline{\text{DRST}}$ <sup>注1</sup>	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 設定不要	-	-	OCDM0 (OCDM) = 1 <sup>注1</sup>
P06	INTP3	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	-	-	-
P10	ANO0	出力	P10 = 設定不要	PM1レジスタ = FFH	-	-	-	-
P11	ANO1	出力	P11 = 設定不要	PM1レジスタ = FFH	-	-	-	-
P30	TXD0	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	-	PFC30 = 0	-
	TO02	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	-	PFC30 = 1	-
P31	RXD0	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	注2, PFC31 = 0	-
	INTP7	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	注2, PFC31 = 0	-
	TO03	出力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	PFC31 = 1	-
P32	ASCK0	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	-	注3, PFC32 = 0	-
	ADTRG	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	-	注3, PFC32 = 0	-
	TO01	出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	-	PFC32 = 1	-

注1.  $\mu$ PD70F3318, 70F3318Yのみ

- INTP7端子とRXD0端子は兼用となっています。RXD0端子として使用する場合は、兼用しているINTP7端子のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定)。また、INTP7端子として使用する場合は、UART0を受信動作停止としてください (ASIM0.RXE0ビット = 0)。
- ASCK0端子とADTRG端子は兼用となっています。ASCK0端子として使用する場合は、兼用しているADTRG端子のトリガ入力を無効にしてください (ADS.TRGビット = 0, またはADS.ADTMDビット = 1に設定)。また、ADTRG端子として使用する場合はUART0の動作クロックを外部入力に設定しないでください (CKSR0.TPS03-TPS00ビット = 1011以外に設定)。

注意 P10, P11端子を兼用機能 (ANO0, ANO1端子) として使用する場合、PM1レジスタ = FFHに設定してください。

表4 - 19 ポート端子を兼用端子として使用する場合 (2/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P33	TI000	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 0	PFC33 = 0	-
	TO00	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 0	PFC33 = 1	-
	TIP00	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 1	PFC33 = 0	-
	TOP00	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 1	PFC33 = 1	-
P34	TI001	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 0	-
	TO00	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 1	-
	TIP10	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 1	PFC34 = 0	-
	TOP10	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 1	PFC34 = 1	-
P35	TI010	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 0	-
	TO01	出力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 1	-
P38	SDA0 <sup>注1</sup>	入出力	P38 = 設定不要	PM38 = 設定不要	PMC38 = 1	-	-	PF38 (PF3H) = 1
P39	SCL0 <sup>注1</sup>	入出力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	-	-	PF39 (PF3H) = 1
P40	SI00	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	PFC40 = 0	-
	RXD2 <sup>注2</sup>	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	PFC40 = 1	-
P41	SO00	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	PFC41 = 0	PF41 (PF4) = 設定任意
	TXD2	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	PFC41 = 1	PF41 (PF4) = 0
P42	SCK00	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	-	PF42 (PF4) = 設定任意

注1. μ PD70F3316Y, 70F3318Yのみ

2. V850ES/KJ1+は、P80端子にもRXD2端子機能を割り当てており、P40, P80端子を同時にRXD2端子として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40, P80端子を同時にRXD2端子として使用しないでください。

表4 - 19 ポート端子を兼用端子として使用する場合 (3/8)

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCnレジスタの	その他のビット (レジスタ)
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCnxビット	
P50	TI011	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFC50 = 0	-
	RTP00	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFC50 = 1	-
	KR0	入力	P50 = 設定不要	PM50 = 1	PMC50 = 0	PFC50 = 設定不要	KRM0 (KRM) = 1
P51	TI50	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFC51 = 0	-
	RTP01	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFC51 = 1	-
	KR1	入力	P51 = 設定不要	PM51 = 1	PMC51 = 0	PFC51 = 設定不要	KRM1 (KRM) = 1
P52	TO50	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFC52 = 0	OCDM0 (OCDM) = 0 <sup>注</sup>
	RTP02	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFC52 = 1	OCDM0 (OCDM) = 0 <sup>注</sup>
	KR2	入力	P52 = 設定不要	PM52 = 1	PMC52 = 0	PFC52 = 設定不要	KRM2 (KRM) = 1, OCDM0 (OCDM) = 0 <sup>注</sup>
	DDI <sup>注</sup>	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 設定不要	PFC52 = 設定不要	OCDM0 (OCDM) = 1 <sup>注</sup>
P53	SIA0	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFC53 = 0	OCDM0 (OCDM) = 0 <sup>注</sup>
	RTP03	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFC53 = 1	OCDM0 (OCDM) = 0 <sup>注</sup>
	KR3	入力	P53 = 設定不要	PM53 = 1	PMC53 = 0	PFC53 = 設定不要	KRM3 (KRM) = 1, OCDM0 (OCDM) = 0 <sup>注</sup>
	DDO <sup>注</sup>	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 設定不要	PFC53 = 設定不要	OCDM0 (OCDM) = 1 <sup>注</sup>
P54	SOA0	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFC54 = 0	PF54 (PF5) = 設定任意, OCDM0 (OCDM) = 0 <sup>注</sup>
	RTP04	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFC54 = 1	PF54 (PF5) = 0, OCDM0 (OCDM) = 0 <sup>注</sup>
	KR4	入力	P54 = 設定不要	PM54 = 1	PMC54 = 0	PFC54 = 設定不要	PF54 (PF5) = 0, KRM4 (KRM) = 1, OCDM0 (OCDM) = 0 <sup>注</sup>
	DCK <sup>注</sup>	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 設定不要	PFC54 = 設定不要	PF54 (PF5) = 0, OCDM0 (OCDM) = 1 <sup>注</sup>
P55	SCKA0	入出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFC55 = 0	PF55 (PF5) = 設定任意, OCDM0 (OCDM) = 0 <sup>注</sup>
	RTP05	出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFC55 = 1	PF55 (PF5) = 0, OCDM0 (OCDM) = 0 <sup>注</sup>
	KR5	入力	P55 = 設定不要	PM55 = 1	PMC55 = 0	PFC55 = 設定不要	PF55 (PF5) = 0, KRM4 (KRM) = 1, OCDM0 (OCDM) = 0 <sup>注</sup>
	DMS <sup>注</sup>	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 設定不要	PFC55 = 設定不要	PF55 (PF5) = 0, OCDM0 (OCDM) = 1 <sup>注</sup>

注 μPD70F3318, 70F3318Yのみ

表4 - 19 ポート端子を兼用端子として使用する場合 (4/8)

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCnレジスタの	その他のビット (レジスタ)
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCnxビット	
P60	RTP10	出力	P60 = 設定不要	PM60 = 設定不要	PMC60 = 1	-	-
P61	RTP11	出力	P61 = 設定不要	PM61 = 設定不要	PMC61 = 1	-	-
P62	RTP12	出力	P62 = 設定不要	PM62 = 設定不要	PMC62 = 1	-	-
P63	RTP13	出力	P63 = 設定不要	PM63 = 設定不要	PMC63 = 1	-	-
P64	RTP14	出力	P64 = 設定不要	PM64 = 設定不要	PMC64 = 1	-	-
P65	RTP15	出力	P65 = 設定不要	PM65 = 設定不要	PMC65 = 1	-	-
P66	SI02	入力	P66 = 設定不要	PM66 = 設定不要	PMC66 = 1	-	-
P67	SO02	出力	P67 = 設定不要	PM67 = 設定不要	PMC67 = 1	-	PF67 (PF6) = 設定任意
P68	SCK02	入出力	P68 = 設定不要	PM68 = 設定不要	PMC68 = 1	-	PF68 (PF6) = 設定任意
P69	TI040	入力	P69 = 設定不要	PM69 = 設定不要	PMC69 = 1	-	-
P610	TI041	入力	P610 = 設定不要	PM610 = 設定不要	PMC610 = 1	-	-
P611	TO04	出力	P611 = 設定不要	PM611 = 設定不要	PMC611 = 1	-	-
P612	TI050	入力	P612 = 設定不要	PM612 = 設定不要	PMC612 = 1	-	-
P613	TI051	入力	P613 = 設定不要	PM613 = 設定不要	PMC613 = 1	PFC613 = 0	-
	TO05	出力	P613 = 設定不要	PM613 = 設定不要	PMC613 = 1	PFC613 = 1	-

表4 - 19 ポート端子を兼用端子として使用する場合 (5/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力					
P70	ANI0	入力	P70 = 設定不要	-	-	-	-
P71	ANI1	入力	P71 = 設定不要	-	-	-	-
P72	ANI2	入力	P72 = 設定不要	-	-	-	-
P73	ANI3	入力	P73 = 設定不要	-	-	-	-
P74	ANI4	入力	P74 = 設定不要	-	-	-	-
P75	ANI5	入力	P75 = 設定不要	-	-	-	-
P76	ANI6	入力	P76 = 設定不要	-	-	-	-
P77	ANI7	入力	P77 = 設定不要	-	-	-	-
P78	ANI8	入力	P78 = 設定不要	-	-	-	-
P79	ANI9	入力	P79 = 設定不要	-	-	-	-
P710	ANI10	入力	P710 = 設定不要	-	-	-	-
P711	ANI11	入力	P711 = 設定不要	-	-	-	-
P712	ANI12	入力	P712 = 設定不要	-	-	-	-
P713	ANI13	入力	P713 = 設定不要	-	-	-	-
P714	ANI14	入力	P714 = 設定不要	-	-	-	-
P715	ANI15	入力	P715 = 設定不要	-	-	-	-
P80	RXD2 <sup>注1</sup>	入力	P80 = 設定不要	PM80 = 設定不要	PMC80 = 1	PFC80 = 0	PF80 (PF8) = 0
	SDA1 <sup>注2</sup>	入出力	P80 = 設定不要	PM80 = 設定不要	PMC80 = 1	PFC80 = 1	PF80 (PF8) = 1
P81	TXD2	出力	P81 = 設定不要	PM81 = 設定不要	PMC81 = 1	PFC81 = 0	PF81 (PF8) = 0
	SCL1 <sup>注2</sup>	入出力	P81 = 設定不要	PM81 = 設定不要	PMC81 = 1	PFC81 = 1	PF81 (PF8) = 1

注1. V850ES/KJ1+は、P40端子にもRXD2端子機能を割り当てており、P40、P80端子を同時にRXD2端子として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40、P80端子を同時にRXD2端子として使用しないでください。

2.  $\mu$  PD70F3316Y, 70F3318Yのみ

表4 - 19 ポート端子を兼用端子として使用する場合 (6/8)

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCnレジスタの	その他のビット (レジスタ)
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCnxビット	
P90	A0	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFC90 = 0	注
	TXD1	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFC90 = 1	-
	KR6	入力	P90 = 設定不要	PM90 = 1	PMC90 = 0	PFC90 = 設定不要	KRM6 (KRM) = 1
P91	A1	出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFC91 = 0	注
	RXD1	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFC91 = 1	-
	KR7	入力	P91 = 設定不要	PM91 = 1	PMC91 = 0	PFC91 = 設定不要	KRM7 (KRM) = 1
P92	A2	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFC92 = 0	注
	TI020	入力	P92 = 設定不要	PM92 = 1	PMC92 = 0	PFC92 = 設定不要	-
	TO02	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFC92 = 1	-
P93	A3	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFC93 = 0	注
	TI021	入力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFC93 = 1	-
P94	A4	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFC94 = 0	注
	TI030	入力	P94 = 設定不要	PM94 = 1	PMC94 = 0	PFC94 = 設定不要	-
	TO03	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFC94 = 1	-
P95	A5	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFC95 = 0	注
	TI031	入力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFC95 = 1	-
P96	A6	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFC96 = 0	注
	TI51	入力	P96 = 設定不要	PM96 = 1	PMC96 = 0	PFC96 = 設定不要	-
	TO51	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFC96 = 1	-
P97	A7	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFC97 = 0	注
	SI01	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFC97 = 1	-
P98	A8	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFC98 = 0	注, PF98 (PF9) = 0
	SO01	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFC98 = 1	PF98 (PF9) = 設定任意
P99	A9	出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFC99 = 0	注, PF98 (PF9) = 0
	SCK01	入出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFC99 = 1	PF98 (PF9) = 設定任意

注 A0-A15端子に設定する際は、一括してPFC9レジスタ = 0000H, PMC9レジスタ = FFFFHに16ビット設定してください。

表4 - 19 ポート端子を兼用端子として使用する場合 (7/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力					
P910	A10	出力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFC910 = 0	注
	SIA1	入力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFC910 = 1	-
P911	A11	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFC911 = 0	注, PF911 (PF9) = 0
	SOA1	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFC911 = 1	PF911 (PF9) = 設定任意
P912	A12	出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	PFC912 = 0	注, PF912 (PF9) = 0
	SCKA1	入出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	PFC912 = 1	PF912 (PF9) = 設定任意
P913	A13	出力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	PFC913 = 0	注
	INTP4	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	PFC913 = 1	-
P914	A14	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFC914 = 0	注
	INTP5	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFC914 = 1	-
P915	A15	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFC915 = 0	注
	INTP6	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFC915 = 1	-
PCM0	WAIT	入力	PCM0 = 設定不要	PMCM0 = 設定不要	PMCCM0 = 1	-	-
PCM1	CLKOUT	出力	PCM1 = 設定不要	PMCM1 = 設定不要	PMCCM1 = 1	-	-
PCM2	HLD $\overline{\text{AK}}$	出力	PCM2 = 設定不要	PMCM2 = 設定不要	PMCCM2 = 1	-	-
PCM3	HLD $\overline{\text{RQ}}$	入力	PCM3 = 設定不要	PMCM3 = 設定不要	PMCCM3 = 1	-	-
PCS0	CS $\overline{0}$	出力	PCS0 = 設定不要	PMCS0 = 設定不要	PMCCS0 = 1	-	-
PCS1	CS $\overline{1}$	出力	PCS1 = 設定不要	PMCS1 = 設定不要	PMCCS1 = 1	-	-
PCS2	CS $\overline{2}$	出力	PCS2 = 設定不要	PMCS2 = 設定不要	PMCCS2 = 1	-	-
PCS3	CS $\overline{3}$	出力	PCS3 = 設定不要	PMCS3 = 設定不要	PMCCS3 = 1	-	-
PCT0	WR $\overline{0}$	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCC $\overline{\text{T0}}$ = 1	-	-
PCT1	WR $\overline{1}$	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCC $\overline{\text{T1}}$ = 1	-	-
PCT4	R $\overline{\text{D}}$	出力	PCT4 = 設定不要	PMCT4 = 設定不要	PMCC $\overline{\text{T4}}$ = 1	-	-
PCT6	ASTB	出力	PCT6 = 設定不要	PMCT6 = 設定不要	PMCC $\overline{\text{T6}}$ = 1	-	-

注 A0-A15端子に設定する際は、一括してPFC9レジスタ = 0000H, PMC9レジスタ = FFFFHに16ビット設定してください。



表4 - 19 ポート端子を兼用端子として使用する場合 (8/8)

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCnレジスタの	その他のビット (レジスタ)
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCnxビット	
PDH0	A16	出力	PDH0 = 設定不要	PMDH0 = 設定不要	PMCDH0 = 1	-	-
PDH1	A17	出力	PDH1 = 設定不要	PMDH1 = 設定不要	PMCDH1 = 1	-	-
PDH2	A18	出力	PDH2 = 設定不要	PMDH2 = 設定不要	PMCDH2 = 1	-	-
PDH3	A19	出力	PDH3 = 設定不要	PMDH3 = 設定不要	PMCDH3 = 1	-	-
PDH4	A20	出力	PDH4 = 設定不要	PMDH4 = 設定不要	PMCDH4 = 1	-	-
PDH5	A21	出力	PDH5 = 設定不要	PMDH5 = 設定不要	PMCDH5 = 1	-	-
PDH6	A22	出力	PDH6 = 設定不要	PMDH6 = 設定不要	PMCDH6 = 1	-	-
PDH7	A23	出力	PDH7 = 設定不要	PMDH7 = 設定不要	PMCDH7 = 1	-	-
PDL0	AD0	入出力	PDL0 = 設定不要	PMDL0 = 設定不要	PMCDL0 = 1	-	-
PDL1	AD1	入出力	PDL1 = 設定不要	PMDL1 = 設定不要	PMCDL1 = 1	-	-
PDL2	AD2	入出力	PDL2 = 設定不要	PMDL2 = 設定不要	PMCDL2 = 1	-	-
PDL3	AD3	入出力	PDL3 = 設定不要	PMDL3 = 設定不要	PMCDL3 = 1	-	-
PDL4	AD4	入出力	PDL4 = 設定不要	PMDL4 = 設定不要	PMCDL4 = 1	-	-
PDL5	AD5	入出力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 1	-	-
PDL6	AD6	入出力	PDL6 = 設定不要	PMDL6 = 設定不要	PMCDL6 = 1	-	-
PDL7	AD7	入出力	PDL7 = 設定不要	PMDL7 = 設定不要	PMCDL7 = 1	-	-
PDL8	AD8	入出力	PDL8 = 設定不要	PMDL8 = 設定不要	PMCDL8 = 1	-	-
PDL9	AD9	入出力	PDL9 = 設定不要	PMDL9 = 設定不要	PMCDL9 = 1	-	-
PDL10	AD10	入出力	PDL10 = 設定不要	PMDL10 = 設定不要	PMCDL10 = 1	-	-
PDL11	AD11	入出力	PDL11 = 設定不要	PMDL11 = 設定不要	PMCDL11 = 1	-	-
PDL12	AD12	入出力	PDL12 = 設定不要	PMDL12 = 設定不要	PMCDL12 = 1	-	-
PDL13	AD13	入出力	PDL13 = 設定不要	PMDL13 = 設定不要	PMCDL13 = 1	-	-
PDL14	AD14	入出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	-	-
PDL15	AD15	入出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	-	-

## 4.6 注意事項

### 4.6.1 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P90は出力ポート、P91-P97は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき、出力ポートP90の出力をビット操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート・ラッチの値は、“FFH” になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み/読み出しの対象はそれぞれ、出力ラッチ/端子状態です。

また、ビット操作命令はV850ES/KJ1+内部で、次の順序で行われます。

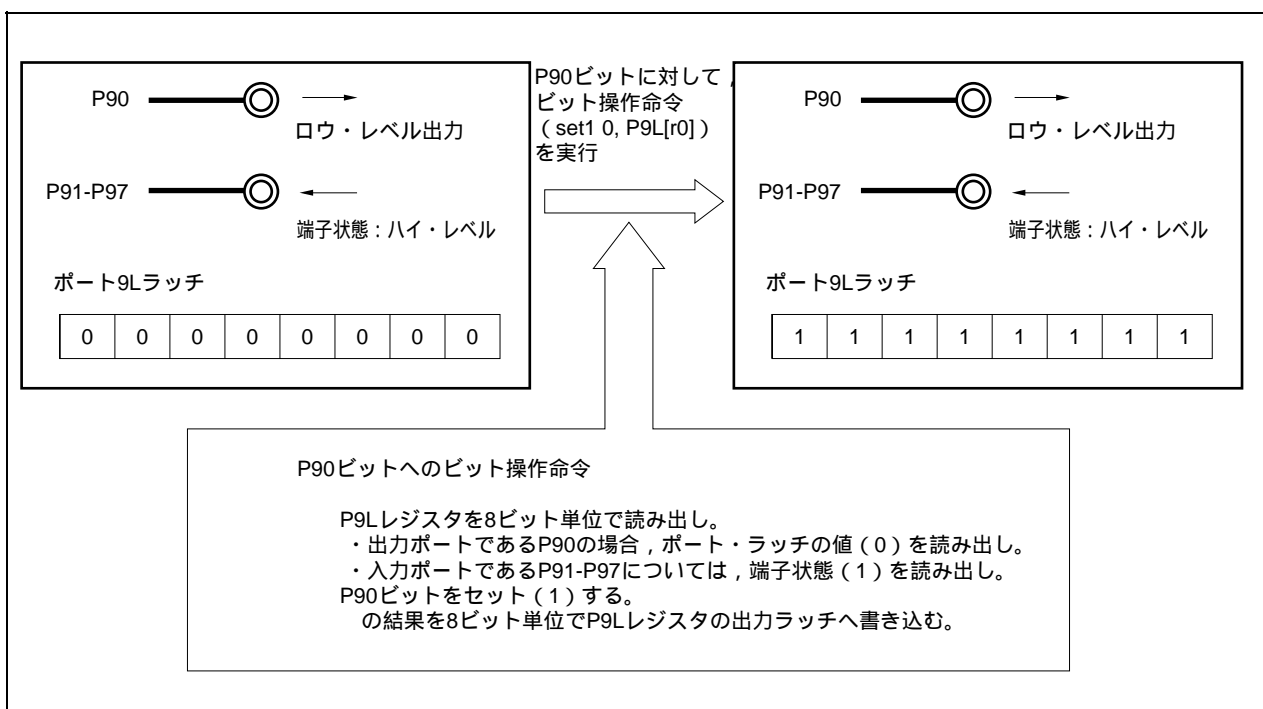
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP90は出力ラッチの値（0）を読み出しますが、入力ポートであるP91-P97は端子状態を読み出します。このときP91-P97の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4 - 33 ビット操作命令 (P90の場合)



## 4.6.2 ヒステリシス特性について

ポート・モードでは、次のポートはヒステリシス特性を持ちません。

P02-P06

P31-P35, P38, P39

P40, P42

P66, P68-P610, P612, P613

P80, P81

P93, P95, P97, P99, P910, P912-P915

## 4.6.3 オンチップ・ディバグ用端子に関する注意事項

$\overline{\text{DRST}}$ , DCK, DMS, DDI, DDO端子はオンチップ・ディバグ用の端子です(フラッシュ・メモリ内蔵品のみ)。

$\overline{\text{RESET}}$ 端子によるリセット後, P05/INTP2/ $\overline{\text{DRST}}$ 端子はオンチップ・ディバグ用端子( $\overline{\text{DRST}}$ )に初期化されます。このとき $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, オンチップ・ディバグ・モードになり, DCK, DMS, DDI, DDO端子が使用可能になります。

オンチップ・ディバグを使用しない場合は, 次の処置が必要です。

- ・OCDMレジスタ(特定レジスタ)のOCDM0ビットをクリア(0)

このとき,  $\overline{\text{RESET}}$ 端子によるリセット解除時から, 上記の処理を終えるまで, P05/INTP2/ $\overline{\text{DRST}}$ 端子をロウ・レベル固定にしてください。

上記処置を行う前に $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, 誤動作(CPUデッド・ロック)の原因となるため, P05端子の取り扱いには十分注意してください。

**注意** WDTRES1信号, WDTRES2信号, クロック・モニタ(CLM), 低電圧検出回路(LVI)によるリセット時は, P05/INTP2/ $\overline{\text{DRST}}$ 端子はオンチップ・ディバグ用端子( $\overline{\text{DRST}}$ )に初期化されません。また, OCDMレジスタも値を保持します。

## 4.6.4 P05/INTP2/ $\overline{\text{DRST}}$ 端子に関する注意事項

P05/INTP2/ $\overline{\text{DRST}}$ 端子はプルダウン抵抗(30 k $\Omega$ (TYP.))を内蔵しています。 $\overline{\text{RESET}}$ 端子によるリセット後は, プルダウン抵抗が接続されています。OCDM0ビットをクリア(0)することにより, プルダウン抵抗は切断されます。

## 第5章 バス制御機能

V850ES/KJ1+は、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

### 5.1 特 徴

16ビット・データ・バス

最小で3バス・サイクルのマルチプレクス・バスと、最小で2バス・サイクルのセパレート・バス出力選択可能

最大4空間のチップ・セレクト機能

8ビット/16ビット・データ・バス切り替え可能(チップ・セレクトで選択される領域ごとに選択可能)

ウエイト機能

- ・最大で7ステートのプログラマブル・ウエイト機能(チップ・セレクトで選択される領域ごとに選択可能)
- ・ $\overline{\text{WAIT}}$ 端子による外部ウエイト機能

アイドル・ステート機能

バス・ホールド機能

$BV_{DD} = V_{DD} = EV_{DD}$ とすることでバスを動作電圧と異なった電圧で制御可能(ただし、マルチプレクス・バス・モードのみ)。

ポートとの兼用端子で、外部デバイスに接続可能

ミス・アライン・アクセス可能

## 5.2 バス制御端子

外部デバイスの接続には、次の端子を使用します。

表5-1 バス制御端子一覧（マルチプレクス・バス選択時）

バス制御端子	兼用端子	入出力	機能	ポート・モード/兼用機能の切り替えを行うレジスタ
AD0-AD15	PDL0-PDL15	入出力	アドレス/データ・バス	PMCDLレジスタ
A16-A23	PDH0-PDH7	出力	アドレス・バス	PMCDHレジスタ
WAIT	PCM0	入力	外部ウエイト制御	PMCCMレジスタ
CLKOUT	PCM1	出力	内部システム・クロック出力	PMCCMレジスタ
CS0-CS3	PCS0-PCS3	出力	チップ・セレクト	PMCCSレジスタ
WR0, WR1	PCT0, PCT1	出力	ライト・ストロープ信号	PMCCTレジスタ
RD	PCT4	出力	リード・ストロープ信号	PMCCTレジスタ
ASTB	PCT6	出力	アドレス・ストロープ信号	PMCCTレジスタ
HLDQR	PCM3	入力	バス・ホールド制御	PMCCMレジスタ
HLDAK	PCM2	出力		

表5-2 バス制御端子一覧（セパレート・バス選択時）

バス制御端子	兼用端子	入出力	機能	ポート・モード/兼用機能の切り替えを行うレジスタ
AD0-AD15	PDL0-PDL15	入出力	データ・バス	PMCDLレジスタ
A0-A15	P90-P915	出力	アドレス・バス	PMC9レジスタ
A16-A23	PDH0-PDH7	出力	アドレス・バス	PMCDHレジスタ
WAIT	PCM0	入力	外部ウエイト制御	PMCCMレジスタ
CLKOUT	PCM1	出力	内部システム・クロック出力	PMCCMレジスタ
CS0-CS3	PCS0-PCS3	出力	チップ・セレクト	PMCCSレジスタ
WR0, WR1	PCT0, PCT1	出力	ライト・ストロープ信号	PMCCTレジスタ
RD	PCT4	出力	リード・ストロープ信号	PMCCTレジスタ
HLDQR	PCM3	入力	バス・ホールド制御	PMCCMレジスタ
HLDAK	PCM2	出力		

### 5.2.1 内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態

内蔵ROM，内蔵RAM，内蔵周辺I/Oへアクセスした場合、各端子状態は次のようになります。

表5-3 内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態一覧

セパレート・バス・モード		マルチプレクス・バス・モード	
アドレス・バス (A23-A0)	不定	アドレス・バス (A23-A16)	不定
データ・バス (AD15-AD0)	Hi-Z	アドレス/データ・バス (AD15-AD0)	不定
制御信号	インアクティブ	制御信号	インアクティブ

**注意** 内蔵ROM領域へライト・アクセスしたときには、外部メモリ領域へのアクセスと同じくアドレス、データ、制御信号ともに活性化されます。

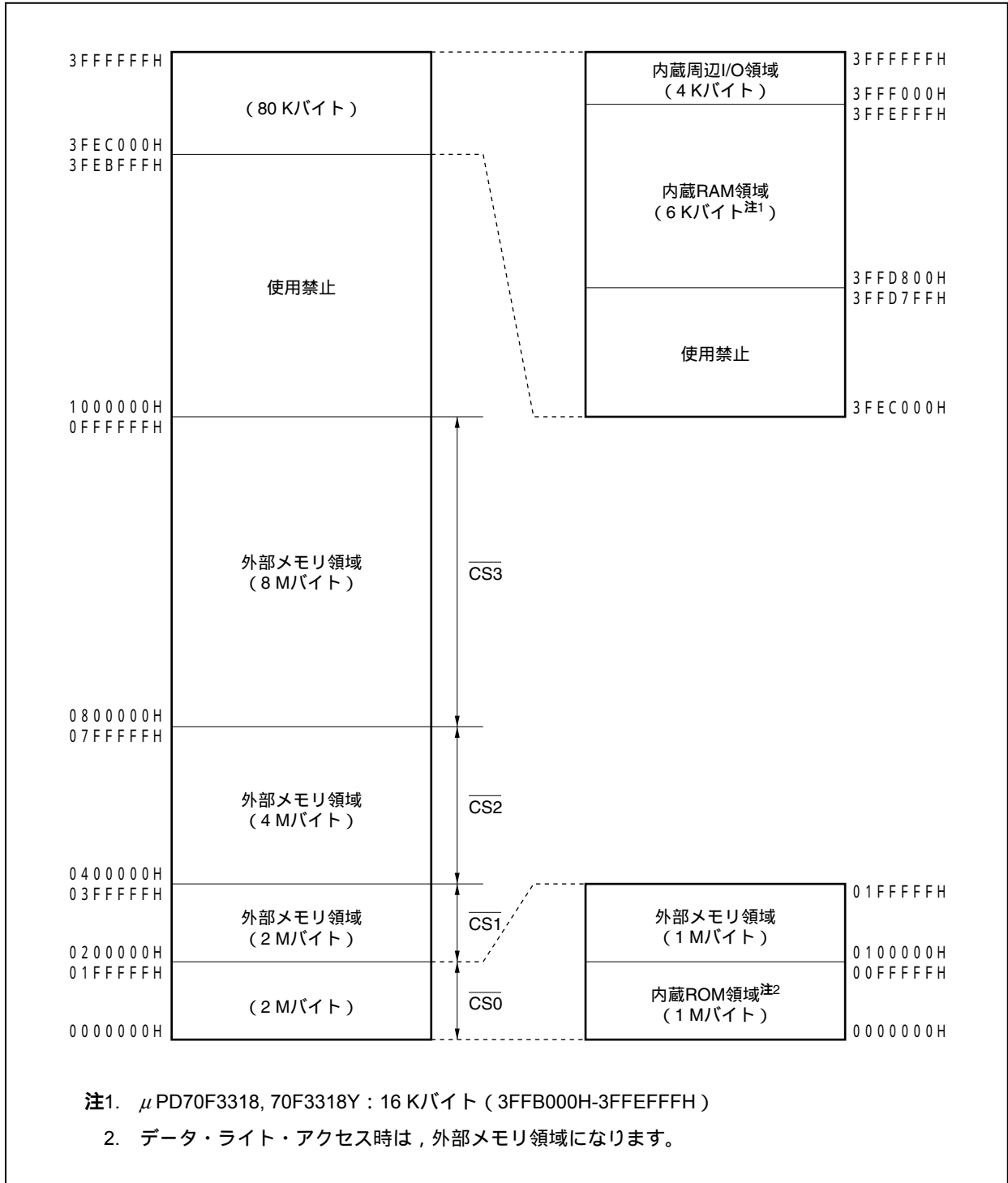
### 5.2.2 各動作モードの端子状態

V850ES/KJ1+の各動作モードの端子状態については、2.2 端子状態を参照してください。

### 5.3 メモリ・ブロック機能

64 Mバイトのメモリ空間は下位2M, 2M, 4M, 8Mバイト単位のチップ・セレクト領域に分割され、各チップ・セレクト領域ごとにプログラマブル・ウェイト機能、バス・サイクル動作モードなどを独立に制御できます。

図5 - 1 データ・メモリ・マップ：物理アドレス



### 5.3.1 チップ・セレクト制御機能

アドレス空間：64 Mバイト（リニア）のうち、下位16 Mバイト（0000000H-0FFFFFFFH）は $\overline{CS0}$ - $\overline{CS3}$ の4本のチップ・セレクト機能を内蔵しています。 $\overline{CS0}$ - $\overline{CS3}$ で選択される領域は固定されています

チップ・セレクト制御機能により、メモリ空間を有効に利用できます。チップ・セレクト領域の割り当てを次に示します。

$\overline{CS0}$	0000000H-01FFFFFFH（2 Mバイト）
$\overline{CS1}$	0200000H-03FFFFFFH（2 Mバイト）
$\overline{CS2}$	0400000H-07FFFFFFH（4 Mバイト）
$\overline{CS3}$	0800000H-0FFFFFFFH（8 Mバイト）

### 5.4 外部バス・インタフェース・モード制御機能

V850ES/KJ1+は、外部バス・インタフェースとして次の2つのモードがあります。

- ・マルチプレクス・バス・モード
- ・セパレート・バス・モード

2つのモードの切り替えはEXIMCレジスタで設定します。

#### (1) 外部バス・インタフェース・モード・コントロール・レジスタ（EXIMC）

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H    R/W    アドレス：FFFFFFBEH

	7	6	5	4	3	2	1	0
EXIMC	0	0	0	0	0	0	0	SMSEL

SMSEL	モード切り替え
0	マルチプレクス・バス・モード
1	セパレート・バス・モード

**注意** EXIMCレジスタの設定は、外部アクセスを行う前に、内蔵ROMまたは内蔵RAM領域から行ってください。

また、EXIMCレジスタ設定後には、必ずNOP命令を1つ、挿入してください。

## 5.5 バス・アクセス

### 5.5.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

領域 (バス幅) バス・サイクル・タイプ	内蔵ROM (32ビット)	内蔵RAM (32ビット)	外部メモリ (16ビット)	内蔵周辺I/O (16ビット)
命令フェッチ (通常アクセス)	1	1 <sup>注1</sup>	3+n <sup>注2</sup>	-
命令フェッチ (分岐)	2	2 <sup>注1</sup>	3+n <sup>注2</sup>	-
オペランド・データ・アクセス	3	1	3+n <sup>注2</sup>	3 <sup>注3</sup>

注1. データ・アクセスと競合した場合は+1されます。

- マルチプレクス・バス選択時の値です。セパレート・バス選択時は、2+nクロック (n: ウェイト数) です。
- VSWCレジスタの設定によります。

備考 単位はクロック/アクセスです。

### 5.5.2 バス・サイズ設定機能

外部メモリ領域は、 $\overline{CSn}$ で選択される領域ごとにバス・サイズをBSCレジスタで設定できます。ただし、設定可能なバス・サイズは8ビットと16ビットのみです。

V850ES/KJ1+の外部メモリ領域は、 $\overline{CS0}$ - $\overline{CS3}$ で選択されます。

#### (1) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

16ビット単位でリード/ライト可能です。

リセットにより5555Hになります。

**注意** BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時: 5555H R/W アドレス: FFFFF066H

	15	14	13	12	11	10	9	8
BSC	0	1	0	1	0	1	0	1
	7	6	5	4	3	2	1	0
	0	BS30	0	BS20	0	BS10	0	BS00
$\overline{CSn}$ 信号		$\overline{CS3}$		$\overline{CS2}$		$\overline{CS1}$		$\overline{CS0}$

BSn0	CSn空間のデータ・バス幅 (n = 0-3)
0	8ビット
1	16ビット

**注意** ビット14, 12, 10, 8には必ず1を設定し、ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。



### 5.5.3 バス・サイズによるアクセス

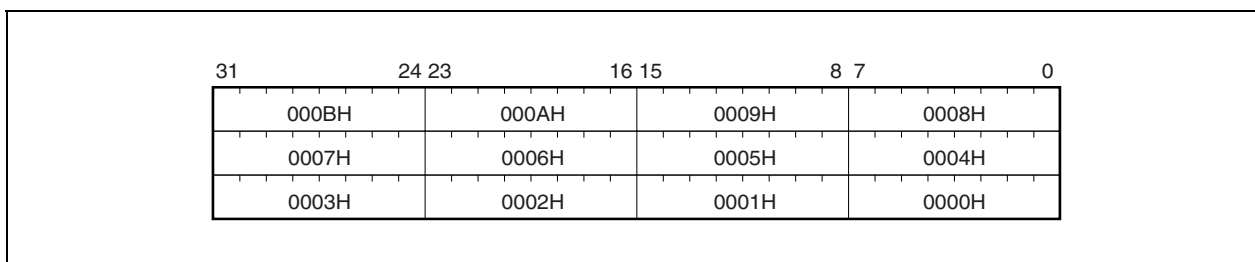
V850ES/KJ1+が内蔵周辺I/Oアクセス，外部メモリ・アクセスを行う場合には，8, 16, 32ビット・アクセスがあります。またバス・サイズは次のとおりです。

- ・内蔵周辺I/Oのバス・サイズは16ビット固定
- ・外部メモリのバス・サイズは8ビット / 16ビット選択可能（BSCレジスタにより設定）

次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。

V850ES/KJ1+は，リトル・エンディアン形式のみ対応しています。

図5-2 ワード内のリトル・エンディアン・アドレス



#### (1) データ空間

V850ES/KJ1+はアドレス・ミス・アライン機能を内蔵しています。

この機能により，データの形式（ワード・データ，ハーフワード・データ）にかかわらず，すべてのアドレスに対してデータを配置できます。ただし，ワード・データ，ハーフワード・データの場合，データが境界整列していないと，バス・サイクルが最低2回は発生し，バス効率が低下します。

##### (a) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき，バイト長のバス・サイクルを2回生成します。

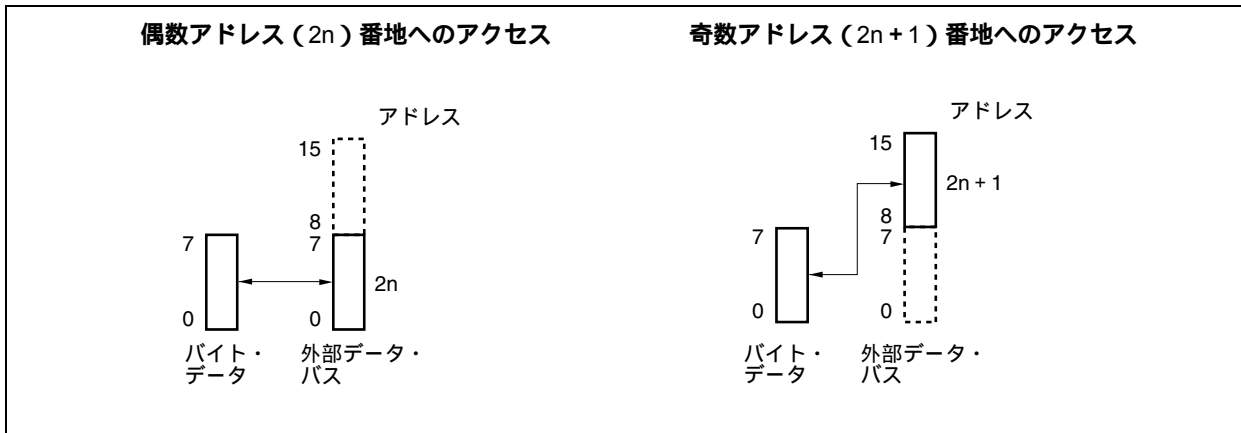
##### (b) ワード長のデータ・アクセスの場合

(i) アドレスの最下位ビットが1のとき，バイト長のバス・サイクル，ハーフワード長のバス・サイクル，バイト長のバス・サイクルの順でバス・サイクルを生成します。

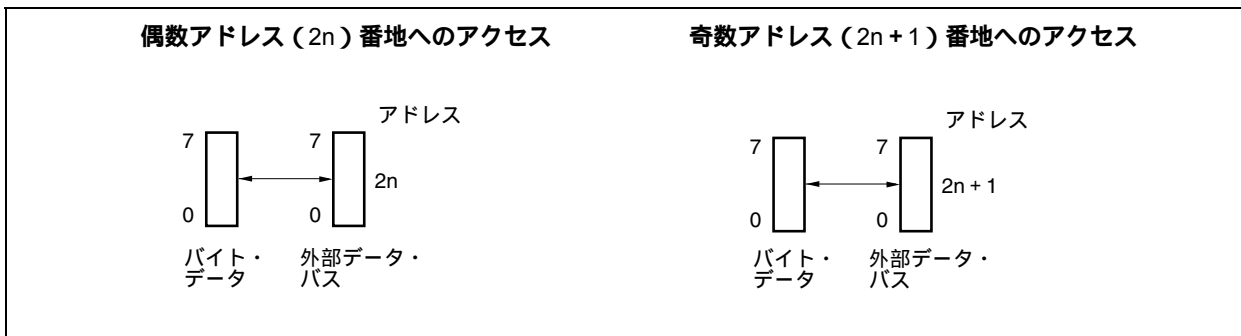
(ii) アドレスの下位2ビットが10のとき，ハーフワード長のバス・サイクルを2回生成します。

(2) バイト・アクセス (8ビット)

(a) 16ビット・データ・バス幅のとき

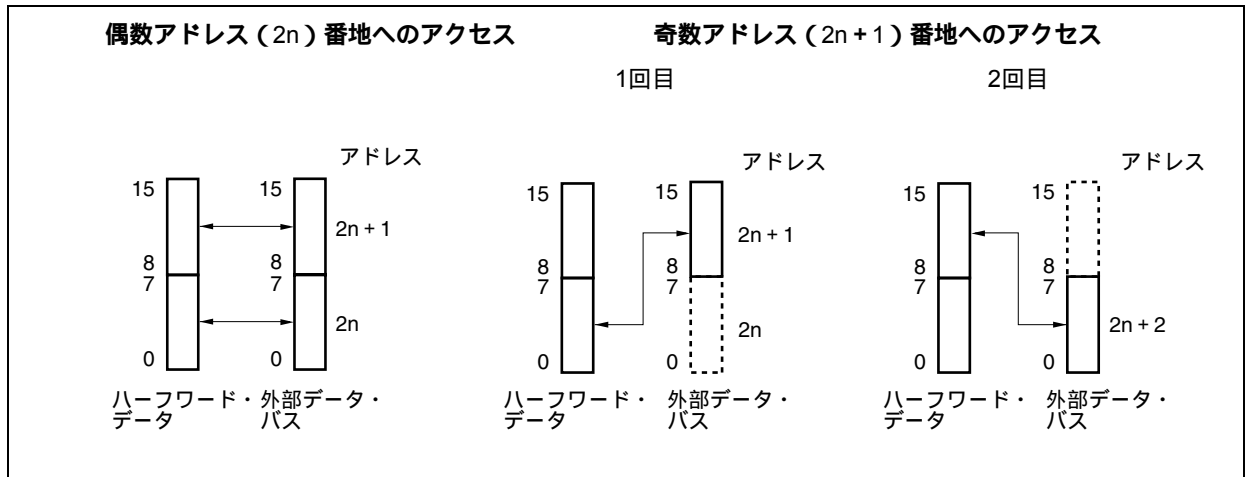


(b) 8ビット・データ・バス幅のとき

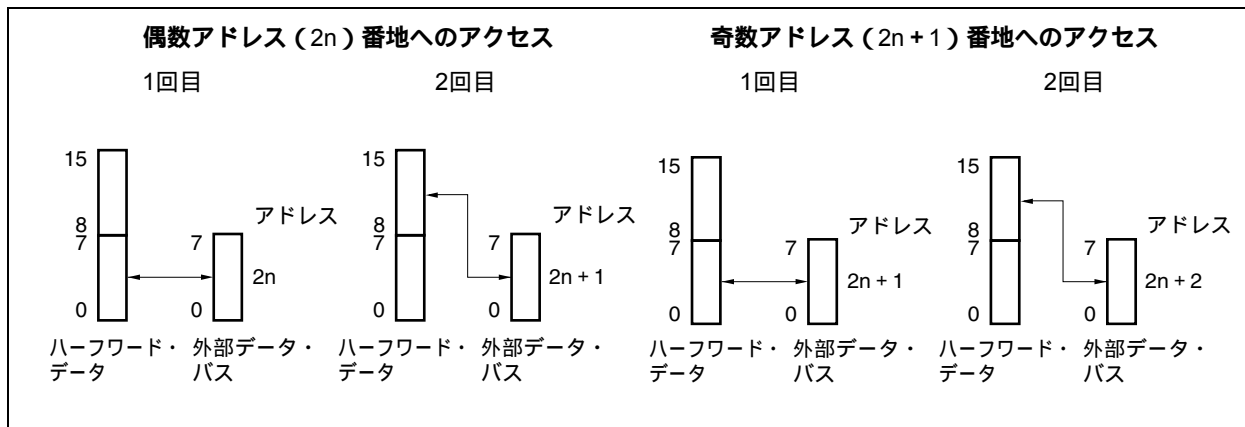


(3) ハーフワード・アクセス (16ビット)

(a) 16ビット・データ・バス幅のとき

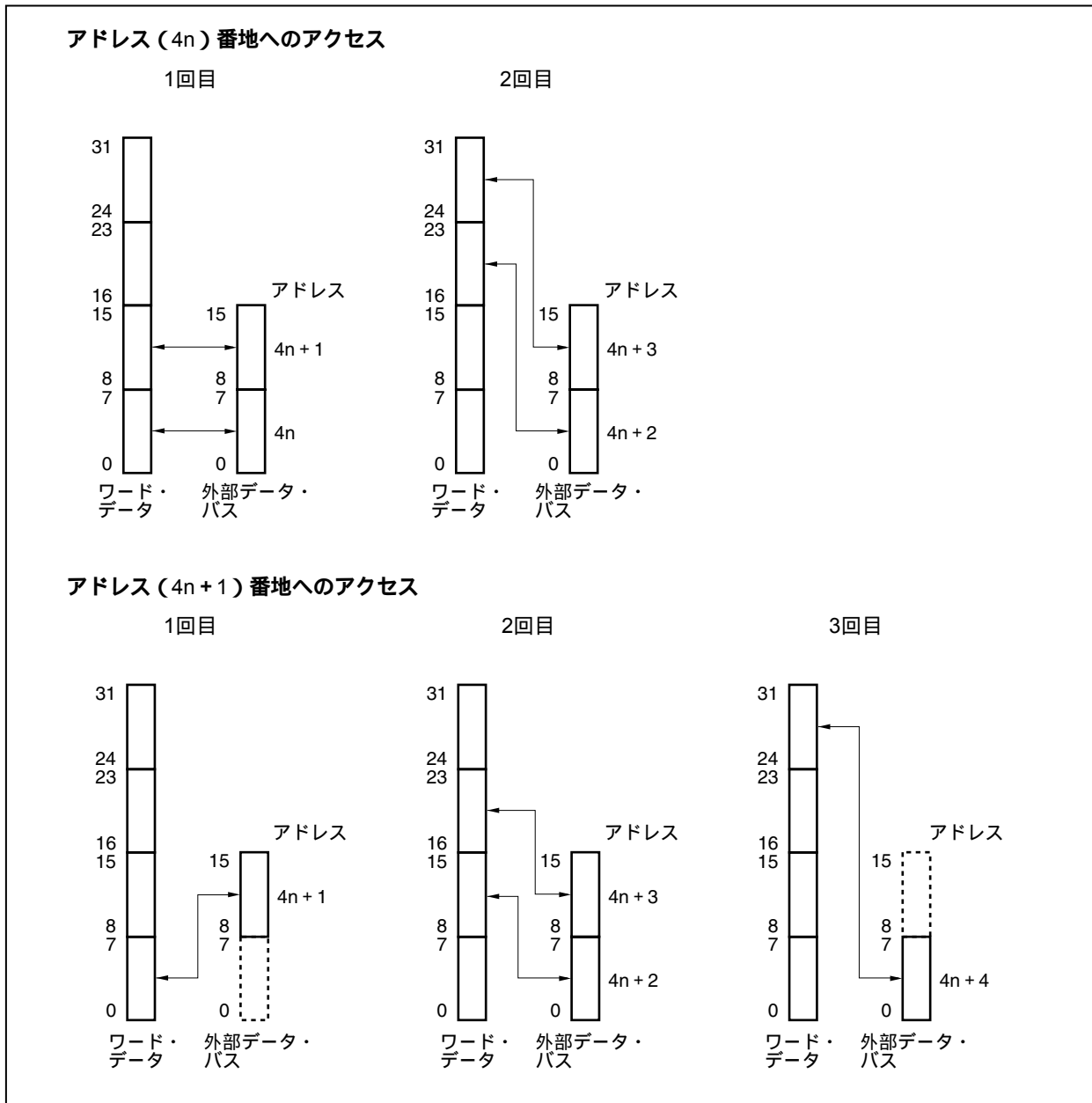


(b) 8ビット・データ・バス幅のとき



(4) ワード・アクセス (32ビット)

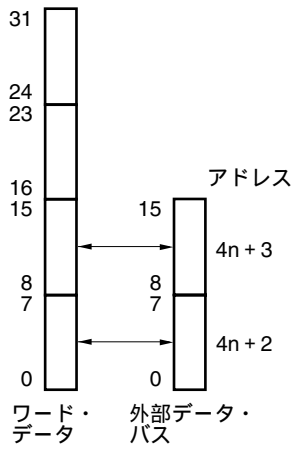
(a) 16ビット・データ・バス幅のとき (1/2)



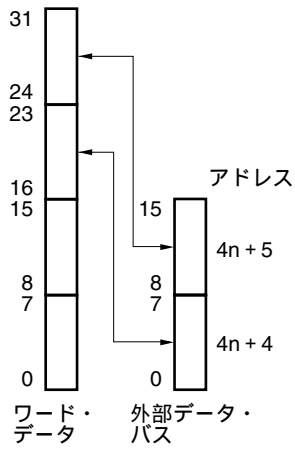
(a) 16ビット・データ・バス幅のとき (2/2)

アドレス  $(4n+2)$  番地へのアクセス

1回目

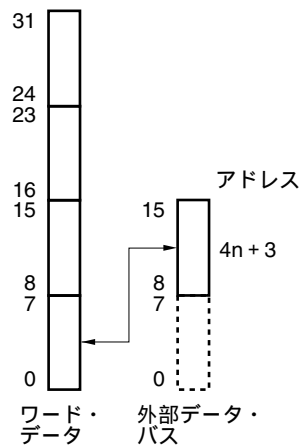


2回目

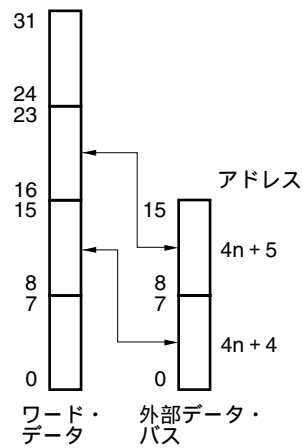


アドレス  $(4n+3)$  番地へのアクセス

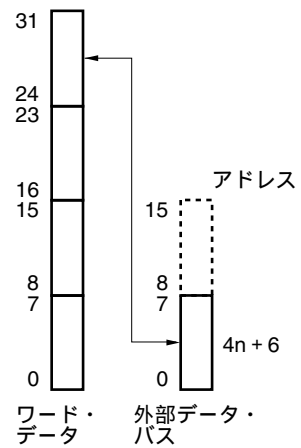
1回目



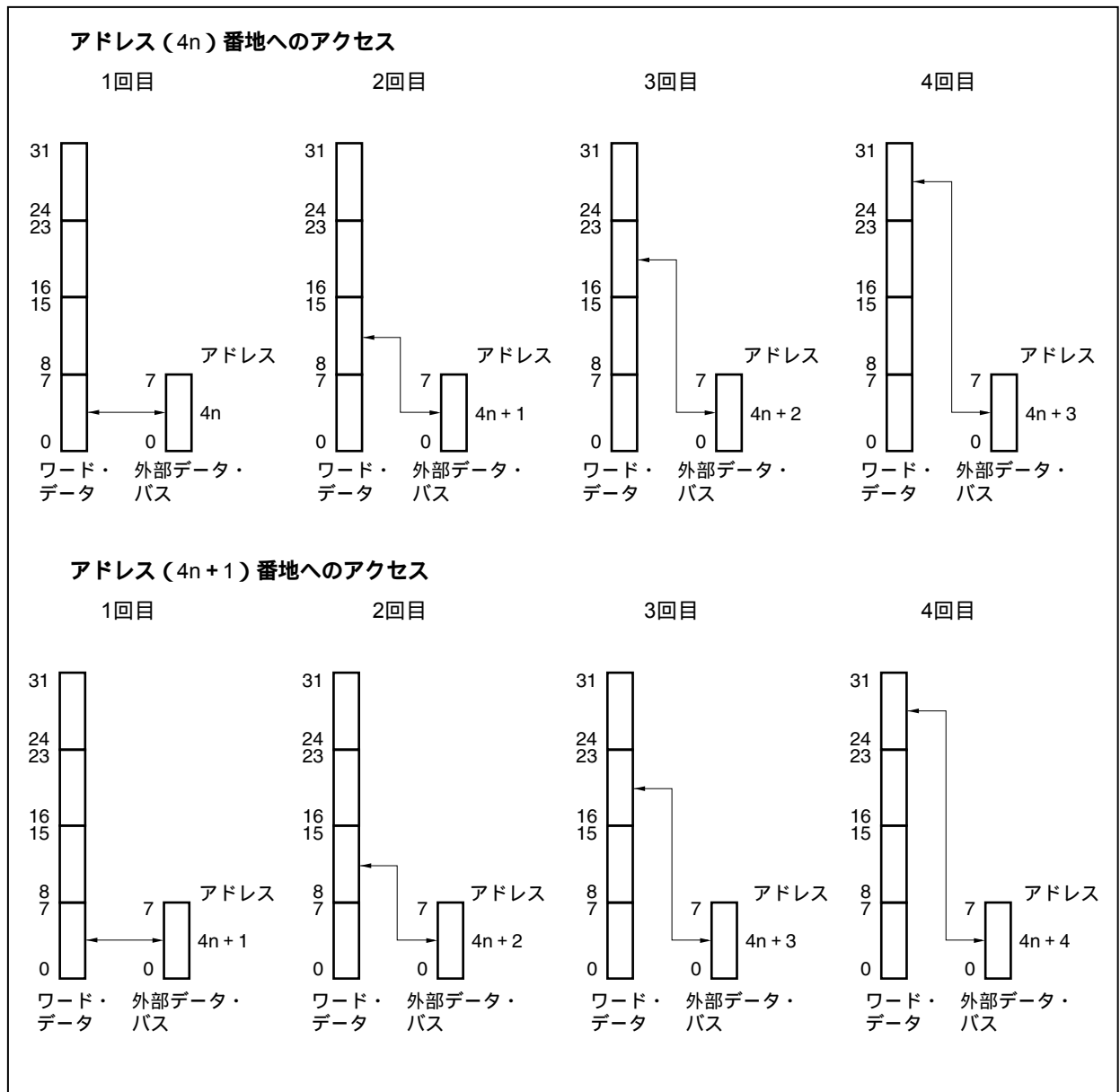
2回目



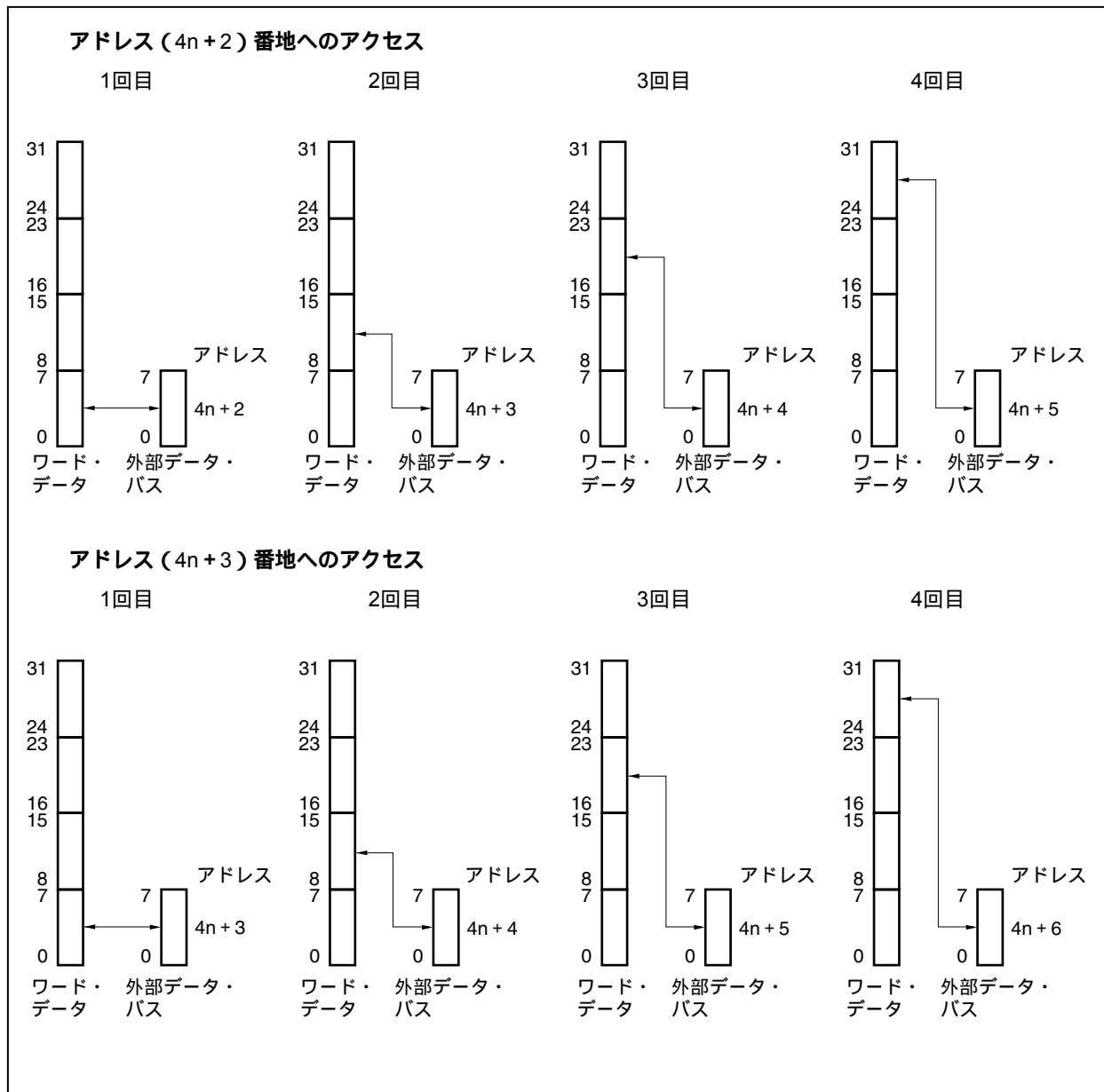
3回目



(b) 8ビット・データ・バス幅のとき (1/2)



(b) 8ビット・データ・バス幅のとき (2/2)



## 5.6 ウェイト機能

### 5.6.1 プログラマブル・ウェイト機能

#### (1) データ・ウェイト制御レジスタ0 (DWC0)

低速メモリ、I/Oに対するインタフェースを容易に実現させることを目的とし、各CS空間ごとに起動されるバス・サイクルに対し、最大7ステートのデータ・ウェイトを挿入可能です。

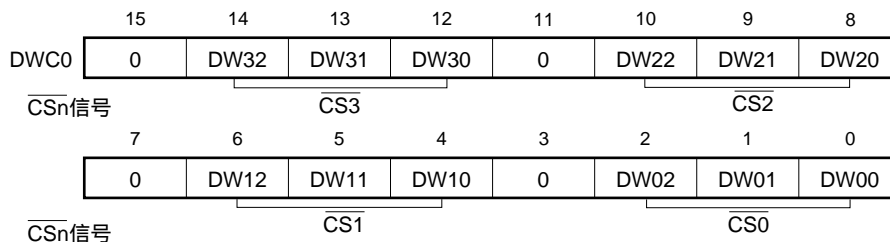
ウェイト数は、DWC0レジスタでプログラマブルに指定可能です。システム・リセット直後は、全チップ・セレクト領域に対して7データ・ウェイトの挿入状態になります。

16ビット単位でリード/ライト可能です。

リセットにより7777Hになります。

- 注意1.** 内蔵ROM領域、内蔵RAM領域は、プログラマブル・ウェイトの対象外で、常にノー・ウェイト・アクセスを行います。また、内蔵周辺I/O領域も、プログラマブル・ウェイトの対象外で、各周辺機能からのウェイト制御だけ行われます。
- 2.** DWC0レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、DWC0レジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：7777H R/W アドレス：FFFFFF484H



DWn2	DWn1	DWn0	CSn空間の挿入ウェイト数 (n = 0-3)
0	0	0	挿入しない
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

**注意** ビット15, 11, 7, 3には必ず0を設定してください。



### 5.6.2 外部ウエイト機能

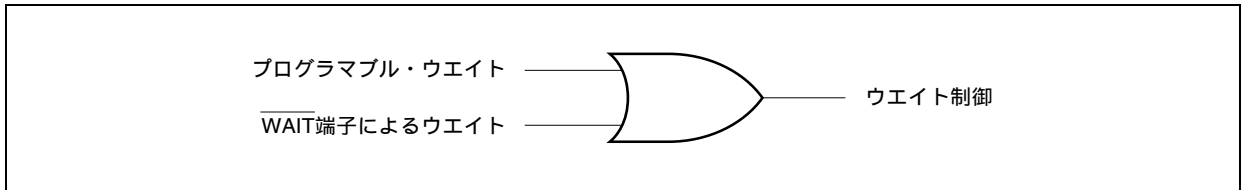
極端に遅いメモリや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 ( $\overline{\text{WAIT}}$ ) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、マルチプレクス・バス時にはバス・サイクルのT2、TWステートのクロックの立ち下がりでサンプリングされます。セパレート・バス時にはバス・サイクルのT1とTWステート直後のクロックの立ち上がりでサンプリングされます。サンプル・タイミングにおける設定/保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

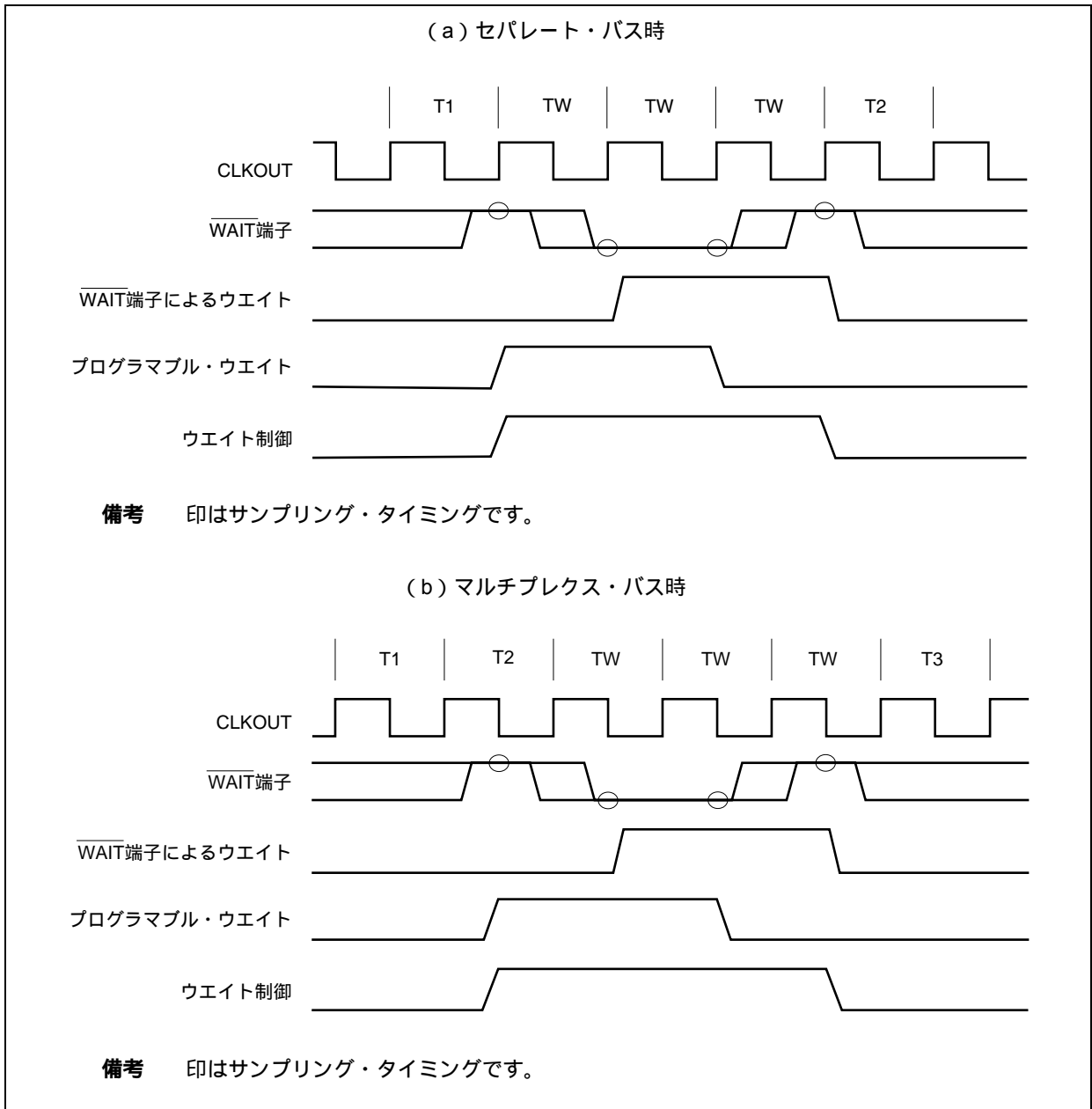
### 5.6.3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和 (OR) として挿入されます。



たとえば、プログラマブル・ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図5-3 ウエイト挿入例



### 5.6.4 プログラマブル・アドレス・ウエイト機能

AWCレジスタにより、各バス・サイクルに対して挿入するアドレス・セットアップ・ウエイト/アドレス・ホールド・ウエイトを設定できます。アドレス・ウエイト挿入は各チップ・セレクト領域 ( $\overline{CS0}$ - $\overline{CS3}$ ) ごとに設定します。

アドレス・セットアップ・ウエイトを挿入すると、T1ステートのハイ・クロック期間が1クロック分伸びたイメージになります。また、アドレス・ホールド・ウエイトを挿入すると、T1ステートのロウ・クロック期間が1クロック分伸びたイメージになります。

#### (1) アドレス・ウエイト制御レジスタ (AWC)

16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

**注意1.** 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アドレス・セットアップ・ウエイト/アドレス・ホールド・ウエイト挿入の対象外になります。

**2.** AWCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、AWCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：FFFFH R/W アドレス：FFFFFF488H

	15	14	13	12	11	10	9	8
AWC	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
	AHW3	ASW3	AHW2	ASW2	AHW1	ASW1	AHW0	ASW0
$\overline{CSn}$ 信号	$\overline{CS3}$		$\overline{CS2}$		$\overline{CS1}$		$\overline{CS0}$	

AHWn	アドレス・ホールド・ウエイト挿入指定 (n = 0-3)
0	挿入しない
1	挿入する

ASWn	アドレス・セットアップ・ウエイト挿入指定 (n = 0-3)
0	挿入しない
1	挿入する

**注意** ビット15-8には必ず1を設定してください。

## 5.7 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし、 $\overline{CSn}$ で選択される空間ごとに起動されるバス・サイクルに対し、マルチプレクス・アドレス/データ・バス時には、T3ステート後に1ステートのアイドル・ステート (TI) を挿入できます。また、セパレート・バス時には、T2ステート後に1ステートのアイドル・ステート (TI) を挿入できます。アイドル・ステートを挿入することにより、リード・アクセス時のメモリのデータ出力フロート遅延時間を確保することができます (ライト・アクセス時には、アイドル・ステートは挿入できません。 )。

アイドル・ステートの挿入指定は、BCCレジスタでプログラマブルに設定できます。

システム・リセット直後は、全領域に対してアイドル・ステートの挿入状態になります。

### (1) バス・サイクル制御レジスタ (BCC)

16ビット単位でリード/ライト可能です。

リセットによりAAAAHになります。

- 注意1.** 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。
- 2.** BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時 : AAAAH R/W アドレス : FFFFF48AH

	15	14	13	12	11	10	9	8
BCC	1	0	1	0	1	0	1	0
	7	6	5	4	3	2	1	0
	BC31	0	BC21	0	BC11	0	BC01	0
$\overline{CSn}$ 信号	$\overline{CS3}$		$\overline{CS2}$		$\overline{CS1}$		$\overline{CS0}$	

BCn1	アイドル・ステート挿入指定 (n = 0-3)
0	挿入しない
1	挿入する

**注意** ビット15, 13, 11, 9には必ず1を設定し、ビット14, 12, 10, 8, 6, 4, 2, 0には必ず0を設定してください。

## 5.8 バス・ホールド機能

### 5.8.1 機能概要

PCM2, PCM3端子が兼用機能に設定されていれば,  $\overline{\text{HLDRQ}}$ ,  $\overline{\text{HLDAK}}$ 機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になったことを受け付けると, 外部アドレス/データ・バスをハイ・インピーダンス状態にし, 解放します(バス・ホールド状態)。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ(ハイ・レベル)になりバス獲得要求が解除されれば, 再びこれらの端子の駆動を開始します。

バス・ホールド期間中は, 周辺I/Oレジスタ・アクセスあるいは, 外部メモリ・アクセスがあるまで, 内蔵ROM, 内蔵RAMからのプログラムの実行を継続します。

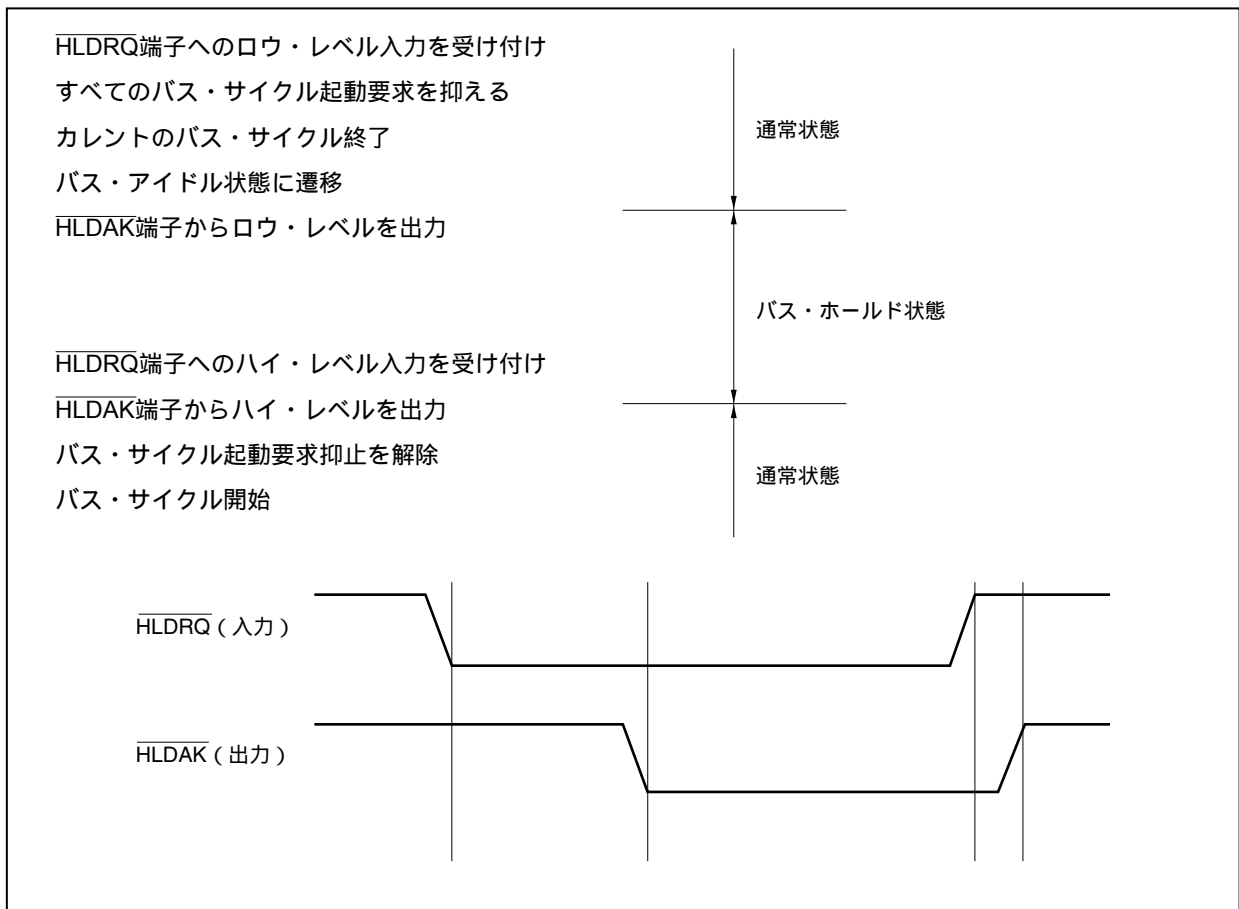
バス・ホールド状態は,  $\overline{\text{HLDAK}}$ 端子がアクティブ(ロウ・レベル)になったことにより知ることができます。マルチプロセッサ構成など, バス・マスタが複数存在するようなシステムを構成できます。

なお, バス・サイジングおよびビット操作命令による複数アクセスのサイクル中は, バス・ホールド要求を受け付けません。

状 態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間 2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間
			2回目と3回目の間 3回目と4回目の間
		ハーフワード・アクセス	1回目と2回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	-	-	リード・アクセスとライト・アクセスの間

### 5.8.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。



### 5.8.3 パワー・セーブ・モード時の動作

STOPモード期間中およびIDLEモード期間中は、内部システム・クロックが停止するため、 $\overline{\text{HLDARQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDARQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDARQ}}$ 端子がアクティブになり、バス・ホールド状態になります。その後、 $\overline{\text{HLDARQ}}$ 端子がインアクティブになると、 $\overline{\text{HLDARQ}}$ 端子もインアクティブになり、バス・ホールド状態は解除されます。

## 5.9 バスの優先順位

外部バス・サイクルには、バス・ホールド、命令フェッチ（分岐）、命令フェッチ（連続）、オペランド・データ・アクセス、DMA転送の5つがあります。

優先順位はバス・ホールドが最も高く、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、バス・サイズの関係で、数回のアクセスで命令を実行するとき、アクセスとアクセスの間には命令フェッチとバス・ホールドは挿入されません。

表5 - 4 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↑ ↓ 低い	バス・ホールド	外部デバイス
	DMA転送	DMAC
	オペランド・データ・アクセス	CPU
	命令フェッチ（分岐）	CPU
	命令フェッチ（連続）	CPU

## 5.10 バス・タイミング

図5-4 マルチプレクス・バス・リード・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

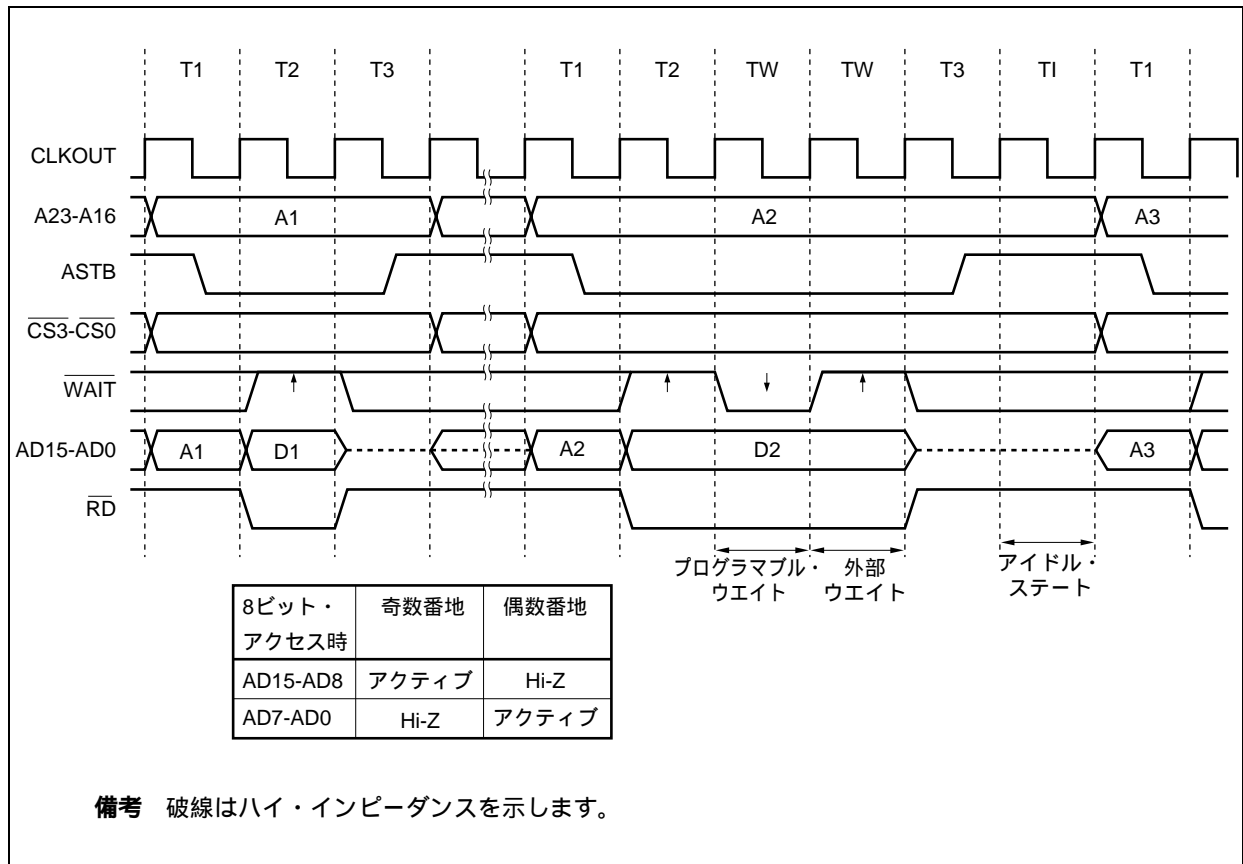


図5-5 マルチプレクス・バス・リード・タイミング (バス・サイズ: 8ビット)

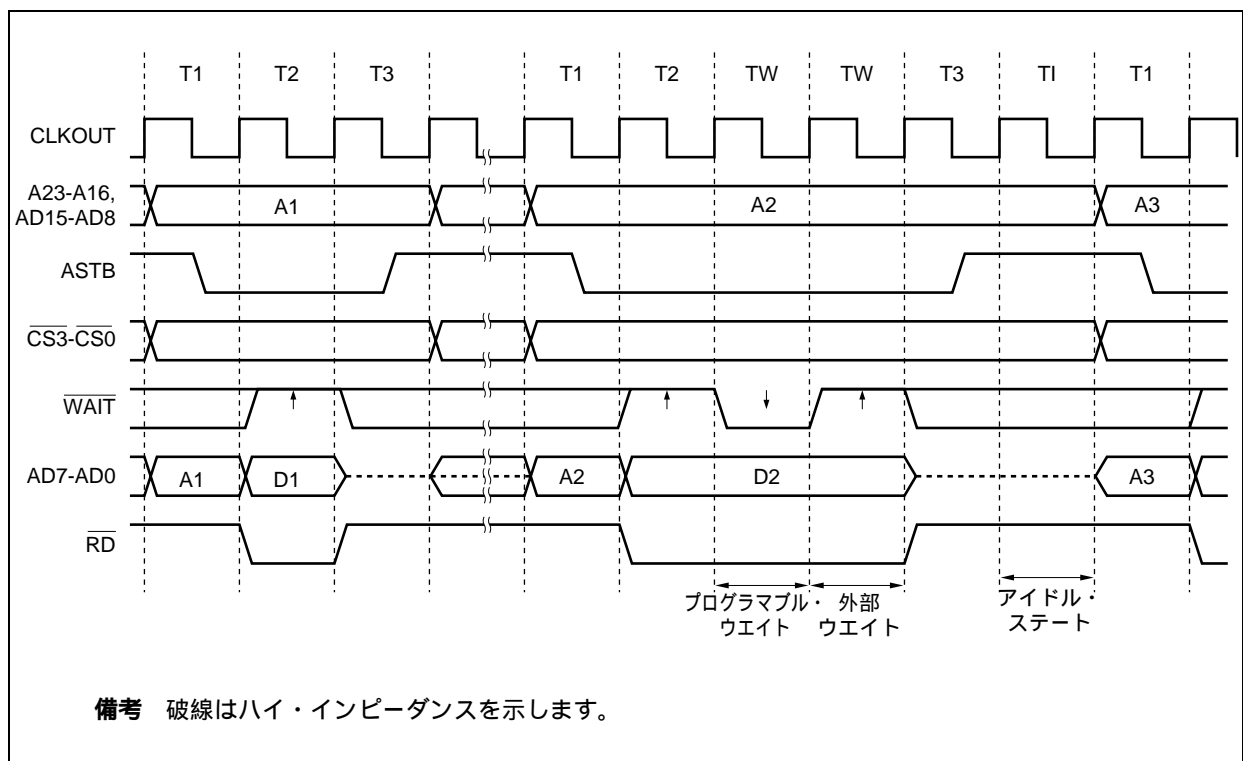




図5-6 マルチプレクス・バス・ライト・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

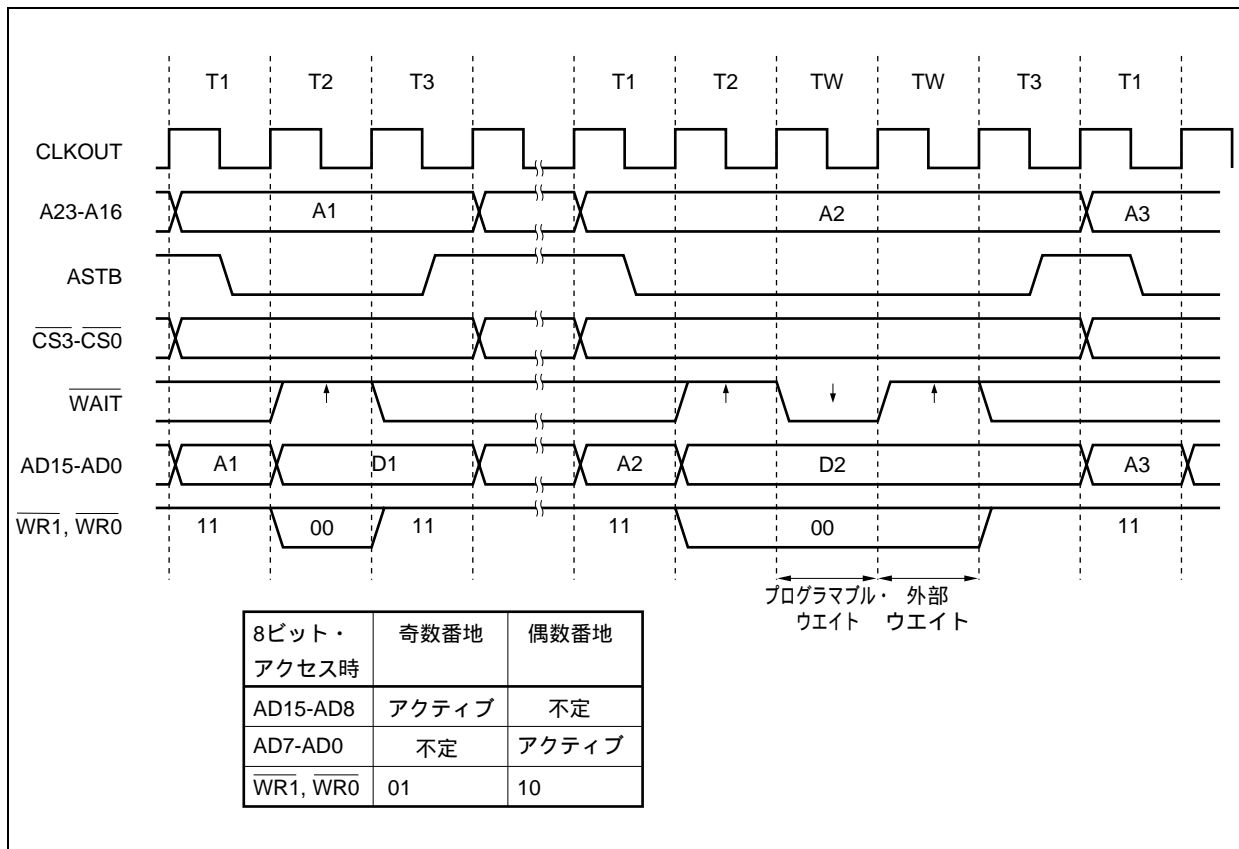


図5-7 マルチプレクス・バス・ライト・タイミング (バス・サイズ: 8ビット)

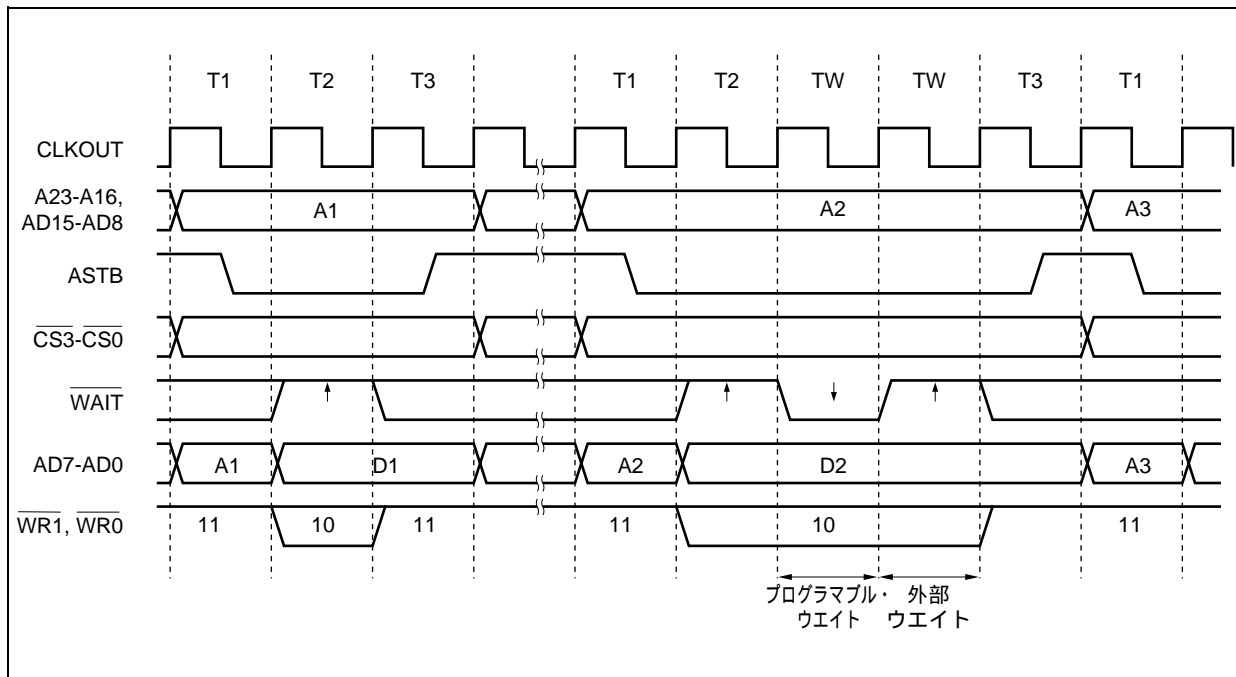


図5 - 8 マルチプレクス・バス・ホールド・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

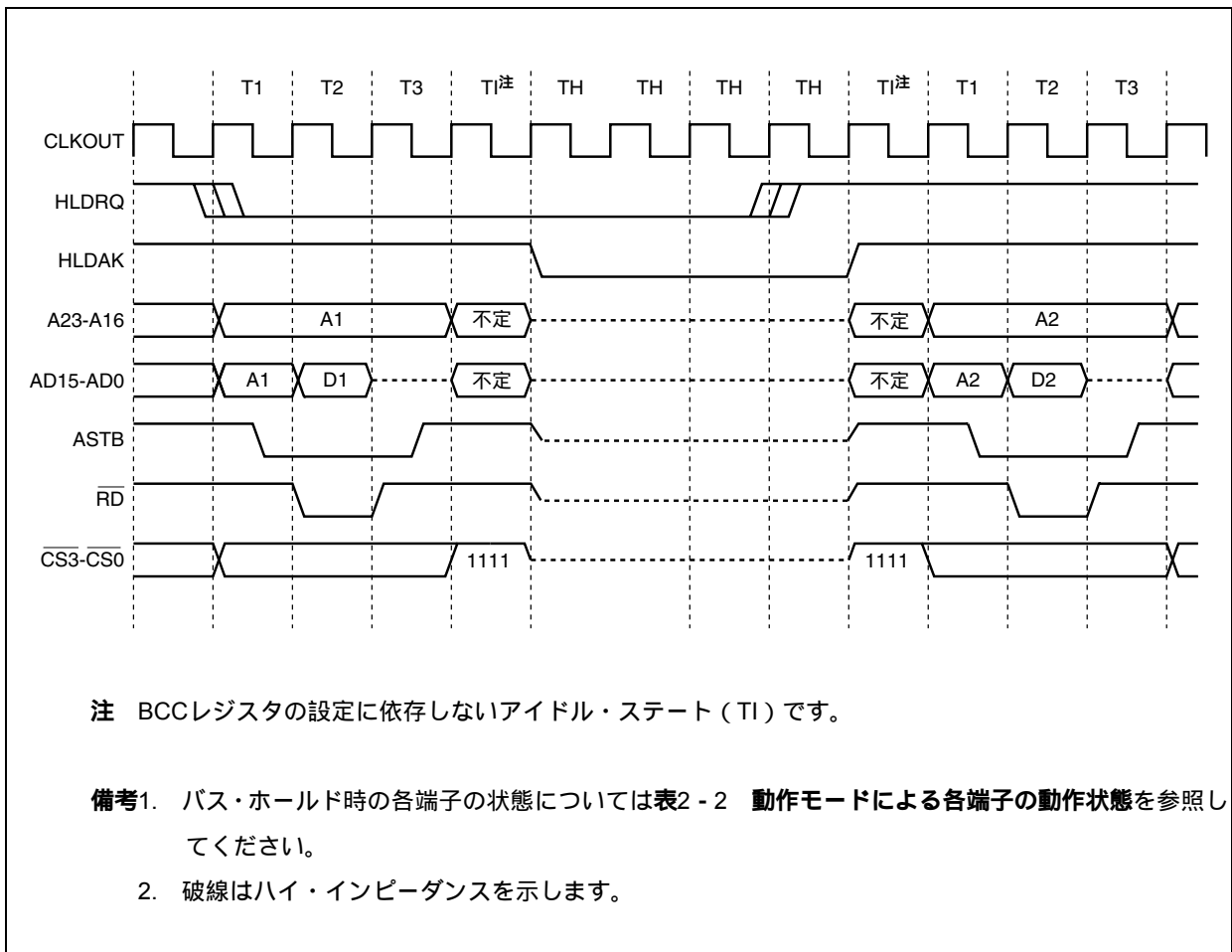


図5 - 9 セパレート・バス・リード・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

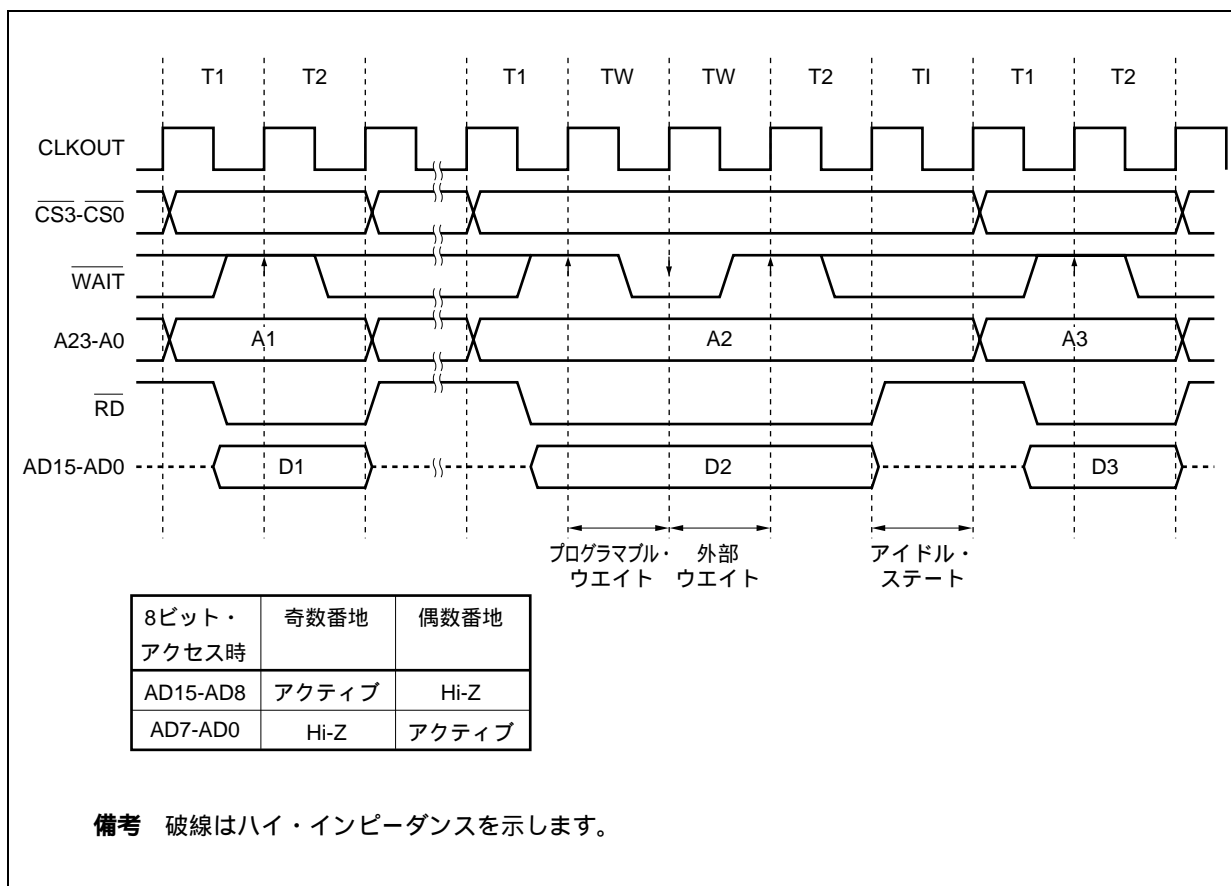


図5 - 10 セパレート・バス・リード・タイミング (バス・サイズ: 8ビット)

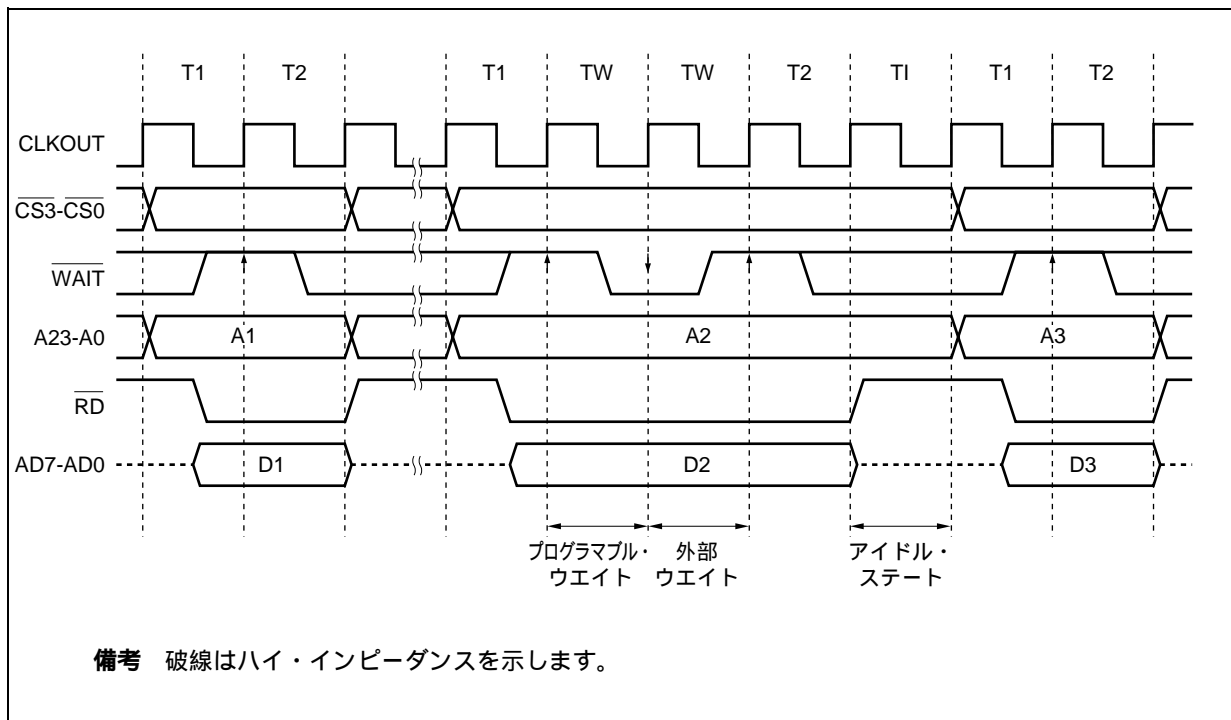


図5 - 11 セパレート・バス・ライト・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

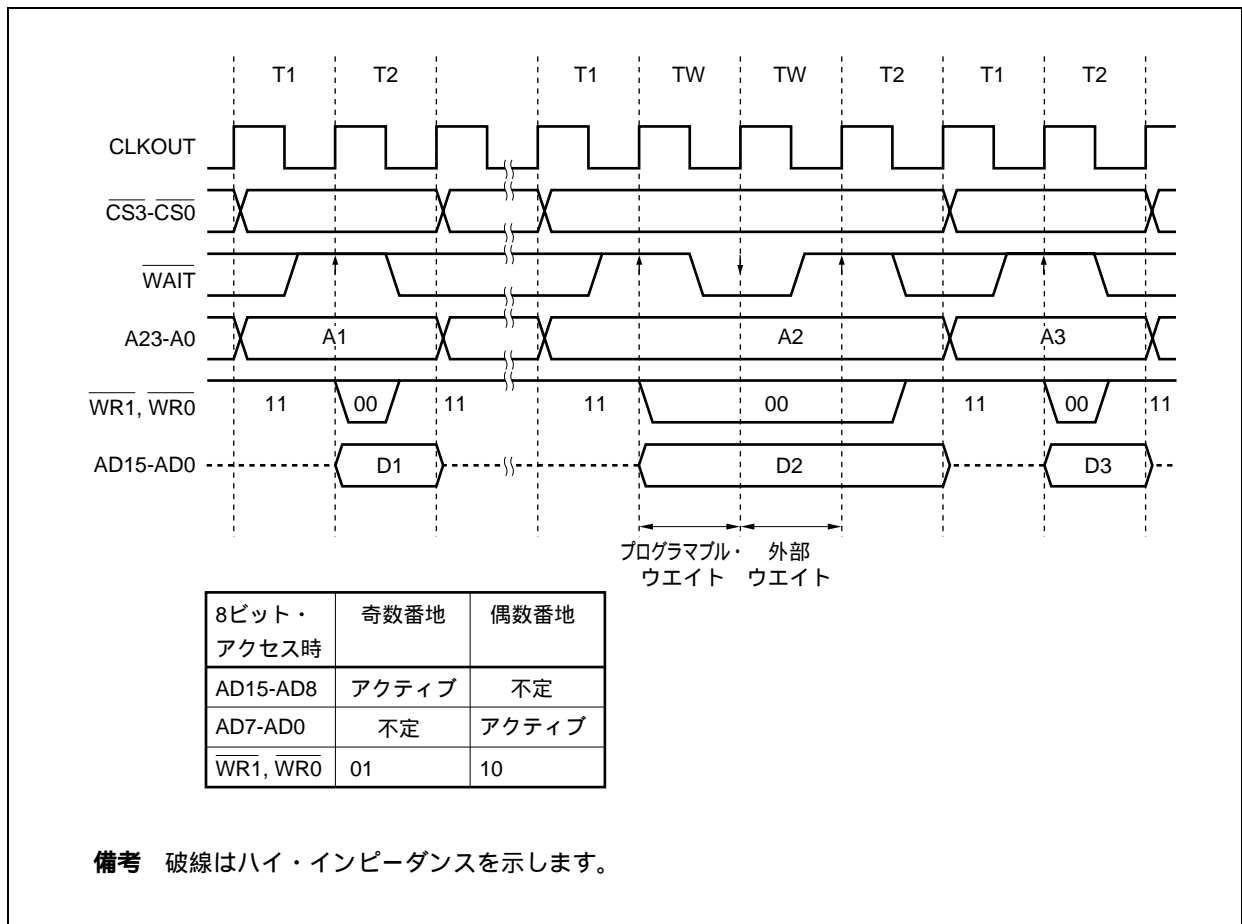


図5 - 12 セパレート・バス・ライト・タイミング (バス・サイズ: 8ビット)

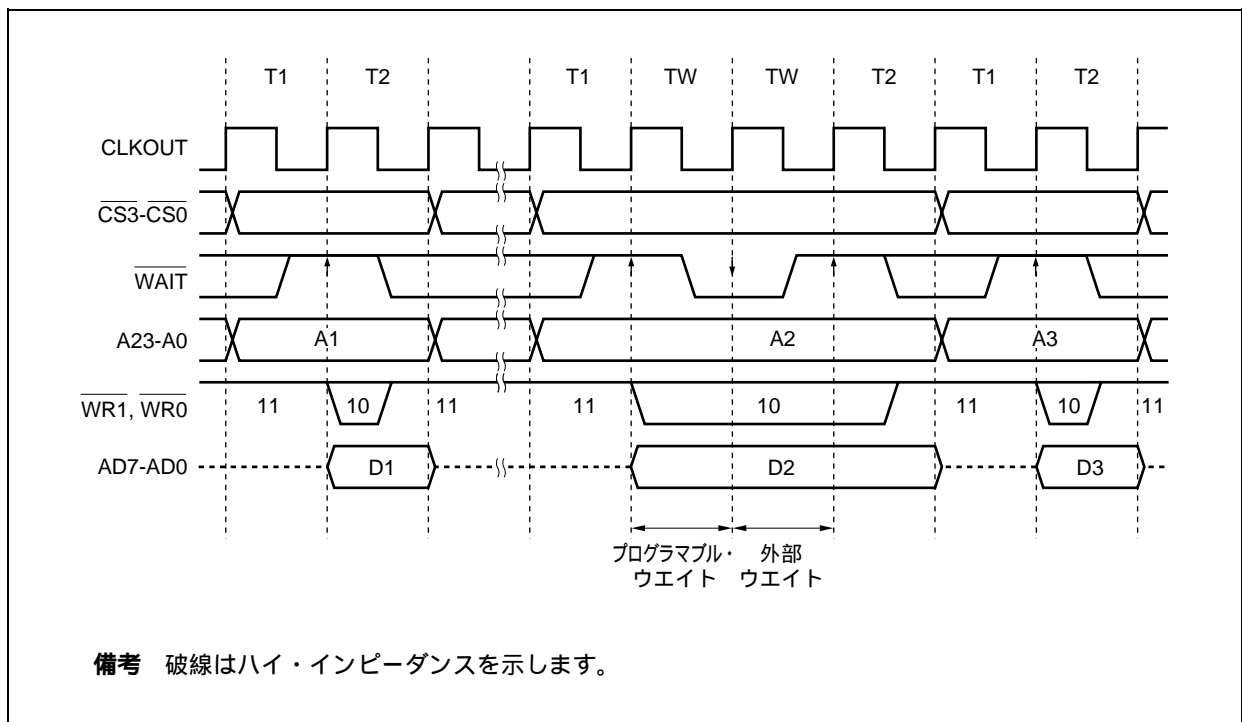


図5 - 13 セパレート・バス・ホールド・タイミング (バス・サイズ: 8ビット, ライト時)

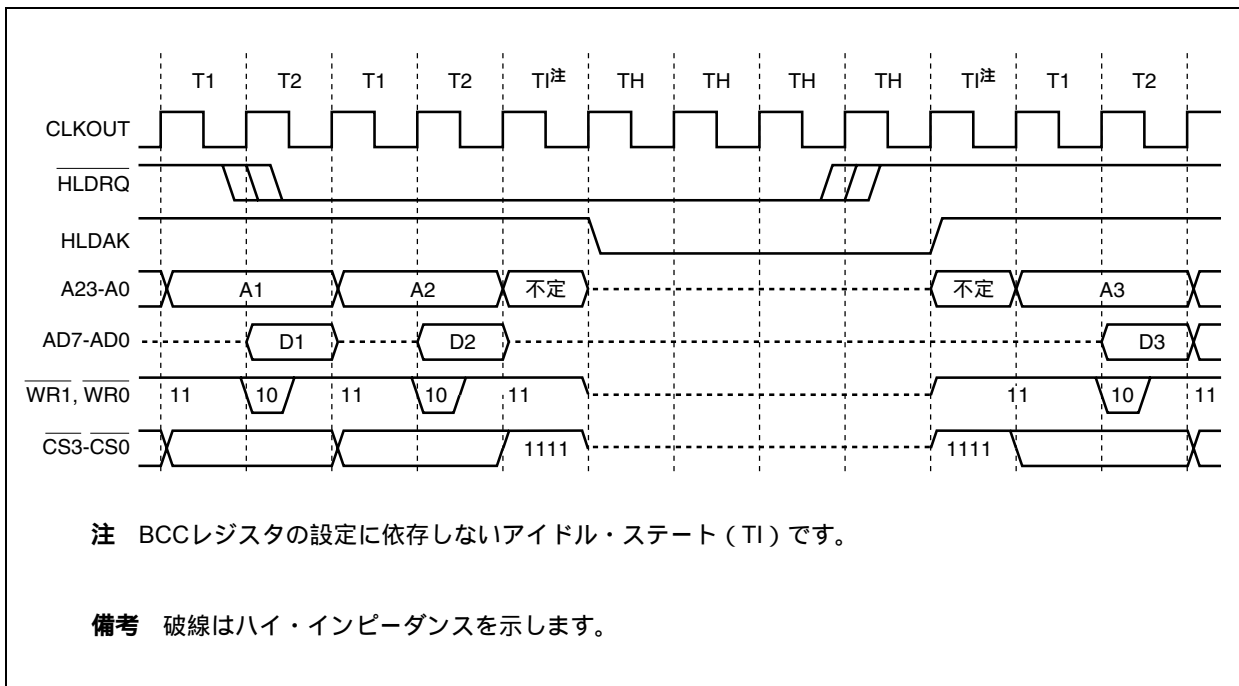
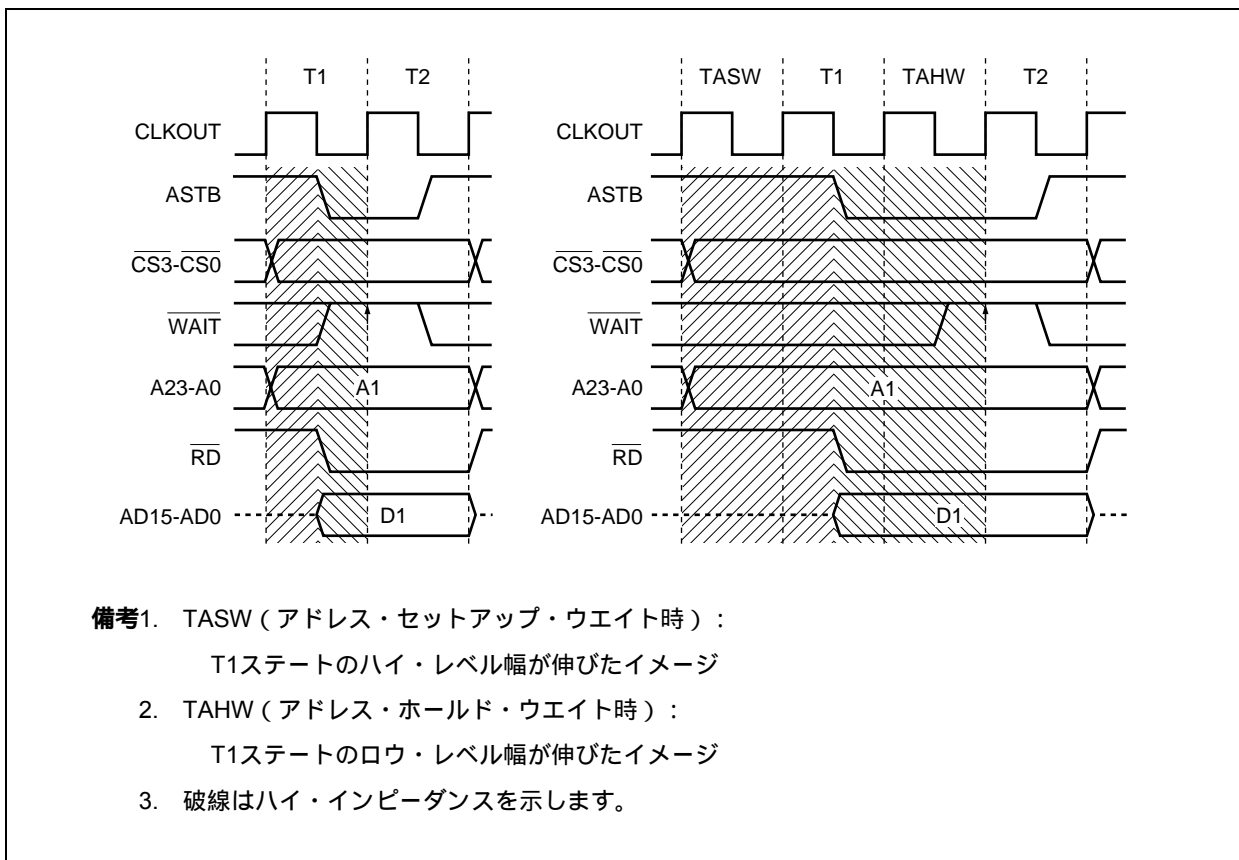


図5 - 14 アドレス・ウエイト・タイミング (セパレート・バス・リード, バス・サイズ: 16ビット, 16ビット・アクセス時)



## 5.11 注意事項

外部バス機能において、次の動作条件時には信号が正常なタイミングで出力されない可能性があります。

### <動作条件>

#### マルチプレクス・バス・モード

CLKOUT非同期 (2.7 V  $V_{DD} = EV_{DD} = AV_{REF0} < 4.0 V$ , 2.7 V  $BV_{DD} < 4.0 V$ )

$1/f_{CPU} < 84 \text{ ns}$ で使用時

#### セパレート・バス・モード

リード・サイクル, CLKOUT非同期 (4.0 V  $V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0} \ 5.5 V$ )

$1/f_{CPU} < 100 \text{ ns}$ で使用時

ライト・サイクル, CLKOUT非同期 (4.0 V  $V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0} \ 5.5 V$ )

$1/f_{CPU} < 60 \text{ ns}$ で使用時

リード・サイクル, CLKOUT非同期 (2.7 V  $V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0} < 4.0 V$ )

$1/f_{CPU} < 200 \text{ ns}$ で使用時

ライト・サイクル, CLKOUT非同期 (2.7 V  $V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0} < 4.0 V$ )

$1/f_{CPU} < 100 \text{ ns}$ で使用時

### <回避策>

上記条件で使用時には、次のようにAWCレジスタにてアドレス・セットアップ/ホールド・ウエイトを必ず挿入してください ( $n = 0-3$ )。

#### マルチプレクス・バス・モード, 条件 で使用時

・  $70 \text{ ns} < 1/f_{CPU} < 84 \text{ ns}$ 時

アドレス・セットアップ・ウエイト (ASWnビット = 1) を設定

・  $62.5 \text{ ns} < 1/f_{CPU} < 70 \text{ ns}$ 時

アドレス・セットアップ・ウエイト (ASWnビット = 1) および, アドレス・ホールド・ウエイト (AHWnビット = 1) を設定

#### セパレート・バス・モード条件 ~ で使用時

アドレス・セットアップ・ウエイト (ASWnビット = 1) を設定

## 第6章 クロック発生機能

### 6.1 概要

クロック発生機能の概要を次に示します。

#### メイン・クロック発振回路

##### < PLL (4通倍) モード時 >

- ・  $f_x = 2 \sim 5 \text{ MHz}$  ( $f_{xx} = 8 \sim 20 \text{ MHz}$  :  $4.5 \text{ V}$   $V_{DD} = 5.5 \text{ V}$ ,  $REGC = V_{DD}$ )
- ・  $f_x = 2 \sim 4 \text{ MHz}$  ( $f_{xx} = 8 \sim 16 \text{ MHz}$  :  $4.0 \text{ V}$   $V_{DD} = 5.5 \text{ V}$ ,  $REGC = V_{DD}$ )
- ・  $f_x = 2 \sim 4 \text{ MHz}$  ( $f_{xx} = 8 \sim 16 \text{ MHz}$  :  $4.0 \text{ V}$   $V_{DD} = 5.5 \text{ V}$ ,  $REGC = 10 \mu\text{F}$ )
- ・  $f_x = 2 \sim 2.5 \text{ MHz}$  ( $f_{xx} = 8 \sim 10 \text{ MHz}$  :  $2.7 \text{ V}$   $V_{DD} = 5.5 \text{ V}$ ,  $REGC = V_{DD}$ )

##### < クロック・スルー・モード時 >

- ・  $f_x = 2 \sim 10 \text{ MHz}$  ( $f_{xx} = 2 \sim 10 \text{ MHz}$  :  $2.7 \text{ V}$   $V_{DD} = 5.5 \text{ V}$ ,  $REGC = V_{DD}$ )
- ・  $f_x = 2 \sim 10 \text{ MHz}$  ( $f_{xx} = 2 \sim 10 \text{ MHz}$  :  $4.0 \text{ V}$   $V_{DD} = 5.5 \text{ V}$ ,  $REGC = 10 \mu\text{F}$ )

#### サブクロック発振回路

- ・  $f_{XT} = 32.768 \text{ kHz}$

#### 内蔵発振器

- ・  $f_R = 120 \sim 480 \text{ kHz}$  (  $240 \text{ kHz}$  ( TYP. ) )

#### PLL ( Phase Locked Loop ) による通倍機能 ( 4通倍 )

- ・ クロック・スルー・モード / PLLモード選択可
- ・ 使用可能電圧 :  $V_{DD} = 2.7 \sim 5.5 \text{ V}$

#### 内部システム・クロックの生成

- ・ 7段階 (  $f_{xx}$ ,  $f_{xx}/2$ ,  $f_{xx}/4$ ,  $f_{xx}/8$ ,  $f_{xx}/16$ ,  $f_{xx}/32$ ,  $f_{XT}$  )
- ・ メイン・クロック停止検出によりクロック・モニタのリセット信号発生後,  $f_R$ で動作

#### 周辺クロックの生成

#### クロック出力機能

**備考**  $f_x$  : メイン・クロック発振周波数

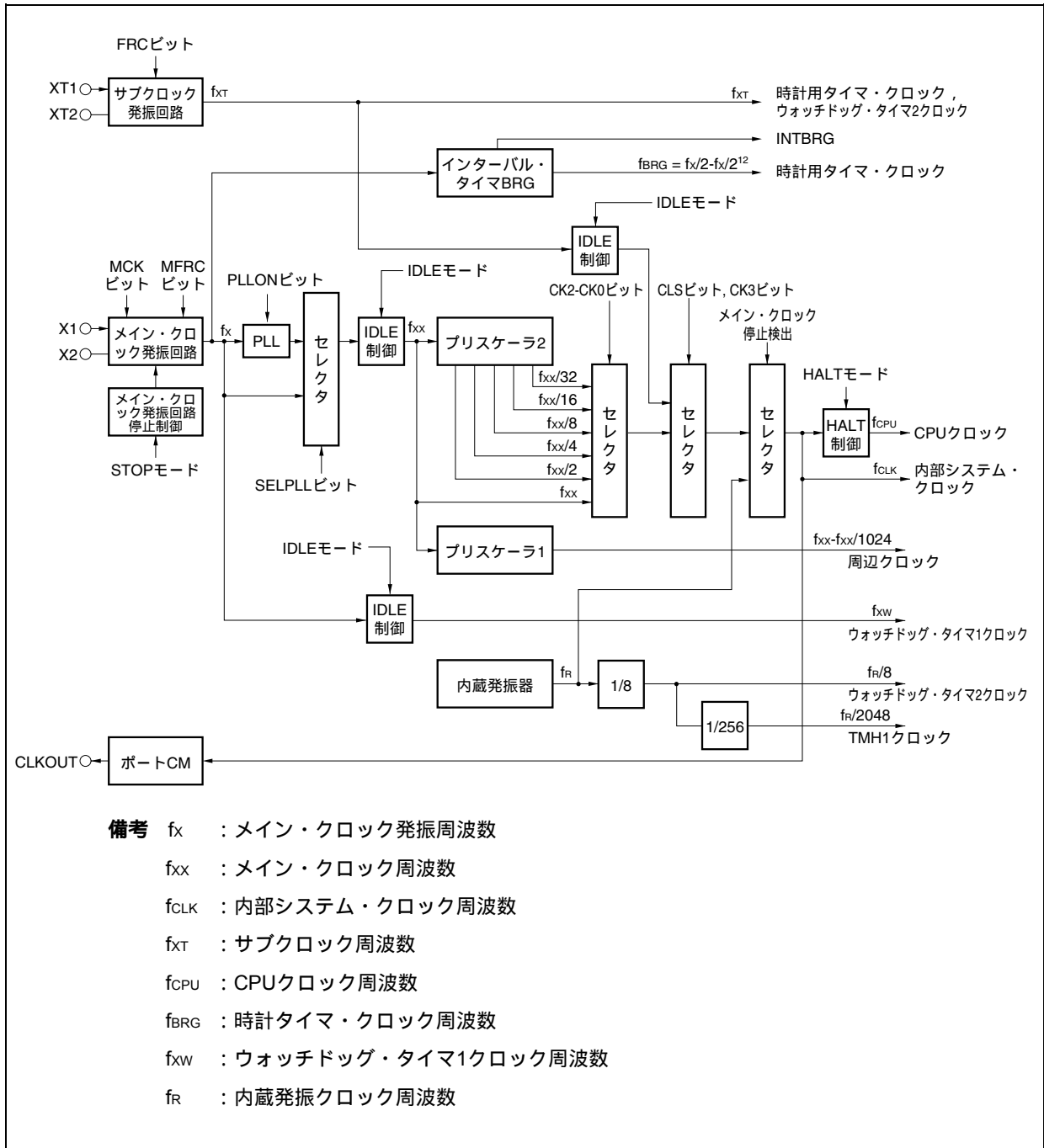
$f_{xx}$  : メイン・クロック周波数

$f_{XT}$  : サブクロック周波数

$f_R$  : 内蔵発振クロック周波数

## 6.2 構成

図6 - 1 クロック発生回路





**(1) メイン・クロック発振回路**

次の周波数 ( $f_x$ ) を発振します。

- ・  $f_x = 2 \sim 5$  MHz ( REGC =  $V_{DD} = 4.5 \sim 5.5$  V 動作時 / PLLモード時 )
- ・  $f_x = 2 \sim 4$  MHz ( REGC =  $V_{DD} = 4.0 \sim 5.5$  V 動作時 / PLLモード時 )
- ・  $f_x = 2 \sim 4$  MHz ( REGC =  $10 \mu\text{F}$ ,  $V_{DD} = 4.0 \sim 5.5$  V 動作時 / PLLモード時 )
- ・  $f_x = 2 \sim 2.5$  MHz ( REGC =  $V_{DD} = 2.7 \sim 5.5$  V 動作時 / PLLモード時 )
- ・  $f_x = 2 \sim 10$  MHz ( REGC =  $V_{DD} = 2.7 \sim 5.5$  V 動作時 / クロック・スルー・モード時 )
- ・  $f_x = 2 \sim 10$  MHz ( REGC =  $10 \mu\text{F}$ ,  $V_{DD} = 4.0 \sim 5.5$  V 動作時 / クロック・スルー・モード時 )

**(2) サブクロック発振回路**

32.768 kHzの周波数 ( $f_{XT}$ ) を発振します。

**(3) メイン・クロック発振回路停止制御**

メイン・クロック発振回路の発振を停止する制御信号を生成します。

STOPモード時,あるいはPCC.MCKビット = 1( PCC.CLSビット = 1のときのみ有効 )のとき,メイン・クロック発振回路の発振を停止します。

**(4) プリスケーラ1**

内蔵周辺機能に供給するクロック ( $f_{xx-fxx}/1024$ ) を生成します。

クロック供給の対象となるブロックを次に示します。

TMP0, TM00-TM05, TM50, TM51, TMH0, TMH1, CSI00-CSI02, CSIA0, CSIA1, UART0-UART2, I<sup>2</sup>C0, I<sup>2</sup>C1, ADC, DAC

**(5) プリスケーラ2**

メイン・クロック ( $f_{xx}$ ) を分周する回路です。

CPUクロック ( $f_{CPU}$ ) , 内部システム・クロック ( $f_{CLK}$ ) を生成するセレクタに, プリスケーラ2で生成したクロック ( $f_{xx-fxx}/32$ ) を供給します。

なお,  $f_{CLK}$ は, INTC, DMAコントローラ, ROM, RAMブロックに供給するクロックで, CLKOUT端子から出力できます。

**(6) インターバル・タイマBRG**

メイン・クロック発振回路で生成するクロック ( $f_x$ ) を所定の周波数( 32.768 kHz)まで分周する回路で, 時計用タイマ・ブロックに供給します。インターバル・タイマとしても使用できます。

詳細は, 第11章 インターバル・タイマ, 時計タイマを参照してください。

**(7) PLL**

メイン・クロック発振回路で生成するクロック ( $f_x$ ) を4逓倍します。

PLLCTL.SELPLLビットにより $f_x$ をそのまま出力するクロック・スルー・モードと, 逓倍クロックを出力するPLLモードを選択します。

また, PLLCTL.PLLONビットによりPLLを動作 / 停止します。

**(8) 内蔵発振器**

120 ~ 480 kHz ( 240 kHz ( TYP. ) ) の周波数 ( $f_R$ ) を発振します。

## 6.3 レジスタ

### (1) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより03Hになります。

(1/2)

リセット時：03H R/W アドレス：FFFFFF828H

	7	⑥	5	④	③	2	1	0
PCC	FRC	MCK	MFRC	CLS <sup>注</sup>	CK3	CK2	CK1	CK0

FRC	サブクロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

MCK	メイン・クロック発振回路の制御
0	発振許可
1	発振停止
<ul style="list-style-type: none"> <li>・CPUクロックがメイン・クロックで動作中にMCKビットを1に設定しても、メイン・クロックの動作は停止しません。CPUクロックをサブクロックに変更した後、停止します。</li> <li>・メイン・クロックを停止させ、サブクロックで動作している場合に、再度メイン・クロックに切り替えるときは、MCKビットを“0”に設定し、プログラム中で発振安定時間を確保したあとに切り替えてください。</li> </ul>	

MFRC	メイン・クロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

CLS <sup>注</sup>	CPUクロック (f <sub>CPU</sub> ) の状態
0	メイン・クロック動作
1	サブクロック動作

注 CLSビットはリードのみです。

CK3	CK2	CK1	CK0	クロックの選択 ( f <sub>CLK</sub> /f <sub>CPU</sub> )
0	0	0	0	f <sub>xx</sub>
0	0	0	1	f <sub>xx</sub> /2
0	0	1	0	f <sub>xx</sub> /4
0	0	1	1	f <sub>xx</sub> /8 ( 初期値 )
0	1	0	0	f <sub>xx</sub> /16
0	1	0	1	f <sub>xx</sub> /32
0	1	1	X	設定禁止
1	X	X	X	f <sub>XT</sub>

- 注意1. CLKOUTを出力している間は、CPUクロック (CK3-CK0ビット) を変更しないでください。
- CK3ビットを操作する際は、ビット操作命令で行ってください。8ビット操作命令で行う場合は、CK2-CK0ビットの設定値を変更しないでください。
  - CPUがサブクロックで動作し、かつX1にクロックを入力していないとき、ウエイトが発生するレジスタにウエイトが発生するアクセス方法でアクセスしないでください (アクセス方法については3. 4. 8 (1) (b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照)。ウエイトが発生した場合、解除する方法はリセットのみです。

備考 X : 任意

## (a) メイン・クロック動作 サブクロック動作の設定例

- CK3ビット 1 : ビット操作命令推奨。CK2-CK0ビットは変更しないでください。
- サブクロック動作 : CLSビットをリードしてサブクロック動作に切り替わったかどうかを確認してください。CK3ビットを設定したあと、サブクロック動作に切り替わるまでの時間は次のとおりです。

最大 :  $1/f_{XT}$  (1/サブクロック周波数)

- MCKビット 1 : メイン・クロックを停止するときのみ、MCKビットを1に設定します。

- 注意1. メイン・クロックを停止する場合は、PLLを停止してください。
2. 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

内部システム・クロック ( $f_{CLK}$ ) > サブクロック ( $f_{XT}$  : 32.768 kHz) × 4

備考 内部システム・クロック ( $f_{CLK}$ ) : CK2-CK0ビットの設定によってメイン・クロック ( $f_{XX}$ ) から生成するクロック

## [ 記述例 ]

```

_SET_SUB_RUN :
    st.b    r0, PRCMD[r0]
    set1    3, PCC[r0]          -- CK3ビット 1
_CHECK_CLS :
    tst1    4, PCC[r0]          -- サブクロック動作に切り替わるまでウェイト
    bz     _CHECK_CLS
_STOP_MAIN_CLOCK :
    st.b    r0, PRCMD[r0]
    set1    6, PCC[r0]          -- MCKビット 1, メイン・クロック停止

```

備考 この記述例はあくまでも一例です。特に において、閉ループでCLSビットをリードしていただきますので注意してください。

## (b) サブクロック動作 メイン・クロック動作の設定例

- MCKビット 0 :メイン・クロック発振開始  
 プログラムによりウェイトを挿入して、メイン・クロックの発振安定時間が経過するまで待ちます。
- CK3ビット 0 :ビット操作命令を推奨します。CK2-CK0ビットは変更しないでください。
- メイン・クロック動作 :CK3ビットを設定したあと、メイン・クロック動作に切り替わるまでの時間は次のとおりです。

最大:  $1/f_{XT}$  (1/サブクロック周波数)

したがって、CK3ビットを0とした直後にNOP命令を1つ挿入するか、もしくはCLSビットをリードしてメイン・クロック動作に切り替わったかどうかを確認してください。

## [記述例]

```

_START_MAIN_OSC :
  st.b      r0, PRCMD[r0]          -- 特定レジスタ, プロテクション解除
  clr1     6, PCC[r0]              -- メイン・クロック発振開始
  movea    0x55, r0, r11          -- 発振安定時間待ち

_WAIT_OST :
  nop
  nop
  nop
  addi     -1, r11, r11
  mp      r0, r11
  bne     _PROGRAM_WAIT
  st.b     r0, PRCMD[r0]
  clr1     3, PCC[r0]              -- CK3 0

_CHECK_CLS :
  tst1     4, PCC[r0]              -- メイン・クロック動作に切り替わるまでウェイト
  bnz     _CHECK_CLS

```

**備考** この記述例はあくまでも一例です。特に において、閉ループでCLSビットをリードしていますので注意してください。

(2) 内蔵発振モード・レジスタ (RCM)

RCMレジスタは、内蔵発振器の動作モードの設定を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** RCMレジスタの設定は、オプション・バイト設定によりRSTPビット = 0のとき有効となります。詳細は第29章 オプション・バイトを参照してください。

リセット時：00H    R/W    アドレス：FFFFFF80CH

	7	6	5	4	3	2	1	①
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	内蔵発振器の発振 / 停止
0	内蔵発振器の発振
1	内蔵発振器の停止

(3) CPU動作クロック・ステータス・レジスタ (CCLS)

CCLSレジスタは、CPU動作クロックの状態を示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H    R    アドレス：FFFFFF82EH

	7	6	5	4	3	2	1	0
CCLS	0	0	0	0	0	0	0	CCLSF

CCLSF	CPU動作クロックの状態
0	メイン・クロック (f <sub>X</sub> ) またはサブクロック (f <sub>XT</sub> ) で動作
1	内蔵発振クロック (f <sub>R</sub> ) で動作

## 6.4 動作

### 6.4.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表6-1 各クロックの動作状態

レジスタの設定および 動作状態  対象クロック	PCCレジスタ									
	CLSビット = 0, MCKビット = 0					CLSビット = 1, MCKビット = 0		CLSビット = 1, MCKビット = 1		
	リ セ ッ ト 中	発 振 安 定 時 間 カ ウ ン ト 中	HALT モ ー ド	IDLE モ ー ド	STOP モ ー ド	サ ブ ク ロ ッ ク ・ モ ー ド	サ ブ IDLE モ ー ド	サ ブ ク ロ ッ ク ・ モ ー ド	サ ブ IDLE モ ー ド	
メイン・クロック発振回路 (fx)	×				×			×	×	
サブクロック発振回路 (fxt)										
CPUクロック (fcPU)	×	×	×	×	×		×		×	
内部システム・クロック (fCLK)	×	×		×	×		×		×	
周辺クロック (fxx-fxx/1024)	×	×		×	×		×	×	×	
WTクロック (メイン)	×				×			×	×	
WTクロック (サブ)										
WDT1クロック (fxw)	×				×			×	×	
WDT2クロック (内蔵発振)	×									
WDT2クロック (サブ)										

備考 : 動作可能

× : 停止

### 6.4.2 クロック出力機能

クロック出力機能は、内部システム・クロック (fCLK) をCLKOUT端子から出力します。

内部システム・クロック (fCLK) は、PCC.CK3-CK0ビットで選択します。

CLKOUT端子は、PCM1端子と兼用しており、ポートCMの制御レジスタを操作することにより、クロック出力端子として機能します。

CLKOUT端子の状態は、表6-1の内部システム・クロックと同じ状態になり、(動作可能)のときにクロックを出力することが可能です。また、×(停止)のときにはロウ・レベルを出力します。ただし、リセット後、CLKOUT端子の出力設定をするまでは、ポート・モード (PCM1: 入力モード) となるので、端子の状態はHi-Zになります。

### 6.4.3 外部クロック入力機能

発振回路には、外部クロックを直接入力することができます。この場合、X1端子からクロック入力、X2端子からその反転を入力し、PCC.MFRCビット = 1 (内蔵帰還抵抗を使用しない) としてください。ただし、外部クロック・モード時でも、発振安定時間は挿入されます。また、REGC端子にはV<sub>DD</sub>を直接接続してください。

## 6.5 PLL機能

### 6.5.1 概要

PLLは、CPUおよび内蔵周辺機能の動作クロックとして、発振周波数の4逓倍出力と、クロック・スルー・モードを切り替えます。

PLL機能使用時 : 入力クロック = 2~5 MHz ( f<sub>xx</sub> : 8~20 MHz )

クロック・スルー・モード : 入力クロック = 2~10 MHz ( f<sub>xx</sub> : 2~10 MHz )

### 6.5.2 レジスタ

#### (1) PLLコントロール・レジスタ (PLLCTL)

PLLCTLレジスタは、PLL, RTOのセキュリティ機能を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

リセット時 : 01H R/W アドレス : FFFFFFF806H

	7	6	5	4	③	②	①	④
PLLCTL	0	0	0	0	RTOST1 <sup>注</sup>	RTOST0 <sup>注</sup>	SELPLL	PLLON

PLLON	PLL動作の制御
0	PLL停止
1	PLL動作

SELPLL	PLLクロックの選択
0	クロック・スルー動作
1	PLL動作

**注** RTOST1, RTOST0ビットについては、第13章 リアルタイム出力機能 (RTO) を参照してください。

**注意** ビット4-7には必ず0を設定してください。



### 6.5.3 使用方法

#### (1) PLLを使用する場合

- ・リセット解除後は、PLLは動作 (PLLCTL.PLLONビット = 1) していますが、初期設定はクロック・スルー・モード (PLLCTL.SELPLLビット = 0) のため、PLLモード (SELPLLビット = 1) に変更してください。
- ・STOPモードなどのメイン・クロックを停止させる場合または、IDLEモードへの移行時は、まずクロック・スルー・モードに変更し次にPLLを停止させた後、それぞれのモードへ移行してください。IDLEモード、STOPモードからの復帰時は、最初にPLLを動作 (PLLONビット = 1) させたあと、PLLモード (SELPLLビット = 1) へ変更してください。
- ・PLLを動作させる場合はPLLONビット = 1として、200  $\mu$ s待ってからSELPLLビット = 1としてください。PLLを停止させる場合は、最初にクロック・スルー・モード (SELPLLビット = 0) として、8クロック以上後に、PLL停止 (PLLONビット = 0) としてください。

#### (2) PLLを使用しない場合

- ・リセット解除後は、クロック・スルー・モード (SELPLLビット = 0) ですが、PLLは動作 (PLLONビット = 1) しているので、PLLを停止 (PLLONビット = 0) してください。

**備考** IDLEモードのときPLLは動作可能です。低消費電力を実現する場合は、PLLを停止してください。STOPモードに移行するときは必ずPLLを停止してください。

## 第7章 16ビット・タイマ/イベント・カウンタP (TMP)

タイマP (TMP) は、16ビットのタイマ/イベント・カウンタです。  
V850ES/KJ1+は、TMP0を内蔵しています。

### 7.1 概 要

TMP0の概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 2本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 2本
・キャプチャ/コンペア一致割り込み要求信号	: 2本
・タイマ出力端子	: 2本

### 7.2 機 能

TMP0の機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定

### 7.3 構成

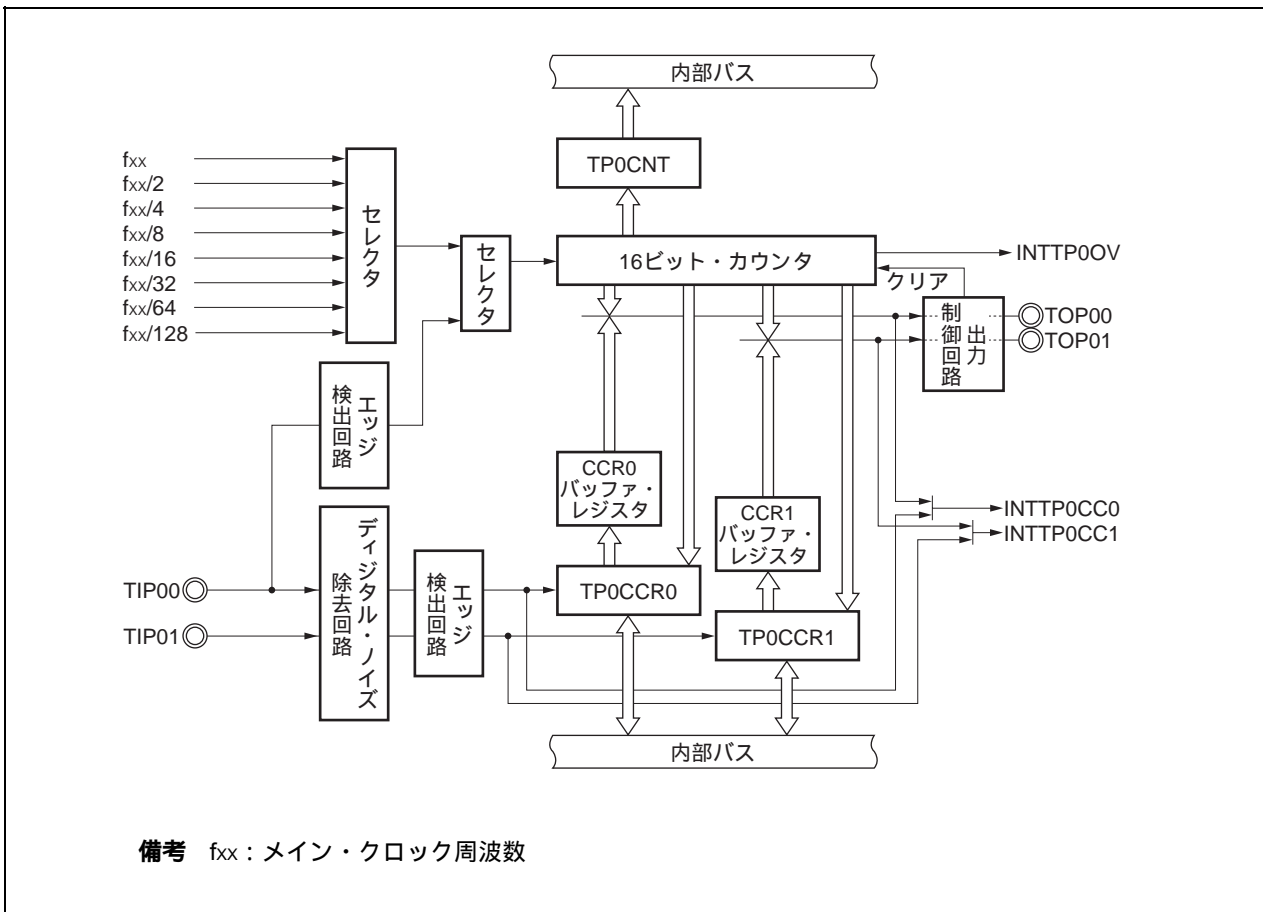
TMP0は、次のハードウェアで構成されています。

表7 - 1 TMP0の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMP0キャプチャ/コンペア・レジスタ0, 1 (TP0CCR0, TP0CCR1) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT) CCR0, CCR1バッファ・レジスタ
タイマ入力	2本 (TIP00 <sup>注</sup> , TIP01端子)
タイマ出力	2本 (TOP00, TOP01端子)
制御レジスタ	TMP0制御レジスタ0, 1 (TP0CTL0, TP0CTL1) TMP0I/O制御レジスタ0-2 (TP0IOC0-TP0IOC2) TMP0オプション・レジスタ0 (TP0OPT0)

注 TIP00端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

図7 - 1 TMP0のブロック図



**(1) 16ビット・カウンタ**

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TP0CNTレジスタでリードできます。

TP0CTL0.TP0CEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTP0CNTレジスタをリードすると、0000Hがリードされます。

リセットによりTP0CEビット = 0になるため、16ビット・カウンタはFFFFHになります。

**(2) CCR0バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TP0CCR0レジスタをコンペア・レジスタとして使用するとき、TP0CCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTP0CC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTP0CCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

**(3) CCR1バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TP0CCR1レジスタをコンペア・レジスタとして使用するとき、TP0CCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTP0CC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTP0CCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

**(4) エッジ検出回路**

TIP00, TIP01端子に入力される有効エッジを検出します。有効エッジは、TP0IOC1, TP0IOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

**(5) 出力制御回路**

TOP00, TOP01端子の出力を制御します。TOP00, TOP01端子の出力は、TP0IOC0レジスタで制御します。

**(6) セレクタ**

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

**(7) デジタル・ノイズ除去回路**

TIP00, TIP01端子をキャプチャ・トリガ入力として使用した場合だけ有効です。

P0NFC, P1NFCレジスタで制御します。

## 7.4 レジスタ

### (1) TMP0制御レジスタ0 (TP0CTL0)

TP0CTL0レジスタは、TMP0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TP0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：FFFFFF5A0H

	⑦	6	5	4	3	2	1	0
TP0CTL0	TPOCE	0	0	0	0	TP0CKS2	TP0CKS1	TP0CKS0

TPOCE	TMP0の動作の制御
0	TMP0動作禁止 (TMP0を非同期にリセット <sup>注</sup> )
1	TMP0動作許可。TMP0動作開始

TP0CKS2	TP0CKS1	TP0CKS0	内部カウント・クロックの選択
0	0	0	f <sub>xx</sub>
0	0	1	f <sub>xx</sub> /2
0	1	0	f <sub>xx</sub> /4
0	1	1	f <sub>xx</sub> /8
1	0	0	f <sub>xx</sub> /16
1	0	1	f <sub>xx</sub> /32
1	1	0	f <sub>xx</sub> /64
1	1	1	f <sub>xx</sub> /128

**注** TP0OPT0.TP0OVFビット、16ビット・カウンタ、タイマ出力 (TOP00, TOP01端子)。

**注意1.** TP0CKS2-TP0CKS0ビットは、TPOCEビット = 0のときに設定してください。TPOCEビットを“0”から“1”に設定するときに、同時にTP0CKS2-TP0CKS0ビットを設定できます。

2. ビット3-6には必ず“0”を設定してください。

**備考** f<sub>xx</sub> : メイン・クロック周波数

(2) TMP0制御レジスタ1 (TP0CTL1)

TP0CTL1レジスタは、TMP0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF5A1H

	7	⑥	⑤	4	3	2	1	0
TP0CTL1	0	TP0EST	TP0EEE	0	0	TP0MD2	TP0MD1	TP0MD0

TP0EST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時：TP0ESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時：TP0ESTビットへの“1”ライトをトリガとして、PWM波形を出力

TP0EEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 (TP0CTL0.TP0CK0-TP0CK2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)
TP0EEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TP0MD2	TP0MD1	TP0MD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1. TP0ESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
2. 外部イベント・カウント・モードのときは、TP0EEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
3. TP0EEE, TP0MD2-TP0MD0ビットは、TP0CTL0.TP0CEビット = 0のときに設定してください(TP0CEビット = 1のときの同値書き込みは可能)。TP0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TP0CEビットをクリア(0)してから再設定してください。
4. ビット3, 4, 7には必ず“0”を設定してください。

(3) TMP0I/O制御レジスタ0 (TP0IOC0)

TP0IOC0レジスタは、タイマ出力 (TOP00, TOP01端子) を制御する8ビット・レジスタです。8/1ビット単位でリード/ライト可能です。  
リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF5A2H

	7	6	5	4	3	②	1	①
TP0IOC0	0	0	0	0	TP0OL1	TP0OE1	TP0OL0	TP0OE0

TP0OL1	TOP01端子出力レベルの設定 <sup>注</sup>
0	TOP01端子ハイ・レベル・スタート
1	TOP01端子ロウ・レベル・スタート

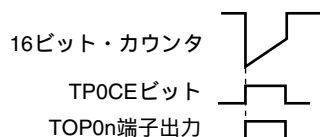
TP0OE1	TOP01端子出力の設定
0	タイマ出力禁止 ・ TP0OL1ビット = 0のときTOP01端子からロウ・レベルを出力 ・ TP0OL1ビット = 1のときTOP01端子からハイ・レベルを出力
1	タイマ出力許可 (TOP01端子から方形波を出力)

TP0OL0	TOP00端子出力レベルの設定 <sup>注</sup>
0	TOP00端子ハイ・レベル・スタート
1	TOP00端子ロウ・レベル・スタート

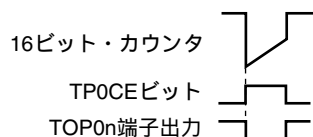
TP0OE0	TOP00端子出力の設定
0	タイマ出力禁止 ・ TP0OL0ビット = 0のときTOP00端子からロウ・レベルを出力 ・ TP0OL0ビット = 1のときTOP00端子からハイ・レベルを出力
1	タイマ出力許可 (TOP00端子から方形波を出力)

**注** TP0OLnビットの指定によるタイマ出力端子 (TOP0n) の出力レベルを次に示します (n = 0, 1)。

・ TP0OLnビット = 0の場合



・ TP0OLnビット = 1の場合



**注意1.** TP0OL1, TP0OE1, TP0OL0, TP0OE0ビットは、TP0CTL0.TP0CEビット = 0のときに書き換えてください (TP0CEビット = 1のときの同値書き込みは可能)。誤まって書き換えた場合は、TP0CEビットをクリア (0) してから再設定してください。

2. TP0CEビット = 0, TP0OEaビット = 0の状態において、TP0OLaビットを操作した場合でも、TOP0a端子の出力レベルは変化しません (a = 0, 1)。

(4) TMP0I/O制御レジスタ1 (TP0IOC1)

TP0IOC1レジスタは、キャプチャ・トリガ入力信号 (TIP00, TIP01端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : FFFFF5A3H

	7	6	5	4	3	2	1	0
TP0IOC1	0	0	0	0	TP0IS3	TP0IS2	TP0IS1	TP0IS0

TP0IS3	TP0IS2	キャプチャ・トリガ入力信号 (TIP01端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TP0IS1	TP0IS0	キャプチャ・トリガ入力信号 (TIP00端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TP0IS3-TP0IS0ビットは、TP0CTL0.TP0CEビット = 0のときに書き換えてください (TP0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TP0CEビットをクリア (0) してから再設定してください。
- 2.** TP0IS3-TP0IS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。



(5) TMP0I/O制御レジスタ2 (TP0IOC2)

TP0IOC2レジスタは、外部イベント・カウント入力信号 (TIP00端子)、外部トリガ入力信号 (TIP00端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF5A4H

	7	6	5	4	3	2	1	0
TP0IOC2	0	0	0	0	TP0EES1	TP0EES0	TP0ETS1	TP0ETS0

TP0EES1	TP0EES0	外部イベント・カウント入力信号 (TIP00端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TP0ETS1	TP0ETS0	外部トリガ入力信号 (TIP00端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TP0EES1, TP0EES0, TP0ETS1, TP0ETS0ビットは、  
 TP0CTL0.TP0CEビット = 0のときに書き換えてください (TP0CE  
 ビット = 1のときの同値書き込みは可能)。誤って書き換えた場合  
 は、TP0CEビットをクリア (0) してから再設定してください。
2. TP0EES1, TP0EES0ビットは、TP0CTL1.TP0EEEビット = 1、また  
 は外部イベント・カウント・モード (TP0CTL1.TP0MD2-TP0MD0  
 ビット = 001) に設定したときのみ有効です。
3. TP0ETS1, TP0ETS0ビットは、外部トリガ・パルス出力モード  
 (TP0CTL1.TP0MD2-TP0MD0ビット = 010)、ワンショット・パル  
 ス出力モード (TP0CTL1.TP0MD2-TP0MD0 = 011) に設定したと  
 ときのみ有効です。

(6) TMP0オプション・レジスタ0 (TP0OPT0)

TP0OPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF5A5H

	7	6	5	4	3	2	1	①
TP0OPT0	0	0	TP0CCS1	TP0CCS0	0	0	0	TP0OVF

TP0CCS1	TP0CCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TP0CCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TP0CCS0	TP0CCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TP0CCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TP0OVF	TMP0のオーバフロー検出フラグ
セット(1)	オーバフロー発生
リセット(0)	TP0OVFビットへの0ライトまたはTP0CTL0.TP0CEビット = 0
<ul style="list-style-type: none"> <li>・TP0OVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウント値がFFFFFFHから0000Hにオーバフローするときセット(1)されます。</li> <li>・TP0OVFビットがセット(1)されると同時に、割り込み要求信号(INTTP0OV)が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTP0OV信号は発生しません。</li> <li>・TP0OVFビット = 1のときにTP0OVFビットまたはTP0OPT0レジスタをリードしても、TP0OVFビットはクリアされません。</li> <li>・TP0OVFビットはリード/ライト可能ですが、ソフトウェアでTP0OVFビットをセット(1)することはできません。“1”をライトしてもTMP0の動作に影響はありません。</li> </ul>	

**注意1.** TP0CCS1, TP0CCS0ビットは、TP0CEビット = 0のときに書き換えてください (TP0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TP0CEビットをクリア(0)してから再設定してください。

**2.** ビット1-3, 6, 7には必ず“0”を設定してください。

## (7) TMP0キャプチャ/コンペア・レジスタ0 (TP0CCR0)

TP0CCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TP0CCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TP0OPT0.TP0CCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

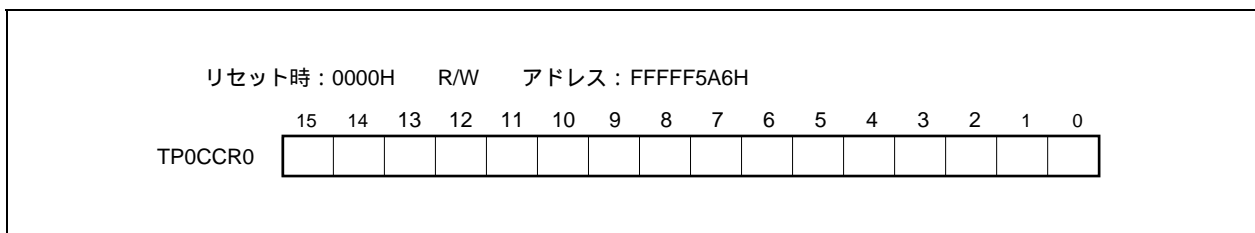
TP0CCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** 次に示す状態において、TP0CCR0レジスタへのアクセスは禁止です。詳細は3.4.8(1)(b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



**(a) コンペア・レジスタとしての機能**

TP0CCR0レジスタは、TP0CTL0.TP0CEビット = 1のときでも書き換えできます。

TP0CCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTP0CC0) を発生し、TOP00端子出力を許可している場合、TOP00端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TP0CCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

**(b) キャプチャ・レジスタとしての機能**

フリー・ランニング・タイマ・モードにおいて、TP0CCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIP00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTP0CCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIP00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTP0CCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTP0CCR0レジスタのリードが競合しても、TP0CCR0レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

## (8) TMP0キャプチャ/コンペア・レジスタ1 (TP0CCR1)

TP0CCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TP0CCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TP0OPT0.TP0CCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

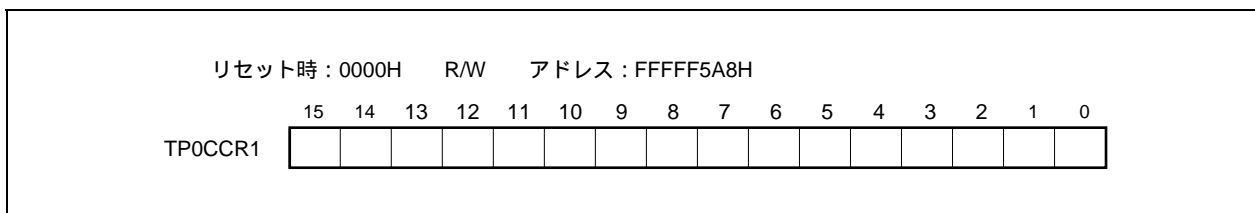
TP0CCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** 次に示す状態において、TP0CCR1レジスタへのアクセスは禁止です。詳細は3.4.8(1)(b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



**(a) コンペア・レジスタとしての機能**

TP0CCR1レジスタは、TP0CTL0.TP0CEビット = 1のときでも書き換えできます。

TP0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTP0CC1) を発生し、TOP01端子出力を許可している場合、TOP01端子出力を反転します。

**(b) キャプチャ・レジスタとしての機能**

フリー・ランニング・タイマ・モードにおいて、TP0CCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIP01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTP0CCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIP01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTP0CCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTP0CCR1レジスタのリードが競合しても、TP0CCR1レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(9) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT)

TP0CNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TP0CTL0.TP0CEビット = 1のときにTP0CNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TP0CEビット = 0のとき、TP0CNTレジスタは0000Hになります。このときにTP0CNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTP0CEビット = 0になるため、TP0CNTレジスタは0000Hになります。

**注意** 次に示す状態において、TP0CNTレジスタへのアクセスは禁止です。詳細は3.4.8(1)(b)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



## 7.5 動作

TMP0には次のような動作があります。

動作	TP0CTL1.TP0ESTビット (ソフトウェア・トリガ・ビット)	TIP00端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード <sup>注1</sup>	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード <sup>注2</sup>	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード <sup>注2</sup>	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード <sup>注2</sup>	無効	無効	キャプチャ専用	対象外

- 注1. 外部イベント・カウント・モードを使用する場合、TIP00端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TP0IOC1.TP0IS1, TP0IS0ビットを“00”) に設定してください。
2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TP0CTL1.TP0EEEビット = 0に設定) してください。



### 7.5.1 インターバル・タイマ・モード (TP0MD2-TP0MD0ビット = 000)

インターバル・タイマ・モードは、TP0CTL0.TP0CEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号 (INTTP0CC0) を発生します。また、TOP00端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TP0CCR1レジスタを使用しません。

図7-2 インターバル・タイマの構成図

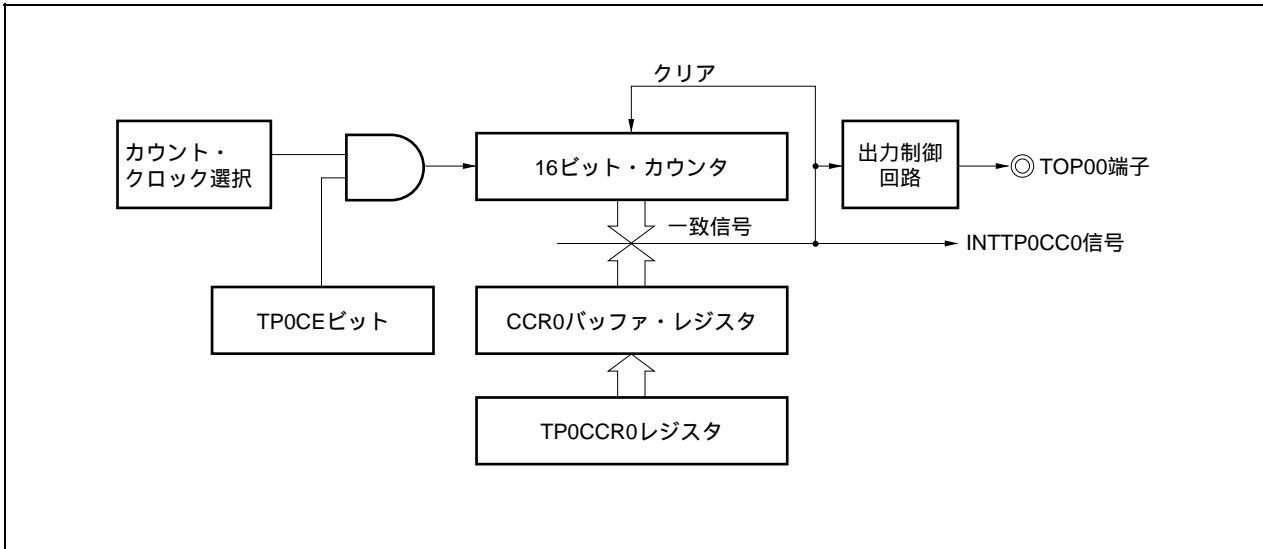
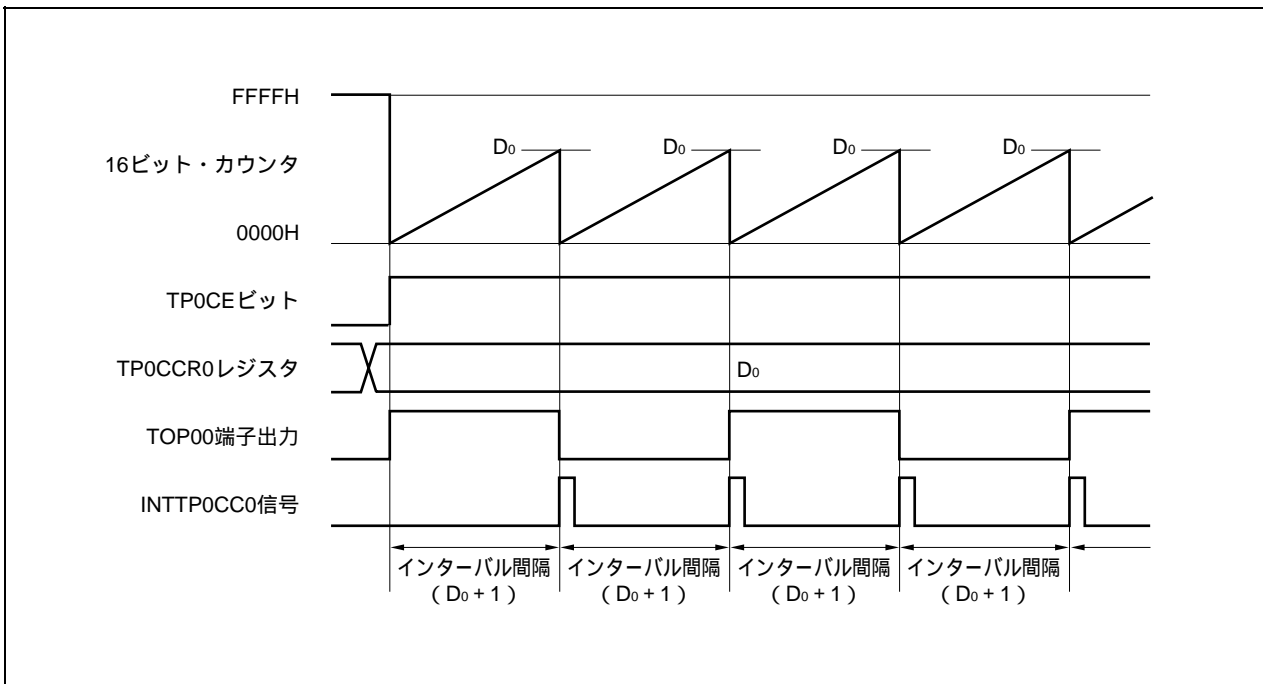


図7-3 インターバル・タイマ・モード動作の基本タイミング



TP0CEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOP00端子出力を反転します。また、TP0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOP00端子出力を反転させて、コンペア一致割り込み要求信号 (INTTP0CC0) を発生します。

インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TP0CCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図7-4 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/2)

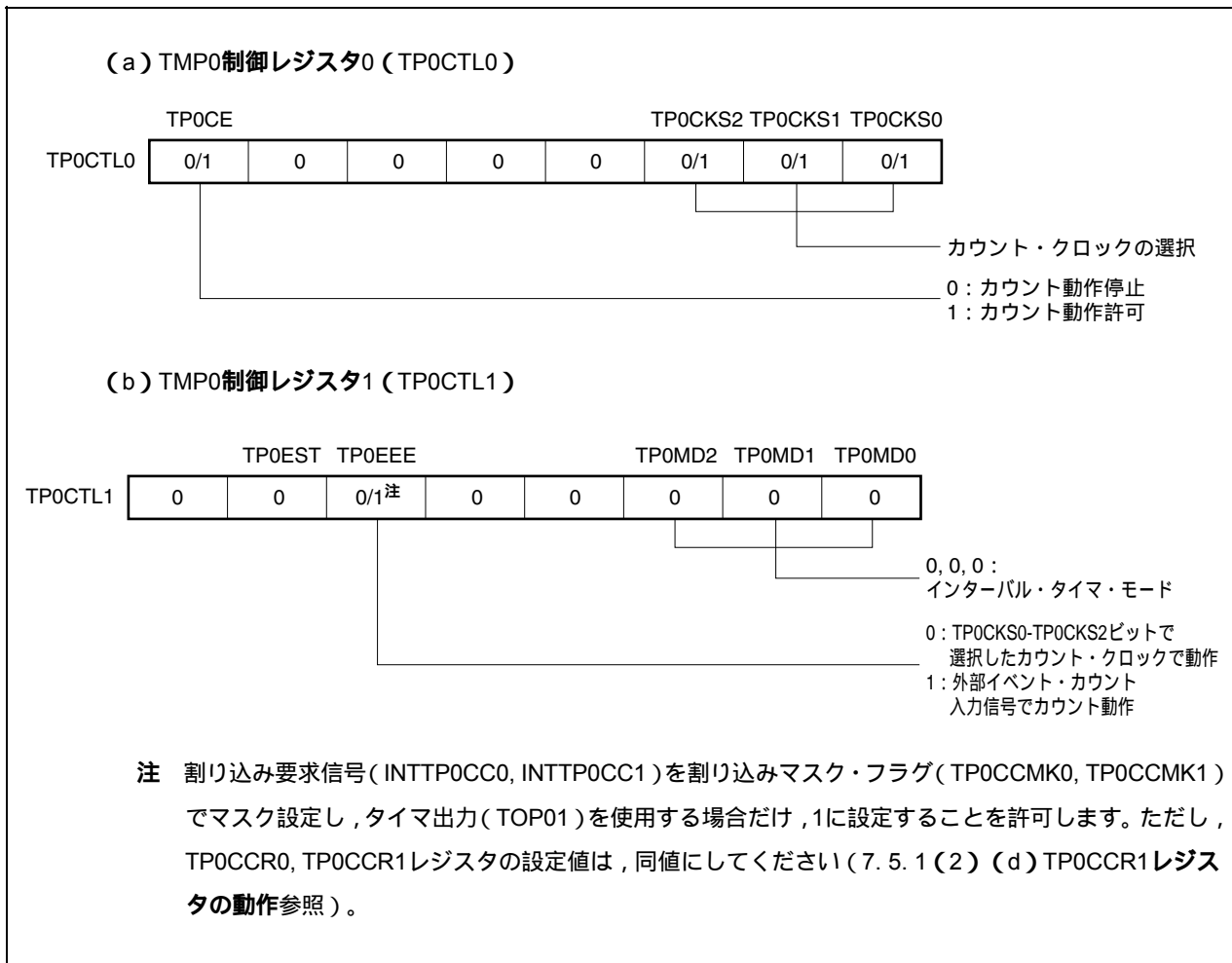
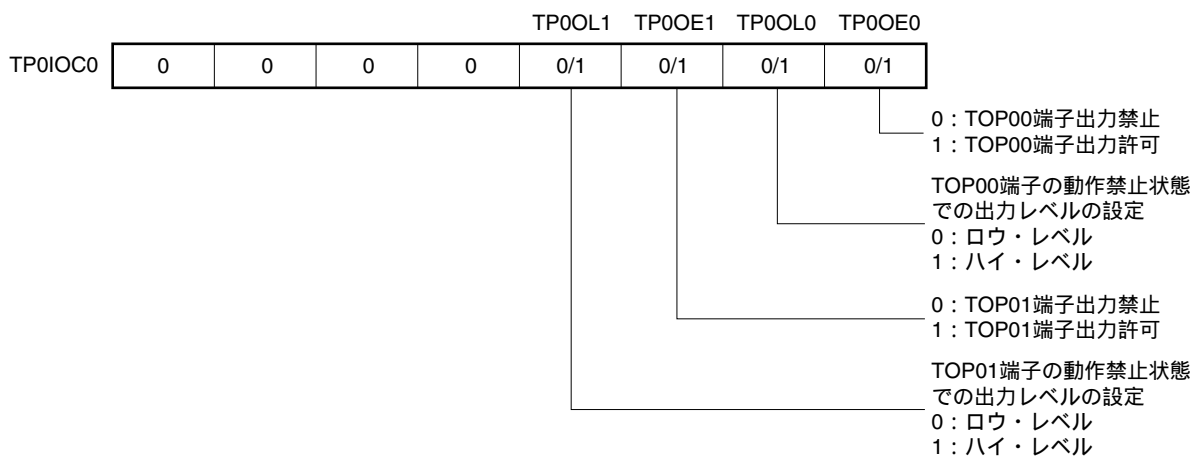


図7-4 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

(c) TMP0I/O制御レジスタ0 (TP0IOC0)



(d) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT)

TP0CNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(e) TMP0キャプチャ/コンペア・レジスタ0 (TP0CCR0)

TP0CCR0レジスタにD<sub>0</sub>を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウンタ} \cdot \text{クロック周期}$$

となります。

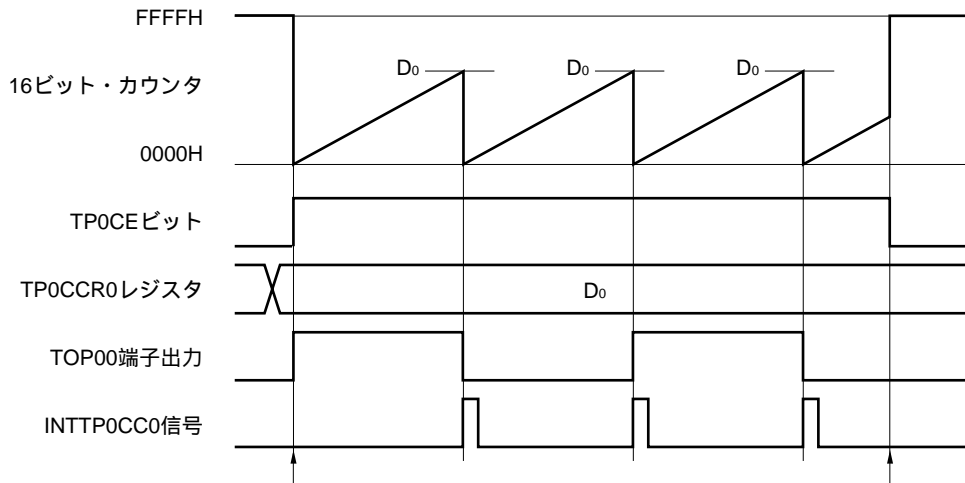
(f) TMP0キャプチャ/コンペア・レジスタ1 (TP0CCR1)

インターバル・タイマ・モードでは、通常、TP0CCR1レジスタを使用しません。しかし、TP0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTP0CC1) が発生します。したがって、割り込みマスク・フラグ (TP0CCMK1) でマスク設定しておいてください。

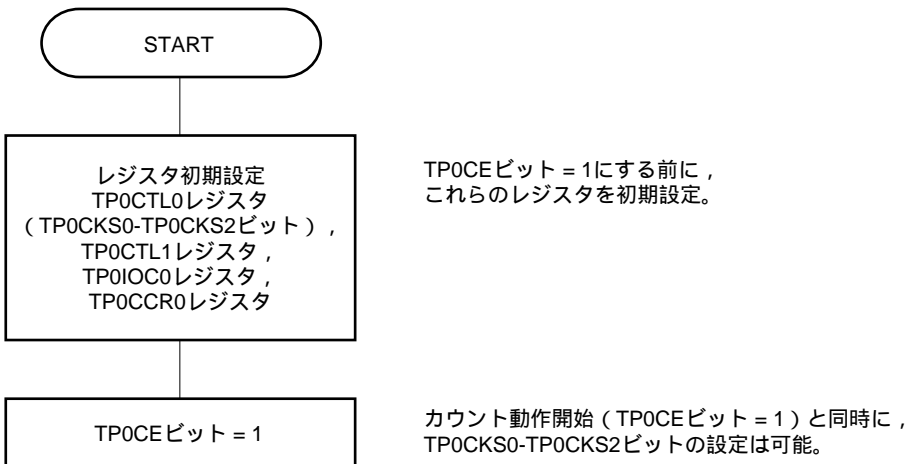
**備考** 通常、TMP0I/O制御レジスタ1 (TP0IOC1)、TMP0I/O制御レジスタ2 (TP0IOC2)、TMP0オプション・レジスタ0 (TP0OPT0) は、インターバル・タイマ・モードでは使用しません。ただし、外部イベント・カウント入力を使用する場合は、TP0IOC2レジスタを設定してください。

(1) インターバル・タイマ・モード動作フロー

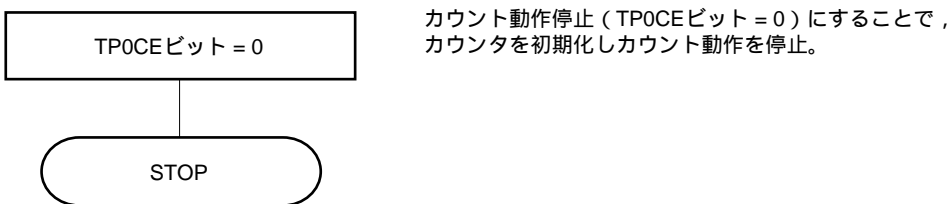
図7-5 インターバル・タイマ・モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー

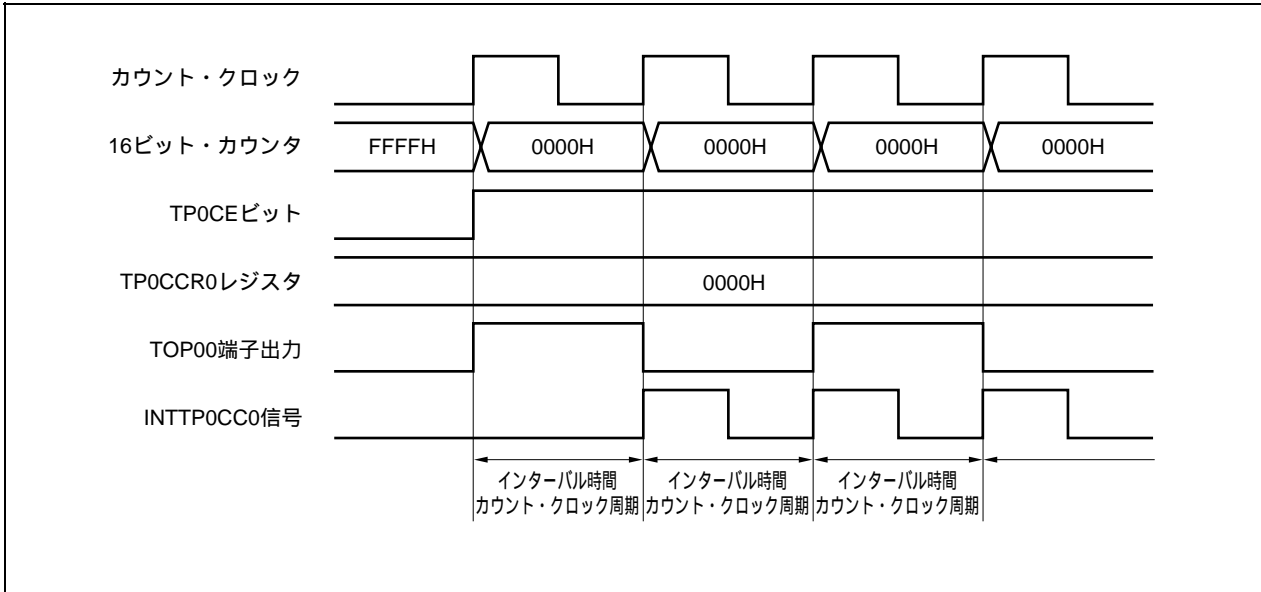


(2) インターバル・タイマ・モード動作タイミング

(a) TP0CCR0レジスタに0000Hを設定した場合の動作

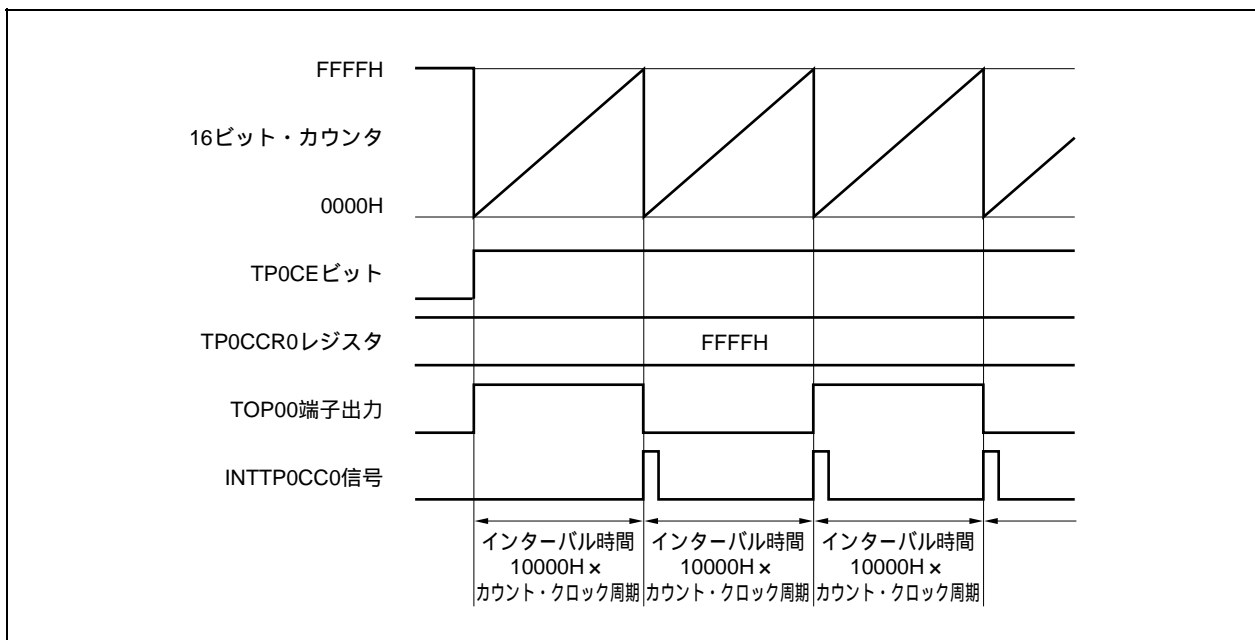
TP0CCR0レジスタに0000Hを設定した場合,カウント・クロックごとにINTTP0CC0信号を発生し, TOP00端子の出力を反転します。

16ビット・カウンタは,常に0000Hとなります。



(b) TP0CCR0レジスタにFFFFHを設定した場合の動作

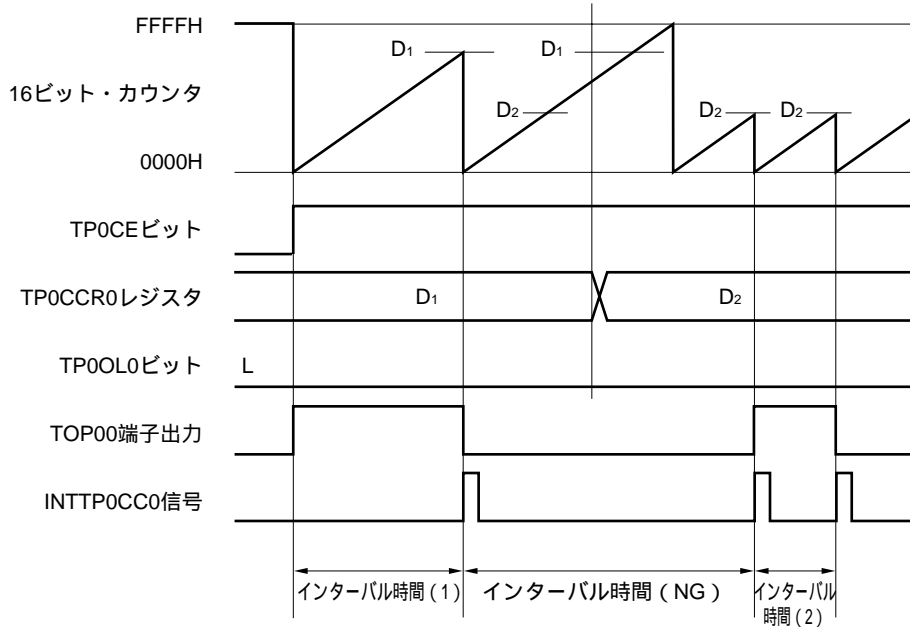
TP0CCR0レジスタにFFFFHを設定した場合，16ビット・カウンタはFFFFHまでカウント動作を行い，次のカウント・アップ・タイミングに同期して，16ビット・カウンタを0000Hにクリアし，INTTP0CC0信号を発生し，TOP00端子の出力を反転します。このとき，オーバーフロー割り込み要求信号 (INTTP0OV) は発生せず，オーバーフロー・フラグ (TP0OPT0.TP0OVFビット) もセット (1) されません。



(c) TP0CCR0レジスタの書き換えに関する注意事項

TP0CCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTP0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



- 備考** インターバル時間 (1) :  $(D_1 + 1) \times \text{カウント・クロック周期}$   
 インターバル時間 (NG) :  $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$   
 インターバル時間 (2) :  $(D_2 + 1) \times \text{カウント・クロック周期}$

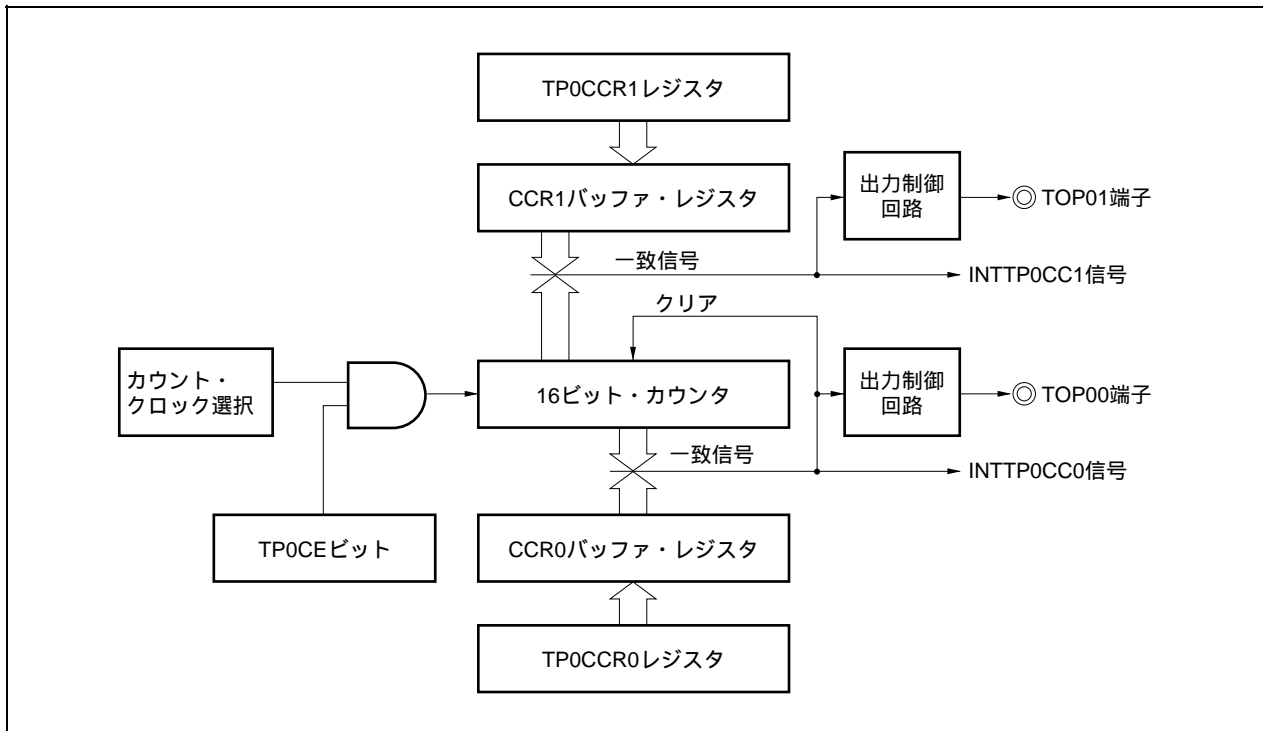
カウント値が $D_2$ よりも大きく $D_1$ よりも小さい状態において、TP0CCR0レジスタを $D_1$ から $D_2$ に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が $D_2$ となります。

しかし、カウント値はすでに $D_2$ を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 $D_2$ との一致でINTTP0CC0信号を発生しTOP00端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント・クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント・クロック周期}$ 」でINTTP0CC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$ 」の間隔でINTTP0CC0信号が発生する場合があります。

(d) TP0CCR1レジスタの動作

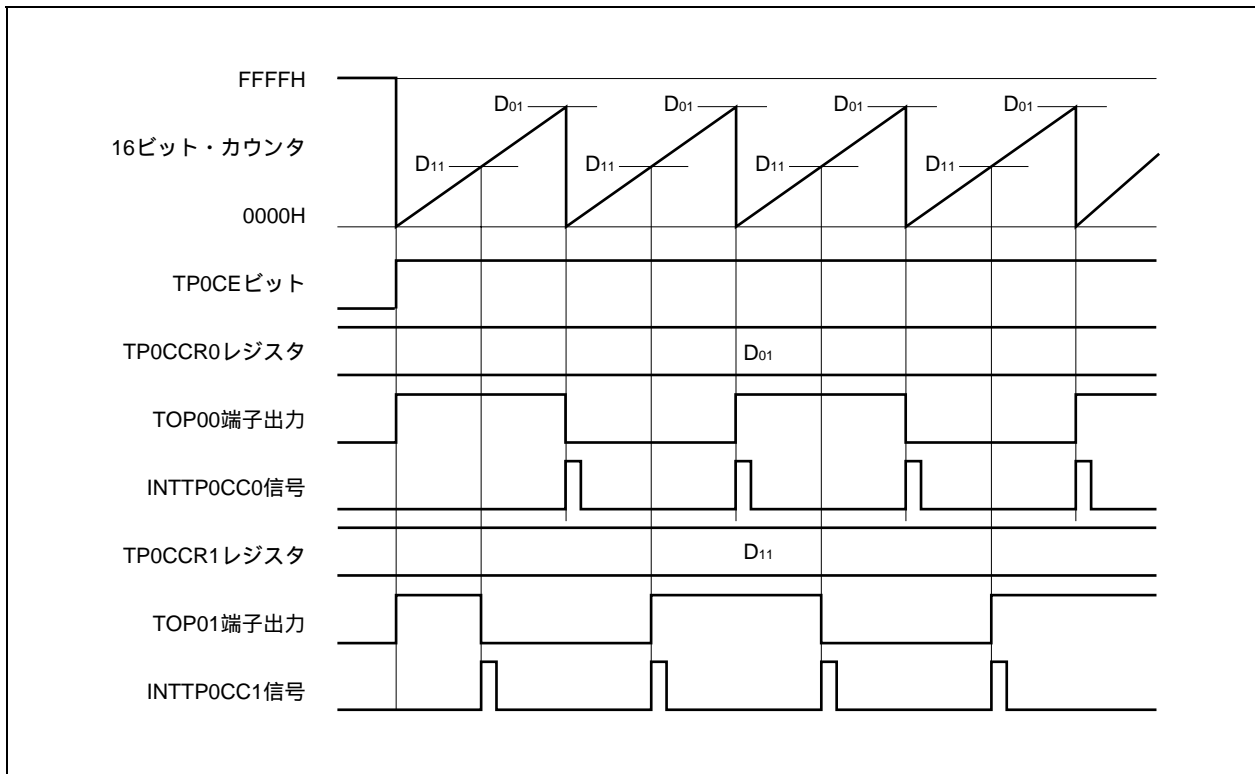
図7-6 TP0CCR1レジスタの構成図





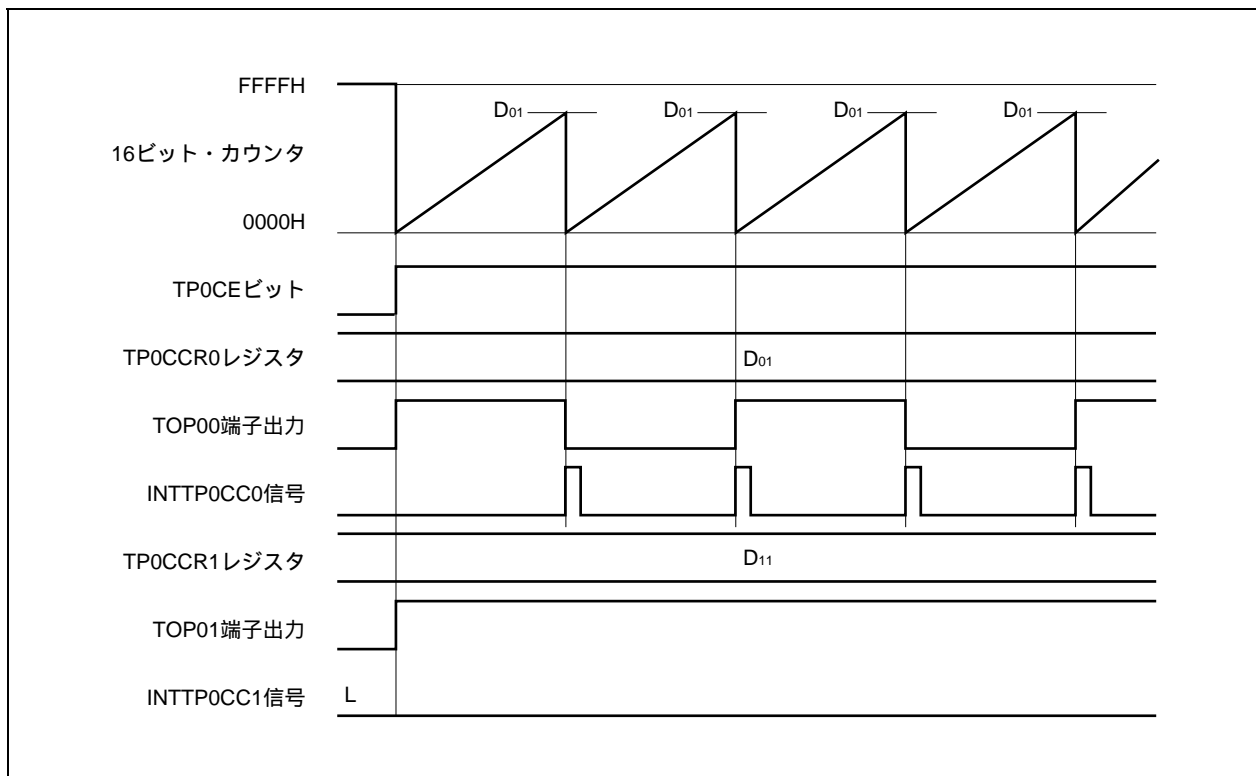
TP0CCR1レジスタの設定値がTP0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTP0CC1信号が発生します。また、同じタイミングでTOP01端子出力は反転します。TOP01端子出力は、TOP00端子出力と同じ周期の方形波を出力します。

図7-7 D<sub>01</sub> D<sub>11</sub>の場合のタイミング図



TP0CCR1レジスタの設定値がTP0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTP0CCR1レジスタの値が一致しないので、INTTP0CC1信号は発生しません。また、TOP01端子出力も変化しません。

図7 - 8 D<sub>01</sub> < D<sub>11</sub>の場合のタイミング図



### 7.5.2 外部イベント・カウント・モード (TP0MD2-TP0MD0ビット = 001)

外部イベント・カウント・モードは、TP0CTL0.TP0CEビットをセット(1)することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントすることに割り込み要求信号 (INTTP0CC0) を発生します。タイマ出力 (TOP00, TOP01端子) は使用できません。

外部イベント・カウント・モードでは、通常、TP0CCR1レジスタは使用しません。

図7-9 外部イベント・カウント・モードの構成図

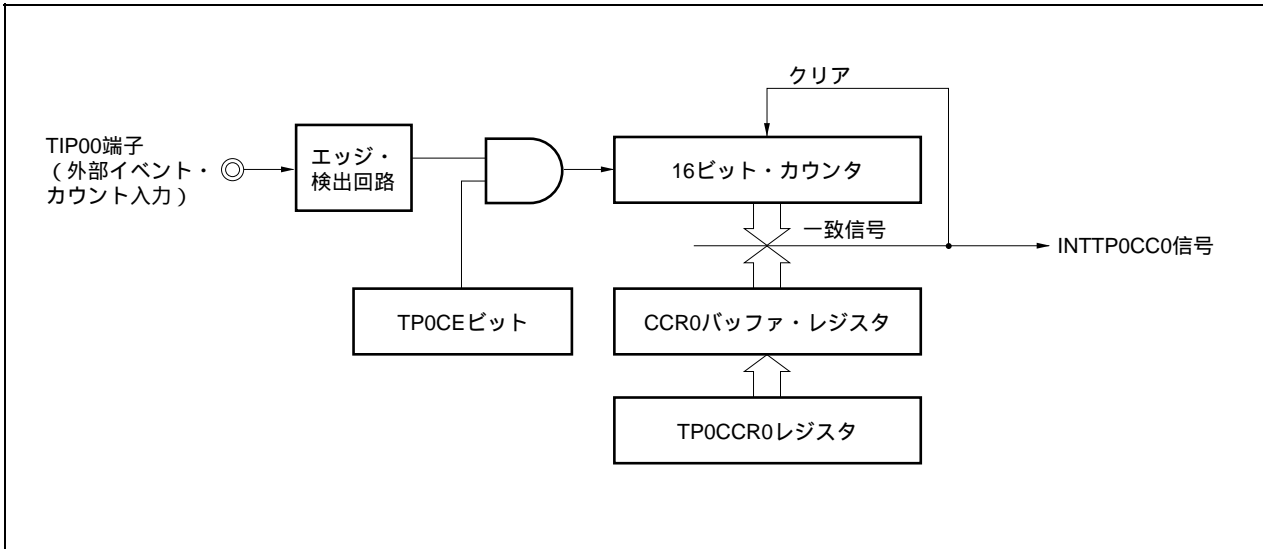
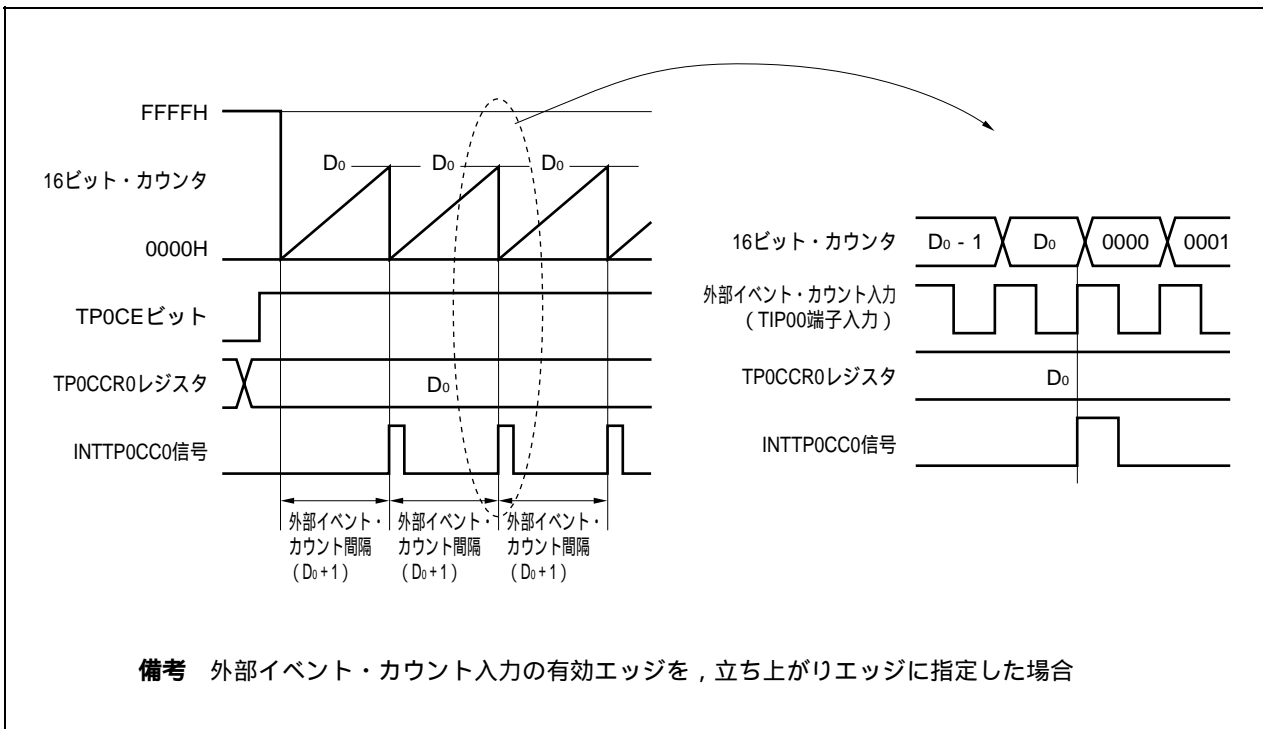


図7-10 外部イベント・カウント・モードの基本タイミング



TP0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また、TP0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号 (INTTP0CC0) を発生します。

INTTP0CC0信号は、外部イベント・カウント入力の有効エッジを (TP0CCR0レジスタに設定した値 + 1) 回検出するごとに発生します。

図7 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

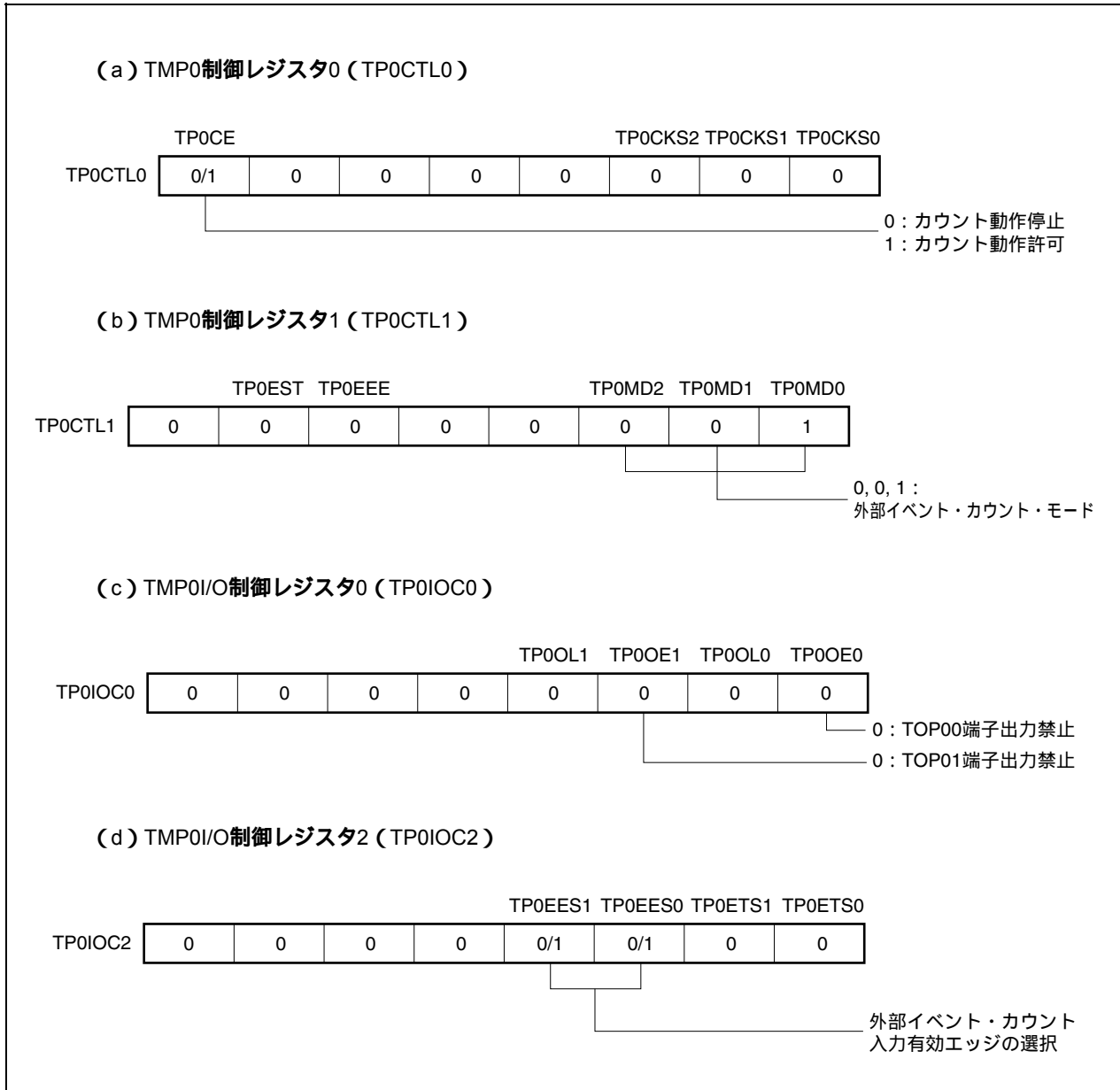


図7 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

**(e) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT)**

TP0CNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

**(f) TMP0キャプチャ/コンペア・レジスタ0 (TP0CCR0)**

TP0CCR0レジスタにD<sub>0</sub>を設定した場合、外部イベント・カウント数が(D<sub>0</sub>+1)回となるとカウントをクリアしコンペア一致割り込み要求信号 (INTTP0CC0) を発生します。

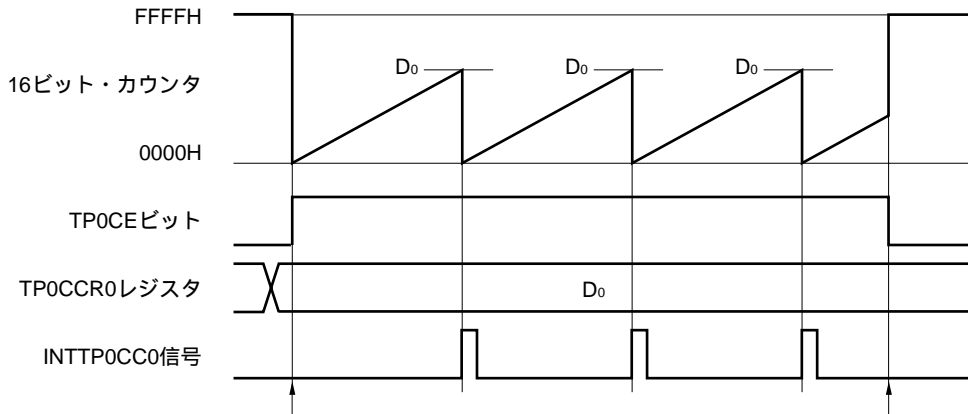
**(g) TMP0キャプチャ/コンペア・レジスタ1 (TP0CCR1)**

外部イベント・カウント・モードでは、通常、TP0CCR1レジスタは使用しません。しかし、TP0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTP0CC1) が発生します。したがって、割り込みマスク・フラグ (TP0CCMK1) でマスク設定しておいてください。

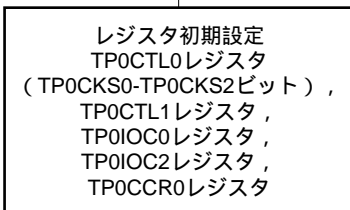
**備考** TMP0I/O制御レジスタ1 (TP0IOC1) , TMP0オプション・レジスタ0 (TP0OPT0) は、外部イベント・カウント・モードでは使用しません。

(1) 外部イベント・カウント・モード動作フロー

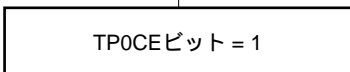
図7-12 外部イベント・カウント・モード使用時のソフトウェア処理フロー



カウント動作開始フロー

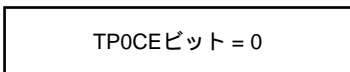


TPOCEビット = 1にする前に,  
これらのレジスタを初期設定。

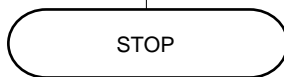


カウント動作開始 ( TPOCEビット = 1 ) と同時に,  
TPOCKS0-TPOCKS2ビットの設定は可能。

カウント動作停止フロー



カウント動作停止 ( TPOCEビット = 0 ) にすることで,  
カウンタを初期化しカウント動作を停止。

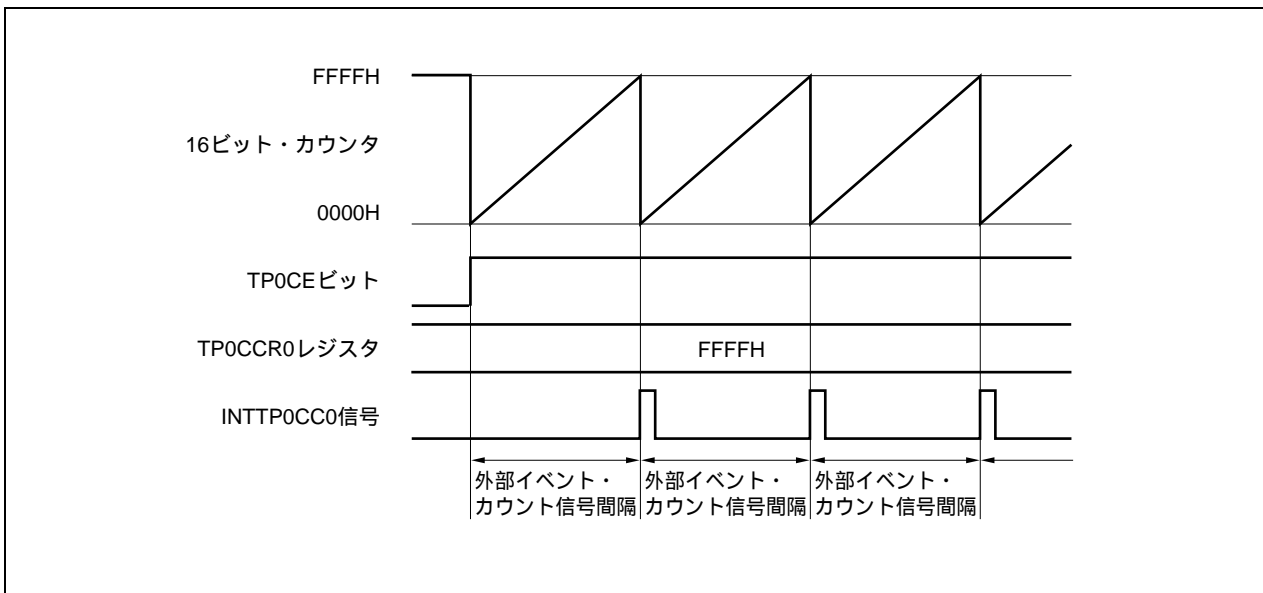


(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モード時, TP0CCR0, TP0CCR1レジスタには, 0000Hを設定しないでください。
2. 外部イベント・カウント・モード時, タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は, インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください。  
(TP0CTL1.TP0MD2-TP0MD0ビット = 000, TP0CTL1.TP0EEEビット = 1)。

(a) TP0CCR0レジスタにFFFFHを設定した場合の動作

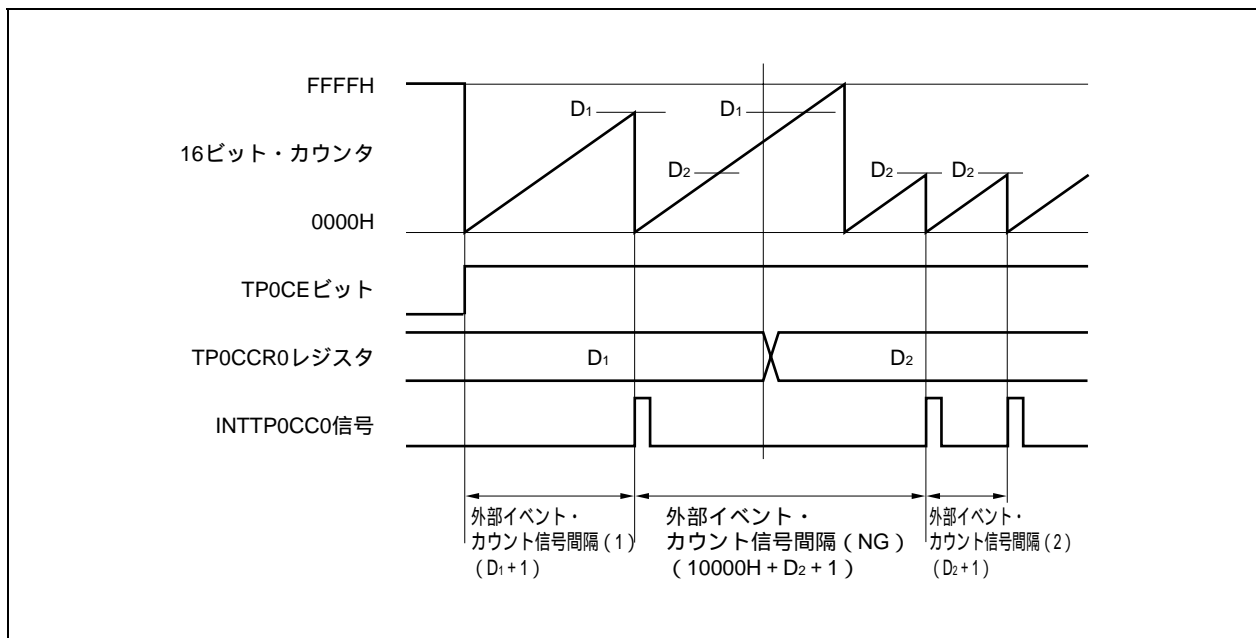
TP0CCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次のカウント・アップ・タイミングに同期して, 16ビット・カウンタを0000Hにクリアし, INTTP0CC0信号を発生します。このとき, TP0OPT0.TP0OVFビットはセットされません。



## (b) TP0CCR0レジスタの書き換えに関する注意事項

TP0CCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTP0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



カウント値が $D_2$ よりも大きく $D_1$ よりも小さい状態において、TP0CCR0レジスタを $D_1$ から $D_2$ に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が $D_2$ となります。

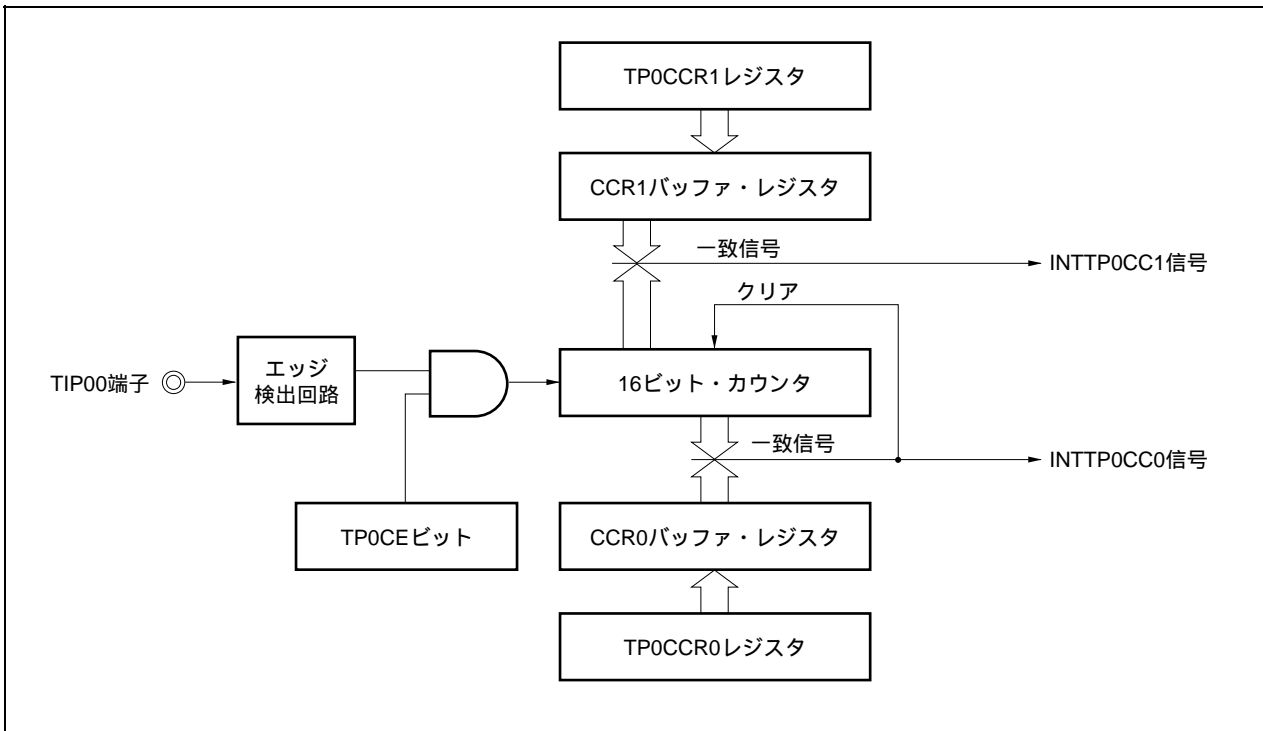
しかし、カウント値はすでに $D_2$ を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 $D_2$ との一致でINTTP0CC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「 $(D_1 + 1)$ 回」または「 $(D_2 + 1)$ 回」の有効エッジ数でINTTP0CC0信号は発生せずに、「 $(10000H + D_2 + 1)$ 回」の有効エッジ数でINTTP0CC0信号が発生する場合があります。



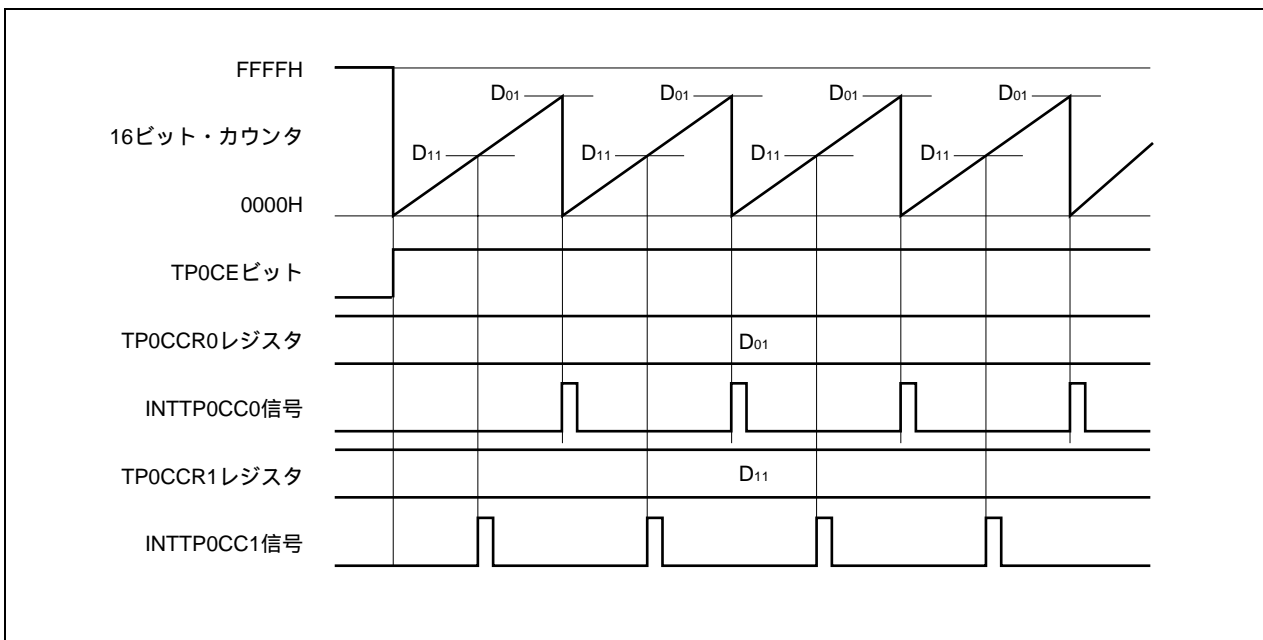
(c) TP0CCR1レジスタの動作

図7 - 13 TP0CCR1レジスタの構成図



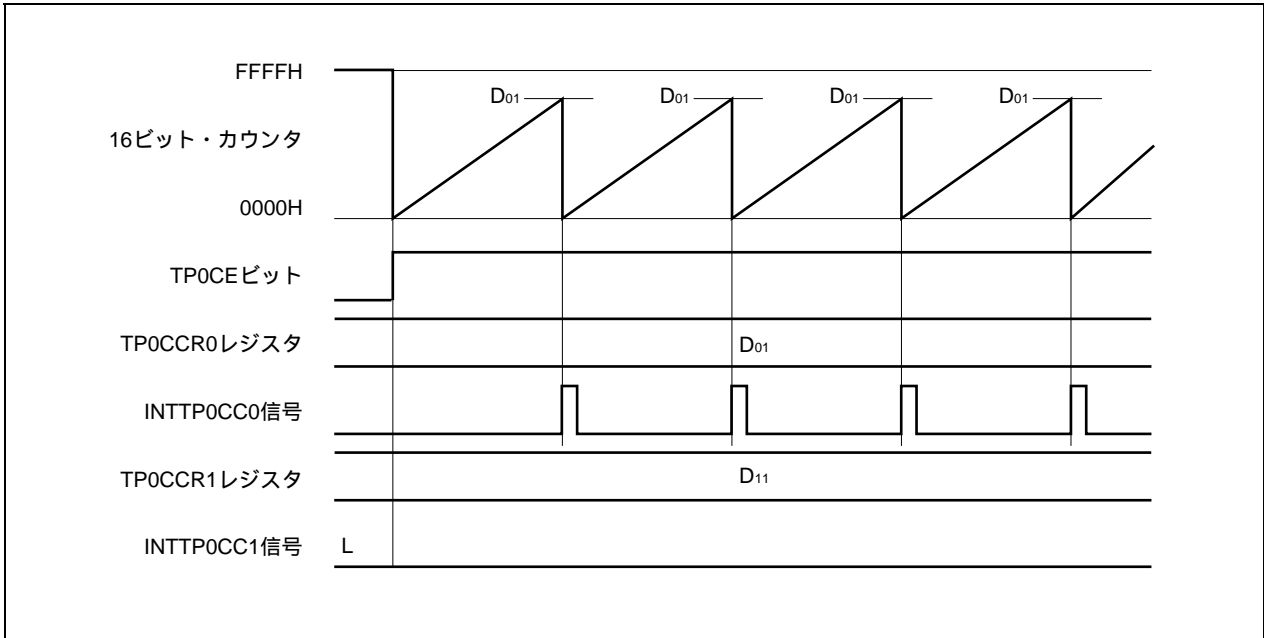
TP0CCR1レジスタの設定値がTP0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTP0CC1信号が発生します。

図7 - 14 D<sub>01</sub> D<sub>11</sub>の場合のタイミング図



TP0CCR1レジスタの設定値がTP0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTP0CCR1レジスタの値が一致しないので、INTTP0CC1信号は発生しません。

図7 - 15 D<sub>01</sub> < D<sub>11</sub>の場合のタイミング図



### 7.5.3 外部トリガ・パルス出力モード (TP0MD2-TP0MD0ビット = 010)

外部トリガ・パルス出力モードは、TP0CTL0.TP0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOP01端子からPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合、TOP00端子から、PWM波形の1周期を半周期とする方形波を出力できます。

図7 - 16 外部トリガ・パルス出力モードの構成図

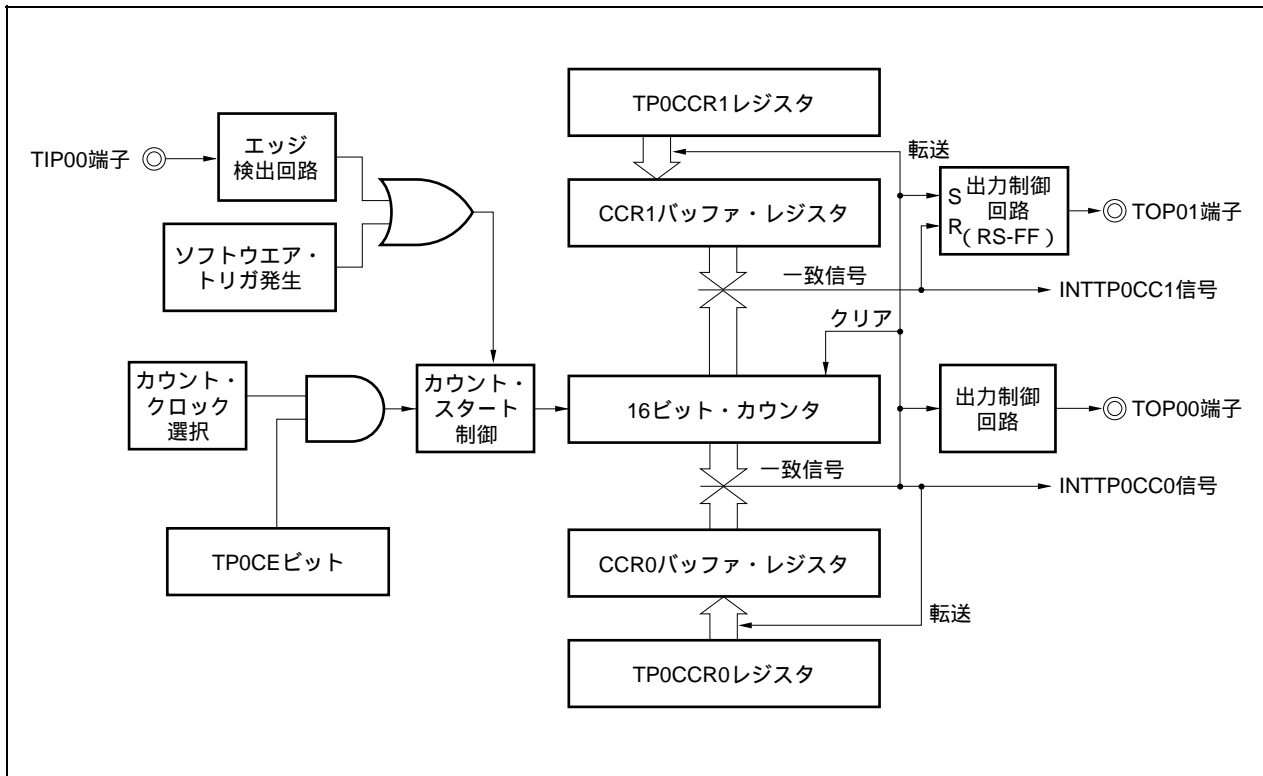
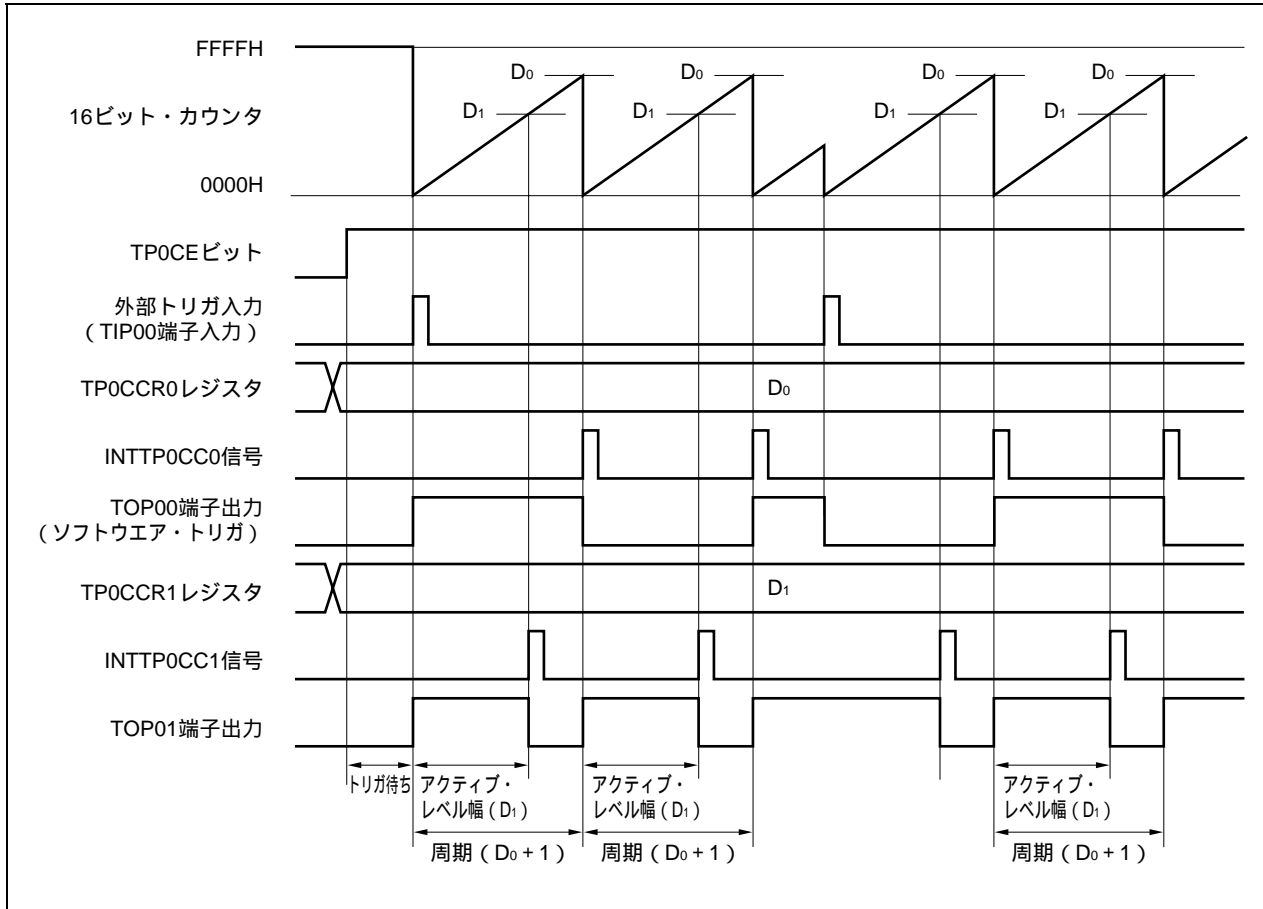


図7-17 外部トリガ・パルス出力モードの基本タイミング



TPOCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOP01端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOP00端子出力は反転します。TOP01端子出力は、トリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPOCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TPOCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TPOCCR1レジスタの設定値}) / (\text{TPOCCR0レジスタの設定値} + 1)$$

コンペアー一致割り込み要求信号(INTTP0CC0)は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号(INTTP0CC1)は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

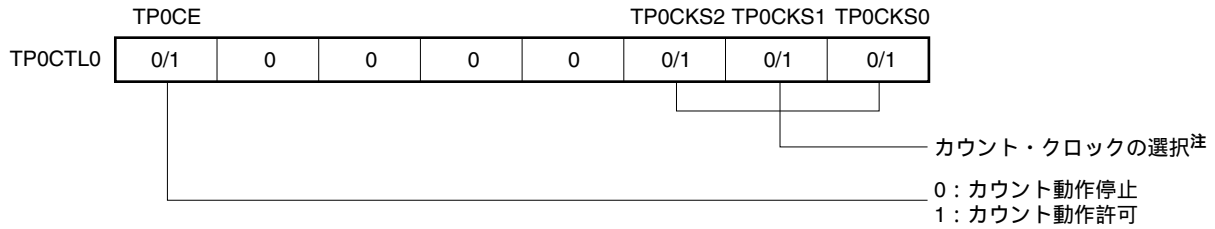
TPOCCR<sub>a</sub>レジスタに設定した値は、16ビット・カウンタのカウント値とCCR<sub>a</sub>バッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCR<sub>a</sub>バッファ・レジスタに転送されます。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ(TP0CTL1.TP0ESTビット)のセット(1)があります。

**備考** a = 0, 1

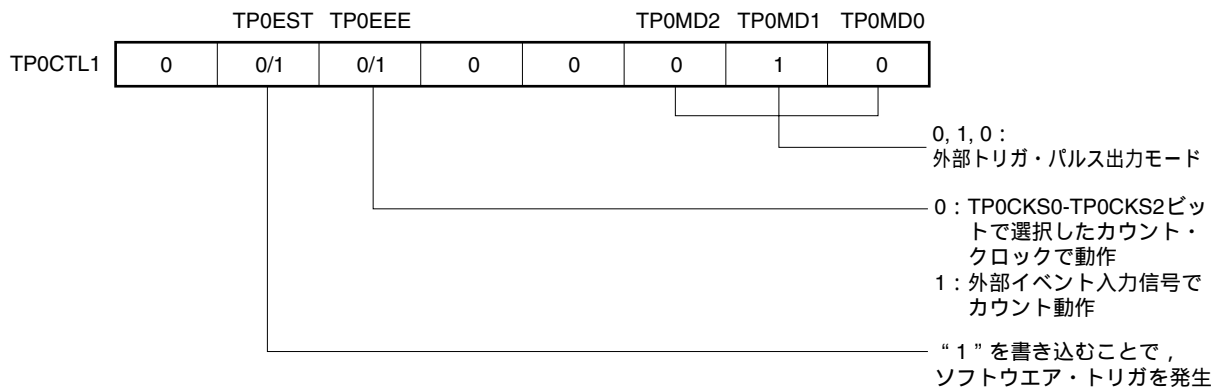
図7-18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

(a) TMP0制御レジスタ0 (TP0CTL0)

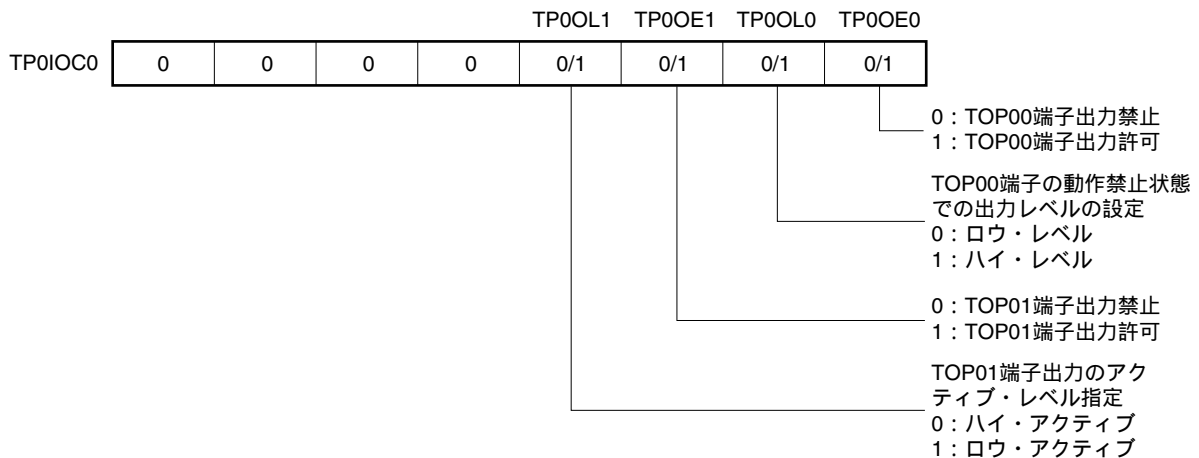


注 TP0CTL1.TP0EEEビット = 1のときは設定が無効になります。

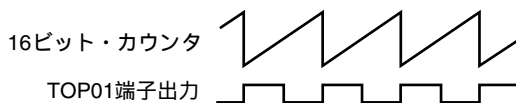
(b) TMP0制御レジスタ1 (TP0CTL1)



(c) TMP0I/O制御レジスタ0 (TP0IOC0)



・ TP0OL1ビット = 0の場合



・ TP0OL1ビット = 1の場合

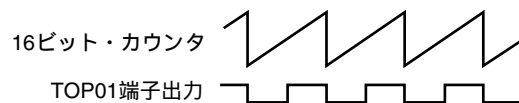
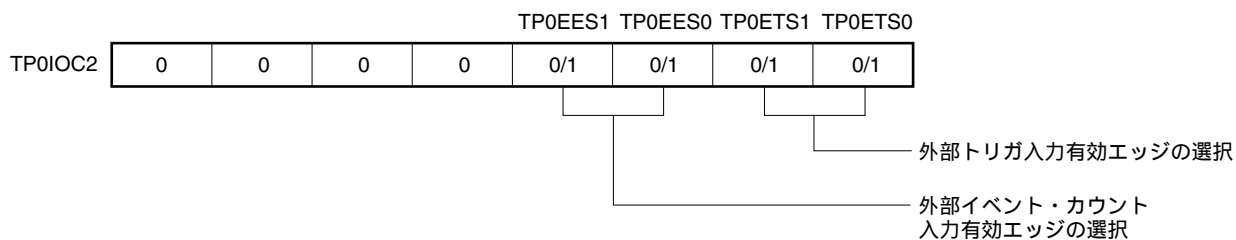


図7 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)

## (d) TMP0I/O制御レジスタ2 (TP0IOC2)



## (e) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT)

TP0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

## (f) TMP0キャプチャ/コンペア・レジスタ0, 1 (TP0CCR0, TP0CCR1)

TP0CCR0レジスタに $D_0$ を設定し、TP0CCR1レジスタに $D_1$ を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント} \cdot \text{クロック周期}$$

となります。

**備考** TMP0I/O制御レジスタ1 (TP0IOC1) , TMP0オプション・レジスタ0 (TP0OPT0) は、外部トリガ・パルス出力モードでは使用しません。

(1) 外部トリガ・パルス出力モード動作フロー

図7 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

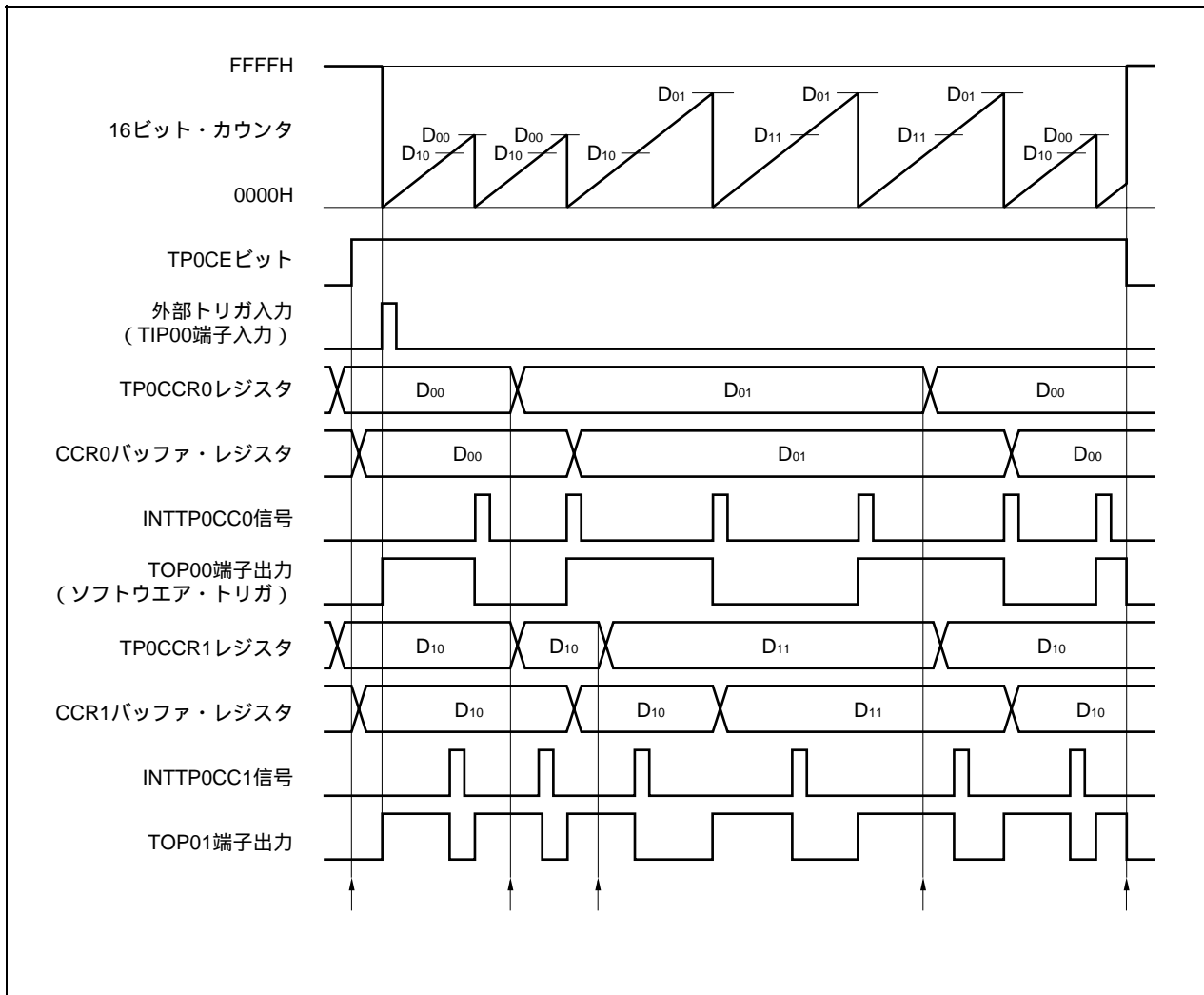
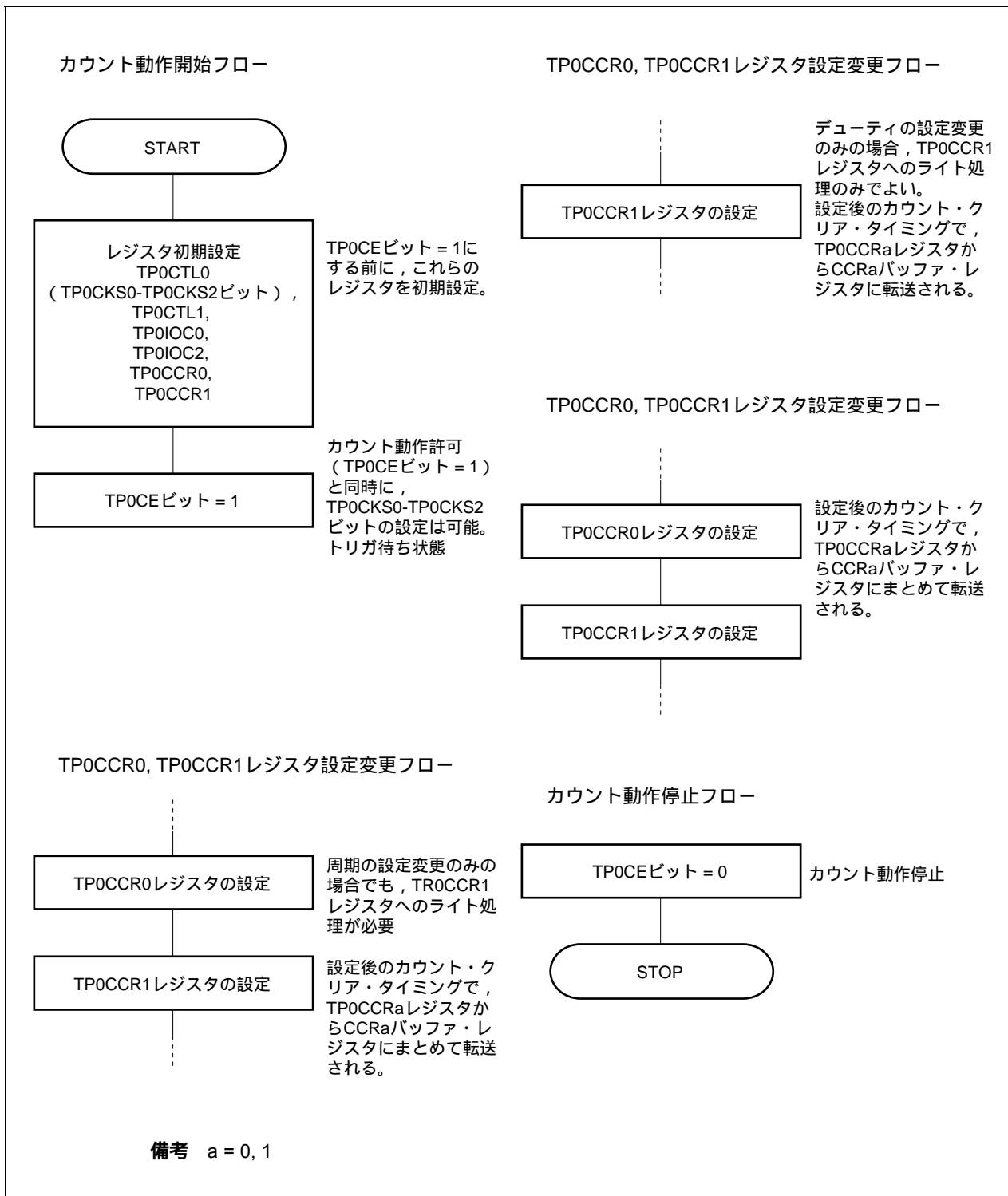


図7 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)



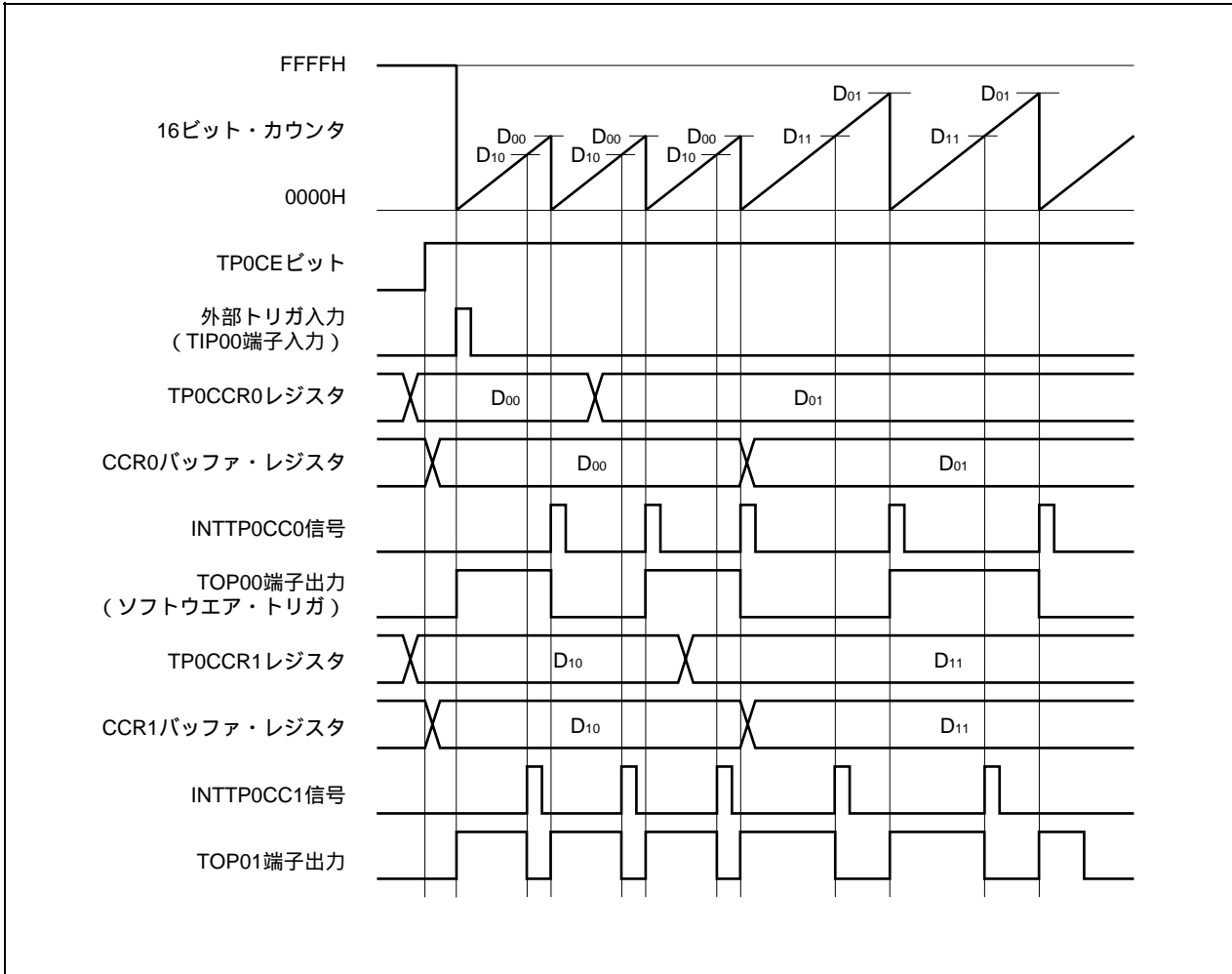


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTP0CCR1レジスタにライトしてください。

TP0CCR1レジスタにライト後、再度TP0CCRaレジスタの書き換えを行う場合には、INTTP0CC0信号を検出後に書き換えてください。



TP0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TP0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTP0CCR0レジスタに周期を設定し、そのあとでTP0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTP0CCR0レジスタに周期を設定し、そのあとでTP0CCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TP0CCR1レジスタのみの設定でかまいません。

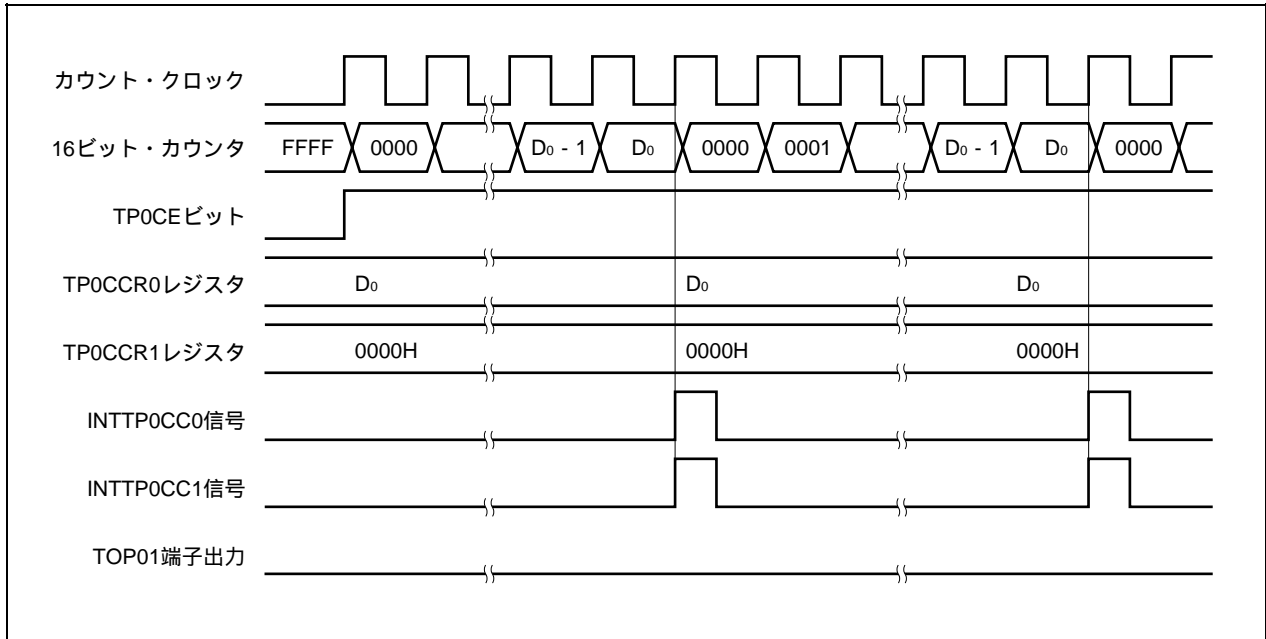
TP0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TP0CCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TP0CCR1レジスタにライトしたあとで、再度TP0CCR0、またはTP0CCR1レジスタへのライトを行う場合は、INTTP0CC0信号の発生後に行ってください。これを守れない場合には、TP0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TP0CCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

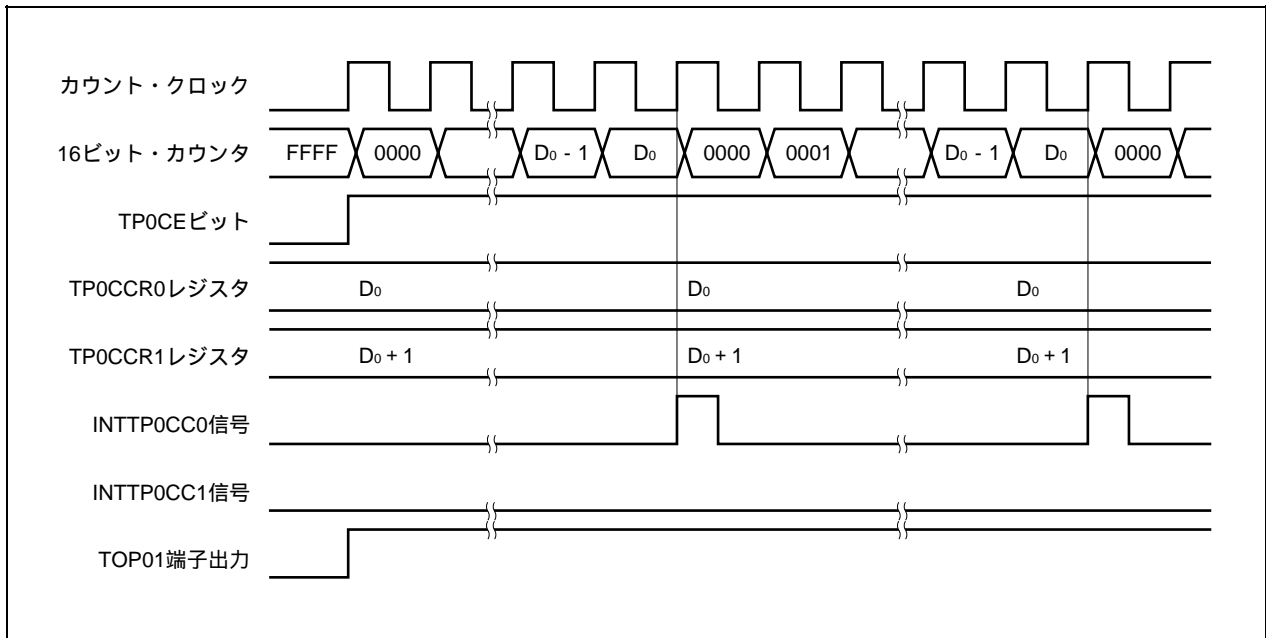
**備考** a = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TP0CCR1レジスタに対して0000Hを設定します。ただし, TP0CCR0レジスタの設定値がFFFFHの場合には, INTTP0CC1信号が定期的が発生します。

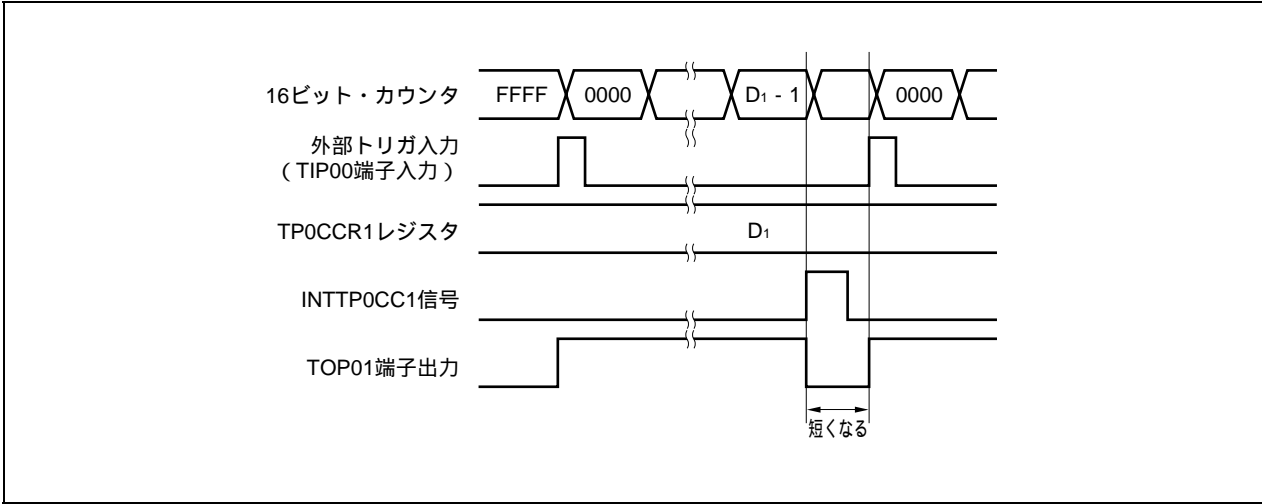


100 % 波形を出力するためには, TP0CCR1レジスタに対して ( TP0CCR0レジスタの設定値 + 1 ) の値を設定してください。TP0CCR0レジスタの設定値がFFFFHの場合には, 100 % 出力はできません。

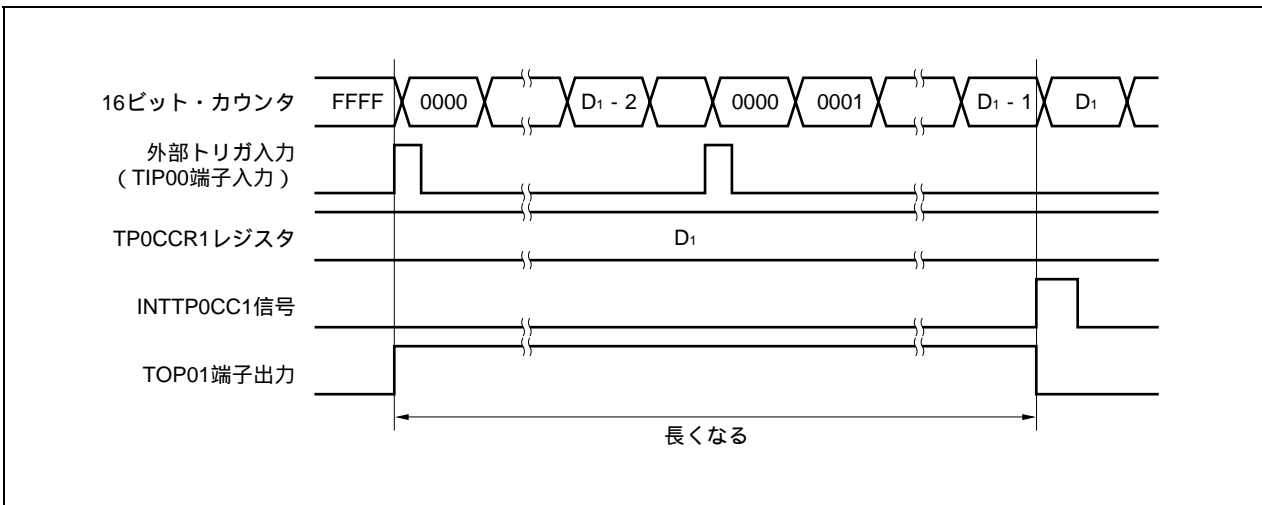


(c) トリガ検出とTP0CCR1レジスタとの一致の競合

INTTP0CC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOP01端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

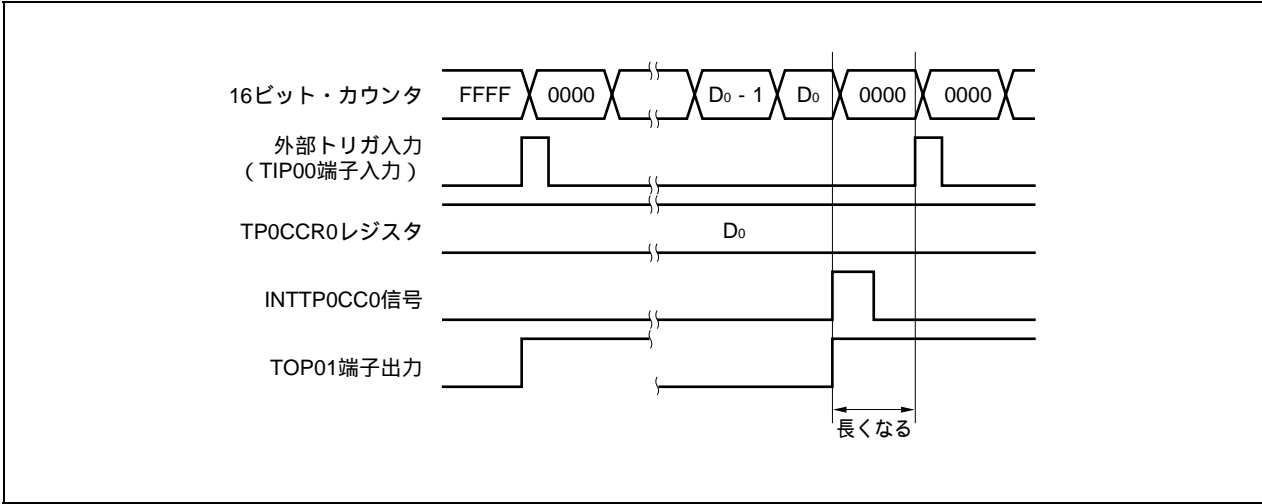


INTTP0CC1信号発生直前にトリガを検出した場合には、INTTP0CC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOP01端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

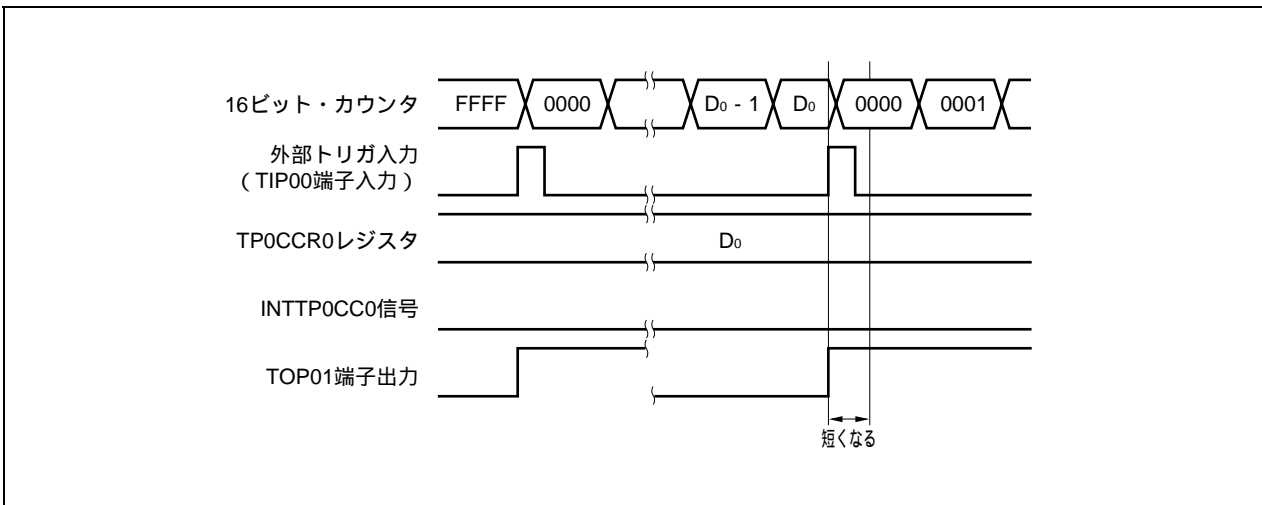


(d) トリガ検出とTP0CCR0レジスタとの一致の競合

INTTP0CC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOP01端子出力のアクティブ期間が、INTTP0CC0信号発生からトリガ検出までの分だけ長くなります。

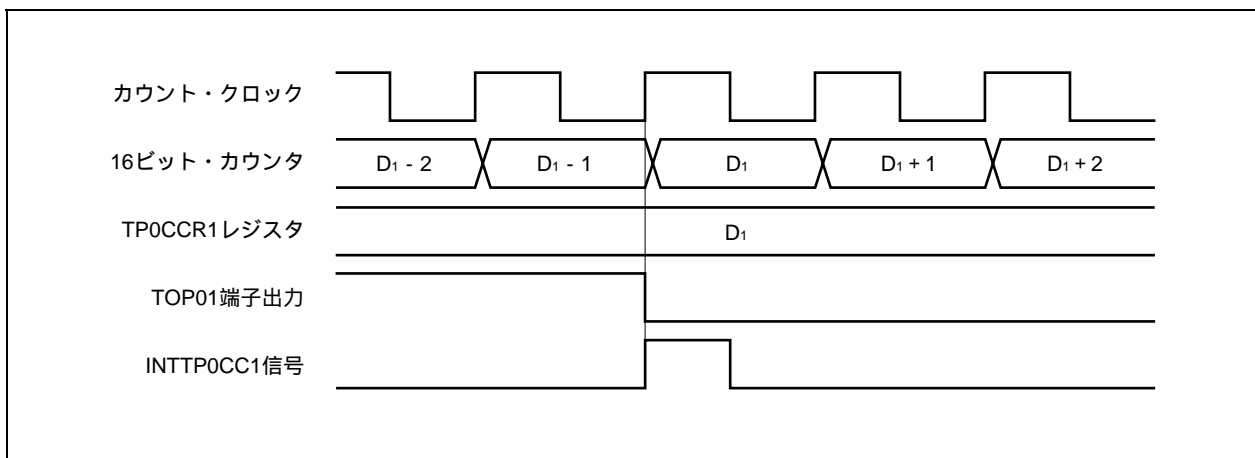


INTTP0CC0信号発生直前にトリガを検出した場合、INTTP0CC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOP01端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



## (e) コンペアー一致割り込み要求信号 (INTTP0CC1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTP0CC1信号の発生タイミングは、ほかのINTTP0CC1信号と異なり、16ビット・カウンタのカウンタ値とTP0CCR1レジスタの値との一致と同時に発生します。



通常、INTTP0CC1信号は、16ビット・カウンタのカウンタ値とTP0CCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOP01端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 7.5.4 ワンショット・パルス出力モード (TP0MD2-TP0MD0ビット = 011)

ワンショット・パルス出力モードは、TP0CTL0.TP0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOP01端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOP00端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図7-20 ワンショット・パルス出力モードの構成図

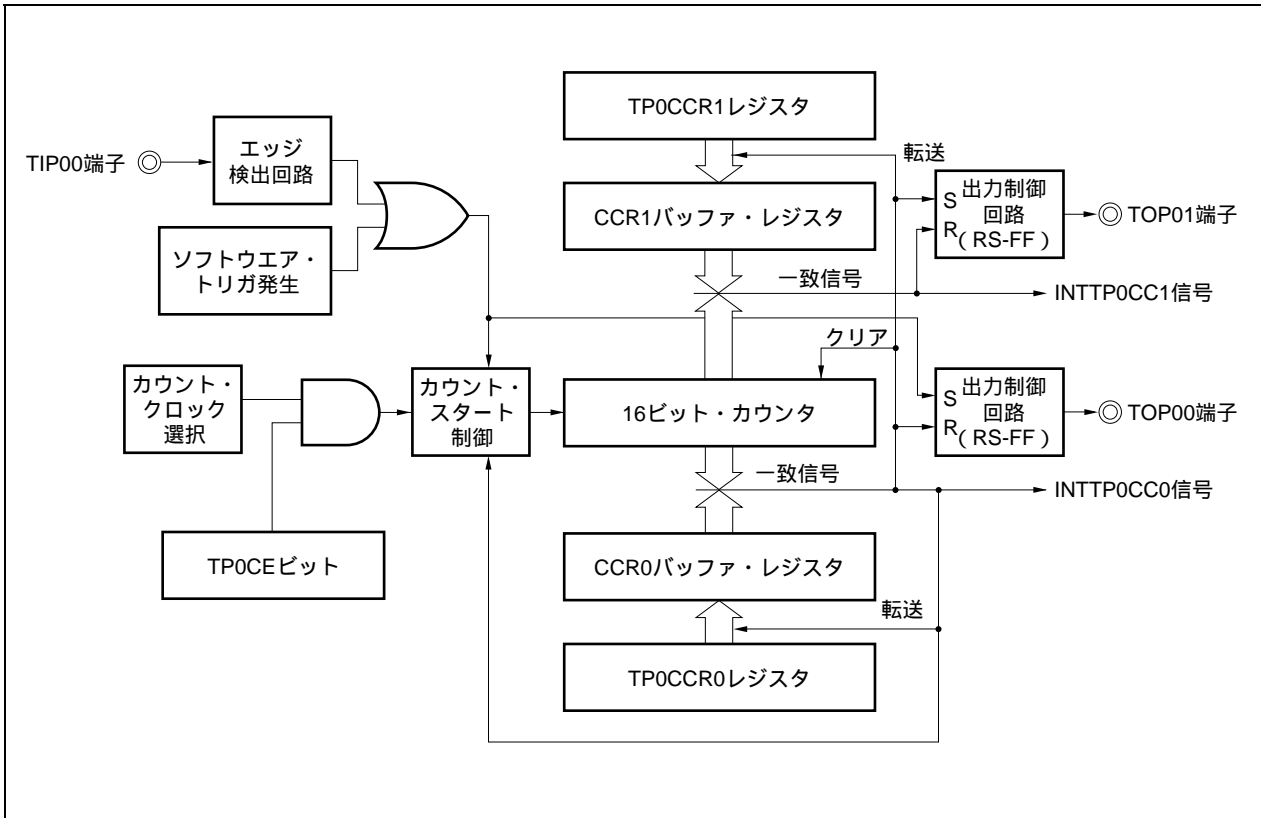
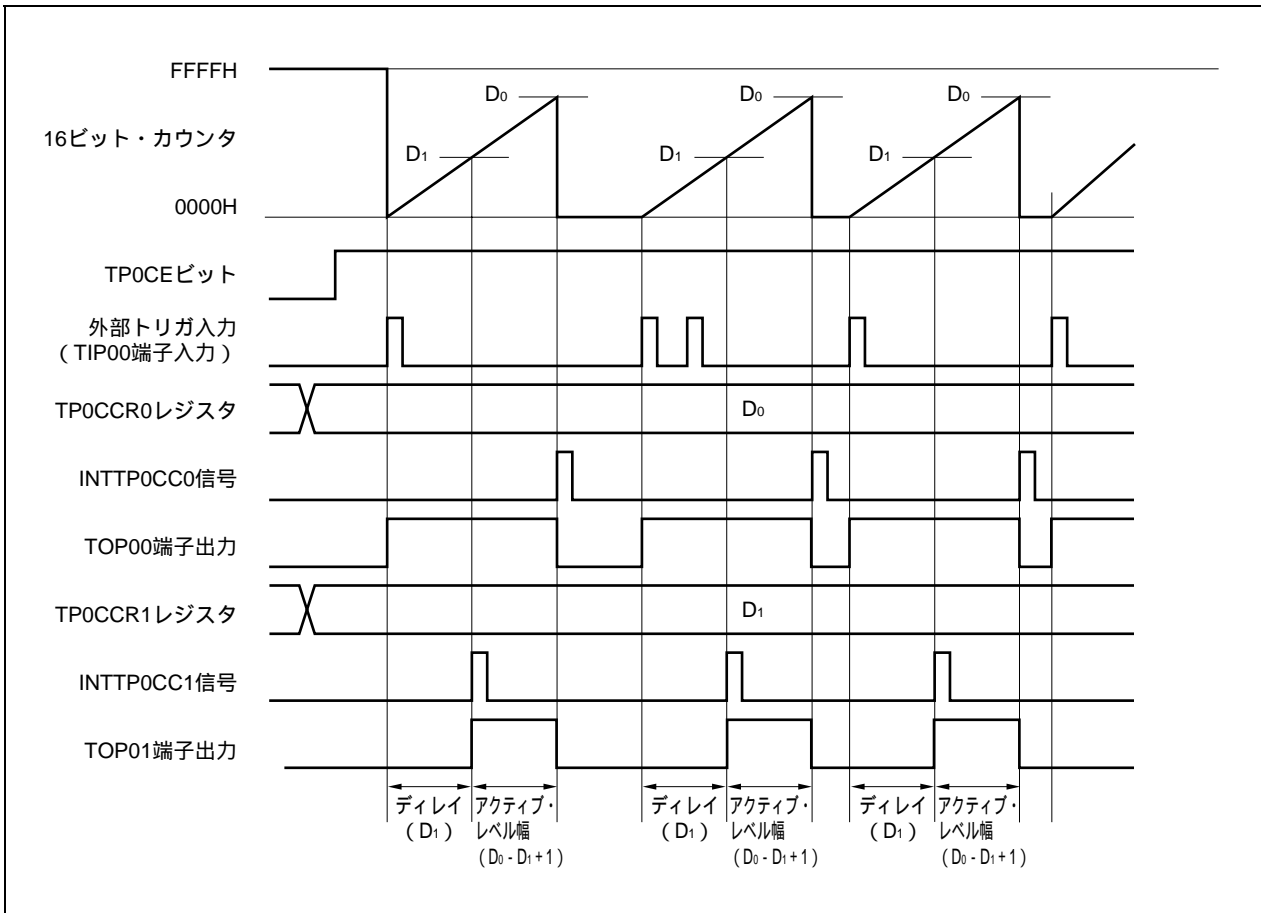


図7-21 ワンショット・パルス出力モードの基本タイミング



TP0CEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOP01端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタをFFFFHにしてカウンタ動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\begin{aligned} \text{出力ディレイ期間} &= (\text{TP0CCR1レジスタの設定値}) \times \text{カウンタ・クロック周期} \\ \text{アクティブ・レベル幅} &= (\text{TP0CCR0レジスタの設定値} - \text{TP0CCR1レジスタの設定値} + 1) \\ &\quad \times \text{カウンタ・クロック周期} \end{aligned}$$

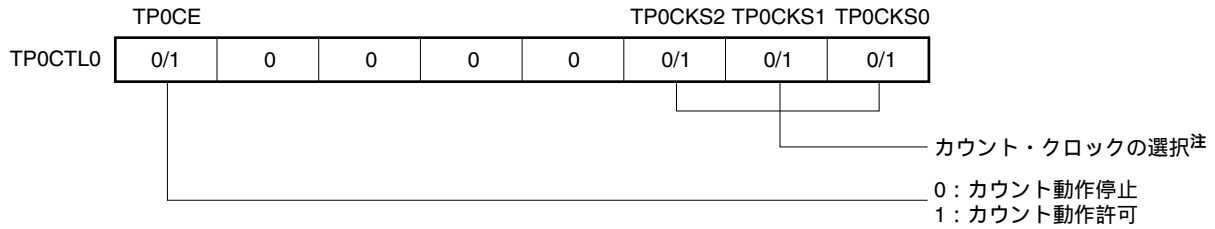
コンパレー一致割り込み要求信号 (INTTP0CC0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生します。コンパレー一致割り込み要求信号 (INTTP0CC1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TP0CTL1.TP0ESTビット) のセット(1)があります。



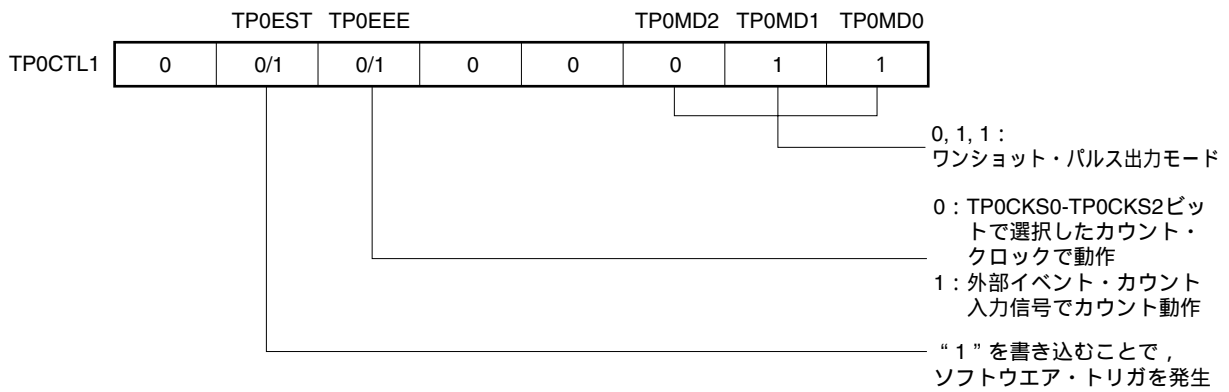
図7-22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

(a) TMP0制御レジスタ0 (TP0CTL0)

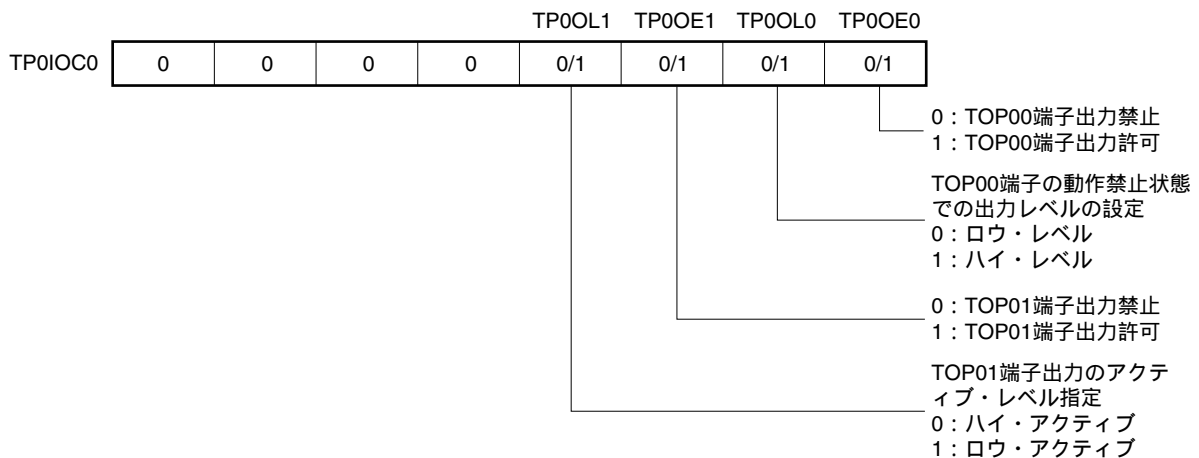


注 TP0CTL1.TP0EEEビット = 1のときは設定が無効になります。

(b) TMP0制御レジスタ1 (TP0CTL1)



(c) TMP0I/O制御レジスタ0 (TP0IOC0)



・ TP0OL1ビット = 0の場合



・ TP0OL1ビット = 1の場合

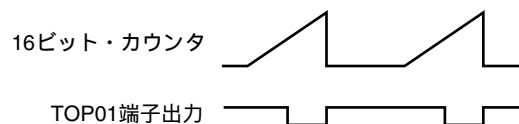
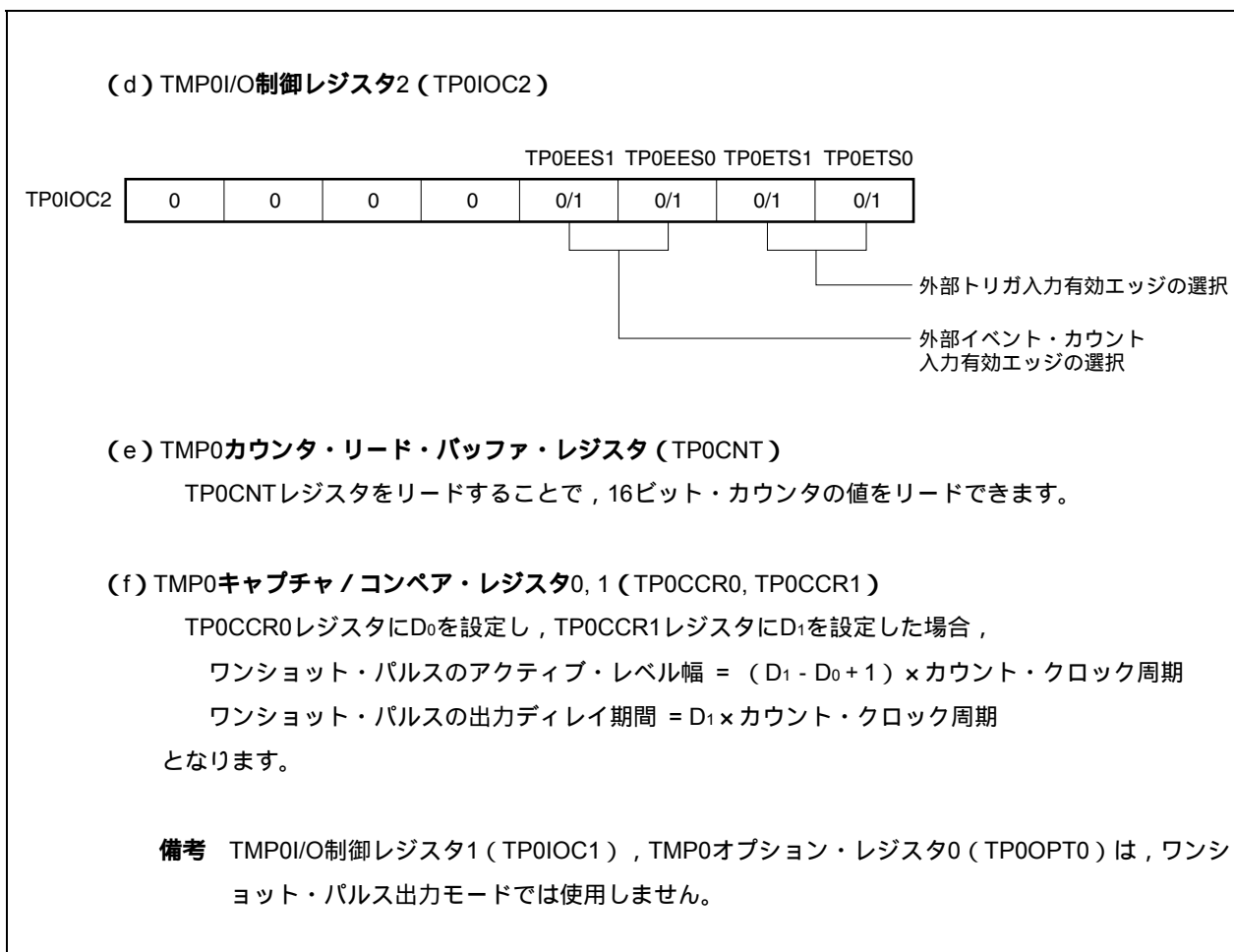
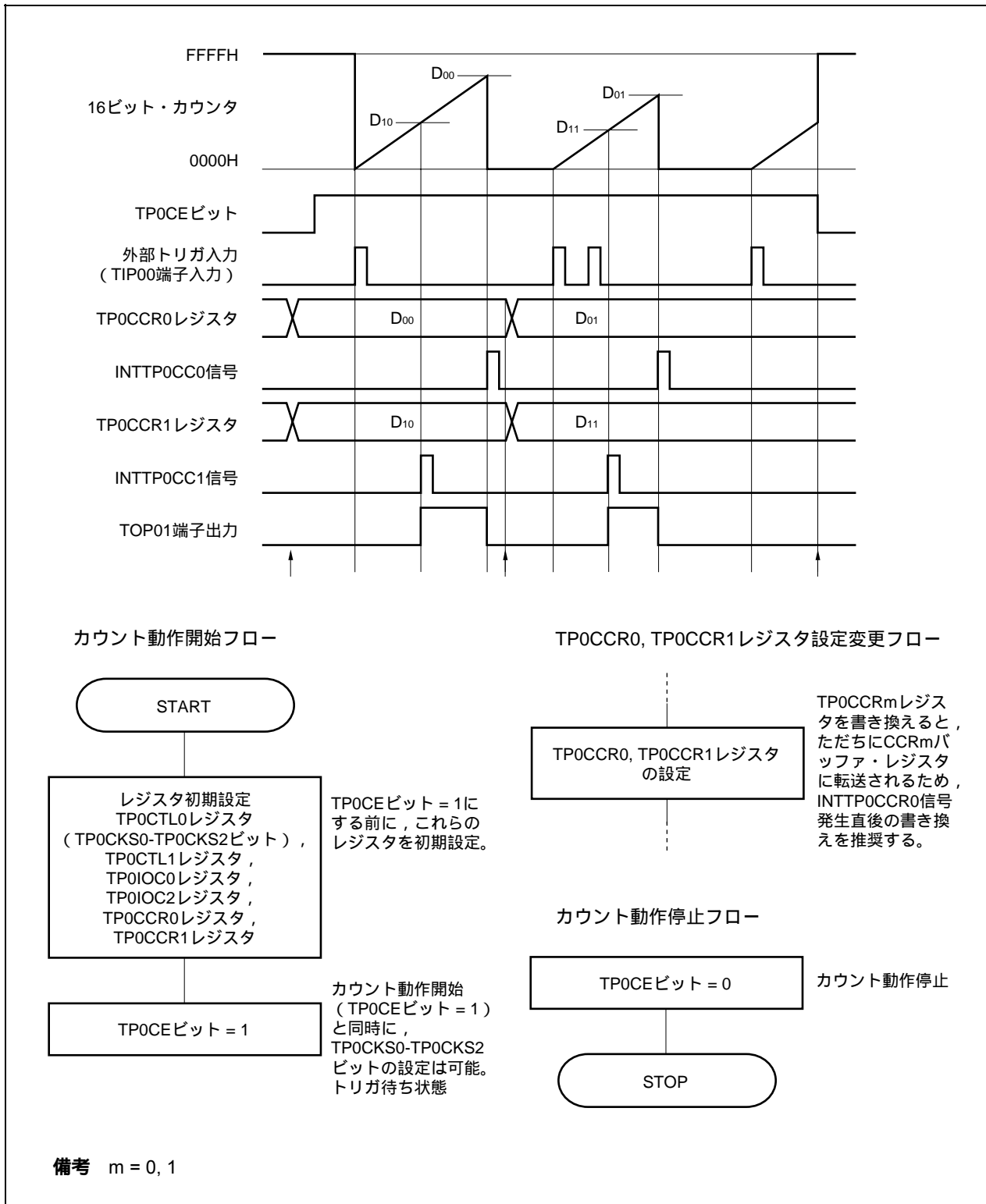


図7-22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) ワンショット・パルス出力モード動作フロー

図7-23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー

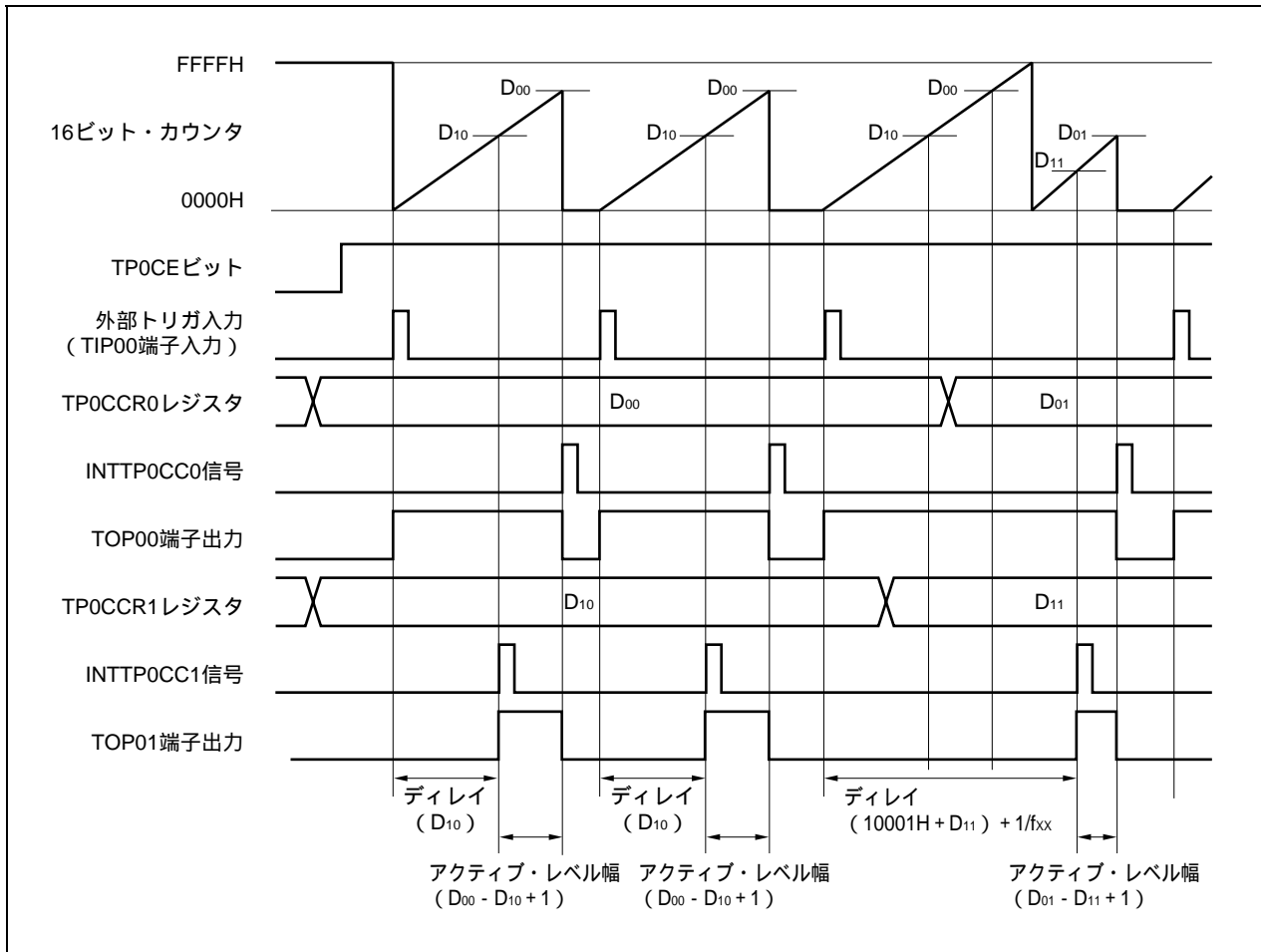


(2) ワンショット・パルス出力モード動作タイミング

(a) TP0CCR<sub>a</sub>レジスタの書き換えに関する注意事項

TP0CCR<sub>a</sub>レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTP0CCR<sub>a</sub>レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



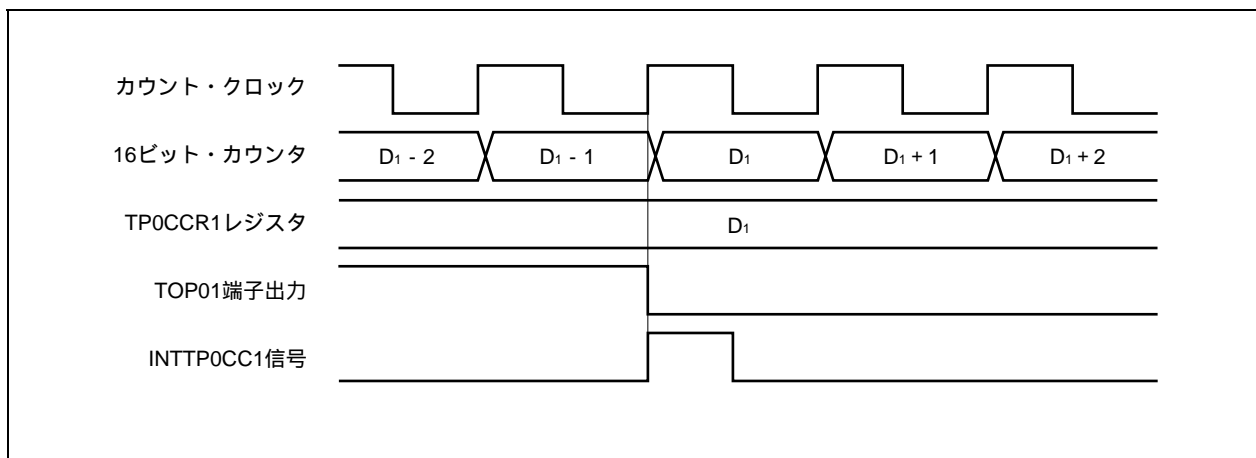
TP0CCR<sub>0</sub>レジスタをD<sub>00</sub>からD<sub>01</sub>に、TP0CCR<sub>1</sub>レジスタをD<sub>10</sub>からD<sub>11</sub>に書き換える場合において、D<sub>00</sub> > D<sub>01</sub>, D<sub>10</sub> > D<sub>11</sub>の状態では、16ビット・カウンタのカウント値がD<sub>11</sub>よりも大きくD<sub>10</sub>よりも小さい状態のときTP0CCR<sub>1</sub>レジスタを書き換え、カウント値がD<sub>01</sub>よりも大きくD<sub>00</sub>よりも小さい状態でTP0CCR<sub>0</sub>レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D<sub>11</sub>との一致でINTTP0CC1信号を発生してTOP01端子出力をアクティブ・レベルにし、D<sub>01</sub>との一致でINTTP0CC0信号を発生してTOP01端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、遅延期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 a = 0, 1

## (b) コンペアー一致割り込み要求信号 (INTTP0CC1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTP0CC1信号の発生タイミングは、ほかのINTTP0CC1信号と異なり、16ビット・カウンタのカウンタ値とTP0CCR1レジスタの値との一致と同時に発生します。



通常、INTTP0CC1信号は、16ビット・カウンタのカウンタ値とTP0CCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOP01端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 7.5.5 PWM出力モード (TP0MD2-TP0MD0ビット = 100)

PWM出力モードは、TP0CTL0.TP0CEビットをセット(1)することで、TOP01端子からPWM波形を出力します。

また、TOP00端子から、PWM波形の1周期を半周期とするパルスを出力します。

図7-24 PWM出力モードの構成図

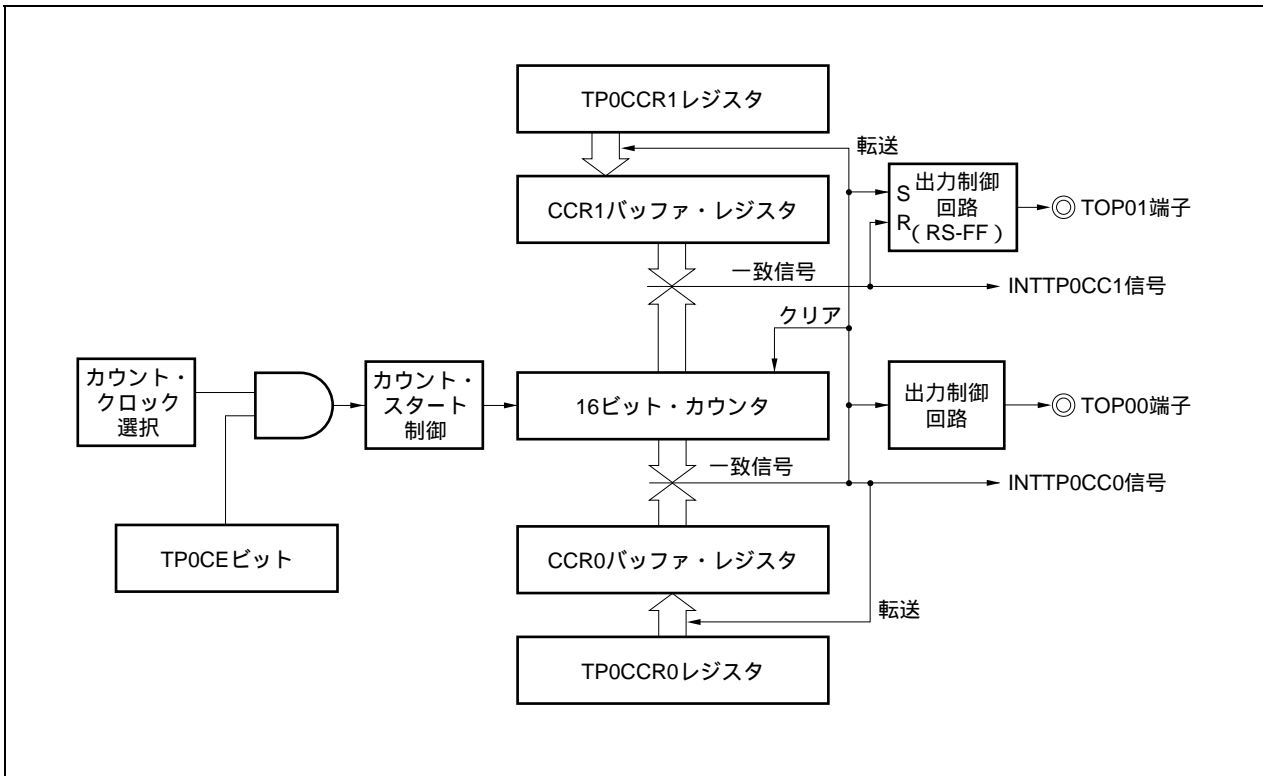
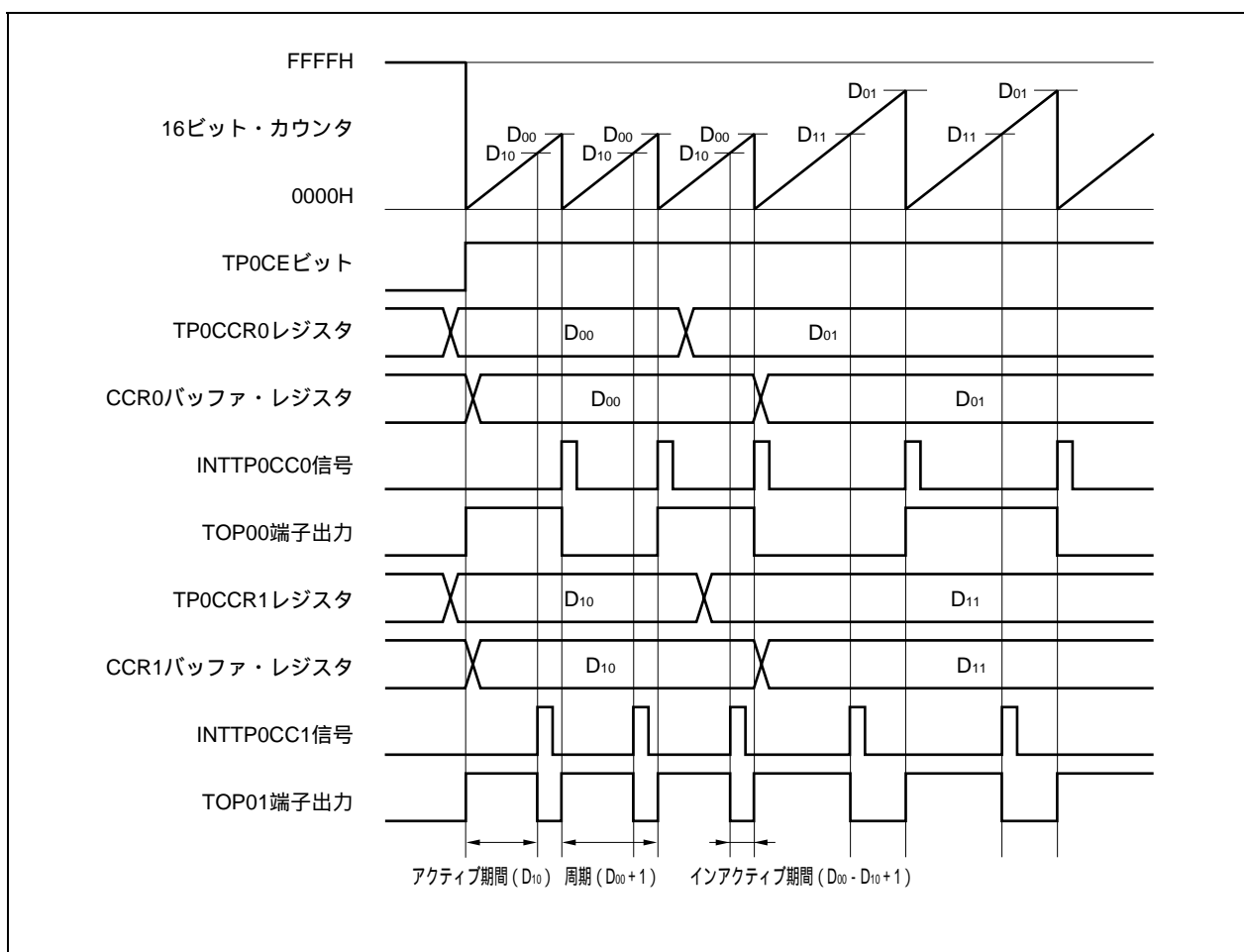


図7-25 PWM出力モードの基本タイミング



TPOCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOP01端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅，周期，およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPOCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TPOCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TPOCCR1レジスタの設定値}) / (\text{TPOCCR0レジスタの設定値} + 1)$$

動作中にTPOCCRaレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTTP0CC0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTP0CC1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPOCCRaレジスタに設定した値は、16ビット・カウンタのカウンタ値とCCRaバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRaバッファ・レジスタに転送されます。

備考 a = 0, 1

図7 - 26 PWM出力モード動作時のレジスタ設定内容 (1/2)

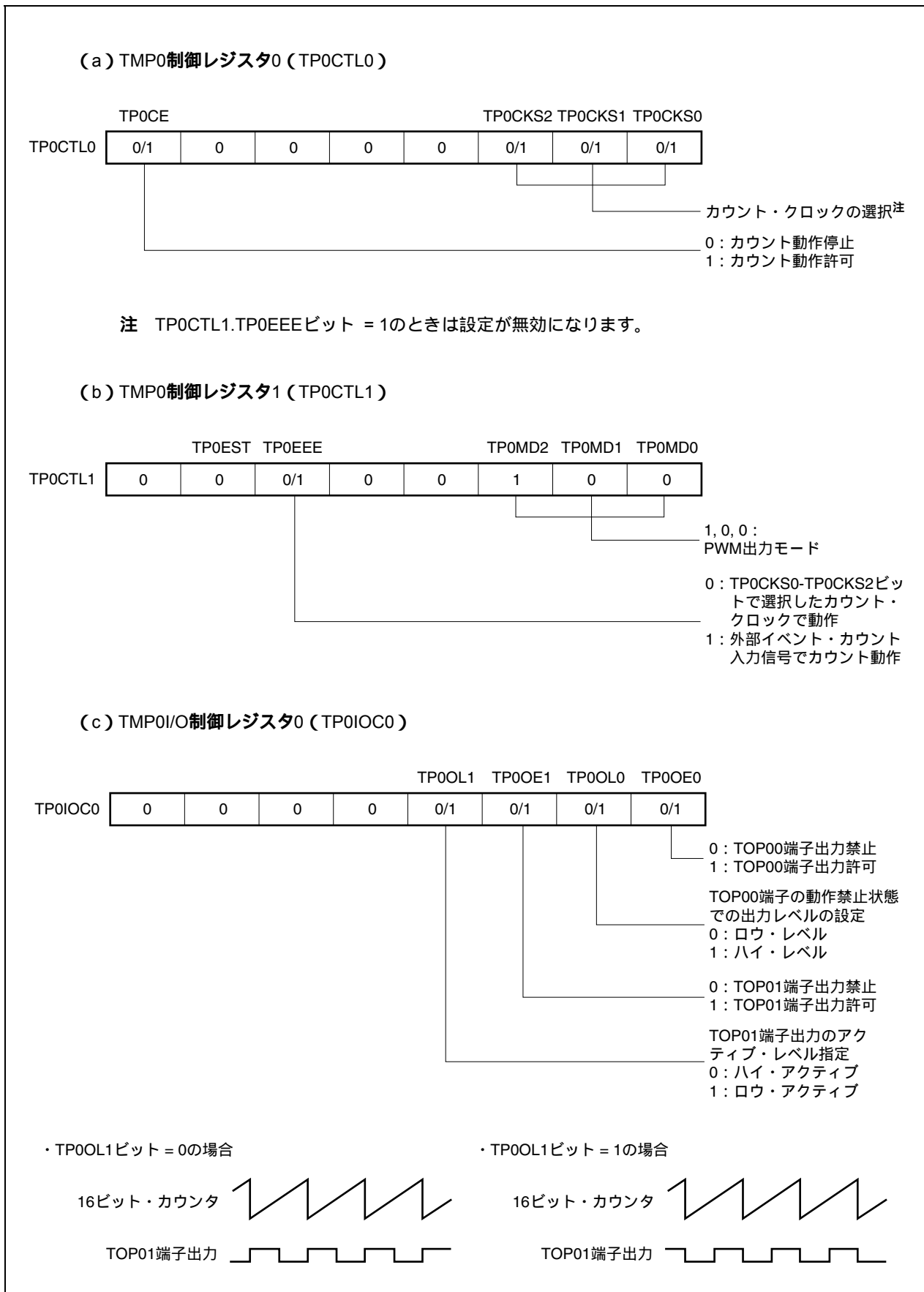
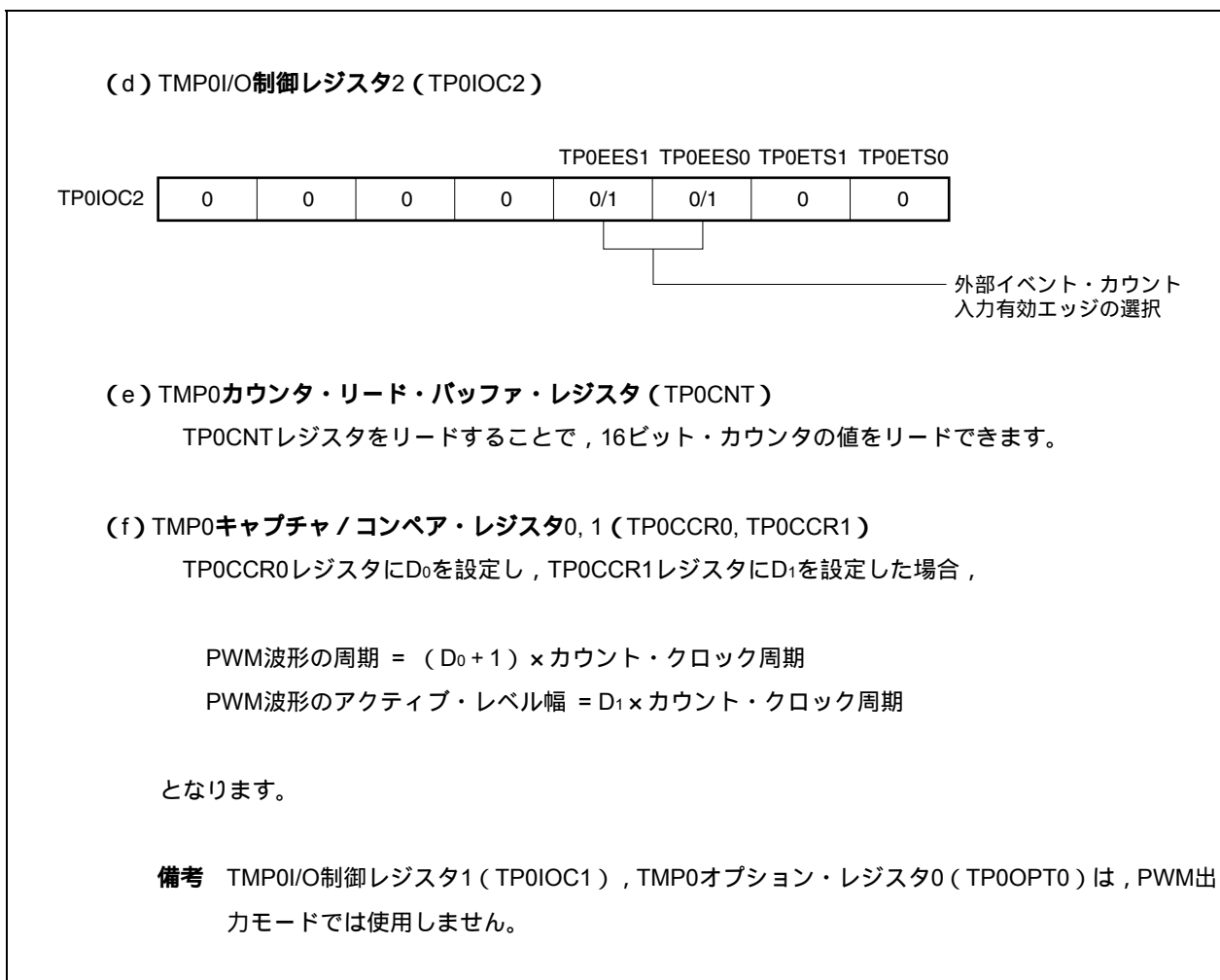




図7 - 26 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図7 - 27 PWM出力モード使用時のソフトウェア処理フロー (1/2)

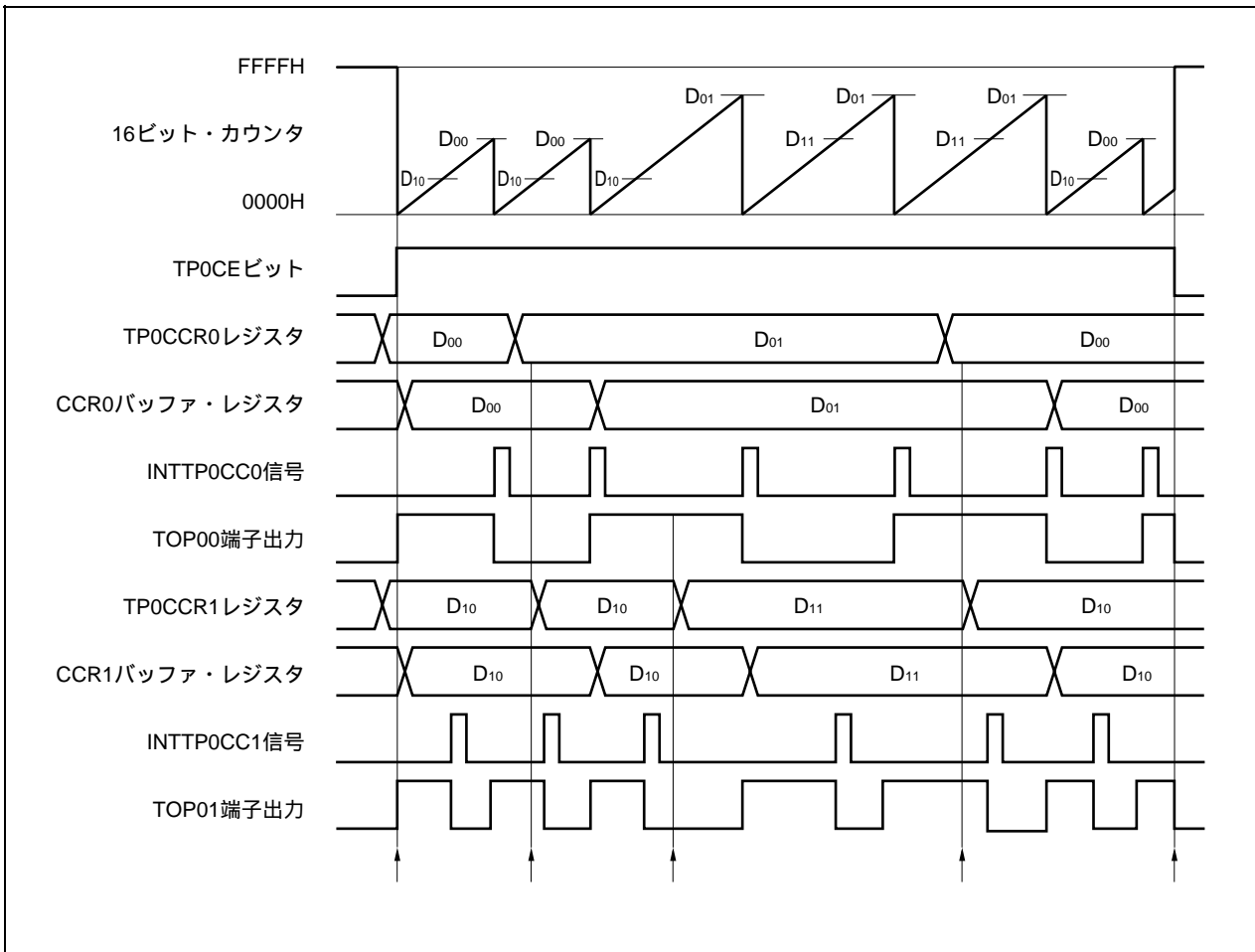
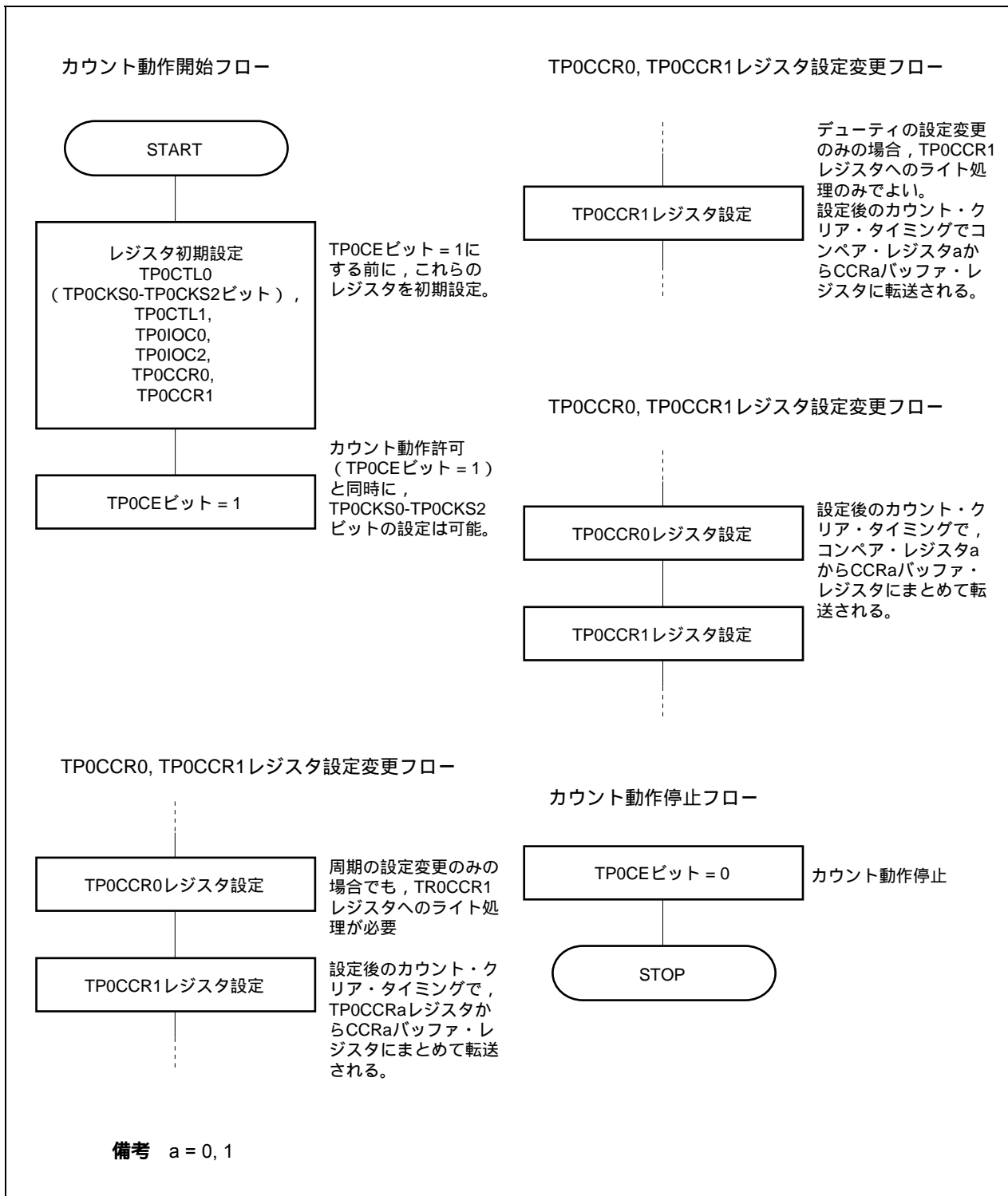


図7 - 27 PWM出力モード使用時のソフトウェア処理フロー (2/2)

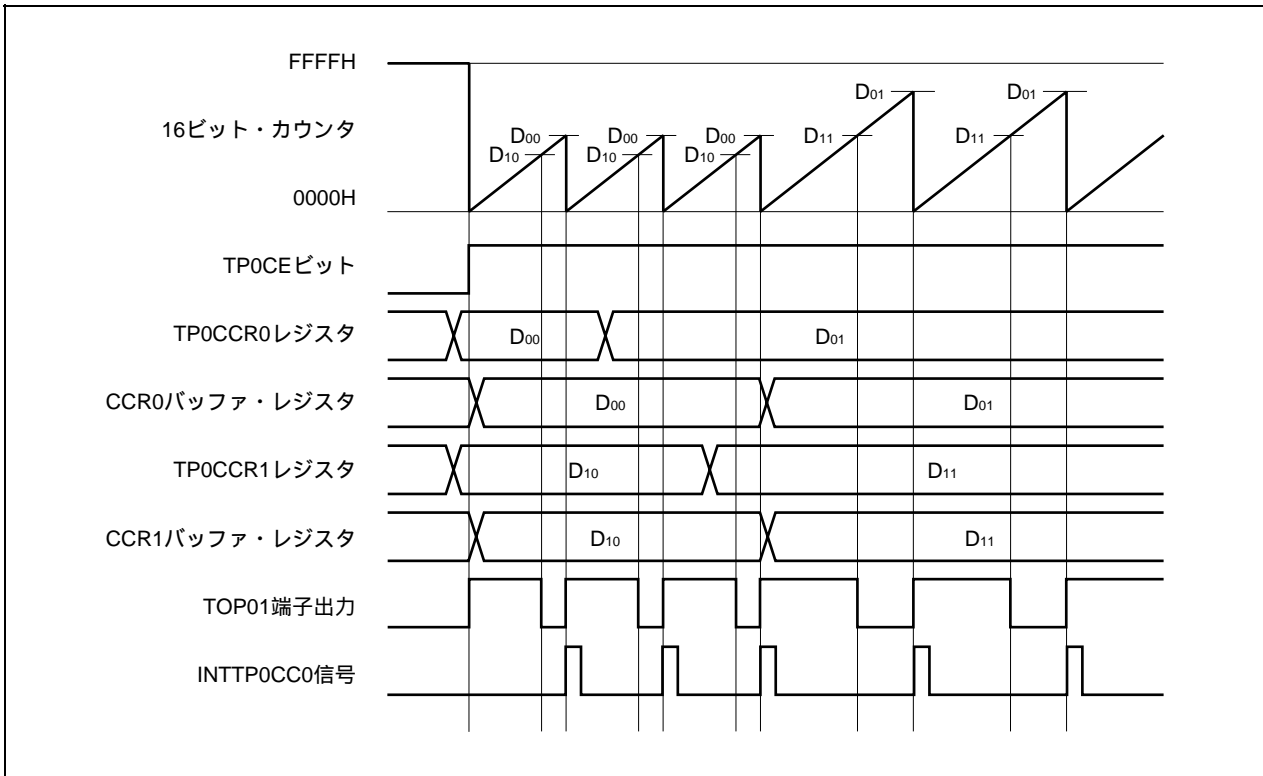


## (2) PWM出力モード動作タイミング

## (a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTP0CCR1レジスタにライトしてください。

TP0CCR1レジスタにライト後、再度TP0CCRaレジスタの書き換えを行う場合には、INTTP0CC1信号を検出後に書き換えてください。



TP0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TP0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTP0CCR0レジスタに周期を設定し、そのあとでTP0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTP0CCR0レジスタに周期を設定し、そのあとでTP0CCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TP0CCR1レジスタのみの設定でかまいません。

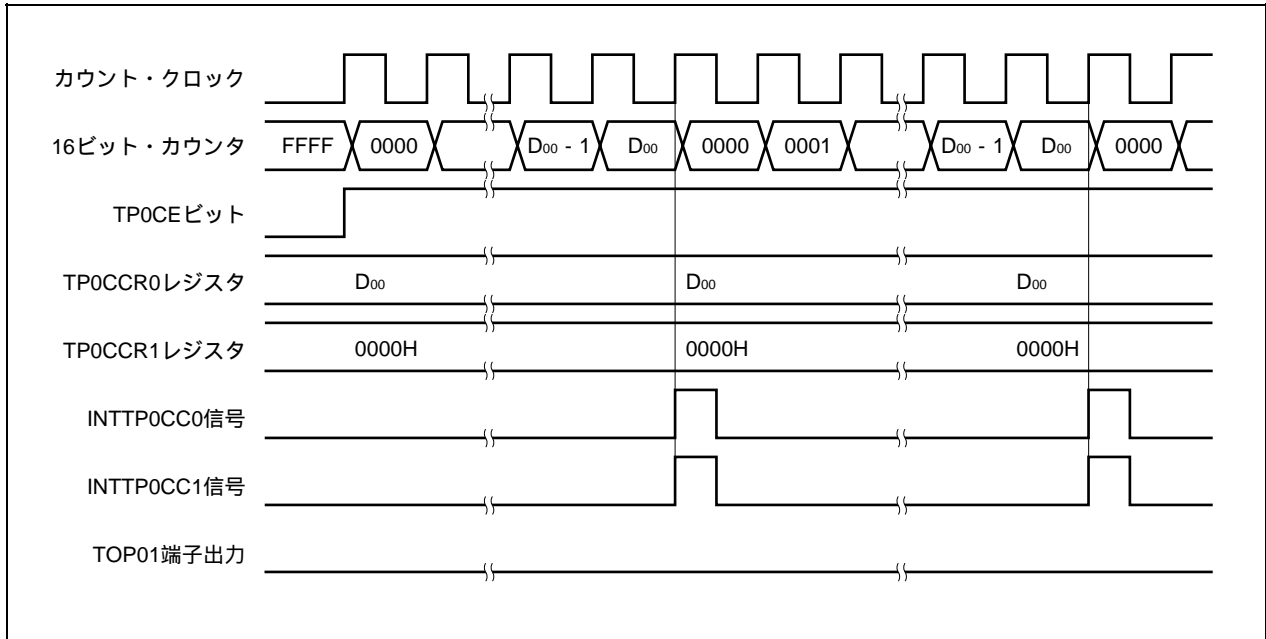
TP0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TP0CCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TP0CCR1レジスタにライトしたあとで、再度TP0CCR0、またはTP0CCR1レジスタへのライトを行う場合は、INTTP0CC0信号の発生後に行ってください。これを守れない場合には、TP0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TP0CCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

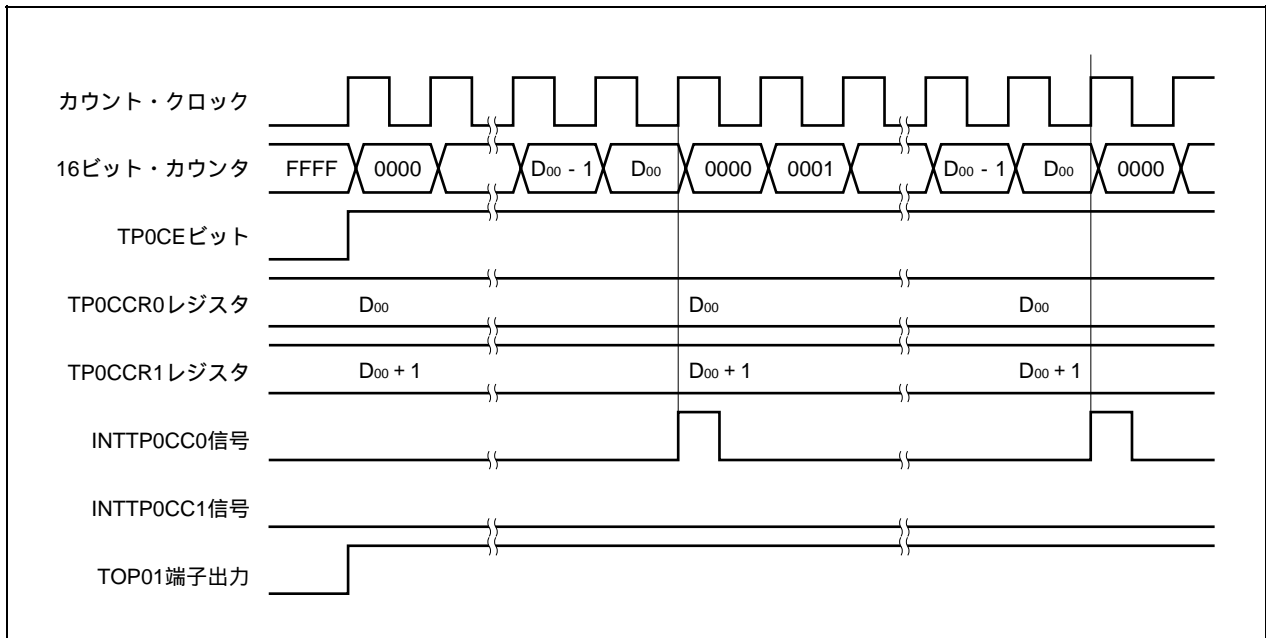
備考 a = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TP0CCR1レジスタに対して0000Hを設定します。ただし, TP0CCR0レジスタの設定値がFFFFHの場合には, INTTP0CC1信号が定期的が発生します。

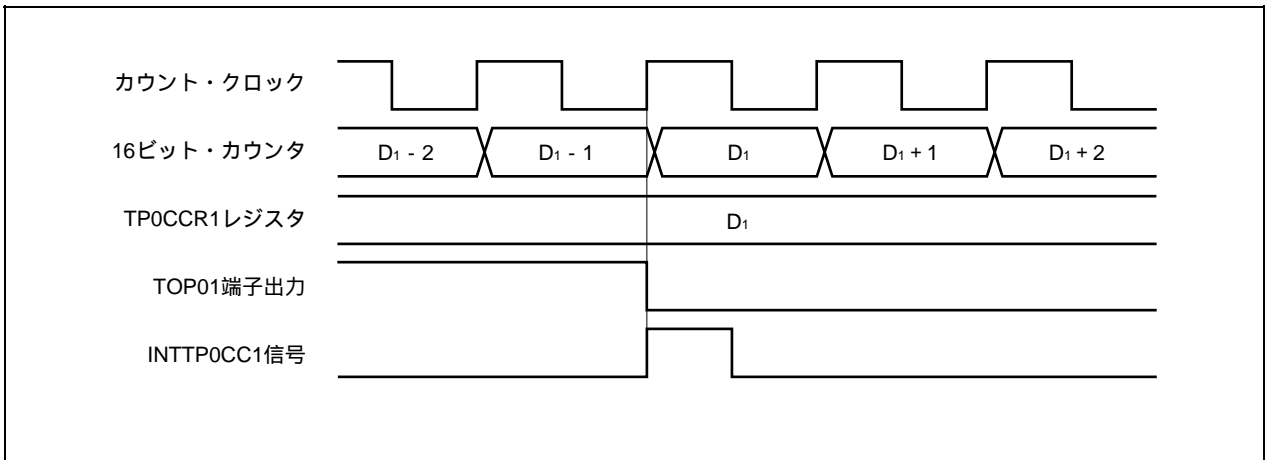


100 % 波形を出力するためには, TP0CCR1レジスタに対して ( TP0CCR0レジスタの設定値 + 1 ) の値を設定してください。TP0CCR0レジスタの設定値がFFFFHの場合には, 100 % 出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTP0CC1) の発生タイミング

PWM出力モードにおけるINTTP0CC1信号の発生タイミングは、ほかのINTTP0CC1信号と異なり、16ビット・カウンタのカウント値とTP0CCR1レジスタの値との一致と同時に発生します。



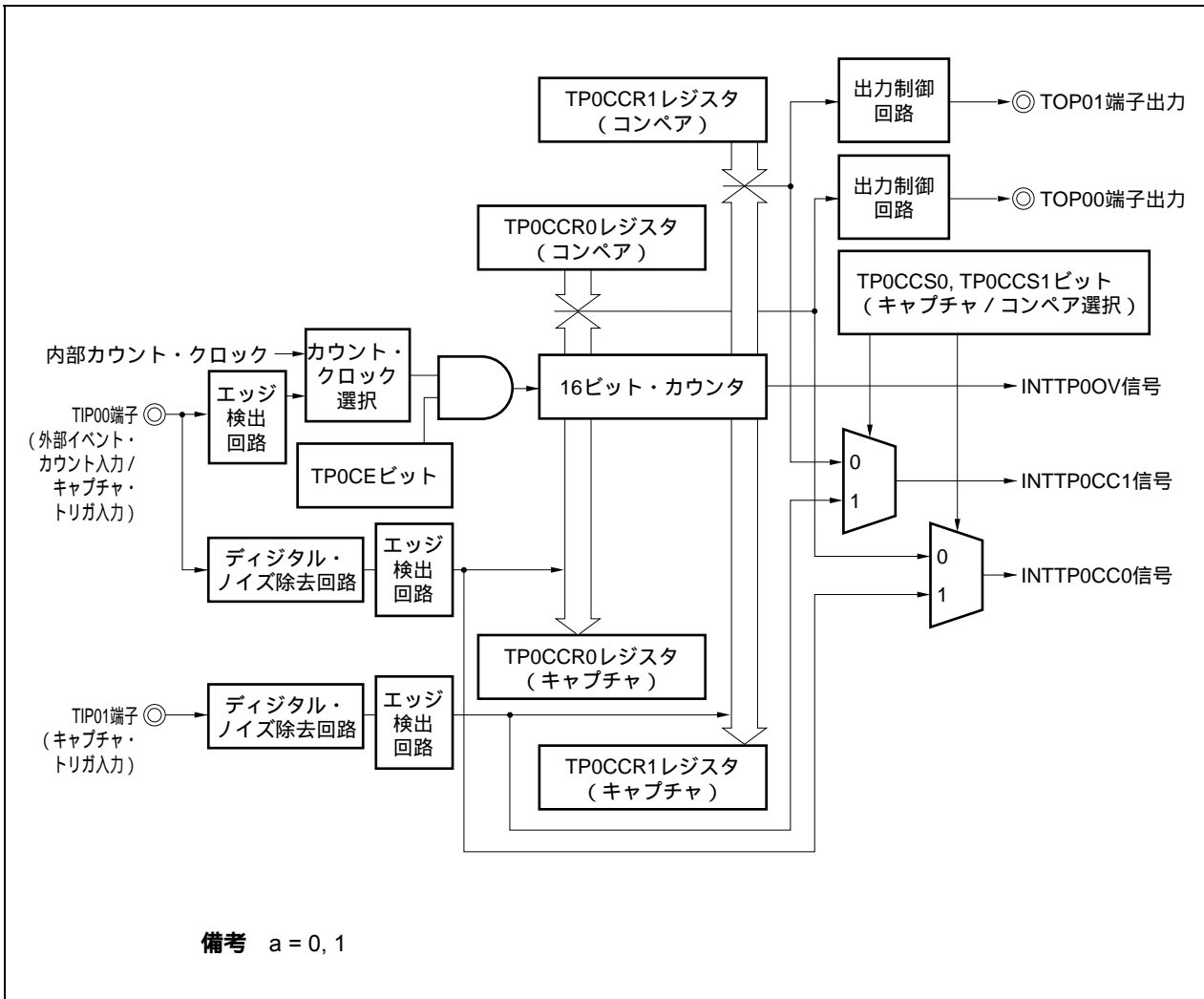
通常、INTTP0CC1信号は、16ビット・カウンタのカウント値とTP0CCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOP01端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 7.5.6 フリー・ランニング・タイマ・モード (TP0MD2-TP0MD0ビット = 101)

フリー・ランニング・タイマ・モードは、TP0CTL0.TP0CEビットをセット(1)することでカウント動作を開始します。このときのTP0CCRaレジスタの動作は、TP0OPT0.TP0CCS0, TP0CCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図7-28 フリー・ランニング・タイマ・モードの構成図

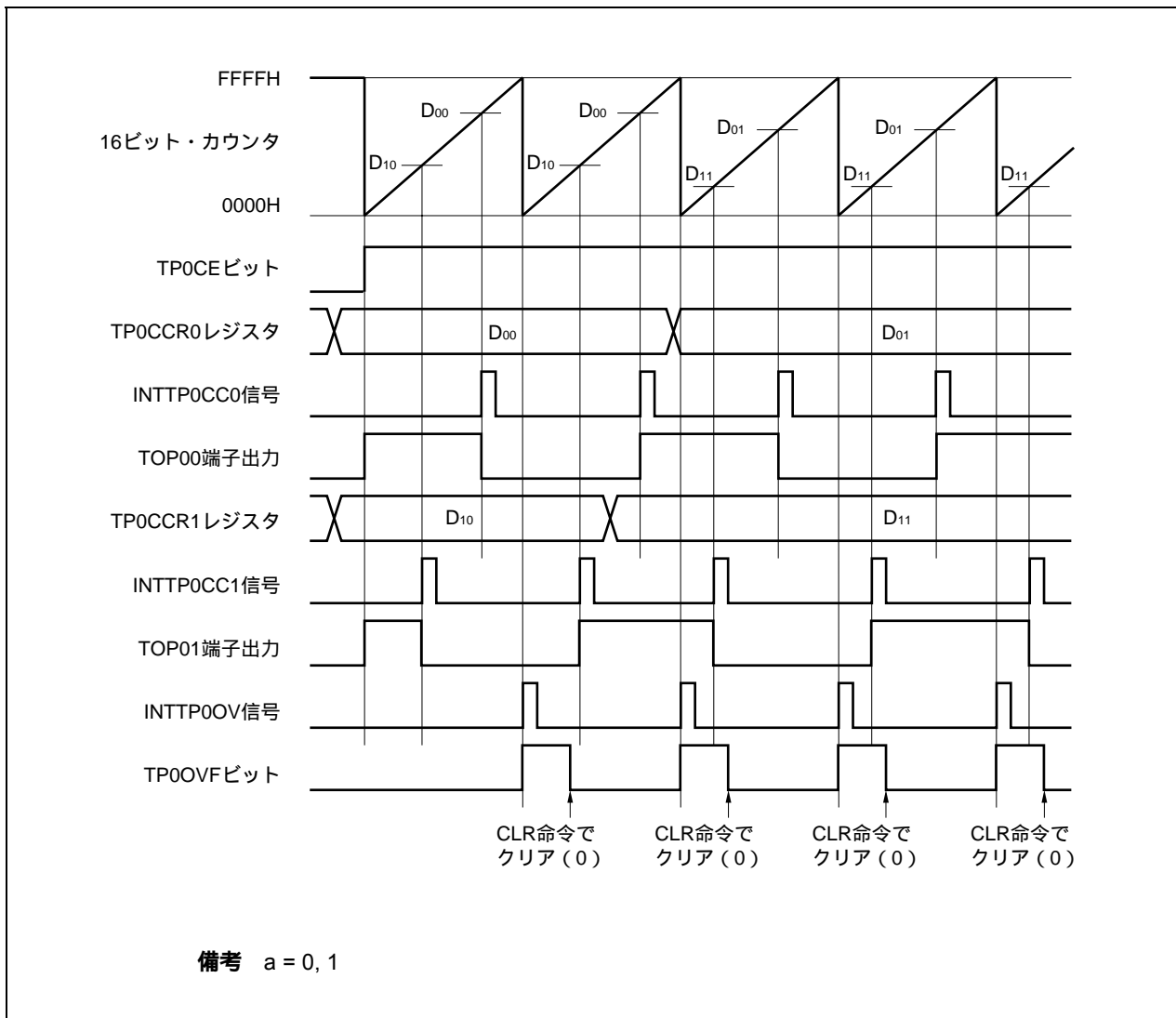


TP0CEビットをセット(1)することで、カウント動作を開始し、TOP00, TOP01端子出力を反転します。その後、16ビット・カウンタのカウント値とTP0CCRaレジスタの設定値が一致すると、コンペアー一致割り込み要求信号(INTTP0CCa)を発生し、TOP0a端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTP0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TP0OPT0.TP0OVFビット)もセット(1)されます。オーバーフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

TP0CCRaレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き換えた値が反映され、カウント値と比較されます。

図7-29 フリー・ランニング・タイマ・モードの基本タイミング(コンペアー機能)





TP0CEビットをセット(1)することで、カウント動作を開始します。その後、TIP0a端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTP0CCRaレジスタに格納し、キャプチャ割り込み要求信号(INTTP0CCa)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTP0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TP0OPT0.TP0OVFビット)もセット(1)されます。オーバーフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

図7-30 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

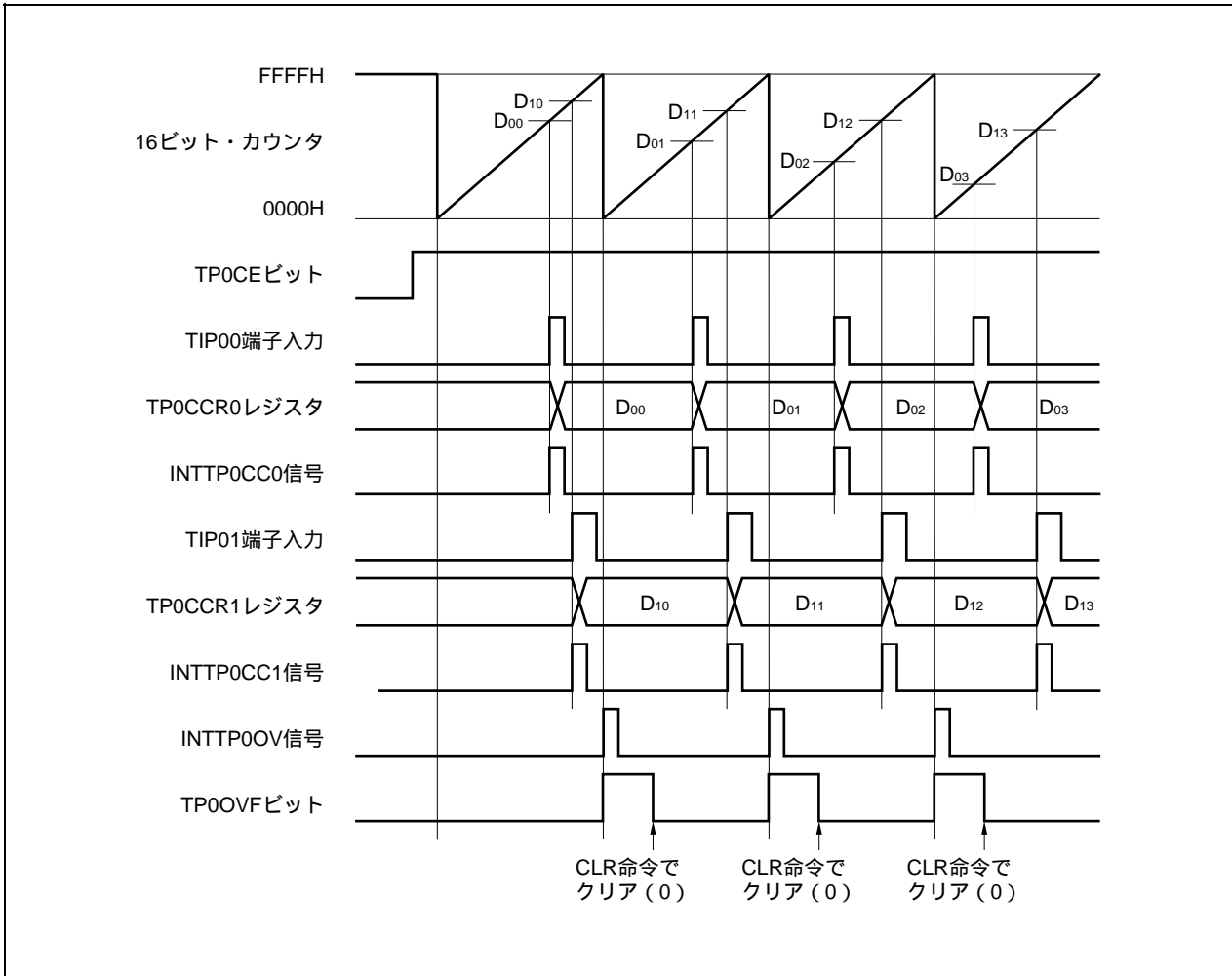


図7 - 31 フリー・ランニング・タイマモード動作時のレジスタ設定内容 (1/2)

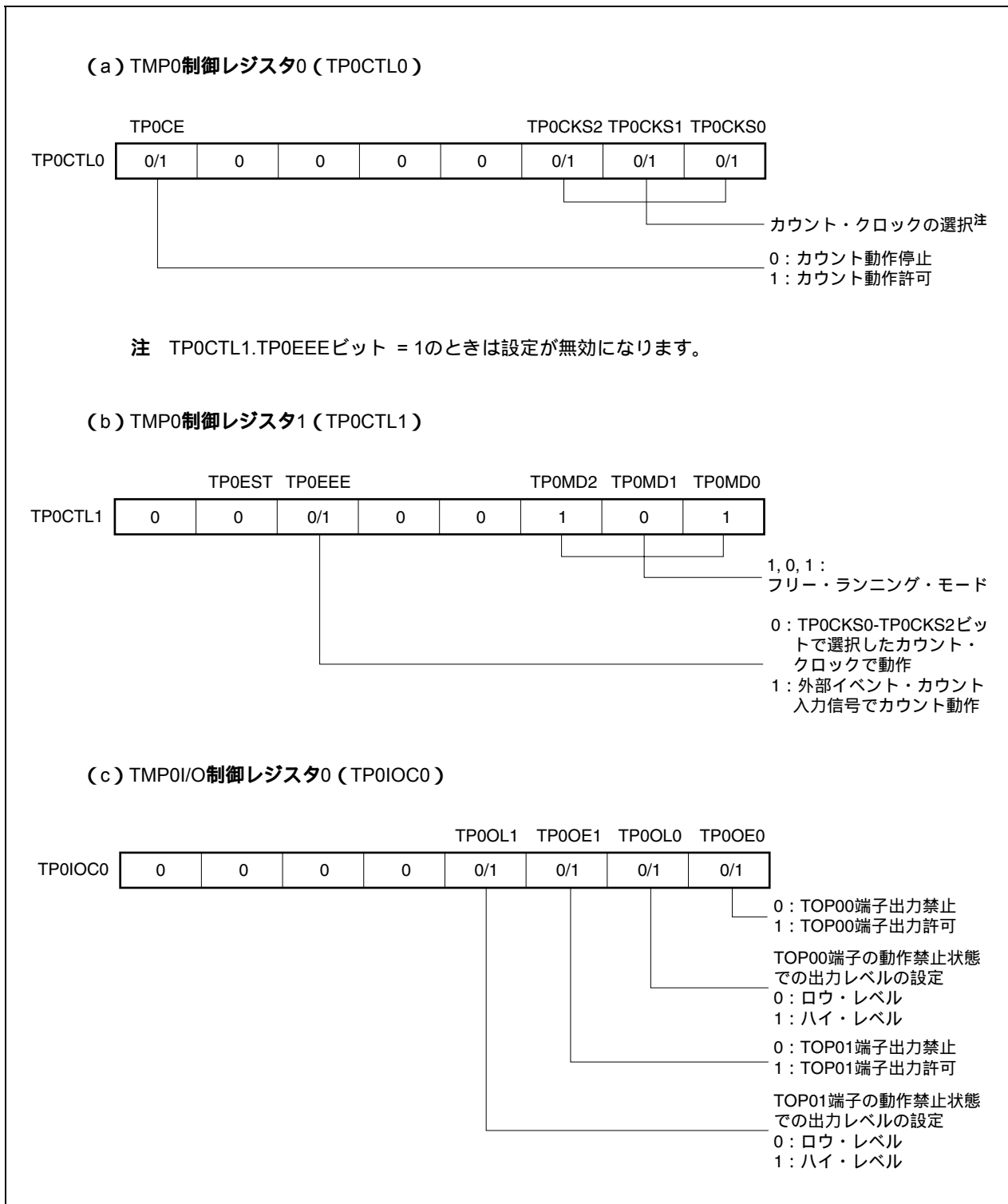
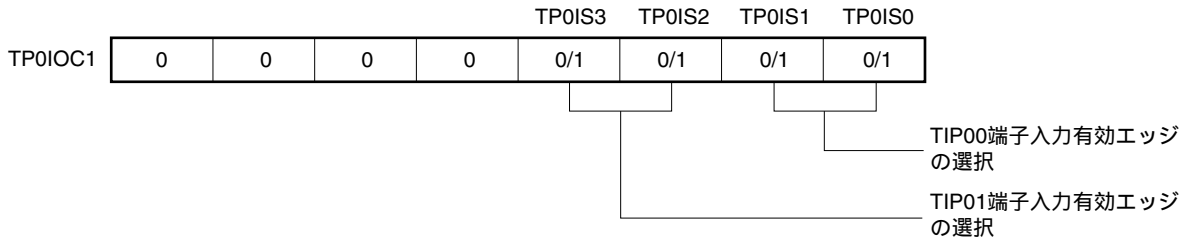
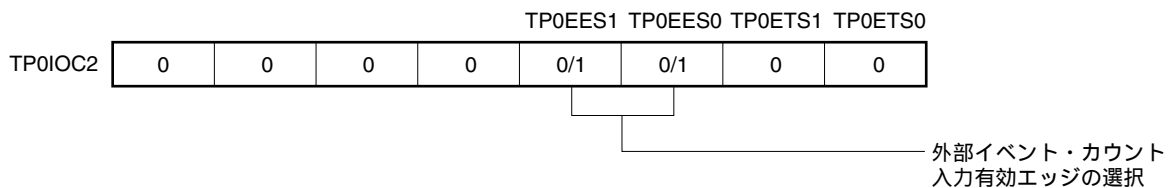


図7 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/2)

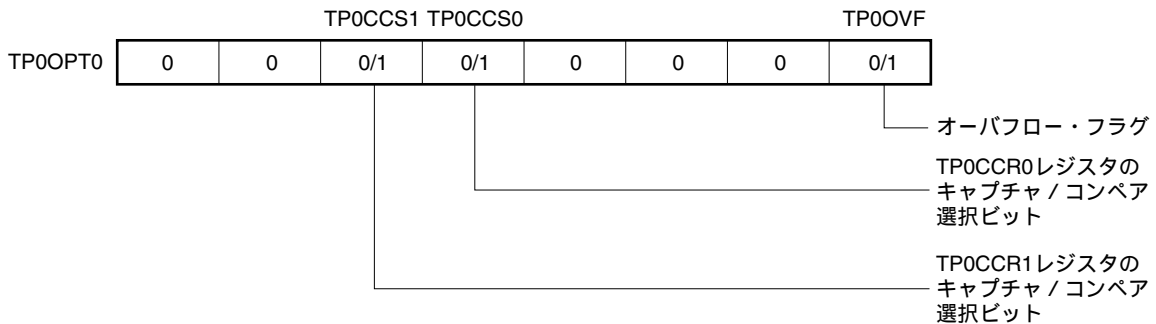
(d) TMP0I/O制御レジスタ1 (TP0IOC1)



(e) TMP0I/O制御レジスタ2 (TP0IOC2)



(f) TMP0オプション・レジスタ0 (TP0OPT0)



(g) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT)

TP0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(h) TMP0キャプチャ/コンペア・レジスタ0, 1 (TP0CCR0, TP0CCR1)

TP0OPT0.TP0CCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIP0a端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TP0CCRaレジスタにDaを設定した場合、カウンタが(Da + 1)になるタイミングでINTTP0CCa信号を発生し、TOP0a端子出力を反転します。

備考 a = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図7-32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

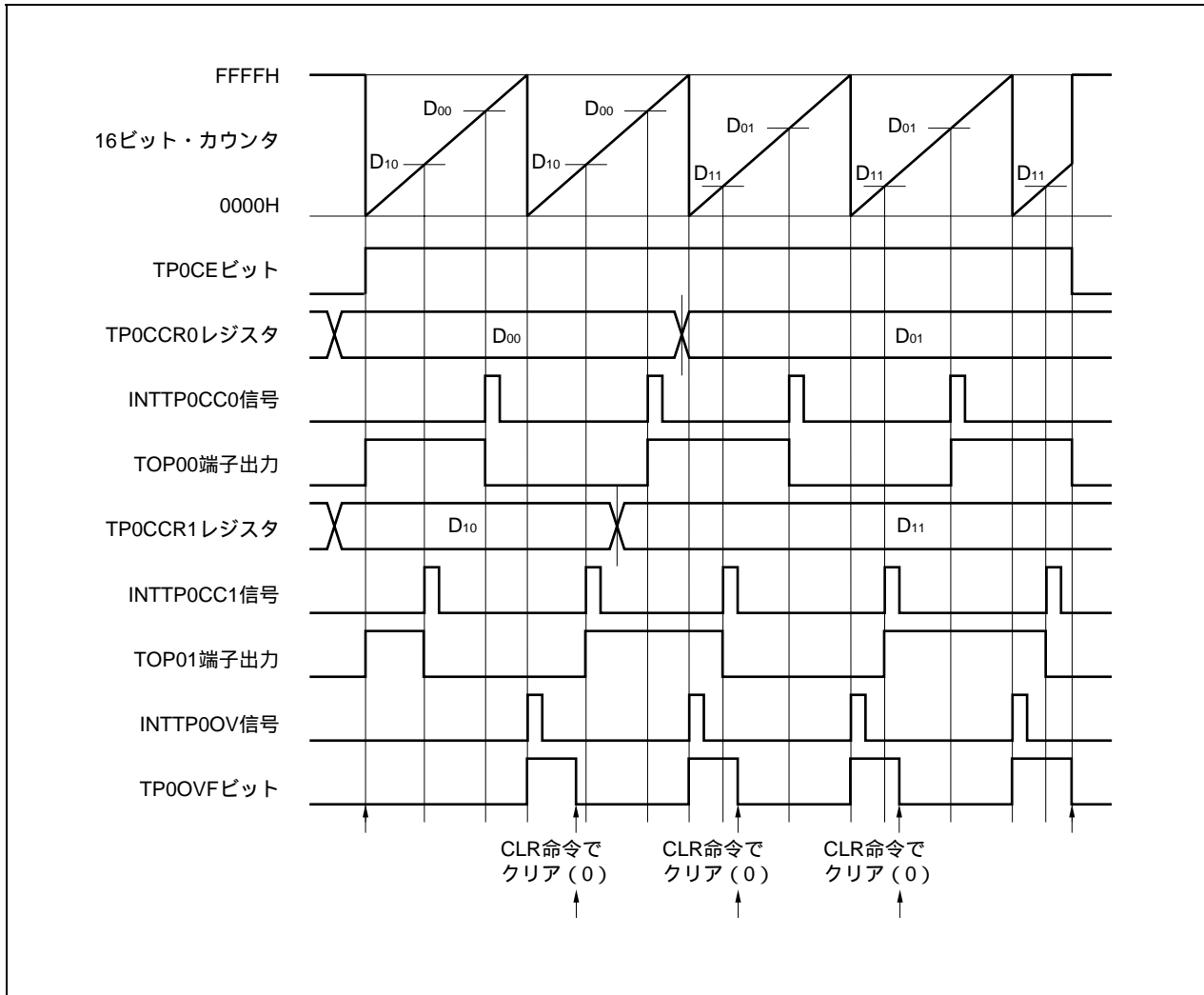
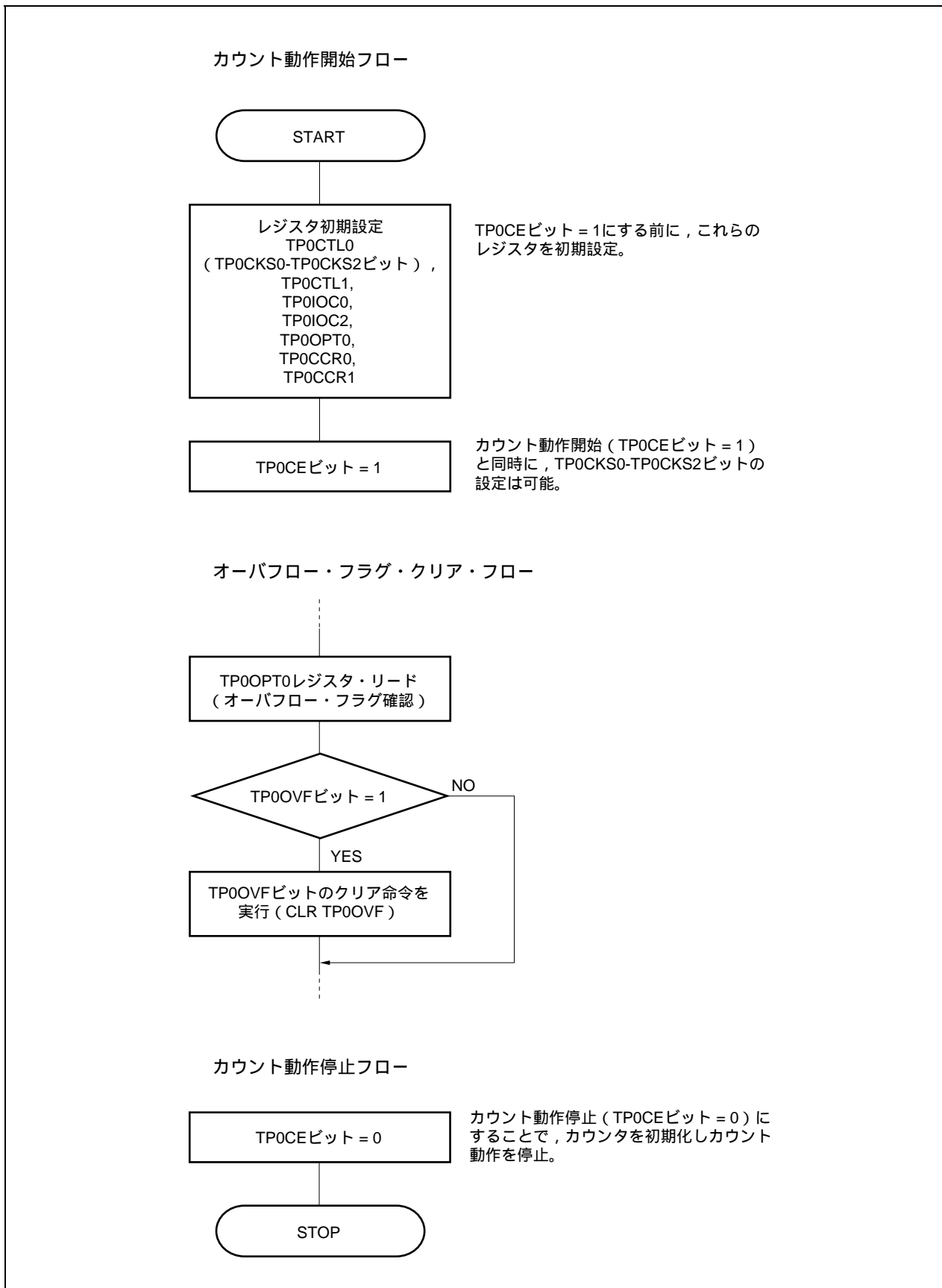


図7 - 32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

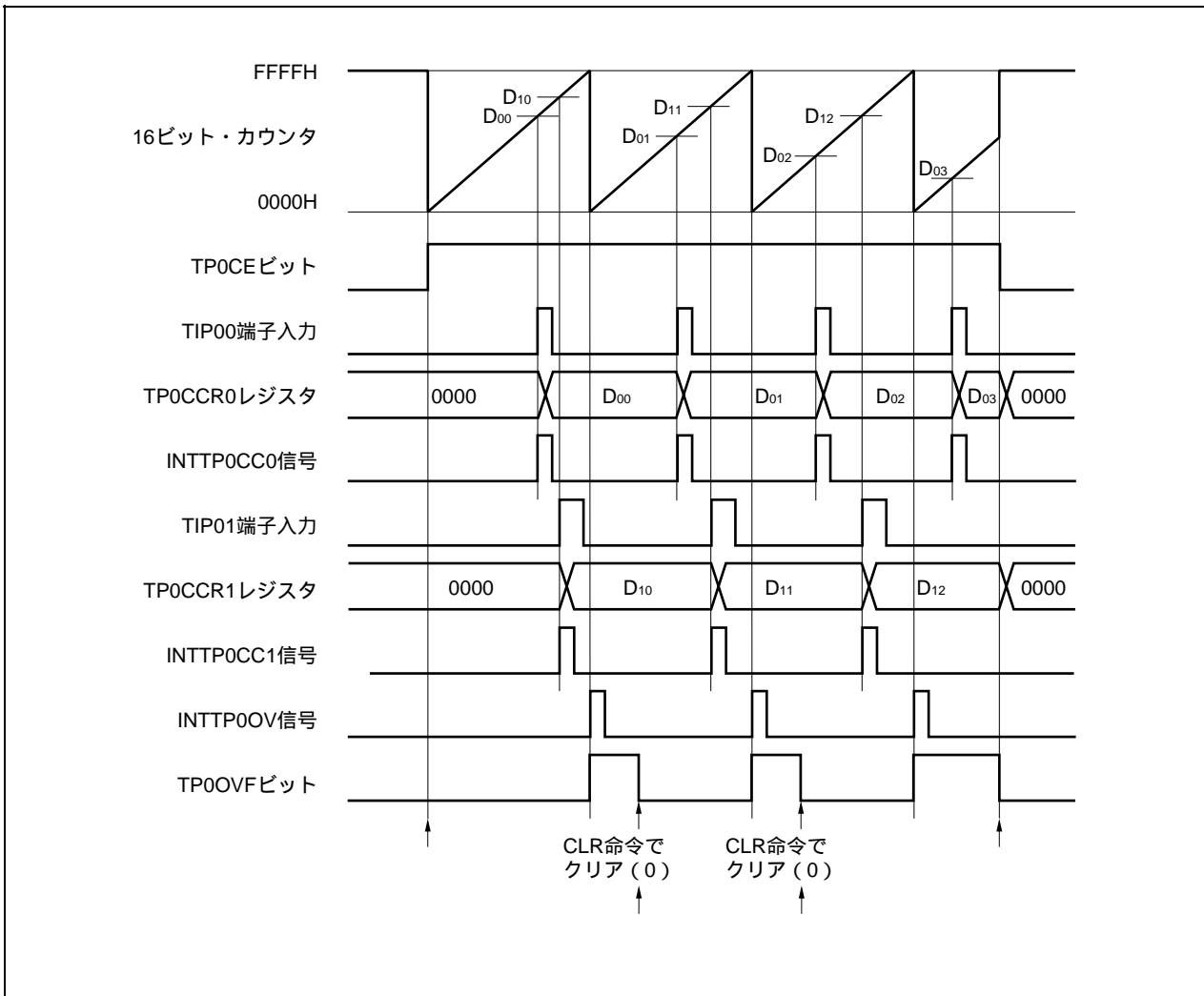
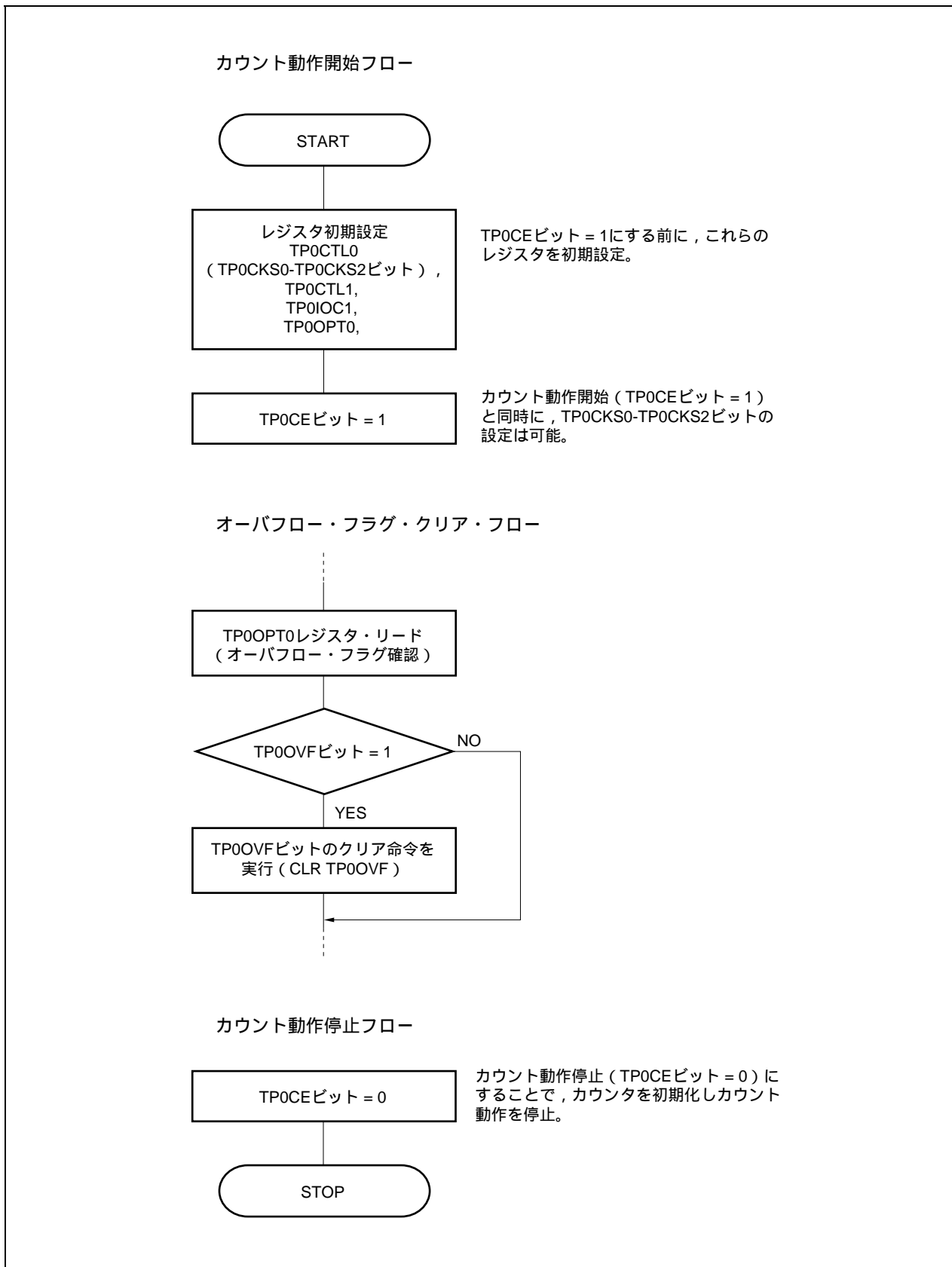


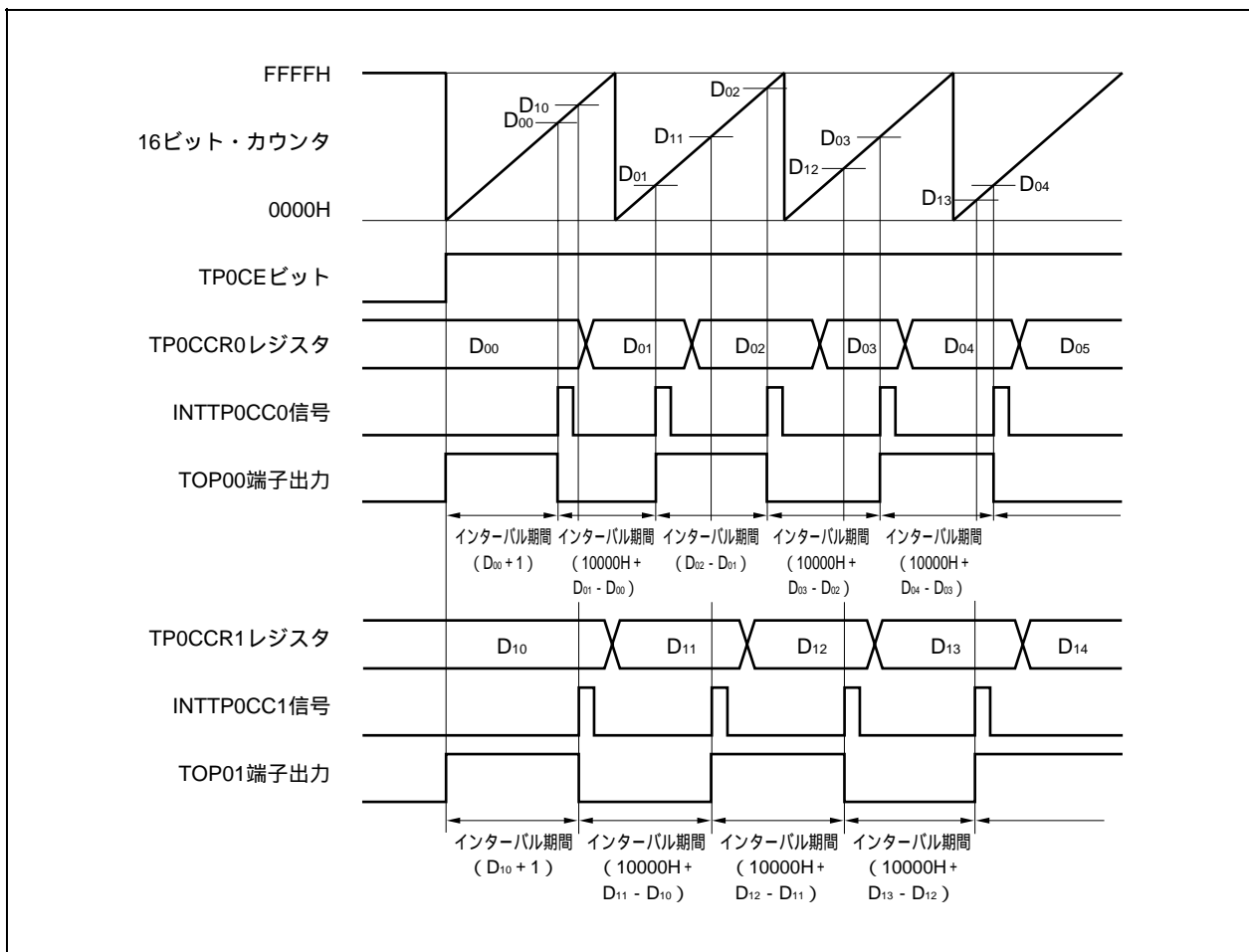
図7 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TP0CCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTP0CCa信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTP0CCa信号を検出したときの割り込み処理中に、対応するTP0CCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ $D_a$ ”とすると、次のように求められます。

コンペア・レジスタ初期値 :  $D_a - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 +  $D_a$

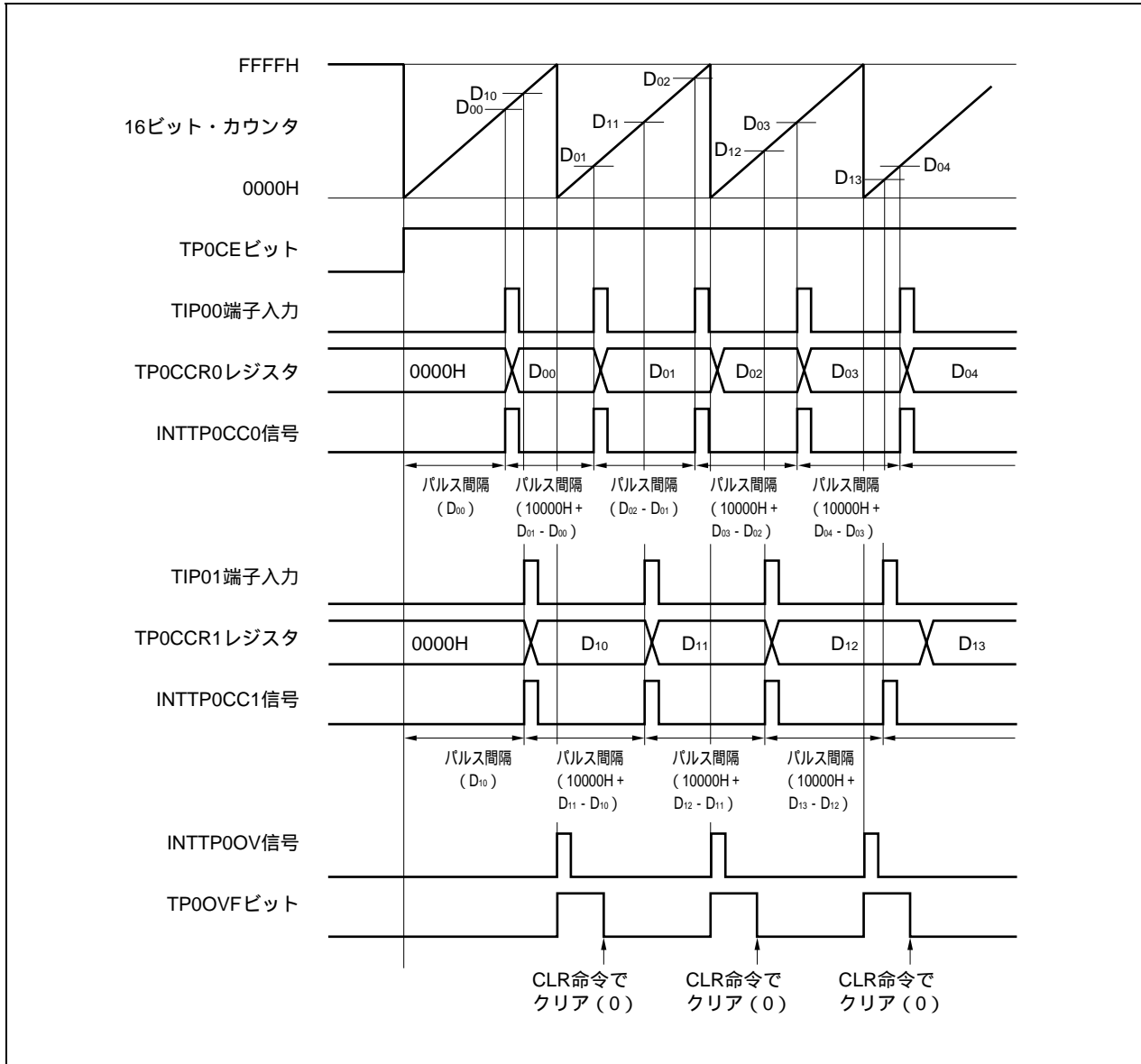
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 a = 0, 1



(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TP0CCRaレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTP0CCa信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

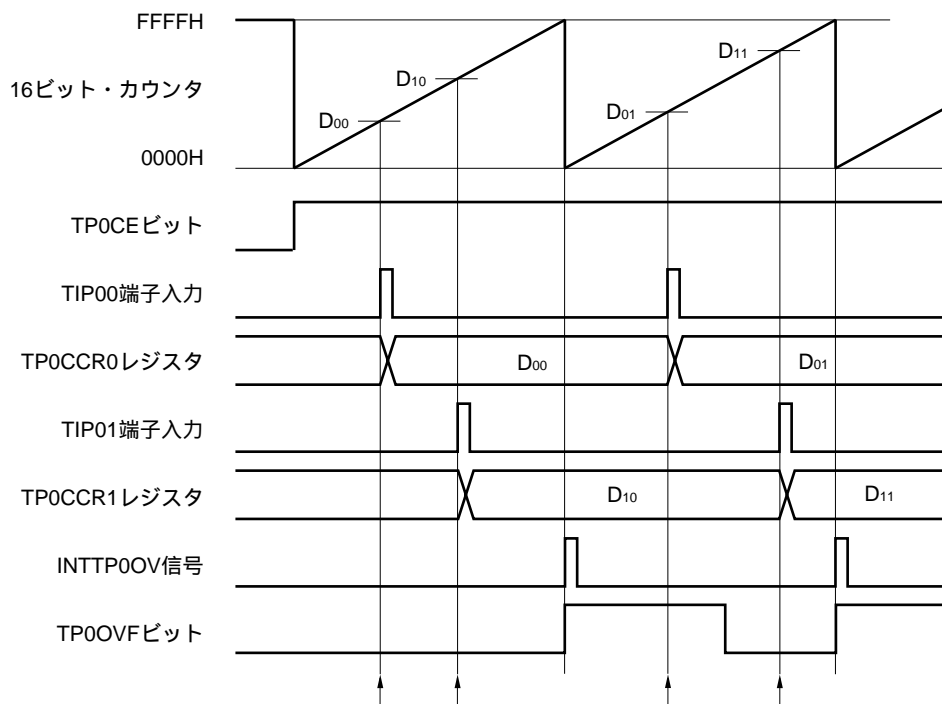
パルス幅測定を行う場合、INTTP0CCa信号に同期してTP0CCRaレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 a = 0, 1

## (c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TP0CCR0レジスタをリードする (TIP00端子入力の初期値設定)。

TP0CCR1レジスタをリードする (TIP01端子入力の初期値設定)。

TP0CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TP0CCR1レジスタをリードする。

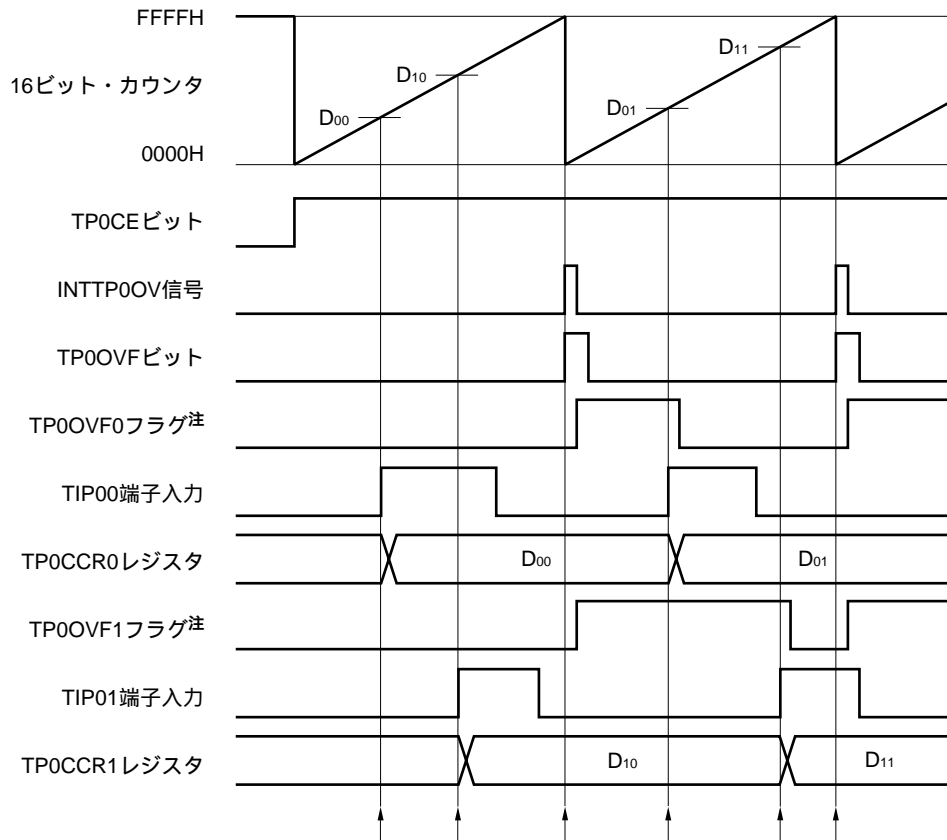
オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバーフロー・フラグが“0”なので、パルス幅は  $(D_{11} - D_{10})$  で求められます (NG)。

このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TP0OVF0, TP0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TP0CCR0レジスタをリードする (TIP00端子入力の初期値設定)。

TP0CCR1レジスタをリードする (TIP01端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TP0OVF0, TP0OVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TP0CCR0レジスタをリードする。

TP0OVF0フラグをリードする。 TP0OVF0フラグが“1”だった場合、クリア (0) する。

TP0OVF0フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

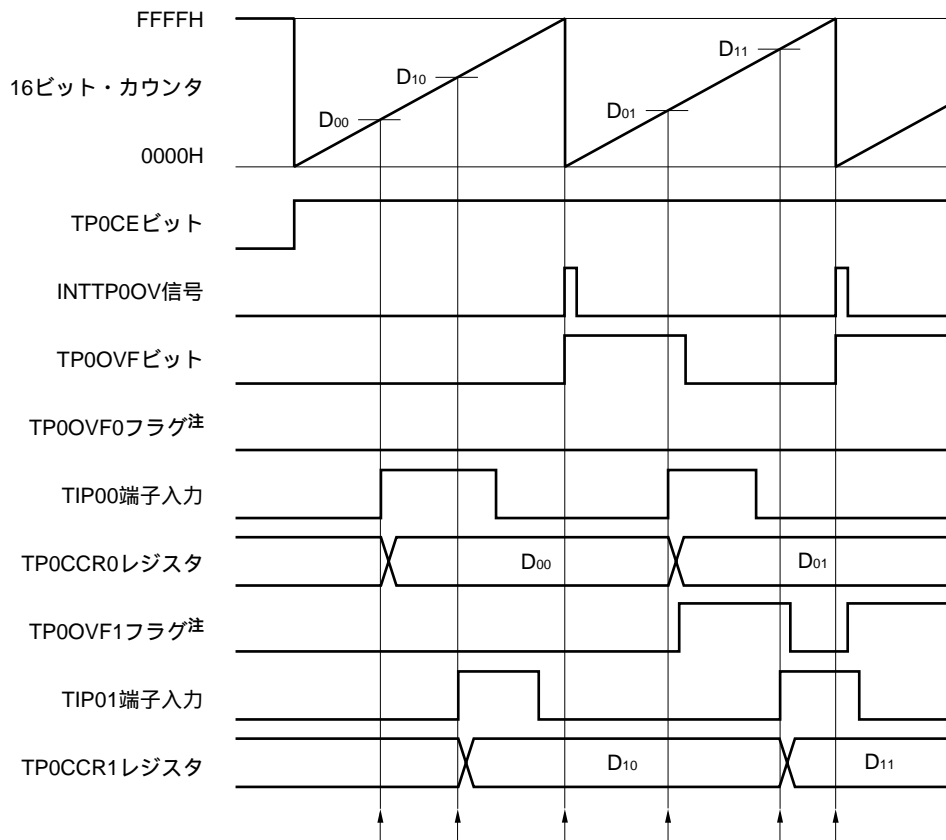
TP0CCR1レジスタをリードする。

TP0OVF1フラグをリードする。 TP0OVF1フラグが“1”だった場合、クリア (0) する ( でクリア (0) されたのはTP0OVF0フラグであり、TP0OVF1フラグは“1”のまま)。

TP0OVF1フラグが“1”なので、パルス幅は  $(10000H + D_{11} - D_{10})$  で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用しない）



注 TP0OVF0, TP0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TP0CCR0レジスタをリードする（TIP00端子入力の初期値設定）。

TP0CCR1レジスタをリードする（TIP01端子入力の初期値設定）。

オーバーフローが発生する。ソフトウェアでは何もしない。

TP0CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TP0OVF1フラグのみをセット（1）し、オーバーフロー・フラグをクリア（0）する。

オーバーフロー・フラグが“1”なので、パルス幅は（10000H + D01 - D00）で求められます。

TP0CCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア（0）されているので“0”がリードされる。

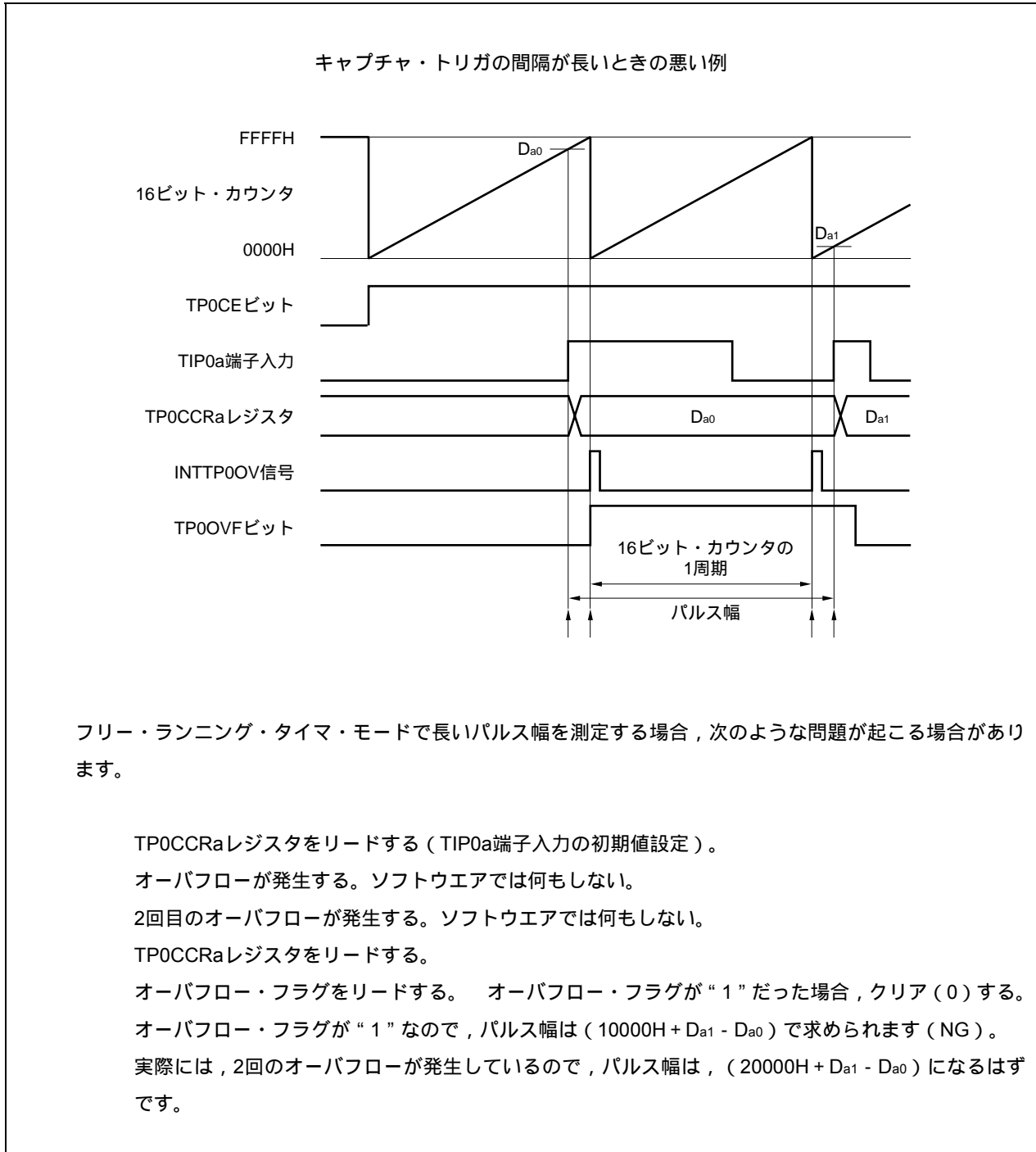
TP0OVF1フラグをリードする。TP0OVF1フラグが“1”だった場合、クリア（0）する。

TP0OVF1フラグが“1”なので、パルス幅は（10000H + D11 - D10）で求められます（OK）。

と同じです。

## (d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

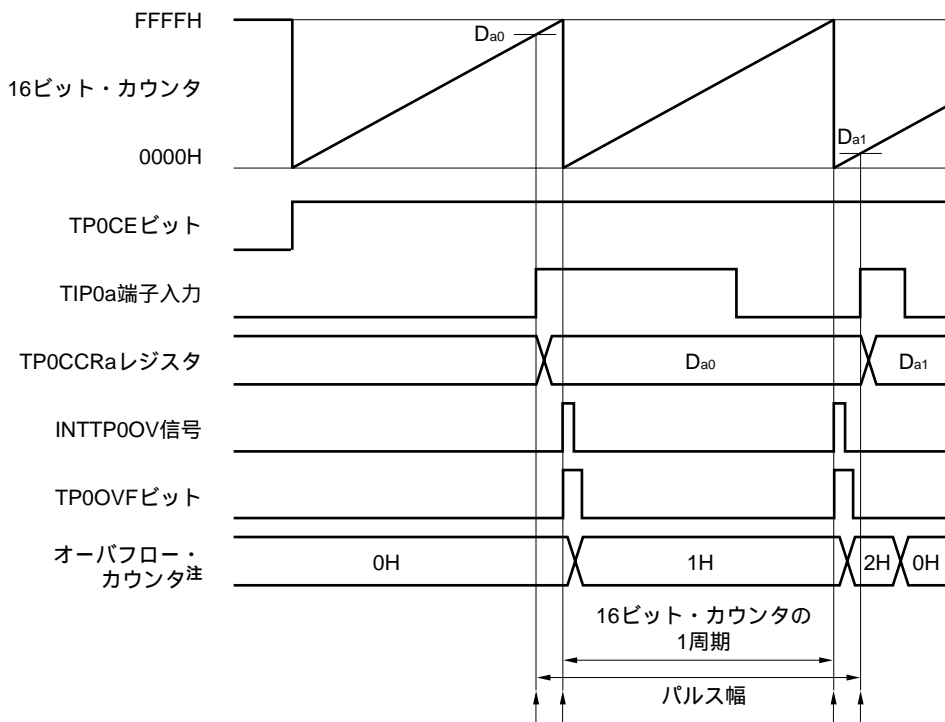
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TP0CCRaレジスタをリードする (TIP0a端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメント (+1) し、オーバフロー・フラグをクリア (0) する。

TP0CCRaレジスタをリードする。

オーバフロー・カウンタをリードする。

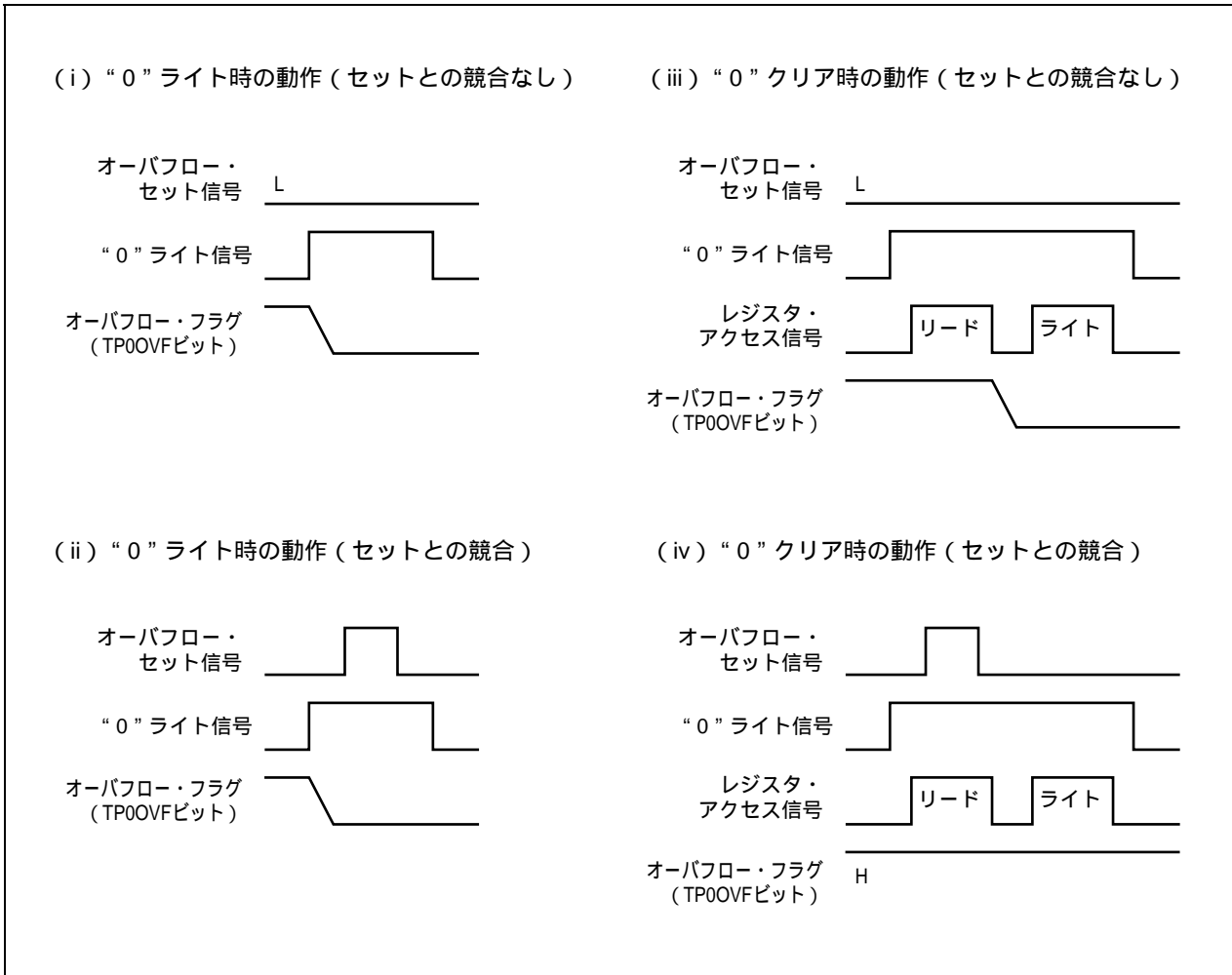
オーバフロー・カウンタが “N” のとき、パルス幅は  $(N \times 10000H + D_{a1} - D_{a0})$  で求められる。

この例では、2回のオーバフローが発生しているなので、パルス幅は、 $(20000H + D_{a1} - D_{a0})$  になります。

オーバフロー・カウンタをクリア (0H) する。

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TP0OVFビットをCLR命令でクリア(0)する方法と、TP0OPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法がありますが、確実にオーバフローを検出するために、TP0OVFビット = 1をリードしたあと、ビット操作命令でクリア(0)してください。



オーバフロー・フラグをクリア(0)する場合には、リードしてオーバフロー・フラグがセット(1)されていることを確認したあと、CLR命令でクリア(0)してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります(上図の(ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア(0)するときに、CLR命令の実行とオーバフロー発生タイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット(1)されたままになります。

## 7.5.7 パルス幅測定モード (TP0MD2-TP0MD0ビット = 110)

パルス幅測定モードは、TP0CTL0.TP0CEビットをセット(1)することでカウント動作を開始し、TIP0a端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTP0CCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTP0CCa)が発生したあと、TP0CCRaレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIP00、TIP01端子のいずれか1本を使用してください。使用しない端子は、TP0IOC1レジスタで“エッジ検出なし”に設定してください。

また、カウント・クロックとして外部クロックを使用するときは、外部クロックはTIP00端子固定ですので、TIP01端子のパルス幅を測定してください。このとき、TP0IOC1.TP0IS1、TP0IS0ビット = 00(キャプチャ・トリガ入力(TIP00端子)：エッジ検出なし)に設定してください。

図7-34 パルス幅測定モードの構成図

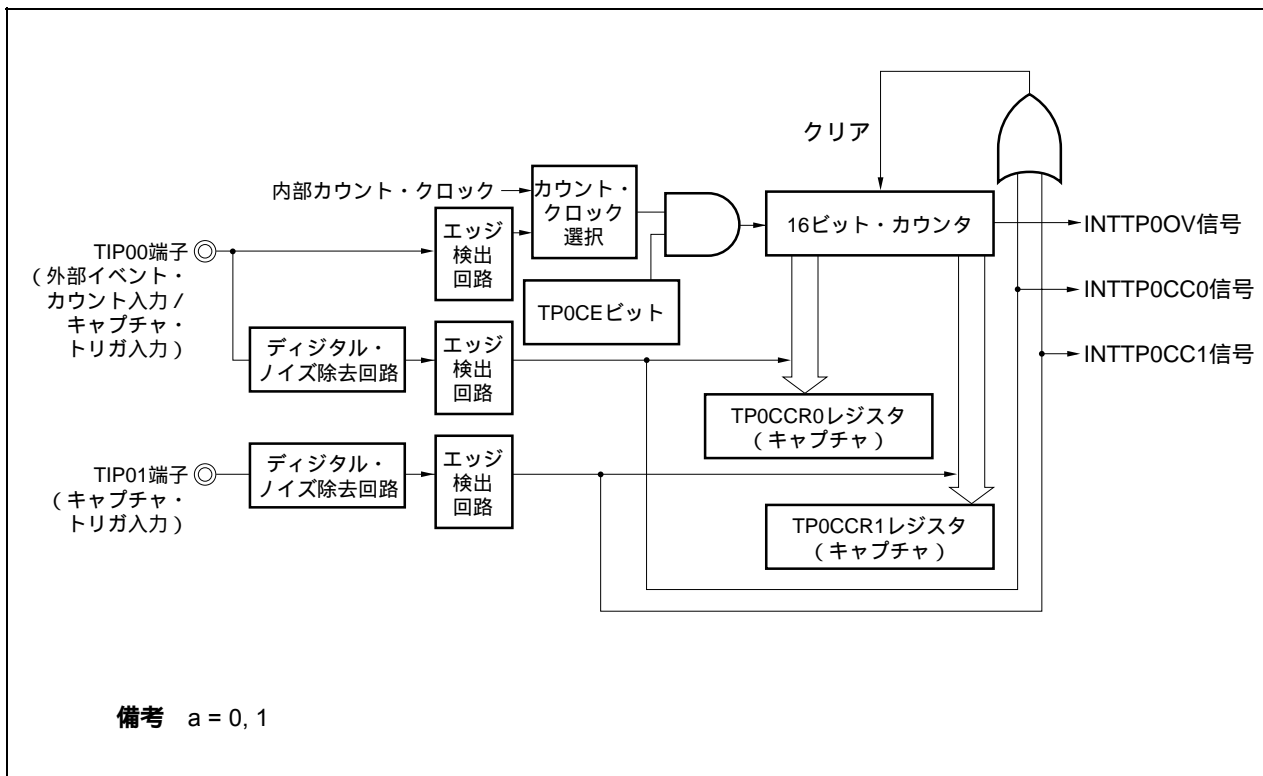
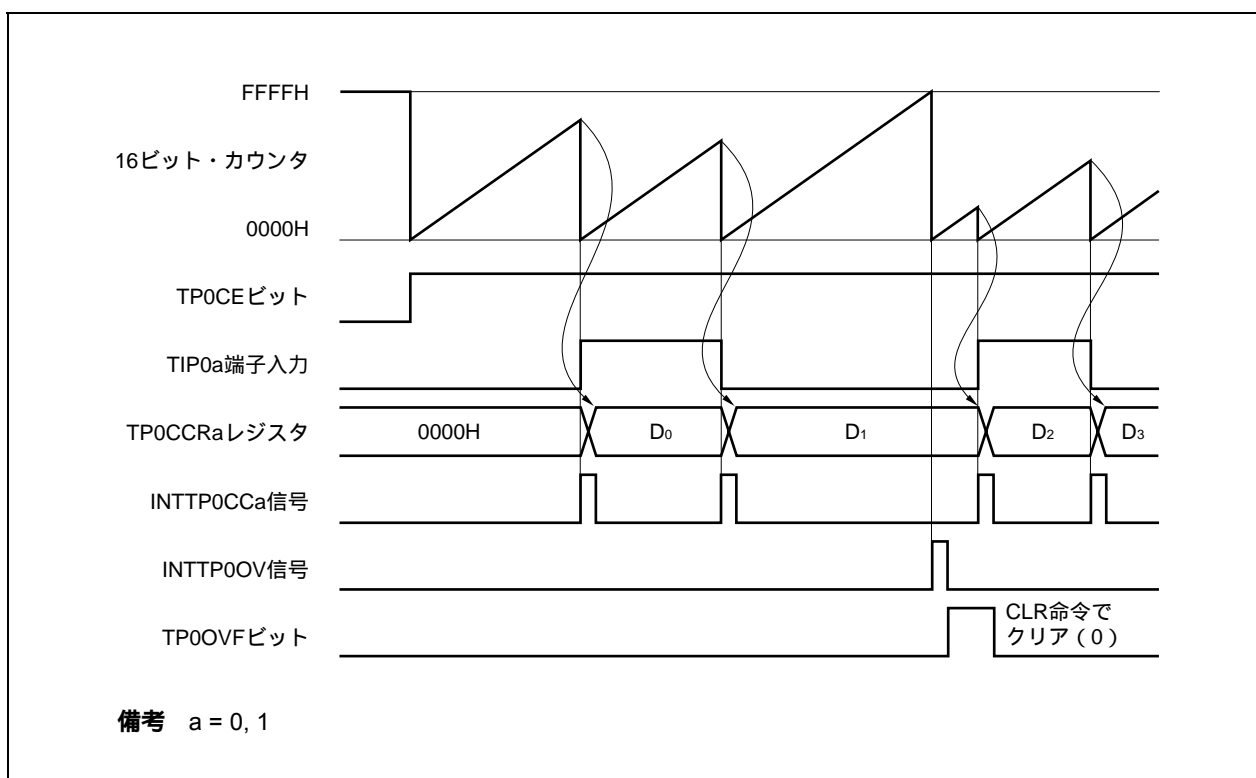




図7 - 35 パルス幅測定モードの基本タイミング



TPOCEビットをセット(1)することで、カウント動作を開始します。その後、TIP0a端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTP0CCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTP0CCa)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTP0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TP0OPT0.TP0OVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)した場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TP0OVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 a = 0, 1

図7 - 36 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

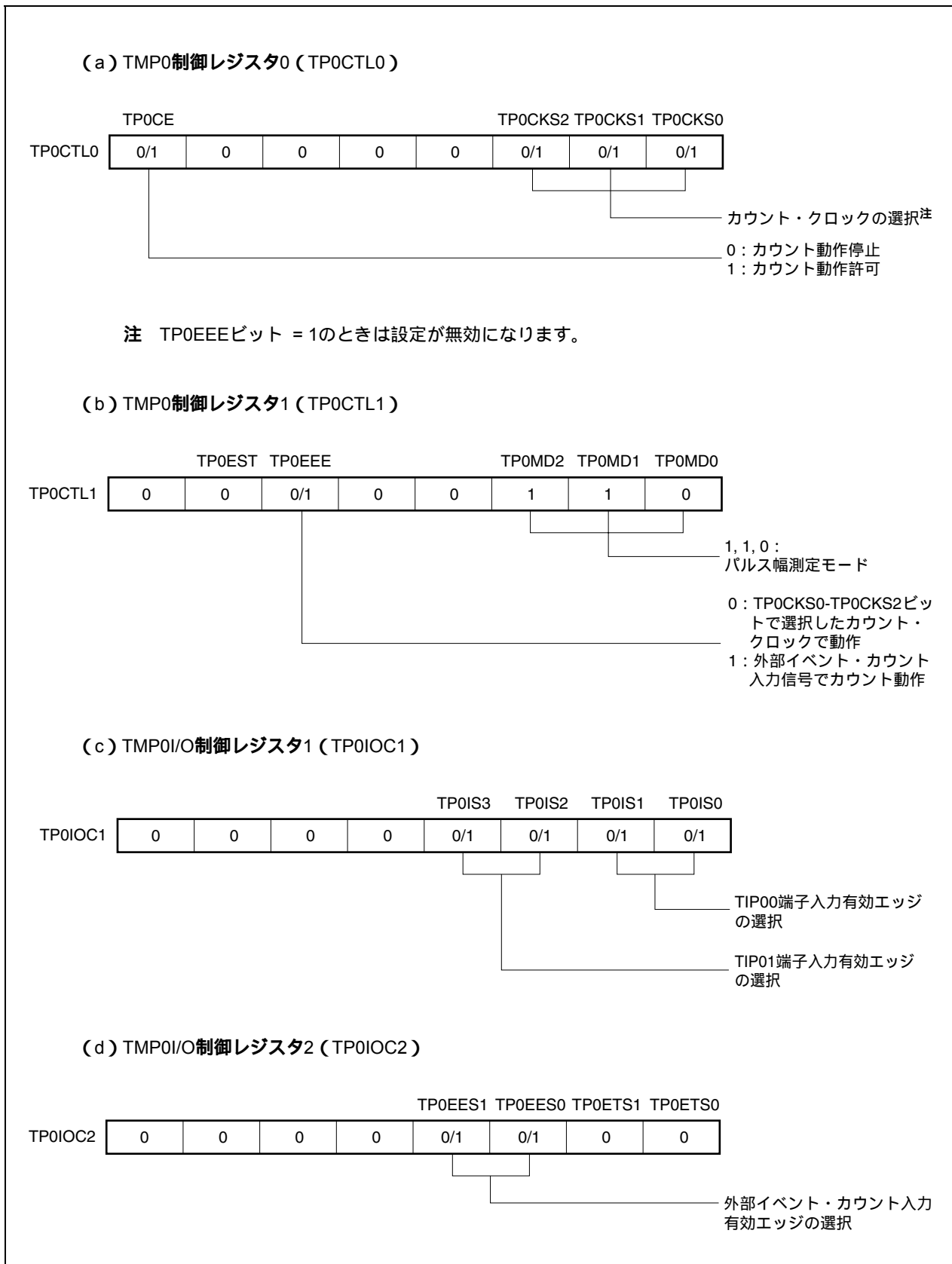
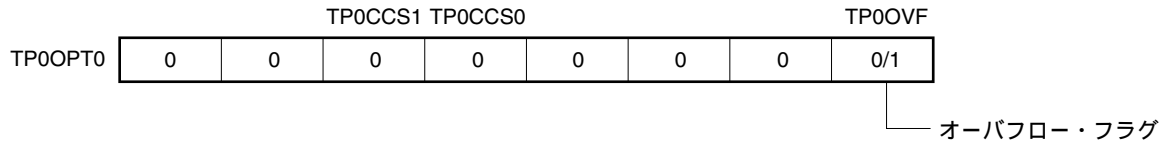


図7 - 36 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(e) TMP0オプション・レジスタ0 (TP0OPT0)



(f) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT)

TP0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(g) TMP0キャプチャ/コンペア・レジスタ0, 1 (TP0CCR0, TP0CCR1)

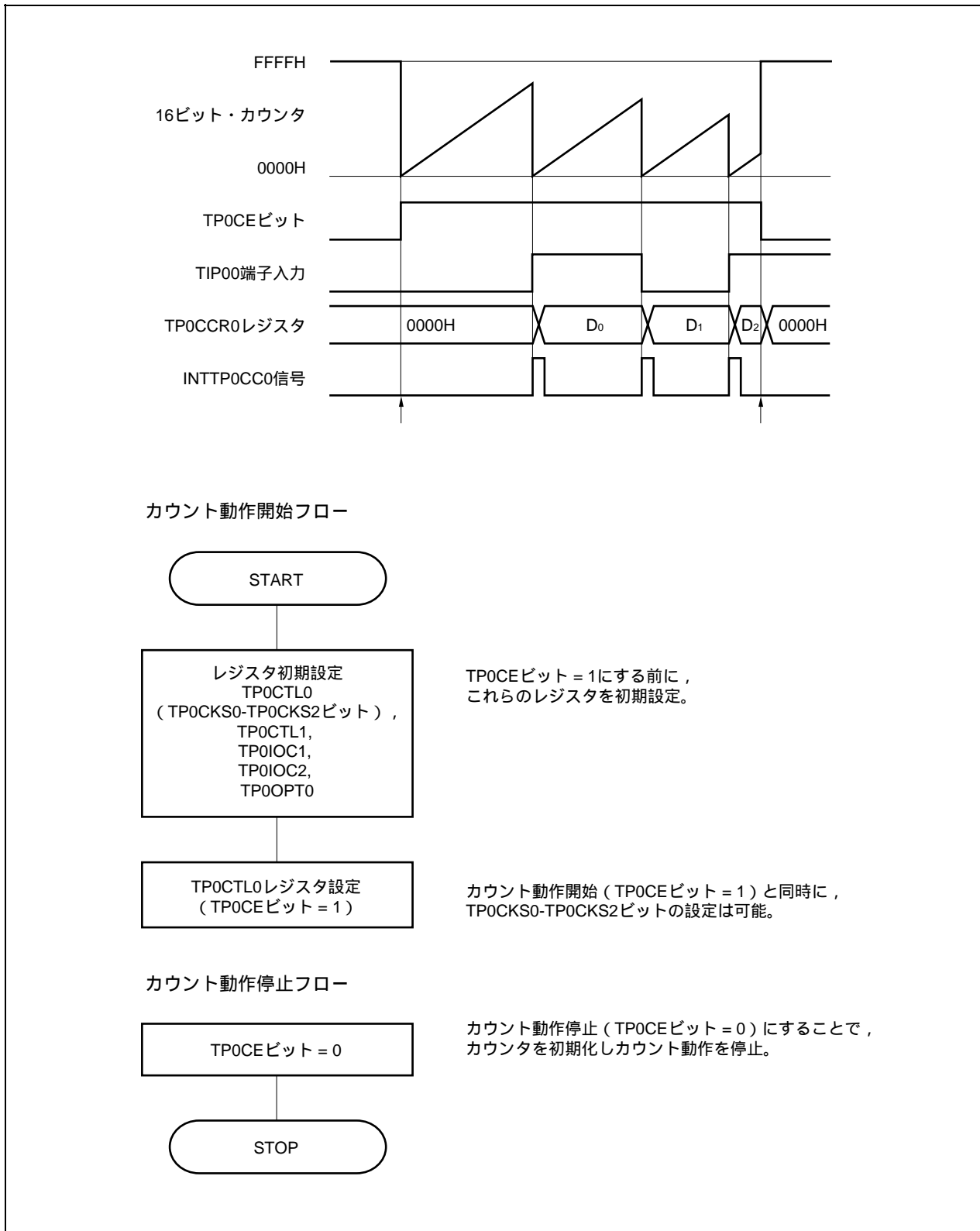
TIP0a端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

**備考1.** パルス幅測定モードでは、TMP0I/O制御レジスタ0 (TP0IOC0) は使用しません。

2. a = 0, 1

(1) パルス幅測定モード動作フロー

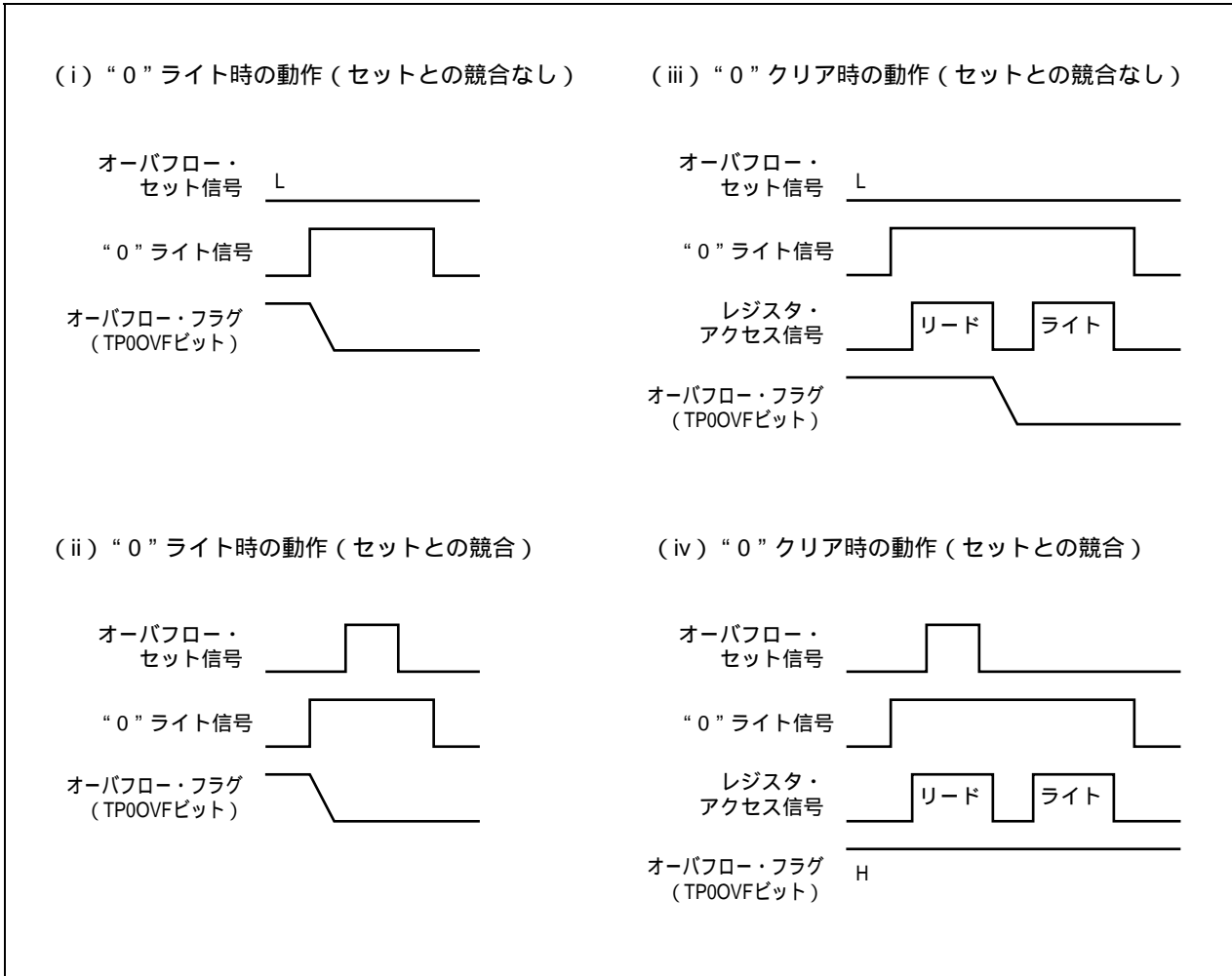
図7 - 37 パルス幅測定モード使用時のソフトウェア処理フロー



(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TP0OVFビットをCLR命令でクリア (0) する方法と、TP0OPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TP0OVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。



オーバフロー・フラグをクリア (0) する場合には、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります (上図の (ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生タイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

## 7.5.8 タイマ出力動作説明

次にTOP00, TOP01端子の動作, および出力レベルを示します。

表7-4 各モードによるタイマ出力制御

動作モード	TOP01端子	TOP00端子
インターバル・タイマ・モード	方形波出力	
外部イベント・カウント・モード	方形波出力	-
外部トリガ・パルス出力モード	外部トリガ・パルス出力	方形波出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)	
パルス幅測定モード	-	

表7-5 タイマ出力制御ビットによるTOP00, TOP01端子の真理値表

TP0IOC0.TP0OLaビット	TP0IOC0.TP0OEaビット	TP0CTL0.TP0CEビット	TOP0a端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 a = 0, 1

## 7.6 キャプチャ・トリガ入力端子 (TIP0a) のノイズ除去

TIP0a端子には、デジタル・ノイズ除去回路を内蔵しています。

ただし、キャプチャ・トリガ入力として使用する場合のみ有効であり、外部イベント・カウント入力や外部トリガ入力として使用する場合は無効です。

デジタル・ノイズ除去は、PMC3、PFC3、PFCE3レジスタにより兼用機能 (TIP0a端子) に設定することによって行います。

サンプリング回数は、PaNFC.PaNFSTSビットにより3回/2回を選択できます。また、サンプリング・クロックはPaNFC.PaNFC2-PaNFC0ビットにより $f_{xx}$ 、 $f_{xx}/2$ 、 $f_{xx}/4$ 、 $f_{xx}/16$ 、 $f_{xx}/32$ 、 $f_{xx}/64$ から選択できます。

### (1) TIP0aノイズ除去制御レジスタ (PaNFC)

デジタル・ノイズ除去のサンプリング・クロックおよびサンプリング回数を選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：P0NFC FFFFFFFB00H, P1NFC FFFFFFFB04H

	7	6	5	4	3	2	1	0
PaNFC (a = 0, 1)	0	PaNFSTS	0	0	0	PaNFC2	PaNFC1	PaNFC0

PaNFSTS	デジタル・ノイズ除去のサンプリング回数の設定
0	サンプリング回数 = 3回
1	サンプリング回数 = 2回

PaNFC2	PaNFC1	PaNFC0	サンプリング・クロックの選択
0	0	0	$f_{xx}$
0	0	1	$f_{xx}/2$
0	1	0	$f_{xx}/4$
0	1	1	$f_{xx}/16$
1	0	0	$f_{xx}/32$
1	0	1	$f_{xx}/64$
上記以外			設定禁止

**注意1.** サンプリング・クロック周期 × サンプリング回数時間経過後TMP0の16ビット・カウンタのスタート許可 (TPOCTL.TPOCEビット = 1) をしてください。

**2.** ビット7, 5-3には必ず0を設定してください。

**< 設定手順 >**

PaNFCレジスタの設定によりサンプリング回数，サンプリング・クロックを選択する。

PMC3，PFC3，PFCE3レジスタにより，兼用機能（TIP0n端子）に設定する。

TMP0の動作モードを設定する（キャプチャ・モード，キャプチャ・トリガの有効エッジなど）。

TMP0カウント動作許可。

**< ノイズ除去幅 >**

デジタル・ノイズ除去幅（ $t_{WTIP0a}$ ）は，サンプリング・クロック周期：T，サンプリング回数：Mとすると，次のようになります。

- ・  $t_{WTIP0a} < (M - 1) T$  : 確実にノイズとして除去
- ・  $(M - 1) T < t_{WTIP0a} < MT$  : ノイズとして除去，あるいは有効エッジとして検出
- ・  $t_{WTIP0a} > MT$  : 確実に有効エッジとして検出

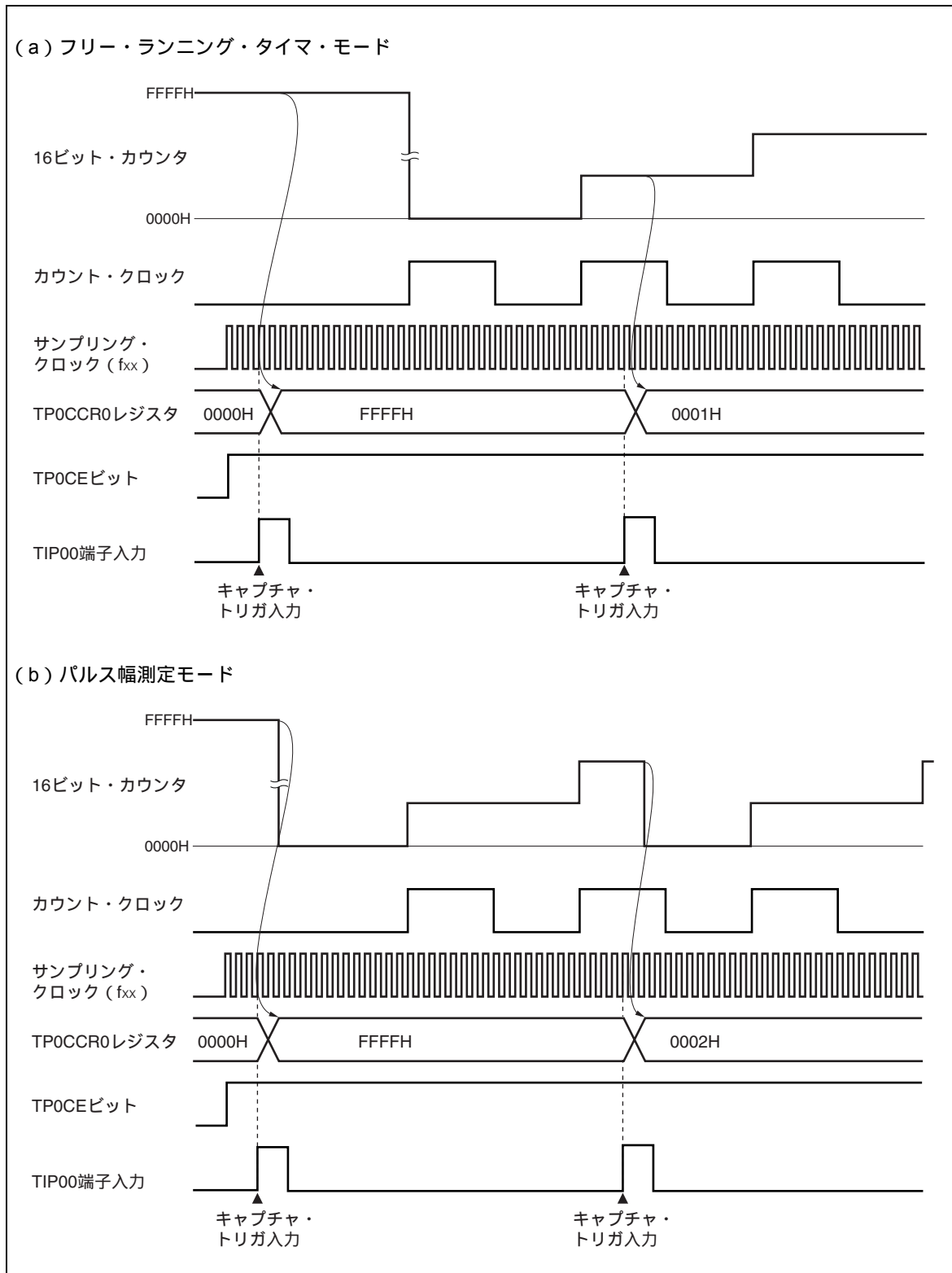
したがって，キャプチャ・トリガ入力の有効エッジを確実に検出させるためには，MT以上のパルス幅を入力する必要があります。



## 7.7 注意事項

### (1) キャプチャ動作

キャプチャ動作を使用し、かつカウント・クロックとして $f_{xx}/8$ ,  $f_{xx}/16$ ,  $f_{xx}/32$ ,  $f_{xx}/64$ ,  $f_{xx}/128$ , 外部イベント・カウンタ (TP0CLT1.TP0EEEビット = 1) を選択した場合、TP0CEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TP0CCRnレジスタに0000HではなくFFFFHがキャプチャされる場合があります。



## 第8章 16ビット・タイマ/イベント・カウンタ0

V850ES/KJ1+は、16ビット・タイマ/イベント・カウンタ0を6チャンネル搭載しています。

### 8.1 機能

16ビット・タイマ/イベント・カウンタ0nには、次のような機能があります (n = 0-5)。

#### (1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

#### (2) 方形波出力

任意の周波数の方形波出力が可能です。

#### (3) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

#### (4) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

#### (5) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

#### (6) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

## 8.2 構成

16ビット・タイマ/イベント・カウンタ0nは、次のハードウェアで構成されています。

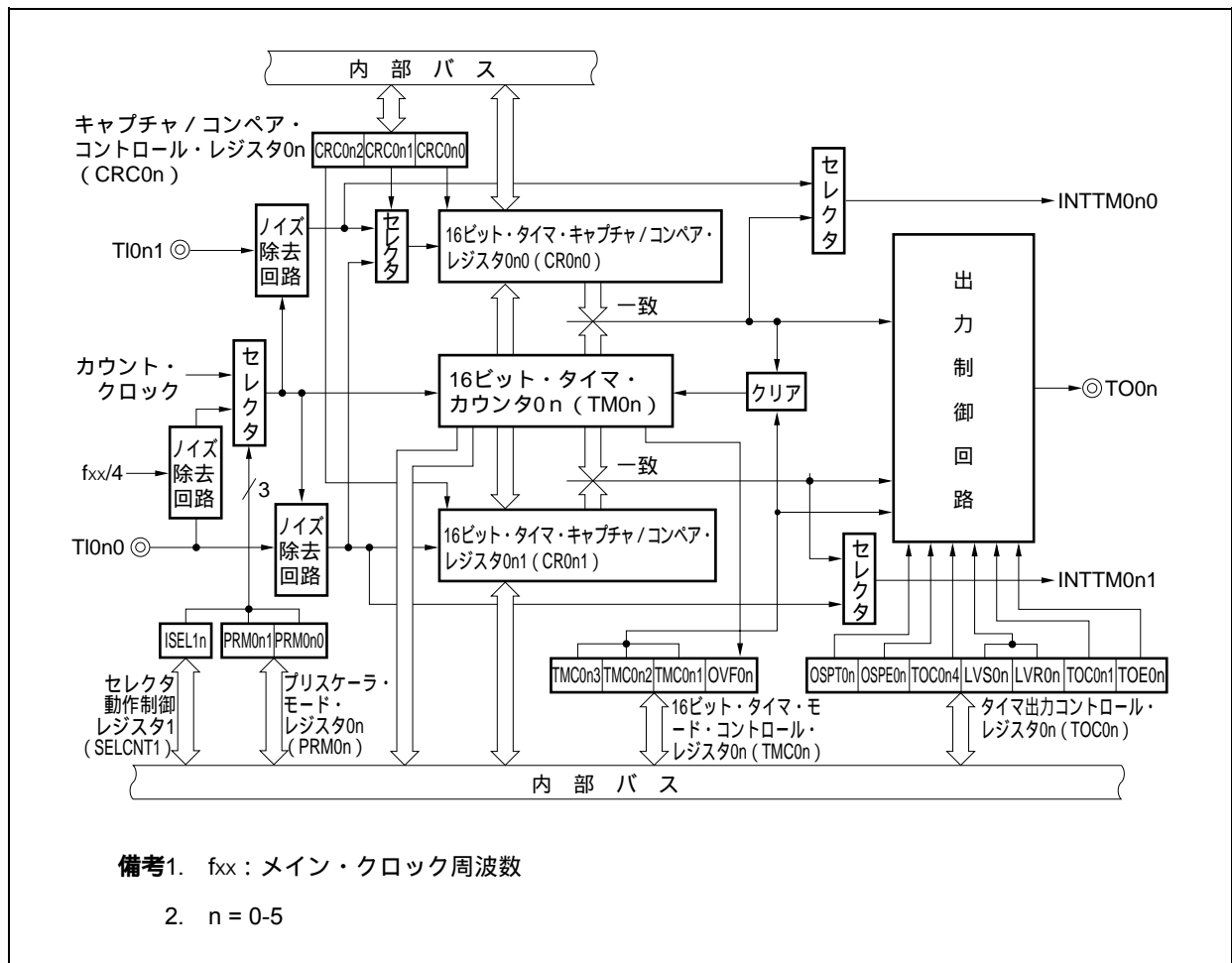
表8 - 1 16ビット・タイマ/イベント・カウンタ0nの構成

項目	構成
タイマ/カウンタ	16ビット・タイマ・カウンタ0n x 1本 (TM0n)
レジスタ	16ビット・タイマ・キャプチャ/コンペア・レジスタ : 16ビット x 2本 (CR0n0, CR0n1)
タイマ入力	2本 (TI0n0, TI0n1端子)
タイマ出力	1本 (TO0n端子), 出力制御回路
制御レジスタ <sup>注</sup>	16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) プリスケアラ・モード・レジスタ0n (PRM0n) セレクタ動作制御レジスタ1 (SELCNT1)

注 TI0n0, TI0n1, TO0n端子の機能を使用する場合は、表4 - 19 ポート端子を兼用端子として使用する場合を参照してください。

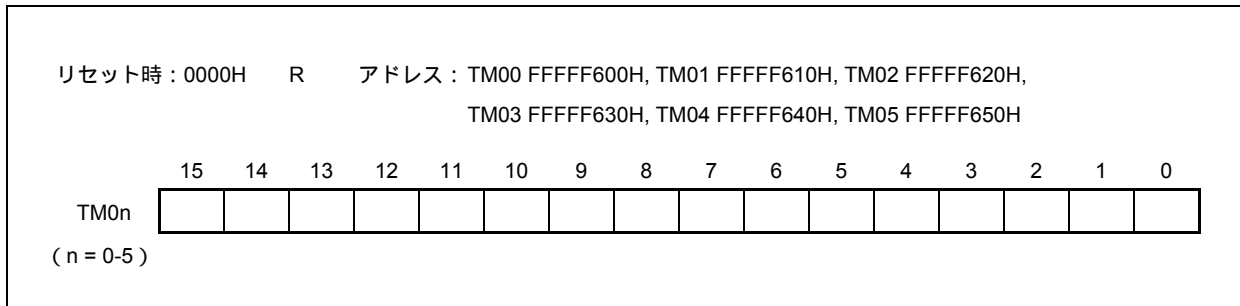
次にブロック図を示します。

図8 - 1 16ビット・タイマ/イベント・カウンタ0nのブロック図



(1) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nレジスタは、カウント・パルスをカウントする16ビットのリード専用レジスタです。  
 カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。



TM0nレジスタをTMC0n.TMC0n3, TMC0n2ビット = 00以外のときにリードすることにより、カウント値をリードできます。TMC0n3, TMC0n2ビット = 00の状態では、0000Hがリードされます。  
 次の場合、カウント値は0000Hになります。

- ・リセット時
- ・TMC0n3, TMC0n2ビットをクリア (00) したとき
- ・TI0n0端子の有効エッジ入力でのクリア&スタート・モード時、TI0n0端子に有効エッジが入力されたとき
- ・TM0nレジスタとCR0n0レジスタの一致でのクリア&スタート・モード時、TM0nレジスタとCR0n0レジスタが一致したとき
- ・ワンショット・パルス出力モードで、TOC0n.OSPT0nビットをセット (1) したとき、またはTI0n0端子に有効エッジが入力されたとき

**備考** n = 0-5

(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ0n0 (CR0n0),  
16ビット・タイマ・キャプチャ/コンペア・レジスタ0n1 (CR0n1)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能とコンペア機能の切り替えは、CRC0nレジスタで行います。

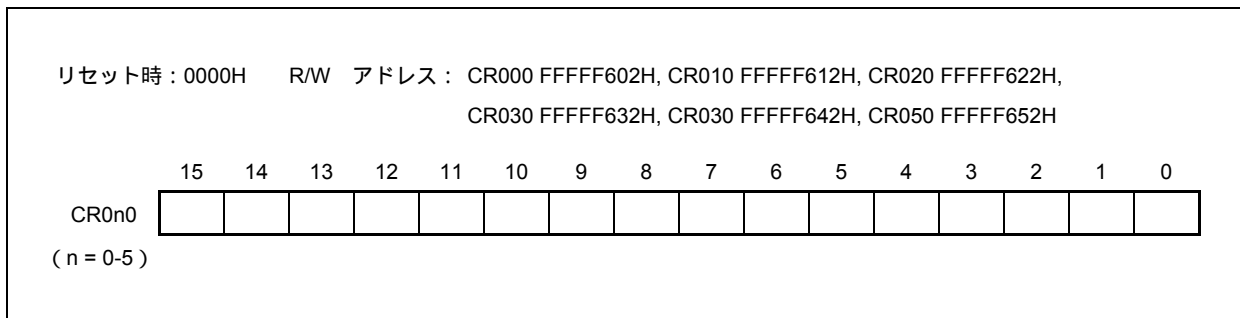
CR0n0レジスタは動作中 (TMC0n.TMC0n3, TMC0n2ビット = 00以外) の書き換えは禁止です。

CR0n1レジスタは、所定の方法で設定した場合、動作中に書き換え可能です。詳細は8. 5. 1 CR0n0レジスタのTM0n動作中の書き換えを参照してください。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

(a) 16ビット・タイマ・キャプチャ/コンペア・レジスタ0n0 (CR0n0)



( i ) CR0n0レジスタをコンペア・レジスタとして使用するとき

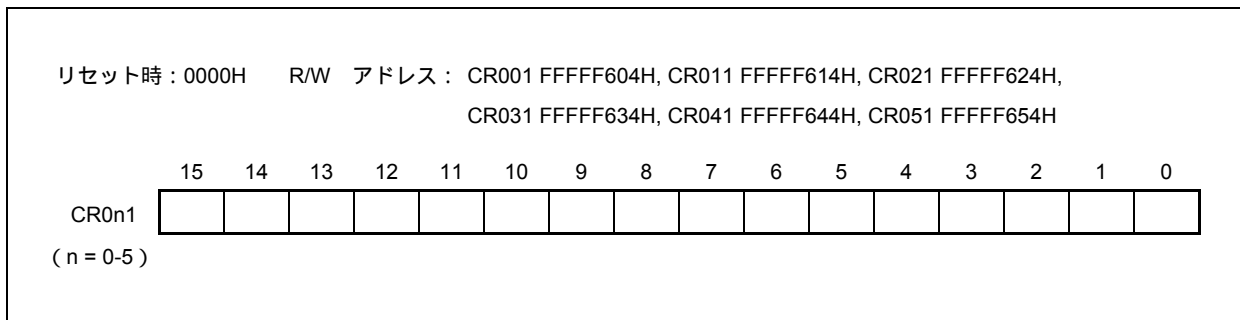
CR0n0レジスタに設定した値とTM0nレジスタのカウント値を常に比較し、一致したときに割り込み信号 (INTTM0n0) を発生します。書き換えられるまで値を保持します。

( ii ) CR0n0レジスタをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM0nレジスタのカウント値をCR0n0レジスタにキャプチャします。

キャプチャ・トリガとして、TI0n0端子の逆相のエッジかTI0n1端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、CRC0n, PRM0nレジスタで設定します。

(b) 16ビット・タイマ・キャプチャ/コンペア・レジスタ0n1 (CR0n1)



( i ) CR0n1レジスタをコンペア・レジスタとして使用するとき

CR0n1レジスタに設定した値とTM0nレジスタのカウント値を常に比較し、一致したときに割り込み信号 (INTTM0n1) を発生します。

( ii ) CR0n1レジスタをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM0nレジスタのカウント値をCR0n1レジスタにキャプチャします。

キャプチャ・トリガとして、TI0n0端子の有効エッジの選択ができます。TI0n0端子の有効エッジは、PRM0nレジスタで設定します。

- 注意1. P33, P35, P92, P94端子をTI000, TI010, TI020, TI030有効エッジとして使用し、かつタイマ出力機能を使用するときは、P34, P32, P30, P31端子をタイマ出力端子 (TO00-TO03) に設定してください。
2. TMC0n3, TMC0n2ビット = 00に設定したタイミングとキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。
3. キャプチャ・モードからコンペア・モードに変更する場合は、いったんTMC0n3, TMC0n2ビット = 00にしてから、設定を変更してください。
- なお、一度キャプチャした値は、リセットしないかぎりCR0n0, CR0n1レジスタに格納されたままです。コンペア・モードに変更したあとは、必ずコンペア値を設定してください。

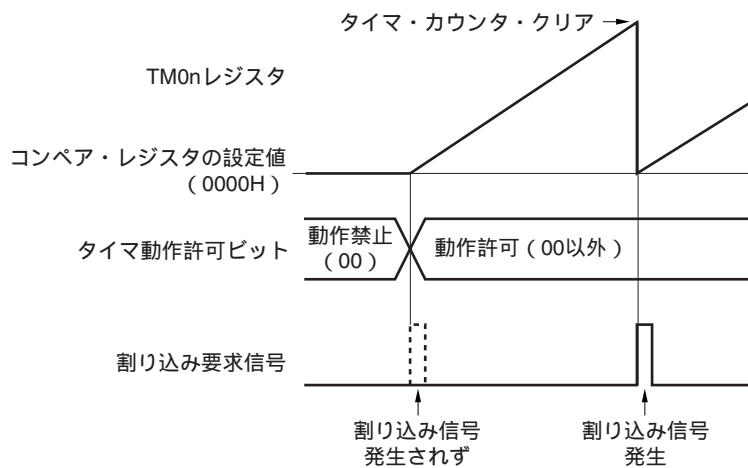
(c) コンペア・レジスタとして使用した場合の設定範囲

CR0n0, CR0n1レジスタをコンペア・レジスタとして使用する際には, 次の範囲で値を設定してください。

動作	CR0n0レジスタ	CR0n1レジスタ
・インターバル・タイマとしての動作 ・方形波出力としての動作 ・外部イベント・カウンタとしての動作	0000H < N FFFFH	0000H <sup>注</sup> M FFFFH 通常, 使用しません。一致割り込み信号 (INTTM0n1) をマスクしてください。
・TI0n0端子の有効エッジ入力によるクリア & スタート・モードとしての動作 ・フリー・ランニング・タイマとしての動作	0000H <sup>注</sup> N FFFFH	0000H <sup>注</sup> M FFFFH
・PPG出力としての動作	M < N FFFFH	0000H <sup>注</sup> M < N
・ワンショット・パルス出力としての動作	0000H <sup>注</sup> N FFFFH (N M)	0000H <sup>注</sup> M FFFFH (M N)

注 0000Hに設定した場合, タイマ動作直後の一致割り込みは発生せず, タイマ出力も変化しません。0000Hに設定した場合, 最初の一致タイミングは次のようになります。なお, 一致割り込みは, タイマ・カウンタ (TM0nレジスタ) が0000Hから0001Hになるタイミングで発生します。

- ・オーバフローによるタイマ・カウンタ・クリア時
- ・TI0n0端子の有効エッジによるタイマ・カウンタ・クリア時  
(TI0n0端子の有効エッジ入力でクリア & スタート・モードのとき)
- ・コンペア一致によるタイマ・カウンタ・クリア時  
(TM0nとCR0n0の一致でクリア & スタート・モード (CR0n0 = 0000H以外, CR0n1 = 0000H) のとき)



備考1. N : CR0n0レジスタの設定値

M : CR0n1レジスタの設定値

2. 動作許可ビット (TMC0n.TMC0n3, TMC0n2ビット) の詳細については8. 3 (1) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) を参照してください。

表8 - 2 CR0n0, CR0n1レジスタのキャプチャ動作

外部入力信号	TI0n0端子入力		TI0n1端子入力	
キャプチャ動作				
CR0n0 レジスタ のキャプチャ動作	CRC0n1ビット = 1 TI0n0端子入力 (逆相) 	ESn01, ESn00の設定値 キャプチャするエッジの位置	CRC0n1ビット = 0 TI0n1端子入力 	ESn11, ESn10の設定値 キャプチャするエッジの位置
		01 : 立ち上がり 		01 : 立ち上がり 
		00 : 立ち下がり 		00 : 立ち下がり 
	11 : 両エッジ (キャプチャできません)	11 : 両エッジ 		
割り込み信号	キャプチャしても INTTM0n0信号は発生しない	割り込み信号	キャプチャすることに INTTM0n0信号が発生	
CR0n1 レジスタ のキャプチャ動作	TI0n0端子入力 <sup>注</sup> 	ESn01, ESn00の設定値 キャプチャするエッジの位置		
		01 : 立ち上がり 		
		00 : 立ち下がり 		
	11 : 両エッジ 			
割り込み信号	キャプチャすることに INTTM0n1信号が発生			

注 CR0n1レジスタのキャプチャ動作には、CRC0n1ビットの設定による影響はありません。

**注意** TI0n0端子入力の逆相でTM0nレジスタのカウンタ値をCR0n0レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM0n0) は発生しません。この動作中に、TI0n1端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM0n0信号が発生します。外部割り込みを使用しない場合は、INTTM0n0信号をマスクしてください。

- 備考1.** CRC0n1 : 8. 3 (2) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) 参照  
 ESn11, ESn10, ESn01, ESn00 : 8. 3 (4) プリスケラ・モード・レジスタ0n (PRM0n) 参照
2. n = 0-5



## 8.3 レジスタ

16ビット・タイマ/イベント・カウンタ0nを制御するレジスタを次に示します。

- ・16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)
- ・キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)
- ・16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)
- ・プリスケアラ・モード・レジスタ0n (PRM0n)
- ・セレクト動作制御レジスタ1 (SELCNT1)

**備考** TI0n0, TI0n1, TO0n端子の機能を使用する場合は、表4 - 19 ポート端子を兼用端子として使用する場合を参照してください。

### (1) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

TMC0nレジスタは、16ビット・タイマ/イベント・カウンタ0nの動作モード、TM0nレジスタのクリア・モード、出力タイミングの設定およびオーバフローを検出する8ビットのレジスタです。

TMC0nレジスタは、動作中 (TMC0n3, TMC0n2ビット = 00以外のとき) の書き換えは禁止です。

ただし、TMC0n3, TMC0n2ビットを00 (動作停止) に設定する場合と、OVF0nビットに0を設定する場合は、書き換え可能です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1.** 16ビット・タイマ/イベント・カウンタ0nは、TMC0n3, TMC0n2ビットに00 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC0n3, TMC0n2ビットに00を設定してください。
- 2.** 次に示す状態において、TMC0nレジスタへのアクセスは禁止です。詳細は3. 4. 8 (1) (b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

**備考** n = 0-5

リセット時：00H R/W アドレス：TMC00 FFFFF606H, TMC01 FFFFF616H, TMC02 FFFFF626H,  
TMC03 FFFFF636H, TMC04 FFFFF646H, TMC05 FFFFF656H

	7	6	5	4	3	2	1	⓪
TMC0n	0	0	0	0	TMC0n3	TMC0n2	TMC0n1	OVF0n

(n = 0-5)

TMC0n3	TMC0n2	16ビット・タイマ/イベント・カウンタ0nの動作許可
0	0	TM0n動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ (TM0n) クリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TIO0n端子の有効エッジ入力 <sup>注1</sup> でクリア&スタート・モード
1	1	TM0nとCR0n0の一致でクリア&スタート・モード

TMC0n1 <sup>注2</sup>	タイマ出力 (TO0n) 反転条件
0	・ TM0nとCR0n0の一致, TM0nとCR0n1の一致
1	・ TM0nとCR0n0の一致, TM0nとCR0n1の一致 ・ TIO0n端子の有効エッジのトリガ入力

OVF0n	TM0nレジスタのオーバーフロー・フラグ
クリア (0)	OVF0nビットへの0ライトまたはTMC0n.TMC0n3, TMC0n2 = 00
セット (1)	オーバーフロー発生

OVF0nビットは、すべての動作モード (フリー・ランニング・タイマ・モード, TIO0n端子の有効エッジ入力  
でクリア&スタート・モード, TM0nとCR0n0の一致でクリア&スタート・モード) でTM0nレジスタの値が  
FFFFHから0000Hになるとき、セット (1) されます。  
OVF0nビットに1を書き込むことでもセット (1) できます。

- 注1. TIO0n端子の有効エッジは、PRM0nレジスタで設定します。  
2. TO0m端子とTIO0m端子を兼用する場合、TMC0m1ビットには必ず0を設定してください  
(m = 0-3)。

(2) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

CRC0nレジスタは, CR0n0, CR0n1レジスタの動作を制御するレジスタです。

CRC0nレジスタは, 動作中( TMC0n.TMC0n3, TMC0n2ビット = 00以外のとき )の書き換えは禁止です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : CRC00 FFFFF608H, CRC01 FFFFF618H, CRC02 FFFFF628H,  
CRC03 FFFFF638H, CRC04 FFFFF648H, CRC05 FFFFF658H

	7	6	5	4	3	2	1	0
CRC0n	0	0	0	0	0	CRC0n2	CRC0n1	CRC0n0

(n = 0-5)

CRC0n2	CR0n1レジスタの動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC0n1	CR0n0レジスタのキャプチャ・トリガの選択
0	TI0n1端子の有効エッジでキャプチャする
1	TI0n0端子の有効エッジの逆相でキャプチャする <sup>注</sup>

TI0n1, TI0n0端子の有効エッジはPRM0nレジスタで設定します。  
ただし, CRC0n1ビット = 1のときにPRM0n.ESn01, ESn00ビット = 11 (両エッジ) に指定すると, TI0n0端子の有効エッジを検出できません。

CRC0n0	CR0n0レジスタの動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

TMC0n3, TMC0n2 = 11 (TM0nとCR0n0の一致でクリア&スタート・モード) を設定した場合は, CRC0n0ビットには必ず0を設定してください。

**注** TI0n1端子から有効エッジが検出された場合, キャプチャ動作は行われませんが, 外部割り込み信号としてINTTM0n0信号が発生します。

**注意** キャプチャを確実にを行うためのキャプチャ・トリガには, PRM0n, SELCNT1レジスタで選択したカウント・クロックの2周期分より長いパルスが必要です。

(3) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

TOC0nレジスタは、TO0n端子出力を制御する8ビットのレジスタです。

TOC0nレジスタは、OSPT0nビットだけが動作中 (TMC0n.TMC0n3, TMC0n2ビット = 00以外のとき) に書き換え可能です。それ以外のビットについては、動作中の書き換えは禁止です。

ただし、タイマ動作中にCR0n1レジスタの値を変更する手段としての、TOC0n4ビットの書き換えは可能です (8.5.1 CR0n1レジスタのTM0n動作中の書き換えを参照してください)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** TOC0nレジスタを設定するときは、必ず次の順序で設定してください。

TOC0n4, TOC0n1ビットのセット (1)

TOE0nビットだけを単独でセット (1)

LVS0nビットまたはLVR0nビットのどちらか片方だけをセット (1)

(1/2)

リセット時：00H R/W アドレス：TOC00 FFFFF609H, TOC01 FFFFF619H, TOC02 FFFFF629H,  
TOC03 FFFFF639H, TOC04 FFFFF649H, TOC05 FFFFF659H

	7			4			1	①
TOC0n	0	OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n

(n = 0-5)

OSPT0n	ソフトウェアによるワンショット・パルス出力トリガ
0	
1	ワンショット・パルス出力

リード値は常に“0”です。  
セット(1)すると、TM0nはクリア&スタートします。

OSPE0n	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力 セット(1)すると、TM0nはクリア&スタートします。

ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI0n0端子の有効エッジ入力  
でクリア&スタート・モードのときに、正常に動作します。  
TM0nレジスタとCR0n0レジスタの一致でクリア&スタート・モードでは、ワンショット・パルスを出力  
できません。

TOC0n4	CR0n1レジスタとTM0nレジスタの一致によるTO0n端子出力の制御
0	反転動作禁止
1	反転動作許可

TOC0n4ビット = 0でも、割り込み信号 (INTTM0n1) は発生します。

LVS0n	LVR0n	TO0n端子出力の状態の設定
0	0	変化しない
0	1	TO0n端子出力初期値ロウ・レベル (TO0n端子出力をクリア (0))
1	0	TO0n端子出力初期値ハイ・レベル (TO0n端子出力をセット (1))
1	1	設定禁止

- ・LVS0n, LVR0nビットは, TO0n端子出力レベルの初期値を設定できます。設定が不要な場合は, LVS0n, LVR0nビットを00のままにしてください。
- ・LVS0n, LVR0nビットは, 必ずTOE0nビット = 1のときに設定してください。  
LVS0n, LVR0nビットとTOE0nビットを同時にセット (1) することも禁止です。
- ・LVS0n, LVR0nビットはトリガ・ビットです。セット (1) することで, TO0n端子出力レベルの初期値を設定します。クリア (0) しても, TO0n端子出力に影響はありません。
- ・LVS0n, LVR0nビットのリード値は常に "0" です。
- ・LVS0n, LVR0nビットの設定方法の詳細は, 8. 5. 2 LVS0n, LVR0nビットの設定についてを参照してください。

TOC0n1	CR0n0レジスタとTM0nレジスタの一致によるTO0n端子出力の制御
0	反転動作禁止
1	反転動作許可

TOC0n1ビット = 0でも, 割り込み信号 (INTTM0n0) は発生します。

TOE0n	TO0n端子出力制御
0	出力禁止 (TO0n端子出力はロウ・レベルに固定)
1	出力許可

(4) プリスケアラ・モード・レジスタ0n (PRM0n)

PRM0nレジスタは、TM0nレジスタのカウント・クロック、およびTI0n0, TI0n1端子入力の有効エッジを設定するレジスタです。PRM0n1, PRM0n0ビットの設定は、SELCNT1.ISEL1nビットと組み合わせて設定します。詳細は(6)16ビット・タイマ/イベント・カウンタ0nのカウント・クロック設定を参照してください。

PRM0nレジスタは、動作中(TMC0n.TMC0n3, TMC0n2ビット = 00以外するとき)の書き換えは禁止です。8/1ビット単位でリード/ライト可能です。リセットにより00Hになります。

**注意1.** PRM0n1, PRM0n0ビット = 11 (カウント・クロックをTI0n0端子の有効エッジに指定)に設定する場合、次の設定は禁止です。

- ・ TI0n0端子の有効エッジでクリア&スタート・モード
- ・ TI0n0端子をキャプチャ・トリガに設定

2. リセット後、TI0n0端子またはTI0n1端子がハイ・レベルの状態、TI0n0端子またはTI0n1端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ0nの動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI0n0端子またはTI0n1端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。
3. P33, P35, P92, P94端子をTI000, TI010, TI020, TI030有効エッジとして使用し、かつタイマ出力機能を使用するときは、P34, P32, P30, P31端子をタイマ出力端子(TO00-TO03)として使用してください。

リセット時：00H R/W アドレス：PRM00 FFFFF607H, PRM01 FFFFF617H, PRM02 FFFFF627H, PRM03 FFFFF637H, PRM04 FFFFF647H, PRM05 FFFFF657H

	7	6	5	4	3	2	1	0
PRM0n (n = 0-5)	ESn11	ESn10	ESn01	ESn00	0	0	PRM0n1	PRM0n0

ESn11	ESn10	TI0n1端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がり両エッジ

ESn01	ESn00	TI0n0端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がり両エッジ

(5) セレクタ動作制御レジスタ1 (SELCNT1)

16ビット・タイマ/イベント・カウンタ0nのカウンタ・クロックを設定するレジスタです。

SELCNT1レジスタは、PRM0n.PRMn01, PRMn00ビットと組み合わせて設定します。詳細は(6) 16ビット・タイマ/イベント・カウンタ0nのカウンタ・クロック設定を参照してください。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF30AH

	7	6	5	4	3	2	1	0
SELCNT1	0	0	ISEL15	ISEL14	ISEL13	ISEL12	ISEL11	ISEL10

(6) 16ビット・タイマ/イベント・カウンタ0nのカウンタ・クロック設定

16ビット・タイマ/イベント・カウンタ0nのカウンタ・クロックは、PRM0n.PRM0n1, PRM0n0ビット、SELCNT1.ISEL1nビットを組み合わせて設定します。

(a) 16ビット・タイマ/イベント・カウンタ00, 16ビット・タイマ/イベント・カウンタ02の場合

SELCNT1レジスタ	PRM0nレジスタ		カウンタ・クロックの選択 <sup>注1</sup>				
	ISEL1nビット	PRM0n1ビット	PRM0n0ビット	カウンタ・クロック	f <sub>xx</sub> = 20 MHz	f <sub>xx</sub> = 16 MHz	f <sub>xx</sub> = 10 MHz
0	0	0	0	f <sub>xx</sub> /2	100 ns	125 ns	200 ns
0	0	1	1	f <sub>xx</sub> /4	200 ns	250 ns	400 ns
0	1	0	0	f <sub>xx</sub> /8	400 ns	500 ns	800 ns
0	1	1	1	Tl0n0の有効エッジ <sup>注2</sup>	-	-	-
1	0	0	0	f <sub>xx</sub> /32	1.6 μs	2.0 μs	3.2 μs
1	0	1	1	f <sub>xx</sub> /64	3.2 μs	4.0 μs	6.4 μs
1	1	0	0	f <sub>xx</sub> /128	6.4 μs	8.0 μs	12.8 μs
1	1	1	1	設定禁止			

注1. 内部クロック選択時は、次の条件を満たすように設定してください。

- ・ V<sub>DD</sub> = REGC = 4.0 ~ 5.5 V : カウンタ・クロック 10 MHz
- ・ V<sub>DD</sub> = 4.0 ~ 5.5 V, REGC = 10 μF : カウンタ・クロック 5 MHz
- ・ V<sub>DD</sub> = REGC = 2.7 ~ 4.0 V : カウンタ・クロック 5 MHz

2. 外部クロックには、内部クロック (f<sub>xx</sub>/4) の2周期分より長いパルスが必要です。

備考 n = 0, 2

(b) 16ビット・タイマ/イベント・カウンタ01の場合

SELCNT1レジスタ	PRM01レジスタ		カウント・クロックの選択 <sup>注1</sup>			
	ISEL11ビット	PRM011ビット	PRM010ビット	カウント・クロック	f <sub>xx</sub> = 20 MHz	f <sub>xx</sub> = 16 MHz
0	0	0	f <sub>xx</sub>	設定禁止	設定禁止	100 ns
0	0	1	f <sub>xx</sub> /4	200 ns	250 ns	400 ns
0	1	0	INTWT	-	-	-
0	1	1	Ti010の有効エッジ <sup>注2</sup>	-	-	-
1	0	0	f <sub>xx</sub> /2	100 ns	125 ns	200 ns
1	0	1	f <sub>xx</sub> /8	400 ns	500 ns	800 ns
1	1	0	f <sub>xx</sub> /16	800 ns	1.0 μs	1.6 μs
1	1	1	設定禁止			

注1. 内部クロック選択時は、次の条件を満たすように設定してください。

- ・ V<sub>DD</sub> = REGC = 4.0 ~ 5.5 V : カウント・クロック 10 MHz
- ・ V<sub>DD</sub> = 4.0 ~ 5.5 V, REGC = 10 μF : カウント・クロック 5 MHz
- ・ V<sub>DD</sub> = REGC = 2.7 ~ 4.0 V : カウント・クロック 5 MHz

2. 外部クロックには、内部クロック (f<sub>xx</sub>/4) の2周期分より長いパルスが必要です。

(c) 16ビット・タイマ/イベント・カウンタ03の場合

SELCNT1レジスタ	PRM03レジスタ		カウント・クロックの選択 <sup>注1</sup>			
	ISEL13ビット	PRM031ビット	PRM030ビット	カウント・クロック	f <sub>xx</sub> = 20 MHz	f <sub>xx</sub> = 16 MHz
0	0	0	f <sub>xx</sub> /4	200 ns	250 ns	400 ns
0	0	1	f <sub>xx</sub> /16	800 ns	1.0 μs	1.6 μs
0	1	0	f <sub>xx</sub> /512	25.6 μs	32.0 μs	51.2 μs
0	1	1	Ti030の有効エッジ <sup>注2</sup>	-	-	-
1	0	0	f <sub>xx</sub>	設定禁止	設定禁止	100 ns
1	0	1	f <sub>xx</sub> /2	100 ns	125 ns	200 ns
1	1	0	f <sub>xx</sub> /8	400 ns	500 ns	800 ns
1	1	1	設定禁止			

注1. 内部クロック選択時は、次の条件を満たすように設定してください。

- ・ V<sub>DD</sub> = REGC = 4.0 ~ 5.5 V : カウント・クロック 10 MHz
- ・ V<sub>DD</sub> = 4.0 ~ 5.5 V, REGC = 10 μF : カウント・クロック 5 MHz
- ・ V<sub>DD</sub> = REGC = 2.7 ~ 4.0 V : カウント・クロック 5 MHz

2. 外部クロックには、内部クロック (f<sub>xx</sub>/4) の2周期分より長いパルスが必要です。



(d) 16ビット・タイマ/イベント・カウンタ04の場合

SELCNT1レジスタ	PRM04レジスタ		カウント・クロックの選択 <sup>注1</sup>			
	ISEL14ビット	PRM041ビット	PRM040ビット	カウント・クロック	f <sub>xx</sub> = 20 MHz	f <sub>xx</sub> = 16 MHz
0	0	0	f <sub>xx</sub> /2	100 ns	125 ns	200 ns
0	0	1	f <sub>xx</sub> /4	200 ns	250 ns	400 ns
0	1	0	f <sub>xx</sub> /8	400 ns	500 ns	800 ns
0	1	1	T1040の有効エッジ <sup>注2</sup>	-	-	-
1	0	0	f <sub>xx</sub> /32	1.6 μs	2.0 μs	3.2 μs
1	0	1	f <sub>xx</sub> /64	3.2 μs	4.0 μs	6.4 μs
1	1	0	f <sub>xx</sub> /512	25.6 μs	32.0 μs	51.2 μs
1	1	1	設定禁止			

注1. 内部クロック選択時は、次の条件を満たすように設定してください。

- ・ V<sub>DD</sub> = REGC = 4.0 ~ 5.5 V : カウント・クロック 10 MHz
- ・ V<sub>DD</sub> = 4.0 ~ 5.5 V, REGC = 10 μF : カウント・クロック 5 MHz
- ・ V<sub>DD</sub> = REGC = 2.7 ~ 4.0 V : カウント・クロック 5 MHz

2. 外部クロックには、内部クロック (f<sub>xx</sub>/4) の2周期分より長いパルスが必要です。

(e) 16ビット・タイマ/イベント・カウンタ05の場合

SELCNT1レジスタ	PRM05レジスタ		カウント・クロックの選択 <sup>注1</sup>			
	ISEL15ビット	PRM051ビット	PRM050ビット	カウント・クロック	f <sub>xx</sub> = 20 MHz	f <sub>xx</sub> = 16 MHz
0	0	0	f <sub>xx</sub>	設定禁止	設定禁止	100 ns
0	0	1	f <sub>xx</sub> /4	200 ns	250 ns	400 ns
0	1	0	f <sub>xx</sub> /256	12.8 μs	16.0 μs	25.6 μs
0	1	1	T1050の有効エッジ <sup>注2</sup>	-	-	-
1	0	0	f <sub>xx</sub> /2	100 ns	125 ns	200 ns
1	0	1	f <sub>xx</sub> /8	400 ns	500 ns	800 ns
1	1	0	f <sub>xx</sub> /16	800 ns	1.0 μs	1.6 μs
1	1	1	設定禁止			

注1. 内部クロック選択時は、次の条件を満たすように設定してください。

- ・ V<sub>DD</sub> = REGC = 4.0 ~ 5.5 V : カウント・クロック 10 MHz
- ・ V<sub>DD</sub> = 4.0 ~ 5.5 V, REGC = 10 μF : カウント・クロック 5 MHz
- ・ V<sub>DD</sub> = REGC = 2.7 ~ 4.0 V : カウント・クロック 5 MHz

2. 外部クロックには、内部クロック (f<sub>xx</sub>/4) の2周期分より長いパルスが必要です。

## 8.4 動作

### 8.4.1 インターバル・タイマとしての動作

TMC0n.TMC0n3, TMC0n2ビット = 11 (TM0nレジスタとCR0n0レジスタの一致でカウント・クリア&スタート・モード)に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM0nレジスタとCR0n0レジスタの値が一致すると、TM0nレジスタを0000Hにクリアし、一致割り込み信号 (INTTM0n0) を発生します。この一定間隔で発生するINTTM0n0信号により、インターバル・タイマとして動作します。

- 備考1. 兼用端子の設定については表4 - 19 ポート端子を兼用端子として使用する場合は参照してください。
2. INTTM0n0信号の割り込み許可については、第21章 割り込み/例外処理機能を参照してください。

図8 - 2 インターバル・タイマ動作のブロック図

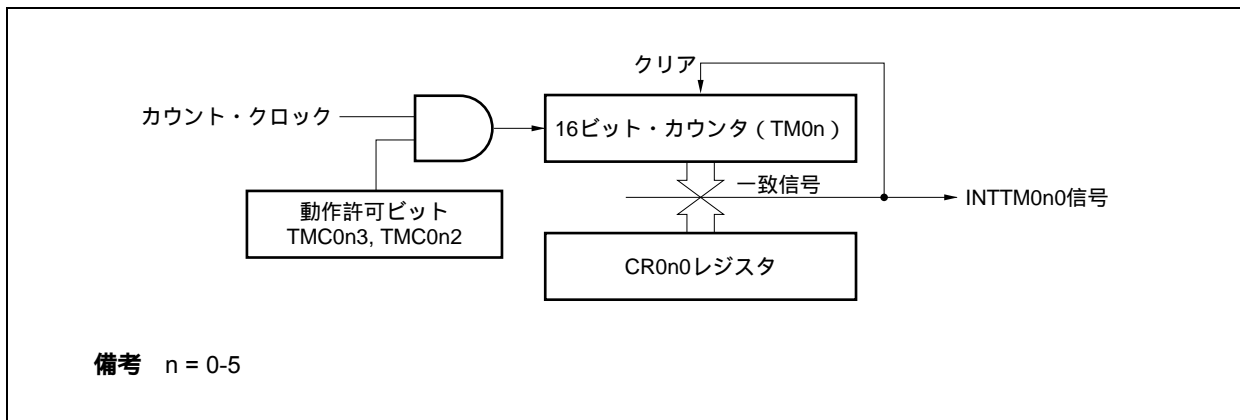


図8 - 3 インターバル・タイマ動作の基本タイミング例

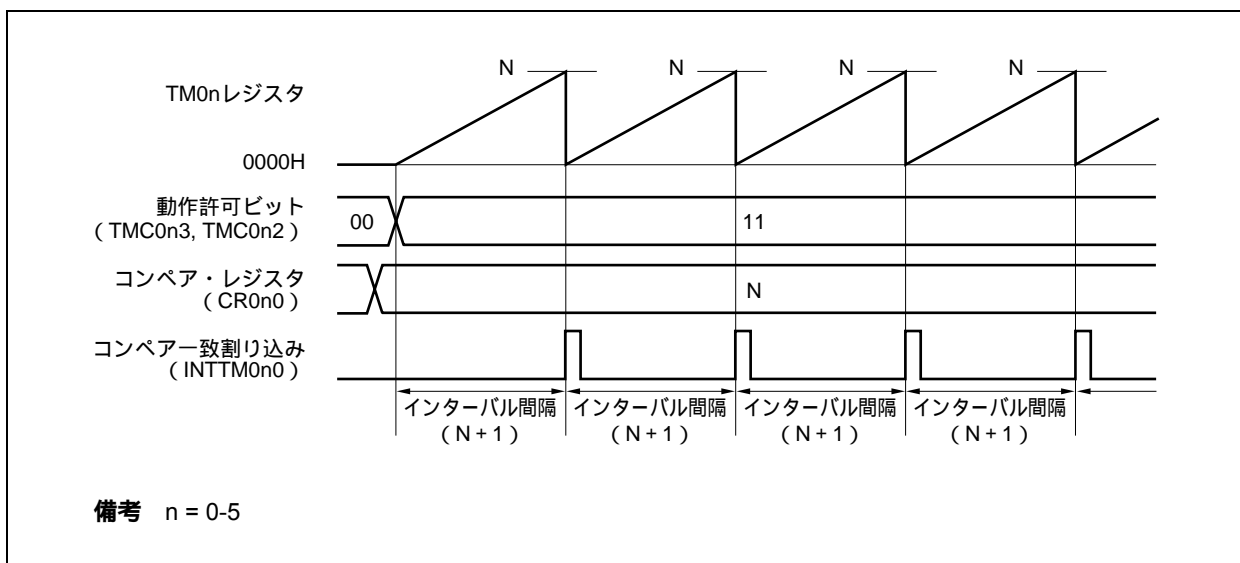
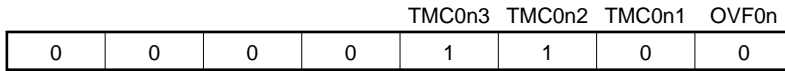


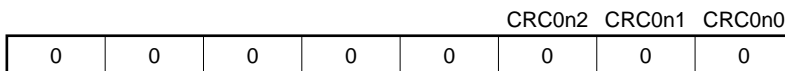
図8-4 インターバル・タイマ動作時のレジスタ設定内容例

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



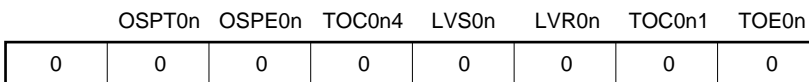
TM0nとCR0n0の一致で  
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

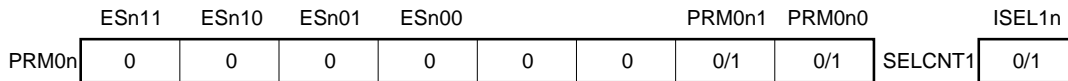


CR0n0をコンペア・レジスタ  
にする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)



(d) プリスケアラ・モード・レジスタ0n (PRM0n) , セレクタ動作制御レジスタ1 (SELCNT1)



カウント・クロック  
の選択

(e) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nレジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ0n0 (CR0n0)

CR0n0レジスタにMを設定した場合、インターバル間隔は次のようになります。

$$(M + 1) \times \text{カウント・クロック周期}$$

CR0n0レジスタへの0000Hの設定は禁止です。

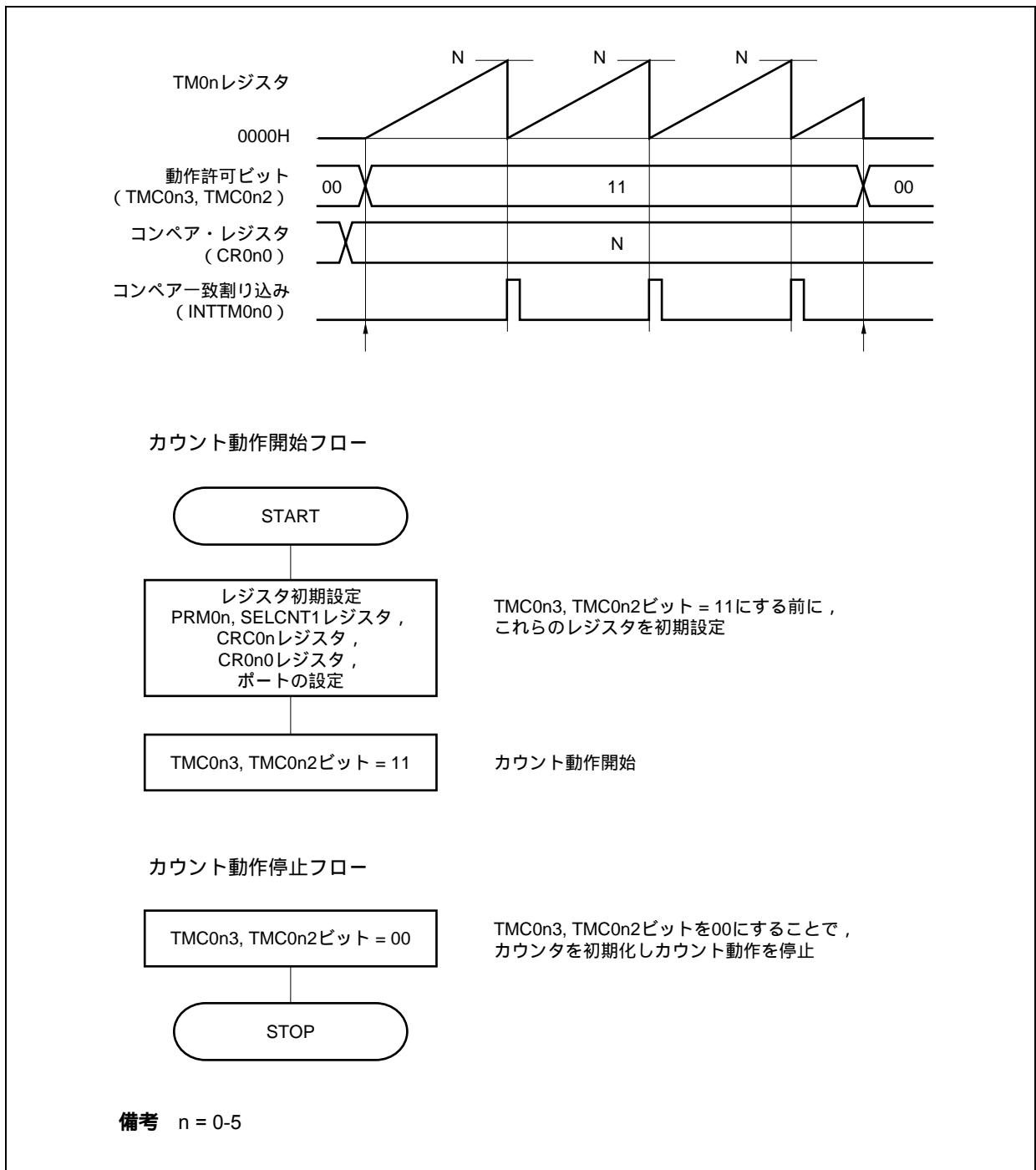
(g) 16ビット・キャプチャ/コンペア・レジスタ0n1 (CR0n1)

インターバル・タイマ機能では、通常、CR0n1レジスタを使用しません。しかしCR0n1レジスタの設定値と、TM0nレジスタの値が一致するとコンペア一致割り込み (INTTM0n1) が発生します。

したがって、割り込みマスク・フラグ (TM0MKn1) でマスク設定をしておいてください。

備考 n = 0-5

図8 - 5 インターバル・タイマ機能時のソフトウェア処理機能



### 8.4.2 方形波出力としての動作

インターバル・タイマ(8.4.1参照)として動作させたとき,TOC0nレジスタ = 03Hに設定することにより,TO0n端子から方形波を出力できます。

TMC0n.TMC0n3, TMC0n2ビット = 11 (TM0nレジスタとCR0n0レジスタの一致でカウント・クリア&スタート・モード)に設定すると,カウント・クロックに同期してカウント動作を開始します。

そのあと, TM0nレジスタとCR0n0レジスタの値が一致すると, TM0nレジスタを0000Hにクリアし, 割り込み信号 (INTTM0n0) を発生し, TO0n端子出力を反転します。この一定間隔で反転するTO0n端子出力により, 方形波出力として動作します。

- 備考1. 兼用端子の設定については表4 - 19 ポート端子を兼用端子として使用する場合は参照してください。
- 2. INTTM0n0信号の割り込み許可については,第21章 割り込み/例外処理機能を参照してください。

図8 - 6 方形波出力動作のブロック図

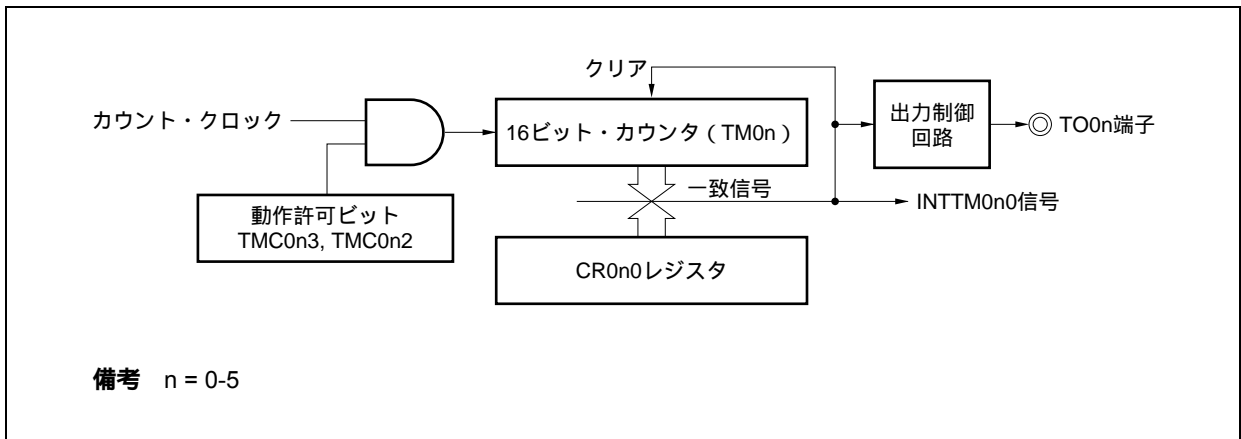


図8 - 7 方形波出力動作の基本タイミング例

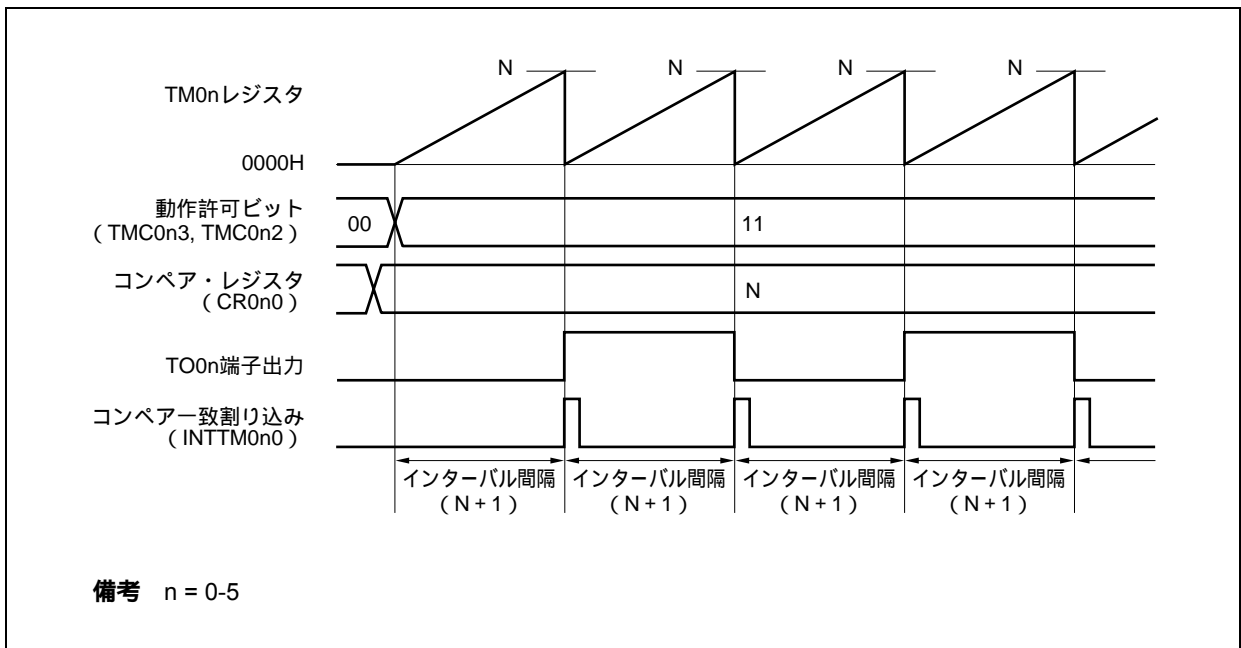


図8 - 8 方形波出力動作時のレジスタ設定内容例 (1/2)

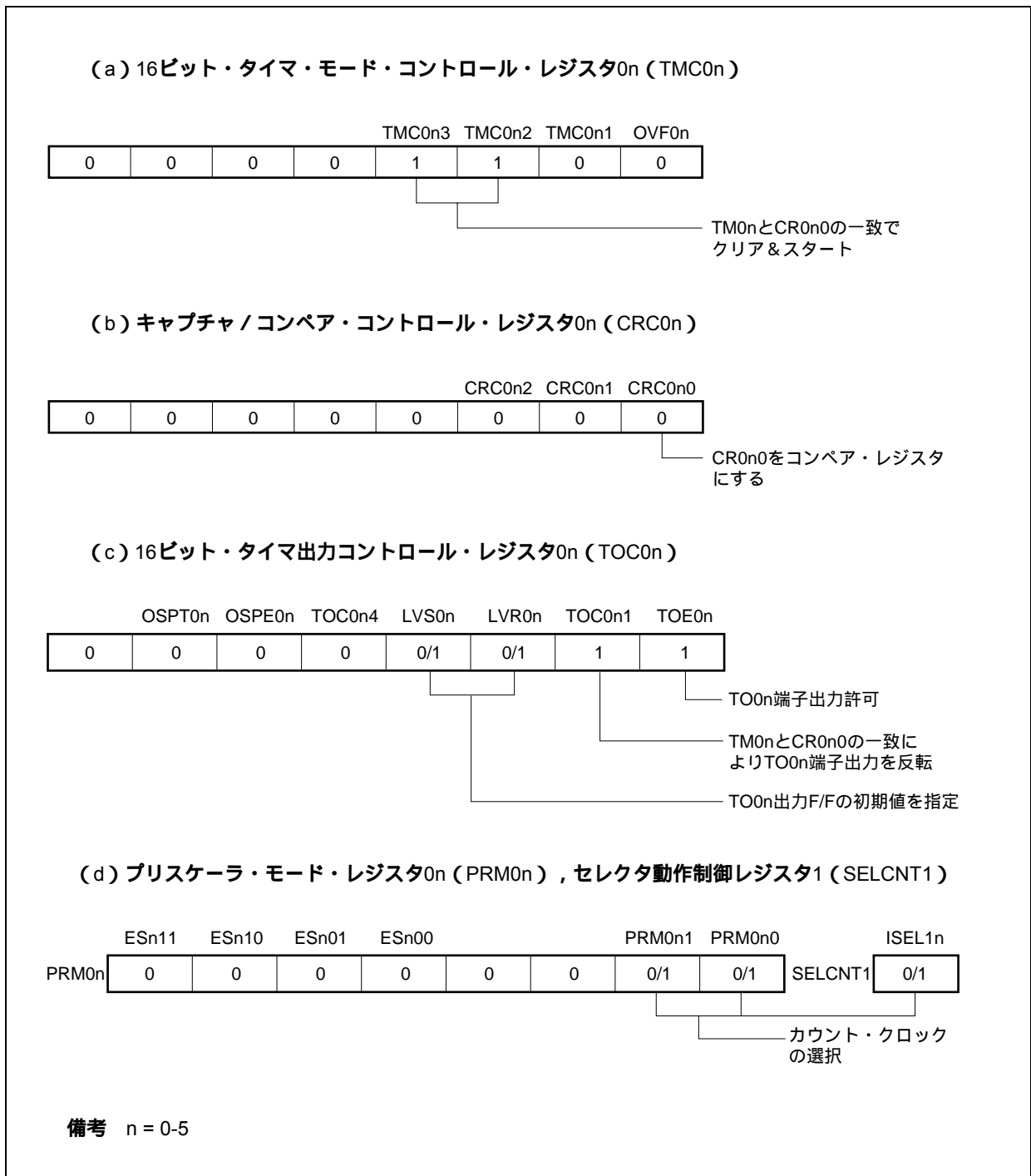


図8 - 8 方形波出力動作時のレジスタ設定内容例 (2/2)

**(e) 16ビット・タイマ・カウンタ0n (TM0n)**

TM0nレジスタをリードしてカウンタの値を読み出します。

**(f) 16ビット・キャプチャ/コンペア・レジスタ0n0 (CR0n0)**

CR0n0レジスタにMを設定した場合，方形波の周波数は次のようになります。

$$1 \div \{ 2 \times (M + 1) \times \text{カウント} \cdot \text{クロック周期} \}$$

CR0n0レジスタへの0000Hの設定は禁止です。

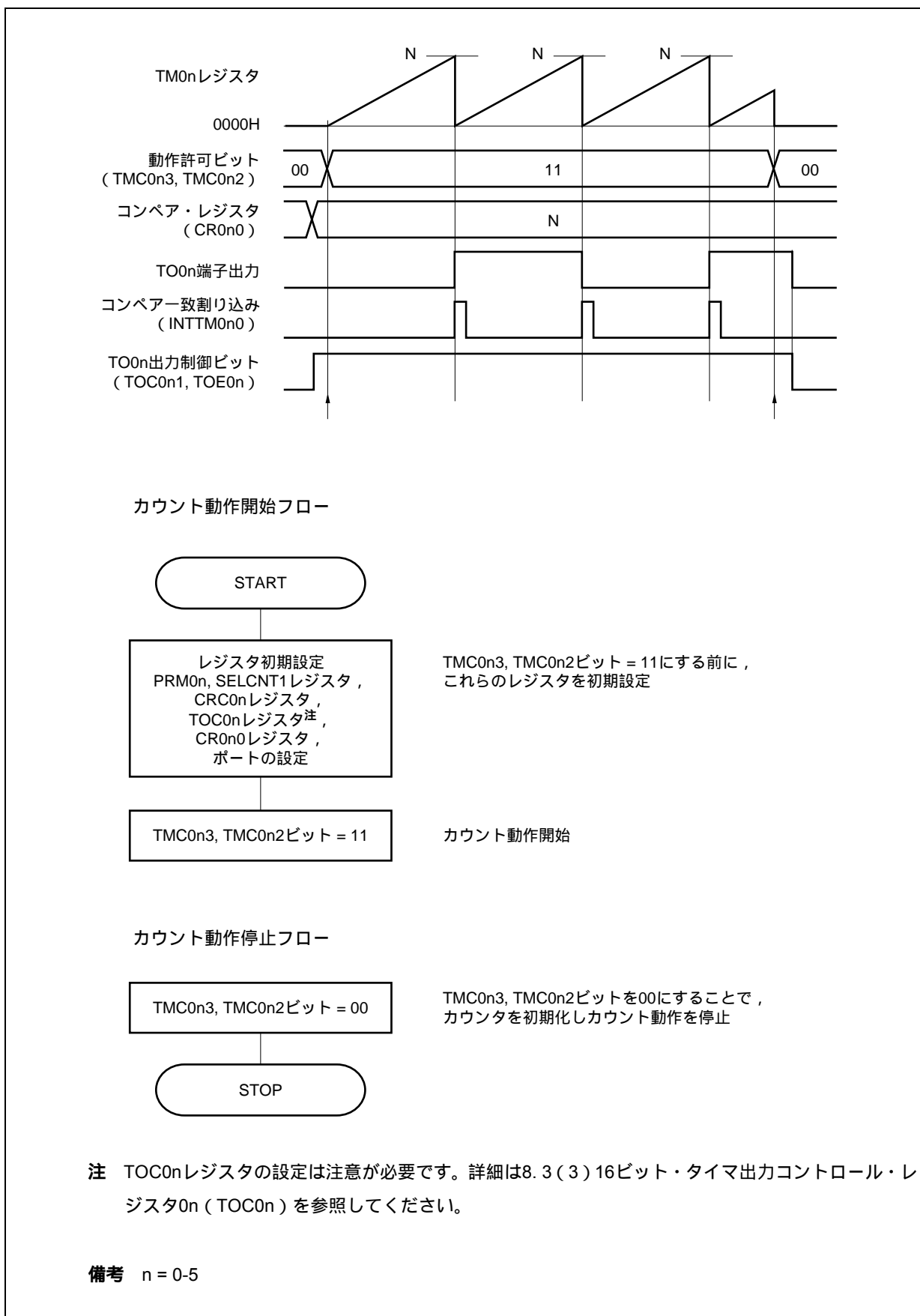
**(g) 16ビット・キャプチャ/コンペア・レジスタ0n1 (CR0n1)**

方形波出力機能では，通常，CR0n1レジスタを使用しません。しかしCR0n1レジスタの設定値と，TM0nレジスタの値が一致するとコンペア一致割り込み (INTTM0n1) が発生します。

したがって，割り込みマスク・フラグ (TM0MKn1) でマスク設定をしておいてください。

**備考** n = 0-5

図8 - 9 方形波出力機能時のソフトウェア処理例





### 8.4.3 外部イベント・カウンタとしての動作

PRM0n.PRM0n1, PRM0n0ビット = 11(TI0n0端子の有効エッジによるカウント・アップ), TMC0n.TMC0n3, TMC0n2ビット = 11に設定すると, 外部イベント入力の有効エッジをカウントし, TM0nレジスタとCR0n0レジスタとの一致割り込み信号(INTTM0n0)を発生します。

外部イベント入力の端子にはTI0n0端子を使用します。したがって, TI0n0有効エッジ入力によるクリア&スタート・モード(TMC0n3, TMC0n2ビット = 10)では, 外部イベント・カウンタとして使用できません。

INTTM0n0信号は, 次のタイミングごとに発生します。

- ・外部イベント入力の有効エッジ × (CR0n0レジスタ設定値 + 1)

ただし, 動作開始直後から初回の一致割り込みだけは, 次のタイミングで発生します。

- ・外部イベント入力の有効エッジ × (CR0n0レジスタ設定値 + 2)

有効エッジは, TI0n0端子入力信号を $f_{xx}/4$ のクロック周期でサンプリングを行い, 2回連続して有効レベルを検出したときに, はじめて検出されます。したがって, 短いパルス幅のノイズを除去できます。

**備考1.** 兼用端子(TI0n0)の設定については, 表4-19 ポート端子を兼用端子として使用する場合を参照してください。

2. INTTM0n0信号の割り込み許可については, 第21章 割り込み/例外処理機能を参照してください。

図8-10 外部イベント・カウンタとしての動作のブロック図

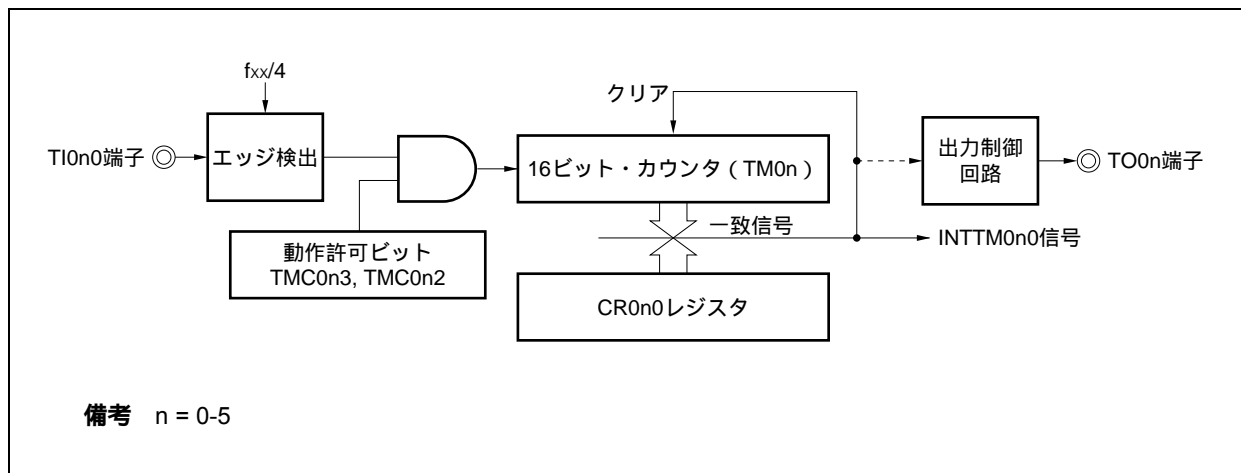


図8 - 11 外部イベント・カウンタ・モード時のレジスタ設定内容例 (1/2)

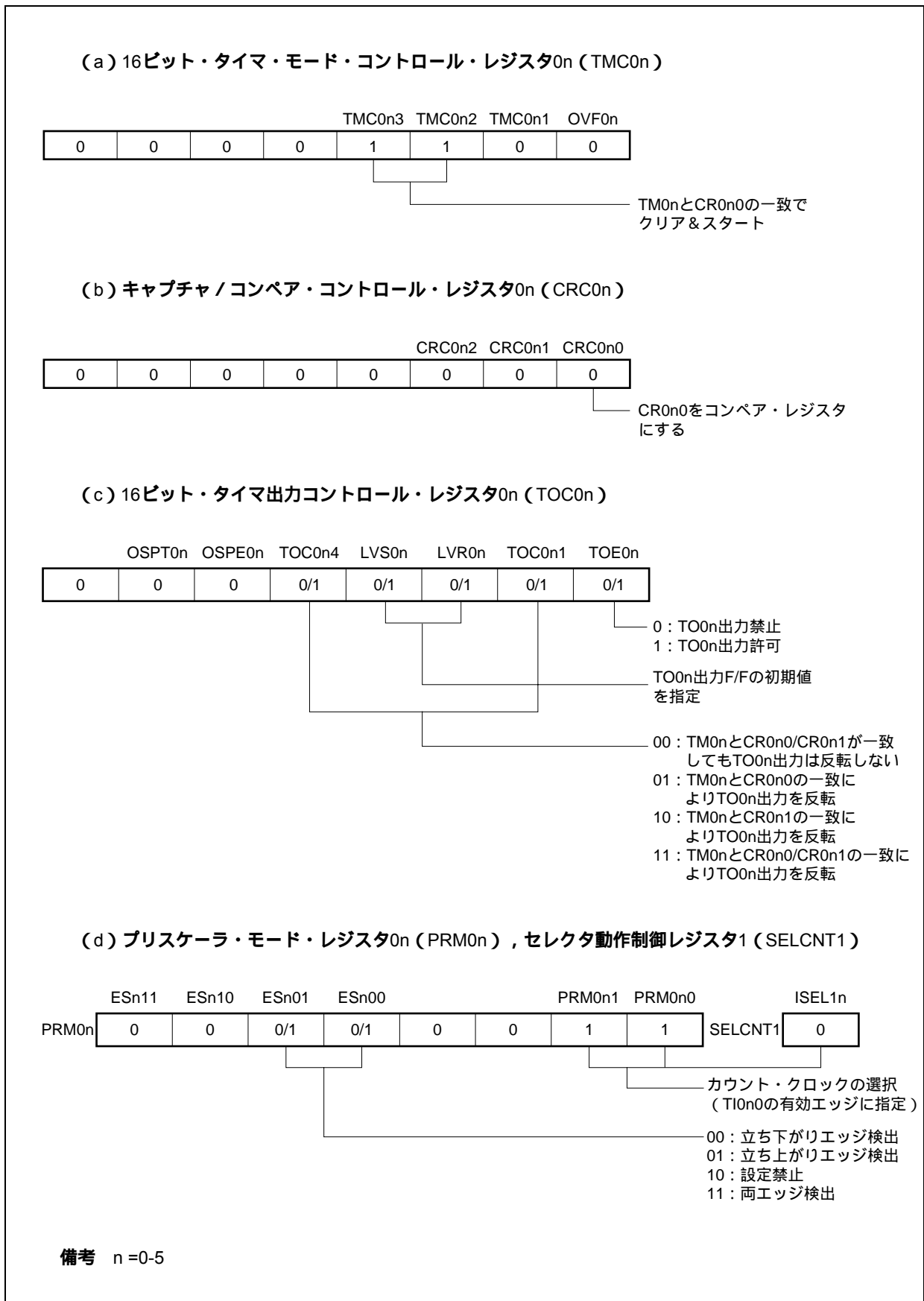


図8 - 11 外部イベント・カウンタ・モード動作時のレジスタ設定内容例 (2/2)

**(e) 16ビット・タイマ・カウンタ0n (TM0n)**

TM0nレジスタをリードしてカウンタの値を読み出します。

**(f) 16ビット・キャプチャ/コンペア・レジスタ0n0 (CR0n0)**

CR0n0レジスタにMを設定した場合，外部イベントがM + 1回入力されると，割り込み信号 (INTTM0n0) が発生します。

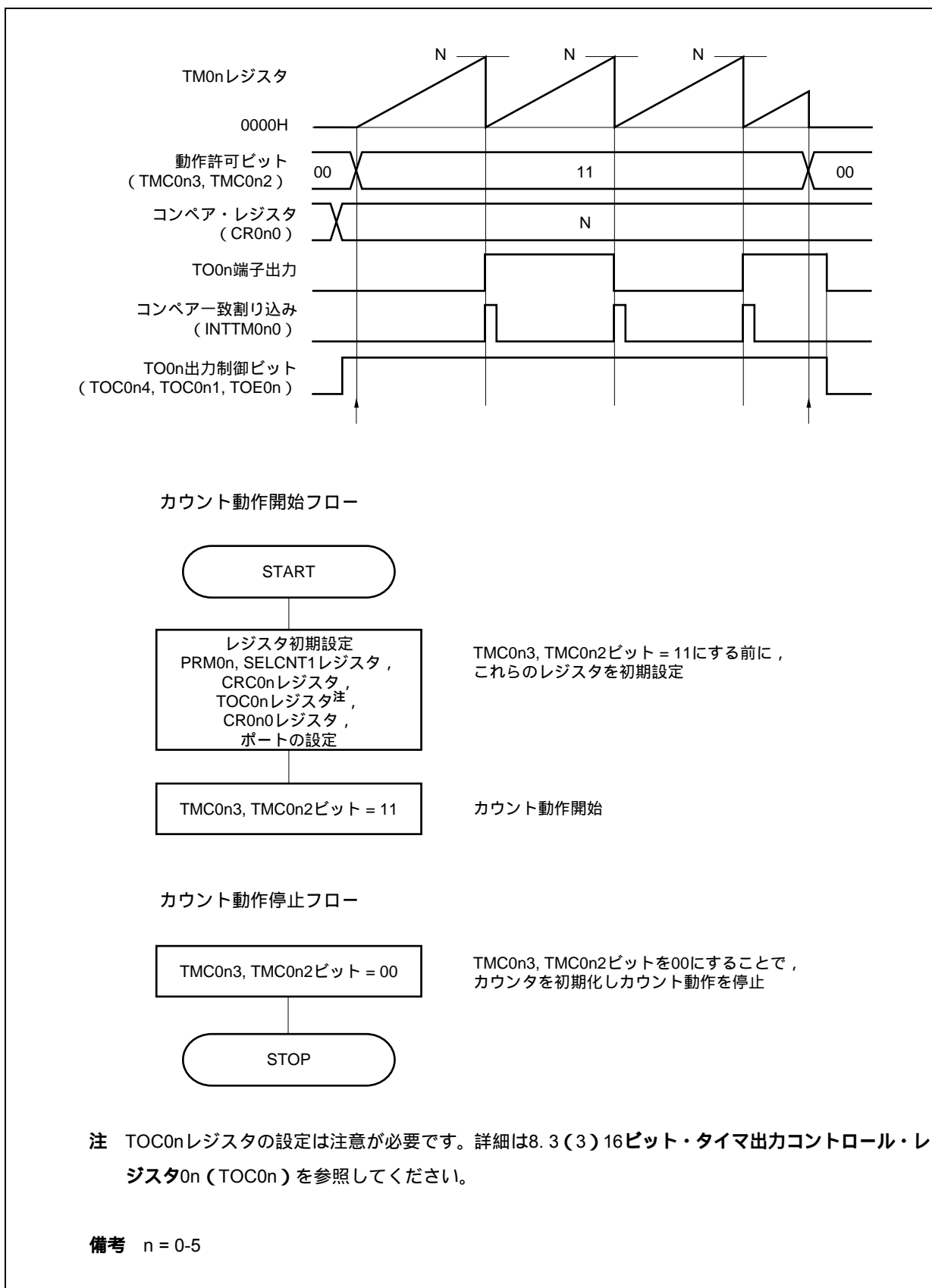
CR0n0レジスタへの0000Hの設定は禁止です。

**(g) 16ビット・キャプチャ/コンペア・レジスタ0n1 (CR0n1)**

TM0nレジスタとの一致で割り込み信号 (INTTM0n1) を発生します。TM0nレジスタのカウンタ値はクリアされません。

**備考** n = 0-5

図8 - 12 外部イベント・カウンタ・モード動作時のソフトウェア処理例



#### 8.4.4 TI0n0端子の有効エッジ入力によるクリア&スタート・モードとしての動作

TMC0n.TMC0n3, TMC0n2ビット = 10 (TI0n0端子の有効エッジ入力によるクリア&スタート・モード)に設定し, カウント・クロック (PRM0n, SELCNT1レジスタにて設定) を供給すると, TM0nレジスタがカウント・アップを開始します。カウント動作中にTI0n0端子の有効エッジを検出すると, TM0nレジスタを0000Hにクリアして, 再度カウント・アップします。TI0n0端子の有効エッジがない場合, TM0nレジスタはオーバフローして, カウントを続けます。

TI0n0端子の有効エッジは, TM0nレジスタのクリア要因です。動作開始直後のカウント・スタートの起動制御はしていません。

CR0n0, CR0n1レジスタは, コンペア・レジスタとしてもキャプチャ・レジスタとしても使用できます。

##### (a) CR0n0, CR0n1レジスタをコンペア・レジスタとして使用した場合

TM0nレジスタとCR0n0, CR0n1レジスタの一致でINTTM0n0, INTTM0n1信号が発生します。

##### (b) CR0n0, CR0n1レジスタをキャプチャ・レジスタとして使用した場合

TI0n1端子に有効エッジが入力される(またはTI0n0端子に有効エッジの逆相が入力される)と, TM0nレジスタのカウント値をCR0n0レジスタにキャプチャし, INTTM0n0信号が発生します。

TI0n0端子に有効エッジが入力されると, TM0nレジスタのカウント値をCR0n1レジスタにキャプチャし, INTTM0n1信号が発生します。TI0n0端子の有効エッジでキャプチャ動作と同時にカウンタを0000Hにクリアします。

**注意** カウント・クロックをTI0n0端子の有効エッジ (PRM0n.PR0n1, PRM0n0ビット = 11) に設定しないでください。PRM0n1, PRM0n0ビット = 11に設定すると, TM0nレジスタがクリアされてしまいます。

**備考1.** 兼用端子 (TI0n0) の設定については, 表4 - 19 ポート端子を兼用端子として使用する場合を参照してください。

**2.** INTTM0n0信号の割り込み許可については, 第21章 割り込み/例外処理機能を参照してください。

(1) TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作

(CR0n0レジスタ：コンペア・レジスタ，CR0n1レジスタ：コンペア・レジスタ設定時)

図8 - 13 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR0n0レジスタ：コンペア・レジスタ / CR0n1レジスタ：コンペア・レジスタ)

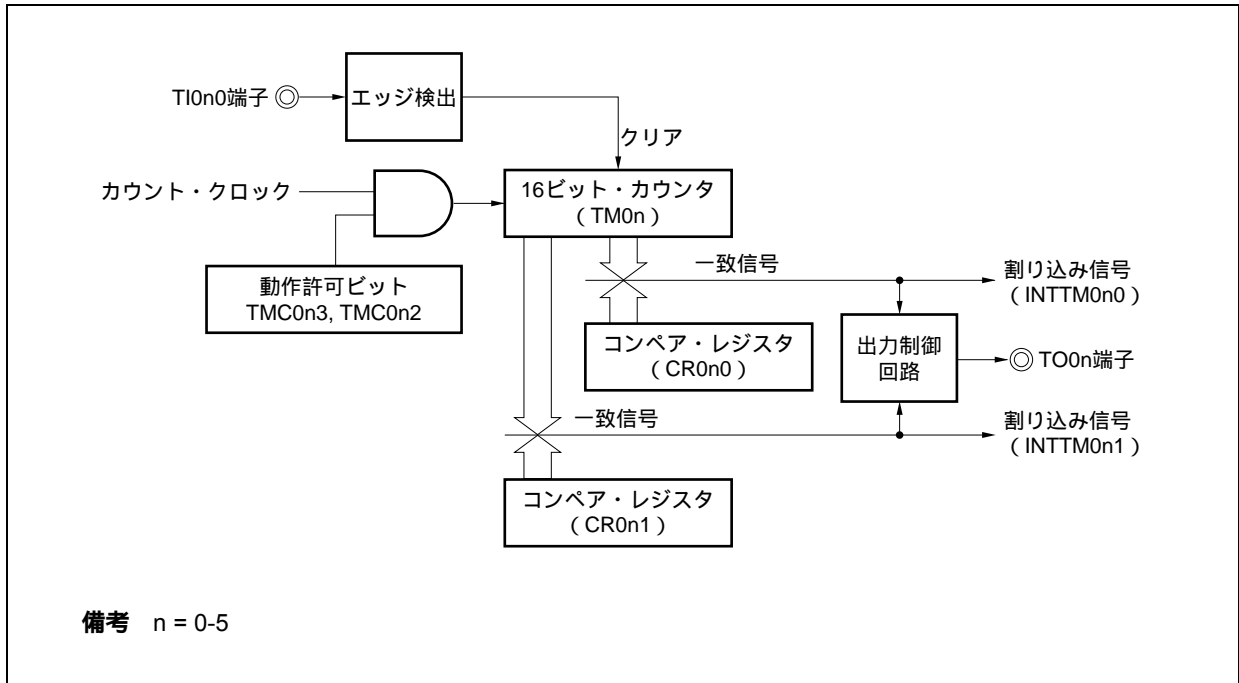
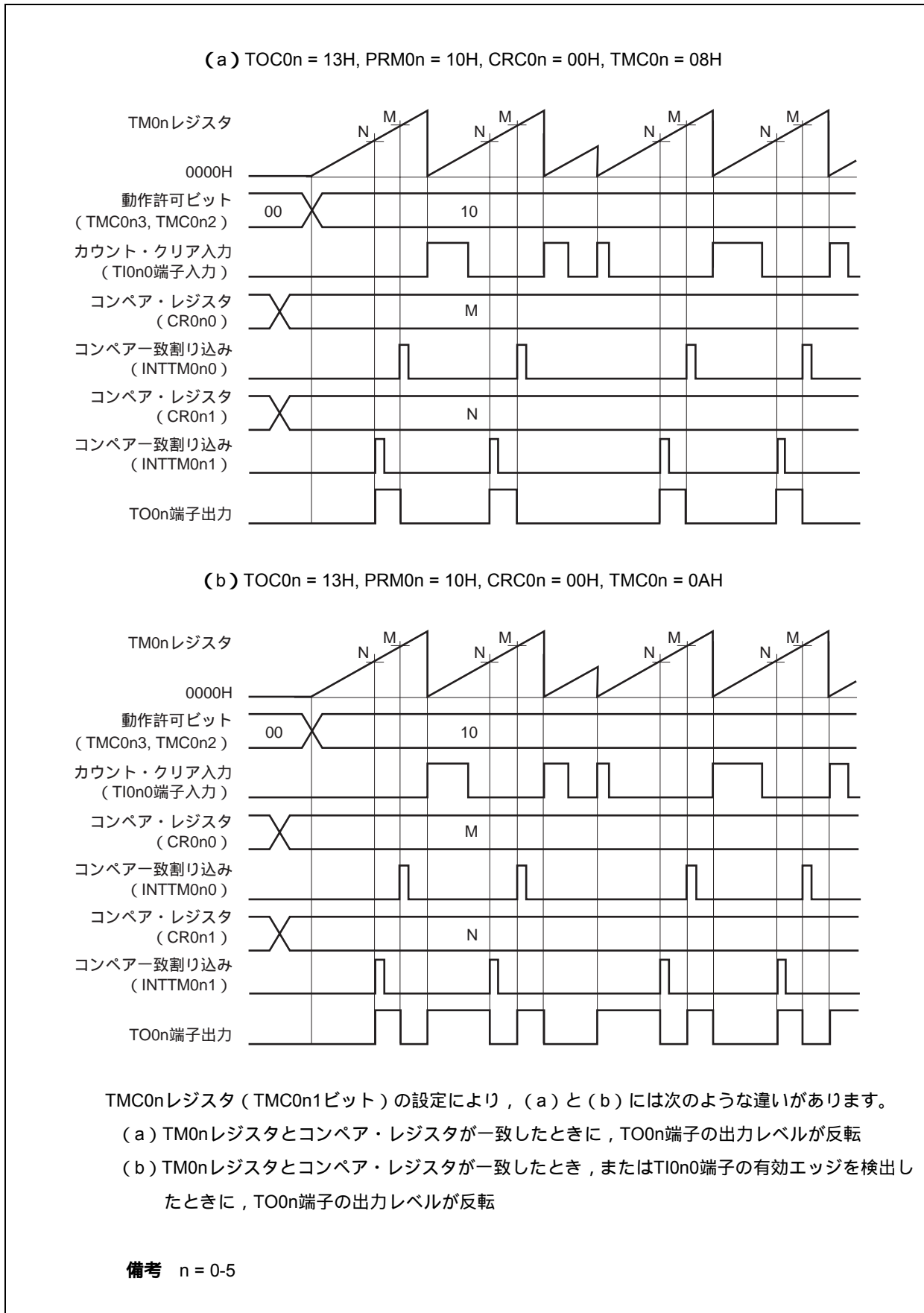


図8 - 14 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例  
 (CR0n0レジスタ：コンペア・レジスタ / CR0n1レジスタ：コンペア・レジスタ)



(2) TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作

(CR0n0レジスタ：コンペア・レジスタ，CR0n1レジスタ：キャプチャ・レジスタ設定時)

図8 - 15 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR0n0レジスタ：コンペア・レジスタ / CR0n1レジスタ：キャプチャ・レジスタ)

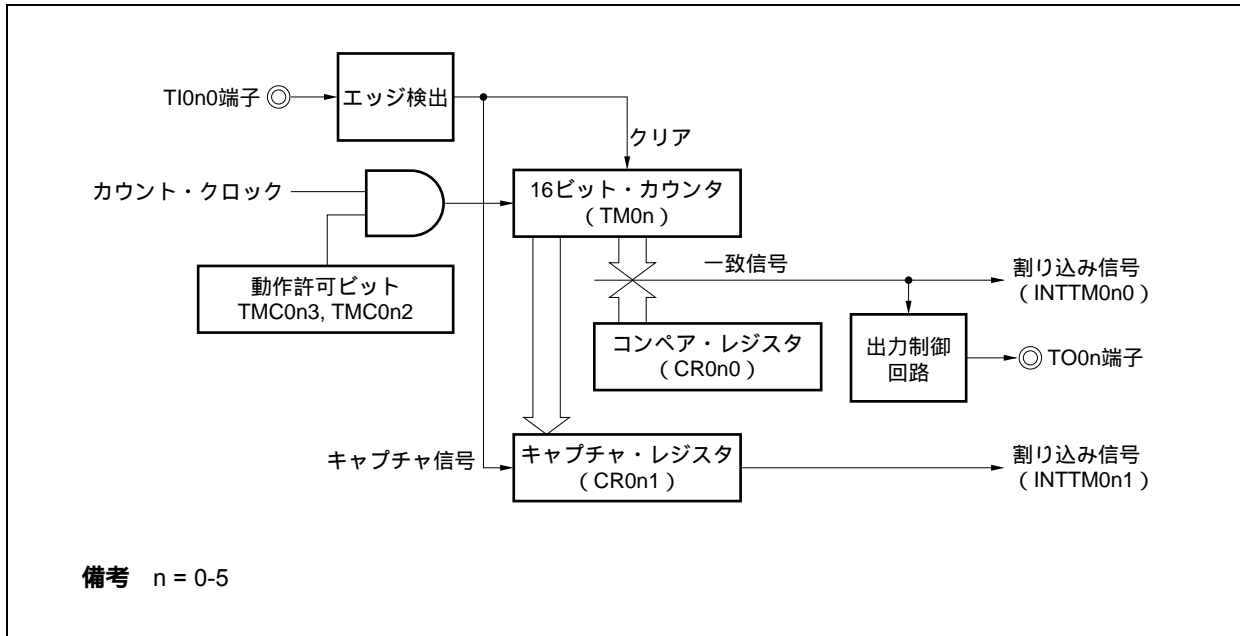




図8 - 16 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例  
 (CR0n0レジスタ：コンペア・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ) (1/2)

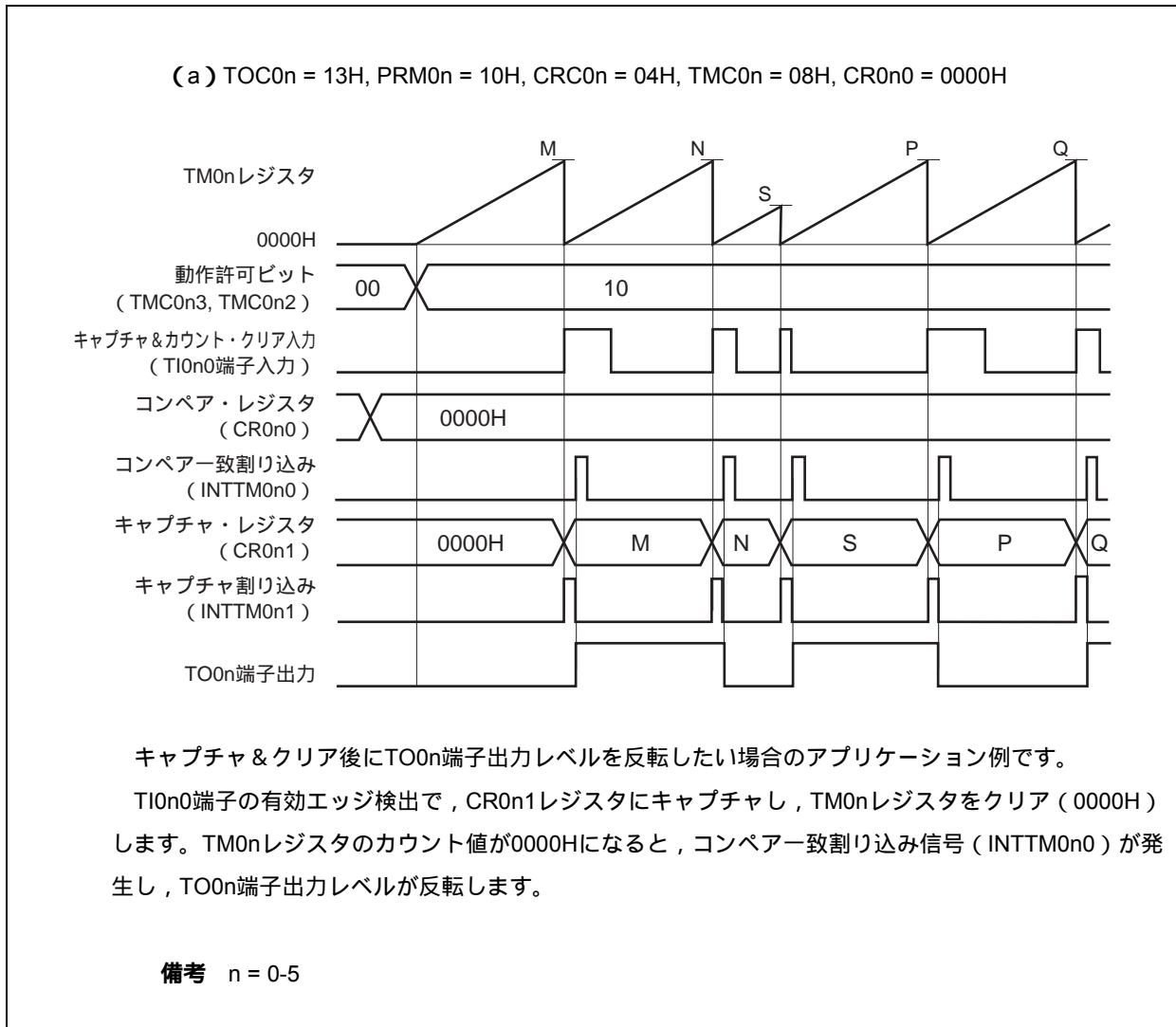
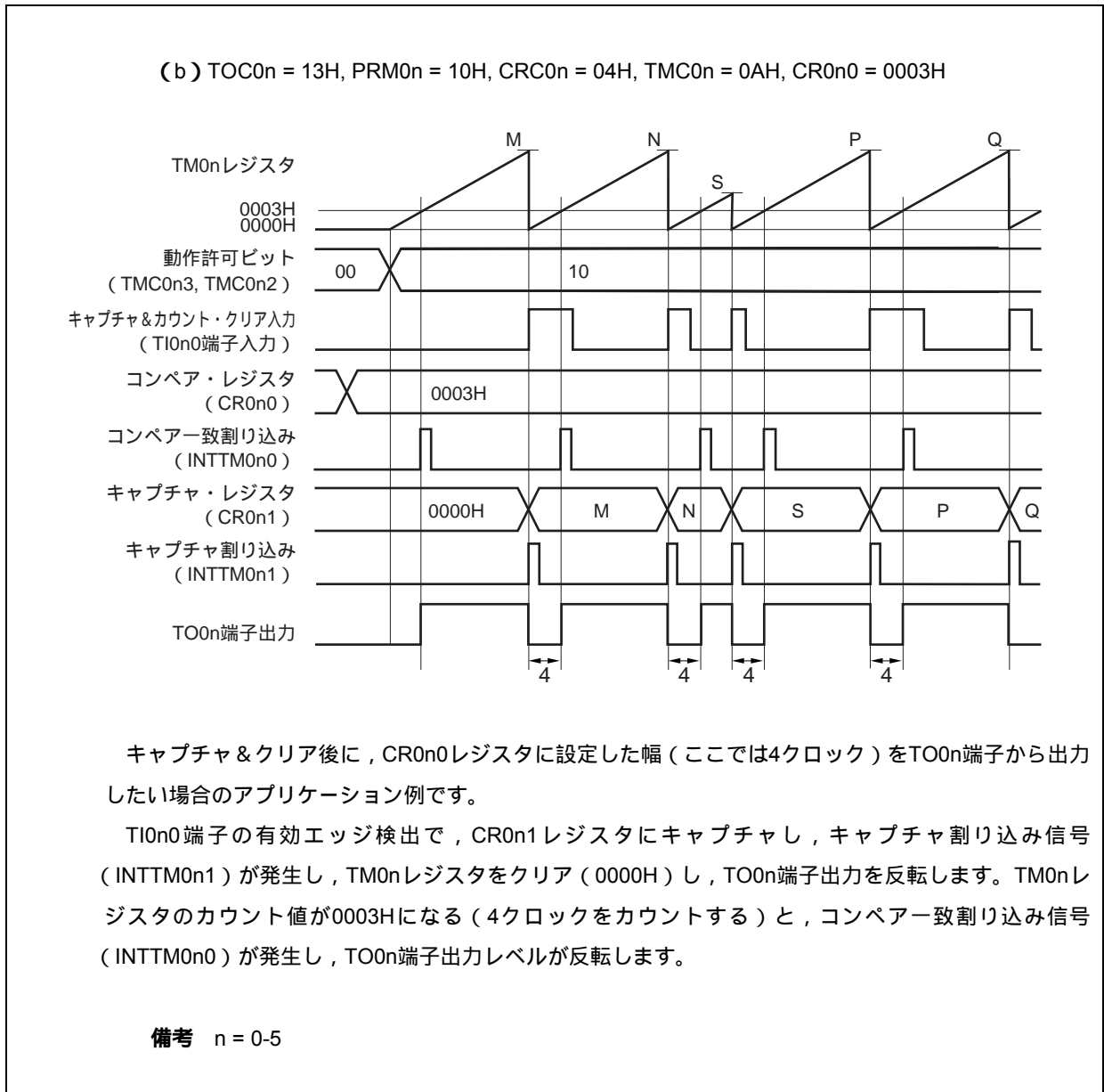


図8 - 16 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例  
 (CR0n0レジスタ：コンペア・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ) (2/2)



(3) TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作

(CR0n0レジスタ：キャプチャ・レジスタ，CR0n1レジスタ：コンペア・レジスタ設定時)

図8 - 17 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR0n0レジスタ：キャプチャ・レジスタ / CR0n1レジスタ：コンペア・レジスタ)

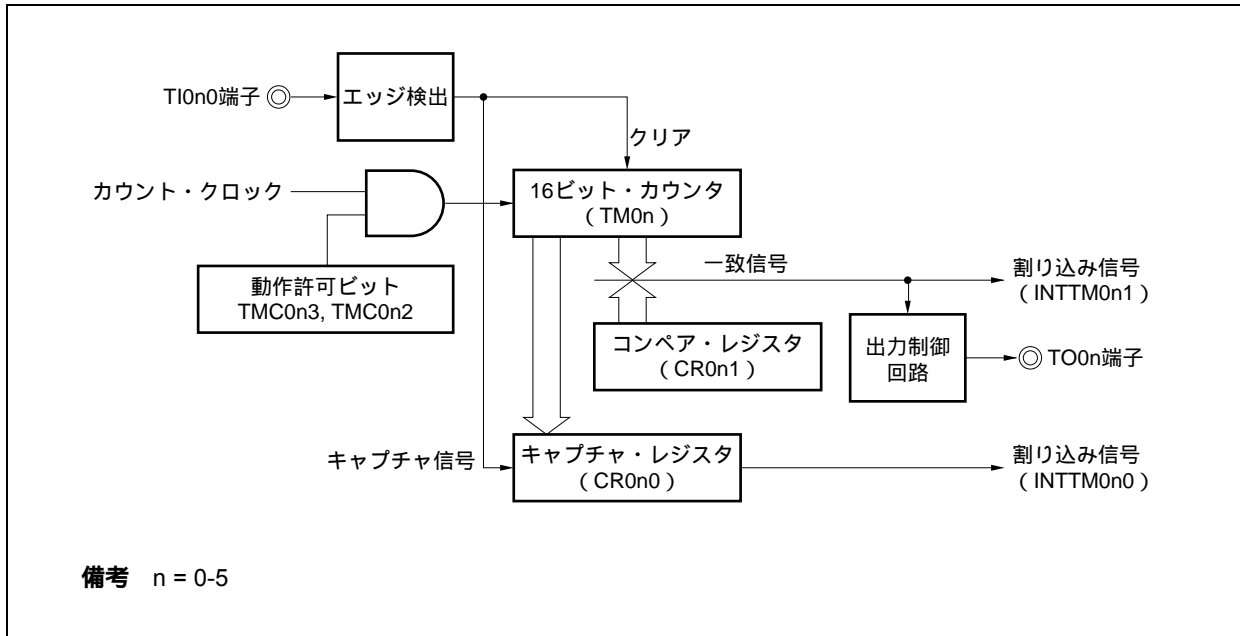


図8 - 18 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例  
 (CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：コンペア・レジスタ) (1/2)

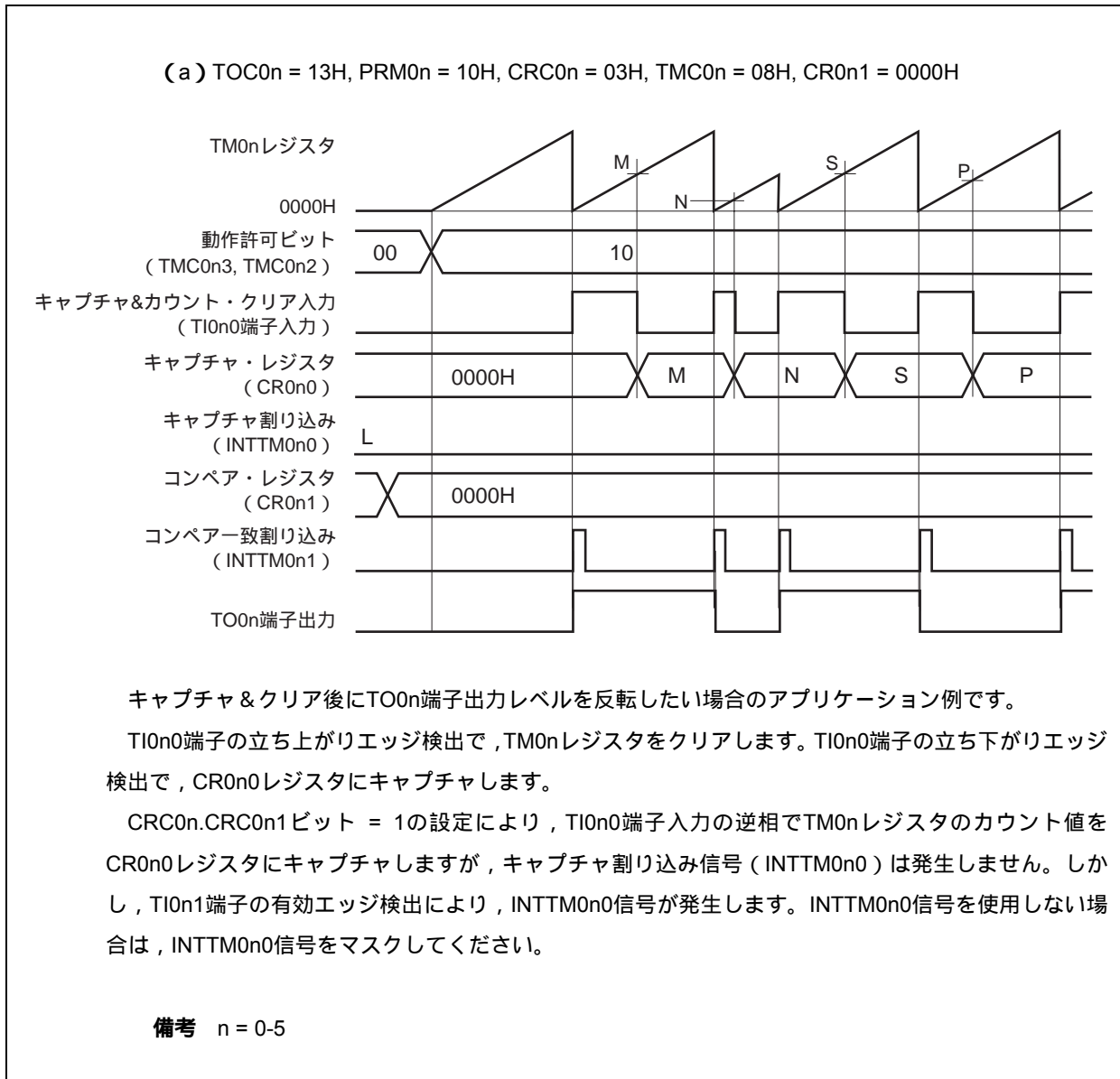
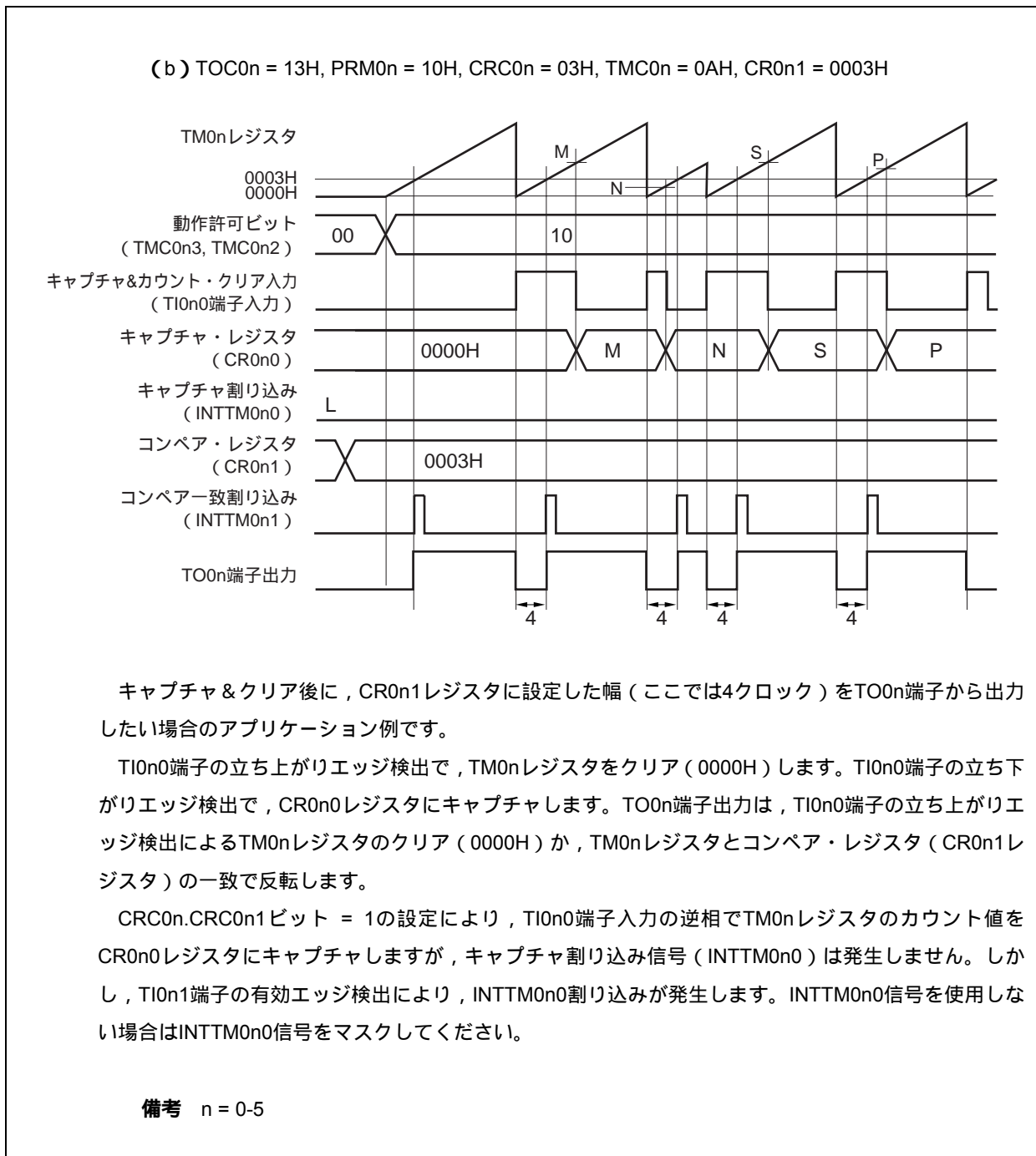


図8 - 18 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例  
 (CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：コンペア・レジスタ) (2/2)



(4) TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作

(CR0n0レジスタ：キャプチャ・レジスタ，CR0n1レジスタ：キャプチャ・レジスタ設定時)

図8 - 19 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR0n0レジスタ：キャプチャ・レジスタ / CR0n1レジスタ：キャプチャ・レジスタ)

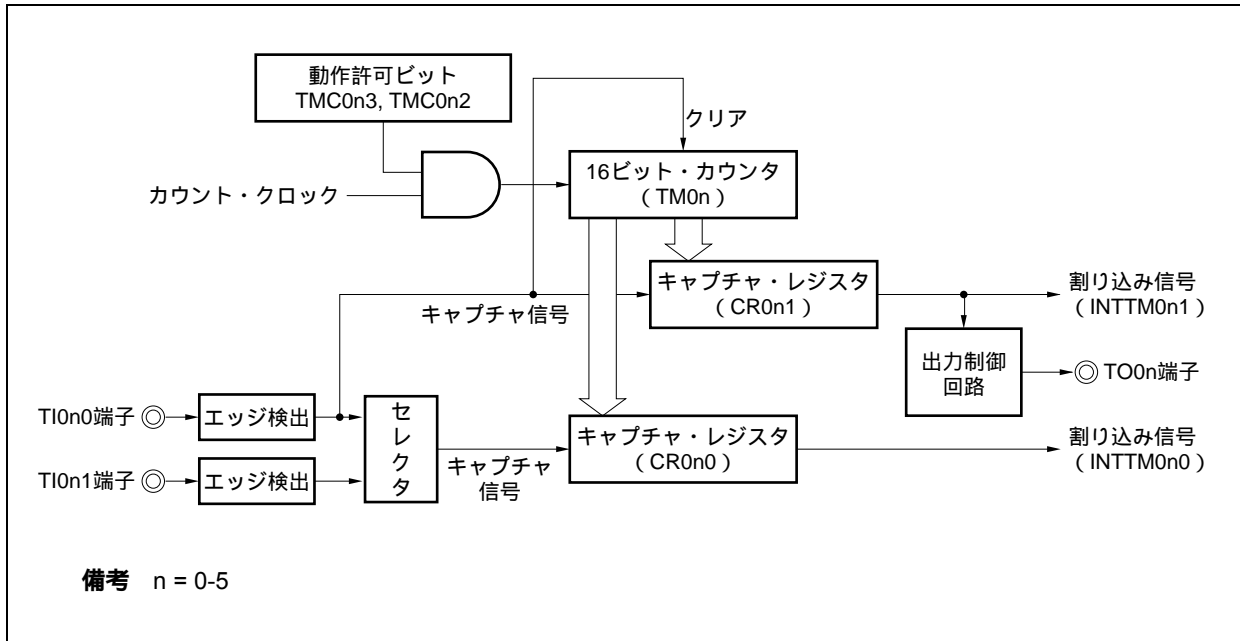


図8 - 20 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例  
 (CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ) (1/3)

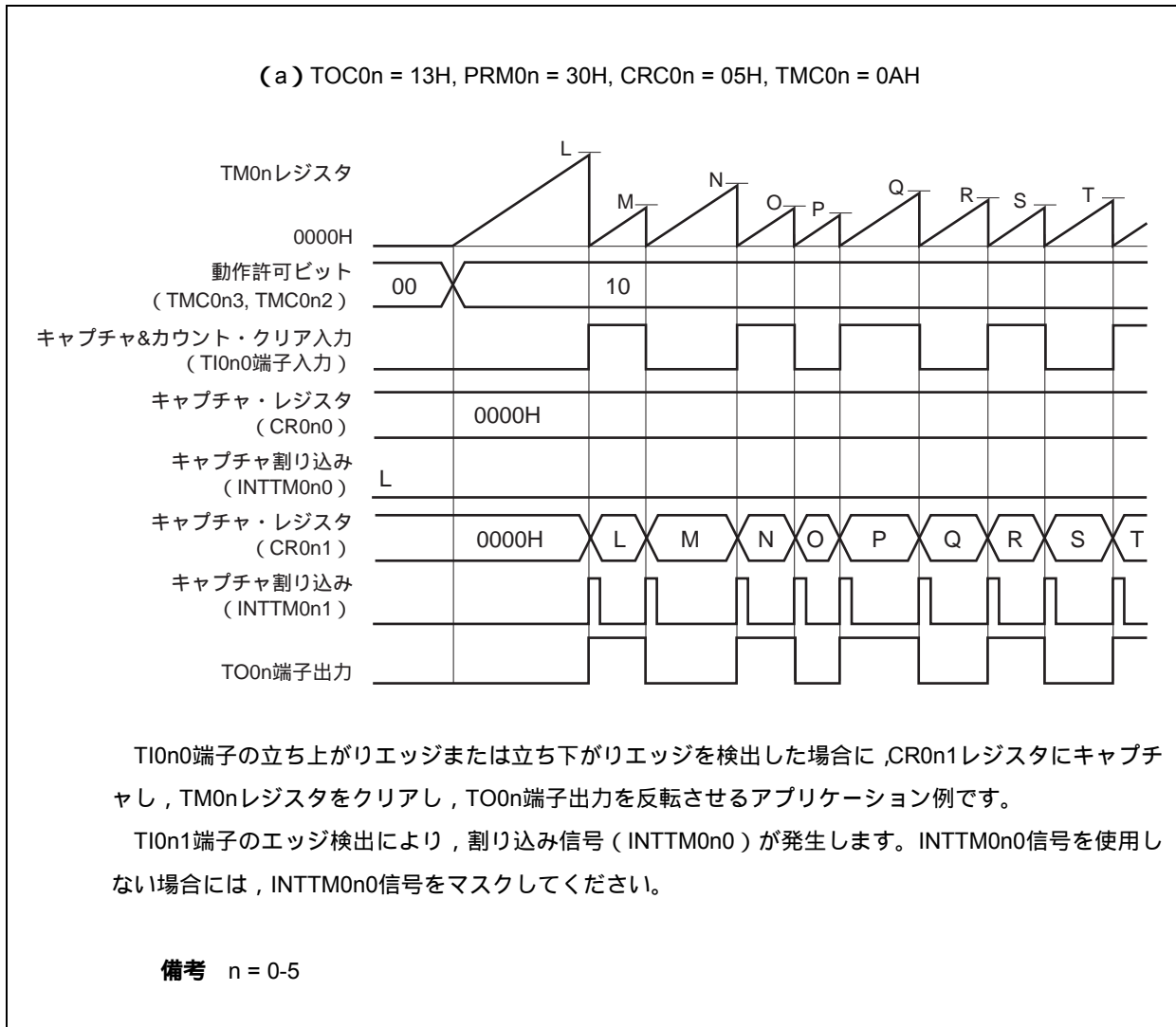


図8 - 20 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例  
 (CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ) (2/3)

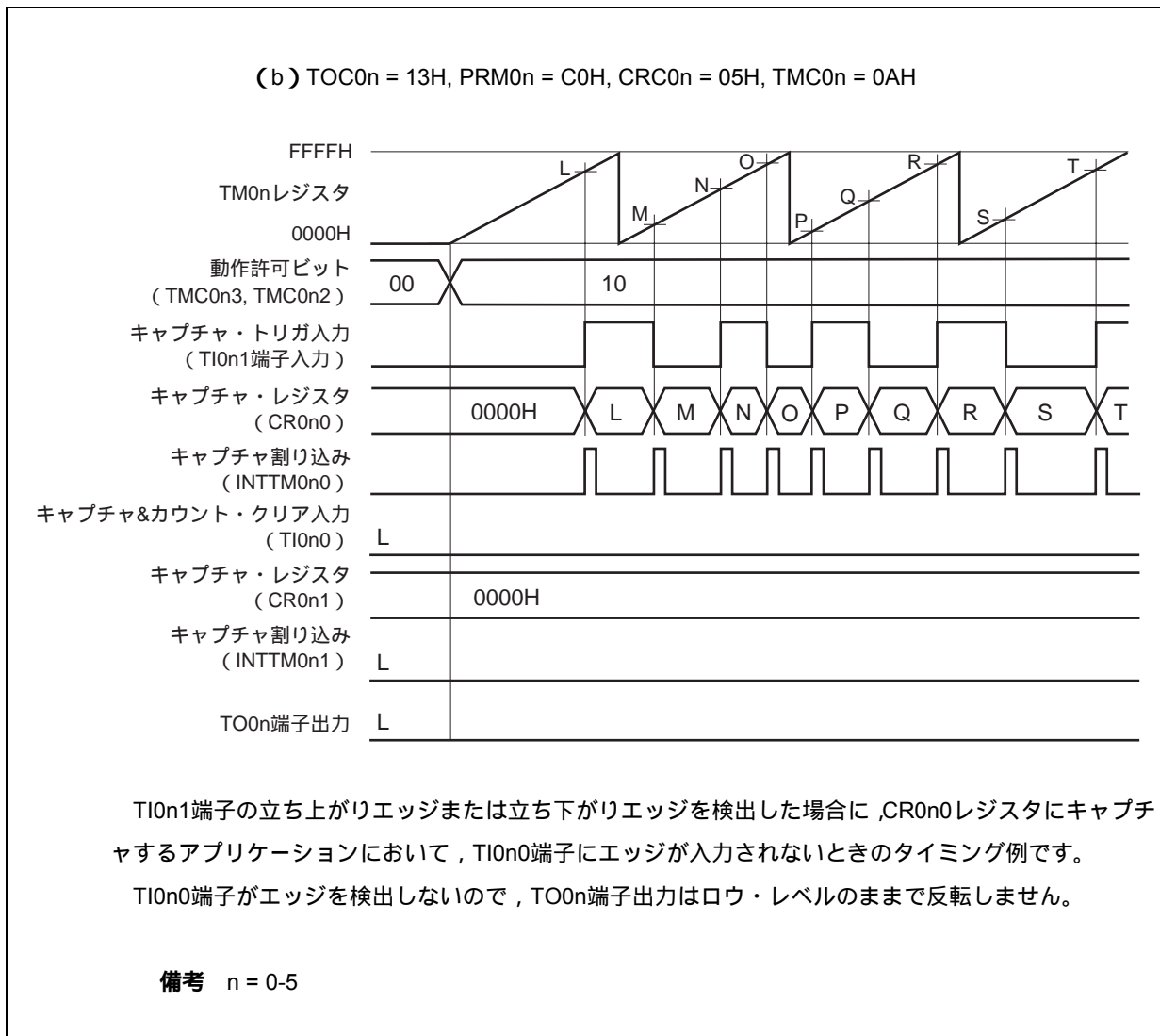




図8 - 20 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例  
 (CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ) (3/3)

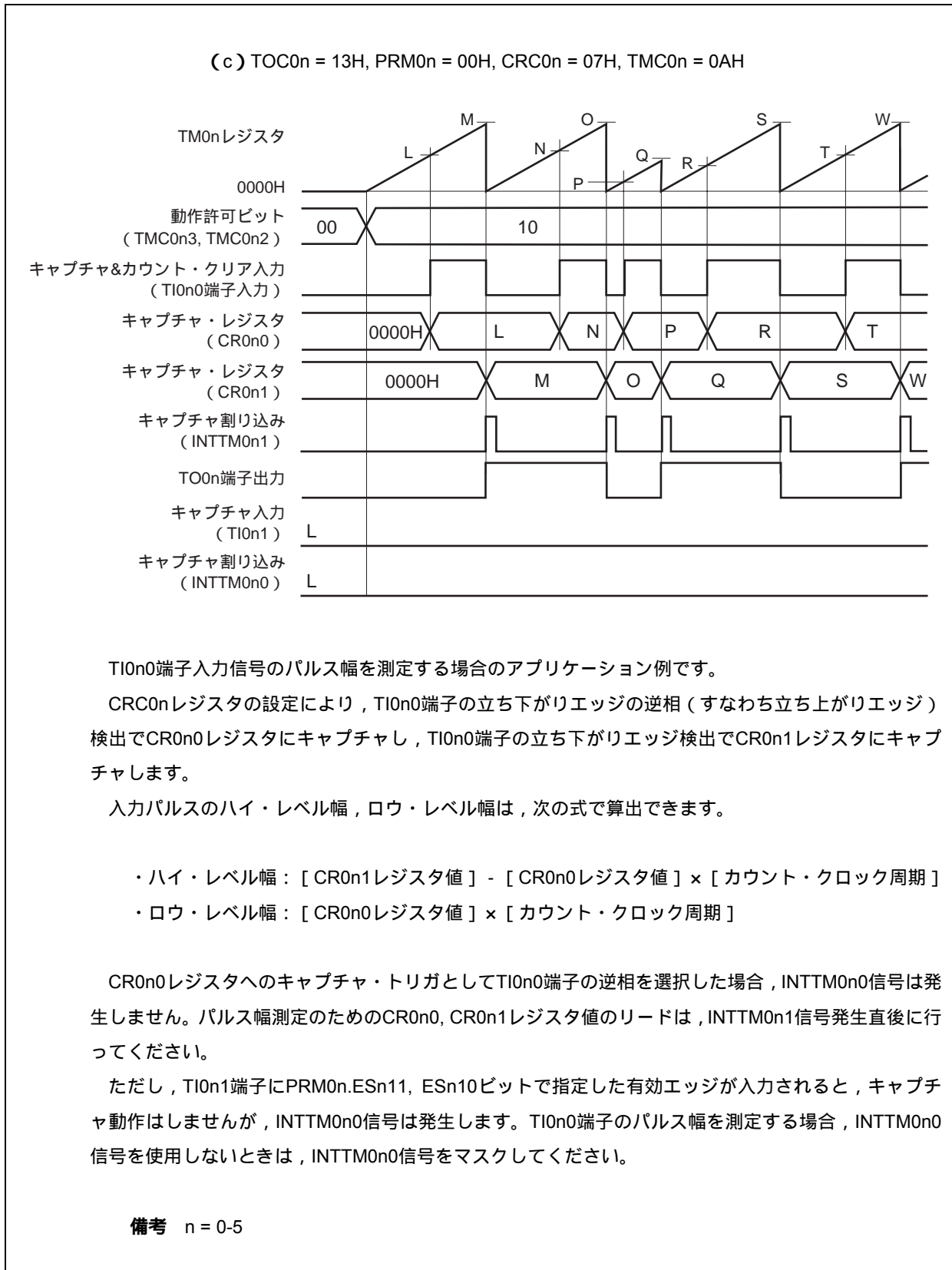


図8 - 21 TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (1/2)

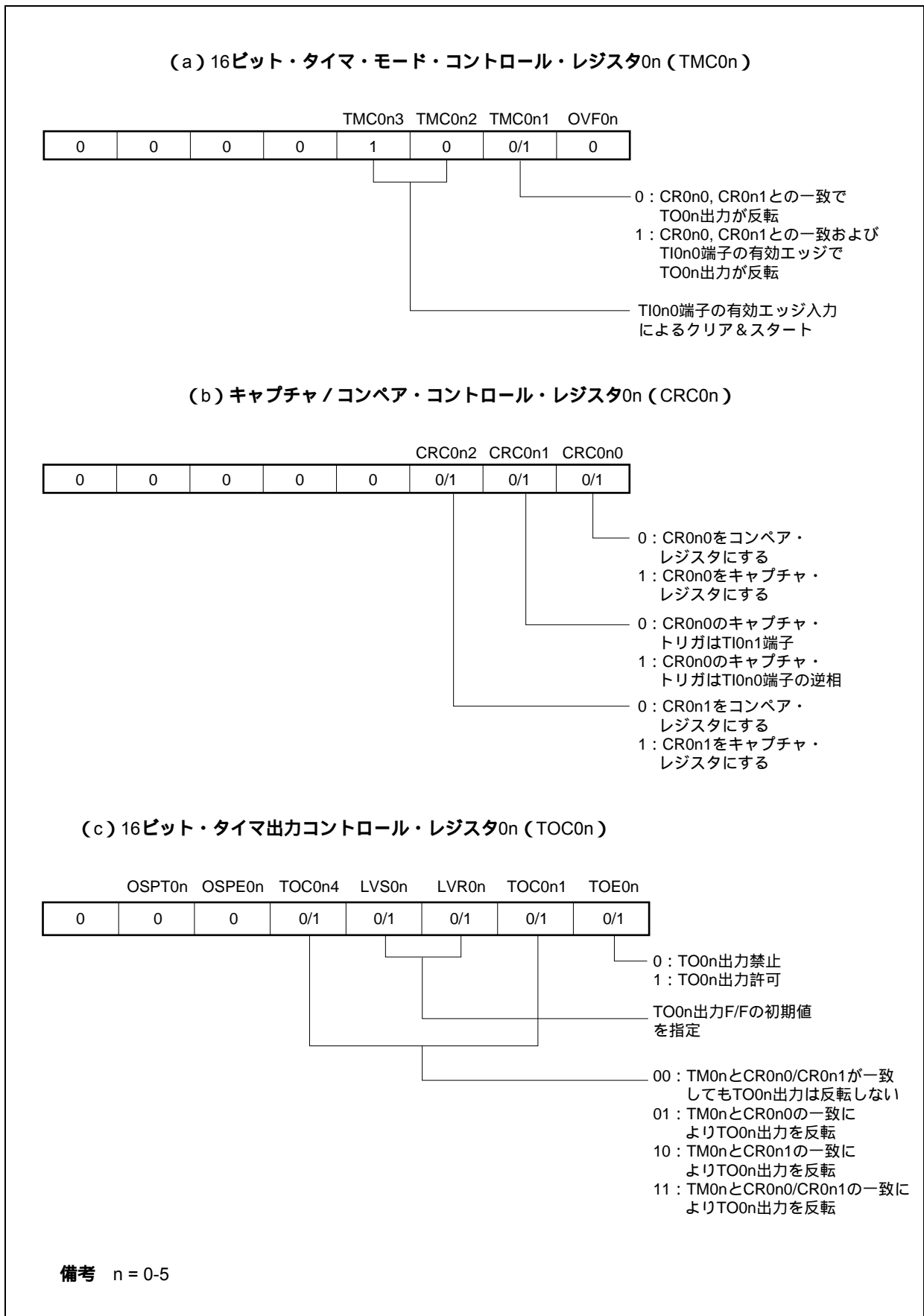


図8 - 21 TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (2/2)

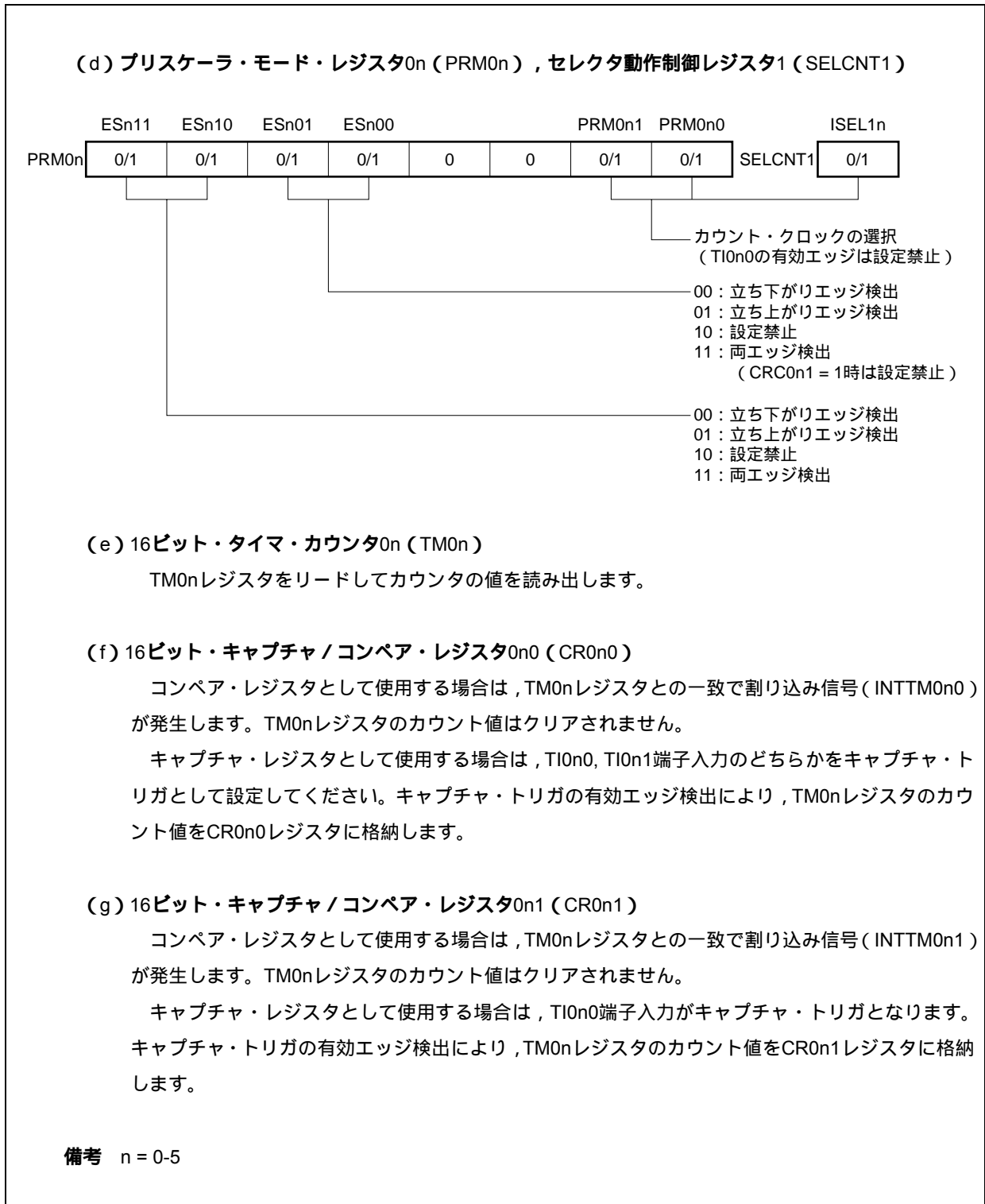
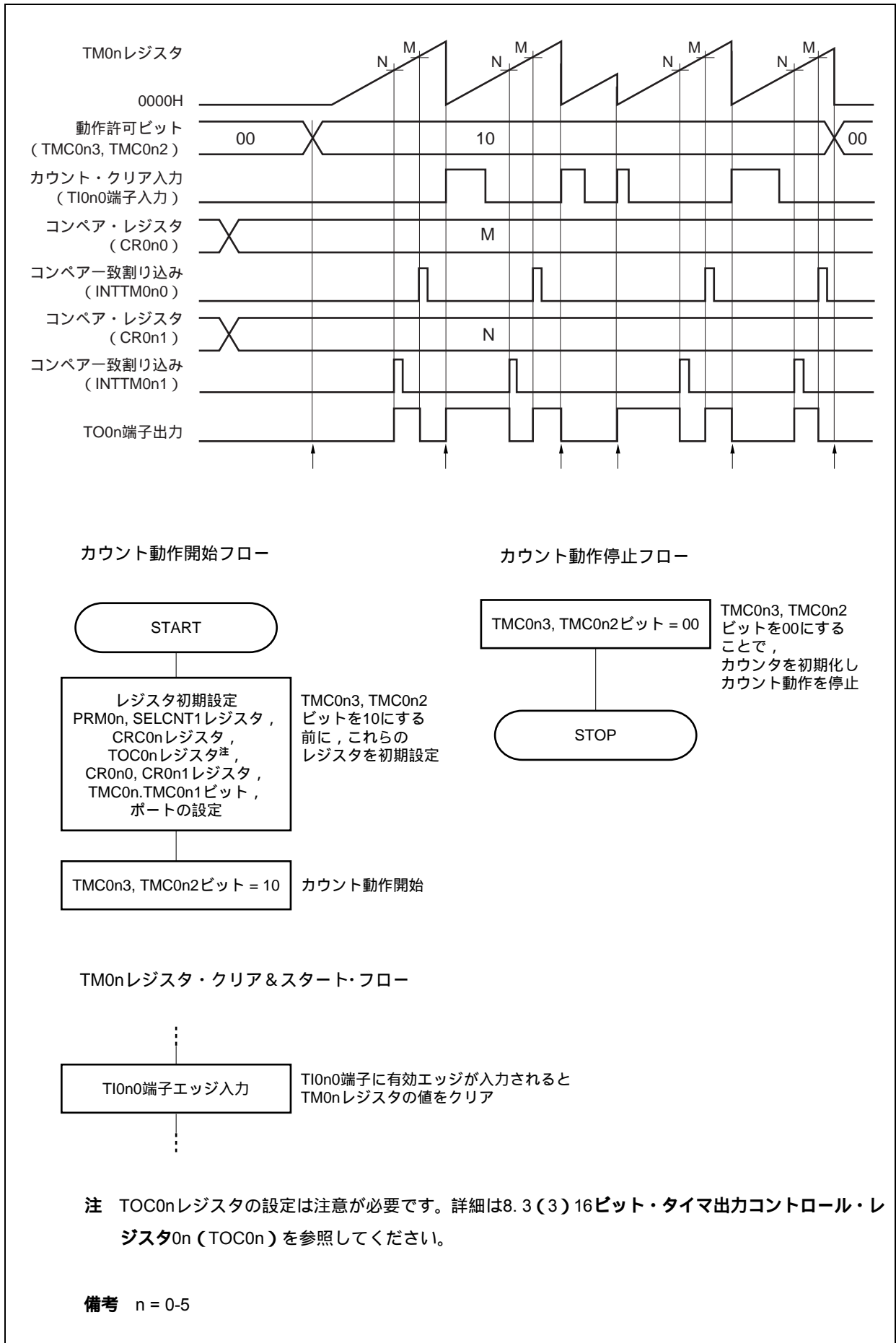


図8-22 T10n0端子の有効エッジ入力によるクリア&スタート・モード動作時のソフトウェア処理例



### 8.4.5 フリー・ランニング・タイマとしての動作

TMC0n.TMC0n3, TMC0n2ビット = 01 (フリー・ランニング・タイマ・モード) に設定すると、カウント・クロックに同期してカウント・アップ動作を続けます。FFFFHまでカウントすると、次のクロックでオーバーフロー・フラグ (TMC0n.OVF0nビット) がセット (1) されるとともに、TM0nレジスタをクリア (0000H) し、カウント動作を継続します。OVF0nビットは、ソフトウェアでCLR命令を実行してクリア (0) してください。フリー・ランニング・タイマとしての動作には、次の3種類があります。

- ・ CR0n0, CR0n1レジスタを両方ともコンペア・レジスタとして使用
- ・ CR0n0, CR0n1レジスタの一方をコンペア・レジスタ, もう一方をキャプチャ・レジスタとして使用
- ・ CR0n0, CR0n1レジスタを両方ともキャプチャ・レジスタとして使用

**備考1.** 兼用端子 (TO0n) の設定については、表4 - 19 ポート端子を兼用端子として使用する場合を参照してください。

2. INTTM0n0, INTTM0n1割り込み許可については、第21章 割り込み/例外処理機能を参照してください。

#### (1) フリー・ランニング・タイマ・モード動作

(CR0n0レジスタ：コンペア・レジスタ, CR0n1レジスタ：コンペア・レジスタ設定時)

図8 - 23 フリー・ランニング・タイマ・モードのブロック図

(CR0n0レジスタ：コンペア・レジスタ / CR0n1レジスタ：コンペア・レジスタ)

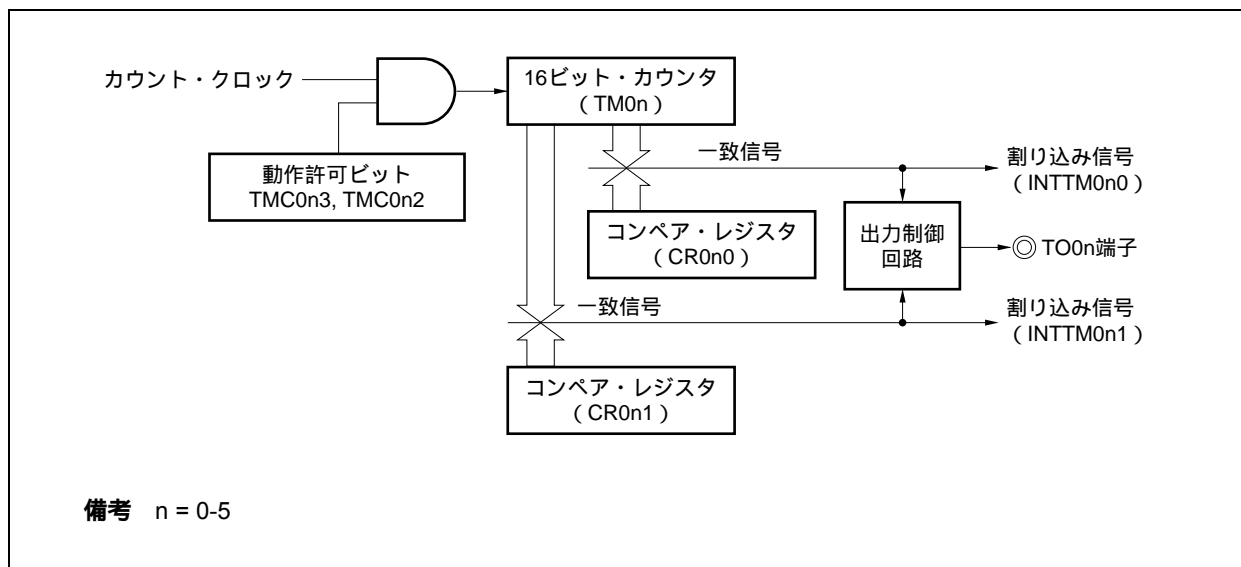
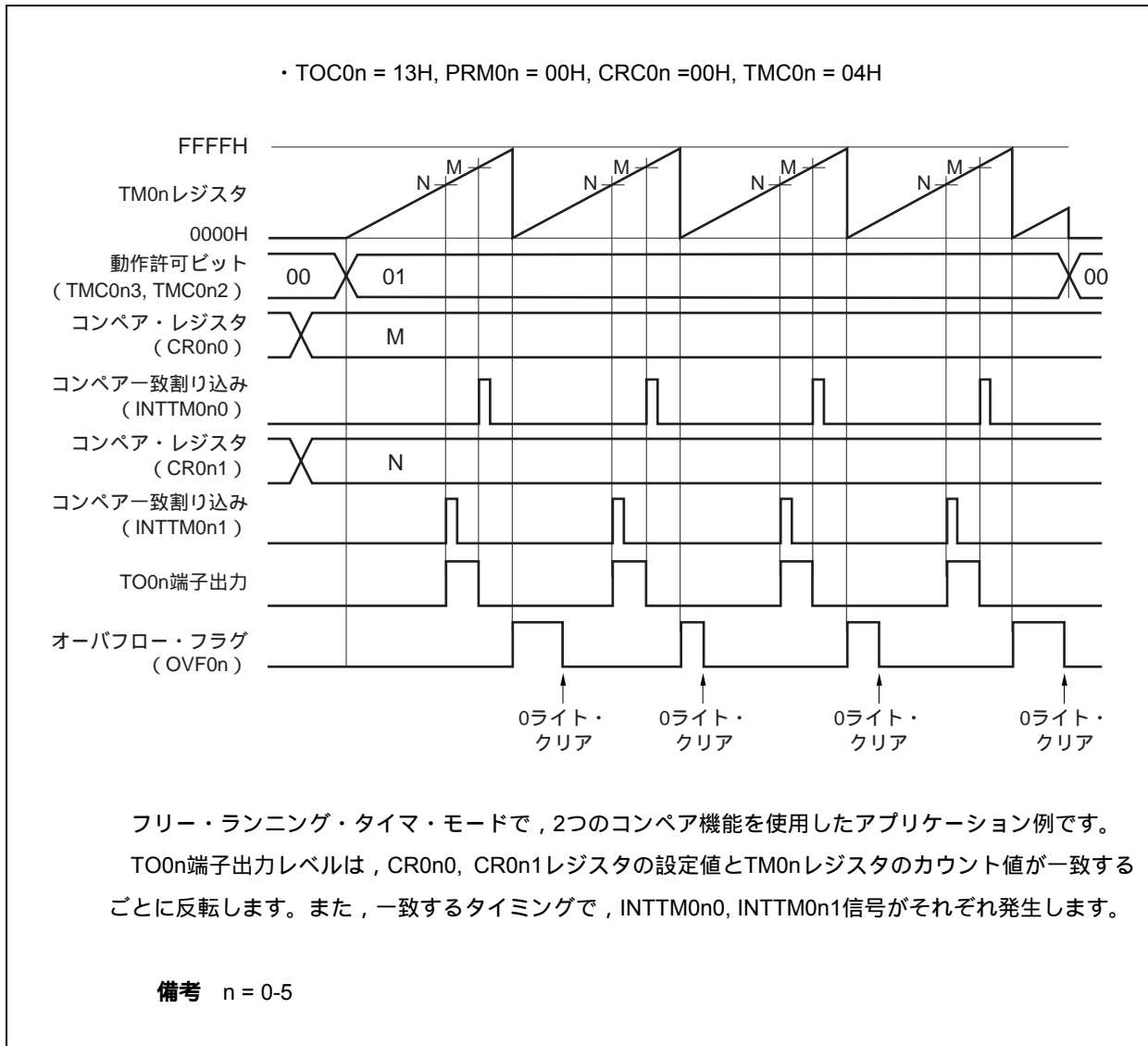


図8 - 24 フリー・ランニング・タイマ・モードのタイミング例  
 (CR0n0レジスタ：コンペア・レジスタ / CR0n1レジスタ：コンペア・レジスタ)



(2) フリー・ランニング・タイマ・モード動作

(CR0n0レジスタ：コンペア，CR0n1レジスタ：キャプチャ設定時)

図8 - 25 フリー・ランニング・タイマ・モードのブロック図

(CR0n0レジスタ：コンペア・レジスタ / CR0n1レジスタ：キャプチャ・レジスタ)

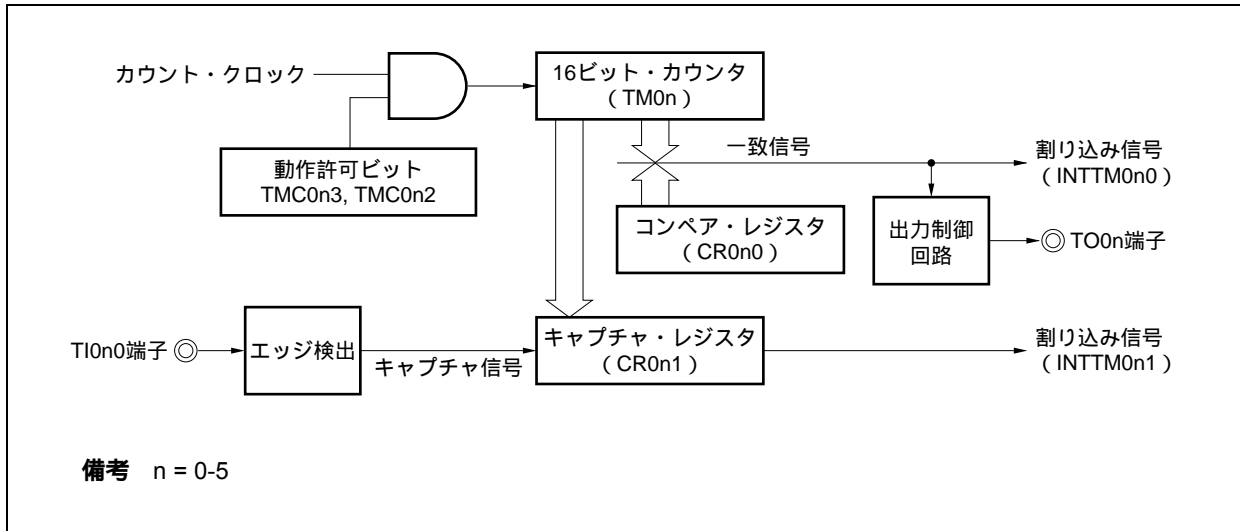
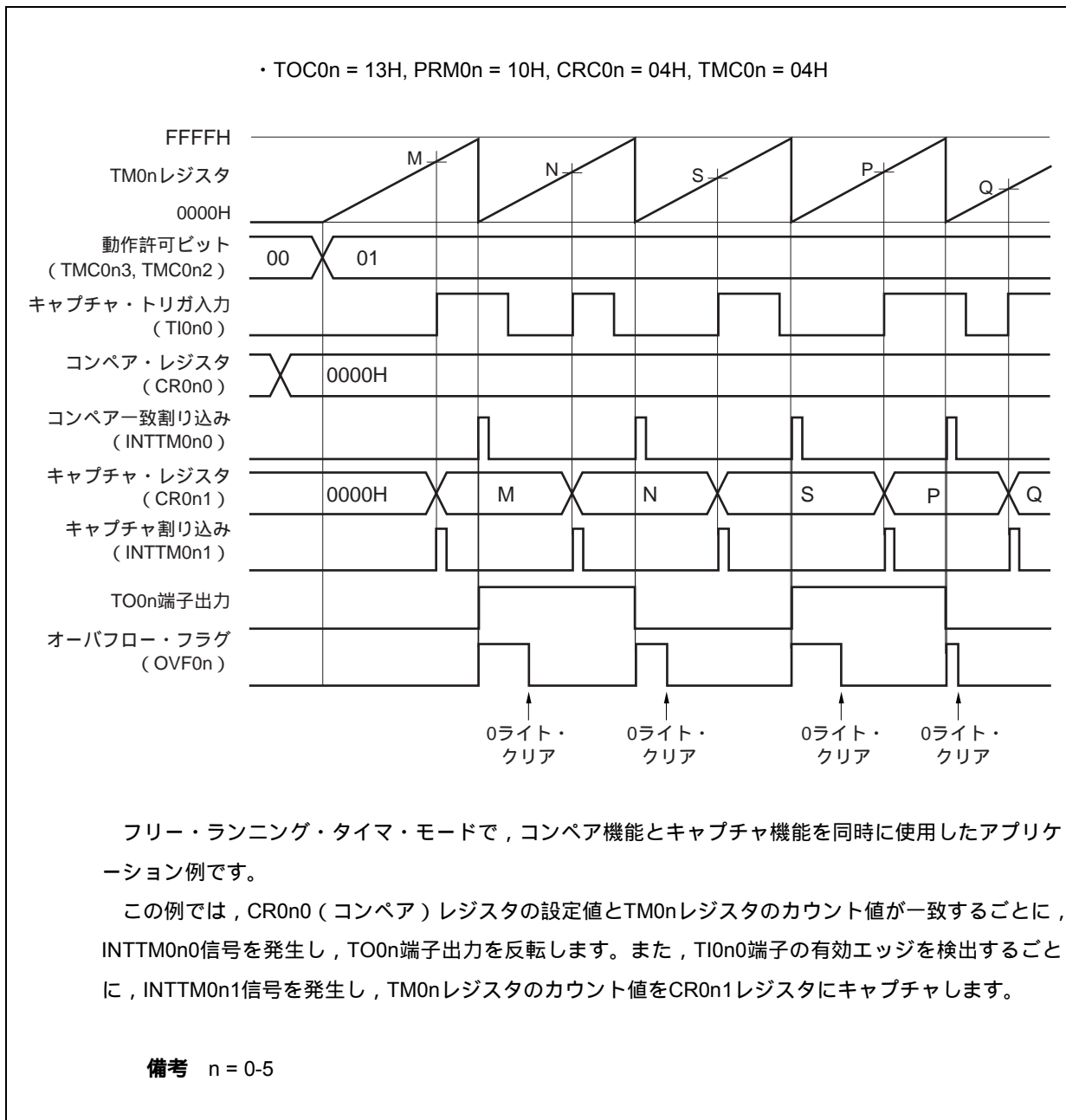


図8 - 26 フリー・ランニング・タイマ・モードのタイミング例  
 (CR0n0レジスタ：コンペア・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ)





(3) フリー・ランニング・タイマ・モード動作

(CR0n0レジスタ：キャプチャ・レジスタ，CR0n1レジスタ：キャプチャ・レジスタ設定時)

図8 - 27 フリー・ランニング・タイマ・モードのブロック図

(CR0n0レジスタ：キャプチャ・レジスタ / CR0n1レジスタ：キャプチャ・レジスタ)

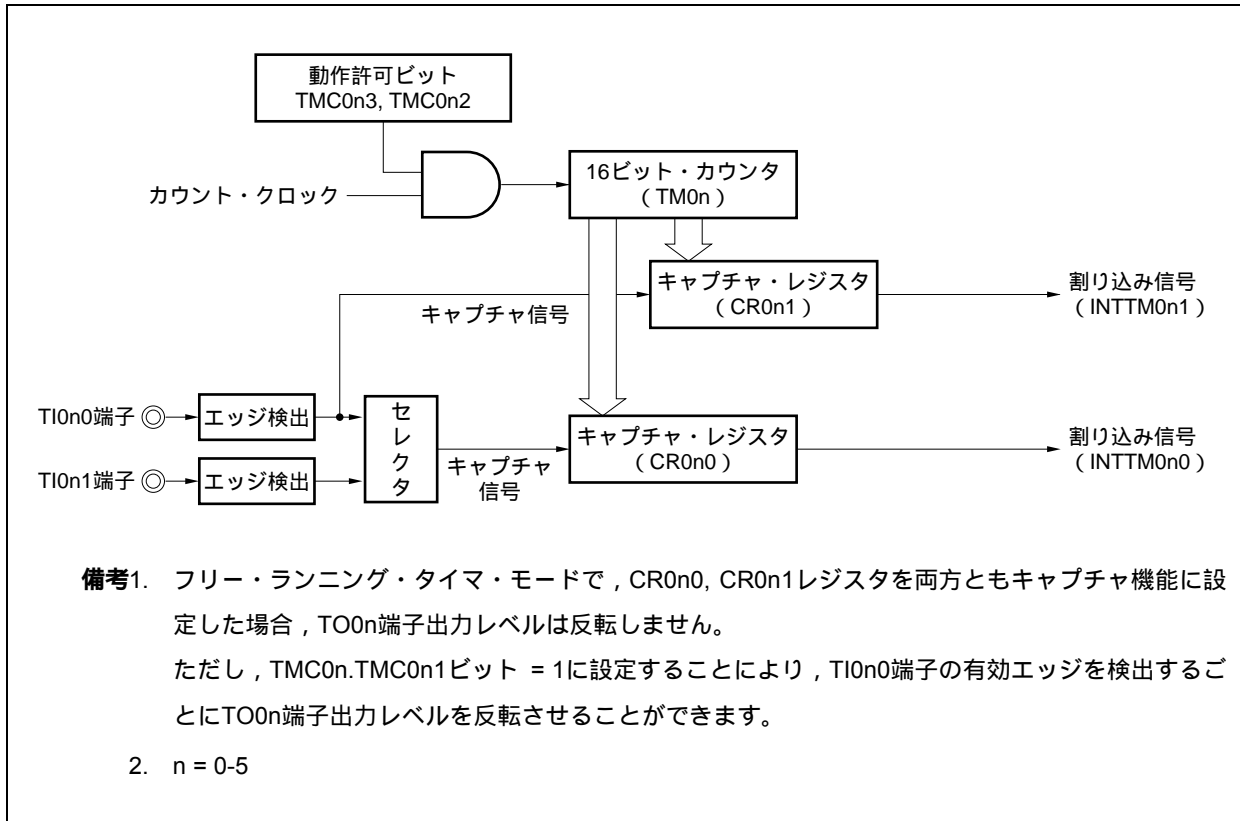


図8 - 28 フリー・ランニング・タイマ・モードのタイミング例  
 (CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ) (1/2)

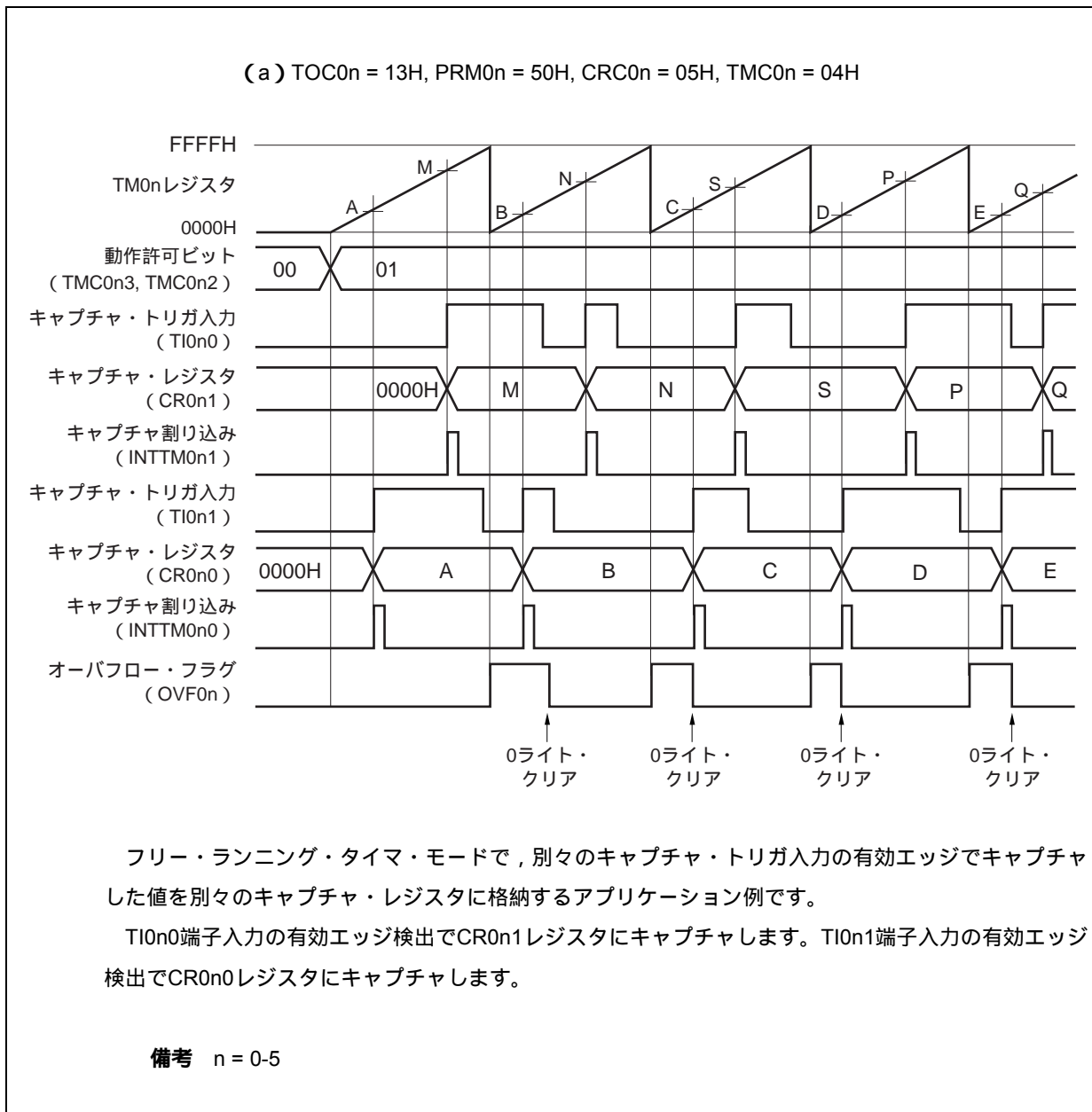


図8 - 28 フリー・ランニング・タイマ・モードのタイミング例  
 (CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ) (2/2)

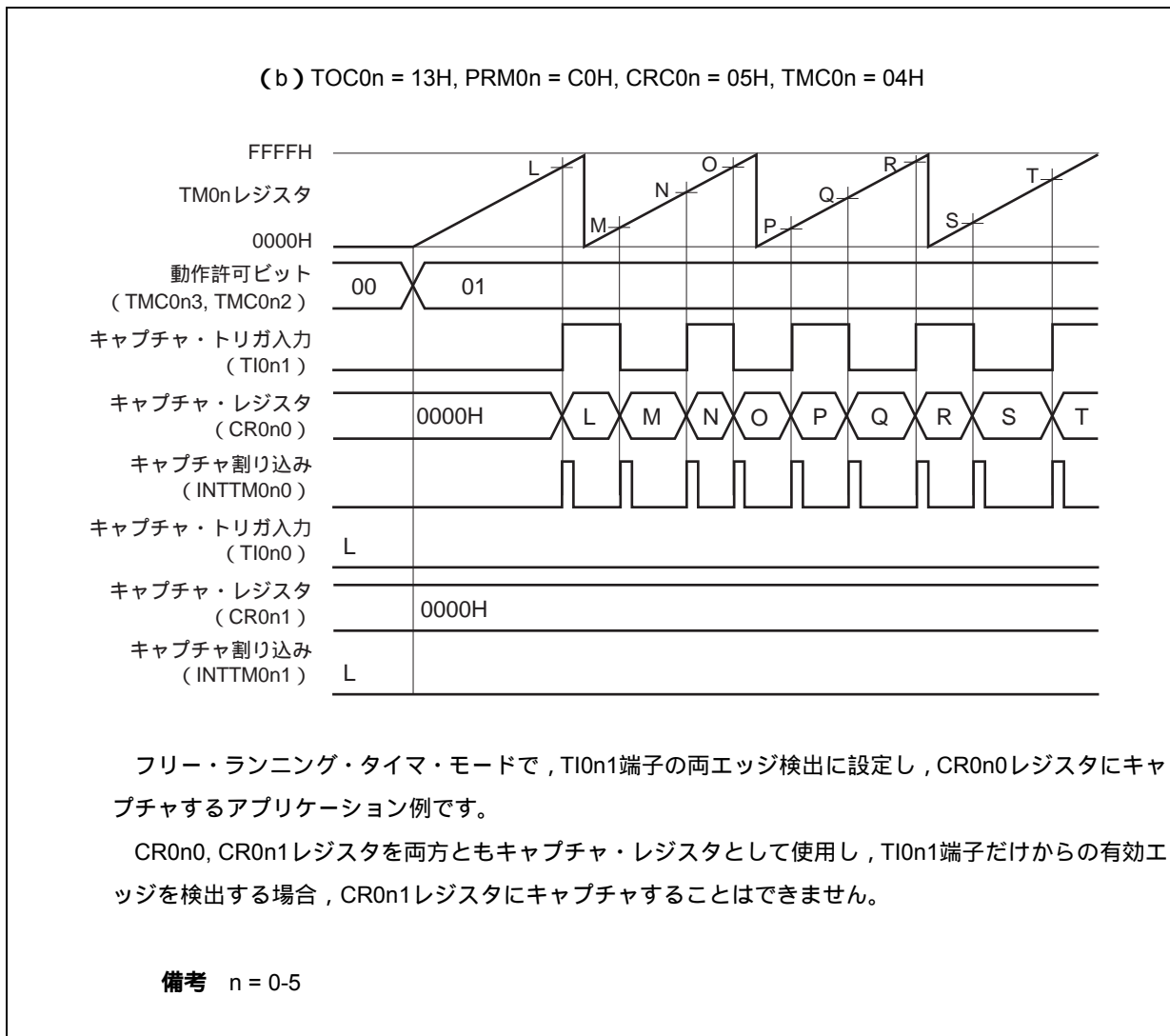


図8 - 29 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	0	1	0/1	0

- 0 : CR0n0, CR0n1との一致で TO0n端子出力が反転
- 1 : CR0n0, CR0n1との一致および TI0n0端子の有効エッジで TO0n端子出力が反転
- フリー・ランニング・タイマ・モード

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

					CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0/1	0/1	0/1

- 0 : CR0n0をコンペア・レジスタにする
- 1 : CR0n0をキャプチャ・レジスタにする
- 0 : CR0n0のキャプチャ・トリガはTI0n1端子
- 1 : CR0n0のキャプチャ・トリガはTI0n0端子の逆相
- 0 : CR0n1をコンペア・レジスタにする
- 1 : CR0n1をキャプチャ・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0/1	0/1	0/1	0/1

- 0 : TO0n出力禁止
- 1 : TO0n出力許可
- TO0n出力F/Fの初期値を指定
- 00 : TM0nとCR0n0/CR0n1が一致してもTO0n出力は反転しない
- 01 : TM0nとCR0n0の一致によりTO0n出力を反転
- 10 : TM0nとCR0n1の一致によりTO0n出力を反転
- 11 : TM0nとCR0n0/CR0n1の一致によりTO0n出力を反転

備考 n = 0-5

図8 - 29 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (2/2)

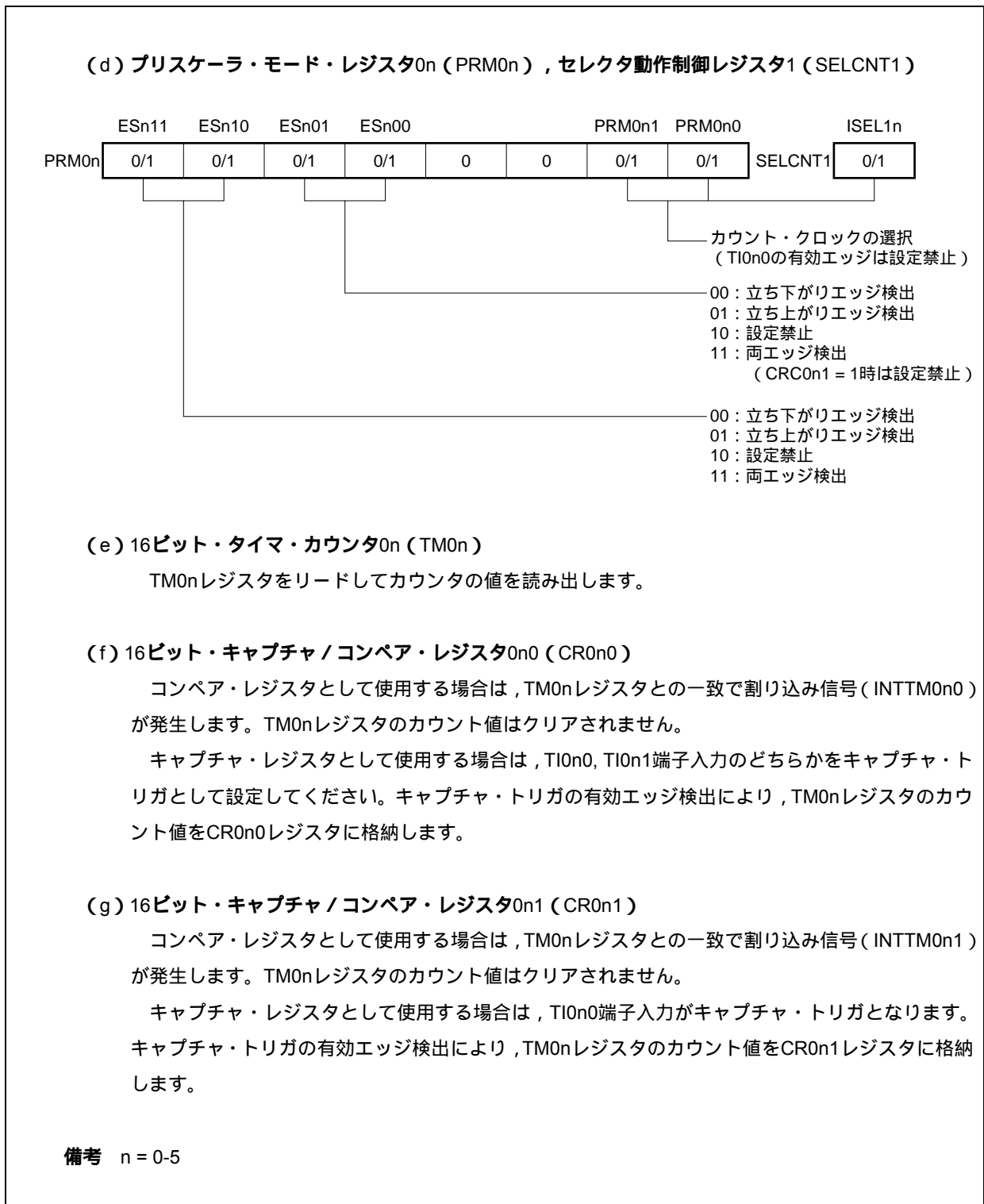
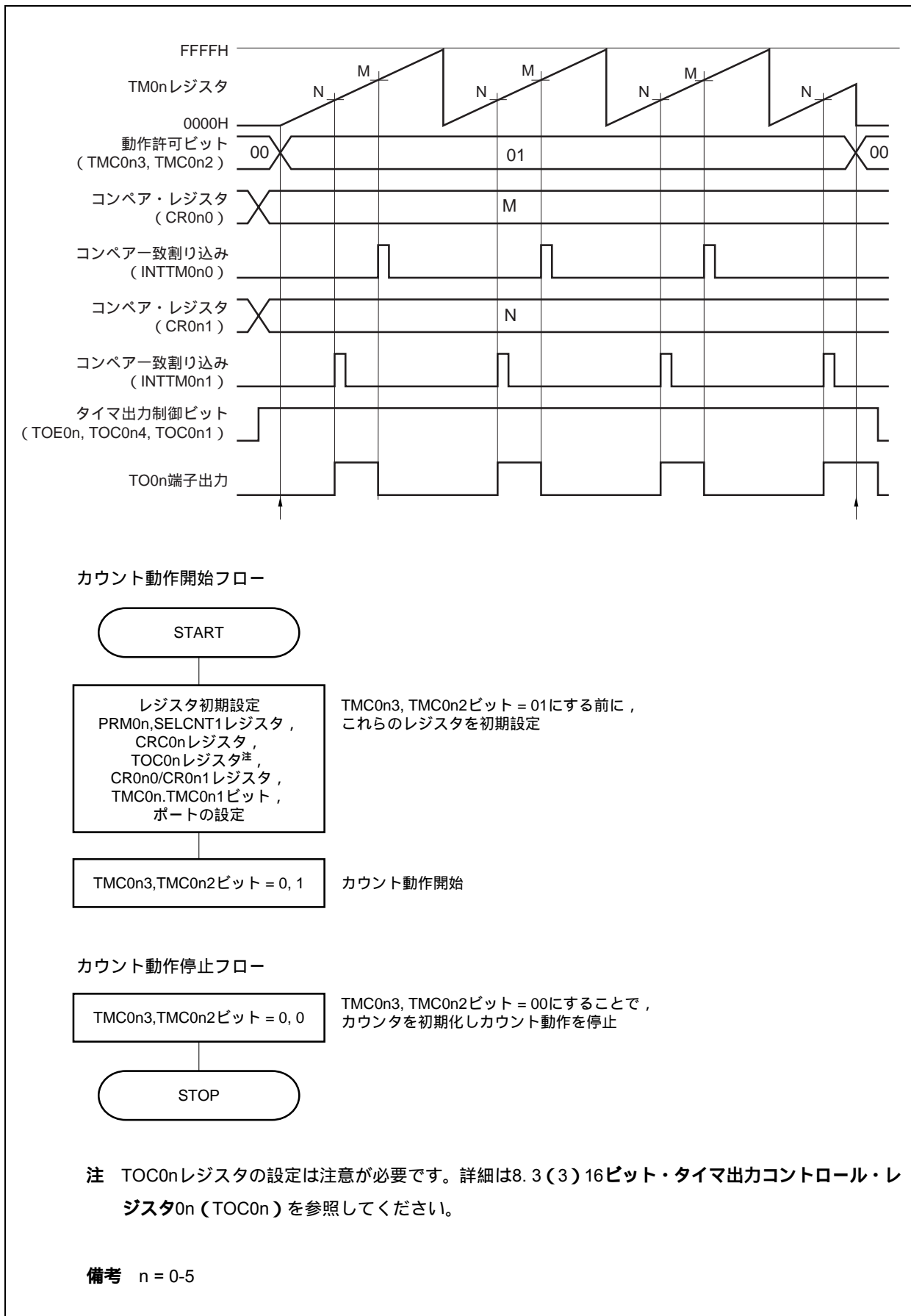


図8-30 フリー・ランニング・タイマ・モード動作時のソフトウェア処理例



### 8.4.6 PPG出力としての動作

TMC0n.TMC0n3, TMC0n2ビット = 11 (TM0nレジスタとCR0n0レジスタの一致によるクリア&スタート) に設定し, CR0n0レジスタにあらかじめ設定した値を1周期とし, CR0n1レジスタにあらかじめ設定した値をパルス幅とする矩形波を, TO0n端子からPPG (Programmable Pulse Generator) 出力として動作します。

PPG出力によって生成されるパルス周期, デューティは次のようになります。

- ・パルス周期 :  $(CR0n0レジスタの設定値 + 1) \times カウント \cdot クロック周期$
- ・デューティ :  $(CR0n1レジスタの設定値 + 1) / (CR0n0レジスタの設定値 + 1)$

**注意** 動作中にデューティの値 (CR0n1レジスタ) を変更したい場合は, 8.5.1 CR0n1レジスタのTM0n動作中の書き換えを参照してください。

**備考1.** 兼用端子 (TO0n) の設定については, 表4 - 19 ポート端子を兼用端子として使用する場合を参照してください。

2. INTTM0n0, INTTM0n1割り込み許可については, 第21章 割り込み/例外処理機能を参照してください。

図8 - 31 PPG出力としての動作のブロック図

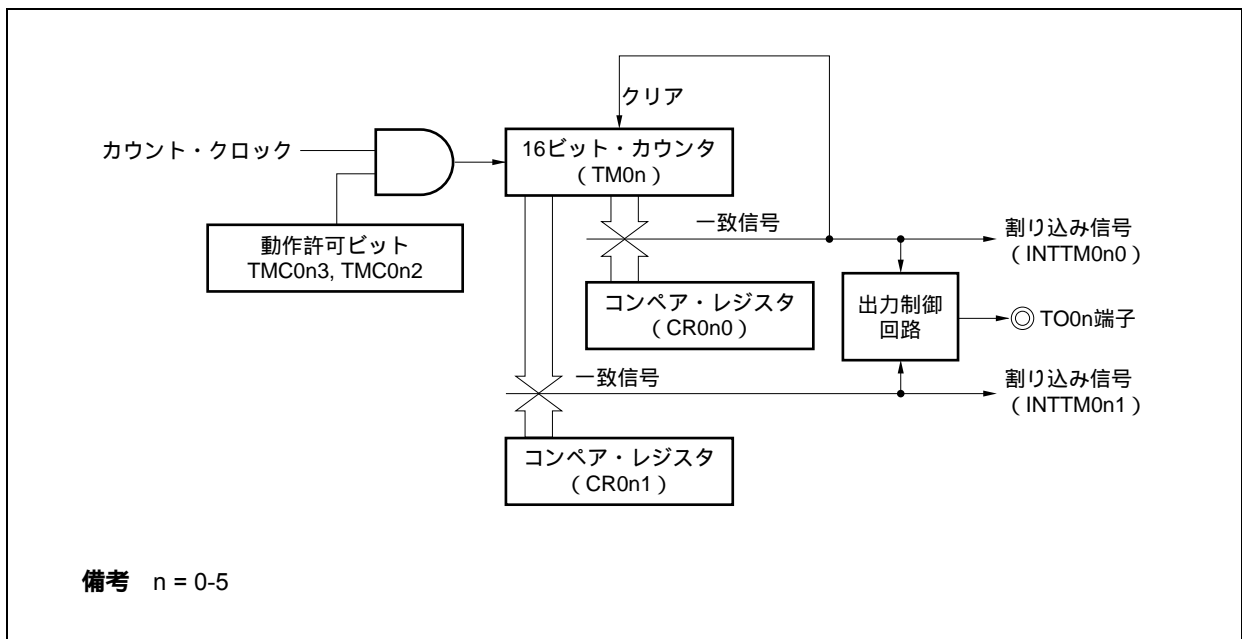
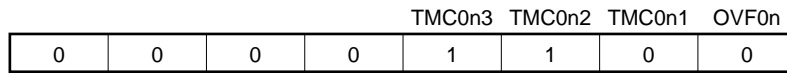


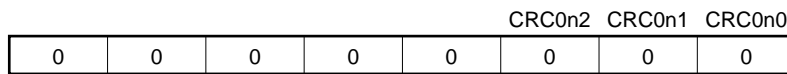
図8 - 32 PPG出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



TM0nとCR0n0の一致で  
クリア&スタート

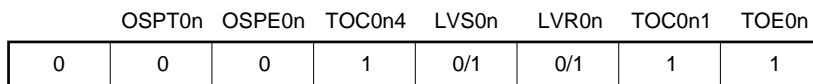
(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



0 : CR0n0をコンペア・  
レジスタにする

0 : CR0n1をコンペア・  
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)



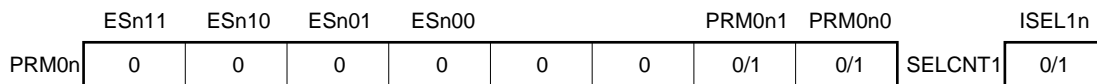
TO0n出力許可

TO0n出力F/Fの初期値を指定

11 : TM0nとCR0n0/CR0n1の  
一致によりTO0n出力を反転

00 : ワンショット・パルス  
出力禁止

(d) プリスケラ・モード・レジスタ0n (PRM0n) , セレクタ動作制御レジスタ1 (SELCNT1)



カウント・クロック  
の選択

備考 n = 0-5



図8 - 32 PPG出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nレジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ0n0 (CR0n0)

TM0nレジスタとの一致で割り込み信号 (INTTM0n0) を発生します。

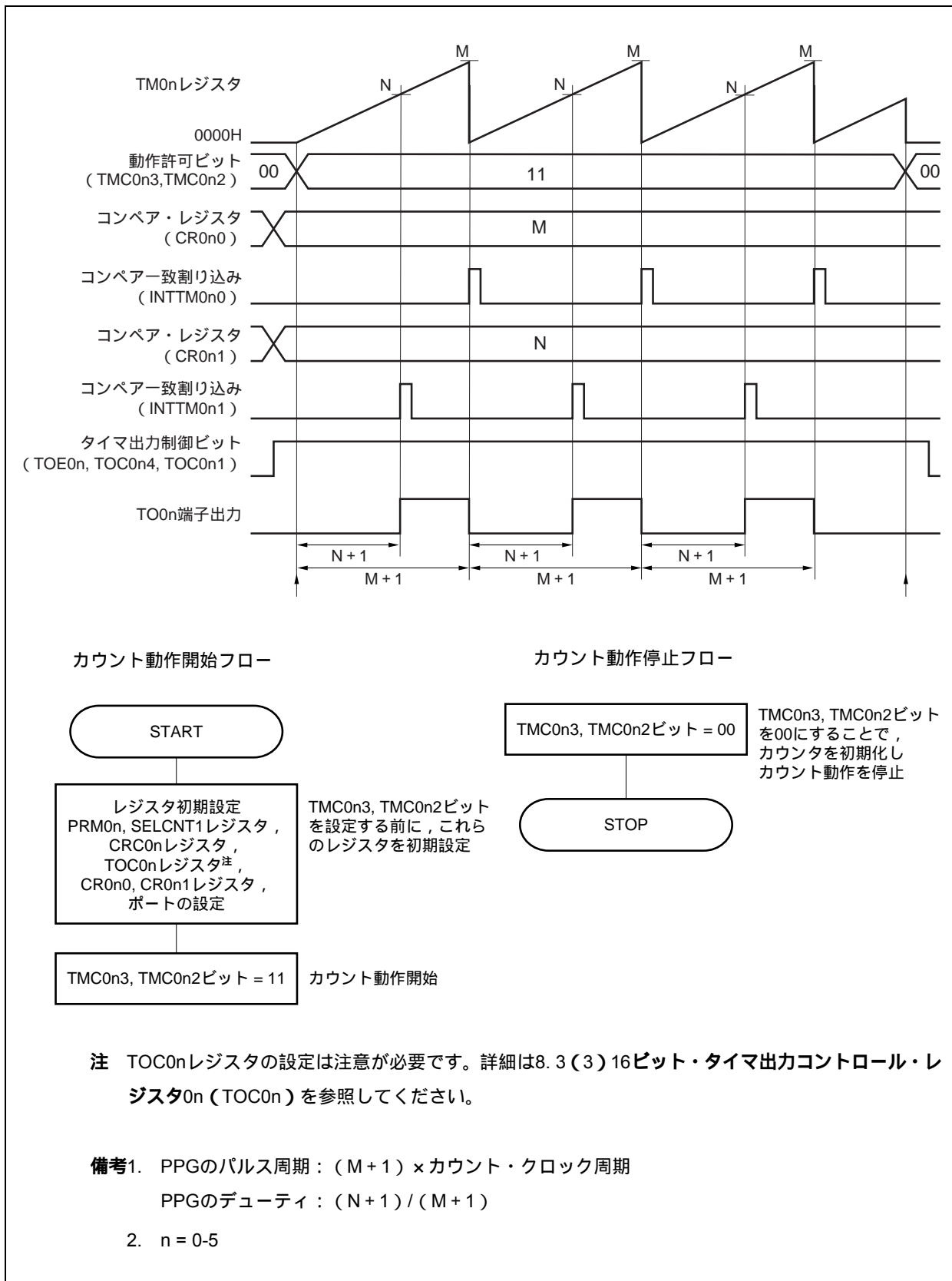
(g) 16ビット・キャプチャ/コンペア・レジスタ0n1 (CR0n1)

TM0nレジスタとの一致で割り込み信号 (INTTM0n1) を発生します。TM0nレジスタのカウンタ値はクリアされません。

**注意** CR0n0, CR0n1レジスタには, 0000H CR0n1 < CR0n0 FFFFHの値を設定してください。

**備考** n = 0-5

図8 - 33 PPG出力動作時のソフトウェア処理例



## 8.4.7 ワンショット・パルス出力としての動作

TMC0n.TMC0n3, TMC0n2ビット = 01 (フリー・ランニング・タイマ・モード), またはTMC0n3, TMC0n2ビット = 10 (TI0n0端子の有効エッジによるクリア&スタート・モード)に設定し, TOC0n.OSPE0nビット = 1に設定することにより, ワンショット・パルスを出力できます。

タイマ動作中に, TOC0n.OSPT0nビットをセット(1)するか, またはTI0n0端子に有効エッジが入力されると, それがトリガとなりTM0nレジスタのクリア&スタート後, CR0n0, CR0n1レジスタに設定した差分のパルスを1回だけTO0n端子から出力します。

**注意** ワンショット・パルスを出力中に, さらにトリガ(OSPT0nビットのセット(1), またはTI0n0端子の有効エッジ検出)を入力しないでください。再度, ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで, トリガを発生させてください。

- 備考1.** 兼用端子 (TO0n) の設定については, 表4 - 19 ポート端子を兼用端子として使用する場合を参照してください。
- 2.** INTTM0n0, INTTM0n1割り込み許可については, 第21章 割り込み/例外処理機能を参照してください。

図8 - 34 ワンショット・パルス出力としての動作のブロック図

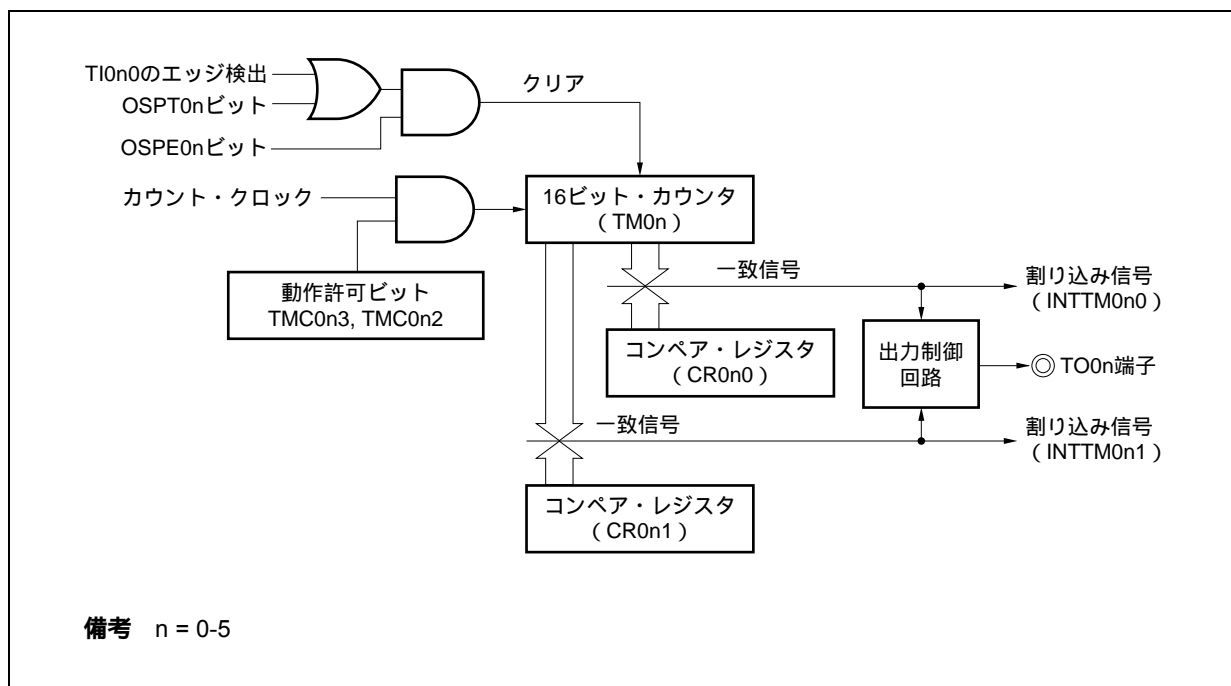
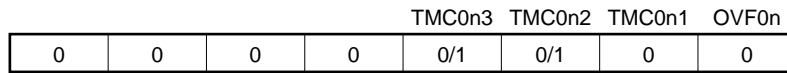


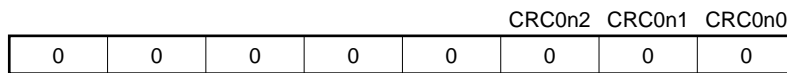
図8 - 35 ワンショット・パルス出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



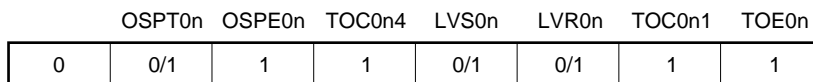
01 : フリー・ランニング・タイマ・モード  
 10 : TI0n0端子の有効エッジによるクリア&スタート・モード

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



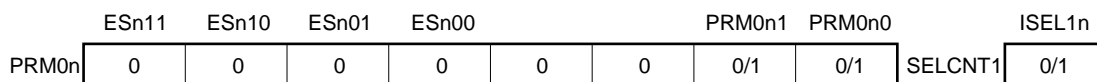
CR0n0をコンペア・レジスタにする  
 CR0n1をコンペア・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)



TO0n端子出力許可  
 TO0n端子出力の初期値を指定  
 TM0nとCR0n0/CR0n1の一致によりTO0n出力を反転  
 ワンショット・パルス出力許可  
 1をライトすることでソフトウェア・トリガを発生 (0をライトしても動作に影響なし)

(d) プリスケアラ・モード・レジスタ0n (PRM0n) , セレクタ動作制御レジスタ1 (SELCNT1)



カウント・クロックの選択

備考 n = 0-5

図8 - 35 ワンショット・パルス出力動作時のレジスタ設定内容例 (2/2)

**(e) 16ビット・タイマ・カウンタ0n (TM0n)**

TM0nレジスタをリードしてカウンタの値を読み出します。

**(f) 16ビット・キャプチャ/コンペア・レジスタ0n0 (CR0n0)**

ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM0nレジスタとCR0n0レジスタの値が一致すると、割り込み信号 (INTTM0n0) を発生し、TO0n端子出力レベルを反転します。

**(g) 16ビット・キャプチャ/コンペア・レジスタ0n1 (CR0n1)**

ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM0nレジスタとCR0n1レジスタの値が一致すると、割り込み信号 (INTTM0n1) を発生し、TO0n端子出力レベルを反転します。

**備考** n = 0-5

図8 - 36 ワンショット・パルス出力動作時のソフトウェア処理例 (1/2)

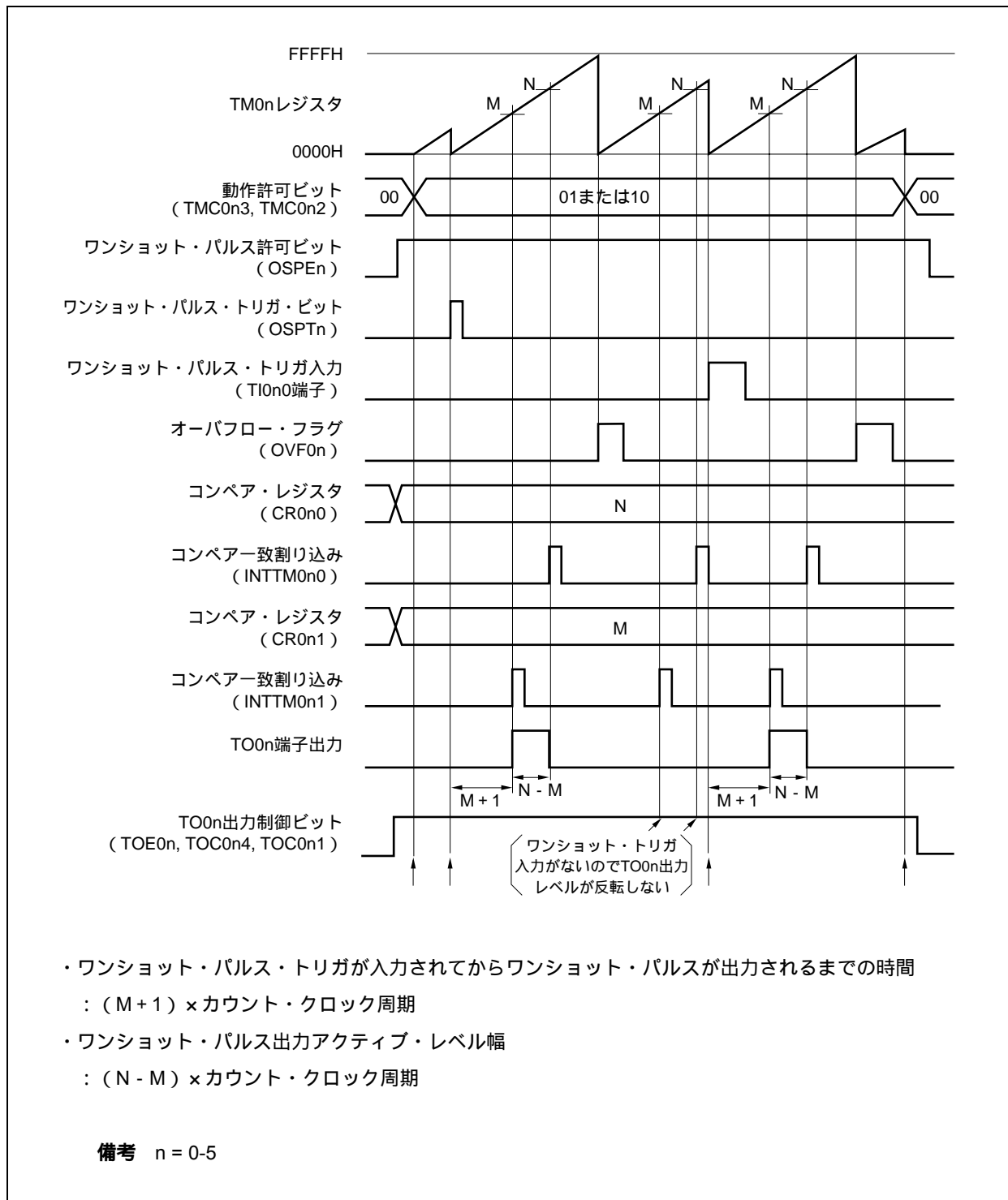
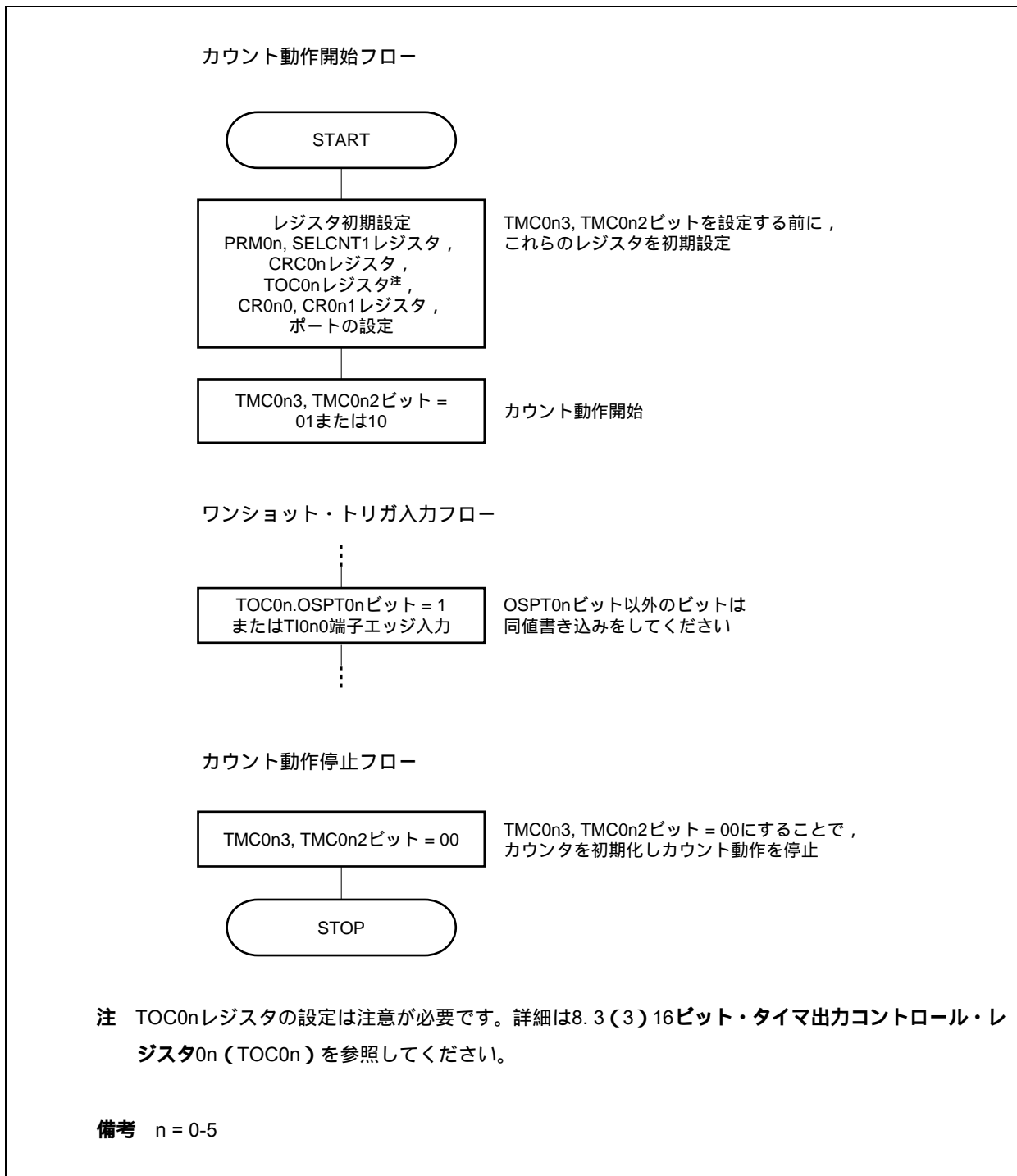


図8 - 36 ワンショット・パルス出力動作時のソフトウェア処理例 (2/2)



### 8.4.8 パルス幅測定としての動作

TM0nレジスタを使用し、TI0n0端子およびTI0n1端子に入力される信号のパルス幅を測定できます。

測定方法には、16ビット・タイマ/イベント・カウンタ0nをフリー・ランニング・タイマ・モードで動作させて測定する方法と、TI0n0端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、有効なキャプチャ・レジスタの値をリードして、パルス幅の測定をしてください。また、TMC0n.OVF0nフラグを確認して、セット(1)されていたらソフトウェアでクリア(0)してください。

図8 - 37 パルス幅測定 (フリー・ランニング・タイマ・モード) のブロック図

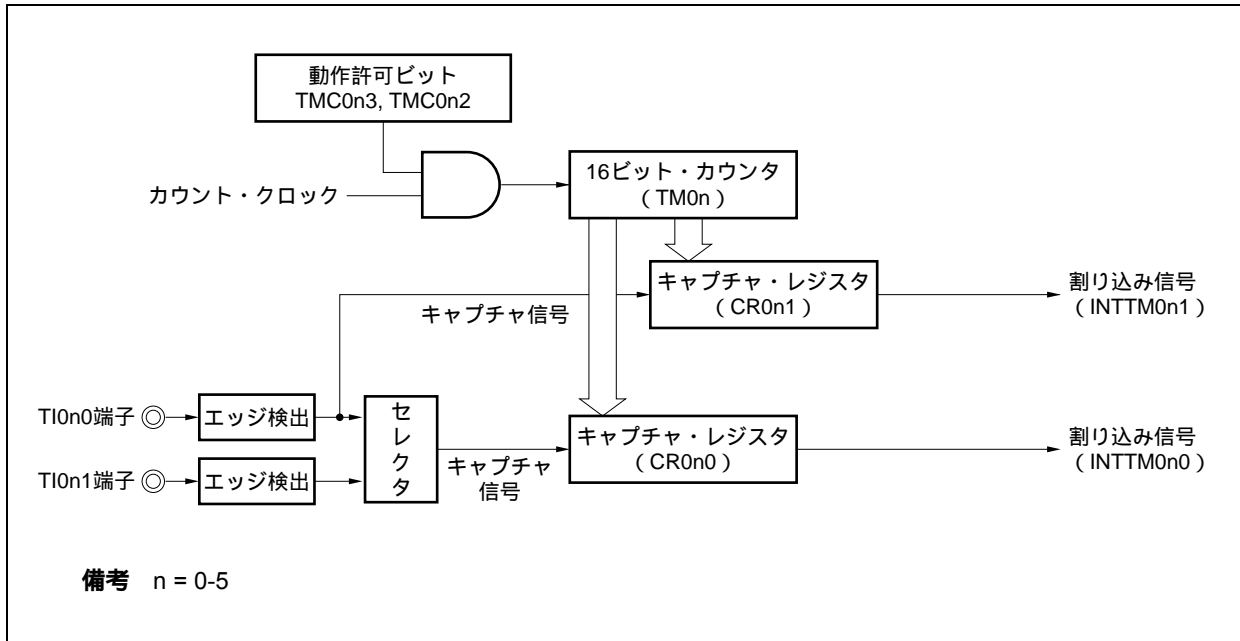
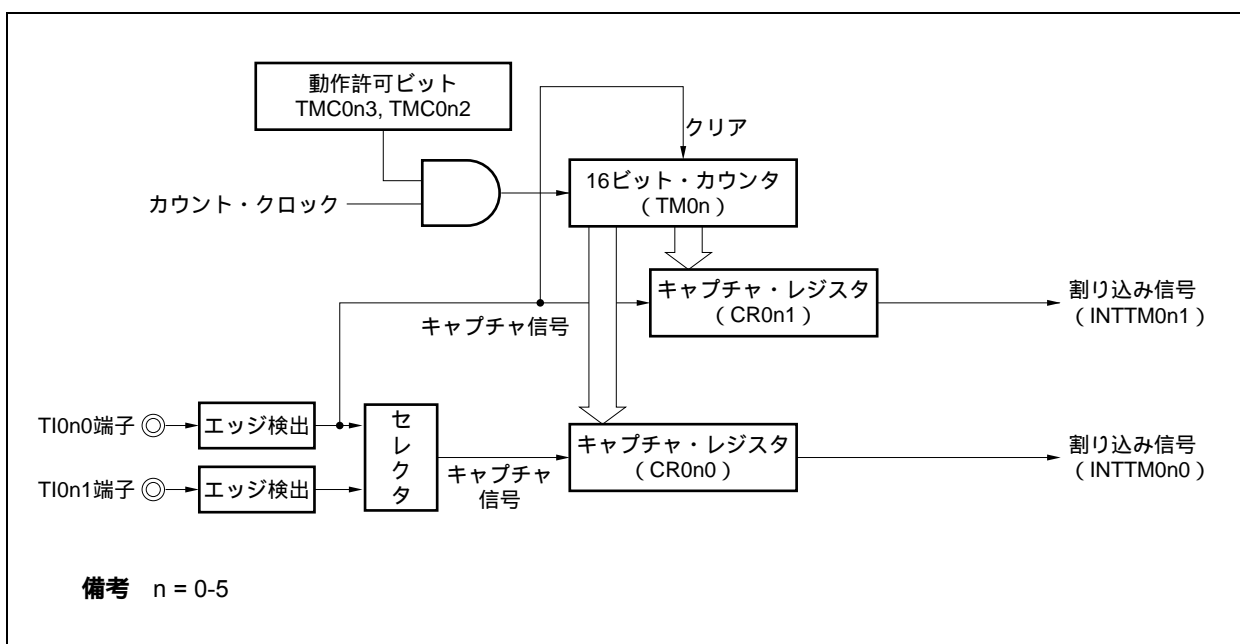


図8 - 38 パルス幅測定 (TI0n0端子の有効エッジ入力によるクリア&スタート・モード) のブロック図





パルス幅測定をするには、次の3つの方法があります。

- ・ TI0n0端子およびTI0n1端子の2本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI0n0端子1本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI0n0端子1本の入力信号でパルス幅を測定（TI0n0端子の有効エッジ入力によるクリア&スタート・モード）

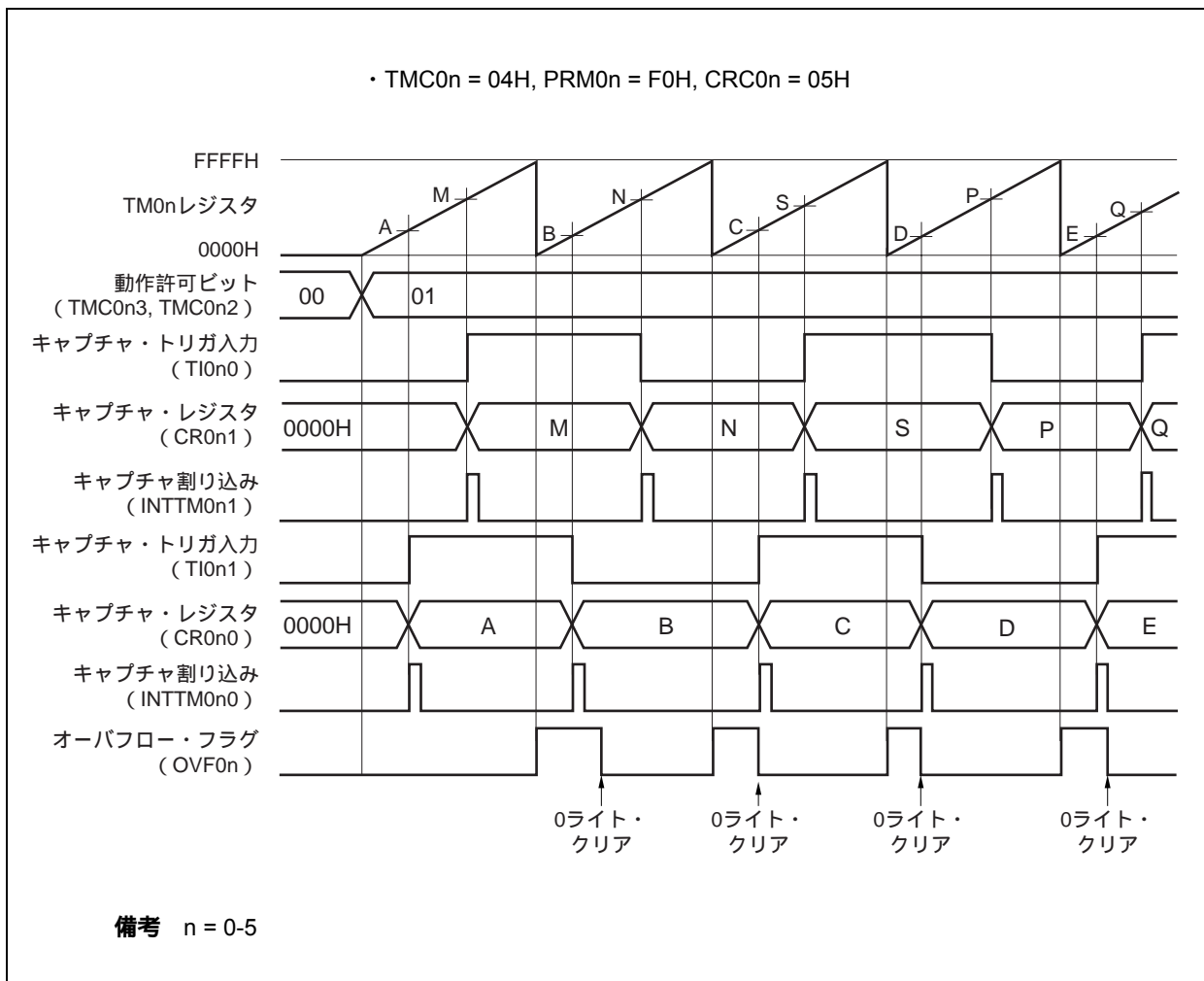
(1) TI0n0端子およびTI0n1端子の2本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）

フリー・ランニング・タイマ・モード（TMC0n.TMC0n3, TMC0n2ビット = 01）に設定します。TI0n0端子の有効エッジ検出により、TM0nレジスタのカウンタ値をCR0n1レジスタにキャプチャします。TI0n1端子の有効エッジ検出により、TM0nレジスタのカウンタ値をCR0n0レジスタにキャプチャします。TI0n0端子とTI0n1端子のエッジ検出の設定は、両エッジとしてください。

この測定方法では、それぞれの入力信号のエッジによりキャプチャした値から、前回キャプチャした値を減算します。そのため、前回キャプチャした値を、あらかじめ別レジスタに退避してください。

オーバフローが発生した場合、単純に減算すると値がマイナスになるため、ポローが発生します（PSW.CYビットがセット（1）されます）。このときは、CYビットを無視して、計算値をパルス幅として扱ってください。また、TMC0n.OVF0nビットをクリア（0）してください。

図8 - 39 パルス幅測定のタイミング例（1）



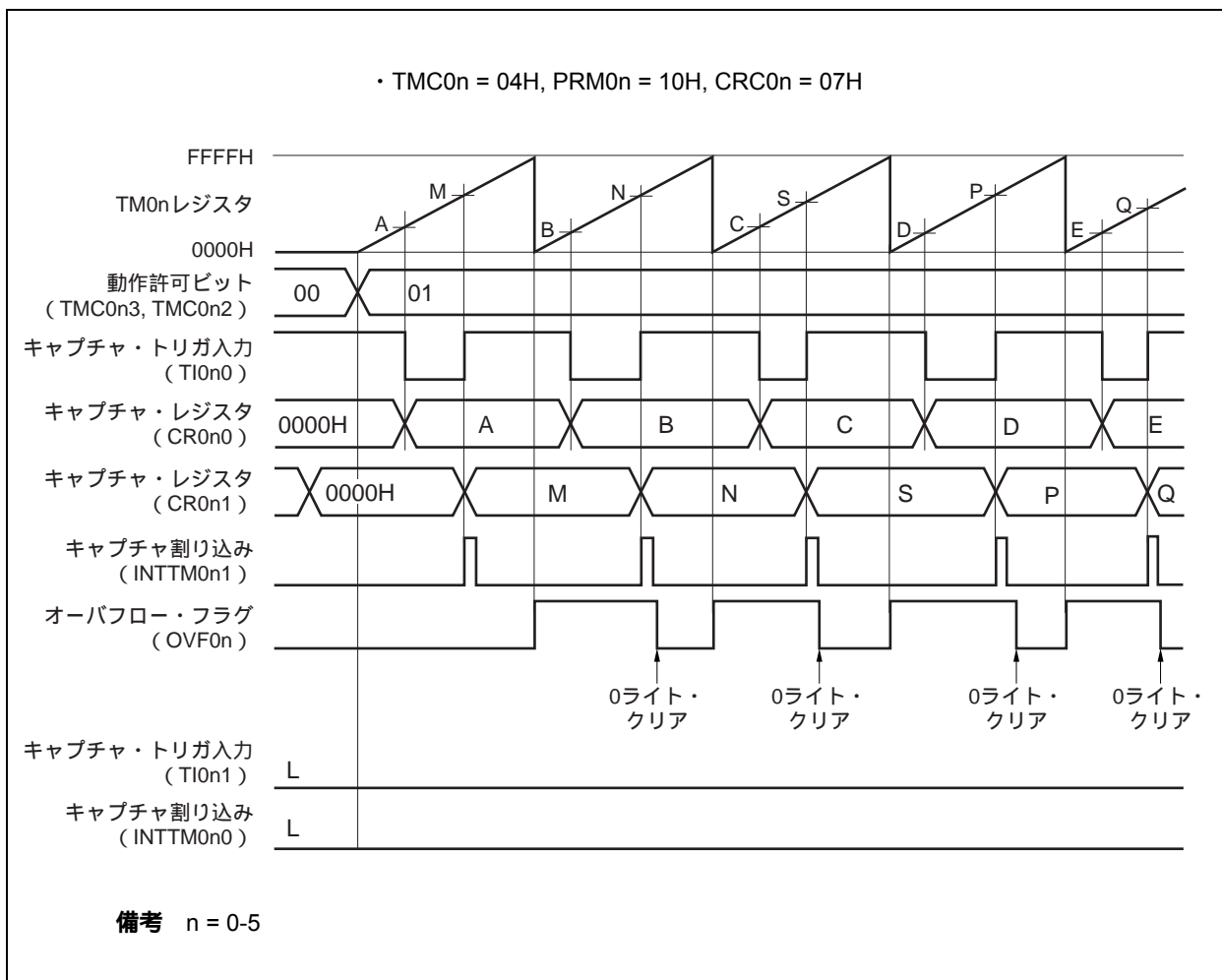
(2) TI0n0端子1本の入力信号でパルス幅を測定 (フリー・ランニング・タイマ・モード)

フリー・ランニング・タイマ・モード (TMC0n.TMC0n3, TMC0n2ビット = 01) に設定します。TI0n0端子の有効エッジ検出の逆相で, TM0nレジスタのカウント値をCR0n0レジスタにキャプチャします。TI0n0端子の有効エッジ検出で, TM0nレジスタのカウント値をCR0n1レジスタにキャプチャします。

この測定方法では, エッジからエッジまでの幅を測定する場合に, 別々のキャプチャ・レジスタに値を格納するため, キャプチャした値を退避する必要がありません。2つのキャプチャ・レジスタ値を減算することでハイ・レベル幅, ロウ・レベル幅, 周期を算出します。

オーバフローが発生した場合, 単純に減算すると値がマイナスになるため, ボローが発生します (PSW.CYビットがセット (1) されます)。このときは, CYビットを無視して, 計算値をパルス幅として扱ってください。また, TMC0n.OVF0nビットをクリア (0) してください。

図8 - 40 パルス幅測定のタイミング例 (2)



(3) TI0n0端子1本の入力信号でパルス幅を測定(TI0n0端子の有効エッジ入力によるクリア&スタート・モード)

TI0n0端子の有効エッジによるクリア&スタート・モード(TMC0n.TMC0n3, TMC0n2ビット = 10)に設定します。TI0n0端子の有効エッジ検出の逆相で, TM0nレジスタのカウント値をCR0n0レジスタにキャプチャします。TI0n0端子の有効エッジ検出で, TM0nレジスタのカウント値をCR0n1レジスタにキャプチャし, TM0nレジスタをクリア(0000H)します。したがって, TM0nレジスタがオーバフローしなければ, CR0n1レジスタには周期が格納されます。

オーバフローが発生した場合は, CR0n1レジスタに格納した値に10000Hを加算した値を周期として扱ってください。また, TMC0n.OVF0nビットをクリア(0)してください。

図8 - 41 パルス幅測定のためのタイミング例(3)

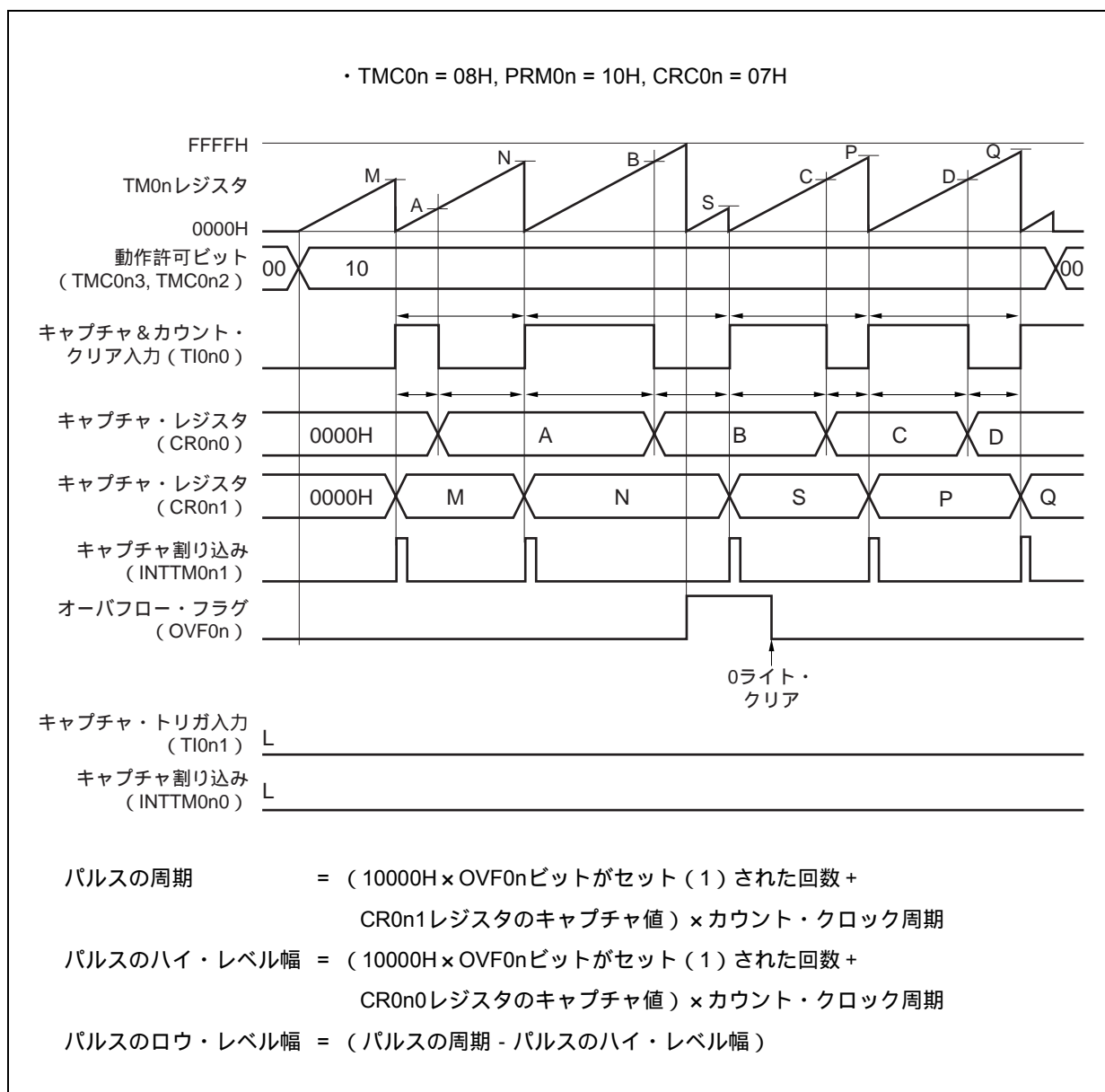


図8 - 42 パルス幅測定時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	0/1	0/1	0	0

- 01 : フリー・ランニング・タイマ・モード
- 10 : TI0n0端子の有効エッジによるクリア&スタート・モード

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	1	0/1

- 1 : CR0n0をキャプチャ・レジスタにする
- 0 : CR0n0のキャプチャ・トリガはTI0n1端子
- 1 : CR0n0のキャプチャ・トリガはTI0n0端子の逆相
- 1 : CR0n1をキャプチャ・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0	0	0	0

(d) プリスケアラ・モード・レジスタ0n (PRM0n) , セレクタ動作制御レジスタ1 (SELCNT1)

				ESn11	ESn10	ESn01	ESn00			PRM0n1	PRM0n0			ISEL1n
PRM0n	0/1	0/1	0/1	0/1	0	0	0	0	0/1	0/1	SELCNT1	0/1		

- カウント・クロックの選択 (TI0n0の有効エッジは設定禁止)
- 00 : 立ち下がりエッジ検出
- 01 : 立ち上がりエッジ検出
- 10 : 設定禁止
- 11 : 両エッジ検出 (CRC0n1 = 1時は設定禁止)
- 00 : 立ち下がりエッジ検出
- 01 : 立ち上がりエッジ検出
- 10 : 設定禁止
- 11 : 両エッジ検出

備考 n = 0-5

図8 - 42 パルス幅測定時のレジスタ設定内容例 (2/2)

**(e) 16ビット・タイマ・カウンタ0n (TM0n)**

TM0nレジスタをリードしてカウンタの値を読み出します。

**(f) 16ビット・キャプチャ/コンペア・レジスタ0n0 (CR0n0)**

キャプチャ・レジスタとして使用します。TI0n0/TI0n1端子入力のどちらかをキャプチャ・トリガとして設定し、キャプチャ・トリガのエッジ検出により、TM0nレジスタのカウント値をCR0n0レジスタに格納します。

**(g) 16ビット・キャプチャ/コンペア・レジスタ0n1 (CR0n1)**

キャプチャ・レジスタとして使用します。TI0n0端子入力キャプチャ・トリガとなり、キャプチャ・トリガのエッジ検出により、TM0nレジスタのカウント値をCR0n1レジスタに格納します。

**備考** n = 0-5

図8 - 43 パルス幅測定時のソフトウェア処理例 (1/2)

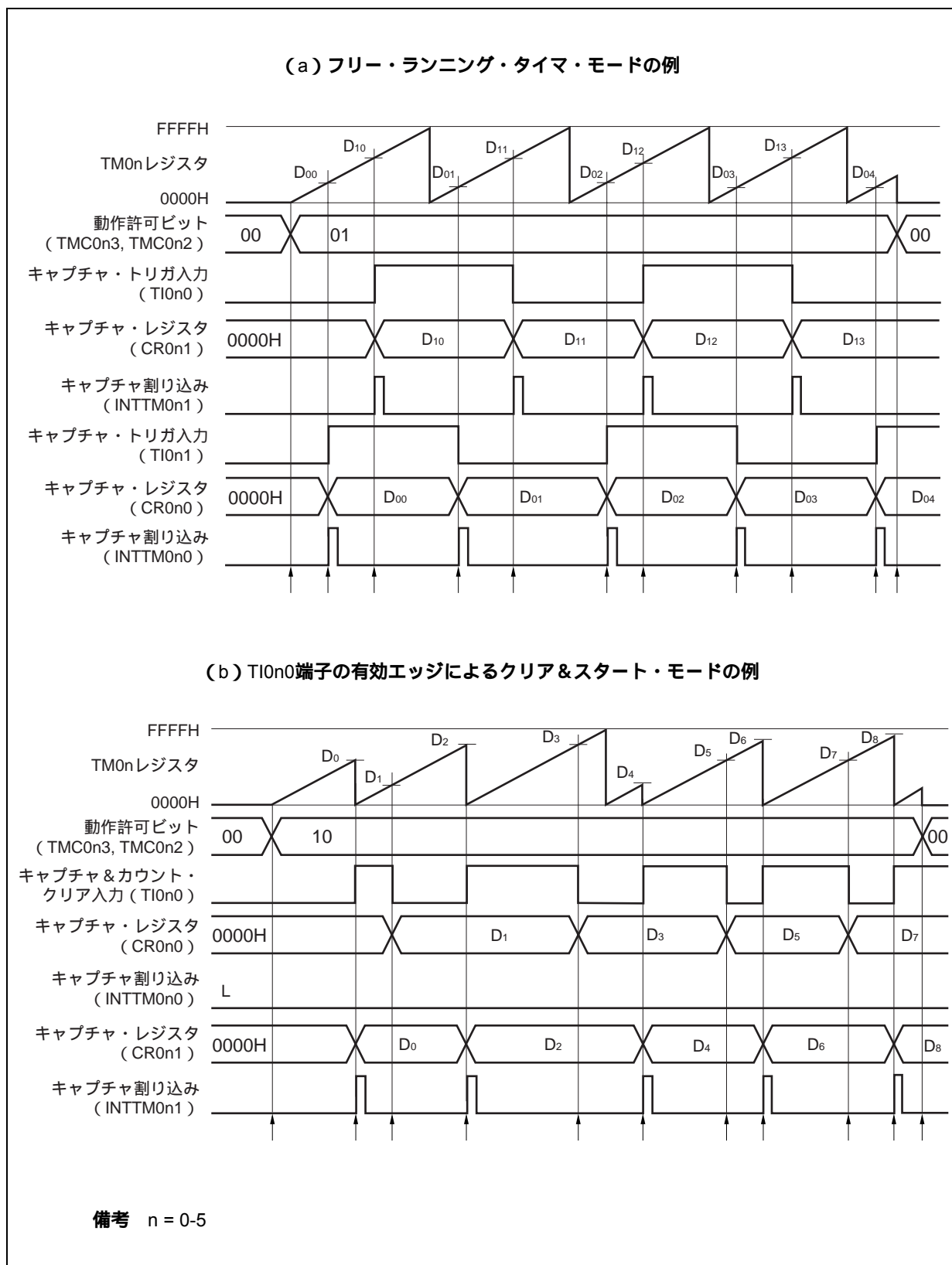
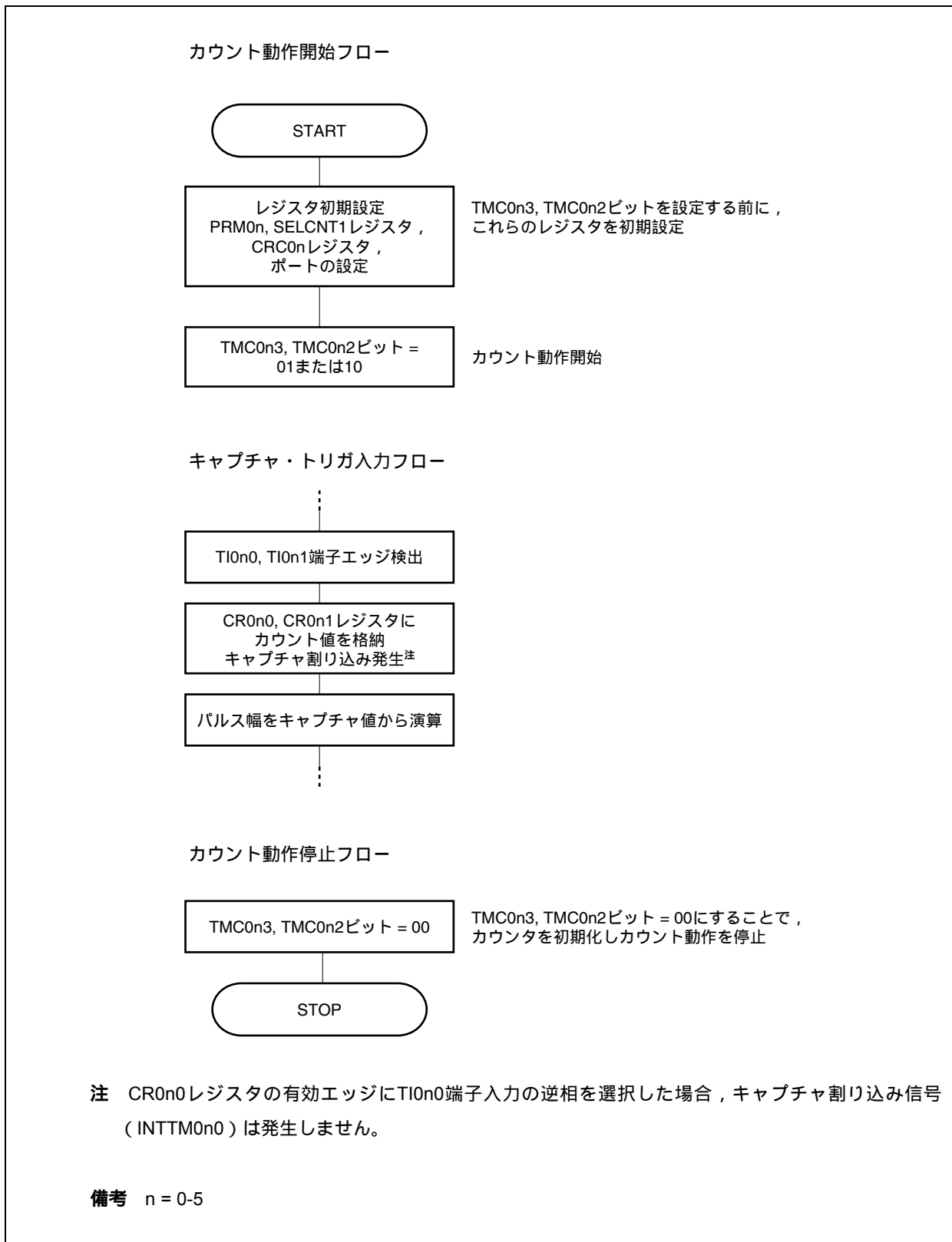


図8 - 43 パルス幅測定時のソフトウェア処理例 (2/2)



## 8.5 TM0nの特殊な使用方法

### 8.5.1 CR0n1レジスタのTM0n動作中の書き換え

V850ES/KJ1+では、TM0n動作中（TMC0n.TMC0n3, TMC0n2ビット = 00以外）のとき、コンペア・レジスタとして使用するCR0n0レジスタとCR0n1レジスタの書き換えは原則禁止です。

ただし、CR0n1レジスタだけは、PPG出力としてタイマ動作中にデューティを変更する場合、次の手順で設定すればTM0n動作中でも書き換えができます（CR0n1レジスタとTM0nレジスタの一致直後に書き換えてください。CR0n1レジスタとTM0nレジスタの一致直前で書き換えると想定しない動作を起こす場合があります）。

#### CR0n1レジスタの書き換え手順

INTTM0n1の割り込みを禁止する（TM0ICn0.TM0MKn1ビット = 1）。

TM0nレジスタとCR0n1レジスタの一致によるタイマ出力反転動作を禁止する（TOC0n.TOC0n4ビット = 0）。

CR0n1レジスタを書き換える。

TM0nレジスタのカウント・クロックの1周期分ウエイトする。

TM0nレジスタとCR0n1レジスタの一致によるタイマ出力反転動作を許可する（TOC0n.TOC0n4ビット = 1）。

INTTM0n1の割り込みフラグをクリア（0）する（TM0ICn0.TM0IFn1ビット = 0）。

INTTM0n1の割り込みを許可する（TM0ICn0.TM0MKn1ビット = 0）

**備考** TM0ICn0レジスタについては第21章 **割り込み/例外処理機能**を参照してください。

### 8.5.2 LVS0n, LVR0nビットの設定について

#### (1) LVS0n, LVR0nビットの使用用途

TOC0n.LVS0n, LVR0nビットは、TO0n端子出力の初期値を設定したいときや、タイマを動作許可しない（TMC0n.TMC0n3, TMC0n2ビット = 00）でタイマ出力を反転させたいときに使用します。ソフトウェア制御が不要なときは、LVS0n, LVR0nビットは00（初期値ロウ・レベル出力）に設定してください。

LVS0nビット	LVR0nビット	タイマ出力の状態
0	0	変化しない（ロウ・レベル出力）
0	1	クリア（ロウ・レベル出力）
1	0	セット（ハイ・レベル出力）
1	1	設定禁止



(2) LVS0n, LVR0nビットの設定方法

LVS0n, LVR0nビットは次の手順で設定してください。

図8 - 44 LVS0n, LVR0nビットの設定フロー例

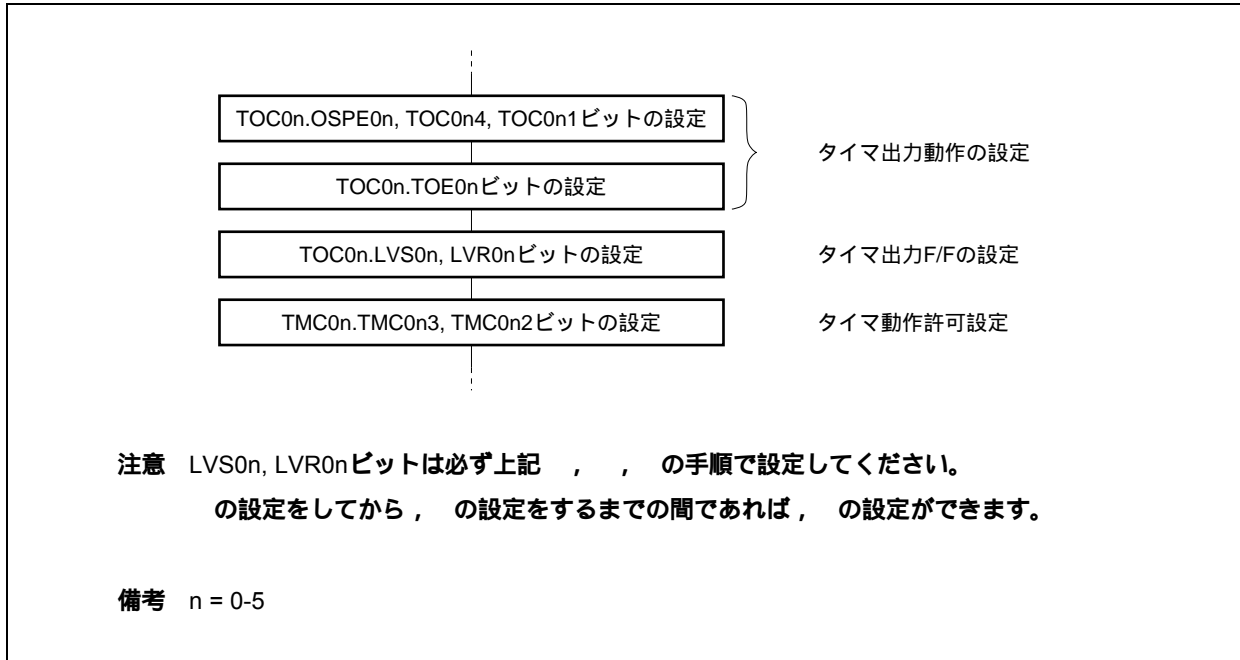
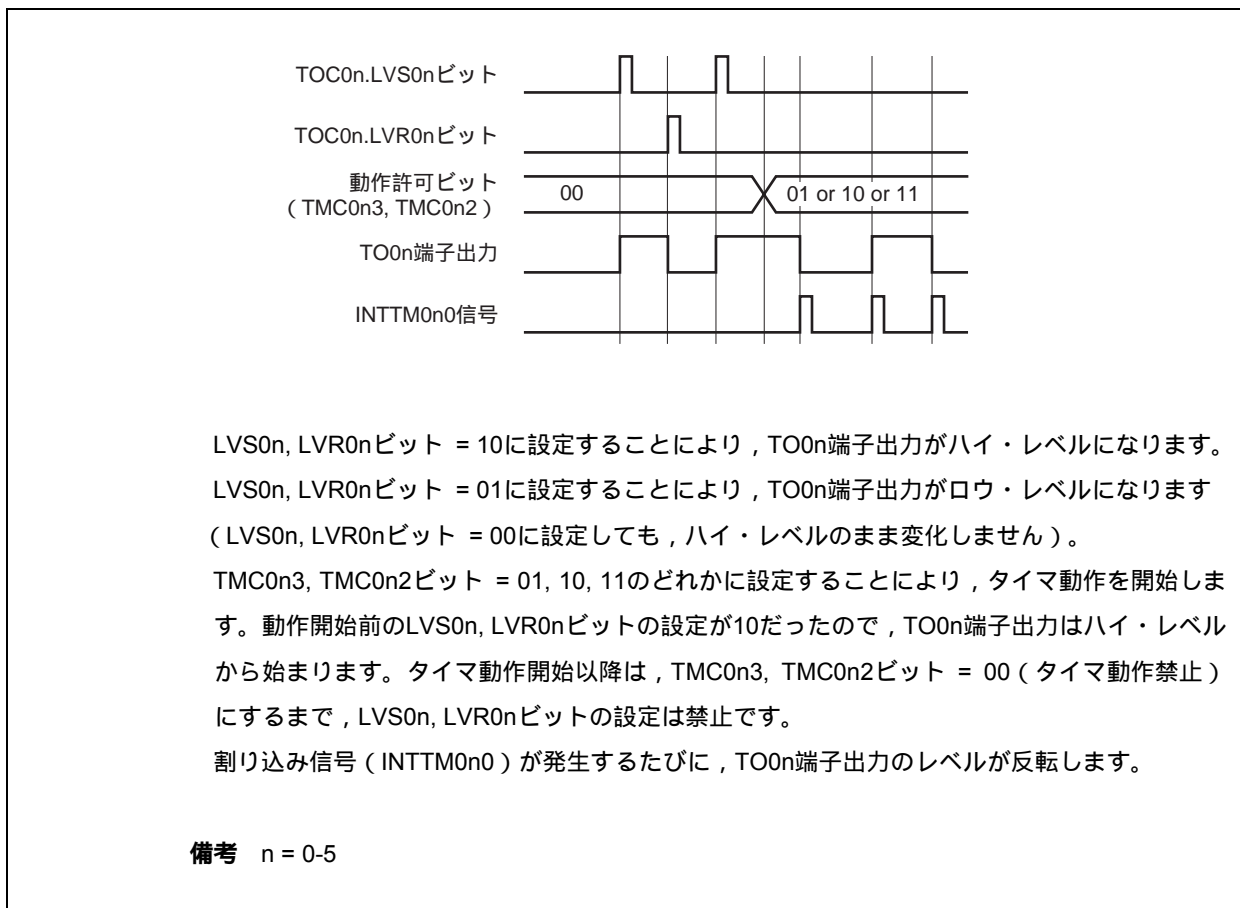


図8 - 45 LVR0n, LVS0nビットのタイミング例



## 8.6 注意事項

### (1) TI0n0/TO0n端子兼用に関して

チャンネル	端子	兼用端子	備考
TM00	TI000	P33/TO00/TIP00/TOP00	TO00端子と兼用しています。
	TI001	P34/TO00/TIP01/TOP01	TO00端子と兼用しています。
	TO00	P33/TI000/TIP00/TOP00 P34/TI001/TIP01/TOP01	P33端子とP34端子の2つに割り当てています。
TM01	TI010	P35/TO01	TO01端子と兼用しています。
	TI011	P50/KR0/RTP00	
	TO01	P32/ASCK0/ADTRG P35/TI010	P32端子とP35端子の2つに割り当てています。
TM02	TI020	P92/A2/TO02	TO02端子と兼用しています。
	TI021	P93/A3	
	TO02	P30/TXD0 P92/TI020/A2	P30端子とP92端子の2つに割り当てています。
TM03	TI030	P94/A4/TO03	TO03端子と兼用しています。
	TI031	P95/A5	
	TO03	P31/RXD0/INTP7 P94/TI030/A4	P31端子とP94端子の2つに割り当てています。
TM04	TI040	P69	
	TI041	P610	
	TO04	P611	
TM05	TI050	P612	
	TI051	P613/TO05	TO05端子と兼用しています。
	TO05	P613/TI051	

#### (a) TM00について

- ・ TI000端子の有効エッジ検出をトリガとして、ワンショット・パルスを出力したい場合には、P34端子兼用のTO00端子出力を使用してください。

P33端子兼用のTO00端子出力を使用すると、同じくP33端子と兼用しているTI000端子が使用できません。

ソフトウェア・トリガ (TOC00. OSPT00ビットのセット (1)) だけをワンショット・パルス出力の起動トリガにする場合は、P33, P34端子のどちらでもTO00端子出力として使用できます。

- ・ TI000端子入力の有効エッジ検出によって、TO00端子出力の反転動作を行いたい場合には、P34端子兼用のTO00端子出力を使用してください。

P33端子兼用のTO00端子出力を使用すると、同じくP33端子と兼用しているTI000端子が使用できないため、TI000端子入力の有効エッジ検出によるTO00端子出力反転動作ができません。なお、P33端子兼用のTO00端子を使用するときは、TMC00.TMC001ビット = 0にしてください。

**(b) TM01について**

- ・ TI010端子の有効エッジ検出をトリガとして、ワンショット・パルスを出力したい場合には、P32端子兼用のTO01端子出力を使用してください。

P35端子兼用のTO01端子出力を使用すると、同じくP35端子と兼用しているTI010端子が使用できません。

ソフトウェア・トリガ (TOC01.OSPT01ビットのセット(1)) だけをワンショット・パルス出力の起動トリガにする場合は、P32, P35端子のどちらでもTO01端子出力として使用できます。

- ・ TI010端子入力の有効エッジ検出によって、TO01端子出力の反転動作を行いたい場合には、P32端子兼用のTO01端子出力を使用してください。

P35端子兼用のTO01端子出力を使用すると、同じくP35端子と兼用しているTI010端子が使用できないため、TI010端子入力の有効エッジ検出によるTO01端子出力反転動作ができません。なお、P35端子兼用のTO01端子を使用するときは、TMC01.TMC011ビット = 0にしてください。

**(c) TM02について**

- ・ ワンショット・パルスを出力したい場合には、P30端子兼用のTO02端子出力を使用してください。

TI020端子の有効エッジ検出によるトリガだけでなく、ソフトウェア・トリガ (TOC02.OSPT02ビットのセット(1)) だけを使用する場合でも、P92端子兼用のTO02端子出力を使用してワンショット・パルスを出力することはできません。

- ・ TI020端子入力の有効エッジ検出によって、TO02端子出力の反転動作を行いたい場合には、P30端子兼用のTO02端子出力を使用してください。

P92端子兼用のTO02端子出力を使用すると、同じくP92端子と兼用しているTI020端子が使用できないため、TI020端子入力の有効エッジ検出によるTO02端子出力反転動作ができません。なお、P92端子兼用のTO02端子を使用するときは、TMC02.TMC021ビット = 0にしてください。

**(d) TM03について**

- ・ ワンショット・パルスを出力したい場合には、P31端子兼用のTO03端子出力を使用してください。

TI030端子の有効エッジ検出によるトリガだけでなく、ソフトウェア・トリガ (TOC03.OSPT03ビットのセット(1)) だけを使用する場合でも、P94端子兼用のTO03端子出力を使用してワンショット・パルスを出力することはできません。

- ・ TI030端子入力の有効エッジ検出によって、TO03端子出力の反転動作を行いたい場合には、P31端子兼用のTO03端子出力を使用してください。

P94端子兼用のTO03端子出力を使用すると、同じくP94端子と兼用しているTI030端子が使用できないため、TI030端子入力の有効エッジ検出によるTO03端子出力反転動作ができません。なお、P94端子兼用のTO03端子を使用するときは、TMC03.TMC031ビット = 0にしてください。

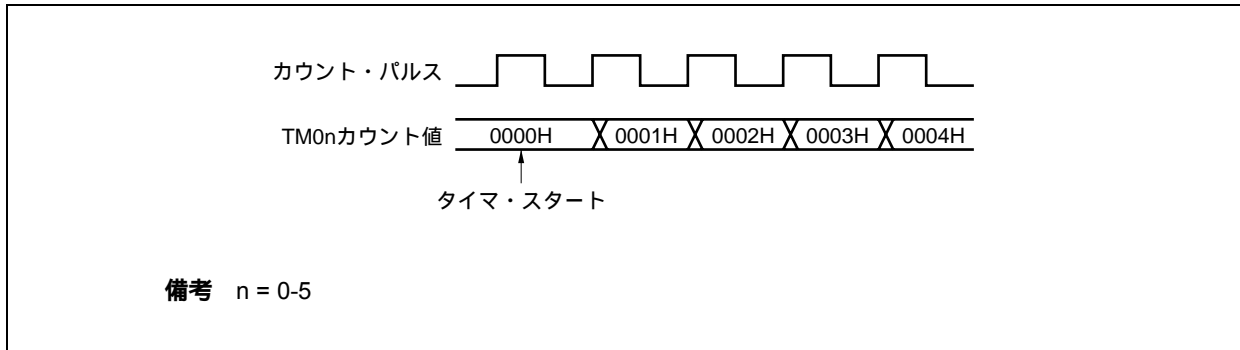
**(e) TM04, TM05について**

TI040端子とTO04端子、TI050端子とTO05端子は兼用していません。

(2) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対してTM0nレジスタのカウント・スタートが非同期で行われるためです。

図8 - 46 TM0nレジスタのカウント・スタート・タイミング



(3) CR0n0, CR0n1レジスタの設定 (TM0nレジスタとCR0n0レジスタの一致でクリア&スタート・モードの場合)

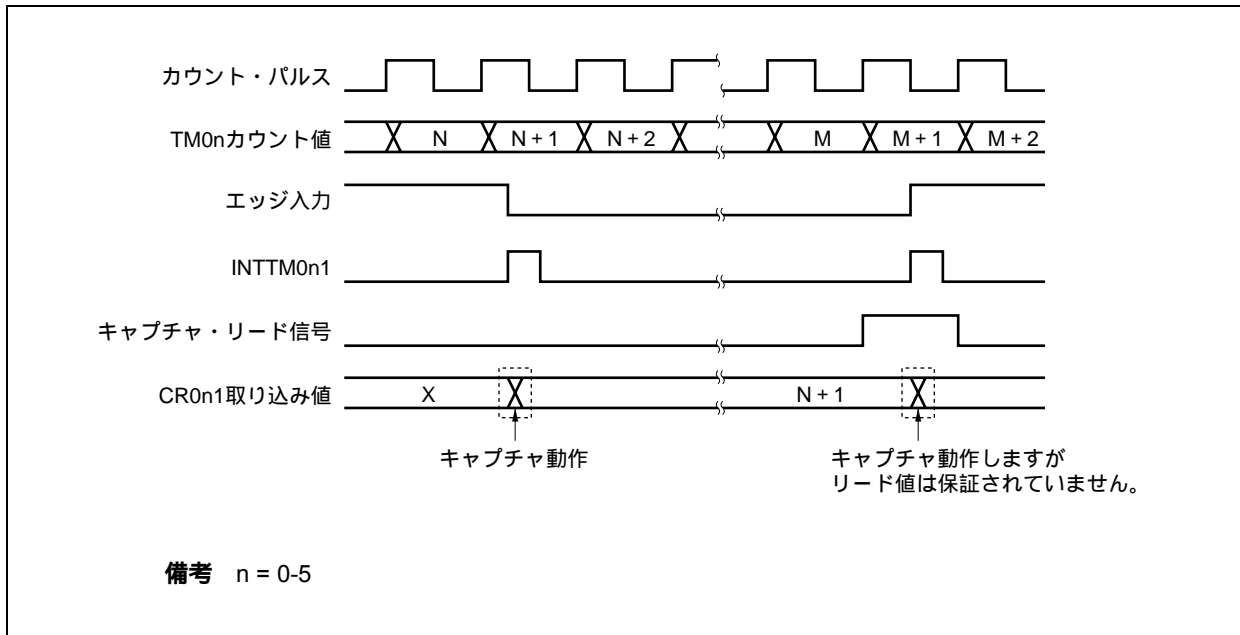
CR0n0, CR0n1レジスタには、0000H以外の値を設定してください(外部イベント・カウンタとして使用する場合、1パルスのカウント動作はできません)。

備考 n = 0-5

(4) キャプチャ・レジスタのデータ保持タイミング

(a) CR0n0/CR0n1レジスタの読み出し中にTI0n1/TI0n0端子の有効エッジ入力を検出したとき、CR0n0/CR0n1レジスタはキャプチャ動作を行います。このときのリード値は保証されません。ただし、有効エッジの検出による割り込み信号 (INTTM0n0/INTTM0n1) は発生します。

図8 - 47 キャプチャ・レジスタのデータ保持タイミング



(b) 16ビット・タイマ/イベント・カウンタ0n停止後のCR0n0, CR0n1レジスタの値は保証されません。

(5) 有効エッジの設定

TI0n0端子の有効エッジの設定は、タイマ動作が停止 (TMC0n.TMC0n3, TMC0n2ビット = 00) しているときに行ってください。有効エッジの設定は、PRM0n.ESn00, ESn01ビットで行います。

(6) ワンショット・パルスの再トリガ

ワンショット・パルス出力モードで、アクティブ・レベルを出力中に、トリガが発生しないようにしてください。次のトリガ入力は、必ず現在のアクティブ・レベル出力が終わったあとで発生するようにしてください。

備考 n = 0-5

(7) OVF0nフラグの動作

(a) OVF0nフラグのセット(1)

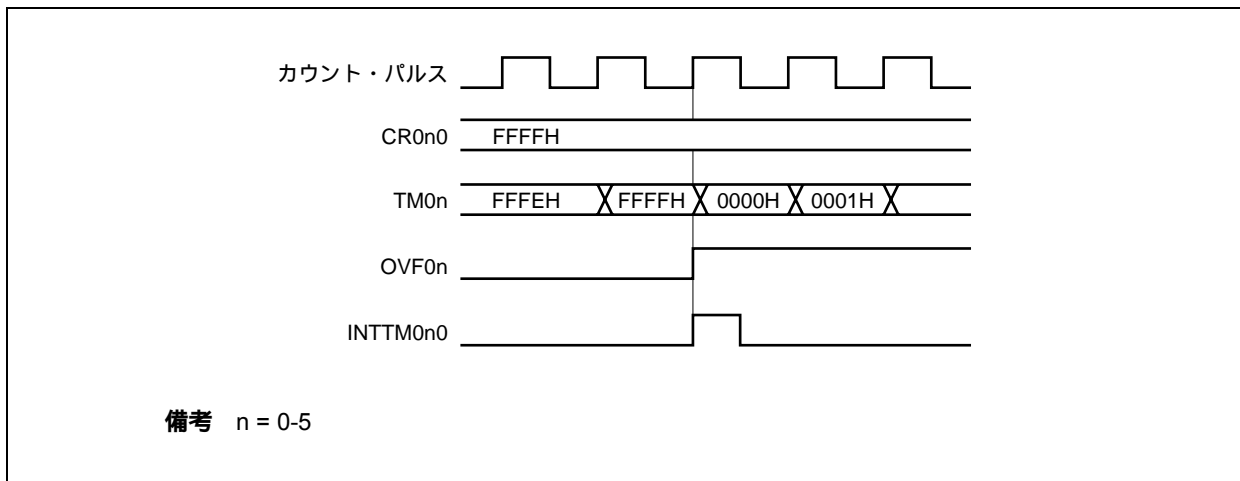
TMC0n.OVF0nフラグは、TM0nレジスタがオーバーフローしたとき以外に、次のときにもセット(1)されます。

TM0nレジスタとCR0n0レジスタの一致でクリア&スタート・モードを選択

CR0n0レジスタをFFFFHに設定

TM0nレジスタがCR0n0レジスタとの一致によりFFFFHから0000Hにクリアされるとき

図8 - 48 OVF0nフラグの動作タイミング



(b) OVF0nフラグのクリア

TM0nレジスタがオーバーフロー後、次のカウント・クロックがカウントされる(TM0nレジスタが0001Hになる)前にOVF0nフラグをクリア(0)しても、再度セット(1)されクリアは無効となります。

備考 n = 0-5

**(8) ワンショット・パルス出力**

ワンショット・パルス出力は、フリー・ランニング・タイマ・モードまたはTI0n0端子の有効エッジでクリア&スタート・モードのときに、正常に動作します。TM0nレジスタとCR0n0レジスタの一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

**備考** n = 0-5

**(9) キャプチャ動作****(a) カウント・クロックにTI0n0の有効エッジを指定した場合**

カウント・クロックにTI0n0の有効エッジを指定した場合、TI0n0をトリガに指定したキャプチャ・レジスタは正常に動作しません。

**(b) TI0n1, TI0n0端子入力信号で確実にキャプチャするためのパルス幅**

確実にキャプチャするためのキャプチャ・トリガとして、TI0n0, TI0n1端子に入力するパルスには、PRM0n, SELCNT1レジスタで選択したカウント・クロックの2回分より長いパルス幅が必要です。

**(c) 割り込み信号の発生**

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み信号 (INTTM0n0, INTTM0n1) は次のカウント・クロックの立ち上がりで発生します。

**(d) CRC0n.CRC0n1ビット = 1に設定したときの注意**

TI0n0端子入力の逆相でTM0nレジスタのカウント値をCR0n0レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM0n0) は発生しません。この動作中に、TI0n1端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM0n0信号が発生します。外部割り込みを使用しない場合は、INTTM0n0信号をマスクしてください。

**備考** n = 0-5

**(10) エッジ検出****(a) リセット後の有効エッジ指定**

リセット後、TI0n0端子またはTI0n1端子がハイ・レベルの状態、TI0n0端子またはTI0n1端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ0nの動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI0n0端子またはTI0n1端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

**(b) ノイズ除去のためのサンプリング・クロック**

TI0n0の有効エッジをカウント・クロックで使用する場合と、キャプチャ・トリガとして使用する場合で、ノイズ除去のためのサンプリング・クロックが異なります。前者は $f_{xx}/4$ 固定で、後者はPRM0n, SELCNT1レジスタで選択したカウント・クロックでサンプリングします。

TI0n0端子入力信号をサンプリングして、2回連続して有効レベルを検出したときに、はじめて有効エッジと判断します。したがって、短いパルス幅のノイズを除去できます。

備考1.  $f_{xx}$  : メイン・クロック周波数

2.  $n = 0-5$



## 第9章 8ビット・タイマ/イベント・カウンタ5

V850ES/KJ1+は、8ビット・タイマ/イベント・カウンタ5を2チャンネル搭載しています。

### 9.1 機能

8ビット・タイマ/イベント・カウンタ5 $n$ には、次の2つのモードがあります ( $n=0, 1$ )。

- ・8ビット・タイマ/イベント・カウンタを単体で使用するモード (単体モード)
- ・カスケード接続して使用するモード (16ビット分解能: カスケード接続モード)

次に、これら2つのモードについて説明します。

#### (1) 8ビット・タイマ/イベント・カウンタを単体で使用するモード (単体モード)

8ビットのタイマ/イベント・カウンタとして動作します。

次のような機能として使用できます。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

#### (2) カスケード接続して使用するモード (16ビット分解能: カスケード接続モード)

TM50, TM51レジスタをカスケード接続することにより、16ビットのタイマ/イベント・カウンタとして動作します。次のような機能として使用できます。

- ・16ビット分解能のインターバル・タイマ
- ・16ビット分解能の外部イベント・カウンタ
- ・16ビット分解能の方形波出力

## 9.2 構成

8ビット・タイマ/イベント・カウンタ5nは、次のハードウェアで構成されています。

表9-1 8ビット・タイマ/イベント・カウンタ5nの構成

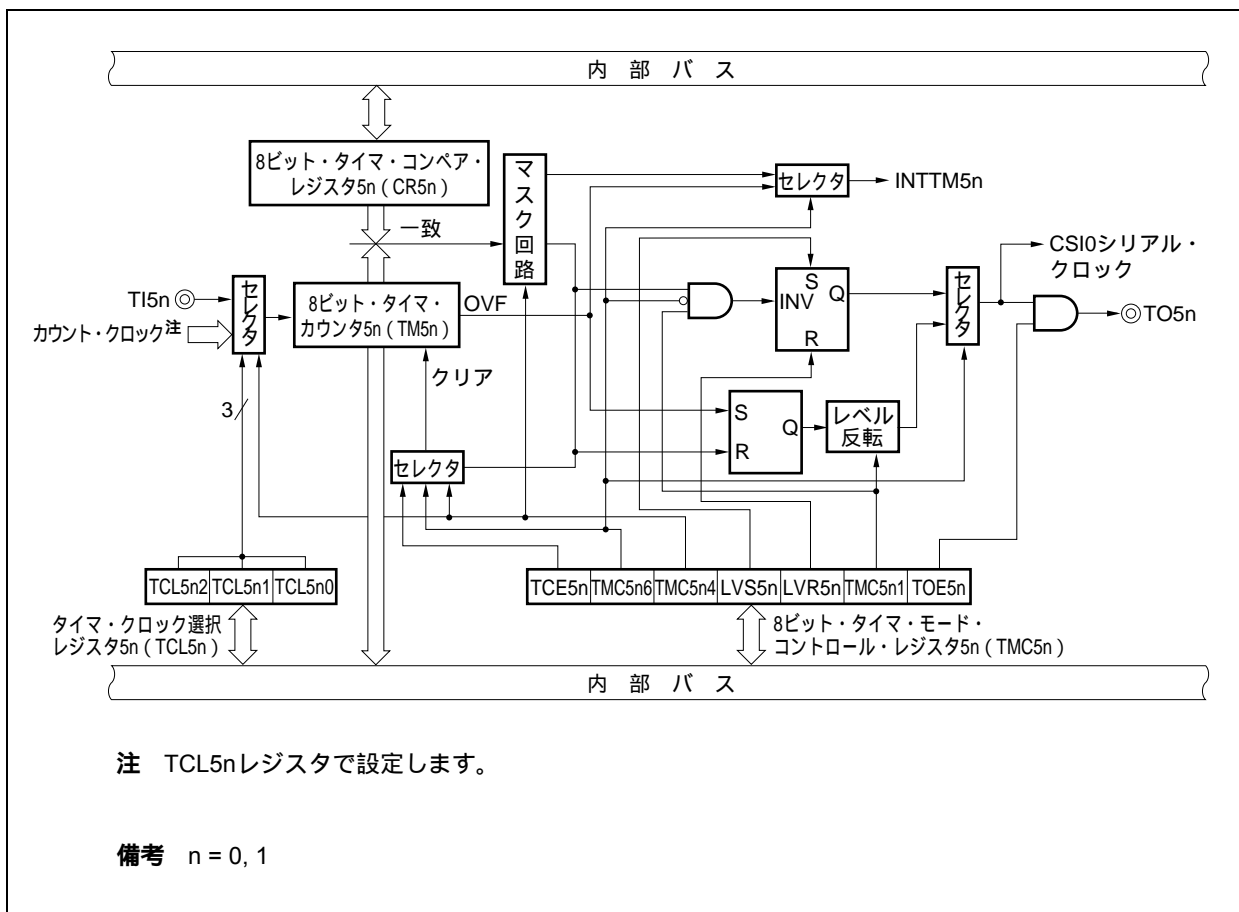
項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタ50, 51 (TM50, TM51) 16ビット・タイマ・カウンタ5 (TM5) : カスケード接続時のみ
レジスタ	8ビット・タイマ・コンペア・レジスタ50, 51 (CR50, CR51) 16ビット・タイマ・コンペア・レジスタ5 (CR5) : カスケード接続時のみ
タイマ出力	TO50, TO51
制御レジスタ <sup>注</sup>	タイマ・クロック選択レジスタ50, 51 (TCL50, TCL51) 8ビット・タイマ・モード・コントロール・レジスタ50, 51 (TMC50, TMC51) 16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) : カスケード接続時のみ

注 TI5n, TO5n端子の機能を使用する場合は、表4-19 ポート端子を兼用端子として使用する場合を参照してください。

備考 n = 0, 1

次に、8ビット・タイマ/イベント・カウンタ5nのブロック図を示します。

図9-1 8ビット・タイマ/イベント・カウンタ5nのブロック図



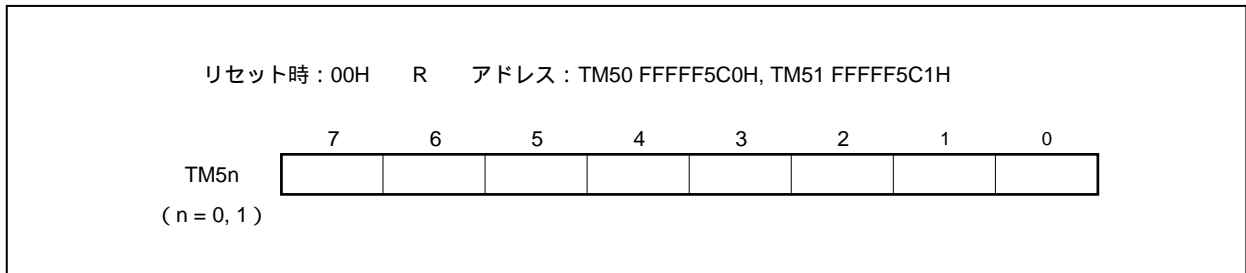
(1) 8ビット・タイマ・カウンタ5n (TM5n)

TM5nレジスタは、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメントします。

TM5nレジスタは、それぞれカスケード接続し、16ビット・タイマとして使用できます。

TM50レジスタとTM51レジスタをカスケード接続し16ビット・タイマとして使用した場合、16ビット単位でリードのみ可能です。したがって、カウント変化中の読み出しを考慮し、2回読むことにより比較してください。



次の場合、カウント値は00Hになります。

リセット時

TMC5n.TCE5nビットをクリア (0) したとき

TM5nレジスタとCR5nレジスタの一致でクリア & スタート・モード時にTM5nレジスタとCR5nレジスタの値が一致したとき

**注意** カスケード接続時は、最下位タイマ(TM50)のTCE50ビットをクリアしても0000Hとなります。

**備考** n = 0, 1

(2) 8ビット・タイマ・コンペア・レジスタ5n (CR5n)

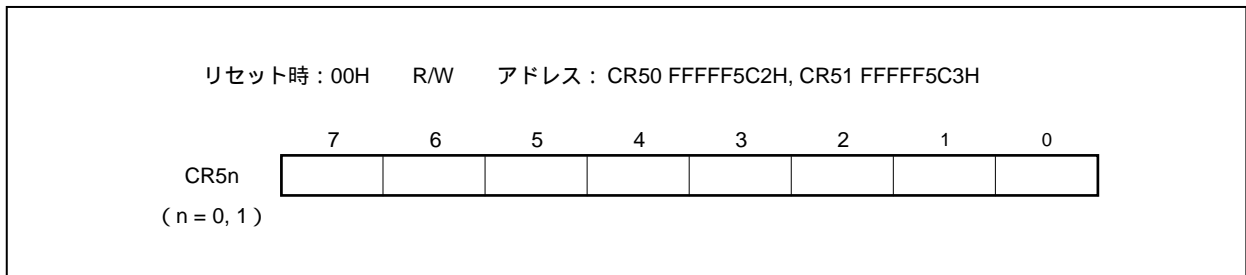
8ビット単位でリード/ライト可能です。

PWMモード以外では、CR5nレジスタに設定した値と、TM5nレジスタのカウンタ値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTM5n) が発生します。

PWMモード時は、TM5nレジスタのオーバフローによりTO5n端子出力がアクティブ・レベルになり、TM5nレジスタとCR5nレジスタの値が一致するとTO5n端子出力がインアクティブ・レベルになります。

CR5nレジスタの値は00H-FFHの範囲で設定できます。

TM50レジスタとTM51レジスタをカスケード接続し、16ビット・タイマとして使用した場合、CR50レジスタとCR51レジスタは、16ビット・タイマ・コンペア・レジスタ5 (CR5) として動作します。16ビット長でカウンタ値とレジスタ値を比較し、一致すると割り込み要求信号 (INTTM50) を発生します。



- 注意1. TM5nレジスタとCR5nレジスタの一致でクリア&スタート・モード時 (TMC5n.TMC5n6ビット = 0) は、カウンタ動作中にCR5nレジスタに異なる値を書き込まないでください。
- 2. PWMモード時は、CR5nレジスタの書き換え間隔を3カウント・クロック (TCL5nレジスタで選択したクロック) 以上にしてください。
- 3. カスケード接続時にCR5nレジスタの値を変更するときは、必ずタイマ動作を停止させてから行ってください。

備考 n = 0, 1

## 9.3 レジスタ

8ビット・タイマ/イベント・カウンタ5nを制御するレジスタには、次の2種類があります。

- ・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)

**備考** TI5n, TO5n端子の機能を使用する場合は、表4 - 19 ポート端子を兼用端子として使用する場合を参照してください。

### (1) タイマ・クロック選択レジスタ5n (TCL5n)

TCL5nレジスタは、8ビット・タイマ/イベント・カウンタ5nのカウント・クロックおよびTI5n端子入力の有効エッジを設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TCL50 FFFFF5C4H, TCL51 FFFFF5C5H

	7	6	5	4	3	2	1	0
TCL5n	0	0	0	0	0	TCL5n2	TCL5n1	TCL5n0

(n = 0, 1)

TCL5n2	TCL5n1	TCL5n0	カウント・クロックの選択 <sup>注</sup>		
			クロック	f <sub>xx</sub>	
				20 MHz	10 MHz
0	0	0	TI5nの立ち下がりエッジ	-	-
0	0	1	TI5nの立ち上がりエッジ	-	-
0	1	0	f <sub>xx</sub>	設定禁止	100 ns
0	1	1	f <sub>xx</sub> /2	100 ns	200 ns
1	0	0	f <sub>xx</sub> /4	200 ns	0.4 μs
1	0	1	f <sub>xx</sub> /64	3.2 μs	6.4 μs
1	1	0	f <sub>xx</sub> /256	12.8 μs	25.6 μs
1	1	1	INTTM010	-	-

**注** 内部クロック選択時は、次の条件を満たすように設定してください。

REGC = V<sub>DD</sub> = 4.0 ~ 5.5 V : カウント・クロック 10 MHz

REGC = 10 μF, V<sub>DD</sub> = 4.0 ~ 5.5 V : カウント・クロック 5 MHz

REGC = V<sub>DD</sub> = 2.7 ~ 4.0 V : カウント・クロック 5 MHz

**注意** TCL5nレジスタを同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。

**備考** カスケード接続時、TCL51レジスタの設定は無効になります。

(2) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)

TMC5nレジスタは、次の6種類の設定を行うレジスタです。

- ・ TMC5nレジスタのカウンタ動作制御
- ・ TMC5nレジスタの動作モードの選択
- ・ 単体モード/カスケード接続モードの選択
- ・ タイマ出力F/F (フリップフロップ) の状態設定
- ・ タイマ出力F/Fの制御またはPWM (フリー・ランニング・タイマ) モード時のアクティブ・レベルの選択
- ・ タイマ出力の制御

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TMC50 FFFFF5C6H, TMC51 FFFFF5C7H

	⑦	6	5	4	3	2	1	⑩
TMC5n (n = 0,1)	TCE5n	TMC5n6	0	TMC514 <sup>注</sup>	LVS5n	LVR5n	TMC5n1	TOE5n
TCE5n		8ビット・タイマ/イベント・カウンタ5nのカウンタ動作制御						
0		カウンタを0にクリア後, カウンタ動作禁止 (カウンタ禁止)						
1		カウンタ動作開始						
TMC5n6		8ビット・タイマ/イベント・カウンタ5nの動作モード選択						
0		TM5nレジスタとCR5nレジスタの一致でクリア&スタート・モード						
1		PWM (フリー・ランニング・タイマ) モード						
TMC514		8ビット・タイマ/イベント・カウンタ51の単体モード/カスケード接続モードの選択						
0		単体モード						
1		カスケード接続モード (8ビット・タイマ/イベント・カウンタ50と接続)						
LVS5n	LVR5n	タイマ出力F/Fの状態設定						
0	0	変化しない						
0	1	タイマ出力F/Fをリセット (0)						
1	0	タイマ出力F/Fをセット (1)						
1	1	設定禁止						
TMC5n1	PWM (フリー・ランニング・タイマ) モード以外 (TMC5n6ビット = 0)			PWM (フリー・ランニング・タイマ) モード (TMC5n6ビット = 1)				
	タイマF/Fの制御			アクティブ・レベルの選択				
0	反転動作禁止			ハイ・アクティブ				
1	反転動作許可			ロウ・アクティブ				
TOE5n	タイマ出力の制御							
0	出力禁止 (TO5n端子はロウ・レベル)							
1	出力許可							

注 TMC50レジスタのビット4は0固定です。

注意1. TO51端子とTI51端子は兼用しているため, どちらか一方の機能しか使用できません。

2. LVS5n, LVR5nビットの設定は, PWMモード時以外で有効になります。

3. 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。

TMC5n1, TMC5n6, TMC514<sup>注</sup>ビットを設定 : 動作モードの設定

出力を許可する場合, TOE5nビットを設定 : タイマ出力許可

LVS5n, LVR5nビットを設定 (注意2) : タイマ出力F/Fの設定

TCE5nビットを設定

備考1. PWMモード時は, TCE5nビット = 0により, PWM出力がインアクティブ・レベルになります。

2. LVS5n, LVR5nビットをリードすると常に0が読み出されます。

3. TMC5n6, LVS5n, LVR5n, TMC5n1, TOE5nの各ビットの値は, TCE5nビットの値に関係なくTO5n出力に反映されます。

## 9.4 動作

### 9.4.1 インターバル・タイマとしての動作

CR5nレジスタにあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

TM5nレジスタのカウント値がCR5nレジスタに設定した値と一致したとき、TM5nレジスタの値を00Hにクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5n) が発生します。

#### 設定方法

各レジスタの設定を行います。

- ・ TCL5nレジスタ : カウント・クロック (t) の選択
- ・ CR5nレジスタ : コンペア値 (N)
- ・ TMC5nレジスタ : カウント動作停止, TM5nレジスタとCR5nレジスタの一致でクリア & スタート・モードを選択 (TMC5nレジスタ = 0000xx00B x: don't care)

TM5n.TCE5nビット = 1を設定すると、カウント動作を開始します。

TM5nレジスタとCR5nレジスタの値が一致すると、INTTM5n信号が発生します (TM5nレジスタは00Hにクリアされます)。

以後、同一間隔でINTTM5n信号が繰り返し発生します。カウント動作を停止するときは、TCE5nビット = 0にしてください。

$$\text{インターバル時間} = (N + 1) \times t : N = 00H\text{-}FFH$$

**注意** インターバル・タイマ動作中にCR5nレジスタの値を書き換えないでください。

**備考** n = 0, 1

図9-2 インターバル・タイマ動作のタイミング (1/2)

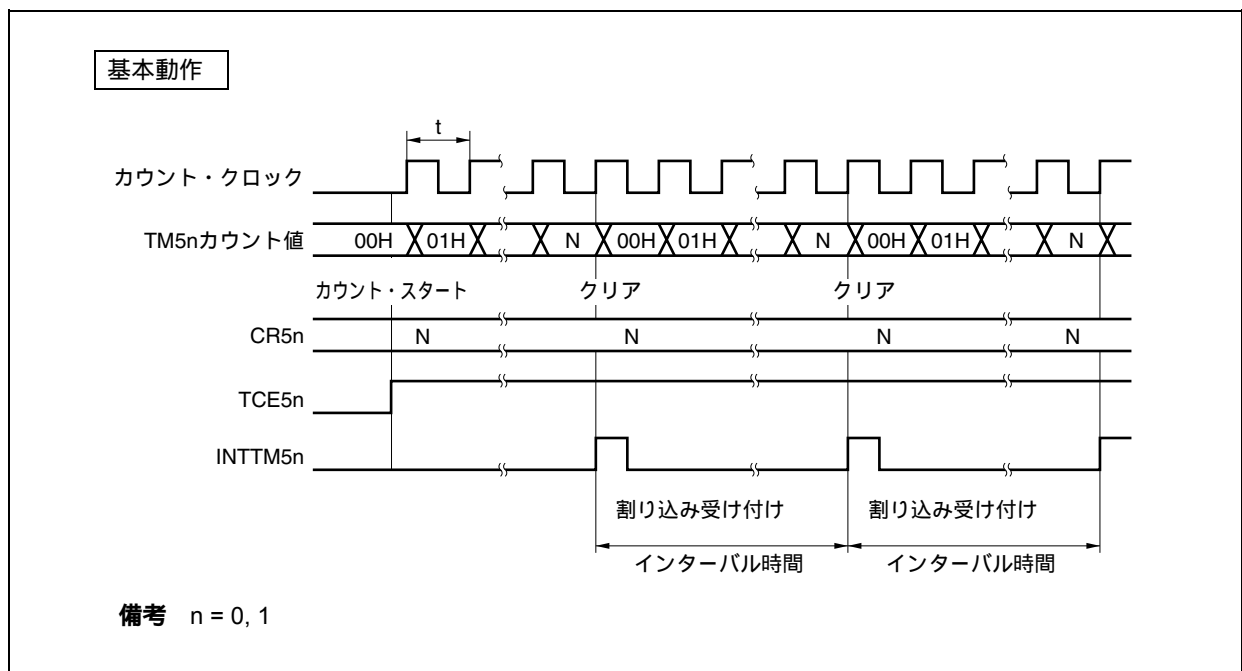
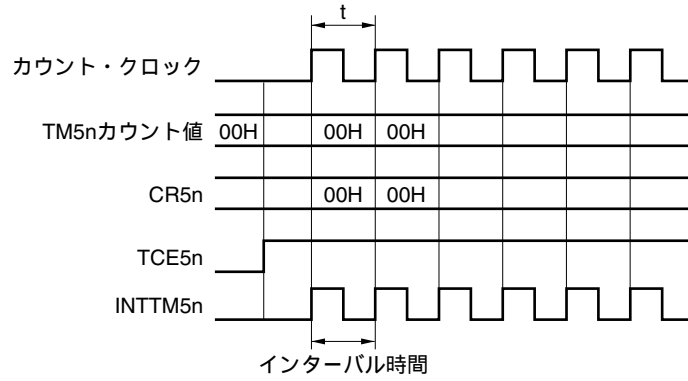




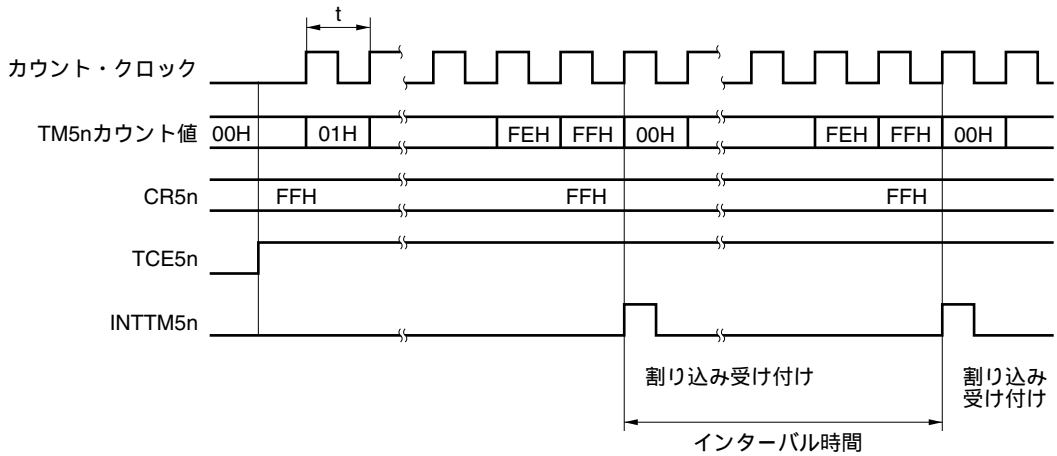
図9-2 インターバル・タイマ動作のタイミング (2/2)

CR5nレジスタ = 00Hの場合



備考 n = 0, 1

CR5nレジスタ = FFHの場合



備考 n = 0, 1

### 9.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5n端子に入力される外部からのクロック・パルス数をTM5nレジスタでカウントします。

TI5n端子にTCL5nレジスタで指定した有効エッジが入力されるごとに、TM5nレジスタがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nレジスタのカウント値がCR5nレジスタの値と一致すると、TM5nレジスタは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

#### 設定方法

各レジスタの設定を行います。

- ・TCL5nレジスタ : TI5n端子入力のエッジ選択

TI5n端子の立ち下がりエッジ TCL5nレジスタ = 00H

TI5n端子の立ち上がりエッジ TCL5nレジスタ = 01H

- ・CR5nレジスタ : コンペア値 (N)

- ・TMC5nレジスタ : カウント動作停止, TM5nレジスタとCR5nレジスタの一致でクリア & スタート・モードを選択, タイマ出力F/F反転動作禁止, タイマ出力禁止

(TMC5nレジスタ = 0000xx00B x : don't care)

- ・兼用端子の設定については表4 - 19 **ポート端子を兼用端子として使用する場合**を参照してください。

TMC5n.TCE5nビット = 1を設定すると、TI5n端子から入力されるパルス数をカウントします。

TM5nレジスタとCR5nレジスタの値が一致すると、INTTM5n信号が発生します (TM5nレジスタは00Hにクリアされます)。

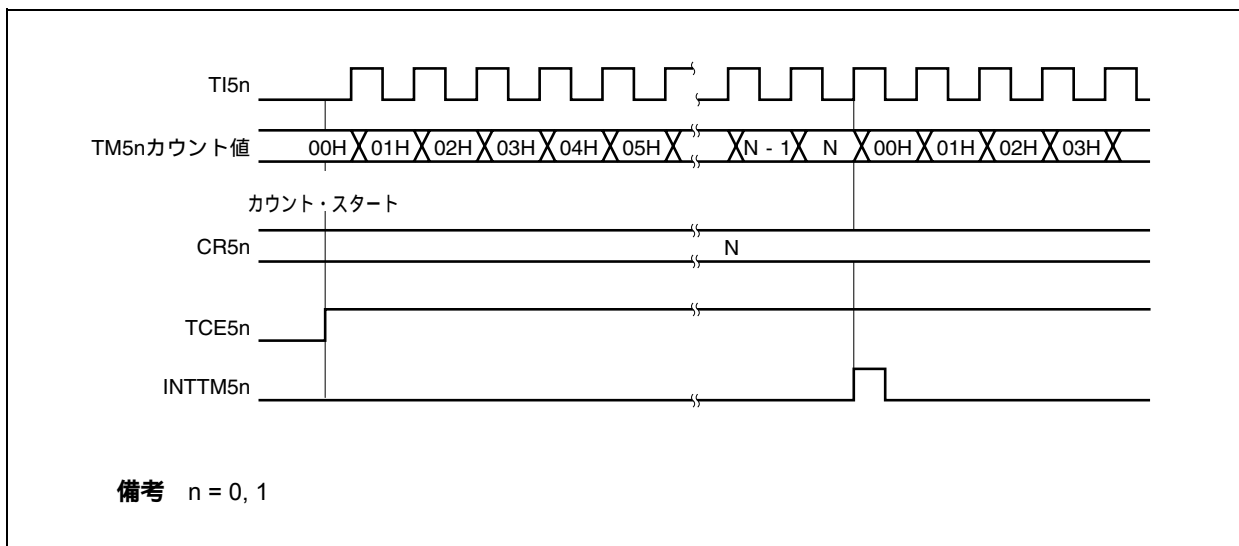
以後、TM5nレジスタとCR5nレジスタの値が一致するごとにINTTM5n信号が発生します。

TI5n端子に有効エッジがN + 1回入力されるとINTTM5n信号が発生 : N = 00H-FFH

**注意** 外部イベント・カウンタ動作中にCR5nレジスタの値を書き換えないでください。

**備考** n = 0, 1

図9 - 3 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



### 9.4.3 方形波出力としての動作

CR5nレジスタにあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

TMC5n.TOE5nビットに1を設定することにより、CR5nレジスタにあらかじめ設定したカウント値で決まるインターバルでTO5n端子の出力状態が反転します。これにより、任意の周波数の方形波出力（デューティ = 50 %）が可能です（n = 0, 1）。

#### 設定方法

各レジスタの設定を行います。

- ・TCL5nレジスタ：カウント・クロック（t）の選択
- ・CR5nレジスタ：コンペア値（N）
- ・TMC5nレジスタ：カウント動作停止，TM5nレジスタとCR5nレジスタの一致でクリア&スタート・モード選択，タイマ出力の初期値設定，タイマ出力F/Fの反転許可，タイマ出力許可（TMC5nレジスタ = 00001011Bまたは00000111B）
- ・兼用端子の設定については表4 - 19 ポート端子を兼用端子として使用する場合を参照してください。

TMC5n.TCE5nビット = 1を設定すると，カウント動作を開始します。

TM5nレジスタとCR5nレジスタの値が一致すると，タイマ出力F/Fが反転します。

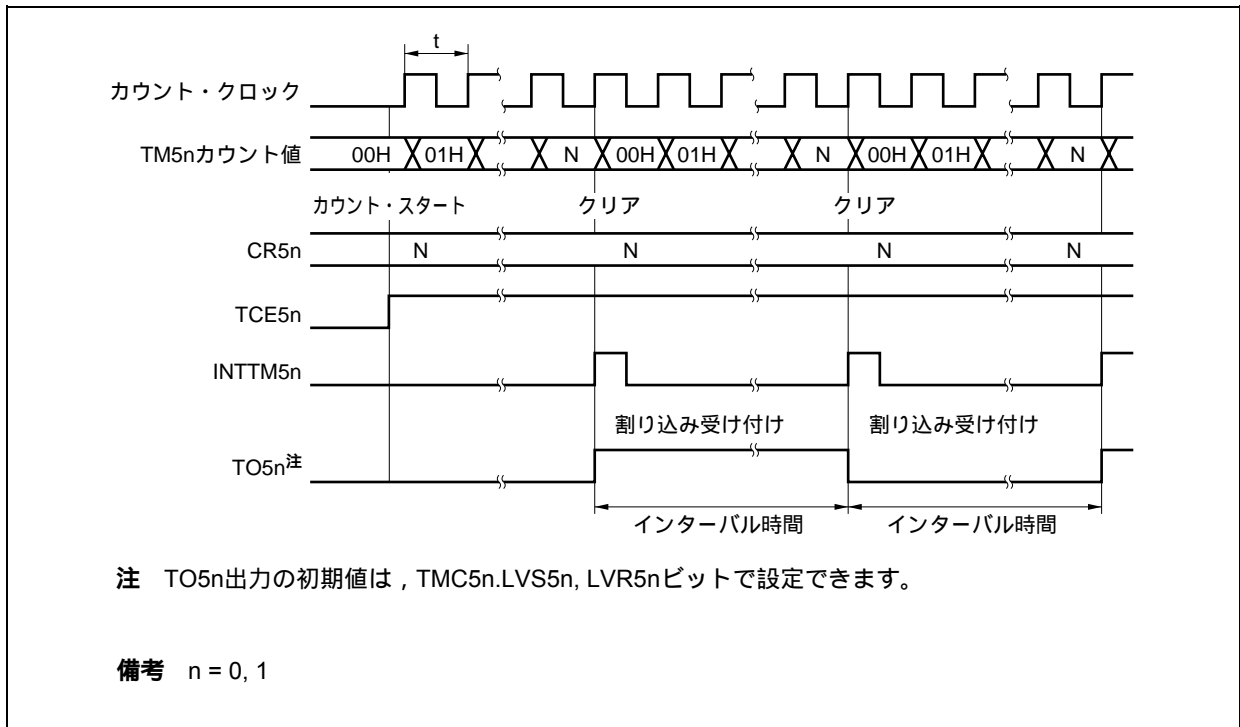
また，INTTM5n信号が発生し，TM5nレジスタは00Hにクリアされます。

以後，同一間隔でタイマ出力F/Fが反転し，TO5n端子から方形波が出力されます。

$$\text{周波数} = 1/2t (N + 1) : N = 00H\text{-}FFH$$

**注意** 方形波出力中にCR5nレジスタの値を書き換えないでください。

図9 - 4 方形波出力動作のタイミング



#### 9.4.4 8ビットPWM出力としての動作

TMC5n.TMC5n6ビットに1を設定することにより、PWM出力として動作します。

CR5nレジスタに設定した値で決まるデューティのパルスを、TO5n端子から出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nレジスタに設定してください。また、アクティブ・レベルは、TMC5nレジスタのTMC5n1ビットにより選択できます。

カウント・クロックは、TCL5nレジスタで選択できます。

TMC5n.TOE5nビットにより、PWM出力の許可/禁止が選択できます。

**注意** CR5nレジスタの書き換え間隔は、動作クロック（TCL5nレジスタで設定）の3クロック以上必要です。

##### 使用方法

各レジスタの設定を行います。

- ・TCL5nレジスタ：カウント・クロック（t）の選択
- ・CR5nレジスタ：コンペア値（N）
- ・TMC5nレジスタ：カウント動作停止、PWMモード選択、タイマ出力F/F変化なし、アクティブ・レベル設定、タイマ出力許可（TMC5nレジスタ = 01000001Bまたは01000011B）
- ・兼用端子の設定については表4 - 19 **ポート端子を兼用端子として使用する場合**を参照してください。  
TMC5n.TCE5nビット = 1を設定すると、カウント動作を開始します。

##### PWM出力の動作

カウント動作を開始すると、PWM出力（TO5n端子からの出力）はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると、設定方法 で設定したアクティブ・レベルを出力します。アクティブ・レベルは、CR5nレジスタとTM5nレジスタのカウント値が一致するまで出力されます。また、割り込み要求信号（INTTM5n）が発生します。

CR5nレジスタとTM5nレジスタのカウント値が一致すると、インアクティブ・レベルを出力し、再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後、カウント動作が停止されるまで、を繰り返します。

TCE5nビット = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

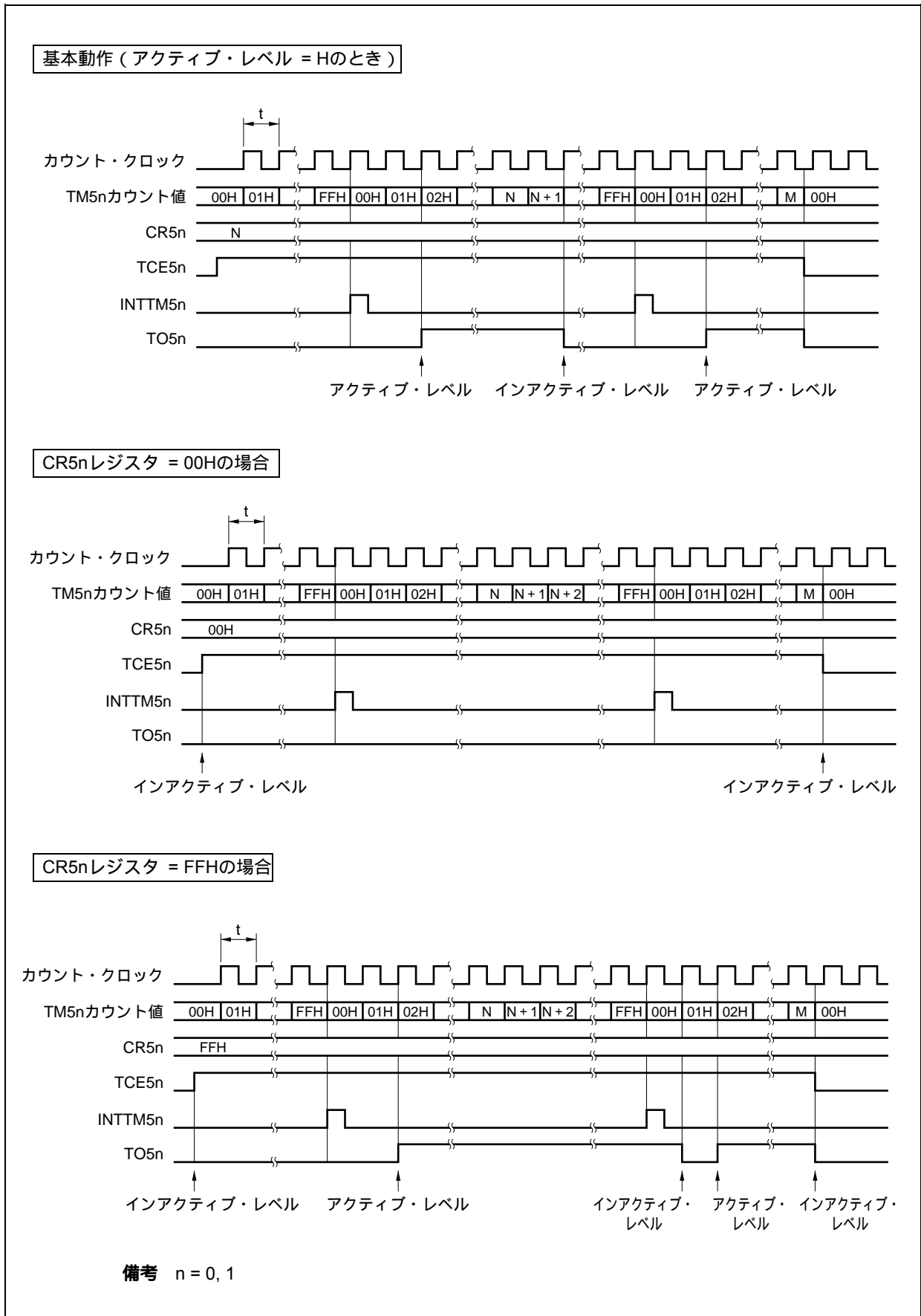
$$\text{周期} = 256t, \text{アクティブ・レベル幅} = Nt, \text{デューティ} = N/256 : N = 00H\text{-}FFH$$

備考1. n = 0, 1

2. 詳細なタイミングについては、図9 - 5 PWM出力の動作タイミング、図9 - 6 CR5nレジスタ変更による動作タイミングを参照してください。

(a) PWM出力の基本動作

図9 - 5 PWM出力の動作タイミング

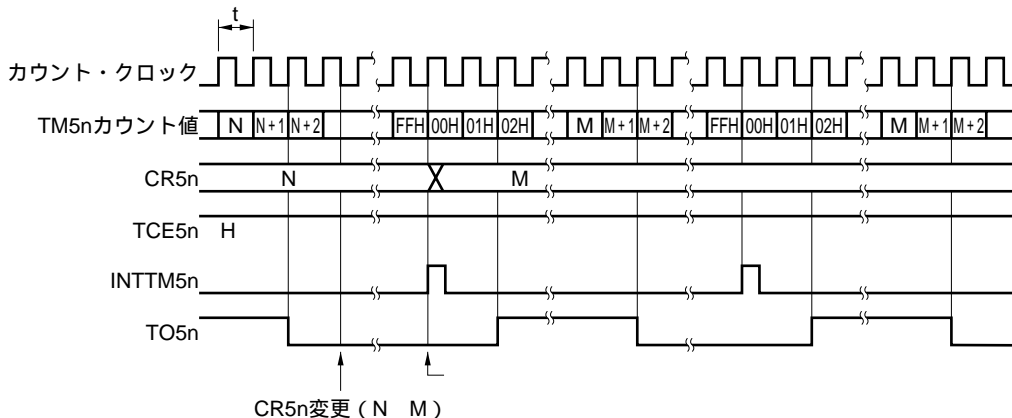


(b) CR5nレジスタ変更による動作について

図9 - 6 CR5nレジスタ変更による動作のタイミング

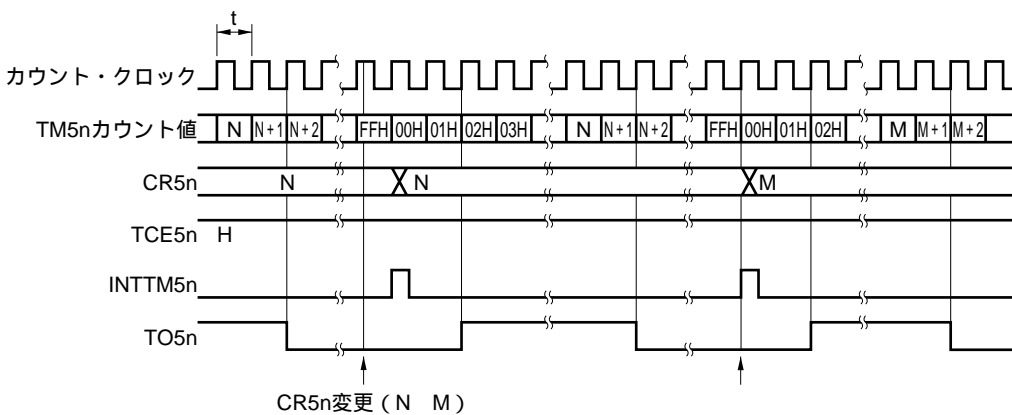
CR5nレジスタの値をFFHのクロック立ち上がりエッジよりも手前にN Mに変更した場合

直後のオーバーフローでCR5nレジスタに値が転送されます。



CR5nレジスタの値をFFHのクロックの立ち上がりエッジよりもあとにN Mに変更した場合

2回目のオーバーフローでCR5nレジスタに値が転送されます。



**注意** から の間でCR5nレジスタからリードする場合、実際に動作する値と異なります（リード値：M，実際のCR5nレジスタの値：N）。

**備考** n = 0, 1

### 9.4.5 インターバル・タイマ (16ビット) としての動作

TMC51.TMC514ビットに“1”を設定することにより、16ビット分解能のタイマ/イベント・カウンタ・モードになります。

16ビット・タイマ・コンペア・レジスタ5 (CR5) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

#### 設定方法

各レジスタの設定を行います。

- ・TCL50レジスタ : カウント・クロック (t) の選択  
(カスケード接続するTCL51レジスタは設定不要)
- ・CR50レジスタ : コンペア値 (N) ... 下位8ビット (00H-FFHの設定が可能)
- ・CR51レジスタ : コンペア値 (N) ... 上位8ビット (00H-FFHの設定が可能)
- ・TMC50, TMC51レジスタ : TM5レジスタとCR5レジスタの一致でクリア&スタート・モードを選択 (x : don't care)

$$\left[ \begin{array}{l} \text{TMC50レジスタ} = 0000\text{xx}00\text{B} \\ \text{TMC51レジスタ} = 0001\text{xx}00\text{B} \end{array} \right]$$

TMC51.TCE51ビット = 1に設定します。そのあとにTMC50.TCE50ビット = 1に設定し、カウント動作を開始します。

カスケード接続されたTM5レジスタとCR5レジスタの値が一致すると、INTTM50信号が発生します (TM5レジスタは0000Hにクリアされます)。

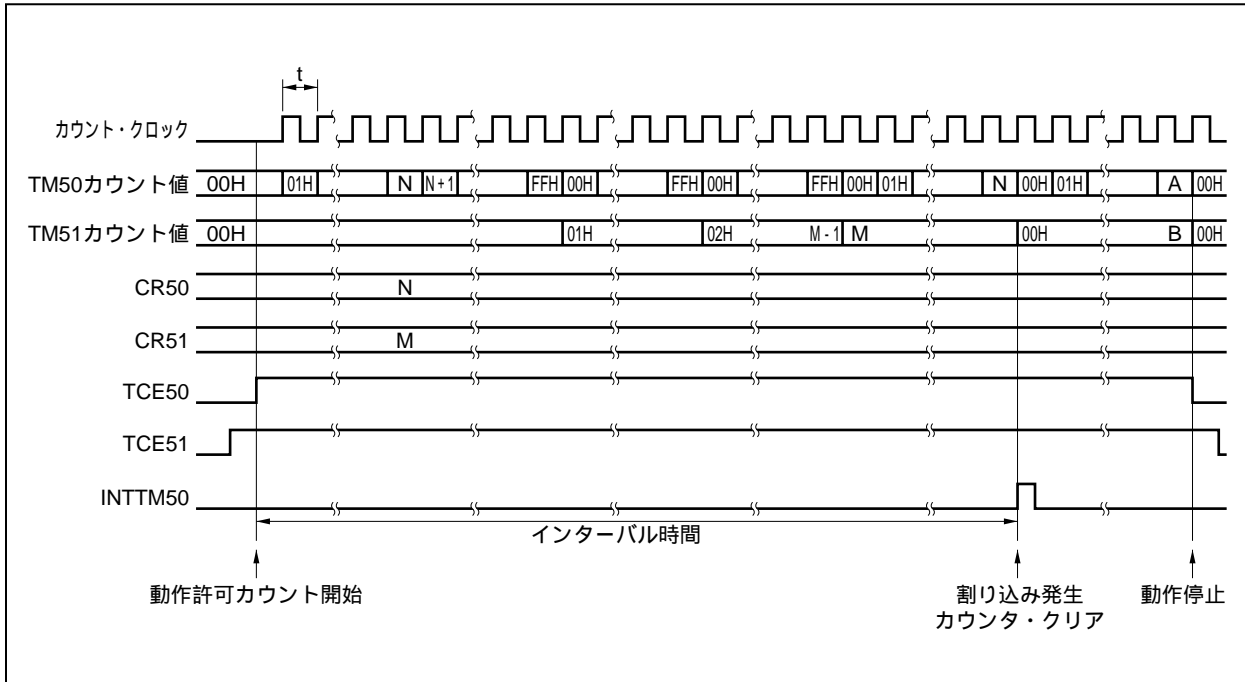
以後、同一間隔でINTTM50信号が繰り返し発生します。

$$\text{インターバル時間} = (N + 1) \times t : N = 0000\text{H}-\text{FFFFH}$$

- 注意1.** カスケード接続時に8ビット・アクセスでライトする場合、TCE5nビットの操作は、動作開始時はTCE51ビットをセット(1)してからTCE50ビットをセット(1)してください。動作停止時はTCE50ビットをクリア(0)してからTCE51ビットをクリア(0)してください。
2. カスケード接続時はTI50端子入力, TO50端子出力, INTTM50信号は使用し, TI51端子入力, TO51端子出力, INTTM51信号は使用しないでマスクしてください(詳細は第21章 割り込み/例外処理機能を参照してください)。LVS51, LVR51, TMC511, TOE51ビットは0に設定してください。
3. タイマ動作中はCR5レジスタの値を変更しないでください。

16ビット分解能カスケード接続モードのタイミング例を次に示します。

図9 - 7 16ビット分解能カスケード接続モード





### 9.4.6 外部イベント・カウンタ (16ビット) としての動作

TMC51.TMC514ビットに“1”を設定することにより、16ビット分解能のタイマ/イベント・カウンタ・モードになります。

外部イベント・カウンタは、TI50端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ5 (TM5) でカウントします。

#### 設定方法

各レジスタの設定を行います。

- ・TCL50レジスタ : TI50端子入力のエッジ選択  
(カスケード接続するTCL51レジスタは設定不要)  
TI50端子の立ち下がり TCL50レジスタ = 00H  
TI50端子の立ち上がり TCL50レジスタ = 01H
- ・CR50レジスタ : コンペア値 (N) ... 下位8ビット (00H-FFHの設定が可能)
- ・CR51レジスタ : コンペア値 (N) ... 上位8ビット (00H-FFHの設定が可能)
- ・TMC50, TMC51レジスタ : カウント動作停止, TM5レジスタとCR5レジスタの一致でクリア&スタート・モード, タイマ出力F/Fの反転禁止, タイマ出力禁止  
(x : don't care)

TMC50レジスタ = 0000xx00B
TMC51レジスタ = 0001xx00B

・兼用端子の設定については表4 - 19 **ポート端子を兼用端子として使用する場合**を参照してください。  
TMC51.TCE51ビット = 1に設定します。そのあとにTMC50.TCE50ビット = 1に設定し、TI50端子から入力されるパルス数をカウントします。

カスケード接続されたTM5レジスタとCR5レジスタの値が一致すると、INTTM50信号が発生します (TM5レジスタは0000Hにクリアされます)。

以後、TM5レジスタとCR5レジスタの値が一致するたびにINTTM50信号が発生します。

TI50端子に有効エッジがN + 1回入力されるとINTTM50信号が発生 : N = 0000H-FFFFH

- 注意1. 外部イベント・カウンタ動作中にCR5nレジスタの値を書き換えないでください。
2. カスケード接続時に8ビット・アクセスでライトする場合、TCE5nビットの操作は、動作開始時はTCE51ビットをセット (1) してからTCE50ビットをセット (1) してください。動作停止時はTCE50ビットをクリア (0) してからTCE51ビットをクリア (0) してください (n = 0, 1)。
  3. カスケード接続時はTI50端子入力、INTTM50信号は使用し、TI51端子入力、TO51端子出力、INTTM51信号は使用しないでマスクしてください (詳細は第21章 割り込み/例外処理機能を参照してください)。LVS51, LVR51, TMC511, TOE51ビットは0に設定してください。
  4. 外部イベント・カウンタ動作中はCR5レジスタの値を変更しないでください。

### 9.4.7 方形波出力（16ビット分解能）としての動作

TMC51.TMC514ビットに“1”を設定することにより、16ビット分解能のタイマ/イベント・カウンタ・モードになります。

16ビット・タイマ・コンペア・レジスタ5（CR5）にあらかじめ設定した値をインターバルとする、任意の周波数の方形波出力として動作します。

#### 設定方法

各レジスタの設定を行います。

- ・TCL50レジスタ : カウント・クロック (t) の選択  
(カスケード接続するTCL51レジスタは設定不要)
- ・CR50レジスタ : コンペア値 (N) ... 下位8ビット (00H-FFHの設定が可能)
- ・CR51レジスタ : コンペア値 (N) ... 上位8ビット (00H-FFHの設定が可能)
- ・TMC50, TMC51レジスタ : カウント動作停止,  
TM5レジスタとCR5レジスタの一致でクリア&スタート・モード,

LVS50	LVR50	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可, タイマ出力許可

TMC50レジスタ = 00001011Bまたは00000111B  
 TMC51レジスタ = 00010000B

・兼用端子の設定については表4 - 19 **ポート端子を兼用端子として使用する場合**を参照してください。  
TMC51.TCE51ビット = 1に設定します。そのあとにTMC50.TCE50ビット = 1に設定し、カウント動作を開始します。

カスケード接続されたTM5レジスタとCR5レジスタの値が一致すると、TO50タイマ出力F/Fが反転します。また、INTTM50信号が発生し、TM5レジスタは0000Hにクリアされます。以後、同一間隔でタイマ出力F/Fが反転し、TO50端子から方形波が出力されます。

$$\text{周波数} = 1/2t (N + 1) : N = 0000H-FFFFH$$

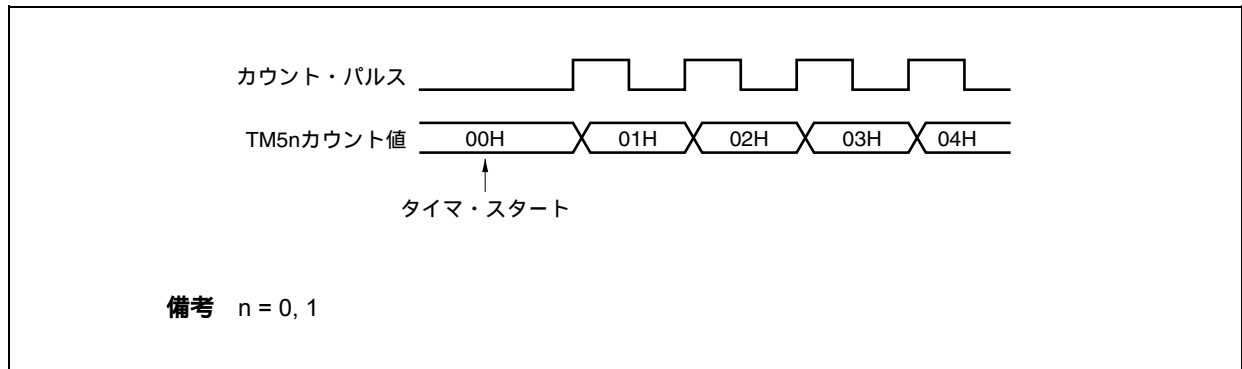
**注意** 動作中にCR5レジスタに異なる値を書き込まないでください。

## 9.4.8 注意事項

## (1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対してTM5nレジスタのスタートが非同期で行われるためです。

図9 - 8 TM5nレジスタのカウント・スタート・タイミング



## 第10章 8ビット・タイマH

V850ES/KJ1+は、8ビット・タイマHを2チャンネル搭載しています。

### 10.1 機能

8ビット・タイマHnには、次のような機能があります。

- ・インターバル・タイマ
- ・方形波出力
- ・PWM出力
- ・キャリア・ジェネレータ

備考 n = 0, 1

### 10.2 構成

8ビット・タイマHnは、次のハードウェアで構成されています。

表10 - 1 8ビット・タイマHnの構成

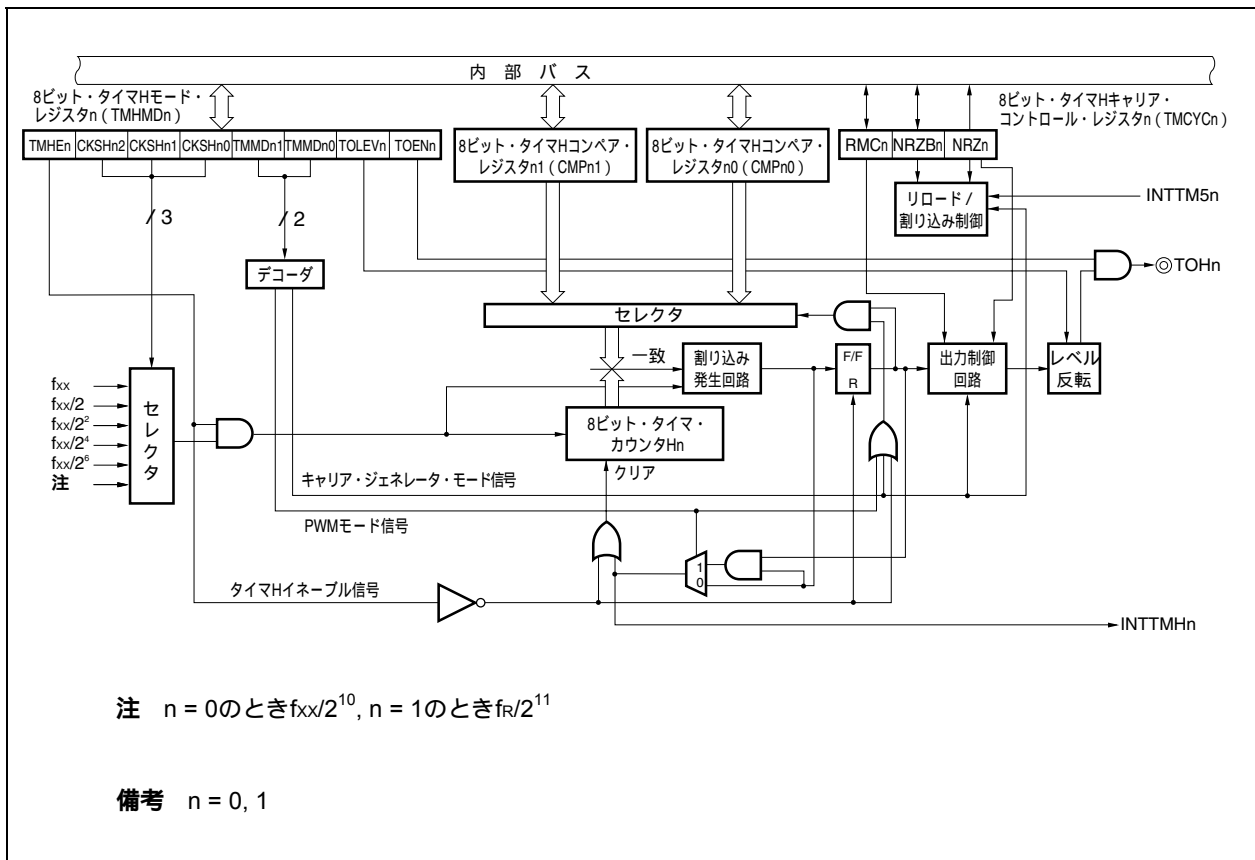
項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタHn : 各1本
レジスタ	8ビット・タイマHコンペア・レジスタn0 (CMPn0) : 各1本 8ビット・タイマHコンペア・レジスタn1 (CMPn1) : 各1本
タイマ出力	TOHn, 出力制御回路
制御レジスタ <sup>注</sup>	8ビット・タイマHモード・レジスタn (TMHMDn) 8ビット・タイマHキャリア・コントロール・レジスタn (TMCYCn)

注 TOHn端子の機能を使用する場合は、表4 - 19 ポート端子を兼用端子として使用する場  
合を参照してください。

備考 n = 0, 1

次に8ビット・タイマHnのブロック図を示します。

図10 - 1 8ビット・タイマHnのブロック図



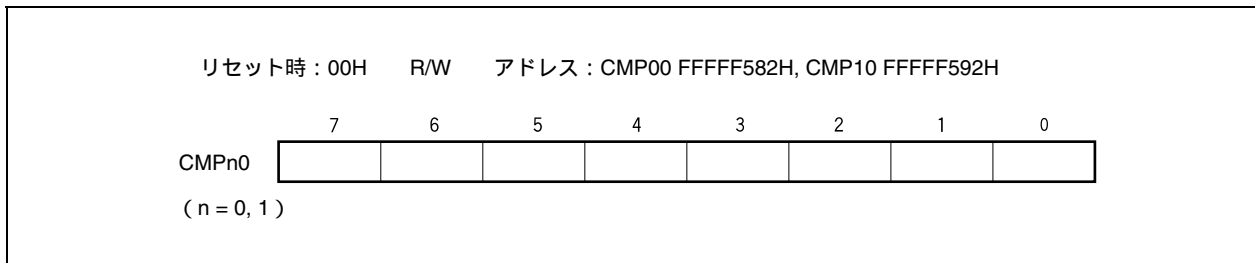
(1) 8ビット・タイマHコンペア・レジスタn0 (CMPn0)

8ビット単位でリード/ライト可能です。すべてのタイマ動作モードで使用します。

CMPn0レジスタに設定した値と8ビット・タイマ・カウンタHnのカウンタ値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生し、TOHn端子の出力レベルを反転させます。

CMPn0レジスタは、タイマ停止中 (TMHMDn.TMHEnビット = 0) に書き換えを行ってください。

リセットにより00Hになります。



注意 CMPn0レジスタは、タイマ・カウンタ動作中に値を書き換えることは禁止です。

(2) 8ビット・タイマHコンペア・レジスタn1 (CMPn1)

8ビット単位でリード/ライト可能です。

PWM出力モードとキャリア・ジェネレータ・モードで使用します。

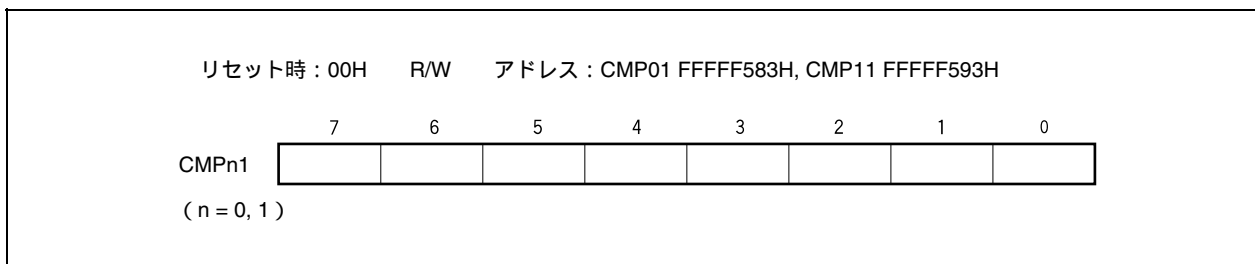
PWM出力モードでは、CMPn1レジスタに設定した値と、8ビット・タイマ・カウンタHnのカウンタ値を常に比較し、その2つの値が一致したときに、TOHn端子の出力レベルを反転させます。割り込み要求信号は発生されません。

キャリア・ジェネレータ・モードでは、CMPn1レジスタに設定した値と、8ビット・タイマ・カウンタHnのカウンタ値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生します。同じタイミングで、カウンタ値はクリアされます。

CMPn1レジスタは、タイマ・カウンタ動作中に値の書き換えが可能です。

タイマ動作中にCMPn1レジスタを書き換える場合、その値はラッチされ、カウンタ値と変更前のCMPn1レジスタの値が一致するタイミングでCMPn1レジスタに転送され、CMPn1レジスタの値が変更されます。カウンタ値とCMPn1レジスタの値が一致するタイミングとCMPn1レジスタへの値の書き込みが競合した場合、CMPn1レジスタの値は変更されません。

リセットにより00Hになります。



CMPn1レジスタは、タイマ・カウンタ動作中に値の書き換えが可能です。

キャリア・ジェネレータ・モード時ではCMPn1レジスタを設定したあと、8ビット・タイマ・カウンタHnのカウンタ値とCMPn1レジスタの設定値が一致すると割り込み要求信号 (INTTMHn) が発生します。同時に8ビット・タイマ・カウンタHnの値は00Hにクリアされます。

タイマ動作中にCMPn1レジスタの値を書き換えた場合、リロード・タイミングは8ビット・タイマ・カウンタHnのカウンタ値とCMPn1レジスタの設定値が一致したタイミングで行います。転送タイミングとソフトウェアによるCMPn1レジスタへの書き込みが競合した場合、転送はされません。

**注意** PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウンタ動作停止 (TMHMDn.TMHEnビット = 0) 設定後、タイマ・カウンタ動作を開始する (TMHEnビット = 1) 場合、必ずCMPn1レジスタを設定してください (CMPn1レジスタへの設定値が同値の場合でも、必ず再設定してください)。

## 10.3 レジスタ

8ビット・タイマH<sub>n</sub>を制御するレジスタには、次の2種類があります。

- ・8ビット・タイマHモード・レジスタ<sub>n</sub> (TMHMD<sub>n</sub>)
- ・8ビット・タイマHキャリア・コントロール・レジスタ<sub>n</sub> (TMCYC<sub>n</sub>)

**備考1.** TOH<sub>n</sub>端子の機能を使用する場合は、表4 - 19 **ポート端子を兼用端子として使用する場合を参照**してください。

2.  $n = 0, 1$

### (1) 8ビット・タイマHモード・レジスタ<sub>n</sub> (TMHMD<sub>n</sub>)

TMHMD<sub>n</sub>レジスタは、8ビット・タイマH<sub>n</sub>のモードを制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**備考**  $n = 0, 1$

(a) 8ビット・タイマHモード・レジスタ0 (TMHMD0)

リセット時 : 00H R/W アドレス : FFFFF580H

	⑦	6	5	4	3	2	①	①
TMHMD0	TMHE0	CKSH02	CKSH01	CKSH00	TMMD01	TMMD00	TOLEV0	TOEN0

TMHE0	8ビット・タイマH0動作許可
0	タイマ・カウント動作停止 (8ビット・タイマ・カウンタH0 = 00H)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKSH02	CKSH01	CKSH00	カウント・クロックの選択			
			カウント・クロック注	f <sub>xx</sub> = 20 MHz	f <sub>xx</sub> = 16.0 MHz	f <sub>xx</sub> = 10.0 MHz
0	0	0	f <sub>xx</sub>	設定禁止	設定禁止	100 ns
0	0	1	f <sub>xx</sub> /2	100 ns	125 ns	200 ns
0	1	0	f <sub>xx</sub> /4	200 ns	250 ns	400 ns
0	1	1	f <sub>xx</sub> /16	800 ns	1 μs	1.6 μs
1	0	0	f <sub>xx</sub> /64	3.2 μs	4 μs	6.4 μs
1	0	1	f <sub>xx</sub> /1024	51.2 μs	64 μs	102.4 μs
上記以外			設定禁止			

TMMD01	TMMD00	8ビット・タイマH0動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWMパルス・ジェネレータ・モード
1	1	設定禁止

TOLEV0	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN0	タイマ出力制御
0	出力禁止
1	出力許可

注 次の条件を満たすように設定してください。

V<sub>DD</sub> = REGC = 4.0 ~ 5.5 V : カウント・クロック 10 MHz

V<sub>DD</sub> = 4.0 ~ 5.5 V, REGC = 10 μF : カウント・クロック 5 MHz

V<sub>DD</sub> = REGC = 2.7 ~ 4.0 V : カウント・クロック 5 MHz

注意1. TMHE0ビット = 1のとき, TMHMD0レジスタのほかのビットを設定することは禁止です。

2. PWMパルス・ジェネレータ・モードおよびキャリア・ジェネレータ・モードでは, タイマ・カウント動作停止 (TMHE0ビット = 0) 設定後, タイマ・カウント動作を開始する (TMHE0ビット = 1) 場合, 必ずCMP01レジスタを設定してください (CMP01レジスタへの設定値が同値の場合でも, 必ず再設定してください)。

3. キャリア・ジェネレータ・モードを使用する場合, 8ビット・タイマH0のカウント・クロック周波数を8ビット・タイマ/イベント・カウンタ50のカウント・クロック周波数の6倍以上になるように設定してください。



(b) 8ビット・タイマHモード・レジスタ1 (TMHMD1)

リセット時：00H R/W アドレス：FFFFFF590H

	⑦	6	5	4	3	2	①	①
TMHMD1	TMHE1	CKSH12	CKSH11	CKSH10	TMMD11	TMMD10	TOLEV1	TOEN1

TMHE1	8ビット・タイマH1動作許可
0	タイマ・カウント動作停止 (8ビット・タイマ・カウンタH1 = 00H)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKSH12	CKSH11	CKSH10	カウント・クロックの選択			
			カウント・クロック注	$f_{xx} = 20.0 \text{ MHz}$	$f_{xx} = 16.0 \text{ MHz}$	$f_{xx} = 10.0 \text{ MHz}$
0	0	0	$f_{xx}$	設定禁止	設定禁止	100 ns
0	0	1	$f_{xx}/2$	100 ns	125 ns	200 ns
0	1	0	$f_{xx}/4$	200 ns	250 ns	400 ns
0	1	1	$f_{xx}/16$	800 ns	1 $\mu\text{s}$	1.6 $\mu\text{s}$
1	0	0	$f_{xx}/64$	3.2 $\mu\text{s}$	4 $\mu\text{s}$	6.4 $\mu\text{s}$
1	0	1	$f_R/2048$			
上記以外			設定禁止			

TMMD11	TMMD10	8ビット・タイマH1動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWMパルス・ジェネレータ・モード
1	1	設定禁止

TOLEV1	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

注 次の条件を満たすように設定してください。

$V_{DD} = \text{REGC} = 4.0 \sim 5.5 \text{ V}$  : カウント・クロック 10 MHz

$V_{DD} = 4.0 \sim 5.5 \text{ V}$ ,  $\text{REGC} = 10 \mu\text{F}$  : カウント・クロック 5 MHz

$V_{DD} = \text{REGC} = 2.7 \sim 4.0 \text{ V}$  : カウント・クロック 5 MHz

注意1. TMHE1ビット = 1のとき, TMHMD1レジスタのほかのビットを設定することは禁止です。

2. PWMパルス・ジェネレータ・モードおよびキャリア・ジェネレータ・モードでは, タイマ・カウント動作停止 (TMHE1ビット = 0) 設定後, タイマ・カウント動作を開始する (TMHE1ビット = 1) 場合, 必ずCMP11レジスタを設定してください (CMP11レジスタへの設定値が同値の場合でも, 必ず再設定してください)。

3. キャリア・ジェネレータ・モードを使用する場合, 8ビット・タイマH1のカウント・クロック周波数を8ビット・タイマ/イベント・カウンタ51のカウント・クロック周波数の6倍以上になるように設定してください。

(2) 8ビット・タイマHキャリア・コントロール・レジスタ<sub>n</sub> (TMCYC<sub>n</sub>)

TMCYC<sub>n</sub>レジスタは、8ビット・タイマH<sub>n</sub>のリモコン出力およびキャリア・パルス出力の状態を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、NRZ<sub>n</sub>ビットは、リードのみです。

リセットにより00Hになります。

リセット時：00H    R/W    アドレス：TMCYC0 FFFFF581H, TMCYC1 FFFFF591H

	7	6	5	4	3	2	1	①
TMCYC <sub>n</sub>	0	0	0	0	0	RMC <sub>n</sub>	NRZB <sub>n</sub>	NRZ <sub>n</sub>

( n = 0, 1 )

RMC <sub>n</sub>	NRZB <sub>n</sub>	リモコン出力
0	0	ロウ・レベル出力
0	1	ハイ・レベル出力
1	0	ロウ・レベル出力
1	1	キャリア・パルス出力

NRZ <sub>n</sub>	キャリア・パルス出力状態フラグ
0	キャリア出力禁止状態 (ロウ・レベル状態)
1	キャリア出力許可状態

## 10.4 動作

### 10.4.1 インターバル・タイマ/方形波出力としての動作

8ビット・タイマ・カウンタHnのカウンタ値とCMPn0レジスタの設定値が一致した場合、割り込み要求信号 (INTTMHn) が発生し、8ビット・タイマ・カウンタHnを“00H”にクリアします。

インターバル・タイマ・モードでCMPn1レジスタは使用しません。CMPn1レジスタを設定しても、8ビット・タイマ・カウンタHnとCMPn1レジスタの一致検出をしないため、タイマ出力に影響しません。

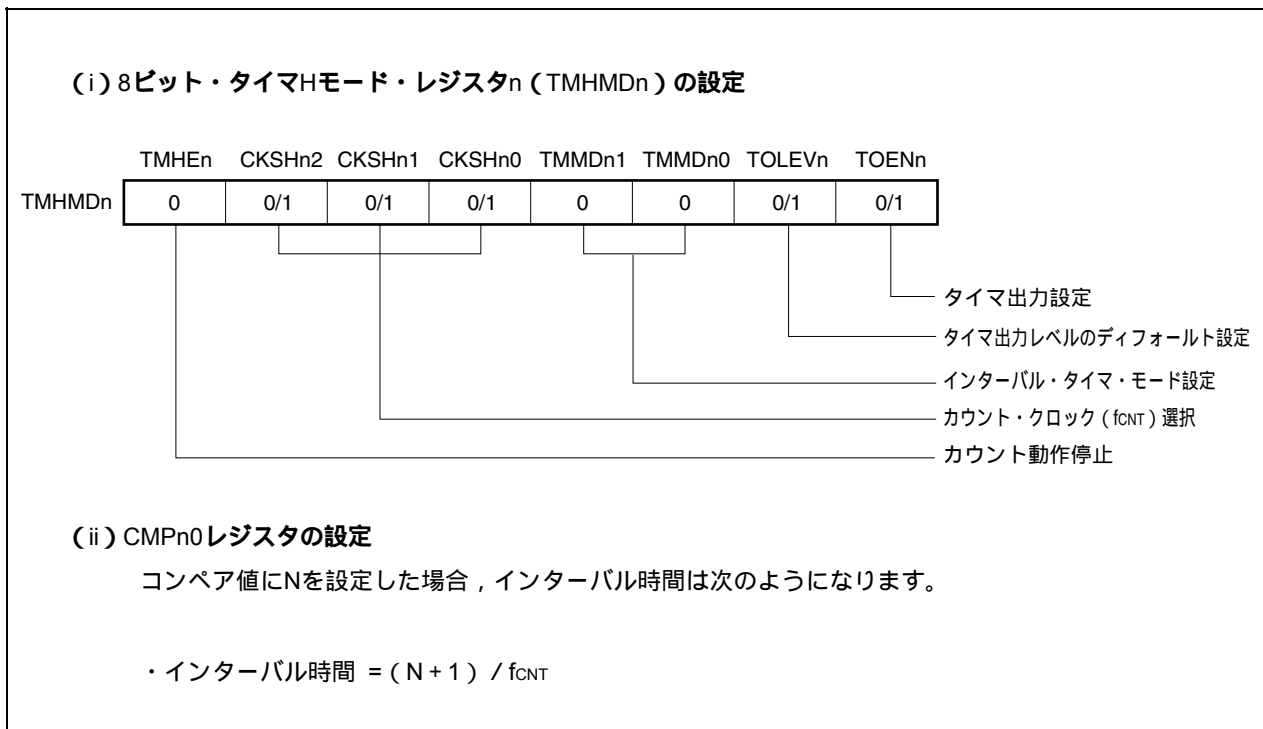
また、TMHMDn.TOENnビットをセット(1)することにより、TOHn端子から任意の周波数の方形波(デューティ = 50%)を出力できます。

- 備考1. 兼用端子 (TOHn) の設定については、表4 - 19 ポート端子を兼用端子として使用する場合を参照してください。
2. INTTMHn信号の割り込み許可については、第21章 割り込み/例外処理機能を参照してください。

#### 設定方法

各レジスタの設定を行います。

図10 - 2 インターバル・タイマ・モード時のレジスタの設定



TMHEnビットをセット(1)すると、カウント動作を開始します。

8ビット・タイマ・カウンタHnのカウンタ値とCMPn0レジスタの設定値が一致すると、INTTMHn信号が発生し、8ビット・タイマ・カウンタHnは“00H”にクリアされます。

以後、同一間隔でINTTMHn信号が発生します。カウント動作を停止するときは、TMHEnビットをクリア(0)します。

図10-3 インターバル・タイマ / 方形波出力動作のタイミング (1/2)

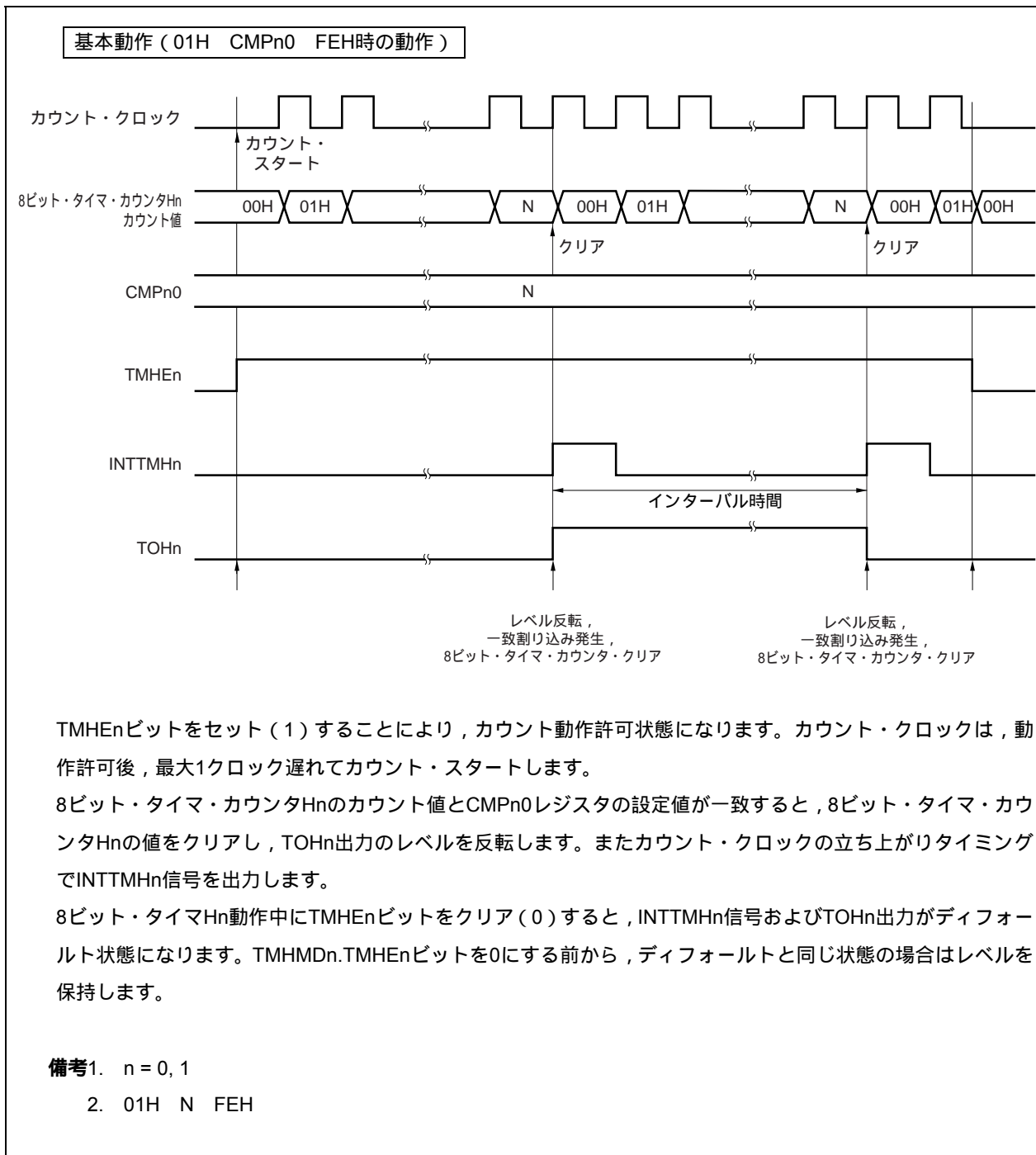
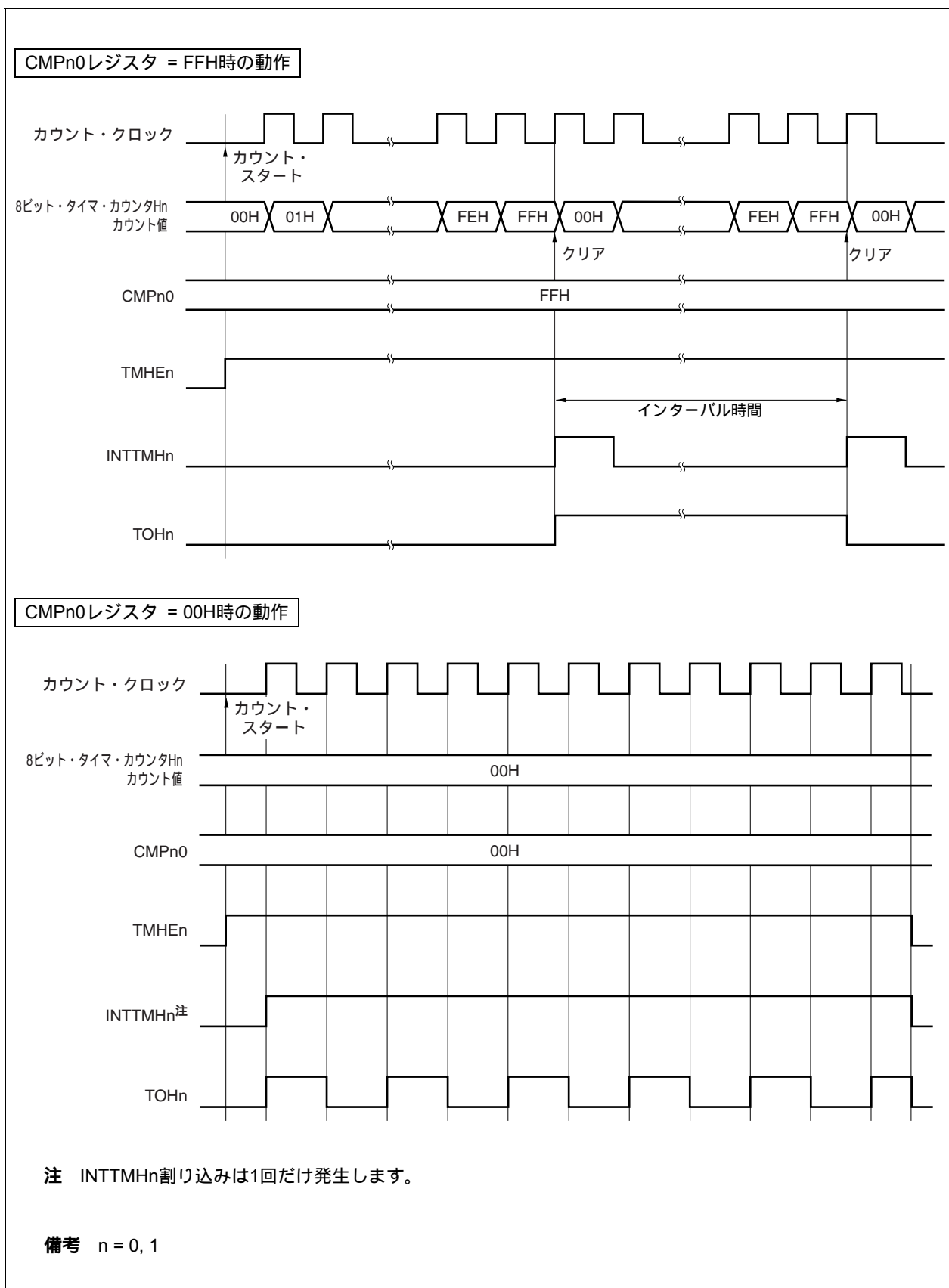


図10-3 インターバル・タイマ/方形波出力動作のタイミング (2/2)



### 10.4.2 PWM出力モードとしての動作

PWM出力モードでは、任意のデューティおよび周期のパルスを出力できます。

CMPn0レジスタはタイマ出力 (TOHn) の周期を制御します。タイマ動作中のCMPn0レジスタに対する書き換えは禁止です。

CMPn1レジスタはタイマ出力 (TOHn) のデューティを制御するレジスタです。タイマ動作中のCMPn1レジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

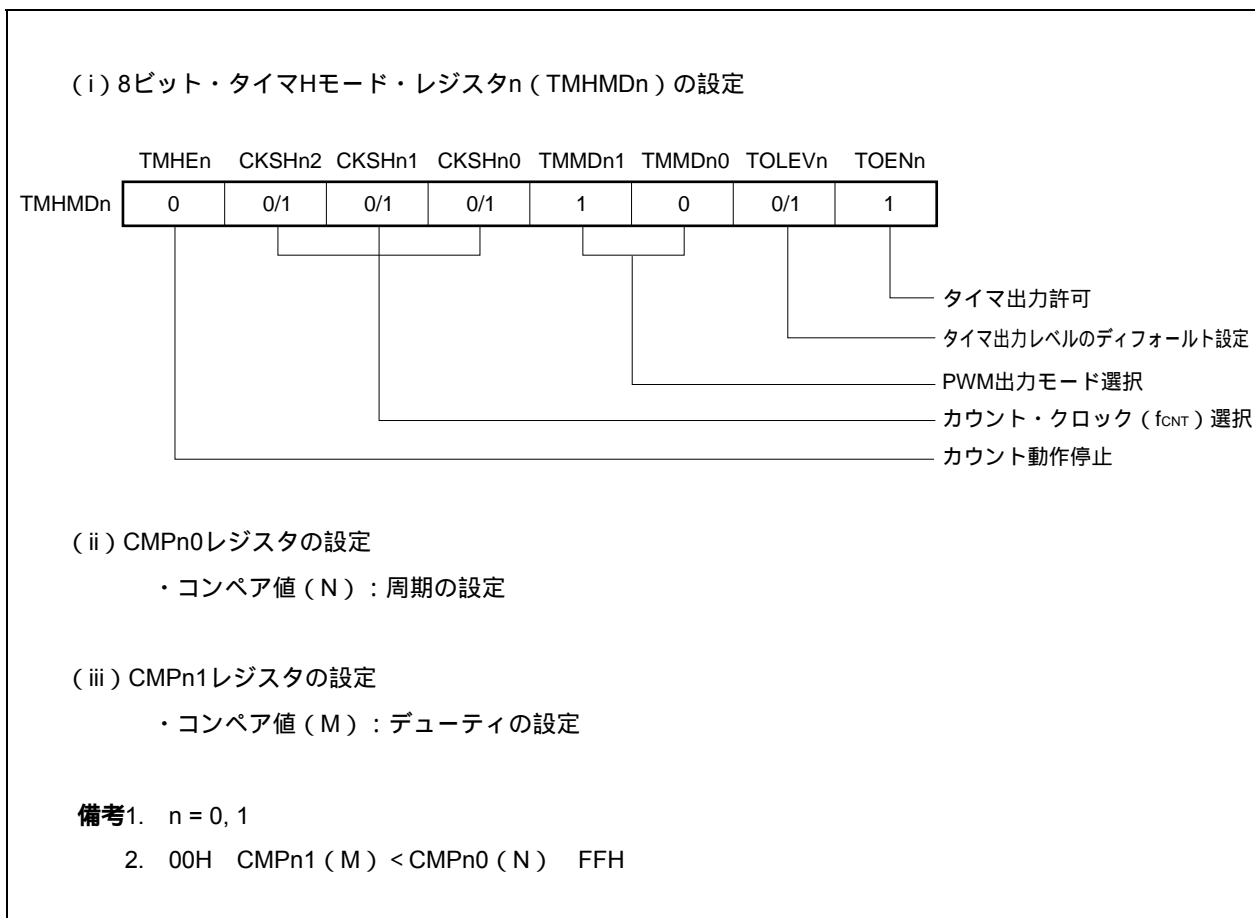
タイマ・カウント・スタート後、8ビット・タイマ・カウンタHnのカウント値とCMPn0レジスタの設定値が一致するとTOHn出力のレベルは反転し、8ビット・タイマ・カウンタHnは“00H”にクリアされます。また8ビット・タイマ・カウンタHnのカウント値とCMPn1レジスタの設定値が一致するとTOHn出力のレベルは反転します。

- 備考1.** 兼用端子 (TOHn) の設定については、表4 - 19 **ポート端子を兼用端子として使用する場合**を参照してください。
- 2.** INTTMHn信号の割り込み許可については、**第21章 割り込み/例外処理機能**を参照してください。

**設定方法**

各レジスタの設定を行います。

図10 - 4 PWM出力モード時のレジスタの設定



TMHEnビットをセット(1)すると、カウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMPn0レジスタです。8ビット・タイマ・カウンタHnのカウント値とCMPn0レジスタの設定値が一致すると、8ビット・タイマ・カウンタHnはクリアされ、割り込み要求信号(INTTMHn)が発生し、TOHn出力が反転します。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMPn0レジスタからCMPn1レジスタへ切り替えます。

8ビット・タイマ・カウンタHnのカウント値とCMPn1レジスタの設定値が一致すると、TOHn出力が反転し、同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMPn1レジスタからCMPn0レジスタへ切り替えます。このとき8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。

以上とを繰り返し、任意のデューティのパルスを得ることができます。

カウント動作を停止するときは、TMHEnビットをクリア(0)します。

CMPn0レジスタの設定値を(N)、CMPn1レジスタの設定値を(M)、カウント・クロックの周波数を $f_{CNT}$ とすると、PWMパルス出力周期およびデューティは次のとおりになります。

$$\text{PWMパルス出力周期} = (N + 1) / f_{CNT}$$

$$\text{デューティ} = \text{インアクティブ幅} : \text{アクティブ幅} = (M + 1) : (N + 1)$$

- 注意1.** タイマ・カウント動作中に、CMPn1レジスタの設定値を変更することができます。ただし、CMPn1レジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック(TMHMDnレジスタのCKSHn2-CKSHn0ビットで選択された信号)の3クロック分以上かかります。
2. タイマ・カウント動作停止(TMHEnビット = 0)設定後、タイマ・カウント動作を開始する(TMHEnビット = 1)場合、必ずCMPn1レジスタを設定してください(CMPn1レジスタへの設定値が同値の場合でも、必ず再設定してください)。
3. CMPn1レジスタの設定値(M)、CMPn0レジスタの設定値(N)は、必ず次の範囲内にしてください。

$$00H \leq \text{CMPn1}(M) < \text{CMPn0}(N) \leq FFH$$

図10 - 5 PWM出力モード動作のタイミング (1/4)

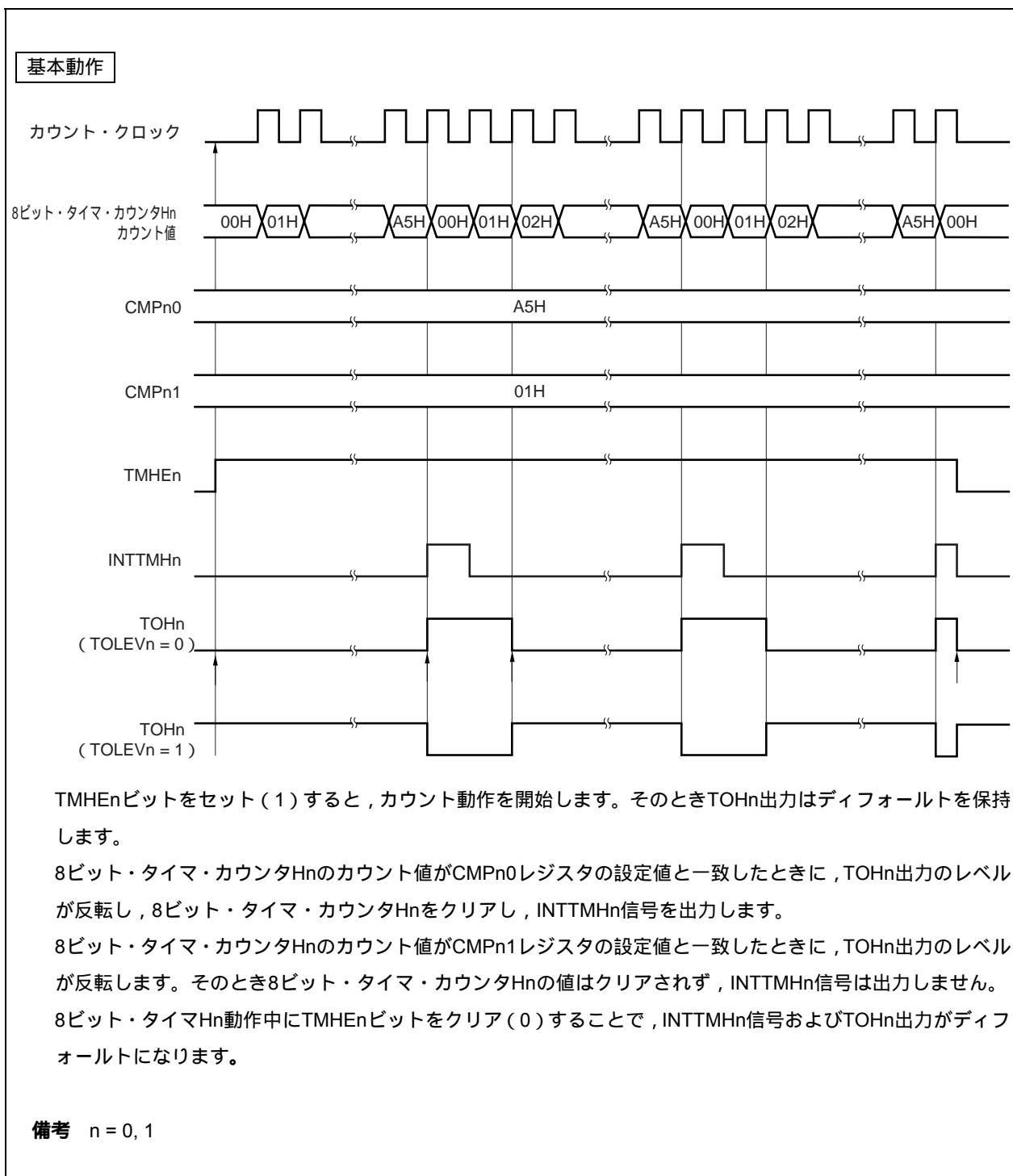




図10 - 5 PWM出力モード動作のタイミング (2/4)

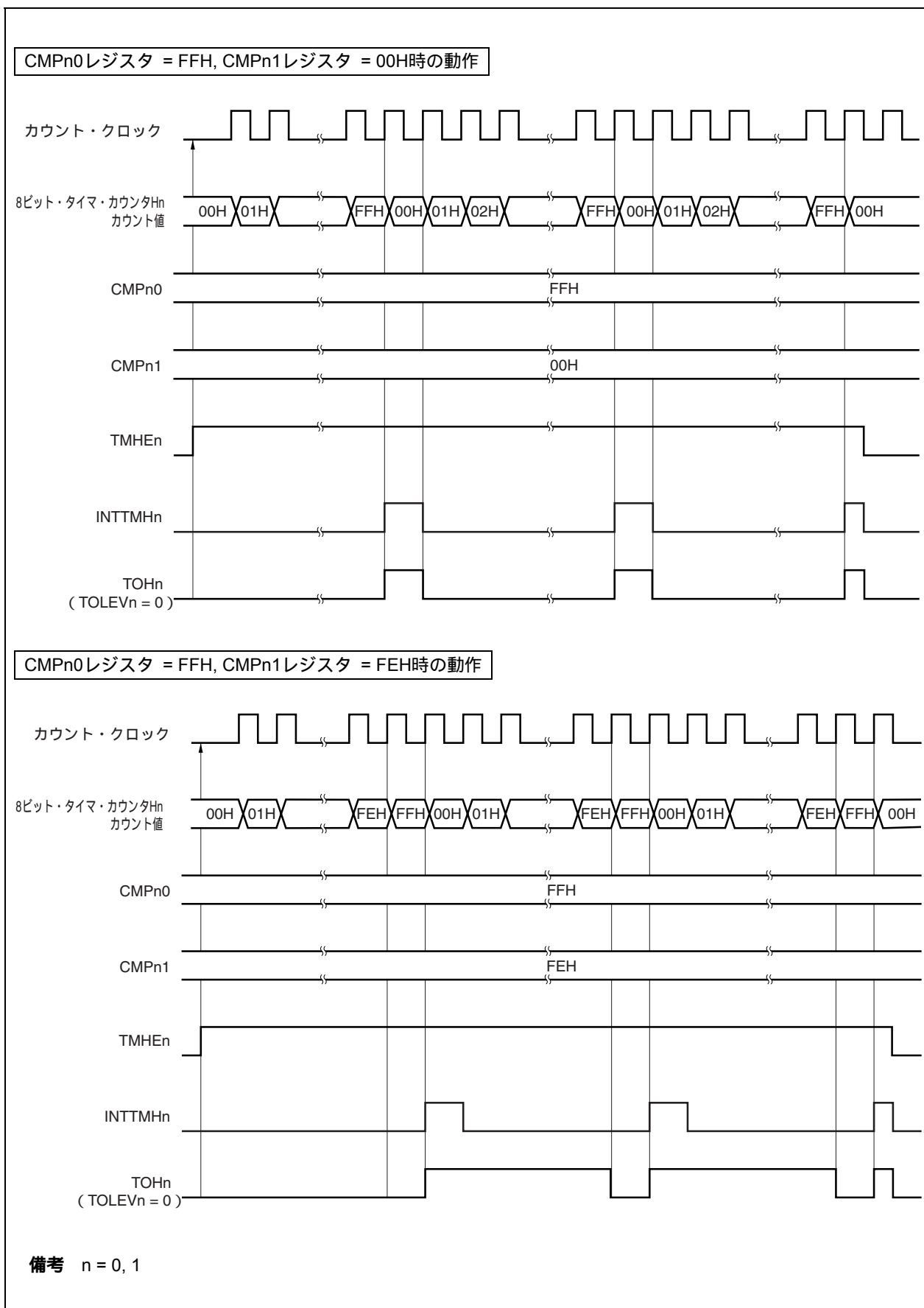


図10 - 5 PWM出力モード動作のタイミング (3/4)

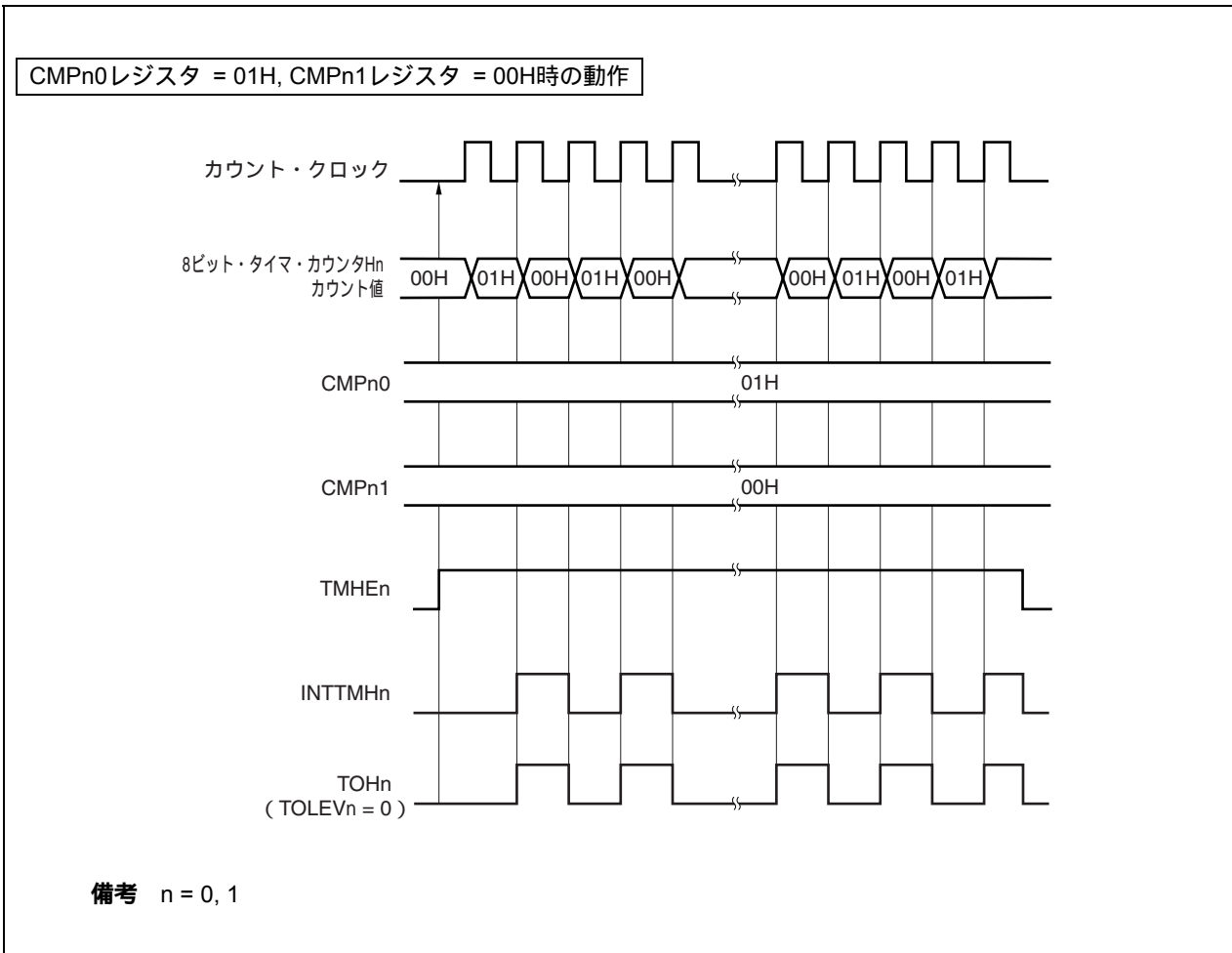
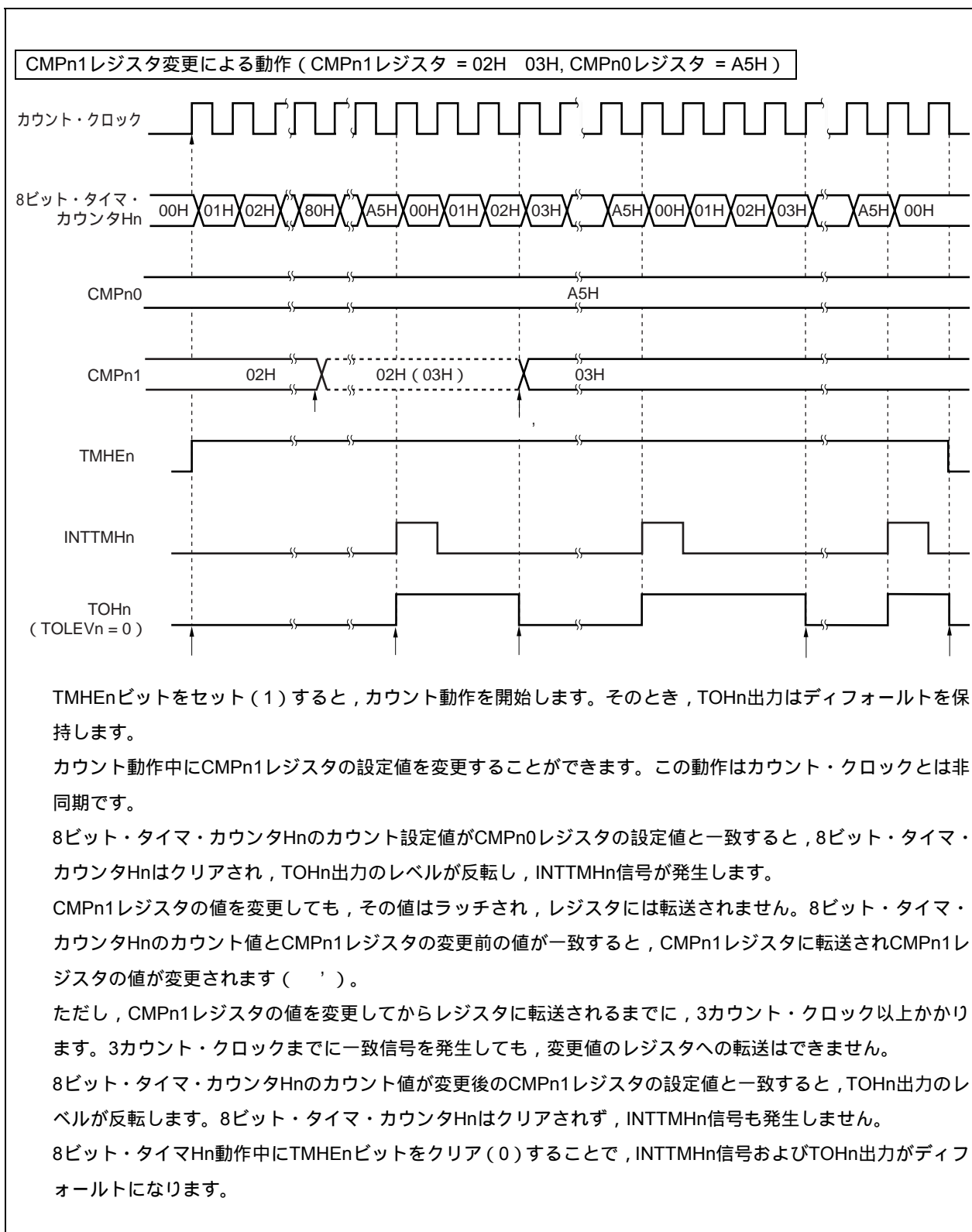


図10 - 5 PWM出力モード動作のタイミング (4/4)



### 10.4.3 キャリア・ジェネレータ・モードとしての動作

8ビット・タイマHnで生成されるキャリア・クロックは、8ビット・タイマ/イベント・カウンタ5nで設定した周期で出力されます。

キャリア・ジェネレータ・モードでは、8ビット・タイマ/イベント・カウンタ5nで8ビット・タイマHnのキャリア・パルスをもの程度出力するか制御し、TOHn出力からキャリア・パルスを出します。

**備考1.** 兼用端子 (TOHn) の設定については、表4 - 19 **ポート端子を兼用端子として使用する場合**を参照してください。

2. INTTMHn信号の割り込み許可については、第21章 **割り込み/例外処理機能**を参照してください。

#### (1) キャリアの生成

キャリア・ジェネレータ・モードのとき、CMPn0レジスタはキャリア・パルスのロウ・レベル幅の波形を生成し、CMPn1レジスタはキャリア・パルスのハイ・レベル幅の波形を生成します。

8ビット・タイマHn動作中に、CMPn1レジスタを書き換えることはできますが、CMPn0レジスタを書き換えることは禁止です。

#### (2) キャリアの出力制御

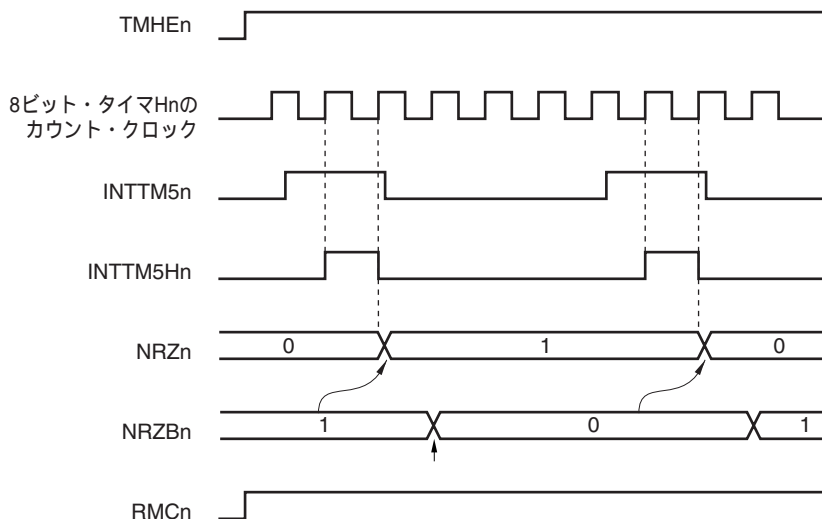
キャリアの出力制御は8ビット・タイマ/イベント・カウンタ5nの割り込み要求信号 (INTTM5n) と TMCYCn.NRZBn, RMCnビットにより行われます。出力の関係を次に示します。

RMCnビット	NRZBnビット	出力
0	0	ロウ・レベル出力
0	1	ハイ・レベル出力
1	0	ロウ・レベル出力
1	1	キャリア・パルス出力

**備考** n = 0, 1

キャリア・パルス出力をカウント動作中に制御するために、TMCYCn.NRZn, NRZBnビットは、マスタとスレーブのビット構成になっています。NRZnビットはリードのみですが、NRZBnビットはリード/ライト可能です。INTTM5n信号は8ビット・タイマHnのクロックで同期化され、INTTM5Hn信号として出力されます。INTTM5Hn信号がNRZnビットのデータ転送信号となり、NRZBnビットの値がNRZnビットへ転送されます。NRZBnビットからNRZnビットへの転送タイミングは、次のとおりです。

図10 - 6 転送タイミング



INTTM5n信号は8ビット・タイマHnのカウンタ・クロックで同期化され、INTTM5Hn信号として出力されます。

INTTM5Hn信号の立ち上がりから2クロック目で、NRZBnビットの値がNRZnビットに転送されます。

INTTM5Hn割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZBnビットに次の値を書き込みます。またCR5nレジスタに次の時間をカウントするためのデータを書き込みます。

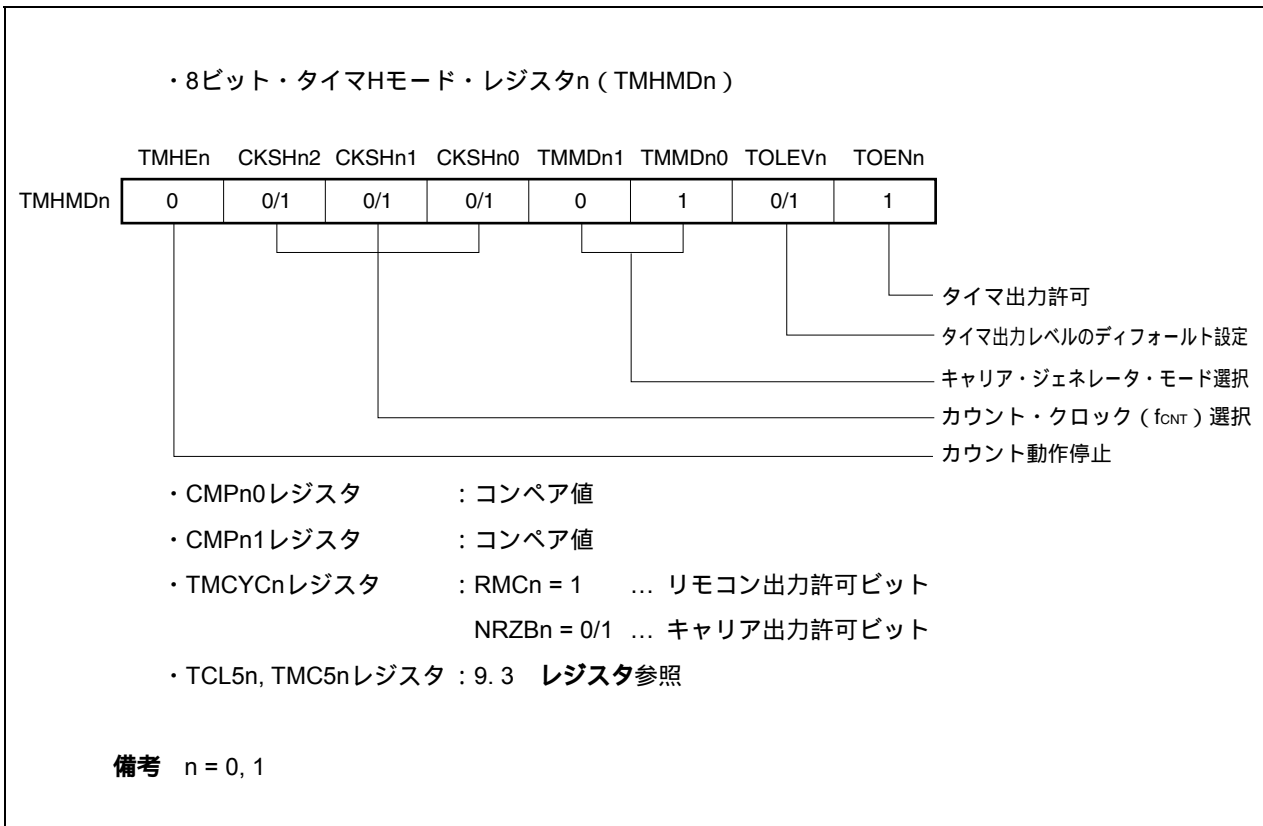
- 注意1. NRZBnビットの値を書き換えてから2クロック目までに、再びNRZBnビットの値を書き換えしないでください。書き換えた場合のNRZBnビットからNRZnビットへの転送動作の保証はできません。
2. 8ビット・タイマ/イベント・カウンタ5nをキャリア・ジェネレータ・モードで使用する場合、このタイミングで割り込みが発生します。8ビット・タイマ/イベント・カウンタ5nをキャリア・ジェネレータ・モード以外で使用する場合は、割り込み発生タイミングが異なります。

備考 n = 0, 1

設定方法

各レジスタの設定を行います。

図10 - 7 キャリア・ジェネレータ・モード時のレジスタの設定



TMHEnビットをセット(1)すると、8ビット・タイマHnのカウント動作を開始します。

TMC5n.TCE5nビットをセット(1)すると、8ビット・タイマ/イベント・カウンタ5nのカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMPn0レジスタです。8ビット・タイマ・カウンタHnのカウント値とCMPn0レジスタの設定値が一致すると、INTTMHn信号が発生し、8ビット・タイマ・カウンタHnはクリアされます。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn0レジスタからCMPn1レジスタへ切り替わります。

8ビット・タイマ・カウンタHnのカウント値とCMPn1レジスタの設定値が一致すると、INTTMHn信号が発生し、8ビット・タイマ・カウンタHnはクリアされます。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn1レジスタからCMPn0レジスタへ切り替わります。

以上 と の繰り返しによって、キャリア・クロックが生成されます。

INTTM5n信号が8ビット・タイマHnで同期され、INTTM5Hn信号として出力されます。その信号がNRZBnビットのデータ転送信号となり、NRZBnビットの値がNRZnビットへ転送されます。

INTTM5Hn割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZBnビットに次の値を書き込みます。またCR5nレジスタに次の時間をカウントするためのデータを書き込みます。

NRZnビットがハイ・レベルのとき、キャリア・クロックがTOHn端子より出力されます。

以上を繰り返し、任意のキャリア・クロックを得ることができます。カウント動作を停止するときはTMHEnビットをクリア(0)します。

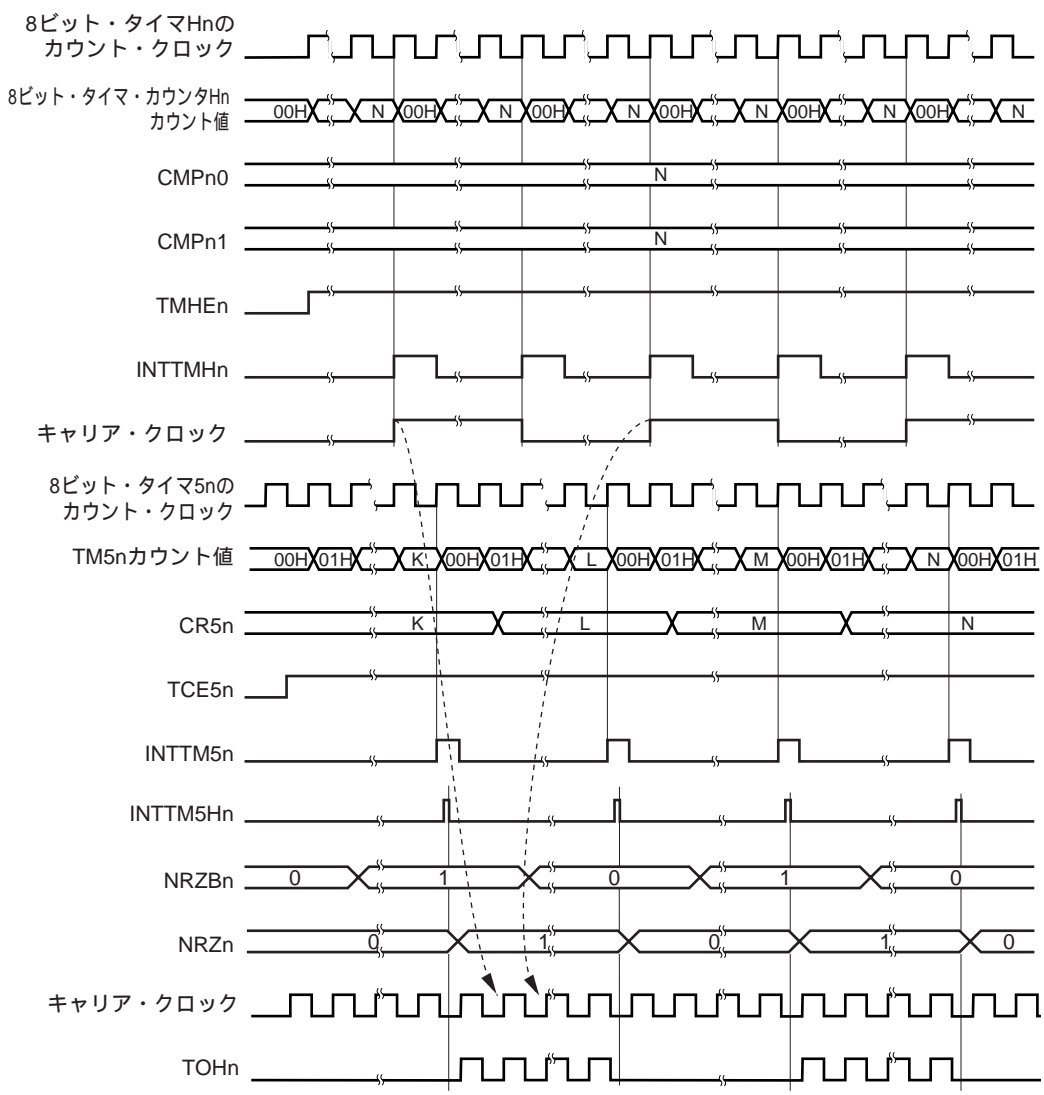
CMPn0レジスタの設定値を(N)，CMPn1レジスタの設定値を(M)，カウント・クロックの周波数を $f_{CNT}$ とすると、キャリア・クロック出力周期およびデューティは次のとおりになります。

キャリア・クロック出力周期 = $(N + M + 2) / f_{CNT}$ デューティ = ハイ・レベル幅 : キャリア・クロック出力幅 = $(M + 1) : (N + M + 2)$
---

- 注意1.** タイマ・カウント動作停止 (TMHEnビット = 0) 設定後、タイマ・カウント動作を開始する (TMHEnビット = 1) 場合、必ずCMPn1レジスタを設定してください (CMPn1レジスタへの設定値が同値の場合でも、必ず再設定してください)。
- CMPn0, CMPn1レジスタの値は、01H-FFHの範囲で設定してください。
  - キャリア・ジェネレータ・モード時は、CMPn1レジスタを書き換えてから、実際にレジスタに転送するのに動作クロック (TMHMDn.CKSHn2-CKSHn0ビットで選択された信号) の3クロック分を必要とします。
  - TMCYCn.RMCnビットの設定はカウント動作開始前に必ず設定してください。
  - キャリア・ジェネレータ・モードを使用する場合、8ビット・タイマHnのカウント・クロック周波数を8ビット・タイマ/イベント・カウンタ5nのカウント・クロック周波数の6倍以上になるように設定してください。

図10-8 キャリア・ジェネレータ・モード (1/3)

CMPn0レジスタ = N, CMPn1レジスタ = Nに設定したときの動作



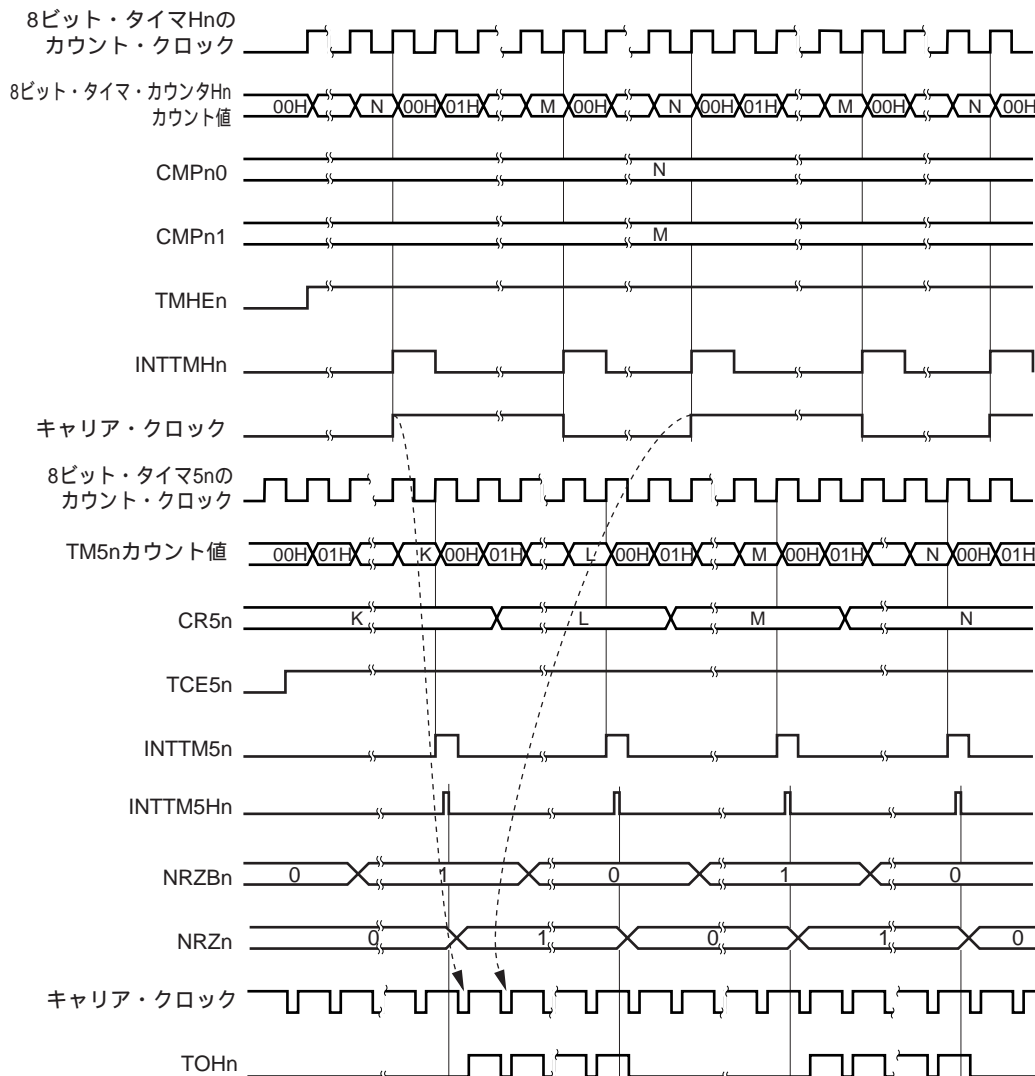
TMHEnビット = 0およびTCE5nビット = 0のとき、8ビット・タイマHnの動作は停止状態です。  
 TMHEnビットをセット(1)すると、8ビット・タイマHnはカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。  
 8ビット・タイマ・カウンタHnのカウント値がCMPn0レジスタの設定値と一致したときに、最初のINTTMHn信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn0レジスタからCMPn1レジスタに切り替わります。8ビット・タイマ・カウンタHnは00Hにクリアされます。  
 8ビット・タイマ・カウンタHnのカウント値がCMPn1レジスタの設定値と一致したときに、INTTMHn信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn1レジスタからCMPn0レジスタに切り替わります。8ビット・タイマ・カウンタHnは00Hにクリアされます。とを繰り返し、デューティ50%固定のキャリア・クロックを生成します。  
 INTTM5n信号は8ビット・タイマHnで同期化され、INTTM5Hn信号として出力します。  
 INTTM5Hn信号がNRZBnビットのデータ転送信号となり、NRZBnビットの値がNRZnビットへ転送されます。  
 NRZnビット = 0により、TOHn出力はロウ・レベルになります。

備考 n = 0, 1



図10 - 8 キャリア・ジェネレータ・モード (2/3)

CMPn0レジスタ = N , CMPn1レジスタ = Mに設定したときの動作



TMHEnビット = 0およびTCE5nビット = 0のとき、8ビット・タイマHnの動作は停止状態です。TMHEn ビットをセット(1)すると、8ビット・タイマHnはカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタHnのカウント値がCMPn0レジスタの設定値と一致したときに、最初のINTTMHn信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn0レジスタからCMPn1レジスタに切り替わります。8ビット・タイマ・カウンタHnは00Hにクリアされます。

8ビット・タイマ・カウンタHnのカウント値がCMPn1レジスタの設定値と一致したときに、INTTMHn信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn1レジスタからCMPn0レジスタに切り替わります。8ビット・タイマ・カウンタHnは00Hにクリアされます。とを繰り返し、デューティ固定(50%以外)のキャリア・クロックを生成します。

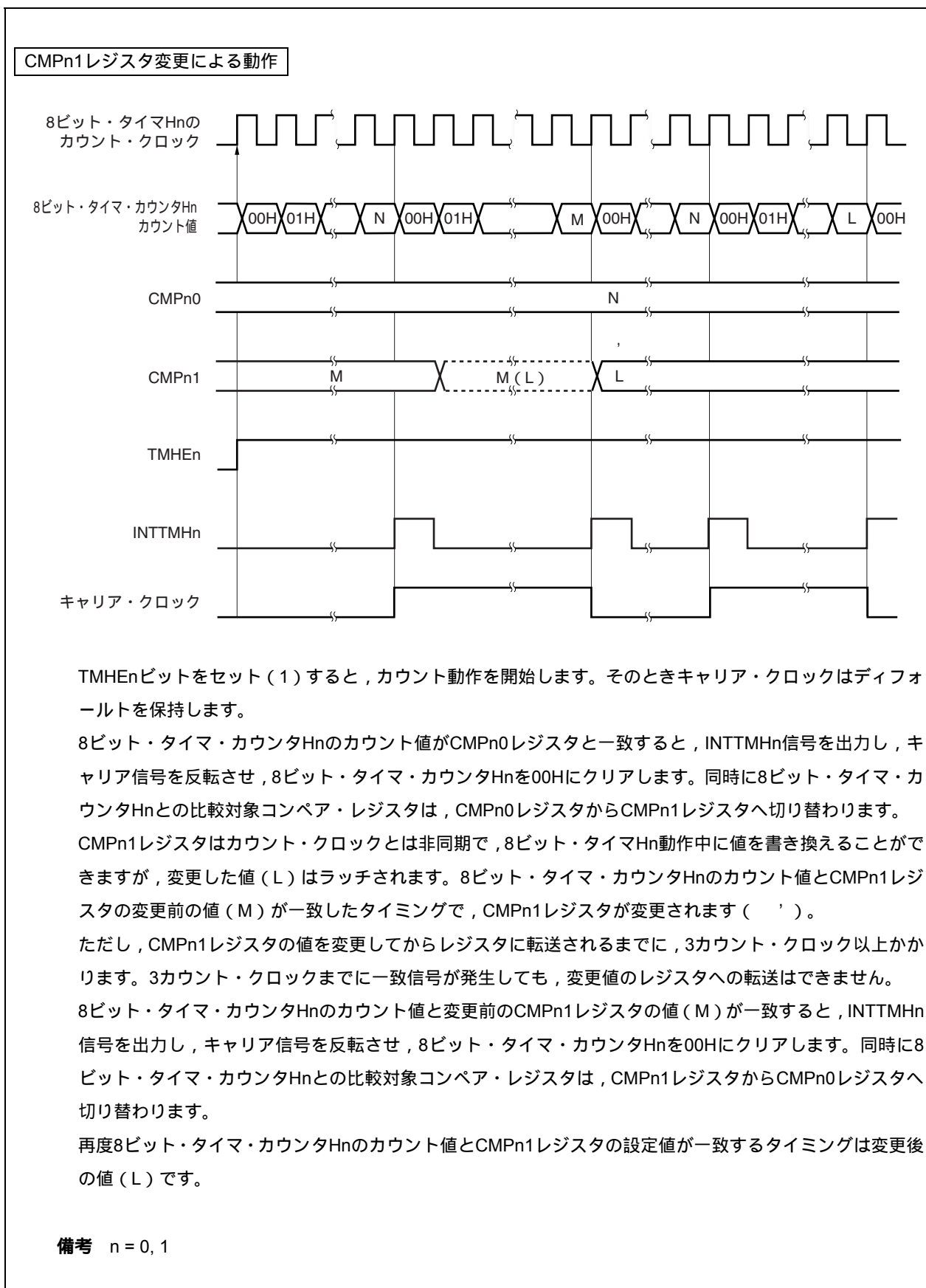
INTTM5n信号は8ビット・タイマHnで同期化され、INTTM5Hn信号として出力します。

NRZnビット = 1により、最初のキャリア・クロックの立ち上がりから、キャリアを出力します。

NRZnビット = 0により、キャリア・クロックのハイ・レベル期間は、TOHn出力もハイ・レベルを保持しロウ・レベルに変化しません(、よりキャリア波形のハイ・レベル幅が保証できます)。

備考 n = 0, 1

図10-8 キャリア・ジェネレータ・モード (3/3)



TMHEnビットをセット(1)すると、カウント動作を開始します。そのときキャリア・クロックはデフォールトを保持します。

8ビット・タイマ・カウンタHnのカウント値がCMPn0レジスタと一致すると、INTTMHn信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタHnを00Hにクリアします。同時に8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタは、CMPn0レジスタからCMPn1レジスタへ切り替わります。

CMPn1レジスタはカウント・クロックとは非同期で、8ビット・タイマHn動作中に値を書き換えることができますが、変更した値(L)はラッチされます。8ビット・タイマ・カウンタHnのカウント値とCMPn1レジスタの変更前の値(M)が一致したタイミングで、CMPn1レジスタが変更されます( )。

ただし、CMPn1レジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタHnのカウント値と変更前のCMPn1レジスタの値(M)が一致すると、INTTMHn信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタHnを00Hにクリアします。同時に8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタは、CMPn1レジスタからCMPn0レジスタへ切り替わります。

再度8ビット・タイマ・カウンタHnのカウント値とCMPn1レジスタの設定値が一致するタイミングは変更後の値(L)です。

備考 n = 0, 1

# 第11章 インターバル・タイマ，時計タイマ

V850ES/KJ1+は、インターバル・タイマBRGと時計タイマを内蔵しています。インターバル・タイマBRGは、時計タイマのソース・クロックとしても使用できます。時計タイマは、インターバル・タイマWTとしても使用できます。

同時に、インターバル・タイマを2チャンネルと時計タイマを1チャンネル使用することもできます。

## 11.1 インターバル・タイマBRG

### 11.1.1 機能

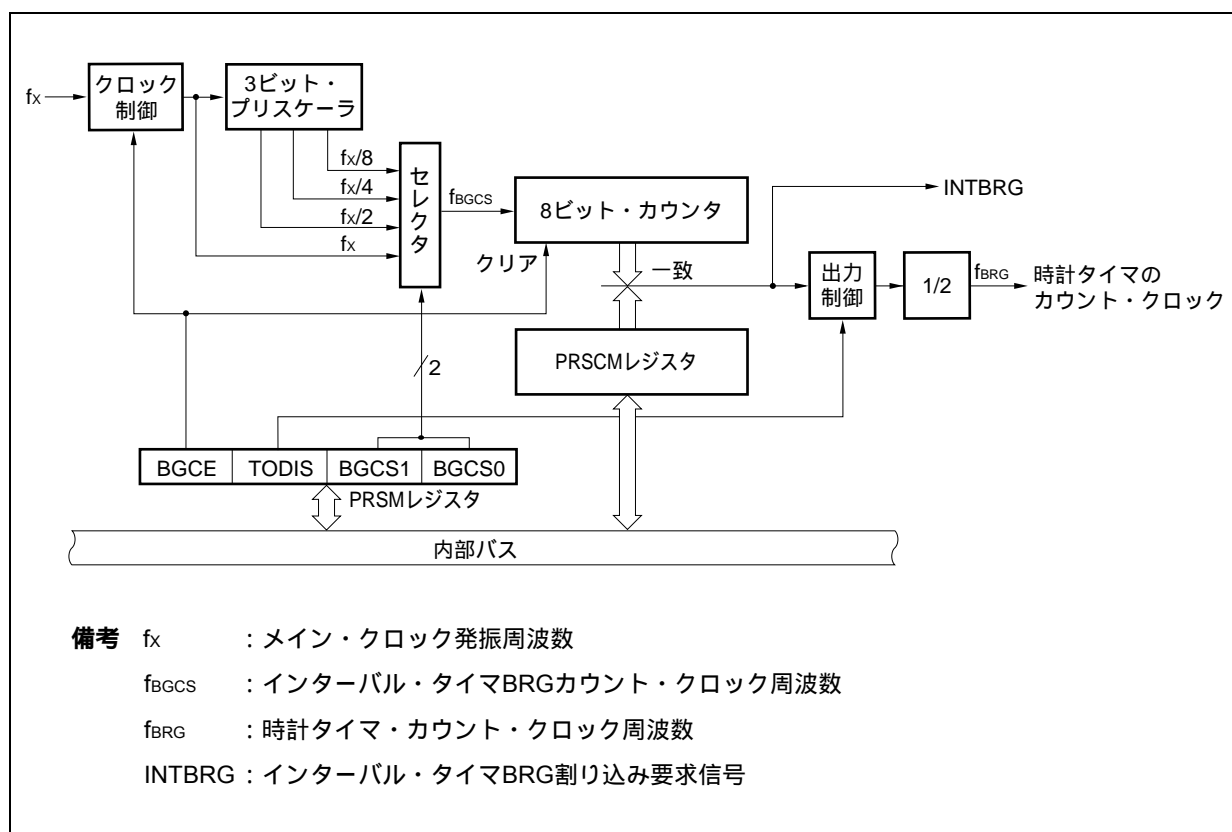
インターバル・タイマBRGには、次のような機能があります。

- ・インターバル・タイマBRG : 一定時間ごとに割り込み要求信号 (INTBRG) が発生します。
- ・時計タイマのカウント・クロック生成: 時計タイマのカウント・クロックとしてメイン・クロックを使用する場合、カウント・クロック ( $f_{BRG}$ ) を生成します。

### 11.1.2 構成

次にインターバル・タイマBRGのブロック図を示します。

図11-1 インターバル・タイマBRGのブロック図



**(1) クロック制御**

インターバル・タイマBRGの動作クロック ( $f_x$ ) の供給 / 停止を制御します。

**(2) 3 ビット・プリスケアラ**

$f_x$ を分周して,  $f_x/2$ ,  $f_x/4$ ,  $f_x/8$ を生成します。

**(3) セレクタ**

$f_x$ ,  $f_x/2$ ,  $f_x/4$ ,  $f_x/8$ から, インターバル・タイマBRGのカウンタ・クロック ( $f_{BGCS}$ ) を選択します。

**(4) 8 ビット・カウンタ**

カウンタ・クロック ( $f_{BGCS}$ ) をカウントする8ビットのカウンタです。

**(5) 出力制御**

時計タイマのカウンタ・クロック ( $f_{BRG}$ ) 供給を制御します。

**(6) PRSCM レジスタ**

インターバル時間を設定する8ビットのコンペア・レジスタです。

**(7) PRSM レジスタ**

インターバル・タイマBRGの動作, セレクタ, 時計タイマへのクロック供給を制御するレジスタです。

### 11.1.3 レジスタ

インターバル・タイマBRGには, 次のレジスタがあります。

#### (1) インターバル・タイマ BRG モード・レジスタ (PRSM)

インターバル・タイマBRGの動作, カウント・クロックの選択, 時計タイマへのクロック供給を制御します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF8B0H

	7	6	5	④	3	2	1	0
PRSM	0	0	0	BGCE	0	TODIS	BGCS1	BGCS0

BGCE	インターバル・タイマの動作制御
0	動作停止, 8ビット・カウンタを01Hにクリア
1	動作

TODIS	時計用タイマへのクロック供給の制御
0	時計用タイマにクロックを供給する
1	時計用タイマにクロックを供給しない

BGCS1	BGCS0	入力クロックの選択 (f <sub>BGCS</sub> ) 注	10 MHz	5 MHz	4 MHz
			100 ns	200 ns	250 ns
0	0	fx	100 ns	200 ns	250 ns
0	1	fx/2	200 ns	400 ns	500 ns
1	0	fx/4	400 ns	800 ns	1 μs
1	1	fx/8	800 ns	1.6 μs	2 μs

注 次の条件を満たすように設定してください。

V<sub>DD</sub> = 4.0 ~ 5.5 V : f<sub>BGCS</sub> 10 MHz

V<sub>DD</sub> = 2.7 ~ 4.0 V : f<sub>BGCS</sub> 5 MHz

注意1. インターバル・タイマBRG動作中 (BGCEビット = 1) に, TODIS, BGCS1, BGCS0 ビットの値を変更しないでください。TODIS, BGCS1, BGCS0 ビットの設定は, BGCE ビットをセット (1) する前に行ってください。

2. BGCE ビットをクリア (0) することにより, 8ビット・カウンタはクリアされます。

(2) インターバル・タイマ BRG コンペア・レジスタ (PRSCM)

8ビットのコンペア・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : FFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM	PRSCM7	PRSCM6	PRSCM5	PRSCM4	PRSCM3	PRSCM2	PRSCM1	PRSCM0

**注意** インターバル・タイマBRG動作中 (PRSM.BGCEビット = 1) に ,  
PRSCMレジスタを書き換えしないでください。PRSCMレジスタの設定  
は , BGCEビットをセット (1) する前に行ってください。

## 11.1.4 動作

### (1) インターバル・タイマ BRG の動作

PRSM.BGCS1, BGCS0ビットでカウント・クロックを, PRSCMレジスタで8ビットのコンペア値を設定してください。

PRSM.BGCEビットをセット(1)すると, インターバル・タイマBRGは動作を開始します。

8ビット・カウンタのカウント値とPRSCMレジスタの設定値が一致するごとに, 割り込み要求信号(INTBRG)が発生します。同時に, 8ビット・カウンタは01Hにクリアされ, カウントを継続します。

インターバル時間は, 次の式で求められます。

$$\text{インターバル時間} = 2^m \times N / f_x$$

**備考** m : 分周値 (BGCS1, BGCS0ビット設定値) = 0-3

N : PRSCMレジスタ設定値<sup>※</sup> = 1-256 (PRSCMレジスタ設定値 = 00Hの場合, N = 256)

f<sub>x</sub> : メイン・クロック発振周波数

**注** PRSCMレジスタ = 01HのときINTBRG割り込みは1回だけ発生します。

### (2) 時計タイマへのカウント・クロック供給

PRSM.BGCS1, BGCS0ビットでカウント・クロックを, PRSCMレジスタで8ビットのコンペア値を設定し, 時計タイマのカウント・クロック周波数(f<sub>BRG</sub>)が32.768 kHzになるようにしてください。同時にPRSM.TODISビットをクリア(0)してください。

PRSM.BGCEビットをセット(1)すると, 時計タイマにf<sub>BRG</sub>を供給します。

f<sub>BRG</sub>は, 次の式で求められます。

$$f_{BRG} = f_x / (2^{m+1} \times N)$$

f<sub>BRG</sub>を32.768 kHzにするには, 次のように計算してBGCS1, BGCS0ビット, PRSCMレジスタを設定してください。

N = f<sub>x</sub>/65,536 (小数点第一位を四捨五入)とし, m = 0としてください。

Nが偶数のとき, N = N/2とし, m = m + 1としてください。

Nが奇数になるか, またはm = 3になるまで, を繰り返します。

NをPRSCMレジスタに, mをBGCS1, BGCS0ビットに設定してください。

例: f<sub>x</sub> = 4.00 MHzの場合

N = 4,000,000/65,536 = 61 (小数点第一位を四捨五入), m = 0

, Nは奇数なので, N = 61, m = 0のまま

PRSCMレジスタ設定値: 3DH (61), BGCS1, BGCS0ビット設定値: 00

**備考** m : 分周値 (BGCS1, BGCS0ビット設定値) = 0-3

N : PRSCMレジスタ設定値 = 1-256 (PRSCMレジスタ設定値 = 00Hの場合, N = 256)

f<sub>x</sub> : メイン・クロック発振周波数

## 11.2 時計タイマ

### 11.2.1 機能

時計タイマには, 次のような機能があります。

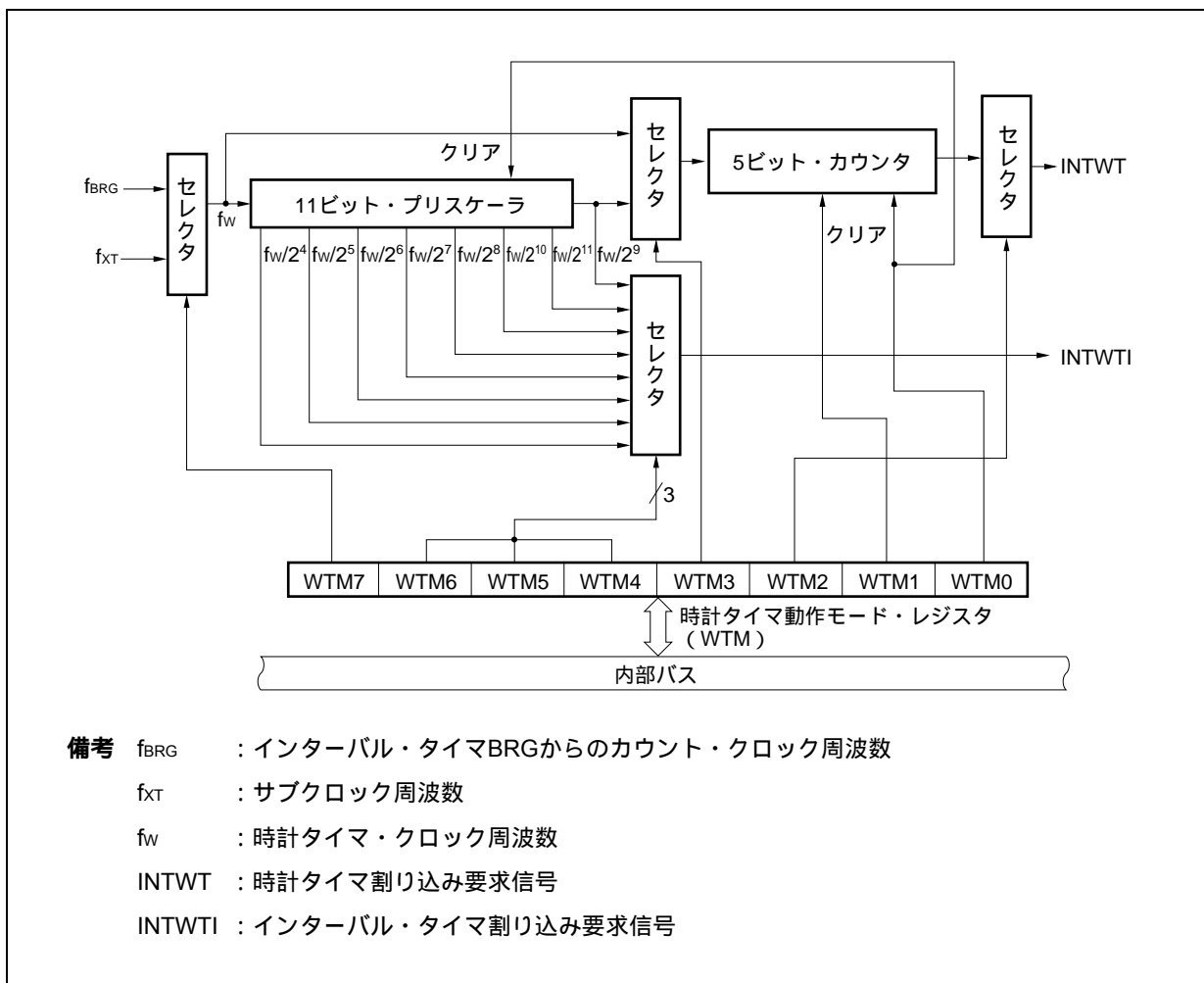
- ・時計タイマ : メイン・クロックまたはサブクロックを使用することで, 0.5秒または0.25秒の時間間隔で割り込み要求信号 (INTWT) を発生します。
- ・インターバル・タイマ : あらかじめ設定した時間間隔で, 割り込み要求信号 (INTWTI) を発生します。

時計タイマとインターバル・タイマは, 同時に使用できます。

### 11.2.2 構成

次に時計タイマのブロック図を示します。

図11-2 時計タイマのブロック図





**(1) 11ビット・プリスケアラ**

$f_w$ を分周して,  $f_w/2^4$ - $f_w/2^{11}$ のクロックを生成します。

**(2) 5ビット・カウンタ**

$f_w$ または $f_w/2^9$ をカウントして,  $2^4/f_w$ ,  $2^5/f_w$ ,  $2^{13}/f_w$ または $2^{14}/f_w$ ごとに時計タイマ割り込み要求信号 (INTWT) を発生します。

**(3) セレクタ**

時計タイマには, 次の4つのセレクタがあります。

- ・時計タイマのクロックとして, メイン・クロック (インターバル・タイマBRGからのクロック ( $f_{BRG}$ ) かサブクロック ( $f_{XT}$ ) ) を選択します。
- ・5ビット・カウンタのカウント・クロック周波数として,  $f_w$ か $f_w/2^9$ を選択します。
- ・INTWT信号発生時間間隔として,  $2^4/f_w$ または $2^{13}/f_w$ か,  $2^5/f_w$ または $2^{14}/f_w$ を選択します。
- ・インターバル・タイマWT割り込み要求信号 (INTWTI) 発生時間間隔として,  $2^4/f_w$ - $2^{11}/f_w$ から選択します。

**(4) 8ビット・カウンタ**

カウント・クロック ( $f_{BGS}$ ) をカウントする8ビットのカウンタです。

**(5) WTMレジスタ**

時計タイマ/インターバル・タイマWTの動作制御や割り込み要求信号発生間隔を設定する8ビットのレジスタです。

### 11.2.3 レジスタ

時計タイマには, 次のレジスタがあります。

#### (1) 時計タイマ動作モード・レジスタ (WTM)

時計タイマのカウンタ・クロックおよび動作の許可/禁止, 11ビット・プリスケーラのインターバル時間, 5ビット・カウンタの動作制御および時計タイマ割り込み要求信号 (INTWT) 発生時間を設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF680H

	7	6	5	4	3	2	①	②
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

WTM7	WTM6	WTM5	WTM4	インターバル・タイマ割り込み (INTWTI) 時間の選択
0	0	0	0	$2^4/f_w$ ( 488 $\mu$ s : $f_w = f_{XT}$ )
0	0	0	1	$2^5/f_w$ ( 977 $\mu$ s : $f_w = f_{XT}$ )
0	0	1	0	$2^6/f_w$ ( 1.95 ms : $f_w = f_{XT}$ )
0	0	1	1	$2^7/f_w$ ( 3.91 ms : $f_w = f_{XT}$ )
0	1	0	0	$2^8/f_w$ ( 7.81 ms : $f_w = f_{XT}$ )
0	1	0	1	$2^9/f_w$ ( 15.6 ms : $f_w = f_{XT}$ )
0	1	1	0	$2^{10}/f_w$ ( 31.3 ms : $f_w = f_{XT}$ )
0	1	1	1	$2^{11}/f_w$ ( 62.5 ms : $f_w = f_{XT}$ )
1	0	0	0	$2^4/f_w$ ( 488 $\mu$ s : $f_w = f_{BRG}$ )
1	0	0	1	$2^5/f_w$ ( 977 $\mu$ s : $f_w = f_{BRG}$ )
1	0	1	0	$2^6/f_w$ ( 1.95 ms : $f_w = f_{BRG}$ )
1	0	1	1	$2^7/f_w$ ( 3.91 ms : $f_w = f_{BRG}$ )
1	1	0	0	$2^8/f_w$ ( 7.81 ms : $f_w = f_{BRG}$ )
1	1	0	1	$2^9/f_w$ ( 15.6 ms : $f_w = f_{BRG}$ )
1	1	1	0	$2^{10}/f_w$ ( 31.3 ms : $f_w = f_{BRG}$ )
1	1	1	1	$2^{11}/f_w$ ( 62.5 ms : $f_w = f_{BRG}$ )

WTM7	WTM3	WTM2	時計タイマ割り込み (INTWT) 時間の選択
0	0	0	$2^{14}/f_w$ ( 0.5 s : $f_w = f_{XT}$ )
0	0	1	$2^{13}/f_w$ ( 0.25 s : $f_w = f_{XT}$ )
0	1	0	$2^5/f_w$ ( 977 $\mu$ s : $f_w = f_{XT}$ )
0	1	1	$2^4/f_w$ ( 488 $\mu$ s : $f_w = f_{XT}$ )
1	0	0	$2^{14}/f_w$ ( 0.5 s : $f_w = f_{BRG}$ )
1	0	1	$2^{13}/f_w$ ( 0.25 s : $f_w = f_{BRG}$ )
1	1	0	$2^5/f_w$ ( 977 $\mu$ s : $f_w = f_{BRG}$ )
1	1	1	$2^4/f_w$ ( 488 $\mu$ s : $f_w = f_{BRG}$ )

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ, 5ビット・カウンタともにクリア)
1	動作許可

**注意** WTM2-WTM7ビットを書き換える場合は, WTM0, WTM1ビットがともに0の状態で行ってください。

- 備考1.  $f_w$  : 時計タイマ・クロック周波数  
 2. ( ) 内は,  $f_w = 32.768$  kHz動作時

## 11.2.4 動作

### (1) 時計タイマとしての動作

時計タイマは、一定の時間間隔ごとに割り込み要求を発生します。

サブクロック (32.768 kHz) を使用すると、0.25秒または0.5秒の時間間隔の時計タイマとして動作します。

WTM.WTM0, WTM1ビットに11を設定するとカウント動作がスタートします。00を設定すると11ビット・プリスケアラと5ビット・カウンタがクリアされ、カウント動作が停止します。

時計タイマをインターバル・タイマWTと同時に動作させているとき、WTM1ビットを0にすることにより5ビット・カウンタをクリアし、時刻合わせができます。このとき、インターバル・タイマWTには影響はありませんが、時計タイマは最大で15.6 msの誤差が発生することがあります。

### (2) インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求信号 (INTWTI) を発生するインターバル・タイマとして動作します。

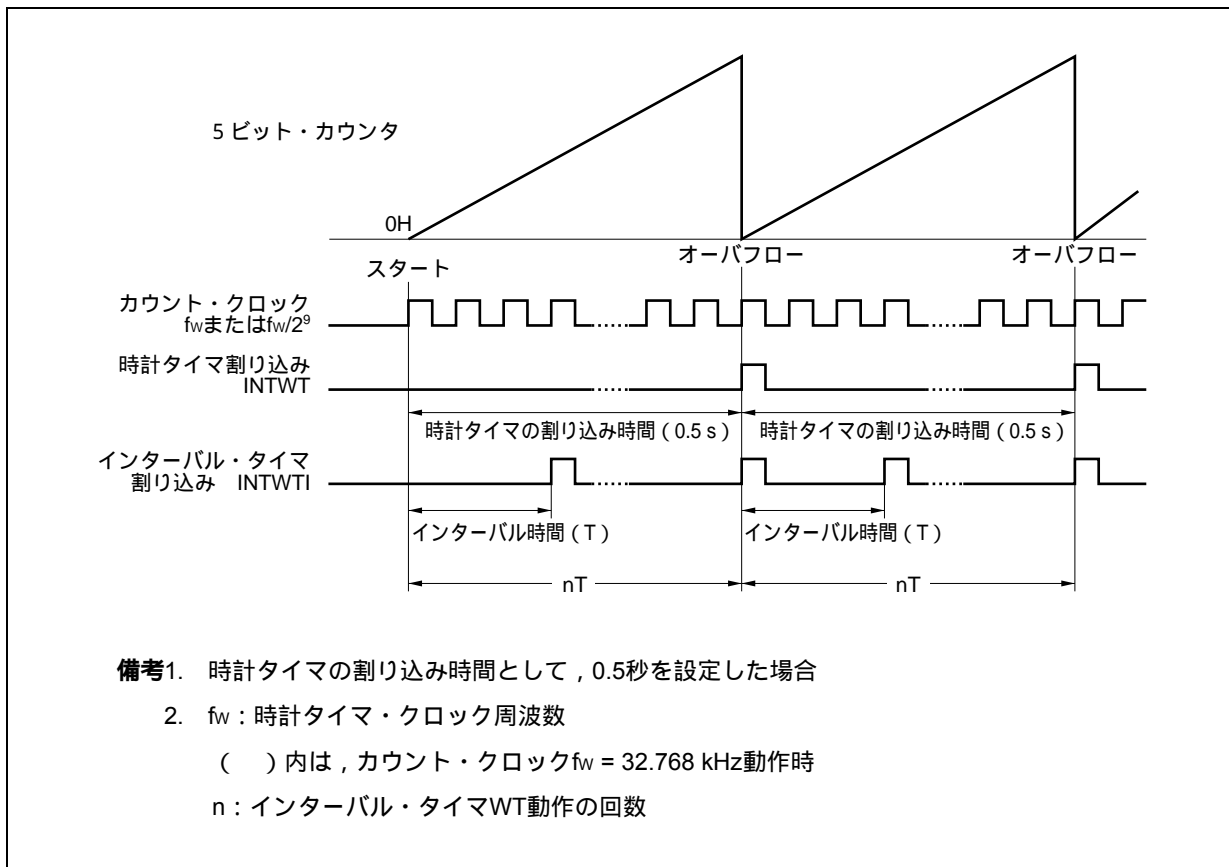
WTM.WTM4-WTM7ビットにより、インターバル時間を選択できます。

表11-1 インターバル・タイマのインターバル時間

WTM7	WTM6	WTM5	WTM4	インターバル時間	
0	0	0	0	$2^4 \times 1/f_w$	488 $\mu$ s ( $f_w = f_{XT} = 32.768$ kHz動作時 )
0	0	0	1	$2^5 \times 1/f_w$	977 $\mu$ s ( $f_w = f_{XT} = 32.768$ kHz動作時 )
0	0	1	0	$2^6 \times 1/f_w$	1.95 ms ( $f_w = f_{XT} = 32.768$ kHz動作時 )
0	0	1	1	$2^7 \times 1/f_w$	3.91 ms ( $f_w = f_{XT} = 32.768$ kHz動作時 )
0	1	0	0	$2^8 \times 1/f_w$	7.81 ms ( $f_w = f_{XT} = 32.768$ kHz動作時 )
0	1	0	1	$2^9 \times 1/f_w$	15.6 ms ( $f_w = f_{XT} = 32.768$ kHz動作時 )
0	1	1	0	$2^{10} \times 1/f_w$	31.3 ms ( $f_w = f_{XT} = 32.768$ kHz動作時 )
0	1	1	1	$2^{11} \times 1/f_w$	62.5 ms ( $f_w = f_{XT} = 32.768$ kHz動作時 )
1	0	0	0	$2^4 \times 1/f_w$	488 $\mu$ s ( $f_w = f_{BRG} = 32.768$ kHz動作時 )
1	0	0	1	$2^5 \times 1/f_w$	977 $\mu$ s ( $f_w = f_{BRG} = 32.768$ kHz動作時 )
1	0	1	0	$2^6 \times 1/f_w$	1.95 ms ( $f_w = f_{BRG} = 32.768$ kHz動作時 )
1	0	1	1	$2^7 \times 1/f_w$	3.91 ms ( $f_w = f_{BRG} = 32.768$ kHz動作時 )
1	1	0	0	$2^8 \times 1/f_w$	7.81 ms ( $f_w = f_{BRG} = 32.768$ kHz動作時 )
1	1	0	1	$2^9 \times 1/f_w$	15.6 ms ( $f_w = f_{BRG} = 32.768$ kHz動作時 )
1	1	1	0	$2^{10} \times 1/f_w$	31.3 ms ( $f_w = f_{BRG} = 32.768$ kHz動作時 )
1	1	1	1	$2^{11} \times 1/f_w$	62.5 ms ( $f_w = f_{BRG} = 32.768$ kHz動作時 )

備考  $f_w$  : 時計タイマ・クロック周波数

図11-3 時計タイマ/インターバル・タイマの動作タイミング

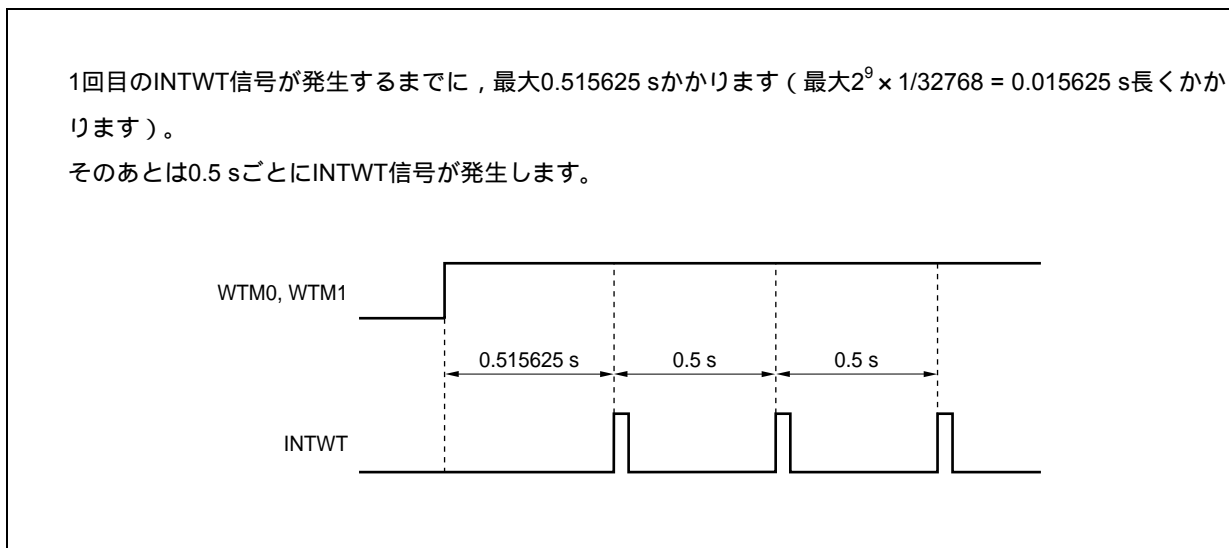


### 11.3 注意事項

#### (1) 時計タイマとしての動作

動作許可 (WTM.WTM1, WTM0ビット = 11) してから、1回目の時計タイマ割り込み要求信号 (INTWT) が発生するまで多少時間がかかります。

図11-4 時計タイマ割り込み要求信号 (INTWT) の発生例 (割り込み周期 = 0.5 sの場合)



**(2) 時計タイマとインターバル・タイマ BRG を同時に動作させる場合**

時計タイマのカウント・クロックとしてサブクロックを使用するときは、インターバル・タイマBRGのインターバル時間を任意に設定できます。また、インターバル時間を変更しても時計タイマには影響しません（変更するときは動作を停止してから変更してください）。

時計タイマのカウント・クロックとしてメイン・クロックを使用するときは、インターバル・タイマBRGのインターバル時間は約65.536 kHzにしてください。インターバル時間は変更しないでください。

**(3) インターバル・タイマ BRG とインターバル・タイマ WT を同時に動作させる場合**

インターバル・タイマWTのカウント・クロックとしてサブクロックを使用するときは、インターバル・タイマBRG, WTのインターバル時間をそれぞれ任意に設定できます。また、途中で変更もできます（変更するときは動作を停止してから変更してください）。

インターバル・タイマWTのカウント・クロックとしてメイン・クロックを使用するときは、インターバル・タイマBRGのインターバル時間を任意に設定できますが、途中で変更できません（インターバル・タイマWT動作停止時のみ変更できます）。インターバル・タイマWTのインターバル時間はインターバル・タイマBRGの $2^5$ - $2^{12}$ 倍の時間を設定できます。また、途中で変更できます。

**(4) 時計タイマとインターバル・タイマ WT を同時に動作させる場合**

インターバル・タイマWTのインターバル時間は $488 \mu\text{s}$ -62.5 msの時間を設定できます。途中で変更できません。

時計タイマ動作中に、インターバル・タイマWTを停止（WTM.WTM0ビットをクリア（0））しないでください。WTM0ビットをクリア（0）して再度セット（1）すると、時計タイマが最大0.5秒または0.25秒ずれてしまいます。

**(5) 時計タイマとインターバル・タイマ BRG とインターバル・タイマ WT を同時に動作させる場合**

時計タイマのカウント・クロックとしてサブクロックを使用するときは、インターバル・タイマBRG, WTのインターバル時間を任意に設定できます。また、インターバル・タイマBRGのインターバル時間を途中で変更できます（変更するときは動作を停止してから変更してください）。

時計タイマのカウント・クロックとしてメイン・クロックを使用するときは、インターバル・タイマBRGのインターバル時間は約65.536 kHzにしてください。途中で変更できません。インターバル・タイマWTのインターバル時間は $488 \mu\text{s}$ -62.5 msの時間を設定できます。途中で変更できません。

時計タイマ動作中に、インターバル・タイマBRGを停止（PRSM.BGCEビットをクリア（0））しないでください。また、インターバル・タイマWTを停止（WTM.WTM0ビットをクリア（0））しないでください。

## 第12章 ウォッチドッグ・タイマ機能

### 12.1 ウォッチドッグ・タイマ1

#### 12.1.1 機能

ウォッチドッグ・タイマ1には、次の動作モードがあります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

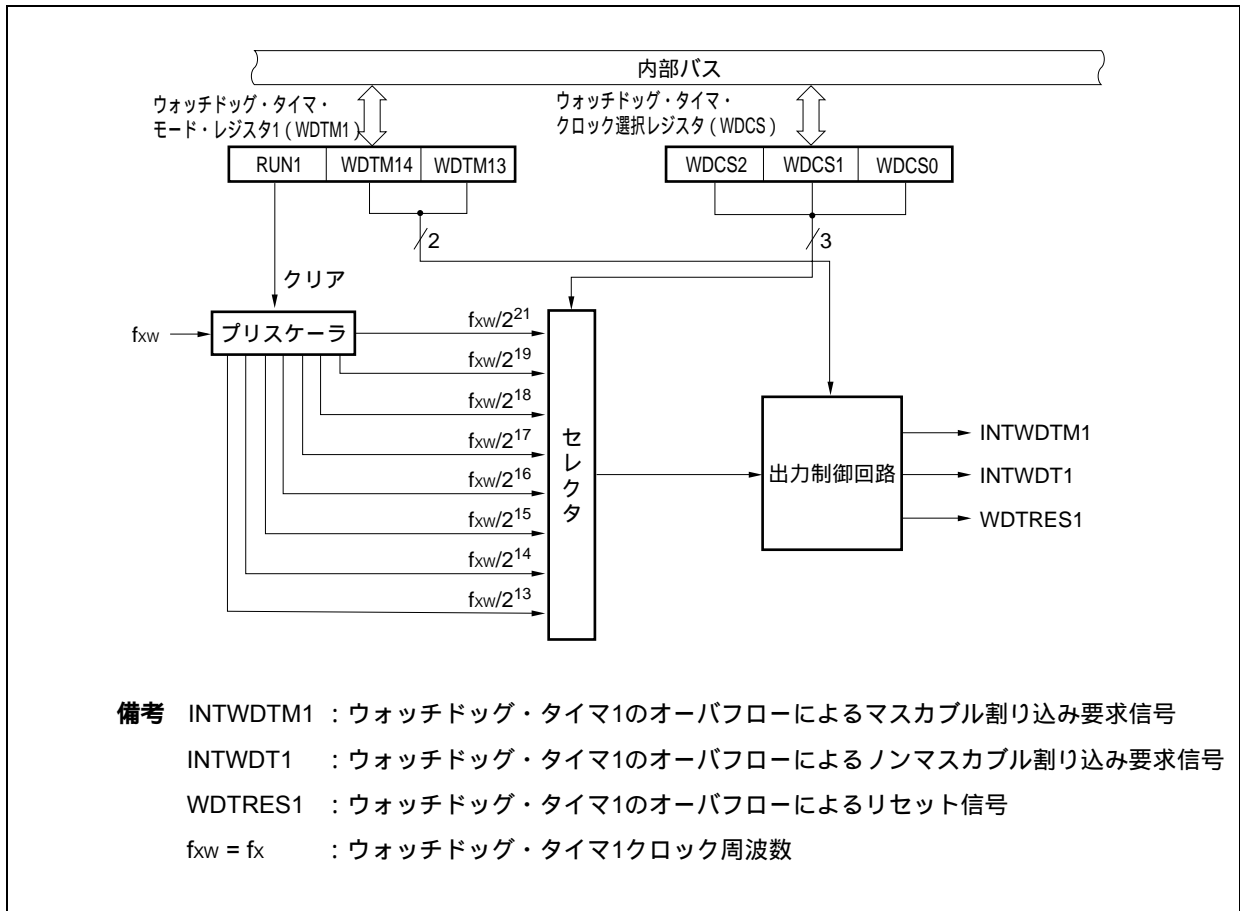
上記動作モードにより、次の機能を実現します。

- ・ウォッチドッグ・タイマ1のオーバーフローによる、ノンマスクابل割り込み要求信号 (INTWDT1) を発生する<sup>※</sup>。
- ・ウォッチドッグ・タイマ1のオーバーフローによる、システム・リセット信号 (WDTRES1) を発生する。
- ・インターバル・タイマのオーバーフローによる、マスクابل割り込み要求信号 (INTWDTM1) を発生する。

**注** ノンマスクابل割り込み要求信号 (INTWDT1, INTWDT2) によるノンマスクابل割り込み処理については、21.10 **注意事項**を参照してください。

**備考** ウォッチドッグ・タイマ1モードとして使用するか、インターバル・タイマ・モードとして使用するかは、WDTM1レジスタで選択してください。

図12 - 1 ウォッチドッグ・タイマ1のブロック図





## 12.1.2 構成

ウォッチドッグ・タイマ1は、次のハードウェアで構成されています。

表12-1 ウォッチドッグ・タイマ1の構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ1 (WDTM1)

## 12.1.3 レジスタ

ウォッチドッグ・タイマ1を制御するレジスタを次に示します。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ1 (WDTM1)

### (1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマ1およびインターバル・タイマのオーバフロー時間を設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : FFFFFFF6C1H								
	7	6	5	4	3	2	1	0
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0
	WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ1 / インターバル・タイマのオーバフロー時間				
				f <sub>xw</sub>				
				4 MHz	5 MHz	10 MHz		
	0	0	0	2 <sup>13</sup> /f <sub>xw</sub>	2.048 ms	1.638 ms	0.819 ms	
	0	0	1	2 <sup>14</sup> /f <sub>xw</sub>	4.096 ms	3.277 ms	1.638 ms	
	0	1	0	2 <sup>15</sup> /f <sub>xw</sub>	8.192 ms	6.554 ms	3.277 ms	
	0	1	1	2 <sup>16</sup> /f <sub>xw</sub>	16.38 ms	13.11 ms	6.554 ms	
	1	0	0	2 <sup>17</sup> /f <sub>xw</sub>	32.77 ms	26.21 ms	13.11 ms	
	1	0	1	2 <sup>18</sup> /f <sub>xw</sub>	65.54 ms	52.43 ms	26.2 ms	
	1	1	0	2 <sup>19</sup> /f <sub>xw</sub>	131.1 ms	104.9 ms	52.43 ms	
	1	1	1	2 <sup>21</sup> /f <sub>xw</sub>	524.3 ms	419.4 ms	209.7 ms	
備考 f <sub>xw</sub> = f <sub>x</sub> : ウォッチドッグ・タイマ1クロック周波数								

(2) ウォッチドッグ・タイマ・モード・レジスタ1 (WDTM1)

ウォッチドッグ・タイマ1の動作モード，カウント許可/禁止を設定するレジスタです。

このレジスタは特定レジスタです。特定のシーケンスによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** 次に示す状態において，WDTM1レジスタへのアクセスは禁止です。詳細は3.4.8(1)(b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：00H R/W アドレス：FFFFFF6C2H

	⑦	6	5	4	3	2	1	0
WDTM1	RUN1	0	0	WDTM14	WDTM13	0	0	0

RUN1	ウォッチドッグ・タイマ1の動作モードの選択 <sup>注1</sup>
0	カウントの停止
1	カウントをクリアし，カウントを開始

WDTM14	WDTM13	ウォッチドッグ・タイマ1の動作モードの選択 <sup>注2</sup>
0	0	インターバル・タイマ・モード
0	1	(オーバーフロー発生時，マスカブル割り込みINTWDTM1発生)
1	0	ウォッチドッグ・タイマ・モード <sup>注3</sup> (オーバーフロー発生時，ノンマスカブル割り込みINTWDT1発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時，リセット動作WDTRES1を起動)

注1. RUN1ビットは，一度セット(1)されると，ソフトウェアでクリア(0)することはできません。

したがって，カウントを開始すると，リセット以外で停止させることはできません。

2. WDTM14, WDTM13ビットは，一度セット(1)されると，ソフトウェアでクリア(0)することはできません。これらのビットをクリアするには，リセットだけが有効です。

3. ノンマスカブル割り込み要求信号(INTWDT1)による，ノンマスカブル割り込み処理については，21.10 注意事項を参照してください。

## 12.1.4 動作

### (1) ウォッチドッグ・タイマ1としての動作

WDTM1.WDTM14ビットに“1”を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマ1として動作します。

WDCS.WDCS2-WDCS0ビットでウォッチドッグ・タイマ1のカウント・クロック（暴走検出時間間隔）を選択できます。WDTM1.RUN1ビットに“1”を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUN1ビットに再度“1”を設定すると、ウォッチドッグ・タイマ1はクリアされ、再度カウント動作を開始します。

RUN1ビットに“1”がセットされず、暴走検出時間を越えてしまった場合は、WDTM1レジスタのWDTM13ビットの値によりリセット信号（WDTRES1）もしくはノンマスクابل割り込み要求信号（INTWDT1）が発生します。

ウォッチドッグ・タイマ1は、STOPモード時とIDLEモード時は動作を停止します。STOPモードやIDLEモードに入る前にRUN1ビットを“1”に設定し、ウォッチドッグ・タイマ1をクリアしてください。

また、HALTモード時はウォッチドッグ・タイマ1は動作するため、HALT中にオーバフローが発生しないように注意してください。

注意1. CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマ1のカウント動作を停止（保持）します。

2. INTWDT1信号による、ノンマスクابل割り込み処理については、21.10 注意事項を参照してください。

表12-2 ウォッチドッグ・タイマ1の暴走検出時間

クロック	暴走検出時間		
	$f_{xw} = 4 \text{ MHz}$	$f_{xw} = 5 \text{ MHz}$	$f_{xw} = 10 \text{ MHz}$
$2^{13}/f_{xw}$	2.048 ms	1.638 ms	0.819 ms
$2^{14}/f_{xw}$	4.096 ms	3.277 ms	1.683 ms
$2^{15}/f_{xw}$	8.192 ms	6.554 ms	3.277 ms
$2^{16}/f_{xw}$	16.38 ms	13.11 ms	6.554 ms
$2^{17}/f_{xw}$	32.77 ms	26.21 ms	13.11 ms
$2^{18}/f_{xw}$	65.54 ms	52.43 ms	26.21 ms
$2^{19}/f_{xw}$	131.1 ms	104.9 ms	52.43 ms
$2^{21}/f_{xw}$	524.3 ms	419.4 ms	209.7 ms

備考  $f_{xw} = f_x$  : ウォッチドッグ・タイマ1クロック周波数

## (2) インターバル・タイマとしての動作

WDTM1.WDTM14ビットに“0”を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

インターバル・タイマとして動作しているとき、WDTICレジスタの割り込みマスク・フラグ (WDTMK) と優先順位指定フラグ (WDTPR0-WDTPR2) が有効となり、マスクブル割り込み要求信号 (INTWDTM1) を発生させることができます。INTWDTM1信号のデフォルト優先順位は、マスクブル割り込み要求信号の中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、STOPモード時とIDLEモード時は動作を停止します。

- 注意1. 一度WDTM14ビットに“1”を設定する (ウォッチドッグ・タイマ1モードを選択する) と、リセットがかからないかぎり、インターバル・タイマ・モードにはなりません。
2. CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマ1のカウント動作を停止 (保持) します。

表12-3 インターバル・タイマのインターバル時間

クロック	インターバル時間		
	$f_{xw} = 4 \text{ MHz}$	$f_{xw} = 5 \text{ MHz}$	$f_{xw} = 10 \text{ MHz}$
$2^{13}/f_{xw}$	2.048 ms	1.638 ms	0.819 ms
$2^{14}/f_{xw}$	4.096 ms	3.277 ms	1.638 ms
$2^{15}/f_{xw}$	8.192 ms	6.554 ms	3.277 ms
$2^{16}/f_{xw}$	16.38 ms	13.11 ms	6.554 ms
$2^{17}/f_{xw}$	32.77 ms	26.21 ms	13.11 ms
$2^{18}/f_{xw}$	65.54 ms	52.43 ms	26.21 ms
$2^{19}/f_{xw}$	131.1 ms	104.9 ms	52.43 ms
$2^{21}/f_{xw}$	524.3 ms	419.4 ms	209.7 ms

備考  $f_{xw} = f_x$  : ウォッチドッグ・タイマ1クロック周波数

## 12.2 ウォッチドッグ・タイマ2

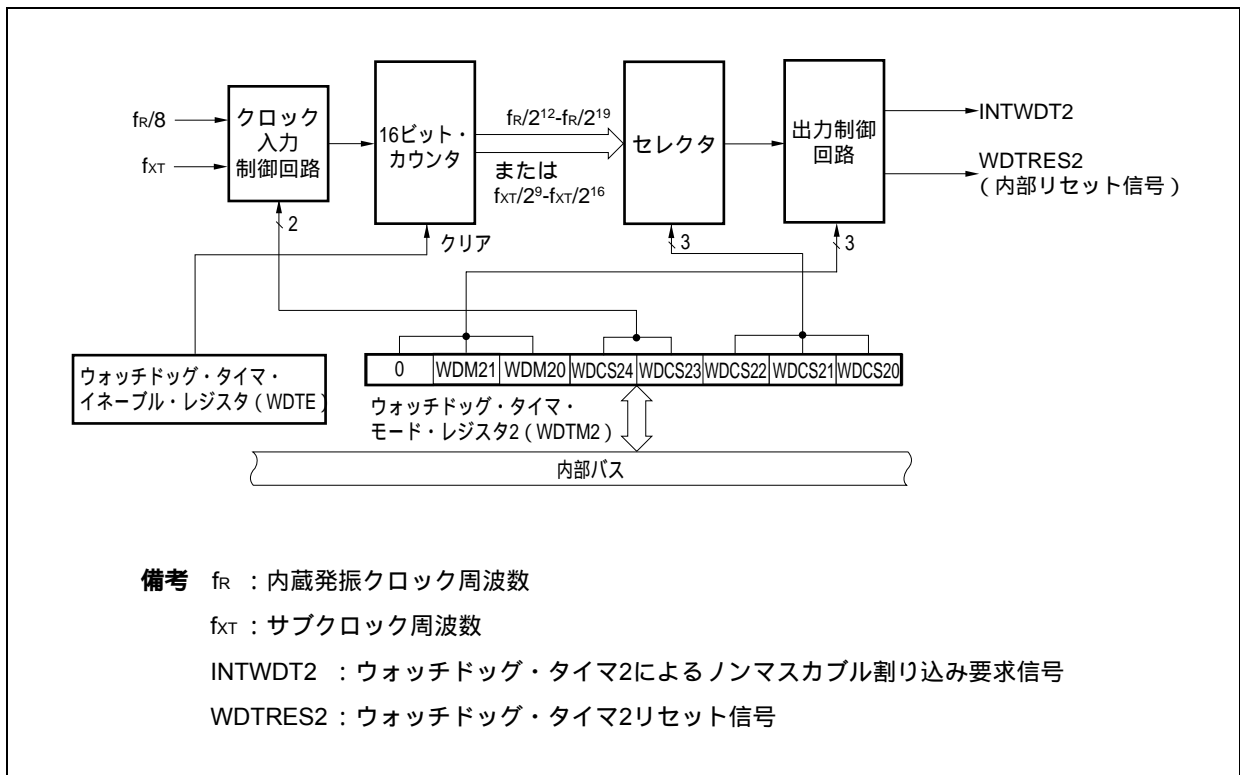
### 12.2.1 機能

ウォッチドッグ・タイマ2には、次のような機能があります。

- ・デフォルト・スタート・ウォッチドッグ・タイマ<sup>※1</sup>  
 リセット・モード:ウォッチドッグ・タイマ2のオーパフローによるリセット動作 (WDTRES2信号を発生)  
 ノンマスクابل割り込み要求モード:ウォッチドッグ・タイマ2のオーパフローによるNMI動作 (INTWDT2信号を発生)<sup>※2</sup>
- ・ソース・クロックとして内蔵発振クロックとサブクロックからの入力を選択可能

- 注1. ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。ウォッチドッグ・タイマ2を使用しない場合は、この機能によるリセットが発生する前に停止するか、一度ウォッチドッグ・タイマ2をクリアし、次のインターバル時間内で停止してください。また、デフォルトの設定 (リセット・モード, インターバル時間:  $f_{XT}/2^{25}$ ) で変更する必要がない場合も、動作を確定するために、1回だけWDTM2レジスタへの書き込みを行ってください。
2. ノンマスクابل割り込み要求信号 (INTWDT2) によるノンマスクابل割り込み処理については21.10 注意事項を参照してください。

図12-2 ウォッチドッグ・タイマ2のブロック図



## 12.2.2 構成

ウォッチドッグ・タイマ2は、次のハードウェアで構成されています。

表12-4 ウォッチドッグ・タイマ2の構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

## 12.2.3 レジスタ

### (1) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

8ビット単位でリード/ライト可能です。読み出しは何回でもできますが、書き込みはリセット解除後に1回だけできます。

リセットにより67Hになります。

**注意** 次に示す状態において、WDTM2レジスタへのアクセスは禁止です。詳細は3.4.8(1)(b)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：67H R/W アドレス：FFFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20
	WDM21	WDM20	ウォッチドッグ・タイマ2の動作モードの選択					
	0	0	動作停止					
	0	1	ノンマスクブル割り込み要求モード (INTWDT2を発生)					
	1	-	リセット・モード (WDTRES2を発生)					

- 注意1.** ウォッチドッグ・タイマ2の動作を停止する場合は、WDTM2レジスタに“1FH”を書き込んでください
- WDCS4-WDCS0ビットについては表12-5 ウォッチドッグ・タイマ2のクロック選択を参照してください。
  - リセット後、WDTM2レジスタに2回書き込んだ場合、強制的にオーバフロー信号を発生します。
  - 意図的にオーバフロー信号を発生させたい場合は、WDTM2レジスタに2回だけ書き込むか、WDTEレジスタに“ACH”以外の値を1回だけ書き込んでください。

表12-5 ウォッチドッグ・タイマ2のクロック選択

WDCS24	WDCS23	WDCS22	WDCS21	WDCS20	選択クロック	暴走検出時間
0	0	0	0	0	$2^{12}/f_R$	17.1 ms ( $f_R = 240$ kHz (TYP.)) 注
0	0	0	0	1	$2^{13}/f_R$	34.1 ms ( $f_R = 240$ kHz (TYP.)) 注
0	0	0	1	0	$2^{14}/f_R$	68.2 ms ( $f_R = 240$ kHz (TYP.)) 注
0	0	0	1	1	$2^{15}/f_R$	136.5 ms ( $f_R = 240$ kHz (TYP.)) 注
0	0	1	0	0	$2^{16}/f_R$	273.1 ms ( $f_R = 240$ kHz (TYP.)) 注
0	0	1	0	1	$2^{17}/f_R$	546.1 ms ( $f_R = 240$ kHz (TYP.)) 注
0	0	1	1	0	$2^{18}/f_R$	1092.3 ms ( $f_R = 240$ kHz (TYP.)) 注
0	0	1	1	1	$2^{19}/f_R$	2184.5 ms ( $f_R = 240$ kHz (TYP.)) 注
0	1	0	0	0	$2^9/f_{XT}$	15.625 ms ( $f_{XT} = 32.768$ kHz)
0	1	0	0	1	$2^{10}/f_{XT}$	31.25 ms ( $f_{XT} = 32.768$ kHz)
0	1	0	1	0	$2^{11}/f_{XT}$	62.5 ms ( $f_{XT} = 32.768$ kHz)
0	1	0	1	1	$2^{12}/f_{XT}$	125 ms ( $f_{XT} = 32.768$ kHz)
0	1	1	0	0	$2^{13}/f_{XT}$	250 ms ( $f_{XT} = 32.768$ kHz)
0	1	1	0	1	$2^{14}/f_{XT}$	500 ms ( $f_{XT} = 32.768$ kHz)
0	1	1	1	0	$2^{15}/f_{XT}$	1000 ms ( $f_{XT} = 32.768$ kHz)
0	1	1	1	1	$2^{16}/f_{XT}$	2000 ms ( $f_{XT} = 32.768$ kHz)
1	x	x	x	x	動作停止	

注 内蔵発振クロック ( $f_R$ ) の周波数特性 (誤差) は第32章 電気的特性を参照してください。

(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再びカウントを開始します。

8ビット単位でリード/ライト可能です。

リセットにより9AHになります。

リセット時：9AH    R/W    アドレス：FFFFFF6D1H

7          6          5          4          3          2          1          0

WDTE 

--	--	--	--	--	--	--	--

注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、強制的にオーバフロー信号を発生します。

2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、強制的にオーバフロー信号を発生します。

3. WDTEレジスタのリード値は、常に“9AH”（書き込んだ値(“ACH”)とは異なる値)になります。

4. 意図的にオーバフロー信号を発生させたい場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込むか、WDTM2レジスタに2回だけ書き込んでください。

## 12.2.4 動作

ウォッチドッグ・タイマ2はリセット解除後に自動的にリセット・モードでスタートします。

WDTM2レジスタへの書き込みはバイト・アクセスのみリセット後に一度だけ可能です。ウォッチドッグ・タイマ2を使用する場合は、動作モードとインターバル時間を8ビット・メモリ操作でWDTM2レジスタに書き込んでください。この操作後、動作停止することはできません。

WDTM2.WDCS24-WDCS20ビットで、ウォッチドッグ・タイマ2の暴走検出時間間隔を選択できます。WDTEレジスタにACHを書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再度カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にWDTEレジスタにACHを書き込んでください。

WDTEレジスタにACHが書き込まれず、暴走検出時間を越えてしまった場合は、WDTM2.WDM21, WDM20ビットの設定値により、リセット信号(WDTRES2)またはノンマスクابل割り込み要求信号(INTWDT2)が発生します。

ウォッチドッグ・タイマ2を使用しない場合は、WDTM2レジスタに1FHを書き込んでください。

また、ノンマスクابل割り込み要求モードに設定した場合、ノンマスクابل割り込み処理については、21.10 **注意事項**を参照してください。

また、HALT/IDLE/STOPモード時はウォッチドッグ・タイマ2は動作するため、HALT/IDLE/STOP中にオーバーフローが発生しないように注意してください。



# 第13章 リアルタイム出力機能 (RTO)

## 13.1 機 能

RTBLn, RTBHnレジスタにあらかじめ設定したデータを, タイマ割り込みの発生と同時にハードウェアでリアルタイム出力ラッチに転送して, 外部に出力することをリアルタイム出力機能 (RTO) といいます。また, 外部へ出力する端子をリアルタイム出力ポートと呼びます。

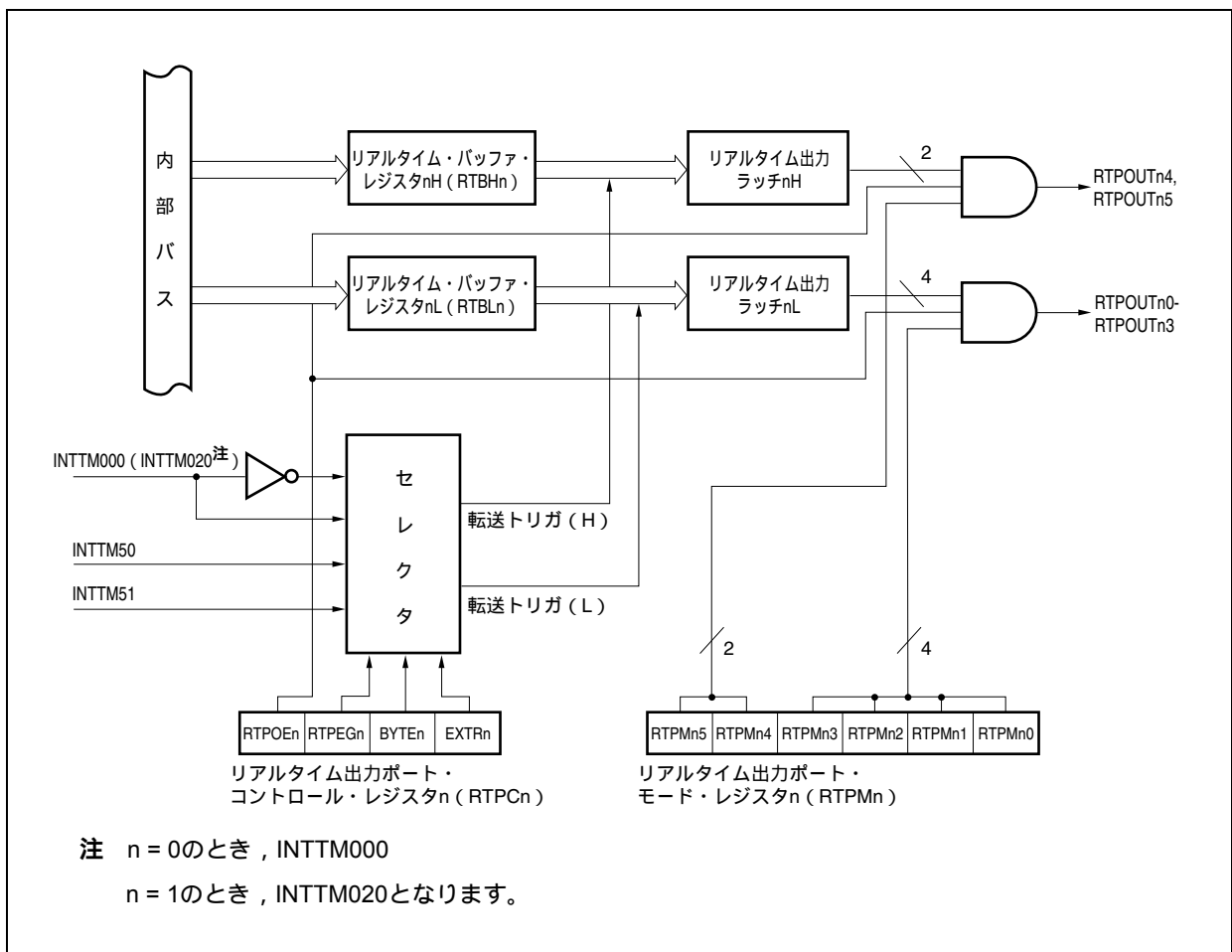
RTOを使用することにより, ジッタのない信号が出力できますので, ステッピング・モータなどの制御に最適です。

V850ES/KJ1+では, 6ビット・リアルタイム出力ポートを2チャンネル搭載しています。

1ビット単位でポート・モード / リアルタイム出力ポート・モードの指定ができます。

次にRTOのブロック図を示します。

図13 - 1 RTOのブロック図



## 13.2 構 成

RTOは、次のハードウェアで構成しています。

表13 - 1 RTOの構成

項 目	構 成
レジスタ	リアルタイム出力バッファ・レジスタ $n$ (RTBL $n$ , RTBH $n$ )
制御レジスタ	リアルタイム出力ポート・モード・レジスタ $n$ (RTPM $n$ ) リアルタイム出力ポート・コントロール・レジスタ $n$ (RTPC $n$ )

(1) リアルタイム出力バッファ・レジスタ<sub>n</sub> (RTBL<sub>n</sub>, RTBH<sub>n</sub>)

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタは、周辺I/Oレジスタ領域内でそれぞれ独立したアドレスにマッピングされています。

1ビット/8ビット命令でリード/ライト可能です。

4ビット×1チャンネル, 2ビット×1チャンネルの動作モードを指定したとき (RTPC<sub>n</sub>.BYTE<sub>n</sub>ビット = 0) は、RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタはそれぞれ独立にデータを設定できます。また、RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

6ビット×1チャンネルの動作モードを指定したとき (BYTE<sub>n</sub>ビット = 1) は、RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタのどちらか一方に8ビット・データを書き込むことにより、RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタそれぞれにデータを設定できます。また、RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

表13 - 2にRTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタに対する操作時の動作を示します。

リセット時: 00H R/W アドレス: RTBL0 FFFFFFF6E0H, RTBL1 FFFFFFF6F0  
RTBH0 FFFFFFF6E2H, RTBH1 FFFFFFF6F2

	7	6	5	4	3	2	1	0
RTBL <sub>n</sub>	-----				RTBL <sub>n</sub> 3	RTBL <sub>n</sub> 2	RTBL <sub>n</sub> 1	RTBL <sub>n</sub> 0
RTBH <sub>n</sub>	0	0	RTBH <sub>n</sub> 5	RTBH <sub>n</sub> 4	-----			

**注意1.** RTBH<sub>n</sub>レジスタのビット6, 7への書き込み時は、必ず“0”を書き込んでください。  
**2.** 次に示す状態において、RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタへのアクセスは禁止です。詳細は3. 4. 8(1) (b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

**備考** n = 0, 1

表13 - 2 RTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタに対する操作時の動作

動作モード	操作対象 レジスタ	リード時		ライト時 <sup>注</sup>	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×1チャンネル, 2ビット×1チャンネル	RTBL <sub>n</sub>	RTBH <sub>n</sub>	RTBL <sub>n</sub>	無効	RTBL <sub>n</sub>
	RTBH <sub>n</sub>	RTBH <sub>n</sub>	RTBL <sub>n</sub>	RTBH <sub>n</sub>	無効
6ビット×1チャンネル	RTBL <sub>n</sub>	RTBH <sub>n</sub>	RTBL <sub>n</sub>	RTBH <sub>n</sub>	RTBL <sub>n</sub>
	RTBH <sub>n</sub>	RTBH <sub>n</sub>	RTBL <sub>n</sub>	RTBH <sub>n</sub>	RTBL <sub>n</sub>

**注** リアルタイム出力ポートに設定後、リアルタイム出力トリガが発生されるまでにRTBL<sub>n</sub>, RTBH<sub>n</sub>レジスタに出力データを設定してください。

### 13.3 レジスタ

RTOは、次の2種類のレジスタで制御します。

- ・リアルタイム出力ポート・モード・レジスタn (RTPMn)
- ・リアルタイム出力ポート・コントロール・レジスタn (RTPCn)

#### (1) リアルタイム出力ポート・モード・レジスタn (RTPMn)

リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H    R/W    アドレス：RTPM0 FFFF6E4H, RTPM1 FFFF6F4H

	7	6	5	4	3	2	1	0
RTPMn (n = 0, 1)	0	0	RTPMn5	RTPMn4	RTPMn3	RTPMn2	RTPMn1	RTPMn0

RTPMnm	リアルタイム出力ポートの制御 (m = 0-5)
0	リアルタイム出力禁止
1	リアルタイム出力許可

**注意1.** リアルタイム出力信号 (RTPOUTn0-RTPOUTn5) を端子 (RTPn0-RTPn5) に反映するには、PMC5, PMC6, PFC5, PFC6レジスタでリアルタイム出力ポートに設定してください。

- リアルタイム出力動作を許可 (RTPCn.RTPOEnビット = 1) することにより、リアルタイム出力を許可されたビットはリアルタイム出力を行い、リアルタイム出力動作禁止に指定されたビットは“0”を出力します。
- リアルタイム出力動作を禁止 (RTPOEnビット = 0) の場合は、RTPMnレジスタの設定にかかわらず、リアルタイム出力信号 (RTPOUTn0-RTPOUTn5) は全ビット“0”を出力します。

(2) リアルタイム出力ポート・コントロール・レジスタ<sub>n</sub> (RTPC<sub>n</sub>)

リアルタイム出力ポートの動作モード，および出力トリガを設定するレジスタです。

リアルタイム出力ポートの動作モードと出力トリガについては表13 - 3，表13 - 4に示すような関係があります。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：RTPC0 FFFF6E5H, RTPC1 FFFF6F5H

⑦	6	5	4	3	2	1	0
RTPC <sub>n</sub> (n = 0, 1)	RTPOEn	RTPEGn	BYTEn	EXTRn <sup>注1</sup>	0	0	0

RTPOEn	リアルタイム出力の動作制御
0	動作禁止 <sup>注2</sup>
1	動作許可

RTPEGn	INTTM000 (n = 0), INTTM020 (n = 1) 信号の有効エッジ
0	立ち下がりエッジ <sup>注3</sup>
1	立ち上がりエッジ

BYTEn	リアルタイム出力のチャンネル構成指定
0	4ビット×1チャンネル, 2ビット×1チャンネル
1	6ビット×1チャンネル

**注1.** EXTR<sub>n</sub>ビットについては，表13 - 3，表13 - 4を参照してください。

**2.** リアルタイム出力動作禁止 (RTPOEnビット = 0) の場合，リアルタイム出力信号 (RTPOUT<sub>n0</sub>-RTPOUT<sub>n5</sub>) は全ビット“0”を出力します。

**3.** INTTM000, INTTM020信号は，それぞれのタイマで選択しているカウント・クロックの1クロック分出力されます。

**注意** RTPEG<sub>n</sub>, BYTE<sub>n</sub>, EXTR<sub>n</sub>ビットの設定は，必ずRTPOEnビット = 0のときに行ってください。

表13 - 3 リアルタイム出力ポートの動作モードと出力トリガ (n = 0)

BYTE0	EXTR0	動作モード	RTBH0 (RTP04, RTP05)	RTBL0 (RTP00-RTP03)
0	0	4ビット×1チャンネル，	INTTM51	INTTM50
	1	2ビット×1チャンネル	INTTM50	INTTM000
1	0	6ビット×1チャンネル	INTTM50	
	1		INTTM000	

表13 - 4 リアルタイム出力ポートの動作モードと出力トリガ (n = 1)

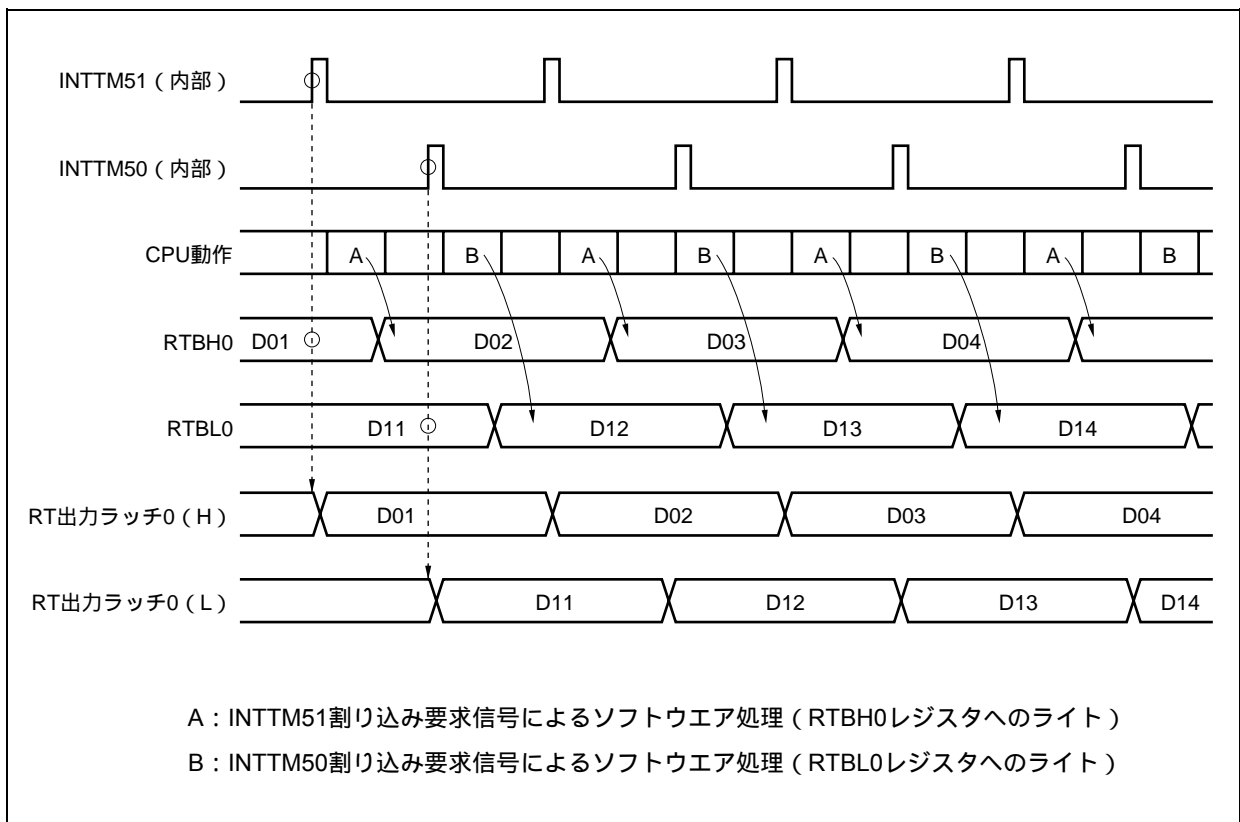
BYTE1	EXTR1	動作モード	RTBH1 (RTP14, RTP15)	RTBL1 (RTP10-RTP13)
0	0	4ビット×1チャンネル，	INTTM50	INTTM51
	1	2ビット×1チャンネル	INTTM51	INTTM020
1	0	6ビット×1チャンネル	INTTM51	
	1		INTTM020	

## 13.4 動作

RTPCn.RTPOEnビット= 1でリアルタイム出力動作を許可した場合、選択された転送トリガ (RTPCn.EXTRn, BYTEnビットで設定) の発生に同期して、RTBHn, RTBLnレジスタのデータをリアルタイム出力ラッチに転送します。転送されたデータのうちRTPMnレジスタの設定により、リアルタイム出力許可されたビットのデータのみをRTPOUTn0-RTPOUTn5のそれぞれのビットから出力します。RTPMnレジスタでリアルタイム出力動作禁止に指定されたビットは0を出力します。

RTPOEnビット = 0でリアルタイム出力動作を禁止した場合は、RTPMnレジスタの設定に関係なくRTPOUTn0-RTPOUTn5信号は0を出力します。

図13-2 RTO0の動作タイミング例 (EXTR0, BYTE0ビット = 00の場合)



**備考** スタンバイ時の動作については、第23章 スタンバイ機能を参照してください。

## 13.5 使用方法

(1) リアルタイム出力動作を禁止する。

RTPCn.RTPOEnビット = 0に設定。

(2) 初期設定

- ・ビット単位でリアルタイム出力ポート・モード / ポート・モードを指定する。  
RTPMnレジスタを設定。
- ・チャンネル構成, トリガおよび有効エッジを選択する。  
RTPCn.EXTRn, BYTEn, RTPEGnビットを設定。
- ・初期値をRTBHn, RTBLnレジスタに設定する<sup>注1</sup>。

(3) リアルタイム出力動作を許可する。

RTPOEnビットをセット(1)。

(4) 選択した転送トリガが発生するまでに, 次の出力値をRTBHn, RTBLnレジスタに設定する<sup>注2</sup>。

(5) 選択したトリガに対応する割り込み処理により, 順次, 次のリアルタイム出力値をRTBHn, RTBLnレジスタに設定する。

**注1.** RTPOEnビット = 0のとき, RTBHn, RTBLnレジスタに対してライトを行うと, その値がそれぞれリアルタイム出力ラッチnH, リアルタイム出力ラッチnLに転送されます。

**2.** RTPOEnビット = 1のとき, RTBHn, RTBLnレジスタに対してライトを行っても, リアルタイム出力ラッチnH, リアルタイム出力ラッチnLにデータ転送はされません。

**注意** リアルタイム出力信号(RTPOUTn0-RTPOUTn5)を端子に反映するには, PMC5, PMC6, PFC5, PFC6レジスタでリアルタイム出力ポート(RTPn0-RTPn5)に設定してください。

## 13.6 注意事項

(1) ソフトウェアにより, 次の競合を回避してください。

- ・リアルタイム出力動作の禁止 / 許可の切り替え (RTPOEnビット) と選択したリアルタイム出力トリガとの競合
- ・リアルタイム出力動作許可状態におけるRTBHn, RTBLnレジスタのライトと選択したリアルタイム出力トリガとの競合

(2) 初期設定は, リアルタイム出力動作を禁止 (RTPOEnビット = 0) にしてから行ってください。

(3) 一度リアルタイム出力動作を禁止 (RTPOEnビット = 0) した場合は, リアルタイム出力動作を許可 (RTPOEnビット = 0 1) する前に, 必ずRTBHn, RTBLnレジスタに初期値を設定してください。

## 13.7 セキュリティ機能

RTOで制御するステップング・モータなどが誤動作した場合のセキュリティ機能として、端子出力をハイ・インピーダンスとする回路を内蔵しています。外部割り込みINTP0端子のエッジ検出によりRTP00-RTP05に割り当てられている端子を、INTP1端子のエッジ検出によりRTP10-RTP15に割り当てられている端子を、強制的にリセット状態にしハイ・インピーダンスとします。

INTP0<sup>注1</sup>、INTP1<sup>注1</sup>端子によりハイ・インピーダンスとなったあとのポート（P50-P55, P60-P65端子）は、初期化<sup>注2</sup>されているので、再設定する必要があります。

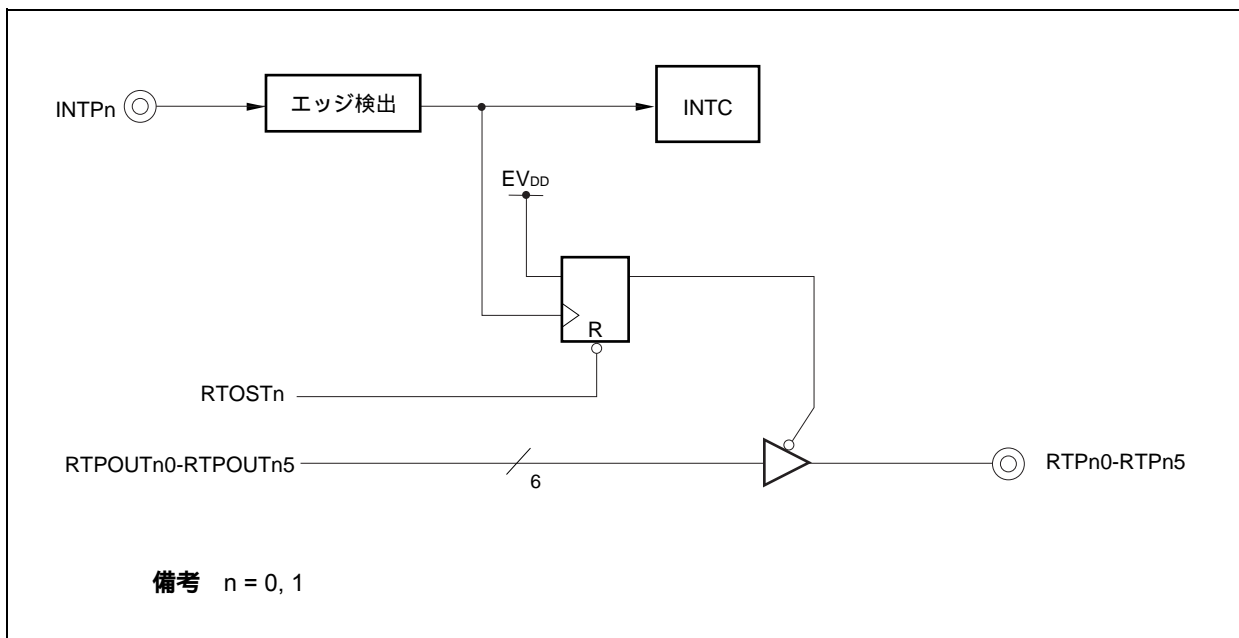
**注1.** INTPn端子により、ポートの設定にかかわらずP50-P55, P60-P65端子のすべてのポートがハイ・インピーダンスとなります。

2. 初期化されるのは次のレジスタのP50-P55, P60-P65端子に対応するすべてのビットです。

- ・ P5, P6Lレジスタ
- ・ PM5, PM6Lレジスタ
- ・ PMC5, PMC6Lレジスタ
- ・ PU5, PU6Lレジスタ
- ・ PFC5レジスタ
- ・ PF5レジスタ

次にセキュリティ機能のブロック図を示します。

図13-3 セキュリティ機能のブロック図



この機能はPLLCTL.RTOST1, RTOST0ビットにより設定します。



(1) PLLコントロール・レジスタ (PLLCTL)

PLLCTLレジスタは、RTOのセキュリティ機能、PLLを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

リセット時：01H R/W アドレス：FFFFFF806H

	7	6	5	4	③	②	①	④
PLLCTL	0	0	0	0	RTOST1	RTOST0	SELPLL <sup>注</sup>	PLLON <sup>注</sup>

RTOSTn	RTPn0-RTPn5のセキュリティ機能制御
0	INTPnをセキュリティ機能のトリガとして使用しない
1	INTPnをセキュリティ機能のトリガとして使用する

注 SELPLLビット、PLLONビットについては、第6章 クロック発生機能を参照してください。

注意1. リアルタイム出力ポート (RTPn0-RTPn5) に値を出力する前に、INTPnの割り込みエッジ検出を選択し、その後にRTOST0、RTOST1ビットをセットしてください。

2. INTPnにてハイ・インピーダンスにした後のポート (P50-P55, P60-P65) を、リアルタイム出力ポートとして再設定するには、まずセキュリティ機能の解除を行ってください。

[再設定手順]

RTOSTn = 0にしてセキュリティ機能を解除し、ポート設定可能にする。

RTOSTn = 1 (必要な場合のみ)

RTP端子として再設定

3. ビット4-7には必ず0を設定してください。

備考 n = 0, 1

## 第14章 A/Dコンバータ

### 14.1 概 要

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、16チャンネル (ANI0-ANI15) の構成になっています。

A/Dコンバータには次のような機能があります。

動作電圧 ( $AV_{REF0}$ ) : 2.7 ~ 5.5 V

逐次比較方式10ビットA/Dコンバータ

アナログ入力端子 : 16本

トリガ・モード :

- ・ソフトウェア・トリガ・モード
- ・タイマ・トリガ・モード (INTTM010)
- ・外部トリガ・モード (ADTRG端子)

動作モード

- ・セレクト・モード
- ・スキャン・モード

A/D変換速度 :

- ・通常モード :

14 ~ 100  $\mu$ s @ 4.0 V  $AV_{REF0}$  5.5 V

17 ~ 100  $\mu$ s @ 2.7 V  $AV_{REF0}$  < 4.0 V

- ・高速モード :

3 ~ 100  $\mu$ s @ 4.5 V  $AV_{REF0}$  5.5 V

4.8 ~ 100  $\mu$ s @ 4.0 V  $AV_{REF0}$  < 4.5 V

6 ~ 100  $\mu$ s @ 2.85 V  $AV_{REF0}$  < 4.0 V

14 ~ 100  $\mu$ s @ 2.7 V  $AV_{REF0}$  < 2.85 V

パワー・フェイル検出機能

**注意** A/Dコンバータ使用時は、 $AV_{REF0}$ は $V_{DD}$ 、 $EV_{DD}$ と同電位で動作させてください。

### 14.2 機 能

#### (1) 10ビット分解能A/D変換

アナログ入力をANI0-ANI15端子から1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。  
A/D変換を1回終了するたびに、割り込み要求信号 (INTAD) を発生します。

#### (2) パワー・フェイル検出機能

バッテリー電圧低下を検出するための機能です。A/D変換結果 (ADCRHレジスタ値) とPFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します。

### 14.3 構成

A/Dコンバータは、次のハードウェアで構成しています。

図14 - 1 A/Dコンバータのブロック図

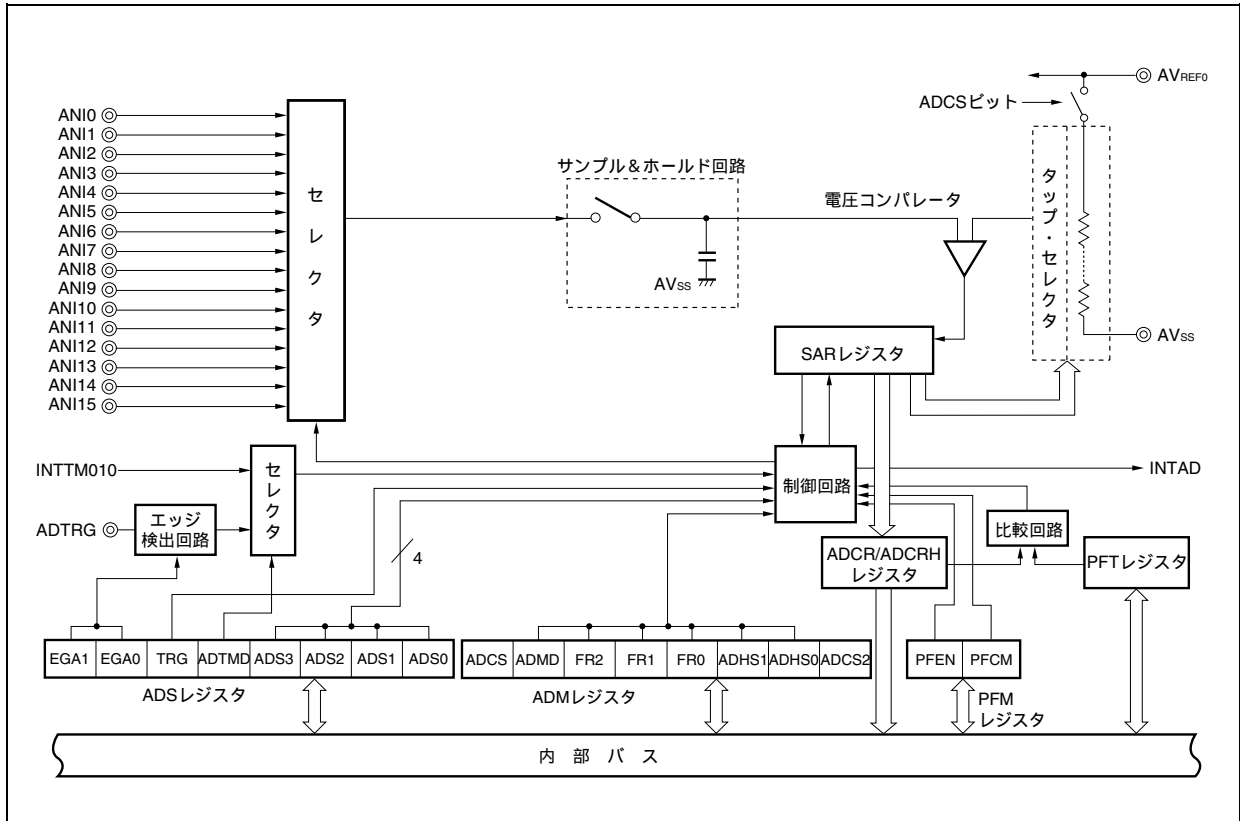


表14 - 1 ソフトウェア上で使用するA/Dコンバータのレジスタ

項目	構成
レジスタ	A/D変換結果レジスタ (ADCR) A/D変換結果レジスタH (ADCRH) : 上位8ビットだけ読み出し可能 パワー・フェイル比較しきい値レジスタ (PFT) A/Dコンバータ・モード・レジスタ (ADM) アナログ入力チャネル指定レジスタ (ADS) パワー・フェイル比較モード・レジスタ (PFM)

**(1) ANI0-ANI15端子**

A/Dコンバータへの16チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ADSレジスタでアナログ入力として選択した端子以外は、入力ポートとして使用できます。

**(2) サンプル&ホールド回路**

サンプル&ホールド回路は、入力回路で選択されたアナログ入力信号をサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

**(3) 直列抵抗ストリング**

直列抵抗ストリングはAV<sub>REF0</sub>-AV<sub>SS</sub>間に接続されており、アナログ入力と比較する電圧を発生します。

**(4) 電圧コンパレータ**

電圧コンパレータは、サンプリングされ保持された値と直列抵抗ストリングの出力電圧を比較します。

**(5) 逐次変換レジスタ (SAR)**

サンプリングされたアナログ電圧値と直列抵抗ストリングからの電圧値を比較し、その結果を最上位ビット (MSB) から変換するレジスタです。

最下位ビット (LSB) までデジタル値に変換すると (A/D変換終了)、SARレジスタの内容はADCRレジスタに転送されます。

SARレジスタは、直接リード/ライトできません。

**(6) A/D変換結果レジスタ (ADCR) , A/D変換結果レジスタH (ADCRH)**

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

**(7) 制御回路**

A/D変換が終了するか、パワーフェイル検出機能使用時、A/D変換結果 (ADCRHレジスタ値) とPFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します。

**(8) AV<sub>REF0</sub>端子**

A/Dコンバータのアナログ電源端子 / 基準電圧を入力する端子です。A/Dコンバータを使用しないときでも、常にV<sub>DD</sub>端子と同電位で使用してください。

AV<sub>REF0</sub>, AV<sub>SS</sub>間にかかる電圧に基づいて、ANI0-ANI15端子に入力される信号をデジタル信号に変換します。

**(9) AV<sub>SS</sub>端子**

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV<sub>SS</sub>端子と同電位で使用してください。

**(10) A/Dコンバータ・モード・レジスタ (ADM)**

A/D変換するアナログ入力の変換時間，変換動作の開始 / 停止を設定するレジスタです。

**(11) アナログ入力チャンネル指定レジスタ (ADS)**

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

**(12) パワー・フェイル比較モード・レジスタ (PFM)**

パワー・フェイル検出モードを設定するレジスタです。

**(13) パワー・フェイル比較しきい値レジスタ (PFT)**

ADCRレジスタと大小比較する場合のしきい値を設定するレジスタです。

## 14.4 レジスタ

A/Dコンバータは，次に示すレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ (ADM)
- ・ アナログ入力チャンネル指定レジスタ (ADS)
- ・ パワー・フェイル比較モード・レジスタ (PFM)
- ・ パワー・フェイルしきい値レジスタ (PFT)
- ・ A/D変換結果レジスタ，A/D変換結果レジスタH (ADCR, ADCRH)

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間，変換動作の開始/停止を設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF200H

	⑦	6	5	4	3	2	1	⑩
ADM	ADCS	ADMD	FR2 <sup>注1</sup>	FR1 <sup>注1</sup>	FR0 <sup>注1</sup>	ADHS1 <sup>注1</sup>	ADHS0 <sup>注1</sup>	ADCS2

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADMD	動作モードの制御
0	セレクト・モード
1	スキャン・モード

ADHS1	5 V系A/D変換速度モードの選択 (AV <sub>REF0</sub> 4.5 V)
0	通常モード
1	高速モード (AV <sub>REF0</sub> 4.5 V時のみ有効)

ADHS0	3 V系A/D変換速度モードの選択 (AV <sub>REF0</sub> 2.7 Vまたは2.85 V)
0	通常モード
1	高速モード (AV <sub>REF0</sub> 2.7 Vまたは2.85 V時のみ有効)

ADCS2	昇圧基準電圧生成回路の動作制御 <sup>注2</sup>
0	基準電圧生成回路の動作停止
1	基準電圧生成回路の動作許可

注1. FR2-FR0ビットおよびA/D変換に関する詳細は表14 - 2 A/D変換時間を参照してください。

2. 昇圧用基準電圧生成回路はADCS2ビットで動作制御され，動作開始から安定するまで1 μs (高速モード) または14 μs (通常モード) かかります。このためADCS2ビット = 1(昇圧用基準電圧生成回路オン)としてから1 μs(高速モード)または14 μs(通常モード)以上経過したあと，ADCSビット = 1(A/D変換動作を開始)とした場合は，最初の変換結果より有効となります。

注意1. 通常モード(ADHS1, ADHS0ビット = 00)でA/D変換動作中(ADCSビット = 1)の場合，ADMレジスタの書き込みは禁止です。

高速モード (ADHS1, ADHS0ビット = 10または01) でA/D変換動作中に同値書き込みをした場合，変換は中断され，再度最初から変換動作を開始します。またA/D変換動作中にFR2-FR0, ADHS1, ADHS0ビットの書き込みは禁止です。

2. ADHS1, ADHS0ビット = 11の設定は禁止です。

3. 次に示す状態において，ADMレジスタへのアクセスは禁止です。詳細は3. 4. 8 (1)(b)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

表14 - 2 A/D変換時間

ADHS1	ADHS0	FR2	FR1	FR0	A/D変換時間〔μs〕				変換速度 モード	
					20 MHz@ AVREF0 4.5 V	16 MHz@ AVREF0 4.0 V	8 MHz@ AVREF0 2.85 V	8 MHz@ AVREF0 2.7 V		
0	0	0	0	0	288/fxx	14.4	18.0	36.0	36.0	通常モード AVREF0 2.7 V
0	0	0	0	1	240/fxx	設定禁止	15.0	30.0	30.0	
0	0	0	1	0	192/fxx	設定禁止	設定禁止	24.0	24.0	
0	0	0	1	1	設定禁止					
0	0	1	0	0	144/fxx	設定禁止	設定禁止	18.0	18.0	通常モード AVREF0 2.7 V
0	0	1	0	1	120/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1	1	0	96/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1	1	1	設定禁止					
0	1	0	0	0	96/fxx	4.8	6.0	12.0	設定禁止	高速モード AVREF0 2.85 V
0	1	0	0	1	72/fxx	設定禁止	設定禁止	9.0	設定禁止	
0	1	0	1	0	48/fxx	設定禁止	設定禁止	6.0	設定禁止	
0	1	0	1	1	24/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
0	1	1	0	0	224/fxx	11.2	14.0	28.0	28.0	高速モード AVREF0 2.7 V
0	1	1	0	1	168/fxx	設定禁止	10.5	21.0	21.0	
0	1	1	1	0	112/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
0	1	1	1	1	56/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
1	0	0	0	0	72/fxx	3.6	設定禁止	設定禁止	設定禁止	高速モード AVREF0 4.5 V
1	0	0	0	1	54/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
1	0	0	1	0	36/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
1	0	0	1	1	18/fxx	設定禁止	設定禁止	設定禁止	設定禁止	
1	0	1	×	×	設定禁止					
1	1	×	×	×	設定禁止					

備考 メイン・クロック周波数

(a) 昇圧基準電圧生成回路の制御

ADCS2ビット = 0のとき、A/Dコンバータはパワーダウン状態となります。ADCS2ビット= 0 1設定後、1  $\mu$ s (高速モード)、または14  $\mu$ s (通常モード)以上のセットアップ時間が必要です。

このため、ADCS2ビット = 0 1にして、1  $\mu$ s (高速モード)または14  $\mu$ s (通常モード)以上経過したあとにADCSビット = 0 1にすることで、最初のA/D変換結果から有効となります。

表14 - 3 ADCSビットとADCS2ビットの設定

ADCS	ADCS2	A/D変換動作
0	0	停止状態 (DC電力消費パスは存在しません)
0	1	変換待機モード (昇圧用基準電圧生成回路のみ電力を消費)
1	0	変換モード (基準電圧生成回路動作停止 <sup>注1</sup> )
1	1	変換モード (基準電圧生成回路動作 <sup>注2</sup> )

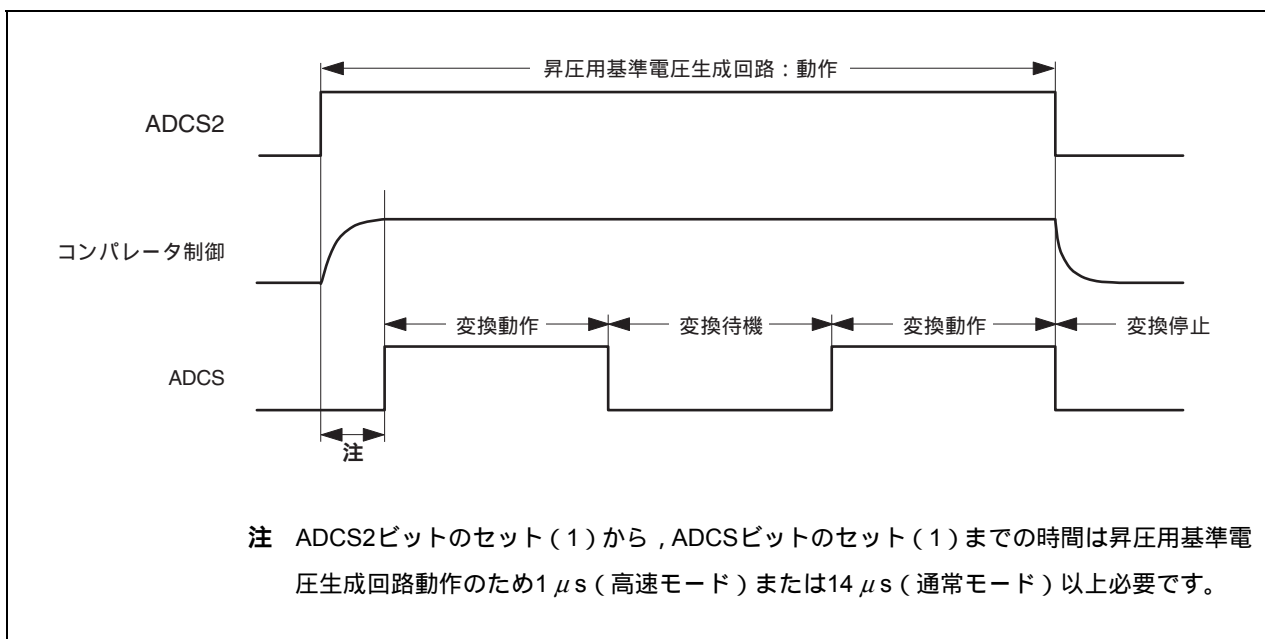
注1. ADCS, ADCS2ビット = 00B 10Bに設定した場合、昇圧用基準電圧生成回路は自動的にオンになります。また、ADCS2ビット = 0のまま、ADCSビット = 1 0に設定した場合、昇圧用基準電圧生成回路は自動的にオフになります。なお、ソフトウェア・トリガ・モード (ADS.TRGビット = 0) の場合、1回目のA/D変換結果は使用禁止です。

また、ハードウェア・トリガ・モード (TRGビット = 1) の場合、昇圧用基準電圧生成回路の安定時間経過後にA/D変換スタートしたA/D変換結果のみを使用してください。

2. ADCS, ADCS2ビット = 00B 11Bに設定した場合、昇圧用基準電圧生成回路は自動的にオンになります。また、ADCS2ビット = 1のまま、ADCSビット = 1 0に設定した場合、昇圧用基準電圧生成回路はオンのままとなります。なお、ソフトウェア・トリガ・モード (TRGビット = 0) の場合、1回目のA/D変換結果は使用禁止です。

また、ハードウェア・トリガ・モード (TRGビット = 1) の場合、昇圧用基準電圧生成回路の安定時間経過後にA/D変換スタートしたA/D変換結果のみを使用してください。

図14 - 2 動作シーケンス





## (2) アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

( 1/2 )

リセット時：00H R/W アドレス：FFFFFF201H

	7	6	5	4	3	2	1	0
ADS	EGA1 <sup>注1</sup>	EGA0 <sup>注1</sup>	TRG	ADTMD <sup>注2</sup>	ADS3	ADS2	ADS1	ADS0

EGA1 <sup>注1</sup>	EGA0 <sup>注1</sup>	外部トリガ信号 (ADTRG) エッジ指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	両エッジ

TRG	トリガ・モードの選択
0	ソフトウェア・トリガ・モード
1	ハードウェア・トリガ・モード

ADTMD <sup>注2</sup>	ハードウェア・トリガ・モードの指定
0	外部トリガ (ADTRG端子入力)
1	タイマ・トリガ (INTTM010信号発生)

注1. EGA1, EGA0ビットはハードウェア・トリガ・モード (TRGビット = 1), かつ外部トリガ・モード (ADTRG端子入力: ADTMDビット = 1) を選択した場合のみ有効です。

2. ADTMDビットはハードウェア・トリガ・モード (TRGビット = 1) を選択した場合のみ有効です。

注意1. 通常モード (ADM.ADHS1, ADHS0ビット = 00) でA/D変換動作中 (ADM.ADCSビット = 1) の場合, ADSレジスタの書き込みは禁止です。

2. 通常モード (ADHS1, ADHS0ビット = 00) でA/D変換動作中 (ADCSビット = 1) に, 再度ソフトウェア/ハードウェア・トリガを入れることは禁止です。

3. 次に示す状態において, ADSレジスタへのアクセスは禁止です。詳細は3. 4. 8 (1) (b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

ADS3	ADS2	ADS1	ADS0	アナログ入力チャネルの指定	
				セレクト・モード	スキャン・モード
0	0	0	0	ANI0	ANI0
0	0	0	1	ANI1	ANI0-ANI1
0	0	1	0	ANI2	ANI0-ANI2
0	0	1	1	ANI3	ANI0-ANI3
0	1	0	0	ANI4	ANI0-ANI4
0	1	0	1	ANI5	ANI0-ANI5
0	1	1	0	ANI6	ANI0-ANI6
0	1	1	1	ANI7	ANI0-ANI7
1	0	0	0	ANI8	ANI0-ANI8
1	0	0	1	ANI9	ANI0-ANI9
1	0	1	0	ANI10	ANI0-ANI10
1	0	1	1	ANI11	ANI0-ANI11
1	1	0	0	ANI12	ANI0-ANI12
1	1	0	1	ANI13	ANI0-ANI13
1	1	1	0	ANI14	ANI0-ANI14
1	1	1	1	ANI15	ANI0-ANI15

### (3) A/D変換結果レジスタ, A/D変換結果レジスタH (ADCR, ADCRH)

ADCR, ADCRHレジスタは, A/D変換結果を格納するレジスタです。

16/8ビット単位でリードのみ可能です。ただし, 16ビット・アクセス時はADCRレジスタを指定, 8ビット・アクセス時はADCRHレジスタを指定します。ADCRレジスタは上位10ビットに変換結果の10ビットが読み出され, 下位6ビットは0が読み出されます。ADCRHレジスタには変換結果の上位8ビットが読み出されます。

リセットにより不定になります。

リセット時：不定 R アドレス：FFFFFF204H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCR	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時：不定 R アドレス：FFFFFF205H

	7	6	5	4	3	2	1	0
ADCRH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

**注意** 次に示す状態において, ADCR, ADCRHレジスタへのアクセスは禁止です。詳細は3. 4. 8(1)(b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

アナログ入力端子 ( ANI0-ANI15 ) に入力されたアナログ入力電圧とA/D変換結果 ( ADCRレジスタ ) には次式に示す関係があります。

$$SAR = INT \left( \frac{V_{IN}}{AV_{REF0}} \times 1024 + 0.5 \right)$$

$$ADCR^{\text{注}} = SAR \times 64$$

または,

$$\left( SAR - 0.5 \right) \times \frac{AV_{REF0}}{1024} < V_{IN} < \left( SAR + 0.5 \right) \times \frac{AV_{REF0}}{1024}$$

INT ( ) : ( ) 内の値の整数部を返す関数

$V_{IN}$  : アナログ入力電圧

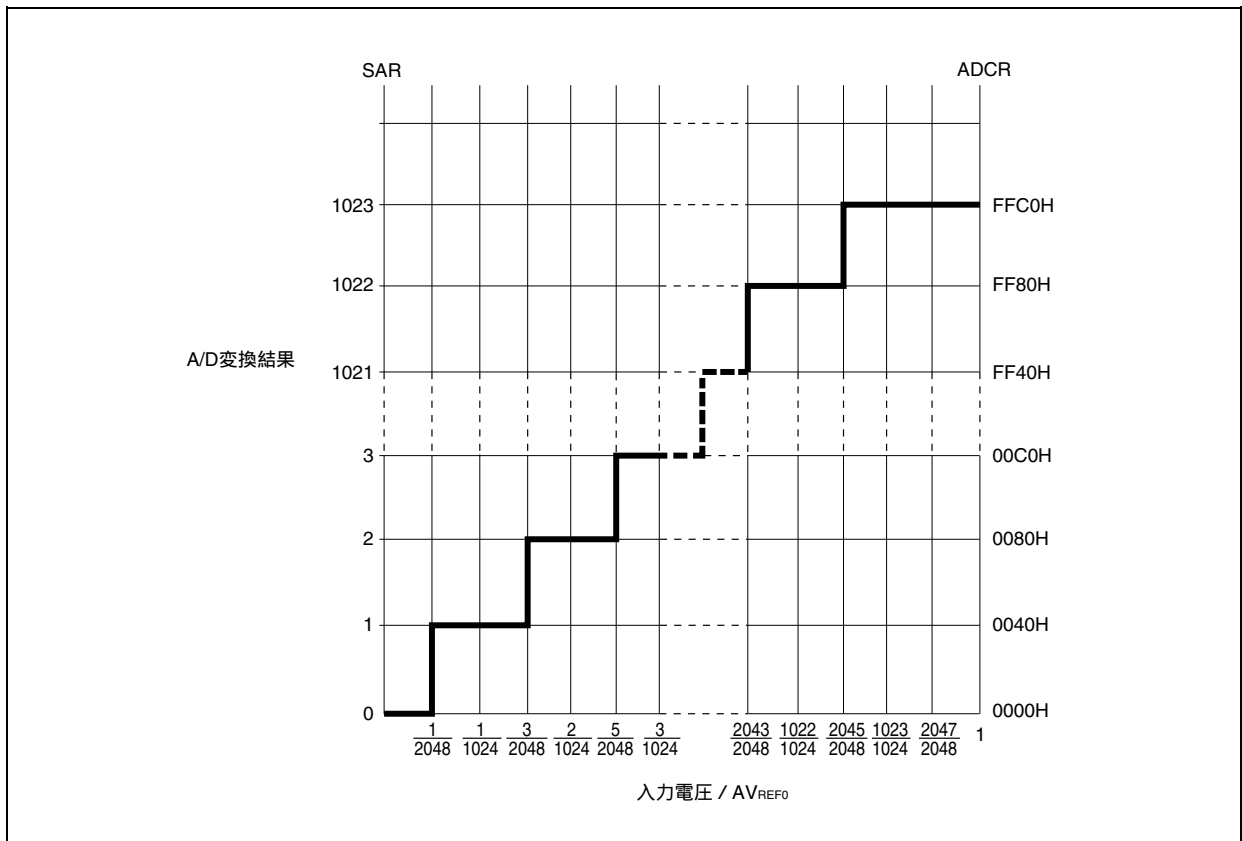
$AV_{REF0}$  :  $AV_{REF0}$  端子電圧

ADCR : ADCRレジスタの値

注 ADCRレジスタの下位6ビットは0固定です。

次にアナログ入力電圧とA/D変換結果の関係を示します。

図14 - 3 アナログ入力電圧とA/D変換結果の関係



## (4) パワー・フェイル比較モード・レジスタ (PFM)

パワー・フェイル検出モードを設定するレジスタです。  
PFTレジスタの値とADCRHレジスタの値を比較します。  
8/1ビット単位でリード/ライト可能です。  
リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF202H

	⑦	⑥	5	4	3	2	1	0
PFM	PFEN	PFCM	0	0	0	0	0	0

PFEN	パワー・フェイル比較許可/禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

PFCM	パワー・フェイル比較モードの選択
0	ADCR PFTで割り込み要求信号 (INTAD) を発生
1	ADCR < PFTで割り込み要求信号 (INTAD) を発生

- 注意1.** 通常モード (ADM.ADHS1, ADHS0ビット = 00) でA/D変換動作中 (ADM.ADCSビット = 1) の場合, PFMレジスタの書き込みは禁止です。
2. 次に示す状態において, PFMレジスタへのアクセスは禁止です。詳細は3. 4. 8 (1) (b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。
- CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合
  - CPUが内蔵発振クロックで動作している場合

## (5) パワー・フェイル比較しきい値レジスタ (PFT)

PFTレジスタは, パワー・フェイル検出モード時の比較値を設定するレジスタです。  
PFTレジスタに設定した8ビット・データとADCRHレジスタの値が比較されます。  
8ビット単位でリード/ライト可能です。  
リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF203H

	7	6	5	4	3	2	1	0
PFT								

- 注意1.** 通常モード (ADM.ADHS1, ADHS0ビット = 00) でA/D変換動作中 (ADM.ADCSビット = 1) の場合, PFTレジスタの書き込みは禁止です。
2. 次に示す状態において, PFTレジスタへのアクセスは禁止です。詳細は3. 4. 8 (1) (b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。
- CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合
  - CPUが内蔵発振クロックで動作している場合

## 14.5 動作

### 14.5.1 基本動作

- <1> A/D変換するチャンネルをADSレジスタで1チャンネル選択してください。  
ADM.ADHS1ビットまたはADHS0ビットを設定してください。
- <2> ADM.ADCS2ビットをセット(1)し $1\mu\text{s}$ (高速モード)または $14\mu\text{s}$ (通常モード)以上ウエイトしてください。
- <3> ADM.ADCSビットをセット(1)してください。A/D変換を開始します。  
(<4>~<10>までハードウェアでの動作)
- <4> 選択されたアナログ入力チャンネルに入力されている電圧を,サンプル&ホールド回路でサンプリングします。
- <5> 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり,入力されたアナログ電圧をA/D変換が終了するまで保持します。
- <6> 逐次変換レジスタ(SAR)のビット9をセット(1)し,タップ・セレクトは直列抵抗ストリングの電圧タップを $(1/2) \times AV_{REF0}$ にします。
- <7> 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を,電圧コンパレータで比較します。もし,アナログ入力が $(1/2) \times AV_{REF0}$ よりも大きければ,SARレジスタのMSBをセット(1)したままです。また, $(1/2) \times AV_{REF0}$ よりも小さければMSBをクリア(0)します。
- <8> 次にSARレジスタのビット8が自動的にセット(1)され,次の比較に移ります。ここではすでに決定しているビット9の値によって,次に示すように直列抵抗ストリングの電圧タップが選択されます。
- ・ビット9 = 1 :  $(3/4) \times AV_{REF0}$
  - ・ビット9 = 0 :  $(1/4) \times AV_{REF0}$
- この電圧タップとアナログ入力電圧を比較し,その結果でSARレジスタのビット8を次のように操作します。
- アナログ入力電圧 電圧タップ : ビット8 = 1  
アナログ入力電圧 電圧タップ : ビット8 = 0
- <9> このような比較をSARレジスタのビット0まで続けます。
- <10> 10ビットの比較が終了したとき,SARレジスタには有効なデジタルの結果が残り,その値がADCRレジスタに転送され,ラッチされます。  
同時に,A/D変換終了割り込み要求信号(INTAD)を発生します。
- <11> 以降<4>~<10>の動作を,ADCSビットをクリア(0)するまで繰り返します。  
再度A/D変換するときは<3>から開始してください。ただし,ADCS2ビット = 0の状態から再度A/Dコンバータを動作させる場合は<2>から開始してください。

## 14.5.2 トリガ・モード

A/D変換の開始タイミングを設定するトリガ・モードには、次の3つのモードがあります。これらのトリガ・モードは、ADSレジスタで設定します。

- ・ソフトウェア・トリガ・モード
- ・外部トリガ・モード（ハードウェア・トリガ・モード）
- ・タイマ・トリガ・モード（ハードウェア・トリガ・モード）

### (1) ソフトウェア・トリガ・モード

ADS.TRGビット = 0に設定した状態で、ADM.ADCSビットをセット（1）することによりA/D変換を開始するモードです。

A/D変換終了後は、ADCSビットをクリア（0）しないかぎり、次のA/D変換を繰り返し行います。

高速モード（ADM.ADHS1, ADHS0ビット = 01または10）で、変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合、A/D変換は中断され、再度最初からA/D変換を行います。通常モード（ADHS1, ADHS0ビット = 00）で、変換動作中のADM, ADS, PFM, PFTレジスタの書き込みは禁止です。

### (2) 外部トリガ・モード（ハードウェア・トリガ・モード）

高速モード（ADHS1, ADHS0ビット = 10または01）に設定して使用してください。通常モード（ADHS1, ADHS0ビット = 00）で、A/D変換中にADTRG端子に有効エッジを入力することは禁止です。

TRGビット = 1, ADS.ADTMDビット = 0に設定した状態で、ADCSビットをセット（1）したあと、外部トリガ（ADTRG）検出によりA/D変換を開始するモードです。

ADCSビットをセット（1）したあと、外部トリガ（ADTRG）待機状態になります。

ADTRG端子入力の有効エッジは、ADS.EGA1, EGA0ビットにより設定します。有効エッジを検出すると、A/D変換を開始します。

A/D変換終了後は、再び外部トリガ（ADTRG）待機状態になります。

なお、高速モード（ADHS1, ADHS0ビット = 01または10）で、A/D変換中にADTRG端子に有効エッジが入力された場合、A/D変換は中断され、再度最初からA/D変換を行います。

また、高速モード（ADHS1, ADHS0ビット = 01または10）で、変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合、A/D変換は中断され、外部トリガ（ADTRG）待機状態になります。

### (3) タイマ・トリガ・モード（ハードウェア・トリガ・モード）

高速モード（ADHS1, ADHS0ビット = 10または01）に設定して使用してください。通常モード（ADHS1, ADHS0ビット = 00）で、A/D変換中にADTRG端子に有効エッジを入力することは禁止です。

TRGビット = 1, ADTMDビット = 1に設定した状態で、ADCSビットをセット（1）したあと、タイマ・トリガ（INTTM010）検出によりA/D変換を開始するモードです。

ADCSビットをセット（1）したあと、タイマ・トリガ（INTTM010）待機状態になります。

INTTM010信号が発生すると、A/D変換を開始します。

A/D変換終了後は、再びタイマ・トリガ（INTTM010）待機状態になります。

なお、高速モード（ADHS1, ADHS0ビット = 01または10）で、A/D変換中にINTTM010信号が発生した場合、A/D変換は中断され、再度最初からA/D変換を行います。

また、高速モード（ADHS1, ADHS0ビット = 01または10）で、変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合、A/D変換は中断され、タイマ・トリガ（INTTM010）待機状態になります。

### 14.5.3 動作モード

動作モードには、次の2つのモードがあります。これらの動作モードは、ADMレジスタで設定します。

- ・セレクト・モード
- ・スキャン・モード

#### (1) セレクト・モード

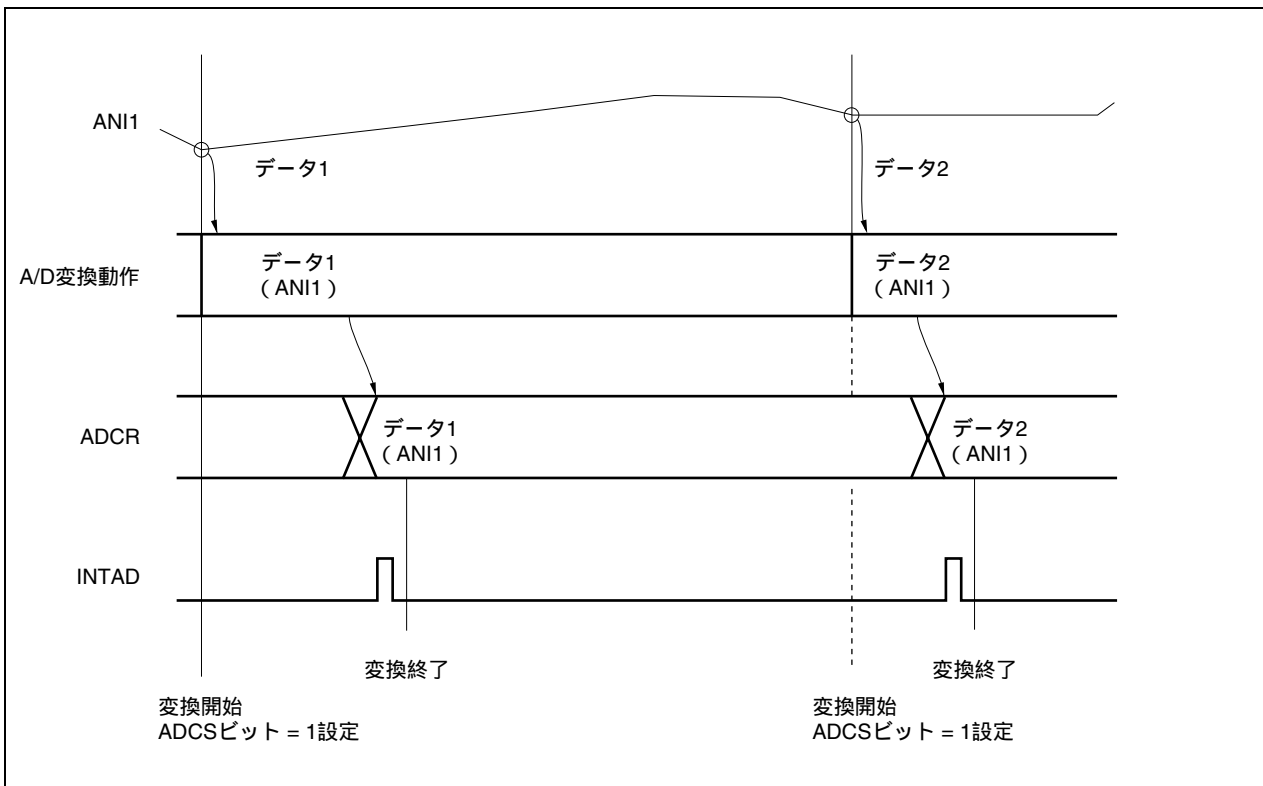
ADM.ADMDBIT = 0の状態では、ADSレジスタで指定された1つのアナログ入力のA/D変換を行います。A/D変換が終了すると、変換結果をADCRレジスタに格納します。

また、同時にA/D変換終了割り込み要求信号(INTAD)を発生します。ただし、INTAD信号の発生は、PFM、PFTレジスタの設定に依存します。詳細は、14.5.4 **パワー・フェイル検出機能**を参照してください。

高速モード(ADM.ADHS1, ADHS0ビット = 01または10)で、変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合、A/D変換は中断され、ソフトウェア・トリガ・モードのときは再度最初からA/D変換を行い、ハードウェア・トリガ・モードのときはトリガ待機状態になります。通常モード(ADHS1, ADHS0ビット = 00)で、変換動作中のADM, ADS, PFM, PFTレジスタの書き込みは禁止です。

また、高速モード(ADHS1, ADHS0ビット = 01または10)で、ハードウェア・トリガ・モード時の変換動作中にトリガを検出した場合、A/D変換は中断され、再度最初からA/D変換を行います。通常モード(ADHS1, ADHS0ビット = 00)で、A/D変換中に再度トリガを入力することは禁止です。

図14-4 セレクト・モード動作タイミング例 (ADS.ADS3-ADS0ビット = 0001B)



## (2) スキャン・モード

ADM.ADMDビット = 1の状態では、ANI0端子からADSレジスタで指定されたアナログ入力を順に選択し、A/D変換を行います。

1つのアナログ入力のA/D変換が終了すると、変換結果をADCRレジスタに格納します。

また、同時にA/D変換終了割り込み要求信号 (INTAD) を発生します。

なお、すべてのアナログ入力のA/D変換結果は、ADCRレジスタに格納されるので、1つのアナログ入力のA/D変換が終了したら、ADCRレジスタの内容をRAMなどに転送することで退避することを推奨します。

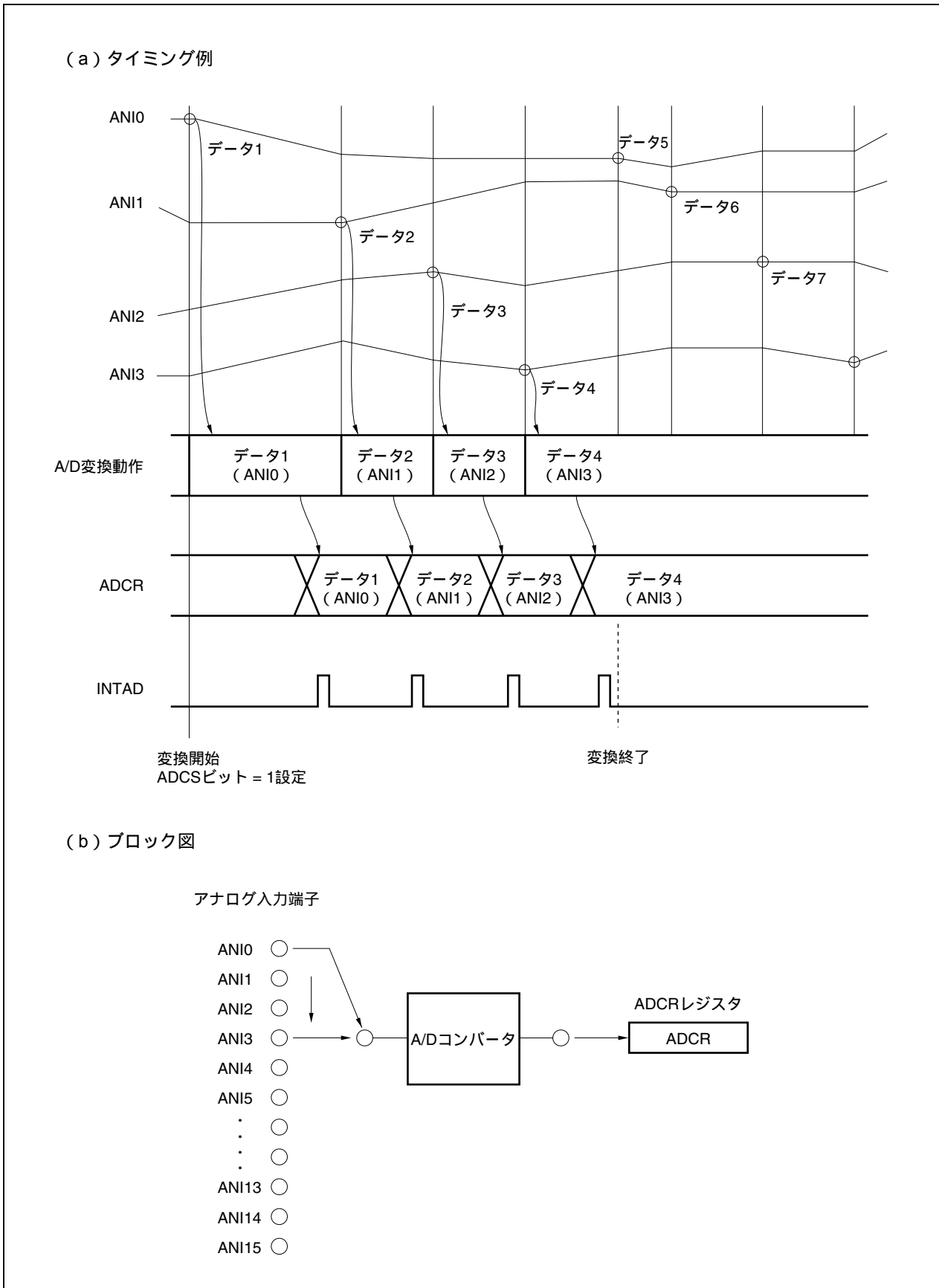
ハードウェア・トリガ・モード (ADS.TRGビット = 1) の場合、ANI0端子からADSレジスタで指定されたアナログ入力までのA/D変換が終了すると、トリガ待機状態になります。

高速モード (ADM, ADHS1, ADHS0ビット = 01または10) で、変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合、A/D変換は中断され、ソフトウェア・トリガ・モードのときは再度最初からA/D変換を行い、ハードウェア・トリガ・モードのときはトリガ待機状態になります。なお、再変換する場合は、ANI0端子からになります。通常モード (ADHS1, ADHS0ビット = 00) で、A/D変換動作中にADTRG端子に有効エッジを入力することは禁止です。

また、高速モード (ADHS1, ADHS0ビット = 01または10) で、ハードウェア・トリガ・モード時の変換動作中にトリガを検出した場合、A/D変換は中断され、再度最初 (ANI0端子) からA/D変換を行います。通常モード (ADHS1, ADHS0ビット = 00) で、変換動作中のADM, ADS, PFM, PFTレジスタの書き込みは禁止です。



図14 - 5 スキャン・モード動作のタイミング例 (ADS.ADS3-ADS0ビット = 0011B)

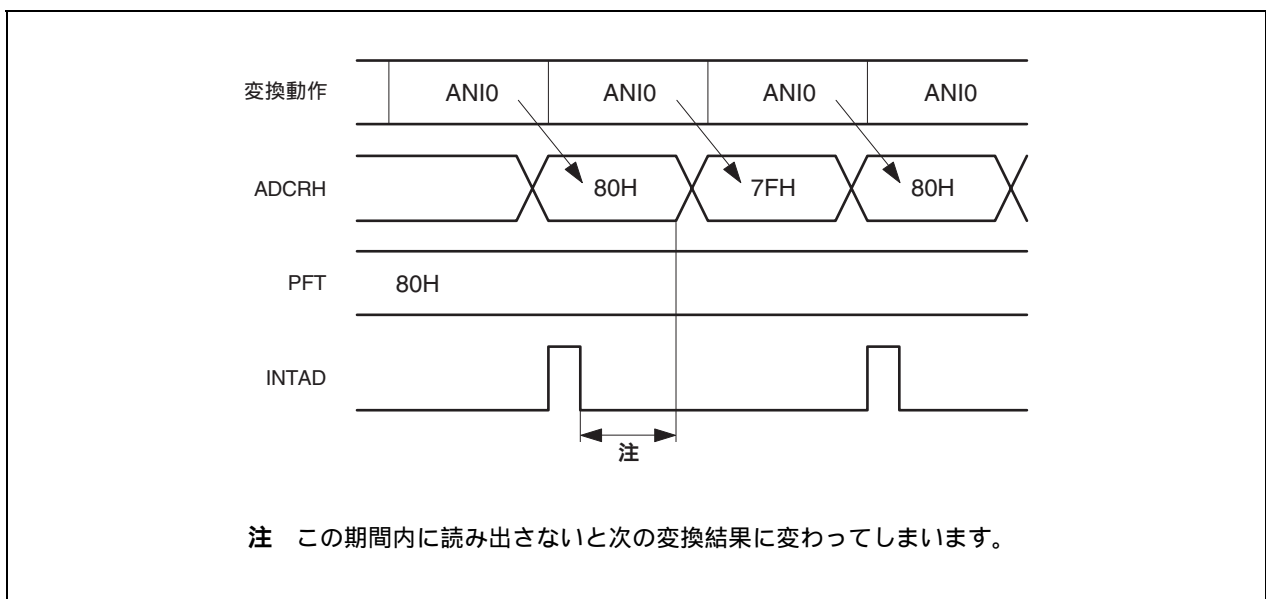


## 14.5.4 パワー・フェイル検出機能

PFM, PFTレジスタにより変換終了割り込み要求信号 (INTAD) を次のように制御可能です。

- ・ PFM.PFENビット = 0の場合, 変換終了ごとにINTAD信号が発生します。
- ・ PFENビット = 1かつPFM.PFCMビット = 0の場合, 変換終了タイミングで変換結果 (ADCRHレジスタ) とPFTレジスタの値を比較し, ADCRH = PFTの場合のみ, INTAD信号が発生します。
- ・ PFENビット = 1かつPFCMビット = 1の場合, 変換終了タイミングで変換結果とPFTレジスタの値を比較し, ADCRH < PFTの場合のみINTAD信号が発生します。
- ・ PFENビット = 1の状態では, INTAD信号が発生した後, 次の変換終了までの間に変換結果を読み出さないと変換結果が書き換わるため, 見かけ上, 上記の動作記述と矛盾する場合があります (図14 - 6参照)。

図14 - 6 パワー・フェイル検出機能 (PFCMビット = 0)



### 14.5.5 設定方法

次に設定方法を説明します。

#### (1) A/D変換動作として使用する場合

- <1> ADM.ADCS2ビットをセット (1)
- <2> ADS.ADS3-ADS0ビットとADM.ADHS1, ADHS0, FR2-FR0ビットで, チャンネルと変換時間を選択
- <3> ADM.ADCSビットをセット (1)
- <4> A/D変換データをADCRレジスタに転送
- <5> 割り込み要求信号 (INTAD) 発生
- <チャンネルを変更する>
- <6> ADS3-ADS0ビットで, チャンネルを変更
- <7> A/D変換データをADCRレジスタに転送
- <8> INTAD信号発生
- <A/D変換を終了する>
- <9> ADCSビットをクリア (0)
- <10> ADCS2ビットをクリア (0)

- 注意1.** <1>から<3>までの間は,  $1\ \mu\text{s}$  (高速モード) または $14\ \mu\text{s}$  (通常モード) 以上空けてください。
2. <1>と<2>の順番が逆でも問題ありません。
  3. <1>は省略可能です。ただし, この場合には<3>のあとの1回目のA/D変換結果は使用しないでください。
  4. <4>から<7>までの時間は, ADHS1, ADHS0, FR2-FR0ビットで設定した変換時間とは異なります。  
<6>から<7>までの時間が, ADHS1, ADHS0, FR2-FR0ビットで設定した変換時間となります。

**(2) パワー・フェイル検出機能として使用する場合**

<1> PFM.PFENビットをセット(1)

<2> PFM.PFCMビットでパワー・フェイル比較条件を設定

<3> ADM.ADCS2ビットをセット(1)

<4> ADS.ADS3-ADS0ビットとADM.ADHS1, ADHS0, FR2-FR0ビットで、チャンネルと変換時間を選択

<5> PFTレジスタにしきい値を設定

<6> ADM.ADCSビットをセット(1)

<7> A/D変換データをADCRレジスタに転送

<8> ADCRHレジスタとPFTレジスタとの大小比較を行い、条件が一致した場合に割り込み要求信号(INTAD)発生

<チャンネルを変更する>

<9> ADS3-ADS0ビットで、チャンネルを変更

<10> A/D変換データをADCRレジスタに転送

<11> ADCRHレジスタとPFTレジスタとの大小比較を行い、条件が一致した場合にINTAD信号発生

<A/D変換を終了する>

<12> ADCSビットをクリア(0)

<13> ADCS2ビットをクリア(0)

**備考** セレクト・モード, スキャン・モードにかかわらず, パワー・フェイル検出機能の動作を許可していれば, すべてのA/D変換結果に対して比較動作を行います。

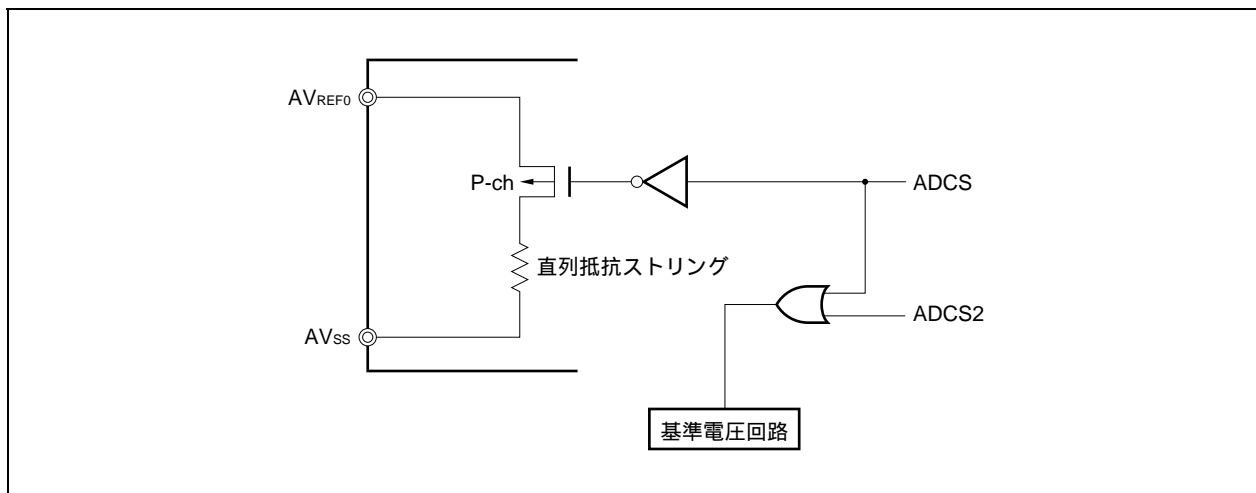
## 14.6 注意事項

### (1) スタンバイ・モード時の消費電力について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このとき変換動作停止 (ADM.ADCSビット = 0)、および基準電圧回路を停止 (ADM.ADCS2ビット = 0) することにより、消費電力を低減させることができます。

スタンバイ・モード時の消費電力を低減させる方法例を図14 - 7に示します。

図14 - 7 スタンバイ・モード時の消費電力を低減させる方法例



### (2) ANI0-ANI15端子入力範囲について

ANI0-ANI15端子入力電圧は規格の範囲内でご使用ください。特にAVREF0以上、AVSS以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

### (3) 競合動作について

#### (a) 変換終了時のADCRレジスタ・ライトと命令によるADCRレジスタ・リードとの競合

ADCRレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCRレジスタにライトされます。

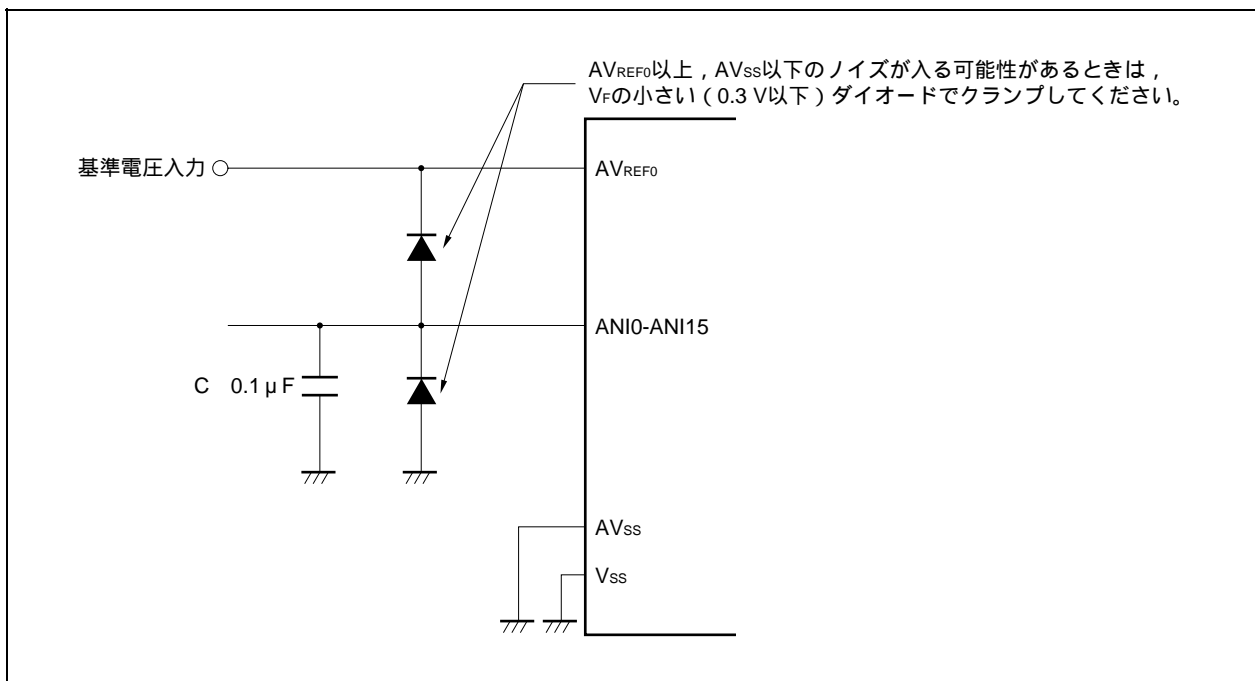
#### (b) 変換終了時のADCRレジスタ・ライトとADMレジスタ・ライト、またはADSレジスタ・ライトの競合

ADMレジスタまたはADSレジスタへのライトが優先されます。ADCRレジスタへのライトはされません。また、変換終了割り込み要求信号 (INTAD) も発生しません。

## (4) ノイズ対策について

10ビット分解能を保つためには、 $AV_{REF0}$ 、ANI0-ANI15端子へのノイズに注意する必要があります。アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図14-8のようにコンデンサを外付けすることを推奨します。

図14-8 アナログ入力端子の処理



## (5) ANI0/P70-ANI15/P715端子

アナログ入力 (ANI0-ANI15) 端子は入力ポート (P70-P715) 端子と兼用になっています。

ANI0-ANI15端子のいずれかを選択してA/D変換をする場合、変換中にポート7に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) AV<sub>REF0</sub>端子の入カインピーダンスについて

AV<sub>REF0</sub>端子とAV<sub>SS</sub>端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出カインピーダンスが高い場合、AV<sub>REF0</sub>端子とAV<sub>SS</sub>端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

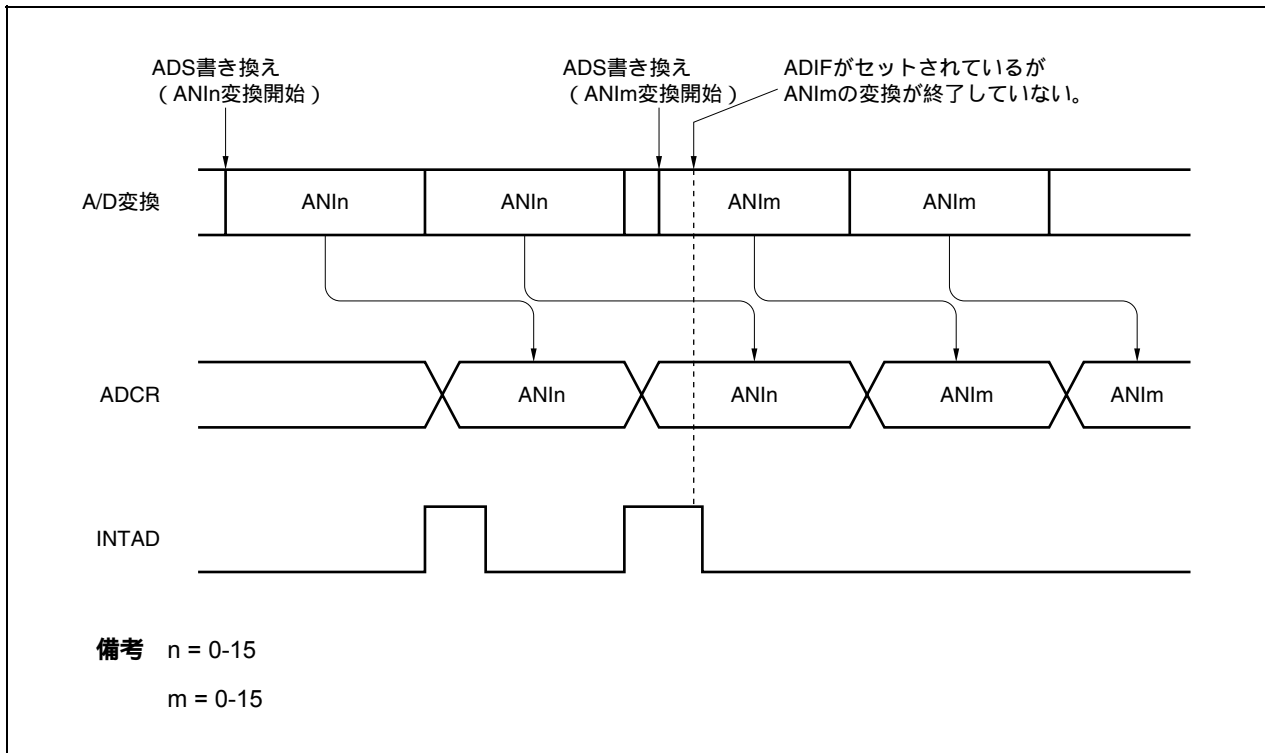
## (7) 割り込み要求フラグ (ADIFC.ADIFビット) について

ADSレジスタを変更してもADIFビットはクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力端子に対するA/D変換が終了しADIFビットがセット (1) されている場合があります。ADSレジスタ書き換え直後にADIFビットを読み出すと、変更後のアナログ入力端子に対するA/D変換が終了していないにもかかわらず、ADIFビットがセット (1) されていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFビットをクリア (0) してください。

図14 - 9 A/D変換終了割り込み要求発生タイミング



## (8) A/D変換スタート直後の変換結果について

ADM.ADCS2ビットをセット (1) してから、 $1 \mu\text{s}$  (高速モード) または  $14 \mu\text{s}$  (通常モード) 以内でADM.ADCSビットをセット (1) した場合、またはADCS2ビット = 0の状態、ADCSビットをセット (1) した場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求信号 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ (ADCR) の読み出しについて

ADM, ADSレジスタに対して書き込み動作を行ったとき, ADCRレジスタの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM, ADSレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されることがあります。

また, 次に示す状態において, ADCR, ADCRHレジスタへのアクセスは禁止です。詳細は3. 4. 8(1)(b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・ CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合
- ・ CPUが内蔵発振クロックで動作している場合

(10) A/Dコンバータのサンプリング時間とA/D変換開始遅延時間について

A/Dコンバータのサンプリング時間は, ADMレジスタの設定値によって異なります。また, A/Dコンバータを動作許可してから実際にサンプリングが行われるまで遅延時間が存在します。

A/D変換時間を厳密に必要とするセットの場合, 図14 - 10と表14 - 3に示す内容に注意してください。

図14 - 10 A/DコンバータのサンプリングとA/D変換開始遅延のタイミング

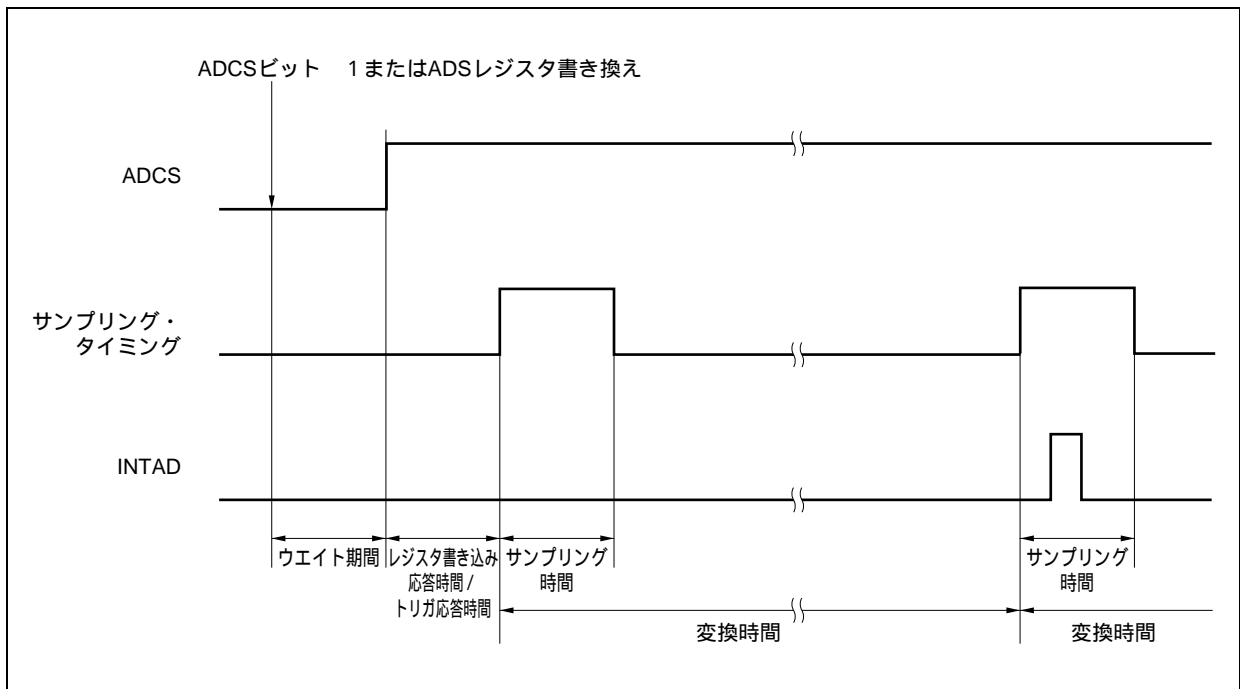




表14 - 3 A/Dコンバータの変換時間

ADHS1	ADHS0	FR2	FR1	FR0	変換時間	サンプリング時間	レジスタ書き込み 応答時間 <sup>注</sup>		トリガ応答時間 <sup>注</sup>	
							MIN.	MAX.	MIN.	MAX.
0	0	0	0	0	288/f <sub>xx</sub>	176/f <sub>xx</sub>	11/f <sub>xx</sub>	12/f <sub>xx</sub>	7/f <sub>xx</sub>	8/f <sub>xx</sub>
0	0	0	0	1	240/f <sub>xx</sub>	176/f <sub>xx</sub>	11/f <sub>xx</sub>	12/f <sub>xx</sub>	7/f <sub>xx</sub>	8/f <sub>xx</sub>
0	0	0	1	0	192/f <sub>xx</sub>	132/f <sub>xx</sub>	10/f <sub>xx</sub>	11/f <sub>xx</sub>	6/f <sub>xx</sub>	7/f <sub>xx</sub>
0	0	1	0	0	144/f <sub>xx</sub>	88/f <sub>xx</sub>	9/f <sub>xx</sub>	10/f <sub>xx</sub>	5/f <sub>xx</sub>	6/f <sub>xx</sub>
0	0	1	0	1	120/f <sub>xx</sub>	88/f <sub>xx</sub>	9/f <sub>xx</sub>	10/f <sub>xx</sub>	5/f <sub>xx</sub>	6/f <sub>xx</sub>
0	0	1	1	0	96/f <sub>xx</sub>	48/f <sub>xx</sub>	11/f <sub>xx</sub>	12/f <sub>xx</sub>	7/f <sub>xx</sub>	8/f <sub>xx</sub>
0	1	0	0	0	96/f <sub>xx</sub>	48/f <sub>xx</sub>	11/f <sub>xx</sub>	12/f <sub>xx</sub>	7/f <sub>xx</sub>	8/f <sub>xx</sub>
0	1	0	0	1	72/f <sub>xx</sub>	36/f <sub>xx</sub>	10/f <sub>xx</sub>	11/f <sub>xx</sub>	6/f <sub>xx</sub>	7/f <sub>xx</sub>
0	1	0	1	0	48/f <sub>xx</sub>	24/f <sub>xx</sub>	9/f <sub>xx</sub>	10/f <sub>xx</sub>	5/f <sub>xx</sub>	6/f <sub>xx</sub>
0	1	0	1	1	24/f <sub>xx</sub>	12/f <sub>xx</sub>	8/f <sub>xx</sub>	9/f <sub>xx</sub>	4/f <sub>xx</sub>	5/f <sub>xx</sub>
0	1	1	0	0	224/f <sub>xx</sub>	176/f <sub>xx</sub>	11/f <sub>xx</sub>	12/f <sub>xx</sub>	7/f <sub>xx</sub>	8/f <sub>xx</sub>
0	1	1	0	1	168/f <sub>xx</sub>	132/f <sub>xx</sub>	10/f <sub>xx</sub>	11/f <sub>xx</sub>	6/f <sub>xx</sub>	7/f <sub>xx</sub>
0	1	1	1	0	112/f <sub>xx</sub>	88/f <sub>xx</sub>	9/f <sub>xx</sub>	10/f <sub>xx</sub>	5/f <sub>xx</sub>	6/f <sub>xx</sub>
0	1	1	1	1	56/f <sub>xx</sub>	44/f <sub>xx</sub>	8/f <sub>xx</sub>	9/f <sub>xx</sub>	4/f <sub>xx</sub>	5/f <sub>xx</sub>
1	0	0	0	0	72/f <sub>xx</sub>	24/f <sub>xx</sub>	11/f <sub>xx</sub>	12/f <sub>xx</sub>	7/f <sub>xx</sub>	8/f <sub>xx</sub>
1	0	0	0	1	54/f <sub>xx</sub>	18/f <sub>xx</sub>	10/f <sub>xx</sub>	11/f <sub>xx</sub>	6/f <sub>xx</sub>	7/f <sub>xx</sub>
1	0	0	1	0	36/f <sub>xx</sub>	12/f <sub>xx</sub>	9/f <sub>xx</sub>	10/f <sub>xx</sub>	5/f <sub>xx</sub>	6/f <sub>xx</sub>
1	0	0	1	1	18/f <sub>xx</sub>	6/f <sub>xx</sub>	8/f <sub>xx</sub>	9/f <sub>xx</sub>	4/f <sub>xx</sub>	5/f <sub>xx</sub>
上記以外					設定禁止	-	-	-	-	-

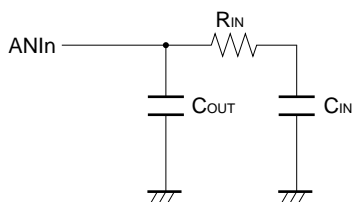
注 各応答時間はウエイト期間後の時間になります。ウエイトについては3. 4. 8 (1) (b) 特定の内部周辺I/Oレジスタへのアクセスについてを参照してください。

備考 f<sub>xx</sub> : メイン・クロック周波数

(11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図14 - 11 ANIn端子内部等価回路



AV <sub>REF0</sub>	R <sub>IN</sub>	C <sub>OUT</sub>	C <sub>IN</sub>
4.5 V	3 kΩ	8 pF	15 pF
2.7 V	60 kΩ	8 pF	15 pF

備考1. 値は参考値です。

2. n = 0-15

**(12) A/D変換結果のばらつきについて**

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。

**(13) A/D変換のヒステリシス特性について**

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- ・同一チャンネルでA/D変換を実行している場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、同一チャンネルで2回連続A/D変換を行い、1回目の変換結果を廃棄してください。

**(14) 通常モード時のA/D変換動作について**

- ・ソフトウェア・トリガ・モード時：  
通常モード（ADM.ADHS1, ADHS0ビット = 00）で、変換動作中のADM, ADS, PFM, PFTレジスタの書き込みは禁止です。
- ・ハードウェア・トリガ（外部トリガ/タイマ・トリガ）・モード時：  
通常モード（ADHS1, ADHS0ビット = 00）では、使用できません。高速モード（ADHS1, ADHS0ビット = 10または01）を使用してください。

## 14.7 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

### (1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次の式になります。

$$\begin{aligned} 1 \text{ \%FSR} &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF0} - 0) / 100 \\ &= AV_{REF0} / 100 \end{aligned}$$

1 LSBは分解能10ビットのとき、次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \text{ \%FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

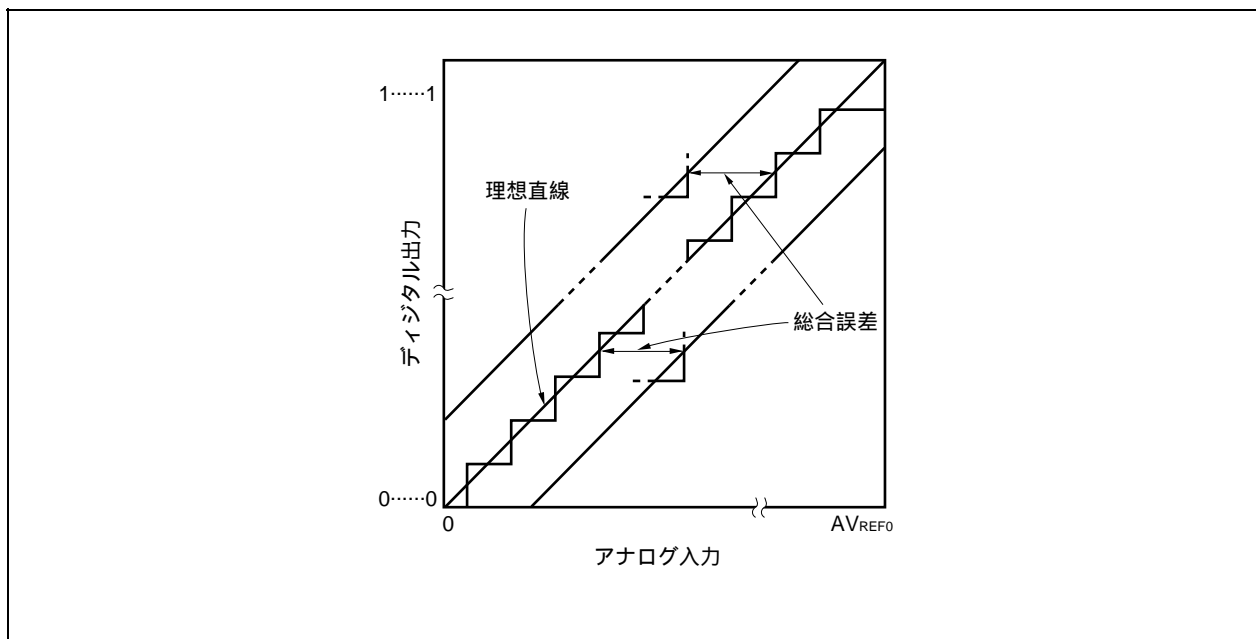
### (2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図14 - 12 総合誤差

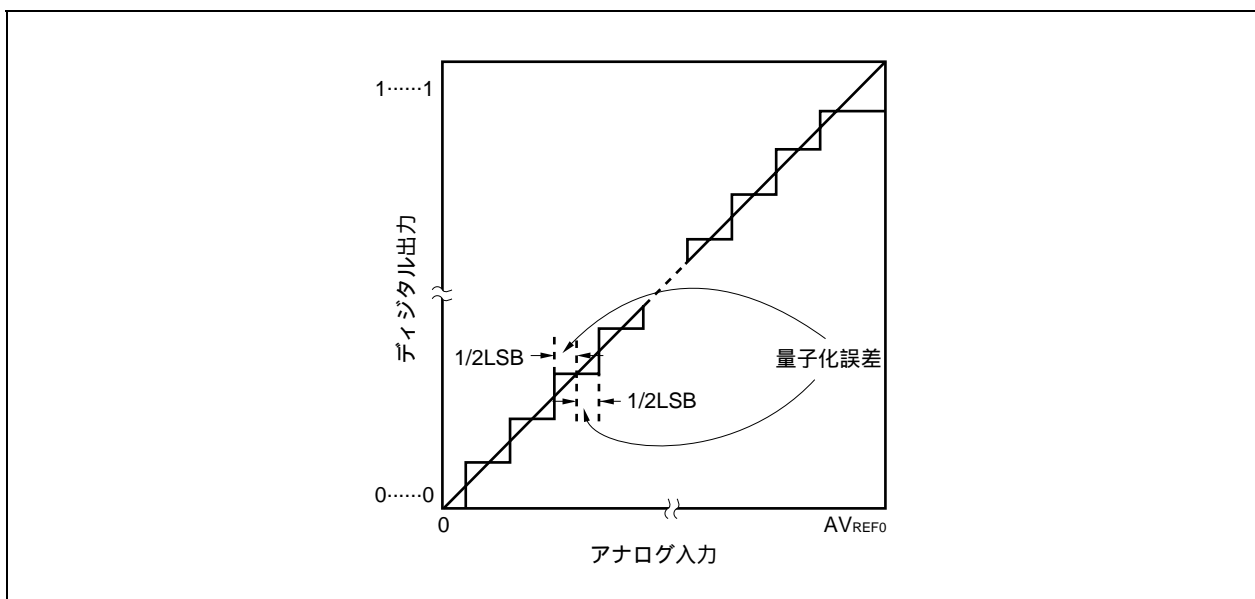


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる  $\pm 1/2$  LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$  LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

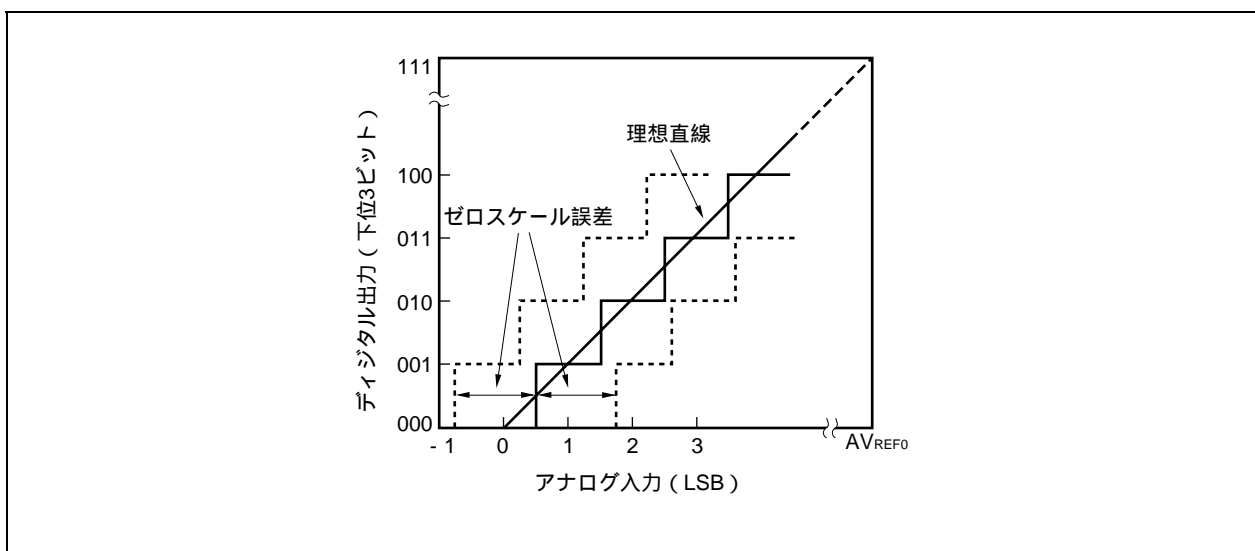
図14 - 13 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ( $1/2$  LSB) との差を表します。

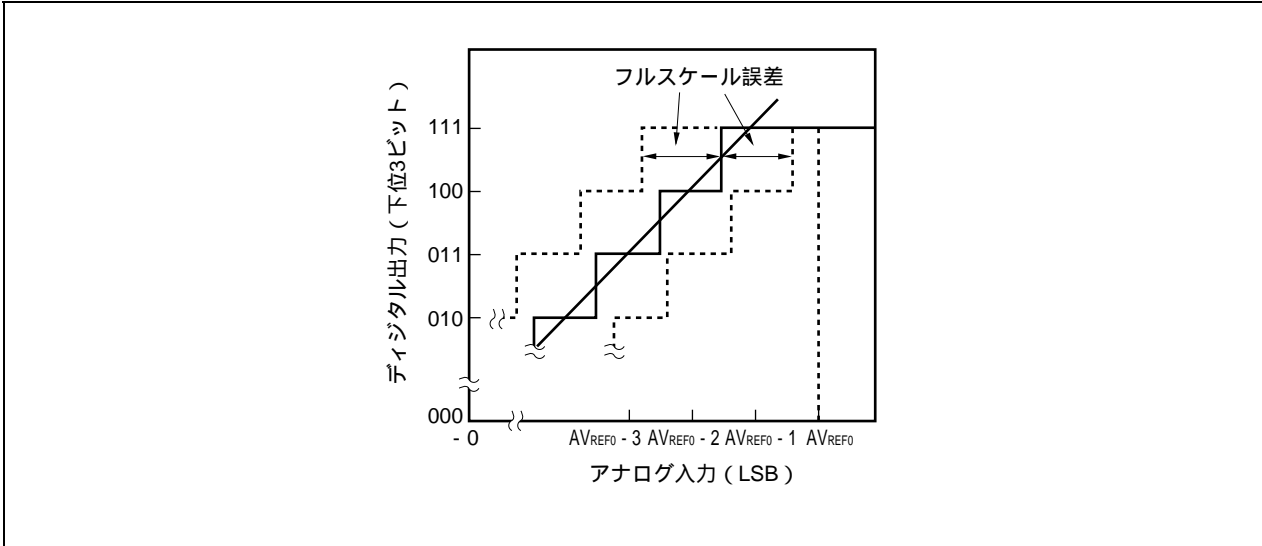
図14 - 14 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - 3/2 LSB）との差を表します。

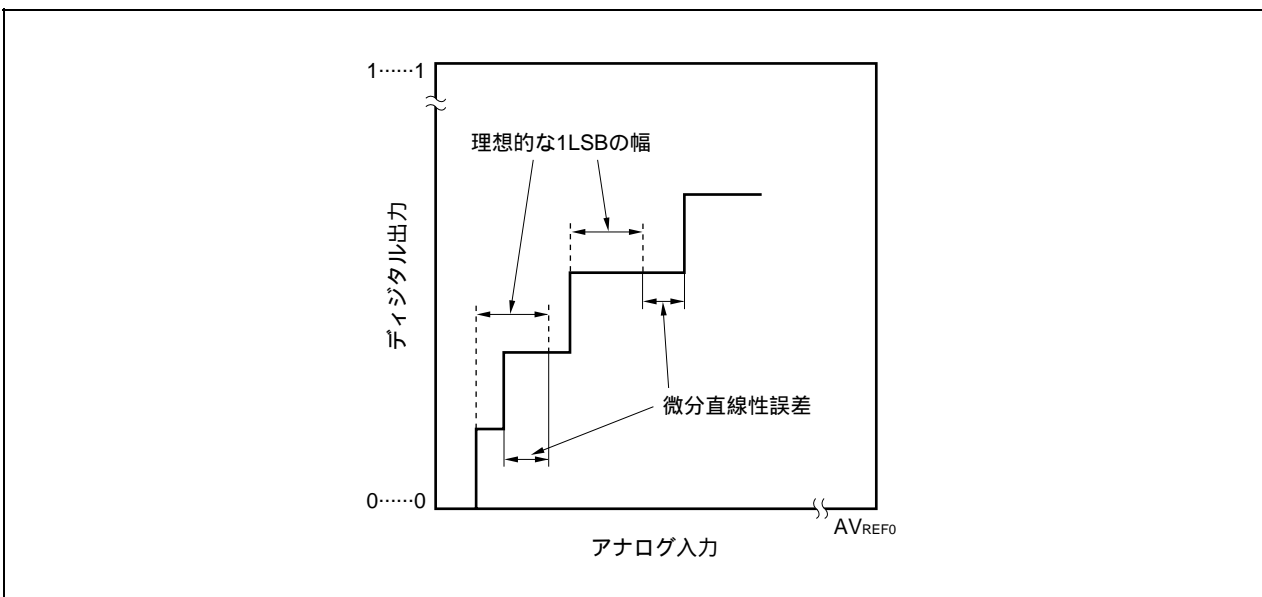
図14 - 15 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。同一チャネルのアナログ入力端子に印加する電圧を $AV_{SS}$ から $AV_{REF0}$ まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャネルを使用する場合は、14.7 (2) 総合誤差を参照してください。

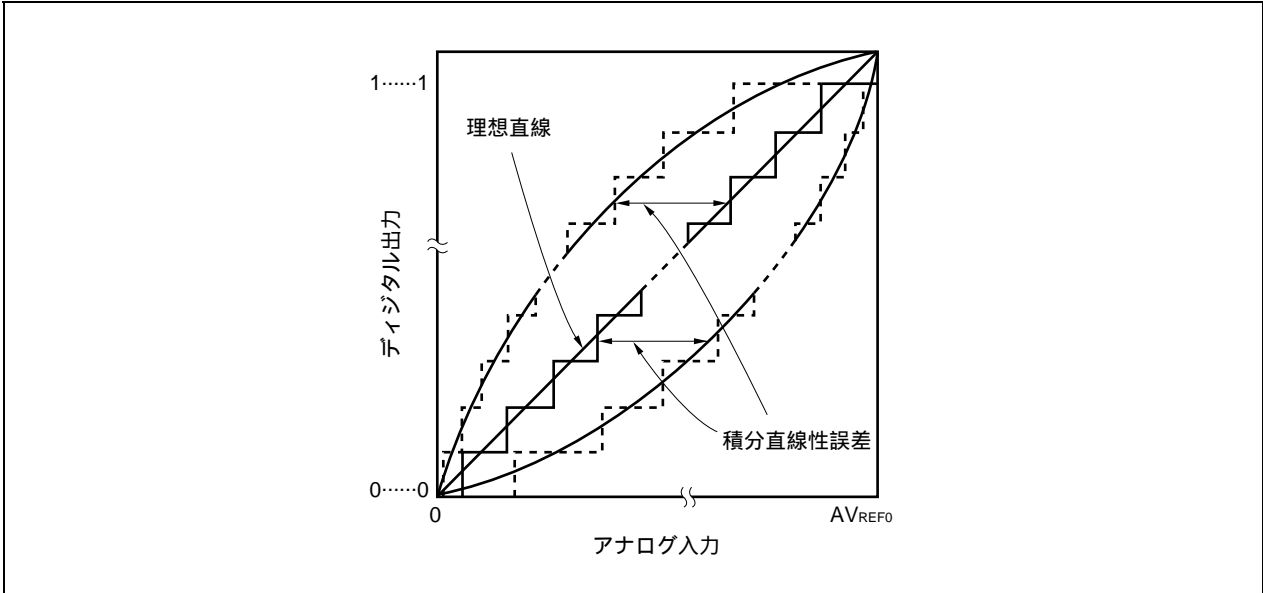
図14 - 16 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図14 - 17 積分直線性誤差



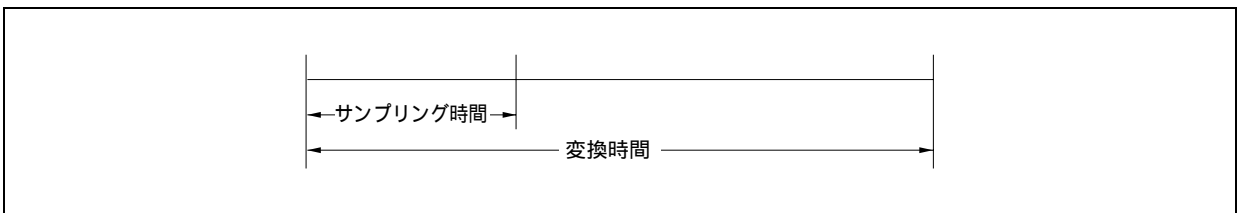
(8) 変換時間

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図14 - 18 サンプリング時間



## 第15章 D/Aコンバータ

### 15.1 機能

V850ES/KJ1+は、D/Aコンバータを2チャンネル搭載しています (DAC0, DAC1)。  
D/Aコンバータには、次のような機能があります。

8ビット分解能×2 ch

R-2Rラダー方式

変換時間：20  $\mu$ s (MAX.) ( $AV_{REF1} = 2.7 \sim 5.5$  V)

アナログ出力電圧： $AV_{REF1} \times m/256$  ( $m = 0-255$ ; DACSnレジスタに設定した値)

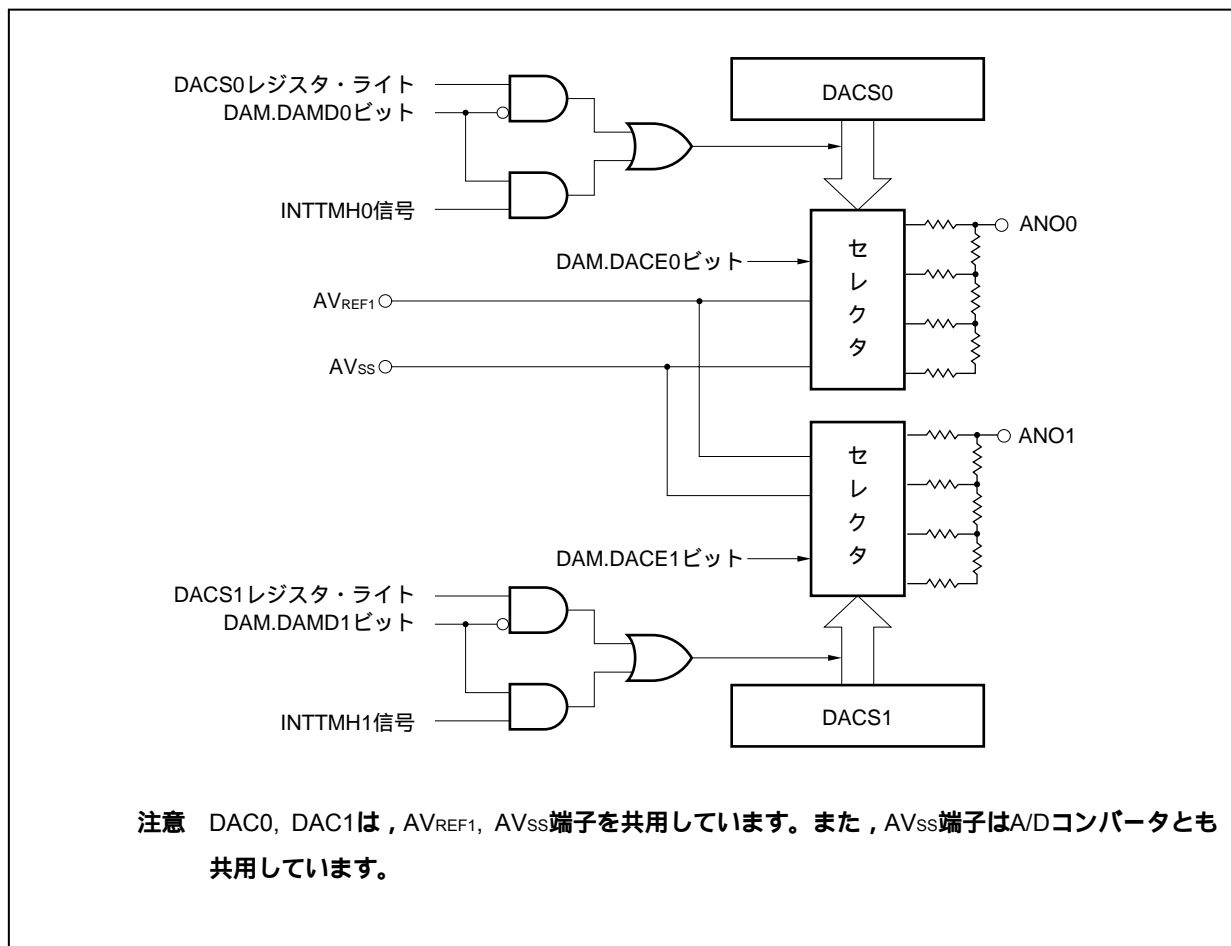
動作モード：通常モード / リアルタイム出力モード

備考 n = 0, 1

## 15.2 構成

次にD/Aコンバータの構成について示します。

図15 - 1 D/Aコンバータのブロック図



D/Aコンバータは, 次のハードウェアで構成されています。

表15 - 1 D/Aコンバータの構成

項目	構成
制御レジスタ	D/Aコンバータ・モード・レジスタ (DAM) D/A変換値設定レジスタ0, 1 (DACS0, DACS1)



## 15.3 レジスタ

D/Aコンバータを制御するレジスタを次に示します。

- ・ D/Aコンバータ・モード・レジスタ (DAM)
- ・ D/A変換値設定レジスタ0, 1 (DACS0, DACS1)

### (1) D/Aコンバータ・モード・レジスタ (DAM)

D/Aコンバータの動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFF284H

	7	6	5	4	3	②	1	①
DAM	0	0	0	0	DAMD1	DACE1	DAMD0	DACE0

DAMDn	D/Aコンバータの動作モードの選択 (n = 0, 1)
0	通常モード
1	リアルタイム出力モード注

DACEn	D/Aコンバータの動作許可/禁止制御 (n = 0, 1)
0	動作禁止
1	動作許可

注 リアルタイム出力モード (DAMDnビット = 1) 時の出力トリガは、次のとおりです。

- ・ n = 0のとき : INTTMH0信号 (第10章 8ビット・タイマH参照)
- ・ n = 1のとき : INTTMH1信号 (第10章 8ビット・タイマH参照)

### (2) D/A変換値設定レジスタn (DACSn)

ANOn端子に出力するアナログ電圧値を設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : DACS0 FFFFFFF280H, DACS1 FFFFFFF282H

	7	6	5	4	3	2	1	0
DACS <sub>n</sub>	DAn7	DAn6	DAn5	DAn4	DAn3	DAn2	DAn1	DAn0

(n = 0, 1)

**注意** リアルタイム出力モード (DAM.DAMDnビット = 1) のとき、INTTMHn信号が発生する前に、DACS<sub>n</sub>レジスタを設定してください。INTTMHn信号発生でD/A変換を開始します。

## 15.4 動作

### 15.4.1 通常モード時の動作

DACSnレジスタへのライト動作を起動トリガとして、D/A変換を行います。

次に、その設定方法を示します。

DAM.DAMDnビット = 0 (通常モード) に設定してください。

DACSnレジスタに、ANOn端子に出力するアナログ電圧値を設定してください。

以上、を初期設定として行います。

DAM.DACEnビットをセット(1) (D/A変換動作許可) してください。

これによりD/A変換したアナログ電圧値をANOn端子から出力します。

以降、アナログ電圧値を変更する場合は、DACSnレジスタへのライト動作を行ってください。

なお、次のライト動作を行うまでは、直前に設定したアナログ電圧値を保持します。

**備考1.** 兼用端子の設定は表4-19 **ポート端子を兼用端子として使用する場合**を参照してください。

2.  $n = 0, 1$

### 15.4.2 リアルタイム出力モード時の動作

8ビット・タイマHnの割り込み要求信号 (INTTMHn) を起動トリガとして、D/A変換を行います。

次に、その設定方法を示します。

DAM.DAMDnビット = 1 (リアルタイム出力モード) に設定してください。

DACSnレジスタに、ANOn端子に出力するアナログ電圧値を設定します。

DAM.DACEnビットをセット(1) (D/A変換動作許可) してください。

以上、を初期設定として行います。

8ビット・タイマHnを動作させます。

INTTMHn信号が発生すると、D/A変換したアナログ電圧値をANOn端子から出力します。

次のINTTMHn信号が発生する前に、次に出力するアナログ電圧値をDACSnレジスタに設定してください。

以降、DACSnレジスタに設定した値が、INTTMHn信号発生タイミングでANOn端子から出力されます。

**備考1.** までのANOn端子の出力値は不定です。

2. HALT, IDLE, STOPモード時のANOn端子の出力値については、第23章 **スタンバイ機能**を参照してください。

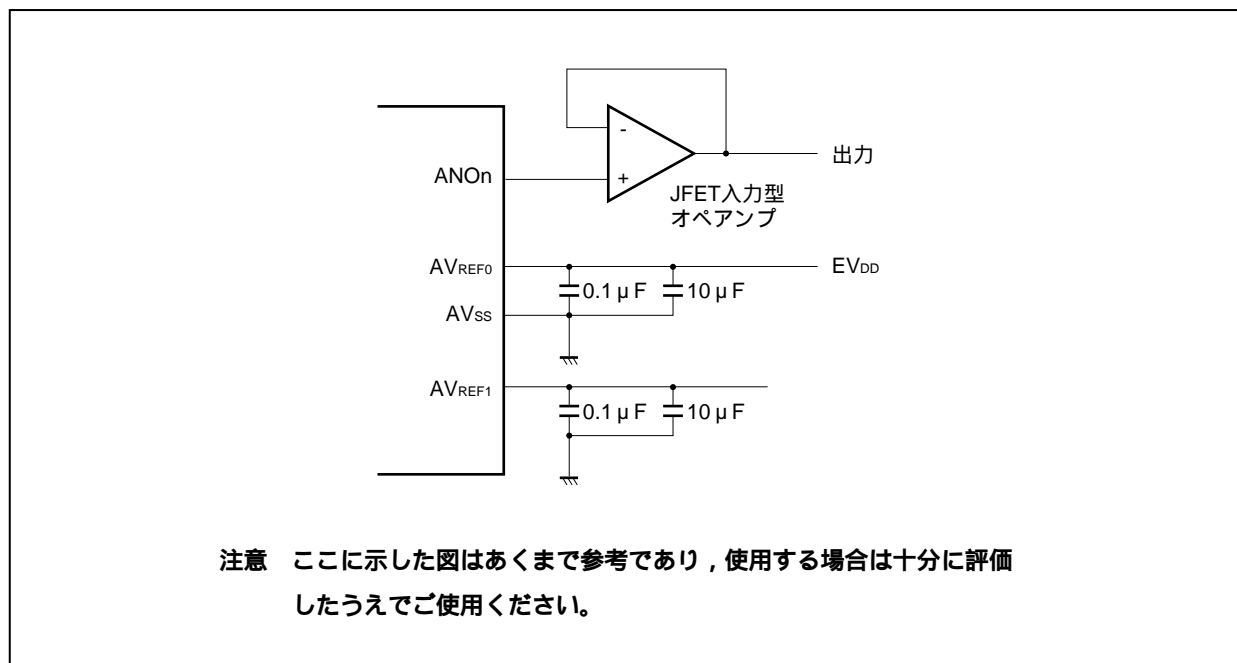
## 15.4.3 注意事項

D/Aコンバータを使用する際の注意事項を次に示します。

- ・ D/A使用時は、ポート端子を入力モード（PM1.PM10, PM11ビット = 11）に設定してください。
- ・ D/A使用時は、ポート・リードは禁止です。
- ・ D/A使用時は、P10, P11両方ともD/A出力として使用してください。  
ポート1の片側をD/A出力、片側をポートとして使用することは禁止です。
- ・ リアルタイム出力モード時、トリガ信号が出ている間にDACSnレジスタの設定値を変更しないでください。
- ・  $AV_{REF1} = V_{DD}$ ,  $AV_{REF1} = 2.7 \sim 5.5$  Vの範囲で使用してください。それ以外の場合の動作は保証できません。
- ・ D/Aコンバータの出力インピーダンスが高いため、ANOn端子から電流を取り出すことはできません。  
2 M $\Omega$ 以下の抵抗を接続する場合には、抵抗とANOn端子の間にJFET入力型オペアンプを挿入するなどの対策をしてください。

備考 n = 0, 1

図15 - 2 外部端子の接続例



## 第16章 アシクロナス・シリアル・インタフェース (UART)

V850ES/KJ1+では、アシクロナス・シリアル・インタフェース (UART) を3チャンネル搭載しています。そのうち、UART0はLIN-busに対応しています。

### 16.1 UART2端子について

V850ES/KJ1+では、UART2用のRXD2, TXD2端子は、次のように2箇所に割り当てられています。

端子名	ピン番号	兼用端子
RXD2	22	P40/SI00
	59	P80/SDA1
TXD2	23	P41/SO00
	60	P81/SCL1

UART2を使用する場合は、ピン番号22と59を、またはピン番号23と60を同時に使用しないでください。また、ピン番号22と23を、またはピン番号59と60をセットで使用してください。

### 16. 1. 1 UART2とCSI00のモード切り替え

V850ES/KJ1+では、UART2とCSI00は端子が兼用になっており、同時には使用できません。UART2を使用するときは、あらかじめPMC4, PFC4レジスタで設定する必要があります（4. 3. 4 ポート4参照）。

- 注意1. UART2またはCSI00において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証しません。使用しないユニットは必ず動作禁止にしてください。
2. ピン番号22, 23をUART2のRXD2, TXD2端子として使用する場合、ピン番号59, 60をRXD2, TXD2端子に設定しないでください。

図16 - 1 UART2とCSI00のモード切り替え設定

リセット時：00H    R/W    アドレス：FFFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

リセット時：00H    R/W    アドレス：FFFFFF478H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	PFC42	PFC41	PFC40

PFC4n	PMC4n	動作モード
0	0	ポート入出力モード
0	1	CSI00モード
1	0	ポート入出力モード
1	1	UART2モード

備考    n = 0, 1

### 16. 1. 2 UART2とI<sup>2</sup>C1のモード切り替え

μ PD70F3316Y, 70F3318Yでは, UART2とI<sup>2</sup>C1は端子が兼用になっており, 同時には使用できません。UART2を使用するときは, あらかじめPMC8, PFC8レジスタで設定する必要があります (4. 3. 8 ポート8参照)。

- 注意1. UART2またはI<sup>2</sup>C1において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証しません。使用しないユニットは必ず動作禁止にしてください。
2. ピン番号59, 60をUART2のRXD2, TXD2端子として使用する場合, ピン番号22, 23をRXD2, TXD2端子に設定しないでください。

図16 - 2 UART2とI<sup>2</sup>C1のモード切り替え設定

リセット時 : 00H    R/W    アドレス : FFFFF450H

	7	6	5	4	3	2	1	0
PMC8	0	0	0	0	0	0	PMC81	PMC80

リセット時 : 00H    R/W    アドレス : FFFFF470H

	7	6	5	4	3	2	1	0
PFC8	0	0	0	0	0	0	PFC81	PFC80

PFC8n	PMC8n	動作モード
0	0	ポート入出力モード
0	1	UART2モード
1	0	ポート入出力モード
1	1	I <sup>2</sup> C1モード

**備考**    n = 0, 1

## 16.2 特 徴

最大転送速度 312.5 kbps

全二重通信 RXBnレジスタ内蔵

TXBnレジスタ内蔵

2端子構成<sup>※</sup> TXDn : 送信データの出力端子

RXDn : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース : 3種類

- ・受信エラー割り込み要求信号 (INTSREn) : 3種類の受信エラーの論理和で割り込みを発生
- ・受信完了割り込み要求信号 (INTSRn) : 受信許可状態において、シリアル転送完了後、受信シフト・レジスタからRXBnレジスタへ受信データを転送すると発生
- ・送信完了割り込み要求信号 (INTSTn) : シリアル送信を行って送信シフト・レジスタから送信データ (8/7ビット) をシリアル送信し終わると発生

キャラクタ長 : 7, 8ビット

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

転送データのMSB/LSB先頭切り替え可能 (UART0のみ)

送信データの出力レベル反転機能 (UART0のみ)

Synch Break Field送信は13-20ビット選択可能 (UART0のみ)

Synch Break Field受信は11ビット以上識別可能 (SBF受信フラグあり (UART0のみ))

専用ポー・レート・ジェネレータ内蔵

**注** UART0のみASCK0端子 (外部クロック入力) を持っています。

**備考** n = 0-2

## 16.3 構成

表16-1 UARTの構成

項目	構成
レジスタ	受信バッファ・レジスタ $n$ (RXB $n$ ) 送信バッファ・レジスタ $n$ (TXB $n$ ) 受信シフト・レジスタ 送信シフト・レジスタ アシクロナス・シリアル・インタフェース・モード・レジスタ $n$ (ASIM $n$ ) アシクロナス・シリアル・インタフェース・ステータス・レジスタ $n$ (ASIS $n$ ) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ $n$ (ASIF $n$ ) LIN動作制御レジスタ0 (ASICL0)
その他	受信制御パリティ・チェック 送信制御パリティ付加

備考  $n = 0-2$ 

UART $n$ は、図16-3のように構成されています。

(1) アシクロナス・シリアル・インタフェース・モード・レジスタ $n$  (ASIM $n$ )

ASIM $n$ レジスタは、UART $n$ の動作を指定する8ビット・レジスタです。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ $n$  (ASIS $n$ )

ASIS $n$ レジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット(1)され、ASIS $n$ レジスタの読み出しによってクリア(0)されます。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ $n$  (ASIF $n$ )

ASIF $n$ レジスタは、送信時のステータスを示す8ビット・レジスタです。

TXB $n$ レジスタのデータ保持状態を示す送信バッファ・データ・フラグと送信中であることを示す送信シフト・レジスタ・データ・フラグから構成されます。

## (4) LIN動作制御レジスタ0 (ASICL0)

ASICL0レジスタは、SBF送受信および送信時の出力方式を制御する8ビット・レジスタです。

ASICL0レジスタは、UART0だけに有効です。

## (5) 受信制御パリティ・チェック

ASIM $n$ レジスタに設定された内容に従って、受信動作を制御します。また、受信動作時にパリティ・エラーなどのチェックも行い、エラーが検出された場合は、エラー内容に応じた値をASIS $n$ レジスタにセットします。

## (6) 受信シフト・レジスタ

RXD $n$ 端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信し、ストップ・ビットを検出すると、受信データをRXB $n$ レジスタへ転送します。

このレジスタは直接操作することはできません。



(7) 受信バッファ・レジスタ<sub>n</sub> (RXB<sub>n</sub>)

RXB<sub>n</sub>レジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタからRXB<sub>n</sub>レジスタに転送されます。

また、RXB<sub>n</sub>レジスタへの転送により、受信完了割り込み要求信号 (INTSR<sub>n</sub>) が発生します。

(8) 送信シフト・レジスタ

送信シフト・レジスタは、TXB<sub>n</sub>レジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

TXB<sub>n</sub>レジスタから1バイト分のデータが転送されると、シフト・レジスタのデータをTXD<sub>n</sub>端子から出力します。

1フレームの送出終了時に同期して送信完了割り込み要求信号 (INTST<sub>n</sub>) を発生します。

このレジスタは直接操作することはできません。

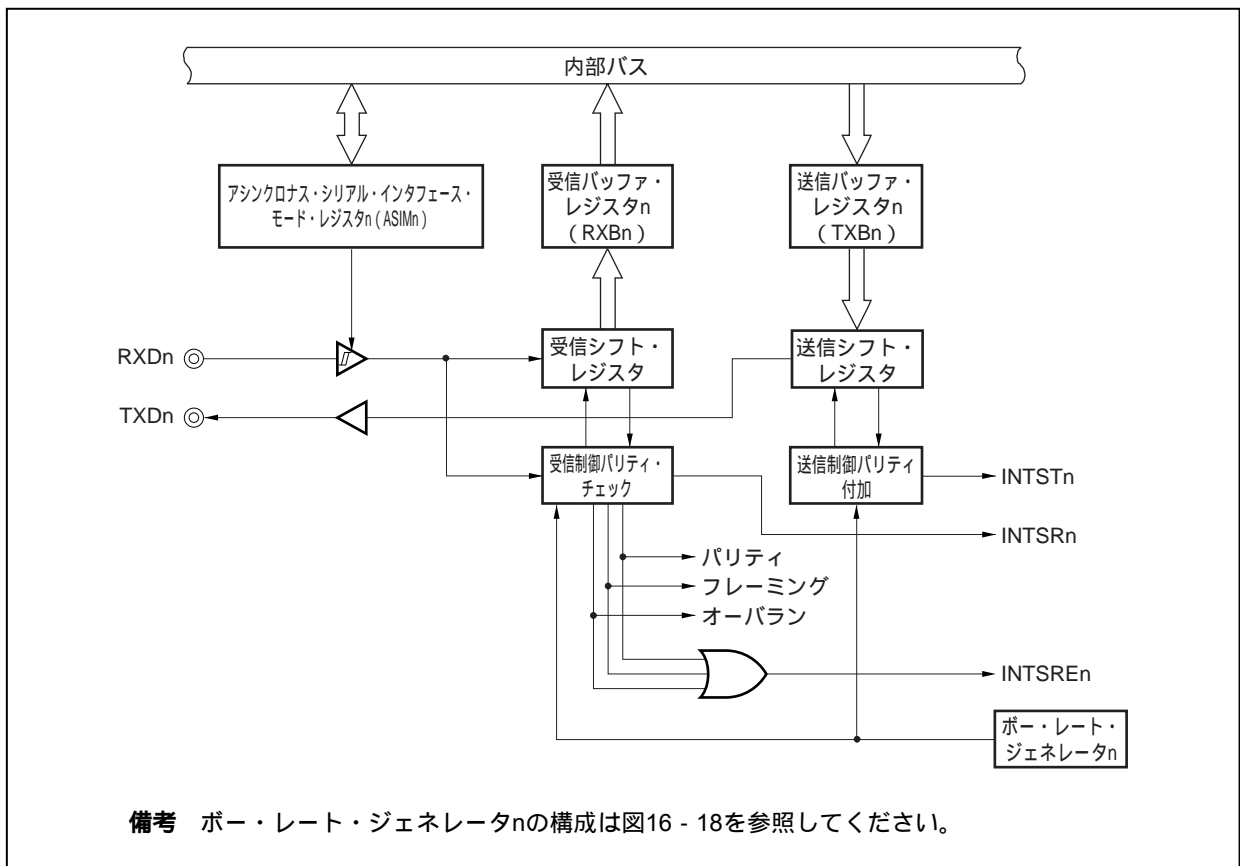
(9) 送信バッファ・レジスタ<sub>n</sub> (TXB<sub>n</sub>)

TXB<sub>n</sub>レジスタは、8ビットの送信データ用バッファです。TXB<sub>n</sub>レジスタへ送信データを書き込むことにより、送信動作が開始されます。

(10) 送信制御パリティ付加

ASIM<sub>n</sub>レジスタに設定された内容に従って、TXB<sub>n</sub>レジスタに書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットを付加するなどして、送信動作の制御を行います。

図16 - 3 UART<sub>n</sub>のブロック図



## 16.4 レジスタ

### (1) アシクロナス・シリアル・インタフェース・モード・レジスタ<sub>n</sub> (ASIM<sub>n</sub>)

ASIM<sub>n</sub>レジスタは、UART<sub>n</sub>の転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

**注意1.** UART<sub>n</sub>を使用する場合には、必ずUART<sub>n</sub>機能に関連する外部端子をコントロール・モードに設定したあと、CKSR<sub>n</sub>, BRGC<sub>n</sub>レジスタの設定を行ってから、UARTE<sub>n</sub>ビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。

2. RXD<sub>n</sub>端子にハイ・レベルが入力された状態で、UARTE<sub>n</sub>ビット = 1, RXEnビット = 1と設定してください。ロウ・レベルのときにUARTE<sub>n</sub>ビット = 1, RXEnビット = 1と設定すると、受信を開始してしまいます。

(1/2)

リセット時：01H    R/W    アドレス：ASIM0 FFFFFFFA00H, ASIM1 FFFFFFFA10H, ASIM2 FFFFFFFA20H

	⑦	⑥	⑤	4	3	2	1	0
ASIM <sub>n</sub>	UARTE <sub>n</sub>	TXEn	RXEn	PSn1	PSn0	CLn	SLn	ISRMn

(n = 0-2)

UARTE <sub>n</sub>	動作クロックを制御
0	UART <sub>n</sub> へのクロック供給を停止
1	UART <sub>n</sub> へクロックを供給
<ul style="list-style-type: none"> <li>・ UARTE<sub>n</sub>ビットをクリア(0)すると、UART<sub>n</sub>を非同期にリセット<sup>注</sup>します。</li> <li>・ UARTE<sub>n</sub>ビット = 0の場合は、UART<sub>n</sub>はリセット状態なので、UART<sub>n</sub>を動作させる場合には、まずUARTE<sub>n</sub>ビットをセット(1)してください。</li> <li>・ UARTE<sub>n</sub>ビットを1から0にクリアした場合は、UART<sub>n</sub>のすべてのレジスタが初期化されます。再度UARTE<sub>n</sub>ビットをセット(1)する場合には、必ずUART<sub>n</sub>のレジスタを再設定してください。</li> </ul> <p>TXD<sub>n</sub>端子の出力は、送信禁止状態の場合、UARTE<sub>n</sub>ビットの設定にかかわらずハイ・レベルになります。</p>	

TXEn	送信許可 / 禁止を指定
0	送信禁止
1	送信許可
<ul style="list-style-type: none"> <li>・ 起動時はUARTE<sub>n</sub>ビットをセット(1)してから、TXEnビットをセット(1)してください。また、停止時はTXEnビットをクリア(0)してから、UARTE<sub>n</sub>ビットをクリア(0)してください。</li> <li>・ 送信ユニットを初期化する場合は、TXEnビットをクリア(0)して、Clock (基本クロック)の2周期分の時間を経過してから、再びTXEnビットをセット(1)しなければ、状態の初期化ができない場合があります (基本クロックについては16.7.1(1)基本クロック (Clock)参照)。</li> </ul>	

**注** リセットされるのはASIS<sub>n</sub>, ASIF<sub>n</sub>, RXB<sub>n</sub>レジスタです。

RXEn	受信許可 / 禁止を指定
0	受信禁止 <sup>注</sup>
1	受信許可

・起動時はUARTEnビットをセット(1)してから、RXEnビットをセット(1)してください。また、停止時は、RXEnビットをクリア(0)してから、UARTEnビットをクリア(0)してください。

・受信ユニットの状態を初期化する場合は、RXEnビットをクリア(0)して、Clock(基本クロック)の2周期分の時間を経過してから、再びRXEnビットをセット(1)しなければ、状態の初期化ができない場合があります(基本クロックについては16.7.1(1)基本クロック(Clock)参照)。

PSn1	PSn0	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・PSn1, PSn0ビットを書き換えるときは、TXEn, RXEnビットをクリア(0)してから行ってください。

・受信時に「0パリティ」を選択した場合、パリティ判定を行いません。したがって、ASISnレジスタのPEnビットはセットされないため、エラー割り込みも発生しません。

CLn	送受信データ1フレームのキャラクタ長指定
0	7ビット
1	8ビット

・CLnビットを書き換えるときは、TXEn, RXEnビットをクリア(0)してから行ってください。

SLn	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

・SLnビットを書き換えるときは、TXEnビットをクリア(0)してから行ってください。

・受信は常に「ストップ・ビット長 = 1」として動作するので、SLnビットの設定は受信動作に影響を与えません。

ISRMn	エラー発生時の受信完了割り込み要求信号発生許可 / 禁止を指定
0	エラー発生時の割り込みとして、受信エラー割り込み要求信号 (INTSREn) を発生する。 この場合、受信完了割り込み要求信号 (INTSRn) は発生しません。
1	エラー発生時の割り込みとして、受信完了割り込み要求信号 (INTSRn) を発生する。 この場合、受信エラー - 割り込み要求信号 (INTSREn) は発生しません。

・ISRMnビットを書き換えるときは、RXEnビットをクリア(0)してから行ってください。

**注** 受信禁止時は、受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理、RXBnレジスタへの転送処理は行わず、RXBnレジスタの内容は保持されます。

受信許可状態中は、スタート・ビットの検出に同期して受信シフト動作を開始し、1フレーム分の受信を終了すると受信シフト・レジスタの内容をRXBnレジスタに転送します。

また、RXBnレジスタへの転送に同期して、受信完了割り込み要求信号 (INTSRn) を発生します。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ<sub>n</sub> (ASIS<sub>n</sub>)

ASIS<sub>n</sub>レジスタは、UART<sub>n</sub>の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE<sub>n</sub>, FE<sub>n</sub>, OVE<sub>n</sub>) で構成されています。

ASIS<sub>n</sub>レジスタは、読み出しにより00Hにクリアされます。受信エラーが発生した場合は、ASIS<sub>n</sub>レジスタを読み出したあと、RXB<sub>n</sub>レジスタを読み出し、エラー・フラグをクリアしてください。

8ビット単位でリードだけ可能です。

リセットにより00Hになります。

- 注意1.** ASIM<sub>n</sub>.UARTE<sub>n</sub>, RXE<sub>n</sub>ビットを0に設定したとき、またはASIS<sub>n</sub>レジスタを読み出したとき、PE<sub>n</sub>, FE<sub>n</sub>, OVE<sub>n</sub>ビットはクリア (0) されます。
2. ビット操作命令による操作は禁止です。
  3. 次に示す状態において、ASIS<sub>n</sub>レジスタへのアクセスは禁止です。詳細は3.4.8(1)(b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時 : 00H    R    アドレス : ASIS0 FFFFFFFA03H, ASIS1 FFFFFFFA13H, ASIS2 FFFFFFFA23H

	7	6	5	4	3	2	1	0
ASIS <sub>n</sub>	0	0	0	0	0	PE <sub>n</sub>	FE <sub>n</sub>	OVE <sub>n</sub>

(n = 0-2)

PE <sub>n</sub>	パリティ・エラーを示すステータス・フラグ
0	UARTE <sub>n</sub> ビット = 0またはRXE <sub>n</sub> ビット = 0に設定したとき、または、ASIS <sub>n</sub> レジスタをリードしたあと
1	受信完了時、受信データのパリティとパリティ・ビットが一致しないとき
・PE <sub>n</sub> ビットの動作は、ASIM <sub>n</sub> .PS <sub>n</sub> 1, PS <sub>n</sub> 0ビットの設定値により異なります。	

FE <sub>n</sub>	フレーミング・エラーを示すステータス・フラグ
0	UARTE <sub>n</sub> ビット = 0またはRXE <sub>n</sub> ビット = 0に設定したとき、または、ASIS <sub>n</sub> レジスタをリードしたあと
1	受信完了時、ストップ・ビットが検出されないとき
・受信データのストップ・ビットは、ストップ・ビット長に関係なく最初の1ビットだけをチェックします。	

OVE <sub>n</sub>	オーバラン・エラーを示すステータス・フラグ
0	UARTE <sub>n</sub> ビット = 0またはRXE <sub>n</sub> ビット = 0に設定したとき、または、ASIS <sub>n</sub> レジスタをリードしたあと
1	RXB <sub>n</sub> レジスタの受信データを読み出す前に、UART <sub>n</sub> が次の受信動作を完了したとき
・オーバラン・エラーが発生した場合、次の受信データはRXB <sub>n</sub> レジスタに書き込まれず、データは破棄されます。	

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ<sub>n</sub> (ASIF<sub>n</sub>)

ASIF<sub>n</sub>レジスタは、送信時のステータスを示すレジスタです。2ビットのステータス・フラグで構成されています。

TXB<sub>n</sub>レジスタから送信シフト・レジスタへデータが転送されたあとに、次のデータをTXB<sub>n</sub>レジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。連続して送信を行う場合には、TXB<sub>n</sub>レジスタへの誤った書き込みを防止するために、TXBF<sub>n</sub>ビットを参照してから書き込みを行ってください。

8/1ビット単位でリードだけ可能です。

リセットにより00Hになります。

リセット時：00H R アドレス：ASIF0 FFFFFFFA05H, ASIF1 FFFFFFFA15H, ASIF2 FFFFFFFA25H

	7	6	5	4	3	2	①	②
ASIF <sub>n</sub>	0	0	0	0	0	0	TXBF <sub>n</sub>	TXSF <sub>n</sub>

(n = 0-2)

TXBF <sub>n</sub>	送信バッファ・データ・フラグ
0	TXB <sub>n</sub> レジスタに次に転送すべきデータが存在しない ( ASIM <sub>n</sub> .UARTE <sub>n</sub> ビット = 0またはTXE <sub>n</sub> ビット = 0に設定したとき、または送信シフト・レジスタにデータを転送したとき )
1	TXB <sub>n</sub> レジスタに次に転送すべきデータが存在する ( TXB <sub>n</sub> レジスタにデータを書き込んだとき )

・連続送信を行う場合は、必ずこのフラグが“0”であることを確認してからTXB<sub>n</sub>レジスタに書き込んでください。このフラグが“1”のときにTXB<sub>n</sub>レジスタにデータを書き込んだ場合の送信データは保証できません。

TXSF <sub>n</sub>	送信シフト・レジスタ・データ・フラグ ( UART <sub>n</sub> の送信状態を示します。 )
0	初期状態または送信待ち ( UARTE <sub>n</sub> ビット = 0またはTXE <sub>n</sub> ビット = 0に設定したとき、または送信完了後にTXB <sub>n</sub> レジスタから次のデータ転送がなかったとき )
1	送信中 ( TXB <sub>n</sub> レジスタからデータ転送されたとき )

・送信ユニットを初期化する場合は、送信完了割り込み要求信号 ( INTST<sub>n</sub> ) 発生後に、必ずこのフラグが“0”であることを確認してから初期化を実行してください。このフラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) 受信バッファ・レジスタ<sub>n</sub> (RXB<sub>n</sub>)

RXB<sub>n</sub>レジスタは、受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

受信許可状態のとき (ASIM<sub>n</sub>.RXEnビット = 1)、受信データは1フレーム分のシフト・イン処理終了時に同期して、受信シフト・レジスタからRXB<sub>n</sub>レジスタに転送されます。また、RXB<sub>n</sub>レジスタへの転送により、受信完了割り込み要求信号 (INTSR<sub>n</sub>) が発生します。発生するタイミングについては16. 6. 4 受信動作を参照してください。

受信禁止状態のとき (ASIM<sub>n</sub>.RXEnビット = 0)、1フレーム分のシフト・イン処理が終了してもRXB<sub>n</sub>レジスタへの転送は処理されず、RXB<sub>n</sub>レジスタの内容は保持されます。また、INTSR<sub>n</sub>信号も発生しません。

データ長を7ビットに指定した場合、受信データはRXB<sub>n</sub>レジスタのビット6-0に転送され、MSB (ビット7) は必ず0になります。また、オーバラン・エラー (ASIS<sub>n</sub>.OVEnビット = 1) が発生した場合、そのときの受信データはRXB<sub>n</sub>レジスタに転送されません。

リセットおよびASIM<sub>n</sub>.UARTEnビット = 0によっても、RXB<sub>n</sub>レジスタはFFHになります。

8ビット単位でリードだけ可能です。



(5) 送信バッファ・レジスタ<sub>n</sub> (TXB<sub>n</sub>)

TXB<sub>n</sub>レジスタは、送信データを設定するための8ビット・バッファ・レジスタです。

送信許可状態のとき (ASIM<sub>n</sub>.TXEnビット = 1) , TXB<sub>n</sub>レジスタにデータを書き込むことで送信動作が開始されます。

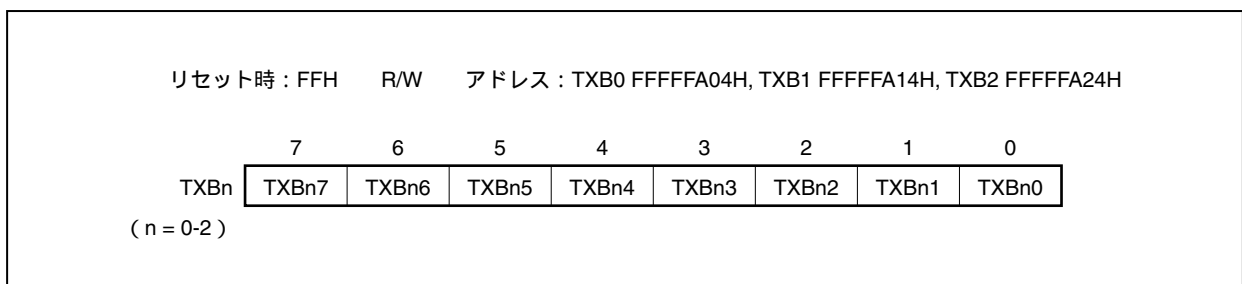
送信禁止状態のとき (TXEnビット = 0) , TXB<sub>n</sub>レジスタにデータを書き込んでも値は無視されます。

TXB<sub>n</sub>レジスタのデータが送信シフト・レジスタに転送され、送信シフト・レジスタから1フレーム分の送信終了に同期して送信完了割り込み要求信号 (INTST<sub>n</sub>) を発生します。発生するタイミングについては 16.6.2 送信動作を参照してください。

ASIF<sub>n</sub>.TXBF<sub>n</sub>ビット = 1のときは、TXB<sub>n</sub>レジスタへの書き込みは行わないでください。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。



(6) LIN動作制御レジスタ0 (ASICL0)

ASICL0レジスタは、SBF送受信および送信時の出力方式を制御をする8ビットのレジスタです。  
8/1ビット単位でリード/ライト可能です。  
リセットにより16Hになります。

- 注意1. ASICL0レジスタはUART0のみ有効です。UART1, UART2にはありません。
2. 通信動作中 (ASIM0.UARTE0ビット = 1, かつASIM0.TXE0ビット = 1または, ASIM0.UARTE0ビット = 1, かつASIM0.RXE0ビット = 1) に、ソフトウェアでASICL0への同値書き込みは可能です。ただし、SBF受信中 (ASICL0.SBRF0ビット = 1) またはSBF送信中 (ASICL0.SBTT0ビットをセット (1) 後からINTST0割り込み信号発生までの間) に、同値書き込み動作でASICL0.SBRT0ビット = 1または, ASICL0.SBTT0ビット = 1に設定すると、SBF受信, SBF送信の再トリガ要因となるため、同値書き込みをしないでください。

(1/2)

リセット時：16H R/W アドレス：FFFFFFA08H

	⑦	⑥	5	4	3	2	①	0
ASICL0	SBRF0 <sup>注</sup>	SBRT0	SBTT0	SBL02	SBL01	SBL00	UDIR0	TXDLV0

SBRF0 <sup>注</sup>	SBF受信状態フラグ
0	ASIM0.UARTE0ビット = 0およびASIM0.RXE0ビット = 0に設定したとき またはSBF受信が正常終了したとき
1	SBF受信中

SBRT0	SBF受信トリガ
0	-
1	受信トリガ

SBTT0	SBF送信トリガ
0	-
1	送信トリガ

注 SBRF0ビットはリード・オンリーです。



SBL02	SBL01	SBL00	SBF送信出力幅制御
1	0	1	SBFは13ビット長で出力 (デフォルト)
1	1	0	SBFは14ビット長で出力
1	1	1	SBFは15ビット長で出力
0	0	0	SBFは16ビット長で出力
0	0	1	SBFは17ビット長で出力
0	1	0	SBFは18ビット長で出力
0	1	1	SBFは19ビット長で出力
1	0	0	SBFは20ビット長で出力

UDIR0	先頭ビットの指定
0	MSB
1	LSB

TXDLV0	TXD0端子出力反転許可 / 禁止
0	TXD0端子通常出力
1	TXD0端子反転出力

- 注意1. SBF受信エラー時は、再びSBF受信モードに戻ります。ASICL0.SBRF0ビットの状態は保持(1)されます。
- ASICL0.SBRT0ビットは、ASIM0.UARTE0ビット = 1, かつASIM0.RXE0ビット = 1としてからセット(1)にしてください。また、セット(1)後、SBF受信が終了(割り込み要求信号が発生)する前に、ASICL0.SBRT0ビットをクリア(0)しないでください。
  - ASICL0.SBRT0ビットのリード値は常に0です。SBF受信正常終了後、ASICL0.SBRT0ビットは自動的にクリア(0)されます。
  - ASICL0.SBTT0ビットは、ASIM0.UARTE0ビット = 1, かつASIM0.TXE0ビット = 1としてからセット(1)にしてください。また、セット(1)後、SBF送信が終了(割り込み要求信号が発生)する前に、ASICL0.SBTT0ビットをクリア(0)しないでください。
  - ASICL0.SBTT0ビットのリード値は常に0です。SBF送信終了後、ASICL0.SBTT0ビットは自動的にクリア(0)されます。
  - ASICL0.UDIR0, ASICL0.TXDLV0ビットを書き換えるときは、ASIM0.TXE0, ASIM0.RXE0ビットをクリア(0)にしてから行ってください。

(7) セレクタ動作制御レジスタ 0 (SELCNT0)

SELCNT0レジスタは、TM01のキャプチャ・トリガを選択する8ビットのレジスタです。

LIN使用時にSELCNT0.ISEL00 = 1 (RXD0端子を選択)を設定すると、ボー・レート誤差を計算するための転送レートをTM01にて調べられます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF308H							
	7	6	5	4	3	2	1	0								
SELCNT0	0	0	0	0	0	0	0	ISEL00								
	ISEL00		TM01のキャプチャ・トリガ (TM010) の選択													
	0	TI010 ( P35 ) 端子を選択														
	1	RXD0 ( P31 ) 端子を選択														

## 16.5 割り込み要求信号

UARTnからは次の3種類の割り込み要求信号を発生します。

- ・受信エラー割り込み要求信号 (INTSREn)
- ・受信完了割り込み要求信号 (INTSRn)
- ・送信完了割り込み要求信号 (INTSTn)

これら3種類の割り込み要求信号のデフォルト優先順位は受信エラー割り込みが最も高く、受信完了割り込み、送信完了割り込みの順に低くなります。

表16 - 2 発生する割り込み要求信号とデフォルト優先順位

割り込み要求信号	優先順位
受信エラー割り込み要求信号 (INTSREn)	1
受信完了割り込み要求信号 (INTSRn)	2
送信完了割り込み要求信号 (INTSTn)	3

### (1) 受信エラー割り込み要求信号 (INTSREn)

受信許可状態中で、ASISnレジスタで説明した3種類の受信エラーの論理和 (OR) でINTSREn信号を発生します。ASIMn.ISRMnビットにより、エラー発生時にINTSREn信号を発生させるか、INTSRn信号を発生させるかを指定できます。

受信禁止状態中は、INTSREn信号は発生しません。

### (2) 受信完了割り込み要求信号 (INTSRn)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされRXBnレジスタに転送されると、INTSRn信号が発生します。

INTSRn信号は、ISRMnビットにより、受信エラーが起こった場合にも、INTSREn信号の代わりとして発生させることができます。

受信禁止状態中は、INTSRn信号は発生しません。

### (3) 送信完了割り込み要求信号 (INTSTn)

送信シフト・レジスタから7ビット / 8ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされると、INTSTn信号を発生します。

## 16.6 動作

### 16.6.1 データ・フォーマット

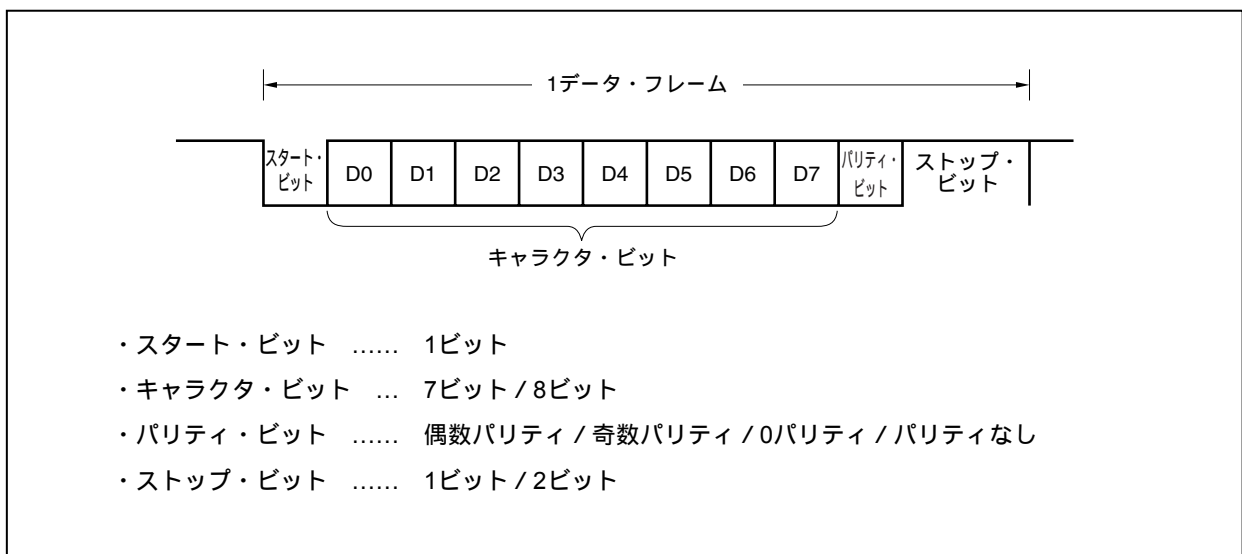
全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図16-4に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、ASIMnレジスタによって行います。

また、データはLSBファーストで転送します。

図16-4 UARTnの送受信データのフォーマット



## 16.6.2 送信動作

ASIMn.UARTEnビットをセット(1)することにより、TXDn端子はハイ・レベルを出力します。

次にASIMn.TXEnビットをセット(1)すると送信許可状態になり、TXBnレジスタに送信データを書き込むと送信動作が起動します。

### (1) 送信許可状態

TXEnビットで設定します。

- ・TXEnビット = 1 : 送信許可状態
- ・TXEnビット = 0 : 送信禁止状態

なお、UARTnにはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

### (2) 送信動作の起動

送信許可状態では、TXBnレジスタに送信データを書き込むと送信動作が起動します。送信動作の開始により、TXBnレジスタ内のデータが送信シフト・レジスタに転送されます。そのあと、送信シフト・レジスタはTXDn端子にデータを出力します(スタート・ビットから順に送信されます)。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

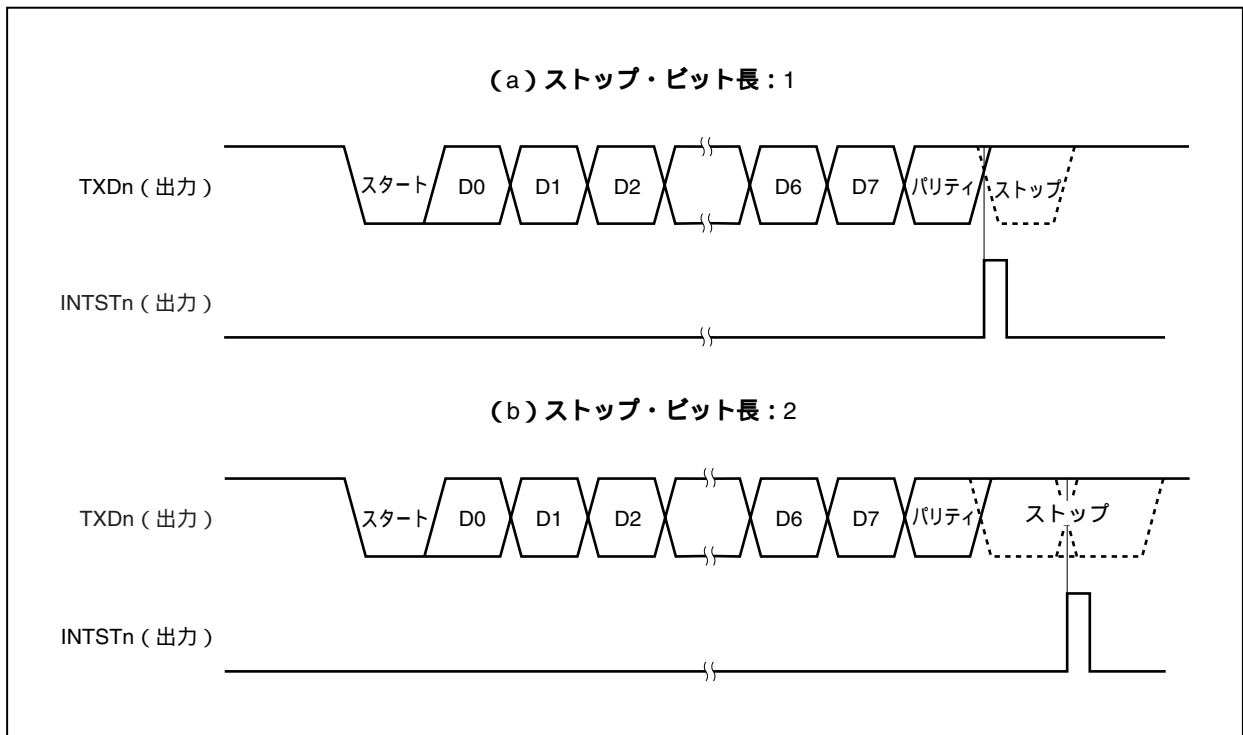
### (3) 送信割り込み

送信シフト・レジスタが空になると送信完了割り込み要求信号(INTSTn)が発生します。ストップ・ビット長の指定により、INTSTn信号の発生タイミングが異なります。INTSTn信号は、最後のストップ・ビット出力と同時に発生します。

次に送信するデータをTXBnレジスタに書き込まなければ、送信動作は中断されます。

**注意** 通常、送信シフト・レジスタが空になったときにINTSTn信号が発生します。しかし、リセットにより送信シフト・レジスタが空になった場合、INTSTn信号は発生しません。

図16 - 5 UARTn送信完了割り込みタイミング



### 16.6.3 連続送信動作

UARTnは、送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをTXBnレジスタへ書き込むことができます。これにより、1データ・フレーム送信後の送信完了割り込み処理時でも連続送信することができます。また、送信完了割り込み要求信号 (INTSTn) 発生後にASIFn.TXSFnビットを読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回 (2バイト) のTXBnレジスタへの書き込みができます。

連続送信する場合は、必ずASIFnレジスタを参照し、送信状態とTXBnレジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

**注意** 連続送信でASIFn.TXBFn, TXSFnビットは、「10」→「11」→「01」と変化します。そのため、ステータスを確認する場合は、TXBFn, TXSFnビットの組み合わせで判断しないでください。連続送信を行う場合はTXBFnビットのみを読み出してください。

TXBFn	TXBnレジスタへの書き込み可否
0	書き込み可
1	書き込み不可

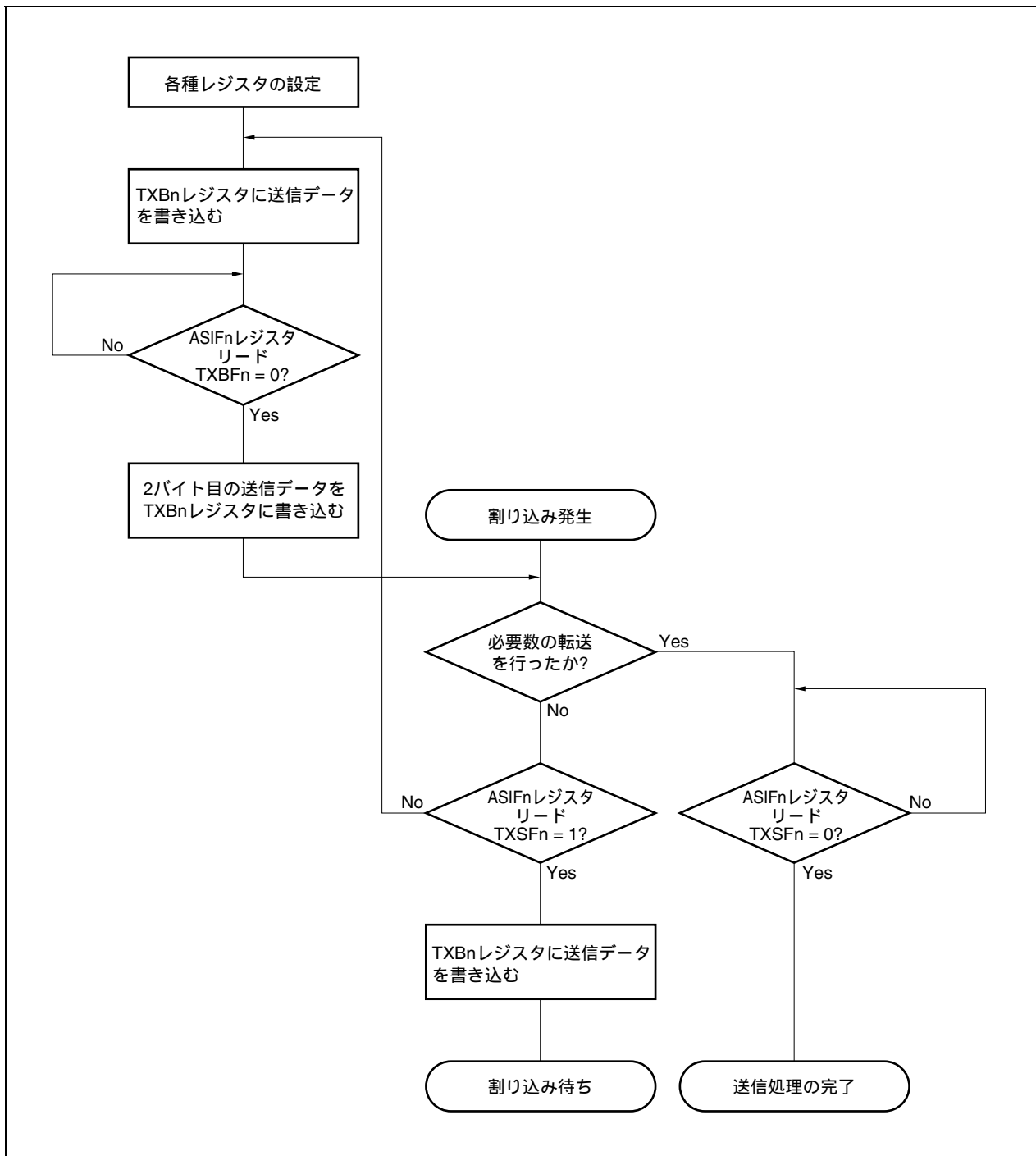
**注意** 連続送信を行う場合は、最初の送信データ (1バイト目) をTXBnレジスタに書き込んだあと、必ずTXBFnビットが“0”であることを確認してから次の送信データ (2バイト目) をTXBnレジスタに書き込んでください。TXBFnビットが“1”のときにTXBnレジスタにデータを書き込んだ場合の送信データは保証できません。

TXSFnビットで、通信状態を確認することができます。

TXSFn	送信状態
0	送信が終了しています。
1	送信中です。

- 注意1.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSFnビットが“0”であることを確認してから初期化を実行してください。TXSFnビットが“1”のときに初期化を実行した場合の送信データは保証できません。
- 2.** 連続送信時には、1データ・フレーム送信後のINTSTn割り込み処理を実行する前に次の送信が完了してしまうオーバーラン・エラーが発生する可能性があります。オーバーラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSFnビットを参照することで検出できます。

図16 - 6 連続送信の処理フロー

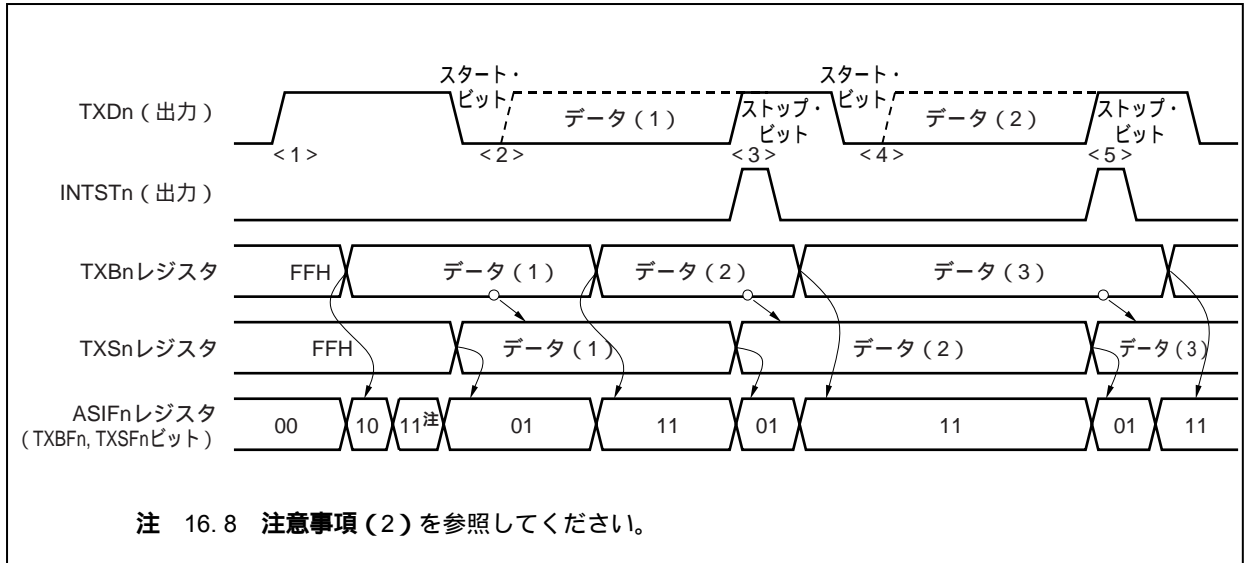




(1) 開始手順

連続送信を開始する手順を次に示します。

図16-7 連続送信の開始手順



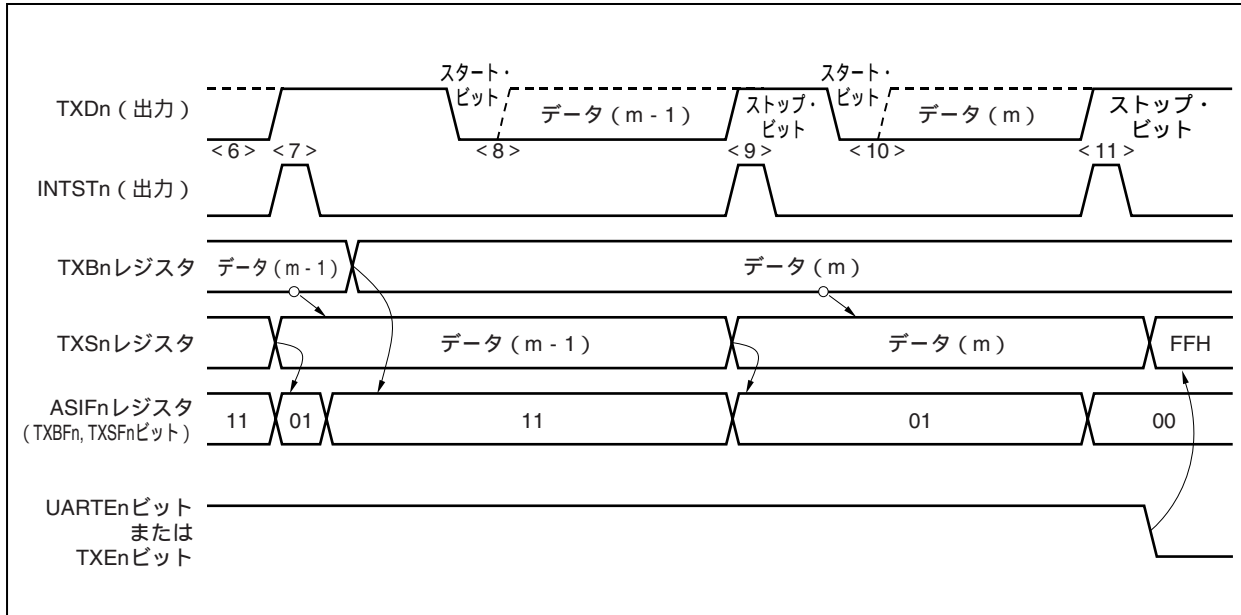
送信開始手順	内部動作	ASIFnレジスタ	
		TXBFn	TXSFn
送信モード設定	<1> 送信ユニットの起動	0	0
データ(1)の書き込み		1	0
	<2> スタート・ビットの生成	1	1 <sup>注</sup>
	データ(1)送信スタート	0	1
ASIFnレジスタのリード (TXBFnビット = 0を確認する)		<u>0</u>	1
データ(2)の書き込み		1	1
	<<送信中>>		
	<3> INTSTn割り込み発生	0	1
ASIFnレジスタのリード (TXBFnビット = 0を確認する)		<u>0</u>	1
データ(3)の書き込み		1	1
	<4> スタート・ビットの生成 データ(2)送信スタート <<送信中>>		
	<5> INTSTn割り込み発生	0	1
ASIFnレジスタのリード (TXBFnビット = 0を確認する)		<u>0</u>	1
データ(4)の書き込み		1	1

注 16.8 注意事項(2)を参照してください。

(2) 終了手順

連続送信を終了する手順を次に示します。

図16-8 連続送信の終了手順



送信終了手順	内部動作	ASIFnレジスタ	
		TXBFn	TXSFn
ASIFnレジスタのリード (TXBFnビット = 0を確認する) ← データ (m) の書き込み →	<6> データ (m - 2) の送信中	1	1
	<7> INTSTn割り込み発生 →	0	1
		<u>0</u>	1
ASIFnレジスタのリード (TXSFnビット = 1を確認する) ← 書き込みデータはなし	<8> スタート・ビットの生成 データ (m - 1) 送信スタート <<送信中>>	1	1
	<9> INTSTn割り込み発生 →	0	1
		0	<u>1</u>
ASIFnレジスタのリード (TXSFnビット = 0を確認する) ← UARTEnビットまたはTXEnビットをクリア (0)	<10> スタート・ビットの生成 データ (m) 送信スタート <<送信中>>		
	<11> INTSTn割り込み発生 →	0	0
		0	<u>0</u>
	内部回路の初期化		

## 16.6.4 受信動作

ASIMn.UARTEnビットをセット(1)し、次にASIMn.RXEnビットをセット(1)することにより、受信待ち状態になります。受信動作を開始するには、まず、RXDn端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDn端子がロウ・レベルであれば、スタート・ビットと認識します。受信動作を開始すると、設定されたボー・レートにあわせて、シリアル・データを順に受信シフト・レジスタに格納していきます。1フレームのデータ受信が終了するごとに受信完了割り込み要求信号 (INTSRn) が発生します。通常、この割り込み処理でRXBnレジスタからメモリに受信データを転送します。

### (1) 受信許可状態

受信動作はRXEnビットをセット(1)することにより、受信許可状態となります。

- ・RXEnビット = 1 : 受信許可状態
- ・RXEnビット = 0 : 受信禁止状態

なお、受信禁止状態では受信ハードウェアは初期状態で待機します。このとき、受信完了割り込み / 受信エラー割り込みは発生せず、RXBnレジスタの内容は保持されます。

### (2) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

ボー・レート・ジェネレータn (BRGn) からのシリアル・クロックでRXDn端子をサンプリングします。

### (3) 受信完了割り込み

RXEnビット = 1のとき、1フレーム分のデータの受信が完了(ストップ・ビットの検出)すると、INTSRn信号が発生すると同時に、受信シフト・レジスタ内の受信データをRXBnレジスタに転送します。

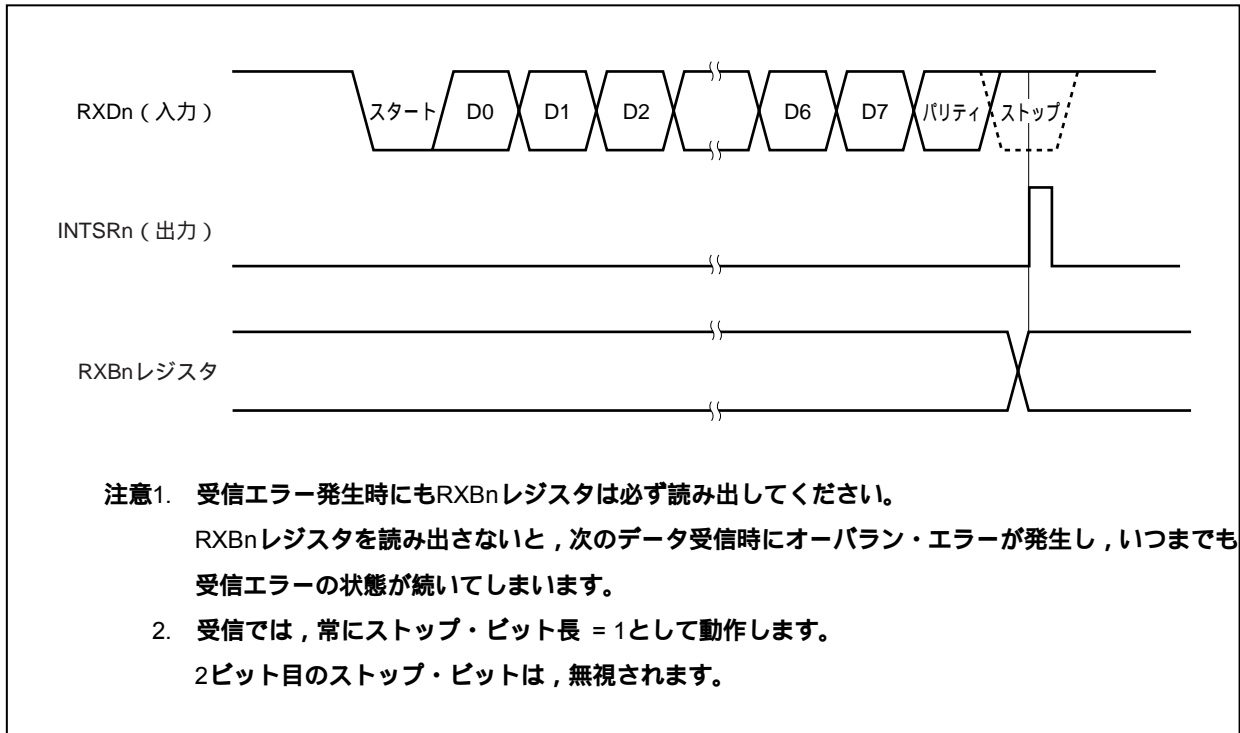
また、オーバラン・エラー (ASISn.OVEnビット = 1) が発生した場合、そのときの受信データは、RXBnレジスタに転送されず、ASIMn.ISRMnビットの設定に従って、INTSRn信号、または受信エラー割り込み要求信号 (INTSREn) が発生します。

なお、受信動作中にパリティ・エラー (ASISn.PEnビット = 1)、またはフレーミング・エラー (ASISn.FEnビット = 1) が発生した場合でも、ストップ・ビットの受信位置までは受信動作を継続し、受信完了後にISRMnビットの設定に従って、INTSRn信号またはINTSREn信号が発生します(受信シフト・レジスタ内の受信データはRXBnレジスタに転送されます)。

また、受信動作中にRXEnビットをクリア(0)すると、すぐに受信動作を停止します。このときRXBnレジスタとASISnレジスタの内容は変化せず、INTSRn信号またはINTSREn信号は発生しません。

RXEnビット = 0 (受信禁止) では、INTSRn信号またはINTSREn信号は発生しません。

図16 - 9 UARTn受信完了割り込みタイミング



### 16.6.5 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、ASISnレジスタの各フラグがセット(1)されると同時に、受信エラー割り込み要求信号 (INTSREn)、または受信完了割り込み要求信号 (INTSRn) が発生します。INTSREn信号またはINTSRn信号のどちらかを発生させるかは、ASIMn.ISRMnビットで指定します。

INTSREn/INTSRn割り込み処理内で、ASISnレジスタの内容を読み出すことによって、受信時に発生したエラーの内容を検出することができます。

ASISnレジスタの内容は、ASISnレジスタの読み出しによってクリア(0)されます。

表16-3 受信エラーの要因

エラー・フラグ	受信エラー	要 因
PEn	パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
FEn	フレーミング・エラー	ストップ・ビットが検出されない
OVEEn	オーバラン・エラー	RXBnレジスタからデータを読み出す前に次のデータ受信が完了

#### (1) 受信エラー割り込み要求信号の分離

ISRMnビットをクリア(0)することにより、受信エラー割り込み要求信号をINTSRn信号から分離し、INTSREn信号として発生させることができます。

図16-10 受信エラー割り込み要求信号をINTSRn信号から分離する場合 (ISRMnビット = 0)

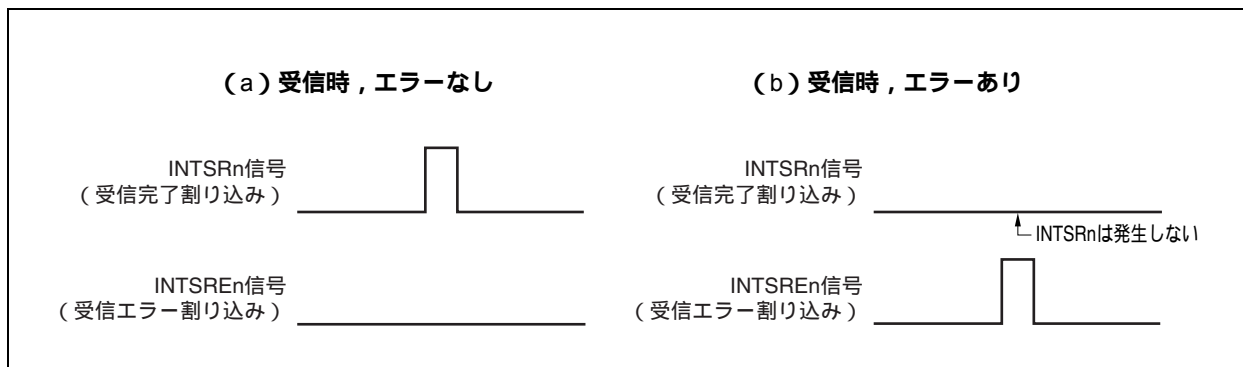
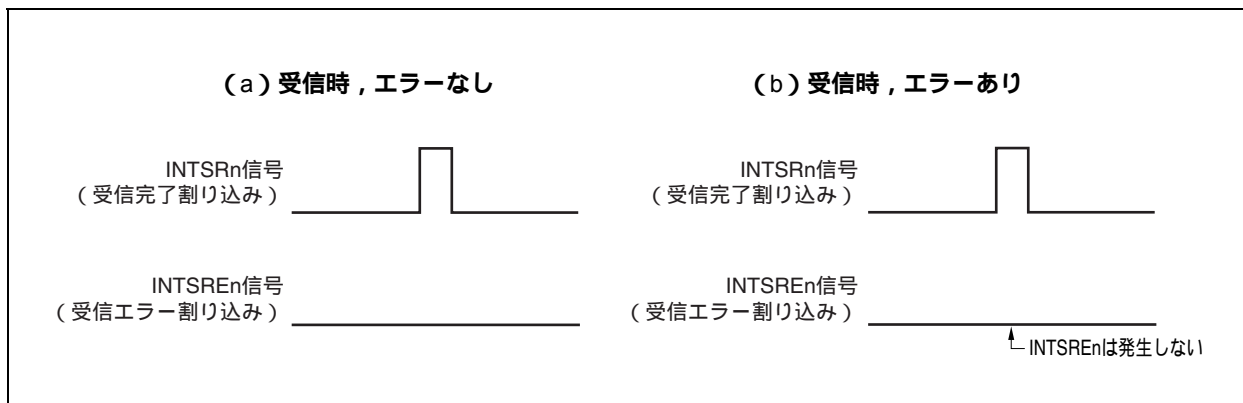


図16-11 受信エラー割り込み要求信号もINTSRn信号に含める場合 (ISRMnビット = 1)



## 16.6.6 パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

### (1) 偶数パリティ

#### (i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：1
- ・送信データ中に、値が“1”のビット数が偶数個：0

#### (ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

### (2) 奇数パリティ

#### (i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

#### (ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

### (3) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

### (4) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

### 16.6.7 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロック (f<sub>CLK</sub>) の立ち上がりでRXDn信号をサンプリングします。サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、1クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません (図16-13参照)。基本クロックについては16.7.1(1) 基本クロックを参照してください。

また、回路は図16-12のようになっているため、受信動作の内部での処理は、外部の信号状態により最大2クロック分遅れて動作することになります。

図16-12 ノイズ・フィルタ回路

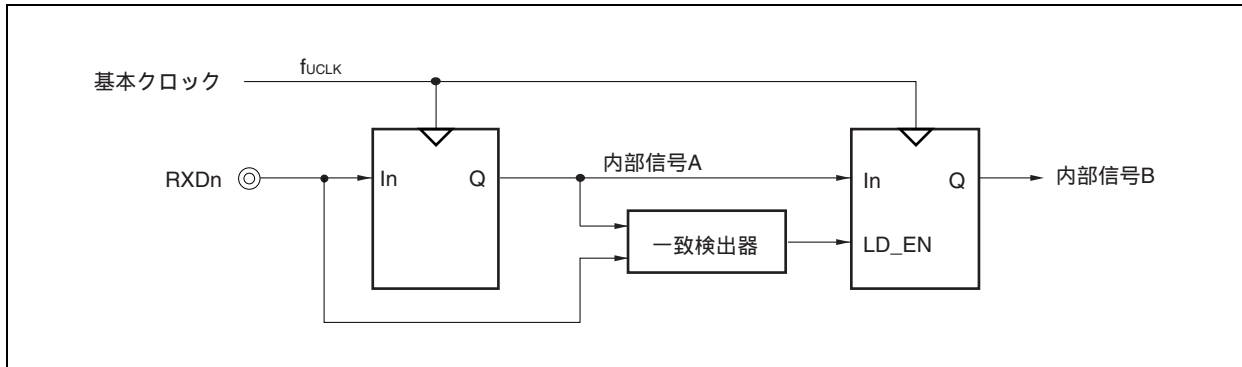
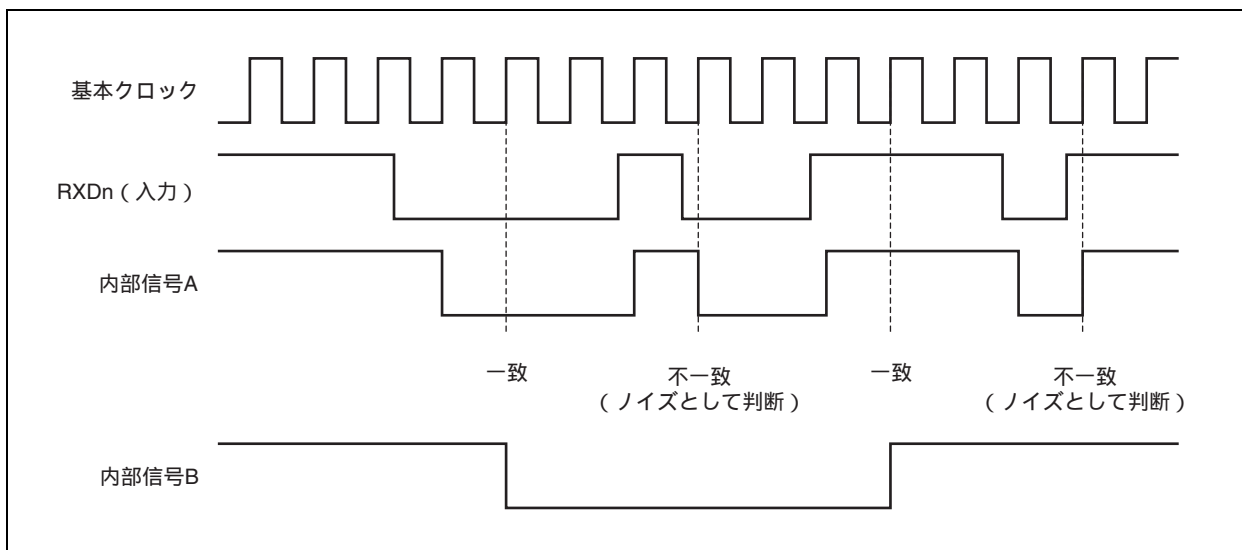


図16-13 ノイズとして判断されるRXDn信号のタイミング



### 16.6.8 SBF送受信 (UART0のみ)

V850ES/KJ1+のUART0には、LIN機能として使用するために、SBF ( Sync Break Field ) 送信 / 受信制御機能があります。

**備考** LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速 ( 1 ~ 20 kbps ) のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

LINのマスタは通常、CAN ( Controller Area Network ) などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が $\pm 15\%$ 以下であれば、通信可能です。



(1) SBF送信 / 受信フォーマット

LINの送信操作と受信操作の概略を、図16 - 14、図16 - 15に示します。

図16 - 14 LINの送信操作概略

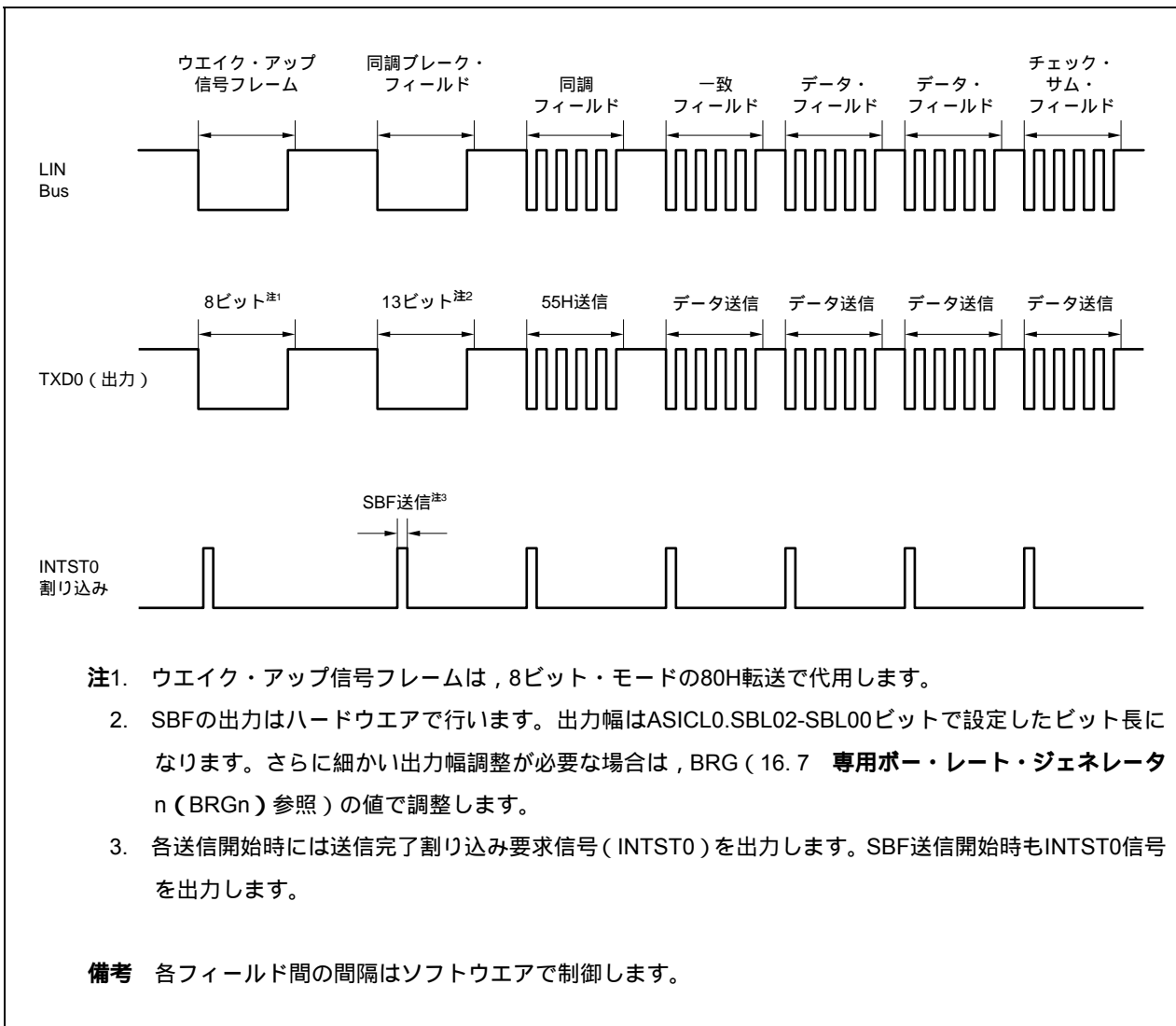
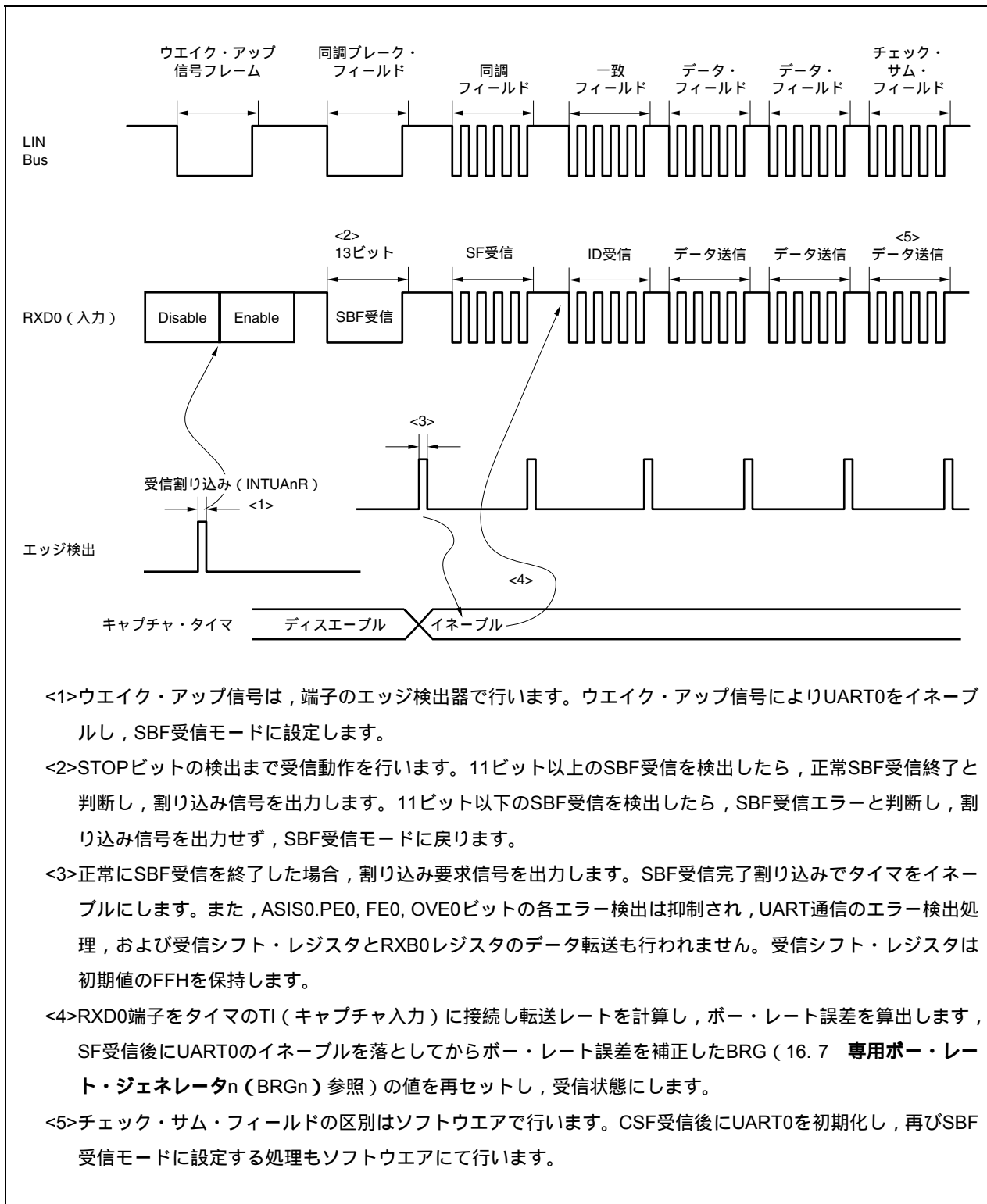


図16 - 15 LINの受信操作概略



<1>ウエイク・アップ信号は、端子のエッジ検出器で行います。ウエイク・アップ信号によりUART0をイネーブルし、SBF受信モードに設定します。

<2>STOPビットの検出まで受信動作を行います。11ビット以上のSBF受信を検出したら、正常SBF受信終了と判断し、割り込み信号を出力します。11ビット以下のSBF受信を検出したら、SBF受信エラーと判断し、割り込み信号を出力せず、SBF受信モードに戻ります。

<3>正常にSBF受信を終了した場合、割り込み要求信号を出力します。SBF受信完了割り込みでタイマをイネーブルにします。また、ASIS0.PE0, FE0, OVE0ビットの各エラー検出は抑制され、UART通信のエラー検出処理、および受信シフト・レジスタとRXB0レジスタのデータ転送も行われません。受信シフト・レジスタは初期値のFFHを保持します。

<4>RXD0端子をタイマのTI (キャプチャ入力) に接続し転送レートを計算し、ポー・レート誤差を算出します、SF受信後にUART0のイネーブルを落としてからポー・レート誤差を補正したBRG ( 16. 7 専用ポー・レート・ジェネレータn (BRGn) 参照) の値を再セットし、受信状態にします。

<5>チェック・サム・フィールドの区別はソフトウェアで行います。CSF受信後にUART0を初期化し、再びSBF受信モードに設定する処理もソフトウェアにて行います。

(2) SBF送信

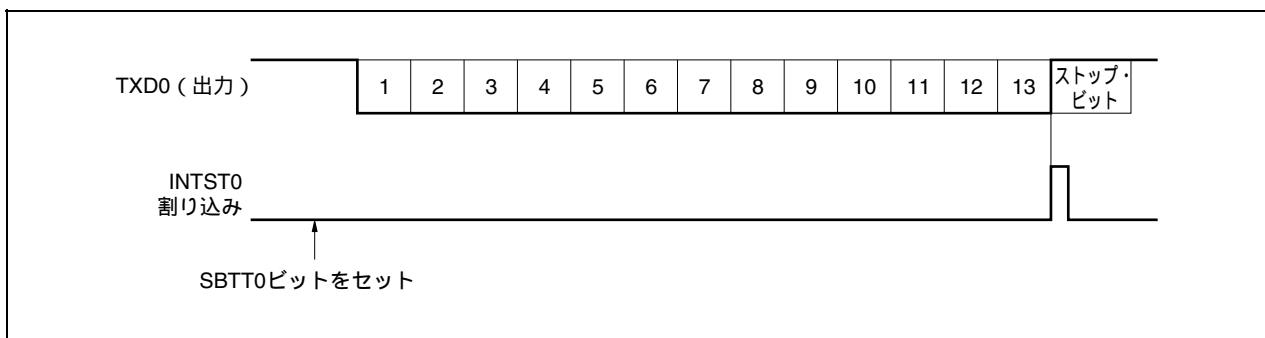
LINに搭載する場合、送信ではSBF ( Synchronous Break Field ) 送信制御機能を使用します。LINの送信操作については図16 - 14 LINの送信操作概略を参照してください。

ASIM0.UARTE0ビットをセット(1)すると、TXD0端子からハイ・レベル出力されます。次にASIM0.TXE0ビットをセット(1)すると送信許可状態になり、ASICL0.SBTT0ビットをセット(1)することによりSBF送信動作は起動します。

起動後、13ビットから20ビットまでのロウ・レベル( ASICL0.SBL02-SBL00で設定 )を出力します。SBF送信が完了すると、送信完了割り込み要求信号 ( INTST0 ) を発生し、ASICL0.SBTT0は自動的にクリアされます。SBF送信を終了後、通常送信モードに戻ります。

次に送信するデータをTXB0レジスタに書き込む、あるいはASICL0.SBTT0ビットをセット(1)するまで、送信動作は中断します。

図16 - 16 SBF送信



(3) SBF受信

ASIM0.UARTE0ビット = 1にして、次に、ASIM0.RXE0ビット = 1にすることにより、受信待ち状態になります。

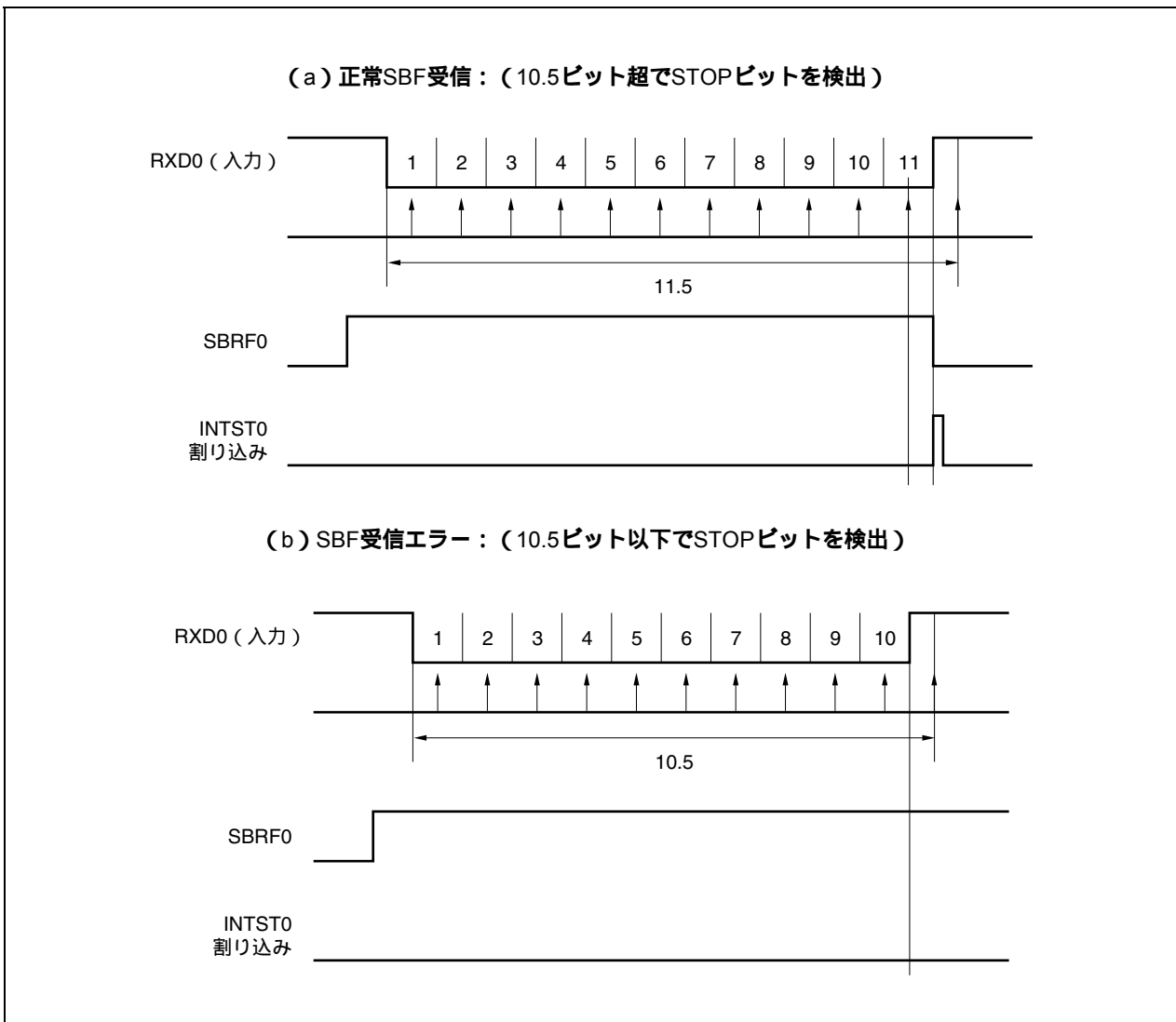
SBF受信トリガ (ASICL0.SBRT0ビット) をセット (1) することで、SBF受信待ち状態になります。

SBF受信待ち状態はUARTの受信待ち状態と同じくRXD0端子をモニタし、スタート・ビットの検出を行います。

スタート・ビットを検出したら、受信動作を開始し、設定されたボー・レートにあわせて、内蔵カウンタをカウント・アップします。

ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求信号 (INTSR0) を発生します。ASICL0.SBRF0ビットは自動的にクリアされ、SBF受信を終了します。ASIS0.PE0, FE0, OVE0ビットの各エラー検出は抑制されUART通信のエラー検出処理は行われません。また、受信シフト・レジスタとRXB0レジスタのデータの転送も行われず、初期値のFFHを保持します。SBFの幅が10ビット長以下の場合、エラー処理として、割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。その際ASICL0.SBRF0ビットはクリアされません。

図16 - 17 SBF受信



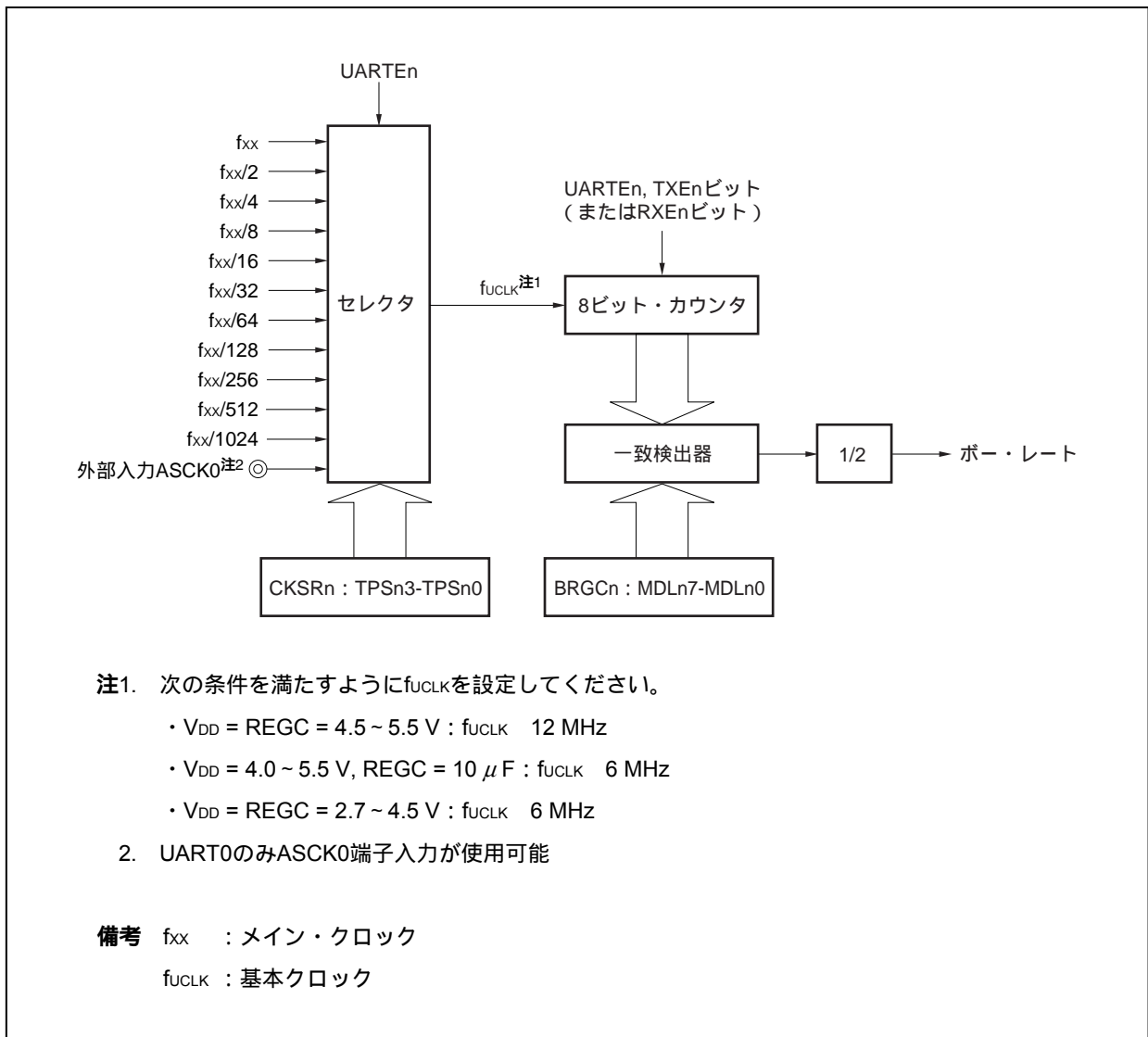
## 16.7 専用ポー・レート・ジェネレータ<sub>n</sub> (BRG<sub>n</sub>)

専用ポー・レート・ジェネレータは、ソース・クロック・セレクタ部と8ビットのプログラマブル・カウンタにより構成され、UART<sub>n</sub>における送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

### 16.7.1 ポー・レート・ジェネレータ<sub>n</sub> (BRG<sub>n</sub>) の構成

図16-18 ポー・レート・ジェネレータ<sub>n</sub> (BRG<sub>n</sub>) の構成



#### (1) 基本クロック

ASIM<sub>n</sub>.UART<sub>n</sub>ビット = 1のとき、CKSR<sub>n</sub>.TPSn3-TPSn0ビットで選択したクロックを送信/受信ユニットに供給します。このクロックを基本クロック ( $f_{UCLK}$ ) と呼びます。UART<sub>n</sub>ビット = 0のときは、 $f_{UCLK}$  はロウ・レベルに固定となります。

### 16. 7. 2 シリアル・クロックの生成

CKSRnレジスタとBRGCnレジスタの設定により、シリアル・クロックを生成できます。  
 CKSRn.TPSn3-TPSn0ビットにより、8ビット・カウンタへの基本クロックを選択します。  
 BRGCn.MDLn7-MDLn0ビットにより、8ビット・カウンタの分周値を設定できます。

#### (1) クロック選択レジスタn (CKSRn)

CKSRnレジスタは、TPSn3-TPSn0ビットにより、基本クロックを選択するための8ビット・レジスタです。TPSn3-TPSn0ビットで選択されたクロックが、送受信モジュールの基本クロック ( $f_{UCLK}$ ) になります。8ビット単位でリード/ライト可能です。リセットにより00Hになります。

**注意** TPSn3-TPSn0ビットを書き換える場合は、ASIMn.UARTE<sub>n</sub>ビット = 0にしてから行ってください。

リセット時：00H    R/W    アドレス：CKSR0 FFFFFFFA06H, CKSR1 FFFFFFFA16H, CKSR2 FFFFFFFA26H

	7	6	5	4	3	2	1	0
CKSRn	0	0	0	0	TPSn3	TPSn2	TPSn1	TPSn0

(n = 0-2)

TPSn3	TPSn2	TPSn1	TPSn0	基本クロック ( $f_{UCLK}$ ) <sup>注1</sup>
0	0	0	0	$f_{XX}$
0	0	0	1	$f_{XX}/2$
0	0	1	0	$f_{XX}/4$
0	0	1	1	$f_{XX}/8$
0	1	0	0	$f_{XX}/16$
0	1	0	1	$f_{XX}/32$
0	1	1	0	$f_{XX}/64$
0	1	1	1	$f_{XX}/128$
1	0	0	0	$f_{XX}/256$
1	0	0	1	$f_{XX}/512$
1	0	1	0	$f_{XX}/1024$
1	0	1	1	外部クロック <sup>注2</sup> (ASCK0端子)
上記以外				設定禁止

**注1.** 次の条件を満たすように $f_{UCLK}$ を設定してください。

- $V_{DD} = REGC = 4.5 \sim 5.5 \text{ V}$                                    :  $f_{UCLK}$  12 MHz
- $V_{DD} = 4.0 \sim 5.5 \text{ V}$ ,  $REGC = 10 \mu\text{F}$                                  :  $f_{UCLK}$  6 MHz
- $V_{DD} = REGC = 2.7 \sim 4.5 \text{ V}$                                    :  $f_{UCLK}$  6 MHz

2. UART0のみASCK0端子入力クロックを使用可能  
 UART1, UART2は設定禁止

**備考**  $f_{XX}$  : メイン・クロック周波数

(2) ボー・レート・ジェネレータ・コントロール・レジスタ<sub>n</sub> (BRGC<sub>n</sub>)

BRGC<sub>n</sub>レジスタは、UART<sub>n</sub>のボー・レート（シリアル転送スピード）を制御する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。

**注意** MDLn7-MDLn0ビットを書き換える場合は、ASIMn.TXEnビット = 0, RXEnビット = 0にしてから行ってください。

リセット時：FFH R/W アドレス：BRGC0 FFFFFFFA07H, BRGC1 FFFFFFFA17H, BRGC2 FFFFFFFA27H



MD Ln7	MD Ln6	MD Ln5	MD Ln4	MD Ln3	MD Ln2	MD Ln1	MD Ln0	設定値 (k)	シリアル・クロック
0	0	0	0	0	x	x	x	-	設定禁止
0	0	0	0	1	0	0	0	8	f <sub>uclk</sub> /8
0	0	0	0	1	0	0	1	9	f <sub>uclk</sub> /9
0	0	0	0	1	0	1	0	10	f <sub>uclk</sub> /10
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	0	1	0	250	f <sub>uclk</sub> /250
1	1	1	1	1	0	1	1	251	f <sub>uclk</sub> /251
1	1	1	1	1	1	0	0	252	f <sub>uclk</sub> /252
1	1	1	1	1	1	0	1	253	f <sub>uclk</sub> /253
1	1	1	1	1	1	1	0	254	f <sub>uclk</sub> /254
1	1	1	1	1	1	1	1	255	f <sub>uclk</sub> /255

- 備考1.** f<sub>uclk</sub> : CKSR0.TPSn3-TPSn0ビットで選択した基本クロック周波数 [ Hz ]
2. k : MDLn7-MDLn0ビットで設定した値 ( k = 8, 9, 10, ... , 255 )
3. 8ビット・カウンタの出カクロックを2分周したものがボー・レートとなります。
4. x : 任意

## (3) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート [ bps ]} = \frac{f_{\text{CLK}}}{2 \times k}$$

$f_{\text{CLK}}$  : CKSRn.TPSn3-TPSn0ビットで選択した基本クロック周波数 [ Hz ]

$k$  : BRGCn.MDLn7-MDLn0ビットで設定した値 (  $k = 8, 9, 10, \dots, 255$  )

## (4) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left( \frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right) \times 100$$

**注意1.** 送信時のボー・レート誤差は、受信先の許容誤差以内になしてください。

**2.** 受信時のボー・レート誤差は、16. 7. 4 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

**例** 基本クロックの周波数 = 10 MHz = 10,000,000 Hz

BRGCn.MDL7-MDL0ビットの設定値 = 00100001B (  $k = 33$  )

目標ボー・レート = 153,600 bps

$$\begin{aligned} \text{ボー・レート} &= 10,000,000 / (2 \times 33) \\ &= 151,515 \text{ [ bps ]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (151,515 / 153,600 - 1) \times 100 \\ &= -1.357 \text{ [\%]} \end{aligned}$$



### 16.7.3 ボー・レート設定例

表16-4 ボー・レート・ジェネレータ設定データ

ボー・レート ( bps )	f <sub>xx</sub> = 20 MHz			f <sub>xx</sub> = 16 MHz			f <sub>xx</sub> = 10 MHz		
	f <sub>uCLK</sub>	k	ERR	f <sub>uCLK</sub>	k	ERR	f <sub>uCLK</sub>	k	ERR
300	f <sub>xx</sub> /512	41H ( 65 )	0.16	f <sub>xx</sub> /1024	1AH ( 26 )	0.16	f <sub>xx</sub> /256	41H ( 65 )	0.16
600	f <sub>xx</sub> /256	41H ( 65 )	0.16	f <sub>xx</sub> /1024	0DH ( 13 )	0.16	f <sub>xx</sub> /128	41H ( 65 )	0.16
1200	f <sub>xx</sub> /128	41H ( 65 )	0.16	f <sub>xx</sub> /512	0DH ( 13 )	0.16	f <sub>xx</sub> /64	41H ( 65 )	0.16
2400	f <sub>xx</sub> /64	41H ( 65 )	0.16	f <sub>xx</sub> /256	0DH ( 13 )	0.16	f <sub>xx</sub> /32	41H ( 65 )	0.16
4800	f <sub>xx</sub> /32	41H ( 65 )	0.16	f <sub>xx</sub> /128	0DH ( 13 )	0.16	f <sub>xx</sub> /16	41H ( 65 )	0.16
9600	f <sub>xx</sub> /16	41H ( 65 )	0.16	f <sub>xx</sub> /64	0DH ( 13 )	0.16	f <sub>xx</sub> /8	41H ( 65 )	0.16
10400	f <sub>xx</sub> /64	0FH ( 15 )	0.16	f <sub>xx</sub> /64	0CH ( 12 )	0.16	f <sub>xx</sub> /32	0FH ( 15 )	0.16
19200	f <sub>xx</sub> /8	41H ( 65 )	0.16	f <sub>xx</sub> /32	0DH ( 13 )	0.16	f <sub>xx</sub> /4	41H ( 65 )	0.16
24000	f <sub>xx</sub> /32	0DH ( 13 )	0.16	f <sub>xx</sub> /2	A7H ( 167 )	- 0.20	f <sub>xx</sub> /16	0DH ( 13 )	0.16
31250	f <sub>xx</sub> /32	0AH ( 10 )	0.00	f <sub>xx</sub> /32	08H ( 8 )	0.00	f <sub>xx</sub> /16	0AH ( 10 )	0
33600	f <sub>xx</sub> /2	95H ( 149 )	- 0.13	f <sub>xx</sub> /2	77H ( 119 )	0.04	f <sub>xx</sub>	95H ( 149 )	- 0.13
38400	f <sub>xx</sub> /4	41H ( 65 )	0.16	f <sub>xx</sub> /16	0DH ( 13 )	0.16	f <sub>xx</sub> /2	41H ( 65 )	0.16
48000	f <sub>xx</sub> /16	0DH ( 13 )	0.16	f <sub>xx</sub> /2	53H ( 83 )	0.40	f <sub>xx</sub> /8	0DH ( 13 )	0.16
56000	f <sub>xx</sub> /2	59H ( 89 )	0.32	f <sub>xx</sub> /2	47H ( 71 )	0.60	f <sub>xx</sub>	59H ( 89 )	0.32
62500	f <sub>xx</sub> /16	0AH ( 10 )	0.00	f <sub>xx</sub> /16	08H ( 8 )	0.00	f <sub>xx</sub> /8	0AH ( 10 )	0.00
76800	f <sub>xx</sub> /2	41H ( 65 )	0.16	f <sub>xx</sub> /8	0DH ( 13 )	0.16	f <sub>xx</sub>	41H ( 65 )	0.16
115200	f <sub>xx</sub> /2	2BH ( 43 )	0.94	f <sub>xx</sub> /2	23H ( 35 )	- 0.79	f <sub>xx</sub>	2BH ( 43 )	0.94
153600	f <sub>xx</sub> /2	21H ( 33 )	- 1.36	f <sub>xx</sub> /4	0DH ( 13 )	0.16	f <sub>xx</sub>	21H ( 33 )	- 1.36
312500	f <sub>xx</sub> /4	08H ( 8 )	0	f <sub>xx</sub> /2	0DH ( 13 )	- 1.54	f <sub>xx</sub> /2	08H ( 8 )	0.00

**注意** 基本クロック ( f<sub>uCLK</sub> ) の許容周波数は次のとおりです。

- V<sub>DD</sub> = REGC = 4.5 ~ 5.5 V : f<sub>uCLK</sub> 12 MHz
- V<sub>DD</sub> = 4.0 ~ 5.5 V, REGC = 10 μF : f<sub>uCLK</sub> 6 MHz
- V<sub>DD</sub> = REGC = 2.7 ~ 4.5 V : f<sub>uCLK</sub> 6 MHz

**備考** f<sub>xx</sub> : メイン・クロック周波数

f<sub>uCLK</sub> : 基本クロック周波数

k : BRGCn.MDLn7-MDLn0ビットの設定値

ERR : ボー・レート誤差 [ % ]

n = 0-2

### 16.7.4 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

**注意** 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図16 - 19 受信時の許容ボー・レート範囲

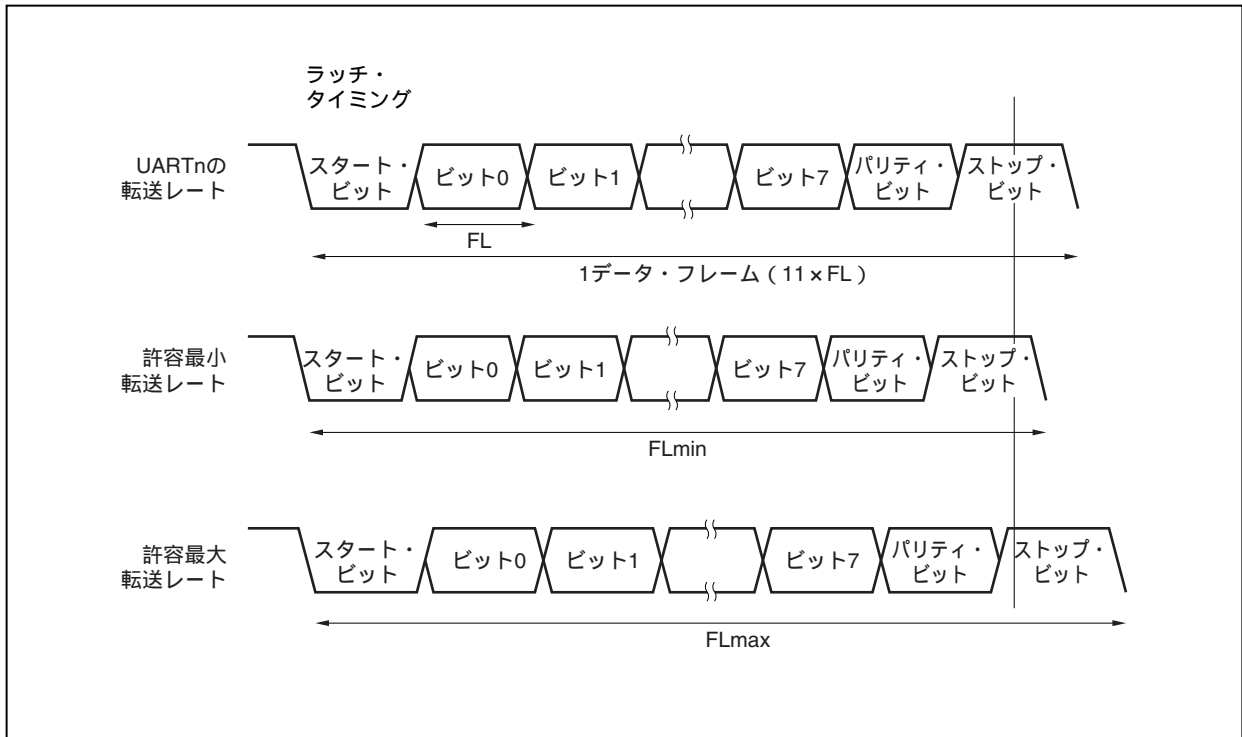


図16 - 19に示すように、スタート・ビット検出後はBRGCnレジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

- Brate : UARTnのボー・レート
- k : BRGCnレジスタの設定値
- FL : 1ビット・データ長

ラッチ・タイミングのマージンを基本クロックの2クロック分とすると、許容最小転送レート (FLmin) は次のようになります。

$$FL_{\min} = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レート (BRmax) は次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大転送レート (FLmax) を求めると、次のようになります。

$$\frac{10}{11} \times FL_{max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レート (BRmin) は次のようになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UARTnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表16-5 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	+ 3.53 %	- 3.61 %
20	+ 4.26 %	- 4.31 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.73 %

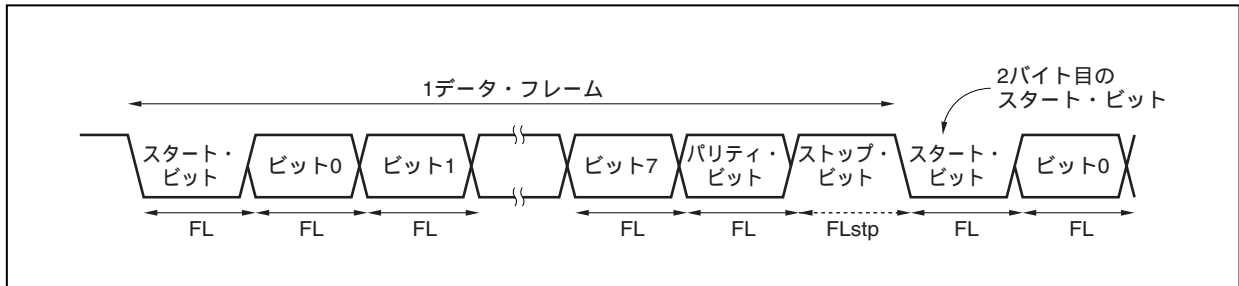
**備考1.** 受信の精度は、1フレーム・ビット数、基本クロック周波数、分周比 (k) に依存します。基本クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : BRGCnレジスタの設定値

### 16.7.5 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図16 - 20 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：f<sub>uCLK</sub>とすると次の式が成り立ちます。

$$FLstp = FL + 2 / f_{uCLK}$$

したがって、連続送信での転送レートは次のようになります（ストップ・ビット長 = 1の場合）。

$$\text{転送レート} = 11 \times FL + (2 / f_{uCLK})$$

## 16.8 注意事項

UARTnについての注意事項を次に示します。

- (1) UARTnへの供給クロックが停止する場合（例：IDLE, STOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はASIMn.UARTE<sub>n</sub>, RXEn, TXEnビット = 000とし、回路を初期化してください。
- (2) UARTnは、TXBnレジスタ、送信シフト・レジスタの2段バッファ構成になっており、それぞれのバッファの状態を示すステータス・フラグ（ASIFn.TXBF<sub>n</sub>, TXSF<sub>n</sub>ビット）があります。連続送信でTXBF<sub>n</sub>, TXSF<sub>n</sub>ビットを同時に読み出した場合、「10」「11」「01」と変化します。連続送信を行う場合は、次のデータをTXBnレジスタへ書き込むタイミングについて、TXBF<sub>n</sub>ビットのみを読み出して判断してください。

## 第17章 クロック同期式シリアル・インタフェース0 (CSI0)

V850ES/KJ1+はクロック同期式シリアル・インタフェース0 (CSI0) を3チャンネル搭載しております。

### 17.1 特 徴

最大転送速度：5 Mbps

マスタ・モードとスレーブ・モードを選択可能

送信データ長：8ビット / 16ビットに設定可能

転送データ方向をMSB先頭 / LSB先頭切り替え可能

8本のクロック信号を選択可能 (7本のマスタ・クロックと1本のスレーブ・クロック)

3線式 SO0n : シリアル送信データ出力

SI0n : シリアル受信データ入力

$\overline{\text{SCK0n}}$  : シリアル・クロック入出力

割り込みソース1種

・送受信完了割り込み要求信号 (INTCSI0n)

送受信モードと受信専用モードを指定可能

2つの送信バッファ・レジスタ (SOTBFn/SOTBFLn, SOTBn/SOTBLn) と2つの受信バッファ・レジスタ (SIRBn/SIRBLn, SIRBE $\overline{\text{n}}$ /SIRBELn) を内蔵

シングル転送モードと連続転送モードを指定可能

**備考** n = 0-2

## 17.2 構成

CSIM0nレジスタによって、CSI0nを制御します。

### (1) クロック同期式シリアル・インタフェース・モード・レジスタ0n (CSIM0n)

CSIM0nレジスタは、CSI0nの動作を指定する8ビット・レジスタです。

### (2) クロック同期式シリアル・インタフェース・クロック選択レジスタn (CSICn)

CSICnレジスタは、CSI0nのシリアル転送動作を制御する8ビット・レジスタです。

### (3) シリアルI/Oシフト・レジスタ0n (SIO0n)

SIO0nレジスタは、パラレル・データをシリアル・データに変換する16ビット・シフト・レジスタです。

SIO0nレジスタは送信および受信の両方に使用されます。

データは、MSB側またはLSB側からシフト・イン（受信）またはシフト・アウト（送信）されます。

バッファ・レジスタへのアクセスで実際の送受信動作が起動されます。

### (4) シリアルI/Oシフト・レジスタ0nL (SIO0nL)

SIO0nLレジスタは、パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです。

SIO0nLレジスタは送信および受信の両方に使用されます。

データは、MSB側またはLSB側からシフト・イン（受信）またはシフト・アウト（送信）されます。

バッファ・レジスタへのアクセスで実際の送受信動作が起動されます。

### (5) クロック同期式シリアル・インタフェース受信バッファ・レジスタn (SIRBn)

SIRBnレジスタは、受信データを格納する16ビット・バッファ・レジスタです。

### (6) クロック同期式シリアル・インタフェース受信バッファ・レジスタnL (SIRBnL)

SIRBnLレジスタは、受信データを格納する8ビット・バッファ・レジスタです。

### (7) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタn (SIRBEn)

SIRBEnレジスタは、受信データを格納する16ビット・バッファ・レジスタです。

SIRBEnレジスタは、SIRBnレジスタと同じものです。SIRBnレジスタの内容を読み出す場合に使用します。

### (8) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタnL (SIRBEnL)

SIRBEnLレジスタは、受信データを格納する8ビット・バッファ・レジスタです。

SIRBEnLレジスタは、SIRBnLレジスタと同じものです。SIRBnLレジスタの内容を読み出す場合に使用します。

### (9) クロック同期式シリアル・インタフェース送信バッファ・レジスタn (SOTBn)

SOTBnレジスタは、送信データを格納する16ビット・バッファ・レジスタです。

### (10) クロック同期式シリアル・インタフェース送信バッファ・レジスタnL (SOTBnL)

SOTBnLレジスタは、送信データを格納する8ビット・バッファ・レジスタです。

**(11) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ<sub>n</sub> (SOTBF<sub>n</sub>)**

SOTBF<sub>n</sub>レジスタは、連続転送モードでの初段送信データを格納する16ビット・バッファ・レジスタです。

**(12) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ<sub>nL</sub> (SOTBF<sub>nL</sub>)**

SOTBF<sub>nL</sub>レジスタは、連続転送モードでの初段送信データを格納する8ビット・バッファ・レジスタです。

**(13) セレクタ**

使用するシリアル・クロックを選択します。

**(14) シリアル・クロック制御回路**

シリアル・クロックのシフト・レジスタへの供給を制御します。また、内部クロック使用時にはSCK0<sub>n</sub>端子へ出力するクロックの制御も行います。

**(15) シリアル・クロック・カウンタ**

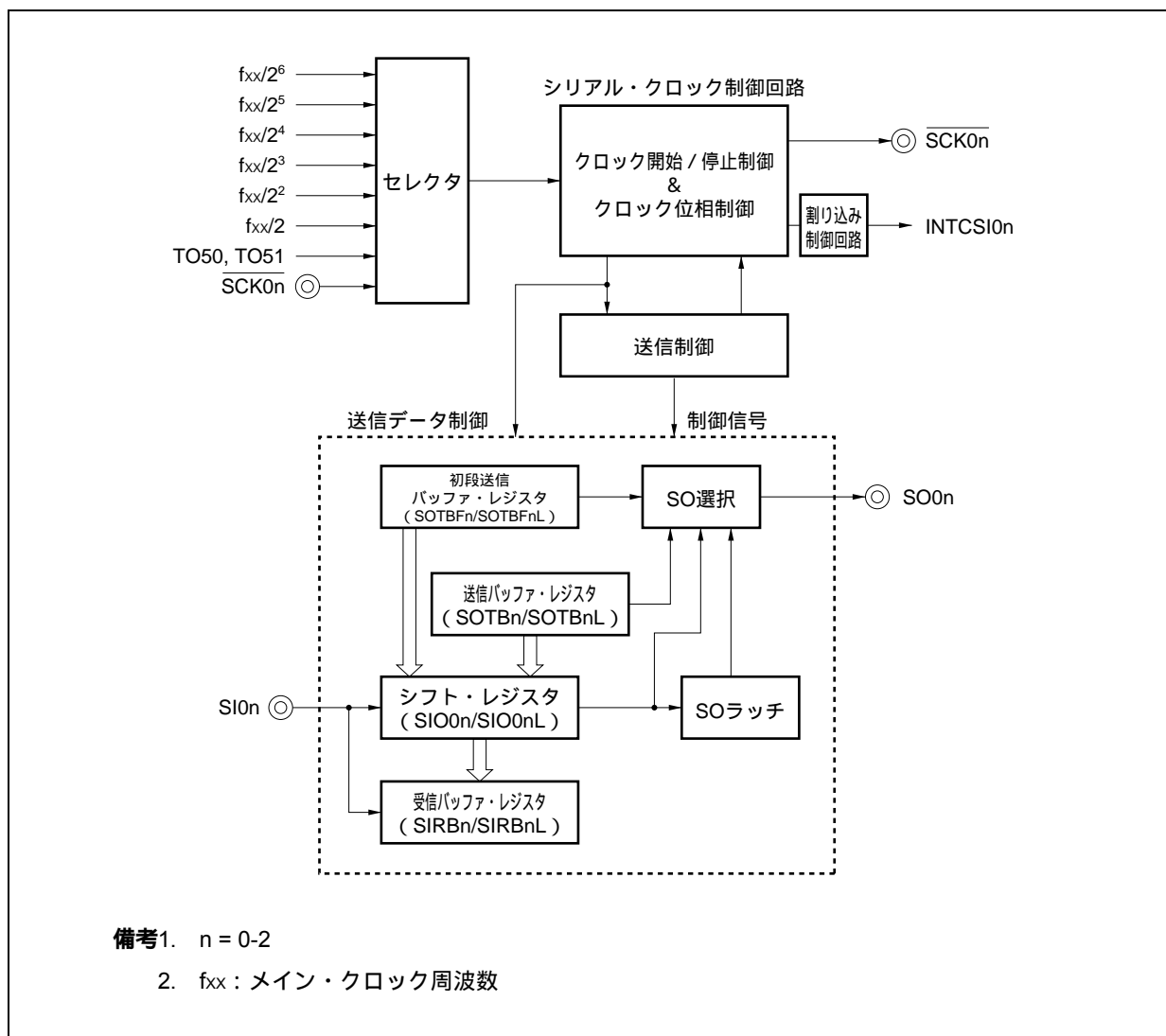
送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8/16ビット・データの送受信が行われたことを調べます。

**(16) 割り込み制御回路**

割り込み要求タイミングを制御します。

**備考** n = 0-2

図17 - 1 クロック同期式シリアル・インタフェースのブロック図





## 17.3 レジスタ

### (1) クロック同期式シリアル・インタフェース・モード・レジスタ0n (CSIM0n)

CSIM0nレジスタは、CSI0nの動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です(ただし、CSOTnビットはリードだけ可能です)。

リセットにより00Hになります。

**注意** TRMDn, CCLn, DIRn, CSITn, AUTOnビットの書き換えは、CSOTnビット = 0のときだけ可能です。CSOTnビット = 1のときにこれらのビットを書き換えた場合の動作は保証しません。

(1/2)

リセット時：00H R/W アドレス：CSIM00 FFFFFFFD00H, CSIM01 FFFFFFFD10H, CSIM02 FFFFFFFD20H

	⑦	⑥	5	④	3	2	1	①
CSIM0n	CSI0En	TRMDn	CCLn	DIRn	CSITn	AUTOn	0	CSOTn

(n = 0-2)

CSI0En	CSI0n動作許可 / 禁止を指定
0	CSI0n動作禁止
1	CSI0n動作許可

CSI0Enビットをクリア(0)することで、CSI0nの内部回路を非同期にリセット<sup>注</sup>することができます。CSI0Enビット = 0のときのSCK0n, SO0n端子出力状態については17.5 出力端子を参照してください。

TRMDn	送受信モードを指定
0	受信専用モード
1	送受信モード

TRMDnビット = 0の場合、受信モードになり、SO0nはロウ・レベルを出力します。SIRBnレジスタの読み出しにより、データ受信を開始します。  
TRMDnビット = 1の場合、SOTBnレジスタへのデータ書き込みにより送受信が開始されます。

CCLn	データ長を指定
0	8ビット
1	16ビット

DIRn	転送方向モード (MSB/LSB) を指定
0	転送データ先頭ビットはMSB
1	転送データ先頭ビットはLSB

**注** リセットされるのは、CSOTnビット、SIRBn、SIRBnL、SIRBE、SIRBE nL、SIO n、SIO nLレジスタです。

**備考** n = 0-2

CSITn	割り込み要求信号の遅延制御を行う
0	遅延なし
1	遅延モード (割り込み要求信号がシリアル・クロックに対して半サイクル遅れる)

遅延モード (CSITnビット = 1) は、マスタ・モード (CSICn.CKS0n2-CKS0n0ビット = 111Bでない) のときだけ有効です。スレーブ・モード (CKS0n2-CKS0n0ビット = 111B) 時は、遅延モードに設定しないでください。

AUTOn	シングル転送 / 連続転送モードを指定
0	シングル転送モード
1	連続転送モード

CSOTn	通信状態フラグ
0	通信停止
1	通信中

CSOTnビットは、CSI0Enビット = 0でクリア (0) されます。

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタn (CSICn)

CSICnレジスタは、CSI0nの転送動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** CSICnレジスタはCSIM0n.CSI0Enビット = 0のときだけ書き換えられます。

リセット時：00H R/W アドレス：CSIC0 FFFFFFFD01H, CSIC1 FFFFFFFD11H, CSIC2 FFFFFFFD21H

	7	6	5	4	3	2	1	0
CSICn	0	0	0	CKPn	DAPn	CKS0n2	CKS0n1	CKS0n0

(n = 0-2)

CKPn	DAPn	SCK0nに対するデータの送受信タイミングの指定
0	0	(タイプ1)
0	1	(タイプ2)
1	0	(タイプ3)
1	1	(タイプ4)

CKS0n2	CKS0n1	CKS0n0	シリアル・クロック <sup>注1</sup>	モード
0	0	0	$f_{xx}/2$	マスタ・モード
0	0	1	$f_{xx}/2^2$	マスタ・モード
0	1	0	$f_{xx}/2^3$	マスタ・モード
0	1	1	$f_{xx}/2^4$	マスタ・モード
1	0	0	$f_{xx}/2^5$	マスタ・モード
1	0	1	$f_{xx}/2^6$	マスタ・モード
1	1	0	TO50, TO51 <sup>注2</sup> で生成されるクロック	マスタ・モード
1	1	1	外部クロック (SCK0n端子)	スレーブ・モード

注1. 次の条件を満たすようにシリアル・クロックを設定してください。

- ・  $V_{DD} = REGC = 4.0 \sim 5.5 V$  : シリアル・クロック 5 MHz
- ・  $V_{DD} = 4.0 \sim 5.5 V, REGC = 10 \mu F$  : シリアル・クロック 2.5 MHz
- ・  $V_{DD} = REGC = 2.7 \sim 4.0 V$  : シリアル・クロック 2.5 MHz

- CSI00のときTO50  
CSI01, CSI02のときTO51

備考  $f_{xx}$  : メイン・クロック周波数

(3) クロック同期式シリアル・インタフェース受信バッファ・レジスタ<sub>n, nL</sub> (SIRBn, SIRBnL)

SIRBnレジスタは、受信データを格納する16ビット・バッファ・レジスタです。

受信専用モード (CSIM0n.TRMDnビット = 0) に設定したとき、SIRBnレジスタからデータを読み出すことにより、受信動作を開始します。

16ビット単位でリードだけ可能です。ただし下位8ビットをSIRBnLレジスタとして使用する場合は、8ビット単位でリードだけ可能です。

リセット入力以外に、CSIM0n.CSI0Enビットをクリア (0) した場合も0000Hになります。

**注意1.** SIRBnレジスタは、16ビット・データ長 (CSIM0n.CCLnビット = 1) に設定したときだけリードしてください。

SIRBnLレジスタは、8ビット・データ長 (CCLnビット = 0) に設定したときだけリードしてください。

**2.** シングル転送モード (CSIM0n.AUTOnビット = 0) に設定したときには、アイドル状態中 (CSIM0n.CSOTnビット = 0) だけリードしてください。データ転送中にSIRBn, SIRBnLレジスタをリードした場合のデータは保証しません。

(a) SIRBnレジスタ

リセット時：0000H R アドレス：SIRB0 FFFFFFFD02H, SIRB1 FFFFFFFD12H, SIRB2 FFFFFFFD22H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn	SIRBn
(n = 0-2)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(b) SIRBnLレジスタ

リセット時：00H R アドレス：SIRB0L FFFFFFFD02H, SIRB1L FFFFFFFD12H, SIRB2L FFFFFFFD22H

	7	6	5	4	3	2	1	0
SIRBnL	SIRBn7	SIRBn6	SIRBn5	SIRBn4	SIRBn3	SIRBn2	SIRBn1	SIRBn0
(n = 0-2)								

(4) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ<sub>n</sub>, nL (SIRBE<sub>n</sub>, SIRBE<sub>n</sub>L)

SIRBE<sub>n</sub>レジスタは、受信データを格納する16ビット・バッファ・レジスタです。

SIRBE<sub>n</sub>レジスタは、SIRB<sub>n</sub>レジスタと同じものですが、SIRBE<sub>n</sub>レジスタを読み出しても次の動作は開始しません。シリアル受信を継続しないときのSIRB<sub>n</sub>レジスタの内容を読み出す場合に使用します。

16ビット単位でリードだけ可能です。ただし下位8ビットをSIRBE<sub>n</sub>Lレジスタとして使用する場合は、8ビット単位でリードだけ可能です。

リセット入力以外に、CSIM0<sub>n</sub>.CSI0Enビットをクリア(0)した場合も0000Hになります。

注意1. SIRBE<sub>n</sub>, SIRBE<sub>n</sub>Lレジスタからデータを読み出しても、受信動作は開始しません。

2. SIRBE<sub>n</sub>レジスタは、16ビット・データ長(CSIM0<sub>n</sub>.CCL<sub>n</sub>ビット = 1)に設定したときだけリードしてください。

SIRBE<sub>n</sub>Lレジスタは、8ビット・データ長(CCL<sub>n</sub>ビット = 0)に設定したときだけリードしてください。

(a) SIRBE<sub>n</sub>レジスタ

リセット時 : 0000H R アドレス : SIRBE0 FFFFFFFD06H, SIRBE1 FFFFFFFD16H, SIRBE2 FFFFFFFD26H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRBE <sub>n</sub>	SIRBE <sub>n</sub>	SIRBE <sub>n</sub>	SIRBE <sub>n</sub>	SIRBE <sub>n</sub>	SIRBE <sub>n</sub>	SIRBE <sub>n</sub>	SIRBE <sub>n</sub>	SIRBE <sub>n</sub>	SIRBE <sub>n</sub>	SIRBE <sub>n</sub>	SIRBE <sub>n</sub>	SIRBE <sub>n</sub>	SIRBE <sub>n</sub>	SIRBE <sub>n</sub>	SIRBE <sub>n</sub>	SIRBE <sub>n</sub>
(n = 0-2)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(b) SIRBE<sub>n</sub>Lレジスタ

リセット時 : 00H R アドレス : SIRBE0L FFFFFFFD06H, SIRBE1L FFFFFFFD16H, SIRBE2L FFFFFFFD26H

	7	6	5	4	3	2	1	0
SIRBE <sub>n</sub> L	SIRBE <sub>n</sub> 7	SIRBE <sub>n</sub> 6	SIRBE <sub>n</sub> 5	SIRBE <sub>n</sub> 4	SIRBE <sub>n</sub> 3	SIRBE <sub>n</sub> 2	SIRBE <sub>n</sub> 1	SIRBE <sub>n</sub> 0
(n = 0-2)								

(5) クロック同期式シリアル・インタフェース送信バッファ・レジスタ<sub>n</sub>, nL (SOTB<sub>n</sub>, SOTB<sub>n</sub>L)

SOTB<sub>n</sub>レジスタは、送信データを格納する16ビット・バッファ・レジスタです。

送受信モード (CSIM0<sub>n</sub>.TRMD<sub>n</sub>ビット = 1) に設定したとき、SOTB<sub>n</sub>レジスタへのデータ書き込みにより、送信動作を開始します。

16ビット単位でリード/ライト可能です。ただし下位8ビットをSOTB<sub>n</sub>Lレジスタとして使用する場合は、8ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意1.** SOTB<sub>n</sub>レジスタは、16ビット・データ長 (CSIM0<sub>n</sub>.CCL<sub>n</sub>ビット = 1) に設定したときだけアクセスしてください。

SOTB<sub>n</sub>Lレジスタは、8ビット・データ長 (CCL<sub>n</sub>ビット = 0) に設定したときだけアクセスしてください。

2. シングル転送モード (CSIM0<sub>n</sub>.AUTO<sub>n</sub>ビット = 0) に設定したときには、アイドル状態中 (CSIM0<sub>n</sub>.CSOT<sub>n</sub>ビット = 0) だけアクセスしてください。データ転送中にSOTB<sub>n</sub>, SOTB<sub>n</sub>Lレジスタをアクセスした場合のデータは保証しません。

(a) SOTB<sub>n</sub>レジスタ

リセット時 : 0000H R/W アドレス : SOTB0 FFFFFFFD04H, SOTB1 FFFFFFFD14H, SOTB2 FFFFFFFD24H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOTB <sub>n</sub>	SOTB <sub>n</sub>	SOTB <sub>n</sub>	SOTB <sub>n</sub>	SOTB <sub>n</sub>	SOTB <sub>n</sub>	SOTB <sub>n</sub>	SOTB <sub>n</sub>	SOTB <sub>n</sub>	SOTB <sub>n</sub>	SOTB <sub>n</sub>	SOTB <sub>n</sub>	SOTB <sub>n</sub>	SOTB <sub>n</sub>	SOTB <sub>n</sub>	SOTB <sub>n</sub>	SOTB <sub>n</sub>
(n = 0-2)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(b) SOTB<sub>n</sub>Lレジスタ

リセット時 : 00H R/W アドレス : SOTB0L FFFFFFFD04H, SOTB1L FFFFFFFD14H, SOTB2L FFFFFFFD24H

	7	6	5	4	3	2	1	0
SOTB <sub>n</sub> L	SOTB <sub>n</sub> 7	SOTB <sub>n</sub> 6	SOTB <sub>n</sub> 5	SOTB <sub>n</sub> 4	SOTB <sub>n</sub> 3	SOTB <sub>n</sub> 2	SOTB <sub>n</sub> 1	SOTB <sub>n</sub> 0
(n = 0-2)								

(6) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ<sub>n, nL</sub> (SOTBF<sub>n</sub>, SOTBF<sub>nL</sub>)

SOTBF<sub>n</sub>レジスタは、連続転送モードでの初段送信データを格納する16ビット・バッファ・レジスタです。

SOTBF<sub>n</sub>レジスタにデータを書き込んでも、送信動作は開始されません。

16ビット単位でリード/ライト可能です。ただし下位8ビットをSOTBF<sub>nL</sub>レジスタとして使用する場合は、8ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** SOTBF<sub>n</sub>レジスタは、16ビット・データ長(CSIM0<sub>n</sub>.CCL<sub>n</sub>ビット = 1)、SOTBF<sub>nL</sub>レジスタは、8ビット・データ長(CCL<sub>n</sub>ビット = 0)で、アイドル状態中(CSIM0<sub>n</sub>.CSOT<sub>n</sub>ビット = 0)のときだけアクセスしてください。データ転送中にSOTBF<sub>n</sub>、SOTBF<sub>nL</sub>レジスタをアクセスした場合のデータは保証しません。

(a) SOTBF<sub>n</sub>レジスタ

リセット時：0000H R/W アドレス：SOTBF0 FFFFFFFD08H, SOTBF1 FFFFFFFD18H, SOTBF2 FFFFFFFD28H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOTBF <sub>n</sub>	SOTBF <sub>n</sub>	SOTBF <sub>n</sub>	SOTBF <sub>n</sub>	SOTBF <sub>n</sub>	SOTBF <sub>n</sub>	SOTBF <sub>n</sub>	SOTBF <sub>n</sub>	SOTBF <sub>n</sub>	SOTBF <sub>n</sub>	SOTBF <sub>n</sub>	SOTBF <sub>n</sub>	SOTBF <sub>n</sub>	SOTBF <sub>n</sub>	SOTBF <sub>n</sub>	SOTBF <sub>n</sub>	SOTBF <sub>n</sub>
(n = 0-2)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(b) SOTBF<sub>nL</sub>レジスタ

リセット時：00H R/W アドレス：SOTBF0L FFFFFFFD08H, SOTBF1L FFFFFFFD18H, SOTBF2L FFFFFFFD28H

	7	6	5	4	3	2	1	0
SOTBF <sub>nL</sub>	SOTBF <sub>n7</sub>	SOTBF <sub>n6</sub>	SOTBF <sub>n5</sub>	SOTBF <sub>n4</sub>	SOTBF <sub>n3</sub>	SOTBF <sub>n2</sub>	SOTBF <sub>n1</sub>	SOTBF <sub>n0</sub>
(n = 0-2)								

(7) シリアルI/Oシフト・レジスタ<sub>n</sub>, nL (SIO0n, SIO0nL)

SIO0nレジスタは、パラレル・データをシリアル・データに変換する16ビット・シフト・レジスタです。

SIO0nレジスタを読み出しても、転送は開始されません。

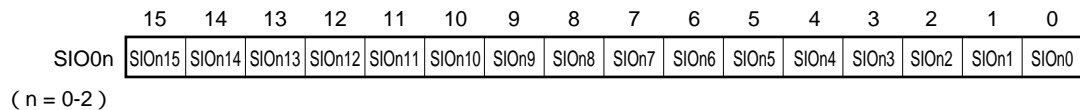
16ビット単位でリードだけ可能です。ただし下位8ビットをSIO0nLレジスタとして使用する場合は、8ビット単位でリードだけ可能です。

リセット入力以外に、CSIM0n.CSI0Enビットをクリア (0) した場合も0000Hになります。

**注意** SIO0nレジスタは、16ビット・データ長 (CSIM0n.CCLnビット = 1)、SIO0nLレジスタは、8ビット・データ長 (CCLnビット = 0) で、アイドル状態中 (CSIM0n.CSOTnビット = 0) のときだけリードしてください。データ転送中にSIO0n, SIO0nLレジスタをリードした場合のデータは保証しません。

(a) SIO0nレジスタ

リセット時 : 0000H R アドレス : SIO00 FFFFFFFD0AH, SIO01 FFFFFFFD1AH, SIO02 FFFFFFFD2AH



(b) SIO0nLレジスタ

リセット時 : 00H R アドレス : SIO00L FFFFFFFD0AH, SIO01L FFFFFFFD1AH, SIO02L FFFFFFFD2AH

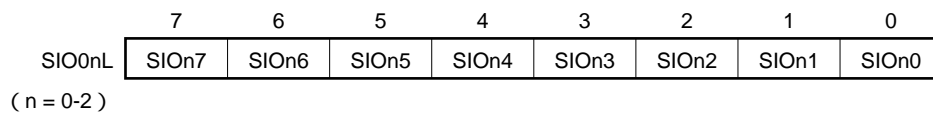




表17-1 各バッファ・レジスタの使用法

レジスタ名	R/W		シングル転送		連続転送 <sup>注1</sup>	
			送受信モード	受信専用モード	送受信モード	受信専用モード
SIRBn (SIRBnL)	Read	機能	受信データの格納 <sup>注2</sup>	・リードで受信を開始 ・受信データの格納	N - 1番目までの (最後以外の) 受信データの格納 <sup>注2</sup>	・リードで受信を開始させる ・N - 2番目まで (最後の2データ以外) のデータの格納
		使用方法	送受信完了後、このレジスタから受信データをリードする。	・最初にダミー・データのリードを行い転送開始する。 ・受信完了後、次のデータ受信を行う場合に、このレジスタから受信データをリードする。	受信完了後、このレジスタから受信データをリードする。この動作をN - 1番目のデータ受信完了まで繰り返す。	受信完了後、このレジスタの受信データをリードする。この動作をN - 2番目のデータ受信完了まで繰り返す。 (補足) N - 1番目のデータはこのレジスタから読み出さない。読み出すと受信動作が開始されてしまい、繰り返し転送を終了できない。
SIRBEn (SIRBEnL)	Read	機能		最終受信データの格納 <sup>注2</sup>		N - 1番目の受信データの格納 <sup>注2</sup>
		使用方法	使用しない	受信完了後、次のデータ受信を行わない場合に、このレジスタから受信データをリードする。	使用しない	N - 1番目のもしくはN番目 (最後) のデータ受信完了後、このレジスタからN - 1番目の受信データをリードする。
SIO0n (SIO0nL)	Read	機能			N番目 (最後) の受信データの格納 <sup>注2</sup>	N番目 (最後) の受信データの格納 <sup>注2</sup>
		使用方法	使用しない	使用しない	N番目 (最後) の送受信完了後、N番目 (最後) のデータをリードする。	N番目 (最後) の受信完了後、N番目 (最後) のデータをリードする。
SOTBn (SOTBnL)	Write	機能	・ライトで送受信を開始 ・送信データの格納		・ライトで送受信を開始 ・2番目以降の送信データの格納	
		使用方法	・送受信完了後、このレジスタへ次の送信データをライトする。	使用しない	送受信完了後、このレジスタへ次の送信データをライトし、次の送受信を開始する。	使用しない
SOTBFn (SOTBFnL)	Write	機能			1番目 (最初) の送信データの格納 <sup>注2</sup>	
		使用方法	使用しない	使用しない	送受信開始前 (SOTBnへ書き込む前) に、1番目 (最初) の送信データをライトする。	使用しない

注1. N個のデータを転送する場合を示します。

2. リードもしくはライトを行っても通信を開始しません。

備考 16ビット・モードでは、( ) 外のレジスタを使用します。8ビット・モードでは、( ) 内のレジスタを使用します。

## 17.4 動作

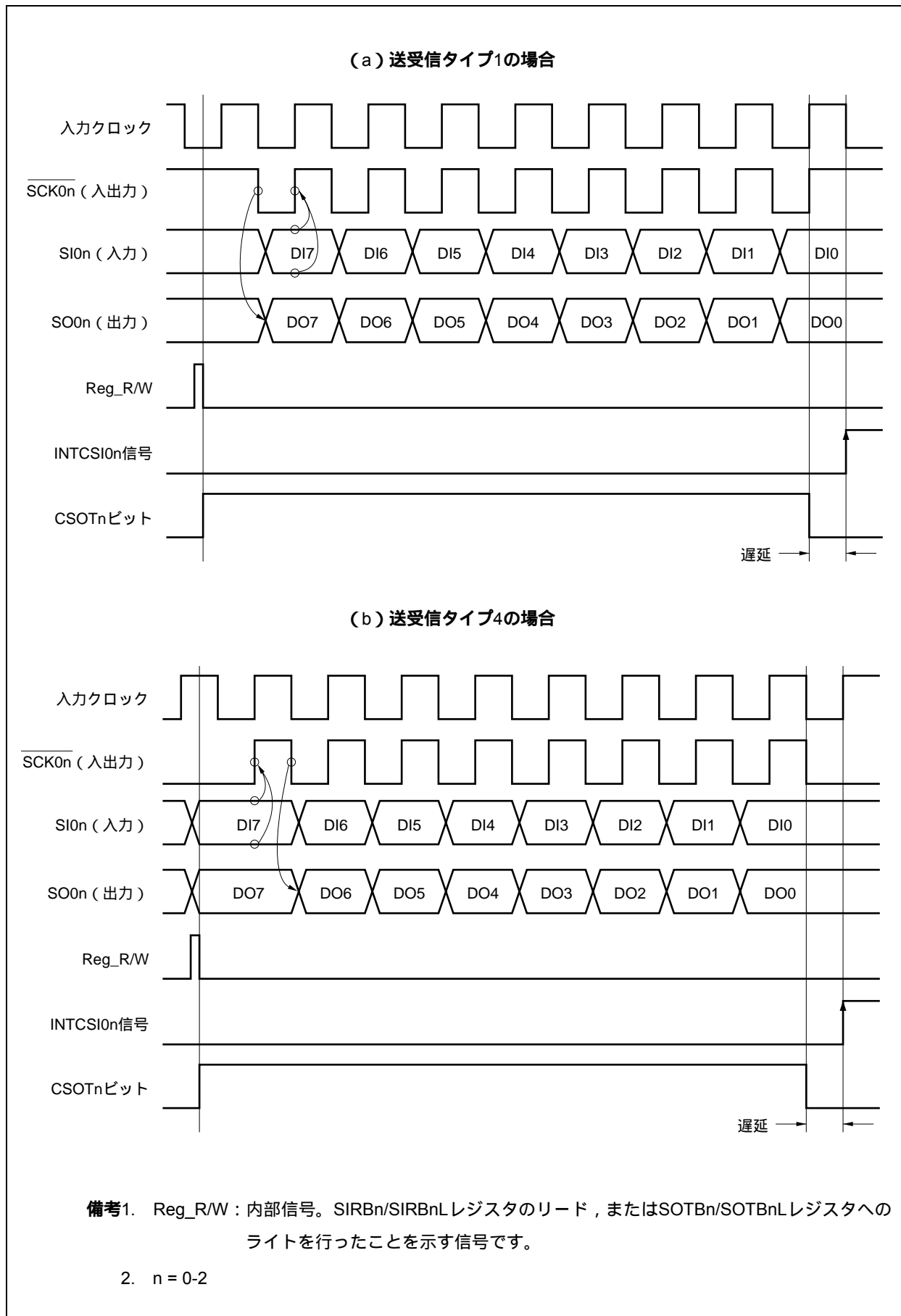
### 17.4.1 送受信完了割り込み要求信号 (INTCSI0n)

INTCSI0n信号は、データの送受信終了時にセット(1)されます。

CSIM0nレジスタのライトによってクリア(0)されます。

**注意** 遅延モード(CSIM0n.CSITnビット = 1)は、マスタ・モード(CSICn.CKS0n2-CKS0n0ビット = 111B以外)のときだけ有効です。スレーブ・モード(CKS0n2-CKS0n0ビット = 111B)時は、遅延モードに設定しないでください。

図17-2 遅延モード時のINTCSI0n信号出力タイミング・チャート



## 17.4.2 シングル転送モード

### (1) 使用方法

受信専用モード (CSIM0n.TRMDnビット = 0) の場合, SIRBn/SIRBnLレジスタのリードで通信を開始します。

送受信モード (TRMDnビット = 1) の場合, SOTBn/SOTBnLレジスタへのライトで通信を開始します。

また, スレーブ・モードの場合, 前もって動作許可 (CSIM0n.CSI0Enビット = 1) になっている必要があります。

通信が開始されているときには, CSIM0n.CSOTnビット = 1 (送信実行状態) になります。

通信が終了すると, 送受信完了割り込み要求信号 (INTCSI0n) が発生し, CSOTnビットはクリア (0) されます。そして, 次のデータ通信要求の待ち状態になります。

**注意** CSOTnビット = 1のときに, CSI0nのレジスタは操作しないでください。

**備考** n = 0-2

図17-3 シングル転送モードでのタイミング・チャート (1/2)

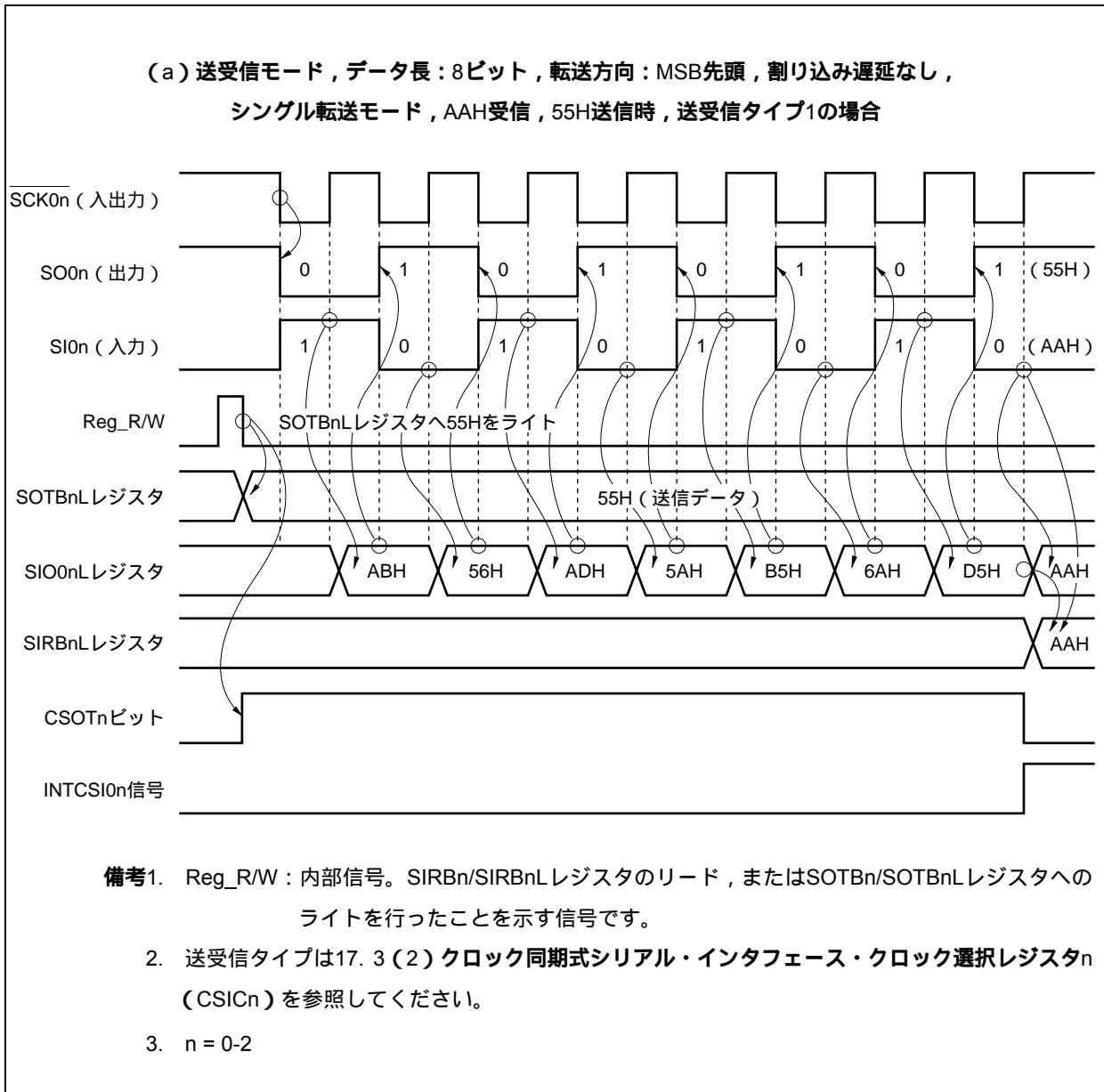
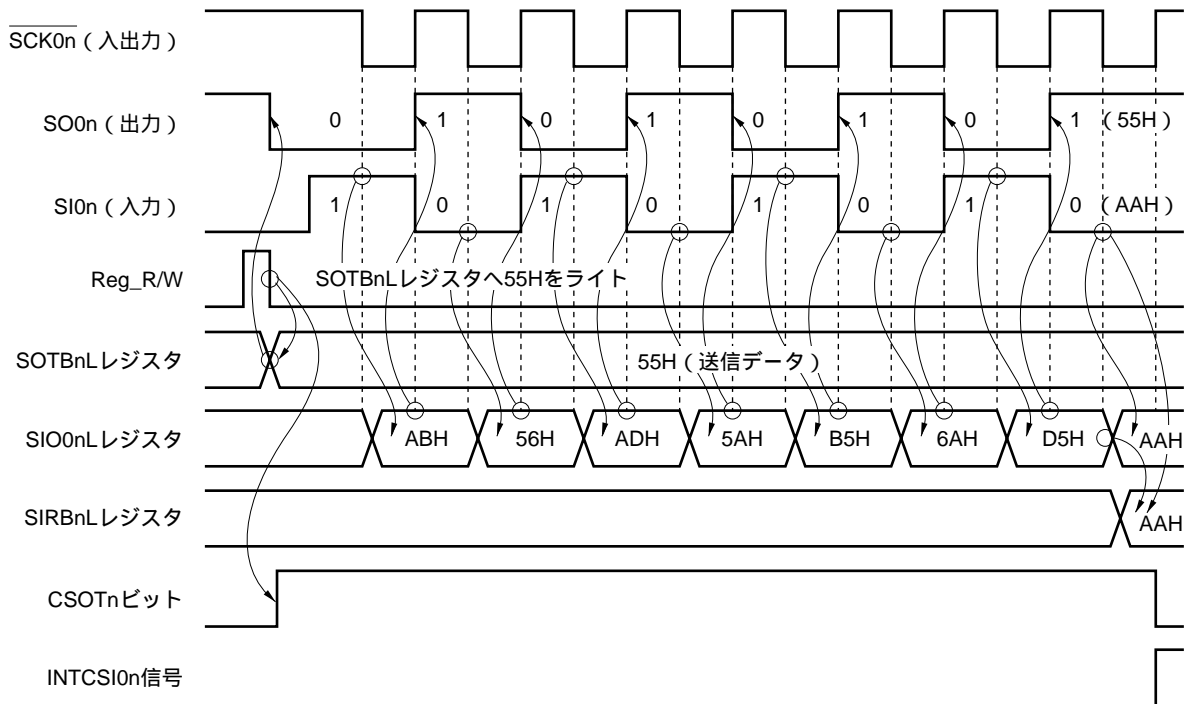


図17-3 シングル転送モードでのタイミング・チャート (2/2)

(b) 送受信モード, データ長: 8ビット, 転送方向: MSB先頭, 割り込み遅延なし,  
シングル転送モード, AAH受信, 55H送信時, 送受信タイプ2の場合



備考1. Reg\_R/W: 内部信号。SIRBn/SIRBnLレジスタのリード, またはSOTBn/SOTBnLレジスタへのライトを行ったことを示す信号です。

2. 送受信タイプは17.3(2) クロック同期式シリアル・インタフェース・クロック選択レジスタn (CSICn) を参照してください。
3. n = 0-2

### 17.4.3 連続転送モード

#### (1) 使用方法 (受信専用: 8ビット・データ長)

<1> 連続転送モード (CSIM0n.AUTOnビット = 1)、受信専用モード (CSIM0n.TRMDnビット = 0) に設定する。

<2> SIRBnLレジスタをリードする (ダミー・リードで転送を開始させる)。

<3> 送受信完了割り込み要求信号 (INTCSI0n) が発生したら、SIRBnLレジスタをリードする<sup>※</sup> (次の転送を予約する)。

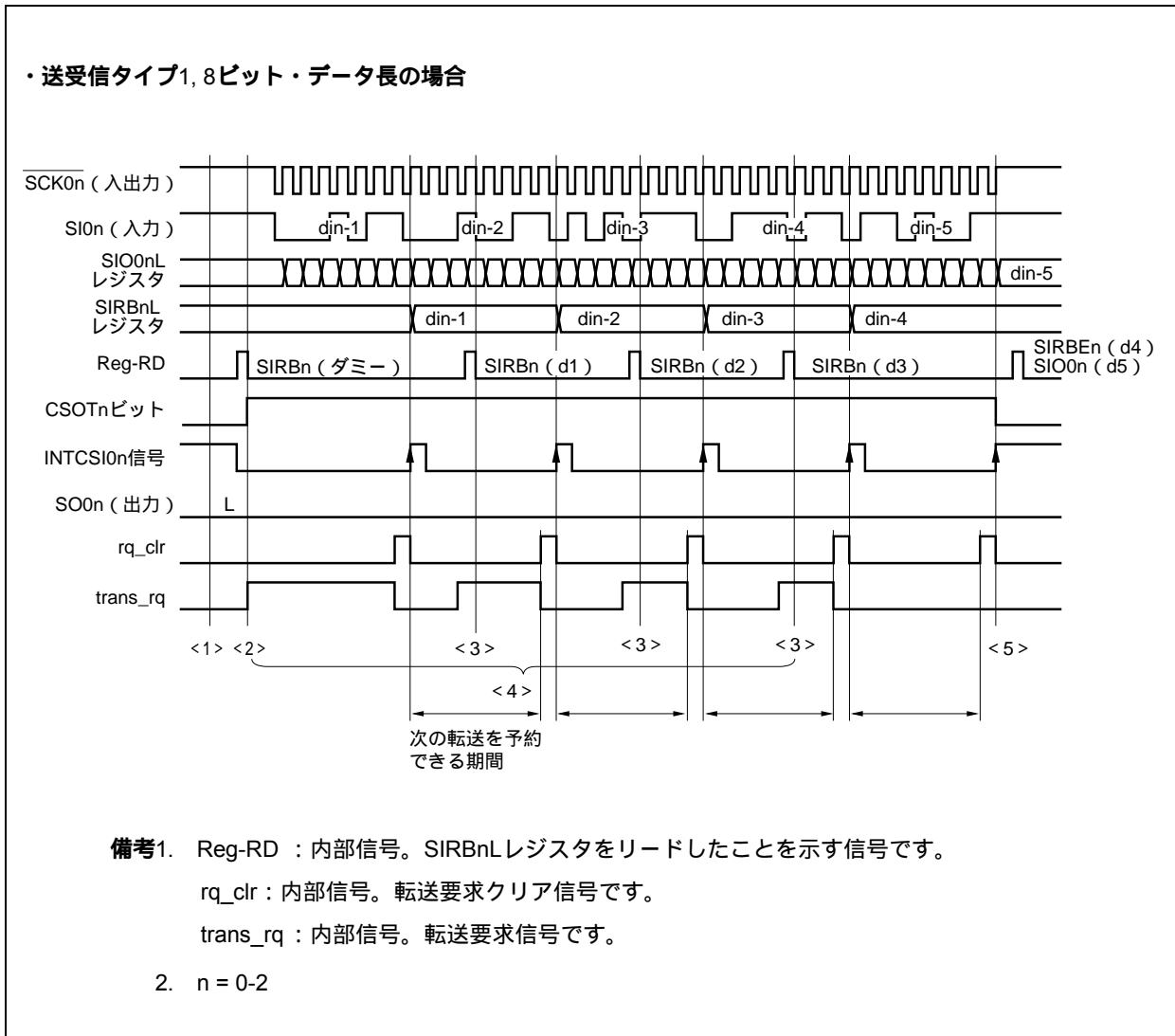
<4> (N - 2) 回、<3>を繰り返す (N: 転送データ数)。

N - 1回目のデータ受信による割り込みを無視する(ここでSIRBEnLレジスタをリードしてもよい)。

<5> 最後のINTCSI0n信号発生のおと、SIRBEnLレジスタとSIO0nLレジスタをリードする<sup>※</sup>。

**注** N個のデータを転送する場合、最初のデータから (N - 2) 番目のデータまではSIRBnLレジスタをリードすることで受信データを取り込みます。(N - 1) 番目のデータはSIRBEnLレジスタのリード、N番目 (最後) のデータはSIO0nLレジスタのリードにより受信データを取り込みます (表17-1 各バッファ・レジスタの使用方法を参照してください)。

図17-4 連続転送（受信専用）タイミング・チャート



連続転送モードの場合、2回の転送要求が最初の転送開始で設定されます。INTCSI0n信号のあと、次の転送の予約期間内でSIRBnLレジスタをリードできれば、転送は続けられます。SIRBnLレジスタのリードができなければ、転送は終了し、SIRBnLレジスタはSIO0nLレジスタの新しい値を受け取りません。

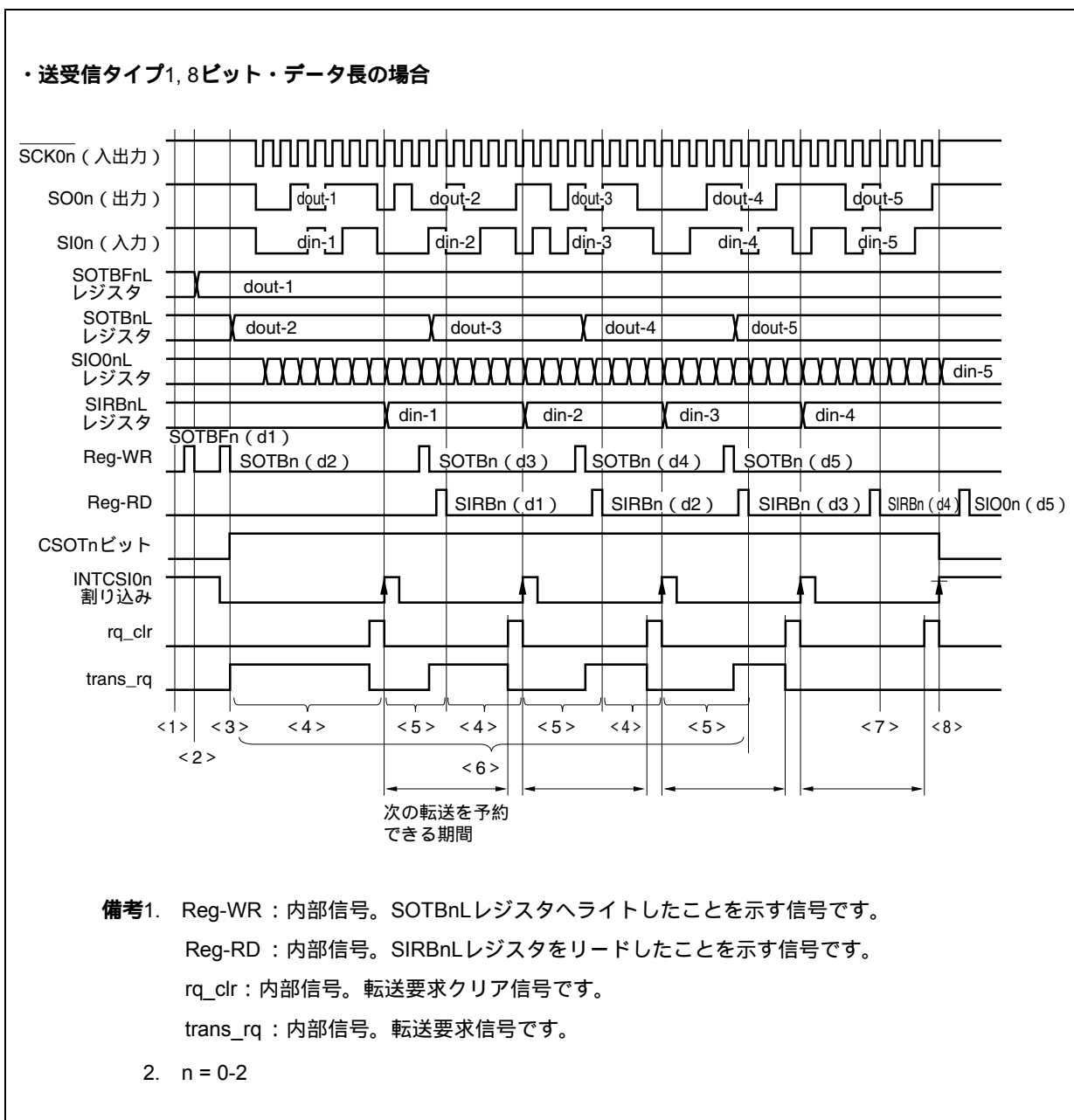
最後のデータは、転送終了後のSIO0nLレジスタをリードしてください。



## (2) 使用方法 (送受信 : 8ビット・データ長)

- <1> 連続転送モード (CSIM0n.AUTOnビット = 1) , 送受信モード (CSIM0n.TRMDnビット = 1) に設定する。
- <2> 最初のデータをSOTBFnLレジスタにライトする。
- <3> 2番目のデータをSOTBnLレジスタにライトする (転送を開始させる)。
- <4> 送受信完了割り込み要求信号 (INTCSI0n) が発生したら , SOTBnLレジスタに次のデータをライトする (次の転送を予約する) 。SIRBnLレジスタをリードして受信データを取り込む。
- <5> 送りたいデータがある間 , <4>を繰り返す。
- <6> INTCSI0n信号が発生したら , SIRBnLレジスタをリードして (N - 1) 番目の受信データを取り込む (N : 転送データ数) 。
- <7> 最後のINTCSI0n信号のあと ,SIO0nLレジスタをリードしてN番目(最後)の受信データを取り込む。

図17-5 連続転送 (送受信) タイミング・チャート



連続転送モードの場合、2回の転送要求が最初の転送開始で設定されます。INTCSI0n信号発生のもと、次の転送の予約期間内でSOTBnLレジスタに次のデータをライトできれば、転送は続けられます。SOTBnLレジスタへのライトができなければ、転送は終了し、SIRBnLレジスタはSIO0nLレジスタの新しい値を受け取りません。

最後の受信データは、転送終了後のSIO0nLレジスタをリードしてください。

(3) 次転送予約期間

連続転送モードでは、図17 - 6に示す期間中に次の転送の準備をする必要があります。

図17 - 6 次転送予約期間タイミング・チャート (1/2)

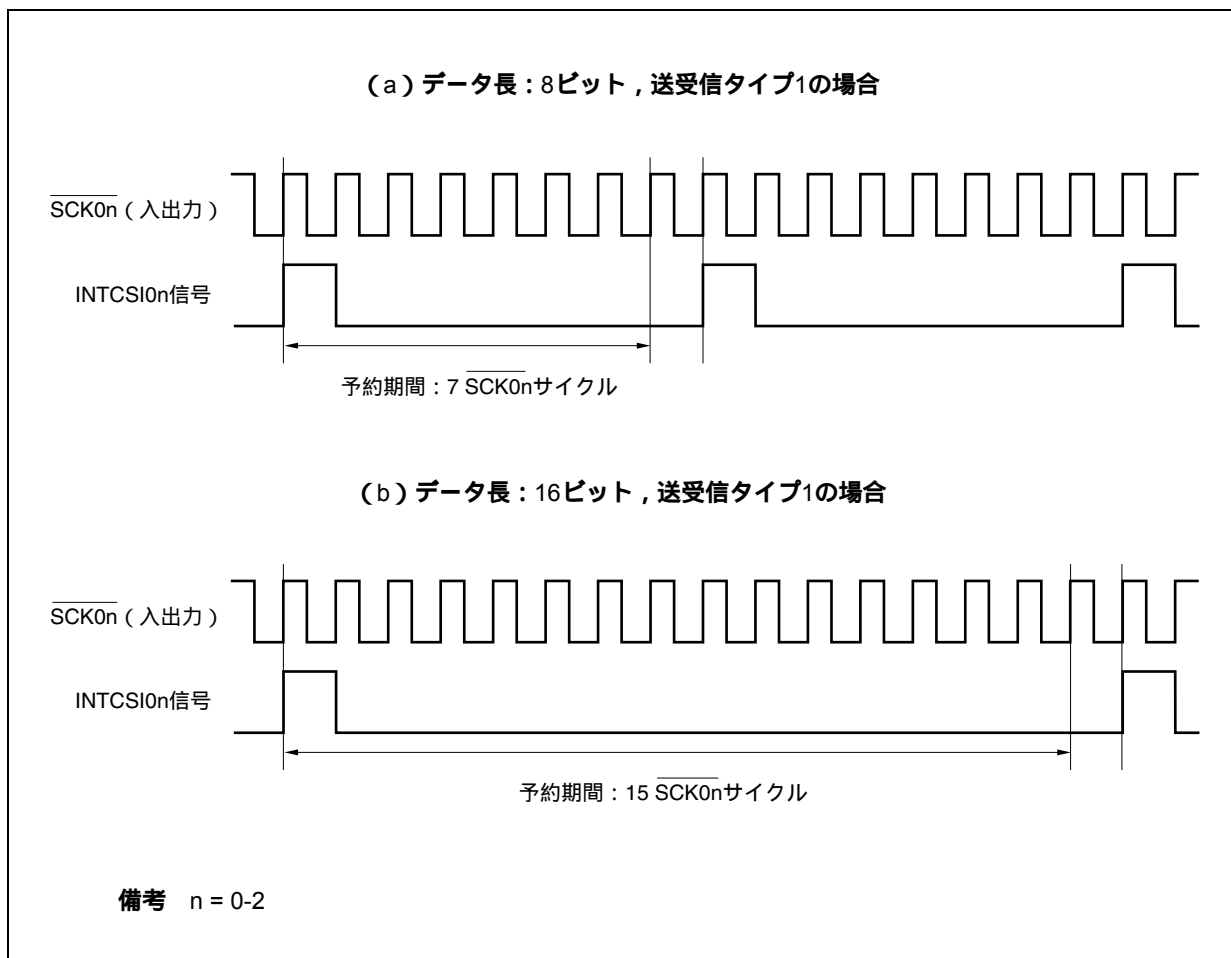
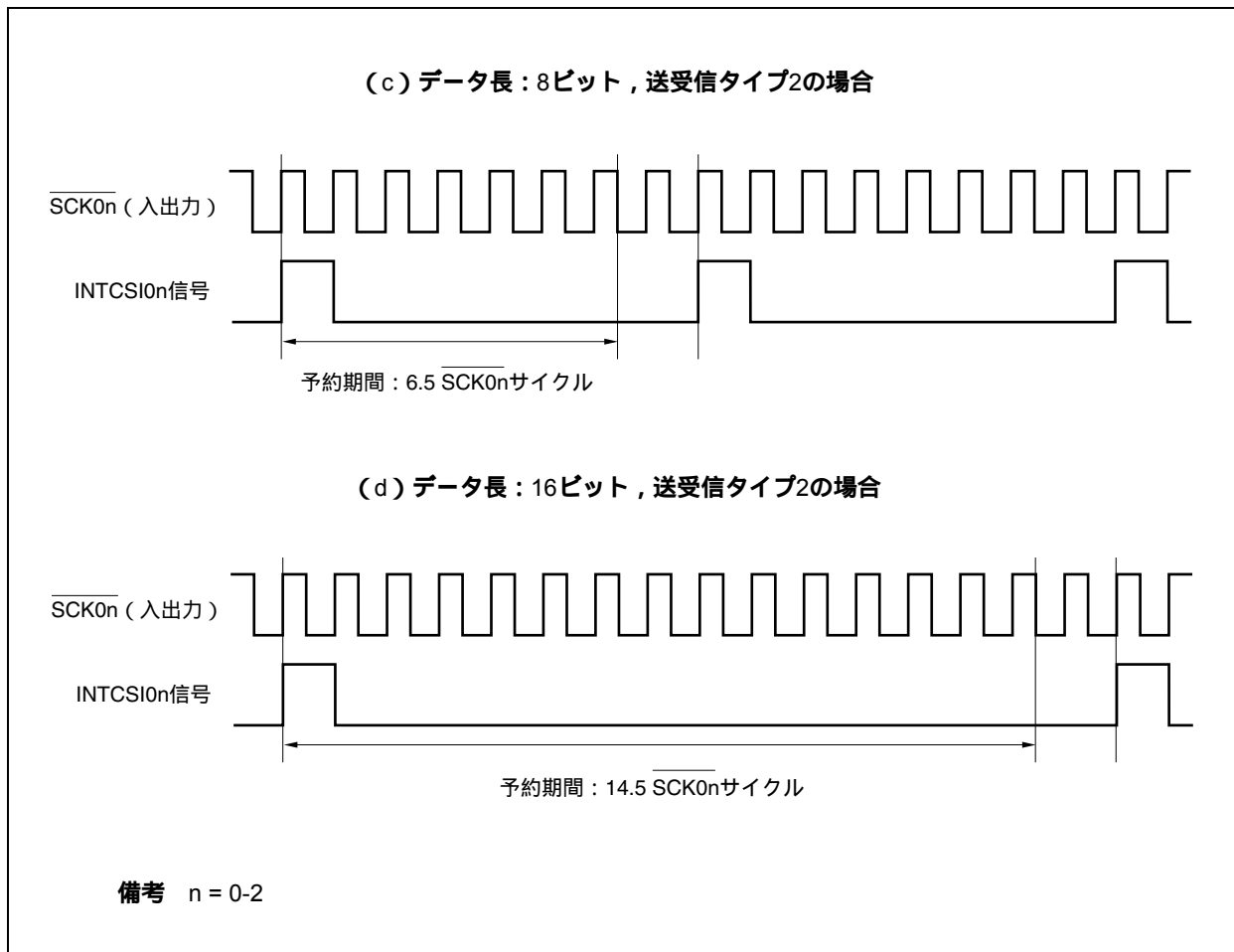


図17 - 6 次転送予約期間タイミング・チャート (2/2)



(4) 注意事項

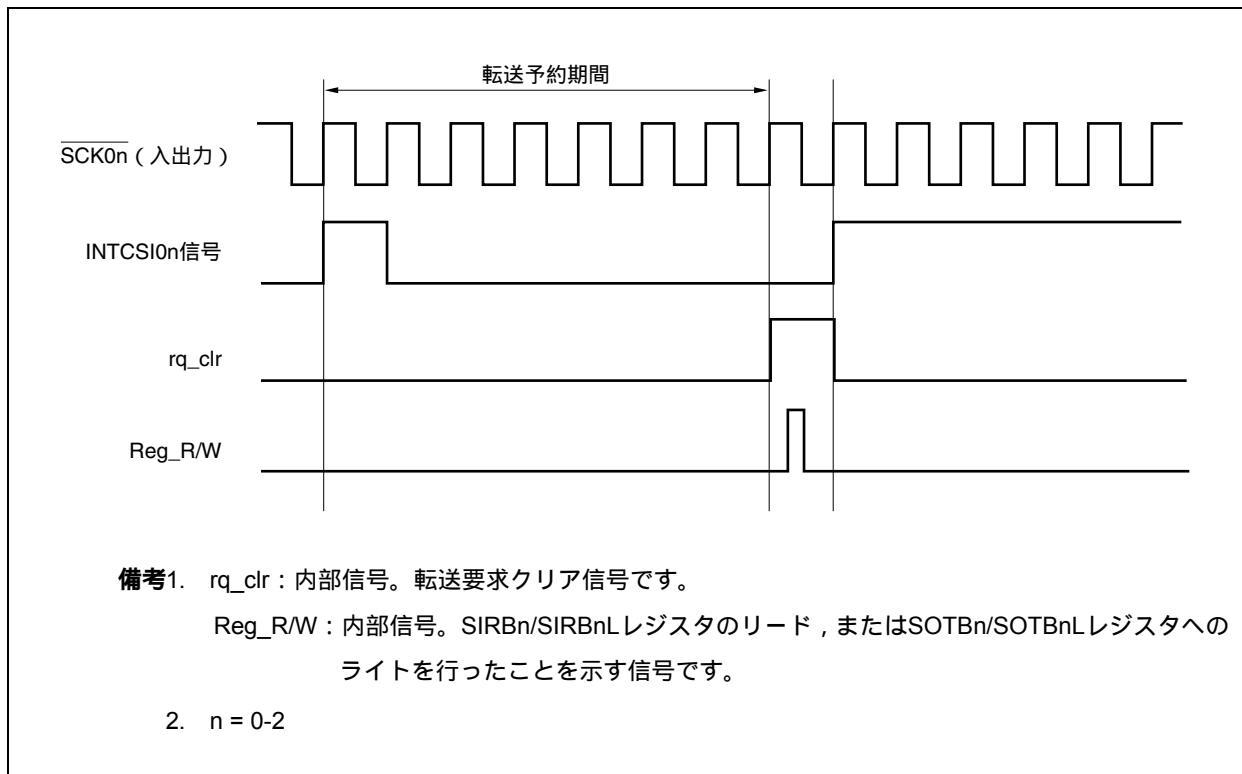
連続転送を継続させるため、転送予約期間中にSIRBnレジスタのリード、またはSOTBnレジスタへのライトを必ず行ってください。

転送予約期間を過ぎてSIRBnレジスタやSOTBnレジスタをアクセスしたときには次のようになります。

(i) 転送要求クリアとレジスタ・アクセスが競合した場合

転送要求のクリアは高い優先順位を持つため、次の転送要求は無視されます。そのため、転送は中断することになり、正常なデータ転送が行えなかったこととなります。

図17-7 転送要求クリアとレジスタ・アクセスの競合



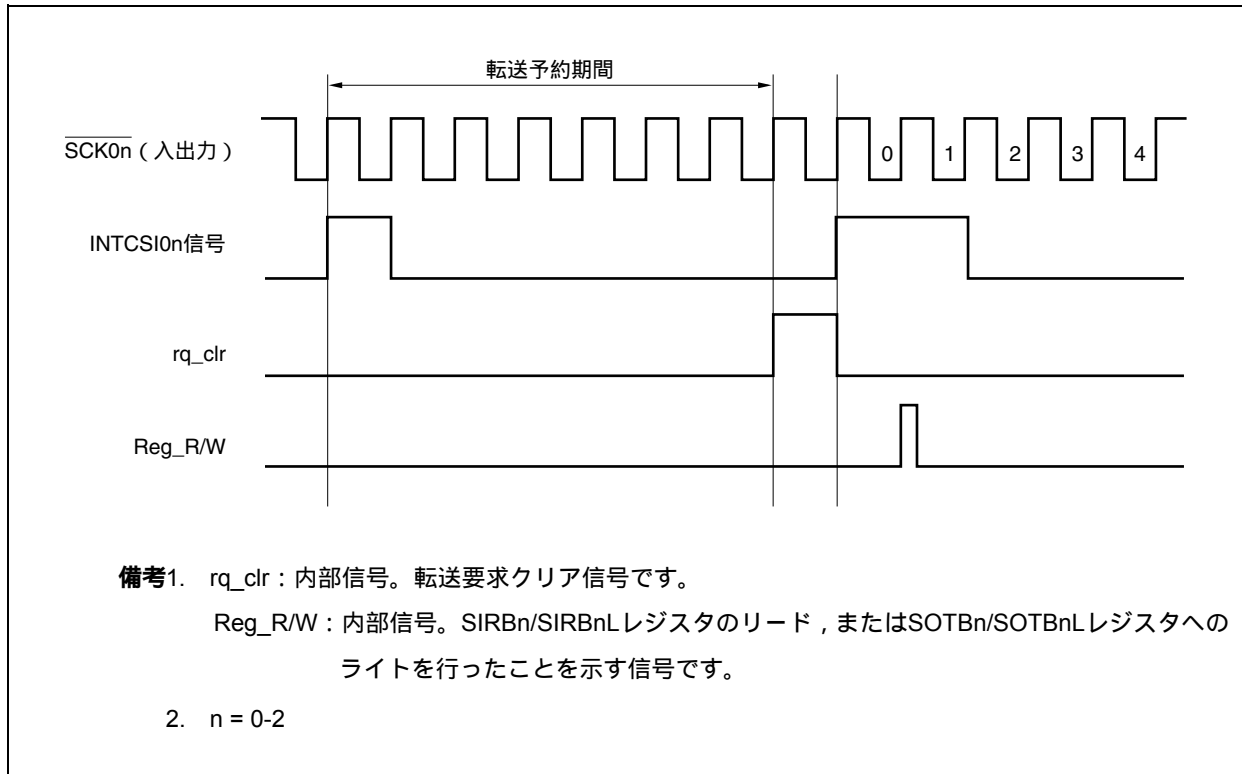
(ii) 送受信完了割り込み要求信号 (INTCSI0n) 発生とレジスタ・アクセスが競合した場合

連続転送がいったん停止するため、新しい連続転送開始として実行します。

スレーブ・モードの場合には、ビット相違の転送エラーとなります (図17-8参照)。

送受信モードの場合には、SOTBFnレジスタの値を再転送し、不正データを送ります。

図17-8 割り込み要求とレジスタ・アクセスの競合



## 17.5 出力端子

各出力端子について説明します。各端子の設定については表4 - 19 ポート端子を兼用端子として使用する場合を参照してください。

### (1) SCK0n端子

CSI0n動作禁止 (CSIM0n.CSI0Enビット = 0) のとき、SCK0n端子出力状態は次のようになります。

表17 - 2 SCK0n端子出力状態

CKPn	CKS0n2	CKS0n1	CKS0n0	SCK0n端子出力
0	任意	任意	任意	ハイ・レベル固定
1	1	1	1	ハイ・インピーダンス
	上記以外			ロウ・レベル固定

備考 n = 0-2

### (2) SO0n端子

CSI0n動作禁止 (CSI0Enビット = 0) のとき、SO0n端子出力状態は次のようになります。

表17 - 3 SO0n端子出力状態

TRMDn	DAPn	AUTO0n	CCLn	DIRn	SO0n端子出力
0	任意	任意	任意	任意	ロウ・レベル固定
1	0	任意	任意	任意	SOラッチの値 (ロウ・レベル)
				0	SOTBn7ビットの値
			1	0	SOTBn0ビットの値
				1	SOTBn15ビットの値
	1	0	任意	任意	SOTBFn7ビットの値
				0	SOTBFn0ビットの値
			1	0	SOTBFn15ビットの値
				1	SOTBFn0ビットの値

備考 n = 0-2

## 第18章 自動送受信機能付きクロック同期式シリアル・インタフェースA (CSIA)

V850ES/KJ1+はCSIAを2チャンネル搭載しています。

### 18.1 機能

CSIAには、次の2種類のモードがあります。

- ・3線式シリアルI/Oモード
- ・自動送受信機能付き3線式シリアルI/Oモード

#### (1) 3線式シリアルI/Oモード

シリアル・クロック端子 ( $\overline{\text{SCKAn}}$ ) とシリアル・データ端子 (SIAn, SOAn) の3本のラインにより、8ビット・データ転送を行うモードです。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。



(2) 自動送受信機能付き3線式シリアルI/Oモード

シリアル・クロック端子 ( $\overline{\text{SCKAn}}$ ) とシリアル・データ端子 (SIAn, SOAn) の3本のラインにより, 8ビット・データ転送を行うモードです。

シリアル転送する8ビット・データの先頭ビットをMSBか, またはLSBかに切り替えることができますので, いずれの先頭ビットのデバイスとも接続できます。

自動転送用バッファRAMを32バイト内蔵しているので, ソフトウェアを介さずに表示ドライバなどとデータ転送可能です。

最大転送速度 : 2 Mbps ( マスタ・モード時 )

マスタ・モードとスレーブ・モードを選択可能

転送データ長 : 8ビット

転送データのMSB/LSB先頭を切り替え可能

自動送受信機能 :

1-32バイトまで転送バイト数を指定可能

転送間隔指定可能 ( 0-63クロック )

単発転送 / 繰り返し転送を指定可能

専用ポー・レート・ジェネレータ ( 6/8/16/32分周 ) 内蔵

3線式 SOAn : シリアル・データ出力

SIAn : シリアル・データ入力

$\overline{\text{SCKAn}}$  : シリアル・クロック入出力

送受信完了割り込み要求信号 : INTCSIA<sub>n</sub>

32バイトのバッファRAMを内蔵

備考 n = 0, 1

## 18.2 構成

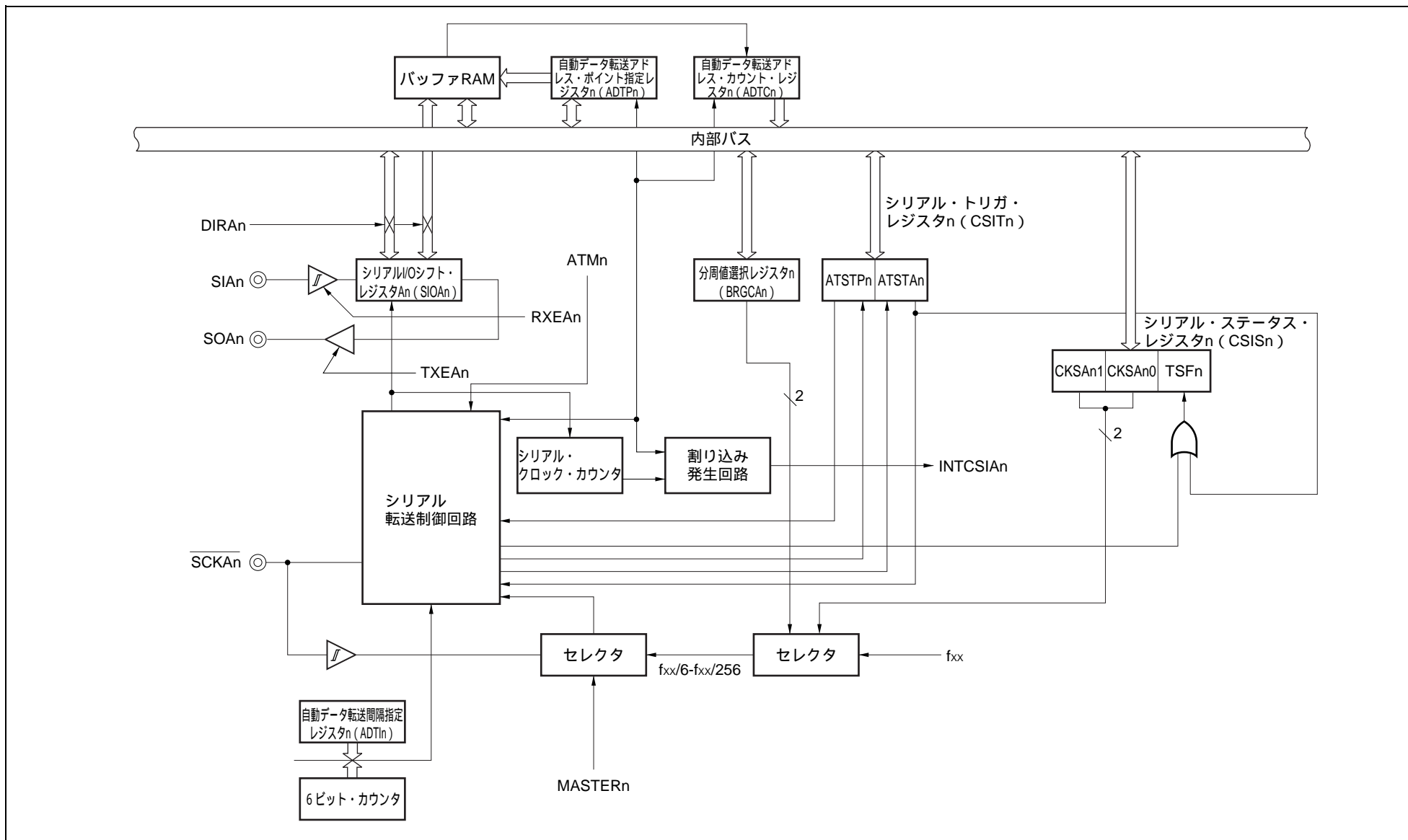
CSIA<sub>n</sub>は, 次のハードウェアで構成しています。

表18 - 1 CSIA<sub>n</sub>の構成

項目	構成
レジスタ	シリアルI/Oシフト・レジスタAn ( SIOAn ) 自動データ転送アドレス・カウンタ・レジスタn ( ADTCn ) CSIA <sub>n</sub> バッファRAM ( CSIA <sub>n</sub> Bm, CSIA <sub>n</sub> BmL, CSIA <sub>n</sub> BmH ) ( m = 0-F )
制御レジスタ	シリアル動作モード指定レジスタn ( CSIMAn ) シリアル・ステータス・レジスタn ( CSISn ) シリアル・トリガ・レジスタn ( CSITn ) 分周値選択レジスタn ( BRGCAn ) 自動データ転送アドレス・ポイント指定レジスタn ( ADTPn ) 自動データ転送間隔指定レジスタn ( ADTIn )

備考 ポートの兼用機能の設定については, 表4 - 19 ポート端子を兼用端子として使用する場合は参照してください。

図18 - 1 CSIA<sub>n</sub>のブロック図



(1) シリアルI/Oシフト・レジスタAn (SIOAn)

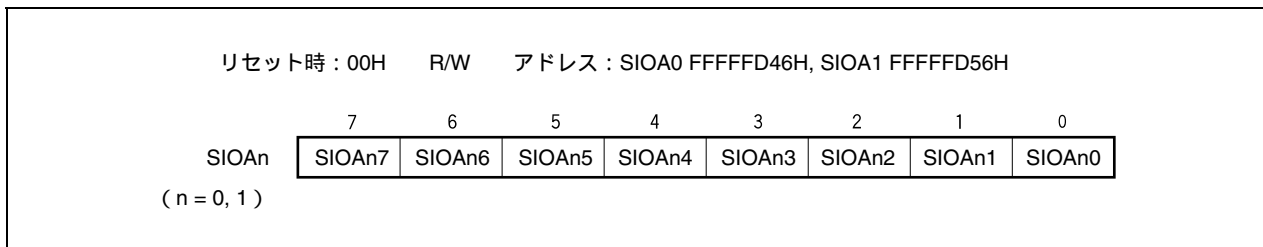
1バイト転送モード (CSIMAn.ATEnビット = 0) 時の送信データおよび受信データを格納する8ビットのレジスタです。SIOAnレジスタに送信データを書き込むことにより、転送が開始されます。また転送完了割り込み要求信号 (INTCSIAAn) の発生後 (CSISn.TSFnビット = 0) , SIOAnレジスタからデータを読み出すことにより、受信データを受け取ることができます。

8ビット単位でリード/ライト可能です。ただし、TSFnビット = 1のとき、SIOAnレジスタへの書き込みは禁止です。

リセットにより00Hになります。

**注意1.** 転送動作の起動は、SIOAnレジスタへの書き込みで行われるため、送信禁止 (CSIMAn.TXEnビット = 0) のときも、ダミー・データをSIOAnレジスタに書き込み、転送動作を起動してから受信動作を行ってください。

2. 自動送受信機能が動作しているとき、SIOAnレジスタにデータを書き込まないでください。

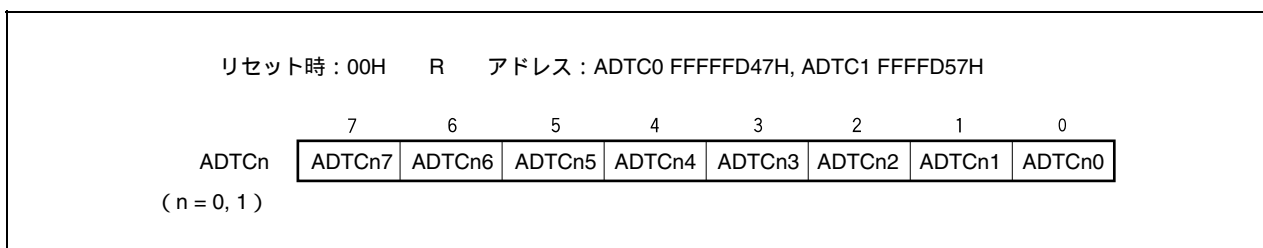


(2) 自動データ転送アドレス・カウント・レジスタn (ADTCn)

自動転送時におけるバッファRAMのアドレスを示すレジスタです。自動転送を中断した場合に、ADTCnレジスタのレジスタ値を読み出すことによって、中断したデータ位置を知ることができます。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。ただし、CSISn.TSFnビット = 1のときは、ADTCnレジスタからの読み出しは禁止です。



## 18.3 レジスタ

シリアル・インタフェースCSIA<sub>n</sub>は、次の6種類のレジスタで制御します。

- ・シリアル動作モード指定レジスタ<sub>n</sub> (CSIMAn)
- ・シリアル・ステータス・レジスタ<sub>n</sub> (CSISn)
- ・シリアル・トリガ・レジスタ<sub>n</sub> (CSITn)
- ・分周値選択レジスタ<sub>n</sub> (BRGCAn)
- ・自動データ転送アドレス・ポイント指定レジスタ<sub>n</sub> (ADTPn)
- ・自動データ転送間隔指定レジスタ<sub>n</sub> (ADTIn)

(1) シリアル動作モード指定レジスタn (CSIMAn)

シリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：CSIMA0 FFFFFFFD40H, CSIMA1 FFFFFFFD50H

	⑦	6	5	4	③	②	①	0
CSIMAn	CSIAEn	ATEn	ATMn	MASTERn	TXEAn	RXEAn	DIRAn	0
(n = 0, 1)								
CSIAEn	CSIAEnの動作許可/禁止の制御							
0	CSIAEn動作禁止 (SOAn: ロウ・レベル, SCKAn: ハイ・レベル)							
1	CSIAEn動作許可							
<ul style="list-style-type: none"> <li>・CSIAEnビットをクリア (0) すると, CSIAEnユニットを非同期にリセット<sup>注</sup>します。</li> <li>・CSIAEnビット = 0の場合は, CSIAEnユニットはリセット状態なので, CSIAEnを動作させる場合には, まずCSIAEnビットをセット (1) してください。</li> <li>・CSIAEnビットを1から0にクリアした場合は, CSIAEnユニットのすべてのレジスタが初期化されます。再度CSIAEnビットをセット (1) する前に, 必ずCSIAEnユニットのレジスタを再設定してください。</li> <li>・CSIAEnビットを1から0にクリアした場合は, バッファRAMの値は保持されません。また, CSIAEnビット = 0のとき, バッファRAMへのアクセスはできません。</li> </ul>								
ATEn	自動転送動作の許可/禁止の制御							
0	1バイト転送モード							
1	自動転送モード							
ATMn	自動転送モードの指定							
0	単発モード (ADTPnレジスタで指定したアドレスで停止)							
1	繰り返しモード (転送終了後, ADTCnレジスタを00Hにクリアし転送を再開)							
MASTERn	CSIAEnのマスタ/スレーブ・モードの指定							
0	スレーブ・モード (SCKAn入力のクロックに同期)							
1	マスタ・モード (内部クロックに同期)							
TXEAn	送信動作の許可/禁止の制御							
0	送信動作禁止 (SOAn: ロウ・レベル)							
1	送信動作許可							
RXEAn	受信動作の許可/禁止の制御							
0	受信動作禁止							
1	受信動作許可							
DIRAn	転送データの方向の指定							
0	MSBファースト							
1	LSBファースト							

注 リセットされるのは, ADTCn, CSITn, SIOAnレジスタとCSISn.TSFnビットです。

(2) シリアル・ステータス・レジスタ<sub>n</sub> (CSIS<sub>n</sub>)

CSIA<sub>n</sub>のシリアル・クロック選択, CSIA<sub>n</sub>の状態を示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。ただし, TSFnビット = 1の場合, CSIS<sub>n</sub>レジスタの書き換えは禁止です。

リセット時 : 00H R/W アドレス : CSIS0 FFFFD41H, CSIS1 FFFFD51H

	7	6	5	4	3	2	1	0
CSIS <sub>n</sub>	CKSA <sub>n</sub> 1	CKSA <sub>n</sub> 0	0	0	0	0	0	TSFn

(n = 0, 1)

CKSA <sub>n</sub> 1	CKSA <sub>n</sub> 0	シリアル・クロック (f <sub>SCKA</sub> ) の選択 <sup>注</sup>			
			20 MHz	16 MHz	10 MHz
0	0	f <sub>xx</sub>	設定禁止	設定禁止	100 ns
0	1	f <sub>xx</sub> /2	100 ns	125 ns	200 ns
1	0	f <sub>xx</sub> /4	200 ns	250 ns	400 ns
1	1	f <sub>xx</sub> /8	400 ns	500 ns	800 ns

CSIMAn.CSIAEnビット = 1のときの書き換えは禁止です。

TSFn	転送状態
0	CSIAEnビット = 0 リセット入力時 指定された転送終了時 CSITn.ATSTPnビット = 1により転送を中断したとき
1	転送スタートから指定された転送が終了するまで

**注** 次の条件を満たすようにf<sub>SCKA</sub>を設定してください。

- V<sub>DD</sub> = REGC = 4.0 ~ 5.5 V : f<sub>SCKA</sub> 12 MHz
- V<sub>DD</sub> = 4.0 ~ 5.5 V, REGC = 10 μF : f<sub>SCKA</sub> 6 MHz
- V<sub>DD</sub> = REGC = 2.7 ~ 4.0 V : f<sub>SCKA</sub> 6 MHz

**注意1.** TSFnビットはリードのみ可能です。

2. TSFnビット = 1のとき, CSIMAn, CSISn, BRGCAn, ADTPn, ADTIn, SIOAnレジスタの書き換えは禁止です。

また転送バッファRAMへの書き換えは可能です。

3. ビット1-5には, 必ず0を設定してください。

(3) シリアル・トリガ・レジスタ<sub>n</sub> (CSIT<sub>n</sub>)

バッファRAMとシフト・レジスタ間のCSIT<sub>n</sub>レジスタは、自動データ転送の実行 / 中断を制御する8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。ただし、CSIMAn.ATEnビット = 1の場合のみ操作してください (ATEnビット = 0の場合は操作禁止)。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : CSIT0 FFFFFFFD42H, CSIT1 FFFFFFFD52H

	7	6	5	4	3	2	①	②
CSIT <sub>n</sub> (n = 0, 1)	0	0	0	0	0	0	ATSTP <sub>n</sub>	ATSTAn

ATSTP <sub>n</sub>	自動データ転送の中断
0	-
1	自動データ転送を中断
<p>ATSTP<sub>n</sub>ビットをセット (1) しても、1バイトの転送が終了するまでは停止しません。</p> <p>送受信完了割り込み要求信号 (INTCSIA<sub>n</sub>) が発生する直前まで1が保持し、その後自動的に "0" になります。</p> <p>自動データ転送中断後、ADTC<sub>n</sub>レジスタには中断したときのデータ・アドレスが格納されています。ただし、自動データ転送の再開機能を有していないため、ATSTP<sub>n</sub>ビット転送を中断した場合は、各レジスタを再設定後、ATSTAnビットをセット (1) して自動データ転送をスタートしてください。</p>	

ATSTAn	自動データ転送の開始
0	-
1	自動データ転送を開始
<p>ATSTAnビットをセット (1) しても、1バイトの転送が終了するまでは開始しません。</p> <p>INTCSIA<sub>n</sub>信号が発生する直前まで1が保持し、その後自動的に "0" になります。</p>	

(4) 分周値選択レジスタ<sub>n</sub> (BRGCAn)

シリアル転送スピード (CSIAクロックの分周値) を制御する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。ただし、CSISn.TSFnビット = 1のときはBRGCAnレジスタへの書き換えは禁止です。

リセットにより03Hになります。

リセット時 : 03H    R/W    アドレス : BRGCA0 FFFFFFFD43H, BRGCA1 FFFFFFF53H

	7	6	5	4	3	2	1	0
BRGCAn	0	0	0	0	0	0	BRGCn1	BRGCn0

(n = 0, 1)

BRGCn1	BRGCn0	CSIAシリアル・クロック (f <sub>SCKA</sub> の分周比) の選択
0	0	6分周 (f <sub>SCKA</sub> /6)
0	1	8分周 (f <sub>SCKA</sub> /8)
1	0	16分周 (f <sub>SCKA</sub> /16)
1	1	32分周 (f <sub>SCKA</sub> /32)

(5) 自動データ転送アドレス・ポイント指定レジスタ<sub>n</sub> (ADTPn)

自動データ転送時 (CSIMAn.ATEnビット = 1) の転送を終了するバッファRAMのアドレスを指定する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。ただし、CSISn.TSFnビット = 1のときは、ADTPnレジスタへの書き換えは禁止です。

リセットにより00Hになります。

V850ES/KJ1+では、バッファRAMを32バイト内蔵しているので、00H-1FHまで指定可能です。

**例** ADTP0レジスタに07Hを設定した場合

FFFFFFE00H-FFFFFFE07Hまでの8バイトを転送します

繰り返しモード (CSIMAn.ATMnビット = 1) の場合は、ADTPnレジスタで指定したアドレス値まで繰り返し転送します。

**例** ADTP0レジスタに07Hを設定した場合 (繰り返しモード)

FFFFFFE00H-FFFFFFE07H...と繰り返し転送します

リセット時 : 00H    R/W    アドレス : ADTP0 FFFFFFFD44H, ADTP1 FFFFFFF54H

	7	6	5	4	3	2	1	0
ADTPn	0	0	0	ADTPn4	ADTPn3	ADTPn2	ADTPn1	ADTPn0

(n = 0, 1)

**注意** ビット7-5には、必ず0を設定してください。



バッファRAMのアドレス値とADTPnレジスタの設定値の関係を次に示します。

表18 - 2 バッファRAMのアドレス値とADTP0レジスタの設定値の関係

バッファRAMのアドレス値	ADTP0レジスタの設定値	バッファRAMのアドレス値	ADTP0レジスタの設定値
FFFFFFE00H	00H	FFFFFFE10H	10H
FFFFFFE01H	01H	FFFFFFE11H	11H
FFFFFFE02H	02H	FFFFFFE12H	12H
FFFFFFE03H	03H	FFFFFFE13H	13H
FFFFFFE04H	04H	FFFFFFE14H	14H
FFFFFFE05H	05H	FFFFFFE15H	15H
FFFFFFE06H	06H	FFFFFFE16H	16H
FFFFFFE07H	07H	FFFFFFE17H	17H
FFFFFFE08H	08H	FFFFFFE18H	18H
FFFFFFE09H	09H	FFFFFFE19H	19H
FFFFFFE0AH	0AH	FFFFFFE1AH	1AH
FFFFFFE0BH	0BH	FFFFFFE1BH	1BH
FFFFFFE0CH	0CH	FFFFFFE1CH	1CH
FFFFFFE0DH	0DH	FFFFFFE1DH	1DH
FFFFFFE0EH	0EH	FFFFFFE1EH	1EH
FFFFFFE0FH	0FH	FFFFFFE1FH	1FH

表18 - 3 バッファRAMのアドレス値とADTP1レジスタの設定値の関係

バッファRAMのアドレス値	ADTP1レジスタの設定値	バッファRAMのアドレス値	ADTP1レジスタの設定値
FFFFFFE20H	00H	FFFFFFE30H	10H
FFFFFFE21H	01H	FFFFFFE31H	11H
FFFFFFE22H	02H	FFFFFFE32H	12H
FFFFFFE23H	03H	FFFFFFE33H	13H
FFFFFFE24H	04H	FFFFFFE34H	14H
FFFFFFE25H	05H	FFFFFFE35H	15H
FFFFFFE26H	06H	FFFFFFE36H	16H
FFFFFFE27H	07H	FFFFFFE37H	17H
FFFFFFE28H	08H	FFFFFFE38H	18H
FFFFFFE29H	09H	FFFFFFE39H	19H
FFFFFFE2AH	0AH	FFFFFFE3AH	1AH
FFFFFFE2BH	0BH	FFFFFFE3BH	1BH
FFFFFFE2CH	0CH	FFFFFFE3CH	1CH
FFFFFFE2DH	0DH	FFFFFFE3DH	1DH
FFFFFFE2EH	0EH	FFFFFFE3EH	1EH
FFFFFFE2FH	0FH	FFFFFFE3FH	1FH

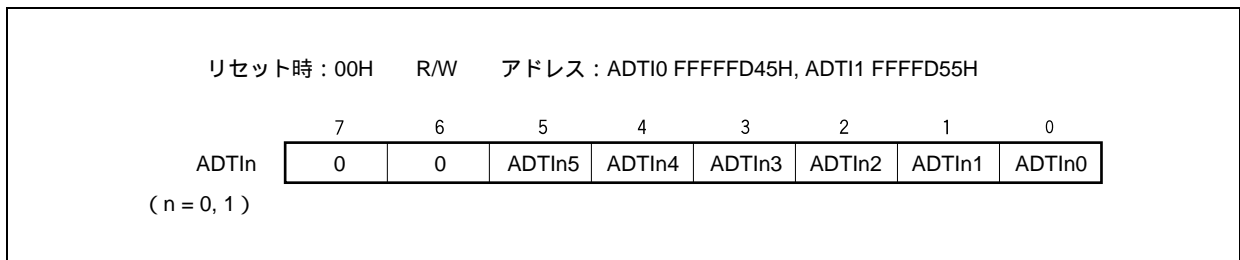
(6) 自動データ転送間隔指定レジスタ<sub>n</sub> (ADTIn)

自動データ転送時 (CSIMAn.ATENビット = 1) の1バイト転送間におけるインターバル期間 (間隔) を指定する8ビットのレジスタです。

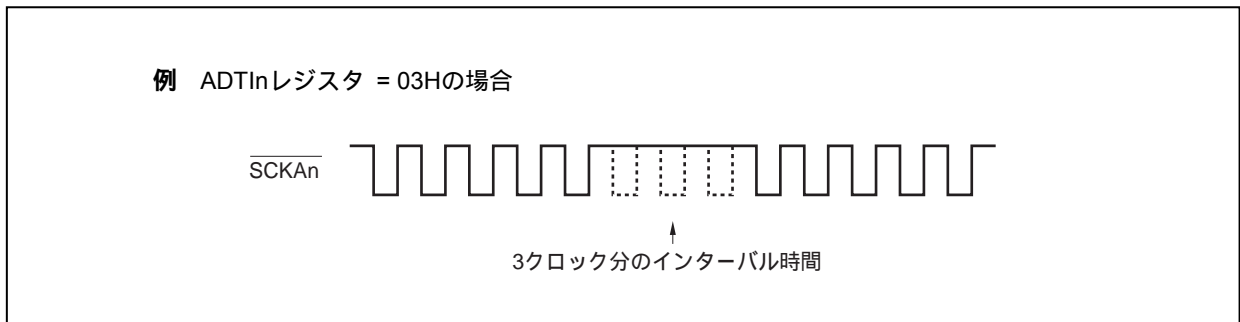
ADTInレジスタは、マスタ・モード (CSIMAn.MASTERnビット = 1) 時に設定してください (スレーブ・モード時は設定不要)。また1バイト転送モード (ATENビット = 0) 時の設定は有効です。1バイト転送終了後ADTInレジスタで指定したインターバル時間を経て、送受信完了割り込み要求信号 (INTCSIA<sub>n</sub>) が出力されます。インターバルのクロック数は0-63クロックまで設定できます。

8ビット単位でリード/ライト可能です。ただし、CSISn.TSFnビット = 1のときは、ADTInレジスタへの書き換えは禁止です。

リセットにより00Hになります。



指定したインターバル時間は、転送クロック (BRGCAnレジスタで指定) の整数倍の時間となります。



(7) CSIA<sub>n</sub>バッファRAM (CSIA<sub>n</sub>B<sub>m</sub>)

自動転送モードにおける送受信データ（最大32バイト）を1バイト単位で保持する領域です。

CSIA<sub>n</sub>B<sub>m</sub>レジスタは、16ビット単位でリード/ライト可能です。ただし、CSIA<sub>n</sub>B<sub>m</sub>レジスタの上位8ビットをCSIA<sub>n</sub>B<sub>m</sub>Hレジスタ、下位8ビットをCSIA<sub>n</sub>B<sub>m</sub>Lレジスタとして使用する場合は、8ビット単位でリード/ライト可能です。

自動転送を開始させると、CSIA<sub>n</sub>B<sub>0</sub>Lレジスタから順次、ADTP<sub>n</sub>レジスタに設定された値 + 1バイト送受信されます。

**注意1.** CSIA<sub>n</sub>B<sub>m</sub>レジスタヘデータを書き込んだあと、その値を読み出す場合は、 $f_{SCKA}$

(CSIS<sub>n</sub>.CKSA<sub>n</sub>1, CKSA<sub>n</sub>0ビットで設定したシリアル・クロック)の6クロック分以上空けたあと、または別のアドレスのバッファRAMへの書き込みを行ったあとに読み出してください。

2. 次に示す状態において、CSIA<sub>n</sub>B<sub>m</sub>レジスタへのアクセスは禁止です。詳細は3.4.8(1)(b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

**備考** n = 0, 1

m = 0-F

表18 - 4 CSIA0バッファRAM

アドレス	略号	R/W	操作可能ビット		初期値
			8	16	
FFFFFFE0H	CSIA0B0	R/W			不定
FFFFFFE0H	CSIA0B0L	R/W			不定
FFFFFFE0H	CSIA0B0H	R/W			不定
FFFFFFE2H	CSIA0B1	R/W			不定
FFFFFFE2H	CSIA0B1L	R/W			不定
FFFFFFE2H	CSIA0B1H	R/W			不定
FFFFFFE4H	CSIA0B2	R/W			不定
FFFFFFE4H	CSIA0B2L	R/W			不定
FFFFFFE4H	CSIA0B2H	R/W			不定
FFFFFFE6H	CSIA0B3	R/W			不定
FFFFFFE6H	CSIA0B3L	R/W			不定
FFFFFFE6H	CSIA0B3H	R/W			不定
FFFFFFE8H	CSIA0B4	R/W			不定
FFFFFFE8H	CSIA0B4L	R/W			不定
FFFFFFE8H	CSIA0B4H	R/W			不定
FFFFFFE0AH	CSIA0B5	R/W			不定
FFFFFFE0AH	CSIA0B5L	R/W			不定
FFFFFFE0AH	CSIA0B5H	R/W			不定
FFFFFFE0CH	CSIA0B6	R/W			不定
FFFFFFE0CH	CSIA0B6L	R/W			不定
FFFFFFE0CH	CSIA0B6H	R/W			不定
FFFFFFE0EH	CSIA0B7	R/W			不定
FFFFFFE0EH	CSIA0B7L	R/W			不定
FFFFFFE0EH	CSIA0B7H	R/W			不定
FFFFFFE10H	CSIA0B8	R/W			不定
FFFFFFE10H	CSIA0B8L	R/W			不定
FFFFFFE10H	CSIA0B8H	R/W			不定
FFFFFFE12H	CSIA0B9	R/W			不定
FFFFFFE12H	CSIA0B9L	R/W			不定
FFFFFFE12H	CSIA0B9H	R/W			不定
FFFFFFE14H	CSIA0BA	R/W			不定
FFFFFFE14H	CSIA0BAL	R/W			不定
FFFFFFE14H	CSIA0BAH	R/W			不定
FFFFFFE16H	CSIA0BB	R/W			不定
FFFFFFE16H	CSIA0BBL	R/W			不定
FFFFFFE16H	CSIA0BBH	R/W			不定
FFFFFFE18H	CSIA0BC	R/W			不定
FFFFFFE18H	CSIA0BCL	R/W			不定
FFFFFFE18H	CSIA0BCH	R/W			不定
FFFFFFE1AH	CSIA0BD	R/W			不定
FFFFFFE1AH	CSIA0BDL	R/W			不定
FFFFFFE1AH	CSIA0BDH	R/W			不定
FFFFFFE1CH	CSIA0BE	R/W			不定
FFFFFFE1CH	CSIA0BEL	R/W			不定
FFFFFFE1CH	CSIA0BEH	R/W			不定
FFFFFFE1EH	CSIA0BF	R/W			不定
FFFFFFE1EH	CSIA0BFL	R/W			不定
FFFFFFE1EH	CSIA0BFH	R/W			不定

表18 - 5 CSIA1バッファRAM

アドレス	略号	R/W	操作可能ビット		初期値
			8	16	
FFFFFFE20H	CSIA1B0	R/W			不定
FFFFFFE20H	CSIA1B0L	R/W			不定
FFFFFFE21H	CSIA1B0H	R/W			不定
FFFFFFE22H	CSIA1B1	R/W			不定
FFFFFFE22H	CSIA1B1L	R/W			不定
FFFFFFE23H	CSIA1B1H	R/W			不定
FFFFFFE24H	CSIA1B2	R/W			不定
FFFFFFE24H	CSIA1B2L	R/W			不定
FFFFFFE25H	CSIA1B2H	R/W			不定
FFFFFFE26H	CSIA1B3	R/W			不定
FFFFFFE26H	CSIA1B3L	R/W			不定
FFFFFFE27H	CSIA1B3H	R/W			不定
FFFFFFE28H	CSIA1B4	R/W			不定
FFFFFFE28H	CSIA1B4L	R/W			不定
FFFFFFE29H	CSIA1B4H	R/W			不定
FFFFFFE2AH	CSIA1B5	R/W			不定
FFFFFFE2AH	CSIA1B5L	R/W			不定
FFFFFFE2BH	CSIA1B5H	R/W			不定
FFFFFFE2CH	CSIA1B6	R/W			不定
FFFFFFE2CH	CSIA1B6L	R/W			不定
FFFFFFE2DH	CSIA1B6H	R/W			不定
FFFFFFE2EH	CSIA1B7	R/W			不定
FFFFFFE2EH	CSIA1B7L	R/W			不定
FFFFFFE2FH	CSIA1B7H	R/W			不定
FFFFFFE30H	CSIA1B8	R/W			不定
FFFFFFE30H	CSIA1B8L	R/W			不定
FFFFFFE31H	CSIA1B8H	R/W			不定
FFFFFFE32H	CSIA1B9	R/W			不定
FFFFFFE32H	CSIA1B9L	R/W			不定
FFFFFFE33H	CSIA1B9H	R/W			不定
FFFFFFE34H	CSIA1BA	R/W			不定
FFFFFFE34H	CSIA1BAL	R/W			不定
FFFFFFE35H	CSIA1BAH	R/W			不定
FFFFFFE36H	CSIA1BB	R/W			不定
FFFFFFE36H	CSIA1BBL	R/W			不定
FFFFFFE37H	CSIA1BBH	R/W			不定
FFFFFFE38H	CSIA1BC	R/W			不定
FFFFFFE38H	CSIA1BCL	R/W			不定
FFFFFFE39H	CSIA1BCH	R/W			不定
FFFFFFE3AH	CSIA1BD	R/W			不定
FFFFFFE3AH	CSIA1BDL	R/W			不定
FFFFFFE3BH	CSIA1BDH	R/W			不定
FFFFFFE3CH	CSIA1BE	R/W			不定
FFFFFFE3CH	CSIA1BEL	R/W			不定
FFFFFFE3DH	CSIA1BEH	R/W			不定
FFFFFFE3EH	CSIA1BF	R/W			不定
FFFFFFE3EH	CSIA1BFL	R/W			不定
FFFFFFE3FH	CSIA1BFH	R/W			不定

## 18.4 動作

CSIA<sub>n</sub>には、次の2種類のモードがあります。

- ・3線式シリアルI/Oモード
- ・自動送受信機能付き3線式シリアルI/Oモード

### 18.4.1 3線式シリアルI/Oモード

CSIA<sub>n</sub>.ATE<sub>n</sub>ビットを0に設定したときのモードで、1バイトごとのデータ送受信を行います。

シリアル・クロック端子 ( $\overline{\text{SCKAn}}$ )、シリアル・データ出力端子 (SOA<sub>n</sub>)、シリアル・データ入力端子 (SIA<sub>n</sub>) の3本のライン通信を行います。

3線式シリアルI/Oモードは次の3種類のレジスタで制御します。

- ・シリアル動作モード指定レジスタ<sub>n</sub> (CSIA<sub>n</sub>)
- ・シリアル・ステータス・レジスタ<sub>n</sub> (CSIS<sub>n</sub>)
- ・分周値選択レジスタ<sub>n</sub> (BRGCA<sub>n</sub>)

**備考1.** 兼用端子の設定は表4 - 19 **ポート端子を兼用端子として使用する場合**を参照してください。

2.  $n = 0, 1$

(1) 1バイト送受信の通信動作

(a) 1バイト送受信

CSIMAn.CSIAEnビット = 1, ATEnビット = 0のときにSIOAnレジスタに転送データを書き込むと、そのデータをSCKAn端子の立ち下がりに同期してSOAn端子から出力します。また、SCKAn端子の立ち下がりに同期してSIAAn端子から入力し、1クロック後の立ち上がり同期して受信データをSIOAnレジスタに格納します。

データ送信、およびデータ受信を同時に行うことができます。

受信のみを行う際には、SIOAnレジスタにダミーの値を書き込まなければ転送を開始することができません。

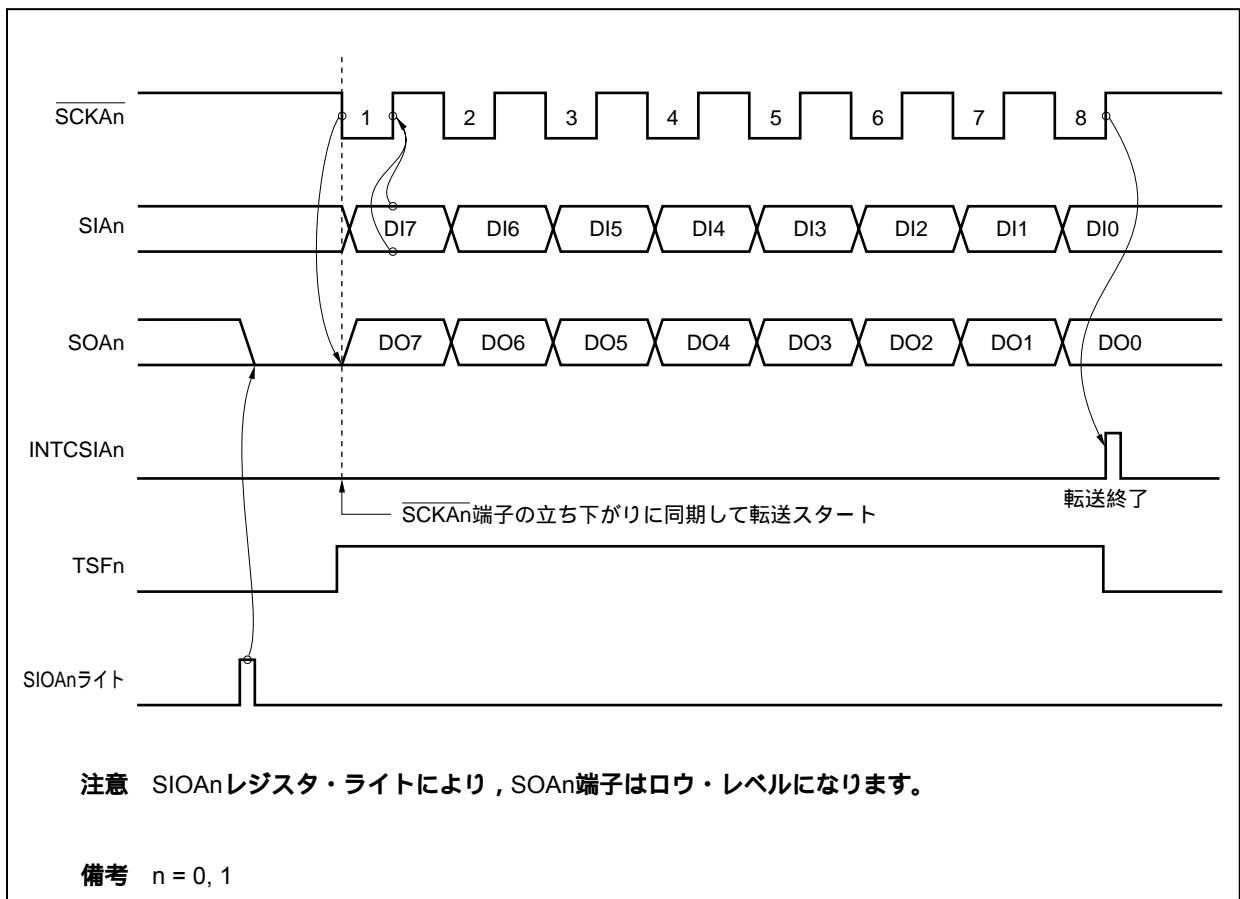
1バイトの転送が終了すると、送受信完了割り込み要求信号 (INTCSIAAn) を発生します。

1バイト送受信の場合、CSIMAn.ATMnビットの設定は無効になります。

データの読み出しはCSISn.TSFnビット = 0であることを確認してから行ってください。

**注意** 兼用端子の設定手順は通信相手との関係によって考慮してください。

図18 - 2 3線式シリアルI/Oモードのタイミング

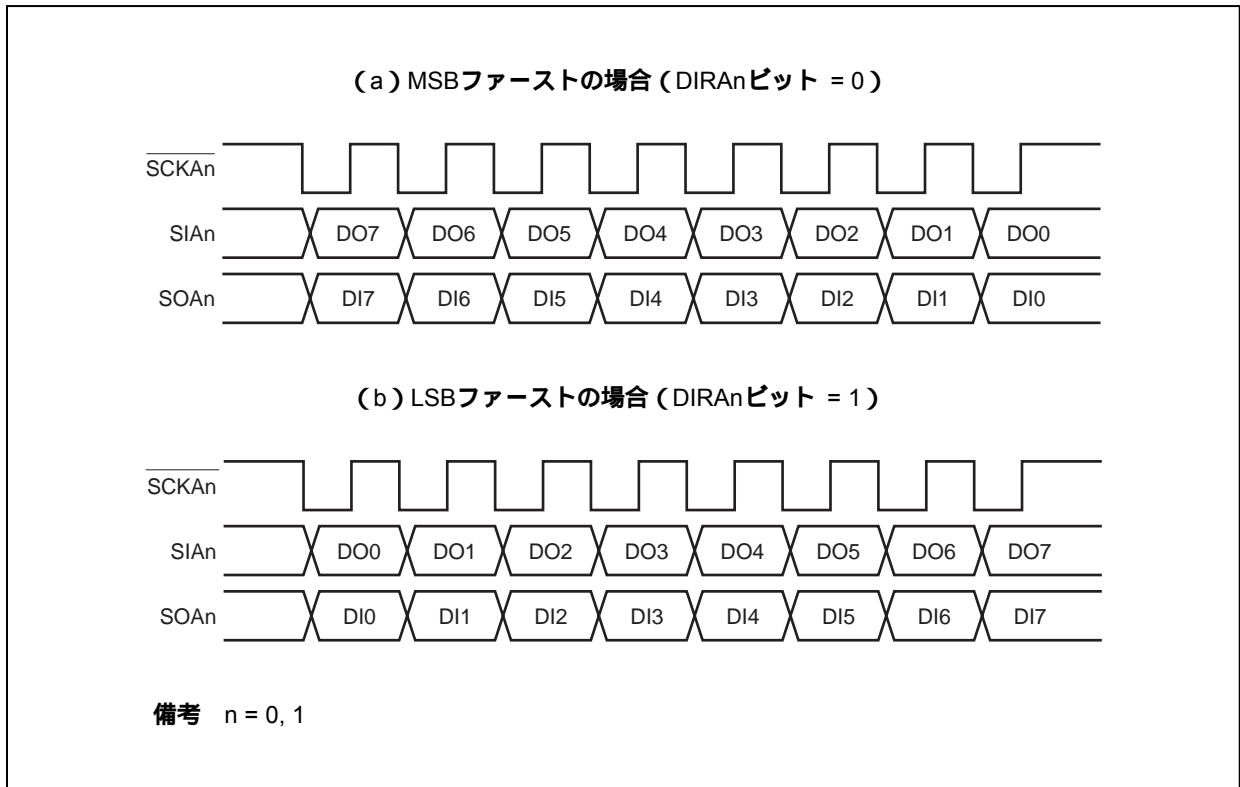


(b) データ・フォーマット

データ・フォーマットは、図18 - 3に示すように、 $\overline{\text{SCKAn}}$ 端子の立ち下がりに同期してデータが変化します。

データ長は8ビット固定であり、データ転送方向は、 $\text{CSIMAn.DIRAn}$ ビットの指定により切り替えることができます。

図18 - 3 送受信データのフォーマット



(c) MSB/LSB先頭の切り替え

図18 - 4に $\text{SIOAn}$ レジスタ、および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し / 書き込みができます。

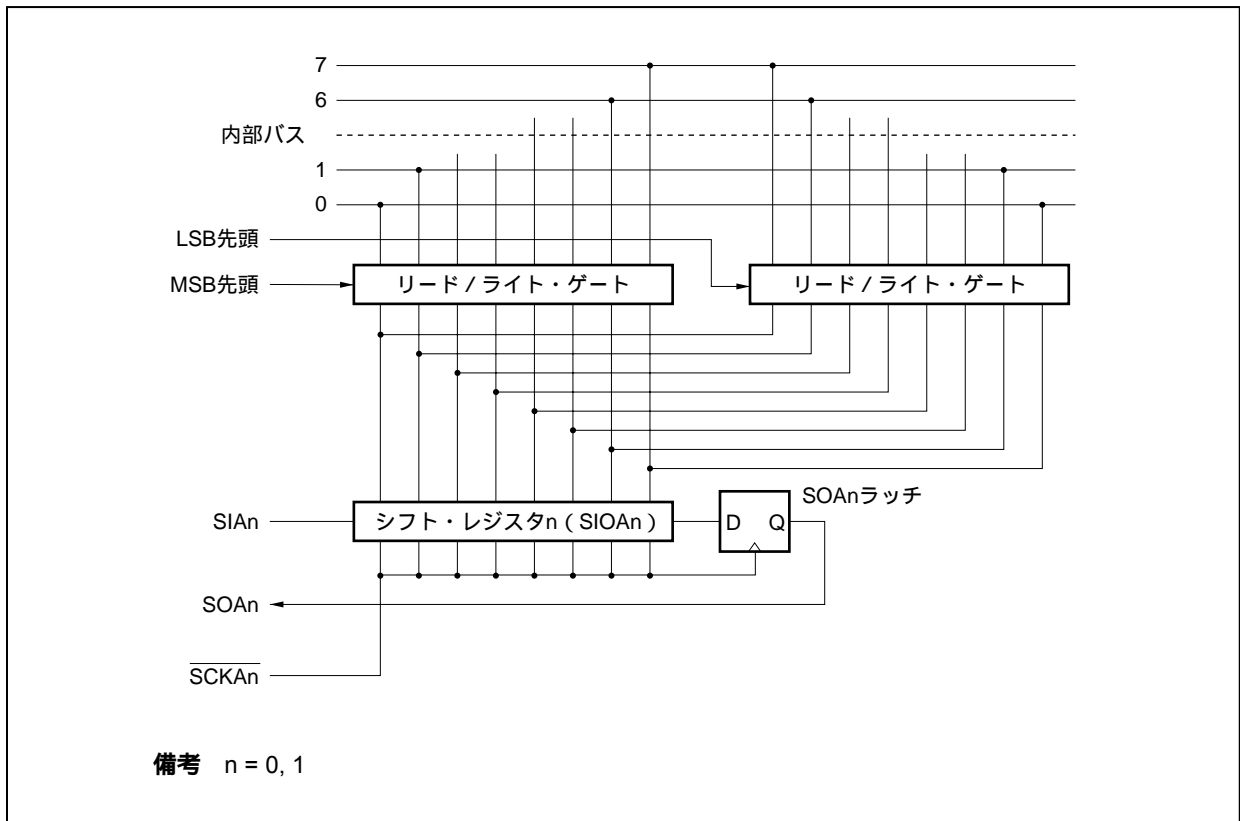
MSB/LSB先頭切り替えは、 $\text{CSIMAn.DIRAn}$ ビットにより指定できます。

先頭ビットの切り替えは、 $\text{SIOAn}$ レジスタへのデータ書き込みのビット順を切り替えることによって実現させています。 $\text{SIOAn}$ レジスタのシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットは、 $\text{SIOAn}$ レジスタにデータを書き込む前に切り替えてください。



図18 - 4 転送ビット順切り替え回路



(d) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、SIOAnレジスタに転送データをセットすることで開始します。

- ・ CSIA<sub>n</sub>の動作の制御ビット (CSIMAn.CSIAEn) = 1
- ・ シリアル通信中でないとき

**注意** SIOAnレジスタにデータを書き込んだあと、CSIAEnビットをセット(1)しても、通信はスタートしません。

8ビット通信終了により、シリアル通信は自動的に停止し、送受信完了割り込み要求信号 (INTCSIA<sub>n</sub>) を発生します。

備考 n = 0, 1

## 18.4.2 自動送受信機能付き3線式シリアルI/Oモード

CSIMAn.ATEnビットを1に設定したときのモードで、最大32バイトのデータを、ソフトウェアの介在なしに送受信を行います。通信を開始させると、あらかじめRAMに格納しておいたデータを設定したバイト数だけ送信させたり、設定したバイト数だけデータを受信しRAMに格納させることができます。

自動送受信機能付き3線式シリアルI/Oモードでは次の6種類のレジスタで制御します。

- ・シリアル動作モード指定レジスタn (CSIMAn)
- ・シリアル・ステータス・レジスタn (CSISn)
- ・シリアル・トリガ・レジスタn (CSITn)
- ・分周値選択レジスタn (BRGCAn)
- ・自動データ転送アドレス・ポイント指定レジスタn (ADTPn)
- ・自動データ転送間隔指定レジスタn (ADTIn)

**備考1.** 兼用端子の設定は表4 - 19 **ポート端子を兼用端子として使用する場合**を参照してください。

2. n = 0, 1

## (1) 自動送受信データの設定

### (a) 送信データの設定

バッファRAMの最下位アドレスFFFFFFE00H/FFFFFFE20Hから送信データを書き込む（最大FFFFFFE1FH/FFFFFFE3FHまで）。送信データ順は、下位アドレスから上位アドレスです。

ADTPnレジスタに、送信データ・バイト数から1を引いた値を設定する。

### (b) 自動送受信モードの設定

CSIMAn.CSIAEn, ATEnビットに1を設定する。

CSIMAn.RXEAn, TXEAnビットに1を設定する。

ADTInレジスタにデータ送受信の転送間隔を設定する。

CSITn.ATSTAnビットに1を設定する。

(a), (b) を行うことによって、次の動作が自動的に行われます。

- ・ADTCnレジスタで示された(初期値: 00H)バッファRAMのデータをSIOAnレジスタに転送後、送信を行います(自動送受信動作の開始)。
- ・受信したデータは、ADTCnレジスタで示されたバッファRAMのアドレスへ書き込まれます。
- ・ADTCnレジスタがインクリメントされ、次のデータの送受信を行います。データの送受信は、ADTCnレジスタのインクリメント出力がADTPnレジスタの設定値と一致するところまで行われます(自動送受信動作の終了)。ただし、CSIMAn.ATMnビットに1を設定(連続転送モード)した場合はADTPnレジスタとADTCnレジスタが一致したあとADTCnレジスタがクリアされ、繰り返し送受信動作が行われます。
- ・自動送受信動作が終了するとCSISn.TSFnビットがクリア(0)されます。

**注意** 兼用端子の設定手順は通信相手との関係によって考慮してください。

**備考** n = 0, 1

## (2) 自動送受信の通信動作

### (a) 自動送受信モード

バッファRAMを用いることにより自動送受信を行うことができます。

(1) 自動送受信データの設定の (a), (b) を行うことによって, バッファRAMに格納したデータをSIOAnレジスタを介して $\overline{\text{SCKAn}}$ 端子の立ち下がりに同期してSOAn端子より出力します。

また, SIOAnレジスタを介して $\overline{\text{SCKAn}}$ 端子の立ち下がりに同期してSIA端子から入力し, 1クロック後の立ち上がりに同期して受信データをバッファRAMに格納します。

データ転送は, 次のいずれかを満たしたときにCSISn.TSFnビット = 0となり, 転送が終了します。

- ・ CSIMAn.CSIAEnビット = 0でリセット
- ・ CSITn.ATSTPnビット = 1と指定して1バイト分転送が完了
- ・ ADTPnレジスタで指定した範囲の転送が完了

このとき, CSIAEnビット = 0の場合を除き, 送受信完了割り込み要求信号 (INTCSIA) を発生します。

一度転送を終了させると, その続きから転送することができません。ADTCnレジスタを読み出し, どこまで転送が完了したかを確認し, 自動送受信データの設定 (a), (b) を行ってください。

自動送受信モードの動作タイミングを図18 - 5に, 動作フロー・チャートを図18 - 6に示します。また, 6バイト分送受信するときの内部バッファRAMの動作を図18 - 7に示します。

**備考** n = 0, 1

図18 - 5 自動送受信モードの動作タイミング

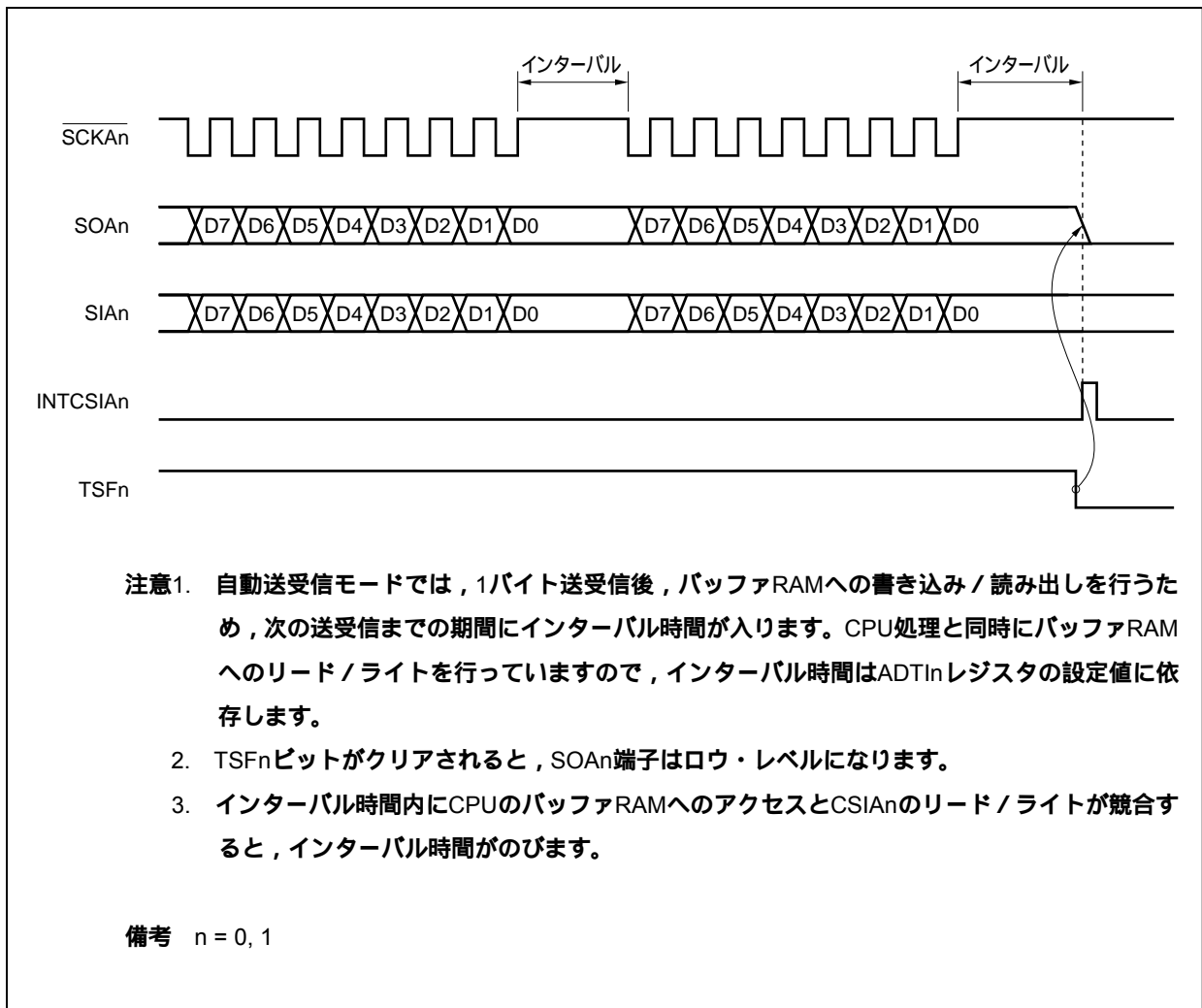
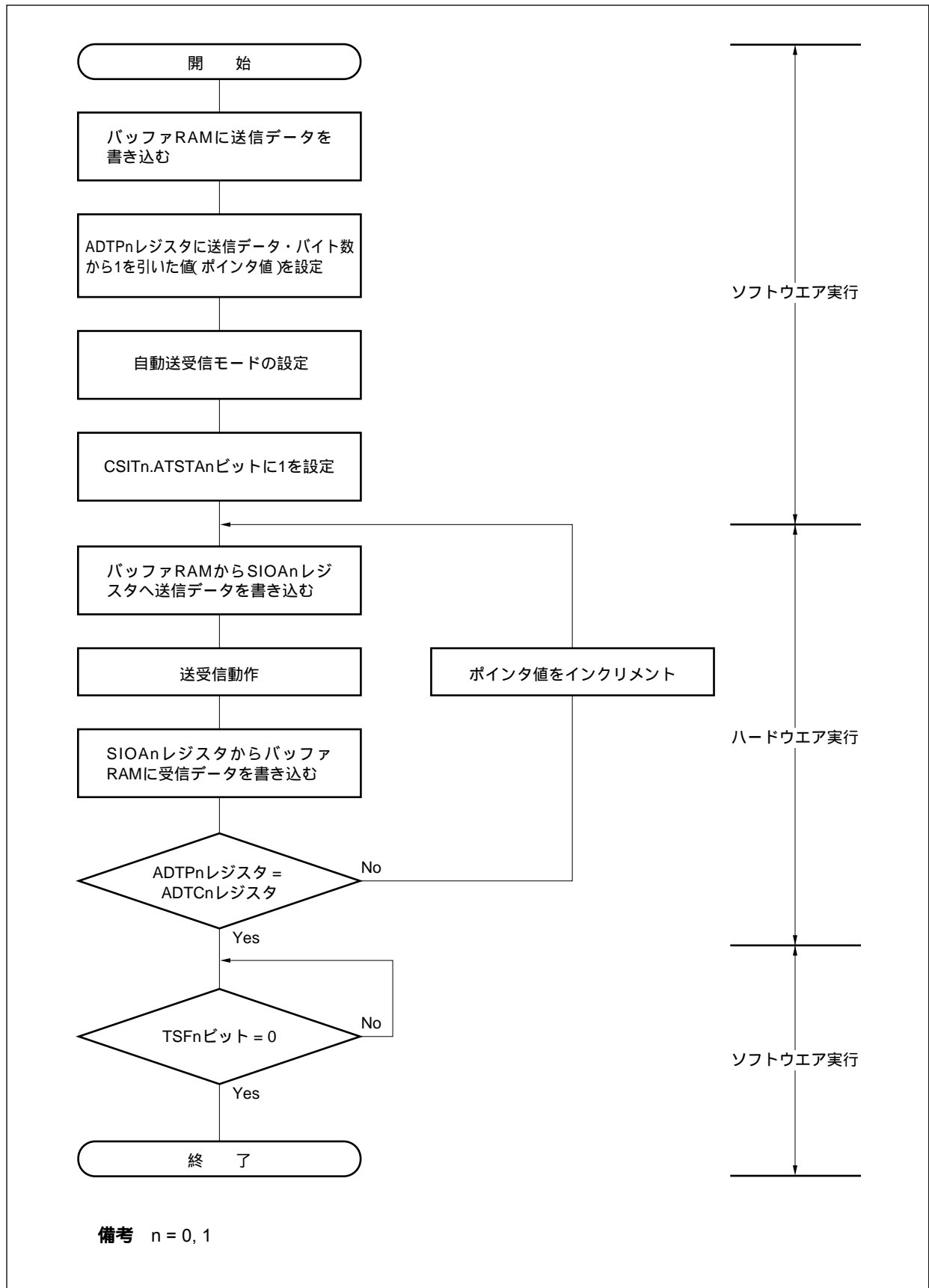


図18 - 6 自動送受信モードのフロー・チャート



自動送受信モードで6バイト分送受信するとき (CSIMAn.ATMnビット = 0, RXEAnビット = 1, TXEAnビット = 1), バッファRAMは次のような動作をします。

(i) 送受信動作開始 (図18 - 7 (a) 参照)

CSITn.ATSTAnビットをセット (1) すると, バッファRAMから送信データ1 (T1) がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると, SIOAnレジスタからバッファRAMへ受信データ1 (R1) が転送され, ADTCnレジスタの値がインクリメントされます。続いてバッファRAMから送信データ2 (T2) がSIOAnレジスタへ転送されます。

(ii) 4バイト目送受信動作時点 (図18 - 7 (b) 参照)

3バイト目の送受信が完了し, バッファRAMから送信データ4 (T4) がSIOAnレジスタへ転送されます。4バイト目の送信が完了すると, SIOAnレジスタからバッファRAMへ受信データ4 (R4) が転送され, ADTCnレジスタの値がインクリメントされます。

(iii) 送受信完了 (図18 - 7 (c) 参照)

6バイト目の送信が完了すると, SIOAnレジスタからバッファRAMへ受信データ6 (R6) が転送され, 送受信完了割り込み要求信号 (INTCSIAAn) が発生します。

図18 - 7 6バイト分送受信するときのバッファRAMの動作 (自動送受信モード時) (1/2)

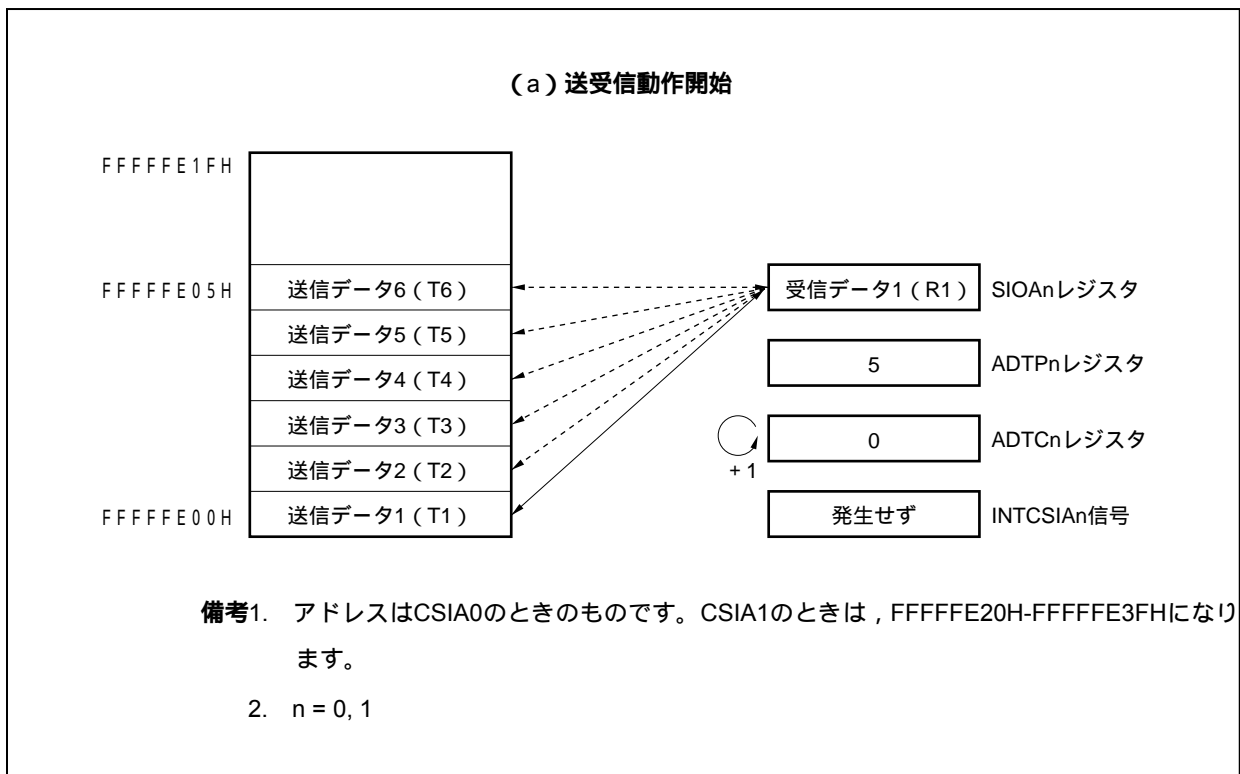
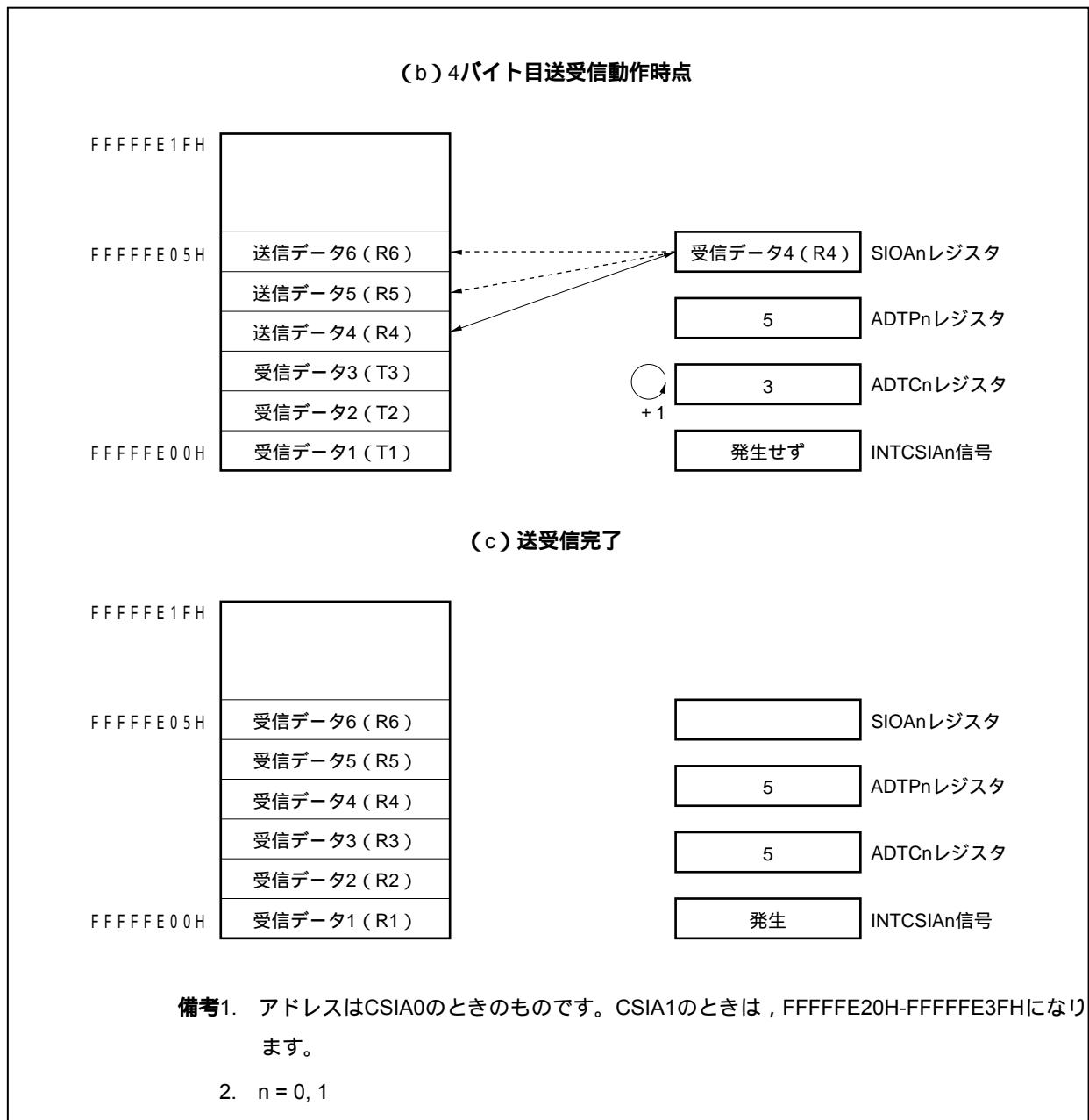


図18 - 7 6バイト分送受信するときのバッファRAMの動作 (自動送受信モード時) (2/2)





(b) 自動送信モード

8ビット単位のデータ送信を指定回数だけ実行する送信モードです。

シリアル転送は、CSIMAn.CSIAEnビット = 1, ATEnビット = 1, TXEAnビット = 1のとき、CSITn.ATSTAnビットをセット(1)することによって開始します。

最終バイト送信完了時には割り込み要求信号 (INTCSIA<sub>n</sub>) が発生します。

自動送信モードの動作タイミングを図18 - 8に、動作フロー・チャートを図18 - 9に示します。また、6バイト分送信するときのバッファRAMの動作を図18 - 10に示します。

図18 - 8 自動送信モードの動作タイミング

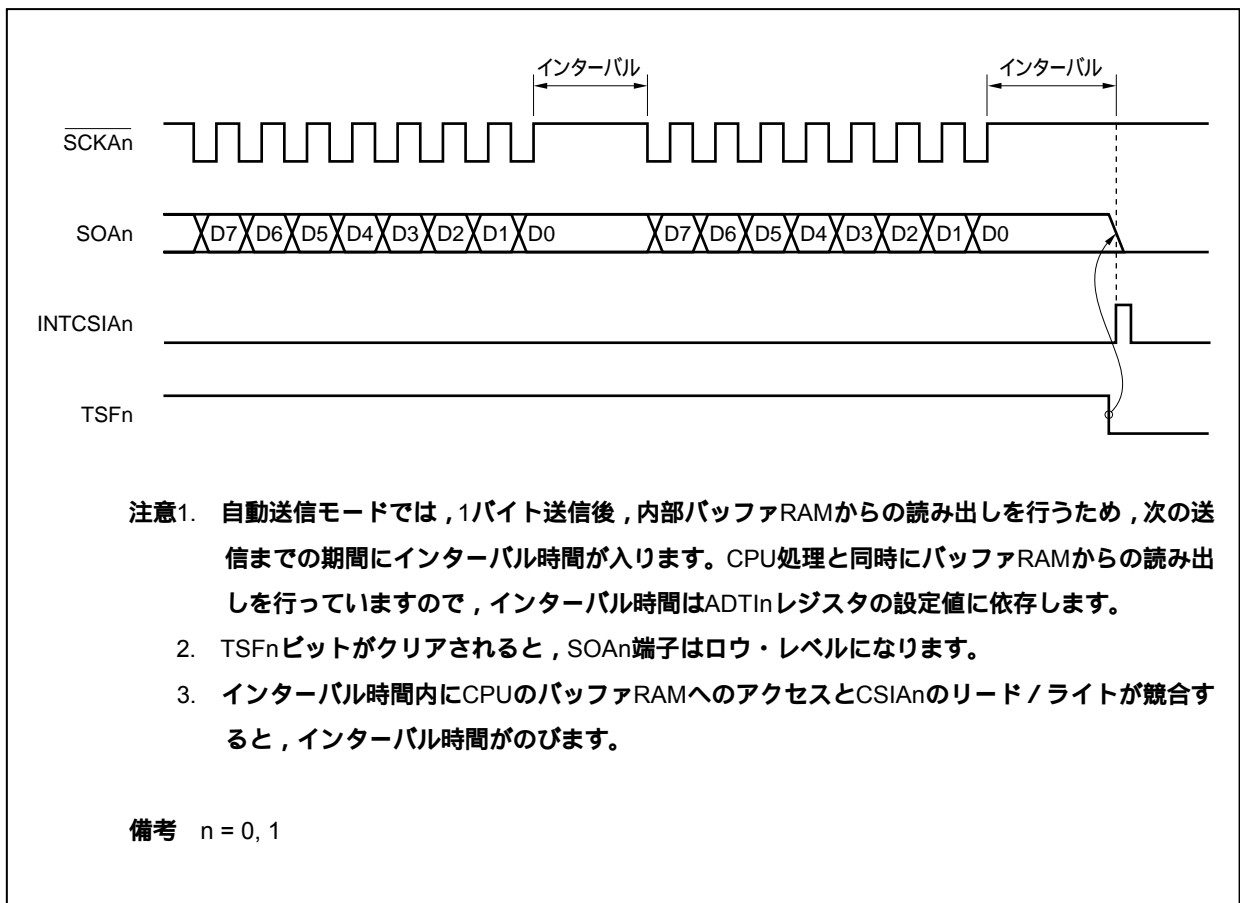
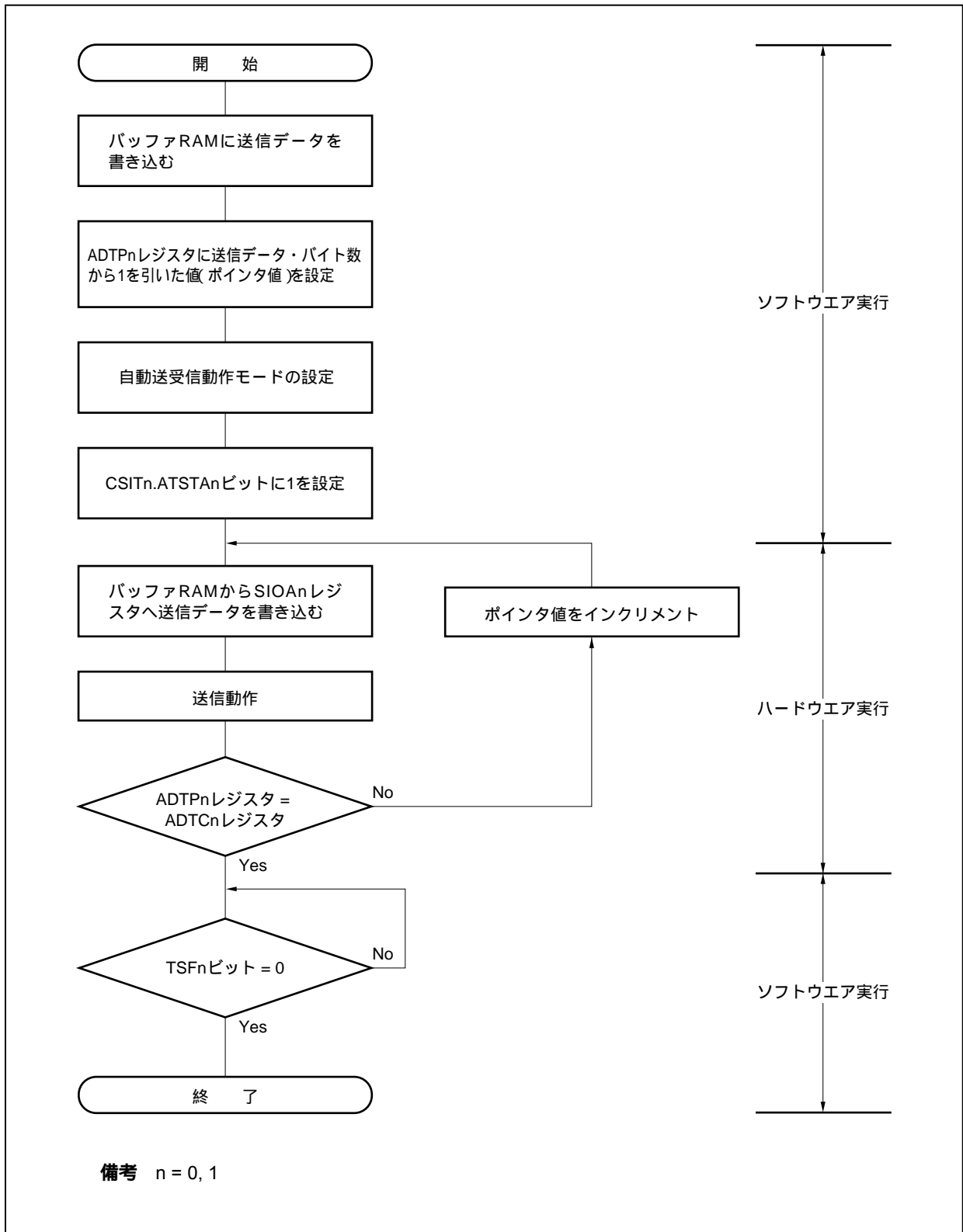


図18 - 9 自動送信モードのフロー・チャート



自動送信モードで6バイト分送信するとき (CSIMAn.ATMnビット = 0, RXEAnビット = 0, TXEAnビット = 1, ATEnビット = 1) , バッファRAMは次のような動作をします。

( i ) 送信動作開始 (図18 - 10 (a) 参照)

CSITn.ATSTAnビットをセット (1) すると, バッファRAMから送信データ1 (T1) がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると, ADTCnレジスタの値がインクリメントされます。続いてバッファRAMから送信データ2 (T2) がSIOAnレジスタへ転送されます。

( ii ) 4バイト目送信動作時点 (図18 - 10 (b) 参照)

3バイト目の送信が完了し, バッファRAMから送信データ4 (T4) がSIOAnレジスタへ転送されます。4バイト目の送信が完了すると, ADTCnレジスタの値がインクリメントされます。

( iii ) 送信完了 (図18 - 10 (c) 参照)

6バイト目の送信が完了すると, 割り込み要求信号 (INTCSIA<sub>n</sub>) が発生し, TFSnフラグがクリア (0) されます。

図18 - 10 6バイト分送信するときのバッファRAMの動作 (自動送信モード時) (1/2)

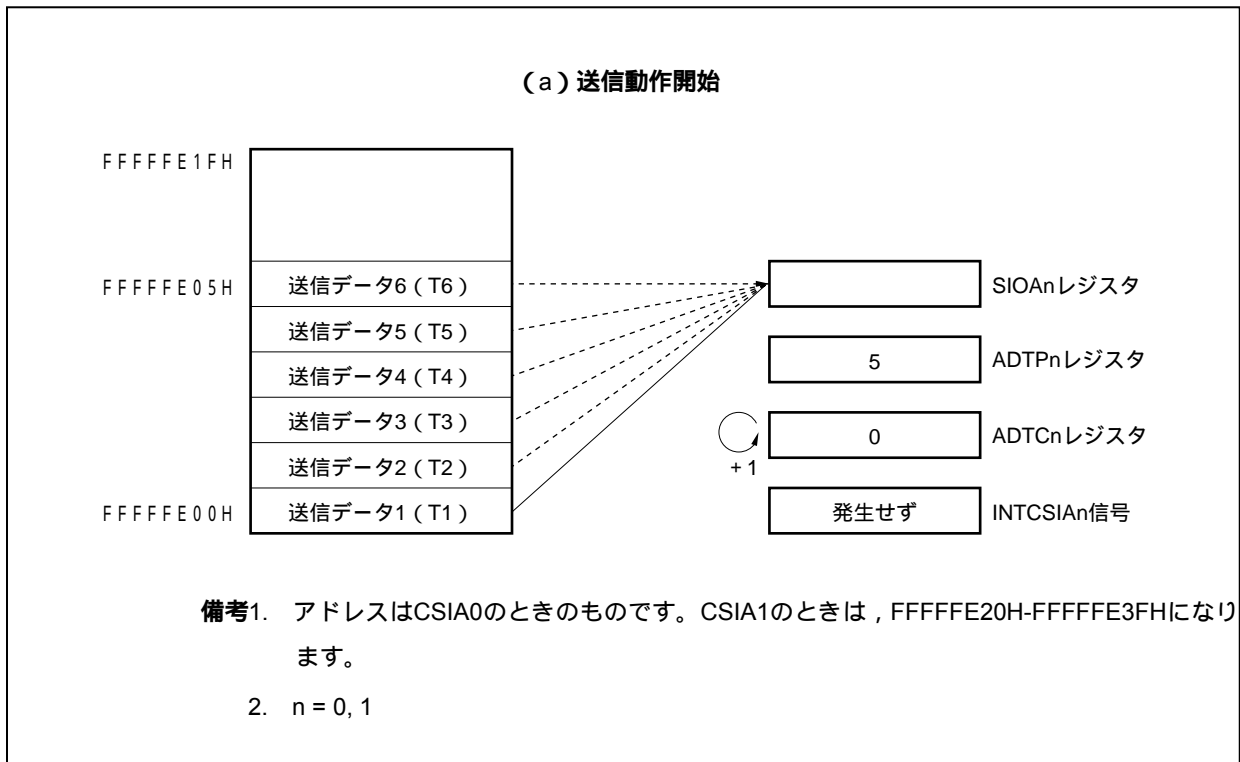
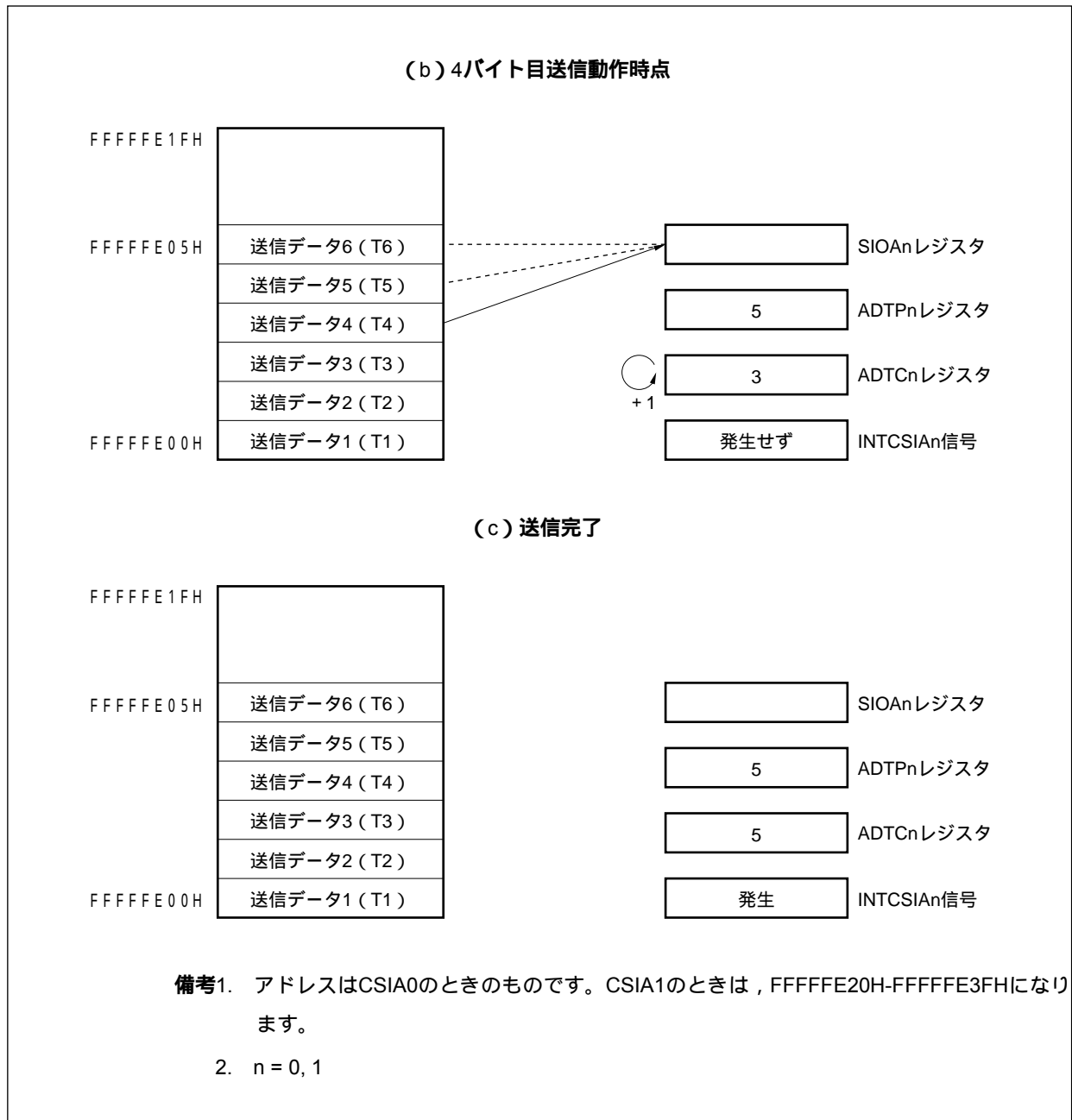


図18 - 10 6バイト分送信するときのバッファRAMの動作 (自動送信モード時) (2/2)



(c) 繰り返し送信モード

バッファRAMに格納したデータを繰り返し送信するモードです。

シリアル転送は、CSIMAn.CSIAEnビット = 1, ATEnビット = 1, ATMnビット = 1, TXEAnビット = 1のとき、CSITn.ATSTAnビットをセット(1)することによって開始します。

基本送信モードの場合とは異なり、指定バイト数を送信したあと、送受信完了割り込み要求信号(INTCSIA<sub>n</sub>)は発生せず、ADTCnレジスタがリセット(0)され、バッファRAMの内容が再送信されます。

繰り返し送信モードの動作タイミングを図18 - 11に、動作フロー・チャートを図18 - 12に示します。また、繰り返し送信モードで6バイト分送信するときのバッファRAMの動作を図18 - 13に示します。

図18 - 11 繰り返し送信モードの動作タイミング

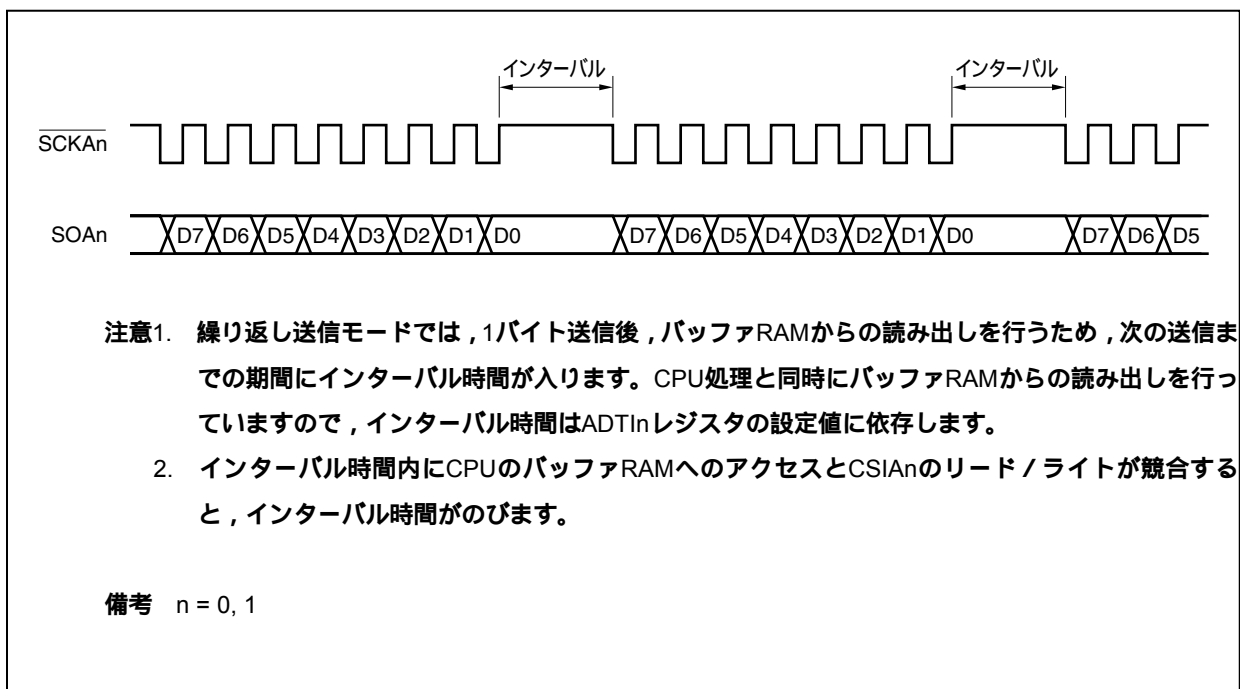
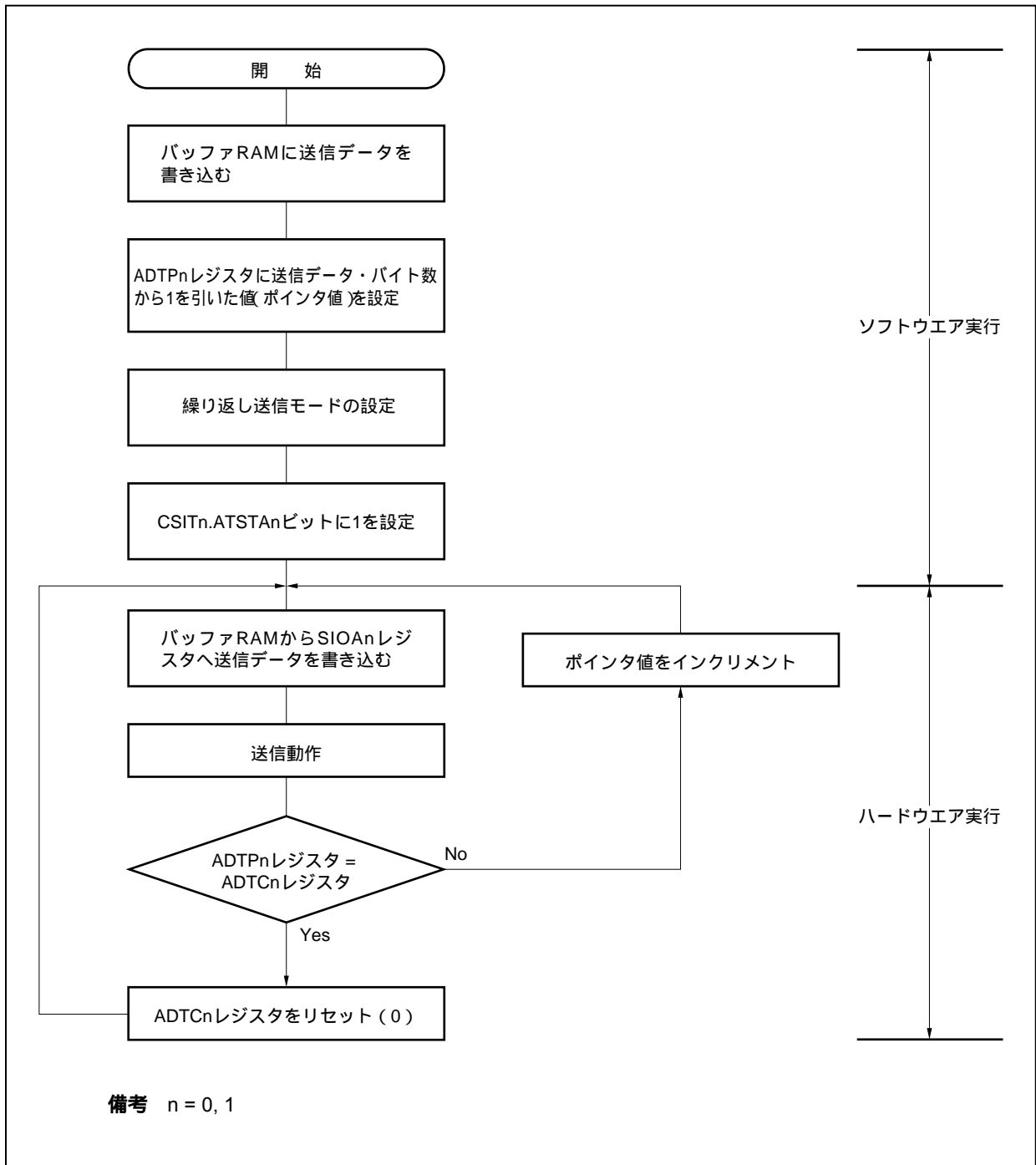


図18 - 12 繰り返し送信モードのフロー・チャート



繰り返し送信モードで6バイト分送信するとき (CSIMAn.ATMnビット = 1, RXEAnビット = 0, TXEAnビット = 1, ATEnビット = 1), バッファRAMは次のような動作をします。

(i) 送信動作開始 (図18 - 13 (a) 参照)

CSITn.ATSTAnビットをセット (1) すると, バッファRAMから送信データ1 (T1) がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると, ADTCnレジスタの値がインクリメントされます。続いてバッファRAMから送信データ2 (T2) がSIOAnレジスタへ転送されます。

(ii) 6バイト分送信完了時点 (図18 - 13 (b) 参照)

6バイト目の送信が完了しても, 割り込み要求信号 (INTCSIAAn) は発生しません。  
ADTCnレジスタがリセット (0) されます。

(iii) 7バイト目送信動作時点 (図18 - 13 (c) 参照)

再びバッファRAMから送信データ1 (T1) がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると, ADTCnレジスタの値がインクリメントされます。続いてバッファRAMから送信データ2 (T2) がSIOAnレジスタへ転送されます。

図18 - 13 6バイト分送信するときのバッファRAMの動作 (繰り返し送信モード時) (1/2)

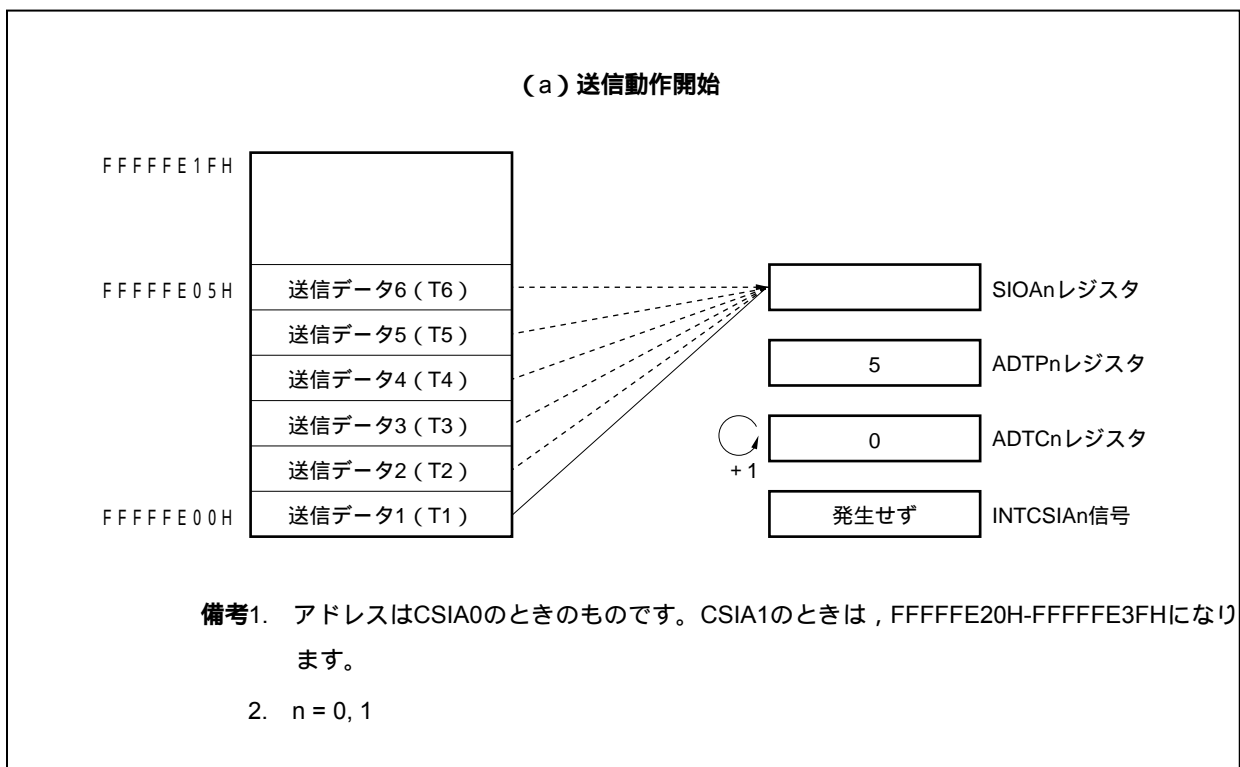
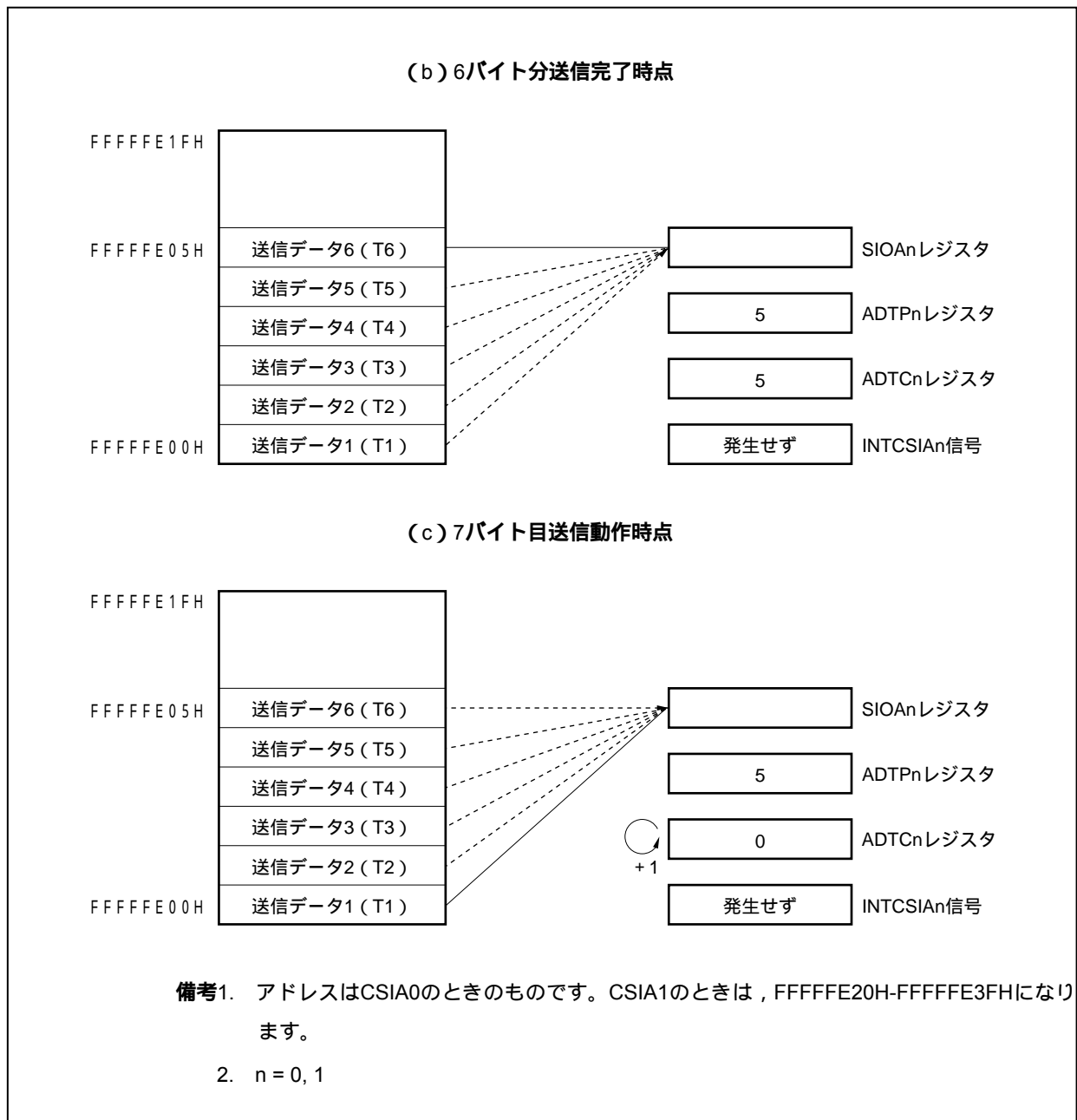


図18 - 13 6バイト分送信するときのバッファRAMの動作 (繰り返し送信モード時) (2/2)



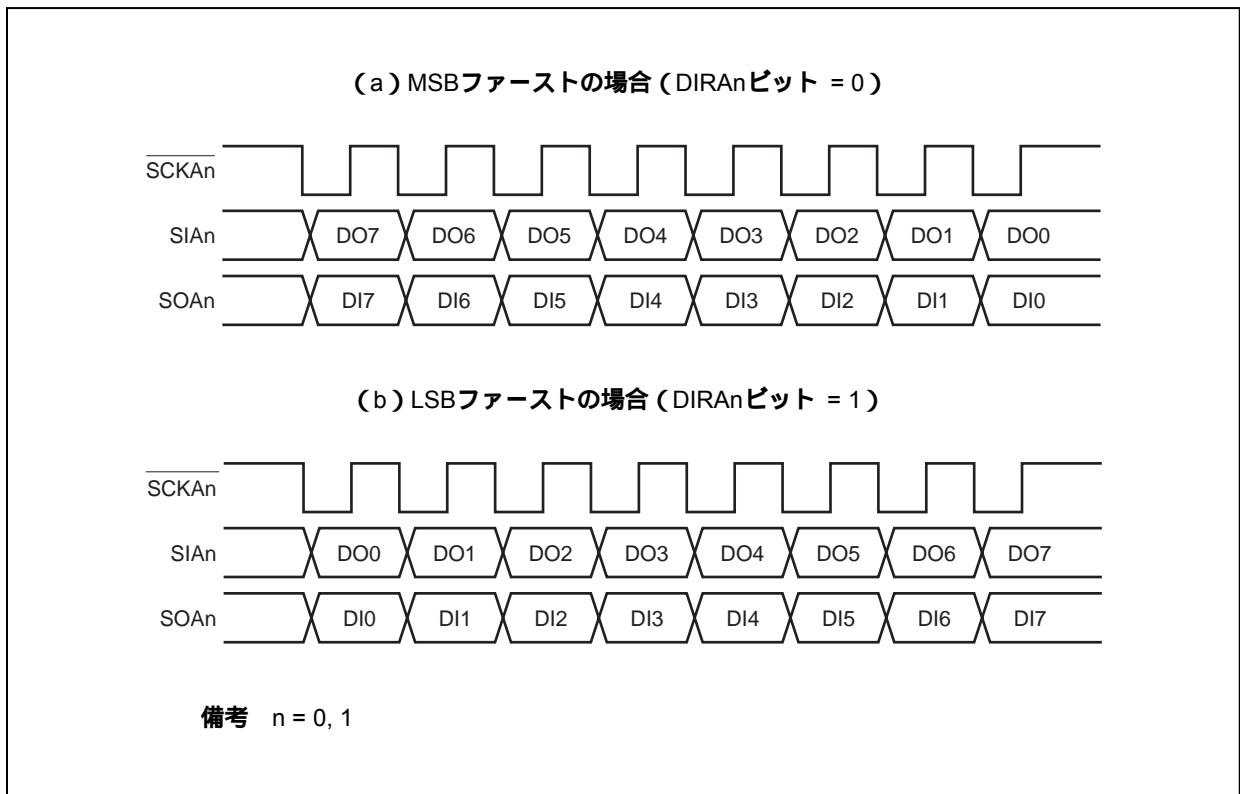


(d) データ・フォーマット

データ・フォーマットは、図18 - 14に示すように、 $\overline{\text{SCKAn}}$ 端子の立ち下がりに同期してデータが変化します。

データ長は8ビット固定であり、データ転送方向は、 $\text{CSIMAn.DIRAn}$ ビットの指定により切り替えることができます。

図18 - 14 CSIAの送受信データのフォーマット



(e) 自動送受信の中断と再開

自動送受信中に送受信動作を一時的に中断したい場合、CSITn.ATSTPnビットをセット(1)することにより動作の中断ができます。

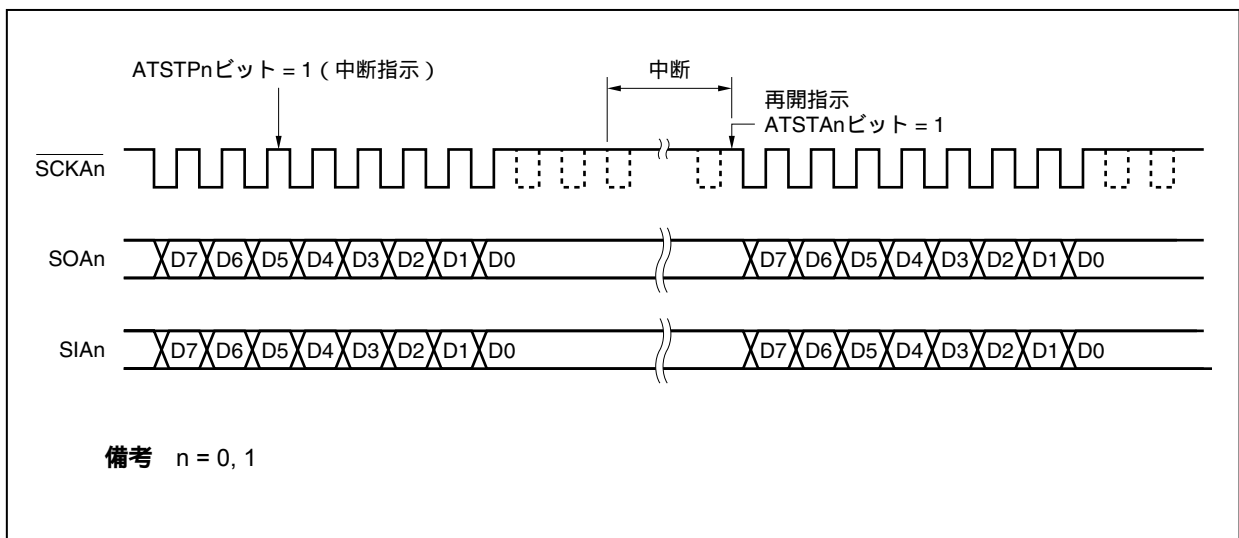
このとき、8ビット・データ転送の途中では中断せず、必ず8ビット・データ転送が完了した時点で中断します。

中断時には、8ビット目のデータを転送したあと、CSISn.TSFnビットがクリア(0)されます。

自動送受信を再開するには、CSITn.ATSTAnビットをセット(1)することにより残りのデータを転送できます。

- 注意1. 自動送受信中にIDLE命令を実行すると、8ビット・データ転送の途中で転送を中断し、IDLEモードになります。また、IDLEモードを解除すると、自動送受信動作を中断箇所より再開します。
2. 自動送受信動作を中断したとき、TSFnビット = 1の間は動作モードを3線式シリアルI/Oモードに変更しないでください。

図18 - 15 自動送受信の中断と再開



## 第19章 I<sup>2</sup>Cバス

この機能を使用する場合は、P38/SDA0, P39/SCL0, P80/SDA1, P81/SCL1端子を兼用端子として使用し、N-chオープン・ドレイン出力に設定してください。

V850ES/KJ1+は、I<sup>2</sup>Cバスを2チャンネル搭載しています。

I<sup>2</sup>Cバスを内蔵している製品を次に示します。

μ PD70F3316Y, 70F3318Y

### 19.1 UART2とI<sup>2</sup>C1のモード切り替え

V850ES/KJ1+では、UART2とI<sup>2</sup>C1は端子が兼用になっており、同時には使用できません。I<sup>2</sup>C1を使用するときは、あらかじめPMC8, PFC8レジスタで設定する必要があります（4.3.8 ポート8参照）。

**注意** UART2またはI<sup>2</sup>C1において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証しません。使用しないユニットは必ず動作禁止にしてください。

図19 - 1 UART2とI<sup>2</sup>C1のモード切り替え設定

<p>リセット時：00H    R/W    アドレス：FFFFFF450H</p> <table style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="padding: 0 10px;">7</td><td style="padding: 0 10px;">6</td><td style="padding: 0 10px;">5</td><td style="padding: 0 10px;">4</td><td style="padding: 0 10px;">3</td><td style="padding: 0 10px;">2</td><td style="padding: 0 10px;">1</td><td style="padding: 0 10px;">0</td> </tr> <tr> <td style="border: 1px solid black; padding: 2px 5px;">0</td><td style="border: 1px solid black; padding: 2px 5px;">0</td><td style="border: 1px solid black; padding: 2px 5px;">0</td><td style="border: 1px solid black; padding: 2px 5px;">0</td><td style="border: 1px solid black; padding: 2px 5px;">0</td><td style="border: 1px solid black; padding: 2px 5px;">0</td><td style="border: 1px solid black; padding: 2px 5px;">PMC81</td><td style="border: 1px solid black; padding: 2px 5px;">PMC80</td> </tr> </table>	7	6	5	4	3	2	1	0	0	0	0	0	0	0	PMC81	PMC80
7	6	5	4	3	2	1	0									
0	0	0	0	0	0	PMC81	PMC80									
<p>リセット時：00H    R/W    アドレス：FFFFFF470H</p> <table style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="padding: 0 10px;">7</td><td style="padding: 0 10px;">6</td><td style="padding: 0 10px;">5</td><td style="padding: 0 10px;">4</td><td style="padding: 0 10px;">3</td><td style="padding: 0 10px;">2</td><td style="padding: 0 10px;">1</td><td style="padding: 0 10px;">0</td> </tr> <tr> <td style="border: 1px solid black; padding: 2px 5px;">0</td><td style="border: 1px solid black; padding: 2px 5px;">0</td><td style="border: 1px solid black; padding: 2px 5px;">0</td><td style="border: 1px solid black; padding: 2px 5px;">0</td><td style="border: 1px solid black; padding: 2px 5px;">0</td><td style="border: 1px solid black; padding: 2px 5px;">0</td><td style="border: 1px solid black; padding: 2px 5px;">PFC81</td><td style="border: 1px solid black; padding: 2px 5px;">PFC80</td> </tr> </table>	7	6	5	4	3	2	1	0	0	0	0	0	0	0	PFC81	PFC80
7	6	5	4	3	2	1	0									
0	0	0	0	0	0	PFC81	PFC80									
<table border="1" style="margin: 0 auto; border-collapse: collapse;"> <thead> <tr> <th style="padding: 5px;">PFC8n</th><th style="padding: 5px;">PMC8n</th><th style="padding: 5px;">動作モード</th></tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">0</td><td>ポート入出力モード</td></tr> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">1</td><td>UART2モード</td></tr> <tr> <td style="text-align: center;">1</td><td style="text-align: center;">0</td><td>ポート入出力モード</td></tr> <tr> <td style="text-align: center;">1</td><td style="text-align: center;">1</td><td>I<sup>2</sup>C1モード</td></tr> </tbody> </table> <p>備考    n = 0, 1</p>	PFC8n	PMC8n	動作モード	0	0	ポート入出力モード	0	1	UART2モード	1	0	ポート入出力モード	1	1	I <sup>2</sup> C1モード	
PFC8n	PMC8n	動作モード														
0	0	ポート入出力モード														
0	1	UART2モード														
1	0	ポート入出力モード														
1	1	I <sup>2</sup> C1モード														

## 19.2 特 徴

I<sup>2</sup>C0, I<sup>2</sup>C1には、次の2種類のモードがあります。

- ・動作停止モード
- ・I<sup>2</sup>C (Inter IC) バス・モード (マルチマスタ対応)

### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

### (2) I<sup>2</sup>Cバス・モード (マルチマスタ対応)

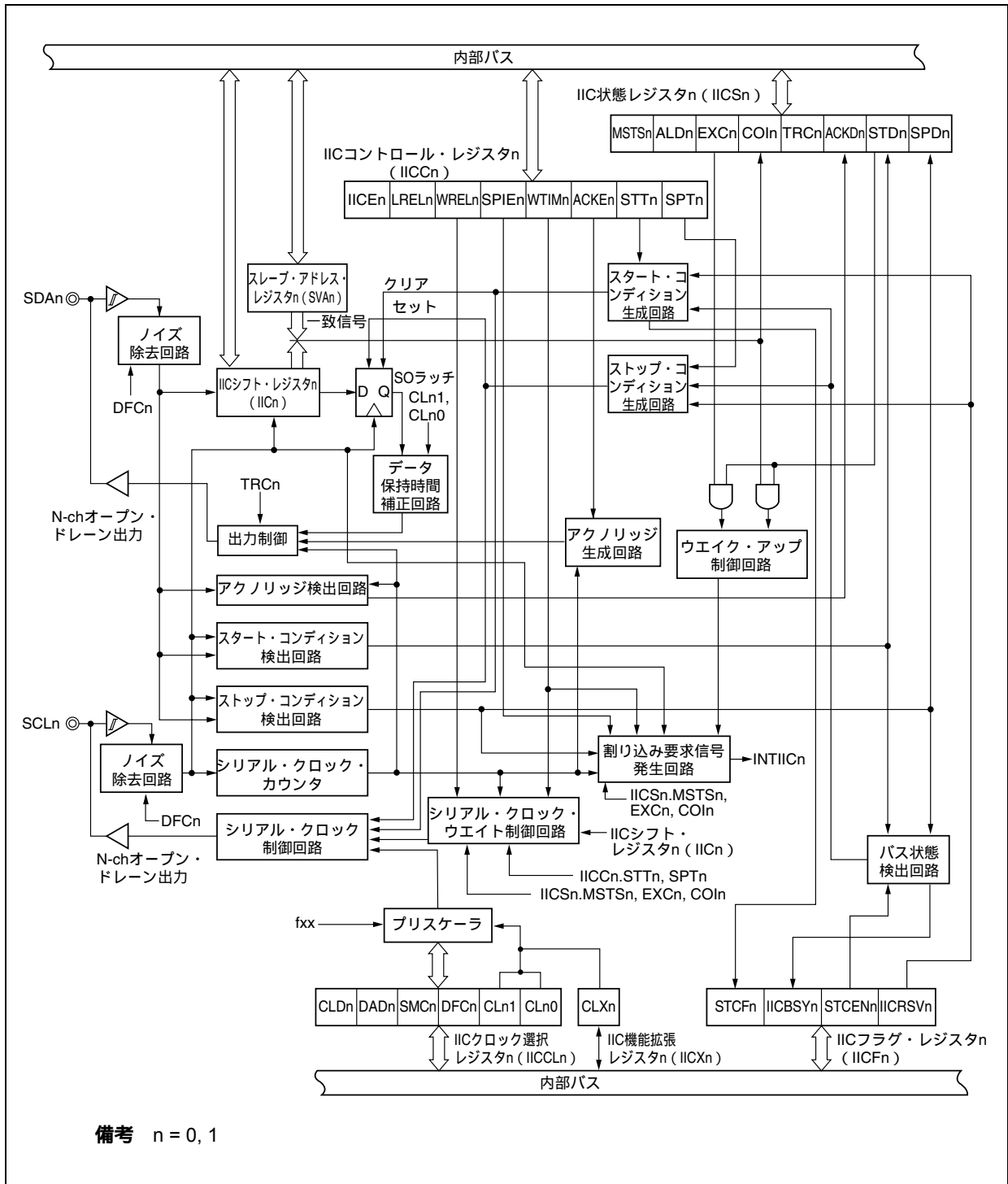
シリアル・クロック (SCL<sub>n</sub>) とシリアル・データ・バス (SDA<sub>n</sub>) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I<sup>2</sup>Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI<sup>2</sup>Cバス制御部分を簡単にすることができます。

I<sup>2</sup>C<sub>n</sub>では、SCL<sub>n</sub>端子とSDA<sub>n</sub>端子はN-chオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

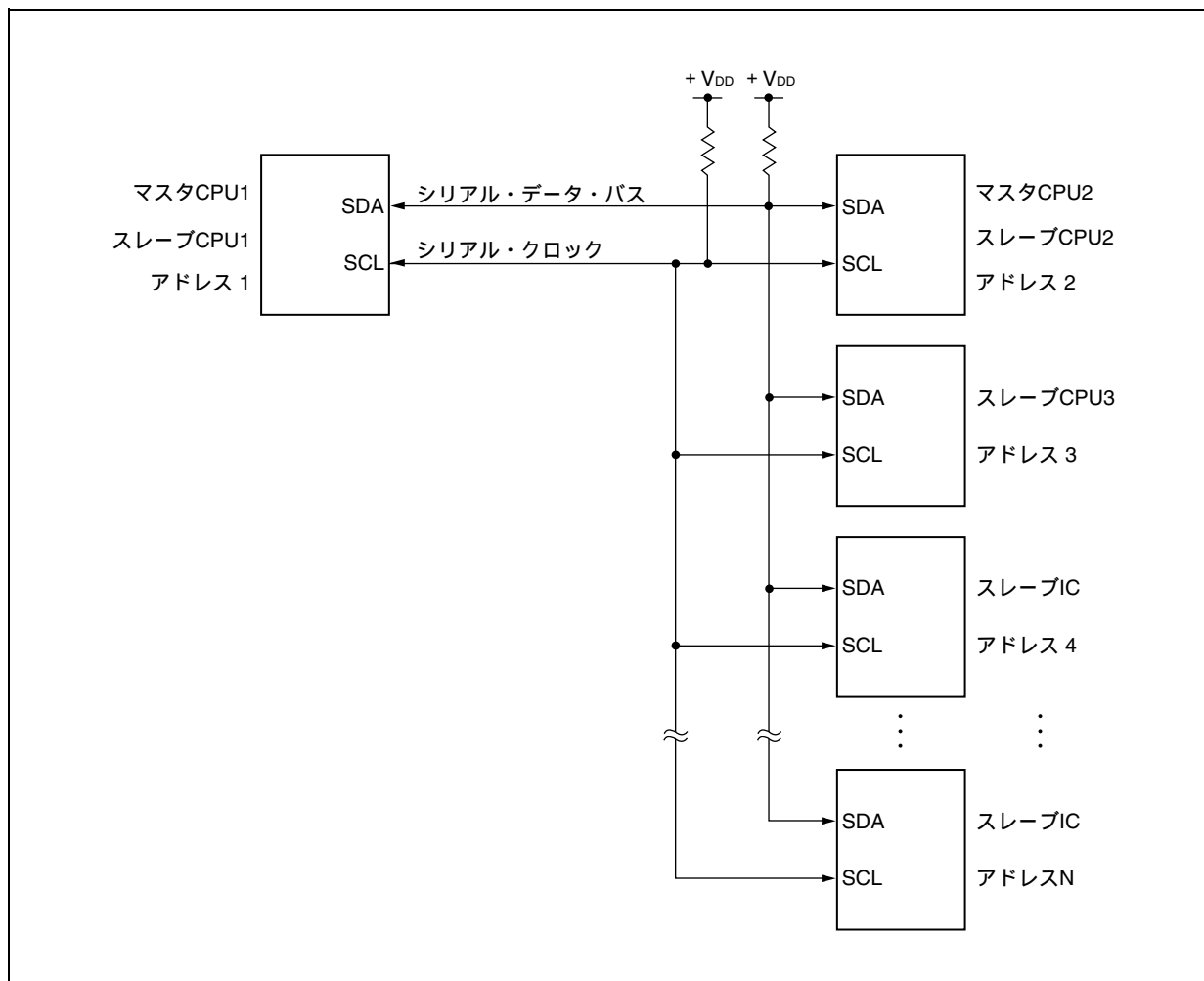
**備考** n = 0, 1

図19-2 I<sup>2</sup>Cnのブロック図



次にシリアル・バス構成例を示します。

図19 - 3 I<sup>2</sup>Cバスによるシリアル・バス構成例



## 19.3 構成

I<sup>2</sup>Cnは、次のハードウェアで構成されています。

表19 - 1 I<sup>2</sup>Cnの構成

項 目	構 成
レジスタ	IICシフト・レジスタ0, 1 (IIC0, IIC1) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)
制御レジスタ	IICコントロール・レジスタ0, 1 (IICC0, IICC1) IIC状態レジスタ0, 1 (IICS0, IICS1) IICフラグ・レジスタ0, 1 (IICCF0, IICCF1) IICクロック選択レジスタ0, 1 (IICCL0, IICCL1) IIC機能拡張レジスタ0, 1 (IICX0, IICX1)

備考 n = 0, 1

### (1) IICシフト・レジスタ0, 1 (IIC0, IIC1)

IICnレジスタは、8ビットのシリアル・データを8ビットの平行ル・データに、8ビットの平行ル・データを8ビットのシリアル・データに変換するレジスタです。IICnレジスタは送信および受信の両方に使用されます。

IICnレジスタに対する書き込み/読み出しにより、実際の送受信動作が制御されます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

### (2) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

### (3) SOラッチ

SOラッチは、SDAn端子出力レベルを保持するラッチです。

### (4) ウェイク・アップ制御回路

SVA<sub>n</sub>レジスタに設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に、割り込み要求信号 (INTIIC<sub>n</sub>) を発生させる回路です。

### (5) プリスケーラ

使用するサンプリング・クロックを選択します。

### (6) シリアル・クロック・カウンタ

送信/受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

**(7) 割り込み要求信号発生回路**

割り込み要求信号 (INTIICn) の発生を制御します。

I<sup>2</sup>C割り込みは、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (IICn.WTIMnビットで設定)
- ・ストップ・コンディション検出による割り込み発生 (IICn.SPIEnビットで設定)

**(8) シリアル・クロック制御回路**

マスタ・モード時に、SCLn端子に出力するクロックをサンプリング・クロックから生成します。

**(9) シリアル・クロック・ウエイト制御回路**

ウエイト・タイミングを制御します。

**(10) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路**

各状態の生成および検出を行います。

**(11) データ保持時間補正回路**

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

**(12) スタート・コンディション生成回路**

IICn.STTnビットがセットされるとスタート・コンディションを生成します。

ただし通信予約禁止状態 (IICFn.IICRSVnビット = 1) で、かつバスが解放されていない (IICFn.IICBSYnビット = 1) 場合には、スタート・コンディション要求は無視し、IICFn.STCFnビットをセット (1) します。

**(13) ストップ・コンディション生成回路**

IICn.SPTnビットがセット (1) されるとストップ・コンディションを生成します。

**(14) バス状態検出回路**

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、IICFn.STCENnビットにより、バス状態検出回路の初期状態を設定してください。



## 19.4 レジスタ

I<sup>2</sup>C0, I<sup>2</sup>C1は、次のレジスタで制御します。

- ・ IICコントロール・レジスタ0, 1 (IICC0, IICC1)
- ・ IIC状態レジスタ0, 1 (IICS0, IICS1)
- ・ IICフラグ・レジスタ0, 1 (IICF0, IICF1)
- ・ IICクロック選択レジスタ0, 1 (IICCL0, IICCL1)
- ・ IIC機能拡張レジスタ0, 1 (IICX0, IICX1)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタ0, 1 (IIC0, IIC1)
- ・ スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

**備考** 兼用端子の設定は表4 - 19 **ポート端子を兼用端子として使用する場合**を参照してください。

(1) IICコントロール・レジスタ0, 1 (IICC0, IICC1)

I<sup>2</sup>Cnの動作許可/停止, ウェイト・タイミングの設定, その他I<sup>2</sup>C動作の設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です (n = 0, 1)。ただし, SPIEn, WTIMn, ACKEnビットは, IICEnビット = 0のとき, またはウェイト期間中に設定してください。IICEnビットを“0”から“1”に設定するときに, 同時にこれらのビットを設定できます。

リセットにより00Hになります。

( 1/4 )

リセット時 : 00H R/W アドレス : IICC0 FFFFFFFD82H, IICC1 FFFFFFFD92H

	⑦	⑥	⑤	④	③	②	①	①
IICn	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

(n = 0, 1)

IICEn	I <sup>2</sup> Cn動作許可/禁止の指定
0	動作停止。IICSnレジスタをリセット <sup>注1</sup> 。内部動作も停止。
1	動作許可。
このビットのセット(1)は, 必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICEnビット = 0)	セットされる条件 (IICEnビット = 1)
・命令によるクリア ・リセット時	・命令によるセット

LRELn <sup>注2</sup>	通信退避
0	通常動作。
1	現在行っている通信から退避し, 待機状態。実行後自動的にクリア(0)される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLn, SDAAnラインはハイ・インピーダンス状態になる。 STTn, SPTnビット, IICSn.MSTSn, EXCn, COIn, TRCn, ACKDn, STDnビットがクリア(0)される。
次の通信参加条件が満たされるまでは, 通信から退避した待機状態となる。 ストップ・コンディション検出後, マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELnビット = 0)	セットされる条件 (LRELnビット = 1)
・実行後, 自動的にクリア ・リセット時	・命令によるセット

注1. リセットされるのはIICSnレジスタ, IICFn.STCFn, IICBSYnビット, IICCLn.CLDn, DADnビットです。

2. IICEnビット = 0により, このフラグの信号を無効にします。

**注意** SCL0nラインがハイ・レベル, SDA0nラインがロウ・レベルの状態, I<sup>2</sup>Cnを動作許可(IICEnビット = 1)した場合, 直後にスタート・コンディションを検出してしまいます。I<sup>2</sup>Cnを動作許可(IICEnビット = 1)したあと, 連続してビット操作命令によりLRELnビットをセット(1)してください。

WRELn <sup>注</sup>	ウェイト解除の制御	
0	ウェイトを解除しない。	
1	ウェイト解除する。ウェイト解除後、自動的にクリア(0)される。	
クリアされる条件 (WRELnビット = 0)		セットされる条件 (WRELnビット = 1)
<ul style="list-style-type: none"> <li>・実行後、自動的にクリア</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

SPIEn <sup>注</sup>	ストップ・コンディション検出による割り込み要求発生 of 許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIEnビット = 0)		セットされる条件 (SPIEnビット = 1)
<ul style="list-style-type: none"> <li>・命令によるクリア</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

WTIMn <sup>注</sup>	ウェイトおよび割り込み要求発生 of 制御	
0	8クロック目の立ち下がり with 割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がり with 割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビット of 設定にかかわらず、9クロック目の立ち下がり with 割り込みが発生します。アドレス転送終了後このビット of 設定が有効になります。またマスタ時、アドレス転送中 is 9クロックの立ち下がり to ウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がり with ウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がり with ウェイトに入ります。		
クリアされる条件 (WTIMnビット = 0)		セットされる条件 (WTIMnビット = 1)
<ul style="list-style-type: none"> <li>・命令によるクリア</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

ACKEn <sup>注</sup>	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAnラインをロウ・レベルにする。	
アドレス受信のときは、ACKEnビット of 設定は無効です。この場合、アドレスが一致したときは、アクノリッジを生成します。 ただし、拡張コード of アドレス受信のときは、ACKEnビット of 設定は有効になります。		
クリアされる条件 (ACKEnビット = 0)		セットされる条件 (ACKEnビット = 1)
<ul style="list-style-type: none"> <li>・命令によるクリア</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

**注** IICEnビット = 0により、このフラグ of 信号を無効にします。

STTn	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき（ストップ状態）：</p> <p>スタート・コンディションを生成する（マスタとしての起動）。SCLnラインがハイ・レベルの状態SDAnラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCLnラインをロウ・レベル（ウエイト状態）にする。</p> <p>第三者が通信中のとき：</p> <ul style="list-style-type: none"> <li>・通信予約機能許可の場合（IICFn.IICRSVnビット = 0） スタート・コンディション予約フラグとして機能。セット（1）されると、バスが解放されたあと、自動的にスタート・コンディションを生成する。</li> <li>・通信予約機能禁止の場合（IICRSVnビット = 1） IICFn.STCFnビットをセット（1）しSTTnビットにセット（1）した情報をクリアする。 スタート・コンディションは生成しない。</li> </ul> <p>ウエイト状態（マスタ時）：</p> <p>ウエイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット（1）可能です。</p> <p>マスタ送信の場合：アクリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。</p> <ul style="list-style-type: none"> <li>・SPTnビットと同時にセット（1）することは禁止です。</li> <li>・STTnビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。</li> </ul>	
クリアされる条件（STTnビット = 0）	セットされる条件（STTnビット = 1）
<ul style="list-style-type: none"> <li>・通信予約禁止状態でのSTTnビットのセット（1）</li> <li>・アービトレーションに負けたとき</li> <li>・マスタでのスタート・コンディション生成によるクリア</li> <li>・LRELnビット = 1（通信退避）によるクリア</li> <li>・IICEnビット = 1 0（動作停止）のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

**備考** STTnビットは、データ設定後に読み出すと0になっています。

SPTn	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDAnラインをロウ・レベルにしたあと、SCLnラインをハイ・レベルにするか、またはSCLn端子がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDAnラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。				
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウエイト期間中にセット（1）してください。</p> <ul style="list-style-type: none"> <li>・STTnビットと同時にセット（1）することは禁止です。</li> <li>・SPTnビットのセット（1）は、マスタのときのみ行ってください<sup>注</sup>。</li> <li>・WTIMnビット = 0設定時に、8クロック出力後のウエイト期間中にSPTnビットをセット（1）すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIMn = 0 1に設定し、9クロック目出力後のウエイト期間中にSPTnビットをセット（1）してください。</li> <li>・SPTnビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。</li> </ul>					
<table border="1"> <thead> <tr> <th>クリアされる条件（SPTnビット = 0）</th> <th>セットされる条件（SPTnビット = 1）</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> <li>・ストップ・コンディション検出後、自動的にクリア</li> <li>・LRELnビット = 1（通信退避）によるクリア</li> <li>・IICEnビット = 1 0（動作停止）のとき</li> <li>・リセット時</li> </ul> </td> <td> <ul style="list-style-type: none"> <li>・命令によるセット</li> </ul> </td> </tr> </tbody> </table>		クリアされる条件（SPTnビット = 0）	セットされる条件（SPTnビット = 1）	<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> <li>・ストップ・コンディション検出後、自動的にクリア</li> <li>・LRELnビット = 1（通信退避）によるクリア</li> <li>・IICEnビット = 1 0（動作停止）のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>
クリアされる条件（SPTnビット = 0）	セットされる条件（SPTnビット = 1）				
<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> <li>・ストップ・コンディション検出後、自動的にクリア</li> <li>・LRELnビット = 1（通信退避）によるクリア</li> <li>・IICEnビット = 1 0（動作停止）のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>				

**注** SPTnビットのセット（1）は、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPTnビットをセット（1）してストップ・コンディションを生成する必要があります。詳細は、19.15 **注意事項**を参照してください。

**注意** IICSn.TRcNビット = 1のとき、9クロック目にWRELnビットをセット（1）してウエイト解除すると、TRcNビットをクリア（0）してSDAnラインをハイ・インピーダンスにします。

**備考** SPTnビットは、データ設定後に読み出すと0になっています。

(2) IIC状態レジスタ0, 1 (IICS0, IICS1)

I<sup>2</sup>Cnのステータスを表すレジスタです。

8/1ビット単位でリードだけ可能です (n = 0, 1)。

ただしIICSnレジスタは, IICCNn.STTnビット = 1のとき, またはウエイト期間中だけリード可能です。

リセットにより00Hになります。

**注意** 次に示す状態において, IICSnレジスタへのアクセスは禁止です。詳細は3. 4. 8 (1) (b) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

(1/3)

リセット時: 00H    R    アドレス: IICS0 FFFFFFFD86H, IICS1 FFFFFFFD96H

	⑦	⑥	⑤	④	③	②	①	①
IICSn	MSTS <sub>n</sub>	ALD <sub>n</sub>	EXC <sub>n</sub>	COL <sub>n</sub>	TRC <sub>n</sub>	ACKD <sub>n</sub>	STD <sub>n</sub>	SPD <sub>n</sub>

(n = 0, 1)

MSTS <sub>n</sub>	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS <sub>n</sub> ビット = 0)		セットされる条件 (MSTS <sub>n</sub> ビット = 1)
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・ALD<sub>n</sub>ビット = 1 (アービトレーション負け) のとき</li> <li>・IICCN.LRELnビット = 1 (通信退避) によるクリア</li> <li>・IICCN.IICEnビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> </ul>

ALD <sub>n</sub>	アービトレーション負け検出	
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS <sub>n</sub> ビットがクリアされる。	
クリアされる条件 (ALD <sub>n</sub> ビット = 0)		セットされる条件 (ALD <sub>n</sub> ビット = 1)
<ul style="list-style-type: none"> <li>・IICSnレジスタ読み出し後, 自動的にクリア<sup>注</sup></li> <li>・IICEnビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> </ul>

EXC <sub>n</sub>	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXC <sub>n</sub> ビット = 0)		セットされる条件 (EXC <sub>n</sub> ビット = 1)
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・LRELnビット = 1 (通信退避) によるクリア</li> <li>・IICEnビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>受信したアドレス・データの上位4ビットが "0000"</li> <li>または "1111" のとき (8クロック目の立ち上がりでセット)</li> </ul>

**注** IICSnのほかのビットに対しビット操作命令を実行した場合もクリアされます。

COIn アドレス一致検出	
0	アドレスが一致していない。
1	アドレスが一致している。
クリアされる条件 (COInビット = 0)	セットされる条件 (COInビット = 1)
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・LRELnビット = 1 (通信回避) によるクリア</li> <li>・IICEnビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>受信アドレスが自局アドレス (SVAnレジスタ) と一致したとき (8クロック目の立ち上がりでセット)</li> </ul>

TRCn 送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDAnラインをハイ・インピーダンスにする。
1	送信状態。SDAnラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)
クリアされる条件 (TRCnビット = 0)	セットされる条件 (TRCnビット = 1)
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・LRELnビット = 1 (通信回避) によるクリア</li> <li>・IICEnビット = 1 0 (動作停止) のとき</li> <li>・IICn.WRELnビット = 1 (ウェイト解除) によるクリア<sup>注</sup></li> <li>・ALDnビット = 0 1 (アービトレーション負け) のとき</li> <li>・リセット時</li> </ul> マスタの場合 <ul style="list-style-type: none"> <li>・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき</li> </ul> スレーブの場合 <ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> </ul> 通信不参加の場合	マスタの場合 <ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> <li>・1バイト目のLSB (転送方向指定ビット) に “0” を出力したとき</li> </ul> スレーブの場合 <ul style="list-style-type: none"> <li>・1バイト目のLSB (転送方向指定ビット) に “1” を入力したとき</li> </ul>

ACKDn アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。
1	アクノリッジを検出している。
クリアされる条件 (ACKDnビット = 0)	セットされる条件 (ACKDnビット = 1)
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・次のバイトの1クロック目の立ち上がり時</li> <li>・LRELnビット = 1 (通信回避) によるクリア</li> <li>・IICEnビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>SCLn端子の9クロック目の立ち上がり時にSDAn端子がロウ・レベルであったとき</li> </ul>

**注** TRCnビット = 1のとき、9クロック目にWRELnビットをセット(1)してウェイトを解除すると、TRCnビットをクリア(0)してSDAnラインをハイ・インピーダンスにします。

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
	クリアされる条件 (STDnビット = 0)	セットされる条件 (STDnビット = 1)
	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・アドレス転送後の次のバイトの1クロック目の立ち上がり時</li> <li>・LRELnビット = 1 (通信退避) によるクリア</li> <li>・IICEnビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> </ul>

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放される。	
	クリアされる条件 (SPDnビット = 0)	セットされる条件 (SPDnビット = 1)
	<ul style="list-style-type: none"> <li>・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時</li> <li>・IICEnビット = 1 0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> </ul>



**(3) IICフラグ・レジスタ0, 1 (IICF0, IICF1)**

I<sup>2</sup>Cnの動作モードの設定と、I<sup>2</sup>Cバスの状態を表すレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、STCFn, IICBSYnビットはリードのみ可能です。

IICRSVnビットにより通信予約機能の禁止/許可を設定します(19.14 **通信予約**参照)。

また、STCENnビットにより、IICBSYnビットの初期値を設定します(19.15 **注意事項**参照)。

IICRSVn, STCENnビットは、I<sup>2</sup>Cnが動作禁止(IICn.IICEnビット = 0)のときのみ書き込み可能です。動作許可後、IICFnレジスタは読み出し可能となります(n = 0, 1)。

リセットにより00Hになります。

リセット時：00H R/W<sup>注</sup> アドレス：IICF0 FFFFFFFD8AH, IICF1 FFFFFFFD9AH

	⑦	⑥	5	4	3	2	①	①
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

(n = 0, 1)

STCFn	STTnクリア・フラグ
0	スタート・コンディション発行
1	スタート・コンディション発行できずSTTnフラグ・クリア
クリアされる条件 (STCFnビット = 0)	
<ul style="list-style-type: none"> <li>・ STTnビット = 1によるクリア</li> <li>・ IICEnビット = 1 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>	
セットされる条件 (STCFnビット = 1)	
<ul style="list-style-type: none"> <li>・ 通信予約禁止 (IICRSVnビット = 1) 設定時にスタート・コンディション発行できず, STTnビットがクリア (0) されたとき</li> </ul>	

IICBSYn	I <sup>2</sup> Cnバス状態フラグ
0	バス解放状態 (STCENnビット = 1時の通信初期状態)
1	バス通信状態 (STCENnビット = 0時の通信初期状態)
クリアされる条件 (IICBSYnビット = 0)	
<ul style="list-style-type: none"> <li>・ ストップ・コンディション検出時</li> <li>・ IICEnビット = 1 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>	
セットされる条件 (IICBSYnビット = 1)	
<ul style="list-style-type: none"> <li>・ スタート・コンディション検出時</li> <li>・ STCENnビット = 0時のIICEnビットのセット</li> </ul>	

STCENn	初期スタート許可トリガ
0	動作許可 (IICEnビット = 1) 後, ストップ・コンディションの検出により, スタート・コンディションを生成許可。
1	動作許可 (IICEnビット = 1) 後, ストップ・コンディションを検出せずに, スタート・コンディションを生成許可。
クリアされる条件 (STCENnビット = 0)	
<ul style="list-style-type: none"> <li>・ スタート・コンディション検出時</li> <li>・ リセット時</li> </ul>	
セットされる条件 (STCENnビット = 1)	
<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>	

IICRSVn	通信予約機能禁止ビット
0	通信予約許可
1	通信予約禁止
クリアされる条件 (IICRSVnビット = 0)	
<ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ リセット時</li> </ul>	
セットされる条件 (IICRSVnビット = 1)	
<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>	

注 ビット6, 7はリード・オンリーです。

- 注意1. STCENnビットへの書き込みは動作停止 (IICEnビット = 0) 時のみ行ってください。
2. STCENnビット = 1とした場合, 実際のバス状態にかかわらずバス解放状態 (IICBSYnビット = 0) と認識しますので, 1回目のスタート・コンディションを発行 (STTnビット = 1) する場合は他の通信を破壊しないように第3者の通信が行われていないことを確認する必要があります。
3. IICRSVnビットへの書き込みは動作停止 (IICEnビット = 0) 時のみ行ってください。

(4) IICクロック選択レジスタ0, 1 (IICCL0, IICCL1)

I<sup>2</sup>Cnの転送クロックを設定するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、CLDn, DADnビットはリードだけ可能です。SMCn, CLn1, CLn0ビットの設定は、IICXn.CLXnビットと組み合わせて設定します(19.4(6) I<sup>2</sup>Cnの転送クロックの設定方法参照)。

IICCLnレジスタはIICCn.IICEnビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時: 00H R/W<sup>注</sup> アドレス: IICCL0 FFFF84H, IICCL1 FFFF94H

	7	6	⑤	④	3	2	1	0
IICCLn	0	0	CLDn	DADn	SMCn	DFCn	CLn1	CLn0

(n = 0, 1)

CLDn	SCLn端子のレベル検出 (IICCn.IICEnビット = 1のときのみ有効)
0	SCLn端子がロウ・レベルであることを検出
1	SCLn端子がハイ・レベルであることを検出
クリアされる条件 (CLDnビット = 0)	
<ul style="list-style-type: none"> <li>・ SCLn端子がロウ・レベルのとき</li> <li>・ IICEnビット = 1 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>	
セットされる条件 (CLDnビット = 1)	
<ul style="list-style-type: none"> <li>・ SCLn端子がハイ・レベルのとき</li> </ul>	

DADn	SDAn端子のレベル検出 (IICEnビット = 1のときのみ有効)
0	SDAn端子がロウ・レベルであることを検出
1	SDAn端子がハイ・レベルであることを検出
クリアされる条件 (DADnビット = 0)	
<ul style="list-style-type: none"> <li>・ SDAn端子がロウ・レベルのとき</li> <li>・ IICEnビット = 1 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>	
セットされる条件 (DADnビット = 1)	
<ul style="list-style-type: none"> <li>・ SDAn端子がハイ・レベルのとき</li> </ul>	

SMCn	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

DFCn	デジタル・フィルタの動作制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、高速モード時にのみ使用できます。	
高速モード時はDFCnビットのセット/クリアにより、転送クロックが変化することはありません。	
デジタル・フィルタは、高速モード時にノイズ除去のために使用します。	

注 ビット4, 5はリード・オンリーです。

(5) IIC機能拡張レジスタ0, 1 (IICX0, IICX1)

I<sup>2</sup>Cnの機能拡張を設定するレジスタです (高速モード時のみ有効)。

8/1ビット単位でリード/ライト可能です。CLXnビットの設定は、IICCLn.SMCn, CLn1, CLn0ビットと組み合わせて設定します (19.4 (6) I<sup>2</sup>Cnの転送クロックの設定方法参照)。

IICXnレジスタはIICCLn.IICEnビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : IICX0 FFFFFFFD85H, IICX1 FFFFD95H

	7	6	5	4	3	2	1	①
IICXn	0	0	0	0	0	0	0	CLXn

(n = 0, 1)

(6) I<sup>2</sup>Cnの転送クロックの設定方法

I<sup>2</sup>Cnの転送クロック周波数 (f<sub>SCL</sub>) は、次の計算式により求められます (n = 0, 1)。

$$f_{SCL} = 1 / (m \times T + t_R + t_F)$$

m = 12, 24, 48, 54, 86, 88, 172, 198 (表19-2 選択クロックの設定参照)

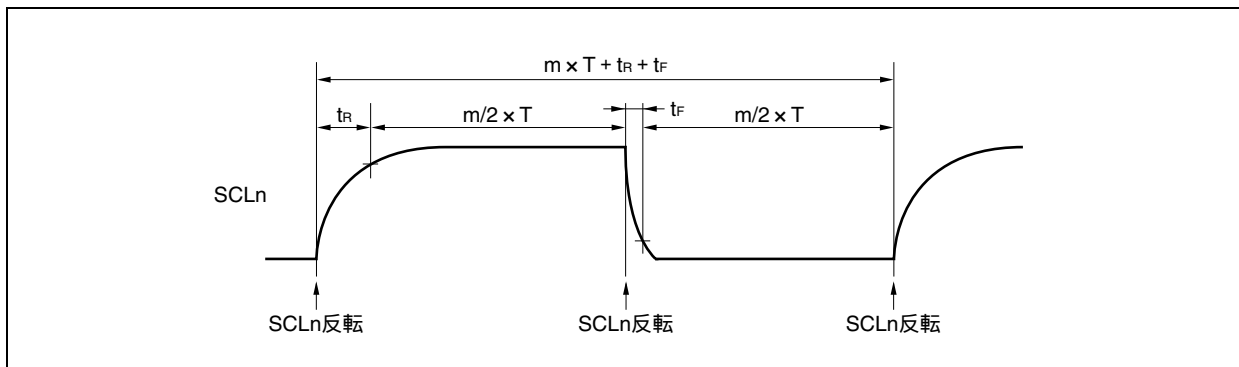
T : 1/f<sub>xx</sub>

t<sub>R</sub> : SCLn立ち上がり時間

t<sub>F</sub> : SCLn立ち下がり時間

たとえば、f<sub>xx</sub> = 20 MHz, m = 54, t<sub>R</sub> = 200 ns, t<sub>F</sub> = 50 nsの場合のI<sup>2</sup>Cnの転送クロック周波数 (f<sub>SCL</sub>) は、次の計算式により求められます。

$$f_{SCL} = 1 / (54 \times 50 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 339 \text{ kHz}$$



選択クロックは、IICCLn.SMCn, CLn1, CLn0ビット、IICXn.CLXnビットを組み合わせで設定します。

表19 - 2 選択クロックの設定

IICXn ビット0 CLXn	IICCLn			選択クロック	転送クロック (f <sub>xx</sub> /m)	設定可能な 内部システム・クロック 周波数 (f <sub>xx</sub> ) の範囲	動作モード
	ビット3 SMCn	ビット1 CLn1	ビット0 CLn0				
0	0	0	0	f <sub>xx</sub> /2	f <sub>xx</sub> /88	4.0 MHz ~ 8.38 MHz	標準モード (SMCnビット = 0)
0	0	0	1	f <sub>xx</sub> /2	f <sub>xx</sub> /172	8.38 MHz ~ 16.76 MHz	
0	0	1	0	f <sub>xx</sub>	f <sub>xx</sub> /86	4.19 MHz ~ 8.38 MHz	
0	0	1	1	f <sub>xx</sub> /3	f <sub>xx</sub> /198	16.0 MHz ~ 19.8 MHz	
0	1	0	x	f <sub>xx</sub> /2	f <sub>xx</sub> /48	8 MHz ~ 16.76 MHz	高速モード (SMCnビット = 1)
0	1	1	0	f <sub>xx</sub>	f <sub>xx</sub> /24	4 MHz ~ 8.38 MHz	
0	1	1	1	f <sub>xx</sub> /3	f <sub>xx</sub> /54	16 MHz ~ 20 MHz	
1	0	x	x	設定禁止			
1	1	0	x	f <sub>xx</sub> /2	f <sub>xx</sub> /24	8.00 MHz ~ 8.38 MHz	高速モード (SMCnビット = 1)
1	1	1	0	f <sub>xx</sub>	f <sub>xx</sub> /12	4.00 MHz ~ 4.19 MHz	
1	1	1	1	設定禁止			

備考1. n = 0, 1

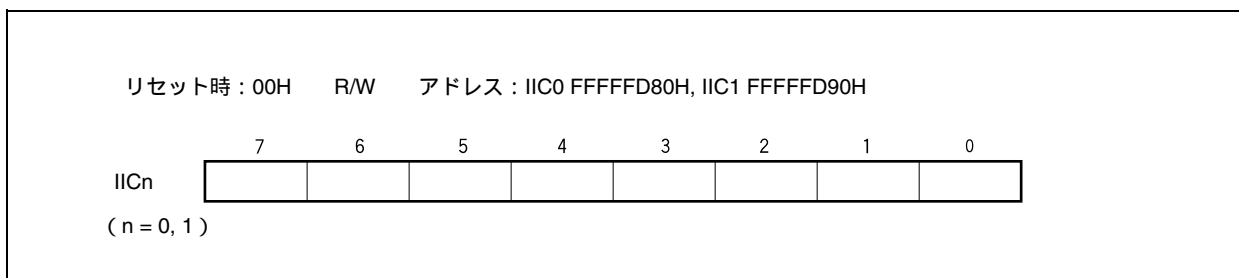
2. x : Don't care

(7) IICシフト・レジスタ0, 1 (IIC0, IIC1)

このレジスタは、シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。8ビット単位でリード/ライト可能ですが、データ転送中にIICnレジスタへデータを書き込まないでください。

IICnレジスタには、ウエイト期間中にだけアクセス(リード/ライト)してください。ウエイト期間中を除く通信状態でのIICnレジスタのアクセスは禁止です。ただし、マスタになる場合は、送信トリガ・ビット(IICn.STTn)をセット(1)したあと、1回ライトできます。

ウエイト期間中のIICnレジスタへの書き込みにより、ウエイトを解除しデータ転送を開始します。リセットにより00Hになります。

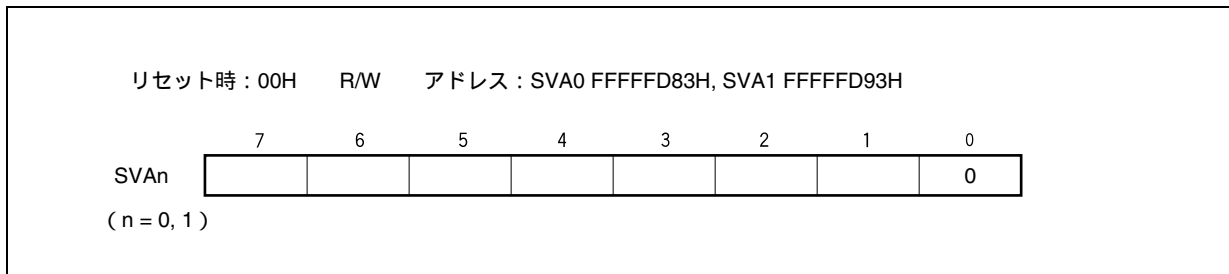


(8) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

このレジスタには、I<sup>2</sup>Cバスのスレーブ・アドレスを格納します。

8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。ただし、IICSn.STDnビット = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセットにより00Hになります。



## 19.5 機能

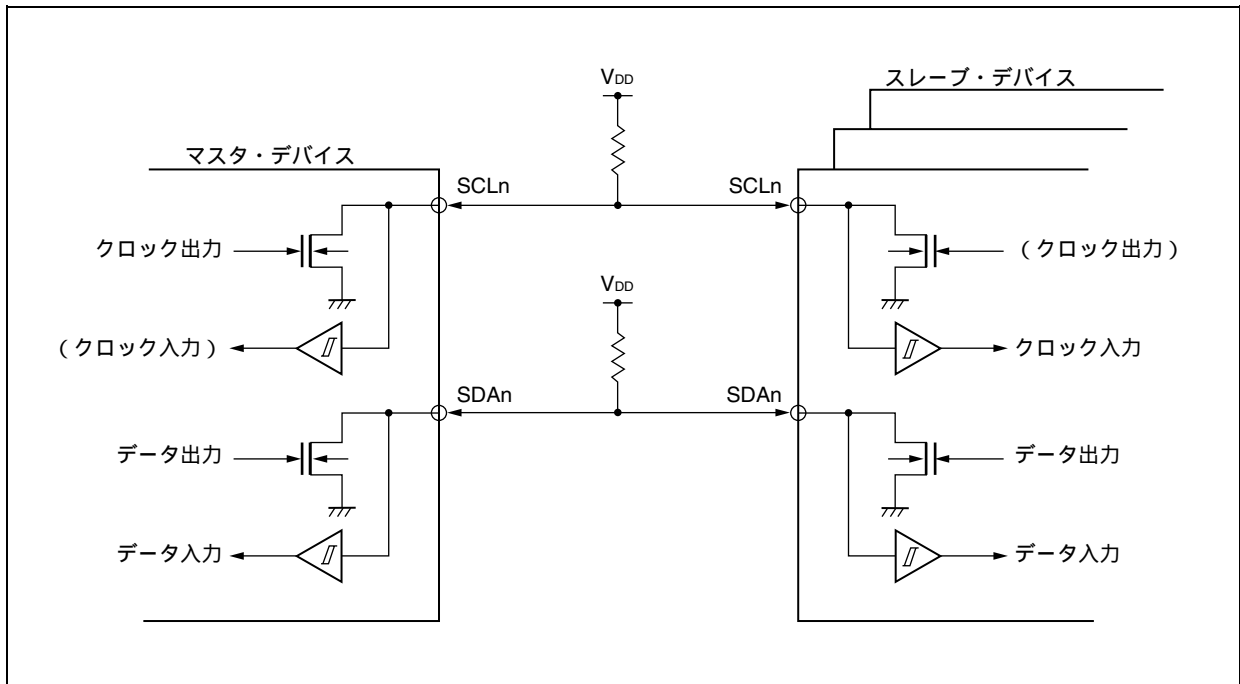
### 19.5.1 端子構成

シリアル・クロック端子 (SCLn) と、シリアル・データ・バス端子 (SDAn) の構成は、次のようになっています (n = 0, 1)。

- SCLn ... シリアル・クロックを入出力するための端子。  
 マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。
- SDAn ... シリアル・データの入出力兼用端子。  
 マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図19-4 端子構成図

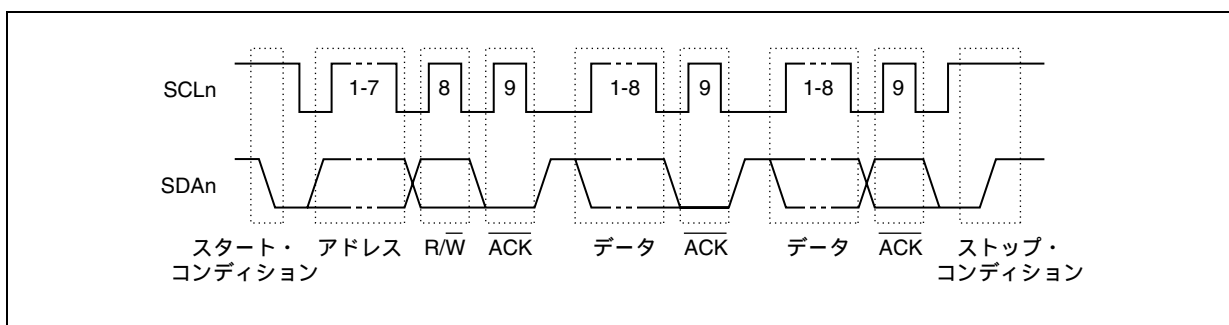


## 19.6 I<sup>2</sup>Cバスの定義および制御方法

I<sup>2</sup>Cバスのシリアル・データ通信フォーマットおよび、生成される状態の意味について次に説明します。

I<sup>2</sup>Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図19-5 I<sup>2</sup>Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

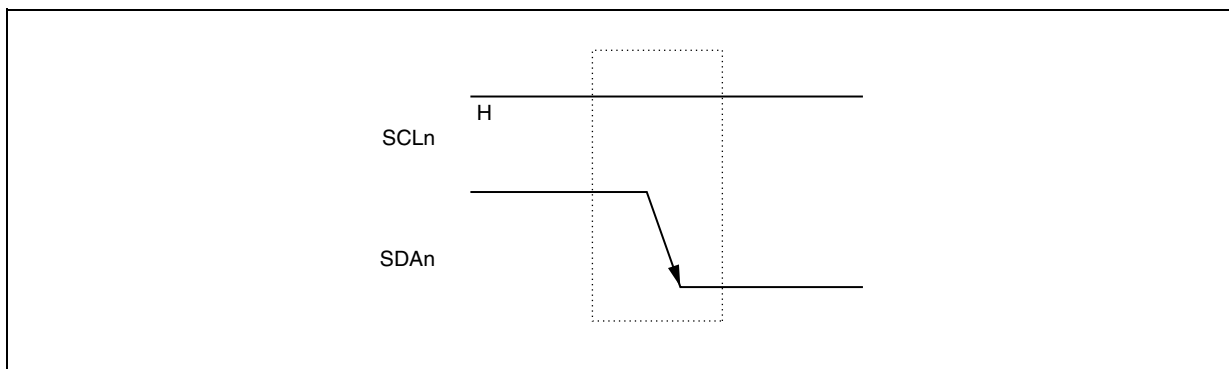
アクトリッジ (ACK) は、マスタ、スレーブのどちらでも生成できます (通常、8ビット・データの受信側が生成します)。

シリアル・クロック (SCLn) は、マスタが出力し続けます。ただし、スレーブはSCLn端子のロウ・レベル期間を延長し、ウエイトを挿入できます (n = 0, 1)。

### 19.6.1 スタート・コンディション

SCLn端子がハイ・レベルのときに、SDAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLn端子、SDAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成されます。スレーブとして使用する場合は、スタート・コンディションを検出できます (n = 0, 1)。

図19-6 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (IICSn.SPDnビット = 1) のときに IICSn.STTnビットをセット (1) すると生成されます。また、スタート・コンディションを検出すると、IICSn.STDnビットがセット (1) されます。



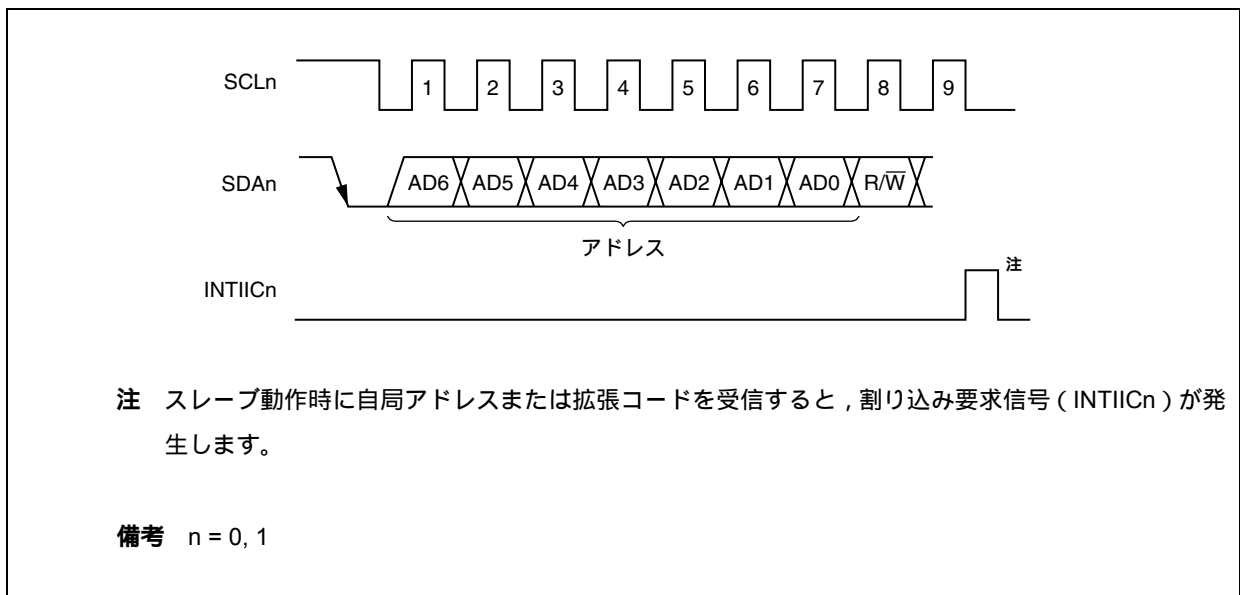
## 19.6.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがSVAnレジスタと一致しているかを調べます。このとき、7ビット・データとSVAnレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います ( $n = 0, 1$ )。

図19-7 アドレス



アドレスは、スレーブのアドレスと19.6.3 転送方向指定に説明する転送方向をあわせて8ビットとしてIICnレジスタに書き込むと出力します。また、受信したアドレスはIICnレジスタに書き込まれます。

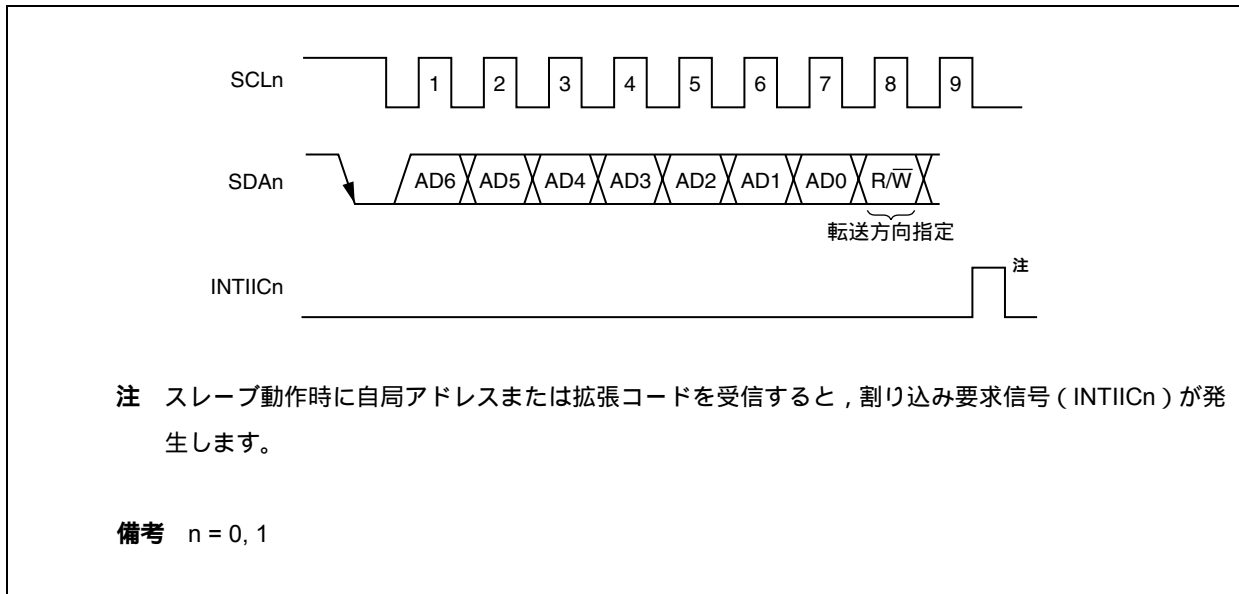
なお、スレーブのアドレスは、IICnレジスタの上位7ビットに割り当てられます。

### 19.6.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図19 - 8 転送方向指定



### 19.6.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICSn.ACKDnビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを生成し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

アドレス指定した受信側が存在しない。

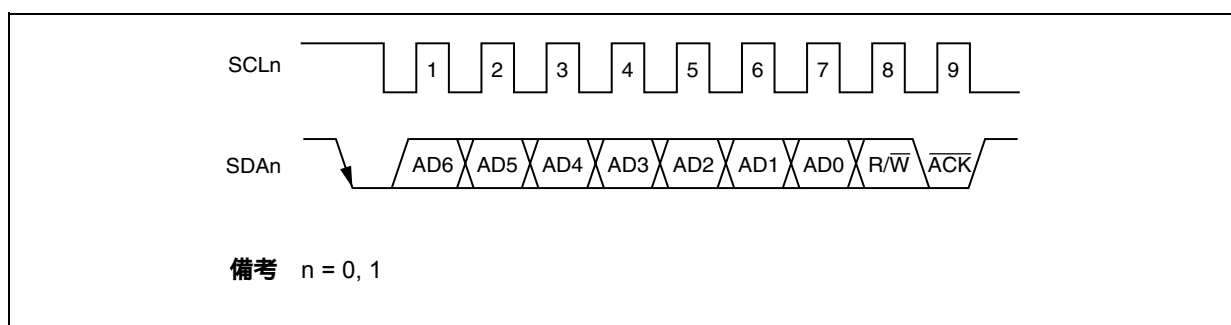
アクノリッジ生成は、受信側が9クロック目にSDAnラインをロウ・レベルにすることによって行われます(正常受信)。

IICn.ACKEnビットをセット(1)することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSn.TRCnビットが設定されます。受信(TRCnビット = 0)の場合は、通常、ACKEnビットをセット(1)してください。

スレーブ受信動作時(TRCnビット = 0)にデータを受信できなくなったときは、ACKEnビットをクリア(0)し、マスタ側に受信ができないことを示してください。

マスタ受信動作時(TRCnビット = 0)に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEnビットをクリア(0)してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図19-9 アクノリッジ (ACK)



自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません(NACK)。

拡張コード受信時は、あらかじめACKEnビットをセット(1)しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

- ・8クロック・ウエイト選択時 (IICn.WTIMnビット = 0) :  
ウエイト解除を行う前にACKEnビットをセット (1) することによって, SCLn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・ウエイト選択時 (WTIMnビット = 1) :  
あらかじめACKEnビットをセット (1) することによって, アクノリッジを生成します。

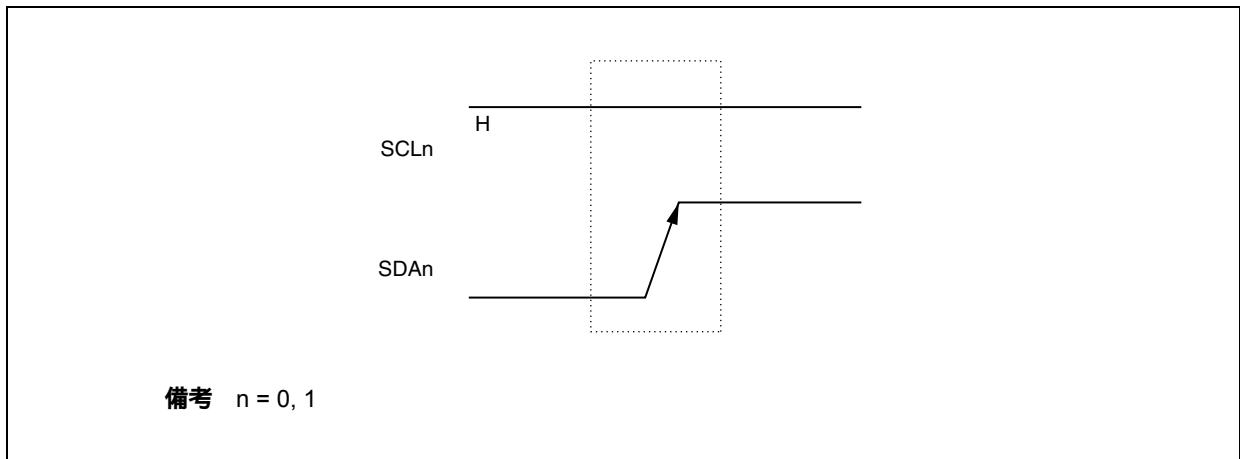
備考 n = 0, 1

### 19.6.5 ストップ・コンディション

SCLn端子がハイ・レベルのときに, SDA<sub>n</sub>端子がロウ・レベルからハイ・レベルに変化すると, ストップ・コンディションとなります (n = 0, 1)。

ストップ・コンディションは, マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は, ストップ・コンディションを検出できます。

図19 - 10 ストップ・コンディション



ストップ・コンディションは, IICn.SPTnビットをセット (1) すると発生します。また, ストップ・コンディションを検出するとIICn.SPDnビットがセット (1) され, IICn.SPIEnビットがセット (1) されている場合には割り込み要求信号 (INTIICn) が発生します。

### 19.6.6 ウェイト

ウェイトは、マスタまたはスレーブがデータの送受信が準備中（ウェイト状態）であることを相手に知らせます。

SCLn端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます（n = 0, 1）。

図19 - 11 ウェイト (1/2)

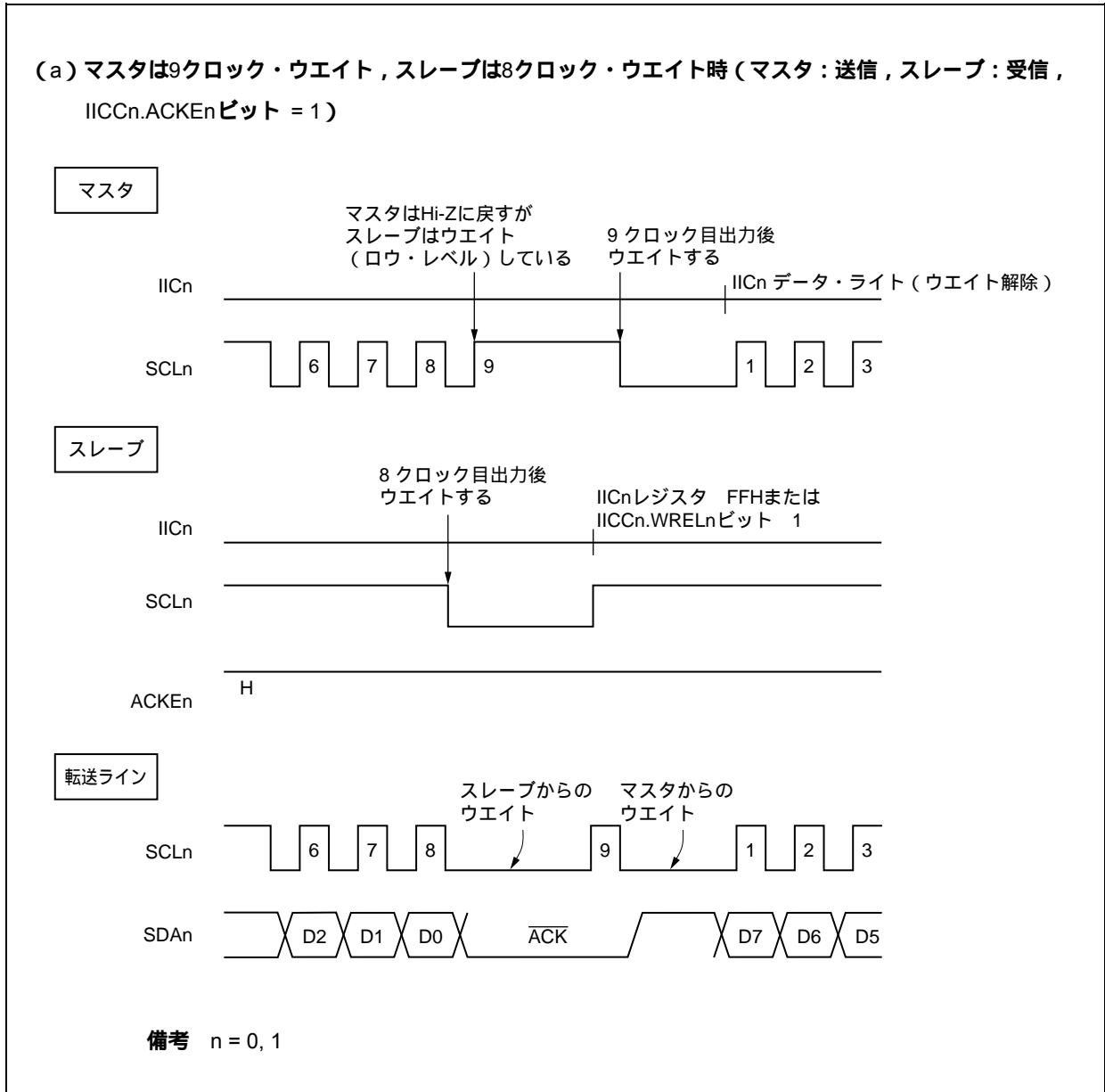
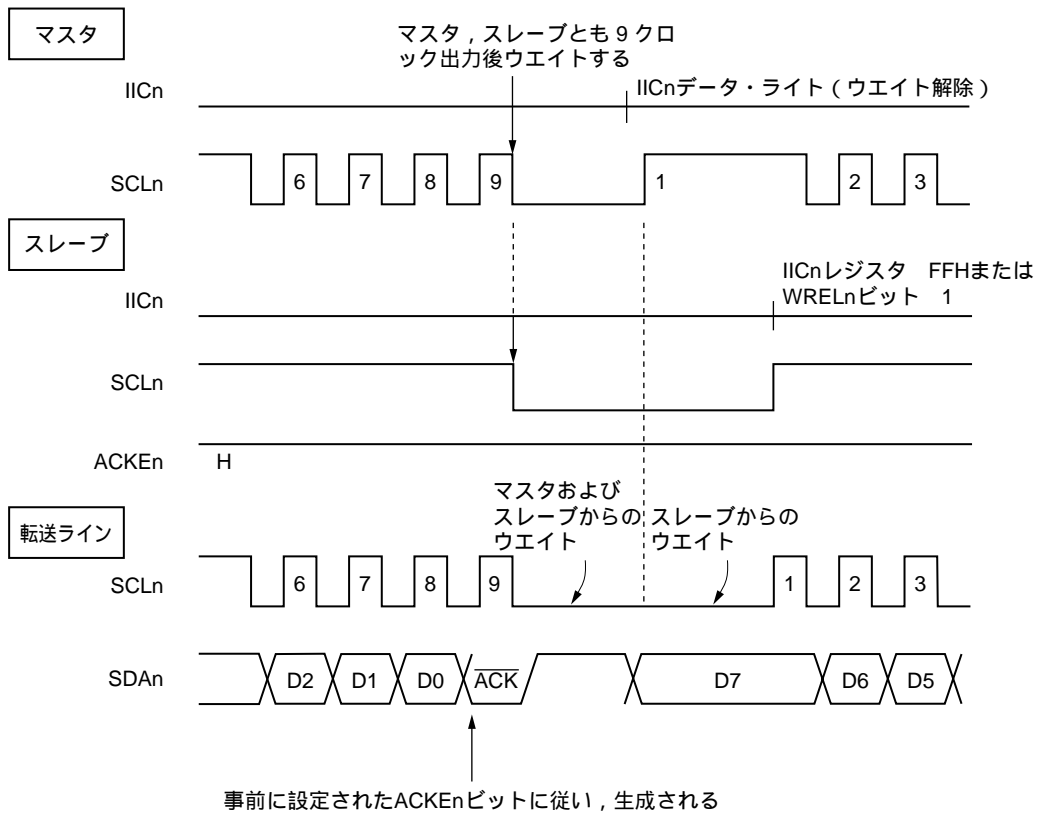


図19 - 11 ウェイト (2/2)

(b) マスタ, スレーブとも9クロック・ウェイト時 (マスタ: 送信, スレーブ: 受信, ACKEnビット = 1)



備考 n = 0, 1

スタート・コンディション生成後, 自動的にウェイト状態になります。またIICn.WTIMnビットの設定により自動的にウェイト状態になります。

通常, 受信側はWRELnビット = 1またはIICnレジスタ FFHライトにするとウェイトを解除し, 送信側はIICnレジスタにデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICn.STTnビット = 1
- ・ IICn.SPTnビット = 1

### 19.6.7 ウェイト解除方法

I<sup>2</sup>Cnでは、通常、次のような処理でウェイトを解除できます (n = 0, 1)。

- ・ IICnレジスタへのデータ書き込み
- ・ IICn.WRELnビットのセット (ウェイト解除)
- ・ IICn.STTnビットのセット (スタート・コンディションの生成)<sup>注</sup>
- ・ IICn.SPTnビットのセット (ストップ・コンディションの生成)<sup>注</sup>

注 マスタのみ

これらのウェイト解除処理を実行した場合、I<sup>2</sup>Cnはウェイトを解除し通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IICnレジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、WRELnビットをセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、STTnビットをセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、SPTnビットをセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WRELnビットのセット (1) によるウェイト解除後、IICnレジスタへのデータ書き込みを実施した場合には、SDAnラインの変化タイミングとIICnレジスタへの書き込みタイミングの競合により、SDAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICn.IICEnビットをクリア (0) すると通信を停止するので、ウェイトを解除できます。

I<sup>2</sup>Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICn.LRELnビットをセット (1) すると通信から退避するので、ウェイトを解除できます。

## 19.7 I<sup>2</sup>C割り込み要求信号 (INTIICn)

次に,INTIICn割り込み要求信号発生タイミングと,INTIICn信号タイミングでのIICSnレジスタの値を示します。

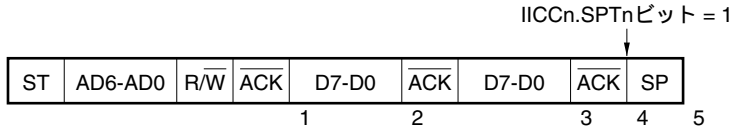
- 備考1.** ST : スタート・コンディション  
AD6-AD0 : アドレス  
 $\overline{R/W}$  : 転送方向指定  
 $\overline{ACK}$  : アクノリッジ  
D7-D0 : データ  
SP : ストップ・コンディション
2. n = 0, 1



### 19.7.1 マスタ動作

#### (1) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

IICn.WTIMnビット = 0のとき

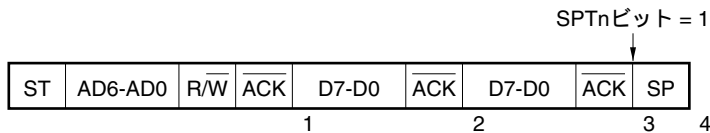


- 1 : IICnレジスタ = 1000X110B
- 2 : IICnレジスタ = 1000X000B
- 3 : IICnレジスタ = 1000X000B (WTIMnビット = 1<sup>※</sup>)
- 4 : IICnレジスタ = 1000XX00B
- 5 : IICnレジスタ = 00000001B

**注** ストップ・コンディションを生成するためにWTIMnビットをセット(1)し、割り込み要求信号 (INTIICn) の発生タイミングを変更してください。

**備考** 必ず発生  
IICn.SPIEnビット = 1のときだけ発生  
X 任意  
n = 0, 1

WTIMnビット = 1のとき

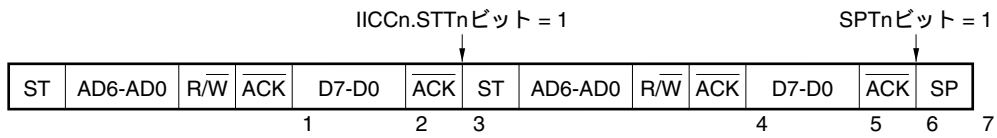


- 1 : IICnレジスタ = 1000X110B
- 2 : IICnレジスタ = 1000X100B
- 3 : IICnレジスタ = 1000XX00B
- 4 : IICnレジスタ = 00000001B

**備考** 必ず発生  
SPIEnビット = 1のときだけ発生  
X 任意  
n = 0, 1

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

WTIMnビット = 0のとき

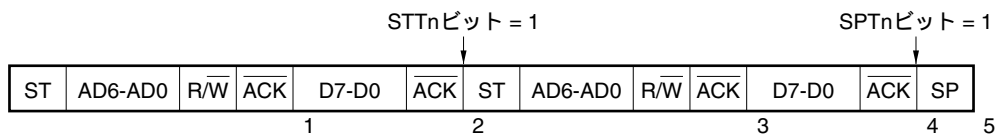


- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1<sup>注1</sup>)
- 3 : IICSnレジスタ = 1000XX00B (WTIMnビット = 0<sup>注2</sup>)
- 4 : IICSnレジスタ = 1000X110B
- 5 : IICSnレジスタ = 1000X000B (WTIMnビット = 1<sup>注3</sup>)
- 6 : IICSnレジスタ = 1000XX00B
- 7 : IICSnレジスタ = 00000001B

- 注1. スタート・コンディションを生成するためにWTIMnビットをセット(1)し、割り込み要求信号 (INTIICn) の発生タイミングを変更してください。
- 2. 設定を元に戻すためにWTIMnビットをクリア(0)します。
- 3. ストップ・コンディションを生成するためにWTIMnビットをセット(1)し、割り込み要求信号 (INTIICn) の発生タイミングを変更してください。

**備考**     必ず発生  
                  SPIEnビット = 1のときだけ発生  
                  X 任意  
                  n = 0, 1

WTIMnビット = 1のとき

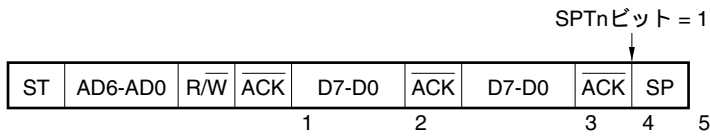


- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000XX00B
- 3 : IICSnレジスタ = 1000X110B
- 4 : IICSnレジスタ = 1000XX00B
- 5 : IICSnレジスタ = 00000001B

**備考**     必ず発生  
                  SPIEnビット = 1のときだけ発生  
                  X 任意  
                  n = 0, 1

(3) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1010X110B
- 2 : IICSnレジスタ = 1010X000B
- 3 : IICSnレジスタ = 1010X000B (WTIMnビット = 1<sup>※</sup>)
- 4 : IICSnレジスタ = 1010XX00B
- 5 : IICSnレジスタ = 00000001B

**注** ストップ・コンディションを生成するためにWTIMnビットをセット(1)し、割り込み要求信号 (INTIICn) の発生タイミングを変更してください。

**備考** 必ず発生  
 SPIEnビット = 1のときだけ発生  
 X 任意  
 n = 0, 1

WTIMnビット = 1のとき



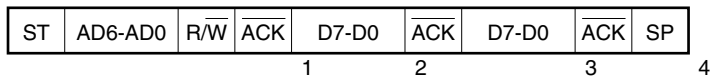
- 1 : IICSnレジスタ = 1010X110B
- 2 : IICSnレジスタ = 1010X100B
- 3 : IICSnレジスタ = 1010XX00B
- 4 : IICSnレジスタ = 00000001B

**備考** 必ず発生  
 SPIEnビット = 1のときだけ発生  
 X 任意  
 n = 0, 1

## 19.7.2 スレーブ動作 (スレーブ・アドレス受信時 (アドレス一致))

(1) Start ~ Address ~ Data ~ Data ~ Stop

IICn.WTIMnビット = 0のとき



1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0001X000B

4 : IICSnレジスタ = 00000001B

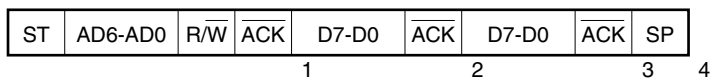
**備考** 必ず発生

IICn.SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

WTIMnビット = 1のとき



1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X100B

3 : IICSnレジスタ = 0001XX00B

4 : IICSnレジスタ = 00000001B

**備考** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1	2					3	4		5

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0001X110B

4 : IICSnレジスタ = 0001X000B

5 : IICSnレジスタ = 00000001B

**備考** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

WTIMnビット = 1のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1	2					3	4		5

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001XX00B

3 : IICSnレジスタ = 0001X110B

4 : IICSnレジスタ = 0001XX00B

5 : IICSnレジスタ = 00000001B

**備考** 必ず発生

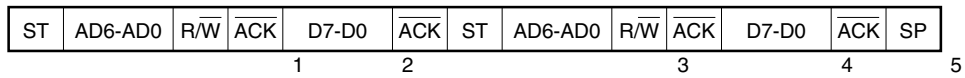
SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, アドレス不一致 (拡張コード))



1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0010X010B

4 : IICSnレジスタ = 0010X000B

5 : IICSnレジスタ = 00000001B

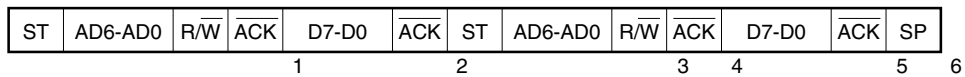
**備考** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

WTIMnビット = 1のとき (リスタート後, アドレス不一致 (拡張コード))



1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001XX00B

3 : IICSnレジスタ = 0010X010B

4 : IICSnレジスタ = 0010X110B

5 : IICSnレジスタ = 0010XX00B

6 : IICSnレジスタ = 00000001B

**備考** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

## (4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3		4

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 00000110B

4 : IICSnレジスタ = 00000001B

**備考** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

WTIMnビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3		4

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001XX00B

3 : IICSnレジスタ = 00000110B

4 : IICSnレジスタ = 00000001B

**備考** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

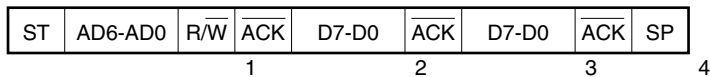
n = 0, 1

## 19.7.3 スレーブ動作（拡張コード受信時）

拡張コード受信時は常に通信に参加しています。

(1) Start ~ Code ~ Data ~ Data ~ Stop

IICn.WTIMnビット = 0のとき



1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0010X000B

4 : IICSnレジスタ = 00000001B

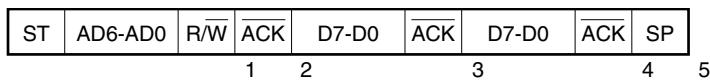
**備考** 必ず発生

IICn.SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

WTIMnビット = 1のとき



1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010X100B

4 : IICSnレジスタ = 0010XX00B

5 : IICSnレジスタ = 00000001B

**備考** 必ず発生

SPIEnビット = 1のときだけ発生

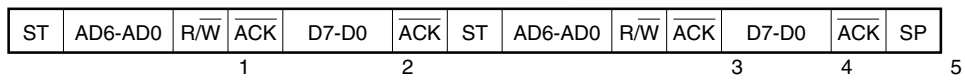
X 任意

n = 0, 1



(2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, アドレス一致)



1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0001X110B

4 : IICSnレジスタ = 0001X000B

5 : IICSnレジスタ = 00000001B

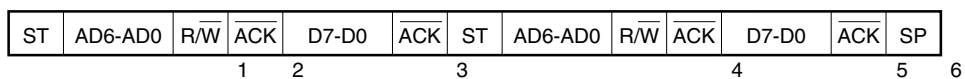
**備考** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

WTIMnビット = 1のとき (リスタート後, アドレス一致)



1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010XX00B

4 : IICSnレジスタ = 0001X110B

5 : IICSnレジスタ = 0001XX00B

6 : IICSnレジスタ = 00000001B

**備考** 必ず発生

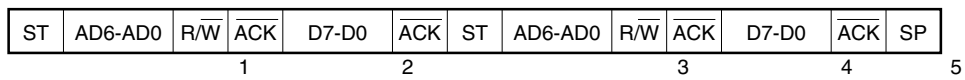
SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, 拡張コード受信)



1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0010X010B

4 : IICSnレジスタ = 0010X000B

5 : IICSnレジスタ = 00000001B

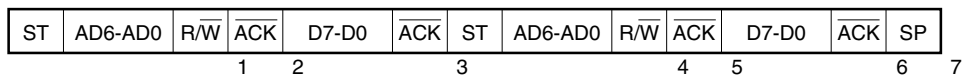
**備考** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

WTIMnビット = 1のとき (リスタート後, 拡張コード受信)



1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010XX00B

4 : IICSnレジスタ = 0010X010B

5 : IICSnレジスタ = 0010X110B

6 : IICSnレジスタ = 0010XX00B

7 : IICSnレジスタ = 00000001B

**備考** 必ず発生

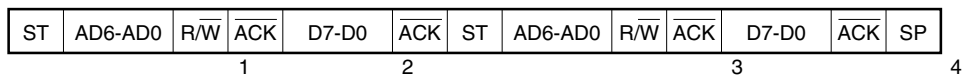
SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 00000110B

4 : IICSnレジスタ = 00000001B

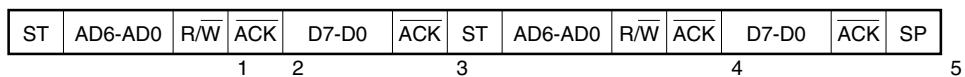
**備考** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

WTIMnビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010XX00B

4 : IICSnレジスタ = 00000110B

5 : IICSnレジスタ = 00000001B

**備考** 必ず発生

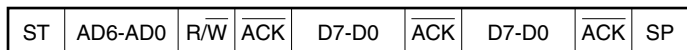
SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

## 19.7.4 通信不参加の動作

(1) Start ~ Code ~ Data ~ Data ~ Stop



1

1 : IICSnレジスタ = 00000001B

**備考** IICn.SPIEnビット = 1のときだけ発生

n = 0, 1

### 19.7.5 アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合はINTIICn割り込み発生ごとにアービトレーション結果を確認するためのIICSn.MSTSnビットをリードし、アービトレーション結果を確認してください。

#### (1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICSnレジスタ = 0101X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0001X000B

4 : IICSnレジスタ = 00000001B

**備考** 必ず発生

IICn.SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICSnレジスタ = 0101X110B

2 : IICSnレジスタ = 0001X100B

3 : IICSnレジスタ = 0001XX00B

4 : IICSnレジスタ = 00000001B

**備考** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

## (2) 拡張コード送信中にアービトレーションに負けた場合

WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICSnレジスタ = 0110X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0010X000B

4 : IICSnレジスタ = 00000001B

**備考** 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1	2		3		4
								5

1 : IICSnレジスタ = 0110X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010X100B

4 : IICSnレジスタ = 0010XX00B

5 : IICSnレジスタ = 00000001B

**備考** 必ず発生

SPIEnビット = 1のときだけ発生

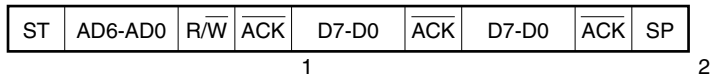
X 任意

n = 0, 1

### 19.7.6 アービトレーション負けの動作(アービトレーション負けのあと,不参加)

マルチマスタ・システムでマスタとして使用する場合はINTIICn割り込み発生ごとにアービトレーション結果を確認するためのIICSn.MSTSnビットをリードし,アービトレーション結果を確認してください。

#### (1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

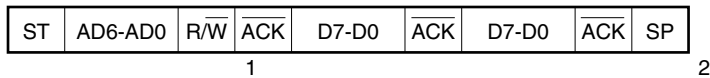


1 : IICSnレジスタ = 01000110B

2 : IICSnレジスタ = 00000001B

**備考**      必ず発生  
                  IICn.SPIEnビット = 1のときだけ発生  
                  n = 0, 1

#### (2) 拡張コード送信中にアービトレーションに負けた場合



1 : IICSnレジスタ = 0110X010B

ソフトウェアでIICn.LRELnビット = 1を設定

2 : IICSnレジスタ = 00000001B

**備考**      必ず発生  
                  SPIEnビット = 1のときだけ発生  
                  X 任意  
                  n = 0, 1

## (3) データ転送時にアービトレーションに負けた場合

IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICSnレジスタ = 10001110B

2 : IICSnレジスタ = 01000000B

3 : IICSnレジスタ = 00000001B

**備考** 必ず発生  
SPIEnビット = 1のときだけ発生  
n = 0, 1

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICSnレジスタ = 10001110B

2 : IICSnレジスタ = 01000100B

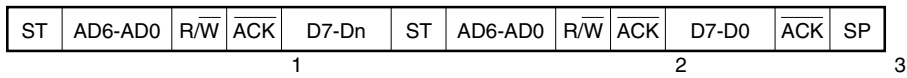
3 : IICSnレジスタ = 00000001B

**備考** 必ず発生  
SPIEnビット = 1のときだけ発生  
n = 0, 1



(4) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 アドレス不一致)



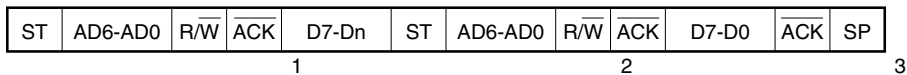
1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 01000110B

3 : IICSnレジスタ = 00000001B

**備考**      必ず発生  
                  SPIEnビット = 1のときだけ発生  
 X   任意  
 Dn = D6-D0  
 n = 0, 1

拡張コード



1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 0110X010B

ソフトウェアでLRELnビット = 1を設定

3 : IICSnレジスタ = 00000001B

**備考**      必ず発生  
                  SPIEnビット = 1のときだけ発生  
 X   任意  
 Dn = D6-D0  
 n = 0, 1

## (5) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
				1	2

1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 01000001B

**備考**      必ず発生  
                  SPIEnビット = 1のときだけ発生

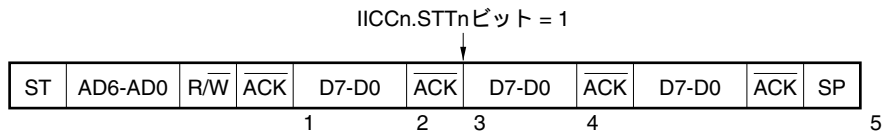
X 任意

Dn = D6-D0

n = 0, 1

(6) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

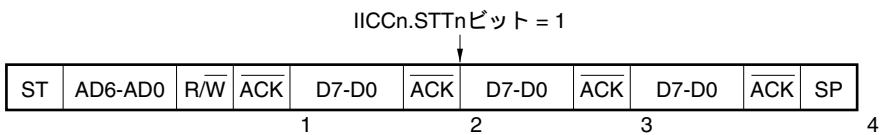
WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 3 : IICSnレジスタ = 1000X100B (WTIMnビット = 0)
- 4 : IICSnレジスタ = 01000000B
- 5 : IICSnレジスタ = 00000001B

**備考** 必ず発生  
 SPIEnビット = 1のときだけ発生  
 X 任意  
 n = 0, 1

WTIMnビット = 1のとき

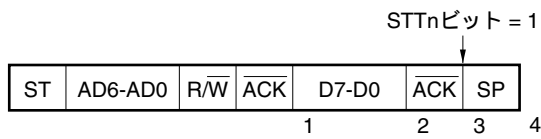


- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X100B
- 3 : IICSnレジスタ = 01000100B
- 4 : IICSnレジスタ = 00000001B

**備考** 必ず発生  
 SPIEnビット = 1のときだけ発生  
 X 任意  
 n = 0, 1

(7) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

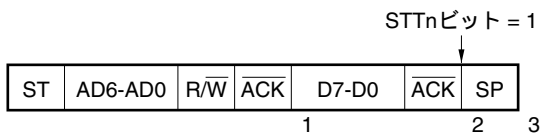
WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 3 : IICSnレジスタ = 1000XX00B
- 4 : IICSnレジスタ = 01000001B

**備考** 必ず発生  
 SPIEnビット = 1のときだけ発生  
 X 任意  
 n = 0, 1

WTIMnビット = 1のとき

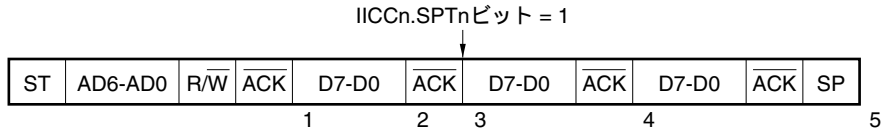


- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000XX00B
- 3 : IICSnレジスタ = 01000001B

**備考** 必ず発生  
 SPIEnビット = 1のときだけ発生  
 X 任意  
 n = 0, 1

(8) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

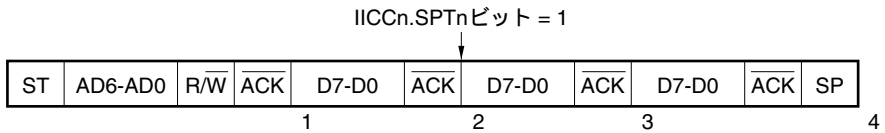
WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 3 : IICSnレジスタ = 1000X100B (WTIMnビット = 0)
- 4 : IICSnレジスタ = 01000100B
- 5 : IICSnレジスタ = 00000001B

**備考** 必ず発生  
 SPIEnビット = 1のときだけ発生  
 X 任意  
 n = 0, 1

WTIMnビット = 1のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X100B
- 3 : IICSnレジスタ = 01000100B
- 4 : IICSnレジスタ = 00000001B

**備考** 必ず発生  
 SPIEnビット = 1のときだけ発生  
 X 任意  
 n = 0, 1

## 19.8 割り込み要求信号 (INTIICn) 発生タイミングおよびウェイト制御

IICn.WTIMnビットの設定で、次に示すタイミングでINTIICn信号が発生して、ウェイト制御を行います。

表19-3 INTIICn信号発生タイミングおよびウェイト制御

WTIMnビット	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 <sup>注1,2</sup>	8 <sup>注2</sup>	8 <sup>注2</sup>	9	8	8
1	9 <sup>注1,2</sup>	9 <sup>注2</sup>	9 <sup>注2</sup>	9	9	9

注1. スレーブのINTIICn信号およびウェイトは、SVAnレジスタに設定しているアドレスと一致したときのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICn.ACKEnビットの設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICn信号を発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICn信号を発生しませんが、ウェイトは発生しません。

2. SVAnレジスタと受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICn信号もウェイトも発生しません。

備考1. 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

2. n = 0, 1

### (1) アドレス送受信時

- ・スレーブ動作時：WTIMnビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

### (2) データ受信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

### (3) データ送信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

#### (4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICnレジスタへのデータ書き込み
- ・ IICn.WRELnビットのセット(ウェイト解除)
- ・ IICn.STTnビットのセット(スタート・コンディションの生成)<sup>注</sup>
- ・ IICn.SPTnビットのセット(ストップ・コンディションの生成)<sup>注</sup>

注 マスタのみ

8クロック・ウェイト選択(WTIMnビット = 0)時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

備考 n = 0, 1

#### (5) ストップ・コンディション検出

ストップ・コンディションを検出すると、INTIICn信号を発生します。

備考 n = 0, 1

## 19.9 アドレスの一致検出方法

I<sup>2</sup>Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。SVAnレジスタに自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVAnレジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICn割り込み要求信号が発生します(n = 0, 1)。

## 19.10 エラーの検出

I<sup>2</sup>Cバス・モードでは、送信中のシリアル・バス(SDAn)の状態が、送信しているデバイスのIICnレジスタにも取り込まれるため、送信開始前と送信終了後のIICnレジスタのデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します(n = 0, 1)。

## 19.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXCn) をセットし、8クロック目の立ち下がりで割り込み要求信号 (INTIICn) を発生します。SVAnレジスタに格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVAnレジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIICn信号は、8クロック目の立ち下がりで発生します。

上位4ビット・データ的一致 : IICSn.EXCnビット = 1

7ビット・データ的一致 : IICSn.COInビット = 1

(3) INTIICn信号発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。スレーブ動作時に拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICn.LRELnビット = 1に設定してください。次の通信待機状態となります。

**備考** n = 0, 1

表19-4 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	x	CBUSアドレス
0000 010	x	異なるバス・フォーマット用に予約されているアドレス
1111 0xx	x	10ビット・スレーブ・アドレス指定



## 19.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（IICSn.STDnビット = 1になる前に IICSn.STTnビット = 1にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます（n = 0, 1）。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、アービトレーション負けフラグ（IICSn.ALDnビット）をセット（1）し、SCLn, SDAnラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求信号（INTIICn）発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアでALDnビット = 1になっていることで検出します。

割り込み発生タイミングについては、19.7 I<sup>2</sup>C割り込み要求信号（INTIICn）を参照してください。

図19 - 12 アービトレーション・タイミング例

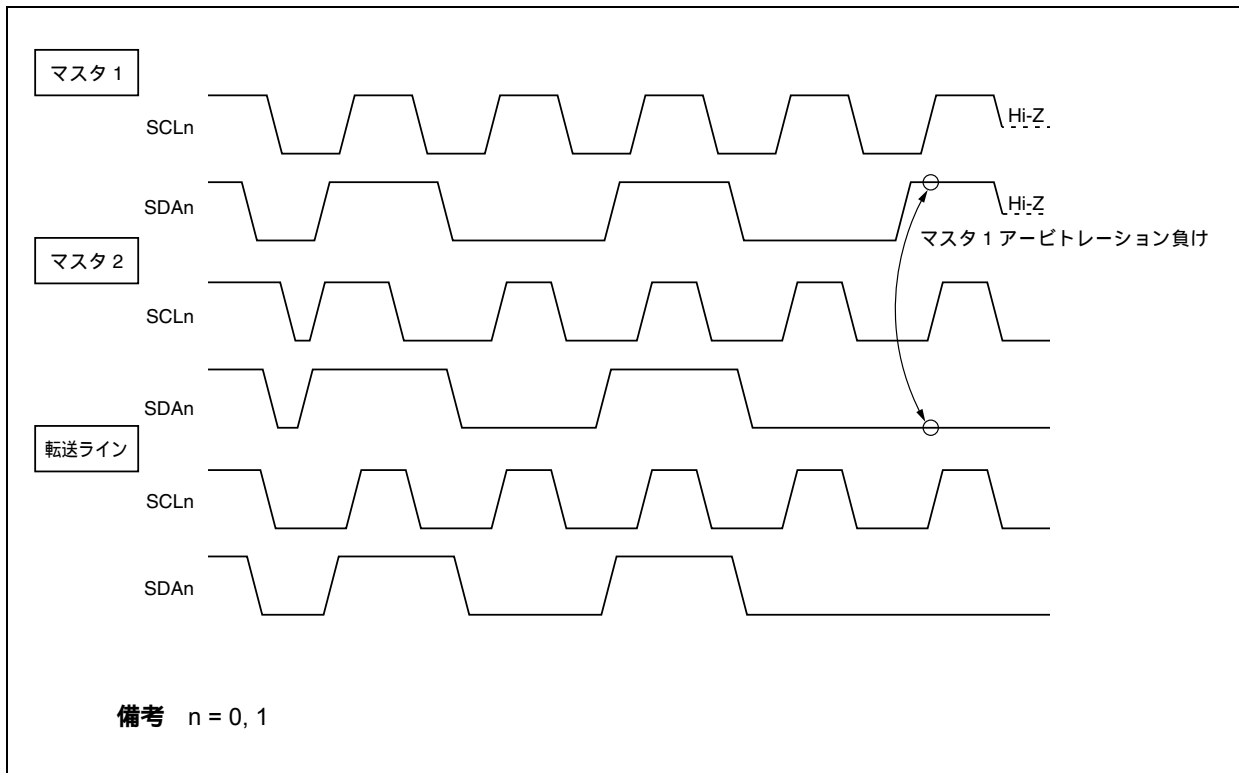


表19-5 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (IICn.SPIEnビット = 1時) <sup>注2</sup>
リスタート・コンディションを生成しようとしたがSDAn端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIEnビット = 1時) <sup>注2</sup>
ストップ・コンディションを生成しようとしたがSDAn端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを生成しようとしたがSCLn端子がロウ・レベル	

注1. IICn.WTIMnビット = 1の場合には, 9クロック目の立ち下がりタイミングでINTIICn信号を発生します。  
WTIMnビット = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングでINTIICn信号を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIEnビット = 1にしてください。

備考 n = 0, 1

## 19.13 ウェイク・アップ機能

I<sup>2</sup>Cバスのスレーブ機能で, 自局アドレスまたは拡張コードを受信したときに割り込み要求信号 (INTIICn) が発生する機能です。アドレスが一致しないときは不要なINTIICn信号を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイク・アップ機能に関係なく, IICn.SPIEnビットの設定によって, INTIICn信号の発生許可/禁止が決定します (n = 0, 1)。

## 19. 14 通信予約

### 19. 14. 1 通信予約機能許可の場合 (IICFn.IICRSVnビット = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICn.LRELnビット = 1でバスを解放した)とき。

バスに不参加の状態、IICn.STTnビットをセット(1)すると、バスが解放されたあと(ストップ・コンディション検出後)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICn.SPIEnビットをセット(1)し、割り込み要求(INTIICn)発生でバスの解放を検出(ストップ・コンディション検出)したあと、IICnレジスタにアドレスを書き込むと、自動的にマスタとして通信を開始します。ストップ・コンディションを検出する前に、IICnレジスタに書き込んだデータは無効となります。

STTnビットをセット(1)したときスタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

バスが解放されているとき …………… スタート・コンディション生成  
 バスが解放されていないとき(待機状態) … 通信予約

通信予約として動作するかどうかを確認するには、STTnビットをセット(1)し、ウェイト時間をとったあと、IICn.MSTSnビットを確認することで行います。

ウェイト時間は、表19-6に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICXn.CLXn、IICCLn.SMCn、CLn1、CLn0ビットにより設定できます。

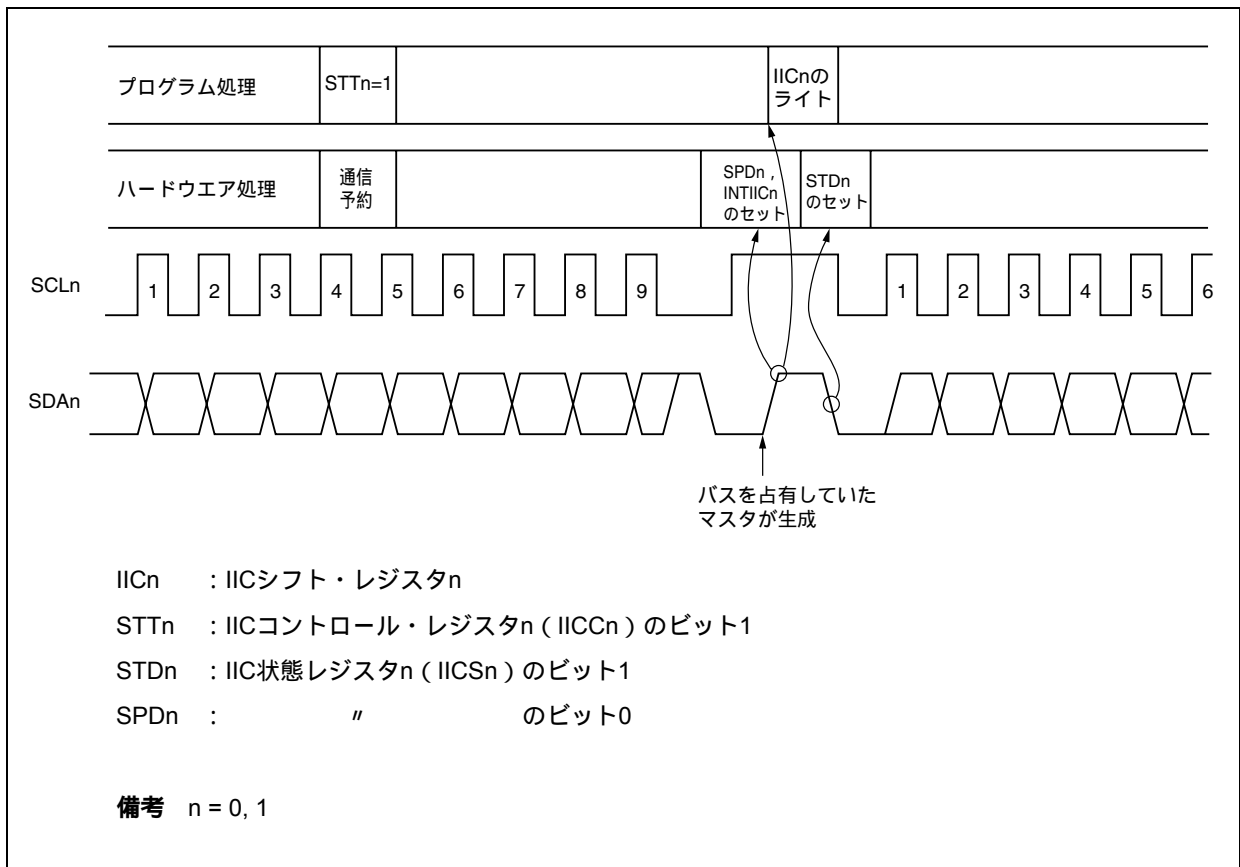
表19-6 ウェイト時間

CLXn	SMCn	CLn1	CLn0	選択クロック	ウェイト時間
0	0	0	0	fxx/2	46クロック
0	0	0	1	fxx/2	86クロック
0	0	1	0	fxx	43クロック
0	0	1	1	fxx/3	102クロック
0	1	0	1/0	fxx/2	30クロック
0	1	1	0	fxx	15クロック
0	1	1	1	fxx/3	36クロック
1	1	0	1/0	fxx/2	18クロック
1	1	1	0	fxx	9クロック

備考 n = 0, 1

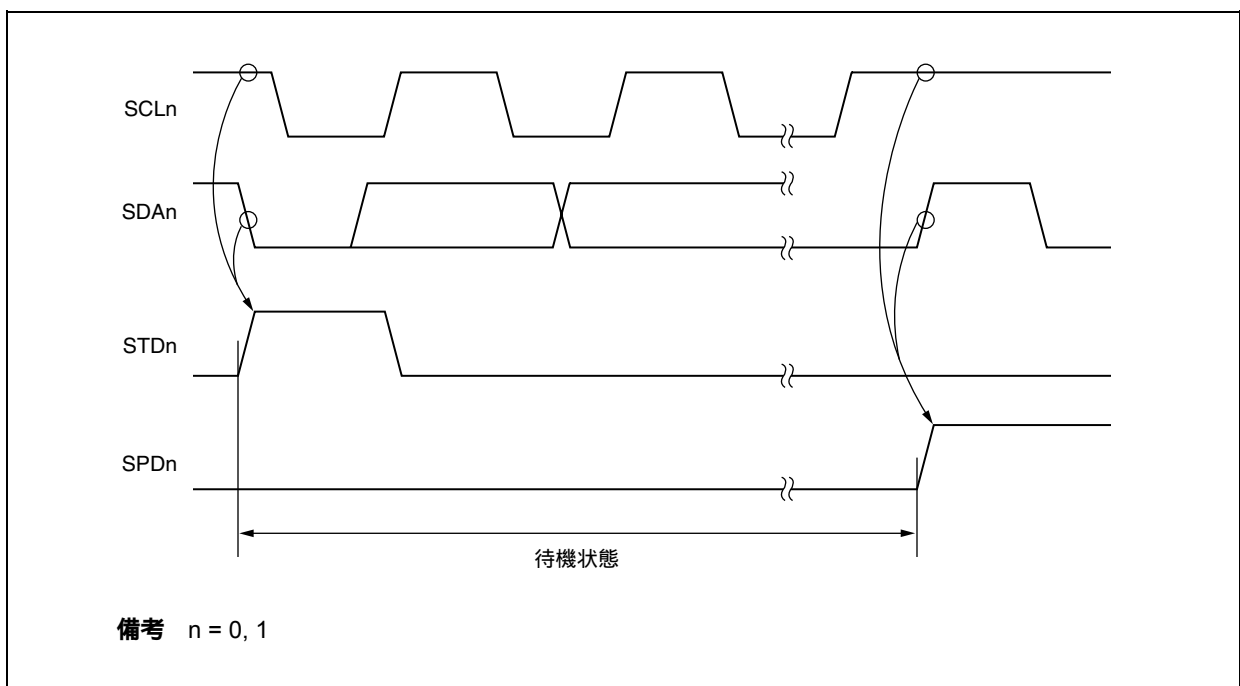
通信予約のタイミングを次に示します。

図19 - 13 通信予約のタイミング



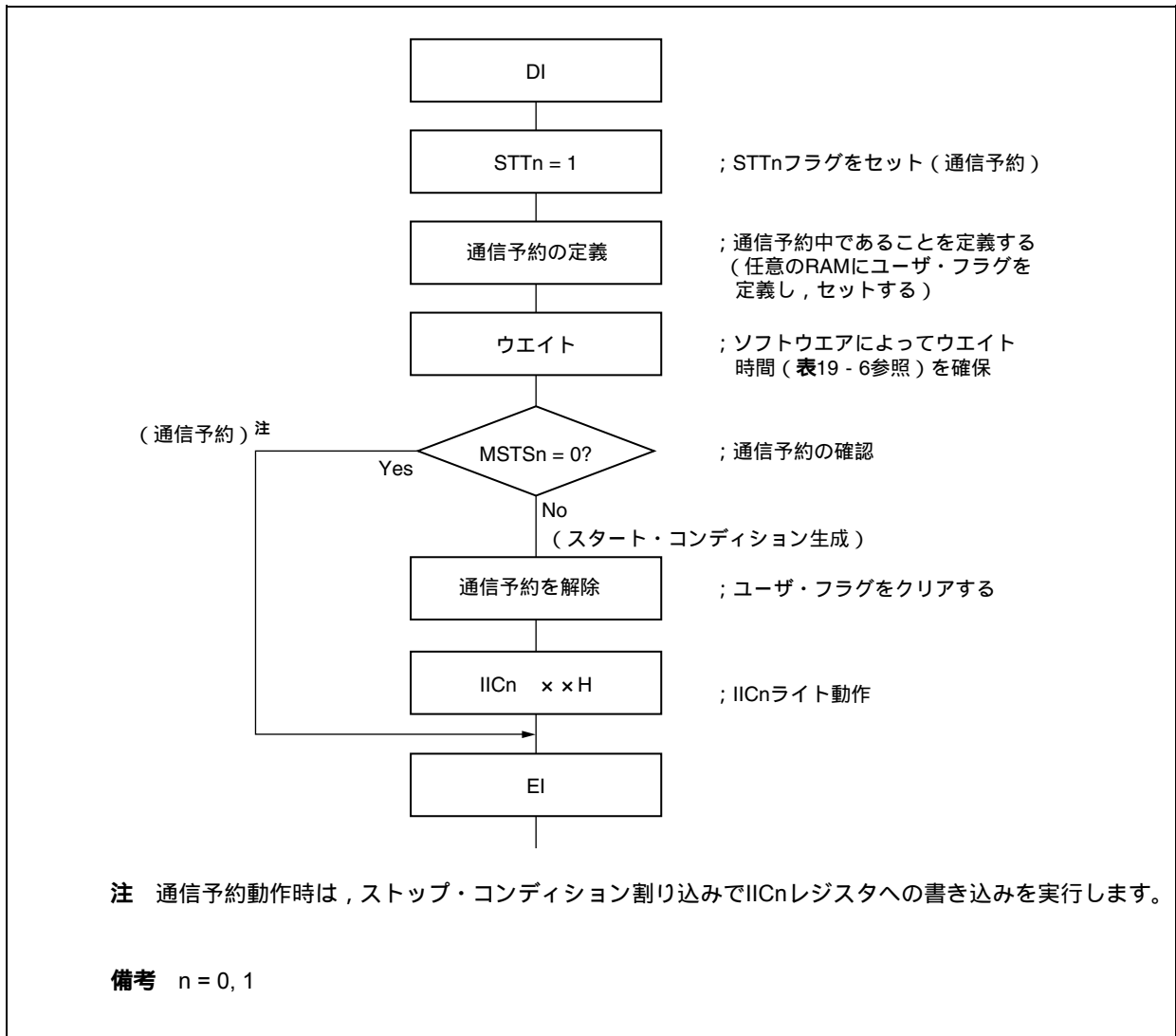
通信予約は次のタイミングで受け付けられます。IICSn.STDnビット = 1になったあと、ストップ・コンディション検出までにIICn.STTnビット = 1で通信予約をします (n = 0, 1)。

図19 - 14 通信予約受け付けタイミング



次に通信予約の手順を示します。

図19 - 15 通信予約の手順



## 19.14.2 通信予約機能禁止の場合 (IICFn.IICRSVnビット = 1)

バスが通信中で、この通信に不参加の状態ではIICn.STTnビットをセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICn.LRELnビット = 1でバスを解放した)とき。

スタート・コンディションが生成されたか拒絶されたを確認するには、IICFn.STCFnフラグを確認することにより行います。STTnビット = 1としてからSTCFnフラグがセットされるまで表19 - 7に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表19 - 7 ウェイト時間

CLn1	CLn0	選択クロック	ウェイト時間
0	0	$f_{xx}/2$	6クロック
0	1	$f_{xx}/2$	6クロック
1	0	$f_{xx}$	3クロック
1	1	$f_{xx}/3$	9クロック

備考 n = 0, 1

## 19.15 注意事項

### (1) IICFn.STCENnビット = 0の場合

I<sup>2</sup>Cn動作許可直後、実際のバス状態にかかわらず通信状態 (IICFn.IICBSYnビット = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

ストップ・コンディションの生成は次の順番で行ってください。

IICCLnレジスタの設定

IICCn.IICEnビットのセット

IICCn.SPTnビットのセット

### (2) IICFn.STCENnビット = 1の場合

I<sup>2</sup>Cn動作許可直後、実際のバス状態にかかわらず解放状態 (IICBSYnビット = 0) と認識しますので、1回目のスタート・コンディションを生成 (IICCn.STTnビット = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) ほかのデバイス同士の通信中にV850ES/KJ1+のIICCn.IICEnビットをセット (1) した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICCn.IICEnビットのセット (1) は、必ずSCLn, SDA<sub>n</sub>ラインがハイ・レベルの状態で行ってください。

(4) 動作許可 (IICCn.IICEnビット = 1) する前にIICCLn, IICXnレジスタで動作クロック周波数を決定してください。動作クロック周波数を変更する場合は、一度IICCn.IICEnビットをクリア (0) してください。

(5) IICCn.STTn, SPTnビットをセット (1) したあと、クリア (0) される前の再セットは禁止します。

(6) 送信予約をした場合には、IICCn.SPIEnビットをセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI<sup>2</sup>Cnに通信データをライトすることによってウェイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでIICSn.MSTSnビットを検出する場合には、SPIEnビットをセット (1) する必要はありません。

**備考** n = 0, 1

## 19.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

### (1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

### (2) マルチマスタ・システムでのマスタ動作

I<sup>2</sup>Cnバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI<sup>2</sup>Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

### (3) スレーブ動作

I<sup>2</sup>Cnバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICn割り込みの発生を待ちます。INTIICn割り込みが発生すると通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

**備考** n = 0, 1



19.16.1 シングルマスタ・システムでのマスタ動作

図19-16 シングルマスタ・システムでのマスタ動作

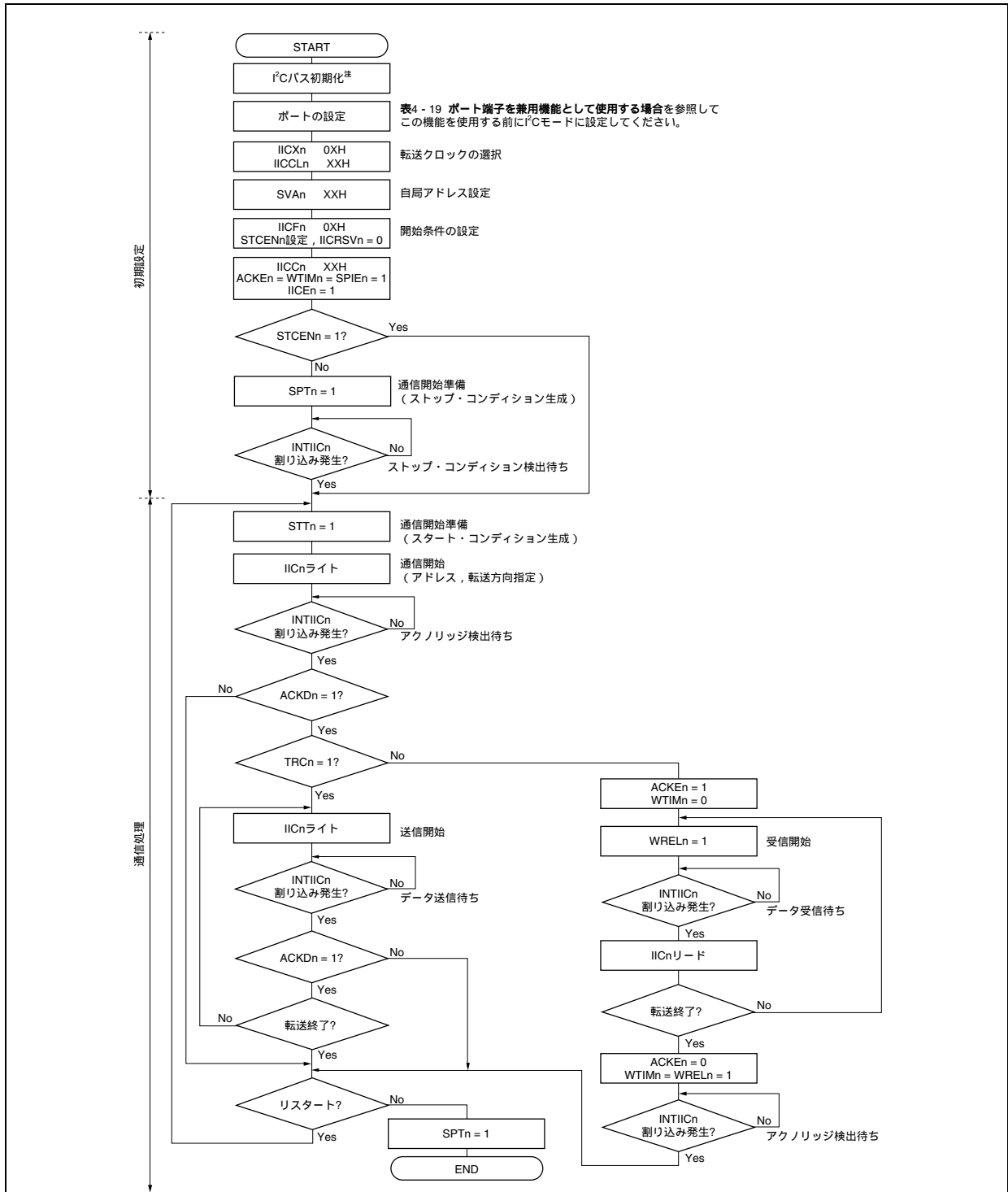


表4-19 ポート端子を兼用機能として使用する場合は参照してこの機能を使用する前にI<sup>2</sup>Cモードに設定してください。

転送クロックの選択

自局アドレス設定

開始条件の設定

IICXn = XXH  
IICLn = XXH  
ACKEn = WTIMn = SPIEn = 1  
IICEn = 1

通信開始準備 (ストップ・コンディション生成)

ストップ・コンディション検出待ち

通信開始準備 (スタート・コンディション生成)

通信開始 (アドレス、転送方向指定)

アックノリッジ検出待ち

送信開始

データ送信待ち

データ受信待ち

受信開始

アックノリッジ検出待ち

注 通信している製品の仕様に準拠し、I<sup>2</sup>Cnバスを解放 (SCLn, SDA端子 = ハイ・レベル) してください。たとえば、EEPROM<sup>®</sup>がSDAn端子にロウ・レベルを出力した状態であれば、SCLn端子を出力ポートに設定し、SDAn端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

- 備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
2. n = 0, 1

19. 16. 2 マルチマスタ・システムでのマスタ動作

図19 - 17 マルチマスタ・システムでのマスタ動作 (1/3)

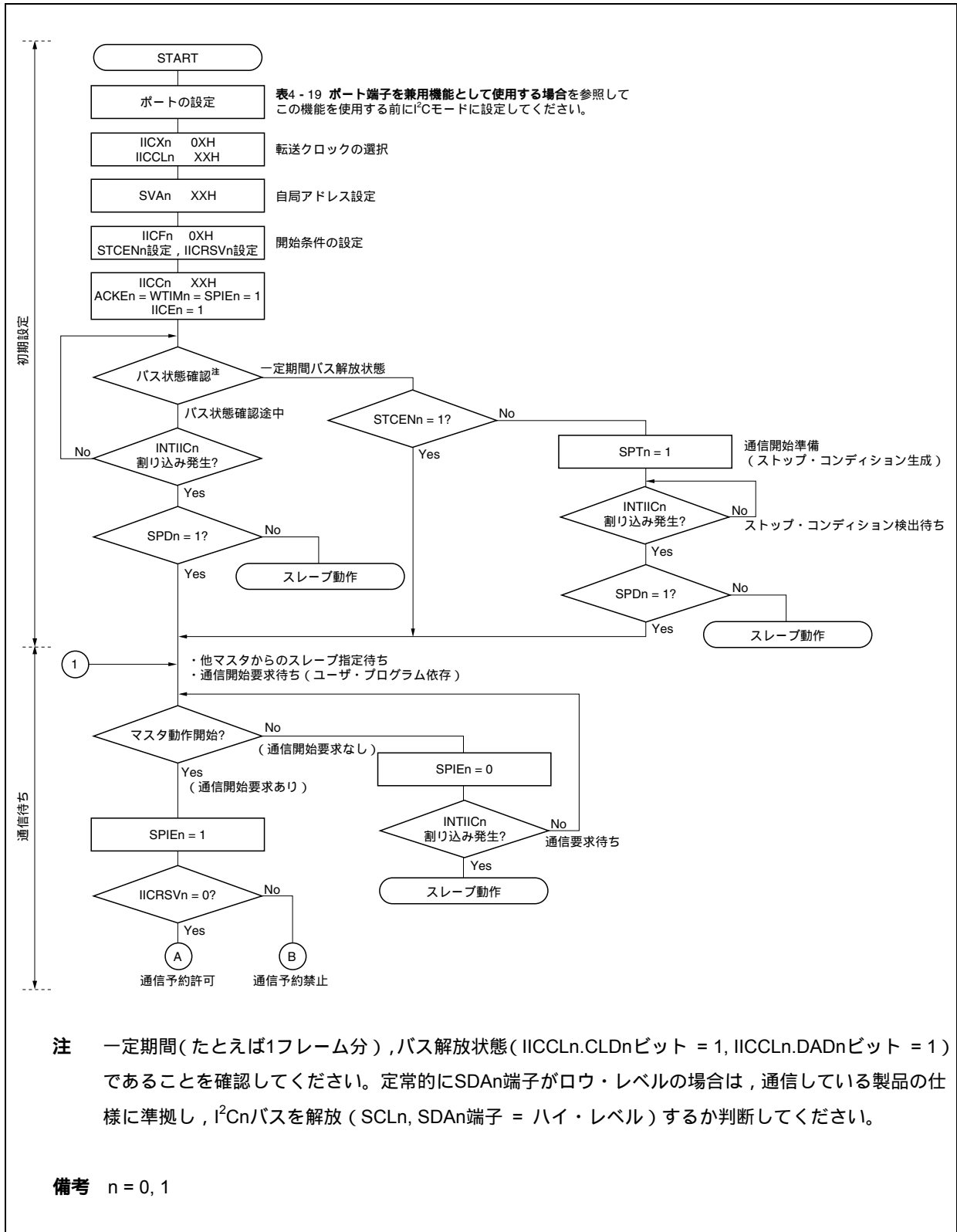


図19 - 17 マルチマスタ・システムでのマスタ動作 (2/3)

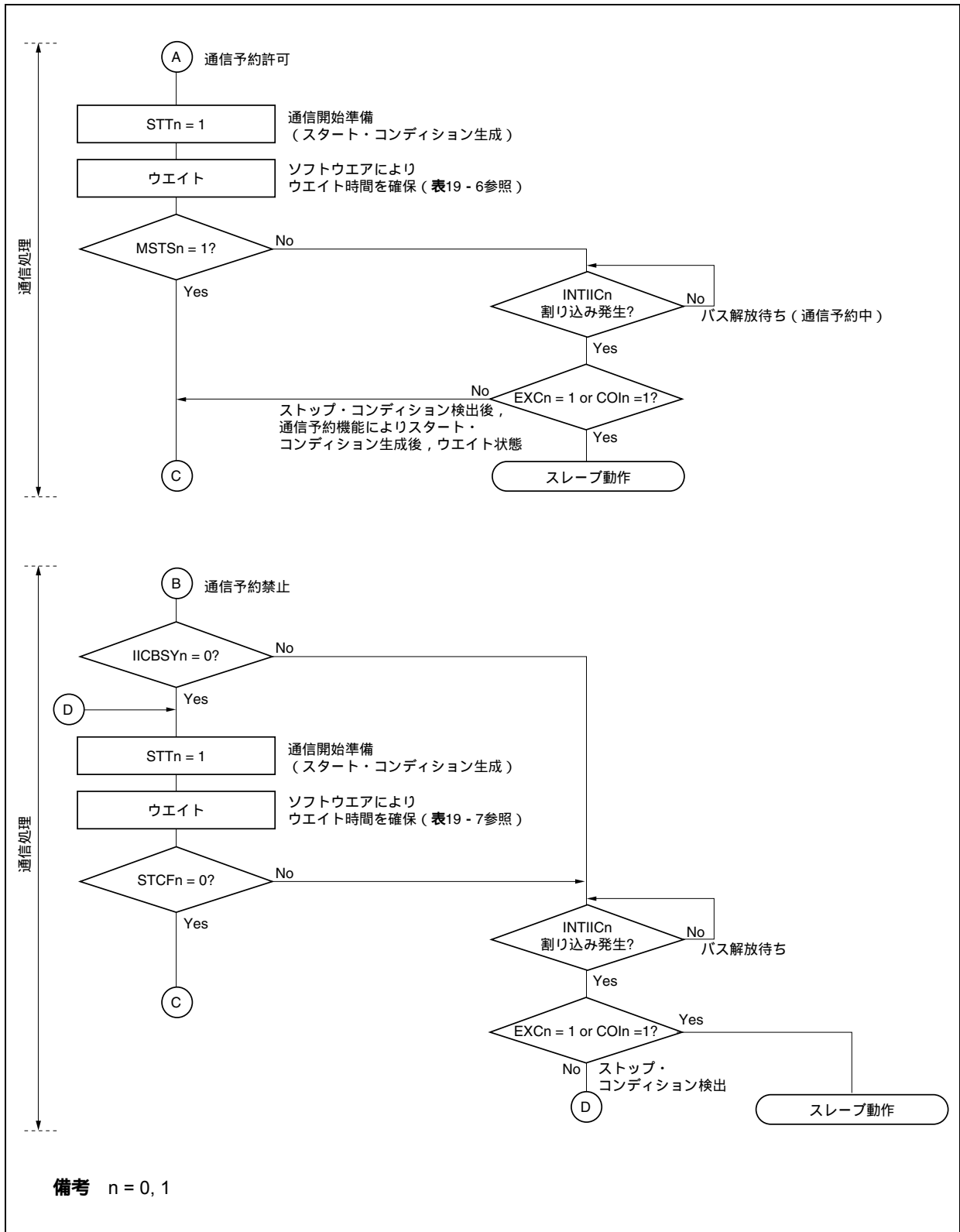
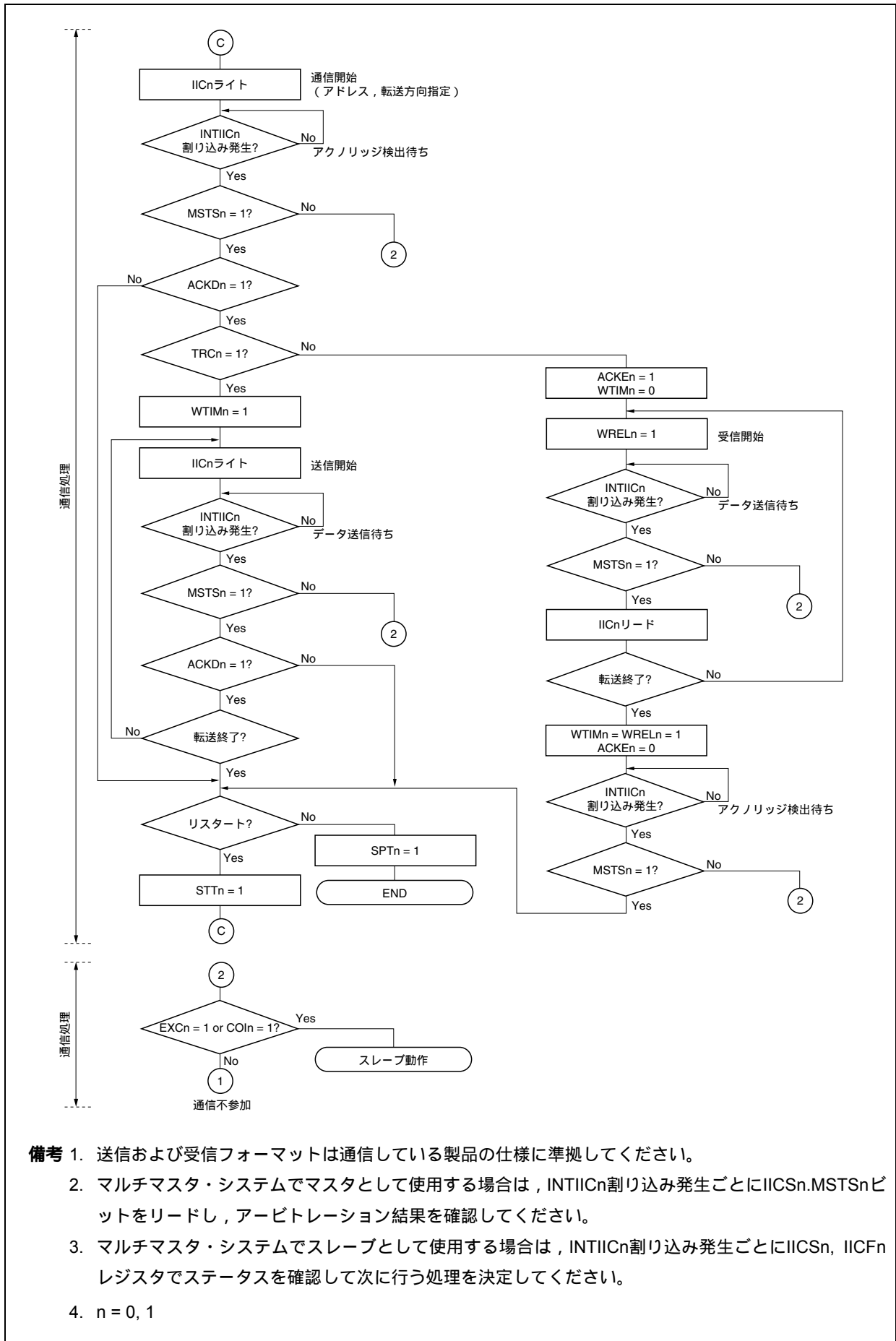


図19 - 17 マルチマスタ・システムでのマスタ動作 (3/3)



- 備考**
1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
  2. マルチマスタ・システムでマスタとして使用する場合は、INTIICn割り込み発生ごとにIICSn.MSTS<sub>n</sub>ビットをリードし、アービトレーション結果を確認してください。
  3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICn割り込み発生ごとにIICSn, IICFnレジスタでステータスを確認して次に行う処理を決定してください。
  4. n = 0, 1

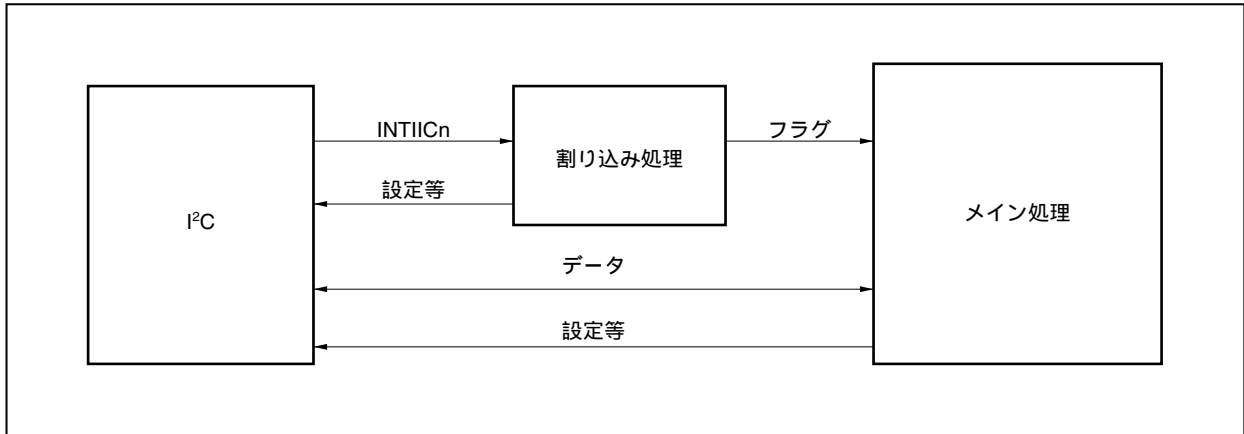
### 19.16.3 スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。

図19 - 18 スレーブ動作時のソフトウェア概要



このため、3つのフラグを準備し、これをINTIICn信号の代わりにメイン処理に渡すことでデータ転送処理を行います。

#### (1) 通信モード・フラグ

次の2つの通信状態を示します。

クリア・モード : データ通信を行っていない状態

通信モード : データの通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

#### (2) レディ・フラグ

データ通信が可能になったことを示します。通常のデータ転送ではINTIICn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータについては、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

#### (3) 通信方向フラグ

通信の方向を示すフラグで、IICSn.TRCnビットの値と同じです。

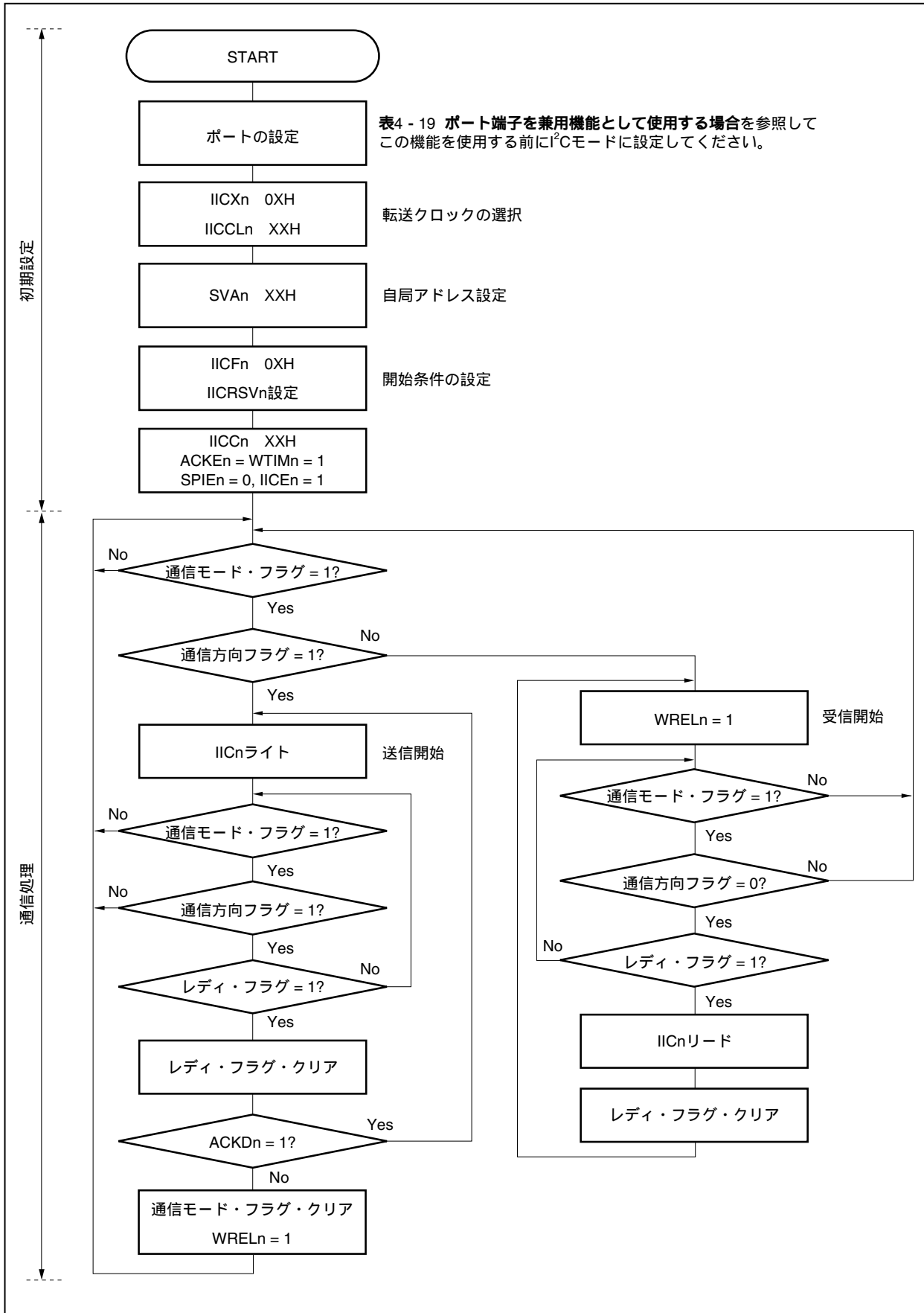
次にスレーブ動作でのメイン処理部の動作を示します。

I<sup>2</sup>Cnを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って転送を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで確認します）。

送信ではマスタからアクノリッジが来なくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら転送を完了します。

受信では必要な数のデータ受信し、転送完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図19 - 19 スレーブ動作手順 (1)



スレーブのINTIICn割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICn割り込みではステータスを確認して、次のように行います。

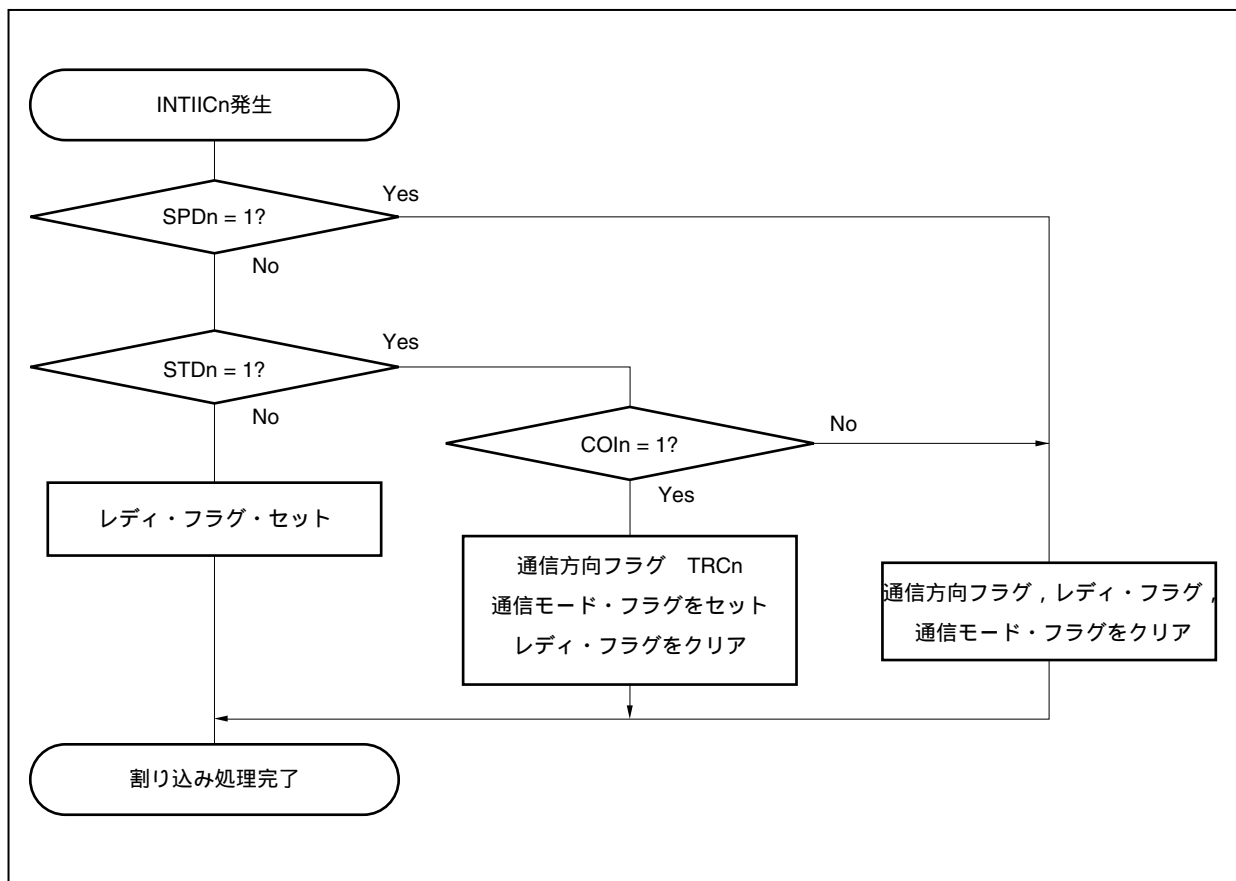
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウエイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

データ送受信の場合、レディ・フラグをセットするだけで、I<sup>2</sup>Cnバスはウエイト状態のまま、割り込みから戻ります。

**備考** 上述の ~ は、図19-20 スレーブ動作手順(2)の ~ と対応しています。

図19-20 スレーブ動作手順(2)





## 19.17 データ通信のタイミング

I<sup>2</sup>Cバス・モードでは、マスタがシリアル・バス上にアドレスを生成することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示す。IICSn.TRCnビットを送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック（SCLn端子）の立ち下がりに同期してIICnレジスタのシフト動作が行われ、送信データがSOラッチに転送され、SDAn端子からMSBファーストで出力されます。

また、SCLn端子の立ち上がりでSDAn端子に入力されたデータがIICnレジスタに取り込まれます。

データ通信のタイミングを次に示します。

**備考** n = 0, 1

図19 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウエイト選択時) (1/3)

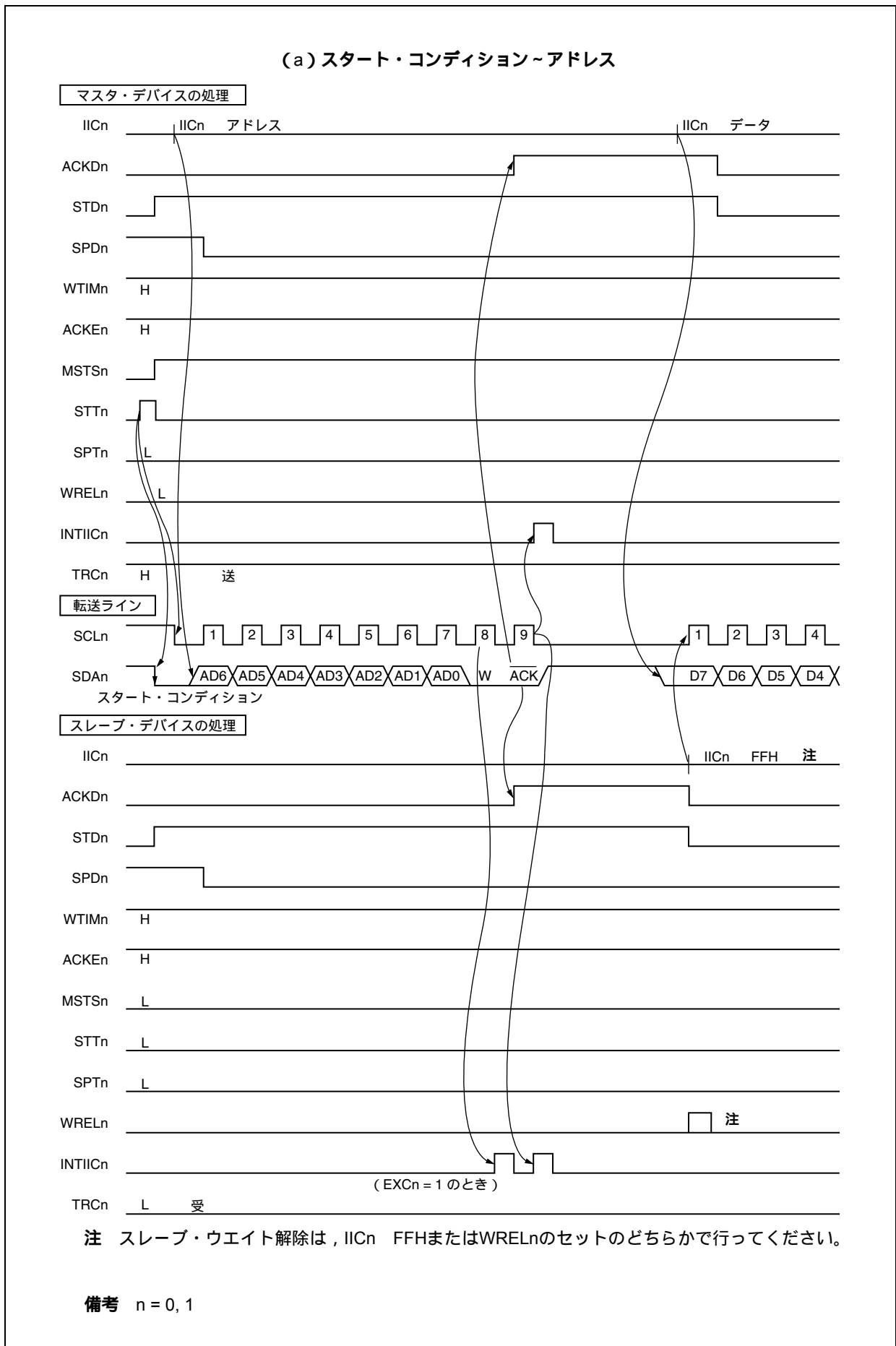


図19 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウェイト選択時) (2/3)

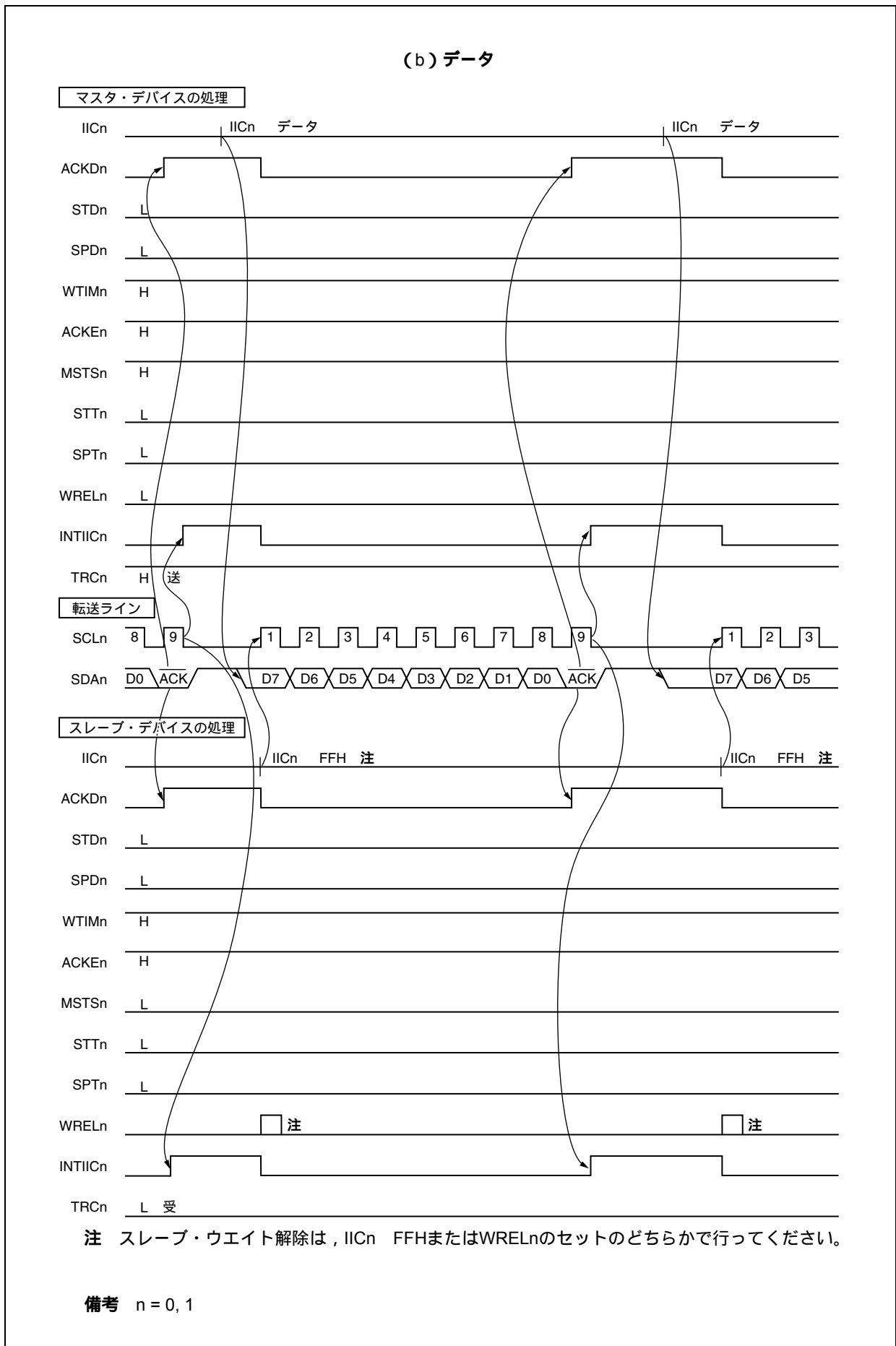


図19 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウエイト選択時) (3/3)

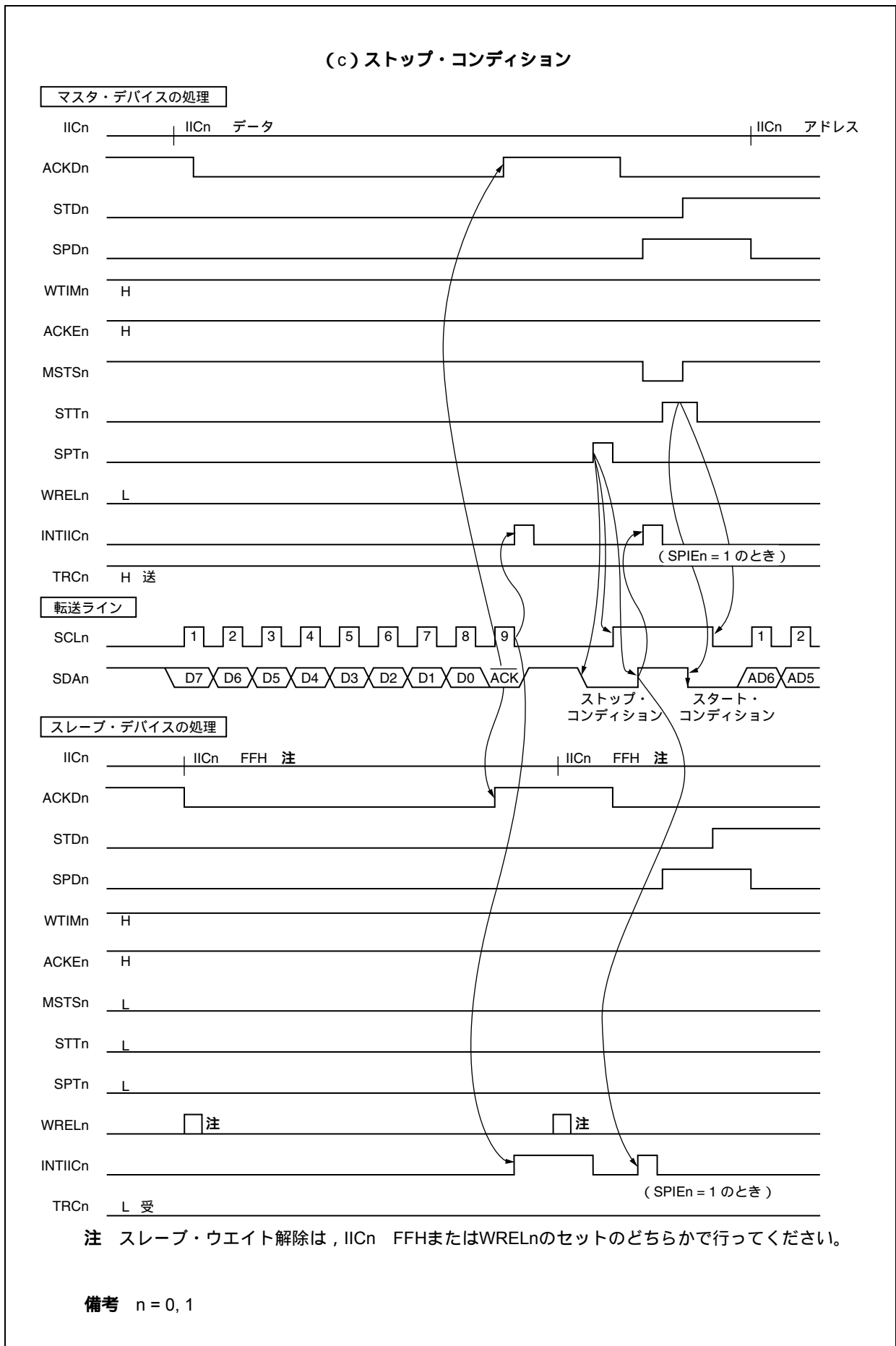


図19 - 22 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (1/3)

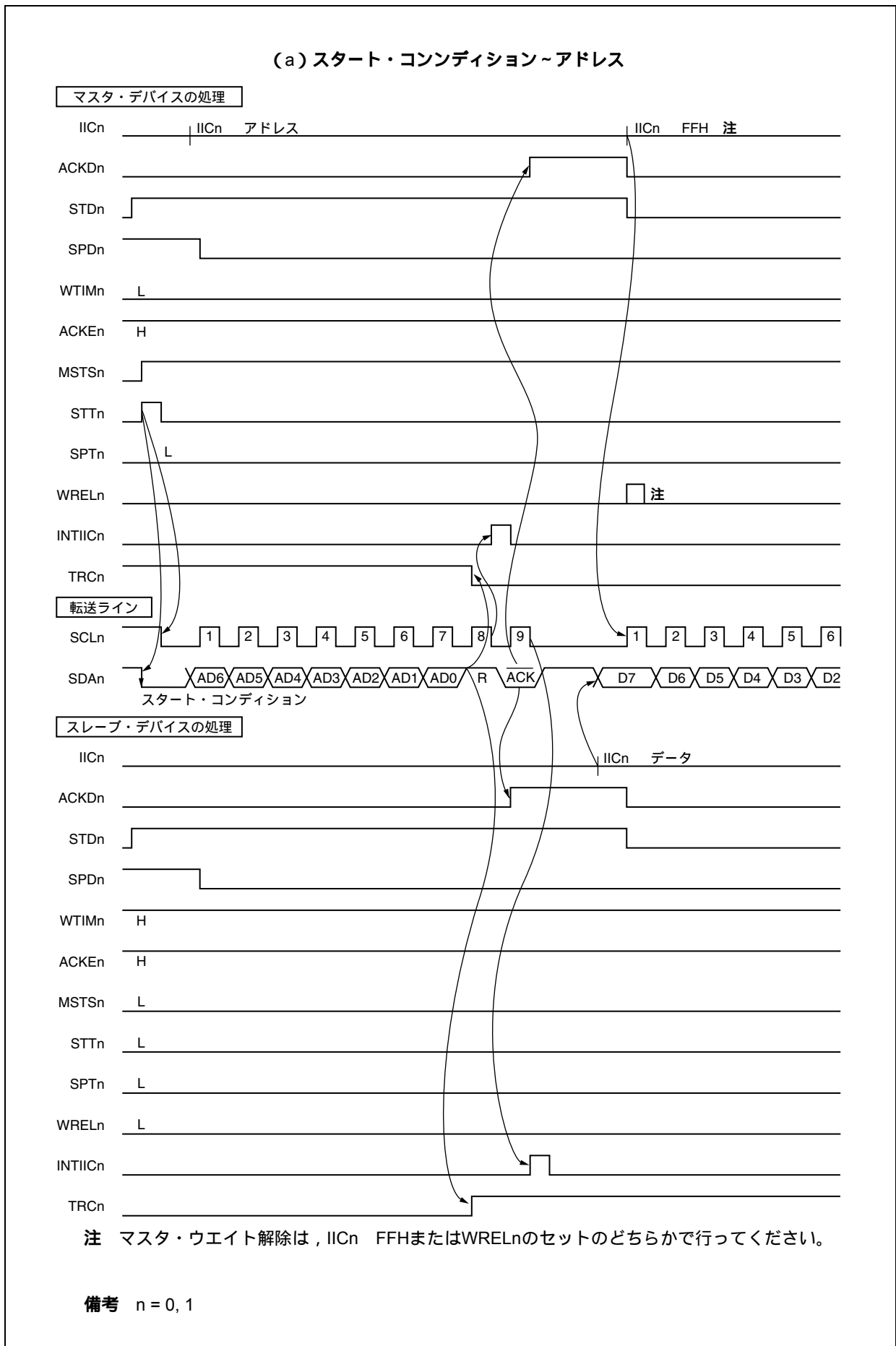


図19 - 22 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウエイト選択時) (2/3)

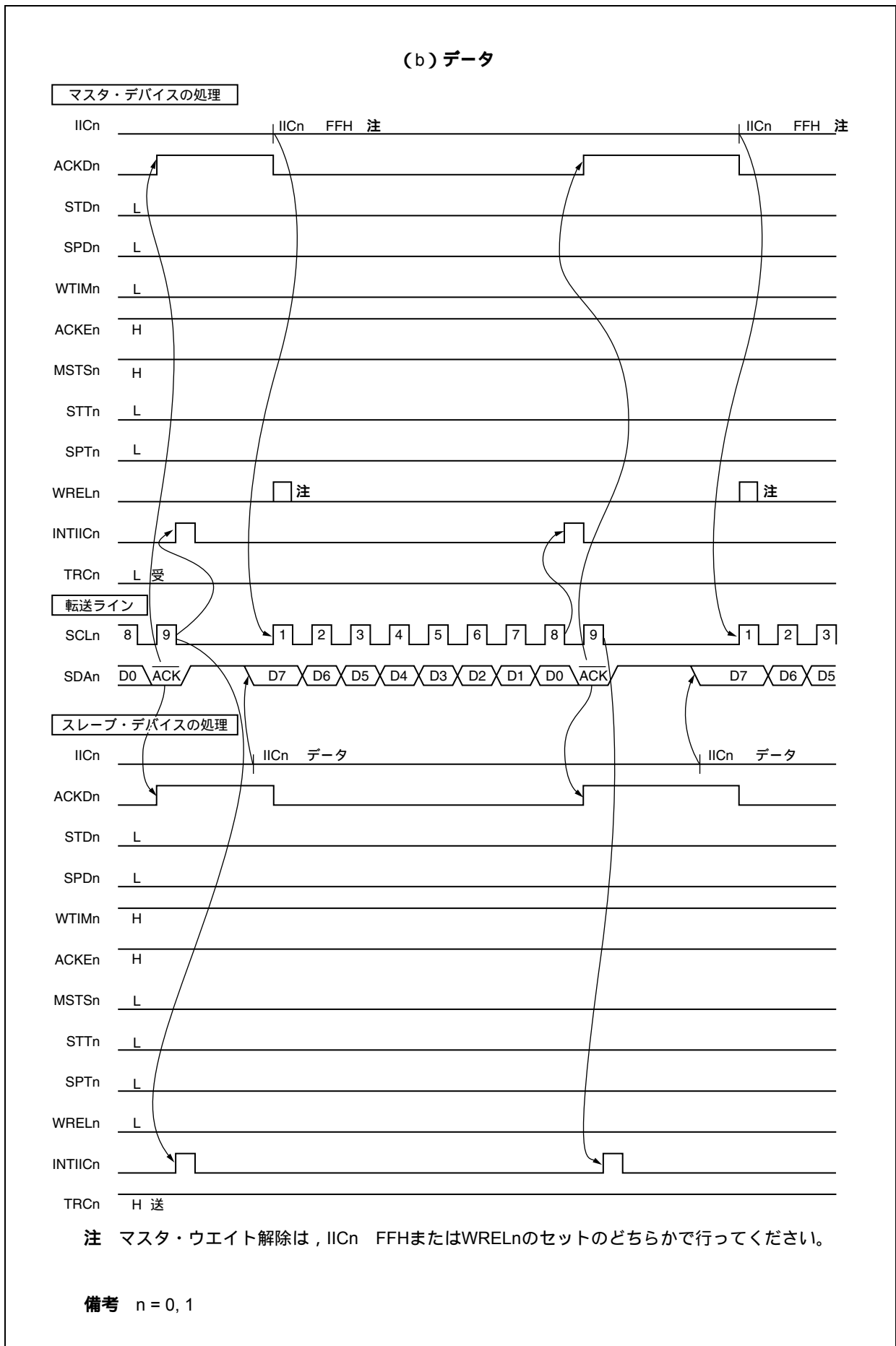
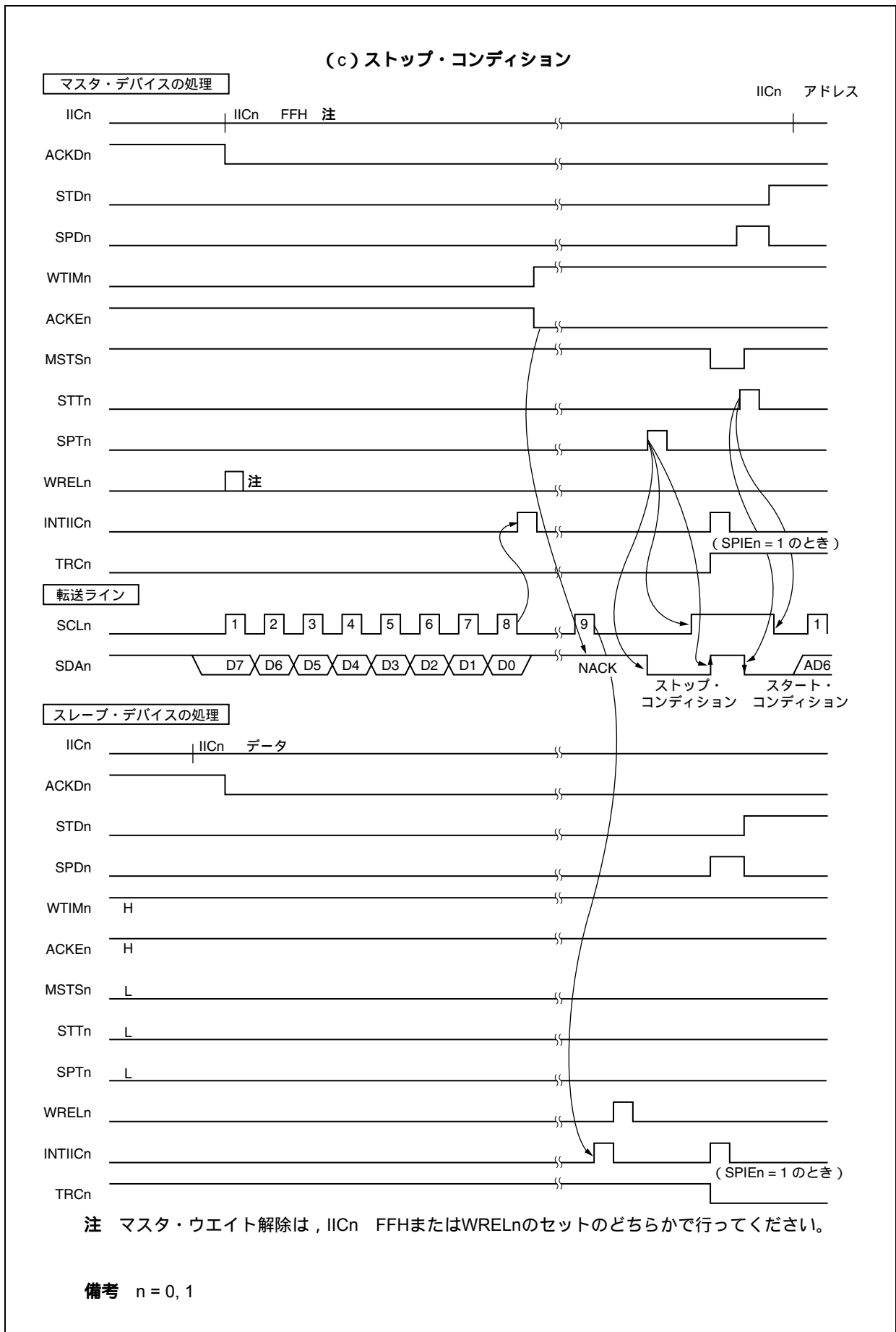


図19-22 スレーブ マスタ通信例 (マスタ: 8 クロック, スレーブ: 9クロックでウェイト選択時) (3/3)



## 第20章 DMA機能 (DMAコントローラ)

V850ES/KJ1+は、DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは、内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ), 外部入力端子からの割り込みによる要求, またはソフトウェア・トリガによるDMA要求に基づいて、メモリ I/O間, メモリ メモリ間, I/O I/O間でのデータ転送を制御します (メモリは内蔵RAM, または外部メモリを意味します)。

### 20.1 特 徴

4つの独立なDMAチャンネル

転送単位: 8ビット/16ビット

最大転送回数: 65536 ( $2^{16}$ ) 回

転送タイプ: 2サイクル転送

転送モード: シングル転送モード

転送要求

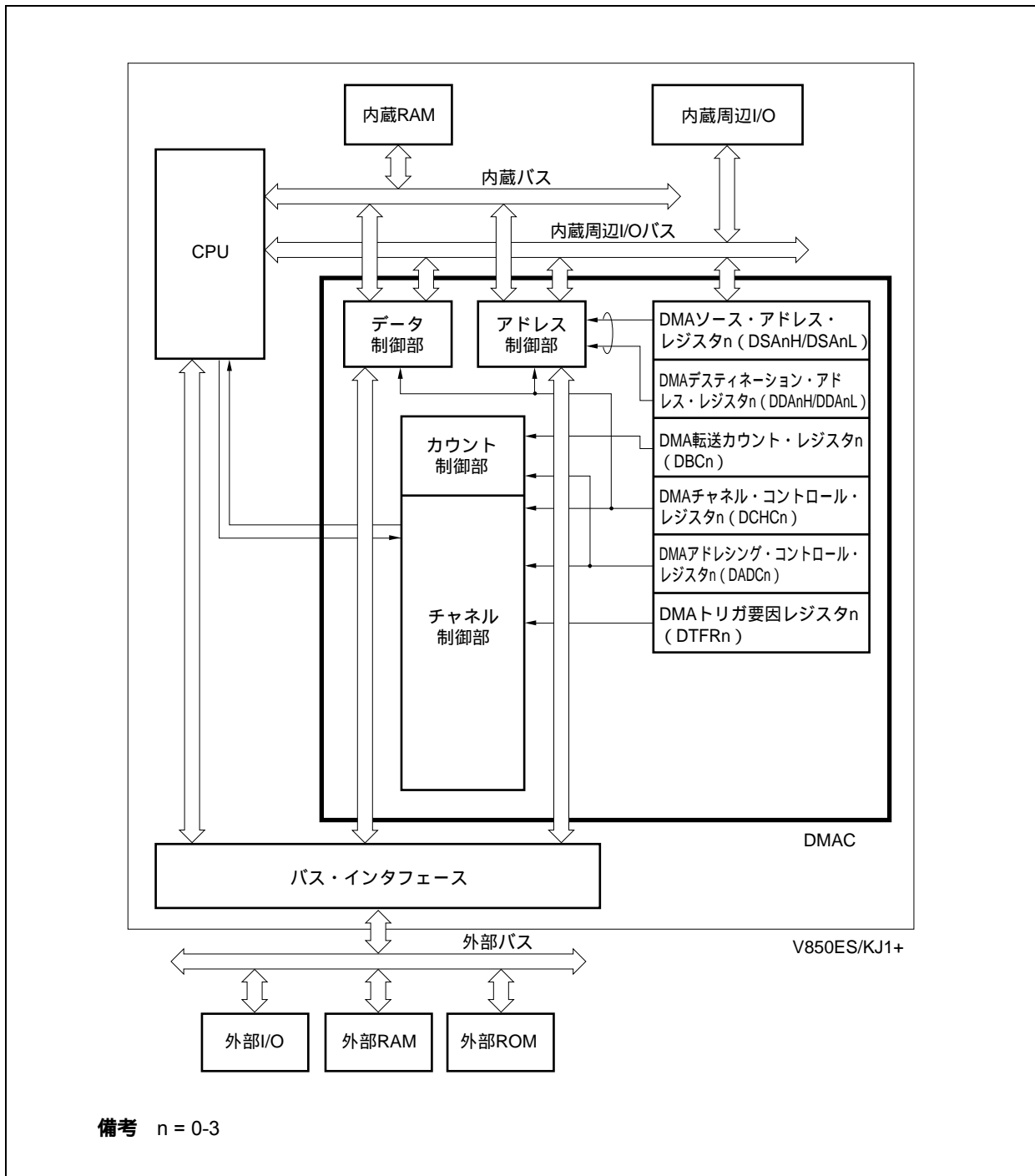
- ・内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ), 外部入力端子からの割り込みによる要求
- ・ソフトウェア・トリガによる要求

転送対象

- ・内蔵RAM 周辺I/O
- ・周辺I/O 周辺I/O
- ・内蔵RAM 外部メモリ
- ・外部メモリ 周辺I/O
- ・外部メモリ 外部メモリ



## 20.2 構成



## 20.3 レジスタ

### (1) DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネルnのDMA転送元アドレス (26ビット) を設定します (n = 0-3)。  
 このレジスタは, DSA<sub>n</sub>H, DSA<sub>n</sub>Lの2つの16ビット・レジスタに分かれます。  
 16ビット単位でリード/ライト可能です。

リセット時: 不定 R/W アドレス: DSA0H FFFFF082H, DSA1H FFFFF08AH,  
 DSA2H FFFFF092H, DSA3H FFFFF09AH,  
 DSA0L FFFFF080H, DSA1L FFFFF088H,  
 DSA2L FFFFF090H, DSA3L FFFFF098H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSA <sub>n</sub> H (n = 0-3)	IR <sub>n</sub>	0	0	0	0	0	SAn25	SAn24	SAn23	SAn22	SAn21	SAn20	SAn19	SAn18	SAn17	SAn16

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSA <sub>n</sub> L (n = 0-3)	SAn15	SAn14	SAn13	SAn12	SAn11	SAn10	SAn9	SAn8	SAn7	SAn6	SAn5	SAn4	SAn3	SAn2	SAn1	SAn0

IR <sub>n</sub>	DMA転送元の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

SAn25-SAn16	DMA転送元のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。
-------------	--

SAn15-SAn0	DMA転送元のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。
------------	---

- 注意1.** DSA<sub>n</sub>Hレジスタのビット14-10には, 必ず“0”を設定してください。
- DSA<sub>n</sub>H, DSA<sub>n</sub>Lレジスタの設定は, DMA動作中でない次のいずれかのタイミングで行ってください。
    - ・リセット後から最初のDMA転送起動までの期間
    - ・DCHC<sub>n</sub>.INIT<sub>n</sub>ビットによるチャンネル初期化後からDMA転送起動までの期間
    - ・DMA転送完了後 (DCHC<sub>n</sub>.TC<sub>n</sub>ビット = 1の状態) から次のDMA転送起動までの期間
  - DSA<sub>n</sub>レジスタの値を読み出す際, DSA<sub>n</sub>HレジスタとDSA<sub>n</sub>Lレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります (20.13 注意事項参照)。

(2) DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャンネルnのDMA転送先アドレス (26ビット) を設定します (n = 0-3)。  
 このレジスタは、DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。  
 16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DDA0H FFFFFFF086H, DDA1H FFFFFFF08EH,  
 DDA2H FFFFFFF096H, DDA3H FFFFFFF09EH,  
 DDA0L FFFFFFF084H, DDA1L FFFFFFF08CH,  
 DDA2L FFFFFFF094H, DDA3L FFFFFFF09CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnH (n = 0-3)	IRn	0	0	0	0	0	DAn25	DAn24	DAn23	DAn22	DAn21	DAn20	DAn19	DAn18	DAn17	DAn16

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnL (n = 0-3)	DAn15	DAn14	DAn13	DAn12	DAn11	DAn10	DAn9	DAn8	DAn7	DAn6	DAn5	DAn4	DAn3	DAn2	DAn1	DAn0

IRn	DMA転送先の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

DAn25-DAn16	DMA転送先のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送先アドレスを保持します。 DMA転送が終了すると, 最初に設定されたDMA転送元アドレスを保持します。
-------------	--

DAn15-DAn0	DMA転送先のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送先アドレスを保持します。 DMA転送が終了すると, 最初に設定されたDMA転送元アドレスを保持します。
------------	---

- 注意1. DDAnHレジスタのビット14-10には, 必ず“0”を設定してください。
2. DDAnH, DDAnLレジスタの設定は, DMA動作中でない次のいずれかのタイミングで行ってください。
- ・リセット後から最初のDMA転送起動までの期間
  - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
  - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
3. DDAnレジスタの値を読み出す際, DDAnHレジスタとDDAnLレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります (20.13 注意事項参照)。

(3) DMA転送カウント・レジスタ0-3 (DBC0-DBC3)

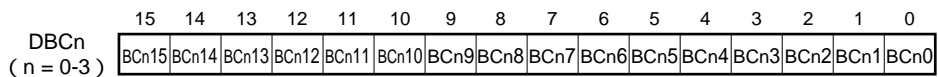
DMAチャンネルnの転送数を設定する16ビット・レジスタです (n = 0-3)。

DMA転送中は、残りの転送数を保持します。

転送データ単位 (8/16ビット) にかかわらず、1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DBC0 FFFFF0C0H, DBC1 FFFFF0C2H,  
DBC2 FFFFF0C4H, DBC3 FFFFF0C6H



BCn15-BCn0	転送数の設定, またはDMA転送中の残りの転送数
0000H	1回の転送, または残り転送数
0001H	2回の転送, または残り転送数
:	:
FFFFH	65536 (2 <sup>16</sup> ) 回の転送, または残り転送数
DMA転送が完了すると, 最初に設定された転送データ数を保持します。	

**注意** DBCnレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
- ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
- ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間

(4) DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャンネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時：0000H R/W アドレス：DADC0 FFFFF0D0H, DADC1 FFFFF0D2H,  
DADC2 FFFFF0D4H, DADC3 FFFFF0D6H

DADCn (n = 0-3)	15	14	13	12	11	10	9	8
	0	DSn0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
	SADn1	SADn0	DADn1	DADn0	0	0	0	0

DSn0	転送データ・サイズの設定
0	8ビット
1	16ビット

SADn1	SADn0	転送元アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DADn1	DADn0	転送先アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

- 注意1. DADCnレジスタのビット15, 13-8, 3-0には、必ず“0”を設定してください。
- DADCnレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。
    - ・リセット後から最初のDMA転送起動までの期間
    - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
    - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
  - DSn0ビットは転送データ・サイズを設定するものであり、バス・サイジングを制御するものではありません。したがって、8ビット・データ (DSn0ビット = 0) を設定した場合でも、必ずしも下位データ・バスを使用するわけではありません。
  - 転送データ・サイズを16ビットに設定した場合 (DSn0ビット = 1)、奇数アドレスから始まる転送はできません。下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。
  - 内蔵周辺I/Oレジスタを対象 (転送元/転送先) とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合には、必ず (8ビット) 転送を指定してください。

(5) DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャンネルnのDMA転送動作モードを指定する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です(ただし, ビット7はリードだけ, ビット1, 2はライトだけ可能です。ビット1, 2をリードした場合は0が読み出されます)。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: DCHC0 FFFFFFF0E0H, DCHC1 FFFFFFF0E2H,  
DCHC2 FFFFFFF0E4H, DCHC3 FFFFFFF0E6H

	⑦	6	5	4	3	②	①	①
DCHCn	TCn <sup>注1</sup>	0	0	0	0	INITn <sup>注2</sup>	STGn <sup>注2</sup>	Enn

(n = 0-3)

TCn <sup>注1</sup>	DMAチャンネルnのDMA転送の完了 / 未完了を示すステータス・フラグ
0	DMA転送未完了
1	DMA転送完了
DMA転送の最後の転送時にセット(1)され, 読み出しによってクリア(0)されます。	

INITn <sup>注2</sup>	DMA転送が禁止された状態で(Ennビット = 0), INITnビットをセット(1)するとDMA転送のステータスを初期化できます。 DMA転送が完了する前に(TCnビットがセット(1)される前), DMA転送ステータスの再設定(DDAnH, DDAnL, DSAAnH, DSAAnL, DBCn, DADCnレジスタの再設定)を行う場合は, 必ずDMAチャンネルの初期化後に行ってください。 ただし, DMAコントローラの初期化は, 必ず20. 13 注意事項に示す手順にしたがって行ってください。
---------------------	---

STGn <sup>注2</sup>	DMA転送のソフトウェア起動トリガです。 DMA転送が許可の状態(TCnビット = 0, Ennビット = 1)でこのビットをセット(1)するとDMA転送を開始します。
--------------------	---

Enn	DMAチャンネルnのDMA転送の許可 / 禁止の設定
0	DMA転送の禁止
1	DMA転送の許可

Ennビットをセット(1)するとDMA転送が許可されます。  
DMA転送が完了(ターミナル・カウント発生)すると, 自動的にクリア(0)されます。  
なお, DMA転送を中断するには, ソフトウェアでEnnビットをクリア(0)してください。再開するには, 再度Ennビットをセット(1)してください。  
ただし, DMA転送の中断 / 再開は, 必ず20. 13 注意事項に示す手順にしたがって行ってください。

注1. TCnビットはリードのみ可能です。

2. INITn, STGnビットはライトのみ可能です。

注意1. DCHCnレジスタのビット6-3には, 必ず“0”を設定してください。

2. DMA転送完了時(ターミナル・カウント時)は, Ennビットのクリア(0) TCnビットのセット(1)の順で各ビットの更新が行われます。そのため, DCHCnレジスタの各ビットの更新途中でDCHCnレジスタを読み出した場合, 「転送未完了, かつ転送禁止」の状態を示す値(TCnビット = 0, かつEnnビット = 0)が読み出されることがあります。

(6) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oからの割り込み要求信号によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求信号が、DMA転送の起動要因になります。

8ビット単位でリード/ライト可能です。ただし、DFnビットのみ1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

( 1/2 )

リセット時 : 00H    R/W    アドレス : DTFR0 FFFFF810H, DTFR1 FFFFF812H,  
DTFR2 FFFFF814H, DTFR3 FFFFF816H

	⑦	6	5	4	3	2	1	0
DTFRn	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

( n = 0-3 )

DFn <sup>注</sup>	DMA転送要求フラグ
0	DMA転送要求なし
1	DMA転送要求あり

**注** DFnビットは0のみライト可能です。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合に0をライトします。

**注意1.** IFCn5-IFCn0ビットの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
- ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
- ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間

- 注意2. DTFRnレジスタの設定を変更する場合は必ず次の手順で行ってください。
- IFCn5-IFCn0ビットに設定する値が他チャンネルのIFCm5-IFCm0ビットに設定されていない場合 ( $n = 0-3, m = 0-3, n \neq m$ )
    - 書き換え対象となるチャンネルのDMA動作を停止 (DCHCn.Ennビット = 0) する。
    - DTFRnレジスタの設定を変更する (必ずDFnビット = 0とし, かつ8ビット操作で行ってください)。
    - DMA転送要求をクリアする必要がある場合には, DMA転送要求フラグをクリア (DTFRn.DFn = 0) する。
    - DMA動作を許可 (Ennビット = 1) する。
  - IFCn5-IFCn0ビットに設定する値がすでに他チャンネルのIFCm5-IFCm0ビットに設定されている場合 ( $n = 0-3, m = 0-3, n = m$ )
    - 書き換え対象となるチャンネルのDMA動作を停止 (DCHCn.Ennビット = 0) する。
    - IFCn5-IFCn0ビットに書き換える値と同じ値がIFCm5-IFCm0ビットに設定されているチャンネルのDMA転送を停止 (DCHCm.Emmビット = 0) する。
    - DTFRnレジスタの設定を変更する (必ずDFnビット = 0とし, かつ8ビット操作で行ってください)。
    - DMA転送要求をクリアする必要がある場合には, DMA転送要求フラグをクリア (DTFRn.DFn = 0) する。
    - DMA動作を許可 (Ennビット = 1およびEmmビット = 1) する。
3. スタンバイ・モード (IDLE, STOP, サブIDLEモード) 中に発生した割り込み要求は, DMA転送サイクルの起動要因にはなりません (DFnビットもセット (1) されません)。
4. IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは, DMA転送の許可 / 禁止にかかわらず, 選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット (1) されます。この状態でDMA許可とした場合, ただちにDMA転送が起動されます。

備考 IFCn5-IFCn0ビットについては表20 - 1 DMA起動要因を参照してください。



表20 - 1 DMA起動要因 (1/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	割り込みによるDMA要求禁止
0	0	0	0	0	1	INTWDTM1
0	0	0	0	1	0	INTP0
0	0	0	0	1	1	INTP1
0	0	0	1	0	0	INTP2
0	0	0	1	0	1	INTP3
0	0	0	1	1	0	INTP4
0	0	0	1	1	1	INTP5
0	0	1	0	0	0	INTP6
0	0	1	0	0	1	INTTM000
0	0	1	0	1	0	INTTM001
0	0	1	0	1	1	INTTM010
0	0	1	1	0	0	INTTM011
0	0	1	1	0	1	INTTM50
0	0	1	1	1	0	INTTM51
0	0	1	1	1	1	INTCSI00
0	1	0	0	0	0	INTCSI01
0	1	0	0	0	1	INTSRE0
0	1	0	0	1	0	INTSR0
0	1	0	0	1	1	INTST0
0	1	0	1	0	0	INTSRE1
0	1	0	1	0	1	INTSR1
0	1	0	1	1	0	INTST1
0	1	0	1	1	1	INTTMH0
0	1	1	0	0	0	INTTMH1
0	1	1	0	0	1	INTCSIA0
0	1	1	0	1	0	INTIIC0 <sup>注</sup>
0	1	1	0	1	1	INTAD
0	1	1	1	0	0	INTKR
0	1	1	1	0	1	INTWTI
0	1	1	1	1	0	INTWT
0	1	1	1	1	1	INTBRG
1	0	0	0	0	0	INTTM020
1	0	0	0	0	1	INTTM021
1	0	0	0	1	0	INTTM030
1	0	0	0	1	1	INTTM031
1	0	0	1	0	0	INTCSIA1
1	0	0	1	0	1	INTTM040
1	0	0	1	1	0	INTTM041
1	0	0	1	1	1	INTTM050
1	0	1	0	0	0	INTTM051
1	0	1	0	0	1	INTCSI02
1	0	1	0	1	0	INTSRE2

注  $\mu$  PD70F3316Y, 70F3318Yのみ

備考 n = 0-3

表20 - 1 DMA起動要因 (2/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
1	0	1	0	1	1	INTSR2
1	0	1	1	0	0	INTST2
1	0	1	1	0	1	INTIC1 <sup>注</sup>
1	0	1	1	1	0	INTLVI
1	0	1	1	1	1	INTP7
1	1	0	0	0	0	INTTP0OV
1	1	0	0	0	1	INTTP0CC0
1	1	0	0	1	0	INTTP0CC1
上記以外						設定禁止

注  $\mu$  PD70F3316Y, 70F3318Yのみ

備考 n = 0-3

## 20.4 転送対象

転送対象の関係を次に示します ( : 転送可, x : 転送不可)。

表20 - 2 転送対象の関係

		転送先			
		内蔵ROM	内蔵周辺I/O	内蔵RAM	外部メモリ
転送元	内蔵周辺I/O	x			
	内蔵RAM	x		x	
	外部メモリ	x			
	内蔵ROM	x	x	x	x

注意 表20 - 2に示す転送先と転送元で、「x」が表記されている組み合わせで転送を行った場合の動作は保証できません。

## 20.5 転送モード

転送モードとして、シングル転送をサポートしています。

シングル転送では、1回のバイト/ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

ただし、転送サイクル中に同一チャネルの新たな転送要求と、他の優先順位が低いチャネルの転送要求が発生した場合、CPUにバスを解放した次の転送は、新たに要求のあった優先順位の低いチャネルのDMA転送となります (転送サイクル中は、同一チャネルの新たな転送要求は無視されます)。

## 20.6 転送タイプ

転送タイプとして、2サイクル転送をサポートしています。

2サイクル転送は、リード・サイクル、ライト・サイクルと2回のサイクルでデータを転送します。

リード・サイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、ライト・サイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

リード・サイクルとライト・サイクルの間には、必ず1クロック分のアイドル・サイクルが挿入されます。

2サイクルのDMA転送で、転送元と転送先のデータ・バス幅が異なる場合、次のような動作になります。

< 16ビット・データ転送の場合 >

32ビット・バス 16ビット・バスへの転送

リード・サイクル(上位16ビットはハイ・インピーダンス)が発生し、そのあとライト・サイクル(16ビット)が発生します。

16/32ビット・バス 8ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後8ビットのライト・サイクルが2回発生します。

8ビット・バス 16/32ビット・バスへの転送の場合

8ビットのリード・サイクルが2回発生し、その後16ビットのライト・サイクルが1回発生します。

16ビット・バス 32ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後16ビットのライト・サイクルが1回発生します。

なお、内蔵周辺I/Oレジスタを対象(転送元/転送先)とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ずバイト(8ビット)転送を指定してください。

**備考** 各転送対象(転送元/転送先)のバス幅は次のとおりです。

- ・内蔵周辺I/O : 16ビット・バス幅
- ・内蔵RAM : 32ビット・バス幅
- ・外部メモリ : 8もしくは16ビット・バス幅

## 20.7 DMAチャネルの優先順位

DMAチャネルの優先順位は固定で、次のようになります。

DMAチャネル0 > DMAチャネル1 > DMAチャネル2 > DMAチャネル3

1回の転送サイクルの度に優先順位がチェックされます。

**注意** 同じ起動要因で複数のDMAチャネルを起動した場合、優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられる場合があります。

## 20.8 DMA転送に関する各種時間

DMA要求に対する応答時間，DMA転送にかかる最小クロック数を次に示します。

シングル転送：DMA応答時間 ( ) + 転送元メモリ・アクセス ( ) + 1<sup>注1</sup> + 転送先メモリ・アクセス ( )

DMAサイクル		最小実行クロック数
DMA要求に対する応答時間		4クロック (MIN.) + ノイズ除去時間 <sup>注2</sup>
メモリ・アクセス	外部メモリ・アクセス	接続するメモリで異なります
	内蔵RAMアクセス	2クロック <sup>注3</sup>
	周辺I/Oレジスタ・アクセス	3クロック + VSWCレジスタによるウエイト数 <sup>注4</sup>

- 注1. DMA転送のリード・サイクルとライト・サイクルの間には，必ず1クロック挿入されます。
2. 外部割り込み (INTPn) をDMA転送の起動要因に指定した場合，ノイズ除去時間が加算されます (n = 0-7)。
3. DMAサイクルの場合は，2クロックかかります。
4. 3.4.8 (1) (b) にあるレジスタへのアクセスについては，さらにウエイト数が増える場合があります。

## 20.9 DMA転送起動要因

DMA転送の起動要因には、次の2種類があります。

### (1) ソフトウェアによる要求

DCHCn.TCnビット = 0, かつDCHCn.Ennビット = 1 (DMA転送許可) の状態で, DCHCn.STGnビットをセット (1) すると, DMA転送を起動します。

続けて次のDMA転送サイクルを要求するには, DBCnレジスタにて, 先のDMA転送サイクルが完了したことを確認してから, 再度STGnビットをセット (1) してください (n = 0-3)。

TCnビット = 0, Ennビット = 1

STGnビット = 1 ... 1回目のDMA転送開始

DBCnレジスタの内容が更新されたことを確認

STGnビット = 1 ... 2回目のDMA転送開始

:

ターミナル・カウント発生...Ennビット = 0, TCnビット = 1かつINTDMA<sub>n</sub>信号発生

### (2) 内蔵周辺I/Oによる要求

TCnビット = 0, かつEnnビット = 1 (DMA転送許可) の状態で, DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると, DMA転送を起動します。

- 注意1. 同一のDMAチャンネルに対して, 2つの起動要因 (ソフトウェア・トリガ, ハードウェア・トリガ) を併用できません。1つのDMAチャンネルに対して, 2つの起動要因が同時に発生した場合, どちらか一方だけが有効となります。有効となった起動要因の特定はできません。
2. 先のDMA転送要求が発生してから, または先のDMA転送サイクル中に新たな転送要求が発生しても, その要求は無視 (クリア) されます。
3. 同一のDMAチャンネルに対する転送要求間隔は, DMA転送サイクル中のバス・ウエイトの設定や他のチャンネルの起動状況, または外部バス・ホールド要求により変化します。特に注意2のとおり, DMA転送サイクル前, または転送サイクル中に同一チャンネルの新たな転送要求が発生しても, その要求は無視されてしまいます。したがって, 同一のDMAチャンネルに対する転送要求間隔は, システム上で十分な間隔を確保してください。ソフトウェア・トリガ時は, DBCnレジスタの更新により, 先に発生したDMA転送サイクルの完了を確認できます。

## 20.10 DMAの中断要因

DMA転送は、バス・ホールドが発生すると中断されます。

内部メモリ / 内蔵周辺IO 内部メモリ / 内蔵周辺I/O時も同様です。

バス・ホールドが解除されると、引き続きDMA転送を開始します。

## 20.11 DMA転送の終了

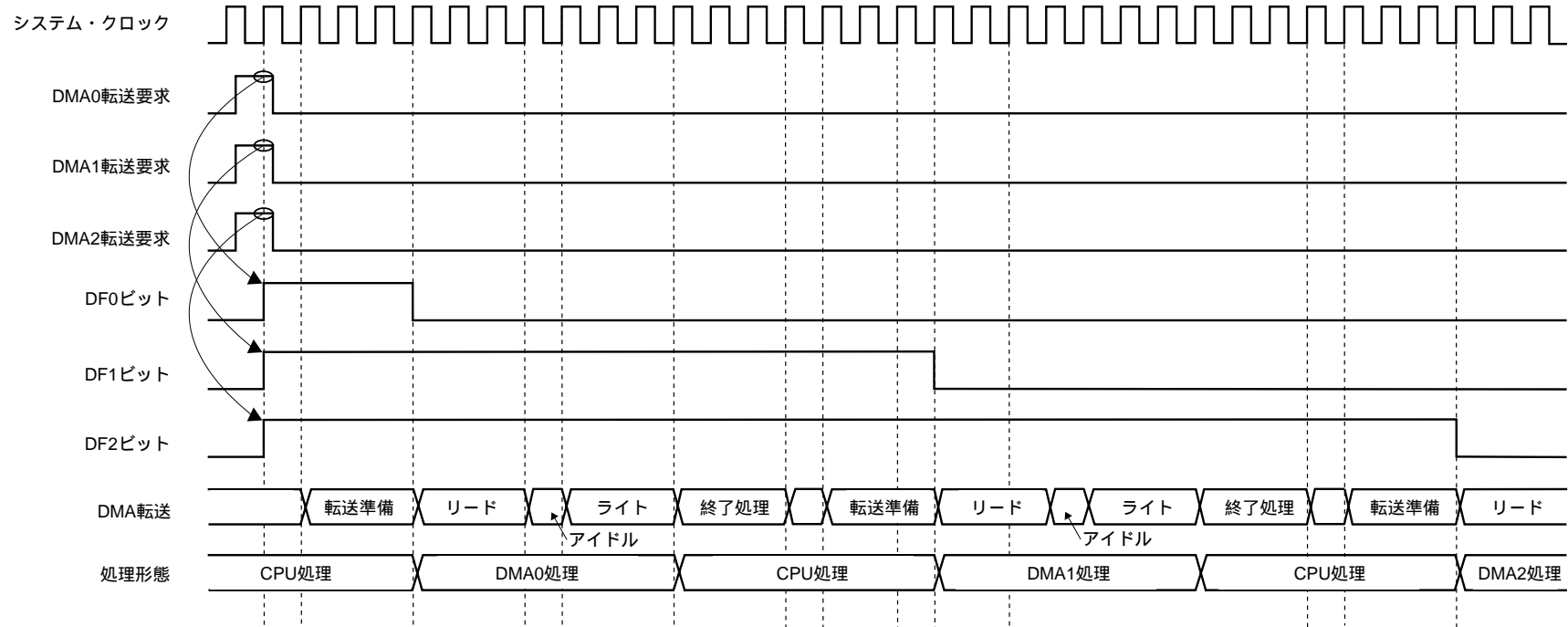
DBCnレジスタに設定した回数分DMA転送が終了し、DCHCn.Ennビットがクリア(0)、TCnビットがセット(1)されると、割り込みコントローラ (INTC) に対して、DMA転送終了割り込み要求信号 (INTDMA<sub>n</sub>) を発生します (n = 0-3)。

V850ES/KJ1+では、ターミナル・カウント信号を外部に出力していませんので、DMA転送終了割り込み、またはTCnビットのポーリングによりDMA転送の完了を確認してください。

## 20.12 動作タイミング

次にDMAの動作タイミングを示します。

図20 - 1 DMAの優先順位 (1)



備考1. DMA0 DMA1 DMA2の順で転送。

2. 外部メモリ空間↔外部メモリ空間の場合 (マルチプレクス・バス, ウェイトなし)。

図20 - 2 DMAの優先順位 (2)

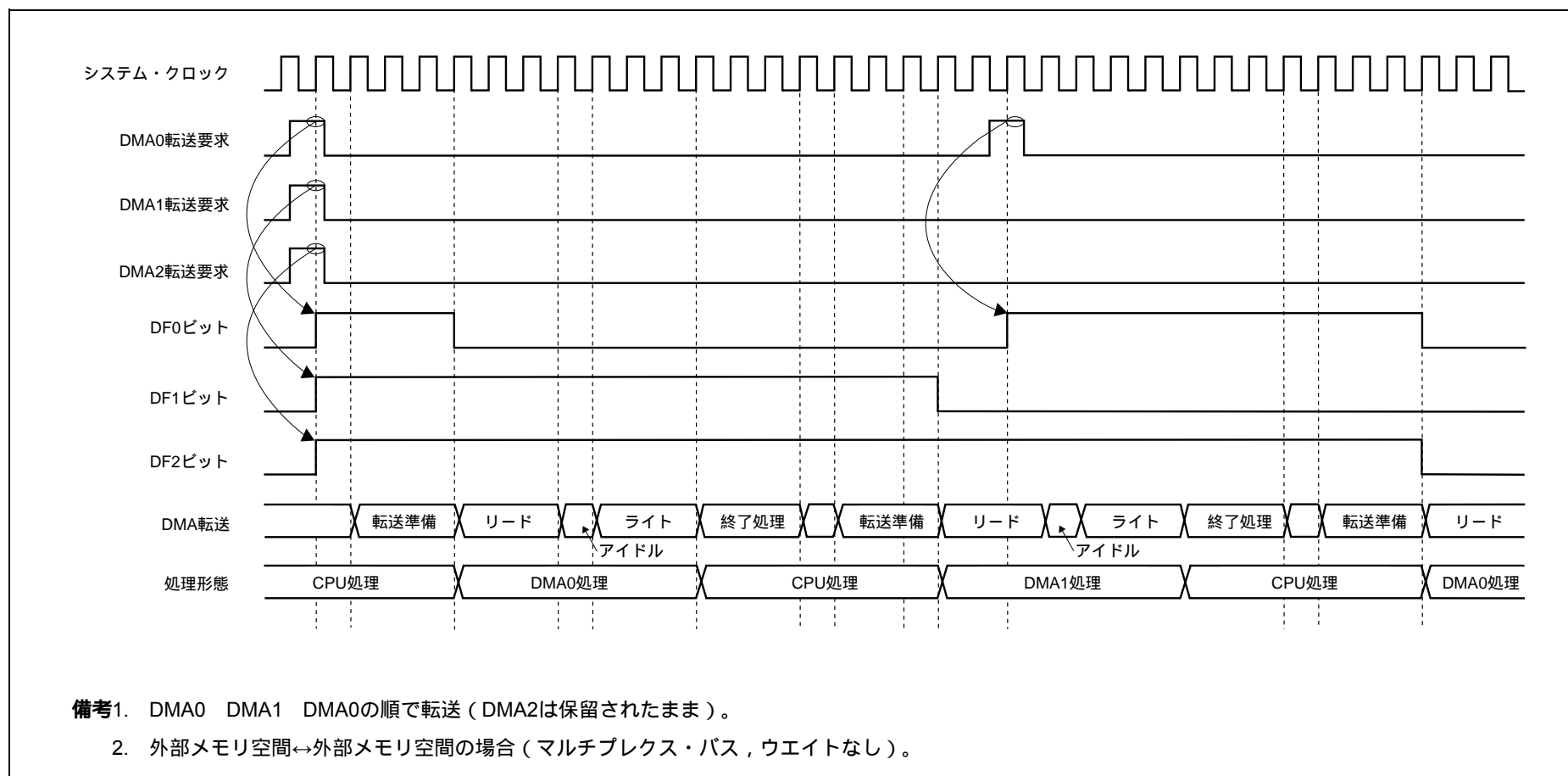




図20 - 3 DMAの転送要求が無視される期間 (1)

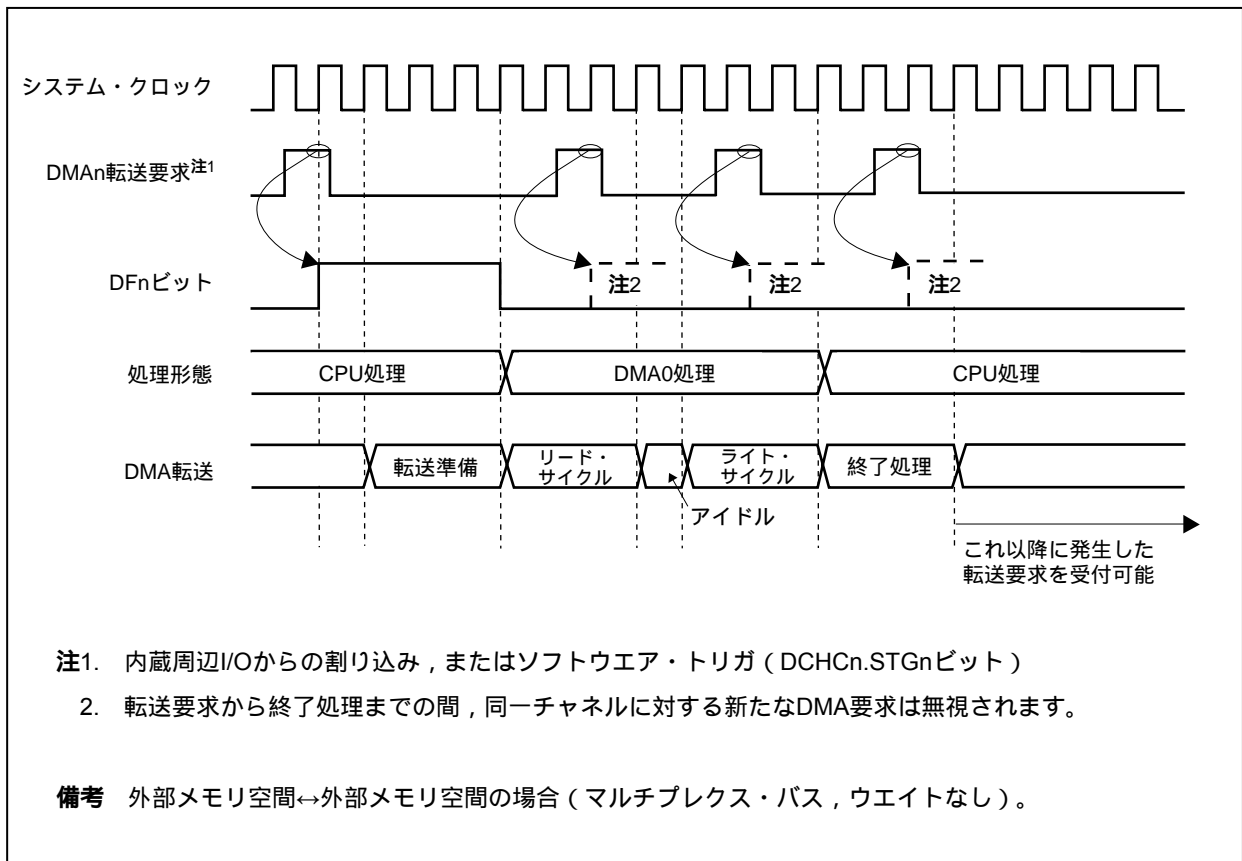
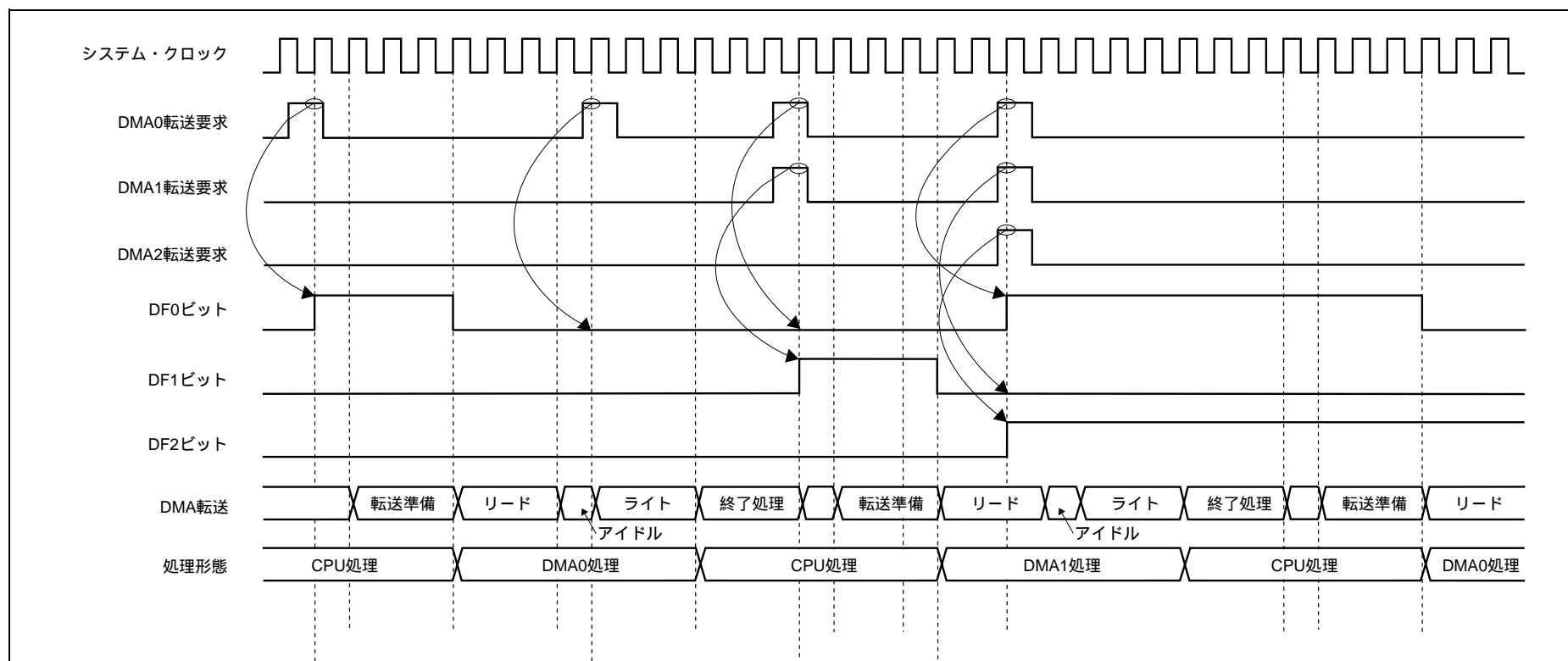


図20 - 4 DMAの転送要求が無視される期間 (2)



## DMA0転送要求

DMA0転送中に新たなDMA0転送要求が発生

DMA転送中の同一チャンネルのDMA要求は無視される

DMA0とDMA1の要求が同時発生

DMA0の要求は無視される（転送中の同一チャンネルのDMA要求は無視される）

DMA1の要求が受け付けられる

DMA0とDMA1とDMA2の要求が同時に発生

DMA1の要求は無視される（転送中の同一チャンネルのDMA要求は無視される）

優先順位によりDMA0の要求が受け付けられる。DMA2の要求は保留（次はDMA2の転送が発生）

## 20.13 注意事項

### (1) VSWCレジスタに関する注意

DMACを使用する際は、必ずVSWCレジスタに、動作周波数に応じた最適な値を設定してください。

VSWCレジスタの初期値 (77H)、または最適な値以外で使用した場合は正常に動作できません (VSWCレジスタの詳細については、3.4.8 (1) (a) システム・ウェイト・コントロール・レジスタ (VSWC) を参照してください)。

### (2) 内蔵RAMを転送対象とするDMA転送時の注意

内蔵RAMに配置された次の命令を実行する場合は、内蔵RAMを対象 (転送先 / 転送元) とするDMA転送を行わないでください。その後CPUが正常に動作しない可能性があります。

- ・内蔵RAMに配置されたミス・アライン・アドレスに対するデータ・アクセス命令

逆に、内蔵RAMを対象 (転送先 / 転送元) としたDMA転送を行う場合は、上記の命令を実行しないでください。

### (3) DCHCn.TCnビットのリードに関する注意事項 (n = 0-3)

TCnビットは、読み出しによりクリア (0) されますが、ある特定タイミングにおいてTCnビットをリードしても、自動的にクリア (0) されません。TCnビットのクリアを確実に実行するために次の処理を追加してください。

#### (a) TCnビットをポーリングしてDMA転送完了の待ち合わせを行う場合

TCnビットがセット (1) されたことを確認したあと (TCnビット = 1が読み出されたあと)、さらに3回のTCnビットのリードを行ってください。

#### (b) 割り込み処理ルーチンでTCnビットのリードを行う場合

TCnビットのリードを3回実行してください。

**(4) DMA転送の初期化手順について (DCHCn.INITnビットのセット (1))**

DMA転送中のチャンネルを初期化するとき、INITnビットをセット (1) しても、チャンネルの初期化が行われない場合があります。初期化を確実に実行するために、次に示す2つの手順のいずれかを実行させてください。

**(a) 一時的にすべてのDMAチャンネルの転送を停止させる方法**

次に示す ~ の手順で初期化を実行してください。

ただし、次の に示す処理の実行により、TCnビットがクリア (0) されてしまいます。他の処理において、TCnビット = 1となっていることを期待したプログラムになっていないことを確認してください。

割り込み禁止状態 (DI) にする。

強制終了したいチャンネル以外に使用しているDMAチャンネルのDCHCn.Ennビットを読み出し、汎用レジスタに転送する。

使用しているDMAチャンネル (強制終了するチャンネルを含む) のEnnビットをクリア (0) する。最終のDMAチャンネルの場合にはEnnビットのクリア命令を2回実行する。このとき、転送対象 (転送元 / 転送先) が内蔵RAMの場合は、3回実行する。

例 チャンネル0, 1, 2を使用している場合には、次の順で命令を実行する (転送対象が内蔵RAMでない場合)。

- ・ DCHC0.E00ビットをクリア (0)
- ・ DCHC1.E11ビットをクリア (0)
- ・ DCHC2.E22ビットをクリア (0)
- ・ 再度、DCHC2.E22ビットをクリア (0)

強制終了するチャンネルのINITnビットをセット (1) する。

強制終了しない各チャンネルのTCnビットを読み出し、TCnビットと で読み出したEnnビットが、ともに1 (論理積 (AND) が1) の場合は退避していたEnnビットをクリア (0) する。

で操作後のEnnビットをDCHCnレジスタに書き込む。

割り込み許可状態 (EI) にする。

**注意** 上記 は、 , の間に正常終了したチャンネルに対して、再度Ennビットを不正にセットすることを防ぐため、必ず行ってください。

**(b) 正常に強制終了するまでINITnビットのセットを繰り返し実行する方法**

強制終了したいチャンネルのDMA要求元からのリクエストが発生しないようにする (内蔵周辺I/Oの動作停止)。

DTFRn.DFnビットにより、強制終了するチャンネルのDMA転送要求が保留されていないかを確認。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。

強制終了するチャンネルのDMA要求が保留されていないことが確認できたら、Ennビットをクリア (0) する。

再度、強制終了するチャンネルのEnnビットをクリア (0) する。

ただし、強制終了するチャンネルの転送対象 (転送元 / 転送先) が内蔵RAMの場合は、この操作をさらにもう一度実行する。

強制終了するチャンネルの初期転送回数を汎用レジスタにコピーする。

強制終了するチャンネルのINITnビットをセット (1) する。

強制終了するチャンネルのDBCnレジスタの値を読み出し、 でコピーした値と比較する。比較した結果、一致しない場合は から の操作を繰り返す。

- 備考1.** でDBCnレジスタの値を読み出すと、正常に強制終了を完了した場合は初期転送回数が読み出されず。未完了の場合は残りの転送回数が読み出されます。
2. (b)の方法は、強制終了の対象となっているDMAチャンネル以外のDMA転送が頻繁に行われるようなアプリケーションの場合、強制終了されるまでに時間を要する可能性があるので注意してください。

**(5) DMA転送の一時中断手順について(Ennビットのクリア)**

実行中のDMA転送を中断し、再開するには次の手順にしたがってください。

DMA要求元からの転送要求が発生しないようにする (内蔵周辺I/Oの動作を停止)。

DFnビットにより、DMA転送要求が保留されていないかを確認する(DFnビット = 0であることを確認)。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。

DMA転送要求が保留されていないことを確認できたら、Ennビットをクリア (0) する (この操作により、DMA転送が中断される)。

DMA転送を再開させるためにEnnビットをセット (1) する。

停止しているDMA要求元の動作を再開する (内蔵周辺I/Oの動作を開始)。

**(6) メモリ境界**

DMA転送中に、転送元、または転送先のアドレスがDMA対象 (外部メモリ、内蔵RAM、内蔵周辺I/O) の領域を越えた場合の動作は保証できません。

**(7) ミス・アライン・データの転送**

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。

**(8) CPUへのバス・アービトレーション**

バス使用権の優先順位はCPUよりDMAコントローラが高いため、DMA転送中に発生したCPUのアクセスは、DMA転送サイクルが完了しCPUにバスが解放されるまで待たされます。

ただし、CPUはDMA転送を行っていない外部メモリ、内蔵周辺I/O、内蔵RAMとのアクセスが可能です。

- ・外部メモリ 内蔵周辺I/Oとの間でDMA転送が行われているとき、CPUは内蔵RAMにアクセスできません。
- ・外部メモリ 外部メモリでDMA転送が行われているときは、CPUは内蔵RAM、内蔵周辺I/Oにアクセスできます。

**(9) DMA動作中の書き換え禁止レジスタ/ビット**

次のレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。

**【対象レジスタ】**

- ・ DSA<sub>n</sub>H, DSA<sub>n</sub>L, DDA<sub>n</sub>H, DDA<sub>n</sub>L, DBC<sub>n</sub>, DADC<sub>n</sub>レジスタ
- ・ DTFR<sub>n</sub>.IFC<sub>n</sub>5-IFC<sub>n</sub>0ビット

**【設定可能タイミング】**

- ・ リセット後から最初のDMA転送開始までの期間
- ・ チャネル初期化後からDMA転送開始までの時間
- ・ DMA転送完了後 (TC<sub>n</sub>ビット = 1の状態) から次のDMA転送開始までの期間

**(10) 次のレジスタの各ビットには、必ず“0”を設定してください。**

- ・ DSA<sub>n</sub>Hレジスタのビット14-10
- ・ DDA<sub>n</sub>Hレジスタのビット14-10
- ・ DADC<sub>n</sub>レジスタのビット15, 13-8, 3-0
- ・ DCHC<sub>n</sub>レジスタのビット6-3

**(11) DSA<sub>n</sub>, DDA<sub>n</sub>レジスタの読み出し値**

DMA転送中にDSA<sub>n</sub>, DDA<sub>n</sub>レジスタの値を読み出した場合、更新途中の値が読み出されることがあります (n = 0-3)。

たとえば、DMA転送元アドレス (DSA<sub>n</sub>レジスタ) が0000FFFFH、カウント方向がインクリメント (DADC<sub>n</sub>.SAD1, SAD0ビット = 00) の場合、DSA<sub>n</sub>Hレジスタ DSA<sub>n</sub>Lレジスタの順に読み出しを行うと、DSA<sub>n</sub>Hレジスタ読み出し直後のDMA転送の有無によって、DSA<sub>n</sub>Lレジスタの値が次のように異なります。

**(a) DSA<sub>n</sub>レジスタの読み出し中にDMA転送が発生しない場合**

DSA<sub>n</sub>Hレジスタの読み出し : DSA<sub>n</sub>Hレジスタ = 0000H

DSA<sub>n</sub>Lレジスタの読み出し : DSA<sub>n</sub>Lレジスタ = FFFFH

**(b) DSA<sub>n</sub>レジスタの読み出し中にDMA転送が発生する場合**

DSA<sub>n</sub>Hレジスタの読み出し : DSA<sub>n</sub>Hレジスタ = 0000H

DMA転送の発生

DSA<sub>n</sub>レジスタのインクリメント : DSA<sub>n</sub>レジスタ = 00100000H

DSA<sub>n</sub>Lレジスタの読み出し : DSA<sub>n</sub>Lレジスタ = 0000H

## 第21章 割り込み / 例外処理機能

### 21.1 概要

V850ES/KJ1+は、割り込み処理用に専用の割り込みコントローラ (INTC) を内蔵し、合計55または57要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850ES/KJ1+では、内蔵している周辺ハードウェアと外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動 (ソフトウェア例外) や、例外事象の発生 (不正命令コードのフェッチ) による例外処理の起動 (例外トラップ) が可能です。

#### 21.1.1 特徴

割り込み要因		V850ES/KJ1+		
割り込み機能	ノンマスクابل 割り込み	外部	1チャンネル (NMI端子)	
		内部	2チャンネル (WDT1, WDT2)	
	マスクابل 割り込み	外部	8チャンネル (すべてエッジ検出割り込み)	
		内部	WDT1	1チャンネル
			TMP	3チャンネル
			TM0	12チャンネル
			TMH	2チャンネル
			TM5	2チャンネル
			WT	2チャンネル
			BRG	1チャンネル
			UART	9チャンネル
			CSI0	3チャンネル
			CSIA	2チャンネル
			IIC	2チャンネル <sup>注</sup>
			KR	1チャンネル
AD	1チャンネル			
DMA	4チャンネル			
LVI	1チャンネル			
合計	46チャンネル			
例外機能	ソフトウェア例外		16チャンネル (TRAP00H-TRAP0FH)	
			16チャンネル (TRAP10H-TRAP1FH)	
	例外トラップ		2チャンネル (ILGOP/DBG0)	

注  $\mu$  PD70F3316Y, 70F3318Yのみ

割り込み / 例外要因を表21 - 1に示します。

表21 - 1 割り込み要因一覧 (1/2)

種類	分類	デフォルト・ 優先度	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
リセット	割り込み	-	RESET	RESET端子入力	端子	0000H	00000000H	不定	-
				WDT1, WDT2からの内 部リセット入力	WDT1 WDT2				
ノンマスカブル	割り込み	-	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	nextPC	-
			INTWDT1	WDT1オーバフロー (ノンマスカブル割り 込み選択時)	WDT1	0020H	00000020H	注1	-
			INTWDT2	WDT2オーバフロー (ノンマスカブル割り 込み選択時)	WDT2	0030H	00000030H	注1	-
ソフトウェア例外	例外	-	TRAP0n <sup>注2</sup>	TRAP命令	-	004nH <sup>注2</sup>	00000040H	nextPC	-
			TRAP1n <sup>注2</sup>	TRAP命令	-	005nH <sup>注2</sup>	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP/ DBG0	不正命令コード/ DBTRAP命令	-	0060H	00000060H	nextPC	-
マスカブル	割り込み	0	INTWDTM1	WDT1オーバフロー (インターバル・タイム 選択時)	WDT1	0080H	00000080H	nextPC	WDT1IC
		1	INTP0	INTP0端子有効エッジ入力	端子	0090H	00000090H	nextPC	PIC0
		2	INTP1	INTP1端子有効エッジ入力	端子	00A0H	000000A0H	nextPC	PIC1
		3	INTP2	INTP2端子有効エッジ入力	端子	00B0H	000000B0H	nextPC	PIC2
		4	INTP3	INTP3端子有効エッジ入力	端子	00C0H	000000C0H	nextPC	PIC3
		5	INTP4	INTP4端子有効エッジ入力	端子	00D0H	000000D0H	nextPC	PIC4
		6	INTP5	INTP5端子有効エッジ入力	端子	00E0H	000000E0H	nextPC	PIC5
		7	INTP6	INTP6端子有効エッジ入力	端子	00F0H	000000F0H	nextPC	PIC6
		8	INTTM000	TM00とCR000の一致	TM00	0100H	00000100H	nextPC	TM0IC00
		9	INTTM001	TM00とCR001の一致	TM00	0110H	00000110H	nextPC	TM0IC01
		10	INTTM010	TM01とCR010の一致	TM01	0120H	00000120H	nextPC	TM0IC10
		11	INTTM011	TM01とCR011の一致	TM01	0130H	00000130H	nextPC	TM0IC11
		12	INTTM50	TM50とCR50の一致	TM50	0140H	00000140H	nextPC	TM5IC0
		13	INTTM51	TM51とCR51の一致	TM51	0150H	00000150H	nextPC	TM5IC1
		14	INTCSI00	CSI00の転送終了	CSI00	0160H	00000160H	nextPC	CSI0IC0
		15	INTCSI01	CSI01の転送終了	CSI01	0170H	00000170H	nextPC	CSI0IC1
		16	INTSRE0	UART0の受信エラー発生	UART0	0180H	00000180H	nextPC	SREIC0
		17	INTSR0	UART0の受信完了	UART0	0190H	00000190H	nextPC	SRIC0
		18	INTST0	UART0の送信完了	UART0	01A0H	000001AH	nextPC	STIC0
		19	INTSRE1	UART1の受信エラー発生	UART1	01B0H	000001B0H	nextPC	SREIC1
		20	INTSR1	UART1の受信完了	UART1	01C0H	000001C0H	nextPC	SRIC1
		21	INTST1	UART1の送信完了	UART1	01D0H	000001D0H	nextPC	STIC1
22	INTTMH0	TMH0とCMP00/CMP01 の一致	TMH0	01E0H	000001E0H	nextPC	TMHIC0		

注1. INTWDT1, INTWDT2の場合の復帰については, 21. 10 注意事項を参照してください。

注2. nは0-FHの値



表21 - 1 割り込み要因一覧 (2/2)

種類	分類	デフォルト・ 優先リティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスクブル	割り込み	23	INTTMH1	TMH1とCMP10/CMP11 の一致	TMH1	01F0H	000001F0H	nextPC	TMHIC1
		24	INTCSIA0	CSIA0の転送終了	CSIA0	0200H	00000200H	nextPC	CSAIC0
		25	INTIIC0 <sup>注</sup>	I <sup>2</sup> C0の転送完了	I <sup>2</sup> C0	0210H	00000210H	nextPC	IICIC0
		26	INTAD	A/D変換終了	A/D	0220H	00000220H	nextPC	ADIC
		27	INTKR	キー・リターン割り込み	KR	0230H	00000230H	nextPC	KRIC
		28	INTWTI	時計用タイマのインタ ーバル	WT	0240H	00000240H	nextPC	WTIIC
		29	INTWT	時計用タイマの基準時間	WT	0250H	00000250H	nextPC	WTIC
		30	INTBRG	プリスケアラ3の8ピッ ト・カウンタとPRSCM の一致	プリ スケアラ3	0260H	00000260H	nextPC	BRGIC
		31	INTTM020	TM02とCR020の一致	TM02	0270H	00000270H	nextPC	TM0IC20
		32	INTTM021	TM02とCR021の一致	TM02	0280H	00000280H	nextPC	TM0IC21
		33	INTTM030	TM03とCR030の一致	TM03	0290H	00000290H	nextPC	TM0IC30
		34	INTTM031	TM03とCR031の一致	TM03	02A0H	000002A0H	nextPC	TM0IC31
		35	INTCSIA1	CSIA1の転送終了	CSIA1	02B0H	000002B0H	nextPC	CSAIC1
		36	INTTM040	TM04とCR040の一致	TM04	02C0H	000002C0H	nextPC	TM0IC40
		37	INTTM041	TM04とCR041の一致	TM04	02D0H	000002D0H	nextPC	TM0IC41
		38	INTTM050	TM05とCR050の一致	TM05	02E0H	000002E0H	nextPC	TM0IC50
		39	INTTM051	TM05とCR051の一致	TM05	02F0H	000002F0H	nextPC	TM0IC51
		40	INTCSI02	CSI02の転送終了	CSI02	0300H	00000300H	nextPC	CSI0IC2
		41	INTSRE2	UART2の受信エラー発生	UART2	0310H	00000310H	nextPC	SREIC2
		42	INTSR2	UART2の受信完了	UART2	0320H	00000320H	nextPC	SRIC2
		43	INTST2	UART2の送信完了	UART2	0330H	00000330H	nextPC	STIC2
		44	INTIIC1 <sup>注</sup>	I <sup>2</sup> C1の転送完了	I <sup>2</sup> C1	0340H	00000340H	nextPC	IICIC1
		45	INTLVI	低電圧検出	LVI	0380H	00000380H	nextPC	LVIIC
		46	INTP7	INTP7端子有効エッジ入力	端子	0390H	00000390H	nextPC	PIC7
		47	INTTP0OV	TMP0オーバフロー	TMP	03A0H	000003A0H	nextPC	TPOVIC
		48	INTTP0CC0	TMP0キャプチャ0 / コ ンペア0一致	TMP	03B0H	000003B0H	nextPC	TPCCIC0
		49	INTTP0CC1	TMP0キャプチャ1 / コ ンペア1一致	TMP	03C0H	000003C0H	nextPC	TPCCIC1
		50	INTDMA0	DMA0転送終了	DMAC	03D0H	000003D0H	nextPC	DMAIC0
		51	INTDMA1	DMA1転送終了	DMAC	03E0H	000003E0H	nextPC	DMAIC1
		52	INTDMA2	DMA2転送終了	DMAC	03F0H	000003F0H	nextPC	DMAIC2
		53	INTDMA3	DMA3転送終了	DMAC	0400H	00000400H	nextPC	DMAIC3

注  $\mu$ PD70F3316Y, 70F3318Yのみ

備考1. デフォルト・プライオリティ: 複数の同一優先順位レベルのマスクブル割り込み要求が同時に発生している場合に優先される順位です。0が最高優先順位です。

ノンマスクブル割り込みの優先順位は次のとおりです。

INTWDT2 > INTWDT1 > NMI

復帰PC: 割り込み処理起動時に、CPUのEIPC, FEPCまたはDBPCにセーブされるプログラム・カウンタ(PC)のことです。なお、次の命令実行中にノンマスクブル / マスクブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません(命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます)。

- ・ロード命令 (SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W)
- ・除算命令 (DIV, DIVH, DIVU, DIVHU)
- ・PREPARE, DISPOSE命令 (スタック・ポインタの更新前に割り込みが発生した場合のみ)

nextPC: 割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC - 4)で求められます。

## 21.2 ノンマスカブル割り込み

ノンマスカブル割り込み要求信号は、CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求信号に対して最優先されます。

この製品のノンマスカブル割り込み要求信号には、次の3つがあります。

- ・ NMI端子入力（NMI）
- ・ ウォッチドッグ・タイマ1のオーバーフローによるノンマスカブル割り込み要求信号（INTWDT1）
- ・ ウォッチドッグ・タイマ2のオーバーフローによるノンマスカブル割り込み要求信号（INTWDT2）

NMI端子の有効エッジは、“立ち上がりエッジ”、“立ち下がりエッジ”、“両エッジ”、“エッジ検出なし”の4種類から選択できます。

ウォッチドッグ・タイマ1のオーバーフローによるノンマスカブル割り込み要求信号（INTWDT1）は、WDTM1.WDTM14, WDTM13ビットを“10”と設定することで機能します。

ウォッチドッグ・タイマ2のオーバーフローによるノンマスカブル割り込み要求信号（INTWDT2）は、WDTM2.WDM21, WDM20ビットを“01”と設定することで機能します。

複数のノンマスカブル割り込みが重なって発生した場合は、次の優先順位に従って順位の高い処理が実行されます（優先順位の低い割り込み要求信号は無視されます）。

INTWDT2 > INTWDT1 > NMI

なお、NMI処理中に、新たにNMI, INTWDT1, INTWDT2要求信号が発生した場合は次のような処理を行います。

### （1）NMI処理中に、新たにNMI要求信号が発生した場合

PSW.NPビットの値によらず、新たなNMI要求信号は保留されます。保留されたNMI要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

### （2）NMI処理中に、新たにINTWDT1要求信号が発生した場合

NMI処理中にNPビットがセット（1）されたままであれば、新たなINTWDT1要求信号は保留されます。保留されたINTWDT1要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

NMI処理中にNPビットをクリア（0）すれば、新たに発生したINTWDT1要求信号が実行されます（NMI処理は中断されます）。

### （3）NMI処理中に、新たにINTWDT2要求信号が発生した場合

NPビットの値によらず、新たに発生したINTWDT2要求信号が実行されます（NMI処理は中断されます）。

**注意** ノンマスカブル割り込み要求信号（INTWDT1, INTWDT2）によるノンマスカブル割り込み処理については、21.10 注意事項を参照してください。

図21 - 1 ノンマスクابل割り込み要求信号の受け付け動作 (1/2)

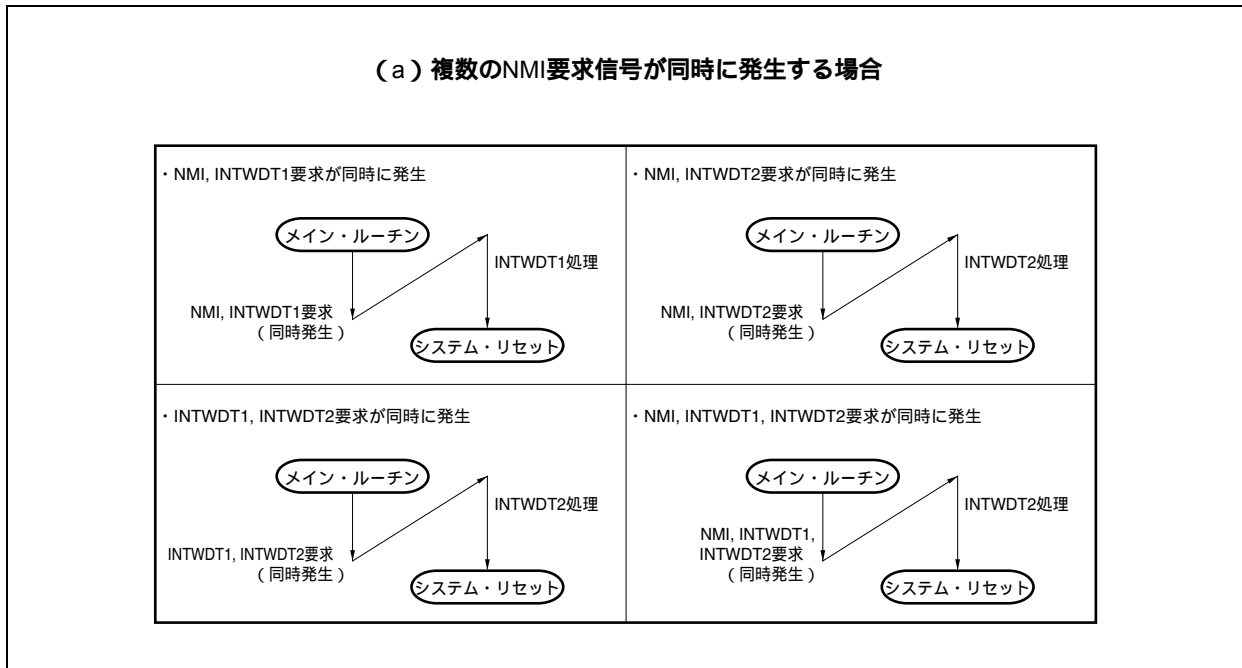


図21-1 ノンマスク割り込み要求信号の受け付け動作 (2/2)

(b) ノンマスク割り込み処理中に新たにノンマスク割り込み要求信号が発生する場合

処理中の ノンマスク 割り込み	ノンマスク割り込み処理中に新たに発生するノンマスク割り込み要求		
	NMI	INTWDT1	INTWDT2
NMI	<p>・ NMI処理中にNMI要求が発生</p>	<p>・ NMI処理中にINTWDT1要求が発生 (INTWDT1要求前にNP = 1のまま)</p> <p>・ NMI処理中にINTWDT1要求が発生 (INTWDT1要求前にNP = 0にする)</p> <p>・ NMI処理中にINTWDT1要求が発生 (INTWDT1要求後にNP = 0にする)</p>	<p>・ NMI処理中にINTWDT2要求が発生</p>
INTWDT1	<p>・ INTWDT1処理中にNMI要求が発生</p>	<p>・ INTWDT1処理中にINTWDT1要求が発生</p>	<p>・ INTWDT1処理中にINTWDT2要求が発生</p>
INTWDT2	<p>・ INTWDT2処理中にNMI要求が発生</p>	<p>・ INTWDT2処理中にINTWDT1要求が発生</p>	<p>・ INTWDT2処理中にINTWDT2要求が発生</p>

### 21.2.1 動作

ノンマスクブル割り込み要求信号が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンに制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

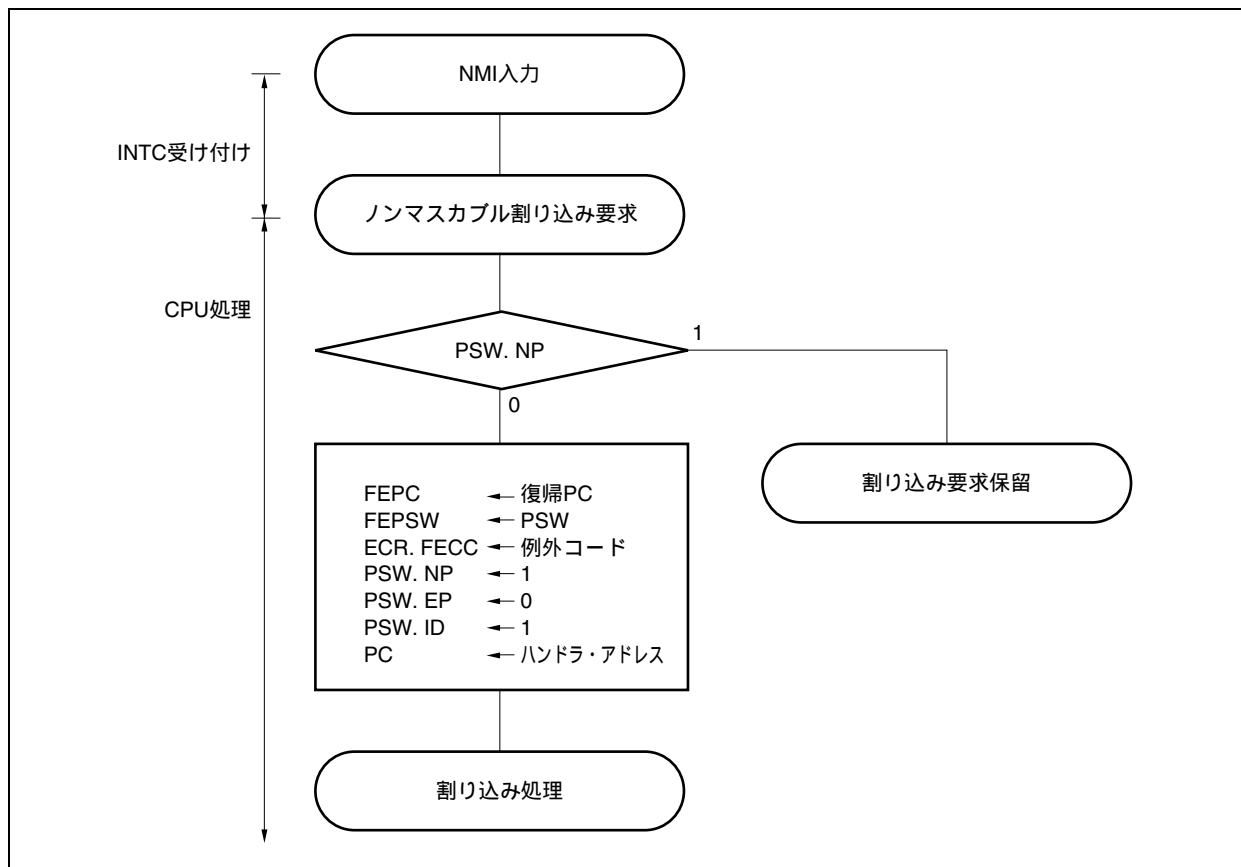
ECRの上位ハーフワード (FECC) に例外コード (0010H, 0020H, 0030H) を書き込みます。

PSWのNP, IDビットをセット (1) し, EPビットをクリア (0) します。

PCにノンマスクブル割り込みに対するハンドラ・アドレス (00000010H, 00000020H, 00000030H) をセットし, 制御を移します。

ノンマスクブル割り込みの処理形態を次に示します。

図21-2 ノンマスクブル割り込みの処理形態



## 21.2.2 復 帰

ノンマスクابل割り込み処理からは、RETI命令で復帰します。

### (1) NMIの場合

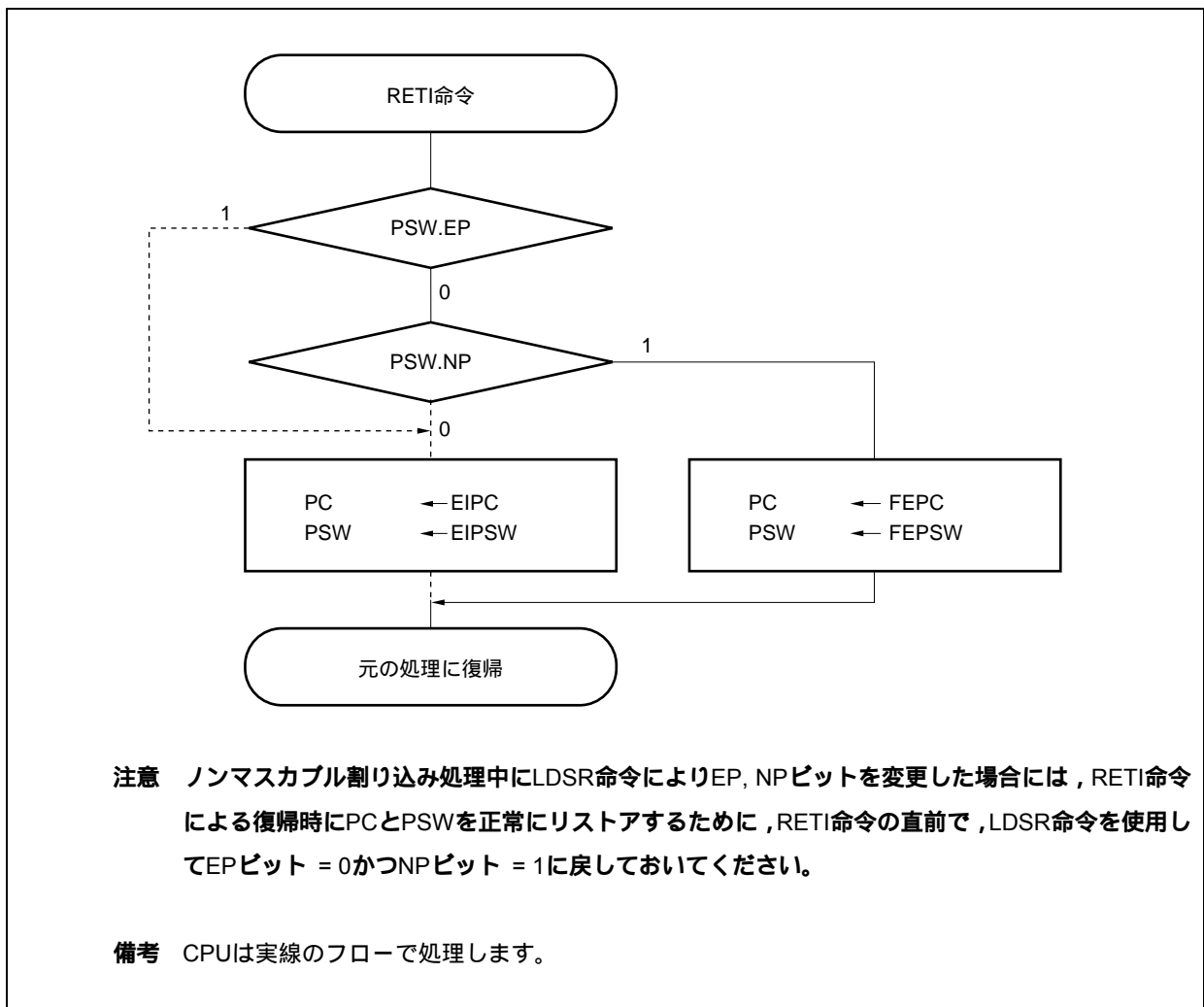
NMI処理からの復帰は、RETI命令により行います。

RETI命令の実行により、CPUは次の処理を行い、復帰PCのアドレスへ制御を移します。

- ( i ) PSW.EPビット = 0かつPSW.NPビット = 1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。
- ( ii ) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

図21 - 3 RETI命令の処理形態



### (2) INTWDT1, INTWDT2信号の場合

ノンマスクابل割り込み要求信号 (INTWDT1, INTWDT2) によるノンマスクابل割り込み処理については、21.10 **注意事項**を参照してください。

### 21.2.3 NPフラグ

NPフラグは、ノンマスクابل割り込みの処理中であることを示すステータス・フラグです。

ノンマスクابل割り込み要求を受け付けるとセットされ、ノンマスクابل要求をマスクして多重割り込みを禁止します。

リセット時：00000020H

	31		8	7	6	5	4	3	2	1	0
PSW	0			NP	EP	ID	SAT	CY	OV	S	Z

NP	NMI処理状態
0	ノンマスクابل割り込み処理中でない
1	ノンマスクابل割り込み処理中



## 21.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求信号です。V850ES/KJ1+には54種類のマスカブル割り込み要因があります（21.1.1 特徴参照）。

複数のマスカブル割り込み要求信号が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。またデフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC、EIPSWをメモリ、またはレジスタに退避し、RETI命令を実行する前にDI命令を実行して、EIPC、EIPSWを元の値に復帰してください。

WDTM1.WDTM14ビットを“0”に設定すると、ウォッチドッグ・タイマ1オーバーフロー割り込みは、マスカブル割り込み（INTWDTM1）として機能します。

### 21.3.1 動作

マスカブル割り込み要求が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンに制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

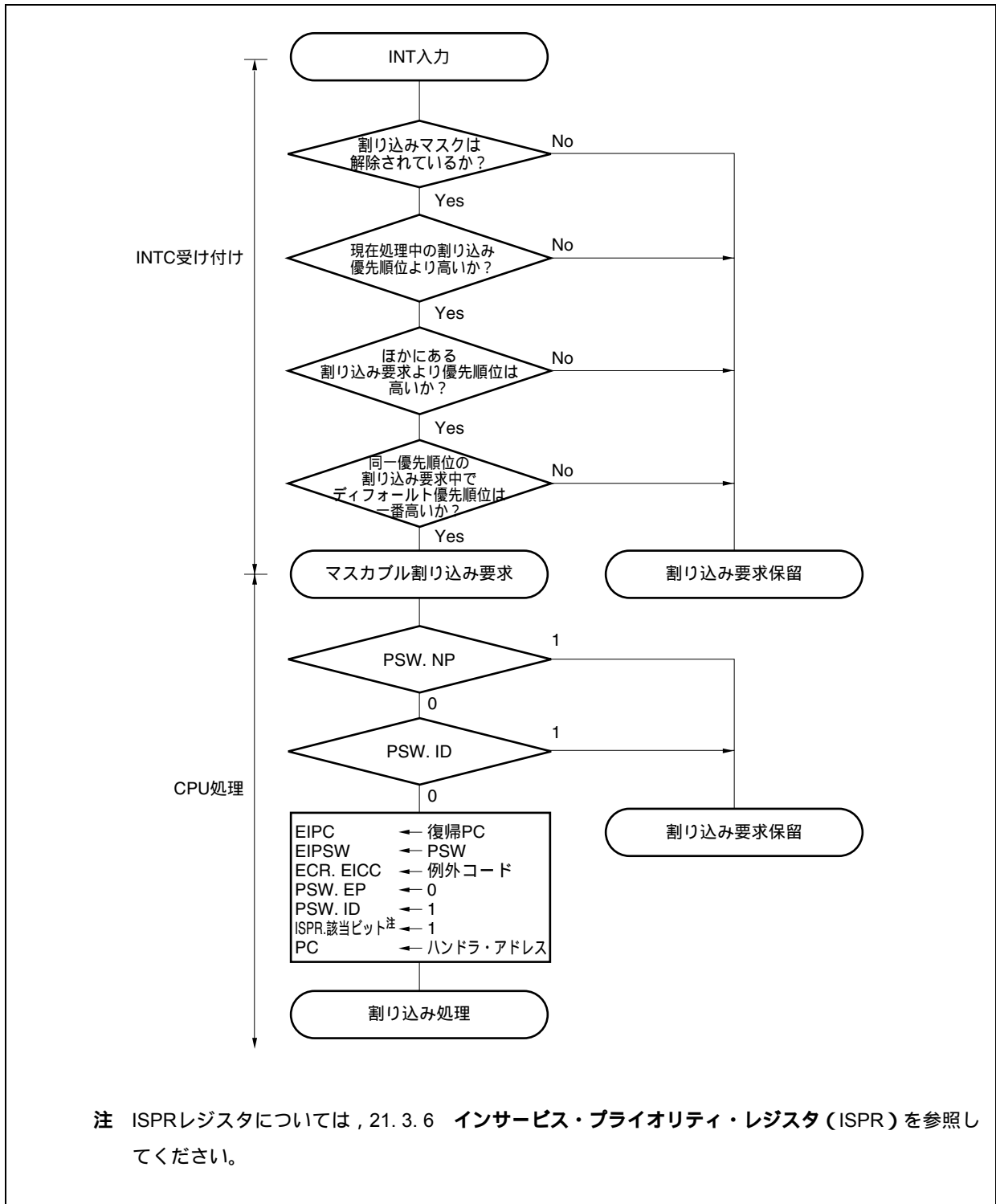
PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、INTCでマスクされているマスカブル割り込み要求信号と、ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してNPビット = 0かつIDビット = 0にすると、保留していたマスカブル割り込み要求信号の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図21 - 4 マスカブル割り込みの処理形態



### 21.3.2 復 帰

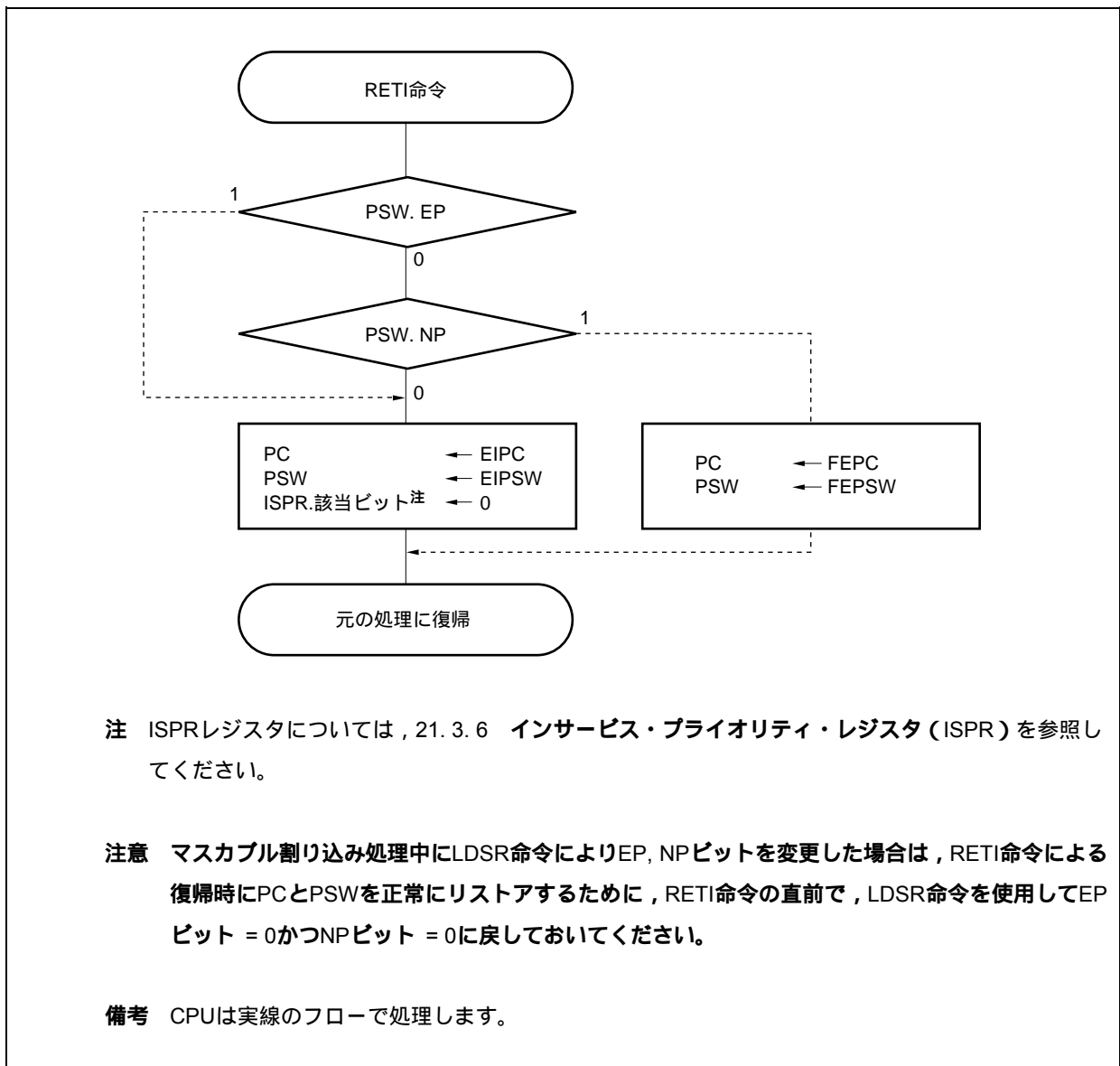
マスクブル割り込み処理からは、RETI命令で復帰します。

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSW.EPビット = 0かつPSW.NPビット = 0なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

図21 - 5 RETI命令の処理形態



### 21.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み優先順位指定ビット (xxICn.xxPRnビット) によるプログラマブル優先順位制御があります。デフォルト優先順位による制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けである優先順位(デフォルト優先順位)に従って割り込みを処理します(表21-1 割り込み要因一覧参照)。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット(1)されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア(0)し、割り込み許可状態にしてください。

**備考** xx : 各周辺ユニット識別名称 (表21-2 割り込み制御レジスタ (xxICn) 参照)

n : 周辺ユニット番号 (表21-2 割り込み制御レジスタ (xxICn) 参照)

図21 - 6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

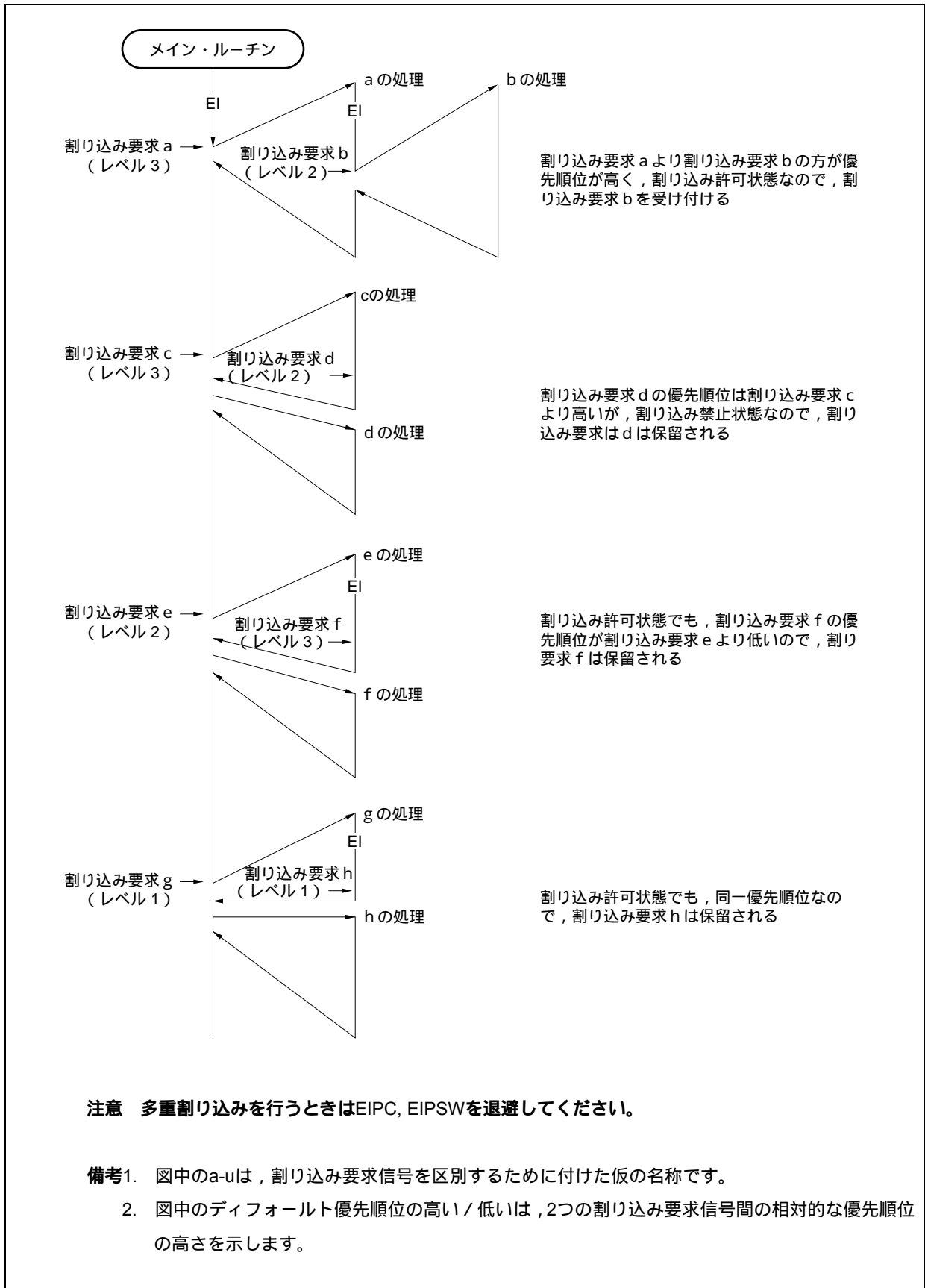
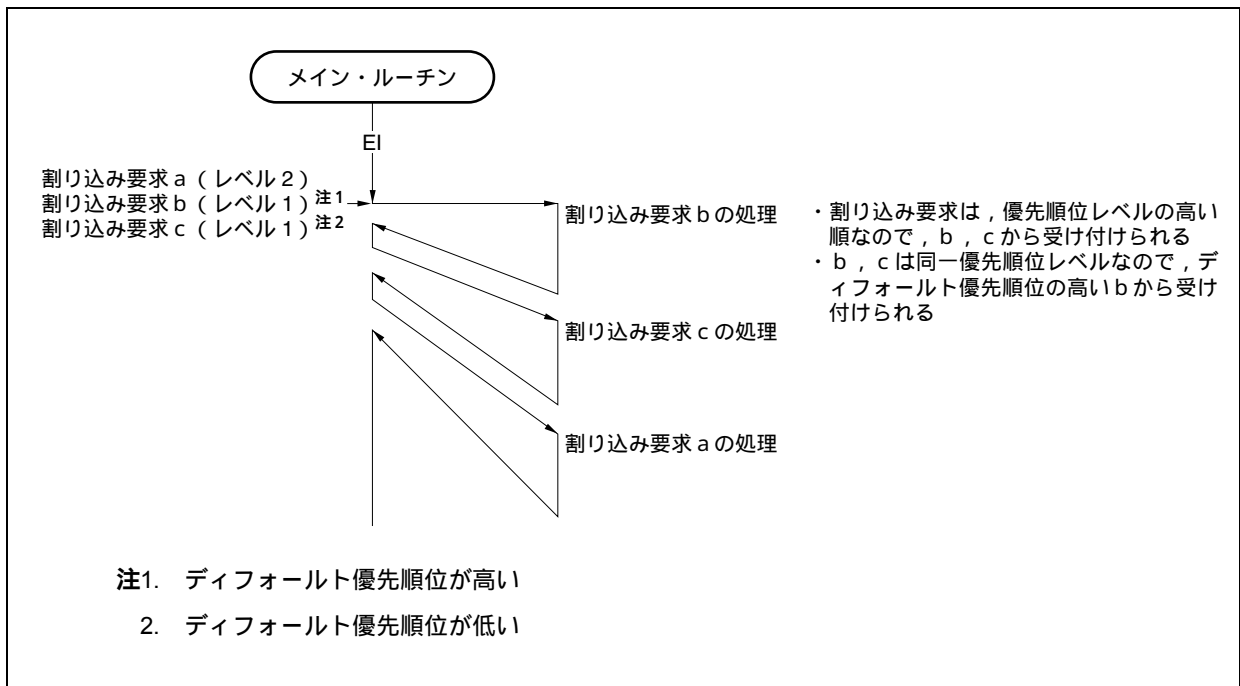




図21 - 7 同時発生した割り込み要求信号の処理例



### 21.3.4 割り込み制御レジスタ (xxICn)

割り込み要求 (マスカブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。  
8/1ビット単位でリード/ライト可能です。  
リセットにより47Hになります。

**注意** xxICn.xxIFn ビットを読み出す場合は, 割り込み禁止(DI)状態で行ってください。割り込み許可(EI)状態  
状態で xxIFn ビットを読み出すと, 割り込みの受け付けとビットの読み出しのタイミングが競合した  
場合に, 正常な値が読み出せないことがあります。

リセット時: 47H R/W アドレス: FFFFFFF110H-FFFFFF168H

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ <sup>注</sup>
0	割り込み要求なし
1	割り込み要求あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止 (保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0 (最高位) を指定
0	0	1	レベル1 を指定
0	1	0	レベル2 を指定
0	1	1	レベル3 を指定
1	0	0	レベル4 を指定
1	0	1	レベル5 を指定
1	1	0	レベル6 を指定
1	1	1	レベル7 (最低位) を指定

**注** 割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。

**備考** xx : 各周辺ユニット識別名称 (表21-2 割り込み制御レジスタ (xxICn) 参照)  
n : 周辺ユニット番号 (表21-2 割り込み制御レジスタ (xxICn) 参照)

各割り込み制御レジスタのアドレスとビットを次に示します。



表21 - 2 割り込み制御レジスタ (xxICn) (1/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF110H	WDT1IC	WDT1IF	WDT1MK	0	0	0	WDT1PR2	WDT1PR1	WDT1PR0
FFFFF112H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF114H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF116H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF118H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF11AH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF11CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF11EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF120H	TM0IC00	TM0IF00	TM0MK00	0	0	0	TM0PR002	TM0PR001	TM0PR000
FFFFF122H	TM0IC01	TM0IF01	TM0MK01	0	0	0	TM0PR012	TM0PR011	TM0PR010
FFFFF124H	TM0IC10	TM0IF10	TM0MK10	0	0	0	TM0PR102	TM0PR101	TM0PR100
FFFFF126H	TM0IC11	TM0IF11	TM0MK11	0	0	0	TM0PR112	TM0PR111	TM0PR110
FFFFF128H	TM5IC0	TM5IF0	TM5MK0	0	0	0	TM5PR02	TM5PR01	TM5PR00
FFFFF12AH	TM5IC1	TM5IF1	TM5MK1	0	0	0	TM5PR12	TM5PR11	TM5PR10
FFFFF12CH	CSI0IC0	CSI0IF0	CSI0MK0	0	0	0	CSI0PR02	CSI0PR01	CSI0PR00
FFFFF12EH	CSI0IC1	CSI0IF1	CSI0MK1	0	0	0	CSI0PR12	CSI0PR11	CSI0PR10
FFFFF130H	SREIC0	SREIF0	SREMK0	0	0	0	SREPR02	SREPR01	SREPR00
FFFFF132H	SRIC0	SRIF0	SRMK0	0	0	0	SRPR02	SRPR01	SRPR00
FFFFF134H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFF136H	SREIC1	SREIF1	SREMK1	0	0	0	SREPR12	SREPR11	SREPR10
FFFFF138H	SRIC1	SRIF1	SRMK1	0	0	0	SRPR12	SRPR11	SRPR10
FFFFF13AH	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10
FFFFF13CH	TMHIC0	TMHIF0	TMHMK0	0	0	0	TMHPR02	TMHPR01	TMHPR00
FFFFF13EH	TMHIC1	TMHIF1	TMHMK1	0	0	0	TMHPR12	TMHPR11	TMHPR10
FFFFF140H	CSIAIC0	CSIAIF0	CSIAMK0	0	0	0	CSIAPR02	CSIAPR01	CSIAPR00
FFFFF142H	IICIC0 <sup>注</sup>	IICIF0	IICMK0	0	0	0	IICPR02	IICPR01	IICPR00
FFFFF144H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0
FFFFF146H	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0
FFFFF148H	WTIIC	WTIIF	WTIMK	0	0	0	WTIPR2	WTIPR1	WTIPR0
FFFFF14AH	WTIC	WTIF	WTMK	0	0	0	WTPR2	WTPR1	WTPR0
FFFFF14CH	BRGIC	BRGIF	BRGMK	0	0	0	BRGPR2	BRGPR1	BRGPR0
FFFFF14EH	TM0IC20	TM0IF20	TM0MK20	0	0	0	TM0PR202	TM0PR201	TM0PR200
FFFFF150H	TM0IC21	TM0IF21	TM0MK21	0	0	0	TM0PR212	TM0PR211	TM0PR210
FFFFF152H	TM0IC30	TM0IF30	TM0MK30	0	0	0	TM0PR302	TM0PR301	TM0PR300
FFFFF154H	TM0IC31	TM0IF31	TM0MK31	0	0	0	TM0PR312	TM0PR311	TM0PR310
FFFFF156H	CSIAIC1	CSIAIF1	CSIAMK1	0	0	0	CSIAPR12	CSIAPR11	CSIAPR10
FFFFF158H	TM0IC40	TM0IF40	TM0MK40	0	0	0	TM0PR402	TM0PR401	TM0PR400
FFFFF15AH	TM0IC41	TM0IF41	TM0MK41	0	0	0	TM0PR412	TM0PR411	TM0PR410
FFFFF15CH	TM0IC50	TM0IF50	TM0MK50	0	0	0	TM0PR502	TM0PR501	TM0PR500
FFFFF15EH	TM0IC51	TM0IF51	TM0MK51	0	0	0	TM0PR512	TM0PR511	TM0PR510
FFFFF160H	CSI0IC2	CSI0IF2	CSI0MK2	0	0	0	CSI0PR22	CSI0PR21	CSI0PR20

注 μPD70F3316Y, 70F3318Yのみ

表21 - 2 割り込み制御レジスタ (xxICn) (2/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFFF162H	SREIC2	SREIF2	SREMK2	0	0	0	SREPR22	SREPR21	SREPR20
FFFFFF164H	SRIC2	SRIF2	SRMK2	0	0	0	SRPR22	SRPR21	SRPR20
FFFFFF166H	STIC2	STIF2	STMK2	0	0	0	STPR22	STPR21	STPR20
FFFFFF168H	IICIC1 <sup>注</sup>	IICIF1	IICMK1	0	0	0	IICPR12	IICPR11	IICPR10
FFFFFF170H	LVIC	LVIF	LVIMK	0	0	0	LVIPR2	LVIPR1	LVIPR0
FFFFFF172H	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70
FFFFFF174H	TP0OVIC	TP0OVIF	TP0OVMK	0	0	0	TP0OVPR2	TP0OVPR1	TP0OVPR0
FFFFFF176H	TP0CCIC0	TP0CCIF0	TP0CCMK0	0	0	0	TP0CCPR02	TP0CCPR01	TP0CCPR00
FFFFFF178H	TP0CCIC1	TP0CCIF1	TP0CCMK1	0	0	0	TP0CCPR12	TP0CCPR11	TP0CCPR10
FFFFFF17AH	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMARP01	DMAPR00
FFFFFF17CH	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMARP11	DMAPR10
FFFFFF17EH	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMARP21	DMAPR20
FFFFFF180H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMARP31	DMAPR30

注  $\mu$ PD70F3316Y, 70F3318Yのみ

### 21.3.5 割り込みマスク・レジスタ0-3 (IMR0-IMR3)

マスク可能割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3レジスタのxxMKnビットとxxICnレジスタのxxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です (m = 0-3)。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとして使用する場合は、8/16ビット単位でリード/ライト可能です。

**注意** デバイス・ファイルでは、xxICnレジスタのxxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

リセット時 : FFFFH R/W アドレス : IMR0 FFFFF100H,  
IMPOL FFFFF100H, IMR0H FFFFF101H

IMR0 (IMR0H <sup>注</sup> )	15	14	13	12	11	10	9	8
	CSI0MK1	CSI0MK0	TM5MK1	TM5MK0	TM0MK11	TM0MK10	TM0MK01	TM0MK00
(IMR0L)	7	6	5	4	3	2	1	0
	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	WDT1MK

リセット時 : FFFFH R/W アドレス : IMR1 FFFFF102H  
IMR1L FFFFF102H, IMR1H FFFFF103H

IMR1 (IMR1H <sup>注</sup> )	15	14	13	12	11	10	9	8
	TM0MK20	BRGMK	WTMK	WTIMK	KRMK	ADMK	IICMK0	CSIAMK0
(IMR1L)	7	6	5	4	3	2	1	0
	TMHMK1	TMHMK0	STMK1	SRMK1	SREMK1	STMK0	SRMK0	SREMK0

リセット時 : FFFFH R/W アドレス : IMR2 FFFFF104H  
IMR2L FFFFF104H, IMR2H FFFFF105H

IMR2 (IMR2H <sup>注</sup> )	15	14	13	12	11	10	9	8
	1	1	1	IICMK1	STMK2	SRMK2	SREMK2	CSI0MK2
(IMR2L)	7	6	5	4	3	2	1	0
	TM0MK51	TM0MK50	TM0MK41	TM0MK40	CSIAMK1	TM0MK31	TM0MK30	TM0MK21

リセット時 : FFFFH R/W アドレス : IMR3 FFFFF106H  
IMR3L FFFFF106H, IMR3H FFFFF107H

IMR3 (IMR3H <sup>注</sup> )	15	14	13	12	11	10	9	8
	1	1	1	1	1	1	1	DMAMK3
(IMR3L)	7	6	5	4	3	2	1	0
	DMAMK2	DMAMK1	DMAMK0	TP0CCMK1	TP0CCMK2	TP0OVFMK	PMK7	LVIMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

**注** IMR0-IMR3のビット8-15を8/1ビット単位でリード/ライトする場合は、IMR0H-IMR3Hのビット0-7として指定してください。

**注意** IMR2レジスタのビット15-13, IMR3レジスタのビット15-9には、必ず1を設定してください。変更した場合の動作は保証できません。

**備考** xx : 各周辺ユニット識別名称 (表21 - 2 割り込み制御レジスタ (xxICn) 参照)  
n : 周辺ユニット番号 (表21 - 2 割り込み制御レジスタ (xxICn) 参照)

### 21.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット(1)され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット(1)されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にクリア(0)されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はクリア(0)されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

**注意** 割り込み許可(EI)状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット(1)されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止(DI)状態でリードしてください。

リセット時 : 00H R アドレス : FFFFF1FAH

	⑦	⑥	⑤	④	③	②	①	①
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求を受け付けていない
1	優先順位nの割り込み要求を受け付け中

**備考** n : 0-7 (優先順位のレベル)

### 21.3.7 IDフラグ

マスクブル割り込みの動作状態を制御し、割り込み要求信号受け付けの許可/禁止制御情報を記憶します。割り込み禁止フラグ (ID) は、PSWに割り付けられています。リセットにより00000020Hになります。

リセット時：00000020H

	31		8	7	6	5	4	3	2	1	0	
PSW	0				NP	EP	ID	SAT	CY	OV	S	Z

ID	マスクブル割り込み処理の指定 <sup>注</sup>
0	マスクブル割り込み要求信号の受け付けを許可
1	マスクブル割り込み要求信号の受け付けを禁止

#### 注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1)、EI命令でクリア (0) されます。また、RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスクブル割り込み要求信号および例外は、このフラグの状態に関係なく受け付けられます。また、マスクブル割り込み要求信号を受け付けると、IDフラグはハードウェアで自動的にセット (1) されます。

受け付け禁止期間中 (IDフラグ = 1) に発生した割り込み要求信号は、xxICn.xxIFnビットがセット (1) され、IDフラグがクリア (0) されると受け付けられます。

### 21.3.8 ウォッチドッグ・タイマ・モード・レジスタ1 (WDTM1)

このレジスタは、特定レジスタです。特定のシーケンスによってのみ書き込みができます。マスクブル割り込み (INTWDT1) を発生させるには、WDTM14ビットを0に設定してください。

8/1ビット単位でリード/ライト可能です (詳細は第12章 **ウォッチドッグ・タイマ機能**参照)。

リセット時: 00H R/W アドレス: FFFFFFF6C2H

	⑦	6	5	4	3	2	1	0
WDTM1	RUN1	0	0	WDTM14	WDTM13	0	0	0

RUN1	ウォッチドッグ・タイマの動作モードの選択 <sup>注1</sup>
0	カウントの停止
1	カウンタをクリアし、カウントを開始

WDTM14	WDTM13	ウォッチドッグ・タイマの動作モードの選択 <sup>注2</sup>
0	0	インターバル・タイマ・モード
0	1	(オーバーフロー発生時、マスクブル割り込みINTWDTM1発生)
1	0	ウォッチドッグ・タイマ・モード <sup>注3</sup> (オーバーフロー発生時、ノンマスクブル割り込みINTWDT1発生)
1	1	ウォッチドッグ・タイマ・モード <sup>2</sup> (オーバーフロー発生時、リセット動作WDTRES2を起動)

注1. RUN1ビットは、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。

したがって、カウントを開始すると、リセット以外で停止させることはできません。

2. WDTM14, WDTM13ビットは、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。これらのビットをクリアするには、リセットだけが有効です。

3. ノンマスクブル割り込み要求信号 (INTWDT1) による、ノンマスクブル割り込み処理については、21.10 **注意事項**を参照してください。

## 21.4 外部割り込み要求入力端子 (NMI, INTP0-INTP7)

### 21.4.1 ノイズ除去

#### (1) NMI端子のノイズ除去

NMI端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、NMI端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI端子はSTOPモードの解除に使用します。STOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

#### (2) INTP0-INTP2, INTP4-INTP7端子のノイズ除去

INTP0-INTP2, INTP4-INTP7端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

#### (3) INTP3端子のノイズ除去

INTP3端子はデジタル/アナログ・ノイズ除去回路を内蔵しており、NFC.NFENビットにより選択できます。

デジタル・ノイズ除去回路のサンプリング回数は、NFC.NFSTSビットにより3回または2回を選択できます。サンプリング・クロックは、NFC.NFC2-NFC0ビットにより $f_{xx}/64$ ,  $f_{xx}/128$ ,  $f_{xx}/256$ ,  $f_{xx}/512$ ,  $f_{xx}/1024$ ,  $f_{XT}$ の中から選択できます。なお、サンプリング・クロックを $f_{xx}/64$ ,  $f_{xx}/128$ ,  $f_{xx}/256$ ,  $f_{xx}/512$ ,  $f_{xx}/1024$ に設定した場合、IDLE/STOPモード時にサンプリング・クロックが停止するので、スタンバイ解除要因として使用できません。この場合、サンプリング・クロックを $f_{XT}$ とするか、またはアナログ・ノイズ除去回路を選択することで、スタンバイ解除要因として使用できます。



(a) デジタル・ノイズ除去制御レジスタ (NFC)

NFCレジスタは、INTP3端子のノイズ除去の制御をします。ノイズ除去クロックにf<sub>XT</sub>を使用すると、IDLE/STOPモード時にもINTP3端子による外部割り込み機能を使用できます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF318H

	7	6	5	4	3	2	1	0
NFC	NFEN	NFSTS	0	0	0	NFC2	NFC1	NFC0

NFEN	INTP3端子のノイズ除去の設定
0	アナログ・ノイズ除去
1	デジタル・ノイズ除去

NFSTS	デジタル・ノイズ除去のサンプリング回数の設定
0	サンプリング回数 = 3回
1	サンプリング回数 = 2回

NFC2	NFC1	NFC0	サンプリング・クロックの選択
0	0	0	f <sub>xx</sub> /64
0	0	1	f <sub>xx</sub> /128
0	1	0	f <sub>xx</sub> /256
0	1	1	f <sub>xx</sub> /512
1	0	0	f <sub>xx</sub> /1024
1	0	1	f <sub>XT</sub>
上記以外			設定禁止

**備考** f<sub>xx</sub>：メイン・クロック周波数

f<sub>XT</sub>：サブクロック周波数

< ノイズ除去幅 >

デジタル・ノイズ除去幅 ( $t_{WIT3}$ ) は、サンプリング・クロック周期：T，サンプリング回数：Mとすると、次のようになります。

- ・  $t_{WIT3} < (M - 1) T$  : 確実にノイズとして除去
- ・  $(M - 1) T < t_{WIT3} < MT$  : ノイズとして除去，あるいは有効エッジとして検出
- ・  $t_{WIT3} > MT$  : 確実に有効エッジとして検出

したがって、INTP3端子入力の有効エッジを確実に検出するためには、MT以上のパルス幅を入力する必要があります。

NFSTS	NFC2	NFC1	NFC0	サンプリング・クロック	除去できる最小ノイズ幅		
					$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 10 \text{ MHz}$	$f_{xx} = 8 \text{ MHz}$
0	0	0	0	$f_{xx}/64$	6.4 $\mu\text{s}$	12.8 $\mu\text{s}$	16 $\mu\text{s}$
0	0	0	1	$f_{xx}/128$	12.8 $\mu\text{s}$	25.6 $\mu\text{s}$	32 $\mu\text{s}$
0	0	1	0	$f_{xx}/256$	25.6 $\mu\text{s}$	51.2 $\mu\text{s}$	64 $\mu\text{s}$
0	0	1	1	$f_{xx}/512$	51.2 $\mu\text{s}$	102.4 $\mu\text{s}$	128 $\mu\text{s}$
0	1	0	0	$f_{xx}/1024$	102.4 $\mu\text{s}$	204.8 $\mu\text{s}$	256 $\mu\text{s}$
0	1	0	1	$f_{XT} (32.768 \text{ kHz})$	61.04 $\mu\text{s}$		
1	0	0	0	$f_{xx}/64$	3.2 $\mu\text{s}$	6.4 $\mu\text{s}$	8 $\mu\text{s}$
1	0	0	1	$f_{xx}/128$	6.4 $\mu\text{s}$	12.8 $\mu\text{s}$	16 $\mu\text{s}$
1	0	1	0	$f_{xx}/256$	12.8 $\mu\text{s}$	25.6 $\mu\text{s}$	32 $\mu\text{s}$
1	0	1	1	$f_{xx}/512$	25.6 $\mu\text{s}$	51.2 $\mu\text{s}$	64 $\mu\text{s}$
1	1	0	0	$f_{xx}/1024$	51.2 $\mu\text{s}$	102.4 $\mu\text{s}$	128 $\mu\text{s}$
1	1	0	1	$f_{XT} (32.768 \text{ kHz})$	30.52 $\mu\text{s}$		
上記以外				設定禁止			

21.4.2 エッジ検出

NMI, INTP0-INTP7端子の有効エッジは、次の4種類から端子ごとに選択できます。

- ・ 立ち上がりエッジ
- ・ 立ち下がりエッジ
- ・ 両エッジ
- ・ エッジ検出なし

リセット後のNMI端子は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを許可しないと、割り込み要求を受け付けません（通常ポートとして機能します）。

P02を出力ポートとして使用する場合は、NMI端子の有効エッジを“エッジ検出なし”に設定してください。

(1) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ0 (INTR0, INTF0)

NMI, INTP0-INTP3端子の立ち上がり, 立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hなります。

**注意** 外部割り込み機能(兼用機能)からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF0n, INTR0nビット = 00に設定したあとにポート・モードに設定してください。

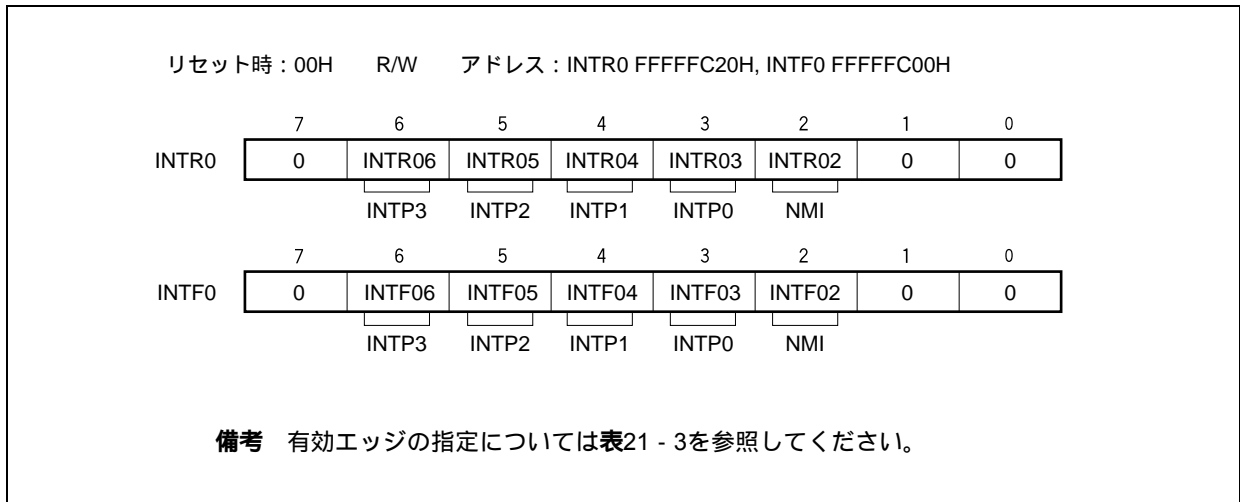


表21 - 3 NMI, INTP0-INTP3端子の有効エッジの指定

INTF0n	INTR0n	有効エッジの指定 (n = 2-6)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

**備考** n = 2 : NMI端子の制御

n = 3-6 : INTP0-INTP3端子の制御

(2) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ3 (INTR3, INTF3)

INTP7端子の立ち上がり, 立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** 外部割り込み機能(兼用機能)からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF31, INTR31ビット = 00に設定したあとにポート・モードに設定してください。

リセット時: 00H    R/W    アドレス: INTR3 FFFFFFFC26H, INTF3 FFFFFFFC06H

	7	6	5	4	3	2	1	0
INTR3	0	0	0	0	0	0	INTR31	0
							└──┬──┘	
							INTP7	

	7	6	5	4	3	2	1	0
INTF3	0	0	0	0	0	0	INTF31	0
							└──┬──┘	
							INTP7	

**備考** 有効エッジの指定については表21 - 4を参照してください。

表21 - 4 INTP7端子の有効エッジの指定

INTF31	INTR31	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

(3) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ9H (INTR9H, INTF9H)

INTP4-INTP6端子の立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** 外部割り込み機能(兼用機能)からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF9n, INTR9nビット = 00に設定したあとにポート・モードに設定してください。

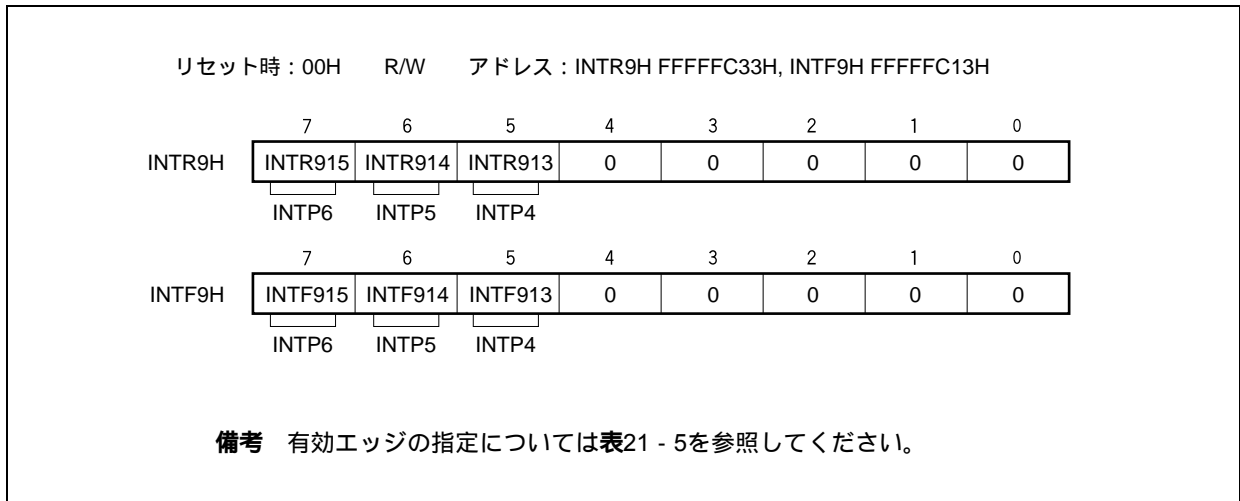


表21 - 5 INTP4-INTP6端子の有効エッジの指定

INTF9n	INTR9n	有効エッジの指定 (n = 13-15)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

**備考** n = 13-15 : INTP4-INTP6端子の制御

## 21.5 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

### 21.5.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

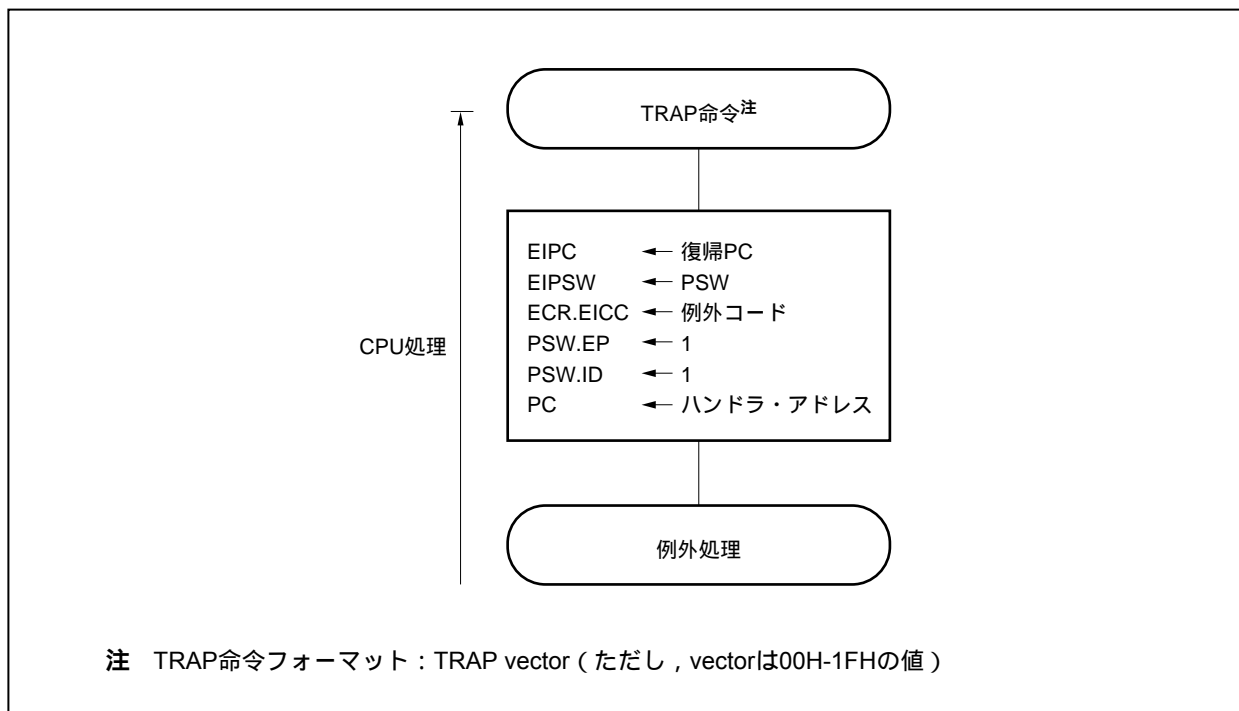
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSW.EP, IDビットをセット (1) します。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を、次に示します。

図21-8 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが00H-1FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

## 21.5.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

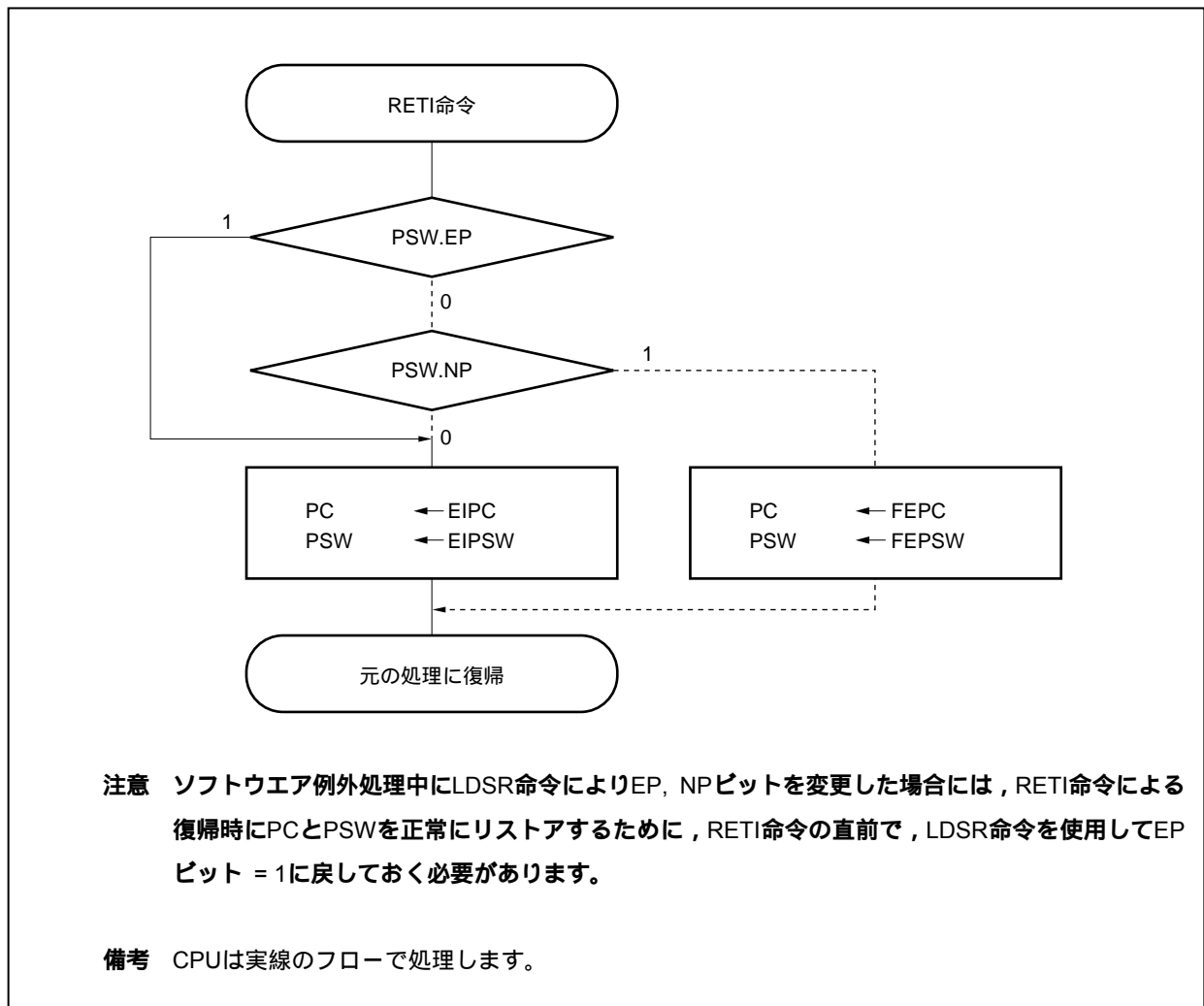
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビット = 1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

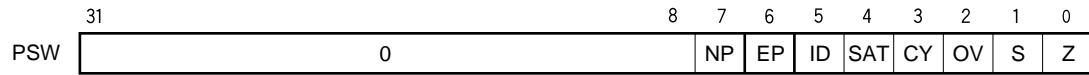
図21 - 9 RETI命令の処理形態



### 21.5.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

リセット時 : 00000020H



EP	例外処理状態
0	例外処理中でない
1	例外処理中

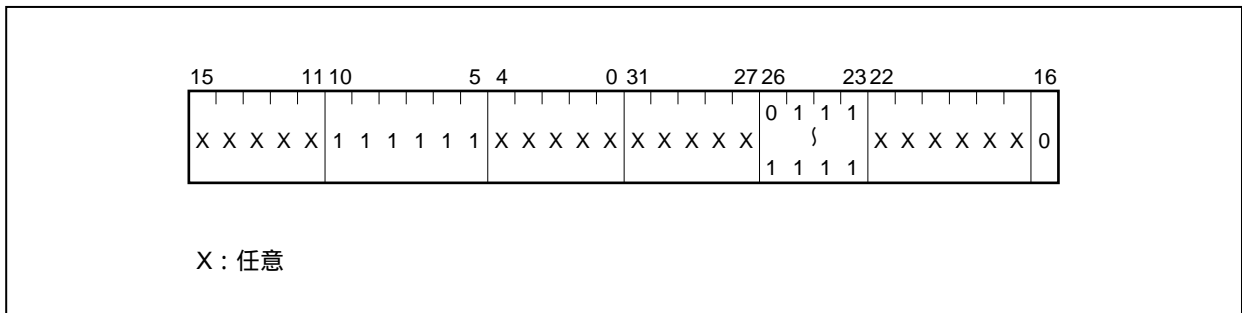


## 21.6 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850ES/KJ1+では、不正命令コード・トラップ (ILGOP: Illegal Opcode Trap) が例外トラップに当たります。

### 21.6.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が11111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



**注意** 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

#### (1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

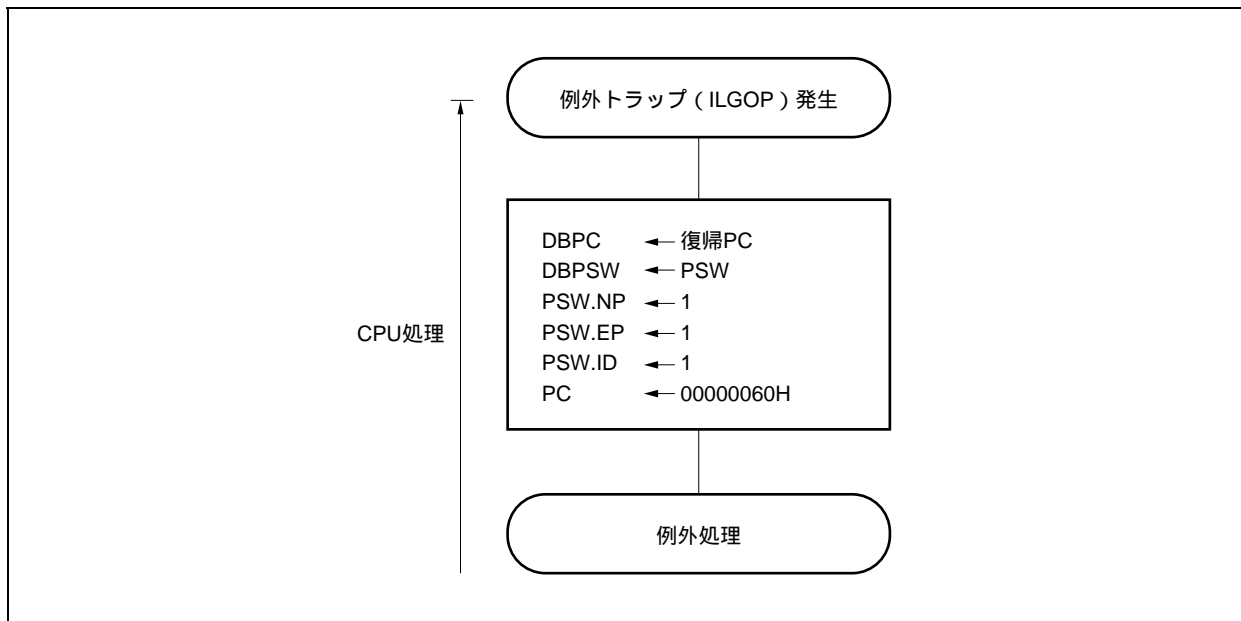
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセットします。

PCに例外トラップに対するハンドラ・アドレス (00000060H) をセットし、制御を移します。

例外トラップの処理形態を次に示します。

図21 - 10 例外トラップの処理形態



(2) 復 帰

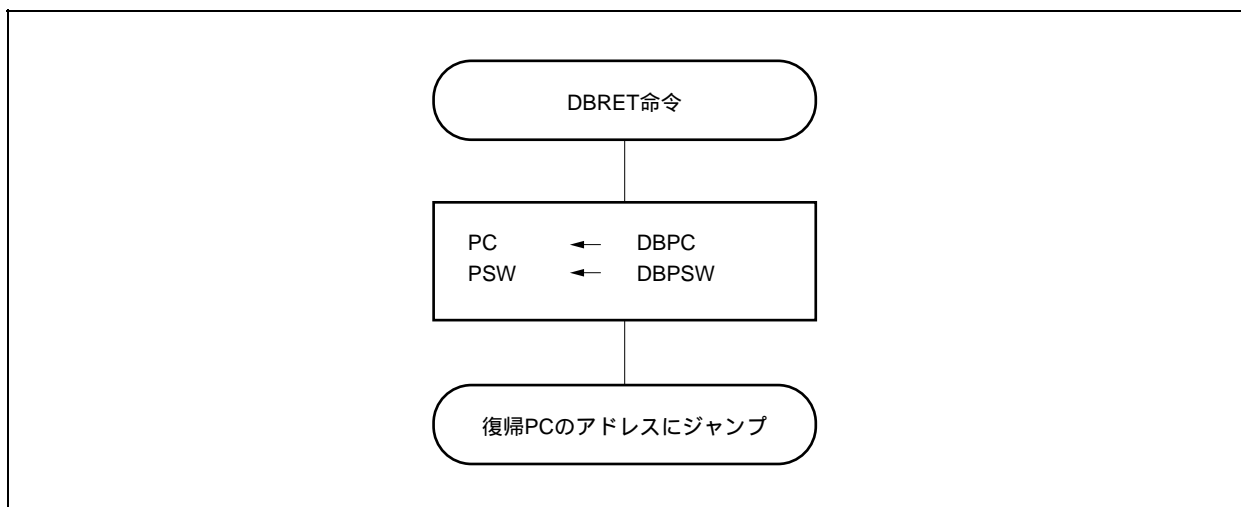
例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

例外トラップからの復帰の処理形態を次に示します。

図21 - 11 例外トラップからの復帰の処理形態



## 21.6.2 ディバグ・トラップ

ディバグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

ディバグ・トラップが発生した場合、CPUは次の処理を行います。

### (1) 動作

復帰PCをDBPCに退避します。

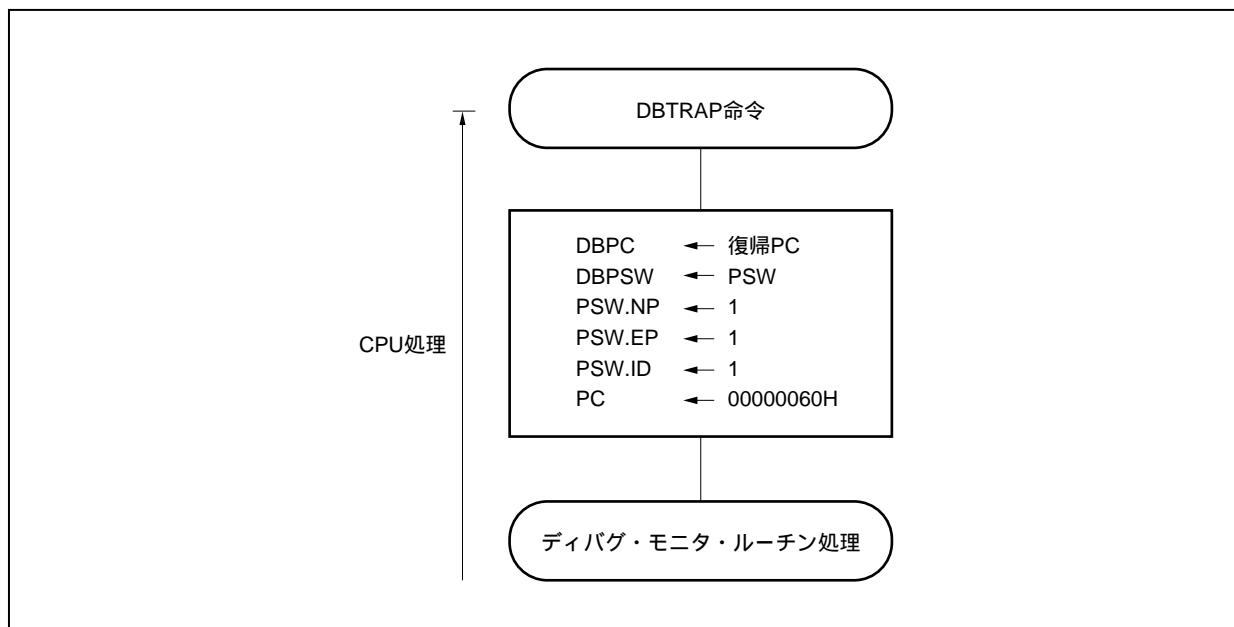
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセットします。

PCにディバグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

ディバグ・トラップの処理形態を次に示します。

図21 - 12 ディバグ・トラップの処理形態



(2) 復 帰

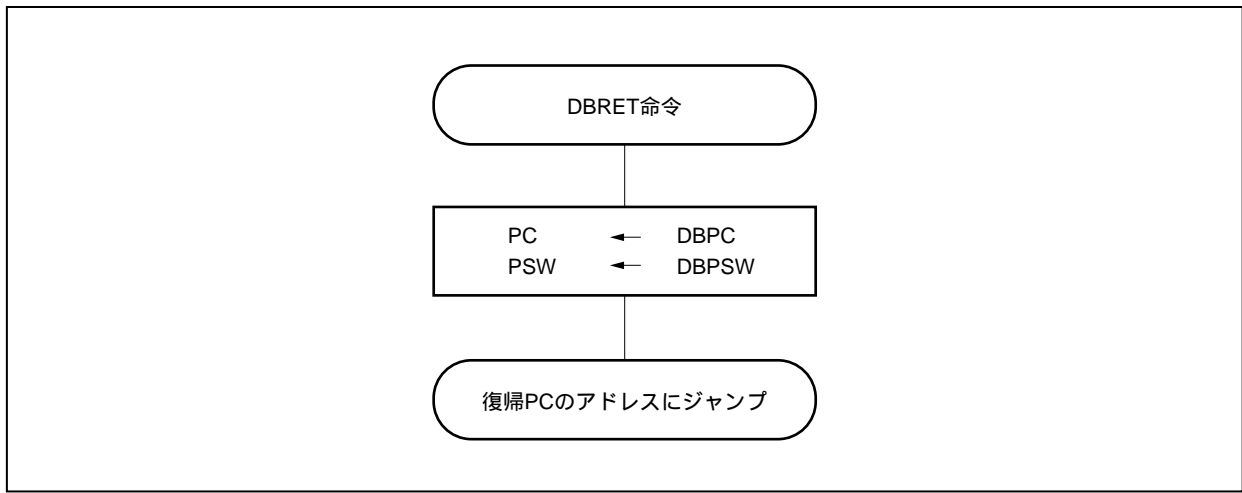
ディバグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

ディバグ・トラップからの復帰の処理形態を次に示します。

図21 - 13 ディバグ・トラップからの復帰の処理形態



## 21.7 多重割り込み処理制御

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求信号があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求信号の受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求信号だった場合は、その割り込み要求信号は保留されます。

マスクابل割り込みの多重処理制御は、割り込み許可状態 (PSW.IDビット = 0) のときに行われます。したがって、多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態 (IDビット = 0) にする必要があります。

マスクابل割り込みまたはソフトウェア例外のサービス・プログラム中に、マスクابل割り込みの許可またはソフトウェア例外を発生させる場合は、EIPC, EIPSWを退避する必要があります。

次のような手順で行います。

### (1) サービス・プログラム中にマスクابل割り込み要求信号を受け付ける場合

マスクابل割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
・ EI命令 (割り込み受け付け許可)
...
...
...
...
・ DI命令 (割り込み受け付け禁止)
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

マスクابل割り込み受け付け

## (2) サービス・プログラム中に例外を発生させる場合

マスクブル割り込みまたは例外のサービス・プログラム

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
...
・ TRAP命令
...
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

TRAP命令などの例外受け付け

多重割り込み処理制御のための優先順位は、各マスクブル割り込み要求ごとに0-7までの8レベル（0が最優先）が、ソフトウェアにより任意に設定可能です。優先順位レベルの設定は、マスクブル割り込み要求ごとに用意されているxxICn.xxPRn0-xxPRn2ビットで行います。システム・リセット時には、xxICn.xxMKnビットにより割り込み要求はマスクされ、xxPRn0-xxPRn2ビットにより優先順位はレベル7に設定されません。

マスクブル割り込みの優先順位は次のようになります。

（高） レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 （低）

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

保留された割り込み要求信号は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

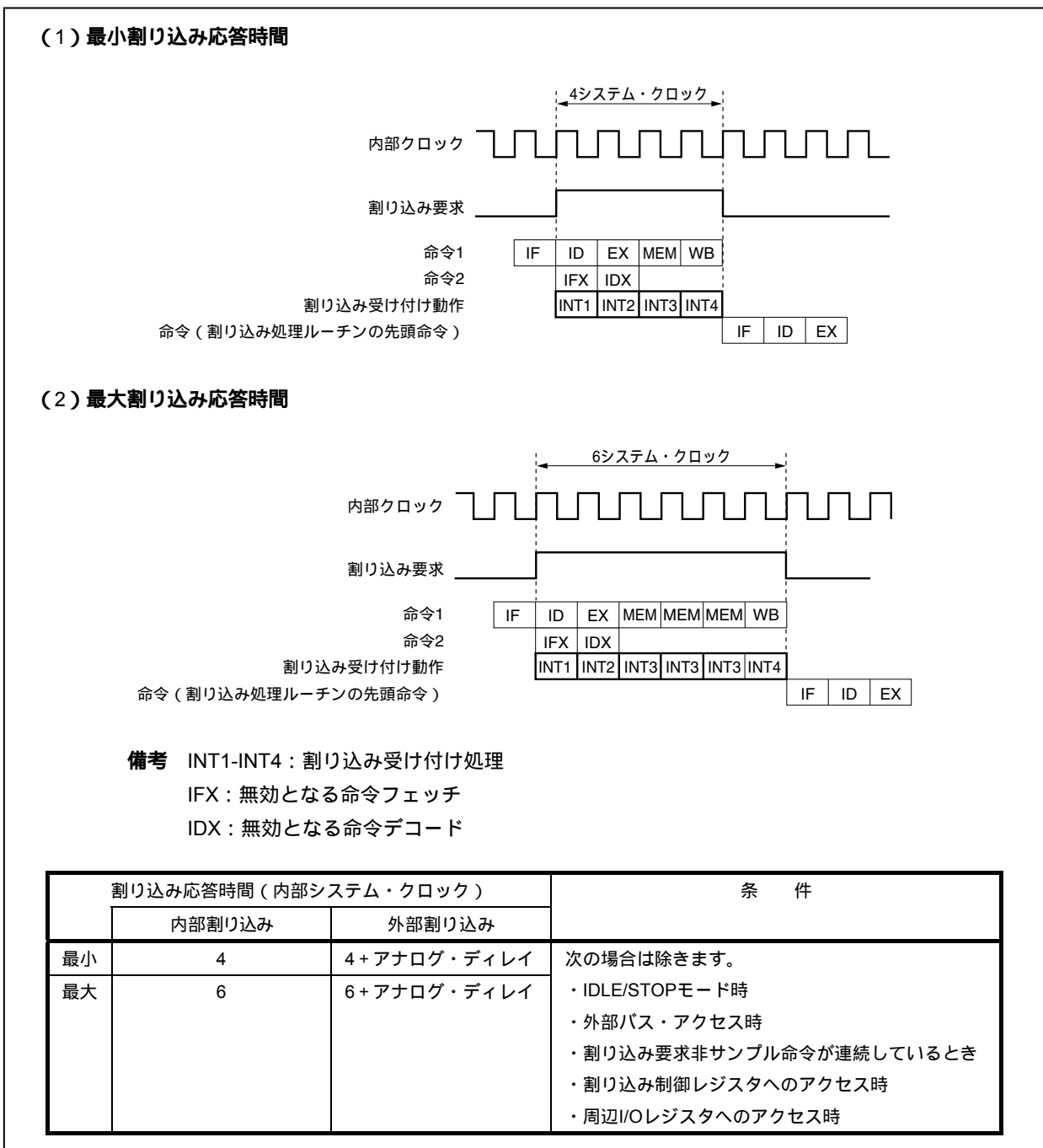
**注意** ノンマスクブル割り込み処理ルーチン内（RETI命令を実行するまでの期間）では、マスクブル割り込みを受け付けず、保留します。

## 21.8 割り込み応答時間

次の場合を除き、CPUの割り込み応答時間は、最小4クロックとなります。連続して割り込み要求信号を入力する場合には、最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

- ・ IDLE/STOPモード時
- ・ 外部バス・アクセス時
- ・ 割り込み要求非サンプル命令 (21.9 CPUが割り込みを受け付けられない期間参照) が連続しているとき
- ・ 割り込み制御レジスタへのアクセス時
- ・ 周辺I/Oレジスタへのアクセス時

図21 - 14 割り込み要求信号受け付け時のパイプライン動作 (概略)



## 21.9 CPUが割り込みを受け付けられない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

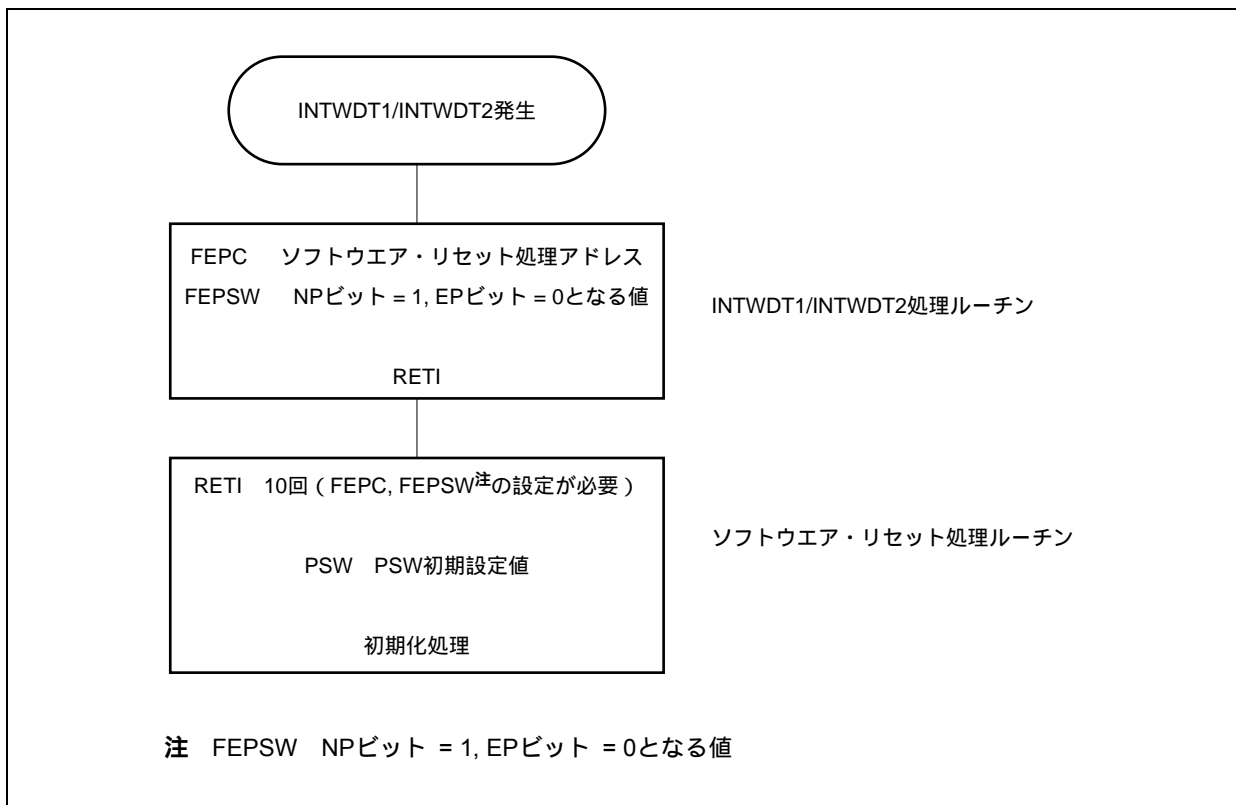
割り込み要求非サンプル命令は次のとおりです。

- ・EI命令
- ・DI命令
- ・LDSR reg2, 0x5命令（対PSW）
- ・PRCMDレジスタに対するストア命令
- ・次のレジスタに対するストア命令およびSET1, NOT1, CLR1操作命令
  - ・割り込み関連のレジスタ：
    - 割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-3（IMR0-IMR3）
  - ・パワー・セーブ・コントロール・レジスタ（PSC）
  - ・オンチップ・デバッグ・モード・レジスタ（OCDM）：μPD70F3318, 70F3318Yのみ

## 21.10 注意事項

ノンマスクابل割り込み要求信号（INTWDT1/INTWDT2）によるノンマスクابل割り込み処理後のRETI命令による復帰は次のようにしてください。

図21 - 15 RETI命令による復帰





## 第22章 キー割り込み機能

### 22.1 機能

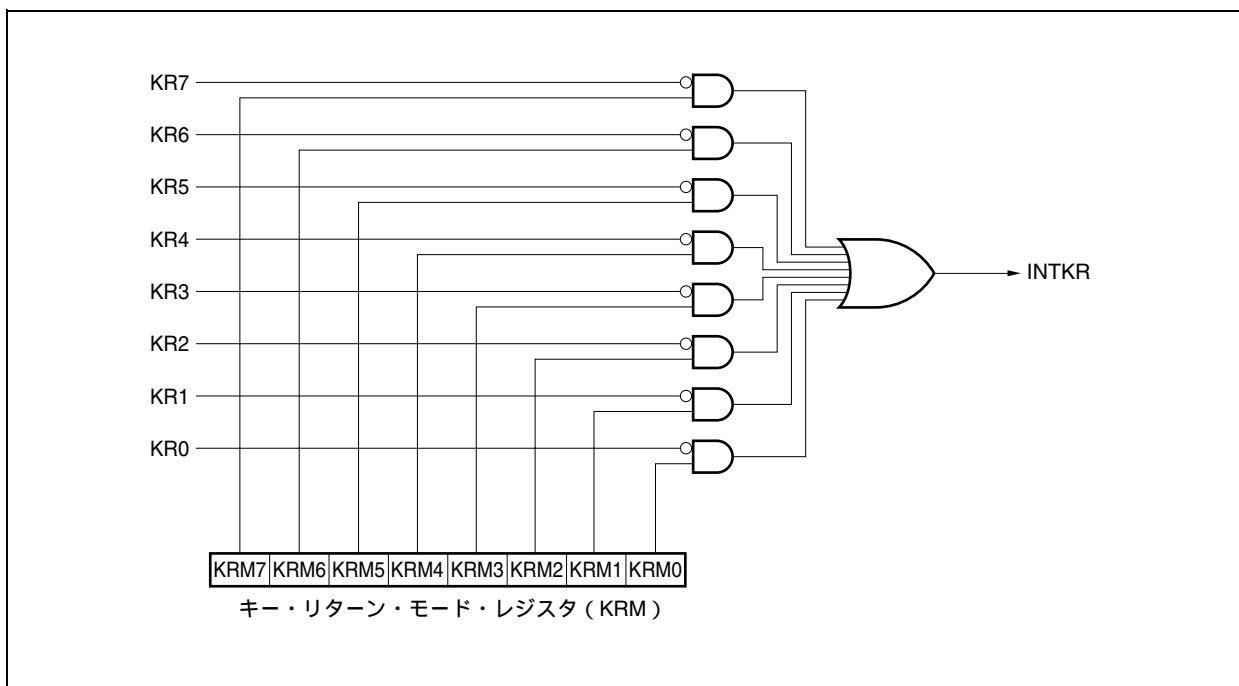
KRMレジスタの設定により、キー入力端子 (KR0-KR7) に立ち下がりエッジを入力することによって、キー割り込み要求信号 (INTKR) を発生させることができます。

**注意** KR0-KR7端子のうち1つでもロウ・レベルが入力されていると、別の端子で立ち下がりエッジを入力してもINTKR信号が発生しません。

表22 - 1 キー・リターン検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

図22 - 1 キー・リターンのブロック図



## 22.2 レジスタ

### (1) キー・リターン・モード・レジスタ (KRM)

KRMレジスタは、KRM0-KRM7ビットをそれぞれKR0-KR7信号を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H    R/W    アドレス：FFFFFF300H

	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

**注意** KRMレジスタを変更すると、割り込み要求信号 (INTKR) が発生する場合があります。したがって、あらかじめ割り込みを禁止 (DI) してからKRMレジスタを変更し、割り込み要求フラグ (KRIC.KRIFビット) をクリア (0) してから、割り込みを許可 (EI) してください。

**備考** 兼用端子の設定は表4 - 19 ポート端子を兼用端子として使用する場合は参照してください。

## 第23章 スタンバイ機能

### 23.1 概要

各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。スタンバイ機能には、次に示すものがあります。

表23 - 1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLEモード	発振回路以外の内部回路の動作をすべて停止させるモード <sup>注1</sup>
STOPモード	サブクロック発振回路以外の内部回路の動作をすべて停止させるモード <sup>注2</sup>
サブクロック動作モード	内部システム・クロックをサブクロックで動作させるモード
サブIDLEモード	サブクロック動作モード時、発振回路以外の内部回路の動作をすべて停止させるモード
内蔵発振クロック動作モード <sup>注3</sup>	クロック・モニタ機能により、内部システム・クロック ( $f_{CLK}$ ) が内蔵発振クロックで動作するモード
内蔵発振HALTモード <sup>注3</sup>	内蔵発振クロック動作モード時、CPUの動作クロック ( $f_{CPU}$ ) のみを停止させるモード

注1. PLLは停止しません。低消費電力を実現する場合PLLを停止してからIDLEモードへ移行してください。

2. クロック・スルー・モードに変更し、次にPLLを停止させたあと、STOPモードに移行してください。詳細は第6章 クロック発生機能を参照してください。

3. 内蔵発振クロック動作モード、内蔵発振HALTモードの詳細は第25章 クロック・モニタを参照してください。



図23 - 1 状態遷移図 (2/2)

- 注1.**  $\overline{\text{RESET}}$ 端子入力, WDTRES2, POCRES, LVIRES, CLMRES信号。  
なお, WDTRES1信号の場合, 発振安定時間を確保しません。
2. ノンマスクابل割り込み要求信号, マスクされていないマスクابل割り込み要求信号。
  3.  $\overline{\text{RESET}}$ 端子入力, WDTRES2, POCRES, LVIRES信号。
  4. ノンマスクابل割り込み要求信号 (NMI端子入力, INTWDT2信号), STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号。
  5. メイン・クロック (fx) が発振を開始し, 発振安定時間をカウント後, 通常動作モードに移行します。発振安定時間確保中にメイン・クロック発振 (fx) の異常 (停止) によりウォッチドッグ・タイマ2がオーバフローすると, 内蔵発振クロック動作モードに移行します。
  6. ノンマスクابل割り込み要求信号 (NMI端子入力, INTWDT2信号), IDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号。
  7.  $\overline{\text{RESET}}$ 端子入力, WDTRES2, POCRES, LVIRES信号。  
ただしメイン・クロック発振 (fx) が動作している場合は, CLMRES信号による解除が可能です (注9参照)。
  8. ノンマスクابل割り込み要求信号 (NMI端子入力, INTWDT2信号), サブIDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号。
  9. メイン・クロック発振 (fx) の異常 (停止) のため, ウォッチドッグ・タイマ1による発振安定時間のカウント動作は行われず, 内蔵発振クロックによるウォッチドッグ・タイマ2のカウント動作により, オーバフローすることで内蔵発振クロック動作モードに移行します。
  10. ノンマスクابل割り込み要求信号 (NMI端子入力, INTWDT2信号), 内蔵発振HALTモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号。
- 備考1.** WDTRES1信号 : ウォッチドッグ・タイマ1によるオーバフローによるリセット信号
2. WDTRES2信号 : ウォッチドッグ・タイマ2によるオーバフローによるリセット信号
  3. POCRES信号 : パワーオン・クリア回路によるリセット信号
  4. LVIRES信号 : 低電圧検出回路によるリセット信号
  5. CLMRES信号 : クロック・モニタによるリセット信号

## 23.2 レジスタ

### (1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STPビットの設定によりスタンバイ・モードを指定します。PSCレジスタは特定レジスタです。特定のシーケンスによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hなります。

リセット時：00H R/W アドレス：FFFFFF1FEH

	⑦	6	⑤	④	3	2	①	0
PSC	NMI2M	0	NMI0M	INTM	0	0	STP	0

NMI2M	INTWDT2信号によるスタンバイ・モード <sup>注</sup> 解除の制御
0	INTWDT2信号によるスタンバイ・モード <sup>注</sup> 解除許可
1	INTWDT2信号によるスタンバイ・モード <sup>注</sup> 解除禁止

NMI0M	NMI端子入力によるスタンバイ・モード <sup>注</sup> 解除の制御
0	NMI端子入力によるスタンバイ・モード <sup>注</sup> 解除許可
1	NMI端子入力によるスタンバイ・モード <sup>注</sup> 解除禁止

INTM	マスカブル割り込み要求信号によるスタンバイ・モード <sup>注</sup> 解除の制御
0	マスカブル割り込み要求信号によるスタンバイ・モード <sup>注</sup> 解除許可
1	マスカブル割り込み要求信号によるスタンバイ・モード <sup>注</sup> 解除禁止

STP	スタンバイ・モード <sup>注</sup> の設定
0	通常モード
1	スタンバイ・モード <sup>注</sup>

**注** スタンバイ・モードとは、ここではIDLE/STOPモードのことです。HALTモードは含みません。

- 注意**1. NMI2M, NMI0M, INTMビットと、STPビットを同時にセット(1)した場合、NMI2M, NMI0M, INTMビットの設定は無効になります。したがって、STOPモードに移行する際にマスクされていない保留中の割り込み要求がある場合は、その割り込み要求に対するビット(NMI2M, NMI0M, INTM)をセット(1)したあとにSTPビットをセット(1)してください。
2. IDLE/STOPモードに設定するときは、PSMR.PSMビットを設定してから、STPビットをセット(1)してください。

## (2) パワー・セーブ・モード・レジスタ (PSMR)

パワー・セーブ・モードの動作状態やクロックの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF820H

	7	6	5	4	3	2	1	①
PSMR	XTSTP	0	0	0	0	0	0	PSM

XTSTP	サブクロック発振回路使用 / 未使用の指定
0	サブクロック発振回路使用
1	サブクロック発振回路未使用

PSM	スタンバイ・モード時の動作指定
0	IDLEモード
1	STOPモード

- 注意1.** サブクロック発振子を接続しているときは、XTSTPビットには必ず0を設定してください。
- PSMRレジスタのビット1-6には、必ず0を設定してください。
  - PSMビットは、PSC.STPビット = 1のときのみ有効です。

(3) 発振安定時間選択レジスタ (OSTS)

STOPモードを解除してから発振が安定するまでのウェイト時間は、OSTSレジスタで制御します。

OSTSレジスタは、8ビット単位でリード/ライト可能です。

リセットにより01Hになります。

リセット時：注 R/W アドレス：FFFFFF6C0H

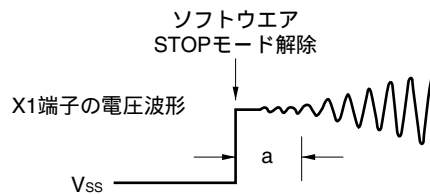
	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択		
				fx		
				4 MHz	5 MHz	10 MHz
0	0	0	$2^{13}/f_x$	2.048 ms	1.638 ms	0.819 ms
0	0	1	$2^{15}/f_x$	8.192 ms	6.554 ms	3.277 ms
0	1	0	$2^{16}/f_x$	16.38 ms	13.11 ms	6.554 ms
0	1	1	$2^{17}/f_x$	32.77 ms	26.21 ms	13.11 ms
1	0	0	$2^{18}/f_x$	65.54 ms	52.43 ms	26.21 ms
1	0	1	$2^{19}/f_x$	131.1 ms	104.9 ms	52.43 ms
1	1	0	$2^{20}/f_x$	262.1 ms	209.7 ms	104.9 ms
1	1	1	$2^{21}/f_x$	524.3 ms	419.4 ms	209.7 ms

注 オプション・バイトの設定により00H/01Hと異なります。

詳細は第29章 オプション・バイトを参照してください。

注意1. STOPモード解除時のウェイト時間は、リセット入力による場合も、割り込み要求信号発生による場合も、STOPモード解除後クロック発振を開始するまでの時間（下図 a）は含みません。



2. ビット7-3には必ず“0”を設定してください。
3. 外部クロック入力時においても発振安定時間は挿入されず。

備考  $f_x$  = メイン・クロック発振周波数



## 23.3 HALTモード

### 23.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに設定されます。

HALTモードに設定すると、クロック発振回路は動作を継続しますが、CPUへのクロック供給のみが停止し、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容は、HALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表23-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減できます。

**注意1.** HALT命令のあとには、NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行するが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

### 23.3.2 HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT1、NTWDT2信号）、マスクされていないマスクابل割り込み要求信号、リセット（RESET端子入力、WDTRES1、WDTRES2、POCRES、LVIRES、CLMRES信号）により解除されます。

HALTモードの解除により、通常動作モードに移行します。

#### (1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとHALTモードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、HALTモードの解除とともにこの割り込み要求信号を受け付けます。

表23-2 割り込み要求信号によるHALTモードの解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

#### (2) リセットによる解除

通常のリセット動作と同じです。

表23-3 HALTモード時の動作状態

項目	HALTモードの設定	CPUがメイン・クロックで動作中	
		サブクロックがない場合	サブクロックがある場合
CPU		動作停止	
メイン・クロック発振回路		発振可能	
サブクロック発振回路		-	発振可能
内蔵発振器 (f <sub>R</sub> )		動作可能	
割り込みコントローラ		動作可能	
16ビット・タイマ (TMP0)		動作可能	
16ビット・タイマ (TM00-TM05)		動作可能	
8ビット・タイマ (TM50, TM51)		動作可能	
タイマH (TMH0, TMH1)		動作可能	
時計用タイマ		カウント・クロックにメイン・クロックを選択時に動作可能	動作可能
ウォッチドッグ・タイマ1		動作可能	
ウォッチドッグ・タイマ2		カウント・クロックにf <sub>R</sub> /8を選択時に動作可能	動作可能
シリアル・インタフェース	CSI00-CSI02	動作可能	
	CSIA0, CSIA1	動作可能	
	I <sup>2</sup> C0 <sup>注</sup> , I <sup>2</sup> C1 <sup>注</sup>	動作可能	
	UART0-UART2	動作可能	
キー割り込み機能		動作可能	
A/Dコンバータ		動作可能	
D/Aコンバータ		リアルタイム出力モードを選択時に動作可能	
リアルタイム出力		動作可能	
DMA		動作可能	
クロック・モニタ (CLM)		動作可能	
パワーオン・クリア (POC)		動作可能	
低電圧検出 (LVI)		動作可能	
レギュレータ		動作可能	
ポート機能		HALTモード設定前の状態を保持	
外部バス・インタフェース		2.2 端子状態参照	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データは, すべてHALTモード設定前の状態を保持	

注 μPD70F3316Y, 70F3318Yのみ

## 23.4 IDLEモード

### 23.4.1 設定および動作状態

通常動作モード時、PSMR.PSMビットを“0”に設定し、PSC.STPビットを“1”に設定することにより、IDLEモードに設定されます。

IDLEモードに設定すると、クロック発振回路は動作を継続しますが、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLEモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、サブクロックや内蔵発振クロック、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表23 - 5にIDLEモード時の動作状態を示します。

IDLEモードは、内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。また、メイン・クロック発振回路は停止しないので、IDLEモード解除時、HALTモードと同様に発振安定時間を確保することなく、通常動作モードに復帰できます。

**注意** IDLEモードに設定するためのPSCレジスタに対するストア命令の後には、NOP命令を5命令以上挿入してください。

## 23.4.2 IDLEモードの解除

IDLEモードは、ノンマスクابل割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力），IDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット（WDTRES1信号を除く）により解除されます。

IDLEモードの解除により，通常動作モードに移行します。

### (1) ノンマスクابل割り込み要求信号，マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号，マスクされていないマスクابل割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でIDLEモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLEモードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると，IDLEモードの解除とともにこの割り込み要求信号を受け付けます。

表23 - 4 割り込み要求信号によるIDLEモードの解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐， または次の命令を実行	次の命令を実行

**注意** PSC.NMI2M, NMI0M, INTMビット = 1(割り込み禁止)になっている割り込み要求信号は無効となり，IDLEモードは解除されません。

(2) リセットによる解除

通常のリセット動作と同じです。

表23 - 5 IDLEモード時の動作状態 (1/2)

項目	IDLEモードの設定	CPUがメイン・クロックで動作中	
		サブクロックがない場合	サブクロックがある場合
CPU		動作停止	
メイン・クロック発振回路		発振可能	
サブクロック発振回路		-	発振可能
内蔵発振器 (f <sub>R</sub> )		動作可能	
割り込みコントローラ		動作停止	
16ビット・タイマ (TMP0)		動作停止	
16ビット・タイマ (TM00-TM05)		TM00, TM02-TM05 : 動作停止 TM01 : カウント・クロックにINTWTを選択し, WTのカウント・クロックにf <sub>BRG</sub> を選択時に動作可能	TM00, TM02-TM05 : 動作停止 TM01 : カウント・クロックにINTWTを選択時に動作可能
8ビット・タイマ (TM50, TM51)		<ul style="list-style-type: none"> <li>・ カウント・クロックにTI5mを選択時に動作可能</li> <li>・ カウント・クロックにINTTM010を選択し, TM01をIDLEモード時の動作可能条件に設定時に動作可能</li> </ul>	
タイマH (TMH0)		動作停止	
タイマH (TMH1)		カウント・クロックにf <sub>R</sub> /2048を選択時に動作可能	
時計用タイマ		カウント・クロックにメイン・クロックを選択時に動作可能	動作可能
ウォッチドッグ・タイマ1		動作停止	
ウォッチドッグ・タイマ2		カウント・クロックにf <sub>R</sub> /8を選択時に動作可能	動作可能
シリアル・インタフェース	CSI00-CSI02	動作クロックにSCK0n入力クロックを選択時に動作可能	
	CSIA0, CSIA1	動作停止	
	I <sup>2</sup> C0 <sup>注1</sup> , I <sup>2</sup> C1 <sup>注1</sup>	動作停止	
	UART0	カウント・クロックにASCK0を選択時に動作可能	
	UART1, UART2	動作停止	
キー割り込み機能		動作可能	
A/Dコンバータ		動作停止 <sup>注2</sup>	
D/Aコンバータ		動作可能	
リアルタイム出力		リアルタイム出力トリガとしてINTTM5mを選択し, TM5mをIDLEモード時の動作可能条件に設定時に動作可能。ただし, CPUが停止しているためRTBHn, RTBLnレジスタは更新できません。	

注1. μ PD70F3316Y, 70F3318Yのみ

2. ADM.ADCS, ADCS2ビット = 00Bに設定してください。

備考 m = 0, 1

n = 0-2

表23 - 5 IDLEモード時の動作状態 (2/2)

項 目	IDLEモードの設定	CPUがメイン・クロックで動作中	
		サブクロックがない場合	サブクロックがある場合
DMA		動作停止	
クロック・モニタ (CLM)		動作可能	
パワーオン・クリア (POC)		動作可能	
低電圧検出 (LVI)		動作可能	
レギュレータ		動作継続	
ポート機能		IDLEモード設定前の状態を保持	
外部バス・インタフェース		2.2 端子状態参照	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データは, すべてIDLEモード設定前の状態を保持	

## 23.5 STOPモード

### 23.5.1 設定および動作状態

通常動作モード時、PSMR.PSMビットを“1”に設定し、PSC.STPビットを“1”に設定することにより、STOPモードに設定されます。

STOPモードに設定すると、サブクロック発振回路は動作を継続しますが、メイン・クロック発振回路は動作を停止します。また、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はSTOPモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、サブクロック発振回路や内蔵発振器、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表23-7にSTOPモード時の動作状態を示します。

STOPモードは、メイン・クロック発振回路の動作が停止するので、IDLEモードよりさらに低消費電力を実現できます。また、サブクロック発振回路、内蔵発振器、かつ外部クロックを使用しない場合は、リーク電流のみの超低消費電力を実現できます

**注意** STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

### 23.5.2 STOPモードの解除

STOPモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力）、STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット（WDTRES1信号を除く）により解除されます。

STOPモードの解除により、発振安定時間を確保したあと、通常動作モードに移行します。

#### (1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとSTOPモードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、STOPモードの解除とともにこの割り込み要求信号を受け付けます。

表23 - 6 割り込み要求信号によるSTOPモードの解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

**注意** PSC.NMI2M, NMI0M, INTMビット = 1(割り込み禁止)になっている割り込み要求信号は無効となり, STOPモードは解除されません。

## (2) リセットによる解除

通常のリセット動作と同じです。



表23 - 7 STOPモード時の動作状態

項目	STOPモードの設定	CPUがメイン・クロックで動作中	
		サブクロックがない場合	サブクロックがある場合
CPU		動作停止	
メイン・クロック発振回路		発振停止	
サブクロック発振回路		-	発振可能
内蔵発振器 (f <sub>R</sub> )		動作可能	
割り込みコントローラ		動作停止	
16ビット・タイマ (TMP0)		動作停止	
16ビット・タイマ (TM00-TM05)		動作停止	TM00, TM02-TM05 : 動作停止 TM01 : カウント・クロックにINTWTを選択し, WTのカウント・クロックにf <sub>XT</sub> を選択時に動作可能
8ビット・タイマ (TM50, TM51)		カウント・クロックにTI5mを選択時に動作可能	カウント・クロックにTI5mを選択時, またはカウント・クロックにINTTM010を選択し, TM01をSTOPモード時の動作可能条件に設定時に動作可能
タイマH (TMH0)		動作停止	
タイマH (TMH1)		カウント・クロックにf <sub>R</sub> /2048を選択時に動作可能	
時計用タイマ		動作停止	カウント・クロックにf <sub>XT</sub> を選択時に動作可能
ウォッチドッグ・タイマ1		動作停止	
ウォッチドッグ・タイマ2		カウント・クロックにf <sub>R</sub> /8を選択時に動作可能	動作可能
シリアル・インタフェース	CSI00-CSI02	動作クロックに $\overline{\text{SCK0n}}$ 入力クロックを選択時に動作可能	
	CSIA0, CSIA1	動作停止	
	I <sup>2</sup> C0 <sup>注1</sup> , I <sup>2</sup> C1 <sup>注1</sup>	動作停止	
	UART0	カウント・クロックにASCK0を選択時に動作可能	
	UART1, UART2	動作停止	
キー割り込み機能		動作可能	
A/Dコンバータ		動作停止 <sup>注2</sup>	
D/Aコンバータ		動作可能 ただし, CPUが停止しているため, DACSnレジスタを更新できません。	
リアルタイム出力		リアルタイム出力トリガとしてINTTM5mを選択し, TM5mをSTOPモード時の動作可能条件に設定時に動作可能。ただし, CPUが停止しているためRTBHn, RTBLnレジスタを更新できません。	
DMA		動作停止	
クロック・モニタ (CLM)		動作停止	
パワーオン・クリア (POC)		動作可能	
低電圧検出 (LVI)		動作可能	
レギュレータ		動作停止	
ポート機能		STOPモード設定前の状態を保持	
外部バス・インタフェース		2.2 端子状態参照	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データは, すべてSTOPモード設定前の状態を保持	

注1.  $\mu$  PD70F3316Y, 70F3318Yのみ

2. ADM.ADCS, ADCS2ビット = 00Bに設定してください。

備考 m = 0, 1

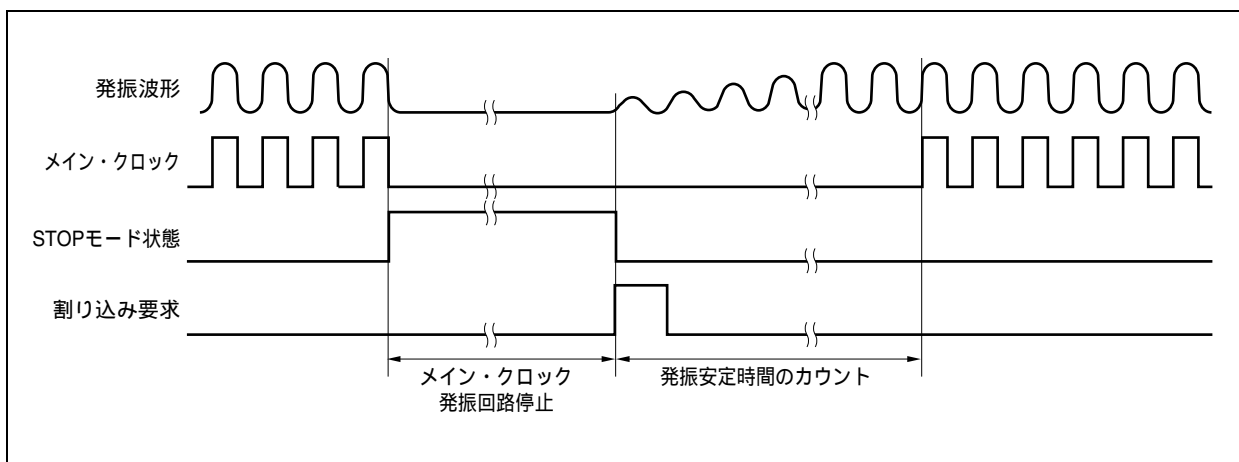
n = 0-2

### 23. 5. 3 STOPモード解除時の発振安定時間の確保

STOPモードを解除すると、OSTSレジスタで設定していた時間だけ発振安定時間を確保します。ただし、リセットによる解除時は、OSTSレジスタのリセット値<sup>注</sup>となります。

STOPモードを割り込み要求信号で解除した場合の動作を次に示します。

図23 - 2 発振安定時間



注 OSTSレジスタのリセット値はオプション・バイトの設定により異なります。詳細は第29章 オプション・バイトを参照してください。

注意 OSTSレジスタの詳細は、23. 2 (3) 発振安定時間選択レジスタ (OSTS) を参照してください。

## 23.6 サブクロック動作モード

### 23.6.1 設定および動作状態

通常動作モード時、PCC.CK3ビットを“1”に設定することにより、サブクロック動作モードに設定されます。

サブクロック動作モードに設定すると、内部システム・クロックがメイン・クロック サブクロックに切り替わります。

さらに、PCC.MCKビットを“1”に設定することにより、メイン・クロック発振回路の動作を停止します。これにより、システム全体がサブクロックでのみ動作します。

表23 - 8にサブクロック動作モード時の動作状態を示します。

サブクロック動作モードは、内部システム・クロックがサブクロックとなるので、通常動作モードよりも消費電力を低減できます。さらに、メイン・クロック発振回路の動作を停止させることにより、STOPモードに近い低消費電力を実現できます。

**注意1.** CK3ビットを操作する場合、PCC.CK2-CK0ビットの設定値は変更しないでください（ビット操作命令を推奨）。詳細は、6.3(1) プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。

**2.** 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

$$\text{内部システム・クロック (f}_{\text{CLK}}) > \text{サブクロック (f}_{\text{XT}} : 32.768 \text{ kHz}) \times 4$$

**備考** 内部システム・クロック (f<sub>CLK</sub>) : CK2-CK0ビットの設定によってメイン・クロック (f<sub>XX</sub>) から生成するクロック

### 23.6.2 サブクロック動作モードの解除

サブクロック動作モードは、CK3ビットを“0”に設定するか、リセットにより解除されます。なお、メイン・クロックを停止（MCKビット = 1）していた場合は、MCKビットを“1”に設定し、メイン・クロックの発振安定時間をソフトウェアにより確保してから、CK3ビットを“0”に設定します。

サブクロック動作モードの解除により、通常動作モードに移行します。

**注意** CK3ビットを操作する場合、CK2-CK0ビットの設定値は変更しないでください（ビット操作命令を推奨）。詳細は、6.3(1) プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。

表23 - 8 サブクロック動作モード時の動作状態

項目	サブクロック動作モードの設定		動作状態	
			メイン・クロック発振時	メイン・クロック停止時
CPU			動作可能	
サブクロック発振回路			発振可能	
内蔵発振器 (f <sub>R</sub> )			動作可能	
割り込みコントローラ			動作可能	
16ビット・タイマ (TMP0)			動作可能	動作停止
16ビット・タイマ (TM00-TM05)			動作可能	TM00, TM02-TM05 : 動作停止 TM01 : カウント・クロックにINTWTを選択し, WTのカウント・クロックにf <sub>XT</sub> を選択時に動作可能
8ビット・タイマ (TM50, TM51)			動作可能	・カウント・クロックにTI5mを選択時に動作可能 ・カウント・クロックにINTTM010を選択し, TM01をサブクロック動作モード時の動作可能条件に設定時に動作可能
タイマH (TMH0)			動作可能	動作停止
タイマH (TMH1)			動作可能	カウント・クロックにf <sub>R</sub> /2048を選択時に動作可能
時計用タイマ			動作可能	カウント・クロックにf <sub>XT</sub> を選択時に動作可能
ウォッチドッグ・タイマ1			動作停止	
ウォッチドッグ・タイマ2			動作可能	
シリアル・インタフェース	CSI00-CSI02		動作可能	動作クロックにSCK0n入力クロックを選択時に動作可能
	CSIA0, CSIA1		動作可能	動作停止
	I <sup>2</sup> C0 <sup>注</sup> , I <sup>2</sup> C1 <sup>注</sup>		動作可能	動作停止
	UART0		動作可能	カウント・クロックにASCK0を選択時に動作可能
	UART1, UART2		動作可能	動作停止
キー割り込み機能			動作可能	
A/Dコンバータ			動作可能	動作停止
D/Aコンバータ			動作可能	
リアルタイム出力			動作可能	リアルタイム出力トリガとしてINTTM5mを選択し, TM5mをサブクロック動作モード時の動作可能条件に設定時に動作可能
DMA			動作可能	
クロック・モニタ (CLM)			動作可能	動作停止
パワーオン・クリア (POC)			動作可能	
低電圧検出 (LVI)			動作可能	
レギュレータ			動作継続	
ポート機能			設定可能	
外部バス・インタフェース			動作可能	
内部データ			設定可能	

注 μPD70F3316Y, 70F3318Yのみ

備考 m = 0, 1

n = 0-2

## 23.7 サブIDLEモード

### 23.7.1 設定および動作状態

サブクロック動作モード時、PSMR.PSMビットを“0”に設定し、PSC.STPビットを“1”に設定することにより、サブIDLEモードに設定されます。

サブIDLEモードに設定すると、クロック発振回路は動作を継続しますが、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はサブIDLEモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、サブクロックや内蔵発振器、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表23 - 10にサブIDLEモード時の動作状態を示します。

サブIDLEモードは、CPUやその他内蔵周辺機能の動作が停止するので、サブクロック動作モードよりさらに低消費電力を実現できます。また、メイン・クロックを停止してからサブIDLEモードに設定した場合は、STOPモードに近い低消費電力を実現できます。

**注意** サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

## 23.7.2 サブIDLEモードの解除

サブIDLEモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力）、サブIDLEモード中動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット（WDTRES1除く）により解除されます。

サブIDLEモードの割り込み要求信号による解除により、サブクロック動作モードに移行します。また、リセットによる解除により、通常動作モードに移行します。

### (1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でサブIDLEモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとサブIDLEモードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、サブIDLEモードの解除とともにこの割り込み要求信号を受け付けます。

表23-9 割り込み要求信号によるサブIDLEモードの解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

**注意** PSC.NMI2M, NMI0M, INTMビット = 1(割り込み禁止)になっている割り込み要求信号は無効となり、サブIDLEモードは解除されません。

(2) リセットによる解除

通常のリセット動作と同じです。

表23 - 10 サブIDLEモード時の動作状態

項目	サブIDLEモードの設定		動作状態	
			メイン・クロック発振時	メイン・クロック停止時
CPU			動作停止	
サブクロック発振回路			発振可能	
内蔵発振器 (f <sub>R</sub> )			発振可能	
割り込みコントローラ			動作停止	
16ビット・タイマ (TMP0)			動作停止	
16ビット・タイマ (TM00-TM05)			TM00, TM02-TM05 : 動作停止 TM01 : カウント・クロックにINTWTを選択時に動作可能	TM00, TM02-TM05 : 動作停止 TM01 : カウント・クロックにINTWTを選択し, WTのカウント・クロックにf <sub>XT</sub> を選択時に動作可能
8ビット・タイマ (TM50, TM51)			<ul style="list-style-type: none"> <li>・カウント・クロックにTI5mを選択時に動作可能</li> <li>・カウント・クロックにINTTM010を選択し, TM01をサブIDLEモード時の動作可能条件に設定時に動作可能</li> </ul>	
タイマH (TMH0)			動作停止	
タイマH (TMH1)			カウント・クロックにf <sub>R</sub> /2048を選択時に動作可能	
時計用タイマ			動作可能	カウント・クロックにf <sub>XT</sub> を選択時に動作可能
ウォッチドッグ・タイマ1			動作停止	
ウォッチドッグ・タイマ2			動作可能	
シリアル・インタフェース	CSI00-CSI02		動作クロックにSCK0n入力クロックを選択時に動作可能	
	CSIA0, CSIA1		動作停止	
	I <sup>2</sup> C0 <sup>注1</sup> , I <sup>2</sup> C1 <sup>注1</sup>		動作停止	
	UART0		カウント・クロックにASCK0を選択時に動作可能	
	UART1, UART2		動作停止	
キー割り込み機能			動作可能	
A/Dコンバータ			動作停止 <sup>注2</sup>	
D/Aコンバータ			動作可能 ただし, CPUが停止しているため, DACSnレジスタを更新できません。	
リアルタイム出力			リアルタイム出力トリガとしてINTTM5mを選択し, TM5mをサブIDLEモード時の動作可能条件に設定時に動作可能	
DMA			動作停止	
クロック・モニタ (CLM)			動作可能	動作停止
パワーオン・クリア (POC)			動作可能	
低電圧検出 (LVI)			動作可能	
レギュレータ			動作停止	
ポート機能			サブIDLEモード設定前の状態を保持	
外部バス・インタフェース			2.2 端子状態参照	
内部データ			CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データは, すべてサブIDLEモード設定前の状態を保持	

注1.  $\mu$  PD70F3316Y, 70F3318Yのみ

2. ADM.ADCS, ADCS2ビット = 00Bに設定してください。

備考 m = 0, 1

n = 0-2



## 第24章 リセット機能

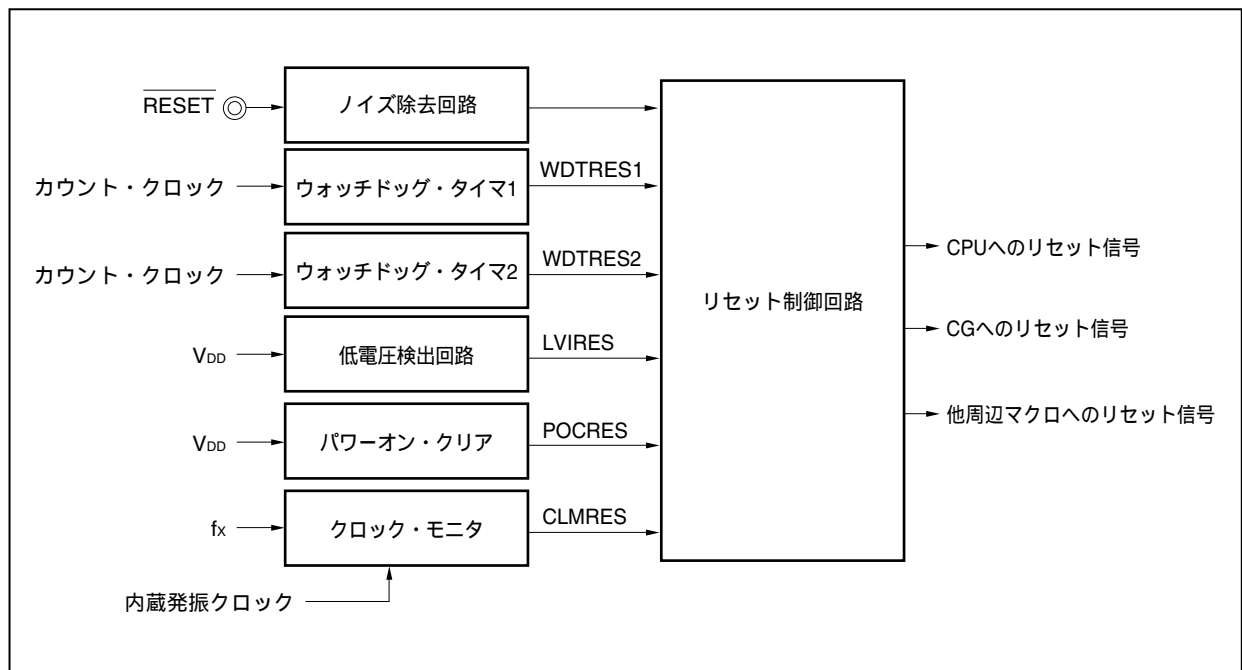
### 24.1 概要

リセット機能の概要を次に示します。

- ・  $\overline{\text{RESET}}$ 端子入力によるリセット
- ・ ウォッチドッグ・タイマ1のオーパフローによるリセット (WDTRES1)
- ・ ウォッチドッグ・タイマ2のオーパフローによるリセット (WDTRES2)
- ・ 低電圧検出回路 (LVI) によるシステム・リセット (LVIRES)
- ・ クロック・モニタ (CLM) によるシステム・リセット (CLMRES)
- ・ パワーオン・クリア (POC) によるシステム・リセット (POCRES)
- ・  $\overline{\text{RESET}}$ 端子のアナログ/デジタル+アナログ・ノイズ除去回路の選択可能
- ・ リセット出力機能 (P00/TOH0端子)

### 24.2 構成

図24 - 1 リセットのブロック図



## 24.3 リセット要因を確認するレジスタ

### (1) リセット要因フラグ・レジスタ (RESF)

RESFレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

RESFレジスタは、どの要因から発生したリセット信号かを格納するレジスタです。

8/1ビット単位でリード/ライト可能です(ただし、ライト時は“0”のみ書き込み可能です)。

$\overline{\text{RESET}}$ 端子入力、またはPOC回路によるリセット(POCRES)により00Hになります。 $\overline{\text{RESET}}$ 端子以外の要因のリセットにより初期値は異なります。

リセット時：00H<sup>注</sup> R/W アドレス：FFFFFF888H

	7	6	5	4	3	2	1	0
RESF	WDT1RF	0	0	WDT2RF	0	0	CLMRF	LVIRF

WDT1RF	ウォッチドッグ・タイマ1からのリセット信号(WDTRES1)発生有無
0	発生なし
1	発生あり

WDT2RF	ウォッチドッグ・タイマ2からのリセット信号(WDTRES2)発生有無
0	発生なし
1	発生あり

CLMRF	クロック・モニタからのリセット信号(CLMRES)発生有無
0	発生なし
1	発生あり

LVIRF	低電圧検出回路からのリセット信号(LVIRES)発生有無
0	発生なし
1	発生あり

**注**  $\overline{\text{RESET}}$ 端子、またはPOC回路によるリセット時は00Hになります。

WDTRES1, WDT2RES信号, 低電圧検出回路(LVI), クロック・モニタ(CLM)によるリセット時は、自身のリセット・フラグ(WDT1RF, WDT2RF, CLMRF, LVIRFビット)をセット(他の要因は保持)します。

**注意** 各ビットへの書き込みは“0”ライトのみ可能で、“0”ライト書き込みとフラグ・セット(リセットの発生)が競合した場合、フラグ・セットが優先されます。

## 24.4 リセット要因

リセット要因には、次の6種類があります。

- ・  $\overline{\text{RESET}}$ 端子入力によるリセット
- ・ ウォッチドッグ・タイマ1のオーパフローによるリセット (WDTRES1)
- ・ ウォッチドッグ・タイマ2のオーパフローによるリセット (WDTRES2)
- ・ 低電圧検出回路 (LVI) によるシステム・リセット (LVIRES)
- ・ クロック・モニタ (CLM) によるシステム・リセット (CLMRES)
- ・ パワーオン・クリア (POC) によるシステム・リセット (POCRES)

### 24.4.1 $\overline{\text{RESET}}$ 端子によるリセット動作

$\overline{\text{RESET}}$ 端子にロウ・レベルを入力、システム・リセットがかかり、各ハードウェアを初期化します。

$\overline{\text{RESET}}$ 端子には、ノイズ除去回路が内蔵されており、RNZCレジスタの設定によりアナログ/デジタル+アナログ・ノイズ除去回路の選択ができます。

$\overline{\text{RESET}}$ 端子にロウ・レベルを入力期間中は、メイン・クロック発振回路は停止するので、システム全体の消費電力を低減することができます。

$\overline{\text{RESET}}$ 端子入力をロウ・レベルからハイ・レベルに変化すると、リセット状態を解除します。

$\overline{\text{RESET}}$ 端子入力によるリセット解除の場合、発振安定時間を確保したあと、CPUはプログラムの実行を開始します (発振安定時間については、23.2(3)発振安定時間選択レジスタ (OSTS)、第29章 オプション・バイトを参照してください)。

表24 - 1  $\overline{\text{RESET}}$ 端子入力の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (fx)	発振停止	発振開始
サブクロック発振回路 (fxT)	発振継続	
内蔵発振器 (fr)	発振停止	発振開始
周辺クロック (fxx-fxx/1024)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (fCLK)	動作停止	発振安定時間確保後、動作開始 (fxx/8に初期化)
CPUクロック (fCPU)	動作停止	発振安定時間確保後、動作開始 (fxx/8に初期化)
ウォッチドッグ・タイマ1クロック (fxw)	動作停止	動作開始
CPU	初期化	発振安定時間確保後、プログラムの実行開始
内蔵RAM	パワーオン時のリセット、またはRAMへのデータ書き込み (CPUやDMAによる) とリセットが競合 (データ破壊) した場合、不定。 それ以外は、リセット入力直前の値を保持。	
I/Oライン (P00)	ロウ・レベル出力	
I/Oライン (P00以外のポート)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化。	
ウォッチドッグ・タイマ2	動作停止	動作開始 (fr/8)
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

図24 - 2 RESET端子入力時の各ハードウェアの状態

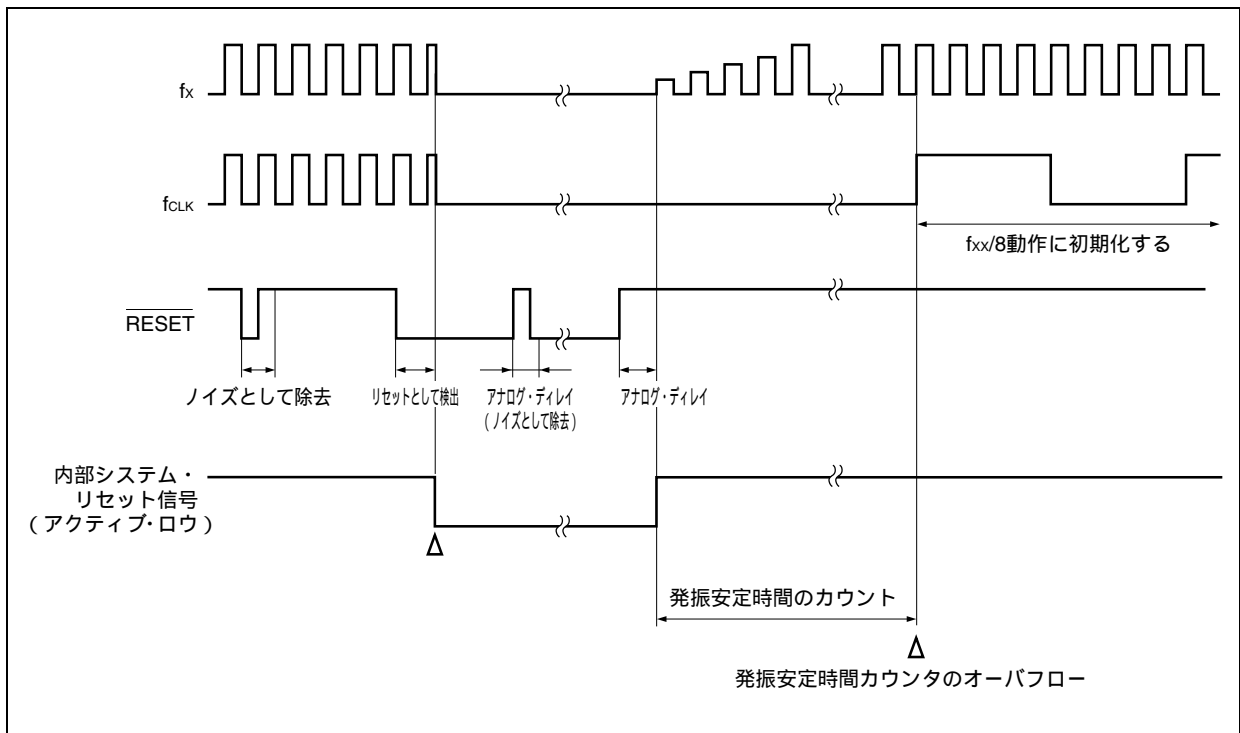
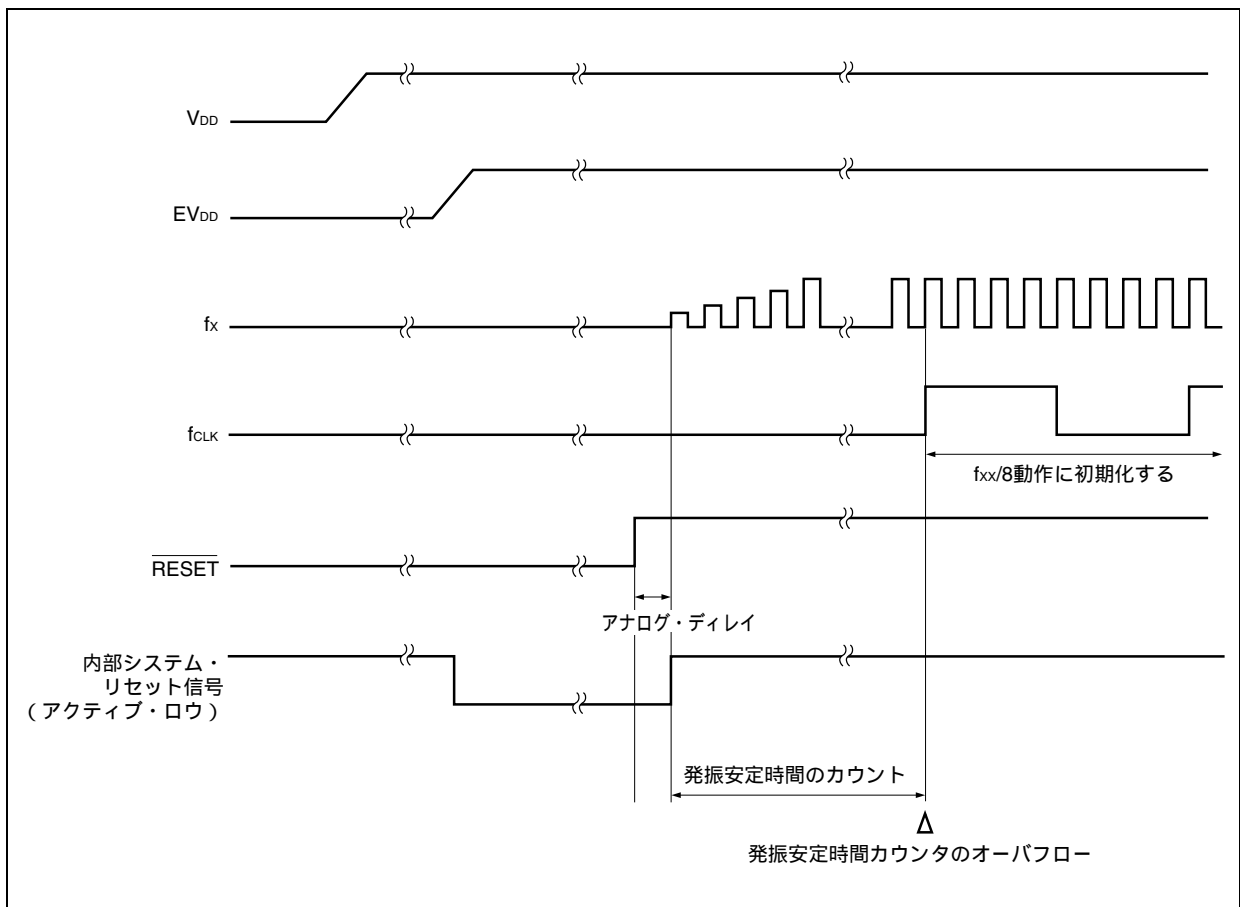


図24 - 3 パワーオン時の動作



## (1) RESET端子のデジタル・ノイズ除去

V850ES/KJ1+のRESET端子は、アナログ/デジタル+アナログ・ノイズ除去回路の選択が可能です。

デジタル・ノイズ除去回路は、RNZC.RNZSELビット = 1に設定することにより選択します。メイン・クロック (fx) によりサンプリングを行い、RNZC.SMPSELビットによりサンプリング回数を10回/20回と選択できます。

## (a) リセット・ノイズ除去コントロール・レジスタ (RNZC)

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF860H

	7	6	5	4	3	2	1	0
RNZC	0	0	0	0	0	0	SMPSEL	RNZSEL <sup>注</sup>

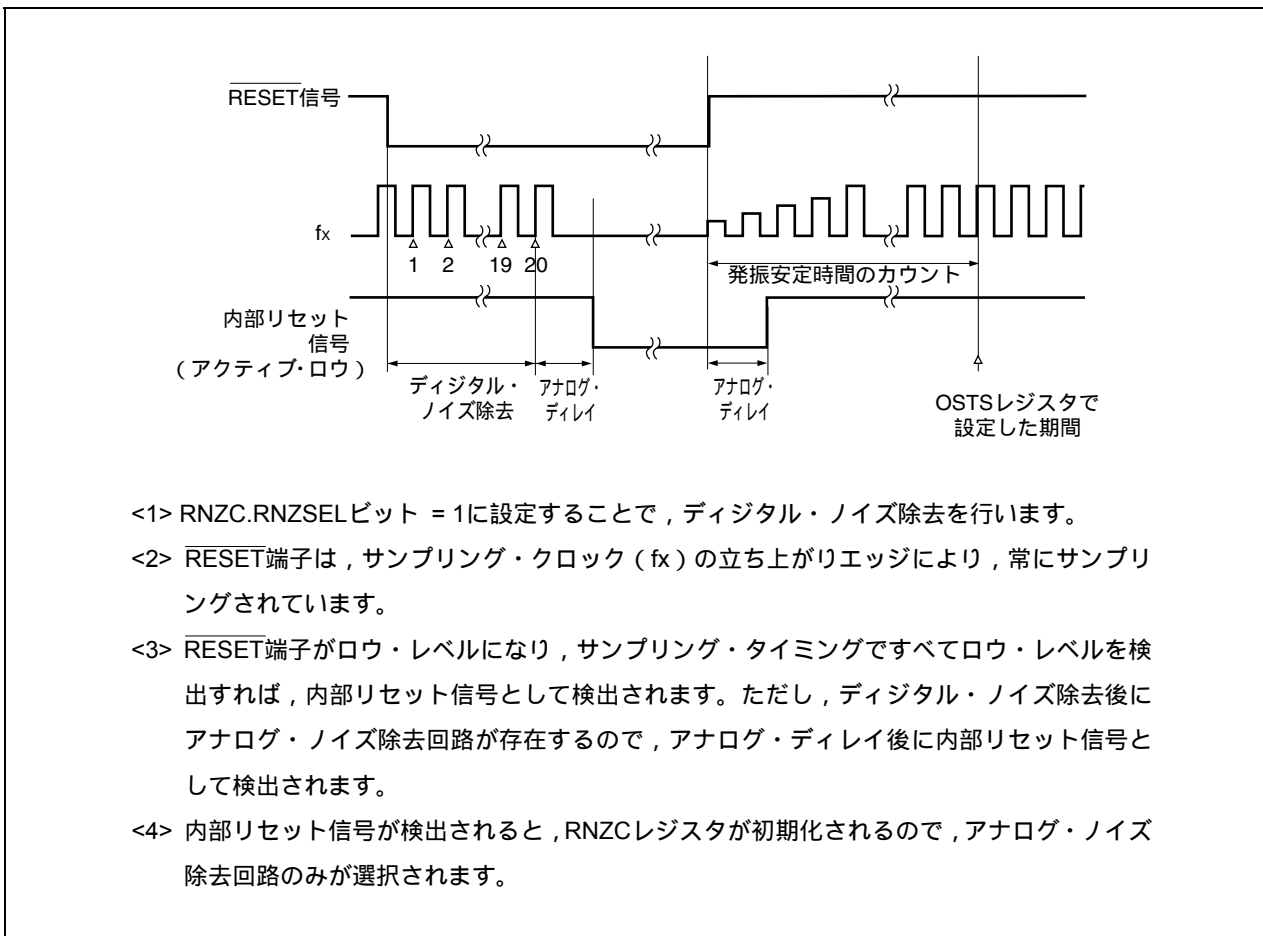
SMPSEL	サンプリング回数の選択
0	20回
1	10回

RNZSEL <sup>注</sup>	RESET端子のノイズ除去回路の選択
0	アナログ・ノイズ除去のみ
1	デジタル+アナログ・ノイズ除去

**注** サンプリング・クロックが停止する場合は、RNZSELビットの設定にかかわらず自動的にアナログ除去回路のみになります。

**注意** RNZCレジスタの設定(書き込み)は、リセット解除後1回のみ可能で、2回以上の書き込みを行っても1回目に設定した値から更新されません。設定を変更したい場合は、リセット入力してください。

図24 - 4 サンプリング動作タイミング (20回)

**(b) サンプリング・クロック停止時の動作**

デジタル+アナログ・ノイズ除去回路を選択していた時にサンプリング・クロック (fx) が停止すると、 $\overline{\text{RESET}}$ 端子入力が受け付けられないので、自動的にアナログ・ノイズ除去回路のみを選択します。

次の期間アナログ・ノイズ除去回路のみを自動的に選択します。

- ・STOPモード時：

STOPモード設定 STOPモード解除 (リセット以外) によるOSTSレジスタで設定した時間までの期間

- ・サブクロック動作モード時：

サブクロック動作モード設定 (PCC.CLS ビット = 0 1) メイン・クロック動作モード復帰 (CLSビット = 1 0) までの期間

## (c) デジタル・ノイズ除去幅

デジタル・ノイズ除去幅 ( $t_{WRSL}$ ) は、サンプリング・クロック周期:  $T$ 、サンプリング回数:  $N$ とすると、次のようになります。

表24 - 2  $\overline{\text{RESET}}$ 端子のデジタル・ノイズ除去幅

	デジタル・ノイズ除去幅 ( $t_{WRSL}$ )		動 作
	$T = 10 \text{ MHz}, N = 20$	$T = 5 \text{ MHz}, N = 10$	
$t_{WRSL} < (N - 1) T$	$t_{WRSL} < 1.9 \mu\text{s}$	$t_{WRSL} < 1.8 \mu\text{s}$	ノイズとして除去
$(N - 1) T < t_{WRSL} < NT$	$1.9 \mu\text{s} < t_{WRSL} < 2.0 \mu\text{s}$	$1.8 \mu\text{s} < t_{WRSL} < 2.0 \mu\text{s}$	ノイズとして除去、あるいはリセットとして検出
$NT < t_{WRSL}$	$2.0 \mu\text{s} < t_{WRSL}$	$2.0 \mu\text{s} < t_{WRSL}$	リセットとして検出

**備考** この表に示した数値にアナログ・ディレイ値を考慮した数値が、 $\overline{\text{RESET}}$ 端子のノイズ除去幅になります。

### 24.4.2 WDTRES1信号によるリセット動作

ウォッチドッグ・タイマ1をオーバーフローによるリセット動作モードに設定したとき、ウォッチドッグ・タイマ1がオーバーフロー（WDTRES1信号発生）すると、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

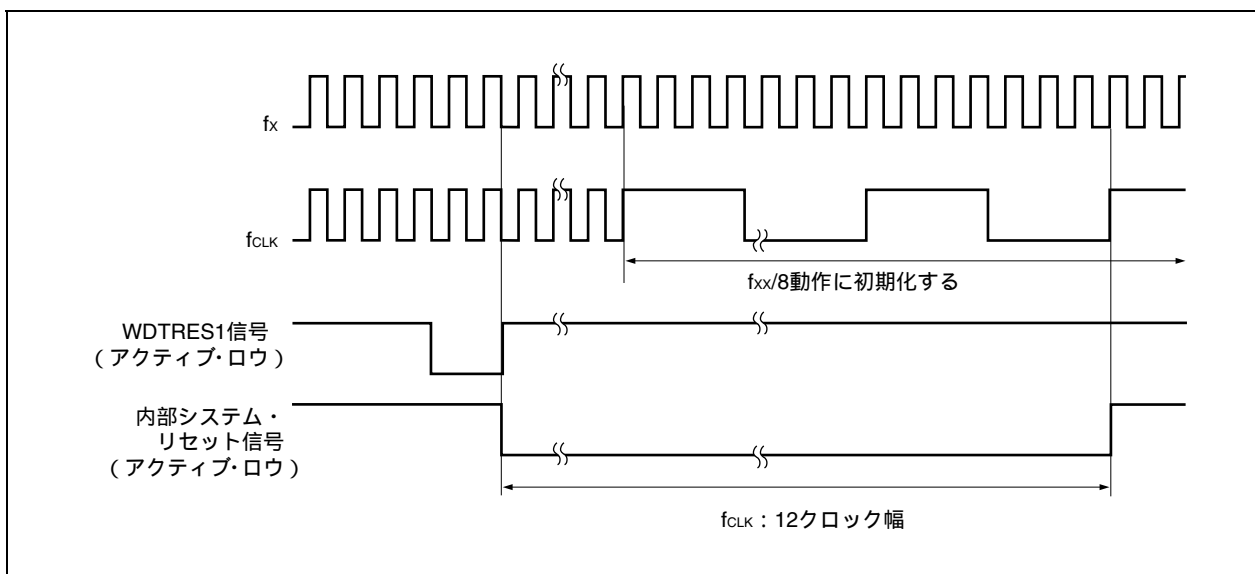
ウォッチドッグ・タイマ1のオーバーフロー後、所定の時間（ $f_{CLK}$ ：12クロック分）リセット状態となり、その後リセット状態を自動的に解除します。リセット解除後、CPUはプログラムの実行を開始します。

なお、リセット期間中もメイン・クロック発振回路動作を継続するので、発振安定時間を確保しません。WDTRES1信号によるリセット期間中とリセット解除後の各ハードウェア状態を次に示します。

表24-3 WDTRES1信号時の各ハードウェアの状態

項目	リセット中	リセット後
メイン・クロック発振回路 ( $f_x$ )	発振継続	
サブクロック発振回路 ( $f_{XT}$ )	発振継続	
内蔵発振器 ( $f_R$ )	発振継続	
周辺クロック ( $f_{xx}-f_{xx}/1024$ )	動作停止	動作開始
内部システム・クロック ( $f_{CLK}$ )	発振継続 ( $f_{xx}/8$ に初期化)	
CPUクロック ( $f_{CPU}$ )	発振継続 ( $f_{xx}/8$ に初期化)	
ウォッチドッグ・タイマ1クロック ( $f_{xw}$ )	動作継続	
内蔵RAM	RAMへのデータ書き込み（CPUやDMAによる）とリセットが競合（データ破壊）した場合、不定。 それ以外は、リセット直前の値を保持。	
I/Oライン（P00）	ロウ・レベル出力	
I/Oライン（P00以外のポート）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化。	
ウォッチドッグ・タイマ2	動作停止	動作開始 ( $f_R/8$ )
上記以外の内蔵周辺機能	動作停止	動作開始可能

図24-5 ウォッチドッグ・タイマ1によるリセット動作のタイミング





### 24.4.3 WDTRES2信号によるリセット動作

ウォッチドッグ・タイマ2をオーバーフローによるリセット動作モードに設定したとき、ウォッチドッグ・タイマ2がオーバーフロー（WDTRES2信号発生）すると、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

ウォッチドッグ・タイマ2のオーバーフロー後、所定の時間（アナログ・ディレイ分）リセット状態となり、その後リセット状態を自動的に解除します。リセット解除後、メイン・クロック発振回路の発振安定時間を確保したあと、CPUはプログラムの実行を開始します。

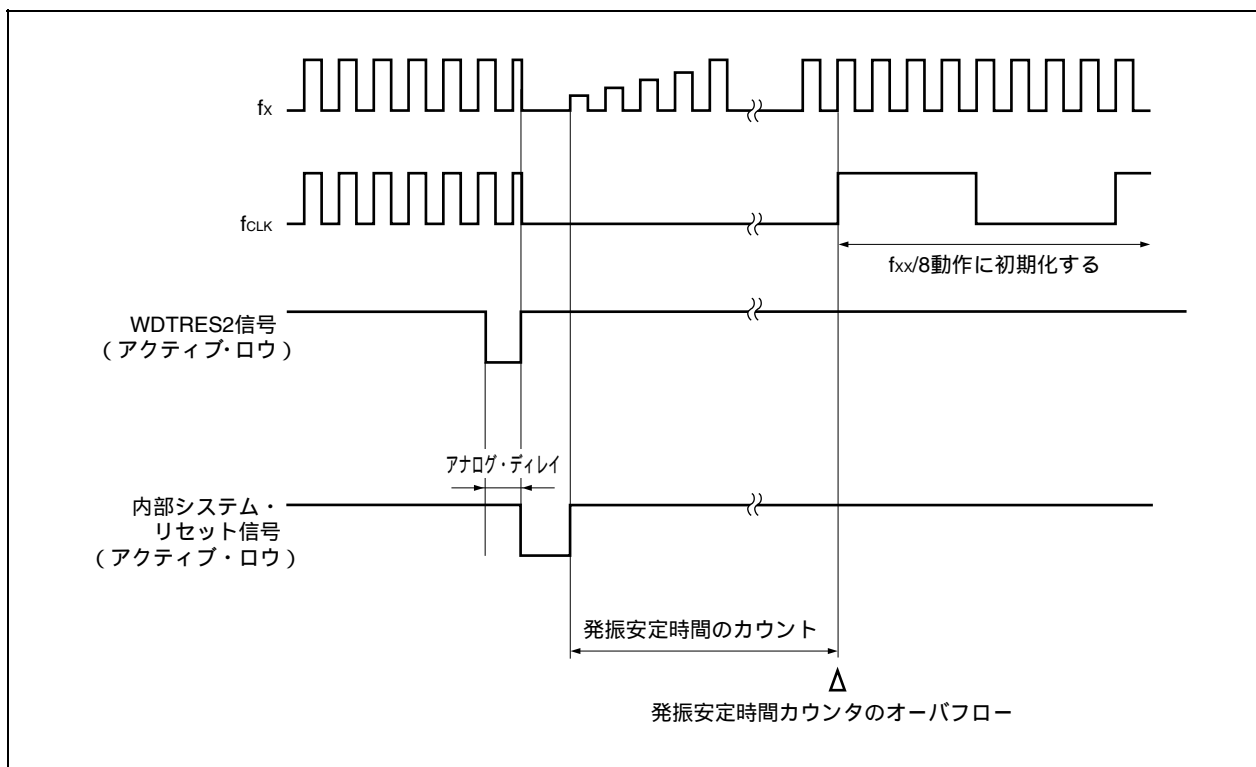
なお、リセット期間中はメイン・クロック発振回路が停止するので、発振安定時間を確保する必要があります。発振安定時間は、OSTSレジスタの初期値によって決まります（発振安定時間については、23.2(3)発振安定時間選択レジスタ（OSTS）、第29章 オプション・バイトを参照してください）。

WDTRES2信号によるリセット期間中とリセット解除後の各ハードウェア状態は、 $\overline{\text{RESET}}$ 端子入力によるリセット時と同じです。

詳細は、表24-1  $\overline{\text{RESET}}$ 端子入力の各ハードウェアの状態を参照してください。

WDTRES2信号によるリセット動作のタイミングを次に示します。

図24-6 ウォッチドッグ・タイマ2によるリセット動作のタイミング



#### 24.4.4 パワーオン・クリアによるリセット動作

電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{POC}$ ) を比較し、 $V_{DD} < V_{POC}$  になるとシステム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

検出電圧 ( $V_{POC}$ ) は  $2.6\text{ V} \pm 0.1\text{ V}$  です。

$V_{DD} < V_{POC}$  の期間リセット状態となり、 $V_{DD} > V_{POC}$  によりリセットを解除します。リセット解除後、メイン・クロック発振回路の発振安定時間を確保したあと、CPUはプログラムの実行を開始します。

なお、リセット期間中はメイン・クロック発振回路が停止するので、発振安定時間を確保する必要があります。発振安定時間は、OSTSレジスタの初期値によって決まります（発振安定時間については、23.2(3) **発振安定時間選択レジスタ (OSTS)**、第29章 **オプション・バイト**を参照してください）。

POCRES信号によるリセット期間中とリセット解除後の各ハードウェア状態を次に示します。

表24 - 4 パワーオン・クリアによるリセット動作時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 ( $f_x$ )	発振停止	発振開始
サブクロック発振回路 ( $f_{XT}$ )	発振継続	
内蔵発振器 ( $f_R$ )	発振停止	発振開始
周辺クロック ( $f_{xx-fxx}/1024$ )	動作停止	発振安定時間確保後、動作開始
内部システム・クロック ( $f_{CLK}$ )	動作停止	発振安定時間確保後、動作開始 ( $f_{xx}/8$ に初期化)
CPUクロック ( $f_{CPU}$ )	動作停止	発振安定時間確保後、動作開始 ( $f_{xx}/8$ に初期化)
ウォッチドッグ・タイマ1クロック ( $f_{xw}$ )	動作停止	動作開始
CPU	初期化	発振安定時間確保後、プログラムの実行開始
内蔵RAM	パワーオン時のリセット、またはRAMへのデータ書き込み (CPUやDMAによる) とリセットが競合 (データ破壊) した場合、不定。 それ以外は、リセット入力直前の値を保持。	
I/Oライン (P00)	ロウ・レベル出力	
I/Oライン (P00以外のポート)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化。	
ウォッチドッグ・タイマ2	動作停止	動作開始 ( $f_R/8$ )
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

図24 - 7 パワーオン・クリア回路によるリセット・タイミング

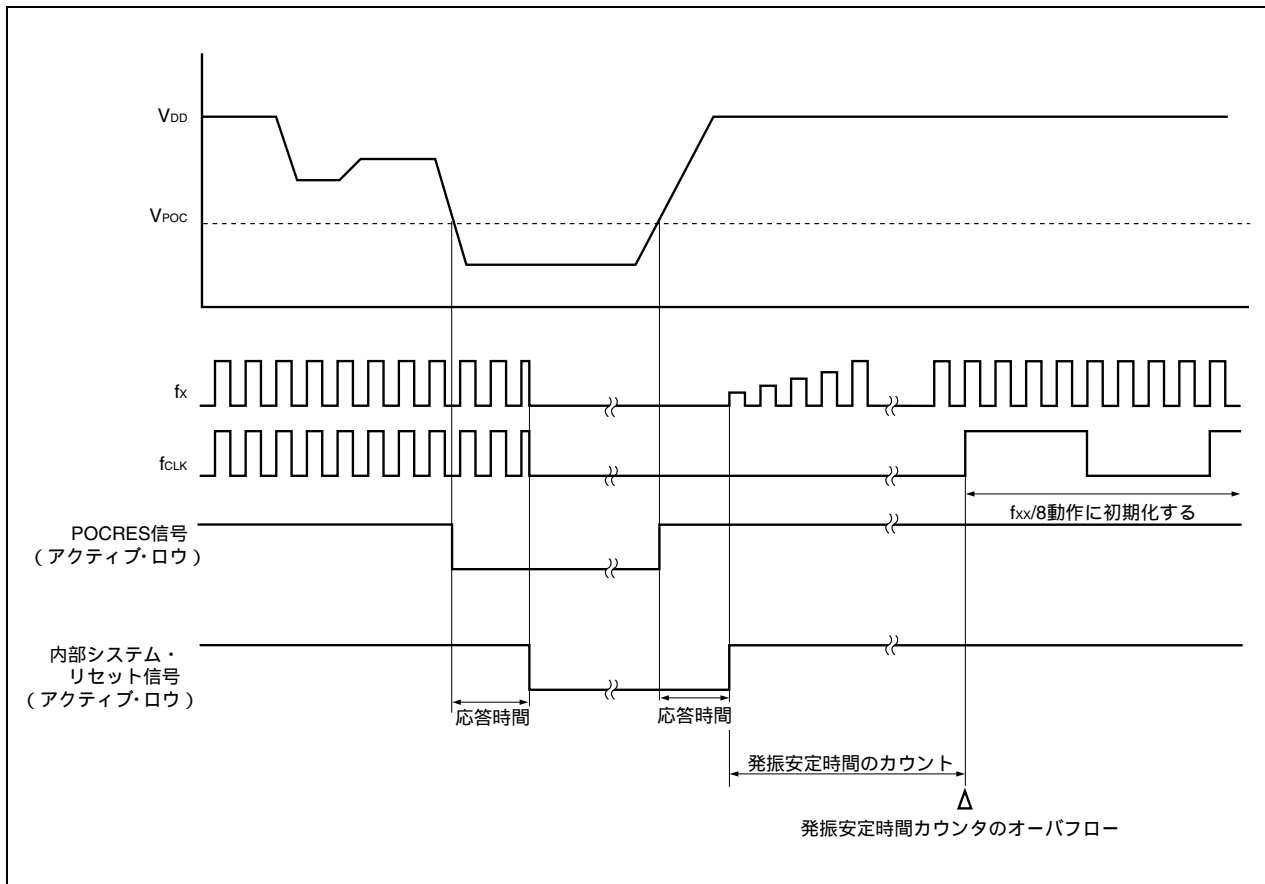
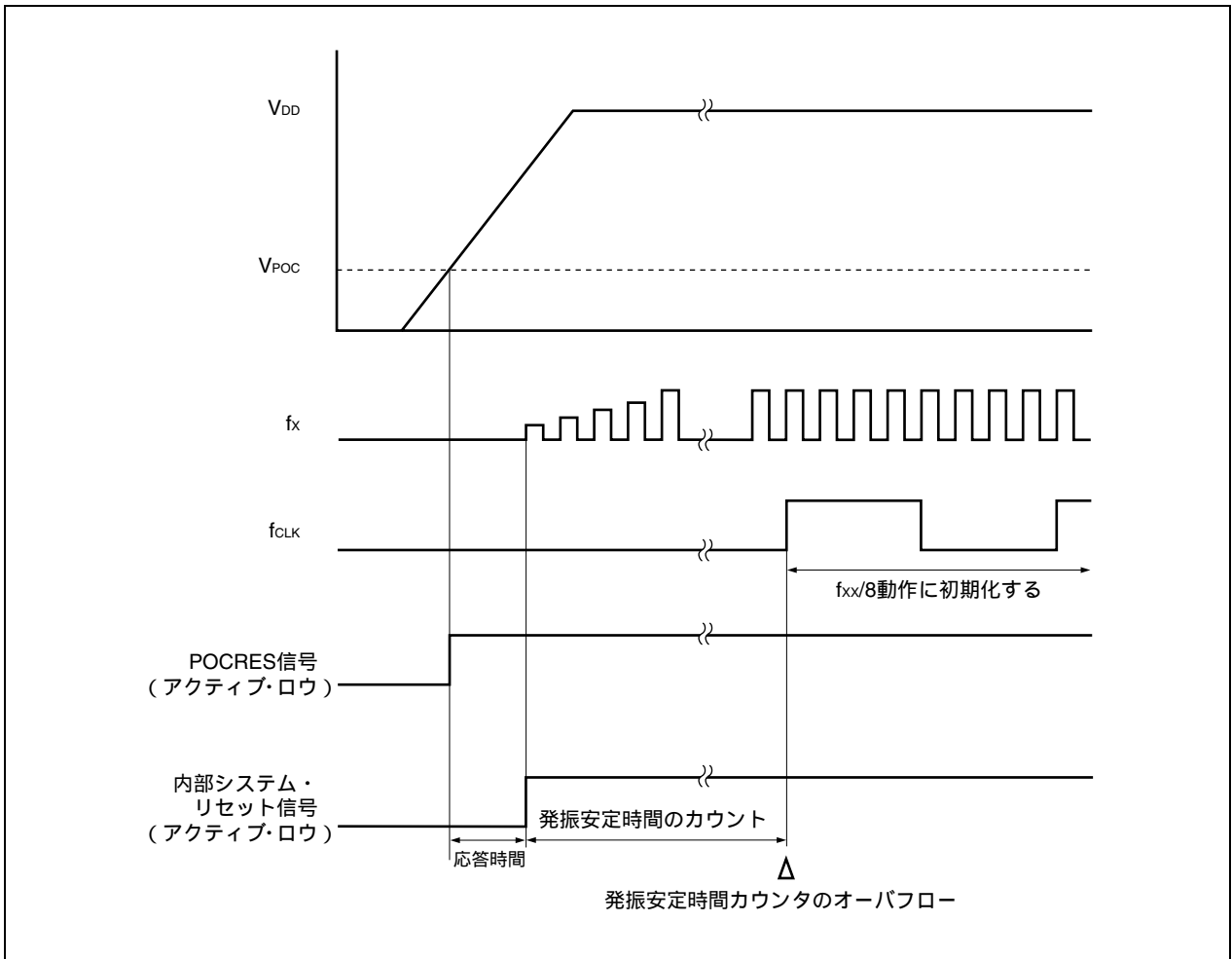


図24 - 8 電源投入時のリセット・タイミング



### 24.4.5 低電圧検出回路によるリセット動作

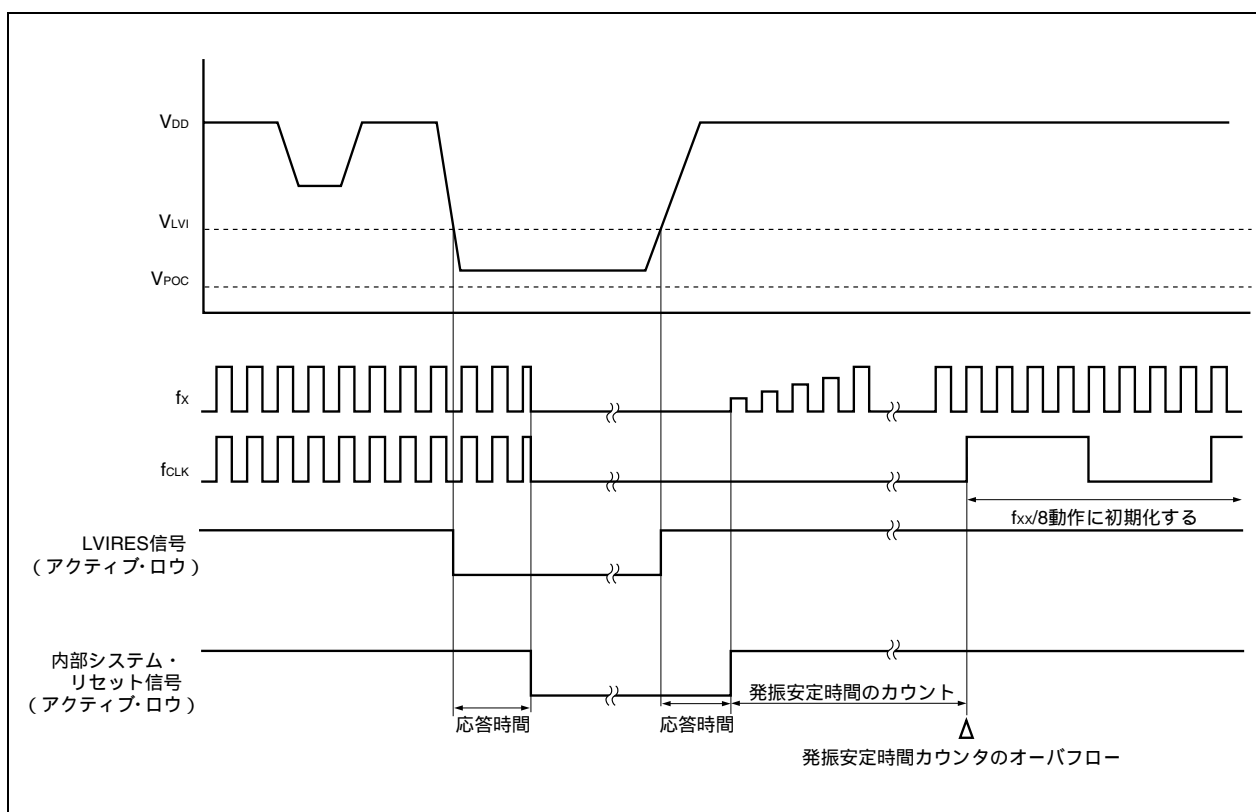
低電圧検出回路を内部リセット信号 (LVIRES) 発生モードに設定時、電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し、 $V_{DD} < V_{LVI}$  になるとシステム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

$V_{DD} < V_{LVI}$ の期間リセット状態となり、 $V_{DD} > V_{LVI}$ によりリセットを解除します。リセット解除後、メイン・クロック発振回路の発振安定時間を確保したあと、CPUはプログラムの実行を開始します。

なお、リセット期間中はメイン・クロック発振回路が停止するので、発振安定時間を確保する必要があります。発振安定時間は、OSTSレジスタの初期値によって決まります (発振安定時間については、23.2(3) **発振安定時間選択レジスタ (OSTS)**、第29章 **オプション・バイト**を参照してください)。

LVIRES信号によるリセット期間中とリセット解除後の各ハードウェア状態は、POCRES信号によるリセット時と同じです。

図24 - 9 低電圧検出回路によるリセット・タイミング



## 24.4.6 クロック・モニタによるリセット動作

クロック・モニタ動作許可時、サンプリング・クロック（内蔵発振クロック： $f_R$ ）にてメイン・クロックの監視を行い、メイン・クロックの停止を検出するとシステム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

メイン・クロックの停止検出後、所定の時間（アナログ・ディレイ分）リセット状態となり、その後リセット状態を自動的に解除します。リセット解除後、メイン・クロックが停止しているため発振安定用タイマのカウンタ動作が行われず、デフォルト・スタートのウォッチドッグ・タイマ2がオーバーフローすると、CPUは内蔵発振クロック（ $f_R$ ）でプログラム実行を開始します。

CLMRES信号によるリセット期間中とリセット解除後の各ハードウェア状態を次に示します。

クロック・モニタによるリセット・タイミングについては図25-4を参照してください。

表24-5 クロック・モニタによるリセット動作時の各ハードウェアの状態

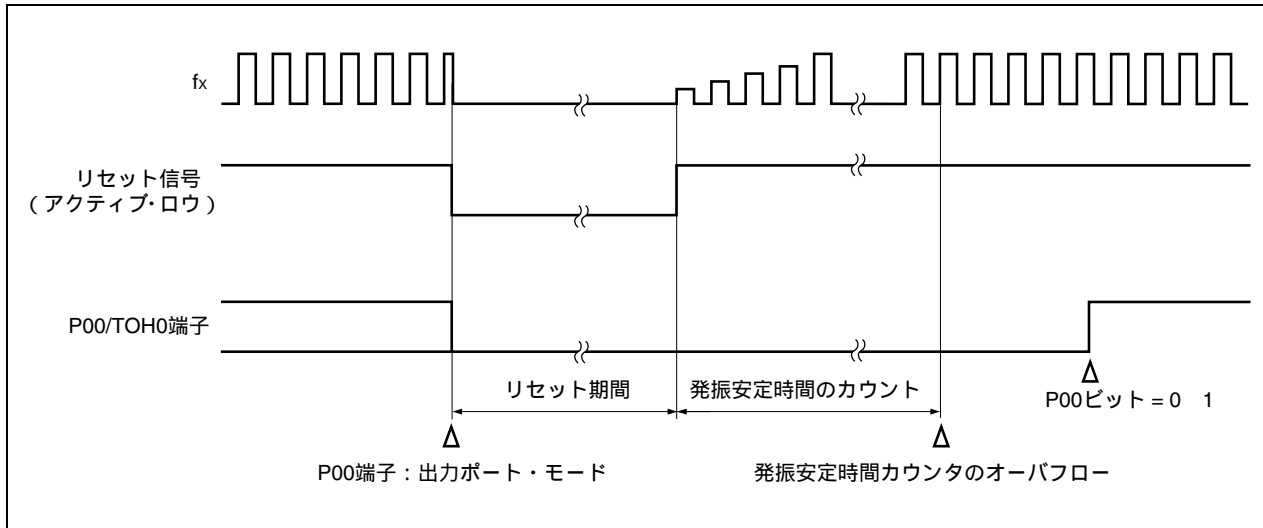
項目	リセット中	リセット後
メイン・クロック発振回路（ $f_X$ ）	発振停止	発振停止のまま
サブクロック発振回路（ $f_{XT}$ ）	発振継続	
内蔵発振器（ $f_R$ ）	発振停止	発振開始
周辺クロック（ $f_{XX-f_{XX}/1024}$ ）	動作停止	$f_X$ 停止のため、動作停止のまま
内部システム・クロック（ $f_{CLK}$ ）	動作停止	ウォッチドッグ・タイマ2オーバーフロー後、動作開始（ $f_R$ ）
CPUクロック（ $f_{CPU}$ ）	動作停止	ウォッチドッグ・タイマ2オーバーフロー後、動作開始（ $f_R$ ）
ウォッチドッグ・タイマ1クロック（ $f_{XW}$ ）	動作停止	$f_X$ 停止のため、動作停止のまま
CPU	初期化	ウォッチドッグ・タイマ2オーバーフロー後、プログラムの実行開始
内蔵RAM	RAMへのデータ書き込み（CPUやDMAによる）とリセットが競合（データ破壊）した場合、不定。 それ以外は、リセット入力直前の値を保持。	
I/Oライン（P00）	ロウ・レベル出力	
I/Oライン（P00以外のポート）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化。	
ウォッチドッグ・タイマ2	動作停止	動作開始（ $f_R/8$ のみ）。ただしCPU実行前のウォッチドッグ・タイマ2オーバーフロー時のみは、WDTRES2が発生しません。
上記以外の内蔵周辺機能	動作停止	$f_X$ 停止のため、動作開始不可能 ただし、 $f_{XT}$ や $f_R$ 、外部クロックで動作する周辺機能は動作可能（詳細は表25-2参照）

## 24.5 リセット出力機能

V850ES/KJ1+のP00/TOH0端子は、リセット出力端子として疑似的に使用できます。

P00端子は、リセットが発生すると出力ポート・モード (PM0.PM00ビット = 0) になり、かつロウ・レベル (P0.P00ビット = 0) を出力します。リセット出力を解除 (ロウ・レベル出力 ハイ・レベル出力) するには、ソフトウェアによりP00ビットをセット (1) します。

図24 - 10 リセット出力機能



## 第25章 クロック・モニタ

### 25.1 機能

クロック・モニタは、内蔵発振クロックで、メイン・クロックのサンプリングを行い、メイン・クロックの発振停止時に、リセット信号（CLMRES）を発生します。

リセット解除後は、CPUは内蔵発振クロックで動作します。

CLM.CLMEビットにより一度動作許可にすると、リセットでしか停止できません。

次の条件のとき、クロック・モニタは自動的に停止します。

- ・STOPモード～発振安定時間カウント時
- ・メイン・クロック停止時(サブクロック動作時にPCC.MCKビット = 1,メイン・クロック動作時にPCC.CLSビット = 0)
- ・サンプリング・クロック(内蔵発振クロック)停止時
- ・CPUが内蔵発振クロック動作時

### 25.2 レジスタ

#### (1) クロック・モニタ・モード・レジスタ (CLM)

CLMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.7 特定レジスタ参照)。

クロック・モニタの動作モードの設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFF870H

	7	6	5	4	3	2	1	①
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作許可 / 禁止
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

**注意** 一度CLMEビット = 1に設定した場合、リセット以外ではクリア(0)できません。



(2) 内蔵発振モード・レジスタ (RCM)

RCMレジスタは、内蔵発振器の動作モードの設定を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF80CH

	7	6	5	4	3	2	1	①
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	内蔵発振器の発振 / 停止
0	内蔵発振器発振
1	内蔵発振器停止

**注意** RCMレジスタの設定は、オプション・バイトにてソフトウェアによる停止許可に設定した場合のみ有効です。詳細は第29章 オプション・バイトを参照してください。

## 25.3 動作

クロック・モニタ開始条件，モニタ停止条件は次のようになります。

### <モニタ開始条件>

CLM.CLMEビット = 1に設定

### <モニタ停止条件>

- ・STOPモード～発振安定時間カウント時
- ・メイン・クロック停止時(サブクロック動作時にPCC.MCKビット = 1,メイン・クロック動作時にPCC.CLSビット = 0)
- ・サンプリング・クロック(内蔵発振クロック)停止時
- ・CPUが内蔵発振クロック動作時

表25-1 クロック・モニタの動作状態 (CLMEビット = 1設定時，内蔵発振クロック動作時)

動作モード		メイン・クロックの状態	内蔵発振クロックの状態	クロック・モニタの状態
通常動作モード		発振	発振 <sup>注1</sup>	動作 <sup>注2</sup>
HALTモード		発振	発振 <sup>注1</sup>	動作 <sup>注2</sup>
IDLEモード		発振	発振 <sup>注1</sup>	動作 <sup>注2</sup>
STOPモード		停止	発振 <sup>注1</sup>	停止
サブクロック動作モード	MCKビット = 0	発振	発振 <sup>注1</sup>	動作 <sup>注2</sup>
サブIDLEモード		発振	発振 <sup>注1</sup>	動作 <sup>注2</sup>
サブクロック動作モード	MCKビット = 1	停止	発振 <sup>注1</sup>	停止
サブIDLEモード		停止	発振 <sup>注1</sup>	停止
内蔵発振クロック動作モード		停止	発振 <sup>注1</sup>	停止
リセット中		停止	停止	停止

注1. RCM.RSTOPビット = 1にすることで，内蔵発振器を停止できます。

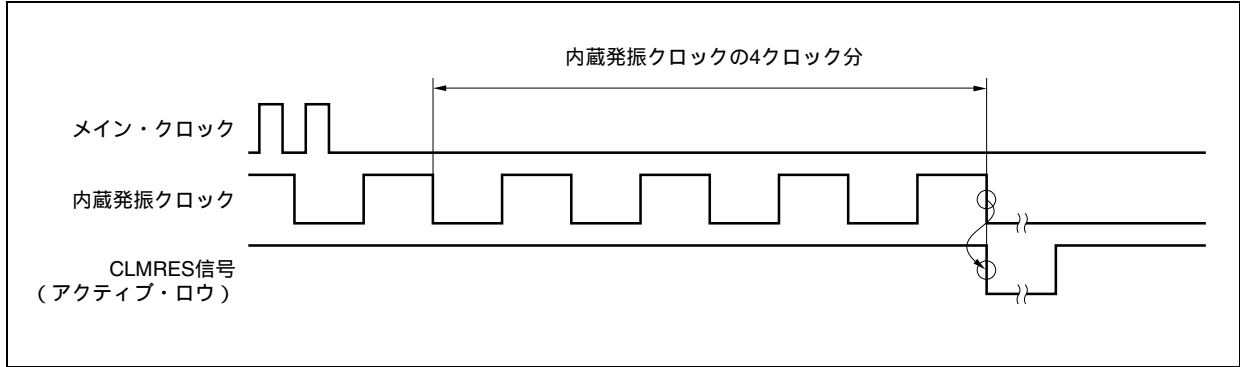
(オプション・バイトにて設定した場合のみ有効です。詳細は第29章 オプション・バイトを参照してください)

2. 内蔵発振器が停止している場合，クロック・モニタは停止します。

(a) メイン・クロック発振停止時の動作

CLMEビット = 1の場合、メイン・クロックの発振が停止したとき、図25 - 1のタイミングでCLMRES信号が発生します。

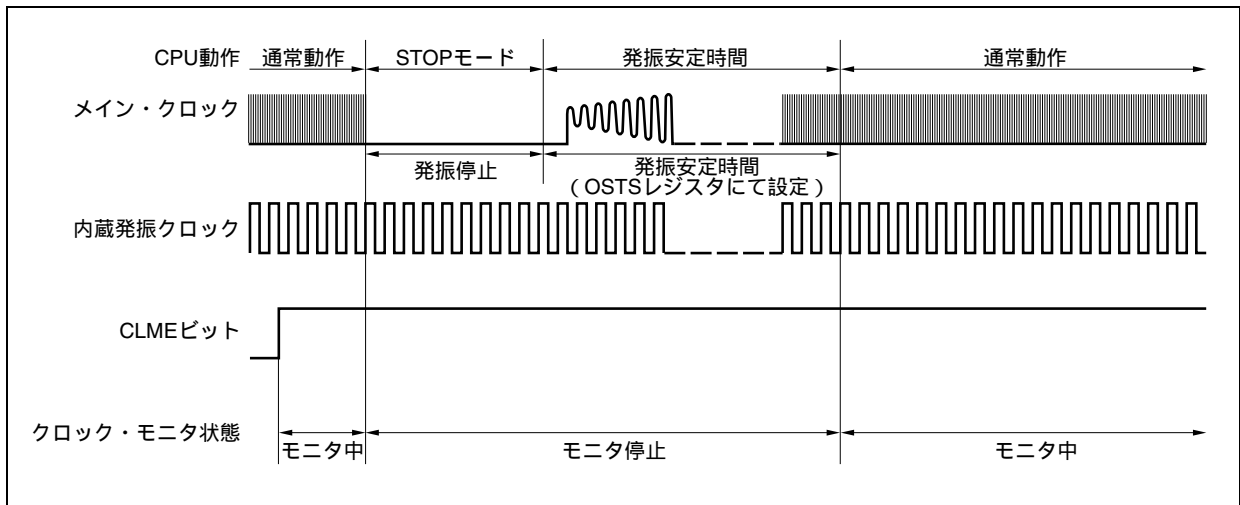
図25 - 1 メイン・クロックの発振停止時



(b) STOPモード中およびSTOPモード解除後の動作

CLMEビット = 1の状態ではSTOPモードに移行した場合、STOPモード中および発振安定時間カウン中はモニタ動作を停止します。発振安定時間カウン終了後に自動的にモニタ動作を開始します。

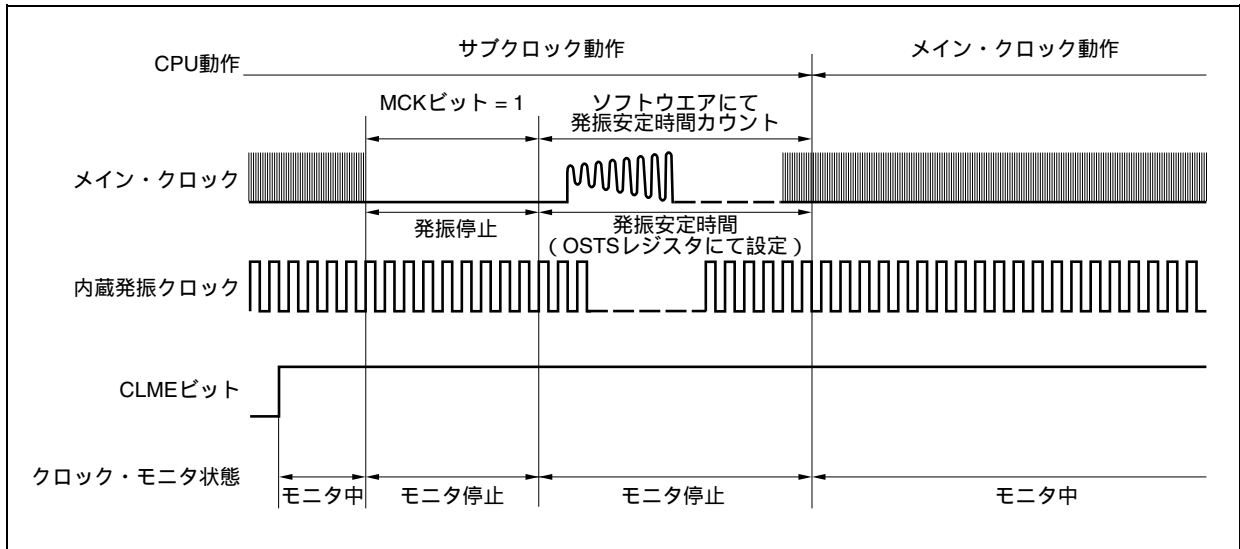
図25 - 2 STOPモード中およびSTOPモード解除後の動作



(c) メイン・クロック停止時 (任意) の動作

サブクロック動作時 (PCC.CLSビット = 1) , PCC.MCKビット = 1に設定することによりメイン・クロックを停止した場合、メイン・クロック動作 (CLSビット = 0) に移行するまでモニタ動作を停止し、メイン・クロック動作移行後に自動的にモニタ動作を開始します。

図25 - 3 メイン・クロック停止時 (任意) の動作



(d) CPUが内蔵発振クロックで動作時 (CCLS.CCLSFBビット = 1) の動作

CCLSFBビット = 1のとき、CLMEビット = 1に設定してもモニタ動作を開始しません。

## 25.4 内蔵発振クロック動作モード

### 25.4.1 設定および動作状態

リセット解除あるいはSTOPモード解除時の発振安定時間確保期間（OSTSレジスタの設定によるカウンタのオーバーフロー）にウォッチドッグ・タイマ2がオーバーフローすると、内蔵発振クロック動作モードに移行します。

詳細は、**図23-1 状態遷移図**を参照してください。

メイン・クロック発振（fx）の停止（異常）検出は次のときに行われます。

- ・通常動作時：内蔵発振クロックによるメイン・クロック監視（クロック・モニタ）
- ・発振安定時間確保期間：WDT2オーバーフロー

内蔵発振クロック動作モード時の動作状態を表25-3に示します。

表25-2 OSTSレジスタとウォッチドッグ・タイマ2のオーバーフロー時間

		オーバーフロー時間	
OSTSレジスタの設定によるカウンタのオーバーフロー時間	リセット解除時	オプション <sup>注</sup> ： $2^{13}/f_x$	0.819 ms@10 MHz, 1.638 ms@5 MHz
		オプション <sup>注</sup> ： $2^{15}/f_x$	3.277 ms@10 MHz, 6.554 ms@5 MHz
	割り込みによるSTOPモード解除時 (OSTS = $2^{13}/f_x - 2^{21}/f_x$ )		0.819 ms@10 MHz, 1.638 ms@5 MHz (MIN.) 209.7 ms@10 MHz, 419.4 ms@5 MHz (MAX.)
ウォッチドッグ・タイマ2のオーバーフロー時間	リセット解除時 ( $2^{19}/f_R$ )	1092 ms ~ 4369 ms	
	割り込みによるSTOPモード解除時 (WDTM2 = $2^{12}/f_R - 2^{19}/f_R$ )	8.5 ms ~ 34.1 ms (MIN.) 1092 ms ~ 4369 ms (MAX.)	

注 オプション・バイトの設定により発振安定時間を変更できます。詳細は**第29章 オプション・バイト**を参照してください。

- 注意1. ウォッチドッグ・タイマ2オーバーフロー時間 > 発振安定時間時間（OSTSレジスタ設定）となるように設定してください。ウォッチドッグ・タイマ2オーバーフロー時間 < 発振安定時間時間（OSTSレジスタ設定）とした場合、割り込みによりSTOPモードを解除するとメイン・クロック発振が正常に動作するにもかかわらず発振停止（異常）と判断され、内蔵発振クロック動作モードに移行してしまいます。
2. 内蔵発振クロック動作モード移行時、CPU動作開始後、内蔵発振クロック（f<sub>R</sub>）の1024クロック以内にWDTM2レジスタ、WDTEレジスタを書き換えしないでください。

### 25.4.2 内蔵発振クロック動作モードの解除

内蔵発振クロック動作モードを解除するには、リセット入力してください。

リセット解除後の発振安定時間確保中に、ウォッチドッグ・タイマ2がオーバーフローする前にOSTSレジスタがオーバーフローすると、メイン・クロック発振（fx）が安定したと判断し、通常動作モードに移行します。

詳細は、**図23-1 状態遷移図**を参照してください。

図25 - 4 クロック・モニタによるリセット・タイミング

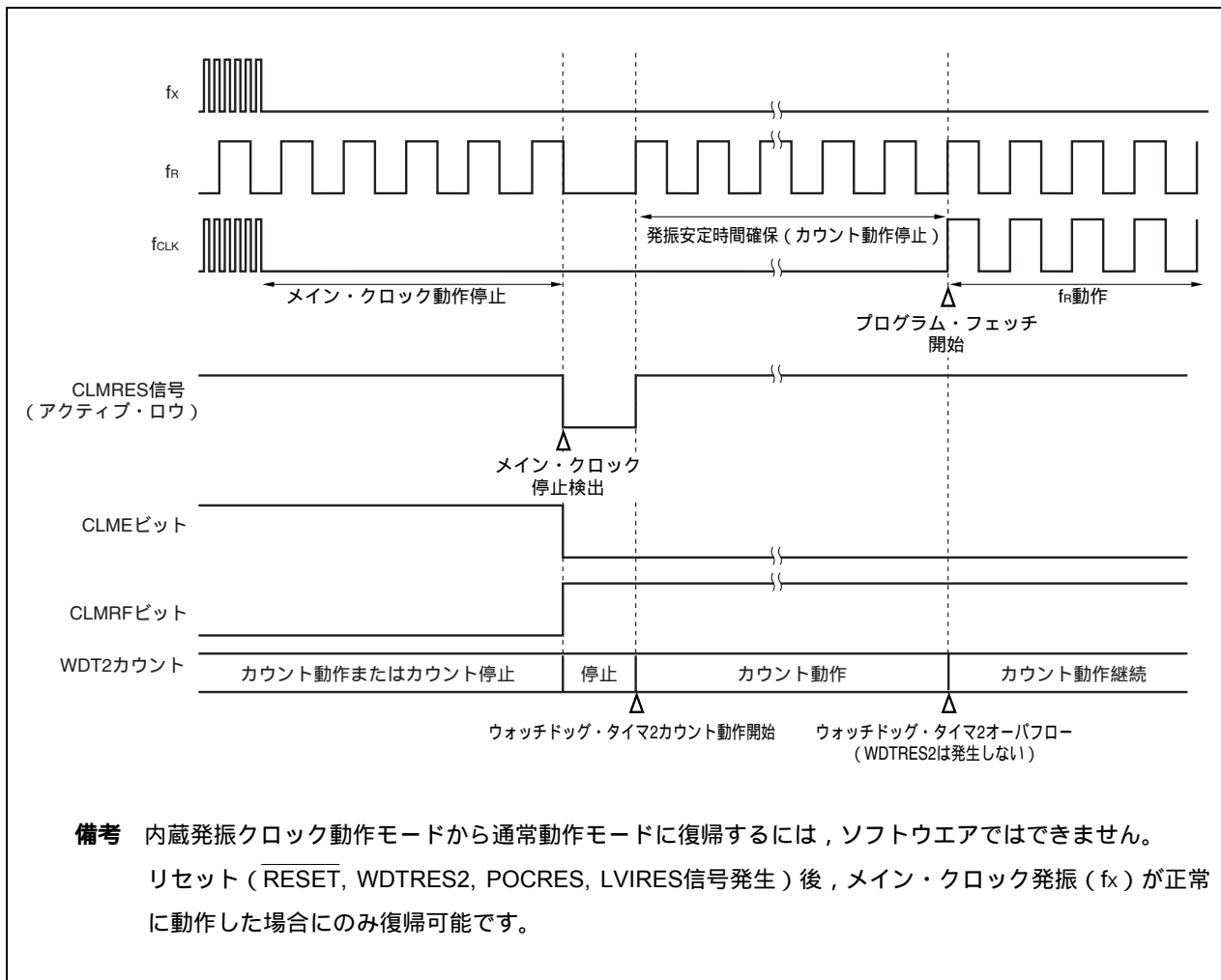


表25 - 3 内蔵発振クロック動作モード時の動作状態

内蔵発振クロック動作 モードの設定		動作状態	
		サブクロックがない場合	サブクロックがある場合
項目			
割り込みコントローラ		動作可能	
16ビット・タイマ (TMP0)		動作停止	
16ビット・タイマ (TM00-TM05)		動作停止	TM00, TM02-TM05 : 動作停止 TM01 : カウント・クロックにINTWTを選択し, WTのカウント・クロックにf <sub>XT</sub> を選択時に動作可能
8ビット・タイマ (TM50, TM51)		カウント・クロックをT15m選択時のみ動作可能	カウント・クロックをT15m選択時, またはカウント・クロックにINTTM010を選択し, TM01を内蔵発振クロック動作モードの動作可能条件に設定時に動作可能
タイマH (TMH0)		動作停止	
タイマH (TMH1)		カウント・クロックにf <sub>R</sub> /2048を選択時に動作可能	
時計用タイマ		動作停止	カウント・クロックにf <sub>XT</sub> を選択時に動作可能
ウォッチドッグ・タイマ1		動作停止	
ウォッチドッグ・タイマ2		カウント・クロックにf <sub>R</sub> /8を選択時に動作可能	動作可能
シリアル・インタフェース	CSI00-CSI02	動作クロックにSCK0n入力クロックを選択時に動作可能	
	CSIA0-CSIA1	動作停止	
	I <sup>2</sup> C0 <sup>注</sup> , I <sup>2</sup> C1 <sup>注</sup>	動作停止	
	UART0	カウント・クロックにASCK0を選択時に動作可能	
	UART1, UART2	動作停止	
キー割り込み機能		動作可能	
A/Dコンバータ		動作停止	
D/Aコンバータ		動作可能	
リアルタイム出力		リアルタイム出力トリガとしてINTTM5mを選択し, TM5mを内蔵発振クロック動作モードの動作可能条件に設定時に動作可能	
DMA機能		動作可能	
クロック・モニタ		動作停止	
パワーオン・クリア		動作可能	
低電圧検出回路		動作可能	
レギュレータ		動作可能	
ポート機能		動作可能	
外部バス・インタフェース		動作可能	

注 μ PD70F3316Y, 70F3318Yのみ

備考 m = 0, 1

n = 0-2

## 25.5 内蔵発振HALTモード

### 25.5.1 設定および動作状態

内蔵発振クロック動作モード時、専用命令（HALT命令）を実行することにより、内蔵発振HALTモードに移行します。

内蔵発振HALTモードに設定すると、内蔵発振器の動作は継続しますが、CPUへのクロック供給だけが停止し、その他の内蔵周辺機能へのクロック供給は継続します。

これによりプログラムの実行が停止し、内蔵RAMの内容は内蔵発振HALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。ただし、メイン・クロック発振回路（fx）が停止していますが、サブクロック（fxT）や内蔵発振クロック（fR）、あるいは外部クロックで動作可能な内蔵周辺機能は、動作を継続します。

表25 - 5に内蔵発振HALTモード時の動作状態を示します。

- 注1. HALT命令のあとには、NOP命令を5命令以上挿入してください。
2. マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、内蔵発振HALTモードに移行するが、保留されている割り込み要求により内蔵発振HALTモードはすぐに解除されます。

### 25.5.2 内蔵発振HALTモードの解除

割り込み要求信号による内蔵発振HALTモードの解除により、内蔵発振クロック動作モードに移行します。また、リセットによる内蔵発振HALTモードの解除により、メイン・クロック発振（fx）が正常に動作した場合、通常動作モードに移行します。

#### (1) ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号

ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号が発生すると、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内で内蔵発振HALTモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生すると内蔵発振HALTモードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクブル割り込み要求信号を含む）が発生すると、内蔵発振HALTモードの解除とともにこの割り込み要求信号を受け付けます。

表25 - 4 割り込み要求信号による内蔵発振HALTモードの解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスクブル割り込み要求信号	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行



(2) リセットによる解除

通常のリセット動作と同じです。

表25 - 5 内蔵発振HALTモード時の動作状態

項目	内蔵発振HALTモードの設定		動作状態	
			サブクロックがない場合	サブクロックがある場合
CPU			動作停止	
メイン・クロック発振回路			動作停止	
サブクロック発振回路			-	動作継続
割り込みコントローラ			動作可能	
16ビット・タイマ (TMP0)			動作停止	
16ビット・タイマ (TM00-TM05)			動作停止	TM00, TM02-TM05 : 動作停止 TM01 : カウント・クロックにINTWTを選択し, WTのカウント・クロックにfXTを選択時に動作可能
8ビット・タイマ (TM50, TM51)			カウント・クロックをT15m選択時だけ動作可能	カウント・クロックをT15m選択時, またはカウント・クロックにINTTM10を選択し, TM01を内蔵発振HALTモードの動作可能条件に設定時に動作可能
タイマH (TMH0)			動作停止	
タイマH (TMH1)			カウント・クロックにfr/2048を選択時に動作可能	
時計用タイマ			動作停止	カウント・クロックにfXTを選択時に動作可能
ウォッチドッグ・タイマ1			動作停止	
ウォッチドッグ・タイマ2			カウント・クロックにfr/8選択時に動作可能	動作可能
シリアル・インタフェース	CSI00-CSI02		動作クロックにSCK0n入力クロックを選択時に動作可能	
	CSIA0, CSIA1		動作停止	
	I <sup>2</sup> C0 <sup>注</sup> , I <sup>2</sup> C1 <sup>注</sup>		動作停止	
	UART0		カウント・クロックにASCK0を選択時に動作可能	
	UART1, UART2		動作停止	
キー割り込み機能			動作可能	
A/Dコンバータ			動作停止	
D/Aコンバータ			動作可能。ただし, CPUが停止しているため, DACSmレジスタを更新できません。	
リアルタイム出力			リアルタイム出力トリガとしてINTTM5mを選択し, TM5mを内蔵発振HALTモードの動作可能条件に設定時に動作可能	
DMA機能			動作可能	
クロック・モニタ			動作停止	
パワーオン・クリア			動作可能	
低電圧検出回路			動作可能	
レギュレータ			動作継続	
ポート機能			内蔵発振HALTモード設定前の状態を保持	
外部バス・インタフェース			2.2 端子状態参照	

注 μ PD70F3316Y, 70F3318Yのみ

## 第26章 低電圧検出回路

### 26.1 機能

低電圧検出 (LVI) 回路には次のような機能があります。

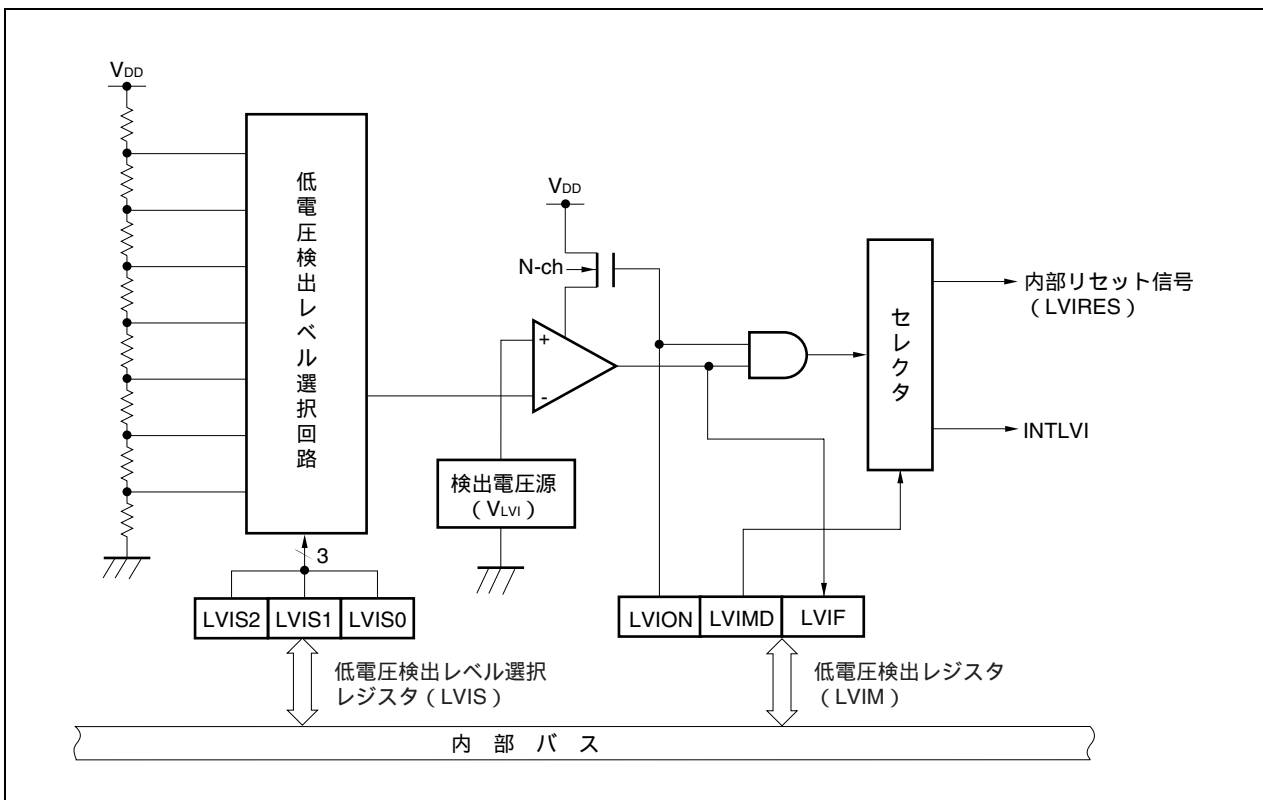
- ・電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し  $V_{DD} < V_{LVI}$  になったとき、割り込み要求信号 (INTLVI) またはリセット信号 (LVIRES) を発生します。
- ・電源電圧の検出レベル (7段階) をソフトウェアにて変更できます。
- ・割り込み / リセットをソフトウェアにて選択できます。
- ・STOPモード時において動作可能です。

低電圧検出回路をリセットとして使用した場合に、LVIRES信号が発生するとRESF.LVIRFビットがセット (1) されます。RESFレジスタについての詳細は24.3 (1) リセット要因フラグ・レジスタ (RESF) を参照してください。

### 26.2 構成

低電圧検出回路のブロック図を次に示します。

図26 - 1 低電圧検出回路のブロック図



## 26.3 レジスタ

低電圧制御回路は次の2つのレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)

### (1) 低電圧検出レジスタ (LVIM)

LVIMレジスタは、低電圧検出回路の動作モードを設定する8ビット・レジスタです。

LVIMレジスタは特定レジスタです。特定シーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。ただし、LVION, LVIMDビット = 11に設定した場合、リセット信号 (LVIRES) が発生するまでLVIMレジスタの書き換えはできません。

LVIMレジスタは、低電圧検出回路以外のリセット要因でリセットされ、00Hになります。低電圧検出回路によるリセット時は、値を保持します。

リセット時：00H<sup>注1</sup> R/W アドレス：FFFFF890H

	⑦	6	5	4	3	2	①	⑧
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF <sup>注2</sup>

LVION	低電圧検出動作の許可 / 禁止
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧 (V <sub>DD</sub> ) < 検出電圧時に割り込み要求信号 (INTLVI) を発生
1	電源電圧 (V <sub>DD</sub> ) < 検出電圧時に内部リセット信号 (LVIRES) を発生

LVIF <sup>注2</sup>	低電圧検出フラグ
0	電源電圧 (V <sub>DD</sub> ) > 検出電圧 (V <sub>LVI</sub> ) , または動作禁止時
1	電源電圧 (V <sub>DD</sub> ) < 検出電圧 (V <sub>LVI</sub> )

注1. 低電圧検出回路によるリセット時は、値を保持します。

2. LVIFビットはリード・オンリーです。

**注意** ビット6-2は必ず0を設定してください。

**備考** LVIFビットの値は、LVIONビット = 1かつLVIMDビット = 0の場合に、割り込み要求信号 (INTLVI) として出力されます。

(2) 低電圧検出レベル選択レジスタ (LVIS)

LVISレジスタは、低電圧検出レベルを選択する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。ただし、LVIM.LVION, LVIMDビット = 11に設定した場合、リセット信号 (LVIRES) が発生するまでLVISレジスタの書き換えはできません。

LVISレジスタは、低電圧検出回路以外のリセット要因でリセットされ、00Hになります。低電圧検出回路によるリセット時は、値を保持します。

リセット時：00H<sup>注</sup> R/W アドレス：FFFFFF891H

	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	0	LVIS2	LVIS1	LVIS0

LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	4.3 V ± 0.2 V
0	0	1	4.1 V ± 0.2 V
0	1	0	3.9 V ± 0.2 V
0	1	1	3.7 V ± 0.2 V
1	0	0	3.5 V ± 0.2 V
1	0	1	3.3 V ± 0.15 V
1	1	0	3.1 V ± 0.15 V
上記以外			設定禁止

**注** 低電圧検出回路によるリセット時は、値を保持します。

**注意** ビット7-3は必ず0を設定してください。

## 26.4 動作

低電圧検出回路は、次の2種類の動作モードがあります。

- ・リセット動作 (LVIRES) : 電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し、 $V_{DD} < V_{LVI}$  になるとリセット信号 (LVIRES) を発生
- ・割り込み動作 (INTLVI) : 電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し、 $V_{DD} < V_{LVI}$  になると割り込み要求信号 (INTLVI) を発生

### (1) リセット動作 (LVIRES)

<動作開始時>

INTLVI割り込みをマスク (LVIMKビット = 1)

LVIS.LVIS2-LVIS0ビットで検出電圧 ( $V_{LVI}$ ) を設定する。

LVIM.LVIONビット = 1 (低電圧検出回路動作許可) に設定

0.2 ms以上、ソフトウェアでウエイト

LVIM.LVIFビット = 0 (電源電圧 ( $V_{DD}$ ) > 検出電圧 ( $V_{LVI}$ )) であることを確認

LVIFビット = 1の場合は、LVIFビット = 0になるまでソフトウェアでウエイト

LVIM.LVIMDビット = 1 (電源電圧 ( $V_{DD}$ ) < 検出電圧 ( $V_{LVI}$ ) 時に内部リセット信号 (LVIRES) 発生) に設定。

**注意** LVIMKビット = 0のまま設定すると、の時点で割り込み (INTLVI) が発生する場合があります。

<動作停止時>

リセット信号 (LVIRES) 以外のリセット信号が発生するまで、低電圧検出動作は停止できません。

(2) 割り込み動作 (INTLVI)

<動作開始時>

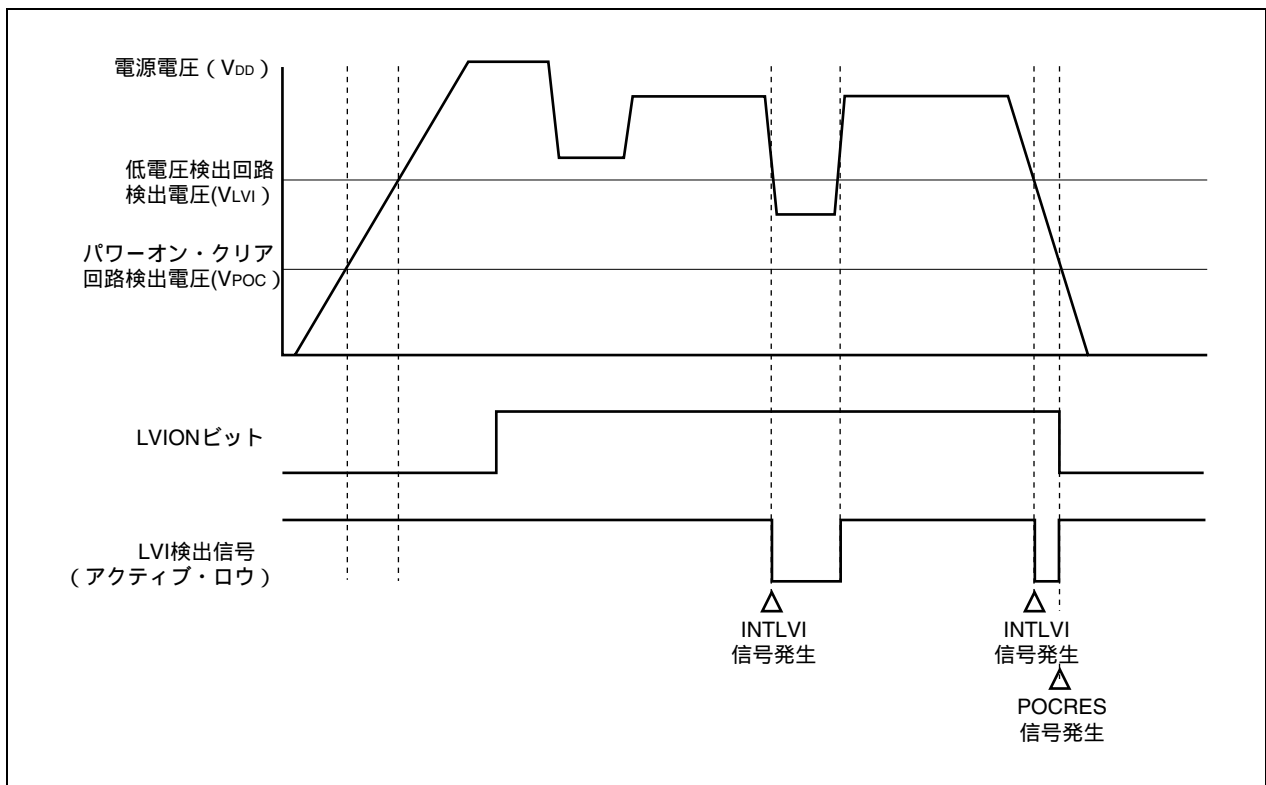
- INTLVI割り込みをマスク (LVIMKビット = 1)
- LVIS.LVIS2-LVIS0ビットで検出電圧 ( $V_{LVI}$ ) を設定
- LVIM.LVIONビット = 1 (低電圧検出回路動作許可) に設定
- 0.2 ms以上, ソフトウェアでウエイト
- LVIM.LVIFビット = 0 (電源電圧 ( $V_{DD}$ ) > 検出電圧 ( $V_{LVI}$ )) であることを確認
- LVIFビット = 1の場合は, LVIFビット = 0になるまでソフトウェアでウエイト
- INTLVI割り込み要求フラグ (LVIIIFビット) をクリア (0)
- INTLVI割り込みのマスク状態を解除 (LVIMKビット = 0)

**注意** のLVIMKビット = 0のまま設定すると, の時点で割り込み (INTLVI) が発生する場合があります。

<動作停止時>

LVIONビット = 0 に設定。

図26 - 2 低電圧検出回路によるINTLVI割り込み発生タイミング



## 第27章 パワーオン・クリア回路

### 27.1 機 能

パワーオン・クリア (POC) 回路には次のような機能があります。

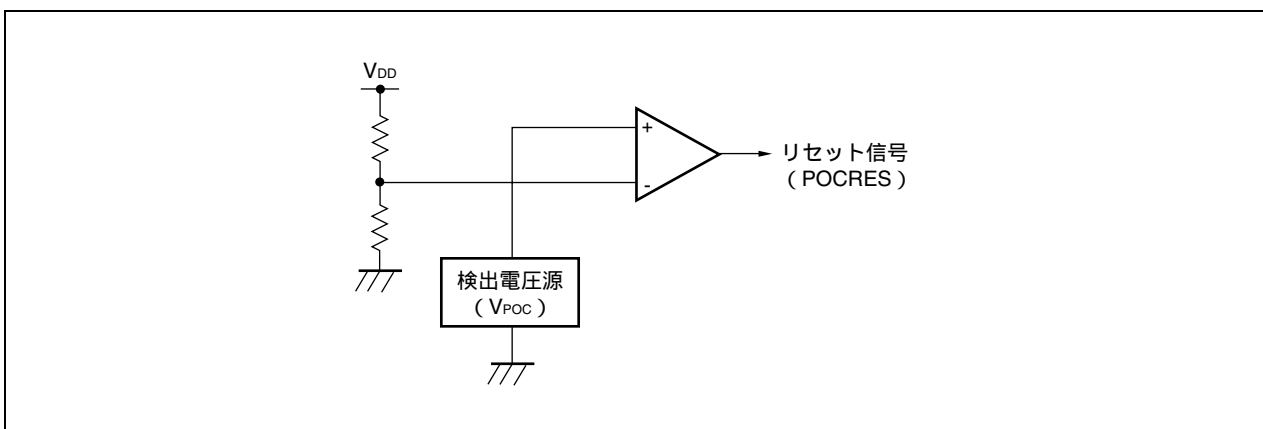
- ・電源投入時にリセット信号 (POCRES) を発生します。
- ・電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{POC}$ ) を比較し  $V_{DD} < V_{POC}$  になったとき、リセット信号 (POCRES) を発生します。(検出電圧 ( $V_{POC}$ ) :  $2.6\text{ V} \pm 0.1\text{ V}$ )

**注意** POC回路でPOCRES信号が発生した場合、RESFレジスタがクリア (00H) されます。

### 27.2 構 成

パワーオン・クリア回路のブロック図を次に示します。

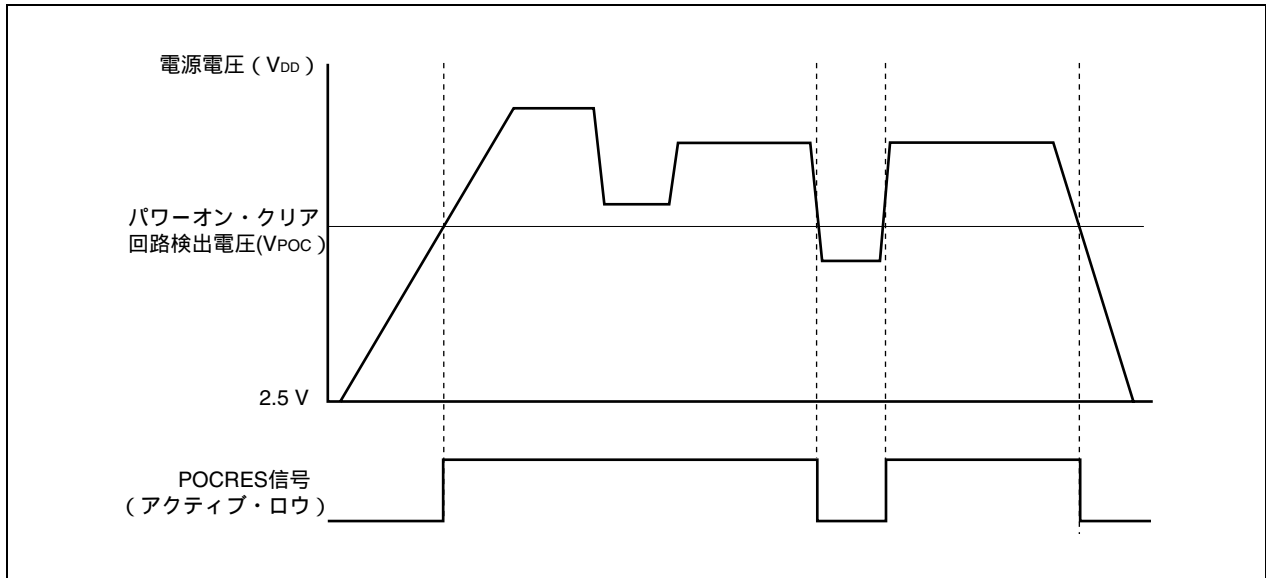
図27 - 1 パワーオン・クリア回路のブロック図



## 27.3 動作

パワーオン・クリア回路では、電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{POC}$ ) を比較し、 $V_{DD} < V_{POC}$  になったとき、リセット信号 (POCRES) を発生します。

図27 - 2 パワーオン・クリア回路の動作





## 第28章 レギュレータ

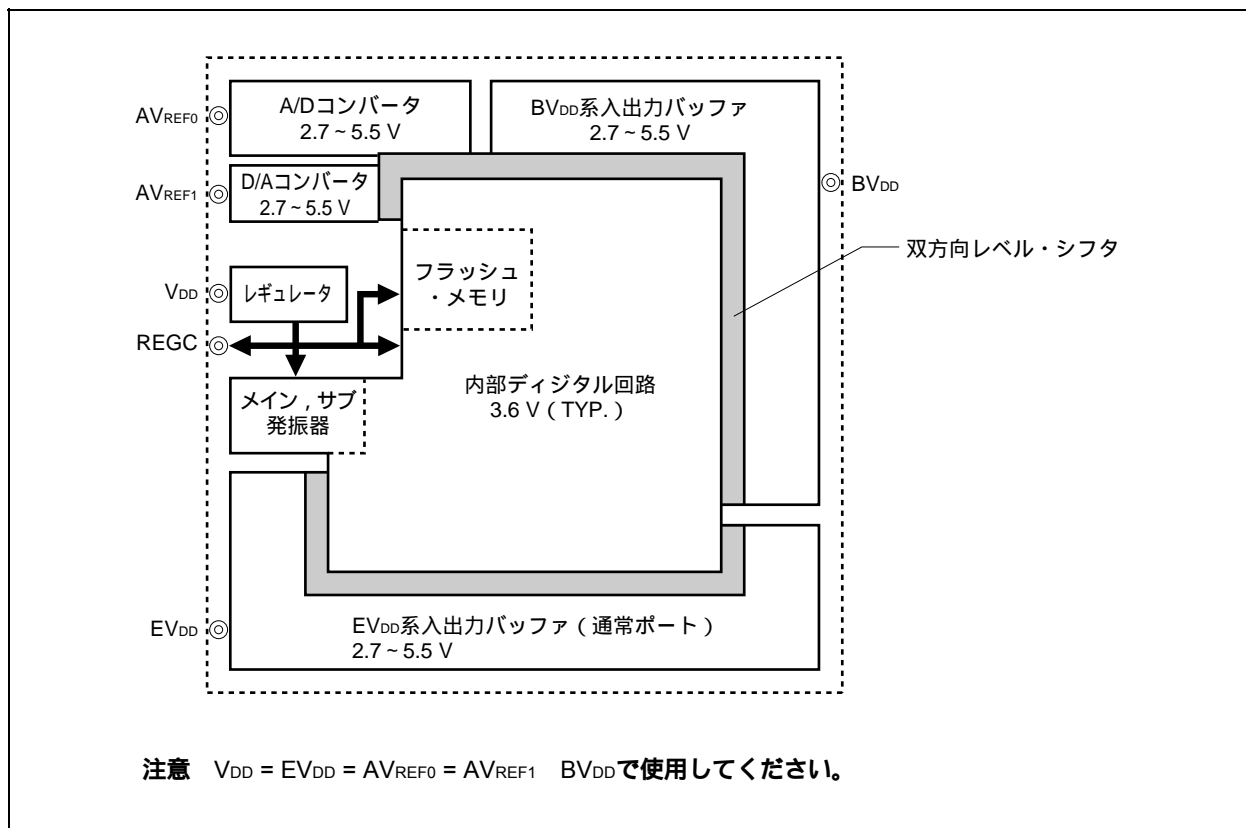
### 28.1 概要

この製品では、低消費電力/低ノイズを実現するために、レギュレータを内蔵しています。

このレギュレータは、発振器ブロックと内部ロジック回路（A/Dコンバータ，D/Aコンバータ，出力バッファは除く）に、 $V_{DD}$ 電源電圧を降圧した電圧を供給します。レギュレータ出力電圧は、3.6 V（TYP.）に設定しています。

**注意** レギュレータ使用時（ $REGC = 10 \mu F$ ）は、メイン・クロック発振回路およびサブクロック発振回路に外部クロックを入力できません。

図28 - 1 レギュレータ



### 28.2 動作

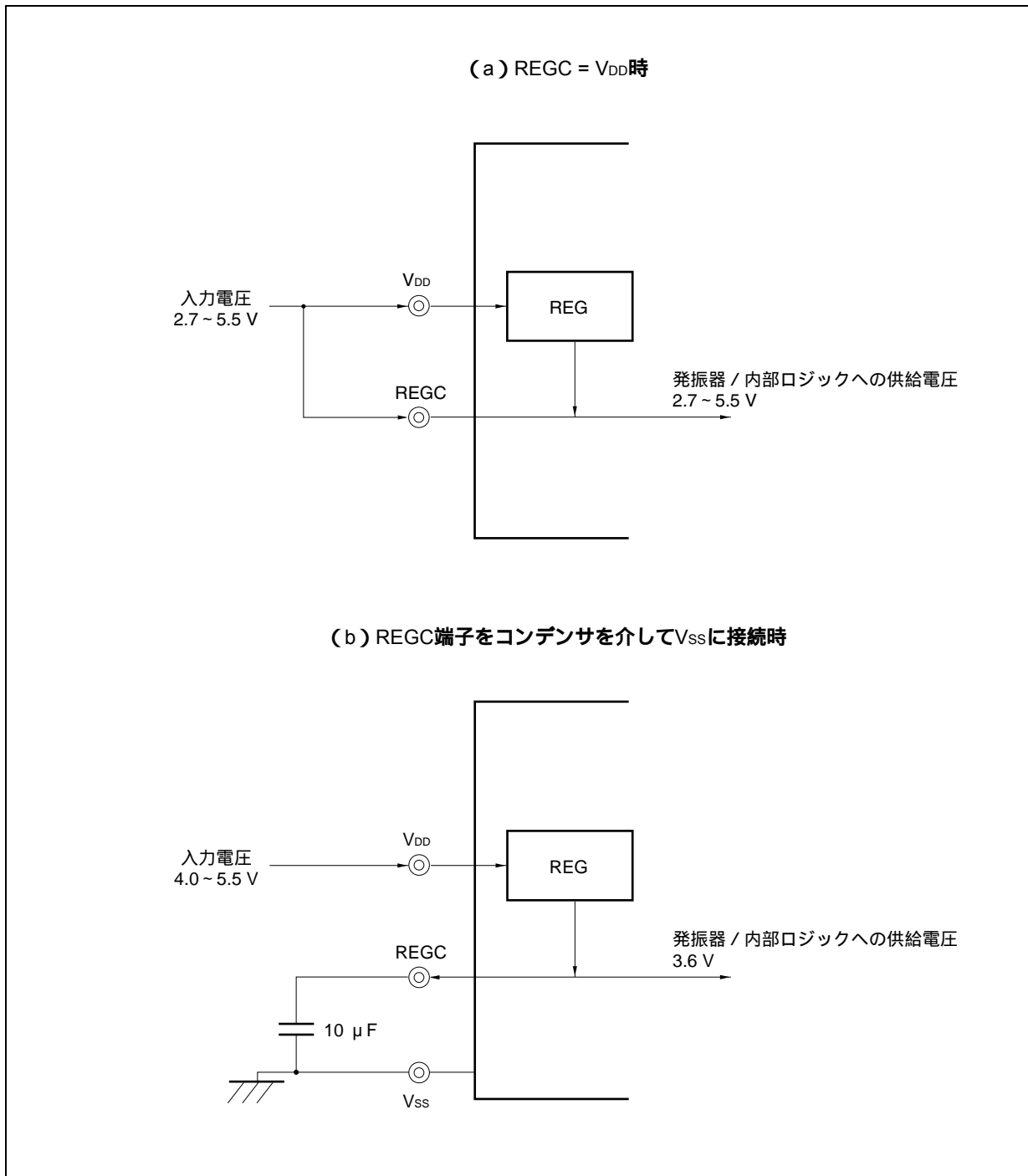
この製品のレギュレータは、次のモードのとき停止し、発振器への供給電圧は $V_{DD}$ になります。（ $REGC = 10 \mu F$ 時のみ）

- ・リセット時（WDTRES1，発振安定時間中除く）
- ・STOPモード
- ・サブIDLEモード

レギュレータを使用する場合、レギュレータの出力を安定させるためにREGC端子にコンデンサ（10  $\mu$ F）を接続してください。

次に端子の接続の方法を示します。

図28 - 2 REGC端子の接続



## 第29章 オプション・バイト

オプション・バイトは、内蔵フラッシュ・メモリの000007AH番地（内蔵ROM領域）に8ビット・データとして格納しています。

アドレス：000007AH

7	6	5	4	3	2	1	0
-	-	-	OSTS0	-	-	-	RSTP

OSTS0 <sup>注1</sup>	リセット解除後のメイン・クロック発振の発振安定時間短縮オプション
0	発振安定時間を短縮する（OSTSレジスタの初期値 = 00H）
1	発振安定時間を短縮しない（OSTSレジスタの初期値 = 01H）

RSTP <sup>注2</sup>	内蔵発振器のソフトウェアによる停止許可/禁止オプション
0	ソフトウェアによる停止を許可
1	ソフトウェアによる停止を禁止

- 注1. オプションの詳細は29. 2 **リセット解除後のメイン・クロック発振の発振安定時間短縮**を参照してください。
2. オプションの詳細は29. 1 **内蔵発振器のソフトウェアによる停止許可/禁止**を参照してください。

## 29.1 内蔵発振器のソフトウェアによる停止許可 / 禁止

RSTP	内蔵発振器のソフトウェアによる停止許可 / 禁止
0	ソフトウェアにより停止可能
1	停止不可

内蔵発振器のソフトウェアによる停止許可 / 禁止オプションを設定することで、次のように動作が異なります。

表29 - 1 内蔵発振器のソフトウェアによる停止許可 / 禁止オプション

		RSTP = 0 (停止可能)	RSTP = 1 (停止不可)
内蔵発振器		内蔵発振器：停止可能 RCM.RSTOPビットの設定可能	内蔵発振器：停止不可 RSTOPビットの設定無効
WDT2	カウント動作	WDTM2.WDCS24ビットにより動作停止可能	動作停止不可
	入力クロック	WDTM2レジスタにより、次のクロックを選択可能 ・内蔵発振クロック： $f_r/8$ ・サブクロック： $f_{xt}$	内蔵発振クロック ( $f_r/8$ ) に固定 (オーバーフロー時間は設定可能)
	動作モード	WDTM2レジスタにより、次のモードを選択可能 ・NMI割り込みモード (INTWDT2) ・リセット・モード (WDTRES2)	リセット・モード (WDTRES2) 固定

## 29.2 リセット解除後のメイン・クロック発振の発振安定時間短縮

OSTS0	リセット解除後のメイン・クロック発振の発振安定時間短縮オプション		
		(OSTSレジスタの初期値)	発振安定時間
0	発振安定時間を短縮する	00H	$2^{13}/f_x$
1	発振安定時間を短縮しない	01H	$2^{15}/f_x$

## 第30章 フラッシュ・メモリ

V850ES/KJ1+はすべてフラッシュ・メモリ内蔵品です。

**注意** フラッシュ・メモリの書き換えに関するスペックについては、第31章 電気的特性を参照してください。

- ・ $\mu$  PD70F3316, 70F3316Y : 128 Kバイトのフラッシュ・メモリ内蔵
- ・ $\mu$  PD70F3318, 70F3318Y : 256 Kバイトのフラッシュ・メモリ内蔵

フラッシュ・メモリ内蔵品を使用した開発用途および量産用途として、次のようなことが考えられます。

ターゲット・システムにV850ES/KJ1+を半田実装後、ソフトウェアの変更可能  
量産立ち上げ時のデータ調整が容易  
規格ごとにソフトウェアを区別することで少量多品種生産が容易  
在庫管理が容易  
出荷後のソフトウェアのアップデートが容易

### 30.1 特 徴

4バイト/1クロック・アクセス（命令フェッチ時）

容量：128 Kバイト / 256 Kバイト

書き換え電圧：単電源による消去 / 書き込みが可能

書き換え方式

- ・専用フラッシュ・ライタとのシリアル・インタフェースを介しての通信による書き換え（オンボード / オフボード・プログラミング）
- ・ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）

フラッシュ・メモリの書き換え禁止機能をサポート（セキュリティ機能）

ブート・スワップ機能により、セルフ・プログラミングによる全フラッシュ・メモリ領域の安全な書き換えが可能

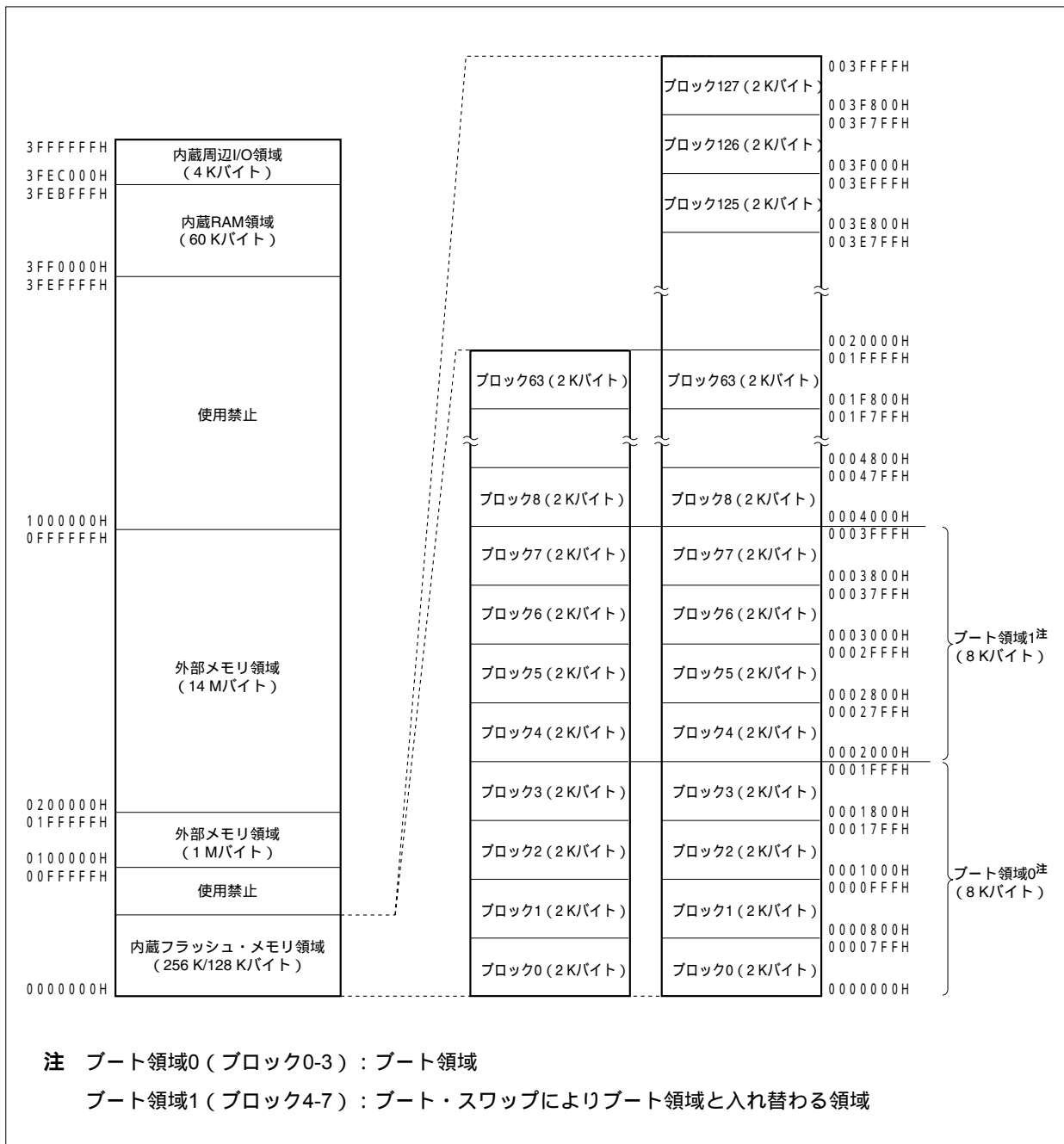
セルフ・プログラミング中の割り込み受け付け可能

## 30.2 メモリ構成

128 K/256 Kバイトの内蔵フラッシュ・メモリの領域は64/128個のブロックに分割されており、各ブロック単位にてプログラム/消去可能となっています。全ブロックの一括消去も可能です。

また、ブート・スワップ機能を用いた場合、ブート領域0のアドレスに配置された物理メモリ（ブロック0-3）と、ブート領域1のアドレスに配置された物理メモリ（ブロック4-7）が入れ替わります。ブート・スワップ機能詳細については、30.5 セルフ・プログラミングによる書き換えを参照してください。

図30-1 フラッシュ・メモリ・マッピング



### 30.3 機能概要

V850ES/KJ1+の内蔵フラッシュ・メモリは、専用フラッシュ・ライターによる書き換え機能により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です（オンボード/オフボード・プログラミング）。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は、ターゲット・システムの製造/出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

表30-1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・ライターを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・ライターと専用プログラム・アダプタ・ボード（FAシリーズ）を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オンボード/オフボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。（セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので、内蔵RAMもしくは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。）	通常動作モード

**備考** FAシリーズは、（株）内藤電誠町田製作所の製品です。

表30 - 2 基本機能一覧

機能	機能概要	サポートの有無 ( : サポート, × : 未サポート)	
		オンボード/オフボード・ プログラミング	セルフ・プログラミング
ブロック消去	指定したブロックのメモリの内容の消去を行います。		
チップ消去	全メモリの内容の一括消去を行います。		×
書き込み	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。		
ベリファイ/チェック・サム	フラッシュ・メモリから読み出したデータと, フラッシュ・ライターから転送されたデータの比較を行います。		× (ユーザ・プログラムにて読み出しは可能)
ブランク・チェック	全メモリの消去状態の確認を行います。		
セキュリティ設定	ブロック消去コマンド/チップ消去コマンド/プログラム・コマンド/リード・コマンドの使用禁止設定, およびブート領域の書き換え禁止設定を行います。		× (設定を許可から禁止にする場合のみ可能)

次にセキュリティ機能の一覧を示します。ブロック消去コマンド禁止/チップ消去コマンド禁止/プログラム・コマンド禁止機能は, 出荷後の初期状態はすべて許可になっており, オンボード/オフボード・プログラミングによる書き換えでのみセキュリティ設定が可能です。各セキュリティ設定に関しては, 同時に組み合わせて使用できます。

表30 - 3 セキュリティ機能一覧

機能	機能概要
ブロック消去コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって, 禁止設定の初期化が可能です。
チップ消去コマンド禁止	全ブロックに対してのブロック消去および, チップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため, すべての禁止設定の初期化ができなくなります。
プログラム・コマンド禁止	全ブロックに対してのプログラム・コマンドとブロック消去コマンドを禁止します。チップ消去コマンドの実行によって, 禁止設定の初期化が可能です。
リード・コマンド禁止	全ブロックに対してのリード・コマンドを禁止します。チップ消去コマンドの実行によって, 禁止設定の初期化が可能です。
ブート領域の書き換え禁止設定	ブロック0から指定した最終ブロックまで, ブート領域を保護することが可能です。ブート領域を保護すると, それ以降保護されたブート領域の書き換え(消去および書き込み)はできません。チップ消去コマンドを実行しても, 禁止設定の初期化はできません。



表30 - 4 セキュリティ設定

機能	各セキュリティ設定時の消去 / 書き込み / 読み出し動作 ( : 実行可能, x : 実行不可, : 未サポート)		セキュリティ設定 注意事項	
	オンボード / オフボード・ プログラミング	セルフ・プログラミング	オンボード / オ フボード・プロ グラミング	セルフ・プログ ラミング
ブロック消去 コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : プログラム・コマンド : リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	設定を許可から 禁止にする場合 のみ可能
チップ消去 コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : x プログラム・コマンド : リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	禁止設定の初期 化が不可能	
プログラム・ コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : 注1 プログラム・コマンド : x リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
リード・ コマンド禁止	ブロック消去コマンド : チップ消去コマンド : プログラム・コマンド : リード・コマンド : x	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
ブート領域の 書き換え禁止	ブロック消去コマンド : 注2 チップ消去コマンド : x プログラム・コマンド : 注2 リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	禁止設定の初期 化が不可能	

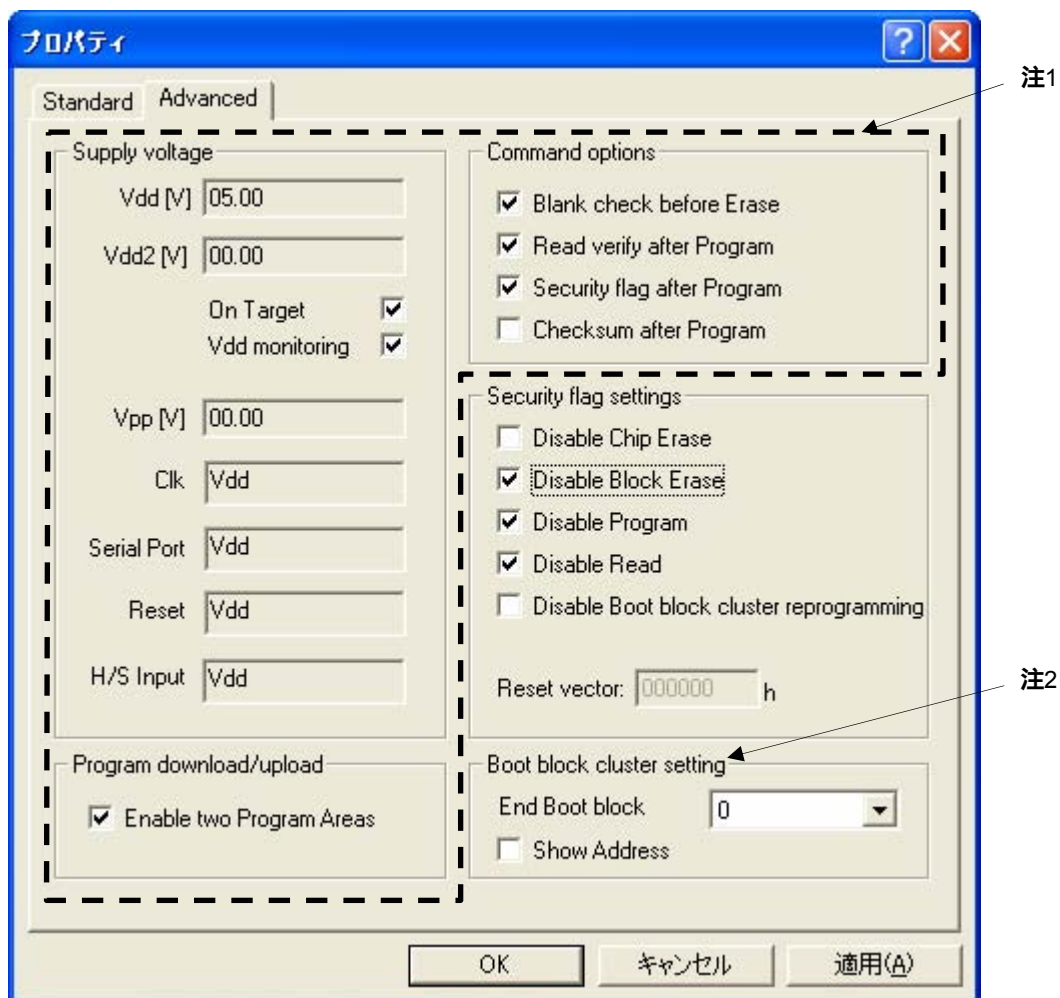
注1. 消去コマンドは無効となるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできません。

2. 書き換えが禁止されたブート領域は無効です。

## (1) PG-FP4でのセキュリティ設定 (Security flag settings)

リード・コマンド禁止 (Disable Read) に設定する場合、セキュリティを高めるために、ブロック消去コマンド禁止 (Disable Block Erase) とプログラム・コマンド禁止 (Disable Program) にすることを推奨します。

さらに、マスクROM製品と同様にプログラムを書き換える必要がない場合は、チップ消去コマンド禁止 (Disable Chip Erase) を追加してください。



注1. 破線内のSupply voltage, Program download/upload, Command optionsに関しては使用条件に応じて設定してください。

- ブート領域 (Boot block cluster setting) の書き換えを禁止する場合は、Security flag settingのDisable Boot block cluster reprogrammingを選択し、書き換えを禁止するブート領域の最終ブロックを選択してください。

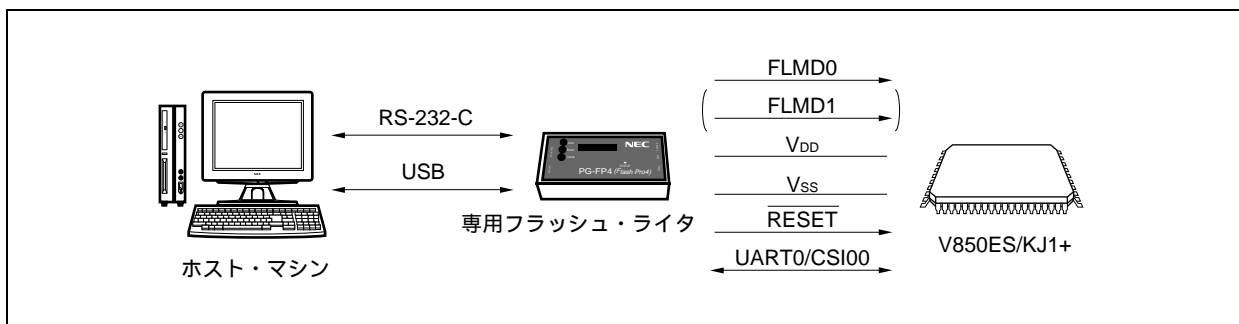
## 30.4 専用フラッシュ・ライターでの書き換え

専用フラッシュ・ライターにて、ターゲット・システム上にV850ES/KJ1+を実装後のフラッシュ・メモリの書き換えが可能です（オンボード・プログラミング）。また、専用プログラム・アダプタ（FAシリーズ）を使用すれば、ターゲット・システムに実装する前でのフラッシュ・メモリの書き換えが可能です（オフボード・プログラミング）。

### 30.4.1 プログラミング環境

V850ES/KJ1+のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図30-2 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・ライターとV850ES/KJ1+とのインターフェースはUART0またはCSI00を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ（FAシリーズ）が必要です。

**備考** FAシリーズは、(株)内藤電誠町田製作所の製品です。

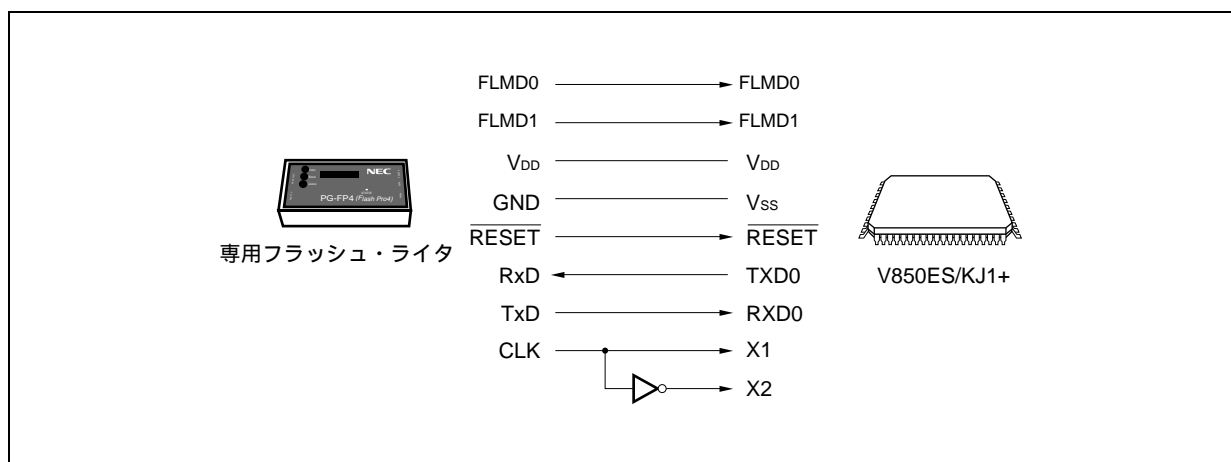
### 30.4.2 通信方式

専用フラッシュ・ライタとV850ES/KJ1+との通信は、V850ES/KJ1+のUART0またはCSI00によるシリアル通信で行います。

#### (1) UART0

転送レート：9600～153600 bps

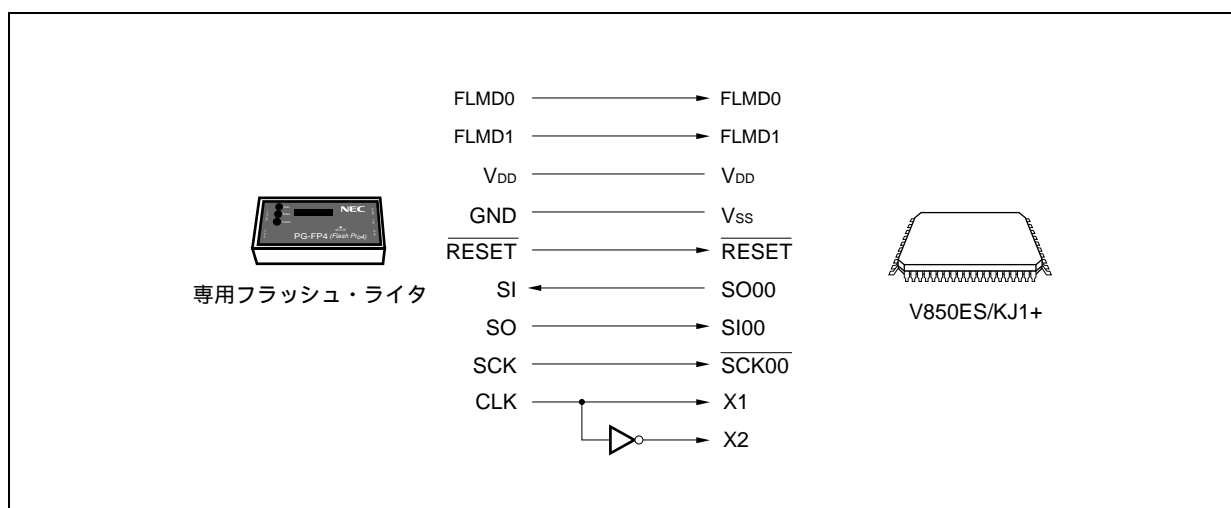
図30 - 3 専用フラッシュ・ライタとの通信 (UART0)



#### (2) CSI00

シリアル・クロック：2.4 kHz～2.5 MHz (MSBファースト)

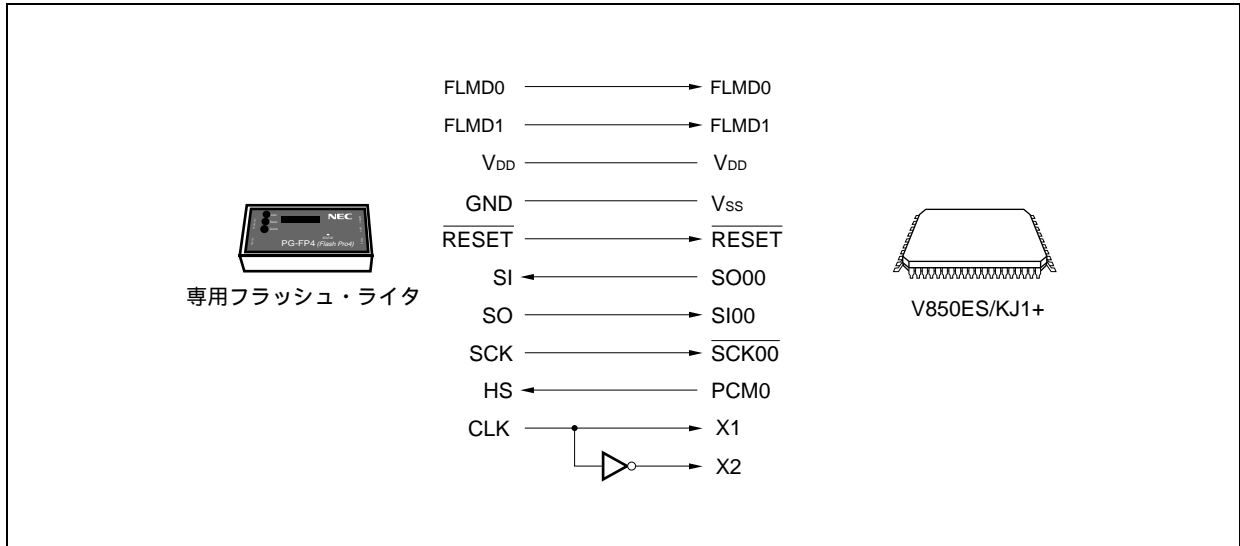
図30 - 4 専用フラッシュ・ライタとの通信 (CSI00)



(3) CSI00 + HS

シリアル・クロック : 2.4 kHz ~ 2.5 MHz (MSBファースト)

図30 - 5 専用フラッシュ・ライタとの通信 (CSI00 + HS)



専用フラッシュ・ライタが転送クロックを出力し、V850ES/KJ1+はスレーブとして動作します。

専用フラッシュ・ライタとしてPG-FP4を使用した場合、PG-FP4はV850ES/KJ1+に対して次の信号を生成します。詳細はPG-FP4 ユーザーズ・マニュアル (U15260J) を参照してください。

表30 - 5 専用フラッシュ・ライタ (PG-FP4) の信号接続一覧

PG-FP4			V850ES/KJ1+	接続時の処置		
信号名	入出力	端子機能	端子名	UARTA0	CSI00	CSI00 + HS
FLMD0	出力	書き込み許可 / 禁止	FLMD0			
FLMD1	出力	書き込み許可 / 禁止	FLMD1	注1	注1	注1
VDD	-	V <sub>DD</sub> 電圧生成 / 電圧監視	V <sub>DD</sub>			
GND	-	グランド	V <sub>SS</sub>			
CLK	出力	V850ES/KJ1+へのクロック出力	X1, X2	x 注2	x 注2	x 注2
RESET	出力	リセット信号	RESET			
SI/RxD	入力	受信信号	SO00, TXD0			
SO/TxD	出力	送信信号	SI00, RXD0			
SCK	出力	転送クロック	SCK00	x		
HS	入力	CSI00 + HS通信のハンドシェイク信号	PCM0	x	x	

注1. 図30 - 6のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

2. PG-FP4からクロック供給を行う場合は接続してください (図30 - 6のように配線するか、ボード上に発振回路を作成してクロックを供給してください。 )。

備考 : 必ず接続してください。

x : 接続の必要はありません。

表30 - 6  $\mu$ PD70F3316, 70F3316Y, 70F3318, 70F3318YとPG-FP4の配線表

フラッシュ・ライタ(PG-FP4)接続端子図			FAボードの	CSI00-HS使用時		CSI00使用時		UART0使用時	
信号名	入出力	端子機能	端子名	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	P41/SO00/ TXD2	23	P41/SO00/ TXD2	23	P30/TXD0/ TO02	25
SO/TxD	出力	送信信号	SO	P40/SI00/ RXD2	22	P40/SI00/ RXD2	22	P31/RXD0/ INTP7/TO03	26
SCK	出力	転送クロック	SCK	P42/SCK00	24	P42/SCK00	24	必要なし	必要なし
CLK	出力	V850ES/KJ1+ へのクロック	X1	X1	12	X1	12	X1	12
			X2	X2 <sup>注</sup>	13	X2 <sup>注</sup>	13	X2 <sup>注</sup>	13
/RESET	出力	リセット信号	/RESET	RESET	14	RESET	14	RESET	14
FLMD0	入力	書き込み電圧	FLMD0	FLMD0	8	FLMD0	8	FLMD0	8
FLMD1	入力	書き込み電圧	FLMD1	PDL5/AD5/ FLMD1	110	PDL5/AD5/ FLMD1	110	PDL5/AD5/ FLMD1	110
HS	入力	CSI0 + HS通信の ハンドシェーク信 号	RESERVE /HS	PCM0/WAIT	85	必要なし	必要なし	必要なし	必要なし
VDD	-	VDD電圧生成 /電圧監視	VDD	VDD	9	VDD	9	VDD	9
				BVDD	104	BVDD	104	BVDD	104
				EVDD	34	EVDD	34	EVDD	34
				AVREF0	1	AVREF0	1	AVREF0	1
				AVREF1	5	AVREF1	5	AVREF1	5
GND	-	グラウンド	GND	VSS	11	VSS	11	VSS	11
				AVSS	2	AVSS	2	AVSS	2
				BVSS	103	BVSS	103	BVSS	103
				EVSS	33	EVSS	33	EVSS	33

注 フラッシュ・ライタのクロック・アウトを使用する際は、ライタのCLKとX1を接続し、X2にはその反転信号を接続してください。

注意1. REGC端子は、必ず次に示すどちらかの方法で接続してください。

- 10  $\mu$ Fのコンデンサを介してGNDに接続
- VDDに直接接続

2. REGC端子を10  $\mu$ Fのコンデンサを介してGNDに接続する場合、フラッシュ・ライタのCLK端子からのクロック供給はできません。

ボード上に発振回路を作成してクロックを供給してください。

図30 - 6 V850ES/KJ1+フラッシュ書き込み用アダプタ (FA-144GJ-UEN-A) の配線例 (1/2)

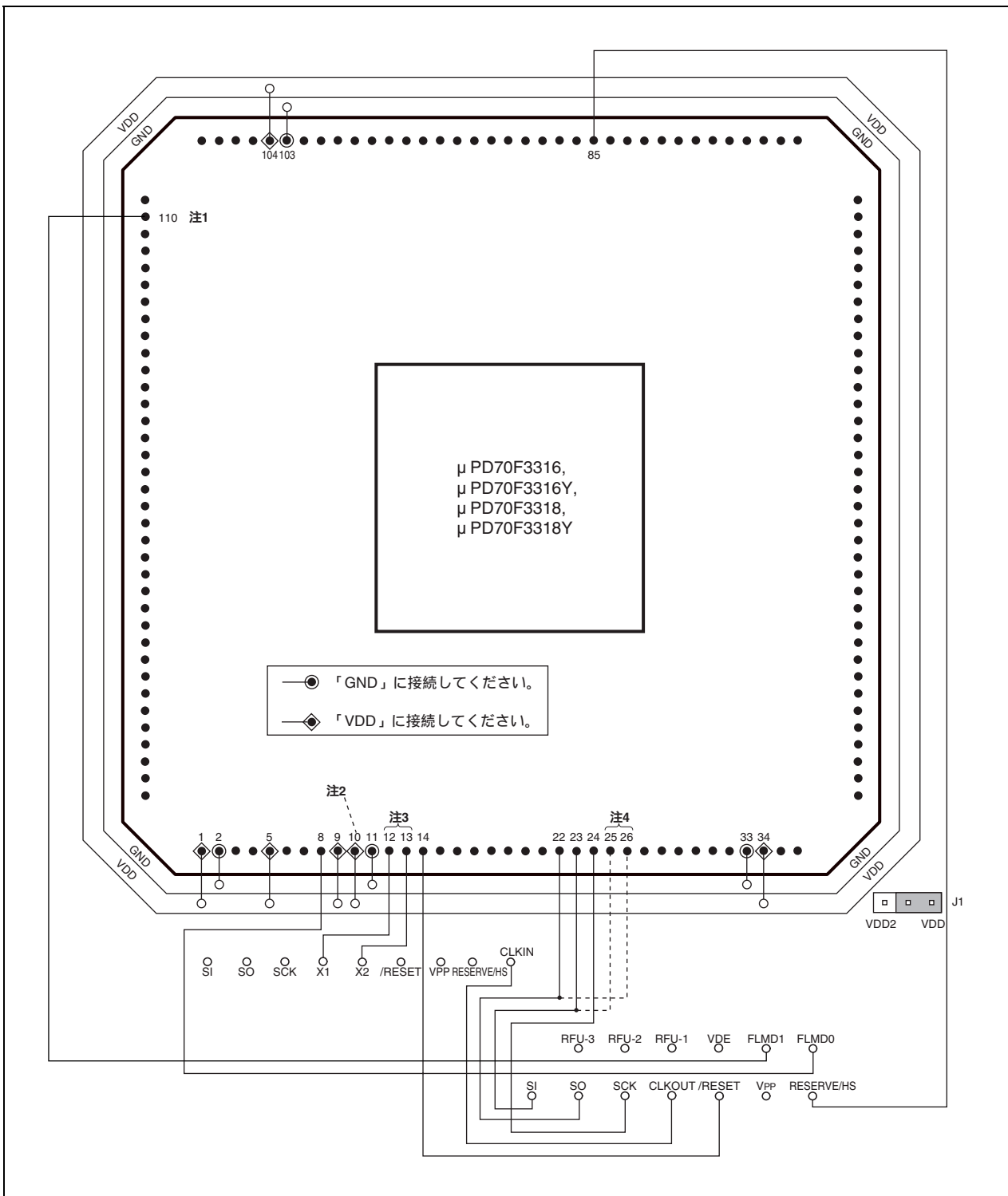


図30 - 6 V850ES/KJ1+フラッシュ書き込み用アダプタ (FA-144GJ-UEN-A) の配線例 (2/2)

注1. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

2. REGC端子は、必ず次に示すどちらかの方法で接続してください。

- ・ 10  $\mu$ Fのコンデンサを介してGNDに接続
- ・ V<sub>DD</sub>に直接接続

REGC端子を10  $\mu$ Fのコンデンサを介してGNDに接続する場合、フラッシュ・ライタのCLK端子からのクロック供給はできません。

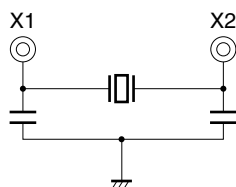
ボード上に発振回路を作成してクロックを供給してください。

3. この図はPG-FP4からクロック供給をする場合の配線例です。

PG-FP4からクロック供給をする場合は必ず次のように設定、接続してください。

- ・ フラッシュ・アダプタ (FA) のJ1をVDD側に設定
- ・ FAのCLKOUTをFAのCLKINに接続
- ・ FAのX1をデバイスのX1に接続
- ・ FAのX2をデバイスのX2に接続

フラッシュ・アダプタ上に発振回路を作成してクロックを供給する場合は上記の設定・接続の必要はありません。次に回路例を示します。



4. UART0使用時の該当端子

**備考 1.** 記述していない端子は、未使用時の端子処理に従って処理してください (2.3 端子の入出力回路タイプと未使用時の処理参照)。

抵抗を介して V<sub>DD</sub> に接続する場合、1 k $\Omega$  ~ 10 k $\Omega$  の抵抗を接続することを推奨します。

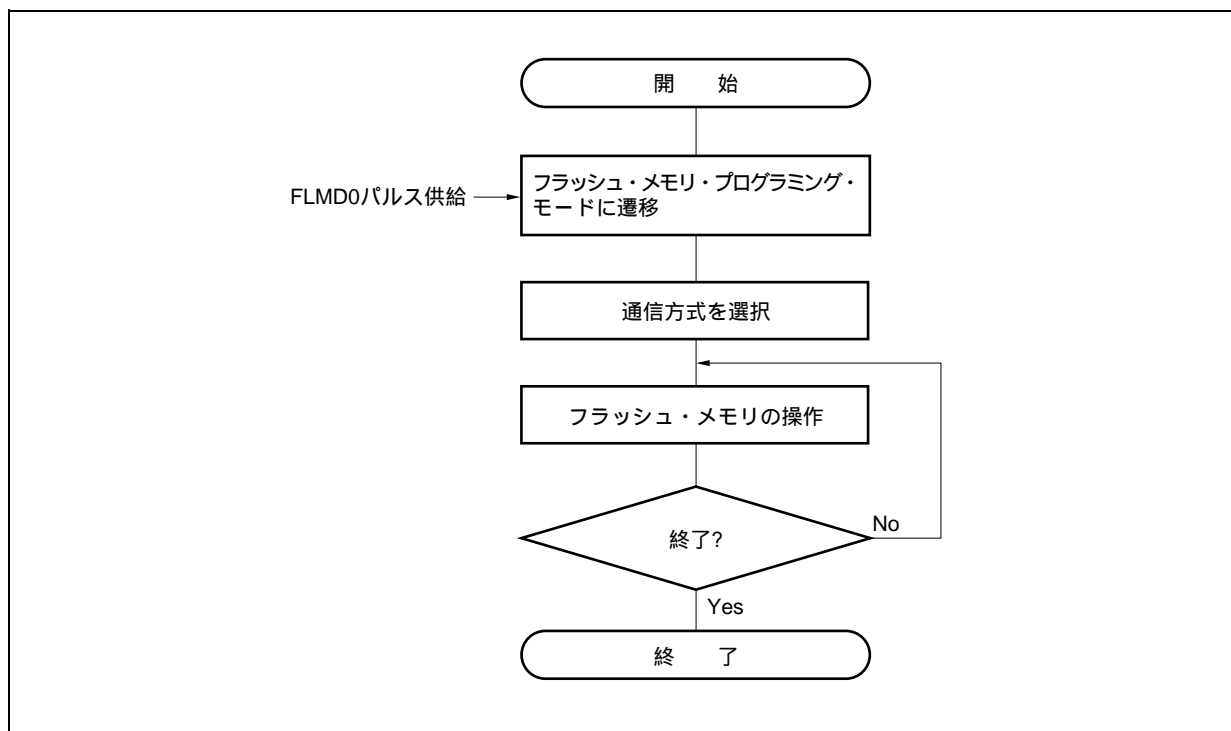
2. このアダプタは 144 ピン・プラスチック LQFP (ファインピッチ) パッケージ用です。
3. この図はハンドシェイク対応 CSI 時の結線です。



## 30.4.3 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

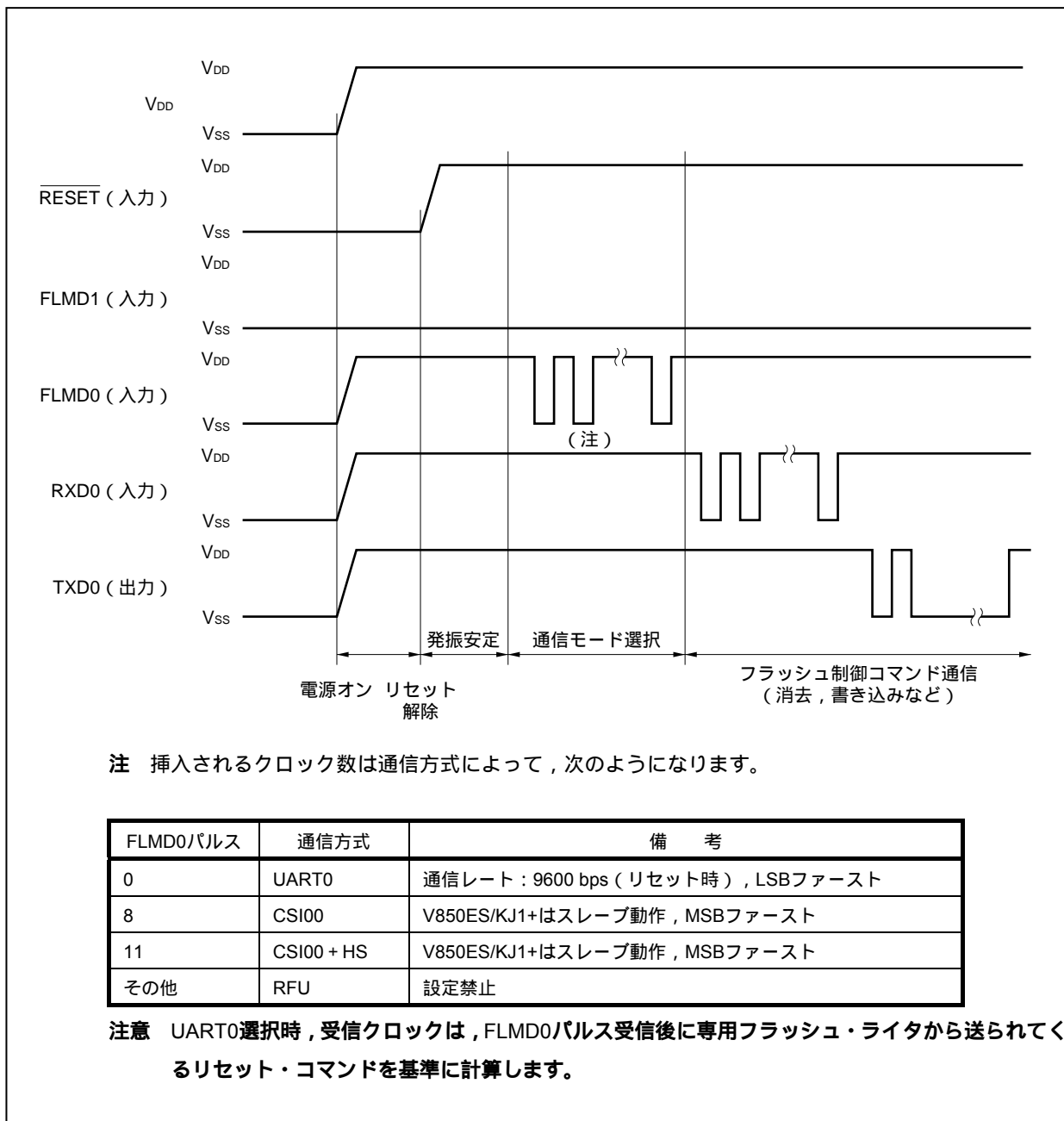
図30-7 フラッシュ・メモリの操作手順



### 30.4.4 通信方式の選択

V850ES/KJ1+では、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大12パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・ライターが生成します。パルス数と通信方式の関係を次に示します。

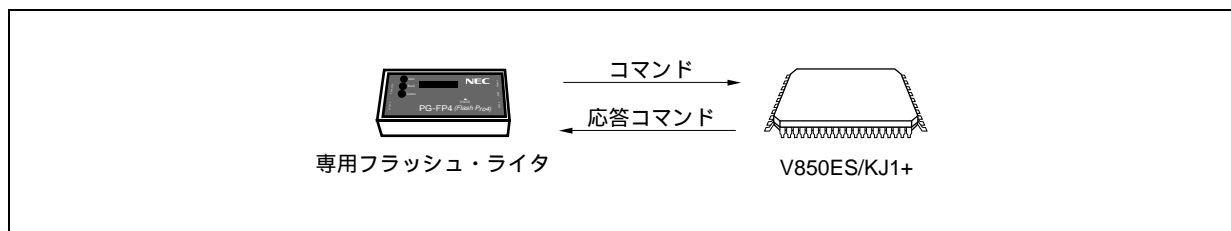
図30 - 8 通信方式の選択



### 30.4.5 通信コマンド

V850ES/KJ1+と専用フラッシュ・ライタは、コマンドを介して通信します。専用フラッシュ・ライタからV850ES/KJ1+へ送られる信号を「コマンド」と呼び、V850ES/KJ1+から専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。

図30-9 通信コマンド



V850ES/KJ1+のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され、V850ES/KJ1+がコマンドに対応した各処理を行います。

表30-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	対応			機能
		CSI00	CSI00+HS	UART0	
ブランク・チェック	ブロック・ブランク・チェック・コマンド				指定したブロックのメモリの消去状態を確認
消去	チップ消去コマンド				全メモリの内容を消去
	ブロック消去コマンド				指定したブロックのメモリの内容を消去
書き込み	書き込みコマンド				指定したアドレス範囲の書き込み、内容ベリファイ・チェックを実行
ベリファイ	ベリファイ・コマンド				指定したアドレス範囲のメモリの内容と、フラッシュ・ライタから転送されたデータを比較
	チェック・サム・コマンド				指定したアドレス範囲のチェック・サムを読み出す。
システム設定, 制御	シリコン・シグネチャ・コマンド				シリコン・シグネチャ情報を読み出す
	セキュリティ設定コマンド				チップ消去コマンド禁止, ブロック消去コマンド, 書き込みコマンドの禁止設定

### 30.4.6 端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

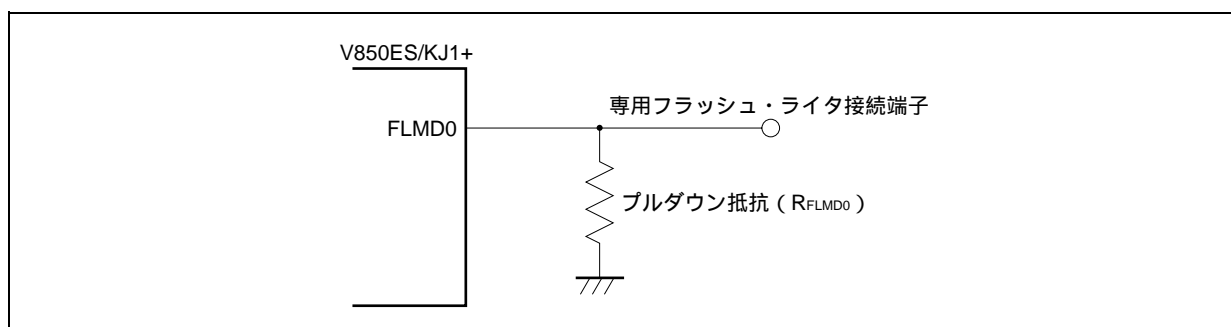
フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

#### (1) FLMD0端子

通常動作モード時は、FLMD0端子に $V_{SS}$ レベルの電圧を入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に $V_{DD}$ レベルの書き込み電圧を供給します。

また、FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため、書き換え前にポート制御などによって、FLMD0端子に $V_{DD}$ レベルの電圧を供給する必要があります。詳細は、30.5.5 (1) FLMD0端子を参照してください。

図30 - 10 FLMD0端子の接続例



#### (2) FLMD1端子

FLMD0端子に0 Vを入力された場合、FLMD1端子は機能しません。FLMD0端子に $V_{DD}$ が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子に0 Vを入力する必要があります。FLMD1端子の接続例を次に示します。

図30 - 11 FLMD1端子の接続例

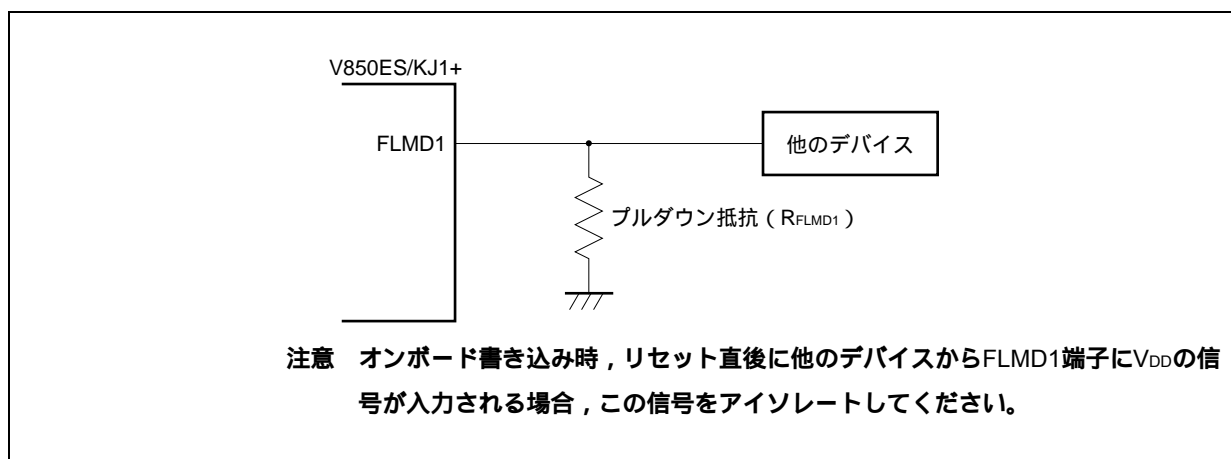


表30 - 8 リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
V <sub>DD</sub>	0	フラッシュ・メモリ・プログラミング・モード
V <sub>DD</sub>	V <sub>DD</sub>	設定禁止

(3) シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表30 - 9 各シリアル・インタフェースが使用する端子

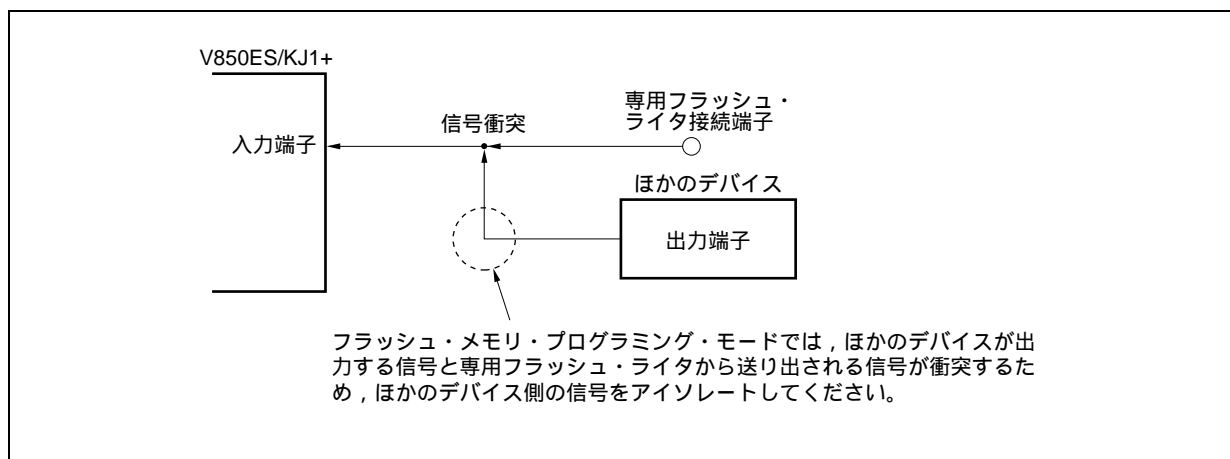
シリアル・インタフェース	使用端子
UART0	TXD0, RXD0
CSI00	SO00, SI00, SCK00
CSI00 + HS	SO00, SI00, SCK00, PCMO

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(a) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

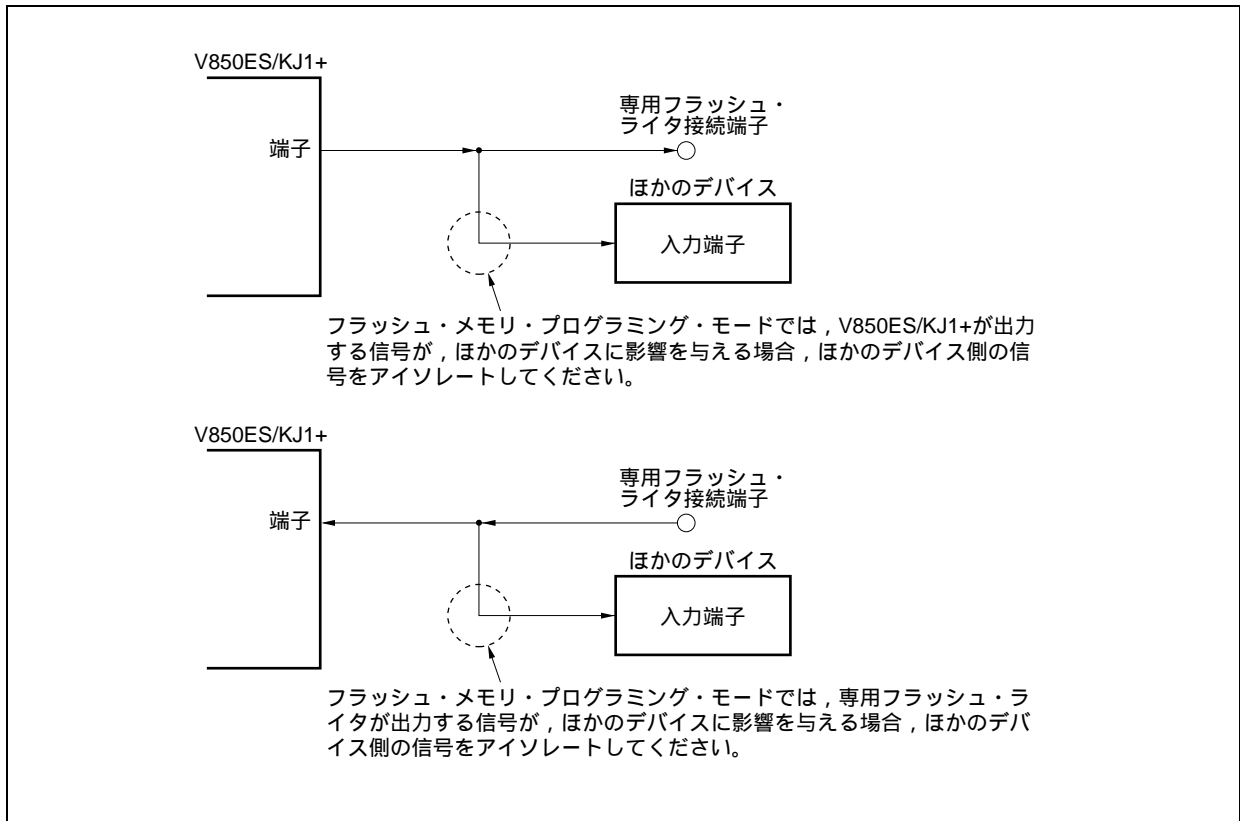
図30 - 12 信号の衝突（シリアル・インタフェースの入力端子）



(b) ほかのデバイスの異常動作

ほかのデバイス(入力)と接続しているシリアル・インタフェース用の端子(入力または出力)に、専用フラッシュ・ライター(出力または入力)を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図30 - 13 ほかのデバイスの異常動作

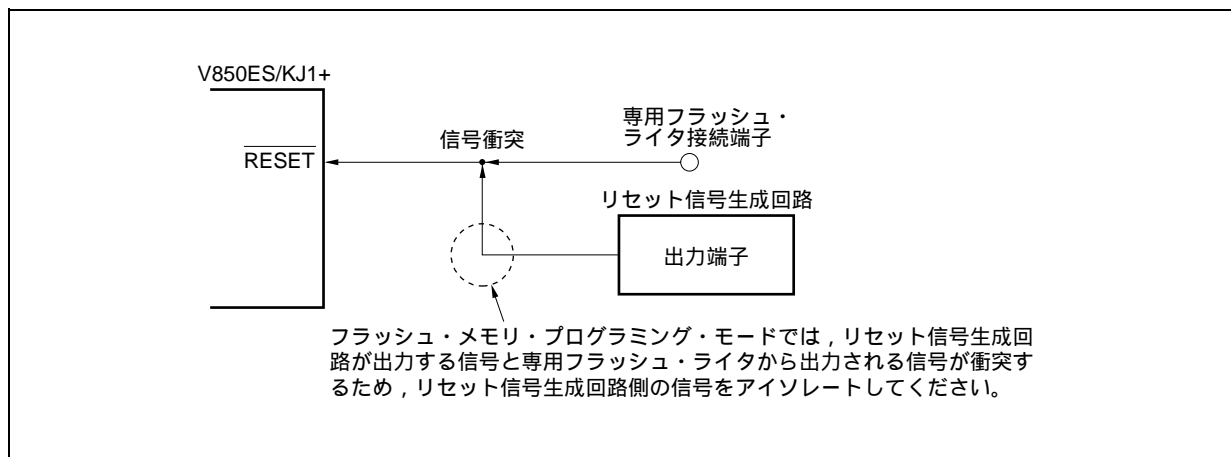


**(4) RESET端子**

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図30 - 14 信号の衝突 (RESET端子)

**(5) ポート端子 (NMIを含む)**

フラッシュ・メモリ・プログラミング・モードに設定すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV<sub>DD</sub>に接続するか、または抵抗を介してV<sub>SS</sub>に接続するなどの端子処理が必要です。

**(6) その他の信号端子**

X1, X2, XT1, XT2, REGCIは、通常動作モード時と同じ状態に接続してください。

**(7) 電 源**

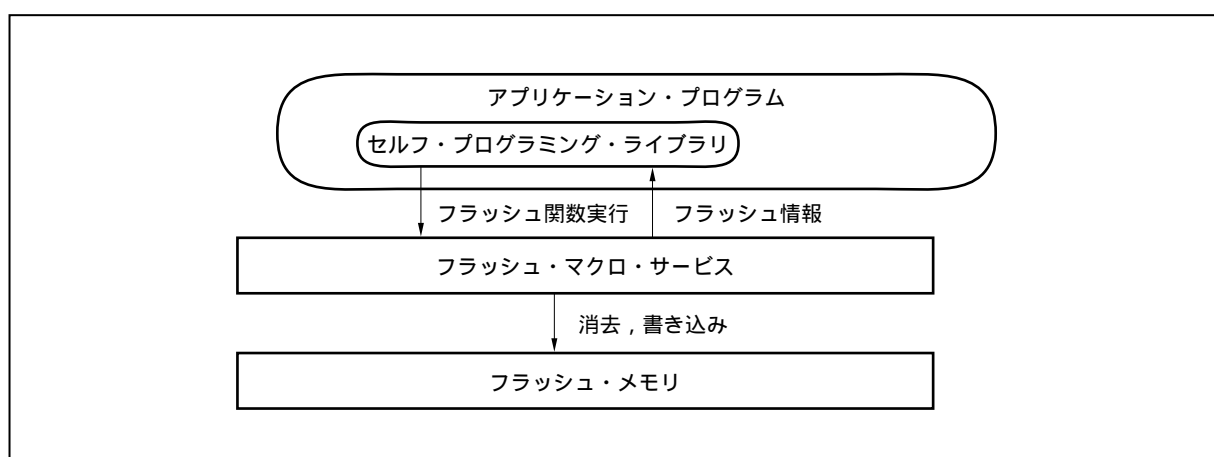
電源 (V<sub>DD</sub>, V<sub>SS</sub>, EV<sub>DD</sub>, EV<sub>SS</sub>, AV<sub>SS</sub>, BV<sub>DD</sub>, BV<sub>SS</sub>, AV<sub>REF0</sub>, AV<sub>REF1</sub>) は、通常動作モード時と同じ電源を供給してください。

## 30.5 セルフ・プログラミングによる書き換え

### 30.5.1 概 要

V850ES/KJ1+は、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび、フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより、内蔵RAMもしくは、外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換えを行うことができます。

図30 - 15 セルフ・プログラミングの概念図



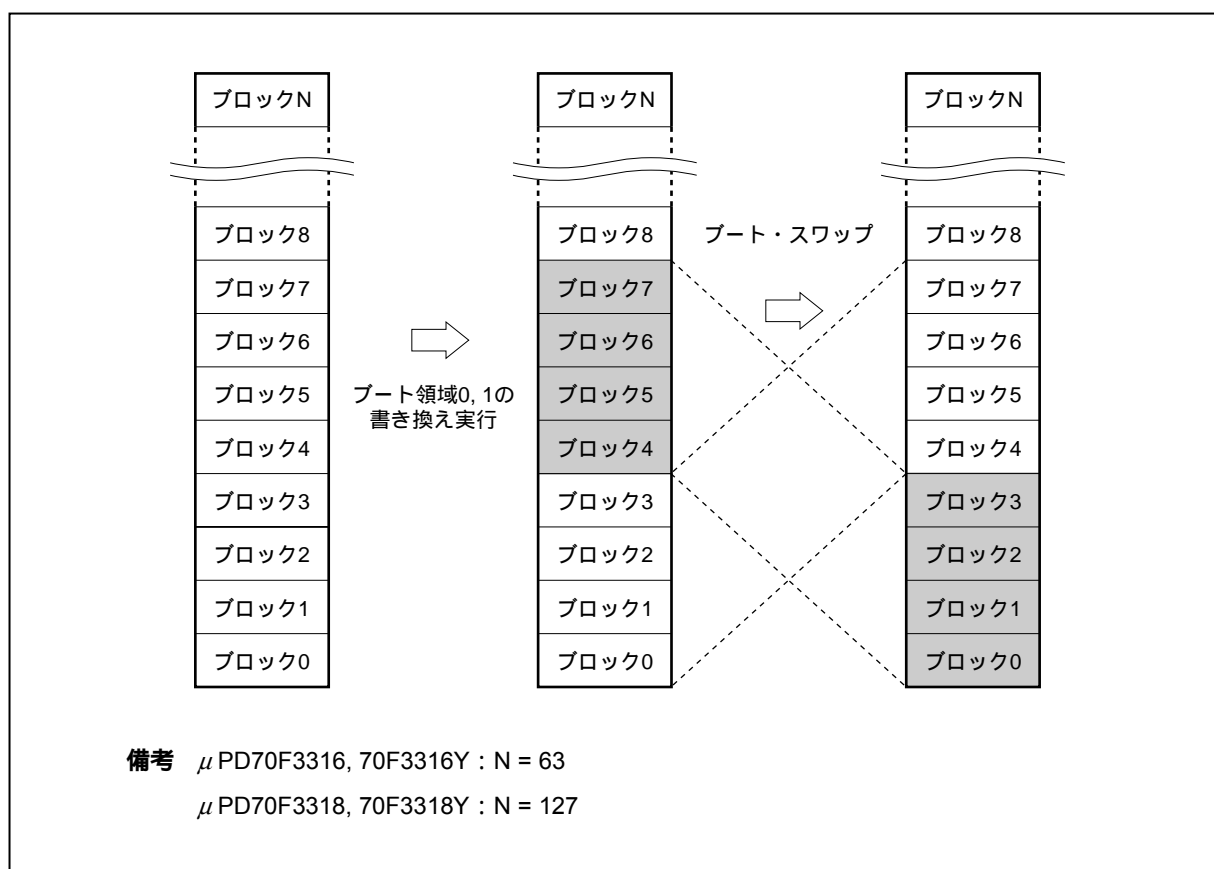


## 30.5.2 特 徴

## (1) セキュア・セルフ・プログラミング (ブート・スワップ機能)

V850ES/KJ1+は、ブート領域0の物理メモリ (ブロック0-3) と、ブート領域1の物理メモリ (ブロック4-7) を入れ替えることができるブート・スワップ機能をサポートしているため、あらかじめ書き換えたい起動用のプログラムをブート領域1に書いておき、物理メモリをスワップさせることにより、書き換え中に電源遮断が発生しても常にブート領域0には正常なユーザ・プログラムが存在する状態となるため、全領域の書き換えが安全に実行可能となります。

図30 - 16 全メモリ領域の書き換え (ブート・スワップ対応)



## (2) 割り込み対応

セルフ・プログラミング中は、フラッシュ・メモリからの命令フェッチが不可能であるため、従来は割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できません。

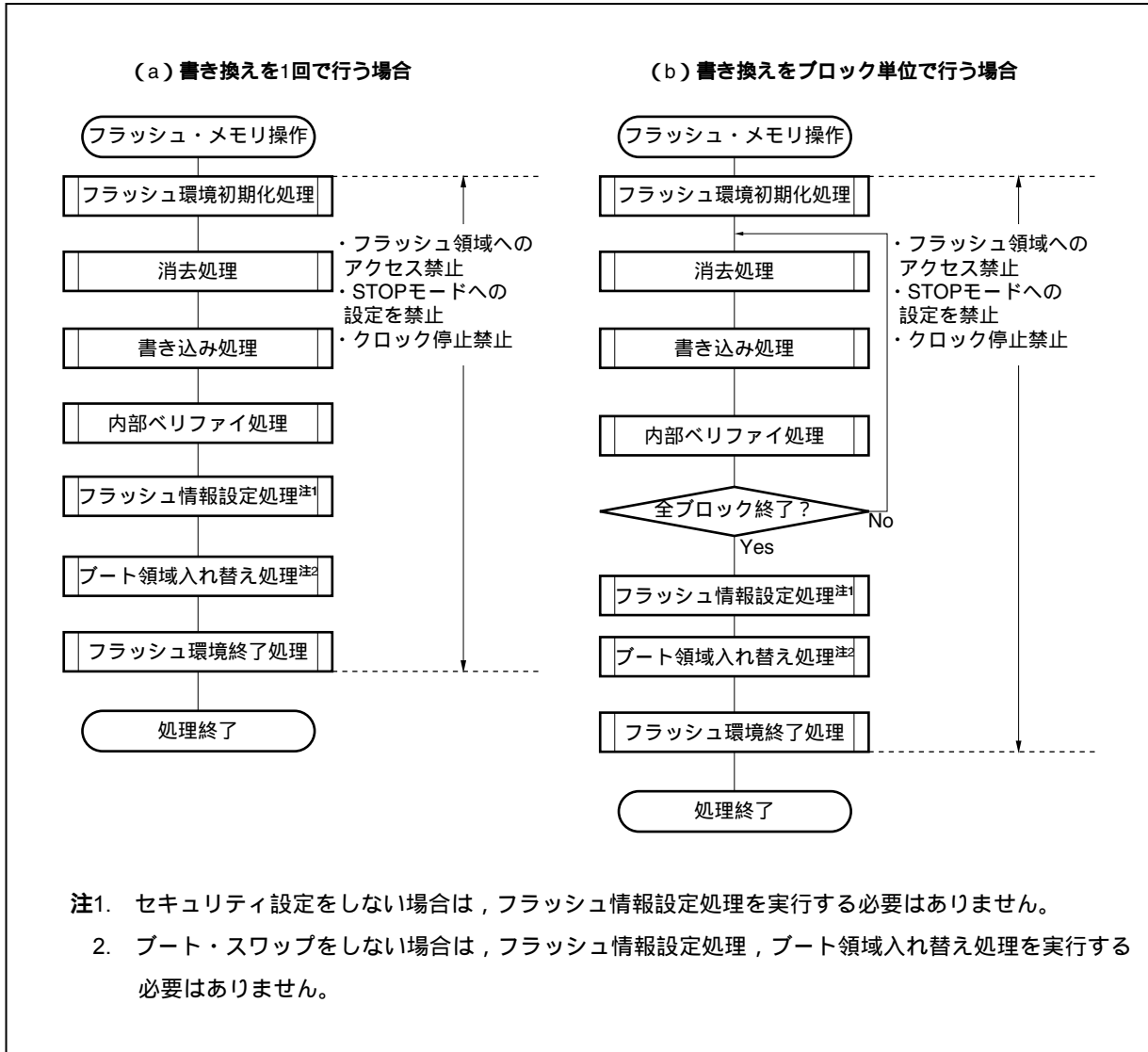
そのため、V850ES/KJ1+では、セルフ・プログラミング中に割り込みを利用する場合、内蔵RAMの特定番地<sup>※</sup>に処理が移ります。したがって、あらかじめ内蔵RAMの特定番地<sup>※</sup>にユーザ割り込み処理へ遷移するjump命令を用意してください。

注 NMI割り込み : 内蔵RAMの先頭番地  
 マスカブル割り込み : 内蔵RAMの先頭 + 4番地

### 30.5.3 標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて、フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。

図30 - 17 標準セルフ・プログラミング・フロー



## 30.5.4 フラッシュ関数一覧

表30 - 10 主なフラッシュ関数一覧

関数名	概要	対応
FlashEnv	フラッシュ制御マクロの初期化	
FlashBlockErase	指定した1ブロックの消去	
FlashWordRead	指定したアドレスからのデータ読み出し	
FlashWordWrite	指定したアドレスからの書き込み	
FlashBlockVerify	指定した1ブロックの内部ベリファイ	
FlashBlockBlankCheck	指定した1ブロックのブランク・チェック	
FlashFLMDCheck	FLMD端子のチェック	
FlashGetInfo	フラッシュ情報の読み出し	
FlashSetInfo	フラッシュ情報の設定	
FlashBootSwap	ブート領域入れ替え	

**備考** 詳細は、V850シリーズ フラッシュ・メモリ・セルフ・プログラミング（単電源フラッシュ・メモリ編）ユーザズ・マニュアルを参照してください。

なお、このマニュアルについては、当社販売員にお問い合わせください。

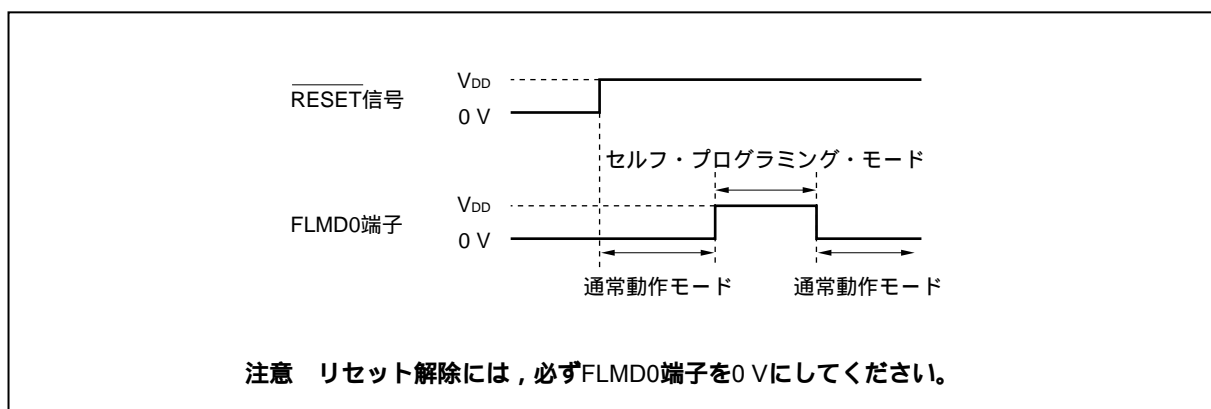
## 30.5.5 端子処理

## (1) FLMD0端子

FLMD0端子は、リセット解除時の動作モード設定と、セルフ書き換え時の書き換え保護機能の兼用端子となっているため、リセット解除～通常動作実行時は、FLMD0端子へ印加される電圧を0 Vに保持し、セルフ・プログラミング・モードの期間は、書き換え前にポート制御などによって、FLMD0端子に $V_{DD}$ レベルの電圧を印加する必要があります。

また、セルフ・プログラミングが終了したあとは、FLMD0端子の電圧を0 Vに戻す必要があります。

図30 - 18 モード切り替わりタイミング



## 30.5.6 使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお、セルフ・プログラミング以外では、次の内部資源については自由に使用できます。

表30 - 11 使用する内部資源

リソース名	説明
エントリRAM領域 (内部RAM / 外部RAMサイズ : 136バイト)	フラッシュ・マクロ・サービスへの遷移のためのルーチンとパラメータを配置。 ライブラリ初期化関数の呼び出しによりエントリ・プログラムとデフォルトのパラメータがコピーされます。
スタック領域 (スタック・サイズ : 600バイト)	ユーザの使用しているスタックの延長をライブラリが使用。 (内部RAM / 外部RAMのどちらでも使用可)
ライブラリ・コード (コード・サイズ : 約1600バイト)	ライブラリのプログラム本体。 (操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可)
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態、セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合、内蔵RAMの先頭 + 4番地 <sup>注1</sup> に処理が移るので、あらかじめ内蔵RAMの先頭 + 4番地 <sup>注1</sup> にユーザ割り込み処理へ遷移するjump命令を用意してください。
NMI割り込み	ユーザ・アプリケーションの実行状態、セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合、内蔵RAMの先頭番地 <sup>注2</sup> に処理が移るので、あらかじめ内蔵RAMの先頭番地 <sup>注2</sup> にユーザ割り込み処理へ遷移するjump命令を用意してください。
TM50, TM51	フラッシュ・マクロ・サービスで使用しますので、セルフ・プログラミング状態では使用しないでください。 セルフ・プログラミング後にTM50, TM51を使用する場合は、再度設定してください。

注1.  $\mu$ PD70F3316, 70F3316Y : 3FFD804H

$\mu$ PD70F3318, 70F3318Y : 3FFB004H

2.  $\mu$ PD70F3316, 70F3316Y : 3FFD800H

$\mu$ PD70F3318, 70F3318Y : 3FFB000H

**備考** 詳細は、V850シリーズ **フラッシュ・メモリ・セルフ・プログラミング (単電源フラッシュ・メモリ編) ユーザーズ・マニュアル**を参照してください。

なお、このマニュアルについては、当社販売員にお問い合わせください。

## 第31章 オンチップ・ディバグ機能

JTAG ( Joint Test Action Group ) インタフェース (  $\overline{DRST}$ , DCK, DMS, DDI, DDO端子 ) を利用して , オンチップ・ディバグ・エミュレータ ( MINICUBE ) を介した , オンチップ・ディバグ機能を内蔵しています。

**注意** オンチップ・ディバグ機能は  $\mu$  PD70F3318, 70F3318Yのみに搭載しています。 $\mu$  PD70F3316, 70F3316Yには搭載していません。

### 31.1 特 徴

ハードウェア・ブレイク機能 : 2ポイント

ソフトウェア・ブレイク機能 : 4ポイント

リアルタイムRAMモニタ機能 : プログラム実行中にメモリの内容を読み出しが可能

ダイナミック・メモリ・モディフィケーション機能 ( DMM機能 ) : プログラム実行中にRAMの内容の書き換えが可能

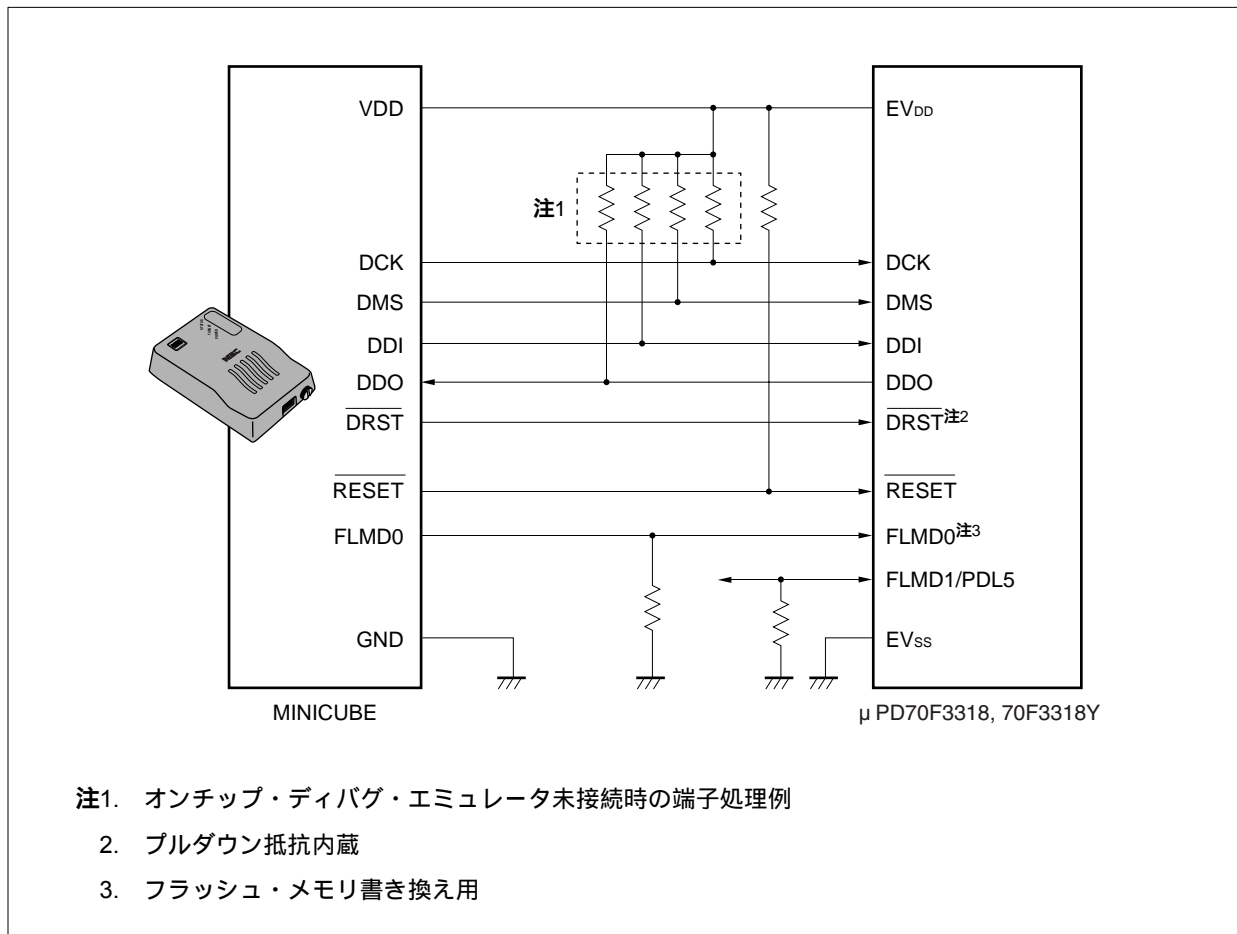
マスク機能 :  $\overline{RESET}$ , NMI,  $\overline{HLDRQ}$ ,  $\overline{WAIT}$

ROMセキュリティ機能 : 10バイトIDコード認証

**注意** 次の機能はサポートしません。

- ・トレース機能
- ・イベント機能
- ・ディバグ割り込みインタフェース機能 ( DBINT )

## 31.2 接続回路例



## 31.3 インタフェース信号

インタフェース信号について説明します。

### (1) $\overline{\text{DRST}}$

オンチップ・デバッグ・ユニット用のリセット入力信号です。デバッグ・コントロール・ユニットを非同期に初期化するための負論理の信号です。

MINICUBEは、統合デバッガの起動後にターゲット・システムの $V_{DD}$ を検出すると、 $\overline{\text{DRST}}$ 信号をロウ・レベルからハイ・レベルに立ち上げて、対象デバイス内のオンチップ・デバッグ・ユニットを起動させます。

また、 $\overline{\text{DRST}}$ 信号がロウ・レベルからハイ・レベルに立ち上がることにより、CPUにもリセットが発生します。

統合デバッガを起動してデバッグを開始する際には、必ずCPUリセットが発生します。

### (2) DCK

クロック入力信号です。MINICUBEから20 MHzのクロックを供給します。オンチップ・デバッグ・ユニット内で、DCK信号の立ち上がり同期してDMS、DDI信号をサンプリングし、DCK信号の立ち下がり同期してデータDDOを出力します。

## (3) DMS

転送モード選択信号です。DMS信号のレベルによりデバッグ・ユニット内の転送状態が遷移します。

## (4) DDI

データ入力信号です。オンチップ・デバッグ・ユニット内でDCKの立ち上がりに同期してサンプリングします。

## (5) DDO

データ出力信号です。オンチップ・デバッグ・ユニットからDCK信号の立ち下がりに同期して出力されます。

(6) EV<sub>DD</sub>

ターゲット・システムのVDD検出用です。ターゲット・システムからのVDDが未検出の場合は、MINICUBEからの出力信号 ( $\overline{DRST}$ , DCK, DMS, DDI, FLMD0,  $\overline{RESET}$ 端子) はハイ・インピーダンスになります。

## (7) FLMD0

統合デバッグによるフラッシュ・メモリへのダウンロード機能は、フラッシュ・セルフ・プログラミング機能を利用しています。フラッシュ・セルフ・プログラミング中はFLMD0端子をハイ・レベルにする必要があります。また、FLMD0端子にはプルダウン抵抗を接続してください。

FLMD0端子の制御方法として、次の2種類のうち、どちらかの方法を選択してください。

## MINICUBEから制御する場合

MINICUBEからのFLMD0信号をデバイスのFLMD0端子に接続します。

通常モード時はMINICUBEからは何もドライブしません (ハイ・インピーダンス)。

ブレイク中、統合デバッグのダウンロード機能を実行した際にMINICUBEはFLMD0端子をハイ・レベルに制御します。

## ポートから制御する場合

デバイスの任意のポートをFLMD0端子に接続します。

ユーザ・プログラムにおいてフラッシュ・セルフ・プログラミング機能を実現する場合と同じポート端子で問題ありません。

統合デバッグのコンソールによって、ダウンロード機能実行前にポート端子をハイ・レベルにする、または、ダウンロード機能実行後にポート端子をロウ・レベルにする設定を行ってください。

詳細はID850QB Ver.2.80 **ユーザズ・マニュアル 操作編 (U16973J)** を参照してください。

(8)  $\overline{RESET}$ 

システム・リセット入力信号です。ユーザ・プログラムにおいてOCDMレジスタのOCDM0ビットの値によって、 $\overline{DRST}$ 端子を無効としたあとは、オンチップ・デバッグは行えません。そのため、MINICUBEから $\overline{RESET}$ 端子によるリセットを与えて、 $\overline{DRST}$ 端子を有効 (初期化) にします。

## 31.4 レジスタ

### (1) オンチップ・ディバグ・モード・レジスタ (OCDM)

通常動作モードとオンチップ・ディバグ・モードを切り替えるレジスタです。OCDMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

通常動作モードとオンチップ・ディバグ・モードを切り替えるレジスタで、オンチップ・ディバグ機能が割り付けられている兼用端子をオンチップ・ディバグ用端子として使用するか、通常のポート/周辺機能兼用端子として使用するかを指定します。また同時に、P05/INTP2/ $\overline{\text{DRST}}$ 端子の内蔵プルダウン抵抗の切断を制御します。

OCDMレジスタへの書き込みは、 $\overline{\text{DRST}}$ 端子にロウ・レベルが入力されているときのみ有効です。

8/1ビット単位でリード/ライト可能です。



リセット時：01H<sup>注</sup> R/W アドレス：FFFFFF9FCH

	7	6	5	4	3	2	1	①
OCDM	0	0	0	0	0	0	0	OCDM0

OCDM0	動作モード
0	通常動作モード（オンチップ・デバッグ兼用端子をポート/周辺機能端子として使用）かつ、P05/INTP2/DRST端子の内蔵プルダウン抵抗を切断
1	DRST端子がロウ・レベルの場合： 通常動作モード（オンチップ・デバッグ兼用端子をポート/周辺機能端子として使用） DRST端子がハイ・レベルの場合： オンチップ・デバッグ・モード（オンチップ・デバッグ・モード用端子として使用）

注 RESET端子によるリセット時は01Hになります。ただし、WDTRES1信号、WDTRES2信号、クロック・モニタ（CLM）、低電圧検出回路（LVI）によるリセット時は、OCDMレジスタの値を保持します。

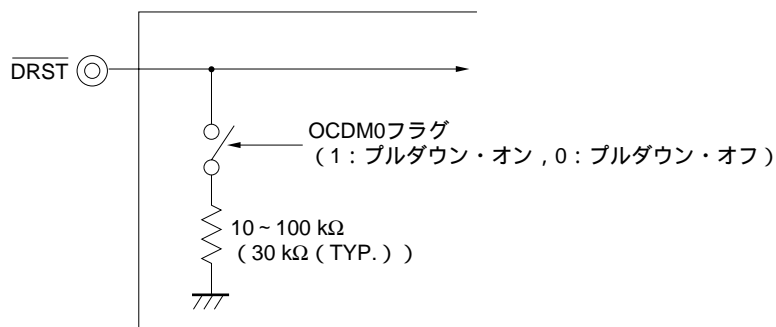
注意1. 外部リセット後、DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次のいずれかの処置が必要です。

- ・ P05/INTP2/DRST端子にロウ・レベルを入力します。
- ・ OCDM0ビットを設定します。この場合の処置は次のとおりです。

OCDM0ビットをクリア（0）します。

の処理を終えるまで、P05/INTP2/DRST端子入力をロウ・レベル固定にしておきます。

2. DRST端子はプルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。  
 $\mu$ PD70F3316, 70F3316YにはP05にプルダウン抵抗を内蔵していません。



## 31.5 動作

オンチップ・ディバグ機能は次の表に示す条件で有効になります。

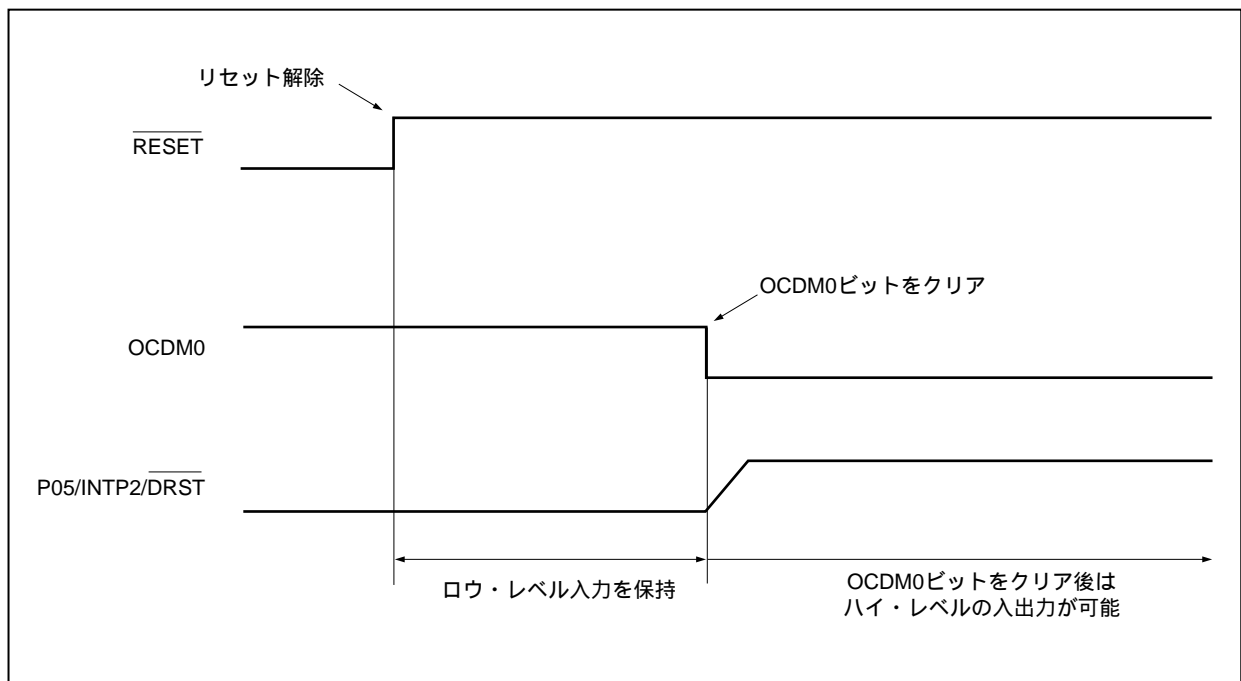
未使用時はOCDM.OCDM0フラグをクリア(0)するまで、 $\overline{\text{DRST}}$ 端子はロウ・レベル入力の状態を保持してください。

	OCDM0フラグ	0	1
DRST端子			
L		無効	無効
H		無効	有効

備考 L: ロウ・レベル入力

H: ハイ・レベル入力

図31-1 オンチップ・ディバグ機能未使用時のタイミング



## 31.6 ROMセキュリティ機能

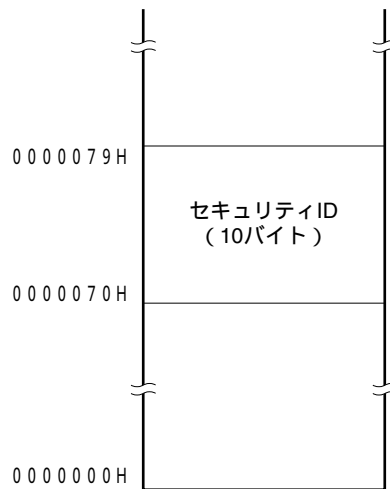
### 31.6.1 セキュリティID

オンチップ・ディバグ・エミュレータによるオンチップ・ディバグ時、フラッシュ・メモリの内容を第三者に読み出されることを防ぐために、10バイトのIDコードによる認証を行います。

IDコードは、あらかじめ内蔵フラッシュ・メモリ領域の0000070H-0000079Hの10バイト分に設定し、ディバグがID認証を行います。

このID照合が一致していれば、セキュリティが解除されフラッシュ・メモリ読み出し許可、オンチップ・ディバグ・エミュレータ使用許可となります。

- ・10バイトのIDコードは、0000070H-0000079Hに設定します。
- ・0000079Hのビット7はオンチップ・ディバグ・エミュレータ使用許可フラグです。  
(0：使用禁止，1：使用許可)
- ・オンチップ・ディバグ・エミュレータを起動すると、ディバグがID入力を要求します。ディバグ上で入力したIDコードと、0000070H-0000079Hに埋め込んだIDコードが一致すればディバグが起動します。
- ・IDコードが一致しても、オンチップ・ディバグ・エミュレータ使用許可フラグが“0”である場合は、ディバグを行うことはできません。



**注意** フラッシュ・メモリのデータは消去状態では、すべて“1”となります。

### 31.6.2 設定方法

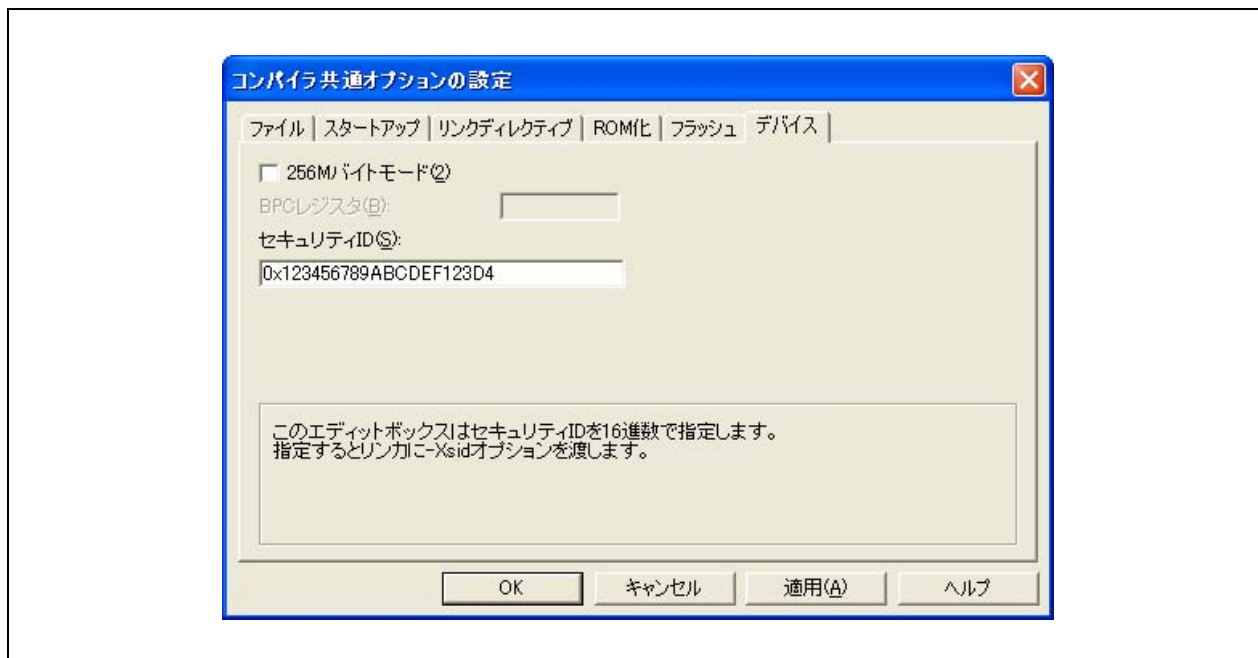
IDコードを表31 - 1のように設定する方法を次に示します。

表31 - 1のようにIDコードを設定した場合，ID850QBのコンフィグレーション・ダイアログ上で入力するIDコードは「123456789ABCDEF123D4」となります（英数字は大文字でも小文字でも同じIDコードとして認識します）。

表31 - 1 IDコード

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4

CA850 Ver. 2.60以上とセキュリティIDに対応したデバイス・ファイルであれば，PM+のリンク・オプション設定でIDコードを指定することができます。



[ プログラム例 ( CA850 V2.60以上 使用時 ) ]

```
#-----  
# SECURITYID  
#-----  
.section "SECURITY_ID" -- Interrupt handler address 0x70  
.word 0x78563412 -- 0 - 3 byte code  
.word 0xF1DEBC9A -- 4 - 7 byte code  
.hword 0xD423 -- 8 - 9 byte code
```

**備考** 上記プログラム例はスタートアップ・ファイルに追加してください。

## 31.7 注意事項

- (1) RUN中 ( プログラム実行中 ) にリセット入力 ( ターゲット・システムからのリセット入力や内部リセット要因によるリセット ) があつた場合、ブレーク機能が誤動作することがあります。
- (2) リセットをマスク機能でマスクしていても、端子からのリセットが入力された際に入出力バッファ ( ポート端子 ) がリセット状態になる場合があります。
- (3) 内蔵フラッシュ・メモリに設定したソフトウェア・ブレークポイントは、ROMコレクション機能で実現しているため、ターゲット・リセットまたはウォッチドッグ・タイマ2により発生する内部リセットによって一時的に無効になります。ハードウェア・ブレークまたは強制ブレークによりいったんブレークしたあとには再度有効になりますが、それまではソフトウェア・ブレークは発生しません。
- (4) ブレーク中の端子リセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMMで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。
- (5) オンチップ・デバッグ・モード時、DDO端子は強制的にハイ・レベル出力に設定されます。

## 第32章 電気的特性

### 絶対最大定格 (TA = 25 ) (1/2)

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>	V <sub>DD</sub> = EV <sub>DD</sub> = AV <sub>REF0</sub>	- 0.3 ~ + 6.5	V
	AV <sub>REF0</sub>	V <sub>DD</sub> = EV <sub>DD</sub> = AV <sub>REF0</sub>	- 0.3 ~ + 6.5	V
	AV <sub>REF1</sub>	AV <sub>REF1</sub> V <sub>DD</sub> (D/A出力モード) AV <sub>REF1</sub> = AV <sub>REF0</sub> = V <sub>DD</sub> (ポート・モード)	- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
	BV <sub>DD</sub>	BV <sub>DD</sub> V <sub>DD</sub>	- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
	EV <sub>DD</sub>	V <sub>DD</sub> = EV <sub>DD</sub> = AV <sub>REF0</sub>	- 0.3 ~ + 6.5	V
	V <sub>SS</sub>	V <sub>SS</sub> = EV <sub>SS</sub> = BV <sub>SS</sub> = AV <sub>SS</sub>	- 0.3 ~ + 0.3	V
	AV <sub>SS</sub>	V <sub>SS</sub> = EV <sub>SS</sub> = BV <sub>SS</sub> = AV <sub>SS</sub>	- 0.3 ~ + 0.3	V
	BV <sub>SS</sub>	V <sub>SS</sub> = EV <sub>SS</sub> = BV <sub>SS</sub> = AV <sub>SS</sub>	- 0.3 ~ + 0.3	V
	EV <sub>SS</sub>	V <sub>SS</sub> = EV <sub>SS</sub> = BV <sub>SS</sub> = AV <sub>SS</sub>	- 0.3 ~ + 0.3	V
入力電圧	V <sub>I1</sub>	P00-P06, P30-P35, P38, P39, P40-P42, P50-P55, P60-P613, P80, P81, P90-P915, RESET, FLMD0	- 0.3 ~ EV <sub>DD</sub> + 0.3 <sup>注</sup>	V
	V <sub>I2</sub>	PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15, PDH0-PDH7	- 0.3 ~ BV <sub>DD</sub> + 0.3 <sup>注</sup>	V
	V <sub>I3</sub>	P10, P11	- 0.3 ~ AV <sub>REF1</sub> + 0.3 <sup>注</sup>	V
	V <sub>I4</sub>	P36, P37, P614, P615	- 0.3 ~ + 13	V
	V <sub>I5</sub>	X1, X2, XT1, XT2	- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
アナログ入力電圧	V <sub>IAN</sub>	P70-P715	- 0.3 ~ AV <sub>REF0</sub> + 0.3 <sup>注</sup>	V

注 それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

絶対最大定格 (TA = 25 ) (2/2)

項目	略号	条件	定格	単位	
ロウ・レベル出力電流	I <sub>OL</sub>	注	1端子	20	mA
		P36-P39, P614, P615		30	mA
		P00-P06, P30-P39, P40-P42	全端子合計	35	mA
		P50-P55, P60-P615, P80, P81, P90-P915	70 mA	35	
		PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7	全端子合計	35	mA
		PDL0-PDL15, PDH0-PDH7	70 mA	35	
ハイ・レベル出力電流	I <sub>OH</sub>	注	1端子	- 10	mA
		P00-P06, P30-P35, P40-P42	全端子合計	- 30	mA
		P50-P55, P60-P613, P80, P81, P90-P915	- 60 mA	- 30	
		PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7	全端子合計	- 30	mA
		PDL0-PDL15, PDH0-PDH7	- 60 mA	- 30	
		動作周囲温度	T <sub>A</sub>	通常動作モード	
フラッシュ・メモリ・プログラミング・モード				- 40 ~ + 85	
保存温度	T <sub>stg</sub>			- 40 ~ + 125	

注 P00-P06, P10, P11, P30-P35, P40-P42, P50-P55, P60-P613, P80, P81, P90-P915, PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDH0-PDH7, PDL0-PDL15

注意1. IC製品の出力（または入出力）端子同士を直結したり、V<sub>DD</sub>またはV<sub>CC</sub>やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

容量 (TA = 25 °C, V<sub>DD</sub> = EV<sub>DD</sub> = AV<sub>REF0</sub> = BV<sub>DD</sub> = AV<sub>REF1</sub> = V<sub>SS</sub> = EV<sub>SS</sub> = BV<sub>SS</sub> = AV<sub>SS</sub> = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C <sub>i</sub>	f <sub>x</sub> = 1 MHz			15	pF
入出力容量	C <sub>io</sub>	被測定ピン以外は0 V	注		15	pF
			P36-P39, P614, P615			20

注 P00-P06, P10, P11, P30-P35, P40-P42, P50-P55, P60-P613, P80, P81, P90-P915, PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15, PDH0-PDH7

備考 f<sub>x</sub>: メイン・クロック発振周波数

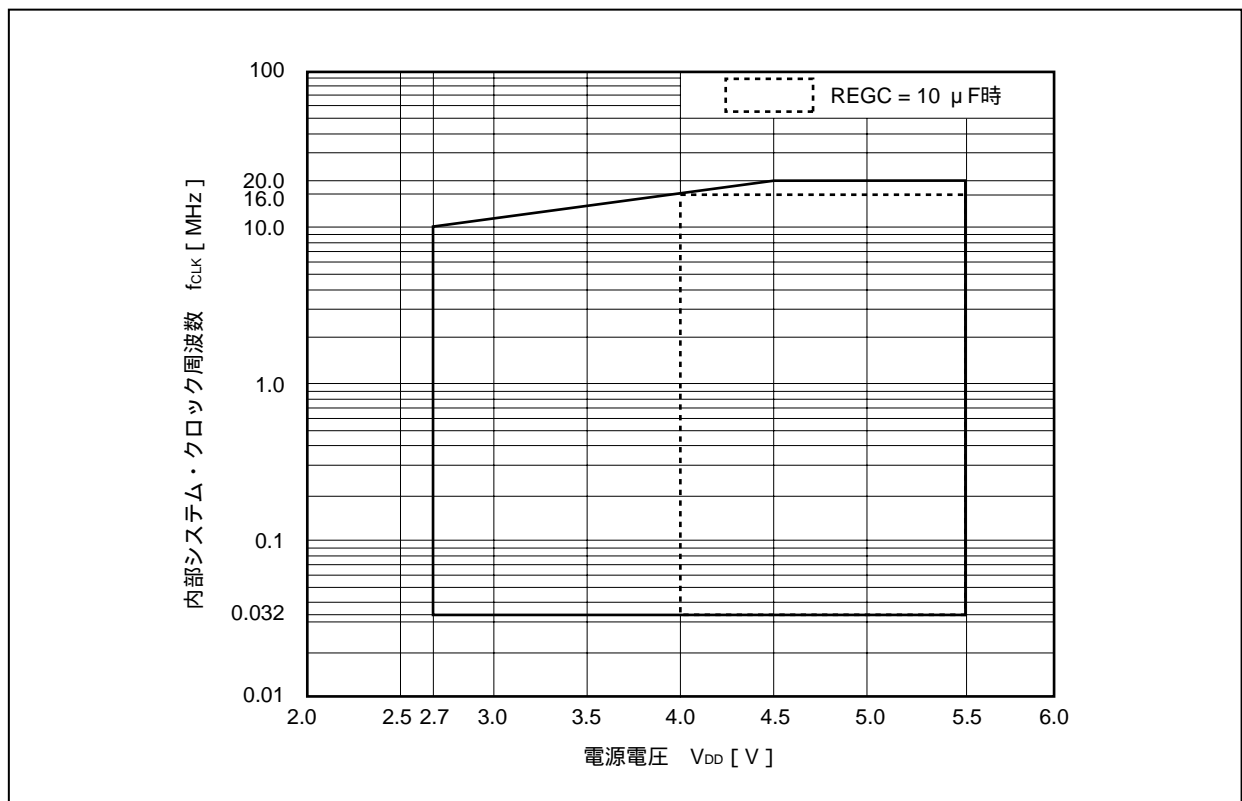
動作条件

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$ ,  $2.7 \text{ V}$   $BV_{DD}$   $V_{DD}$ ,  $2.7 \text{ V}$   $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  $CL = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
内部システム・ クロック周波数	f <sub>CLK</sub>	PLLモード時	REGC = V <sub>DD</sub> = 4.5 ~ 5.5 V	0.25		20	MHz
			REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	0.25		16	MHz
			REGC = 10 μF V <sub>DD</sub> = 4.0 ~ 5.5 V	0.25		16	MHz
			REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	0.25		10	MHz
		クロック・スルー・モ ード時	REGC = 10 μF V <sub>DD</sub> = 4.0 ~ 5.5 V	0.0625		10	MHz
			REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	0.0625		10	MHz
		サブクロック動作時	注		32.768		kHz
内蔵発振クロック動作 時	注		120	240	480	kHz	

注 REGC = V<sub>DD</sub> = 2.7 ~ 5.5 V, またはREGC = 10 μF, V<sub>DD</sub> = 4.0 ~ 5.5 V

内部システム・クロック周波数 vs. 電源電圧





EEPROMエミュレーション時の動作条件

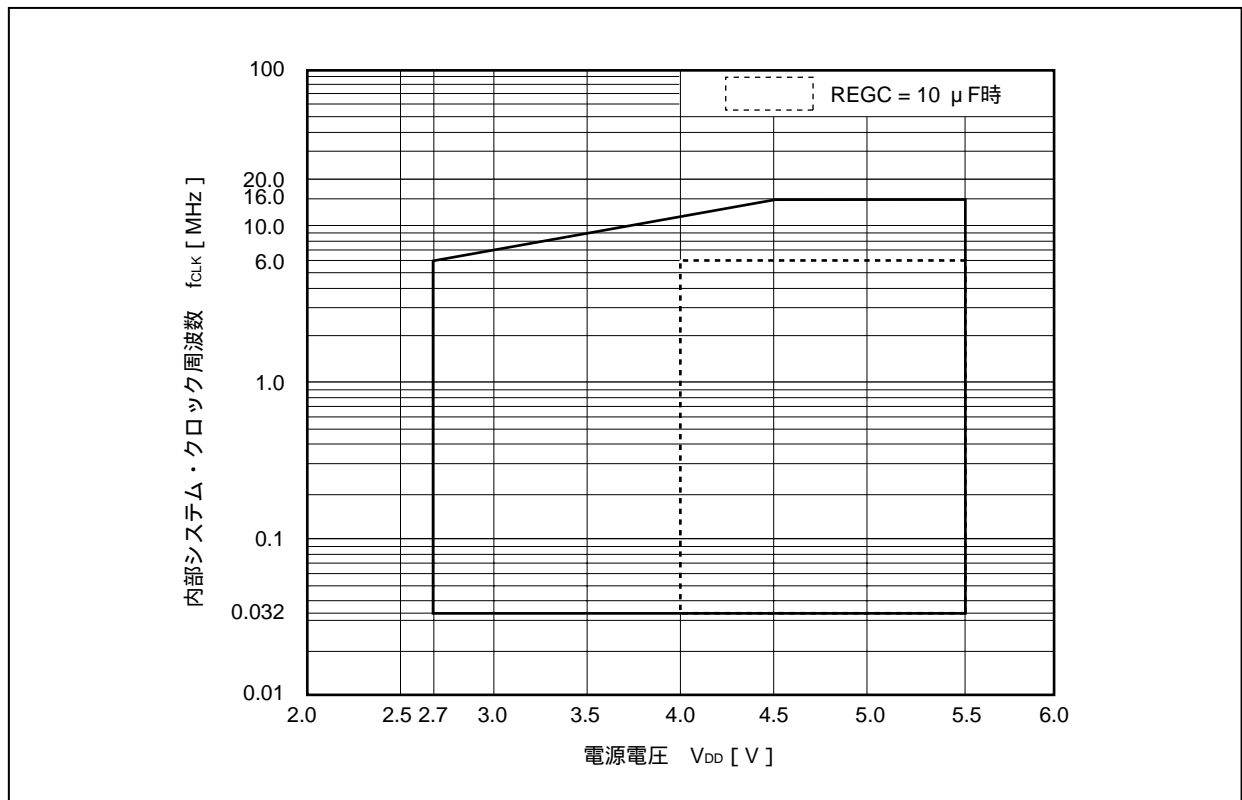
( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$ ,  $2.7 \text{ V}$   $BV_{DD}$   $V_{DD}$ ,  $2.7 \text{ V}$   $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
内部システム・ クロック周波数	f <sub>CLK</sub>	PLLモード時	REGC = V <sub>DD</sub> = 4.5 ~ 5.5 V	0.25		16	MHz
			REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	0.25		12	MHz
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V	0.25		6	MHz
			REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	0.25		6	MHz
		クロック・スルー・モ ード時	REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	0.0625		10	MHz
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V	0.0625		6	MHz
			REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	0.0625		6	MHz
サブクロック動作時	注1, 2			32.768	kHz		

注1. REGC = V<sub>DD</sub> = 2.7 ~ 5.5 V, またはREGC = 10 μF, V<sub>DD</sub> = 4.0 ~ 5.5 V

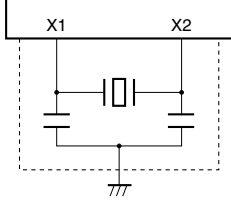
2. メイン・クロックを停止しないでください。

内部システム・クロック周波数 vs. 電源電圧



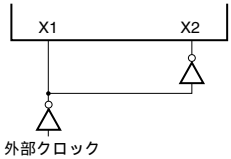
メイン・クロック発振回路特性

(1) 水晶振動子，セラミック発振子 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V, VSS = 0 V)

推奨回路	項目	条件		MIN.	TYP.	MAX.	単位
	発振周波数 (fx) 注1	PLLモード	REGC = VDD = 4.5 ~ 5.5 V	2		5	MHz
			REGC = VDD = 4.0 ~ 5.5 V	2		4	MHz
			REGC = 10 μF, VDD = 4.0 ~ 5.5 V	2		4	MHz
			REGC = VDD = 2.7 ~ 5.5 V	2		2.5	MHz
	クロック・スルー・モード	REGC = VDD = 2.7 ~ 5.5 V	2		10	MHz	
		REGC = 10 μF, VDD = 4.0 ~ 5.5 V	2		10	MHz	
	発振安定時間注2	リセット解除後	OSTS0注3 = 0設定時			2 <sup>13</sup> /fx	
OSTS0注3 = 1設定時					2 <sup>15</sup> /fx		s
STOPモード解除後					注4		s

- 注1. 発振回路の特性だけを示すものです。
- リセットまたはSTOPモード解除後，発振子が安定するまでの時間です。
  - オプション・バイトにて設定します（第29章参照）。
  - OSTSレジスタの設定によって値が異なります。

(2) 外部クロック (TA = -40 ~ +85 , REGC = VDD = 2.7 ~ 5.5 V, VSS = 0 V)

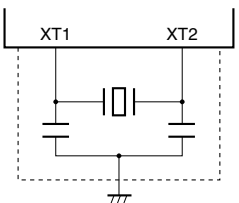
推奨回路	項目	条件		MIN.	TYP.	MAX.	単位
	入力周波数 (fx) 注	PLLモード	REGC = VDD = 4.5 ~ 5.5 V	2		5	MHz
			REGC = VDD = 4.0 ~ 5.5 V	2		4	MHz
			REGC = VDD = 2.7 ~ 5.5 V	2		2.5	MHz
	クロック・スルー・モード	REGC = VDD = 2.7 ~ 5.5 V	2		10	MHz	

注 入力波形のデューティ比は50 % ± 5 %以内にしてください。

- 注意1. メイン・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。
- 配線は極力短くする。
  - 他の信号線と交差させない。
  - 変化する大電流が流れる線に接近させない。
  - 発振回路のコンデンサの接地点は，常にVSSと同電位になるようにする。
  - 大電流が流れるグランド・パターンに接地しない。
  - 発振回路から信号を取り出さない。
- メイン・クロックを停止させサブクロックで動作させているときに，再度メイン・クロックに切り替える場合には，プログラムで発振安定時間を確保したあとに切り替えてください。
  - REGC = 10 μFのとき，発振回路の電源電圧は内蔵レギュレータ出力 (3.6 V (TYP.)) になります。ただし，次のモードのときは発振回路の電源電圧はVDDになります。
    - リセット時 (WDRES1, 発振安定時間中除く)
    - STOPモード
    - サブIDLEモード

サブクロック発振回路特性

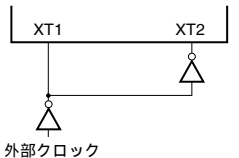
(1) 水晶振動子 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 2.7 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ )

推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
	発振周波数 ( $f_{XT}$ ) <sup>注1</sup>		32	32.768	35	kHz
	発振安定 時間 <sup>注2</sup>			10		s

注1. 発振回路の特性だけを示すものです。

2.  $V_{DD}$ が発振電圧範囲(2.7 V (MIN.))に達してから水晶振動子が安定するまでの時間です。

(2) 外部クロック ( $T_A = -40 \sim +85$  ,  $REGC = V_{DD} = 2.7 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ )

推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
	入力周波数 ( $f_{XT}$ ) <sup>注</sup>	$REGC = V_{DD} = 2.7 \sim 5.5 \text{ V}$	32		35	kHz

注 入力波形のデューティ比は50% ± 5%以内にしてください。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. サブクロック発振回路は、低消費電力にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。
3.  $REGC = 10 \mu\text{F}$ のとき、発振回路の電源電圧は内蔵レギュレータ出力(3.6 V (TYP.))になります。ただし、次のモードのときは発振回路の電源電圧は $V_{DD}$ になります。

- ・リセット時(WDTRES1, 発振安定時間中除く)
- ・STOPモード
- ・サブIDLEモード

内蔵発振器特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 2.7 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
内蔵発振周波数	$f_R$		120	240	480	kHz

PLL特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 2.7 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	$f_X$		2		5	MHz
出力周波数	$f_{XX}$		8		20	MHz
ロック時間	$t_{PLL}$	$V_{DD}$ が2.7 V (MIN.) に達したあと			200	$\mu\text{s}$

DC特性

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V$ ,  $2.7 V$   $BV_{DD}$   $V_{DD}$ ,  $2.7 V$   $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$ ) (1/5)

項目	略号	条件	MAX.	単位	
ハイ・レベル出力電流	I <sub>OH1</sub>	P00-P06, P10, P11, P30-P35, P40-P42, P50-P55, P60-P613, P80, P81, P90-P915の 各1端子	- 5.0	mA	
		P00-P06, P30-P35, P40-P42 端子合計	EV <sub>DD</sub> = 4.0 ~ 5.5 V	- 30	mA
			EV <sub>DD</sub> = 2.7 ~ 5.5 V	- 15	mA
		P50-P55, P60-P613, P80, P81, P90-P915端子合計	EV <sub>DD</sub> = 4.0 ~ 5.5 V	- 30	mA
			EV <sub>DD</sub> = 2.7 ~ 5.5 V	- 15	mA
		I <sub>OH2</sub>	PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDH0-PDH7, PDL0-PDL15の 各1端子	- 5.0	mA
	PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7端 子合計		BV <sub>DD</sub> = 4.0 ~ 5.5 V	- 30	mA
			BV <sub>DD</sub> = 2.7 ~ 5.5 V	- 15	mA
	PDL0-PDL15, PDH0-PDH7端 子合計		BV <sub>DD</sub> = 4.0 ~ 5.5 V	- 30	mA
		BV <sub>DD</sub> = 2.7 ~ 5.5 V	- 15	mA	
ロウ・レベル出力電流	I <sub>OL1</sub>	P00-P06, P10, P11, P30-P35, P40-P42, P50-P55, P60-P613, P80, P81, P90-P915の 各1端子	10	mA	
		P36-P39の各1端子	EV <sub>DD</sub> = 4.0 ~ 5.5 V	15	mA
			EV <sub>DD</sub> = 2.7 ~ 5.5 V	8	mA
		P614, P615の各1端子	EV <sub>DD</sub> = 4.0 ~ 5.5 V	10	mA
			EV <sub>DD</sub> = 2.7 ~ 5.5 V	5	mA
		P00-P06, P30-P37, P40-P42端子合計	30	mA	
	P38, P39, P50-P55, P60-P615, P80, P81, P90-P915端子合計	30	mA		
	I <sub>OL2</sub>	PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDH0-PDH7, PDL0-PDL15の 各1端子	10	mA	
		PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7端子合計	30	mA	
		PDL0-PDL15, PDH0-PDH7端子合計	30	mA	

DC特性

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V, 2.7 V$   $BV_{DD}$   $V_{DD}, 2.7 V$   $AV_{REF1}$   $V_{DD}$ ,  
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$ ) (2/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	$V_{IH1}$	注1	0.7 $EV_{DD}$		$EV_{DD}$	V
	$V_{IH2}$	注2	0.8 $EV_{DD}$		$EV_{DD}$	V
	$V_{IH3}$	注3	0.7 $BV_{DD}$		$BV_{DD}$	V
	$V_{IH4}$	P70-P715	0.7 $AV_{REF0}$		$AV_{REF0}$	V
	$V_{IH5}$	P10, P11 <sup>注4</sup>	0.7 $AV_{REF1}$		$AV_{REF1}$	V
	$V_{IH6}$	P36, P37, P614, P615	0.7 $EV_{DD}$		12	V
	$V_{IH7}$ <sup>注5</sup>	X1, X2, XT1, XT2	$V_{DD} - 0.5$		$V_{DD}$	V
ロウ・レベル入力電圧	$V_{IL1}$	注1	$EV_{SS}$		0.3 $EV_{DD}$	V
	$V_{IL2}$	注2	$EV_{SS}$		0.2 $EV_{DD}$	V
	$V_{IL3}$	注3	$BV_{SS}$		0.3 $BV_{DD}$	V
	$V_{IL4}$	P70-P715	$AV_{SS}$		0.3 $AV_{REF0}$	V
	$V_{IL5}$	P10, P11 <sup>注4</sup>	$AV_{SS}$		0.3 $AV_{REF1}$	V
	$V_{IL6}$	P36, P37, P614, P615	$EV_{SS}$		0.3 $EV_{DD}$	V
	$V_{IL7}$ <sup>注5</sup>	X1, X2, XT1, XT2	$V_{SS}$		0.4	V

注1. P00, P01, P30, P41, P60-P65, P67, P611, P98, P911 (兼用端子を含みます)

2. RESET, FLMD0, P02-P06, P31-P35, P38, P39, P40, P42, P50-P55, P66, P68-P610, P612, P613, P80, P81, P90-P97, P99, P910, P912-P915 (兼用端子を含みます)
3. PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15, PDH0-PDH7 (兼用端子を含みます)
4. ポートとして使用する場合は $AV_{REF1} = AV_{REF0} = V_{DD}$ としてください。
5. 外部クロックを使用したとき

DC特性

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V$ ,  $2.7 V$   $BV_{DD}$   $V_{DD}$ ,  $2.7 V$   $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$ ) (3/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V <sub>OH1</sub>	注1	I <sub>OH</sub> = - 2.0 mA, EV <sub>DD</sub> = 4.0 ~ 5.5 V	EV <sub>DD</sub> - 1.0		EV <sub>DD</sub> V
		注2	I <sub>OH</sub> = - 0.1 mA, EV <sub>DD</sub> = 2.7 ~ 5.5 V	EV <sub>DD</sub> - 0.5		EV <sub>DD</sub> V
	V <sub>OH2</sub>	注3	I <sub>OH</sub> = - 2.0 mA, BV <sub>DD</sub> = 4.0 ~ 5.5 V	BV <sub>DD</sub> - 1.0		BV <sub>DD</sub> V
		注4	I <sub>OH</sub> = - 0.1 mA, BV <sub>DD</sub> = 2.7 ~ 5.5 V	BV <sub>DD</sub> - 0.5		BV <sub>DD</sub> V
	V <sub>OH3</sub>	P10, P11 <sup>注5</sup>	I <sub>OH</sub> = - 2.0 mA	AV <sub>REF1</sub> - 1.0		AV <sub>REF1</sub> V
			I <sub>OH</sub> = - 0.1 mA	AV <sub>REF1</sub> - 0.5		AV <sub>REF1</sub> V
ロウ・レベル出力電圧	V <sub>OL1</sub>	注6	I <sub>OL</sub> = 2.0 mA <sup>注7</sup>	0		0.8 V
	V <sub>OL2</sub>	注8	I <sub>OL</sub> = 2.0 mA <sup>注7</sup>	0		0.8 V
	V <sub>OL3</sub>	P10, P11 <sup>注5</sup>	I <sub>OL</sub> = 2 mA	0		0.8 V
	V <sub>OL4</sub>	P36-P39	I <sub>OL</sub> = 15 mA, EV <sub>DD</sub> = 4.0 ~ 5.5 V	0		2.0 V
			I <sub>OL</sub> = 8 mA, EV <sub>DD</sub> = 3.0 ~ 5.5 V	0		1.0 V
			I <sub>OL</sub> = 5 mA, EV <sub>DD</sub> = 2.7 ~ 5.5 V	0		1.0 V
	V <sub>OL5</sub>	P614, P615	I <sub>OL</sub> = 10 mA, EV <sub>DD</sub> = 4.0 ~ 5.5 V	0		2.0 V
			I <sub>OL</sub> = 5 mA, EV <sub>DD</sub> = 2.7 ~ 5.5 V	0		1.0 V
ハイ・レベル入力リーク電流	I <sub>LIH</sub>	V <sub>IN</sub> = V <sub>DD</sub>			3.0 μA	
ロウ・レベル入力リーク電流	I <sub>LIL</sub>	V <sub>IN</sub> = 0 V			- 3.0 μA	
ハイ・レベル出力リーク電流	I <sub>LOH</sub>	V <sub>O</sub> = V <sub>DD</sub>			3.0 μA	
ロウ・レベル出力リーク電流	I <sub>LOL</sub>	V <sub>O</sub> = 0 V			- 3.0 μA	
ブルアップ抵抗	R <sub>L</sub>	V <sub>IN</sub> = 0 V	10	30	100	kΩ

- 注1. P00-P06, P30-P35, P40-P42の端子合計I<sub>OH</sub> = - 30 mA (兼用端子を含みます) ,  
P50-P55, P60-P613, P80, P81, P90-P915の端子合計I<sub>OH</sub> = - 30 mA (兼用端子を含みます)
2. P00-P06, P30-P35, P40-P42の端子合計I<sub>OH</sub> = - 15 mA (兼用端子を含みます) ,  
P50-P55, P60-P613, P80, P81, P90-P915の端子合計I<sub>OH</sub> = - 15 mA (兼用端子を含みます)
3. PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7の端子合計I<sub>OH</sub> = - 30 mA  
PDH0-PDH7, PDL0-PDL15の端子合計I<sub>OH</sub> = - 30 mA (兼用端子を含みます)
4. PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7の端子合計I<sub>OH</sub> = - 15 mA  
PDH0-PDH7, PDL0-PDL15の端子合計I<sub>OH</sub> = - 15 mA (兼用端子を含みます)
5. ポートとして使用する場合はAV<sub>REF1</sub> = AV<sub>REF0</sub> = V<sub>DD</sub>としてください。
6. P00-P06, P30-P37, P40-P42の端子合計I<sub>OL</sub> = 30 mA (兼用端子を含みます) ,  
P38, P39, P50-P55, P60-P615, P80, P81, P90-P915の端子合計I<sub>OL</sub> = 30 mA (兼用端子を含みます)
7. P36-P39, P614, P615のI<sub>OL</sub>はI<sub>OL1</sub>に従ってください。
8. PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7の端子合計I<sub>OL</sub> = 30 mA (兼用端子を含みます) ,  
PDH0-PDH7, PDL0-PDL15の端子合計I<sub>OL</sub> = 30 mA (兼用端子を含みます)

DC特性

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V$ ,  $2.7 V \leq BV_{DD} \leq V_{DD}$ ,  $2.7 V \leq AV_{REF1} \leq V_{DD}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$ ) (4/5)

項目	略号	条件	MIN.	TYP. <sup>注2</sup>	MAX.	単位
電源電流 <sup>注1</sup> ( $\mu PD70F3318$ ) ( $\mu PD70F3318Y$ )	IDD1	通常動作モード (全周辺機能動作)				
		$f_{XX} = 20 \text{ MHz}$ ( $f_X = 5 \text{ MHz}$ ) (PLLモード時) REGC = $V_{DD} = 5 V \pm 10 \%$		55	75	mA
		$f_{XX} = 16 \text{ MHz}$ ( $f_X = 4 \text{ MHz}$ ) (PLLモード時) $V_{DD} = 5 V \pm 10 \%$ , REGC = $10 \mu F$		34	50	mA
	IDD2	$f_{XX} = 10 \text{ MHz}$ (クロック・スルー・モード時) REGC = $V_{DD} = 3 V \pm 10 \%$		18	37	mA
		HALTモード (全周辺機能動作)				
		$f_{XX} = 20 \text{ MHz}$ ( $f_X = 5 \text{ MHz}$ ) (PLLモード時) REGC = $V_{DD} = 5 V \pm 10 \%$		29	43	mA
	IDD3	$f_{XX} = 16 \text{ MHz}$ ( $f_X = 4 \text{ MHz}$ ) (PLLモード時) $V_{DD} = 5 V \pm 10 \%$ , REGC = $10 \mu F$		17	31	mA
		$f_{XX} = 10 \text{ MHz}$ (クロック・スルー・モード時) REGC = $V_{DD} = 3 V \pm 10 \%$		10	17	mA
		IDLEモード (時計タイマ動作, 内蔵発振器停止)				
	IDD4	$f_X = 5 \text{ MHz}$ (PLLモード・オフ時) REGC = $V_{DD} = 5 V \pm 10 \%$		2.1	3.3	mA
		$f_X = 4 \text{ MHz}$ (PLLモード・オフ時) $V_{DD} = 5 V \pm 10 \%$ , REGC = $10 \mu F$		1.5	2.7	mA
		$f_X = 10 \text{ MHz}$ (クロック・スルー・モード時) REGC = $V_{DD} = 3 V \pm 10 \%$		1.5	2.7	mA
	IDD4	サブクロック動作モード ( $f_{XT} = 32.768 \text{ kHz}$ ) メイン発振器停止, 内蔵発振器停止		250	420	$\mu A$
	IDD5	サブIDLEモード ( $f_{XT} = 32.768 \text{ kHz}$ ) 時計タイマ動作, メイン発振器停止, 内蔵発振器停止		20	75	$\mu A$
	IDD6	STOPモード				
		サブ発振動作, 内蔵発振器動作		34	103	$\mu A$
サブ発振器停止 ( $XT1 = V_{SS}$ , PSMR.XTSTPビット = 1), 内蔵発振器動作			17.5	63.5	$\mu A$	
IDD7	サブ発振器停止 ( $XT1 = V_{SS}$ ), 内蔵発振器停止		3.5	35.5	$\mu A$	
	フラッシュ・メモリ消去 / 書き込み時 ( $T_A = -40 \sim +85$ )					
	$f_{XX} = 20 \text{ MHz}$ ( $f_X = 5 \text{ MHz}$ ) (PLLモード時) REGC = $V_{DD} = 5 V \pm 10 \%$		55	75	mA	
	$f_{XX} = 16 \text{ MHz}$ ( $f_X = 4 \text{ MHz}$ ) (PLLモード時) $V_{DD} = 5 V \pm 10 \%$ , REGC = $10 \mu F$		34	50	mA	
IDD7	$f_{XX} = 10 \text{ MHz}$ (クロック・スルー・モード時) REGC = $V_{DD} = 3 V \pm 10 \%$		18	37	mA	

注1.  $V_{DD}$ ,  $EV_{DD}$ ,  $BV_{DD}$ 合計の電流です (全ポート停止時)。 $AV_{REF0}$ ,  $AV_{REF1}$ は含みません。

2. TYP.値の $V_{DD}$ は次に示すとおりです。

$V_{DD} = 5 V \pm 10\%$ 時,  $V_{DD} = 5.0 V$

$V_{DD} = 3 V \pm 10\%$ 時,  $V_{DD} = 3.0 V$

備考  $f_{XX}$ : メイン・クロック周波数,  $f_X$ : メイン・クロック発振周波数,  $f_{XT}$ : サブクロック周波数



DC特性

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V$ ,  $2.7 V \leq BV_{DD} \leq V_{DD}$ ,  $2.7 V \leq AV_{REF1} \leq V_{DD}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$ ) (5/5)

項目	略号	条件	MIN.	TYP. <sup>注2</sup>	MAX.	単位
電源電流 <sup>注1</sup> ( $\mu PD70F3316$ ) ( $\mu PD70F3316Y$ )	IDD1	通常動作モード (全周辺機能動作)				
		$f_{XX} = 20 \text{ MHz}$ ( $f_X = 5 \text{ MHz}$ ) (PLLモード時) REGC = $V_{DD} = 5 V \pm 10 \%$		51	70	mA
		$f_{XX} = 16 \text{ MHz}$ ( $f_X = 4 \text{ MHz}$ ) (PLLモード時) $V_{DD} = 5 V \pm 10 \%$ , REGC = $10 \mu F$		32	47	mA
	IDD2	HALTモード (全周辺機能動作)				
		$f_{XX} = 20 \text{ MHz}$ ( $f_X = 5 \text{ MHz}$ ) (PLLモード時) REGC = $V_{DD} = 5 V \pm 10 \%$		25	38	mA
		$f_{XX} = 16 \text{ MHz}$ ( $f_X = 4 \text{ MHz}$ ) (PLLモード時) $V_{DD} = 5 V \pm 10 \%$ , REGC = $10 \mu F$		15	28	mA
	IDD3	IDLEモード (時計タイマ動作, 内蔵発振器停止)				
		$f_X = 5 \text{ MHz}$ (PLLモード・オフ時) REGC = $V_{DD} = 5 V \pm 10 \%$		1.8	2.9	mA
		$f_X = 4 \text{ MHz}$ (PLLモード・オフ時) $V_{DD} = 5 V \pm 10 \%$ , REGC = $10 \mu F$		1.4	2.4	mA
	IDD4	サブクロック動作モード ( $f_{XT} = 32.768 \text{ kHz}$ ) メイン発振器停止, 内蔵発振器停止				
				240	400	$\mu A$
	IDD5	サブIDLEモード ( $f_{XT} = 32.768 \text{ kHz}$ ) 時計タイマ動作, メイン発振器停止, 内蔵発振器停止				
				20	75	$\mu A$
	IDD6	STOPモード				
		サブ発振動作, 内蔵発振器動作		34	103	$\mu A$
		サブ発振器停止 ( $XT1 = V_{SS}$ , PSMR.XTSTPビット = 1), 内蔵発振器動作		17.5	63.5	$\mu A$
	IDD7	フラッシュ・メモリ消去/書き込み時 ( $T_A = -40 \sim +85$ )				
		$f_{XX} = 20 \text{ MHz}$ ( $f_X = 5 \text{ MHz}$ ) (PLLモード時) REGC = $V_{DD} = 5 V \pm 10 \%$		51	70	mA
		$f_{XX} = 16 \text{ MHz}$ ( $f_X = 4 \text{ MHz}$ ) (PLLモード時) $V_{DD} = 5 V \pm 10 \%$ , REGC = $10 \mu F$		32	47	mA
IDD8	フラッシュ・メモリ消去/書き込み時 ( $T_A = -40 \sim +85$ )					
	$f_{XX} = 10 \text{ MHz}$ (クロック・スルー・モード時) REGC = $V_{DD} = 3 V \pm 10 \%$		17	34	mA	

注1.  $V_{DD}$ ,  $EV_{DD}$ ,  $BV_{DD}$ 合計の電流です (全ポート停止時)。 $AV_{REF0}$ ,  $AV_{REF1}$ は含みません。

2. TYP.値の $V_{DD}$ は次に示すとおりです。

$V_{DD} = 5 V \pm 10\%$ 時,  $V_{DD} = 5.0 V$

$V_{DD} = 3 V \pm 10\%$ 時,  $V_{DD} = 3.0 V$

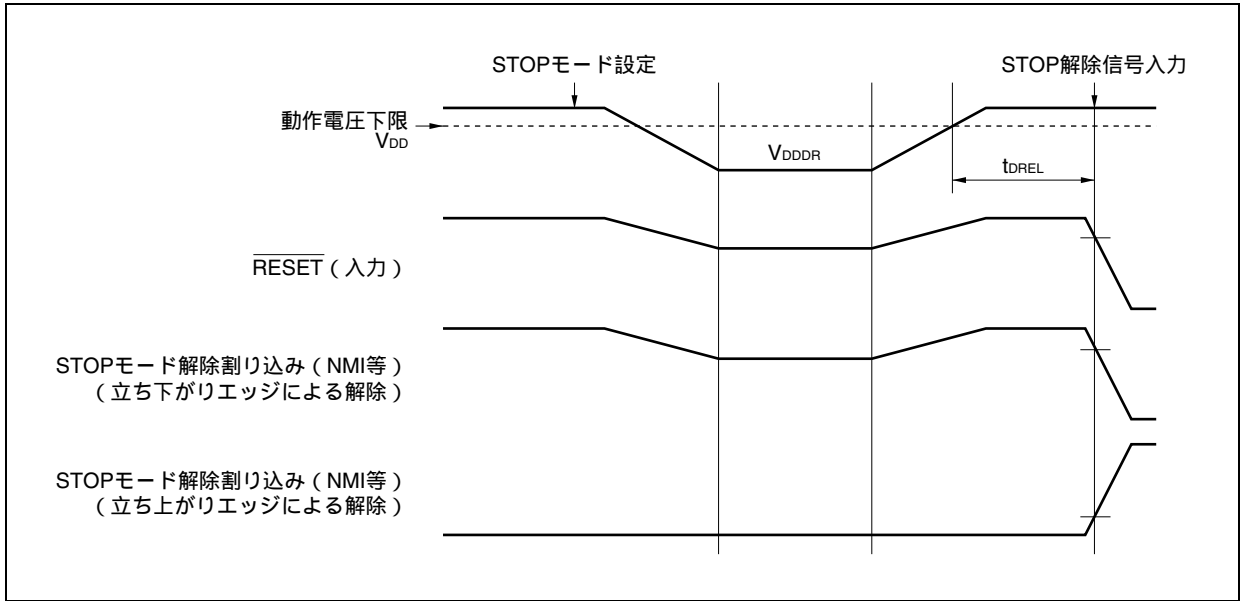
備考  $f_{XX}$ : メイン・クロック周波数,  $f_X$ : メイン・クロック発振周波数,  $f_{XT}$ : サブクロック周波数

データ保持特性

STOPモード時 (TA = -40 ~ +85 )

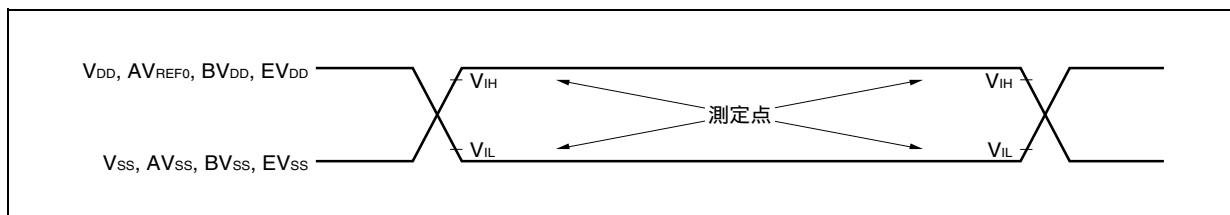
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V <sub>DDDR</sub>	STOPモード	2.0		5.5	V
STOP解除信号入力時間	t <sub>DREL</sub>		0			μs

注意 STOPモードへの移行, およびSTOPモードからの復帰は, 動作範囲内で行ってください。

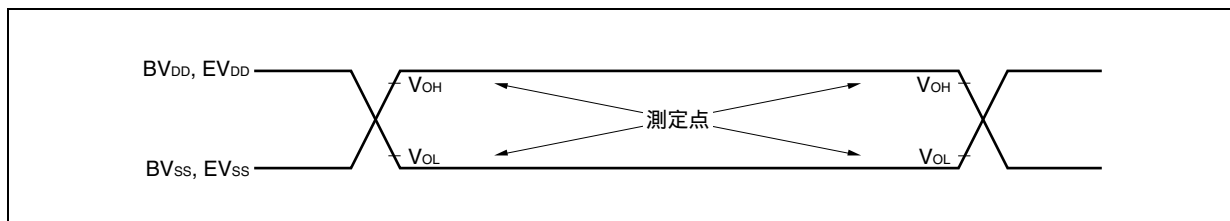


AC特性

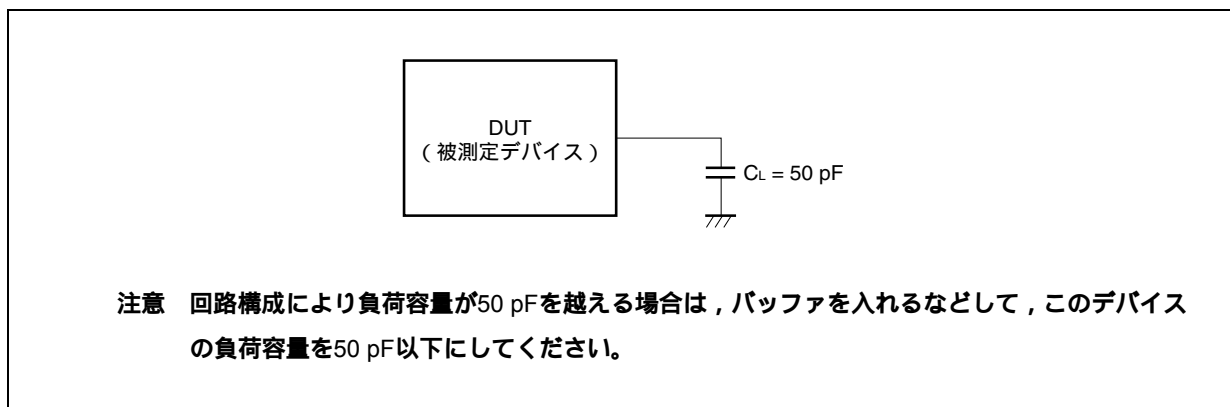
ACテスト入力測定点



ACテスト出力測定点



負荷条件

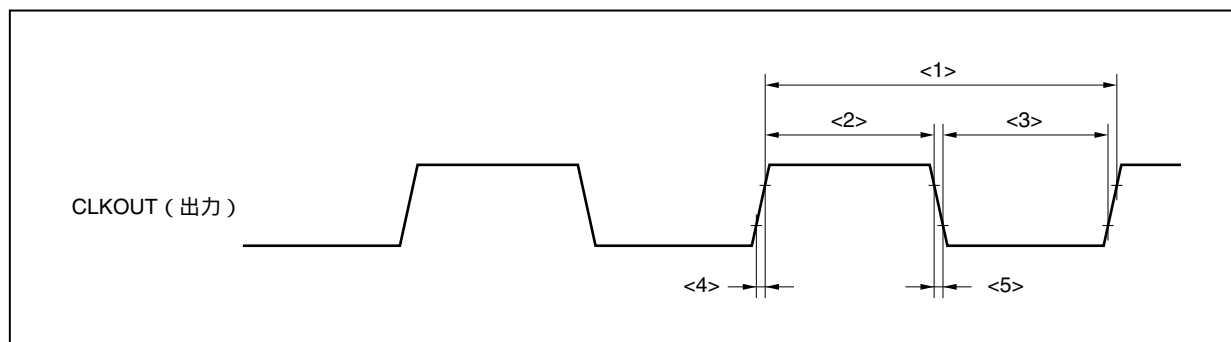


CLKOUT出力タイミング

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V$ ,  $2.7 V$   $BV_{DD}$   $V_{DD}$ ,  $2.7 V$   $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$ ,  $C_L = 50 pF$ )

項目	略号	条件	MIN.	MAX.	単位
出力周期	$t_{CYK}$	<1>	50 ns	30.6 $\mu s$	
ハイ・レベル幅	$t_{WKH}$	$V_{DD} = 4.0 \sim 5.5 V$	$t_{CYK}/2-17$		ns
		$V_{DD} = 2.7 \sim 5.5 V$	$t_{CYK}/2-26$		ns
ロウ・レベル幅	$t_{WKL}$	$V_{DD} = 4.0 \sim 5.5 V$	$t_{CYK}/2-17$		ns
		$V_{DD} = 2.7 \sim 5.5 V$	$t_{CYK}/2-26$		ns
立ち上がり時間	$t_{KR}$	$V_{DD} = 4.0 \sim 5.5 V$		17	ns
		$V_{DD} = 2.7 \sim 5.5 V$		26	ns
立ち下がり時間	$t_{KF}$	$V_{DD} = 4.0 \sim 5.5 V$		17	ns
		$V_{DD} = 2.7 \sim 5.5 V$		26	ns

クロック・タイミング



## バス・タイミング

### (1) マルチプレクス・バス・モード時

#### (a) リード/ライト・サイクル (CLKOUT非同期)

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5$  V,  $4.0$  V  $BV_{DD}$   $V_{DD}$ ,  $4.0$  V  $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS}$  =  $BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF) (1/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対ASTB)	$t_{SAST}$	<6>	$(0.5 + t_{ASW}) T - 23$		ns
アドレス保持時間 (対ASTB)	$t_{HSTA}$	<7>	$(0.5 + t_{AHW}) T - 15$		ns
$\overline{RD}$ アドレス・フロート遅延時間	$t_{FRDA}$	<8>		16	ns
アドレス データ入力設定時間	$t_{SAID}$	<9>		$(2 + n + t_{ASW} + t_{AHW}) T - 40$	ns
$\overline{RD}$ データ入力設定時間	$t_{SRID}$	<10>		$(1 + n) T - 25$	ns
ASTB $\overline{RD}$ , $\overline{WRm}$ 遅延時間	$t_{DSTRDWR}$	<11>	$(0.5 + t_{AHW}) T - 20$		ns
データ入力保持時間 (対 $\overline{RD}$ )	$t_{HRDID}$	<12>	0		ns
$\overline{RD}$ アドレス出力時間	$t_{DRDA}$	<13>	$(1 + i) T - 16$		ns
$\overline{RD}$ , $\overline{WRm}$ ASTB 遅延時間	$t_{DRDWRST}$	<14>	$0.5T - 10$		ns
$\overline{RD}$ ASTB 遅延時間	$t_{DRDST}$	<15>	$(1.5 + i + t_{ASW}) T - 10$		ns
$\overline{RD}$ , $\overline{WRm}$ ロウ・レベル幅	$t_{WRDWRRL}$	<16>	$(1 + n) T - 10$		ns
ASTB ハイ・レベル幅	$t_{WSTH}$	<17>	$(1 + i + t_{ASW}) T - 25$		ns
$\overline{WRm}$ データ出力時間	$t_{DWRD}$	<18>		20	ns
データ出力設定時間 (対 $\overline{WRm}$ )	$t_{SODWR}$	<19>	$(1 + n) T - 25$		ns
データ出力保持時間 (対 $\overline{WRm}$ )	$t_{HWROD}$	<20>	$T - 15$		ns
WAIT設定時間 (対アドレス)	$t_{SAWT1}$	<21>	n 1	$(1.5 + t_{ASW} + t_{AHW}) T - 45$	ns
	$t_{SAWT2}$	<22>		$1.5 + n + t_{ASW} + t_{AHW}) T - 45$	ns
WAIT保持時間 (対アドレス)	$t_{HAWT1}$	<23>	n 1	$(0.5 + n + t_{ASW} + t_{AHW}) T$	ns
	$t_{HAWT2}$	<24>		$(1.5 + n + t_{ASW} + t_{AHW}) T$	ns
WAIT設定時間 (対ASTB)	$t_{SSTWT1}$	<25>	n 1	$(1 + t_{AHW}) T - 32$	ns
	$t_{SSTWT2}$	<26>		$(1 + n + t_{AHW}) T - 32$	ns
WAIT保持時間 (対ASTB)	$t_{HSTWT1}$	<27>	n 1	$(n + t_{AHW}) T$	ns
	$t_{HSTWT2}$	<28>		$(1 + n + t_{AHW}) T$	ns

備考1.  $t_{ASW}$  : アドレス・セットアップ・ウエイト・クロック数 (0または1)

$t_{AHW}$  : アドレス・ホールド・ウエイト・クロック数 (0または1)

2.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPU動作クロック周波数)

3. n : バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は、サンプル・タイミングが変わります。

4. m = 0, 1

5. i : リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

6. 上記スペックは、X1からデューティ比1 : 1のクロックを入力した場合の値です。

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V$ ,  $2.7 V$   $BV_{DD}$   $V_{DD}$ ,  $2.7 V$   $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS}$   
 $= BV_{SS} = AV_{SS} = 0 V$ ,  $C_L = 50 pF$ ) (2/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対ASTB)	$t_{SAST}$	<6>	$(0.5 + t_{ASW}) T - 42$		ns
アドレス保持時間 (対ASTB)	$t_{HSTA}$	<7>	$(0.5 + t_{AHW}) T - 30$		ns
$\overline{RD}$ アドレス・フロート遅延時間	$t_{FRDA}$	<8>		32	ns
アドレス データ入力設定時間	$t_{SAID}$	<9>		$(2 + n + t_{ASW} + t_{AHW}) T - 72$	ns
$\overline{RD}$ データ入力設定時間	$t_{SRID}$	<10>		$(1 + n) T - 40$	ns
ASTB $\overline{RD}$ , $\overline{WRm}$ 遅延時間	$t_{DSTRDWR}$	<11>	$(0.5 + t_{AHW}) T - 35$		ns
データ入力保持時間 (対 $\overline{RD}$ )	$t_{HRDID}$	<12>	0		ns
$\overline{RD}$ アドレス出力時間	$t_{DRDA}$	<13>	$(1 + i) T - 32$		ns
$\overline{RD}$ , $\overline{WRm}$ ASTB 遅延時間	$t_{DRDWRST}$	<14>	$0.5T - 20$		ns
$\overline{RD}$ ASTB 遅延時間	$t_{DRDST}$	<15>	$(1.5 + i + t_{ASW}) T - 20$		ns
$\overline{RD}$ , $\overline{WRm}$ 口ウ・レベル幅	$t_{WRDWRL}$	<16>	$(1 + n) T - 20$		ns
ASTB ハイ・レベル幅	$t_{WSTH}$	<17>	$(1 + i + t_{ASW}) T - 50$		ns
$\overline{WRm}$ データ出力時間	$t_{DWROD}$	<18>		35	ns
データ出力設定時間 (対 $\overline{WRm}$ )	$t_{SODWR}$	<19>	$(1 + n) T - 40$		ns
データ出力保持時間 (対 $\overline{WRm}$ )	$t_{HWROD}$	<20>	$T - 30$		ns
WAIT設定時間 (対アドレス)	$t_{SAWT1}$	<21>	n 1	$(1.5 + t_{ASW} + t_{AHW}) T - 80$	ns
	$t_{SAWT2}$	<22>		$(1.5 + n + t_{ASW} + t_{AHW}) T - 80$	ns
WAIT保持時間 (対アドレス)	$t_{HAWT1}$	<23>	n 1	$(0.5 + n + t_{ASW} + t_{AHW}) T$	ns
	$t_{HAWT2}$	<24>		$(1.5 + n + t_{ASW} + t_{AHW}) T$	ns
WAIT設定時間 (対ASTB)	$t_{SSTWT1}$	<25>	n 1	$(1 + t_{AHW}) T - 60$	ns
	$t_{SSTWT2}$	<26>		$(1 + n + t_{AHW}) T - 60$	ns
WAIT保持時間 (対ASTB)	$t_{HSTWT1}$	<27>	n 1	$(n + t_{AHW}) T$	ns
	$t_{HSTWT2}$	<28>		$(1 + n + t_{AHW}) T$	ns

注意 CPU動作クロック周波数の使用条件によっては、次の設定を行ってください ( $k = 0-3$ )。

・  $70 ns < 1/f_{CPU} < 84 ns$ 時

アドレス・セットアップ・ウエイト (AWC.ASWkビット = 1) を設定

・  $62.5 ns < 1/f_{CPU} < 70 ns$ 時

アドレス・セットアップ・ウエイト (ASWkビット = 1) およびアドレス・ホールド・ウエイト (AWC.AHWkビット = 1) を設定

備考1.  $t_{ASW}$  : アドレス・セットアップ・ウエイト・クロック数 (0または1)

$t_{AHW}$  : アドレス・ホールド・ウエイト・クロック数 (0または1)

2.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPU動作クロック周波数)

3.  $n$  : バス・サイクルに挿入されるウエイト・クロック数

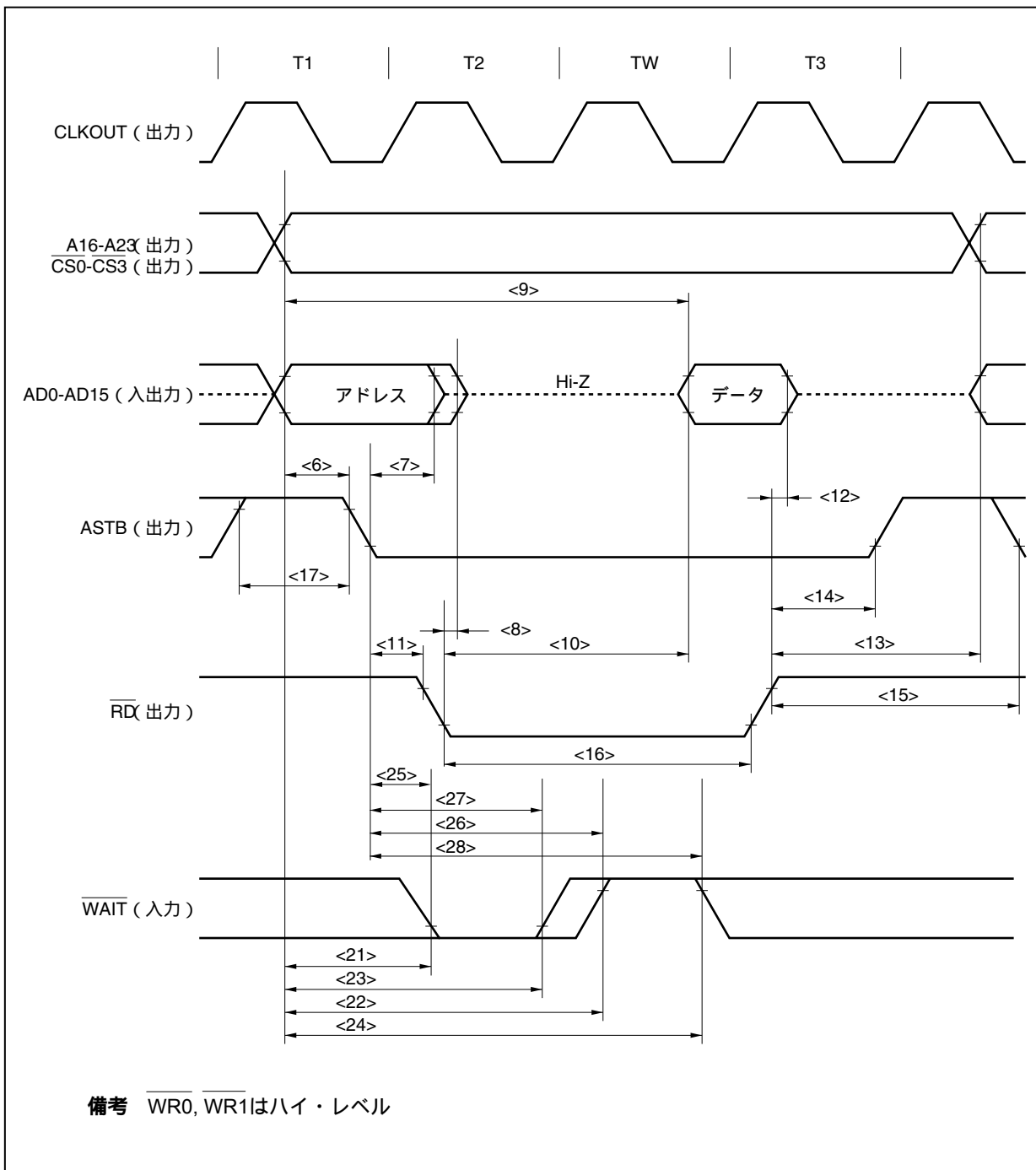
プログラブル・ウエイト挿入時は、サンプル・タイミングが変わります。

4.  $m = 0, 1$

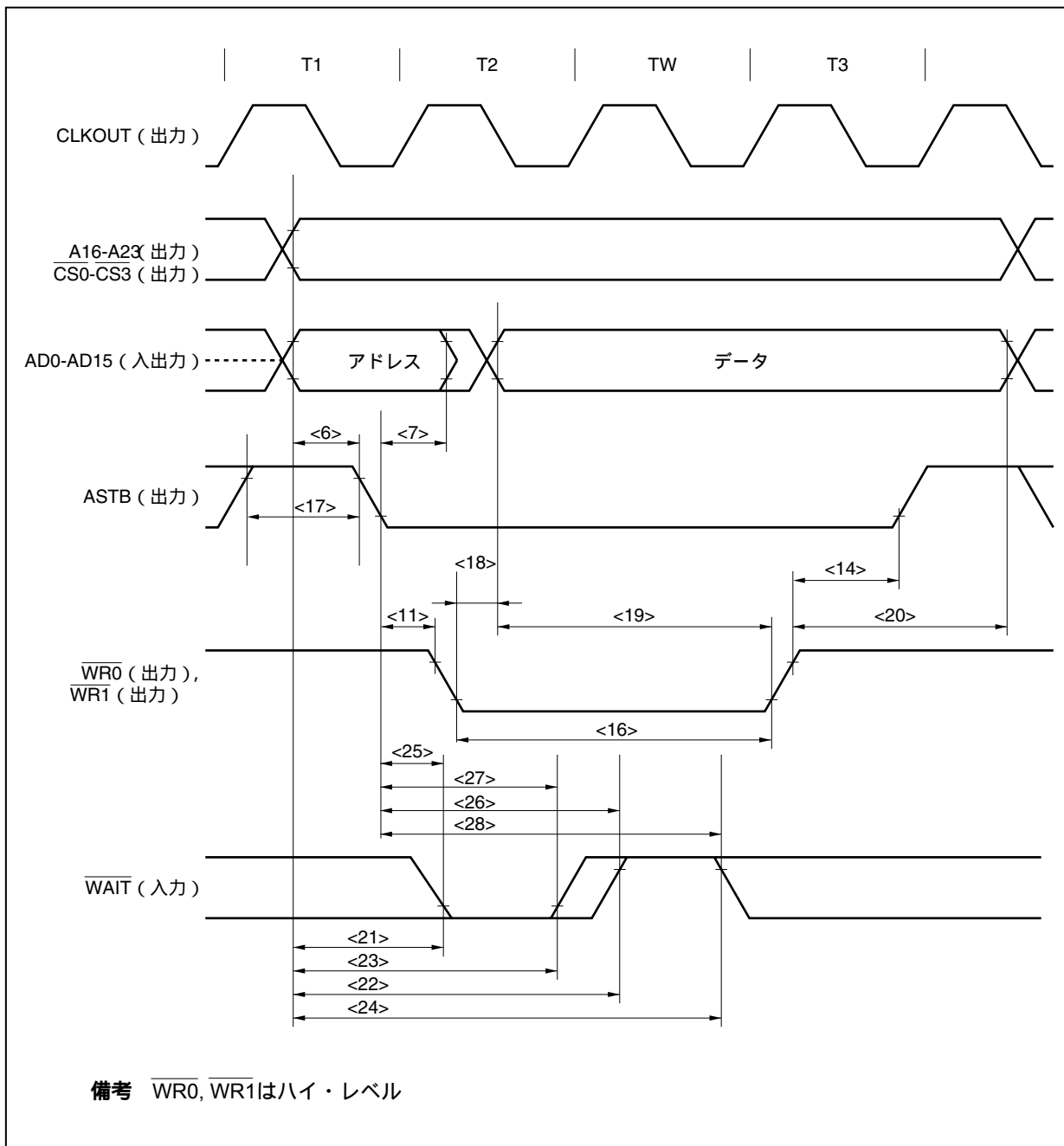
5.  $i$  : リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

6. 上記スペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT非同期) : マルチプレクス・バス・モード時



ライト・サイクル (CLKOUT非同期) : マルチプレクス・バス・モード時





(b) リード/ライト・サイクル (CLKOUT同期) : マルチプレクス・バス・モード時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5 V, 4.0 V$   $BV_{DD}$   $V_{DD}, 4.0 V$   $AV_{REF1}$   $V_{DD}, V_{SS} = EV_{SS}$   
 $= BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$ ) (1/2)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t <sub>DKA</sub>	<29>	0	19	ns
CLKOUT アドレス・フロート遅延時	t <sub>FKA</sub>	<30>	0	14	ns
CLKOUT ASTB遅延時間	t <sub>DKST</sub>	<31>	0	23	ns
CLKOUT $\overline{RD}, \overline{WR}_m$ 遅延時間	t <sub>DKRDWR</sub>	<32>	- 22	0	ns
データ入力設定時間 (対CLKOUT )	t <sub>SIDK</sub>	<33>	15		ns
データ入力保持時間 (対CLKOUT )	t <sub>HKID</sub>	<34>	0		ns
CLKOUT データ出力遅延時間	t <sub>DKOD</sub>	<35>		19	ns
WAIT設定時間 (対CLKOUT )	t <sub>SWTK</sub>	<36>	15		ns
WAIT保持時間 (対CLKOUT )	t <sub>HKWT</sub>	<37>	0		ns

備考1.  $m = 0, 1$

2. 上記スペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

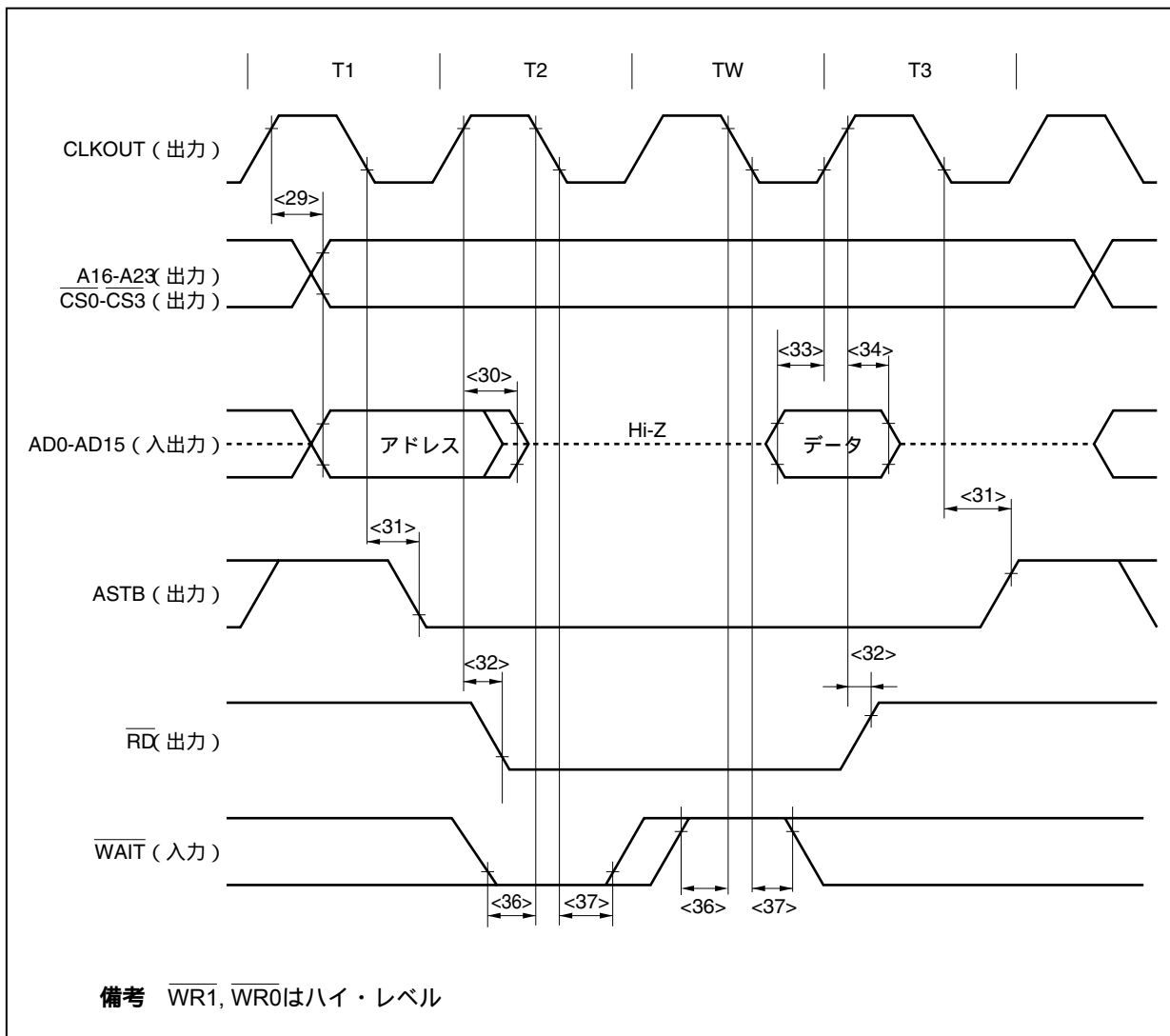
( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V, 2.7 V$   $BV_{DD}$   $V_{DD}, 2.7 V$   $AV_{REF1}$   $V_{DD}, V_{SS} = EV_{SS}$   
 $= BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$ ) (2/2)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t <sub>DKA</sub>	<29>	0	19	ns
CLKOUT アドレス・フロート遅延時	t <sub>FKA</sub>	<30>	0	18	ns
CLKOUT ASTB遅延時間	t <sub>DKST</sub>	<31>	0	55	ns
CLKOUT $\overline{RD}, \overline{WR}_m$ 遅延時間	t <sub>DKRDWR</sub>	<32>	- 22	0	ns
データ入力設定時間 (対CLKOUT )	t <sub>SIDK</sub>	<33>	30		ns
データ入力保持時間 (対CLKOUT )	t <sub>HKID</sub>	<34>	0		ns
CLKOUT データ出力遅延時間	t <sub>DKOD</sub>	<35>		19	ns
WAIT設定時間 (対CLKOUT )	t <sub>SWTK</sub>	<36>	25		ns
WAIT保持時間 (対CLKOUT )	t <sub>HKWT</sub>	<37>	0		ns

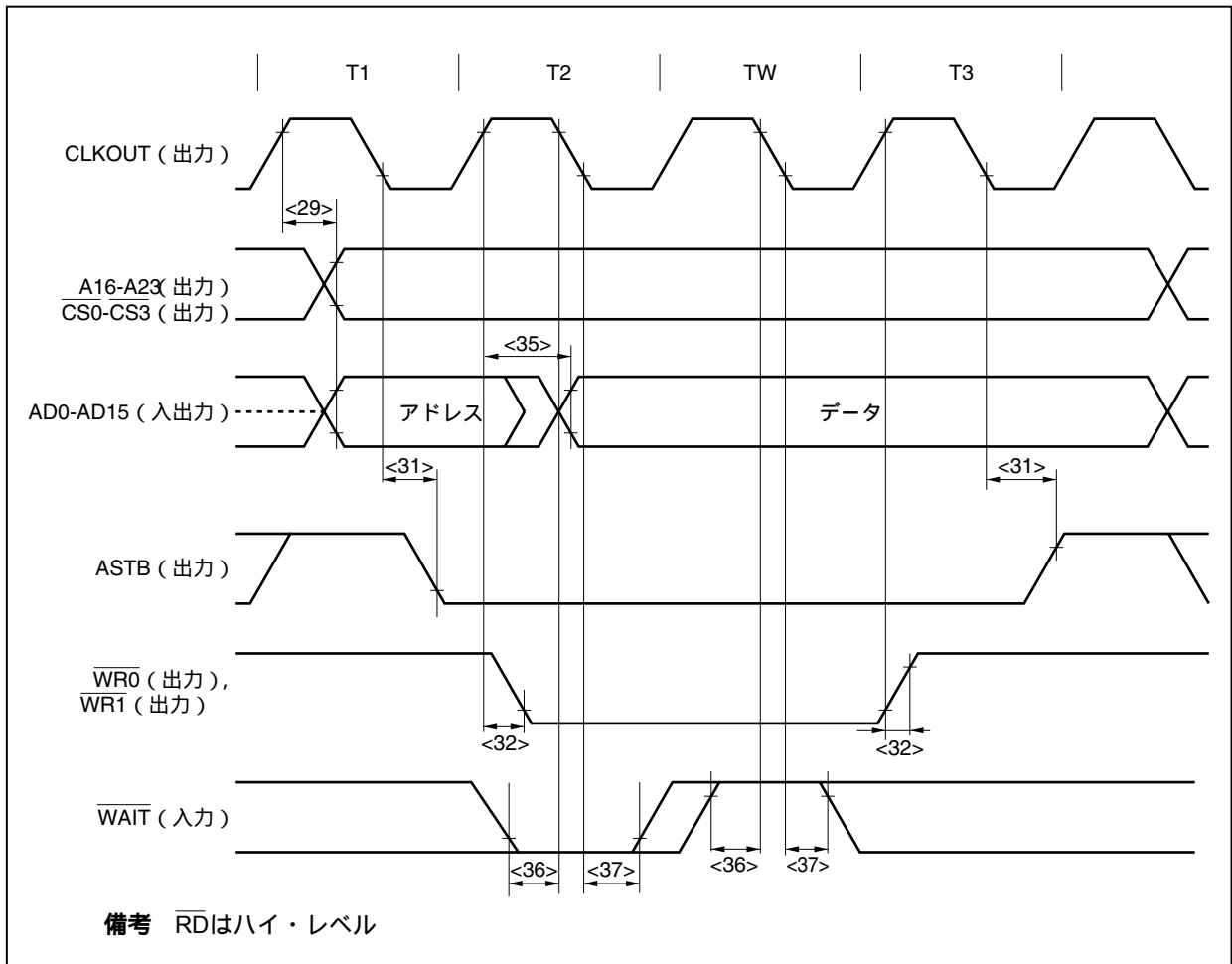
備考1.  $m = 0, 1$

2. 上記スペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT同期) : マルチプレクス・バス・モード時



ライト・サイクル (CLKOUT同期) : マルチプレクス・バス・モード時



(2) セバレート・バス・モード時

(a) リード・サイクル (CLKOUT非同期) : セバレート・バス・モード時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5$  V,  $4.0$  V  $BV_{DD}$   $V_{DD}$ ,  $4.0$  V  $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS}$  =  $BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF) (1/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対 $\overline{RD}$ )	$t_{SARD}$	<38>	$(0.5 + t_{ASW}) T - 50$		ns
アドレス保持時間 (対 $\overline{RD}$ )	$t_{HARD}$	<39>	$iT - 13$		ns
$\overline{RD}$ ロウ・レベル幅	$t_{WRDL}$	<40>	$(1.5 + n + t_{AHW}) T - 15$		ns
データ設定時間 (対 $\overline{RD}$ )	$t_{SISD}$	<41>	30		ns
データ保持時間 (対 $\overline{RD}$ )	$t_{HISD}$	<42>	0		ns
データ設定時間 (対アドレス)	$t_{SAID}$	<43>		$(2 + n + t_{ASW} + t_{AHW}) T - 65$	ns
WAIT設定時間 (対 $\overline{RD}$ )	$t_{SRDWT1}$	<44>	n 1	$(0.5 + t_{AHW}) T - 32$	ns
	$t_{SRDWT2}$	<45>		$(0.5 + n + t_{AHW}) T - 32$	ns
WAIT保持時間 (対 $\overline{RD}$ )	$t_{HRDWT1}$	<46>	n 1	$(n - 0.5 + t_{AHW}) T$	ns
	$t_{HRDWT2}$	<47>		$(n + 0.5 + t_{AHW}) T$	ns
WAIT設定時間 (対アドレス)	$t_{SAWT1}$	<48>	n 1	$(1 + t_{ASW} + t_{AHW}) T - 65$	ns
	$t_{SAWT2}$	<49>		$(1 + n + t_{ASW} + t_{AHW}) T - 65$	ns
WAIT保持時間 (対アドレス)	$t_{HAWT1}$	<50>	n 1	$(n + t_{ASW} + t_{AHW}) T$	ns
	$t_{HAWT2}$	<51>		$(1 + n + t_{ASW} + t_{AHW}) T$	ns

注意 CPU動作クロック周波数の使用条件によっては、次の設定を行ってください (k = 0-3)。

•  $1/f_{CPU} < 100$  ns時

アドレス・セットアップ・ウエイト (ASWkビット = 1) を設定

備考1.  $t_{ASW}$  : アドレス・セットアップ・ウエイト・クロック数 (0または1)

$t_{AHW}$  : アドレス・ホールド・ウエイト・クロック数 (0または1)

2.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPU動作クロック周波数)

3. n : バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。

4. i : リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

5. 上記のスペックは、X1からデューティ比1 : 1のクロックを入力した場合の値です。

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5$  V,  $2.7$  V  $B_{VDD}$   $V_{DD}$ ,  $2.7$  V  $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS}$  =  $B_{VSS} = AV_{SS} = 0$  V,  $C_L = 50$  pF) (2/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対 $\overline{RD}$ )	$t_{SARD}$	<38>	$(0.5 + t_{ASW}) T - 100$		ns
アドレス保持時間 (対 $\overline{RD}$ )	$t_{HARD}$	<39>	$iT - 26$		ns
$\overline{RD}$ 口ウ・レベル幅	$t_{WRDL}$	<40>	$(1.5 + n + t_{AHW}) T - 30$		ns
データ設定時間 (対 $\overline{RD}$ )	$t_{SISD}$	<41>	60		ns
データ保持時間 (対 $\overline{RD}$ )	$t_{HISD}$	<42>	0		ns
データ設定時間 (対アドレス)	$t_{SAID}$	<43>		$(2 + n + t_{ASW} + t_{AHW}) T - 120$	ns
$\overline{WAIT}$ 設定時間 (対 $\overline{RD}$ )	$t_{SRDWT1}$	<44>	n 1	$(0.5 + t_{AHW}) T - 50$	ns
	$t_{SRDWT2}$	<45>		$(0.5 + n + t_{AHW}) T - 50$	ns
$\overline{WAIT}$ 保持時間 (対 $\overline{RD}$ )	$t_{HRDWT1}$	<46>	n 1	$(n - 0.5 + t_{AHW}) T$	ns
	$t_{HRDWT2}$	<47>		$(n + 0.5 + t_{AHW}) T$	ns
$\overline{WAIT}$ 設定時間 (対アドレス)	$t_{SAWT1}$	<48>	n 1	$(1 + t_{ASW} + t_{AHW}) T - 130$	ns
	$t_{SAWT2}$	<49>		$(1 + n + t_{ASW} + t_{AHW}) T - 130$	ns
$\overline{WAIT}$ 保持時間 (対アドレス)	$t_{HAWT1}$	<50>	n 1	$(n + t_{ASW} + t_{AHW}) T$	ns
	$t_{HAWT2}$	<51>		$(1 + n + t_{ASW} + t_{AHW}) T$	ns

注意 CPU動作クロック周波数の使用条件によっては、次の設定を行ってください (k = 0-3)。

•  $1/f_{CPU} < 200$  ns時

アドレス・セットアップ・ウエイト (ASWkビット = 1) を設定

備考1.  $t_{ASW}$  : アドレス・セットアップ・ウエイト・クロック数 (0または1)

$t_{AHW}$  : アドレス・ホールド・ウエイト・クロック数 (0または1)

2.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPU動作クロック周波数)

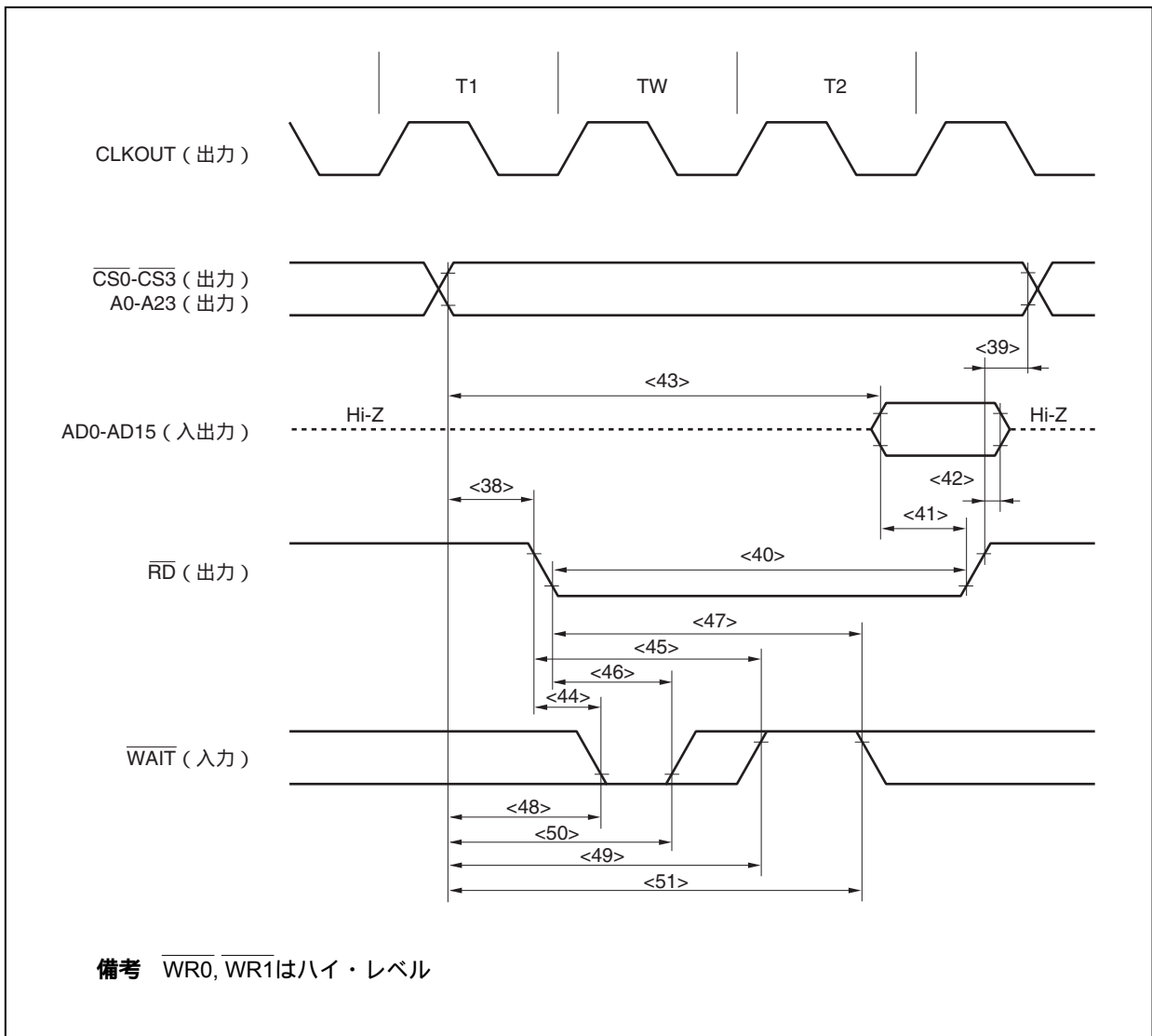
3. n : バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。

4. i : リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

5. 上記のスペックは、X1からデューティ比1 : 1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT非同期) : セパレート・バス・モード時



(b) ライト・サイクル (CLKOUT非同期) : セパレート・バス・モード時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5 V$ ,  $4.0 V$   $BV_{DD}$   $V_{DD}$ ,  $4.0 V$   $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS}$  =  $BV_{SS} = AV_{SS} = 0 V$ ,  $C_L = 50 pF$ ) (1/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対 $\overline{WRm}$ )	$t_{SAWR}$	<52>	$(1 + t_{ASW} + t_{AHW}) T - 60$		ns
アドレス保持時間 (対 $\overline{WRm}$ )	$t_{HAWR}$	<53>	$0.5T - 10$		ns
$\overline{WRm}$ 口ロウ・レベル幅	$t_{WWRL}$	<54>	$(0.5 + n) T - 10$		ns
$\overline{WRm}$ データ出力遅延時間	$t_{DOSDW}$	<55>	- 5		ns
データ設定時間 (対 $\overline{WRm}$ )	$t_{SOSDW}$	<56>	$(0.5 + n) T - 20$		ns
データ保持時間 (対 $\overline{WRm}$ )	$t_{HOSDW}$	<57>	$0.5T - 20$		ns
データ設定時間 (対アドレス)	$t_{SAOD}$	<58>	$(1 + t_{ASW} + t_{AHW}) T - 30$		ns
WAIT設定時間 (対 $\overline{WRm}$ )	$t_{SWRWT1}$	<59>	30		ns
	$t_{SWRWT2}$	<60>		$nT - 30$	ns
WAIT保持時間 (対 $\overline{WRm}$ )	$t_{HWRWT1}$	<61>	0		ns
	$t_{HWRWT2}$	<62>	$nT$		ns
WAIT設定時間 (対アドレス)	$t_{SAWT1}$	<63>		$(1 + t_{ASW} + t_{AHW}) T - 45$	ns
	$t_{SAWT2}$	<64>		$(1 + n + t_{ASW} + t_{AHW}) T - 45$	ns
WAIT保持時間 (対アドレス)	$t_{HAWT1}$	<65>	$(n + t_{ASW} + t_{AHW}) T$		ns
	$t_{HAWT2}$	<66>	$(1 + n + t_{ASW} + t_{AHW}) T$		ns

注意 CPU動作クロック周波数の使用条件によっては、次の設定を行ってください ( $k = 0-3$ )。

•  $1/f_{CPU} < 60$  ns時

アドレス・セットアップ・ウエイト (ASWkビット = 1) を設定

備考1.  $m = 0, 1$

2.  $t_{ASW}$  : アドレス・セットアップ・ウエイト・クロック数 (0または1)

$t_{AHW}$  : アドレス・ホールド・ウエイト・クロック数 (0または1)

3.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPU動作クロック周波数)

4.  $n$  : バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。

5. 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V, 2.7 V$   $BV_{DD} V_{DD}, 2.7 V$   $AV_{REF1} V_{DD}, V_{SS} = EV_{SS}$   
 $= BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$ ) (2/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対 $\overline{WRm}$ )	$t_{SAWR}$	<52>	$(1 + t_{ASW} + t_{AHW})T - 100$		ns
アドレス保持時間 (対 $\overline{WRm}$ )	$t_{HAWR}$	<53>	$0.5T - 10$		ns
$\overline{WRm}$ 口ウ・レベル幅	$t_{WRL}$	<54>	$(0.5 + n)T - 10$		ns
$\overline{WRm}$ データ出力遅延時間	$t_{DOSDW}$	<55>	- 5		ns
データ設定時間 (対 $\overline{WRm}$ )	$t_{SOSDW}$	<56>	$(0.5 + n)T - 35$		ns
データ保持時間 (対 $\overline{WRm}$ )	$t_{HOSDW}$	<57>	$0.5T - 35$		ns
データ設定時間 (対アドレス)	$t_{SAOD}$	<58>	$(1 + t_{ASW} + t_{AHW})T - 55$		ns
WAIT設定時間 (対 $\overline{WRm}$ )	$t_{SWRWT1}$	<59>	50	$nT - 50$	ns
	$t_{SWRWT2}$	<60>			ns
WAIT保持時間 (対 $\overline{WRm}$ )	$t_{HWRWT1}$	<61>	$nT$		ns
	$t_{HWRWT2}$	<62>			ns
WAIT設定時間 (対アドレス)	$t_{SAWT1}$	<63>		$(1 + t_{ASW} + t_{AHW})T - 100$	ns
	$t_{SAWT2}$	<64>		$(1 + n + t_{ASW} + t_{AHW})T - 100$	ns
WAIT保持時間 (対アドレス)	$t_{HAWT1}$	<65>	$(1 + n + t_{ASW} + t_{AHW})T$		ns
	$t_{HAWT2}$	<66>			ns

注意 CPU動作クロック周波数の使用条件によっては、次の設定を行ってください (k = 0-3)。

•  $1/f_{CPU} < 100$  ns時

アドレス・セットアップ・ウエイト (ASWkビット = 1) を設定

備考1.  $m = 0, 1$

2.  $t_{ASW}$  : アドレス・セットアップ・ウエイト・クロック数 (0または1)

$t_{AHW}$  : アドレス・ホールド・ウエイト・クロック数 (0または1)

3.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPU動作クロック周波数)

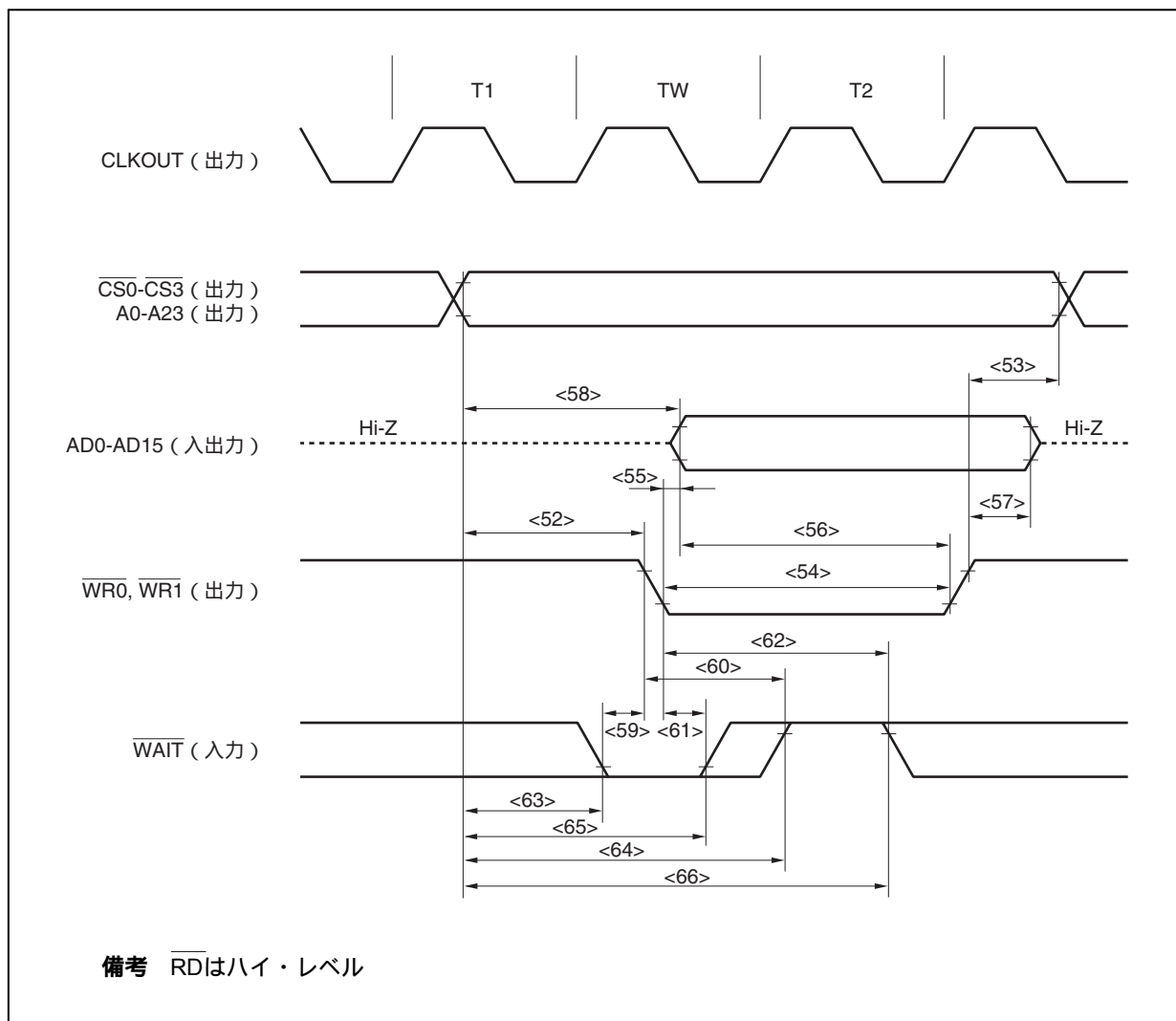
4.  $n$  : バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。

5. 上記のスペックは、X1からデューティ比1 : 1のクロックを入力した場合の値です。



ライト・サイクル (CLKOUT非同期) : セパレート・バス・モード時



## (c) リード・サイクル (CLKOUT同期) : セパレート・バス・モード時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5 \text{ V}$ ,  $4.0 \text{ V}$   $BV_{DD}$   $V_{DD}$ ,  $4.0 \text{ V}$   $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS}$   
 $= BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ ) (1/2)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス, CS遅延時間	t <sub>DKSA</sub>	<67>	0	35	ns
データ入力設定時間 (対CLKOUT)	t <sub>SISDK</sub>	<68>	15		ns
データ入力保持時間 (対CLKOUT)	t <sub>HKISD</sub>	<69>	0		ns
CLKOUT RD遅延時間	t <sub>DKSR</sub>	<70>	0	6	ns
WAIT設定時間 (対CLKOUT)	t <sub>SWTK</sub>	<71>	20		ns
WAIT保持時間 (対CLKOUT)	t <sub>HKWT</sub>	<72>	0		ns

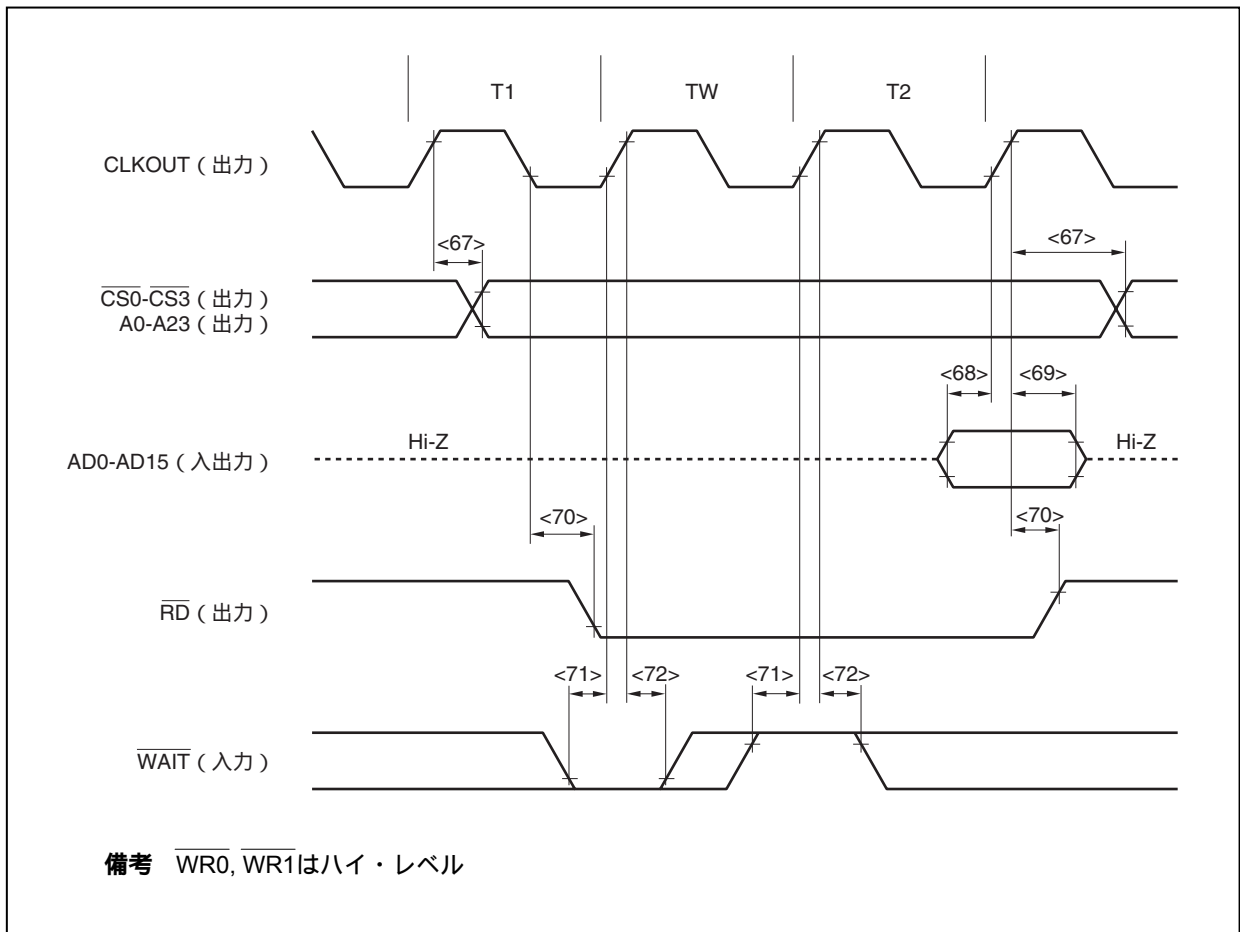
備考 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$ ,  $2.7 \text{ V}$   $BV_{DD}$   $V_{DD}$ ,  $2.7 \text{ V}$   $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS}$   
 $= BV_{SS} = AV_{SS} = 0 \text{ V}$ ,  $C_L = 50 \text{ pF}$ ) (2/2)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス, CS遅延時間	t <sub>DKSA</sub>	<67>	0	65	ns
データ入力設定時間 (対CLKOUT)	t <sub>SISDK</sub>	<68>	30		ns
データ入力保持時間 (対CLKOUT)	t <sub>HKISD</sub>	<69>	0		ns
CLKOUT RD遅延時間	t <sub>DKSR</sub>	<70>	0	10	ns
WAIT設定時間 (対CLKOUT)	t <sub>SWTK</sub>	<71>	40		ns
WAIT保持時間 (対CLKOUT)	t <sub>HKWT</sub>	<72>	0		ns

備考 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT同期, 1ウエイト) : セパレート・バス・モード時



(d) ライト・サイクル (CLKOUT同期) : セパレート・バス・モード時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5 V, 4.0 V$   $BV_{DD}$   $V_{DD}, 4.0 V$   $AV_{REF1}$   $V_{DD}, V_{SS} = EV_{SS}$   
 $= BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$ ) (1/2)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス, CS遅延時間	t <sub>DKSA</sub>	<73>	0	35	ns
CLKOUT データ出力遅延時間	t <sub>DKSD</sub>	<74>	0	10	ns
CLKOUT $\overline{WRm}$ 遅延時間	t <sub>DKSW</sub>	<75>	0	10	ns
WAIT設定時間 (対CLKOUT)	t <sub>SWTK</sub>	<76>	20		ns
WAIT保持時間 (対CLKOUT)	t <sub>HKWT</sub>	<77>	0		ns

備考1. m = 0, 1

2. 上記のスペックは, X1からデューティ比1 : 1のクロックを入力した場合の値です。

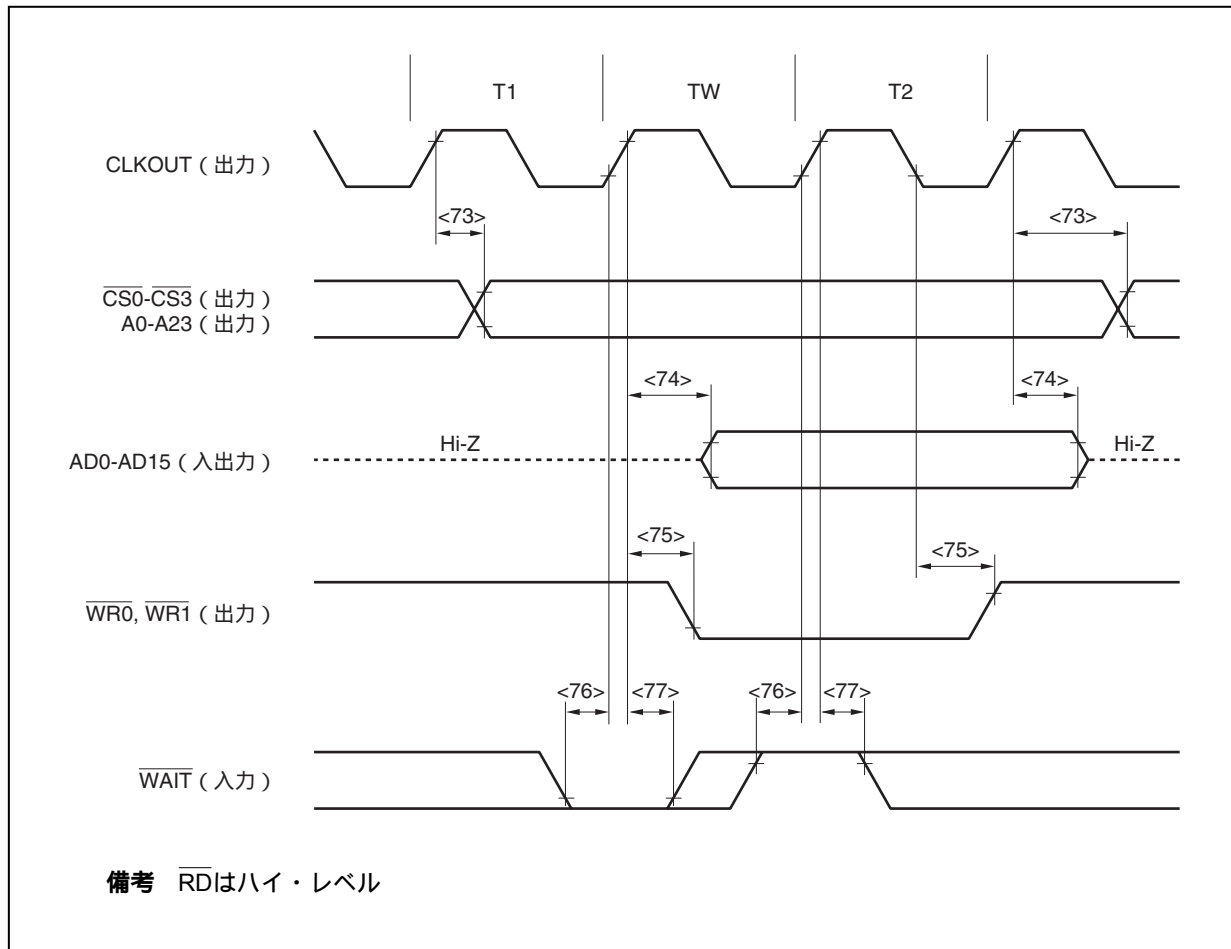
( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V, 2.7 V$   $BV_{DD}$   $V_{DD}, 2.7 V$   $AV_{REF1}$   $V_{DD}, V_{SS} = EV_{SS}$   
 $= BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$ ) (2/2)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス, CS遅延時間	t <sub>DKSA</sub>	<73>	0	65	ns
CLKOUT データ出力遅延時間	t <sub>DKSD</sub>	<74>	0	15	ns
CLKOUT $\overline{WRm}$ 遅延時間	t <sub>DKSW</sub>	<75>	0	15	ns
WAIT設定時間 (対CLKOUT)	t <sub>SWTK</sub>	<76>	40		ns
WAIT保持時間 (対CLKOUT)	t <sub>HKWT</sub>	<77>	0		ns

備考1. m = 0, 1

2. 上記のスペックは, X1からデューティ比1 : 1のクロックを入力した場合の値です。

ライト・サイクル (CLKOUT同期) : セバレート・バス・モード時



## (3) バス・ホールド時

## (a) CLKOUT非同期

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5$  V,  $4.0$  V  $BV_{DD}$   $V_{DD}$ ,  $4.0$  V  $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS}$   
 $= BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF) (1/2)

項目	略号	条件	MIN.	MAX.	単位
H $\overline{LDRQ}$ ハイ・レベル幅	t <sub>WHQH</sub>	<78>	T + 10		ns
H $\overline{LDAK}$ ロウ・レベル幅	t <sub>WHAL</sub>	<79>	T - 15		ns
H $\overline{LDAK}$ バス出力遅延時間	t <sub>DHAC</sub>	<80>	- 40		ns
H $\overline{LDRQ}$ H $\overline{LDAK}$ 遅延時間	t <sub>DHQHA1</sub>	<81>		(2n + 7.5) T + 40	ns
H $\overline{LDRQ}$ H $\overline{LDAK}$ 遅延時間	t <sub>DHQHA2</sub>	<82>	0.5T	1.5T + 40	ns

備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPU動作クロック周波数)

- n : バス・サイクルに挿入されるウェイト・クロック数  
プログラマブル・ウェイト挿入時は、サンプル・タイミングが変わります。
- 上記のスペックは、X1からデューティ比1 : 1のクロックを入力した場合の値です。

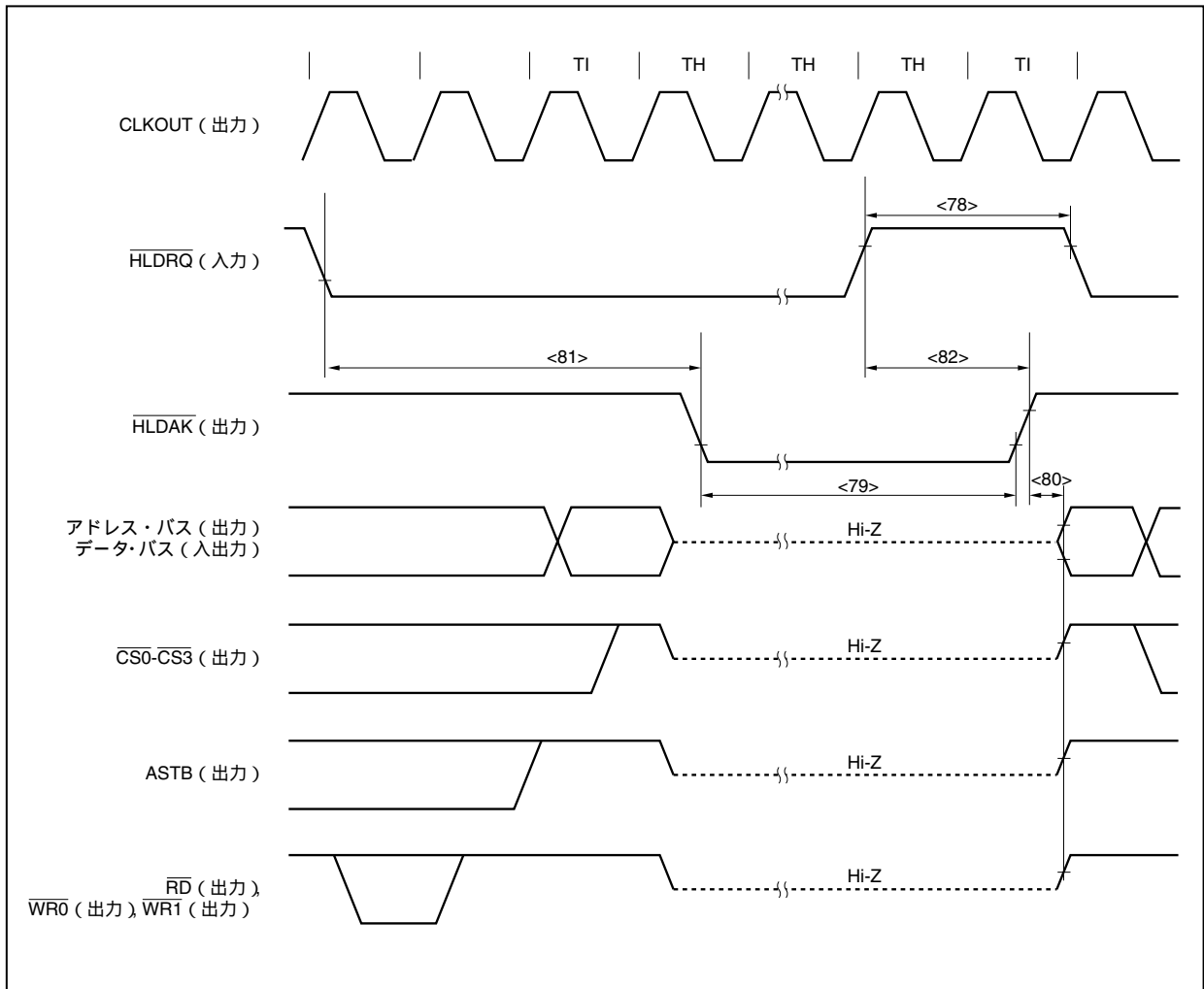
( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5$  V,  $2.7$  V  $BV_{DD}$   $V_{DD}$ ,  $2.7$  V  $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS}$   
 $= BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF) (2/2)

項目	略号	条件	MIN.	MAX.	単位
H $\overline{LDRQ}$ ハイ・レベル幅	t <sub>WHQH</sub>	<78>	T + 10		ns
H $\overline{LDAK}$ ロウ・レベル幅	t <sub>WHAL</sub>	<79>	T - 15		ns
H $\overline{LDAK}$ バス出力遅延時間	t <sub>DHAC</sub>	<80>	- 80		ns
H $\overline{LDRQ}$ H $\overline{LDAK}$ 遅延時間	t <sub>DHQHA1</sub>	<81>		(2n + 7.5) T + 70	ns
H $\overline{LDRQ}$ H $\overline{LDAK}$ 遅延時間	t <sub>DHQHA2</sub>	<82>	0.5T	1.5T + 70	ns

備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPU動作クロック周波数)

- n : バス・サイクルに挿入されるウェイト・クロック数  
プログラマブル・ウェイト挿入時は、サンプル・タイミングが変わります。
- 上記のスペックは、X1からデューティ比1 : 1のクロックを入力した場合の値です。

バス・ホールド (CLKOUT非同期)



## (b) CLKOUT同期

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5$  V,  $4.0$  V  $BV_{DD}$   $V_{DD}$ ,  $4.0$  V  $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS}$   
 $= BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF) (1/2)

項目	略号	条件	MIN.	MAX.	単位
HLD $\overline{RQ}$ 設定時間 (対CLKOUT )	t <sub>SHQK</sub>	<83>	15		ns
HLD $\overline{RQ}$ 保持時間 (対CLKOUT )	t <sub>HKHQ</sub>	<84>	0		ns
CLKOUT バス・フロート遅延時間	t <sub>DKF</sub>	<85>		20	ns
CLKOUT HLD $\overline{AK}$ 遅延時間	t <sub>DKHA</sub>	<86>		20	ns

備考 上記のスペックは、X1からデューティ比1：1のクロックを入力した場合の値です。

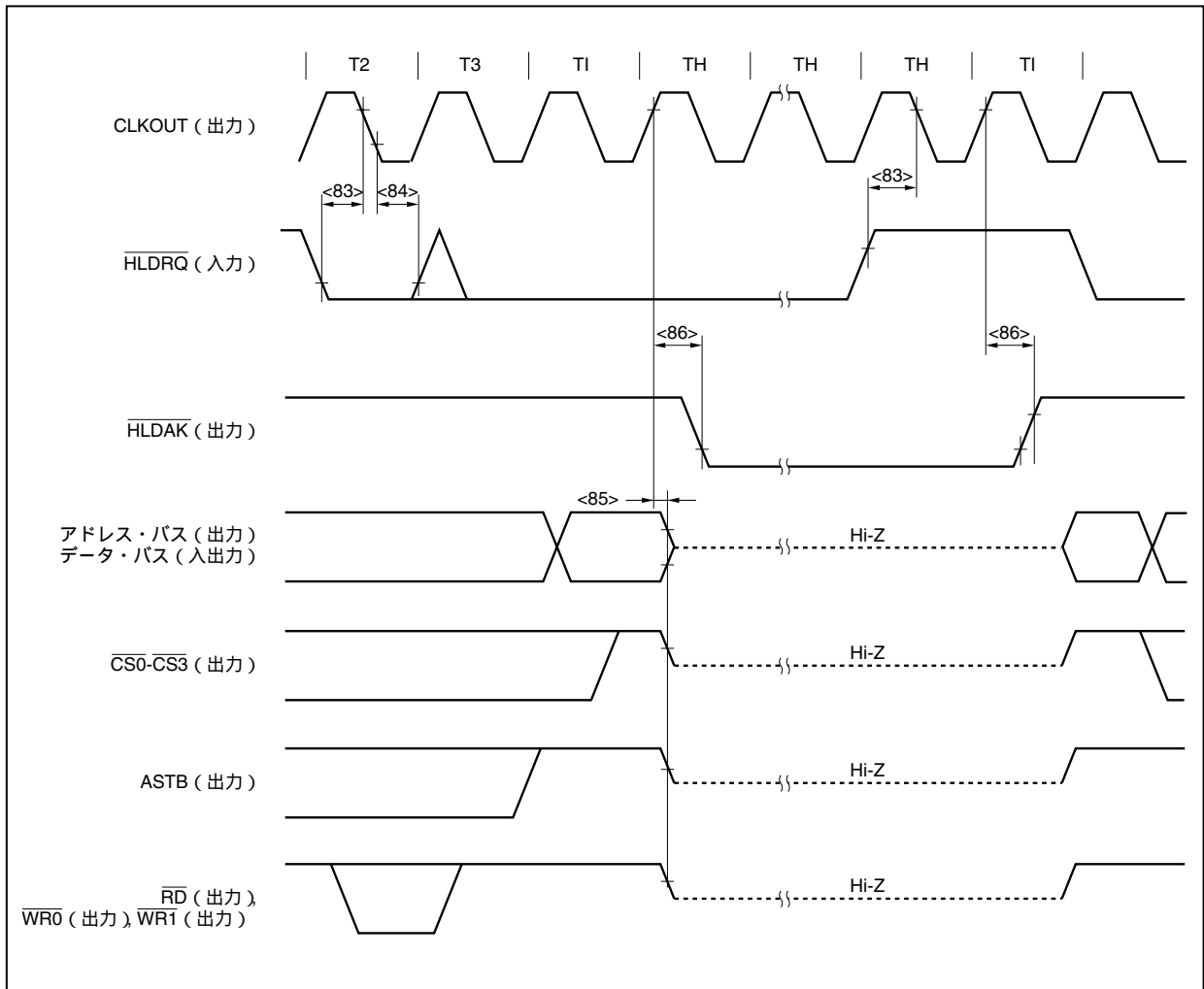
( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5$  V,  $2.7$  V  $BV_{DD}$   $V_{DD}$ ,  $2.7$  V  $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS}$   
 $= BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF) (2/2)

項目	略号	条件	MIN.	MAX.	単位
HLD $\overline{RQ}$ 設定時間 (対CLKOUT )	t <sub>SHQK</sub>	<83>	25		ns
HLD $\overline{RQ}$ 保持時間 (対CLKOUT )	t <sub>HKHQ</sub>	<84>	0		ns
CLKOUT バス・フロート遅延時間	t <sub>DKF</sub>	<85>		40	ns
CLKOUT HLD $\overline{AK}$ 遅延時間	t <sub>DKHA</sub>	<86>		40	ns

備考 上記のスペックは、X1からデューティ比1：1のクロックを入力した場合の値です。



バス・ホールド (CLKOUT同期)



基本動作

(1) リセット/外部割り込みタイミング

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V, 2.7 V$   $BV_{DD} V_{DD}, 2.7 V$   $AV_{REF1} V_{DD},$   
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$ )

項目	略号	条件	MIN.	MAX.	単位	
RESET口・レベル幅 <sup>注</sup>	t <sub>WRSL1</sub>	<87> パワーオン 状態での リセット	デジタル・ノイズ除去 非選択時	2		μs
			デジタル・ノイズ除去 選択時	Nr × t <sub>RSMP</sub> + 2		μs
	t <sub>WRSL2</sub>	<88> パワーオン・リセット	3		ms	
NMIハイ・レベル幅	t <sub>WNH</sub>	<89> アナログ・ノイズ除去	1		μs	
NMI口・レベル幅	t <sub>WNIL</sub>	<90> アナログ・ノイズ除去	1		μs	
INTPnハイ・レベル幅	t <sub>WITH</sub>	<91> n = 0-7 (アナログ・ノイズ除去)		600		ns
			n = 3 (デジタル・ノイズ除去選択時)	Ni × t <sub>ISMP</sub> + 200		ns
INTPn口・レベル幅	t <sub>WITL</sub>	<92> n = 0-7 (アナログ・ノイズ除去)		600		ns
			n = 3 (デジタル・ノイズ除去選択時)	Ni × t <sub>ISMP</sub> + 200		ns
ADTRGハイ・レベル幅	t <sub>WADH</sub>	<93> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V		T + 50		ns
			V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = 10 μF	T + 100		ns
			REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	T + 100		ns
ADTRG口・レベル幅	t <sub>WADL</sub>	<94> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V		T + 50		ns
			V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = 10 μF	T + 100		ns
			REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	T + 100		ns

注 RESET口・レベル幅は、RESET端子入力を有効にする（POCRESを無効にする）場合です。

備考1. Nr : RNZC.SMPSELビットで設定したサンプリング回数

t<sub>RSMP</sub> : RESET端子のデジタル・ノイズ除去サンプリング・クロック周期

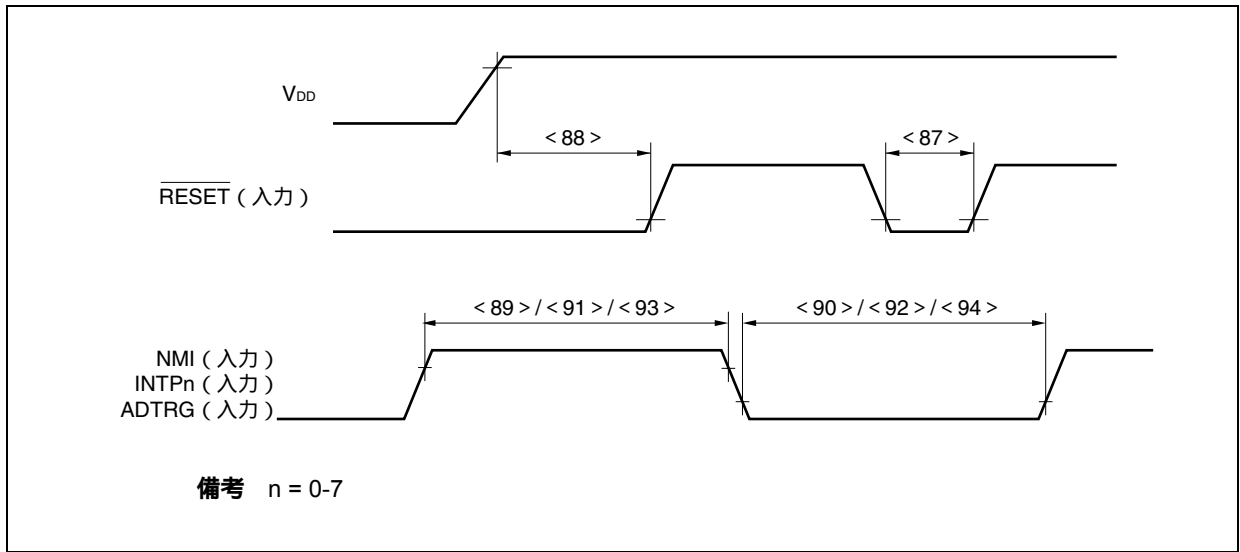
Ni : NFC.NFSTSビットで設定したサンプリング回数

t<sub>ISMP</sub> : INTP3端子のデジタル・ノイズ除去サンプリング・クロック周期

T : A/D基本クロック周期 (f<sub>AD</sub>)

2. 上記スペックは、確実に有効エッジとして検出されるパルス幅を示しており、上記スペック以下のパルス幅を入力しても有効エッジとして検出される可能性があります。

リセット/割り込み



### タイマ・タイミング

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V, 2.7 V$   $BV_{DD}$   $V_{DD}, 2.7 V$   $AV_{REF1}$   $V_{DD},$   
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$ )

項目	略号	条件	MIN.	MAX.	単位
TI0nハイ・レベル幅	t <sub>TI0H</sub>	<95> REGC = V <sub>DD</sub> = 4.5 ~ 5.5 V	2T <sub>smp0</sub> + 100 <sup>注1</sup>		ns
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	2T <sub>smp0</sub> + 200 <sup>注1</sup>	
TI0nロウ・レベル幅	t <sub>TI0L</sub>	<96> REGC = V <sub>DD</sub> = 4.5 ~ 5.5 V	2T <sub>smp0</sub> + 100 <sup>注1</sup>		ns
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	2T <sub>smp0</sub> + 200 <sup>注1</sup>	
TI5mハイ・レベル幅	t <sub>TI5H</sub>	<97> REGC = V <sub>DD</sub> = 4.5 ~ 5.5 V	50		ns
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	100	
TI5mロウ・レベル幅	t <sub>TI5L</sub>	<98> REGC = V <sub>DD</sub> = 4.5 ~ 5.5 V	50		ns
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	100	
TIP0mハイ・レベル幅	t <sub>TIPH</sub>	<99> REGC = V <sub>DD</sub> = 4.5 ~ 5.5 V	np × T <sub>smp0</sub> + 100 <sup>注2</sup>		ns
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	np × T <sub>smp0</sub> + 200 <sup>注2</sup>	
TIP0mロウ・レベル幅	t <sub>TIPL</sub>	<100> REGC = V <sub>DD</sub> = 4.5 ~ 5.5 V	np × T <sub>smp0</sub> + 100 <sup>注2</sup>		ns
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	np × T <sub>smp0</sub> + 200 <sup>注2</sup>	

注1. T<sub>smp0</sub> : タイマ0カウント・クロック周期

ただし, TI0nを外部イベント・カウント入力として使用する場合はT<sub>smp0</sub> = 4/f<sub>xx</sub>となります。

2. np : PmNFC.PmNFSTSビットで設定したサンプリング・クロック数

T<sub>smp0</sub> : TIP0m端子のデジタル・ノイズ除去サンプリング・クロック周期

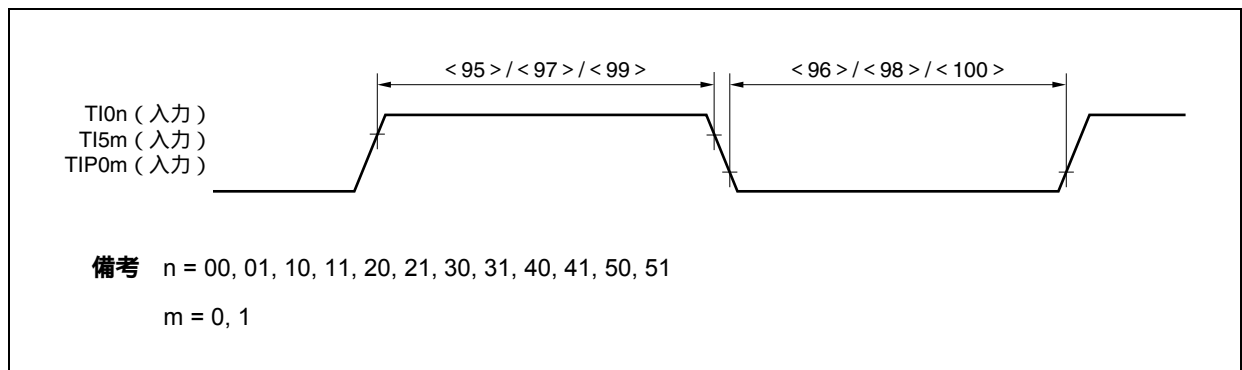
ただし, TIP00を外部イベント・カウント入力または外部トリガ入力として使用する場合はT<sub>smp0</sub> = 0となります (デジタル・ノイズ除去しません)。

備考1. n = 00, 01, 10, 11, 20, 21, 30, 31, 40, 41, 50, 51

m = 0, 1

2. 上記スペックは, 確実に有効エッジとして検出されるパルス幅を示しており, 上記スペック以下のパルス幅を入力しても有効エッジとして検出される可能性があります。

### タイマ入力タイミング



UARTタイミング

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V, 2.7 V$   $BV_{DD} = V_{DD}, 2.7 V$   $AV_{REF1} = V_{DD}$ ,  
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$ )

項目	略号	条件	MIN.	MAX.	単位
送信レート				312.5	kbps
ASCK0周波数		REGC = $V_{DD} = 4.5 \sim 5.5 V$		12	MHz
		REGC = $10 \mu F, V_{DD} = 4.0 \sim 5.5 V,$		6	MHz
		REGC = $V_{DD} = 2.7 \sim 5.5 V$			

CSI0タイミング

(1) マスタ・モード

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V, 2.7 V$   $BV_{DD}$   $V_{DD}, 2.7 V$   $AV_{REF1}$   $V_{DD}$ ,  
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$ )

項目	略号	条件	MIN.	MAX.	単位
SCK0nサイクル・タイム	t <sub>KCY1</sub>	<101> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	200		ns
		REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	400		ns
SCK0nハイ/ロウ・レベル幅	t <sub>KH1</sub> , t <sub>KL1</sub>	<102>	t <sub>KCY1</sub> /2 - 30		ns
SI0nセットアップ時間 (対SCK0n)	t <sub>SIK1</sub>	<103> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	30		ns
		REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	50		ns
SI0nホールド時間 (対SCK0n)	t <sub>KSI1</sub>	<104> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	30		ns
		REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	50		ns
SCK0n SO0n出力遅延時間	t <sub>KSO1</sub>	<105> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V		30	ns
		REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V		60	ns

備考 n = 0-2

(2) スレーブ・モード

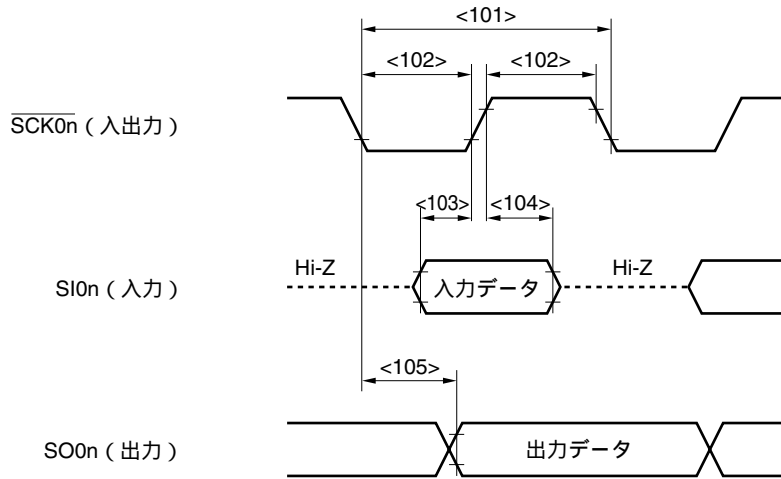
( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V, 2.7 V$   $BV_{DD}$   $V_{DD}, 2.7 V$   $AV_{REF1}$   $V_{DD}$ ,  
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$ )

項目	略号	条件	MIN.	MAX.	単位
SCK0nサイクル・タイム	t <sub>KCY2</sub>	<101> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	200		ns
		REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	400		ns
SCK0nハイ/ロウ・レベル幅	t <sub>KH2</sub> , t <sub>KL2</sub>	<102> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	45		ns
		REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	90		ns
SI0nセットアップ時間 (対SCK0n)	t <sub>SIK2</sub>	<103> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	30		ns
		REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	60		ns
SI0nホールド時間 (対SCK0n)	t <sub>KSI2</sub>	<104> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	30		ns
		REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	60		ns
SCK0n SO0n出力遅延時間	t <sub>KSO2</sub>	<105> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V		50	ns
		REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V		100	ns

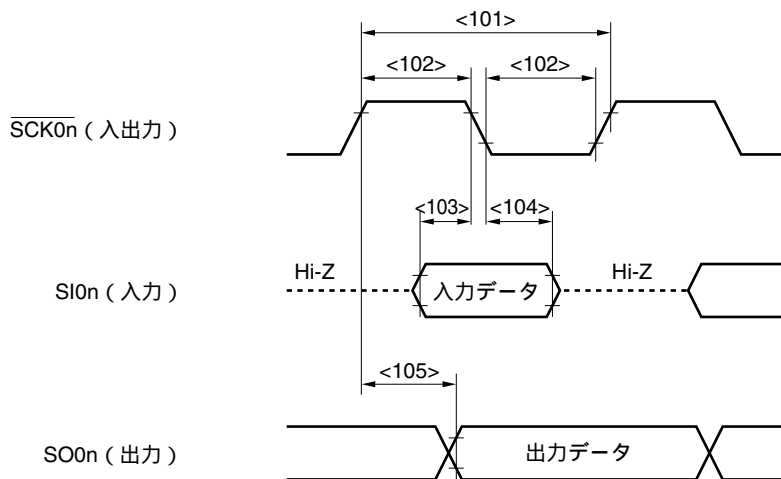
備考 n = 0-2

CSI0タイミング

(a) CSICn.CKPn, DAPnビット = 00または11



(b) CSICn.CKPn, DAPnビット = 01または10



備考 n = 0-2

CSIAタイミング

(1) マスタ・モード

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V, 2.7 V$   $BV_{DD}$   $V_{DD}, 2.7 V$   $AV_{REF1}$   $V_{DD}$ ,  
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$ )

項目	略号	条件	MIN.	MAX.	単位
SCKAnサイクル・タイム	t <sub>KCY3</sub>	<106> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	500		ns
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	1000	
SCKAnハイ/ロウ・レベル幅	t <sub>KH3</sub> , t <sub>KL3</sub>	<107>		t <sub>KCY3</sub> /2 - 30	ns
SIAnセットアップ時間 (対SCKAn )	t <sub>SIK3</sub>	<108> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	30		ns
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	60	
SIAnホールド時間 (対SCKAn )	t <sub>KSI3</sub>	<109> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	30		ns
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	60	
SCKAn SOAn出力遅延時間	t <sub>KSO3</sub>	<110> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V		30	ns
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V		60

備考 n = 0, 1

(2) スレーブ・モード

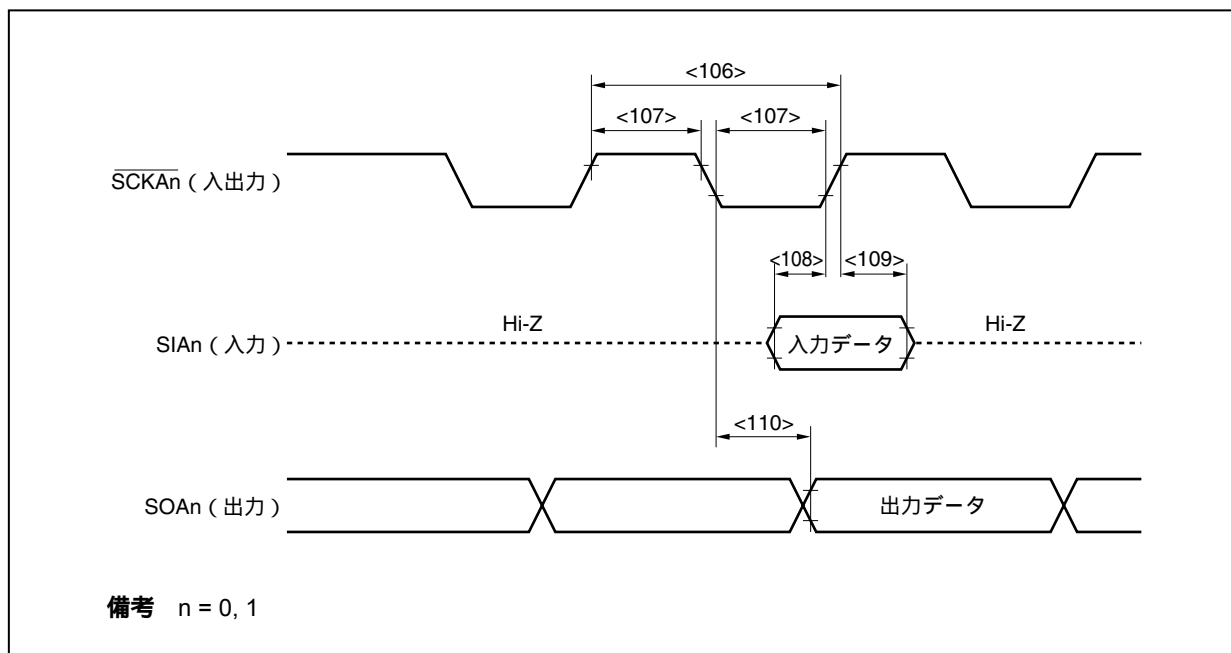
( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V, 2.7 V$   $BV_{DD}$   $V_{DD}, 2.7 V$   $AV_{REF1}$   $V_{DD}$ ,  
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF$ )

項目	略号	条件	MIN.	MAX.	単位
SCKAnサイクル・タイム	t <sub>KCY4</sub>	<106> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	840		ns
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	1700	
SCKAnハイ/ロウ・レベル幅	t <sub>KH4</sub> , t <sub>KL4</sub>	<107>		t <sub>KCY4</sub> /2 - 30	ns
SIAnセットアップ時間 (対SCKAn )	t <sub>SIK4</sub>	<108> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	50		ns
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	100	
SIAnホールド時間 (対SCKAn )	t <sub>KSI4</sub>	<109> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	t <sub>cy</sub> × 2 + 15 <sup>注</sup>		ns
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	t <sub>cy</sub> × 2 + 30 <sup>注</sup>	
SCKAn SOAn出力遅延時間	t <sub>KSO4</sub>	<110> REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V		t <sub>cy</sub> × 2 + 30 <sup>注</sup>	ns
			REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V, REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V		t <sub>cy</sub> × 2 + 60 <sup>注</sup>

注 t<sub>cy</sub> : f<sub>SCKA</sub>の周期

備考 n = 0, 1





I<sup>2</sup>Cバス・モード (μPD70F3316Y, 70F3318Yのみ)

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5$  V,  $2.7$  V  $BV_{DD}$   $V_{DD}$ ,  $2.7$  V  $AV_{REF1}$   $V_{DD}$ ,  
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号		標準モード		高速モード		単位	
			MIN.	MAX.	MIN.	MAX.		
SCLnクロック周波数	f <sub>CLK</sub>		0	100	0	400	kHz	
バス・フリー・タイム (ストップ・スタート・コンディション間)	t <sub>BUF</sub>	<111>	4.7	-	1.3	-	μs	
ホールド時間 <sup>注1</sup>	t <sub>HD: STA</sub>	<112>	4.0	-	0.6	-	μs	
SCLnクロックのロウ・レベル幅	t <sub>LOW</sub>	<113>	4.7	-	1.3	-	μs	
SCLnクロックのハイ・レベル幅	t <sub>HIGH</sub>	<114>	4.0	-	0.6	-	μs	
スタート/リスタート・コンディションのセットアップ時間	t <sub>SU: STA</sub>	<115>	4.7	-	0.6	-	μs	
データ・ホールド時間	CBUS互換マスタの場合	t <sub>HD: DAT</sub>	<116>	5.0	-	-	-	μs
				0 <sup>注2</sup>	-	0 <sup>注2</sup>	0.9 <sup>注3</sup>	μs
データ・ホールド時間	I <sup>2</sup> Cモードの場合	t <sub>HD: DAT</sub>	<116>	5.0	-	-	-	μs
				0 <sup>注2</sup>	-	0 <sup>注2</sup>	0.9 <sup>注3</sup>	μs
データ・セットアップ時間	t <sub>SU: DAT</sub>	<117>	250	-	100 <sup>注4</sup>	-	ns	
SDAnおよびSCLn信号の立ち上がり時間	t <sub>r</sub>	<118>	-	1000	20 + 0.1Cb <sup>注5</sup>	300	ns	
SDAnおよびSCLn信号の立ち下がり時間	t <sub>f</sub>	<119>	-	300	20 + 0.1Cb <sup>注5</sup>	300	ns	
ストップ・コンディションのセットアップ時間	t <sub>SU: STO</sub>	<120>	4.0	-	0.6	-	μs	
入力フィルタによって抑制されるスパイクのパルス幅	t <sub>SP</sub>	<121>	-	-	0	50	ns	
各バス・ラインの容量性負荷	Cb		-	400	-	400	pF	

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

- 装置は、SCLnの立ち下がり端の未定義領域を埋めるために (SCLn信号のV<sub>IHmin</sub>.での) SDAn信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
- 装置がSCLn信号のロウ・ホールド時間 (t<sub>LOW</sub>) を延長しない場合は、最大データ・ホールド時間 (t<sub>HD: DAT</sub>) のみ満たすことが必要です。
- 高速モードI<sup>2</sup>Cバスは、標準モードI<sup>2</sup>Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- 装置がSCLn信号のロウ状態ホールド時間を延長しない場合

t<sub>SU: DAT</sub> 250 ns

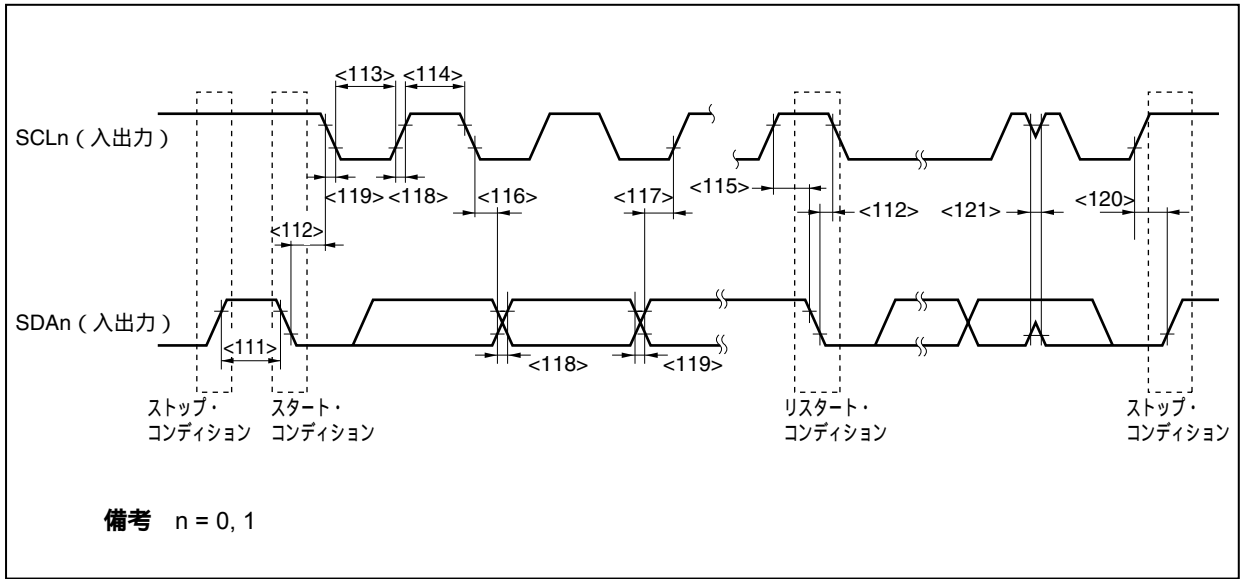
- 装置がSCLn信号のロウ状態ホールド時間を延長する場合

SCLnラインが解放される (t<sub>rmax</sub>. + t<sub>SU: DAT</sub> = 1000 + 250 = 1250 ns : 標準モードI<sup>2</sup>Cバス仕様) 前に、次のデータ・ビットをSDAnラインに送出してください。

- Cb : 1つのバス・ラインの合計キャパシタンス (単位 : pF)

備考 n = 0, 1

I<sup>2</sup>Cバス・モード (μPD70F3316Y, 70F3318Yのみ)



A/Dコンバータ

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V$ ,  $2.7 V$   $BV_{DD}$   $V_{DD}$ ,  $2.7 V$   $AV_{REF1}$   $V_{DD}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能			10	10	10	bit	
総合誤差 <sup>注1</sup>	AINL	4.0 $AV_{REF0}$ 5.5 V		$\pm 0.2$	$\pm 0.4$	%FSR	
		2.7 $AV_{REF0}$ 4.0 V		$\pm 0.3$	$\pm 0.6$	%FSR	
変換時間	$t_{CONV}$	4.5 $AV_{REF0}$ 5.5 V	高速モード	3.0		100	$\mu s$
			通常モード	14.0		100	$\mu s$
		4.0 $AV_{REF0}$ 4.5 V	高速モード	4.8		100	$\mu s$
			通常モード	14.0		100	$\mu s$
		2.85 $AV_{REF0}$ 4.0 V	高速モード	6.0		100	$\mu s$
			通常モード	17.0		100	$\mu s$
		2.7 $AV_{REF0}$ 2.85 V	高速モード	14.0		100	$\mu s$
			通常モード	17.0		100	$\mu s$
ゼロスケール誤差 <sup>注1</sup>	Ezs	4.0 $AV_{REF0}$ 5.5 V			$\pm 0.4$	%FSR	
		2.7 $AV_{REF0}$ 4.0 V			$\pm 0.6$	%FSR	
フルスケール誤差 <sup>注1</sup>	Efs	4.0 $AV_{REF0}$ 5.5 V			$\pm 0.4$	%FSR	
		2.7 $AV_{REF0}$ 4.0 V			$\pm 0.6$	%FSR	
非直線性誤差 <sup>注2</sup>	ILE	4.0 $AV_{REF0}$ 5.5 V			$\pm 2.5$	LSB	
		2.7 $AV_{REF0}$ 4.0 V			$\pm 4.5$	LSB	
微分直線性誤差 <sup>注2</sup>	DLE	4.0 $AV_{REF0}$ 5.5 V			$\pm 1.5$	LSB	
		2.7 $AV_{REF0}$ 4.0 V			$\pm 2.0$	LSB	
アナログ入力電圧	$V_{IAN}$		0		$AV_{REF0}$	V	
$AV_{REF0}$ 電流	$IA_{REF0}$	A/Dコンバータ使用時		1.3	2.5	mA	
		A/Dコンバータ未使用時 <sup>注3</sup>		1.0	10	$\mu A$	

- 注1. 量子化誤差 ( $\pm 0.05$  %FSR) は含みません。
- 2. 量子化誤差 ( $\pm 0.5$  LSB) は含みません。
- 3. ADM.ADCSビット = 0, ADM.ADCS2ビット = 0

備考 LSB : Least Significant Bit  
FSR : Full Scale Range

D/Aコンバータ

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V, 2.7 V$   $BV_{DD} = V_{DD}, 2.7 V$   $AV_{REF1} = V_{DD},$   
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差 <sup>注1, 2</sup>		負荷条件 = 2 MΩ			1.2	%FSR
		負荷条件 = 4 MΩ			0.8	%FSR
		負荷条件 = 10 MΩ			0.6	%FSR
セットリング・タイム <sup>注2</sup>		C = 30 pF	$V_{DD} = 4.5 \sim 5.5 V$		10	μs
			$V_{DD} = 2.7 \sim 4.5 V$		15	μs
出力抵抗 <sup>注3</sup>	R <sub>o</sub>	出力データ : DACSnレジスタ = 55H		8		kΩ
AV <sub>REF1</sub> 電流 <sup>注4</sup>	IAV <sub>REF1</sub>	D/A変換動作時		1.5	3.0	mA
		D/A変換停止時		1.0	10	μA

注1. 量子化誤差 ( ±0.2 %FSR ) は含みません。

2. Rは出力端子の負荷抵抗, Cは出力端子の負荷容量です。

3. D/Aコンバータ1チャンネル分の値

4. D/Aコンバータ2チャンネル分の値

備考 n = 0, 1

パワーオン・クリア回路特性

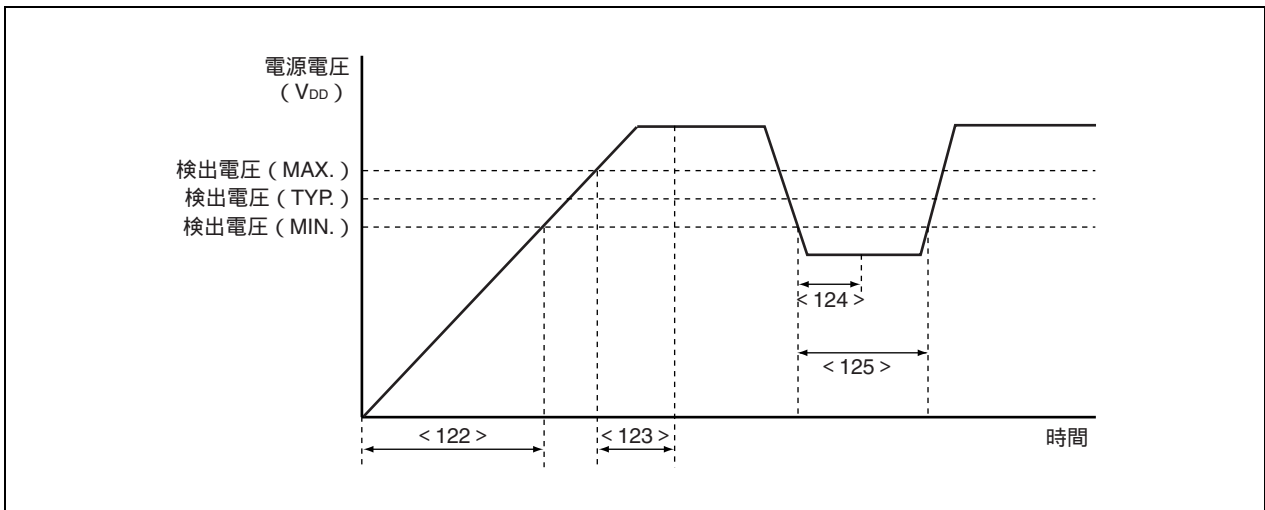
( $T_A = -40 \sim +85$  ,  $V_{DD} = AV_{REF0} = EV_{DD}, 2.7\text{ V}$   $AV_{REF1} V_{DD}, 2.7\text{ V}$   $BV_{DD} = V_{DD}, V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0\text{ V}, C_L = 50\text{ pF}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	$V_{POC}$		2.5	2.6	2.7	V
電源立ち上げ時間	$t_{PTH}$	<122> $V_{DD} = 0 \sim 2.5\text{ V}$	3			$\mu\text{s}$
応答時間1 <sup>注1</sup>	$t_{PTH}$	<123> 電源立ち上げ時, 検出電圧 (MAX.) に達したあと			3.0	ms
応答時間2 <sup>注2</sup>	$t_{PD}$	<124> 電源降下時			1.0	ms
最小パルス幅	$t_{PW}$	<125>	0.2			ms

注1. 検出電圧 ( $V_{POC}$ ) を検出してから, リセット信号 (POCRES) を解除するまでの時間

2. 検出電圧 ( $V_{POC}$ ) を検出してから, リセット信号 (POCRES) が発生するまでの時間

パワーオン・クリア回路タイミング



低電圧検出回路特性

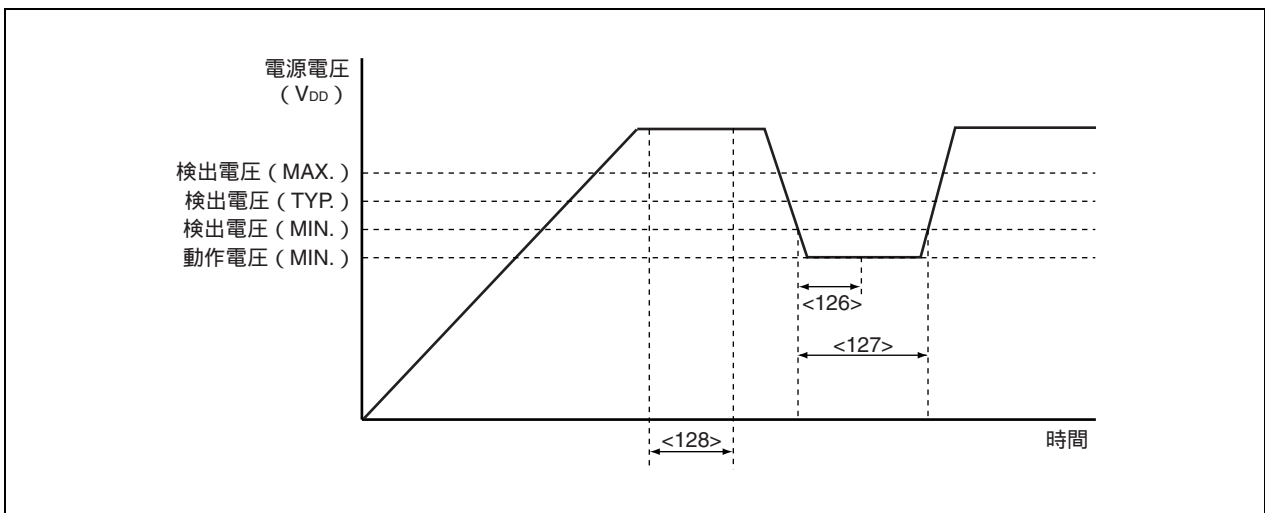
( $T_A = -40 \sim +85$  ,  $V_{DD} = AV_{REF0} = EV_{DD} = 2.7 \sim 5.5 V, 2.7 V$   $AV_{REF1}$   $V_{DD}, 2.7 V$   $BV_{DD}$   $V_{DD}, V_{SS}$   
 $= AV_{SS} = BV_{SS} = EV_{SS} = 0 V, C_L = 50 pF$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	$V_{LVI}$	LVIS.LVIS2-LVIS0ビット = 000	4.1	4.3	4.5	V
		LVIS.LVIS2-LVIS0ビット = 001	3.9	4.1	4.3	V
		LVIS.LVIS2-LVIS0ビット = 010	3.7	3.9	4.1	V
		LVIS.LVIS2-LVIS0ビット = 011	3.5	3.7	3.9	V
		LVIS.LVIS2-LVIS0ビット = 100	3.3	3.5	3.7	V
		LVIS.LVIS2-LVIS0ビット = 101	3.15	3.3	3.45	V
		LVIS.LVIS2-LVIS0ビット = 110	2.95	3.1	3.25	V
応答時間 <sup>注1</sup>	$t_{LD}$	<126>		0.2	2.0	ms
最小パルス幅	$t_{LW}$	<127>	0.2			ms
動作安定待ち時間 <sup>注2</sup>	$t_{WAIT1}$	<128>		0.1	0.2	ms

注1. 検出電圧 ( $V_{LVI}$ ) を検出してから、割り込み要求信号 (INTLVI) またはリセット信号 (LVIRESET) が発生するまでの時間

2. LVIM.LVIONビット = 1に設定してから動作が安定するまでの時間

低電圧検出回路タイミング



フラッシュ・メモリ・プログラミング特性

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 V, 2.7 V$   $BV_{DD} V_{DD}, 2.7 V$   $AV_{REF1} V_{DD},$   
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$ )

(1) 基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
プログラミング動作周波数	f <sub>CPU</sub>	REGC = V <sub>DD</sub> = 4.5 ~ 5.5 V	2		20	MHz
		REGC = V <sub>DD</sub> = 4.0 ~ 5.5 V	2		16	MHz
		REGC = 10 μF, V <sub>DD</sub> = 4.0 ~ 5.5 V	2		16	MHz
		REGC = V <sub>DD</sub> = 2.7 ~ 5.5 V	2		10	MHz
電源電圧	V <sub>DD</sub>		2.7		5.5	V
書き換え回数	C <sub>ERWR</sub>	注	100			回
プログラミング温度	t <sub>PRC</sub>		- 40		85	

注 出荷品に対する初回書き込み時には、「書き込みだけ」の場合も、書き換え回数は1回となります。

例 (P : 書き込み, E : 消去)

出荷品 --- P E P E P : 書き換え回数3回

出荷品 E P E P E P : 書き換え回数3回

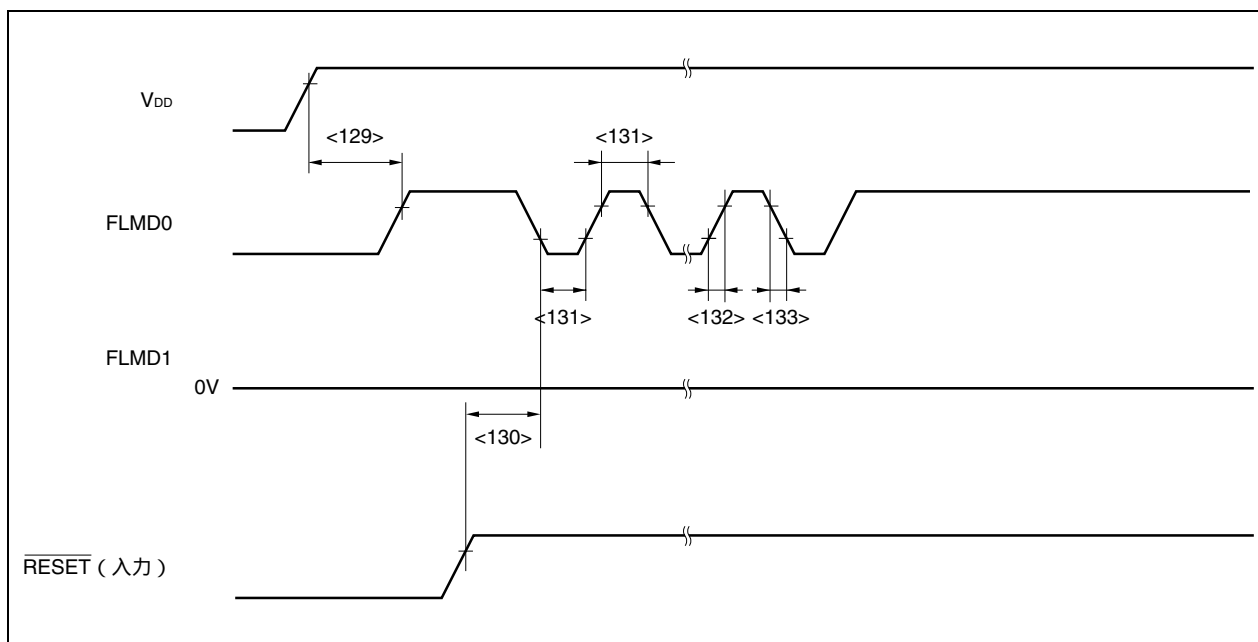
(2) シリアル書き込みオペレーション特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
V <sub>DD</sub> FLMD0 セットアップ時間	t <sub>DP</sub>	<129>	10 ms		3 s	
RESET FLMD0パルス入力開始時間	t <sub>RP</sub>	<130>	66611.2 /f <sub>x</sub>			s
FLMD0パルス・ハイ/ロウ・レベル幅	t <sub>PW</sub>	<131>	10		100	μs
FLMD0パルス立ち上がり時間	t <sub>R</sub>	<132>			50	ns
FLMD0パルス立ち下がり時間	t <sub>F</sub>	<133>			50	ns

備考 f<sub>x</sub> : メイン・クロック発振周波数

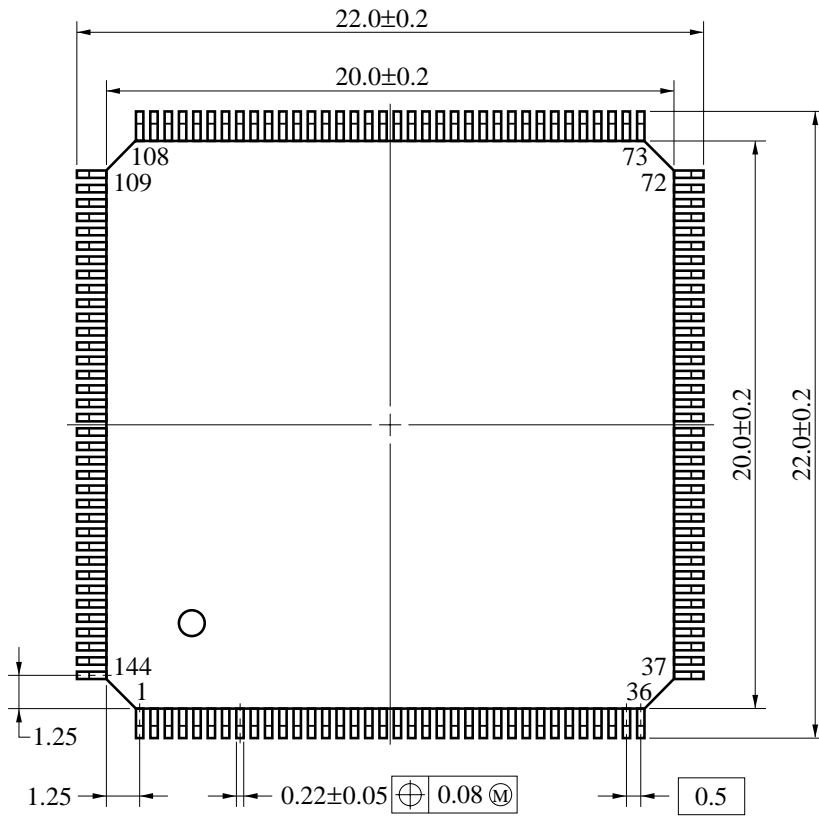


シリアル書き込みオペレーション・タイミング

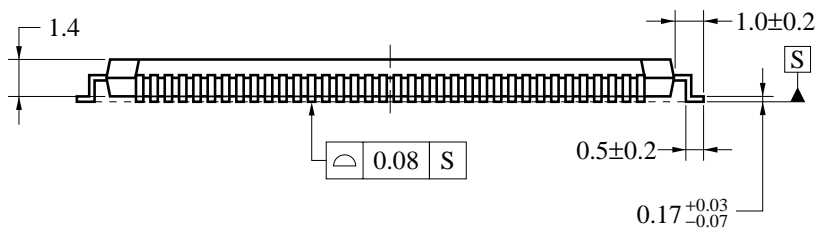
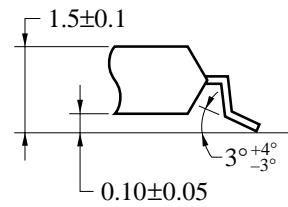


# 第33章 外形図

144ピン・プラスチック LQFP (ファインピッチ)(20x20) 外形図 (単位: mm)



端子先端形状詳細図



S144GJ-50-UEN

## 第34章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表34 - 1 表面実装タイプの半田付け条件

(1)  $\mu$ PD70F3316GJ-UEN-A : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

$\mu$ PD70F3316YGJ-UEN-A : "

$\mu$ PD70F3318GJ-UEN-A : "

$\mu$ PD70F3318YGJ-UEN-A : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：7日間 <sup>※</sup> （以降は125℃プリベーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

## 付録A 開発ツール

V850ES/KJ1+を使用するシステム開発のために、次のような開発ツールを用意しています。

図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

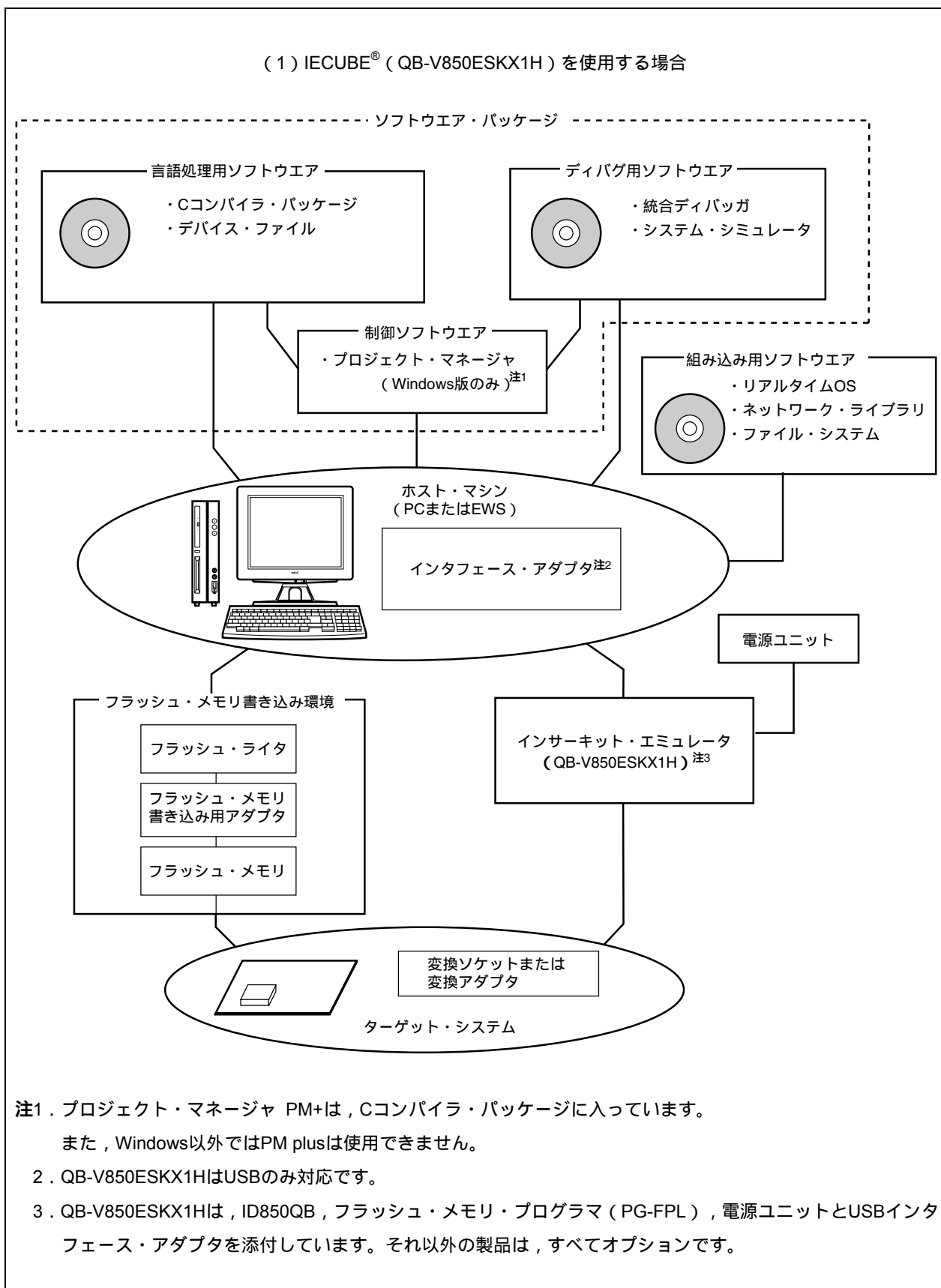
特に断りのないかぎり、IBM PC/AT<sup>TM</sup>互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windows<sup>®</sup>について

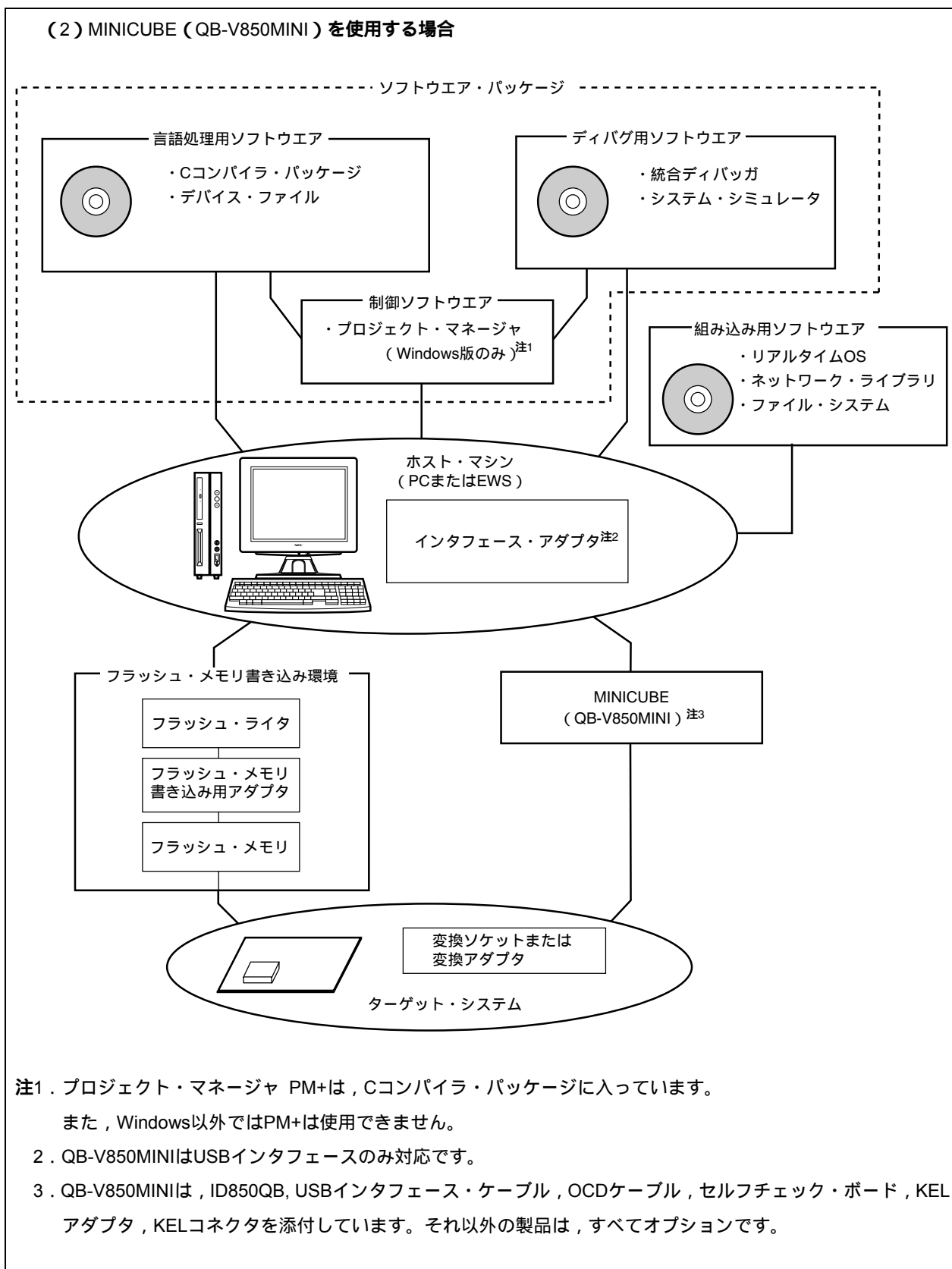
特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 98, 2000
- Windows Me
- Windows XP<sup>®</sup>
- Windows NT<sup>®</sup> Ver. 4.0

図A - 1 開発ツール構成 (1/2)



図A - 1 開発ツール構成 (2/2)



## A.1 ソフトウェア・パッケージ

SP850 V850シリーズ・ソフトウェア・ パッケージ	V850シリーズ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダ名称： $\mu S \times \times \times \times SP850$
------------------------------------	---

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン，OSにより異なります。

$\mu S \times \times \times \times SP850$

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

## A.2 言語処理用ソフトウェア

CA850 Cコンパイラ・パッケージ	C言語で書かれたプログラムを，マイコンの実行可能なオブジェクト・コードに変換するプログラムです。プロジェクト・マネージャ PM+から起動されます。 オーダ名称： $\mu S \times \times \times \times CA703000$
DF703318 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 各ツール（CA850, SM+, ID850）と組み合わせて使用します。 対応OS，ホスト・マシンは組み合わせられる各ツールに依存します。

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン，OSにより異なります。

$\mu S \times \times \times \times CA703000$

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3K17	SPARCstation <sup>TM</sup>	SunOS <sup>TM</sup> (Rel. 4.1.4) ， Solaris <sup>TM</sup> (Rel. 2.5.1)	

## A.3 制御ソフトウェア

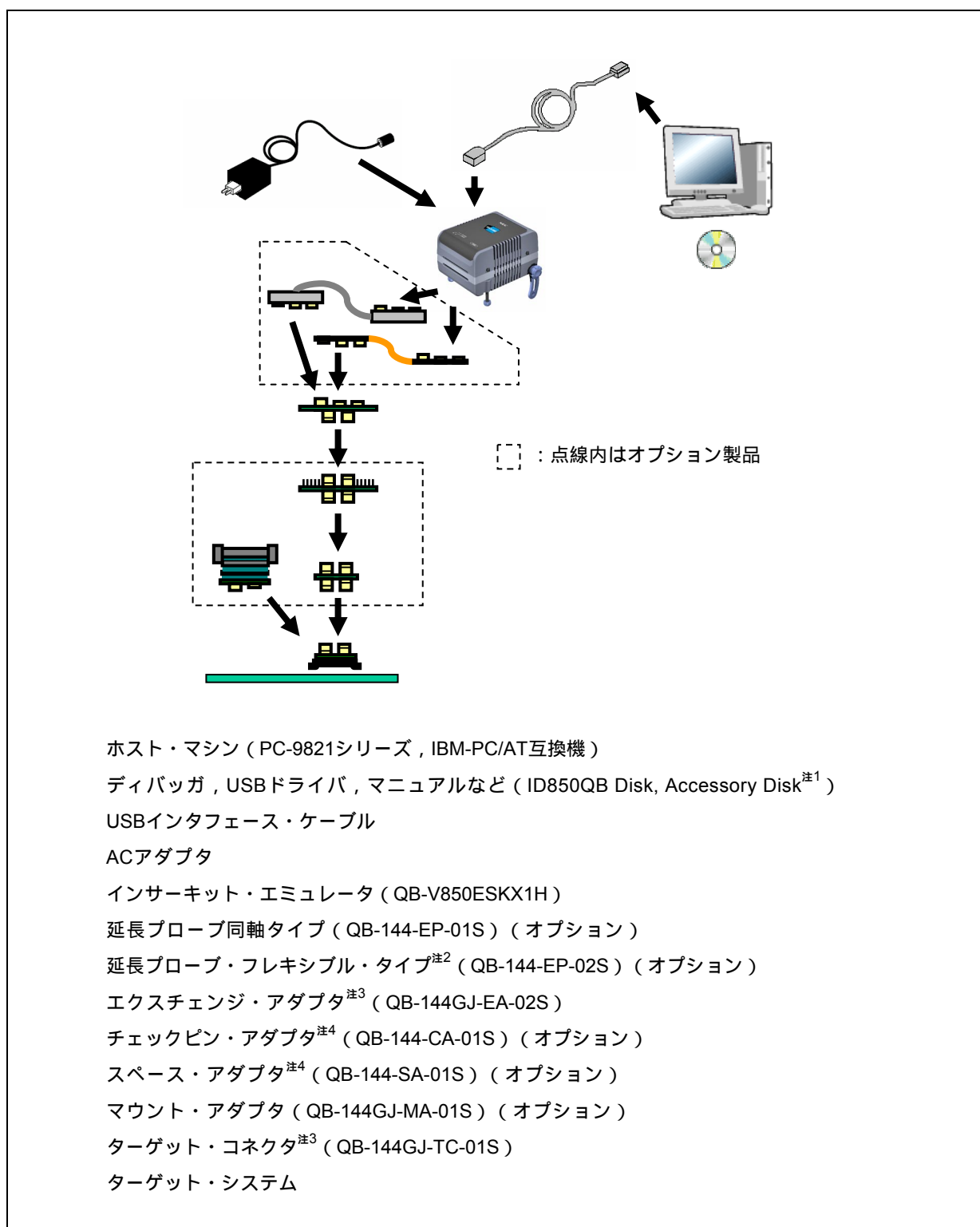
PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM+上から，エディタの起動，ビルド，ディバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> PM+はCコンパイラ・パッケージ CA850の中に入っています。 Windows以外の環境では使用できません。
---------------------	--

## A. 4 ディバグ用ツール（ハードウェア）

### A. 4. 1 IECUBE QB-V850ESKX1Hを使用する場合

QB-V850ESKX1Hとホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。オプション製品がない場合でも接続は可能です。

図A - 2 システム構成（QB-V850ESKX1Hを使用する場合）（1/2）





図A - 2 システム構成 (QB-V850ESKX1Hを使用する場合) (2/2)

<p>注1. デバイス・ファイルはNECエレクトロニクスのホームページから入手してください。  <a href="http://www.necel.com/micro/ods/jpn/index.html">http://www.necel.com/micro/ods/jpn/index.html</a></p> <p>2. 開発中</p> <p>3. オーダ品名によっては、添付品となります。          ・QB-V850ESKX1H-ZZZでオーダーした場合          エクスチェンジ・アダプタ，ターゲット・コネクタは添付されていません。          ・QB-V850ESSX2-S144GJでオーダーした場合          QB-144GJ-EA-02S, QB-144GJ-TC-01Sが添付されています。</p> <p>4. と の両方を使用する場合， と の接続順序が逆でも接続できます。</p>
---

QB-V850ESKX1H <sup>注</sup> インサーキット・エミュレータ	V850ES/KJ1+を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合ディバugg ID850QBに対応しています。電源ユニット、エミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
USBインタフェース・ケーブル	ホスト・マシンとQB-V850ESKX1Hを接続するケーブルです。
ACアダプタ	ACプラグ差し替えで100～240 Vに対応可能です。
QB-144GJ-EA-02S エクスチェンジ・アダプタ	ピン変換を行うアダプタです。
QB-144-CA-01S チェックピン・アダプタ	オシロスコープなどで波形観測を行うときに使用するアダプタです。
QB-144-SA-01S スペース・アダプタ	高さ調節用アダプタです。
QB-144GJ-MA-01S マウント・アダプタ	V850ES/KJ1+をソケット実装するためのアダプタです。
QB-144GJ-TC-01S ターゲット・コネクタ	ターゲット・システム上へ半田付けするコネクタです。

注 QB-V850ESKX1Hは、電源ユニット、USBインタフェース・ケーブルとフラッシュ・メモリ・プログラマ (PG-FPL) を添付しています。また、コントロール・ソフトウェアとして、統合ディバugg ID850QBを添付しています。

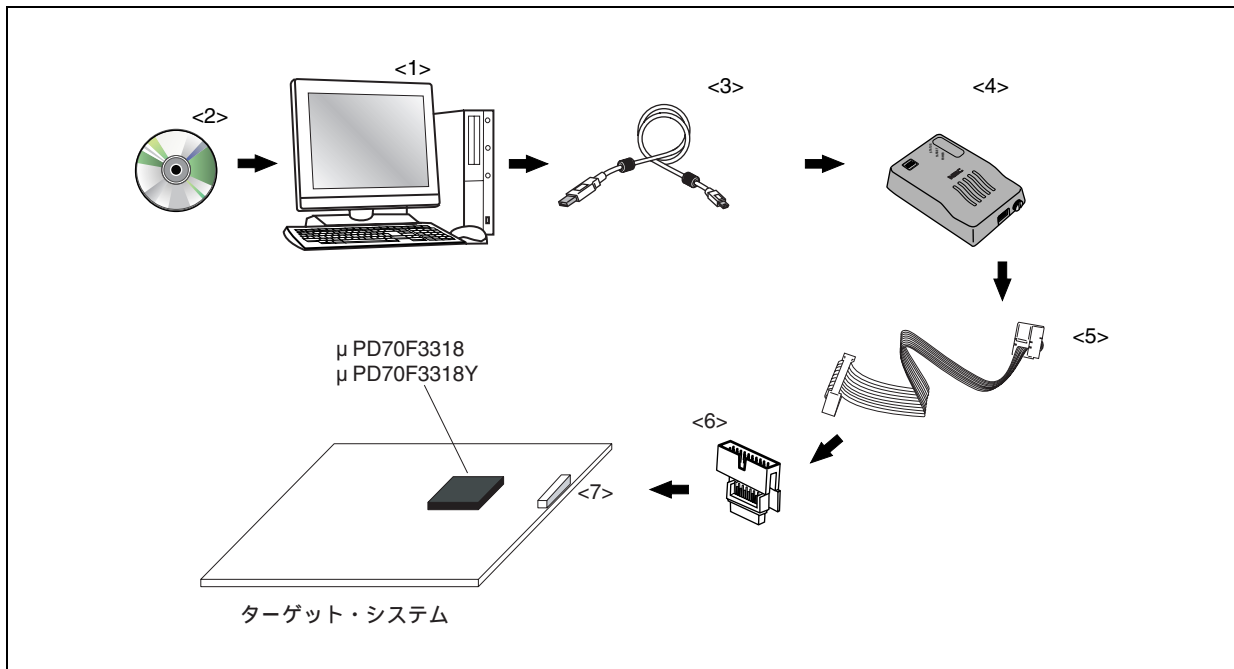
備考 表内の番号は図A - 2の番号に対応しています。

## A. 4.2 MINICUBE QB-V850MINIを使用する場合

### (1) MINICUBEを使用してのオンチップ・エミュレーション

MINICUBEとホスト・マシン ( PC-9821シリーズ , PC/AT互換機 ) を接続して使用する場合のシステム構成を次に示します。

図A - 3 オンチップ・エミュレーション・システム構成例



<1> ホスト・マシン	USBポート搭載品。
<2> CD-ROM <sup>注1</sup>	CD-ROM形式で統合ディバガ ID850QB, N-Wire Checker, デバイス・ドライバ, ドキュメントなどが含まれています。MINICUBEに添付されています。
<3> USBインタフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付しています。ケーブルの長さは約2 mです。
<4> MINICUBE オンチップ・デバッグ・エミュレータ	V850ES/KJ1+を使用する応用システムを開発する際に、ハードウェア, ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合ディバガ ID850QBに対応しています。
<5> OCDケーブル	MINICUBEとターゲット・システムを接続するケーブルです。MINICUBEに添付されています。ケーブルの長さは約20 cmです。
<6> コネクタ変換ボード KEL Adaptor	MINICUBEに添付されています。
<7> MINICUBE接続コネクタ KELコネクタ <sup>注2</sup>	8830E-026-170S ( MINICUBEに添付されています ) 8830E-026-170L ( 別売品 )

注1. デバイス・ファイルはNECエレクトロニクスのホームページから入手してください。

<http://www.necel.com/micro/ods/jpn/index.html>

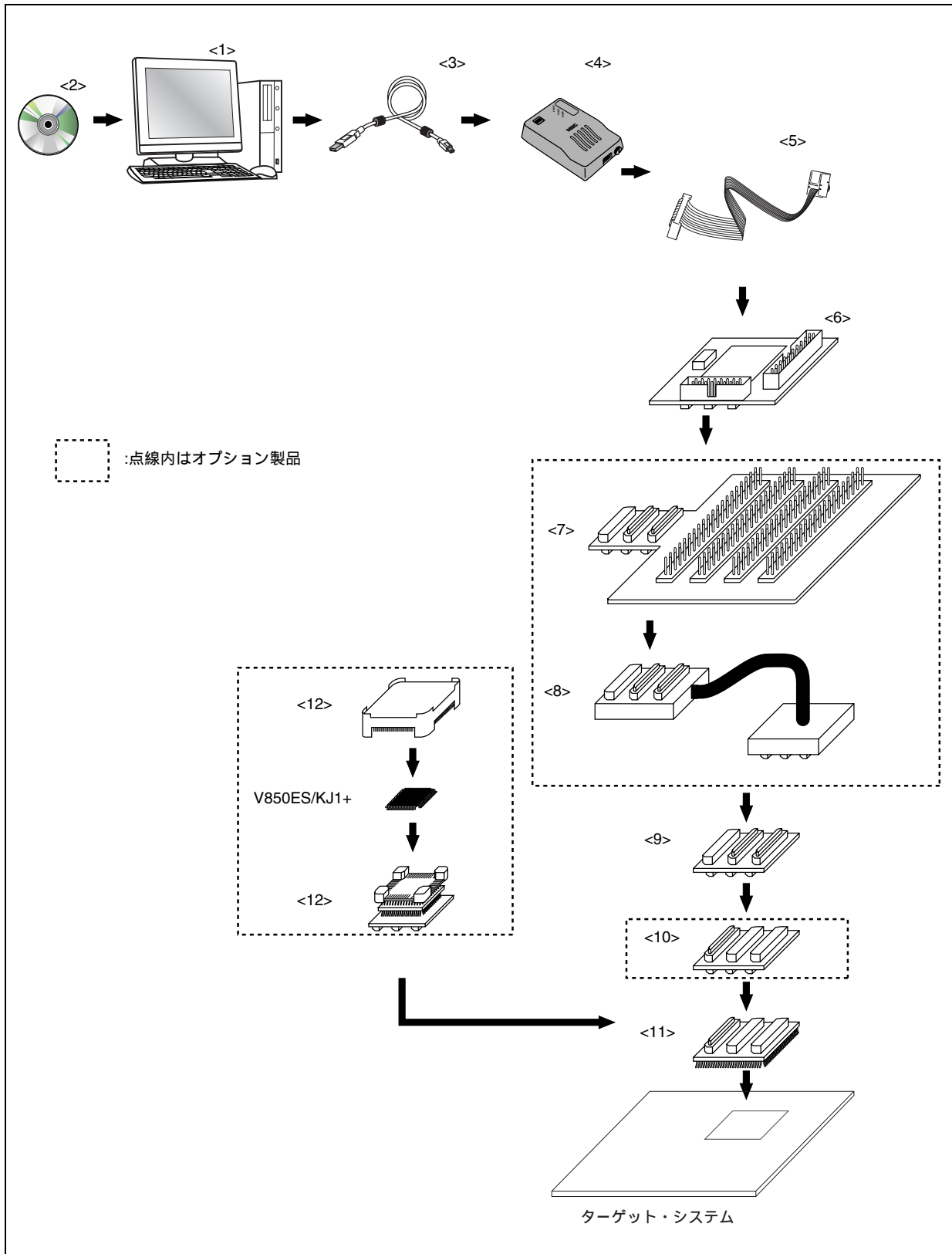
2. ケル株式会社の製品です。

備考 表内の番号は図A - 3の番号に対応しています。

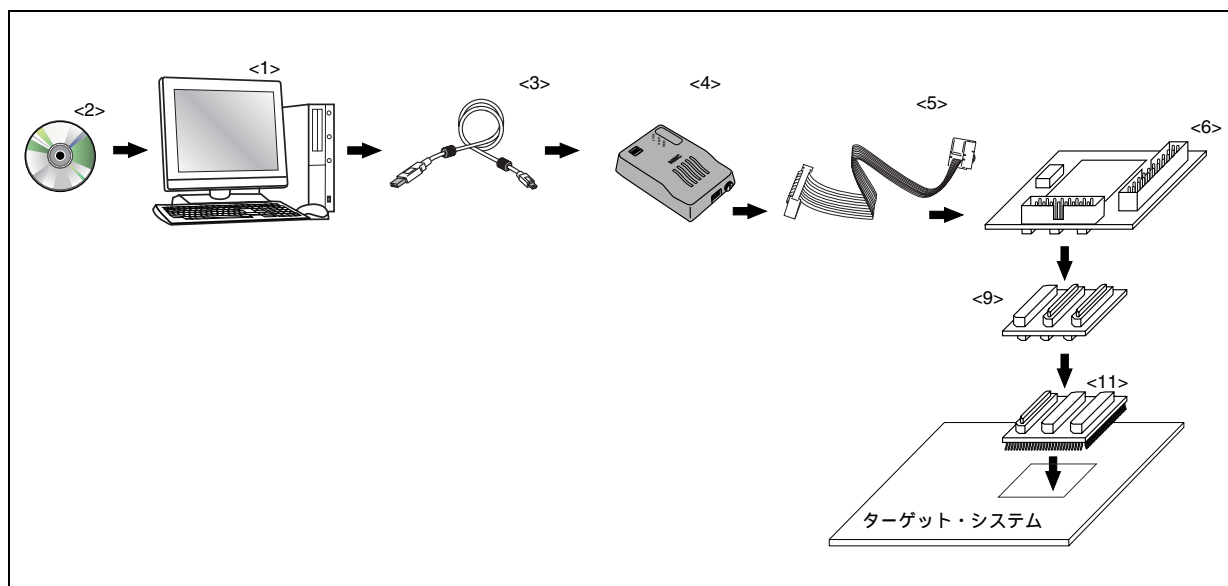
(2) MINICUBEとQB-V850ESKX1H-DAを使用してのデバッグ・エミュレーション

MINICUBEとデバッグ・アダプタQB-V850ESKX1H-DAとホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。オプション製品がない場合でも接続は可能です。

図A - 4 QB-V850ESKX1H-DAを使用したシステム構成（オプション製品を使用する場合）



図A - 5 QB-V850ESKX1H-DAを使用したシステム構成（オプション製品を使用しない場合）



<1> ホスト・マシン	USBポート搭載品。
<2> CD-ROM <sup>※1</sup>	CD-ROM形式で統合ディバग्ガ ID850QB, N-Wire Checker, デバイス・ドライバ, ドキュメントなどが含まれています。MINICUBEに添付されています。
<3>USBインタフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付しています。ケーブルの長さは約2 mです。
<4> MINICUBE オンチップ・デバッグ・エミュレータ	V850ES/KJ1+を使用する応用システムを開発する際に、ハードウェア, ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合ディバग्ガ ID850QBに対応しています。
<5> OCDケーブル	MINICUBEとターゲット・システムを接続するケーブルです。MINICUBEに添付されています。ケーブルの長さは約20 cmです。
<6> QB-V850ESKX1H-DA デバッグ・アダプタ	MINICUBEと組み合わせることでインサートキット・エミュレータとして動作します。MINICUBEに添付されています。
<7> QB-144-CA-01S (オプション) チェックピン・アダプタ	オシロスコープなどで波形を観測するときに使用するアダプタです。
<8> QB-144-EP-01S (オプション) 延長プローブ同軸タイプ	QB-V850ESKX1H-DAとエクステンジ・アダプタを接続するためのプローブです。ケーブルの長さは約40 cmです。
<9> QB-144GJ-EA-02S エクステンジ・アダプタ	ピン変換を行うアダプタです。
<10> QB-144-SA-01S (オプション) スペース・アダプタ	高さ調節用アダプタです。
<11> QB-144GJ-TC-01S ターゲット・コネクタ	ターゲット・システム上へ半田付けするコネクタです。
<12> QB-144GJ-MA-01S (オプション) マウント・アダプタ	V850ES/KJ1+をソケット実装するためのアダプタです。

注 デバイス・ファイルはNECエレクトロニクスのホームページから入手してください。

<http://www.necel.com/micro/ods/jpn/index.html>

備考 表内の番号は図A - 4, 図A - 5の番号に対応しています。

## A.5 デバッグ用ツール(ソフトウェア)

ID850QB 統合デバッグ	V850シリーズ用のインサーキット・エミュレータに対応したデバッグです。ID850QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイルと組み合わせて使用します。
	オーダ名称： $\mu S \times \times \times \times$ ID703000-QB

**備考** オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times \times$ ID703000-QB

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ、	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	



## 付録B 命令セット一覧

### B.1 凡 例

#### (1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ（ソース・レジスタとして使用）
reg2	汎用レジスタ（おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。）
reg3	汎用レジスタ（おもに除算結果の余り、乗算結果の上位32ビットを格納）
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエイト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ（00H-1FH）を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ（r3）
ep	エレメント・ポインタ（r30）
list x	x個のレジスタ・リスト

#### (2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエイトの1ビット分データ（イミューディエイトの上位ビットを示す）
i	イミューディエイトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ

## (3) オペレーションに使われる略号

略号	説明
	代入
GR[ ]	汎用レジスタ
SR[ ]	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果、n 7FFFFFFFHとなった場合、n = 7FFFFFFFHとする。 nが計算の結果、n 80000000Hとなった場合、n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

## (4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

## (5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。



## (6) 条件コード

条件コード (cccc)	条件式	説明
0000	$OV = 1$	Overflow
1000	$OV = 0$	No overflow
0001	$CY = 1$	Carry Lower ( Less than )
1001	$CY = 0$	No carry No lower ( Greater than or equal )
0010	$Z = 1$	Zero
1010	$Z = 0$	Not zero
0011	$( CY \text{ or } Z ) = 1$	Not higher ( Less than or equal )
1011	$( CY \text{ or } Z ) = 0$	Higher ( Greater than )
0100	$S = 1$	Negative
1100	$S = 0$	Positive
0101	-	Always ( 無条件 )
1101	$SAT = 1$	Saturated
0110	$( S \text{ xor } OV ) = 1$	Less than signed
1110	$( S \text{ xor } OV ) = 0$	Greater than or equal signed
0111	$( ( S \text{ xor } OV ) \text{ or } Z ) = 1$	Less than or equal signed
1111	$( ( S \text{ xor } OV ) \text{ or } Z ) = 0$	Greater than signed

## B.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x		
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x		
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x		
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	x	x		
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied	条件成立時	2	2	2					
			then PC PC + sign-extend (disp9)	注2	注2	注2						
			条件不成立時	1	1	1						
BSH	reg2, reg3	rrrrr1111100000 wwwww01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR[reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x		
BSW	reg2, reg3	rrrrr1111100000 wwwww01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x		
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr,Half-word))	4	4	4						
CLR1	bit#3,disp16[reg1]	10bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3	3	3				x		
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100100	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3				x		
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1						
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1						
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x		
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	3	3	3	R	R	R	R	R	
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	3	3	3	R	R	R	R	R	
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	3	3	3						
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1						

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4						
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4						
DIV	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup>	35	35	35		x	x	x		
	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup> GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR wwwww010110000010	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup> GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR wwwww010110000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
EI		100001111100000 0000000101100000	PSW.ID 0	1	1	1						
HALT		000001111100000 0000000100100000	停止する	1	1	1						
HSW	reg2, reg3	rrrrr1111100000 wwwww01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x		
JARL	disp22, reg2	rrrrr11110dddd dddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	2	2	2						
JMP	[reg1]	0000000011RRRRR	PC GR[reg1]	3	3	3						
JR	disp22	0000011110dddd dddddddddddddd0 注7	PC PC + sign-extend(disp22)	2	2	2						
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte) )	1	1	注11						
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte) )	1	1	注11						
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword) )	1	1	注11						
LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID] GR[reg2]	regID = PSW以外	1	1	1					
				regID = PSW	1	1	1	x	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr11111RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword) )	1	1	注11						

モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11					
MOV	reg1, reg2	rrrrr00000RRRRR	GR[reg2] GR[reg1]	1	1	1					
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1					
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2					
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1					
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 <sup>16</sup> )	1	1	1					
MUL	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01000100000 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5					
	imm9, reg2, reg3	rrrrr11111iiii WWWWW01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	4	5					
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] <sup>26</sup> × GR[reg1] <sup>26</sup>	1	1	2					
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] <sup>26</sup> × sign-extend (imm5)	1	1	2					
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] <sup>26</sup> × imm16	1	1	2					
MULU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01000100010 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5					
	imm9, reg2, reg3	rrrrr11111iiii WWWWW01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	4	5					
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1					
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT ( GR[reg1] )	1	1	1		0	×	×	
NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) ) Store-memory-bit (adr, bit#3, Zフラグ)	3	3	3					×
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) ) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					×
				注3	注3	注3					
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	×	×	
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	×	×	
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4					
	list12, imm5, sp/imm <sup>注15</sup>	0000011110iiiiL LLLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp - zero-extend (imm5) ep sp/imm	n+2 注4	n+2 注4	n+2 注4					
				注17	注17	注17					

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	3	3	3	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1] )	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5) )	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16) )	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) ) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) ) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte) )	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte) )	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword) )	1	1	注9					

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword) )	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr11111RRRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	0000000010RRRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	00000000101RRRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0) )	1	1	1					
SXH	reg1	00000000111RRRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0) )	1	1	1					
TRAP	vector	0000011111111111 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 00000040H (vectorが00H-0FHのとき) 00000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) )	3	3	3	注3	注3	注3		x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) )	3	3	3	注3	注3	注3		x
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	00000000100RRRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0) )	1	1	1					
ZXH	reg1	00000000110RRRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0) )	1	1	1					

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は3。
  3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
  4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ数。n = 0の場合, n = 1と同じ動作)
  5. RRRRR : 00000以外
  6. 下位ハーフワード・データだけ有効
  7. ddddddddddddddddddddはdisp22の上位21ビットです。
  8. ddddddddddddddddはdisp16の上位15ビットです。
  9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
  10. b : disp16のビット0
  11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
  12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
    - rrrrr = regID指定
    - RRRRR = reg2指定
  13. iiii : imm9の下位5ビット  
IIII : imm9の上位4ビット
  14. 汎用レジスタreg1と汎用レジスタreg3に, 同じレジスタを指定しないでください。
  15. sp/imm : サブオペコードのビット19, 20で指定
  16. ff = 00 : spをepにロード
    - 01 : 符号拡張した16ビット・イミディエト・データ (ビット47-32) をepにロード
    - 10 : 16ビット論理左シフトした16ビット・イミディエト・データ (ビット47-32) をepにロード
    - 11 : 32ビット・イミディエト・データ (ビット63-32) をepにロード
  17. imm = imm32の場合はn + 3クロック
  18. rrrrr : 00000以外
  19. dddddddはdisp8の上位7ビットです。
  20. ddddはdisp5の上位4ビットです。
  21. dddddddはdisp8の上位6ビットです。

## 付録C レジスタ索引

(1/11)

略号	名称	ユニット	ページ
ADCR	A/D変換結果レジスタ	ADC	480
ADCRH	A/D変換結果レジスタH	ADC	480
ADIC	割り込み制御レジスタ	INTC	726
ADM	A/Dコンバータ・モード・レジスタ	ADC	476
ADS	アナログ入力チャネル指定レジスタ	ADC	479
ADTC0	自動データ転送アドレス・カウント・レジスタ0	CSIA	577
ADTC1	自動データ転送アドレス・カウント・レジスタ1	CSIA	577
ADTI0	自動データ転送間隔指定レジスタ0	CSIA	584
ADTI1	自動データ転送間隔指定レジスタ1	CSIA	584
ADTP0	自動データ転送アドレス・ポイント指定レジスタ0	CSIA	582
ADTP1	自動データ転送アドレス・ポイント指定レジスタ1	CSIA	582
ASICL0	LIN動作制御レジスタ	UART	518
ASIF0	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	UART	515
ASIF1	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ1	UART	515
ASIF2	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ2	UART	515
ASIM0	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	UART	512
ASIM1	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	UART	512
ASIM2	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	UART	512
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	UART	514
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	UART	514
ASIS2	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	UART	514
AWC	アドレス・ウェイト制御レジスタ	BCU	209
BCC	バス・サイクル制御レジスタ	BCU	210
BRGC0	ポーレート・ジェネレータ・コントロール・レジスタ0	UART	541
BRGC1	ポーレート・ジェネレータ・コントロール・レジスタ1	UART	541
BRGC2	ポーレート・ジェネレータ・コントロール・レジスタ2	UART	541
BRGCA0	分周値選択レジスタ0	CSIA	582
BRGCA1	分周値選択レジスタ1	CSIA	582
BRGIC	割り込み制御レジスタ	INTC	726
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	198
CCLS	CPU動作クロック・ステータス・レジスタ	CG	228
CKSR0	クロック選択レジスタ0	UART	540
CKSR1	クロック選択レジスタ1	UART	540
CKSR2	クロック選択レジスタ2	UART	540
CLM	クロック・モニタ・モード・レジスタ	CLM	790
CMP00	8ビット・タイマHコンペア・レジスタ00	TMH	419
CMP01	8ビット・タイマHコンペア・レジスタ01	TMH	420
CMP10	8ビット・タイマHコンペア・レジスタ10	TMH	419
CMP11	8ビット・タイマHコンペア・レジスタ11	TMH	420



略号	名称	ユニット	ページ
CR000	16ビット・タイマ・キャプチャ/コンペア・レジスタ000	TM0	323
CR001	16ビット・タイマ・キャプチャ/コンペア・レジスタ001	TM0	324
CR010	16ビット・タイマ・キャプチャ/コンペア・レジスタ010	TM0	323
CR011	16ビット・タイマ・キャプチャ/コンペア・レジスタ011	TM0	324
CR020	16ビット・タイマ・キャプチャ/コンペア・レジスタ020	TM0	323
CR021	16ビット・タイマ・キャプチャ/コンペア・レジスタ021	TM0	324
CR030	16ビット・タイマ・キャプチャ/コンペア・レジスタ030	TM0	323
CR031	16ビット・タイマ・キャプチャ/コンペア・レジスタ031	TM0	324
CR040	16ビット・タイマ・キャプチャ/コンペア・レジスタ040	TM0	323
CR041	16ビット・タイマ・キャプチャ/コンペア・レジスタ041	TM0	324
CR050	16ビット・タイマ・キャプチャ/コンペア・レジスタ050	TM0	323
CR051	16ビット・タイマ・キャプチャ/コンペア・レジスタ051	TM0	324
CR5	16ビット・タイマ・コンペア・レジスタ5	TM5	402
CR50	8ビット・タイマ・コンペア・レジスタ50	TM5	402
CR51	8ビット・タイマ・コンペア・レジスタ51	TM5	402
CRC00	キャプチャ/コンペア・コントロール・レジスタ00	TM0	329
CRC01	キャプチャ/コンペア・コントロール・レジスタ01	TM0	329
CRC02	キャプチャ/コンペア・コントロール・レジスタ02	TM0	329
CRC03	キャプチャ/コンペア・コントロール・レジスタ03	TM0	329
CRC04	キャプチャ/コンペア・コントロール・レジスタ04	TM0	329
CRC05	キャプチャ/コンペア・コントロール・レジスタ05	TM0	329
CSI0IC0	割り込み制御レジスタ	INTC	726
CSI0IC1	割り込み制御レジスタ	INTC	726
CSI0IC2	割り込み制御レジスタ	INTC	726
CSIA0B0	CSIA0バッファRAMn (n = 0-F)	CSIA	585
CSIA0B0H	CSIA0バッファRAMnH (n = 0-F)	CSIA	585
CSIA0B0L	CSIA0バッファRAMnL (n = 0-F)	CSIA	585
CSIA1B0	CSIA1バッファRAMn (n = 0-F)	CSIA	585
CSIA1B0H	CSIA1バッファRAMnH (n = 0-F)	CSIA	585
CSIA1B0L	CSIA1バッファRAMnL (n = 0-F)	CSIA	585
CSIAIC0	割り込み制御レジスタ	INTC	726
CSIAIC1	割り込み制御レジスタ	INTC	726
CSIC0	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSIO	553
CSIC1	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSIO	553
CSIC2	クロック同期式シリアル・インタフェース・クロック選択レジスタ2	CSIO	553
CSIM00	クロック同期式シリアル・インタフェース・モード・レジスタ00	CSIO	551
CSIM01	クロック同期式シリアル・インタフェース・モード・レジスタ01	CSIO	551
CSIM02	クロック同期式シリアル・インタフェース・モード・レジスタ02	CSIO	551
CSIMA0	シリアル動作モード指定レジスタ0	CSIA	579
CSIMA1	シリアル動作モード指定レジスタ1	CSIA	579
CSIS0	シリアル・ステータス・レジスタ0	CSIA	580
CSIS1	シリアル・ステータス・レジスタ1	CSIA	580
CSIT0	シリアル・トリガ・レジスタ0	CSIA	581
CSIT1	シリアル・トリガ・レジスタ1	CSIA	581

略号	名称	ユニット	ページ
CTBP	CALLTベース・ポインタ	CPU	59
CTPC	CALLT実行時状態退避レジスタ	CPU	58
CTPSW	CALLT実行時状態退避レジスタ	CPU	58
DACS0	D/A変換値設定レジスタ0	DAC	503
DACS1	D/A変換値設定レジスタ1	DAC	503
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMA	691
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMA	691
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMA	691
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMA	691
DAM	D/Aコンバータ・モード・レジスタ	DAC	503
DBC0	DMA転送カウント・レジスタ0	DMA	690
DBC1	DMA転送カウント・レジスタ1	DMA	690
DBC2	DMA転送カウント・レジスタ2	DMA	690
DBC3	DMA転送カウント・レジスタ3	DMA	690
DBPC	例外 / デバッグ・トラップ時状態退避レジスタ	CPU	59
DBPSW	例外 / デバッグ・トラップ時状態退避レジスタ	CPU	59
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMA	692
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMA	692
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMA	692
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMA	692
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMA	689
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMA	689
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMA	689
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMA	689
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMA	689
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMA	689
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMA	689
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMA	689
DMAIC0	割り込み制御レジスタ	INTC	726
DMAIC1	割り込み制御レジスタ	INTC	726
DMAIC2	割り込み制御レジスタ	INTC	726
DMAIC3	割り込み制御レジスタ	INTC	726
DSA0H	DMAソース・アドレス・レジスタ0H	DMA	688
DSA0L	DMAソース・アドレス・レジスタ0L	DMA	688
DSA1H	DMAソース・アドレス・レジスタ1H	DMA	688
DSA1L	DMAソース・アドレス・レジスタ1L	DMA	688
DSA2H	DMAソース・アドレス・レジスタ2H	DMA	688
DSA2L	DMAソース・アドレス・レジスタ2L	DMA	688
DSA3H	DMAソース・アドレス・レジスタ3H	DMA	688
DSA3L	DMAソース・アドレス・レジスタ3L	DMA	688
DTFR0	DMAトリガ要因レジスタ0	DMA	693
DTFR1	DMAトリガ要因レジスタ1	DMA	693
DTFR2	DMAトリガ要因レジスタ2	DMA	693
DTFR3	DMAトリガ要因レジスタ3	DMA	693

略号	名称	ユニット	ページ
DWC0	データ・ウェイト制御レジスタ0	BCU	206
ECR	割り込み要因レジスタ	CPU	56
EIPC	割り込み時状態退避レジスタ	CPU	55
EIPSW	割り込み時状態退避レジスタ	CPU	55
EXIMC	外部バス・インタフェース・モード・コントロール・レジスタ	BCU	197
FEPC	NMI時状態退避レジスタ	CPU	56
FEPSW	NMI時状態退避レジスタ	CPU	56
IIC0	IICシフト・レジスタ0	I <sup>2</sup> C	627
IIC1	IICシフト・レジスタ1	I <sup>2</sup> C	627
IICC0	IICコントロール・レジスタ0	I <sup>2</sup> C	616
IICC1	IICコントロール・レジスタ1	I <sup>2</sup> C	616
IICCL0	IICクロック選択レジスタ0	I <sup>2</sup> C	625
IICCL1	IICクロック選択レジスタ1	I <sup>2</sup> C	625
IICF0	IICフラグ・レジスタ0	I <sup>2</sup> C	623
IICF1	IICフラグ・レジスタ1	I <sup>2</sup> C	623
IICIC0	割り込み制御レジスタ	INTC	726
IICIC1	割り込み制御レジスタ	INTC	726
IICS0	IIC状態レジスタ0	I <sup>2</sup> C	620
IICS1	IIC状態レジスタ1	I <sup>2</sup> C	620
IICX0	IIC機能拡張レジスタ0	I <sup>2</sup> C	626
IICX1	IIC機能拡張レジスタ1	I <sup>2</sup> C	626
IMR0	割り込みマスク・レジスタ0	INTC	729
IMR0H	割り込みマスク・レジスタ0H	INTC	729
IMR0L	割り込みマスク・レジスタ0L	INTC	729
IMR1	割り込みマスク・レジスタ1	INTC	729
IMR1H	割り込みマスク・レジスタ1H	INTC	729
IMR1L	割り込みマスク・レジスタ1L	INTC	729
IMR2	割り込みマスク・レジスタ2	INTC	729
IMR2H	割り込みマスク・レジスタ2H	INTC	729
IMR2L	割り込みマスク・レジスタ2L	INTC	729
IMR3	割り込みマスク・レジスタ3	INTC	729
IMR3H	割り込みマスク・レジスタ3H	INTC	729
IMR3L	割り込みマスク・レジスタ3L	INTC	729
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	737
INTF3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	738
INTF9H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTC	739
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	737
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	738
INTR9H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTC	739
ISPR	インサースビス・プライオリティ・レジスタ	INTC	731
KRIC	割り込み制御レジスタ	INTC	726
KRM	キー・リターン・モード・レジスタ	KR	752
LVIIIC	割り込み制御レジスタ	INTC	726
LVIM	低電圧検出レジスタ	LVI	801

略号	名称	ユニット	ページ
LVIS	低電圧検出レベル選択レジスタ	LVI	802
NFC	デジタル・ノイズ除去制御レジスタ	INTC	735
OCDM	オンチップ・ディバグ・モード・レジスタ	-	839
OSTS	発振安定時間選択レジスタ	スタンバイ	758
P0	ポート0レジスタ	ポート	102
P0NFC	TIP00ノイズ除去制御レジスタ	TMP	317
P1	ポート1レジスタ	ポート	105
P1NFC	TIP01ノイズ除去制御レジスタ	TMP	317
P3	ポート3レジスタ	ポート	107
P3H	ポート3レジスタH	ポート	107
P3L	ポート3レジスタL	ポート	107
P4	ポート4レジスタ	ポート	112
P5	ポート5レジスタ	ポート	115
P6	ポート6レジスタ	ポート	119
P6H	ポート6レジスタH	ポート	119
P6L	ポート6レジスタL	ポート	119
P7	ポート7レジスタ	ポート	124
P7H	ポート7レジスタH	ポート	124
P7L	ポート7レジスタL	ポート	124
P8	ポート8レジスタ	ポート	125
P9	ポート9レジスタ	ポート	129
P9H	ポート9レジスタH	ポート	129
P9L	ポート9レジスタL	ポート	129
PC	プログラム・カウンタ	CPU	53
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	224
PCD	ポートCDレジスタ	ポート	136
PCM	ポートCMレジスタ	ポート	137
PCS	ポートCSレジスタ	ポート	139
PCT	ポートCTレジスタ	ポート	141
PDH	ポートDHレジスタ	ポート	143
PDL	ポートDLレジスタ	ポート	146
PDLH	ポートDLレジスタH	ポート	146
PDLL	ポートDLレジスタL	ポート	146
PF3H	ポート3ファンクション・レジスタH	ポート	109
PF4	ポート4ファンクション・レジスタ	ポート	114
PF5	ポート5ファンクション・レジスタ	ポート	116
PF6	ポート6ファンクション・レジスタ	ポート	121
PF6H	ポート6ファンクション・レジスタH	ポート	121
PF6L	ポート6ファンクション・レジスタL	ポート	121
PF8	ポート8ファンクション・レジスタ	ポート	126
PF9H	ポート9ファンクション・レジスタH	ポート	131
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	109
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	113
PFC5	ポート5ファンクション・コントロール・レジスタ	ポート	117

略号	名称	ユニット	ページ
PFC6H	ポート6ファンクション・コントロール・レジスタ	ポート	121
PFC8	ポート8ファンクション・コントロール・レジスタ	ポート	127
PFC9	ポート9ファンクション・コントロール・レジスタ	ポート	132
PFC9H	ポート9ファンクション・コントロール・レジスタH	ポート	132
PFC9L	ポート9ファンクション・コントロール・レジスタL	ポート	132
PFCE3	ポート3ファンクション・コントロール拡張レジスタ	ポート	109
PFM	パワー・フェイル比較モード・レジスタ	ADC	482
PFT	パワー・フェイル比較しきい値レジスタ	ADC	482
PIC0	割り込み制御レジスタ	INTC	726
PIC1	割り込み制御レジスタ	INTC	726
PIC2	割り込み制御レジスタ	INTC	726
PIC3	割り込み制御レジスタ	INTC	726
PIC4	割り込み制御レジスタ	INTC	726
PIC5	割り込み制御レジスタ	INTC	726
PIC6	割り込み制御レジスタ	INTC	726
PIC7	割り込み制御レジスタ	INTC	726
PLLCTL	PLLコントロール・レジスタ	CG	230, 471
PM0	ポート0モード・レジスタ	ポート	102
PM1	ポート1モード・レジスタ	ポート	105
PM3	ポート3モード・レジスタ	ポート	107
PM3H	ポート3モード・レジスタH	ポート	107
PM3L	ポート3モード・レジスタL	ポート	107
PM4	ポート4モード・レジスタ	ポート	112
PM5	ポート5モード・レジスタ	ポート	115
PM6	ポート6モード・レジスタ	ポート	119
PM6H	ポート6モード・レジスタH	ポート	119
PM6L	ポート6モード・レジスタL	ポート	119
PM8	ポート8モード・レジスタ	ポート	125
PM9	ポート9モード・レジスタ	ポート	129
PM9H	ポート9モード・レジスタH	ポート	129
PM9L	ポート9モード・レジスタL	ポート	129
PMC0	ポート0モード・コントロール・レジスタ	ポート	103
PMC3	ポート3モード・コントロール・レジスタ	ポート	108
PMC3H	ポート3モード・コントロール・レジスタH	ポート	108
PMC3L	ポート3モード・コントロール・レジスタL	ポート	108
PMC4	ポート4モード・コントロール・レジスタ	ポート	113
PMC5	ポート5モード・コントロール・レジスタ	ポート	116
PMC6	ポート6モード・コントロール・レジスタ	ポート	120
PMC6H	ポート6モード・コントロール・レジスタH	ポート	120
PMC6L	ポート6モード・コントロール・レジスタL	ポート	120
PMC8	ポート8モード・コントロール・レジスタ	ポート	126
PMC9	ポート9モード・コントロール・レジスタ	ポート	130
PMC9H	ポート9モード・コントロール・レジスタH	ポート	130
PMC9L	ポート9モード・コントロール・レジスタL	ポート	130

略号	名称	ユニット	ページ
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	138
PMCCS	ポートCSモード・コントロール・レジスタ	ポート	140
PMCCT	ポートCTモード・コントロール・レジスタ	ポート	142
PMCD	ポートCDモード・レジスタ	ポート	136
PMCDH	ポートDHモード・コントロール・レジスタ	ポート	144
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	147
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	147
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	147
PMCM	ポートCMモード・レジスタ	ポート	137
PMCS	ポートCSモード・レジスタ	ポート	139
PMCT	ポートCTモード・レジスタ	ポート	141
PMDH	ポートDHモード・レジスタ	ポート	143
PMDL	ポートDLモード・レジスタ	ポート	146
PMDLH	ポートDLモード・レジスタH	ポート	146
PMDLL	ポートDLモード・レジスタL	ポート	146
PRCMD	コマンド・レジスタ	CPU	88
PRM00	プリスケラ・モード・レジスタ00	TM0	332
PRM01	プリスケラ・モード・レジスタ01	TM0	332
PRM02	プリスケラ・モード・レジスタ02	TM0	332
PRM03	プリスケラ・モード・レジスタ03	TM0	332
PRM04	プリスケラ・モード・レジスタ04	TM0	332
PRM05	プリスケラ・モード・レジスタ05	TM0	332
PRSCM	インターバル・タイマBRGコンペア・レジスタ	CG	444
PRSM	インターバル・タイマBRGモード・レジスタ	CG	443
PSC	パワー・セーブ・コントロール・レジスタ	スタンバイ	756
PSMR	パワー・セーブ・モード・レジスタ	スタンバイ	757
PSW	プログラム・ステータス・ワード	CPU	57
PU0	プルアップ抵抗オプション・レジスタ0	ポート	103
PU1	プルアップ抵抗オプション・レジスタ1	ポート	105
PU3	プルアップ抵抗オプション・レジスタ3	ポート	111
PU4	プルアップ抵抗オプション・レジスタ4	ポート	114
PU5	プルアップ抵抗オプション・レジスタ5	ポート	117
PU6	プルアップ抵抗オプション・レジスタ6	ポート	122
PU6H	プルアップ抵抗オプション・レジスタ6H	ポート	122
PU6L	プルアップ抵抗オプション・レジスタ6L	ポート	122
PU8	プルアップ抵抗オプション・レジスタ8	ポート	127
PU9	プルアップ抵抗オプション・レジスタ9	ポート	134
PU9H	プルアップ抵抗オプション・レジスタ9H	ポート	134
PU9L	プルアップ抵抗オプション・レジスタ9L	ポート	134
PUCD	プルアップ抵抗オプション・レジスタCD	ポート	136
PUCM	プルアップ抵抗オプション・レジスタCM	ポート	138
PUCS	プルアップ抵抗オプション・レジスタCS	ポート	140
PUCT	プルアップ抵抗オプション・レジスタCT	ポート	142
PUDH	プルアップ抵抗オプション・レジスタDH	ポート	144

略号	名称	ユニット	ページ
PUDL	ブルアップ抵抗オプション・レジスタDL	ポート	147
PUDLL	ブルアップ抵抗オプション・レジスタDLL	ポート	147
PUDLH	ブルアップ抵抗オプション・レジスタDLH	ポート	147
r0-r31	汎用レジスタ	CPU	53
RCM	内蔵発振モード・レジスタ	CG	228, 791
RESF	リセット要因フラグ・レジスタ	リセット	776
RNZC	リセット・ノイズ除去コントロール・レジスタ	リセット	779
RTBH0	リアルタイム出力バッファ・レジスタH0	RTP	465
RTBH1	リアルタイム出力バッファ・レジスタH1	RTP	465
RTBL0	リアルタイム出力バッファ・レジスタL0	RTP	465
RTBL1	リアルタイム出力バッファ・レジスタL1	RTP	465
RTPC0	リアルタイム出力ポート・コントロール・レジスタ0	RTP	467
RTPC1	リアルタイム出力ポート・コントロール・レジスタ1	RTP	467
RTPM0	リアルタイム出力ポート・モード・レジスタ0	RTP	466
RTPM1	リアルタイム出力ポート・モード・レジスタ1	RTP	466
RXB0	受信バッファ・レジスタ0	UART	516
RXB1	受信バッファ・レジスタ1	UART	516
RXB2	受信バッファ・レジスタ2	UART	516
SELCNT0	セレクト動作制御レジスタ0	UART	520
SELCNT1	セレクト動作制御レジスタ1	TM0	333
SIO00	シリアルI/Oシフト・レジスタ0	CSIO	558
SIO00L	シリアルI/Oシフト・レジスタ0L	CSIO	558
SIO01	シリアルI/Oシフト・レジスタ1	CSIO	558
SIO01L	シリアルI/Oシフト・レジスタ1L	CSIO	558
SIO02	シリアルI/Oシフト・レジスタ2	CSIO	558
SIO02L	シリアルI/Oシフト・レジスタ2L	CSIO	558
SIOA0	シリアルI/Oシフト・レジスタA0	CSIA	577
SIOA1	シリアルI/Oシフト・レジスタA1	CSIA	577
SIRB0	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0	CSIO	554
SIRB0L	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0L	CSIO	554
SIRB1	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1	CSIO	554
SIRB1L	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1L	CSIO	554
SIRB2	クロック同期式シリアル・インタフェース受信バッファ・レジスタ2	CSIO	554
SIRB2L	クロック同期式シリアル・インタフェース受信バッファ・レジスタ2L	CSIO	554
SIRBE0	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0	CSIO	555
SIRBE0L	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0L	CSIO	555
SIRBE1	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1	CSIO	555
SIRBE1L	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1L	CSIO	555
SIRBE2	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ2	CSIO	555
SIRBE2L	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ2L	CSIO	555
SOTB0	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	CSIO	556
SOTB0L	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0L	CSIO	556
SOTB1	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	CSIO	556
SOTB1L	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1L	CSIO	556

略号	名称	ユニット	ページ
SOTB2	クロック同期式シリアル・インタフェース送信バッファ・レジスタ2	CSI0	556
SOTB2L	クロック同期式シリアル・インタフェース送信バッファ・レジスタ2L	CSI0	556
SOTBF0	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0	CSI0	557
SOTBF0L	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0L	CSI0	557
SOTBF1	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1	CSI0	557
SOTBF1L	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1L	CSI0	557
SOTBF2	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ2	CSI0	557
SOTBF2L	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ2L	CSI0	557
SREIC0	割り込み制御レジスタ	INTC	726
SREIC1	割り込み制御レジスタ	INTC	726
SREIC2	割り込み制御レジスタ	INTC	726
SRIC0	割り込み制御レジスタ	INTC	726
SRIC1	割り込み制御レジスタ	INTC	726
SRIC2	割り込み制御レジスタ	INTC	726
STIC0	割り込み制御レジスタ	INTC	726
STIC1	割り込み制御レジスタ	INTC	726
STIC2	割り込み制御レジスタ	INTC	726
SVA0	スレーブ・アドレス・レジスタ0	I <sup>2</sup> C	628
SVA1	スレーブ・アドレス・レジスタ1	I <sup>2</sup> C	628
SYS	システム・ステータス・レジスタ	CPU	89
TCL50	タイマ・クロック選択レジスタ50	TM5	403
TCL51	タイマ・クロック選択レジスタ51	TM5	403
TM00	16ビット・タイマ・カウンタ00	TM0	322
TM01	16ビット・タイマ・カウンタ01	TM0	322
TM02	16ビット・タイマ・カウンタ02	TM0	322
TM03	16ビット・タイマ・カウンタ03	TM0	322
TM04	16ビット・タイマ・カウンタ04	TM0	322
TM05	16ビット・タイマ・カウンタ05	TM0	322
TM0IC00	割り込み制御レジスタ	INTC	726
TM0IC01	割り込み制御レジスタ	INTC	726
TM0IC10	割り込み制御レジスタ	INTC	726
TM0IC11	割り込み制御レジスタ	INTC	726
TM0IC20	割り込み制御レジスタ	INTC	726
TM0IC21	割り込み制御レジスタ	INTC	726
TM0IC30	割り込み制御レジスタ	INTC	726
TM0IC31	割り込み制御レジスタ	INTC	726
TM0IC40	割り込み制御レジスタ	INTC	726
TM0IC41	割り込み制御レジスタ	INTC	726
TM0IC50	割り込み制御レジスタ	INTC	726
TM0IC51	割り込み制御レジスタ	INTC	726
TM5	16ビット・タイマ・カウンタ5	TM5	401
TM50	8ビット・タイマ・カウンタ50	TM5	401
TM51	8ビット・タイマ・カウンタ51	TM5	401
TM5IC0	割り込み制御レジスタ	INTC	726



略号	名称	ユニット	ページ
TM5IC1	割り込み制御レジスタ	INTC	726
TMC00	16ビット・タイマ・モード・コントロール・レジスタ00	TM0	327
TMC01	16ビット・タイマ・モード・コントロール・レジスタ01	TM0	327
TMC02	16ビット・タイマ・モード・コントロール・レジスタ02	TM0	327
TMC03	16ビット・タイマ・モード・コントロール・レジスタ03	TM0	327
TMC04	16ビット・タイマ・モード・コントロール・レジスタ04	TM0	327
TMC05	16ビット・タイマ・モード・コントロール・レジスタ05	TM0	327
TMC50	8ビット・タイマ・モード・コントロール・レジスタ50	TM5	404
TMC51	8ビット・タイマ・モード・コントロール・レジスタ51	TM5	404
TMCYC0	8ビット・タイマHキャリア・コントロール・レジスタ0	TMH	424
TMCYC1	8ビット・タイマHキャリア・コントロール・レジスタ1	TMH	424
TMHIC0	割り込み制御レジスタ	INTC	726
TMHIC1	割り込み制御レジスタ	INTC	726
TMHMD0	8ビット・タイマHモード・レジスタ0	TMH	422
TMHMD1	8ビット・タイマHモード・レジスタ1	TMH	423
TOC00	16ビット・タイマ出力コントロール・レジスタ00	TM0	330
TOC01	16ビット・タイマ出力コントロール・レジスタ01	TM0	330
TOC02	16ビット・タイマ出力コントロール・レジスタ02	TM0	330
TOC03	16ビット・タイマ出力コントロール・レジスタ03	TM0	330
TOC04	16ビット・タイマ出力コントロール・レジスタ04	TM0	330
TOC05	16ビット・タイマ出力コントロール・レジスタ05	TM0	330
TP0CCIC0	割り込み制御レジスタ	INTC	726
TP0CCIC1	割り込み制御レジスタ	INTC	726
TP0CCR0	TMP0キャプチャ/コンペア・レジスタ0	TMP	241
TP0CCR1	TMP0キャプチャ/コンペア・レジスタ1	TMP	243
TP0CNT	TMP0カウンタ・リード・バッファ・レジスタ	TMP	245
TP0CTL0	TMP0制御レジスタ0	TMP	235
TP0CTL1	TMP0制御レジスタ1	TMP	236
TP0IOC0	TMP0I/O制御レジスタ0	TMP	237
TP0IOC1	TMP0I/O制御レジスタ1	TMP	238
TP0IOC2	TMP0I/O制御レジスタ2	TMP	239
TP0OPT0	TMP0オプション・レジスタ0	TMP	240
TP0OVIC	割り込み制御レジスタ	INTC	726
TXB0	送信バッファ・レジスタ0	UART	517
TXB1	送信バッファ・レジスタ1	UART	517
TXB2	送信バッファ・レジスタ2	UART	517
VSWC	システム・ウェイト・コントロール・レジスタ	CPU	90
WDCS	ウォッチドッグ・タイマ・クロック選択レジスタ	WDT	455
WDT1IC	割り込み制御レジスタ	INTC	726
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	461
WDTM1	ウォッチドッグ・タイマ・モード・レジスタ1	WDT	456, 733
WDTM2	ウォッチドッグ・タイマ・モード・レジスタ2	WDT	460
WTIC	割り込み制御レジスタ	INTC	726
WTIIC	割り込み制御レジスタ	INTC	726

略号	名称	ユニット	ページ
WTM	時計タイマ動作モード・レジスタ	WT	448

## 付録D 改版履歴

### D.1 本版で改訂された主な箇所

箇所	内容
p.237	7.4(3) TMP0I/O制御レジスタ0 (TP0IOC0) 変更
p.445	11.1.4(1) インターバル・タイマBRGの動作 変更
p.476	14.4(1) A/Dコンバータ・モード・レジスタ (ADM) 注意変更
p.479	14.4(2) アナログ入力チャネル指定レジスタ (ADS) 注意変更
p.482	14.4(4) パワー・フェイル比較モード・レジスタ (PFM) 注意変更
p.482	14.4(5) パワー・フェイル比較しきい値レジスタ (PFT) 注意変更
p.484	14.5.2 トリガ・モード 変更
p.485	14.5.3(1) セレクト・モード 変更
p.486	14.5.3(2) スキャン・モード 変更
p.491	図14-7 スタンバイ・モード時の消費電力を低減させる方法例 変更
p.496	14.6(14) 通常モード時のA/D変換動作について 追加
p.694	20.3(6) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) 注意変更
p.697	20.7 DMAチャネルの優先順位 注意追加
p.799	表25-2 内蔵発振HALTモード時の動作状態 変更
p.814	表30-2 基本機能一覧 変更
p.814	表30-3 セキュリティ機能一覧 変更
p.815	表30-4 セキュリティ設定 追加
p.816	30.3(1) PG-FP4でのセキュリティ設定 (Security flag settings) 追加
p.821, 822	図30-6 V850ES/KJ1+フラッシュ書き込みアダプタ (FA-144GJ-UEN-A) の配線例 変更
p.835-843	第31章 オンチップ・デバッグ機能 IE-V850E1-CD-NWからMINICUBEを使用した場合に変更
p.900	図A-1 開発ツール構成 変更
p.904	A.4.2 MINICUBE QB-V850MINIを使用する場合 追加

## D.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお、適応箇所は各版での章を示します。

( 1/3 )

版 数	内 容	適応箇所
2版	μ PD70F3318,70F3318Yにオンチップ・ディバグ機能を追加	全般
	発振周波数を変更	全般
	1.4 オーダ情報 変更	第1章 概説
	2.4 端子の入出力回路 変更	第2章 端子機能
	表3-2 システム・レジスタ番号 変更	第3章 CPU機能
	3.4.8(1) システム・ウェイト・コントロール・レジスタ(VSWC) 変更	
	3.4.8(3) sld命令と割り込み競合に関する制限事項 追加	
	表4-3 Pnレジスタへの書き込み/読み出しについて 変更	第4章 ポート機能
	図6-1 クロック発生回路 変更	第6章 クロック発生機能
	7.4(5) TMP0I/O制御レジスタ2(TP0IOC2) 注意変更	第7章 16ビット・タイマ/ イベント・カウンタP(TMP)
	7.4(7) TMP0キャプチャ/コンペア・レジスタ0(TP0CCR0) 注意変更	
	7.4(8) TMP0キャプチャ/コンペア・レジスタ1(TP0CCR1) 注意変更	
	7.4(9) TMP0カウンタ・リード・バッファ・レジスタ(TP0CNT) 注意変更	
	図7-4 インターバル・タイマ・モード動作時のレジスタ設定内容 変更	
	図7-10 外部イベント・カウント・モードの基本タイミング 変更	
	7.5.2(2) 外部イベント・カウント・モード動作のタイミング 注意追加	
	図7-17 外部トリガ・パルス出力モードの基本タイミング 変更	
	7.5.3 外部トリガ・パルス出力モード 説明追加	
	7.5.3(2)(b) PWM波形の0%/100%出力の図 変更	
	図7-23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー 変更	
	7.5.5(b) PWM波形の0%/100%出力の図 変更	
	7.5.7 パルス幅測定モード 変更	
	第8章 16ビット・タイマ/イベント・カウンタ0 表現変更	第8章 16ビット・タイマ/ イベント・カウンタ0(TM0)
	10.2(1) 8ビット・タイマHコンペア・レジスタn0(CMPn0) 変更	第10章 8ビット・タイマH
	10.2(2) 8ビット・タイマHコンペア・レジスタn1(CMPn1) 変更	
	10.4.2 PWM出力モードとしての動作 注意変更	
	図10-6 転送タイミング 変更	
	10.4.3 設定方法 追加	
	11.1.3(1) インターバル・タイマBRGモード・レジスタ(PRSM) 変更	第11章 インターバル・タイ マ, 時計タイマ
	12.1.3(2) ウォッチドッグ・タイマ・モード・レジスタ1(WDTM1) 注意変更	第12章 ウォッチドッグ・タ イマ機能
	12.2.3(1) ウォッチドッグ・タイマ・モード・レジスタ2(WDTM2) 注意変更	
	13.2(1) リアルタイム出力バッファ・レジスタn(RTBLn, RTBHn) 注意変更	第13章 リアルタイム出力 機能(RTO)
14.1 概 要 注意追加	第14章 A/Dコンバータ機能	
14.4(1) A/Dコンバータ・モード・レジスタ(ADM) 注意変更		
14.4(2) アナログ入力チャネル指定レジスタ(ADS) 注意変更		

版数	内容	適応箇所
2版	14.4(3) A/D変換結果レジスタ, A/D変換結果レジスタH (ADCR, ADCRH) 注意変更	第14章 A/Dコンバータ機能
	14.4(4) パワー・フェイル比較モード・レジスタ (PFM) 注意変更	
	14.4(5) パワー・フェイル比較しきい値レジスタ (PFT) 注意変更	
	14.6(12) A/D変換結果のばらつきについて 追加	
	14.6(13) A/D変換結果のヒステリシス特性について 追加	
	16.4(2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn) 注意変更	第16章 アシンクロナス・シリアル・インタフェース (UART)
	16.4(6) LIN動作制御レジスタ0 (ASICL0) 注意追加	
	16.4(7) セレクタ動作制御レジスタ0 (SELCNT0) 追加	
	18.3(7) CSIA nバッファRAM (CSIA nBm) 注意変更	第18章 自動送受信機能付きクロック同期式シリアル・インタフェースA (CSIA)
	図19-2 I <sup>2</sup> Cnのブロック 変更	第19章 I <sup>2</sup> Cバス
	19.4(1) IICコントロール・レジスタ0, 1 (IICC0, IICC1) 変更	
	19.4(2) IIC状態レジスタ0, 1 (IICS0, IICS1) 変更	
	19.4(3) IICフラグ・レジスタ0, 1 (IICF0, IICF1) 変更	
	19.4(4) IICクロック選択レジスタ0, 1 (IICCL0, IICCL1) 変更	
	19.4(5) IIC機能拡張レジスタ0, 1 (IICX0, IICX1) 変更	
	19.4(7) IICシフト・レジスタ0, 1 (IIC0, IIC1) 変更	
	19.4(8) スレーブ・アドレス・レジスタ0, 1 (SVA0, SAV1) 変更	
	19.6.4 アクノリッジ (ACK) 変更	
	19.6.7 ウェイト解除方法 追加	
	19.7 I <sup>2</sup> C割り込み要求信号 (INTIICn) 変更	
	19.11 拡張コード (3) 変更	
	19.14.1 通信予約機能許可の場合 (IICFn.IICRSVnビット = 0) 変更	
	表19-6 ウェイト時間 変更	
	表19-7 ウェイト時間 変更	
	19.15 注意事項 追加	
	19.16 通信動作 変更	
	19.17 データ通信のタイミング 変更	
	20.3(1) DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3) 変更	第20章 DMA機能 (DMAコントローラ)
	20.3(2) DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3) 変更	
	20.3(3) DMA転送カウント・レジスタ0-3 (DBC0-DBC3) 変更	
20.3(4) DMA転送カウント・レジスタ0-3 (DBC0-DBC3) 変更		
20.13(3) 内蔵RAMを転送対象とするDMA転送時の注意 変更		
21.9 CPUが割り込みを受け付けられない期間 変更	第21章 割り込み / 例外処理機能	
表23-5 IDLEモード時の動作状態 変更	第23章 スタンバイ機能	
表23-7 STOPモード時の動作状態 変更		
表23-8 サブクロック動作モード時の動作状態 変更		

版 数	内 容	適応箇所
2版	23. 7. 1 設定および動作状態 注意追加	第23章 スタンバイ機能
	表23 - 10 サブIDLEモード時の動作状態 変更	
	25. 4. 1 設定および動作状態 変更	第25章 クロック・モニタ
	25. 4. 2 内蔵発振クロック動作モードの解除 変更	
	表25 - 2 内蔵発振HALTモード時の動作状態 変更	
	28. 1 概 要 注意追加	第28章 レギュレータ
	表30 - 4 専用フラッシュ・ライタ (PG-FP4) の信号接続一覧 変更	第30章 フラッシュ・メモリ
	30. 5. 2 (2) 割り込み対応 変更	
	図30 - 17 標準セルフ・プログラミング・フロー 変更	
	30. 5. 6 使用する内部資源 変更	
	第31章 オンチップ・デバッグ機能 追加	第31章 オンチップ・デバ グ機能
	第32章 電気的特性 変更	第32章 電気的特性
	第33章 半田付け推奨条件 追加	第33章 半田付け推奨条件
	図A - 1 開発ツール構成 変更	付録A 開発ツール
	A. 4 デバッグ用ツール (ハードウエア) 変更	
	付録D 改版履歴 追加	付録D 改版履歴

[メモ]

## 【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

---

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

---

## 【営業関係，技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電話 : 044-435-9494

E-mail : [info@necel.com](mailto:info@necel.com)

---

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。

---