

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザース・マニュアル

V850/SC1TM, V850/SC2TM, V850/SC3TM

32ビット・シングルチップ・マイクロコンピュータ

ハードウェア編

μPD703068Y

μPD703069Y

μPD703088Y

μPD703089Y

μPD70F3089Y

資料番号 U15109JJ3V0UD00 (第3版)

発行年月 May 2002 N CP(K)

© NEC Corporation 2001, 2002

(メモ)

目次要約

第1章	イントロダクション	...	34
第2章	端子機能	...	59
第3章	CPU機能	...	87
第4章	クロック発生機能	...	121
第5章	ポート機能	...	139
第6章	バス制御機能	...	196
第7章	割り込み / 例外処理機能	...	214
第8章	タイマ / カウンタ機能	...	252
第9章	時計用タイマ機能	...	308
第10章	ウォッチドッグ・タイマ機能	...	314
第11章	シリアル・インタフェース機能	...	322
第12章	A/Dコンバータ	...	453
第13章	DMA機能	...	469
第14章	リセット機能	...	480
第15章	レギュレータ	...	485
第16章	ROMコレクション機能	...	486
第17章	フラッシュ・メモリ (μ PD70F3089Y)	...	490
第18章	IEBusコントローラ (V850/SC2)	...	503
第19章	FCANコントローラ (V850/SC3)	...	559
第20章	電気的特性	...	688
第21章	外形図	...	716
第22章	半田付け推奨条件	...	717
付録A	レジスタ索引	...	718
付録B	命令セット一覧	...	727
付録C	改版履歴	...	734

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

V850シリーズ、V850/SC1、V850/SC2、V850/SC3、IEBus、Inter Equipment Busは、日本電気株式会社の商標です。

Windowsは米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

注意： μPD703068Y, 703069Y, 703088Y, 703089Y, 70F3089Yは μ PCバス・インタフェース回路を内蔵しています。

μ PCバス・インタフェースを使用される場合には、カスタム・コードをご発注いただく時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。

日本電気株式会社の μ PCバス対応部品をご購入いただくことにより、これらの部品を μ PCシステムに使用する実施権がフィリップス社 μ PC特許に基づき許諾されることとなります。ただし、これらの μ PCシステムはフィリップス社によって設定された μ PC標準規格に合致しているものとします。

Purchase of NEC μ PC components conveys a license under the Philips μ PC Patent Rights to use these components in an μ PC system, provided that the system conforms to the μ PC Standard Specification as defined by Philips.

本製品のうち、外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD70F3089Y

ユーザ判定品 : μ PD703068Y, 703069Y, 703088Y, 703089Y

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

本版で改訂された主な箇所 (1/4)

箇 所	内 容
全般	<ul style="list-style-type: none"> ・ 次の製品が開発中 開発済み μ PD703068YGJ-xxx-UEN, 703069YGJ-xxx-UEN ・ 時計用タイマ高速クロック選択レジスタ (WTNHC), IICフラグ・レジスタ0, 1 (IICF0, IICF1) 追加
p.51	1. 4. 1 特徴 (V850/SC3) 最小命令実行時間を変更
p.59	表2 - 1 各端子の入出力バッファ電源 記述変更
p.69	表2 - 3 動作モードによる各端子の動作状態 記述変更
p.110, 113-116	3. 4. 8 周辺I/Oレジスタ 記述変更
p.120	3. 4. 9 (2) システム・ステータス・レジスタ (SYS) 備考追加
p.121	4. 1 (1) メイン・クロック発振回路 V850/SC3の周波数を変更
p.123, 124	4. 3. 1 (1) プロセッサ・クロック・コントロール・レジスタ (PCC) 注および注意追加, 記述変更
p.125	4. 3. 1 (2) パワー・セーブ・コントロール・レジスタ (PSC) DCLK1, DCLK0ビット = 01B 設定時の記述変更および注追加
p.130	表4 - 1 HALTモード時の動作状態 A16-A21端子の動作状態の記述変更
p.132	表4 - 2 IDLEモード時の動作状態 UART0-UART3の動作状態の記述変更
p.133	4. 4. 4 (1) 設定および動作状態 記述追加
p.134	表4 - 3 ソフトウェアSTOPモード時の動作状態 UART0-UART3の動作状態の記述変更
p.136	4. 6 (1) 内蔵ROM上で命令を実行しているとき 追加
p.137	4. 6 (2) 外部ROM上で命令を実行しているとき 注意追加
p.139	表5 - 1 各端子の入出力バッファ電源 記述変更
p.165	5. 2. 8 (1) P9端子の機能 注意追加
p.191, 192	表5 - 16 ポート端子を兼用端子として使用する場合の設定 記述追加および変更
p.195	5. 4 ポート機能の動作 追加
p.197	6. 2. 2 (1) システム制御レジスタ (SYC) (V850/SC1, V850/SC2のみ) 注および注意追加
p.220	図7 - 2 ノンマスクابل割り込み要求の受け付け動作 記述変更
p.248	7. 8. 1 EI命令後の割り込み要求有効タイミング 追加
p.249	7. 9 DMA転送時の割り込み制御レジスタのビット操作命令 追加
p.255	8. 1. 3 (2) キャプチャ/コンペア・レジスタn0 (CR00, CR10, CR70-CR120) 記述追加および変更
p.256	8. 1. 3 (3) キャプチャ/コンペア・レジスタn1 (CR01, CR11, CR71-CR121) 記述追加および変更
p.258	8. 1. 4 (1) 16ビット・タイマ・モード・コントロール・レジスタ0, 1, 7-12 (TMC0, TMC1, TMC7-TMC12) 注意追加
p.259	8. 1. 4 (2) キャプチャ/コンペア・コントロール・レジスタ0, 1, 7-12 (CRC0, CRC1, CRC7-CRC12) 注意追加
p.273	図8 - 6 PPG出力の構成図, 図8 - 7 PPG出力動作のタイミング 追加
p.286	8. 2. 6 (2) 外部トリガによるワンショット・パルス出力 注意記述変更
p.317	10. 3 (2) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) 注意追加

本版で改訂された主な箇所 (2/4)

箇 所	内 容
p.322	11. 2 (2) 3線式シリアルI/Oモード (MSB先頭固定) 記述追加
p.325	11. 2. 2(1)シリアル・クロック選択レジスタ _n (CSIS _n),シリアル動作モード・レジスタ _n (CSIM _n) 注意追加
p.348	11.4. 3(6)クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL5, L6 (SIRBEL5, SIRBEL6) 操作可能ビットの記述変更
p.350	11. 4. 3(8)クロック同期式シリアル・インタフェース送信バッファ・レジスタL5, L6 (SOTBL5, SOTBL6) 操作可能ビットの記述変更
p.351	11. 4. 3(10)クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL5, L6 (SOTBFL5, SOTBFL6) 操作可能ビットの記述変更
p.352	11. 4. 3(12)シリアルI/Oシフト・レジスタL5, L6 (SIOL5, SIOL6) 操作可能ビットの記述変 更
p.377, 378	11. 5. 2(1)IICコントロール・レジスタ0, 1 (IICC0, IICC1) 記述変更, 注記述追加
p.384	11. 5. 2(4)IICクロック拡張レジスタ0, 1 (IICCE0, IICCE1), IIC機能拡張レジスタ0, 1 (IICX0, IICX1), IICクロック選択レジスタ0, 1 (IICCL0, IICCL1) 注意追加
p.420	11. 5. 12(2)通信予約機能禁止 (IICFnレジスタのIICRSV _n = 1) の場合 追加
p.422	11. 5. 13 注意事項 記述変更
p.423	11. 5. 14(1)マスタ動作(1) 記述変更
p.424	11. 5. 14(2)マスタ動作(2) 追加
p.425	図11 - 39 スレーブ動作手順 記述追加
p.436	11. 6. 2(1)アシンクロナス・シリアル・インタフェース・モード・レジスタ0-3 (ASIM0-ASIM3) 注意追加
p.439	11. 6. 2(4)ポー・レート・ジェネレータ・モード・コントロール・レジスタ _{n0} , _{n1} (BRGMC _{n0} , BRGMC _{n1}) 注意追加
p.440	図11 - 43 ASIM _n の設定 (動作停止モード) 注意追加
p.441	図11 - 44 ASIM _n の設定 (アシンクロナス・シリアル・インタフェース・モード) 注意追加
p.444	図11 - 47 BRGMC _{n0} , BRGMC _{n1} の設定 (アシンクロナス・シリアル・インタフェース・モー ド) 注意追加
p.450	11. 6. 3(3)(d)受 信 記述追加
p.451	11. 6. 3(3)(e)受信エラー 記述削除
p.451	図11 - 52 受信エラー・タイミング 記述変更
p.455	12. 2(2)A/D変換結果レジスタ (ADCR), A/D変換結果レジスタH (ADCRH) 注意変更
p.458	12. 3(2)アナログ入力チャネル指定レジスタ (ADS) 注意追加
p.465	12. 6(3)変換終了時のADCRライトとA/Dコンバータ・モード・レジスタ1 (ADM1) ライト, またはアナログ入力チャネル指定レジスタ (ADS) ライトの競合 記述変更
p.468	12. 6(8)A/D変換結果レジスタ (ADCR) の読み出しについて 記述変更
p.470	13. 3 構 成 追加
p.475	13. 4(6)起動要因の設定 注意追加
p.476	13. 5 動 作 追加
p.477	13. 6 注意事項 追加

本版で改訂された主な箇所 (3/4)

箇 所	内 容
p.480	14. 1 (3) パワーオン・クリア (POC) による内部リセット 記述変更
p.484	14. 3 (3) POCコントロール・レジスタ (POCC) 記述変更
p.492	図17 - 1 フラッシュ書き込み用アダプタ (FA-144GJ-UEN) の配線例 追加
p.493	表17 - 1 μ PD70F3089Yフラッシュ書き込み用アダプタ (FA-144GJ-UEN) の配線表 追加
p.511	表18 - 5 コントロール・フィールドのアクノリッジ信号出力条件 記述追加
p.559	19. 1 特 徴 追加
p.560	表19 - 1 機能概要 記述変更
p.576, 577	19. 4. 2 FCAN用レジスタ一覧 操作可能ビットおよびリセット値変更
p.578	19. 5. 1 CANメッセージ・データ長レジスタ00-31 (M_DLC00-M_DLC31) 記述変更
p.579, 580	19. 5. 2 CANメッセージ・コントロール・レジスタ00-31 (M_CTRL00-M_CTRL31) 記述変更
p.587	19. 5. 6 CANメッセージ構成レジスタ00-31 (M_CONF00-M_CONF31) 記述追加
p.589	19. 5. 7 CANメッセージ・ステータス・レジスタ00-31 (M_STAT00-M_STAT31) 記述変更
p.594	19. 5. 10 CANグローバル割り込み保留レジスタ (CGINTP) 操作可能ビットの記述変更, レジスタ・フォーマットおよびビット説明変更
p.595, 596	19. 5. 11 CANn割り込み保留レジスタ (CnINTP) 操作可能ビットの記述変更, レジスタ・フォーマット変更
p.597	19. 5. 12 CANストップ・レジスタ (CSTOP) 注意追加
p.598, 599	19. 5. 13 CANグローバル・ステータス・レジスタ (CGST) 操作可能ビットの記述変更, ビット説明変更
p.601	19. 5. 14 CANグローバル割り込み許可レジスタ (CGIE) 操作可能ビットの記述変更, ビット説明変更
p.602	19. 5. 15 CANメイン・クロック選択レジスタ (CGCS) 記述追加
p.603	図19 - 2 FCANのクロック 注意削除
p.605, 606	19. 5. 17 CANメッセージ検索開始 / 結果レジスタ (CGMSS/CGMSR) 注意追加, ビット名追加, ビット説明変更
p.607	19. 5. 18 CANnアドレス・マスクaレジスタL, H (CnMASKLa, CnMASKHa) 記述追加
p.611	19. 5. 19 CANnコントロール・レジスタ (CnCTRL) 記述追加
p.613-615	19. 5. 20 CANn定義レジスタ (CnDEF) 操作可能ビットの記述変更, ビット説明変更
p.619, 620	19. 5. 23 CANn割り込み許可レジスタ (CnIE) 操作可能ビットの記述変更, ビット説明追加
p.626, 627	19. 5. 27 CANn同期制御レジスタ (CnSYNC) 注意記述変更, ビット説明追加
p.630	19. 7 タイム・スタンプ機能 注意追加
p.634	19. 8 メッセージ処理 記述変更
p.639	図19 - 10 各レイヤの構成 記述変更
p.655	19. 11. 7 (2) ノミナル・ビット・タイム (8-25 Time Quantum) 注意追加
p.656	図19 - 25 ノミナル・ビット・タイム 注記述追加
p.659	図19 - 28 初期設定処理 記述追加
p.662	図19 - 33 CANn同期制御レジスタ (CnSYNC) の設定 注追加
p.667	図19 - 38 メッセージ・バッファの設定 記述追加

本版で改訂された主な箇所 (4/4)

箇所	内容
p.670	図19 - 41 CANメッセージ・ステータス・レジスタ00-31 (M_STAT00-M_STAT31) の設定 追加
p.673	図19 - 44 受信ポーリングによる受信動作の設定 追加
p.674	図19 - 45 CANメッセージ検索開始 / 結果レジスタ (CGMSS/CGMSR) の設定 追加
p.676	図19 - 49 CANストップ・モードの設定 記述追加
p.677	図19 - 50 CANストップ・モードの解除 記述追加
p.678	19. 13 ポー・レートを正しく設定するための規則について 記述変更
p.683	19. 14. 2 パースト・リード・モード 注意追加
p.685	19. 16 FCANコントローラのシャット・ダウン手順 注意削除
p.686, 687	19. 17 使用上の注意 , 追加
p.688	第20章 電気的特性 追加
p.716	第21章 外形図 追加
p.717	第22章 半田付け推奨条件 追加
p.734	付録C 改版履歴 追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

- 対象者** このマニュアルは、V850/SC1, V850/SC2, V850/SC3の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850/SC1, V850/SC2, V850/SC3のユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850シリーズ™ ユーザズ・マニュアル アーキテクチャ編）の2冊に分かれています。

ハードウェア編

- ・ 端子機能
- ・ CPU機能
- ・ 内蔵周辺機能
- ・ フラッシュ・メモリ・プログラミング
- ・ IEBus™コントローラ
- ・ FCANコントローラ
- ・ 電気的特性

アーキテクチャ編

- ・ データ・タイプ
- ・ レジスタ・セット
- ・ 命令形式と命令セット
- ・ 割り込みと例外
- ・ パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

レジスタ名が分かっている、レジスタの詳細を確認するとき

付録A レジスタ索引を利用してください。

命令機能の詳細を理解しようとするとき

別冊の**V850シリーズ ユーザズ・マニュアル アーキテクチャ編**を参照してください。

V850/SC1, V850/SC2, V850/SC3の電気的特性を知りたいとき

第20章 電気的特性を参照してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

一通りV850/SC1, V850/SC2, V850/SC3の機能を理解しようとするとき

目次に従ってお読みください。

- 凡 例** データ表記の重み：左が上位桁，右が下位桁
アクティブ・ロウの表記： \overline{xxx} （端子，信号名称に上線）
メモリ・マップのアドレス：上部 - 上位，下部 - 下位
注：本文中に付けた注の説明
注意：気を付けて読んでいただきたい内容
備考：本文の補足説明
数の表記：2進数 ... xxxxまたはxxxxB
10進数 ... xxxx
16進数 ... xxxxH
2のべき数を示す接頭語（アドレス空間，メモリ容量）：
K（キロ）： 2^{10} ... 1024
M（メガ）： 2^{20} ... 1024²
G（ギガ）： 2^{30} ... 1024³

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850/SC1, V850/SC2, V850/SC3に関する資料

資料名	資料番号
V850シリーズ ユーザーズ・マニュアル アーキテクチャ編	U10243J
V850/SC1, V850/SC2, V850/SC3 ユーザーズ・マニュアル ハードウェア編	このマニュアル

電気的特性に関する資料

資料名	資料番号
電気的特性の考え方 マイコン編	U15170J

開発ツールに関する資料 (ユーザーズ・マニュアル)

資料名	資料番号	
IE-703002-MC (インサーキット・エミュレータ)	U11595J	
IE-703089-MC-EM1 (インサーキット・エミュレータ・オプション・ボード)	作成予定	
CA850 Ver.2.30以上 Cコンパイラ・パッケージ	操作編	U14568J
	C言語編	U14566J
	プロジェクト・マネージャ編	U14569J
	アセンブリ言語編	U14567J
CA850 Ver.2.40以上 Cコンパイラ・パッケージ	操作編	U15024J
	C言語編	U15025J
	プロジェクト・マネージャ編	U15026J
	アセンブリ言語編	U15027J
ID850 Ver.2.40 統合ディバッガ	操作編 Windows®ベース	U15181J
SM850 Ver.2.40 システム・シミュレータ	操作編 Windowsベース	U15182J
SM850 Ver.2.00以上 システム・シミュレータ	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
RX850 Ver.3.13以上 リアルタイムOS	基礎編	U13430J
	インストレーション編	U13410J
	テクニカル編	U13431J
RX850 Pro Ver.3.13 リアルタイムOS	基礎編	U13773J
	インストレーション編	U13774J
	テクニカル編	U13772J
RD850 Ver.3.01 タスク・ディバッガ		U13737J
RD850 Pro Ver.3.01 タスク・ディバッガ		U13916J
AZ850 Ver.3.0 システム・パフォーマンス・アナライザ		U14410J
PG-FP3 フラッシュ・メモリ・プログラマ		U13502J
PG-FP4 フラッシュ・メモリ・プログラマ		U15260J

目 次

第1章 イン트로ダクション ... 34

- 1.1 概 説 ... 34
- 1.2 V850/SC1 ... 35
 - 1.2.1 特徴 (V850/SC1) ... 35
 - 1.2.2 応用分野 (V850/SC1) ... 36
 - 1.2.3 オーダ情報 (V850/SC1) ... 36
 - 1.2.4 端子接続図 (Top View) (V850/SC1) ... 37
 - 1.2.5 機能ブロック構成 (V850/SC1) ... 39
- 1.3 V850/SC2 ... 43
 - 1.3.1 特徴 (V850/SC2) ... 43
 - 1.3.2 応用分野 (V850/SC2) ... 44
 - 1.3.3 オーダ情報 (V850/SC2) ... 44
 - 1.3.4 端子接続図 (Top View) (V850/SC2) ... 45
 - 1.3.5 機能ブロック構成 (V850/SC2) ... 47
- 1.4 V850/SC3 ... 51
 - 1.4.1 特徴 (V850/SC3) ... 51
 - 1.4.2 応用分野 (V850/SC3) ... 52
 - 1.4.3 オーダ情報 (V850/SC3) ... 52
 - 1.4.4 端子接続図 (Top View) (V850/SC3) ... 53
 - 1.4.5 機能ブロック構成 (V850/SC3) ... 55

第2章 端子機能 ... 59

- 2.1 端子機能一覧 ... 59
- 2.2 端子状態 ... 69
- 2.3 端子機能の説明 ... 70
- 2.4 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理 ... 83
- 2.5 端子の入出力回路 ... 86

第3章 CPU機能 ... 87

- 3.1 特 徴 ... 87
- 3.2 CPUレジスタ・セット ... 88
 - 3.2.1 プログラム・レジスタ・セット ... 89
 - 3.2.2 システム・レジスタ・セット ... 90
- 3.3 動作モード ... 93
- 3.4 アドレス空間 ... 94
 - 3.4.1 CPUアドレス空間 ... 94
 - 3.4.2 イメージ ... 95
 - 3.4.3 CPUアドレス空間のラップ・アラウンド ... 96
 - 3.4.4 メモリ・マップ ... 97
 - 3.4.5 領 域 ... 98
 - 3.4.6 外部拡張モード ... 104

- 3.4.7 アドレス空間の推奨使用方法 ... 107
- 3.4.8 周辺I/Oレジスタ ... 109
- 3.4.9 特定レジスタ ... 118

第4章 クロック発生機能 ... 121

- 4.1 概 要 ... 121
- 4.2 構 成 ... 122
- 4.3 クロック出力機能 ... 122
 - 4.3.1 制御レジスタ ... 123
- 4.4 パワー・セーブ機能 ... 127
 - 4.4.1 概 要 ... 127
 - 4.4.2 HALTモード ... 128
 - 4.4.3 IDLEモード ... 131
 - 4.4.4 ソフトウェアSTOPモード ... 133
- 4.5 発振安定時間の確保 ... 135
- 4.6 パワー・セーブ機能に関する注意事項 ... 136

第5章 ポート機能 ... 139

- 5.1 各ポートの構成 ... 139
- 5.2 各ポートの端子機能 ... 140
 - 5.2.1 ポート0 ... 140
 - 5.2.2 ポート1 ... 144
 - 5.2.3 ポート2 ... 149
 - 5.2.4 ポート3 ... 153
 - 5.2.5 ポート4, ポート5 ... 157
 - 5.2.6 ポート6 ... 160
 - 5.2.7 ポート7, ポート8 ... 162
 - 5.2.8 ポート9 ... 164
 - 5.2.9 ポート10 ... 167
 - 5.2.10 ポート11 ... 170
 - 5.2.11 ポート12 ... 175
 - 5.2.12 ポート13 ... 179
 - 5.2.13 ポート14 ... 181
 - 5.2.14 ポート15 ... 184
 - 5.2.15 ポート17 ... 187
- 5.3 ポート端子を兼用端子として使用する場合の設定 ... 191
- ★ 5.4 ポート機能の動作 ... 195
 - 5.4.1 入出力ポートへの書き込み ... 195
 - 5.4.2 入出力ポートからの読み出し ... 195

第6章 バス制御機能 ... 196

- 6.1 特 徴 ... 196
- 6.2 バス制御端子と制御レジスタ ... 196
 - 6.2.1 バス制御端子 ... 196
 - 6.2.2 制御レジスタ ... 197
- 6.3 バス・アクセス ... 198

6.3.1	アクセス・クロック数	...	198
6.3.2	バス幅	...	198
6.4	メモリ・ブロック機能	...	200
6.5	ウェイト機能	...	201
6.5.1	プログラマブル・ウェイト機能	...	201
6.5.2	外部ウェイト機能	...	202
6.5.3	プログラマブル・ウェイトと外部ウェイトの関係	...	202
6.6	アイドル・ステート挿入機能	...	203
6.7	バス・ホールド機能	...	204
6.7.1	機能概要	...	204
6.7.2	バス・ホールド手順	...	205
6.7.3	パワー・セーブ・モード時の動作	...	205
6.8	バス・タイミング	...	206
6.9	バスの優先順位	...	213
6.10	境界動作条件	...	213
6.10.1	プログラム空間	...	213
6.10.2	データ空間	...	213

第7章 割り込み / 例外処理機能 ... 214

7.1	概要	...	214
7.1.1	特徴	...	214
7.2	ノンマスクابل割り込み	...	218
7.2.1	動作	...	219
7.2.2	復帰	...	221
7.2.3	NPフラグ	...	222
7.2.4	NMI端子のノイズ除去	...	222
7.2.5	NMI端子のエッジ検出機能	...	223
7.3	マスクابل割り込み	...	224
7.3.1	動作	...	224
7.3.2	復帰	...	226
7.3.3	マスクابل割り込みの優先順位	...	227
7.3.4	割り込み制御レジスタ (xxICn)	...	230
7.3.5	インサースビス・プライオリティ・レジスタ (ISPR)	...	233
7.3.6	IDフラグ	...	234
7.3.7	ウォッチドッグ・タイマ・モード・レジスタ (WDTM)	...	235
7.3.8	ノイズ除去	...	235
7.3.9	エッジ検出機能	...	237
7.4	ソフトウェア例外	...	239
7.4.1	動作	...	239
7.4.2	復帰	...	240
7.4.3	EPフラグ	...	241
7.5	例外トラップ	...	241
7.5.1	不正命令コード	...	241
7.5.2	動作	...	242
7.5.3	復帰	...	243
7.6	優先順位指定	...	244
7.6.1	割り込みと例外の優先順位	...	244
7.6.2	多重割り込み	...	244

- 7.7 応答時間 ... 246
- 7.8 割り込みが受け付けられない期間 ... 247
 - ★ 7.8.1 EI命令後の割り込み要求有効タイミング ... 248
- ★ 7.9 DMA転送時の割り込み制御レジスタのビット操作命令 ... 249
- 7.10 キー割り込み機能 ... 250

第8章 タイマ/カウンタ機能 ... 252

- 8.1 16ビット・タイマ (TM0, TM1, TM7-TM12) ... 252
 - 8.1.1 概要 ... 252
 - 8.1.2 機能 ... 252
 - 8.1.3 構成 ... 254
 - 8.1.4 タイマ0, 1, 7-12制御レジスタ ... 257
- 8.2 16ビット・タイマ (TM0, TM1, TM7-TM12) の動作 ... 269
 - 8.2.1 インターバル・タイマとしての動作 ... 269
 - 8.2.2 PPG出力としての動作 ... 271
 - 8.2.3 パルス幅測定としての動作 ... 274
 - 8.2.4 外部イベント・カウンタとしての動作 ... 281
 - 8.2.5 方形波出力としての動作 ... 283
 - 8.2.6 ワンショット・パルス出力としての動作 ... 284
 - 8.2.7 注意事項 ... 289
- 8.3 16ビット・タイマ (TM5, TM6) ... 294
 - 8.3.1 機能 ... 294
 - 8.3.2 構成 ... 295
 - 8.3.3 タイマn制御レジスタ ... 296
- 8.4 16ビット・タイマ (TM5, TM6) の動作 ... 301
 - 8.4.1 インターバル・タイマとしての動作 ... 301
 - 8.4.2 外部イベント・カウンタとしての動作 ... 303
 - 8.4.3 方形波出力としての動作 ... 304
 - 8.4.4 16ビットPWM出力としての動作 ... 305
 - 8.4.5 注意事項 ... 307

第9章 時計用タイマ機能 ... 308

- 9.1 機能 ... 308
- 9.2 構成 ... 309
- 9.3 時計用タイマ制御レジスタ ... 310
- 9.4 動作 ... 312
 - 9.4.1 時計用タイマとしての動作 ... 312
 - 9.4.2 インターバル・タイマとしての動作 ... 312
 - 9.4.3 注意事項 ... 313

第10章 ウォッチドッグ・タイマ機能 ... 314

- 10.1 機能 ... 314
- 10.2 構成 ... 316
- 10.3 ウォッチドッグ・タイマ制御レジスタ ... 316
- 10.4 動作 ... 319
 - 10.4.1 ウォッチドッグ・タイマとしての動作 ... 319

- 10.4.2 インターバル・タイマとしての動作 ... 320
- 10.5 スタンバイ機能制御レジスタ ... 321

第11章 シリアル・インタフェース機能 ... 322

- 11.1 概 要 ... 322
- 11.2 3線式シリアルI/O (CSI0, CSI2, CSI3) : 8ビット ... 322
 - 11.2.1 構 成 ... 323
 - 11.2.2 CSIn制御レジスタ ... 324
 - 11.2.3 動 作 ... 326
- 11.3 3線式シリアルI/O (CSI4) : 8-16ビット可変 ... 329
 - 11.3.1 構 成 ... 329
 - 11.3.2 CSI4制御レジスタ ... 332
 - 11.3.3 動 作 ... 336
- 11.4 3線式シリアルI/O (CSI5, CSI6) : 8または16ビット ... 341
 - 11.4.1 特 徴 ... 341
 - 11.4.2 構 成 ... 342
 - 11.4.3 制御レジスタ ... 344
 - 11.4.4 動 作 ... 353
 - 11.4.5 出力端子 ... 368
- 11.5 I²Cバス ... 369
 - 11.5.1 構 成 ... 372
 - 11.5.2 I²C制御レジスタ ... 374
 - 11.5.3 I²Cバス・モードの機能 ... 387
 - 11.5.4 I²Cバスの定義および制御方法 ... 388
 - 11.5.5 I²C割り込み要求 (INTIICn) ... 395
 - 11.5.6 割り込み要求 (INTIICn) 発生タイミングおよびウェイト制御 ... 413
 - 11.5.7 アドレスの一致検出方法 ... 414
 - 11.5.8 エラーの検出 ... 414
 - 11.5.9 拡張コード ... 414
 - 11.5.10 アービトレーション ... 415
 - 11.5.11 ウェイク・アップ機能 ... 416
 - 11.5.12 通信予約 ... 417
 - 11.5.13 注意事項 ... 422
 - 11.5.14 通信動作 ... 423
 - 11.5.15 データ通信のタイミング ... 426
- 11.6 アシクロナス・シリアル・インタフェース (UART0-UART3) ... 433
 - 11.6.1 構 成 ... 433
 - 11.6.2 UARTn制御レジスタ ... 435
 - 11.6.3 動 作 ... 440
 - 11.6.4 スタンバイ機能 ... 452

第12章 A/Dコンバータ ... 453

- 12.1 機 能 ... 453
- 12.2 構 成 ... 454
- 12.3 制御レジスタ ... 456
- 12.4 動 作 ... 459
 - 12.4.1 基本動作 ... 459

- 12.4.2 入力電圧と変換結果 ... 461
- 12.4.3 A/Dコンバータの動作モード ... 462
- 12.5 低消費電力モード ... 465
- 12.6 注意事項 ... 465

第13章 DMA機能 ... 469

- 13.1 機能 ... 469
- 13.2 転送終了割り込み要求 ... 469
- ★ 13.3 構成 ... 470
- 13.4 制御レジスタ ... 471
- ★ 13.5 動作 ... 476
- ★ 13.6 注意事項 ... 477

第14章 リセット機能 ... 480

- 14.1 概要 ... 480
- 14.2 端子動作 ... 481
- 14.3 パワーオン・クリア動作 ... 483

第15章 レギュレータ ... 485

- 15.1 概要 ... 485
- 15.2 動作 ... 485

第16章 ROMコレクション機能 ... 486

- 16.1 概要 ... 486
- 16.2 ROMコレクション周辺I/Oレジスタ ... 487
 - 16.2.1 コレクション・コントロール・レジスタ (CORCN) ... 487
 - 16.2.2 コレクション要求レジスタ (CORRQ) ... 487
 - 16.2.3 コレクション・アドレス・レジスタ0-3 (CORAD0-CORAD3) ... 488

第17章 フラッシュ・メモリ (μ PD70F3089Y) ... 490

- 17.1 特徴 ... 490
 - 17.1.1 消去単位 ... 491
 - 17.1.2 書き込み/読み込み時間 ... 491
- 17.2 フラッシュ・ライターによる書き込み方法 ... 491
- 17.3 プログラミング環境 ... 494
- 17.4 通信方式 ... 494
- 17.5 端子処理 ... 496
 - 17.5.1 V_{PP}端子 ... 496
 - 17.5.2 シリアル・インタフェース端子 ... 497
 - 17.5.3 RESET端子 ... 499
 - 17.5.4 ポート端子 (NMIを含む) ... 499
 - 17.5.5 その他の信号端子 ... 499
 - 17.5.6 電源 ... 499
- 17.6 プログラミング方法 ... 500

- 17.6.1 フラッシュ・メモリ制御 ... 500
- 17.6.2 フラッシュ・メモリ・プログラミング・モード ... 501
- 17.6.3 通信方式の選択 ... 501
- 17.6.4 通信コマンド ... 502

第18章 IEBusコントローラ (V850/SC2) ... 503

- 18.1 IEBusコントローラの機能 ... 503
 - 18.1.1 IEBusの通信プロトコル ... 503
 - 18.1.2 バス占有権の決定 (アービトレーション) ... 504
 - 18.1.3 通信モード ... 504
 - 18.1.4 通信アドレス ... 505
 - 18.1.5 同報通信 ... 505
 - 18.1.6 IEBusの伝送フォーマット ... 506
 - 18.1.7 伝送データ ... 516
 - 18.1.8 ビット・フォーマット ... 519
- 18.2 IEBusコントローラの構成 ... 520
- 18.3 IEBusコントローラの内部レジスタ ... 522
 - 18.3.1 内部レジスタ一覧 ... 522
 - 18.3.2 内部レジスタ ... 523
- 18.4 IEBusコントローラの割り込み動作 ... 544
 - 18.4.1 割り込み制御部 ... 544
 - 18.4.2 割り込み要因一覧 ... 545
 - 18.4.3 通信エラー要因処理一覧 ... 546
- 18.5 割り込み発生タイミングおよび主なCPU処理内容 ... 548
 - 18.5.1 マスタ送信 ... 548
 - 18.5.2 マスタ受信 ... 550
 - 18.5.3 スレーブ送信 ... 552
 - 18.5.4 スレーブ受信 ... 554
 - 18.5.5 IEBus制御用割り込み発生間隔 ... 555

第19章 FCANコントローラ (V850/SC3) ... 559

- ★ 19.1 特 徴 ... 559
- 19.2 機能概要 ... 560
- 19.3 構 成 ... 561
- 19.4 FCANコントローラの内部レジスタ ... 563
 - 19.4.1 メッセージとバッファの構成 ... 563
 - 19.4.2 FCAN用レジスタ一覧 ... 564
- 19.5 制御レジスタ ... 578
 - 19.5.1 CANメッセージ・データ長レジスタ00-31 (M_DLC00-M_DLC31) ... 578
 - 19.5.2 CANメッセージ・コントロール・レジスタ00-31
(M_CTRL00-M_CTRL31) ... 579
 - 19.5.3 CANメッセージ・タイム・スタンプ・レジスタ00-31
(M_TIME00-M_TIME31) ... 581
 - 19.5.4 CANメッセージ・データ・レジスタn0-n7 (M_DATAAn0-M_DATAAn7) ... 583
 - 19.5.5 CANメッセージIDレジスタL00-L31, H00-H31
(M_IDL00-M_IDL31, M_IDH00-M_IDH31) ... 585
 - 19.5.6 CANメッセージ構成レジスタ00-31 (M_CONF00-M_CONF31) ... 587

- 19. 5. 7 CANメッセージ・ステータス・レジスタ00-31
(M_STAT00-M_STAT31) ... 589
- 19. 5. 8 CANステータス・セット/クリア・レジスタ00-31
(SC_STAT00-SC_STAT31) ... 591
- 19. 5. 9 CAN割り込み保留レジスタ (CCINTP) ... 593
- 19. 5. 10 CANグローバル割り込み保留レジスタ (CGINTP) ... 594
- 19. 5. 11 CANn割り込み保留レジスタ (CnINTP) ... 595
- 19. 5. 12 CANストップ・レジスタ (CSTOP) ... 597
- 19. 5. 13 CANグローバル・ステータス・レジスタ (CGST) ... 598
- 19. 5. 14 CANグローバル割り込み許可レジスタ (CGIE) ... 601
- 19. 5. 15 CANメイン・クロック選択レジスタ (CGCS) ... 602
- 19. 5. 16 CANタイム・スタンプ・カウンタ・レジスタ (CGTSC) ... 604
- 19. 5. 17 CANメッセージ検索開始/結果レジスタ (CGMSS/CGMSR) ... 605
- 19. 5. 18 CANnアドレス・マスクレジスタL, H (CnMASKLa, CnMASKHa) ... 607
- 19. 5. 19 CANnコントロール・レジスタ (CnCTRL) ... 609
- 19. 5. 20 CANn定義レジスタ (CnDEF) ... 613
- 19. 5. 21 CANn情報レジスタ (CnLAST) ... 617
- 19. 5. 22 CANnエラー・カウンタ・レジスタ (CnERC) ... 618
- 19. 5. 23 CANn割り込み許可レジスタ (CnIE) ... 619
- 19. 5. 24 CANnバス・アクティブ・レジスタ (CnBA) ... 621
- 19. 5. 25 CANnビット・レート・プリスケラ・レジスタ (CnBRP) ... 622
- 19. 5. 26 CANnバス診断情報レジスタ (CnDINF) ... 625
- 19. 5. 27 CANn同期制御レジスタ (CnSYNC) ... 626
- 19. 6 **ビットのセット/クリア機能についての注意事項** ... 628
- 19. 7 **タイム・スタンプ機能** ... 630
- 19. 8 **メッセージ処理** ... 634
 - 19. 8. 1 メッセージ送信 ... 635
 - 19. 8. 2 メッセージ受信 ... 636
- 19. 9 **マスク機能** ... 638
- 19. 10 **プロトコル** ... 639
 - 19. 10. 1 フレーム・フォーマット ... 640
 - 19. 10. 2 フレーム・タイプ ... 640
 - 19. 10. 3 データ・フレーム/リモート・フレーム ... 641
 - 19. 10. 4 エラー・フレーム ... 649
 - 19. 10. 5 オーバロード・フレーム ... 650
- 19. 11 **機能** ... 651
 - 19. 11. 1 バス・プライオリティの決定 ... 651
 - 19. 11. 2 ビット・スタッフ ... 651
 - 19. 11. 3 マルチマスタ ... 651
 - 19. 11. 4 マルチキャスト ... 651
 - 19. 11. 5 CANスリープ・モード/CANストップ・モード機能 ... 652
 - 19. 11. 6 エラー制御機能 ... 652
 - 19. 11. 7 ボー・レート制御機能 ... 655
- 19. 12 **動作** ... 658
 - 19. 12. 1 初期設定処理 ... 658
 - 19. 12. 2 送信の設定 ... 671
 - 19. 12. 3 受信の設定 ... 672
 - 19. 12. 4 CANスリープ・モード ... 675
 - 19. 12. 5 CANストップ・モード ... 676

19.13	ポー・レートを正しく設定するための規則について	...	678
19.14	データの一貫性保証	...	682
19.14.1	シーケンシャル・データ・リード	...	682
19.14.2	バースト・リード・モード	...	683
19.15	割り込み条件	...	684
19.15.1	FCANコントローラで発生する割り込み	...	684
19.15.2	グローバルCANインタフェースで発生する割り込みについて	...	684
19.16	FCANコントローラのシャット・ダウン手順	...	685
19.17	使用上の注意	...	686
★	第20章 電気的特性	...	688
★	第21章 外形図	...	716
★	第22章 半田付け推奨条件	...	717
	付録A レジスタ索引	...	718
	付録B 命令セット一覧	...	727
★	付録C 改版履歴	...	734

図の目次 (1/8)

図番号	タイトル, ページ
3 - 1	CPUレジスタ・セット ... 88
3 - 2	CPUアドレス空間 ... 94
3 - 3	アドレス空間上のイメージ ... 95
3 - 4	プログラム空間 ... 96
3 - 5	データ空間 ... 96
3 - 6	メモリ・マップ ... 97
3 - 7	内蔵ROM / 内蔵フラッシュ・メモリ領域 ... 98
3 - 8	内蔵RAM領域 ... 100
3 - 9	内蔵周辺I/O領域 ... 101
3 - 10	外部メモリ領域 (64 K, 256 K, 1 Mバイト拡張時) ... 102
3 - 11	外部メモリ領域 (4 Mバイト拡張時) ... 103
3 - 12	ラップ・アラウンドを利用した応用例 ... 107
3 - 13	推奨メモリ・マップ (フラッシュ・メモリ内蔵品) ... 108
4 - 1	クロック発生回路 ... 122
4 - 2	発振安定時間 ... 135
5 - 1	P00-P07のブロック図 ... 143
5 - 2	P10, P12のブロック図 ... 146
5 - 3	P11, P13-P15, P17のブロック図 ... 147
5 - 4	P16のブロック図 ... 148
5 - 5	P20, P22のブロック図 ... 151
5 - 6	P21, P23-P27のブロック図 ... 152
5 - 7	P30-P37のブロック図 ... 156
5 - 8	P40-P47, P50-P57のブロック図 ... 159
5 - 9	P60-P65のブロック図 ... 161
5 - 10	P70-P77, P80-P83のブロック図 ... 163
5 - 11	P90-P96のブロック図 ... 166
5 - 12	P100-P107のブロック図 ... 169
5 - 13	P110, P114-P117のブロック図 ... 173
5 - 14	P111-P113のブロック図 ... 174
5 - 15	P120-P125のブロック図 ... 177
5 - 16	P126, P127のブロック図 ... 178
5 - 17	P130-P133のブロック図 ... 180
5 - 18	P140-P147のブロック図 ... 183
5 - 19	P150-P157のブロック図 ... 186
5 - 20	P170-P175のブロック図 ... 189
5 - 21	P176のブロック図 ... 190

図の目次 (2/8)

図番号	タイトル, ページ
6 - 1	バイト・アクセス (8ビット) ... 198
6 - 2	ハーフワード・アクセス (16ビット) ... 199
6 - 3	ワード・アクセス (32ビット) ... 199
6 - 4	メモリ・ブロック ... 200
6 - 5	ウェイト制御 ... 202
6 - 6	ウェイト挿入例 ... 202
6 - 7	バス・ホールド手順 ... 205
6 - 8	メモリ・リード ... 206
6 - 9	メモリ・ライト ... 210
6 - 10	バス・ホールド・タイミング ... 212
7 - 1	ノンマスカブル割り込みの処理形態 ... 219
7 - 2	ノンマスカブル割り込み要求の受け付け動作 ... 220
7 - 3	RETI命令の処理形態 ... 221
7 - 4	NPフラグ (NP) ... 222
7 - 5	マスカブル割り込みの処理形態 ... 225
7 - 6	RETI命令の処理形態 ... 226
7 - 7	割り込み処理中にほかの割り込み要求が発生した場合の処理例 ... 228
7 - 8	同時発生した割り込み要求の処理例 ... 230
7 - 9	割り込み禁止フラグ (ID) ... 234
7 - 10	ソフトウェア例外の処理形態 ... 239
7 - 11	RETI命令の処理形態 ... 240
7 - 12	EPフラグ (EP) ... 241
7 - 13	不正命令コード ... 241
7 - 14	例外トラップの処理形態 ... 242
7 - 15	RETI命令の処理形態 ... 243
7 - 16	割り込み要求受け付け時のパイプライン動作 (概略) ... 246
7 - 17	パイプラインの流れと割り込み要求発生タイミング ... 249
7 - 18	キー・リターンブロック図 ... 251
8 - 1	TM0, TM1, TM7-TM12のブロック図 ... 253
8 - 2	インターバル・タイマ動作時の制御レジスタ設定内容 ... 269
8 - 3	インターバル・タイマの構成図 ... 270
8 - 4	インターバル・タイマ動作のタイミング ... 270
8 - 5	PPG出力動作時の制御レジスタ設定内容 ... 272
8 - 6	PPG出力の構成図 ... 273
8 - 7	PPG出力動作のタイミング ... 273
8 - 8	フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 ... 274

図の目次 (3/8)

図番号	タイトル, ページ
8 - 9	フリー・ランニング・カウンタによるパルス幅測定の構成図 ... 275
8 - 10	フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時) ... 275
8 - 11	フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容 ... 276
8 - 12	立ち上がりエッジ指定時のCRn1キャプチャ動作 ... 277
8 - 13	フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時) ... 277
8 - 14	フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容 ... 278
8 - 15	フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 279
8 - 16	リスタートによるパルス幅測定時の制御レジスタ設定内容 ... 280
8 - 17	リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 280
8 - 18	外部イベント・カウンタ・モード時の制御レジスタ設定内容 ... 281
8 - 19	外部イベント・カウンタの構成図 ... 282
8 - 20	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 282
8 - 21	方形波出力モード時の制御レジスタ設定内容 ... 283
8 - 22	方形波出力動作のタイミング ... 284
8 - 23	ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 ... 285
8 - 24	ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング ... 286
8 - 25	外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 ... 287
8 - 26	外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時) ... 288
8 - 27	16ビット・タイマ・レジスタnのスタート・タイミング ... 289
8 - 28	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 289
8 - 29	キャプチャ・レジスタのデータ保持タイミング ... 290
8 - 30	OVFnフラグの動作タイミング ... 291
8 - 31	TM5, TM6のブロック図 ... 294
8 - 32	インターバル・タイマ動作のタイミング ... 301
8 - 33	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 303
8 - 34	方形波出力動作のタイミング ... 304
8 - 35	PWM出力の動作タイミング ... 306
8 - 36	タイマnのスタート・タイミング ... 307
9 - 1	時計用タイマのブロック図 ... 308
9 - 2	時計用タイマ/インターバル・タイマの動作タイミング ... 313
9 - 3	時計用タイマ割り込み要求 (INTWTN) の発生例 (割り込み周期 = 0.5 sの場合) ... 313

図の目次 (4/8)

図番号	タイトル, ページ
10 - 1	ウォッチドッグ・タイマのブロック図 ... 314
11 - 1	3線式シリアルI/O (CSI0, CSI2, CSI3) のブロック図 ... 323
11 - 2	CSIMnの設定 (動作停止モード) ... 326
11 - 3	CSIMnの設定 (3線式シリアルI/Oモード) ... 327
11 - 4	3線式シリアルI/Oモードのタイミング ... 328
11 - 5	3線式シリアルI/O (CSI4) のブロック図 ... 330
11 - 6	16ビット以外の転送ビット長を設定した場合 ... 331
11 - 7	CSIM4の設定 (動作停止モード) ... 336
11 - 8	CSIM4の設定 (3線式シリアルI/Oモード) ... 337
11 - 9	CSIB4の設定 (3線式シリアルI/Oモード) ... 338
11 - 10	3線式シリアルI/Oモードのタイミング ... 339
11 - 11	3線式シリアルI/Oモードのタイミング (CSIB4 = 08Hの場合) ... 340
11 - 12	3線式シリアルI/O (CSI5, CSI6) のブロック図 ... 342
11 - 13	単発転送モードでのタイミング・チャート ... 354
11 - 14	クロック位相選択によるタイミング・チャート ... 356
11 - 15	遅延モード時の割り込み要求信号出力タイミング・チャート ... 358
11 - 16	繰り返し転送 (受信専用) タイミング・チャート ... 361
11 - 17	繰り返し転送 (送受信) タイミング・チャート ... 363
11 - 18	次転送予約期間タイミング・チャート ... 364
11 - 19	転送要求クリアとレジスタ・アクセスの競合 ... 366
11 - 20	割り込み要求とレジスタ・アクセスの競合 ... 367
11 - 21	I ² Cnのブロック図 ... 370
11 - 22	I ² Cバスによるシリアル・バス構成例 ... 371
11 - 23	端子構成図 ... 387
11 - 24	I ² Cバスのシリアル・データ転送タイミング ... 388
11 - 25	スタート・コンディション ... 388
11 - 26	アドレス ... 389
11 - 27	転送方向指定 ... 390
11 - 28	アクノリッジ信号 ... 391
11 - 29	ストップ・コンディション ... 392
11 - 30	ウェイト信号 ... 393
11 - 31	アービトレーション・タイミング例 ... 415
11 - 32	通信予約のタイミング ... 418
11 - 33	通信予約受け付けタイミング ... 418
11 - 34	通信予約の手順 (1) ... 419
11 - 35	STTn = 1設定禁止タイミング ... 420
11 - 36	通信予約の手順 (2) ... 421
11 - 37	マスタ動作手順 (1) ... 423

図の目次 (5/8)

図番号	タイトル, ページ
11 - 38	マスタ動作手順 (2) ... 424
11 - 39	スレーブ動作手順 ... 425
11 - 40	マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) ... 427
11 - 41	スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) ... 430
11 - 42	UARTnのブロック図 ... 434
11 - 43	ASIMnの設定 (動作停止モード) ... 440
11 - 44	ASIMnの設定 (アシンクロナス・シリアル・インタフェース・モード) ... 441
11 - 45	ASISnの設定 (アシンクロナス・シリアル・インタフェース・モード) ... 442
11 - 46	BRGCnの設定 (アシンクロナス・シリアル・インタフェース・モード) ... 443
11 - 47	BRGMCn0, BRGMCn1の設定 (アシンクロナス・シリアル・インタフェース・モード) ... 444
11 - 48	サンプリング誤差を考慮したボー・レートの許容誤差 (k = 16の場合) ... 446
11 - 49	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 447
11 - 50	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 449
11 - 51	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 450
11 - 52	受信エラー・タイミング ... 451
12 - 1	A/Dコンバータのブロック図 ... 454
12 - 2	A/Dコンバータの基本動作 ... 460
12 - 3	アナログ入力電圧とA/D変換結果の関係 ... 461
12 - 4	ハードウェア・スタートによるA/D変換動作 (立ち下がりエッジ指定時) ... 463
12 - 5	ソフトウェア・スタートによるA/D変換動作 ... 464
12 - 6	アナログ入力端子の処理 ... 466
12 - 7	A/D変換終了割り込み要求発生タイミング ... 467
12 - 8	ADCV _{DD} 端子の処理 ... 468
13 - 1	DMAのブロック図 ... 470
13 - 2	DRAnの設定値と内蔵RAM領域の対応 ... 472
13 - 3	DMA転送動作のタイミング図 ... 476
13 - 4	DMA0-DMA5転送要求が同時に発生した場合の処理 ... 477
13 - 5	DMA動作時に割り込み処理が2回発生する場合 ... 478
14 - 1	RESET入力によるリセット・タイミング ... 481
14 - 2	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 482
14 - 3	パワーオン・クリアによるリセット・タイミング ... 482
15 - 1	レギュレータ (μ PD70F3089Yの場合) ... 485
16 - 1	ROMコレクションのブロック図 ... 486

図の目次 (6/8)

図番号	タイトル, ページ
16 - 2	ROMコレクションの動作とプログラムの流れ ... 489
17 - 1	フラッシュ書き込み用アダプタ (FA-144GJ-UEN) の配線例 ... 492
17 - 2	フラッシュ・メモリにプログラムを書き込むための環境 ... 494
17 - 3	専用フラッシュ・ライターとの通信 (UART0) ... 494
17 - 4	専用フラッシュ・ライターとの通信 (CSI0) ... 495
17 - 5	専用フラッシュ・ライターとの通信 (CSI0+HS) ... 495
17 - 6	V _{PP} 端子の接続例 ... 497
17 - 7	信号の衝突 (シリアル・インタフェースの入力端子) ... 497
17 - 8	ほかのデバイスの異常動作 ... 498
17 - 9	信号の衝突 (RESET端子) ... 499
17 - 10	フラッシュ・メモリの操作手順 ... 500
17 - 11	フラッシュ・メモリ・プログラミング・モード ... 501
17 - 12	通信コマンド ... 502
18 - 1	IEBusの伝送信号フォーマット ... 506
18 - 2	マスタ・アドレス・フィールド ... 507
18 - 3	スレーブ・アドレス・フィールド ... 508
18 - 4	コントロール・フィールド ... 510
18 - 5	電文長フィールド ... 512
18 - 6	データ・フィールド ... 513
18 - 7	スレーブ・ステータスのビット構成 ... 517
18 - 8	ロック・アドレスの構成 ... 518
18 - 9	IEBusのビット・フォーマット ... 519
18 - 10	IEBusコントローラのブロック図 ... 520
18 - 11	割り込み発生タイミング (, , の場合) ... 529
18 - 12	割り込み発生タイミング (, の場合) ... 530
18 - 13	ロック状態中のINTIE2割り込み発生タイミング (, の場合) ... 530
18 - 14	ロック状態中のINTIE2割り込み発生タイミング (の場合) ... 530
18 - 15	同報通信フラグの動作例 ... 534
18 - 16	割り込み制御部の構成 ... 544
18 - 17	マスタ送信 ... 548
18 - 18	マスタ受信 ... 550
18 - 19	スレーブ送信 ... 552
18 - 20	スレーブ受信 ... 554
18 - 21	マスタ送信 (割り込み発生間隔) ... 555
18 - 22	マスタ受信 (割り込み発生間隔) ... 556
18 - 23	スレーブ送信 (割り込み発生間隔) ... 557
18 - 24	スレーブ受信 (割り込み発生間隔) ... 558

図の目次 (7/8)

図番号	タイトル, ページ
19 - 1	FCANのブロック図 ... 562
19 - 2	FCANのクロック ... 603
19 - 3	ビットのセット/クリアの操作例 ... 628
19 - 4	ライト時の16ビット・データ ... 629
19 - 5	メッセージ受信時のタイム・スタンプ機能設定 (CxCTRLレジスタのTMRビット = 0の場合) ... 630
19 - 6	メッセージ受信時のタイム・スタンプ機能設定 (CxCTRLレジスタのTMRビット = 1の場合) ... 631
19 - 7	メッセージ送信時のタイム・スタンプ機能設定 (M_CTRLレジスタのATSビット = 1の場合) ... 632
19 - 8	メッセージ処理例 (PBBビット = 0に設定した場合) ... 635
19 - 9	メッセージ処理例 (PBBビット = 1に設定した場合) ... 636
19 - 10	各レイヤの構成 ... 639
19 - 11	データ・フレーム ... 641
19 - 12	リモート・フレーム ... 642
19 - 13	スタート・オブ・フレーム (SOF) ... 642
19 - 14	アービトレーション・フィールド (標準フォーマット・モード時) ... 643
19 - 15	アービトレーション・フィールド (拡張フォーマット・モード時) ... 643
19 - 16	コントロール・フィールド ... 644
19 - 17	データ・フィールド ... 645
19 - 18	CRCフィールド ... 645
19 - 19	ACKフィールド ... 646
19 - 20	エンド・オブ・フレーム (EOF) ... 646
19 - 21	インタフレーム・スペース (エラー・アクティブ状態のノードの場合) ... 647
19 - 22	インタフレーム・スペース (エラー・パッシブ状態のノードの場合) ... 647
19 - 23	エラー・フレーム ... 649
19 - 24	オーバロード・フレーム ... 650
19 - 25	ノミナル・ビット・タイム ... 656
19 - 26	データ・ビットの同期の調整 ... 657
19 - 27	再同期 ... 658
19 - 28	初期設定処理 ... 659
19 - 29	CANメイン・クロック選択レジスタ (CGCS) の設定 ... 660
19 - 30	CANグローバル割り込み許可レジスタ (CGIE) の設定 ... 660
19 - 31	CANグローバル・ステータス・レジスタ (CGST) の設定 ... 661
19 - 32	CANnビット・レート・プリスケラ・レジスタ (CnBRP) の設定 ... 661
19 - 33	CANn同期制御レジスタ (CnSYNC) の設定 ... 662
19 - 34	CANn割り込み許可レジスタ (CnIE) の設定 ... 663
19 - 35	CANn定義レジスタ (CnDEF) の設定 ... 664
19 - 36	CANnコントロール・レジスタ (CnCTRL) の設定 ... 665

図の目次 (8/8)

図番号	タイトル, ページ
19 - 37	CANnアドレス・マスクaレジスタL, H (CnMASKLa, CnMASKHa) の設定 ... 666
19 - 38	メッセージ・バッファの設定 ... 667
19 - 39	CANメッセージ構成レジスタ00-31 (M_CONF00-M_CONF31) の設定 ... 668
19 - 40	CANメッセージ・コントロール・レジスタ00-31 (M_CTRL00-M_CTRL31) の設定 ... 669
19 - 41	CANメッセージ・ステータス・レジスタ00-31 (M_STAT00-M_STAT31) の設定 ... 670
19 - 42	送信の設定 ... 671
19 - 43	受信完了割り込みによる受信動作の設定 ... 672
19 - 44	受信ポーリングによる受信動作 ... 673
19 - 45	CANメッセージ検索開始 / 結果レジスタ (CGMSS/CGMSR) の設定 ... 674
19 - 46	CANスリープ・モードの設定 ... 675
19 - 47	CANバス・アクティブによるCANスリープ・モードの解除 ... 675
19 - 48	CPUによるCANスリープ・モードの解除 ... 676
19 - 49	CANストップ・モードの設定 ... 676
19 - 50	CANストップ・モードの解除 ... 677
19 - 51	CnSYNCレジスタの設定値 ... 681
19 - 52	シーケンシャル・データ・リード ... 682

表の目次 (1/4)

表番号	タイトル, ページ
1 - 1	V850/SC1, V850/SC2, V850/SC3の製品一覧 ... 34
2 - 1	各端子の入出力バッファ電源 ... 59
2 - 2	V850/SC1, V850/SC2, V850/SC3の端子の違い ... 60
2 - 3	動作モードによる各端子の動作状態 ... 69
3 - 1	プログラム・レジスタ一覧 ... 89
3 - 2	システム・レジスタ番号 ... 90
3 - 3	割り込み / 例外テーブル ... 99
4 - 1	HALTモード時の動作状態 ... 129
4 - 2	IDLEモード時の動作状態 ... 132
4 - 3	ソフトウエアSTOPモード時の動作状態 ... 134
5 - 1	各端子の入出力バッファ電源 ... 139
5 - 2	ポート0の兼用端子 ... 140
5 - 3	ポート1の兼用端子 ... 144
5 - 4	ポート2の兼用端子 ... 149
5 - 5	ポート3の兼用端子 ... 153
5 - 6	ポート4, ポート5の兼用端子 ... 157
5 - 7	ポート6の兼用端子 ... 160
5 - 8	ポート7, ポート8の兼用端子 ... 162
5 - 9	ポート9の兼用端子 ... 164
5 - 10	ポート10の兼用端子 ... 167
5 - 11	ポート11の兼用端子 ... 170
5 - 12	ポート12の兼用端子 ... 175
5 - 13	ポート14の兼用端子 ... 181
5 - 14	ポート15の兼用端子 ... 184
5 - 15	ポート17の兼用端子 ... 187
5 - 16	ポート端子を兼用端子として使用する場合の設定 ... 191
6 - 1	バス制御端子 ... 196
6 - 2	アクセス・クロック数 ... 198
6 - 3	バス優先順位 ... 213
7 - 1	割り込み要因一覧 ... 215
7 - 2	割り込み制御レジスタ (xxICn) ... 232
7 - 3	割り込みと例外の優先順位 ... 244
7 - 4	キー・リターン検出端子の割り当て ... 251

表の目次 (2/4)

表番号	タイトル, ページ
8 - 1	タイマ0, 1, 7-12の構成 ... 254
8 - 2	TIn0端子の有効エッジとCRn0のキャプチャ・トリガ ... 255
8 - 3	TIn1端子の有効エッジとCRn0のキャプチャ・トリガ ... 255
8 - 4	TIn0端子の有効エッジとCRn1のキャプチャ・トリガ ... 256
8 - 5	タイマ5, 6の構成 ... 295
9 - 1	インターバル・タイマのインターバル時間 ... 309
9 - 2	時計用タイマの構成 ... 309
9 - 3	インターバル・タイマのインターバル時間 ... 312
10 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 315
10 - 2	インターバル・タイマのインターバル時間 ... 315
10 - 3	ウォッチドッグ・タイマの構成 ... 316
10 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 319
10 - 5	インターバル・タイマのインターバル時間 ... 320
11 - 1	CSInの構成 ... 323
11 - 2	CSl4の構成 ... 329
11 - 3	CSInの構成 ... 342
11 - 4	$\overline{\text{SCKn}}$ 端子出力状態 ... 368
11 - 5	SOn端子出力状態 ... 368
11 - 6	I ² Cnの構成 ... 372
11 - 7	INTIICn発生タイミングおよびウェイト制御 ... 413
11 - 8	拡張コードのビットの定義 ... 415
11 - 9	アービトレーション発生時の状態と割り込み要求発生タイミング ... 416
11 - 10	ウェイト時間 ... 417
11 - 11	ウェイト時間 ... 420
11 - 12	UARTnの構成 ... 433
11 - 13	メイン・クロックとポー・レートの関係 ... 445
11 - 14	受信エラーの要因 ... 451
12 - 1	A/Dコンバータの構成 ... 454
13 - 1	DMAで利用できる内蔵RAM領域 ... 471
13 - 2	起動要因の設定 ... 475
17 - 1	μ PD70F3089Yフラッシュ書き込み用アダプタ (FA-144GJ-UEN) の配線表 ... 493
17 - 2	専用フラッシュ・ライタ (PG-FP3) の信号生成 ... 496
17 - 3	各シリアル・インタフェースが使用する端子 ... 497

表の目次 (3/4)

表番号	タイトル, ページ
17 - 4	通信方式一覧 ... 501
17 - 5	フラッシュ・メモリ制御用コマンド ... 502
17 - 6	応答コマンド ... 502
18 - 1	通信モード1における伝送速度, 最大伝送バイト数 ... 504
18 - 2	コントロール・ビットの内容 ... 509
18 - 3	ロックされたスレーブ・ユニットに対するコントロール・フィールド ... 510
18 - 4	ロックされていないスレーブ・ユニットに対するコントロール・フィールド ... 510
18 - 5	コントロール・フィールドのアクノリッジ信号出力条件 ... 511
18 - 6	電文長ビットの内容 ... 512
18 - 7	IEBusコントローラの内部レジスタ一覧 ... 522
18 - 8	ISRレジスタの各フラグのリセット条件 ... 536
18 - 9	割り込み要因一覧 ... 545
18 - 10	通信エラー要因処理一覧 ... 546
19 - 1	機能概要 ... 560
19 - 2	メッセージとバッファの構成 ... 563
19 - 3	M_DLCnのアドレス (n = 00-31) ... 578
19 - 4	M_CTRLnのアドレス (n = 00-31) ... 581
19 - 5	M_TIMEnのアドレス (n = 00-31) ... 582
19 - 6	M_DATAxのアドレス (n = 00-31, x = 0-7) ... 584
19 - 7	M_IDLn, M_IDHnのアドレス (n = 00-31) ... 586
19 - 8	M_CONFnのアドレス (n = 00-31) ... 588
19 - 9	M_STATnのアドレス (n = 00-31) ... 590
19 - 10	SC_STATnのアドレス (n = 00-31) ... 592
19 - 11	CnMASKLa, CnMASKHaのアドレス (a = 0-3, n = 1, 2) ... 608
19 - 12	送信メッセージの最後の2バイトにタイム・スタンプ・カウンタのキャプチャ値を付加する場合の例 ... 633
19 - 13	データ・フレーム受信の格納優先順位 ... 636
19 - 14	リモート・フレーム受信の格納優先順位 ... 636
19 - 15	同一優先レベルでの優先順位 ... 637
19 - 16	フレームの種類 ... 640
19 - 17	RTRフレームの設定 ... 643
19 - 18	フレーム・フォーマットの設定(IDEビット)とアイデンティファイア(ID)のビット数 ... 643
19 - 19	データ長の設定 ... 644
19 - 20	エラー状態による動作 ... 648
19 - 21	インタミッションの第3ビットがドミナント時の動作 ... 648
19 - 22	エラー・フレームの各フィールドの定義 ... 649
19 - 23	オーバロード・フレームの各フィールドの定義 ... 650

表の目次 (4/4)

表番号	タイトル, ページ
19 - 24	バス・プライオリティの決定 ... 651
19 - 25	ビット・スタッフ ... 651
19 - 26	エラーの種類 ... 652
19 - 27	エラー・フレームの出力タイミング ... 652
19 - 28	エラー状態の種類 ... 653
19 - 29	エラー・カウンタ ... 654
B - 1	オペランド記述に使われる略号 ... 727
B - 2	オペコード欄に使われる略号 ... 728
B - 3	オペレーション欄に使われる略号 ... 728
B - 4	フラグの動作 ... 729
B - 5	条件コード ... 729

第1章 イントロダクション

V850/SC1, V850/SC2, V850/SC3は, NECのリアルタイム制御向けシングルチップ・マイクロコンピュータV850シリーズのロウ・パワー・シリーズの1製品です。

1.1 概 説

V850/SC1, V850/SC2, V850/SC3は, V850シリーズのCPUコアを使用し, ROM/RAM, タイマ/カウンタ, シリアル・インタフェース, A/Dコンバータ, DMAコントローラなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコンピュータです。

V850/SC2は, V850/SC1にIEBus (Inter Equipment Bus™) コントローラの周辺機能を追加しています。

V850/SC3は, FCAN (Full Controller Area Network) コントローラの周辺機能を追加しています。

V850/SC1, V850/SC2, V850/SC3は, 高いリアルタイム応答性と1クロック・ピッチの基本命令に加え, ハードウェア乗算器による乗算命令, 飽和演算命令, ビット操作命令などを持っています。

表1 - 1にV850/SC1, V850/SC2, V850/SC3の製品一覧について示します。

表1 - 1 V850/SC1, V850/SC2, V850/SC3の製品一覧

製品名		ROM		RAMサイズ	FCAN	IEBus
愛称	品名	種類	サイズ			
V850/SC1	μ PD703068Y	マスクROM	512 Kバイト	24 Kバイト	-	-
	μ PD70F3089Y	フラッシュ・メモリ	512 Kバイト	24 Kバイト	-	-
V850/SC2	μ PD703069Y	マスクROM	512 Kバイト	24 Kバイト	-	1ch
	μ PD70F3089Y	フラッシュ・メモリ	512 Kバイト	24 Kバイト	-	
V850/SC3	μ PD703088Y	マスクROM	512 Kバイト	24 Kバイト	1ch	-
	μ PD703089Y		512 Kバイト	24 Kバイト	2ch	-
	μ PD70F3089Y	フラッシュ・メモリ	512 Kバイト	24 Kバイト	-	-

1.2 V850/SC1

1.2.1 特徴 (V850/SC1)

命令数 74

最小命令実行時間 50 ns (20 MHz動作時, 外部電源5 V, レギュレータ出力3.3 V動作時)

汎用レジスタ 32ビット×32本

命令セット 符号付き乗算 (16×16 32) : 100 ns (20 MHz動作時)
(レジスタ・ハザードが起きない後続の命令を並列に実行可能)

飽和演算 (オーバフロー / アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング / ショート形式を持つロード / ストア命令

メモリ空間 16 Mバイト・リニア・アドレス空間 (プログラム / データ共用)

外部拡張 : 4 Mバイトまで可能

メモリ・ブロック分割機能 : 2 Mバイト / ブロック

プログラマブル・ウエイト機能

アイドル・ステート挿入機能

外部バス・インタフェース

16ビット・データ・バス (アドレス / データ・マルチプレクス)

アドレス・バス : セパレート出力可能

3-5 Vインタフェース可能

バス・ホールド機能

外部ウエイト機能

内蔵メモリ μ PD703068Y (マスクROM : 512 Kバイト / RAM : 24 Kバイト)

μ PD70F3089Y (フラッシュ・メモリ : 512 Kバイト / RAM : 24 Kバイト)

割り込み / 例外

ノンマスクابل割り込み : 2要因

マスクابل割り込み : 49要因

ソフトウェア例外 : 32要因

例外トラップ : 1要因

I/Oライン 合計 : 124 (入力ポート : 12 入出力ポート : 112)

3-5 Vインタフェース可能

タイマ / カウンタ

16ビット・タイマ : 8ch (TM0, TM1, TM7-TM12)

16ビット・タイマ : 2ch (TM5, TM6)

時計用タイマ サブクロック / メイン・クロック動作 : 1ch

IDLEモード時もサブクロック / メイン・クロックで動作可能

ウォッチドッグ・タイマ : 1ch

シリアル・インタフェース (SIO)

アシンクロナス・シリアル・インタフェース (UART)

3線式シリアルI/O (CSI)

I²Cバス・インタフェース (I²C)

8-16ビット可変長シリアル・インタフェース

CSI (8ビット) /UART : 1ch

CSI (8-16ビット可変) /UART : 1ch

CSI (8ビット) /I²C : 2ch

CSI (8または16ビット) : 2ch

UART : 2ch

専用ポー・レート・ジェネレータ : 5ch

A/Dコンバータ 10ビット分解能 : 12ch

DMAコントローラ 内蔵RAM 内蔵周辺I/O間 : 6ch

ROMコレクション : 4箇所修正可能

レギュレータ : 3.5-5.5V入力 内部3.3V

キー・リターン機能 : 4-8本セレクト可能, 立ち下がりエッジ固定

クロック・ジェネレータ メイン・クロック / サブクロック動作

CPUクロック5段階 (サブ動作含む)

パワー・セーブ機能 HALT/IDLE/STOPモード

パッケージ 144ピン・プラスチックLQFP (20 × 20 mm)

CMOS構造 完全スタティック回路

1.2.2 応用分野 (V850/SC1)

カー・オーディオ, ホーム・オーディオなどのAV機器, その他

★ 1.2.3 オーダ情報 (V850/SC1)

品名	パッケージ	内蔵ROM
μ PD703068YGJ-xxx-UEN	144ピン・プラスチックLQFP (20 × 20)	マスクROM
μ PD70F3089YGJ-UEN ^注	"	フラッシュ・メモリ

注 開発中

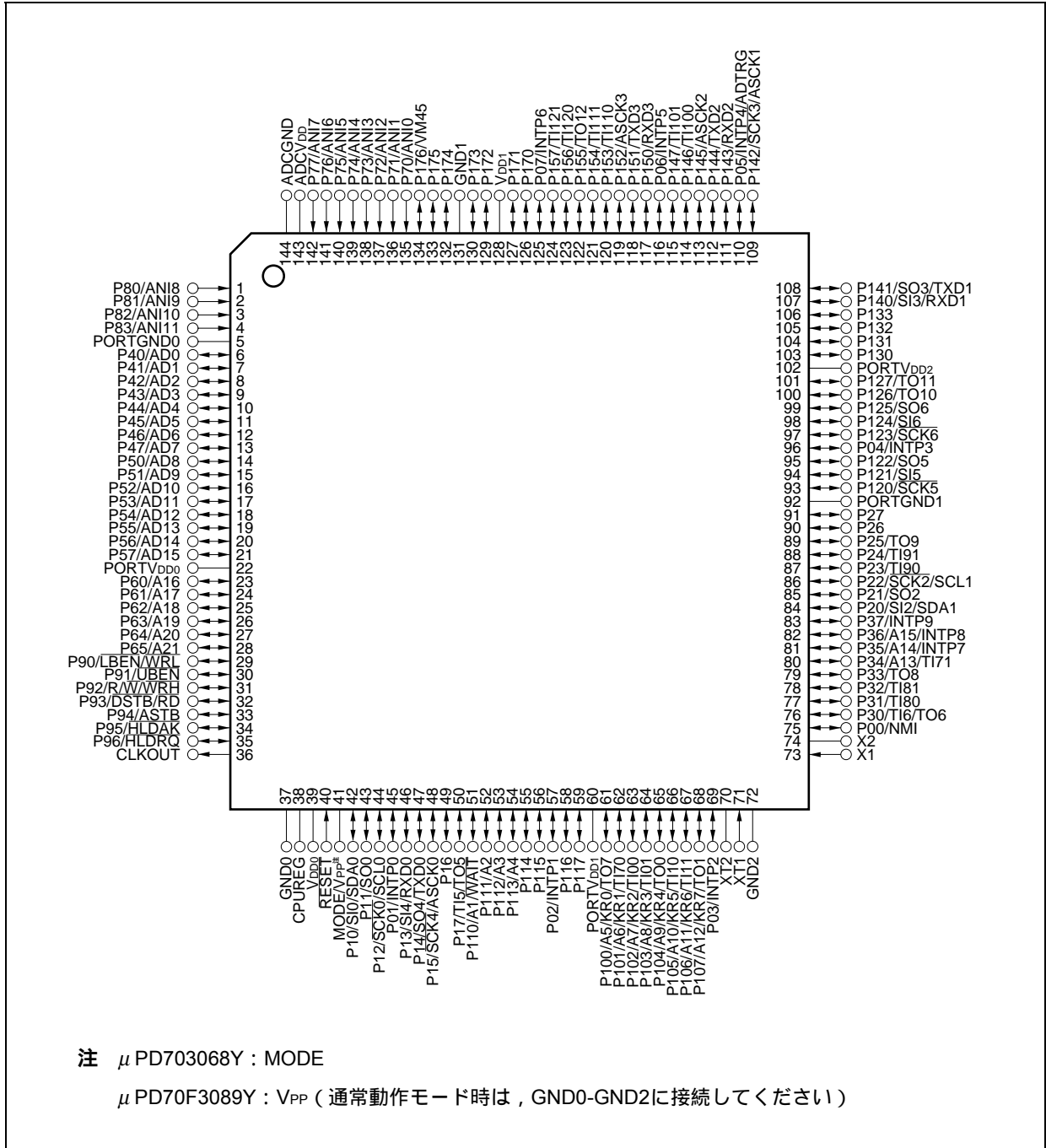
備考1. xxxはROMコード番号です。

2. ROMレス品はありません。

1.2.4 端子接続図 (Top View) (V850/SC1)

144ピン・プラスチックLQFP (20×20)

- ・μ PD703068YGJ-xxx-UEN
- ・μ PD70F3089YGJ-UEN



注 μ PD703068Y : MODE

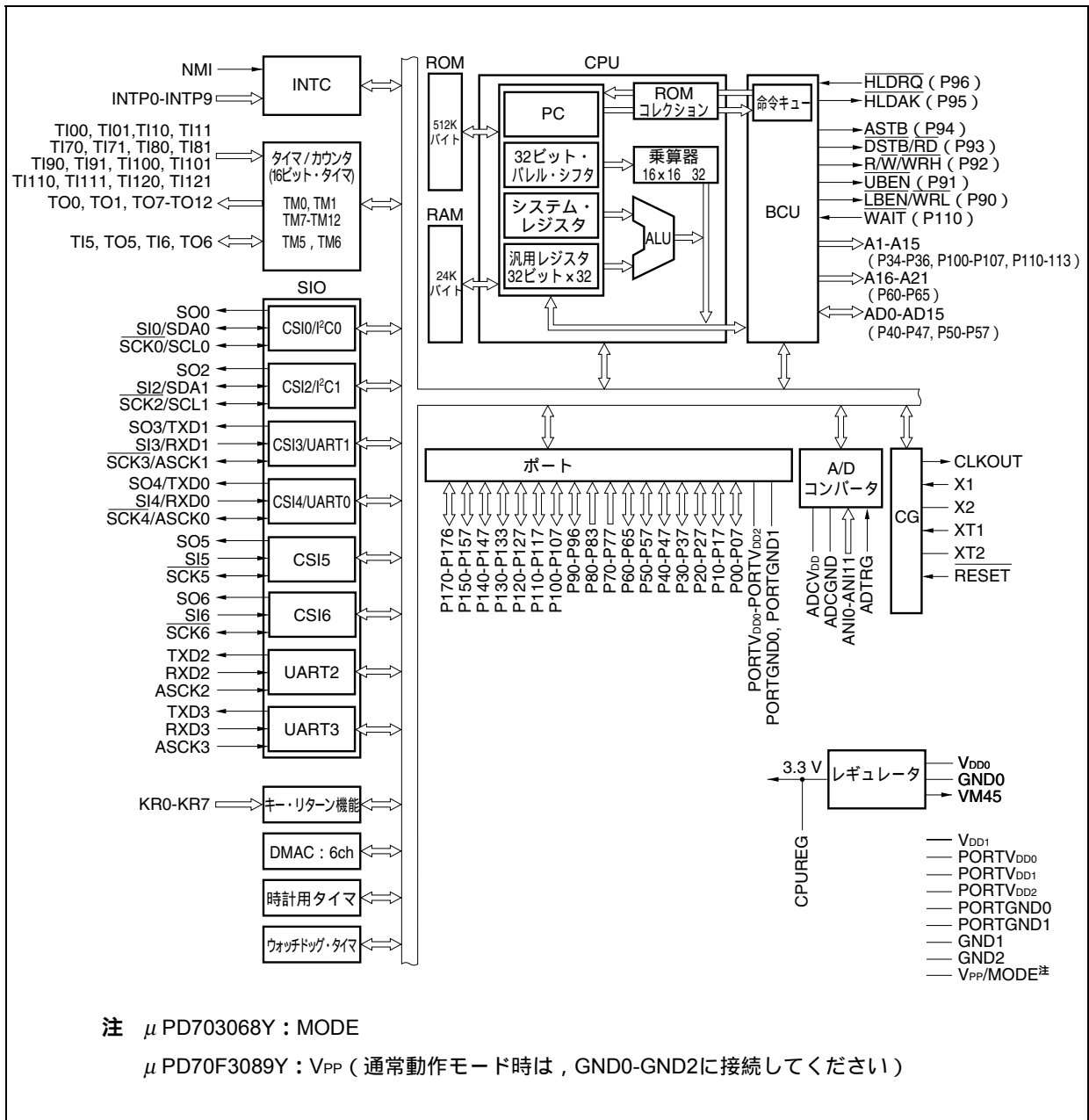
μ PD70F3089Y : V_{PP} (通常動作モード時は、GND0-GND2に接続してください)

端子名称 (V850/SC1)

A1-A21	: Address Bus	\overline{RD}	: Read Strobe
AD0-AD15	: Address/Data Bus	\overline{RESET}	: Reset
ADCGND	: Ground for Analog	\overline{RW}	: Read/Write Status
ADCV _{DD}	: Power Supply for Analog	RXD0-RXD3	: Receive Data
ADTRG	: A/D Trigger Input	$\overline{SCK0}, \overline{SCK2-SCK6}$: Serial Clock
ANI0-ANI11	: Analog Input	SCL0, SCL1	: Serial Clock
ASCK0-ASCK3	: Asynchronous Serial Clock	SDA0, SDA1	: Serial Data
ASTB	: Address Strobe	SI0, SI2-SI6	: Serial Input
CLKOUT	: Clock Output	SO0, SO2-SO6	: Serial Output
CPUREG	: Regulator Control	TI00, TI01, TI10, TI11,	: Timer Input
\overline{DSTB}	: Data Strobe	TI100, TI101, TI110,	
GND0-GND2	: Ground	TI111, TI120, TI121,	
\overline{HLDAK}	: Hold Acknowledge	TI5, TI6, TI70, TI71,	
\overline{HLDRQ}	: Hold Request	TI80, TI81, TI90, TI91	
INTP0-INTP9	: Interrupt Request From Peripherals	TO0, TO1,	: Timer Output
KR0-KR7	: Key Return	TO5-TO12	
\overline{LBEN}	: Lower Byte Enable	TXD0-TXD3	: Transmit Data
MODE	: Mode	\overline{UBEN}	: Upper Byte Enable
NMI	: Non-maskable Interrupt Request	V _{DD0} , V _{DD1}	: Power Supply
PORTGND0,	: Ground for Port	VM45	: V _{DD} = 4.5 V monitor output
PORTGND1		V _{PP}	: Programming Power Supply
PORTV _{DD0} -PORTV _{DD2}	: Power Supply for Port	\overline{WAIT}	: Wait
P00-P07	: Port 0	\overline{WRH}	: Write Strobe High Level Data
P10-P17	: Port 1	\overline{WRL}	: Write Strobe Low Level Data
P20-P27	: Port 2	X1, X2	: Crystal for Main Clock
P30-P37	: Port 3	XT1, XT2	: Crystal for Sub-clock
P40-P47	: Port 4		
P50-P57	: Port 5		
P60-P65	: Port 6		
P70-P77	: Port 7		
P80-P83	: Port 8		
P90-P96	: Port 9		
P100-P107	: Port 10		
P110-P117	: Port 11		
P120-P127	: Port 12		
P130-P133	: Port 13		
P140-P147	: Port 14		
P150-P157	: Port 15		
P170-P176	: Port 17		

1.2.5 機能ブロック構成 (V850/SC1)

(1) 内部ブロック図



(2) 内部ユニット

(a) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット），バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し，複雑な命令処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，内部の命令キューに取り込まれます。

(c) ROM

00000000H番地からマッピングされる512 KバイトのマスクROMまたはフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

(d) RAM

FFFF9000H番地からマッピングされる24 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア，および外部からのハードウェア割り込み要求（NMI, INTP0-INTP9）を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，割り込み要因に対して多重処理制御ができます。

(f) クロック・ジェネレータ (CG)

メイン・クロック（ f_{xx} ）用とサブクロック（ f_{xt} ）用の2種類の発振回路を内蔵しています。5種類（ f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, f_{xt} ）のクロックを生成して，そのうちの1つをCPUの動作クロック（ f_{CPU} ）として供給します。

(g) タイマ / カウンタ

16ビットのタイマ / イベント・カウンタを10チャンネル内蔵しています。パルス間隔や周波数の計測，プログラマブルなパルスの出力ができます。

(h) 時計用タイマ

サブクロック（32.768 kHz）またはメイン・クロック（8.388 MHz）から時計カウント用の基準時間（0.5秒）をカウントします。メイン・クロックによるインターパル・タイマとしても同時に使用できます。

(i) ウォッチドッグ・タイマ

プログラムの暴走，システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。インターバル・タイマとしても使用できます。

ウォッチドッグ・タイマとして使用する場合は，オーバフローでノンマスカブル割り込み要求 (INTWDT) が発生します。インターバル・タイマとして使用する場合は，オーバフローでマスカブル割り込み要求 (INTWDTM) が発生します。

(j) シリアル・インタフェース (SIO)

V850/SC1には，シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェース (UART_m)，3線式シリアルI/O (CSI_n)，I²Cバス・インタフェース (I²C_x) を内蔵して，最大8チャンネルを同時に使用できます。このうち2チャンネルはUARTとCSIの切り替えが可能，別の2チャンネルはCSIとI²Cの切り替えができます。

UART_mは，TXD_m，RXD_m端子によりデータ転送を行います。

CSI_nは，SON，SIn，SCK_n端子によりデータ転送を行います。

I²C_xは，SDAx，SCLx端子によりデータ転送を行います。

UARTとCSI4は専用ポー・レート・ジェネレータを内蔵しています。

備考 m = 0-3

n = 0, 2-6

x = 0, 1

(k) A/Dコンバータ

12本のアナログ入力端子を持つ高速，高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

(l) DMAコントローラ

6チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて，内蔵RAMと内蔵周辺I/O間でデータを転送します。

(m) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	ポート機能	制御機能
ポート0	8ビット入出力	汎用ポート	NMI, 外部割り込み, A/Dコンバータ・トリガ
ポート1	8ビット入出力		シリアル・インタフェース, タイマ入出力
ポート2	8ビット入出力		シリアル・インタフェース, タイマ入出力
ポート3	8ビット入出力		タイマ入出力, 外部アドレス・バス, 外部割り込み
ポート4	8ビット入出力		外部アドレス/データ・バス
ポート5	8ビット入出力		
ポート6	6ビット入出力		外部アドレス・バス
ポート7	8ビット入力		A/Dコンバータ・アナログ入力
ポート8	4ビット入力		
ポート9	7ビット入出力		外部バス・インタフェース制御信号入出力
ポート10	8ビット入出力		タイマ入出力, キー・リターン入力, 外部アドレス・バス
ポート11	8ビット入出力		ウエイト制御, 外部アドレス・バス
ポート12	8ビット入出力		シリアル・インタフェース, タイマ出力
ポート13	4ビット入出力		-
ポート14	8ビット入出力		シリアル・インタフェース, タイマ入力
ポート15	8ビット入出力		シリアル・インタフェース, タイマ入出力
ポート17	7ビット入出力	V _{DD0} = 4.5 V モニタ出力	

1.3 V850/SC2

1.3.1 特徴 (V850/SC2)

命令数 74

最小命令実行時間 53 ns (18.87 MHz動作時, 外部電源5V, レギュレータ出力3.3V動作時)

汎用レジスタ 32ビット×32本

命令セット 符号付き乗算 (16×16→32) : 106 ns (18.87 MHz動作時)

(レジスタ・ハザードが起きない後続の命令を並列に実行可能)

飽和演算 (オーバフロー / アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング / ショート形式を持つロード / ストア命令

メモリ空間 16 Mバイト・リニア・アドレス空間 (プログラム / データ共用)

外部拡張 : 4 Mバイトまで可能

メモリ・ブロック分割機能 : 2 Mバイト / ブロック

プログラマブル・ウェイト機能

アイドル・ステート挿入機能

外部バス・インタフェース

16ビット・データ・バス (アドレス / データ・マルチプレクス)

アドレス・バス : セパレート出力可能

3-5 Vインタフェース可能

バス・ホールド機能

外部ウェイト機能

内蔵メモリ μ PD703069Y (マスクROM : 512 Kバイト / RAM : 24 Kバイト)

μ PD70F3089Y (フラッシュ・メモリ : 512 Kバイト / RAM : 24 Kバイト)

割り込み / 例外

ノンマスカブル割り込み : 2要因

マスカブル割り込み : 51要因

ソフトウエア例外 : 32要因

例外トラップ : 1要因

I/Oライン 合計 : 124 (入力ポート : 12 出力ポート : 112)

3-5 Vインタフェース可能

タイマ / カウンタ

16ビット・タイマ : 8ch (TM0, TM1, TM7-TM12)

16ビット・タイマ : 2ch (TM5, TM6)

時計用タイマ サブクロック / メイン・クロック動作 : 1ch

IDLEモード時もサブクロック / メイン・クロックで動作可能

ウォッチドッグ・タイマ : 1ch

シリアル・インタフェース (SIO)

アシンクロナス・シリアル・インタフェース (UART)

3線式シリアルI/O (CSI)

I²Cバス・インタフェース (I²C)

8-16ビット可変長シリアル・インタフェース

CSI (8ビット) /UART : 1ch

CSI (8-16ビット可変) /UART : 1ch

CSI (8ビット) /I²C : 2ch

CSI (8または16ビット) : 2ch

UART : 2ch

専用ポー・レート・ジェネレータ : 5ch

A/Dコンバータ 10ビット分解能 : 12ch

DMAコントローラ 内蔵RAM 内蔵周辺I/O間 : 6ch

ROMコレクション : 4箇所修正可能

レギュレータ : 3.5-5.5V入力 内部3.3V

キー・リターン機能 : 4-8本セレクト可能, 立ち下がりエッジ固定

クロック・ジェネレータ メイン・クロック / サブクロック動作

CPUクロック5段階 (サブ動作含む)

パワー・セーブ機能 HALT/IDLE/STOPモード

IEBusコントローラ : 1ch

パッケージ 144ピン・プラスチックLQFP (20×20 mm)

CMOS構造 完全スタティック回路

1.3.2 応用分野 (V850/SC2)

カー・オーディオ

★ 1.3.3 オーダ情報 (V850/SC2)

品 名	パッケージ	内蔵ROM
μ PD703069YGJ-xxx-UEN	144ピン・プラスチックLQFP (20×20)	マスクROM
μ PD70F3089YGJ-UEN ^注	"	フラッシュ・メモリ

注 開発中

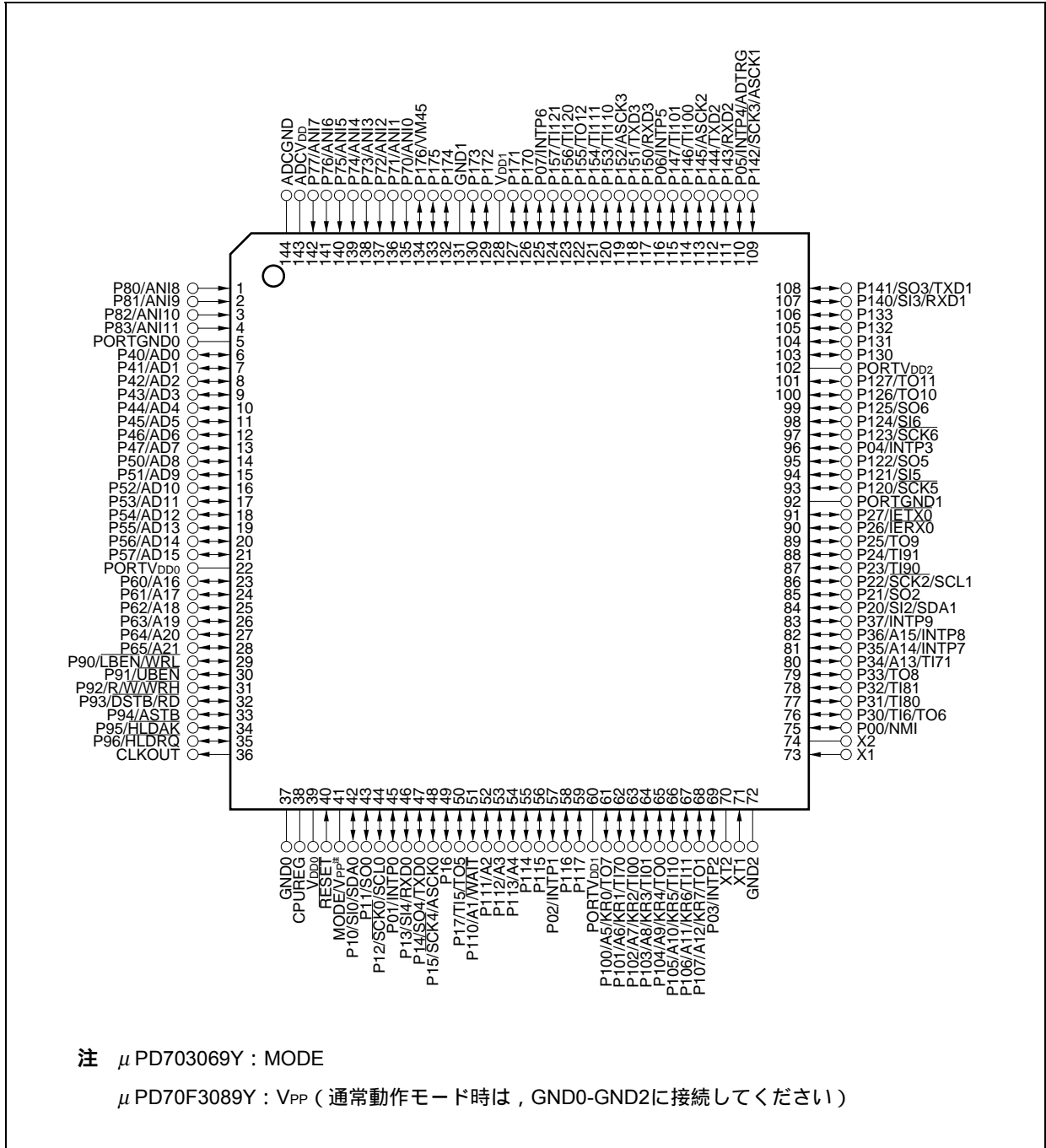
備考1. xxxはROMコード番号です。

2. ROMレス品はありません。

1.3.4 端子接続図 (Top View) (V850/SC2)

144ピン・プラスチックLQFP (20×20)

- ・μ PD703069YGJ-xxx-UEN
- ・μ PD70F3089YGJ-UEN

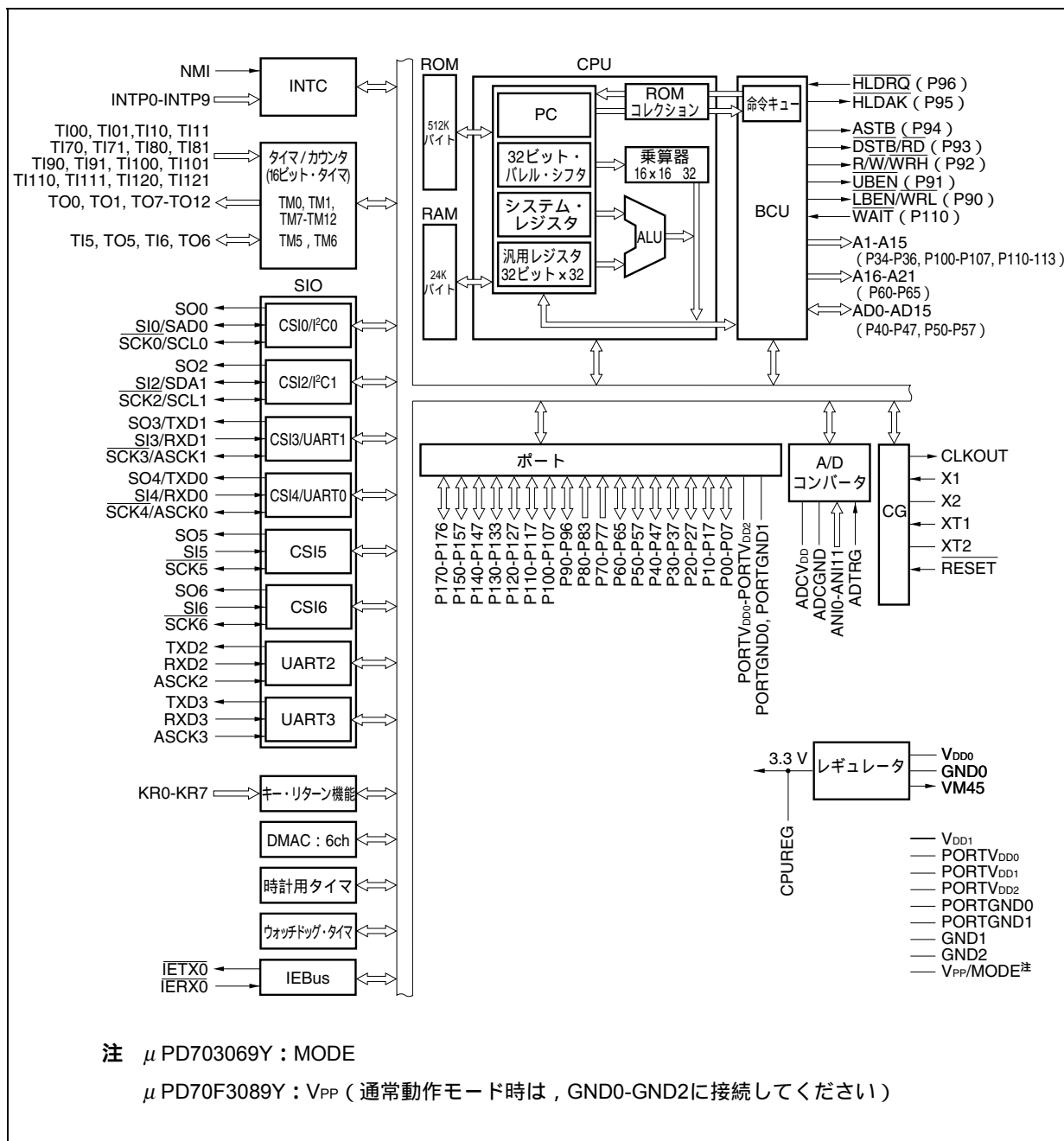


端子名称 (V850/SC2)

A1-A21	: Address Bus	\overline{RD}	: Read Strobe
AD0-AD15	: Address/Data Bus	\overline{RESET}	: Reset
ADCGND	: Ground for Analog	$R\overline{W}$: Read/Write Status
ADCV _{DD}	: Power Supply for Analog	RXD0-RXD3	: Receive Data
ADTRG	: A/D Trigger Input	$\overline{SCK0}, \overline{SCK2-SCK6}$: Serial Clock
ANI0-ANI11	: Analog Input	SCL0, SCL1	: Serial Clock
ASCK0-ASCK3	: Asynchronous Serial Clock	SDA0, SDA1	: Serial Data
ASTB	: Address Strobe	SI0, SI2-SI6	: Serial Input
CLKOUT	: Clock Output	SO0, SO2-SO6	: Serial Output
CPUREG	: Regulator Control	TI00, TI01, TI10, TI11,	: Timer Input
\overline{DSTB}	: Data Strobe	TI100, TI101, TI110,	
GND0-GND2	: Ground	TI111, TI120, TI121,	
\overline{HLDAK}	: Hold Acknowledge	TI5, TI6, TI70, TI71,	
\overline{HLDRQ}	: Hold Request	TI80, TI81, TI90, TI91	
$\overline{IERX0}$: IEBus Receive Data	TO0, TO1,	: Timer Output
$\overline{IETX0}$: IEBus Transmit Data	TO5-TO12	
INTP0-INTP9	: Interrupt Request From Peripherals	TXD0-TXD3	: Transmit Data
KR0-KR7	: Key Return	\overline{UBEN}	: Upper Byte Enable
\overline{LBEN}	: Lower Byte Enable	V _{DD0} , V _{DD1}	: Power Supply
MODE	: Mode	VM45	: V _{DD} = 4.5 V monitor output
NMI	: Non-maskable Interrupt Request	V _{PP}	: Programming Power Supply
PORTGND0,	: Ground for Port	\overline{WAIT}	: Wait
PORTGND1		\overline{WRH}	: Write Strobe High Level Data
PORTV _{DD0} -PORTV _{DD2}	: Power Supply for Port	\overline{WRL}	: Write Strobe Low Level Data
P00-P07	: Port 0	X1, X2	: Crystal for Main Clock
P10-P17	: Port 1	XT1, XT2	: Crystal for Sub-clock
P20-P27	: Port 2		
P30-P37	: Port 3		
P40-P47	: Port 4		
P50-P57	: Port 5		
P60-P65	: Port 6		
P70-P77	: Port 7		
P80-P83	: Port 8		
P90-P96	: Port 9		
P100-P107	: Port 10		
P110-P117	: Port 11		
P120-P127	: Port 12		
P130-P133	: Port 13		
P140-P147	: Port 14		
P150-P157	: Port 15		
P170-P176	: Port 17		

1.3.5 機能ブロック構成 (V850/SC2)

(1) 内部ブロック図



(2) 内部ユニット

(a) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット），バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し，複雑な命令処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，内部の命令キューに取り込まれます。

(c) ROM

00000000H番地からマッピングされる512 KバイトのマスクROMまたはフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

(d) RAM

FFFF9000H番地からマッピングされる24 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア，および外部からのハードウェア割り込み要求（NMI, INTP0-INTP9）を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，割り込み要因に対して多重処理制御ができます。

(f) クロック・ジェネレータ (CG)

メイン・クロック（ f_{xx} ）用とサブクロック（ f_{xt} ）用の2種類の発振回路を内蔵しています。5種類（ f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, f_{xt} ）のクロックを生成して，そのうちの1つをCPUの動作クロック（ f_{CPU} ）として供給します。

(g) タイマ / カウンタ

16ビットのタイマ / イベント・カウンタを10チャンネル内蔵しています。パルス間隔や周波数の計測，プログラマブルなパルスの出力ができます。

(h) 時計用タイマ

サブクロック（32.768 kHz）またはメイン・クロック（8.388 MHz）から時計カウント用の基準時間（0.5秒）をカウントします。メイン・クロックによるインターパル・タイマとしても同時に使用できます。

(i) ウォッチドッグ・タイマ

プログラムの暴走、システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。インターバル・タイマとしても使用できます。

ウォッチドッグ・タイマとして使用する場合は、オーバフローでノンマスカブル割り込み要求 (INTWDT) が発生します。インターバル・タイマとして使用する場合は、オーバフローでマスカブル割り込み要求 (INTWDTM) が発生します。

(j) シリアル・インタフェース (SIO)

V850/SC2には、シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェース (UARTm)、3線式シリアルI/O (CSIn)、I²Cバス・インタフェース (I²Cx) を内蔵して、最大8チャンネルを同時に使用できます。このうち2チャンネルはUARTとCSIの切り替えが可能、別の2チャンネルはCSIとI²Cの切り替えができます。

UARTmは、TXDm, RXDm端子によりデータ転送を行います。

CSInは、SON, SIn, SCKn端子によりデータ転送を行います。

I²Cxは、SDAx, SCLx端子によりデータ転送を行います。

UARTとCSI4は専用ポー・レート・ジェネレータを内蔵しています。

備考 m = 0-3

n = 0, 2-6

x = 0, 1

(k) A/Dコンバータ

12本のアナログ入力端子を持つ高速、高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

(l) DMAコントローラ

6チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて、内蔵RAMと内蔵周辺I/O間でデータを転送します。

(m) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	ポート機能	制御機能
ポート0	8ビット入出力	汎用ポート	NMI, 外部割り込み, A/Dコンバータ・トリガ
ポート1	8ビット入出力		シリアル・インタフェース, タイマ入出力
ポート2	8ビット入出力		シリアル・インタフェース, タイマ入出力, IEBusデータ入出力
ポート3	8ビット入出力		タイマ入出力, 外部アドレス・バス, 外部割り込み
ポート4	8ビット入出力		外部アドレス/データ・バス
ポート5	8ビット入出力		
ポート6	6ビット入出力		外部アドレス・バス
ポート7	8ビット入力		A/Dコンバータ・アナログ入力
ポート8	4ビット入力		
ポート9	7ビット入出力		外部バス・インタフェース制御信号入出力
ポート10	8ビット入出力		タイマ入出力, キー・リターン入力, 外部アドレス・バス
ポート11	8ビット入出力		ウエイト制御, 外部アドレス・バス
ポート12	8ビット入出力		シリアル・インタフェース, タイマ出力
ポート13	4ビット入出力		-
ポート14	8ビット入出力		シリアル・インタフェース, タイマ入力
ポート15	8ビット入出力		シリアル・インタフェース, タイマ入出力
ポート17	7ビット入出力		V _{DD0} = 4.5 V モニタ出力

(n) IEBusコントローラ

IEBusコントローラは、ユニット間のデータ転送を行うことを目的とした小規模のデジタル・データ伝送システムです。V850/SC2だけに内蔵されています。

1.4 V850/SC3

1.4.1 特徴 (V850/SC3)

命令数 74

★ 最小命令実行時間 50 ns (20 MHz動作時, 外部電源5 V, レギュレータ出力3.3 V動作時)

汎用レジスタ 32ビット×32本

★ 命令セット 符号付き乗算 (16×16 32) : 100 ns (16 MHz動作時)
(レジスタ・ハザードが起きない後続の命令を並列に実行可能)

飽和演算 (オーバフロー / アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング / ショート形式を持つロード / ストア命令

メモリ空間 16 Mバイト・リニア・アドレス空間 (プログラム / データ共用)

外部拡張 : 4 Mバイトまで可能

メモリ・ブロック分割機能 : 2 Mバイト / ブロック

プログラマブル・ウェイト機能

アイドル・ステート挿入機能

外部バス・インタフェース

16ビット・データ・バス (アドレス / データ・マルチプレクス)

3-5 Vインタフェース可能

バス・ホールド機能

外部ウェイト機能

内蔵メモリ μ PD703088Y, 703089Y (マスクROM : 512 Kバイト / RAM : 24 Kバイト)

μ PD70F3089Y (フラッシュ・メモリ : 512 Kバイト / RAM : 24 Kバイト)

割り込み / 例外

ノンマスカブル割り込み : 2要因

マスカブル割り込み : 53要因 (μ PD703088Y)

56要因 (μ PD703089Y, 70F3089Y)

ソフトウェア例外 : 32要因

例外トラップ : 1要因

I/Oライン 合計 : 124 (入力ポート : 12 出力ポート : 112)

3-5 Vインタフェース可能

タイマ / カウンタ

16ビット・タイマ : 8ch (TM0, TM1, TM7-TM12)

16ビット・タイマ : 2ch (TM5, TM6)

時計用タイマ サブクロック / メイン・クロック動作 : 1ch

IDLEモード時もサブクロック / メイン・クロックで動作可能

ウォッチドッグ・タイマ : 1ch

シリアル・インタフェース (SIO)

アシンクロナス・シリアル・インタフェース (UART)

3線式シリアルI/O (CSI)

I²Cバス・インタフェース (I²C)

8-16ビット可変長シリアル・インタフェース

CSI (8ビット) /UART : 1ch

CSI (8-16ビット可変) /UART : 1ch

CSI (8ビット) /I²C : 2ch

CSI (8または16ビット) : 2ch

UART : 2ch

専用ポー・レート・ジェネレータ : 5ch

A/Dコンバータ 10ビット分解能 : 12ch

DMAコントローラ 内蔵RAM 内蔵周辺I/O間 : 6ch

ROMコレクション : 4箇所修正可能

レギュレータ : 3.5-5.5V入力 内部3.3V

キー・リターン機能 : 4-8本セレクト可能, 立ち下がりエッジ固定

クロック・ジェネレータ メイン・クロック / サブクロック動作

CPUクロック5段階 (サブ動作含む)

パワー・セーブ機能 HALT/IDLE/STOPモード

FCANコントローラ : 2ch (μ PD703089Y, 70F3089Y)

: 1ch (μ PD703088Y)

パッケージ 144ピン・プラスチックLQFP (20 × 20 mm)

CMOS構造 完全スタティック回路

1.4.2 応用分野 (V850/SC3)

カー・オーディオ

★ 1.4.3 オーダ情報 (V850/SC3)

品名	パッケージ	内蔵ROM
μ PD703088YGJ-xxx-UEN ^注	144ピン・プラスチックLQFP (20 × 20)	マスクROM
μ PD703089YGJ-xxx-UEN ^注	"	"
μ PD70F3089YGJ-UEN ^注	"	フラッシュ・メモリ

注 開発中

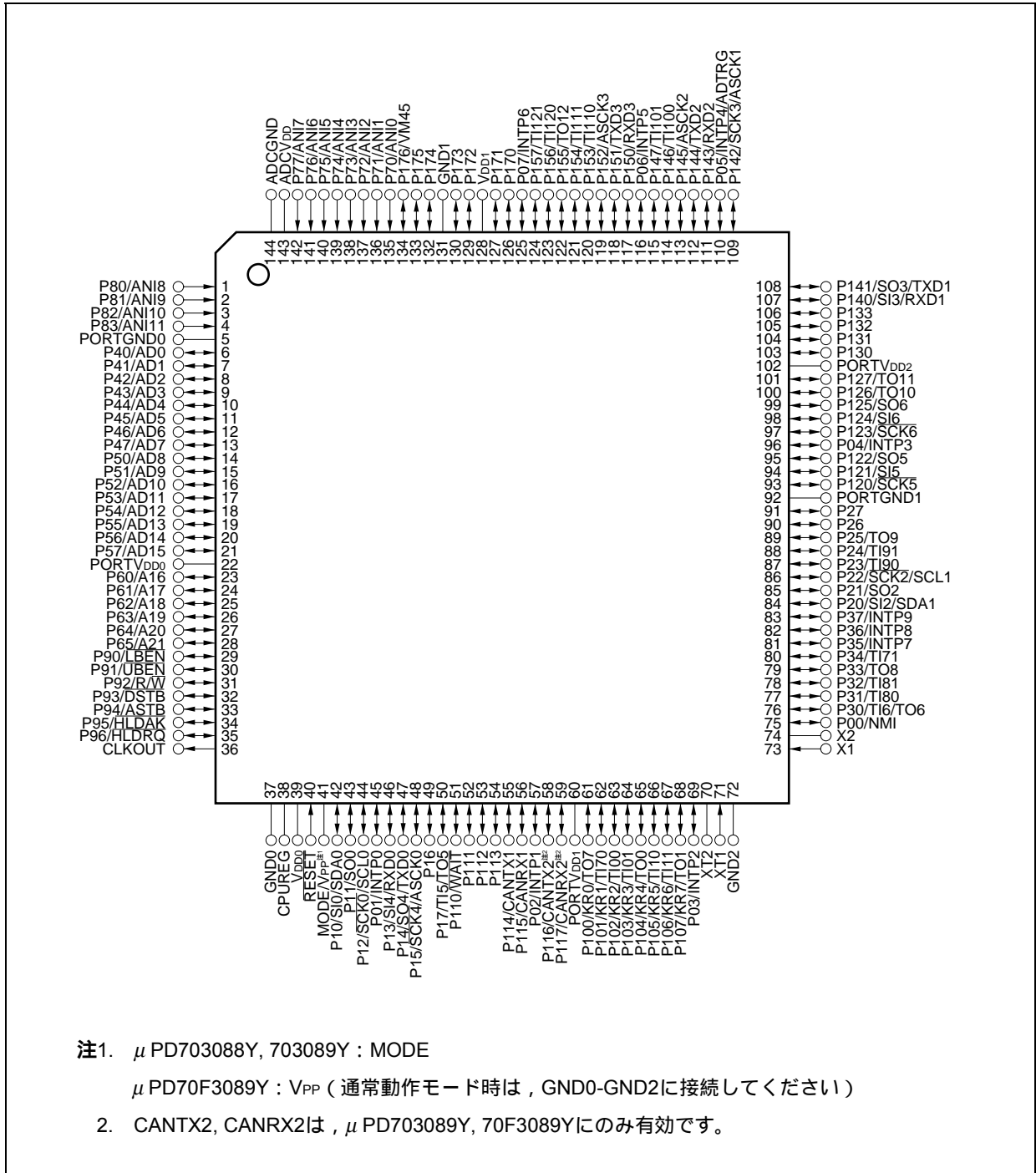
備考1. xxxはROMコード番号です。

2. ROMレス品はありません。

1.4.4 端子接続図 (Top View) (V850/SC3)

144ピン・プラスチックLQFP (20×20)

- ・μ PD703088YGJ-xxx-UEN
- ・μ PD703089YGJ-xxx-UEN
- ・μ PD70F3089YGJ-UEN

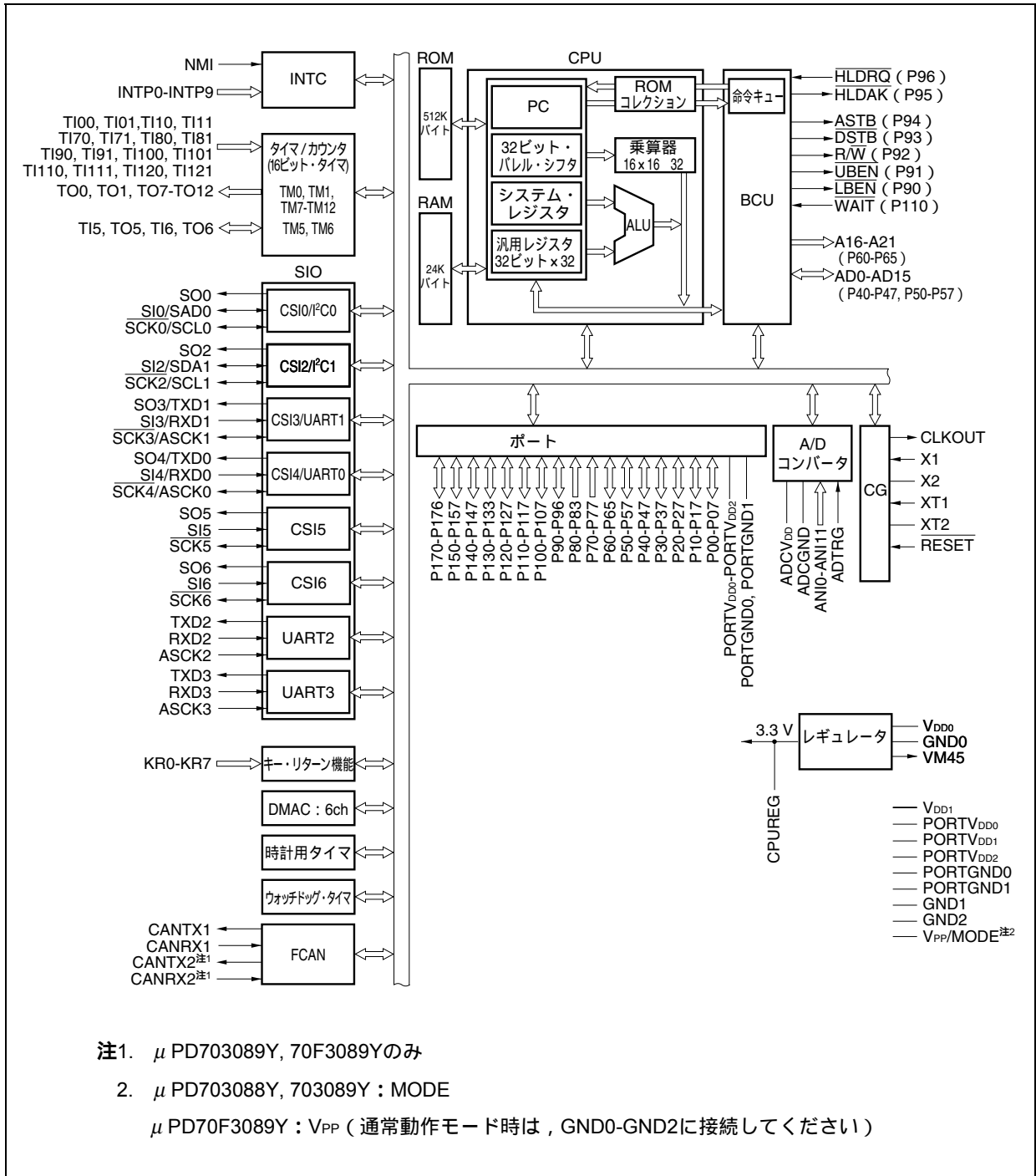


端子名称 (V850/SC3)

A16-A21	: Address Bus	$\overline{\text{RESET}}$: Reset
AD0-AD15	: Address/Data Bus	$\text{R}/\overline{\text{W}}$: Read/Write Status
ADCGND	: Ground for Analog	$\overline{\text{RXD0-RXD3}}$: Receive Data
ADCV_{DD}	: Power Supply for Analog	$\overline{\text{SCK0, SCK2-SCK6}}$: Serial Clock
ADTRG	: A/D Trigger Input	SCL0, SCL1	: Serial Clock
ANI0-ANI11	: Analog Input	SDA0, SDA1	: Serial Data
ASCK0-ASCK3	: Asynchronous Serial Clock	SI0, SI2-SI6	: Serial Input
ASTB	: Address Strobe	SO0, SO2-SO6	: Serial Output
CANRX1, CANRX2	: FCAN Receive Data	TI00, TI01, TI10, TI11,	: Timer Input
CANTX1, CANTX2	: FCAN Transmit Data	TI100, TI101, TI110,	
CLKOUT	: Clock Output	TI111, TI120, TI121,	
CPUREG	: Regulator Control	TI5, TI6, TI70, TI71,	
$\overline{\text{DSTB}}$: Data Strobe	TI80, TI81, TI90, TI91	
GND0-GND2	: Ground	TO0, TO1,	: Timer Output
$\overline{\text{HLD\text{AK}}}$: Hold Acknowledge	TO5-TO12	
$\overline{\text{HLDRQ}}$: Hold Request	$\overline{\text{TXD0-TXD3}}$: Transmit Data
INTP0-INTP9	: Interrupt Request From Peripherals	$\overline{\text{UBEN}}$: Upper Byte Enable
KR0-KR7	: Key Return	$\text{V}_{\text{DD0}}, \text{V}_{\text{DD1}}$: Power Supply
$\overline{\text{LBEN}}$: Lower Byte Enable	VM45	: $\text{V}_{\text{DD}} = 4.5 \text{ V}$ monitor output
MODE	: Mode	V_{PP}	: Programming Power Supply
NMI	: Non-maskable Interrupt Request	$\overline{\text{WAIT}}$: Wait
PORTGND0,	: Ground for Port	X1, X2	: Crystal for Main Clock
PORTGND1		XT1, XT2	: Crystal for Sub-clock
$\text{PORTV}_{\text{DD0}}\text{-PORTV}_{\text{DD2}}$: Power Supply for Port		
P00-P07	: Port 0		
P10-P17	: Port 1		
P20-P27	: Port 2		
P30-P37	: Port 3		
P40-P47	: Port 4		
P50-P57	: Port 5		
P60-P65	: Port 6		
P70-P77	: Port 7		
P80-P83	: Port 8		
P90-P96	: Port 9		
P100-P107	: Port 10		
P110-P117	: Port 11		
P120-P127	: Port 12		
P130-P133	: Port 13		
P140-P147	: Port 14		
P150-P157	: Port 15		
P170-P176	: Port 17		

1.4.5 機能ブロック構成 (V850/SC3)

(1) 内部ブロック図



(2) 内部ユニット

(a) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット），バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し，複雑な命令処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，内部の命令キューに取り込まれます。

(c) ROM

00000000H番地からマッピングされる512 KバイトのマスクROMまたはフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

(d) RAM

FFFF9000H番地からマッピングされる24 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア，および外部からのハードウェア割り込み要求（NMI, INTP0-INTP9）を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，割り込み要因に対して多重処理制御ができます。

(f) クロック・ジェネレータ (CG)

メイン・クロック（ f_{xx} ）用とサブクロック（ f_{xt} ）用の2種類の発振回路を内蔵しています。5種類（ f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, f_{xt} ）のクロックを生成して，そのうちの1つをCPUの動作クロック（ f_{CPU} ）として供給します。

(g) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタを10チャンネル内蔵しています。パルス間隔や周波数の計測，プログラマブルなパルスの出力ができます。

(h) 時計用タイマ

サブクロック（32.768 kHz）またはメイン・クロック（8.388 MHz）から時計カウント用の基準時間（0.5秒）をカウントします。メイン・クロックによるインターパル・タイマとしても同時に使用できます。

(i) ウォッチドッグ・タイマ

プログラムの暴走、システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。インターバル・タイマとしても使用できます。

ウォッチドッグ・タイマとして使用する場合は、オーバフローでノンマスカブル割り込み要求 (INTWDT) が発生します。インターバル・タイマとして使用する場合は、オーバフローでマスカブル割り込み要求 (INTWDTM) が発生します。

(j) シリアル・インタフェース (SIO)

V850/SC3には、シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェース (UARTm)、3線式シリアルI/O (CSIn)、I²Cバス・インタフェース (I²Cx) を内蔵して、最大8チャンネルを同時に使用できます。このうち2チャンネルはUARTとCSIの切り替えが可能、別の2チャンネルはCSIとI²Cの切り替えができます。

UARTmは、TXDm, RXDm端子によりデータ転送を行います。

CSInは、SON, SIn, SCKn端子によりデータ転送を行います。

I²Cxは、SDAx, SCLx端子によりデータ転送を行います。

UARTとCSI4は専用ポー・レート・ジェネレータを内蔵しています。

備考 m = 0-3

n = 0, 2-6

x = 0, 1

(k) A/Dコンバータ

12本のアナログ入力端子を持つ高速、高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

(l) DMAコントローラ

6チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて、内蔵RAMと内蔵周辺I/O間でデータを転送します。

(m) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	ポート機能	制御機能
ポート0	8ビット入出力	汎用ポート	NMI, 外部割り込み, A/Dコンバータ・トリガ
ポート1	8ビット入出力		シリアル・インタフェース, タイマ入出力
ポート2	8ビット入出力		シリアル・インタフェース, タイマ入出力
ポート3	8ビット入出力		タイマ入出力, 外部アドレス・バス, 外部割り込み
ポート4	8ビット入出力		外部アドレス/データ・バス
ポート5	8ビット入出力		
ポート6	6ビット入出力		外部アドレス・バス
ポート7	8ビット入力		A/Dコンバータ・アナログ入力
ポート8	4ビット入力		
ポート9	7ビット入出力		外部バス・インタフェース制御信号入出力
ポート10	8ビット入出力		タイマ入出力, キー・リターン入力, 外部アドレス・バス
ポート11	8ビット入出力		ウェイト制御, FCANデータ入出力, 外部アドレス・バス
ポート12	8ビット入出力		シリアル・インタフェース, タイマ出力
ポート13	4ビット入出力		-
ポート14	8ビット入出力		シリアル・インタフェース, タイマ入力
ポート15	8ビット入出力		シリアル・インタフェース, タイマ入出力
ポート17	7ビット入出力		V _{DD0} = 4.5 V モニタ出力

(n) FCANコントローラ

FCANコントローラは、ユニット間のデータ転送を行うことを目的とした小規模のデジタル・データ伝送システムです。

μ PD703089Y, 70F3089Yは2チャンネル (FCAN1, FCAN2) 内蔵しています。

μ PD703088Yは1チャンネル (FCAN1) 内蔵しています。

第2章 端子機能

2.1 端子機能一覧

V850/SC1, V850/SC2, V850/SC3の端子名称と機能をポート端子とそれ以外の端子に分けて説明します。

端子の入出力バッファ電源には, PORTV_{DD0}-PORTV_{DD2}, V_{DD0}, V_{DD1}, ADCV_{DD}の6系統があります。それぞれの電源と端子の関係を次に示します。

★

表2 - 1 各端子の入出力バッファ電源

(a) μ PD70F3089Yの場合

電 源	対応する端子	使用可能な電圧範囲
PORTV _{DD0} ^{注1}	P40-P47, P50-P57, P60-P65, P90-P96, CLKOUT	3.0 V PORTV _{DD0} 5.5 V
PORTV _{DD1} ^{注1}	P00-P03, P10-P17, P30-P37, P100-P107, P110-P117	3.0 V PORTV _{DD1} 5.5 V ^{注2}
PORTV _{DD2} ^{注1}	P04-P07, P20-P27, P120-P127, P130-P133, P140-P147, P150-P157	3.0 V PORTV _{DD2} 5.5 V ^{注2}
V _{DD0}	RESET	A/Dコンバータ未使用時 : 4.0 V V _{DD0} 5.5 V A/Dコンバータ使用時 : 4.5 V V _{DD0} = ADCV _{DD} 5.5 V
V _{DD1}	P170-P176	4.0 V V _{DD1} 5.5 V
ADCV _{DD}	P70-P77, P80-P83	A/Dコンバータ未使用時 : 4.0 V ADCV _{DD} 5.5 V A/Dコンバータ使用時 : 4.5 V V _{DD0} = ADCV _{DD} 5.5 V

(b) μ PD70F3089Y以外の場合

電 源	対応する端子	使用可能な電圧範囲
PORTV _{DD0} ^{注1}	P40-P47, P50-P57, P60-P65, P90-P96, CLKOUT	3.0 V PORTV _{DD0} 5.5 V
PORTV _{DD1} ^{注1}	P00-P03, P10-P17, P30-P37, P100-P107, P110-P117	3.0 V PORTV _{DD1} 5.5 V ^{注2}
PORTV _{DD2} ^{注1}	P04-P07, P20-P27, P120-P127, P130-P133, P140-P147, P150-P157	3.0 V PORTV _{DD2} 5.5 V ^{注2}
V _{DD0}	RESET	A/Dコンバータ未使用時 : 3.5 V V _{DD0} 5.5 V A/Dコンバータ使用時 : 4.5 V V _{DD0} = ADCV _{DD} 5.5 V
V _{DD1}	P170-P176	3.5 V V _{DD1} 5.5 V
ADCV _{DD}	P70-P77, P80-P83	A/Dコンバータ未使用時 : 3.5 V ADCV _{DD} 5.5 V A/Dコンバータ使用時 : 4.5 V V _{DD0} = ADCV _{DD} 5.5 V

注1. 動作周波数が4-17 MHzの場合と, 4-20 MHzの場合とでは電気的特性が異なります。

2. FCANコントローラ使用時 : PORTV_{DD1} PORTV_{DD2} (インサーキット・エミュレータの電源電圧条件のため)

注意 各電源の条件は次のようになります。

PORTV_{DD0} PORTV_{DD1} PORTV_{DD2} V_{DD0} = V_{DD1} = ADCV_{DD}

V850/SC1, V850/SC2, V850/SC3の端子の違いについて次に示します。

表2 - 2 V850/SC1, V850/SC2, V850/SC3の端子の違い

端子	V850/SC1		V850/SC2		V850/SC3		
	μ PD703068Y	μ PD70F3089Y	μ PD703069Y	μ PD70F3089Y	μ PD703088Y	μ PD703089Y	μ PD70F3089Y
V _{PP}	なし	あり	なし	あり	なし		あり
A1-A15	あり				なし		
IETX0	なし		あり		なし		
IERX0	なし		あり		なし		
CANTX1, CANRX1	なし				あり		
CANTX2, CANRX2	なし				なし	あり	

(1) ポート端子

(1/4)

端子名称	入出力	PULL	機能	兼用端子
P00	入出力	なし	ポート0 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	NMI
P01				INTP0
P02				INTP1
P03				INTP2
P04				INTP3
P05				INTP4/ADTRG
P06				INTP5
P07				INTP6
P10	入出力	なし	ポート1 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 P10, P12のみN-chオープン・ドレインに指定が可能	SI0/SDA0
P11				SO0
P12				SCK0/SCL0
P13				SI4/RXD0
P14				SO4/TXD0
P15				SCK4/ASCK0
P16				-
P17				TI5/TO5
P20	入出力	なし	ポート2 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 P20, P22のみN-chオープン・ドレインに指定が可能	SI2/SDA1
P21				SO2
P22				SCK2/SCL1
P23				TI90
P24				TI91
P25				TO9
P26				IERX0 ^{注1}
P27				IETX0 ^{注1}
P30	入出力	なし	ポート3 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	TI6/TO6
P31				TI80
P32				TI81
P33				TO8
P34				TI71/A13 ^{注2}
P35				INTP7/A14 ^{注2}
P36				INTP8/A15 ^{注2}
P37				INTP9

注1. V850/SC2のみ

2. V850/SC1, V850/SC2のみ

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機能	兼用端子
P40	入出力	なし	ポート4 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能	AD0
P41				AD1
P42				AD2
P43				AD3
P44				AD4
P45				AD5
P46				AD6
P47				AD7
P50	入出力	なし	ポート5 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能	AD8
P51				AD9
P52				AD10
P53				AD11
P54				AD12
P55				AD13
P56				AD14
P57				AD15
P60	入出力	なし	ポート6 6ビット入出力ポート 1ビット単位で入力/出力の指定が可能	A16
P61				A17
P62				A18
P63				A19
P64				A20
P65				A21
P70	入力	なし	ポート7 8ビット入力ポート	ANI0
P71				ANI1
P72				ANI2
P73				ANI3
P74				ANI4
P75				ANI5
P76				ANI6
P77				ANI7
P80	入力	なし	ポート8 4ビット入力ポート	ANI8
P81				ANI9
P82				ANI10
P83				ANI11
P90	入出力	なし	ポート9 7ビット入出力ポート 1ビット単位で入力/出力の指定が可能	LBEN/WRL ^注
P91				UBEN
P92				R ^注 /W ^注 /WRH ^注
P93				DSTB/RD ^注
P94				ASTB
P95				HLDK
P96				HLDQR

注 V850/SC1, V850/SC2のみ

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機 能	兼用端子
P100	入出力	あり	ポート10 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	KR0/TO7/A5 ^{注1}
P101				KR1/TI70/A6 ^{注1}
P102				KR2/TI00/A7 ^{注1}
P103				KR3/TI01/A8 ^{注1}
P104				KR4/TO0/A9 ^{注1}
P105				KR5/TI10/A10 ^{注1}
P106				KR6/TI11/A11 ^{注1}
P107				KR7/TO1/A12 ^{注1}
P110	入出力	なし	ポート11 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	WAIT/A1 ^{注1}
P111				A2 ^{注1}
P112				A3 ^{注1}
P113				A4 ^{注1}
P114				CANTX1 ^{注2}
P115				CANRX1 ^{注2}
P116				CANTX2 ^{注3}
P117				CANRX2 ^{注3}
P120	入出力	なし	ポート12 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	SCK5
P121				SI5
P122				SO5
P123				SCK6
P124				SI6
P125				SO6
P126				TO10
P127				TO11
P130	入出力	なし	ポート13 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	-
P131				-
P132				-
P133				-
P140	入出力	なし	ポート14 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	SI3/RXD1
P141				SO3/TXD1
P142				SCK3/ASCK1
P143				RXD2
P144				TXD2
P145				ASCK2
P146				TI100
P147				TI101

注1. V850/SC1, V850/SC2のみ

2. V850/SC3のみ

3. μ PD703089Y, 70F3089Yのみ

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機 能	兼用端子
P150	入出力	なし	ポート15 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	RXD3
P151				TXD3
P152				ASCK3
P153				TI110
P154				TI111
P155				TO12
P156				TI120
P157				TI121
P170				入出力
P171	-			
P172	-			
P173	-			
P174	-			
P175	-			
P176	VM45			

備考 PULL : 内蔵プルアップ抵抗

(2) ポート以外の端子

(1/4)

端子名称	入出力	PULL	機能	兼用端子	
A1	出力	なし	外部にメモリを拡張する場合の下位アドレス・バス (V850/SC1, V850/SC2のみ)	P110/WAIT	
A2-A4				P111-P113	
A5				あり	P100/KR0/TO7
A6					P101/KR1/TI70
A7					P102/KR2/TI00
A8					P103/KR3/TI01
A9					P104/KR4/TO0
A10					P105/KR5/TI10
A11				P106/KR6/TI11	
A12				P107/KR7/TO1	
A13				なし	P34/TI71
A14					P35/INTP7
A15		P36/INTP8			
A16-A21		出力		なし	外部にメモリを拡張する場合の上位アドレス・バス
AD0-AD15	入出力	なし	外部にメモリを拡張する場合の16ビット・アドレス/データ・マルチプレクスト・バス	P40-P47, P50-P57	
ADCGND	-	-	A/Dコンバータ用グラウンド電位	-	
ADCV _{DD}	-	-	A/Dコンバータ用電源供給端子および基準電圧端子	-	
ADTRG	入力	なし	A/Dコンバータ外部トリガ入力	P05/INTP4	
ANI0-ANI11	入力	なし	A/Dコンバータへのアナログ入力	P70-P77, P80-P83	
ASCK0	入力	なし	UART0のボー・レート・クロック入力	P15/SCK4	
ASCK1			UART1のボー・レート・クロック入力	P142/SCK3	
ASCK2			UART2のボー・レート・クロック入力	P145	
ASCK3			UART3のボー・レート・クロック入力	P152	
ASTB	出力	なし	外部アドレス・ストロープ信号出力	P94	
CANRX1	入力	なし	CAN1受信データ入力 ^{注1}	P115	
CANRX2			CAN2受信データ入力 ^{注2}	P117	
CANTX1			出力	CAN1送信データ出力 ^{注1}	P114
CANTX2				CAN2送信データ出力 ^{注2}	P116
CLKOUT	出力	-	内部システム・クロック出力	-	
CPUREG	-	-	レギュレータ出力安定容量接続	-	
DSTB	出力	なし	外部データ・ストロープ信号出力	P93/RD ^{注3}	
GND0-GND2	-	-	グラウンド電位	-	
HLD $\overline{\text{AK}}$	出力	なし	バス・ホールド・アクノリッジ出力	P95	
HLD $\overline{\text{RQ}}$	入力		バス・ホールド要求入力	P96	
I $\overline{\text{ERX0}}$	入力	なし	IEBusデータ入力 (V850/SC2のみ)	P26	
I $\overline{\text{ETX0}}$	出力		IEBusデータ出力 (V850/SC2のみ)	P27	

注1. V850/SC3のみ

2. μ PD703089Y, 70F3089Yのみ

3. V850/SC1, V850/SC2のみ

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機能	兼用端子		
INTP0-INTP3	入力	なし	外部割り込み要求入力 (アナログ・ノイズ除去)	P01-P04		
INTP4			外部割り込み要求入力 (デジタル・ノイズ除去)	P05/ADTRG		
INTP5				P06		
INTP6			外部割り込み要求入力 (リモコン対応デジタル・ノイズ除去)	P07		
INTP7			外部割り込み要求入力 (アナログ・ノイズ除去)	P35/A14 ^{注1}		
INTP8				P36/A15 ^{注1}		
INTP9				P37		
KR0			入力	あり	キー・リターン入力	P100/A5 ^{注1} /TO7
KR1						P101/A6 ^{注1} /TI70
KR2	P102/A7 ^{注1} /TI00					
KR3	P103/A8 ^{注1} /TI01					
KR4	P104/A9 ^{注1} /TO0					
KR5	P105/A10 ^{注1} /TI10					
KR6	P106/A11 ^{注1} /TI11					
KR7	P107/A12 ^{注1} /TO1					
LBEN	出力	なし	外部データ・バスの下位バイト・イネーブル信号出力	P90/WRL ^{注1}		
MODE	-	-	動作モードを指定 (μ PD70F3089Y以外)	V _{PP} ^{注2}		
NMI	入力	なし	ノンマスク割り込み要求入力 (アナログ・ノイズ除去)	P00		
PORTGND0	-	-	ポート用グランド電位	-		
PORTGND1				-		
PORTV _{DD0}	-	-	ポート用正電源 (P40-P47, P50-P57, P60-P65, P90-P96, CLKOUT)	-		
PORTV _{DD1}	-	-	ポート用正電源 (P00-P03, P10-P17, P30-P37, P100-P107, P110-P117)	-		
PORTV _{DD2}	-	-	ポート用正電源 (P04-P07, P20-P27, P120-P127, P130-P133, P140-P147, P150-P157)	-		
R/W	出力	なし	外部リード/ライト・ステータス出力	P92/WRH ^{注1}		
RD	出力	なし	リード・ストロープ信号出力 (V850/SC1, V850/SC2のみ)	P93/DSTB		
RESET	入力	-	システム・リセット入力	-		
RXD0	入力	なし	UART0, UART1, UART2, UART3のシリアル受信データ入力	P13/SI4		
RXD1				P140/SI3		
RXD2				P143		
RXD3				P150		
SCK0	入出力	なし	CSI0, CSI2, CSI3のシリアル・クロック入出力 (3線式)	P12/SCL0		
SCK2				P22/SCL1		
SCK3				P142/ASCK1		
SCK4			可変長CSI4のシリアル・クロック入出力 (3線式)	P15/ASCK0		
SCK5			CSI5, CSI6のシリアル・クロック入出力 (3線式)	P120		
SCK6				P123		

注1. V 850/SC1, V850/SC2のみ

2. μ PD70F3089Yのみ

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機能	兼用端子	
SCL0	入出力	なし	I ² C0のシリアル・クロック入出力	P12/SCK0	
SCL1			I ² C1のシリアル・クロック入出力	P22/SCK2	
SDA0	入出力	なし	I ² C0のシリアル送受信データ入出力	P10/SI0	
SDA1			I ² C1のシリアル送受信データ入出力	P20/SI2	
SI0	入力	なし	CSI0, CSI2, CSI3のシリアル受信データ入力 (3線式)	P10/SDA0	
SI2				P20/SDA1	
SI3				P140/RXD1	
SI4	入力	なし	可変長CSI4のシリアル受信データ入力 (3線式) CSI5, CSI6のシリアル受信データ入力 (3線式)	P13/RXD0	
SI5				P121	
SI6				P124	
SO0	出力	なし	CSI0, CSI2, CSI3のシリアル送信データ出力 (3線式)	P11	
SO2				P21	
SO3				P141/TXD1	
SO4	出力	なし	可変長CSI4のシリアル送信データ出力 (3線式)	P14/TXD0	
SO5		なし	CSI5, CSI6のシリアル送信データ出力 (3線式)	P122	
SO6		なし		P125	
TI00	入力	あり	TM0の外部カウント・クロック入力 / TM0の外部キャプチャ・トリガ入力	P102/A7 ^注 /KR2	
TI01			TM0の外部キャプチャ・トリガ入力	P103/A8 ^注 /KR3	
TI10			TM1の外部カウント・クロック入力 / TM1の外部キャプチャ・トリガ入力	P105/A10 ^注 /KR5	
TI11			TM1の外部キャプチャ・トリガ入力	P106/A11 ^注 /KR6	
TI100		なし	なし	TM10の外部カウント・クロック入力 / TM10の外部キャプチャ・トリガ入力	P146
TI101				TM10の外部キャプチャ・トリガ入力	P147
TI110		なし	なし	TM11の外部カウント・クロック入力 / TM11の外部キャプチャ・トリガ入力	P153
TI111				TM11の外部キャプチャ・トリガ入力	P154
TI120				なし	なし
TI121		TM12の外部キャプチャ・トリガ入力	P157		
TI5		なし	なし	TM5, TM6の外部カウント・クロック入力	P17/TO5
TI6	P30/TO6				
TI70	あり	あり	TM7の外部カウント・クロック入力 / TM7の外部キャプチャ・トリガ入力	P101/A6 ^注 /KR1	
TI71			TM7の外部キャプチャ・トリガ入力	P34/A13 ^注	
TI80	なし	なし	TM8の外部カウント・クロック入力 / TM8の外部キャプチャ・トリガ入力	P31	
TI81			TM8の外部キャプチャ・トリガ入力	P32	
TI90	なし	なし	TM9の外部カウント・クロック入力 / TM9の外部キャプチャ・トリガ入力	P23	

注 V850/SC1, V850/SC2のみ

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機能	兼用端子		
TI91	入力	なし	TM9の外部キャプチャ・トリガ入力	P24		
TO0	出力	あり	TM0, TM1, TM10-TM12, TM5のパルス信号出力	P104/A9 ^{注1} /KR4		
TO1				P107/A12 ^{注1} /KR7		
TO10				P126		
TO11		P127				
TO12		P155				
TO5		P17/TI5				
TO6		なし		あり	TM6-TM9のパルス信号出力	P30/TI6
TO7						P100/A5 ^{注1} /KR0
TO8						P33
TO9						P25
TXD0	出力	なし	UART0, UART1, UART2, UART3のシリアル送信データ出力	P14/SO4		
TXD1				P141/SO3		
TXD2				P144		
TXD3				P151		
UBEN	出力	なし	外部データ・バスの上位バイト・イネーブル信号出力	P91		
VDD0	-	-	正電源供給端子 (RESET)	-		
VDD1	-	-	正電源供給端子 (P170-P176)	-		
VM45	出力	なし	VDD0 = 4.5 V モニタ出力	P176		
VPP	-	-	プログラム書き込み / ベリファイ時の高電圧印加端子 (μ PD70F3089Yのみ)	MODE ^{注2}		
WAIT	入力	なし	バス・サイクルにウエイトを挿入する制御信号入力	P110/A1 ^{注1}		
WRH	出力	なし	外部データ・バスの上位バイト・ライト・ストロープ信号出力 (V850/SC1, V850/SC2のみ)	P92/RW		
WRL			外部データ・バスの下位バイト・ライト・ストロープ信号出力 (V850/SC1, V850/SC2のみ)	P90/LBEN		
X1	入力	-	メイン・クロック用発振子接続	-		
X2	-			-		
XT1	入力	-	サブクロック用発振子接続	-		
XT2	-			-		

注1. V850/SC1, V850/SC2のみ

2. μ PD70F3089Y以外

備考 PULL : 内蔵プルアップ抵抗

2.2 端子状態

動作モードによる各端子の動作状態を次に示します。

★ 表2-3 動作モードによる各端子の動作状態

端子	動作状態	リセット ^{注1}	HALTモード/ アイドル・ステート	IDLEモード/ STOPモード	バス・ ホールド	バス・サイクル 非活性 ^{注2}
AD0-AD15		Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
A1-A15		Hi-Z	保持	保持	保持	保持 ^{注3}
A16-A21		Hi-Z	保持	Hi-Z	Hi-Z	保持 ^{注3}
$\overline{\text{LBEN}}, \overline{\text{UBEN}}$		Hi-Z	保持	Hi-Z	Hi-Z	保持 ^{注3}
$\overline{\text{R/W}}$		Hi-Z	H	Hi-Z	Hi-Z	H
$\overline{\text{DSTB}}, \overline{\text{WRL}}, \overline{\text{WRH}}, \overline{\text{RD}}$		Hi-Z	H	Hi-Z	Hi-Z	H
$\overline{\text{ASTB}}$		Hi-Z	H	Hi-Z	Hi-Z	H
$\overline{\text{HLDRQ}}$		-	動作	-	動作	動作
$\overline{\text{HLDAK}}$		Hi-Z	動作	Hi-Z	L	動作
$\overline{\text{WAIT}}$		-	-	-	-	-
$\overline{\text{CLKOUT}}$		Hi-Z	動作 ^{注4}	L	動作 ^{注4}	動作 ^{注4}

注1. リセット時、各端子（CLKOUT端子を除く）は、ポート端子（入力モード）

2. バス・サイクル非活性タイミングは、外部拡張モードにおいてプログラム・カウンタ（PC）が内部メモリ領域を指定している状態
3. ・リセット解除後に外部拡張モードに設定し、外部メモリ領域に1回もアクセスしていないとき：不定
・外部メモリ領域にアクセスしたあとのバス・サイクル非活性時、または外部拡張モード解除後に再び外部拡張モードに設定し、外部メモリ領域に1回もアクセスしていないとき：外部メモリ領域に最後にアクセスした外部バス・サイクルの状態を保持
4. クロック出力インヒビット・モード時はロウ・レベル（L）

備考 Hi-Z : ハイ・インピーダンス

保持 : 直前の外部バス・サイクルでの状態を保持

L : ロウ・レベル出力

H : ハイ・レベル出力

- : 入力非サンプリング

2.3 端子機能の説明

(1) P00-P07 (Port0) ... 3ステート入出力

ポート0は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P00-P07は入出力ポートとして機能するほか、NMI入力、外部割り込み要求入力、A/Dコンバータの外部トリガとして動作します。EGP0レジスタとEGN0レジスタで端子の有効エッジを指定します。

(a) ポート機能

P00-P07はポート0モード・レジスタ (PM0) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能

(i) NMI (Non-maskable Interrupt Request) ... 入力

ノンマスカブル割り込み要求信号入力端子です。

(ii) INTP0-INTP6 (Interrupt Request From Peripherals) ... 入力

外部割り込み要求入力端子です。

(iii) ADTRG (A/D Trigger Input) ... 入力

A/Dコンバータの外部トリガ入力端子です。A/Dコンバータ・モード・レジスタ1 (ADM1) で制御します。

(2) P10-P17 (Port 1) ... 3ステート入出力

ポート1は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P10-P17は入出力ポートとして機能するほか、シリアル・インタフェースの入出力、タイマ/カウンタの入出力として動作します。

P10, P12は、通常出力とN-chオープン・ドレイン出力を選択できます。

(a) ポート機能

P10-P17はポート1モード・レジスタ (PM1) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能

(i) SI0, SI4 (Serial Input0, 4) ... 入力

CSI0, CSI4のシリアル受信データ入力端子です。

(ii) SO0, SO4 (Serial Output0, 4) ... 出力

CSI0, CSI4のシリアル送信データ出力端子です。

(iii) SCK0, SCK4 (Serial Clock0, 4) ... 3ステート入出力

CSI0, CSI4のシリアル・クロック入出力端子です。

(iv) SDA0 (Serial Data0) ... 入出力

I²C0のシリアル送受信データ入出力端子です。

(v) SCL0 (Serial Clock0) ... 入出力

I²C0のシリアル・クロック入出力端子です。

(vi) RXD0 (Receive Data0) ... 入力

UART0のシリアル受信データ入力端子です。

(vii) TXD0 (Transmit Data0) ... 出力

UART0のシリアル送信データ出力端子です。

(viii) ASCK0 (Asynchronous Serial Clock0) ... 入力

UART0のシリアル・ポー・レート・クロック入力端子です。

(ix) TI5 (Timer Input5) ... 入力

タイマ5の外部カウント・クロック入力端子です。

(x) TO5 (Timer Output5) ... 出力

タイマ5のパルス信号出力端子です。

(3) P20-P27 (Port 2) ... 3ステート入出力

ポート2は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P20-P27は入出力ポートとして機能するほか、シリアル・インタフェースの入出力、タイマ/カウンタの入出力、IEBusのデータ入出力として動作します。

(a) ポート機能

P20-P27はポート2モード・レジスタ (PM2) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能**(i) SI2 (Serial Input2) ... 入力**

CSI2のシリアル受信データ入力端子です。

(ii) SO2 (Serial Output2) ... 出力

CSI2のシリアル送信データ出力端子です。

(iii) $\overline{\text{SCK2}}$ (Serial Clock2) ... 3ステート入出力

CSI2のシリアル・クロック入出力端子です。

(iv) SDA1 (Serial Data1) ... 入出力

I²C1のシリアル送受信データ入出力端子です。

(v) SCL1 (Serial clock1) ... 入出力

I²C1のシリアル・クロック入出力端子です。

(vi) TI90 (Timer Input90) ... 入力

タイマ9の外部カウント・クロック入力および外部キャプチャ・トリガ入力端子です。

(vii) TI91 (Timer Input91) ... 入力

タイマ9の外部キャプチャ・トリガ入力端子です。

(viii) TO9 (Timer Output9) ... 出力

タイマ9のパルス信号出力端子です。

(ix) $\overline{\text{IERX0}}$ (IEBus Receive Data) ... 入力

IEBusデータ入力信号です。

$\overline{\text{IERX0}}$ はV850/SC2のみ有効です。

(x) $\overline{\text{IETX0}}$ (IEBus Transmit Data) ... 出力

IEBusデータ出力信号です。

$\overline{\text{IETX0}}$ はV850/SC2のみ有効です。

(4) P30-P37 (Port 3) ... 3ステート入出力

ポート3は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P30-P37は入出力ポートとして機能するほか、タイマ/カウンタの入出力、メモリを外部に拡張する場合のアドレス・バス (A13-A15)、外部割り込み要求入力として動作します。

(a) ポート機能

P30-P37はポート3モード・レジスタ (PM3) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能

(i) TI6 (Timer Input6) ... 入力

タイマ6の外部カウント・クロック入力端子です。

(ii) TI71 (Timer Input71) ... 入力

タイマ7の外部キャプチャ・トリガ入力端子です。

(iii) TI80 (Timer Input80) ... 入力

タイマ8の外部カウント・クロック入力および外部キャプチャ・トリガ入力端子です。

(iv) TI81 (Timer Input81) ... 入力

タイマ8の外部キャプチャ・トリガ入力端子です。

(v) TO6, TO8 (Timer Output6, 8) ... 出力

タイマ6, 8のパルス信号出力端子です。

(vi) A13-A15 (Address13-15) ... 出力

外部アクセス時のアドレス・バスで、22ビット・アドレスのA13-A15ビット・アドレス出力端子です。出力は、バス・サイクルのT1ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルのアドレスを保持します。

A13-A15はV850/SC1, V850/SC2のみ有効です。

(vii) INTP7-INTP9 (Interrupt Request From Peripherals) ... 入力

外部割り込み要求入力端子です。

(5) P40-P47 (Port 4) ... 3ステート入出力

ポート4は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P40-P47は入出力ポートとして機能するほか、メモリを外部に拡張する場合の時分割アドレス/データ・バス (AD0-AD7) として動作します。

(a) ポート機能

P40-P47はポート4モード・レジスタ (PM4) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能 (外部拡張モード)

P40-P47は、メモリ拡張モード・レジスタ (MM) により、AD0-AD7に指定できます。

(i) AD0-AD7 (Address/Data0-7) ... 3ステート入出力

外部アクセス時のアドレス/データのマルチプレクスト・バスです。アドレス・タイミング (T1ステート) では22ビット・アドレスのAD0-AD7出力端子となり、データ・タイミング (T2, TW, T3) では16ビット・データの下位8ビット入出力バス端子となります。出力は、バス・サイクルの各ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、ハイ・インピーダンスとなります。

(6) P50-P57 (Port 5) ... 3ステート入出力

ポート5は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P50-P57は入出力ポートとして機能するほか、メモリを外部に拡張する場合の時分割アドレス/データ・バス (AD8-AD15) として動作します。

(a) ポート機能

P50-P57はポート5モード・レジスタ (PM5) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能 (外部拡張モード)

P50-P57はメモリ拡張モード・レジスタ (MM) により、AD8-AD15に指定できます。

(i) AD8-AD15 (Address/Data8-15) ... 3ステート入出力

外部アクセス時のアドレス/データのマルチプレクスト・バスです。アドレス・タイミング (T1ステート) では22ビット・アドレスのAD8-AD15出力端子となり、データ・タイミング (T2, TW, T3) では16ビット・データの上位8ビット入出力バス端子となります。出力は、バス・サイクルの各ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、ハイ・インピーダンスとなります。

(7) P60-P65 (Port 6) ... 3ステート入出力

ポート6は、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

P60-P65は入出力ポートとして機能するほか、メモリを外部に拡張する場合のアドレス・バス (A16-A21) として動作します。ポート6に8ビット・アクセスした場合の上位2ビットはライト時は無視され、リード時は00が読み出されます。

(a) ポート機能

P60-P65はポート6モード・レジスタ (PM6) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能 (外部拡張モード)

P60-P65はメモリ拡張モード・レジスタ (MM) により、A16-A21に指定できます。

(i) A16-A21 (Address16-21) ... 出力

外部アクセス時のアドレス・バスで、22ビット・アドレスの上位6ビット・アドレス出力端子です。出力は、バス・サイクルのT1ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルのアドレスを保持します。

(8) P70-P77 (Port 7), P80-P83 (Port 8) ... 入力

ポート7は、全端子が入力に固定の8ビットの入力専用ポートです。ポート8は、全端子が入力に固定の4ビットの入力専用ポートです。

P70-P77, P80-P83は入力ポートとして機能するほか、兼用機能ではA/Dコンバータのアナログ入力として動作します。ただし、入力ポートとアナログ入力端子は切り替えられません。

(a) ポート機能

P70-P77, P80-P83は入力専用です。

(b) 兼用機能

P70-P77はANI0-ANI7端子と、P80-P83はANI8-ANI11端子と兼用になっていますが、切り替えはできません。

(i) ANI0-ANI11 (Analog Input0-11) ... 入力

A/Dコンバータへのアナログ入力端子です。

ノイズによる誤動作を防ぐため、 ADC_{VDD} と $ADCGND$ との間にコンデンサを接続してください。また、A/Dコンバータへの入力に使用している端子には、 $ADCGND-ADC_{VDD}$ の範囲外の電圧が加わらないようにしてください。 ADC_{VDD} 以上、 $ADCGND$ 以下のノイズが入る可能性がある場合は、 V_F の小さいダイオードでクランプしてください。

(9) P90-P96 (Port 9) ... 3ステート入出力

ポート9は、1ビット単位で入力または出力を設定できる7ビットの入出力ポートです。

P90-P96は入出力ポートとして機能するほか、メモリを外部に拡張する場合の制御信号出力、バス・ホールド制御信号出力として動作します。

ポート9に8ビット・アクセスした場合の上位1ビットは、ライト時は無視され、リード時は0が読み出されます。

(a) ポート機能

P90-96はポート9モード・レジスタ (PM9) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能 (外部拡張モード)

P90-P96はメモリ拡張モード・レジスタ (MM) により、メモリを外部に拡張する場合の制御信号出力として動作します。

(i) \overline{LBEN} (Lower Byte Enable) ... 出力

外部16ビット・データ・バスの下位バイト・イネーブル信号出力端子です。奇数アドレスへのバイト・アクセス時はインアクティブ (ハイ・レベル) になります。出力は、バス・サイクルのT1ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルの状態を保持します。

(ii) \overline{UBEN} (Upper Byte Enable) ... 出力

外部16ビット・データ・バスの上位バイト・イネーブル信号出力端子です。偶数アドレスへのバイト・アクセス時はインアクティブ (ハイ・レベル) になります。出力は、バス・サイクルのT1ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルの状態を保持します。

アクセス		\overline{UBEN}	\overline{LBEN}	AD0
ワード・アクセス		0	0	0
ハーフワード・アクセス		0	0	0
バイト・アクセス	偶数アドレス	1	0	0
	奇数アドレス	0	1	1

(iii) \overline{RW} (Read/Write Status) ... 出力

外部アクセス時のバス・サイクルが、リード・サイクルかライト・サイクルかを示すステータス信号出力端子です。リード・サイクルではハイ・レベル、ライト・サイクルではロウ・レベルになります。出力は、バス・サイクルのT1ステートの立ち上がり同期して変化します。バス・サイクルが非活性のタイミングでは、ハイ・レベルになります。

(iv) \overline{DSTB} (Data Strobe) ... 出力

外部データ・バスのアクセス・ストロブ信号出力端子です。出力はバス・サイクルのT2, TWステートの期間中アクティブ(ロウ・レベル)になります。バス・サイクルが非活性のタイミングではインアクティブ(ハイ・レベル)になります。

(v) \overline{ASTB} (Address Strobe) ... 出力

外部アドレス・バスのラッチ・ストロブ信号出力端子です。出力は、バス・サイクルのT1ステートの立ち下がり同期してアクティブ(ロウ・レベル)になり、T3ステートの立ち下がり同期してインアクティブ(ハイ・レベル)になります。バス・サイクルが非活性のタイミングでは、インアクティブになります。

(vi) \overline{HLDAK} (Hold Acknowledge) ... 出力

V850/SC1, V850/SC2, V850/SC3がバス・ホールド要求を受けて、アドレス・バス、データ・バス、制御バスをそれぞれハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、アドレス・バス、データ・バス、制御バスはハイ・インピーダンス状態になります。

(vii) \overline{HLDRQ} (Hold Request) ... 入力

外部デバイスがV850/SC1, V850/SC2, V850/SC3に対し、アドレス・バス、データ・バス、制御バスの解放を要求する入力端子です。この端子は、CLKOUTに対して非同期に入力できます。この端子がアクティブになると、V850/SC1, V850/SC2, V850/SC3は実行中のバス・サイクルがあればその終了後に、なければすぐにアドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にし、 \overline{HLDAK} 信号をアクティブにしてバスを解放します。

(viii) \overline{WRL} (Write Strobe Low Level Data) ... 出力

外部16ビット・データ・バスの下位データのライト・ストロブ信号出力端子です。

\overline{DSTB} と同じライト・サイクルで出力します。

\overline{WRL} はV850/SC1, V850/SC2のみ有効です。

(ix) \overline{WRH} (Write Strobe High Level Data) ... 出力

外部16ビット・データ・バスの上位データのライト・ストロブ信号出力端子です。

\overline{DSTB} と同じライト・サイクルで出力します。

\overline{WRH} はV850/SC1, V850/SC2のみ有効です。

(x) \overline{RD} (Read) ... 出力

外部16ビット・データ・バスのリード・ストロブ信号出力端子です。

\overline{RD} と同じリード・サイクルで出力します。

\overline{RD} はV850/SC1, V850/SC2のみ有効です。

(10) P100-P107 (Port 10) ... 3ステート入出力

ポート10は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P100-P107は入出力ポートとして機能するほか、タイマ/カウンタの入出力、キー・リターン入力、メモリを外部に拡張する場合のアドレス・バス (A5-A12) として動作します。

(a) ポート機能

P100-107はポート10モード・レジスタ (PM10) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能**(i) KR0-KR7 (Key Return0-7) ... 入力**

キー割り込み入力端子です。キー・リターン・モード・レジスタ (KRM) で動作を指定します。

(ii) TI00, TI10, TI70 (Timer Input00, 10, 70) ... 入力

タイマ0, 1, 7の外部カウント・クロック入力および外部キャプチャ・トリガ入力端子です。

(iii) TI01, TI11 (Timer Input01, 11) ... 入力

タイマ0, 1の外部キャプチャ・トリガ入力端子です。

(iv) TO0, TO1, TO7 (Timer Output0, 1, 7) ... 出力

タイマ0, 1, 7のパルス信号出力端子です。

(v) A5-A12 (Address5-12) ... 出力

外部アクセス時のアドレス・バスで、22ビット・アドレスのA5-A12ビット・アドレス出力端子です。出力は、バス・サイクルのT1ステートの立ち上がり同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルのアドレスを保持します。

A5-A12はV850/SC1, V850/SC2のみ有効です。

(11) P110-P117 (Port 11) ... 3ステート入出力

ポート11は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P110-P117は入出力ポートとして機能するほか、FCANのデータ入出力、バス・サイクルにウエイトを挿入する制御信号 (\overline{WAIT})、メモリを外部に拡張する場合のアドレス・バス (A1-A4) として動作します。

(a) ポート機能

P110-117はポート11モード・レジスタ (PM11) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能**(i) $\overline{\text{WAIT}}$ (Wait) ... 入力**

バス・サイクルにウエイトを挿入する制御信号入力端子です。バス・サイクルのT2, TWステータのクロックの立ち下がりですamplingされます。

ウエイト機能およびFCANの入出力機能のオン/オフは、ポート兼用機能コントロール・レジスタ (PAC) で行います。

(ii) CANRX1, CANRX2 (CAN Receive Data1, 2) ... 入力

CAN1, CAN2のデータ入力信号です。

CANRX1はV850/SC3のみ有効です。

CANRX2は μ PD703089Y, 70F3089Yのみ有効です。

(iii) CANTX1, CANTX2 (CAN Transmit Data1, 2) ... 出力

CAN1, CAN2のデータ出力信号です。

CANTX1はV850/SC3のみ有効です。

CANTX2は μ PD703089Y, 70F3089Yのみ有効です。

(iv) A1-A4 (Address1-4) ... 出力

外部アクセス時のアドレス・バスで、22ビット・アドレスの下位4ビット・アドレス出力端子です。出力は、バス・サイクルのT1ステータの立ち上がり同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルのアドレスを保持します。

A1-A4はV850/SC1, V850/SC2のみ有効です。

(12) P120-P127 (Port12) ... 3ステータ入出力

ポート12は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P120-P127は入出力ポートとして機能するほか、シリアル・インタフェースの入出力、タイマ/カウンタの出力として動作します。

(a) ポート機能

P120-P127はポート12モード・レジスタ (PM12) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能**(i) SI5, SI6 (Serial Input5, 6) ... 入力**

CSI5, CSI6のシリアル受信データ入力端子です。

(ii) SO5, SO6 (Serial Output5, 6) ... 出力

CSI5, CSI6のシリアル送信データ出力端子です。

(iii) $\overline{\text{SCK5}}$, $\overline{\text{SCK6}}$ (Serial Clock5, 6) ... 3ステータ入出力

CSI5, CSI6のシリアル・クロック入出力端子です。

(iv) TO10, TO11 (Timer Output10, 11) ... 出力

タイマ10, 11のパルス信号出力端子です。

(13) P130-P133 (Port13) ... 3ステート入出力

ポート13は, 1ビット単位で入力または出力を設定できる4ビットの入出力ポートです。

P130-P133は入出力ポートとして機能します。

(14) P140-P147 (Port14) ... 3ステート入出力

ポート14は, 1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P140-P147は入出力ポートとして機能するほか, シリアル・インタフェースの入出力, タイマ/カウンタの入力として動作します。

(a) ポート機能

P140-P147はポート14モード・レジスタ (PM14) により, ビット単位に入力または出力を設定できます。

(b) 兼用機能

(i) SI3 (Serial Input3) ... 入力

CSI3のシリアル受信データ入力端子です。

(ii) SO3 (Serial Output3) ... 出力

CSI3のシリアル送信データ出力端子です。

(iii) SCK3 (Serial Clock3) ... 3ステート入出力

CSI3のシリアル・クロック入出力端子です。

(iv) RXD1 (Receive Data1) ... 入力

UART1のシリアル受信データ入力端子です。

(v) TXD1 (Transmit Data1) ... 出力

UART1のシリアル送信データ出力端子です。

(vi) ASCK1 (Asynchronous Serial Clock1) ... 入力

UART1のシリアル・ボー・レート・クロック入力端子です。

(vii) TI100 (Timer Input100) ... 入力

タイマ10の外部カウント・クロック入力および外部キャプチャ・トリガ入力端子です。

(viii) TI101 (Timer Input101) ... 入力

タイマ10の外部キャプチャ・トリガ入力端子です。

(15) P150-P157 (Port15) ... 3ステート入出力

ポート15は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P150-P157は入出力ポートとして機能するほか、シリアル・インタフェースの入出力、タイマ/カウンタの入出力として動作します。

(a) ポート機能

P150-P157はポート15モード・レジスタ (PM15) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能**(i) RXD3 (Receive Data3) ... 入力**

UART3のシリアル受信データ入力端子です。

(ii) TXD3 (Transmit Data3) ... 出力

UART3のシリアル送信データ出力端子です。

(iii) ASCK3 (Asynchronous Serial Clock3) ... 入力

UART3のシリアル・ボー・レート・クロック入力端子です。

(iv) TI110 (Timer Input110) ... 入力

タイマ11の外部カウント・クロック入力および外部キャプチャ・トリガ入力端子です。

(v) TI111 (Timer Input111) ... 入力

タイマ11の外部キャプチャ・トリガ入力端子です。

(vi) TI120 (Timer Input120) ... 入力

タイマ12の外部カウント・クロック入力および外部キャプチャ・トリガ入力端子です。

(vii) TI121 (Timer Input121) ... 入力

タイマ12の外部キャプチャ・トリガ入力端子です。

(viii) TO12 (Timer Output12) ... 出力

タイマ12のパルス信号出力端子です。

(16) P170-P176 (Port17) ... 3ステート入出力

ポート17は、1ビット単位で入力または出力を設定できる7ビットの入出力ポートです。

P170-P176は入出力ポートとして機能するほか、 $V_{DD0} = 4.5\text{ V}$ モニタ出力として動作します。ポート17に8ビット・アクセスした場合の上位1ビットは、ライト時は無視され、リード時は0が読み出されます。

(a) ポート機能

P170-P176はポート17モード・レジスタ (PM17) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能**(i) VM45 ($V_{DD0} = 4.5\text{ V}$ Monitor Output) ... 出力**

$V_{DD0} = 4.5\text{ V}$ モニタの出力端子です。

(17) $\overline{\text{RESET}}$ (Reset) ... 入力

$\overline{\text{RESET}}$ 入力は非同期入力で、動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると、すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ/スタートのほかに、スタンバイ・モード (HALT, IDLE, STOP) の解除にも使用します。

(18) MODE (Mode)

μ PD70F3089Y以外用の端子です。通常動作モード時はGND0-GND2に接続してください。

(19) CLKOUT (Clock Output) ... 出力

内部で生成したバス・クロックを出力します。

(20) X1, X2 (Crystal)

メイン・クロック発生用の発振子接続端子です。

(21) XT1, XT2 (Crystal for Sub-clock)

サブクロック発生用の発振子接続端子です。

(22) ADCV_{DD} (Power Supply for Analog)

A/Dコンバータおよび兼用ポート用のアナログ正電源供給端子です。

A/Dコンバータ用の基準電圧端子を兼用しています。

(23) ADCGND (Ground for Analog)

A/Dコンバータおよび兼用ポート用のグラウンド端子です。

(24) CPUREG (Regulator Control)

CPU電源用レギュレータ端子です。1 μ F (推奨) のコンデンサを介してGND0-GND2に接続してください。

(25) PORTV_{DD0}-PORTV_{DD2} (Power Supply for Port)

入出力ポートおよび兼用機能端子用の正電源供給端子です。

(26) PORTGND0, PORTGND1 (Ground for Port)

入出力ポートおよび兼用機能端子用のグラウンド端子です (バス・インタフェース兼用ポートは除きます)。

(27) V_{DD0} , V_{DD1} (Power Supply)

正電源供給端子です。 V_{DD0} , V_{DD1} 端子を正電源に接続してください。

(28) GND0-GND2 (Ground)

グランド端子です。すべてのGND0-GND2端子をグランドに接続してください。

(29) V_{PP} (Programming Power Supply)

フラッシュ・メモリ・プログラミング・モード用の正電源供給端子です。

μ PD70F3089Y用の端子です。通常動作モード時は、GND0-GND2に接続してください。

2.4 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理

(1/3)

端子	兼用端子名	入出力回路タイプ	入出力バッファ電源	推奨接続方法
P00	NMI	8	PORTV _{DD1}	入力時：個別に抵抗を介してPORTV _{DD1} またはPORTGND0, PORTGND1に接続してください。 出力時：オープンにしてください。
P01-P03	INTP0-INTP2			
P04	INTP3		PORTV _{DD2}	
P05	INTP4/ADTRG			
P06, P07	INTP5, INTP6			
P10	SI0/SDA0	10	PORTV _{DD1}	入力時：個別に抵抗を介してPORTV _{DD1} またはPORTGND0, PORTGND1に接続してください。 出力時：オープンにしてください。
P11	SO0	5		
P12	SCK0/SCL0	10		
P13	SI4/RXD0	8		
P14	SO4/TXD0	5		
P15	SCK4/ASCK0	8		
P16	-	5		
P17	TI5/TO5	8		
P20	SI2/SDA1	10	PORTV _{DD2}	入力時：個別に抵抗を介してPORTV _{DD2} またはPORTGND0, PORTGND1に接続してください。 出力時：オープンにしてください。
P21	SO2	5		
P22	SCK2/SCL1	10		
P23, P24	TI90, TI91	8		
P25	TO9	5		
P26	I $\overline{\text{ERX0}}$ ^{注1}	8		
P27	I $\overline{\text{ETX0}}$ ^{注1}	5		
P30	TI6/TO6	8	PORTV _{DD1}	入力時：個別に抵抗を介してPORTV _{DD1} またはPORTGND0, PORTGND1に接続してください。 出力時：オープンにしてください。
P31, P32	TI80, TI81	5		
P33	TO8			
P34	TI71/A13 ^{注2}	8		
P35, P36	INTP7/A14 ^{注2} , INTP8/A15 ^{注2}	5		
P37	INTP9			
P40-P47	AD0-AD7	5	PORTV _{DD0}	入力時：個別に抵抗を介してPORTV _{DD0} またはPORTGND0, PORTGND1に接続してください。 出力時：オープンにしてください。
P50-P57	AD8-AD15		PORTV _{DD0}	
P60-P65	A16-A21		PORTV _{DD0}	
P70-P77	ANI0-ANI7	9	ADCV _{DD}	個別に抵抗を介してADCV _{DD} またはADCGNDに接続してください。
P80-P83	ANI8-ANI11	9	ADCV _{DD}	
P90	L $\overline{\text{BEN}}$ /WRL ^{注2}	5	PORTV _{DD0}	入力時：個別に抵抗を介してPORTV _{DD0} またはPORTGND0, PORTGND1に接続してください。 出力時：オープンにしてください。
P91	UBEN			
P92	R $\overline{\text{W}}$ /WRH ^{注2}			
P93	D $\overline{\text{STB}}$ /RD ^{注2}			

注1. V850/SC2のみ

2. V850/SC1, V850/SC2のみ

端子	兼用端子名	入出力回路 タイプ	入出力バッファ 電源	推奨接続方法
P94	ASTB	5	PORTV _{DD0}	入力時：個別に抵抗を介してPORTV _{DD0} またはPORTGND0, PORTGND1に接続してください。 出力時：オープンにしてください。
P95	HLD $\overline{\text{AK}}$			
P96	HLD $\overline{\text{RQ}}$			
P100	KR0/TO7/A5 ^{注1}	8-A	PORTV _{DD1}	入力時：個別に抵抗を介してPORTV _{DD1} またはPORTGND0, PORTGND1に接続してください。 PORTGND0, PORTGND1に接続する場合は、ソフトウェアで内蔵プルアップ抵抗を外してください。 出力時：オープンにしてください。
P101	KR1/TI70/A6 ^{注1}			
P102	KR2/TI00/A7 ^{注1}			
P103	KR3/TI01/A8 ^{注1}			
P104	KR4/TO0/A9 ^{注1}			
P105	KR5/TI10/A10 ^{注1}			
P106	KR6/TI11/A11 ^{注1}			
P107	KR7/TO1/A12 ^{注1}			
P110	WAIT/A1 ^{注1}	5	PORTV _{DD1}	入力時：個別に抵抗を介してPORTV _{DD1} またはPORTGND0, PORTGND1に接続してください。 出力時：オープンにしてください。
P111-P113	A2-A4 ^{注1}			
P114	CANTX1 ^{注2}			
P115	CANRX1 ^{注2}	8		
P116	CANTX2 ^{注3}	5		
P117	CANRX2 ^{注3}	8		
P120	SCK5	8	PORTV _{DD2}	入力時：個別に抵抗を介してPORTV _{DD2} またはPORTGND0, PORTGND1に接続してください。 出力時：オープンにしてください。
P121	SI5			
P122	SO5	5		
P123	SCK6	8		
P124	SI6			
P125	SO6	5		
P126, P127	TO10, TO11			
P130-P133	-	5	PORTV _{DD2}	入力時：個別に抵抗を介してPORTV _{DD2} またはPORTGND0, PORTGND1に接続してください。 出力時：オープンにしてください。
P140	SI3/RXD1	8	PORTV _{DD2}	入力時：個別に抵抗を介してPORTV _{DD2} またはPORTGND0, PORTGND1に接続してください。 出力時：オープンにしてください。
P141	SO3/TXD1	5		
P142	SCK3/ASCK1	8		
P143	RXD2			
P144	TXD2	5		
P145	ASCK2	8		
P146, P147	TI100, TI101			
P150	RXD3	8	PORTV _{DD2}	入力時：個別に抵抗を介してPORTV _{DD2} またはPORTGND0, PORTGND1に接続してください。 出力時：オープンにしてください。
P151	TXD3	5		
P152	ASCK3	8		
P153, P154	TI110, TI111			

注1. V850/SC1, V850/SC2のみ

2. V850/SC3のみ

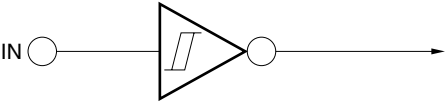
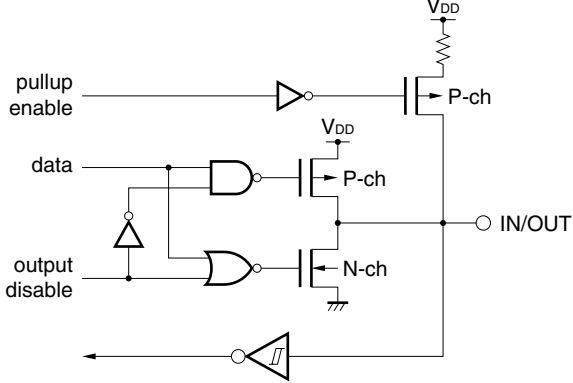
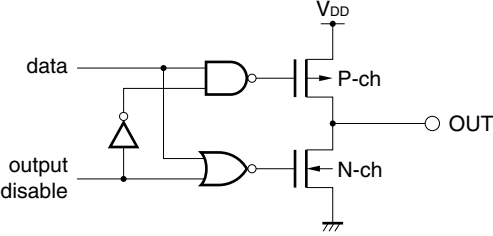
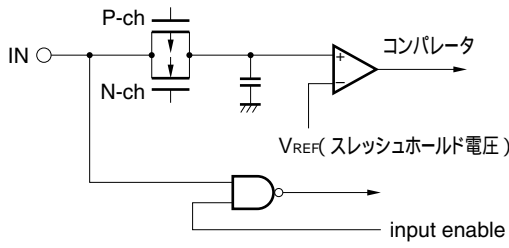
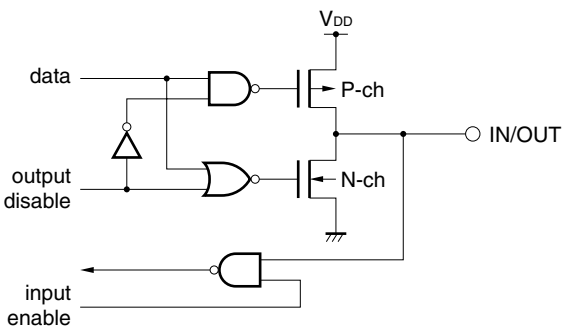
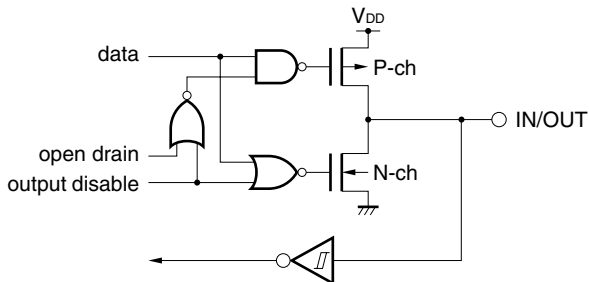
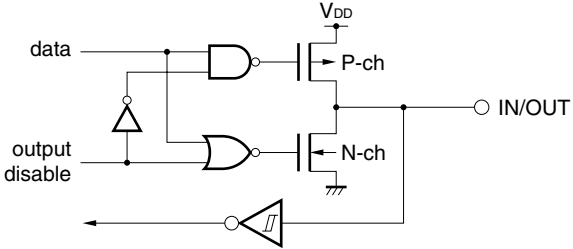
3. μ PD703089Y, 70F3089Yのみ

端子	兼用端子名	入出力回路 タイプ	入出力バッファ 電源	推奨接続方法
P155	TO12	5	PORTV _{DD2}	入力時：個別に抵抗を介してPORTV _{DD2} または PORTGND0, PORTGND1に接続して ください。 出力時：オープンにしてください。
P156, P157	TI120, TI121	8		
P170-P175	-	5	V _{DD1}	入力時：個別に抵抗を介してV _{DD1} または PORTGND0, PORTGND1に接続して ください。 出力時：オープンにしてください。
P176	VM45			
CLKOUT	-	4	PORTV _{DD0}	オープンにしてください。
RESET	-	2	V _{DD0}	-
X1, X2	-	-	CPUREG	-
XT1, XT2	-	-		-
CPUREG	-	-	-	-
V _{PP} ^{注1}	MODE	-	V _{DD0}	GND0-GND2に接続してください。
MODE ^{注2}	V _{PP}	-	V _{DD0}	GND0-GND2に接続してください。
V _{DD0} , V _{DD1}	-	-	-	-
GND0- GND2	-	-	-	-
ADCV _{DD}	-	-	-	-
ADCGND	-	-	-	-
PORTV _{DD0} - PORTV _{DD2}	-	-	-	-
PORTGND0, PORTGND1	-	-	-	-

注1. μ PD70F3089Y

2. μ PD70F3089Y以外

2.5 端子の入出力回路

<p>タイプ2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>タイプ8-A</p> 
<p>タイプ4</p>  <p>出力をハイ・インピーダンス(P-ch, N-chともにオフ)にできるプッシュプル出力です。</p>	<p>タイプ9</p> 
<p>タイプ5</p> 	<p>タイプ10</p> 
<p>タイプ8</p> 	

第3章 CPU機能

V850/SC1, V850/SC2, V850/SC3は, RISCアーキテクチャをベースとして, 5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

最小命令実行時間 : V850/SC1 : 50 ns (内部20 MHz動作時)
 V850/SC2 : 53 ns (内部18.87 MHz動作時)
 V850/SC3 : 62.5 ns (内部16 MHz動作時)

アドレス空間 : 16 Mバイト・リニア

汎用レジスタ : 32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令 (1クロック)

ロング/ショート形式を持つロード/ストア命令

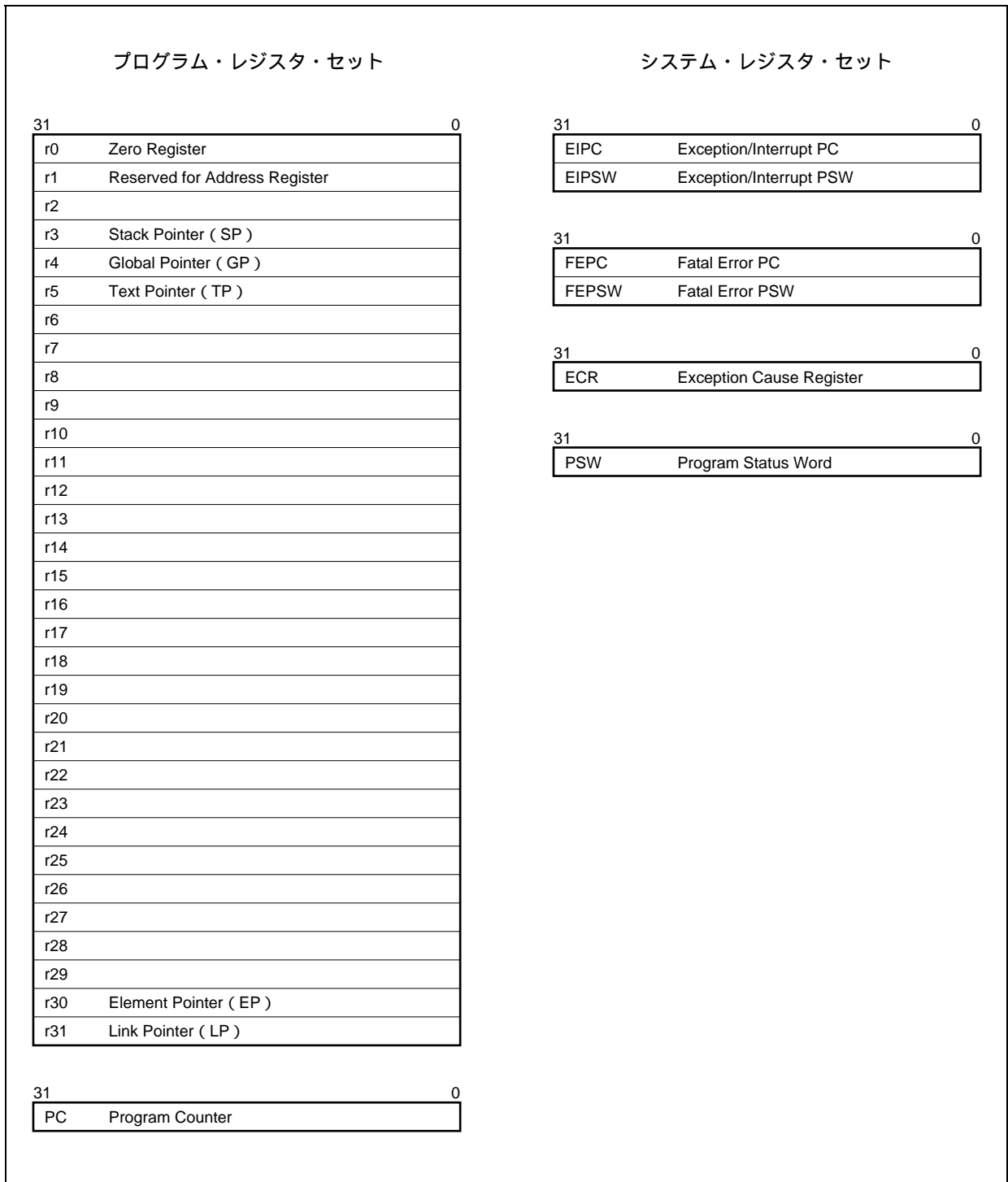
ビット操作命令4種

- ・ SET1
- ・ CLR1
- ・ NOT1
- ・ TST1

3.2 CPUレジスタ・セット

V850/SC1, V850/SC2, V850/SC3のCPUレジスタは、汎用のプログラム・レジスタ・セットと専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅です。詳細はV850シリーズ ユーザー・マニュアル アーキテクチャ編を参照してください。

図3 - 1 CPUレジスタ・セット



3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。また、r1, r3-r5, r31はアセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻してください。r2はリアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3 - 1 プログラム・レジスタ一覧

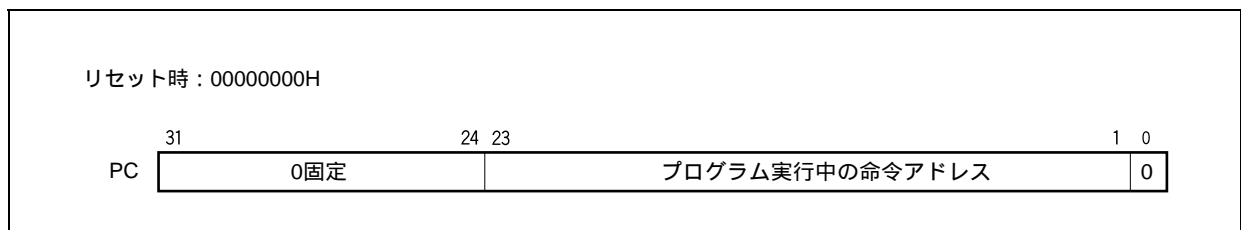
名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミューディエト作成用のワーキング・レジスタとして使用
r2	アドレス/データ変数用レジスタ（使用するリアルタイムOSがr2を使用していない場合）	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 ^注 の先頭を指すレジスタとして使用
r6-r29	アドレス/データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

注 プログラム・コードを配置する領域

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位24ビットが有効で、ビット31-24は0に固定されます。ビット23からビット24へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

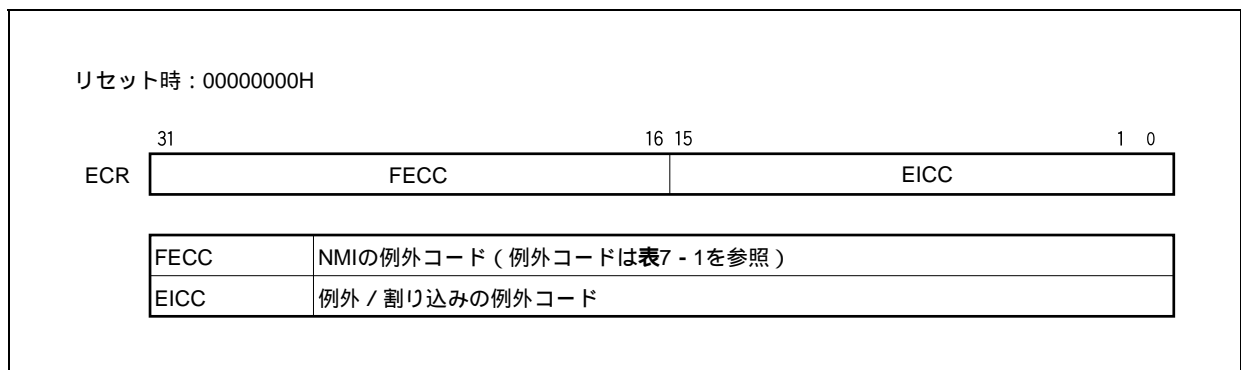
システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

表3-2 システム・レジスタ番号

番号	システム・レジスタ名称	用途	動作
0	EIPC	割り込み時状態退避レジスタ	例外または割り込みが発生した場合に、PCとPSWを退避するレジスタです。このレジスタは1組しかいないため、多重割り込みを許可する場合は、プログラムでこのレジスタを退避してください。
1	EIPSW		
2	FEPC	NMI時状態退避レジスタ	NMIが発生した場合に、PCとPSWを退避するレジスタです。
3	FEPSW		
4	ECR	割り込み要因レジスタ	例外、マスカブル割り込み、NMIが発生した場合に、その要因を保持するレジスタです。このレジスタは上位16ビットを“FECC”と呼び、NMIの例外コードがセットされます。下位16ビットは“EICC”と呼び、例外/割り込みの例外コードがセットされます。
5	PSW	プログラム・ステータス・ワード	プログラム・ステータス・ワードは、プログラムの状態（命令実行結果）やCPUの状態を示すフラグの集合です。
6-31	予約		

これらのシステム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令（LDSR命令/STSR命令）で示すシステム・レジスタ番号を指定して行います。

(1) 割り込み要因レジスタ（ECR）



(2) プログラム・ステータス・ワード (PSW)

(1/2)

リセット時 : 00000020H

31	8	7	6	5	4	3	2	1	0			
PSW	RFU				NP	EP	ID	SAT	CY	OV	S	Z

RFU	予約フィールドです (0に固定されています)。
-----	-------------------------

NP	ノンマスクブル割り込み (NMI) 処理状態
0	NMI処理中ではない
1	NMI処理中 NMIが受け付けられるとセット (1) され, 多重割り込みを禁止します。詳細は, 7.2.3 NPフラグ を参照してください。

EP	例外処理状態
0	例外処理中ではない
1	例外処理中 例外の発生でセット (1) されます。割り込み要求は受け付けます。詳細は, 7.4.3 EPフラグ を参照してください。

ID	マスクブル割り込み処理の指定
0	マスクブル割り込みの受け付けを許可
1	マスクブル割り込みの受け付けを禁止 マスクブル割り込み要求を受け付けるとセット (1) されます。詳細は, 7.3.6 IDフラグ を参照してください。

SAT ^注	飽和演算命令の演算結果の飽和検出
0	飽和していない セット(1)されているときに飽和演算命令を実行した結果が飽和しなくても、クリア(0)はされません。クリア(0)するには、PSWに直接書き込んでください。
1	飽和した

CY	演算結果のキャリーまたはボロー検出
0	キャリーまたはボローは発生していない
1	キャリーまたはボローが発生した

OV ^注	演算中のオーバーフロー検出
0	オーバーフローは発生していない
1	オーバーフローが発生した

S ^注	演算結果の正/負の検出
0	負ではない(正またはゼロであった)
1	負であった

Z	演算結果のゼロの検出
0	ゼロではなかった
1	ゼロであった

注 飽和演算時のOVビットとSビットの内容で、飽和处理した演算結果が決まります。また、飽和演算時にOVビットがセット(1)された場合だけ、SATビットはセット(1)されます。

演算結果の状態	フラグの状態			飽和处理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の 値を保持	0	0	演算結果そのもの
負(最大値を越えない)			1	

3.3 動作モード

V850/SC1, V850/SC2, V850/SC3は次に示す動作モードがあります。

(1) 通常動作モード (シングルチップ・モード)

システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、内蔵ROMに書き込まれた命令の処理を開始します。命令によりメモリ拡張モード・レジスタ (MM) を設定すると、外部メモリ領域に外部デバイスを接続できる外部拡張モードになります。

(2) フラッシュ・メモリ・プログラミング・モード

このモードは、 μ PD70F3089Yだけが備えています。V_{PP}端子にV_{PP}電圧を印加した場合に、内部フラッシュ・メモリの書き込み / 消去ができます。

V _{PP}	動作モード
0	通常動作モード
7.8 V	フラッシュ・メモリ・プログラミング・モード
V _{DD}	設定禁止

3.4 アドレス空間

3.4.1 CPUアドレス空間

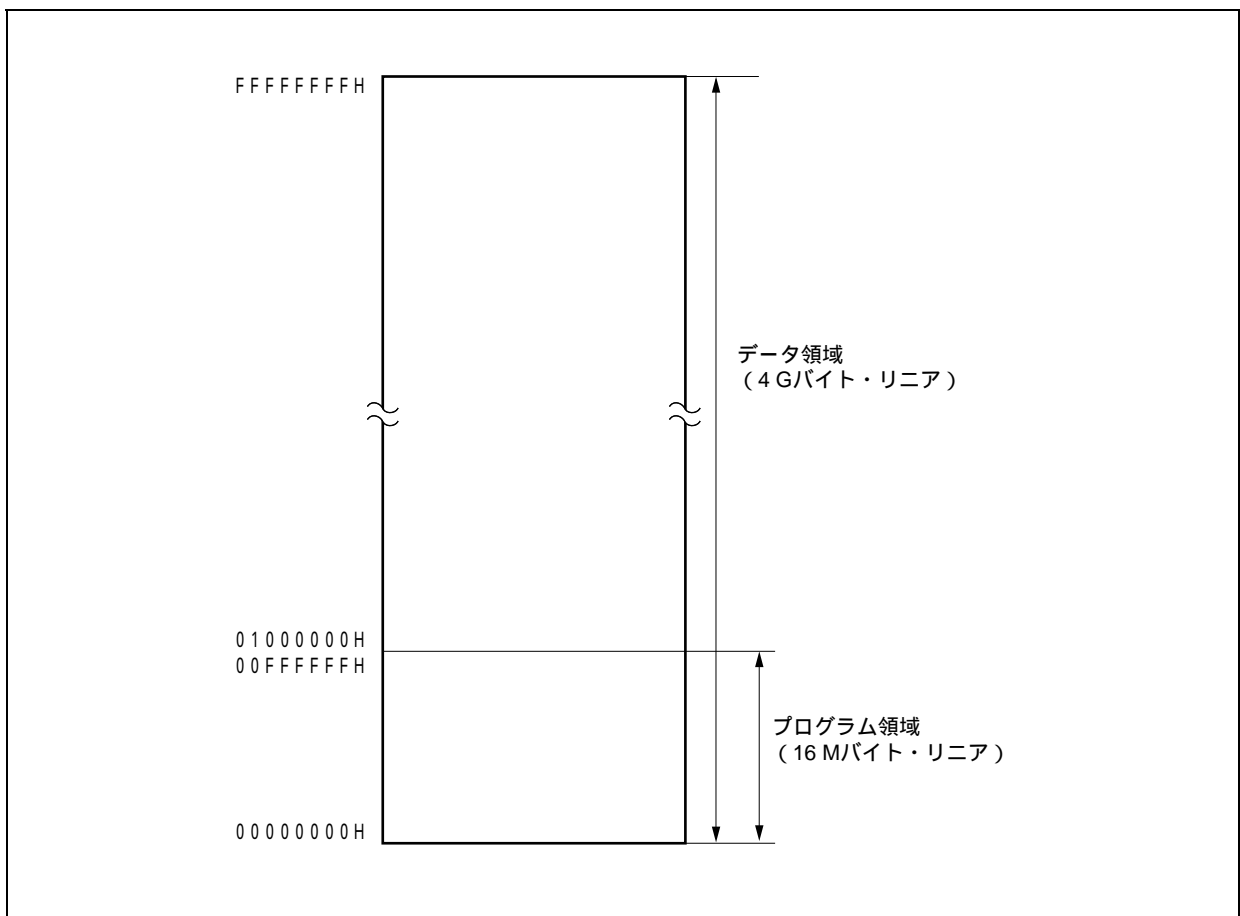
V850/SC1, V850/SC2, V850/SC3のCPUは、32ビット・アーキテクチャです。

オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。

命令アドレスのアドレッシングにおいては、最大16 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

次にCPUアドレス空間を示します。

図3-2 CPUアドレス空間

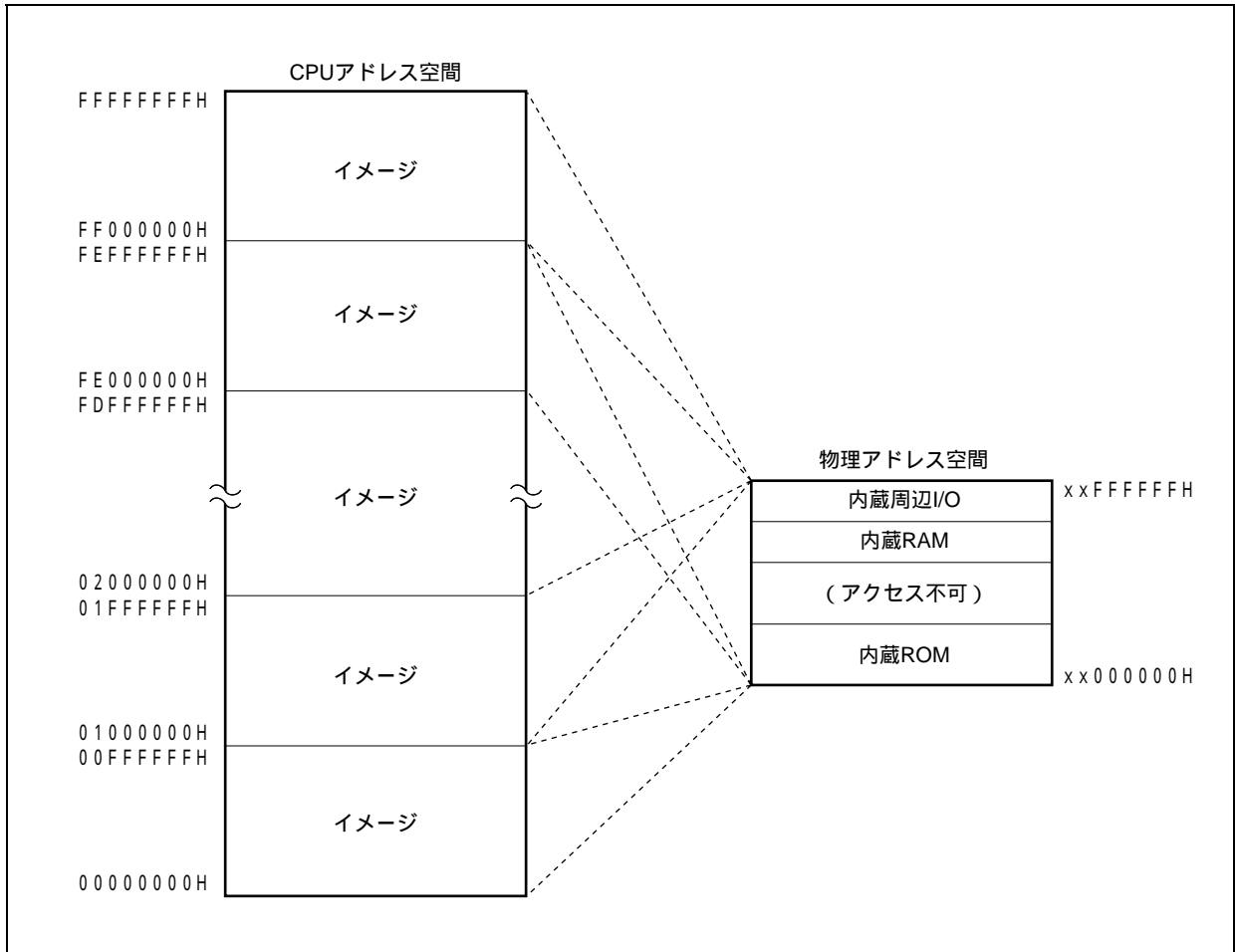


3.4.2 イメージ

4 GバイトのCPUアドレス空間には、16Mバイトの物理アドレス空間が256個のイメージとして見えます。つまり、CPUアドレスのビット31-ビット24がどのような値でも、同じ16 Mバイトの物理アドレス空間をアクセスします。次にアドレス空間上のイメージを示します。

物理アドレスのxx000000H番地が、CPUアドレスの00000000H番地のほかに、01000000H番地、02000000H番地、...、FE000000H番地、FF000000H番地に見えます。これは、32ビットのCPUアドレスが上位8ビットを無視し、24ビットの物理アドレスとしてアクセスするためです。

図3 - 3 アドレス空間上のイメージ



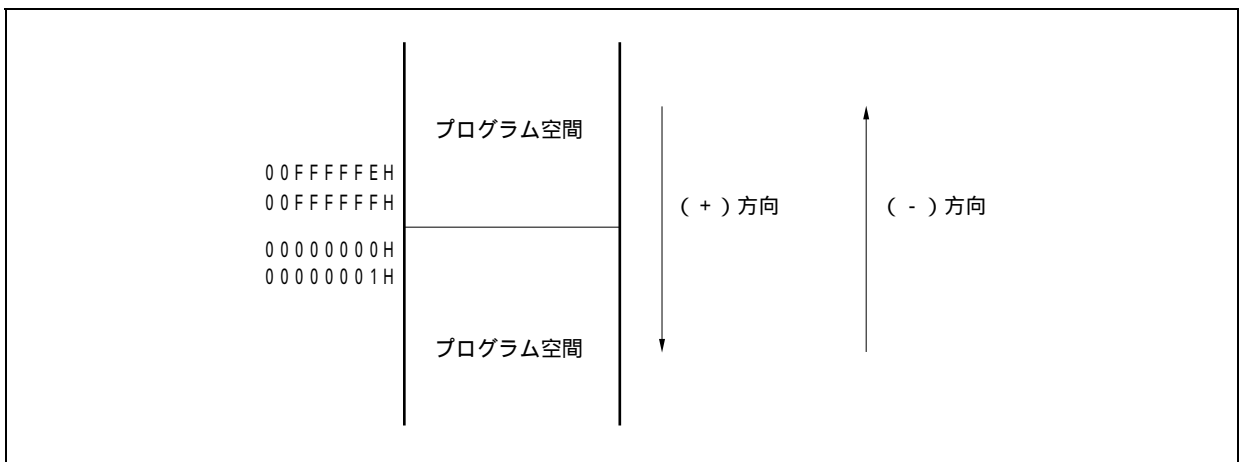
3.4.3 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位8ビットが0固定で、下位24ビットだけが有効です。分岐アドレス計算などでビット23からビット24に対するキャリーまたはボローがあっても上位8ビットはこれを無視します。したがって、プログラム空間の下限である00000000H番地と、上限の00FFFFFFH番地は連続したアドレスになり、この境界でラップ・アラウンドします。

注意 00FFF000H-00FFFFFFHの4 Kバイトの領域は、周辺I/O領域のため命令フェッチができません。したがって、分岐アドレス計算結果が、この領域にかかるような操作は行わないでください。

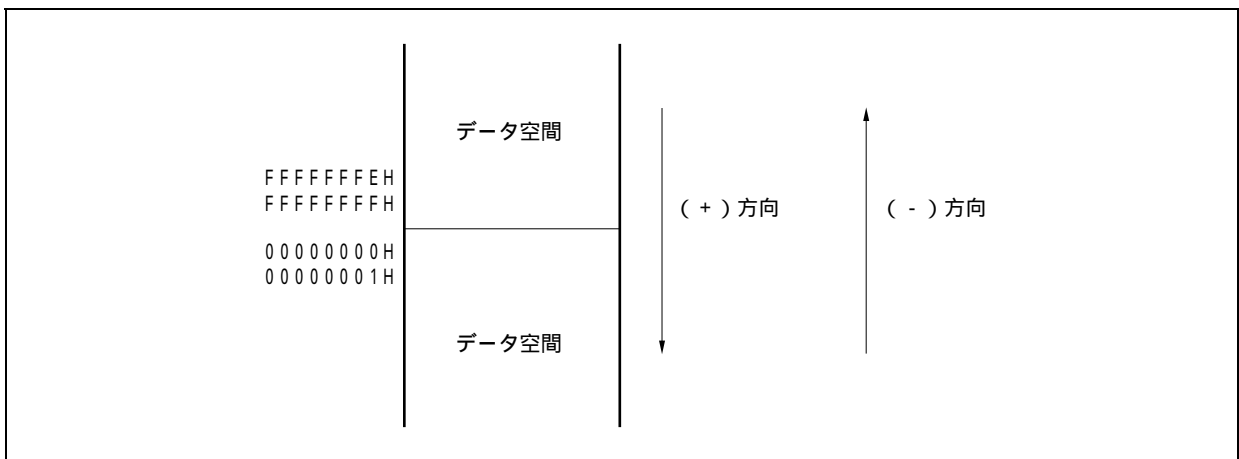
図3 - 4 プログラム空間



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。したがって、データ空間の下限である00000000H番地と、上限のFFFFFFFFH番地は連続したアドレスとなり、この境界でラップ・アラウンドします。

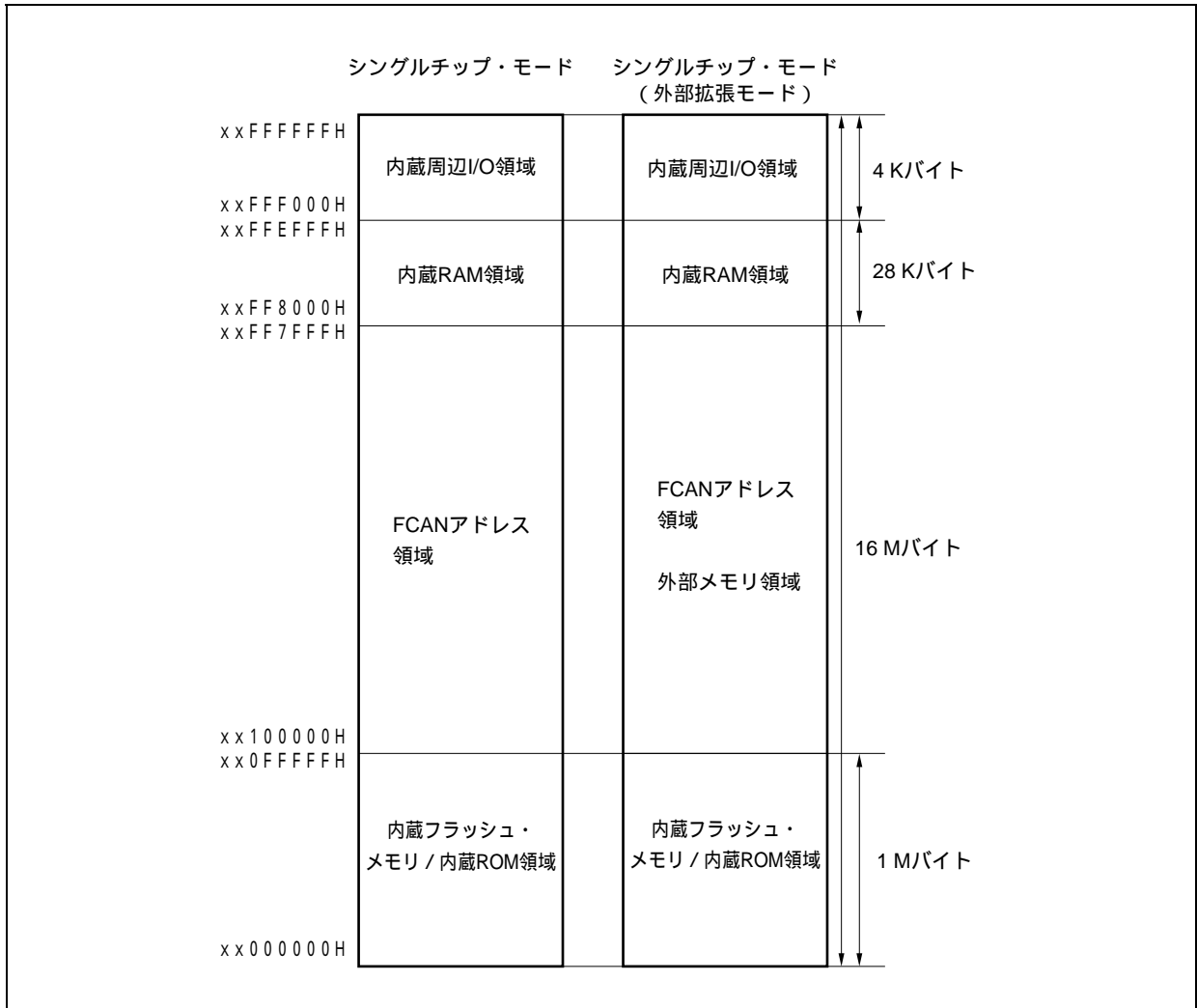
図3 - 5 データ空間



3.4.4 メモリ・マップ

V850/SC1, V850/SC2, V850/SC3では, 次を示すように各領域を予約しています。

図3-6 メモリ・マップ



3.4.5 領域

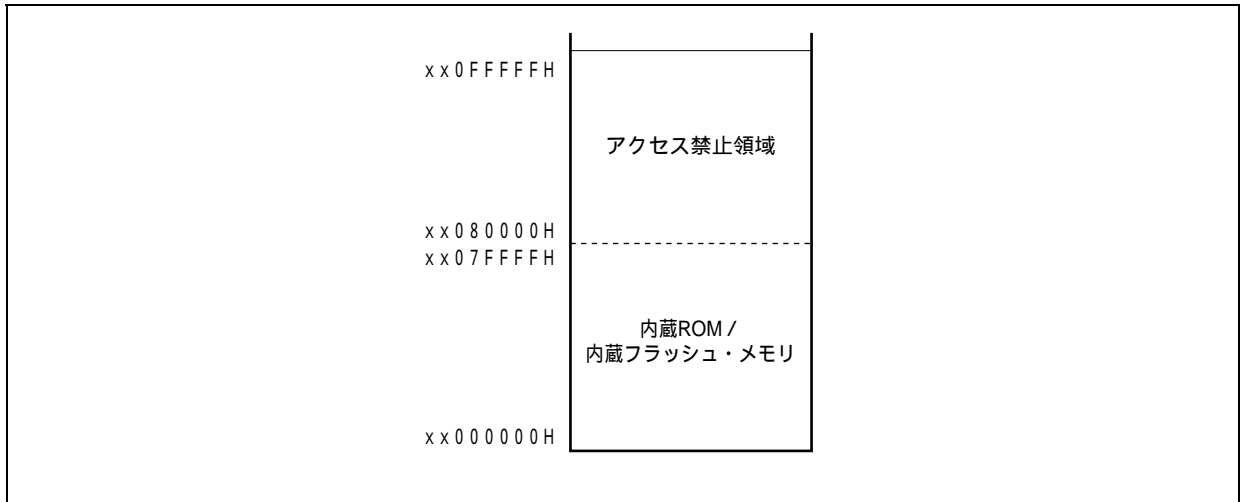
(1) 内蔵ROM / 内蔵フラッシュ・メモリ領域

内蔵ROM / 内蔵フラッシュ・メモリ領域は、最大1 Mバイトが予約されています。

xx000000Hからxx07FFFFH番地に512 Kバイト実装しています。

xx080000Hからxx0FFFFFFH番地はアクセス禁止領域です。

図3 - 7 内蔵ROM / 内蔵フラッシュ・メモリ領域



割り込み / 例外テーブル

V850/SC1, V850/SC2, V850/SC3は、割り込み / 例外に対応したハンドラ・アドレスを固定化することで、割り込み応答性を高速化しています。

このハンドラ・アドレスの集合を割り込み / 例外テーブルと呼び、内蔵ROMに置かれています。割り込み / 例外要求が受け付けられると、ハンドラ・アドレスにジャンプし、そのメモリに置かれているプログラムを実行します。次に割り込み / 例外要因と対応するアドレスを示します。

表3 - 3 割り込み / 例外テーブル

割り込み / 例外テーブル の先頭アドレス	割り込み / 例外要因	割り込み / 例外テーブル の先頭アドレス	割り込み / 例外要因
00000000H	RESET	00000210H	INTSR0/INTCSI4
00000010H	NMI	00000220H	INTST0
00000020H	INTWDT	00000230H	INTKR
00000040H	TRAP0n (n = 0-F)	00000240H	INTCE1 ^{注2} /INTIE1 ^{注3}
00000050H	TRAP1n (n = 0-F)	00000250H	INTCR1 ^{注2} /INTIE2 ^{注3}
00000060H	ILGOP	00000260H	INTCT1 ^{注2}
00000080H	INTWDTM	00000270H	INTCME ^{注2}
00000090H	INTP0	00000280H	INTTM80
000000A0H	INTP1	00000290H	INTTM81
000000B0H	INTP2	000002A0H	INTTM90
000000C0H	INTP3	000002B0H	INTTM91
000000D0H	INTP4	000002C0H	INTSR1/INTCSI3
000000E0H	INTP5	000002D0H	INTST1
000000F0H	INTP6	000002E0H	INTDMA3
00000100H	INTCSI5	000002F0H	INTDMA4
00000110H	INTAD	00000300H	INTDMA5
00000120H	INTDMA0	00000310H	INTCE2 ^{注4}
00000130H	INTDMA1	00000320H	INTCR2 ^{注4}
00000140H	INTDMA2	00000330H	INTCT2 ^{注4}
00000150H	INTTM00	00000340H	INTP7
00000160H	INTTM01	00000350H	INTSR2
00000170H	INTTM10	00000360H	INTST2
00000180H	INTTM11	00000370H	INTSR3
00000190H	INTTM70	00000380H	INTST3
000001A0H	INTTM71	00000390H	INTTM100
000001B0H	INTCSI6	000003A0H	INTTM101
000001C0H	INTTM5/INTP8 ^{注1}	000003B0H	INTTM110
000001D0H	INTWTN	000003C0H	INTTM111
000001E0H	INTWTNI	000003D0H	INTTM120
000001F0H	INTIIC0/INTCSI0	000003E0H	INTTM121
00000200H	INTTM6/INTP9 ^{注1}	000003F0H	INTIIC1/INTCSI2

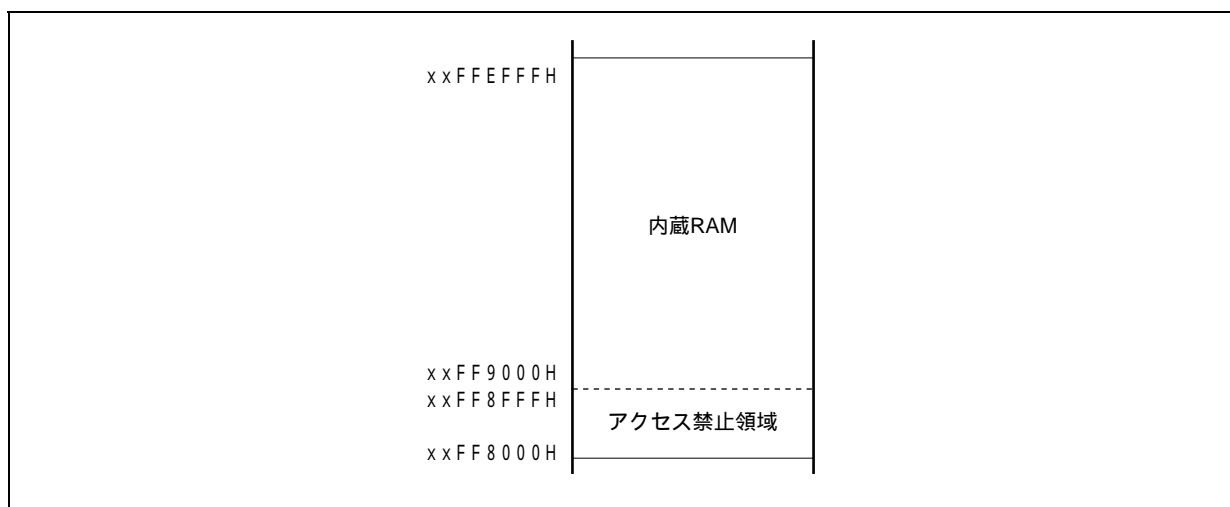
注1. INTP8, INTP9を使用する場合は、TM5, TM6を停止 (TMCm0レジスタのTCEm0ビット = 0) し、使用しないでください (m = 5, 6)。また、TM5, TM6を使用する場合は、INTP8, INTP9のエッジ指定を行わず (EGP1レジスタのEGP1nビット = 0, EGN1レジスタのEGN1nビット = 0)、外部割り込みとして使用しないでください (ポートとしては使用できません) (n = 6, 7)。

- 注2. V850/SC3のみ
- 3. V850/SC2のみ
- 4. μ PD703089Y, 70F3089Yのみ

(2) 内蔵RAM領域

内蔵RAM領域は、最大28 Kバイトが予約されています。
 xxFF9000HからxFFEFFFH番地に24 Kバイト実装しています。
 xxFF8000HからxFF8FFFH番地はアクセス禁止領域です。

図3 - 8 内蔵RAM領域



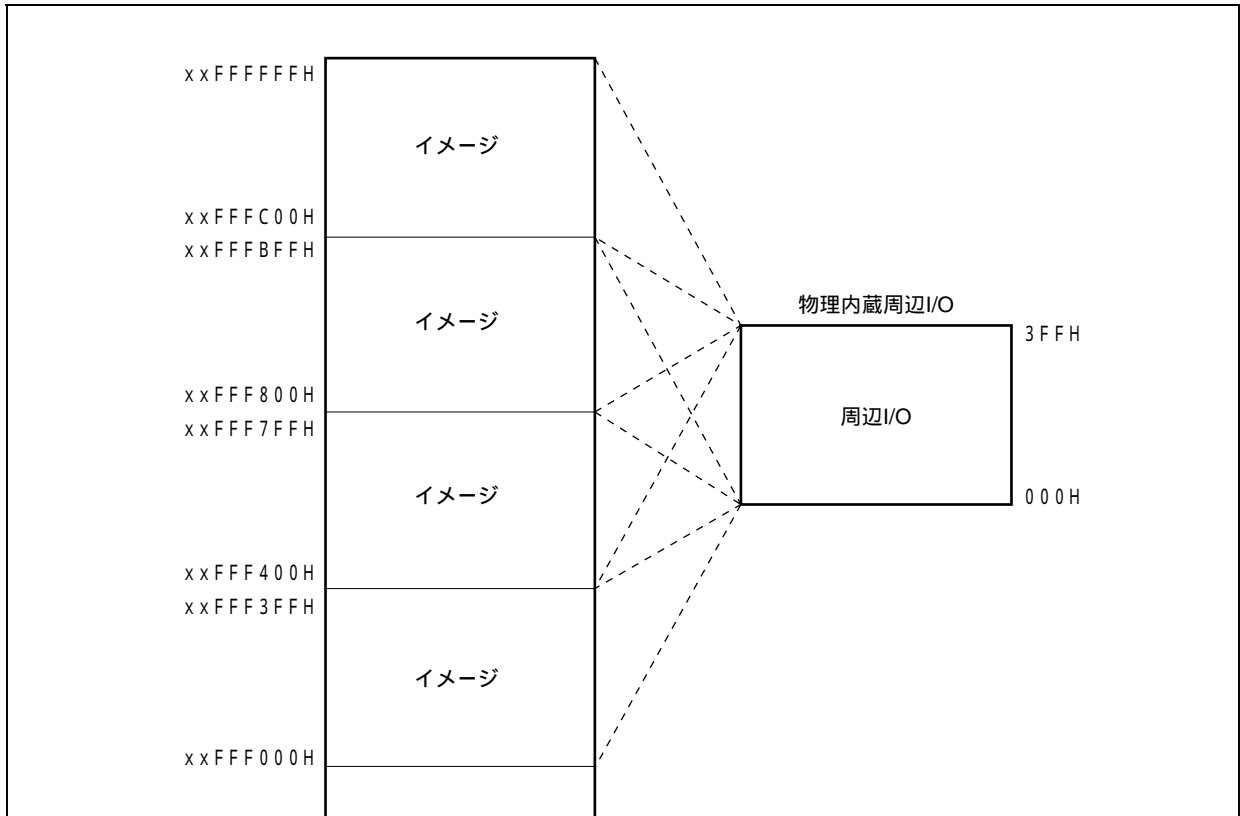
(3) 内蔵周辺I/O領域

内蔵周辺I/O領域はFFF000H-FFFFFFH番地の4 Kバイトが予約されています。

V850/SC1, V850/SC2, V850/SC3は、物理内蔵周辺I/OとしてFFF000H-FFF3FFH番地の1 Kバイトに割り当てており、残りの領域(FFF400H-FFFFFFH)にはそのイメージが見えます。

内蔵周辺I/O領域には内蔵周辺ハードウェアの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

図3-9 内蔵周辺I/O領域



- 注意1. アドレスの最下位ビットはデコードしていません。したがって、奇数アドレス ($2n+1$ 番地) のレジスタにバイト・アクセスした場合は、ハードウェア上、偶数アドレス ($2n$) のレジスタへアクセスします。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
 3. ハーフワード・アクセスだけ可能な n 番地のレジスタにワード・アクセスすると、2回のハーフワード・アクセスに置き換わり、1回目(下位16ビット)は n 番地のレジスタにアクセスし、2回目(上位16ビット)は $n+2$ 番地のレジスタにアクセスします。
 4. ワード・アクセス可能な n 番地のレジスタにワード・アクセスすると、2回のハーフワード・アクセスに置き換わり、1回目(下位16ビット)は n 番地のレジスタにアクセスし、2回目(上位16ビット)は $n+2$ 番地のレジスタにアクセスします。
 5. レジスタとして定義されていないレジスタは、将来の拡張用に予約されています。アクセスした場合の動作は不定であり、保証しません。

(4) 外部メモリ

V850/SC1, V850/SC2, V850/SC3は、最大16 Mバイト (xx100000H-xxFF7FFFH) の領域を外部メモリ領域として使用できます (シングルチップ・モード: 外部拡張時)。

外部拡張モードを指定すると、64 K、256 K、1 M、4 Mバイトの物理外部メモリを割り当てることができます。物理外部メモリ以外の領域には、そのイメージが見えます。

ただし、内蔵RAM領域、内蔵周辺I/O領域に対しては、外部メモリのアクセス対象になりません。

注意 xxnFF800H-xxnFFFFFFH (n = 3, 7, B) はFCANアドレス領域のためアクセス禁止です。

図3 - 10 外部メモリ領域 (64 K、256 K、1 Mバイト拡張時)

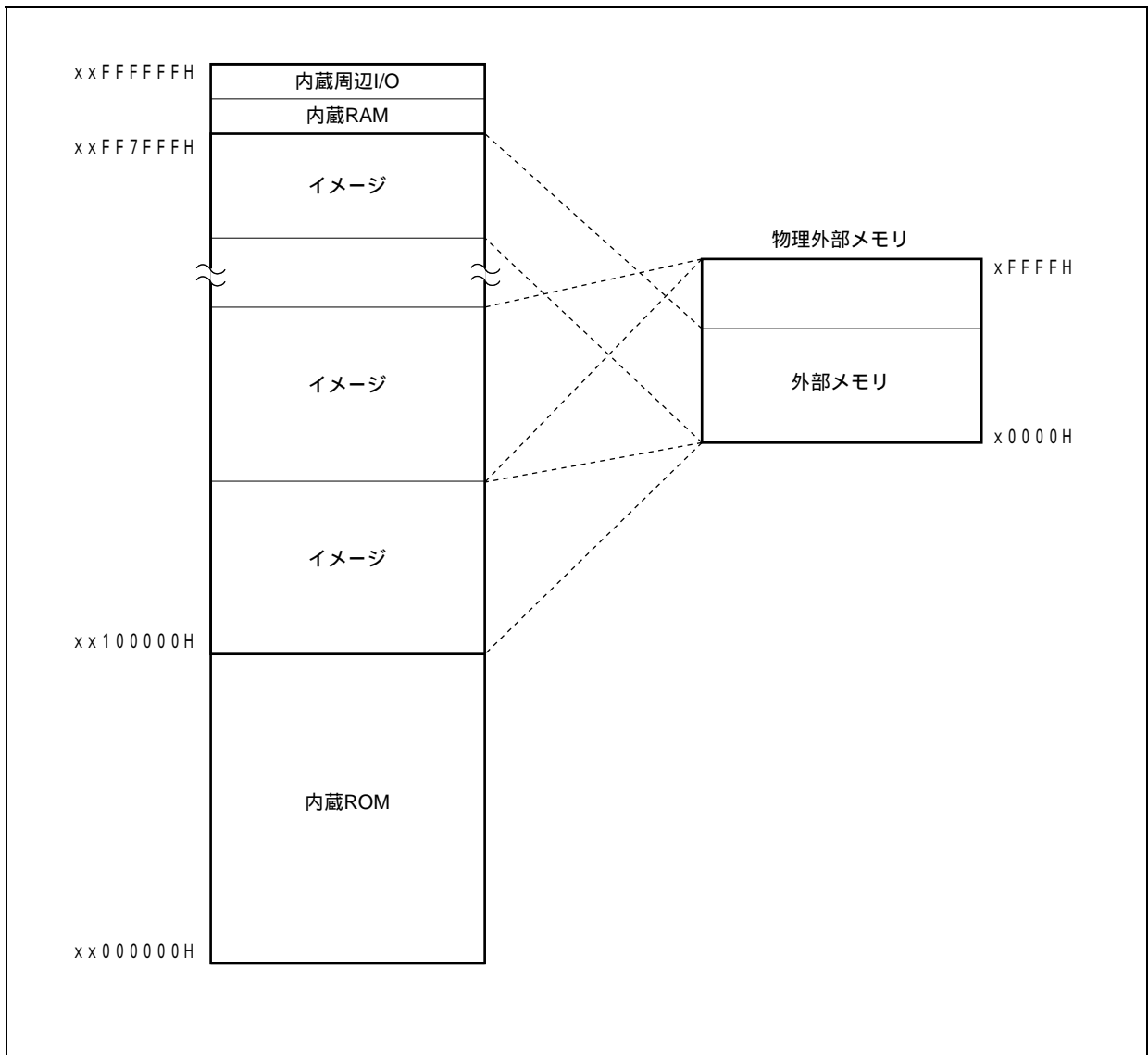
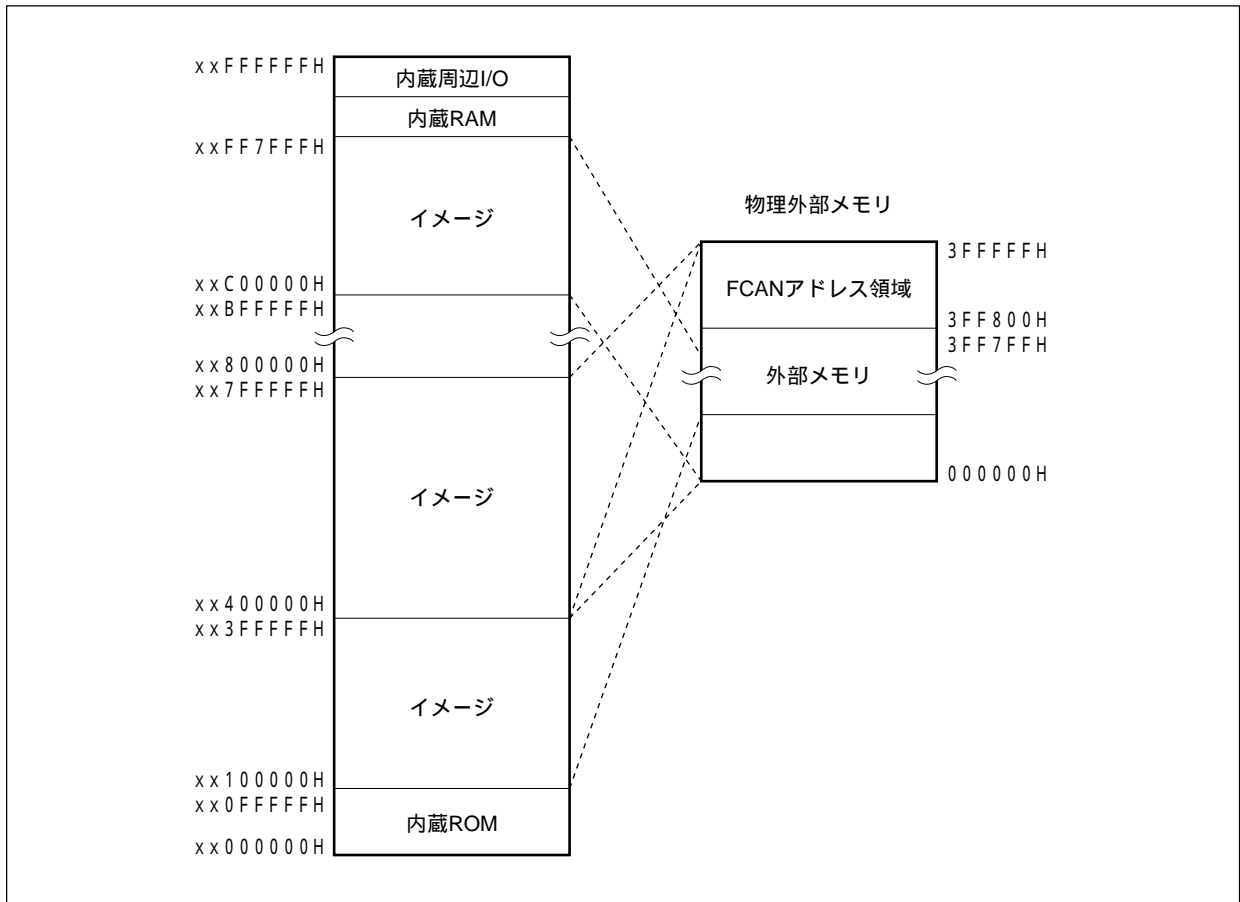


図3 - 11 外部メモリ領域 (4 Mバイト拡張時)



3.4.6 外部拡張モード

V850/SC1, V850/SC2, V850/SC3では, ポート4, 5, 6, 9の各端子を用いて外部メモリ空間に外部デバイスを接続できます。外部デバイスを接続するには, メモリ拡張モード・レジスタ (MM) を用いて, ポート端子を外部拡張モードに設定してください。また, V850/SC1, V850/SC2では, アドレス・バス (A1-A15) はデータ・バス (D1-D15) とマルチプレクスト出力になっていますが, メモリ・アドレス出力モード・レジスタ (MAM) の設定により, セパレート出力もできます (セパレート・バス使用時のデバッグについては, 対応するインサートキット・エミュレータのユーザーズ・マニュアルを参照してください)。

注意 V850/SC1, V850/SC2では, A1端子と $\overline{\text{WAIT}}$ 端子が兼用端子になっているため, セパレート・バスを使用する場合は $\overline{\text{WAIT}}$ 端子によるウエイト機能を使用できません (ただし, プログラマブル・ウエイトは使用できます)。

逆に, $\overline{\text{WAIT}}$ 端子によるウエイト機能を使用する場合はセパレート・バスが使用できません。

V850/SC1, V850/SC2, V850/SC3の通常動作モード時は, シングルチップ・モードに固定されるため, リセット時のバス・インタフェース関連の各端子はポート・モードになり, 外部メモリは使用できません。外部メモリを使用する場合 (外部拡張モード) は, V850/SC1, V850/SC2ではプログラムでMMレジスタまたはMAMレジスタを, V850/SC3ではプログラムでMMレジスタを設定してください (メモリ領域はMMレジスタで設定します)。

(1) メモリ拡張モード・レジスタ (MM)

V850/SC1, V850/SC2, V850/SC3では、ポート4, 5, 6, 9の各端子のモードを設定します。外部拡張モードでは、最大4 Mバイトの外部メモリ領域に外部デバイスを接続できます。ただし、内蔵RAM領域、内蔵周辺I/O領域、およびシングルチップ・モード時の内蔵ROM領域には外部デバイスを接続できません（物理的に接続しても、アクセス対象になりません）。

MMレジスタは8/1ビット単位でリード/ライト可能です。ただし、ビット4-ビット7は0に固定です。

リセット時：00H R/W アドレス：FFFFFF04CH

	7	6	5	4	③	②	①	①
MM	0	0	0	0	MM3	MM2	MM1	MM0

MM3	P95, P96動作モード設定
0	ポート・モード
1	外部拡張モード (HLDAK : P95, HLDRQ : P96)

MM2	MM1	MM0	アドレス空間	ポート4	ポート5	ポート6	ポート9	
0	0	0	-	ポート・モード				
0	1	1	64 Kバイト 拡張モード	AD0- AD7	AD8- AD15	A16, A17	LBEN, UBEN, R/W, DSTB,	
1	0	0	256 Kバイト 拡張モード				A18, A19	ASTB, WRL ^注 ,
1	0	1	1 Mバイト 拡張モード				A20, A21	WRH ^注 , RD ^注
1	1	x	4 Mバイト 拡張モード					
その他				RFU (予約)				

注 V850/SC1, V850/SC2のみ

注意 外部拡張モードに切り替える場合、切り替える前に必ずポート9 (P9) のP93, P94ビットに“1”を設定してください。

備考 各ポート端子の動作の詳細については2.3 端子機能の説明を参照してください。

(2) メモリ・アドレス出力モード・レジスタ (MAM)

V850/SC1, V850/SC2では、ポート3, 10, 11の各端子のモードを設定します。外部拡張モード時のアドレス・バス (A1-A15) のセパレート出力を設定できます。

MAMレジスタは8ビット単位でライトのみ可能です。読み出した場合は、不定値が読み出されます。ビット3-ビット7は0に固定です。

リセット時 : 00H W アドレス : FFFFFFF068H

	7	6	5	4	3	2	1	0
MAM	0	0	0	0	0	MAM2	MAM1	MAM0

MAM2	MAM1	MAM0	アドレス空間	ポート11	ポート10	ポート3
0	0	0	-	ポート・モード		
0	1	0	32バイト	A1-A4	A5-A8	A9-A12
0	1	1	512バイト			
1	0	0	8 Kバイト			
1	0	1	16 Kバイト			
1	1	0	32 Kバイト			
1	1	1	64 Kバイト			
1	1	1	64 Kバイト			
その他				設定禁止		

注意 メモリ・アドレス出力モード・レジスタ (MAM) のディバグは、インサーキット・エミュレータではできません。また、ソフトウェアによるMAMレジスタの設定でセパレート・バスへの切り替えができません。詳細については対応するインサーキット・エミュレータのユーザーズ・マニュアルを参照してください。

備考 各ポート端子の動作の詳細については2.3 端子機能の説明を参照してください。

セパレート・バス出力は、P34-P36, P100-P107, P110-P113より出力されます。セパレート・バス出力する場合の手順を次に示します。

セパレート出力に使用するポートm (Pm) のPnビットを0に設定します (m = 3, 10, 11)。

ポートmモード・レジスタ (PMm) のPMnビットを0 (出力モード) に設定します (m = 3, 10, 11)。

セパレート・バスとして使用するポートをセパレート・バス以外の兼用端子として使用している場合は、兼用端子が使用している機能をオフします。

メモリ・アドレス出力モード・レジスタ (MAM) を設定します。

メモリ拡張モード・レジスタ (MM) を設定します。

備考 m = 3の場合 : n = 34-36

m = 10の場合 : n = 100-107

m = 11の場合 : n = 110-113

3.4.7 アドレス空間の推奨使用方法

V850/SC1, V850/SC2, V850/SC3のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスを行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあり、ポインタの値を変更するときのアドレス計算にかかる性能低下を極力抑えることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えられます。

V850/SC1, V850/SC2, V850/SC3のメモリ・マップに関連して、ポインタ運用の効率化を目的として、次に示す使用方法を推奨します。

(1) プログラム空間

PC (プログラム・カウンタ) は、32ビットのうち上位8ビットは“0”に固定されており、下位24ビットだけ有効です。したがって、プログラム空間に関しては無条件に00000000H番地から連続した16 Mバイト空間がそのままメモリ・マップに対応します。

(2) データ空間

データ空間のラップ・アラウンドを利用したリソースを効率的に運用するため、4 GバイトのCPUアドレス空間の00000000H - 007FFFFFFH番地およびFF800000H - FFFFFFFFH番地のそれぞれ連続した8 Mバイトをデータ空間として使用します。V850/SC1, V850/SC2, V850/SC3では、4 GバイトのCPUアドレス空間に16 Mバイトの物理アドレス空間が256個のイメージとして見えるため、この24ビット・アドレスの最上位ビット (ビット23) を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例

LD/ST disp16[R]命令でR=r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地±32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてを含むすべてのリソースについて1つのポインタでアドレス指定できます。

ゼロ・レジスタ (r0) はハードウェアで0固定のレジスタのため、ポインタ専用に費やすレジスタは実質不要になります。

図3 - 12 ラップ・アラウンドを利用した応用例

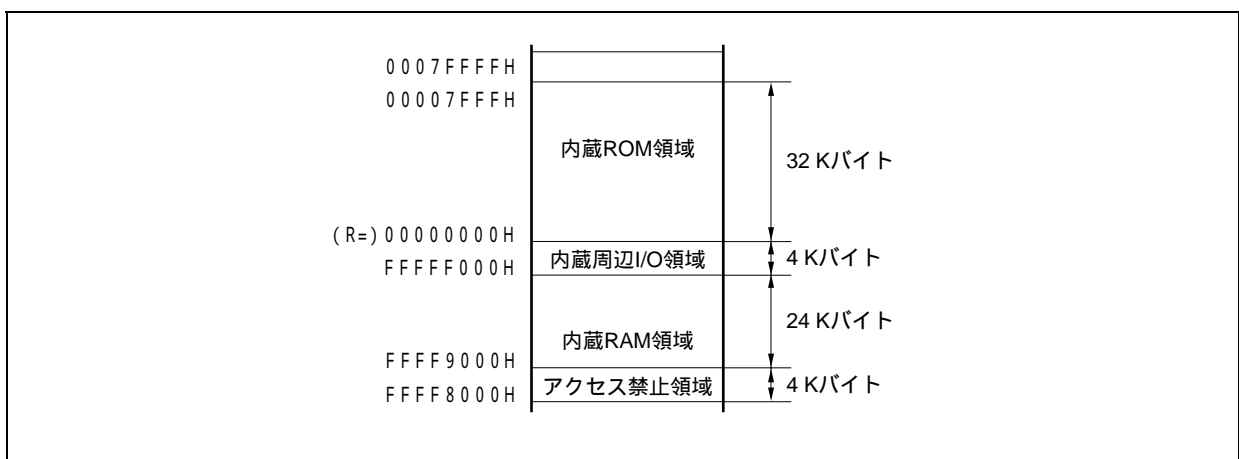
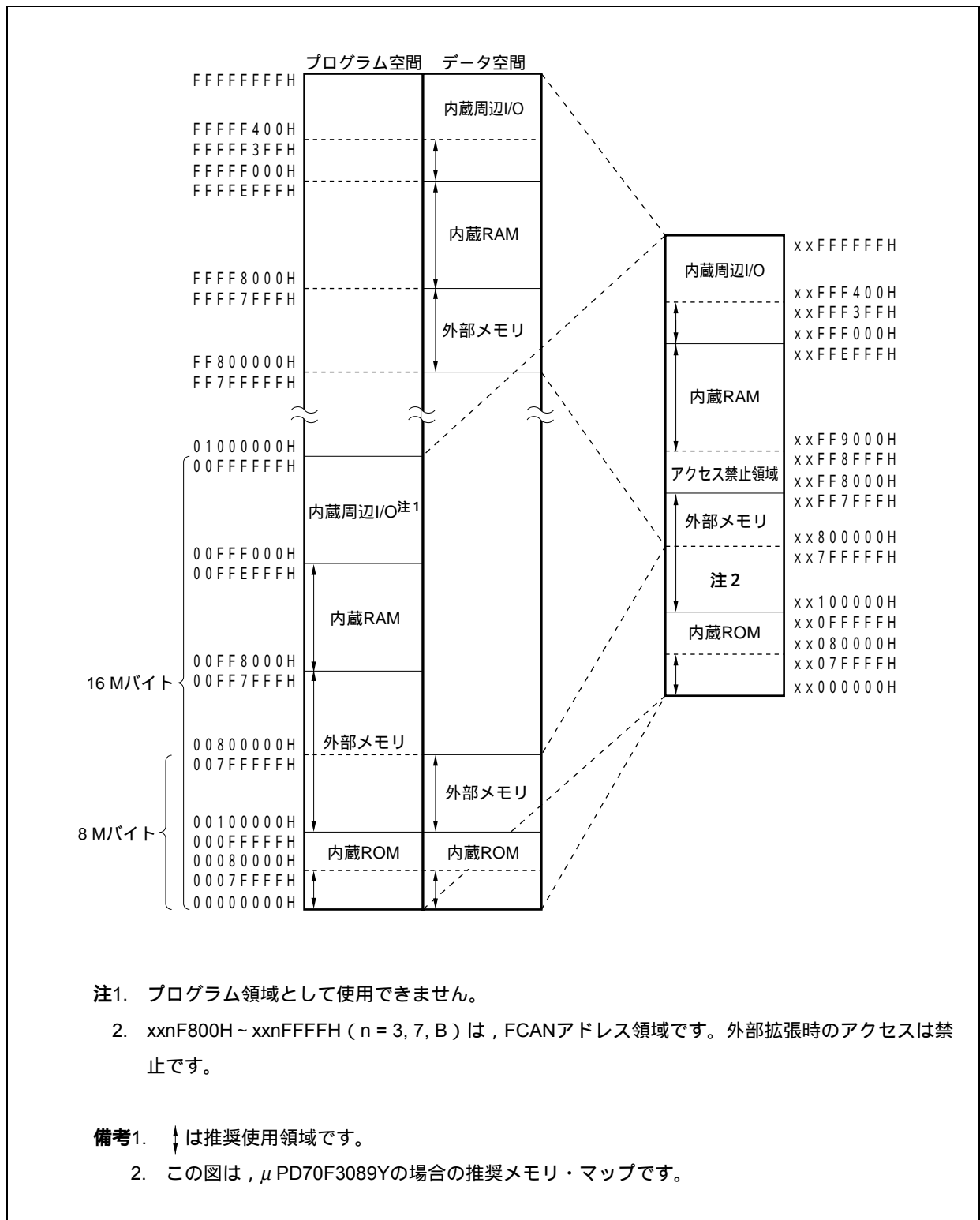


図3 - 13 推奨メモリ・マップ (フラッシュ・メモリ内蔵品)



3.4.8 周辺I/Oレジスタ

(1/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時	
				1	8	16	32		
FFFFFF00H	ポート0	P0	R/W					00H ^注	
FFFFFF02H	ポート1	P1							
FFFFFF04H	ポート2	P2							
FFFFFF06H	ポート3	P3							
FFFFFF08H	ポート4	P4							
FFFFFF0AH	ポート5	P5							
FFFFFF0CH	ポート6	P6							
FFFFFF0EH	ポート7	P7	R					不定	
FFFFFF10H	ポート8	P8							
FFFFFF12H	ポート9	P9	R/W					00H ^注	
FFFFFF14H	ポート10	P10							
FFFFFF16H	ポート11	P11							
FFFFFF18H	ポート12	P12							
FFFFFF1AH	ポート13	P13							
FFFFFF1CH	ポート14	P14							
FFFFFF1EH	ポート15	P15							
FFFFFF20H	ポート0モード・レジスタ	PM0							FFH
FFFFFF22H	ポート1モード・レジスタ	PM1							FFH
FFFFFF24H	ポート2モード・レジスタ	PM2							FFH
FFFFFF26H	ポート3モード・レジスタ	PM3							
FFFFFF28H	ポート4モード・レジスタ	PM4							
FFFFFF2AH	ポート5モード・レジスタ	PM5							
FFFFFF2CH	ポート6モード・レジスタ	PM6							3FH
FFFFFF32H	ポート9モード・レジスタ	PM9							7FH
FFFFFF34H	ポート10モード・レジスタ	PM10					FFH		
FFFFFF36H	ポート11モード・レジスタ	PM11					FFH		
FFFFFF38H	ポート12モード・レジスタ	PM12							
FFFFFF3AH	ポート13モード・レジスタ	PM13					0FH		
FFFFFF3CH	ポート14モード・レジスタ	PM14					FFH		
FFFFFF3EH	ポート15モード・レジスタ	PM15							
FFFFFF40H	ポート兼用機能コントロール・レジスタ	PAC					00H		
FFFFFF42H	ポート兼用機能コントロール・レジスタ2	PAC2							
FFFFFF48H	ポート17	P17							
FFFFFF4CH	メモリ拡張モード・レジスタ	MM							
FFFFFF058H	ポート17モード・レジスタ	PM17					7FH		
FFFFFF060H	データ・ウェイト・コントロール・レジスタ	DWC					FFFFH		
FFFFFF062H	バス・サイクル・コントロール・レジスタ	BCC					AAAAH		
FFFFFF064H	システム制御レジスタ ^{注1}	SYC	R/W				00H		
FFFFFF068H	メモリ・アドレス出力モード・レジスタ ^{注1}	MAM	W						

注 リセットにより入力モードに初期化されるので、リード時は端子レベルを読み出します。00Hに初期化されるのは出力ラッチです。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
FFFFFF070H	パワー・セーブ・コントロール・レジスタ	PSC	R/W					C0H
FFFFFF074H	プロセッサ・クロック・コントロール・レジスタ	PCC						03H
FFFFFF076H	POCコントロール・レジスタ	POCC						00H
FFFFFF078H	システム・ステータス・レジスタ	SYS						00H
FFFFFF07AH	POCステータス・レジスタ	POCS	R					保持 ^{注2}
FFFFFF07CH	VM45コントロール・レジスタ	VM45C	R/W					00H
FFFFFF094H	ブルアップ抵抗オプション・レジスタ10	PU10						
FFFFFF0A2H	ポート1ファンクション・レジスタ	PF1						
FFFFFF0A4H	ポート2ファンクション・レジスタ	PF2						
FFFFFF0C0H	立ち上がりエッジ指定レジスタ0	EGP0						
FFFFFF0C2H	立ち下がりエッジ指定レジスタ0	EGN0						
FFFFFF0C4H	立ち上がりエッジ指定レジスタ1	EGP1						
FFFFFF0C6H	立ち下がりエッジ指定レジスタ1	EGN1						
FFFFFF0D0H	16ビット・タイマ・レジスタ10	TM10	R					0000H
★ FFFFFFF0D2H	16ビット・キャプチャ/コンペア・レジスタ100	CR100	注3					
★ FFFFFFF0D4H	16ビット・キャプチャ/コンペア・レジスタ101	CR101						
FFFFFF0D6H	プリスケラ・モード・レジスタ100	PPM100	R/W					00H
FFFFFF0D8H	16ビット・タイマ・モード・コントロール・レジスタ10	TMC10						
FFFFFF0DAH	キャプチャ/コンペア・コントロール・レジスタ10	CRC10						
FFFFFF0DCH	タイマ出力コントロール・レジスタ10	TOC10						
FFFFFF0DEH	プリスケラ・モード・レジスタ101	PRM101						
FFFFFF0E0H	16ビット・タイマ・レジスタ11	TM11	R					0000H
★ FFFFFFF0E2H	16ビット・キャプチャ/コンペア・レジスタ110	CR110	注3					
★ FFFFFFF0E4H	16ビット・キャプチャ/コンペア・レジスタ111	CR111						
FFFFFF0E6H	プリスケラ・モード・レジスタ110	PRM110	R/W					00H
FFFFFF0E8H	16ビット・タイマ・モード・コントロール・レジスタ11	TMC11						
FFFFFF0EAH	キャプチャ/コンペア・コントロール・レジスタ11	CRC11						
FFFFFF0ECH	タイマ出力コントロール・レジスタ11	TOC11						
FFFFFF0EEH	プリスケラ・モード・レジスタ111	PRM111						
FFFFFF0F0H	16ビット・タイマ・レジスタ12	TM12	R					0000H
★ FFFFFFF0F2H	16ビット・キャプチャ/コンペア・レジスタ120	CR120	注3					
★ FFFFFFF0F4H	16ビット・キャプチャ/コンペア・レジスタ121	CR121						
FFFFFF0F6H	プリスケラ・モード・レジスタ120	PRM120	R/W					00H
FFFFFF0F8H	16ビット・タイマ・モード・コントロール・レジスタ12	TMC12						
FFFFFF0FAH	キャプチャ/コンペア・コントロール・レジスタ12	CRC12						
FFFFFF0FCH	タイマ出力コントロール・レジスタ12	TOC12						
FFFFFF0FEH	プリスケラ・モード・レジスタ121	PRM121						

注1. V850/SC1, V850/SC2のみ。

2. パワーオン・クリアによるリセットのみ、03Hとなります。RESET端子によるリセットおよびウォッチドッグ・タイマによるリセットでは、リセットされません。

★ 3. コンペア・モード時 : R/W
キャプチャ・モード時 : R

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
FFFFFF100H	割り込み制御レジスタ	WDTIC	R/W					47H
FFFFFF102H	割り込み制御レジスタ	PIC0						
FFFFFF104H	割り込み制御レジスタ	PIC1						
FFFFFF106H	割り込み制御レジスタ	PIC2						
FFFFFF108H	割り込み制御レジスタ	PIC3						
FFFFFF10AH	割り込み制御レジスタ	PIC4						
FFFFFF10CH	割り込み制御レジスタ	PIC5						
FFFFFF10EH	割り込み制御レジスタ	PIC6						
FFFFFF110H	割り込み制御レジスタ	CSIC5						
FFFFFF112H	割り込み制御レジスタ	ADIC						
FFFFFF114H	割り込み制御レジスタ	DMAIC0						
FFFFFF116H	割り込み制御レジスタ	DMAIC1						
FFFFFF118H	割り込み制御レジスタ	DMAIC2						
FFFFFF11AH	割り込み制御レジスタ	TMIC00						
FFFFFF11CH	割り込み制御レジスタ	TMIC01						
FFFFFF11EH	割り込み制御レジスタ	TMIC10						
FFFFFF120H	割り込み制御レジスタ	TMIC11						
FFFFFF122H	割り込み制御レジスタ	TMIC70						
FFFFFF124H	割り込み制御レジスタ	TMIC71						
FFFFFF126H	割り込み制御レジスタ	CSIC6						
FFFFFF128H	割り込み制御レジスタ	TMIC5						
FFFFFF12AH	割り込み制御レジスタ	WTNIC						
FFFFFF12CH	割り込み制御レジスタ	WTNIC						
FFFFFF12EH	割り込み制御レジスタ	CSIC0						
FFFFFF130H	割り込み制御レジスタ	TMIC6						
FFFFFF132H	割り込み制御レジスタ	CSIC4						
FFFFFF134H	割り込み制御レジスタ	STIC0						
FFFFFF136H	割り込み制御レジスタ	KRIC						
FFFFFF138H	割り込み制御レジスタ	注1						
FFFFFF13AH	割り込み制御レジスタ	注2						
FFFFFF13CH	割り込み制御レジスタ ^{注3}	CANIC3						
FFFFFF13EH	割り込み制御レジスタ ^{注3}	CANIC7						
FFFFFF140H	割り込み制御レジスタ	TMIC80						
FFFFFF142H	割り込み制御レジスタ	TMIC81						
FFFFFF144H	割り込み制御レジスタ	TMIC90						
FFFFFF146H	割り込み制御レジスタ	TMIC91						
FFFFFF148H	割り込み制御レジスタ	CSIC3						
FFFFFF14AH	割り込み制御レジスタ	STIC1						
FFFFFF14CH	割り込み制御レジスタ	DMAIC3						
FFFFFF14EH	割り込み制御レジスタ	DMAIC4						

注1. CANIC1 (V850/SC3のみ) / IEBIC1 (V850/SC2のみ)

2. CANIC2 (V850/SC3のみ) / IEBIC2 (V850/SC2のみ)

3. V850/SC3のみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
FFFFF150H	割り込み制御レジスタ	DMAIC5	R/W					47H
FFFFF152H	割り込み制御レジスタ ^注	CANIC4						
FFFFF154H	割り込み制御レジスタ ^注	CANIC5						
FFFFF156H	割り込み制御レジスタ ^注	CANIC6						
FFFFF158H	割り込み制御レジスタ	PIC7						
FFFFF15AH	割り込み制御レジスタ	SRIC2						
FFFFF15CH	割り込み制御レジスタ	STIC2						
FFFFF15EH	割り込み制御レジスタ	SRIC3						
FFFFF160H	割り込み制御レジスタ	STIC3						
FFFFF162H	割り込み制御レジスタ	TMIC100						
FFFFF164H	割り込み制御レジスタ	TMIC101						
FFFFF166H	インサービス・プライオリティ・レジスタ	ISPR		R				
FFFFF168H	割り込み制御レジスタ	TMIC110	R/W					47H
FFFFF16AH	割り込み制御レジスタ	TMIC111						
FFFFF16CH	割り込み制御レジスタ	TMIC120						
FFFFF16EH	割り込み制御レジスタ	TMIC121						
FFFFF170H	コマンド・レジスタ	PRCMD	W					不定
FFFFF172H	割り込み制御レジスタ	CSIC2	R/W					47H
FFFFF180H	DMA周辺I/Oアドレス・レジスタ0	DIOA0						不定
FFFFF182H	DMA内蔵RAMアドレス・レジスタ0	DRA0						
FFFFF184H	DMAバイト・カウント・レジスタ0	DBC0						
FFFFF186H	DMAチャンネル・コントロール・レジスタ0	DCHC0						00H
FFFFF190H	DMA周辺I/Oアドレス・レジスタ1	DIOA1						不定
FFFFF192H	DMA内蔵RAMアドレス・レジスタ1	DRA1						
FFFFF194H	DMAバイト・カウント・レジスタ1	DBC1						
FFFFF196H	DMAチャンネル・コントロール・レジスタ1	DCHC1						00H
FFFFF1A0H	DMA周辺I/Oアドレス・レジスタ2	DIOA2						不定
FFFFF1A2H	DMA内蔵RAMアドレス・レジスタ2	DRA2						
FFFFF1A4H	DMAバイト・カウント・レジスタ2	DBC2						
FFFFF1A6H	DMAチャンネル・コントロール・レジスタ2	DCHC2						00H
FFFFF1B0H	DMA周辺I/Oアドレス・レジスタ3	DIOA3						不定
FFFFF1B2H	DMA内蔵RAMアドレス・レジスタ3	DRA3						
FFFFF1B4H	DMAバイト・カウント・レジスタ3	DBC3						
FFFFF1B6H	DMAチャンネル・コントロール・レジスタ3	DCHC3						00H
FFFFF1C0H	DMA周辺I/Oアドレス・レジスタ4	DIOA4						不定
FFFFF1C2H	DMA内蔵RAMアドレス・レジスタ4	DRA4						
FFFFF1C4H	DMAバイト・カウント・レジスタ4	DBC4						
FFFFF1C6H	DMAチャンネル・コントロール・レジスタ4	DCHC4						00H
FFFFF1D0H	DMA周辺I/Oアドレス・レジスタ5	DIOA5						不定
FFFFF1D2H	DMA内蔵RAMアドレス・レジスタ5	DRA5						

注 μ PD703089Y, 70F3089Yのみ有効です。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
FFFFFF1D4H	DMAバイト・カウント・レジスタ5	DBC5	R/W					不定
FFFFFF1D6H	DMAチャンネル・コントロール・レジスタ5	DCHC5						00H
FFFFFF200H	16ビット・タイマ・レジスタ0	TM0	R					0000H
FFFFFF202H	16ビット・キャプチャ/コンペア・レジスタ00	CR00	注					
FFFFFF204H	16ビット・キャプチャ/コンペア・レジスタ01	CR01						
FFFFFF206H	プリスケアラ・モード・レジスタ00	PRM00	R/W					00H
FFFFFF208H	16ビット・タイマ・モード・コントロール・レジスタ0	TMC0						
FFFFFF20AH	キャプチャ/コンペア・コントロール・レジスタ0	CRC0						
FFFFFF20CH	タイマ出力コントロール・レジスタ0	TOC0						
FFFFFF20EH	プリスケアラ・モード・レジスタ01	PRM01						
FFFFFF210H	16ビット・タイマ・レジスタ1	TM1	R					0000H
FFFFFF212H	16ビット・キャプチャ/コンペア・レジスタ10	CR10	注					
FFFFFF214H	16ビット・キャプチャ/コンペア・レジスタ11	CR11						
FFFFFF216H	プリスケアラ・モード・レジスタ10	PRM10	R/W					00H
FFFFFF218H	16ビット・タイマ・モード・コントロール・レジスタ1	TMC1						
FFFFFF21AH	キャプチャ/コンペア・コントロール・レジスタ1	CRC1						
FFFFFF21CH	タイマ出力コントロール・レジスタ1	TOC1						
FFFFFF21EH	プリスケアラ・モード・レジスタ11	PRM11						
FFFFFF230H	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	ASIM2						
FFFFFF232H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	ASIS2	R					
FFFFFF234H	ポー・レート・ジェネレータ・コントロール・レジスタ2	BRGC2	R/W					
FFFFFF236H	送信シフト・レジスタ2	TXS2	W					FFH
FFFFFF238H	受信バッファ・レジスタ2	RXB2	R					
FFFFFF23AH	ポー・レート・ジェネレータ・モード・コントロール・レジスタ20	BRGMC20	R/W					00H
FFFFFF23CH	ポー・レート・ジェネレータ・モード・コントロール・レジスタ21	BRGMC21						
FFFFFF240H	クロック同期式シリアル・インタフェース・モード・レジスタ5	CSIM5	R/W					
FFFFFF242H	クロック同期式シリアル・インタフェース・クロック選択レジスタ5	CSICK5						
FFFFFF244H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ5	SIRB5	R					0000H
FFFFFF246H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ5	SIRBL5						00H
FFFFFF248H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ5	SOTB5	R/W					0000H
★ FFFFFFF24AH	クロック同期式シリアル・インタフェース送信バッファ・レジスタ5	SOTBL5						00H
FFFFFF24CH	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ5	SIRBE5	R					0000H
★ FFFFFFF24EH	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ5	SIRBEL5						00H
FFFFFF250H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ5	SOTBF5	R/W					0000H
★ FFFFFFF252H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ5	SOTBFL5						00H
FFFFFF254H	シリアルI/Oシフト・レジスタ5	SIO5	R					0000H
★ FFFFFFF256H	シリアルI/Oシフト・レジスタ5	SIOL5						00H
FFFFFF260H	クロック同期式シリアル・インタフェース・モード・レジスタ6	CSIM6	R/W					00H
FFFFFF262H	クロック同期式シリアル・インタフェース・クロック選択レジスタ6	CSICK6						00H
FFFFFF264H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ6	SIRB6	R					0000H

注 コンペア・モード時 : R/W

キャプチャ・モード時 : R

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
FFFFFF266H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ6	SIRBL6	R					00H
FFFFFF268H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ6	SOTB6	R/W					0000H
★ FFFFF26AH	クロック同期式シリアル・インタフェース送信バッファ・レジスタ6	SOTBL6						00H
FFFFFF26CH	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ6	SIRBE6	R					0000H
★ FFFFF26EH	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ6	SIRBEL6						00H
FFFFFF270H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ6	SOTBF6	R/W					0000H
★ FFFFF272H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ6	SOTBFL6						00H
FFFFFF274H	シリアルI/Oシフト・レジスタ6	SIO6	R					0000H
★ FFFFF276H	シリアルI/Oシフト・レジスタ6	SIOL6						00H
FFFFFF284H	タイマ・クロック選択レジスタ60	TCL60	R/W					
FFFFFF286H	タイマ・モード・コントロール・レジスタ60	TMC60						04H ^注
FFFFFF28AH	16ビット・カウンタ6	TM6	R					0000H
FFFFFF28CH	16ビット・コンペア・レジスタ6	CR6	R/W					
FFFFFF28EH	タイマ・クロック選択レジスタ61	TCL61						00H
FFFFFF2A0H	シリアルI/Oシフト・レジスタ0	SIO0						
FFFFFF2A2H	シリアル動作モード・レジスタ0	CSIM0						
FFFFFF2A4H	シリアル・クロック選択レジスタ0	CSIS0						
FFFFFF2B0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ3	ASIM3						
FFFFFF2B2H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ3	ASIS3	R					
FFFFFF2B4H	ポー・レート・ジェネレータ・コントロール・レジスタ3	BRGC3	R/W					
FFFFFF2B6H	送信シフト・レジスタ3	TXS3	W					FFH
FFFFFF2B8H	受信バッファ・レジスタ3	RXB3	R					
FFFFFF2BAH	ポー・レート・ジェネレータ・モード・コントロール・レジスタ30	BRGMC30	R/W					00H
FFFFFF2BCH	ポー・レート・ジェネレータ・モード・コントロール・レジスタ31	BRGMC31						
FFFFFF2C0H	シリアルI/Oシフト・レジスタ2	SIO2						
FFFFFF2C2H	シリアル動作モード・レジスタ2	CSIM2						
FFFFFF2C4H	シリアル・クロック選択レジスタ2	CSIS2						
FFFFFF2D0H	シリアルI/Oシフト・レジスタ3	SIO3						
FFFFFF2D2H	シリアル動作モード・レジスタ3	CSIM3						
FFFFFF2D4H	シリアル・クロック選択レジスタ3	CSIS3						
FFFFFF2E0H	可変長シリアルI/Oシフト・レジスタ4	SIO4						0000H
FFFFFF2E2H	可変長シリアル制御レジスタ4	CSIM4						00H
FFFFFF2E4H	可変長シリアル設定レジスタ4	CSIB4						
FFFFFF2E6H	ポー・レート・ジェネレータ・ソース・クロック選択レジスタ4	BRGCN4						
FFFFFF2E8H	ポー・レート出力クロック選択レジスタ4	BRGCK4						7FH
FFFFFF300H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0						00H
FFFFFF302H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R					
FFFFFF304H	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W					
FFFFFF306H	送信シフト・レジスタ0	TXS0	W					FFH
FFFFFF308H	受信バッファ・レジスタ0	RXB0	R					

注 ハードウェアの状態では04Hに初期化されますが、リードすると00Hが読み出されます。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
FFFFFF30EH	ポー・レート・ジェネレータ・モード・コントロール・レジスタ00	BRGMC00	R/W					00H
FFFFFF310H	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	ASIM1						
FFFFFF312H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1	R					
FFFFFF314H	ポー・レート・ジェネレータ・コントロール・レジスタ1	BRGC1	R/W					
FFFFFF316H	送信シフト・レジスタ1	TXS1	W					FFH
FFFFFF318H	受信バッファ・レジスタ1	RXB1	R					
FFFFFF31EH	ポー・レート・ジェネレータ・モード・コントロール・レジスタ10	BRGMC10	R/W					00H
FFFFFF320H	ポー・レート・ジェネレータ・モード・コントロール・レジスタ01	BRGMC01						
FFFFFF322H	ポー・レート・ジェネレータ・モード・コントロール・レジスタ11	BRGMC11						
FFFFFF334H	タイマ・クロック選択レジスタ50	TCL50						
FFFFFF336H	タイマ・モード・コントロール・レジスタ50	TMC50						
FFFFFF33AH	16ビット・カウンタ5	TM5	R					04H ^注
FFFFFF33CH	16ビット・コンペア・レジスタ5	CR5	R/W					00H
FFFFFF33EH	タイマ・クロック選択レジスタ51	TCL51						
FFFFFF340H	IICコントロール・レジスタ0	IICC0						
FFFFFF342H	IIC状態レジスタ0	IICS0	R					
FFFFFF344H	IICクロック選択レジスタ0	IICCL0	R/W					
FFFFFF346H	スレーブ・アドレス・レジスタ0	SVA0						
FFFFFF348H	IICシフト・レジスタ0	IIC0						
FFFFFF34AH	IIC機能拡張レジスタ0	IICX0						
FFFFFF34CH	IICクロック拡張レジスタ0	IICCE0						
FFFFFF350H	IICコントロール・レジスタ1	IICC1						
FFFFFF352H	IIC状態レジスタ1	IICS1	R					
FFFFFF354H	IICクロック選択レジスタ1	IICCL1	R/W					
FFFFFF356H	スレーブ・アドレス・レジスタ1	SVA1						
FFFFFF358H	IICシフト・レジスタ1	IIC1						
FFFFFF35AH	IIC機能拡張レジスタ1	IICX1						
FFFFFF35CH	IICクロック拡張レジスタ1	IICCE1						
FFFFFF360H	時計用タイマ・モード・レジスタ	WTNM						
FFFFFF364H	時計用タイマ・クロック選択レジスタ	WTNCS						
★ FFFFFFF366H	時計用タイマ高速クロック選択レジスタ	WTNHC						
★ FFFFFFF368H	IICフラグ・レジスタ0	IICF0						
★ FFFFFFF36AH	IICフラグ・レジスタ1	IICF1						
FFFFFF36CH	コレクション・コントロール・レジスタ	CORCN						
FFFFFF36EH	コレクション要求レジスタ	CORRQ						
FFFFFF370H	コレクション・アドレス・レジスタ0	CORAD0						
FFFFFF374H	コレクション・アドレス・レジスタ1	CORAD1						
FFFFFF378H	コレクション・アドレス・レジスタ2	CORAD2						
FFFFFF37CH	コレクション・アドレス・レジスタ3	CORAD3						
FFFFFF380H	発振安定時間選択レジスタ	OSTS						
FFFFFF382H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS						
FFFFFF384H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM						

注 ハードウェアの状態では、04Hに初期化されますが、リードすると00Hが読み出されます。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時	
				1	8	16	32		
FFFFFF38EH	DMA起動要因拡張レジスタ	DMAS	R/W					00H	
FFFFFF390H	16ビット・タイマ・レジスタ8	TM8	R					0000H	
★ FFFFFFF392H	16ビット・キャプチャ/コンペア・レジスタ80	CR80	注1					0000H	
★ FFFFFFF394H	16ビット・キャプチャ/コンペア・レジスタ81	CR81							
FFFFFF396H	プリスケラ・モード・レジスタ80	PRM80	R/W					00H	
FFFFFF398H	16ビット・タイマ・モード・コントロール・レジスタ8	TMC8							
FFFFFF39AH	キャプチャ/コンペア・コントロール・レジスタ8	CRC8							
FFFFFF39CH	タイマ出力コントロール・レジスタ8	TOC8							
FFFFFF39EH	プリスケラ・モード・レジスタ81	PRM81							
FFFFFF3A0H	16ビット・タイマ・レジスタ7	TM7		R					
★ FFFFFFF3A2H	16ビット・キャプチャ/コンペア・レジスタ70	CR70	注1					0000H	
★ FFFFFFF3A4H	16ビット・キャプチャ/コンペア・レジスタ71	CR71							
FFFFFF3A6H	プリスケラ・モード・レジスタ70	PRM70	R/W					00H	
FFFFFF3A8H	16ビット・タイマ・モード・コントロール・レジスタ7	TMC7							
FFFFFF3AAH	キャプチャ/コンペア・コントロール・レジスタ7	CRC7							
FFFFFF3ACH	タイマ出力コントロール・レジスタ7	TOC7	R/W					00H	
FFFFFF3AEH	プリスケラ・モード・レジスタ71	PRM71							
FFFFFF3B0H	16ビット・タイマ・レジスタ9	TM9	R					0000H	
★ FFFFFFF3B2H	16ビット・キャプチャ/コンペア・レジスタ90	CR90	注1					0000H	
★ FFFFFFF3B4H	16ビット・キャプチャ/コンペア・レジスタ91	CR91							
FFFFFF3B6H	プリスケラ・モード・レジスタ90	PRM90	R/W					00H	
FFFFFF3B8H	16ビット・タイマ・モード・コントロール・レジスタ9	TMC9							
FFFFFF3BAH	キャプチャ/コンペア・コントロール・レジスタ9	CRC9							
FFFFFF3BCH	タイマ出力コントロール・レジスタ9	TOC9							
FFFFFF3BEH	プリスケラ・モード・レジスタ91	PRM91							
FFFFFF3C0H	A/Dコンバータ・モード・レジスタ1	ADM1							
FFFFFF3C2H	アナログ入力チャネル指定レジスタ	ADS							
FFFFFF3C4H	A/D変換結果レジスタ	ADCR	R					0000H	
FFFFFF3C6H	A/D変換結果レジスタH (上位8ビット)	ADCRH						00H	
FFFFFF3C8H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W					0000H	
FFFFFF3D0H	キー・リターン・モード・レジスタ	KRM							
FFFFFF3D4H	ノイズ除去制御レジスタ	NCC							
FFFFFF3E0H	IEBusコントロール・レジスタ ^{注2}	BCR							
FFFFFF3E2H	IEBus自局アドレス・レジスタ ^{注2}	UAR							0000H
FFFFFF3E4H	IEBusスレーブ・アドレス・レジスタ ^{注2}	SAR							
FFFFFF3E6H	IEBus相手先アドレス・レジスタ ^{注2}	PAR	R						
FFFFFF3E8H	IEBusコントロール・データ・レジスタ ^{注2}	CDR	R/W					01H	
FFFFFF3EAH	IEBus電文長レジスタ ^{注2}	DLR							
FFFFFF3ECH	IEBusデータ・レジスタ ^{注2}	DR						00H	
FFFFFF3EEH	IEBusユニット・ステータス・レジスタ ^{注2}	USR	R						

- ★ 注1. コンペア・モード時 : R/W
キャプチャ・モード時 : R
- 2. V850/SC2のみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
FFFFFF3F0H	IEBusインタラプト・ステータス・レジスタ ^注	ISR	R/W					00H
FFFFFF3F2H	IEBusスレーブ・ステータス・レジスタ ^注	SSR	R					41H
FFFFFF3F4H	IEBus通信成功カウンタ ^注	SCR						01H
FFFFFF3F6H	IEBus伝送カウンタ ^注	CCR						20H
FFFFFF3F8H	IEBusクロック選択レジスタ ^注	IECLK	R/W					00H

注 V850/SC2のみ

3.4.9 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。この特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作時はシステム・ステータス・レジスタ (SYS) に報告されます。V850/SC1, V850/SC2, V850/SC3にはパワー・セーブ・コントロール・レジスタ (PSC) とプロセッサ・クロック・コントロール・レジスタ (PCC) の2つの特定レジスタがあります。PSCレジスタについては4.3.1(2) **パワー・セーブ・コントロール・レジスタ (PSC)** , PCCレジスタについては4.3.1(1) **プロセッサ・クロック・コントロール・レジスタ (PCC)** を参照してください。

特定レジスタへのデータ設定は次のシーケンスで行います。

DMA動作を禁止する。

割り込み禁止にする (PSWのNPビットを1に設定)。

コマンド・レジスタ (PRCMD) に任意の8ビット・データを書き込む。

特定レジスタに設定データを書き込む (次の命令で行います)。

- ・ストア命令 (ST/SST命令)

- ・ビット操作命令 (SET1/CLR1/NOT1命令)

割り込み禁止を解除する (PSWのNPビットを0に戻す)。

DMA動作が必要な場合、DMA動作を許可する。

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

注意1. PRCMD発行 () と、その直後の特定レジスタ書き込み () の間で割り込み要求 / DMA要求を受け付けた場合、特定レジスタへの書き込みは行われず、プロテクション・エラー (SYSレジスタのPRERRビットが“1”) が発生することがあります。このため、PSWのNPビットを1に設定し () , INT/NMIの受け付け / DMA転送を禁止してください。特定レジスタの設定にビット操作命令を使用した場合も同様です。次に記述例を示します。

【記述例】 : PCCレジスタの場合

```
LDSR rX, 5           ;NPビット = 1
ST.B r0, PRCMD[r0]  ;PRCMDへの書き込み
ST.B rD, PCC[r0]    ;PCCレジスタ設定
LDSR rY, 5           ;NPビット = 0
:
```

備考 rD : PCC設定値, rX : PSWに書き込む値, rY : PSWに書き戻す値が、設定済みとします。

なお、PSWの値を保存する場合、NPビットをセットする前のPSWの値をrYレジスタに転送しておいてください。

2. 特定レジスタをアクセスする前に、必ずDMAを停止させてからアクセスしてください。
3. IDLEモード、STOPモードにするためにPSCレジスタにデータを設定する場合、IDLE/STOPモード解除後のルーチンが正しく実行されるように、ダミー命令を挿入する必要があります。詳細は4.6 **パワー・セーブ機能に関する注意事項を参照してください。**

(1) コマンド・レジスタ (PRCMD)

コマンド・レジスタ (PRCMD) は、プログラムの暴走などにより特定レジスタへの不正書き込みが発生しないよう特定レジスタへのライト・アクセス時に使用するレジスタです。8ビット単位でライトのみ可能です。リード時は不定値になります。

不正なストア動作の発生は、SYSレジスタのPRERRビットでチェックできます。

リセット時：不定 W アドレス：FFFFFF170H

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

REGn	レジストレーション・コード
0/1	任意の8ビット・データ

備考 n = 0-7

(2) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF078H

	7	6	5	④	3	2	1	0
SYS	0	0	0	PRERR	0	0	0	0

PRERR	プロテクション・エラーの検出
0	プロテクション・エラーは発生していない
1	プロテクション・エラーが発生している

PRERRフラグの動作条件を次に示します。

(a) **セット条件** (PRERR = 1)

最近の周辺I/Oに対するストア命令動作がPRCMDへの書き込み動作でない状態で、特定レジスタへの書き込み動作を行ったとき

PRCMDレジスタへの書き込み動作後の最初のストア命令動作が、特定レジスタ以外の周辺I/Oレジスタ (PRCMDレジスタ, SYSレジスタを含む) に対するとき

(b) **リセット条件** (PRERR = 0)

SYSレジスタのPRERRフラグに“0”を書き込んだとき (ただし、備考1の場合は除く)

システム・リセット時

- ★ **備考1.** PRCMDレジスタへの書き込み動作直後にPRERRビットに“0”を書き込むと、PRERRビットは“1”にセットされます (SYSレジスタは特定レジスタではないため)。
- ★ **2.** PRCMDレジスタへの書き込み動作直後に再びPRCMDレジスタへ書き込みを行うと、SYSレジスタのPRERRビットは“1”にセットされます (SYSレジスタは特定レジスタではないため)。

第4章 クロック発生機能

4.1 概要

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロック発生回路には、次の2種類があります。

(1) メイン・クロック発生回路

- ★ V850/SC1, V850/SC3は、4-20 MHzの周波数を発振します。V850/SC2は、4-18.87 MHzの周波数を発振します。STOPモードの設定およびプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により発振を停止できます。リセット期間中は発振を停止します。

IDLEモード時は、時計用タイマだけに周辺クロックを供給できます。したがって、IDLEモード時はサブクロック発振器を使用しなくても、時計用タイマをカウントさせることができます。

- 注意1. リセット入力、STOPモードの設定によりメイン・クロック発振器が停止すると、その解除後に発振安定時間を確保します。発振安定時間は発振安定時間選択レジスタ（OSTS）で設定します。発振安定時間カウント用のタイマとしてウォッチドッグ・タイマを使用します。
- 2. PCCレジスタのMCKビットを1にセットしてメイン・クロックを停止したあとに、MCKビットを0にクリアしてメイン・クロック停止を解除した場合、発振安定時間は確保されません。
- 3. 外部クロック入力は禁止です。

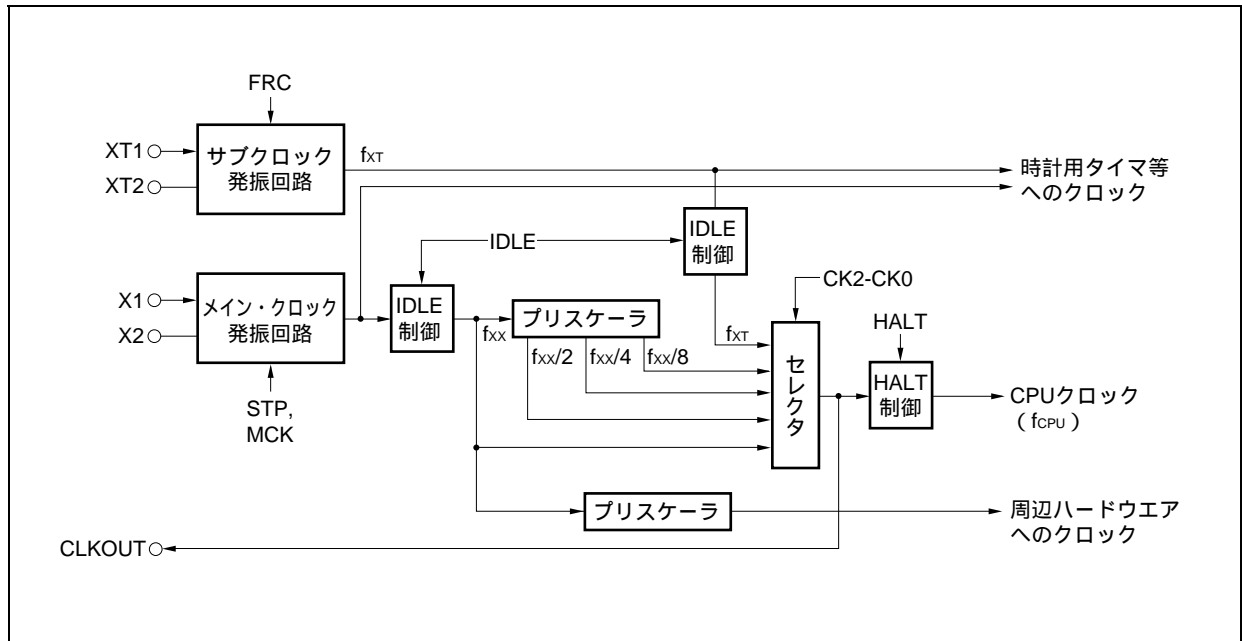
(2) サブクロック発生回路

32.768 kHzの周波数を発振します。STOPモードに設定を実行しても発振は停止しません。また、リセット入力では発振を停止しません。

サブクロック発生回路を使用しないとき、プロセッサ・クロック・コントロール・レジスタ（PCC）のFRCビットで、内蔵帰還抵抗を使用しない設定にできます。これによってSTOPモード時の消費電流を低減できます。

4.2 構成

図4 - 1 クロック発生回路



4.3 クロック出力機能

CPUクロックをCLKOUT端子に出力する機能です。

クロック出力許可の場合、CPUクロックをCLKOUT端子に出力します。禁止の場合は、ロウ・レベルをCLKOUT端子に出力します。

IDLE、STOPモード時は、出力を停止します（ロウ・レベル固定）。

PSCレジスタのDCLK1、DCLK0ビットで制御します。

リセット期間中はハイ・インピーダンス状態になります。リセット解除後はロウ・レベルを出力します。

注意 CLKOUTを出力している間は、CPUクロック（PCCレジスタのCK2-CK0ビット）を変更しないでください。

4.3.1 制御レジスタ

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

このレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.9 特定レジスタ参照)。8/1ビット単位でリード/ライト可能です。

リセット時：03H R/W アドレス：FFFFFF074H

	⑦	⑥	5	4	3	②	1	0
PCC	FRC	MCK	0	0	0	CK2	CK1	CK0

FRC	サブクロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

MCK	メイン・クロックの動作
0	動作
1	停止

CK2 ^{注1,2}	CK1	CK0	CPUクロックの選択
0	0	0	f _{xx}
0	0	1	f _{xx} /2
0	1	0	f _{xx} /4
0	1	1	f _{xx} /8
1	X	X	f _{XT} (サブクロック)

★ 注1. CK2を操作する場合は、1ビット単位で操作してください。8ビット単位で操作する場合は、CK1, CK0の値は変更しないでください。

2. CPUがサブクロックで動作しているとき (CK2 = 1) は、STOPモードに設定しないでください。

★ 注意1. CLKOUTを出力している間は、CPUクロック (PCCレジスタのCK2-CK0ビット) を変更しないでください。

2. CPUクロックがメイン・クロックで動作中にMCKビットを1にしてもメイン・クロックの動作は停止しません。CPUクロックがサブクロックに変更したあと停止します。

3. ビット5-3には必ず“0”を設定してください。

備考 X：任意

(a) メイン・クロック動作 サブクロック動作の設定例

- CK2 1 : ビット操作命令推奨。CK1, CK0は変更しない。
- サブクロック動作 : CK2ビットを設定したあと、サブクロック動作するまでに次に示す命令数が最大かかります。
- (設定前のCPUクロック周波数 / サブクロック周波数) × 2
- したがって、上記命令数分のウエイトをプログラムにより挿入してください。
- MCK 1 : メイン・クロックを停止するときのみ

★ (b) サブクロック動作 メイン・クロック動作の設定例

- MCK 0 : メイン・クロック発振開始
- プログラムによりウエイトを挿入して、メイン・クロックの発振安定時間が経過するまで待ちます。
- CK2 0 : ビット操作命令推奨。CK1, CK0は変更しない。
- メイン・クロック動作 : CK2ビットを設定したあと、メイン・クロック動作するまでに最大2命令かかります。

(2) パワー・セーブ・コントロール・レジスタ (PSC)

このレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込み可能です(3.4.

9 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセット時 : C0H R/W アドレス : FFFFF070H

	7	6	5	4	3	②	①	0
PSC	DCLK1	DCLK0	0	0	0	IDLE	STP	0

DCLK1	DCLK0	CLKOUT端子動作指定
0	0	出力許可
0	1	Hi-Z出力 ^{注1}
1	0	設定禁止
1	1	出力禁止 (リセット時)

IDLE	IDLEモードの設定
0	通常モード
1	IDLEモード ^{注2}

STP	STOPモードの設定
0	通常モード
1	STOPモード ^{注3}

- ★ 注1. インサーキット・エミュレータではHi-Z出力できません。
- 2. IDLEモードが解除されると、自動的にリセット(0)されます。
- 3. STOPモードが解除されると、自動的にリセット(0)されます。

★ **注意** DCLK0, DCLK1ビットは、8ビット単位で操作してください。

(3) 発振安定時間選択レジスタ (OSTS)

8ビット単位でリード/ライト可能です。

リセット時 : 01H R/W アドレス : FFFFF380H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択			
			クロック	f _{xx}		
				20 MHz	18.87 MHz	16 MHz
0	0	0	2 ¹⁶ /f _{xx}	3.3 ms	3.5 ms	4.1 ms
0	0	1	2 ¹⁸ /f _{xx} (リセット時)	13.1 ms	13.9 ms	16.4 ms
0	1	0	2 ¹⁹ /f _{xx}	26.2 ms	27.8 ms	32.8 ms
0	1	1	2 ²⁰ /f _{xx}	52.4 ms	55.6 ms	65.5 ms
1	0	0	2 ²¹ /f _{xx}	104.9 ms	111.1 ms	131.1 ms
上記以外			設定禁止			

4.4 パワー・セーブ機能

4.4.1 概要

各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。パワー・セーブ機能には、次に示すものがあります。

(1) HALTモード

このモードでは、クロック発振回路は動作を継続しますが、CPUの動作クロックが停止します。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。システムのトータルの消費電力を低減できます。

専用命令（HALT命令）により、HALTモードに移行します。

(2) IDLEモード

クロック発振回路の動作を継続したままでCPUの動作クロックと内蔵周辺機能の動作クロックを停止させることにより、システム全体を停止させるモードです。ただし、サブクロックは動作を継続し、サブクロックで動作している内蔵周辺機能にクロックを供給します。

このモードからの解除時に、発振回路の発振安定時間などを確保する必要がないため、高速に通常動作に移行できます。

パワー・セーブ・コントロール・レジスタ（PSC）のIDLEビットをセット（1）すると、IDLEモードに移行します。

(3) ソフトウェアSTOPモード

メイン・クロック発振回路を停止させ、システム全体を停止させるモードです。サブクロックの供給は継続され、サブクロックで動作している内蔵周辺機能は動作を継続します。サブクロックを使用しない場合は、リーク電流だけの超低消費電力状態になります。サブクロックでCPUを動作させている場合は、STOPモードの設定を禁止します。

PSCレジスタのSTPビットをセット（1）すると、STOPモードに移行します。

(4) サブクロック動作

CPUクロックをサブクロック動作に設定し、PCCレジスタのMCKビットをセット（1）することにより、システム全体をサブクロックだけで動作させる低消費電力状態になります。

HALTモードに設定するとCPUの動作クロックが停止するため、消費電力をさらに低減できます。

IDLEモードに設定するとCPUの動作クロックと一部の周辺機能（DMAC, BCU）が停止するため、HALTモードよりも消費電力を低減できます。

4.4.2 HALTモード

(1) 設定および動作状態

クロック発振回路は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。CPUの空き時間にHALTモードに設定すると、システムのトータルの消費電力を低減できます。

HALTモードではプログラムの実行は停止しますが、その直前のすべてのレジスタと内蔵RAMの内容は保持されます。また、CPUの命令処理に依存しないオンチップの周辺機能は動作を継続します。

HALTモードは、HALT命令により移行します。CPUクロックがメイン・クロック、サブクロックのどちらでも設定できます。

表4-1にHALTモード時の動作状態を示します。

(2) HALTモードの解除

HALTモードは、NMI要求、マスクされていないマスカブル割り込み要求、および $\overline{\text{RESET}}$ 端子入力により解除されます。

(a) 割り込み要求による解除

NMI要求、マスクされていないマスカブル割り込み要求により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

(i) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとHALTモードの解除だけ行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。

(ii) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求(NMI要求を含む)が発生すると、HALTモードの解除とともにこの割り込み要求を受け付けます。

(b) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

表4 - 1 HALTモード時の動作状態 (1/2)

項目	HALTモードの設定		CPUがメイン・クロックで動作中		CPUがサブクロックで動作中	
			サブクロックがない場合	サブクロックがある場合	メイン・クロック 発振継続時	メイン・クロック 発振停止時
CPU	停止					
ROMコレクション	停止					
クロック発生回路	メイン・クロック, サブクロックとも発振 CPUへのクロック供給は停止					
16ビット・タイマ (TM0)	動作				カウント・クロックに INTWTNI選択時に動作 (時計用タイマのカウント・クロックにはf _{XT} を選択)	
16ビット・タイマ (TM1)	動作				停止	
16ビット・タイマ (TM5)	カウント・クロックに メイン・クロックを選択時に動作		動作			カウント・クロックにf _{XT} 選択時に動作
16ビット・タイマ (TM6)	動作				停止	
16ビット・タイマ (TM7- TM12)	動作				停止	
時計用タイマ	カウント・クロックに メイン・クロックを選択時に動作		動作			カウント・クロックにf _{XT} 選択時に動作
ウォッチドッグ・タイマ	動作 (インターバル・タイマのみ)					
シリアル・ インタフェ ース	CSI0, CSI2-CSI6		動作			シリアル・クロックに 外部クロック選択時に 動作
	I ² C0, I ² C1		動作			停止
	UART0-UART3		動作			ボー・レート・クロッ クに外部クロック選択 時に動作
IEBus (V850/SC2のみ)	動作				停止	
FCAN1, FCAN2 ^注 (V850/SC3のみ)	動作				停止	
A/Dコンバータ	動作				停止	
DMA0-DMA5	動作					
ポート機能	保持					
外部バス・インタフェース	バス・ホールド機能のみ動作					

注 μ PD703089Y, 70F3089Yのみ

表4 - 1 HALTモード時の動作状態 (2/2)

HALTモードの 設定		CPUがメイン・クロックで動作中		CPUがサブクロックで動作中	
		サブクロックがない場合	サブクロックがある場合	メイン・クロック 発振継続時	メイン・クロック 発振停止時
外部割り込 み要求	NMI	動 作			
	INTP0-INTP3, INTP7-INTP9	動 作			
	INTP4, INTP5	動 作			停 止
	INTP6	ノイズ除去回路にメイ ン・クロックを選択時 に動作	動 作		ノイズ除去回路にf _{XT} 選 択時に動作
キー・リターン機能		動 作			
外部拡張 モード時	AD0-AD15	ハイ・インピーダンス ^{注1}			
	A1-A15 ^{注2}	保 持 ^{注1} ($\overline{\text{HLDAK}} = 0$ のときはハイ・インピーダンス)			
	A16-A21	保 持 ^{注1} ($\overline{\text{HLDAK}} = 0$ のときはハイ・インピーダンス)			
	LBEN, UBEN	保 持 ^{注1} ($\overline{\text{HLDAK}} = 0$ のときはハイ・インピーダンス)			
	R/W	ハイ・レベル出力 ^{注1} ($\overline{\text{HLDAK}} = 0$ のときはハイ・インピーダンス)			
	DSTB, WRL ^{注2} , WRH ^{注2} , RD ^{注2}				
	ASTB				
	HLDAK	動 作			

注1. HALT命令実行後も、内部の命令プリフェッチ・キューがいっぱいになるまでの間は、命令フェッチ動作を継続します。いっぱいになったあと、表4 - 1の状態ですべて停止します。

2. V850/SC1, V850/SC2のみ

4.4.3 IDLEモード

(1) 設定および動作状態

クロック発振回路は動作を継続したままで、内部メイン・クロックの供給が停止し、システム全体（時計用タイマは除く）が停止するモードです。内部サブクロックの供給は継続されます。このモードからの解除時に、発振回路の発振安定時間を確保する必要がないため、高速に通常動作に移行できます。

IDLEモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタと内蔵RAMの内容は保持します。オンチップの周辺機能も動作を停止します（サブクロック動作中の周辺機能は停止しません）。外部バス・ホールド要求（ $\overline{\text{HLDRQ}}$ ）は受け付けません。

パワー・セーブ・コントロール・レジスタ（PSC）のIDLEビットをセット（1）すると、このモードに移行します。

表4 - 2にIDLEモード時の動作状態を示します。

(2) IDLEモードの解除

ノンマスカブル割り込み入力、動作可能な内蔵周辺I/Oから出力されるマスクされていないマスカブル割り込み要求、 $\overline{\text{RESET}}$ 端子入力により解除されます。

表4-2 IDLEモード時の動作状態

IDLEモードの 設定		サブクロックがある場合	サブクロックがない場合
項目			
CPU		停止	
ROMコレクション		停止	
クロック発生回路		メイン・クロック，サブクロックとも発振 CPU，内蔵周辺機能へのクロック供給は停止	
16ビット・タイマ (TM0)		カウント・クロックにINTWNTNI選択時に動作 (時計用タイマのカウント・クロックにはf _{XT} を選択) (時計用タイマのカウント・クロックにはf _{XT} を選択)	停止
16ビット・タイマ (TM1)		停止	
16ビット・タイマ (TM5)		カウント・クロックにf _{XT} 選択時に動作	停止
16ビット・タイマ (TM6)		停止	
16ビット・タイマ (TM7- TM12)		停止	
時計用タイマ		動作	
ウォッチドッグ・タイマ		停止	
シリアル・ インタフェ ース	CSI0, CSI2-CSI6	シリアル・クロックに外部クロック選択時に動作	
	I ² C0, I ² C1	停止	
	UART0-UART3	ボー・レート・クロックに外部クロック選択時に送信のみ動作	
IEBus (V850/SC2のみ)		停止	
FCAN1, FCAN2 ^{注1} (V850/SC3のみ)		停止	
A/Dコンバータ		停止	
DMA0-DMA5		停止	
ポート機能		保持	
外部バス・インタフェース		停止	
外部割り込 み要求	NMI	動作	
	INTP0-INTP3, INTP7-INTP9	動作	
	INTP4, INTP5	停止	
	INTP6	サンプリング・クロックにf _{XT} 選択時に動作	停止
キー・リターン機能		動作	
外部拡張 モード時	AD0-AD15	ハイ・インピーダンス	
	A1-A15 ^{注2}	保持	
	A16-A21	ハイ・インピーダンス	
	LBEN, UBEN		
	R/W		
	DSTB, WRL ^{注2} , WRH ^{注2} , RD ^{注2}		
	ASTB		
	HLDK		

注1. μ PD703089Y, 70F3089Yのみ

2. V850/SC1, V850/SC2のみ

4.4.4 ソフトウェアSTOPモード

(1) 設定および動作状態

メイン・クロック発振回路を停止させ、内部メイン・クロックの供給が停止し、システム全体が停止するモードです。サブクロック発振回路は動作しており、内部サブクロックの供給は継続します。

サブクロック発振回路を使用しない場合、プロセッサ・クロック・コントロール・レジスタ (PCC) の FRCビットをセット (1) すると、サブクロック発振回路の内蔵帰還抵抗をカットします。これにより、デバイスのリーク電流だけの超低消費電力を実現します。

★ このモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタと内蔵RAMの内容は保持します。オンチップの周辺機能も動作を停止します (サブクロック動作中の周辺機能は停止しません)。外部バス・ホールド要求 ($\overline{\text{HLDRQ}}$) は受け付けません。

設定時のCPUクロックがメイン・クロックの場合だけ設定できます。パワー・セーブ・コントロール・レジスタ (PSC) の STPビットをセット (1) すると、このモードに移行します。

CPUクロックにサブクロックを選択しているときは、このモードに設定しないでください。

表4-3にSTOPモード時の動作状態を示します。

注意 ソフトウェアSTOPモード時の消費電流を低減させるために、FCAN使用、未使用にかかわらず、次のFCANの初期設定を行ってください。

CGSTレジスタのGOMビットを“1”に設定 (set GOM = 1, clear GOM = 0)

CGMSSレジスタのSMNO1, SMNO0ビットを“01”に設定

CGSTレジスタのGOMビットを“0”に設定 (set GOM = 0, clear GOM = 1)

FCANの設定の詳細については、第19章 FCANコントローラを参照してください。

(2) ソフトウェアSTOPモードの解除

ノンマスクブル割り込み入力、動作可能な内蔵周辺I/Oから出力されるマスクされていないマスクブル割り込み要求、 $\overline{\text{RESET}}$ 端子入力により解除されます。

STOPモードを解除したときは、発振回路の発振安定時間を確保します。

表4 - 3 ソフトウェアSTOPモード時の動作状態

STOPモードの 設定		サブクロックがある場合		サブクロックがない場合	
		サブクロックがある場合		サブクロックがない場合	
項目					
CPU		停 止			
ROMコレクション		停 止			
クロック発生回路		メイン・クロック発振停止，サブクロック発振 CPU，内蔵周辺機能へのクロック供給は停止			
16ビット・タイマ (TM0)		カウント・クロックにINTWNTI選択時に動作 (時計用タイマのカウント・クロックにはf _{XT} を選 択)	停 止		
16ビット・タイマ (TM1)		停 止			
16ビット・タイマ (TM5)		カウント・クロックにf _{XT} 選択時に動作	停 止		
16ビット・タイマ (TM6)		停 止			
16ビット・タイマ (TM7- TM12)		停 止			
時計用タイマ		カウント・クロックにf _{XT} を選択時に動作	停 止 (動作禁止)		
ウォッチドッグ・タイマ		停 止			
シリアル・ インタフェ ース	CSI0, CSI2-CSI6	シリアル・クロックに外部クロック選択時に動作			
	I ² C0, I ² C1	停 止			
	UART0-UART3	ボー・レート・クロックに外部クロック選択時に送信のみ動作			
IEBus (V850/SC2のみ)		停 止			
FCAN1, FCAN2 ^{注1} (V850/SC3のみ)		停 止			
A/Dコンバータ		停 止			
DMA0-DMA5		停 止			
ポート機能		保 持			
外部バス・インタフェース		停 止			
外部割り込 み要求	NMI	動 作			
	INTP0-INTP3, INTP7-INTP9	動 作			
	INTP4, INTP5	停 止			
	INTP6	サンプリング・クロックにf _{XT} 選択時に動作	停 止		
キー・リターン機能		動 作			
外部拡張 モード時	AD0-AD15	ハイ・インピーダンス			
	A1-A15 ^{注2}	保 持			
	A16-A21	ハイ・インピーダンス			
	LBEN, UBEN				
	R/W				
	DSTB, WRL ^{注2} , WRH ^{注2} , RD ^{注2}				
	ASTB				
	HLDK				

注1. μ PD703089Y, 70F3089Yのみ

2. V850/SC1, V850/SC2のみ

4.5 発振安定時間の確保

STOPモード解除後の停止状態の発振回路が安定するまでの時間の確保について次に示します。

(1) ノンマスクابل割り込み、マスクされていないマスクابل割り込み要求で時間を確保する場合

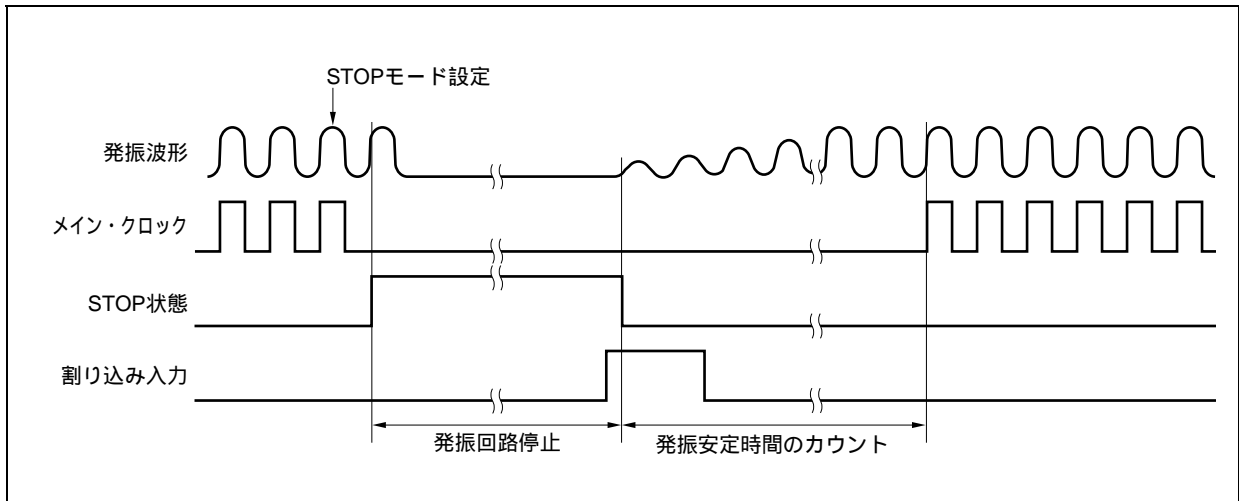
ノンマスクابل割り込み、マスクされていないマスクابل割り込み要求が入力されると、STOPモードが解除されます。割り込み入力でカウンタ（ウォッチドッグ・タイマ）がカウントを開始し、そのカウント時間で、発振回路からのクロック出力が安定するまでの時間を確保します。

発振安定時間は、発振安定時間選択レジスタ（OSTS）により設定します。

発振安定時間 WDTカウント時間

所定時間後、システム・クロック出力が開始し、割り込みのハンドラ・アドレスに分岐します。

図4-2 発振安定時間



(2) RESET端子で時間を確保する場合（RESET端子入力）

RESET端子で時間を確保する場合には、第14章 リセット機能を参照してください。

発振安定時間は、OSTSレジスタのリセット時の値により、 $2^{18}/f_{xx}$ になります。

4.6 パワー・セーブ機能に関する注意事項

★ (1) 内蔵ROM上で命令を実行しているとき

内蔵ROM上で命令を実行中に、パワー・セーブ・モード（IDLEモードまたはSTOPモード）に設定するときは、パワー・セーブ・モード解除後のルーチンが正しく実行されるように、ダミー命令としてNOP命令を挿入する必要があります。

パワー・セーブ・モード設定シーケンスを次に示します。

DMA動作を禁止する。

割り込み禁止にする（PSWのNPビットを1に設定）。

コマンド・レジスタ（PRCMD）に任意の8ビット・データを書き込む

PSCレジスタに設定データを書き込む（次の命令で行います）。

・ストア命令（ST/SST命令）

・ビット操作命令（SET1/CLR1/NOT1命令）

割り込み禁止を解除する（PSWのNPビットを0に戻す）。

NOP命令を挿入する（2または5命令）。

DMA動作が必要な場合、DMA動作を許可する。

注意1. NPビットを0に戻す（ ）命令の実行により、PSWのIDビットの値が変化しないときはNOP命令を2つ、変化するときはNOP命令を5つ挿入（ ）してください。
次に記述例を示します。

[記述例]

```
LDSR  rX,5           ;NPビット = 1
ST.B  r0,PRCMD[r0]  ;PRCMDへの書き込み
ST.B  rD,PSC[r0]    ;PSCレジスタ設定
LDSR  rY,5           ;NPビット = 0
NOP
:
NOP
(next instruction) ;IDLE/STOPモード解除後の実行ルーチン
:
```

備考 rD：PSC設定値，rX：PSWに書き込む値，rY：PSWに書き戻す値が，設定済みとします。

なお、PSWの値を保存する場合、NPビットをセットする前のPSWの値をrYレジスタに転送しておいてください。

2. IDLEモード，STOPモードに設定するためのPSCレジスタに対するストア命令（ ）後の命令（ 割り込み禁止解除， NOP命令）は、各パワー・セーブ・モードに入る前に実行されます。

(2) 外部ROM上で命令を実行しているとき

V850/SC1, V850/SC2, V850/SC3を次に示す発生条件で使用した場合、パワー・セーブ・モード解除後、プログラム・カウンタ（PC）の指すアドレスと、実際に命令を読み込むアドレスに、ずれが生じてしまいます。

このため、CPUはPSCレジスタに書き込みを行う命令の4バイト後から16バイト後の命令のうち、4/8バイト分の命令を無視して実行し、さらに誤った命令を実行してしまう可能性があります。

- ★ **注意** PCのずれは【発生条件】の(i) - (iii)のすべての条件がそろった場合のみ発生します。1つでも条件が異なれば発生しません。

【発生条件】

- (i) 外部ROM上で命令を実行中に、パワー・セーブ・モード（IDLEモードまたはSTOPモード）に設定
- (ii) 割り込み要求により、パワー・セーブ・モード解除
- (iii) パワー・セーブ・モード解除後、割り込み要求が保留された状態で、続く命令を実行

割り込み要求が保留される条件：

- ・ PSWレジスタのNPフラグが“1”の場合（NMI処理中/ソフトウェアによりセット）
- ・ PSWレジスタのIDフラグが“1”の場合（割り込み要求処理中/DI命令/ソフトウェアによりセット）
- ・ 割り込み要求処理中で、割り込み許可（EI）状態となっているが、処理中の割り込み要求に対して、優先順位が同じか低い割り込み要求で、解除された場合

したがって、次に示す条件でご使用ください。

【使用条件】

- (i) 外部ROM上で命令実行中に、パワー・セーブ・モード（IDLEモードまたはSTOPモード）を使用しない。
- (ii) 外部ROM上で命令を実行中に、パワー・セーブ・モードを使用する場合、次のようにソフトウェア対策を行う。
 - ・ PSCレジスタに書き込みを行う命令の4バイト後から、NOP命令を6個挿入する。
 - ・ NOP命令のあとに、PCのずれを解消するために、BR \$ + 2命令を挿入する。

【回避プログラム例】

```
LDSR    rX, 5           ; rXの値をPSWに設定
ST.B    r0, PRCMD[r0]  ; PRCMDへ書き込み
ST.B    rD, PSC[r0]    ; PSCレジスタ設定
LDSR    rY, 5           ; PSWの値を戻す
NOP
NOP
NOP
NOP
NOP
NOP
NOP
NOP
BR      $+2             ; PCのずれを解消
```

備考 rD (PSC設定値), rX (PSWに書き込む値), rY (PSWに書き戻す値) が, 設定済みとします。

第5章 ポート機能

5.1 各ポートの構成

V850/SC1, V850/SC2, V850/SC3は, ポート0-15, 17の合計124本の入出力ポート(うち12本は入力専用ポート)を内蔵しています。

端子の入出力バッファ電源には, PORTV_{DD0}-PORTV_{DD2}, V_{DD0}, V_{DD1}, ADCV_{DD}の6系統があります。それぞれの電源と端子の関係を次に示します。

★

表5 - 1 各端子の入出力バッファ電源

(a) μ PD70F3089Yの場合

電 源	対応する端子	使用可能な電圧範囲
PORTV _{DD0} ^{注1}	P40-P47, P50-P57, P60-P65, P90-P96, CLKOUT	3.0 V PORTV _{DD0} 5.5 V
PORTV _{DD1} ^{注1}	P00-P03, P10-P17, P30-P37, P100-P107, P110-P117	3.0 V PORTV _{DD1} 5.5 V ^{注2}
PORTV _{DD2} ^{注1}	P04-P07, P20-P27, P120-P127, P130-P133, P140-P147, P150-P157	3.0 V PORTV _{DD2} 5.5 V ^{注2}
V _{DD0}	RESET	A/Dコンバータ未使用時: 4.0 V V _{DD0} 5.5 V A/Dコンバータ使用時 : 4.5 V V _{DD0} = ADCV _{DD} 5.5 V
V _{DD1}	P170-P176	4.0 V V _{DD1} 5.5 V
ADCV _{DD}	P70-P77, P80-P83	A/Dコンバータ未使用時: 4.0 V ADCV _{DD} 5.5 V A/Dコンバータ使用時 : 4.5 V V _{DD0} = ADCV _{DD} 5.5 V

(b) μ PD70F3089Y以外の場合

電 源	対応する端子	使用可能な電圧範囲
PORTV _{DD0} ^{注1}	P40-P47, P50-P57, P60-P65, P90-P96, CLKOUT	3.0 V PORTV _{DD0} 5.5 V
PORTV _{DD1} ^{注1}	P00-P03, P10-P17, P30-P37, P100-P107, P110-P117	3.0 V PORTV _{DD1} 5.5 V ^{注2}
PORTV _{DD2} ^{注1}	P04-P07, P20-P27, P120-P127, P130-P133, P140-P147, P150-P157	3.0 V PORTV _{DD2} 5.5 V ^{注2}
V _{DD0}	RESET	A/Dコンバータ未使用時: 3.5 V V _{DD0} 5.5 V A/Dコンバータ使用時 : 4.5 V V _{DD0} = ADCV _{DD} 5.5 V
V _{DD1}	P170-P176	3.5 V V _{DD1} 5.5 V
ADCV _{DD}	P70-P77, P80-P83	A/Dコンバータ未使用時: 3.5 V ADCV _{DD} 5.5 V A/Dコンバータ使用時 : 4.5 V V _{DD0} = ADCV _{DD} 5.5 V

注1. 動作周波数が4-17 MHzの場合と, 4-20 MHzの場合とでは電気的特性が異なります。

2. FCANコントローラ使用時: PORTV_{DD1} PORTV_{DD2} (インサーキット・エミュレータの電源電圧条件のため)

注意 各電源の条件は次のようになります。

$$\text{PORTV}_{\text{DD0}} \text{ PORTV}_{\text{DD1}} \text{ PORTV}_{\text{DD2}} \text{ V}_{\text{DD0}} = \text{V}_{\text{DD1}} = \text{ADCV}_{\text{DD}}$$

5.2 各ポートの端子機能

5.2.1 ポート0

ポート0は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

P00-P04をNMI, INTP0-INPT3端子として使用する場合、アナログ・ノイズ除去回路によりノイズ除去されます。

P05-P07をINTP4/ADTRG, INTP5, INTP6端子として使用する場合、デジタル・ノイズ除去回路によりノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF00H

	7	6	5	4	3	2	1	0
P0	P07	P06	P05	P04	P03	P02	P01	P00
P0n	出力データの制御（出力モード時）（n = 0-7）							
0	0を出力							
1	1を出力							

備考 入力モード時：ポート0（P0）をリードすると、そのときの端子レベルを読み出します。ライトすると、P0にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート0（P0）をリードすると、P0の値を読み出します。ライトすると、P0に値を書き込み、すぐに書き込んだ値を出力します。

ポート0は、次に示す端子と兼用しています。

表5-2 ポート0の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考
ポート0	P00	NMI	なし	アナログ・ノイズ除去
	P01	INTP0		
	P02	INTP1		
	P03	INTP2		
	P04	INTP3		デジタル・ノイズ除去
	P05	INTP4/ADTRG		
	P06	INTP5		
	P07	INTP6		

注 ソフトウェア・プルアップ機能

(1) P0端子の機能

ポート0は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート0モード・レジスタ (PM0) で入出力を制御します。

出力モード時、ポート0 (P0) に設定した各ビットの値を出力します。出力モードとして使用するときは、各割り込み要求の有効エッジを無効にするか、各割り込み要求をマスク (NMI以外) してください。

入力モード時にP0をリードすると端子状態をリードできます。また、出力モード時にP0をリードすると、P0 (出力ラッチ) の値をリードできます。

NMI, INTP0-INTP6の有効エッジは、立ち上がりエッジ指定レジスタ0 (EGP0) と、立ち下がりエッジ指定レジスタ0 (EGN0) で指定します。

リセット入力により、入力モードに初期化されます。また、各割り込み要求の有効エッジも無効になります (リセット直後、NMI, INTP0-INTP6は機能しません)。

(2) ノイズ除去

(a) NMI, INTP0-INTP3端子のノイズ除去

アナログ・ディレイによるノイズ除去回路を内蔵しています。このため、これらの端子に一定時間以上同じレベルの信号を入力すると、有効エッジとして検出します。また、エッジの検出は一定時間後になります。

(b) INTP4-INTP6, ADTRG端子のノイズ除去

デジタル・ノイズ除去回路を内蔵しています。

INTP4, INTP5, ADTRG端子のデジタル・サンプリングによるノイズ除去は、端子の入力レベルをサンプリング・クロック (f_{xx}) で検出し、同じレベルが3回連続で検出されなかった場合に行われます。

INTP6端子については、ノイズ除去幅を変更することができます (7.3.8 (3) INTP6端子のノイズ除去参照)。

注意1. 入力パルス幅が2, 3クロックの場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。

確実に有効エッジを検出するためには、3クロック以上の同一レベルの入力が必要です。

- サンプリング・クロックに同期してノイズが発生している場合は、ノイズとして認められないことがあります。このような場合には、入力端子にフィルタを付加してノイズを除去してください。
- 通常入力ポートとして使用する場合はノイズ除去を行いません。

(3) 制御レジスタ

(a) ポート0モード・レジスタ (PM0)

8/1ビット単位でリード/ライト可能です。

リセット時：FFH R/W アドレス：FFFFFF020H

	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(b) 立ち上がりエッジ指定レジスタ0 (EGP0)

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFF0C0H

	⑦	⑥	⑤	④	③	②	①	①
EGP0	EGP07	EGP06	EGP05	EGP04	EGP03	EGP02	EGP01	EGP00

EGP0n	立ち上がりエッジ検出の制御 (n = 0-7)
0	立ち上がりエッジで割り込み要求信号の発生なし
1	立ち上がりエッジで割り込み要求信号の発生あり

備考 n = 0 : NMI端子の制御
n = 1-7 : INTP0-INTP6端子の制御

(c) 立ち下がりエッジ指定レジスタ0 (EGN0)

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF0C2H

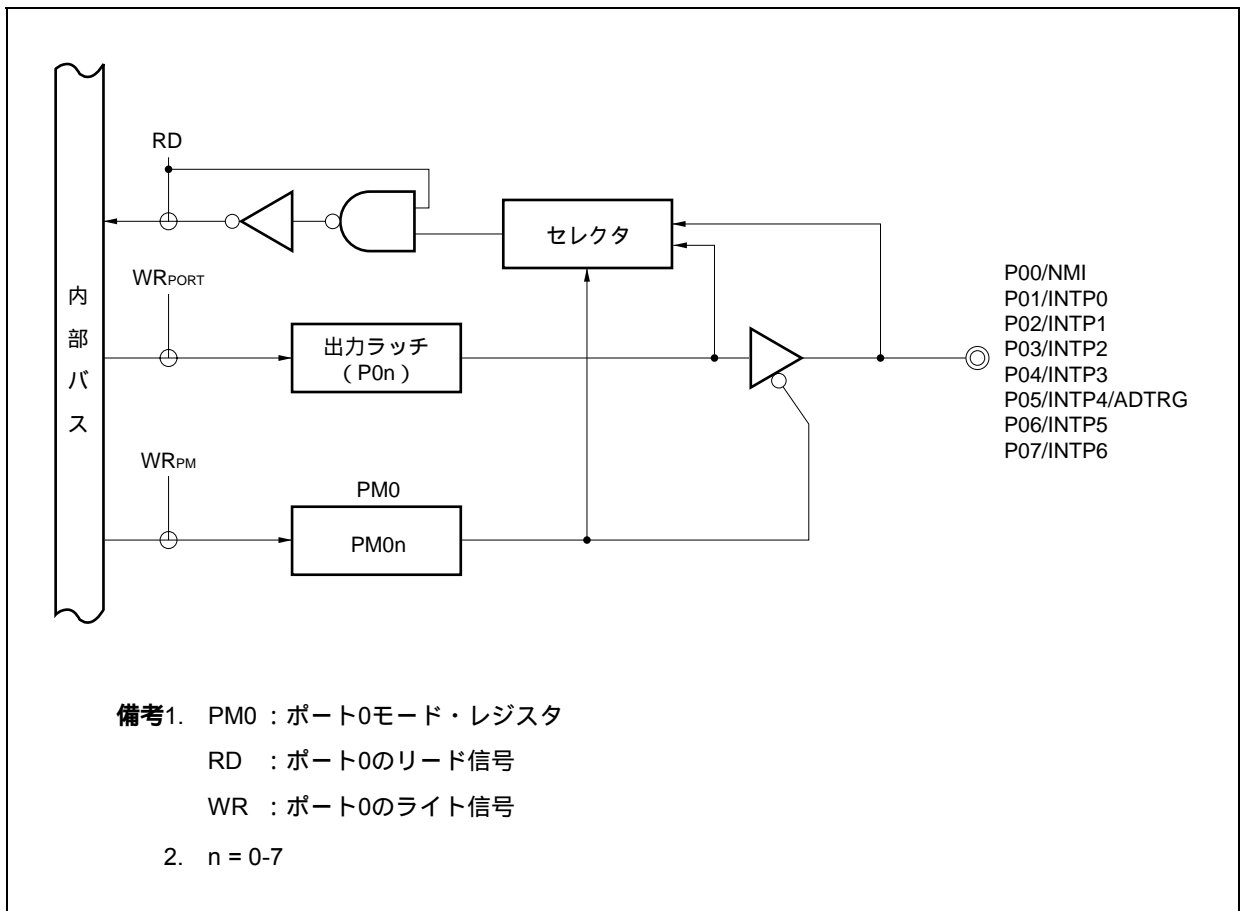
	⑦	⑥	⑤	④	③	②	①	①
EGN0	EGN07	EGN06	EGN05	EGN04	EGN03	EGN02	EGN01	EGN00

EGN0n	立ち下がりエッジ検出の制御 (n = 0-7)
0	立ち下がりエッジで割り込み要求信号の発生なし
1	立ち下がりエッジで割り込み要求信号の発生あり

備考 n = 0 : NMI端子の制御
n = 1-7 : INTP0-INTP6端子の制御

(4) ブロック図 (ポート0)

図5 - 1 P00-P07のブロック図



5.2.2 ポート1

ポート1は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

ビット0, 2は、通常出力とN-chオープン・ドレイン出力を選択できます。

リセット時：00H R/W アドレス：FFFFFF02H

	7	6	5	4	3	2	1	0
P1	P17	P16	P15	P14	P13	P12	P11	P10

P1n	出力データの制御（出力モード時）（n=0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート1（P1）をリードすると、そのときの端子レベルを読み出します。
ライトすると、P1にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート1（P1）をリードすると、P1の値を読み出します。ライトすると、P1に値を書き込み、すぐに書き込んだ値を出力します。

ポート1は、次に示す端子と兼用しています。

表5-3 ポート1の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考
ポート1	P10	SI0/SDA0	なし	N-chオープン・ドレイン出力選択可能
	P11	SO0		-
	P12	SCK0/SCL0		N-chオープン・ドレイン出力選択可能
	P13	SI4/RXD0		-
	P14	SO4/TXD0		-
	P15	SCK4/ASCK0		-
	P16	-		-
	P17	TI5/TO5		-

注 ソフトウェア・プルアップ機能

(1) P1端子の機能

ポート1は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート1モード・レジスタ（PM1）で入出力を制御します。

出力モード時、ポート1（P1）に設定した各ビットの値を出力します。また、ポート1ファンクション・レジスタ（PF1）により、P10、P12の出力を通常出力とN-chオープン・ドレイン出力のどちらかに指定できます。

入力モード時にP1をリードすると端子状態をリードできます。また、出力モード時にP1をリードすると、P1（出力ラッチ）の値をリードできます。

兼用端子を出力として使用するときは、P1とPM1レジスタを0にしてください。ポート出力と兼用端子の論理和（OR）が端子から出力されます。

リセット入力により，入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート1モード・レジスタ (PM1)

8/1ビット単位でリード/ライト可能です。

リセット時：FFH R/W アドレス：FFFFFF02H

	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(b) ポート1ファンクション・レジスタ (PF1)

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFF0A2H

	7	6	5	4	3	2	1	0
PF1	0	0	0	0	0	PF12	0	PF10

PF1n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 0, 2)
0	通常出力
1	N-chオープン・ドレイン出力

(3) ブロック図 (ポート1)

図5-2 P10, P12のブロック図

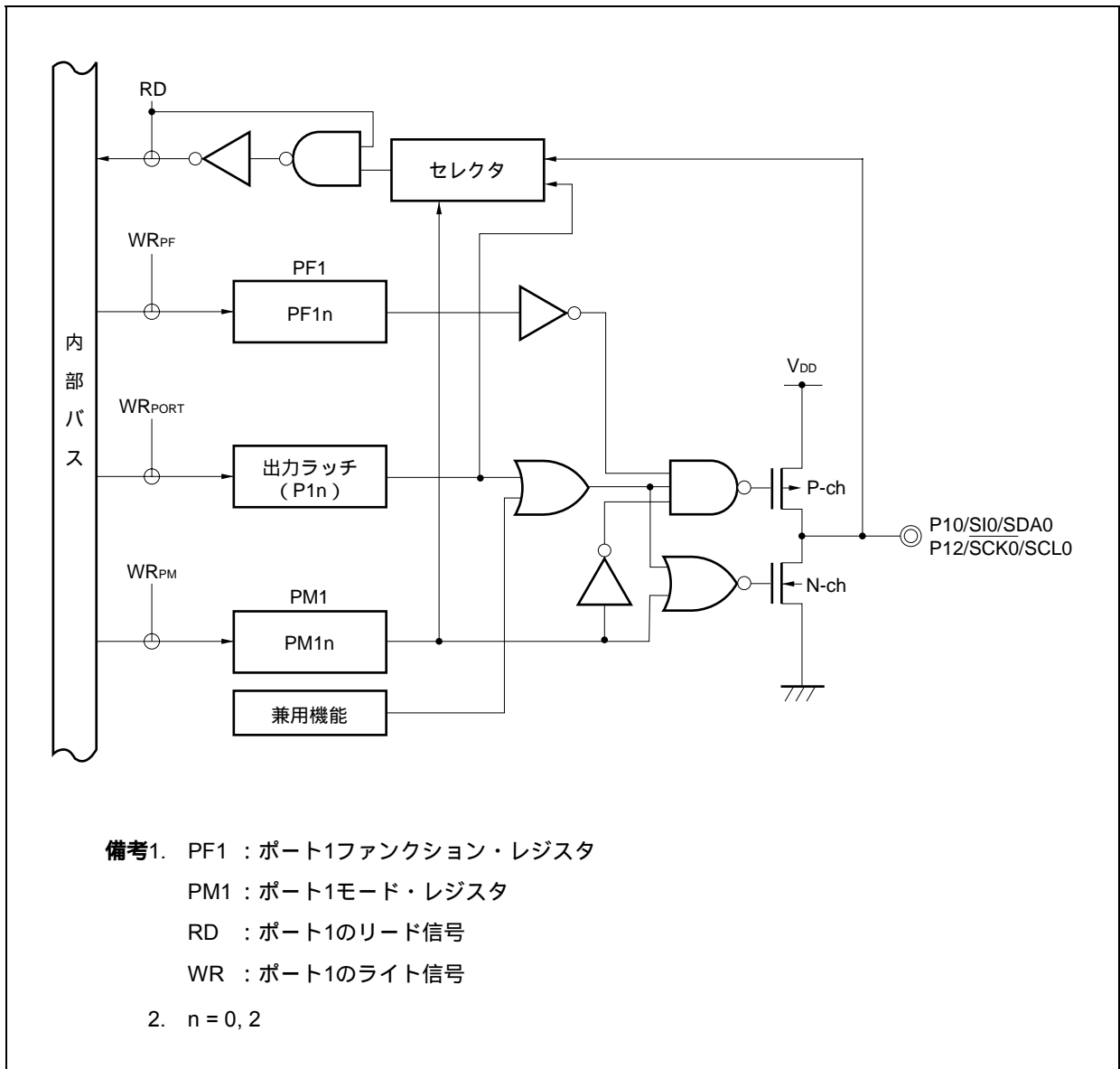


図5-3 P11, P13-P15, P17のブロック図

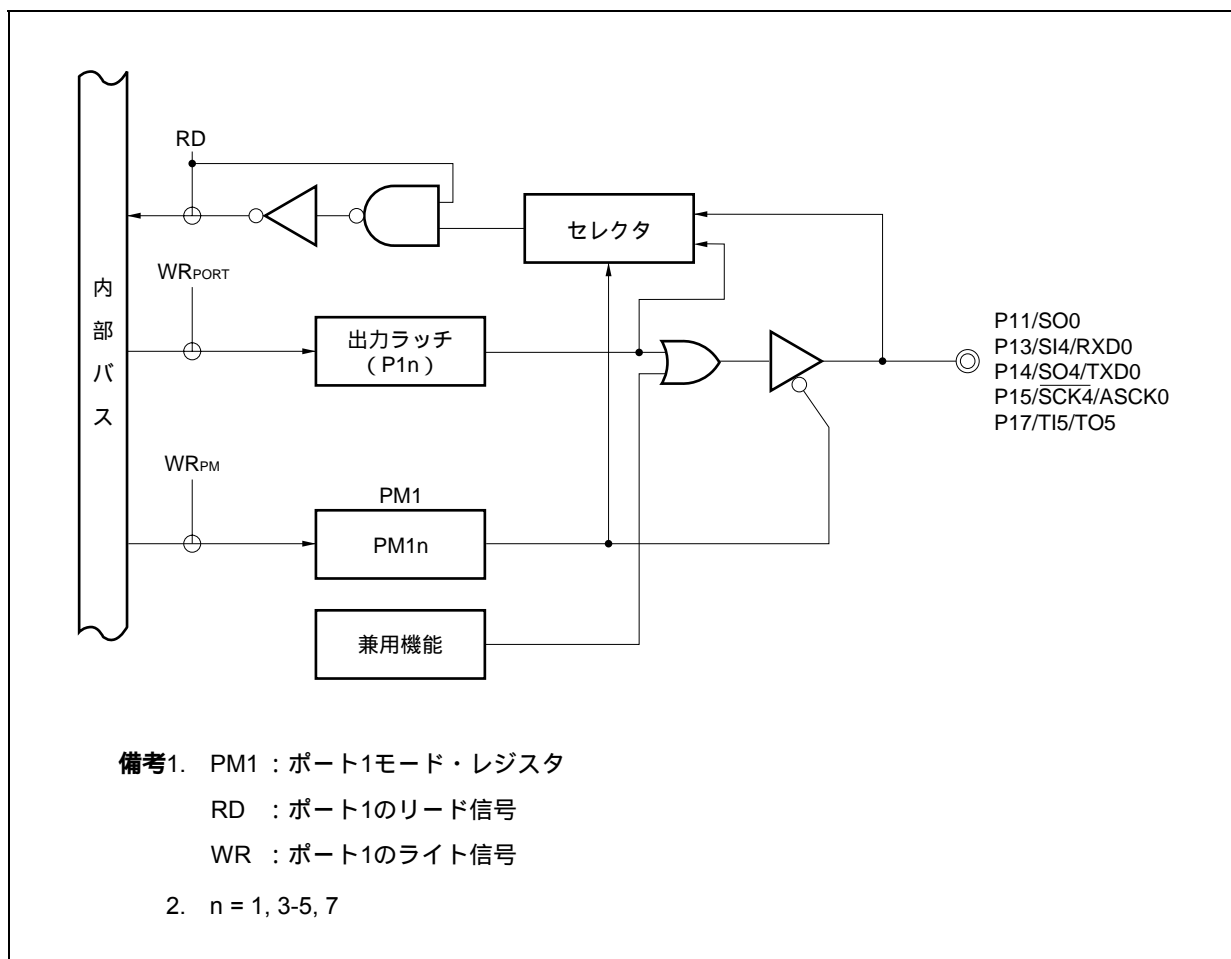
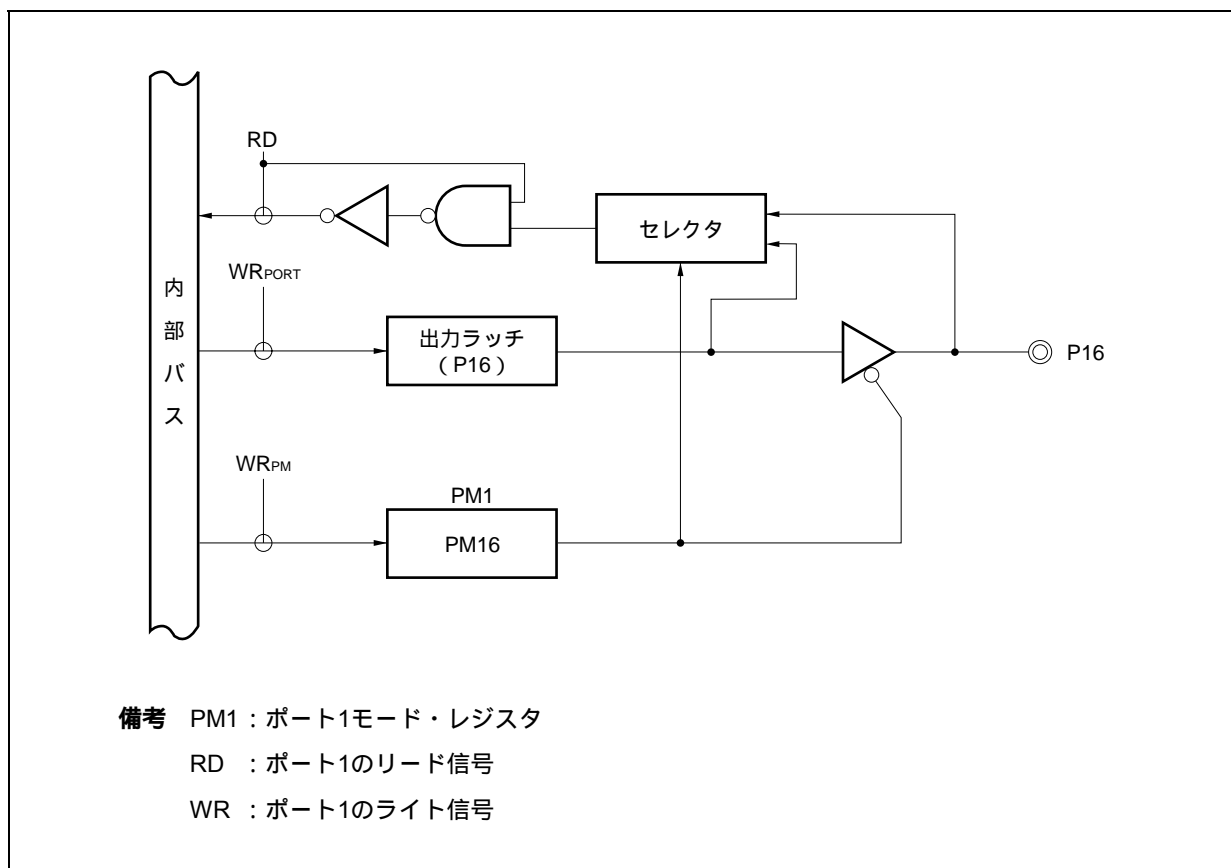


図5 - 4 P16のブロック図



5.2.3 ポート2

ポート2は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

ビット0, 2は、通常出力とN-chオープン・ドレイン出力を選択できます。

リセット時：00H R/W アドレス：FFFFF004H

	7	6	5	4	3	2	1	0
P2	P27	P26	P25	P24	P23	P22	P21	P20

P2n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート2（P2）をリードすると、そのときの端子レベルを読み出します。ライトすると、P2にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート2（P2）をリードすると、P2の値を読み出します。ライトすると、P2に値を書き込み、すぐに書き込んだ値を出力します。

ポート2は次に示す端子と兼用しています。

表5-4 ポート2の兼用端子

端子名	兼用端子名	入出力	PULL ^{注1}	備考
ポート2	P20	SI2/SDA1	なし	N-chオープン・ドレイン出力選択可能
	P21	SO2		-
	P22	SCK2/SCL1		N-chオープン・ドレイン出力選択可能
	P23	TI90		-
	P24	TI91		-
	P25	TO9		-
	P26	I $\overline{\text{ERX0}}$ ^{注2}		-
	P27	I $\overline{\text{ETX0}}$ ^{注2}		-

注1. ソフトウェア・プルアップ機能

2. V850/SC2のみ

(1) P2端子の機能

ポート2は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート2モード・レジスタ (PM2) で入出力を制御します。

出力モード時、ポート2 (P2) に設定した各ビットの値を出力します。また、ポート2ファンクション・レジスタ (PF2) により、P20, P22の出力を通常出力とN-chオープン・ドレイン出力のどちらかに指定できます。

入力モード時にP2をリードすると端子状態をリードできます。また、出力モード時にP2をリードすると、P2 (出力ラッチ) の値をリードできます。

兼用端子を出力として使用するときには、P2とPM2を0にしてください。ポート出力と兼用端子の論理和 (OR) が端子から出力されます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート2モード・レジスタ (PM2)

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF024H

	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20
PM2n	入出力モードの制御 (n = 0-7)							
0	出力モード							
1	入力モード							

(b) ポート2ファンクション・レジスタ (PF2)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0A4H

	7	6	5	4	3	2	1	0
PF2	0	0	0	0	0	PF22	0	PF20
PF2n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 0, 2)							
0	通常出力							
1	N-chオープン・ドレイン出力							

(3) ブロック図 (ポート2)

図5 - 5 P20, P22のブロック図

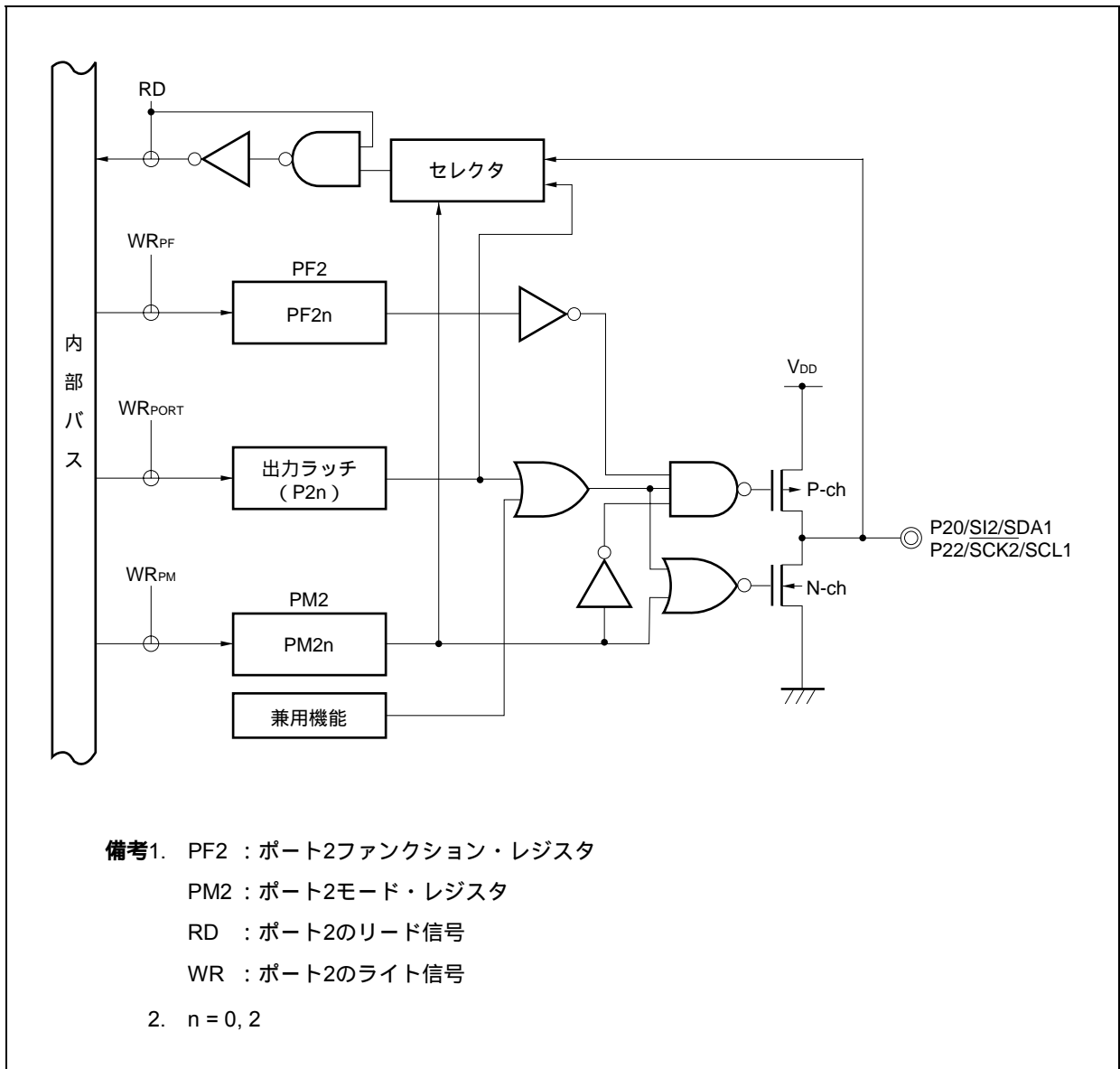
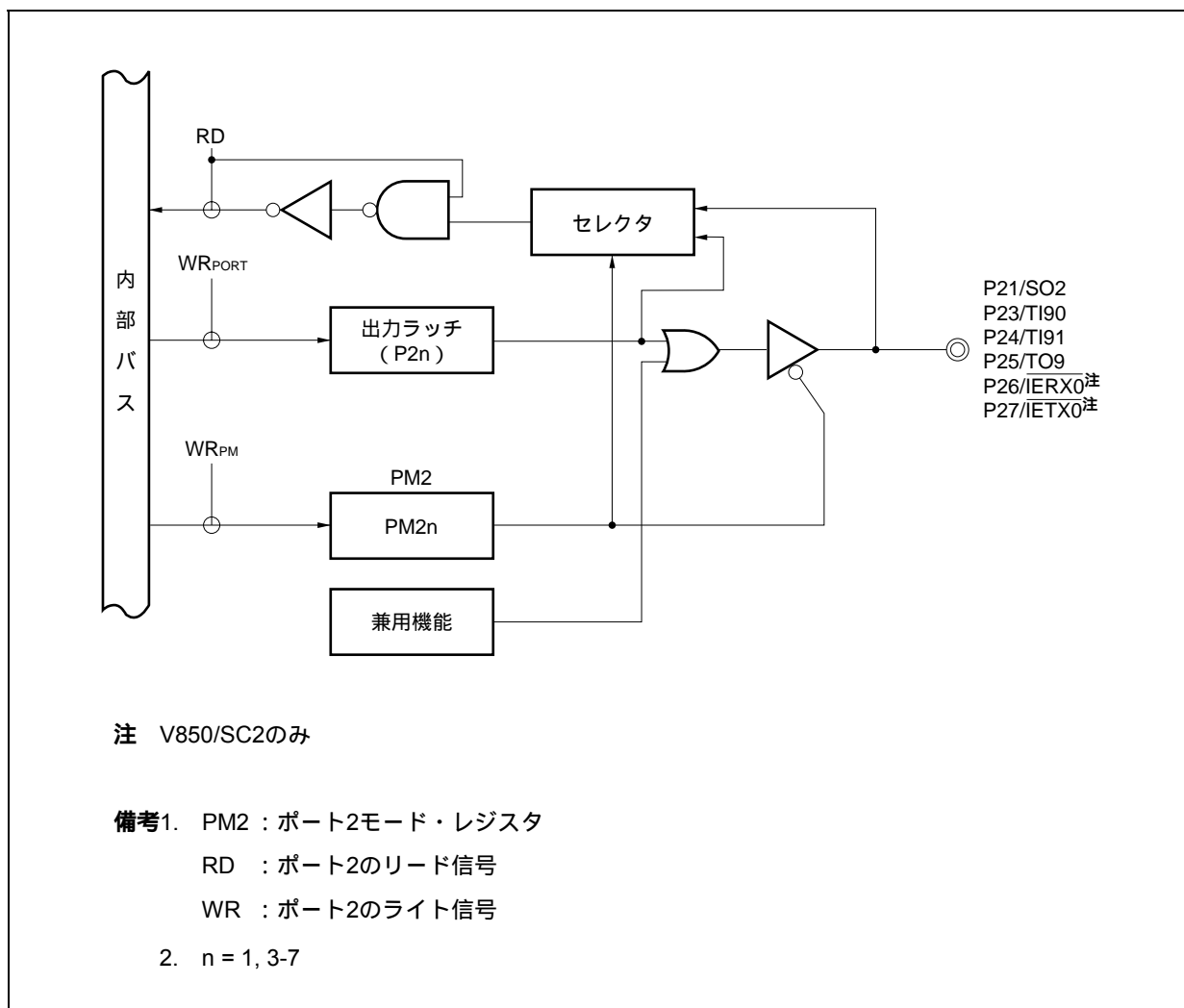


図5 - 6 P21, P23-P27のブロック図



5.2.4 ポート3

ポート3は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

P35-P37をINTP7-INTP9端子として使用する場合、アナログ・ノイズ除去回路によりノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF006H

	7	6	5	4	3	2	1	0
P3	P37	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御（出力モード時）（n=0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート3（P3）をリードすると、そのときの端子レベルを読み出します。ライトすると、P3にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート3（P3）をリードすると、P3の値を読み出します。ライトすると、P3に値を書き込み、すぐに書き込んだ値を出力します。

ポート3は、次に示す端子と兼用しています。

表5-5 ポート3の兼用端子

端子名	兼用端子名	入出力	PULL ^{注1}	備考	
ポート3	P30	TI6/TO6	なし	-	
	P31	TI80			
	P32	TI81			
	P33	TO8			
	P34	TI71/A13 ^{注2}			
	P35	INTP7/A14 ^{注2}			アナログ・ノイズ除去
	P36	INTP8/A15 ^{注2}			
	P37	INTP9			

注1. ソフトウェア・プルアップ機能

2. V850/SC1, V850/SC2のみ

(1) P3端子の機能

ポート3は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート3モード・レジスタ (PM3) により、入出力を制御します。

出力モード時、ポート3 (P3) に設定した各ビットの値を出力します。

入力モード時にP3をリードすると端子状態をリードできます。また、出力モード時にP3をリードすると、P3 (出力ラッチ) の値をリードできます。

INTP7-INTP9端子として使用するときには、アナログ・ノイズ除去回路 (ポート0のアナログ・ノイズ除去回路と同等) により、ノイズ除去されます。

INTP7-INTP9の有効エッジは、立ち上がりエッジ指定レジスタ1 (EGP1) と、立ち下がりエッジ指定レジスタ1 (EGN1) で指示します。

A13-A15端子として使用するときには、メモリ・アドレス出力モード・レジスタ (MAM) で設定します。

兼用端子を出力として使用するときには、P3とPM3を0にしてください。ポート出力と兼用端子の論理和 (OR) が端子から出力されます。

リセット入力により、入力モードに初期化されます。また、各割り込み要求の有効エッジも無効になります (リセット直後、INTP7-INTP9は機能しません)。

(2) 制御レジスタ

(a) ポート3モード・レジスタ (PM3)

8/1ビット単位でリード/ライト可能です。

リセット時: FFH R/W アドレス: FFFFFFF026H

	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(b) 立ち上がりエッジ指定レジスタ1 (EGP1)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0C4H

	⑦	⑥	⑤	4	3	2	1	0
EGP1	EGP17	EGP16	EGP15	0	0	0	0	0

EGP1n	立ち上がりエッジ検出の制御 (n = 5-7)
0	立ち上がりエッジで割り込み要求信号の発生なし
1	立ち上がりエッジで割り込み要求信号の発生あり

備考 n = 5-7 : INTP7-INTP9端子の制御

(c) 立ち下がりエッジ指定レジスタ1 (EGN1)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0C6H

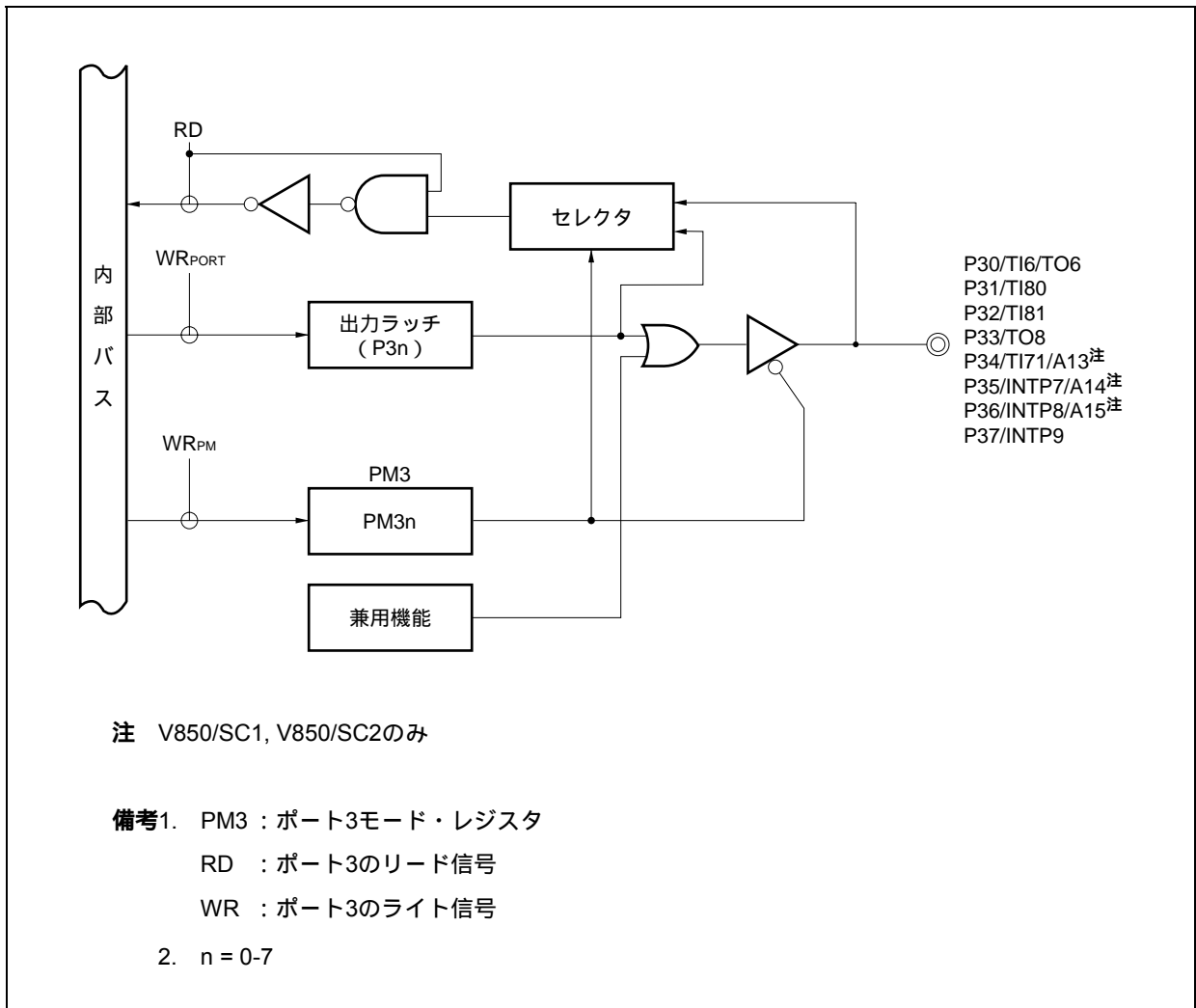
	⑦	⑥	⑤	4	3	2	1	0
EGN1	EGN17	EGN16	EGN15	0	0	0	0	0

EGN1n	立ち下がりエッジ検出の制御 (n = 5-7)
0	立ち下がりエッジで割り込み要求信号の発生なし
1	立ち下がりエッジで割り込み要求信号の発生あり

備考 n = 5-7 : INTP7-INTP9端子の制御

(3) ブロック図 (ポート3)

図5-7 P30-P37のブロック図



5.2.5 ポート4, ポート5

ポート4, ポート5は, 1ビット単位で入出力を制御できる8ビット入出力ポートです。

リセット時: 00H R/W アドレス: FFFFF008H, FFFFF00AH

	7	6	5	4	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0

(n = 4, 5)

Pnx	出力データの制御 (出力モード時) (n = 4, 5, x = 0-7)
0	0を出力
1	1を出力

備考 入力モード時: ポート4 (P4), ポート5 (P5) をリードすると, そのときの端子レベルを読み出します。ライトすると, P4, P5にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時: ポート4 (P4), ポート5 (P5) をリードすると, P4, P5の値を読み出します。ライトすると, P4, P5に値を書き込み, すぐに書き込んだ値を出力します。

ポート4, ポート5は, 次を示す端子と兼用しています。

表5-6 ポート4, ポート5の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考
ポート4	P40	AD0	なし	-
	P41	AD1		
	P42	AD2		
	P43	AD3		
	P44	AD4		
	P45	AD5		
	P46	AD6		
	P47	AD7		
ポート5	P50	AD8	なし	-
	P51	AD9		
	P52	AD10		
	P53	AD11		
	P54	AD12		
	P55	AD13		
	P56	AD14		
	P57	AD15		

注 ソフトウェア・プルアップ機能

(1) P4, P5端子の機能

ポート4, ポート5は, 1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート4モード・レジスタ (PM4), ポート5モード・レジスタ (PM5) で入出力を制御します。

出力モード時, ポート4, ポート5 (P4, P5) に設定した各ビットの値を出力します。

入力モード時にP4, P5をリードすると端子状態をリードできます。また, 出力モード時にP4, P5をリードすると, P4, P5 (出力ラッチ) の値をリードできます。

ソフトウェア・プルアップ機能は内蔵していません。

AD0-AD15として使用する場合は, メモリ拡張モード・レジスタ (MM) で設定します。PM4, PM5の影響は受けません。

リセット入力により, 入力モードに初期化されます。

(2) 制御レジスタ

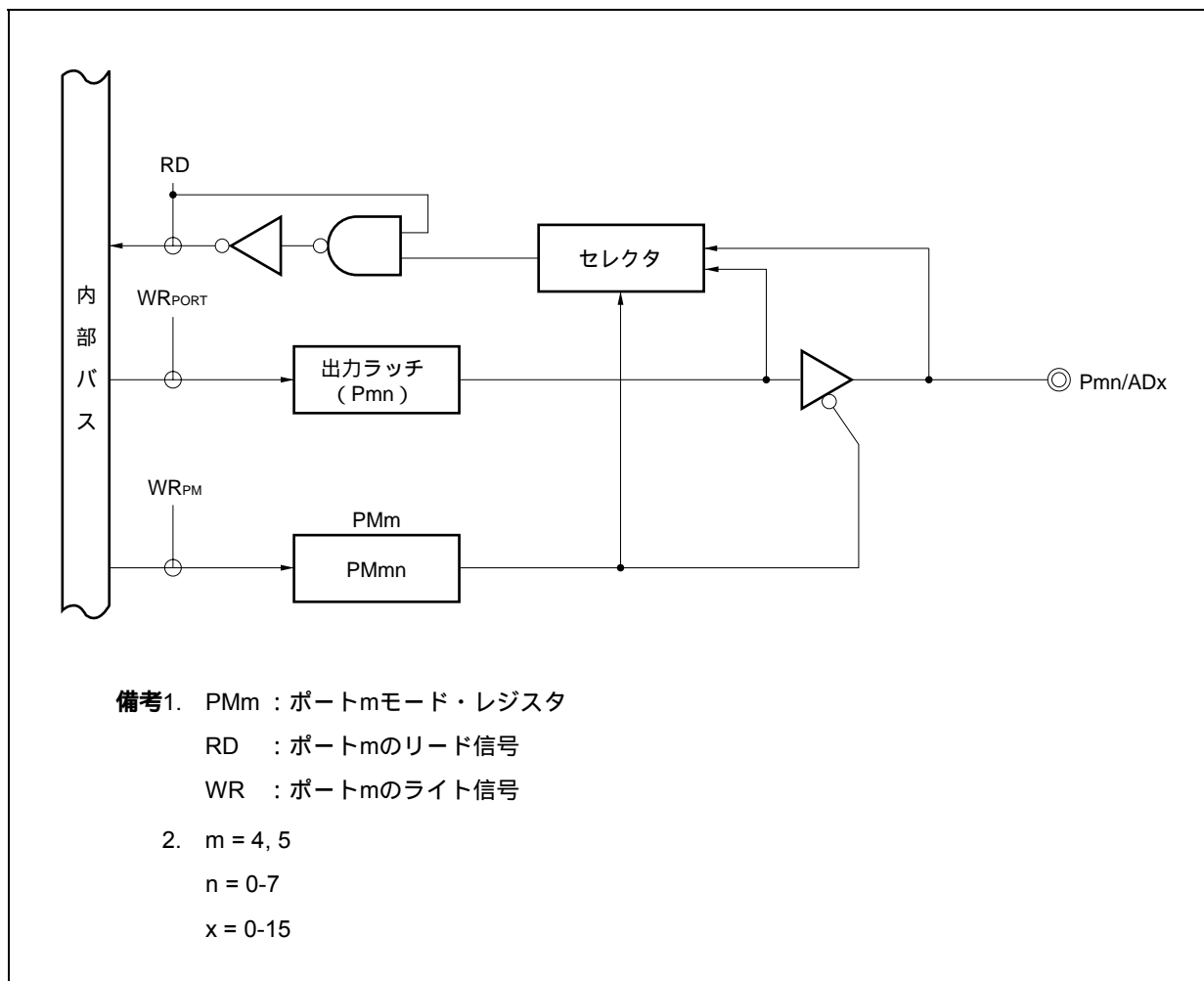
(a) ポート4モード・レジスタ, ポート5モード・レジスタ (PM4, PM5)

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF028H, FFFFF02AH								
	7	6	5	4	3	2	1	0
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
(n = 4, 5)								
PMnx	入出力モードの制御 (n = 4, 5, x = 0-7)							
0	出力モード							
1	入力モード							

(3) ブロック図 (ポート4, ポート5)

図5 - 8 P40-P47, P50-P57のブロック図



5.2.6 ポート6

ポート6は、1ビット単位で入出力を制御できる6ビット入出力ポートです。

リセット時：00H R/W アドレス：FFFFFF00CH

	7	6	5	4	3	2	1	0
P6	0	0	P65	P64	P63	P62	P61	P60

P6n	出力データの制御（出力モード時）（n = 0-5）
0	0を出力
1	1を出力

備考 入力モード時：ポート6（P6）をリードすると、そのときの端子レベルを読み出します。ライトすると、P6にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート6（P6）をリードすると、P6の値を読み出します。ライトすると、P6に値を書き込み、すぐに書き込んだ値を出力します。

ポート6は、次に示す端子と兼用しています。

表5-7 ポート6の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考
ポート6	P60	A16	なし	-
	P61	A17		
	P62	A18		
	P63	A19		
	P64	A20		
	P65	A21		

注 ソフトウェア・プルアップ機能

(1) P6端子の機能

ポート6は、1ビット単位で入出力を制御できる6ビット入出力ポートです。ポート6モード・レジスタ（PM6）で入出力を制御します。

出力モード時、ポート6（P6）に設定した各ビットの値を出力します。

入力モード時にP6をリードすると端子状態をリードできます。また、出力モード時にP6をリードすると、P6（出力ラッチ）の値をリードできます。

ソフトウェア・プルアップ機能は内蔵していません。

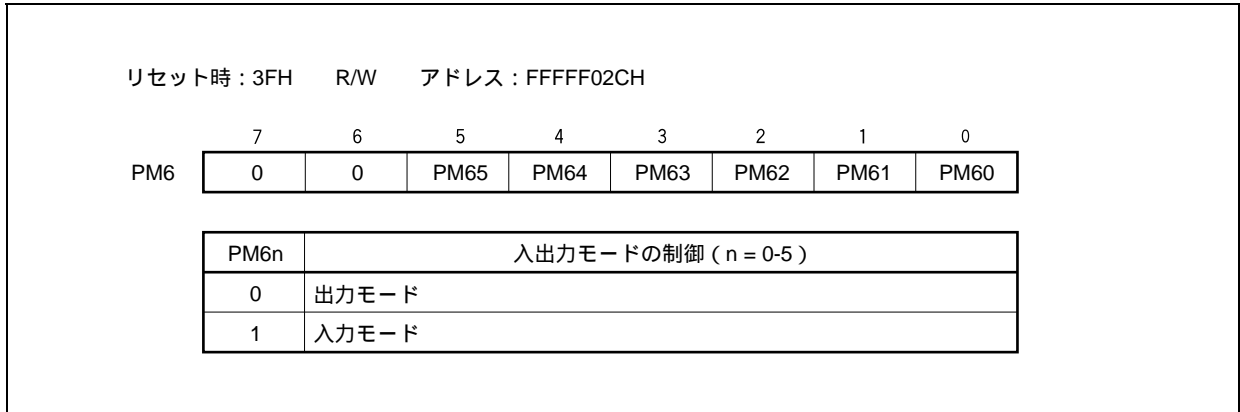
A16-A21として使用する場合は、メモリ拡張モード・レジスタ（MM）で設定してください。PM6の影響は受けません。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

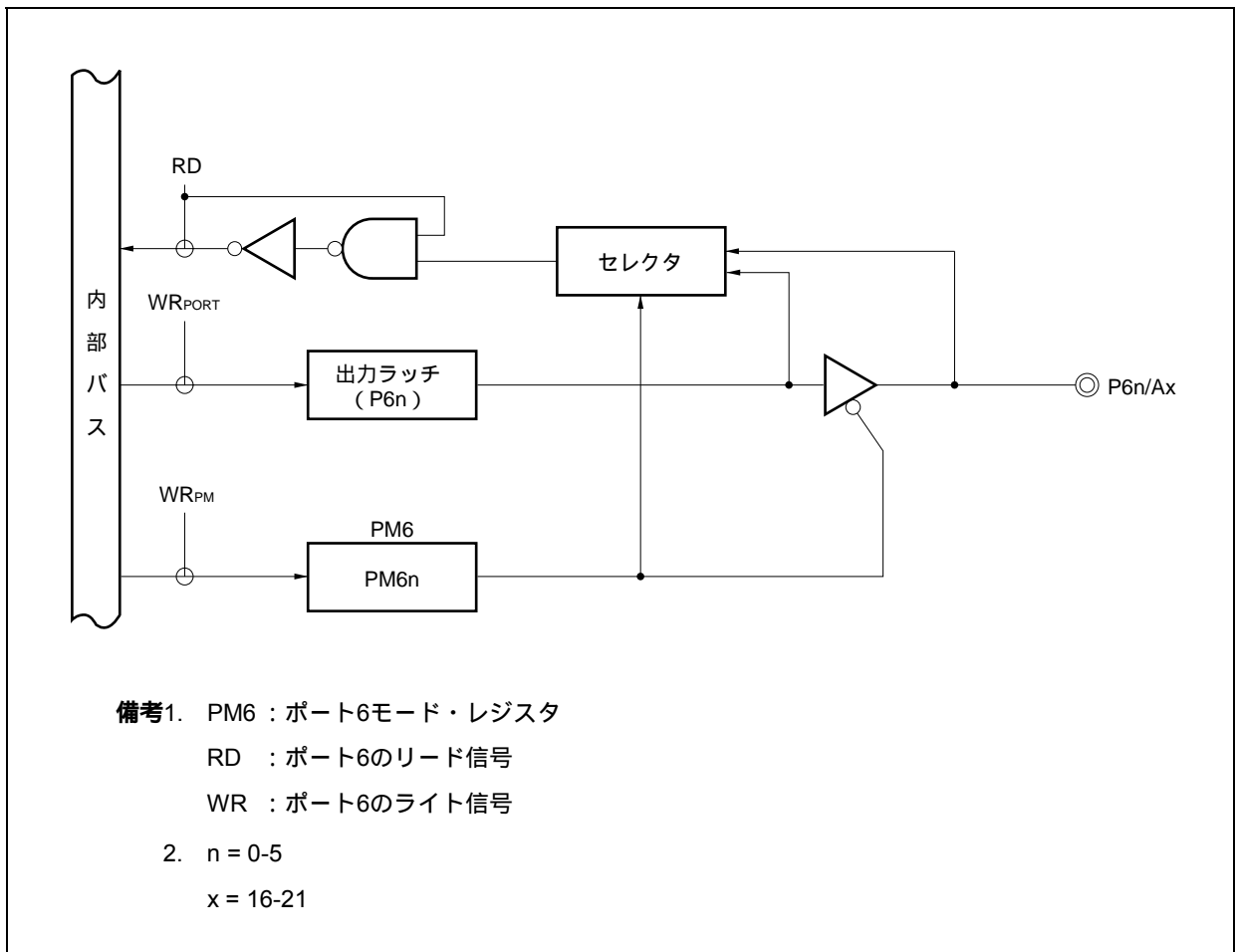
(a) ポート6モード・レジスタ (PM6)

8/1ビット単位でリード/ライト可能です。



(3) ブロック図 (ポート6)

図5 - 9 P60-P65のブロック図



5.2.7 ポート7, ポート8

ポート7は, 8ビットの入力ポートです。ポート8は, 4ビットの入力ポートです。8/1ビット単位でリードのみ可能です。

リセット時: 不定 R アドレス: FFFFF00EH							
7	6	5	4	3	2	1	0
P77	P76	P75	P74	P73	P72	P71	P70
P7n		端子レベル (n = 0-7)					
0/1		ビットnの端子レベルをリード					
リセット時: 不定 R アドレス: FFFFF010H							
7	6	5	4	3	2	1	0
0	0	0	0	P83	P82	P81	P80
P8n		端子レベル (n = 0-3)					
0/1		ビットnの端子レベルをリード					

ポート7, ポート8は, 次を示す端子と兼用しています。

表5 - 8 ポート7, ポート8の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート7	P70	ANI0	入力	なし	-
	P71	ANI1			
	P72	ANI2			
	P73	ANI3			
	P74	ANI4			
	P75	ANI5			
	P76	ANI6			
	P77	ANI7			
ポート8	P80	ANI8	入力	なし	-
	P81	ANI9			
	P82	ANI10			
	P83	ANI11			

注 ソフトウェア・プルアップ機能

(1) P7, P8端子の機能

ポート7は、8ビットの入力専用ポートです。ポート8は、4ビットの入力専用ポートです。

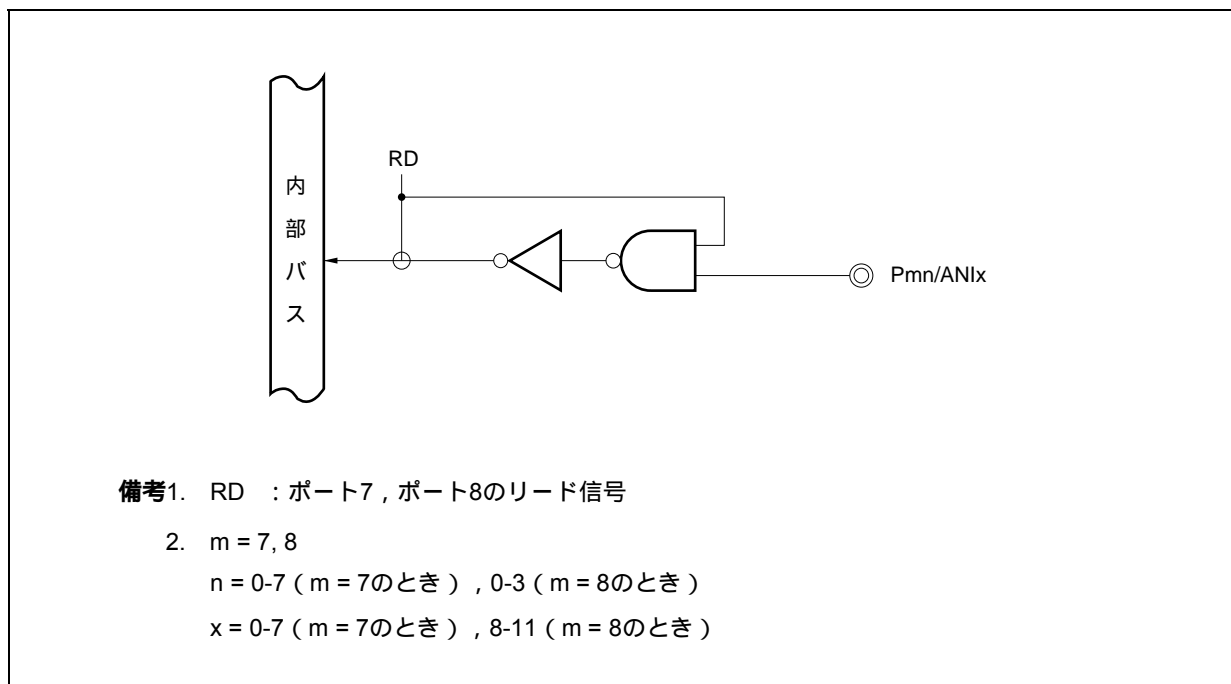
ポート7 (P7) , ポート8 (P8) をリードすると端子状態をリードできます。また、P7, P8にはデータを書き込めません。

ソフトウェア・プルアップ機能は内蔵していません。

アナログ入力に指定された端子をリードしたときの値は不定です。また、A/D変換中にP7, P8の値をリードしないでください。

(2) ブロック図 (ポート7, ポート8)

図5 - 10 P70-P77, P80-P83のブロック図



5.2.8 ポート9

ポート9は、1ビット単位で入出力を制御できる7ビット入出力ポートです。

リセット時：00H R/W アドレス：FFFFFF012H

	7	6	5	4	3	2	1	0
P9	0	P96	P95	P94	P93	P92	P91	P90

P9n	出力データの制御（出力モード時）（n = 0-6）
0	0を出力
1	1を出力

備考 入力モード時：ポート9（P9）をリードすると、そのときの端子レベルを読み出します。
 ライトすると、P9にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート9（P9）をリードすると、P9の値を読み出します。ライトすると、P9に値を書き込み、すぐに書き込んだ値を出力します。

ポート9は、次に示す端子と兼用しています。

表5-9 ポート9の兼用端子

端子名		兼用端子名	入出力	PULL ^{注1}	備考
ポート9	P90	$\overline{\text{LBEN}}/\overline{\text{WRL}}$ ^{注2}	入出力	なし	-
	P91	$\overline{\text{UBEN}}$			
	P92	$\overline{\text{R/W}}/\overline{\text{WRH}}$ ^{注2}			
	P93	$\overline{\text{DSTB}}/\overline{\text{RD}}$ ^{注2}			
	P94	$\overline{\text{ASTB}}$			
	P95	$\overline{\text{HLDK}}$			
	P96	$\overline{\text{HLDRQ}}$			

注1. ソフトウェア・プルアップ機能

2. V850/SC1, V850/SC2のみ

(1) P9端子の機能

ポート9は、1ビット単位で入出力を制御できる7ビット入出力ポートです。ポート9モード・レジスタ (PM9) で入出力を制御します。

出力モード時、ポート9 (P9) に設定した各ビットの値を出力します。

入力モード時にP9をリードすると端子状態をリードできます。また、出力モード時にP9をリードすると、P9 (出力ラッチ) の値をリードできます。

ソフトウェア・プルアップ機能は内蔵していません。

P9を拡張モード時のコントロール信号として使用する場合は、メモリ拡張モード・レジスタ (MM) で設定してください。

リセット入力により、入力モードに初期化されます。

- ★ **注意** V850/SC1, V850/SC2では、ポート9を入出力ポートとして使用するときは、システム制御レジスタ (SYC) のBICビットを“0”に設定してください。
 なお、システム・リセット時にはBICビット = 0になります。

(2) 制御レジスタ

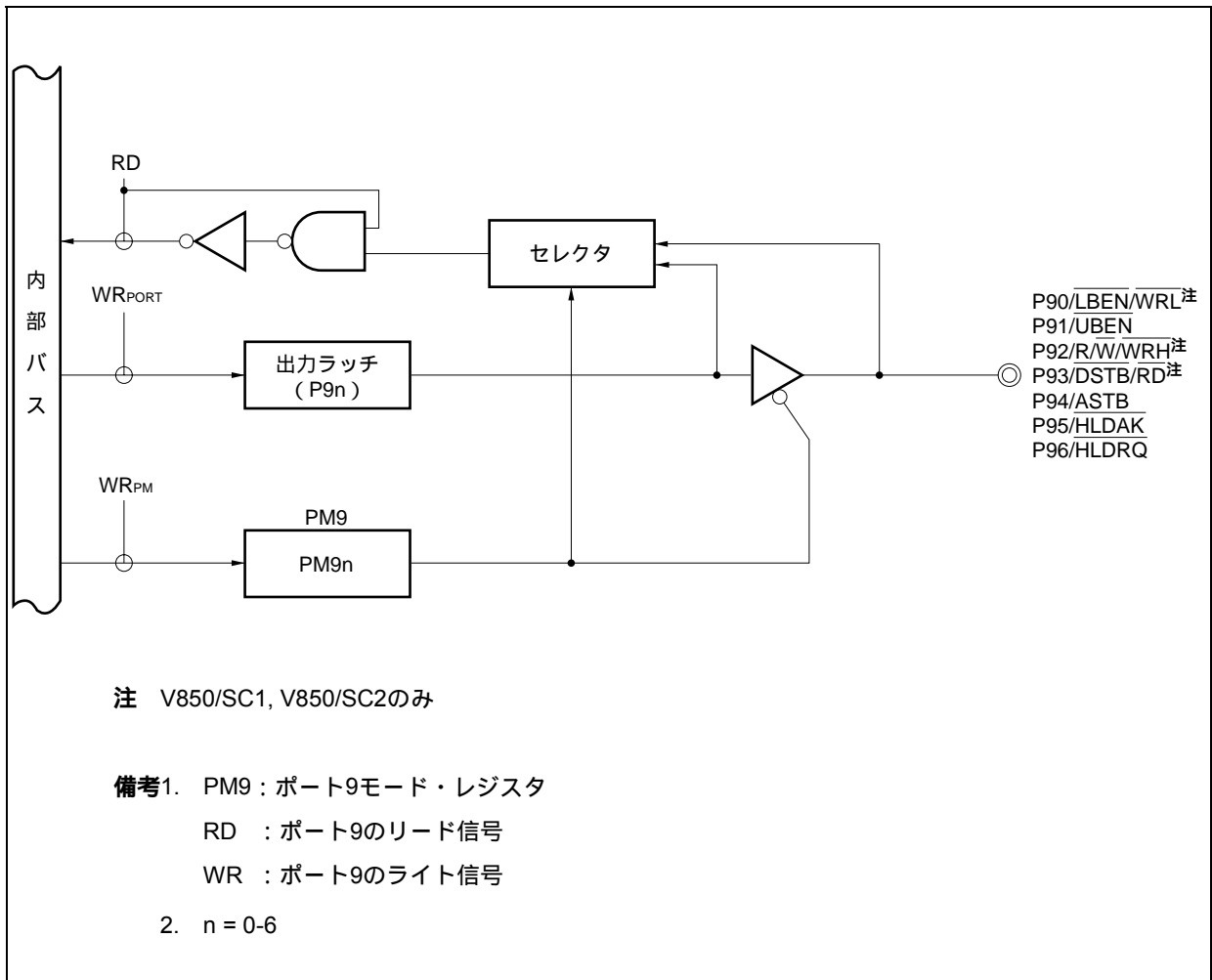
(a) ポート9モード・レジスタ (PM9)

8/1ビット単位でリード/ライト可能です。

リセット時 : 7FH R/W アドレス : FFFFF032H								
	7	6	5	4	3	2	1	0
PM9	0	PM96	PM95	PM94	PM93	PM92	PM91	PM90
	PM9n	入出力モードの制御 (n = 0-6)						
	0	出力モード						
	1	入力モード						

(3) ブロック図 (ポート9)

図5 - 11 P90-P96のブロック図



5.2.9 ポート10

ポート10は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

P100-P107をKR0-KR7端子として使用する場合、アナログ・ノイズ除去回路によりノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF014H

	7	6	5	4	3	2	1	0
P10	P107	P106	P105	P104	P103	P102	P101	P100

P10n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート10（P10）をリードすると、そのときの端子レベルを読み出します。ライトすると、P10にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート10（P10）をリードすると、P10の値を読み出します。ライトすると、P10に値を書き込み、すぐに書き込んだ値を出力します。

ポート10は、次に示す端子と兼用しています。

表5 - 10 ポート10の兼用端子

端子名	兼用端子名	入出力	PULL ^{注1}	備考	
ポート10	P100	KR0/TO7/A5 ^{注2}	入出力	あり	アナログ・ノイズ除去
	P101	KR1/TI70/A6 ^{注2}			
	P102	KR2/TI00/A7 ^{注2}			
	P103	KR3/TI01/A8 ^{注2}			
	P104	KR4/TO0/A9 ^{注2}			
	P105	KR5/TI10/A10 ^{注2}			
	P106	KR6/TI11/A11 ^{注2}			
	P107	KR7/TO1/A12 ^{注2}			

注1. ソフトウェア・プルアップ機能

2. V850/SC1, V850/SC2のみ

(1) P10端子の機能

ポート10は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート10モード・レジスタ（PM10）で入出力を制御します。

出力モード時、ポート10（P10）に設定した各ビットの値を出力します。

入力モード時にP10をリードすると端子状態をリードできます。また、出力モード時にP10をリードすると、P10（出力ラッチ）の値をリードできます。

プルアップ抵抗オプション・レジスタ10（PU10）の指定により、ビット単位でプルアップ抵抗を接続できます。

V850/SC1, V850/SC2でA5-A12端子として使用するときには、メモリ・アドレス出力モード・レジスタ (MAM) で設定します。

KR0-KR7端子として使用するときには、アナログ・ノイズ除去回路によりノイズが除去されます。

兼用端子として出力するときには、P10とPM10を0にしてください。ポート出力と兼用端子の論理和 (OR) が端子から出力されます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート10モード・レジスタ (PM10)

8/1ビット単位でリード/ライト可能です。

リセット時：FFH R/W アドレス：FFFFFF034H

	7	6	5	4	3	2	1	0
PM10	PM107	PM106	PM105	PM104	PM103	PM102	PM101	PM100

PM10n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(b) プルアップ抵抗オプション・レジスタ10 (PU10)

8/1ビット単位でリード/ライト可能です。

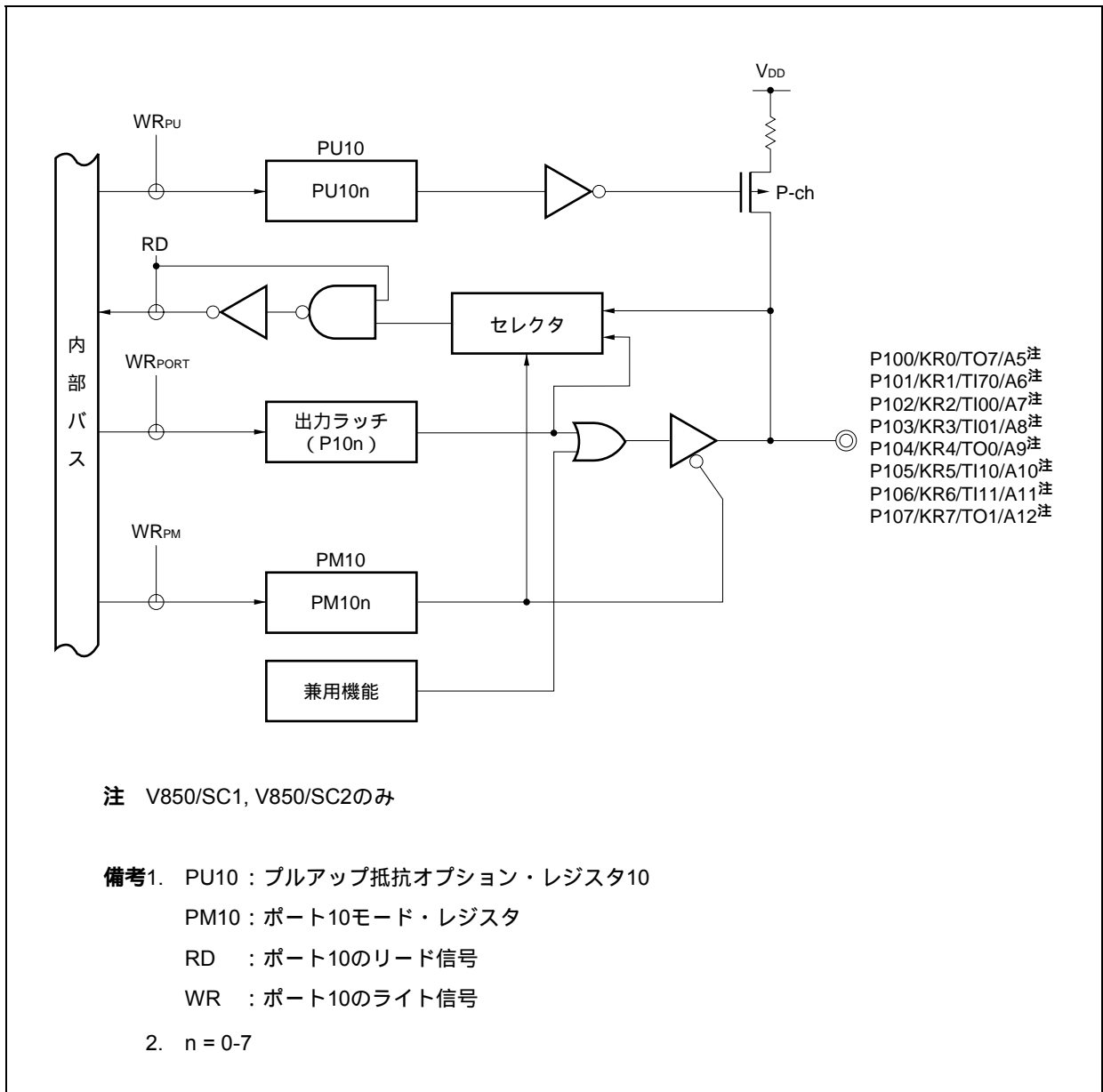
リセット時：00H R/W アドレス：FFFFFF094H

	7	6	5	4	3	2	1	0
PU10	PU107	PU106	PU105	PU104	PU103	PU102	PU101	PU100

PU10n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(3) ブロック図 (ポート10)

図5 - 12 P100-P107のブロック図



5.2.10 ポート11

ポート11は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

8/1ビット単位でリード/ライト可能です。

ウェイト機能のオン/オフの切り替えおよびCANTX1, CANRX1, CANTX2, CANRX2端子として使用する設定は、ポート兼用機能コントロール・レジスタ (PAC) で行います (CANTX2, CANRX2は μ PD703089Y, 70F3089Yのみ)。

リセット時 : 00H R/W アドレス : FFFFF016H

	7	6	5	4	3	2	1	0
P11	P117	P116	P115	P114	P113	P112	P111	P110

P11n	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

備考 入力モード時：ポート11 (P11) をリードすると、そのときの端子レベルを読み出します。ライトすると、P11にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート11 (P11) をリードすると、P11の値を読み出します。ライトすると、P11に値を書き込み、すぐに書き込んだ値を出力します。

ポート11は、次に示す端子と兼用しています。

表5 - 11 ポート11の兼用端子

端子名	兼用端子名	入出力	PULL ^{注1}	備考	
ポート11	P110	WAIT/A1 ^{注2}	入出力	なし	-
	P111	A2 ^{注2}			
	P112	A3 ^{注2}			
	P113	A4 ^{注2}			
	P114	CANTX1 ^{注3}			
	P115	CANRX1 ^{注3}			
	P116	CANTX2 ^{注4}			
	P117	CANRX2 ^{注4}			

注1. ソフトウェア・プルアップ機能

2. V850/SC1, V850/SC2のみ
3. V850/SC3のみ
4. μ PD703089Y, 70F3089Yのみ

(1) P11端子の機能

ポート11は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート11モード・レジスタ (PM11) で入出力を制御します。

出力モード時、ポート11 (P11) に設定した各ビットの値を出力します。

入力モード時にP11をリードすると端子状態をリードできます。また、出力モード時にP11をリードすると、P11 (出力ラッチ) の値をリードできます。

ウエイト機能のオン/オフの切り替えおよびCANTX1, CANRX1, CANTX2, CANRX2端子として使用する設定は、ポート兼用機能コントロール・レジスタ (PAC) で行います。

V850/SC1, V850/SC2でA1-A4端子として使用するときは、メモリ・アドレス出力モード・レジスタ (MAM) で設定します。このとき、必ずPM11レジスタ (PM110-PM113) とP11レジスタ (P110-P113) を0にしてください。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート11モード・レジスタ (PM11)

8/1ビット単位でリード/ライト可能です。

リセット時: FFH R/W アドレス: FFFFF036H								
	7	6	5	4	3	2	1	0
PM11	PM117	PM116	PM115	PM114	PM113	PM112	PM111	PM110
	PM11n 入出力モードの制御 (n = 0-7)							
	0	出力モード						
	1	入力モード						

(b) ポート兼用機能コントロール・レジスタ (PAC)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF040H

	7	6	5	4	3	2	1	①
PAC	PAC117 ^注	PAC116 ^注	PAC115	PAC114	0	0	0	WAC

WAC	ウエイト機能制御
0	ウエイト機能オフ
1	ウエイト機能オン

PAC11n	ポート兼用機能制御 (n = 4-7)
0	ポート機能
1	兼用機能

注 PAC117, PAC116ビットは μ PD703089Y, 70F3089Yのみです。
 μ PD703088Yを使用する場合, ビット7, 6には必ず0を設定してください。

(3) ブロック図 (ポート11)

図5 - 13 P110, P114-P117のブロック図

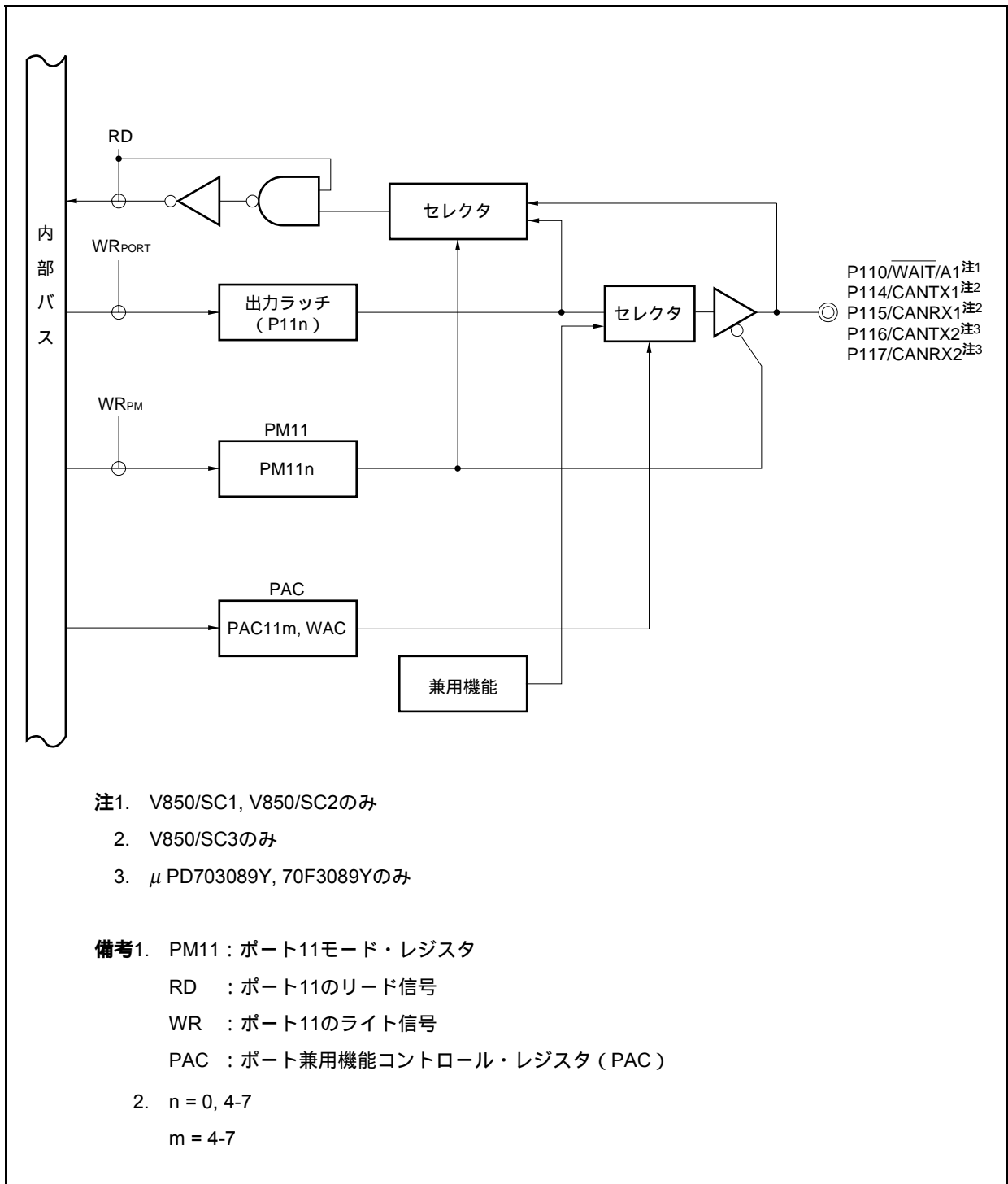
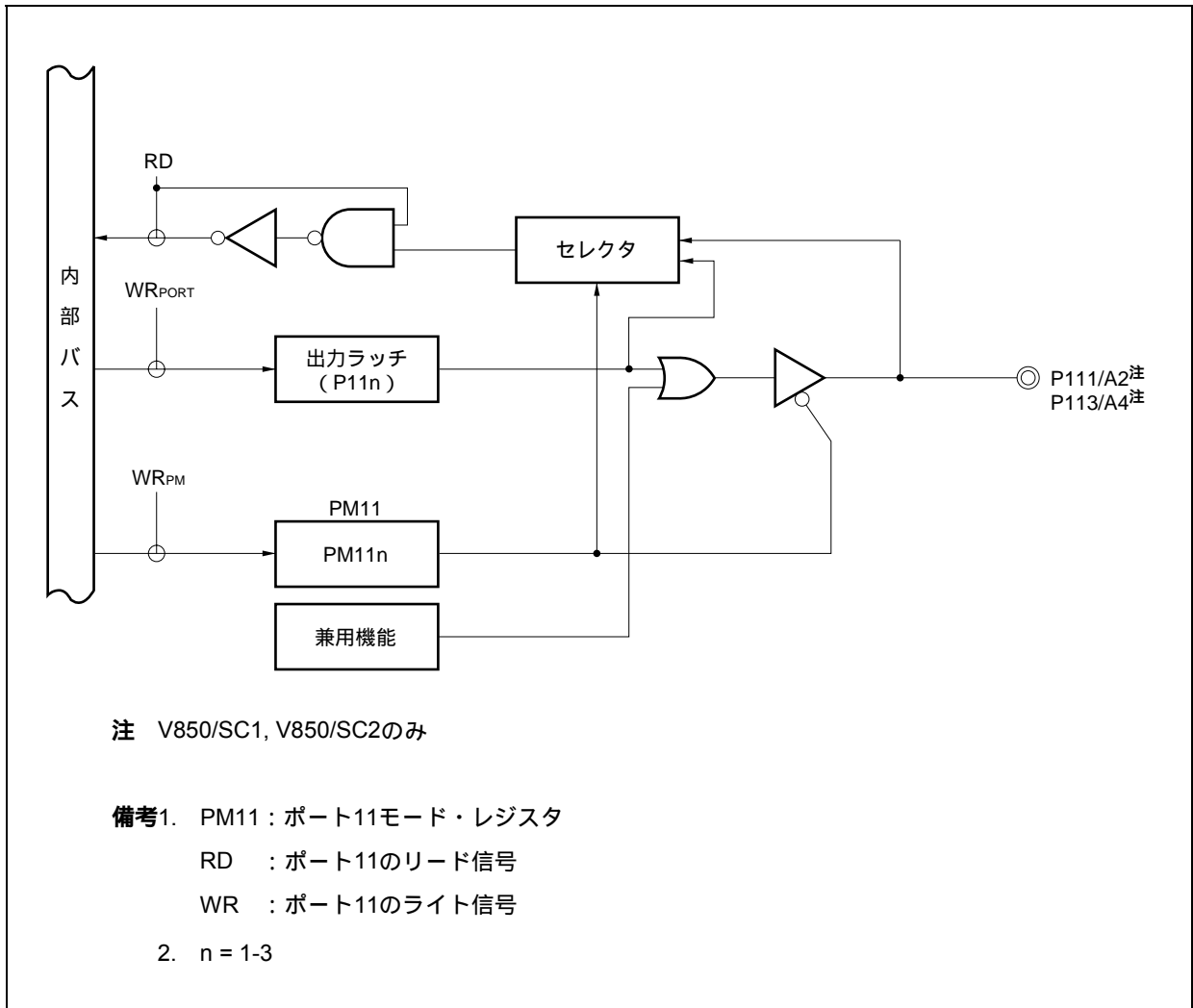


図5 - 14 P111-P113のブロック図



5.2.11 ポート12

ポート12は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

8/1ビット単位でリード/ライト可能です。

$\overline{\text{SCK5}}$, SI5, SO5, $\overline{\text{SCK6}}$, SI6, SO6端子として使用するときには、ポート兼用機能コントロール・レジスタ2 (PAC2) で設定します。

リセット時：00H R/W アドレス：FFFFFF018H

	7	6	5	4	3	2	1	0
P12	P127	P126	P125	P124	P123	P122	P121	P120

P12n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート12 (P12) をリードすると、そのときの端子レベルを読み出します。ライトすると、P12にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート12 (P12) をリードすると、P12の値を読み出します。ライトすると、P12に値を書き込み、すぐに書き込んだ値を出力します。

ポート12は、次に示す端子と兼用しています。

表5 - 12 ポート12の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考
ポート12	P120	$\overline{\text{SCK5}}$	なし	-
	P121	SI5		
	P122	SO5		
	P123	$\overline{\text{SCK6}}$		
	P124	SI6		
	P125	SO6		
	P126	TO10		
	P127	TO11		

注 ソフトウェア・プルアップ機能

(1) P12端子の機能

ポート12は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート12モード・レジスタ (PM12) で入出力を制御します。

出力モード時、ポート12 (P12) に設定した各ビットの値を出力します。

入力モード時にP12をリードすると端子状態をリードできます。また、出力モード時にP12をリードすると、P12 (出力ラッチ) の値をリードできます。

SCK5, SI5, SO5, SCK6, SI6, SO6端子として使用するときには、ポート兼用機能コントロール・レジスタ 2 (PAC2) で設定します。

TO10, TO11端子として使用するときには、P126, P127, PM126, PM127を0にしてください。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート12モード・レジスタ (PM12)

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF038H

	7	6	5	4	3	2	1	0
PM12	PM127	PM126	PM125	PM124	PM123	PM122	PM121	PM120

PM12n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(b) ポート兼用機能コントロール・レジスタ2 (PAC2)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF042H

	7	6	5	4	3	2	1	0
PAC2	0	0	PAC125	PAC124	PAC123	PAC122	PAC121	PAC120

PAC12n	ポート兼用機能制御 (n = 0-5)
0	ポート機能
1	兼用機能

(3) ブロック図 (ポート12)

図5 - 15 P120-P125のブロック図

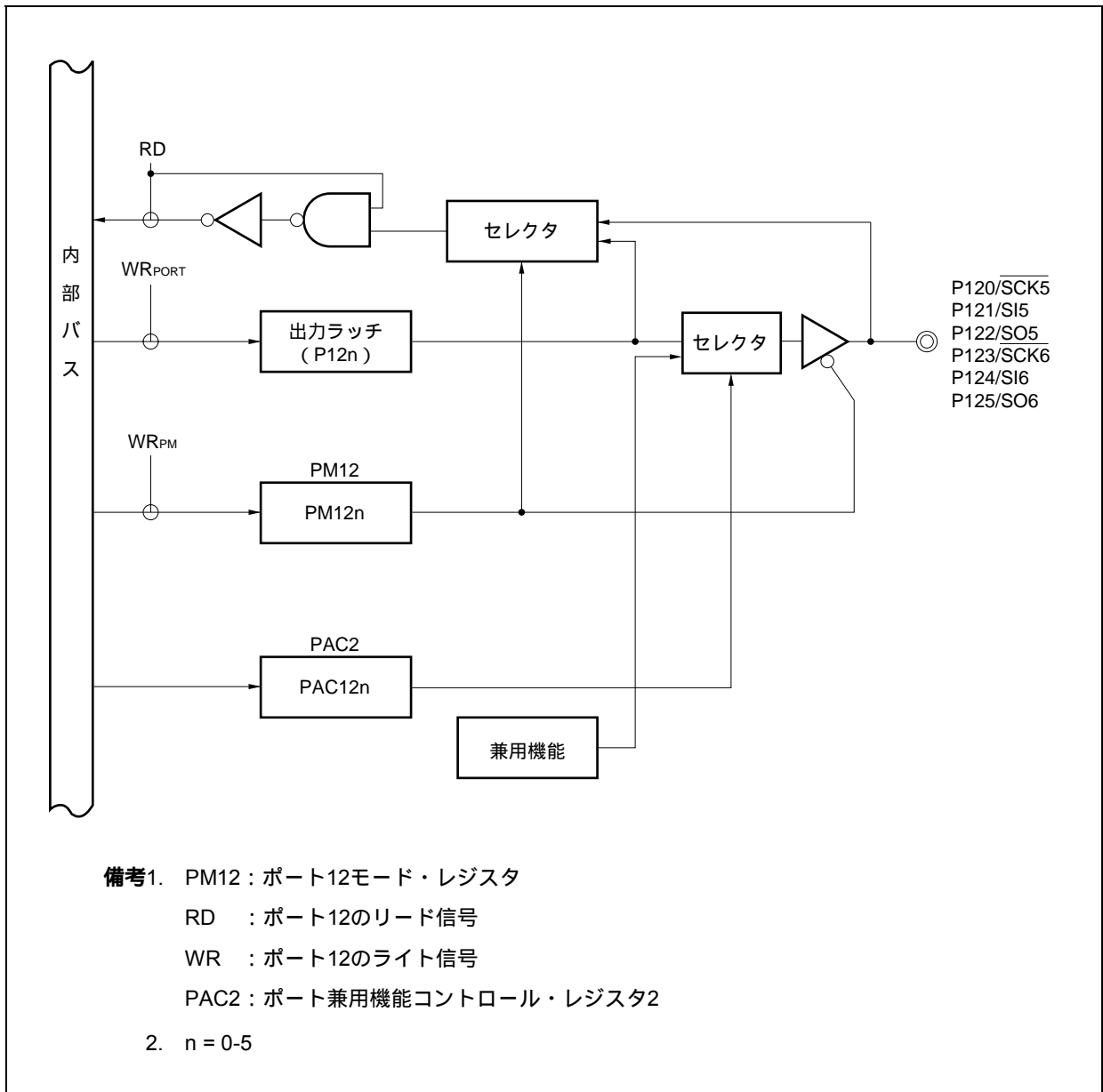
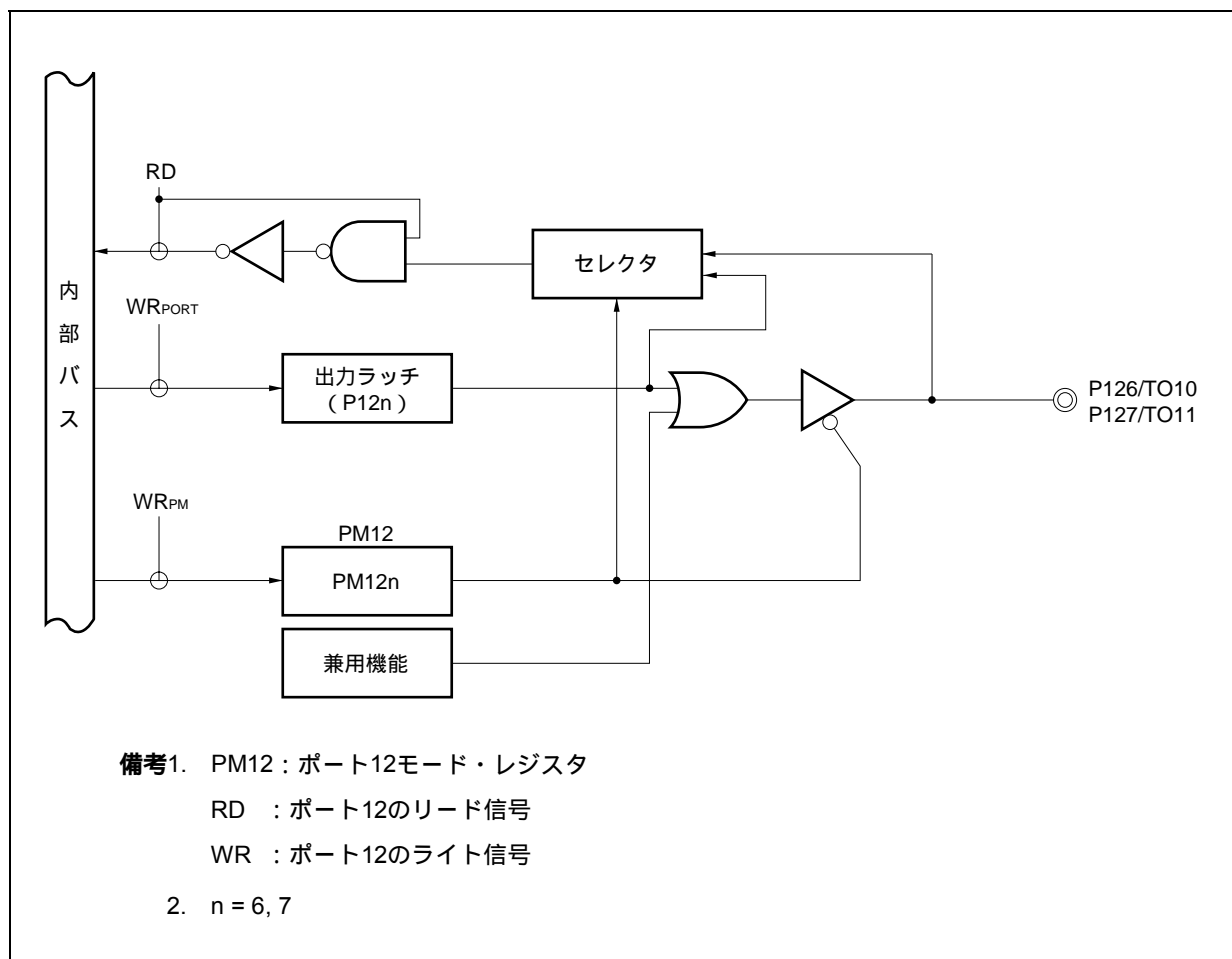


図5 - 16 P126, P127のブロック図



5.2.12 ポート13

ポート13は、1ビット単位で入出力を制御できる4ビット入出力ポートです。

リセット時：00H R/W アドレス：FFFFFF01AH

	7	6	5	4	3	2	1	0
P13	0	0	0	0	P133	P132	P131	P130

P13n	出力データの制御（出力モード時）（n = 0-3）
0	0を出力
1	1を出力

備考 入力モード時：ポート13（P13）をリードすると、そのときの端子レベルを読み出します。ライトすると、P13にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート13（P13）をリードすると、P13の値を読み出します。ライトすると、P13に値を書き込み、すぐに書き込んだ値を出力します。

(1) P13端子の機能

ポート13は、1ビット単位で入出力を制御できる4ビット入出力ポートです。ポート13モード・レジスタ（PM13）で入出力を制御します。

出力モード時、ポート13（P13）に設定した各ビットの値を出力します。

入力モード時にP13をリードすると端子状態をリードできます。また、出力モード時にP13をリードすると、P13（出力ラッチ）の値をリードできます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

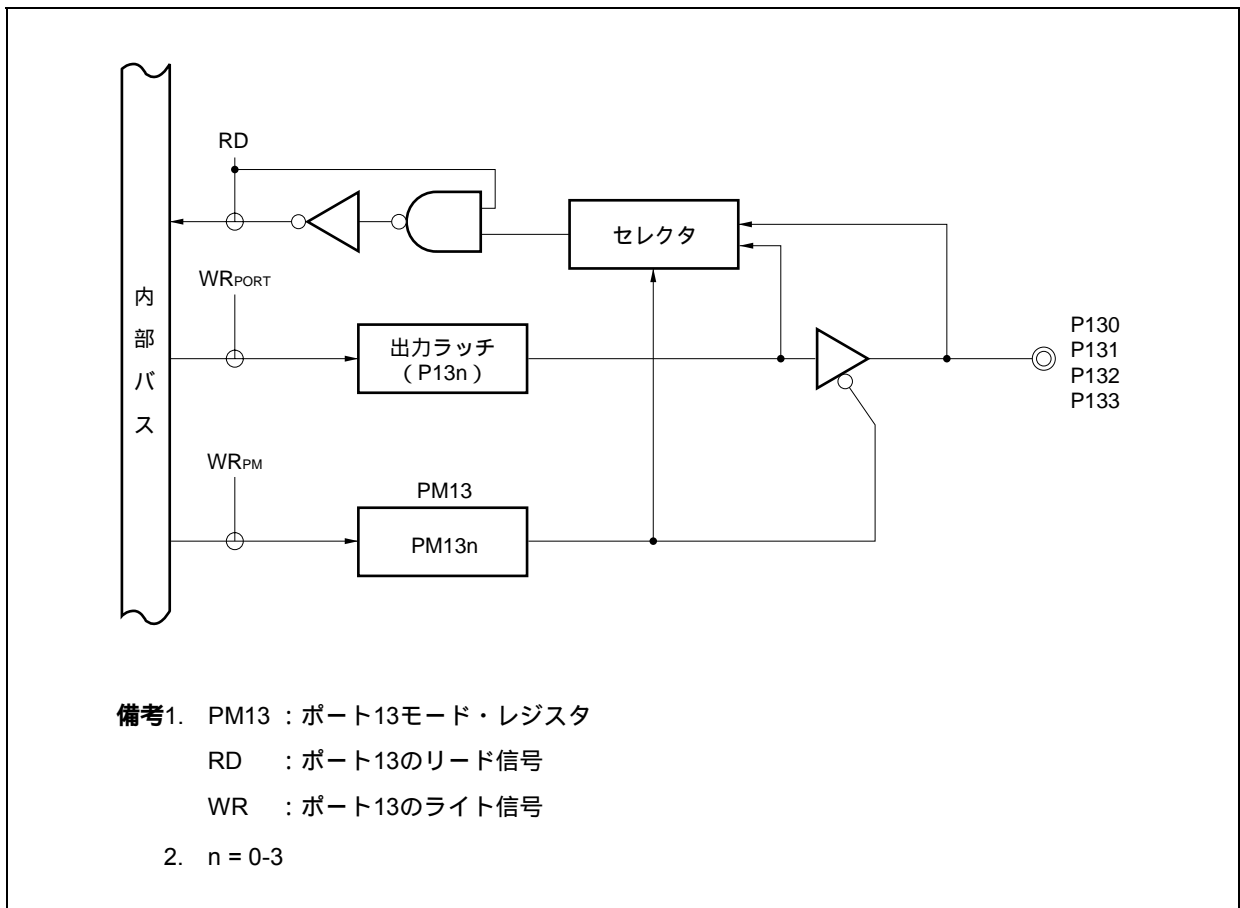
(a) ポート13モード・レジスタ (PM13)

8/1ビット単位でリード/ライト可能です。



(3) ブロック図 (ポート13)

図5 - 17 P130-P133のブロック図



5.2.13 ポート14

ポート14は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

リセット時：00H R/W アドレス：FFFFFF01CH

	7	6	5	4	3	2	1	0
P14	P147	P146	P145	P144	P143	P142	P141	P140

P14n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート14（P14）をリードすると、そのときの端子レベルを読み出します。ライトすると、P14にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート14（P14）をリードすると、P14の値を読み出します。ライトすると、P14に値を書き込み、すぐに書き込んだ値を出力します。

ポート14は、次に示す端子と兼用しています。

表5 - 13 ポート14の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考
ポート14	P140	SI3/RXD1	なし	-
	P141	SO3/TXD1		
	P142	SCK3/ASCK1		
	P143	RXD2		
	P144	TXD2		
	P145	ASCK2		
	P146	TI100		
	P147	TI101		

注 ソフトウェア・プルアップ機能

(1) P14端子の機能

ポート14は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート14モード・レジスタ (PM14) で入出力を制御します。

出力モード時、ポート14 (P14) に設定した各ビットの値を出力します。

入力モード時にP14をリードすると端子状態をリードできます。また、出力モード時にP14をリードすると、P14 (出力ラッチ) の値をリードできます。

兼用端子を出力として使用するときには、P14とPM14レジスタを0にしてください。ポート出力と兼用端子の論理和 (OR) が端子から出力されます。

リセット入力により、入力モードに初期化されます。

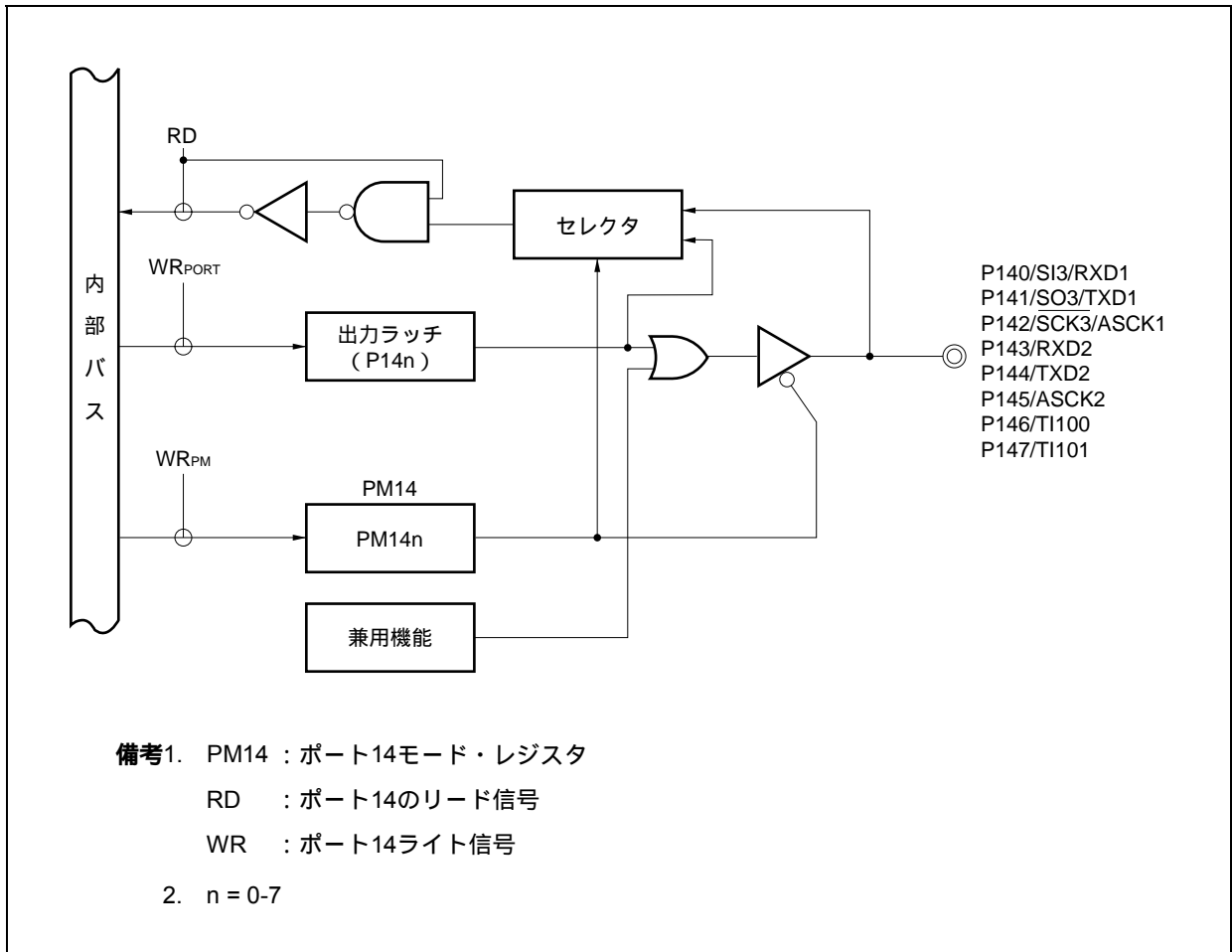
(2) 制御レジスタ

(a) ポート14モード・レジスタ (PM14)

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF03CH								
	7	6	5	4	3	2	1	0
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140
	PM14n	入出力モードの制御 (n = 0-7)						
	0	出力モード						
	1	入力モード						

図5 - 18 P140-P147のブロック図



5.2.14 ポート15

ポート15は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

リセット時：00H R/W アドレス：FFFFFF01EH

	7	6	5	4	3	2	1	0
P15	P157	P156	P155	P154	P153	P152	P151	P150

P15n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート15（P15）をリードすると、そのときの端子レベルを読み出します。ライトすると、P15にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート15（P15）をリードすると、P15の値を読み出します。ライトすると、P15に値を書き込み、すぐに書き込んだ値を出力します。

ポート15は、次に示す端子と兼用しています。

表5 - 14 ポート15の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考
ポート15	P150	RXD3	なし	-
	P151	TXD3		
	P152	ASCK3		
	P153	TI110		
	P154	TI111		
	P155	TO12		
	P156	TI120		
	P157	TI121		

注 ソフトウェア・プルアップ機能

(1) P15端子の機能

ポート15は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート15モード・レジスタ (PM15) で入出力を制御します。

出力モード時、ポート15 (P15) に設定した各ビットの値を出力します。

入力モード時にP15をリードすると端子状態をリードできます。また、出力モード時にP15をリードすると、P15 (出力ラッチ) の値をリードできます。

兼用端子として出力するときは、P15とPM15を0としてください。ポート出力と兼用端子の論理和 (OR) が端子から出力されます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

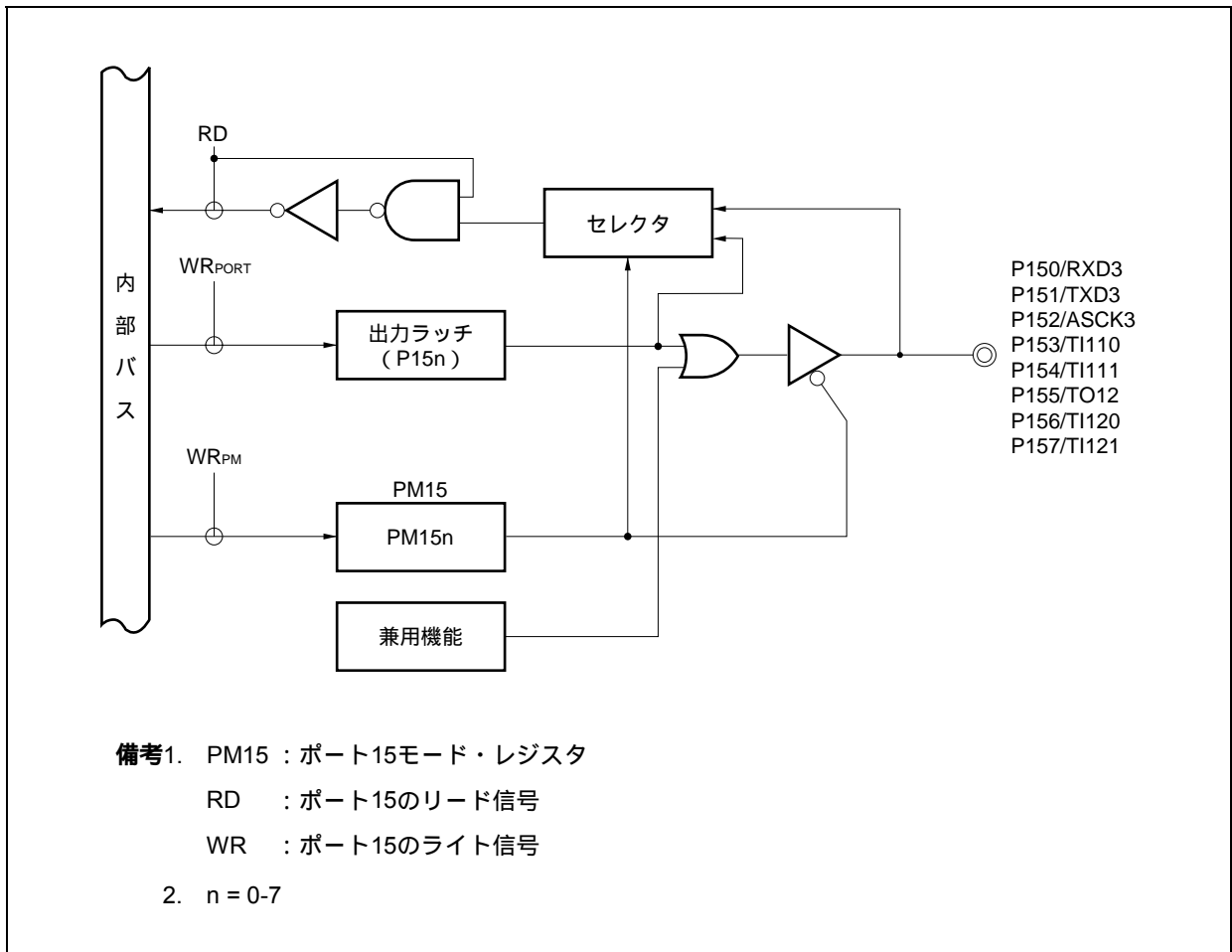
(a) ポート15モード・レジスタ (PM15)

8/1ビット単位でリード/ライト可能です。

リセット時: FFH R/W アドレス: FFFFF03EH								
	7	6	5	4	3	2	1	0
PM15	PM157	PM156	PM155	PM154	PM153	PM152	PM151	PM150
	PM15n 入出力モードの制御 (n = 0-7)							
	0	出力モード						
	1	入力モード						

(3) ブロック図 (ポート15)

図5 - 19 P150-P157のブロック図



5.2.15 ポート17

ポート17は、1ビット単位で入出力を制御できる7ビット入出力ポートです。

リセット時：00H R/W アドレス：FFFFFF048H

	7	6	5	4	3	2	1	0
P17	0	P176	P175	P174	P173	P172	P171	P170

P17n	出力データの制御（出力モード時）（n=0-6）
0	0を出力
1	1を出力

備考 入力モード時：ポート17（P17）をリードすると、そのときの端子レベルを読み出します。ライトすると、P17にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート17（P17）をリードすると、P17の値を読み出します。ライトすると、P17に値を書き込み、すぐに書き込んだ値を出力します。

ポート17は、次に示す端子と兼用しています。

表5 - 15 ポート17の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考
ポート17	P170	-	なし	-
	P171	-		
	P172	-		
	P173	-		
	P174	-		
	P175	-		
	P176	VM45		

注 ソフトウェア・プルアップ機能

(1) P17端子の機能

ポート17は、1ビット単位で入出力を制御できる7ビット入出力ポートです。ポート17モード・レジスタ (PM17) で入出力を制御します。

出力モード時、ポート17 (P17) に設定した各ビットの値を出力します。

入力モード時にP17をリードすると端子状態をリードできます。また、出力モード時にP17をリードすると、P17 (出力ラッチ) の値をリードできます。

VM45端子として使用するときには、VM45コントロール・レジスタ (VM45C) で設定します。このとき、必ずP176とPM176を0にしてください。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート17モード・レジスタ (PM17)

8/1ビット単位でリード/ライト可能です。

リセット時: 7FH R/W アドレス: FFFFF058H								
	7	6	5	4	3	2	1	0
PM17	0	PM176	PM175	PM174	PM173	PM172	PM171	PM170
	PM17n	入出力モードの制御 (n = 0-6)						
	0	出力モード						
	1	入力モード						

(3) ブロック図 (ポート17)

図5 - 20 P170-P175のブロック図

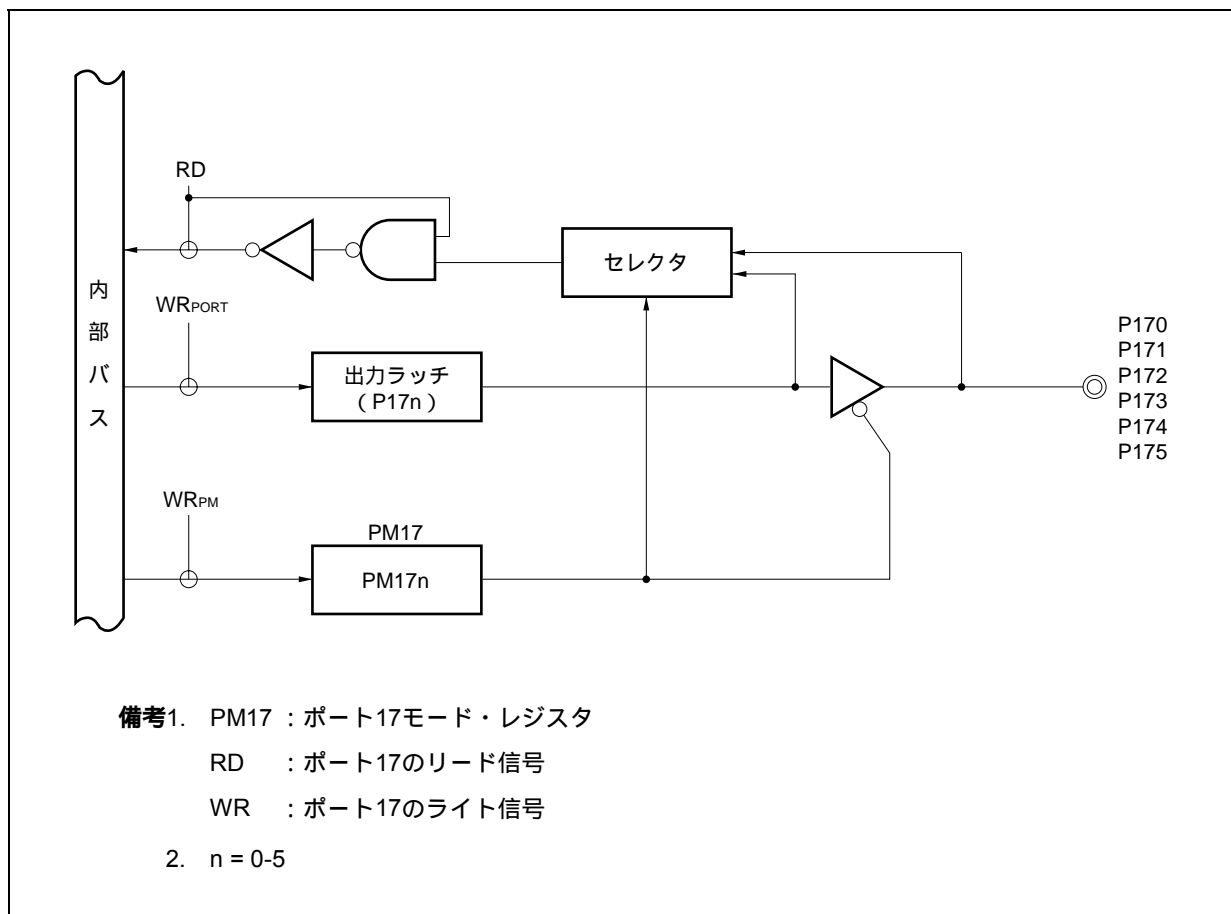
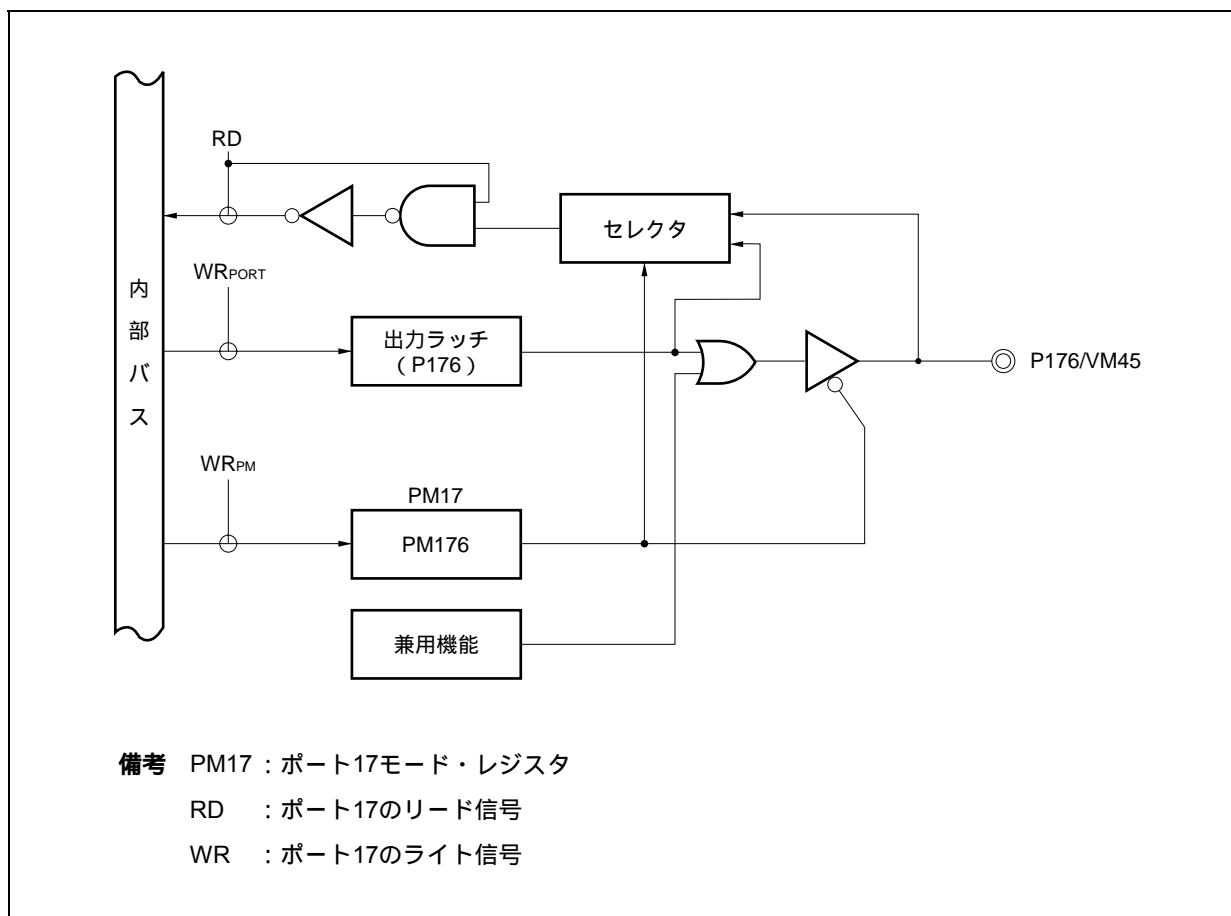


図5 - 21 P176のブロック図



5.3 ポート端子を兼用端子として使用する場合の設定

ポート端子を兼用端子として使用する場合，ポートnモード・レジスタ（PM0-PM6, PM9-PM12, PM14, PM15, PM17），出力ラッチを表5 - 16のように設定してください。

表5 - 16 ポート端子を兼用端子として使用する場合の設定（1/4）

端子名称	兼用端子		PMnレジスタの PMnxビット	Pnレジスタの Pnxビット	その他のビット (レジスタ)
	名称	入出力			
P00	NMI	入力	PM00 = 1	P00 = 設定不要	-
P01	INTP0	入力	PM01 = 1	P01 = 設定不要	-
P02	INTP1	入力	PM02 = 1	P02 = 設定不要	-
P03	INTP2	入力	PM03 = 1	P03 = 設定不要	-
P04	INTP3	入力	PM04 = 1	P04 = 設定不要	-
P05	INTP4	入力	PM05 = 1	P05 = 設定不要	-
	ADTRG	入力			
P06	INTP5	入力	PM06 = 1	P06 = 設定不要	-
P07	INTP6	入力	PM07 = 1	P07 = 設定不要	-
★ P10	SI0	入力	PM10 = 1	P10 = 設定不要	-
	SDA0	入出力	PM10 = 0	P10 = 0	PF10 = 1
P11	SO0	出力	PM11 = 0	P11 = 0	-
★ P12	SCK0	入力	PM12 = 1	P12 = 設定不要	-
		出力	PM12 = 0	P12 = 0	
P13	SCL0	入出力	PM13 = 1	P13 = 設定不要	-
	RXD0	入力			
P14	SO4	出力	PM14 = 0	P14 = 0	-
	TXD0	出力			
P15	SCK4	入力	PM15 = 1	P15 = 設定不要	-
		出力	PM15 = 0	P15 = 0	
	ASCK0	入力	PM15 = 1	P15 = 設定不要	
P17	TI5	入力	PM17 = 1	P17 = 設定不要	-
	TO5	出力	PM17 = 0	P17 = 0	
★ P20	SI2	入力	PM20 = 1	P20 = 設定不要	-
	SDA1	入出力	PM20 = 0	P20 = 0	
P21	SO2	出力	PM21 = 0	P21 = 0	-
★ P22	SCK2	入力	PM22 = 1	P22 = 設定不要	-
		出力	PM22 = 0	P22 = 0	
	SCL1	入出力	PM23 = 1	P23 = 設定不要	
TI90	入力	P23 = 設定不要			-
P24	TI91	入力	PM24 = 1	P24 = 設定不要	-
P25	TO9	出力	PM25 = 0	P25 = 0	-
P26	I $\overline{\text{ERX0}}$ ^注	入力	PM26 = 1	P26 = 設定不要	-
P27	I $\overline{\text{ETX0}}$ ^注	出力	PM27 = 0	P27 = 0	-

注 V850/SC2のみ

表5 - 16 ポート端子を兼用端子として使用する場合の設定 (2/4)

端子名称	兼用端子		PMnレジスタの PMnxビット	Pnレジスタの Pnxビット	その他のビット (レジスタ)
	名称	入出力			
P30	TI6	入力	PM30 = 1	P30 = 設定不要	-
	TO6	出力	PM30 = 0	P30 = 0	
P31	TI80	入力	PM31 = 1	P31 = 設定不要	-
P32	TI81	入力	PM32 = 1	P32 = 設定不要	-
P33	TO8	出力	PM33 = 0	P33 = 0	-
P34	TI71	入力	PM34 = 1	P34 = 設定不要	-
	A13 ^注	出力	PM34 = 0	P34 = 0	3.4.6(2)参照(MAM)
P35	INTP7	入力	PM35 = 1	P35 = 設定不要	-
	A14 ^注	出力	PM35 = 0	P35 = 0	3.4.6(2)参照(MAM)
P36	INTP8	入力	PM36 = 1	P36 = 設定不要	-
	A15 ^注	出力	PM36 = 0	P36 = 0	3.4.6(2)参照(MAM)
P37	INTP9	入力	PM37 = 1	P37 = 設定不要	-
P40-P47	AD0-AD7	入出力	PM40-PM47 = 設定不要	P40-P47 = 設定不要	3.4.6(1)参照(MM)
P50-P57	AD8-AD15	入出力	PM50-PM57 = 設定不要	P50-P57 = 設定不要	3.4.6(1)参照(MM)
P60-P65	A16-A21	出力	PM60-PM65 = 設定不要	P60-P65 = 設定不要	3.4.6(1)参照(MM)
P70-P77	ANI0-ANI7	入力	なし	P70-P77 = 設定不要	-
P80-P83	ANI8-ANI11	入力	なし	P80-P83 = 設定不要	-
P90	$\overline{\text{LBEN}}$	出力	PM90 = 設定不要	P90 = 設定不要	3.4.6(1)参照(MM)
	WRL ^注	出力			
P91	$\overline{\text{UBEN}}$	出力	PM91 = 設定不要	P91 = 設定不要	3.4.6(1)参照(MM)
P92	R/W	出力	PM92 = 設定不要	P92 = 設定不要	3.4.6(1)参照(MM)
	WRH ^注	出力			
★ P93	$\overline{\text{DSTB}}$	出力	PM93 = 設定不要	P93 = 1	3.4.6(1)参照(MM)
	RD ^注	出力			
★ P94	ASTB	出力	PM94 = 設定不要	P94 = 1	3.4.6(1)参照(MM)
★ P95	$\overline{\text{HLDAK}}$	出力	PM95 = 設定不要	P95 = 設定不要	3.4.6(1)参照(MM)
★ P96	HLDQR	入力	PM96 = 設定不要	P96 = 設定不要	3.4.6(1)参照(MM)
P100	KR0	入力	PM100 = 1	P100 = 設定不要	-
	TO7	出力	PM100 = 0	P100 = 0	
	A5 ^注	出力			
P101	KR1	入力	PM101 = 1	P101 = 設定不要	-
	TI70	入力			
	A6 ^注	出力	PM101 = 0	P101 = 0	3.4.6(2)参照(MAM)
P102	KR2	入力	PM102 = 1	P102 = 設定不要	-
	TI00	入力			
	A7 ^注	出力	PM102 = 0	P102 = 0	3.4.6(2)参照(MAM)
P103	KR3	入力	PM103 = 1	P103 = 設定不要	-
	TI01	入力	PM103 = 0	P103 = 0	
	A8 ^注	出力			

注 V850/SC1, V850/SC2のみ

表5 - 16 ポート端子を兼用端子として使用する場合の設定 (3/4)

端子名称	兼用端子		PMnレジスタの PMnxビット	Pnレジスタの Pnxビット	その他のビット (レジスタ)
	名称	入出力			
P104	KR4	入力	PM104 = 1	P104 = 設定不要	-
	TO0	出力	PM104 = 0	P104 = 0	
	A9 ^{注1}	出力		3. 4. 6 (2) 参照 (MAM)	
P105	KR5	入力	PM105 = 1	P105 = 設定不要	-
	TI10	入力	PM105 = 0	P105 = 0	
	A10 ^{注1}	出力		3. 4. 6 (2) 参照 (MAM)	
P106	KR6	入力	PM106 = 1	P106 = 設定不要	-
	TI11	入力	PM106 = 0	P106 = 0	
	A11 ^{注1}	出力		3. 4. 6 (2) 参照 (MAM)	
P107	KR7	入力	PM107 = 1	P107 = 設定不要	-
	TO1	出力	PM107 = 0	P107 = 0	
	A12 ^{注1}	出力		3. 4. 6 (2) 参照 (MAM)	
P110	WAIT	入力	PM110 = 1	P110 = 設定不要	WAC = 1 (PAC)
	A1 ^{注1}	出力	PM110 = 0	P110 = 0	3. 4. 6 (2) 参照 (MAM)
P111	A2 ^{注1}	出力	PM111 = 0	P111 = 0	3. 4. 6 (2) 参照 (MAM)
P112	A3 ^{注1}	出力	PM112 = 0	P112 = 0	3. 4. 6 (2) 参照 (MAM)
P113	A4 ^{注1}	出力	PM113 = 0	P113 = 0	3. 4. 6 (2) 参照 (MAM)
P114	CANTX1 ^{注2}	出力	PM114 = 0	P114 = 0	PAC114 = 1 (PAC)
P115	CANRX1 ^{注2}	入力	PM115 = 1	P115 = 0	PAC115 = 1 (PAC)
P116	CANTX2 ^{注3}	出力	PM116 = 0	P116 = 0	PAC116 = 1 (PAC)
P117	CANRX2 ^{注3}	入力	PM117 = 1	P117 = 0	PAC117 = 1 (PAC)
P120	SCK5	入力	PM120 = 1	P120 = 0	PAC120 = 1 (PAC2)
		出力	PM120 = 0		
P121	SI5	入力	PM121 = 1	P121 = 0	PAC121 = 1 (PAC2)
P122	SO5	出力	PM122 = 0	P122 = 0	PAC122 = 1 (PAC2)
P123	SCK6	入力	PM123 = 1	P123 = 0	PAC123 = 1 (PAC2)
		出力	PM123 = 0		
P124	SI6	入力	PM124 = 1	P124 = 0	PAC124 = 1 (PAC2)
P125	SO6	出力	PM125 = 0	P125 = 0	PAC125 = 1 (PAC2)
P126	TO10	出力	PM126 = 0	P126 = 0	-
P127	TO11	出力	PM127 = 0	P127 = 0	-
P140	SI3	入力	PM140 = 1	P140 = 設定不要	-
	RXD1	入力			
P141	SO3	出力	PM141 = 0	P141 = 0	-
	TXD1	出力			
P142	SCK3	入力	PM142 = 1	P142 = 設定不要	-
		出力	PM142 = 0	P142 = 0	
	ASCK1	入力	PM142 = 1	P142 = 設定不要	
P143	RXD2	入力	PM143 = 1	P143 = 設定不要	-

注1. V850/SC1, V850/SC2のみ

2. V850/SC3のみ

3. μ PD703089Y, 70F3089Yのみ

表5 - 16 ポート端子を兼用端子として使用する場合の設定 (4/4)

端子名称	兼用端子		PMnレジスタの PMnxビット	Pnレジスタの Pnxビット	その他のビット (レジスタ)
	名称	入出力			
P144	TXD2	出力	PM144 = 0	P144 = 0	-
P145	ASCK2	入力	PM145 = 1	P145 = 設定不要	-
P146	TI100	入力	PM146 = 1	P146 = 設定不要	-
P147	TI101	入力	PM147 = 1	P147 = 設定不要	-
P150	RXD3	入力	PM150 = 1	P150 = 設定不要	-
P151	TXD3	出力	PM151 = 0	P151 = 0	-
P152	ASCK3	入力	PM152 = 1	P152 = 設定不要	-
P153	TI110	入力	PM153 = 1	P153 = 設定不要	-
P154	TI111	入力	PM154 = 1	P154 = 設定不要	-
P155	TO12	出力	PM155 = 0	P155 = 0	-
P156	TI120	入力	PM156 = 1	P156 = 設定不要	-
P157	TI121	入力	PM157 = 1	P157 = 設定不要	-
P176	VM45	出力	PM176 = 0	P176 = 0	14. 3 (2) 参照 (VM45C)

注意 ポート0, 3は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを設定して出力レベルを変化させた場合、割り込み要求フラグがセットされてしまいます。したがって、出力端子として使用する場合は、あらかじめ割り込みマスク・フラグに1を設定してください。

備考 PMnレジスタのPMnxビット / PnのPnxビット

n : 0 (x = 0-7) n : 1 (x = 0-7) n : 2 (x = 0-7) n : 3 (x = 0-7) n : 4 (x = 0-7)
n : 5 (x = 0-7) n : 6 (x = 0-5) n : 7 (x = 0-7) n : 8 (x = 0-3) n : 9 (x = 0-6)
n : 10 (x = 0-7) n : 11 (x = 0-7) n : 12 (x = 0-7) n : 14 (x = 0-7) n : 15 (x = 0-7)
n : 17 (x = 0-6)

★ 5.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

5.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 ビット操作命令 (CLR1, SET1, NOT1) の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容がそのときの入力端子の状態に上書きされ、不定になります。

5.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

第6章 バス制御機能

V850/SC1, V850/SC2, V850/SC3は、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

6.1 特 徴

アドレス・バス (V850/SC1, V850/SC2のみセパレート出力可能)

16ビット・データ・バス

ポートとの兼用端子で外部デバイスに接続可能

ウェイト機能

・2ブロックごとに最大3ステートのプログラマブル・ウェイト機能

・ $\overline{\text{WAIT}}$ 端子による外部ウェイト機能

アイドル・ステート挿入機能

バス使用権調停機能

バス・ホールド機能

6.2 バス制御端子と制御レジスタ

6.2.1 バス制御端子

外部デバイスの接続には、次の端子を使用します。

表6-1 バス制御端子

外部バス・インタフェース機能使用時	対応するポート
アドレス/データ・バス (AD0-AD7)	ポート4 (P40-P47)
アドレス/データ・バス (AD8-AD15)	ポート5 (P50-P57)
アドレス・バス (A1-A4) ^注	ポート11 (P110-P113)
アドレス・バス (A5-A12) ^注	ポート10 (P100-P107)
アドレス・バス (A13-A15) ^注	ポート3 (P34-P36)
アドレス・バス (A16-A21)	ポート6 (P60-P65)
リード/ライト制御 ($\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$, $\overline{\text{R/W}}$, $\overline{\text{DSTB}}$, $\overline{\text{WRL}}$ ^注 , $\overline{\text{WRH}}$ ^注 , $\overline{\text{RD}}$ ^注)	ポート9 (P90-P93)
アドレス・ストロブ (ASTB)	ポート9 (P94)
バス・ホールド制御 ($\overline{\text{HLDRQ}}$, $\overline{\text{HLDAK}}$)	ポート9 (P95, P96)
外部ウェイト制御 (WAIT)	ポート11 (P110)

注 V850/SC1, V850/SC2のみ

各端子のバス・インタフェース機能は、V850/SC1, V850/SC2ではメモリ拡張モード・レジスタ (MM) またはメモリ・アドレス出力モード・レジスタ (MAM) の設定、V850/SC3ではメモリ拡張モード・レジスタ (MM) の設定により有効になります。外部インタフェースの動作モード指定に関する詳細は、3.4.6 (1) **メモリ拡張モード・レジスタ (MM)**、(2) **メモリ・アドレス出力モード・レジスタ (MAM)** を参照してください。

注意 V850/SC1, V850/SC2ではセパレート・バス使用時のディバグについては、対応するインサーキット・エミュレータのユーザーズ・マニュアルを参照してください。

6.2.2 制御レジスタ

(1) システム制御レジスタ (SYC) (V850/SC1, V850/SC2のみ)

このレジスタは、バス・インタフェース用制御信号を切り替えます。

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF064H

	7	6	5	4	3	2	1	①
SYC	0	0	0	0	0	0	0	BIC

BIC	バス・インタフェースの制御
0	\overline{DSTB} , $\overline{R/W}$, \overline{LBEN} , \overline{UBEN} ^注 信号出力
1	\overline{RD} , \overline{WRL} , \overline{WRH} , \overline{UBEN} ^注 信号出力

★ **注** \overline{UBEN} 信号は、外部拡張モード(メモリ拡張モード・レジスタ(MM)による設定)時、BICビットの設定にかかわらず出力されます。

★ **注意** V850/SC1, V850/SC2では、ポート9を入出力ポートとして使用するときは、BICビットを“0”に設定してください。
 なお、システム・リセット時にはBICビット = 0になります。

6.3 バス・アクセス

6.3.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

表6-2 アクセス・クロック数

バス・サイクル形態	周辺I/O (バス幅)			
	内蔵ROM (32ビット)	内蔵RAM (32ビット)	周辺I/O (16ビット)	外部メモリ (16ビット)
命令フェッチ	1	3	不可	3 + n
オペランド・データ・アクセス	3	1	3	3 + n

備考1. 単位はクロック/アクセスです。

2. n: ウェイト挿入数

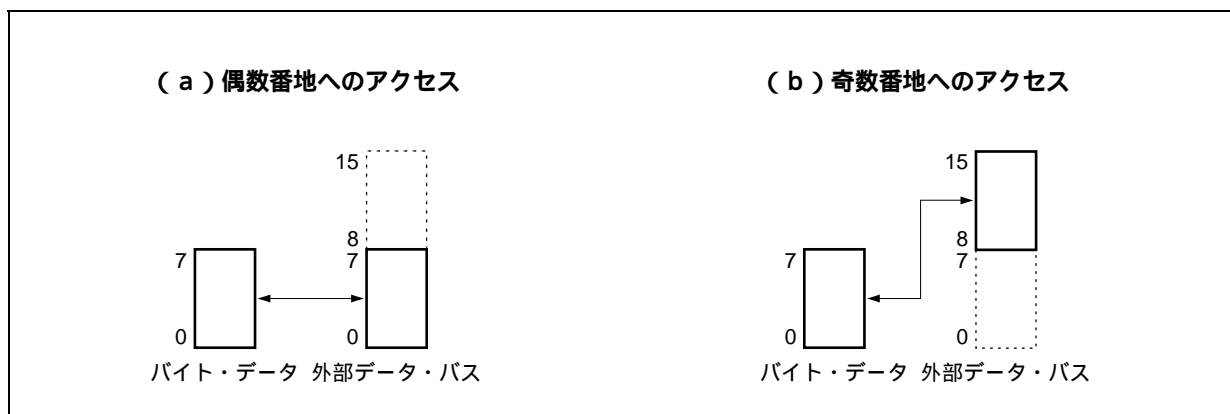
6.3.2 バス幅

CPUが周辺I/Oアクセス, 外部メモリ・アクセスを行う場合には, 8, 16, 32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。

(1) バイト・アクセス (8ビット)

バイト・アクセスには, 偶数番地へのアクセスと奇数番地へのアクセスの2つの方法があります。

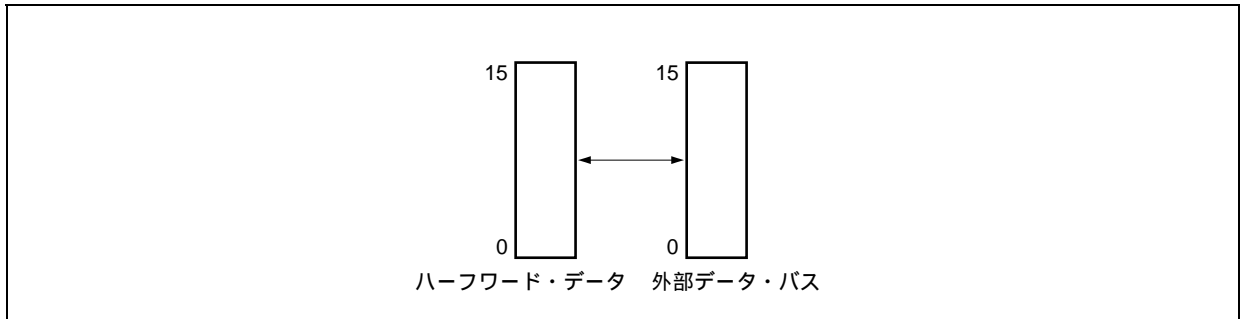
図6-1 バイト・アクセス (8ビット)



(2) ハーフワード・アクセス (16ビット)

データ・バスは16ビット固定なので、外部メモリへのハーフワード・アクセスでは、データをそのままやりとります。

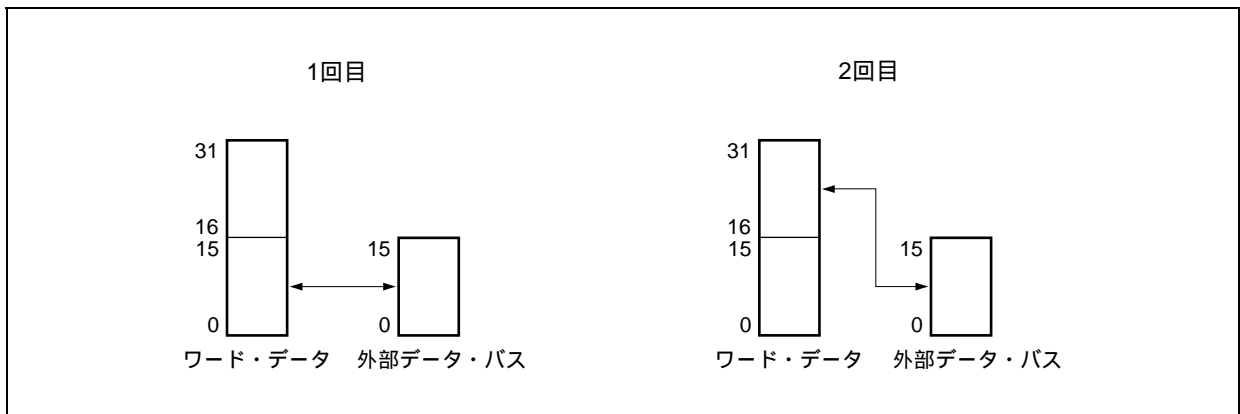
図6 - 2 ハーフワード・アクセス (16ビット)



(3) ワード・アクセス (32ビット)

外部メモリへのワード・アクセスでは、下位ハーフワード、上位ハーフワードの順でアクセスします。

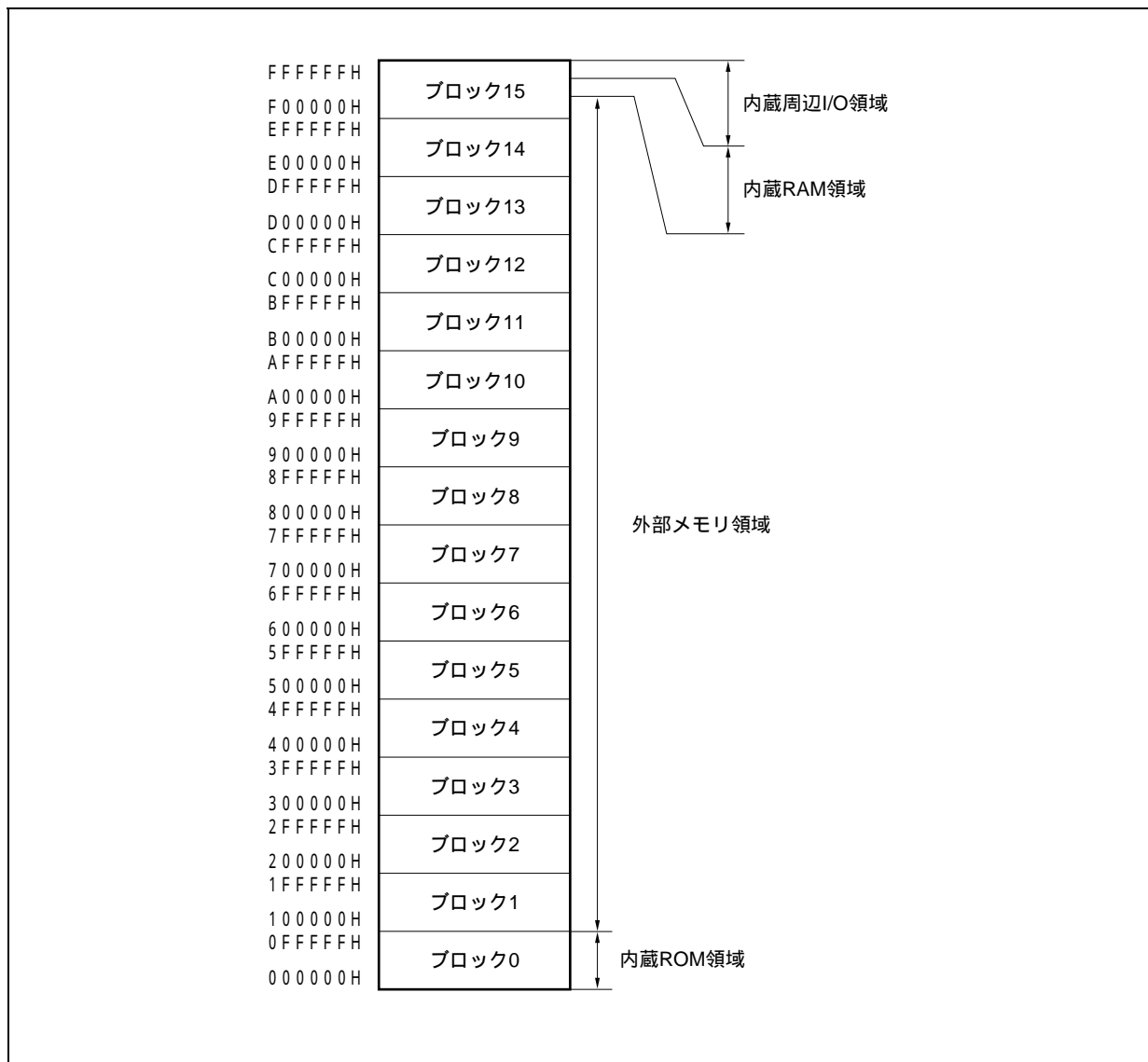
図6 - 3 ワード・アクセス (32ビット)



6.4 メモリ・ブロック機能

16 Mバイトのメモリ空間は1 Mバイト単位のメモリ・ブロックに分割され、2ブロック単位にプログラマブル・ウエイト機能、バス・サイクル動作モードなどを独立に制御できます。

図6-4 メモリ・ブロック



6.5 ウェイト機能

6.5.1 プログラマブル・ウェイト機能

低速メモリ，I/Oに対するインタフェースを容易に実現させることを目的とし，2ブロックごとに起動されるバス・サイクルに対し，最大3ステートのデータ・ウェイトを挿入できます。

ウェイト数は，データ・ウェイト・コントロール・レジスタ（DWC）でプログラマブルに設定できます。システム・リセット直後は，全ブロックに対して3データ・ウェイトの挿入状態になります。

(1) データ・ウェイト・コントロール・レジスタ（DWC）

16ビット単位でリード/ライト可能です。

リセット時：FFFFH R/W アドレス：FFFFFF060H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DWC	DW 71	DW 70	DW 61	DW 60	DW 51	DW 50	DW 41	DW 40	DW 31	DW 30	DW 21	DW 20	DW 11	DW 10	DW 01	DW 00
	DWn1	DWn0	挿入ウェイト・ステート数													
	0	0	0													
	0	1	1													
	1	0	2													
	1	1	3													
	n	ウェイト挿入されるブロック														
	0	ブロック0/1														
	1	ブロック2/3														
	2	ブロック4/5														
	3	ブロック6/7														
	4	ブロック8/9														
	5	ブロック10/11														
	6	ブロック12/13														
	7	ブロック14/15														

ブロック0は内蔵ROM領域に予約されており，DWCレジスタの設定にかかわらずプログラマブル・ウェイトの対象外で，常にノー・ウェイト・アクセスを行います。

ブロック15の内蔵RAM領域はプログラマブル・ウェイトの対象外で，常にノー・ウェイト・アクセスを行います。また，内蔵周辺I/O領域はプログラマブル・ウェイトの対象外で，各周辺機能からのウェイト制御だけを行います。

6.5.2 外部ウエイト機能

極端に遅いデバイスや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 (WAIT) によりバス・サイクルに任意のウエイト・ステートを挿入できます。

外部ウエイトの挿入はデータ・ウエイトだけ行われます。ただし、内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによって制御できません。

WAIT入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT2、TWステートのクロックの立ち下がりですamplingします。サンプル・タイミングにおける設定/保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

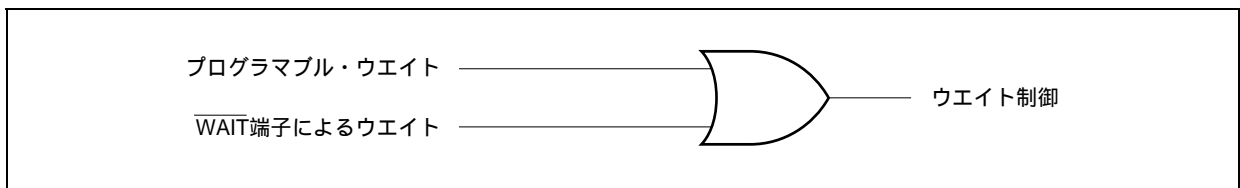
注意 V850/SC1, V850/SC2では、A1端子とWAIT端子が兼用端子になっているため、セパレート・バスを使用する場合はWAIT端子によるウエイト機能が使用できません(ただし、プログラマブル・ウエイトは使用できます)。

逆に、WAIT端子によるウエイト機能を使用する場合はセパレート・バスが使用できません。

6.5.3 プログラマブル・ウエイトと外部ウエイトの関係

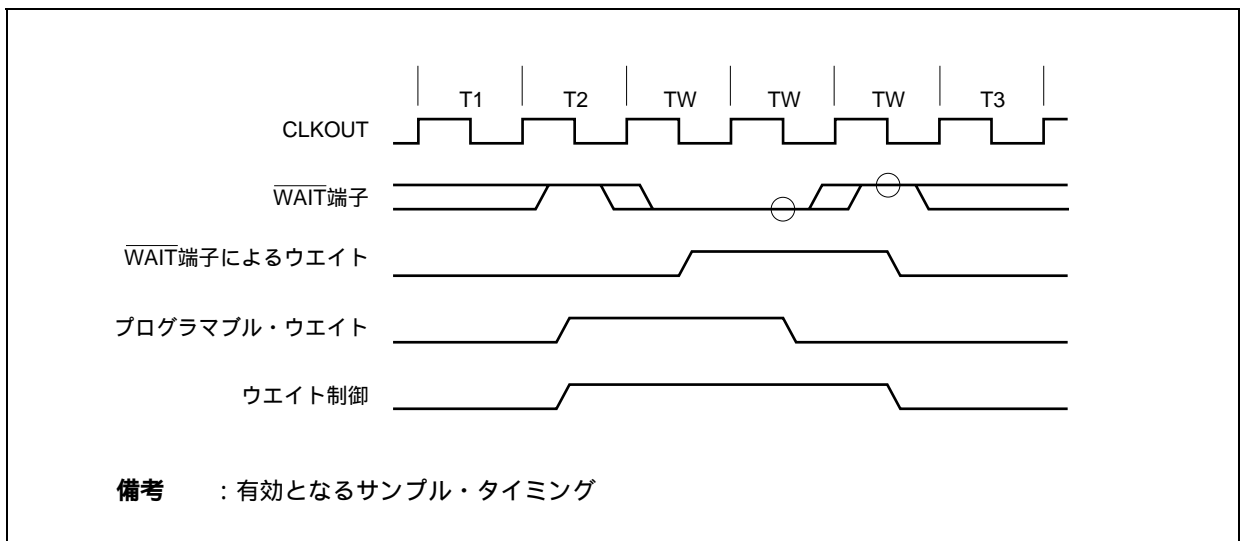
ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、WAIT端子制御によるウエイト・サイクルの論理和として挿入され、どちらか多い方のウエイト・サイクル数だけ挿入されます。

図6-5 ウエイト制御



たとえば、プログラマブル・ウエイト、WAIT端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図6-6 ウエイト挿入例



6.6 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的として、2ブロックごとにリード・アクセス時のメモリのデータ出力フロート遅延時間を確保するために、起動されるバス・サイクルに対し、T3ステート後に1ステートのアイドル・ステート（TI）を挿入できます。連続する次のバス・サイクルは、1アイドル・ステート後から開始します。

アイドル・ステートの挿入指定は、バス・サイクル・コントロール・レジスタ（BCC）でプログラマブルに設定できます。

システム・リセット直後は、全ブロックに対してアイドル・ステートの挿入状態になります。

(1) バス・サイクル・コントロール・レジスタ（BCC）

16ビット単位でリード/ライト可能です。

リセット時：AAAAH R/W アドレス：FFFFF062H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCC	BC 71	0	BC 61	0	BC 51	0	BC 41	0	BC 31	0	BC 21	0	BC 11	0	BC 01	0
	BCn1	アイドル・ステート挿入指定														
	0	挿入しない														
	1	挿入する														
	n	アイドル・ステートの挿入されるブロック														
	0	ブロック0/1														
	1	ブロック2/3														
	2	ブロック4/5														
	3	ブロック6/7														
	4	ブロック8/9														
	5	ブロック10/11														
	6	ブロック12/13														
	7	ブロック14/15														

ブロック0は内蔵ROM領域に予約されているため、ブロック0に対してアイドル・ステートの挿入は指定できません。

ブロック15における、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。

このレジスタのビット0, 2, 4, 6, 8, 10, 12, 14には必ず“0”を設定してください。“1”を設定した場合の動作は保証できません。

6.7 バス・ホールド機能

6.7.1 機能概要

メモリ拡張モード・レジスタ（MM）のMM3ビットをセット（1）すると、P95、P96の $\overline{\text{HLDRQ}}$ 、 $\overline{\text{HLDAK}}$ 端子機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ（ロウ・レベル）になったことを受け付けると、外部アドレス/データ・バス、各種ストロブ端子をハイ・インピーダンス状態^注にし、解放します（バス・ホールド状態）。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ（ハイ・レベル）になりバス獲得要求が解除されれば、再びこれらの端子の駆動を開始します。バス・ホールド期間中は、外部メモリ・アクセスがあるまで、内部の動作を継続します。

バス・ホールド状態は、 $\overline{\text{HLDAK}}$ 端子がアクティブ（ロウ・レベル）になったことで知ることができます。

マルチプロセッサ構成、DMAコントローラ接続時など、バス・マスタが複数存在するようなシステムを構成できます。

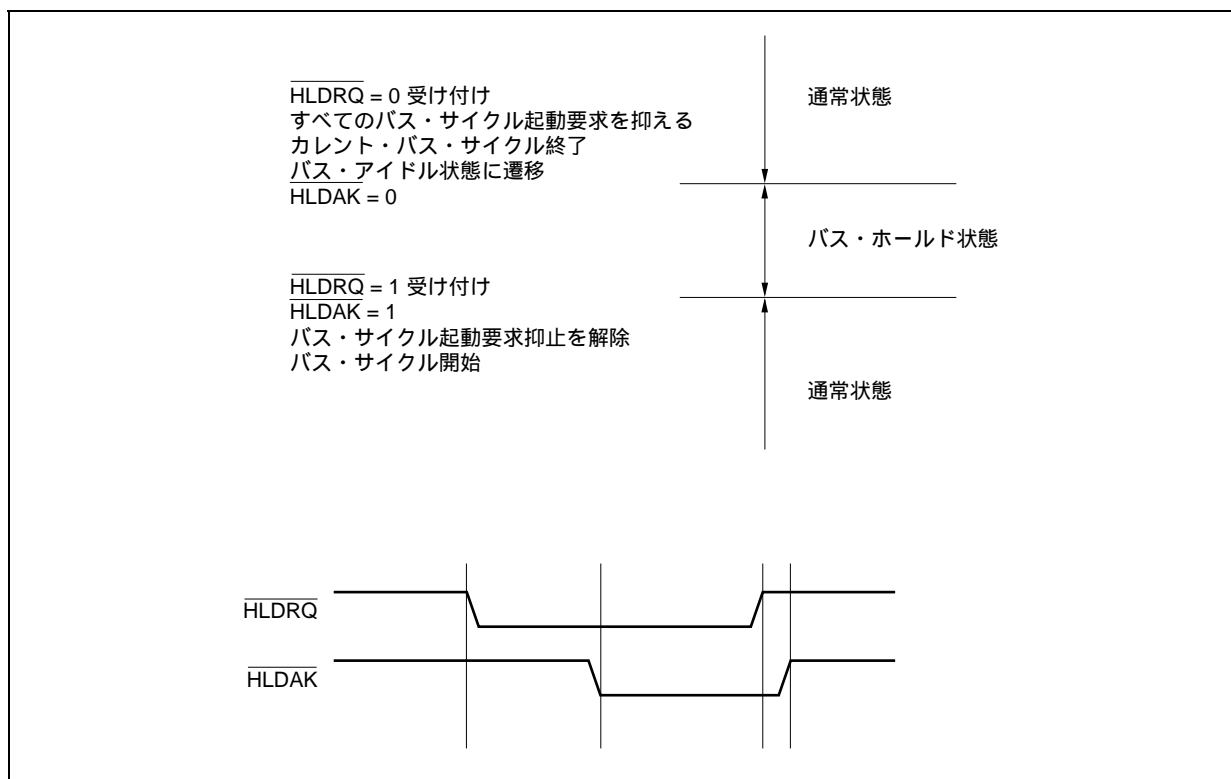
なお、ワード・アクセス時の1回目と2回目の間にはバス・ホールド要求は受け付けません。また、ビット操作命令のリード・モディファイ・ライト・アクセスにおけるリード・アクセスとライト・アクセスの間にもバス・ホールド要求は受け付けません。

注 V850/SC1、V850/SC2でセパレート・バスを使用しているときのA1-A15端子は、保持状態になります。

6.7.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。

図6-7 バス・ホールド手順



6.7.3 パワー・セーブ・モード時の動作

IDLEモード期間中およびSTOPモード期間中は、システム・クロックが停止するため、 $\overline{\text{HLDQR}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDQR}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDAR}}$ 端子がアクティブになり、バス・ホールド状態になります。同様に $\overline{\text{HLDQR}}$ 端子がインアクティブになると、 $\overline{\text{HLDAR}}$ 端子がインアクティブになり、バス・ホールド状態は解除され、再びHALTモードに戻ります。

6.8 バス・タイミング

V850/SC1, V850/SC2, V850/SC3は、外部デバイスとのリード/ライト制御を次の2つのモードで実行できます。

- ・ $\overline{\text{DSTB}}$, $\overline{\text{R/W}}$, $\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$, $\overline{\text{ASTB}}$ 信号を使用するモード
- ・ $\overline{\text{RD}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{ASTB}}$ 信号を使用するモード

これらのモードは、システム制御レジスタ (SYC) のBICビットで設定してください (6.2.2(1) システム制御レジスタ (SYC) (V850/SC1, V850/SC2のみ) 参照)。

図6-8 メモリ・リード (1/4)

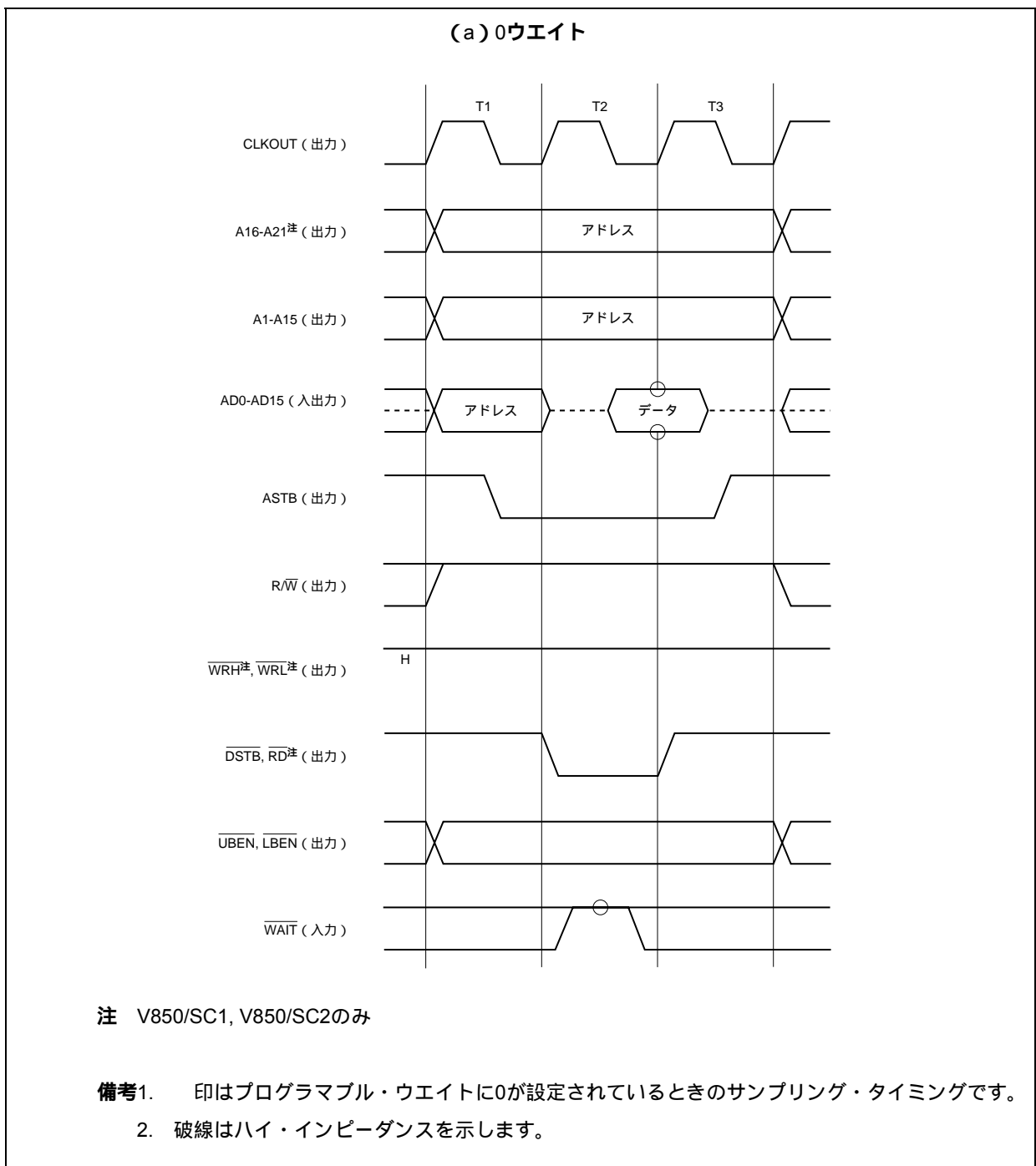


図6 - 8 メモリ・リード (2/4)

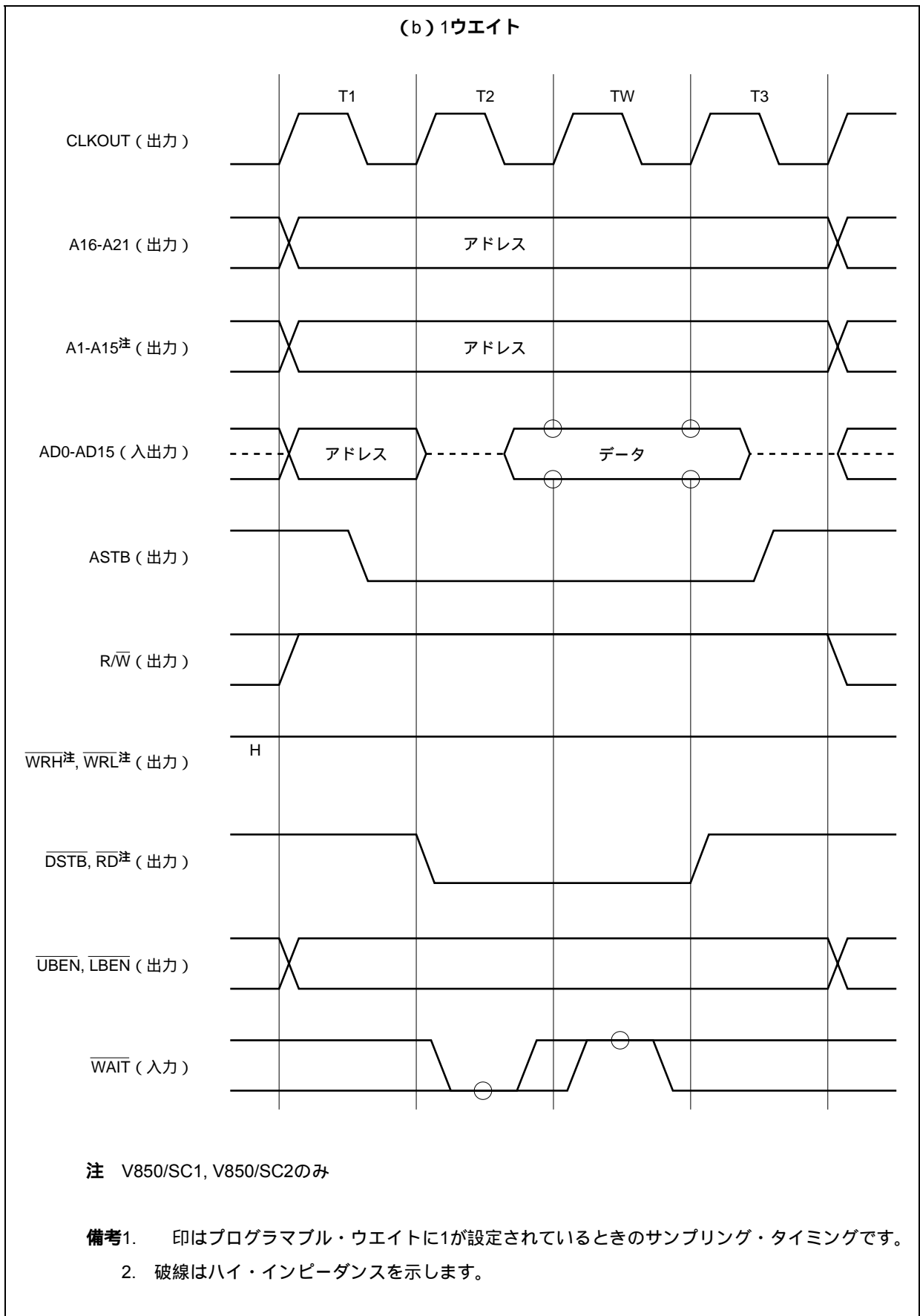


図6 - 8 メモリ・リード (3/4)

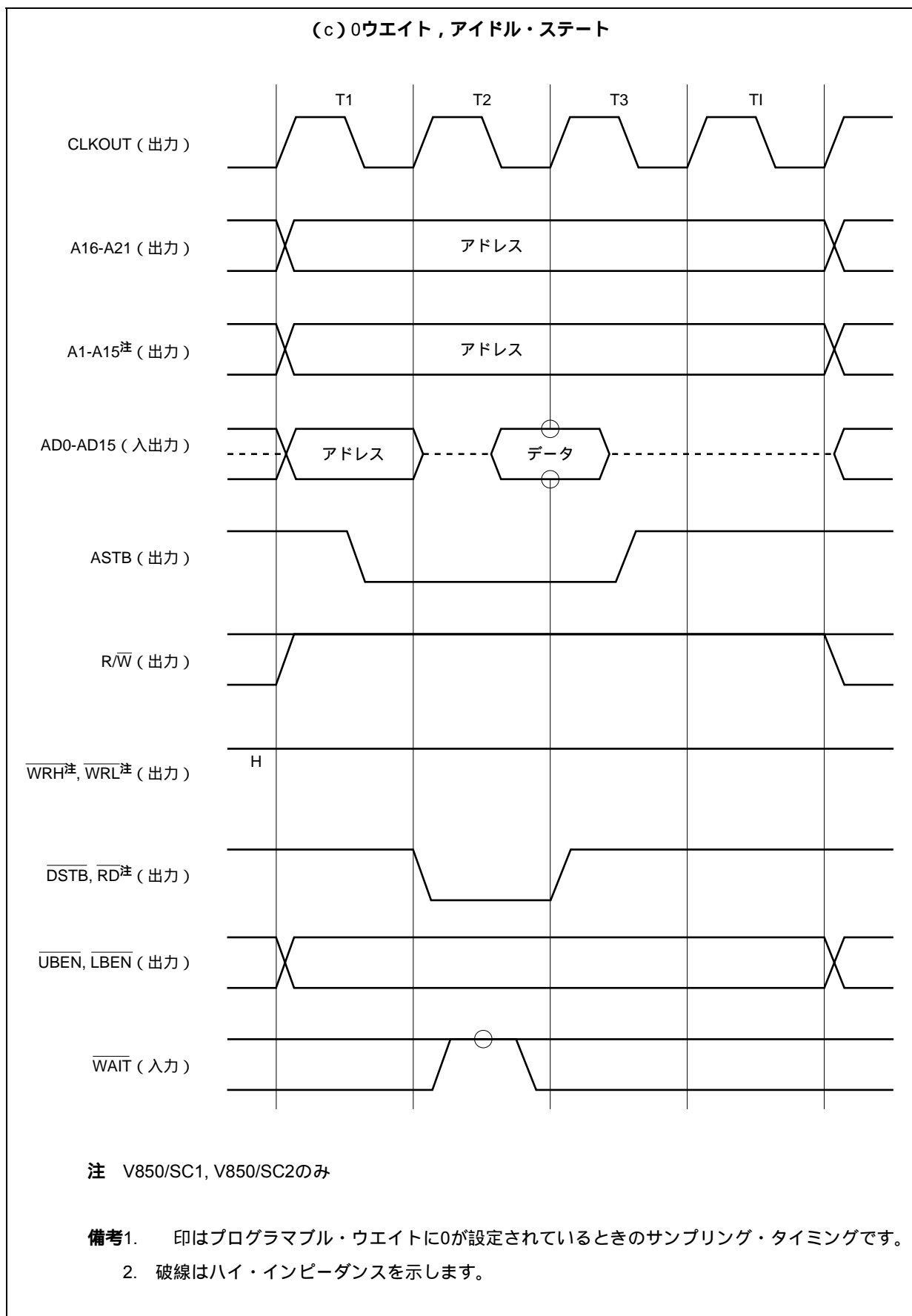


図6 - 8 メモリ・リード (4/4)

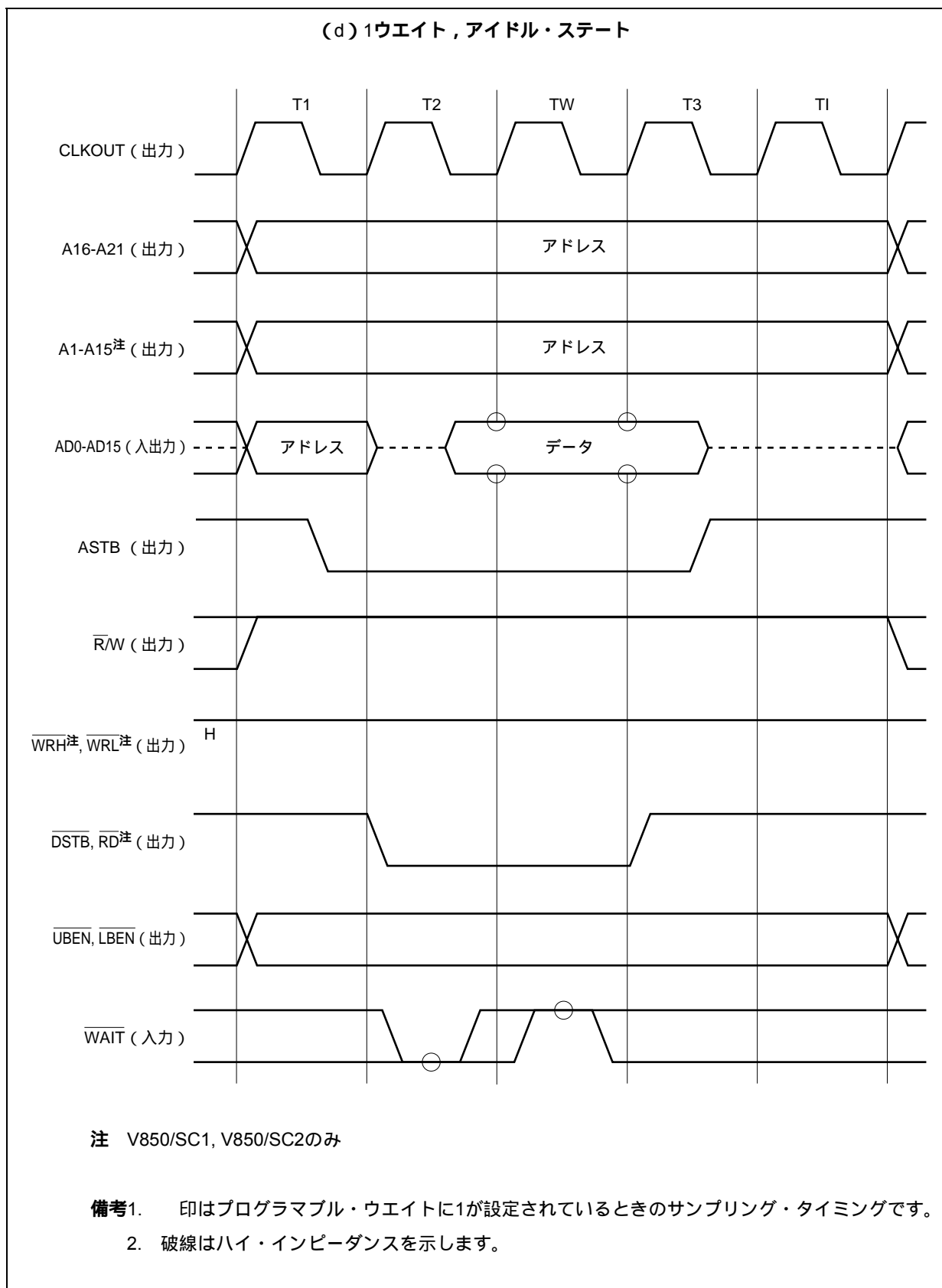


図6-9 メモリ・ライト (1/2)

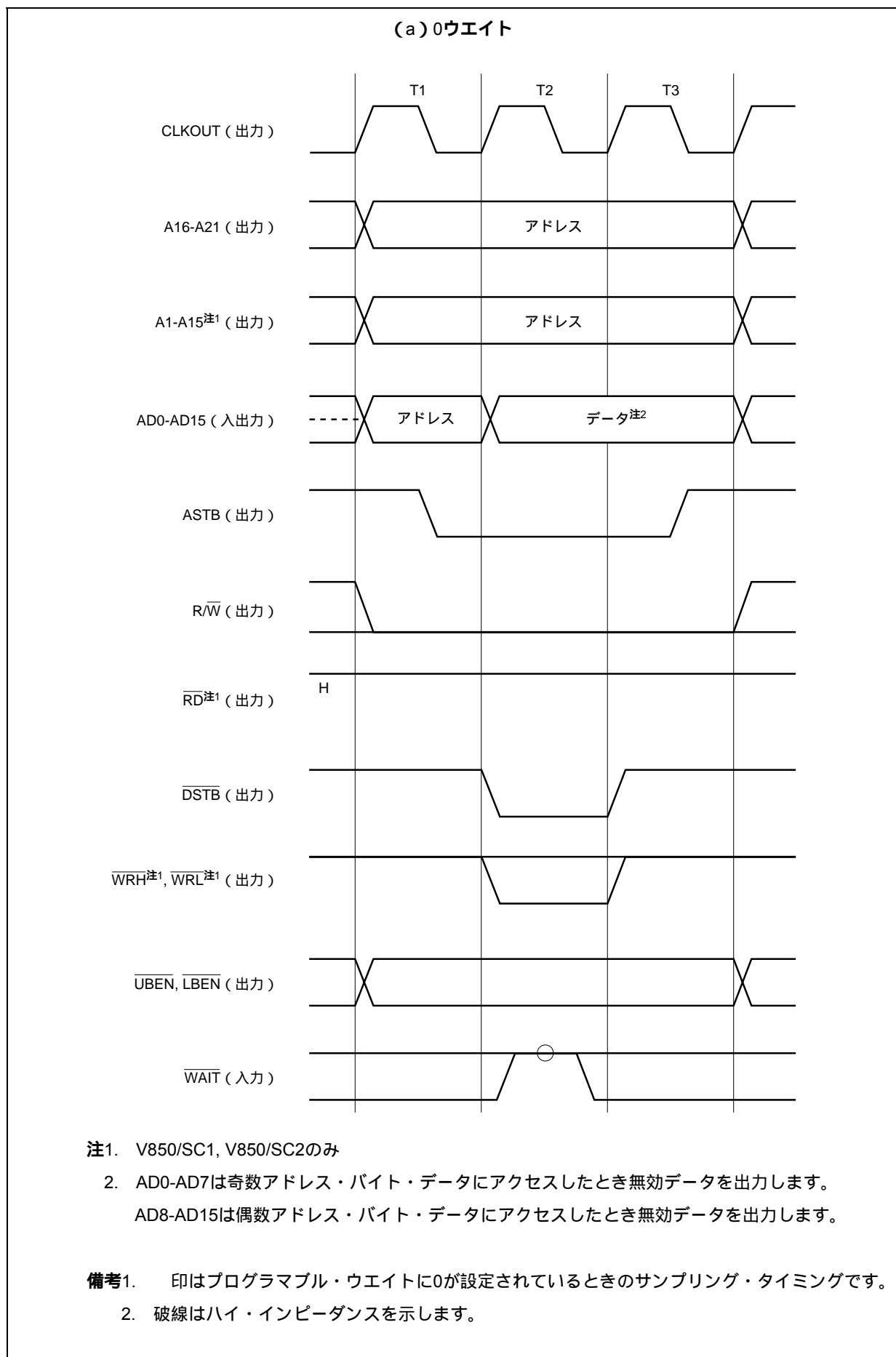


図6 - 9 メモリ・ライト (2/2)

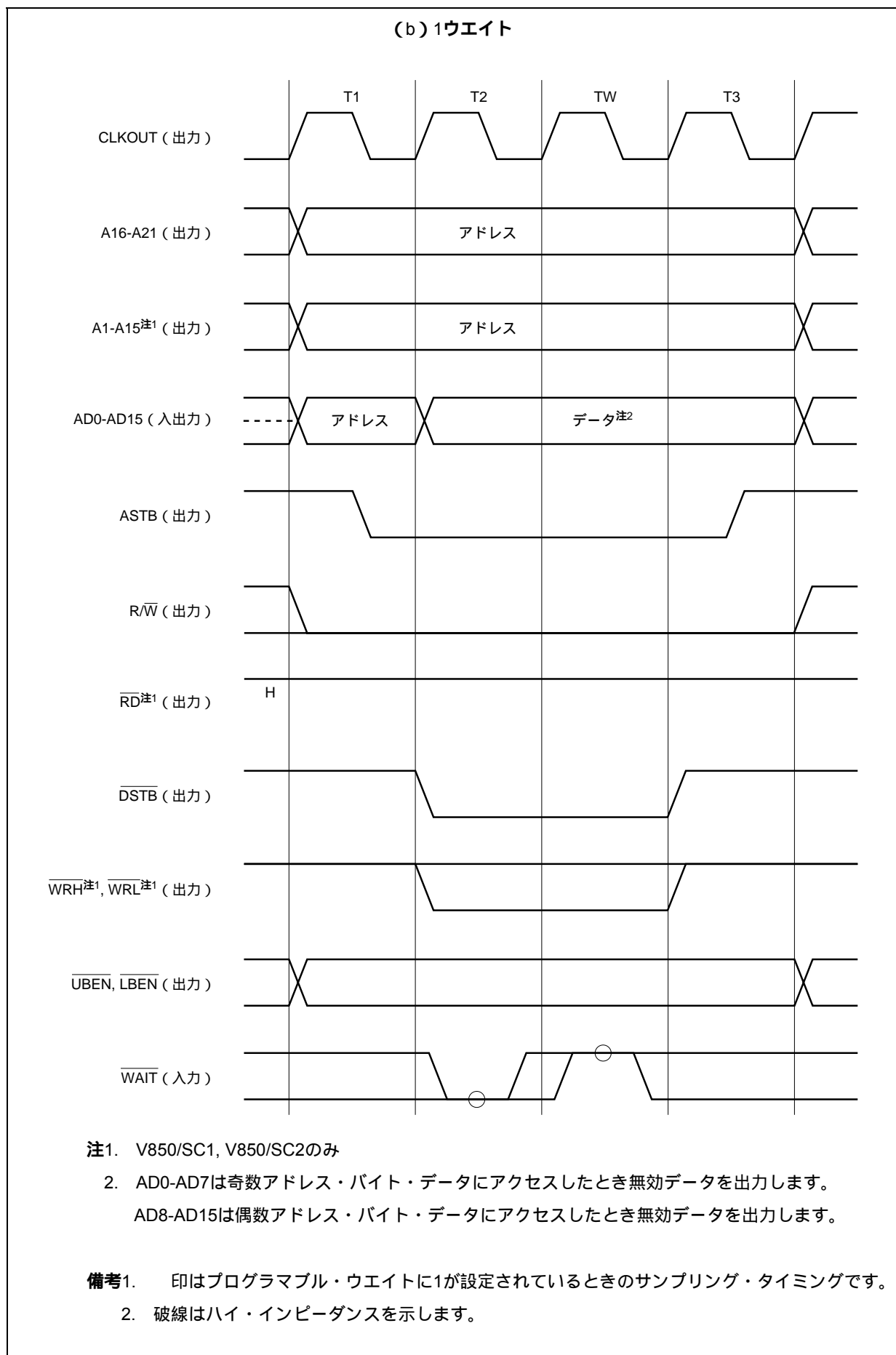
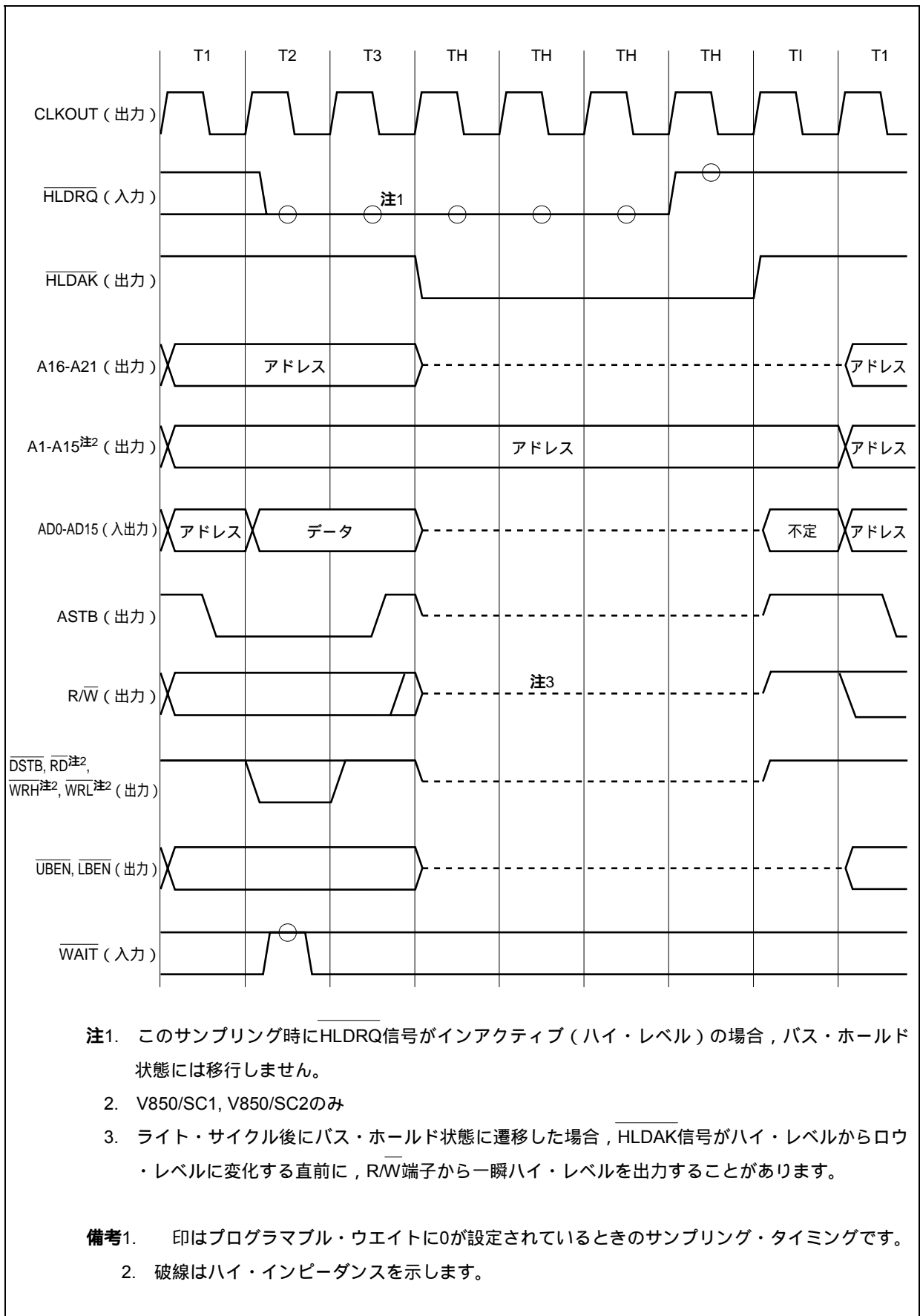


図6-10 バス・ホールド・タイミング



6.9 バスの優先順位

外部バス・サイクルには、バス・ホールド、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の4つがあります。優先順位はバス・ホールドが最も高く、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、ワード・アクセスの下位ハーフワード・アクセスと上位ハーフワード・アクセスの間には、命令フェッチとバス・ホールドは挿入されません。

表6-3 バス優先順位

外部バス・サイクル	優先順位
バス・ホールド	1
オペランド・データ・アクセス	2
命令フェッチ（分岐）	3
命令フェッチ（連続）	4

6.10 境界動作条件

6.10.1 プログラム空間

(1) 内蔵周辺I/O領域への分岐や内蔵RAM領域から周辺I/Oへの連続フェッチは行わないでください。分岐や命令フェッチを行った場合、NOP命令コードのフェッチを継続し、外部メモリからのフェッチなどは行いません。

(2) 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作（無効フェッチ）は発生しません。

6.10.2 データ空間

ハーフワード（16ビット）/ワード（32ビット）長のデータ・アクセスは、それぞれハーフワード境界（アドレスの最下位ビットが“0”）/ワード境界（アドレスの下位2ビットが“0”）にアラインされたアドレスに対してだけ行います。したがって、メモリまたはメモリ・ブロックの境界をまたぐようなアクセスは発生しません。詳細は、V850シリーズ ユーザーズ・マニュアル アーキテクチャ編を参照してください。

第7章 割り込み / 例外処理機能

7.1 概 要

V850/SC1, V850/SC2, V850/SC3は、割り込み処理用に専用の割り込みコントローラ (INTC) を内蔵し、合計49要因から56要因の割り込み要求を処理できる強力な割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850/SC1, V850/SC2, V850/SC3では、内蔵している周辺ハードウェアと外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動 (ソフトウェア例外) や、例外事象の発生 (不正命令コードのフェッチ) による例外処理の起動 (例外トラップ) が可能です。

7.1.1 特 徴

割り込み

- ・ノンマスクブル割り込み：2要因
- ・マスクブル割り込み (製品によってマスクブル割り込みの要因数が異なります)

(V850/SC1)

μ PD703068Y, 70F3089Y : 49要因

(V850/SC2)

μ PD703069Y, 70F3089Y : 51要因

(V850/SC3)

μ PD703088Y : 53要因

μ PD703089Y, 70F3089Y : 56要因

- ・8レベルのプログラマブル優先順位制御
- ・優先順位に従った割り込み要求に対するマスク指定
- ・個々のマスクブル割り込み要求に対するマスク指定
- ・外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ソフトウェア例外 : 32要因
- ・例外トラップ : 1要因 (不正命令コード例外)

割り込み / 例外要因を表7 - 1に示します。

表7-1 割り込み要因一覧(1/3)

種類	分類	デフォルト・ 優先リティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
リセット	割り込み	-	RESET	リセット入力	-	0000H	00000000H	不定	-
ノンマス カブル	割り込み	-	NMI	NMI端子入力	-	0010H	00000010H	nextPC	-
	割り込み	-	INTWDT	WDOVF ノンマスカブル	WDT	0020H	00000020H	nextPC	-
ソフトウ エア例外	例外	-	TRAP0 ^{注1}	TRAP命令	-	004nH ^{注1}	00000040H	nextPC	-
	例外	-	TRAP1n ^{注1}	TRAP命令	-	005nH ^{注1}	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP	不正命令コード	-	0060H	00000060H	nextPC	-
マスカブル	割り込み	0	INTWDTM	WDOVFマスカブル	WDT	0080H	00000080H	nextPC	WDTIC
		1	INTP0	INTP0端子	端子	0090H	00000090H	nextPC	PIC0
		2	INTP1	INTP1端子	端子	00A0H	000000A0H	nextPC	PIC1
		3	INTP2	INTP2端子	端子	00B0H	000000B0H	nextPC	PIC2
		4	INTP3	INTP3端子	端子	00C0H	000000C0H	nextPC	PIC3
		5	INTP4	INTP4端子	端子	00D0H	000000D0H	nextPC	PIC4
		6	INTP5	INTP5端子	端子	00E0H	000000E0H	nextPC	PIC5
		7	INTP6	INTP6端子	端子	00F0H	000000F0H	nextPC	PIC6
		8	INTCSI5	CSI5送信終了	SIO5	0100H	00000100H	nextPC	CSIC5
		9	INTAD	A/D変換終了	A/D	0110H	00000110H	nextPC	ADIC
		10	INTDMA0	DMA0転送終了	DMA0	0120H	00000120H	nextPC	DMAIC0
		11	INTDMA1	DMA1転送終了	DMA1	0130H	00000130H	nextPC	DMAIC1
		12	INTDMA2	DMA2転送終了	DMA2	0140H	00000140H	nextPC	DMAIC2
		13	INTTM00	TM0とCR00の一致/ TI01端子の有効エッジ	TM0	0150H	00000150H	nextPC	TMIC00
		14	INTTM01	TM0とCR01の一致/ TI00端子の有効エッジ	TM0	0160H	00000160H	nextPC	TMIC01
		15	INTTM10	TM1とCR10の一致/ TI11端子の有効エッジ	TM1	0170H	00000170H	nextPC	TMIC10
		16	INTTM11	TM1とCR11の一致/ TI10端子の有効エッジ	TM1	0180H	00000180H	nextPC	TMIC11
		17	INTTM70	TM7とCR70の一致/ TI71端子の有効エッジ	TM7	0190H	00000190H	nextPC	TMIC70
		18	INTTM71	TM7とCR71の一致/ TI70端子の有効エッジ	TM7	01A0H	000001A0H	nextPC	TMIC71
		19	INTCSI6	CSI6送受信完了	CSI6	01B0H	000001B0H	nextPC	CSIC6
		20	INTTM5/ INTP8 ^{注2}	TM5コンペア一致/OVF / INTP8端子	TM5/端子	01C0H	000001C0H	nextPC	TMIC5
		21	INTWTN	時計用タイマOVF	WTN	01D0H	000001D0H	nextPC	WTNIC
		22	INTWTNI	時計用タイマ・プリスケラ	WTN	01E0H	000001E0H	nextPC	WTNIIC
		23	INTIIC0/ INTCSI0	I ² C割り込み/ CSI0送信終了	I ² C0/ SIO0	01F0H	000001F0H	nextPC	CSIC0
24	INTTM6/ INTP9 ^{注2}	TM6コンペア一致/OVF / INTP9端子	TM6/端子	0200H	00000200H	nextPC	TMIC6		

注1. nは0-FHの値

- INTP8, INTP9を使用する場合は, TM5, TM6を停止 (TMCm0レジスタのTCEm0ビット = 0) し, 使用しないでください (m = 5, 6)。また, TM5, TM6を使用する場合は, INTP8, INTP9のエッジ指定を行わず (EGP1レジスタのEGP1nビット = 0, EGN1レジスタのEGN1nビット = 0), 外部割り込みとして使用しないでください (ポートとしては使用できます) (n = 6, 7)。

表7-1 割り込み要因一覧(2/3)

種類	分類	デフォルト・ 優先リティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスクابل	割り込み	25	INTSR0/ INTCSI4	UART0受信終了/ CSI4送信終了	UART0/ SIO4	0210H	00000210H	nextPC	CSIC4
		26	INTST0	UART0送信終了	UART0	0220H	00000220H	nextPC	STIC0
		27	INTKR	キー・リターン割り込み	KR	0230H	00000230H	nextPC	KRIC
		28	INTCE1 ^{注1} INTIE1 ^{注2}	FCAN1シリアル・エラー/ IEBus転送終了	FCAN1/ IEBus	0240H	00000240H	nextPC	CANIC1/ IEBIC1
		29	INTCR1 ^{注1} INTIE2 ^{注2}	FCAN1受信/ IEBus通信終了	FCAN1/ IEBus	0250H	00000250H	nextPC	CANIC2/ IEBIC2
		30	INTCT1 ^{注1}	FCAN1送信	FCAN1	0260H	00000260H	nextPC	CANIC3
		31	INTCME ^{注1}	FCANメモリ・アクセス・ エラー	FCAN1/2	0270H	00000270H	nextPC	CANIC7
		32	INTTM80	TM8とCR80の一致/ TI81端子の有効エッジ	TM8	0280H	00000280H	nextPC	TMIC80
		33	INTTM81	TM8とCR81の一致/ TI80端子の有効エッジ	TM8	0290H	00000290H	nextPC	TMIC81
		34	INTTM90	TM9とCR90の一致/ TI91端子の有効エッジ	TM9	02A0H	000002A0H	nextPC	TMIC90
		35	INTTM91	TM9とCR91の一致/ TI90端子の有効エッジ	TM9	02B0H	000002B0H	nextPC	TMIC91
		36	INTSR1/ INTCSI3	UART1受信終了/ CSI3送信終了	UART1/ SIO3	02C0H	000002C0H	nextPC	CSIC3
		37	INTST1	UART1送信終了	UART1	02D0H	000002D0H	nextPC	STIC1
		38	INTDMA3	DMA3転送終了	DMA3	02E0H	000002E0H	nextPC	DMAIC3
		39	INTDMA4	DMA4転送終了	DMA4	02F0H	000002F0H	nextPC	DMAIC4
		40	INTDMA5	DMA5転送終了	DMA5	0300H	00000300H	nextPC	DMAIC5
		41	INTCE2 ^{注3}	FCAN2シリアル・エラー	FCAN2	0310H	00000310H	nextPC	CANIC4
		42	INTCR2 ^{注3}	FCAN2受信	FCAN2	0320H	00000320H	nextPC	CANIC5
		43	INTCT2 ^{注3}	FCAN2送信	FCAN2	0330H	00000330H	nextPC	CANIC6
		44	INTP7	INTP7端子	端子	0340H	00000340H	nextPC	PIC7
		45	INTSR2	UART2受信終了	UART2	0350H	00000350H	nextPC	SRIC2
		46	INTST2	UART2送信終了	UART2	0360H	00000360H	nextPC	STIC2
		47	INTSR3	UART3受信終了	UART3	0370H	00000370H	nextPC	SRIC3
		48	INTST3	UART3送信終了	UART3	0380H	00000380H	nextPC	STIC3
		49	INTTM100	TM10とCR100の一致/ TI101端子の有効エッジ	TM10	0390H	00000390H	nextPC	TMIC100
		50	INTTM101	TM10とCR101の一致/ TI100端子の有効エッジ	TM10	03A0H	000003A0H	nextPC	TMIC101
		51	INTTM110	TM11とCR110の一致/ TI111端子の有効エッジ	TM11	03B0H	000003B0H	nextPC	TMIC110

注1. V850/SC3のみ

2. V850/SC2のみ

3. μ PD703089Y, 70F3089Yのみ

表7 - 1 割り込み要因一覧 (3/3)

種類	分類	デフォルト・ プライオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み 脚レジスタ
マスカブル	割り込み	52	INTTM111	TM11とCR111の一致/ TI110端子の有効エッジ	TM11	03C0H	000003C0H	nextPC	TMIC111
		53	INTTM120	TM12とCR120の一致/ TI121端子の有効エッジ	TM12	03D0H	000003D0H	nextPC	TMIC120
		54	INTTM121	TM12とCR121の一致/ TI120端子の有効エッジ	TM12	03E0H	000003E0H	nextPC	TMIC121
		55	INTIIC1/ INTCSI2	I ² C1割り込み/ CSI2送信終了	I ² C1/ SIO2	03F0H	000003F0H	nextPC	CSIC2

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み / 例外処理起動時に、EIPCまたはFEPCにセーブされるPC値のことです。ただし、DIVH（除算）命令実行中に割り込みを受け付けたときセーブされる復帰PC値は、カレントの命令（DIVH命令）のPC値となります。

- 不正命令コード例外時の不正命令の実行アドレスは、（復帰PC - 4）で求められます。
- RESET以外の例外 / 割り込みの復帰PCは（事象発生したときのPCの値 + 1）となります。
- ノンマスカブル割り込み（INTWDT）とマスカブル割り込み（INTWDTM）は、ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のWDTM4ビットで設定します。

7.2 ノンマスクابل割り込み

ノンマスクابل割り込み要求は、割り込み禁止 (DI) 状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求に対して最優先されます。

この製品のノンマスクابل割り込み要求には、次の2つがあります。

- ・ NMI端子入力 (NMI)
- ・ ノンマスクابل・ウォッチドッグ・タイマ割り込み要求 (INTWDT)

NMI端子に立ち上がりエッジ指定レジスタ0 (EGP0) と立ち下がりエッジ指定レジスタ0 (EGN0) で指定した有効エッジが検出されたとき、割り込みが発生します。

INTWDTについては、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のWDTM4ビットを“1”に設定した状態でだけ、ノンマスクابل割り込み (INTWDT) として機能します。

ノンマスクابل割り込みのサービス・プログラムを実行している (PSW.NP = 1) 場合は、ノンマスクابل割り込み要求は保留されます。保留されたノンマスクابل割り込みは、現在実行中のノンマスクابل割り込みサービス・プログラムの終了後 (RETI命令実行後) PSW.NP = 0になると受け付けられます。ただし、ノンマスクابل割り込みサービス・プログラム実行中に、ノンマスクابل割り込み要求が2回以上発生しても、PSW.NP = 0後に受け付けられるノンマスクابل割り込みは1回だけです。

注意 ノンマスクابل割り込み処理中に、LDSR命令によりPSW.NP = 0にしないでください。PSW.NP = 0に変更した場合、以降の割り込み受け付けの判別が正常にできなくなります。

7.2.1 動作

ノンマスクブル割り込み要求が発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンに制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

ECRの上位ハーフワード（FECC）に例外コード（0010H, 0020H）を書き込みます。

PSWのNP, IDビットをセットし，EPビットをクリアします。

PCにノンマスクブル割り込みに対するハンドラ・アドレス（00000010H, 00000020H）をセットし，制御を移します。

図7-1 ノンマスクブル割り込みの処理形態

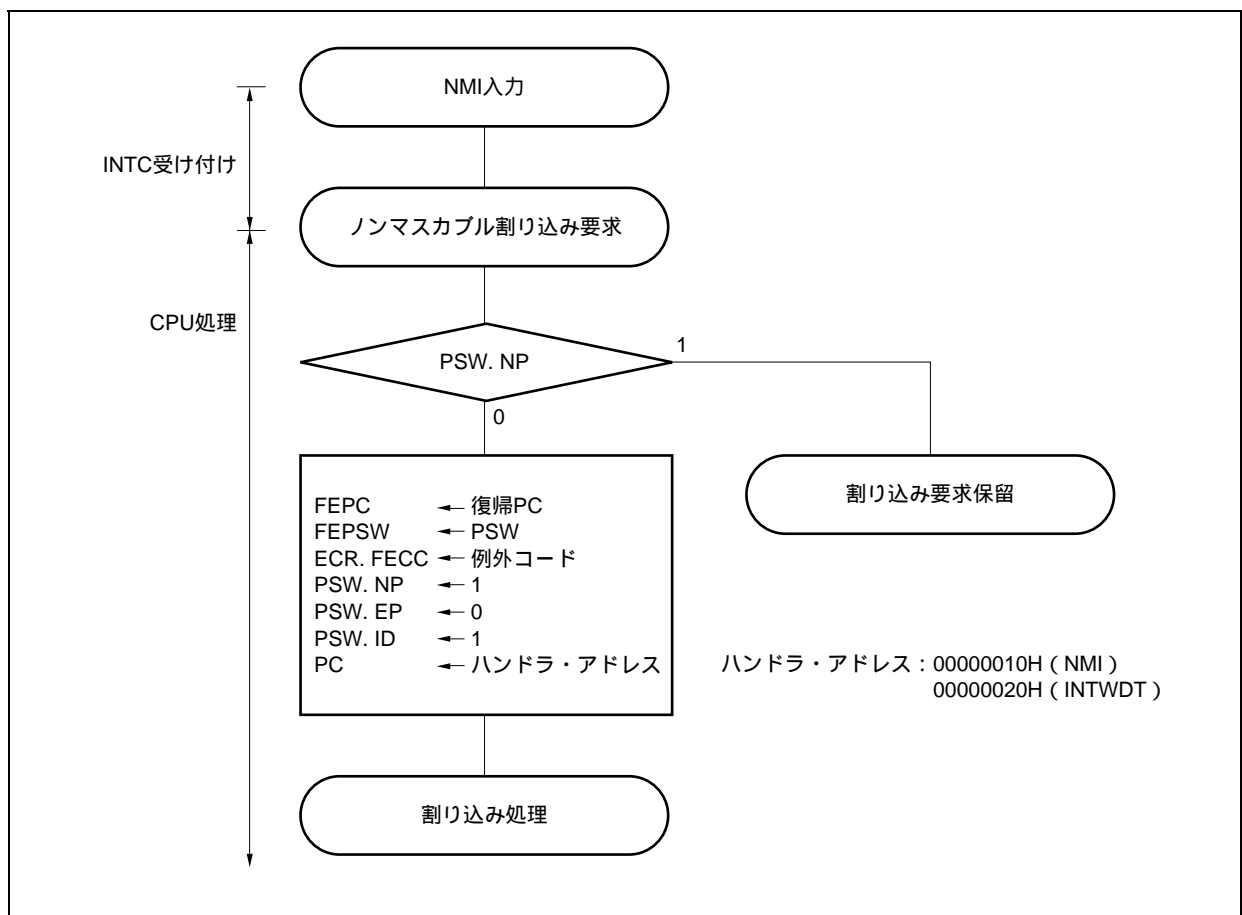
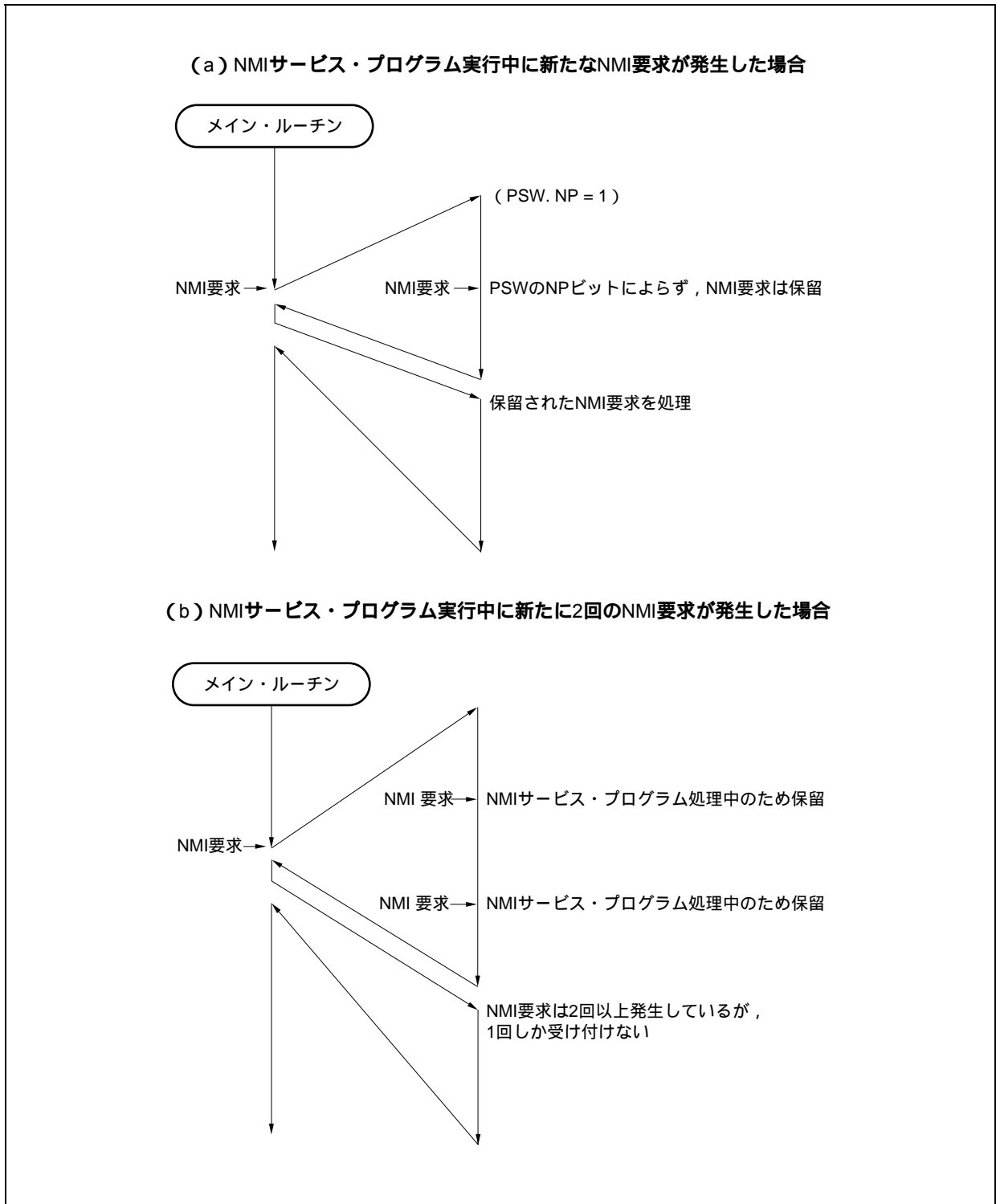


図7-2 ノンマスクブル割り込み要求の受け付け動作



7.2.2 復 帰

ノンマスクابل割り込み処理からは、RETI命令で復帰します。

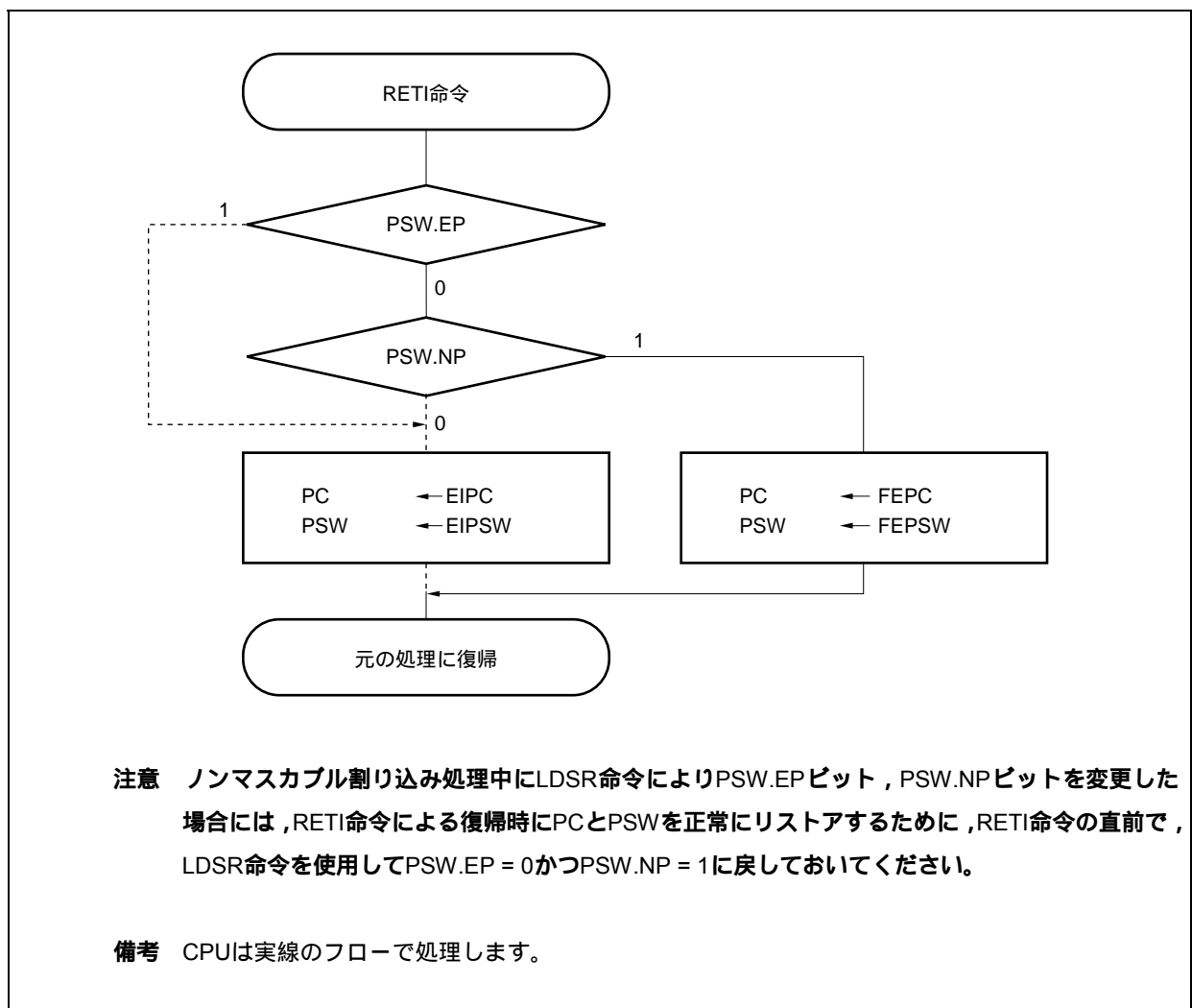
RETI命令の動作

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

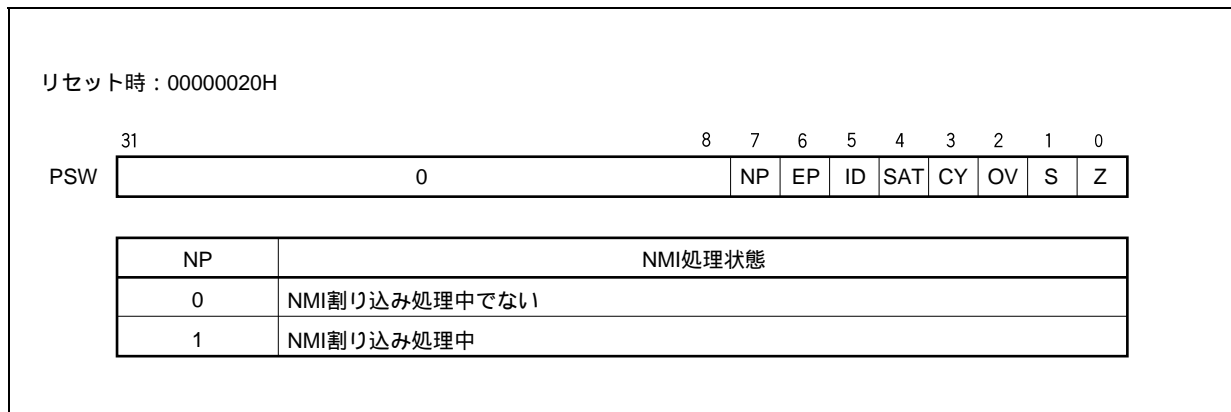
図7 - 3 RETI命令の処理形態



7.2.3 NPフラグ

NPフラグは、ノンマスクابل割り込み（NMI）の処理中であることを示すステータス・フラグです。NMI割り込み要求を受け付けるとセットされ、NMI要求をマスクして多重割り込みを禁止します。

図7-4 NPフラグ（NP）



7.2.4 NMI端子のノイズ除去

NMI端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、NMI端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI端子はソフトウェアSTOPモードの解除に使用します。ソフトウェアSTOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

7.2.5 NMI端子のエッジ検出機能

NMI端子の有効エッジは，“立ち上がりエッジ”，“立ち下がりエッジ”，“両エッジ”，“立ち上がり，立ち下がりエッジとも検出しない”の4種類から選択できます。

立ち上がりエッジ指定レジスタ0 (EGP0) と立ち下がりエッジ指定レジスタ0 (EGN0) でノンマスクブル割り込み (NMI) の有効エッジを指定します。8/1ビット単位でリード/ライト可能です。

リセット後のNMI端子は“立ち上がり，立ち下がりエッジとも検出しない”になっていますので，EGP0, EGN0 レジスタで有効エッジを許可しないと，割り込み要求を受け付けません（通常ポートとして機能します）。

P00を出力ポートとして使用する場合は，NMIの有効エッジを“立ち上がり，立ち下がりとも検出しない”に設定してください。

(1) 立ち上がりエッジ指定レジスタ0 (EGP0)

リセット時：00H R/W アドレス：FFFFFF0C0H

	⑦	⑥	⑤	④	③	②	①	①
EGP0	EGP07	EGP06	EGP05	EGP04	EGP03	EGP02	EGP01	EGP00

EGP0n	立ち上がりエッジ有効の制御
0	立ち上がりエッジで割り込み要求信号の発生なし
1	立ち上がりエッジで割り込み要求信号の発生あり

n = 0 : NMI端子の制御

n = 1-7 : INTP0-INTP6端子の制御

(2) 立ち下がりエッジ指定レジスタ0 (EGN0)

リセット時：00H R/W アドレス：FFFFFF0C2H

	⑦	⑥	⑤	④	③	②	①	①
EGN0	EGN07	EGN06	EGN05	EGN04	EGN03	EGN02	EGN01	EGN00

EGN0n	立ち下がりエッジ有効の制御
0	立ち下がりエッジで割り込み要求信号の発生なし
1	立ち下がりエッジで割り込み要求信号の発生あり

n = 0 : NMI端子の制御

n = 1-7 : INTP0-INTP6端子の制御

7.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求です。V850/SC1, V850/SC2, V850/SC3には49要因から56要因のマスカブル割り込み要因があります(7.1.1 特徴参照)。

複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。またデフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます(プログラマブル優先順位制御)。

割り込み要求が受け付けられると割り込み禁止(DI)状態になり、以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可(EI)状態となり、受け付け中の割り込み要求の優先順位レベル(割り込み制御レジスタで指定)よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC, EIPSWをメモリ、またはレジスタに退避し、RETI命令を実行する前にDIを行って、EIPC, EIPSWを元の値に復帰してください。

ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のWDTM4ビットを“0”に設定すると、ウォッチドッグ・タイマ・オーバフロー割り込みは、マスカブル割り込み(INTWDTM)として機能します。

7.3.1 動作

INT入力によりマスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンに制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード(EICC)に例外コードを書き込みます。

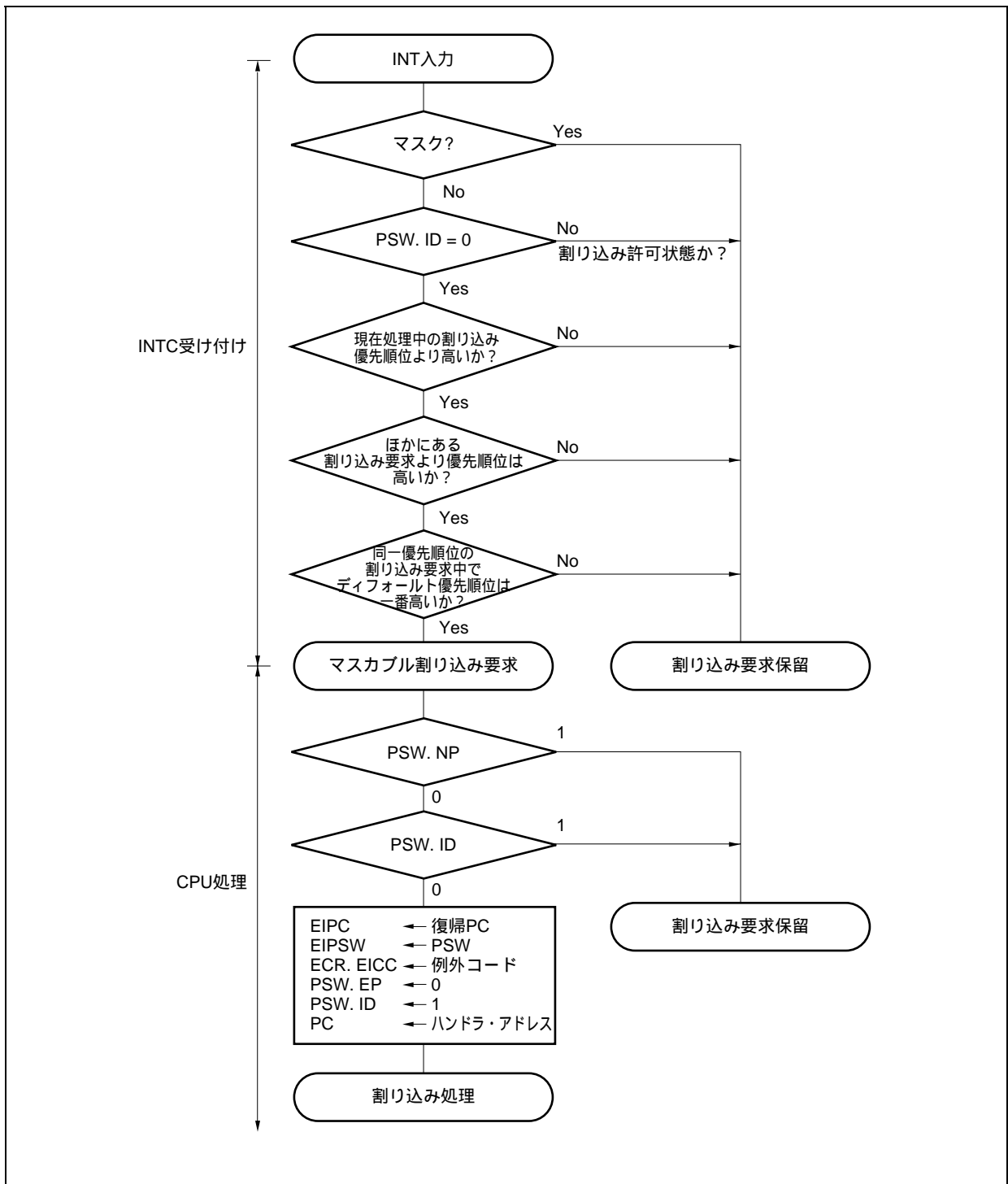
PSWのIDビットをセットし、EPビットをクリアします。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、INTCでマスクされているINT入力と、ほかの割り込み処理中(PSW.NP = 1またはPSW.ID = 1)に発生したINT入力は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してPSW.NP = 0かつPSW.ID = 0にすると、保留していたINT入力により新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図7-5 マスカブル割り込みの処理形態



7.3.2 復 帰

マスクブル割り込み処理からは、RETI命令で復帰します。

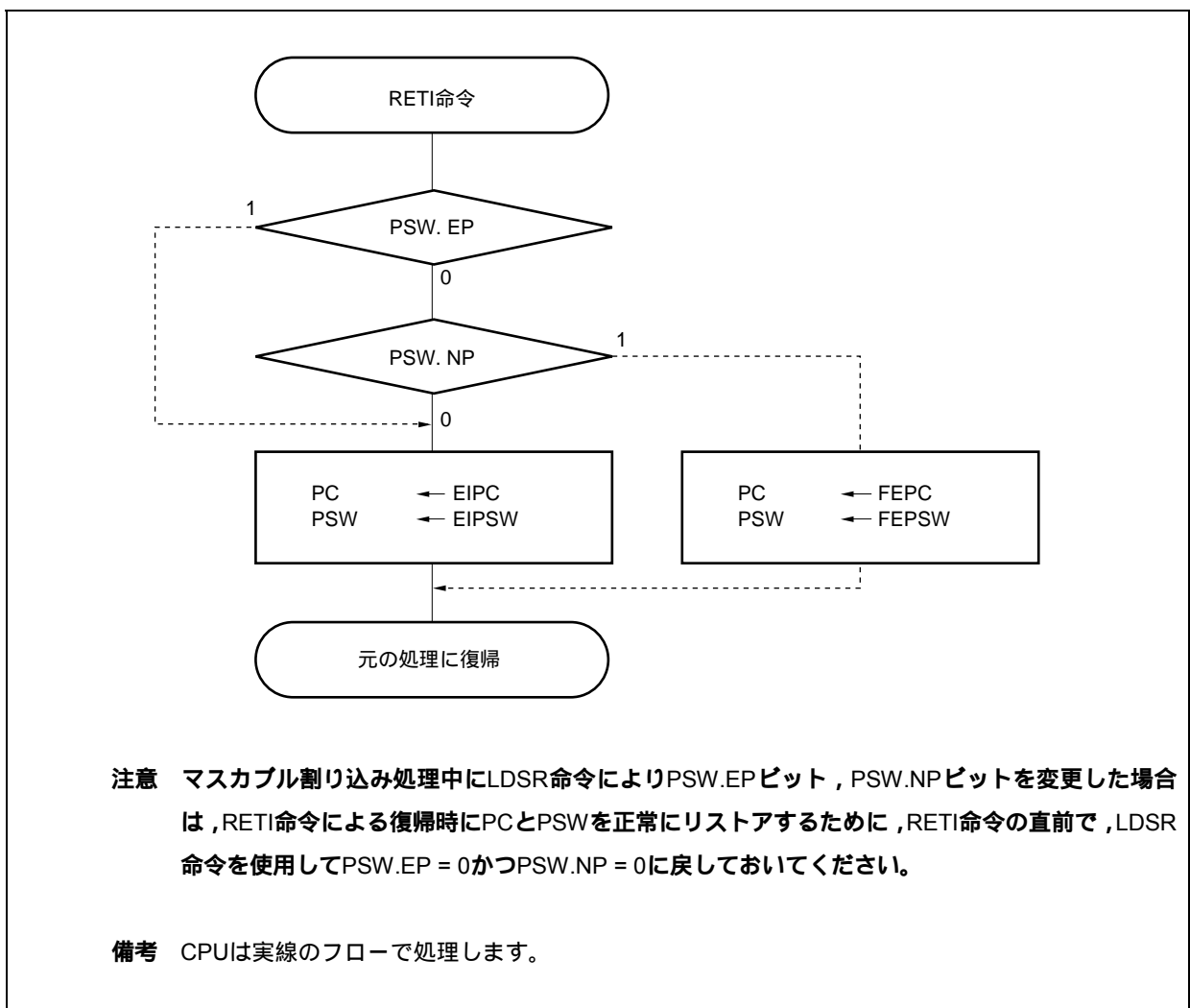
RETI命令の動作

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが0なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

図7 - 6 RETI命令の処理形態



7.3.3 マスカブル割り込みの優先順位

V850/SC1, V850/SC2, V850/SC3は、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位による制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表7-1 割り込み要因一覧参照)。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求を受け付けるとPSWのIDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

備考 xx : 各周辺ユニット識別名称 (表7-2参照)

n : 周辺ユニット番号 (表7-2参照)

図7-7 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (1/2)

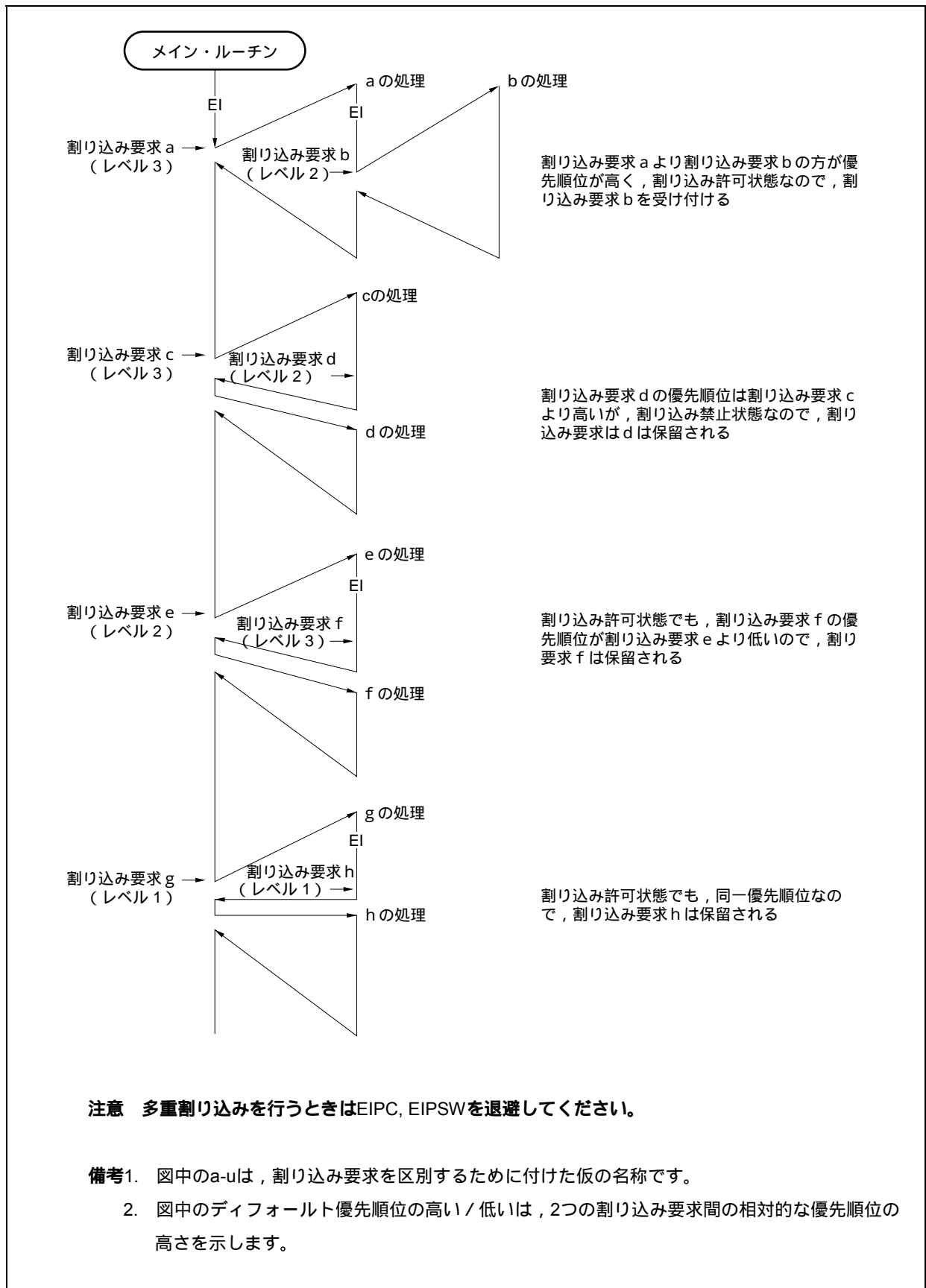


図7-7 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (2/2)

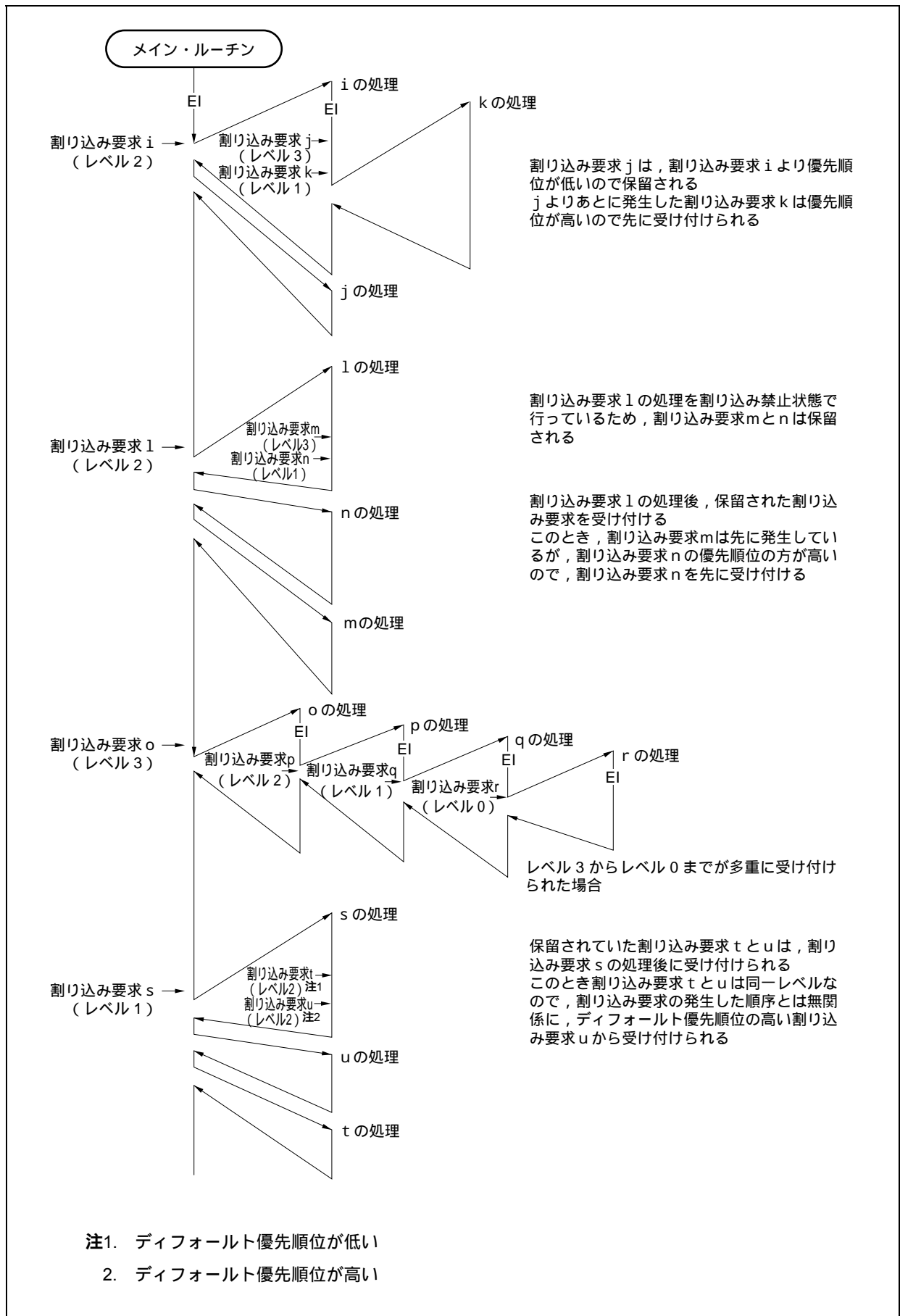
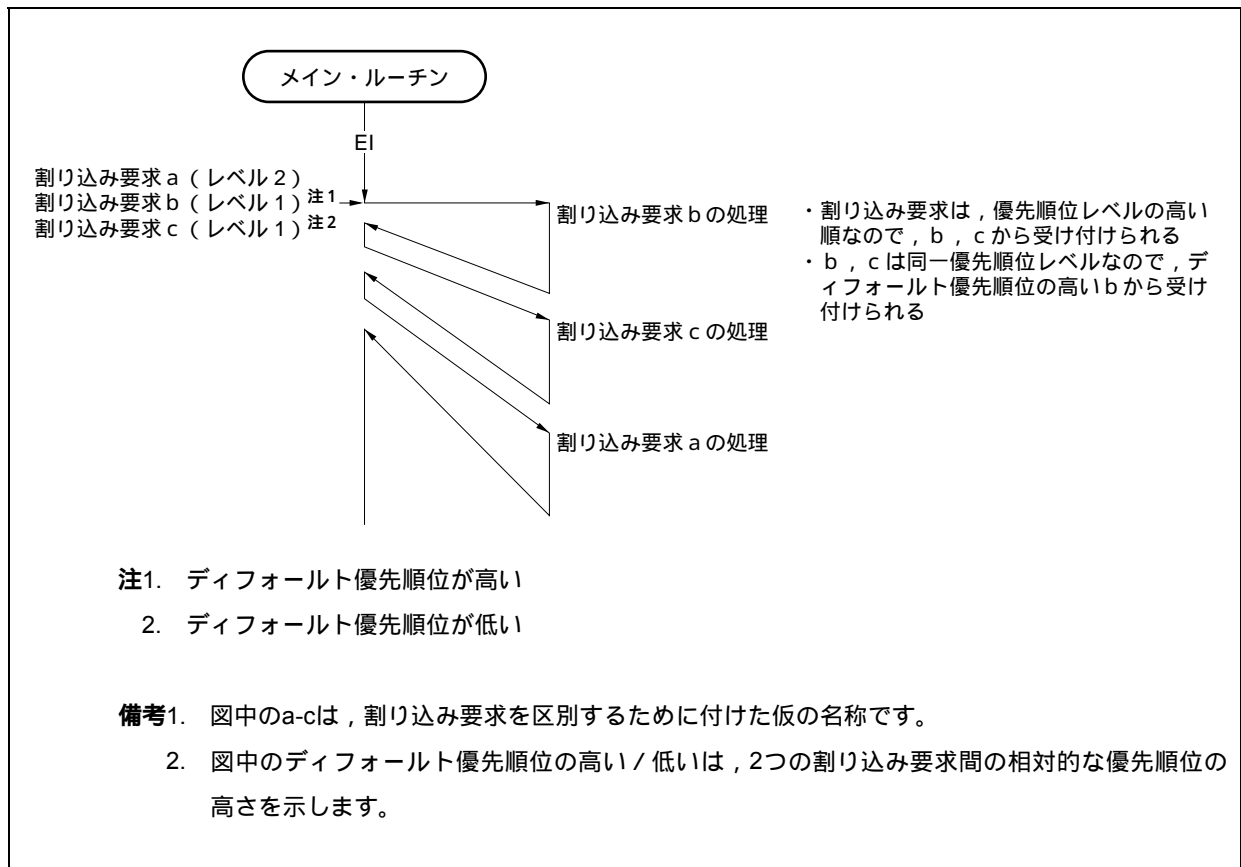


図7-8 同時発生した割り込み要求の処理例



7.3.4 割り込み制御レジスタ (xxlCn)

割り込み要求 (マスカブル割り込み) ごとに割り当てられ、各割り込みに対する制御条件を設定します。8/1 ビット単位でリード/ライト可能です。

注意 次に示す3つの条件が競合した場合、割り込み処理が2度実行されます。ただし、DMAを使用していない場合、割り込み処理が2度実行されることはありません。

- ・ 割り込み要求フラグ (xxlFn) に対するビット操作命令を実行
- ・ 割り込み要求フラグ (xxlFn) と同じ割り込み制御レジスタ (xxlCn) のハードウェアによる割り込みが発生
- ・ 割り込み要求フラグ (xxlFn) に対するビット操作命令を実行中にDMAが起動

ソフトウェアによる回避方法を次に2つ示します。

ソフトウェアによるビット操作命令の前にDI命令、あとにEI命令を挿入し、ビット操作命令実行直後に割り込みにジャンプしないようにしてください。

割り込み要求を受け付けた場合はハードウェアで割り込み禁止状態 (DI状態) になるので、各割り込み処理ルーチンでEI命令を実行する前に、割り込み要求フラグ (xxlFn) をクリアしてください。

リセット時：47H R/W アドレス：FFFFFF100H-FFFFFF172H

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ ^注
0	割り込み要求なし
1	割り込み要求あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止（保留）

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0（最高位）を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7（最低位）を指定

注 割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。

備考 xx : 各周辺ユニット識別名称（表7 - 2参照）

n : 周辺ユニット番号（表7 - 2参照）

各割り込み制御レジスタのアドレスとビットを次に示します。

表7 - 2 割り込み制御レジスタ (xxICn) (1/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF100H	WDTIC	WDTIF	WDTMK	0	0	0	WDTPR2	WDTPR1	WDTPR0
FFFFF102H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF104H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF106H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF108H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF10AH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF10CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF10EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF110H	CSIC5	CSIF5	CSMK5	0	0	0	CSPR52	CSPR51	CSPR50
FFFFF112H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0
FFFFF114H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFF116H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFF118H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFF11AH	TMIC00	TMIF00	TMMK00	0	0	0	TMPR002	TMPR001	TMPR000
FFFFF11CH	TMIC01	TMIF01	TMMK01	0	0	0	TMPR012	TMPR011	TMPR010
FFFFF11EH	TMIC10	TMIF10	TMMK10	0	0	0	TMPR102	TMPR101	TMPR100
FFFFF120H	TMIC11	TMIF11	TMMK11	0	0	0	TMPR112	TMPR111	TMPR110
FFFFF122H	TMIC70	TMIF70	TMMK70	0	0	0	TMPR702	TMPR701	TMPR700
FFFFF124H	TMIC71	TMIF71	TMMK71	0	0	0	TMPR712	TMPR711	TMPR710
FFFFF126H	CSIC6	CSIF6	CSMK6	0	0	0	CSPR62	CSPR61	CSPR60
FFFFF128H	TMIC5	TMIF5	TMMK5	0	0	0	TMPR52	TMPR51	TMPR50
FFFFF12AH	WTNIC	WTNIF	WTNMK	0	0	0	WTNPR2	WTNPR1	WTNPR0
FFFFF12CH	WTNIIC	WTNIIF	WTNIMK	0	0	0	WTNIPR2	WTNIPR1	WTNIPR0
FFFFF12EH	CSIC0	CSIF0	CSMK0	0	0	0	CSPR02	CSPR01	CSPR00
FFFFF130H	TMIC6	TMIF6	TMMK6	0	0	0	TMPR62	TMPR61	TMPR60
FFFFF132H	CSIC4	CSIF4	CSMK4	0	0	0	CSPR42	CSPR41	CSPR40
FFFFF134H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFF136H	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0
FFFFF138H	CANIC1 ^{注1}	CANIF1	CANMK1	0	0	0	CANPR12	CANPR11	CANPR10
	IEBIC1 ^{注2}	IEBIF1	IEBMK1	0	0	0	IEBPR12	IEBPR11	IEBPR10
FFFFF13AH	CANIC2 ^{注1}	CANIF2	CANMK2	0	0	0	CANPR22	CANPR21	CANPR20
	IEBIC2 ^{注2}	IEBIF2	IEBMK2	0	0	0	IEBPR22	IEBPR21	IEBPR20
FFFFF13CH	CANIC3 ^{注1}	CANIF3	CANMK3	0	0	0	CANPR32	CANPR31	CANPR30
FFFFF13EH	CANIC7 ^{注1}	CANIF7	CANMK7	0	0	0	CANPR72	CANPR71	CANPR70
FFFFF140H	TMIC80	TMIF80	TMMK80	0	0	0	TMPR802	TMPR801	TMPR800
FFFFF142H	TMIC81	TMIF81	TMMK81	0	0	0	TMPR812	TMPR811	TMPR810
FFFFF144H	TMIC90	TMIF90	TMMK90	0	0	0	TMPR902	TMPR901	TMPR900
FFFFF146H	TMIC91	TMIF91	TMMK91	0	0	0	TMPR912	TMPR911	TMPR910
FFFFF148H	CSIC3	CSIF3	CSMK3	0	0	0	CSPR32	CSPR31	CSPR30
FFFFF14AH	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10

注1. V850/SC3のみ

2. V850/SC2のみ

表7 - 2 割り込み制御レジスタ (xxICn) (2/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF14CH	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFF14EH	DMAIC4	DMAIF4	DMAMK4	0	0	0	DMAPR42	DMAPR41	DMAPR40
FFFFF150H	DMAIC5	DMAIF5	DMAMK5	0	0	0	DMAPR52	DMAPR51	DMAPR50
FFFFF152H	CANIC4 ^注	CANIF4	CANMK4	0	0	0	CANPR42	CANPR41	CANPR40
FFFFF154H	CANIC5 ^注	CANIF5	CANMK5	0	0	0	CANPR52	CANPR51	CANPR50
FFFFF156H	CANIC6 ^注	CANIF6	CANMK6	0	0	0	CANPR62	CANPR61	CANPR60
FFFFF158H	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70
FFFFF15AH	SRIC2	SRIF2	SRMK2	0	0	0	SRPR22	SRPR21	SRPR20
FFFFF15CH	STIC2	STIF2	STMK2	0	0	0	STPR22	STPR21	STPR20
FFFFF15EH	SRIC3	SRIF3	SRMK3	0	0	0	SRPR32	SRPR31	SRPR30
FFFFF160H	STIC3	STIF3	STMK3	0	0	0	STPR32	STPR31	STPR30
FFFFF162H	TMIC100	TMIF100	TMMK100	0	0	0	TMPR1002	TMPR1001	TMPR1000
FFFFF164H	TMIC101	TMIF101	TMMK101	0	0	0	TMPR1012	TMPR1011	TMPR1010
FFFFF168H	TMIC110	TMIF110	TMMK110	0	0	0	TMPR1102	TMPR1101	TMPR1100
FFFFF16AH	TMIC111	TMIF111	TMMK111	0	0	0	TMPR1112	TMPR1111	TMPR1110
FFFFF16CH	TMIC120	TMIF120	TMMK120	0	0	0	TMPR1202	TMPR1201	TMPR1200
FFFFF16EH	TMIC121	TMIF121	TMMK121	0	0	0	TMPR1212	TMPR1211	TMPR1210
FFFFF172H	CSIC2	CSIF2	CSMK2	0	0	0	CSPR22	CSPR21	CSPR20

注 μ PD703089Y, 70F3089Yのみ

7.3.5 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求に対応するビットがハードウェアにより自動的にリセット (0) されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット (0) されません。

8/1ビット単位でリードのみ可能です。

リセット時 : 00H R アドレス : FFFFF166H

⑦	⑥	⑤	④	③	②	①	①	①
ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0	

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求を受け付けていない
1	優先順位nの割り込み要求を受け付け中

備考 n : 0-7 (優先順位のレベル)

7.3.6 IDフラグ

マスクブル割り込みの動作状態を制御し、割り込み要求受け付けの許可 / 禁止制御情報を記憶します。PSWに割り付けられています。

図7 - 9 割り込み禁止フラグ (ID)

リセット時 : 00000020H

PSW	31	8	7	6	5	4	3	2	1	0					
	0							NP	EP	ID	SAT	CY	OV	S	Z

ID	マスクブル割り込み処理の指定 ^注
0	マスクブル割り込み要求の受け付けを許可
1	マスクブル割り込み要求の受け付けを禁止

注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1) , EI命令でリセット (0) されます。また , RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスクブル割り込み要求および例外は , このフラグの状態に関係なく受け付けられます。また , マスクブル割り込み要求を受け付けると , IDフラグはハードウェアで自動的にセット (1) されます。

受け付け禁止期間中 (ID = 1) に発生した割り込み要求は , xxICnのxxIFnビットがセット (1) され , IDフラグがリセット (0) されると受け付けられます。

備考 xx : 各周辺ユニット識別名称 (表7 - 2参照)
n : 周辺ユニット番号 (表7 - 2参照)

7.3.7 ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

8/1ビット単位でリード/ライト可能です (詳細は第10章 ウォッチドッグ・タイマ機能参照)。

リセット時 : 00H R/W アドレス : FFFFF384H

	⑦	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0

RUN	ウォッチドッグ・タイマの動作制御
0	カウント動作停止
1	カウントをクリアしてカウント開始

WDTM4	タイマ・モード選択 / WDTによる割り込み制御
0	インターバル・タイマ・モード
1	WDTモード

WDTM3	内部リセット信号発生を選択
0	オーバフロー発生時、内部リセット信号を発生しない
1	オーバフロー発生時、内部リセット信号を発生する

注意 RUN, WDTM4, WDTM3ビットに“1”を書き込むと、リセット入力以外ではクリアできません。

7.3.8 ノイズ除去

(1) INTP0-INTP3, INTP7-INTP9端子のノイズ除去

INTP0-INTP3, INTP7-INTP9端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

(2) INTP4, INTP5端子のノイズ除去

INTP4, INTP5端子はデジタル・ノイズ除去回路を内蔵しています。

INTP端子の入力レベルをサンプリング・クロック (f_{xx}) で検出し、同じレベルが3回連続で検出されなかった場合は、ノイズとして除去します。次に注意事項を示します。

- ・入力パルス幅が2, 3クロックの場合、有効エッジとして検出するかノイズとして除去するかは不定です。
確実に有効エッジを検出するためには、3クロック以上の同一レベルの入力が必要です。
- ・サンプリング・クロックに同期してノイズが発生している場合、ノイズとして認められないことがあります。この場合、入力端子にフィルタを付加してノイズを除去してください。

(3) INTP6端子のノイズ除去

INTP6端子はデジタル・ノイズ除去回路を内蔵しています。

デジタル・サンプリングを行うサンプリング・クロックをf_{xx}, f_{xx}/64, f_{xx}/128, f_{xx}/256, f_{xx}/512, f_{xx}/1024, f_{xT}の中から選択できます。サンプリングの回数は3回です。

ノイズ除去制御レジスタ (NCC) は、INTP6端子のデジタル・ノイズ除去クロックを選択します。ノイズ除去クロックにf_{xT}を使用すると、IDLE/STOPモード時にもINTP6外部割り込みの機能を使用することができます。8ビット単位でリード/ライト可能です。

注意 サンプリング・クロック変更後、ノイズ除去回路がイニシャライズされるのに、サンプリング・クロック×3クロック時間かかります。そのため、サンプリング・クロックを変更してからサンプリング・クロック×3クロックの間に、INTP6の有効エッジが入力されると割り込み要求が発生する場合があります。したがって、割り込み機能、DMA機能を使用する場合は、次の点に注意してください。

- ・割り込み機能使用時は、サンプリング・クロック×3クロック経過後、割り込み要求フラグ (PIC6の7ビット) をクリアしてから割り込みを許可してください。
- ・DMA機能使用時は、サンプリング・クロック×3クロック経過後、DMAを許可してください (DCHCnの0ビット)。

(a) ノイズ除去制御レジスタ (NCC)

リセット時 : 00H R/W アドレス : FFFFF3D4H

	7	6	5	4	3	2	1	0
NCC	0	0	0	0	0	NCS2	NCS1	NCS0

NCS2	NCS1	NCS0	サンプリング・クロック	確実にノイズ除去するノイズ幅 ^注		
				f _{xx} = 20 MHz	f _{xx} = 18.87 MHz	f _{xx} = 16 MHz
0	0	0	f _{xx}	100.0 ns	105.0 ns	125.0 ns
0	0	1	f _{xx} /64	6.4 μs	6.7 μs	8.0 μs
0	1	0	f _{xx} /128	12.8 μs	13.5 μs	16.0 μs
0	1	1	f _{xx} /256	25.6 μs	27.1 μs	32.0 μs
1	0	0	f _{xx} /512	51.2 μs	54.2 μs	64.0 μs
1	0	1	f _{xx} /1024	102.4 μs	108.5 μs	128.0 μs
1	1	0	設定禁止			
1	1	1	f _{xT}	61 μs		

注 3回サンプリングするため、確実に除去するノイズ幅は、2×サンプリング・クロックになります。

7.3.9 エッジ検出機能

INTP0-INTP9端子の有効エッジは、次の4種類から端子ごとに選択できます。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・両エッジ
- ・立ち上がり、立ち下がりエッジとも検出しない

立ち上がりエッジ指定レジスタ n (EGP n) により、立ち上がりエッジの有効を制御します ($n = 0, 1$)。また、立ち下がりエッジ指定レジスタ n (EGN n) により、立ち下がりエッジの有効を制御します。8/1ビット単位でリード/ライト可能です。

EGP0, EGN0については7.2.5 (1) **立ち上がりエッジ指定レジスタ0 (EGP0)** , 7.2.5 (2) **立ち下がりエッジ指定レジスタ0 (EGN0)** を参照してください。EGP1, EGN1については (1) **立ち上がりエッジ指定レジスタ1 (EGP1)** , (2) **立ち下がりエッジ指定レジスタ1 (EGN1)** を参照してください。

リセット後のINTP0-INTP9端子は“立ち上がり、立ち下がりエッジとも検出しない”になっていますので、EGP n , EGN n レジスタで有効エッジを許可しないと、割り込み要求を受け付けません (通常ポートとして機能します)。

P01-P07, P35-P37を出力ポートとして使用する場合は、INTP0-INTP6, INTP7-INTP9の有効エッジを“立ち上がり、立ち下がりとも検出しない”に設定するか、または割り込み要求をマスクしてください。

(1) 立ち上がりエッジ指定レジスタ1 (EGP1)

リセット時 : 00H R/W アドレス : FFFFF0C4H

	⑦	⑥	⑤	4	3	2	1	0
EGP1	EGP17	EGP16	EGP15	0	0	0	0	0

EGP1n	立ち上がりエッジ有効の制御
0	立ち上がりエッジで割り込み要求信号の発生なし
1	立ち上がりエッジで割り込み要求信号の発生あり

n = 5-7 : INTP7-INTP9端子の制御

(2) 立ち下がりエッジ指定レジスタ1 (EGN1)

リセット時 : 00H R/W アドレス : FFFFF0C6H

	⑦	⑥	⑤	4	3	2	1	0
EGN1	EGN17	EGN16	EGN15	0	0	0	0	0

EGN1n	立ち下がりエッジ有効の制御
0	立ち下がりエッジで割り込み要求信号の発生なし
1	立ち下がりエッジで割り込み要求信号の発生あり

n = 5-7 : INTP7-INTP9端子の制御

7.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

- ・ TRAP命令フォーマット：TRAP vector（ただし、vectorは0-1FHの値）

命令機能の詳細は、V850シリーズ **ユーザーズ・マニュアル アーキテクチャ編**を参照してください。

7.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

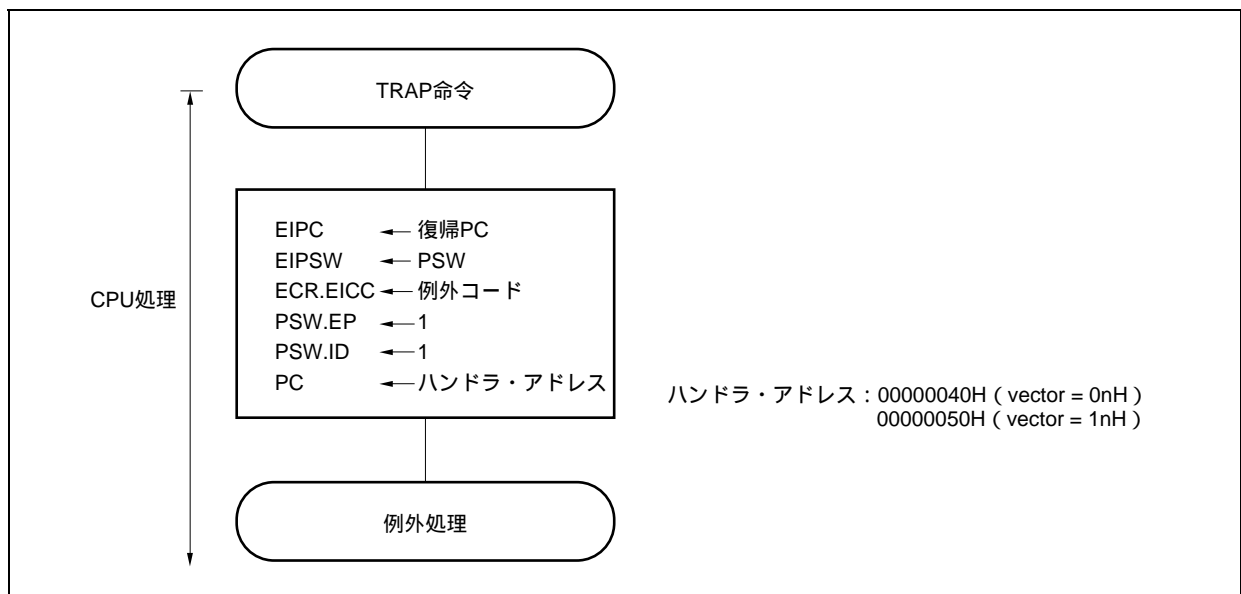
ECR（割り込み要因）の下位16ビット（EICC）に例外コードを書き込みます。

PSWのEP, IDビットをセットします。

PCにソフトウェア例外に対するハンドラ・アドレス（00000040H, 00000050H）をセットし、制御を移します。

ソフトウェア例外の処理形態を、次に示します。

図7 - 10 ソフトウェア例外の処理形態



7.4.2 復 帰

ソフトウェア例外処理からは、RETI命令で復帰します。

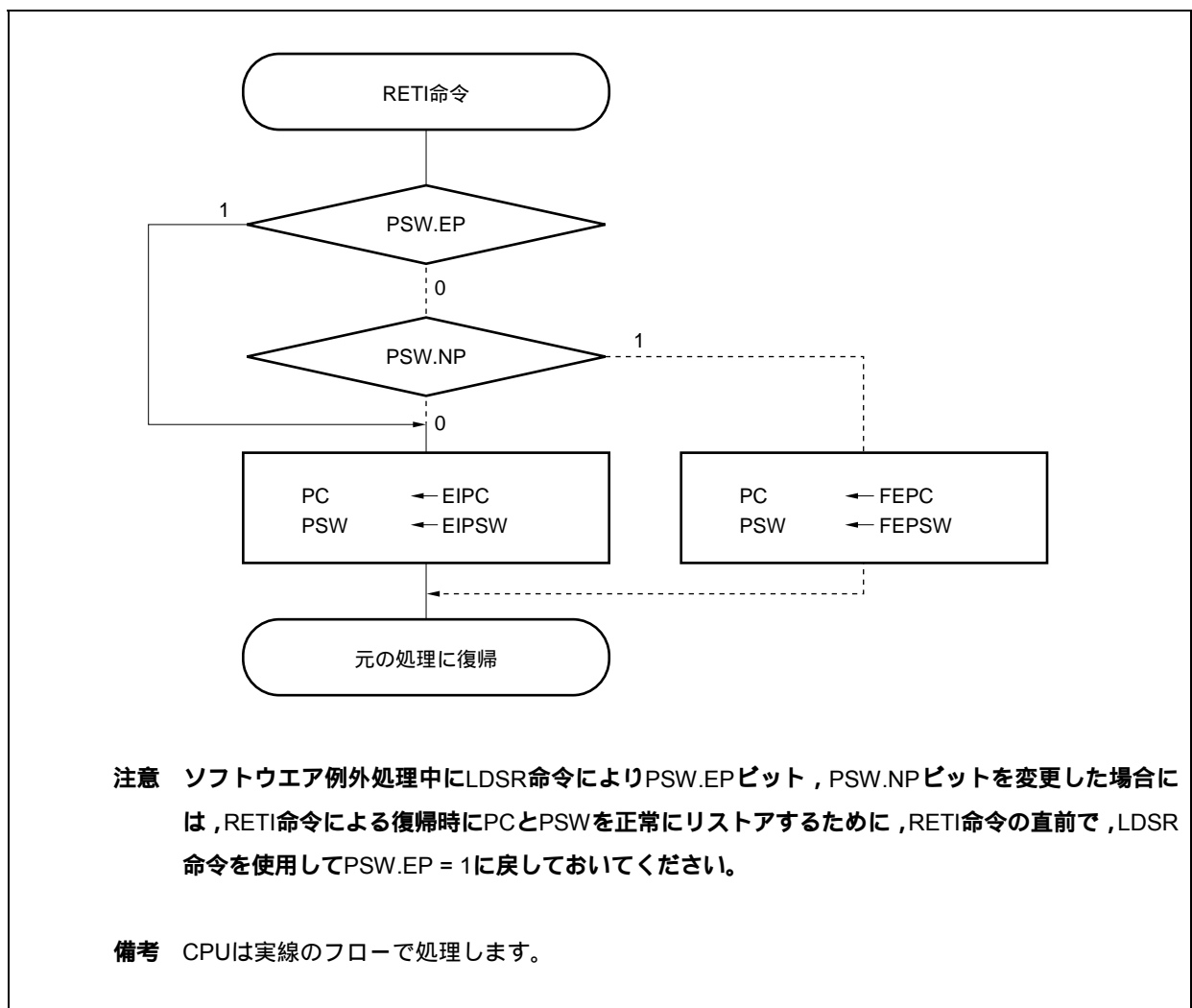
RETI命令の動作

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

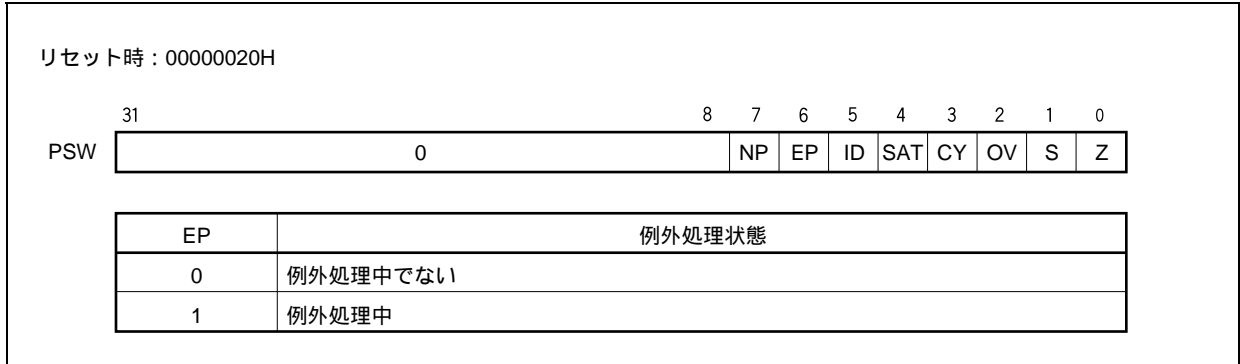
図7 - 11 RETI命令の処理形態



7.4.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

図7 - 12 EPフラグ (EP)



7.5 例外トラップ

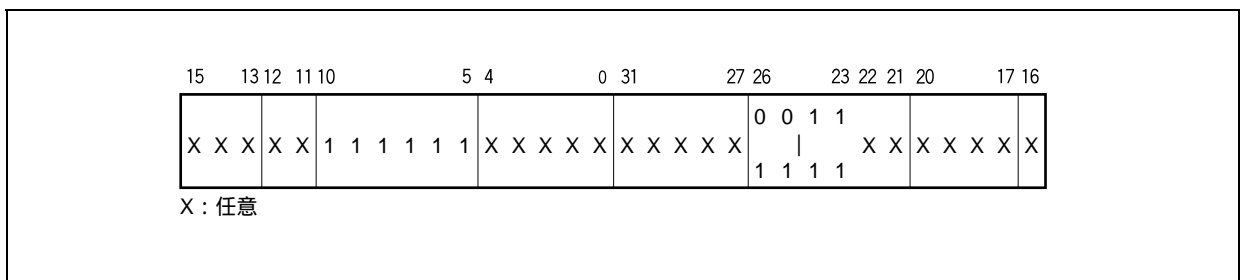
命令の不正実行が発生した場合に要求される割り込みです。V850/SC1, V850/SC2, V850/SC3では, 不正命令コード例外 (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

- ・不正命令コード例外 : 次に実行しようとする命令のサブオペコードが不正命令コードの場合に発生

7.5.1 不正命令コード

不正命令コードは, 32ビット長命令形式で, ビット5-10が111111Bで, かつビット23-26が0011B-1111Bになる任意の命令コードとして定義します。

図7 - 13 不正命令コード



7.5.2 動作

例外トラップが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

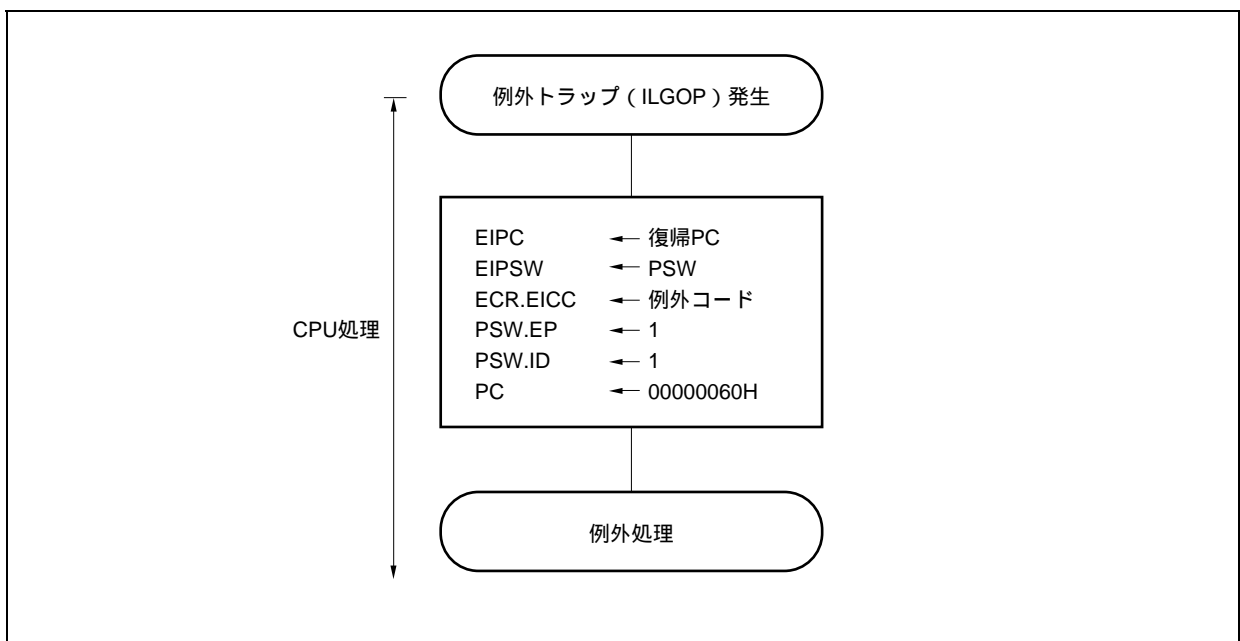
ECRの下位16ビット（EICC）に例外コード（0060H）を書き込みます。

PSWのEP, IDビットをセットします。

PCに例外トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

例外トラップの処理形態を次に示します。

図7 - 14 例外トラップの処理形態



7.5.3 復 帰

例外トラップからは，RETI命令で復帰します。

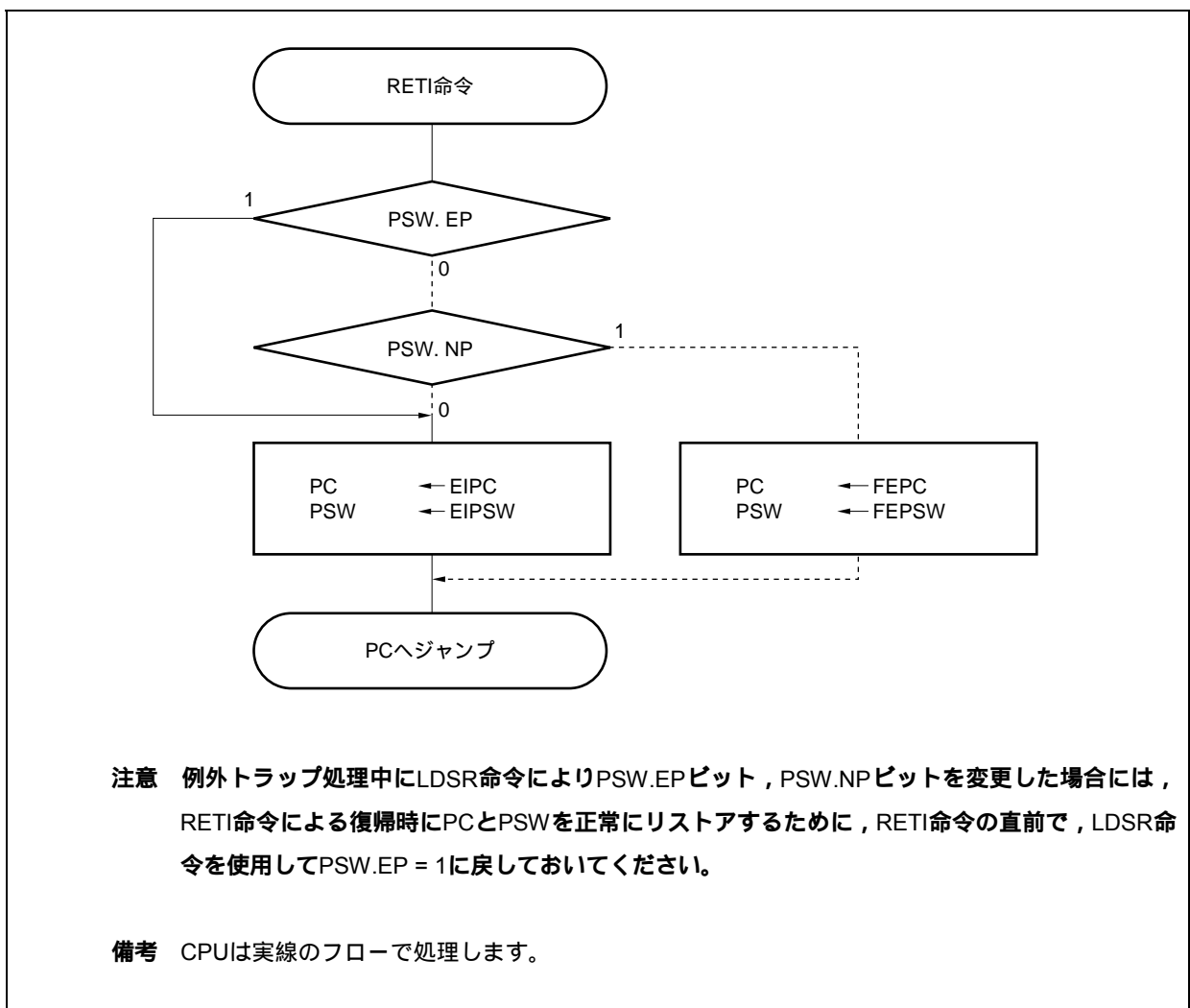
RETI命令の動作

RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが1なので，EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

図7 - 15 RETI命令の処理形態



7.6 優先順位指定

7.6.1 割り込みと例外の優先順位

表7-3 割り込みと例外の優先順位

	RESET	NMI	INT	TRAP	ILGOP
RESET		*	*	*	*
NMI	X				
INT	X				
TRAP	X				
ILGOP	X				

RESET : リセット

NMI : ノンマスカブル割り込み

INT : マスカブル割り込み

TRAP : ソフトウェア例外

ILGOP : 不正命令コード例外

* : 左部の項目は上部の項目を無視する

X : 左部の項目は上部の項目に無視される

: 上部の項目は左部の項目より優先順位が高い

: 左部の項目は上部の項目より優先順位が高い

7.6.2 多重割り込み

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求を受け付ける機能です。

現在処理している割り込みの優先順位レベル以下の割り込み要求だった場合は、その割り込み要求は保留されます。

割り込みの多重処理制御は、割り込み許可状態 (ID = 0) のときに行われます。したがって、割り込み処理ルーチンでも割り込み許可状態 (ID = 0) にしてください。

マスカブル割り込みまたは例外のサービス・プログラム中に、マスカブル割り込みの許可または例外を発生させる場合は、EIPC, EIPSWを退避してください。

次のような手順で行います。

(1) サービス・プログラム中にマスカブル割り込み要求を受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

```

...
...
・EIPCをメモリまたはレジスタへ退避
・EIPSWをメモリまたはレジスタへ退避
・EI命令（割り込み要求受け付け許可）
...
...
...
...
・DI命令（割り込み要求受け付け禁止）
・退避していた値をEIPSWに復帰
・退避していた値をEIPCに復帰
・RETI命令

```

INTP入力などの割り込み受け付け

(2) サービス・プログラム中に例外を発生させる場合

マスカブル割り込みまたは例外のサービス・プログラム

```

...
...
・EIPCをメモリまたはレジスタへ退避
・EIPSWをメモリまたはレジスタへ退避
・EI命令（割り込み要求受け付け許可）
...
...
・TRAP命令
・不正命令コード
...
...
・退避していた値をEIPSWに復帰
・退避していた値をEIPCに復帰
・RETI命令

```

TRAP命令などの例外受け付け

不正命令コード例外受け付け

多重割り込み処理制御のための優先順位は、各マスカブル割り込み要求ごとに0-7まで（0が最優先）の8レベルが、ソフトウェアで任意に設定できます。優先順位レベルの設定は、マスカブル割り込み要求ごとに用意されている割り込み要求制御レジスタ（xxICn）のxxPRn0-xxPRn2ビットで行います。リセット時には、xxMKnビットにより割り込み要求はマスクされ、xxPRn0-xxPRn2ビットにより優先順位はレベル7に設定されます。

備考 xx：各周辺ユニット識別名称（表7-2参照）

n：周辺ユニット番号（表7-2参照）

マスカブル割り込みの優先順位

(高) レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 (低)

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

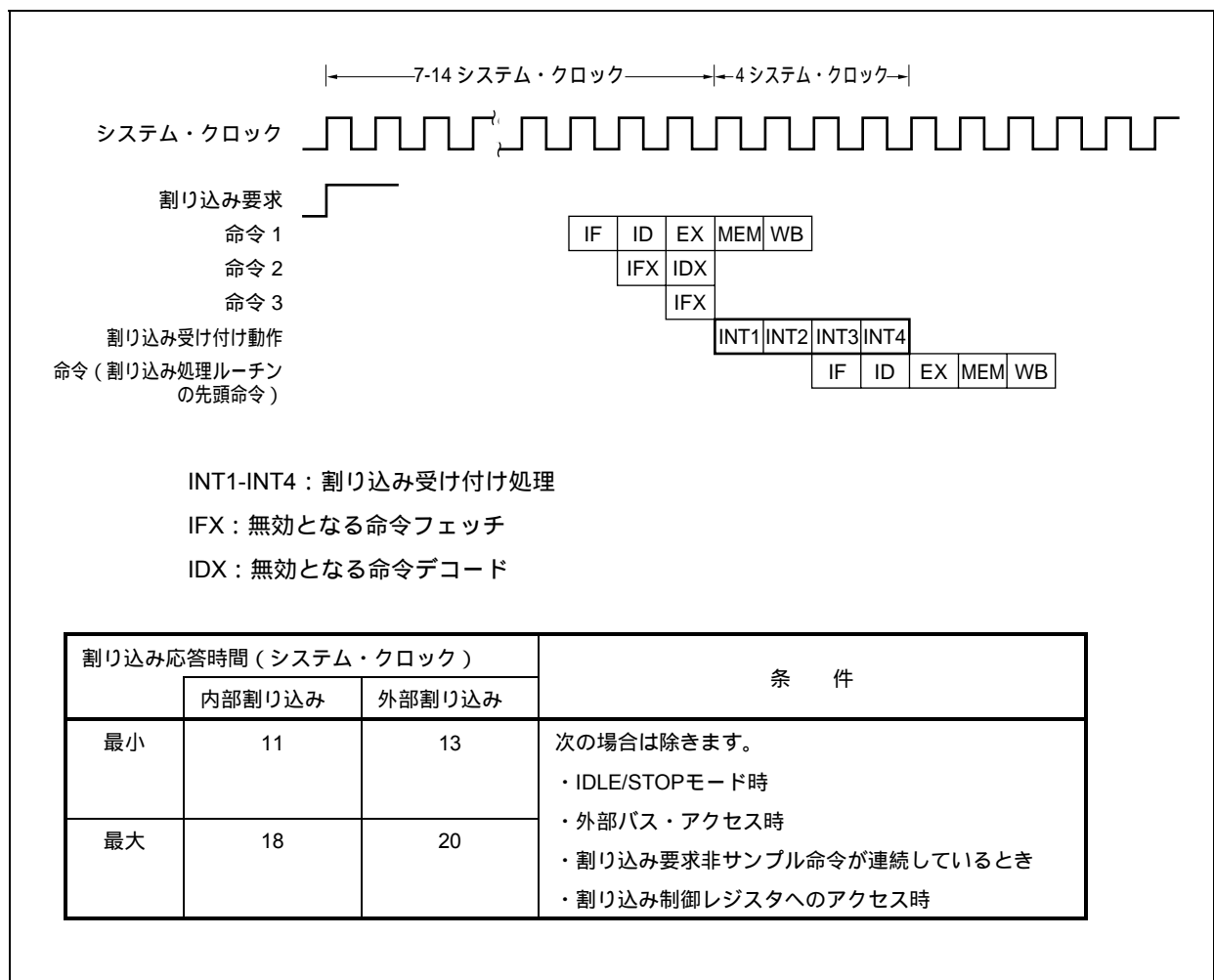
保留された割り込み要求は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

注意 ノンマスカブル割り込み処理ルーチン内 (RETI命令を実行するまでの期間) では、マスカブル割り込みを受け付けず、保留します。

7.7 応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間を次に示します。

図7 - 16 割り込み要求受け付け時のパイプライン動作 (概略)



7.8 割り込みが受け付けられない期間

割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません。

割り込み要求非サンプル命令

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2,0x5命令 (対PSW)

★ 7.8.1 EI命令後の割り込み要求有効タイミング

DI命令（割り込み禁止）かつ割り込みをマスクしていない（MKフラグ = 0）状態において、割り込み要求が発生（IFフラグ = 1）した場合、EI命令（割り込み許可）を実行するとCPUが割り込み要求を受け付けるまでに7システム・クロックが必要です。この7システム・クロック間にDI命令（割り込み禁止）を実行すると、CPUは割り込み要求を受け付けません。

したがって、EI命令（割り込み許可）実行後は、命令実行クロック数で7システム・クロック分の命令を挿入する必要があります。ただし、次の条件の場合7システム・クロック分確保しても割り込み要求は受け付けないので確保は禁止します。

- ・ IDLE/STOPモード
- ・ 割り込み要求非サンプリング命令（PSW.IDビットを操作する命令）
- ・ 割り込み要求制御レジスタ（xxICn）へのアクセス

次にプログラム処理例を示します。

【プログラム処理例】

```

DI
:           ; (MKフラグ = 0)
:           ; 割り込み要求発生 (IFフラグ = 1)
EI          ; EI命令実行
NOP        ; 1システム・クロック
NOP        ; 1システム・クロック
NOP        ; 1システム・クロック
NOP        ; 1システム・クロック
JR         LP1 ; 3システム・クロック (LP1ルーチンに分岐)
:
LP1        ; LP1ルーチン
DI          ; EI命令実行後, NOP x 4, JR命令により8クロック目に実行

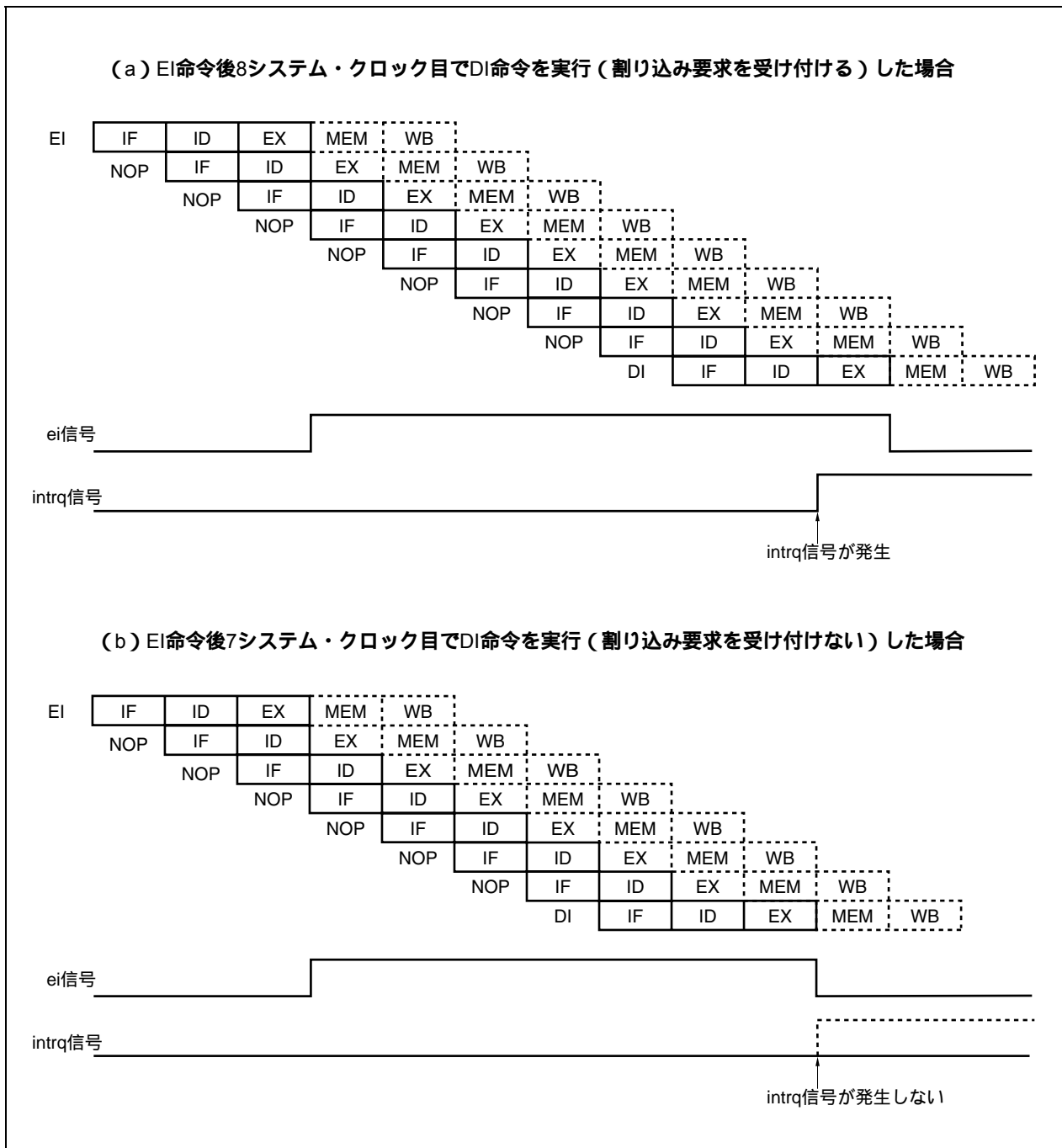
```

注

注 この期間にDI命令（PSW.ID = 1）を実行しないでください。

- 備考1.** この例の場合、DI命令はEI命令実行後、8システム・クロック目に実行されるので、CPUは割り込み要求を受け付け、割り込み処理を行います。
2. 割り込み処理ルーチンの命令がEI命令後の8システム・クロック目から実行するというではありません。割り込み処理ルーチンの命令を実行するのは、CPUが割り込み要求を受け付けてから4システム・クロック後です。
3. この例はEI命令実行前に割り込み要求が発生（IFフラグ = 1）した場合ですが、EI命令実行後に割り込み要求が発生した場合も、IFフラグがセット（1）されてから、7システム・クロック間は割り込み禁止（PSW.ID = 1）にすると、CPUは割り込み要求を受け付けません。

図7-17 パイプラインの流れと割り込み要求発生時のタイミング



★ 7.9 DMA転送時の割り込み制御レジスタのビット操作命令

DMA機能を使用している場合、EI状態で割り込み制御レジスタ（xxICn）をビット操作するとき、操作前にDI命令、操作後にEI命令を実行してください。または、割り込み制御ルーチンの先頭で、xxIFビットをクリア（0）してください。

なお、DMA機能を使用しない場合は、このような操作をする必要はありません。

備考 xx：各周辺ユニット識別名称（表7-2参照）

n：周辺ユニット番号（表7-2参照）

7.10 キー割り込み機能

キー・リターン・モード・レジスタ (KRM) の設定により、キー入力端子 (KR0-KR7) に立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

キー・リターン・モード・レジスタ (KRM) は5ビット内蔵しています。KRM0ビットは4ビット単位でKR0-KR3信号を制御して、KRM4-KRM7ビットはそれぞれKR4-KR7信号を制御します (4-8ビット間で任意に設定可能)。8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFFFF3D0H

	⑦	⑥	⑤	④	3	2	1	①
KRM	KRM7	KRM6	KRM5	KRM4	0	0	0	KRM0

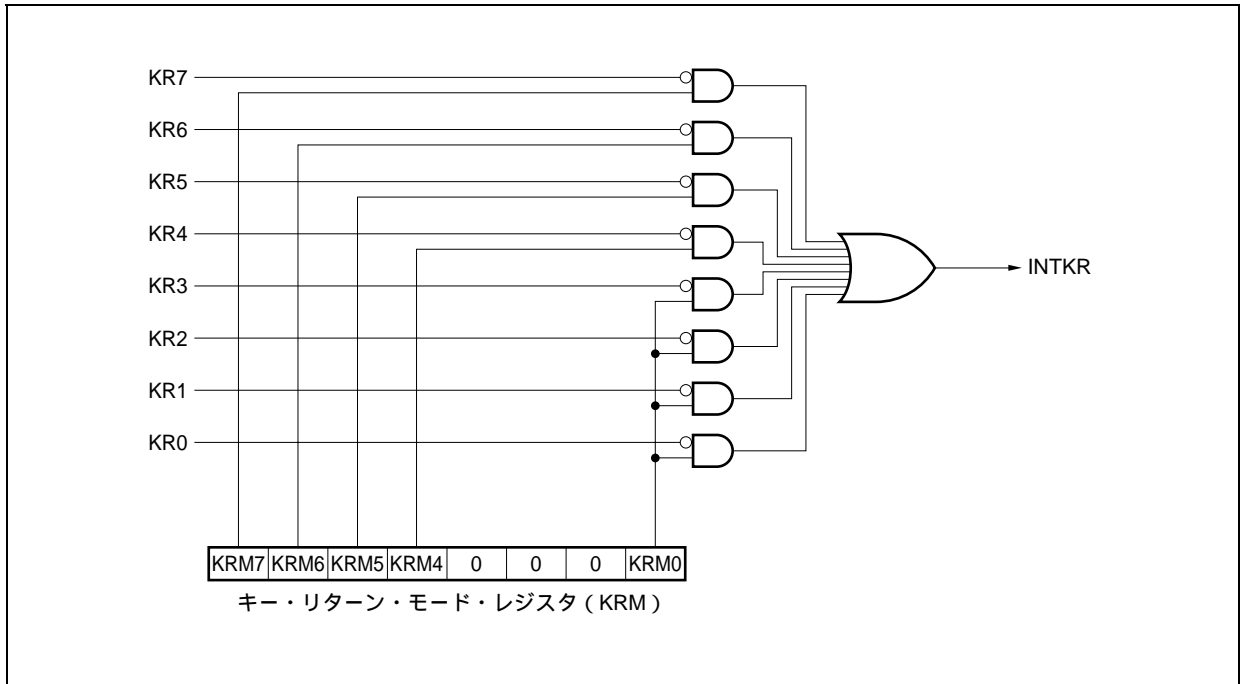
KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

注意 キー・リターン・モード・レジスタ (KRM) を変更すると、割り込み要求フラグがセットされる場合があります。したがって、あらかじめ割り込みを禁止してからKRMレジスタを変更し、割り込み要求フラグをクリアしてから、割り込みを許可してください。

表7-4 キー・リターン検出端子の割り当て

フラグ	設定される端子
KRM0	KR0-KR3信号を4ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

図7-18 キー・リターンのブロック図



第8章 タイマ/カウンタ機能

8.1 16ビット・タイマ (TM0, TM1, TM7-TM12)

8.1.1 概要

16ビット・キャプチャ/コンペア・レジスタ：各2本 (CRn0, CRn1)

独立したキャプチャ/トリガ入力：各2本 (TIn0, TIn1)

キャプチャ/一致割り込み要求信号 (INTTMn0, INTTMn1) 出力可能

イベント入力 (TIn0と兼用) はデジタル・ノイズ除去回路を介して入力, エッジ指定可能
一致検出により動作するタイマ出力：各1本 (TOn)

P104/TO0, P107/TO1, P100/TO7端子をTO0, TO1, TO7端子 (タイマ出力) として使用する場合は, ポート10 (P10) の値を "0" (ポート・モード出力) に, ポート10モード・レジスタ (PM10) の値を "0" にしてください。

P33/TO8端子をTO8端子 (タイマ出力) として使用する場合は, ポート3 (P3) の値を "0" (ポート・モード出力) に, ポート3モード・レジスタ (PM3) の値を "0" にしてください。

P25/TO9端子をTO9端子 (タイマ出力) として使用する場合は, ポート2 (P2) の値を "0" (ポート・モード出力) に, ポート2モード・レジスタ (PM2) の値を "0" にしてください。

P126/TO10, P127/TO11端子をTO10, TO11端子 (タイマ出力) として使用する場合は, ポート12 (P12) の値を "0" (ポート・モード出力) に, ポート12モード・レジスタ (PM12) の値を "0" にしてください。

P155/TO12端子をTO12端子 (タイマ出力) として使用する場合は, ポート15 (P15) の値を "0" (ポート・モード出力) に, ポート15モード・レジスタ (PM15) の値を "0" にしてください。

ポートとタイマの出力値のORが出力されます。

備考 n = 0, 1, 7-12

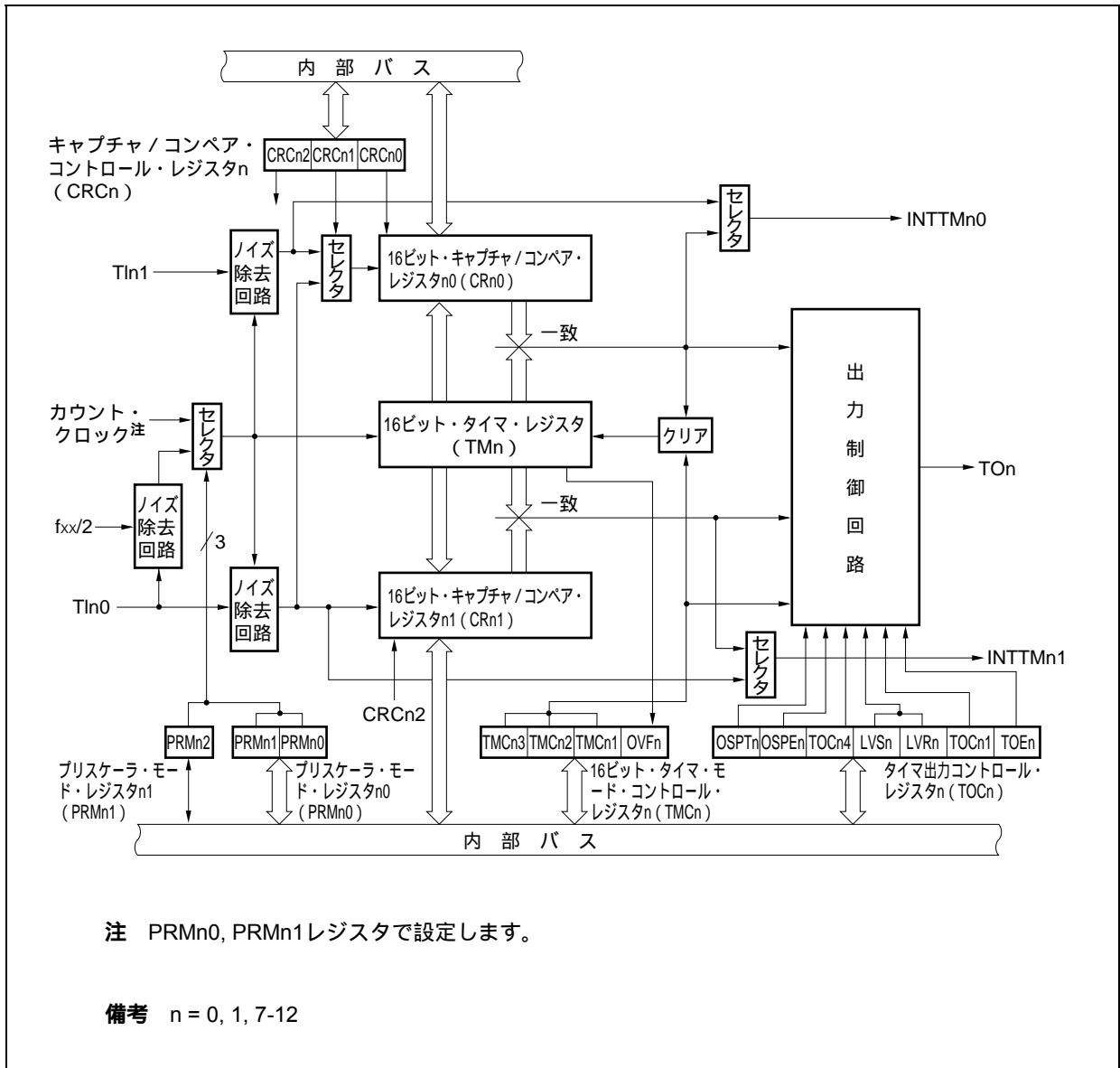
8.1.2 機能

TM0, TM1, TM7-TM12には, 次のような機能があります。

- ・インターバル・タイマ
- ・PPG出力
- ・パルス幅測定
- ・外部イベント・カウンタ
- ・方形波出力
- ・ワンショット・パルス出力

次にブロック図を示します。

図8 - 1 TM0, TM1, TM7-TM12のブロック図



(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

(2) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

(6) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

8.1.3 構成

タイマ0, 1, 7-12は, 次のハードウェアで構成されています。

表8 - 1 タイマ0, 1, 7-12の構成

項目	構成
タイマ・レジスタ	16ビット×8本 (TM0, TM1, TM7-TM12)
レジスタ	キャプチャ/コンペア・レジスタ: 16ビット×6本 (CRn0, CRn1)
タイマ出力	3本 (TO0, TO1, TO7-TO12)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタn (TMCn) キャプチャ/コンペア・コントロール・レジスタn (CRCn) 16ビット・タイマ出力コントロール・レジスタn (TOCn) プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1)

備考 n = 0, 1, 7-12

(1) 16ビット・タイマ・レジスタ0, 1, 7-12 (TM0, TM1, TM7-TM12)

TMnは, カウント・パルスをカウントする16ビットのリード専用レジスタです。

入力クロックの立ち上がり同期して, カウンタをインクリメントします。また, 動作中にカウント値を読み出した場合, カウント・クロックの入力を一時停止し, その時点でのカウント値を読み出します。次の場合, カウント値は0000Hになります (n = 0, 1, 7-12)。

RESET入力

TMCn3, TMCn2をクリア

TIn0有効エッジ入力でクリア&スタート・モード時のTIn0有効エッジが入力されたとき

CRn0の一致でクリア&スタート・モード時のTMnとCRn0の一致

ワンショット・パルス出力モードで, OSPTnのセットまたはTIn0有効エッジが入力されたとき

(2) キャプチャ/コンペア・レジスタ_n (CR00, CR10, CR70-CR120)

CR_n0は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。

CRC_nレジスタのビット0 (CRC_n0) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します (n = 0, 1, 7-12)。

(a) CR_n0をコンペア・レジスタとして使用するとき

CR_n0に設定した値とTM_nレジスタのカウント値を常に比較し、一致したときに割り込み要求 (INTTM_n0) を発生します。TM_nをインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます (n = 0, 1, 7-12)。

(b) CR_n0をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTIn0端子またはTIn1端子の有効エッジが選択できます。TIn0またはTIn1の有効エッジの設定は、PRM_n0レジスタで行います。

キャプチャ・トリガをTIn0端子の有効エッジに指定したときは表8 - 2、キャプチャ・トリガをTIn1端子の有効エッジに指定したときは表8 - 3のようになります (n = 0, 1, 7-12)。

表8 - 2 TIn0端子の有効エッジとCR_n0のキャプチャ・トリガ

ESn01	ESn00	TIn0端子の有効エッジ	CR _n 0のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち上がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ	キャプチャ動作しない

備考 n = 0, 1, 7-12

表8 - 3 TIn1端子の有効エッジとCR_n0のキャプチャ・トリガ

ESn11	ESn10	TIn1端子の有効エッジ	CR _n 0のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ	立ち上がり、立ち下がりの両エッジ

備考 n = 0, 1, 7-12

CR_n0は、16ビット・メモリ操作命令で設定します。

★ コンペア・レジスタとして使用するときにはリード/ライト、キャプチャ・レジスタとして使用するときにはリードのみ可能です。

★ $\overline{\text{RESET}}$ 入力により0000Hになります。

注意 TM_nとCR_n0の一致でクリア&スタート・モードでは、CR_n0には0000H以外の値を設定してください。ただし、フリー・ランニング・モードおよびTIn0の有効エッジのクリア・モードにおいて、CR_n0に0000Hを設定した場合は、オーバフロー (FFFFH) 後に割り込み要求 (INTTM_n0) を発生します。

(3) キャプチャ/コンペア・レジスタ_n (CR01, CR11, CR71-CR121)

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。CRC_nレジスタのビット2 (CRC_n2) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します (n = 0, 1, 7-12)。

(a) CR_n1をコンペア・レジスタとして使用するとき

CR_n1に設定した値とTM_nのカウント値を常に比較し、一致したときに割り込み要求 (INTTM_n1) を発生します (n = 0, 1, 7-12)。

(b) CR_n1をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTIn0端子の有効エッジが選択できます。TIn0の有効エッジの設定は、PRM_n0レジスタで行います。

キャプチャ・トリガをTIn0端子の有効エッジに指定したときは表8 - 4のようになります。

表8 - 4 TIn0端子の有効エッジとCR_n1のキャプチャ・トリガ

ESn01	ESn00	TIn0端子の有効エッジ	CR _n 1のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ	立ち上がり, 立ち下がり両エッジ

備考 n = 0, 1, 7-12

CR_n1は、16ビット・メモリ操作命令で設定します。

- ★ コンペア・レジスタとして使用するときにはリード/ライト、キャプチャ・レジスタとして使用するときにはリードのみ可能です。
- ★ RESET入力により0000Hになります。

注意 TM_nとCR_n0の一致でクリア&スタート・モードでは、CR_n1には0000H以外の値を設定してください。ただし、フリー・ランニング・モードおよびTIn0の有効エッジのクリア・モードにおいて、CR_n1に0000Hを設定した場合は、オーバフロー (FFFFH) 後に割り込み要求 (INTTM_n1) を発生します。

8.1.4 タイマ0, 1, 7-12制御レジスタ

タイマ0, 1, 7-12を制御するレジスタを次に示します。

- ・ 16ビット・タイマ・モード・コントロール・レジスタn (TMCn)
- ・ キャプチャ/コンペア・コントロール・レジスタn (CRCn)
- ・ 16ビット・タイマ出力コントロール・レジスタn (TOCn)
- ・ プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1)

備考 n = 0, 1, 7-12

(1) 16ビット・タイマ・モード・コントロール・レジスタ0, 1, 7-12 (TMC0, TMC1, TMC7-TMC12)

16ビット・タイマの動作モード, 16ビット・タイマ・レジスタnのクリア・モード, 出力タイミングの設定およびオーバーフローを検出するレジスタです。

TMCnは, 8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

注意 16ビット・タイマ・レジスタnは, TMCn2, TMCn3ビットに0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには, TMCn2, TMCn3ビットに0, 0を設定してください。

リセット時：00H R/W アドレス：TMC0 FFFFF208H TMC1 FFFFF218H TMC7 FFFFF3A8H
 TMC8 FFFFF398H TMC9 FFFFF3B8H TMC10 FFFFF0D8H
 TMC11 FFFFF0E8H TMC12 FFFFF0F8H

	7	6	5	4	3	2	1	①
TMCn	0	0	0	0	TMCn3	TMCn2	TMCn1	OVFn

(n = 0, 1, 7-12)

TMCn3	TMCn2	TMCn1	動作モードおよび クリア・モードの選択	TOn出力タイミ ングの選択	割り込みの発生
0	0	0	動作停止 (TMnは0にクリア)	変化なし	発生しない
0	0	1			
0	1	0	フリー・ランニング・ モード	TMnとCRn0の一致 または TMnとCRn1の一致	TMnとCRn0の一致 および TMnとCRn1の一致 で発生
0	1	1		TMnとCRn0の一致, TMnとCRn1の一致 または TIn0の有効エッジ	
1	0	0	TIn0の有効エッジで クリア&スタート	TMnとCRn0の一致 または TMnとCRn1の一致	
1	0	1		TMnとCRn0の一致, TMnとCRn1の一致 または TIn0の有効エッジ	
1	1	0	TMnとCRn0の一致 でクリア&スタート	TMnとCRn0の一致 または TMnとCRn1の一致	
1	1	1		TMnとCRn0の一致, TMnとCRn1の一致 または TIn0の有効エッジ	

OVFn	16ビット・タイマ・レジスタnのオーバフロー検出
0	オーバフローなし
1	オーバフローあり

- 注意1. OVFnフラグ以外のビットには、タイマ動作を停止してから書き込んでください。
2. TIn0端子の有効エッジの設定は、プリスケアラ・モード・レジスタn0 (PRMn0)で行います。
 3. TMnとCRn0の一致でクリア&スタートするモードを選択した場合、CRn0の設定値がFFFFHで、TMnの値がFFFFHから0000Hに変化するとき、OVFnフラグが1に設定されます。
 4. ビット7-4には必ず“0”を設定してください。

★
 備考 TOn : タイマnの出力端子 CRn0 : コンペア・レジスタn0
 TIn0 : タイマnの入力端子 CRn1 : コンペア・レジスタn1
 TMn : 16ビット・タイマ・レジスタn

(2) キャプチャ/コンペア・コントロール・レジスタ0, 1, 7-12 (CRC0, CRC1, CRC7-CRC12)

キャプチャ/コンペア・レジスタn (CRn0, CRn1) の動作を制御するレジスタです。

CRCnは、8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

	リセット時 : 00H	R/W	アドレス :	CRC0 FFFFF20AH	CRC1 FFFFF21AH	CRC7 FFFFF3AAH
				CRC8 FFFFF39AH	CRC9 FFFFF3BAH	CRC10 FFFFF0DAH
				CRC11 FFFFF0EAH	CRC12 FFFFF0FAH	

	7	6	5	4	3	2	1	0
CRCn	0	0	0	0	0	CRCn2	CRCn1	CRCn0

(n = 0, 1, 7-12)

CRCn2	CRCn1の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRCn1	CRn0のキャプチャ・トリガの選択
0	TIn1の有効エッジでキャプチャする
1	TIn0の有効エッジの逆相でキャプチャする

CRCn0	CRn0の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注意

1. CRCnの設定は、必ずタイマ動作を停止させてから行ってください。
2. 16ビット・タイマ・モード・コントロール・レジスタn (TMCn) で、TMnとCRn0の一致でクリア&スタート・モードを選択したとき、CRn0をキャプチャ・レジスタに指定しないでください。
3. TIn0の有効エッジに立ち上がり、立ち下がり両エッジを選択した場合には、キャプチャは動作しません。
4. キャプチャ・トリガは、TIn0, TIn1からの信号を確実にキャプチャ動作させるために、プリスケアラ・モード・レジスタ0n, 1n (PRM0n, PRM1n) で選択したカウント・クロックの2回分より長いパルスが必要となります。
5. ビット7-3には必ず“0”を設定してください。

★

(3) 16ビット・タイマ出力コントロール・レジスタ0, 1, 7-12 (TOC0, TOC1, TOC7-TOC12)

タイマn出力制御回路の動作を制御するレジスタです。R-S型フリップフロップ (LV0) のセット/リセット, 出力の反転許可/禁止, タイマnのタイマ出力許可/禁止, ワンショット・パルス出力動作の許可/禁止およびソフトウェアによるワンショット・パルスの出力トリガを設定します。

TOCnは, 8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時: 00H R/W アドレス: TOC0 FFFFF20CH TOC1 FFFFF21CH TOC7 FFFFF3ACH
TOC8 FFFFF39CH TOC9 FFFFF3BCH TOC10 FFFFF0DCH
TOC11 FFFFF0ECH TOC12 FFFFF0FCH

	7	⑥	⑤	4	③	②	1	①
TOCn (n = 0, 1, 7-12)	0	OSPTn	OSPEn	TOCn4	LVSn	LVRn	TOCn1	TOEn
OSPTn	ソフトウェアによるワンショット・パルスの出力トリガの制御							
0	ワンショット・パルス・トリガなし							
1	ワンショット・パルス・トリガあり							
OSPEn	ワンショット・パルスの出力動作の制御							
0	連続パルス出力							
1	ワンショット・パルス出力注							
TOCn4	CRn1とTMnの一致によるタイマ出力F/Fの制御							
0	反転動作禁止							
1	反転動作許可							
LVSn	LVRn	タイマnのタイマ出力F/Fの状態の設定						
0	0	変化しない						
0	1	タイマ出力F/Fをリセット (0)						
1	0	タイマ出力F/Fをセット (1)						
1	1	設定禁止						
TOCn1	CRn0とTMnの一致またはTin0の有効エッジによるタイマ出力F/Fの制御							
0	反転動作禁止							
1	反転動作許可							
TOEn	タイマnの出力の制御							
0	出力禁止 (出力は0レベルに固定)							
1	出力許可							

注 ワンショット・パルス出力はフリー・ランニング・モード, Tin0の有効エッジでクリア&スタート・モードでのみ正常動作します。

注意1. TOCnの設定は, 必ずタイマ動作を停止させてから行ってください。

2. データ設定後にLVSn, LVRnを読み出すと, 0になっています。

3. OSPTnはデータ設定後に自動的にクリアされるので, 読み出すと0になっています。

4. ワンショット・パルス出力以外の場合は, OSPTnをセット (1) しないでください。

(4) プリスケアラ・モード・レジスタ00, 01 (PRM00, PRM01)

16ビット・タイマ (TM0) のカウント・クロックおよびTI00, TI01入力の有効エッジを設定するレジスタです。PRM00, PRM01は, 8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時: 00H R/W アドレス: FFFFF20EH

	7	6	5	4	3	2	1	0
PRM01	0	0	0	0	0	0	0	PRM02

リセット時: 00H R/W アドレス: FFFFF206H

	7	6	5	4	3	2	1	0
PRM00	ES011	ES010	ES001	ES000	0	0	PRM01	PRM00

ES011	ES010	TI01有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ES001	ES000	TI00有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

PRM02	PRM01	PRM00	カウント・クロックの選択			
			カウント・クロック	f _{xx}		
				20 MHz	18.87 MHz	16 MHz
0	0	0	f _{xx} /2	100 ns	10.5 ns	125 ns
0	0	1	f _{xx} /16	800 ns	848 ns	1 μs
0	1	0	INTWTNI	-	-	-
0	1	1	TI00有効エッジ注	-	-	-
1	0	0	f _{xx} /4	200 ns	212 ns	250 ns
1	0	1	f _{xx} /64	3.2 μs	3.4 μs	4 μs
1	1	0	f _{xx} /256	12.8 μs	13.6 μs	16 μs
1	1	1	設定禁止	-	-	-

注 外部クロックは, 内部クロック (f_{xx}/2) の2回分より長いパルスが必要になります。

- 注意1. カウント・クロックにTI00の有効エッジを設定する場合，TI00有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。
2. PRM00, PRM01は，必ずタイマ動作を停止させてからデータを設定してください。
3. システム・リセット直後にTI00, TI01端子がハイ・レベルの場合，TI00, TI01端子の有効エッジを立ち上がり，または両エッジに指定して，16ビット・タイマ（TM0）の動作を許可すると，その直後に立ち上がりエッジを検出します。TI00, TI01端子をプルアップしている場合などは注意してください。ただし，いったん動作を停止させたあとの再動作許可時には，立ち上がりエッジは検出されません。

(5) プリスケアラ・モード・レジスタ10, 11, 70, 71 (PRM10, PRM11, PRM70, PRM71)

16ビット・タイマ (TM1, TM7) のカウント・クロックおよびTIn0, TIn1入力の有効エッジを設定するレジスタです。PRMn0, PRMn1は, 8ビット・メモリ操作命令で設定します (n = 1, 7)。

RESET入力により00Hになります。

リセット時 : 00H R/W アドレス : FFFFF21EH, FFFFF3AEH

	7	6	5	4	3	2	1	0
PRMn1	0	0	0	0	0	0	0	PRMn2

(n = 1, 7)

リセット時 : 00H R/W アドレス : FFFFF216H, FFFFF3A6H

	7	6	5	4	3	2	1	0
PRMn0	ESn11	ESn10	ESn01	ESn00	0	0	PRMn1	PRMn0

(n = 1, 7)

ESn11	ESn10	TIn1有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ESn01	ESn00	TIn0有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

PRMn2	PRMn1	PRMn0	カウント・クロックの選択			
			カウント・クロック	f _{xx}		
				20 MHz	18.87 MHz	16 MHz
0	0	0	f _{xx} /2	100 ns	105 ns	125 ns
0	0	1	f _{xx} /4	200 ns	212 ns	250 ns
0	1	0	f _{xx} /16	800 ns	848 ns	1 μs
0	1	1	TIn0有効エッジ注	-	-	-
1	0	0	f _{xx} /32	1.6 μs	1.7 μs	2 μs
1	0	1	f _{xx} /128	6.4 μs	6.8 μs	8 μs
1	1	0	f _{xx} /256	12.8 μs	13.6 μs	16 μs
1	1	1	設定禁止	-	-	-

注 外部クロックは, 内部クロック (f_{xx}/2) の2回分より長いパルスが必要になります。

- 注意1. カウント・クロックにTIn0の有効エッジを設定する場合，TIn0有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。
2. PRMn0, PRMn1は，必ずタイマ動作を停止させてからデータを設定してください。
3. システム・リセット直後にTIn0, TIn1端子がハイ・レベルの場合，TIn0, TIn1端子の有効エッジを立ち上がり，または両エッジに指定して，16ビット・タイマ（TM1, TM7）の動作を許可すると，その直後に立ち上がりエッジを検出します。TIn0, TIn1端子をプルアップしている場合などは注意してください。ただし，いったん動作を停止させたあとの再動作許可時には，立ち上がりエッジは検出されません（ $n = 1, 7$ ）。

(6) プリスケアラ・モード・レジスタ80, 81, 100, 101, 120, 121 (PRM80, PRM81, PRM100, PRM101, PRM120, PRM121)

16ビット・タイマ (TM8, TM10, TM12) のカウント・クロックおよびTIn0, TIn1入力の有効エッジを設定するレジスタです。PRMn0, PRMn1は, 8ビット・メモリ操作命令で設定します (n = 8, 10, 12)。

RESET入力により00Hになります。

リセット時 : 00H R/W アドレス : FFFFF39EH, FFFFF0DEH, FFFFF0FEH

	7	6	5	4	3	2	1	0
PRMn1	0	0	0	0	0	0	0	PRMn2

(n = 8, 10, 12)

リセット時 : 00H R/W アドレス : FFFFF396H, FFFFF0D6H, FFFFF0F6H

	7	6	5	4	3	2	1	0
PRMn0	ESn11	ESn10	ESn01	ESn00	0	0	PRMn1	PRMn0

(n = 8, 10, 12)

ESn11	ESn10	TIn1有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ESn01	ESn00	TIn0有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

PRMn2	PRMn1	PRMn0	カウント・クロックの選択			
			カウント・クロック	f _{xx}		
				20 MHz	18.87 MHz	16 MHz
0	0	0	f _{xx} /2	100 ns	105 ns	125 ns
0	0	1	f _{xx} /8	400 ns	424 ns	500 ns
0	1	0	f _{xx} /16	800 ns	848 ns	1 μs
0	1	1	TIn0有効エッジ注	-	-	-
1	0	0	f _{xx} /32	1.6 μs	1.7 μs	2 μs
1	0	1	f _{xx} /128	6.4 μs	6.8 μs	8 μs
1	1	0	f _{xx} /256	12.8 μs	13.6 μs	16 μs
1	1	1	設定禁止	-	-	-

注 外部クロックは, 内部クロック (f_{xx}/2) の2回分より長いパルスが必要になります。

- 注意1. カウント・クロックにTIn0の有効エッジを設定する場合，TIn0有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。
2. PRMn0, PRMn1は，必ずタイマ動作を停止させてからデータを設定してください。
3. システム・リセット直後にTIn0, TIn1端子がハイ・レベルの場合，TIn0, TIn1端子の有効エッジを立ち上がり，または両エッジに指定して，16ビット・タイマ（TM8, TM10, TM12）の動作を許可すると，その直後に立ち上がりエッジを検出します。TIn0, TIn1端子をプルアップしている場合などは注意してください。ただし，いったん動作を停止させたあとの再動作許可時には，立ち上がりエッジは検出されません（n = 8, 10, 12）。

(7) プリスケアラ・モード・レジスタ90, 91, 110, 111 (PRM90, PRM91, PRM110, PRM111)

16ビット・タイマ (TM9, TM11) のカウント・クロックおよびTIn0, TIn1入力の有効エッジを設定するレジスタです。PRMn0, PRMn1は, 8ビット・メモリ操作命令で設定します (n = 9, 11)。
 $\overline{\text{RESET}}$ 入力により00Hになります。

リセット時 : 00H R/W アドレス : FFFFF3BEH, FFFFF0EEH

	7	6	5	4	3	2	1	0
PRMn1	0	0	0	0	0	0	0	PRMn2

(n = 9, 11)

リセット時 : 00H R/W アドレス : FFFFF3B6H, FFFFF0E6H

	7	6	5	4	3	2	1	0
PRMn0	ESn11	ESn10	ESn01	ESn00	0	0	PRMn1	PRMn0

(n = 9, 11)

ESn11	ESn10	TIn1有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ESn01	ESn00	TIn0有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

PRMn2	PRMn1	PRMn0	カウント・クロックの選択			
			カウント・クロック	f _{xx}		
				20 MHz	18.87 MHz	16 MHz
0	0	0	f _{xx} /4	200 ns	212 ns	250 ns
0	0	1	f _{xx} /8	400 ns	424 ns	500 ns
0	1	0	f _{xx} /32	1.6 μs	1.7 μs	2 μs
0	1	1	TIn0有効エッジ ^注	-	-	-
1	0	0	f _{xx} /64	3.2 μs	3.4 μs	4 μs
1	0	1	f _{xx} /128	6.4 μs	6.8 μs	8 μs
1	1	0	f _{xx} /512	25.6 μs	27.1 μs	32 μs
1	1	1	設定禁止	-	-	-

注 外部クロックは, 内部クロック (f_{xx}/2) の2回分より長いパルスが必要になります。

- 注意1. カウント・クロックにTIn0の有効エッジを設定する場合，TIn0有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。
2. PRMn0, PRMn1は，必ずタイマ動作を停止させてからデータを設定してください。
3. システム・リセット直後にTIn0, TIn1端子がハイ・レベルの場合，TIn0, TIn1端子の有効エッジを立ち上がり，または両エッジに指定して，16ビット・タイマ（TM9, TM11）の動作を許可すると，その直後に立ち上がりエッジを検出します。TIn0, TIn1端子をプルアップしている場合などは注意してください。ただし，いったん動作を停止させたあとの再動作許可時には，立ち上がりエッジは検出されません（ $n = 9, 11$ ）。

8.2 16ビット・タイマ (TM0, TM1, TM7-TM12) の動作

8.2.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ n (TMC n) と、キャプチャ/コンペア・コントロール・レジスタ n (CRC n) を図8-2のように設定することにより、インターバル・タイマとして動作します ($n = 0, 1$)。

16ビット・キャプチャ/コンペア・レジスタ $n0$ (CR $n0$) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生します。

16ビット・タイマ・レジスタ n (TM n) のカウント値がCR $n0$ に設定した値と一致したとき、TM n の値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM $n0$) が発生します。

プリスケアラ・モード・レジスタ $n0$ (PRM $n0$) のビット0, 1 (PRM $n0$, PRM $n1$) とプリスケアラ・モード・レジスタ $n1$ (PRM $n1$) のビット0 (PRM $n2$) で、16ビット・タイマ/イベント・カウンタのカウント・クロックを選択できます。

備考 $n = 0, 1, 7-12$

図8-2 インターバル・タイマ動作時の制御レジスタ設定内容

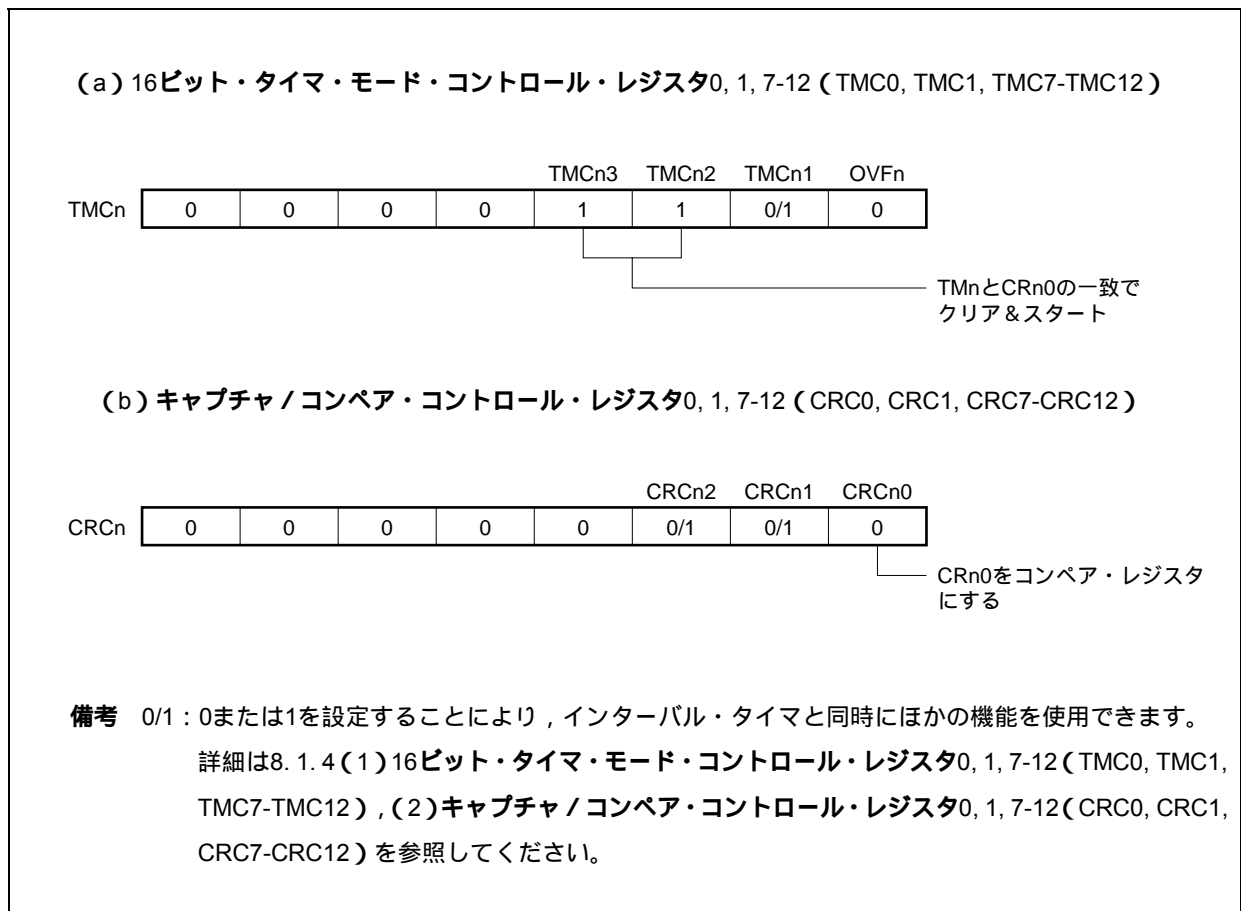


図8-3 インターバル・タイマの構成図

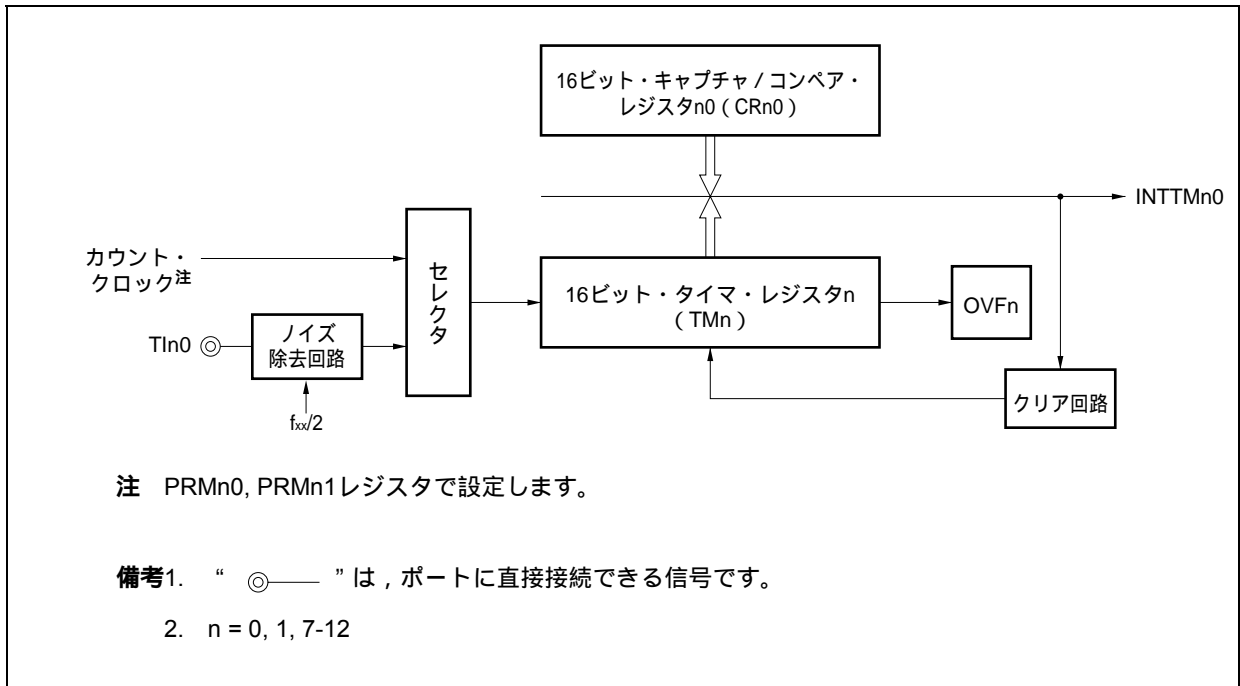
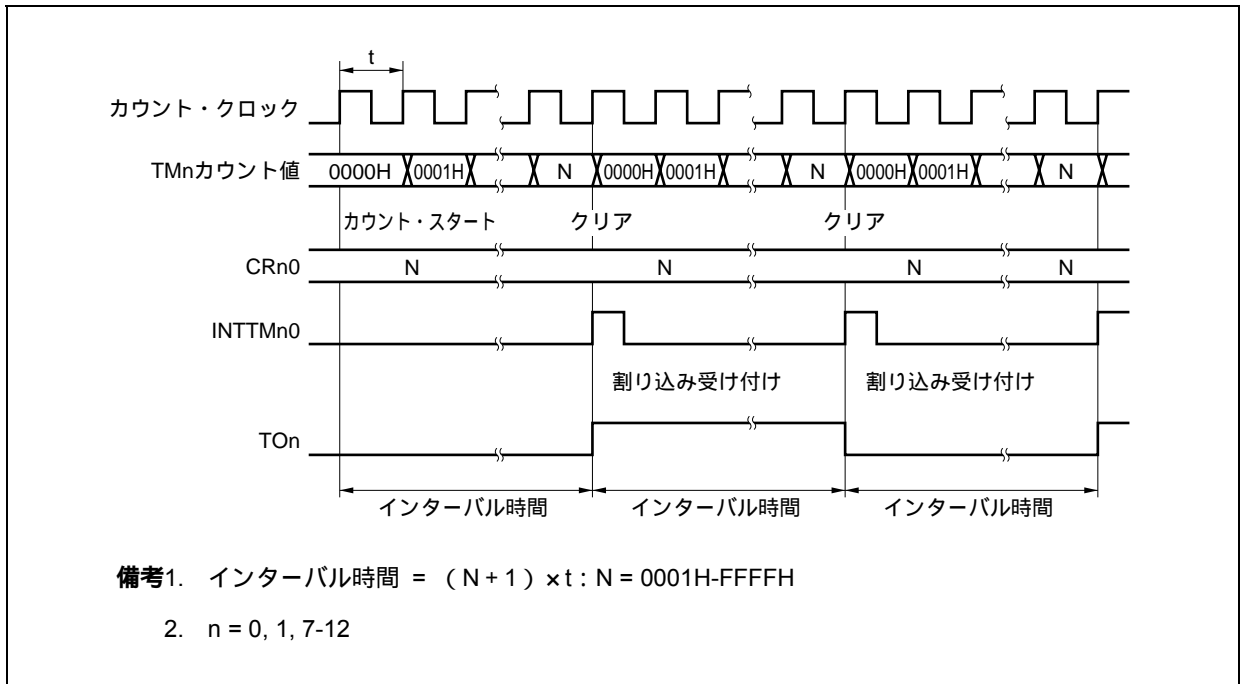


図8-4 インターバル・タイマ動作のタイミング



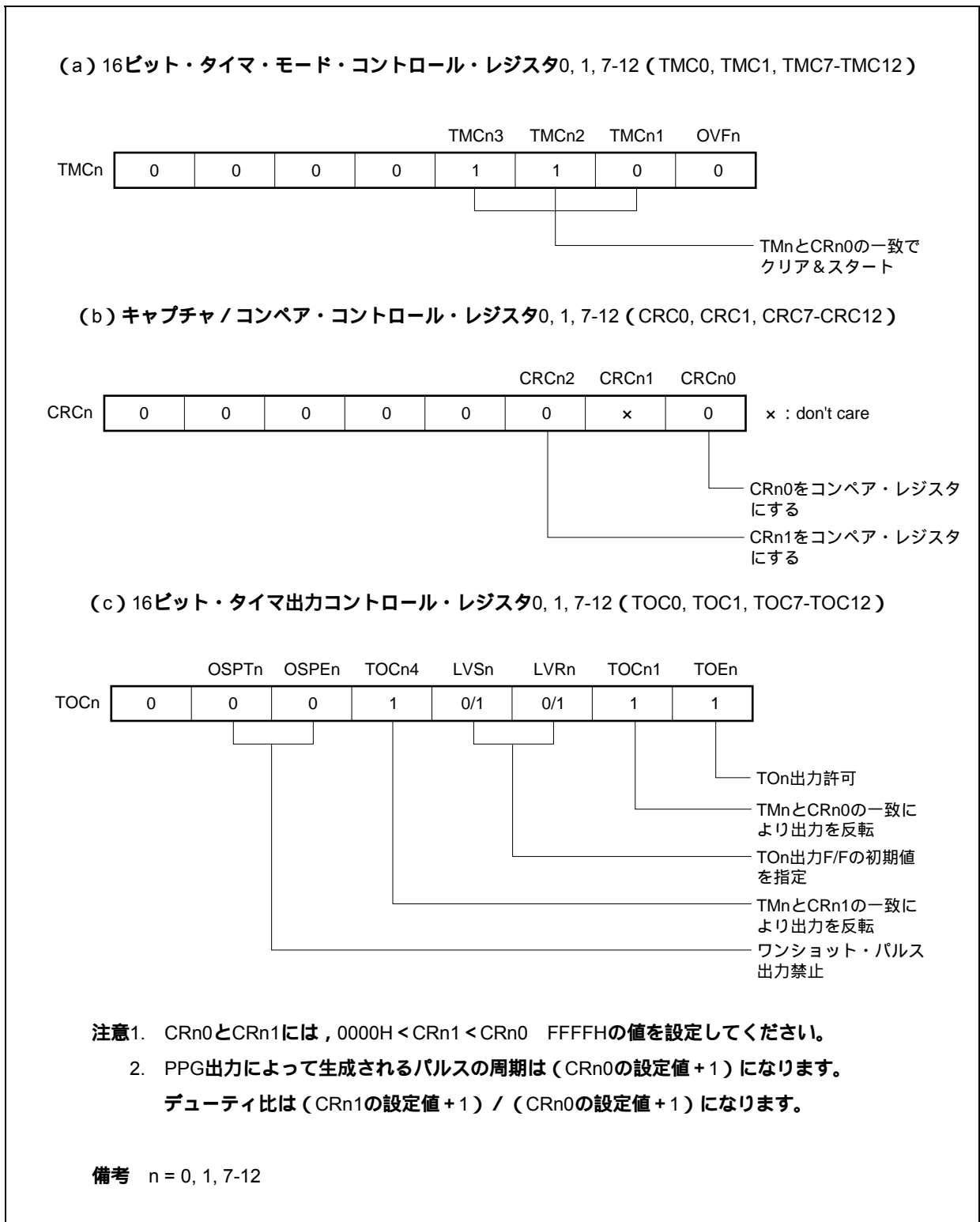
8.2.2 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ n (TMC n) と、キャプチャ/コンペア・コントロール・レジスタ n (CRC n) を図8 - 5のように設定すると、PPG (Programmable Pulse Generator) 出力として動作します。

PPG出力パルスは、16ビット・キャプチャ/コンペア・レジスタ $n0$ (CR $n0$) にあらかじめ設定したカウント値を1周期とし、16ビット・キャプチャ/コンペア・レジスタ $n1$ (CR $n1$) にあらかじめ設定したカウント値をパルス幅とする矩形波をTOn端子から出力します。

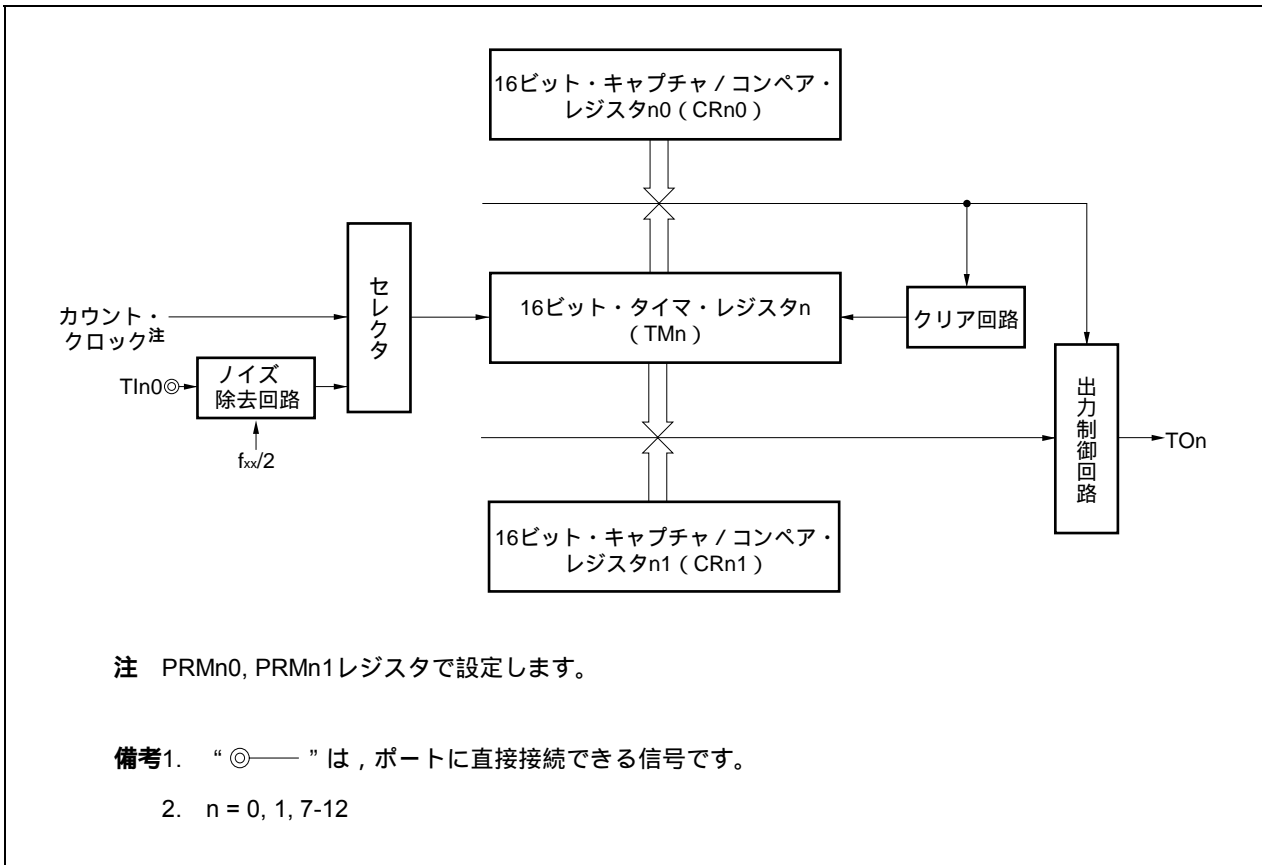
備考 $n = 0, 1, 7-12$

図8 - 5 PPG出力動作時の制御レジスタ設定内容



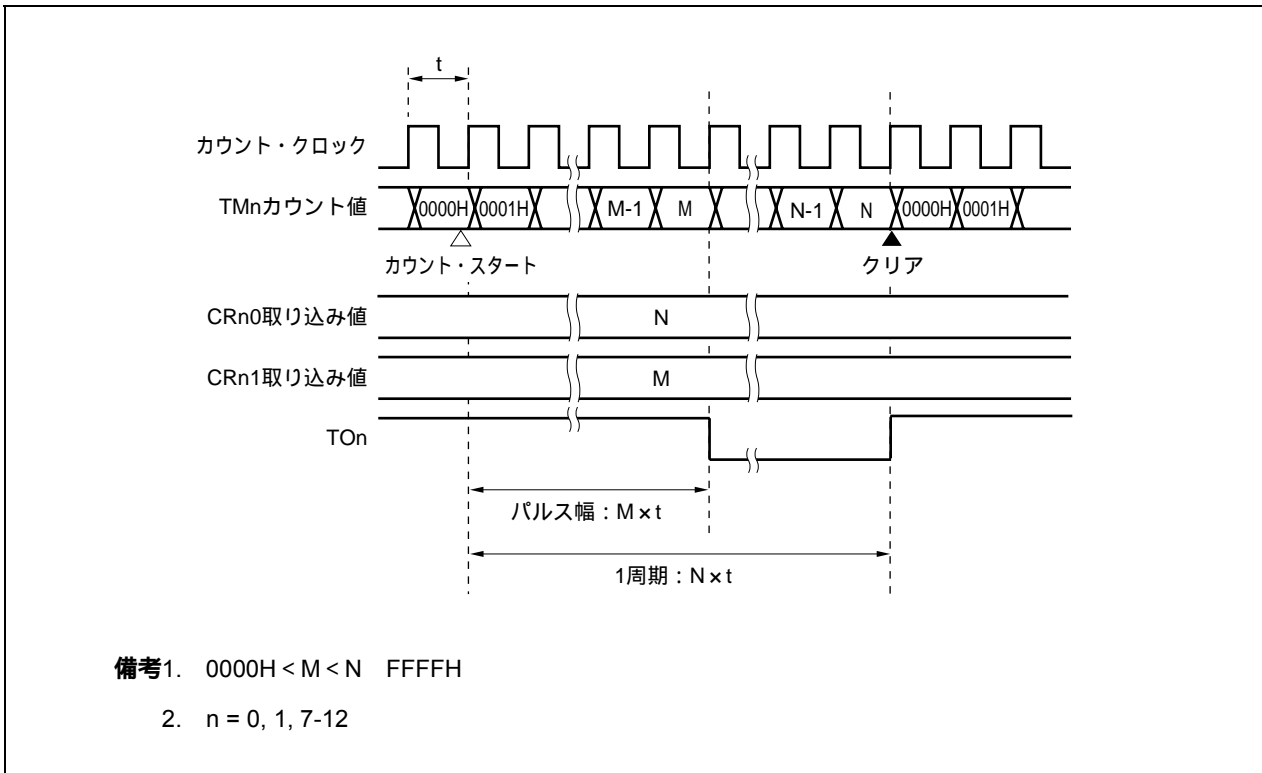
★

図8-6 PPG出力の構成図



★

図8-7 PPG出力動作のタイミング



8.2.3 パルス幅測定としての動作

16ビット・タイマ・レジスタ (TMn) を使用し, TIn0端子およびTin1端子に入力される信号のパルス幅を測定できます。

測定方法には, TMnをフリー・ランニングさせて測定する方法と, TIn0端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

(1) フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

16ビット・タイマ・レジスタn (TMn) をフリー・ランニングで動作させているとき (図8-8参照), TIn0端子にプリスケアラ・モード・レジスタn0 (PRMn0) で指定したエッジが入力されると, TMnの値を16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) に取り込み, 外部割り込み要求信号 (INTTMn1) をセットします。

エッジ指定は, プリスケアラ・モード・レジスタn0 (PRMn0) のビット6, 7 (ESn10, ESn11) で行い, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

有効エッジの検出は, プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

図8-8 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容

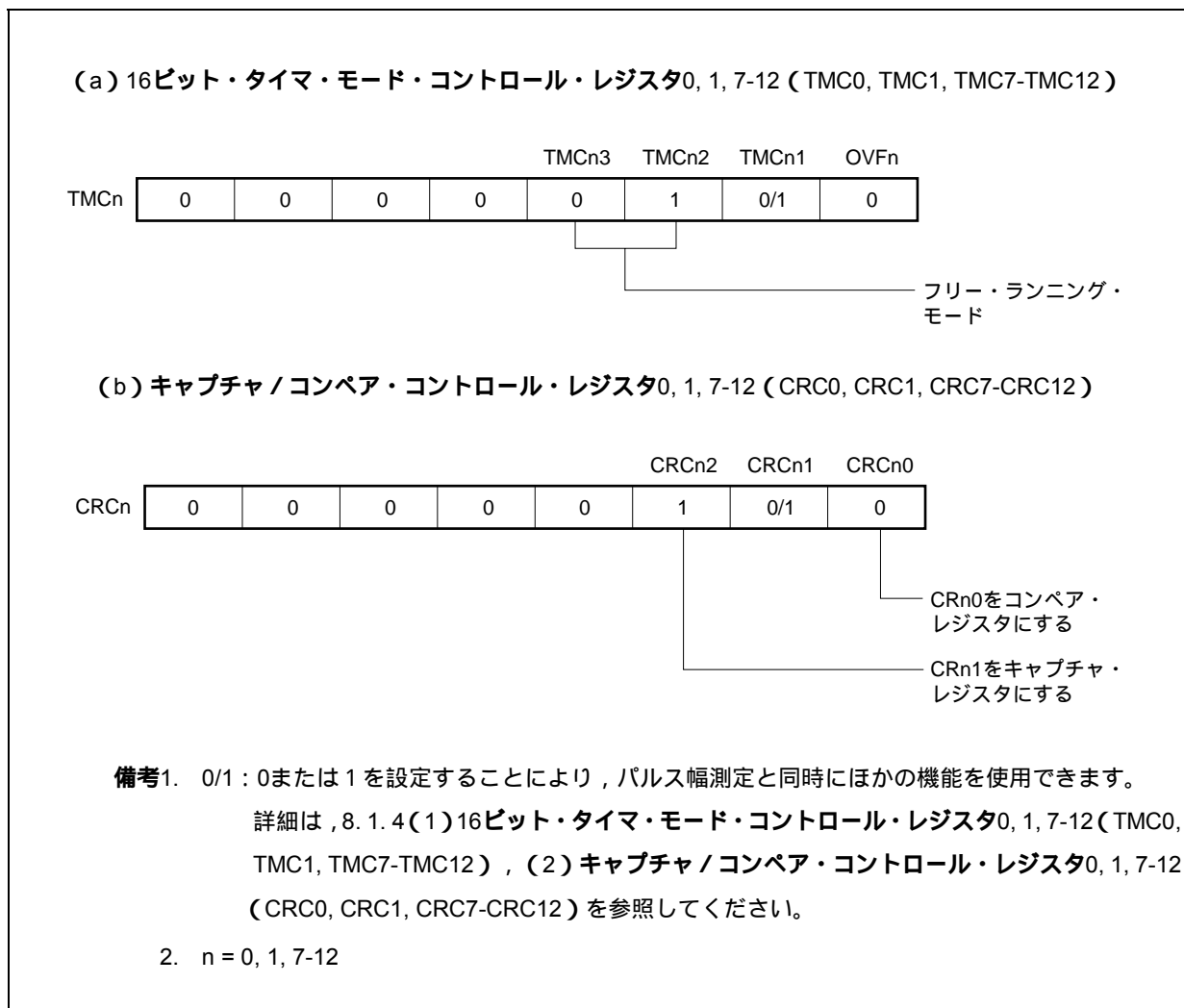


図8 - 9 フリー・ランニング・カウンタによるパルス幅測定の構成図

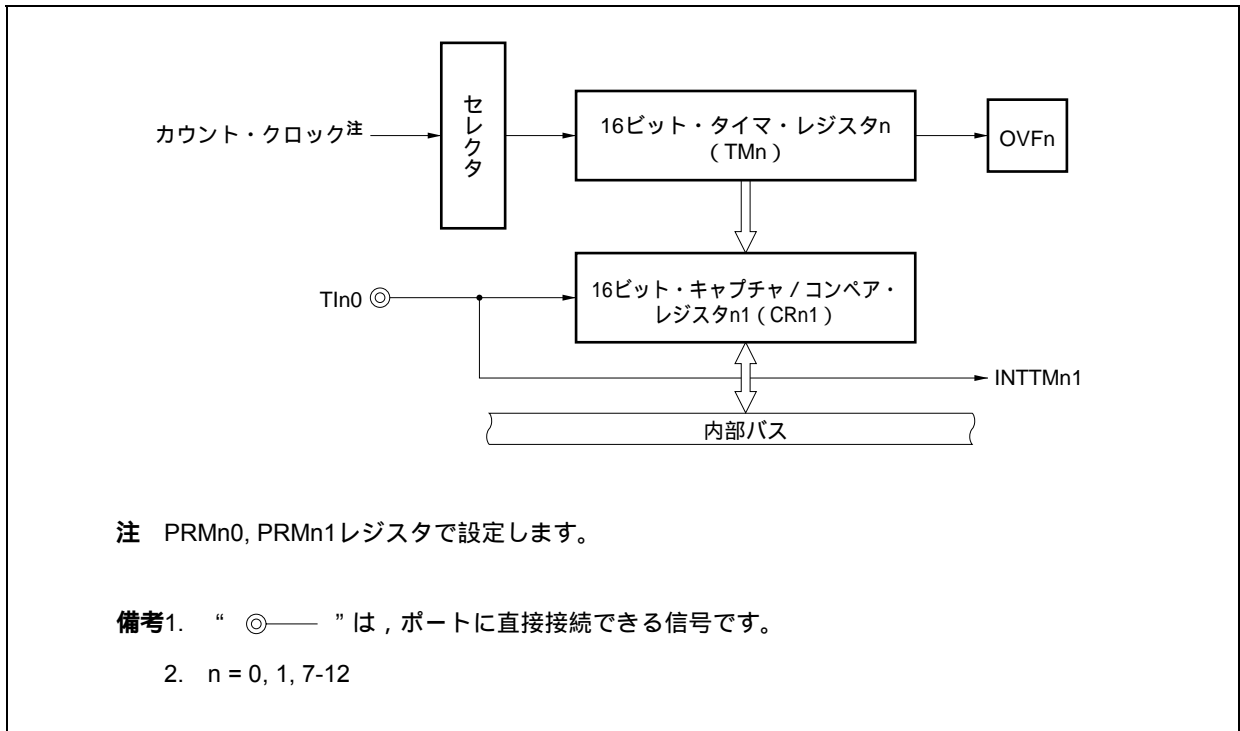
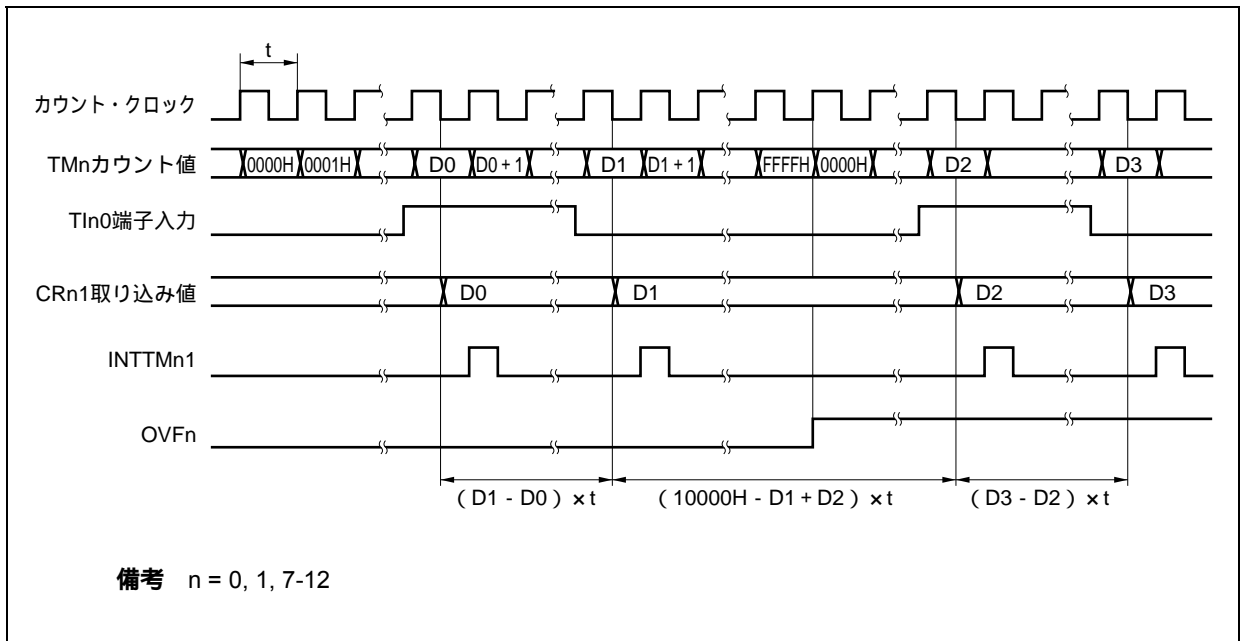


図8 - 10 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



(2) フリー・ランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・レジスタn (TMn) をフリー・ランニングで動作させているとき (図8 - 11参照) , TIn0端子およびTIn1端子に入力される2つの信号のパルス幅を同時に測定できます。

TIn0端子にプリスケアラ・モード・レジスタn0 (PRMn0) のビット4, 5 (ESn00, ESn01) で指定したエッジが入力されると, TMnの値を16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) に取り込み, 外部割り込み要求信号 (INTTMn1) をセットします。

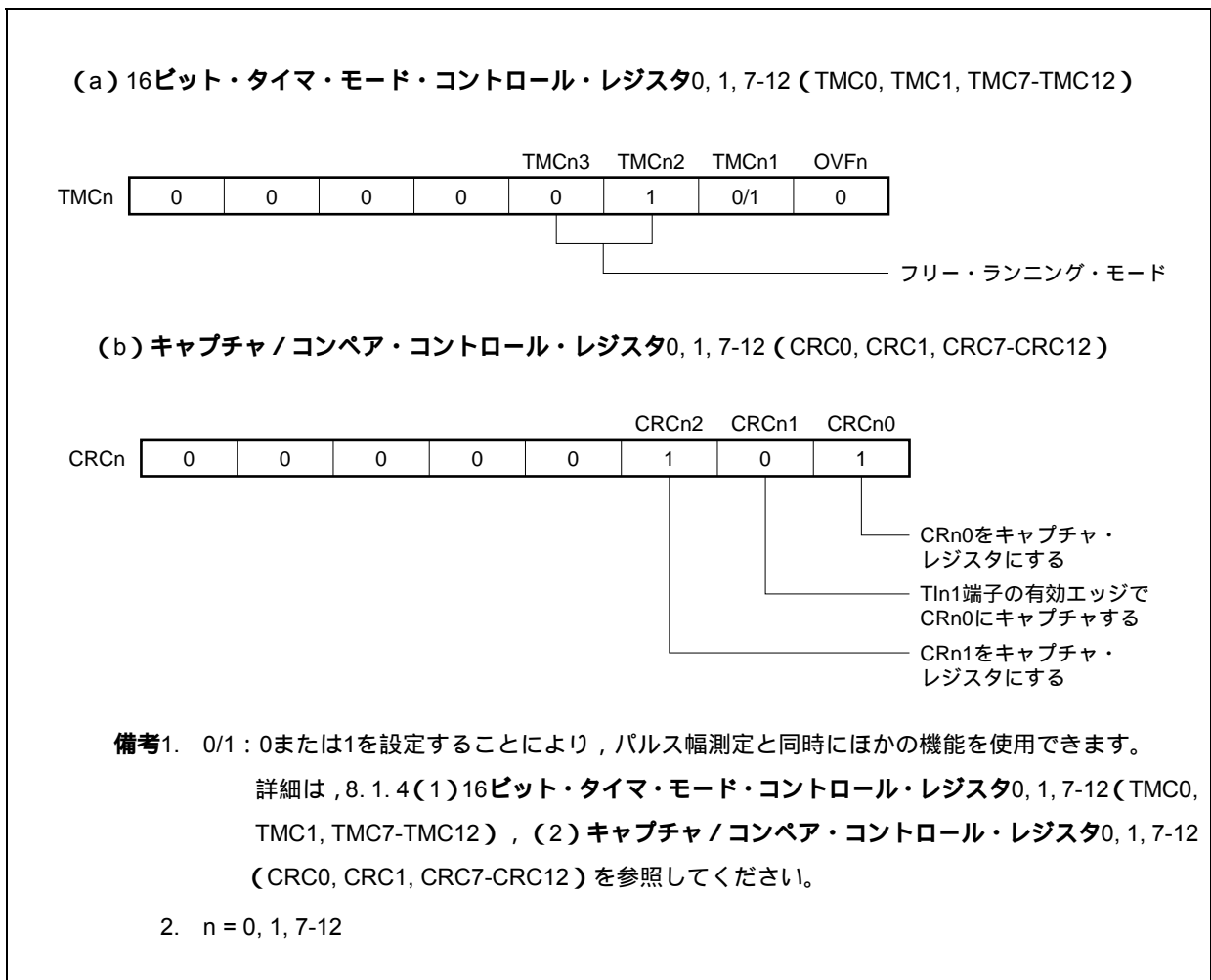
また, TIn1端子にPRMn0のビット6, 7 (ESn10, ESn11) で指定したエッジが入力されると, TMnの値を16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) に取り込み, 外部割り込み要求信号 (INTTMn0) をセットします。

TIn0端子とTIn1端子のエッジ指定は, PRMn0のビット4, 5 (ESn00, ESn01) およびビット6, 7 (ESn10, ESn11) でそれぞれ行い, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

TIn0端子の有効エッジの検出は, プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

備考 n = 0, 1, 7-12

図8 - 11 フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容



・キャプチャ動作について (フリー・ランニング・モード)

キャプチャ・トリガが入力されたときのキャプチャ・レジスタの動作を示します。

図8 - 12 立ち上がりエッジ指定時のCRn1キャプチャ動作

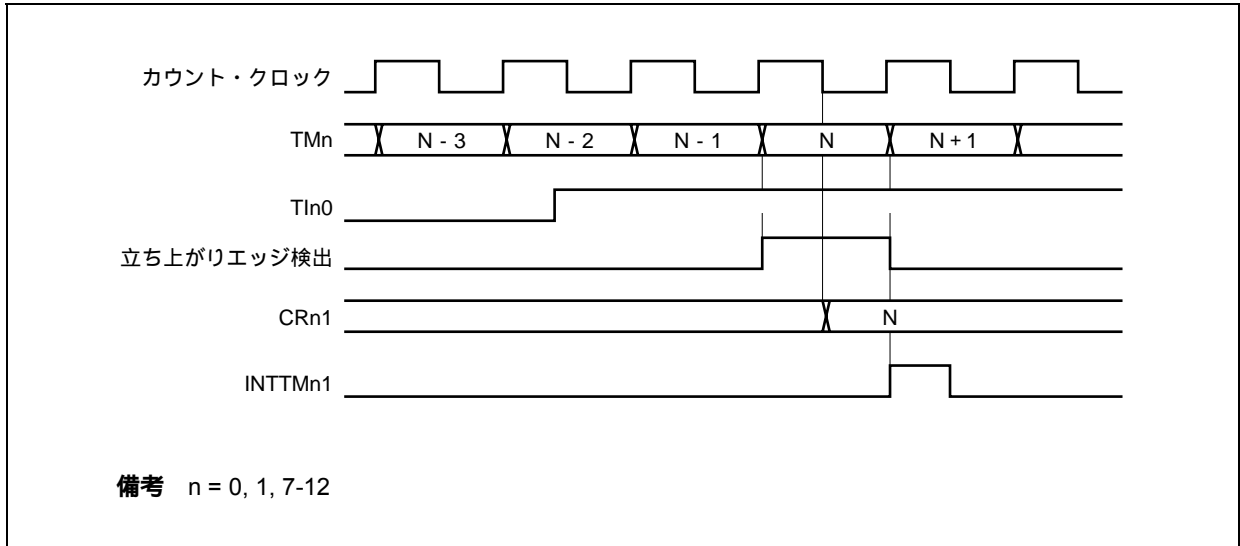
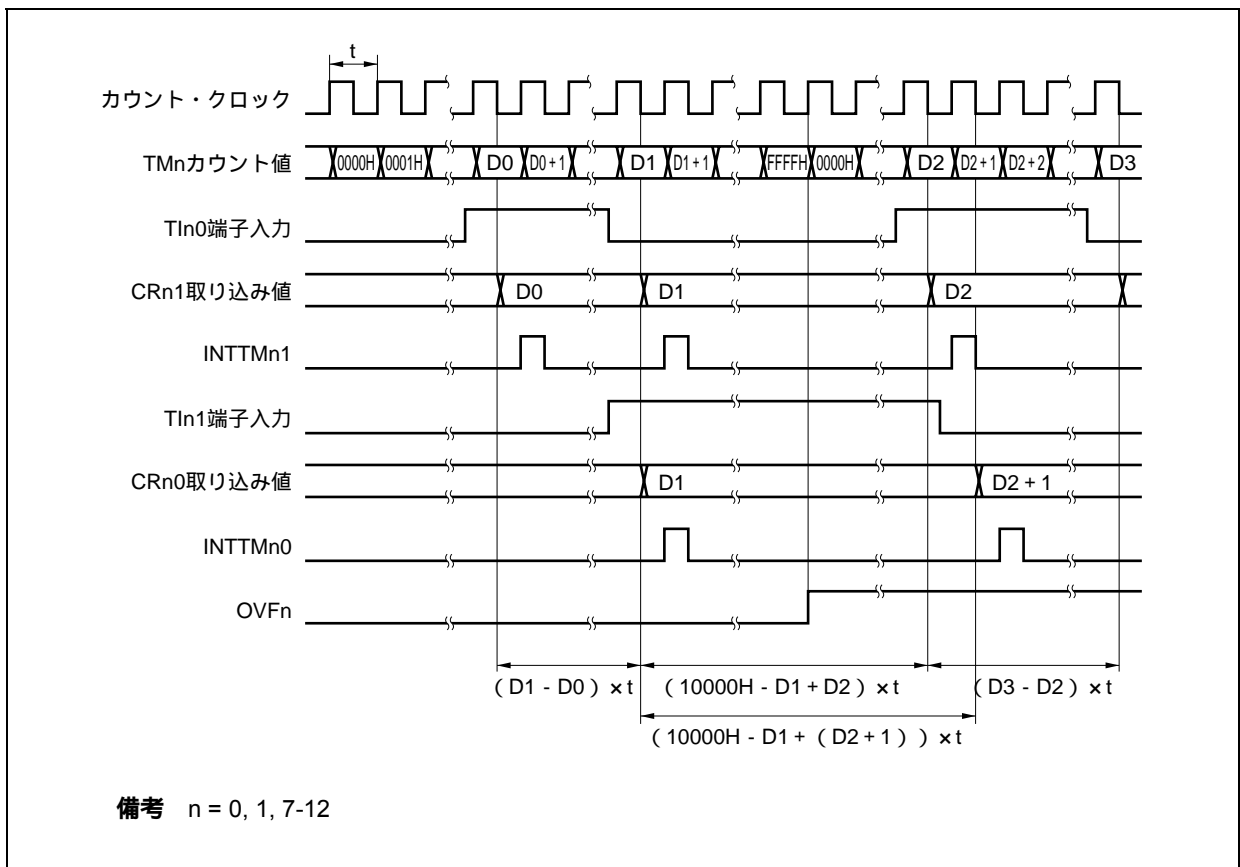


図8 - 13 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時)



(3) フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・レジスタn (TMn) をフリー・ランニングで動作させているとき (図8 - 14参照) , TIn0端子に入力する信号のパルス幅を測定できます。

TIn0端子にプリスケアラ・モード・レジスタn0 (PRMn0) のビット4, 5 (ESn00, ESn01) で指定したエッジが入力されると, TMnの値を16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) に取り込み, 外部割り込み要求信号 (INTTMn1) をセットします。

また, CRn1へのキャプチャ動作と逆のエッジ入力で, TMnの値を16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) に取り込みます。

TIn0端子のエッジ指定は, プリスケアラ・モード・レジスタn0 (PRMn0) のビット4, 5 (ESn00, ESn01) で行い, 立ち上がりエッジまたは立ち下がりエッジの選択ができます。

TIn0端子の有効エッジの検出は, プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

注意 TIn0端子の有効エッジを, 立ち上がり, 立ち下がりの両エッジに指定した場合, キャプチャ/コンペア・レジスタn0 (CRn0) はキャプチャ動作を行いません。

備考 n = 0, 1, 7-12

図8 - 14 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容

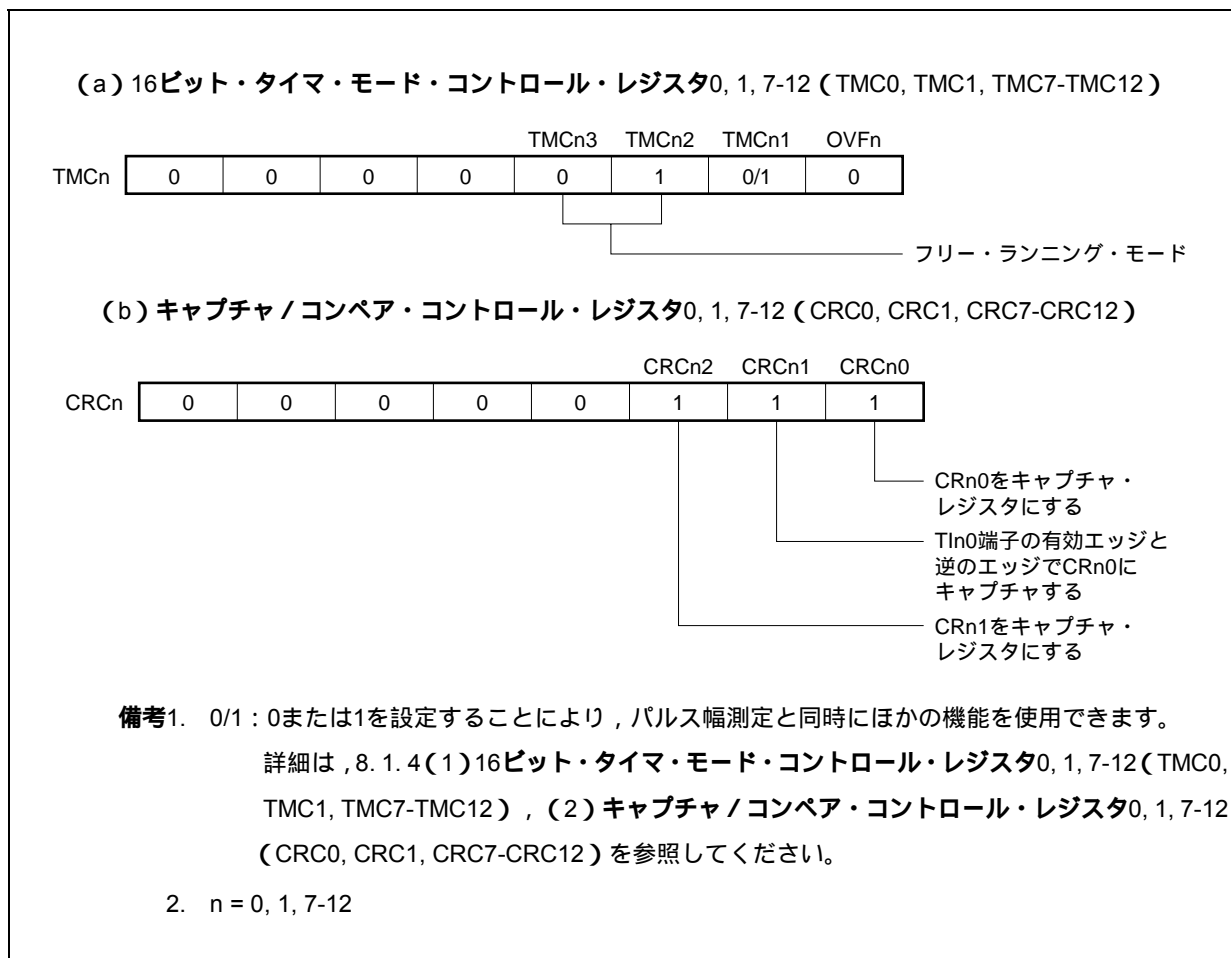
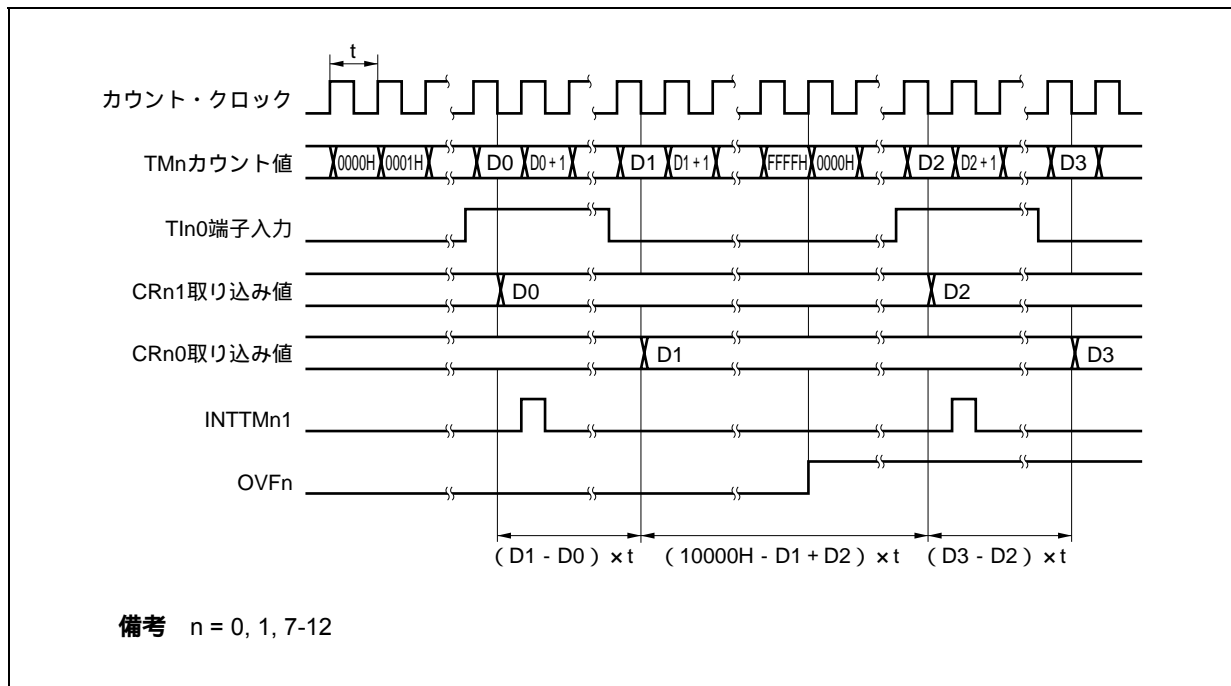


図8 - 15 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング
(立ち上がりエッジ指定時)



(4) リスタートによるパルス幅測定

TIn0端子への有効エッジを検出したとき、16ビット・タイマ・レジスタn (TMn) のカウント値を16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) に取り込んだあと、TMnをクリアしてカウントを再開することにより、TIn0端子に入力された信号のパルス幅を測定します (図8 - 17参照)。

エッジ指定は、プリスケラ・モード・レジスタn0 (PRMn0) のビット4, 5 (ESn00, ESn01) により、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

有効エッジの検出は、プリスケラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロック周期でサンプリングを行い、2回有効レベルを検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

注意 TIn0端子の有効エッジを、立ち上がり、立ち下がりの両エッジに指定した場合、キャプチャ/コンペア・レジスタn0 (CRn0) はキャプチャ動作を行えません。

備考 n = 0, 1, 7-12

図8 - 16 リスタートによるパルス幅測定時の制御レジスタ設定内容

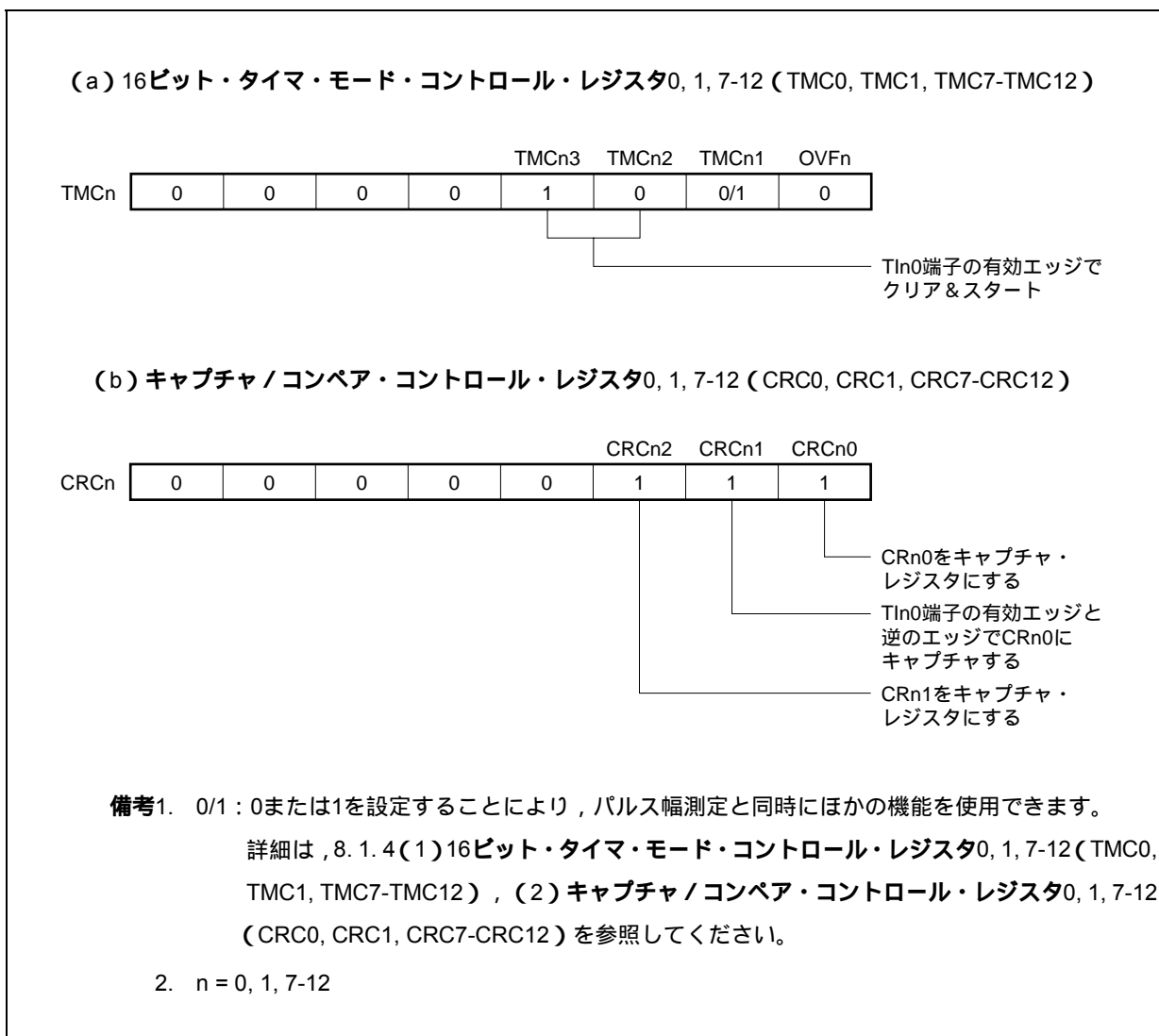
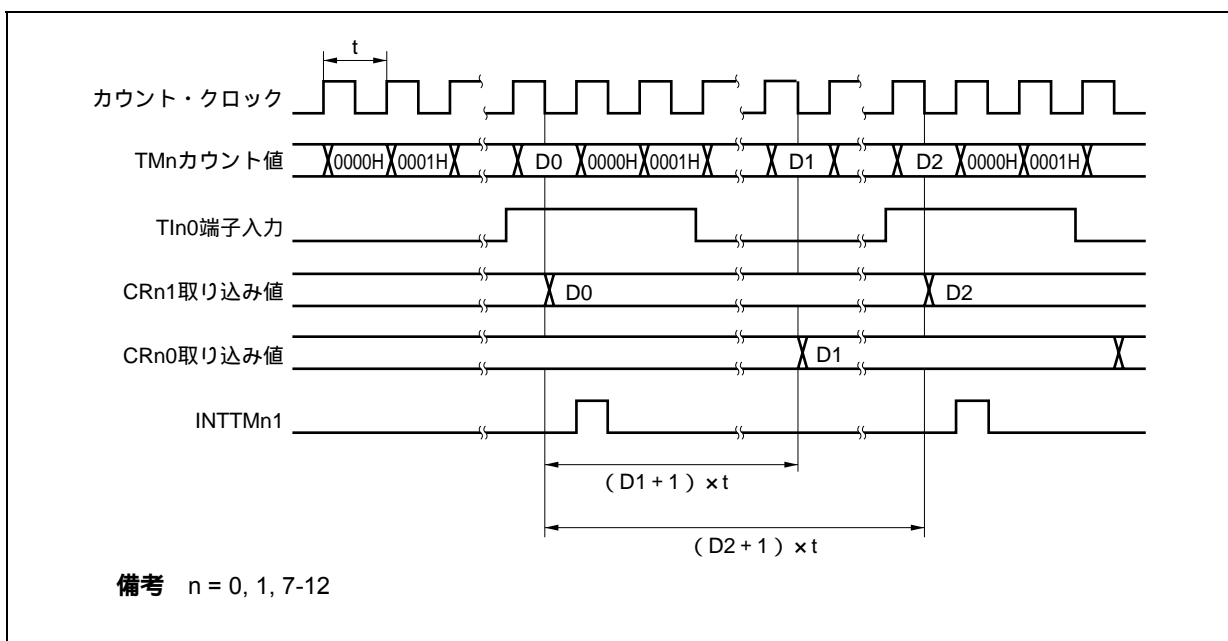


図8 - 17 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時)



8.2.4 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TIn0端子に入力される外部からのクロック・パルス数を16ビット・タイマ・レジスタn (TMn) でカウントするものです。

プリスケアラ・モード・レジスタn0 (PRMn0) で指定した有効エッジが入力されるたびに、TMnがインクリメントされます。

TMnの計数値が16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) の値と一致すると、TMnは0にクリアされ、割り込み要求信号 (INTTMn0) が発生します。

エッジ指定は、プリスケアラ・モード・レジスタn0 (PRMn0) のビット4, 5 (ESn00, ESn01) により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

有効エッジの検出は、f_{xx}/2のクロック周期でサンプリングを行い、2回有効レベルを検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

備考 n = 0, 1, 7-12

図8 - 18 外部イベント・カウンタ・モード時の制御レジスタ設定内容

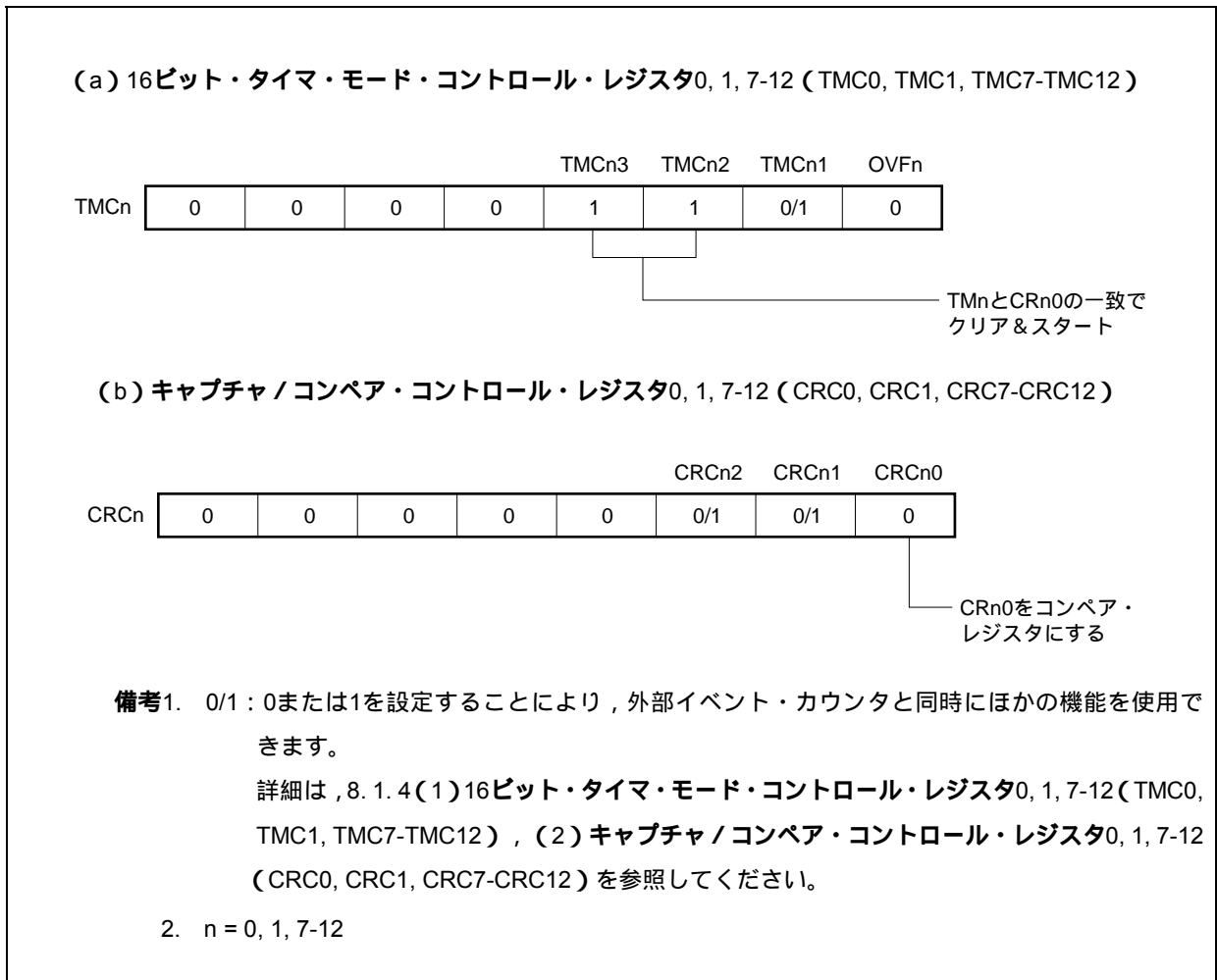


図8 - 19 外部イベント・カウンタの構成図

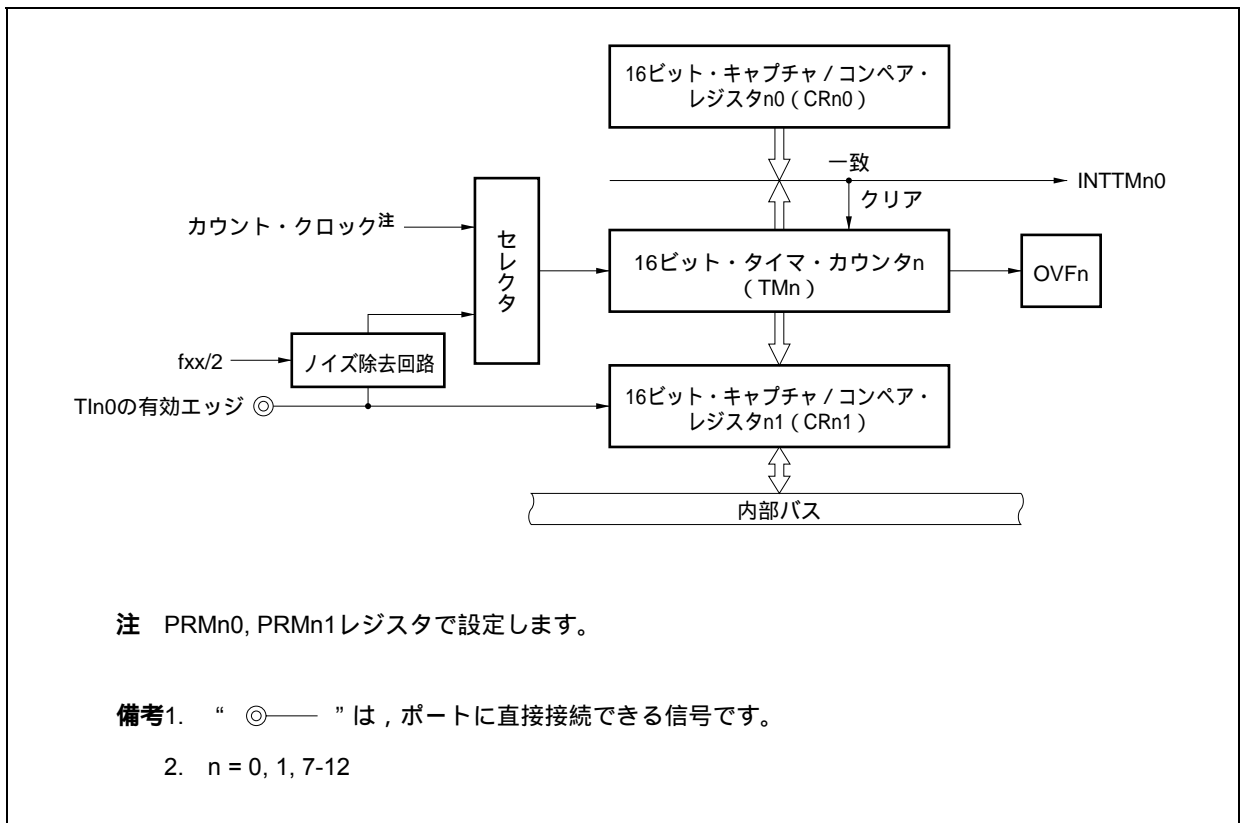
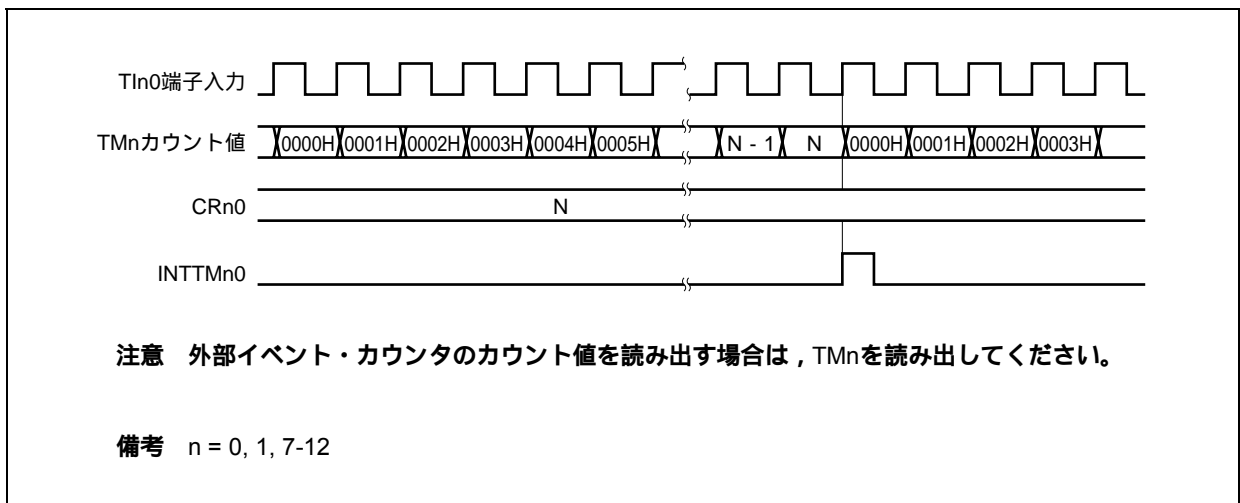


図8 - 20 外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）



8.2.5 方形波出力としての動作

16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) にあらかじめ設定したカウント値をインターバルとする、任意の周波数の方形波出力です。

16ビット・タイマ出力コントロール・レジスタn (TOCn) のビット0 (TOEn) とビット1 (TOCn1) に1を設定することにより、CRn1にあらかじめ設定したカウント値をインターバルとしてTON端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

備考 n = 0, 1, 7-12

図8 - 21 方形波出力モード時の制御レジスタ設定内容

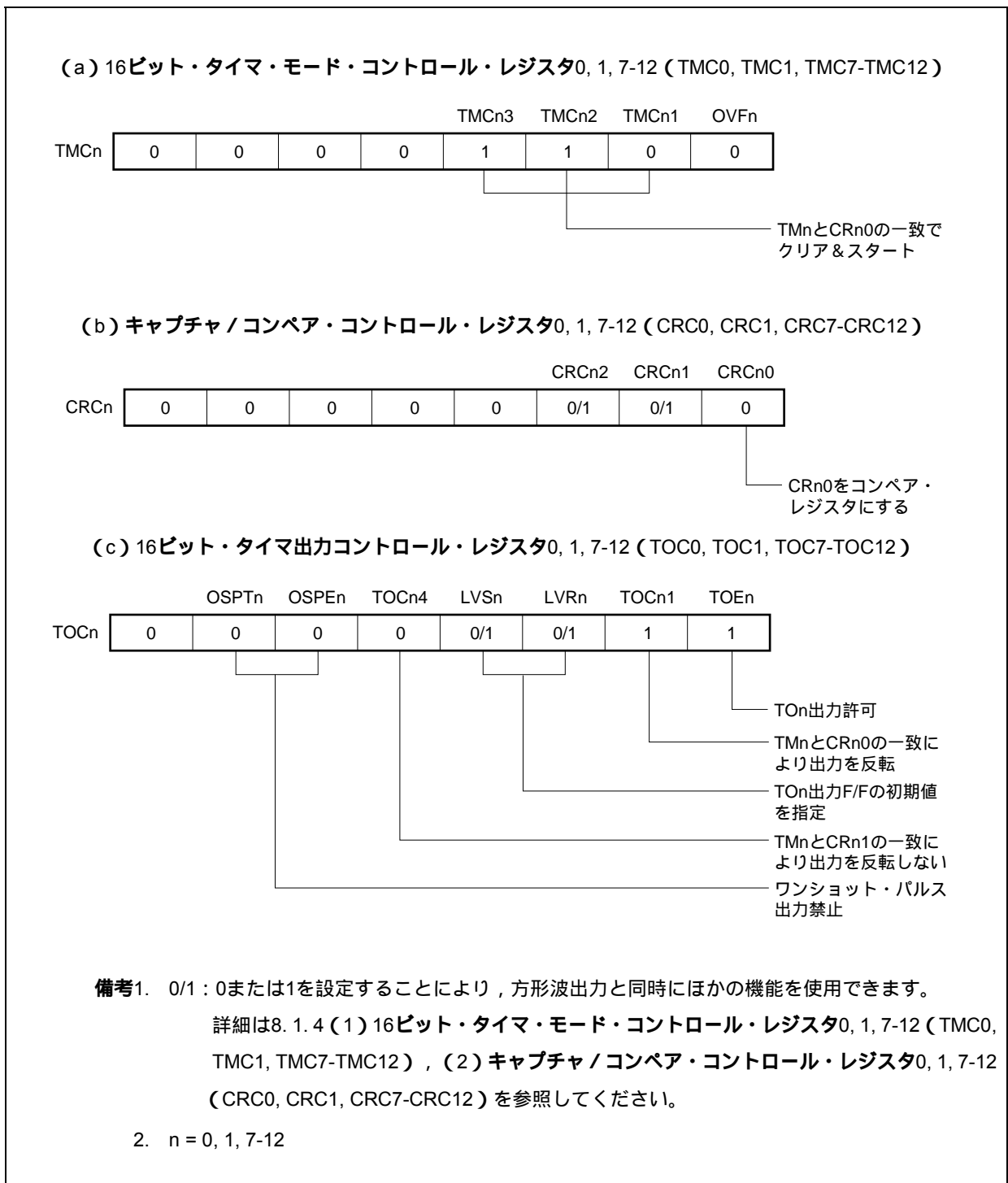
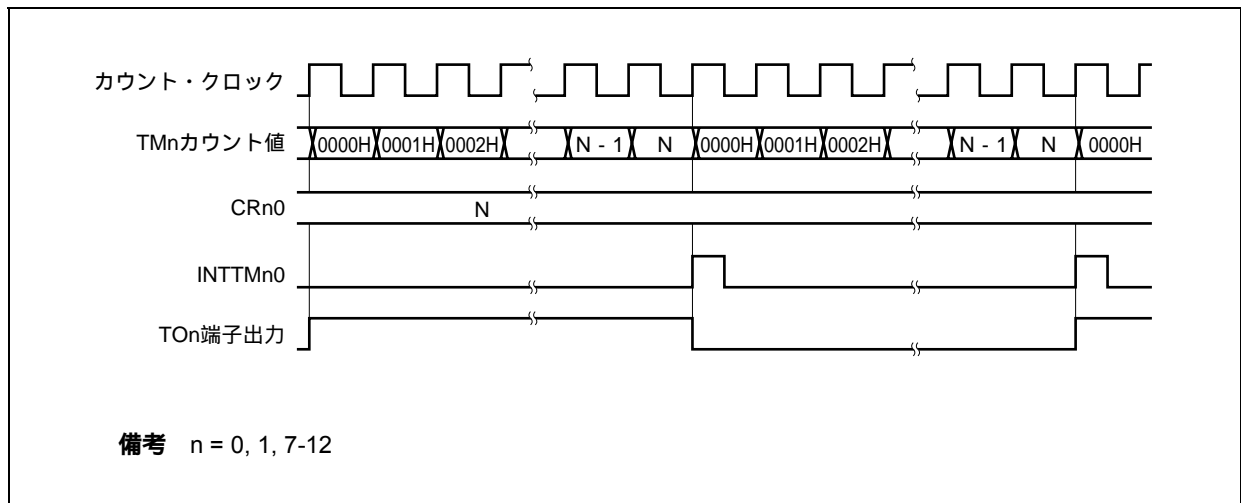


図8 - 22 方形波出力動作のタイミング



8.2.6 ワンショット・パルス出力としての動作

ソフトウェア・トリガおよび外部トリガ (TIn0端子入力) に同期したワンショット・パルスを出力できます。

(1) ソフトウェア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタn (TMCn) , キャプチャ/コンペア・コントロール・レジスタn (CRCn) および16ビット・タイマ出力コントロール・レジスタn (TOCn) を図8 - 23のように設定し, ソフトウェアでTOCnのビット6 (OSPn) を1にセットすることにより, ワンショット・パルスをTOn端子から出力します。

OSPnを1にセットすることにより, 16ビット・タイマ/イベント・カウンタがクリア&スタートし, 16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) にあらかじめ設定したカウント値 (N) で出力がアクティブになります。その後, 16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) にあらかじめ設定したカウント値 (M) で出力がインアクティブとなります^注。

ワンショット・パルス出力後も, TMnは動作を継続しています。TMnを停止させるためには, TMCnに00Hを設定する必要があります。

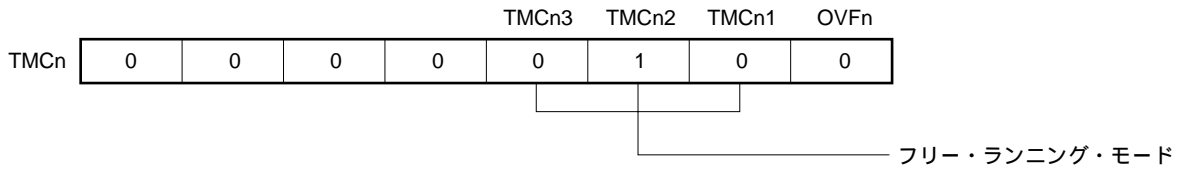
注 ここではN < Mの場合の例です。N > MのときはCRn0で出力がアクティブになり, CRn1でインアクティブとなります。

注意 ワンショット・パルスを出力しているときは, OSPnを1にセットしないでください。再度ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで行ってください。

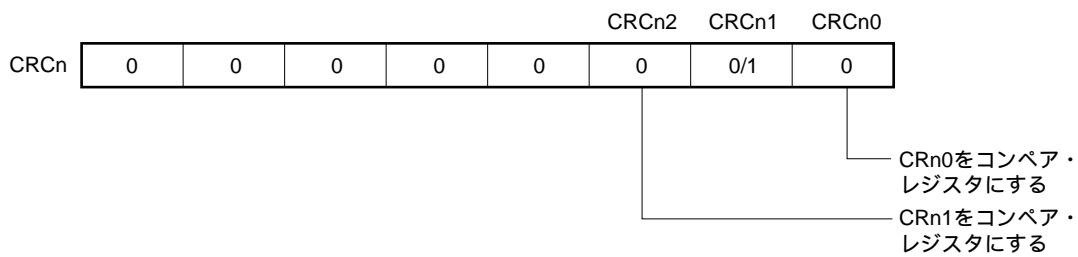
備考 n = 0, 1, 7-12

図8 - 23 ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

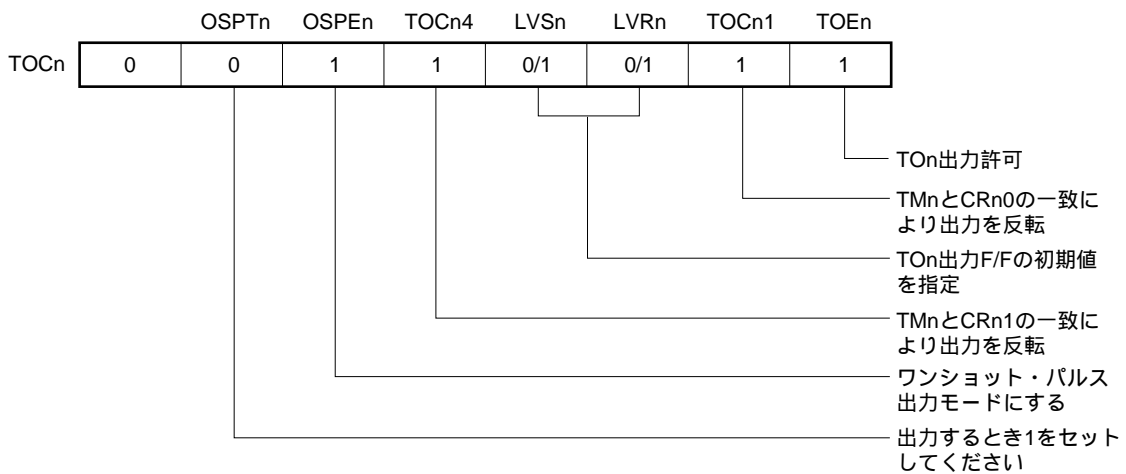
(a) 16ビット・タイマ・モード・コントロール・レジスタ0, 1, 7-12 (TMC0, TMC1, TMC7-TMC12)



(b) キャプチャ/コンペア・コントロール・レジスタ0, 1, 7-12 (CRC0, CRC1, CRC7-CRC12)



(c) 16ビット・タイマ出力コントロール・レジスタ0, 1, 7-12 (TOC0, TOC1, TOC7-TOC12)



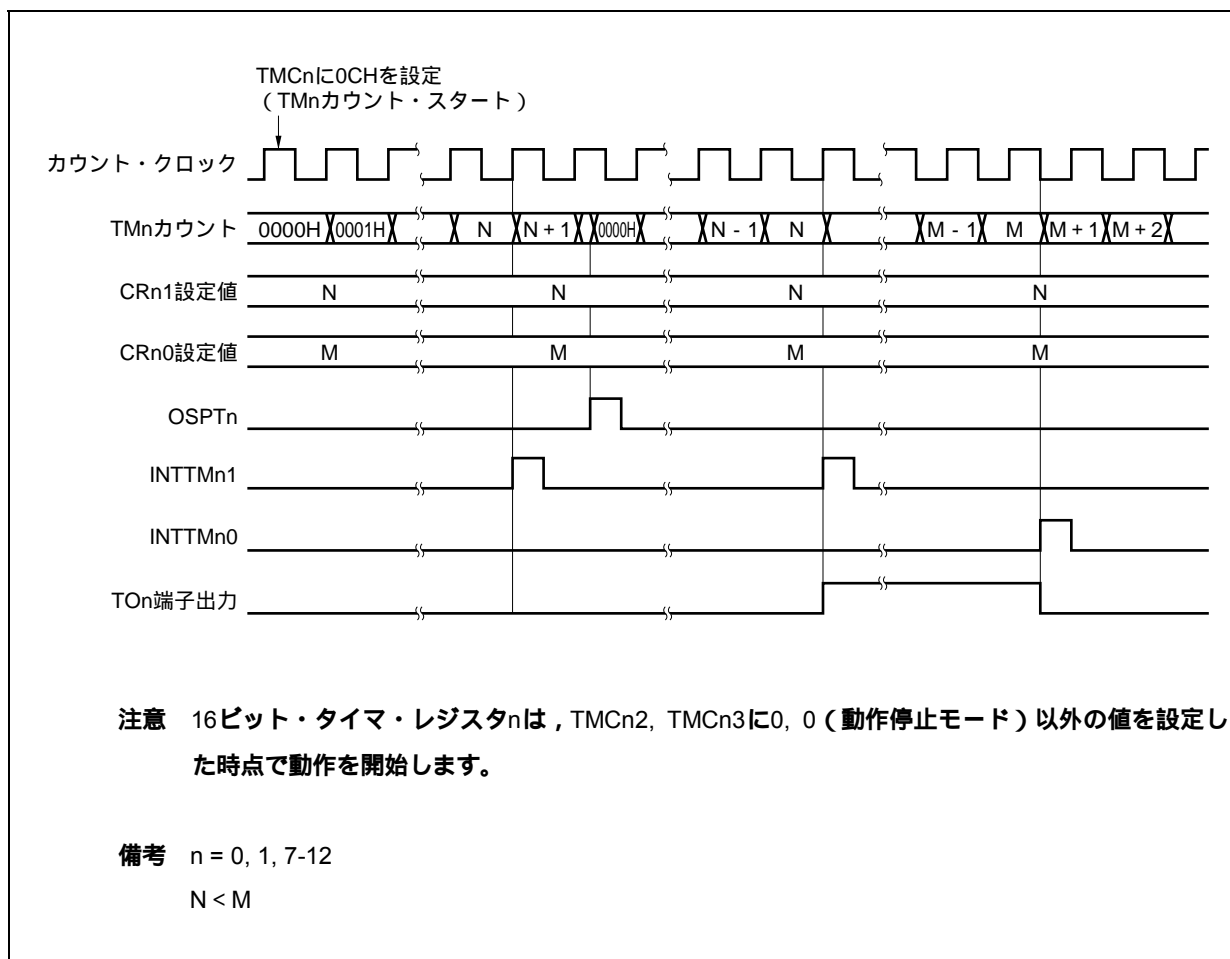
注意 CRn0とCRn1に0000Hを設定しないでください。

備考1. 0/1 : 0または1を設定することにより、ワンショット・パルス出力と同時にほかの機能を使用できます。

詳細は、8.1.4(1)16ビット・タイマ・モード・コントロール・レジスタ0, 1, 7-12 (TMC0, TMC1, TMC7-TMC12)、(2)キャプチャ/コンペア・コントロール・レジスタ0, 1, 7-12 (CRC0, CRC1, CRC7-CRC12)を参照してください。

2. n = 0, 1, 7-12

図8 - 24 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング



(2) 外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタn (TMCn) , キャプチャ/コンペア・コントロール・レジスタn (CRCn) および16ビット・タイマ出力コントロール・レジスタn (TOCn) を図8 - 25のように設定し、Tin0端子の有効エッジを外部トリガとしてワンショット・パルスをTOn端子から出力します。

Tin0端子の有効エッジ指定は、プリスケラ・モード・レジスタn0 (PRMn0) のビット4,5 (ESn00, ESn01) で行い、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

Tin0端子への有効エッジで16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) にあらかじめ設定したカウント値 (N) で出力がアクティブになります。その後、16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) にあらかじめ設定したカウント値 (M) で出力がインアクティブとなります^注。

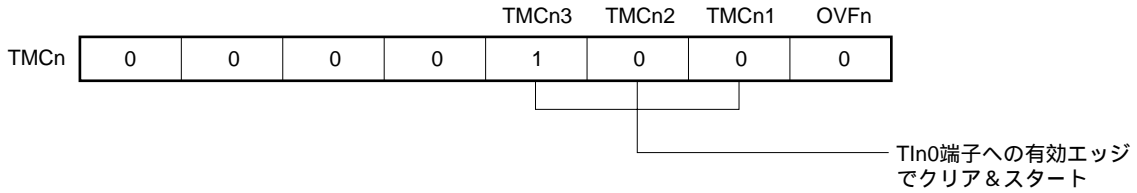
注 ここではN < Mの場合の例です。N > MのときはCRn0で出力がアクティブになり、CRn1でインアクティブとなります。

★ **注意** ワンショット・パルスを出力しているときに、外部トリガが発生すると、16ビット・タイマ/イベント・カウンタがクリア&スタートし、再度、ワンショット・パルスを出力します。

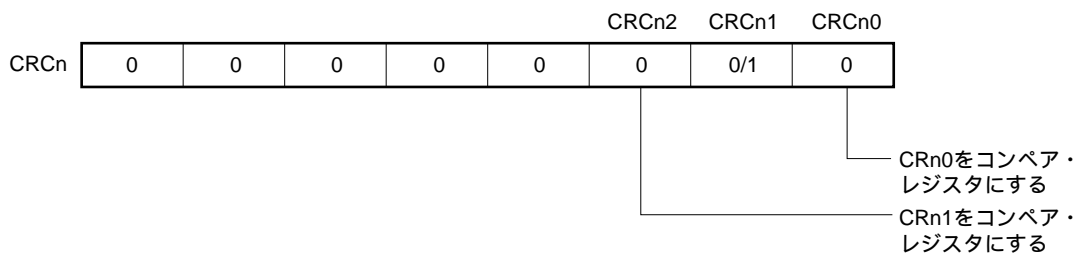
備考 n = 0, 1, 7-12

図8 - 25 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

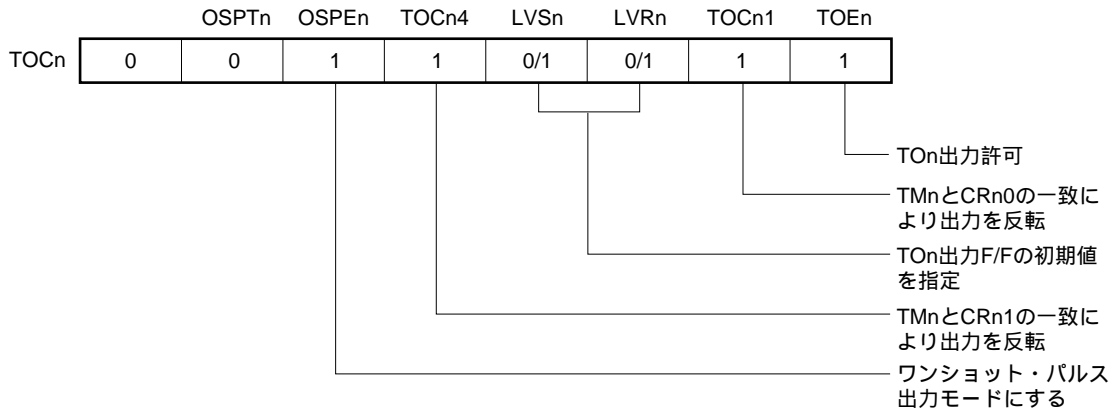
(a) 16ビット・タイマ・モード・コントロール・レジスタ0, 1, 7-12 (TMC0, TMC1, TMC7-TMC12)



(b) キャプチャ/コンペア・コントロール・レジスタ0, 1, 7-12 (CRC0, CRC1, CRC7-CRC12)



(c) 16ビット・タイマ出力コントロール・レジスタ0, 1, 7-12 (TOC0, TOC1, TOC7-TOC12)



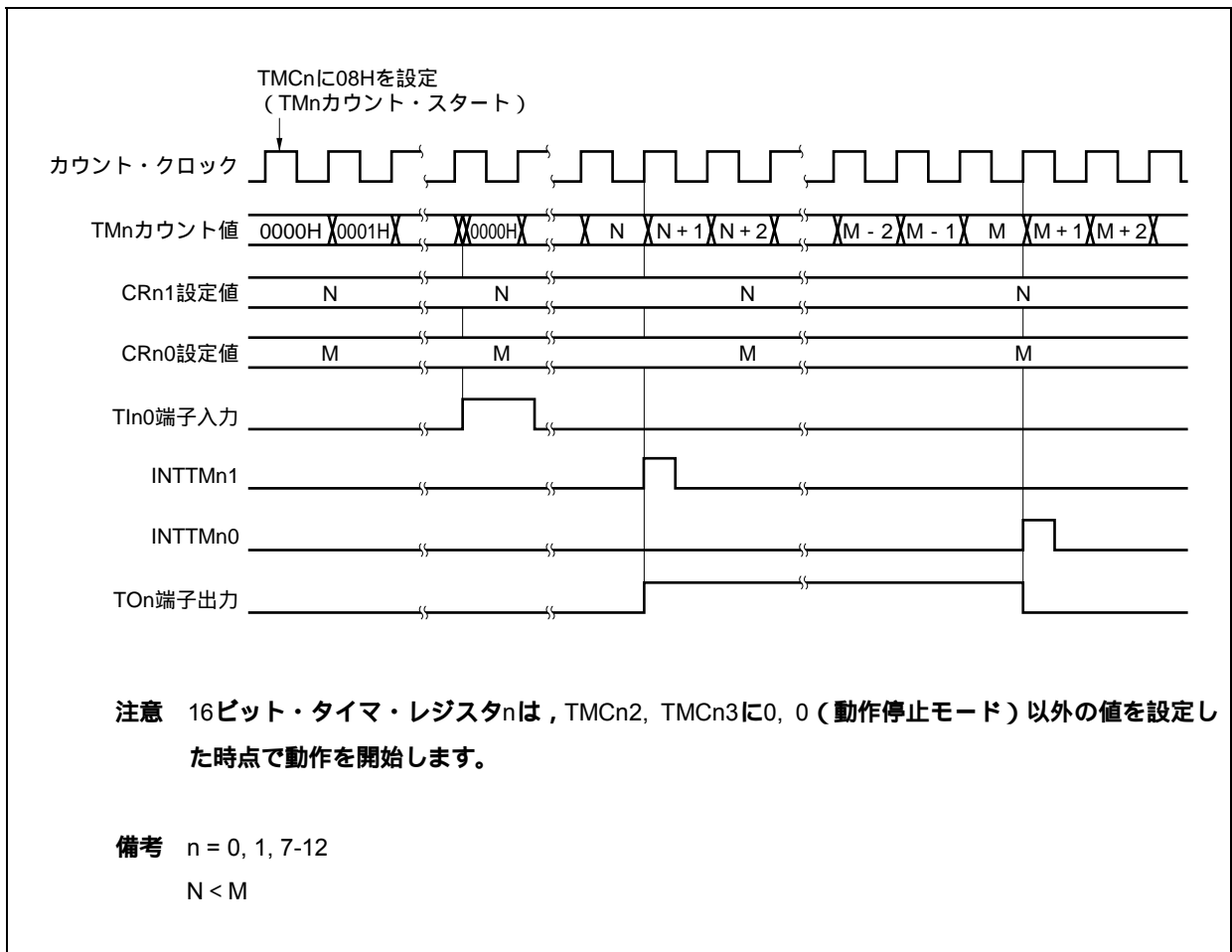
注意 CRn0とCRn1に0000Hを設定しないでください。

備考1. 0/1 : 0または1を設定することにより, ワンショット・パルス出力と同時にほかの機能を使用できます。

詳細は, 8. 1. 4(1)16ビット・タイマ・モード・コントロール・レジスタ0, 1, 7-12(TMC0, TMC1, TMC7-TMC12), (2)キャプチャ/コンペア・コントロール・レジスタ0, 1, 7-12(CRC0, CRC1, CRC7-CRC12)を参照してください。

2. n = 0, 1, 7-12

図8 - 26 外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時)

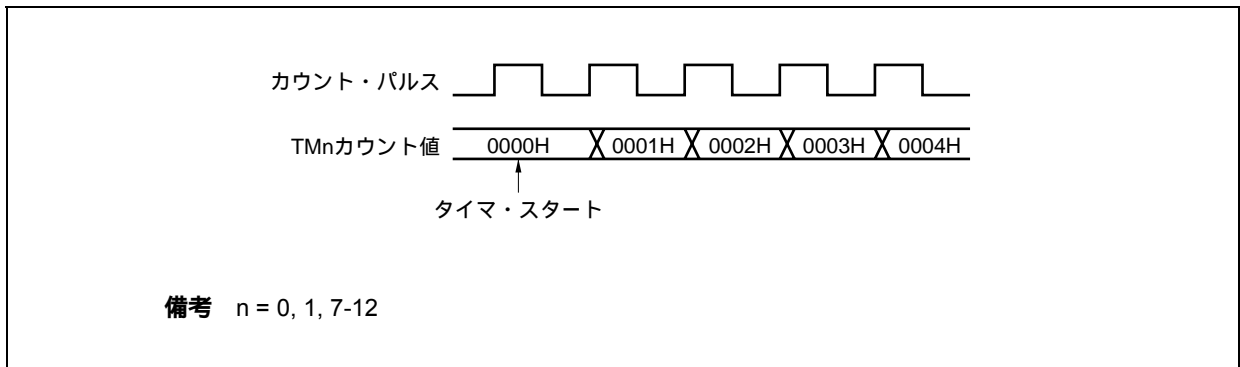


8.2.7 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対して16ビット・タイマ・レジスタn (TMn) のスタートが非同期で行われるためです。

図8 - 27 16ビット・タイマ・レジスタnのスタート・タイミング



(2) 16ビット・キャプチャ/コンペア・レジスタの設定 (TMnとCRn0の一致でクリア&スタート・モードの場合)

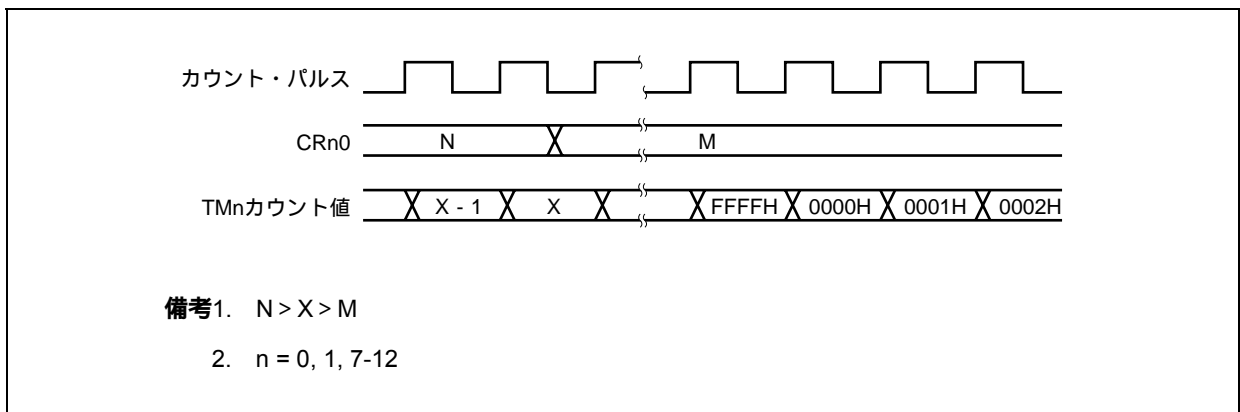
16ビット・キャプチャ/コンペア・レジスタn0, n1 (CRn0, CRn1) には、0000H以外の値を設定してください (イベント・カウンタとして使用する場合、1パルスのカウント動作はできません)。

(3) タイマ・カウント動作中のコンペア・レジスタの設定

16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) の変更後の値が、16ビット・タイマ・レジスタn (TMn) の値よりも小さいとき、TMnはカウントを継続し、オーバフローして0から再カウントします。

したがって、CRn0変更後の値 (M) が、変更前の値 (N) より小さいときは、CRn0を変更したあと、タイマをリセットし再スタートさせる必要があります。

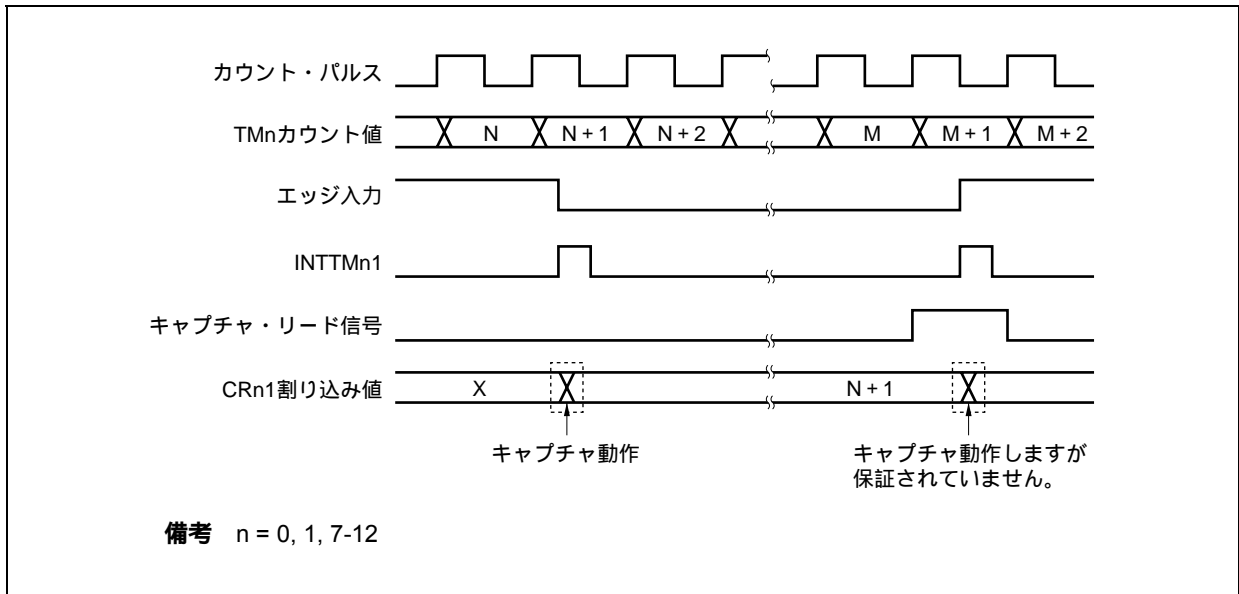
図8 - 28 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



(4) キャプチャ・レジスタのデータ保持タイミング

16ビット・キャプチャ/コンペア・レジスタ n (CR n 1) の読み出し中にTIn0端子の有効エッジが入力したとき、CR n 1はキャプチャ動作を行います。このときのキャプチャ値は保証されません。ただし、有効エッジの検出による割り込み要求信号 (INTTM n 1) はセットされます。

図8 - 29 キャプチャ・レジスタのデータ保持タイミング



(5) 有効エッジの設定

TIn0端子の有効エッジの設定は、16ビット・タイマ・モード・コントロール・レジスタ n のビット2, 3 (TMC n 2, TMC n 3) に0, 0を設定し、タイマ動作を停止させたあとに行ってください。有効エッジの設定は、プリスケラ・モード・レジスタ n (PRM n 0) のビット4, 5 (ES n 00, ES n 01) で行います。

備考 n = 0, 1, 7-12

(6) ワンショット・パルスの再トリガ

(a) ソフトウェアによるワンショット・パルス出力

ワンショット・パルスを出力しているときは、OSPT n を1にセットしないでください。再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとに行ってください。

(b) 外部トリガによるワンショット・パルス出力

ワンショット・パルスを出力しているときに、外部トリガが発生すると、16ビット・タイマ/イベント・カウンタがクリア&スタートし、再度、ワンショット・パルスを出力します。

(c) ワンショット・パルス出力機能について

タイマ0, 1, 7-12のワンショット・パルス出力をソフトウェア・トリガで使用する場合、TIn0端子または、その兼用ポート端子のレベルを変化させないでください。

この場合でも、外部トリガは有効となっているので、TIn0端子または、その兼用ポート端子のレベ

ルでもタイマがクリア&スタートしてしまい、意図しないタイミングでパルスが出力されてしまいます。

備考 n = 0, 1, 7-12

(7) OVF_nフラグの動作

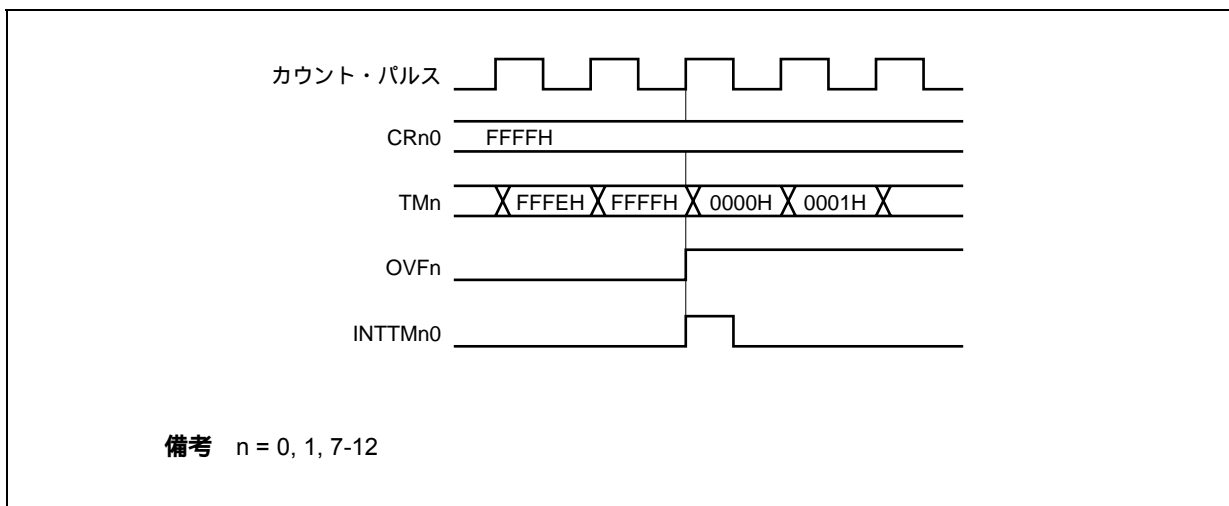
(a) OVF_nフラグのセット

OVF_nフラグは、TM_nレジスタがオーバーフローしたとき以外に、次のときにも“1”に設定されます。
TM_nとCR_n0の一致でクリア&スタートするモードを選択

CR_n0をFFFFHに設定

TM_nがCR_n0との一致によりFFFFHから0000Hにクリアされるとき

図8 - 30 OVF_nフラグの動作タイミング



(b) OVF_nフラグのクリア

TM_nがオーバーフロー後、次のカウント・クロックがカウントされる (TM_nが0001Hになる) 前にOVF_nフラグをクリアしても、再度セットされクリアは無効となります。

備考 n = 0, 1, 7-12

(8) 競合動作

(a) リード期間とキャプチャ・トリガ入力の競合した場合

16ビット・キャプチャ/コンペア・レジスタ_{n0, n1} (CR_{n0}, CR_{n1}) をキャプチャ・レジスタとして使用しているとき、リード期間とキャプチャ・トリガ入力が競合した場合は、キャプチャ・トリガ入力が優先されます。CR_{n0}, CR_{n1}のリード・データは不定となります。

(b) ライト期間とTMnとの一致タイミングが競合した場合

16ビット・キャプチャ/コンペア・レジスタ n_0, n_1 (CR n_0, n_1) をコンペア・レジスタとして使用しているとき、ライト期間と16ビット・タイマ・レジスタ n (TM n) との一致タイミングが競合した場合は、一致判別は正常に行われません。一致タイミング付近でCR n_0, n_1 のライト動作は行わないでください。

備考 $n = 0, 1, 7-12$

(9) タイマ動作**(a) CR n_1 のキャプチャ**

16ビット・タイマ・レジスタ n (TM n) をリードしても、16ビット・キャプチャ/コンペア・レジスタ n_1 (CR n_1) にはキャプチャしません。

(b) TIn0, TIn1端子の受け付け

CPUの動作モードに関係なくタイマが停止していると、TIn0, TIn1端子への入力信号は受け付けられません。

(c) ワンショット・パルス出力

ワンショット・パルス出力は、フリーランニング・モードまたはTIn0端子の有効エッジでクリア&スタート・モードでのみ正常に動作します。TM n とCR n_0 の一致でクリア&スタート・モードでは、オーバフローしないため、ワンショット・パルス出力ができません。

備考 $n = 0, 1, 7-12$

(10) キャプチャ動作**(a) カウント・クロックにTIn0の有効エッジを指定した場合**

カウント・クロックにTIn0の有効エッジを指定した場合、TIn0をトリガに指定したキャプチャ・レジスタは正常に動作しません。

(b) TIn0の有効エッジに立ち上がり、立ち下がり両エッジを選択した場合

TIn0の有効エッジに立ち上がり、立ち下がり両エッジを選択した場合、キャプチャ動作は行いません。

(c) TIn1, TIn0からの信号を確実にキャプチャ動作する場合

キャプチャ・トリガは、TIn1, TIn0からの信号を確実にキャプチャ動作するために、プリスケアラ・モード・レジスタ n_0, n_1 (PRM n_0, n_1) で選択したカウント・クロックの2回分より長いパルスが必要とします。

(d) 割り込み要求入力

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求入力 (INTTMn0, INTTMn1) は次のカウント・クロックの立ち上がりで発生します。

備考 n = 0, 1, 7-12

(11) コンペア動作**(a) タイマ動作中にCRn0, CRn1を書き換えたとき**

タイマ動作中に16ビット・タイマ・キャプチャ/コンペア・レジスタn0, n1 (CRn0, CRn1) を書き換えたとき、その値がタイマ値に近く、かつタイマ値より大きい場合、一致割り込み要求の発生やクリア動作が正常に行われない可能性があります。

(b) CRn0, CRn1をコンペア・モードに設定したとき

コンペア・モードに設定したCRn0, CRn1は、キャプチャ・トリガが入力されていてもキャプチャ動作を行いません。

備考 n = 0, 1, 7-12

(12) エッジ検出**(a) システム・リセット直後にTIn0端子またはTIn1端子がハイ・レベルの場合**

システム・リセット直後にTIn0端子またはTIn1端子がハイ・レベルの場合、TIn0端子またはTIn1端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ/カウンタn (TMn) の動作を許可すると、その直後に立ち上がりエッジを検出します。TIn0端子またはTIn1端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止したあとの再動作許可時には、立ち上がり/立ち下がりエッジは検出されません。

(b) ノイズ除去のためのサンプリング・クロック

TIn0の有効エッジをカウント・クロックで使用する場合と、キャプチャ・トリガとして使用する場合で、ノイズ除去のためのサンプリング・クロックが異なります。前者は $f_{xx}/2$ で、後者はプリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロックでサンプリングします。有効エッジの検出は、有効エッジをサンプリングして2回有効レベルを検出すると、はじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。

備考 n = 0, 1, 7-12

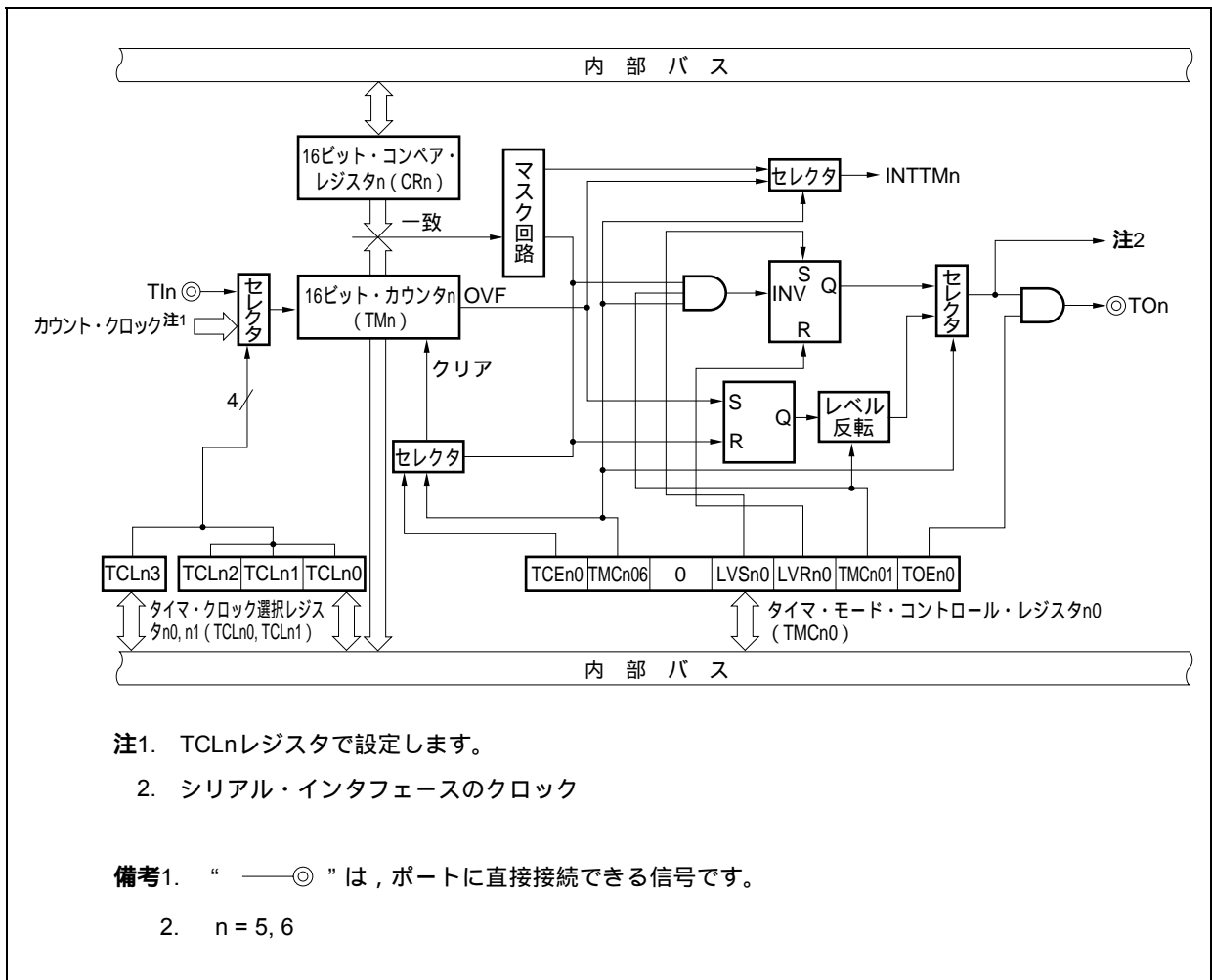
8.3 16ビット・タイマ (TM5, TM6)

8.3.1 機能

TM5, TM6には、次のような機能があります。

- ・ 16ビット分解能のPWM出力
- ・ 16ビット分解能のインターバル・タイマ
- ・ 16ビット分解能の外部イベント・カウンタ
- ・ 16ビット分解能の方形波出力

図8 - 31 TM5, TM6のブロック図



8.3.2 構成

タイマ n は、次のハードウェアで構成されています。

表8 - 5 タイマ5, 6の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ5, 6 (TM5, TM6)
レジスタ	16ビット・コンペア・レジスタ5, 6 (CR5, CR6)
タイマ出力	TO5, TO6
制御レジスタ	タイマ・クロック選択レジスタ50, 51, 60, 61 (TCL50, TCL51, TCL60, TCL61) 8ビット・タイマ・モード・コントロール・レジスタ50, 60 (TMC50, TMC60)

(1) 16ビット・カウンタ5, 6 (TM5, TM6)

TM n は、カウント・パルスをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は0000Hになります。

RESET入力

TCE n をクリア

TM n とCR n の一致でクリア&スタート・モード時のTM n とCR n 0の一致

備考 $n = 5, 6$

(2) 16ビット・コンペア・レジスタ5, 6 (CR5, CR6)

CR n に設定した値と、16ビット・カウンタ n (TM n) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM n) が発生します (PWMモード以外) 。

備考 $n = 5, 6$

8.3.3 タイマ n 制御レジスタ

タイマ n を制御するレジスタには、次の2種類があります。

- ・タイマ・クロック選択レジスタ $n0, n1$ (TCL $n0, TCLn1$)
- ・16ビット・タイマ・モード・コントロール・レジスタ n (TMC n)

(1) タイマ・クロック選択レジスタ $50, 51, 60, 61$ (TCL $50, TCL51, TCL60, TCL61$)

タイマ n のカウンタ・クロックを設定するレジスタです。

TCL $n0, TCLn1$ は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF33EH

	7	6	5	4	3	2	1	0	
TCL51	0	0	0	0	0	0	0	0	TCL503

リセット時：00H R/W アドレス：FFFFFF334H

	7	6	5	4	3	2	1	0	
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500	

TCL503	TCL502	TCL501	TCL500	カウント・クロックの選択			
				クロック	f _{xx}		
					20 MHz	18.87 MHz	16 MHz
0	0	0	0	TI5の立ち下がりエッジ	-	-	-
0	0	0	1	TI5の立ち上がりエッジ	-	-	-
0	0	1	0	f _{xx} /2	100 ns	105 ns	125 ns
0	0	1	1	f _{xx} /4	200 ns	212 ns	250 ns
0	1	0	0	f _{xx} /8	400 ns	424 ns	500 ns
0	1	0	1	f _{xx} /16	800 ns	848 ns	1 μs
0	1	1	0	f _{xx} /64	3.2 μs	3.4 μs	4 μs
0	1	1	1	f _{XT} (サブクロック)	30.5 μs	30.5 μs	30.5 μs
1	0	0	0	設定禁止	-	-	-
1	0	0	1	設定禁止	-	-	-
1	0	1	0	f _{xx} /32	1.6 μs	1.7 μs	2 μs
1	0	1	1	f _{xx} /128	6.4 μs	6.8 μs	8 μs
1	1	0	0	設定禁止	-	-	-
1	1	0	1	設定禁止	-	-	-
1	1	1	0	設定禁止	-	-	-
1	1	1	1	設定禁止	-	-	-

注意1. TCL50, TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。

2. TCL50のビット3-7, TCL51のビット1-7には必ず“0”を設定してください。

リセット時：00H R/W アドレス：FFFFFF28EH

	7	6	5	4	3	2	1	0	
TCL61	0	0	0	0	0	0	0	0	TCL603

リセット時：00H R/W アドレス：FFFFFF284H

	7	6	5	4	3	2	1	0	
TCL60	0	0	0	0	0	TCL602	TCL601	TCL600	

TCL603	TCL602	TCL601	TCL600	カウント・クロックの選択			
				クロック	fxx		
					20 MHz	18.87 MHz	16 MHz
0	0	0	0	TI6の立ち下がりエッジ	-	-	-
0	0	0	1	TI6の立ち上がりエッジ	-	-	-
0	0	1	0	fxx/2	100 ns	105 ns	125 ns
0	0	1	1	fxx/4	200 ns	212 ns	250 ns
0	1	0	0	fxx/8	400 ns	424 ns	500 ns
0	1	0	1	fxx/16	800 ns	848 ns	1 μs
0	1	1	0	fxx/64	3.2 μs	3.4 μs	4 μs
0	1	1	1	fxx/256	12.8 μs	13.6 μs	16 μs
1	0	0	0	設定禁止	-	-	-
1	0	0	1	設定禁止	-	-	-
1	0	1	0	fxx/32	1.6 μs	1.7 μs	2 μs
1	0	1	1	fxx/128	6.4 μs	6.8 μs	8 μs
1	1	0	0	設定禁止	-	-	-
1	1	0	1	設定禁止	-	-	-
1	1	1	0	設定禁止	-	-	-
1	1	1	1	TM0オーバフロー信号	-	-	-

注意1. TCL60, TCL61を同一データ以外に書き換える場合は, いったんタイマ動作を停止させてから行ってください。

2. TCL60のビット3-7, TCL61のビット1-7には必ず“0”を設定してください。

(2) 16ビット・タイマ・モード・コントロール・レジスタ50, 60 (TMC50, TMC60)

TMCn0は、次の5種類の設定を行うレジスタです。

16ビット・カウンタn (TMn) のカウント動作制御

16ビット・カウンタn (TMn) の動作モードの選択

タイマ出力F/F (フリップフロップ) の状態設定

タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択

タイマ出力の制御

TMCn0は、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により04Hになります (ハードウェアの状態は04Hに初期化されますが、リードすると00Hが読み出されます)。

備考 n = 5, 6

リセット時：04H R/W アドレス：TMC50 FFFFF336H TMC60 FFFFF286H

	⑦	6	5	4	③	②	1	①
TMCn0 (n = 5, 6)	TCEn0	TMCn06	0	0	LVSn0	LVRn0	TMCn01	TOEn0
	TCEn0	TMnのカウンタ動作制御						
	0	カウンタを0にクリア後、カウンタ動作禁止（プリスケアラ禁止）						
	1	カウンタ動作開始						
	TMCn06	TMnの動作モード選択						
	0	TMnとCRnの一致でクリア&スタート・モード						
	1	PWM（フリー・ランニング）モード						
	LVSn0	LVRn0	タイマ出力F/Fの状態設定					
	0	0	変化しない					
	0	1	タイマ出力F/Fをリセット（0）					
	1	0	タイマ出力F/Fをセット（1）					
	1	1	設定禁止					
	TMCn01	PWM（フリー・ランニング） モード以外（TMCn06 = 0）			PWM（フリー・ランニング） モード（TMCn06 = 1）			
		タイマF/Fの制御			アクティブ・レベルの選択			
	0	反転動作禁止			ハイ・アクティブ			
	1	反転動作許可			ロウ・アクティブ			
	TOEn0	タイマ出力の制御						
	0	出力禁止（ポート・モード）						
	1	出力許可						

- 注意1.** タイマ出力端子（TOn）として使用する場合は、ポートの値を“0”（ポート・モード出力）にしてください。タイマ出力値の論理和（OR）が出力されます。
- 2.** TOn端子とTin端子は兼用しているため、どちらか一方の機能しか使用できません。

- 備考1.** PWMモード時は、TCEn0 = 0により、PWM出力はインアクティブ・レベルになります。
- 2.** データ設定後にLVSn0, LVRn0を読み出すと、0が読み出せます。

8.4 16ビット・タイマ (TM5, TM6) の動作

8.4.1 インターバル・タイマとしての動作

16ビット・コンペア・レジスタn (CRn) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

16ビット・カウンタn (TMn) のカウント値がCRnに設定した値と一致したとき、TMnの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTMn) が発生します。

タイマ・クロック選択レジスタn0 (TCLn0) のビット0-2 (TCLn0-TCLn2) とタイマ・クロック選択レジスタn1 (TCLn1) のビット0 (TCLn3) でTMnのカウント・クロックを選択できます (n = 2-6)。

設定方法

各レジスタの設定を行います。

- ・ TCLn0, TCLn1 : カウント・クロックの選択
- ・ CRn : コンペア値
- ・ TMCn0 : TMnとCRnの一致でクリア & スタート・モードを選択
(TMCn0 = 0000xxx0B x = don't care)

TCEn0 = 1を設定すると、カウント動作を開始します。

TMnとCRnの値が一致すると、INTTMnが発生します (TMnは0000Hにクリアされます)。

以後、同一間隔でINTTMnが繰り返し発生します。カウント動作を停止するときは、TCEn0 = 0にしてください。

図8 - 32 インターバル・タイマ動作のタイミング (1/2)

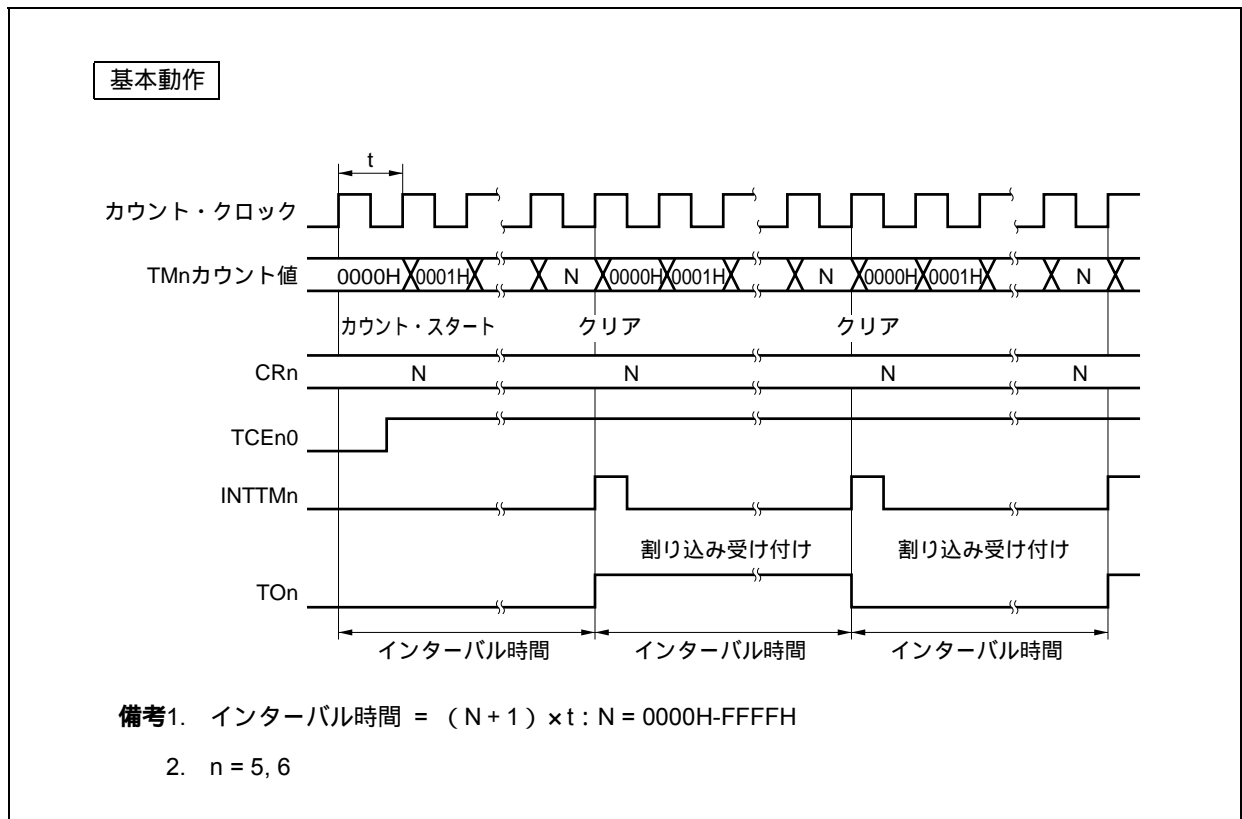
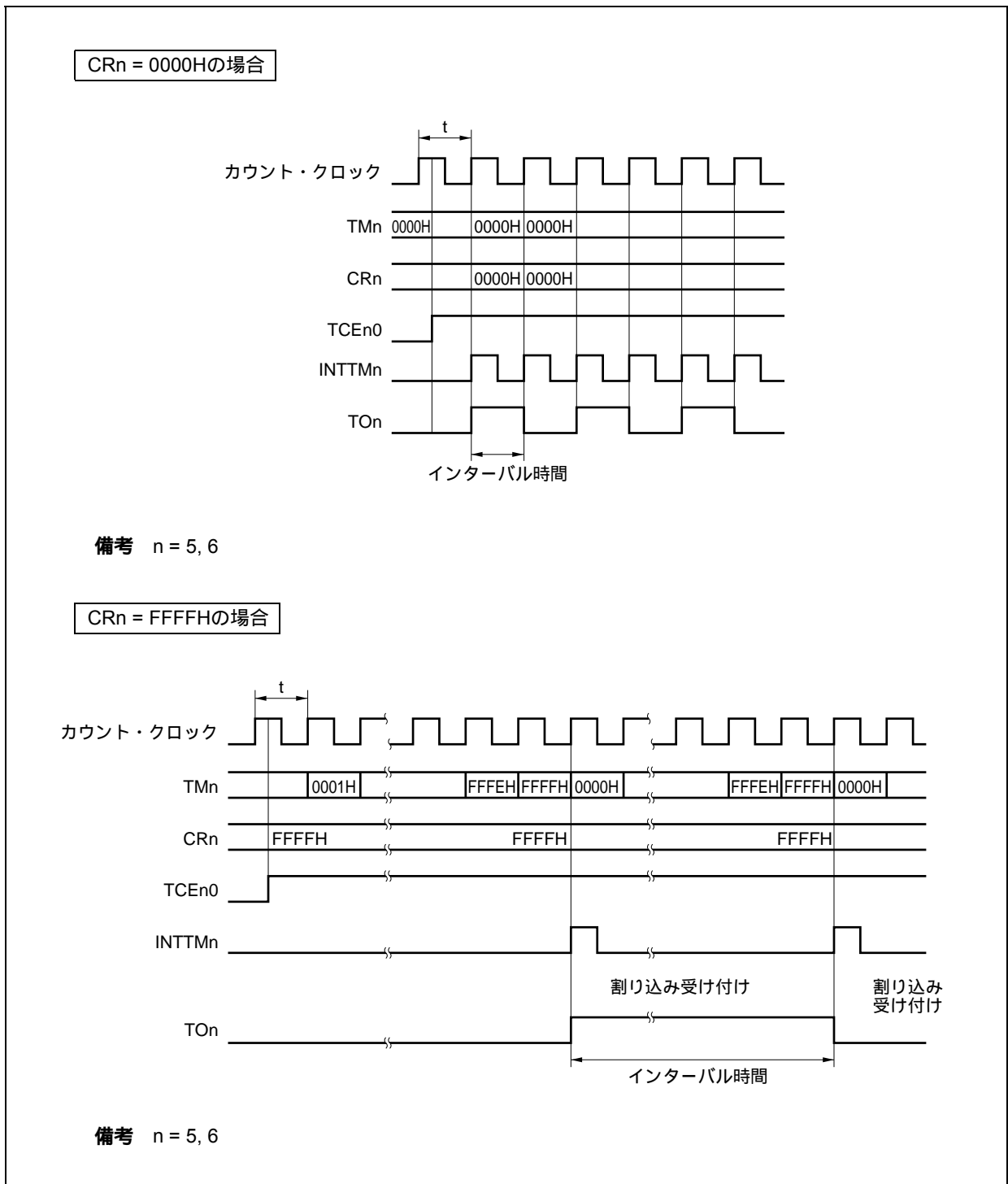


図8 - 32 インターバル・タイマ動作のタイミング (2/2)



8.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TInに入力される外部からのクロック・パルス数をカウントするものです。

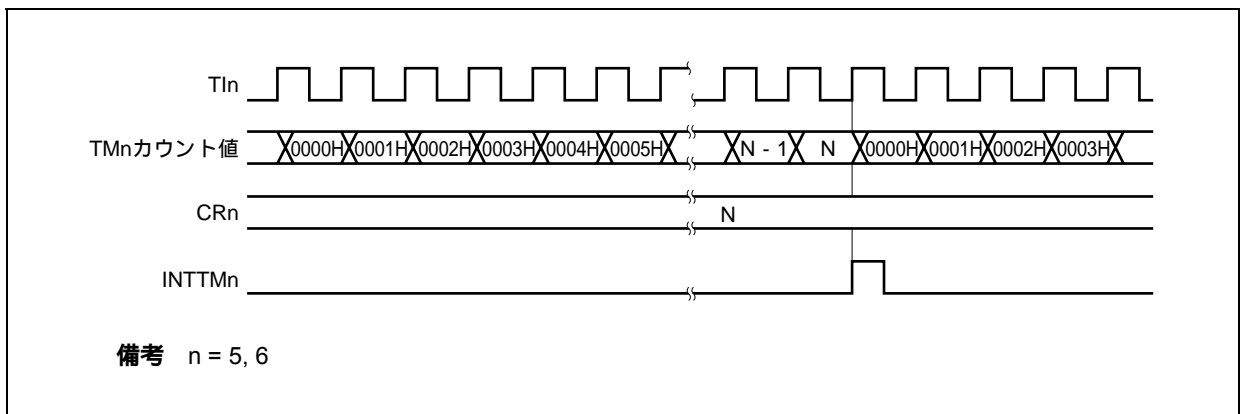
タイマ・クロック選択レジスタn0, n1 (TCLn0, TCLn1) で指定した有効エッジが入力されるたびに、TMnがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TMnの計数値が16ビット・コンペア・レジスタn (CRn) の値と一致すると、TMnは0にクリアされ、割り込み要求信号 (INTTMn) が発生します。

以後、TMnの値とCRnの値が一致するたびに、INTTMnが発生します。

備考 n = 5, 6

図8 - 33 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



8.4.3 方形波出力としての動作

16ビット・コンペア・レジスタn (CRn) にあらかじめ設定した値をインターバルとする，任意の周波数の方形波出力として動作します。

16ビット・タイマ・モード・コントロール・レジスタn0 (TMCn0) のビット0 (TOEn0) に1を設定することにより，CRnにあらかじめ設定したカウント値をインターバルとしてTONの出力状態が反転します。これにより，任意の周波数の方形波出力 (デューティ比 = 50 %) が可能です。

設定方法

各レジスタの設定を行います。

- ・ポート・ラッチ，ポート・モード・レジスタに “0” を設定
- ・TCLn0, TCLn1：カウント・クロックの選択
- ・CRn：コンペア値
- ・TMCn0：TMnとCRnの一致でクリア&スタート・モード

LVSn0	LVRn0	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

タイマ出力許可 TOEn0 = 1

TCEn0 = 1を設定すると，カウント動作を開始します。

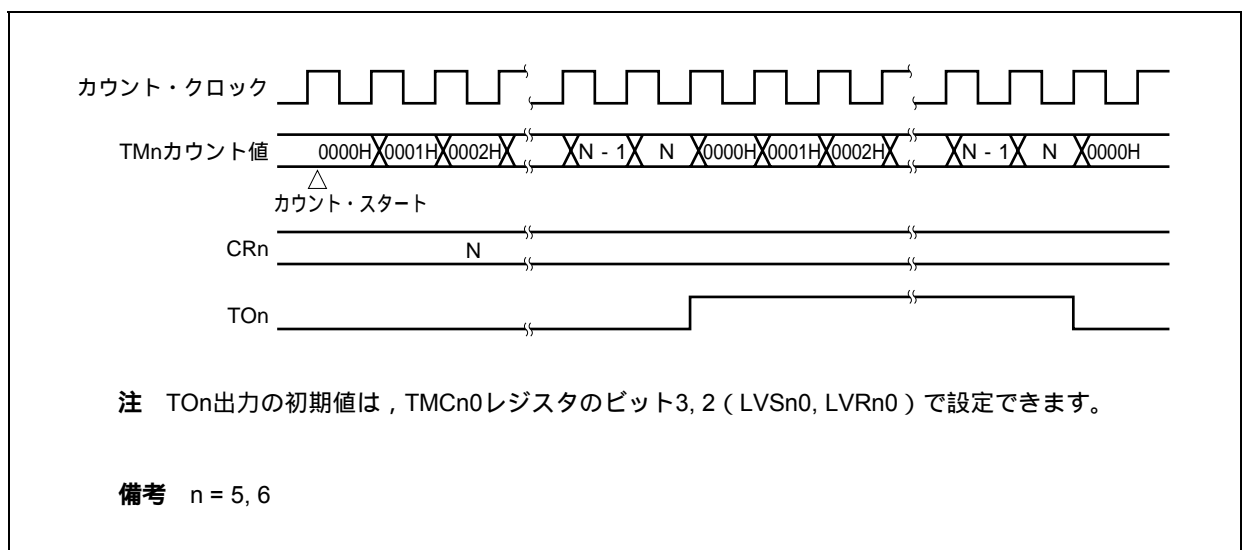
TMnとCRnの値が一致すると，タイマ出力F/Fが反転します。

また，INTTMnが発生し，TMnは0000Hにクリアされます。

以後，同一間隔でタイマ出力F/Fが反転し，TONから方形波が出力されます。

備考 n = 5, 6

図8 - 34 方形波出力動作のタイミング



8.4.4 16ビットPWM出力としての動作

16ビット・タイマ・モード・コントロール・レジスタn0 (TMCn0) のビット6 (TMCn06) を“1”に設定することにより、PWM出力として動作します。

16ビット・コンペア・レジスタn (CRn) に設定した値で決まるデューティ比のパルスを、TONから出力します。

PWMパルスのアクティブ・レベルの幅は、CRnに設定してください。また、アクティブ・レベルは、TMCn0のビット1 (TMCn01) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタn0 (TCLn0) のビット0-2 (TCLn0-TCLn2) とタイマ・クロック選択レジスタn1 (TCLn1) のビット0 (TCLn3) で選択できます。

TMCn0のビット0 (TOEn0) により、PWM出力の許可/禁止が選択できます。

注意 PWMモード時のCRnの書き換えは、1周期に1回のみ可能です。

備考 n = 5, 6

(1) PWM出力の基本動作

設定方法

ポート・ラッチ、ポート・モード・レジスタnに“0”を設定します。

16ビット・コンペア・レジスタ (CRn) でアクティブ・レベル幅を設定します。

タイマ・クロック選択レジスタn0, n1 (TCLn0, TCLn1) で、カウント・クロックを選択します。

TMCn0のビット1 (TMCn01) で、アクティブ・レベルを設定します。

TMCn0のビット7 (TCEn0) に“1”を設定すると、カウント動作を開始します。

カウント動作を停止するときは、TCEn0に“0”を設定してください。

PWM出力の動作

カウント動作を開始すると、PWM出力 (TONからの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると、設定方法 で設定したアクティブ・レベルを出力します。アクティブ・レベルは、CRnと16ビット・カウンタn (TMn) のカウント値が一致するまで出力されます。

CRnとカウント値が一致したあとのPWM出力は、再度オーバフローが発生するまでインアクティブ・レベルを出力します。

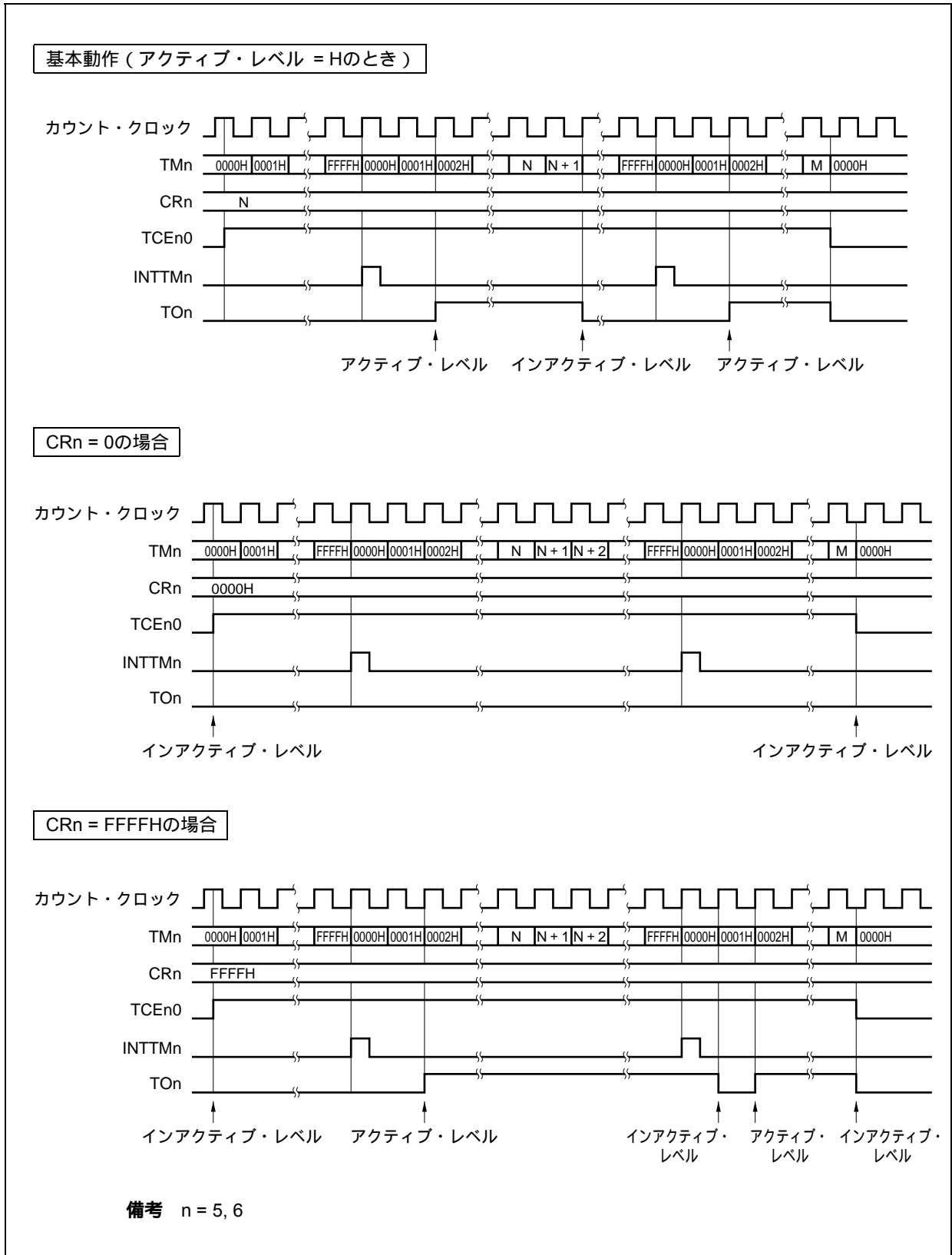
以後、カウント動作が停止されるまで、を繰り返します。

TCEn0 = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

備考 n = 5, 6

(a) PWM出力の基本動作

図8 - 35 PWM出力の動作タイミング

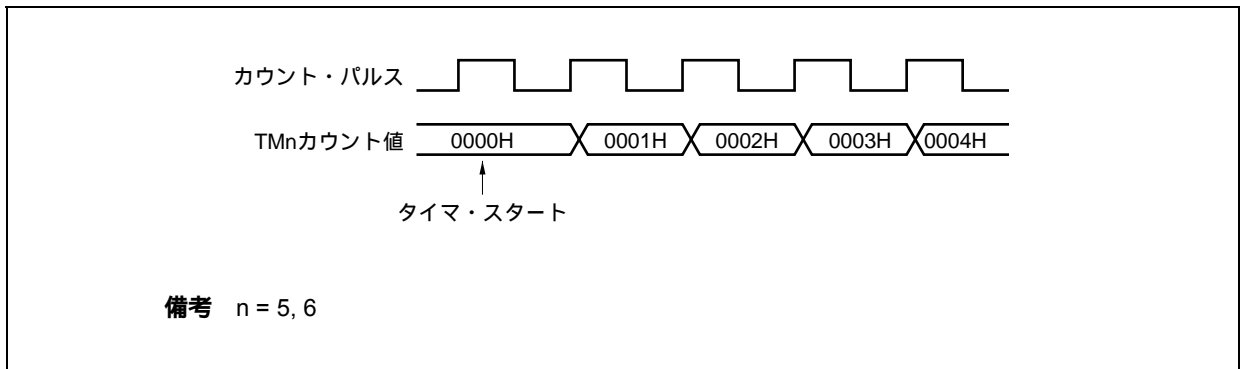


CRn = FFFFHの場合

8.4.5 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対して16ビット・カウンタ n (TM n) のスタートが非同期で行われるためです。

図8 - 36 タイマ n のスタート・タイミング(2) タイマ動作中のTM n 読み出しについて

動作中のTM n の読み出しは、選択クロックを一時停止して読み出すため、選択クロックはより長いハイ/ロウ・レベルのある波形を選択してください ($n = 5, 6$)。

第9章 時計用タイマ機能

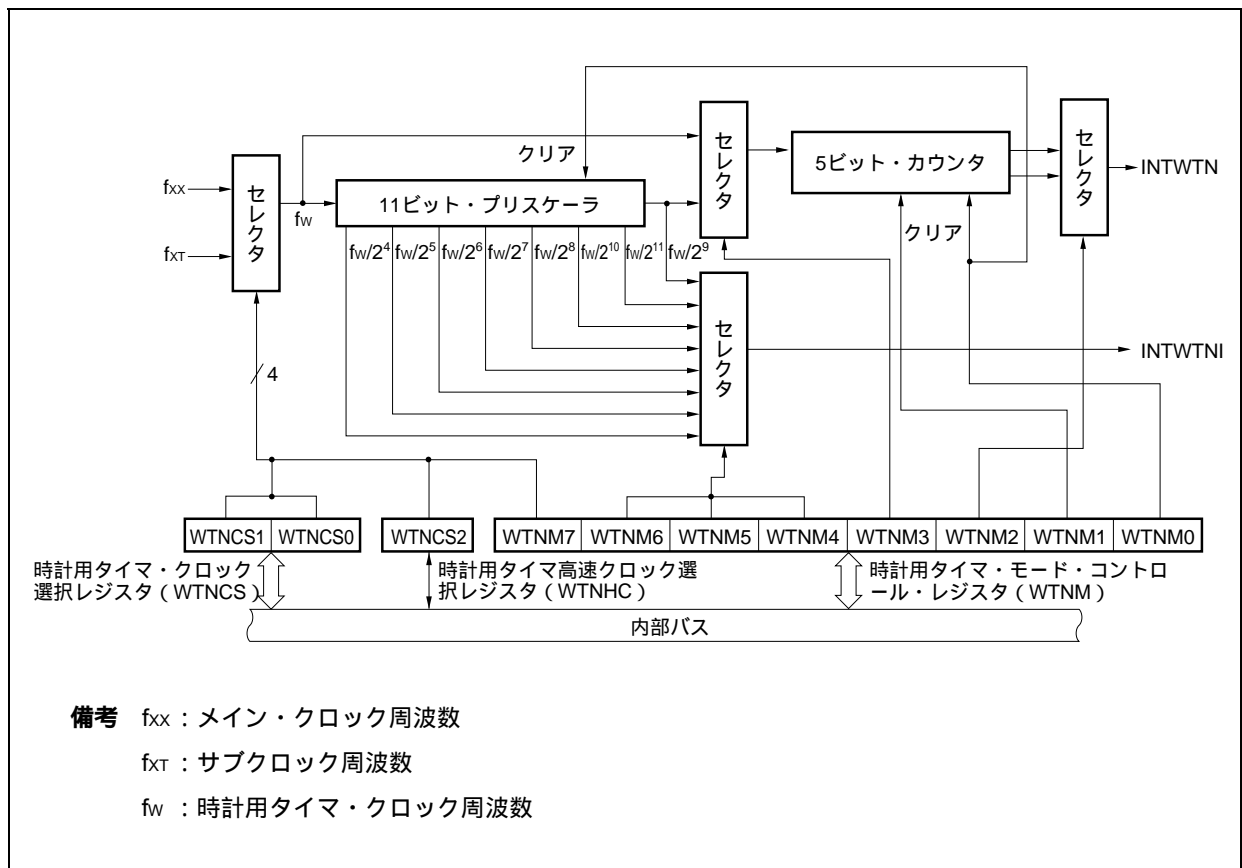
9.1 機能

時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図9 - 1 時計用タイマのブロック図



(1) 時計用タイマ

メイン・クロックまたはサブクロックを使用すると、0.5秒または0.25秒の時間間隔で割り込み要求 (INTWTDN) を発生します。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で、割り込み要求 (INTWTDNI) を発生します。

表9 - 1 インターバル・タイマのインターバル時間

インターバル時間	$f_w = 32.768 \text{ kHz}$ 動作時
$2^4 \times 1/f_w$	488 μs
$2^5 \times 1/f_w$	977 μs
$2^6 \times 1/f_w$	1.95 ms
$2^7 \times 1/f_w$	3.91 ms
$2^8 \times 1/f_w$	7.81 ms
$2^9 \times 1/f_w$	15.6 ms
$2^{10} \times 1/f_w$	31.2 ms
$2^{11} \times 1/f_w$	62.4 ms

備考 f_w : 時計用タイマ・クロック周波数

9.2 構成

時計用タイマは、次のハードウェアで構成されています。

表9 - 2 時計用タイマの構成

項目	構成
カウンタ	5ビット×1本
プリスケアラ	11ビット×1本
制御レジスタ	時計用タイマ・モード・コントロール・レジスタ (WTNM) 時計用タイマ高速クロック選択レジスタ (WTNHC) 時計用タイマ・クロック選択レジスタ (WTNCS)

★

9.3 時計用タイマ制御レジスタ

時計用タイマを制御するレジスタには、時計用タイマ・モード・コントロール・レジスタ (WTNM) , 時計用タイマ高速クロック選択レジスタ (WTNHC) , 時計用タイマ・クロック選択レジスタ (WTNCS) があります。時計用タイマは、カウント・クロックやインターバル時間を設定したあとに動作させてください。

(1) 時計用タイマ・モード・コントロール・レジスタ (WTNM)

時計用タイマのカウント・クロックおよび動作の許可/禁止、プリスケアラのインターバル時間、5ビット・カウンタの動作制御および時計用タイマの割り込み時間を設定するレジスタです。

WTNMは、8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF360H

	7	6	5	4	3	2	①	②
WTNM	WTNM7	WTNM6	WTNM5	WTNM4	WTNM3	WTNM2	WTNM1	WTNM0

WTNM6	WTNM5	WTNM4	プリスケアラのインターバル時間の選択
0	0	0	$2^4/f_w$ (488 μ s)
0	0	1	$2^5/f_w$ (977 μ s)
0	1	0	$2^6/f_w$ (1.95 ms)
0	1	1	$2^7/f_w$ (3.91 ms)
1	0	0	$2^8/f_w$ (7.81 ms)
1	0	1	$2^9/f_w$ (15.6 ms)
1	1	0	$2^{10}/f_w$ (31.2 ms)
1	1	1	$2^{11}/f_w$ (62.4 ms)

WTNM3	WTNM2	時計用タイマの割り込み時間の選択
0	0	$2^{14}/f_w$ (0.5 s)
0	1	$2^{13}/f_w$ (0.25 s)
1	0	$2^5/f_w$ (977 μ s)
1	1	$2^4/f_w$ (488 μ s)

WTNM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTNM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ, 5ビット・カウンタともにクリア)
1	動作許可

備考1. f_w : 時計用タイマ・クロック周波数

2. () 内は, $f_w = 32.768$ kHz動作時

3. WTNM7の設定については, 9.3(3)時計用タイマ・クロック選択レジスタ (WTNCS) を参照してください。

★ (2) 時計用タイマ高速クロック選択レジスタ (WTNHC)

時計用タイマのカウンタ・クロックを選択するレジスタです。

WTNMレジスタのWTNM7ビット，時計用タイマ・クロック選択レジスタ (WTNCS) のWTNCS1, WTNCS0ビットの組み合わせによりカウンタ・クロックが決まります。

WTNHCビットは，8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF366H

	7	6	5	4	3	2	1	0
WTNHC	0	0	0	0	0	0	0	WTNCS2

備考 WTNCS2の設定については，9.3(3) 時計用タイマ・クロック選択レジスタ (WTNCS) を参照してください。

(3) 時計用タイマ・クロック選択レジスタ (WTNCS)

時計用タイマのカウンタ・クロックを選択するレジスタです。

WTNCSは，8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

注意 時計用タイマ動作中にWTNM, WTNHC, WTNCSレジスタの内容 (インターバル時間，時計用タイマの割り込み時間，カウンタ・クロック) を変更しないでください。

リセット時：00H R/W アドレス：FFFFFF364H

	7	6	5	4	3	2	1	0
WTNCS	0	0	0	0	0	0	WTNCS1	WTNCS0

WTNCS2	WTNCS1	WTNCS0	WTNM7	カウンタ・クロックの選択	メイン・クロック周波数
0	0	0	0	$f_{xx}/2^7$	4.194 MHz
0	0	0	1	f_{XT} (サブクロック)	-
0	0	1	0	$f_{xx}/3 \times 2^6$	6.291 MHz
0	0	1	1	$f_{xx}/2^8$	8.388 MHz
0	1	0	0	設定禁止	-
0	1	0	1	設定禁止	-
0	1	1	0	$f_{xx}/3 \times 2^7$	12.582 MHz
0	1	1	1	$f_{xx}/2^9$	16.777 MHz
1	0	1	0	$f_{xx}/3^2 \times 2^6$	18.874 MHz
その他				設定禁止	-

備考 WTNM7は，WTNMレジスタのビット7
WTNCS2は，WTNHCレジスタのビット0

9.4 動作

9.4.1 時計用タイマとしての動作

サブクロック (32.768 kHz) を使用すると、0.5秒の時間間隔の時計用タイマとして動作します。時計用タイマは、一定の時間間隔ごとに割り込み要求を発生します。

時計用タイマ・モード・コントロール・レジスタ (WTNM) のビット0 (WTNM0) とビット1 (WTNM1) に1を設定するとカウント動作がスタートします。0を設定すると11ビット・プリスケアラと5ビット・カウンタがクリアされ、カウント動作が停止します。

時計用タイマは、WTNM1ビットを0にすることにより5ビット・カウンタをクリアできます。このとき最大で15.6 msの誤差が発生することがあります。

また、インターバル・タイマは、WTNM0ビットを0にすることによりクリアできます。ただし、5ビット・カウンタも同時にクリアされるため、時計用タイマのオーバフロー (INTWNT) には、最大で0.5秒の誤差が発生することがあります。

9.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

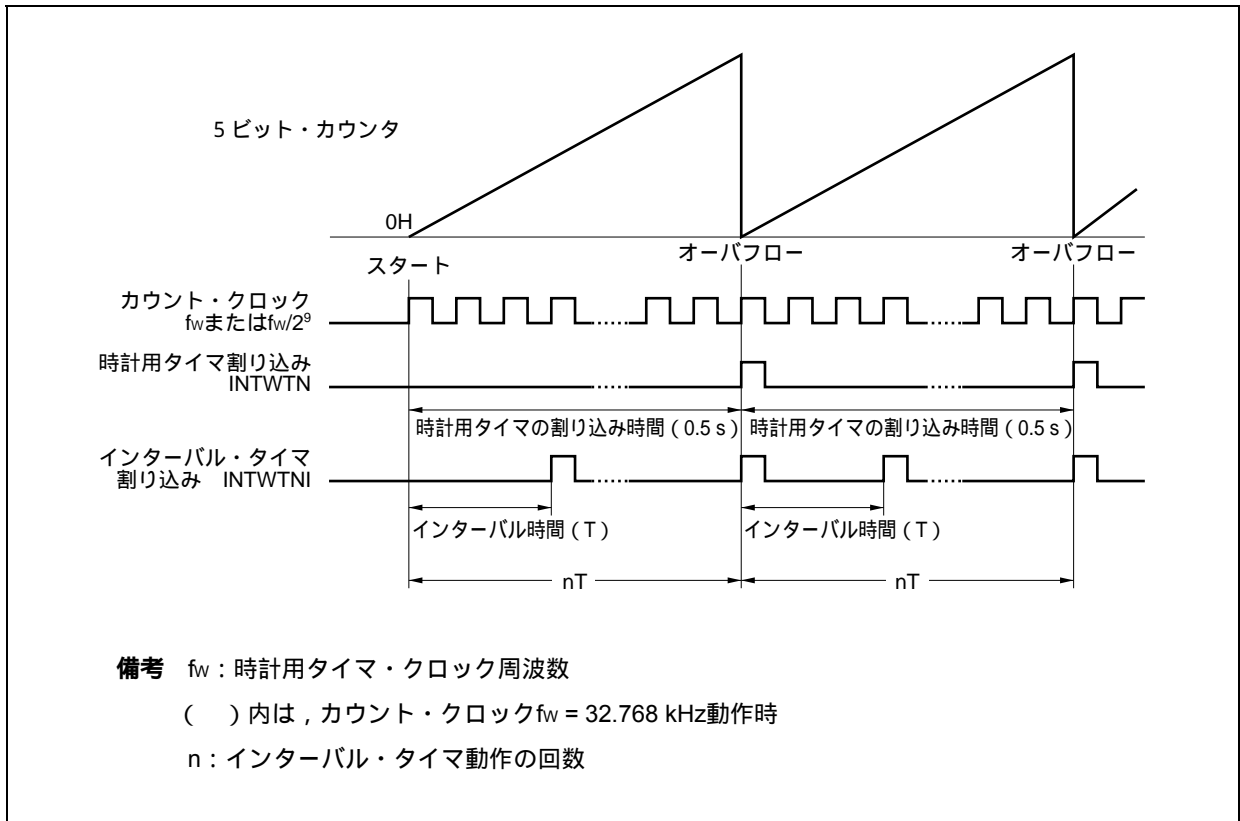
時計用タイマ・モード・コントロール・レジスタ (WTNM) のビット4-6 (WTNM4-WTNM6) により、インターバル時間を選択できます。

表9-3 インターバル・タイマのインターバル時間

WTNM6	WTNM5	WTNM4	インターバル時間	$f_w = 32.768 \text{ kHz}$ 動作時
0	0	0	$2^4 \times 1/f_w$	488 μ s
0	0	1	$2^5 \times 1/f_w$	977 μ s
0	1	0	$2^6 \times 1/f_w$	1.95 ms
0	1	1	$2^7 \times 1/f_w$	3.91 ms
1	0	0	$2^8 \times 1/f_w$	7.81 ms
1	0	1	$2^9 \times 1/f_w$	15.6 ms
1	1	0	$2^{10} \times 1/f_w$	31.2 ms
1	1	1	$2^{11} \times 1/f_w$	62.4 ms

備考 f_w : 時計用タイマ・クロック周波数

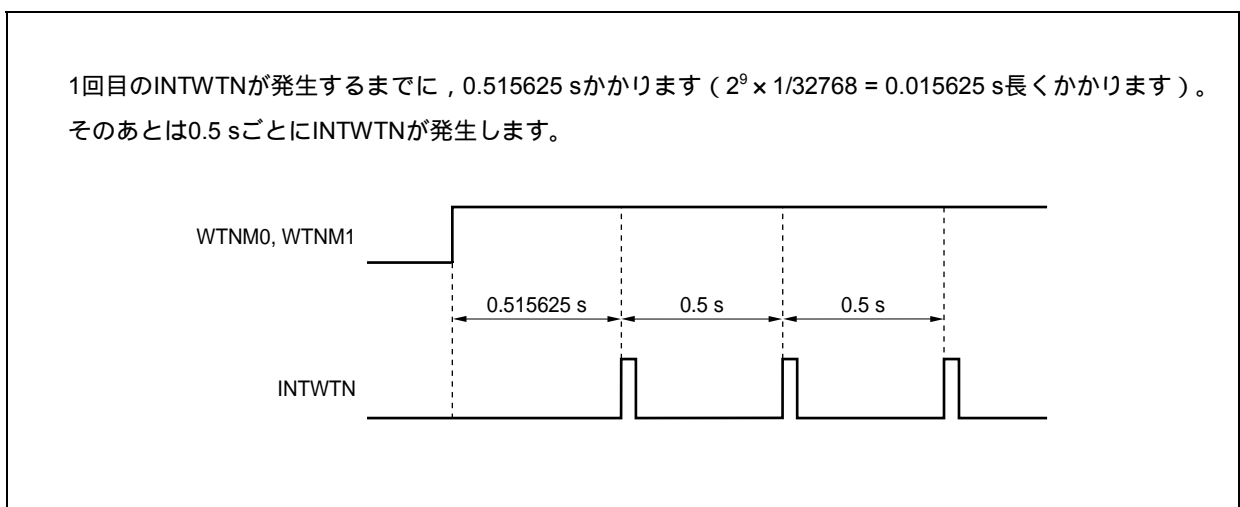
図9 - 2 時計用タイマ/インターバル・タイマの動作タイミング



9.4.3 注意事項

動作許可 (WTNMレジスタのWTNM1, WTNM0ビット = 1) してから、最初の1回目の時計用タイマ割り込み要求 (INTWTN) が発生するまで多少時間がかかります。

図9 - 3 時計用タイマ割り込み要求 (INTWTN) の発生例 (割り込み周期 = 0.5 sの場合)



第10章 ウォッチドッグ・タイマ機能

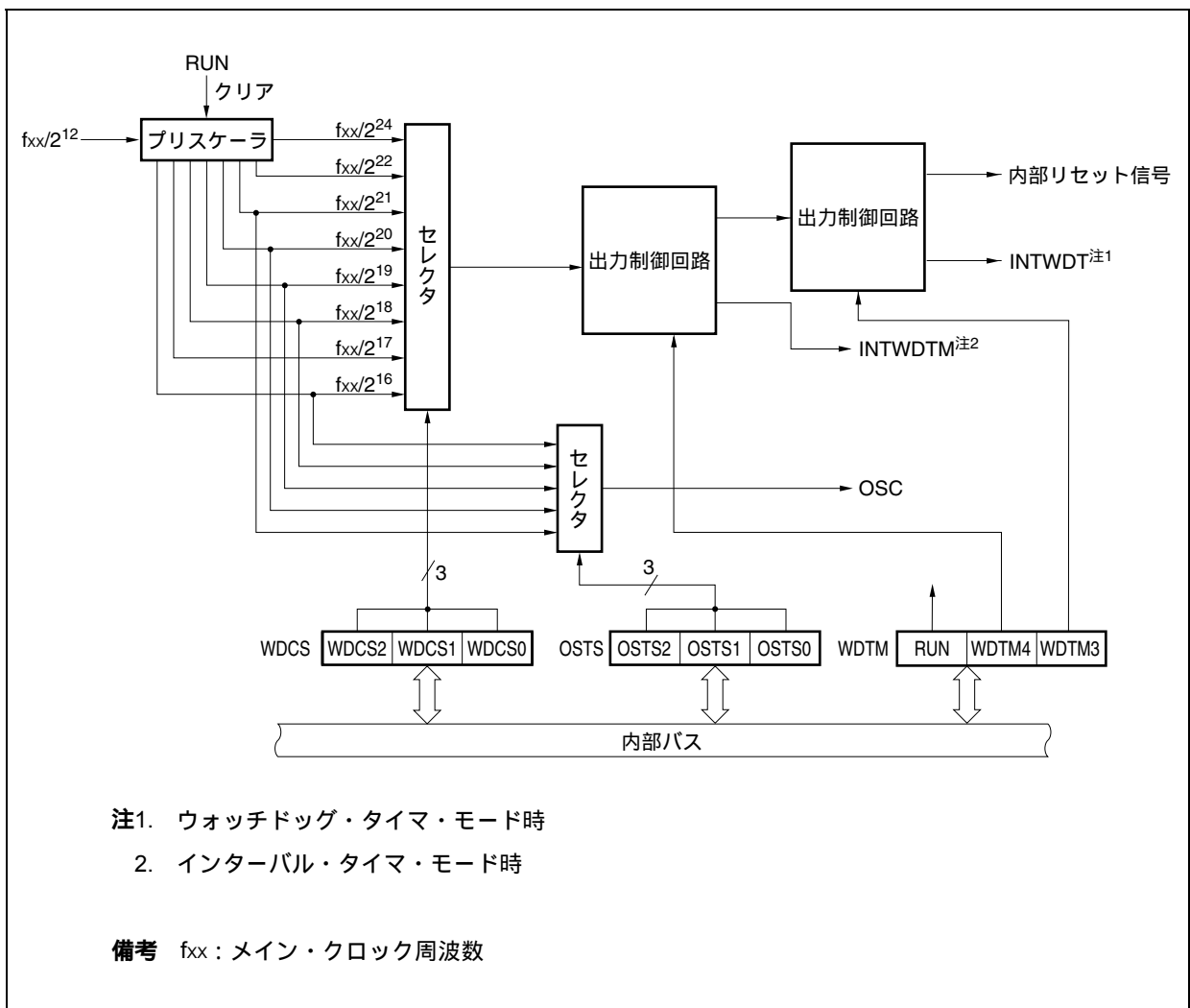
10.1 機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ
- ・発振安定時間の選択

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

図10-1 ウォッチドッグ・タイマのブロック図



(1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスカブル割り込みを発生できます。

表10 - 1 ウォッチドッグ・タイマの暴走検出時間

クロック	暴走検出時間		
	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 18.87 \text{ MHz}$	$f_{xx} = 16 \text{ MHz}$
$2^{16}/f_{xx}$	3.3 ms	3.5 ms	4.1 ms
$2^{17}/f_{xx}$	6.6 ms	6.9 ms	8.2 ms
$2^{18}/f_{xx}$	13.1 ms	13.9 ms	16.4 ms
$2^{19}/f_{xx}$	26.2 ms	27.8 ms	32.8 ms
$2^{20}/f_{xx}$	52.4 ms	55.6 ms	65.5 ms
$2^{21}/f_{xx}$	104.9 ms	111.1 ms	131.1 ms
$2^{22}/f_{xx}$	209.7 ms	222.3 ms	262.1 ms
$2^{24}/f_{xx}$	838.9 ms	889.1 ms	1.05 s

(2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で割り込みを発生します。

表10 - 2 インターバル・タイマのインターバル時間

クロック	インターバル時間		
	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 18.87 \text{ MHz}$	$f_{xx} = 16 \text{ MHz}$
$2^{16}/f_{xx}$	3.3 ms	3.5 ms	4.1 ms
$2^{17}/f_{xx}$	6.6 ms	6.9 ms	8.2 ms
$2^{18}/f_{xx}$	13.1 ms	13.9 ms	16.4 ms
$2^{19}/f_{xx}$	26.2 ms	27.8 ms	32.8 ms
$2^{20}/f_{xx}$	52.4 ms	55.6 ms	65.5 ms
$2^{21}/f_{xx}$	104.9 ms	111.1 ms	131.1 ms
$2^{22}/f_{xx}$	209.7 ms	222.3 ms	262.1 ms
$2^{24}/f_{xx}$	838.9 ms	889.1 ms	1.05 s

10.2 構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表10-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	発振安定時間選択レジスタ (OSTS) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

10.3 ウォッチドッグ・タイマ制御レジスタ

ウォッチドッグ・タイマを制御するレジスタを次に示します。

- ・発振安定時間選択レジスタ (OSTS)
- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) 発振安定時間選択レジスタ (OSTS)

リセット時またはSTOPモードを解除してから発振が安定するまでの発振安定時間を選択するレジスタです。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により01Hになります。

リセット時：01H R/W アドレス：FFFFFF380H									
	7	6	5	4	3	2	1	0	
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	
	OSTS2			OSTS1			OSTS0		
	クロック			発振安定時間の選択					
				f _{xx}					
				20 MHz			18.87 MHz		16 MHz
	0	0	0	2 ¹⁶ /f _{xx}	3.3 ms	3.5 ms	4.1 ms		
	0	0	1	2 ¹⁸ /f _{xx} (リセット時)	13.1 ms	13.9 ms	16.4 ms		
	0	1	0	2 ¹⁹ /f _{xx}	26.2 ms	27.8 ms	32.8 ms		
	0	1	1	2 ²⁰ /f _{xx}	52.4 ms	55.6 ms	65.5 ms		
	1	0	0	2 ²¹ /f _{xx}	104.9 ms	111.1 ms	131.1 ms		
	上記以外			設定禁止					

(2) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF382H

	7	6	5	4	3	2	1	0
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間			
			クロック	f _{xx}		
				f _{xx} = 20 MHz	f _{xx} = 18.87 MHz	16 MHz
0	0	0	2 ¹⁶ /f _{xx}	3.3 ms	3.5 ms	4.1 ms
0	0	1	2 ¹⁷ /f _{xx}	6.6 ms	6.9 ms	8.2 ms
0	1	0	2 ¹⁸ /f _{xx}	13.1 ms	13.9 ms	16.4 ms
0	1	1	2 ¹⁹ /f _{xx}	26.2 ms	27.8 ms	32.8 ms
1	0	0	2 ²⁰ /f _{xx}	52.4 ms	55.6 ms	65.5 ms
1	0	1	2 ²¹ /f _{xx}	104.9 ms	111.1 ms	131.1 ms
1	1	0	2 ²² /f _{xx}	209.7 ms	222.3 ms	262.1 ms
1	1	1	2 ²⁴ /f _{xx}	838.9 ms	889.1 ms	1.05 s

★ 注意 ビット7-3には必ず“0”を設定してください。

(3) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可 / 禁止，内部リセット信号の発生を設定するレジスタです。

WDTMは，8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF384H

	⑦	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0

RUN	ウォッチドッグ・タイマの動作モードの選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	インターバル・タイマ・モード (オーバーフロー発生時，マスカブル割り込みINTWDTM発生)
1	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時，ノンマスカブル割り込みINTWDT発生)

WDTM3	内部リセット信号発生の選択 ^{注2}
0	オーバーフロー発生時，内部リセット信号を発生しない
1	オーバーフロー発生時，内部リセット信号を発生する

注1. RUNは，一度セット（1）されると，ソフトウェアでクリア（0）することはできません。
したがって，カウントを開始すると，RESET入力以外で停止させることはできません。

2. WDTM3, WDTM4は，一度セット（1）されると，ソフトウェアでクリア（0）することはできません。

注意 RUNをセット（1）し，ウォッチドッグ・タイマをクリアしたとき，実際のオーバーフロー時間は，設定した時間より最大 $2^{12}/f_{\text{clk}}$ 秒短くなります。

10.4 動作

10.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

WDTMのビット7 (RUN) に1を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUNに再度1を設定すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

RUNに1がセットされず、暴走検出時間を越えてしまった場合は、ノンマスクブル割り込み (INTWDT) が発生します (リセット機能はありません)。

ウォッチドッグ・タイマは、IDLEモード時とSTOPモード時は動作を停止します。したがって、IDLEモードやSTOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしてください。

また、HALTモード時はウォッチドッグ・タイマは動作するため、HALTモードを使用するときは、ウォッチドッグ・タイマを使用しないでください。

- 注意1.** 実際の暴走検出時間は、設定時間に対して最大 $2^{12}/f_{xx}$ 秒短くなる場合があります。
- 2.** CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止 (保持) します。

表10-4 ウォッチドッグ・タイマの暴走検出時間

クロック	暴走検出時間		
	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 18.87 \text{ MHz}$	$f_{xx} = 16 \text{ MHz}$
$2^{16}/f_{xx}$	3.3 ms	3.5 ms	4.1 ms
$2^{17}/f_{xx}$	6.6 ms	6.9 ms	8.2 ms
$2^{18}/f_{xx}$	13.1 ms	13.9 ms	16.4 ms
$2^{19}/f_{xx}$	26.2 ms	27.8 ms	32.8 ms
$2^{20}/f_{xx}$	52.4 ms	55.6 ms	65.5 ms
$2^{21}/f_{xx}$	104.9 ms	111.1 ms	131.1 ms
$2^{22}/f_{xx}$	209.7 ms	222.3 ms	262.1 ms
$2^{24}/f_{xx}$	838.9 ms	889.1 ms	1.05 s

10.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

インターバル・タイマとして動作しているとき、WDTICレジスタの割り込みマスク・フラグ (WDTMK) と優先順位指定フラグ (WDTPR0-WDTPR2) が有効となり、マスカブル割り込み (INTWDTM) を発生させることができます。INTWDTMのデフォルト優先順位は、マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、IDLEモード時とSTOPモード時は動作を停止します。したがって、IDLEモード/STOPモードに入る前にWDTMレジスタのRUNビットを1に設定し、インターバル・タイマをクリアしたあと、IDLEモード/STOPモードに設定してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1を設定する (ウォッチドッグ・タイマ・モードを選択する) と、RESET入力されないかぎり、インターバル・タイマ・モードにはなりません。
- WDTMで設定した直後のインターバル時間は、設定時間に対して最大 $2^{12}/f_{xx}$ 秒短くなる場合があります。
 - CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止 (保持) します。

表10 - 5 インターバル・タイマのインターバル時間

クロック	インターバル時間		
	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 18.87 \text{ MHz}$	$f_{xx} = 16 \text{ MHz}$
$2^{16}/f_{xx}$	3.3 ms	3.5 ms	4.1 ms
$2^{17}/f_{xx}$	6.6 ms	6.9 ms	8.2 ms
$2^{18}/f_{xx}$	13.1 ms	13.9 ms	16.4 ms
$2^{19}/f_{xx}$	26.2 ms	27.8 ms	32.8 ms
$2^{20}/f_{xx}$	52.4 ms	55.6 ms	65.5 ms
$2^{21}/f_{xx}$	104.9 ms	111.1 ms	131.1 ms
$2^{22}/f_{xx}$	209.7 ms	222.3 ms	262.1 ms
$2^{24}/f_{xx}$	838.9 ms	889.1 ms	1.05 s

10.5 スタンバイ機能制御レジスタ

(1) 発振安定時間選択レジスタ (OSTS)

STOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

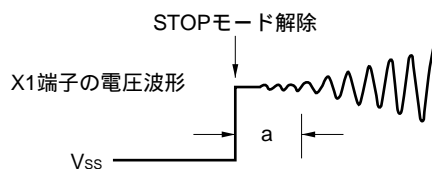
$\overline{\text{RESET}}$ 入力により01Hになります。

リセット時：01H R/W アドレス：FFFFFF380H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択			
			クロック	f _{xx}		
				20 MHz	18.87 MHz	16 MHz
0	0	0	2 ¹⁶ /f _{xx}	3.3 ms	3.5 ms	4.1 ms
0	0	1	2 ¹⁸ /f _{xx} (リセット時)	13.1 ms	13.9 ms	16.4 ms
0	1	0	2 ¹⁹ /f _{xx}	26.2 ms	27.8 ms	32.8 ms
0	1	1	2 ²⁰ /f _{xx}	52.4 ms	55.6 ms	65.5 ms
1	0	0	2 ²¹ /f _{xx}	104.9 ms	111.1 ms	131.1 ms
上記以外			設定禁止			

注意 STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合も、STOPモード解除後クロック発振を開始するまでの時間（下図 a）は含みません。



第11章 シリアル・インタフェース機能

11.1 概 要

V850/SC1, V850/SC2, V850/SC3は、次のシリアル・インタフェースを内蔵しています。

- ・チャンネル0：3線式シリアルI/O (CSI0) / I²C0[※]
- ・チャンネル2：3線式シリアルI/O (CSI2) / I²C1[※]
- ・チャンネル3：3線式シリアルI/O (CSI3) / アシンクロナス・シリアル・インタフェース (UART1)
- ・チャンネル4：3線式シリアルI/O (CSI4) / アシンクロナス・シリアル・インタフェース (UART0)
- ・チャンネル5：3線式シリアルI/O (CSI5)
- ・チャンネル6：3線式シリアルI/O (CSI6)
- ・チャンネル7：アシンクロナス・シリアル・インタフェース (UART2)
- ・チャンネル8：アシンクロナス・シリアル・インタフェース (UART3)

注 I²C0, I²C1はマルチマスタ対応です。

3線式シリアルI/OまたはI²Cのどちらかを使用できます。

11.2 3線式シリアルI/O (CSI0, CSI2, CSI3) : 8ビット

CSIn (n = 0, 2, 3) には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。

(2) 3線式シリアルI/Oモード (MSB先頭固定)

シリアル・クロック ($\overline{\text{SCKn}}$)、シリアル出力 (SON)、シリアル入力 (SIN) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットは、MSB固定です。

★ $\overline{\text{SCK0}}$, $\overline{\text{SCK2}}$ 端子は、ポート1, 2ファンクション・レジスタ (PF1, PF2) の設定により、それぞれ通常出力とN-chオープン・ドレイン出力を選択できます。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

11.2.1 構成

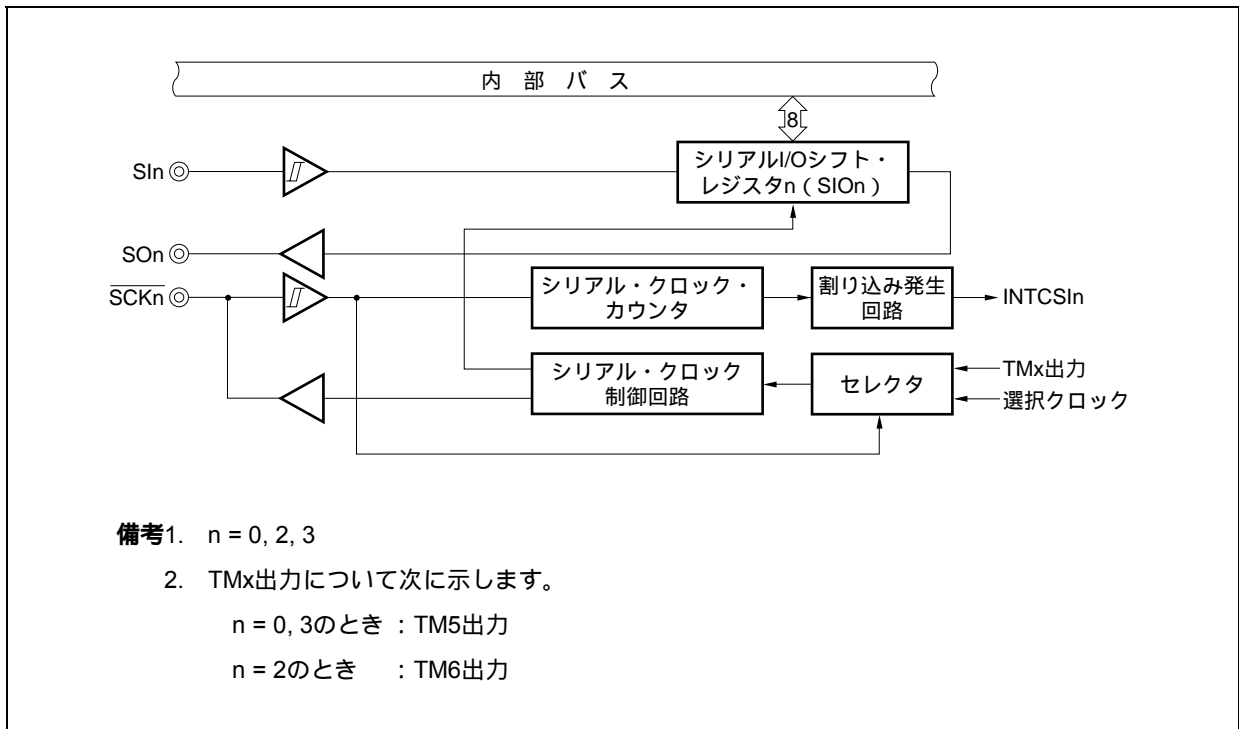
CSInは、次のハードウェアで構成されています。

表11-1 CSInの構成

項目	構成
レジスタ	シリアル/Oシフト・レジスタn (SIO _n)
制御レジスタ	シリアル動作モード・レジスタn (CSIM _n)
	シリアル・クロック選択レジスタn (CSIS _n)

備考 n = 0, 2, 3

図11-1 3線式シリアル/O (CSI0, CSI2, CSI3) のブロック図



(1) シリアル/Oシフト・レジスタn (SIO_n)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う8ビット・レジスタです。

SIO_nは、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタn (CSIM_n) のビット7 (CSIE_n) が1のとき、SIO_nにデータを書き込むか、または読み出すことによりシリアル動作が開始します。

送信時は、SIO_nに書き込まれたデータが、シリアル出力 (SO_n) に出力されます。

受信時は、データがシリアル入力 (SIn) からSIO_nに読み込まれます。

RESET入力により00Hになります。

注意 転送動作中のSIO_nアクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODE_n = 0のときはリードが、MODE_n = 1のときはライトが禁止となります)。

備考 n = 0, 2, 3

11.2.2 CSIn制御レジスタ

CSInを制御するレジスタには、次のものがあります。

- ・シリアル動作モード・レジスタn (CSIMn)
- ・シリアル・クロック選択レジスタn (CSISn)

(1) シリアル・クロック選択レジスタn (CSISn) , シリアル動作モード・レジスタn (CSIMn)

CSISnは、シリアル・インタフェース・チャンネルnのシリアル・クロックを設定するレジスタです。

CSISnは、8ビット・メモリ操作命令で設定します (n = 0, 2, 3)。

CSISnは、 $\overline{\text{RESET}}$ 入力により00Hになります。

CSIMnは、シリアル・インタフェース・チャンネルnのシリアル・クロック、動作モード、動作の許可/停止を設定するレジスタです。

CSIMnは、8/1ビット・メモリ操作命令で設定します (n = 0, 2, 3)。

CSIMnは、 $\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：CSIS0 FFFFF2A4H CSIS2 FFFFF2C4H
CSIS3 FFFFF2D4H

	7	6	5	4	3	2	1	0
CSISn	0	0	0	0	0	0	0	SCLn2

(n = 0, 2, 3)

リセット時：00H R/W アドレス：CSIM0 FFFFF2A2H CSIM2 FFFFF2C2H
CSIM3 FFFFF2D2H

	⑦	6	5	4	3	2	1	0
CSIMn	CSIE _n	0	0	0	0	MODE _n	SCLn1	SCLn0

(n = 0, 2, 3)

CSIE _n	SIO _n の動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウンタ動作許可	シリアル機能 + ポート機能 ^{注2}

MODE _n	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SIO _n 出力
0	送信 / 送受信モード	SIO _n ライト	通常出力
1	受信専用モード	SIO _n リード	ポート機能

SCLn2	SCLn1	SCLn0	クロックの選択
0	0	0	外部クロック入力 (SCK _n)
0	0	1	n = 0, 3時 : TM5の出力 n = 2時 : TM6の出力
0	1	0	f _{xx} /8
0	1	1	f _{xx} /16
1	0	0	設定禁止
1	0	1	設定禁止
1	1	0	f _{xx} /32
1	1	1	f _{xx} /64

注1. CSIE_n = 0 (SIO_n動作停止状態) のとき, SIn, SO_n, SCK_n端子はポート機能として使用できます。

2. CSIE_n = 1 (SIO_n動作許可状態) のとき, 送信機能だけ使用する場合はSIn端子, 受信専用モード時はSO_n端子をポート機能として使用できます。

注意1. SCLn1, SCLn0のビット操作はしないでください。

2. CSIMnのビット6-3には必ず“0”を設定してください。

備考 選択クロックをタイマの出力にした場合, P17/TO5/TI5, P30/TO6/TI6端子をタイマ出力モードにする必要はありません。

★

11.2.3 動作

CSInには、次の2種類の動作モードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

動作停止モードではシリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、SIn, SOn, $\overline{\text{SCKn}}$ 端子を入出力ポートとして選択していれば、通常の入出力ポートとして使用できます。

(a) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタn (CSIMn) のCSIEnビットで行います。

図11 - 2 CSIMnの設定 (動作停止モード)

リセット時：00H								R/W	アドレス：CSIM0 FFFFF2A2H CSIM2 FFFFF2C2H								
									CSIM3 FFFFF2D2H								
		⑦	6	5	4	3	2	1	0								
CSIMn	CSIEn	0	0	0	0	MODEn	SCLn1	SCLn0									
(n = 0, 2, 3)																	
CSIEn		SIO _n の動作許可 / 禁止の指定															
		シフト・レジスタ動作			シリアル・カウンタ			ポート									
0		動作禁止			クリア			ポート機能									

(2) 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック (\overline{SCKn})、シリアル出力 (SOn)、シリアル入力 (SI_n) の3本のラインで通信を行います。

(a) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ_n (CSIM_n) で行います。

図11 - 3 CSIM_nの設定 (3線式シリアルI/Oモード)

リセット時：00H R/W アドレス：CSIM0 FFFFF2A2H CSIM2 FFFFF2C2H
CSIM3 FFFFF2D2H

⑦	6	5	4	3	2	1	0
CSIM _n	CSIE _n	0	0	0	0	MODE _n	SCL _{n1} SCL _{n0}

(n = 0, 2, 3)

CSIE _n	SIO _n の動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
1	動作許可	カウント動作許可	シリアル機能 + ポート機能

MODE _n	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SOn出力
0	送信 / 送受信モード	SIO _n ライト	通常出力
1	受信専用モード	SIO _n リード	ポート機能

SCL _{n2}	SCL _{n1}	SCL _{n0}	クロックの選択
0	0	0	外部クロック入力 (\overline{SCKn})
0	0	1	n = 0, 3時：TM5の出力 n = 2時 ：TM6の出力
0	1	0	f _{xx} /8
0	1	1	f _{xx} /16
1	0	0	設定禁止
1	0	1	設定禁止
1	1	0	f _{xx} /32
1	1	1	f _{xx} /64

備考1. SCL_{n2}ビットについては11.2.2(1)シリアル・クロック選択レジスタ_n (CSIS_n)、シリアル動作モード・レジスタ_n (CSIM_n) を参照してください。

2. 選択クロックをタイマの出力にした場合、P17/TO5/TI5、P30/TO6/TI6端子をタイマ出力モードにする必要はありません。

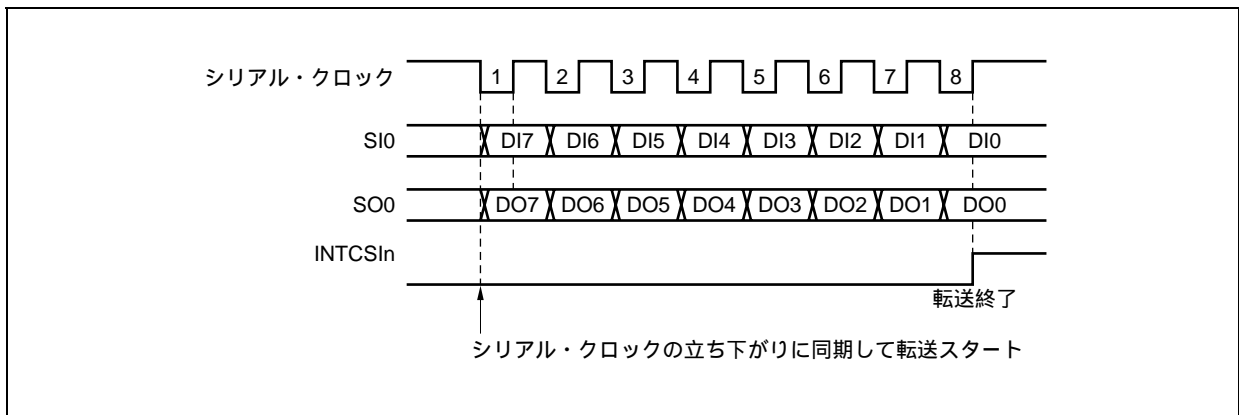
(b) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアルI/Oシフト・レジスタn (SIO_n)のシフト動作は、シリアル・クロックの立ち下がりに同期して行われます。そして、送信データがSO_nラッチに保持され、SO_n端子から出力されます。また、シリアル・クロックの立ち上がりで、SIn端子に入力された受信データがSIO_nにラッチされます。

8ビット転送終了により、SIO_nの動作は自動的に停止し、割り込み要求フラグ (INTCSIn) がセットされます。

図11-4 3線式シリアルI/Oモードのタイミング



(c) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタn (SIO_n)に転送データをセットすることで開始します。

- ・ SIO_nの動作制御ビット (CSIEn) = 1
- ・ 8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはシリアル・クロックがハイ・レベルの状態

SIO_nへの転送データのセットは次のように行います。

- ・ 送信 / 送受信モード
CSIEn = 1, MODEn = 0のとき、SIO_nライトで転送スタート
- ・ 受信専用モード
CSIEn = 1, MODEn = 1のとき、SIO_nのリードで転送スタート

注意 SIO_nにデータを書き込んだあと、CSIEnを“1”にしても転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (INTCSIn) をセットします。

11.3 3線式シリアルI/O (CSI4) : 8-16ビット可変

CSI4には、次の2種類の動作モードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{SCK4}$)、シリアル出力 (SO4)、シリアル入力 (SI4) の3本のラインにより、8ビットから16ビットの可変データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送するデータの先頭ビットは、MSB/LSB切り替えができます。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

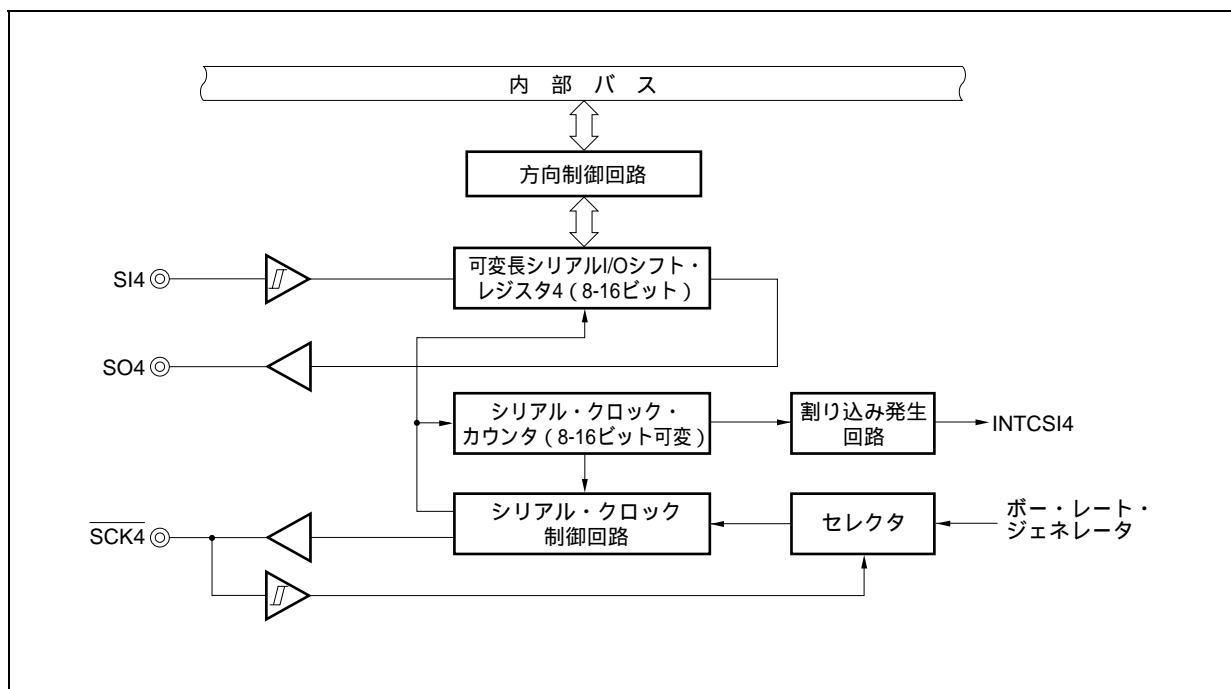
11.3.1 構成

CSI4は、次のハードウェアで構成されています。

表11-2 CSI4の構成

項目	構成
レジスタ	可変長シリアルI/Oシフト・レジスタ4 (SIO4)
制御レジスタ	可変長シリアル制御レジスタ4 (CSIM4)
	可変長シリアル設定レジスタ4 (CSIB4)
	ポー・レート・ジェネレータ・ソース・クロック選択レジスタ4 (BRGCN4)
	ポー・レート出力クロック選択レジスタ4 (BRGCK4)

図11 - 5 3線式シリアルI/O (CSI4) のブロック図



(1) 可変長シリアルI/Oシフト・レジスタ4 (SIO4)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う16ビット可変レジスタです。

SIO4は、16ビット・メモリ操作命令で設定します。

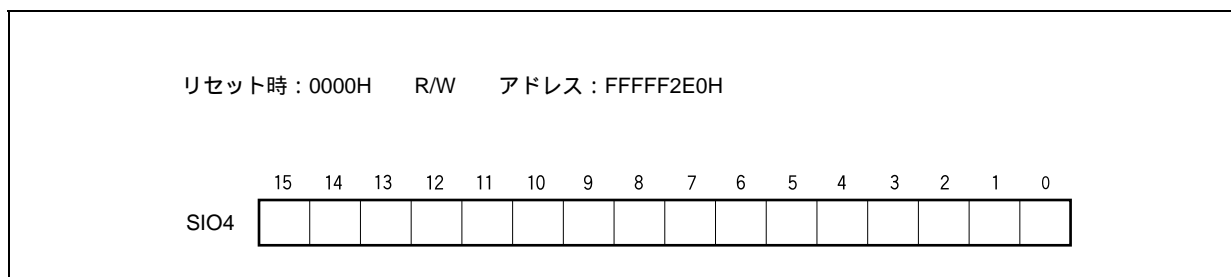
可変長シリアル制御レジスタ4 (CSIM4) のビット7 (CSIE4) が1のとき、SIO4にデータを書き込むか、または読み出すことによりシリアル動作が開始します。

送信時は、SIO4に書き込まれたデータが、シリアル出力 (SO4) に出力されます。

受信時は、データがシリアル入力 (SI4) からSIO4に読み込まれます。

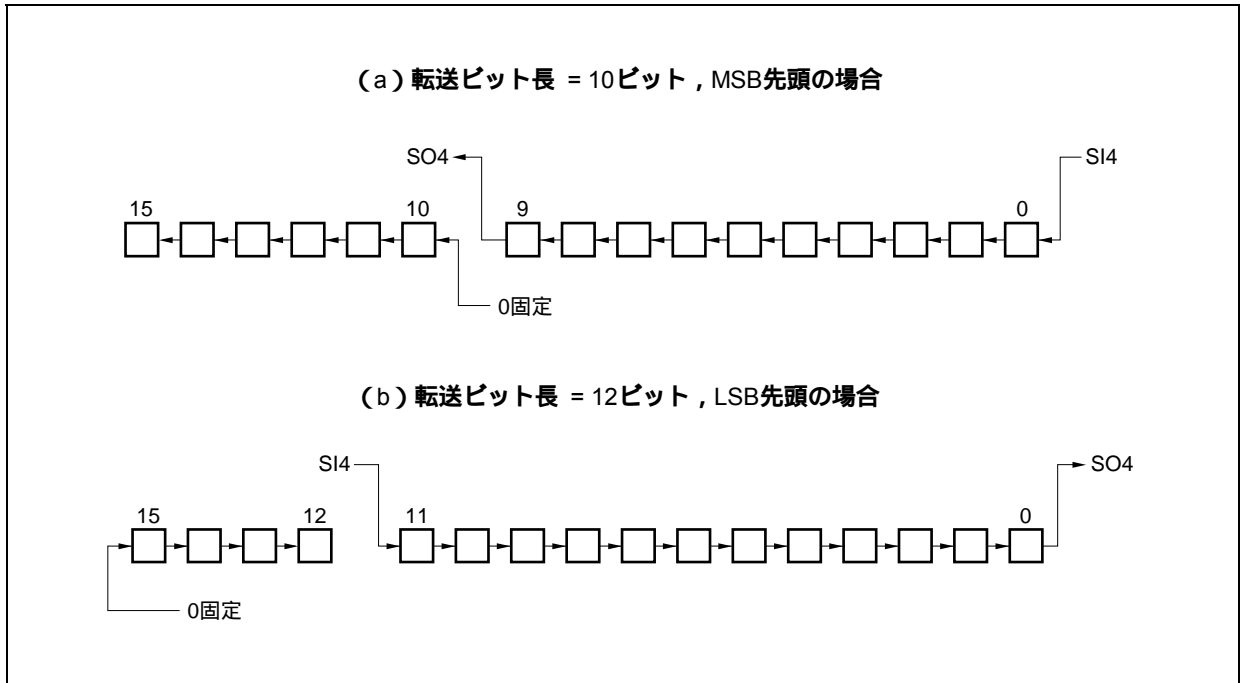
RESET入力により0000Hになります。

注意 転送動作中のSIO4アクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODE4 = 0のときはリードが、MODE4 = 1のときはライトが禁止となります)。



転送ビット長を16ビット以外に設定した場合、シフト・レジスタヘデータをセットするときには、転送先頭ビットがMSB/LSBであっても下位ビットから詰めて行ってください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。

図11 - 6 16ビット以外の転送ビット長を設定した場合



11.3.2 CSI4制御レジスタ

CSI4を制御するレジスタには、次のものがあります。

- ・可変長シリアル制御レジスタ4 (CSIM4)
- ・可変長シリアル設定レジスタ4 (CSIB4)
- ・ポー・レート・ジェネレータ・ソース・クロック選択レジスタ4 (BRGCN4)
- ・ポー・レート出力クロック選択レジスタ4 (BRGCK4)

(1) 可変長シリアル制御レジスタ4 (CSIM4)

シリアル・インタフェース・チャンネル4のシリアル・クロック，動作モード，動作の許可/停止を設定するレジスタです。

CSIM4は，8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF2E2H

	⑦	6	5	4	3	2	1	0
CSIM4	CSIE4	0	0	0	0	MODE4	0	SCL4

CSIE4	SIO4の動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能+ポート機能 ^{注2}

MODE4	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO4出力
0	送信/送受信モード	SIO4ライト	通常出力
1	受信専用モード	SIO4リード	ポート機能

SCL4	シリアル・クロックの選択
0	外部クロック入力 (SCK4)
1	BRG (ポー・レート・ジェネレータ)

注1. CSIE4 = 0 (SIO4動作停止状態) のとき，SI4, SO4, SCK4端子はポート機能として使用できません。

注2. CSIE4 = 1 (SIO4動作許可状態) のとき，送信機能だけ使用する場合はSI4端子，受信専用モード時はSO4端子をポート機能として使用できます。

(2) 可変長シリアル設定レジスタ4 (CSIB4)

シリアル・インタフェース・チャンネル4の動作形式を設定するレジスタです。

可変長シリアル設定レジスタ4 (CSIB4) のビット3-0 (BSEL3-BSEL0) で、可変レジスタのビット長を設定します。また、ビット4 (DIR) が1のときMSB先頭、0のときLSB先頭で転送を行います。

CSIB4は、8/1ビット・メモリ操作命令で設定します。

RESET \bar 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFFE4H

	7	⑥	⑤	④	3	2	1	0
CSIB4	0	CMODE	DMODE	DIR	BSEL3	BSEL2	BSEL1	BSEL0

CMODE	DMODE	SCK4の アクティブ・レベル	SI4の 取り込みタイミング	SO4の 出力タイミング
0	0	ロウ・レベル	SCK4の立ち上がりエッジ	SCK4の立ち下がりエッジ
0	1	ロウ・レベル	SCK4の立ち下がりエッジ	SCK4の立ち上がりエッジ
1	0	ハイ・レベル	SCK4の立ち下がりエッジ	SCK4の立ち上がりエッジ
1	1	ハイ・レベル	SCK4の立ち上がりエッジ	SCK4の立ち下がりエッジ

DIR	シリアル転送方向
0	LSB先頭
1	MSB先頭

BSEL3	BSEL2	BSEL1	BSEL0	シリアル・レジスタのビット長
0	0	0	0	16ビット
1	0	0	0	8ビット
1	0	0	1	9ビット
1	0	1	0	10ビット
1	0	1	1	11ビット
1	1	0	0	12ビット
1	1	0	1	13ビット
1	1	1	0	14ビット
1	1	1	1	15ビット
その他				設定禁止

(3) ボー・レート・ジェネレータ・ソース・クロック選択レジスタ4 (BRGCN4)

BRGCN4は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF2E6H

	7	6	5	4	3	2	1	0
BRGCN4	0	0	0	0	0	BRGN2	BRGN1	BRGN0

BRGN2	BRGN1	BRGN0	ソース・クロック (f _{sck})	n
0	0	0	f _{xx}	0
0	0	1	f _{xx} /2	1
0	1	0	f _{xx} /4	2
0	1	1	f _{xx} /8	3
1	0	0	f _{xx} /16	4
1	0	1	f _{xx} /32	5
1	1	0	f _{xx} /64	6
1	1	1	f _{xx} /128	7

(4) ポー・レート出力クロック選択レジスタ4 (BRGCK4)

BRGCK4は、8ビット・メモリ操作命令で設定します。

RESET入力により7FHになります。

リセット時：7FH R/W アドレス：FFFFFF2E8H

7	6	5	4	3	2	1	0
0	BRGK6	BRGK5	BRGK4	BRGK3	BRGK2	BRGK1	BRGK0

BRGK	BRGK	BRGK	BRGK	BRGK	BRGK	BRGK	ポー・レート出力クロック	k
6	5	4	3	2	1	0		
0	0	0	0	0	0	0	設定禁止	0
0	0	0	0	0	0	1	f _{sck} /2	1
0	0	0	0	0	1	0	f _{sck} /4	2
0	0	0	0	0	1	1	f _{sck} /6	3
.
.
.
1	1	1	1	1	1	0	f _{sck} /252	126
1	1	1	1	1	1	1	f _{sck} /254	127

生成するポー・レート用の送受信クロックは、メイン・クロックを分周した信号になります。

・メイン・クロックによるポー・レート用の送受信クロックの生成

メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するポー・レートは次の式によって求められます。

< 1 k 127の場合 >

$$[\text{ポー・レート}] = \frac{f_{xx}}{2^n \times k \times 2} \text{ [Hz]}$$

f_{xx} : メイン・クロック発振周波数

n : BRGN2-BRGN0で設定した値 (0 n 7)

k : BRGK6-BRGK0で設定した値 (1 k 127)

注意 可変長シリアルI/O (CSI4) のポー・レート用送受信クロックは、CPUの動作クロック以上の転送速度で使用しないでください。CPUの動作クロック以上の転送速度で使用した場合、正常なデータが転送できません。

11.3.3 動作

CSi4には、次の2種類の動作モードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

動作停止モードではシリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、SI4, SO4, SCK4端子を通常の入出力ポートとしても使用できます。

(a) レジスタの設定

動作停止モードの設定は、可変長シリアル制御レジスタ4 (CSIM4) のCSIE4ビットで行います。

CSIE4 = 0 (SIO4動作停止状態) のとき、SI4, SO4, SCK4と接続した端子はポート機能として使用できます。

図11 - 7 CSIM4の設定 (動作停止モード)

リセット時 : 00H R/W アドレス : FFFFF2E2H								
	⑦	6	5	4	3	2	1	0
CSIM4	CSIE4	0	0	0	0	MODE4	0	SCL4
	CSIE4	SIO4の動作許可 / 禁止の指定						
		シフト・レジスタ動作		シリアル・カウンタ		ポート		
	0	動作禁止		クリア		ポート機能		

(2) 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ($\overline{\text{SCK4}}$)、シリアル出力 (SO4)、シリアル入力 (SI4) の3本のラインで通信を行います。

(a) レジスタの設定

3線式シリアルI/Oモードの設定は、可変長シリアル制御レジスタ4 (CSIM4) で行います。

図11 - 8 CSIM4の設定 (3線式シリアルI/Oモード)

リセット時 : 00H R/W アドレス : FFFFF2E2H								
	⑦	6	5	4	3	2	1	0
CSIM4	CSIE4	0	0	0	0	MODE4	0	SCL4
	CSIE4	SIO4の動作許可 / 禁止の指定						
		シフト・レジスタ動作		シリアル・カウンタ		ポート		
	1	動作許可		カウント動作許可		シリアル機能 + ポート機能		
	MODE4	転送動作モード・フラグ						
		動作モード		転送起動トリガ		SO4出力		
	0	送信 / 送受信モード		SIO4ライト		通常出力		
	1	受信専用モード		SIO4リード		ポート機能		
	SCL4	シリアル・クロックの選択						
	0	外部クロック入力 ($\overline{\text{SCK4}}$)						
	1	BRG (ポー・レート・ジェネレータ)						

可変長シリアル設定レジスタ4 (CSIB4) のビット3-0 (BSEL3-BSEL0) で、可変長レジスタのビット長を設定します。また、ビット4 (DIR) が1のときMSB先頭、0のときLSB先頭で転送を行います。

図11 - 9 CSIB4の設定 (3線式シリアルI/Oモード)

リセット時：00H R/W アドレス：FFFFFFE4H

	7	⑥	⑤	④	3	2	1	0
CSIB4	0	CMODE	DMODE	DIR	BSEL3	BSEL2	BSEL1	BSEL0

CMODE	DMODE	SCK4の アクティブ・レベル	SI4の 取り込みタイミング	SO4の 出力タイミング
0	0	ロウ・レベル	SCK4の立ち上がりエッジ	SCK4の立ち下がりエッジ
0	1	ロウ・レベル	SCK4の立ち下がりエッジ	SCK4の立ち上がりエッジ
1	0	ハイ・レベル	SCK4の立ち下がりエッジ	SCK4の立ち上がりエッジ
1	1	ハイ・レベル	SCK4の立ち上がりエッジ	SCK4の立ち下がりエッジ

DIR	シリアル転送方向
0	LSB先頭
1	MSB先頭

BSEL3	BSEL2	BSEL1	BSEL0	シリアル・レジスタのビット長
0	0	0	0	16ビット
1	0	0	0	8ビット
1	0	0	1	9ビット
1	0	1	0	10ビット
1	0	1	1	11ビット
1	1	0	0	12ビット
1	1	0	1	13ビット
1	1	1	0	14ビット
1	1	1	1	15ビット
その他				設定禁止

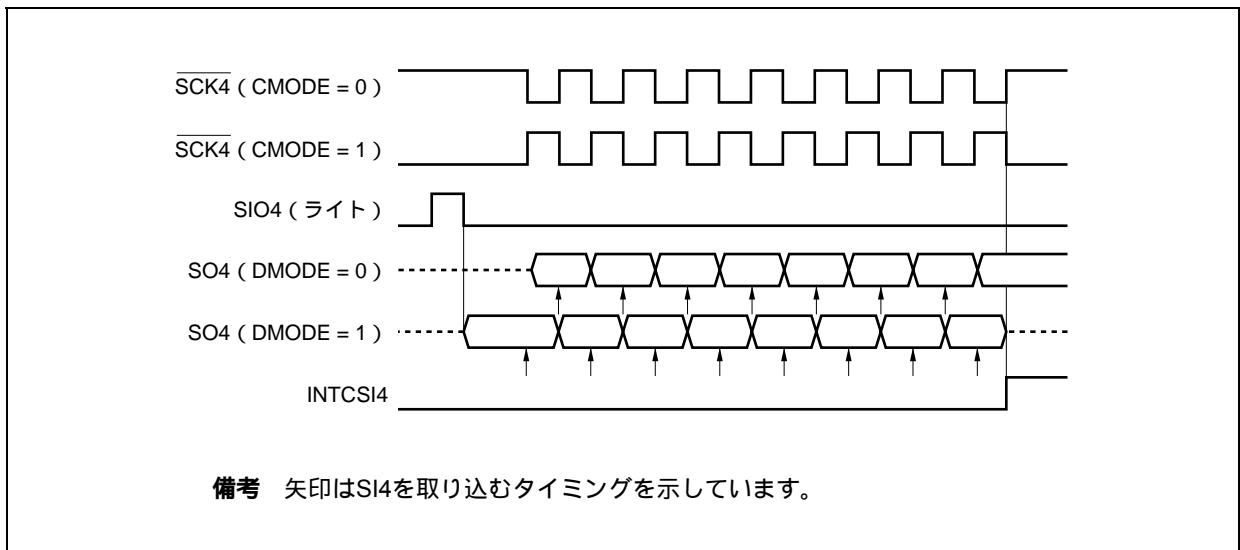
(b) 通信動作

3線式シリアルI/Oモードは、可変長シリアル設定レジスタ4 (CSIB4) のビット3-0 (BSEL3-BSEL0) で設定した8~16ビットの単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

全ビットの転送が終了すると、SIO4の動作は自動的に停止して、割り込み要求フラグ (INTCSI4) がセットされます。

また、可変長シリアル設定レジスタ4 (CSIB4) のビット6, 5 (CMODE, DMODE) でシリアル・クロック (SCK4) の属性とシリアル・データ (SI4, SO4) の位相を変更できます。

図11 - 10 3線式シリアルI/Oモードのタイミング



シリアル・クロック (SCK4) はCMODE = 0のとき、動作停止中はハイ・レベルで停止して、転送動作中はロウ・レベルを出力します。また、CMODE = 1のとき、動作停止中はロウ・レベルで停止して、転送動作中はハイ・レベルを出力します。SO4出力タイミングおよびSI4の取り込むタイミングも、DMODEの値によって半クロック位相をずらすことができます。

ただし、割り込み信号 (INTCSI4) は、どの場合でもシリアル・クロック (SCK4) の最終エッジで発生します。

(c) 転送スタート

シリアル転送は次の2つの条件を満たしたとき、転送が可能になります。

- ・ SIO4の動作制御ビット (CSIE4) = 1
- ・ シリアル転送後、内部のシリアル・クロックが停止した状態

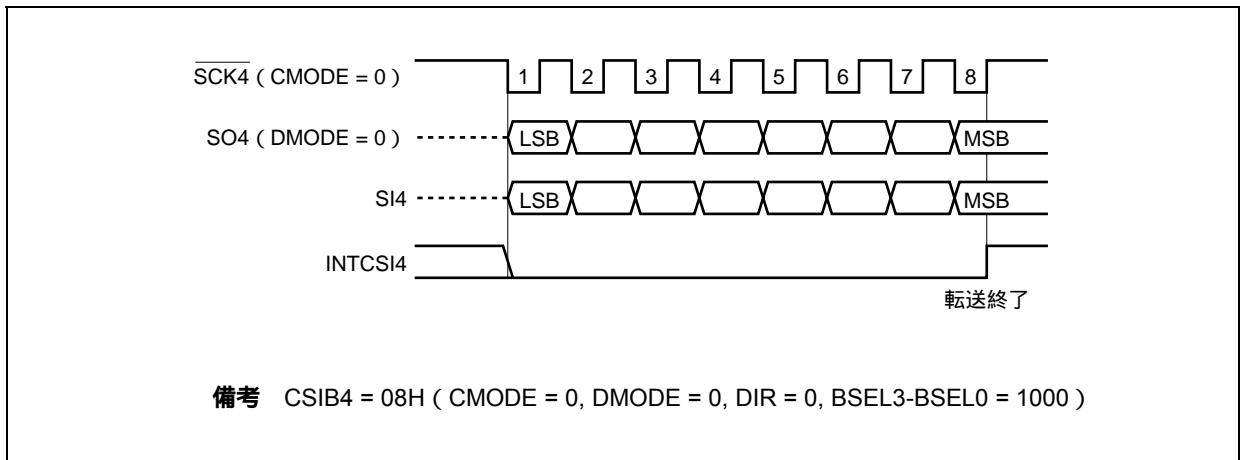
このとき、次の操作を行うと転送が開始されます。

- ・ 送信 / 送受信モード (MODE4 = 0)
SIO4ライトで転送スタート
- ・ 受信専用モード (MODE4 = 1)
SIO4のリードで転送スタート

注意 SIO4にアクセスしたあと、CSIE4 = 1にしても転送はスタートしません。

最終ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (INTCSI4) をセットします。

図11 - 11 3線式シリアル/Oモードのタイミング (CSIB4 = 08Hの場合)



11.4 3線式シリアル/O (CSI5, CSI6) : 8または16ビット

11.4.1 特 徴

高速転送 最大4 Mbps

半二重通信

マスタ・モードとスレーブ・モードを選択可能

送信データ長 : 8ビット / 16ビットに設定可能

転送データ方向をMSB先頭 / LSB先頭切り替え可能

8本のクロック信号を選択可能 (7本のマスタ・クロックと1本のスレーブ・クロック)

3線式 SOn : シリアル送信データ出力

 SIn : シリアル受信データ入力

 SCKn : シリアル・クロック入出力

割り込みソース1種

- ・送受信完了割り込み (INTCSIn)

送受信モードと受信専用モードを指定可能

2つの送信バッファ (SOTBFn/SOTBFLn, SOTBn/SOTBLn) と2つの受信バッファ (SIRBn/SIRBLn, SIRBE \bar{n} /SIRBELn) を内蔵

単発転送モードと繰り返し転送モードを指定可能

注意 P120/SCK5, P121/SI5, P122/SO5をCSI5送受信, P123/SCK6, P124/SI6, P125/SO6をCSI6送受信で使用する場合, ポート兼用機能コントロール・レジスタ2 (PAC2) の設定によりCSI5端子機能 (SCK5, SI5, SO5) およびCSI6端子機能 (SCK6, SI6, SO6) として使用できません (5.2.11 (2) (b) ポート兼用機能コントロール・レジスタ2 (PAC2), 5.3 ポート端子を兼用端子として使用する場合の設定参照)。

備考 n = 5, 6

11.4.2 構成

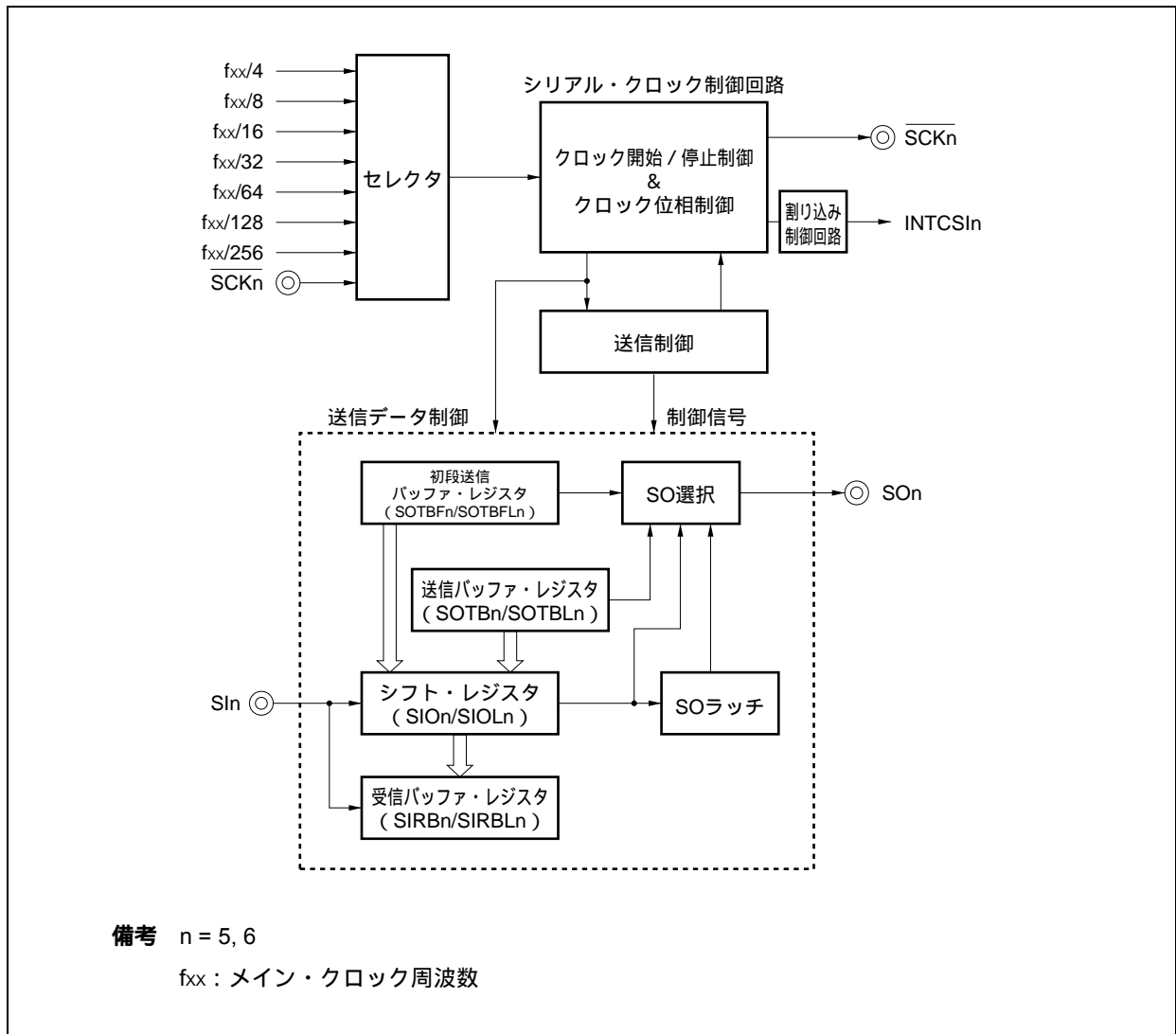
CSInは、次のハードウェアで構成されています (n = 5, 6)。

表11-3 CSInの構成

項目	構成
レジスタ	シリアルI/Oシフト・レジスタ n, Ln (SIO $n, SIOLn$)
制御レジスタ	クロック同期式シリアル・インタフェース・モード・レジスタ n (CSIM n) クロック同期式シリアル・インタフェース・クロック選択レジスタ n (CSICK n) クロック同期式シリアル・インタフェース受信バッファ・レジスタ n, Ln (SIRB $n, SIRBLn$) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ n, Ln (SIRBE $n, SIRBELn$) クロック同期式シリアル・インタフェース送信バッファ・レジスタ n, Ln (SOTB $n, SOTBLn$) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ n, Ln (SOTBF $n, SOTBFLn$)

備考 n = 5, 6

図11-12 3線式シリアルI/O (CSi5, CSi6) のブロック図



送受信データはSIO_nレジスタの読み出しで行います (n = 0, 1)。

(1) シリアルI/Oシフト・レジスタ_n (SIO_n)

SIO_nレジスタは、パラレル・データをシリアル・データに変換する16ビット・シフト・レジスタです。

SIO_nレジスタは送信および受信の両方に使用されます。

データは、MSB側またはLSB側からシフト・イン（受信）またはシフト・アウト（送信）されます。

バッファ・レジスタへのアクセスで実際の送受信動作が起動されます。

備考 n = 5, 6

(2) シリアルI/Oシフト・レジスタ_{Ln} (SIO_{Ln})

SIO_{Ln}レジスタは、パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです。

SIO_{Ln}レジスタは送信および受信の両方に使用されます。

データは、MSB側またはLSB側からシフト・イン（受信）またはシフト・アウト（送信）されます。

バッファ・レジスタへのアクセスで実際の送受信動作が起動されます。

備考 n = 5, 6

(3) セレクタ

使用するシリアル・クロックを選択します。

(4) シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給を制御します。また、内部クロック使用時には $\overline{\text{SCKn}}$ 端子へ出力するクロックの制御も行います。

(5) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8/16ビット・データの送受信が行われたことを調べます。

(6) 割り込み制御回路

割り込み要求タイミングを制御します。

11.4.3 制御レジスタ

CSInは、次のレジスタで制御します (n = 5, 6)。

- ・クロック同期式シリアル・インタフェース・モード・レジスタn (CSIMn)
- ・クロック同期式シリアル・インタフェース・クロック選択レジスタn (CSICKn)
- ・クロック同期式シリアル・インタフェース受信バッファ・レジスタn, Ln (SIRBn, SIRBLn)
- ・クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタn, Ln (SIRBEn, SIRBELn)
- ・クロック同期式シリアル・インタフェース送信バッファ・レジスタn, Ln (SOTBn, SOTBLn)
- ・クロック同期式シリアル・インタフェース初段送信バッファ・レジスタn, Ln (SOTBFn, SOTBFLn)

(1) クロック同期式シリアル・インタフェース・モード・レジスタ5, 6 (CSIM5, CSIM6)

CSInの動作を制御するレジスタです (n = 5, 6)。

CSIMnは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

注意 CSIMnレジスタのTRMDn, CCLn, DIRn, CSITn, AUTO_nビットの書き換えは、CSOT_nビット = 0のときだけ可能です。それ以外のときにこれらのビットを書き換えた場合の動作は保証しません。

リセット時：00H R/W アドレス：FFFFFF240H, FFFFFFF260H

	7	6	5	4	3	2	1	0
CSIMn	CSIE _n	TRMD _n	CCL _n	DIR _n	CSIT _n	AUTO _n	0	CSOT _n ^注

(n = 5, 6)

CSIE _n	CSIE _n の動作許可 / 禁止の指定
0	動作禁止
1	動作許可

CSIE_nビット = 0にすることで、CSIE_nの内部回路を非同期にリセットすることができます。CSIE_nビット = 0のときの $\overline{\text{SCK}}_n$, SOn端子出力状態については11. 6. 5 出力端子を参照してください。

TRMD _n	送受信モードの指定
0	受信専用モード
1	送受信モード

TRMD_nビット = 0の場合、受信だけの転送になり、SOn端子出力はロウ・レベルに固定されます。SIRB_nレジスタの読み出しにより、データ受信を開始します。
TRMD_nビット = 1の場合、SOTB_nレジスタへのデータ書き込みにより送受信が開始されます。

CCL _n	データ長の指定
0	8ビット
1	16ビット

DIR _n	転送方向モード (MSB/LSB) の指定
0	転送データ先頭ビットはMSB
1	転送データ先頭ビットはLSB

CSIT _n	割り込み要求信号の遅延制御
0	遅延なし
1	遅延モード (割り込み要求信号が半サイクル遅れる)

AUTO _n	単発転送 / 繰り返し転送モードの指定
0	単発転送モード
1	繰り返し転送モード

CSOT _n	転送状態表示フラグ
0	アイドル状態
1	転送実行状態

注 ビット0 (CSOT_n) はリードだけ可能です。

- 注意1. 遅延モード (CSIT_nビット = 1) は、マスタ・モード (CSICK_nレジスタのCKSn2-CKSn0ビットが111Bでない) のときだけ有効です。スレーブ・モード (CKSn2-CKSn0ビットが111B) 時は、遅延モードに設定しないでください。
2. CSOT_nビットは、CSIE_nビット = 0でクリア (0) されます。

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタ5, 6 (CSICK5, CSICK6)

CSInの転送動作を制御する8ビット・レジスタです (n = 5, 6)。

CSICKnは、8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

注意 CSICKnレジスタはCSIMnレジスタのCSIEnビット = 0のときだけ書き換えられます。

リセット時 : 00H R/W アドレス : FFFFF242H, FFFFF262H

	7	6	5	4	3	2	1	0
CSICKn	0	0	0	CKPn	DAPn	CKSn2	CKSn1	CKSn0

(n = 5, 6)

CKPn	DAPn	動作モード
0	0	
0	1	
1	0	
1	1	

CKSn2	CKSn1	CKSn0	入力クロックの選択	モード
0	0	0	f _{xx} /4	マスタ・モード
0	0	1	f _{xx} /8	マスタ・モード
0	1	0	f _{xx} /16	マスタ・モード
0	1	1	f _{xx} /32	マスタ・モード
1	0	0	f _{xx} /64	マスタ・モード
1	0	1	f _{xx} /128	マスタ・モード
1	1	0	f _{xx} /256	マスタ・モード
1	1	1	外部クロック (SCKn)	スレーブ・モード

備考 f_{xx} : メイン・クロック周波数

(3) クロック同期式シリアル・インタフェース受信バッファ・レジスタ5, 6 (SIRB5, SIRB6)

受信データを格納する16ビット・バッファ・レジスタです。

受信専用モード (CSIMnレジスタのTRMDnビット = 0) に設定したとき, SIRBnレジスタからデータを読み出すことにより, 受信動作を開始します (n = 5, 6)。

SIRBnは, 16ビット・メモリ操作命令で設定します。

RESET入力により0000Hになります。

RESET入力以外に, CSIMnレジスタのCSIE nビットをクリア (0) した場合も初期化されます。

リセット時: 0000H R アドレス: FFFFF244H, FFFFF264H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRBn (n = 5, 6)	SIRB n15	SIRB n14	SIRB n13	SIRB n12	SIRB n11	SIRB n10	SIRB n9	SIRB n8	SIRB n7	SIRB n6	SIRB n5	SIRB n4	SIRB n3	SIRB n2	SIRB n1	SIRB n0

注意1. SIRBnレジスタは, 16ビット・データ長 (CSIMnレジスタのCCLnビット = 1) に設定したときだけリードしてください。

2. 単発転送モード (CSIMnレジスタのAUTO nビット = 0) に設定したときには, アイドル状態中 (CSIMnレジスタのCSOTnビット = 0) のときだけリードしてください。データ転送中にSIRBnレジスタをリードした場合のデータは保証しません。

(4) クロック同期式シリアル・インタフェース受信バッファ・レジスタL5, L6 (SIRBL5, SIRBL6)

受信データを格納する8ビット・バッファ・レジスタです。

受信専用モード (CSIMnレジスタのTRMDnビット = 0) に設定したとき, SIRBLnレジスタからデータを読み出すことにより, 受信動作を開始します。

SIRBLnは, 8ビット・メモリ操作命令で設定します (n = 5, 6)。

RESET入力により00Hになります。

RESET入力以外に, CSIMnレジスタのCSIE nビットをクリア (0) した場合も初期化されます。

SIRBLnレジスタは, SIRBnレジスタの下位バイトと同じものです。

リセット時: 00H R アドレス: FFFFF246H, FFFFF266H

	7	6	5	4	3	2	1	0
SIRBLn (n = 5, 6)	SIRBn7	SIRBn6	SIRBn5	SIRBn4	SIRBn3	SIRBn2	SIRBn1	SIRBn0

注意1. SIRBLnレジスタは, 8ビット・データ長 (CSIMnレジスタのCCLnビット = 0) に設定したときだけリードしてください。

2. 単発転送モード (CSIMnレジスタのAUTO nビット = 0) に設定したときには, アイドル状態中 (CSIMnレジスタのCSOTnビット = 0) のときだけリードしてください。データ転送中にSIRBLnレジスタをリードした場合のデータは保証しません。

(5) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ5, 6 (SIRBE5, SIRBE6)

受信データを格納する16ビット・バッファ・レジスタです。

SIRBE_nは、16ビット・メモリ操作命令で設定します (n = 5, 6)。

$\overline{\text{RESET}}$ 入力により0000Hになります。

$\overline{\text{RESET}}$ 入力以外に、CSIM_nレジスタのCSIE_nビットをクリア (0) した場合も初期化されます。

SIRBE_nレジスタは、SIRB_nレジスタと同じものです。SIRB_nレジスタの内容を読み出す場合に使用します。

リセット時 : 0000H R アドレス : FFFFF24CH, FFFFF26CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRBE _n (n = 5, 6)	SIRBE _{n15}	SIRBE _{n14}	SIRBE _{n13}	SIRBE _{n12}	SIRBE _{n11}	SIRBE _{n10}	SIRBE _{n9}	SIRBE _{n8}	SIRBE _{n7}	SIRBE _{n6}	SIRBE _{n5}	SIRBE _{n4}	SIRBE _{n3}	SIRBE _{n2}	SIRBE _{n1}	SIRBE _{n0}

注意1. SIRBE_nレジスタからデータを読み出しても、受信動作は開始しません。
2. SIRBE_nレジスタは、16ビット・データ長 (CSIM_nレジスタのCCL_nビット = 1) に設定したときだけリードしてください。

(6) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL5, L6 (SIRBEL5, SIRBEL6)

受信データを格納する8ビット・バッファ・レジスタです。

★ SIRBEL_nは、8/16ビット・メモリ操作命令で設定します (n = 5, 6)。

$\overline{\text{RESET}}$ 入力により00Hになります。

$\overline{\text{RESET}}$ 入力以外に、CSIM_nレジスタのCSIE_nビットをクリア (0) した場合も初期化されます。

SIRBEL_nレジスタは、SIRBL_nレジスタと同じものです。SIRBL_nレジスタの内容を読み出す場合に使用します。

リセット時 : 00H R アドレス : FFFFF24EH, FFFFF26EH

	7	6	5	4	3	2	1	0
SIRBEL _n (n = 5, 6)	SIRBEL _{n7}	SIRBEL _{n6}	SIRBEL _{n5}	SIRBEL _{n4}	SIRBEL _{n3}	SIRBEL _{n2}	SIRBEL _{n1}	SIRBEL _{n0}

注意1. SIRBEL_nレジスタからデータを読み出しても、受信動作は開始しません。
2. SIRBEL_nレジスタは、8ビット・データ長 (CSIM_nレジスタのCCL_nビット = 0) に設定したときだけリードしてください。

(7) クロック同期式シリアル・インタフェース送信バッファ・レジスタ5, 6 (SOTB5, SOTB6)

送信データを格納する16ビット・バッファ・レジスタです。

送受信モード (CSIMnレジスタのTRMDnビット = 1) に設定したとき, SOTBnレジスタへのデータ書き込みにより, 送信動作を開始します (n = 5, 6)。

SOTBnは, 16ビット・メモリ操作命令で設定します。

RESET入力により0000Hになります。

リセット時 : 0000H R/W アドレス : FFFFF248H, FFFFF268H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOTBn (n = 5, 6)	SOTBn15	SOTBn14	SOTBn13	SOTBn12	SOTBn11	SOTBn10	SOTBn9	SOTBn8	SOTBn7	SOTBn6	SOTBn5	SOTBn4	SOTBn3	SOTBn2	SOTBn1	SOTBn0

- 注意1.** SOTBnレジスタは, 16ビット・データ長 (CSIMnレジスタのCCLnビット = 1) に設定したときだけアクセスしてください。
- 2.** 単発転送モード (CSIMnレジスタのAUTOOnビット = 0) に設定したときには, アイドル状態中 (CSIMnレジスタのCSOTnビット = 0) のときだけアクセスしてください。データ転送中にSOTBnレジスタをアクセスした場合のデータは保証しません。

(8) クロック同期式シリアル・インタフェース送信バッファ・レジスタL5, L6 (SOTBL5, SOTBL6)

送信データを格納する8ビット・バッファ・レジスタです。

送受信モード (CSIMnレジスタのTRMDnビット = 1) に設定したとき, SOTBLnレジスタへのデータ書き込みにより, 送信動作を開始します (n = 5, 6)。

★ SOTBLnは, 8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

SOTBLnレジスタは, SOTBnレジスタの下位バイトと同じものです。

リセット時 : 00H R/W アドレス : FFFFF24AH, FFFFF26AH

	7	6	5	4	3	2	1	0
SOTBLn	SOTBn7	SOTBn6	SOTBn5	SOTBn4	SOTBn3	SOTBn2	SOTBn1	SOTBn0

(n = 5, 6)

注意1. SOTBLnレジスタは, 8ビット・データ長 (CSIMnレジスタのCCLnビット = 0) に設定したときだけアクセスしてください。

2. 単発転送モード (CSIMnレジスタのAUTO nビット = 0) に設定したときには, アイドル状態中 (CSIMnレジスタのCSOTnビット = 0) のときだけアクセスしてください。データ転送中にSOTBLnレジスタをアクセスした場合のデータは保証しません。

(9) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ5, 6 (SOTBF5, SOTBF6)

繰り返し転送モードでの初段送信データを格納する16ビット・バッファ・レジスタです。

SOTBFnレジスタにデータを書き込んでも, 送信動作は開始されません (n = 5, 6)。

SOTBFnは, 16ビット・メモリ操作命令で設定します。

RESET入力により0000Hになります。

リセット時 : 0000H R/W アドレス : FFFFF250H, FFFFF270H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOTBFn	SOTBFn15	SOTBFn14	SOTBFn13	SOTBFn12	SOTBFn11	SOTBFn10	SOTBFn9	SOTBFn8	SOTBFn7	SOTBFn6	SOTBFn5	SOTBFn4	SOTBFn3	SOTBFn2	SOTBFn1	SOTBFn0

(n = 5, 6)

注意 SOTBFnレジスタは, 16ビット・データ長 (CSIMnレジスタのCCLnビット = 1) で, アイドル状態中 (CSIMnレジスタのCSOTnビット = 0) のときだけアクセスしてください。データ転送中にSOTBFnレジスタをアクセスした場合のデータは保証しません。

(10) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL5, L6 (SOTBFL5, SOTBFL6)

繰り返し転送モードでの初段送信データを格納する8ビット・バッファ・レジスタです。

SOTBFLnレジスタにデータを書き込んでも、送信動作は開始されません (n = 5, 6)。

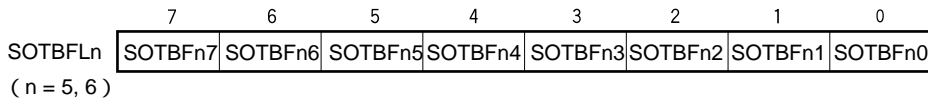
★

SOTBFLnは、8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

SOTBFLnレジスタはSOTBFnレジスタの下位バイトと同じものです。

リセット時：00H R/W アドレス：FFFFF252H, FFFFF272H



注意 SOTBFLnレジスタは、8ビット・データ長 (CSIMnレジスタのCCLnビット = 0) で、アイドル状態中 (CSIMnレジスタのCSOTnビット = 0) のときだけアクセスしてください。データ転送中にSOTBFLnレジスタをアクセスした場合のデータは保証しません。

(11) シリアルI/Oシフト・レジスタ5, 6 (SIO5, SIO6)

パラレル・データをシリアル・データに変換する16ビット・シフト・レジスタです。

データは、MSBまたはLSB側からシフト・イン (受信) またはシフト・アウト (送信) します。

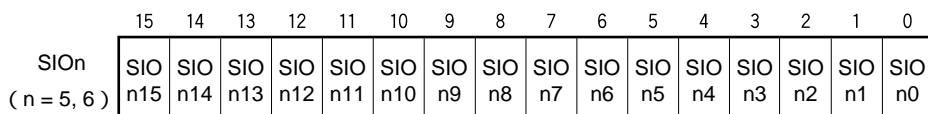
SIOnレジスタを読み出しても、転送は開始されません (n = 5, 6)。

SIOnは、16ビット・メモリ操作命令で設定します。

RESET入力により0000Hになります。

RESET入力以外に、CSIMnレジスタのCSIE nビットをクリア (0) した場合も初期化されます。

リセット時：0000H R アドレス：FFFFF254H, FFFFF274H



注意 SIO nレジスタは、16ビット・データ長 (CSIMnレジスタのCCLnビット = 1) で、アイドル状態中 (CSIMnレジスタのCSOTnビット = 0) のときだけリードしてください。データ転送中にSIO nレジスタをリードした場合のデータは保証しません。

(12) シリアルI/Oシフト・レジスタL5, L6 (SIOL5, SIOL6)

パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです。

データは、MSBまたはLSB側からシフト・イン（受信）またはシフト・アウト（送信）します。

SIOLnレジスタを読み出しても、転送は開始されません（n = 5, 6）。

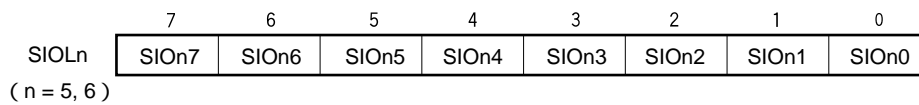
★ SIOLnは、8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

RESET入力以外に、CSIMnレジスタのCSIE_nビットをクリア（0）する場合も初期化されます。

SIOLnレジスタはSIO_nレジスタの下位バイトと同じものです。

リセット時：00H R アドレス：FFFFF256H, FFFFF276H



注意 SIOLnレジスタは、8ビット・データ長（CSIMnレジスタのCCLnビット = 0）で、アイドル状態中（CSIMnレジスタのCSOTnビット = 0）のときだけリードしてください。データ転送中にSIOLnレジスタをリードした場合のデータは保証しません。

11.4.4 動作

CSInには、次の2種類の動作モードがあります (n = 5, 6)。

- ・単発転送モード
- ・繰り返し転送モード

(1) 単発転送モード

(a) 使用方法

受信専用モード (CSIMnレジスタのTRMDnビット = 0) の場合、受信データ・バッファ・レジスタ (SIRBn/SIRBLn) のリード^{注1}で転送を開始します (n = 5, 6)。

送受信モード (CSIMnレジスタのTRMDnビット = 1) の場合、送信データ・バッファ・レジスタ (SOTBn/SOTBLn) へのライト^{注2}で転送を開始します。

また、スレーブ・モードの場合、前もって動作許可 (CSIMnレジスタのCSIEnビット = 1) になっている必要があります。

転送が開始されているときには、CSIMnレジスタのCSOTnビット = 1 (送信実行状態) になります。

転送が終了すると、送受信完了割り込み (INTCSIn) がセット (1) され、CSOTnビットはクリア (0) されます。そして、次のデータ転送要求の待ち状態になります。

- 注1. 16ビット・データ長 (CSIMnレジスタのCCLnビット = 1) に設定している場合はSIRBnレジスタを、8ビット・データ長 (CCLnビット = 0) に設定している場合はSIRBLnレジスタをリードしてください。
- 注2. 16ビット・データ長 (CSIMnレジスタのCCLnビット = 1) に設定している場合はSOTBnレジスタを、8ビット・データ長 (CCLnビット = 0) に設定している場合はSOTBLnレジスタへライトしてください。

注意 CSIMnレジスタのCSOTnビット = 1のときに、CSInのレジスタは操作しないでください。

図11 - 13 単発転送モードでのタイミング・チャート (1/2)

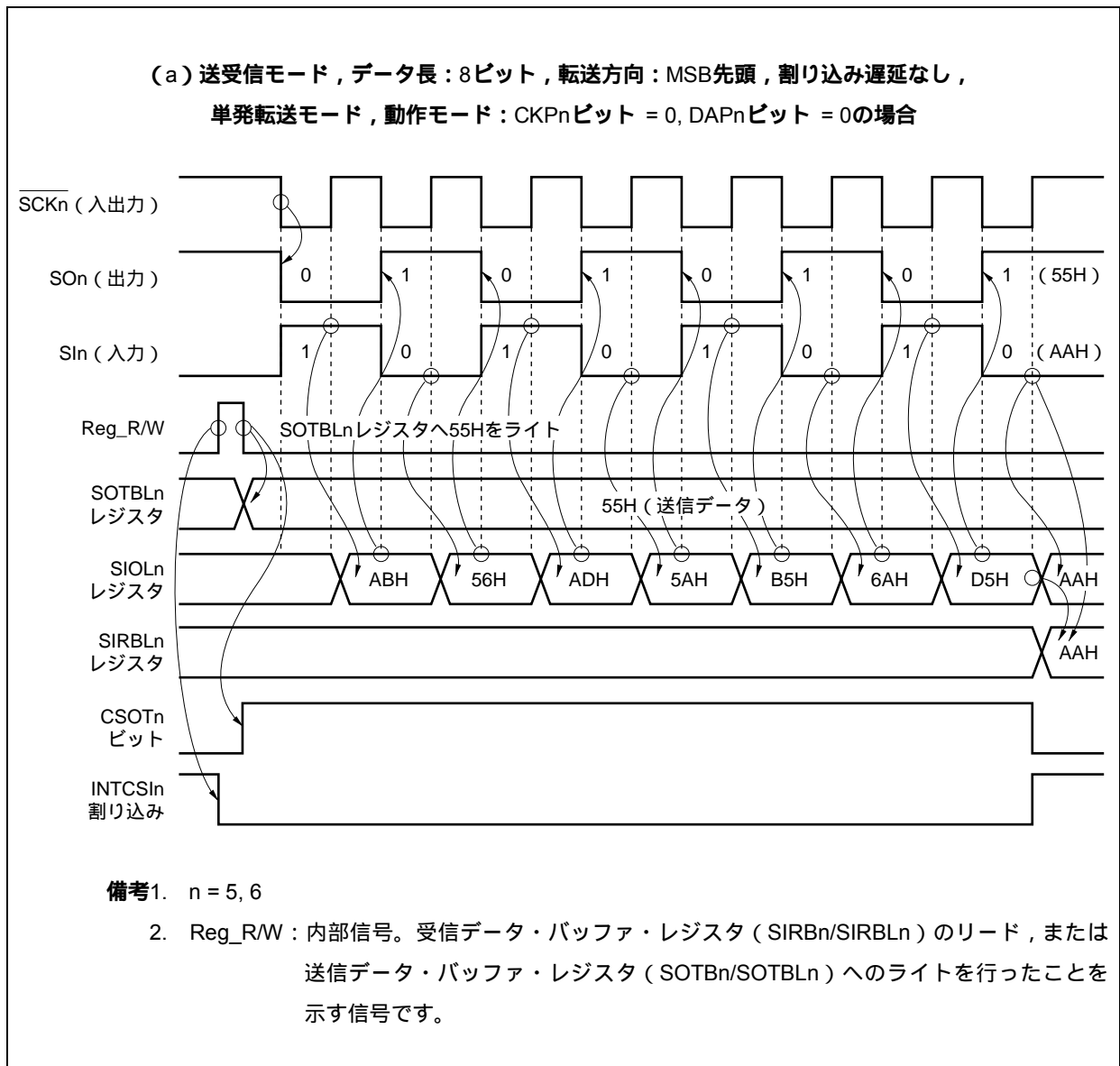
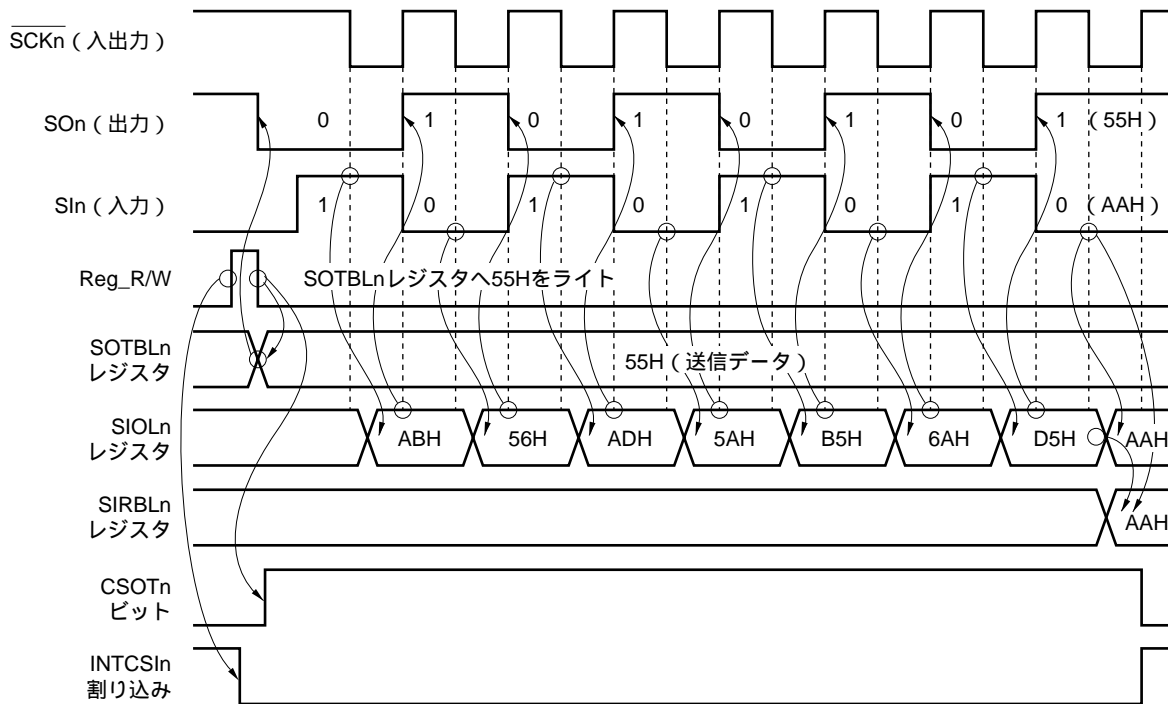


図11 - 13 単発転送モードでのタイミング・チャート (2/2)

(b) 送受信モード, データ長: 8ビット, 転送方向: MSB先頭, 割り込み遅延なし,
単発転送モード, 動作モード: CKPnビット = 0, DAPnビット = 1の場合



備考1. n = 5, 6

2. Reg_RW: 内部信号。受信データ・バッファ・レジスタ (SIRBn/SIRBLn) のリード, または送信データ・バッファ・レジスタ (SOTBn/SOTBLn) へのライトを行ったことを示す信号です。

(b) クロック位相選択

次の条件で、クロック位相選択（CSICnレジスタのCKPnビット）とデータ位相選択（CSICnレジスタのDAPnビット）の条件を変えたときのタイミングを示します。

- ・データ長が8ビット（CSIMnレジスタのCCLnビット = 0）
- ・転送データ先頭ビットがMSB（CSIMnレジスタのDIRnビット = 0）
- ・割り込み要求信号遅延制御なし（CSIMnレジスタのCSITnビット = 0）

図11 - 14 クロック位相選択によるタイミング・チャート（1/2）

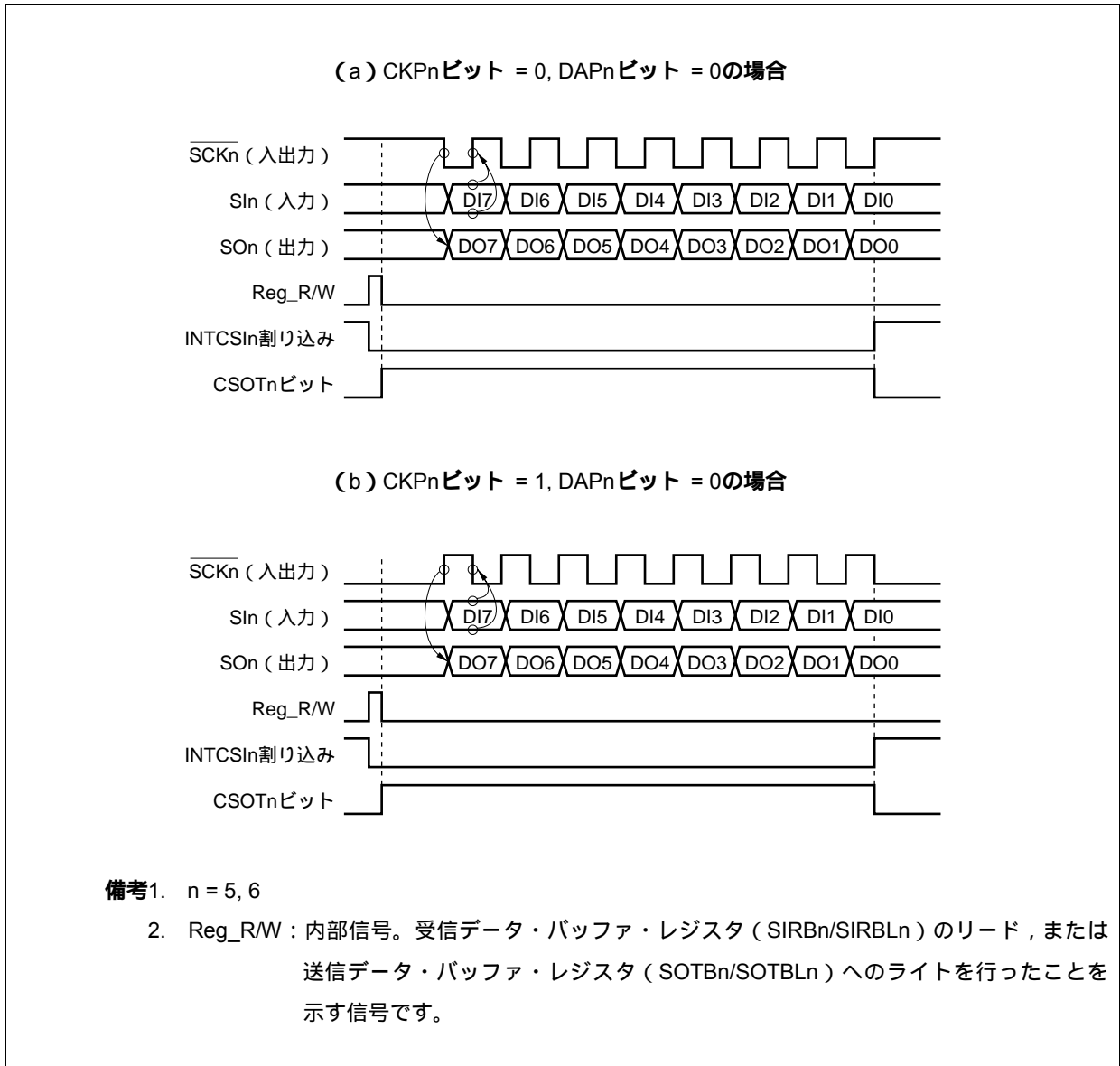
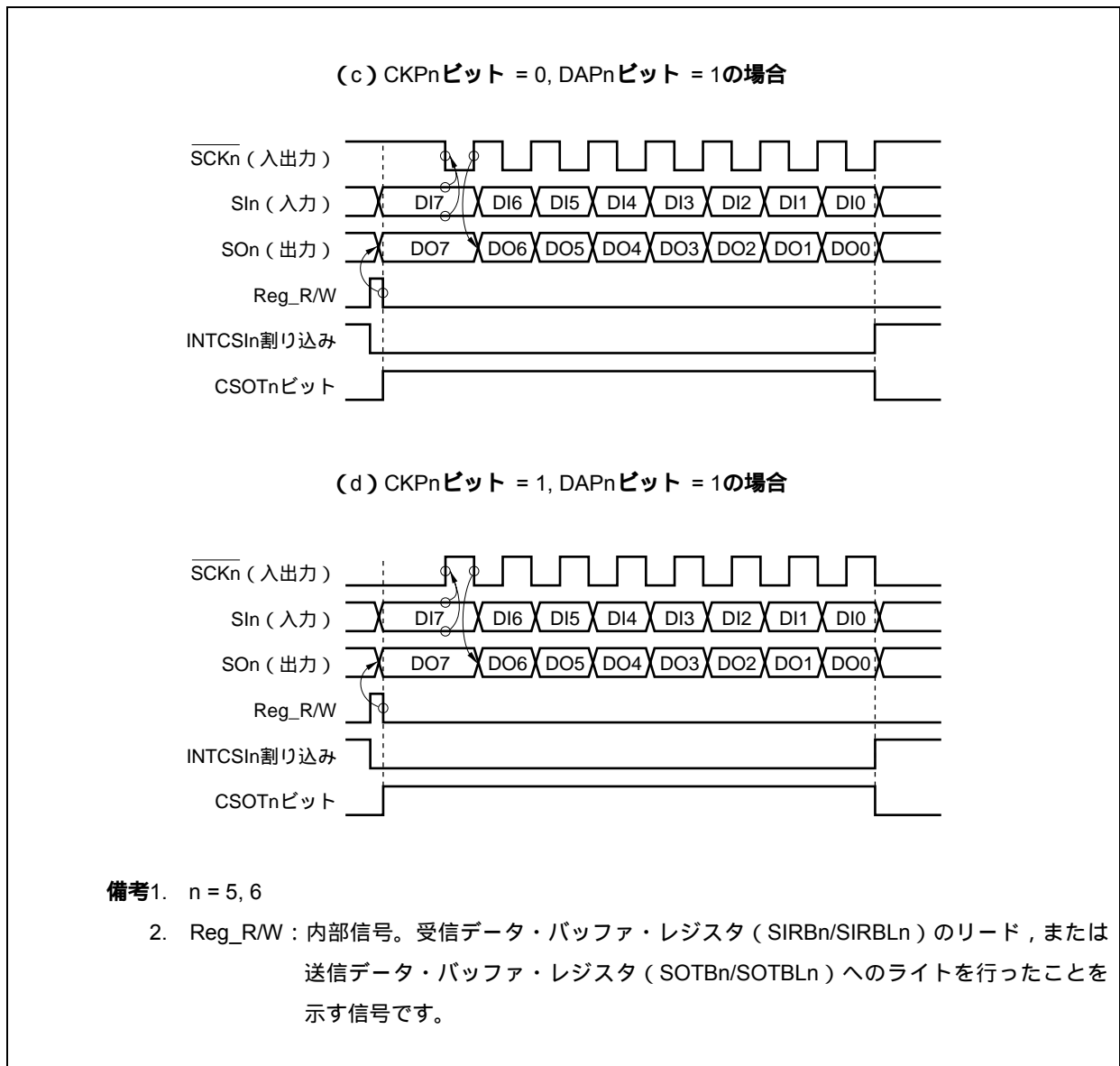


図11 - 14 クロック位相選択によるタイミング・チャート (2/2)



(c) 送受信完了割り込み要求信号 (INTCSI5, INTCSI6)

INTCSInは、データの送受信終了時にセット(1)されます。

注意 遅延モード (CSITnビット = 1) は、マスタ・モード (CSICKnレジスタのCKSn2-CKSn0ビットが111Bでない) のときだけ有効です。スレーブ・モード (CKSn2-CKSn0ビットが111B) 時は、遅延モードに設定しないでください。

図11 - 15 遅延モード時の割り込み要求信号出力タイミング・チャート (1/2)

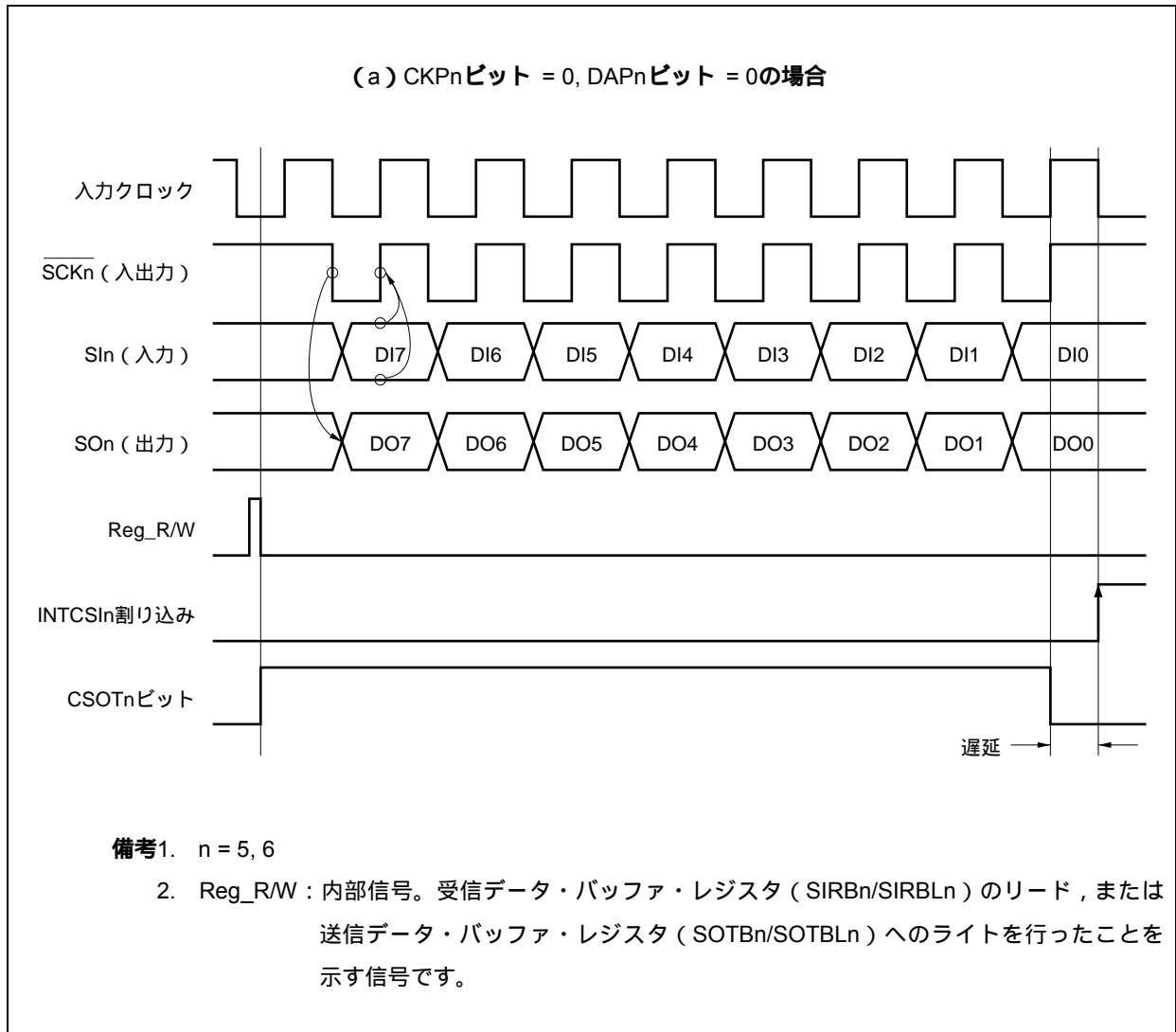
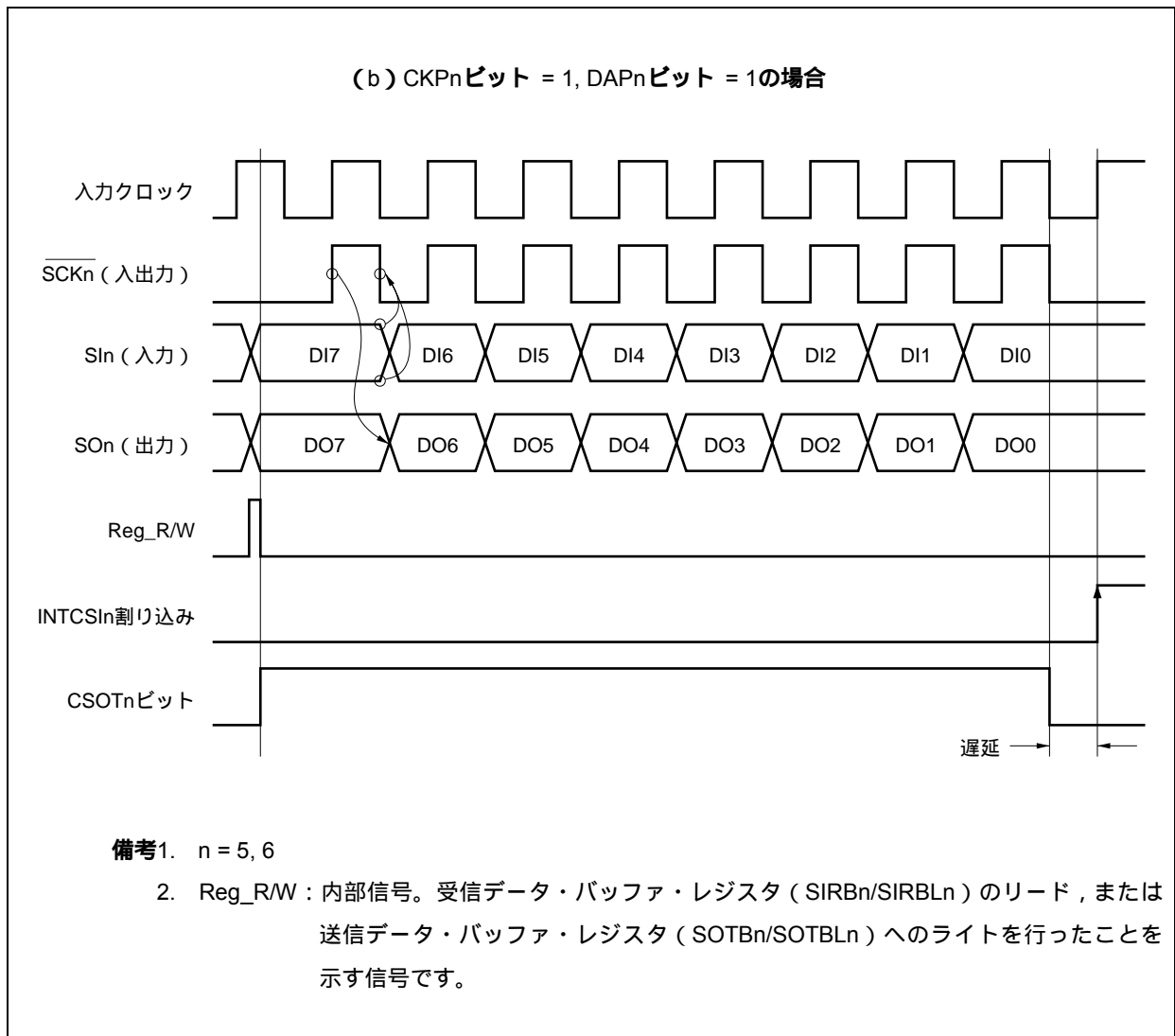


図11 - 15 遅延モード時の割り込み要求信号出力タイミング・チャート (2/2)



(2) 繰り返し転送モード

(a) 使用方法 (受信専用)

繰り返し転送モード (CSIMnレジスタのAUTO_nビット = 1)、受信専用モード (CSIMnレジスタのTRMD_nビット = 0) に設定する。

SIRB_nレジスタをリードする (ダミー・リードで転送を開始させる)。

送受信完了割り込み要求 (INTCSIn) を待つ。

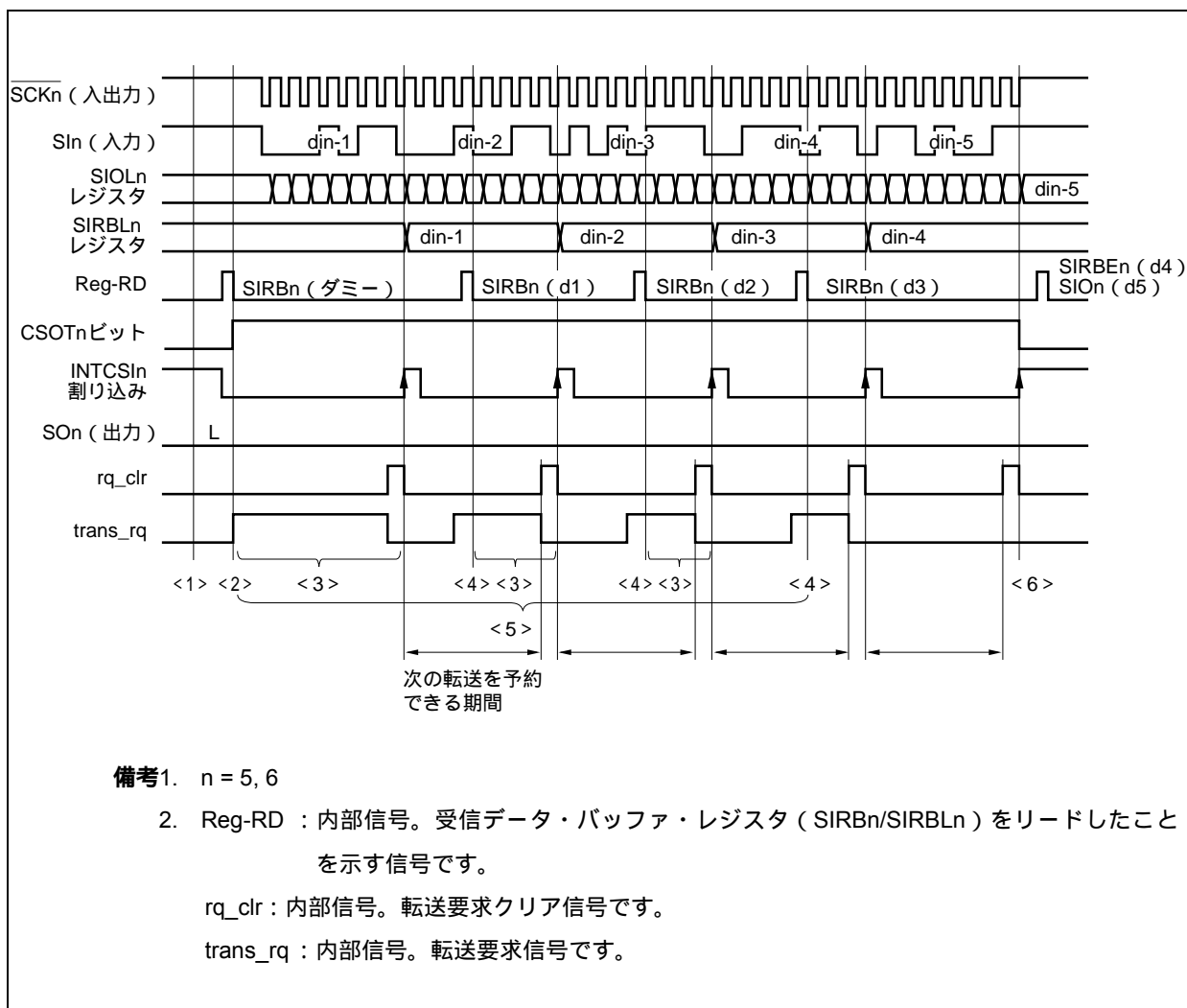
送受信完了割り込み要求 (INTCSIn) がセット (1) されたら、SIRB_nレジスタをリードする^注 (次の転送を予約する)。

(N - 2) 回、`SIRBn` を繰り返す (N: 転送データ数)。

最後の送受信完了割り込み要求 (INTCSIn) 出力のあと、SIRB_nレジスタとSIO_nレジスタをリードする^注。

注 N個のデータを転送する場合、最初のデータから (N - 2) 番目のデータまではSIRB_nレジスタをリードすることで受信データを取り込みます。(N - 1) 番目のデータはSIRB_nレジスタのリード、N番目 (最後) のデータはSIO_nレジスタのリードにより受信データを取り込みます。

図11 - 16 繰り返し転送（受信専用）タイミング・チャート



繰り返し転送モードの場合、2回の転送要求が最初の転送開始で設定されます。送受信完了割り込み要求 (INTCSIn) のあと、次の転送の予約期間内でSIRBnレジスタをリードできれば、転送は続けられます。SIRBnレジスタのリードができなければ、転送は終了し、SIRBnレジスタはSIOOnレジスタの新しい値を受け取りません。

最後のデータは転送終了後のSIOOnレジスタのリードで得られます。

(b) 使用方法 (送受信)

繰り返し転送モード (CSIMnレジスタのAUTO_nビット = 1) , 送受信モード (CSIMnレジスタのTRMD_nビット = 1) に設定する。

最初のデータをSOTBF_nレジスタにライトする。

2番目のデータをSOTB_nレジスタにライトする (転送を開始させる)。

送受信完了割り込み要求 (INTCSIn) を待つ。

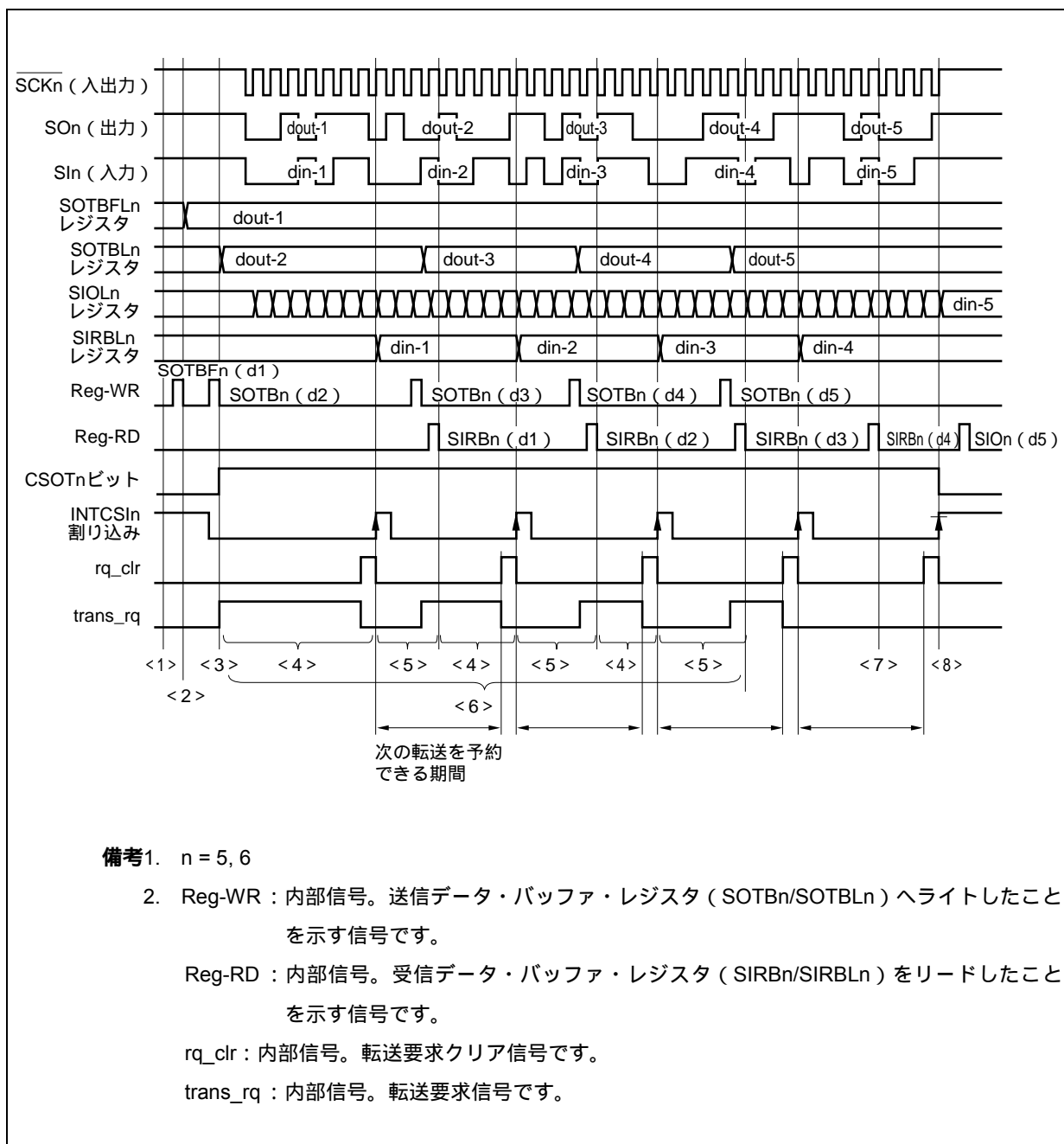
送受信完了割り込み要求 (INTCSIn) がセット (1) されたら, SOTB_nレジスタに次のデータをライトし (次の転送を予約する) , SIRB_nレジスタをリードして受信データを取り込む。

送りたいデータがある間, , を繰り返す。

INTCSIn割り込みを待つ。割り込み要求信号がセット (1) されたら, SIRB_nレジスタをリードして (N - 1) 番目の受信データを取り込む (N : 転送データ数)。

最後の送受信完了割り込み要求 (INTCSIn) のあと, SIO_nレジスタをリードしてN番目 (最後) の受信データを取り込む。

図11 - 17 繰り返し転送 (送受信) タイミング・チャート



備考1. n = 5, 6

2. Reg-WR : 内部信号。送信データ・バッファ・レジスタ (SOTBn/SOTBLn) ヘライトしたことを示す信号です。

Reg-RD : 内部信号。受信データ・バッファ・レジスタ (SIRBn/SIRBLn) をリードしたことを示す信号です。

rq_clr : 内部信号。転送要求クリア信号です。

trans_rq : 内部信号。転送要求信号です。

繰り返し転送モードの場合、2回の転送要求が最初の転送開始で設定されます。送受信完了割り込み要求 (INTCSIn) 発生のもと、次の転送の予約期間内でSOTBnレジスタに次のデータをライトできれば、転送は続けられます。SOTBnレジスタへのライトができなければ、転送は終了し、SIRBnレジスタはSIOnレジスタの新しい値を受け取りません。

最後の受信データは転送終了後のSIOnレジスタのリードで得られます。

(c) 次転送予約期間

繰り返し転送モードでは、次に示す期間中に次転送の準備をする必要があります。

図11 - 18 次転送予約期間タイミング・チャート (1/2)

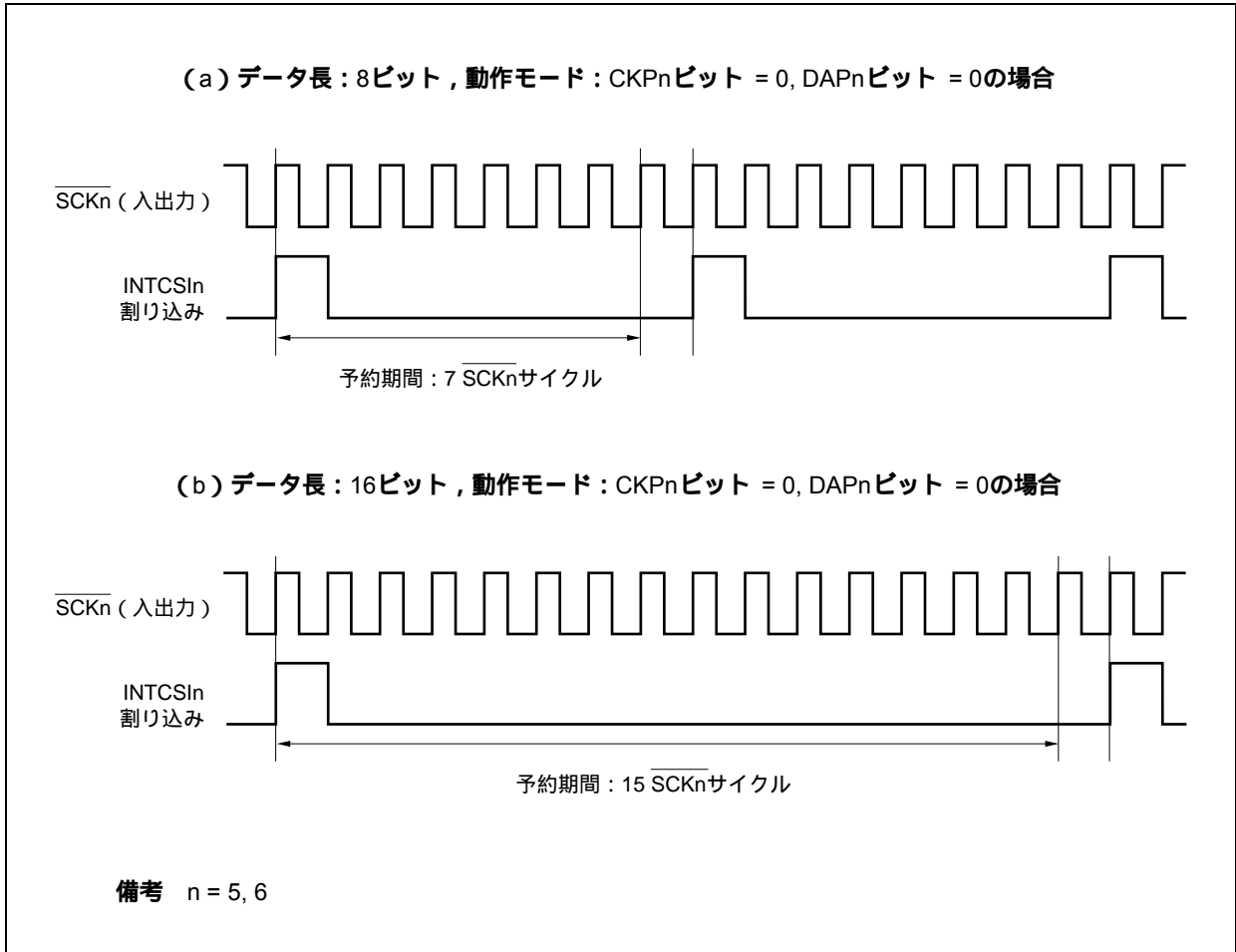
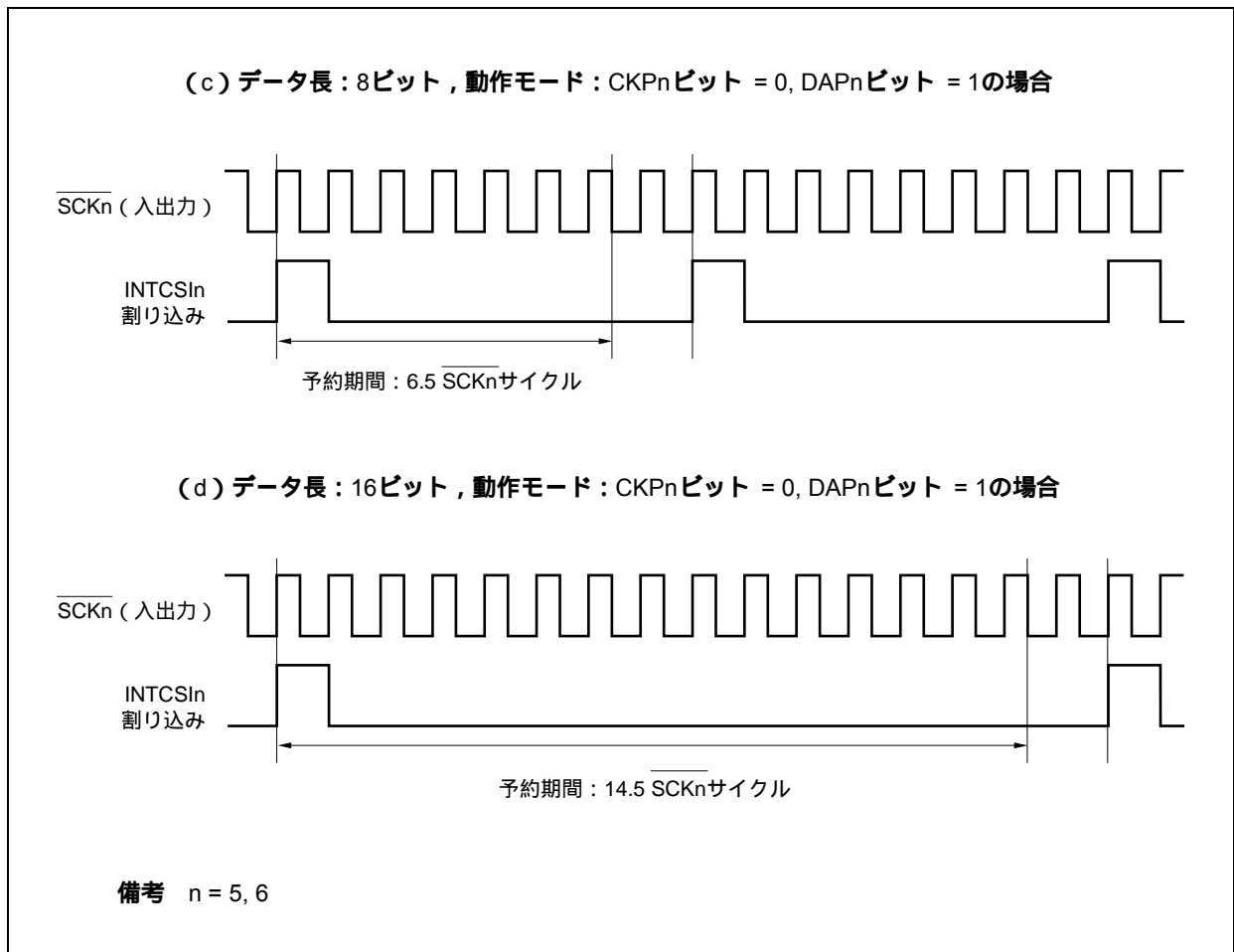


図11 - 18 次転送予約期間タイミング・チャート (2/2)



(d) 注意事項

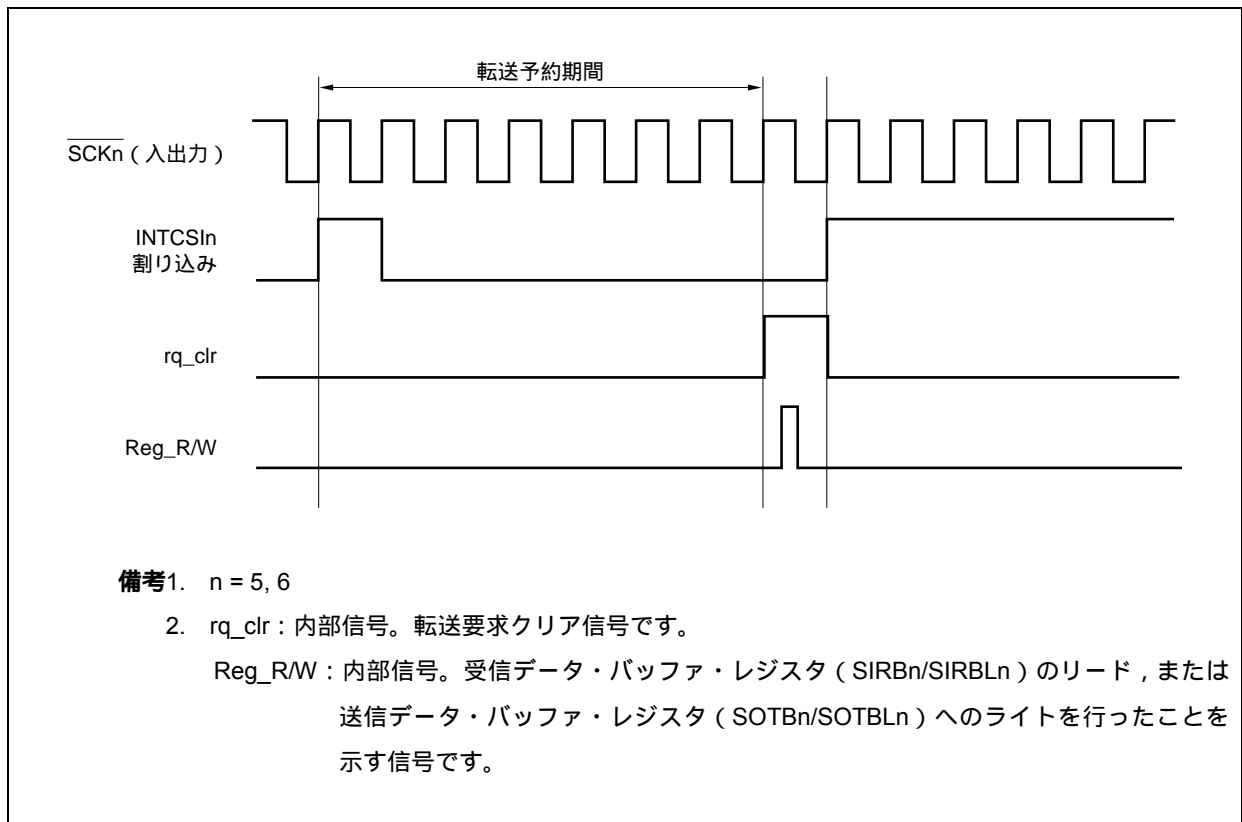
繰り返し転送を継続させるため、転送予約期間中にSIRBnレジスタのリード、またはSOTBnレジスタへのライトを必ず行ってください。

転送予約期間を過ぎてSIRBnレジスタやSOTBnレジスタをアクセスしたときには次のようになります。

(i) 転送要求クリアとレジスタ・アクセスが競合した場合

要求の解除は高い優先順位を持つため、次の転送要求は無視されます。そのため、転送は中断することになり、正常なデータ転送が行えなかったこととなります。

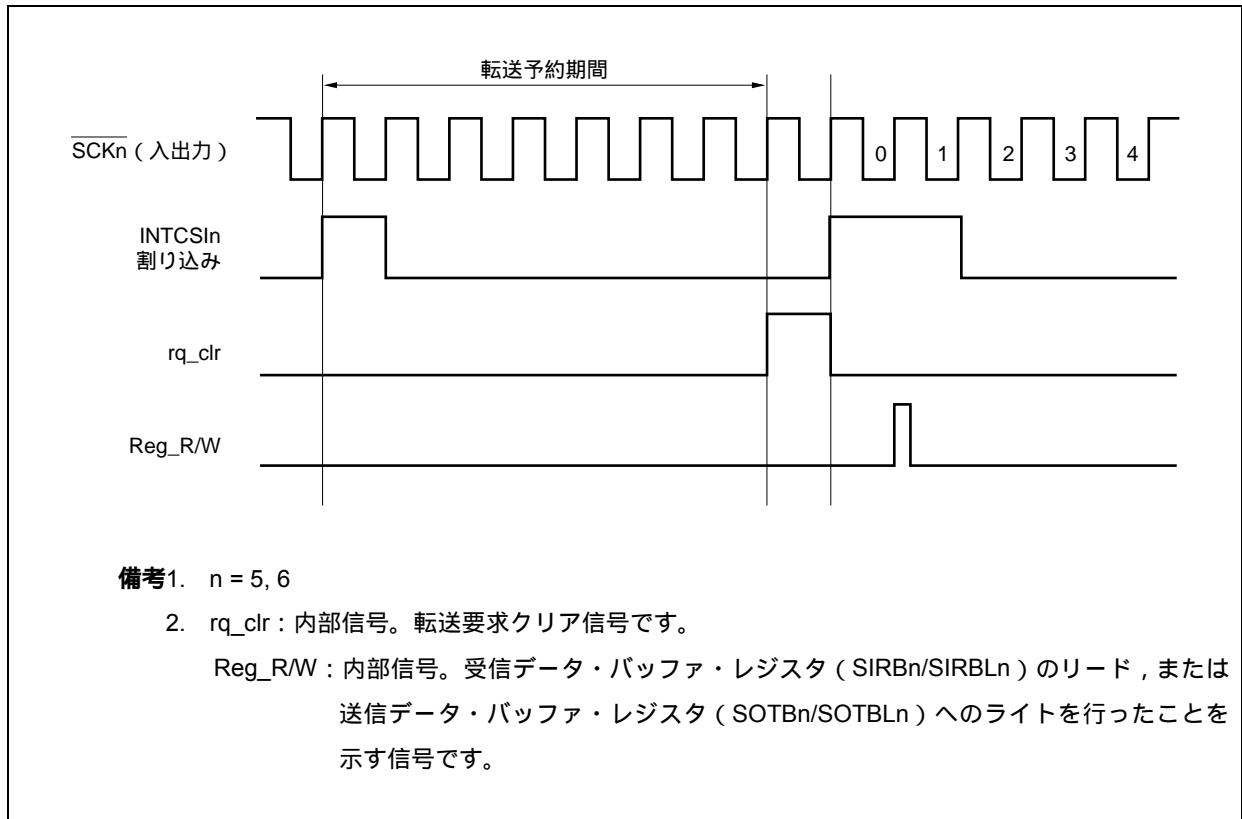
図11 - 19 転送要求クリアとレジスタ・アクセスの競合



(ii) 割り込み要求とレジスタ・アクセスが競合した場合

連続転送がいったん停止するため、新しい繰り返し転送開始として実行します。
 スレーブ・モードの場合には、ビット相違の転送エラーとなります(図11-20参照)。
 送受信モードの場合には、SOTBFnレジスタの値を再転送し、不正データを送ります。

図11-20 割り込み要求とレジスタ・アクセスの競合



11.4.5 出力端子

(1) SCKn端子

CSIn動作禁止 (CSIMnレジスタのCSIEnビット = 0) のとき、SCKn端子出力状態は次のようになります (n = 5, 6)。

表11 - 4 SCKn端子出力状態

CKPn	CKSn2	CKSn1	CKSn0	SCKn端子出力
0	任意	任意	任意	ハイ・レベル固定
1	1	1	1	ハイ・レベル固定
	上記以外			ロウ・レベル固定

備考1. n = 5, 6

- CSICKnレジスタのCKPn, CKSn2-CKSn0ビットのいずれかを書き換えたときに、SCKn端子出力が変化します。

(2) SOn端子

CSIn動作禁止 (CSIMnレジスタのCSIEnビット = 0) のとき、SOn端子出力状態は次のようになります (n = 5, 6)。

表11 - 5 SOn端子出力状態

TRMDn	DAPn	AUTOn	CCLn	DIRn	SOn端子出力
0	任意	任意	任意	任意	ロウ・レベル固定
1	0	任意	任意	任意	SOラッチの値 (ロウ・レベル)
				1	0
	1	SOTB0の値			
	1	0	0		SOTB15の値
			1		SOTB0の値
	1	0	0	0	SOTBF7の値
				1	SOTBF0の値
		1	0	0	SOTBF15の値
1				SOTBF0の値	

備考1. n = 5, 6

- CSIMnレジスタのTRMDn, CCLn, DIRn, AUTOnビット, CSICnレジスタのDAPnビットのいずれかを書き換えたときに、SOn端子出力が変化します。
- SOTBm : SOTBnレジスタのビットm (m = 0, 7, 15)
- SOTBFm : SOTBFnレジスタのビットm (m = 0, 7, 15)

11.5 I²Cバス

この機能を使用する場合は、P10/SDA0, P12/SCL0, P20/SDA1, P22/SCL1端子をN-chオープン・ドレイン出力に設定してください。

I²C0, I²C1には、次の2種類のモードがあります。

- ・動作停止モード
- ・I²C (Inter IC) バス・モード (マルチマスタ対応)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

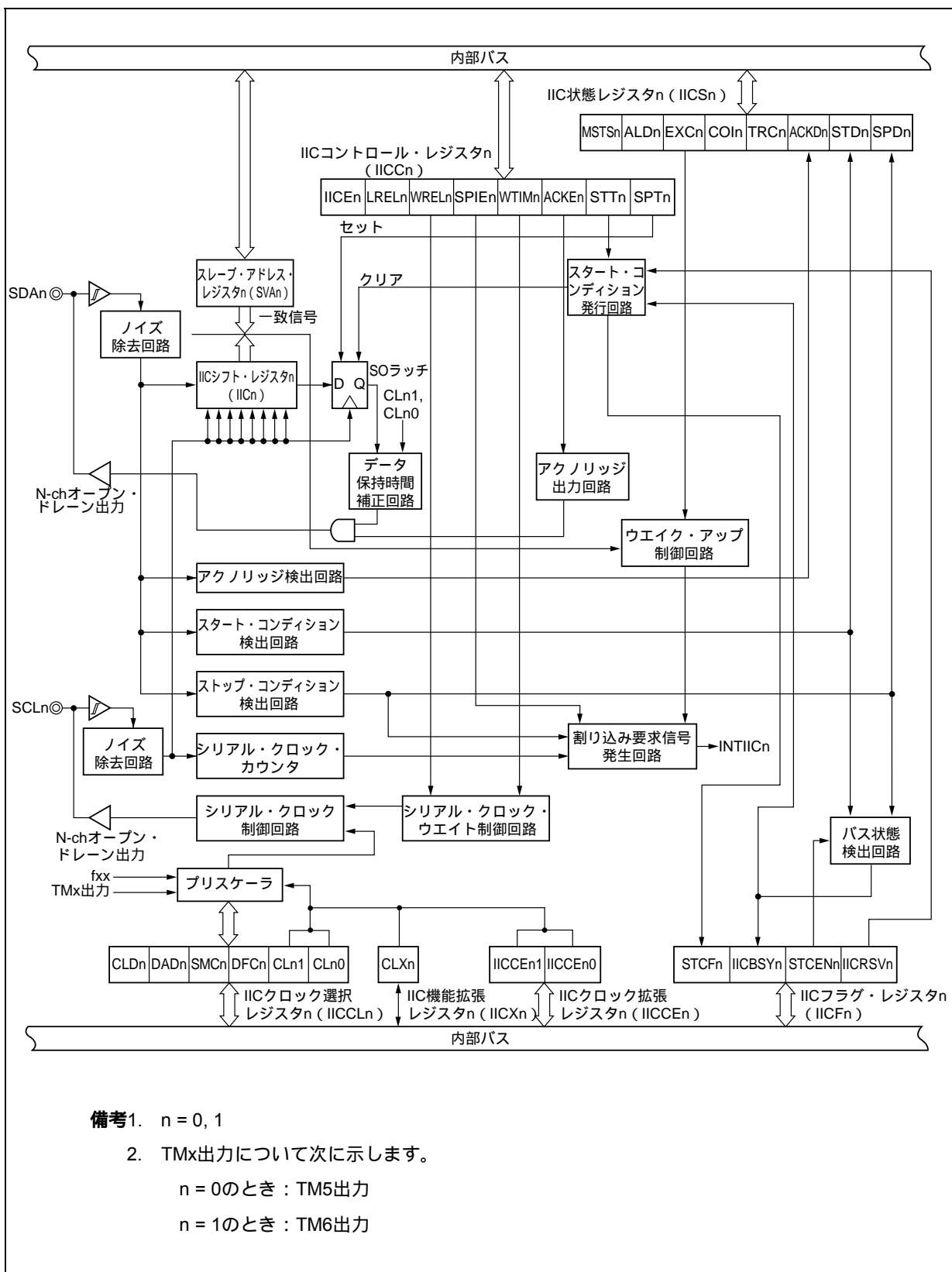
シリアル・クロック (SCLn) とシリアル・データ・バス (SDAn) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“データ”および“ストップ・コンディション”を出力できます。スレーブは、受信したこれらのデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

I²Cnでは、SCLnとSDAnはオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

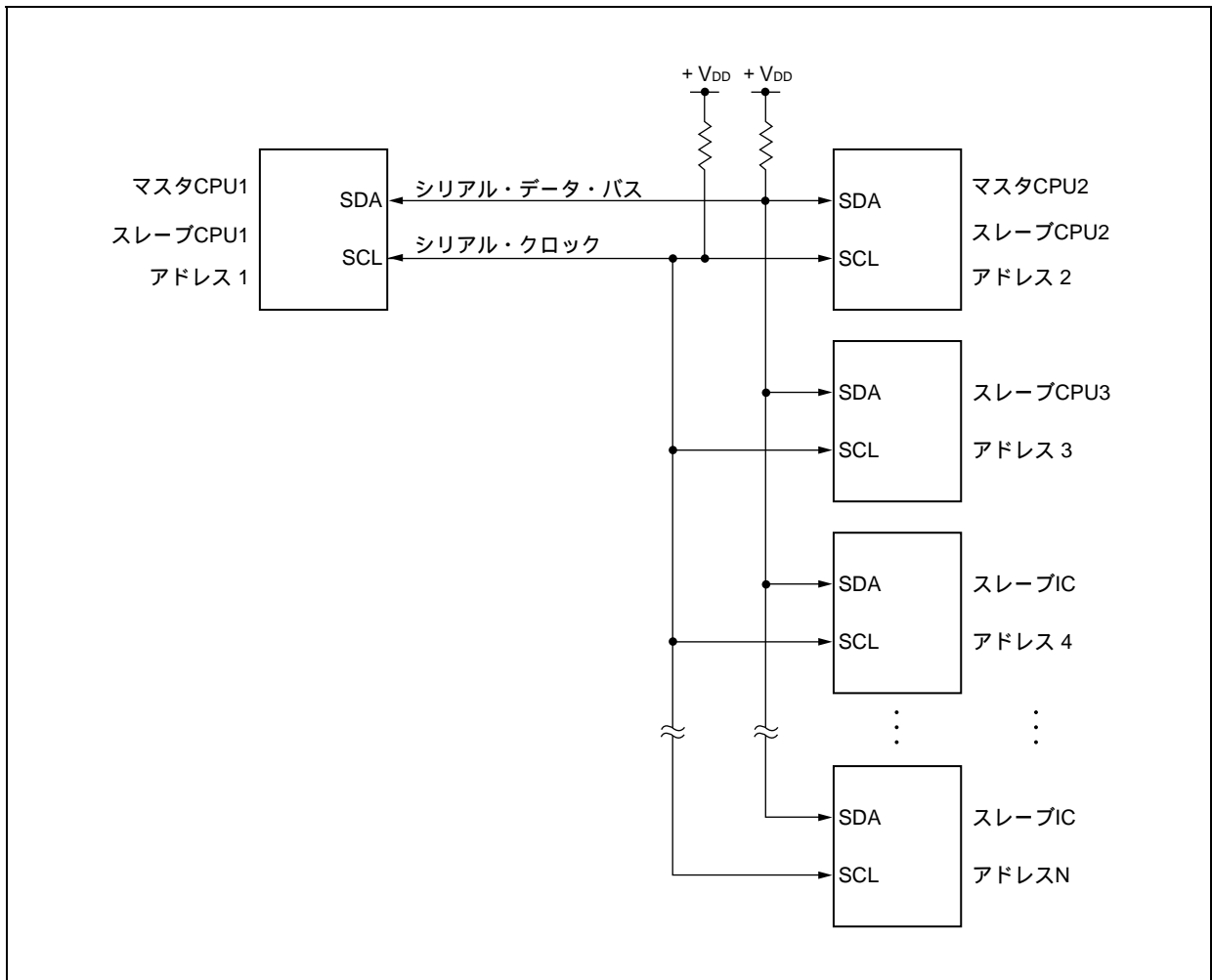
備考 n = 0, 1

図11-21 I²Cnのブロック図



次にシリアル・バス構成例を示します。

図11 - 22 I²Cバスによるシリアル・バス構成例



11.5.1 構成

I²Cnは、次のハードウェアで構成されています (n = 0, 1)。

表11 - 6 I²Cnの構成

項目	構成
レジスタ	IICシフト・レジスタ0, 1 (IIC0, IIC1) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)
制御レジスタ	IICコントロール・レジスタ0, 1 (IICC0, IICC1) IIC状態レジスタ0, 1 (IICS0, IICS1) IICフラグ・レジスタ0, 1 (IICF0, IICF1) IICクロック拡張レジスタ0, 1 (IICCE0, IICCE1) IIC機能拡張レジスタ0, 1 (IICX0, IICX1) IICクロック選択レジスタ0, 1 (IICCL0, IICCL1)

★

(1) IICシフト・レジスタ0, 1 (IIC0, IIC1)

IICnは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICnは送信および受信の両方に使用されます (n = 0, 1)。

IICnに対する書き込み / 読み出しにより、実際の送受信動作が制御されます。

IICnは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(2) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

SVA_nは、8ビット・メモリ操作命令で設定します (n = 0, 1)。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(3) SOラッチ

SOラッチは、SDA_n端子出力レベルを保持するラッチです (n = 0, 1)。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタn (SVA_n) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求を発生させる回路です (n = 0, 1)。

(5) クロック・セクタ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIICn) の発生を制御します。

I²C割り込みは、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目 (WTIMnビットで設定)
- ・ストップ・コンディション検出による割り込み発生 (SPIEnビットで設定)

備考1. n = 0, 1

2. WTIMnビット : IICコントロール・レジスタn (IICn) のビット3

SPIEnビット : IICコントロール・レジスタn (IICn) のビット4

(8) シリアル・クロック制御回路

マスタ・モード時に、SCLn端子に出力するクロックをサンプリング・クロックから生成します(n = 0, 1)。

(9) シリアル・クロック・ウエイト制御回路

ウエイト・タイミングを制御します。

(10) アクノリッジ出力回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各種制御信号の出力および検出を行います。

(11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

★ (12) スタート・コンディション発行回路

STTnビットがセットされるとスタート・コンディションを発行します。

ただし、通信予約禁止状態 (IICRSVnビット = 1) で、かつバスが解放されていない (IICBSYnビット = 1) 場合には、この要求は無視し、STCFnビットをセットします。

備考 IICRSVnビット : IICフラグ・レジスタn (IICFn) のビット0

IICBSYnビット : " のビット6

STCFnビット : " のビット7

★ (13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし、動作直後はバス状態を検出できないため、STCENnビットにより、初期状態を設定します。

備考 STCENnビット : IICフラグ・レジスタn (IICFn) のビット1

11.5.2 I²C制御レジスタ

I²C0, I²C1は、次のレジスタで制御します。

- ・ IICコントロール・レジスタ0, 1 (IICC0, IICC1)
- ・ IIC状態レジスタ0, 1 (IICS0, IICS1)
- ★ ・ IICフラグ・レジスタ0, 1 (IICF0, IICF1)
- ・ IICクロック拡張レジスタ0, 1 (IICCE0, IICCE1)
- ・ IIC機能拡張レジスタ0, 1 (IICX0, IICX1)
- ・ IICクロック選択レジスタ0, 1 (IICCL0, IICCL1)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタ0, 1 (IIC0, IIC1)
- ・ スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

(1) IICコントロール・レジスタ0, 1 (IICC0, IICC1)

I²Cnの動作許可/禁止, ウェイト・タイミングの設定, その他I²C動作の設定を行うレジスタです。

IICnは、8/1ビット・メモリ操作命令で設定します (n = 0, 1)。

RESET入力により、00Hになります。

注意 I²C0, I²C1バス・モード時, ポート1モード・レジスタ(PM1), ポート2モード・レジスタ(PM2), ポート1ファンクション・レジスタ(PF1), ポート2ファンクション・レジスタ(PF2)を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

端子	ポート・モード・レジスタ	ポート・ファンクション・レジスタ
P10/SI0/SDA0	PM1レジスタのPM10 = 0	PF1レジスタのPF10 = 1
P12/SCK0/SCL0	PM1レジスタのPM12 = 0	PF1レジスタのPF12 = 1
P20/SI2/SDA1	PM2レジスタのPM20 = 0	PF2レジスタのPF20 = 1
P22/SCK2/SCL1	PM2レジスタのPM22 = 0	PF2レジスタのPF22 = 1

リセット時：00H R/W アドレス：FFFFFF340H, FFFFFFF350H

	⑦	⑥	⑤	④	③	②	①	①
IICn	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

(n = 0, 1)

IICEn	I ² Cn動作許可 / 禁止の指定
0	動作停止。IIC状態レジスタn (IICSn) をプリセット。内部動作も停止。
1	動作許可。
クリアされる条件 (IICEn = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ $\overline{\text{RESET}}$入力時 	
セットされる条件 (IICEn = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

LRELn	通信退避
0	通常動作。
1	<p>現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。</p> <p>自局に関係ない拡張コードを受信したときなどに使用する。</p> <p>SCLn, SDAnラインはハイ・インピーダンス状態になる。</p> <p>次のフラグがクリアされる。</p> <ul style="list-style-type: none"> ・ STDn ・ ACKDn ・ TRCn ・ COIn ・ EXCn ・ MSTSn ・ STTn ・ SPTn
<p>次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。</p> <p>ストップ・コンディション検出後、マスタとしての起動</p> <p>スタート・コンディション後のアドレス一致または拡張コード受信</p>	
クリアされる条件 (LRELn = 0) 注	
<ul style="list-style-type: none"> ・ 実行後、自動的にクリア ・ $\overline{\text{RESET}}$入力時 	
セットされる条件 (LRELn = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 IICEn = 0により、このフラグの信号を無効にします。

備考

STDn	:	IIC状態レジスタn (IICSn) のビット1
ACKDn	:	" のビット2
TRCn	:	" のビット3
COIn	:	" のビット4
EXCn	:	" のビット5
MSTSn	:	" のビット7

WRELn	ウェイト解除の制御	
0	ウェイトを解除しない。	
1	ウェイト解除する。ウェイト解除後、自動的にクリアされる。	
クリアされる条件 (WRELn = 0) 注		セットされる条件 (WRELn = 1)
<ul style="list-style-type: none"> ・実行後、自動的にクリア ・RESET入力時 		<ul style="list-style-type: none"> ・命令によるセット

SPIEn	ストップ・コンディション検出による割り込み要求発生の許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIEn = 0) 注		セットされる条件 (SPIEn = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・RESET入力時 		<ul style="list-style-type: none"> ・命令によるセット

WTIMn	ウェイトおよび割り込み要求発生の制御	
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイトスレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイトスレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定は無効になり、転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ発生後の9クロック目の立ち下がりでウェイトに入ります。拡張コードを受信したスレーブは、8クロック目の立ち下がりでウェイトに入ります。		
クリアされる条件 (WTIMn = 0) 注		セットされる条件 (WTIMn = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・RESET入力時 		<ul style="list-style-type: none"> ・命令によるセット

注 IICEn = 0により、このフラグの信号を無効にします。

備考 n = 0, 1

ACKEn	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAnラインをロウ・レベルにする。ただし、アドレス転送中は無効，EXCn = 1の場合は有効。
クリアされる条件 (ACKEn = 0) 注	
<ul style="list-style-type: none"> ・命令によるクリア ・RESET入力時 	
セットされる条件 (ACKEn = 1)	
<ul style="list-style-type: none"> ・命令によるセット 	

STTn	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき (ストップ状態) :</p> <p>スタート・コンディションを生成する (マスタとしての起動)。SDAnラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCLnをロウ・レベルにする。</p> <p>バスに参加していないとき :</p> <p>通信予約機能許可の場合 (IICRSVn = 0)</p> <ul style="list-style-type: none"> ・スタート・コンディション予約フラグとして機能。セットされると、バスが解放されたあと自動的にスタート・コンディションを生成する。 <p>通信予約機能禁止の場合 (IICRSVn = 1)</p> <ul style="list-style-type: none"> ・STCFnビットがセットされる。スタート・コンディションは生成しない。 <p>ウェイト状態 (マスタ時) :</p> <p>ウェイトを解除してリスタート・コンディションを生成する。</p>

セット・タイミングに関する注意

マスタ受信の場合：転送中のセットは禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能です。

マスタ送信の場合：ACKn期間中は、正常にスタート・コンディションが生成されていないことがあります。ウェイト期間中にセットしてください。

スレーブの場合：通信予約機能 (IICRSVn = 1) の場合でも通信予約状態になっています。

・SPTnと同時にセットすることは禁止です。

クリアされる条件 (STTn = 0)	セットされる条件 (STTn = 1)
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成後クリア ・LRELn = 1によるクリア ・IICEn = 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・命令によるセット

注 IICEn = 0のとき、このフラグの信号は無効になります。

備考1. ビット1 (STTn) は、データ設定後に読み出すと0になっています。

2. IICRSVn : IICフラグ・レジスタn (IICFn) のビット0
- STCFn : " のビット7

3. n = 0, 1

SPTn	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDAnラインをロウ・レベルにしたあと、SCLnラインをハイ・レベルにするか、またはSCLnがハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDAnラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。				
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセットは禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット可能です。</p> <p>マスタ送信の場合：ACKn期間中は、正常にストップ・コンディションが生成されないことがあります。ウエイト期間中にセットしてください。</p> <ul style="list-style-type: none"> ・STTnと同時にセットすることは禁止です。 <p>SPTnのセットは、マスタのときのみ行ってください。^注</p> <p>WTIMn = 0設定時に、8クロック出力後のウエイト期間中にSPTnをセットすると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。</p> <p>9クロック目を出力する必要がある場合には、8クロック出力後のウエイト期間中にWTIMn = 0 1に設定し、9クロック目出力後のウエイト期間中にSPTnをセットしてください。</p>					
<table border="1"> <thead> <tr> <th>クリアされる条件 (SPTn = 0)</th> <th>セットされる条件 (SPTn = 1)</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELn = 1によるクリア ・IICEn = 0のとき ・RESET入力時 </td> <td> <ul style="list-style-type: none"> ・命令によるセット </td> </tr> </tbody> </table>		クリアされる条件 (SPTn = 0)	セットされる条件 (SPTn = 1)	<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELn = 1によるクリア ・IICEn = 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・命令によるセット
クリアされる条件 (SPTn = 0)	セットされる条件 (SPTn = 1)				
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELn = 1によるクリア ・IICEn = 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・命令によるセット 				

★

注 SPTnのセットは、マスタのときのみ行ってください。ただし、IICフラグ・レジスタn (IICFn) のIICRSVnビットが0の場合、動作許可後最初のストップ・コンディションを検出するまでにマスタ動作を行うには、一度SPTnをセットしてストップ・コンディションを生成する必要があります。詳細は、11.5.13 **注意事項**を参照してください。

注意 IIC状態レジスタn (IICSn) のビット3 (TRCn) = 1のとき、9クロック目にWRELnをセットしてウエイト解除すると、TRCnをクリアしてSDAnラインをハイ・インピーダンスにします。

備考1. ビット0 (SPTn) は、データ設定後に読み出すと0になっています。
2. n = 0, 1

(2) IIC状態レジスタ0, 1 (IICS0, IICS1)

I²Cnのステータスを表すレジスタです。

IICSnは、8/1ビット・メモリ操作命令で設定します。IICSnは読み出しのみ可能です (n = 0, 1)。

RESET入力により、00Hになります。

(1/3)

リセット時：00H R アドレス：FFFFFF342H, FFFFFFF352H

	⑦	⑥	⑤	④	③	②	①	①
IICSn	MSTS _n	ALD _n	EXC _n	COL _n	TRC _n	ACKD _n	STD _n	SPD _n

(n = 0, 1)

MSTS _n	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS _n = 0)		セットされる条件 (MSTS _n = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD_n = 1のとき ・LREL_n = 1によるクリア ・IICEn = 1 0のとき ・RESET入力時 		<ul style="list-style-type: none"> ・スタート・コンディション生成時

ALD _n	アービトレーション負け検出	
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS _n がクリアされる。	
クリアされる条件 (ALD _n = 0)		セットされる条件 (ALD _n = 1)
<ul style="list-style-type: none"> ・IICS_n読み出し後、自動的にクリア^注 ・IICEn = 1 0のとき ・RESET入力時 		<ul style="list-style-type: none"> ・アービトレーションに負けたとき

EXC _n	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信。	
クリアされる条件 (EXC _n = 0)		セットされる条件 (EXC _n = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL_n = 1によるクリア ・IICEn = 1 0のとき ・RESET入力時 		<ul style="list-style-type: none"> 受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット)

注 IICS_nのほかのビットに対しビット操作命令を実行した場合もクリアされます。

備考 LREL_n : IICコントロール・レジスタn (IIC_{Cn}) のビット6
 IICEn : " のビット7

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
	クリアされる条件 (COIn = 0)	セットされる条件 (COIn = 1)
	<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1によるクリア ・IICEn = 1 0のとき ・$\overline{\text{RESET}}$入力時 	受信アドレスが自局アドレス (SVAn) と一致したとき (8クロック目の立ち上がりでセット)

TRCn	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAnラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
	クリアされる条件 (TRCn = 0)	セットされる条件 (TRCn = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LRELn = 1によるクリア ・IICEn = 1 0のとき ・WRELn = 1によるクリア^注 ・ALDn = 0 1のとき ・$\overline{\text{RESET}}$入力時 マスタの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・スタート・コンディション検出時 通信不参加の場合	マスタの場合 <ul style="list-style-type: none"> ・スタート・コンディション生成時 スレーブの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) で “1” を入力したとき

注 IIC状態レジスタn (IICSn) のビット3 (TRCn) = 1のとき, 9クロック目にIICコントロール・レジスタn (IICcn) のビット5 (WRELn) をセットしてウエイトを解除すると, TRCnをクリアしてSDAnラインをハイ・インピーダンスにします。

- 備考1.** WRELn : IICコントロール・レジスタn (IICcn) のビット5
 LRELn : " のビット6
 IICEn : " のビット7
2. n = 0, 1

ACKDn	アクノリッジ検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出。	
クリアされる条件 (ACKDn = 0)		セットされる条件 (ACKDn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELn = 1によるクリア ・IICEn = 1 0のとき ・$\overline{\text{RESET}}$入力時 		SCLnの9クロック目の立ち上がり時にSDAnラインがロウ・レベルであったとき

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出。アドレス転送期間であることを示す。	
クリアされる条件 (STDn = 0)		セットされる条件 (STDn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELn = 1によるクリア ・IICEn = 1 0のとき ・$\overline{\text{RESET}}$入力時 		・スタート・コンディション検出時

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出。マスタでの通信が終了し、バスが解放される。	
クリアされる条件 (SPDn = 0)		セットされる条件 (SPDn = 1)
<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICEn = 1 0のとき ・$\overline{\text{RESET}}$入力時 		・ストップ・コンディション検出時

備考1. LRELn : IICコントロール・レジスタn (IICcn) のビット6

IICEn : " のビット7

2. n = 0, 1

★ (3) IICフラグ・レジスタ0, 1 (IICF0, IICF1)

I²Cnの動作モードの設定と、I²Cバスの状態を表すレジスタです (n = 0, 1)。

IICFnは、8/1ビット・メモリ操作命令で設定します。

IICRSVnビットにより通信予約機能の許可/禁止を設定します (11. 5. 12 通信予約参照)。

また、STCENnビットにより、IICBSYnビットの初期値を設定します (11. 5. 13 注意事項参照)。

IICRSVnビットとSTCENnビットは、I²Cnが動作禁止 (IICコントロール・レジスタn (IICcn) のIICEnビット = 0) のときのみ書き込み可能です。動作許可後 (IICEnビット = 1) , IICFnは読み出し可能となります。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(1/2)

リセット時：00H R/W^注 アドレス：FFFFF368H, FFFFF36AH

	⑦	⑥	5	4	3	2	①	①
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

(n = 0, 1)

STCFn	STTnクリア・フラグ	
0	スタート・コンディション発行	
1	STTnフラグ・クリア	
クリアされる条件 (STCFn = 0)		セットされる条件 (STCFn = 1)
<ul style="list-style-type: none"> ・ STTn = 1によるクリア ・ $\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSVn = 1) 設定時のSTTnクリア

IICBSYn	I ² Cnバス状態フラグ	
0	バス解放状態	
1	バス通信状態	
クリアされる条件 (IICBSYn = 0)		セットされる条件 (IICBSYn = 1)
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ $\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCENn = 0時のIICEnのセット

注 ビット6, 7はRead Onlyです。

備考 STTn : IICコントロール・レジスタn (IICcn) のビット1
 IICEn : " のビット7

STCENn	初期スタート許可トリガ	
0	動作許可 (IICEn = 1) 後, ストップ・コンディションを検出するまで, スタート・コンディションを生成できない。	
1	動作許可 (IICEn = 1) 後, ストップ・コンディションを検出しなくても, スタート・コンディションを生成できる。	
クリアされる条件 (STCENn = 0)		セットされる条件 (STCENn = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・命令によるセット

IICRSVn	通信予約機能禁止ビット	
0	通信予約許可	
1	通信予約禁止	
クリアされる条件 (IICRSVn = 0)		セットされる条件 (IICRSVn = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・命令によるセット

- 注意1.** STCENn, IICRSVnへの書き込みは, 動作停止 (IICEn = 0) 時のみ行ってください。
2. STCENn = 1とした場合, I²Cn動作許可直後は実際のバス状態にかかわらずバス解放状態 (IICBSYn = 0) と認識するため, 1回目のスタート・コンディションを発行する (STTn = 1) 場合はほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

- 備考1.** STTn : IICコントロール・レジスタn (IICCN) のビット1
 IICEn : " のビット7
2. n = 0, 1

(4) IICクロック拡張レジスタ0, 1 (IICCE0, IICCE1), IIC機能拡張レジスタ0, 1 (IICX0, IICX1), IICクロック選択レジスタ0, 1 (IICCL0, IICCL1)

I²Cnの転送クロックを設定するレジスタです。

IICCEnは, 8ビット・メモリ操作命令, IICXn, IICCLnは, 8/1ビット・メモリ操作命令で設定します (n = 0, 1)。

IICCEn, IICXn, IICCLnは, $\overline{\text{RESET}}$ 入力により, 00Hになります。

(1/2)

リセット時: 00H R/W アドレス: FFFFF34CH, FFFFF35CH

	7	6	5	4	3	2	1	0
IICCEn	0	0	0	0	0	0	IICCEn1	IICCEn0

(n = 0, 1)

リセット時: 00H R/W アドレス: FFFFF34AH, FFFFF35AH

	7	6	5	4	3	2	1	①
IICXn	0	0	0	0	0	0	0	CLXn

(n = 0, 1)

リセット時: 00H R/W^注 アドレス: FFFFF344H, FFFFF354H

	7	6	⑤	④	3	2	1	0
IICCLn	0	0	CLDn	DADn	SMCn	DFCn	CLn1	CLn0

(n = 0, 1)

CLDn	SCLnラインのレベル検出 (IICEn = 1のときのみ有効)
0	SCLnラインがロウ・レベルであることを検出
1	SCLnラインがハイ・レベルであることを検出
クリアされる条件 (CLDn = 0)	
<ul style="list-style-type: none"> ・ SCLnラインがロウ・レベルのとき ・ IICEn = 0のとき ・ $\overline{\text{RESET}}$入力時 	
セットされる条件 (CLDn = 1)	
<ul style="list-style-type: none"> ・ SCLnラインがハイ・レベルのとき 	

DADn	SDAnラインのレベル検出 (IICEn = 1のときのみ有効)
0	SDAnラインがロウ・レベルであることを検出
1	SDAnラインがハイ・レベルであることを検出
クリアされる条件 (DADn = 0)	
<ul style="list-style-type: none"> ・ SDAnラインがロウ・レベルのとき ・ IICEn = 0のとき ・ $\overline{\text{RESET}}$入力時 	
セットされる条件 (DADn = 1)	
<ul style="list-style-type: none"> ・ SDAnラインがハイ・レベルのとき 	

SMCn	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

注 IICCLnのビット4, 5はRead Onlyです。

★ **注意** IICCLnのビット7, 6には必ず“0”を設定してください。

備考 IICEn: IICコントロール・レジスタn (IICCn) のビット7

DFCn	デジタル・フィルタの動作制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

デジタル・フィルタは、高速モード時にのみ使用できます。
 高速モード時はDFCnのオン/オフにより、転送クロックが変化することはありません。

IICCEn1	IICCEn0	CLXn	SMCn	CLn1	CLn0	選択クロック (fxx/m)	設定可能なメイン・ クロック 周波数 (fxx) の範囲	動作 モード
x	x	1	1	0	x	fxx/12	4.0 MHz ~ 4.19 MHz	高速 モード
x	x	0	1	0	x	fxx/24	4.0 MHz ~ 8.38 MHz	
x	x	0	1	1	0	fxx/48	8.0 MHz ~ 16.67 MHz	
0	1	0	1	1	1	fxx/36	12.0 MHz ~ 13.4 MHz	
1	0	0	1	1	1	fxx/54	16.0 MHz ~ 20.0 MHz	
0	0	0	1	1	1	n = 0 TM5の出力/18	TM5の設定	
						n = 1 TM6の出力/18	TM6の設定	
x	x	0	0	0	0	fxx/44	4.0 MHz ~ 4.19 MHz	標準 モード
x	x	0	0	0	1	fxx/86	4.19 MHz ~ 8.38 MHz	
x	x	0	0	1	0	fxx/172	8.38 MHz ~ 16.67 MHz	
0	1	0	0	1	1	fxx/132	12.0 MHz ~ 13.4 MHz	
1	0	0	0	1	1	fxx/198	16.0 MHz ~ 20.0 MHz	
0	0	0	0	1	1	n = 0 TM5の出力/66	TM5の設定	
						n = 1 TM6の出力/66	TM6の設定	
その他						設定禁止		

備考1. n = 0, 1

2. x : Don't care

3. 選択クロックをタイマの出力にした場合、P17/TO5/TI5, P30/TO6/TI6端子をタイマ出力モードにする必要はありません。

(a) I²Cnの転送クロックの設定方法

I²Cnの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます (n = 0, 1)。

$$f_{SCL} = 1 / (m \times T + t_R + t_F)$$

m = 12, 24, 48, 36, 54, 44, 86, 172, 132, 198 (11.5.2(4)のIICCEn1, IICCEn0, CLXn, SMCn, CLn1, CLn0ビットの説明参照)

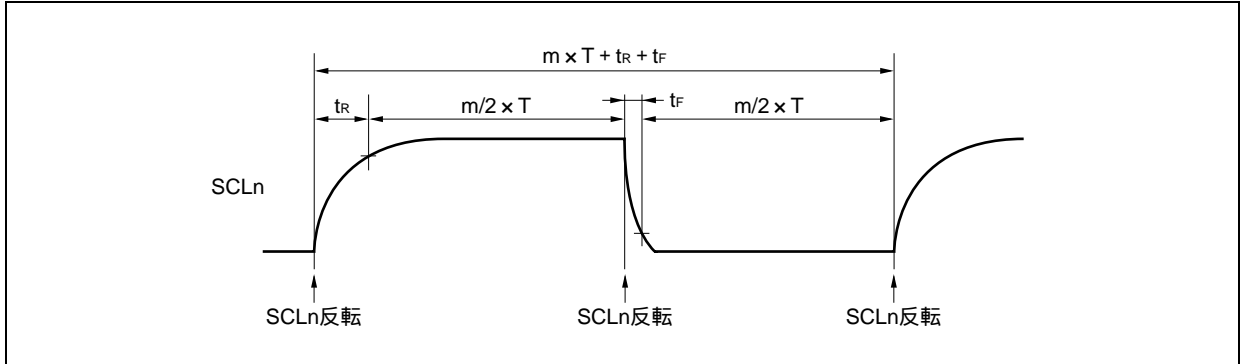
T : 1/f_{xx}

t_R : SCLn立ち上がり時間

t_F : SCLn立ち下がり時間

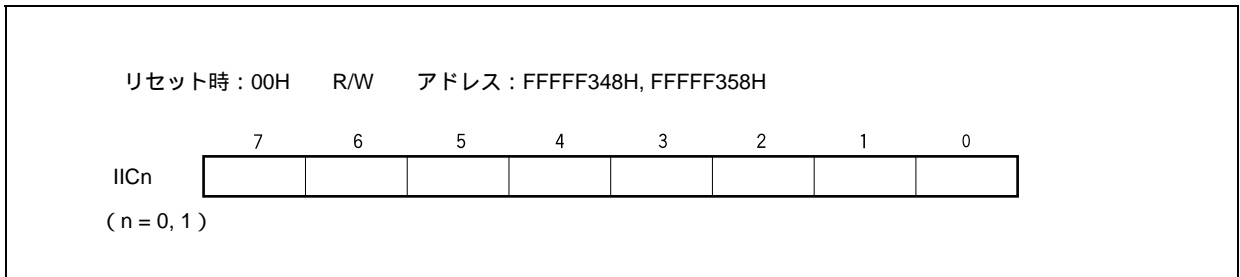
たとえば、 $f_{xx} = 20 \text{ MHz}$, $m = 198$, $t_R = 200 \text{ ns}$, $t_F = 50 \text{ ns}$ の場合のI²Cnの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (198 \times 50 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 98.5 \text{ kHz}$$



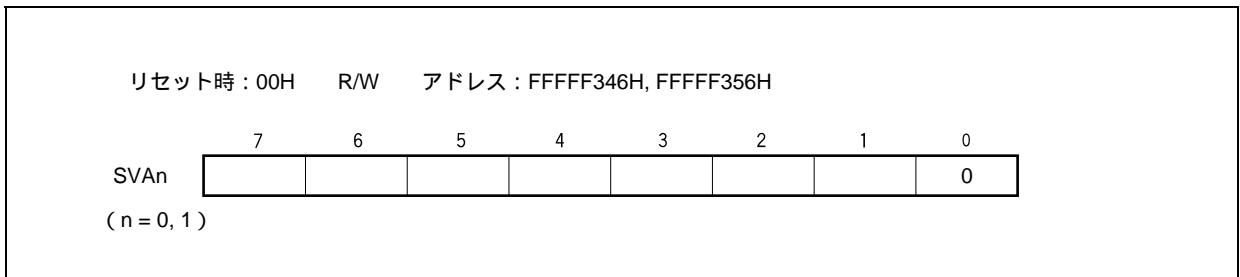
(5) IICシフト・レジスタ0, 1 (IIC0, IIC1)

このレジスタは、シリアル・クロックに同期してシリアル送受信（シフト動作）を行うためのものです。8ビット単位でリード/ライト可能ですが、データ転送中にIICnへデータを書き込まないでください(n = 0, 1)。



(6) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

このレジスタには、I²Cバスのスレーブ・アドレスを格納します。8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。



11.5.3 I²Cバス・モードの機能

(1) 端子構成

シリアル・クロック端子 (SCLn) と、シリアル・データ・バス端子 (SDAn) の構成は、次のようになっています (n=0, 1)。

SCLn ... シリアル・クロックを入出力するための端子。

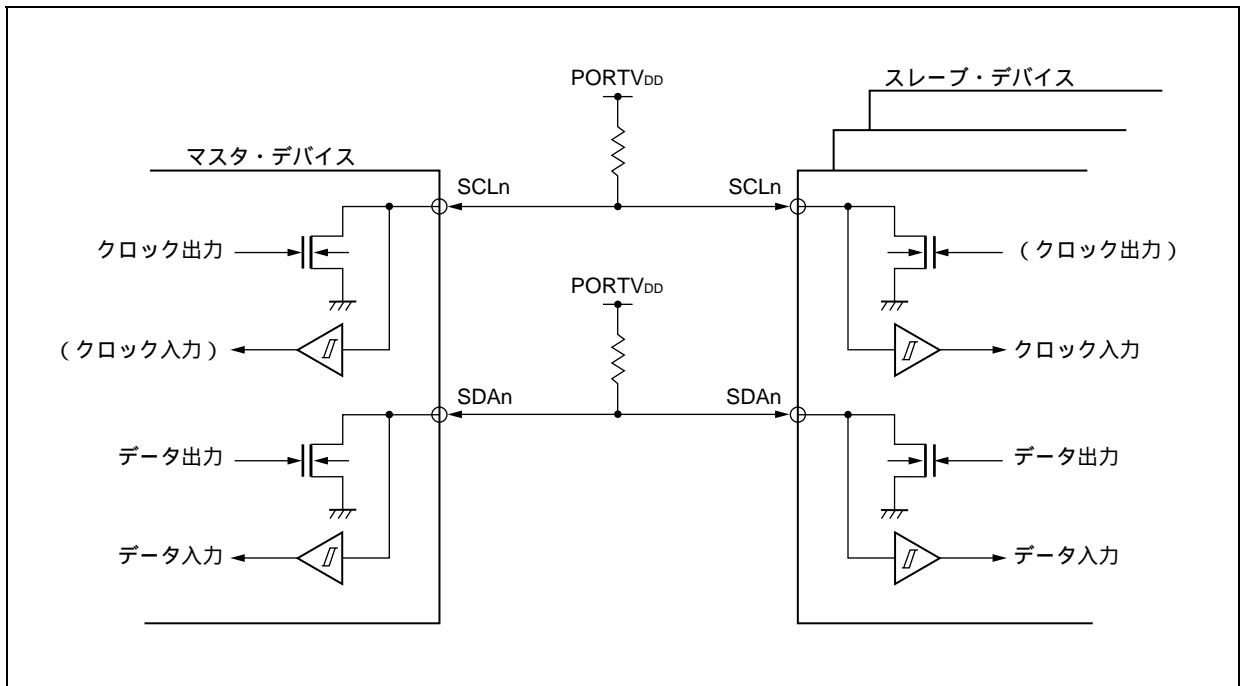
マスタ, スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

SDAn ... シリアル・データの入出力兼用端子。

マスタ, スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図11 - 23 端子構成図

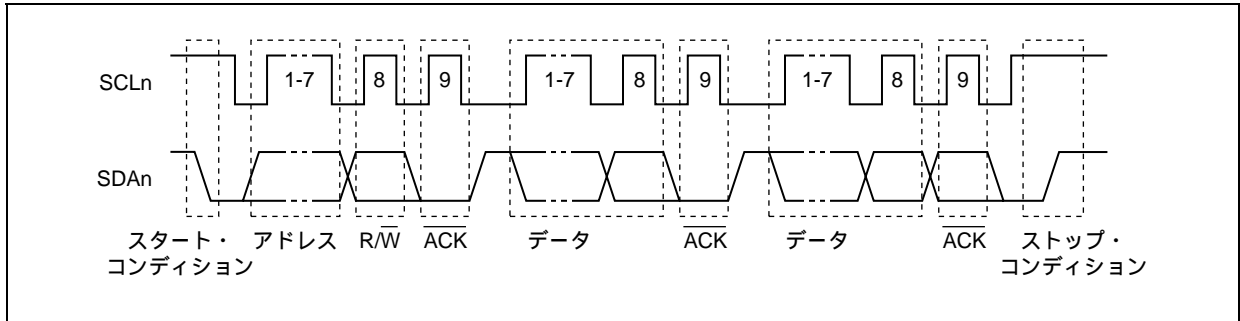


11.5.4 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力されている“スタート・コンディション”，“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図11 - 24 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが出力します。

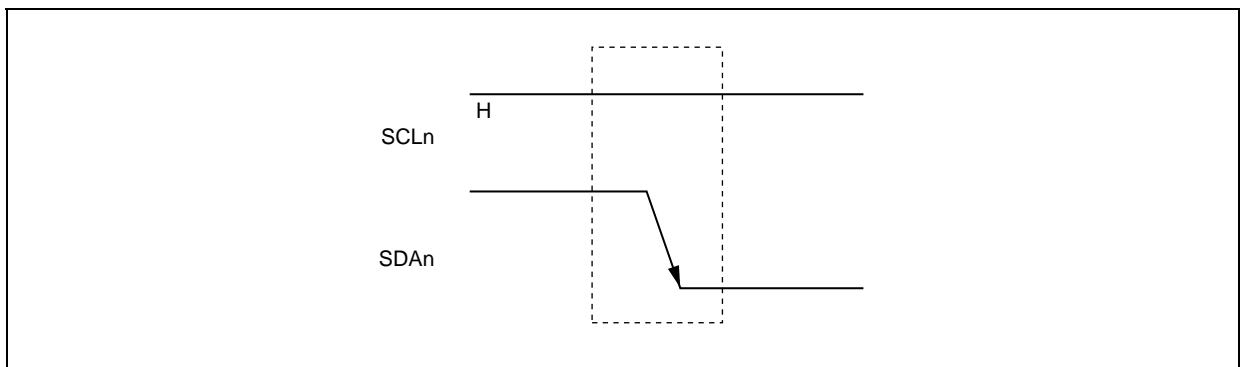
アクノリッジ信号（ACK）は，マスタ，スレーブのどちらでも出力できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCLn）は，マスタが出力し続けます。ただし，スレーブはSCLnのロウ・レベル期間を延長し，ウエイトを挿入できます（n = 0, 1）。

(1) スタート・コンディション

SCLn端子がハイ・レベルのときに，SDAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLn端子，SDAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブは，スタート・コンディションを検出するハードウェアを内蔵しています（n = 0, 1）。

図11 - 25 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（SPDn：IIC状態レジスタn（IICSn）のビット0 = 1）のときにIICコントロール・レジスタn（IICcn）のビット1（STTn）をセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICSnのビット1（STDn）がセット（1）されます（n = 0, 1）。

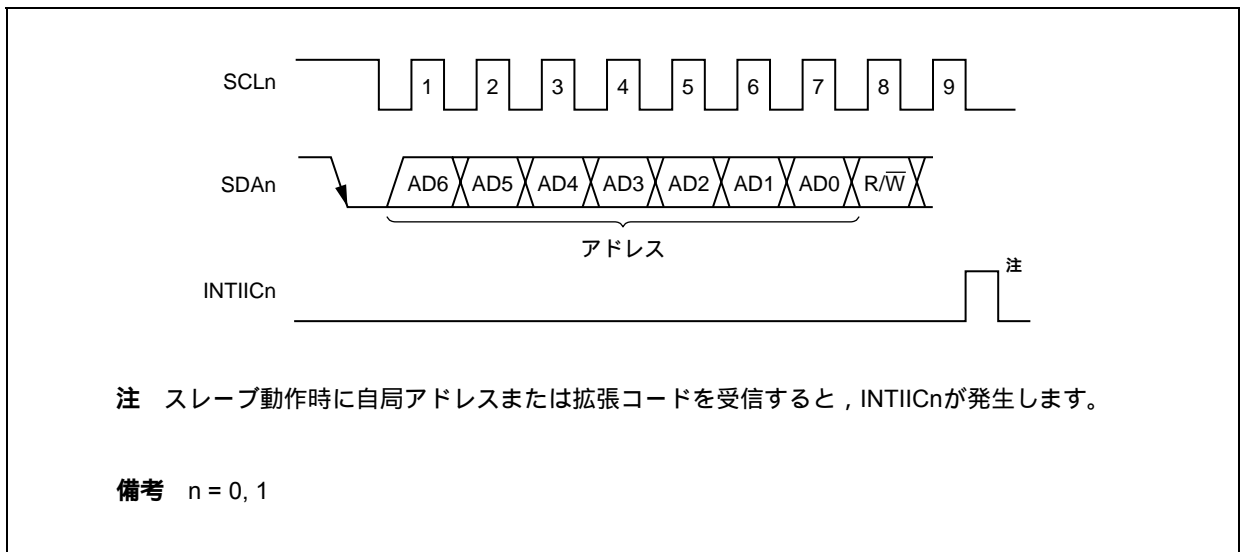
(2) アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ n (SVAn) と一致しているかを調べます。このとき、7ビット・データとSVAnの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います ($n = 0, 1$)。

図11 - 26 アドレス



アドレスは、スレーブのアドレスと(3) **転送方向指定**に説明する転送方向を合わせて8ビットとしてIICシフト・レジスタ n (IICn) に書き込むと出力します。また、受信したアドレスはIICnに書き込まれます ($n = 0, 1$)。

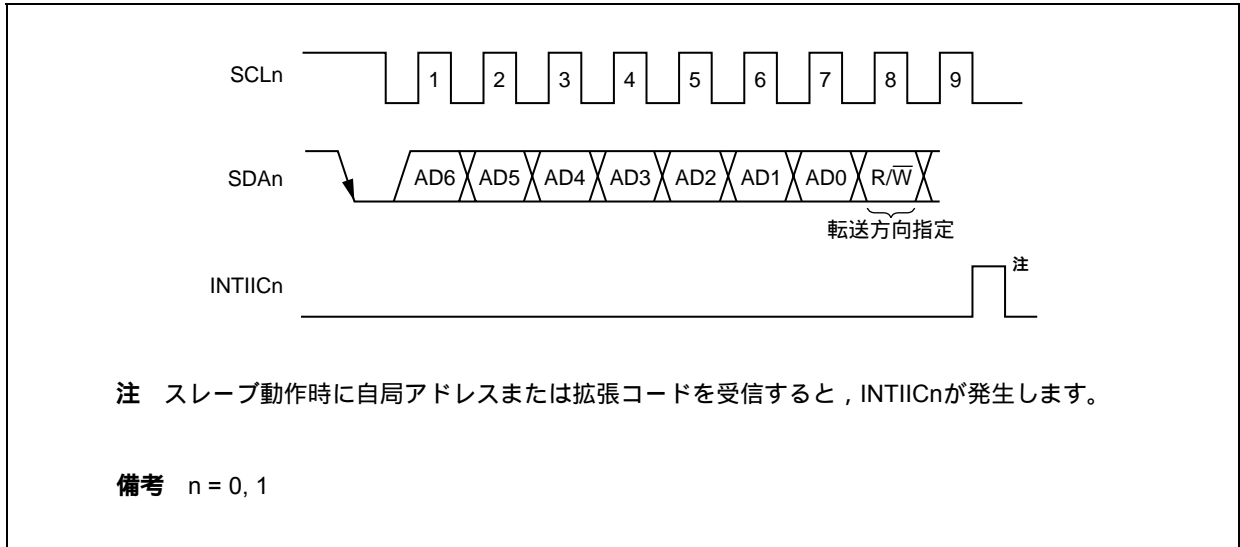
なお、スレーブのアドレスは、IICnの上位7ビットに割り当てられます。

(3) 転送方向指定

マスタは、7ビットのアドレスに続いて転送方向を指定するため、1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図11 - 27 転送方向指定



(4) アクノリッジ信号 (ACK)

アクノリッジ信号 (ACK) は送信側と受信側におけるシリアル・データ受信を確認するための信号です。

受信側は、8ビット・データを受信するごとにアクノリッジ信号を返します。送信側は通常、8ビット・データ送信後、アクノリッジ信号を受信します。ただし、マスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたか検出を行います。アクノリッジ信号が返されたとき、受信が正しく行われたものとして処理を続けます。また、スレーブからアクノリッジ信号が返らないとき、マスタは、ストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジ信号が返らない場合、次の2つの要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

受信側が9クロック目にSDAnラインをロウ・レベルにすると、アクノリッジ信号がアクティブになります (正常受信返答)。

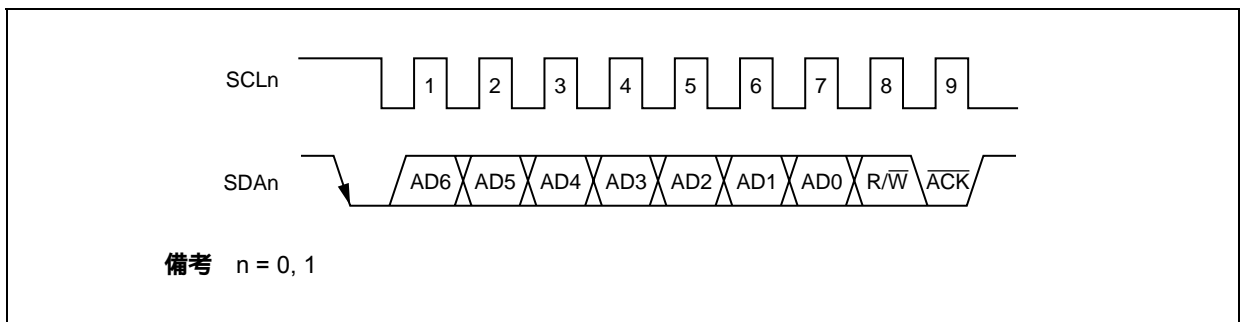
IICコントロール・レジスタn (IICn) のビット2 (ACKEn) = 1でアクノリッジ信号自動発生許可状態になります (n = 0, 1)。

7ビットのアドレス情報に続く8ビット目のデータによりIIC状態レジスタn (IICSn) のビット3 (TRCn) が設定されますが、TRCnビットの値が“0”の場合は受信状態なので、ACKEn = 1にしてください (n = 0, 1)。

スレーブ受信動作時 (TRCn = 0)、スレーブ側が複数バイトを受信し、次のデータを必要としない場合は、ACKEn = 0にすると、マスタ側が次の転送を開始しないようになります。

同様に、マスタ受信動作時 (TRCn = 0) も次のデータを必要とせず、リスタート・コンディションまたはストップ・コンディションを出力したい場合、ACK信号を発生しないようにACKEn = 0にしてください。これは、スレーブ送信動作時に、SDAnラインにデータのMSBデータを出力しないようにするためです (送信停止)。

図11 - 28 アクノリッジ信号



自局アドレス受信時は、ACKEnの値にかかわらずSCLnの8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力し、自局アドレス以外の受信時は、アクノリッジ信号を出力しません (n = 0, 1)。

データ受信時のアクノリッジ信号の出力方法はウェイト・タイミングの設定により次のようになります。

8クロック・ウェイト選択時：ウェイト解除を行う前にACKEn = 1とすることでSCLnの8クロック目の立ち下がりに同期してアクノリッジ信号を出力します。

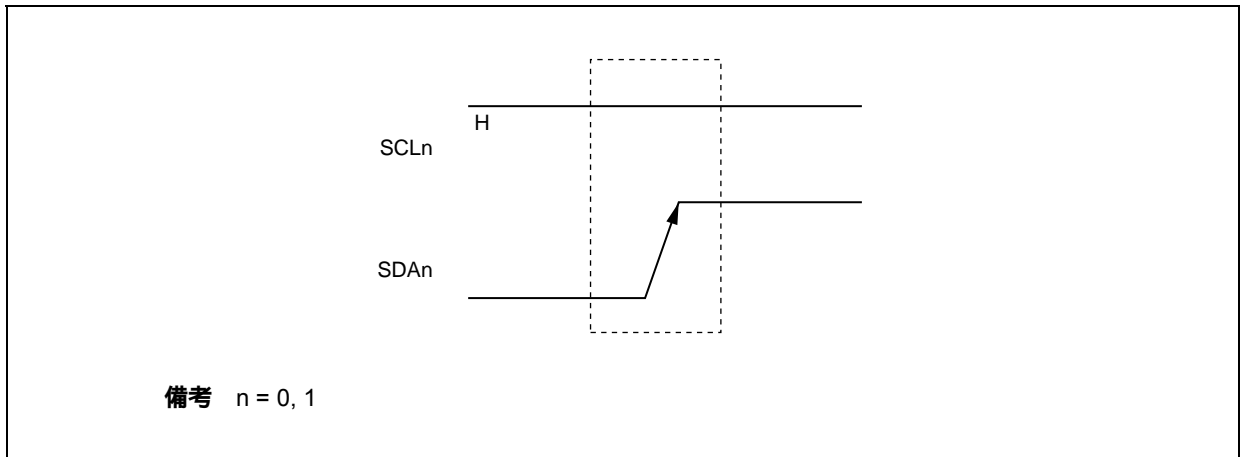
9クロック・ウェイト選択時：あらかじめACKEn = 1とすることでSCLnの8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力します。

(5) ストップ・コンディション

SCLn端子がハイ・レベルのときに、SDAn端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります ($n=0,1$)。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに出力する信号です。また、スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図11 - 29 ストップ・コンディション



ストップ・コンディションは、IICコントロール・レジスタn (IICn) のビット0 (SPTn) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIIC状態レジスタn (IICSn) のビット0 (SPDn) がセット (1) され、IICnのビット4 (SPIEn) がセット (1) されている場合にはINTIICnが発生します ($n=0,1$)。

(6) ウェイト信号 ($\overline{\text{WAIT}}$)

ウェイト信号 ($\overline{\text{WAIT}}$) は、マスタまたはスレーブがデータの送受信が準備中 (ウェイト状態) であることを相手に知らせるための信号です。

SCLn端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます ($n = 0, 1$)。

図11 - 30 ウェイト信号 (1/2)

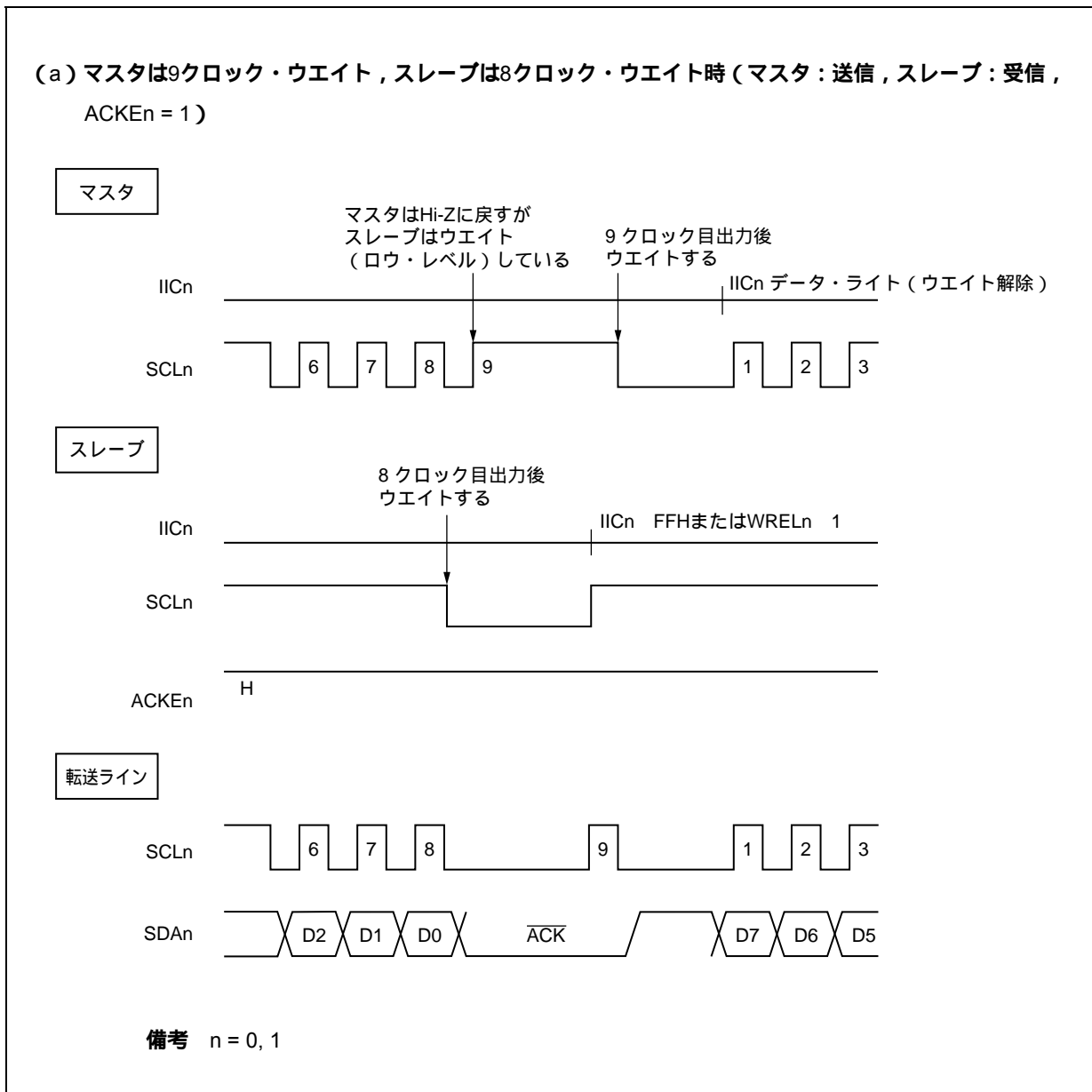
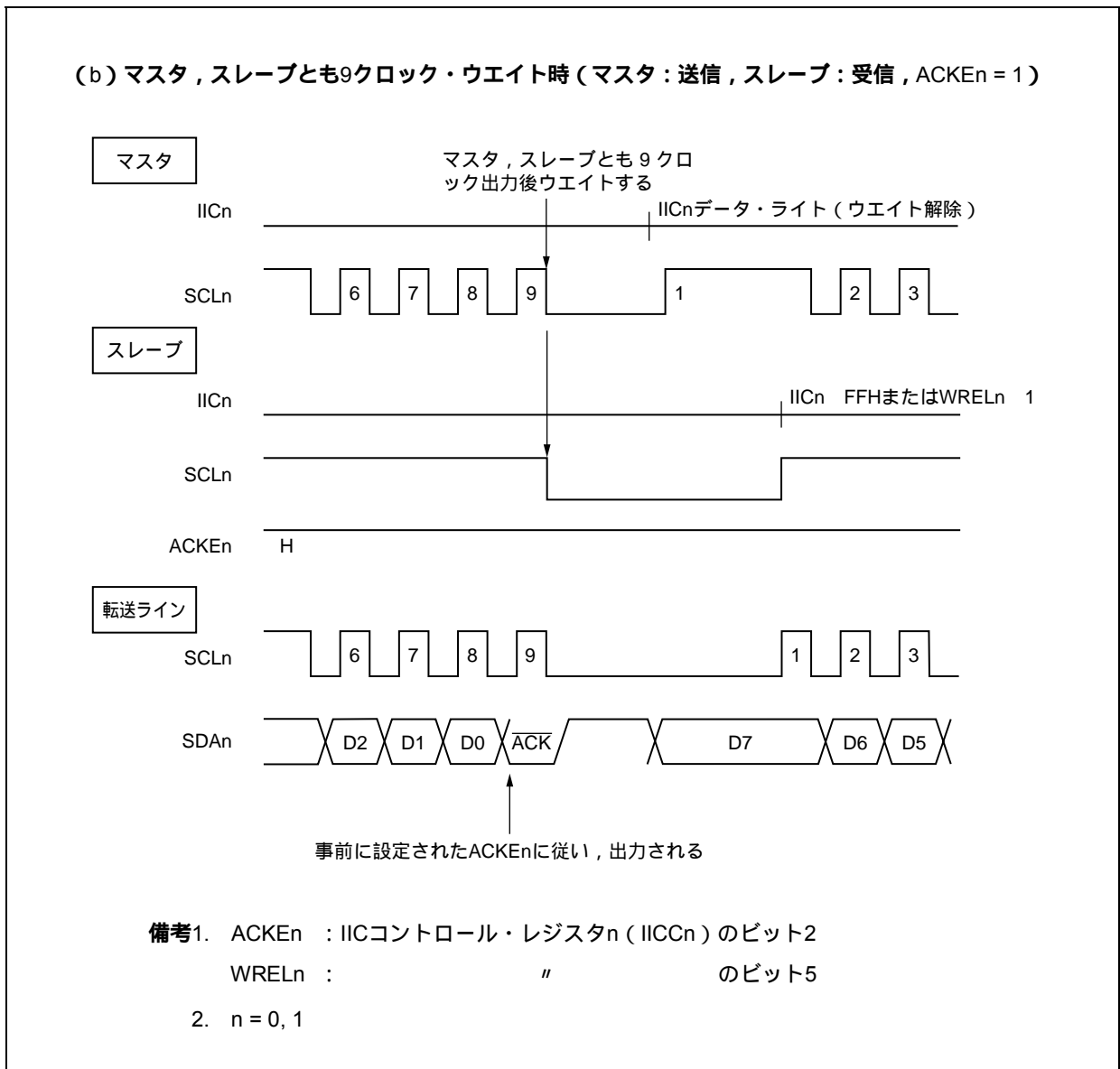


図11 - 30 ウェイト信号 (2/2)



ウェイトは、IICコントロール・レジスタn (IICn) のビット3 (WTIMn) の設定により自動的に発生します (n = 0, 1)。

通常、受信側はIICnのビット5 (WRELn) = 1またはIICシフト・レジスタn (IICn) FFHライトにするとウェイトを解除し、送信側はIICnにデータを書き込むとウェイトを解除します。

マスタの場合は、次の方法でもウェイトを解除できます。

- ・ IICnのビット1 (STTn) = 1
- ・ IICnのビット0 (SPTn) = 1

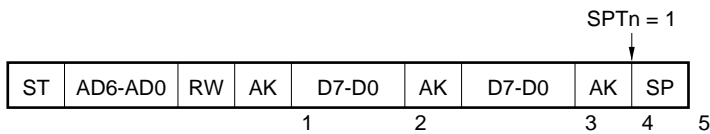
11.5.5 I²C割り込み要求 (INTIICn)

次に、INTIICn割り込み要求発生タイミングと、INTIICn割り込みタイミングでのIIC状態レジスタn (IICSn) の値を示します (n = 0, 1)。

(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

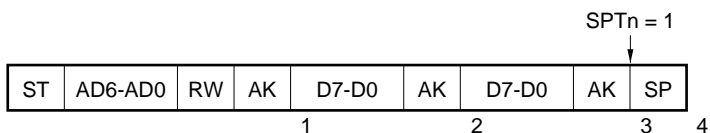
WTIMn = 0のとき



- 1 : IICSn = 10XXX110B
- 2 : IICSn = 10XXX000B
- 3 : IICSn = 10XXX000B (WTIMn = 1)
- 4 : IICSn = 10XXXX00B
- 5 : IICSn = 0000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき

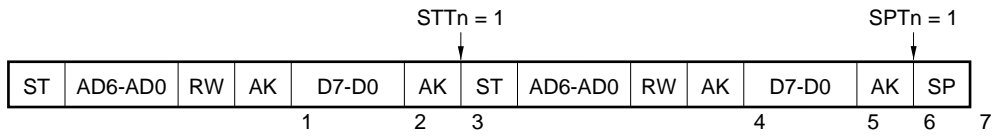


- 1 : IICSn = 10XXX110B
- 2 : IICSn = 10XXX100B
- 3 : IICSn = 10XXXX00B
- 4 : IICSn = 0000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

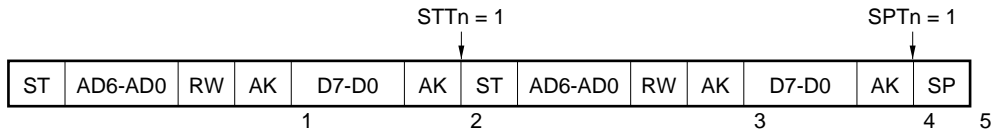
WTIMn = 0のとき



- 1 : IICSn = 10XXX110B
- 2 : IICSn = 10XXX000B (WTIMn = 1)
- 3 : IICSn = 10XXXX00B (WTIMn = 0)
- 4 : IICSn = 10XXX110B (WTIMn = 0)
- 5 : IICSn = 10XXX000B (WTIMn = 1)
- 6 : IICSn = 10XXXX00B
- 7 : IICSn = 0000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき

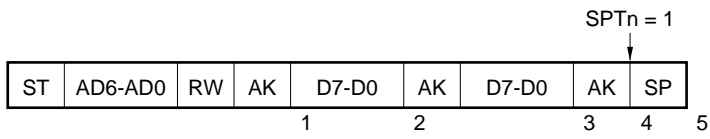


- 1 : IICSn = 10XXX110B
- 2 : IICSn = 10XXXX00B
- 3 : IICSn = 10XXX110B
- 4 : IICSn = 10XXXX00B
- 5 : IICSn = 0000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

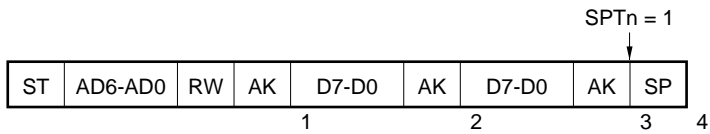
WTIMn = 0のとき



- 1 : IICSn = 1010X110B
- 2 : IICSn = 1010X000B
- 3 : IICSn = 1010X000B (WTIMn = 1)
- 4 : IICSn = 1010XX00B
- 5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき



- 1 : IICSn = 1010X110B
- 2 : IICSn = 1010X100B
- 3 : IICSn = 1010XX00B
- 4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(2) スレーブ動作 (スレーブ・アドレス・データ受信時 (SVAn一致))

(a) Start ~ Address ~ Data ~ Data ~ Stop

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001X000B

3 : IICSn = 0001X000B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001X100B

3 : IICSn = 0001XX00B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICSn = 0001X110B

2 : IICSn = 0001X000B

3 : IICSn = 0001X110B

4 : IICSn = 0001X000B

5 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICSn = 0001X110B

2 : IICSn = 0001XX00B

3 : IICSn = 0001X110B

4 : IICSn = 0001XX00B

5 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

- 1 : IICSn = 0001X110B
- 2 : IICSn = 0001X000B
- 3 : IICSn = 0010X010B
- 4 : IICSn = 0010X000B
- 5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
				1	2					3	4	5	6

- 1 : IICSn = 0001X110B
- 2 : IICSn = 0001XX00B
- 3 : IICSn = 0010X010B
- 4 : IICSn = 0010X110B
- 5 : IICSn = 0010XX00B
- 6 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001X000B

3 : IICSn = 00000X10B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001XX00B

3 : IICSn = 00000X10B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(3) スレーブ動作 (拡張コード受信時)

(a) Start ~ Code ~ Data ~ Data ~ Stop

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1		2		3	4

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 0010X000B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP	
			1	2		3		4	5

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010X100B

4 : IICSn = 0010XX00B

5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2					3	4	5

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 0001X110B

4 : IICSn = 0001X000B

5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2		3				4		5 6

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010XX00B

4 : IICSn = 0001X110B

5 : IICSn = 0001XX00B

6 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2				3		4	5

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 0010X010B

4 : IICSn = 0010X000B

5 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
			1	2		3			4	5		6	7

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010XX00B

4 : IICSn = 0010X010B

5 : IICSn = 0010X110B

6 : IICSn = 0010XX00B

7 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2					3		4

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 00000X10B

4 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2		3				4		5

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010XX00B

4 : IICSn = 00000X10B

5 : IICSn = 00000001B

備考 必ず発生

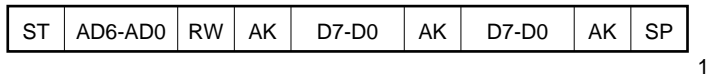
SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop



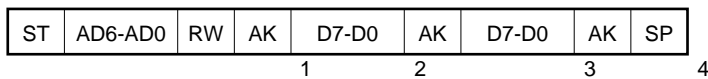
1 : IICSn = 00000001B

備考 SPIEn = 1のときだけ発生
n = 0, 1

(5) アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

WTIMn = 0のとき



1 : IICSn = 0101X110B (例 割り込み処理中にALDnをリード)

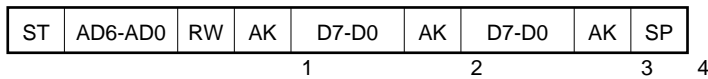
2 : IICSn = 0001X000B

3 : IICSn = 0001X000B

4 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生
X 任意
n = 0, 1

WTIMn = 1のとき



1 : IICSn = 0101X110B (例 割り込み処理中にALDnをリード)

2 : IICSn = 0001X100B

3 : IICSn = 0001XX00B

4 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生
X 任意
n = 0, 1

(b) 拡張コード送信中にアービトレーションに負けた場合

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
		1		2		3		4

1 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

2 : IICSn = 0010X000B

3 : IICSn = 0010X000B

4 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
		1	2		3		4	5

1 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

2 : IICSn = 0010X110B

3 : IICSn = 0010X100B

4 : IICSn = 0010XX00B

5 : IICSn = 00000001B

備考 必ず発生

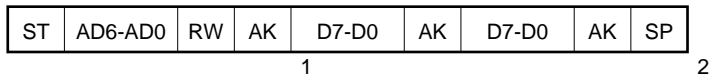
SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

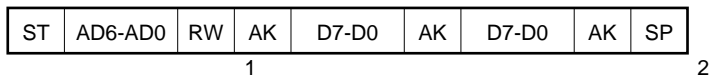


1 : IICSn = 01000110B (例 割り込み処理中にALDnをリード)

2 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 n = 0, 1

(b) 拡張コード送信中にアービトレーションに負けた場合



1 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

ソフトでIICn : LRELn = 1を設定

2 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(c) データ転送時にアービトレーションに負けた場合

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2			3

1 : IICSn = 10001110B

2 : IICSn = 01000000B (例 割り込み処理中にALDnをリード)

3 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生
n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2			3

1 : IICSn = 10001110B

2 : IICSn = 01000100B (例 割り込み処理中にALDnをリード)

3 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生
n = 0, 1

(d) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 SVAn不一致)

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1					2		3

1 : IICSn = 1000X110B

2 : IICSn = 01000110B (例 割り込み処理中にALDnをリード)

3 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 Dn = D6-D0
 n = 0, 1

拡張コード

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1					2		3

1 : IICSn = 1000X110B

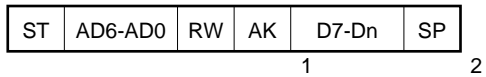
2 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

ソフトでIICCn : LRELn = 1を設定

3 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 Dn = D6-D0
 n = 0, 1

(e) データ転送時にストップ・コンディションで負けた場合



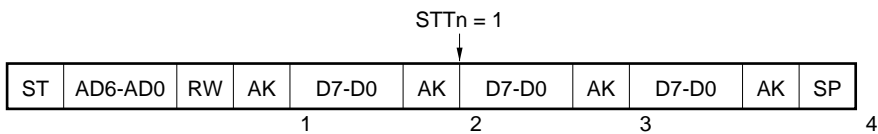
1 : IICSn = 1000X110B

2 : IICSn = 01000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 Dn = D6-D0
 n = 0, 1

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

WTIMn = 1のとき



1 : IICSn = 1000X110B

2 : IICSn = 1000XX00B

3 : IICSn = 01000100B (例 割り込み処理中にALDnをリード)

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2	3

STTn = 1
↓

1 : IICSn = 1000X110B
 2 : IICSn = 1000XX00B
 3 : IICSn = 01000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	D7-D0	AK	SP
			1		2		3			4

SPTn = 1
↓

1 : IICSn = 1000X110B
 2 : IICSn = 1000XX00B
 3 : IICSn = 01000000B (例 割り込み処理中にALDnをリード)
 4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

11.5.6 割り込み要求 (INTIICn) 発生タイミングおよびウェイト制御

IICコントロール・レジスタn (IICn) のビット3 (WTIMn) の設定で、次に示すタイミングでINTIICnが発生して、ウェイト制御を行います (n = 0, 1)。

表11-7 INTIICn発生タイミングおよびウェイト制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIICn信号およびウェイトは、スレーブ・アドレス・レジスタn (SVAn) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICnのビット2 (ACKEn) の設定にかかわらず、 \overline{ACK} が出力されます。拡張コードを受信したスレーブは8クロック目の立ち下がりINTIICnを発生します。

2. スレーブ・アドレス・レジスタn (SVAn) と受信したアドレスが一致していない場合は、INTIICnもウェイトも発生しません。

備考1. 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

2. n = 0, 1

(1) アドレス送受信時

- ・スレーブ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がり発生します。

(2) データ受信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・IICコントロール・レジスタn (IICn) のビット5 (WRELn) = 1
- ・IICシフト・レジスタn (IICn) のライト動作
- ・スタート・コンディションのセット (IICコントロール・レジスタn (IICn) のビット1 (STTn) = 1)
- ・ストップ・コンディションのセット (IICコントロール・レジスタn (IICn) のビット0 (SPTn) = 1)

8クロック・ウェイト選択 (WTIMn = 0) 時は、ウェイト解除前に \overline{ACK} の出力レベルを決定する必要があります。

備考 n = 0, 1

(5) ストップ・コンディション検出

INTIICnは、ストップ・コンディションを検出すると発生します。

備考 n = 0, 1

11.5.7 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。スレーブ・アドレス・レジスタn (SVAn) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVAnに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICn割り込み要求が発生します (n = 0, 1)。

11.5.8 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAn) の状態が、送信しているデバイスのIICシフト・レジスタn (IICn) にも取り込まれるため、送信開始前と送信終了後のIICnデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します (n = 0, 1)。

11.5.9 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXCn) をセットし、8クロック目の立ち下がりで割り込み要求 (INTIICn) を発生します (n = 0, 1)。
スレーブ・アドレス・レジスタn (SVAn) に格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVAnに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIICnは、8クロック目の立ち下がりで発生します (n = 0, 1)。

上位4ビット・データの一致 : EXCn = 1^注

7ビット・データの一致 : COIn = 1^注

注 EXCn : IIC状態レジスタn (IICSn) のビット5

COIn : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICコントロール・レジスタn (IICn) のビット6 (LRELn) = 1に設定し、次の通信待機状態となります。

表11-8 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	x	CBUSアドレス
0000 010	x	異なるバス・フォーマット用に予約されているアドレス
1111 0xx	x	10ビット・スレーブ・アドレス指定

11.5.10 アービトレーション

複数のマスタがスタート・コンディションを同時に出力した場合（STDn = 1になる前にSTTn = 1にしたとき^注），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます（n = 0, 1）。

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，IIC状態レジスタn（IICSn）のアービトレーション負けフラグ（ALDn）をセットし，SCLn，SDAnラインともハイ・インピーダンス状態にしてバスを解放します（n = 0, 1）。

アービトレーションに負けたことは，次の割り込み要求発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウェアでALDn = 1になっていることで検出します（n = 0, 1）。

割り込み発生タイミングについては，11.5.5 I²C割り込み要求（INTIICn）を参照してください。

- 注 STDn : IIC状態レジスタn（IICSn）のビット1
 STTn : IICコントロール・レジスタn（IICn）のビット1

図11-31 アービトレーション・タイミング例

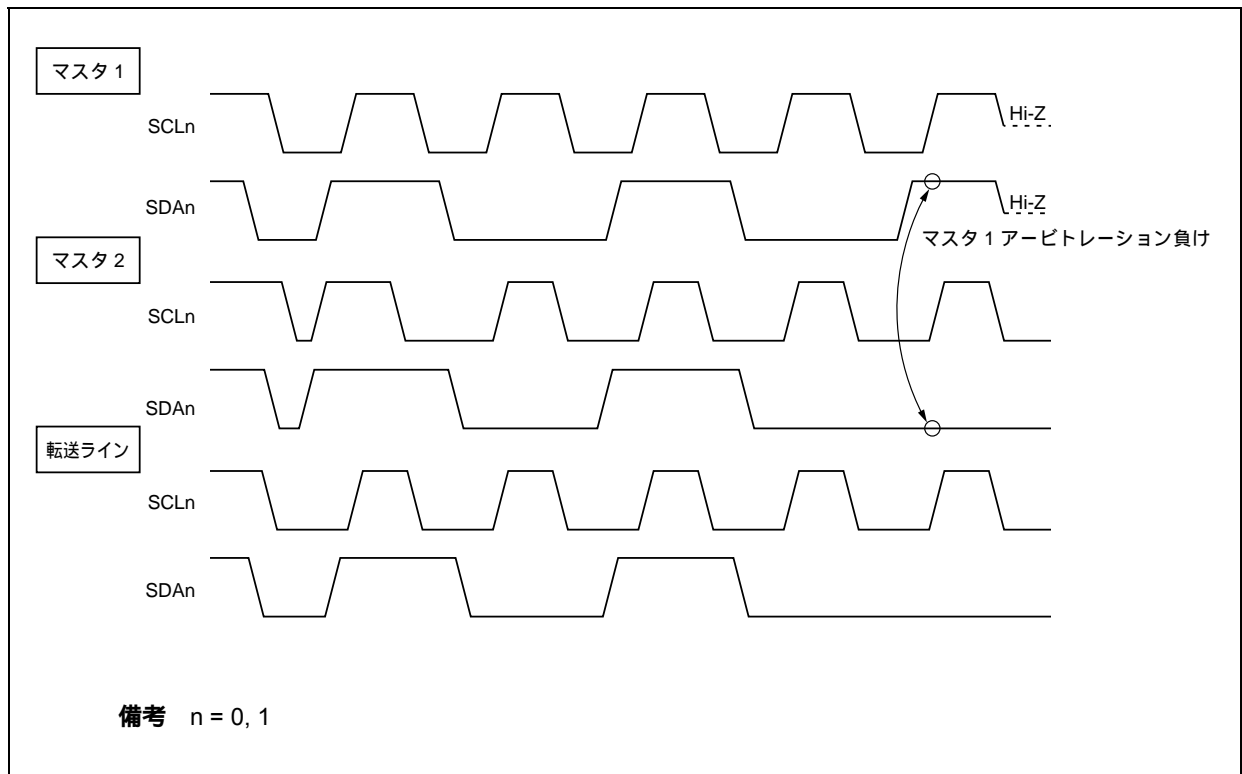


表11-9 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のACK転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション出力時 (SPIEn = 1時) ^{注2}
リスタート・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがストップ・コンディション検出	ストップ・コンディション出力時 (SPIEn = 1時) ^{注2}
ストップ・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがSCLnがロウ・レベル	

- 注1. WTIMn (IICコントロール・レジスタn (IICn) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します (n = 0, 1)。
2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIEn = 1にしてください (n = 0, 1)。

備考 SPIEn : IICコントロール・レジスタn (IICn) のビット5

11.5.11 ウェイク・アップ機能

I²Cバスのスレーブ機能で, 自局アドレスと拡張コードを受信したときに割り込み要求 (INTIICn) が発生する機能です。アドレスが一致しないときは不要な割り込み要求を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを出力した場合) でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイク・アップ機能に関係なく, IICコントロール・レジスタn (IICn) のビット5 (SPIEn) の設定によって, 割り込み要求の発生許可/禁止が決定します (n = 0, 1)。

11.5.12 通信予約

(1) 通信予約機能許可 (IICFnのIICRSVn = 0) の場合

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (ACKを返さず、IICコントロール・レジスタn (IICCn) のビット6 (LRELn) = 1でバスを解放した) とき (n = 0, 1)

バスに不参加の状態、IICCnのビット1 (STTn) をセットすると、バスが解放されたあと (ストップ・コンディション検出後) に、自動的にスタート・コンディションを生成し、ウエイト状態になります。

バスの解放を検出 (ストップ・コンディション検出) すると、IICシフト・レジスタn (IICn) ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICCnのビット4 (SPIEn) をセットしておいてください (n = 0, 1)。

STTnをセットしたとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます (n = 0, 1)。

バスが解放されているとき スタート・コンディション生成
 バスが解放されていないとき (待機状態) .. 通信予約

通信予約として動作するのかどうかを確認するには、STTnをセットし、ウエイト時間をとったあと、MSTS_n (IIC状態レジスタn (IICSn) のビット7) を確認することで行います (n = 0, 1)。

ウエイト時間は、表11 - 10に示す時間をソフトウェアにより確保してください。なお、ウエイト時間はIICクロック選択レジスタn (IICCLn) のビット3, 1, 0 (SMCn, CLn1, CLn0) により設定できます (n = 0, 1)。

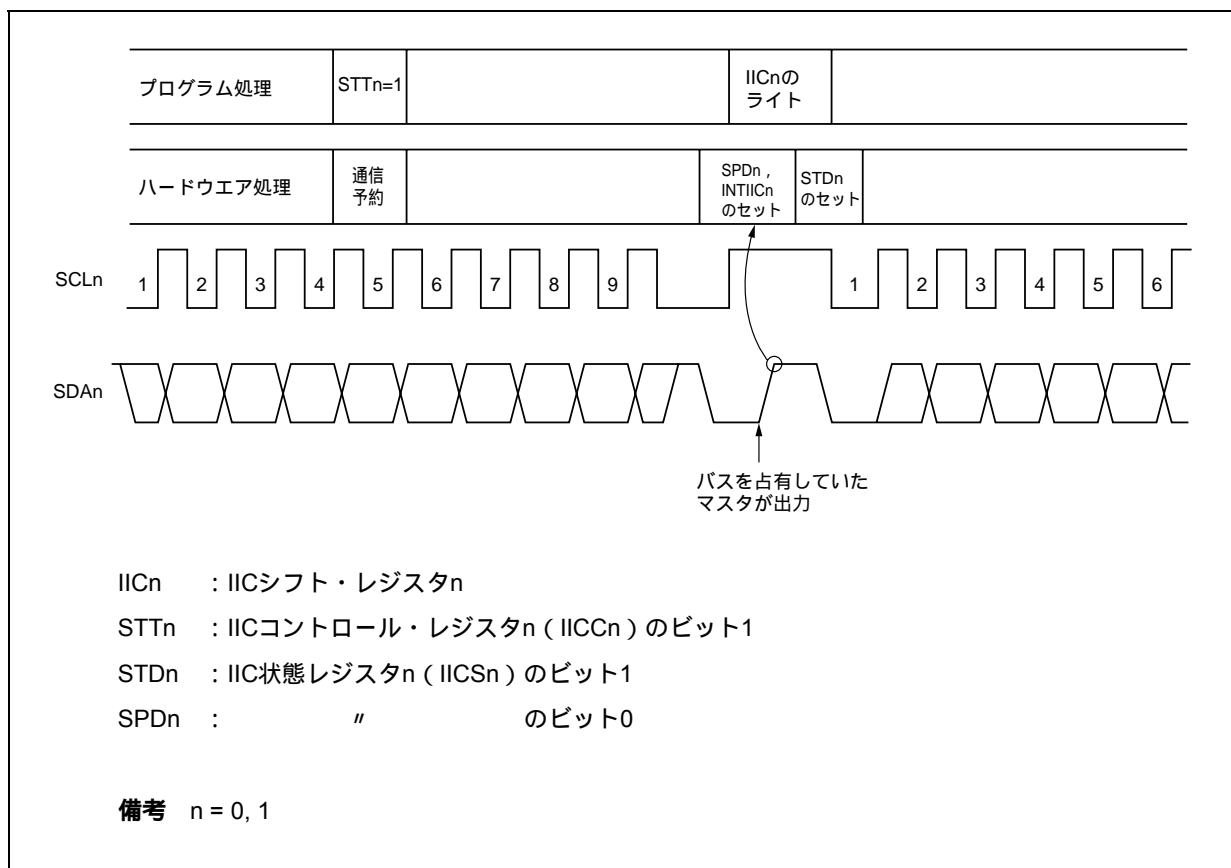
表11 - 10 ウエイト時間

SMCn	CLn1	CLn0	ウエイト時間
0	0	0	26クロック
0	0	1	46クロック
0	1	0	92クロック
0	1	1	37クロック
1	0	0	16クロック
1	0	1	
1	1	0	32クロック
1	1	1	13クロック

備考 n = 0, 1

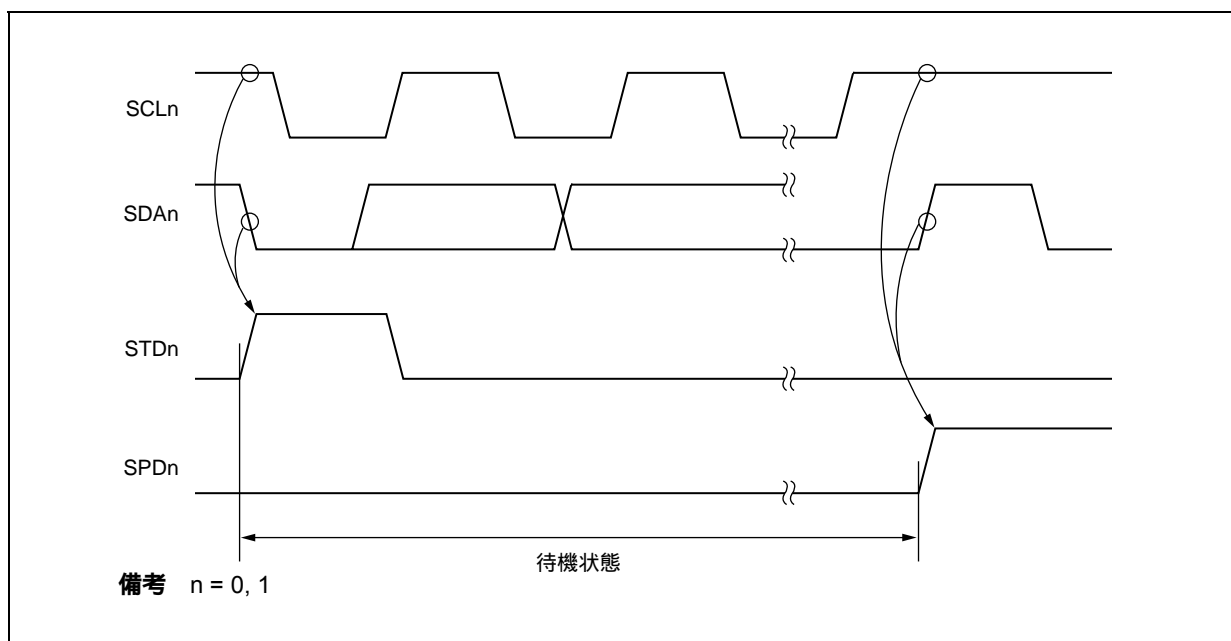
通信予約のタイミングを次に示します。

図11 - 32 通信予約のタイミング



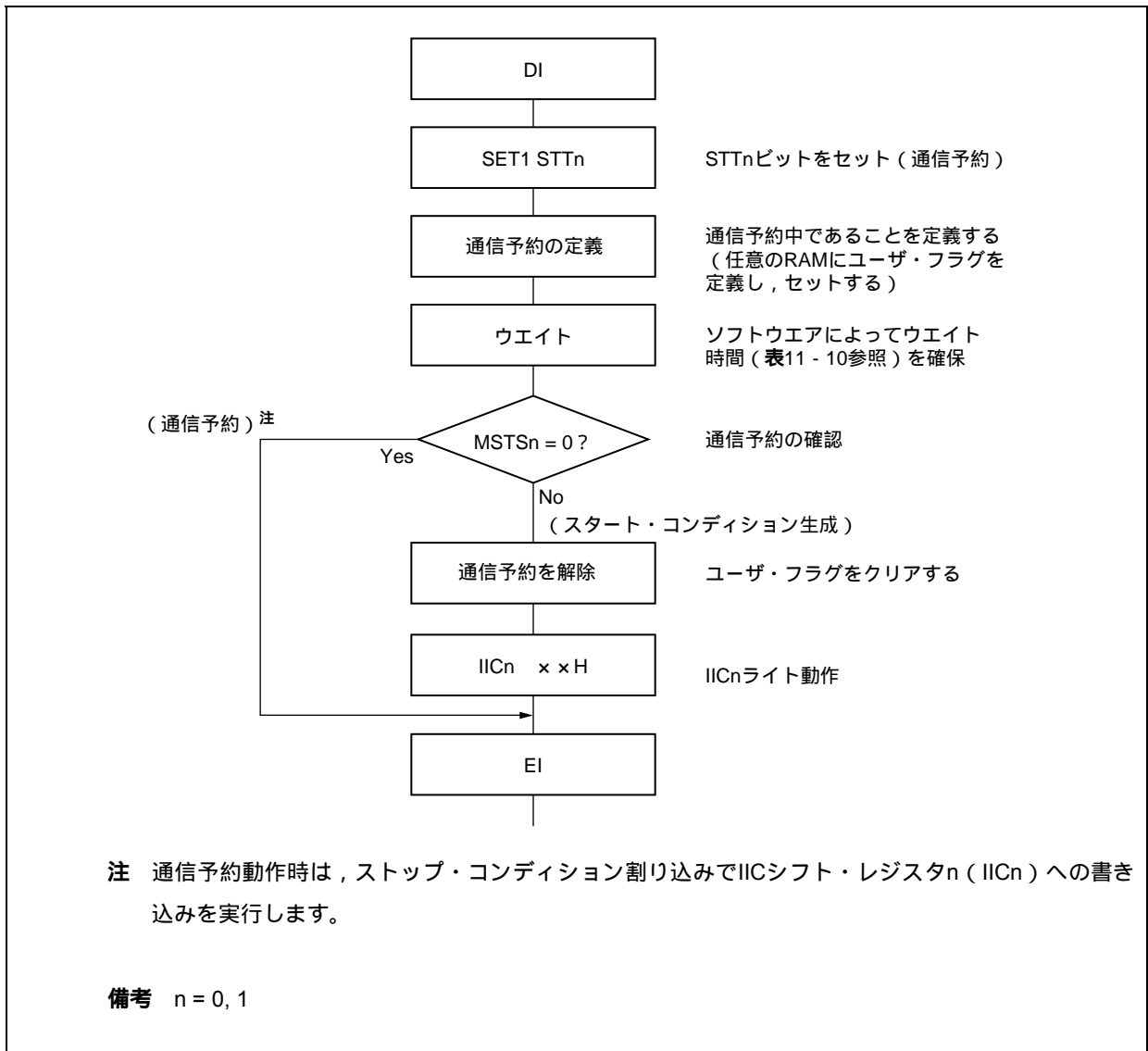
通信予約は次のタイミングで受け付けられます。IIC状態レジスタn (IICSn) のビット1 (STDn) = 1 になったあと、ストップ・コンディション検出までにIICコントロール・レジスタn (IICn) のビット1 (STTn) = 1で通信予約をします (n = 0, 1)。

図11 - 33 通信予約受け付けタイミング



次に通信予約の手順を示します。

図11 - 34 通信予約の手順 (1)



★ (2) 通信予約機能禁止 (IICFnレジスタのIICRSVn = 1) の場合

バスが通信中で、この通信に不参加の状態ではIICFnレジスタのSTTnビットをセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (\overline{ACK} を返さず、IICコントロール・レジスタn (IICFn) のLRELn = 1でバスを解放した) とき (n = 0, 1)。

スタート・コンディションが生成されたか拒絶されたを確認するには、IICFnレジスタのSTCFnフラグを確認することにより行います。STTn = 1としてからSTCFnフラグがセットされるまで表11 - 11に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表11 - 11 ウェイト時間

IICCEn1	IICCEn0	CLn1	CLn0	ウェイト時間
X	X	0	0	3クロック
X	X	0	1	3クロック
X	X	1	0	6クロック
0	0	1	1	3×N
0	1	1	1	6クロック
1	0	1	1	9クロック

備考1. N : TM5, TM6の出力

X : Don't care

2. n = 0, 1

注意 アドレス一致または拡張コード受信でスレーブ状態となった場合 (図11 - 35で示すタイミング) はSTTn = 1を行わないでください。通信予約状態になってしまいます。

図11 - 35 STTn = 1設定禁止タイミング

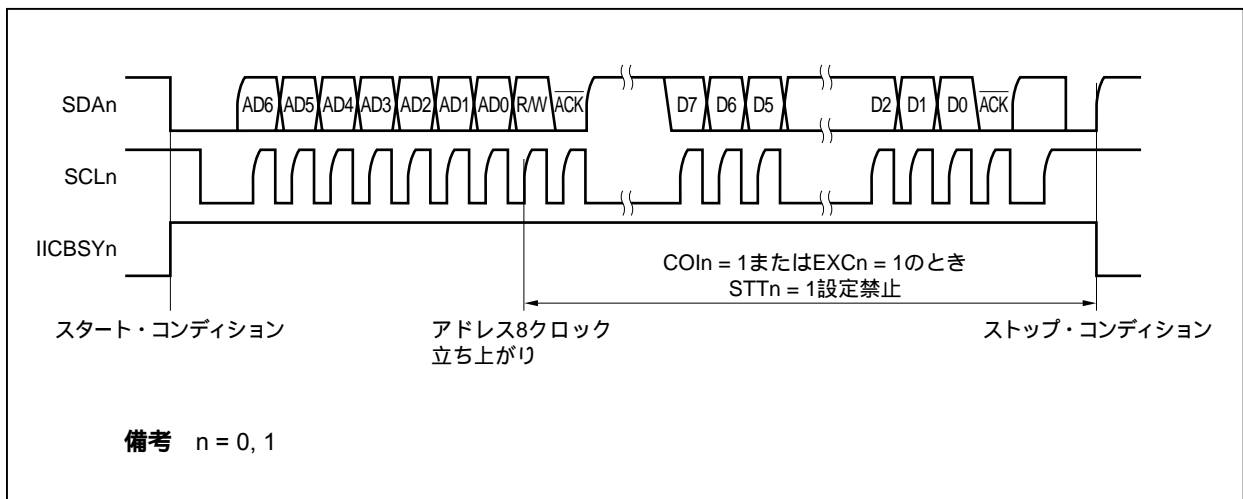
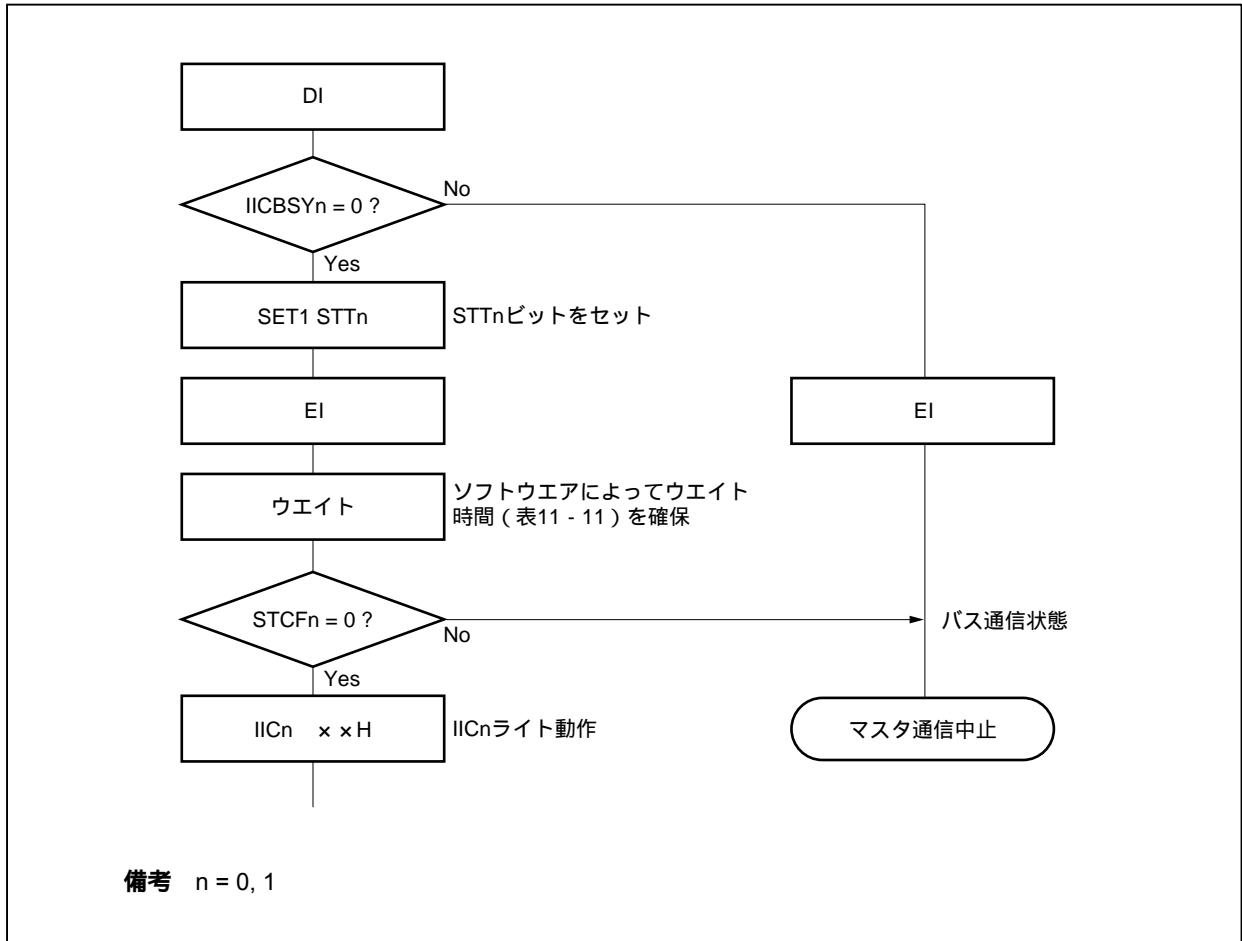


図11 - 36 通信予約の手順 (2)



★ 11.5.13 注意事項

(1) IICフラグ・レジスタ_n (IICFn) のSTCEN_n = 0の場合

I²C_n動作許可直後、実際のバス状態にかかわらずバス通信状態 (IICFnレジスタのIICBSY_n = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行う場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

ストップ・コンディションの生成は次の順番で行ってください。

IICクロック選択レジスタ_n (IICCL_n) の設定

IICコントロール・レジスタ_n (IICCN) のIICEnビットのセット

IICCNレジスタのSPTnビットのセット

(2) IICフラグ・レジスタ_n (IICFn) のSTCEN_n = 1の場合

I²C_n動作許可直後、実際のバス状態にかかわらずバス解放状態 (IICFnレジスタのIICBSY_n = 0) と認識しますので、1回目のスタート・コンディションを発行 (IICCNレジスタのSTT_n = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

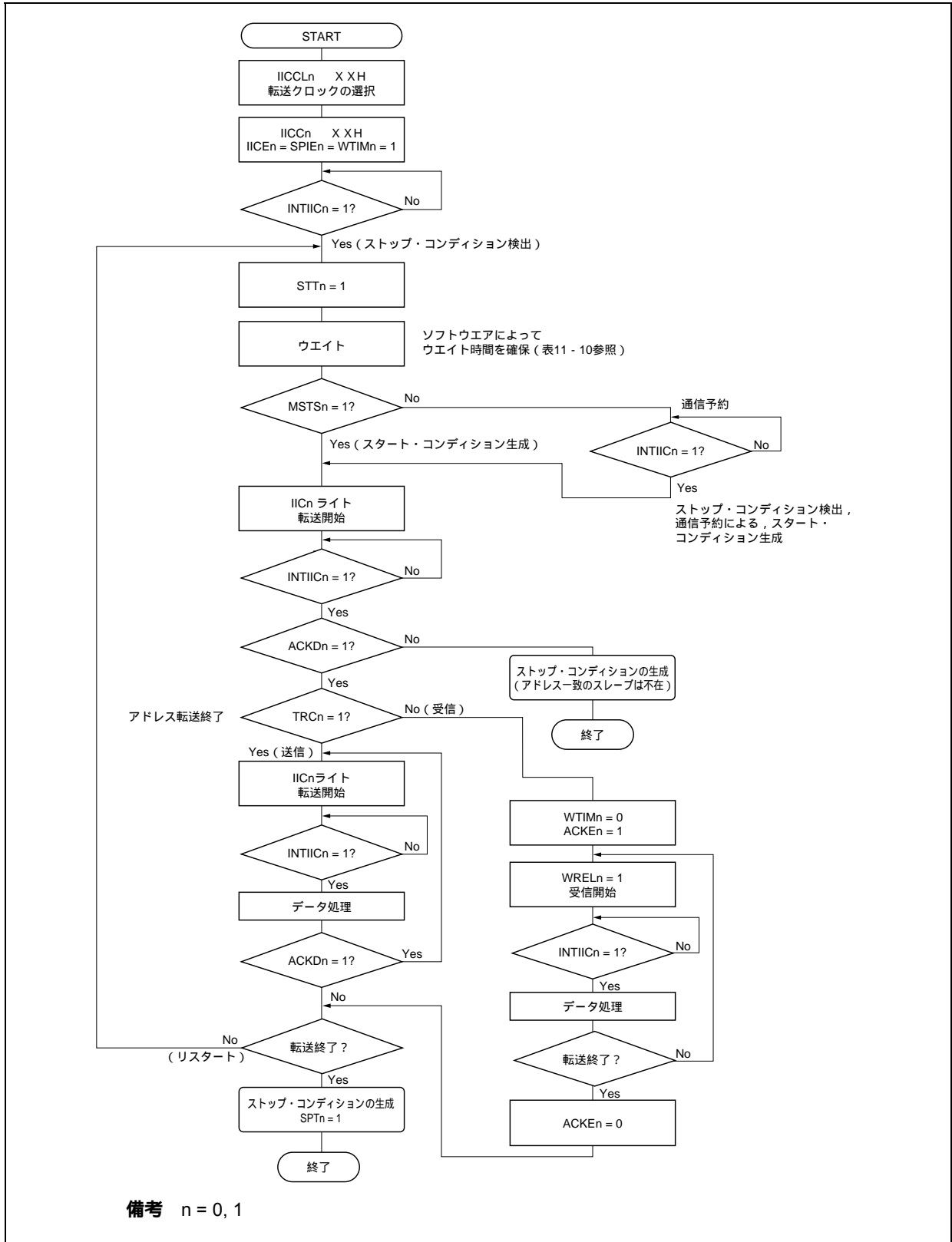
備考 n = 0, 1

11.5.14 通信動作

★ (1) マスタ動作 (1)

通信予約機能許可 (IICRSVn = 0) , およびストップ・コンディション検出後スタート時 (STCENn = 0) におけるマスタ通信手順の例を次に示します。

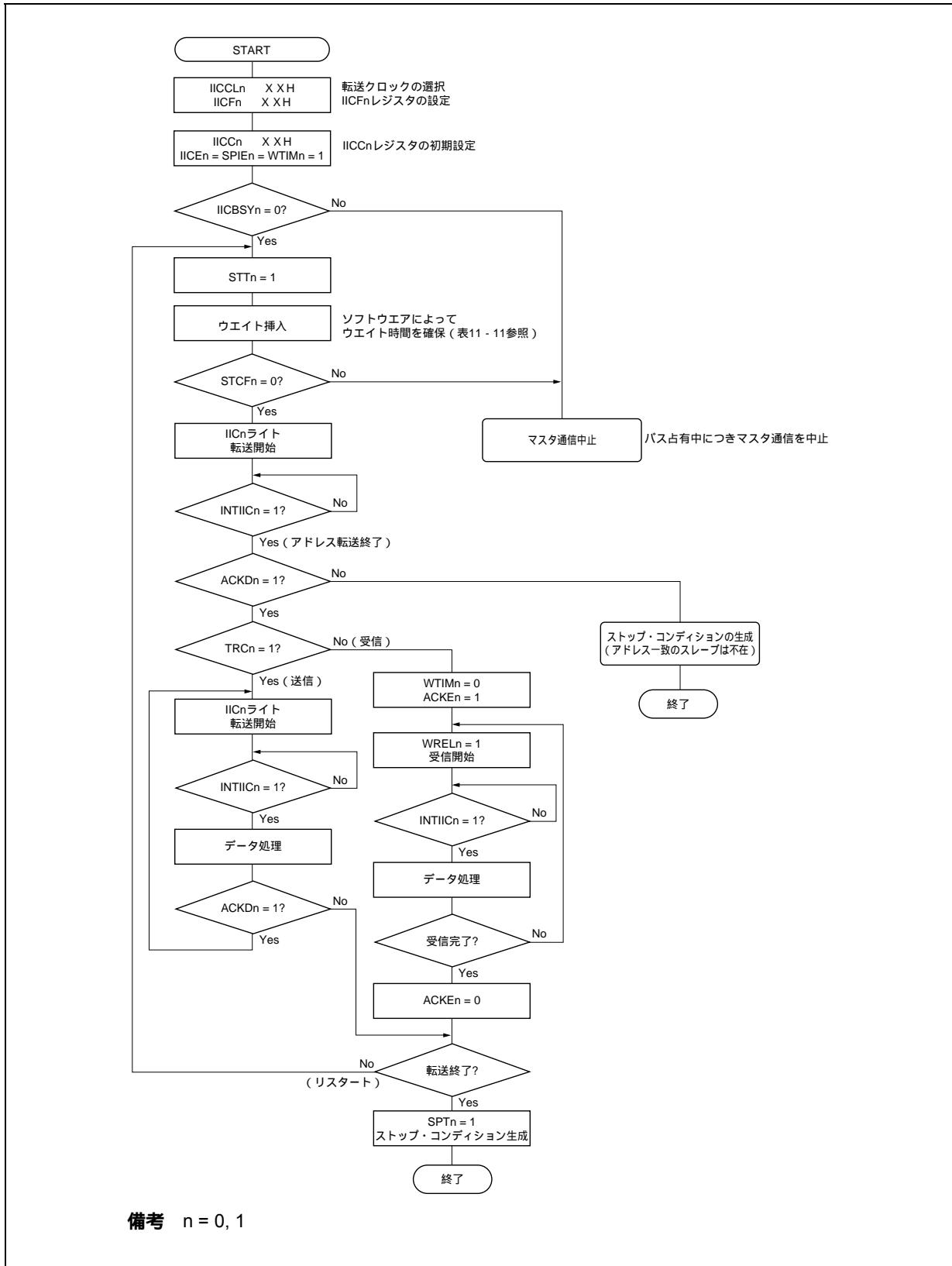
図11 - 37 マスタ動作手順 (1)



★ (2) マスタ動作 (2)

通信予約機能禁止 (IICRSVn = 1) およびストップ・コンディション未検出によるスタート (STCENn = 1) 時における通信手順の例を次に示します。

図11 - 38 マスタ動作手順 (2)

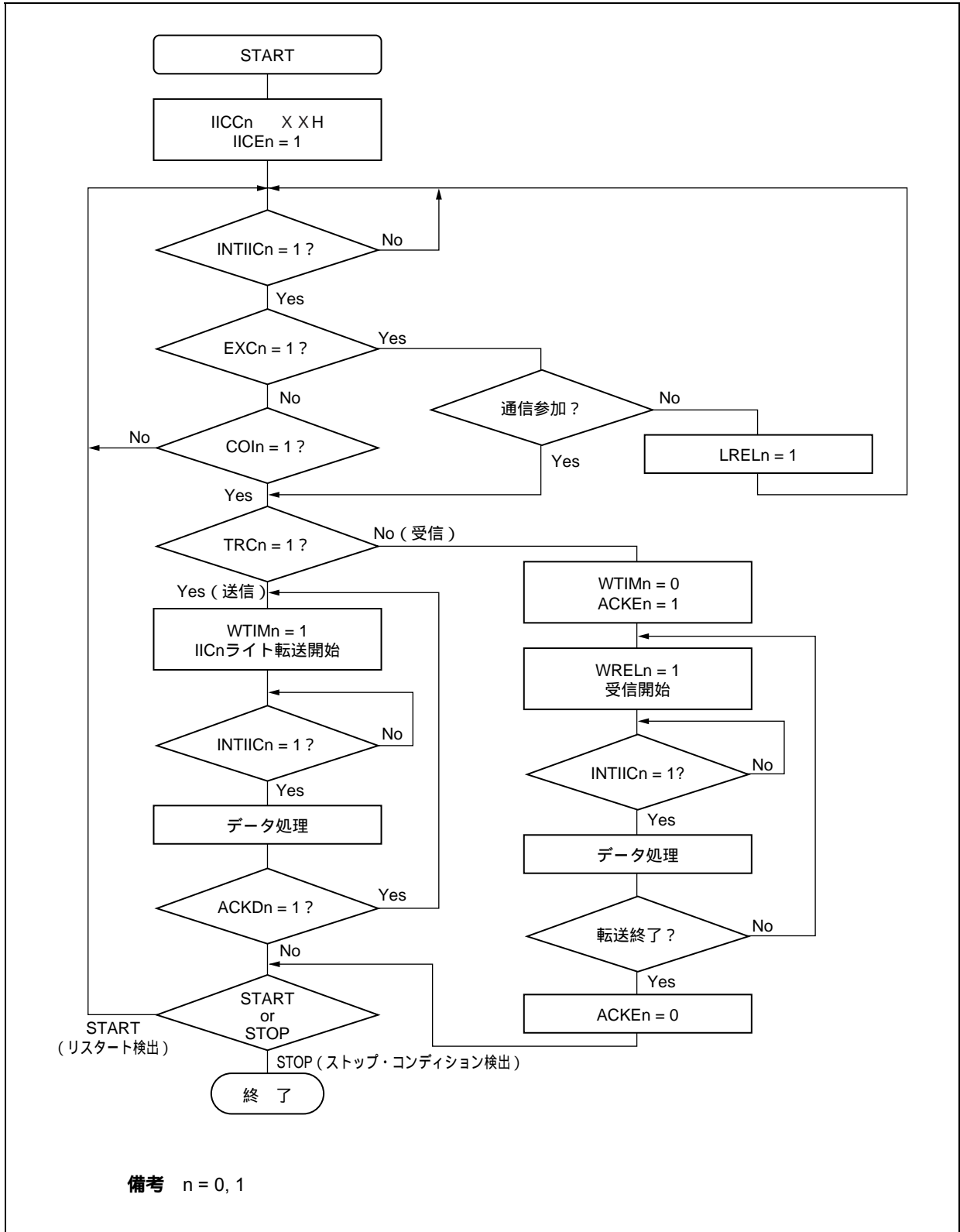


備考 n = 0, 1

(3) スレーブ動作

スレーブ通信手順の例を次に示します。

図11-39 スレーブ動作手順



11. 5. 15 データ通信のタイミング

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCnビット（IIC状態レジスタn（IICSn）のビット3）を送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック（SCLn）の立ち下がりに同期してIICバス・シフト・レジスタn（IICn）のシフト動作が行われ、送信データがSOラッチに転送され、SDAn端子からMSBファーストで出力されます。

また、SCLnの立ち上がりでSDAn端子に入力されたデータがIICnに取り込まれます。

データ通信のタイミングを次に示します。

備考 n = 0, 1

図11 - 40 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

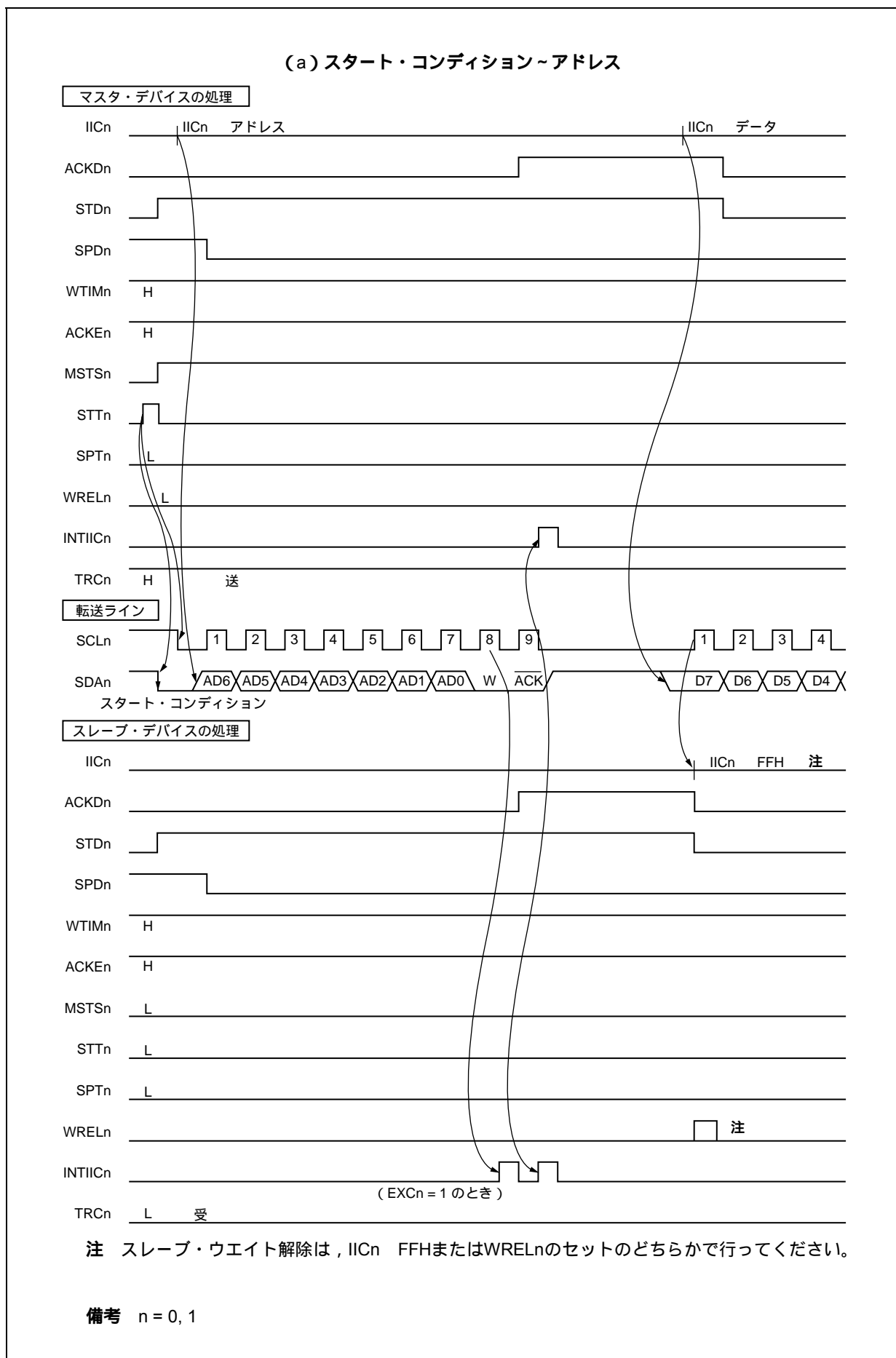


図11 - 40 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

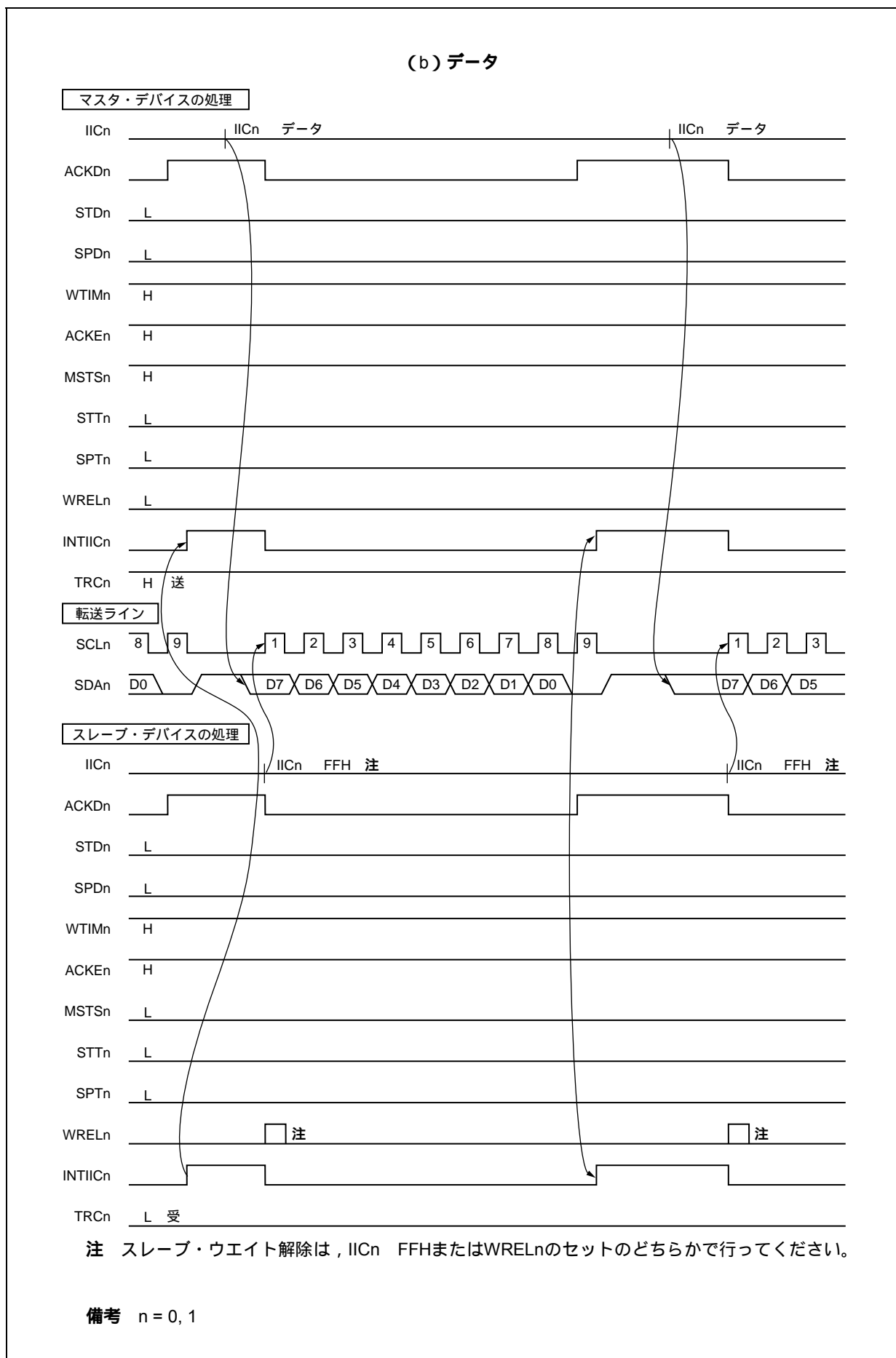


図11 - 40 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

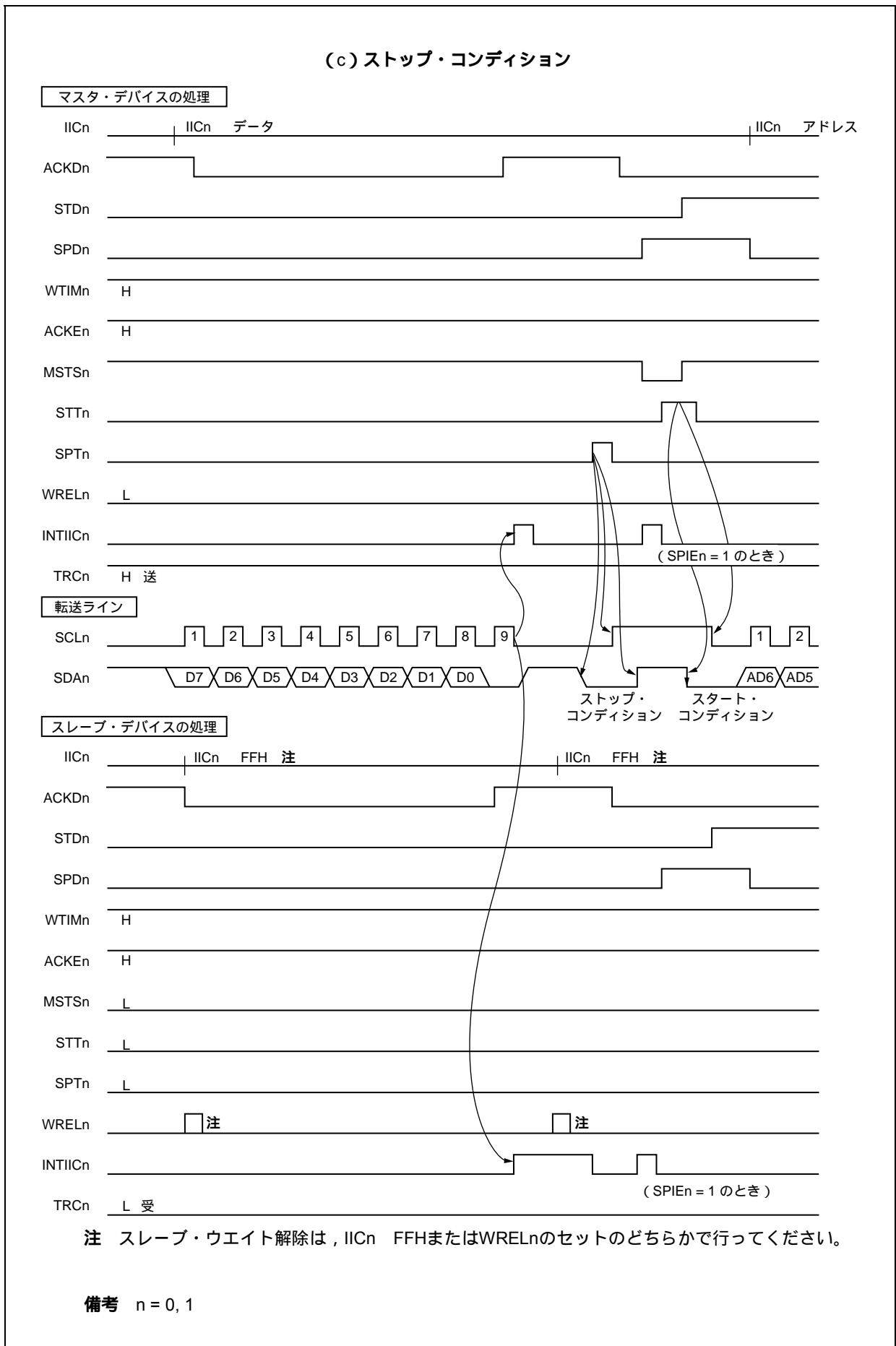


図11 - 41 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

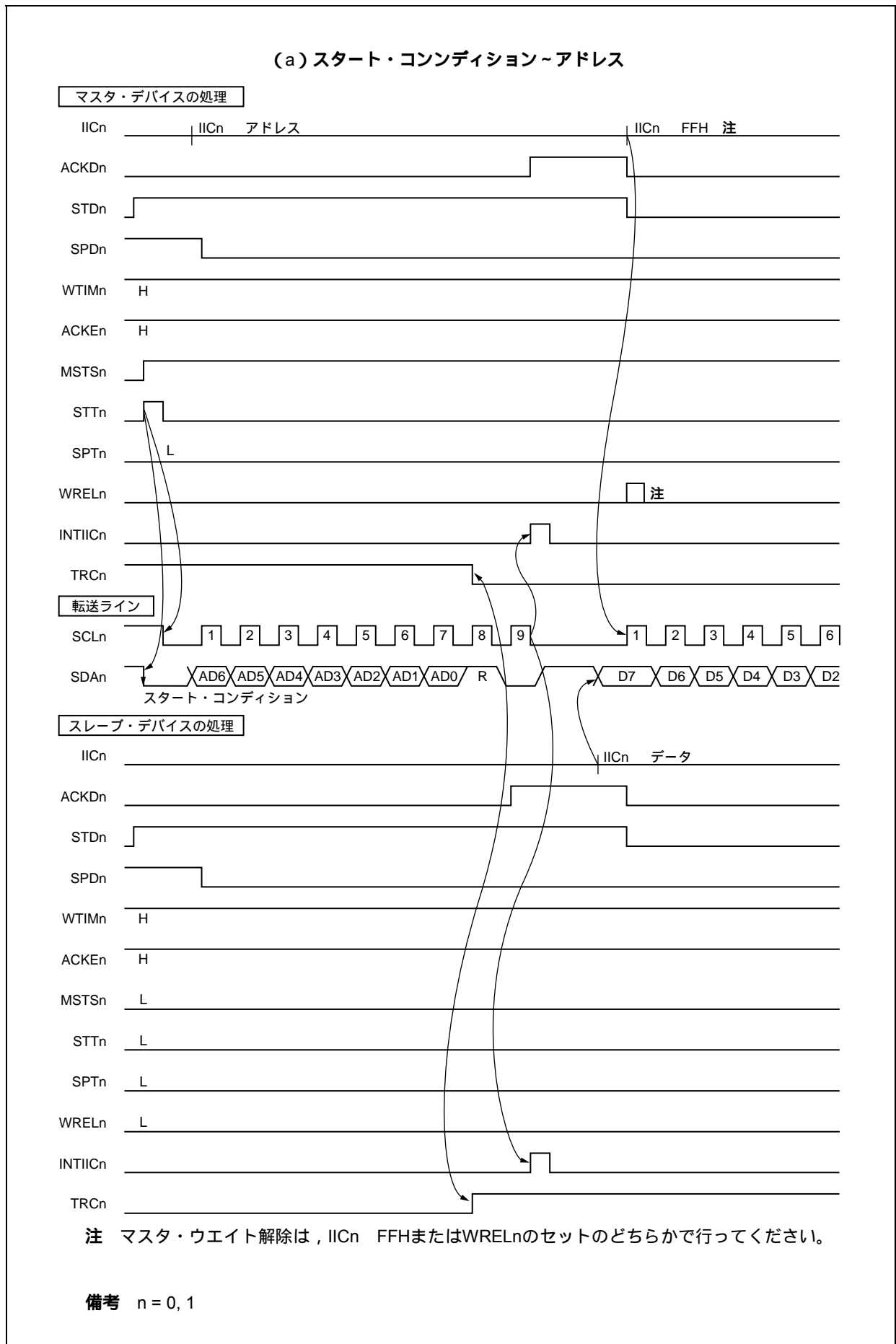


図11 - 41 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

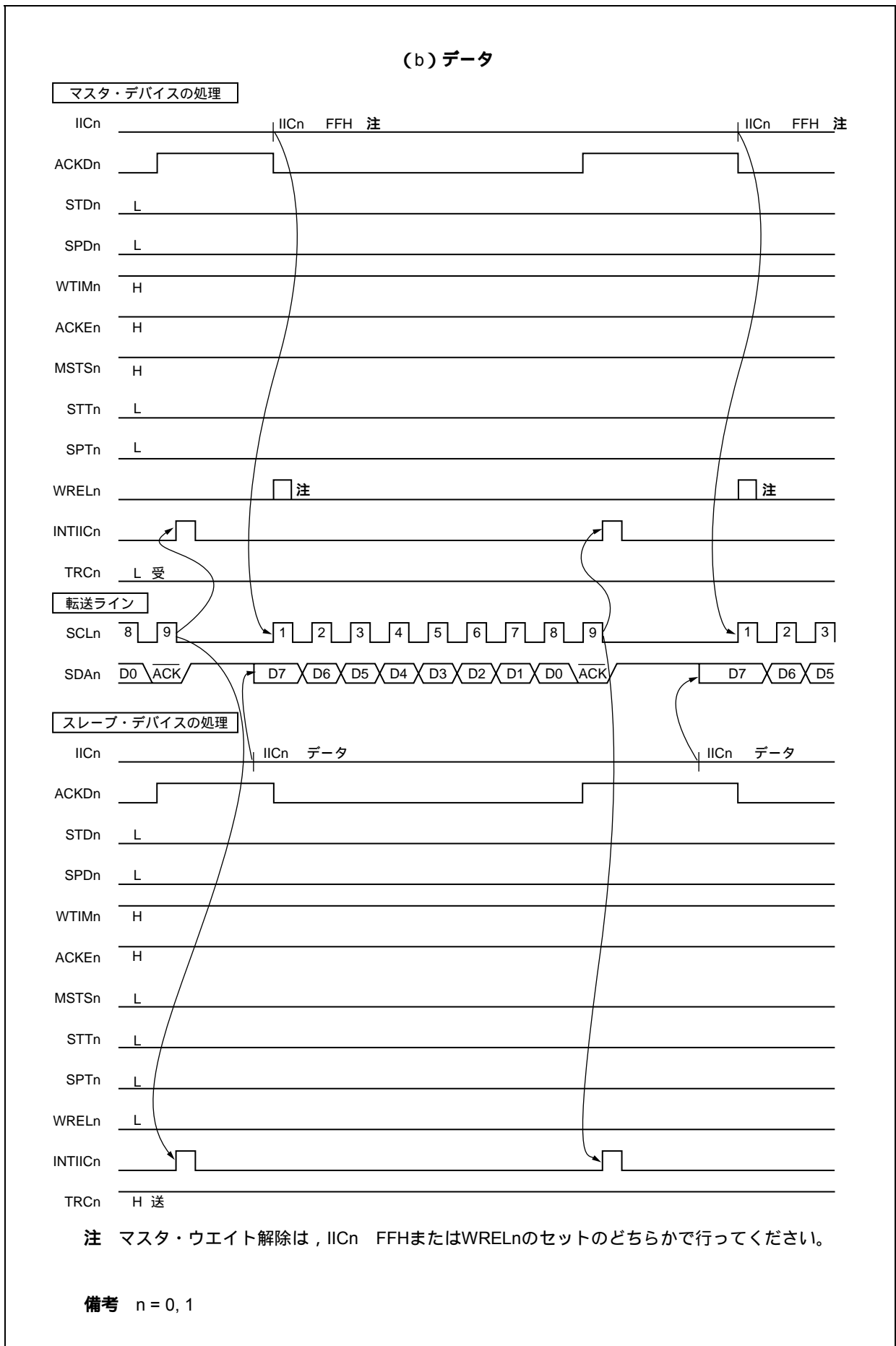
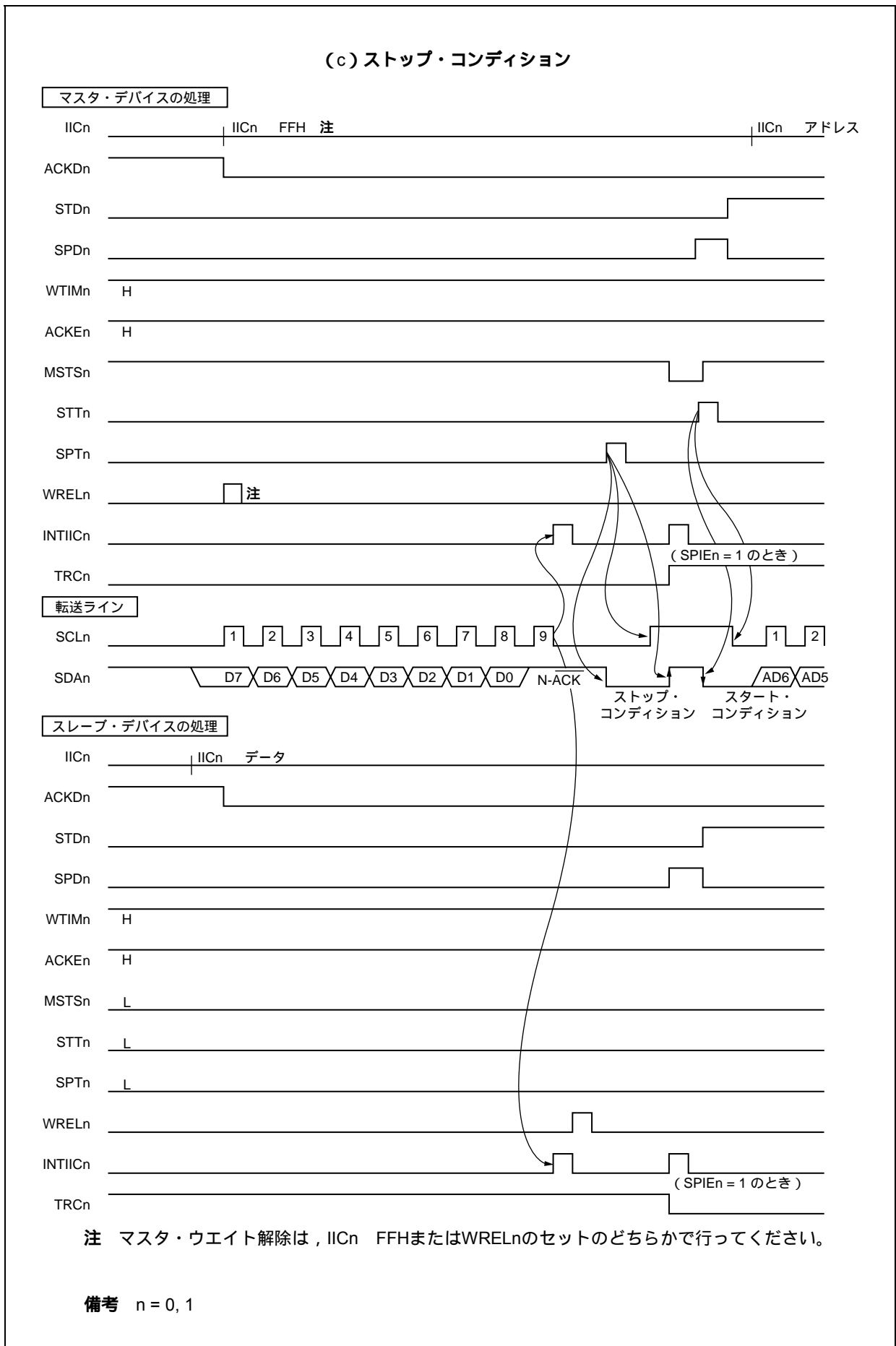


図11 - 41 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)



11.6 アシクロナス・シリアル・インタフェース (UART0-UART3)

UARTn (n = 0-3) には、次の2種類の動作モードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) アシクロナス・シリアル・インタフェース・モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UARTn専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

また、ASCKn端子への入力クロックを分周してボー・レートを定義することもできます。

UARTn専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

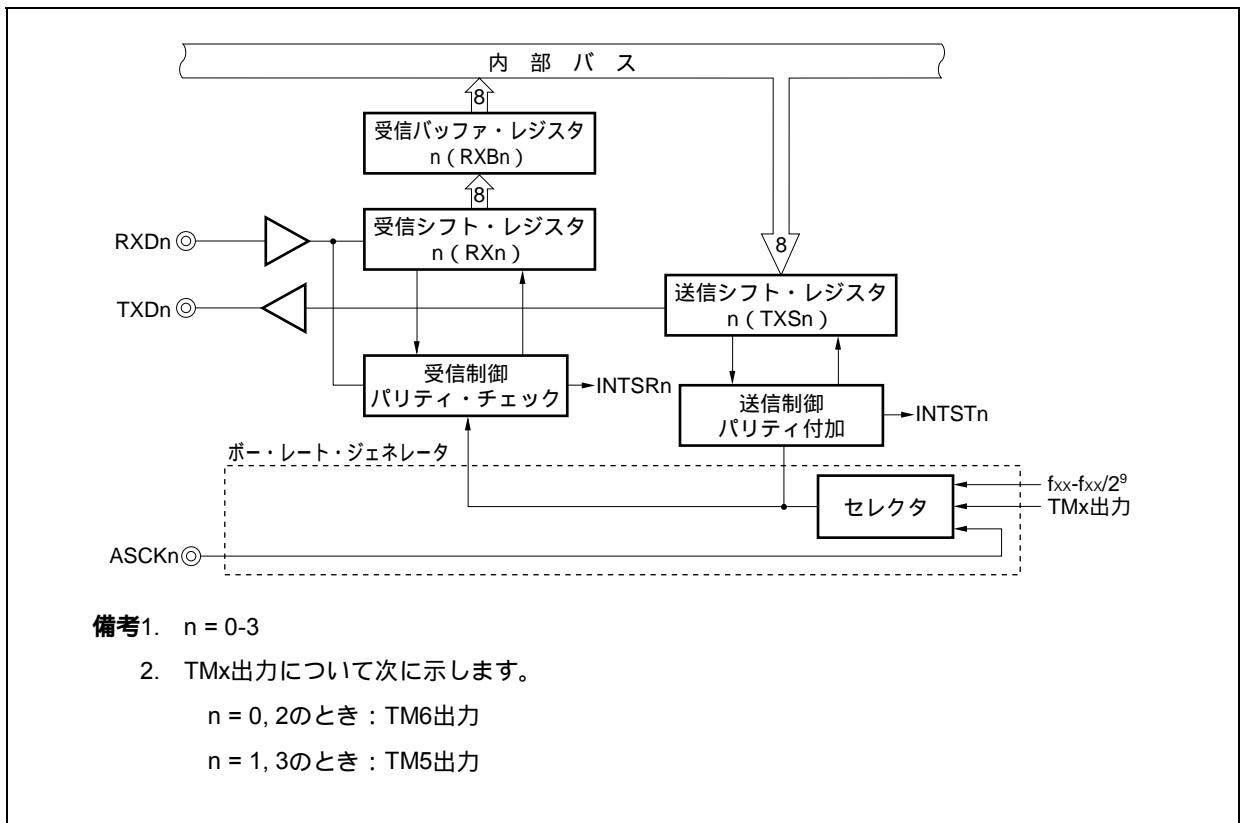
11.6.1 構成

UARTnは、次のハードウェアで構成されています。

表11 - 12 UARTnの構成

項目	構成
レジスタ	送信シフト・レジスタ0-3 (TXS0-TXS3) 受信バッファ・レジスタ0-3 (RXB0-RXB3)
制御レジスタ	アシクロナス・シリアル・インタフェース・モード・レジスタ0-3 (ASIM0-ASIM3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0-3 (ASIS0-ASIS3) ボー・レート・ジェネレータ・コントロール・レジスタ0-3 (BRGC0-BRGC3) ボー・レート・ジェネレータ・モード・コントロール・レジスタ00-03 (BRGMC00-BRGMC03) ボー・レート・ジェネレータ・モード・コントロール・レジスタ10-13 (BRGMC10-BRGMC13)

図11 - 42 UARTnのブロック図



(1) 送信シフト・レジスタ0-3 (TXS0-TXS3)

送信データを設定するレジスタです。TXSnに書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXSnに書き込んだデータのビット0-ビット6が送信データとして転送されます。TXSnにデータを書き込むことにより、送信動作を開始します。

TXSnは、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXSnへの書き込みを行わないでください。

(2) 受信シフト・レジスタ0-3 (RX0-RX3)

RXDn端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタn (RXBn) へ転送します。

RXnはプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ0-3 (RXB0-RXB3)

受信データを保持するレジスタです。データを1バイト受信することに新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXBnのビット0-ビット6に転送され、RXBnのMSBは必ず0になります。

RXBnは、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM n) に設定された内容に従って、送信シフト・レジスタ n (TXS n) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM n) に設定された内容に従って、受信動作を制御します。また、受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ n (ASIS n) にセットします。

11.6.2 UART n 制御レジスタ

UART n は、次のレジスタで制御します ($n = 0-3$)。

- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM n)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ n (ASIS n)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ n (BRGC n)
- ・ボー・レート・ジェネレータ・モード・コントロール・レジスタ n_0, n_1 (BRGMC $n_0, BRGMCn_1$)

(1) アシクロナス・シリアル・インタフェース・モード・レジスタ0-3 (ASIM0-ASIM3)

UARTnのシリアル転送動作を制御する8ビットのレジスタです。

ASIMnは、8/1ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

リセット時：00H R/W アドレス：ASIM0 FFFFF300H ASIM1 FFFFF310H
ASIM2 FFFFF230H ASIM3 FFFFF2B0H

	⑦	⑥	5	4	3	2	1	0
ASIMn	TXEn	RXEn	PS1n	PS0n	UCLn	SLn	ISRMn	0

(n = 0-3)

TXEn	RXEn	動作モード	RXDn/Pxx端子の機能	TXDn/Pxx端子の機能
0	0	動作停止	ポート機能	ポート機能
0	1	UARTnモード (受信のみ)	シリアル機能	ポート機能
1	0	UARTnモード (送信のみ)	ポート機能	シリアル機能
1	1	UARTnモード (送受信)	シリアル機能	シリアル機能

PS1n	PS0n	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

UCLn	キャラクタ長の指定
0	7ビット
1	8ビット

SLn	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRMn	エラー発生時の受信完了割り込み制御
0	エラー発生時、受信完了割り込みを発生する
1	エラー発生時、受信完了割り込みを発生しない

注意1. 動作モードの切り替えは、シリアル送受信動作を停止させたあとに行ってください。

★ 2. V850/SC1, V850/SC2, V850/SC3には受信エラー割り込みがありません。

受信エラー割り込みを検出する場合には必ずISRMnに“0”を設定してください。

★ 3. ビット0には必ず“0”を設定してください。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0-3 (ASIS0-ASIS3)

アシクロナス・シリアル・インタフェース・モードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASISnは、8/1ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

リセット時 : 00H	R	アドレス : ASIS0 FFFFF302H	ASIS1 FFFFF312H	ASIS2 FFFFF232H	ASIS3 FFFFF2B2H			
ASISn	7	6	5	4	3	②	①	①
	0	0	0	0	0	PEn	FEn	OVEn

(n = 0-3)

PEn	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FEn	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVEn	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) のビット2 (SLn) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタn (RXBn) を必ず読み出してください。RXBnを読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ0-3 (BRGC0-BRGC3)

UARTnのシリアル・クロックを設定するレジスタです。

BRGCnは、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：BRGC0 FFFF304H BRGC1 FFFF314H
BRGC2 FFFF234H BRGC3 FFFF2B4H

	7	6	5	4	3	2	1	0
BRGCn	MDLn7	MDLn6	MDLn5	MDLn4	MDLn3	MDLn2	MDLn1	MDLn0

(n = 0-3)

MD Ln7	MD Ln6	MD Ln5	MD Ln4	MD Ln3	MD Ln2	MD Ln1	MD Ln0	入力クロックの選択	k
0	0	0	0	0	x	x	x	設定禁止	-
0	0	0	0	1	0	0	0	fscck/8	8
0	0	0	0	1	0	0	1	fscck/9	9
0	0	0	0	1	0	1	0	fscck/10	10
0	0	0	0	1	0	1	1	fscck/11	11
0	0	0	0	1	1	0	0	fscck/12	12
0	0	0	0	1	1	0	1	fscck/13	13
0	0	0	0	1	1	1	0	fscck/14	14
0	0	0	0	1	1	1	1	fscck/15	15
0	0	0	1	0	0	0	0	fscck/16	16
.
.
.
1	1	1	1	1	1	1	1	fscck/255	255

注意1. BRGCnはリセット時に00Hになります。動作させる前に“設定禁止”以外の設定にしてください。停止状態で“設定禁止”の設定にしても問題ありません。

2. 通信動作中にBRGCnへの書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGCnへの書き込みを行わないでください。

備考 fscck : 8ビット・カウンタのソース・クロック

(4) ポー・レート・ジェネレータ・モード・コントロール・レジスタn0, n1 (BRGMCn0, BRGMCn1)

UARTnのソース・クロックを設定するレジスタです。

BRGMCn0, BRGMCn1は, 8ビット・メモリ操作命令で設定します (n = 0-3)。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時: 00H R/W アドレス: BRGMC01 FFFF320H BRGMC11 FFFF322H
 BRGMC21 FFFF23CH BRGMC31 FFFF2BCH

	7	6	5	4	3	2	1	0
BRGMCn1	0	0	0	0	0	0	0	TPSn3

(n = 0-3)

リセット時: 00H R/W アドレス: BRGMC00 FFFF30EH BRGMC10 FFFF31EH
 BRGMC20 FFFF23AH BRGMC30 FFFF2BAH

	7	6	5	4	3	2	1	0
BRGMCn0	0	0	0	0	0	TPSn2	TPSn1	TPSn0

(n = 0-3)

TPSn3	TPSn2	TPSn1	TPSn0	8ビット・カウンタのソース・クロック選択	m
0	0	0	0	外部クロック (ASCKn)	-
0	0	0	1	f _{xx}	0
0	0	1	0	f _{xx} /2	1
0	0	1	1	f _{xx} /4	2
0	1	0	0	f _{xx} /8	3
0	1	0	1	f _{xx} /16	4
0	1	1	0	f _{xx} /32	5
0	1	1	1	n = 0, 2時: TM6の出力 n = 1, 3時: TM5の出力	-
1	0	0	0	f _{xx} /64	6
1	0	0	1	f _{xx} /128	7
1	0	1	0	f _{xx} /256	8
1	0	1	1	f _{xx} /512	9
1	1	0	0	設定禁止	-
1	1	0	1		-
1	1	1	0		-
1	1	1	1		-

注意1. 通信動作中にBRGMCn0, n1への書き込みを行うと, ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって, 通信動作中にはBRGMCn0, n1への書き込みを行わないでください。

2. BRGMCn0のビット7-3には必ず“0”を設定してください。

備考1. 8ビット・カウンタのソース・クロック: f_{sck}

2. 選択クロックをタイマの出力にした場合, P17/TO5/TI5, P30/TO6/TI6端子をタイマ出力モードにする必要はありません。

★

(2) アシクロナス・シリアル・インタフェース・モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UARTn専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

UARTn専用ポー・レート・ジェネレータを利用してMIDI規格のポー・レート（31.25 kbps）を使用することもできます。

(a) レジスタの設定

アシクロナス・シリアル・インタフェース・モードの設定は、ASIMn, BRGCn, BRGMCn0, BRGMCn1で行います（n = 0-3）。

図11 - 44 ASIMnの設定（アシクロナス・シリアル・インタフェース・モード）

リセット時：00H R/W アドレス：ASIM0 FFFF300H ASIM1 FFFF310H
ASIM2 FFFF230H ASIM3 FFFF2B0H

	⑦	⑥	5	4	3	2	1	0
ASIMn	TXEn	RXEn	PS1n	PS0n	UCLn	SLn	ISRMn	0

(n = 0-3)

TXEn	RXEn	動作モード	RxDn/Pxx端子の機能	TxDn/Pxx端子の機能
0	1	UARTnモード（受信のみ）	シリアル機能	ポート機能
1	0	UARTnモード（送信のみ）	ポート機能	シリアル機能
1	1	UARTnモード（送受信）	シリアル機能	シリアル機能

PS1n	PS0n	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない（パリティ・エラーを発生しない）
1	0	奇数パリティ
1	1	偶数パリティ

UCLn	キャラクタ長の指定
0	7ビット
1	8ビット

SLn	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRMn	エラー発生時の受信完了割り込み制御
0	エラー発生時、受信完了割り込みを発生する
1	エラー発生時、受信完了割り込みを発生しない

注意1. 動作モードの切り替えは、シリアル送受信動作を停止させたあとに行ってください。

★ 2. V850/SC1, V850/SC2, V850/SC3には受信エラー割り込みがありません。受信エラー割り込みを検出する場合には必ずISRMnに“0”を設定してください。

★ 3. ビット0には必ず“0”を設定してください。

図11 - 45 ASISnの設定 (アシンクロナス・シリアル・インタフェース・モード)

リセット時 : 00H R アドレス : ASIS0 FFFFF302H ASIS1 FFFFF312H
ASIS2 FFFFF232H ASIS3 FFFFF2B2H

	7	6	5	4	3	②	①	①
ASISn	0	0	0	0	0	PEn	FEn	OVer

(n = 0-3)

PEn	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FEn	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVer	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

注1. アシンクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) のビット2 (SLn) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタn (RXBn) を必ず読み出してください。RXBnを読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

図11 - 46 BRGCnの設定 (アシンクロナス・シリアル・インタフェース・モード)

リセット時 : 00H R/W アドレス : BRGC0 FFFFF304H BRGC1 FFFFF314H
BRGC2 FFFFF234H BRGC3 FFFFF2B4H

	7	6	5	4	3	2	1	0
BRGCn	MDLn7	MDLn6	MDLn5	MDLn4	MDLn3	MDLn2	MDLn1	MDLn0

(n = 0-3)

MD Ln7	MD Ln6	MD Ln5	MD Ln4	MD Ln3	MD Ln2	MD Ln1	MD Ln0	入力クロックの選択	k
0	0	0	0	0	x	x	x	設定禁止	-
0	0	0	0	1	0	0	0	fsck/8	8
0	0	0	0	1	0	0	1	fsck/9	9
0	0	0	0	1	0	1	0	fsck/10	10
0	0	0	0	1	0	1	1	fsck/11	11
0	0	0	0	1	1	0	0	fsck/12	12
0	0	0	0	1	1	0	1	fsck/13	13
0	0	0	0	1	1	1	0	fsck/14	14
0	0	0	0	1	1	1	1	fsck/15	15
0	0	0	1	0	0	0	0	fsck/16	16
·	·	·	·	·	·	·	·	·	·
·	·	·	·	·	·	·	·	·	·
·	·	·	·	·	·	·	·	·	·
1	1	1	1	1	1	1	1	fsck/255	255

注意1. BRGCnはリセット時に00Hになります。動作させる前に“設定禁止”以外の設定にしてください。停止状態で“設定禁止”の設定にしても問題ありません。

2. 通信動作中にBRGCnへの書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGCnへの書き込みを行わないでください。

備考 fsck : 8ビット・カウンタのソース・クロック

図11 - 47 BRGMcn0, BRGMcn1の設定 (アシンクロナス・シリアル・インタフェース・モード)

リセット時 : 00H R/W アドレス : BRGMcn0 FFFF320H BRGMcn1 FFFF322H
 BRGMcn21 FFFF23CH BRGMcn31 FFFF2BCH

	7	6	5	4	3	2	1	0
BRGMcn1	0	0	0	0	0	0	0	TPSn3

(n = 0-3)

リセット時 : 00H R/W アドレス : BRGMcn0 FFFF30EH BRGMcn10 FFFF31EH
 BRGMcn20 FFFF23AH BRGMcn30 FFFF2BAH

	7	6	5	4	3	2	1	0
BRGMcn0	0	0	0	0	0	TPSn2	TPSn1	TPSn0

(n = 0-3)

TPSn3	TPSn2	TPSn1	TPSn0	8ビット・カウンタのソース・クロック選択	m
0	0	0	0	外部クロック (ASCKn)	-
0	0	0	1	f _{xx}	0
0	0	1	0	f _{xx} /2	1
0	0	1	1	f _{xx} /4	2
0	1	0	0	f _{xx} /8	3
0	1	0	1	f _{xx} /16	4
0	1	1	0	f _{xx} /32	5
0	1	1	1	n = 0, 2時 : TM6の出力 n = 1, 3時 : TM5の出力	-
1	0	0	0	f _{xx} /64	6
1	0	0	1	f _{xx} /128	7
1	0	1	0	f _{xx} /256	8
1	0	1	1	f _{xx} /512	9
1	1	0	0	設定禁止	-
1	1	0	1		-
1	1	1	0		-
1	1	1	1		-

注意1. 通信動作中にBRGMcn0, n1への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGMcn0, n1への書き込みを行わないでください。

2. BRGMcn0のビット7-3には必ず“0”を設定してください。

備考1. f_{xx} : メイン・クロック発振周波数

2. 選択クロックをタイマの出力にした場合、P17/TO5/TI5, P30/TO6/TI6端子をタイマ出力モードにする必要はありません。

★

(b) ボー・レート

生成するボー・レート用の送受信クロックは、メイン・クロックを分周した信号になります。

・メイン・クロックによるボー・レート用の送受信クロックの生成

メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するボー・レートは次の式によって求められます。

< 8 k 255の場合 >

$$[\text{ボー・レート}] = \frac{f_{xx}}{2^{m+1} \times k} \text{ [Hz]}$$

f_{xx} : メイン・クロック発振周波数

m : TPSn3-TPSn0で設定した値 (0 m 9)

k : MDLn7-MDLn0で設定した値 (8 k 255)

・ボー・レートの許容誤差範囲

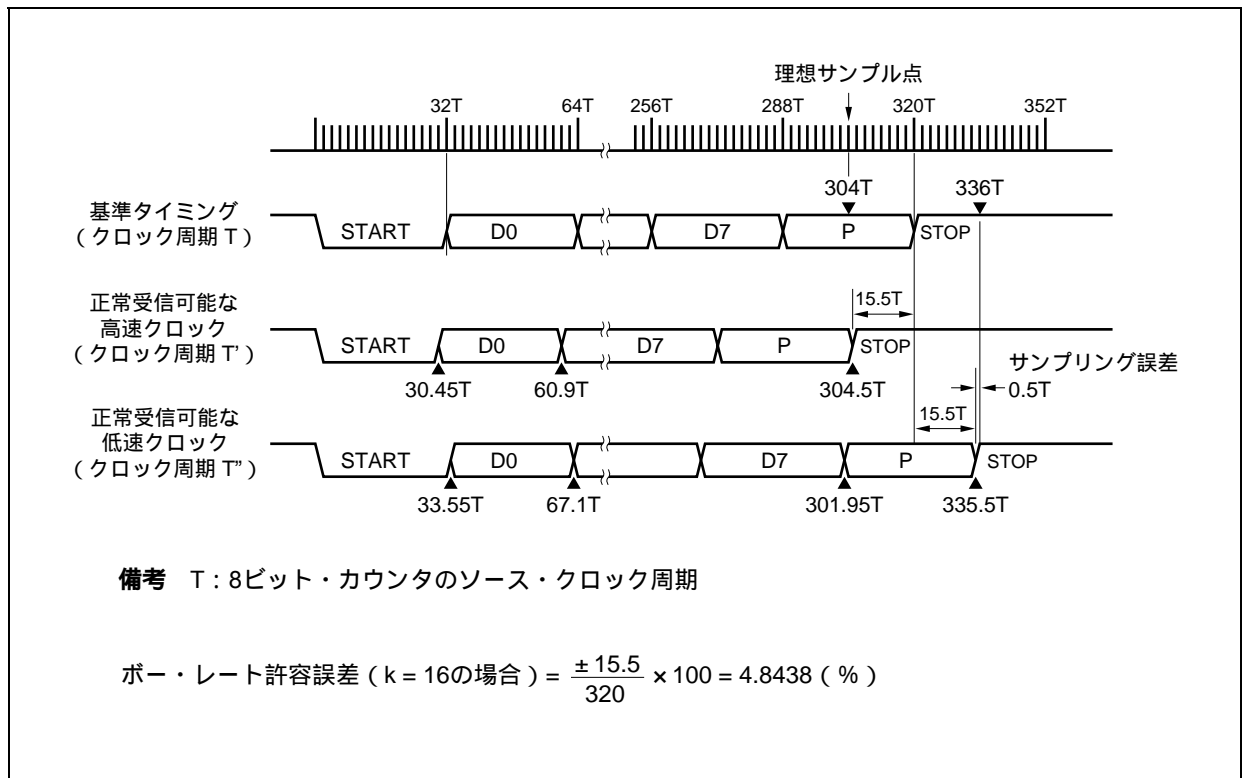
ボー・レートの許容範囲は、1フレームのビット数、およびカウンタの分周比 [1 / (16 + k)] に依存します。表11 - 13にメイン・クロックとボー・レートの関係を、図11 - 48にボー・レートの許容誤差の例を示します。

表11 - 13 メイン・クロックとボー・レートの関係

ボー・レート (bps)	$f_{xx} = 20 \text{ MHz}$			$f_{xx} = 18.87 \text{ MHz}$			$f_{xx} = 16 \text{ MHz}$		
	k	m	誤差 (%)	k	m	誤差 (%)	k	m	誤差 (%)
32	-	-	-	-	-	-	-	-	-
64	-	-	-	-	-	-	244	9	0.06
128	152	9	- 0.39	144	9	- 0.02	244	8	0.06
300	130	8	0.16	123	8	- 0.12	208	7	0.16
600	130	7	0.16	123	7	- 0.12	208	6	0.16
1200	130	6	0.16	123	6	- 0.12	208	5	0.16
2400	130	5	0.16	123	5	- 0.12	208	4	0.16
4800	130	4	0.16	123	4	- 0.12	208	3	0.16
9600	130	3	0.16	123	3	- 0.12	208	2	0.16
19200	130	2	0.16	123	2	- 0.12	208	1	0.16
38400	130	1	0.16	123	1	- 0.12	208	0	0.16
76800	130	0	0.16	123	0	- 0.12	104	0	0.16
150000	67	0	- 0.50	63	0	- 0.16	53	0	0.63
300000	33	0	1.01	31	0	1.45	27	0	- 1.24
524000	19	0	0.44	18	0	0.03	15	0	1.78
1250000	8	0	0.00	-	-	-	-	-	-

備考 f_{xx} : メイン・クロック発振周波数

図11 - 48 サンプリング誤差を考慮したボー・レートの許容誤差 (k = 16の場合)



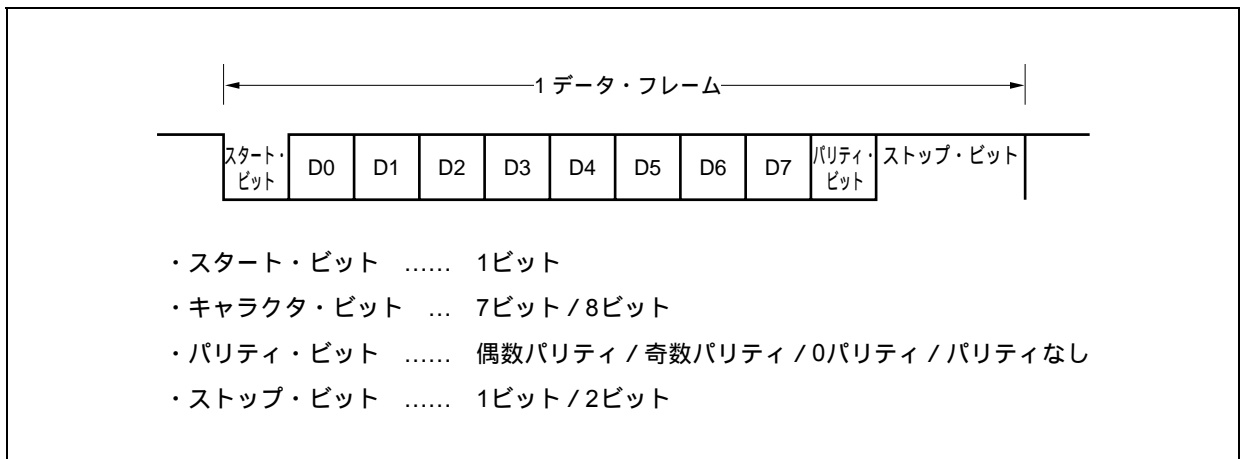
(3) 通信動作

(a) データ・フォーマット

送受信データのフォーマットは図11-49に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM n)によって行います ($n=0-3$)。

図11-49 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



キャラクタ・ビットとして7ビットを選択した場合、下位7ビット（ビット0-ビット6）のみが有効となり、送信の場合は最上位ビット（ビット7）は無視され、受信の場合は必ず最上位ビット（ビット7）は“0”になります。

シリアル転送レートの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM n)とボー・レート・ジェネレータ・コントロール・レジスタ n (BRGC n)によって行います ($n=0-3$)。

また、シリアルデータの受信エラーが発生した場合、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ n (ASIS n)の状態を読むことによって受信エラーの内容を判定できます ($n=0-3$)。

(b) パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしとでは、誤りを検出できません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

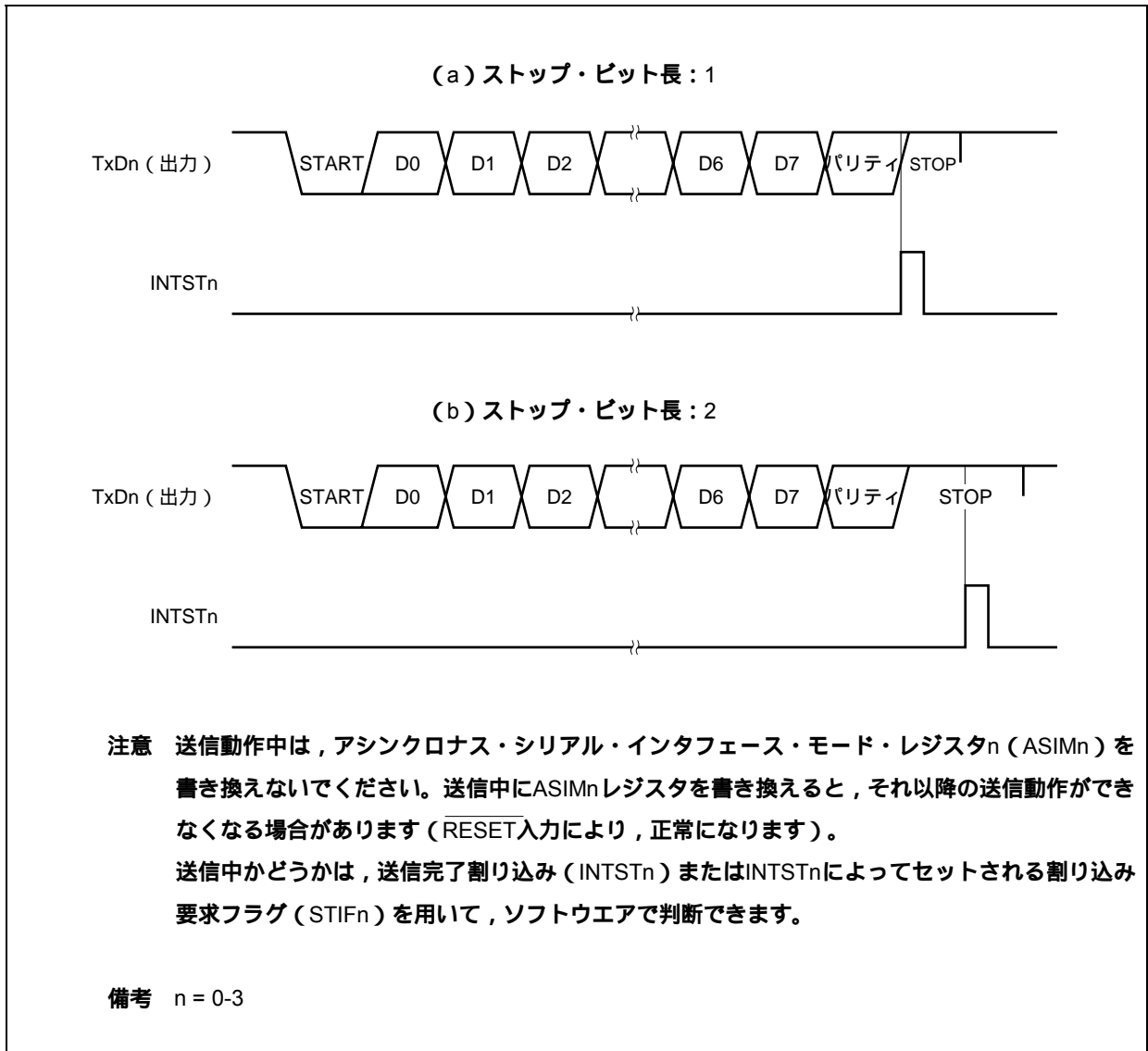
(c) 送 信

送信シフト・レジスタ n (TXSn) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

送信動作の開始により, TXSn内のデータがシフト・アウトされTXSnが空になると, 送信完了割り込み (INTSTn) が発生します。

送信完了割り込みのタイミングを次に示します。

図11 - 50 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



(d) 受信

受信動作はアシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM n) のビット6 (RXEn) がセット (1) されると許可状態となり, RXD n 端子入力のサンプリングを行います。

RXD n 端子入力のサンプリングは, BRGC n で指定したシリアル・クロックで行います。

RXD n 端子入力がロウ・レベルになると, 8ビット・カウンタがカウントを開始し, 設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RXD n 端子入力をサンプリングした結果, ロウ・レベルであれば, スタート・ビットとして認識し, 8ビット・カウンタを初期化してカウントを開始し, データのサンプリングを行います。スタート・ビットに続いて, キャラクタ・データ, パリティ・ビットおよび1ビットのストップ・ビットが検出されると, 1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると, シフト・レジスタ内の受信データを受信バッファ・レジスタ n (RXB n) に転送し, 受信完了割り込み要求 (INTSR n) を発生します。

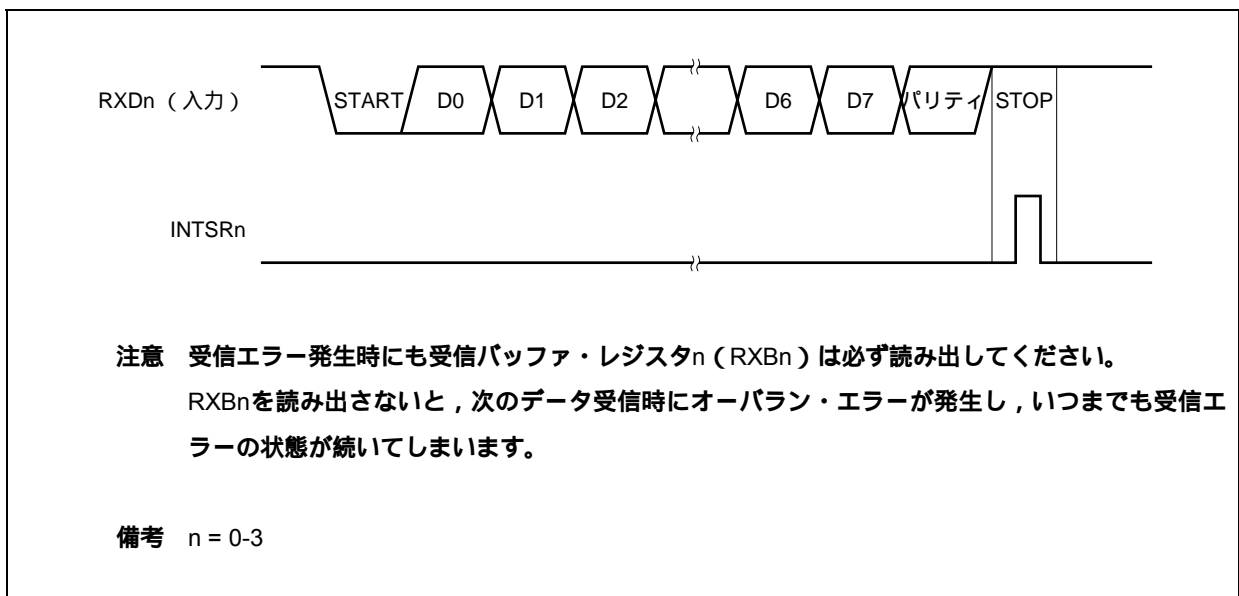
また, エラーが発生しても, RXB n にエラーの発生した受信データを転送します。エラー発生時, ASIM n のビット1 (ISRM n) がクリア (0) されている場合は, INTSR n を発生します。ISRM n ビットがセット (1) されている場合は, INTSR n は発生しません。

★ 受信エラーの種類は受信完了割り込み処理 (INTSR n) 内でASIS n の内容を読み出すことによって検出できます。

なお, 受信動作中にRXEnビットをリセット (0) すると, ただちに受信動作を停止します。このとき, RXB n およびASIS n の内容は変化せず, また, INTSR n も発生しません。

次にアシンクロナス・シリアル・インタフェース受信完了割り込みタイミングを示します。

図11 - 51 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



(e) 受信エラー

★

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn) 内に立ちます。

受信完了割り込み処理 (INTSRn) 内でASISnの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます。

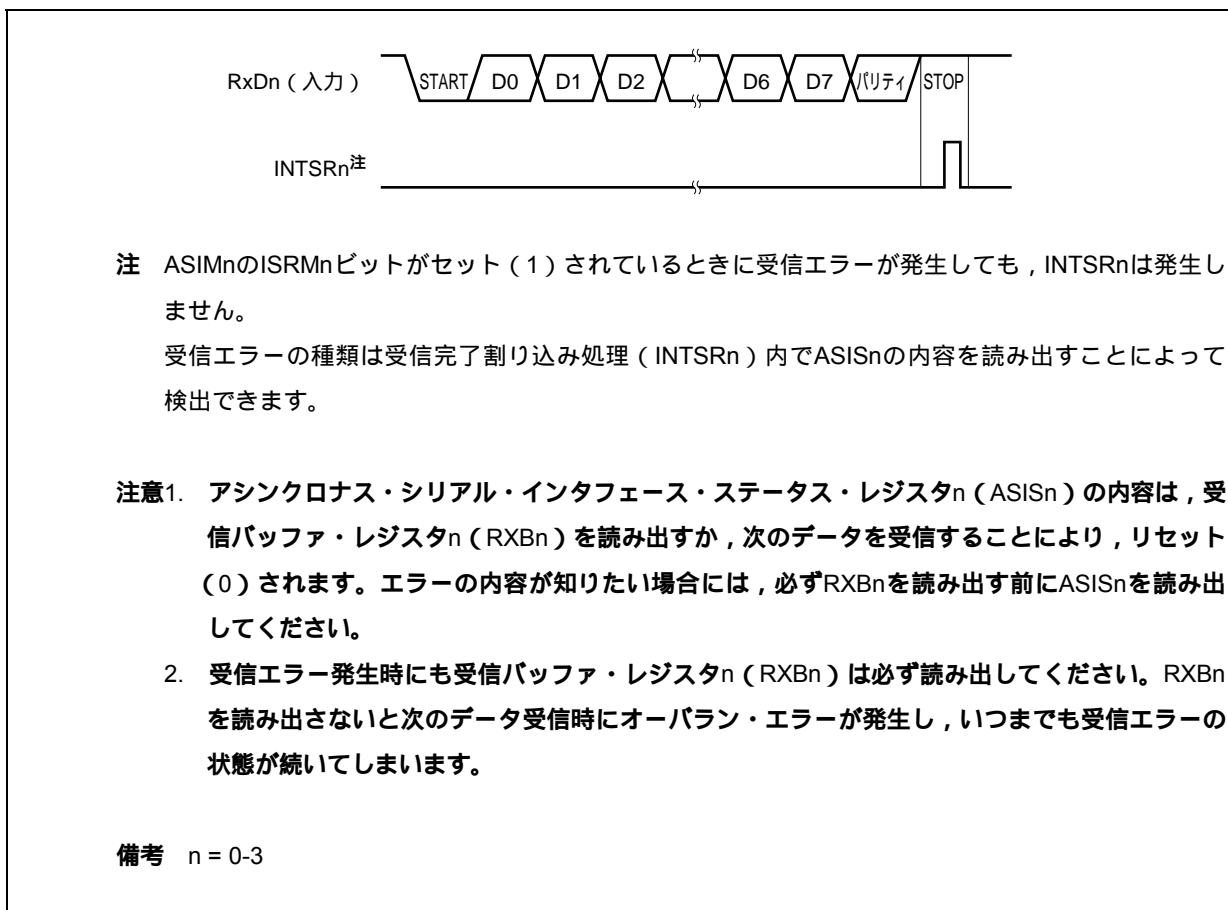
ASISnの内容は、受信バッファ・レジスタn (RXBn) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表11 - 14 受信エラーの要因

受信エラー	要 因	ASISnの値
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了	01H

★

図11 - 52 受信エラー・タイミング



11.6.4 スタンバイ機能

(1) HALTモード時の動作

シリアル転送動作は通常に行われます。

(2) STOPモード時 / IDLEモード時

(a) シリアル・クロックとして内部クロックを選択した場合

アシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM n)、送信シフト・レジスタ n (TXS n)、受信バッファ・レジスタ n (RXB n)は、クロック停止直前の値を保持したまま動作を停止します。

TXD n 端子出力は、送信状態のときにクロックが停止された場合 (STOPモード時)は、直前のデータを保持します。受信中にクロックが停止された場合は、直前までの受信データを格納し、それ以降の動作を停止します。クロックが再起動されると続けて受信動作を再開します。

(b) シリアル・クロックとして外部クロックを選択した場合

シリアル転送動作は通常に行われます。

第12章 A/Dコンバータ

12.1 機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、10ビット分解能、12チャンネル (ANI0-ANI11) の構成になっています。

V850/SC1, V850/SC2, V850/SC3では、低速変換および低消費電力モードをサポートしています。

(1) ハードウェア・スタート

トリガ入力 (ADTRG) により変換開始 (立ち上がり, 立ち下がり, 立ち上がりと立ち下がりの両エッジの指定が可能)。

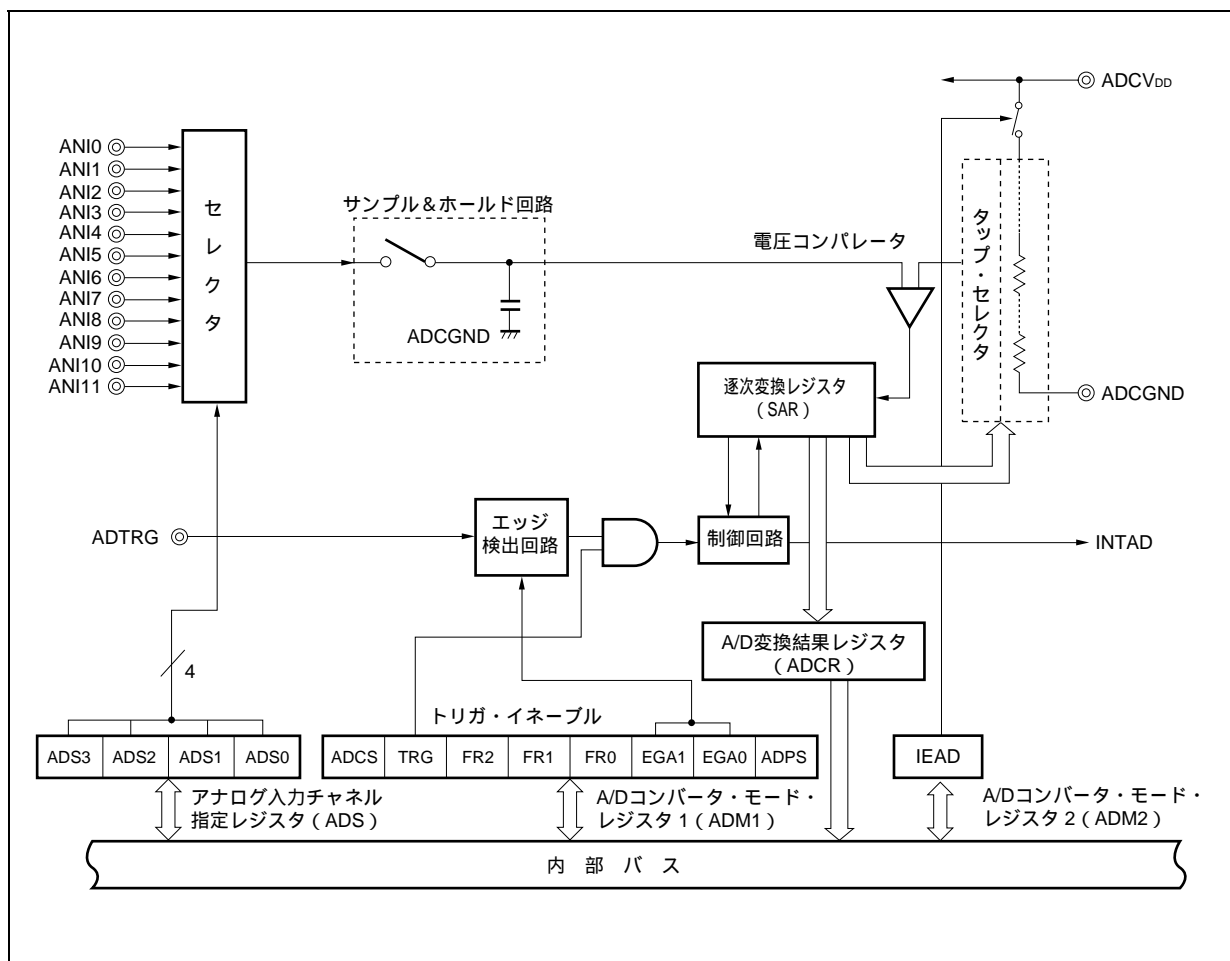
(2) ソフトウェア・スタート

A/Dコンバータ・モード・レジスタ1 (ADM1) を設定することにより変換開始。

アナログ入力をANI0-ANI11から1チャンネル選択し、A/D変換を行います。A/D変換の動作は、ハードウェア・スタート時ではA/D変換動作終了後停止し、割り込み要求 (INTAD) を発生します。ソフトウェア・スタート時では、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに、INTADが発生します。

次にブロック図を示します。

図12-1 A/Dコンバータのブロック図



12.2 構成

A/Dコンバータは、次のハードウェアで構成しています。

表12-1 A/Dコンバータの構成

項目	構成
アナログ入力	12チャンネル (ANI0-ANI11)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ (ADCR) A/D変換結果レジスタH (ADCRH) : 上位8ビットだけ読み出し可能
制御レジスタ	A/Dコンバータ・モード・レジスタ1 (ADM1) A/Dコンバータ・モード・レジスタ2 (ADM2) アナログ入力チャンネル指定レジスタ (ADS)

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了)、SARの内容はA/D変換結果レジスタに転送されます。

(2) A/D変換結果レジスタ (ADCR) , A/D変換結果レジスタH (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

ADCRは、16ビット・メモリ操作命令で読み出します。 $\overline{\text{RESET}}$ 入力により、0000Hになります。

また、A/D変換結果の上位8ビットだけを使用する場合、ADCRHは8ビット・メモリ操作命令で読み出します。 $\overline{\text{RESET}}$ 入力により、00Hになります。

★

注意 A/Dコンバータ・モード・レジスタ1 (ADM1) , アナログ入力チャンネル指定レジスタ (ADS) に対して書き込み動作を行ったとき、ADCRの内容は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中 (ADCS = 1) に行ってください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力信号を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは ADCV_{DD} - ADCGND 間に接続されており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI11端子

A/Dコンバータへの12チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力チャンネル指定レジスタ (ADS) でアナログ入力として選択した端子以外は、入力ポートとして使用できます。

注意 ANI0-ANI11入力電圧は規格の範囲内でご使用ください。特に ADCV_{DD} 以上、 ADCGND 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(7) ADCGND端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にGND0端子と同電位で使用してください。

(8) ADCV_{DD} 端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に V_{DD0} 端子と同電位で使用してください。

12.3 制御レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)

(1) A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止、外部トリガを設定するレジスタです。

ADM1は、8/1ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

(1/2)

リセット時：00H R/W アドレス：FFFFFF3C0H								
	⑦	⑥	5	4	3	2	1	①
ADM1	ADCS	TRG	FR2	FR1	FR0	EGA1	EGA0	ADPS
	ADCS	A/D変換動作の制御						
	0	変換動作停止						
	1	変換動作許可						
	TRG	ソフトウェア・スタート/ハードウェア・スタートの選択						
	0	ソフトウェア・スタート						
	1	ハードウェア・スタート						

ADPS	FR2	FR1	FR0	変換時間の選択			
				変換時間 ^{注1} + 安定時間 ^{注2}	f _{xx}		
					20 MHz	18.87 MHz	16 MHz
0	0	0	0	168/f _{xx}	8.4 μs	8.9 μs	設定禁止
0	0	0	1	120/f _{xx}	6.0 μs	6.4 μs	7.5 μs
0	0	1	0	84/f _{xx}	設定禁止	設定禁止	5.25 μs
0	0	1	1	60/f _{xx}	設定禁止	設定禁止	設定禁止
0	1	0	0	48/f _{xx}	設定禁止	設定禁止	設定禁止
0	1	0	1	36/f _{xx}	設定禁止	設定禁止	設定禁止
0	1	1	0	設定禁止	設定禁止	設定禁止	設定禁止
0	1	1	1	12/f _{xx}	設定禁止	設定禁止	設定禁止
1	0	0	0	168/f _{xx} + 64/f _{xx}	8.4 + 3.2 μs	8.9 + 3.4 μs	設定禁止
1	0	0	1	120/f _{xx} + 60/f _{xx}	6.0 + 3.0 μs	6.4 + 3.2 μs	7.5 + 3.75 μs
1	0	1	0	84/f _{xx} + 42/f _{xx}	設定禁止	設定禁止	5.25 + 2.63 μs
1	0	1	1	60/f _{xx} + 30/f _{xx}	設定禁止	設定禁止	設定禁止
1	1	0	0	48/f _{xx} + 24/f _{xx}	設定禁止	設定禁止	設定禁止
1	1	0	1	36/f _{xx} + 18/f _{xx}	設定禁止	設定禁止	設定禁止
1	1	1	0	設定禁止	設定禁止	設定禁止	設定禁止
1	1	1	1	12/f _{xx} + 6/f _{xx}	設定禁止	設定禁止	設定禁止

EGA1	EGA0	外部トリガ信号, エッジ指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち下がり, 立ち上がりの両エッジ検出

ADPS	A/D変換停止時 (ADCS = 0) のコンパレータ制御
0	コンパレータ・オン
1	コンパレータ・オフ

注1. 変換時間 (実際にA/D変換にかかる時間)。

必ず, 5 μs 変換時間 10 μsになるように設定してください。

2. 安定時間 (A/D変換器のセットアップ時間)。

1回のA/D変換で「変換時間 + 安定時間」の時間がかかります。ADPS = 0のときは, 安定時間はなくなります。

注意1. 動作周波数が2.4 ~ 3.6 MHzのとき, A/Dコンバータは使用できません。

2. ADCSビット = 0のとき, ADPSビット = 1として電流消費をカットしてください。

(2) アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADSは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

リセット時：00H R/W アドレス：FFFFFF3C2H

	7	6	5	4	3	2	1	0
ADS	0	0	0	0	ADS3	ADS2	ADS1	ADS0

ADS3	ADS2	ADS1	ADS0	アナログ入力チャネルの指定
0	0	0	0	ANI0
0	0	0	1	ANI1
0	0	1	0	ANI2
0	0	1	1	ANI3
0	1	0	0	ANI4
0	1	0	1	ANI5
0	1	1	0	ANI6
0	1	1	1	ANI7
1	0	0	0	ANI8
1	0	0	1	ANI9
1	0	1	0	ANI10
1	0	1	1	ANI11
その他				設定禁止

★

注意 ビット7-4には必ず“0”を設定してください。

(3) A/Dコンバータ・モード・レジスタ2 (ADM2)

ADC_{VDD}と直列抵抗ストリングの間の切断/接続を指定するレジスタです。

ADM2は、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

リセット時：00H R/W アドレス：FFFFFF3C8H

	7	6	5	4	3	2	1	①
ADM2	0	0	0	0	0	0	0	IEAD

IEAD	A/D電流カット制御
0	ADC _{VDD} ，直列抵抗ストリング間を切断
1	ADC _{VDD} ，直列抵抗ストリング間を接続

12.4 動作

12.4.1 基本動作

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で1チャンネル選択してください。

選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを $(1/2) ADCV_{DD}$ にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 $> (1/2) ADCV_{DD}$ よりも大きければ、SARのMSBをセットしたままです。また、 $(1/2) ADCV_{DD}$ よりも小さければMSBをリセットします。

次にSARのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ビット9 = 1 : $(3/4) ADCV_{DD}$
- ・ビット9 = 0 : $(1/4) ADCV_{DD}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット8を次のように操作します。

- アナログ入力電圧 > 電圧タップ : ビット8 = 1
- アナログ入力電圧 < 電圧タップ : ビット8 = 0

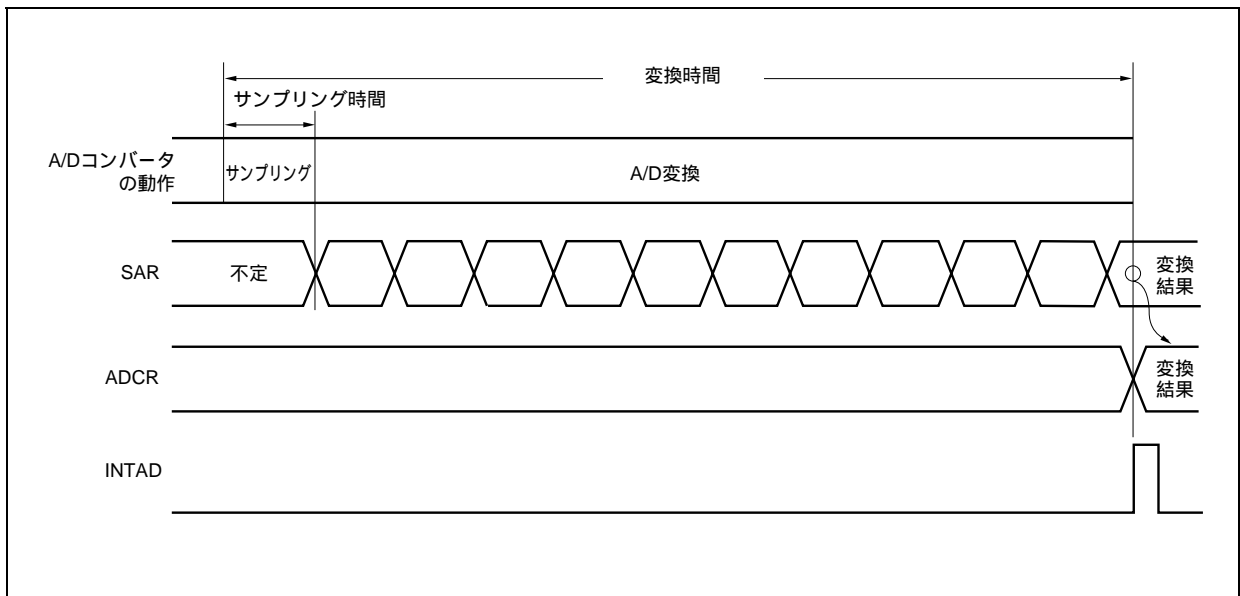
このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD) を発生できます。

注意 ADCS = 0 1に設定した直後の最初のA/D変換値は定格を満たさないことがあります。

図12 - 2 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ1 (ADM1) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM1、アナログ入力チャネル指定レジスタ (ADS) に対する書き込み操作を行うと変換動作は初期化され、ADCSがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR) は、 $\overline{\text{RESET}}$ により0000Hとなります。

12.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI11) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$ADCR = \text{INT} \left(\frac{V_{IN}}{ADC_{VDD}} \times 1024 + 0.5 \right)$$

または、

$$\left(ADCR - 0.5 \right) \times \frac{ADC_{VDD}}{1024} < V_{IN} < \left(ADCR + 0.5 \right) \times \frac{ADC_{VDD}}{1024}$$

INT () : () 内の値の整数部を返す関数

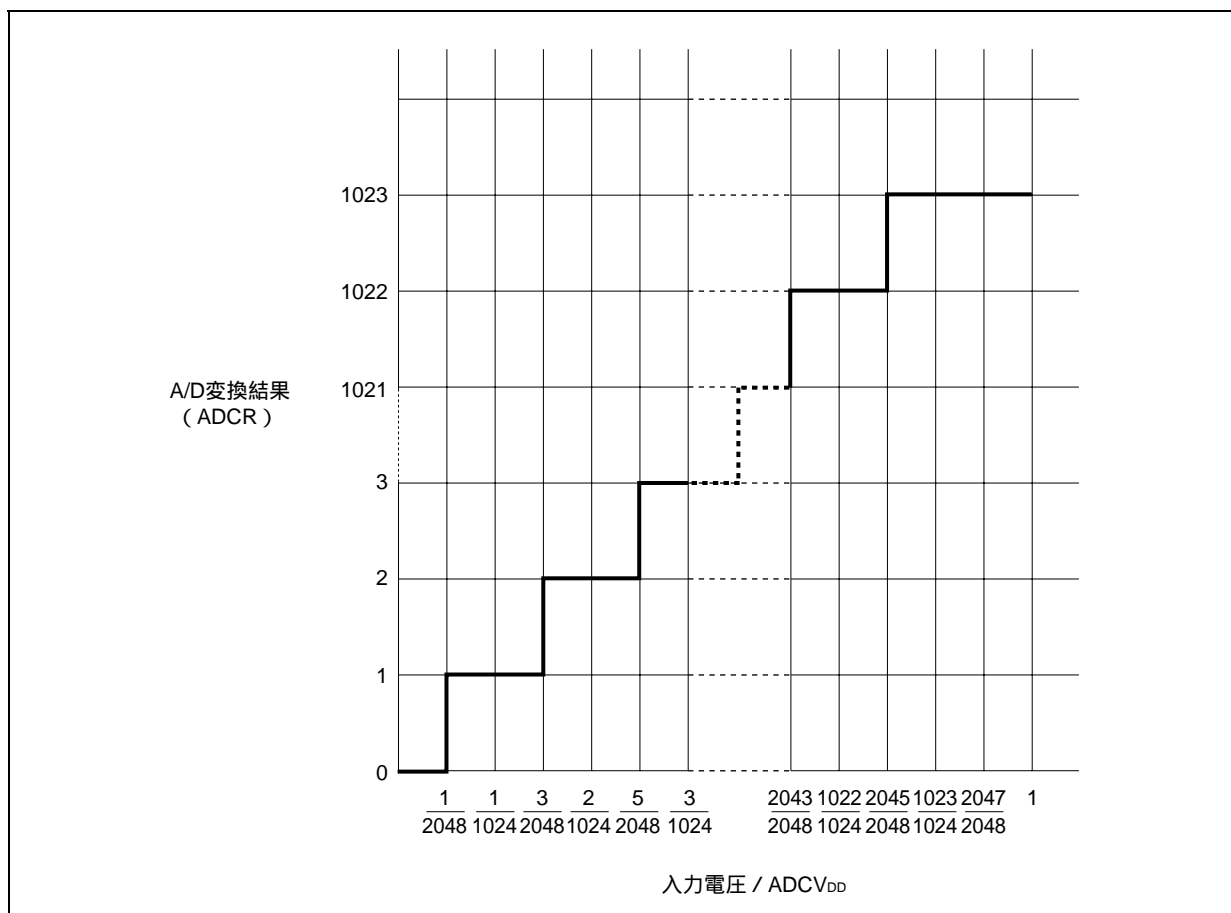
V_{IN} : アナログ入力電圧

ADC_{VDD} : A/Dコンバータ基準電圧

ADCR : A/D変換結果レジスタ (ADCR) の値

次にアナログ入力電圧とA/D変換結果の関係を示します。

図12 - 3 アナログ入力電圧とA/D変換結果の関係



12.4.3 A/Dコンバータの動作モード

アナログ入力チャンネル指定レジスタ (ADS) によってANI0-ANI11からアナログ入力を1チャンネル選択し, A/D変換を行います。A/D変換動作の起動方法には, 次の2種類があります。

ハードウェア・スタート: トリガ入力 (ADTRG) により変換開始 (立ち上がり, 立ち下がり, 立ち上がりと立ち下がりの両エッジ指定可能)

ソフトウェア・スタート: A/Dコンバータ・モード・レジスタ1 (ADM1) を設定することにより開始

A/D変換結果はA/D変換結果レジスタ (ADCR) に格納され, 同時に割り込み要求信号 (INTAD) が発生します。

(1) ハードウェア・スタートによるA/D変換動作

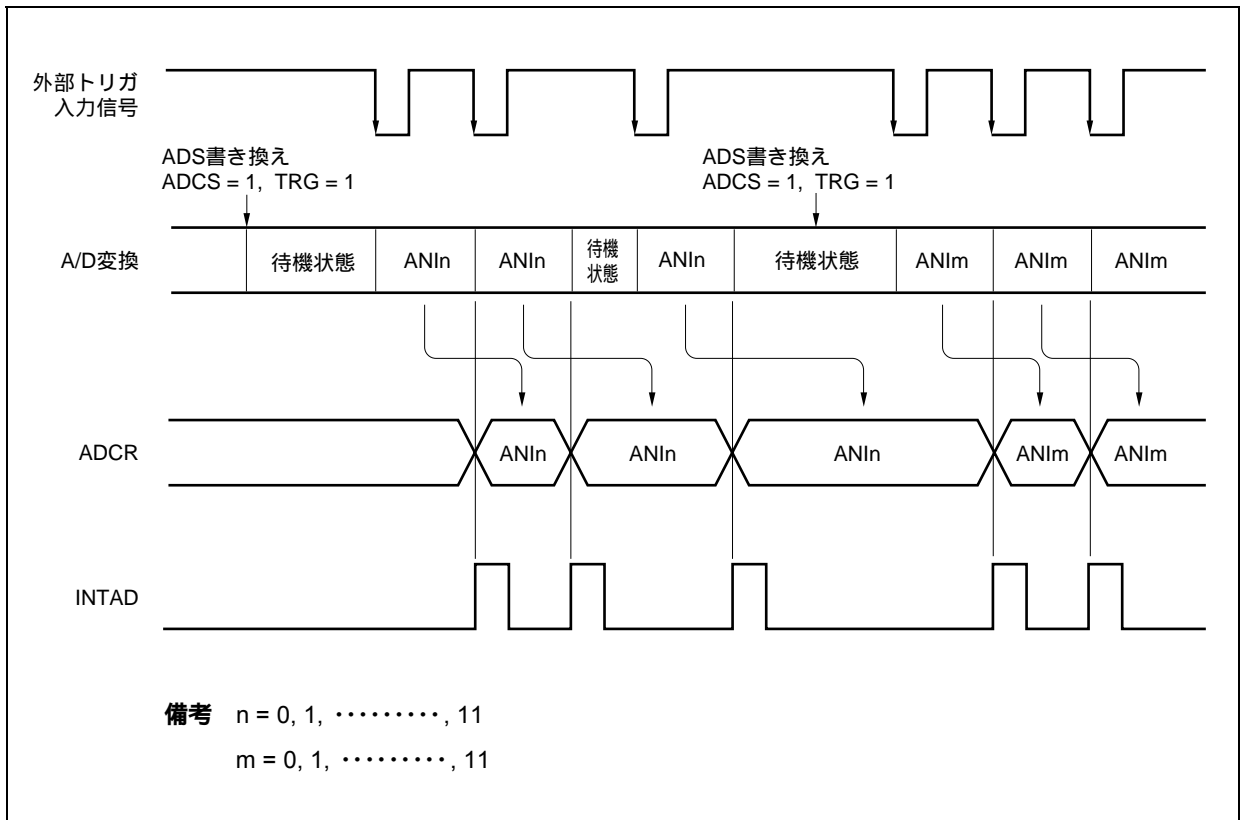
A/Dコンバータ・モード・レジスタ1 (ADM1) のビット6 (TRG) に1, ビット7 (ADCS) に1を設定することによってA/D変換動作の待機状態になります。外部トリガ信号が入力されると, アナログ入力チャネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ (ADCR) に格納し, 割り込み要求信号 (INTAD) が発生します。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, 新たに外部トリガ信号が入力されないかぎり, A/D変換動作は開始しません。

A/D変換動作中に, 再度ADCSが1であるデータをADM1に書き込むと, そのとき行っていたA/D変換動作を中断し, 新たに外部トリガ信号が入力されるまで待機します。外部トリガ入力信号が再度入力されると, A/D変換動作を最初から行います。

また, A/D変換動作中に, ADCSが0であるデータをADM1に書き込むと, ただちにA/D変換動作を停止します。

図12 - 4 ハードウェア・スタートによるA/D変換動作 (立ち下がりエッジ指定時)



(2) ソフトウェア・スタートによるA/D変換動作

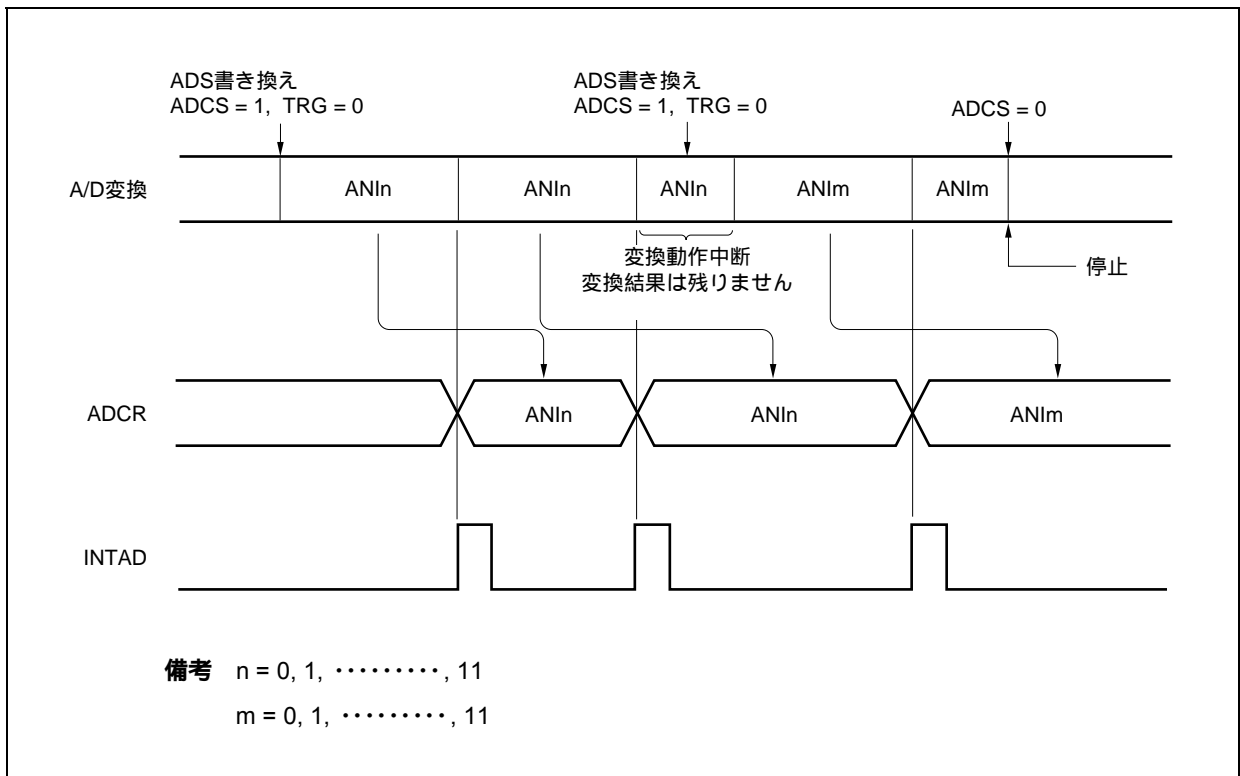
A/Dコンバータ・モード・レジスタ1 (ADM1) のビット6 (TRG) に0, ビット7 (ADCS) に1を設定することにより, アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ (ADCR) に格納し, 割り込み要求信号 (INTAD) が発生します。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, ただちに次のA/D変換動作を開始します。新たなデータをADSに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に, ADSを書き換えると, そのとき行っていたA/D変換動作を中断し, 新たに選択したアナログ入力チャンネルのA/D変換動作を開始します。

また, A/D変換動作中にADCSが0であるデータをADM1に書き込むと, ただちにA/D変換動作を停止します。

図12 - 5 ソフトウェア・スタートによるA/D変換動作



12.5 低消費電力モード

V850/SC1, V850/SC2, V850/SC3にはADC_{VDD}と直列抵抗ストリングの間を切断/接続する機能があります。A/Dコンバータ・モード・レジスタ2 (ADM2) を設定することにより切り替えができます。

A/Dコンバータを使用しない場合は、電流消費をカットするためにA/D変換停止時 (ADCS = 0) の電流削減機能であるタップ・セレクトと電圧供給部 (ADC_{VDD}) を切断してください。

- ・ A/Dコンバータ・モード・レジスタ1 (ADM1) のADPSビットを“1”に設定
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2) のIEADビットを“0”に設定

なお、ADPSビットを再度“0” (コンパレータ・オン) にする場合、A/Dコンバータを動作開始させるまでに安定時間 (Max : 5 μ s) が必要になります。したがって、ソフトウェアで5 μ s以上のウェイトを確保してください。

12.6 注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、IDLE/STOPモード時には動作が停止します (HALTモード時は動作可能)。このとき変換動作停止 (A/Dコンバータ・モード・レジスタ1 (ADM1) のビット7 (ADCS) = 0) にすることにより、消費電流を低減できます。

(2) ANI0-ANI11入力範囲について

ANI0-ANI11入力電圧は規格の範囲内でご使用ください。特にADC_{VDD}以上、ADCGND以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ (ADCR) ライトと命令によるADCRリードとの競合

ADCRリードが優先されます。リードしたあと、新しい変換結果がADCRにライトされます。

変換終了時のADCRライトと外部トリガ信号入力との競合

A/D変換中の外部トリガ信号は受け付けません。したがって、ADCRライト中の外部トリガ信号も受け付けません。

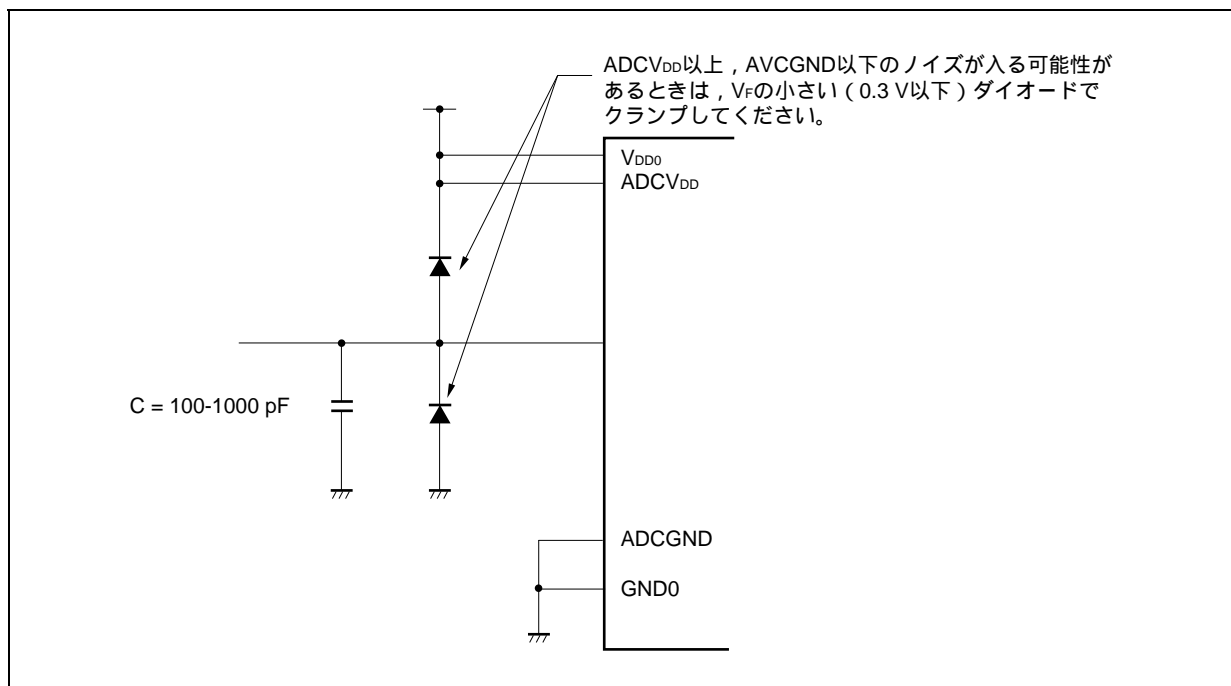
★ 変換終了時のADCRライトとA/Dコンバータ・モード・レジスタ1 (ADM1) ライト、またはアナログ入力チャンネル指定レジスタ (ADS) ライトの競合

A/D変換終了後のADCRライト直後に、ADM1またはADSへライトした場合、ADCRレジスタに不定値が格納されますので変換結果は保証されません。

(4) ノイズ対策について

10ビット分解能を保つためには、ANI0-ANI11端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために次のようにコンデンサを外付けすることを推奨します。

図12-6 アナログ入力端子の処理



(5) ANI0-ANI11

アナログ入力 (ANI0-ANI11) 端子はポート端子と兼用になっています。

ANI0-ANI11のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

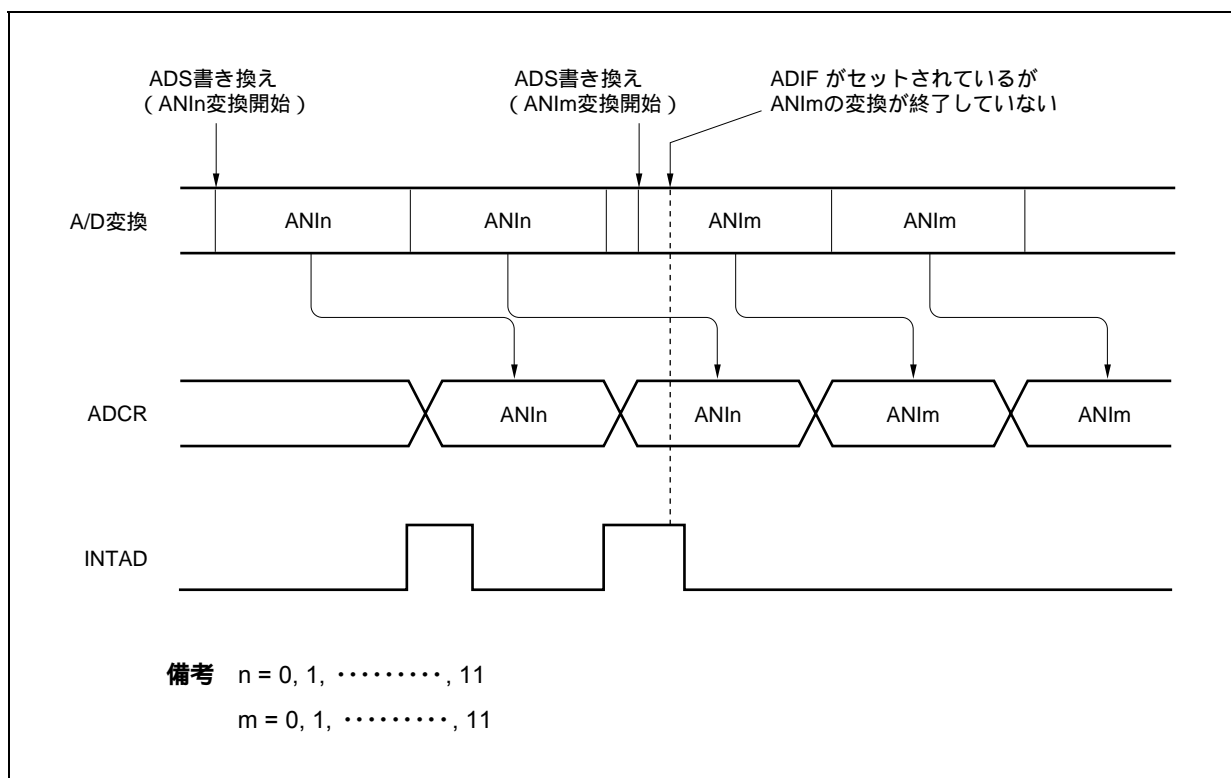
(6) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても、割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADS書き換え直後にADIFを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

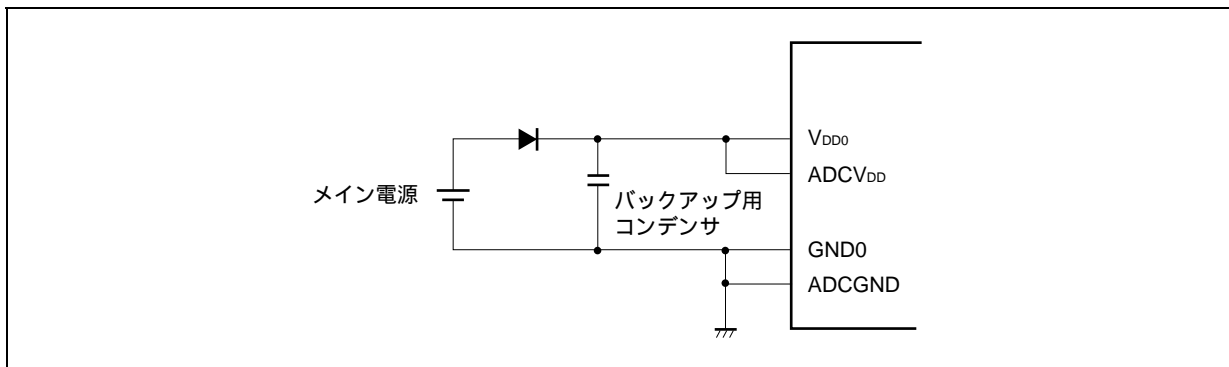
図12 - 7 A/D変換終了割り込み要求発生タイミング



(7) ADCV_{DD}端子について

ADCV_{DD}端子はアナログ回路の電源端子であり，ANI0-ANI11の入力回路にも電源を供給しています。

したがって，バックアップ電源に切り替えるようなアプリケーションにおいても，次のように必ずV_{DD0}端子と同レベルの電位を印加してください。

図12 - 8 ADCV_{DD}端子の処理

(8) A/D変換結果レジスタ (ADCR) の読み出しについて

A/Dコンバータ・モード・レジスタ1 (ADM1)，アナログ入力チャネル指定レジスタ (ADS) に対して書き込み動作を行ったとき，ADCRの内容は不定になることがあります。そのため，A/D変換結果を読み出す場合は，A/D変換動作中 (ADCS = 1) に行ってください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

★

第13章 DMA機能

13.1 機能

DMA (Direct Memory Access) コントローラは、内蔵周辺ハードウェア (シリアル・インタフェース、タイマ、A/Dコンバータ) によるDMA要求に基づいて、内蔵RAMと周辺I/O間でデータ転送を行います。

この製品には6組の独立したDMAチャンネルがあり、8ビット/16ビット単位で転送できます。最大転送回数は256回 (8ビット単位転送時) まで指定できます。指定した転送回数を転送したあと、各チャンネルから独立にDMA転送終了割り込み要求 (INTDMA0-INTDMA5) を出力します。

同時に複数のDMA転送要求が発生した場合、次の優先順位でDMA転送を行います。

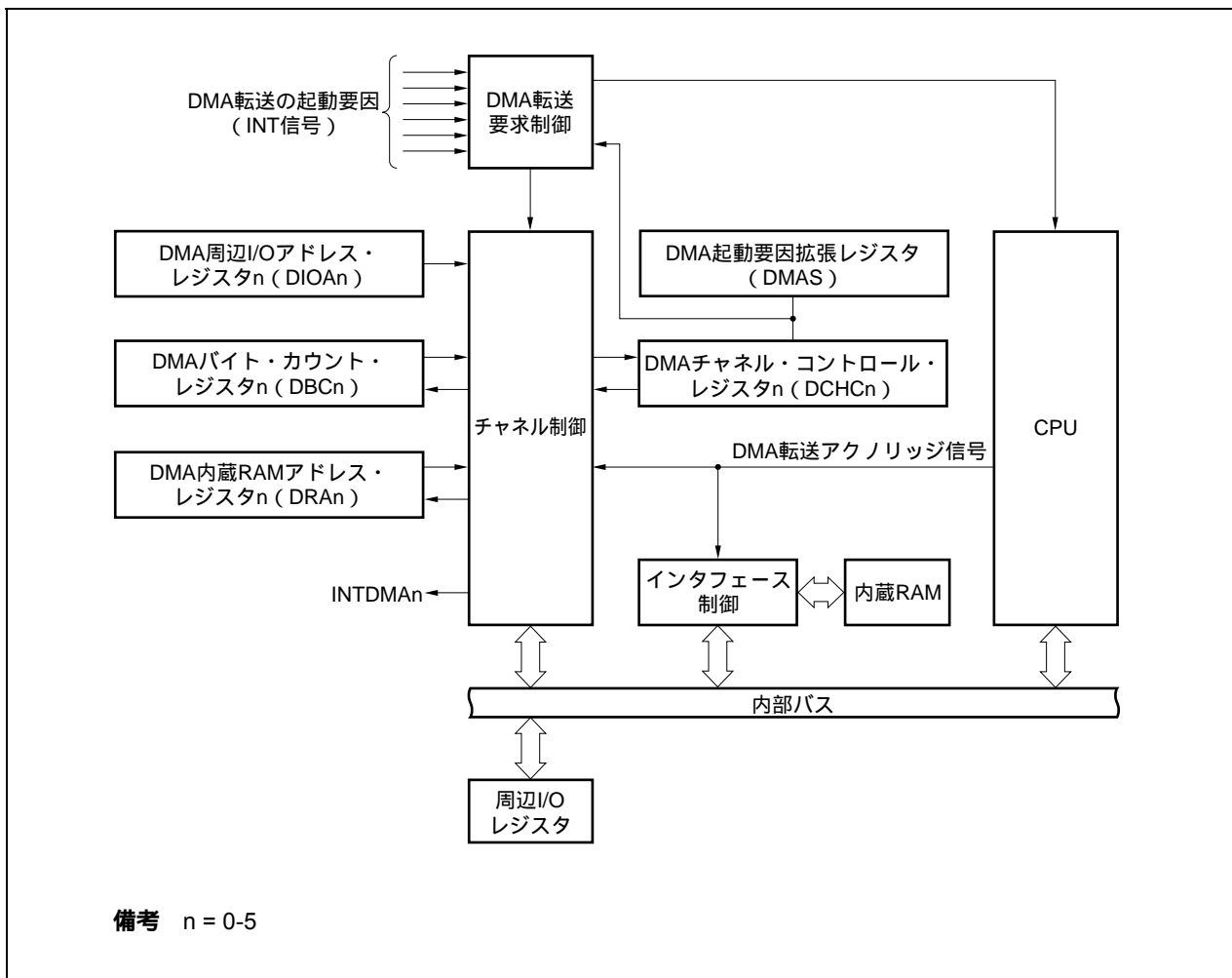
DMA0 > DMA1 > DMA2 > DMA3 > DMA4 > DMA5

13.2 転送終了割り込み要求

指定した転送回数のデータ転送が終了したあと、DMAチャンネル・コントロール・レジスタ0-5 (DCHC0-DCHC5) のTCnビットが“1”になると、割り込みコントローラに対して各チャンネルごとにDMA転送終了割り込み要求 (INTDMA0-INTDMA5) が発生します。

★ 13.3 構成

図13 - 1 DMAのブロック図



(1) DMA転送要求制御部

DMAチャンネル・コントロール・レジスタn (DCHCn) とDMA起動要因拡張レジスタ (DMAS) で指定したDMA転送の起動要因 (INT信号) が入力されると、CPUに対してDMA転送要求信号を発生します。

CPUはDMA転送要求信号を受け付けると、現在のCPU処理終了後に、チャンネル制御部、インタフェース制御部に対してDMA転送アクノリッジ信号を発生します。

(2) チャンネル制御部

転送対象となるDMA転送チャンネルn (DMA0-DMA5) を判別し、チャンネルnの各周辺I/Oレジスタで設定した転送対象となる内蔵ROMや周辺I/Oアドレスやアクセス・サイクル (内蔵RAM: 1クロック, 周辺I/Oレジスタ: 3クロック), 転送方向, 転送回数を制御します。また、同時に複数のDMA_n転送の起動要因 (INT信号) が発生した場合の優先順位も制御します。

13.4 制御レジスタ

(1) DMA周辺I/Oアドレス・レジスタ0-5 (DIOA0-DIOA5)

DMAチャンネルnの周辺I/Oレジスタのアドレスを設定します。

16ビット単位でリード/ライト可能です。

リセット時：不定	R/W	アドレス：DIOA0 FFFFF180H	DIOA3 FFFFF1B0H
		DIOA1 FFFFF190H	DIOA4 FFFFF1C0H
		DIOA2 FFFFF1A0H	DIOA5 FFFFF1D0H

	15	14	13	12	11	10	9		1	0
DIOAn	0	0	0	0	0	0	0	IOAn9-IOAn1	0	0

(n = 0-5)

注意 DIOAnでは次に示す周辺I/Oレジスタのアドレスを設定しないでください。
 P4, P5, P6, P9, P11, PM4, PM5, PM6, PM9, PM11, MM, DWC, BCC, SYC, PSC, PCC, SYS, PRCMD, DIOAn, DRAn, DBCn, DCHCn, CORCN, CORRQ, CORADn, 割り込み制御レジスタ (xxICn), ISPR, POCS, VM45C, FCAN用レジスタ (第19章参照)

(2) DMA内蔵RAMアドレス・レジスタ0-5 (DRA0-DRA5)

DMAチャンネルnの内蔵RAMのアドレスを設定します (n = 0-5)。

各製品によって内蔵RAM容量が異なるため、DMAで使用できる内蔵RAM領域が異なります。次に各製品ごとのDRAnレジスタに設定できる内蔵RAM領域を示します。

表13 - 1 DMAで使用できる内蔵RAM領域

製 品		内蔵RAM容量	DMAで使用できるRAMサイズ	DMAで使用できるRAM領域
V850/SC1	μPD703068Y, 70F3089Y	24 Kバイト	16 Kバイト	xxFF9000H-xxFFBFFFH, xxFFE000H-xxFFEFFFFH
V850/SC2	μPD703069Y, 70F3089Y			
V850/SC3	μPD703088Y, 703089Y, 70F3089Y			

DCHCnレジスタのDADnビット = 0のとき、1回の転送ごとにアドレスをインクリメント (8ビット転送時は“1”インクリメント、16ビット転送時は“2”インクリメント) します (n = 0-5)。

16ビット単位でリード/ライト可能です。

リセット時：不定	R/W	アドレス：DRA0 FFFFF182H	DRA3 FFFFF1B2H
		DRA1 FFFFF192H	DRA4 FFFFF1C2H
		DRA2 FFFFF1A2H	DRA5 FFFFF1D2H

	15	14	13		0
DRAn	0	0		RAn13-RAn00	

(n = 0-5)

次にDRAnの設定値と内蔵RAM領域との対応を示します。

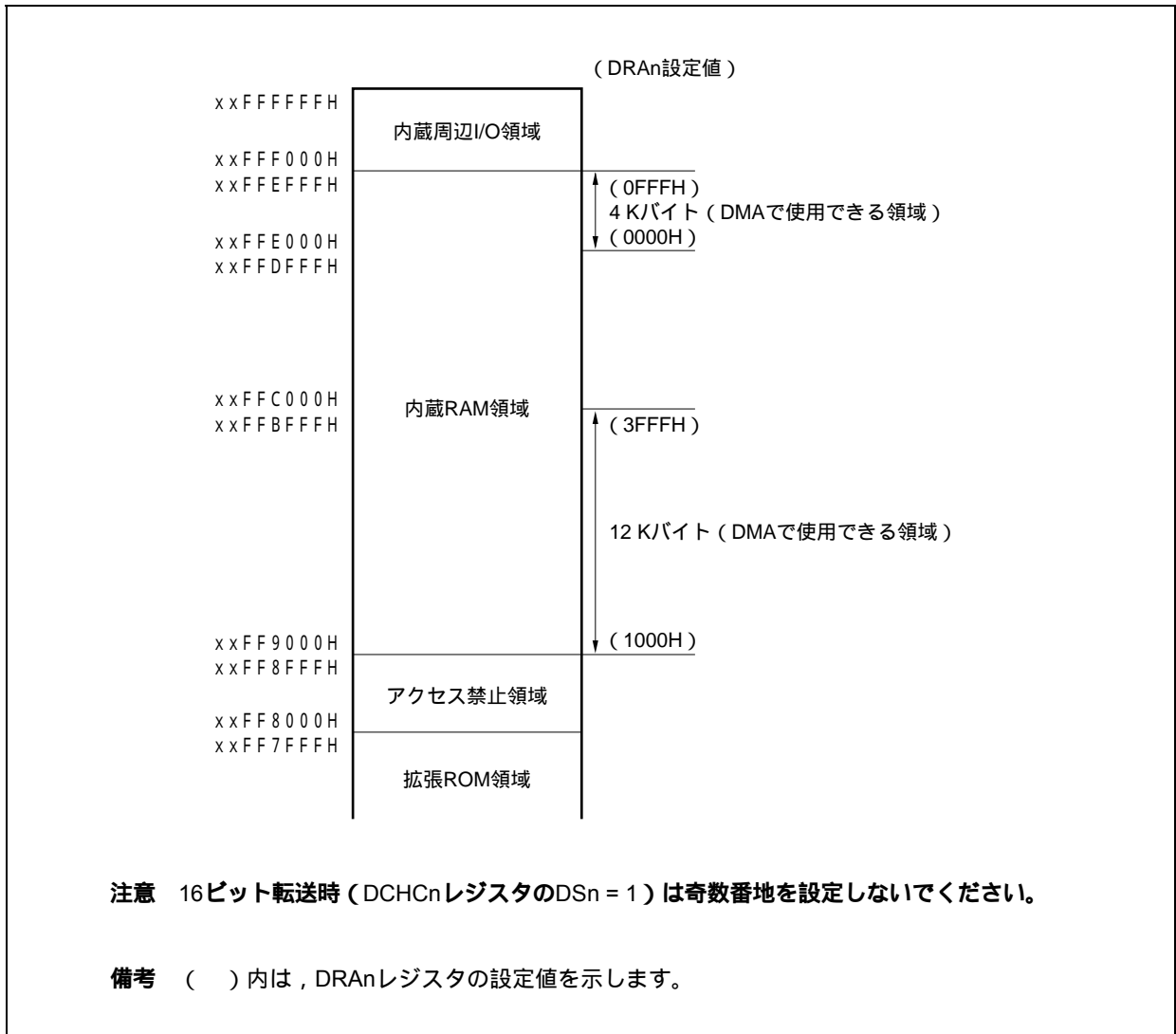
(a) V850/SC1 (μ PD703068Y, 70F3089Y),

V850/SC2 (μ PD703069Y, 70F3089Y),

V850/SC3 (μ PD703088Y, 703089Y, 70F3089Y)

DRAnレジスタには0000Hから0FFFH, 1000Hから3FFFHの範囲の値を設定してください (n = 0-5)。

図13 - 2 DRAnの設定値と内蔵RAM領域の対応



(3) DMAバイト・カウント・レジスタ0-5 (DBC0-DBC5)

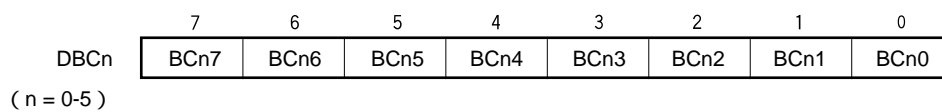
DMAチャネルnの転送数を設定する8ビット・レジスタです。

DMA転送中は、残り転送回数を保持します。

1転送ごとに、バイト転送の場合は1ずつデクリメント、16ビット転送の場合は2ずつデクリメントされ、ポローが発生すると転送を終了します。したがって、バイト転送の場合は“転送回数 - 1”を、16ビット転送の場合は“(転送回数 - 1) × 2”を設定してください。なお、16ビット転送の場合ビット0の設定値は無視され、デクリメント後、ビット0に0が設定されます。

8ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DBC0 FFFFF184H DBC3 FFFFF1B4H
 DBC1 FFFFF194H DBC4 FFFFF1C4H
 DBC2 FFFFF1A4H DBC5 FFFFF1D4H



注意 16ビット転送の場合、0ビット目の設定値は無視されます。

(4) DMA起動要因拡張レジスタ (DMAS)

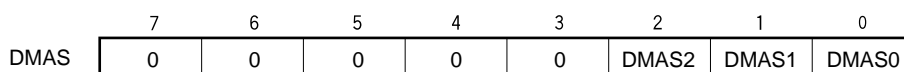
DMAの起動要因を拡張する8ビット・レジスタです。

DCHCnレジスタのTTYPn1, TTYPn0ビットの組み合わせによりDMAの起動要因が決まります。

DMAS2-DMAS0ビットの設定については、(6) **起動要因の設定**を参照してください(n = 0-5)。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF38EH



(6) 起動要因の設定

DMAの起動要因はDMA起動要因拡張レジスタ (DMAS) のビット2-ビット0 (DMAS2-DMAS0) と, DMAチャンネル・コントロール・レジスタ0-5 (DCHC0-DCHC5) のビット4, ビット3 (TTYPn1, TTYPn0) を組み合わせて設定します (n = 0-5)。

表13 - 2にDMAの起動要因の設定を示します。

注意1. DMAの起動要因である割り込みがマスクされていない場合は, DMAが起動することに対応する割り込み処理が行われます。

割り込み処理が行われないようにするには, 割り込みをマスクしてください。

★

2. 割り込みソースが内部システム・クロックに対して非同期で発生する場合, その割り込みソースを同時に複数のDMA起動トリガに設定しないでください (たとえば, シリアル・インタフェースを外部クロック入力で動作させる場合など)。

設定した場合, DMAの優先順位が逆転する可能性があります。

表13 - 2 起動要因の設定

チャンネルn	DMAS2	DMAS1	DMAS0	TTYPn1	TTYPn0	DMA転送の起動要因の設定
0	x	x	x	0	0	INTCSI0/INTIIC0
				0	1	INTCSI5
				1	0	INTAD
				1	1	INTTM00
1	x	x	0	0	0	INTCSI0/INTIIC0
			1	0	0	INTCSI5
			x	0	1	INTST0
			1	0	0	INTP0
			1	1	1	INTSR3
2	x	0	x	0	0	INTCSI2/INTIIC1
		1		0	0	INTCSI3/INTSR1
		x		0	1	INTP6
		1		0	0	INTIE1 (V850/SC2以外では設定禁止)
		1		1	1	INTAD
		1		1	1	INTSR3
3	0	x	x	0	0	INTCSI6
	1			0	0	INTCSI3/INTSR1
	x			0	1	INTST2
	1			0	0	INTIE1 (V850/SC2以外では設定禁止)
	1			1	1	INTTM70
4	x	x	x	0	0	INTST1
				0	1	INTCSI4/INTSR0
				1	0	INTCSI6
				1	1	INTSR2
5	x	x	x	0	0	INTST3
				0	1	INTCSI4/INTSR0
				1	0	INTCSI2/INTIIC1
				1	1	INTTM6/INTP9

備考1. DMAS2-DMAS0 : DMA起動要因拡張レジスタ (DMAS) のビット2-0

2. TTYPn1, TTYPn0 : DMAチャンネル・コントロール・レジスタn (DCHCn) のビット4, 3

3. x : Don't care

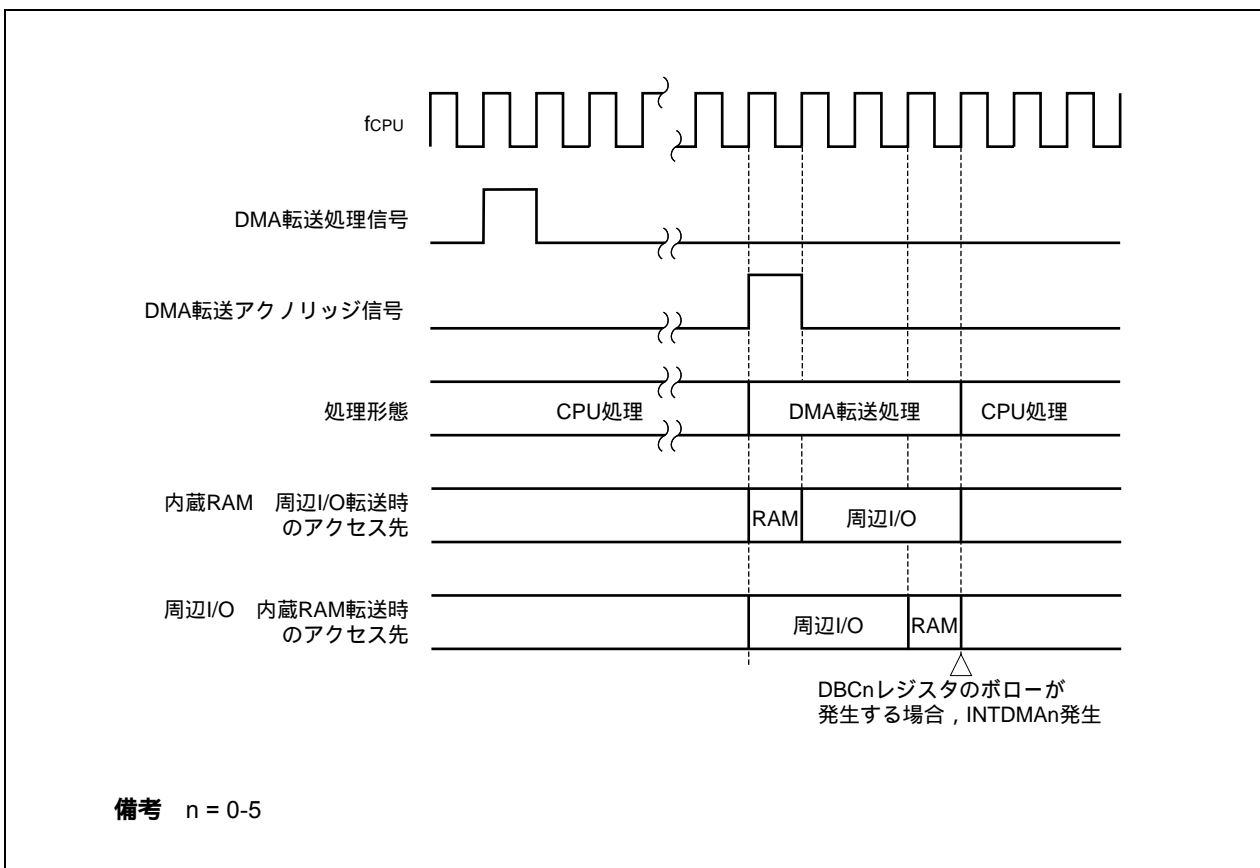
★ 13.5 動作

CPU処理中にDMA転送要求が発生すると、現在のCPU処理終了後にDMA転送を開始します。1回のDMA転送には、転送方向によらずCPUクロック（ f_{CPU} ）の4クロックを必要とします。その内訳は次のとおりです。

- ・内蔵RAMアクセス：1クロック
- ・周辺I/Oアクセス：3クロック

1回のDMA転送（8/16ビット）が終了すると、必ずCPU処理に移行します。次にDMA転送動作のタイミング図を示します。

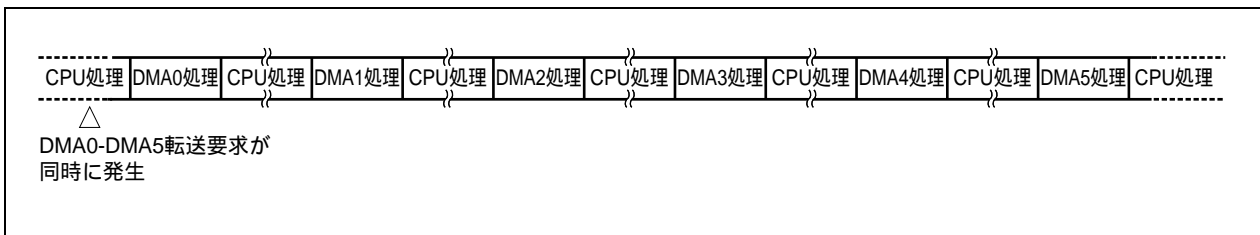
図13-3 DMA転送動作のタイミング図



同時に複数のDMA転送要求が発生した場合、DMA0 > DMA1 > DMA2 > DMA3 > DMA4 > DMA5の優先順位でDMA転送要求を行います。優先順位の高いDMA転送要求を実行中、優先順位の低いDMA転送要求は保留されません。優先順位の高いDMA転送が終了したあとに、必ずCPU処理にいったん移行し、そのCPU処理終了後に優先順位の低いDMA転送要求を行います。

次に同時にDMA0-DMA5転送要求が発生した場合の処理を示します。

図13 - 4 DMA0-DMA5転送要求が同時に発生した場合の処理



DMA動作が停止するのは、IDLE/STOPモード時のみです。HALTモード時はDMA動作を継続します。また、バス・ホールド期間中もDMA動作を行い、外部メモリにアクセスした後もDMA動作を行います。

★ 13.6 注意事項

DMA機能を使用している場合、EI状態（割り込み許可状態）で次に示す条件すべてに該当したときには、通常1回しか発生しない割り込み処理が2回発生します。

【発生条件】

- (i) 割り込み制御レジスタ (xxICn) の割り込み要求フラグ (xxIFn) に対するビット操作命令 (SET1, CLR1, NOT1, TST1命令) の実行
- (ii) (i) で使用するレジスタと同一レジスタでハードウェアによる割り込み処理が発生

備考 xx : 各周辺ユニット識別名称 (表7 - 2参照)
n : 周辺ユニット番号 (表7 - 2参照)

たとえば、DMA機能を使用している場合、CSIC0レジスタの割り込み要求フラグ (CSIF0) をCLR1命令でビット操作中に、マスクされていないINTCSI0割り込みが発生したときには、INTCSI0割り込み処理が2回発生します。

このような条件下では、割り込み処理が受け付けられたときにハードウェアで割り込み要求フラグ (xxIF) がクリア (0) されないため、RETI命令 (割り込み処理復帰) 後に再度割り込み処理が実行されてしまいます。したがって、次に示す条件のいずれかで使用してください。

【発生条件】

- (i) 割り込み制御レジスタ (xxICn) をビット操作するときには必ず操作前にDI命令、操作後にEI命令を実行する。
- (ii) 割り込みルーチンの先頭で、割り込み要求フラグ (xxIFn) をクリア (0) する。

注意 DMA機能を使用しない場合には、(i) または (ii) の操作をする必要はありません。

備考 xx : 各周辺ユニット識別名称 (表7 - 2参照)
n : 周辺ユニット番号 (表7 - 2参照)

図13 - 5 DMA動作時に割り込み処理が2回発生する場合 (1/2)

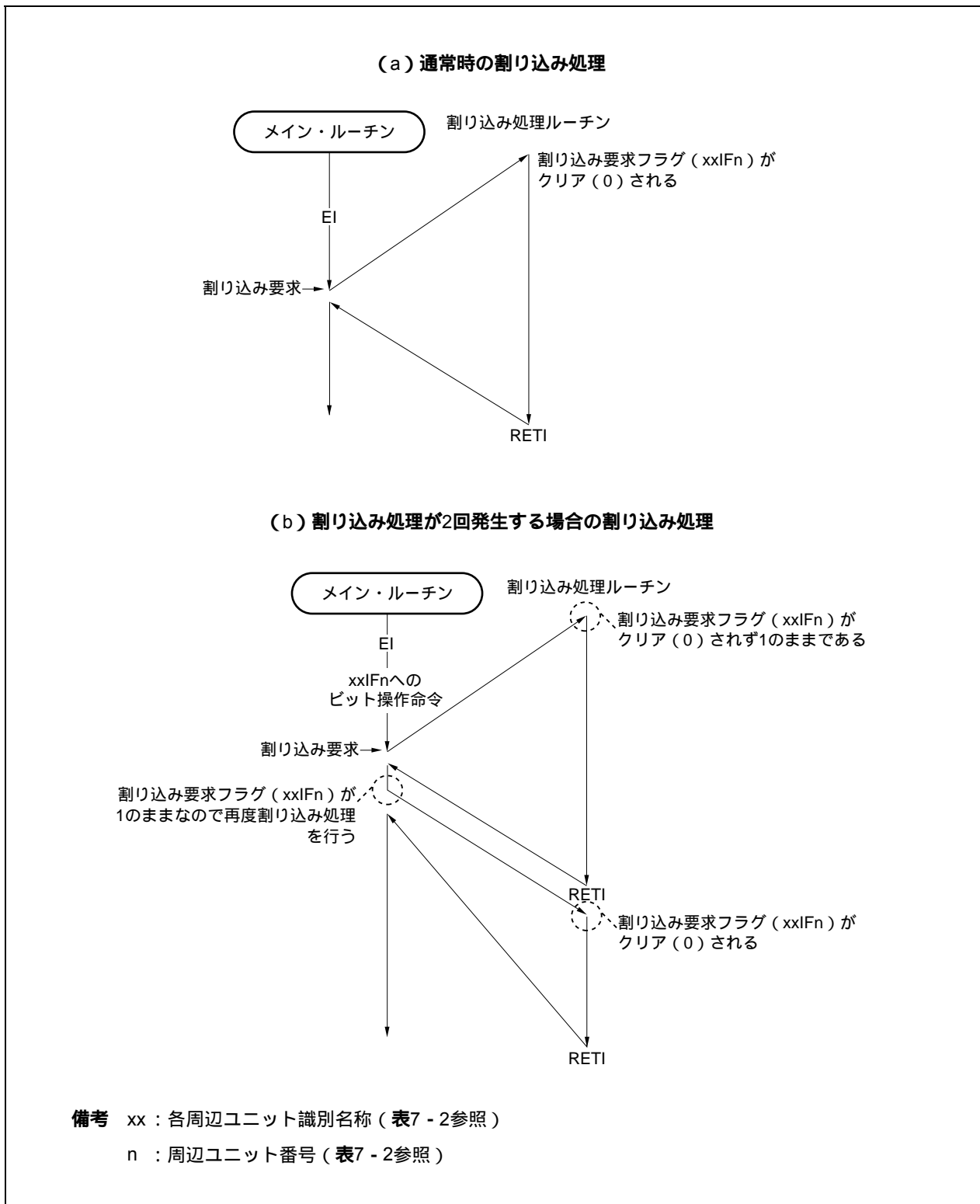
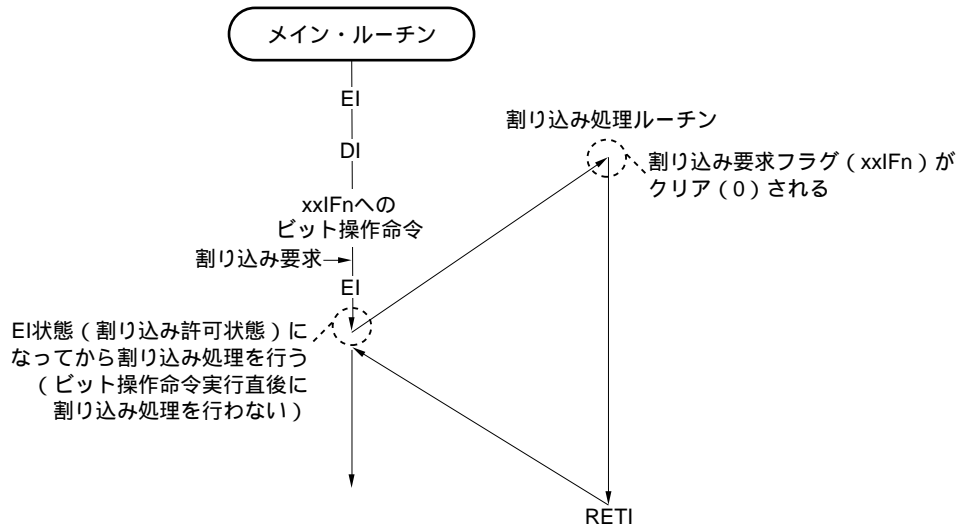
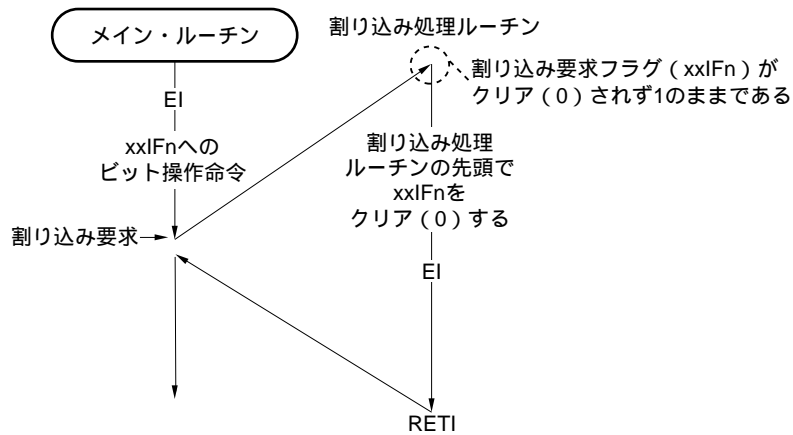


図13 - 5 DMA動作時に割り込み処理が2回発生する場合 (2/2)

(c) 回避策 (使用条件 (i) の場合)



(d) 回避策 (使用条件 (ii) の場合)



備考 xx : 各周辺ユニット識別名称 (表7 - 2参照)

n : 周辺ユニット番号 (表7 - 2参照)

第14章 リセット機能

14.1 概 要

リセット信号を発生させる方法には、次の3種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出（ウォッチドッグ・タイマのオーバフロー）による内部リセット
- (3) パワーオン・クリア（POC）による内部リセット

(1) $\overline{\text{RESET}}$ 端子による外部リセット入力

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとシステム・リセットがかかり、オンチップの各ハードウェアは初期状態にイニシャライズされます。また、リセット期間中メイン・クロックは発振を停止します。サブクロックは発振を継続します。

$\overline{\text{RESET}}$ 端子がロウ・レベルからハイ・レベルになると、リセット状態が解除され、発振安定時間経過後（ $2^{18}/f_{xx}$ ）、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

$\overline{\text{RESET}}$ 端子はノイズによる誤動作を防ぐためにアナログ・ディレイによるノイズ除去回路を内蔵しています。

(2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

ウォッチドッグ・タイマのオーバフローが発生するとリセットがかかり、内蔵の各ハードウェアは初期状態にイニシャライズされます。また、リセット期間中、メイン・クロックは発振を停止します。サブクロックは発振を継続します。

ウォッチドッグ・タイマによるリセットは、リセットがかかってからすぐに解除され、発振安定時間経過後（ $2^{18}/f_{xx}$ ）、プログラムの実行を開始します。

(3) パワーオン・クリア（POC）による内部リセット

次のいずれかの条件でパワーオン・クリアによるリセットがかかります。

- ・電源電圧投入時に、電源電圧が $3.5\text{ V}^{\text{註}}$ 未満である場合
- ・STOPモード時に、電源電圧が $2.2\text{ V}^{\text{註}}$ 未満になった場合
- ★ 電源電圧が $3.5\text{ V}^{\text{註}}$ 未満まで降下した場合（STOPモード選択時を除く）

これらのパワーオン・クリアのリセット条件を満たした場合、リセットがかかり、内蔵の各ハードウェアは初期状態にイニシャライズされます。

また、リセット期間中、メイン・クロックは発振を停止します。サブクロックは発振を継続します。

パワーオン・クリアによるリセットは、電源電圧が一定電圧以上になると解除され、発振安定時間経過後（ $2^{18}/f_{xx}$ ）、プログラムの実行を開始します。

- ★ パワーオン・クリアによるリセット検出電圧 3.5 V の許可 / 禁止はPOCCレジスタで設定します（初期電源投入時には初期値は許可状態です）。

注 これらの電圧は最大値であり、実際にはそれぞれの電圧より低い電圧でリセットがかかります。

14.2 端子動作

システム・リセット期間中は、ほとんどの端子出力($\overline{\text{RESET}}$, X2, XT2, CPUREG, V_{DD0} , V_{DD1} , ADCV_{DD} , ADCGND , PORTV_{DD0} - PORTV_{DD2} , PORTGND0 , PORTGND1 , GND0 , GND1 , GND2 , $V_{PP/IC}$ を除く全端子)がハイ・インピーダンスになります。

したがって、たとえば外部にメモリを接続している場合は、各端子にプルアップ(またはプルダウン)抵抗を付けてください。付けていない場合、これらの端子がハイ・インピーダンスになるため、メモリ内のデータを破壊する可能性があります。同様に内蔵の周辺I/O機能の信号出力、出力ポートにおいても、影響がないよう端子を処理してください。

図14 - 1 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

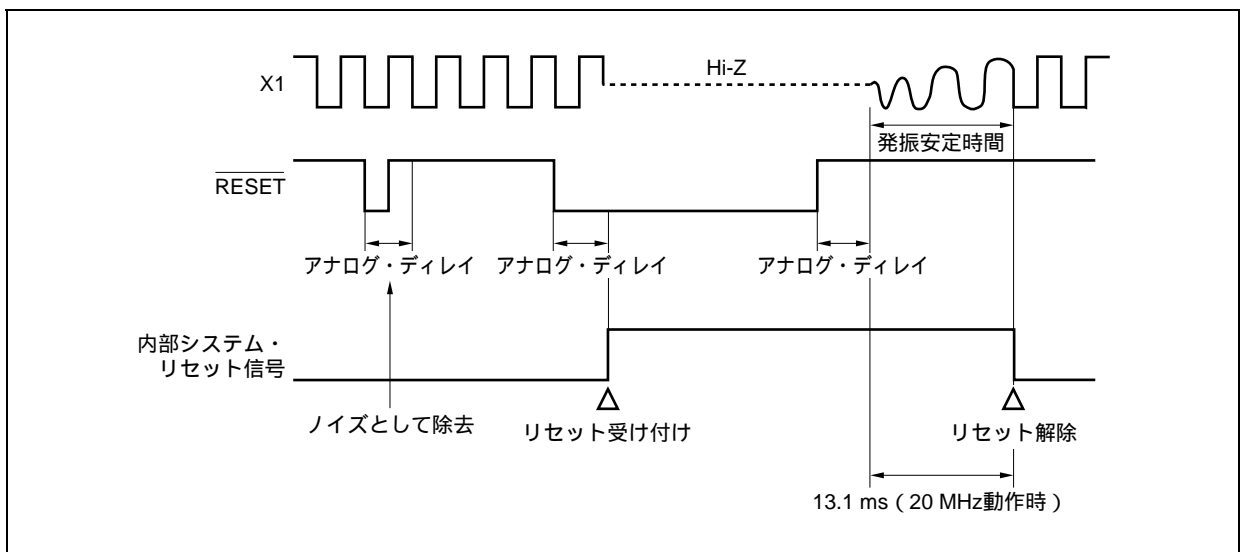


図14 - 2 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

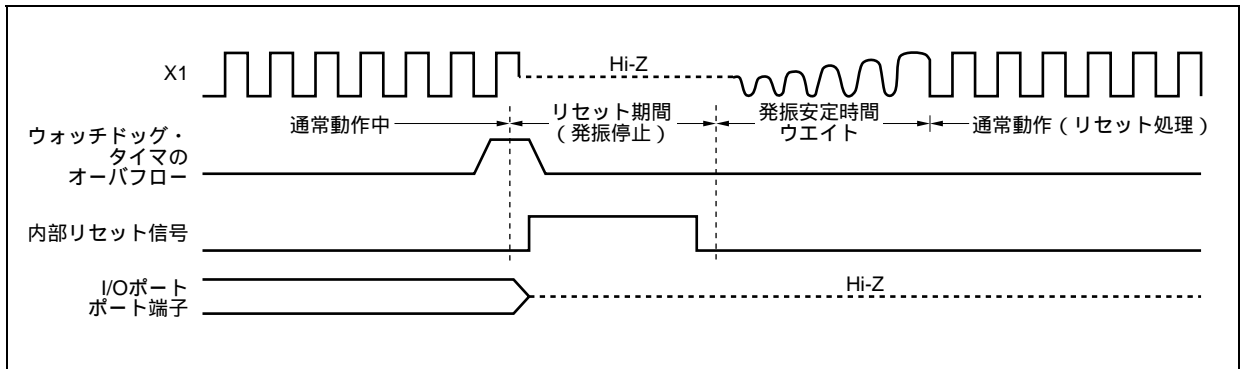
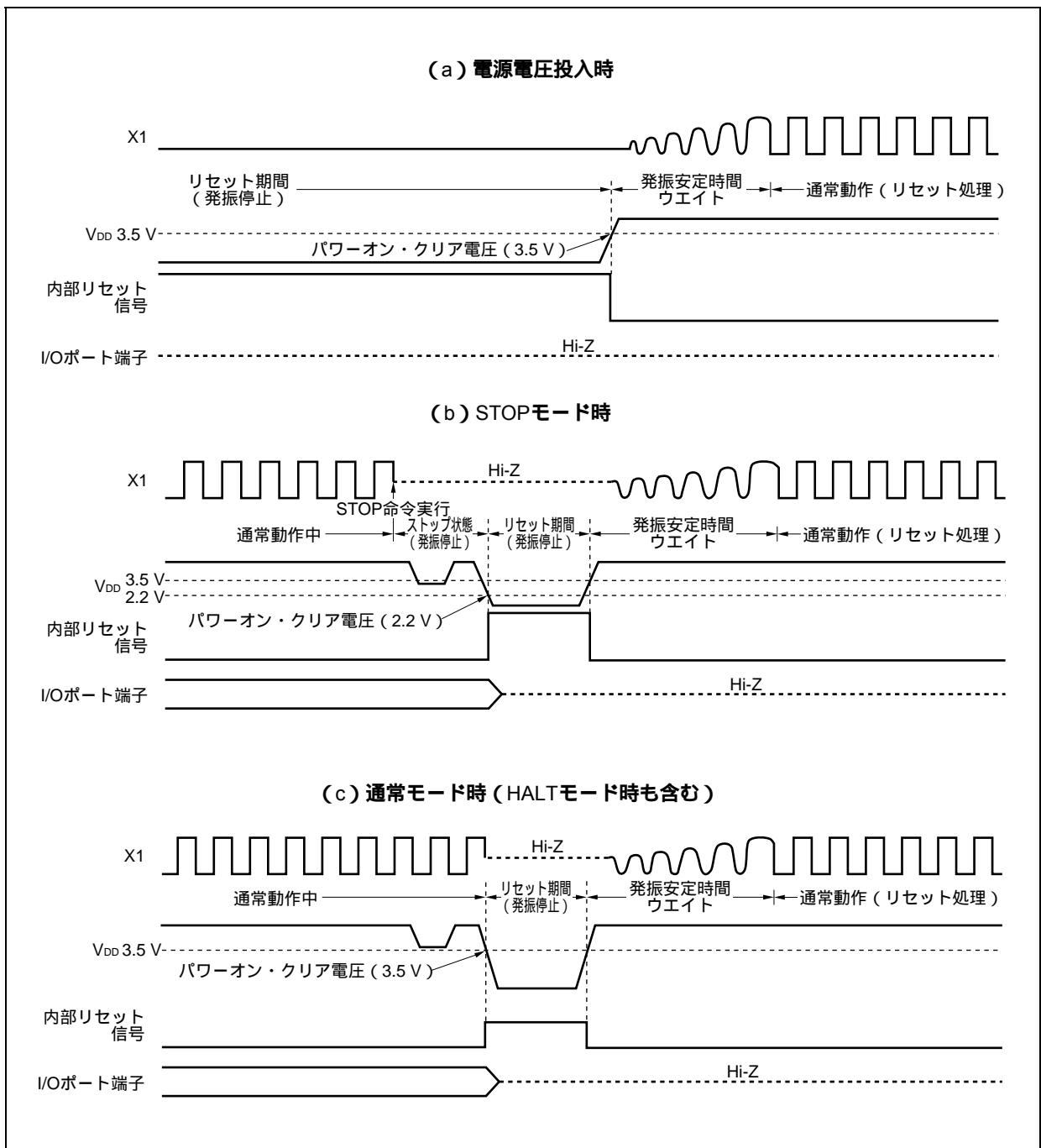


図14 - 3 パワーオン・クリアによるリセット・タイミング



14.3 パワーオン・クリア動作

V850/SC1, V850/SC2, V850/SC3ではパワーオン・クリア (POC) 回路を内蔵し, POCステータス・レジスタ (POCS) にて低電圧検出, V_{DD0} 端子電圧 (4.2 ± 0.3 V) の検出が行えます。

(1) POCステータス・レジスタ (POCS)

パワーオン・クリアが発生すると, POCSレジスタのビット0 (POCM) が “1” にセットされます。

またPOCSレジスタのビット1 (VM45) は V_{DD0} 端子の電圧レベルが 4.2 ± 0.3 V未満になると “1” がセットされます。これにより V_{DD0} 端子の電圧レベルが 4.2 ± 0.3 V未満の検出ができます

ただし, \overline{RESET} 端子によるリセットが発生した場合には, POCMビット, VM45ビットは以前の状態を保持します。リセット解除後, POCSレジスタを読み出すことによって低電圧状態を検出できます。

POCSレジスタは8ビット・メモリ操作命令でリードのみ可能です。POCSレジスタを読み出すとリセットされます。

リセット時: 保持^注 R アドレス: FFFFF07AH

	7	6	5	4	3	2	1	0
POCS	0	0	0	0	0	0	VM45	POCM

POCM	パワーオン・クリアの発生状態検出
0	パワーオン・クリアの未発生
1	パワーオン・クリアによるリセット発生

VM45	V_{DD0} 端子の電圧レベル検出
0	V_{DD0} 端子が4.5 V未満状態未検出
1	V_{DD0} 端子が4.5 V未満状態検出

注 パワーオン・クリアによるリセットのみ03Hとなります。 \overline{RESET} 端子によるリセットでは, リセットされません。

(2) VM45コントロール・レジスタ (VM45C)

POCSレジスタのVM45ビットによって検出 (未検出) された状態は, VM45Cレジスタで制御することによりVM45/P176端子に出力 (モニタ) ができます。

リセット時 : 00H R/W アドレス : FFFFF07CH								
VM45C	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	VM45C1	VM45C0
VM45C1	VM45 (V _{DD0} 4.5 Vモニタ) の出力許可 / 禁止							
0	VM45/P176端子に, VM45出力禁止 (ポート機能)							
1	VM45/P176端子に, VM45出力許可 ^注							
VM45C0	VM45 (V _{DD0} 4.5 Vモニタ) の出力選択							
0	VM45検出時ハイ・レベル出力							
1	VM45検出時ロウ・レベル出力							

注 P176を兼用端子として使用するとき, ポート17モード・レジスタ (PM17) のPM176ビットを0 (出力モード), またポート17 (P17) のP176ビットを0 (0を出力) にする必要があります。

★ (3) POCコントロール・レジスタ (POCC)

パワーオン・クリアによるリセット検出電圧3.5 Vの許可 / 禁止を設定するレジスタです。

ただし, STOPモード時の2.5 V未満の検出は禁止できません。

初期電源投入時のパワーオン・クリアによるリセットは許可され, その後の電圧降下等によるパワーオン・クリアによるリセットは禁止されます。RESET端子によるリセットにより, 00Hになります。

POCCレジスタは, 8ビット・メモリ操作命令で設定します。

リセット時 : 00H R/W アドレス : FFFFF076H								
POCC	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	POCC0
POCC0	パワーオン・リセットによるリセット検出電圧3.5 Vの許可 / 禁止							
0	許可 (パワーオン・クリアによるリセット検出電圧3.5 V有効)							
1	禁止 (パワーオン・クリアによるリセット検出電圧3.5 V無効)							

第15章 レギュレータ

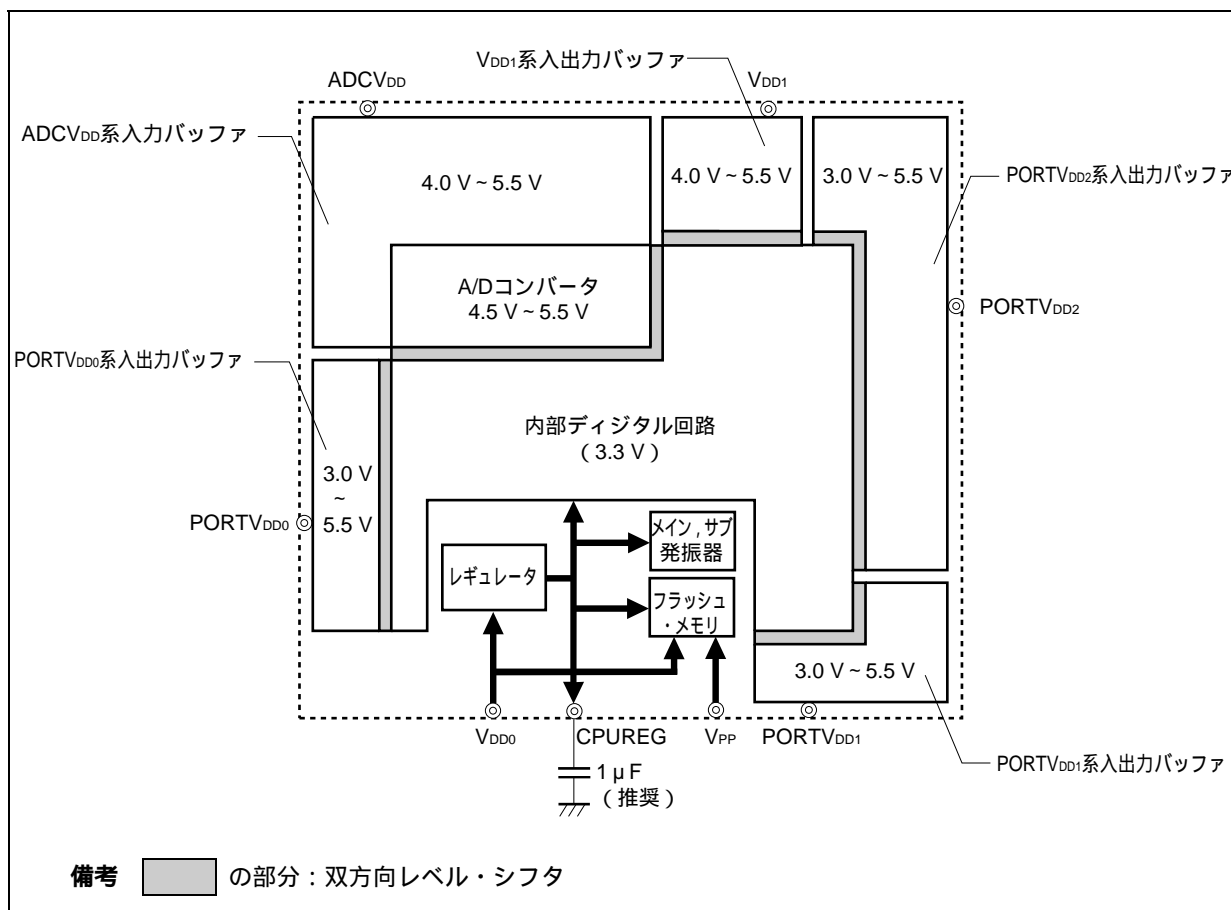
15.1 概要

V850/SC1, V850/SC2, V850/SC3は、5 V単一電源、低消費電力/低ノイズを実現するために、レギュレータを内蔵しています。

このレギュレータは、発振器ブロックと内部ロジック回路（A/Dコンバータ、出力バッファは除く）に、V_{DD}電源電圧を降圧した電圧を供給します。レギュレータ出力電圧は、3.3 Vに設定しています。

各端子に対応する電源については、2.4 端子の入出力回路タイプ、入出力バッファ電源と未使用時の処理を参照してください。

図15-1 レギュレータ (μ PD70F3089Yの場合)



15.2 動作

V850/SC1, V850/SC2, V850/SC3のレギュレータは、いかなるモード（STOP, IDLE, HALT）でも常に動作しています。

また、レギュレータの出力を安定させるためにCPUREG端子に約1μF（推奨）のコンデンサを接続してください。

第16章 ROMコレクション機能

16.1 概要

V850/SC1, V850/SC2, V850/SC3に搭載するROMコレクション機能は、マスクROM内のプログラムの一部を内蔵RAMのプログラムに置き換えて実行する機能です。

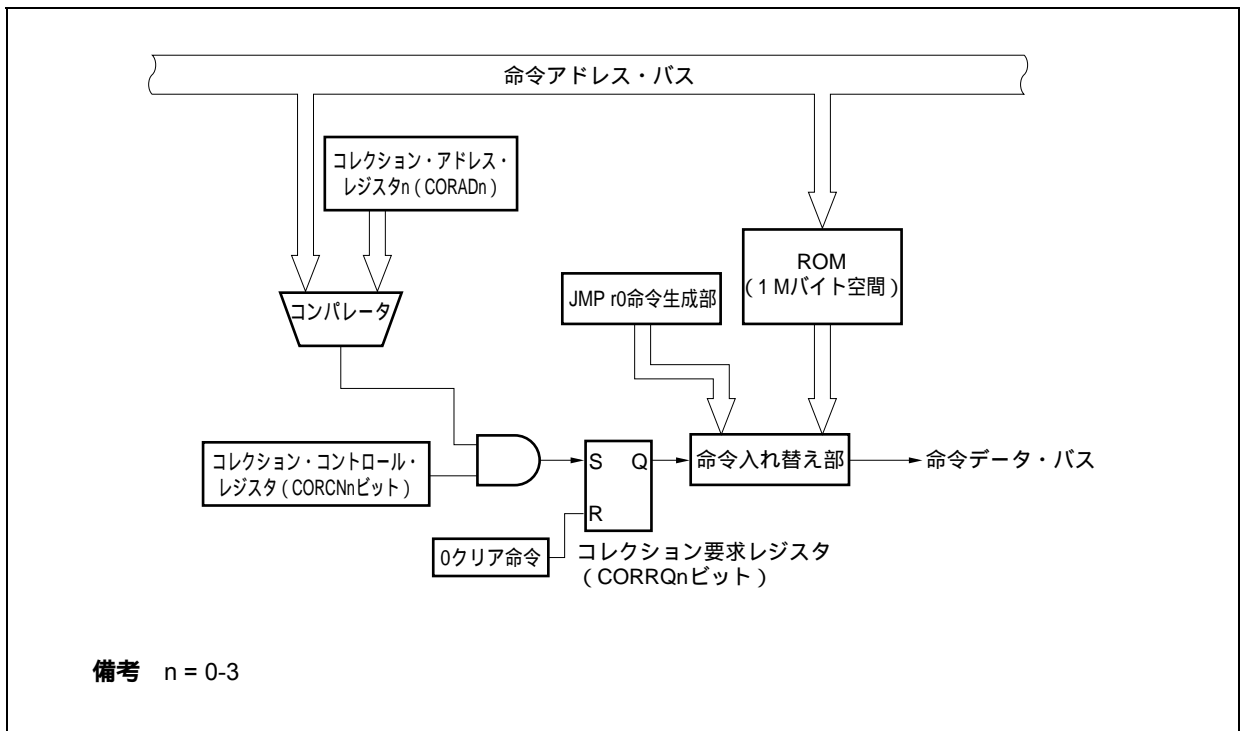
プログラムの置き換えを始めたアドレス（修正アドレス）の命令を、JMP r0命令に入れ替えて00000000Hにジャンプさせます。次にコレクション要求レジスタ（CORRQ）をチェックしてフラグ（CORRQn）がセット（1）されていたら、ジャンプ命令などにより内蔵RAM空間にジャンプして内蔵RAMに制御が移ります（n = 0-3）。

ROMコレクション機能を使用すると、マスクROMで発見された命令バグの修正やプログラムの流れを変更することができます。

修正アドレスは、4箇所指定できます。

- 注意1. ROMコレクション機能は、内蔵ROMのデータに対しては使用できません。命令コードに対してだけ行うことができます。データに対してROMコレクションを行うと、そのデータがJMP r0命令の命令コードに入れ替わります。
- 2. CORCN, CORRQ, CORAD0-CORAD3レジスタへアクセスする命令に対してROMコレクションを行うことを禁止します。

図16 - 1 ROMコレクションのブロック図



16.2 ROMコレクション周辺I/Oレジスタ

16.2.1 コレクション・コントロール・レジスタ (CORCN)

コレクション・アドレス・レジスタ (CORADn) に設定した修正アドレスとフェッチ・アドレスが一致したときに、JMP r0命令コードと入れ替えをするかしないかを制御するレジスタです (n = 0-3)。

各チャンネルごとに、コンパレータの一致検出の許可/禁止を設定できます。

8/1ビット・メモリ操作命令で設定します。

リセット時: 00H R/W アドレス: FFFFF36CH								
	7	6	5	4	③	②	①	①
CORCN	0	0	0	0	COREN3	COREN2	COREN1	COREN0
CORENn	CORADnレジスタとフェッチ・アドレスの一致検出の制御 (n = 0-3)							
0	一致検出の禁止							
1	一致検出の許可							
備考 n = 0-3								

16.2.2 コレクション要求レジスタ (CORRQ)

ROMコレクションが発生したチャンネルを記憶するレジスタです。修正アドレスとフェッチ・アドレスが一致したあとに、JMP r0命令により00000000H番地にジャンプします。このときにコレクション要求レジスタ (CORRQ) をリードすると次に示す場合をプログラムで判断することができます。

リセット入力	: CORRQ = 00H
ROMコレクションの発生	: CORRQnビット = 1 (n = 0-3)
ユーザ・プログラムによる00000000H番地への分岐	: CORRQ = 00H

リセット時: 00H R/W アドレス: FFFFF36EH								
	7	6	5	4	③	②	①	①
CORRQ	0	0	0	0	CORRQ3	CORRQ2	CORRQ1	CORRQ0
CORRQn ^注	チャンネルnROMコレクション要求フラグ							
0	ROMコレクション要求なし							
1	ROMコレクション要求発生							
注 CORRQnビットのクリアは“0”書き込み命令により行います。								
備考 n = 0-3								

16.2.3 コレクション・アドレス・レジスタ0-3 (CORAD0-CORAD3)

ROMのなかに修正したい命令の先頭アドレス (修正アドレス) を設定するレジスタです。

コレクション・アドレス・レジスタ (CORADn) は, 4つあるためにプログラムを最大4箇所修正することができます (n = 0-3)。

V850/SC1, V850/SC2, V850/SC3には512 KバイトのROMを内蔵しているため, 00000000H-0007FFFEHを設定してください。

ビット0, 18-31は0に固定してください。

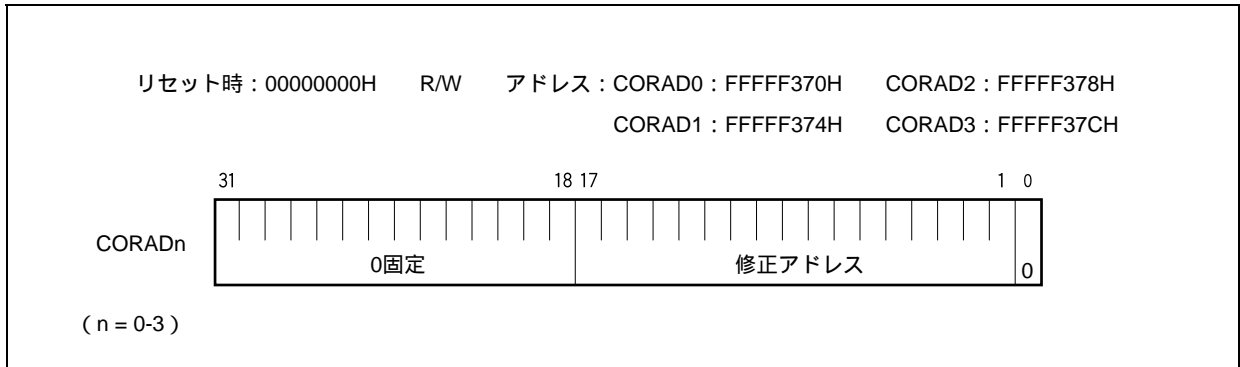
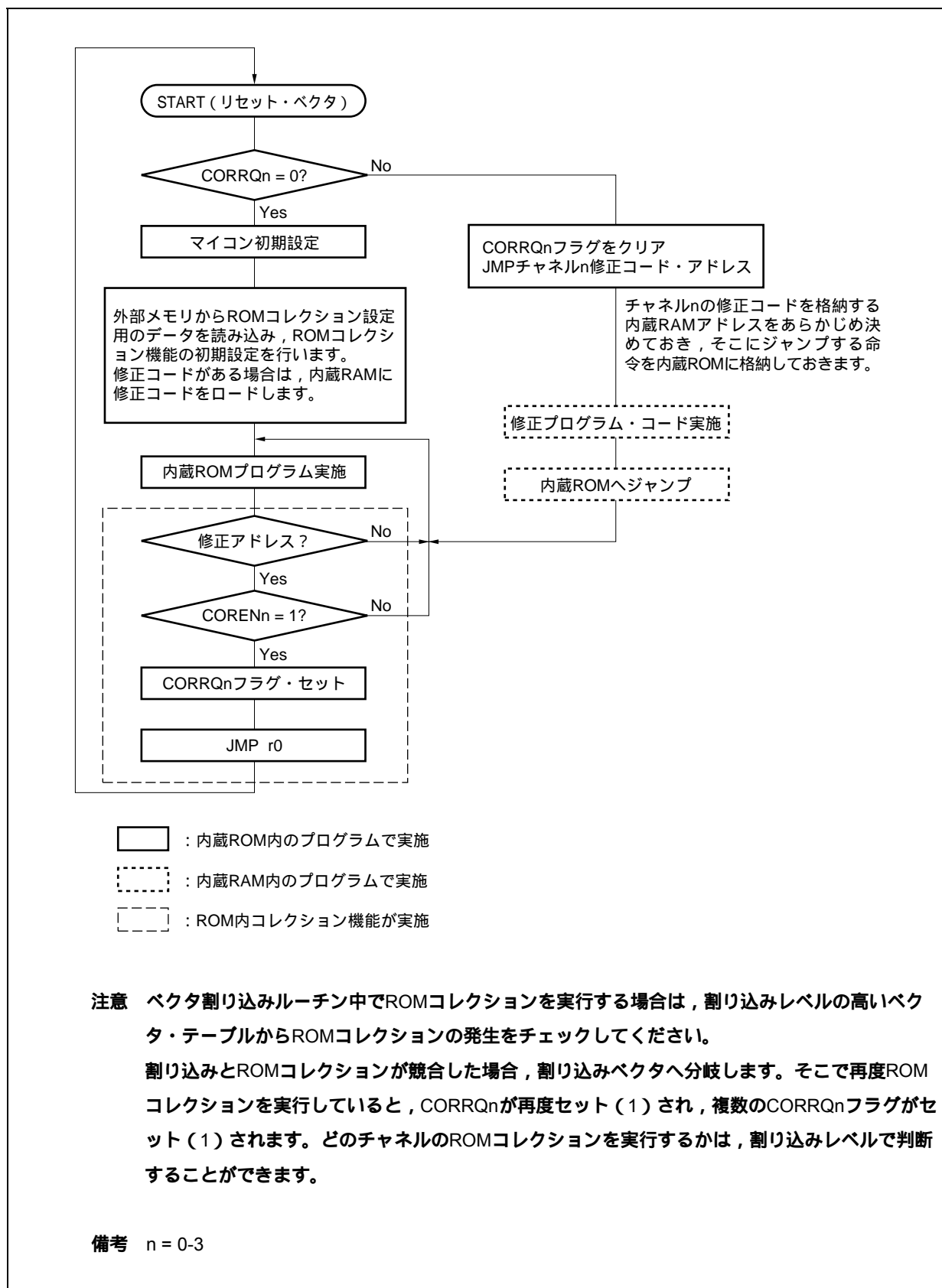


図16 - 2 ROMコレクションの動作とプログラムの流れ



第17章 フラッシュ・メモリ (μ PD70F3089Y)

μ PD70F3089Yは、V850/SC1, V850/SC2, V850/SC3のフラッシュ・メモリ内蔵品で、512 Kバイトのフラッシュ・メモリを内蔵しています。

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品ではなく）で十分に評価してください。

このフラッシュ・メモリへの命令フェッチは、マスクROM内蔵品と同様に1クロックで4バイトをアクセスできます。

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行えます。専用フラッシュ・ライターをターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

ターゲット・システムにV850/SC1, V850/SC2, V850/SC3を半田実装後、ソフトウェアの変更可能
ソフトウェアを区別することで少量多品種生産が容易
量産立ち上げ時のデータ調整が容易

17.1 特 徴

- ・4バイト/1クロック・アクセス（命令フェッチ・アクセス時）
- ・全エリア一括消去/エリア単位で消去
- ・専用フラッシュ・ライターからシリアル・インタフェースを介して通信
- ・消去/書き込み電圧： $V_{PP} = 7.8\text{ V}$
- ・オンボード・プログラミング
- ・エリア（128 Kバイト）単位のセルフ書き込みによるフラッシュ・メモリ・プログラミングが可能

17.1.1 消去単位

消去単位は、次の2通りあります。

(a) 全エリア一括消去

xx000000H-xx07FFFFHの領域を同時に消去できます。消去時間は、8.0 sです。

(b) エリア消去

エリア単位で消去ができます（128 Kバイト単位のエリアが4つあります）。消去時間は、各エリア単位で2.0 sです。

エリア0：xx000000H-xx01FFFFH（128 Kバイト）の領域を消去

エリア1：xx020000H-xx03FFFFH（128 Kバイト）の領域を消去

エリア2：xx040000H-xx05FFFFH（128 Kバイト）の領域を消去

エリア3：xx060000H-xx07FFFFH（128 Kバイト）の領域を消去

17.1.2 書き込み / 読み込み時間

書き込み / 読み込み時間を次に示します。

- ・書き込み時間：50 μs / バイト
- ・読み込み時間：50 ns（サイクル時間）

17.2 フラッシュ・ライターによる書き込み方法

専用フラッシュ・ライターにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にV850/SC1, V850/SC2, V850/SC3を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・ライターを接続するためのコネクタなどを実装しておいてください。

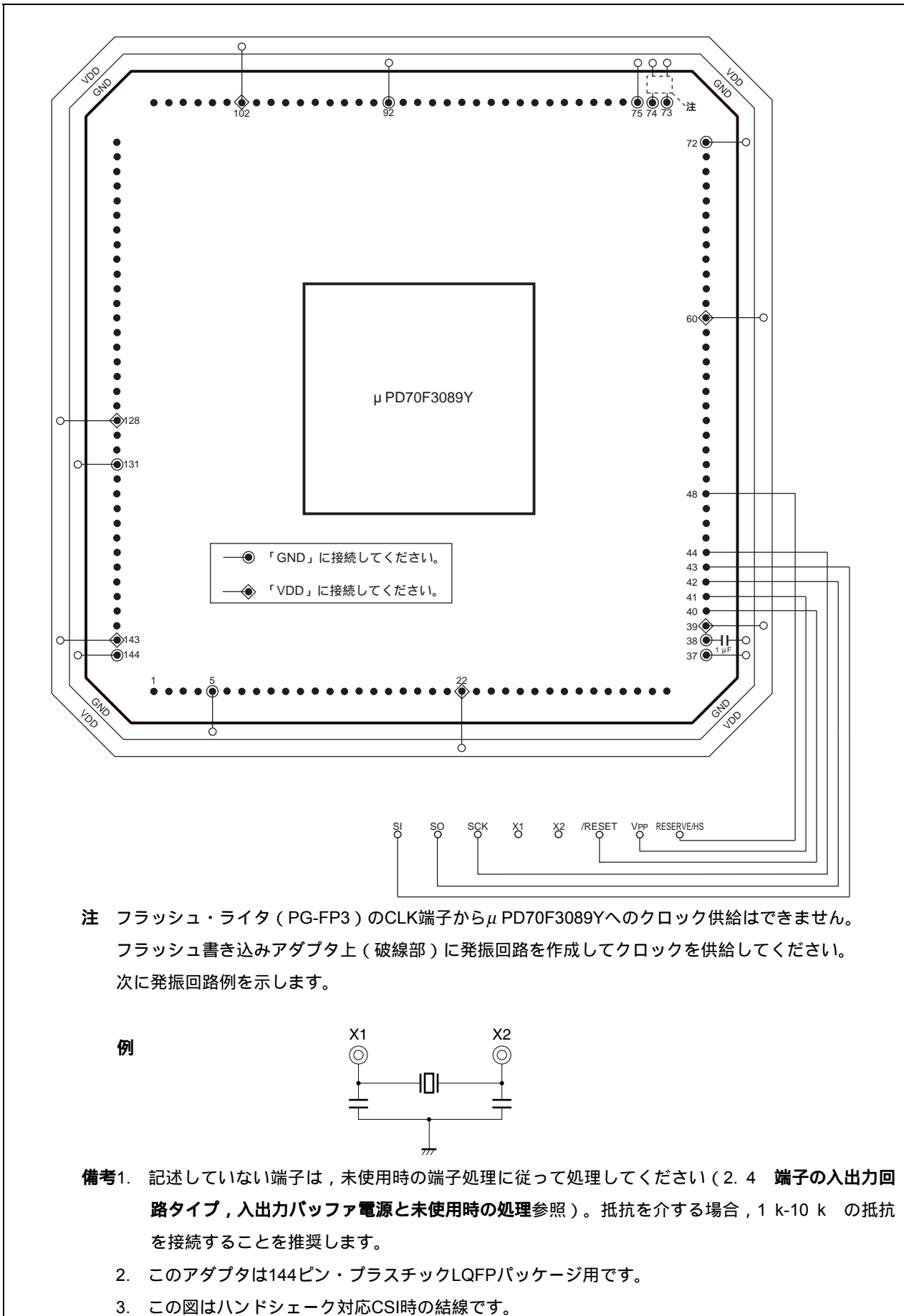
(2) オフボード・プログラミング

ターゲット・システム上にV850/SC1, V850/SC2, V850/SC3を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、（株）内藤電誠町田製作所の製品です。

★

図17-1 フラッシュ書き込み用アダプタ (FA-144GJ-UEN) の配線例



★ 表17 - 1 μ PD70F3089Yフラッシュ書き込み用アダプタ (FA-144GJ-UEN) の配線表

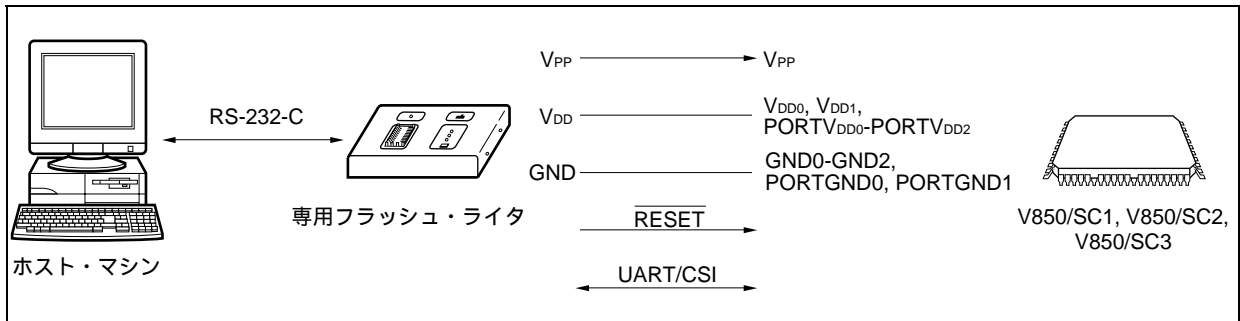
フラッシュ・ライタ (PG-FP3)			CSI0 + HS使用時		CSI0使用時		UART0使用時	
			端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	P11/SO0	43	P11/SO0	43	P14/SO4/TXD0	47
SO/TxD	出力	送信信号	P10/SI0/SDA0	42	P10/SI0/SDA0	42	P13/SI4/RXD0	46
SCK	出力	転送クロック	P12/SCK0/SCL0	44	P12/SCK0/SCL0	44	必要なし	必要なし
CLK ^注	-	未使用	必要なし	必要なし	必要なし	必要なし	必要なし	必要なし
/RESET	出力	リセット信号	RESET	40	RESET	40	RESET	40
VPP	出力	書き込み電圧	MODE/VPP	41	MODE/VPP	41	MODE/VPP	41
HS	入力	CSI0 + HS通信の ハンドシェイク信号	P15/SCK4/ASCK 0	48	必要なし	必要なし	必要なし	必要なし
VDD	-	VDD電圧生成 / 電源監視	VDD0	39	VDD0	39	VDD0	39
			VDD1	128	VDD1	128	VDD1	128
			PORTVDD0	22	PORTVDD0	22	PORTVDD0	22
			PORTVDD1	60	PORTVDD1	60	PORTVDD1	60
			PORTVDD2	102	PORTVDD2	102	PORTVDD2	102
GND	-	グラウンド	GND0	37	GND0	37	GND0	37
			GND1	131	GND1	131	GND1	131
			GND2	72	GND2	72	GND2	72
			PORTGND0	5	PORTGND0	5	PORTGND0	5
			PORTGND1	92	PORTGND1	92	PORTGND1	92
			P00/NMI	75	P00/NMI	75	P00/NMI	75

注 フラッシュ・ライタ (PG-FP3) のCLK端子からμ PD70F3089Yへのクロック供給はできません。
 フラッシュ書き込みアダプタ (FA-144GJ-UEN) 上に発振回路を作成してクロックを供給してください。
 発振回路例は図17 - 1 フラッシュ書き込み用アダプタ (FA-144GJ-UEN) の配線例を参照してください。

17.3 プログラミング環境

V850/SC1, V850/SC2, V850/SC3のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図17-2 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・ライターとV850/SC1, V850/SC2, V850/SC3とのインタフェースはUART0またはCSI0を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

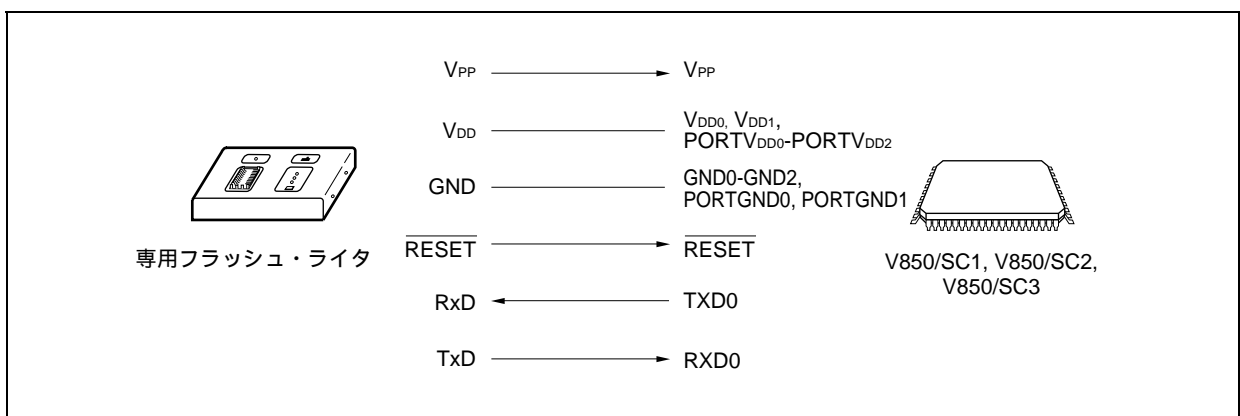
17.4 通信方式

専用フラッシュ・ライターとV850/SC1, V850/SC2, V850/SC3との通信は、V850/SC1, V850/SC2, V850/SC3のUART0またはCSI0によるシリアル通信で行います。

(1) UART0

転送レート：4800 - 76800 bps

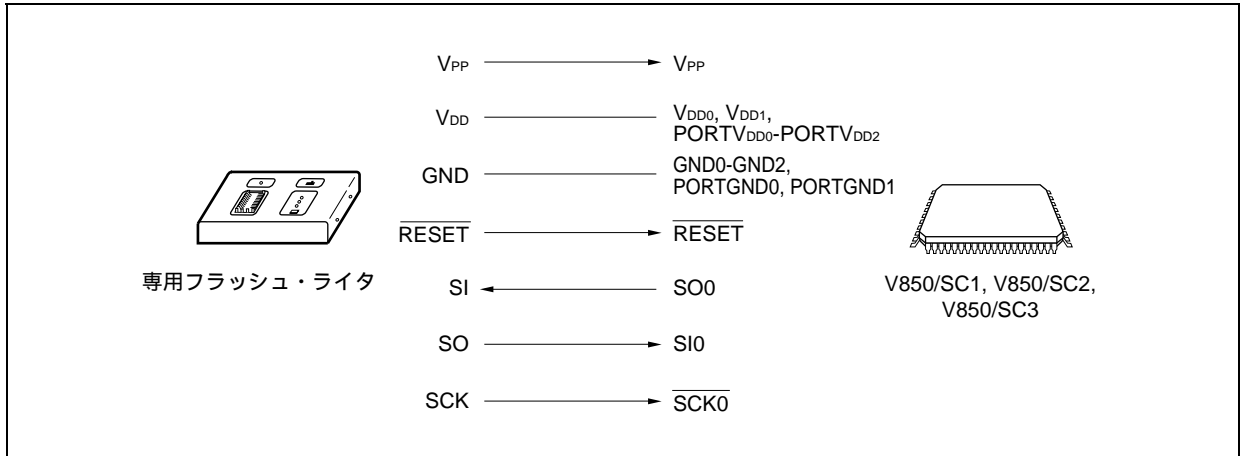
図17-3 専用フラッシュ・ライターとの通信 (UART0)



(2) CSI0

シリアル・クロック : ~1 MHz (MSBファースト)

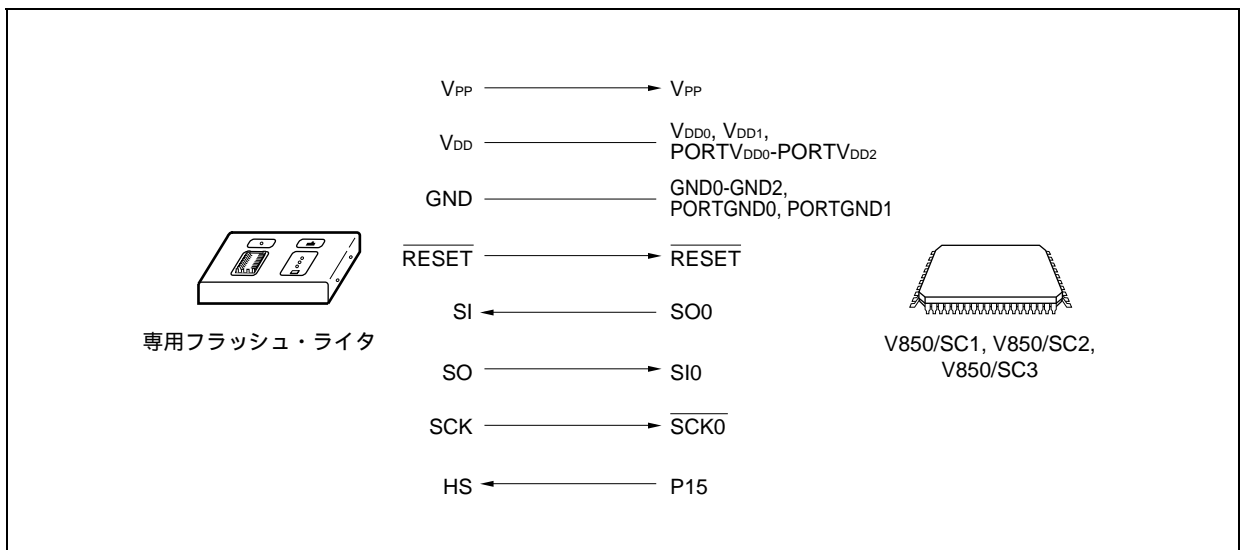
図17-4 専用フラッシュ・ライタとの通信 (CSI0)



(3) CSI0 + HS

シリアル・クロック : ~1 MHz (MSBファースト)

図17-5 専用フラッシュ・ライタとの通信 (CSI0 + HS)



専用フラッシュ・ライタが転送クロックを出力し, V850/SC1, V850/SC2, V850/SC3はスレーブとして動作します。

専用フラッシュ・ライタとしてPG-FP3を使用した場合, PG-FP3はV850/SC1, V850/SC2, V850/SC3に対して次の信号を生成します。詳細はPG-FP3 **ユーザズ・マニュアル**を参照してください。

表17-2 専用フラッシュ・ライタ (PG-FP3) の信号生成

信号名	PG-FP3		V850/SCx	接続時の処置		
	入出力	端子機能	端子名	CSI0	UART0	CSI0 + HS
V _{PP}	出力	書き込み電圧	V _{PP}			
V _{DD}	入出力	V _{DD} 電圧生成/電圧監視	V _{DD0} , V _{DD1} , PORTV _{DD0} - PORTV _{DD2}			
GND	-	グラウンド	GND0-GND2, PORTGND0, PORTGND1			
CLK ^注	-	未使用	X1	x	x	x
RESET	出力	リセット信号	RESET			
SI/RxD	入力	受信信号	SO0/TXD0			
SO/TxD	出力	送信信号	SI0/RXD0			
SCK	出力	転送クロック	SCK0		x	
HS	入力	CSI0 + HS通信のハンドシェイク信号	P15	x	x	

注 フラッシュ・ライタ (PG-FP3) のCLK端子からμ PD70F3089Yへのクロック供給はできません。

フラッシュ書き込みアダプタ (FA-144GJ-UEN) 上に発振回路を作成してクロックを供給してください。

発振回路例は図17-1 フラッシュ書き込み用アダプタ (FA-144GJ-UEN) の配線例を参照してください。

備考1. : 必ず接続してください。

x : 接続の必要はありません。

2. V850/SCx : V850/SC1, V850/SC2, V850/SC3

17.5 端子処理

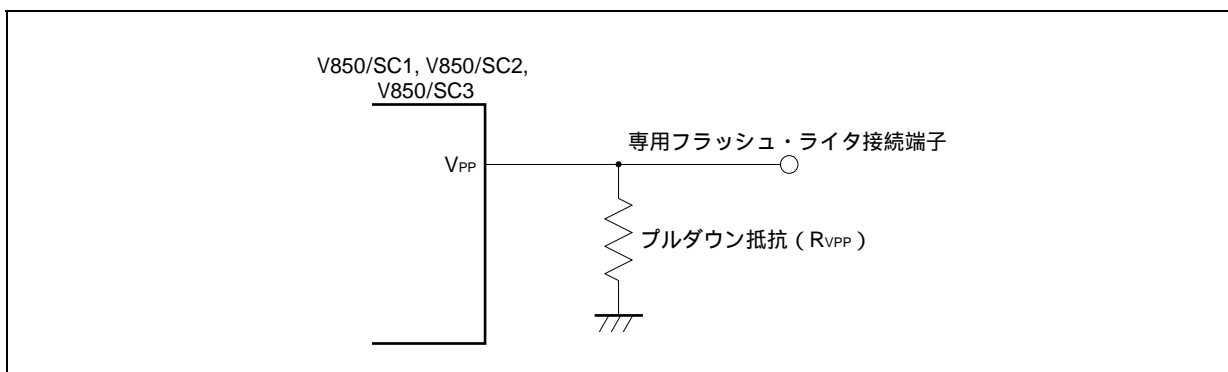
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに移移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、ポートはすべて出力ハイ・インピーダンス状態になるため、外部デバイスが出力ハイ・インピーダンス状態を認めない場合は端子処理が必要です。

17.5.1 V_{PP}端子

通常動作モード時は、V_{PP}端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に7.8 Vの書き込み電圧を供給します。V_{PP}端子の接続例を次に示します。

図17 - 6 V_{PP}端子の接続例



17.5.2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表17 - 3 各シリアル・インタフェースが使用する端子

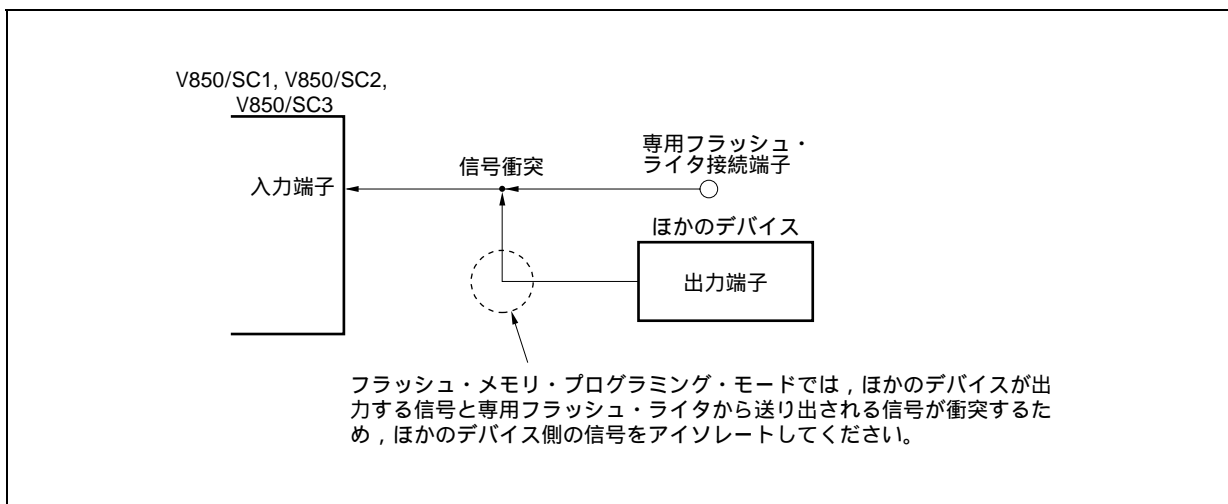
シリアル・インタフェース	使用端子
CSI0	SO0, SI0, SCK0
CSI0 + HS	SO0, SI0, SCK0, P15
UART0	TXD0, RXD0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライター（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

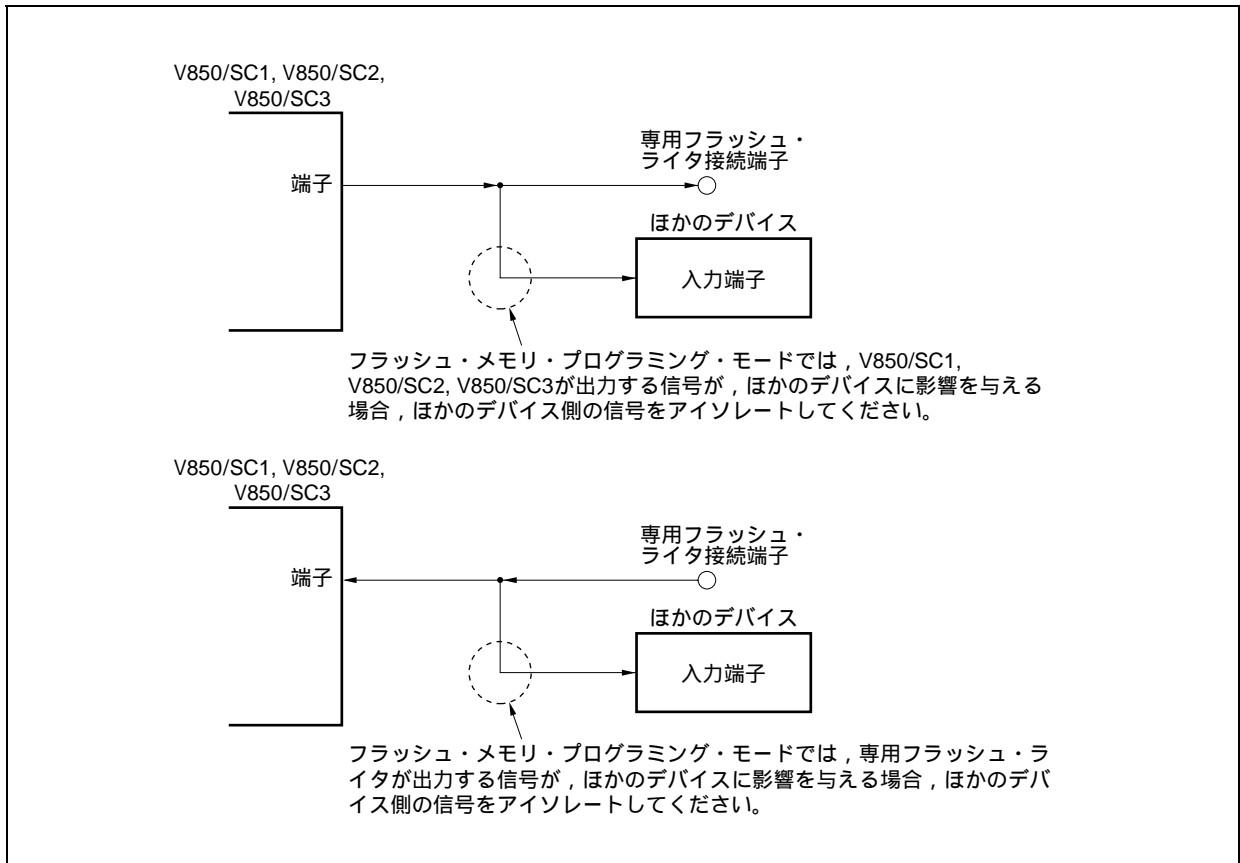
図17 - 7 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライター（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図17 - 8 ほかのデバイスの異常動作

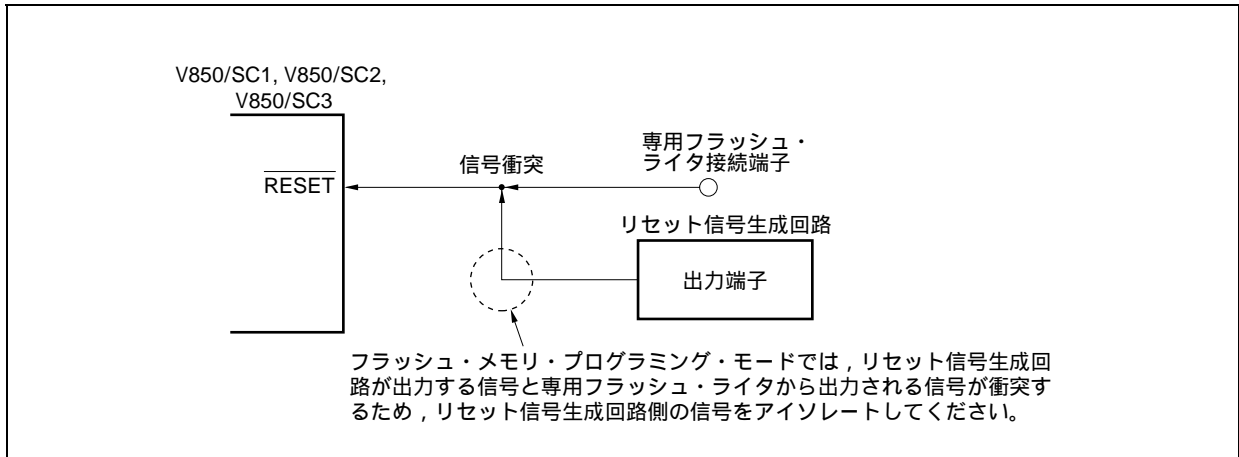


17.5.3 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図17-9 信号の衝突 ($\overline{\text{RESET}}$ 端子)



17.5.4 ポート端子 (NMIを含む)

フラッシュ・メモリ・プログラミング・モードに設定すると、専用フラッシュ・ライタと通信する端子を除くすべてのポート端子は出力ハイ・インピーダンス状態になります。なお、ポートに接続されている外部デバイスに出力ハイ・インピーダンス状態禁止などの問題が生じる場合には、抵抗を介して V_{DD0} , V_{DD1} , PORTV_{DD0} - PORTV_{DD2} , ADCV_{DD} に接続するか、または抵抗を介して GND0 - GND2 , PORTGND0 , PORTGND1 , ADCGND に接続するなどの処置をしてください。

17.5.5 その他の信号端子

X1, X2, XT1, XT2は、通常動作モード時と同じ状態に接続してください。

17.5.6 電 源

電源は、次に示すように供給してください。

$$V_{DD0} = \text{PORTV}_{DD1}$$

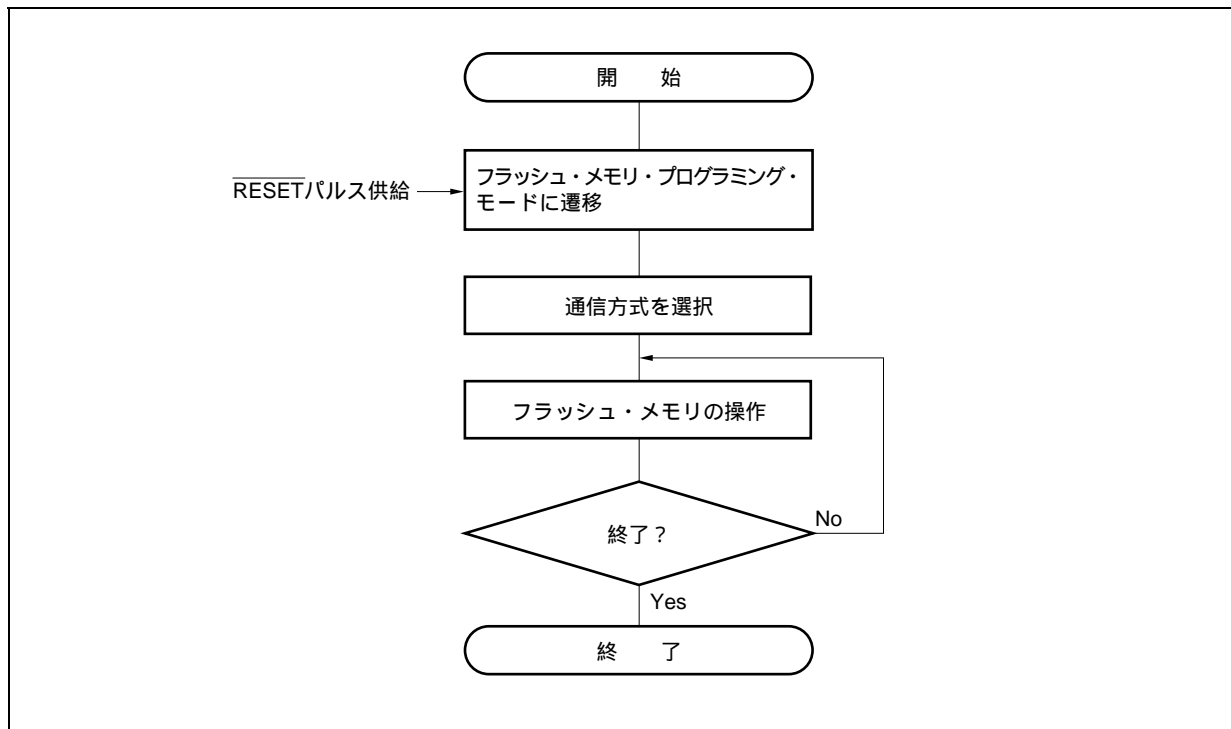
その他の電源 (V_{DD1} , PORTV_{DD0} , PORTV_{DD2} , ADCV_{DD} , ADCGND , GND0 , GND1 , GND2 , PORTGND0 , PORTGND1) は、通常動作モード時と同じ電源を供給してください。

17.6 プログラミング方法

17.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図17 - 10 フラッシュ・メモリの操作手順

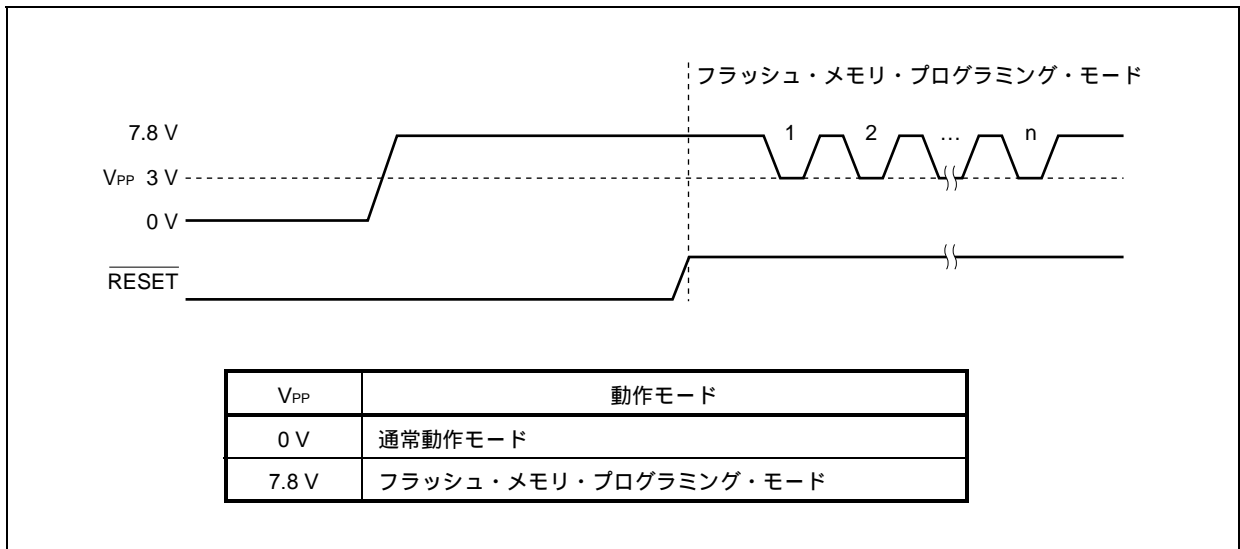


17.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・ライタを使用してフラッシュ・メモリの内容を書き換えるときは、V850/SC1, V850/SC2, V850/SC3をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、V_{PP}端子を設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図17-11 フラッシュ・メモリ・プログラミング・モード



17.6.3 通信方式の選択

V850/SC1, V850/SC2, V850/SC3では、フラッシュ・メモリ・プログラミング・モードに遷移後、V_{PP}端子にパルス（最大16パルス）を入力することで通信方式を選択します。このV_{PP}パルスは専用フラッシュ・ライタが生成します。

パルス数と通信方式の関係を次に示します。

表17-4 通信方式一覧

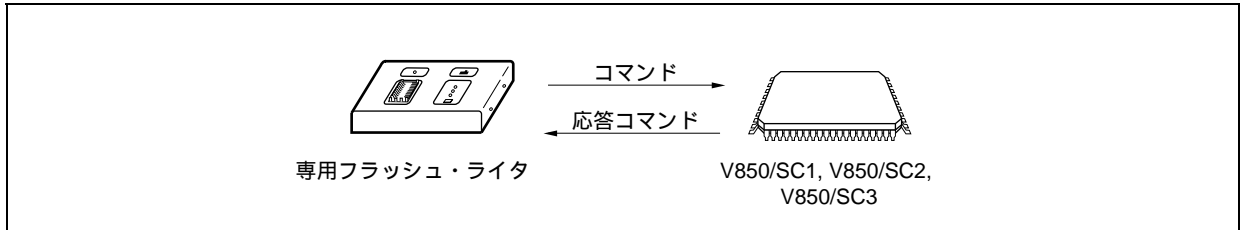
V _{PP} パルス	通信方式	備考
0	CSI0	V850/SC1, V850/SC2, V850/SC3はスレーブ動作, MSBファースト
3	CSI0 + HS	V850/SC1, V850/SC2, V850/SC3はスレーブ動作, MSBファースト
8	UART0	通信レート: 9600 bps (リセット時), LSBファースト
その他	RFU	設定禁止

注意 UART0選択時、受信クロックは、V_{PP}パルス受信後に専用フラッシュ・ライタから送られてくるリセット・コマンドを基準に計算します。

17.6.4 通信コマンド

V850/SC1, V850/SC2, V850/SC3と専用フラッシュ・ライタは、コマンドを介して通信します。専用フラッシュ・ライタからV850/SC1, V850/SC2, V850/SC3へ送られるコマンドを「コマンド」と呼び、V850/SC1, V850/SC2, V850/SC3から専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。

図17 - 12 通信コマンド



V850/SC1, V850/SC2, V850/SC3のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され、V850/SC1, V850/SC2, V850/SC3がコマンドに対応した各処理を行います。

表17 - 5 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	一括ベリファイ・コマンド	全メモリの内容と入力したデータを比較
消去	一括消去コマンド	全メモリの内容を消去
	ライトバック・コマンド	過消去時の書き戻し
ブランク・チェック	一括ブランク・チェック・コマンド	全メモリの消去状態を確認
データ・ライト	高速書き込みコマンド	書き込みアドレス、書き込みバイト数の指定によりデータを書き込み、ベリファイ・チェックを実行
	連続書き込みコマンド	直前に実行された高速書き込みコマンドに続くアドレスからデータを書き込み、ベリファイ・チェックを実行
システム設定, 制御	ステータス読み出しコマンド	動作状況のステータスを得る
	発振周波数設定コマンド	発振周波数の設定
	消去時間設定コマンド	一括消去の消去時間設定
	書き込み時間設定コマンド	データ書き込み時の書き込み時間設定
	ライトバック時間設定コマンド	ライトバック時間の設定
	ポー・レート設定コマンド	UART使用時のポー・レート設定
	シリコン・シグネチャ・コマンド	シリコン・シグネチャ情報を読み出す
リセット・コマンド	各状態からの脱出	

V850/SC1, V850/SC2, V850/SC3は、専用フラッシュ・ライタから発行されたコマンドに対して、応答コマンドを返します。V850/SC1, V850/SC2, V850/SC3が送出する応答コマンドを次に示します。

表17 - 6 応答コマンド

応答コマンド名称	機能
ACK (アクノリッジ)	コマンド/データなどのアクノリッジ
NAK (ノット・アクノリッジ)	不正なコマンド/データなどのアクノリッジ

第18章 IEBusコントローラ (V850/SC2)

IEBus (Inter Equipment Bus) は、ユニット間のデータ伝送を行うことを目的とした小規模のデジタル・データ伝送システムです。V850/SC2でIEBusを実現する場合は、IEBusドライバ/レシーバを内蔵していないため、これらを外付けする必要があります。

V850/SC2が内蔵しているIEBusコントローラは、負論理になります。

18.1 IEBusコントローラの機能

18.1.1 IEBusの通信プロトコル

IEBusの通信プロトコルを次に示します。

(1) マルチタスク方式

IEBusに接続しているすべてのユニットで、ほかのユニットへのデータ伝送ができます。

(2) 同報通信機能

次に示す「1つのユニット 対 複数ユニット」の通信ができます。

- ・グループ同報通信 : グループ・ユニットに対しての同報通信
- ・一斉同報通信 : すべてのユニットに対しての同報通信

(3) 実効伝送速度

実効伝送速度は、モード1になります (V850/SC2は、実効伝送速度モードのモード0、モード2はサポートしていません)。

- ・モード1 : 約17 Kbps

注意 1つのIEBus上に、異なるモードを混在することはできません。

(4) 通信方式

半二重非同期通信方式でデータを転送します。

(5) アクセス制御 : CSMA/CD (Carrier Sense Multiple Access with Collision Detection)

IEBus占有の優先順位を次に示します。

- 同報通信が個別通信 (1ユニット 対 1ユニットの通信) より優先されます。
- マスタ・アドレスの小さいほうが優先されます。

(6) 通信規模

IEBusの通信規模を次に示します。

- ・ユニット数：最大50ユニット
- ・ケーブル長：最大150 m (ツイスト・ペア・ケーブルを使用した場合)

注意 実際のシステムにおける通信規模は、IEBusドライバ/レシーバやIEBusを構成するケーブルなどの特性によって異なります。

18.1.2 バス占有権の決定 (アービトレーション)

IEBusに接続された装置は、ほかのユニットを制御するときバスを占有するための動作を行います。この動作をアービトレーションと呼びます。

アービトレーションでは、複数のユニットが同時に送信を開始したときに、それらの複数のユニットの中から1つのユニットに対して、バスを占有する許可を与える処理を行います。

アービトレーションにより1ユニットのみがバス占有権を得るために、次に示すようなバス占有の優先条件があります。

注意 通信が途中で終了した場合、バスの占有権は解放されます。

(1) 通信の種類による優先条件

同報通信 (1ユニット 対 複数ユニットの通信) が、通常通信 (1ユニット 対 1ユニットの通信) より優先されます。

(2) マスタ・アドレスによる優先条件

通信種類が同じ場合は、マスタ・アドレスの最も小さいものが優先されます。

マスタ・アドレスは12ビットで構成され、000Hのユニットが最上位に優先順位を持ち、FFFHのユニットが最下位の優先順位を持ちます。

18.1.3 通信モード

IEBusには、伝送速度の異なる3種類の通信モードがあります。V850/SC2は、通信モード1固定になります。通信モード1における伝送速度および1通信フレーム中の最大伝送バイト数を次に示します。

表18 - 1 通信モード1における伝送速度，最大伝送バイト数

通信モード	最大伝送バイト数	最大伝送速度 ^注
1	32バイト/フレーム	約17 Kbps

注 最大伝送バイト数を伝送したときの実効伝送速度

IEBusに接続した各ユニットは、通信を行う前にあらかじめ通信モードを選択しておきます。また、マスタ・ユニットとその通信相手ユニット (スレーブ・ユニット) の通信モードが同一でないと、通信は正しく行われません。

18.1.4 通信アドレス

IEBusでは、各ユニットに12ビットの固有な通信アドレスが割り当てられています。次に通信アドレスの構成を示します。

- ・上位4ビット：グループ番号（各ユニットの所属するグループを識別する番号）
- ・下位8ビット：ユニット番号（グループ内の各ユニットを識別する番号）

18.1.5 同報通信

通常の通信では、マスタ・ユニットとその通信相手局となるスレーブ・ユニットはともに1ユニットで、1対1の送信 / 受信が行われます。それに対して同報通信ではスレーブ・ユニットが複数あり、マスタ・ユニットは複数のスレーブ・ユニットに対して送信を行います。スレーブ・ユニットが複数あるために、通信中スレーブ・ユニットからはアクノリッジ信号は返されません。

同報通信を行うか通常の通信を行うかは、同報ビットにより選択することができます（18.1.6(2)同報ビット参照）。

同報通信には、グループ同報通信と一斉同報通信の2種類があります。グループ同報通信と一斉同報通信の識別は、スレーブ・アドレスの値で行われます（18.1.6(4)スレーブ・アドレス・フィールド参照）。

(1) グループ同報通信

通信アドレスの上位4ビットのグループ番号が等しいグループ内のユニットに対して、同報通信を行います。

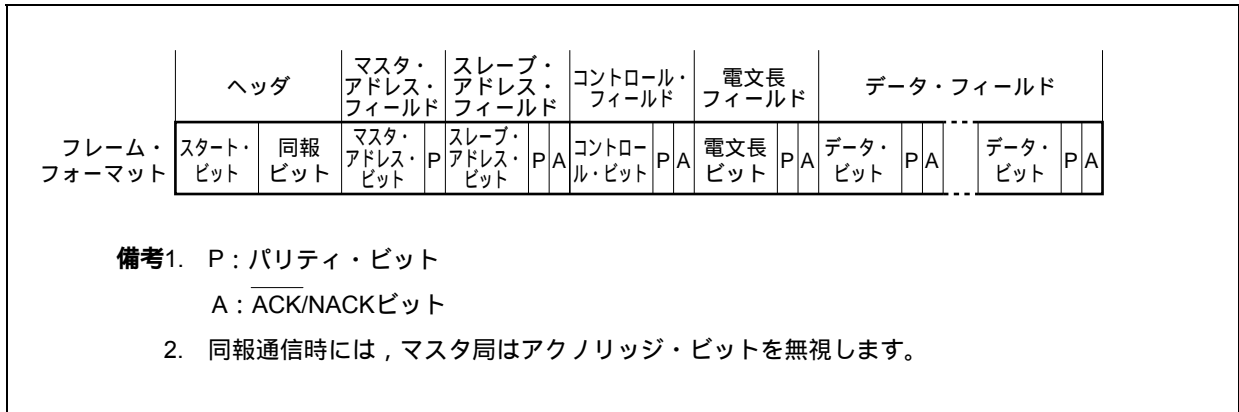
(2) 一斉同報通信

グループ番号の値にかかわらず、すべてのユニットに対して同報通信を行います。

18.1.6 IEBusの伝送フォーマット

IEBusの伝送信号フォーマットを図18 - 1に示します。

図18 - 1 IEBusの伝送信号フォーマット



(1) スタート・ビット

スタート・ビットは、データ伝送の開始をほかのユニットに知らせるための信号です。

データ伝送を開始しようとするユニットは、決められた時間IETX0端子からハイ・レベルの信号（スタート・ビット）を出力し、同報ビットの出力へ移行します。

スタート・ビットを出力しようとしたとき、すでにほかのユニットがスタート・ビットを出力している場合には、スタート・ビットを出力しないでそのユニットのスタート・ビット出力終了を待ち、その終了タイミングに同期して同報ビット出力へ移行します。

送信を開始したユニット以外は、このスタート・ビットを検出し、受信状態へ移行します。

(2) 同報ビット

マスタが通信相手として単一のスレーブを選択（個別通信）しているのか、複数のスレーブを選択（同報通信）しているのかを示します。

同報ビットが0の場合は同報通信を示し、1の場合は個別通信を示します。また、同報通信には、グループ同報と一斉同報があり、これらの識別はスレーブ・アドレスの値によって行われます（18.1.6(4)スレーブ・アドレス・フィールド参照）

同報通信の場合には、通信相手局となるスレーブ・ユニットが複数存在するため、マスタ・アドレス・フィールド以降の各フィールドでのアクノリッジ・ビットは返されません。

2つ以上のユニットが同じタイミングで通信フレームの送を開始した場合には、同報通信が個別通信より優先され、アービトレーションに勝ち残ります。

自局がマスタとしてバスを占有しているときは、IEBusコントロール・レジスタ（BCR）の同報リクエスト・ビット（ALLRQ）に設定した値が出力されます。

(3) マスタ・アドレス・フィールド

マスタが自局のアドレスをスレーブに伝えるために出力します。

マスタ・アドレス・フィールドは、図18 - 2に示す構成となっています。

2つ以上のユニットが、同じタイミングで同じ値の同報ビットの送信を開始した場合、アービトレーションの判定は、マスタ・アドレス・フィールドへ持ち越されます。

マスタ・アドレス・フィールドでは、1ビット送信するごとに出力しているデータとバス上のデータを比較します。比較の結果、出力しているマスタ・アドレスとバス上のデータが異なった場合、アービトレーションに負けたと判断して、送信を中止し受信状態に変わります。

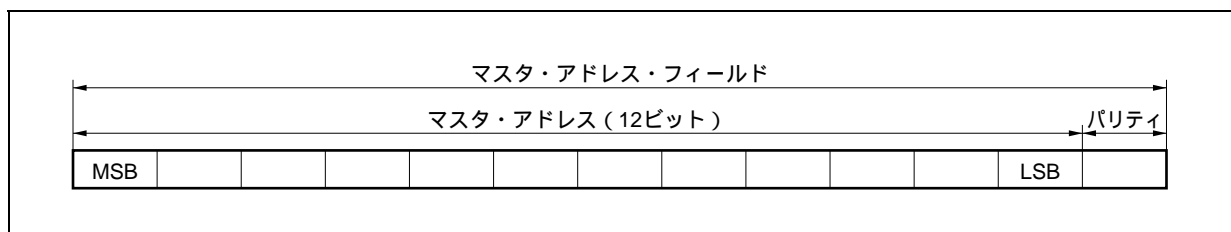
IEBusは、ワイアードANDで構成されているため、アービトレーションに参加しているユニット（アービトレーション・マスタ）の中で、最小のマスタ・アドレスを持つユニットがアービトレーションに勝ち残ります。

最終的に12ビットのマスタ・アドレスを出力後、1つのユニットのみがマスタ・ユニットとして送信状態で残ります。

次に、このマスタ・ユニットはパリティ・ビットを出力し、ほかのユニットに対してマスタ・アドレスを確定させ、スレーブ・アドレス・フィールド出力へ移行します。

自局がマスタとしてバスを占有しているときは、IEBus自局アドレス・レジスタ（UAR）で設定したアドレスが出力されます。

図18 - 2 マスタ・アドレス・フィールド



(4) スレーブ・アドレス・フィールド

マスタが通信を行いたい相手局のアドレスを出力します。

スレーブ・アドレス・フィールドは、図18 - 3に示す構成になっています。

12ビットのスレーブ・アドレス送信後、スレーブ・アドレスが間違っ受信されることを避けるため、パリティ・ビットを出力します。次にスレーブ・ユニットがバス上にあることを確認するために、マスタ・ユニットはスレーブ・ユニットからのアクノリッジ信号を検出します。アクノリッジ信号を検出した場合、コントロール・フィールド出力へ移行します。ただし、同報通信時は、アクノリッジ・ビットを検出せずに、コントロール・フィールド出力へ移行します。

スレーブ・ユニットは、スレーブ・アドレスが一致して、マスタ・アドレスとスレーブ・アドレスの両方のパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。スレーブ・ユニットは、パリティが奇数の場合、マスタ・アドレスまたはスレーブ・アドレスが正しく受信されなかったと判断して、アクノリッジ信号を出力しません。このとき、マスタ・ユニットは待機（モニタ）状態になり、通信が終了します。

また、同報通信の場合にはスレーブ・アドレスは、次のようにグループ同報／一斉同報の識別に使用されます。

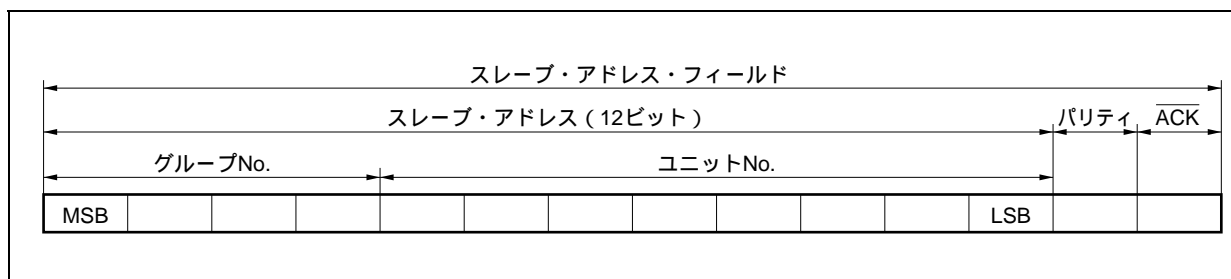
スレーブ・アドレスがFFFHのとき : 一斉同報通信

スレーブ・アドレスがFFFH以外のとき : グループ同報通信

備考 グループ同報通信時のグループNo.は、スレーブ・アドレスの上位4ビットの値になります。

自局がマスタとしてバスを占有しているときは、IEBusスレーブ・アドレス・レジスタ（SAR）で設定したアドレスが出力されます。

図18 - 3 スレーブ・アドレス・フィールド



(5) コントロール・フィールド

マスタがスレーブに要求する動作内容を出力します。

コントロール・フィールドは、図18 - 4に示す構成になっています。

コントロール・ビットに続くパリティが偶数で、かつマスタ・ユニットの要求機能をスレーブが実行できる場合は、スレーブ・ユニットはアクノリッジ信号を出力して、次の電文長フィールドへ移行します。ただし、パリティが偶数でもスレーブ・ユニットがマスタ・ユニットの要求を実行できない場合や、パリティが奇数の場合は、スレーブ・ユニットはアクノリッジ信号を出力しないで、待機（モニタ）状態に戻ります。

マスタ・ユニットはアクノリッジ信号を確認したあと、次の電文長フィールドへ移行します。

アクノリッジ信号を確認できない場合は、マスタ・ユニットは待機状態になり、通信が終了します。ただし、同報通信の場合は、マスタ・ユニットはアクノリッジ信号を確認しないで次の電文長フィールドへ移行します。

コントロール・ビットの内容を表18 - 2に示します。

表18 - 2 コントロール・ビットの内容

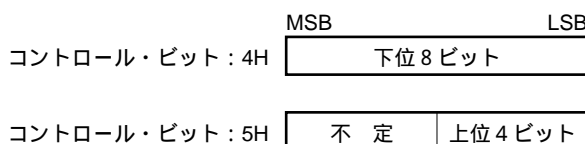
ビット3 ^{注1}	ビット2	ビット1	ビット0	機 能
0	0	0	0	スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	データ読み込みとロック ^{注2}
0	1	0	0	ロック・アドレスの読み込み（下位8ビット） ^{注3}
0	1	0	1	ロック・アドレスの読み込み（上位4ビット） ^{注3}
0	1	1	0	スレーブ・ステータスの読み込みとロック解除 ^{注2}
0	1	1	1	データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	コマンド書き込みとロック ^{注2}
1	0	1	1	データ書き込みとロック ^{注2}
1	1	0	0	未定義
1	1	0	1	未定義
1	1	1	0	コマンド書き込み
1	1	1	1	データ書き込み

注1. ビット3（MSB）の値により、以後の電文長フィールドの電文長ビットおよびデータ・フィールドのデータ転送方向が変わります。

ビット3 = 1の場合：マスタ・ユニットからスレーブ・ユニットへ転送

ビット3 = 0の場合：スレーブ・ユニットからマスタ・ユニットへ転送

2. ロックの設定 / 解除を指定するコントロール・ビットです（18. 1. 7（4）**ロックの設定 / 解除**参照）。
3. ロック・アドレスは、1バイト単位（8ビット）で伝送されるため、次に示す構成になっています。



マスタ・ユニットによりロックを設定されたユニットは、ロックを要求したマスタ・ユニット以外から受信したコントロール・ビットが表18 - 3に示した以外の場合は、受け付けを拒否してアクノリッジ・ビットを出力しません。

表18 - 3 ロックされたスレーブ・ユニットに対するコントロール・フィールド

ビット3	ビット2	ビット1	ビット0	機 能
0	0	0	0	スレーブ・ステータスの読み込み
0	1	0	0	ロック・アドレスの読み込み (下位8ビット)
0	1	0	1	ロック・アドレスの読み込み (上位4ビット)

また、マスタ・ユニットによりロックを設定されていないユニットは、表18 - 4に示したコントロール・データを受信した場合は、受け付けを拒否してアクノリッジ・ビットを出力しません。

表18 - 4 ロックされていないスレーブ・ユニットに対するコントロール・フィールド

ビット3	ビット2	ビット1	ビット0	機 能
0	1	0	0	ロック・アドレスの読み込み (下位8ビット)
0	1	0	1	ロック・アドレスの読み込み (上位4ビット)

自局がマスタとしてバスを占有しているときは、IEBusコントロール・データ・レジスタ (CDR) に設定した値が出力されます。

図18 - 4 コントロール・フィールド

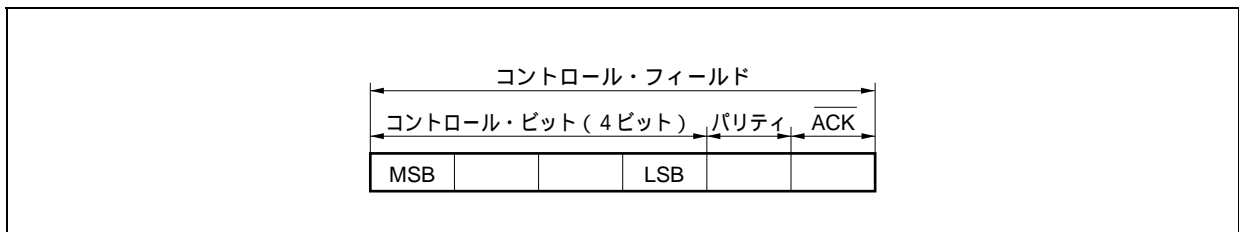


表18 - 5 コントロール・フィールドのアクノリッジ信号出力条件 ★

(a) 受信したコントロール・データがAH, BH, EH, FHの場合

通信の種類 (ALL TRNS) 個別通信 = 0 同報通信 = 1	通信対象 (SLVRQ) スレーブ指定 = 1 指定なし = 0	ロック状態 (LOCK) ロック = 1 非ロック = 0	マスタ・ユニット判定 (PARと一致) ロック要求ユニット = 1 それ以外 = 0	スレーブ送信許可 (ENSLVTX)	スレーブ受信許可 (ENSLVRX)	受信したコントロール・データ			
						AH	BH	EH	FH
0	1	0	don't care	don't care	1				
		1	1						
上記以外						x			

(b) 受信したコントロール・データが0H, 3H, 4H, 5H, 6H, 7Hの場合

通信の種類 (ALL TRNS) 個別通信 = 0 同報通信 = 1	通信対象 (SLVRQ) スレーブ指定 = 1 指定なし = 0	ロック状態 (LOCK) ロック = 1 非ロック = 0	マスタ・ユニット判定 (PARと一致) ロック要求ユニット = 1 それ以外 = 0	スレーブ送信許可 (ENSLVTX)	スレーブ受信許可 (ENSLVRX)	受信したコントロール・データ					
						0H	3H	4H	5H	6H	7H
0	1	0	don't care	0	don't care		x	x	x		x
				1			x	x			
		1	don't care			x		x	x		
			1			x			x		
上記以外						x					

注意 受信したコントロール・データが表18 - 5以外の場合は無条件でx (ACK返信しない) になります。

備考1. : ACK返信する x : ACK返信しない

2. ENSLVTX : IEBusユニット・コントロール・レジスタ (BCR) のビット4

ENSLVRX : " のビット3

SLVRQ : IEBusユニット・ステータス・レジスタ (USR) のビット6

LOCK : " のビット2

PAR : IEBus相手先アドレス・レジスタ

(6) 電文長フィールド

送信側が受信側に対して送信データのバイト数を伝えるために出力します。

電文長フィールドは、図18 - 5に示す構成になっています。

電文長ビットと送信データ数の関係を表18 - 6に示します。

図18 - 5 電文長フィールド

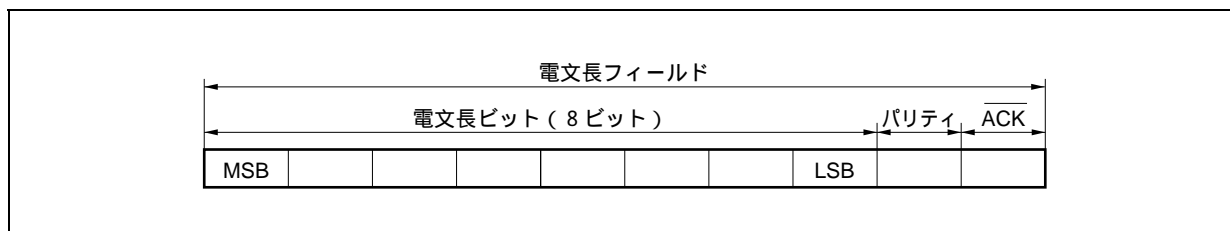


表18 - 6 電文長ビットの内容

電文長ビット (16進)	送信データ・バイト数
01H	1バイト
02H	2バイト
⋮	⋮
FFH	255バイト
00H	256バイト

電文長フィールドの動作は、マスタ送信時 (コントロール・ビットのビット3 = 1) とマスタ受信時 (コントロール・ビットのビット3 = 0) では異なります。

(a) マスタ送信時

電文長ビットおよびパリティ・ビットは、マスタ・ユニットが出力します。スレーブ・ユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力して、次のデータ・フィールドへ移行します。ただし、同報通信では、スレーブ・ユニットはアクノリッジ信号を出力しません。

スレーブ・ユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断して、アクノリッジ信号を出力しないで、待機 (モニタ) 状態に戻ります。このとき、マスタ・ユニットも待機状態に戻り、通信が終了します。

(b) マスタ受信時

電文長ビットおよびパリティ・ビットはスレーブ・ユニットが出力し、各ビットの同期信号はマスタ・ユニットが出力します。マスタ・ユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力します。

マスタ・ユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断して、アクノリッジ信号を出力しないで、待機 (モニタ) 状態に戻ります。このとき、スレーブ・ユニットも待機状態に戻り、通信が終了します。

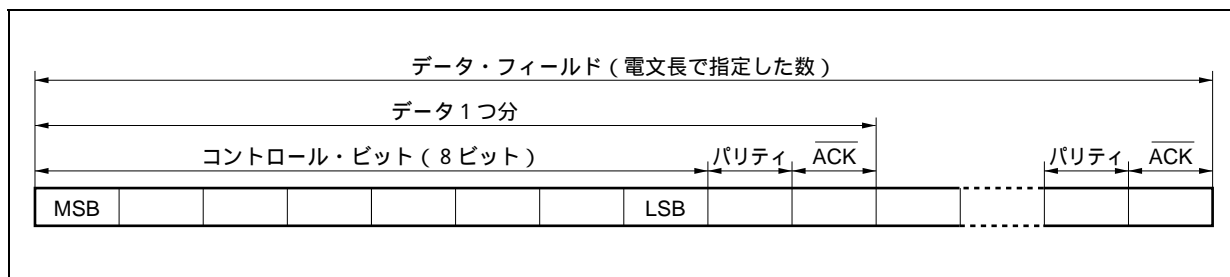
(7) データ・フィールド

送信側が出力するデータです。

マスタ・ユニットは、データ・フィールドを使用してスレーブ・ユニットにデータを送信したり、スレーブ・ユニットからデータを受信したりします。

データ・フィールドは、次に示す構成になっています。

図18-6 データ・フィールド



データ・ビットに続き、パリティ・ビットとアクノリッジ・ビットが、それぞれマスタ・ユニットおよびスレーブ・ユニットより出力されます。

同報通信は、マスタ・ユニットの送信動作のみに使用してください。また、このときアクノリッジ信号は無視されます。

マスタ送信時とマスタ受信時の動作を次に示します。

(a) マスタ送信時

マスタ・ユニットからスレーブ・ユニットへ書き込みする場合、マスタ・ユニットは、スレーブ・ユニットに対してデータ・ビット、パリティ・ビットを送信します。スレーブ・ユニットは、データ・ビット、パリティ・ビットを受信して、パリティが偶数で、IEBusデータ・レジスタ (DR) に受信データを格納していなければ、アクノリッジ信号を出力します。パリティが奇数、またはDRレジスタに受信データを格納している場合、スレーブ・ユニットは対応するデータの受け付けを拒否して、アクノリッジ信号を出力しません。

スレーブ・ユニットからアクノリッジ信号が出力されなかった場合、マスタ・ユニットは再び同じデータを送信します。この動作はスレーブ・ユニットからのアクノリッジ信号を検出するか、データが最大伝送バイト数を越えるまで続けられます。

パリティが偶数で、スレーブ・ユニットからアクノリッジ信号が出力された場合、データに続きがあり、かつ最大伝送バイト数を越えていなければ、マスタ・ユニットは次のデータを送信します。

また、同報通信の場合では、スレーブ・ユニットからアクノリッジ信号は出力しないで、マスタ・ユニットはデータを1バイトごとに転送します。同報通信時にスレーブ・ユニットがデータ・ビット、パリティ・ビットを受信して、パリティが奇数、またはDRレジスタが受信データを格納中の場合は、正常に受信ができなかったと判断され、受信を中止します。

(b) マスタ受信時

マスタ・ユニットがスレーブ・ユニットから読み込みする場合、マスタ・ユニットは、すべての読み込みビットに対応する同期信号を出力します。

スレーブ・ユニットは、データ、パリティ・ビットの内容をマスタ・ユニットからの同期信号に応じてバス上に出力します。

マスタ・ユニットは、スレーブ・ユニットの出力したデータ、パリティ・ビットを読み込み、パリティを確認します。

パリティが奇数、またはDRレジスタが受信データを格納中の場合、マスタ・ユニットはそのデータの受け付けを拒否して、アクノリッジ信号を出力しません。1通信フレームで送信できる最大伝送バイト数以内であれば、マスタ・ユニットは同じデータの読み込み動作を繰り返します。

また、パリティが偶数、かつDRレジスタが受信データを格納していない場合、マスタ・ユニットはデータを受け付け、アクノリッジ信号を返します。1フレームで送信できる最大伝送バイト数以内であればマスタ・ユニットは次のデータを読み込みます。

注意 同報通信ではマスタ受信を行わないでください。スレーブ・ユニットが特定できず、正常なデータ転送ができません。

(8) パリティ・ビット

パリティ・ビットは、伝送データに誤りがないことを確認するために使用します。

パリティ・ビットは、マスタ・アドレス・ビット、スレーブ・アドレス・ビット、コントロール・ビット、電文長ビット、データ・ビットの各データに対して付加されます。

パリティ・ビットは、偶数パリティです。データ中の '1' になっているビット数が奇数の場合は、パリティ・ビットは '1' になります。データ中の '1' になっているビット数が偶数の場合は、パリティ・ビットは '0' になります。

(9) アクノリッジ・ビット

通常の通信 (1ユニット 対 1ユニット間の通信) では、データを正しく受け付けたかを確認するために、次に示す箇所にアクノリッジ・ビットが付加されます。

- ・スレーブ・アドレス・フィールドの最後
- ・コントロール・フィールドの最後
- ・電文長フィールドの最後
- ・データ・フィールドの最後

アクノリッジ・ビットの定義を次に示します。

0 : 伝送データを認識したことを示します。(ACK)

1 : 伝送データを認識しなかったことを示します。(NACK)

ただし、同報通信の場合は、アクノリッジ・ビットの内容は無視されます。

(a) スレーブ・アドレス・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、スレーブ・アドレス・フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・ マスタ・アドレス・ビットまたはスレーブ・アドレス・ビットのパリティが正しくない場合
- ・ タイミング・エラー（ビット・フォーマットにエラー）が発生した場合
- ・ スレーブ・ユニットが存在しなかった場合

(b) コントロール・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、コントロール・フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・ コントロール・ビットのパリティが正しくない場合
- ・ スレーブ受信許可フラグ（ENSLVRX）がセット（1）されていないときに、コントロール・ビットのビット3=1（書き込み動作）の場合（18.3.2(1)IEBusコントロール・レジスタ（BCR）参照）
- ・ スレーブ送信許可フラグ（ENSLVTX）がセット（1）されていないときに、コントロール・ビットがデータの読み込み（3H, 7H）の場合（18.3.2(1)IEBusコントロール・レジスタ（BCR）参照）
- ・ ロックを設定しているのに、ロックを設定したユニット以外からコントロール・ビットの3H, 6H, 7H, AH, BH, EH, FHを要求した場合
- ・ ロックを設定していないのに、コントロール・ビットがロック・アドレスの読み込み（4H, 5H）の場合
- ・ タイミング・エラーが発生した場合
- ・ 未定義のコントロール・ビットの場合

- 注意1.** スレーブ送信許可フラグ（ENSLVTX）がセット（1）されていない場合でも、スレーブ・ステータス要求のコントロール・データを受信したときは必ずACKを返信します。
- 2.** スレーブ受信許可フラグ（ENSLVRX）がセット（1）されていない場合でも、データ/コマンド書き込みのコントロール・データを受信すると、コントロール・フィールドのアクノリッジ・ビットでNACKを返信します。
- 個別通信の場合だけENSLVRXフラグによりスレーブ受信を禁止（通信を中止）することができます。同報通信の場合は、通信が接続され、データ要求割り込み（INTIE1）やIEBus終了割り込み（INTIE2）が発生します。

(c) 電文長フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、電文長フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・電文長ビットのパリティが正しくない場合
- ・タイミング・エラーが発生した場合

(d) データ・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、データ・フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・データ・ビットのパリティが正しくない場合^注
- ・タイミング・エラーが前回のアクノリッジ・ビット伝送以降で発生した場合
- ・IEBusデータ・レジスタ (DR) に受信データが格納されており、それ以上のデータを受け付けることができない場合^注

注 この場合、実行されている通信が個別通信のとき、送信側は1フレームで伝送できる最大伝送バイト数以内であれば、そのデータ・フィールドの送信を再実行します。同報通信の場合は、送信側からのデータ再送はなく、受信側は通信エラーとなり受信を中止します。

18. 1. 7 伝送データ

(1) スレーブ・ステータス

マスタ・ユニットは、スレーブ・ステータスを読み込むことにより、スレーブ・ユニットが、アクノリッジ・ビット (ACK) を返送しなかった理由を知ることができます。

スレーブ・ステータスは、スレーブ・ユニットが最後に行った通信結果に対して決定されます。

すべてのスレーブ・ユニットは、スレーブ・ステータスの情報を提供できます。

スレーブ・ステータスについて次に示します。

図18 - 7 スレーブ・ステータスのビット構成

MSB								LSB	
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
ビット0 ^{注1}		意 味							
0		IEBusデータ・レジスタ (DR) に送信データが書き込まれていない							
1		IEBusデータ・レジスタ (DR) に送信データが書き込まれている							
ビット1 ^{注2}		意 味							
0		IEBusデータ・レジスタ (DR) に受信データが格納されていない							
1		IEBusデータ・レジスタ (DR) に受信データが格納されている							
ビット2		意 味							
0		ユニットがロック状態でない							
1		ユニットがロック状態である							
ビット3		意 味							
0		0固定							
ビット4 ^{注3}		意 味							
0		スレーブ送信停止							
1		スレーブ送信動作可能							
ビット5		意 味							
0		0固定							
ビット7	ビット6	意 味							
0	0	モード0	ユニットがサポートしている最高位のモードを示します ^{注4} 。						
0	1	モード1							
1	0	モード2							
1	1	未使用							

注1. リセット時：ビット0は“1”になります。

注2. 受信バッファが1バイト分になります。

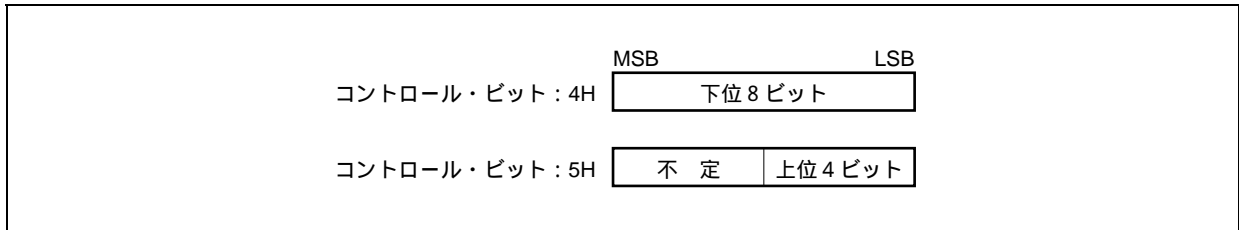
注3. スレーブ・ユニットの場合，IEBusコントロール・レジスタ (BCR) のビット4 (ENSLVTX) で示される状態に該当します。

注4. スレーブ・ユニットの場合，ビット7, 6はそれぞれモード1に固定されています (ビット7, 6=0, 1)。

(2) ロック・アドレス

ロック・アドレスの読み込み処理時（コントロール・ビット：4H, 5H）には、ロック命令を発行したマスタ・ユニットのアドレス（12ビット）が、次に示すように1バイト単位に構成されて、読み出されます。

図18 - 8 ロック・アドレスの構成

**(3) データ**

コントロール・ビットがデータ読み込み（3H, 7H）の場合、スレーブ・ユニットのデータ・バッファにあるデータがマスタ・ユニットに読み込まれます。

コントロール・ビットがデータ書き込み（BH, FH）の場合、スレーブ・ユニットが受信したデータは、そのスレーブ・ユニットの動作規定に従って処理されます。

(4) ロックの設定 / 解除

ロック機能は、メッセージを複数の通信フレームにわたって転送する場合に使用します。

ロックを設定したユニットは、ロックをかけたユニット以外からの受信は行いません（同報通信の受信も行いません）。

ロックの設定 / 解除について次に示します。

(a) ロックの設定

ロックを指定したコントロール・ビット（3H, AH, BH）で、電文長フィールドの送受信終了後（ $\overline{\text{ACK}} = 0$ ）、電文長ビットで指定したデータ・バイト数分のデータを送信 / 受信を成功せずに通信フレームを終了した場合、スレーブ・ユニットは、マスタ・ユニットよりロックが設定されます。また、このときスレーブ・ステータスを表すバイト中のロックに関するビット（ビット2）がセット（1）されます。

(b) ロックの解除

ロックを指定したコントロール・ビット（3H, AH, BH）、またはロックの解除を指定したコントロール・ビット（6H）で、1通信フレーム内に電文長ビットで指定したデータ・バイト数分のデータを送信 / 受信終了後、スレーブ・ユニットは、マスタ・ユニットよりロックが解除されます。また、このときスレーブ・ステータスを表すバイト中のロックに関するビット（ビット2）がリセット（0）されます。

なお、同報通信にはロックの設定 / 解除は行われません。

次にロックの設定 / 解除の条件を示します。

(c) ロック設定条件

コントロール・データ	同報通信		個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H ^注	/		ロックにならない	ロック設定
AH, BH	ロックにならない	ロックにならない	ロックにならない	ロック設定
0H, 4H, 5H, EH, FH	ロックにならない	ロックにならない	ロックにならない	ロックにならない

注 コントロール・データ6H (スレーブ・ステータスの読み込みとロック解除) でのフレーム終了は、データ・フィールドにおいてパリティが奇数で自局からのアクノリッジ信号が出力されずに最大伝送バイト数まで繰り返された場合に発生します。

(d) ロック解除条件 (ロック中)

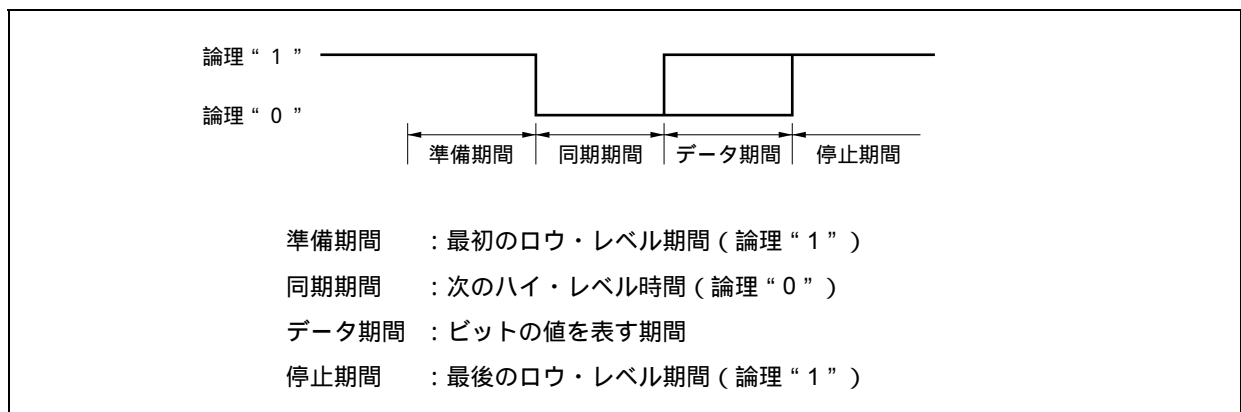
コントロール・データ	ロック要求ユニットからの同報通信		ロック要求ユニットからの個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H ^注	/		ロック解除	ロック保持
AH, BH	ロック解除	ロック解除	ロック解除	ロック保持
0H, 4H, 5H, EH, FH	ロック保持	ロック保持	ロック保持	ロック保持

注 コントロール・データ6H (スレーブ・ステータスの読み込みとロック解除) でのフレーム終了は、データ・フィールドにおいてパリティが奇数で自局からのアクノリッジ信号が出力されずに最大伝送バイト数まで繰り返された場合に発生します。

18.1.8 ビット・フォーマット

IEBusの通信フレームを構成するビット・フォーマットを次に示します。

図18-9 IEBusのビット・フォーマット



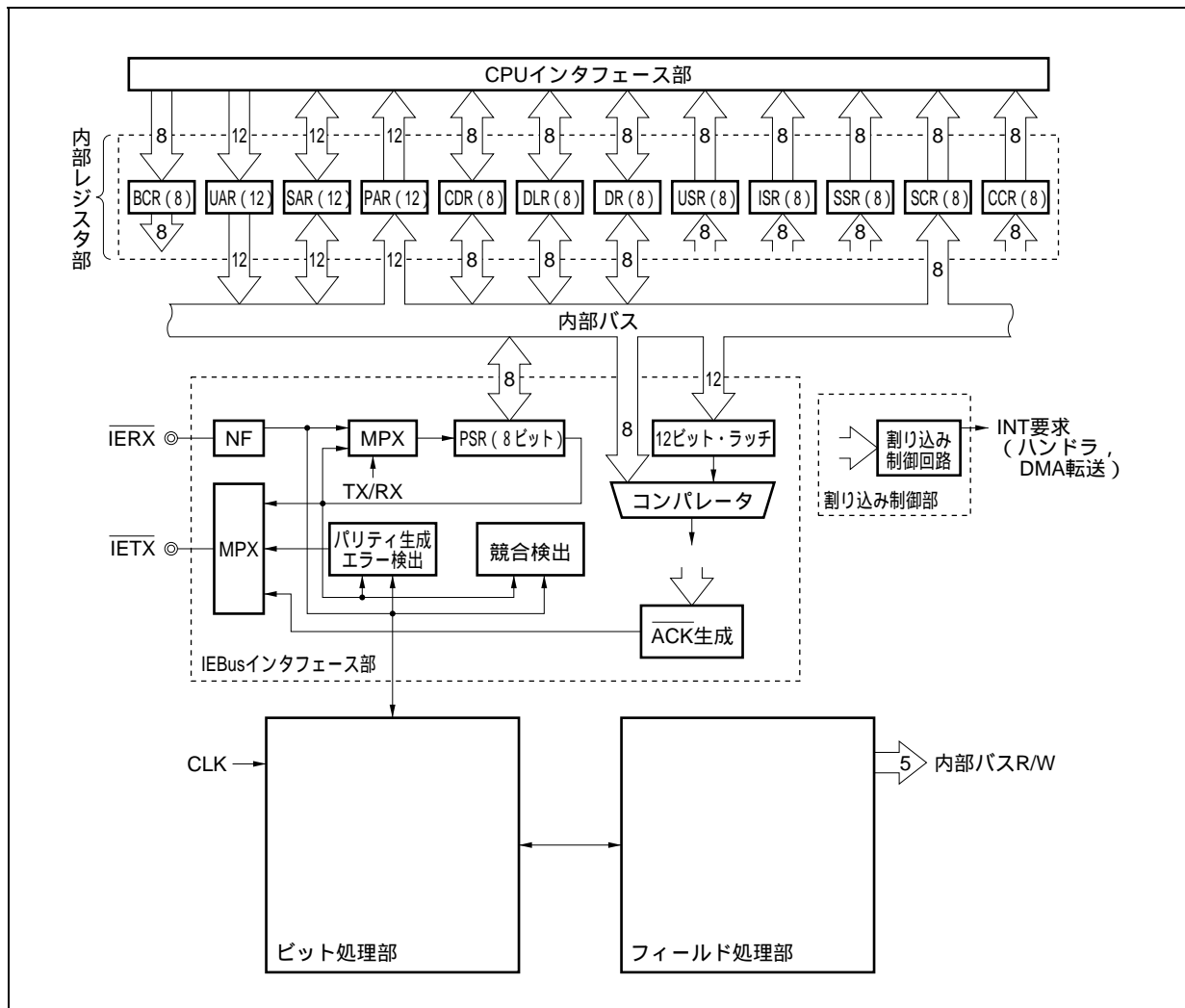
同期期間とデータ期間の長さは、ほぼ等しくなっています。

IEBusは1ビットごとに同期がとられています。また、ビット全体の時間と、そのビット中に割り当てられている期間の時間に関する仕様は、伝送ビットの種類、マスタ・ユニットかスレーブ・ユニットかの違いにより異なります。また、マスタ・ユニット、スレーブ・ユニットは通信中、各期間 (準備期間、同期期間、データ期間、停止期間) が所定の時間どおり出力されているかを検出しています。所定の時間どおりに出力されていない場合は、マスタ・ユニット、スレーブ・ユニットはタイミング・エラーとしてただちに通信を終了し待機状態に戻ります。

18.2 IEBusコントローラの構成

IEBusコントローラのブロック図を次に示します。

図18 - 10 IEBusコントローラのブロック図



(1) ハードウェアの構成と機能

IEBusの内部構成は、次に示す6つのブロックから構成されています。

- ・ CPUインタフェース部
- ・ 割り込み制御部
- ・ 内部レジスタ部
- ・ ビット処理部
- ・ フィールド処理部
- ・ IEBusインタフェース部

(a) CPUインタフェース部

CPU (V850/SC2) とIEBus本体とをインタフェースするための制御部です。

(b) 割り込み制御部

IEBus本体からの割り込み要求信号をCPUに渡すための制御部です。

(c) 内部レジスタ部

IEBusの制御を行うコントロール・レジスタ, 各フィールドのデータを設定します (18.3 IEBusコントローラの内部レジスタ参照)。

(d) ビット処理部

ビット・タイミングの生成, 分解を行い, 主にビット・シーケンスROM, 8ビット・プリセット・タイマ, 判定器から構成されています。

(e) フィールド処理部

通信フレーム内のフィールドを生成して, 主にフィールド・シーケンスROM, 4ビット・ダウン・カウンタ, 判定器から構成されています。

(f) IEBusインタフェース部

外付けドライバ/レシーバのインタフェース部で, 主にノイズ・フィルタ, シフト・レジスタ, 競合検出, パリティ検出, パリティ生成回路, $\overline{\text{ACK/NACK}}$ 生成回路から構成されています。

18.3 IEBusコントローラの内部レジスタ

18.3.1 内部レジスタ一覧

表18 - 7 IEBusコントローラの内部レジスタ一覧

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
FFFFFF3E0H	IEBusコントロール・レジスタ	BCR	R/W				00H
FFFFFF3E2H	IEBus自局アドレス・レジスタ	UAR					0000H
FFFFFF3E4H	IEBusスレーブ・アドレス・レジスタ	SAR					
FFFFFF3E6H	IEBus相手先アドレス・レジスタ	PAR	R				
FFFFFF3E8H	IEBusコントロール・データ・レジスタ	CDR	R/W				01H
FFFFFF3EAH	IEBus電文長レジスタ	DLR					
FFFFFF3ECH	IEBusデータ・レジスタ	DR					00H
FFFFFF3EEH	IEBusユニット・ステータス・レジスタ	USR	R				
FFFFFF3F0H	IEBusインタラプト・ステータス・レジスタ	ISR	R/W				
FFFFFF3F2H	IEBusスレーブ・ステータス・レジスタ	SSR	R				41H
FFFFFF3F4H	IEBus通信成功カウンタ	SCR					01H
FFFFFF3F6H	IEBus伝送カウンタ	CCR					20H
FFFFFF3F8H	IEBusクロック選択レジスタ	IECLK	R/W				00H

18.3.2 内部レジスタ

次にIEBusコントローラに内蔵されている各レジスタを説明します。

(1) IEBusコントロール・レジスタ (BCR)

リセット時：00H R/W アドレス：FFFFFF3E0H

	⑦	⑥	⑤	④	③	2	1	0
BCR	ENIEBUS	MSTRQ	ALLRQ	ENSLVTX	ENSLVRX	0	0	0

ENIEBUS	通信許可フラグ
0	IEBusユニットを停止
1	IEBusユニットをアクティブにする

MSTRQ	マスタ・リクエスト・フラグ
0	IEBusユニットをマスタとして要求しない
1	IEBusユニットをマスタとして要求する

ALLRQ	同報リクエスト・フラグ
0	個別通信を要求する
1	同報通信を要求する

ENSLVTX	スレーブ送信許可フラグ
0	スレーブ送信を禁止
1	スレーブ送信を許可

ENSLVRX	スレーブ受信許可フラグ
0	スレーブ受信を禁止
1	スレーブ受信を許可

注意1. マスタとして動作中、その通信が通信終了/フレーム終了するか、または競合負け、通信エラー発生により通信中止になるまでは、BCRレジスタへの書き込み動作（ビット操作命令も含む）を禁止します。したがって、マスタ要求の多重化はできません。ただし、マスタ要求が保留された状態でスレーブ指定された場合、通信終了時に通信終了フラグ/フレーム終了フラグをクリアするためにBCRレジスタへ書き込みを行う動作は問題ありません。また、通信を強制終了する（ENIEBUSフラグ = 0）場合も問題ありません。

2. BCRレジスタに対するビット操作命令と、MSTRQフラグのハードウェア・リセットが競合すると正常に動作しない場合があります。この場合、次に示す対策により回避できます。

- ・ハードウェア・リセットはスレーブ・アドレス・フィールドのアクノリッジ期間に行われるので、(b) マスタ・リクエスト・フラグ (MSTRQ) の注意1を守ってください。
- ・BCRレジスタの書き込みに対しては、上記の注意1を守ってください。

(a) 通信許可フラグ (ENIEBUS) ... ビット7

セット/リセット条件

セット : ソフトウェア操作で行います。

リセット : ソフトウェア操作で行います。

注意 ENIEBUSフラグをセットする場合は、あらかじめ次の設定を両方行ってください。

- ・割り込み許可 (EI) 状態かつINTIE2の割り込み処理を許可 (IEBMK = 2) に設定
- ・IEBus自局アドレス・レジスタ (UAR) の設定

(b) マスタ・リクエスト・フラグ (MSTRQ) ... ビット6

セット/リセット条件

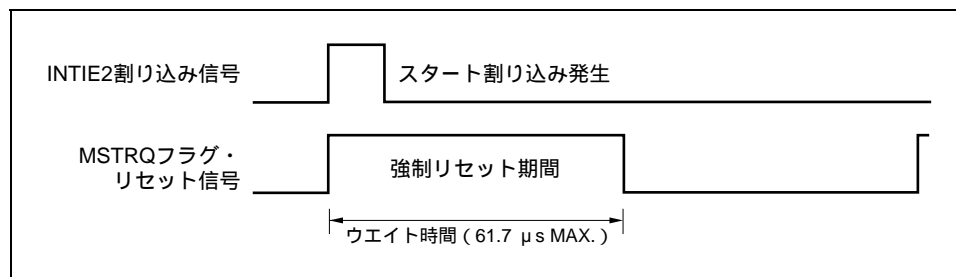
セット : ソフトウェア操作で行います。

リセット : アービトレーション期間の終わりにハードウェアにて行われます。

スレーブ・アドレス・フィールドのACK期間にリセット信号が発生するため、この期間にMSTRQフラグのセット命令を行っても無効になります。

注意1. 競合に負けた場合の再マスタ要求は、ソフトウェア処理にて行ってください。

競合に負けた場合で、再マスタ要求を行うときはウェイト時間を確保してからMSTRQフラグのセット (1) を行ってください。このウェイト期間内にMSTRQフラグのセット命令を実行してもセット (1) されません。



2. マスタ要求して、バス占有権を得た場合は、その通信が終了する (ISRレジスタの通信終了フラグまたはフレーム終了フラグがセット (1)) まで、MSTRQフラグ、ENSLVTXフラグ、ENSLVRXフラグのいずれかをセット (1) しないでください。セットした場合、割り込み要求が発生しなくなります。ただし、通信を中止する場合は問題ありません。

(c) 同報リクエスト・フラグ (ALLRQ) ... ビット5

セット/リセット条件

セット : ソフトウェア操作で行います。

リセット : ソフトウェア操作で行います。

注意 同報通信を要求する場合は必ずALLRQフラグをセットし、MSTRQフラグをセットしてください。

(d) スレーブ送信許可フラグ (ENSLVTX) ... ビット4

セット/リセット条件

セット : ソフトウェア操作で行います。

リセット : ソフトウェア操作で行います。

注意1. マスタ要求時には、MSTRQフラグをセットする前にENSLVTXフラグをクリアしてください。

スレーブ時にENSLVTXフラグをセットしていない状態でマスタからスレーブ送信要求があった場合は、コントロール・フィールドでNACKを返信します。また、禁止状態から許可状態に戻したときは、次の新しいフレームから有効になります。

2. ENSLVTXフラグがセットされていないときに、データ/コマンド書き込みのコントロール・データ (3H, 7H) を受信すると、コントロール・フィールドのアクノリッジ・ビットでNACKを返信します。
3. ENSLVTXフラグをリセット状態にしたときでも、スレーブ・ステータス要求のコントロール・データを返信したときは、ステータス割り込み (INTIE2) が発生し、通信は継続します。

(e) スレーブ受信許可フラグ (ENSLVRX) ... ビット3

セット/リセット条件

セット : ソフトウェア操作で行います。

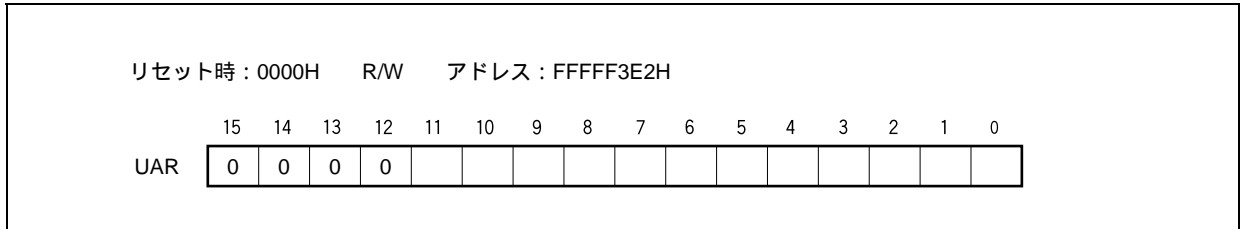
リセット : ソフトウェア操作で行います。

注意 ほかのCPU処理で忙しいときは、ENSLVRXフラグをリセットすると、コントロール・フィールドのアクノリッジ・ビットでNACKを返信し、スレーブ受信を禁止できます。したがって、ENSLVRXフラグをリセットすると個別通信を禁止できますが、同報通信は禁止できません。ただし、個別通信時、受信したスレーブ・アドレスが自局アドレスと一致した場合、スタート割り込み (INTIE2) を発生します。CPU処理を優先させた場合 (受信も送信も行わない場合) は、ENIEBUSフラグをリセットし、IEBusユニットを停止してください。また、禁止状態から許可状態に戻したときは、次の新しいフレームから有効になります。

(2) IEBus自局アドレス・レジスタ (UAR)

IEBusユニットの自局アドレスを設定するレジスタです。通信を開始する前に、必ずUARを設定してください。

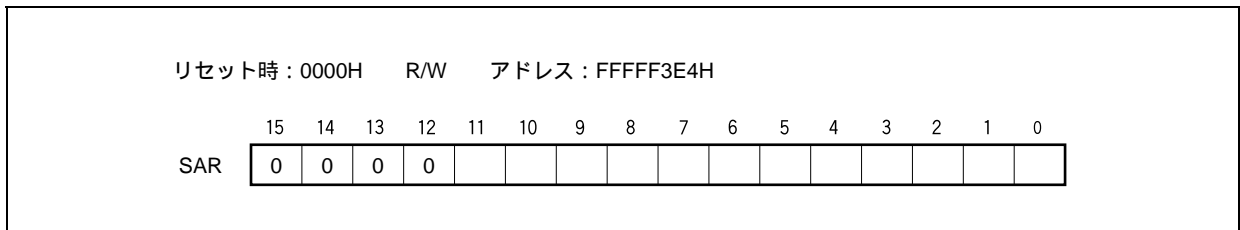
ビット11-0に、ユニット・アドレス (12ビット) を設定します。



(3) IEBusスレーブ・アドレス・レジスタ (SAR)

マスタ要求時にスレーブ・アドレス・フィールドの送信データの値に反映されます。マスタ要求時は、通信を開始する前に、必ずSARを設定してください。

ビット11-0に、スレーブ・アドレス (12ビット) を設定します。



(4) IEBus相手先アドレス・レジスタ (PAR)

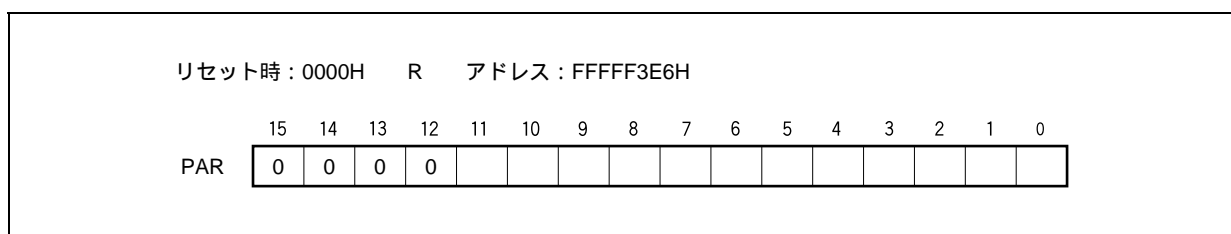
(a) スレーブ・ユニット時

マスタ・アドレス・フィールドの受信データの値 (マスタ・ユニットのアドレス) が書き込まれます。

マスタからロック・アドレス (下位8ビット) の読み込み要求 (4H) を受けた場合, CPUがPARの値を読み出したあとに, 下位8ビットのデータをIEBusデータ・レジスタ (DR) に書き込んでください。

マスタからロック・アドレス (上位4ビット) の読み込み要求 (5H) を受けた場合, CPUがPARの値を読み出したあとに, 上位4ビットのデータをIEBusデータ・レジスタ (DR) に書き込んでください。

ビット11-0に, 相手先アドレス (12ビット) を設定します。



(5) IEBusコントロール・データ・レジスタ (CDR)

(a) マスタ・ユニット時

下位4ビットのデータは, コントロール・フィールドで送信されるデータに反映されます。マスタ要求時は, 通信を開始する前にCDRをあらかじめ設定してください。

(b) スレーブ・ユニット時

下位4ビットは, コントロール・フィールドで受信したデータが書き込まれます。

IEBusインタラプト・ステータス・レジスタ (ISR) のステータス送信フラグ (STATUS) がセットされると, 割り込み (INTIE2) が発生して, ソフトウェア操作でCDRの下位4ビットの値により各処理を行ってください。

リセット時：01H R/W アドレス：FFFFFF3E8H

	7	6	5	4	3	2	1	0
CDR	0	0	0	0	MOD	SELCL2	SELCL1	SELCL0

MOD	SELCL2	SELCL1	SELCL0	機 能
0	0	0	0	スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	データ読み込みとロック
0	1	0	0	ロック・アドレスの読み込み（下位8ビット）
0	1	0	1	ロック・アドレスの読み込み（上位4ビット）
0	1	1	0	スレーブ・ステータスの読み込みとロック解除
0	1	1	1	データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	コマンド書き込みとロック
1	0	1	1	データ書き込みとロック
1	1	0	0	未定義
1	1	0	1	未定義
1	1	1	0	コマンド書き込み
1	1	1	1	データ書き込み

- 注意1. スレーブ・ユニットは、受信したデータがコマンドかデータか判断する必要があるため、通信終了後にCDRの値を読み出してください。
2. マスタ・ユニットが未定義の値を設定した場合、スレーブ・ユニットからNACKが返されて、通信は途中終了されますが、同報通信時には、マスタ・ユニットは $\overline{\text{ACK}}$ /NACKを認識せずに通信継続するため、未定義の値を設定しないでください。
3. 競合で負けて、勝ったユニットからスレーブ・ステータス要求を受けた場合、電文長レジスタ（DLR）が01Hに固定されるので、次にマスタを再要求する場合は、必ず所定の電文長をDLRに設定してください。

(c) スレーブ・ステータス返信動作

マスタからスレーブ・ステータスの要求 (コントロール・データ : 0H, 6H) , ロック・アドレスの要求 (4H, 5H) を受信した場合, 自局の状態によりコントロール・フィールドでの $\overline{\text{ACK}}$ 返信動作が異なります。

非ロック状態で “ 0H, 6H ” のコントロール・データを受信した場合	$\overline{\text{ACK}}$ 返信する
非ロック状態で “ 4H, 5H ” のコントロール・データを受信した場合	$\overline{\text{ACK}}$ 返信しない
ロック状態でロック要求した局から “ 0H, 4H, 5H, 6H ” の コントロール・データを受信した場合	$\overline{\text{ACK}}$ 返信する
ロック状態でロック要求した局以外から “ 0H, 4H, 5H ” の コントロール・データを受信した場合	$\overline{\text{ACK}}$ 返信する
ロック状態でロック要求した局以外から “ 6H ” の コントロール・データを受信した場合	$\overline{\text{ACK}}$ 返信しない

- のすべての場合, スレーブ・ステータス, ロック・アドレスの要求を受け付けたということで STATUSFフラグ (ISRレジスタのビット4) がセットし, ステータス割り込み要求 (INTIE2) が発生します。発生タイミングは, コントロール・フィールドのパリティ・ビットの終わり ($\overline{\text{ACK}}$ ビットの始まり) です。ただし, $\overline{\text{ACK}}$ 返信を行わない場合は, $\overline{\text{ACK}}$ ビット終了後, NACKエラーとなり通信は終了します。

図18 - 11 割り込み発生タイミング (, , の場合)

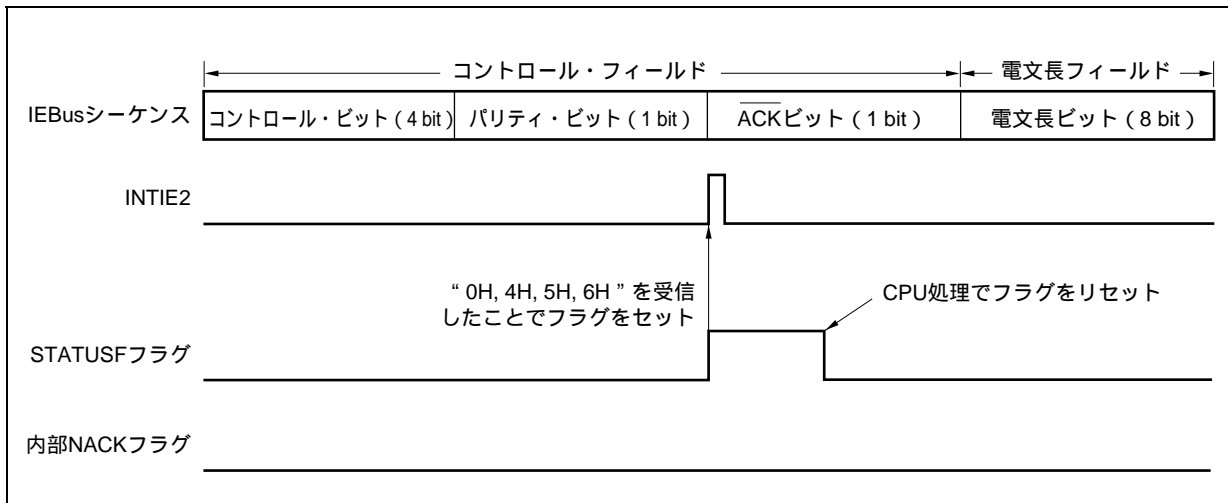
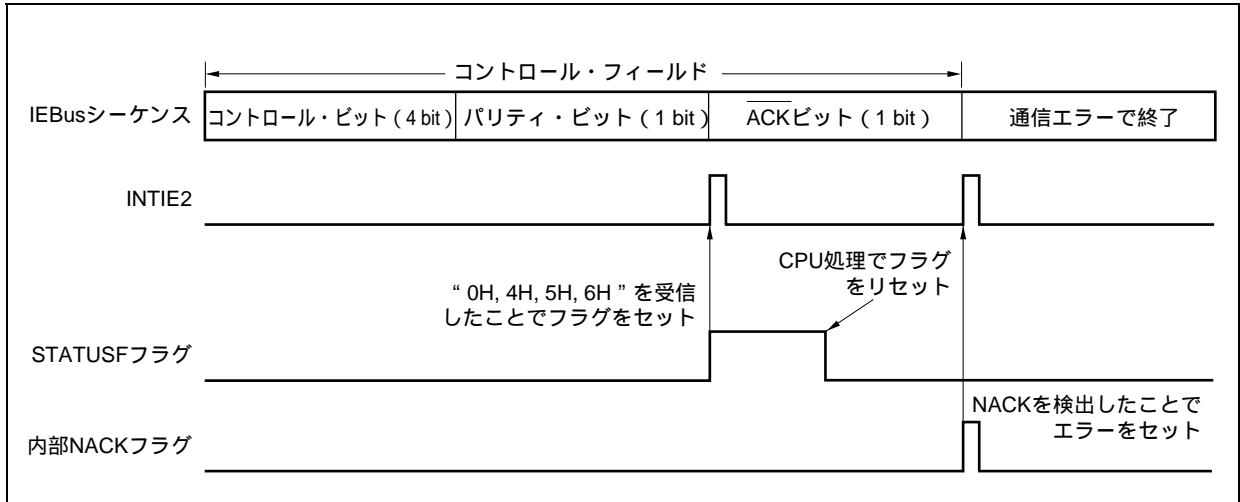


図18 - 12 割り込み発生タイミング (, の場合)



, の場合, 「ロック状態中におけるロック要求以外からの通信」であるため, 自局が通信対象の場合でもスタート割り込みや通信完了割り込み (INTIE2) は発生しません。ただし, スレーブ・ステータス, ロック・アドレスの要求を受け付けた場合はSTATUSFフラグ (ISRレジスタのビット4) がセットし, ステータス割り込み要求 (INTIE2) が発生します。このようにロック状態中に同じコントロール・データを受けた場合でも, マスタ側がロック要求局 () か, それ以外の局 () かににより, INTIE2の発生タイミングが異なります。

図18 - 13 ロック状態中のINTIE2割り込み発生タイミング (, の場合)

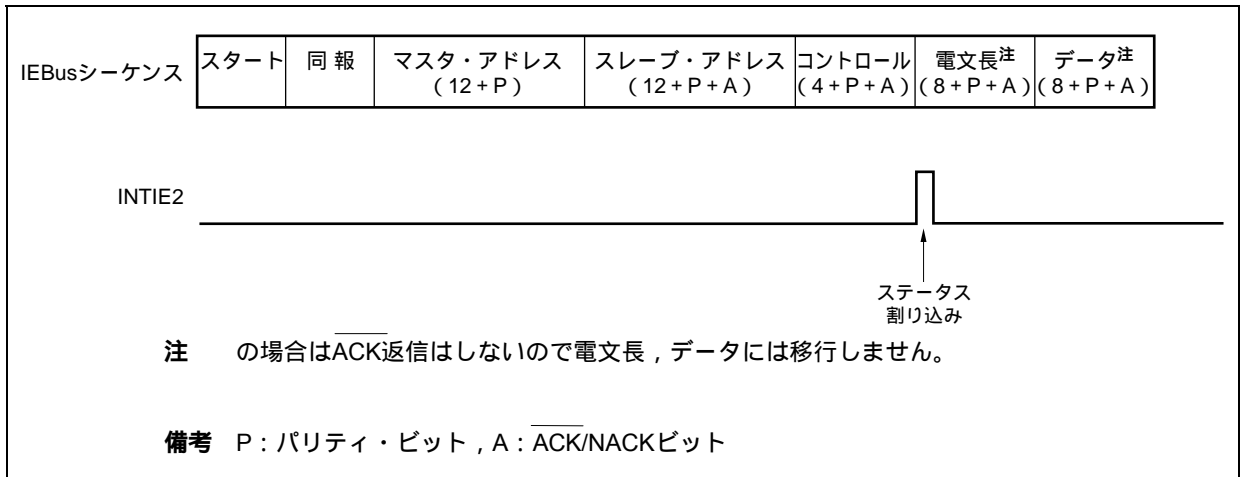
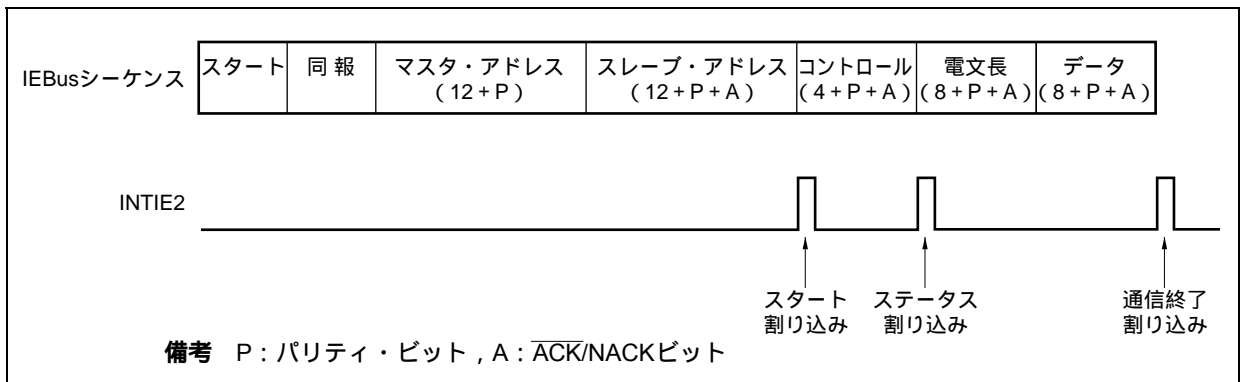


図18 - 14 ロック状態中のINTIE2割り込み発生タイミング (の場合)



(6) IEBus電文長レジスタ (DLR)

(a) 送信ユニット時 (マスタ送信, スレーブ送信)

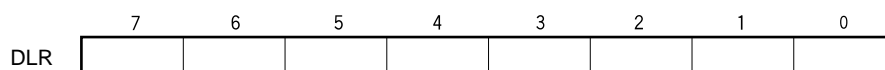
電文長フィールドで送信されるデータに反映され, 送信データのバイト数を表します。送信前にあらかじめDLRを設定してください。

(b) 受信ユニット時 (マスタ受信, スレーブ受信)

送信ユニットから送信される電文長フィールドの受信データが書き込まれます。

備考 IEBus電文長レジスタは書き込み側と読み出し側が別レジスタになっており, 書き込んだデータがそのまま読み出せる構成にはなっていません。読み出せるデータはIEBus通信で受信したデータとなります。

リセット時: 01H R/W アドレス: FFFFF3EAH



ビット								設定値	通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1バイト
0	0	0	0	0	0	1	0	02H	2バイト
:	:	:	:	:	:	:	:	:	:
0	0	1	0	0	0	0	0	20H	32バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255バイト
0	0	0	0	0	0	0	0	00H	256バイト

- 注意1.** マスタからスレーブ・ステータス, ロック・アドレス (上位4ビット, 下位8ビット) の送信要求 (0H, 4H, 5H, 6H) があつたとき, DLRの内容は, 01Hにハードウェア上で設定されるため, CPUは設定する必要がありません。
- 2.** 競合で負けて, 勝ったユニットからスレーブ・ステータス要求を受けた場合, 電文長レジスタ (DLR) が01Hに固定されるので, 次にマスタを再要求する場合は, 必ず所定の電文長をDLRに設定してください。

(7) IEBusデータ・レジスタ (DR)

IEBusデータ・レジスタ (DR) は、通信データを設定するレジスタです。ビット7-0に通信データ (8ビット) を設定します。

備考 IEBusデータ・レジスタは書き込み側と読み出し側が別レジスタになっており、書き込んだデータがそのまま読み出せる構成にはなっていません。読み出されるデータはIEBus通信で受信したデータとなります。

(a) 送信ユニット時

IEBusデータ・レジスタ (DR) に書き込まれたデータ (1バイト分) は、IEBus内部のシフト・レジスタに格納されます。引き続き最上位ビットから出力されて、正常に1バイトの送信が終了するごとにCPUに対して割り込み (INTIE1) が発行されます。ただし、個別送信時に1バイト・データ送信後NACK受信した場合は、DRからシフト・レジスタへの転送は行われず、同一データを再送します。このとき、INTIE1は発生しません。

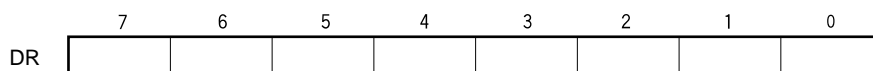
INTIE1は、IEBusデータ・レジスタ (DR) の値がIEBusインタフェース部のシフト・レジスタに格納されるタイミングで発行されます。ただし、最終バイトおよび32バイト目 (1通信フレームの最終バイト) をシフト・レジスタに格納したとき、INTIE1は発行されません。

(b) 受信ユニット時

IEBusインタフェース部のシフト・レジスタで受信したデータ1バイト分が格納されます。正常に1バイトの受信が終了するごとに割り込み (INTIE1) が発行されます。

送受信データをIEBusデータ・レジスタ (DR) に転送するとき、DMAを使用するとCPUの処理を軽減できます。

リセット時 : 00H R/W アドレス : FFFFF3ECH



- 注意1.** 送信ユニット時に次のデータの設定が間に合わない場合、アンダラン発生となり通信エラーの割り込み (INTIE2) が発生して送信を中止します。
- 2.** 受信ユニット時にデータの読み出しが次のデータ受信タイミングに間に合わない場合は、オーバラン状態になります。このとき、個別通信受信時はデータ・フィールドのアクノリッジ・ビットでNACKを返信し、マスタ・ユニットに再送を要求します。
同報通信受信時はオーバラン・エラー発生となり、通信エラー割り込み (INTIE2) が発生します。

(8) IEBusユニット・ステータス・レジスタ (USR)

リセット時：00H R アドレス：FFFFFF3EEH

	7	⑥	⑤	④	③	②	1	0
USR	0	SLVRQ	ARBIT	ALLTRNS	ACK	LOCK	0	0

SLVRQ	スレーブ要求フラグ
0	マスタからスレーブ要求なし
1	マスタからスレーブ要求あり

ARBIT	競合結果フラグ
0	競合勝ち
1	競合負け

ALLTRNS	同報通信フラグ
0	個別通信状態
1	同報通信状態

ACK	ACK送信フラグ
0	NACKを送信
1	ACKを送信

LOCK	ロック状態フラグ
0	ユニットが非ロック状態
1	ユニットがロック状態

(a) スレーブ要求フラグ (SLVRQ) ... ビット6

マスタからスレーブ要求があったかを示すフラグです。

セット/リセット条件

セット：自局がスレーブ要求されたとき（個別通信受信時は受信したスレーブ・アドレスと自局UARが一致したとき。同報通信受信時は受信したスレーブ・アドレスの上位4ビットと一致、または受信したスレーブ・アドレスがFFFFHのとき）に、スレーブ・アドレス・フィールドのアクノリッジ期間開始時にハードウェアでセットされます。

リセット：自局がスレーブ要求されていないとき、ハードウェアでリセットされます。タイミングはセット時と同じです。ただし、正常に通信を受信した直後（SLVRQビットがセット状態）に自局がスレーブ要求され、その通信のスレーブ・アドレス・フィールドでパリティ・エラーが発生した場合、フラグはリセットされません。

(b) 競合結果フラグ (ARBIT) ... ビット5

競合結果を示すフラグです。

セット/リセット条件

セット : マスタの要求後, アービトレーション期間中に自局が出力しているデータとバス・ラインのデータが不一致のときにセットされます。

リセット : スタート・ビット・タイミングでリセットされます。

注意1. 競合結果フラグ (ARBIT) のリセット・タイミングは, 自局がスタート・ビットを出力する場合としない場合で異なります。

・スタート・ビットを出力する : 出力開始タイミングでリセット

・スタート・ビットを出力しない : スタート・ビットの検出タイミング (出力から約 160 μ s) でリセット

2. マスタ要求したあと, 他局のスタート・ビット出力の方が早く, 自局がスタート・ビットを出力していない場合はスタート・ビットの検出タイミングでリセットされます。

(c) 同報通信フラグ (ALLTRNS) ... ビット4

ユニットが同報通信しているかを示すフラグです。フラグの内容は, 各フレームの同報フィールドで更新されます。

セット/リセット条件は, システム・リセットで初期化 (リセット) される以外は, 同報フィールド・ビットの受信データにより変化します。

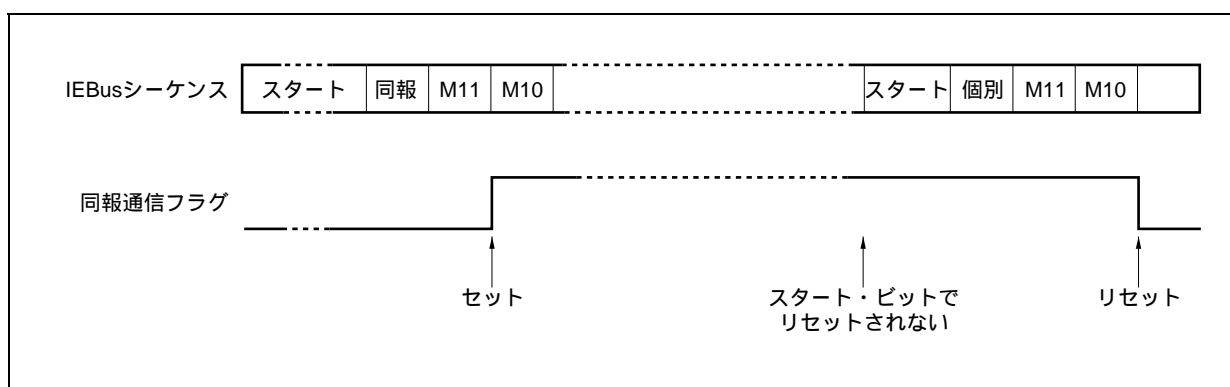
セット/リセット条件

セット : 同報フィールドで「同報」を受信したとき

リセット : 同報フィールドで「個別」を受信したとき, またはシステム・リセット入力時

注意 同報通信フラグの更新は, 自局が通信対象である/なしにかかわらず行われます。

図18 - 15 同報通信フラグの動作例



(d) ACK送信フラグ (ACK) ... ビット3

受信ユニット時、各フィールドのACK期間中にACKを送信したかを示します。フラグの内容は、各フレームのACK期間で更新されます。ただし、パリティ・エラー発生などにより、内部回路が初期化された場合は、そのフィールドのACK期間での更新はされません。

(e) ロック状態フラグ (LOCK) ... ビット2

ユニットがロック状態かを示すフラグです。

セット/リセット条件

セット : コントロール・フィールドでロック指定 (3H, 6H, AH, BH) を受けて、通信終了フラグがロウ・レベルで、かつフレーム終了フラグがハイ・レベルのときセットされます。

リセット : 通信許可フラグをクリアした場合。

コントロール・フィールドでロック解除 (3H, 6H, AH, BH) を受けて、通信終了フラグがセットされた場合。

注意 同報通信では、ロックの設定/解除はできません。また、ロック状態中はロック要求したユニット以外からの個別通信を受け付けません。ただし、ロック要求ユニット以外からの通信でも、その通信がスレーブ・ステータス要求であるかぎり受け付けます。

(9) IEBusインタラプト・ステータス・レジスタ (ISR)

IEBusの割り込み発行時の状態を示すステータス・レジスタです。割り込みが発生するごとにISRを読み出して、所定の割り込み処理を行います。

ISRレジスタは読み出し後リセットしてください。リセットされるまでは、以後のINTIE2割り込み信号が発生しません（保留もされません）。

ISRレジスタのリセットは、表18 - 8のリセット条件に従って各フラグをリセットしてください。

表18 - 8 ISRレジスタの各フラグのリセット条件

フラグ名	リセット条件	処理例
IEERR, STARTF, STATUSF	ISRレジスタのバイト書き込み動作。書き込み値は任意	ISR = 00Hなど
ENDTRNS, ENDFRAM	MSTRQフラグ, ENSLVTXフラグ, ENSLVRXフラグのいずれかをセットする	BCRレジスタ = 88H, またはENSLVTX = 1など

注意 ISRレジスタへのアクセスにより、ENDTRNS, ENDFRAMフラグへ0の書き込みを行っても、これらのフラグはリセットされません。上記の方法でリセットしてください。

備考 MSTRQ : IEBusコントロール・レジスタ (BCR) のビット6

ENSLVTX : IEBusコントロール・レジスタ (BCR) のビット4

ENSLVRX : IEBusコントロール・レジスタ (BCR) のビット3

リセット時：00H R/W アドレス：FFFFFF3F0H

	7	⑥	⑤	④	③	②	1	0
ISR	0	IEERR	STARTF	STATUSF	ENDTRNS	ENDFRAM	0	0

IEERR	通信エラー・フラグ (通信中)
0	通信エラーなし
1	通信エラー発生

STARTF	スタート割り込みフラグ
0	スタート割り込み発生なし
1	スタート割り込み発生あり

STATUSF	ステータス送信フラグ (スレーブ時)
0	スレーブ・ステータス/ロック・アドレス (上位4ビット, 下位8ビット) 送信要求なし
1	スレーブ・ステータス/ロック・アドレス (上位4ビット, 下位8ビット) 送信要求あり

ENDTRNS	通信終了フラグ
0	電文長フィールドで設定した伝送バイト数分の通信が終了せず
1	電文長フィールドで設定した伝送バイト数分の通信が終了

ENDFRAM	フレーム終了フラグ
0	フレーム (モード1で規定される最大伝送バイト数分 (32バイト) の通信) が終了せず
1	フレーム (モード1で規定される最大伝送バイト数分 (32バイト) の通信) が終了

注意 IEERR, STARTF, STATUSF, ENDTRNS, ENDFRAMは、それぞれ割り込み要求信号 (INTIE2) の生成要因となります (図18 - 16 割り込み制御部の構成を参照)。そのためどれか1つの割り込み要因がセットされた状態のとき、後発の要因による割り込み要求は発生しません。割り込み処理プログラムにより、次の割り込み発生タイミングまでに割り込み発生要因のフラグをクリアしてください。

(a) 通信エラー・フラグ (IEERR) ... ビット6

通信中のエラーを検出するフラグです。

セット/リセット条件

セット : タイミング・エラー, パリティ・エラー (データ・フィールドを除く), NACK受信 (データ・フィールドを除く), アンダラン・エラー, オーバラン・エラー (同報通信受信時に発生) のいずれかが発生したときにセットされます。

リセット: ソフトウェア操作で行います。

(b) スタート割り込みフラグ (STARTF) ... ビット5

スレーブ・アドレス・フィールドのACK期間の割り込みを示すフラグです。

セット/リセット条件

セット : マスタ要求時は, スレーブ・アドレス・フィールドでセットされます。

スレーブ・ユニット時は, マスタから要求があったとき (ロック状態ではロック要求ユニットからのスレーブ要求があった場合のみ) にセットされます。

リセット: ソフトウェア操作で行います。

(c) ステータス送信フラグ (STATUSF) ... ビット4

スレーブ時にマスタからスレーブ・ステータス, ロック・アドレス (上位4ビット, 下位8ビット) のいずれかの送信状態であることを示すフラグです。

セット/リセット条件

セット : スレーブ・ユニット時に, マスタからコントロール・フィールドで, 0H, 4H, 5H, 6H を受信したときにセットされます。

リセット: ソフトウェア操作で行います。

(d) 通信終了フラグ (ENDTRNS) ... ビット3

電文長フィールドで設定した / された伝送バイト数分の通信が終了したかを示すフラグです。

セット/リセット条件

セット : SCRのカウント値が0になったとき, セットされます。

リセット: MSTRQフラグ, ENSLVTXフラグ, ENSLVRXフラグのいずれかがセットされたとき, リセットされます。

(e) フレーム終了フラグ (ENDFRAM) ... ビット2

モード1で規定されている最大伝送バイト数分 (32バイト) の通信が終了したかを示すフラグです。

セット/リセット条件

セット : CCRのカウント値が0になったとき, セットされます。

リセット: MSTRQフラグ, ENSLVTXフラグ, ENSLVRXフラグのいずれかがセットされたとき, リセットされます。

(f) 通信エラー発生要因

タイミング・エラー

発生条件：通信ビットのハイ/ロウ・レベル幅が規定値からはずれた場合に発生します。

備考：それぞれの規定値はビット処理部に設定されていて、内部の8ビット・タイマで監視されています。タイミング・エラーが発生した場合、割り込みが発生します。

パリティ・エラー

発生条件：受信ユニット時、各フィールドで生成パリティと受信パリティが一致しなかった場合に発生します。

備考：個別通信時はデータ・フィールド以外でパリティ・エラーが発生した場合、割り込みが発生します。

同報通信時はデータ・フィールドでパリティ・エラーが発生した場合でも、割り込みが発生します。

制限事項：同報通信要求を行い競合負けしたスレーブ要求があった場合は、データ・フィールドでパリティ・エラーが発生しても、割り込みは発生しません。

NACK受信

発生条件：個別通信時、マスタ/スレーブ・ユニットにかかわらず、スレーブ・アドレス、コントロール、電文長の各フィールドで $\overline{\text{ACK}}$ 期間にNACKを受信したときに発生します。

NACK受信エラーが発生するのは個別通信時のみです。同報通信の場合は、 $\overline{\text{ACK}}/\text{NACK}$ の判定を行いません。

備考：データ・フィールド以外でNACKを受信した場合、割り込みが発生します。

アンダラン

発生条件：データ送信時に、 $\overline{\text{ACK}}$ 受信までにIEBusデータ・レジスタ (DR) に次に送信されるデータの書き込みが間に合わなかった場合に発生します。

備考：アンダランが発生した場合、割り込みが発生します。

オーバラン

発生条件：受信ユニット時に1バイトごとのデータがIEBusデータ・レジスタ (DR) に格納されるデータ割り込み要求 (INTIE1) が発生し、DMAまたはソフトウェアでDRレジスタの読み込み処理を行います。この読み込み処理が遅れて次のデータの受信タイミングになると、オーバラン・エラーが発生します。

備考：個別通信受信時は、次のデータのACK期間でアクノリッジを返信しません。これにより送信ユニットはデータを再送します。したがって、IEBus伝送カウンタ (CCR) のディクリメントを行いますが、IEBus通信成功カウンタ (SCR) のディクリメントは行いません。

同報通信受信時は、通信エラー割り込み要求 (INTIE2) を発生し、受信を中止します。このときDRレジスタは更新されません。また、INTIE1も発生せず、STATRXフラグ (SSRレジスタのビット1) のセット (1) を保持します。オーバラン状態の解除は、DRレジスタを読み出したあとのデータ受信タイミングになります。

(g) オーバラン・エラーの補足説明**(i) 個別通信受信でオーバラン状態になり、フレーム終了する場合**

オーバラン状態のあとのDR読み込みが実行されず、データ再送が最大伝送バイト数分（32バイト）に達した場合、フレーム終了割り込み（INTIE2）が発生します。フレーム終了したあともDR読み込みを行うまではオーバラン状態を保持します。

(ii) 上記(i)の場合で次の受信が開始された場合、または同報/個別通信に関係なく最終データを受信したあと、DR読み込みを行わず次の通信が開始された場合

オーバラン状態で自局宛での通信が開始された場合でも、スレーブ・アドレスやコントロール、電文長の各フィールドのACK期間では、オーバラン起因のNACK返信は行いません（DRの更新も行いません）。次の通信が自局宛での通信でない場合は、DR読み込みを行うまではDRを更新しません。自局非対象のため、データ割り込み（INTIE1）や通信エラー割り込み（INTIE2）は発生しません。

(iii) オーバラン状態で次の送信動作を行う場合

オーバラン状態で次の送信を行う場合は、2バイト以上の送信ができません。

データ要求割り込み（INTIE1）が発生しないため、送信データの設定ができず、アンダラン・エラーになります。したがって、オーバラン状態を解除してから送信を行ってください。

(iv) オーバラン状態の解除

オーバラン状態の解除は、DR読み出しとシステム・リセット時にのみ行われます。したがって、通信エラー割り込み処理プログラム中などでは、必ずDR読み出しを行ってください。

(10) IEBusスレーブ・ステータス・レジスタ (SSR)

スレーブ・ユニットの通信状態を示すレジスタです。マスタからスレーブ・ステータス送信要求を受けたら、CPUはSSRを読み出したあと、IEBusデータ・レジスタ (DR) に書き込むことでスレーブ・ステータスを送信できます。また、このときの電文長は自動的に01Hに設定されるので、IEBus電文長レジスタ (DLR) を設定する必要はありません (ハードウェアによりプリセットされます)。

ビット7, 6は、ユニットがサポートする最高位のモードを示すために “01” (モード1) に固定されています。

リセット時 : 41H R アドレス : FFFFF3F2H

	7	6	5	④	3	②	①	①
SSR	0	1	0	STATSLV	0	STATLOCK	STATRX	STATTX

STATSLV	スレーブ送信状態フラグ
0	スレーブ送信停止
1	スレーブ送信許可

STATLOCK	ロック状態フラグ
0	非ロック状態
1	ロック状態

STATRX	DR受信状態
0	DRに受信データを未格納
1	DRに受信データを格納

STATTX	DR送信状態
0	DRに送信データを未格納
1	DRに送信データを格納

(a) スレーブ送信状態フラグ (STATSLV) ... ビット4

スレーブ送信許可フラグの内容が反映されます。

(b) ロック状態フラグ (STATLOCK) ... ビット2

ロック状態のフラグの内容が反映されます。

(c) DR受信状態 (STATRX) ... ビット1

DRの受信状態を示すフラグです。

(d) DR送信状態 (STATTX) ... ビット0

DRの送信状態を示すフラグです。

(11) IEBus通信成功カウンタ (SCR)

IEBus通信成功カウンタ (SCR) は、残りの通信バイト数を示すレジスタです。

IEBus電文長レジスタ (DLR) で設定された値が、データ・フィールドのACKによりデクリメントされるカウンタのカウンタ値が読み出されます。また、カウンタ値が00HになるとIEBusインタラプト・ステータス・レジスタ (ISR) の通信終了フラグ (ENDTRNS) がセットされます。

リセット時：01H R アドレス：FFFFFF3F4H

	7	6	5	4	3	2	1	0
SCR								

ビット								設定値	残り通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1バイト
0	0	0	0	0	0	1	0	02H	2バイト
:	:	:	:	:	:	:	:	:	:
0	0	1	0	0	0	0	0	20H	32バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255バイト
0	0	0	0	0	0	0	0	00H	0バイト (通信終了) または 256バイト ^注

注 実際のハード・カウンタのビット長は、9ビットで構成されています。00Hが読み出されたときは、残りの通信データ・バイト数が0バイト (通信終了) か、256バイトなのか判断できません。したがって、通信終了フラグと併用して処理するか、通信開始時の最初の割り込み (00H) が読み出された場合は、残りの通信データ・バイト数は256バイトと判断することができます。

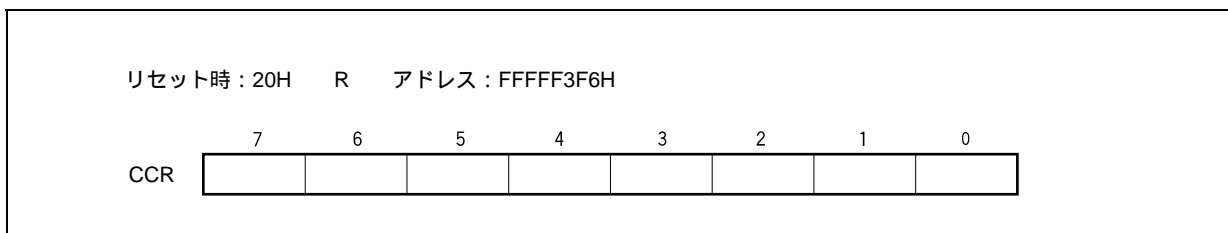
(12) IEBus伝送カウンタ (CCR)

IEBus伝送カウンタ (CCR) は、通信モードで規定されている通信バイト数に対する残りバイト数を示すレジスタです。

IEBus伝送カウンタ (CCR) のビット7-0は、伝送バイト数を示します。

モード1で規定されている1フレーム当たりの最大伝送バイト数(32バイト)がプリセットされ、データ・フィールドの $\overline{\text{ACK}}$ の期間に $\overline{\text{ACK}}$ / $\overline{\text{NACK}}$ に関係なくデクリメントされるカウンタのカウンタ値が読み出されます。SCR (IEBus通信成功カウンタ) が正常通信 ($\overline{\text{ACK}}$) でデクリメントされるのに対して、CCRは $\overline{\text{ACK}}$ / $\overline{\text{NACK}}$ にかかわらず1バイトを通信するとデクリメントされます。また、カウンタ値が00HになるとIEBusインタラプト・ステータス・レジスタ (ISR) のフレーム終了フラグ (ENDFRAM) がセットされます。

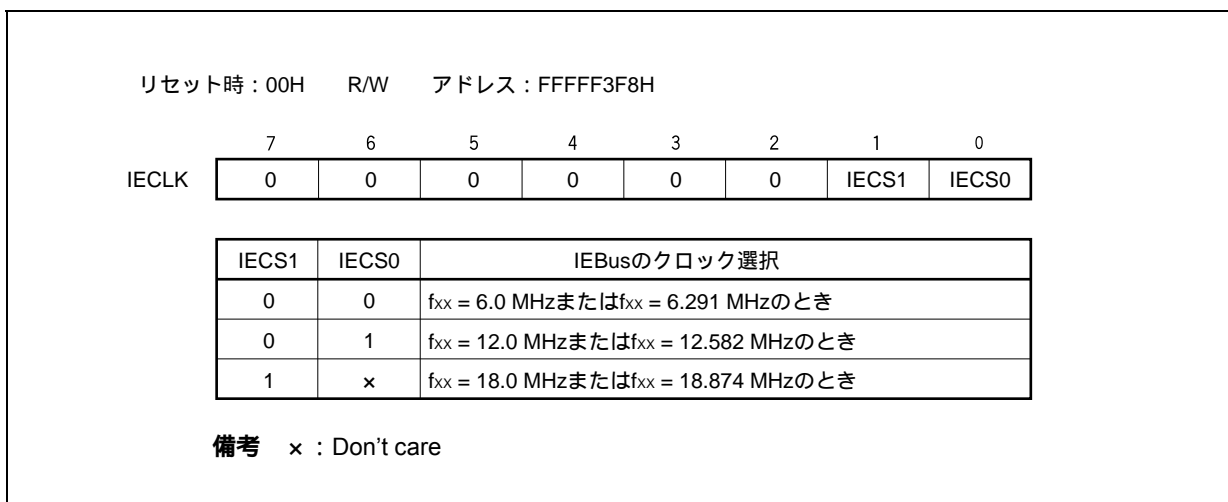
モード1のプリセット値のフレーム当たりの最大伝送バイト数は、20H (32バイト) になります。



(13) IEBusクロック選択レジスタ (IECLK)

IEBusのクロックを選択するレジスタです。使用できるメイン・クロック周波数を次に示します。それ以外のメイン・クロック周波数は使用できません。

- ・ 6.0 MHz/6.291 MHz
- ・ 12.0 MHz/12.582 MHz
- ・ 18.0 MHz/18.874 MHz



18.4 IEBusコントローラの割り込み動作

18.4.1 割り込み制御部

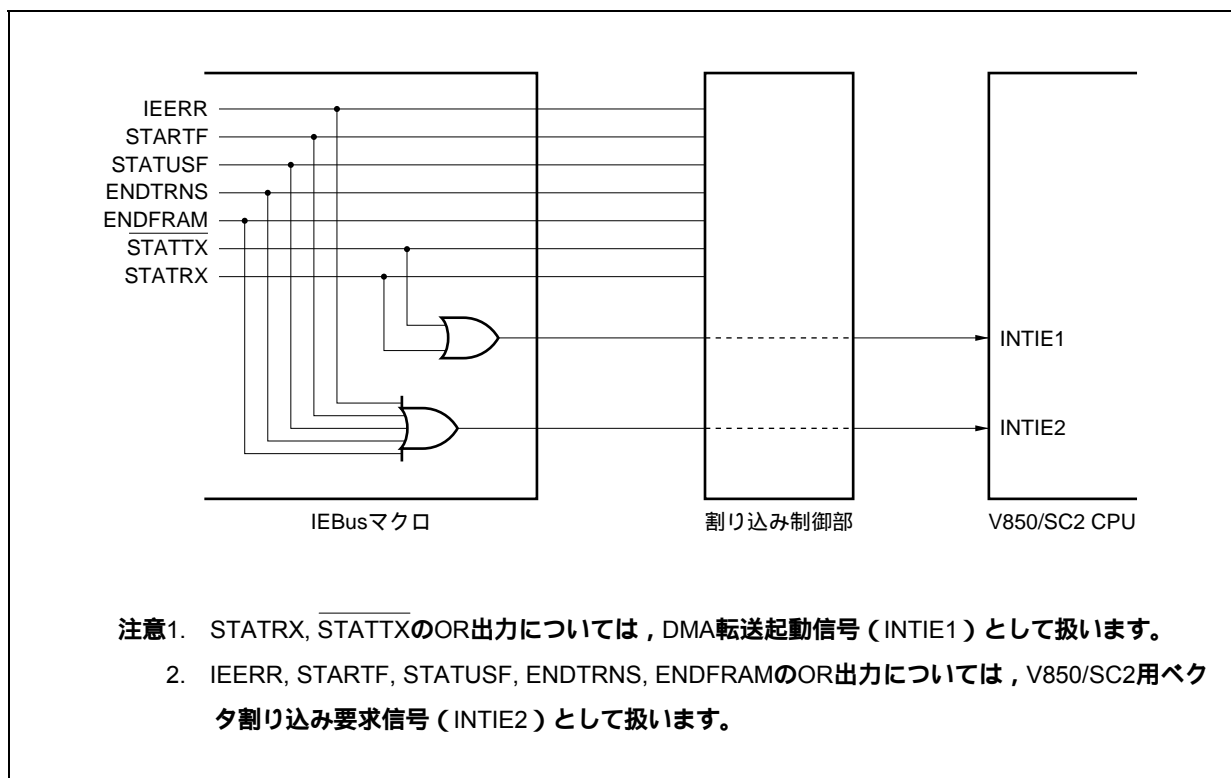
割り込み要求信号について次に示します。

通信エラー	: IEERR
スタート割り込み	: STARTF
ステータス通信	: STATUSF
通信終了	: ENDTRNS
フレーム終了	: ENDFRAM
送信データ書き込み要求	: $\overline{\text{STATTX}}$
受信データ読み出し要求	: STATRX

上記の - の割り込み要求は、IEBusインタラプト・ステータス・レジスタ (ISR) にアサインされています (表18-9 割り込み要因一覧参照)。

次に割り込み制御部の構成を示します。

図18-16 割り込み制御部の構成



18.4.2 割り込み要因一覧

V850/SC2内蔵用IEBusコントローラの割り込み要求信号は、ベクタ割り込みとDMA転送の2つに分けられます。割り込み要求信号は、ソフトウェア操作で指定できます。割り込み要因の一覧を次に示します。

表18-9 割り込み要因一覧

割り込み要因		発生状態		割り込み発生後のCPU処理	備考
		ユニット	フィールド		
通信エラー	タイミング・エラー	マスタ/スレーブ	全フィールド	通信処理のやり直し	通信エラーは、タイミング・エラー、パリティ・エラー、NACK受信、アンダラン・エラー、オーバラン・エラーのOR出力になります。
	パリティ・エラー	受信	データ以外(個別)		
			全フィールド(同報)		
	NACK受信	受信(送信)	データ以外(個別)		
	アンダラン・エラー	送信	データ		
オーバラン・エラー	受信	データ(同報)			
スタート割り込み	マスタ	スレーブ/アドレス	スレーブ要求判定 競合判定 (負けた場合は再マスタ処理) 通信準備処理	スレーブ要求時は、競合に負けた場合も必ず割り込みが発生します。	
		スレーブ	スレーブ/アドレス		スレーブ要求判定 通信準備処理
ステータス送信	スレーブ	コントロール	スレーブ・ステータスなどの送信処理例を参照してください。	スレーブ送信許可フラグに関係なく発生します。コントロール・フィールドでNACK返信するときも発生します。	
通信終了	送信	データ	DMA転送終了処理	SCRが0になるとセットされます。	
	受信	データ	DMA転送終了処理 受信データ処理		
フレーム終了	送信	データ	再通信準備処理	CCRが0になるとセットされます。	
	受信	データ	再受信準備処理		
送信データ書き込み	送信	データ	送信データ読み出し ^注	送信データを内部シフト・レジスタへ転送後にセットされます。最終データ転送時には発生しません。	
受信データ読み出し	受信	データ	受信データ読み出し ^注	正常データ受信後にセットされます。	

注 DMA転送またはソフトウェア操作をしない場合

18.4.3 通信エラー要因処理一覧

各通信エラー（タイミング・エラー，NACK受信エラー，オーバラン・エラー，アンダラン・エラー，パリティ・エラー）発生条件，内蔵IEBusコントローラのエラー処理内容，およびソフトウェアでの処理例を次に示します。

表18 - 10 通信エラー要因処理一覧 (1/2)

		タイミング・エラー			
発生条件	自局状態	受信時		送信時	
	発生条件	ビット規定タイミングを外れた場合			
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ 備考 他局間の通信は終了しません。		<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ 	
	ソフトウェア処理	エラー処理（再送要求など）		エラー処理（再送要求など）	
個別通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 NACK返信 スタート・ビット待ち状態へ 		<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ 	
	ソフトウェア処理	エラー処理（再送要求など）		エラー処理（再送要求など）	

		NACK受信エラー				
発生条件	自局状態	受信時		送信時		
	発生条件	自局NACK送信		NACK受信		
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド	32バイト目のデータでNACK受信
同報通信時	ハードウェア処理	-	-	-	-	-
	ソフトウェア処理	-	-	-	-	-
個別通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ 	<ul style="list-style-type: none"> INTIE2発生せず 他局が再送するデータを受信 	<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ 	<ul style="list-style-type: none"> INTIE2発生せず 再送処理 	<ul style="list-style-type: none"> INTIE2発生^注 スタート・ビット待ち状態へ
	ソフトウェア処理	エラー処理（再送要求など）	-	エラー処理（再送要求など）	-	エラー処理（再送要求など）

注 ISRレジスタのIEERRビットおよび，ENDFRAMビットの両方がセット（1）されます。

リセットする場合は，表18 - 8の条件に従って行ってください。

表18 - 10 通信エラー要因処理一覧 (2/2)

		オーバラン・エラー		アンダラン・エラー	
発生条件	自局状態	受信時		送信時	
	発生条件	DRの読み出しが次データ受信タイミングまでに間に合わない		DRの書き込みが次データ受信タイミングまでに間に合わない	
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウェア処理	-	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ <p>備考1. 他局間の通信は終了しません。 2. オーバラン状態解除までデータ受信できません。</p>	-	<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ
	ソフトウェア処理	-	<ul style="list-style-type: none"> DR読み出しを実行し、オーバラン状態解除を行う エラー処理（再送要求など） 	-	<ul style="list-style-type: none"> エラー処理（再送要求など）
個別通信時	ハードウェア処理	-	<ul style="list-style-type: none"> INTIE2発生せず NACK返信 他局からデータ再送 <p>備考 オーバラン状態解除までデータ受信できません。</p>	-	<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ
	ソフトウェア処理	-	<ul style="list-style-type: none"> DR読み出しを実行し、オーバラン状態解除を行う エラー処理（再送要求など） 	-	<ul style="list-style-type: none"> エラー処理（再送要求など）

		パリティ・エラー			
発生条件	自局状態	受信時		送信時	
	発生条件	受信データと受信パリティが不一致		-	
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ <p>備考 他局間の通信は終了しません。</p>		-	-
	ソフトウェア処理	<ul style="list-style-type: none"> エラー処理（再送要求など） 		-	-
個別通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ 	<ul style="list-style-type: none"> 受信中止せず INTIE2発生せず NACK返信 他局から再送されたデータを受信 	-	-
	ソフトウェア処理	<ul style="list-style-type: none"> エラー処理（再送要求など） 	-	-	-

18.5 割り込み発生タイミングおよび主なCPU処理内容

18.5.1 マスタ送信

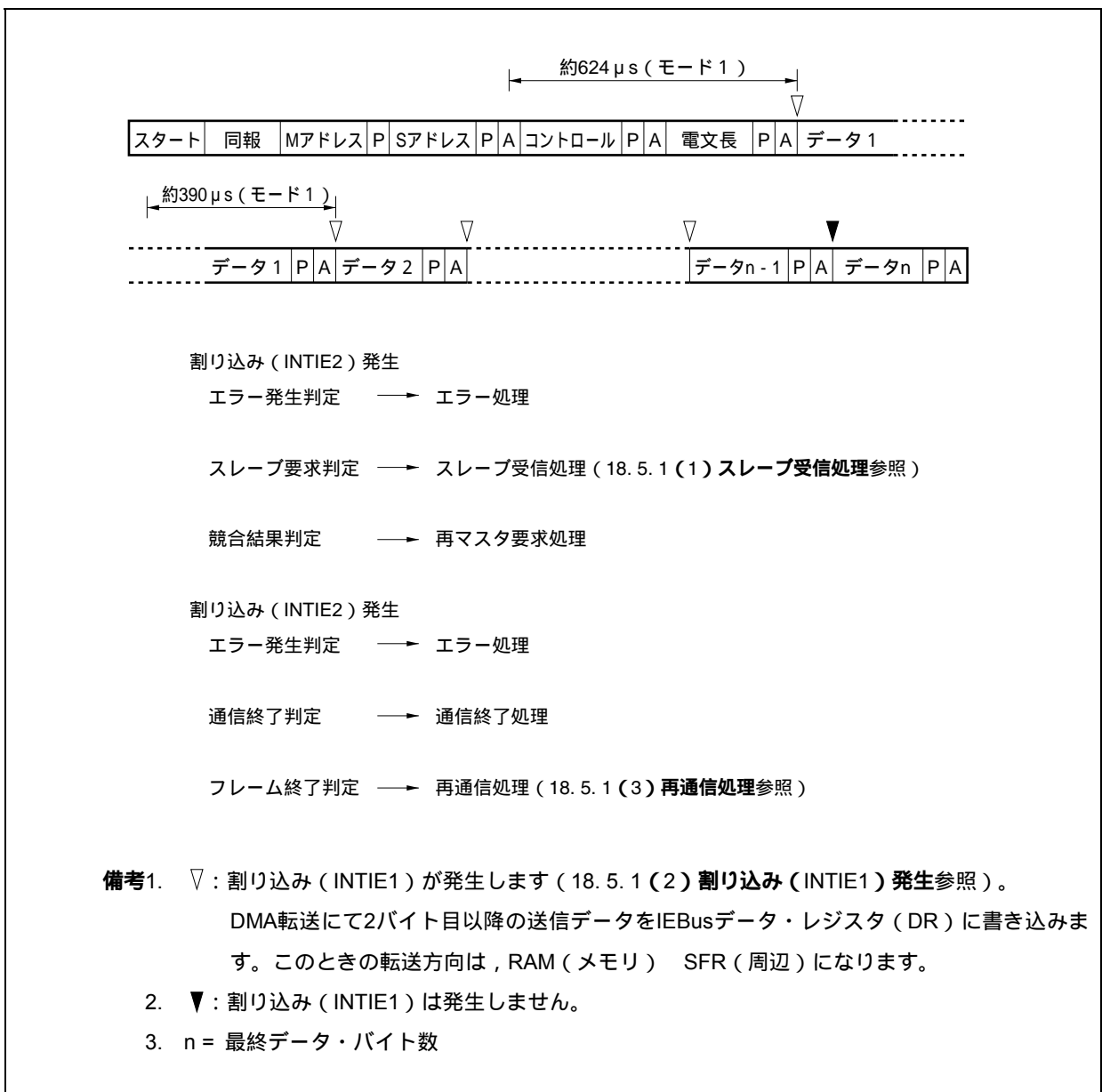
初期準備処理：

自局アドレス，スレーブ・アドレス，コントロール・データ，電文長，1バイト目送信データの設定

通信開始処理：

バス・コントロール・レジスタの設定（通信許可，マスタ・リクエスト，スレーブ受信許可）

図18 - 17 マスタ送信



(1) スレーブ受信処理

ベクタ割り込み処理でスレーブ受信要求を確認した場合は、1バイト目のデータを受信するまでに、DMA転送のデータの転送方向をRAM（メモリ） SFR（周辺）からSFR（周辺） RAM（メモリ）に変更してください。通信モード1のとき、このデータ転送方向の変更処理の保留期間は、最大約1040 μ sになります。

(2) 割り込み（INTIE1）発生

データ・フィールドでスレーブからNACKを受信した場合は、CPUに対して割り込み（INTIE1）は発生しないで、ハードウェアにより同じデータを再送します。また、送信データの書き込みが次のデータ書き込み期間内に間に合わなかった場合は、アンダラン発生により通信エラー割り込みが発生して、通信は途中終了になります。

(3) 再通信処理

図18 - 17の のベクタ割り込み処理では、1フレーム以内で正常にデータの送信が終了したか、しなかったかを判定します。正常に送信できていない（1フレーム以内で送信すべきデータ数が送信できなかった）場合は、次の通信フレームで再送、または続きのデータ送信を行ってください。

18.5.2 マスタ受信

マスタ受信を行う場合は、あらかじめスレーブとなるユニットに対して、「スレーブ送信」を予告しておく必要があります。したがって、マスタ受信は最低2通信フレーム必要になります。

スレーブ・ユニットは送信データを用意して、スレーブ送信許可フラグ (ENSLVTX) をセット (1) して待機します。

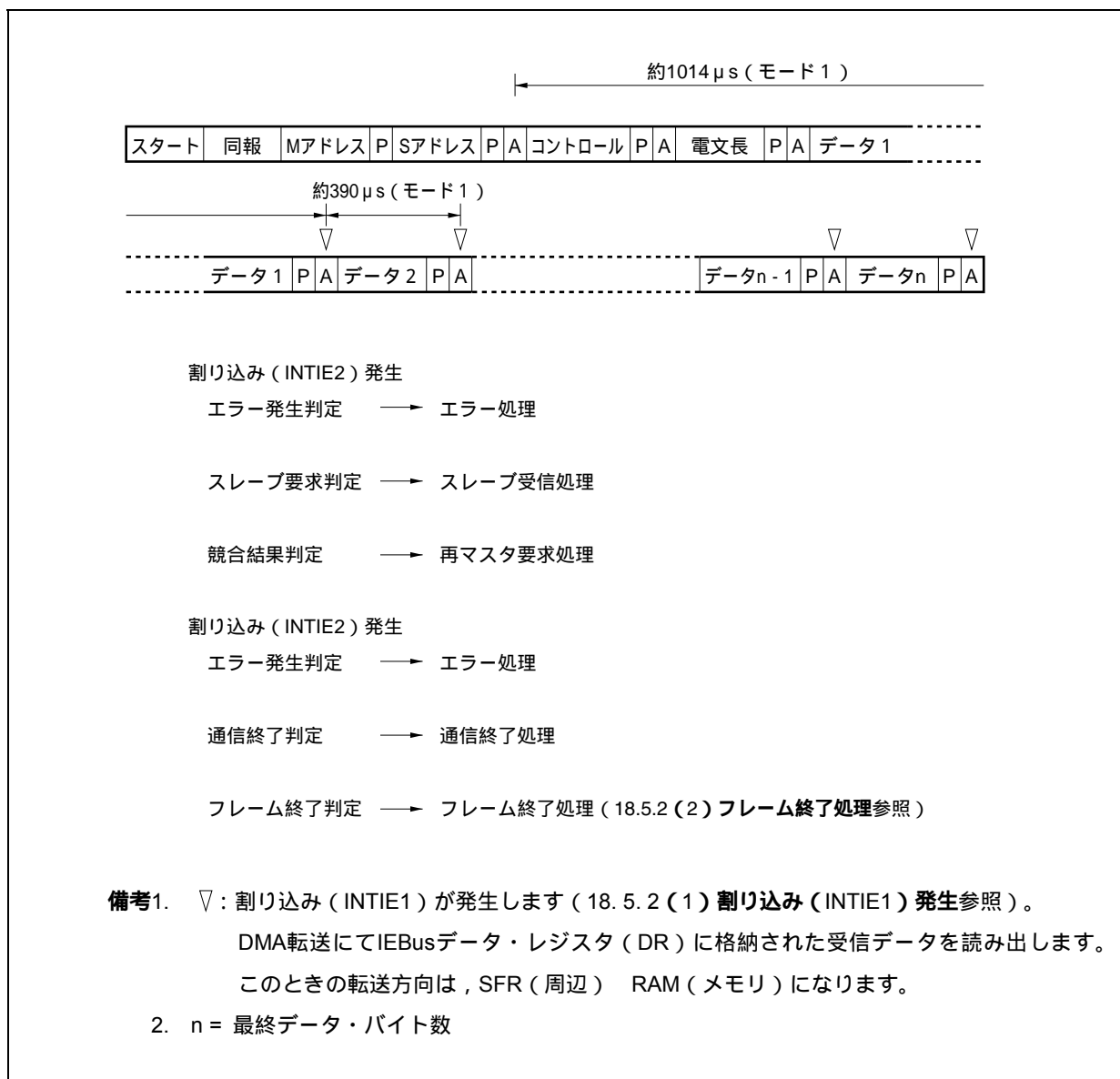
初期準備処理：

自局アドレス、スレーブ・アドレス、コントロール・データの設定

通信開始処理：

バス・コントロール・レジスタの設定 (通信許可、マスタ・リクエスト)

図18 - 18 マスタ受信



(1) 割り込み (INTIE1) 発生

データ・フィールドでNACKを送信 (ハードウェア処理) した場合は, CPUに対して割り込み (INTIE1) は発生しないで, スレーブより同じデータが再送されます。また, 受信したデータの読み出しが次のデータ受信に間に合わなかった場合は, 自動的にハードウェアでNACKを送信します。

(2) フレーム終了処理

図18 - 18の のベクタ割り込み処理では, 1フレーム以内で正常にデータの受信が終了したか, しなかったかを判定します。正常に受信できていない (1フレーム以内で受信すべきデータ数が受信できなかった) 場合は, 次の通信フレームで, スレーブに再送要求を行ってください。

18.5.3 スレーブ送信

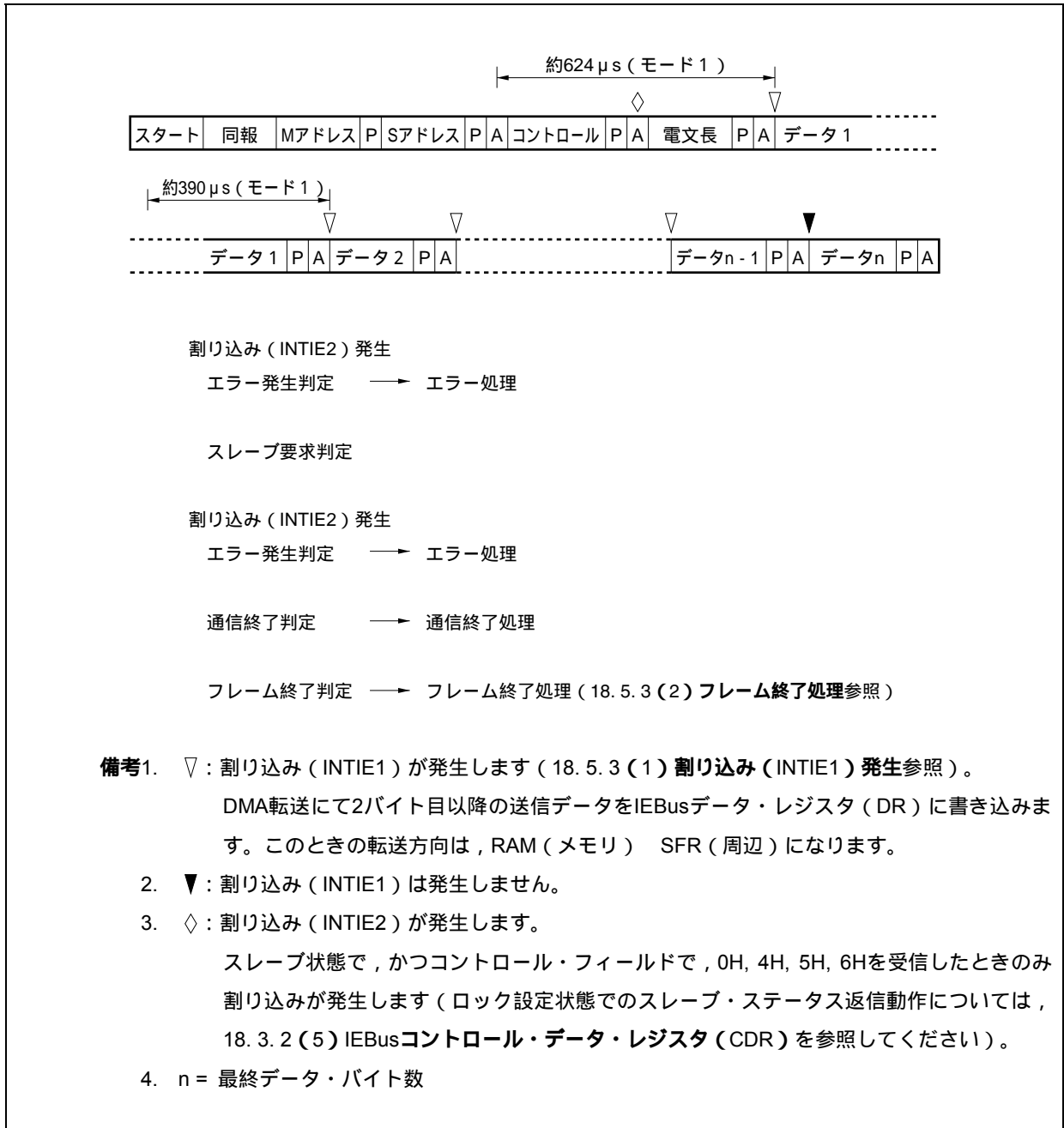
初期準備処理：

自局アドレス，電文長，1バイト目送信データの設定

通信開始処理：

バス・コントロール・レジスタの設定（通信許可，スレーブ送信許可，スレーブ受信許可）

図18 - 19 スレーブ送信



(1) 割り込み (INTIE1) 発生

データ・フィールドでスレーブからNACKを受信した場合は、CPUに対して割り込み (INTIE1) は発生しないで、ハードウェアより同じデータを再送します。また、送信データの書き込みが次のデータ書き込み期間内に間に合わなかった場合は、アンダラン発生により通信エラー割り込みが発生して、通信は異常終了になります。

(2) フレーム終了処理

図18 - 19の のベクタ割り込み処理では、1フレーム以内で正常にデータの送信が終了したか、しなかったかを判定します。正常に送信できていない (1フレーム以内で送信すべきデータ数が送信できなかった) 場合は、次の通信フレームで再送、または続きのデータ送信を行ってください。

18.5.4 スレーブ受信

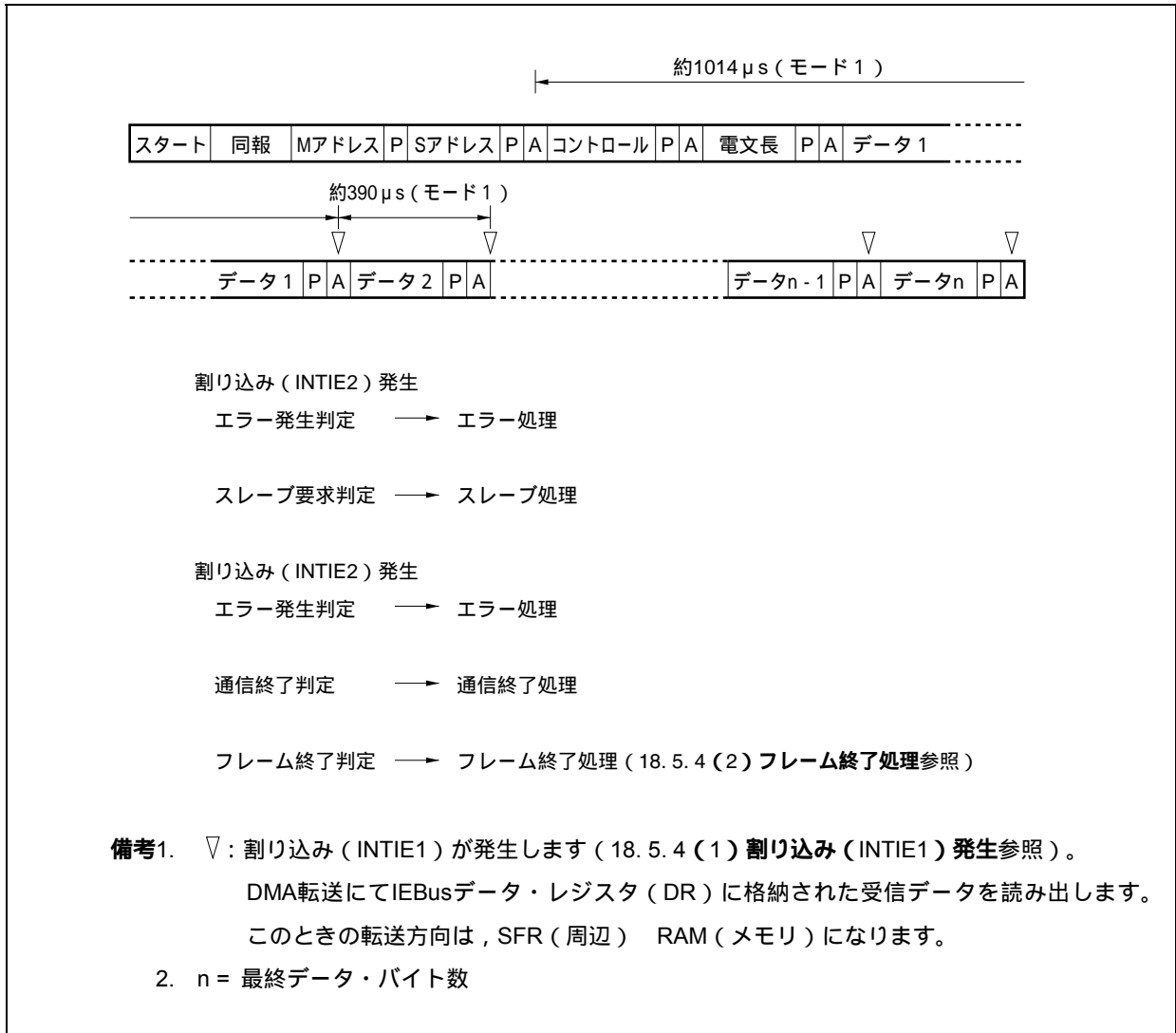
初期準備処理：

自局アドレスの設定

通信開始処理：

バス・コントロール・レジスタの設定（通信許可，スレーブ送信禁止，スレーブ受信許可）

図18 - 20 スレーブ受信



(1) 割り込み (INTIE1) 発生

データ・フィールドでNACKを送信した場合は、CPUに対して割り込み (INTIE1) は発生しないで、マスタより同じデータが再送されます。また、受信したデータの読み出しが次のデータ受信までに間に合わなかった場合は、自動的にNACKを送信します。

(2) フレーム終了処理

図18 - 20の のベクタ割り込み処理では、1フレーム以内で正常にデータの受信が終了したか、しなかったかを判定します。

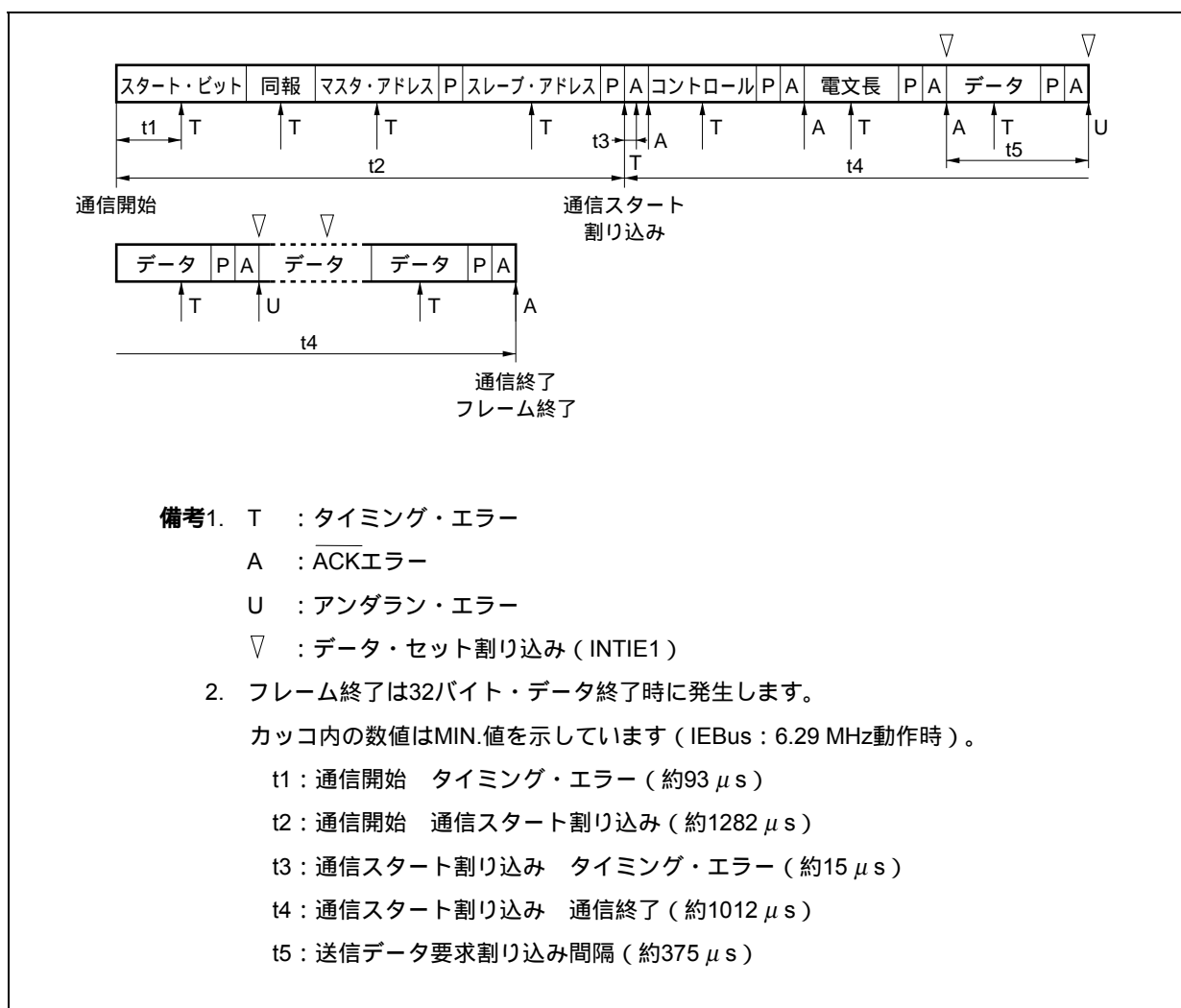
18.5.5 IEBus制御用割り込み発生間隔

各制御割り込みは、通信中それぞれのポイントで逐次発生して、次の割り込み発生までに必要な処理を行います。そのため、CPUはこの割り込みでの最短時間を考慮して、IEBusコントロール・ブロックを制御します。

次に示すエラー割り込みに関しては、発生する可能性のあるフィールドに“ ”で示しています（この“ ”で示しているポイントごとに割り込みが発生することはありません）。エラー割り込み（タイミング・エラー、パリティ・エラー、ACKエラー）が発生した場合、IEBus内部回路を初期化するため、その通信フレーム内でそれ以降の割り込みは発生しなくなります。

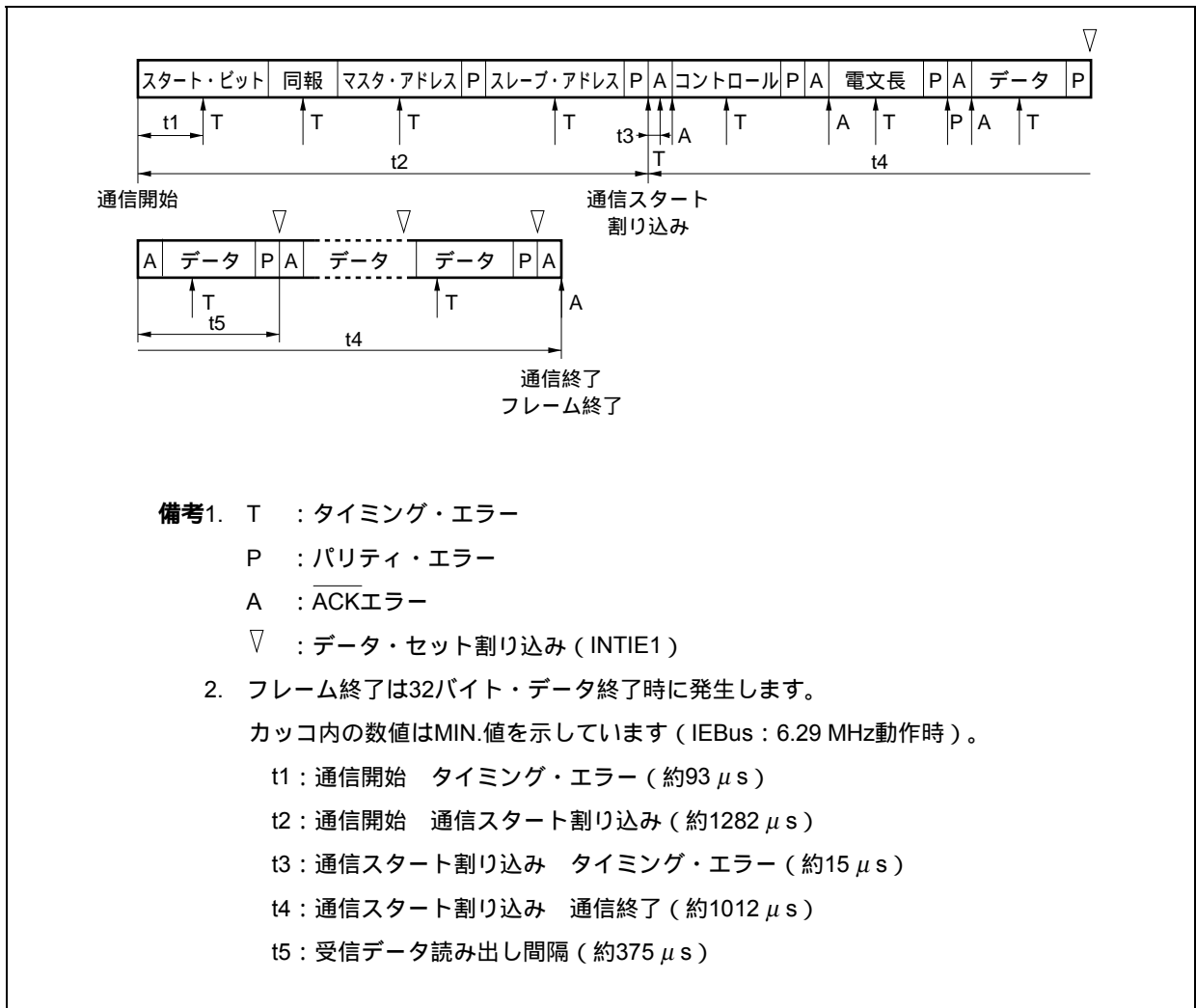
(1) マスタ送信

図18 - 21 マスタ送信（割り込み発生間隔）



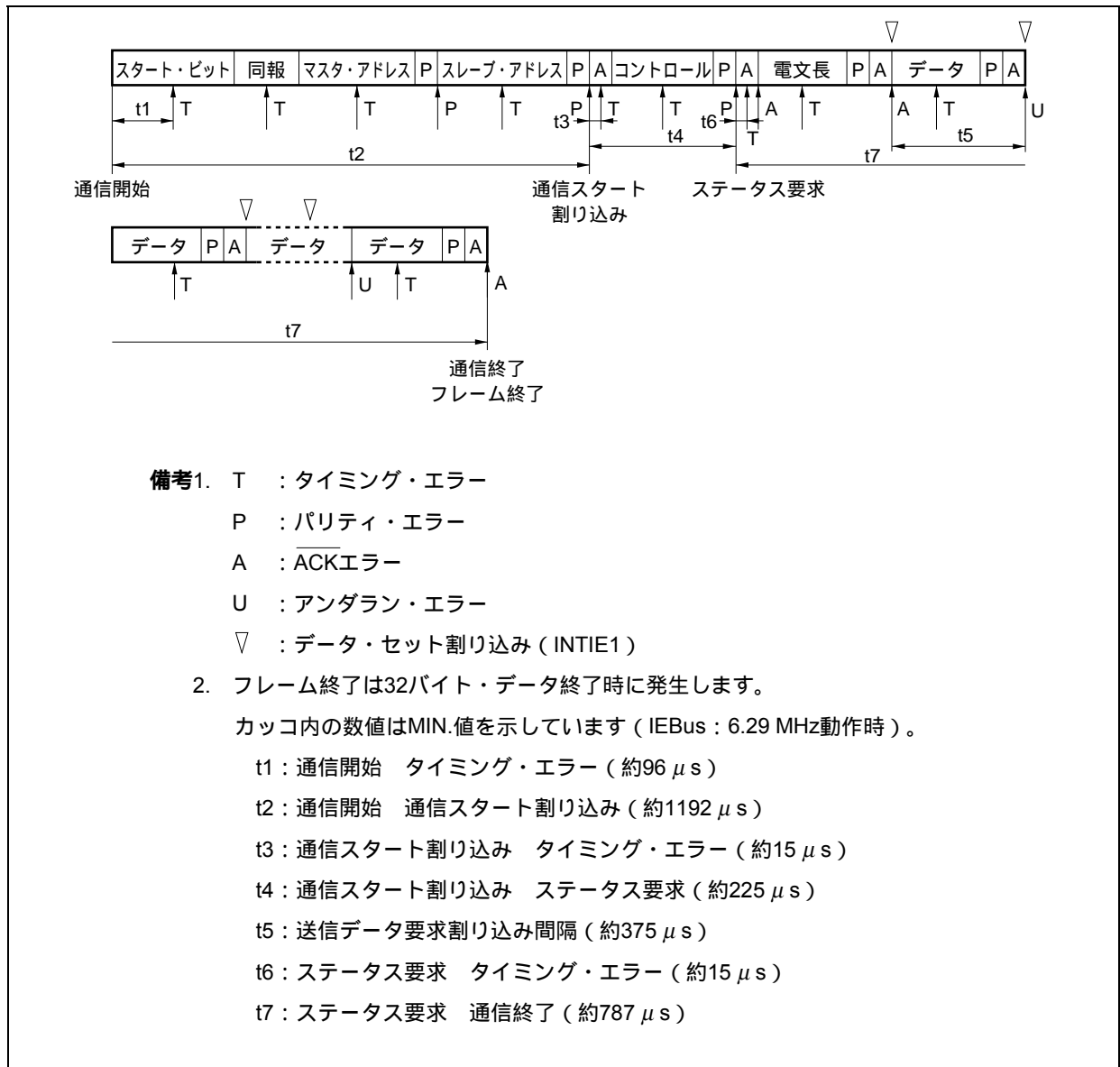
(2) マスタ受信

図18 - 22 マスタ受信 (割り込み発生間隔)



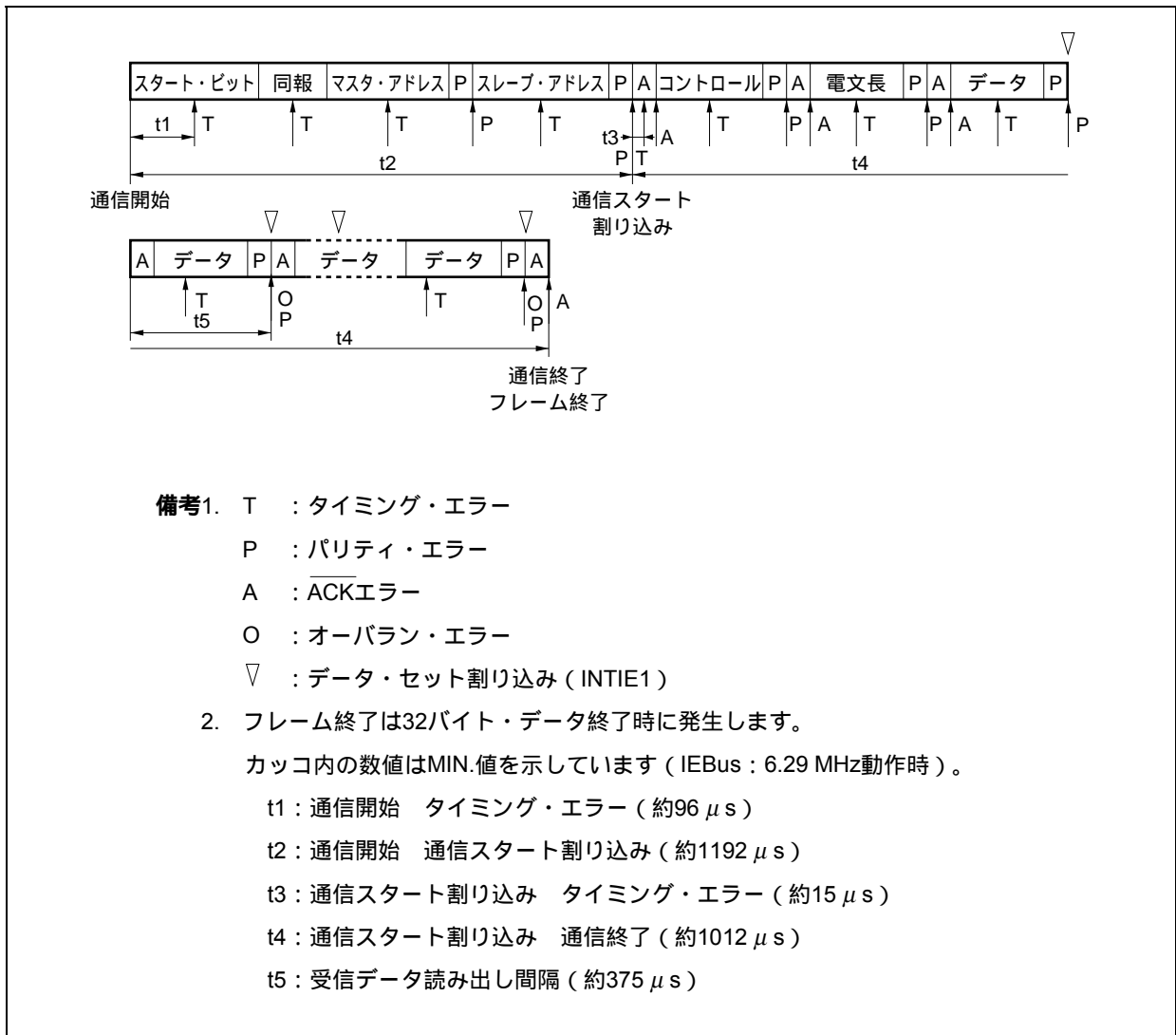
(3) スレーブ送信

図18-23 スレーブ送信 (割り込み発生間隔)



(4) スレーブ受信

図18-24 スレーブ受信 (割り込み発生間隔)



第19章 FCANコントローラ (V850/SC3)

V850/SC3は、CAN仕様Ver.2.0 PartB activeに準拠したFCAN (Full Controller Area Network) コントローラを内蔵しています (μ PD703089Y, 70F3089Yは2チャンネル, μ PD703088Yは1チャンネル)。

★ 19.1 特 徴

CAN仕様 Ver.2.0 PartB active

標準フレーム, 拡張フレームの送信/受信が可能

リモート・フレームの自動送信が可能

転送速度 最大1 Mbps

32メッセージ・バッファ

19.2 機能概要

表19 - 1に機能概要を示します。

表19 - 1 機能概要

機 能	詳 細
★ プロトコル	CANプロトコルVer.2.0 PartB active (標準および拡張フレームの送受信)
★ ボー・レート	最大1 Mbps
★ データ・ストレージ	<ul style="list-style-type: none"> ・ 共通アクセス可能RAM領域に配置 ・ 未使用メッセージ・バッファにマッピングされているRAMはCPUで他の処理に使用可能
★ マスク機能	<ul style="list-style-type: none"> ・ CANモジュールあたり4パターンのマスク設定が可能 ・ グローバル・マスクとローカル・マスクは共通に使用可能
★ メッセージ構成	送信メッセージまたは受信メッセージとして宣言可能
★ メッセージ数	32メッセージ
★ メッセージ格納方法	<ul style="list-style-type: none"> ・ 各メッセージ・バッファ固有IDのバッファへの格納 ・ 受信用マスク機能により指定されたバッファへ格納
★ リモート受信	<ul style="list-style-type: none"> ・ リモート・フレームは受信メッセージ・バッファもしくは送信メッセージ・バッファのいずれかに受信可能 ・ 送信メッセージ・バッファ上にリモート・フレームを受信する場合、リモート要求をCPUで処理するか、または自動送信を開始するかを選択可能
★ リモート送信	リモート・フレームは送信メッセージのRTRビット (M_CTRLnレジスタ) を設定するか、受信メッセージの送信要求を設定することにより送出可能
★ タイム・スタンプ機能	受信および送信メッセージに対してタイム・スタンプ機能が設定可能
★ 診断機能	<ul style="list-style-type: none"> ・ リード可能エラー・カウンタ ・ バス接続確認用 “有効プロトコル動作フラグ” ・ 自動ボー・レート検出用受信専用モード ・ 診断処理モード
★ 低消費電力モード	<ul style="list-style-type: none"> ・ CANスリープ・モード (CANバスによりウエイク・アップ可能) ・ CANストップ・モード (CANバスによるウエイク・アップ不可)

備考 n = 00-31

19.3 構成

FCANは、次の4つのブロックから構成されています。

(1) NPBインタフェース

NPB (NEC周辺I/Oバス) インタフェースと信号の送受信を行うための機能ブロックです。

(2) MAC (Memory Access Controller)

FCAN内部でCANモジュールやCAN RAMへのアクセスを制御している機能ブロックです。

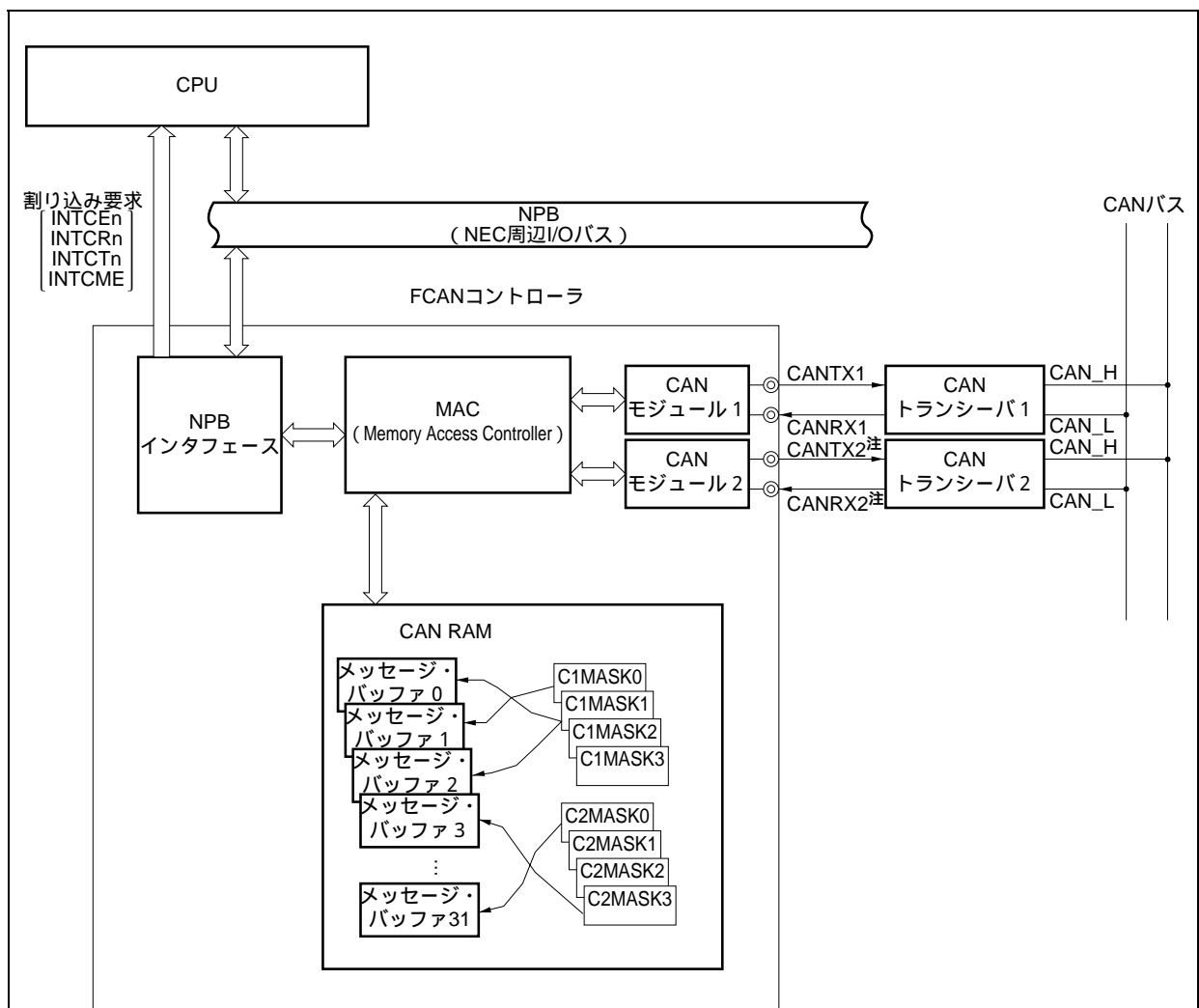
(3) CANモジュール

CANのプロトコル・レイヤとその設定を行う機能ブロックです。

(4) CAN RAM

メッセージIDやメッセージ・データなどを格納するCANのメモリ機能ブロックです。

図19-1 FCANのブロック図



注 μ PD703089Y, 70F3089Yのみ

- 注意1. P114/CANTX1, P115/CANRX1, P116/CANTX2, P117/CANRX2をFCAN送受信で使用する場合は、ポート兼用機能コントロール・レジスタ(PAC)の設定によりFCAN端子機能(CANTX1, CANRX1, CANTX2, CANRX2)として使用できます(5.2.10(2)(b)ポート兼用機能コントロール・レジスタ(PAC)参照)。
2. P114/CANTX1, P116/CANTX2端子をCANTX1, CANTX2として使用する場合は、P11レジスタを0, PM11レジスタを0に設定してください(5.3ポート端子を兼用端子として使用する場合の設定参照)。
3. P115/CANRX1, P117/CANRX2端子をCANRX1, CANRX2として使用する場合は、P11レジスタを0, PM11レジスタを1に設定してください。
4. 外部バス・インタフェース機能使用時にFCANレジスタをリード/ライトした場合、外部拡張端子(ポート4, 5, 6, 9)にアドレス/データ制御信号が出力されるので、外部拡張端子に接続する外部デバイスはFCANアドレス領域であるxx3FF800H-xx3FFFFFHのリード/ライトをしないでください。
5. 外部バス・インタフェース機能使用時にウェイト機能、アイドル機能を設定した場合、FCANレジスタへのリード/ライト動作時でもウェイト機能、アイドル機能が有効になります。
6. サブクロックからFCANにクロックが供給されないため、メイン・クロックを停止させてサブクロック動作に設定した場合は、FCANレジスタへのリード/ライトをしないでください。

備考 n = 1, 2

19.4 FCANコントローラの内部レジスタ

19.4.1 メッセージとバッファの構成

表19-2 メッセージとバッファの構成

アドレス	レジスタ名
xx3FF800H - xx3FF81FH	メッセージ・バッファ0領域
xx3FF820H - xx3FF83FH	メッセージ・バッファ1領域
xx3FF840H - xx3FF85FH	メッセージ・バッファ2領域
xx3FF860H - xx3FF87FH	メッセージ・バッファ3領域
xx3FF880H - xx3FF89FH	メッセージ・バッファ4領域
xx3FF8A0H - xx3FF8BFH	メッセージ・バッファ5領域
xx3FF8C0H - xx3FF8DFH	メッセージ・バッファ6領域
xx3FF8E0H - xx3FF8FFH	メッセージ・バッファ7領域
xx3FF900H - xx3FF91FH	メッセージ・バッファ8領域
xx3FF920H - xx3FF93FH	メッセージ・バッファ9領域
xx3FF940H - xx3FF95FH	メッセージ・バッファ10領域
xx3FF960H - xx3FF97FH	メッセージ・バッファ11領域
xx3FF980H - xx3FF99FH	メッセージ・バッファ12領域
xx3FF9A0H - xx3FF9BFH	メッセージ・バッファ13領域
xx3FF9C0H - xx3FF9DFH	メッセージ・バッファ14領域
xx3FF9E0H - xx3FF9FFH	メッセージ・バッファ15領域
xx3FFA00H - xx3FFA1FH	メッセージ・バッファ16領域
xx3FFA20H - xx3FFA3FH	メッセージ・バッファ17領域
xx3FFA40H - xx3FFA5FH	メッセージ・バッファ18領域
xx3FFA60H - xx3FFA7FH	メッセージ・バッファ19領域
xx3FFA80H - xx3FFA9FH	メッセージ・バッファ20領域
xx3FFAA0H - xx3FFABFH	メッセージ・バッファ21領域
xx3FFAC0H - xx3FFADFH	メッセージ・バッファ22領域
xx3FFAE0H - xx3FFAFFH	メッセージ・バッファ23領域
xx3FFB00H - xx3FFB1FH	メッセージ・バッファ24領域
xx3FFB20H - xx3FFB3FH	メッセージ・バッファ25領域
xx3FFB40H - xx3FFB5FH	メッセージ・バッファ26領域
xx3FFB60H - xx3FFB7FH	メッセージ・バッファ27領域
xx3FFB80H - xx3FFB9FH	メッセージ・バッファ28領域
xx3FFBA0H - xx3FFBBFH	メッセージ・バッファ29領域
xx3FFBC0H - xx3FFBDFH	メッセージ・バッファ30領域
xx3FFBE0H - xx3FFBFFH	メッセージ・バッファ31領域

注意 xx3FF800H-xx3FFFFFH番地は物理FCANアドレス領域で、xxnFF800H-xxnFFFFFFH番地にはそのイメージが見えます (n = 7, B)。

なお、xxnFF800H-xxnFFFFFFH番地へのアクセスは禁止です。

備考 各メッセージ・バッファの詳細については、19.4.2 FCAN用レジスタ一覧を参照してください。

19.4.2 FCAN用レジスタ一覧

(1/14)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
xx3FF804H	CANメッセージ・データ長レジスタ00	M_DLC00	R/W				不定
xx3FF805H	CANメッセージ・コントロール・レジスタ00	M_CTRL00					
xx3FF806H	CANメッセージ・タイム・スタンプ・レジスタ00	M_TIME00					
xx3FF808H	CANメッセージ・データ・レジスタ000	M_DATA000					
xx3FF809H	CANメッセージ・データ・レジスタ001	M_DATA001					
xx3FF80AH	CANメッセージ・データ・レジスタ002	M_DATA002					
xx3FF80BH	CANメッセージ・データ・レジスタ003	M_DATA003					
xx3FF80CH	CANメッセージ・データ・レジスタ004	M_DATA004					
xx3FF80DH	CANメッセージ・データ・レジスタ005	M_DATA005					
xx3FF80EH	CANメッセージ・データ・レジスタ006	M_DATA006					
xx3FF80FH	CANメッセージ・データ・レジスタ007	M_DATA007					
xx3FF810H	CANメッセージIDレジスタL00	M_IDL00					
xx3FF812H	CANメッセージIDレジスタH00	M_IDH00					
xx3FF814H	CANメッセージ構成レジスタ00	M_CONF00					
xx3FF815H	CANメッセージ・ステータス・レジスタ00	M_STAT00	R				
xx3FF816H	CANステータス・セット/クリア・レジスタ00	SC_STAT00	W			0000H	
xx3FF824H	CANメッセージ・データ長レジスタ01	M_DLC01	R/W			不定	
xx3FF825H	CANメッセージ・コントロール・レジスタ01	M_CTRL01					
xx3FF826H	CANメッセージ・タイム・スタンプ・レジスタ01	M_TIME01					
xx3FF828H	CANメッセージ・データ・レジスタ010	M_DATA010					
xx3FF829H	CANメッセージ・データ・レジスタ011	M_DATA011					
xx3FF82AH	CANメッセージ・データ・レジスタ012	M_DATA012					
xx3FF82BH	CANメッセージ・データ・レジスタ013	M_DATA013					
xx3FF82CH	CANメッセージ・データ・レジスタ014	M_DATA014					
xx3FF82DH	CANメッセージ・データ・レジスタ015	M_DATA015					
xx3FF82EH	CANメッセージ・データ・レジスタ016	M_DATA016					
xx3FF82FH	CANメッセージ・データ・レジスタ017	M_DATA017					
xx3FF830H	CANメッセージIDレジスタL01	M_IDL01					
xx3FF832H	CANメッセージIDレジスタH01	M_IDH01					
xx3FF834H	CANメッセージ構成レジスタ01	M_CONF01					
xx3FF835H	CANメッセージ・ステータス・レジスタ01	M_STAT01	R				
xx3FF836H	CANステータス・セット/クリア・レジスタ01	SC_STAT01	W			0000H	
xx3FF844H	CANメッセージ・データ長レジスタ02	M_DLC02	R/W			不定	
xx3FF845H	CANメッセージ・コントロール・レジスタ02	M_CTRL02					
xx3FF846H	CANメッセージ・タイム・スタンプ・レジスタ02	M_TIME02					
xx3FF848H	CANメッセージ・データ・レジスタ020	M_DATA020					
xx3FF849H	CANメッセージ・データ・レジスタ021	M_DATA021					
xx3FF84AH	CANメッセージ・データ・レジスタ022	M_DATA022					
xx3FF84BH	CANメッセージ・データ・レジスタ023	M_DATA023					
xx3FF84CH	CANメッセージ・データ・レジスタ024	M_DATA024					

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
xx3FF84DH	CANメッセージ・データ・レジスタ025	M_DATA025	R/W				不定
xx3FF84EH	CANメッセージ・データ・レジスタ026	M_DATA026					
xx3FF84FH	CANメッセージ・データ・レジスタ027	M_DATA027					
xx3FF850H	CANメッセージIDレジスタL02	M_IDL02					
xx3FF852H	CANメッセージIDレジスタH02	M_IDH02					
xx3FF854H	CANメッセージ構成レジスタ02	M_CONF02					
xx3FF855H	CANメッセージ・ステータス・レジスタ02	M_STAT02	R				
xx3FF856H	CANステータス・セット/クリア・レジスタ02	SC_STAT02	W				0000H
xx3FF864H	CANメッセージ・データ長レジスタ03	M_DLC03	R/W				不定
xx3FF865H	CANメッセージ・コントロール・レジスタ03	M_CTRL03					
xx3FF866H	CANメッセージ・タイム・スタンプ・レジスタ03	M_TIME03					
xx3FF868H	CANメッセージ・データ・レジスタ030	M_DATA030					
xx3FF869H	CANメッセージ・データ・レジスタ031	M_DATA031					
xx3FF86AH	CANメッセージ・データ・レジスタ032	M_DATA032					
xx3FF86BH	CANメッセージ・データ・レジスタ033	M_DATA033					
xx3FF86CH	CANメッセージ・データ・レジスタ034	M_DATA034					
xx3FF86DH	CANメッセージ・データ・レジスタ035	M_DATA035					
xx3FF86EH	CANメッセージ・データ・レジスタ036	M_DATA036					
xx3FF86FH	CANメッセージ・データ・レジスタ037	M_DATA037					
xx3FF870H	CANメッセージIDレジスタL03	M_IDL03					
xx3FF872H	CANメッセージIDレジスタH03	M_IDH03					
xx3FF874H	CANメッセージ構成レジスタ03	M_CONF03					
xx3FF875H	CANメッセージ・ステータス・レジスタ03	M_STAT03	R				
xx3FF876H	CANステータス・セット/クリア・レジスタ03	SC_STAT03	W				0000H
xx3FF884H	CANメッセージ・データ長レジスタ04	M_DLC04	R/W				不定
xx3FF885H	CANメッセージ・コントロール・レジスタ04	M_CTRL04					
xx3FF886H	CANメッセージ・タイム・スタンプ・レジスタ04	M_TIME04					
xx3FF888H	CANメッセージ・データ・レジスタ040	M_DATA040					
xx3FF889H	CANメッセージ・データ・レジスタ041	M_DATA041					
xx3FF88AH	CANメッセージ・データ・レジスタ042	M_DATA042					
xx3FF88BH	CANメッセージ・データ・レジスタ043	M_DATA043					
xx3FF88CH	CANメッセージ・データ・レジスタ044	M_DATA044					
xx3FF88DH	CANメッセージ・データ・レジスタ045	M_DATA045					
xx3FF88EH	CANメッセージ・データ・レジスタ046	M_DATA046					
xx3FF88FH	CANメッセージ・データ・レジスタ047	M_DATA047					
xx3FF890H	CANメッセージIDレジスタL04	M_IDL04					
xx3FF892H	CANメッセージIDレジスタH04	M_IDH04					
xx3FF894H	CANメッセージ構成レジスタ04	M_CONF04					
xx3FF895H	CANメッセージ・ステータス・レジスタ04	M_STAT04	R				
xx3FF896H	CANステータス・セット/クリア・レジスタ04	SC_STAT04	W				0000H
xx3FF8A4H	CANメッセージ・データ長レジスタ05	M_DLC05	R/W				不定
xx3FF8A5H	CANメッセージ・コントロール・レジスタ05	M_CTRL05					

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
xx3FF8A6H	CANメッセージ・タイム・スタンプ・レジスタ05	M_TIME05	R/W				不定
xx3FF8A8H	CANメッセージ・データ・レジスタ050	M_DATA050					
xx3FF8A9H	CANメッセージ・データ・レジスタ051	M_DATA051					
xx3FF8AAH	CANメッセージ・データ・レジスタ052	M_DATA052					
xx3FF8ABH	CANメッセージ・データ・レジスタ053	M_DATA053					
xx3FF8ACH	CANメッセージ・データ・レジスタ054	M_DATA054					
xx3FF8ADH	CANメッセージ・データ・レジスタ055	M_DATA055					
xx3FF8AEH	CANメッセージ・データ・レジスタ056	M_DATA056					
xx3FF8AFH	CANメッセージ・データ・レジスタ057	M_DATA057					
xx3FF8B0H	CANメッセージIDレジスタL05	M_IDL05					
xx3FF8B2H	CANメッセージIDレジスタH05	M_IDH05					
xx3FF8B4H	CANメッセージ構成レジスタ05	M_CONF05					
xx3FF8B5H	CANメッセージ・ステータス・レジスタ05	M_STAT05	R				
xx3FF8B6H	CANステータス・セット/クリア・レジスタ05	SC_STAT05	W				
xx3FF8C4H	CANメッセージ・データ長レジスタ06	M_DLC06	R/W				不定
xx3FF8C5H	CANメッセージ・コントロール・レジスタ06	M_CTRL06					
xx3FF8C6H	CANメッセージ・タイム・スタンプ・レジスタ06	M_TIME06					
xx3FF8C8H	CANメッセージ・データ・レジスタ060	M_DATA060					
xx3FF8C9H	CANメッセージ・データ・レジスタ061	M_DATA061					
xx3FF8CAH	CANメッセージ・データ・レジスタ062	M_DATA062					
xx3FF8CBH	CANメッセージ・データ・レジスタ063	M_DATA063					
xx3FF8CCH	CANメッセージ・データ・レジスタ064	M_DATA064					
xx3FF8CDH	CANメッセージ・データ・レジスタ065	M_DATA065					
xx3FF8CEH	CANメッセージ・データ・レジスタ066	M_DATA066					
xx3FF8CFH	CANメッセージ・データ・レジスタ067	M_DATA067					
xx3FF8D0H	CANメッセージIDレジスタL06	M_IDL06					
xx3FF8D2H	CANメッセージIDレジスタH06	M_IDH06					
xx3FF8D4H	CANメッセージ構成レジスタ06	M_CONF06					
xx3FF8D5H	CANメッセージ・ステータス・レジスタ06	M_STAT06	R				
xx3FF8D6H	CANステータス・セット/クリア・レジスタ06	SC_STAT06	W				
xx3FF8E4H	CANメッセージ・データ長レジスタ07	M_DLC07	R/W				不定
xx3FF8E5H	CANメッセージ・コントロール・レジスタ07	M_CTRL07					
xx3FF8E6H	CANメッセージ・タイム・スタンプ・レジスタ07	M_TIME07					
xx3FF8E8H	CANメッセージ・データ・レジスタ070	M_DATA070					
xx3FF8E9H	CANメッセージ・データ・レジスタ071	M_DATA071					
xx3FF8EAH	CANメッセージ・データ・レジスタ072	M_DATA072					
xx3FF8EBH	CANメッセージ・データ・レジスタ073	M_DATA073					
xx3FF8ECH	CANメッセージ・データ・レジスタ074	M_DATA074					
xx3FF8EDH	CANメッセージ・データ・レジスタ075	M_DATA075					
xx3FF8EEH	CANメッセージ・データ・レジスタ076	M_DATA076					
xx3FF8EFH	CANメッセージ・データ・レジスタ077	M_DATA077					
xx3FF8F0H	CANメッセージIDレジスタL07	M_IDL07					

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時	
				1	8	16		
xx3FF8F2H	CANメッセージIDレジスタH07	M_IDH07	R/W				不定	
xx3FF8F4H	CANメッセージ構成レジスタ07	M_CONF07						
xx3FF8F5H	CANメッセージ・ステータス・レジスタ07	M_STAT07	R					
xx3FF8F6H	CANステータス・セット/クリア・レジスタ07	SC_STAT07	W				0000H	
xx3FF904H	CANメッセージ・データ長レジスタ08	M_DLC08	R/W				不定	
xx3FF905H	CANメッセージ・コントロール・レジスタ08	M_CTRL08						
xx3FF906H	CANメッセージ・タイム・スタンプ・レジスタ08	M_TIME08						
xx3FF908H	CANメッセージ・データ・レジスタ080	M_DATA080						
xx3FF909H	CANメッセージ・データ・レジスタ081	M_DATA081						
xx3FF90AH	CANメッセージ・データ・レジスタ082	M_DATA082						
xx3FF90BH	CANメッセージ・データ・レジスタ083	M_DATA083						
xx3FF90CH	CANメッセージ・データ・レジスタ084	M_DATA084						
xx3FF90DH	CANメッセージ・データ・レジスタ085	M_DATA085						
xx3FF90EH	CANメッセージ・データ・レジスタ086	M_DATA086						
xx3FF90FH	CANメッセージ・データ・レジスタ087	M_DATA087						
xx3FF910H	CANメッセージIDレジスタL08	M_IDL08						
xx3FF912H	CANメッセージIDレジスタH08	M_IDH08						
xx3FF914H	CANメッセージ構成レジスタ08	M_CONF08						
xx3FF915H	CANメッセージ・ステータス・レジスタ08	M_STAT08		R				
xx3FF916H	CANステータス・セット/クリア・レジスタ08	SC_STAT08		W				
xx3FF924H	CANメッセージ・データ長レジスタ09	M_DLC09	R/W				不定	
xx3FF925H	CANメッセージ・コントロール・レジスタ09	M_CTRL09						
xx3FF926H	CANメッセージ・タイム・スタンプ・レジスタ09	M_TIME09						
xx3FF928H	CANメッセージ・データ・レジスタ090	M_DATA090						
xx3FF929H	CANメッセージ・データ・レジスタ091	M_DATA091						
xx3FF92AH	CANメッセージ・データ・レジスタ092	M_DATA092						
xx3FF92BH	CANメッセージ・データ・レジスタ093	M_DATA093						
xx3FF92CH	CANメッセージ・データ・レジスタ094	M_DATA094						
xx3FF92DH	CANメッセージ・データ・レジスタ095	M_DATA095						
xx3FF92EH	CANメッセージ・データ・レジスタ096	M_DATA096						
xx3FF92FH	CANメッセージ・データ・レジスタ097	M_DATA097						
xx3FF930H	CANメッセージIDレジスタL09	M_IDL09						
xx3FF932H	CANメッセージIDレジスタH09	M_IDH09						
xx3FF934H	CANメッセージ構成レジスタ09	M_CONF09						
xx3FF935H	CANメッセージ・ステータス・レジスタ09	M_STAT09		R				
xx3FF936H	CANステータス・セット/クリア・レジスタ09	SC_STAT09		W				
xx3FF944H	CANメッセージ・データ長レジスタ10	M_DLC10	R/W				不定	
xx3FF945H	CANメッセージ・コントロール・レジスタ10	M_CTRL10						
xx3FF946H	CANメッセージ・タイム・スタンプ・レジスタ10	M_TIME10						
xx3FF948H	CANメッセージ・データ・レジスタ100	M_DATA100						
xx3FF949H	CANメッセージ・データ・レジスタ101	M_DATA101						
xx3FF94AH	CANメッセージ・データ・レジスタ102	M_DATA102						

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時		
				1	8	16			
xx3FF94BH	CANメッセージ・データ・レジスタ103	M_DATA103	R/W				不定		
xx3FF94CH	CANメッセージ・データ・レジスタ104	M_DATA104							
xx3FF94DH	CANメッセージ・データ・レジスタ105	M_DATA105							
xx3FF94EH	CANメッセージ・データ・レジスタ106	M_DATA106							
xx3FF94FH	CANメッセージ・データ・レジスタ107	M_DATA107							
xx3FF950H	CANメッセージIDレジスタL10	M_IDL10							
xx3FF952H	CANメッセージIDレジスタH10	M_IDH10							
xx3FF954H	CANメッセージ構成レジスタ10	M_CONF10							
xx3FF955H	CANメッセージ・ステータス・レジスタ10	M_STAT10	R						
xx3FF956H	CANステータス・セット/クリア・レジスタ10	SC_STAT10	W				0000H		
xx3FF964H	CANメッセージ・データ長レジスタ11	M_DLC11	R/W				不定		
xx3FF965H	CANメッセージ・コントロール・レジスタ11	M_CTRL11							
xx3FF966H	CANメッセージ・タイム・スタンプ・レジスタ11	M_TIME11							
xx3FF968H	CANメッセージ・データ・レジスタ110	M_DATA110							
xx3FF969H	CANメッセージ・データ・レジスタ111	M_DATA111							
xx3FF96AH	CANメッセージ・データ・レジスタ112	M_DATA112							
xx3FF96BH	CANメッセージ・データ・レジスタ113	M_DATA113							
xx3FF96CH	CANメッセージ・データ・レジスタ114	M_DATA114							
xx3FF96DH	CANメッセージ・データ・レジスタ115	M_DATA115							
xx3FF96EH	CANメッセージ・データ・レジスタ116	M_DATA116							
xx3FF96FH	CANメッセージ・データ・レジスタ117	M_DATA117							
xx3FF970H	CANメッセージIDレジスタL11	M_IDL11							
xx3FF972H	CANメッセージIDレジスタH11	M_IDH11							
xx3FF974H	CANメッセージ構成レジスタ11	M_CONF11							
xx3FF975H	CANメッセージ・ステータス・レジスタ11	M_STAT11		R					
xx3FF976H	CANステータス・セット/クリア・レジスタ11	SC_STAT11		W					0000H
xx3FF984H	CANメッセージ・データ長レジスタ12	M_DLC12	R/W				不定		
xx3FF985H	CANメッセージ・コントロール・レジスタ12	M_CTRL12							
xx3FF986H	CANメッセージ・タイム・スタンプ・レジスタ12	M_TIME12							
xx3FF988H	CANメッセージ・データ・レジスタ120	M_DATA120							
xx3FF989H	CANメッセージ・データ・レジスタ121	M_DATA121							
xx3FF98AH	CANメッセージ・データ・レジスタ122	M_DATA122							
xx3FF98BH	CANメッセージ・データ・レジスタ123	M_DATA123							
xx3FF98CH	CANメッセージ・データ・レジスタ124	M_DATA124							
xx3FF98DH	CANメッセージ・データ・レジスタ125	M_DATA125							
xx3FF98EH	CANメッセージ・データ・レジスタ126	M_DATA126							
xx3FF98FH	CANメッセージ・データ・レジスタ127	M_DATA127							
xx3FF990H	CANメッセージIDレジスタL12	M_IDL12							
xx3FF992H	CANメッセージIDレジスタH12	M_IDH12							
xx3FF994H	CANメッセージ構成レジスタ12	M_CONF12							
xx3FF995H	CANメッセージ・ステータス・レジスタ12	M_STAT12		R					
xx3FF996H	CANステータス・セット/クリア・レジスタ12	SC_STAT12		W					0000H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
xx3FF9A4H	CANメッセージ・データ長レジスタ13	M_DLC13	R/W				不定
xx3FF9A5H	CANメッセージ・コントロール・レジスタ13	M_CTRL13					
xx3FF9A6H	CANメッセージ・タイム・スタンプ・レジスタ13	M_TIME13					
xx3FF9A8H	CANメッセージ・データ・レジスタ130	M_DATA130					
xx3FF9A9H	CANメッセージ・データ・レジスタ131	M_DATA131					
xx3FF9AAH	CANメッセージ・データ・レジスタ132	M_DATA132					
xx3FF9ABH	CANメッセージ・データ・レジスタ133	M_DATA133					
xx3FF9ACH	CANメッセージ・データ・レジスタ134	M_DATA134					
xx3FF9ADH	CANメッセージ・データ・レジスタ135	M_DATA135					
xx3FF9AEH	CANメッセージ・データ・レジスタ136	M_DATA136					
xx3FF9AFH	CANメッセージ・データ・レジスタ137	M_DATA137					
xx3FF9B0H	CANメッセージIDレジスタL13	M_IDL13					
xx3FF9B2H	CANメッセージIDレジスタH13	M_IDH13					
xx3FF9B4H	CANメッセージ構成レジスタ13	M_CONF13					
xx3FF9B5H	CANメッセージ・ステータス・レジスタ13	M_STAT13	R				
xx3FF9B6H	CANステータス・セット/クリア・レジスタ13	SC_STAT13	W			0000H	
xx3FF9C4H	CANメッセージ・データ長レジスタ14	M_DLC14	R/W				不定
xx3FF9C5H	CANメッセージ・コントロール・レジスタ14	M_CTRL14					
xx3FF9C6H	CANメッセージ・タイム・スタンプ・レジスタ14	M_TIME14					
xx3FF9C8H	CANメッセージ・データ・レジスタ140	M_DATA140					
xx3FF9C9H	CANメッセージ・データ・レジスタ141	M_DATA141					
xx3FF9CAH	CANメッセージ・データ・レジスタ142	M_DATA142					
xx3FF9CBH	CANメッセージ・データ・レジスタ143	M_DATA143					
xx3FF9CCH	CANメッセージ・データ・レジスタ144	M_DATA144					
xx3FF9CDH	CANメッセージ・データ・レジスタ145	M_DATA145					
xx3FF9CEH	CANメッセージ・データ・レジスタ146	M_DATA146					
xx3FF9CFH	CANメッセージ・データ・レジスタ147	M_DATA147					
xx3FF9D0H	CANメッセージIDレジスタL14	M_IDL14					
xx3FF9D2H	CANメッセージIDレジスタH14	M_IDH14					
xx3FF9D4H	CANメッセージ構成レジスタ14	M_CONF14					
xx3FF9D5H	CANメッセージ・ステータス・レジスタ14	M_STAT14	R				
xx3FF9D6H	CANステータス・セット/クリア・レジスタ14	SC_STAT14	W			0000H	
xx3FF9E4H	CANメッセージ・データ長レジスタ15	M_DLC15	R/W				不定
xx3FF9E5H	CANメッセージ・コントロール・レジスタ15	M_CTRL15					
xx3FF9E6H	CANメッセージ・タイム・スタンプ・レジスタ15	M_TIME15					
xx3FF9E8H	CANメッセージ・データ・レジスタ150	M_DATA150					
xx3FF9E9H	CANメッセージ・データ・レジスタ151	M_DATA151					
xx3FF9EAH	CANメッセージ・データ・レジスタ152	M_DATA152					
xx3FF9EBH	CANメッセージ・データ・レジスタ153	M_DATA153					
xx3FF9ECH	CANメッセージ・データ・レジスタ154	M_DATA154					
xx3FF9EDH	CANメッセージ・データ・レジスタ155	M_DATA155					
xx3FF9EEH	CANメッセージ・データ・レジスタ156	M_DATA156					

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時	
				1	8	16		
xx3FF9EFH	CANメッセージ・データ・レジスタ157	M_DATA157	R/W				不定	
xx3FF9F0H	CANメッセージIDレジスタL15	M_IDL15						
xx3FF9F2H	CANメッセージIDレジスタH15	M_IDH15						
xx3FF9F4H	CANメッセージ構成レジスタ15	M_CONF15						
xx3FF9F5H	CANメッセージ・ステータス・レジスタ15	M_STAT15	R					
xx3FF9F6H	CANステータス・セット/クリア・レジスタ15	SC_STAT15	W				0000H	
xx3FFA04H	CANメッセージ・データ長レジスタ16	M_DLC16	R/W				不定	
xx3FFA05H	CANメッセージ・コントロール・レジスタ16	M_CTRL16						
xx3FFA06H	CANメッセージ・タイム・スタンプ・レジスタ16	M_TIME16						
xx3FFA08H	CANメッセージ・データ・レジスタ160	M_DATA160						
xx3FFA09H	CANメッセージ・データ・レジスタ161	M_DATA161						
xx3FFA0AH	CANメッセージ・データ・レジスタ162	M_DATA162						
xx3FFA0BH	CANメッセージ・データ・レジスタ163	M_DATA163						
xx3FFA0CH	CANメッセージ・データ・レジスタ164	M_DATA164						
xx3FFA0DH	CANメッセージ・データ・レジスタ165	M_DATA165						
xx3FFA0EH	CANメッセージ・データ・レジスタ166	M_DATA166						
xx3FFA0FH	CANメッセージ・データ・レジスタ167	M_DATA167						
xx3FFA10H	CANメッセージIDレジスタL16	M_IDL16						
xx3FFA12H	CANメッセージIDレジスタH16	M_IDH16						
xx3FFA14H	CANメッセージ構成レジスタ16	M_CONF16						
xx3FFA15H	CANメッセージ・ステータス・レジスタ16	M_STAT16		R				
xx3FFA16H	CANステータス・セット/クリア・レジスタ16	SC_STAT16		W				
xx3FFA24H	CANメッセージ・データ長レジスタ17	M_DLC17	R/W				不定	
xx3FFA25H	CANメッセージ・コントロール・レジスタ17	M_CTRL17						
xx3FFA26H	CANメッセージ・タイム・スタンプ・レジスタ17	M_TIME17						
xx3FFA28H	CANメッセージ・データ・レジスタ170	M_DATA170						
xx3FFA29H	CANメッセージ・データ・レジスタ171	M_DATA171						
xx3FFA2AH	CANメッセージ・データ・レジスタ172	M_DATA172						
xx3FFA2BH	CANメッセージ・データ・レジスタ173	M_DATA173						
xx3FFA2CH	CANメッセージ・データ・レジスタ174	M_DATA174						
xx3FFA2DH	CANメッセージ・データ・レジスタ175	M_DATA175						
xx3FFA2EH	CANメッセージ・データ・レジスタ176	M_DATA176						
xx3FFA2FH	CANメッセージ・データ・レジスタ177	M_DATA177						
xx3FFA30H	CANメッセージIDレジスタL17	M_IDL17						
xx3FFA32H	CANメッセージIDレジスタH17	M_IDH17						
xx3FFA34H	CANメッセージ構成レジスタ17	M_CONF17						
xx3FFA35H	CANメッセージ・ステータス・レジスタ17	M_STAT17		R				
xx3FFA36H	CANステータス・セット/クリア・レジスタ17	SC_STAT17		W				
xx3FFA44H	CANメッセージ・データ長レジスタ18	M_DLC18	R/W				不定	
xx3FFA45H	CANメッセージ・コントロール・レジスタ18	M_CTRL18						
xx3FFA46H	CANメッセージ・タイム・スタンプ・レジスタ18	M_TIME18						
xx3FFA48H	CANメッセージ・データ・レジスタ180	M_DATA180						

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
xx3FFA49H	CANメッセージ・データ・レジスタ181	M_DATA181	R/W				不定
xx3FFA4AH	CANメッセージ・データ・レジスタ182	M_DATA182					
xx3FFA4BH	CANメッセージ・データ・レジスタ183	M_DATA183					
xx3FFA4CH	CANメッセージ・データ・レジスタ184	M_DATA184					
xx3FFA4DH	CANメッセージ・データ・レジスタ185	M_DATA185					
xx3FFA4EH	CANメッセージ・データ・レジスタ186	M_DATA186					
xx3FFA4FH	CANメッセージ・データ・レジスタ187	M_DATA187					
xx3FFA50H	CANメッセージIDレジスタL18	M_IDL18					
xx3FFA52H	CANメッセージIDレジスタH18	M_IDH18					
xx3FFA54H	CANメッセージ構成レジスタ18	M_CONF18					
xx3FFA55H	CANメッセージ・ステータス・レジスタ18	M_STAT18	R				
xx3FFA56H	CANステータス・セット/クリア・レジスタ18	SC_STAT18	W			0000H	
xx3FFA64H	CANメッセージ・データ長レジスタ19	M_DLC19	R/W				不定
xx3FFA65H	CANメッセージ・コントロール・レジスタ19	M_CTRL19					
xx3FFA66H	CANメッセージ・タイム・スタンプ・レジスタ19	M_TIME19					
xx3FFA68H	CANメッセージ・データ・レジスタ190	M_DATA190					
xx3FFA69H	CANメッセージ・データ・レジスタ191	M_DATA191					
xx3FFA6AH	CANメッセージ・データ・レジスタ192	M_DATA192					
xx3FFA6BH	CANメッセージ・データ・レジスタ193	M_DATA193					
xx3FFA6CH	CANメッセージ・データ・レジスタ194	M_DATA194					
xx3FFA6DH	CANメッセージ・データ・レジスタ195	M_DATA195					
xx3FFA6EH	CANメッセージ・データ・レジスタ196	M_DATA196					
xx3FFA6FH	CANメッセージ・データ・レジスタ197	M_DATA197					
xx3FFA70H	CANメッセージIDレジスタL19	M_IDL19					
xx3FFA72H	CANメッセージIDレジスタH19	M_IDH19					
xx3FFA74H	CANメッセージ構成レジスタ19	M_CONF19					
xx3FFA75H	CANメッセージ・ステータス・レジスタ19	M_STAT19	R				
xx3FFA76H	CANステータス・セット/クリア・レジスタ19	SC_STAT19	W			0000H	
xx3FFA84H	CANメッセージ・データ長レジスタ20	M_DLC20	R/W				不定
xx3FFA85H	CANメッセージ・コントロール・レジスタ20	M_CTRL20					
xx3FFA86H	CANメッセージ・タイム・スタンプ・レジスタ20	M_TIME20					
xx3FFA88H	CANメッセージ・データ・レジスタ200	M_DATA200					
xx3FFA89H	CANメッセージ・データ・レジスタ201	M_DATA201					
xx3FFA8AH	CANメッセージ・データ・レジスタ202	M_DATA202					
xx3FFA8BH	CANメッセージ・データ・レジスタ203	M_DATA203					
xx3FFA8CH	CANメッセージ・データ・レジスタ204	M_DATA204					
xx3FFA8DH	CANメッセージ・データ・レジスタ205	M_DATA205					
xx3FFA8EH	CANメッセージ・データ・レジスタ206	M_DATA206					
xx3FFA8FH	CANメッセージ・データ・レジスタ207	M_DATA207					
xx3FFA90H	CANメッセージIDレジスタL20	M_IDL20					
xx3FFA92H	CANメッセージIDレジスタH20	M_IDH20					
xx3FFA94H	CANメッセージ構成レジスタ20	M_CONF20					

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
xx3FFA95H	CANメッセージ・ステータス・レジスタ20	M_STAT20	R				不定
xx3FFA96H	CANステータス・セット/クリア・レジスタ20	SC_STAT20	W				0000H
xx3FFAA4H	CANメッセージ・データ長レジスタ21	M_DLC21	R/W				不定
xx3FFAA5H	CANメッセージ・コントロール・レジスタ21	M_CTRL21					
xx3FFAA6H	CANメッセージ・タイム・スタンプ・レジスタ21	M_TIME21					
xx3FFAA8H	CANメッセージ・データ・レジスタ210	M_DATA210					
xx3FFAA9H	CANメッセージ・データ・レジスタ211	M_DATA211					
xx3FFAAAH	CANメッセージ・データ・レジスタ212	M_DATA212					
xx3FFAABH	CANメッセージ・データ・レジスタ213	M_DATA213					
xx3FFAACH	CANメッセージ・データ・レジスタ214	M_DATA214					
xx3FFAADH	CANメッセージ・データ・レジスタ215	M_DATA215					
xx3FFAAEH	CANメッセージ・データ・レジスタ216	M_DATA216					
xx3FFAAFH	CANメッセージ・データ・レジスタ217	M_DATA217					
xx3FFAB0H	CANメッセージIDレジスタL21	M_IDL21					
xx3FFAB2H	CANメッセージIDレジスタH21	M_IDH21					
xx3FFAB4H	CANメッセージ構成レジスタ21	M_CONF21					
xx3FFAB5H	CANメッセージ・ステータス・レジスタ21	M_STAT21	R				
xx3FFAB6H	CANステータス・セット/クリア・レジスタ21	SC_STAT21	W				0000H
xx3FFAC4H	CANメッセージ・データ長レジスタ22	M_DLC22	R/W				不定
xx3FFAC5H	CANメッセージ・コントロール・レジスタ22	M_CTRL22					
xx3FFAC6H	CANメッセージ・タイム・スタンプ・レジスタ22	M_TIME22					
xx3FFAC8H	CANメッセージ・データ・レジスタ220	M_DATA220					
xx3FFAC9H	CANメッセージ・データ・レジスタ221	M_DATA221					
xx3FFACAH	CANメッセージ・データ・レジスタ222	M_DATA222					
xx3FFACBH	CANメッセージ・データ・レジスタ223	M_DATA223					
xx3FFACCH	CANメッセージ・データ・レジスタ224	M_DATA224					
xx3FFACDH	CANメッセージ・データ・レジスタ225	M_DATA225					
xx3FFACEH	CANメッセージ・データ・レジスタ226	M_DATA226					
xx3FFACFH	CANメッセージ・データ・レジスタ227	M_DATA227					
xx3FFAD0H	CANメッセージIDレジスタL22	M_IDL22					
xx3FFAD2H	CANメッセージIDレジスタH22	M_IDH22					
xx3FFAD4H	CANメッセージ構成レジスタ22	M_CONF22					
xx3FFAD5H	CANメッセージ・ステータス・レジスタ22	M_STAT22	R				
xx3FFAD6H	CANステータス・セット/クリア・レジスタ22	SC_STAT22	W				0000H
xx3FFAE4H	CANメッセージ・データ長レジスタ23	M_DLC23	R/W				不定
xx3FFAE5H	CANメッセージ・コントロール・レジスタ23	M_CTRL23					
xx3FFAE6H	CANメッセージ・タイム・スタンプ・レジスタ23	M_TIME23					
xx3FFAE8H	CANメッセージ・データ・レジスタ230	M_DATA230					
xx3FFAE9H	CANメッセージ・データ・レジスタ231	M_DATA231					
xx3FFAEAH	CANメッセージ・データ・レジスタ232	M_DATA232					
xx3FFAEBH	CANメッセージ・データ・レジスタ233	M_DATA233					
xx3FFAECH	CANメッセージ・データ・レジスタ234	M_DATA234					

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
xx3FFAEDH	CANメッセージ・データ・レジスタ235	M_DATA235	R/W				不定
xx3FFAEEH	CANメッセージ・データ・レジスタ236	M_DATA236					
xx3FFAEFH	CANメッセージ・データ・レジスタ237	M_DATA237					
xx3FFAF0H	CANメッセージIDレジスタL23	M_IDL23					
xx3FFAF2H	CANメッセージIDレジスタH23	M_IDH23					
xx3FFAF4H	CANメッセージ構成レジスタ23	M_CONF23					
xx3FFAF5H	CANメッセージ・ステータス・レジスタ23	M_STAT23	R				
xx3FFAF6H	CANステータス・セット/クリア・レジスタ23	SC_STAT23	W				0000H
xx3FFB04H	CANメッセージ・データ長レジスタ24	M_DLC24	R/W				不定
xx3FFB05H	CANメッセージ・コントロール・レジスタ24	M_CTRL24					
xx3FFB06H	CANメッセージ・タイム・スタンプ・レジスタ24	M_TIME24					
xx3FFB08H	CANメッセージ・データ・レジスタ240	M_DATA240					
xx3FFB09H	CANメッセージ・データ・レジスタ241	M_DATA241					
xx3FFB0AH	CANメッセージ・データ・レジスタ242	M_DATA242					
xx3FFB0BH	CANメッセージ・データ・レジスタ243	M_DATA243					
xx3FFB0CH	CANメッセージ・データ・レジスタ244	M_DATA244					
xx3FFB0DH	CANメッセージ・データ・レジスタ245	M_DATA245					
xx3FFB0EH	CANメッセージ・データ・レジスタ246	M_DATA246					
xx3FFB0FH	CANメッセージ・データ・レジスタ247	M_DATA247					
xx3FFB10H	CANメッセージIDレジスタL24	M_IDL24					
xx3FFB12H	CANメッセージIDレジスタH24	M_IDH24					
xx3FFB14H	CANメッセージ構成レジスタ24	M_CONF24					
xx3FFB15H	CANメッセージ・ステータス・レジスタ24	M_STAT24	R				
xx3FFB16H	CANステータス・セット/クリア・レジスタ24	SC_STAT24	W				0000H
xx3FFB24H	CANメッセージ・データ長レジスタ25	M_DLC25	R/W				不定
xx3FFB25H	CANメッセージ・コントロール・レジスタ25	M_CTRL25					
xx3FFB26H	CANメッセージ・タイム・スタンプ・レジスタ25	M_TIME25					
xx3FFB28H	CANメッセージ・データ・レジスタ250	M_DATA250					
xx3FFB29H	CANメッセージ・データ・レジスタ251	M_DATA251					
xx3FFB2AH	CANメッセージ・データ・レジスタ252	M_DATA252					
xx3FFB2BH	CANメッセージ・データ・レジスタ253	M_DATA253					
xx3FFB2CH	CANメッセージ・データ・レジスタ254	M_DATA254					
xx3FFB2DH	CANメッセージ・データ・レジスタ255	M_DATA255					
xx3FFB2EH	CANメッセージ・データ・レジスタ256	M_DATA256					
xx3FFB2FH	CANメッセージ・データ・レジスタ257	M_DATA257					
xx3FFB30H	CANメッセージIDレジスタL25	M_IDL25					
xx3FFB32H	CANメッセージIDレジスタH25	M_IDH25					
xx3FFB34H	CANメッセージ構成レジスタ25	M_CONF25					
xx3FFB35H	CANメッセージ・ステータス・レジスタ25	M_STAT25	R				
xx3FFB36H	CANステータス・セット/クリア・レジスタ25	SC_STAT25	W				0000H
xx3FFB44H	CANメッセージ・データ長レジスタ26	M_DLC26	R/W				不定
xx3FFB45H	CANメッセージ・コントロール・レジスタ26	M_CTRL26					

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
xx3FFB46H	CANメッセージ・タイム・スタンプ・レジスタ26	M_TIME26	R/W				不定
xx3FFB48H	CANメッセージ・データ・レジスタ260	M_DATA260					
xx3FFB49H	CANメッセージ・データ・レジスタ261	M_DATA261					
xx3FFB4AH	CANメッセージ・データ・レジスタ262	M_DATA262					
xx3FFB4BH	CANメッセージ・データ・レジスタ263	M_DATA263					
xx3FFB4CH	CANメッセージ・データ・レジスタ264	M_DATA264					
xx3FFB4DH	CANメッセージ・データ・レジスタ265	M_DATA265					
xx3FFB4EH	CANメッセージ・データ・レジスタ266	M_DATA266					
xx3FFB4FH	CANメッセージ・データ・レジスタ267	M_DATA267					
xx3FFB50H	CANメッセージIDレジスタL26	M_IDL26					
xx3FFB52H	CANメッセージIDレジスタH26	M_IDH26					
xx3FFB54H	CANメッセージ構成レジスタ26	M_CONF26					
xx3FFB55H	CANメッセージ・ステータス・レジスタ26	M_STAT26	R				
xx3FFB56H	CANステータス・セット/クリア・レジスタ26	SC_STAT26	W				
xx3FFB64H	CANメッセージ・データ長レジスタ27	M_DLC27	R/W				不定
xx3FFB65H	CANメッセージ・コントロール・レジスタ27	M_CTRL27					
xx3FFB66H	CANメッセージ・タイム・スタンプ・レジスタ27	M_TIME27					
xx3FFB68H	CANメッセージ・データ・レジスタ270	M_DATA270					
xx3FFB69H	CANメッセージ・データ・レジスタ271	M_DATA271					
xx3FFB6AH	CANメッセージ・データ・レジスタ272	M_DATA272					
xx3FFB6BH	CANメッセージ・データ・レジスタ273	M_DATA273					
xx3FFB6CH	CANメッセージ・データ・レジスタ274	M_DATA274					
xx3FFB6DH	CANメッセージ・データ・レジスタ275	M_DATA275					
xx3FFB6EH	CANメッセージ・データ・レジスタ276	M_DATA276					
xx3FFB6FH	CANメッセージ・データ・レジスタ277	M_DATA277					
xx3FFB70H	CANメッセージIDレジスタL27	M_IDL27					
xx3FFB72H	CANメッセージIDレジスタH27	M_IDH27					
xx3FFB74H	CANメッセージ構成レジスタ27	M_CONF27					
xx3FFB75H	CANメッセージ・ステータス・レジスタ27	M_STAT27	R				
xx3FFB76H	CANステータス・セット/クリア・レジスタ27	SC_STAT27	W				
xx3FFB84H	CANメッセージ・データ長レジスタ28	M_DLC28	R/W				不定
xx3FFB85H	CANメッセージ・コントロール・レジスタ28	M_CTRL28					
xx3FFB86H	CANメッセージ・タイム・スタンプ・レジスタ28	M_TIME28					
xx3FFB88H	CANメッセージ・データ・レジスタ280	M_DATA280					
xx3FFB89H	CANメッセージ・データ・レジスタ281	M_DATA281					
xx3FFB8AH	CANメッセージ・データ・レジスタ282	M_DATA282					
xx3FFB8BH	CANメッセージ・データ・レジスタ283	M_DATA283					
xx3FFB8CH	CANメッセージ・データ・レジスタ284	M_DATA284					
xx3FFB8DH	CANメッセージ・データ・レジスタ285	M_DATA285					
xx3FFB8EH	CANメッセージ・データ・レジスタ286	M_DATA286					
xx3FFB8FH	CANメッセージ・データ・レジスタ287	M_DATA287					
xx3FFB90H	CANメッセージIDレジスタL28	M_IDL28					

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時	
				1	8	16		
xx3FFB92H	CANメッセージIDレジスタH28	M_IDH28	R/W				不定	
xx3FFB94H	CANメッセージ構成レジスタ28	M_CONF28						
xx3FFB95H	CANメッセージ・ステータス・レジスタ28	M_STAT28	R					
xx3FFB96H	CANステータス・セット/クリア・レジスタ28	SC_STAT28	W				0000H	
xx3FFBA4H	CANメッセージ・データ長レジスタ29	M_DLC29	R/W				不定	
xx3FFBA5H	CANメッセージ・コントロール・レジスタ29	M_CTRL29						
xx3FFBA6H	CANメッセージ・タイム・スタンプ・レジスタ29	M_TIME29						
xx3FFBA8H	CANメッセージ・データ・レジスタ290	M_DATA290						
xx3FFBA9H	CANメッセージ・データ・レジスタ291	M_DATA291						
xx3FFBAAH	CANメッセージ・データ・レジスタ292	M_DATA292						
xx3FFBABH	CANメッセージ・データ・レジスタ293	M_DATA293						
xx3FFBACH	CANメッセージ・データ・レジスタ294	M_DATA294						
xx3FFBADH	CANメッセージ・データ・レジスタ295	M_DATA295						
xx3FFBAEH	CANメッセージ・データ・レジスタ296	M_DATA296						
xx3FFBAFH	CANメッセージ・データ・レジスタ297	M_DATA297						
xx3FFBB0H	CANメッセージIDレジスタL29	M_IDL29						
xx3FFBB2H	CANメッセージIDレジスタH29	M_IDH29						
xx3FFBB4H	CANメッセージ構成レジスタ29	M_CONF29						
xx3FFBB5H	CANメッセージ・ステータス・レジスタ29	M_STAT29		R				
xx3FFBB6H	CANステータス・セット/クリア・レジスタ29	SC_STAT29		W				
xx3FFBC4H	CANメッセージ・データ長レジスタ30	M_DLC30	R/W				不定	
xx3FFBC5H	CANメッセージ・コントロール・レジスタ30	M_CTRL30						
xx3FFBC6H	CANメッセージ・タイム・スタンプ・レジスタ30	M_TIME30						
xx3FFBC8H	CANメッセージ・データ・レジスタ300	M_DATA300						
xx3FFBC9H	CANメッセージ・データ・レジスタ301	M_DATA301						
xx3FFBCAH	CANメッセージ・データ・レジスタ302	M_DATA302						
xx3FFBCBH	CANメッセージ・データ・レジスタ303	M_DATA303						
xx3FFBCCH	CANメッセージ・データ・レジスタ304	M_DATA304						
xx3FFBCDH	CANメッセージ・データ・レジスタ305	M_DATA305						
xx3FFBCEH	CANメッセージ・データ・レジスタ306	M_DATA306						
xx3FFBCFH	CANメッセージ・データ・レジスタ307	M_DATA307						
xx3FFBD0H	CANメッセージIDレジスタL30	M_IDL30						
xx3FFBD2H	CANメッセージIDレジスタH30	M_IDH30						
xx3FFBD4H	CANメッセージ構成レジスタ30	M_CONF30						
xx3FFBD5H	CANメッセージ・ステータス・レジスタ30	M_STAT30		R				
xx3FFBD6H	CANステータス・セット/クリア・レジスタ30	SC_STAT30		W				
xx3FFBE4H	CANメッセージ・データ長レジスタ31	M_DLC31	R/W				不定	
xx3FFBE5H	CANメッセージ・コントロール・レジスタ31	M_CTRL31						
xx3FFBE6H	CANメッセージ・タイム・スタンプ・レジスタ31	M_TIME31						
xx3FFBE8H	CANメッセージ・データ・レジスタ310	M_DATA310						
xx3FFBE9H	CANメッセージ・データ・レジスタ311	M_DATA311						
xx3FFBEAH	CANメッセージ・データ・レジスタ312	M_DATA312						

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時	
				1	8	16		
xx3FFBEBH	CANメッセージ・データ・レジスタ313	M_DATA313	R/W				不定	
xx3FFBEEH	CANメッセージ・データ・レジスタ314	M_DATA314						
xx3FFBEDH	CANメッセージ・データ・レジスタ315	M_DATA315						
xx3FFBEEH	CANメッセージ・データ・レジスタ316	M_DATA316						
xx3FFBEFH	CANメッセージ・データ・レジスタ317	M_DATA317						
xx3FFBF0H	CANメッセージIDレジスタL31	M_IDL31						
xx3FFBF2H	CANメッセージIDレジスタH31	M_IDH31						
xx3FFBF4H	CANメッセージ構成レジスタ31	M_CONF31						
xx3FFBF5H	CANメッセージ・ステータス・レジスタ31	M_STAT31	R					
xx3FFBF6H	CANステータス・セット/クリア・レジスタ31	SC_STAT31	W				0000H	
xx3FFC00H	CANストップ・レジスタ	CSTOP	R/W					
xx3FFC04H	CAN割り込み保留レジスタ	CCINTP	R					
★ xx3FFC10H	CANグローバル・ステータス・レジスタ	CGST	R/W					
★ xx3FFC12H	CANグローバル割り込み許可レジスタ	CGIE						
xx3FFC14H	CANメイン・クロック選択レジスタ	CGCS					7F05H	
xx3FFC18H	CANタイム・スタンプ・カウント・レジスタ	CGTSC	R				0000H	
xx3FFC1AH	CANメッセージ検索開始レジスタ	CGMSS	W				0000H	
	CANメッセージ検索結果レジスタ	CGMSR	R					
★ xx3FFC20H	CANグローバル割り込み保留レジスタ	CGINTP	R/W				0000H	
★ xx3FFC22H	CAN1割り込み保留レジスタ	C1INTP						
★ xx3FFC24H	CAN2割り込み保留レジスタ ^注	C2INTP						
xx3FFC40H	CAN1アドレス・マスク0レジスタL	C1MASKL0					不定	
xx3FFC42H	CAN1アドレス・マスク0レジスタH	C1MASKH0						
xx3FFC44H	CAN1アドレス・マスク1レジスタL	C1MASKL1						
xx3FFC46H	CAN1アドレス・マスク1レジスタH	C1MASKH1						
xx3FFC48H	CAN1アドレス・マスク2レジスタL	C1MASKL2						
xx3FFC4AH	CAN1アドレス・マスク2レジスタH	C1MASKH2						
xx3FFC4CH	CAN1アドレス・マスク3レジスタL	C1MASKL3						
xx3FFC4EH	CAN1アドレス・マスク3レジスタH	C1MASKH3						
xx3FFC50H	CAN1コントロール・レジスタ	C1CTRL						0101H
★ xx3FFC52H	CAN1定義レジスタ	C1DEF						0000H
xx3FFC54H	CAN1情報レジスタ	C1LAST	R				00FFH	
xx3FFC56H	CAN1エラー・カウント・レジスタ	C1ERC					0000H	
★ xx3FFC58H	CAN1割り込み許可レジスタ	C1IE	R/W					
xx3FFC5AH	CAN1バス・アクティブ・レジスタ	C1BA	R				00FFH	
xx3FFC5CH	CAN1ビット・レート・プリスケラ・レジスタ	C1BRP	R/W				0000H	
	CAN1バス診断情報レジスタ	C1DINF	R					
xx3FFC5EH	CAN1同期コントロール・レジスタ	C1SYNC	R/W				0218H	
xx3FFC80H	CAN2アドレス・マスク0レジスタ ^注	C2MASKL0					不定	

注 μ PD703089Y, 70F3089Yのみ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
xx3FFC82H	CAN2アドレス・マスク0レジスタ ^注	C2MASKH0	R/W				不定
xx3FFC84H	CAN2アドレス・マスク1レジスタ ^注	C2MASKL1					
xx3FFC86H	CAN2アドレス・マスク1レジスタ ^注	C2MASKH1					
xx3FFC88H	CAN2アドレス・マスク2レジスタ ^注	C2MASKL2					
xx3FFC8AH	CAN2アドレス・マスク2レジスタ ^注	C2MASKH2					
xx3FFC8CH	CAN2アドレス・マスク3レジスタ ^注	C2MASKL3					
xx3FFC8EH	CAN2アドレス・マスク3レジスタ ^注	C2MASKH3					
xx3FFC90H	CAN2コントロール・レジスタ ^注	C2CTRL					0101H
★ xx3FFC92H	CAN2定義レジスタ ^注	C2DEF					0000H
xx3FFC94H	CAN2情報レジスタ ^注	C2LAST	R				00FFH
xx3FFC96H	CAN2エラー・カウント・レジスタ ^注	C2ERC					0000H
★ xx3FFC98H	CAN2割り込み許可レジスタ ^注	C2IE	R/W				
xx3FFC9AH	CAN2バス・アクティブ・レジスタ ^注	C2BA	R				00FFH
xx3FFC9CH	CAN2ビット・レート・プリスケラ・レジスタ ^注	C2BRP	R/W				0000H
	CAN2バス診断情報レジスタ ^注	C2DINF	R				
xx3FFC9EH	CAN2同期コントロール・レジスタ ^注	C2SYNC	R/W				0218H

注 μ PD703089Y, 70F3089Yのみ

19.5 制御レジスタ

19.5.1 CANメッセージ・データ長レジスタ00-31 (M_DLC00-M_DLC31)

M_DLCnレジスタは、CANメッセージ・バッファnのデータ・フィールドのバイト数を設定します(n = 00-31)。受信のときは、受信データ・フィールドのバイト数がセット(1)されます。

8ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：表19 - 3 参照

7	6	5	4	3	2	1	0
RFU ^注	RFU ^注	RFU ^注	RFU ^注	DLC3	DLC2	DLC1	DLC0

★ M_DLCn (n = 00-31)

DLC3	DLC2	DLC1	DLC0	送受信メッセージのデータ長コード
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
上記以外				DLC3-DLC0の値にかかわらず8バイトになります。

★ 注 RFU (Reserved for Future Use) は予約ビットです。M_DLCnレジスタへ書き込む場合は、必ず“0”を設定してください。

表19 - 3 M_DLCnのアドレス (n = 00-31)

レジスタ名	アドレス	レジスタ名	アドレス
M_DLC00	xx3FF804H	M_DLC16	xx3FFA04H
M_DLC01	xx3FF824H	M_DLC17	xx3FFA24H
M_DLC02	xx3FF844H	M_DLC18	xx3FFA44H
M_DLC03	xx3FF864H	M_DLC19	xx3FFA64H
M_DLC04	xx3FF884H	M_DLC20	xx3FFA84H
M_DLC05	xx3FF8A4H	M_DLC21	xx3FFAA4H
M_DLC06	xx3FF8C4H	M_DLC22	xx3FFAC4H
M_DLC07	xx3FF8E4H	M_DLC23	xx3FFAE4H
M_DLC08	xx3FF904H	M_DLC24	xx3FFB04H
M_DLC09	xx3FF924H	M_DLC25	xx3FFB24H
M_DLC10	xx3FF944H	M_DLC26	xx3FFB44H
M_DLC11	xx3FF964H	M_DLC27	xx3FFB64H
M_DLC12	xx3FF984H	M_DLC28	xx3FFB84H
M_DLC13	xx3FF9A4H	M_DLC29	xx3FFBA4H
M_DLC14	xx3FF9C4H	M_DLC30	xx3FFBC4H
M_DLC15	xx3FF9E4H	M_DLC31	xx3FFBE4H

19.5.2 CANメッセージ・コントロール・レジスタ00-31 (M_CTRL00-M_CTRL31)

M_CTRLnレジスタは、CANメッセージ・バッファnの動作を制御するレジスタです (n = 00-31)。

8ビット単位でリード/ライト可能です。

(1/2)

リセット時：不定 R/W アドレス：表19 - 4参照

★

M_CTRLn
(n = 00-31)

	7	6	5	4	3	2	1	0
	RMDE1	RMDE0	ATS	IE	MOVR	RFU ^{注1,2}	RFU ^{注1,3}	RTR

RMDE1	送信メッセージ・バッファ上にリモート・フレームを受信した場合のDNフラグの動作指定
0	リモート・フレームを受信した場合、DNフラグをセット (1) しない
1	リモート・フレームを受信した場合、DNフラグをセット (1) する
<ul style="list-style-type: none"> ・RMDE1ビットの設定は、RMDE0ビットの設定とは無関係です。 ・RMDE1, RMDE0ビットがセット (1) されていないときにリモート・フレームが送信メッセージ・バッファ上に受信した場合、CPUに対する通知は行われず、他の動作も行われません。 	

RMDE0	リモート・フレーム自動応答機能の設定 / 解除を指定
0	リモート・フレーム自動応答機能を解除
1	リモート・フレーム自動応答機能を設定
<ul style="list-style-type: none"> ・RMDE0ビットの設定は送信メッセージ・バッファにのみ使用されます。 ・RMDE0ビットはRTRビットがセット (1) されている場合 (受信または送信メッセージはリモート・フレーム)、RMDE0ビット = 0として処理されます。これにより、リモート・フレーム受信時に、同一リモート・フレームの送信発生を防止しています。最悪条件下で同一リモート・フレームの送信が発生した場合、バスの負荷は100%に達します。 	

ATS	送信時のタイム・スタンプの付加の指定
0	送信時にタイム・スタンプを付加しない
1	送信時にタイム・スタンプを付加する
<ul style="list-style-type: none"> ・ATSビットは送信メッセージ用にのみ使用されます。 ・ATSビットがセット (1) され、データ長コードが2バイト以上ある場合、最後の2バイトはタイム・スタンプに置き換えられます (表19 - 12参照)。付加されたタイム・スタンプ・カウンタ値はメッセージのSOFでバス上に送出されます。このとき、データ領域として定義された最後の2バイトは無視されます。 	

★

注1. RFU (Reserved for Future Use) は予約ビットです。このビットへ書き込む場合は、必ず "0" を設定してください。

2. 受信時はCANバス上のr1ビットの値が設定されます。
3. 受信時はCANバス上のr0ビットの値が設定されます。

備考 DN : M_STATmのビット2 (19.5.7 CANメッセージ・ステータス・レジスタ00-31 (M_STAT00-M_STAT31) 参照)

IE	割り込み要求の許可 / 禁止の指定
0	割り込み要求を禁止する
1	割り込み要求を許可する
<ul style="list-style-type: none"> ・ IEビット = 1のとき, 次に示す条件で割り込み要求が発生します。 <ul style="list-style-type: none"> ・ 送信メッセージ・バッファからメッセージを送信した場合 ・ 受信メッセージ・バッファにメッセージを受信した場合 ・ 受信メッセージ・バッファからリモート・フレームを送信した場合 ・ 自動応答機能が設定されていない状態 (RMDE0ビット = 0) で送信メッセージ・バッファにリモート・フレームを受信した場合 ・ IEビット = 1のとき, 次に示す条件では割り込み要求は発生しません。 <ul style="list-style-type: none"> ・ 自動応答機能が設定されている状態 (RMDE0ビット = 1) で送信メッセージ・バッファにリモート・フレームを受信した場合 ・ IEビット = 0のとき, 次に示す条件では割り込み要求が発生します。 <ul style="list-style-type: none"> ・ 自動応答機能が設定されていない状態 (RMDE0ビット = 0) で受信メッセージ・バッファにリモート・フレームを受信した場合 	

MOVR	メッセージ・バッファのオーバーライト
0	DNビット・クリア後にオーバーライトは発生しない
1	DNビット・クリア後に少なくとも1回オーバーライトが発生する
<ul style="list-style-type: none"> ・ メッセージ・バッファのオーバーライトはCANモジュールが新しいデータをメッセージ・バッファに書き込み, DNビットがすでにセット (1) されている場合に発生します。新しいデータがメッセージ・バッファに格納されるたびにMOVRビットは更新されます。 	

RTR	フレームの種類の指定
0	データ・フレーム送受信
1	リモート・フレーム送受信
<ul style="list-style-type: none"> ・ RTRビットが送信メッセージ用にセット (1) されている場合, データ・フレームの代わりにリモート・フレームが送信されます。 	

備考 DN : M_STATmのビット2 (19. 5. 7 CANメッセージ・ステータス・レジスタ 00-31 (M_STAT00-M_STAT31参照))

表19 - 4 M_CTRLnのアドレス (n = 00-31)

レジスタ名	アドレス	レジスタ名	アドレス
M_CTRL00	xx3FF805H	M_CTRL16	xx3FFA05H
M_CTRL01	xx3FF825H	M_CTRL17	xx3FFA25H
M_CTRL02	xx3FF845H	M_CTRL18	xx3FFA45H
M_CTRL03	xx3FF865H	M_CTRL19	xx3FFA65H
M_CTRL04	xx3FF885H	M_CTRL20	xx3FFA85H
M_CTRL05	xx3FF8A5H	M_CTRL21	xx3FFAA5H
M_CTRL06	xx3FF8C5H	M_CTRL22	xx3FFAC5H
M_CTRL07	xx3FF8E5H	M_CTRL23	xx3FFAE5H
M_CTRL08	xx3FF905H	M_CTRL24	xx3FFB05H
M_CTRL09	xx3FF925H	M_CTRL25	xx3FFB25H
M_CTRL10	xx3FF945H	M_CTRL26	xx3FFB45H
M_CTRL11	xx3FF965H	M_CTRL27	xx3FFB65H
M_CTRL12	xx3FF985H	M_CTRL28	xx3FFB85H
M_CTRL13	xx3FF9A5H	M_CTRL29	xx3FFBA5H
M_CTRL14	xx3FF9C5H	M_CTRL30	xx3FFBC5H
M_CTRL15	xx3FF9E5H	M_CTRL31	xx3FFBE5H

19. 5. 3 CANメッセージ・タイム・スタンプ・レジスタ00-31 (M_TIME00-M_TIME31)

M_TIME_nレジスタは、データ受信完了時にタイム・スタンプ・カウンタの値が書き込まれるエリアです (n = 00-31)。

16ビット単位でリード/ライト可能です。

受信メッセージ・バッファにデータ・フレームまたはリモート・フレームを受信した場合、メッセージ・バッファに新しい情報が格納されると、16ビットのタイム・タグ(タイム・スタンプ・カウンタの値)がM_TIME_nレジスタに格納されます。このタイム・タグはFCANのタイム・スタンプ設定によって指定されていて、SOFがCANバス上に送信されたときにキャプチャされたタイム・スタンプ・カウンタの値か、またはメッセージ・バッファにCANモジュールがデータを書き込んだときにキャプチャされた値となります。

リセット時：不定 R/W アドレス：表19 - 5 参照																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
M_TIME _n	TS	TS	TS	TS	TS	TS	TS	TS	TS	TS	TS	TS	TS	TS	TS	TS
(n = 00-31)	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00

表19 - 5 M_TIME_nのアドレス (n = 00-31)

レジスタ名	アドレス	レジスタ名	アドレス
M_TIME00	xx3FF806H	M_TIME16	xx3FFA06H
M_TIME01	xx3FF826H	M_TIME17	xx3FFA26H
M_TIME02	xx3FF846H	M_TIME18	xx3FFA46H
M_TIME03	xx3FF866H	M_TIME19	xx3FFA66H
M_TIME04	xx3FF886H	M_TIME20	xx3FFA86H
M_TIME05	xx3FF8A6H	M_TIME21	xx3FFAA6H
M_TIME06	xx3FF8C6H	M_TIME22	xx3FFAC6H
M_TIME07	xx3FF8E6H	M_TIME23	xx3FFAE6H
M_TIME08	xx3FF906H	M_TIME24	xx3FFB06H
M_TIME09	xx3FF926H	M_TIME25	xx3FFB26H
M_TIME10	xx3FF946H	M_TIME26	xx3FFB46H
M_TIME11	xx3FF966H	M_TIME27	xx3FFB66H
M_TIME12	xx3FF986H	M_TIME28	xx3FFB86H
M_TIME13	xx3FF9A6H	M_TIME29	xx3FFBA6H
M_TIME14	xx3FF9C6H	M_TIME30	xx3FFBC6H
M_TIME15	xx3FF9E6H	M_TIME31	xx3FFBE6H

19.5.4 CANメッセージ・データ・レジスタ_{n0-n7} (M_DATAn0-M_DATAn7)

M_DATAn_xレジスタは、最大8バイトまでの送受信メッセージのデータを格納するエリアです。

8ビット単位でリード/ライト可能です。

M_DATAn0-M_DATAn7レジスタは受信および送信メッセージのデータを保持します。データを送信する場合は、M_DLC_nレジスタのDLC3-DLC0ビットで定義されたメッセージ数だけがCANバスに送信されます。

M_CTRL_nレジスタのATSビットがセット(1)され、M_DLC_nレジスタのDLC3-DLC0ビット値が2バイト以上の場合、CANバスで正常に送信された最後の2バイトは無視され、タイム・スタンプ値が送信されます。

新しいメッセージを受信した場合、M_DLC_nレジスタのDLC3-DLC0ビット値が8バイト未満でもすべてのデータ・フィールドは更新されます。CANバス上で受信されなかったデータ・バイトの値は、更新されていても無効です。

備考 n = 00-31, x = 0-7

M_DATAn0	7	6	5	4	3	2	1	0	アドレス 表19-6参照	初期値 不定
(n = 00-31)	D07	D06	D05	D04	D03	D02	D01	D00		
M_DATAn1	7	6	5	4	3	2	1	0	アドレス 表19-6参照	初期値 不定
(n = 00-31)	D17	D16	D15	D14	D13	D12	D11	D10		
M_DATAn2	7	6	5	4	3	2	1	0	アドレス 表19-6参照	初期値 不定
(n = 00-31)	D27	D26	D25	D24	D23	D22	D21	D20		
M_DATAn3	7	6	5	4	3	2	1	0	アドレス 表19-6参照	初期値 不定
(n = 00-31)	D37	D36	D35	D34	D33	D32	D31	D30		
M_DATAn4	7	6	5	4	3	2	1	0	アドレス 表19-6参照	初期値 不定
(n = 00-31)	D47	D46	D45	D44	D43	D42	D41	D40		
M_DATAn5	7	6	5	4	3	2	1	0	アドレス 表19-6参照	初期値 不定
(n = 00-31)	D57	D56	D55	D54	D53	D52	D51	D50		
M_DATAn6	7	6	5	4	3	2	1	0	アドレス 表19-6参照	初期値 不定
(n = 00-31)	D67	D66	D65	D64	D63	D62	D61	D60		
M_DATAn7	7	6	5	4	3	2	1	0	アドレス 表19-6参照	初期値 不定
(n = 00-31)	D77	D76	D75	D74	D73	D72	D71	D70		

表19 - 6 M_DATA_nxのアドレス (n = 00-31, x = 0-7)

レジスタ名 n	M_DATA _n 0	M_DATA _n 1	M_DATA _n 2	M_DATA _n 3	M_DATA _n 4	M_DATA _n 5	M_DATA _n 6	M_DATA _n 7
00	xx3FF808H	xx3FF809H	xx3FF80AH	xx3FF80BH	xx3FF80CH	xx3FF80DH	xx3FF80EH	xx3FF80FH
01	xx3FF828H	xx3FF829H	xx3FF82AH	xx3FF82BH	xx3FF82CH	xx3FF82DH	xx3FF82EH	xx3FF82FH
02	xx3FF848H	xx3FF849H	xx3FF84AH	xx3FF84BH	xx3FF84CH	xx3FF84DH	xx3FF84EH	xx3FF84FH
03	xx3FF868H	xx3FF869H	xx3FF86AH	xx3FF86BH	xx3FF86CH	xx3FF86DH	xx3FF86EH	xx3FF86FH
04	xx3FF888H	xx3FF889H	xx3FF88AH	xx3FF88BH	xx3FF88CH	xx3FF88DH	xx3FF88EH	xx3FF88FH
05	xx3FF8A8H	xx3FF8A9H	xx3FF8AAH	xx3FF8ABH	xx3FF8ACH	xx3FF8ADH	xx3FF8AEH	xx3FF8AFH
06	xx3FF8C8H	xx3FF8C9H	xx3FF8CAH	xx3FF8CBH	xx3FF8CCH	xx3FF8CDH	xx3FF8CEH	xx3FF8CFH
07	xx3FF8E8H	xx3FF8E9H	xx3FF8EAH	xx3FF8EBH	xx3FF8ECH	xx3FF8EDH	xx3FF8EEH	xx3FF8EFH
08	xx3FF908H	xx3FF909H	xx3FF90AH	xx3FF90BH	xx3FF90CH	xx3FF90DH	xx3FF90EH	xx3FF90FH
09	xx3FF928H	xx3FF929H	xx3FF92AH	xx3FF92BH	xx3FF92CH	xx3FF92DH	xx3FF92EH	xx3FF92FH
10	xx3FF948H	xx3FF949H	xx3FF94AH	xx3FF94BH	xx3FF94CH	xx3FF94DH	xx3FF94EH	xx3FF94FH
11	xx3FF968H	xx3FF969H	xx3FF96AH	xx3FF96BH	xx3FF96CH	xx3FF96DH	xx3FF96EH	xx3FF96FH
12	xx3FF988H	xx3FF989H	xx3FF98AH	xx3FF98BH	xx3FF98CH	xx3FF98DH	xx3FF98EH	xx3FF98FH
13	xx3FF9A8H	xx3FF9A9H	xx3FF9AAH	xx3FF9ABH	xx3FF9ACH	xx3FF9ADH	xx3FF9AEH	xx3FF9AFH
14	xx3FF9C8H	xx3FF9C9H	xx3FF9CAH	xx3FF9CBH	xx3FF9CCH	xx3FF9CDH	xx3FF9CEH	xx3FF9CFH
15	xx3FF9E8H	xx3FF9E9H	xx3FF9EAH	xx3FF9EBH	xx3FF9ECH	xx3FF9EDH	xx3FF9EEH	xx3FF9EFH
16	xx3FFA08H	xx3FFA09H	xx3FFA0AH	xx3FFA0BH	xx3FFA0CH	xx3FFA0DH	xx3FFA0EH	xx3FFA0FH
17	xx3FFA28H	xx3FFA29H	xx3FFA2AH	xx3FFA2BH	xx3FFA2CH	xx3FFA2DH	xx3FFA2EH	xx3FFA2FH
18	xx3FFA48H	xx3FFA49H	xx3FFA4AH	xx3FFA4BH	xx3FFA4CH	xx3FFA4DH	xx3FFA4EH	xx3FFA4FH
19	xx3FFA68H	xx3FFA69H	xx3FFA6AH	xx3FFA6BH	xx3FFA6CH	xx3FFA6DH	xx3FFA6EH	xx3FFA6FH
20	xx3FFA88H	xx3FFA89H	xx3FFA8AH	xx3FFA8BH	xx3FFA8CH	xx3FFA8DH	xx3FFA8EH	xx3FFA8FH
21	xx3FFAA8H	xx3FFAA9H	xx3FFAAAH	xx3FFAABH	xx3FFAACH	xx3FFAADH	xx3FFAAEH	xx3FFAAFH
22	xx3FFAC8H	xx3FFAC9H	xx3FFACAH	xx3FFACBH	xx3FFACCH	xx3FFACDH	xx3FFACEH	xx3FFACFH
23	xx3FFAE8H	xx3FFAE9H	xx3FFAEAH	xx3FFAEBH	xx3FFAECH	xx3FFAEDH	xx3FFAEEH	xx3FFAEFH
24	xx3FFB08H	xx3FFB09H	xx3FFB0AH	xx3FFB0BH	xx3FFB0CH	xx3FFB0DH	xx3FFB0EH	xx3FFB0FH
25	xx3FFB28H	xx3FFB29H	xx3FFB2AH	xx3FFB2BH	xx3FFB2CH	xx3FFB2DH	xx3FFB2EH	xx3FFB2FH
26	xx3FFB48H	xx3FFB49H	xx3FFB4AH	xx3FFB4BH	xx3FFB4CH	xx3FFB4DH	xx3FFB4EH	xx3FFB4FH
27	xx3FFB68H	xx3FFB69H	xx3FFB6AH	xx3FFB6BH	xx3FFB6CH	xx3FFB6DH	xx3FFB6EH	xx3FFB6FH
28	xx3FFB88H	xx3FFB89H	xx3FFB8AH	xx3FFB8BH	xx3FFB8CH	xx3FFB8DH	xx3FFB8EH	xx3FFB8FH
29	xx3FFBA8H	xx3FFBA9H	xx3FFBAAH	xx3FFBABH	xx3FFBACH	xx3FFBADH	xx3FFBAEH	xx3FFBAFH
30	xx3FFBC8H	xx3FFBC9H	xx3FFBCAH	xx3FFBCBH	xx3FFBCCH	xx3FFBCDH	xx3FFBCEH	xx3FFBCFH
31	xx3FFBE8H	xx3FFBE9H	xx3FFBEAH	xx3FFBEBH	xx3FFBECCH	xx3FFBEDH	xx3FFBEEH	xx3FFBEFH

19.5.5 CANメッセージIDレジスタL00-L31, H00-H31 (M_IDL00-M_IDL31, M_IDH00-M_IDH31)

M_IDLn, M_IDHnレジスタは、アイデンティファイアを設定するエリアです (n = 00-31)。

16ビット単位でリード/ライト可能です。

標準フォーマット・モードの場合、次の領域に任意のデータが格納されます。

ID17-ID10 : 受信データ^注の1バイト目が格納されます。

ID9-ID2 : 受信データ^注の2バイト目が格納されます。

ID1, ID0 : 受信データ^注の3バイト目 (上位2ビット) が格納されます。

注 19.5.4 CANメッセージ・データ・レジスタn0-n7 (M_DATA_{n0}-M_DATA_{n7}) 参照

リセット時：不定 R/W アドレス：表19 - 7参照																
M_IDHn (n = 00-31)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IDE	0	0	ID	ID	ID	ID	ID	ID	ID	ID	ID	ID	ID	ID	ID
				28	27	26	25	24	23	22	21	20	19	18	17	16
M_IDLn (n = 00-31)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ID	ID	ID	ID	ID	ID	ID	ID	ID	ID	ID	ID	ID	ID	ID	ID
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IDE	フォーマット設定モードを指定														
	0	標準フォーマット・モード (ID28-ID18 : 11ビット)														
	1	拡張フォーマット・モード (ID28-ID0 : 29ビット)														

表19 - 7 M_IDLn, M_IDHnのアドレス (n = 00-31)

レジスタ名	アドレス	レジスタ名	アドレス
M_IDL00	xx3FF810H	M_IDL16	xx3FFA10H
M_IDH00	xx3FF812H	M_IDH16	xx3FFA12H
M_IDL01	xx3FF830H	M_IDL17	xx3FFA30H
M_IDH01	xx3FF832H	M_IDH17	xx3FFA32H
M_IDL02	xx3FF850H	M_IDL18	xx3FFA50H
M_IDH02	xx3FF852H	M_IDH18	xx3FFA52H
M_IDL03	xx3FF870H	M_IDL19	xx3FFA70H
M_IDH03	xx3FF872H	M_IDH19	xx3FFA72H
M_IDL04	xx3FF890H	M_IDL20	xx3FFA90H
M_IDH04	xx3FF892H	M_IDH20	xx3FFA92H
M_IDL05	xx3FF8B0H	M_IDL21	xx3FFAB0H
M_IDH05	xx3FF8B2H	M_IDH21	xx3FFAB2H
M_IDL06	xx3FF8D0H	M_IDL22	xx3FFAD0H
M_IDH06	xx3FF8D2H	M_IDH22	xx3FFAD2H
M_IDL07	xx3FF8F0H	M_IDL23	xx3FFAF0H
M_IDH07	xx3FF8F2H	M_IDH23	xx3FFAF2H
M_IDL08	xx3FF910H	M_IDL24	xx3FFB10H
M_IDH08	xx3FF912H	M_IDH24	xx3FFB12H
M_IDL09	xx3FF930H	M_IDL25	xx3FFB30H
M_IDH09	xx3FF932H	M_IDH25	xx3FFB32H
M_IDL10	xx3FF950H	M_IDL26	xx3FFB50H
M_IDH10	xx3FF952H	M_IDH26	xx3FFB52H
M_IDL11	xx3FF970H	M_IDL27	xx3FFB70H
M_IDH11	xx3FF972H	M_IDH27	xx3FFB72H
M_IDL12	xx3FF990H	M_IDL28	xx3FFB90H
M_IDH12	xx3FF992H	M_IDH28	xx3FFB92H
M_IDL13	xx3FF9B0H	M_IDL29	xx3FFBB0H
M_IDH13	xx3FF9B2H	M_IDH29	xx3FFBB2H
M_IDL14	xx3FF9D0H	M_IDL30	xx3FFBD0H
M_IDH14	xx3FF9D2H	M_IDH30	xx3FFBD2H
M_IDL15	xx3FF9F0H	M_IDL31	xx3FFBF0H
M_IDH15	xx3FF9F2H	M_IDH31	xx3FFBF2H

19.5.6 CANメッセージ構成レジスタ00-31 (M_CONF00-M_CONF31)

M_CONF_nレジスタは、メッセージ・バッファのタイプとマスク設定の指定を行います (n = 00-31)。8ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：表19-8参照

M_CONF _n	7	6	5	4	3	2	1	0
(n = 00-31)	0	0	MT2	MT1	MT0	MA2	MA1	MA0

MT2	MT1	MT0	メッセージ・タイプとマスク設定の指定
0	0	0	送信メッセージ
0	0	1	受信メッセージ (マスク設定なし)
0	1	0	受信メッセージ (マスク0設定)
0	1	1	受信メッセージ (マスク1設定)
1	0	0	受信メッセージ (マスク2設定)
1	0	1	受信メッセージ (マスク3設定)
1	1	0	設定禁止
1	1	1	受信メッセージ (診断処理モード時に使用)

・ MT2-MT0ビットを“111”に設定した場合、FCANが診断処理モードに設定されている場合のみ処理できます。この場合は、受信したすべてのメッセージは次に示す条件にかかわらず格納されます。

- ・ 他のメッセージ・バッファへ格納
- ・ アイデンティファイアのタイプ (標準フレームまたは拡張フレーム)
- ・ データ・フレームまたはリモート・フレーム

MA2	MA1	MA0	メッセージ・バッファとCANモジュールのリンク設定
0	0	0	メッセージ・バッファを使用しない
0	0	1	CAN1モジュールのメッセージ・バッファとして使用
0	1	0	CAN2モジュールのメッセージ・バッファとして使用 ^注
上記以外			設定禁止

・ MA2, MA1, MA0ビットを“000”に設定した場合、メッセージ・バッファ領域はアプリケーションRAMまたはテンポラリ・バッファとしてイベント処理などに使用できます。

・ 使用しないメッセージ・バッファは、必ずMA2, MA1, MA0ビットを“000”に設定してください。

注 μPD703089Y, 70F3089Yのみ

★

表19 - 8 M_CONF_nのアドレス (n = 00-31)

レジスタ名	アドレス	レジスタ名	アドレス
M_CONF00	xx3FF814H	M_CONF16	xx3FFA14H
M_CONF01	xx3FF834H	M_CONF17	xx3FFA34H
M_CONF02	xx3FF854H	M_CONF18	xx3FFA54H
M_CONF03	xx3FF874H	M_CONF19	xx3FFA74H
M_CONF04	xx3FF894H	M_CONF20	xx3FFA94H
M_CONF05	xx3FF8B4H	M_CONF21	xx3FFAB4H
M_CONF06	xx3FF8D4H	M_CONF22	xx3FFAD4H
M_CONF07	xx3FF8F4H	M_CONF23	xx3FFAF4H
M_CONF08	xx3FF914H	M_CONF24	xx3FFB14H
M_CONF09	xx3FF934H	M_CONF25	xx3FFB34H
M_CONF10	xx3FF954H	M_CONF26	xx3FFB54H
M_CONF11	xx3FF974H	M_CONF27	xx3FFB74H
M_CONF12	xx3FF994H	M_CONF28	xx3FFB94H
M_CONF13	xx3FF9B4H	M_CONF29	xx3FFBB4H
M_CONF14	xx3FF9D4H	M_CONF30	xx3FFBD4H
M_CONF15	xx3FF9F4H	M_CONF31	xx3FFBF4H

19.5.7 CANメッセージ・ステータス・レジスタ00-31 (M_STAT00-M_STAT31)

M_STATnレジスタは、メッセージ・バッファごとの送受信ステータス情報を示します (n = 00-31)。

8ビット単位でリードのみ可能です。

注意1. M_STATnレジスタに直接書き込むことはできません。CANステータス・セット/クリア・レジスタn (SC_STATn) で行います。

2. メッセージはM_STATnレジスタのTRQ, RDYビットがセット (1) されている場合のみ送信されます。

リセット時：不定 R アドレス：表19-9参照

★

M_STATn (n = 00-31)	7	6	5	4	3	2	1	0
	0	0	0	0	RFU ^注	DN	TRQ	RDY

DN	メッセージ更新フラグ
0	DNビット・クリア後、メッセージ受信なし
1	DNビット・クリア後、少なくとも1メッセージ受信
<ul style="list-style-type: none"> ・DNビットが送信メッセージ・バッファでセット (1) された場合、そのメッセージ・バッファはリモート・フレームを受信したことを示します。このメッセージが送信されれば、DNビットは自動的にクリア (0) されます。 ・DNビットがセット (1) されている受信メッセージ・バッファに再度、フレームを受信した場合、オーバーライト状態が発生し、M_CTRLnレジスタのMOVRビットがセット (1) されます。 	

★

★

TRQ	送信要求フラグ
0	メッセージ送信禁止
1	メッセージ送信許可
<ul style="list-style-type: none"> ・送信要求はRDYビット = 1に設定されている場合のみCANモジュールで処理されます。 ・TRQビット = 1に設定されている受信メッセージ・バッファにはリモート・フレームが送信されます。 	

★

RDY	メッセージ準備フラグ
0	メッセージの準備ができていない
1	メッセージの準備完了
<ul style="list-style-type: none"> ・受信時はRDYビット = 1に設定されているメッセージ・バッファに対してのみ受信動作を行います。 ・送信時はRDYビット = 1, TRQビット = 1に設定されているメッセージ・バッファに対してのみ送信動作を行います。 	

注 RFU (Reserved for Future Use) は予約ビットです。メッセージ・バッファの設定にかかわらず、0または1の値が読み込まれます。

表19 - 9 M_STATnのアドレス (n = 00-31)

レジスタ名	アドレス	レジスタ名	アドレス
M_STAT00	xx3FF815H	M_STAT16	xx3FFA15H
M_STAT01	xx3FF835H	M_STAT17	xx3FFA35H
M_STAT02	xx3FF855H	M_STAT18	xx3FFA55H
M_STAT03	xx3FF875H	M_STAT19	xx3FFA75H
M_STAT04	xx3FF895H	M_STAT20	xx3FFA95H
M_STAT05	xx3FF8B5H	M_STAT21	xx3FFAB5H
M_STAT06	xx3FF8D5H	M_STAT22	xx3FFAD5H
M_STAT07	xx3FF8F5H	M_STAT23	xx3FFAF5H
M_STAT08	xx3FF915H	M_STAT24	xx3FFB15H
M_STAT09	xx3FF935H	M_STAT25	xx3FFB35H
M_STAT10	xx3FF955H	M_STAT26	xx3FFB55H
M_STAT11	xx3FF975H	M_STAT27	xx3FFB75H
M_STAT12	xx3FF995H	M_STAT28	xx3FFB95H
M_STAT13	xx3FF9B5H	M_STAT29	xx3FFBB5H
M_STAT14	xx3FF9D5H	M_STAT30	xx3FFBD5H
M_STAT15	xx3FF9F5H	M_STAT31	xx3FFBF5H

19.5.8 CANステータス・セット/クリア・レジスタ00-31 (SC_STAT00-SC_STAT31)

SC_STATnレジスタは、送受信ステータス情報の設定/解除を行います (n = 00-31)。

16ビット単位でライトのみ可能です。

リセット時：0000H W アドレス：表19 - 10参照

	15	14	13	12	11	10	9	8
SC_STATn	0	0	0	0	0	set DN	set TRQ	set RDY
(n = 00-31)	7	6	5	4	3	2	1	0
	0	0	0	0	0	clear DN	clear TRQ	clear RDY

set DN	clear DN	メッセージ更新フラグの設定
0	1	解除 (DNビットをクリア (0))
1	0	設定 (DNビットをセット (1))
上記以外		DNビット変化なし

set TRQ	clear TRQ	送信要求フラグの設定
0	1	解除 (TRQビットをクリア (0))
1	0	設定 (TRQビットをセット (1))
上記以外		TRQビット変化なし

set RDY	clear RDY	メッセージ準備フラグの設定
0	1	解除 (RDYビットをクリア (0))
1	0	設定 (RDYビットをセット (1))
上記以外		RDYビット変化なし

備考 DN : CANメッセージ・ステータス・レジスタn (M_STATn) のビット2
 TRQ : CANメッセージ・ステータス・レジスタn (M_STATn) のビット1
 RDY : CANメッセージ・ステータス・レジスタn (M_STATn) のビット0

表19 - 10 SC_STATnのアドレス (n = 00-31)

レジスタ名	アドレス	レジスタ名	アドレス
SC_STAT00	xx3FF816H	SC_STAT16	xx3FFA16H
SC_STAT01	xx3FF836H	SC_STAT17	xx3FFA36H
SC_STAT02	xx3FF856H	SC_STAT18	xx3FFA56H
SC_STAT03	xx3FF876H	SC_STAT19	xx3FFA76H
SC_STAT04	xx3FF896H	SC_STAT20	xx3FFA96H
SC_STAT05	xx3FF8B6H	SC_STAT21	xx3FFAB6H
SC_STAT06	xx3FF8D6H	SC_STAT22	xx3FFAD6H
SC_STAT07	xx3FF8F6H	SC_STAT23	xx3FFAF6H
SC_STAT08	xx3FF916H	SC_STAT24	xx3FFB16H
SC_STAT09	xx3FF936H	SC_STAT25	xx3FFB36H
SC_STAT10	xx3FF956H	SC_STAT26	xx3FFB56H
SC_STAT11	xx3FF976H	SC_STAT27	xx3FFB76H
SC_STAT12	xx3FF996H	SC_STAT28	xx3FFB96H
SC_STAT13	xx3FF9B6H	SC_STAT29	xx3FFBB6H
SC_STAT14	xx3FF9D6H	SC_STAT30	xx3FFBD6H
SC_STAT15	xx3FF9F6H	SC_STAT31	xx3FFBF6H

19.5.9 CAN割り込み保留レジスタ (CCINTP)

CCINTPレジスタは、各割り込み保留のステータスを確認します。

16ビット単位でリードのみ可能です。

リセット時：0000H R アドレス：xx3FFC04H

	15	14	13	12	11	10	9	8
CCINTP	0	INTMAC	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CAN2ERR	CAN2REC	CAN2TRX	CAN1ERR	CAN1REC	CAN1TRX

INTMAC	MACエラー ^{注1} 割り込みの保留 (GINT2, GINT1)
0	保留なし
1	保留

CAN2ERR ^{注2}	CAN2アクセス・エラー割り込みの保留 (C2INT6-C2INT2)
0	保留なし
1	保留

CAN2REC ^{注2}	CAN2受信完了割り込みの保留 (C2INT1)
0	保留なし
1	保留

CAN2TRX ^{注2}	CAN2送信完了割り込みの保留 (C2INT0)
0	保留なし
1	保留

CAN1ERR	CAN1アクセス・エラー割り込みの保留 (C1INT6-C1INT2)
0	保留なし
1	保留

CAN1REC	CAN1受信完了割り込みの保留 (C1INT1)
0	保留なし
1	保留

CAN1TRX	CAN1送信完了割り込みの保留 (C1INT0)
0	保留なし
1	保留

注1. MAC (Memory Access Control) エラーはCANグローバル割り込み保留レジスタ (CGINTP) の割り込み要因が発生した場合にセットされるエラーです。

2. μ PD703089Y, 70F3089Yのみ

備考 GINT2, GINT1 : CANグローバル割り込み保留レジスタ (CGINTP) ビット2, 1
CnINT6-CnINT0 (n = 1, 2) : CANn割り込み保留レジスタ (CnINTP) ビット6-0

19.5.10 CANグローバル割り込み保留レジスタ (CGINTP)

CGINTPレジスタは、MACアクセス・エラー割り込み保留のステータスを確認します。

★ 16/8ビット単位でリード/ライト可能です。

注意1. CGINTPレジスタのビットに1を書き込んだ場合、そのビットはクリア (0) されます。また、0を書き込んだ場合、そのビットの値は変化しません。

2. 割り込みは、該当する割り込み要因が許可状態で、新しい割り込みに対する割り込み保留ビットがまだセット (1) されていない場合に発生します。

割り込み保留ビットはCANグローバル割り込み許可レジスタ (CGIE) で割り込み許可ビットがセット (1) されている場合のみセット (1) されます。しかし、割り込み許可ビットがクリア (0) されただけでは自動的にクリア (0) されません。割り込み保留ビットはソフトウェア処理でクリア (0) してください。

割り込み保留ビットが適切な時期にクリア (0) されているかどうかは、割り込み処理ルーチンによって制御されます。割り込み処理ルーチンで割り込み保留ビットがクリア (0) されるのが早いほど、同じタイプの新しい割り込みが失われずに早く発生します。

備考 GINT1, GINT2で発生する割り込み要因については、19. 15. 2 グローバルCANインタフェースで発生する割り込み要求についてを参照してください。

★ リセット時：0000H R/W アドレス：xx3FFC20H

	15	14	13	12	11	10	9	8
CGINTP	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	GINT3	GINT2	GINT1	0

GINT3	FCANへのクロック供給が停止している場合のCANスリープ・モードからのウエイク・アップ割り込み保留
0	保留なし
1	保留中

GINT2	GOMビット = 0時のCANモジュール・レジスタ ^注 へのライト・アクセス・エラー割り込み保留、またはGOMビット = 1時のテンポラリ・バッファへのライト・アクセス・エラー割り込み保留
0	保留なし
1	保留中

GINT1	不正グローバル・マクロ・シャットダウン発生割り込み保留、または使用不可能なメモリ・アドレスへのアクセス・エラー割り込み保留
0	保留なし
1	保留中

★ 注 “Cn” で始まるレジスタ (n = 1, 2)

★ 備考 GOM : CANグローバル・ステータス・レジスタ (CGST) のビット0

19.5.11 CANn割り込み保留レジスタ (CnINTP)

CnINTPレジスタは、FCANへの割り込み保留のステータスを確認します。

★ 16/8ビット単位でリード/ライト可能です。

CAN2割り込み保留レジスタ (C2INTP) は μ PD703089Y, 70F3089Yのみ有効です。

注意1. CnINTPレジスタのビットに1を書き込んだ場合、そのビットはクリア (0) されます。また、0を書き込んだ場合、そのビットの値は変化しません。

2. 割り込みは、該当する割り込み要因が許可状態で、新しい割り込みに対する割り込み保留ビットがまだセット (1) されていない場合に発生します。

割り込み保留ビットはCANn割り込み許可レジスタ (CnIE) で割り込み許可ビットがセット (1) されている場合のみセット (1) されます。しかし、割り込み許可ビットがクリア (0) されただけでは自動的にクリア (0) されません。割り込み保留ビットはソフトウェア処理でクリア (0) してください。

割り込み保留ビットが適切な時期にクリア (0) されているかどうかは、割り込み処理ルーチンによって制御されます。割り込み処理ルーチンで割り込み保留ビットがクリア (0) されるのが早いほど、同じタイプの新しい割り込みが失われずに早く発生します。

備考 n = 1, 2

★

リセット時 : 0000H R/W アドレス : C1INTP : xx3FFC22H

C2INTP : xx3FFC24H

CnINTP (n = 1, 2)	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	CnINT6	CnINT5	CnINT4	CnINT3	CnINT2	CnINT1	CnINT0

CnINT6	CANモジュール・エラー割り込みの保留状態
0	保留なし
1	保留中

CnINT5	CANバス・エラー割り込みの保留状態
0	保留なし
1	保留中

CnINT4	CANスリープ・モードからウエイク・アップ割り込みの保留状態
0	保留なし
1	保留中

CnINT3	CAN受信エラー・パッシブ状態割り込みの保留状態
0	保留なし
1	保留中

CnINT2	CAN送信エラー・パッシブまたは、バス・オフ状態割り込みの保留状態
0	保留なし
1	保留中

CnINT1	CAN受信完了割り込みの保留状態
0	保留なし
1	保留中

CnINT0	CAN送信完了割り込みの保留状態
0	保留なし
1	保留中

19.5.12 CANストップ・レジスタ (CSTOP)

CSTOPレジスタは、すべてのCANシステムへの、クロック供給を制御します。

16ビット単位でリード/ライト可能です。

注意1. FCAN機能を使用しない場合はCSTPビットを必ずセット(1)してください。

2. CSTPビットがセット(1)されているとき、CSTOPレジスタ以外のFCANへのアクセスは禁止です。CSTOPレジスタ以外のFCANへのアクセスはCSTPビットがクリア(0)されている場合にだけ可能です。セット(1)されているときにアクセスした場合、リード時は不定、ライト時には書き込みません。
3. CSTPビットがセット(1)されているとき、CANバス上の変化により、CANスリープ・モード (CANnコントロール・レジスタ (CnCTRL) のSLEEPビット = 1) からのウエイク・アップを行うことができます。
- ★ 4. CANスリープ・モード以外でCANメイン・クロック (fMEM1) を停止するときは、CANモジュールを初期化モード (CnCTRLレジスタのINITビット = 1) に設定後、CGSTレジスタのGOMビットをクリア(0)してからCSTPビットをセット(1)してください。

リセット時 : 0000H R/W アドレス : xx3FFC00H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSTOP	CSTP	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CSTP	FCANへのクロック供給を制御
0	FCAN動作中 (各FCANにクロックを供給)
1	FCAN停止中 (各FCANへのアクセスは不可)

19.5.13 CANグローバル・ステータス・レジスタ (CGST)

CGSTレジスタは、共通ステータス情報を示します。

★ 16ビット単位でリード/ライト可能です。

- 注意1. CGSTレジスタへのビット・ライト操作と直接の書き込みは禁止されています。直接書き込みは誤動作を引き起こしますので、19.6 ビットのセット/クリア機能についての注意事項に示す手順に従って実行してください。
2. CGSTレジスタの書き込みを行う場合には、(b) ライトのレジスタ構成に従って、セット/クリアを行ってください。

(1/3)

リセット時 : 0000H R/W アドレス : xx3FFC10H								
(a) リード時	15	14	13	12	11	10	9	8
CGST	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	MERR	0	0	0	EFSD	TSM	0	GOM
(b) ライト時	15	14	13	12	11	10	9	8
CGST	0	0	0	0	set EFSD	set TSM	0	set GOM
	7	6	5	4	3	2	1	0
	clear MERR	0	0	0	clear EFSD	clear TSM	0	clear GOM
(a) リード時								
MERR	MACエラー・ステータス・フラグ							
0	MERRビット・クリア後にエラーは発生していない。							
1	MERRビット・クリア後に少なくとも1回エラー発生							
<ul style="list-style-type: none"> ・ MACエラーは次に示す条件で発生します。 <ul style="list-style-type: none"> ・ 不正アドレスに対するアクセスをした場合 ・ MACで禁止されたアクセスをした場合 ・ CnCTRLレジスタのINITビットをセット (1) する前にGOMビットをクリア (0) した場合 								
EFSD	シャット・ダウン要求							
0	シャット・ダウン禁止							
1	シャット・ダウン許可							
<ul style="list-style-type: none"> ・ GOMビットをクリア (0) する場合には、必ずEFSDビットをセット (1) してから行ってください (アクセスは2回必要となります)。EFSDビットはCGSTレジスタが次にアクセスされたときに自動的にクリア (0) されます。 								
TSM	タイム・スタンプ・カウンタ ^注 の動作状態							
0	タイム・スタンプ・カウンタ停止							
1	タイム・スタンプ・カウンタ動作							
注 19.5.16 CANタイム・スタンプ・カウント・レジスタ (CGTSC) 参照								

(a) リード時

GOM	グローバル操作モードの状態
0	CANモジュールはリセットされ、CANモジュール・レジスタ ^{注1} へのアクセスを禁止
1	CANモジュールの動作は許可され、CANモジュール・レジスタ ^{注1} へのアクセスを許可

・ GOMビットはMACによるメモリ・アクセス方法とCANモジュールの動作状態を制御します。
 ・ GOMビット = 0時
 ・ すべてのCANモジュールがリセットされます。
 ・ CANモジュール・レジスタへのアクセス禁止 (アクセスした場合はMACエラー割り込みが発生)^{注2}
 ・ テンポラリ・バッファへのアクセス可能
 ・ メッセージ・バッファ領域へのアクセス可能
 ・ GOMビット = 1時
 ・ CANモジュール・レジスタへのアクセス許可^{注3}
 ・ テンポラリ・バッファへのアクセス禁止 (アクセスした場合はMACエラー割り込みが発生)
 ・ メッセージ・バッファ領域へのアクセス可能
 ・ GOMビットは、すべてのCANモジュールが初期化モード (CnCTRLレジスタのINITビット = 1) のときのみクリア (0) されます。初期化モードにないCANモジュールが1つでもあるときにGOMビットをクリア (0) しても、GOMビットはセット (1) されたままです。
 ・ GOMビットをクリア (0) する場合には、まずCnCTRLレジスタのINITビットをセット (1) し、次にEFSDビットをセット (1) してください。GOMビットとEFSDビットは同時に操作せずに2回に分けて行ってください。

★

注1. “Cn” で始まるレジスタ (n = 1, 2)

★

2. CGCSレジスタへのアクセスは可能です。
 また、CGMSSレジスタへのライト・アクセスは禁止です。ライト・アクセスした場合は、CGMSRレジスタに間違った検索結果が反映されます。

★

3. CGCSレジスタへのライト・アクセスは禁止です。
 また、CGMSSレジスタへのライト・アクセスは可能です。

(b) ライト時

set EFSD	clear EFSD	EFSDビットの設定
0	1	EFSDビットをクリア(0)する
1	0	EFSDビットをセット(1)する
上記以外		EFSDビットの変更なし

set TSM	clear TSM	TSMビットの設定
0	1	TSMビットをクリア(0)する
1	0	TSMビットをセット(1)する
上記以外		TSMビットの変更なし

set GOM	clear GOM	GOMビットの設定
0	1	GOMビットをクリア(0)する
1	0	GOMビットをセット(1)する
上記以外		GOMビットの変更なし

clear MERR	MERRビットの設定
0	MERRビットの変更なし
1	MERRビットをクリア(0)する

19.5.14 CANグローバル割り込み許可レジスタ (CGIE)

CGIEレジスタは、グローバル割り込みの割り込み要求を行います。

★ 16ビット単位でリード/ライト可能です。

注意1. CGIEレジスタへのビット・ライト操作と直接の書き込みは禁止されています。直接書き込みは誤動作を引き起こしますので、19.6 ビットのセット/クリア機能についての注意事項に示す手順に従って実行してください。

2. CGIEレジスタの書き込みを行う場合には、(b) ライト時のレジスタ構成に従って、セット/クリアを行ってください。

リセット時 : 0000H R/W アドレス : xx3FFC12H

(a) リード時

	15	14	13	12	11	10	9	8
CGIE	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	G_IE2	G_IE1	0

(b) ライト時

	15	14	13	12	11	10	9	8
CGIE	0	0	0	0	0	set G_IE2	set G_IE1	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	clear G_IE2	clear G_IE1	0

(a) リード時

G_IE2	GOMビット = 0時のCANモジュール・レジスタ ^注 へのライト・アクセス・エラー割り込み許可、またはGOMビット = 1時のテンポラリ・バッファへのライト・アクセス・エラー割り込み許可
0	割り込み禁止
1	割り込み許可

(b) ライト時

set G_IEn	clear G_IEn	G_IEnビットの設定
0	1	G_IEnビットをクリア (0) する
1	0	G_IEnビットをセット (1) する
上記以外		変化しない

注 “Cn” で始まるレジスタ (n = 1, 2)

備考1. n = 1, 2
 2. GOM : CANグローバル・ステータス・レジスタ (CGST) のビット0

19.5.15 CANメイン・クロック選択レジスタ (CGCS)

CGCSレジスタは、CANメイン・クロックの選択を行います

16ビット単位でリード/ライト可能です。

★ **注意** CGSTレジスタのGOMビット = 1のとき、CGCSレジスタへのライト・アクセスは禁止です。

リセット時：7F05H R/W アドレス：xx3FFC14H

	15	14	13	12	11	10	9	8	
CGCS	CGTS7	CGTS6	CGTS5	CGTS4	CGTS3	CGTS2	CGTS1	CGTS0	
	7	6	5	4	3	2	1	0	
	GTCS1	GTCS0	0	0 ^{注1}	MCP3	MCP2	MCP1	MCP0	

n	CGTS7	CGTS6	CGTS5	CGTS4	CGTS3	CGTS2	CGTS1	CGTS0	システム・タイマ・プリスケアラの選択 $f_{GTS} = f_{GTS1} / (n + 1)$
0	0	0	0	0	0	0	0	0	$f_{GTS} = f_{GTS1}/1$
1	0	0	0	0	0	0	0	1	$f_{GTS} = f_{GTS1}/2$
:									$f_{GTS} = f_{GTS1} / (n + 1)$
127	0	1	1	1	1	1	1	1	$f_{GTS} = f_{GTS1}/128$ (リセット値)
:									$f_{GTS} = f_{GTS1} / (n + 1)$
254	1	1	1	1	1	1	1	0	$f_{GTS} = f_{GTS1}/255$
255	1	1	1	1	1	1	1	1	$f_{GTS} = f_{GTS1}/256$

グローバル・タイマ・システム・クロック (f_{GTS}) はタイム・スタンプ機能に使われるタイム・スタンプ・カウンタ^{注2}のソース・クロックです。

GTCS1	GTCS0	グローバル・タイマ・クロックの選択 (f_{GTS1})
0	0	$f_{MEM}/2$
0	1	$f_{MEM}/4$
1	0	$f_{MEM}/8$
1	1	$f_{MEM}/16$

n	MCP3	MCP2	MCP1	MCP0	メモリ・アクセス・コントローラへの クロック選択 (f_{MEM})
0	0	0	0	0	f_{MEM1}
1	0	0	0	1	$f_{MEM1}/2$
2	0	0	1	0	$f_{MEM1}/3$
:					$f_{MEM1} / (n + 1)$
14	1	1	1	0	$f_{MEM1}/15$
15	1	1	1	1	$f_{MEM1}/16$

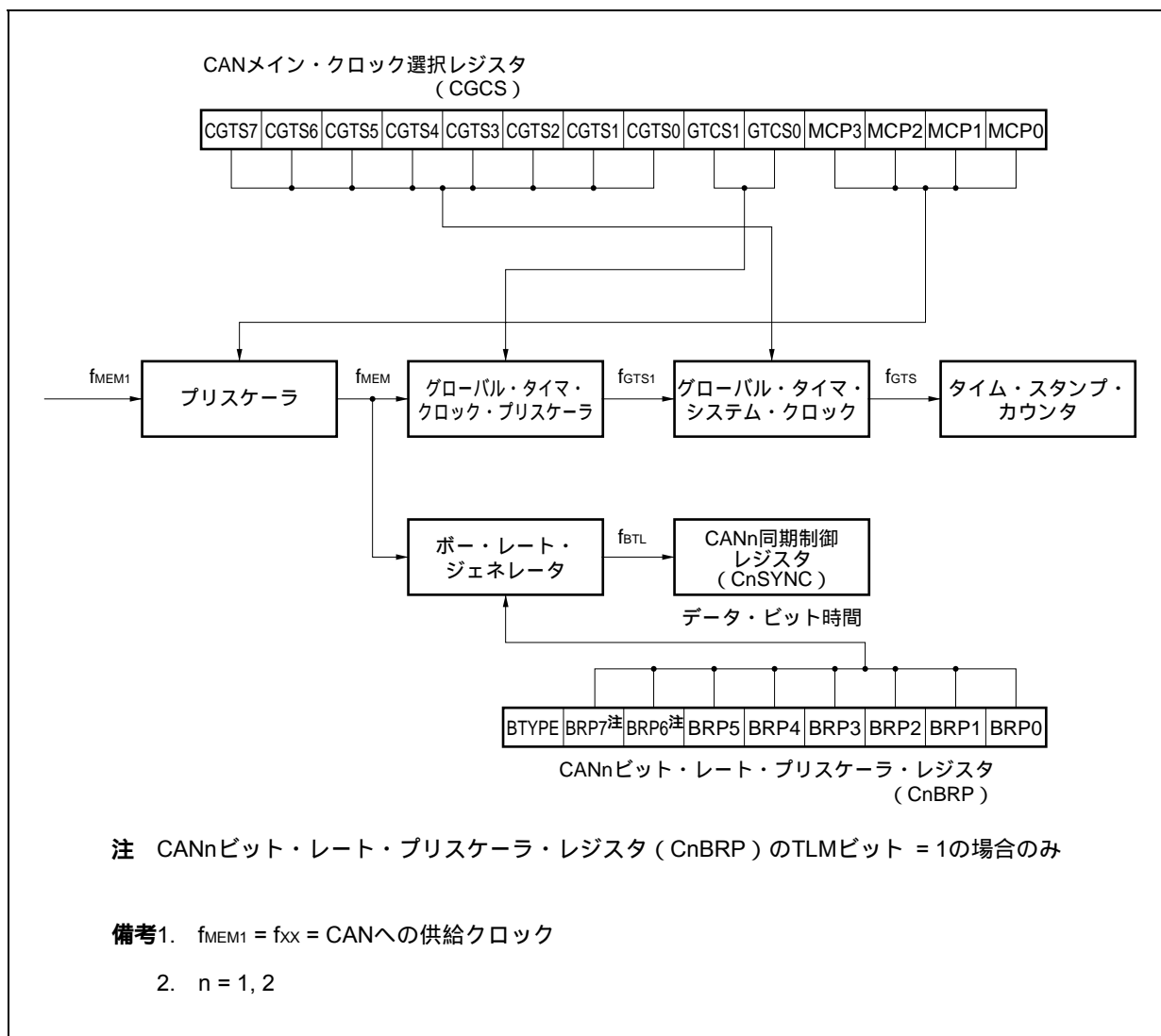
リセット解除後に一度MCP3-MCP0ビットの値を設定したあとは、値を変更しないでください。

★ **注1.** このビットへ書き込む場合は、必ず“0”を設定してください。

★ **2.** 19.5.16 CANタイム・スタンプ・カウント・レジスタ (CGTSC) 参照

★

図19 - 2 FCANのクロック



19.5.16 CANタイム・スタンプ・カウンタ・レジスタ (CGTSC)

CGTSCレジスタは、タイム・スタンプ・カウンタの内容を示します。

このレジスタの内容はいつでも読み出すことができます。

また、このレジスタへの書き込みはクリア機能に限られます。クリア機能は、CGTSCレジスタのすべてのビットに“0”を書き込むことにより行います。

16ビット単位でリードのみ可能です。

リセット時 : 0000H R アドレス : xx3FFC18H								
	15	14	13	12	11	10	9	8
CGTSC	TSC15	TSC14	TSC13	TSC12	TSC11	TSC10	TSC9	TSC8
	7	6	5	4	3	2	1	0
	TSC7	TSC6	TSC5	TSC4	TSC3	TSC2	TSC1	TSC0

19.5.17 CANメッセージ検索開始 / 結果レジスタ (CGMSS/CGMSR)

CGMSS/CGMSRレジスタは、メッセージの検索開始 / 結果の内容を示します。所定の検索基準に合致するメッセージ・バッファ内のメッセージを高速に検索できます。

16ビット単位でリード / ライト可能です。

- ★ **注意1. 検索は1回の書き込みで行ってください。**
- ★ **2. CGMSSレジスタのSMNO2ビットには必ず“0”を設定してください。1を設定した場合の動作は保証しません。**

(1/2)

リセット時 : 0000H R/W アドレス : xx3FFC1AH																																				
(a) リード時	<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 12.5%;">15</td><td style="width: 12.5%;">14</td><td style="width: 12.5%;">13</td><td style="width: 12.5%;">12</td><td style="width: 12.5%;">11</td><td style="width: 12.5%;">10</td><td style="width: 12.5%;">9</td><td style="width: 12.5%;">8</td> </tr> <tr> <td>CGMSR</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>MM</td><td>AM</td> </tr> <tr> <td></td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td></td><td>0</td><td>0</td><td>0</td><td>MFND4</td><td>MFND3</td><td>MFND2</td><td>MFND1</td><td>MFND0</td> </tr> </table>	15	14	13	12	11	10	9	8	CGMSR	0	0	0	0	0	MM	AM		7	6	5	4	3	2	1	0		0	0	0	MFND4	MFND3	MFND2	MFND1	MFND0	
15	14	13	12	11	10	9	8																													
CGMSR	0	0	0	0	0	MM	AM																													
	7	6	5	4	3	2	1	0																												
	0	0	0	MFND4	MFND3	MFND2	MFND1	MFND0																												
(b) ライト時	<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 12.5%;">15</td><td style="width: 12.5%;">14</td><td style="width: 12.5%;">13</td><td style="width: 12.5%;">12</td><td style="width: 12.5%;">11</td><td style="width: 12.5%;">10</td><td style="width: 12.5%;">9</td><td style="width: 12.5%;">8</td> </tr> <tr> <td>CGMSS</td><td>CIDE</td><td>0</td><td>CTRQ</td><td>CMSK</td><td>CDN</td><td>SMNO2</td><td>SMNO1</td><td>SMNO0</td> </tr> <tr> <td></td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td></td><td>0</td><td>0</td><td>0</td><td>STRT4</td><td>STRT3</td><td>STRT2</td><td>STRT1</td><td>STRT0</td> </tr> </table>	15	14	13	12	11	10	9	8	CGMSS	CIDE	0	CTRQ	CMSK	CDN	SMNO2	SMNO1	SMNO0		7	6	5	4	3	2	1	0		0	0	0	STRT4	STRT3	STRT2	STRT1	STRT0
15	14	13	12	11	10	9	8																													
CGMSS	CIDE	0	CTRQ	CMSK	CDN	SMNO2	SMNO1	SMNO0																												
	7	6	5	4	3	2	1	0																												
	0	0	0	STRT4	STRT3	STRT2	STRT1	STRT0																												
(a) リード時	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15%;">MM</td> <td style="text-align: center;">メッセージ検索複数一致の確認</td> </tr> <tr> <td>0</td> <td>検索基準に一致するメッセージなし、もしくは1つ該当</td> </tr> <tr> <td>1</td> <td>検索基準に一致するメッセージが複数該当</td> </tr> <tr> <td colspan="2"> 検索の結果、検索条件を満たすメッセージ・バッファが複数検出された場合、MMビットがセットされます。 </td> </tr> </table> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15%;">AM</td> <td style="text-align: center;">メッセージ検索一致の確認</td> </tr> <tr> <td>0</td> <td>検索基準に一致するメッセージなし</td> </tr> <tr> <td>1</td> <td>検索基準に一致するメッセージが少なくとも1つ該当</td> </tr> </table> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15%;">MFND4 -MFND0</td> <td style="text-align: center;">検索されたメッセージ番号</td> </tr> <tr> <td colspan="2"> 検索されたメッセージ番号を示します (0-31)。 </td> </tr> <tr> <td colspan="2"> ・ 検索の結果、複数のメッセージ・バッファ番号が一致した場合 (MM = 1) , MFND4-MFND0ビットの戻り値は、最も番号の低いメッセージ・バッファ番号になります。 </td> </tr> <tr> <td colspan="2"> 検索の結果、一致するメッセージ・バッファ番号がない場合 (AM = 0) , MFND4-MFND0ビットの戻り値は、メッセージ・バッファ数 - 1になります。 </td> </tr> </table>	MM	メッセージ検索複数一致の確認	0	検索基準に一致するメッセージなし、もしくは1つ該当	1	検索基準に一致するメッセージが複数該当	検索の結果、検索条件を満たすメッセージ・バッファが複数検出された場合、MMビットがセットされます。		AM	メッセージ検索一致の確認	0	検索基準に一致するメッセージなし	1	検索基準に一致するメッセージが少なくとも1つ該当	MFND4 -MFND0	検索されたメッセージ番号	検索されたメッセージ番号を示します (0-31)。		・ 検索の結果、複数のメッセージ・バッファ番号が一致した場合 (MM = 1) , MFND4-MFND0ビットの戻り値は、最も番号の低いメッセージ・バッファ番号になります。		検索の結果、一致するメッセージ・バッファ番号がない場合 (AM = 0) , MFND4-MFND0ビットの戻り値は、メッセージ・バッファ数 - 1になります。														
MM	メッセージ検索複数一致の確認																																			
0	検索基準に一致するメッセージなし、もしくは1つ該当																																			
1	検索基準に一致するメッセージが複数該当																																			
検索の結果、検索条件を満たすメッセージ・バッファが複数検出された場合、MMビットがセットされます。																																				
AM	メッセージ検索一致の確認																																			
0	検索基準に一致するメッセージなし																																			
1	検索基準に一致するメッセージが少なくとも1つ該当																																			
MFND4 -MFND0	検索されたメッセージ番号																																			
検索されたメッセージ番号を示します (0-31)。																																				
・ 検索の結果、複数のメッセージ・バッファ番号が一致した場合 (MM = 1) , MFND4-MFND0ビットの戻り値は、最も番号の低いメッセージ・バッファ番号になります。																																				
検索の結果、一致するメッセージ・バッファ番号がない場合 (AM = 0) , MFND4-MFND0ビットの戻り値は、メッセージ・バッファ数 - 1になります。																																				
(b) ライト時	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15%;">CIDE</td> <td style="text-align: center;">メッセージ・アイデンティファイア (ID) 形式フラグのチェック</td> </tr> <tr> <td>0</td> <td>メッセージ・アイデンティファイア形式フラグをチェックしない</td> </tr> <tr> <td>1</td> <td>標準フォーマット・アイデンティファイアのメッセージのみチェック実施</td> </tr> </table>	CIDE	メッセージ・アイデンティファイア (ID) 形式フラグのチェック	0	メッセージ・アイデンティファイア形式フラグをチェックしない	1	標準フォーマット・アイデンティファイアのメッセージのみチェック実施																													
CIDE	メッセージ・アイデンティファイア (ID) 形式フラグのチェック																																			
0	メッセージ・アイデンティファイア形式フラグをチェックしない																																			
1	標準フォーマット・アイデンティファイアのメッセージのみチェック実施																																			

(b) ライト時

CTRQ	送信要求とメッセージ準備フラグのチェック
0	送信要求とメッセージ準備フラグをチェックしない
1	送信要求とメッセージ準備フラグのチェック実施

CMSK	メッセージのチェック
0	マスク設定の有無に関係なく、メッセージのチェック実施
1	マスクされていないメッセージのみチェック実施

CDN	M_STATnレジスタのDNフラグのステータス・チェック (n = 00-31)
0	M_STATnレジスタのDNフラグのステータスをチェックしない
1	M_STATnレジスタのDNフラグのステータスのチェック実施

★

SMNO2	SMNO1	SMNO0	検索モジュールの設定
0	0	0	検索モジュールの設定なし
0	0	1	検索対象としてCANモジュール1を設定
0	1	0	検索対象としてCANモジュール2を設定
上記以外			設定禁止

STRTn	メッセージ検索開始位置 (n = 0-4)
0-31	メッセージ検索開始位置 (メッセージ番号)
<p>・ 検索はSTRT4-STRT0ビットで定義されたメッセージ番号から開始し、使用可能なメッセージ・バッファの中で、最も高い番号を持つメッセージ・バッファまで行います。検索の結果、複数のメッセージ・バッファ番号が一致した場合、最も番号の低いメッセージ・バッファ番号が選択されます。検索基準を変更せずに次のメッセージ・バッファ番号を得るためには、STRT4-STRT0ビットの値を (MFND4-MFND0) + 1 に設定する必要があります。</p>	

19.5.18 CANnアドレス・マスクレジスタL, H (CnMASKLa, CnMASKHa)

CnMASKLa, CnMASKHaレジスタは、メッセージのアイデンティファイア (ID) の一部をマスクすることで、マスクされた部分のアイデンティファイアを無効にし、受信可能なメッセージ数を拡張します (a = 0-3, n = 1, 2)。

16ビット単位でリード/ライト可能です。

C2MASKLa, C2MASKHaレジスタは、μPD703089Y, 70F3089Yのみ有効です。

リセット時：不定 R/W アドレス：表19-11参照

	15	14	13	12	11	10	9	8
CnMASKHa	CMIDE	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
(a = 0-3, n = 1, 2)	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16
	15	14	13	12	11	10	9	8
CnMASKLa	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
(a = 0-3, n = 1, 2)	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0

CMIDE	アイデンティファイア (ID) 形式のマスク設定
0	ID形式 (標準または拡張) のチェックをする
1	ID形式 (標準または拡張) のチェックをしない
CMIDEビットがセット (1) されると、IDの上位11ビットが比較されます。受信メッセージとメッセージ・バッファに格納されているID形式の比較は行いません。	

CMID0- CMID28	アイデンティファイア (ID) ビットのマスクを設定
0	CMID28-CMID0ビットにリンクされたメッセージ・バッファのIDビットと受信したIDビットを比較する。
1	CMID28-CMID0ビットにリンクされたメッセージ・バッファのIDビットと受信したIDビットを比較しない (マスクする)。
マスクは常に29ビットのID長で定義されます。マスクが標準IDに割り当てられた場合、CMID17-CMID0ビットには必ず“1”を設定してください。受信IDはCMID28-CMID18でのみマスクされます。 なお、標準および拡張IDは共に同一マスクを使用することができます。	

★

★

表19 - 11 CnMASKLa, CnMASKHaのアドレス (a = 0-3, n = 1, 2)

レジスタ名	アドレス	レジスタ名	アドレス
C1MASKL0	xx3FFC40H	C2MASKL0	xx3FFC80H
C1MASKH0	xx3FFC42H	C2MASKH0	xx3FFC82H
C1MASKL1	xx3FFC44H	C2MASKL1	xx3FFC84H
C1MASKH1	xx3FFC46H	C2MASKH1	xx3FFC86H
C1MASKL2	xx3FFC48H	C2MASKL2	xx3FFC88H
C1MASKH2	xx3FFC4AH	C2MASKH2	xx3FFC8AH
C1MASKL3	xx3FFC4CH	C2MASKL3	xx3FFC8CH
C1MASKH3	xx3FFC4EH	C2MASKH3	xx3FFC8EH

19.5.19 CANnコントロール・レジスタ (CnCTRL)

CnCTRLレジスタはCANモジュールの動作を制御するレジスタです。

16ビット単位でリード/ライト可能です。

C2CTRLレジスタは、μPD703089Y, 70F3089Yのみ有効です。

- 注意1.** CnCTRLレジスタへのビット・ライト操作と直接の書き込みは禁止されています。直接書き込みは誤動作を引き起こしますので、19.6 ビットのセット/クリア機能についての注意事項に示す手順に従って実行してください。
- CnCTRLレジスタの書き込みを行う場合には、(b) ライト時のレジスタ構成に従って、セット/クリアを行ってください。
 - CANストップ・モードを解除する場合には、必ずCANスリープ・モードも同時に解除してください。

(1/4)

リセット時 : 0101H R/W アドレス : C1CTRL : xx3FFC50H								
C2CTRL : xx3FFC90H								
(a) リード時	15	14	13	12	11	10	9	8
CnCTRL	TECS1	TECS0	RECS1	RECS0	BOFF	TSTAT	RSTAT	ISTAT
(n = 1, 2)	7	6	5	4	3	2	1	0
	0	DLEVR	DLEVT	OVM	TMR	STOP	SLEEP	INIT
(b) ライト時	15	14	13	12	11	10	9	8
CnCTRL	0	set DLEVR	set DLEVT	set OVM	set TMR	set STOP	set SLEEP	set INIT
(n = 1, 2)	7	6	5	4	3	2	1	0
	0	clear DLEVR	clear DLEVT	clear OVM	clear TMR	clear STOP	clear SLEEP	clear INIT
(a) リード時	TECS1	TECS0	送信エラー・カウンタの状態					
	0	0	送信エラー・カウンタ < 96					
	0	1	送信エラー・カウンタ = 96-127 (ワーニング・レベル)					
	1	0	未使用					
	1	1	送信エラー・カウンタ 128 (エラー・パッシブ)					
	RECS1	RECS0	受信エラー・カウンタの状態					
	0	0	受信エラー・カウンタ < 96					
	0	1	受信エラー・カウンタ = 96-127 (ワーニング・レベル)					
	1	0	未使用					
	1	1	受信エラー・カウンタ 128 (エラー・パッシブ)					
	BOFF	バス・オフ・ステータス・フラグ						
	0	送信エラー・カウンタ < 256 (バス・オフ状態でない)						
	1	送信エラー・カウンタ 256 (バス・オフ状態)						

(a) リード時

TSTAT	送信ステータス・フラグ
0	送信動作停止状態
1	送信動作状態

RSTAT	受信ステータス・フラグ
0	受信動作停止状態
1	受信動作状態

ISTAT	初期化状態フラグ
0	通常動作状態
1	FCANは停止し、初期化状態

・ ISTATビットは、CANプロトコル・レイヤがINITビットの設定に対して、アクノリッジすることでセット(1)されます。また、INITビットがクリア(0)されると自動的にクリア(0)されます。

・ 初期化状態ではCANTXn端子は“レセシブ”が出力されます。

・ CnSYNC, CnBRPレジスタは初期化モード時のみ、書き込み可能です。

・ 初期化状態から通常動作状態に移行する場合、エラー・カウンタ(19. 5. 22 CANnエラー・カウント・レジスタ(CnERC)参照)がクリア(0)され、エラー・ステータス(TECS1, TECS0, RECS1, RECS0ビット)がリセットされます。

DLEVR	受信端子のドミナント・レベル制御ビット
0	受信端子へのロウ・レベルをドミナントとして認識
1	受信端子へのハイ・レベルをドミナントとして認識

DLEVT	送信端子のドミナント・レベル制御ビット
0	送信端子からロウ・レベルをドミナントとして送信
1	送信端子からハイ・レベルをドミナントとして送信

OVM	オーバーライト・モード制御ビット
0	M_STATaレジスタのDNビットが設定されているメッセージ・バッファに対して新規メッセージを格納(a = 00-31)
1	DNビットが設定されているメッセージ・バッファに対して新規メッセージを破棄(a = 00-31)

TMR	受信用タイム・スタンプ制御ビット
0	CANバス上にSOFを検出すると、タイム・スタンプ・カウンタの値をキャプチャする。
1	CANバス上にEOFを検出する(有効なメッセージを確認)とタイム・スタンプ・カウンタの値をキャプチャする。

(a) リード時

STOP	CANストップ・モード制御ビット
0	通常CANスリープ・モード
1	CANストップ・モード (CANバスの変化によってウエイク・アップしない)

・ CANストップ・モードはCANモジュールがCANスリープ・モードに設定されている (SLEEPビットがセット (1) されている) 場合にのみ選択することができます。CANストップ・モードの解除はCPUによってのみ行われます (STOPビットをクリア (0) する)。

SLEEP	CANスリープ・モード制御ビット
0	通常動作モード
1	CANスリープ・モード (CANバスの変化によってウエイク・アップする)

・ CANスリープ・モードはCANバスがアイドル状態の場合のみ設定できます。

・ CANスリープ・モードは次の条件によって解除されます。

- ・ CPUがSLEEPビットをクリア (0) した場合。
- ・ CANバスの変化 (CANストップ・モードが設定されていない場合のみ)。

・ WAKEビット^注はCANバスの変化によりCANスリープ・モードが解除された場合のみセット (1) され、エラー割り込みが発生します。

・ SLEEPビットの設定内容については、CnCTRLレジスタを読み出して確認してください。

INIT	初期化要求ビット
0	通常動作モード
1	初期化モード

・ INITビットをセット (1) したあとは、必ずISTATビットで初期化モード (ISTATビット = 1) になったことを確認してください。

・ CANモジュールがバス・オフ状態 (BOFFビット = 1) でINITビットをセット (1) した場合、即座に初期化モード (ISTATビット = 1) になります。

注 19. 5. 20 CANn定義レジスタ (CnDEF) 参照

(b) ライト時

set DLEVR	clear DLEVR	DLEVRビットの設定
0	1	DLEVRビットをクリア (0)
1	0	DLEVRビットをセット (1)
上記以外		DLEVRビットの変更なし

set DLEVT	clear DLEVT	DLEVTビットの設定
0	1	DLEVTビットをクリア (0)
1	0	DLEVTビットをセット (1)
上記以外		DLEVTビットの変更なし

set OVM	clear OVM	OVMビットの設定
0	1	OVMビットをクリア (0)
1	0	OVMビットをセット (1)
上記以外		OVMビットの変更なし

set TMR	clear TMR	TMRビットの設定
0	1	TMRビットをクリア (0)
1	0	TMRビットをセット (1)
上記以外		TMRビットの変更なし

set STOP	clear STOP	STOPビットの設定
0	1	STOPビットをクリア (0)
1	0	STOPビットをセット (1)
上記以外		STOPビットの変更なし

set SLEEP	clear SLEEP	SLEEPビットの設定
0	1	SLEEPビットをクリア (0)
1	0	SLEEPビットをセット (1)
上記以外		SLEEPビットの変更なし

set INIT	clear INIT	INITビットの設定
0	1	INITビットをクリア (0)
1	0	INITビットをセット (1)
上記以外		INITビットの変更なし

19.5.20 CANn定義レジスタ (CnDEF)

CnDEFレジスタはCANモジュールの動作を定義するレジスタです。

★ 16ビット単位でリード/ライト可能です。

C2DEFレジスタは、μPD703089Y, 70F3089Yのみ有効です。

- 注意1. CnDEFレジスタへのビット・ライト操作と直接の書き込みは禁止されています。直接書き込みは誤動作を引き起こしますので、19.6 ビットのセット/クリア機能についての注意事項に示す手順に従って実行してください。
2. CnDEFレジスタの書き込みを行う場合には、(b) ライト時のレジスタ構成に従って、セット/クリアを行ってください。

(1/4)

リセット時：0000H R/W アドレス：C1DEF：xx3FFC52H
C2DEF：xx3FFC92H

(a) リード時

	15	14	13	12	11	10	9	8
CnDEF	0	0	0	0	0	0	0	0
(n = 1, 2)	7	6	5	4	3	2	1	0
	DGM	MOM	SSHT	PBB	BERR	VALID	WAKE	OVR

(b) ライト時

	15	14	13	12	11	10	9	8
CnDEF	set DGM	set MOM	set SSHT	set PBB	0	0	0	0
(n = 1, 2)	7	6	5	4	3	2	1	0
	clear DGM	clear MOM	clear SSHT	clear PBB	clear BERR	clear VALID	clear WAKE	clear OVR

(a) リード時

DGM	診断処理モードを指定
0	受信のみ、有効メッセージは診断処理モード用メッセージ・バッファ ^注 に格納
1	受信のみ、有効メッセージは通常動作モードと同様に格納
<p>・ 診断処理モード (MOMビット = 1) は、CANボー・レートの検出および診断目的に使用します。このモードが設定されている場合は、次のことが行われます。</p> <p>・ VALIDビット = 1のとき、有効な受信動作が行われていることを示します。</p> <p>・ DGMビットの設定によって、有効なデータが診断処理モード用メッセージ・バッファに格納されるか、または通常動作モード時と同様に格納されるかを確認します。</p>	

注 CANメッセージ構成レジスタa (M_CONFa) のビット5-3 (MT2-MT0) を “ 111 ” と設定 (a = 00-31)

(a) リード時

MOM	CANモジュールの動作モードを指定
0	通常動作モード
1	診断処理モード

・ 診断処理モード (MOMビット = 1) では、CANモジュールが初期化モードに設定されている場合 (CnCTRLレジスタのISTATビット = INITビット = 1) のみ、CnBRPレジスタにアクセスできます。

CANモジュールが動作している場合 (CnCTRLレジスタのISTATビット = 0)、CnBRPレジスタは使用できず、代わりにCANnバス診断情報レジスタ (CnDINF) が使用できます。

・ CANプロトコル・レイヤは、アクノリッジ、エラー・フレームおよび送信メッセージを送出せず、エラー・カウンタも動作しません。

また、自動ポーレート検出のため、内部の送信出力は、内部入力にフィードバックされます。

SSHT	シングル・ショット・モードを指定
0	通常動作モード
1	シングル・ショット・モード

・ シングル・ショット・モードでは、CANモジュールはメッセージの送信を1回のみ行います。M_STATaレジスタのTRQビットは、正常送信の有無にかかわらずクリア (0) されます (a = 00-31)。

また、送信によってバス・エラーが発生した場合、送信異常として処理されます。

・ シングル・ショット・モードでは、アービトレーション・フェーズで調停負けしても、メッセージは送信されたものとして扱われます。

この状態では、BERRビットはセット (1) されますが、CANバス・エラーではないため、エラー・カウンタ (19.5.22 CANnエラー・カウント・レジスタ (CnERC) 参照) の値は変わりません。

・ シングル・ショット・モードでは、エラーの検出またはアービトレーション・フェーズでの調停負けで送信が停止しても送信完了割り込みが発生します。

・ CANモジュールがアクティブの間、CANバス上にエラーを発生させることなく、通常動作モードとシングル・ショット・モードの切り替えを行えます。

PBB	送信時のプライオリティ制御を指定
0	アイデンティファイア (ID) によるプライオリティ制御
1	メッセージ番号によるプライオリティ制御

・ 通常はメッセージIDによって送信優先順位を定義しますが、PBBビットをセット (1) するとメッセージの位置によって優先順位が定義され、メッセージ番号が低いほど優先順位が高くなります。

BERR	CANバス・エラーの状態
0	CANバス・エラー未検出
1	ビット・クリア後に少なくとも1回CANバス・エラーを検出

VALID	有効メッセージ検出状態
0	有効メッセージ未検出
1	ビット・クリア後に少なくとも1回有効メッセージを検出

(a) リード時

WAKE	CANスリープ・モードの解除状態
0	通常動作
1	CANスリープ・モードのキャンセル

・ WAKEビットはCANバスの変化によりCANスリープ・モードが解除された場合のみセット (1) され、エラー割り込みが発生します。
 ・ WAKEビットがセット (1) されている間は、エラー割り込み信号はアクティブ状態を継続します。したがって、WAKEビットを認識したあとは必ずクリア (0) してください。

OVR	オーバラン・エラー状態
0	通常動作
1	RAMアクセス中にオーバラン発生

・ オーバラン・エラーが発生した場合、OVRビットがセット (1) され、同時にエラー割り込みが発生します。
 オーバラン・エラーが発生する原因として、選択されたCANポー・レートに対してRAMアクセス・クロックが遅すぎる場合が考えられます。

★

★

(b) ライト時

set DGM	clear DGM	DGMビットの設定
0	1	DGMビットをクリア (0)
1	0	DGMビットをセット (1)
上記以外		DGMビットの変更なし

set MOM	clear MOM	MOMビットの設定
0	1	MOMビットをクリア (0)
1	0	MOMビットをセット (1)
上記以外		MOMビットの変更なし

set SSHT	clear SSHT	SSHTビットの設定
0	1	SSHTビットをクリア (0)
1	0	SSHTビットをセット (1)
上記以外		SSHTビットの変更なし

set PBB	clear PBB	PBBビットの設定
0	1	PBBビットをクリア (0)
1	0	PBBビットをセット (1)
上記以外		PBBビットの変更なし

clear BERR	BERRビットの設定
1	BERRビットをクリア (0)
0	BERRビットの変更なし

clear VALID	VALIDビットの設定
1	VALIDビットをクリア (0)
0	VALIDビットの変更なし

clear WAKE	WAKEビットの設定
1	WAKEビットをクリア (0)
0	WAKEビットの変更なし

clear OVR	OVRビットの設定
1	OVRビットをクリア (0)
0	OVRビットの変更なし

19.5.21 CANn情報レジスタ (CnLAST)

CnLASTレジスタはCANnモジュールのエラー情報と最後に受信したメッセージ・バッファ番号を示すレジスタです。

16ビット単位でリードのみ可能です。

C2LASTレジスタはμ PD703089Y, 70F3089Yのみ有効です。

リセット時 : 00FFH R アドレス : C1LAST : xx3FFC54H																																																								
C2LAST : xx3FFC94H																																																								
CnLAST (n = 1, 2)	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%; text-align: center;">15</td> <td style="width: 12.5%; text-align: center;">14</td> <td style="width: 12.5%; text-align: center;">13</td> <td style="width: 12.5%; text-align: center;">12</td> <td style="width: 12.5%; text-align: center;">11</td> <td style="width: 12.5%; text-align: center;">10</td> <td style="width: 12.5%; text-align: center;">9</td> <td style="width: 12.5%; text-align: center;">8</td> </tr> <tr> <td></td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">LERR3</td> <td style="text-align: center;">LERR2</td> <td style="text-align: center;">LERR1</td> <td style="text-align: center;">LERR0</td> </tr> <tr> <td></td> <td style="text-align: center;">7</td> <td style="text-align: center;">6</td> <td style="text-align: center;">5</td> <td style="text-align: center;">4</td> <td style="text-align: center;">3</td> <td style="text-align: center;">2</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> </tr> <tr> <td></td> <td style="text-align: center;">LREC7</td> <td style="text-align: center;">LREC6</td> <td style="text-align: center;">LREC5</td> <td style="text-align: center;">LREC4</td> <td style="text-align: center;">LREC3</td> <td style="text-align: center;">LREC2</td> <td style="text-align: center;">LREC1</td> <td style="text-align: center;">LREC0</td> </tr> </table>		15	14	13	12	11	10	9	8		0	0	0	0	LERR3	LERR2	LERR1	LERR0		7	6	5	4	3	2	1	0		LREC7	LREC6	LREC5	LREC4	LREC3	LREC2	LREC1	LREC0																			
	15	14	13	12	11	10	9	8																																																
	0	0	0	0	LERR3	LERR2	LERR1	LERR0																																																
	7	6	5	4	3	2	1	0																																																
	LREC7	LREC6	LREC5	LREC4	LREC3	LREC2	LREC1	LREC0																																																
	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 12.5%;">LERR3</th> <th style="width: 12.5%;">LERR2</th> <th style="width: 12.5%;">LERR1</th> <th style="width: 12.5%;">LERR0</th> <th style="width: 50%;">最終エラー情報</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>エラー未検出</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>ビット・エラー</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>スタッフ・エラー</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>CRCエラー</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>フォーム・エラー</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>ACKエラー</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>アービトレーション負け (シングル・ショット・モード時のみ (CnDEF : SSHT = 1))</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>CANオーバラン・エラー</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>CANバスからのウエイク・アップ</td> </tr> <tr> <td colspan="3" style="text-align: center;">上記以外</td> <td></td> <td>設定禁止</td> </tr> </tbody> </table> <p>・LERR3-LERR0ビットはクリアできないため、次のエラー発生まで状態を保持します。</p>	LERR3	LERR2	LERR1	LERR0	最終エラー情報	0	0	0	0	エラー未検出	0	0	0	1	ビット・エラー	0	0	1	0	スタッフ・エラー	0	0	1	1	CRCエラー	0	1	0	0	フォーム・エラー	0	1	0	1	ACKエラー	0	1	1	0	アービトレーション負け (シングル・ショット・モード時のみ (CnDEF : SSHT = 1))	0	1	1	1	CANオーバラン・エラー	1	0	0	0	CANバスからのウエイク・アップ	上記以外				設定禁止
LERR3	LERR2	LERR1	LERR0	最終エラー情報																																																				
0	0	0	0	エラー未検出																																																				
0	0	0	1	ビット・エラー																																																				
0	0	1	0	スタッフ・エラー																																																				
0	0	1	1	CRCエラー																																																				
0	1	0	0	フォーム・エラー																																																				
0	1	0	1	ACKエラー																																																				
0	1	1	0	アービトレーション負け (シングル・ショット・モード時のみ (CnDEF : SSHT = 1))																																																				
0	1	1	1	CANオーバラン・エラー																																																				
1	0	0	0	CANバスからのウエイク・アップ																																																				
上記以外				設定禁止																																																				
	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 40%;">LREC7-LREC0</th> <th style="width: 60%;">最終受信メッセージ番号</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0-31</td> <td>最後に受信したメッセージ・バッファ番号</td> </tr> <tr> <td style="text-align: center;">32-255</td> <td>未使用</td> </tr> </tbody> </table>	LREC7-LREC0	最終受信メッセージ番号	0-31	最後に受信したメッセージ・バッファ番号	32-255	未使用																																																	
LREC7-LREC0	最終受信メッセージ番号																																																							
0-31	最後に受信したメッセージ・バッファ番号																																																							
32-255	未使用																																																							

19.5.23 CANn割り込み許可レジスタ (CnIE)

CnIEレジスタはCANモジュールの割り込み許可 / 禁止を行います。

★ 16ビット単位でリード / ライト可能です。

C2IEレジスタはμ PD703089Y, 70F3089Yのみ有効です。

注意1. CnIEレジスタへのビット・ライト操作と直接の書き込みは禁止されています。直接書き込みは誤動作を引き起こしますので、19.6 ビットのセット / クリア機能についての注意事項に示す手順に従って実行してください。

2. CnIEレジスタの書き込みを行う場合には、(b) ライト時のレジスタ構成に従って、セット / クリアを行ってください。

(1/2)

リセット時 : 0000H R/W アドレス : C1IE : xx3FFC58H								
C2IE : xx3FFC98H								
(a) リード時	15	14	13	12	11	10	9	8
CnIE	0	0	0	0	0	0	0	0
(n = 1, 2)	7	6	5	4	3	2	1	0
	0	E_INT6	E_INT5	E_INT4	E_INT3	E_INT2	E_INT1	E_INT0
(b) ライト時	15	14	13	12	11	10	9	8
CnIE	0	set E_INT6	set E_INT5	set E_INT4	set E_INT3	set E_INT2	set E_INT1	set E_INT0
(n = 1, 2)	7	6	5	4	3	2	1	0
	0	clear E_INT6	clear E_INT5	clear E_INT4	clear E_INT3	clear E_INT2	clear E_INT1	clear E_INT0
(a) リード時								
	E_INT6	CANモジュール・エラー割り込み許可フラグ						
	0	割り込み禁止						
	1	割り込み許可						
	E_INT5	CANバス・エラー割り込み許可フラグ						
	0	割り込み禁止						
	1	割り込み許可						
	E_INT4	CANスリープ・モードからのウエイク・アップ割り込み許可フラグ						
	0	割り込み禁止						
	1	割り込み許可						
	E_INT3	CAN受信エラー・パッシブ割り込み許可フラグ						
	0	割り込み禁止						
	1	割り込み許可						
	E_INT2	CAN送信エラー・パッシブまたはバス・オフ割り込み許可フラグ						
	0	割り込み禁止						
	1	割り込み許可						

(a) リード時

E_INT1	CAN受信完了割り込み許可フラグ
0	割り込み禁止
1	割り込み許可

・ M_CTRLnレジスタのIEビット = 1のとき、自動応答機能が設定されていない状態 (M_CTRLnレジスタのRMDE0ビット = 0) で送信メッセージ・バッファにリモート・フレームを受信した場合は、E_INT1ビットの設定に関係なく受信完了割り込みが発生します。

E_INT0	CAN送信完了割り込み許可フラグ
0	割り込み禁止
1	割り込み許可

(b) ライト時

set E_INT6	clear E_INT6	E_INT6ビットの設定
0	1	E_INT6割り込みをクリア (0)
1	0	E_INT6割り込みをセット (1)
上記以外		E_INT6割り込みの変更なし

set E_INT5	clear E_INT5	E_INT5ビットの設定
0	1	E_INT5割り込みをクリア (0)
1	0	E_INT5割り込みをセット (1)
上記以外		E_INT5割り込みの変更なし

set E_INT4	clear E_INT4	E_INT4ビットの設定
0	1	E_INT4割り込みをクリア (0)
1	0	E_INT4割り込みをセット (1)
上記以外		E_INT4割り込みの変更なし

set E_INT3	clear E_INT3	E_INT3ビットの設定
0	1	E_INT3割り込みをクリア (0)
1	0	E_INT3割り込みをセット (1)
上記以外		E_INT3割り込みの変更なし

set E_INT2	clear E_INT2	E_INT2ビットの設定
0	1	E_INT2割り込みをクリア (0)
1	0	E_INT2割り込みをセット (1)
上記以外		E_INT2割り込みの変更なし

set E_INT1	clear E_INT1	E_INT1ビットの設定
0	1	E_INT1割り込みをクリア (0)
1	0	E_INT1割り込みをセット (1)
上記以外		E_INT1割り込みの変更なし

set E_INT0	clear E_INT0	E_INT0ビットの設定
0	1	E_INT0割り込みをクリア (0)
1	0	E_INT0割り込みをセット (1)
上記以外		E_INT0割り込みの変更なし

★

19.5.24 CANnバス・アクティブ・レジスタ (CnBA)

CnBAレジスタはCANバス上に出力されるフレーム情報を示すレジスタです。

16ビット単位でリードのみ可能です。

C2BAレジスタはμ PD703089Y, 70F3089Yのみ有効です。

リセット時 : 00FFH R アドレス : C1BA : xx3FFC5AH
C2BA : xx3FFC9AH

	15	14	13	12	11	10	9	8
CnBA	0	0	0	CACT4	CACT3	CACT2	CACT1	CACT0
(n = 1, 2)	7	6	5	4	3	2	1	0
	TMNO7	TMNO6	TMNO5	TMNO4	TMNO3	TMNO2	TMNO1	TMNO0

CACT4	CACT3	CACT2	CACT1	CACT0	CANモジュールの状態
0	0	0	0	0	リセット状態
0	0	0	0	1	バス・アイドル待ち
0	0	0	1	0	バス・アイドル状態
0	0	0	1	1	スタート・オブ・フレーム
0	0	1	0	0	標準アイデンティファイア領域
0	0	1	0	1	データ長コード領域
0	0	1	1	0	データ・フィールド領域
0	0	1	1	1	CRCフィールド領域
0	1	0	0	0	CRCデリミッタ
0	1	0	0	1	ACKスロット
0	1	0	1	0	ACKデリミッタ
0	1	0	1	1	エンド・オブ・フレーム領域
0	1	1	0	0	インタミッション・ステート
0	1	1	0	1	サスペンド・トランスミッション
0	1	1	1	0	エラー・フレーム
0	1	1	1	1	エラー・デリミッタ待ち
1	0	0	0	0	エラー・デリミッタ
1	0	0	0	1	バス・オフ・エラー
1	0	0	1	0	拡張アイデンティファイア領域
上記以外					設定禁止

TMNO7-TMNO0	送信メッセージ・カウンタ
0-31	送信待ちまたは送信中のメッセージ番号
32-254	未使用
255	送信待ち, または送信中のメッセージなし

19.5.25 CANnビット・レート・プリスケアラ・レジスタ (CnBRP)

CnBRPレジスタはCANモジュールの通信ボー・レートの設定をするレジスタです。

CnBRPレジスタでCANプロトコル・レイヤ基本システム・クロック (fbTL) を選択します。ボー・レートは、CnSYNCレジスタに設定した値で決まります。

通常動作モード (CnDEFレジスタのMOMビット = 0) の場合、CnBRPレジスタは初期化モード (CnCTRLレジスタのINITビット = 1) のときのみアクセスできます。

16ビット単位でリード/ライト可能です。

C2BRPレジスタは μ PD703089Y, 70F3089Yのみ有効です。

注意 診断処理モード (CnDEFレジスタのMOMビット = 1) の場合、CnBRPレジスタは初期化モードのときのみアクセスできます。

リセット時 : 0000H R/W アドレス : C1BRP : xx3FFC5CH
 C2BRP : xx3FFC9CH

(a) TLM = 0時

	15	14	13	12	11	10	9	8
CnBRP	TLM	0	0	0	0	0	0	0

(n = 1, 2)

	7	6	5	4	3	2	1	0
	0	BTYPE	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0

(b) TLM = 1時

	15	14	13	12	11	10	9	8
CnBRP	TLM	0	0	0	0	0	0	BTYPE

(n = 1, 2)

	7	6	5	4	3	2	1	0
	BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0

(a) TLM = 0時

TLM	転送レイヤ・モード指定
0	6ビット・プリスケアラ・モード

BTYPE	CANバス・タイプ指定
0	ロウ・スピード (125 Kbps)
1	ハイ・スピード (> 125 Kbps)

a	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	CANプロトコル・レイヤ基本システム・クロック (f _{BTL})
0	0	0	0	0	0	0	f _{MEM} /2
1	0	0	0	0	0	1	f _{MEM} /4
2	0	0	0	0	1	0	f _{MEM} /6
3	0	0	0	0	1	1	f _{MEM} /8
:							f _{MEM} / { (a+1) x 2 }
60	1	1	1	1	0	0	f _{MEM} /122
61	1	1	1	1	0	1	f _{MEM} /124
62	1	1	1	1	1	0	f _{MEM} /126
63	1	1	1	1	1	1	f _{MEM} /128

備考 f_{BTL} = f_{MEM} / { (a + 1) × 2 } : CANプロトコル・レイヤ基本システム・クロック
 a = 0-63 (BRP5-BRP0ビットで設定)
 f_{MEM} = CAN基本クロック

(b) TLM = 1時

TLM	転送レイヤ・モード指定
1	8ビット・プリスケラ・モード

BTYPE	CANバス・タイプ指定
0	ロウ・スピード (125 Kbps)
1	ハイ・スピード (> 125 Kbps)

a	BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	CANプロトコル・レイヤ基本システム・クロック (f _{BTL})
0	0	0	0	0	0	0	0	0	設定禁止
1	0	0	0	0	0	0	0	1	f _{MEM} /2
2	0	0	0	0	0	0	1	0	f _{MEM} /3
3	0	0	0	0	0	0	1	1	f _{MEM} /4
:									f _{MEM} / (a + 1)
252	1	1	1	1	1	1	0	0	f _{MEM} /253
253	1	1	1	1	1	1	0	1	f _{MEM} /254
254	1	1	1	1	1	1	1	0	f _{MEM} /255
255	1	1	1	1	1	1	1	1	f _{MEM} /256

備考 f_{BTL} = f_{MEM} / (a + 1) : CANプロトコル・レイヤ基本システム・クロック
 a = 0-255 (BRP7-BRP0ビットで設定)
 f_{MEM} = CAN基本クロック

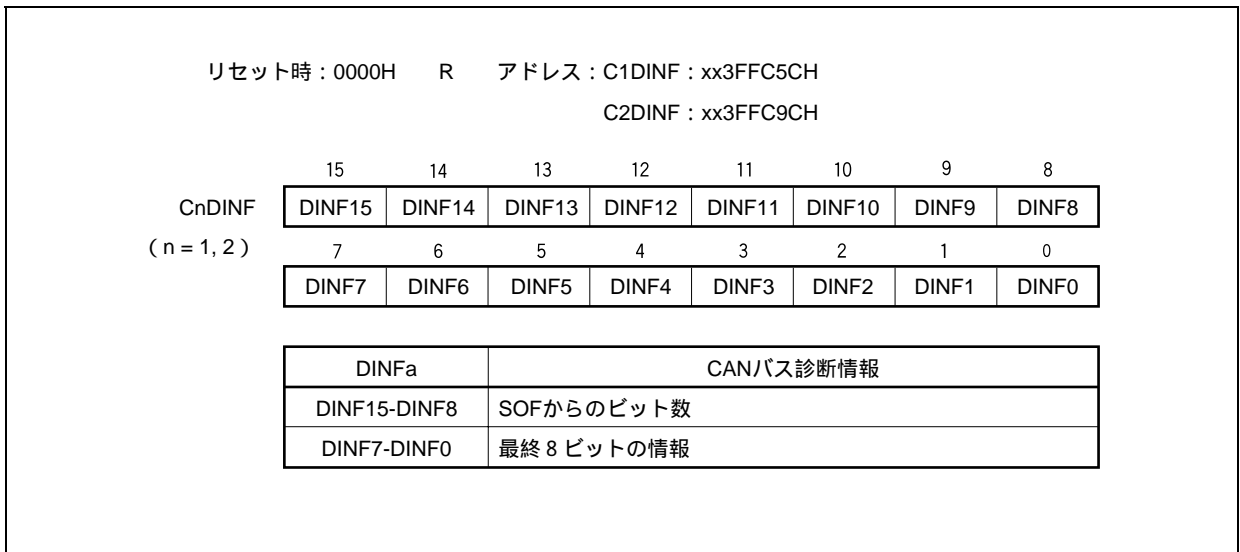
19.5.26 CANnバス診断情報レジスタ (CnDINF)

CnDINFレジスタは、スタッフ・ビット、デリミッタなどすべてのCANバス・ビットを示します。これらの情報は、診断目的だけで使用します。

16ビット単位でリードのみ可能です。

C2DINFレジスタは、μ PD703089Y, 70F3089Yのみ有効です。

- 注意1.** CnDINFレジスタは、診断処理モード (CnDEFレジスタのMOMビット = 1) で通常動作モード (CnCTRLレジスタのINITビット = 0) のときのみアクセスできます。
- 2.** 最終8ビットの格納は、CANバス上にエラーあるいは有効なメッセージ (ACKデリミッタ) を検出した場合に自動的に停止します。また、CANバス上にSOFを検出した場合は毎回自動的にリセットされます。



19.5.27 CANn同期制御レジスタ (CnSYNC)

CnSYNCレジスタは、通信速度のデータ・ビット・タイムを制御します。

16ビット単位でリード/ライト可能です。

C2SYNCレジスタはμPD703089Y, 70F3089Yのみ有効です。

注意1. CPUはCnSYNCレジスタをいつでも読み込むことができます。

2. CnSYNCレジスタへの書き込みは、初期化モード (CnCTRLレジスタのINITビット = 1) にした場合に可能です。

3. SPTRaビットとDBTRaビットを設定する場合のCANプロトコルの限界値を次に示します (a = 0-4)。

- 5×BTL SPT (サンプル・ポイント) 17×BTL [4 SPTR4-SPTR0の設定値 16]
- 8×BTL DBT (データ・ビット・タイム) 25×BTL [7 DBTR4-DBTR0の設定値 24]
- SJW (同期ジャンプ幅) DBT - SPT
- 2 (DBT - SPT) 8

★

備考 BTL = 1/f_{BTL} (f_{BTL} : CANプロトコル・レイヤ基本システム・クロック)

(1/2)

リセット時 : 0218H R/W アドレス : C1SYNC : xx3FFC5EH
C2SYNC : xx3FFC9EH

	15	14	13	12	11	10	9	8
CnSYNC (n = 1, 2)	0	0	0	SAMP	SJWR1	SJWR0	SPTR4	SPTR3
	7	6	5	4	3	2	1	0
	SPTR2	SPTR1	SPTR0	DBTR4	DBTR3	DBTR2	DBTR1	DBTR0

SAMP	ビット・サンプリング指定
0	サンプル・ポイントで受信データを1回サンプリング
1	受信データを3回サンプリングし、多数決でサンプリング値を決定

SJWR1	SJWR0	同期ジャンプ幅 ^注
0	0	BTL
0	1	BTL × 2
1	0	BTL × 3
1	1	BTL × 4

注 CANプロトコル仕様Ver.2.0 PartB activeで規定

備考 BTL = 1/f_{BTL} (f_{BTL} : CANプロトコル・レイヤ基本システム・クロック)

★
★

SPTR4	SPTR3	SPTR2	SPTR1	SPTR0	サンプリング・ポイントの位置
0	0	0	1	0	BTL×3 ^注
0	0	0	1	1	BTL×4 ^注
0	0	1	0	0	BTL×5
0	0	1	0	1	BTL×6
0	0	1	1	0	BTL×7
0	0	1	1	1	BTL×8
0	1	0	0	0	BTL×9
0	1	0	0	1	BTL×10
0	1	0	1	0	BTL×11
0	1	0	1	1	BTL×12
0	1	1	0	0	BTL×13
0	1	1	0	1	BTL×14
0	1	1	1	0	BTL×15
0	1	1	1	1	BTL×16
1	0	0	0	0	BTL×17
上記以外					設定禁止
ビット・タイミング中のサンプル・ポイントが選択されます。					

DBTR4	DBTR3	DBTR2	DBTR1	DBTR0	データ・ビット・タイム
0	0	1	1	1	BTL×8
0	1	0	0	0	BTL×9
0	1	0	0	1	BTL×10
0	1	0	1	0	BTL×11
0	1	0	1	1	BTL×12
0	1	1	0	0	BTL×13
0	1	1	0	1	BTL×14
0	1	1	1	0	BTL×15
0	1	1	1	1	BTL×16
1	0	0	0	0	BTL×17
1	0	0	0	1	BTL×18
1	0	0	1	0	BTL×19
1	0	0	1	1	BTL×20
1	0	1	0	0	BTL×21
1	0	1	0	1	BTL×22
1	0	1	1	0	BTL×23
1	0	1	1	1	BTL×24
1	1	0	0	0	BTL×25
上記以外					設定禁止
CANバスでの1データ・ビットの長さが設定されます。					

★

注 この設定はサンプル・ポイントの拡張設定のために予約されているもので、CANプロトコル仕様に準拠していません。

備考 $BTL = 1/f_{BTL}$ (f_{BTL} : CANプロトコル・レイヤ基本システム・クロック)

19.6 ビットのセット/クリア機能についての注意事項

FCANの制御レジスタには、ビットのセット/クリアがCPUとCANインタフェースの両方で行われるレジスタがあります。次に示すレジスタに直接、値を書き込むと誤作動するため、値の直接書き込み（ビット操作、リード・モディファイ・ライト、目標値の直接書き込み）をしないでください。

- ・ CANグローバル・ステータス・レジスタ (CGST)
- ・ CANグローバル割り込み許可レジスタ (CGIE)
- ・ CANnコントロール・レジスタ (CnCTRL)
- ・ CANn定義レジスタ (CnDEF)
- ・ CANn割り込み許可レジスタ (CnIE)

備考 n = 1, 2

上記レジスタの16ビットはすべて通常の方法で読むことができます。下位8ビットのビット・セットやビット・クリアは図19 - 3の手順で行ってください。

上記レジスタの下位8ビットのセット/クリアは、上位8ビットと下位8ビットの組み合わせで行います（図19 - 4参照）。図19 - 3のように、setビットとclearビットの値により、該当するレジスタのビットをセット/クリア/変化なしと操作できます。

図19 - 3 ビットのセット/クリアの操作例

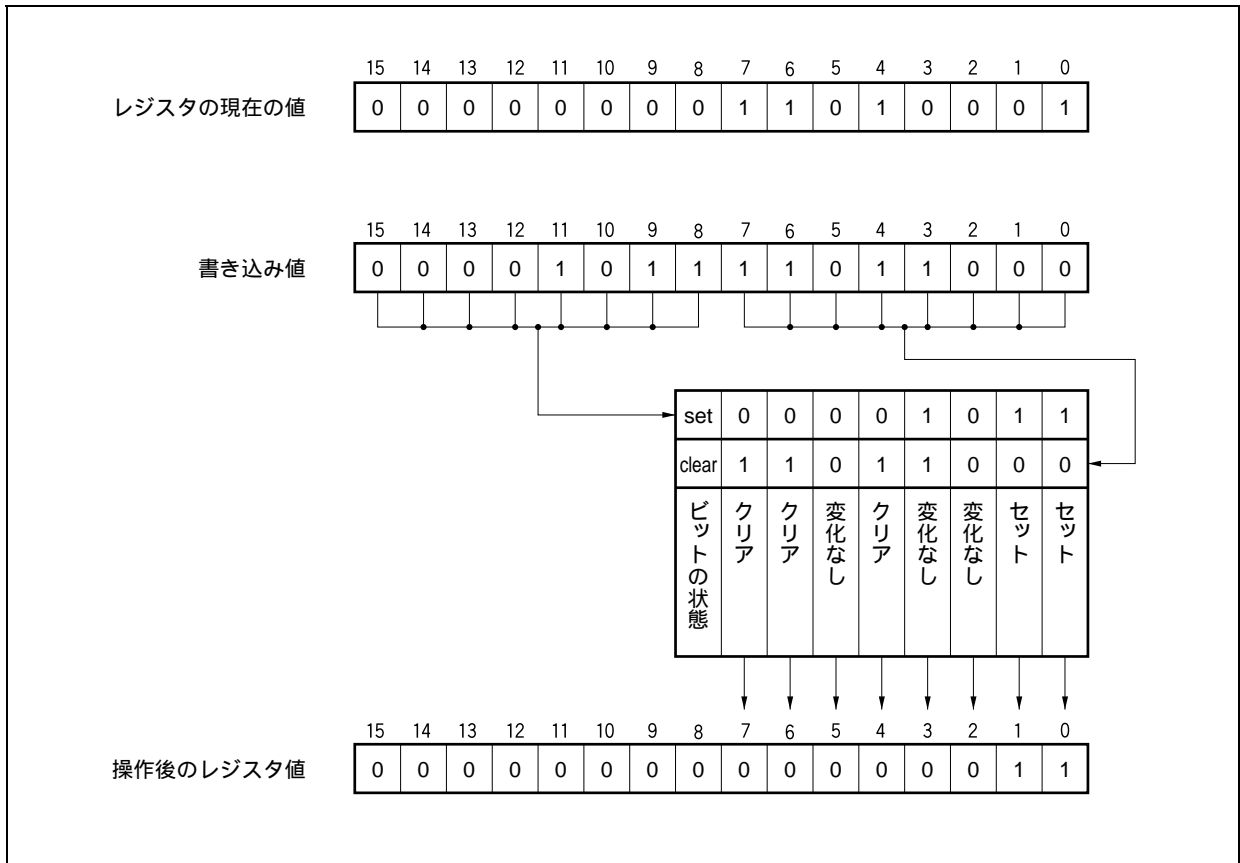
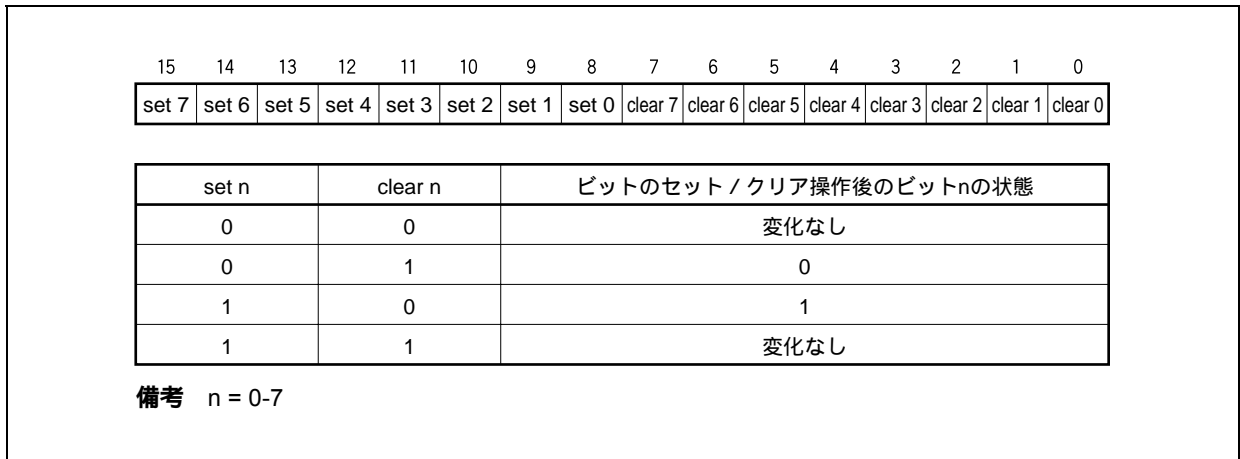


図19 - 4 ライト時の16ビット・データ



19.7 タイム・スタンプ機能

- ★ **注意** V850/SC3では、メッセージ受信時のSOF検出によるタイム・スタンプ機能とメッセージ送信時のSOF検出によるタイム・スタンプ機能は使用できません。
- メッセージ受信時のEOF検出によるタイム・スタンプ機能のみ使用できます。ただし、CGSTレジスタのTSMビット = 1, CnCTRLレジスタのTMRビット = 1に設定した場合のM_TIMEレジスタにキャプチャされた値のみ有効となります。

FCANコントローラはタイム・スタンプ機能をサポートしています。この機能はグローバル・タイム・システムを構築するために必要となります。

タイム・スタンプ機能は16ビット・フリー・ランニングのタイム・スタンプ・カウンタを使用して実現します。

FCANコントローラでは、メッセージ受信時には2種類のタイム・スタンプ機能の設定ができます。タイム・スタンプ機能の設定は、CANxコントロール・レジスタ (CxCTRL) のビット3 (TMR) で行います (x = 1, 2)。TMRビット = 0の場合には、CANバス上にSOFを検出するとタイム・スタンプ・カウンタ値をキャプチャし (図19-5参照)、TMRビット = 1の場合には、CANバス上にEOFを検出する (有効なメッセージを確認) とタイム・スタンプ・カウンタ値をキャプチャします (図19-6参照)。

図19-5 メッセージ受信時のタイム・スタンプ機能設定 (CxCTRLレジスタのTMRビット = 0の場合)

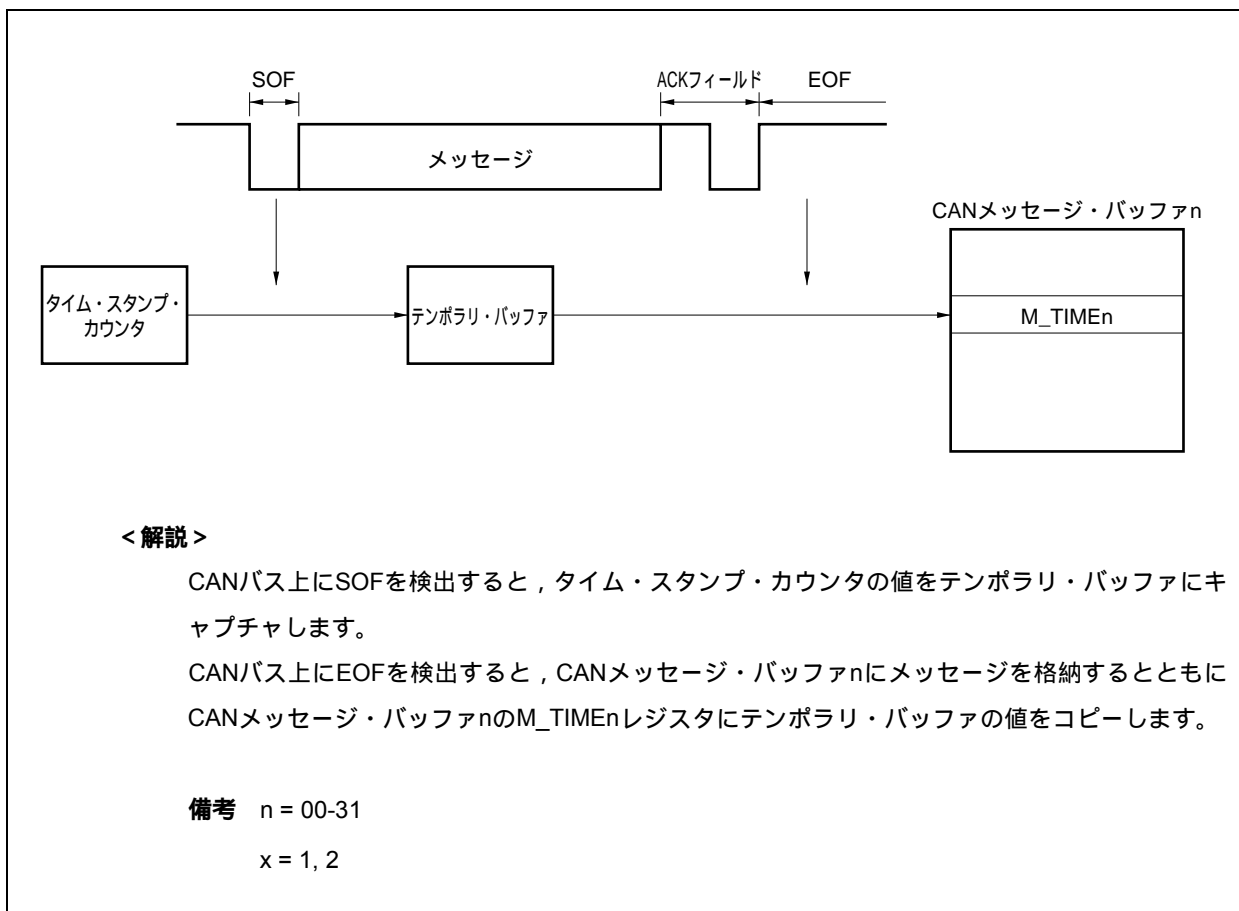
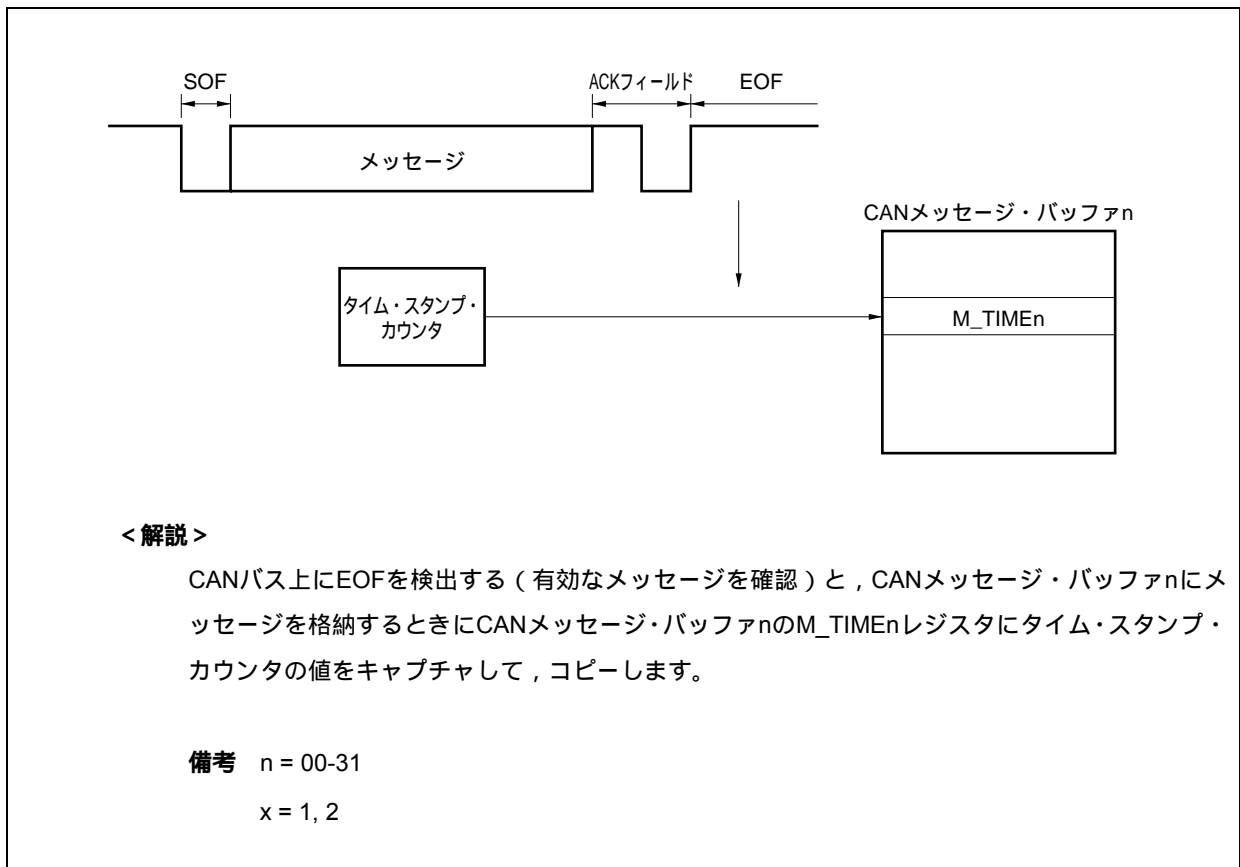


図19 - 6 メッセージ受信時のタイム・スタンプ機能設定 (CxCTRLレジスタのTMRビット = 1の場合)



グローバル・タイム・システムでは、SOFでタイム値をキャプチャする必要があります。

また、メッセージをCANメッセージ・バッファnに格納するときにタイム・スタンプ・カウンタの値をキャプチャできるとFCANコントローラの性能を評価するのに有効です。

タイム・スタンプ・カウンタのキャプチャ値は各CANメッセージ・バッファnに格納されるため、CANメッセージ・バッファnごとにタイム・スタンプ機能を持っています (n = 00-31)。

メッセージ送信時には、CANバス上にSOFを検出した場合、CANメッセージ・コントロール・レジスタn (M_CTRLn) のビット5 (ATS) の設定によりメッセージの最後の2バイトをタイム・スタンプ・カウンタのキャプチャ値と交換するかどうかを選択できます。この機能はCANメッセージ・バッファnごとに選択できます。図19-7にATSビット = 1のときのタイム・スタンプ設定を示します。

図19 - 7 メッセージ送信時のタイム・スタンプ機能設定 (M_CTRLレジスタのATSビット = 1の場合)

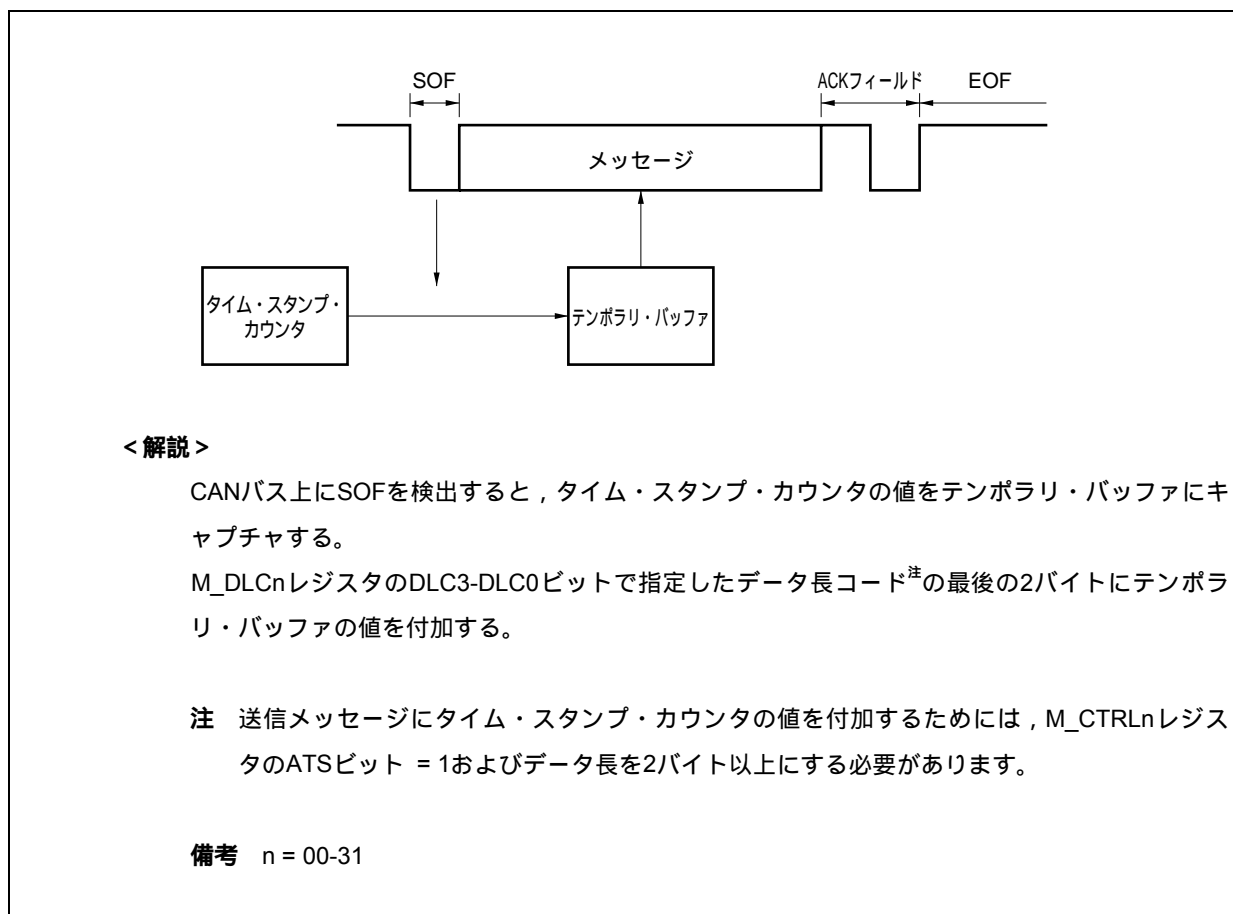


表19 - 12 送信メッセージの最後の2バイトにタイム・スタンプ・カウンタのキャプチャ値を付加する場合の例

データ・フィールド DLCビット値 ^{注1}	データ1	データ2	データ3	データ4	データ5	データ6	データ7	データ8
1	M_DATAn0 レジスタ値	-	-	-	-	-	-	-
2	注2	注3	-	-	-	-	-	-
3	M_DATAn0 レジスタ値	注2	注3	-	-	-	-	-
4	M_DATAn0 レジスタ値	M_DATAn1 レジスタ値	注2	注3	-	-	-	-
5	M_DATAn0 レジスタ値	M_DATAn1 レジスタ値	M_DATAn2 レジスタ値	注2	注3	-	-	-
6	M_DATAn0 レジスタ値	M_DATAn1 レジスタ値	M_DATAn2 レジスタ値	M_DATAn3 レジスタ値	注2	注3	-	-
7	M_DATAn0 レジスタ値	M_DATAn1 レジスタ値	M_DATAn2 レジスタ値	M_DATAn3 レジスタ値	M_DATAn4 レジスタ値	注2	注3	-
8	M_DATAn0 レジスタ値	M_DATAn1 レジスタ値	M_DATAn2 レジスタ値	M_DATAn3 レジスタ値	M_DATAn4 レジスタ値	M_DATAn5 レジスタ値	注2	注3
9-15	M_DATAn0 レジスタ値	M_DATAn1 レジスタ値	M_DATAn2 レジスタ値	M_DATAn3 レジスタ値	M_DATAn4 レジスタ値	M_DATAn5 レジスタ値	注2	注3

注1. 19.5.1 CANメッセージ・データ長レジスタ00-31 (M_DLC00-M_DLC31) 参照

2. CANバス上にSOFを検出したときのタイム・スタンプ・カウンタ値の下位8ビット
3. CANバス上にSOFを検出したときのタイム・スタンプ・カウンタ値の上位8ビット

備考 n = 00-31

★ 19.8 メッセージ処理

FCANコントローラはモジュラ方式を採用しています。このため、メッセージをメッセージ領域内で自由に配置できます。

各メッセージは、CANモジュールにリンクされたマスク機能に対して、それぞれリンクできます。

19.8.1 メッセージ送信

FCANはマルチマスタ方式の通信システムです。このシステムの中では、メッセージの送信優先順位はメッセージのアイデンティファイア (ID) によって決定されます。

アプリケーション・ソフトウェアによる送信処理を容易にするため、CANモジュールは複数の送信待ちメッセージが存在する場合、リンクされているメッセージのどれが最高優先順位を持っているのかハードウェアによりIDを調べて自動的に判断します。

したがって、ソフトウェアにより優先順位制御を行う必要がありません。

また、CnDEFレジスタのPBBビットの設定により、送信時のプライオリティ制御ができます。

- ・ PBBビット = 0に設定した場合 (図19 - 8参照)

アイデンティファイア (ID) による送信プライオリティ制御を行います。

アプリケーション・ソフトウェアにおいて同時に設定できるメッセージ・バッファ内の送信待ちメッセージ数^注は、CANモジュールにつき、5メッセージまでです。

注 M_STATnレジスタのTRQビット = 1に設定されているメッセージ・バッファ数

- ・ PBBビット = 1に設定した場合 (図19 - 9参照)

メッセージ番号による送信プライオリティ制御を行います。

アプリケーション・ソフトウェアによるメッセージ・バッファ内の送信待ちメッセージ数の制限はありません。

図19 - 8 メッセージ処理例 (PBBビット = 0に設定した場合)

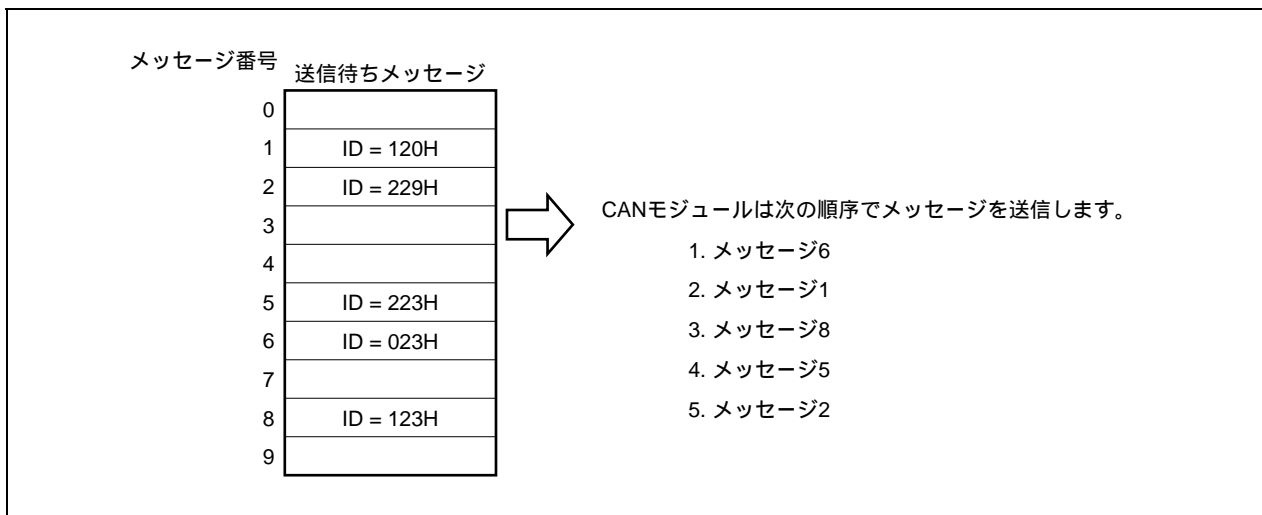
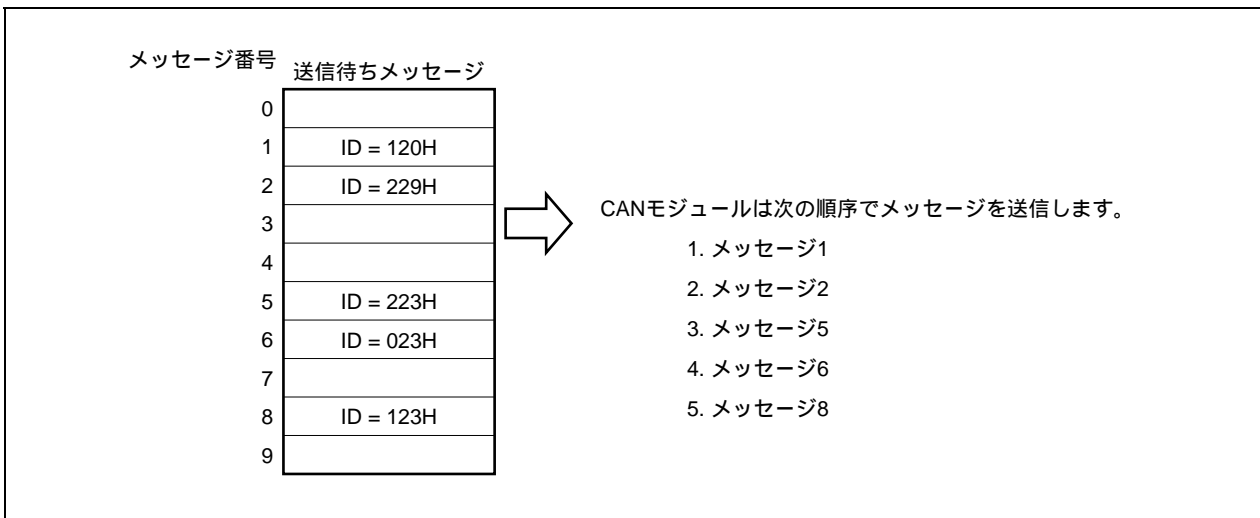


図19 - 9 メッセージ処理例 (PBBビット = 1に設定した場合)



19.8.2 メッセージ受信

CANモジュールの複数のメッセージ・バッファにメッセージを受信した場合、受信メッセージの格納優先順位は次のようになります (データ・フレームとリモート・フレームで格納優先順位は異なります)。

表19 - 13 データ・フレーム受信の格納優先順位

優先順位	条件
2 (高)	マスクされていないメッセージ・バッファ
3	マスク0とリンクしたメッセージ・バッファ
4	マスク1とリンクしたメッセージ・バッファ
5	マスク2とリンクしたメッセージ・バッファ
6 (低)	マスク3とリンクしたメッセージ・バッファ

表19 - 14 リモート・フレーム受信の格納優先順位

優先順位	条件
1 (高)	送信メッセージ・バッファ
2	マスクされていないメッセージ・バッファ
3	マスク0とリンクしたメッセージ・バッファ
4	マスク1とリンクしたメッセージ・バッファ
5	マスク2とリンクしたメッセージ・バッファ
6 (低)	マスク3とリンクしたメッセージ・バッファ

メッセージ（データ・フレームまたはリモート・フレーム）は、必ず優先順位の高い受信メッセージ・バッファに格納されます。優先順位の低い受信メッセージ・バッファには格納されません。たとえば、マスクされていない受信メッセージ・バッファとマスク0とリンクした受信メッセージ・バッファが同一IDを持っていた場合、マスクされていない受信メッセージ・バッファがすでにメッセージを受信していたとしても、メッセージは必ずマスクされていない受信メッセージ・バッファに格納されます。

また、同じCANモジュールで、同一優先度のメッセージ・バッファが複数ある場合、優先順位は次のようになります。

表19 - 15 同一優先レベルでの優先順位

優先順位	条 件
1 (高)	M_STATレジスタのDNビットはセット (1) されていない
2 (低)	M_STATレジスタのDNビットはセット (1) されている

同一優先度のメッセージ・バッファが複数ある場合、最小のメッセージ番号を持つメッセージ・バッファの優先順位が高くなります。

同一IDを持つ複数のメッセージ・バッファが存在する場合、最小のメッセージ番号を持つメッセージ・バッファの優先順位が高くなります。

19.9 マスク機能

各受信メッセージはそのメッセージのマスクをリンクさせるかどうかを定義できます。

つまり、ローカル・マスクとグローバル・マスクを区別する必要がありません。

マスク機能を使用することにより、受信したメッセージのアイデンティファイアとメッセージ・バッファのアイデンティファイアとを比較し、その結果、マスクにて“0”または“1”に設定されていても定義されたメッセージ・バッファに格納できます。

マスク機能が働いているとき、マスクにて“1”と定義されたビットは受信したメッセージのアイデンティファイアとメッセージ・バッファのアイデンティファイアとの比較を行いません。

マスクにて“0”と定義されたビットについては比較を行います。

たとえば、ID27-ID25が“0”，ID24とID22が“1”と設定された標準フォーマットIDを持つすべてのメッセージをメッセージ・バッファ14（CANモジュール1でかつ、マスク1とリンク（19.5.6参照）させるとします。）に格納したい場合、次に示す手順で行ってください。

メッセージ・バッファに格納したいアイデンティファイア

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

x = don't care

ID27-ID25が“0”に設定され、ID24とID22が“1”に設定されているIDをメッセージ・バッファ14に登録（初期化）します（19.5.5参照）。

メッセージ・バッファ14に設定したアイデンティファイア（例）

（CANメッセージIDレジスタL14, H14（M_IDL14, M_IDH14）を使用）

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
0	0	0	0	1	0	1	0	0	0	0
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
0	0	0	0	0	0	0	0	0	0	0
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
0	0	0	0	0	0	0				

メッセージ・バッファ14をマスク1にリンクする標準フォーマット・アイデンティファイアとして設定します（19.5.6参照）。

CANモジュール1 (マスク1) のマスク設定 (例)

(CAN1アドレス・マスク1レジスタL, H (C1MASKL1, C1MASKH1) を使用)

CMID28	CMID27	CMID26	CMID25	CMID24	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18
1	0	0	0	0	1	0	1	1	1	1
CMID17	CMID16	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8	CMID7
1	1	1	1	1	1	1	1	1	1	1
CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0				
1	1	1	1	1	1	1				

1: 比較しない (マスクする)
0: 比較する

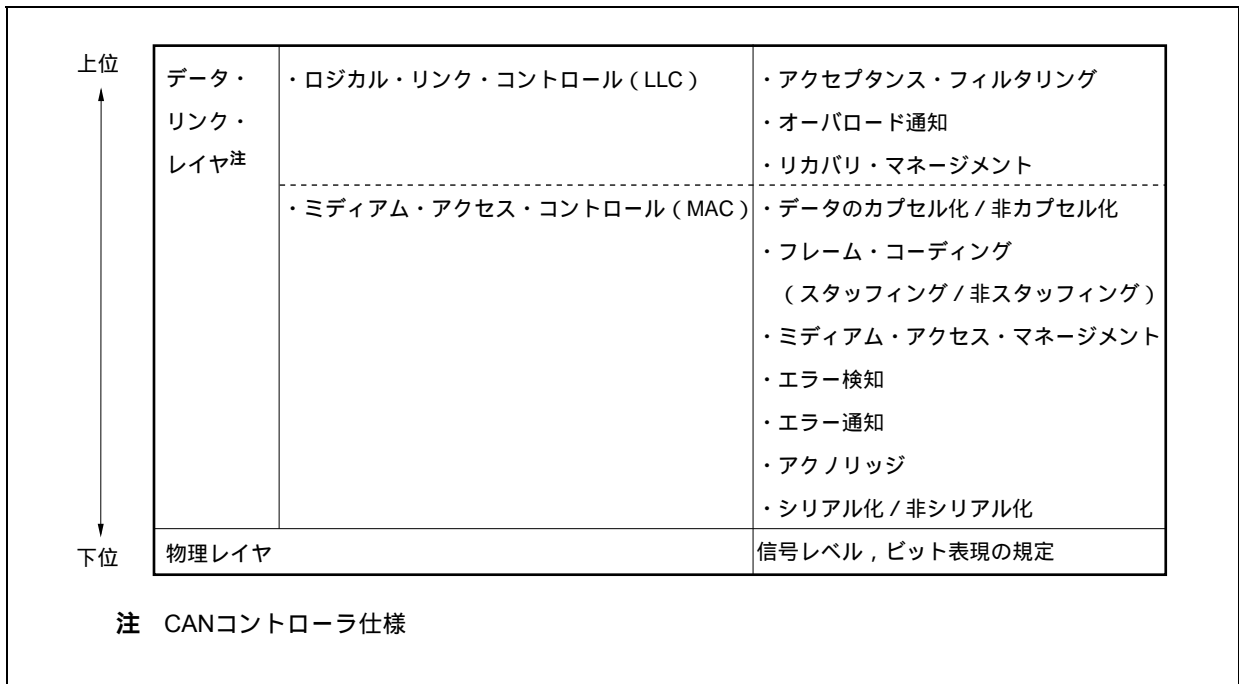
マスク1 (19. 5. 18参照) に値を書き込んで、CMID27-CMID24およびCMID22のビットは“0”，CMID28, CMID23, CMID21-CMID0のビットは“1”に設定します。

19. 10 プロトコル

CAN (Controller Area Network) は、車輦内リアルタイム通信用 (クラスC) 高速多重通信プロトコルです。CANはISO 11898で規定されています。詳細は、ISO 11898仕様を参照してください。

CANの仕様は、大きく分けて2つのレイヤ (物理レイヤとデータ・リンク・レイヤ) に分類されます。さらに、データ・リンク・レイヤは、ロジカル・リンク・コントロールとミディアム・アクセス・コントロールにより構成されています。各レイヤの構成は、次のようになります。

★ 図19 - 10 各レイヤの構成



19. 10. 1 フレーム・フォーマット

(1) 標準フォーマット・フレーム

2048種類のアイデンティファイアを設定できるフォーマットです。

- ・標準フォーマット・フレームでは、アイデンティファイアが11ビットのため、2048種類のメッセージを扱うことができます。

(2) 拡張フォーマット・フレーム

約530万種類のアイデンティファイアを設定できるフォーマットです。

- ・拡張フォーマット・フレームでは、アイデンティファイアが29ビット（11ビット+18ビット）に拡張され、扱えるメッセージ数が 2048×2^{18} 個になります。
- ・アービトレーション・フィールドのSRR/IDEビットがともに“レセプ：論理レベル1”の場合、拡張フォーマット・フレームになります。

19. 10. 2 フレーム・タイプ

CANプロトコルのフレームは、次の4種類に分けられます。

表19 - 16 フレームの種類

フレーム種類	説明
データ・フレーム	データを送信するためのフレーム
リモート・フレーム	データ・フレームを要求するためのフレーム
エラー・フレーム	エラー検知を通知するためのフレーム
オーバーロード・フレーム	次のデータ・フレームまたはリモート・フレームを遅らせるためのフレーム

(1) バスの値

バスの値には、ドミナントとレセプの2通りがあります。

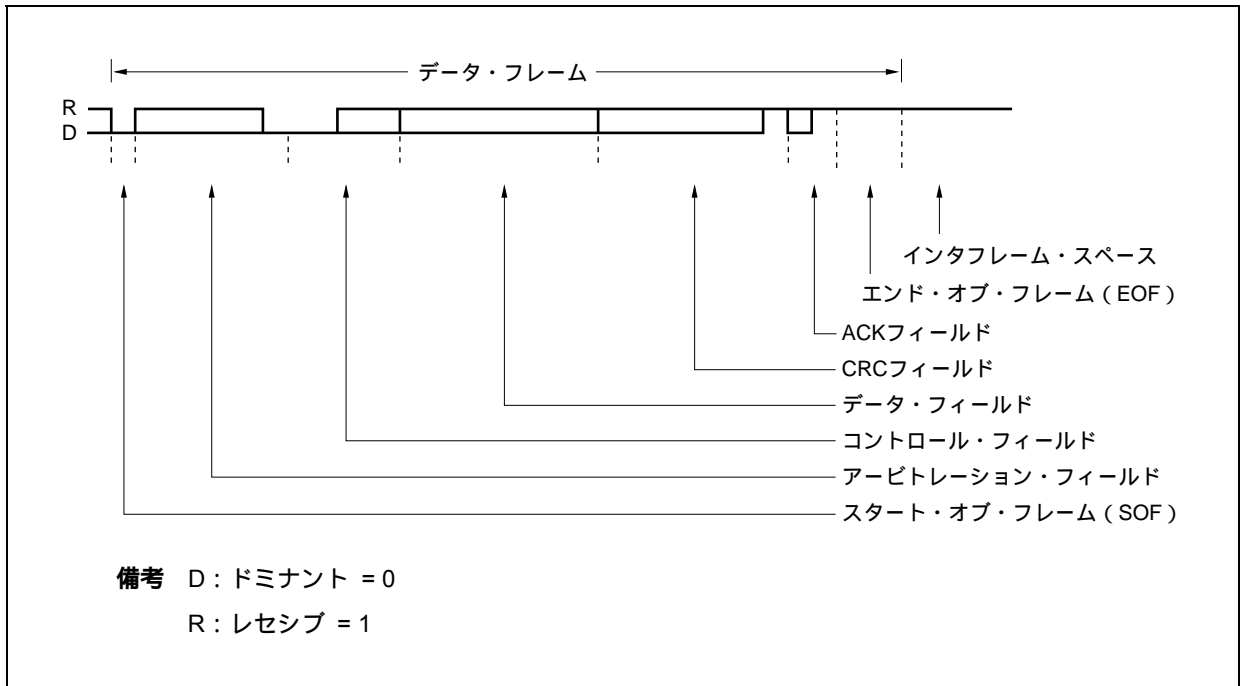
- ・ドミナント・レベルは論理0で表します。
- ・レセプ・レベルは論理1で表します。
- ・ドミナント・レベルとレセプ・レベルが同時送信された場合、バスの値はドミナント・レベルになります。

19.10.3 データ・フレーム/リモート・フレーム

(1) データ・フレーム

データ・フレームは、7つのフィールドにより構成されます。

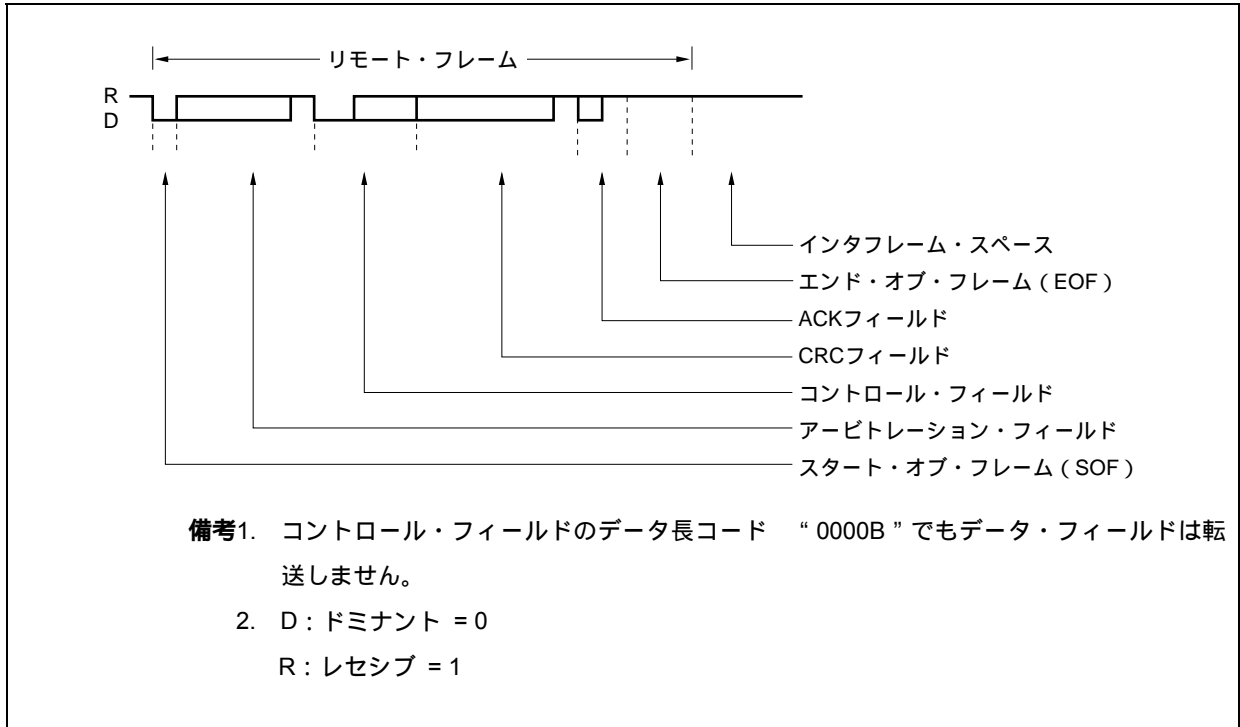
図19 - 11 データ・フレーム



(2) リモート・フレーム

リモート・フレームは、6つのフィールドにより構成されます。

図19 - 12 リモート・フレーム

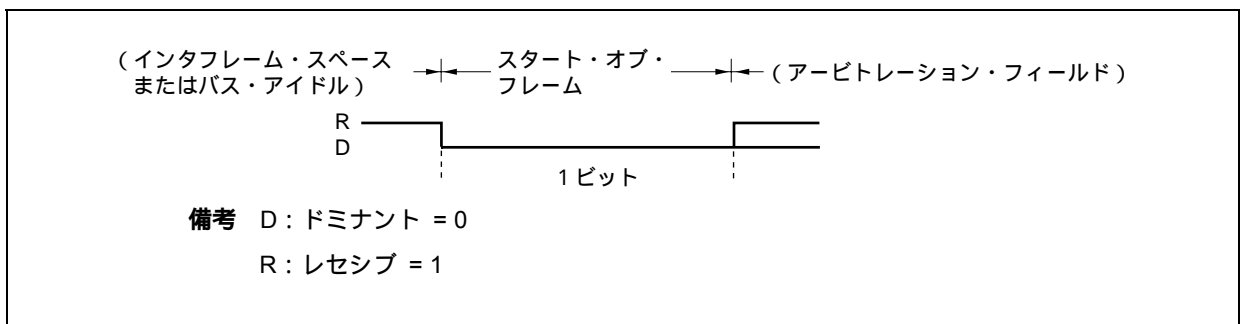


(3) 各フィールドの説明

スタート・オブ・フレーム (SOF)

スタート・オブ・フレームは、データ・フレーム、リモート・フレームの開始を示します。

図19 - 13 スタート・オブ・フレーム (SOF)



- ・バス・アイドル中にドミナント・レベルを検出した場合、スタート・オブ・フレームであると認識します。
- ・スタート・オブ・フレームのサンプル・ポイントでレセシブ・レベルを検出した場合、ノイズと判断し、再びバス・アイドル状態となります。

アービトレーション・フィールド

アービトレーション・フィールドは、プライオリティ、データ・フレーム/リモート・フレーム、フレーム・フォーマットの設定をします。

図19 - 14 アービトレーション・フィールド (標準フォーマット・モード時)

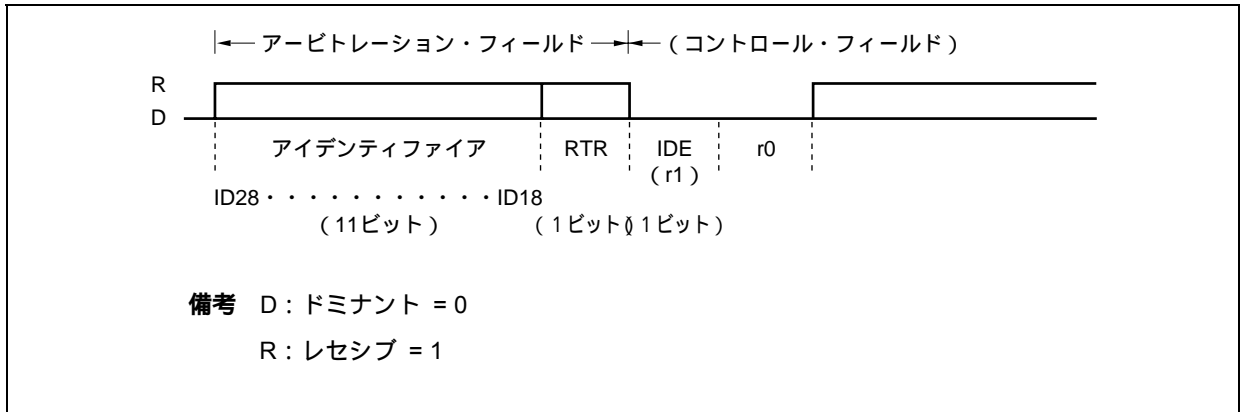


図19 - 15 アービトレーション・フィールド (拡張フォーマット・モード時)

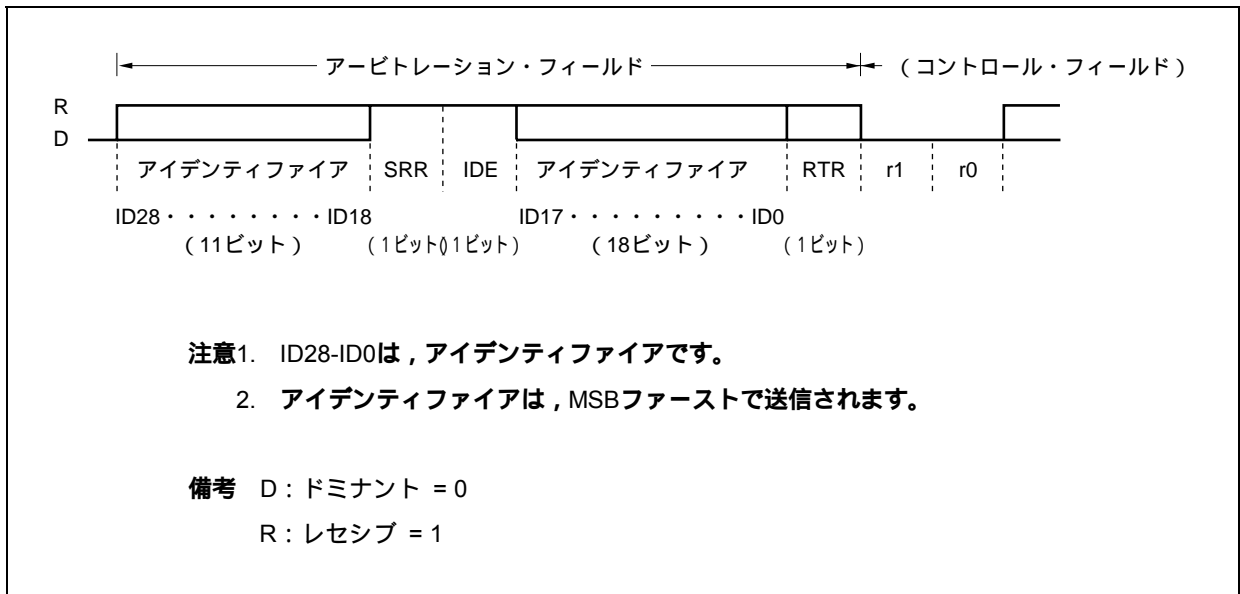


表19 - 17 RTRフレームの設定

フレームの種類	RTRビット
データ・フレーム	0 (D)
リモート・フレーム	1 (R)

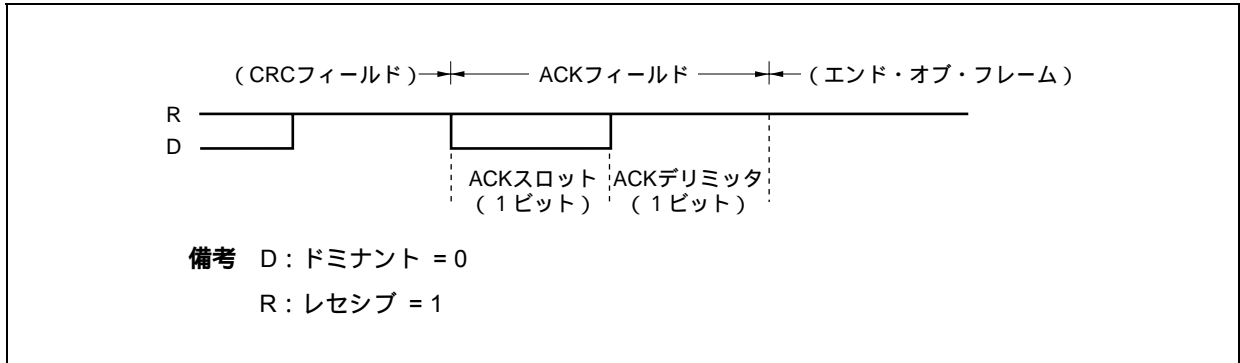
表19 - 18 フレーム・フォーマットの設定 (IDEビット) とアイデンティファイア (ID) のビット数

フレーム・フォーマット	SRRビット	IDEビット	ビット数
標準フォーマット・モード	なし	0 (D)	11ビット
拡張フォーマット・モード	1 (R)	1 (R)	29ビット

ACKフィールド

ACKフィールドは、正常受信確認のためのフィールドです。

図19 - 19 ACKフィールド

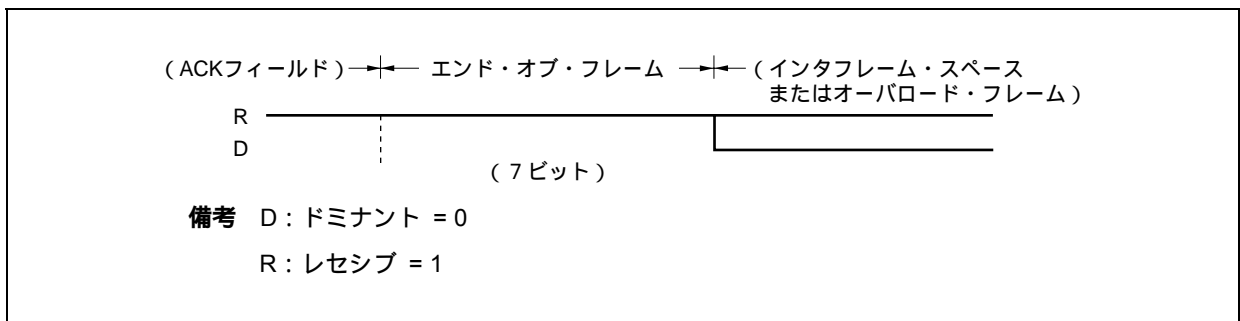


- ・CRCエラーが検出されない場合、受信ノードはACKスロットをドミナント・レベルにします。
- ・送信ノードは、2ビットのレセシブ・レベルを出力します。

エンド・オブ・フレーム (EOF)

エンド・オブ・フレームは、データ・フレーム/リモート・フレームの終了を示します。

図19 - 20 エンド・オブ・フレーム (EOF)



インタフレーム・スペース

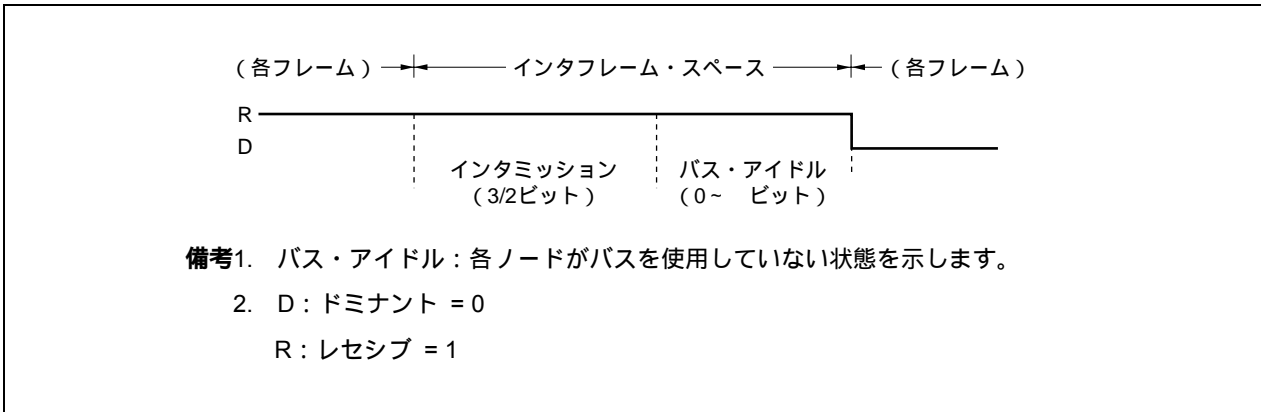
データ・フレーム，リモート・フレーム，エラー・フレーム，オーバーロード・フレームから次のフレームの間に挿入されるフレームで，各フレーム間の区切りを示します。

・バスの状態は，エラー・ステータスにより異なります。

(a) エラー・アクティブ状態のノードの場合

3ビットのインタミッションとバス・アイドルより構成

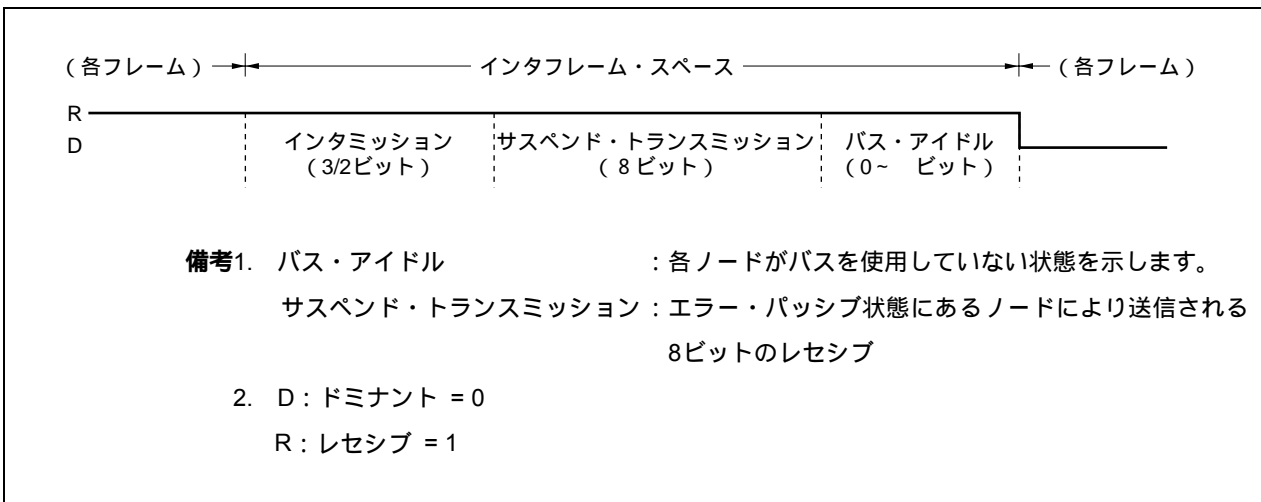
図19 - 21 インタフレーム・スペース (エラー・アクティブ状態のノードの場合)



(b) エラー・パッシブ状態のノードの場合

インタミッション，サスペンド・トランスミッション，バス・アイドルより構成

図19 - 22 インタフレーム・スペース (エラー・パッシブ状態のノードの場合)



・エラー状態による動作

表19 - 20 エラー状態による動作

エラー状態	動作
エラー・アクティブ	バス・アイドル状態でノードが送信可能状態になります。ノードは送信を開始できます。
エラー・パッシブ	8ビットのバス・アイドル(サスペンド・トランスミッション)のあと、ノードの状態が送信可能となります。他ノードが送信を開始した場合、受信状態になります(自ノードの送信優先順位が下がったこととなります)。

・インタミッションの第3ビットがドミナント時の動作

表19 - 21 インタミッションの第3ビットがドミナント時の動作

エラー状態	動作
送信保留なし	他ノードが出力したスタート・オブ・フレームと判断し、受信動作を行います。
送信保留あり	自ノードが出力したスタート・オブ・フレームと判断し、アイデンティファイアの送信を行います。

19.10.4 エラー・フレーム

エラー・フレームはエラーを検出したノードが出力します。

図19-23 エラー・フレーム

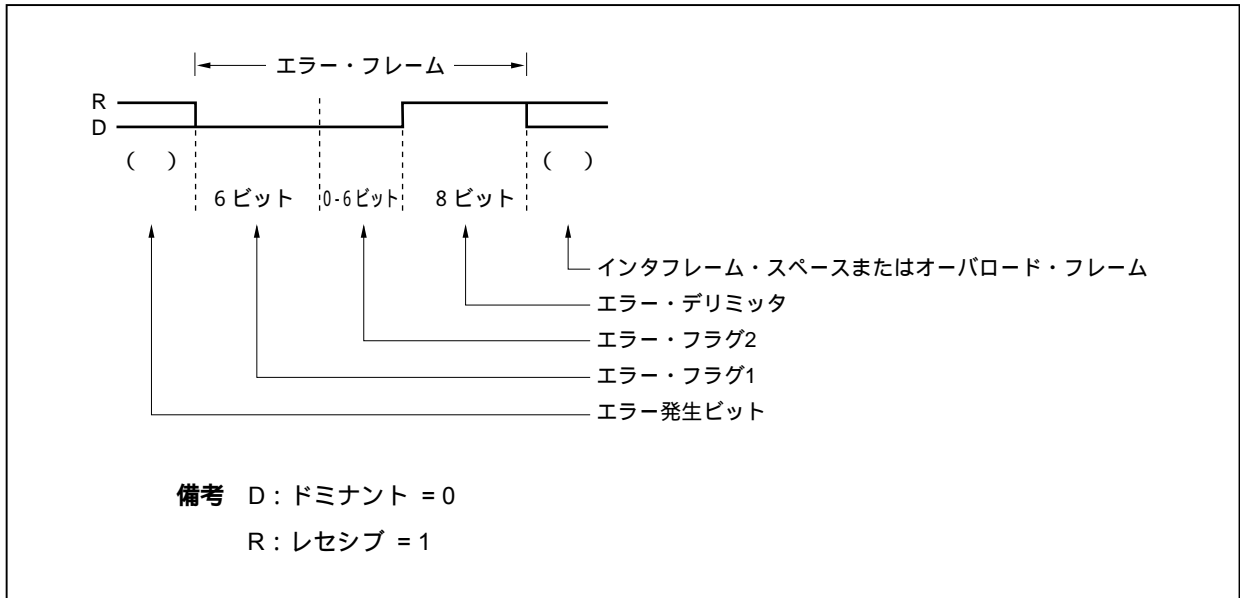


表19-22 エラー・フレームの各フィールドの定義

名称	ビット数	定義
エラー・フラグ1	6	エラー・アクティブ・ノード: 6ビットのドミナント・レベルを連続出力します。 エラー・パッシブ・ノード: 6ビットのレセシブ・レベルを連続出力します。 パッシブ・エラー・フラグを出力中、ほかのノードがドミナント・レベルを出力した場合、パッシブ・エラー・フラグは、同一レベルを6ビット連続して検出するまで終了しません。
エラー・フラグ2	0~6	エラー・フラグ1を受信したノードが、ビット・スタッフ・エラーを検出して再度出力するエラー・フラグです。
エラー・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検出した場合、次のビットからオーバーロード・フレームを送信します。
エラー発生ビット	-	エラーが検出されたビットです。 エラー・フラグは、エラー発生ビットの次のビットから出力されます。 CRCエラーの場合は、ACKデリミッタに続いて出力されます。
インタフレーム・スペース / オーバロード・フレーム	-	インタフレーム・スペース、またはオーバーロード・フレームが続きます。

19.10.5 オーバロード・フレーム

オーバロード・フレームは、次の条件が発生した場合に送信されます。

- ・受信ノードが受信動作未了のとき
- ・インタミッション中の最初の2ビットにドミナント・レベルを検出したとき
- ・エンド・オブ・フレームの最終ビット (8ビット目)、またはエラー・デリミッタ/オーバロード・デリミッタの最終ビット (8ビット目) にドミナント・レベルを検出したとき

図19-24 オーバロード・フレーム

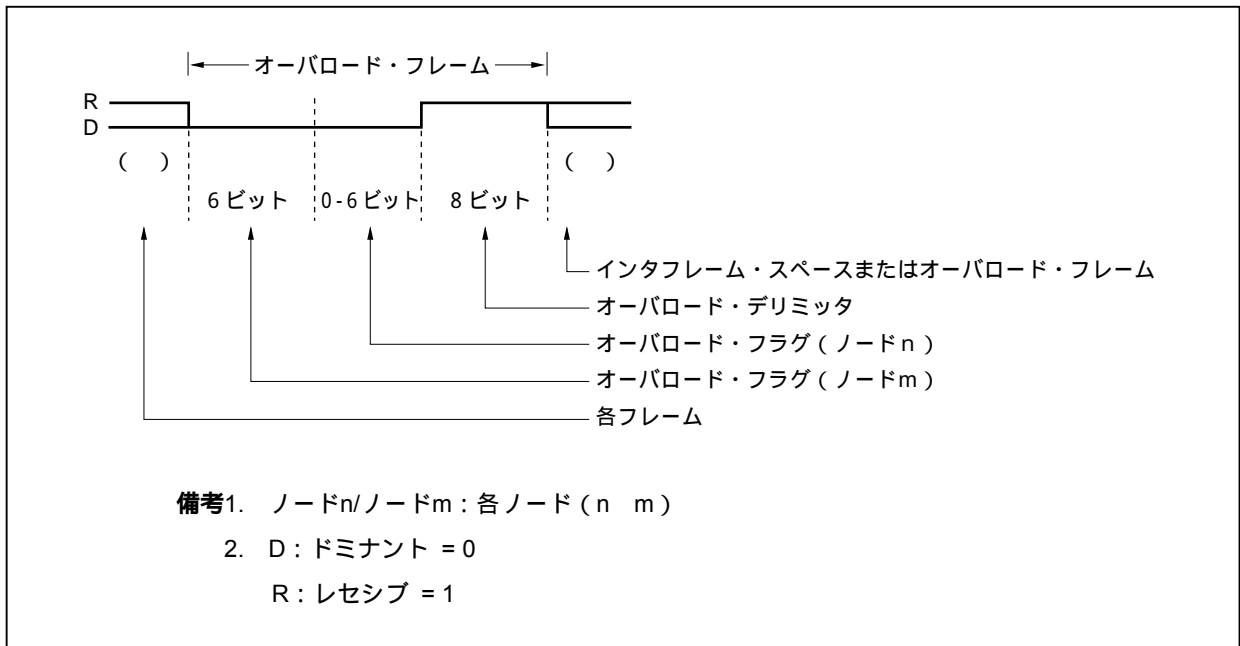


表19-23 オーバロード・フレームの各フィールドの定義

No	名称	ビット数	定義
	ノードmからのオーバロード・フラグ	6	6ビットのドミナント・レベルを連続出力します。 ノードmが受信準備未了のための出力です。
	ノードnからのオーバロード・フラグ	0~6	インタフレーム・スペース中にオーバロード・フラグを受信したノードnは、オーバロード・フラグを出力します。
	オーバロード・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルをモニタした場合、次のビットからオーバロード・フレームを送信します。
	各フレーム	-	エンド・オブ・フレーム、エラー・デリミッタ、オーバロード・デリミッタに続いて出力します。
	インタフレーム・スペース/ オーバロード・フレーム	-	インタフレーム・スペース、またはオーバロード・フレームが続きます。

備考 ノードn/ノードm: 各ノード (n m)

19. 11 機能

19. 11. 1 バス・プライオリティの決定

(1) 1個のノードが送信を開始した場合

- ・バス・アイドル中に、先にデータを出力したノードが送信をします。

(2) 複数のノードが送信を開始した場合

- ・アービトレーション・フィールドの第1ビットから、ドミナント・レベルを最も長く連続出力したノードがバス・プライオリティを獲得します（バスは、ワイヤード・オアされているためドミナント・レベルが強い）。
- ・送信ノードは、自分の出力したアービトレーション・フィールドとバス上のデータ・レベルを比較します。

表19 - 24 バス・プライオリティの決定

レベルの一致	送信を継続します。
レベルの不一致	不一致を検出した次のビットからデータ出力を停止し、受信動作になります。

(3) データ・フレームとリモート・フレームのプライオリティ

- ・データ・フレームとリモート・フレームがバス上で競合した場合、最終ビットであるRTRがドミナント・レベルであるデータ・フレームが優先されます。

19. 11. 2 ビット・スタッフ

ビット・スタッフは、バースト・エラーを防ぐために、同一レベルが5ビット連続した場合1ビットの反転データを付加して、同期をとり直します。

表19 - 25 ビット・スタッフ

送 信	データ・フレーム、リモート・フレームを送信する際に、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次のビットの前に、前5ビットのレベルを反転した1ビットのレベル・データを挿入します。
受 信	データ・フレーム、リモート・フレームの受信時、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次の1ビットを削除して受信します。

19. 11. 3 マルチマスタ

アイデンティファイアによりバス・プライオリティを決定するため、どのノードでもバス・マスタになることができます。

19. 11. 4 マルチキャスト

送信ノードは1つですが、同一のアイデンティファイアを複数のノードに設定できるため、複数のノードで同時に同一データの受信ができます。

19.11.5 CANスリープ・モード/CANストップ・モード機能

CANスリープ・モード/CANストップ・モード機能により、FCANコントローラを待機状態にすることで消費電力を低減できます。

CANスリープ・モードはCAN仕様に示されている手順に従って設定されます。CANスリープ・モードはバスの動作でウエイク・アップしますが、CANストップ・モードはバスの動作でウエイク・アップしません（CPUアクセスにより制御されます）。

19.11.6 エラー制御機能

(1) エラーの種類

表19 - 26 エラーの種類

エラーの種類	エラーの説明		検出する状態	
	検出方法	検出条件	送信/受信ノード	フィールド/フレーム
ビット・エラー	出力レベルとバス上のレベルとの比較（スタッフ・ビットを除く）	両レベルの不一致	送信/受信ノード	スタート・オブ・フレーム～エンド・オブ・フレーム、エラー・フレーム、オーバーロード・フレームでバス上にデータを出力しているビット。
スタッフ・エラー	スタッフ・ビットでの受信データのチェック	同一レベル・データの6ビット連続	送信/受信ノード	スタート・オブ・フレーム～CRCシーケンス
CRCエラー	受信データから生成したCRCと受信したCRCシーケンスとの比較	CRCの不一致	受信ノード	スタート・オブ・フレーム～データ・フィールド
フォーム・エラー	固定フォーマットのフィールド/フレームのチェック	固定フォーマット違反の検出	受信ノード	・CRCデリミッタ ・ACKフィールド ・エンド・オブ・フレーム ・エラー・フレーム ・オーバーロード・フレーム
ACKエラー	送信ノードによるACKスロットのチェック	ACKスロットでレセンプ・レベルを検出	送信ノード	ACKスロット

(2) エラー・フレームの出力タイミング

表19 - 27 エラー・フレームの出力タイミング

エラーの種類	出力タイミング
ビット・エラー、スタッフ・エラー、フォーム・エラー、ACKエラー	エラーを検出した次のビット・タイミングからエラー・フレームを出力します。
CRCエラー	ACKデリミッタの次のビット・タイミングからエラー・フレームを出力します。

(3) エラー発生時の処置

送信ノードは、エラー・フレーム後にデータ・フレーム、またはリモート・フレームの再送を行います。

(4) エラー状態

(a) エラー状態の種類

エラーの状態には次の3種類があります。

- エラー・アクティブ
- エラー・パッシブ
- バス・オフ

- ・送信エラー・カウンタと受信エラー・カウンタでエラー状態を管理しています。
(19.5.22 CANnエラー・カウンタ・レジスタ (CnERC) 参照)
- ・各エラー状態は、エラー・カウンタの値によって分類されます。
- ・エラー・カウンタの値が96以上になった場合、バスに重度の障害があると考えられるため、バス状態をテストする必要があります。
- ・スタートアップ時、1個のノードしかアクティブでない場合、データを送信してもACKが返ってこないためエラー・フレームとデータの再送を繰り返します。

表19 - 28 エラー状態の種類

エラー状態の種類	動作	エラー・カウンタの値	出力するエラー・フラグの種類
エラー・アクティブ	送信 / 受信	0-127	アクティブ・エラー・フラグ (6ビットのドミナント・レベルの連続)
エラー・パッシブ	送信	128-255	パッシブ・エラー・フラグ (6ビットのレセシブ・レベルの連続)
	受信	128以上	
バス・オフ	送信	256以上	通信できません。 レセシブ・レベルが11ビット連続で128回発生すると、エラー・カウンタ = 0でエラー・アクティブ状態に戻ることができます。

(b) エラー・カウンタ

エラー・カウンタは、エラーが発生した場合にカウント・アップし、送信、受信が正常に行われた場合にカウント・ダウンします。カウント・アップ、カウント・ダウンのタイミングは、エラー・デリミッタの第1ビットになります。

表19 - 29 エラー・カウンタ

状 態	送信エラー・カウンタ (TEC7-TEC0)	受信エラー・カウンタ (REC7-REC0)
受信ノードがエラーを検出 (アクティブ・エラー・フラグ, オーバロード・フラグ中のビット・エラーを除く)	変化なし	+ 1
受信ノードがエラー・フレームのエラー・フラグ出力の次にドミナント・レベルを検出	変化なし	+ 8
送信ノードがエラー・フラグを送信 [エラー・カウンタ = ±0になる場合] エラー・パッシブ状態で, ACKエラーを検出しパッシブ・エラー・フラグを出力中にドミナント・レベルを未検出 アービトレーション・フィールド中のスタッフ・エラー発生	+ 8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの送信ノード)	+ 8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの受信ノード)	変化なし	+ 8
各ノードがアクティブ・エラー・フラグ, オーバロード・フラグの最初から14個の連続したドミナント・レベルを検出, およびそれ以降の8個連続のドミナント・レベルを検出 各ノードがパッシブ・エラー・フラグのあと, 8個連続のドミナント・レベルを検出	+ 8	+ 8
送信ノードがエラーなしで, 送信を完了 (エラー・カウンタ = 0の場合は±0)	- 1	変化なし
受信ノードがエラーなしで, 受信を完了	変化なし	・ - 1 (1 REC7-REC0 127) ・ ±0 (REC7-REC0 = 0) ・ 127をセットする (REC7-REC0 > 127)

(c) インタミッション中のビット・エラーの発生

オーバロード・フレームを発生します。

注意 エラー発生時のエラー制御は、そのエラーが発生する前の送信エラー・カウンタと受信エラー・カウンタの内容によって行います。エラー・カウンタの値はエラー・フラグを出力したあとに加算します。

19.11.7 ボー・レート制御機能

(1) プリスケーラ

V850/SC3のFCANコントローラは、CANへの供給クロック (f_{MEM1}) を分周するプリスケーラを持っています。また、プリスケーラは、CnBRPレジスタのTLMビット = 0時はCAN基本クロック (f_{MEM}) を2-128分周、TLMビット = 1時はCAN基本クロック (f_{MEM}) を2-256分周したクロック (f_{BTL}) を発生します (19.5.25 CANnビット・レート・プリスケーラ・レジスタ (CnBRP) 参照)。

(2) ノミナル・ビット・タイム (8-25 Time Quantum)

1データ・ビット・タイムの定義は、次のようになっています。

- ★ **注意** CANメイン・クロック選択レジスタ (CGCS) でメモリ・アクセス・コントローラへのクロック (f_{MEM}) を f_{MEM1} に選択し、CANnビット・レート・プリスケーラ・レジスタ (CnBRP) でCANプロトコル・レイヤ基本システム・クロック (f_{BTL}) を $f_{MEM}/2$ に選択する場合、1データ・ビット・タイムを8 Time Quantumで動作させるためには、 f_{xx} 16 MHzにしてください。同様に1データ・ビット・タイムを9 Time Quantumで動作させるためには、 f_{xx} 18 MHzにしてください。
- これより大きい周波数で使用すると、ボー・レートがCANプロトコルの最大値である1 Mbpsを越えてしまいます。

備考 1 Time Quantum = $1/f_{BTL}$

図19 - 25 ノミナル・ビット・タイム



(3) データ・ビットの同期

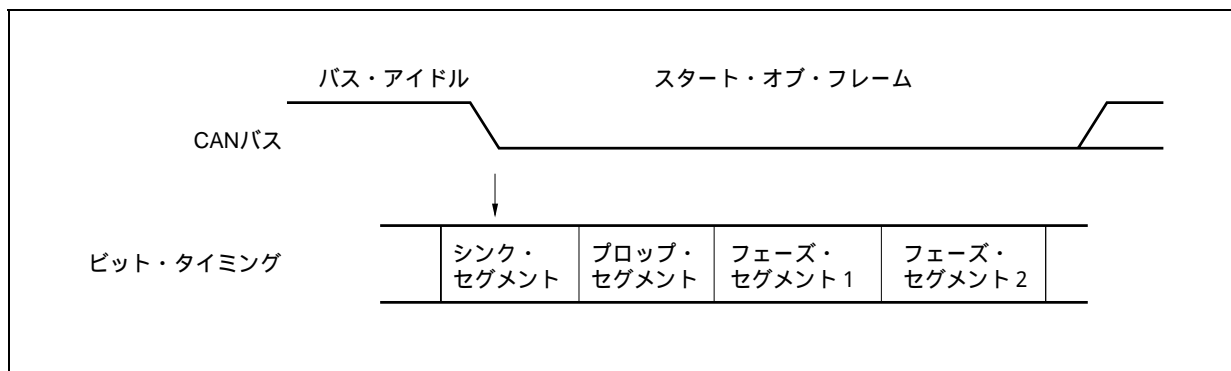
- ・受信ノードは、同期信号がないため、バス上のレベル変化で同期をとります。
- ・送信ノードは、送信ノードのビット・タイミングに同期してデータの送信を行います。

(a) ハードウェア同期

受信ノードが、バス・アイドル状態でスタート・オブ・フレームを検出した場合に行うビット同期です。

- ・バス上の立ち下がりエッジを検出すると、そのビットがシンク・セグメントで、次がプロップ・セグメントとなります。この場合、SJWには無関係に同期をとります。
- ・リセット後、ウエイク・アップ後にビット同期を取る必要があるため、最初のバス上のレベル変化のみハードウェア同期をとります（2回目以降は次のようにビット同期をとります）。

図19 - 26 データ・ビットの同期の調整



(b) 再同期

受信中に、バス上のレベル変化を検出した場合（前回のサンプリングがレセブ・レベル時のみ）、再同期を行います。

- ・エッジの位相誤差は、検出されたエッジとシンク・セグメントの相対位置により与えられます。
 < 位相誤差の符号 >
 0：エッジがシンク・セグメント内にある場合
 正：エッジがサンプル・ポイントより前にある場合（フェーズ・エラー）
 負：エッジがサンプル・ポイントより後ろにある場合（フェーズ・エラー）
- ・SJWで指定されるビット・タイミング間にエッジを検出した場合、ハード同期と同様な同期合わせを行います。
- ・位相誤差がSJWで指定されるビット・タイミング間よりも大きい場合には次に示す基準で同期を行います。
 位相誤差が正の場合：フェーズ・セグメント1は指定したSJW分だけ長くなります。
 位相誤差が負の場合：フェーズ・セグメント2は指定したSJW分だけ短くなります。
- ・送信ノードと受信ノードのポー・レートの“ずれ”により、受信ノードでのデータのサンプル・ポイントが相対的に移動します。

図19 - 27 再同期

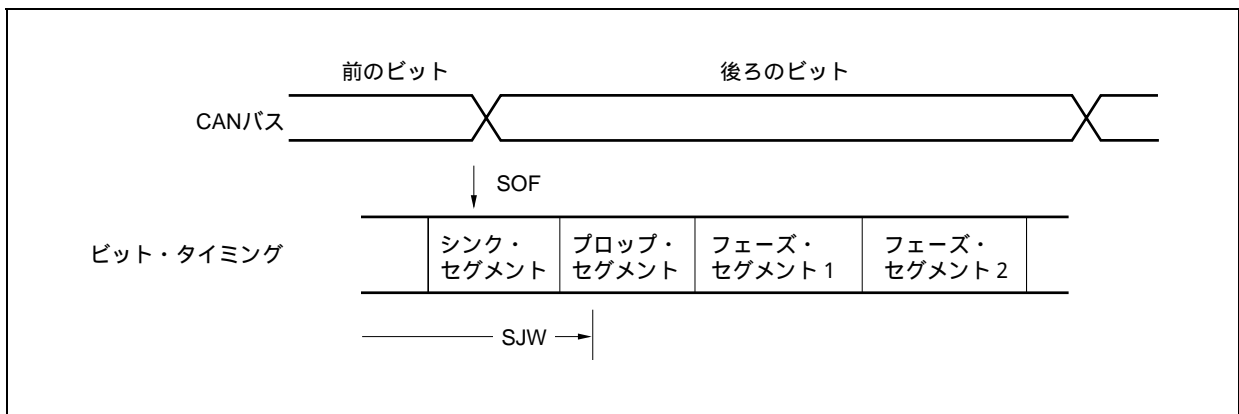
**19.12 動作****19.12.1 初期設定処理**

図19 - 28に初期設定のフローを示します。各レジスタの設定のフローは図19 - 29から図19 - 41を参照してください。

図19 - 28 初期設定処理

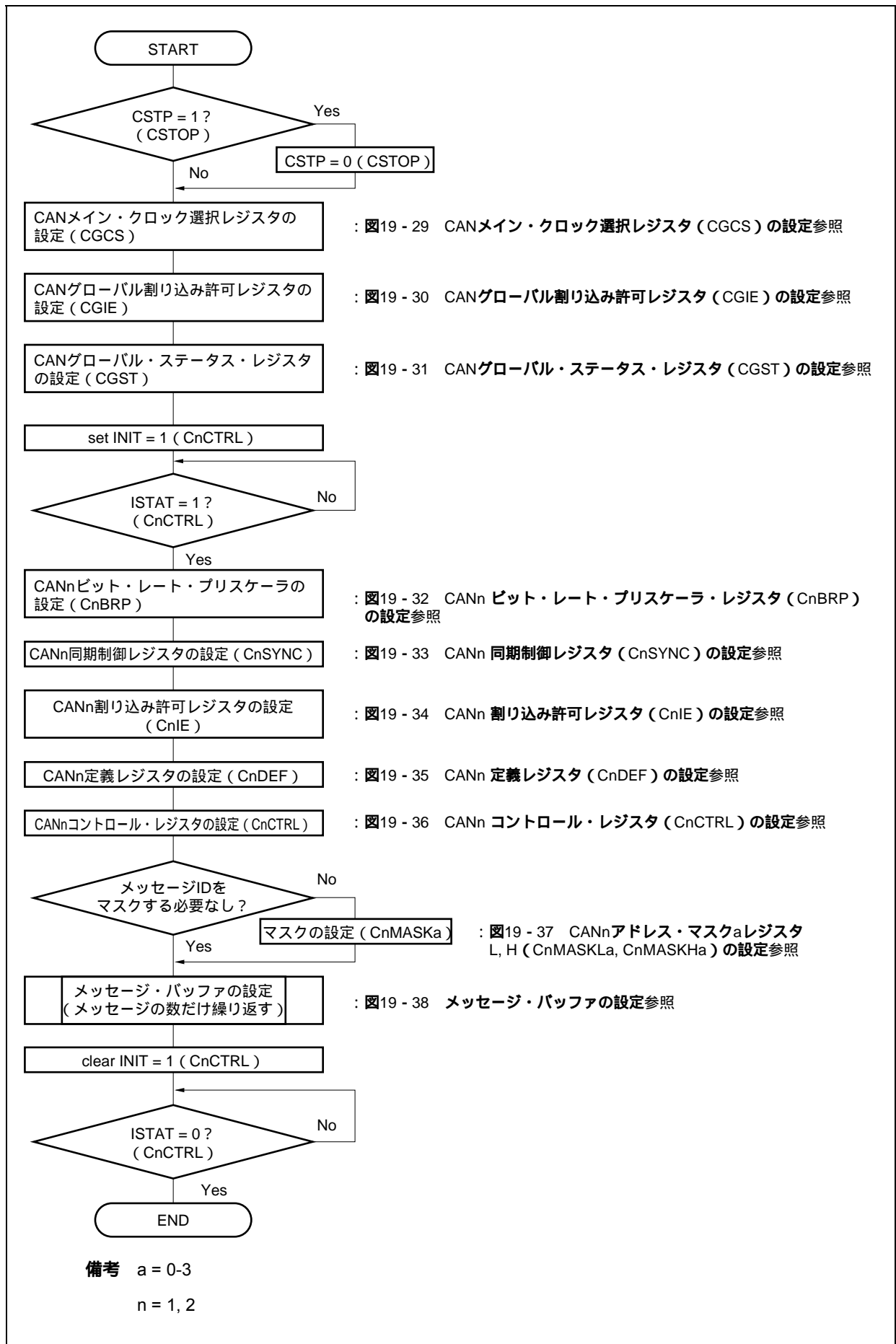


図19 - 29 CANメイン・クロック選択レジスタ (CGCS) の設定

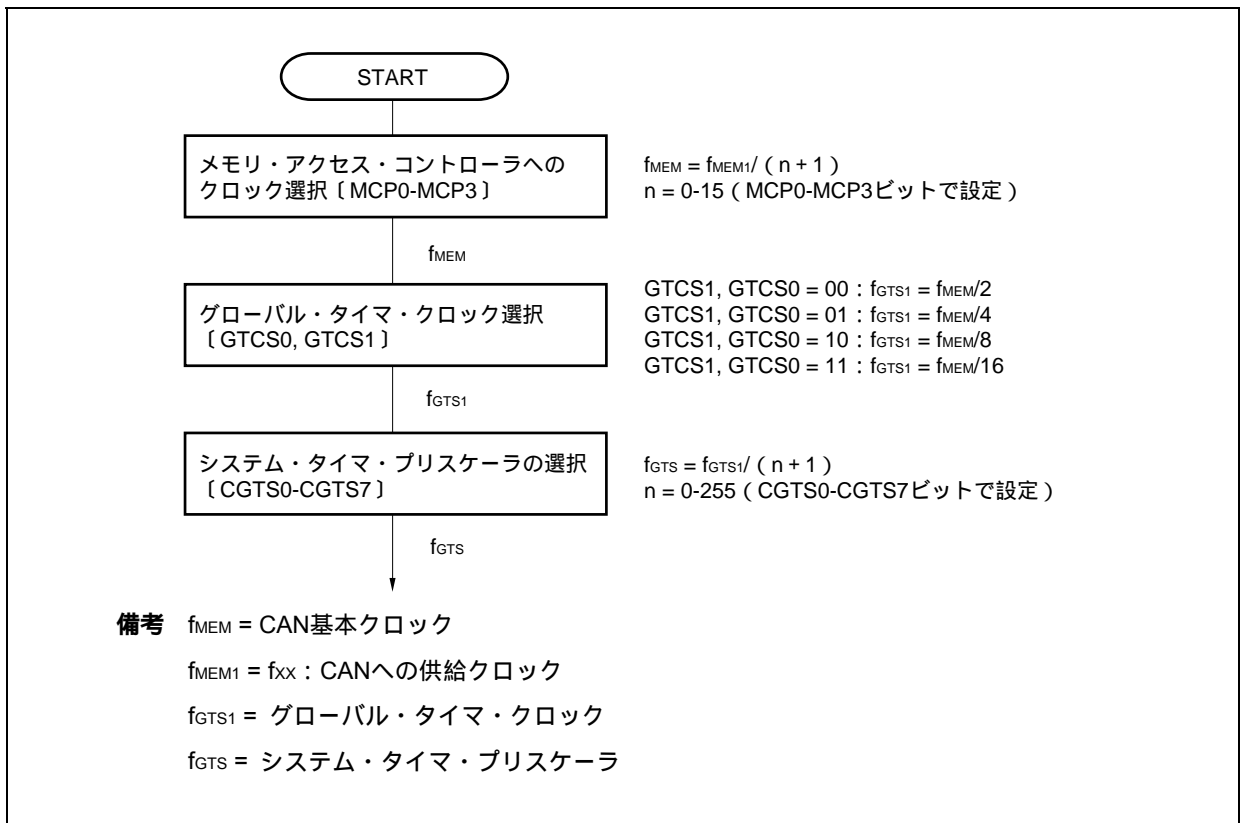


図19 - 30 CANグローバル割り込み許可レジスタ (CGIE) の設定

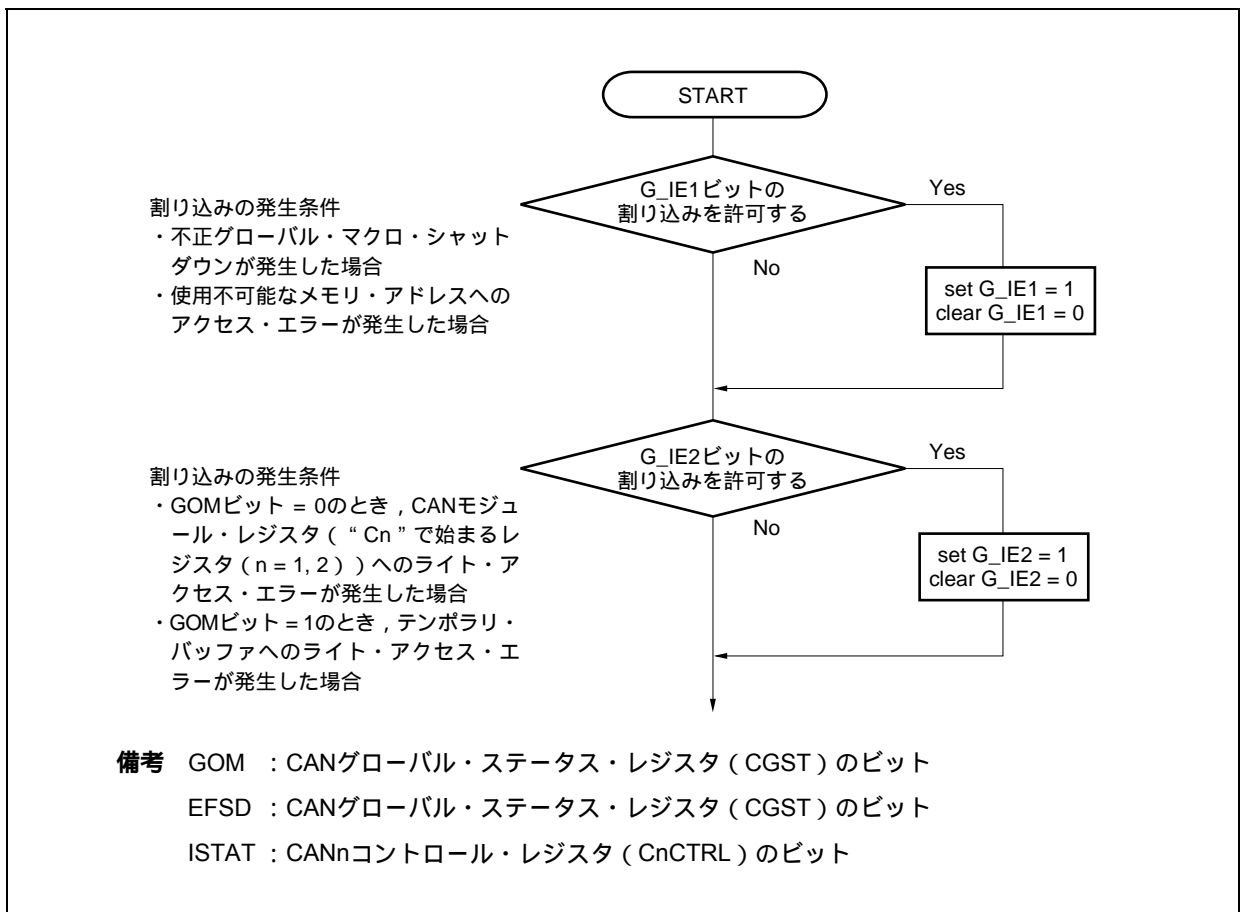


図19 - 31 CANグローバル・ステータス・レジスタ (CGST) の設定

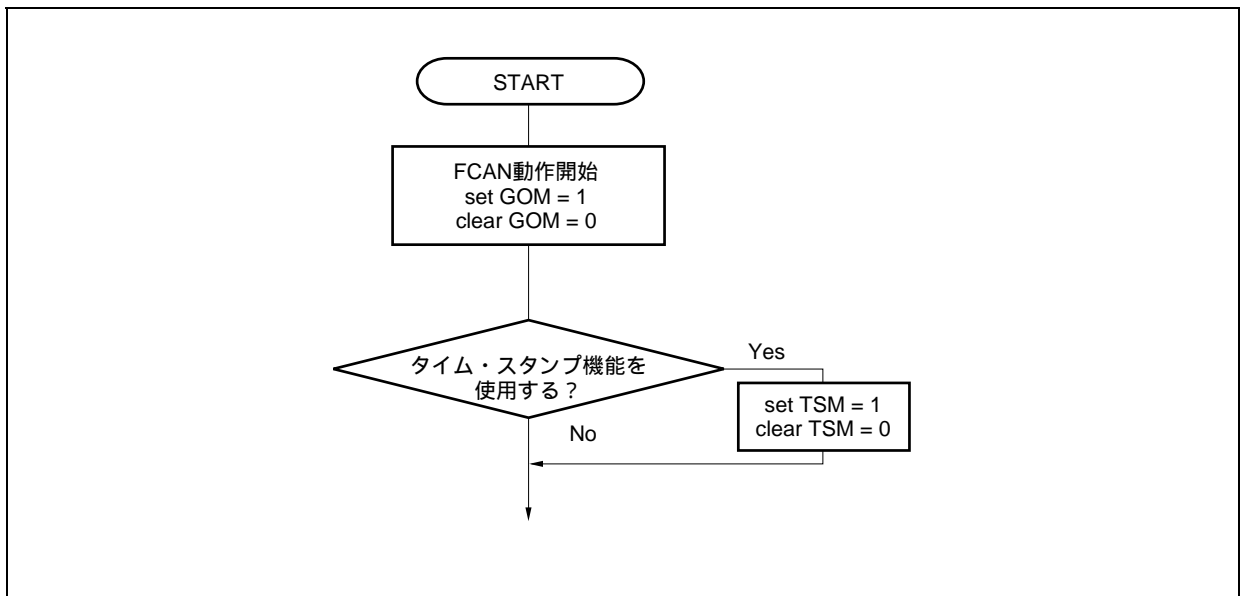


図19 - 32 CANnビット・レート・プリスケアラ・レジスタ (CnBRP) の設定

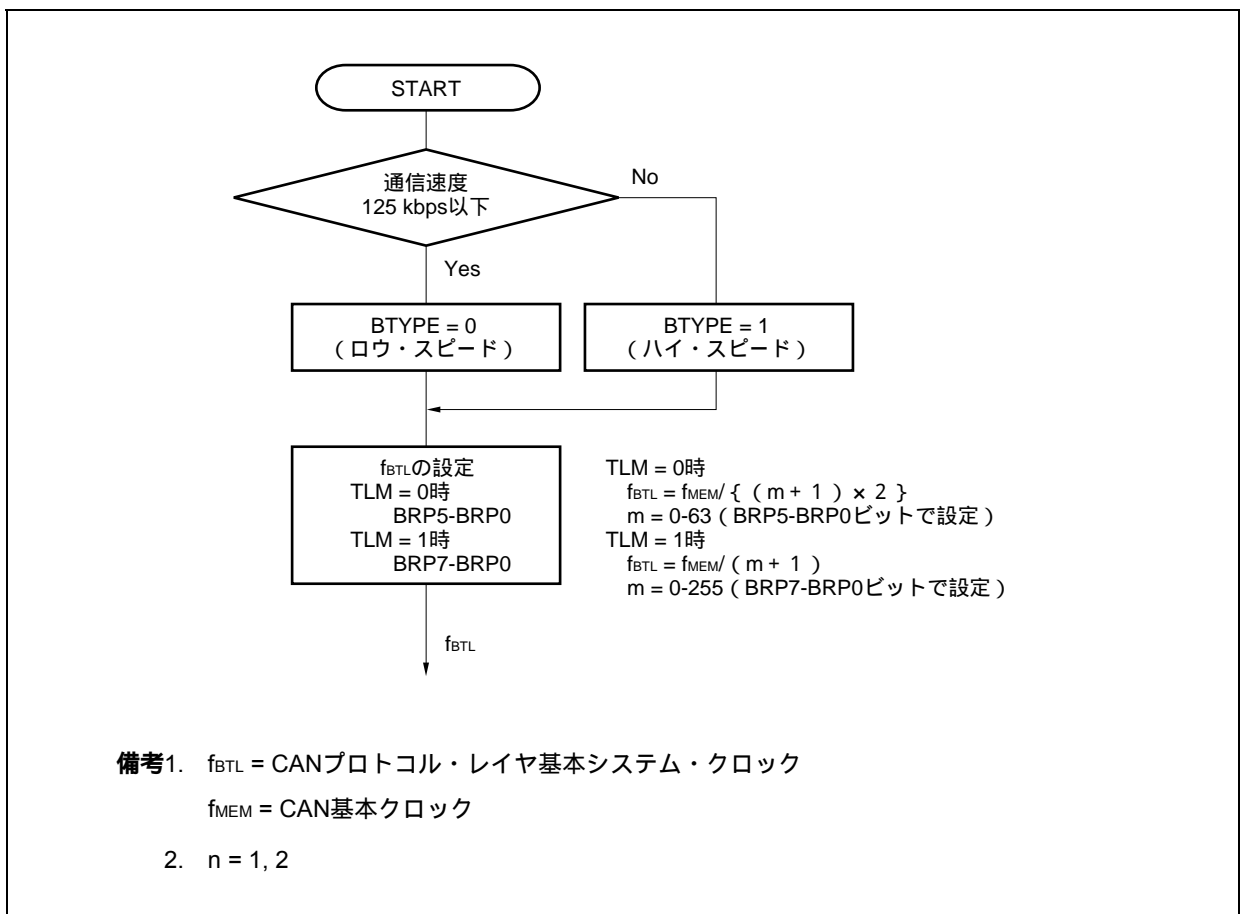


図19 - 33 CANn同期制御レジスタ (CnSYNC) の設定

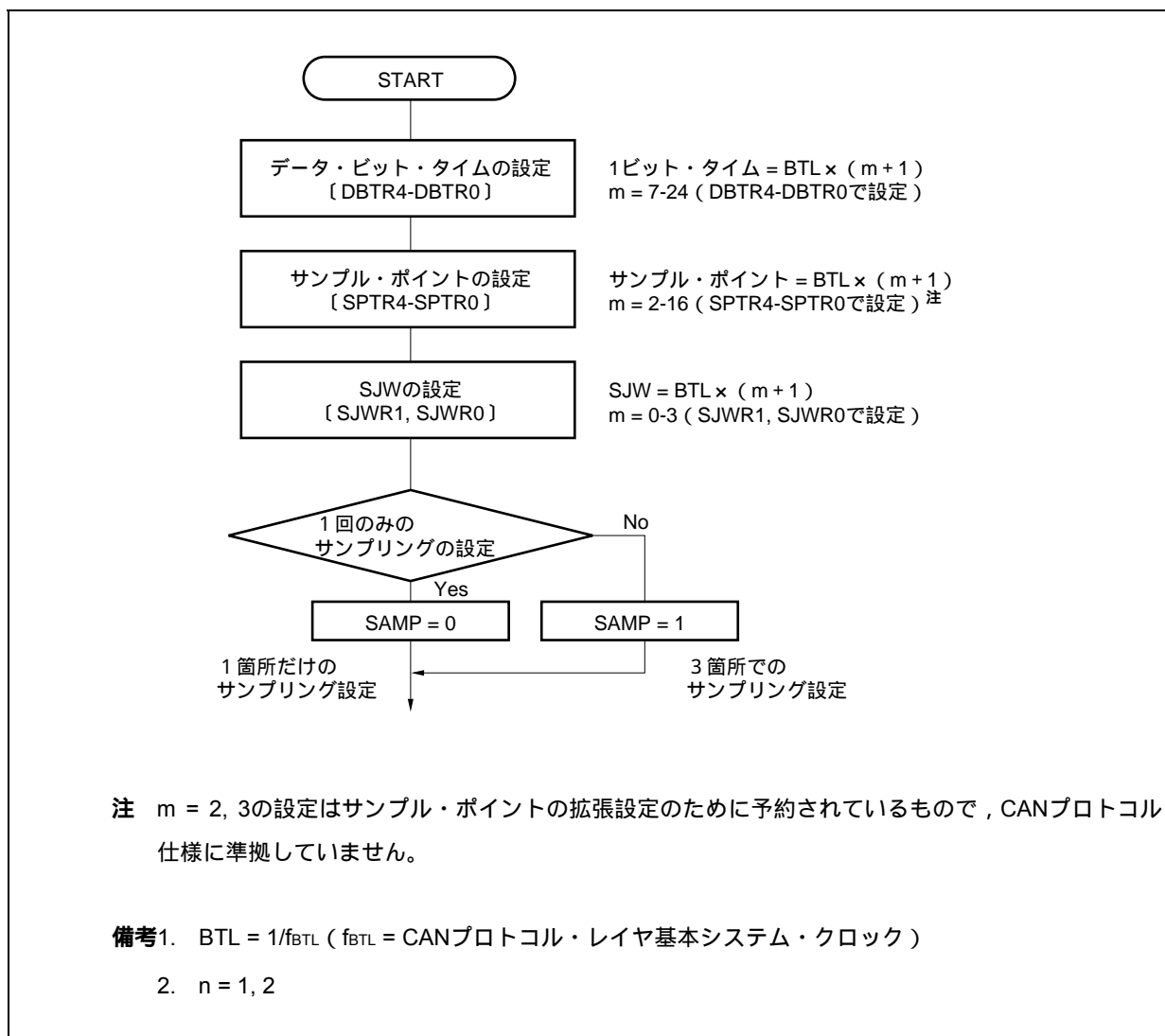


図19 - 34 CANn割り込み許可レジスタ (CnIE) の設定

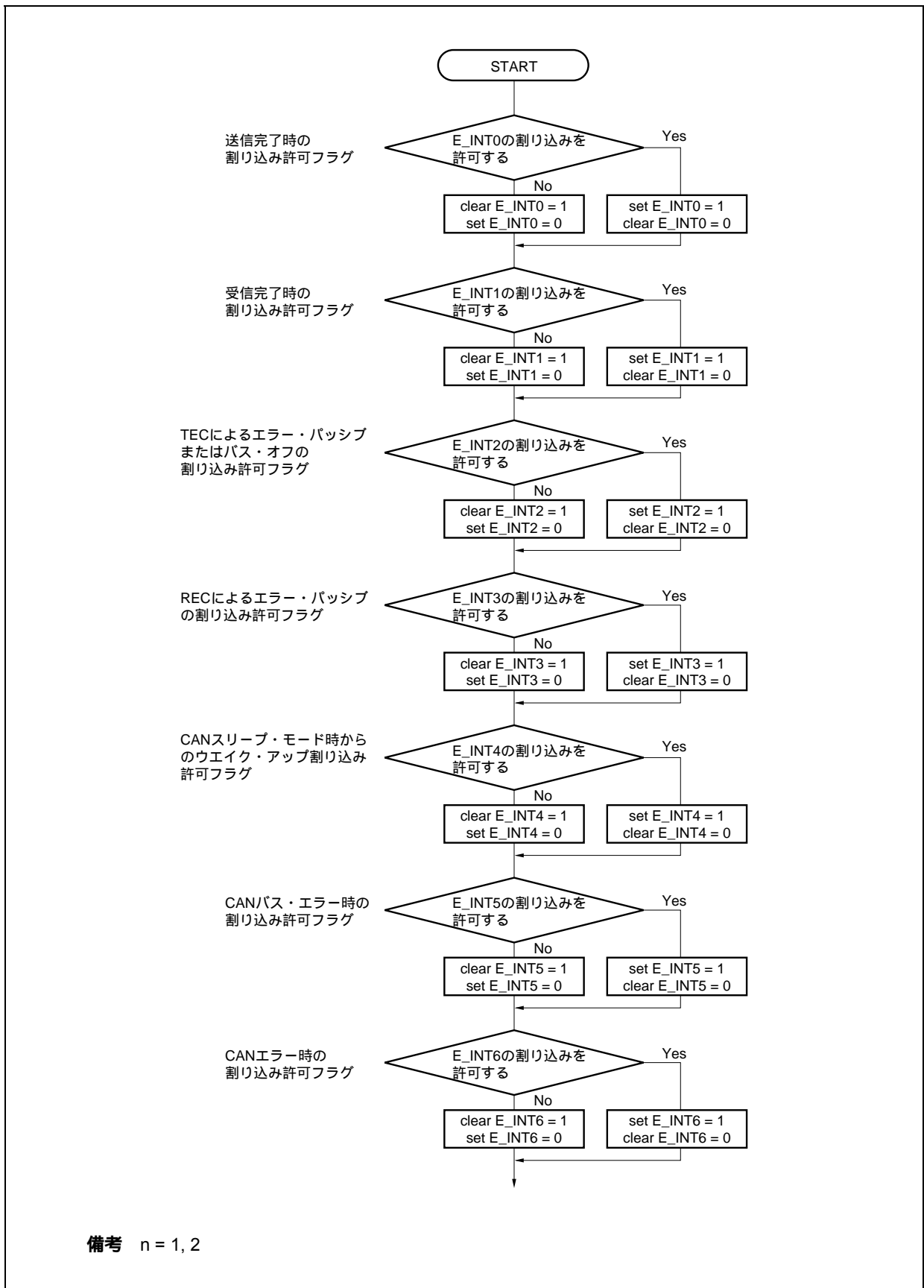


図19 - 35 CANn定義レジスタ (CnDEF) の設定

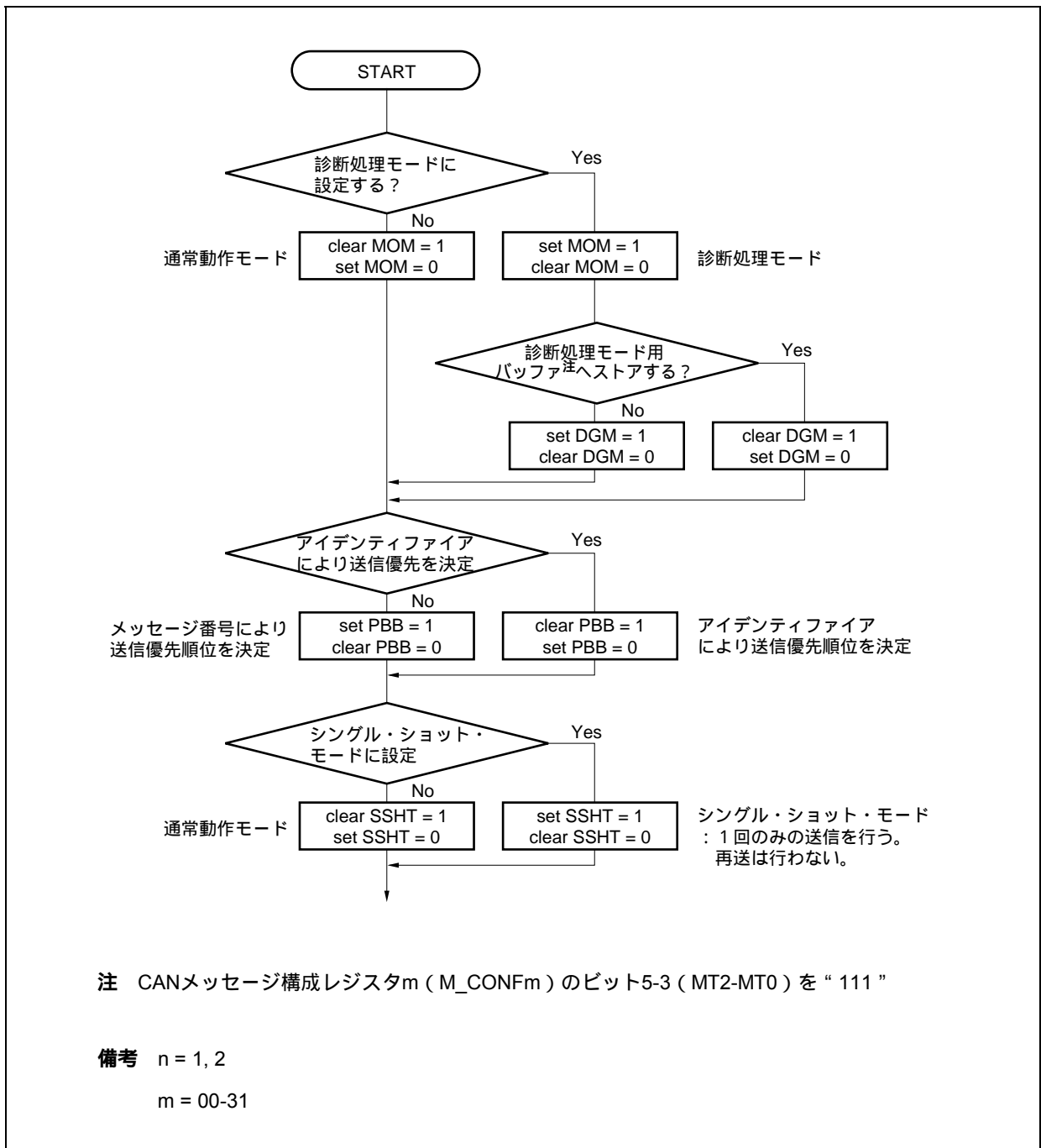


図19 - 36 CANnコントロール・レジスタ (CnCTRL) の設定

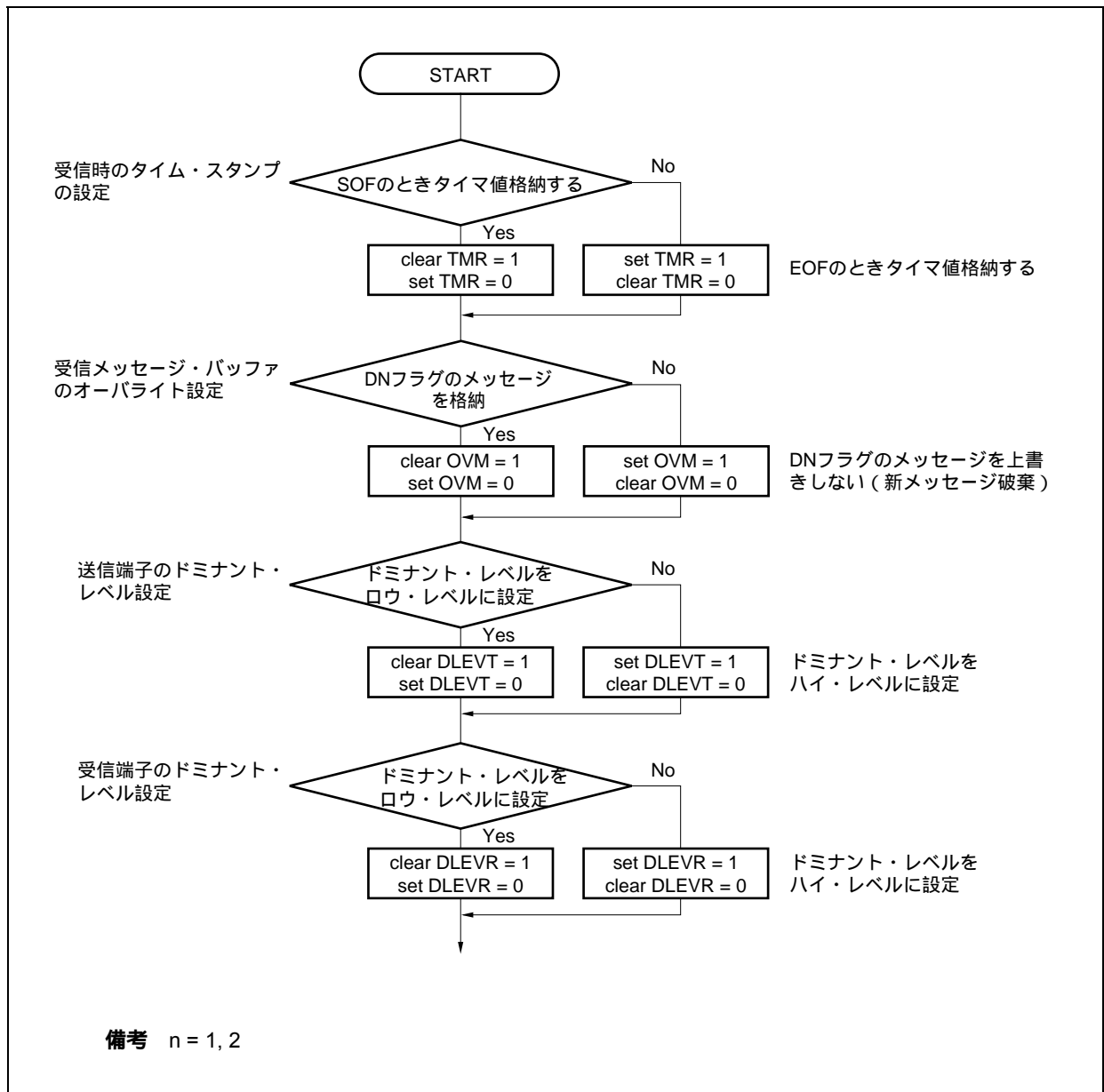


図19 - 37 CANnアドレス・マスクレジスタL, H (CnMASKLa, CnMASKHa) の設定

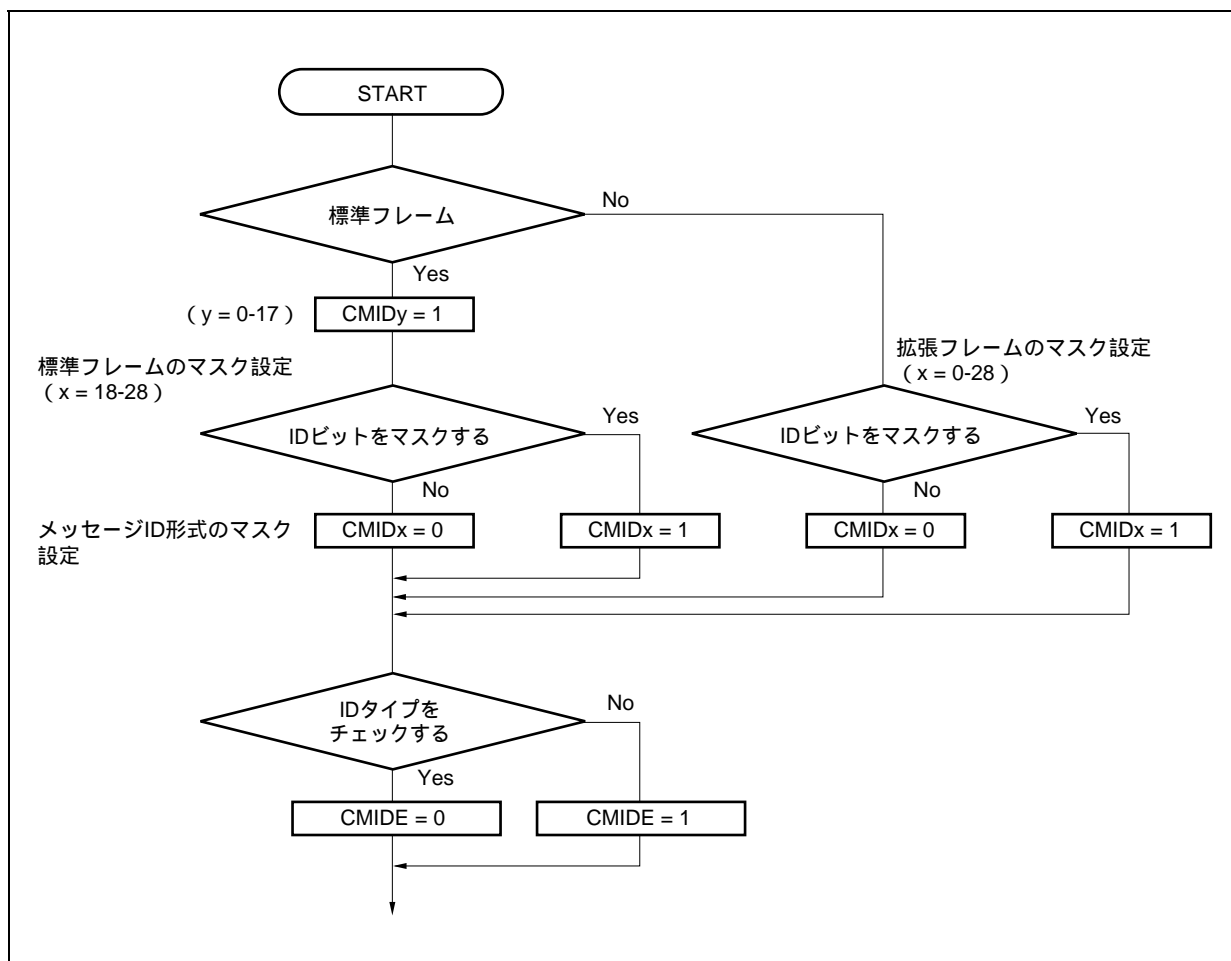


図19 - 38 メッセージ・バッファの設定

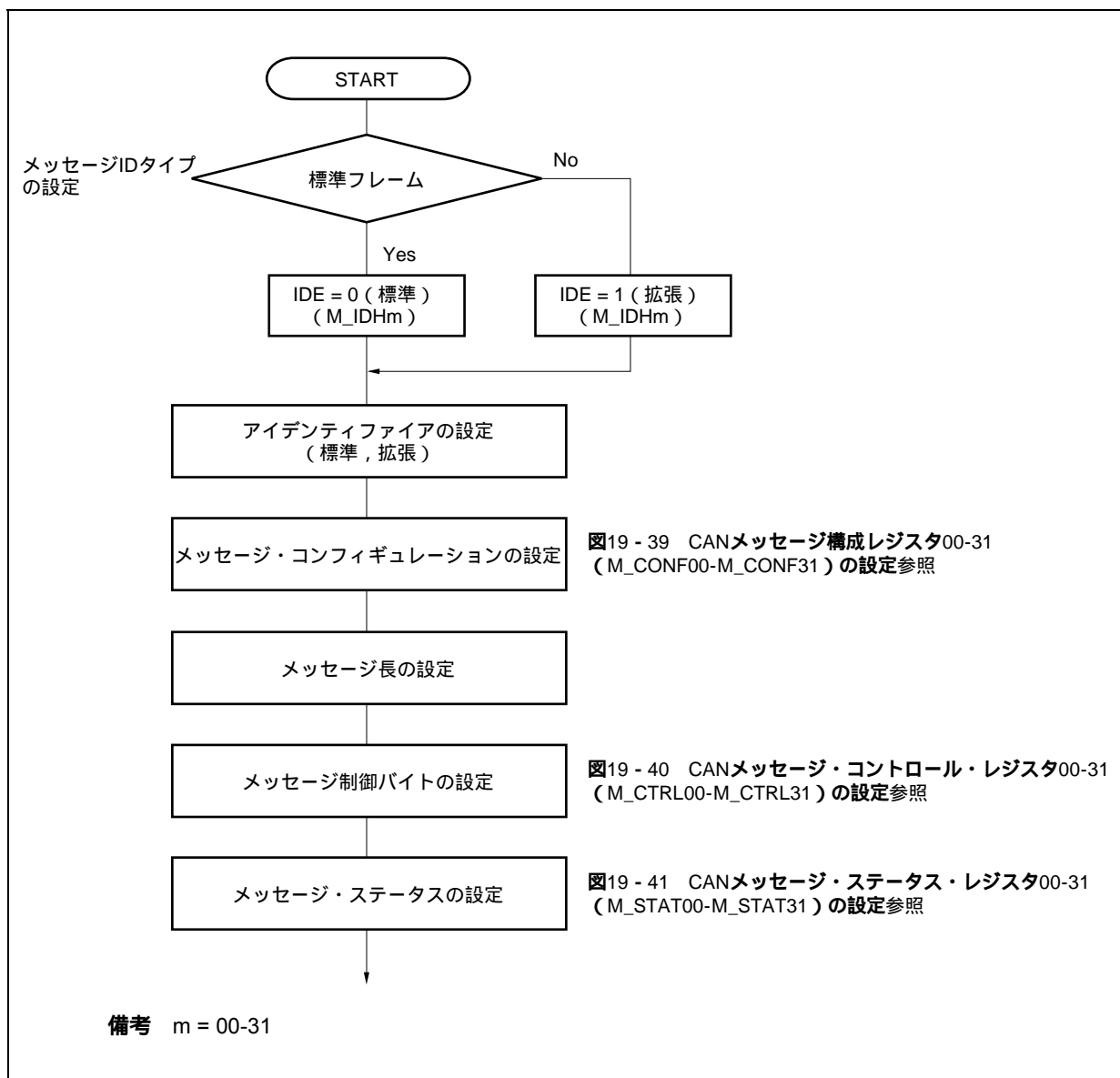


図19 - 39 CANメッセージ構成レジスタ00-31 (M_CONF00-M_CONF31) の設定

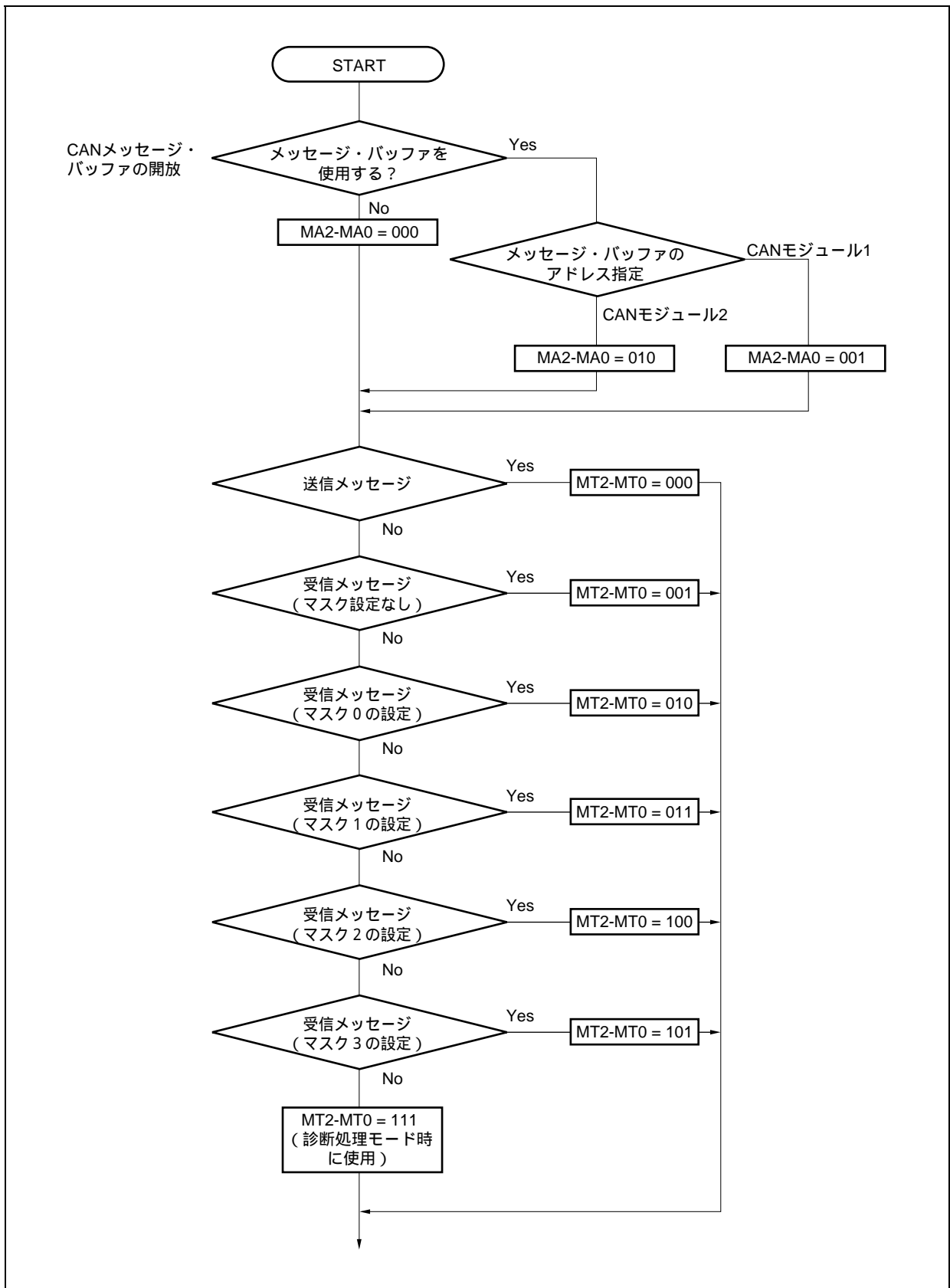
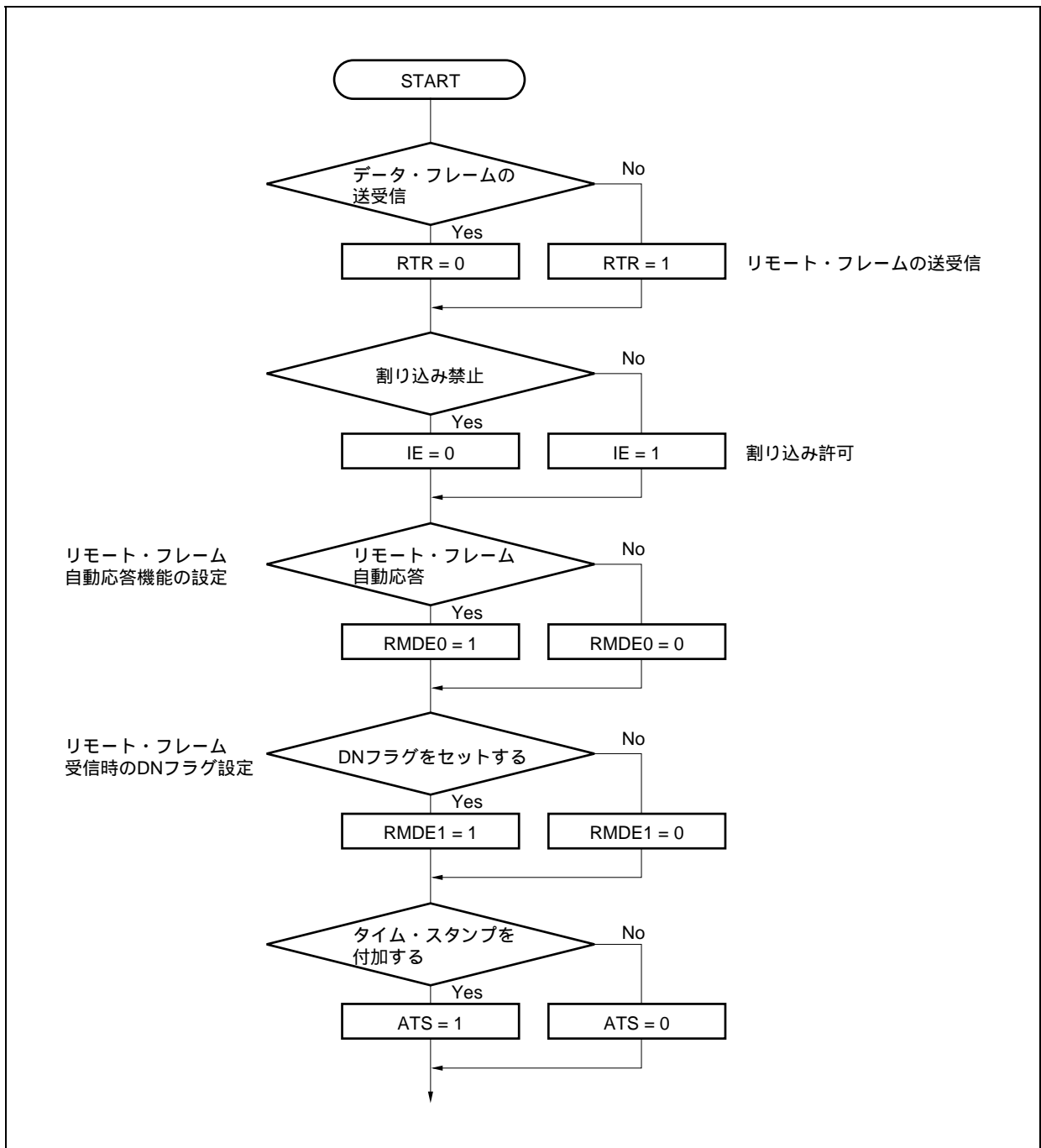
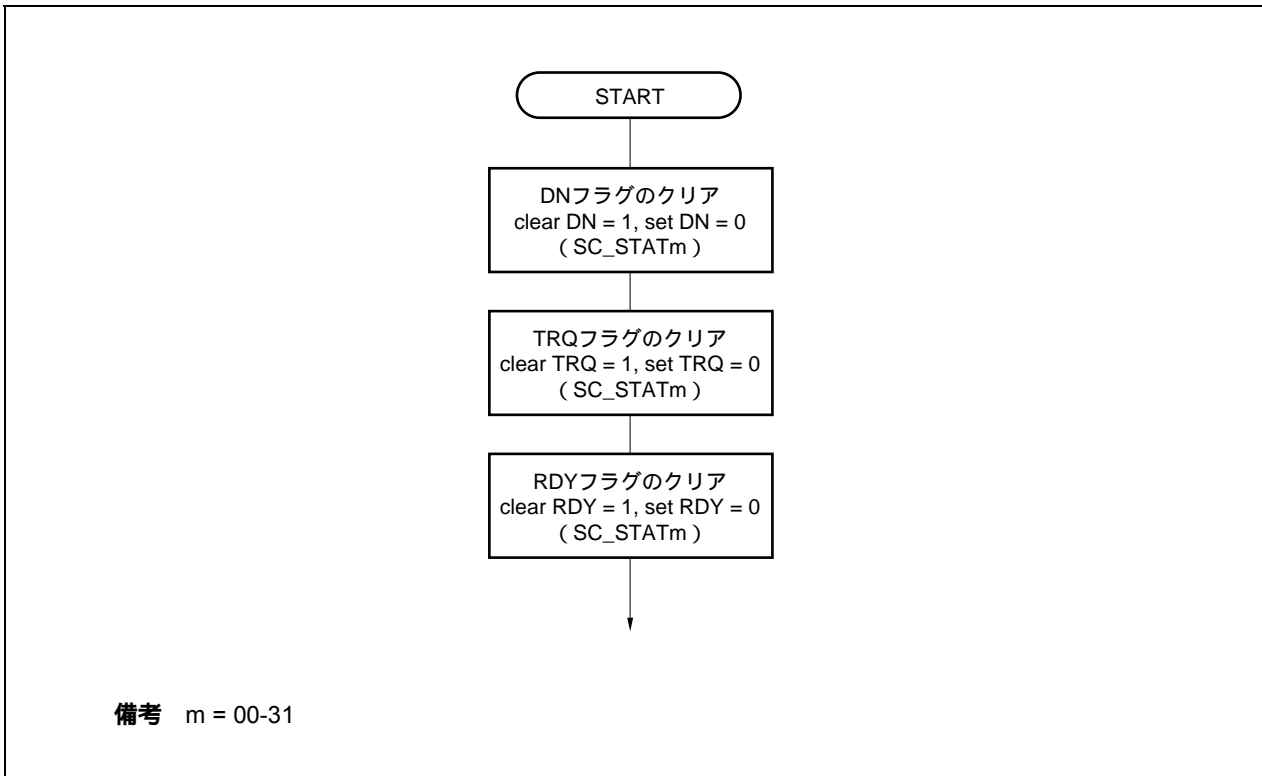


図19 - 40 CANメッセージ・コントロール・レジスタ00-31 (M_CTRL00-M_CTRL31) の設定



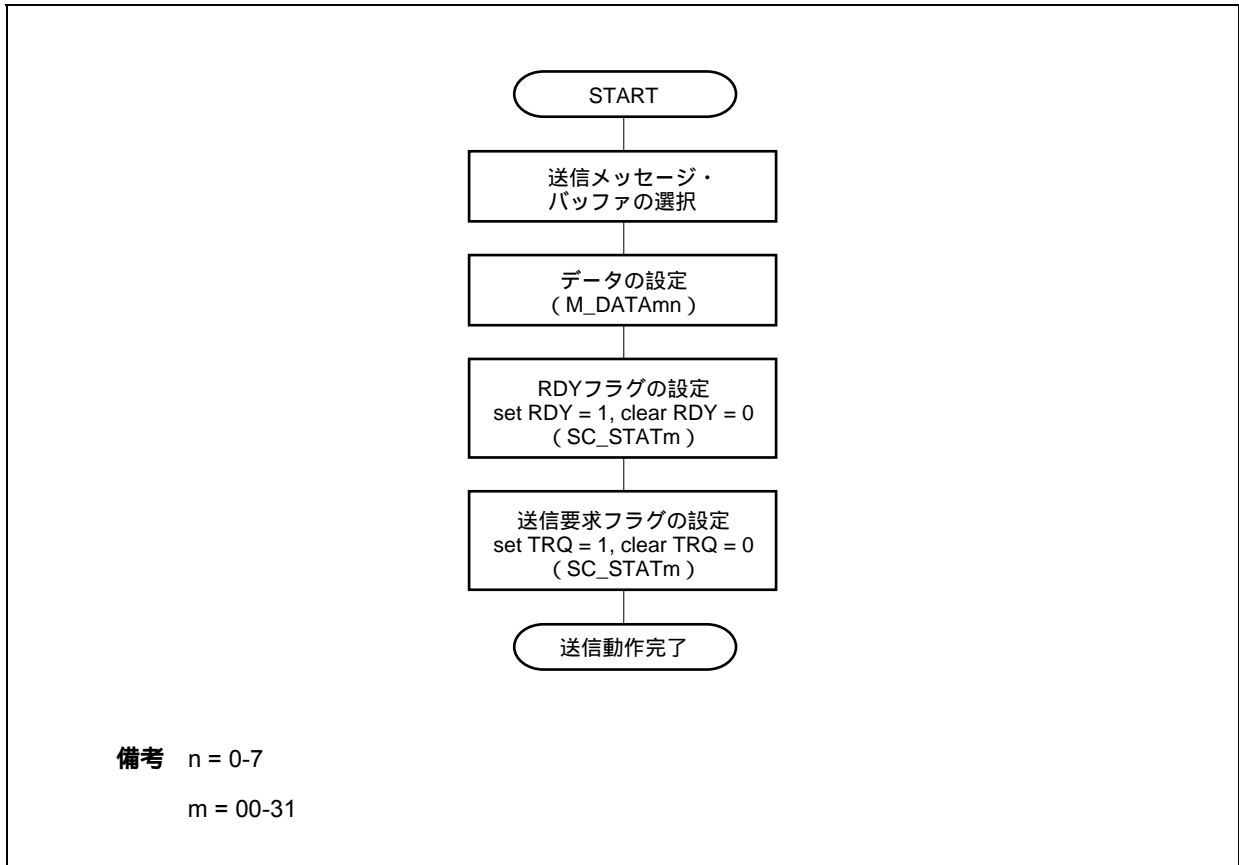
★ 図19 - 41 CANメッセージ・ステータス・レジスタ00-31 (M_STAT00-M_STAT31) の設定



19.12.2 送信の設定

対象メッセージ・バッファから送信メッセージを出力します。

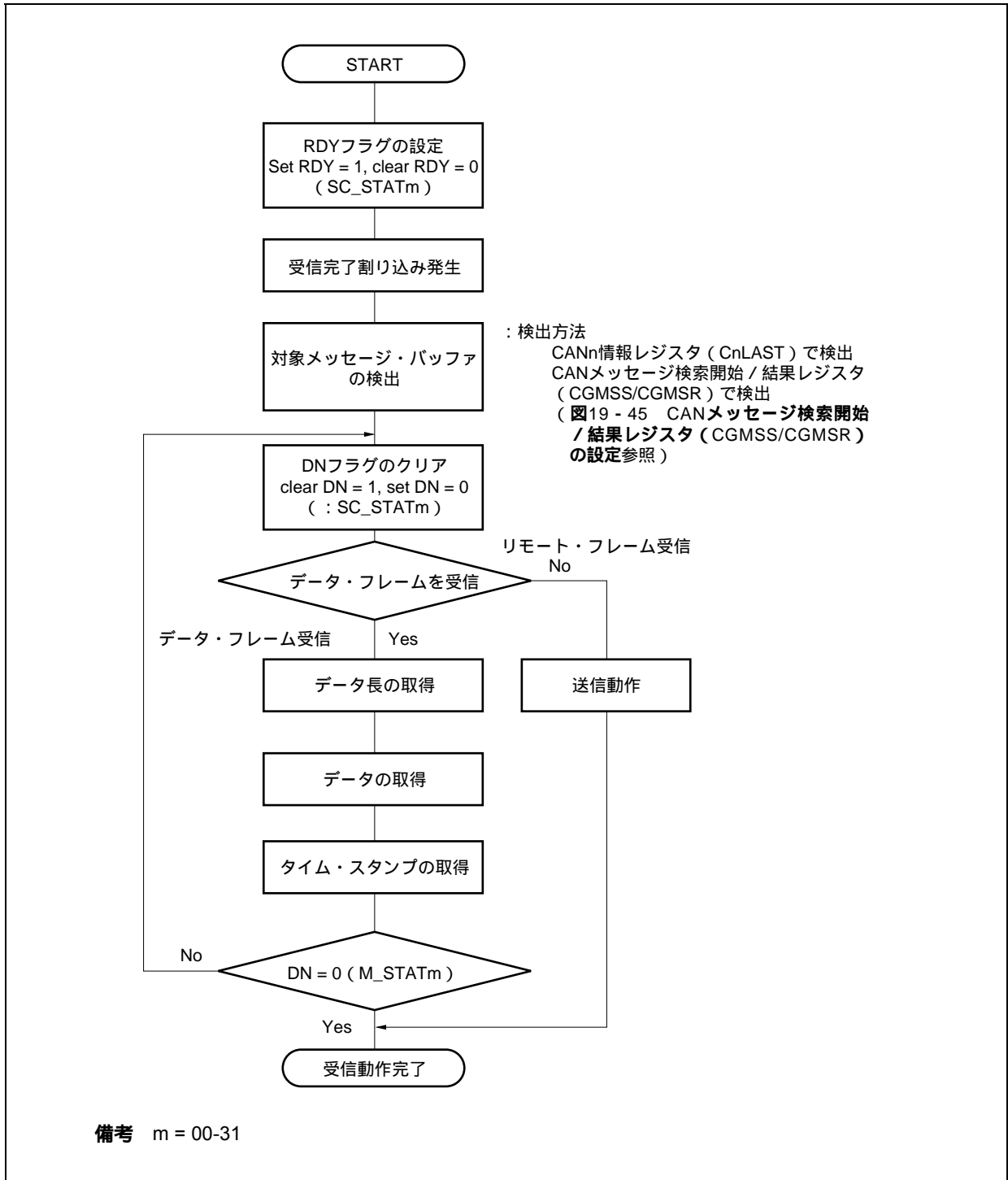
図19 - 42 送信の設定



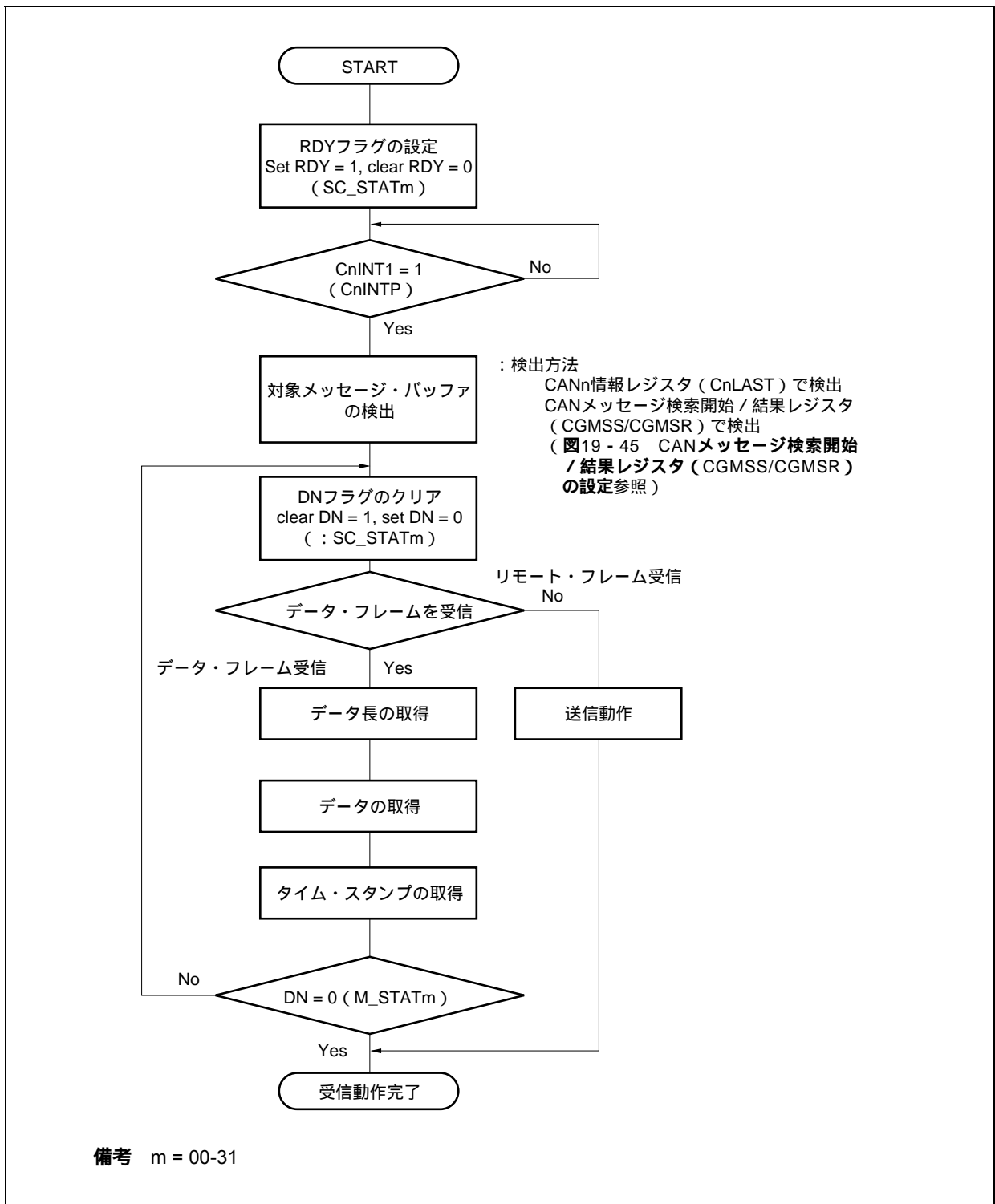
19.12.3 受信の設定

対象メッセージ・バッファから受信メッセージの取得を行います。

図19 - 43 受信完了割り込みによる受信動作の設定

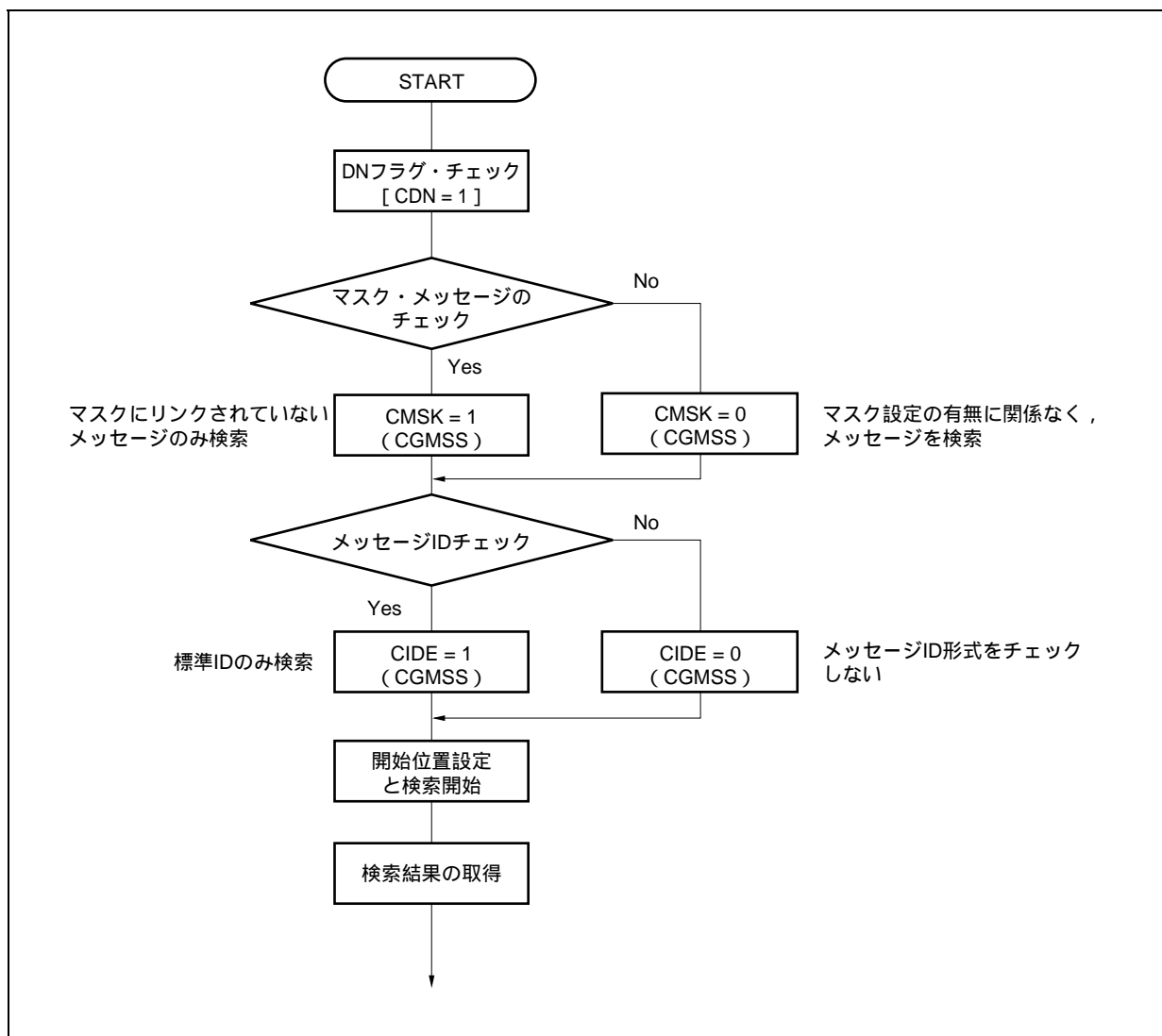


★ 図19 - 44 受信ポーリングによる受信動作の設定



★

図19 - 45 CANメッセージ検索開始 / 結果レジスタ (CGMSS/CGMSR) の設定



19.12.4 CANスリープ・モード

CANスリープ・モードは、FCANコントローラを待機状態にできます。バスの動作でウエイク・アップします。

図19 - 46 CANスリープ・モードの設定

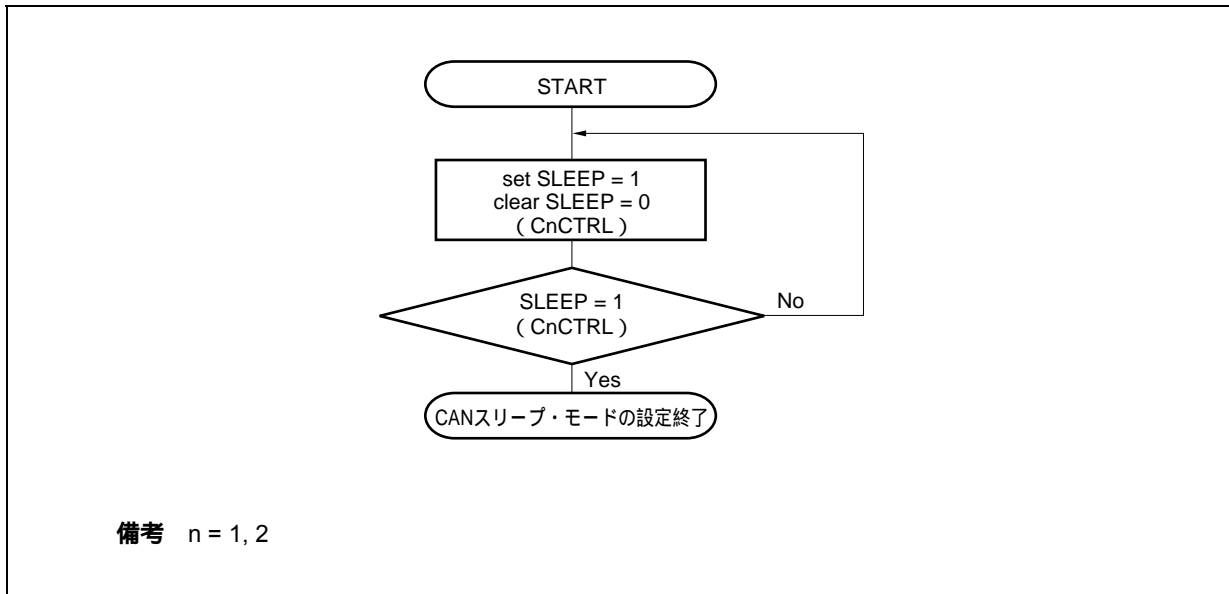


図19 - 47 CANバス・アクティブによるCANスリープ・モードの解除

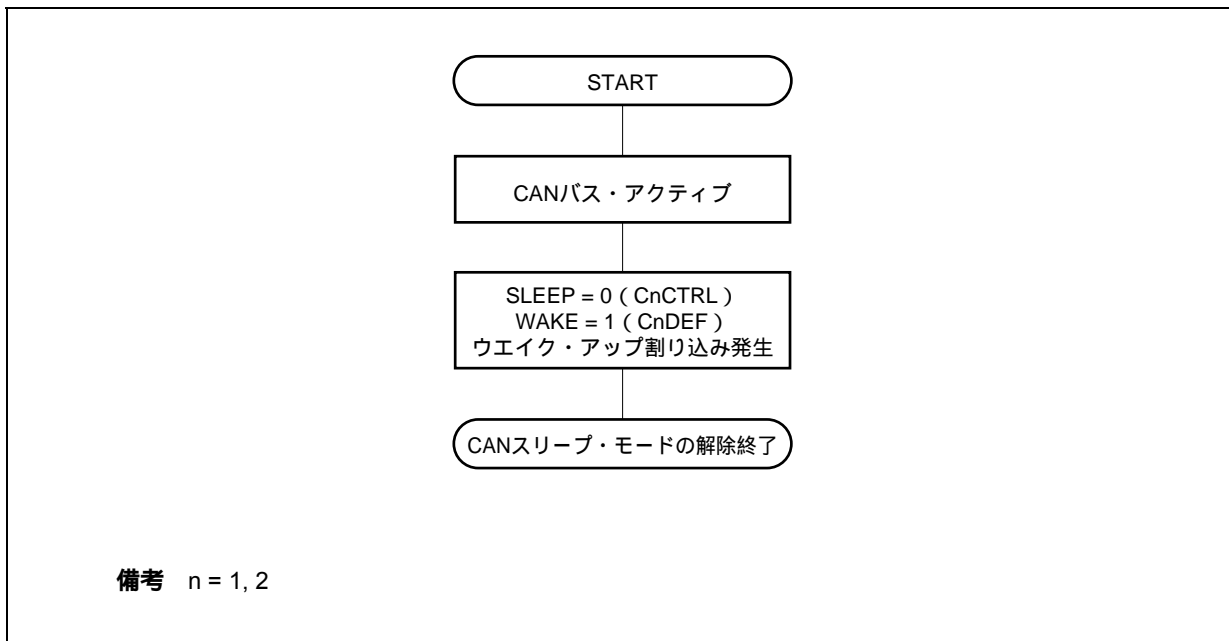
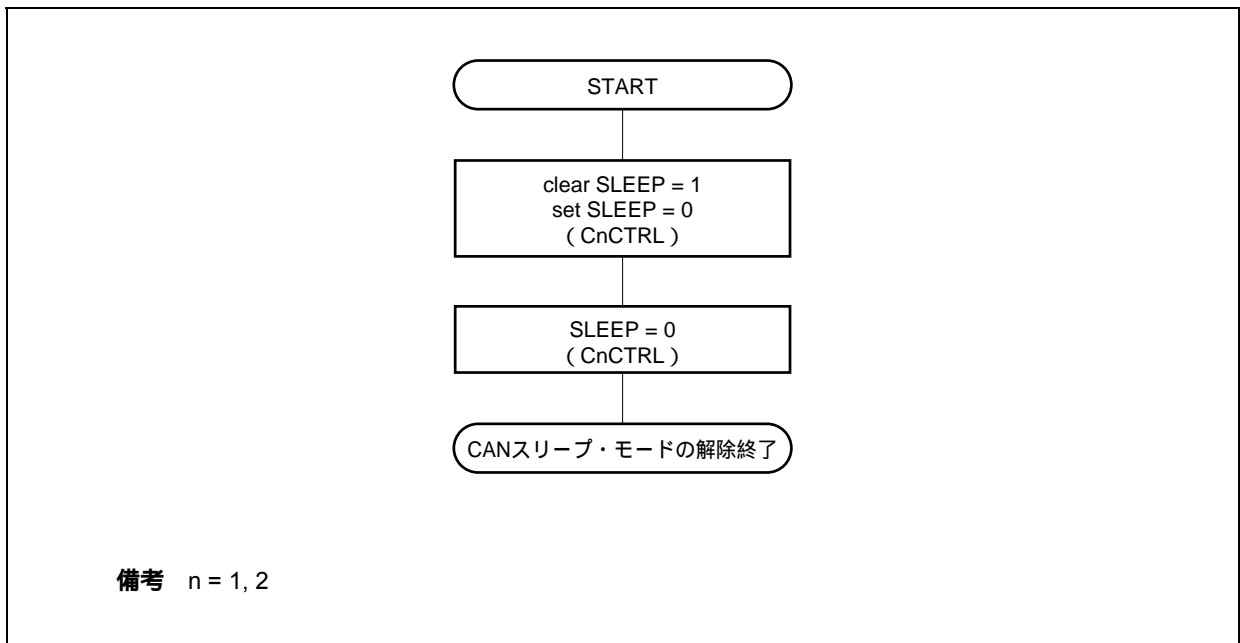


図19 - 48 CPUによるCANスリープ・モードの解除



19. 12. 5 CANストップ・モード

CANストップ・モードは、FCANコントローラを待機状態にできます。バスの動作でウエイク・アップしません (CPUアクセスによりコントロールされます)。

図19 - 49 CANストップ・モードの設定

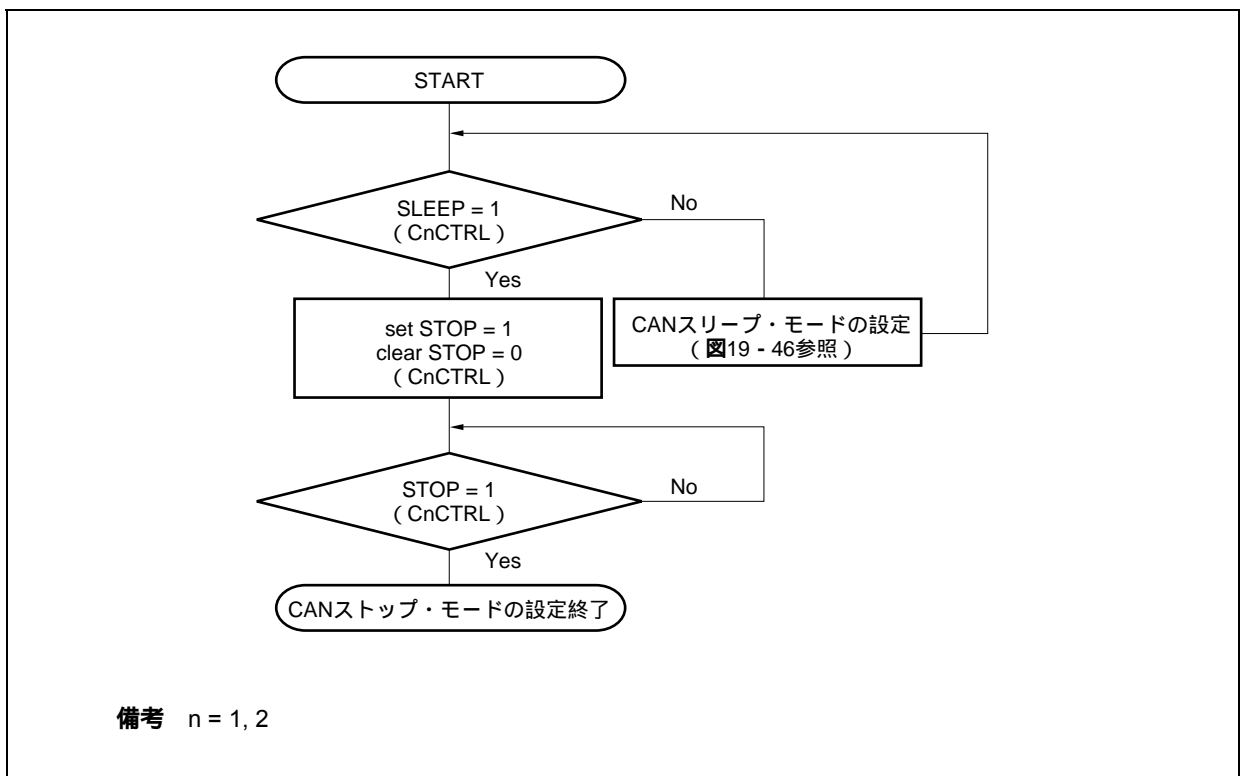
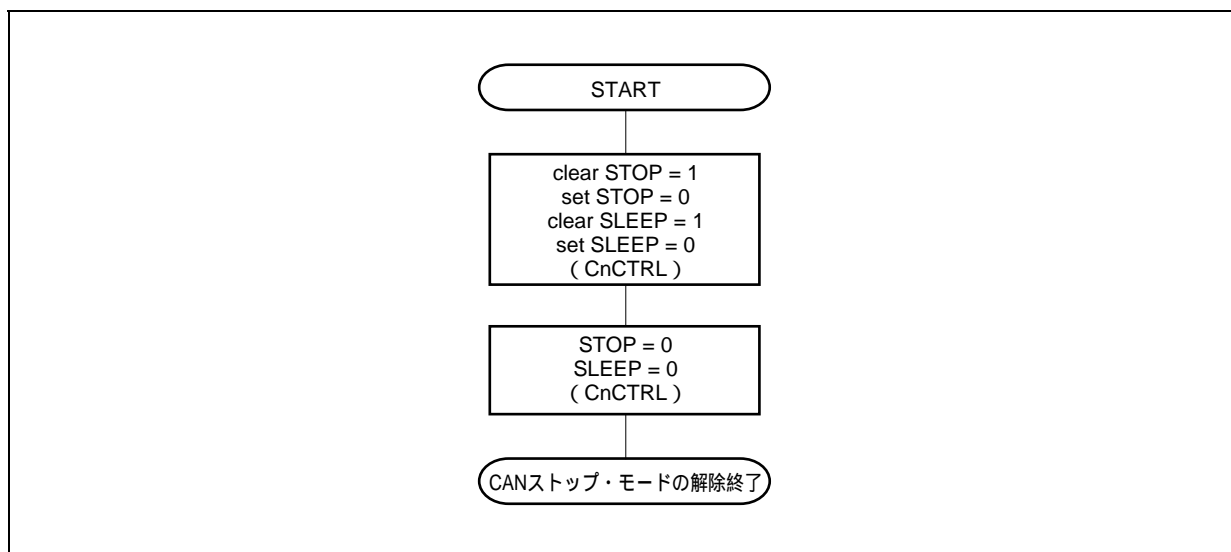


図19 - 50 CANストップ・モードの解除



★ 19.13 ポー・レートを正しく設定するための規則について

FCANを正常に動作させるために、CANプロトコルの限界値を次に示します。この限界を越えるとCANプロトコル違反となり、誤動作します。必ず限界値の範囲内に設定してください。

- (a) $5 \times \text{BLT}$ SPT (サンプル・ポイント) $17 \times \text{BTL}$ [4 SPTR4-SPTR0の設定値 16]
- (b) $8 \times \text{BTL}$ DBT (データ・ビット・タイム) $25 \times \text{BTL}$ [7 DBTR4-DBTR0の設定値 24]
- (c) SJW (同期ジャンプ幅) DBT - SPT
- (d) 2 (DBT - SPT) 8

備考 BTL = $1/f_{\text{BTL}}$ (f_{BTL} : CANプロトコル・レイヤ基本システム・クロック)
 SPTR4-SPTR0 (CANn同期制御レジスタ (CnSYNC) のビット9-ビット5)
 DBTR4-DBTR0 (CANn同期制御レジスタ (CnSYNC) のビット4-ビット0)

(1) FCANのポー・レート設定例 (CnBRPレジスタのTLMビット = 0の場合)

CnBRPレジスタとCnSYNCレジスタの正しい設定の計算例を次に示します。

CANバスからの条件:

CAN基本クロック周波数 (f_{MEM})	: 16 MHz
CANバス・ポー・レート	: 83 kbps
サンプル・ポイント	: 80 %以上
同期ジャンプ幅	: 3 BTL

まず、CAN基本クロック周波数とCANバス・ポー・レートの周波数の割合を算出します。

$$f_{\text{MEM}}/\text{CANバス・ポー・レート} = 16 \text{ MHz}/83 \text{ kHz} = 192.77 \times 2^6 \times 3$$

CnBRPレジスタのBRP5-BRP0ビットでのプリスケアラ (CANプロトコル・レイヤ基本システム・クロック: f_{BTL}) の設定値は2から128までの偶数で設定し、CnSYNCレジスタのDBTR4-DBTR0ビットでのデータ・ビット時間は8から25の範囲で設定してください。

SJW (同期ジャンプ幅) は3と仮定されていますので、SPT (サンプル・ポイント) の最大設定値はデータ・ビット時間の設定値 - 3以下で、かつ17以下になります。

(SPT DBT - 3, かつSPT 17)

以上の制限に基づき、次に示す4通りの設定が可能となります。

プリスケアラ	DBT	SPT (MAX.)	計算上のSPT
24	8	5	5/8 = 62.5 %
16	12	9	9/12 = 75 %
12	16	13	13/16 = 81 %
8	24	17	17/24 = 71 %

16 MHz/83 kbps	192 = 64 × 3
	= 48 × 4
	= 32 × 6
	= 24 × 8
	= 16 × 12
	= 12 × 16
	= 8 × 24
	= 6 × 32
	= 4 × 48
	= 3 × 64

V850/SC3で実際に設定可能なものは破線内の、
、
、
になります。

破線内の から までを実際のレジスタ設定に当てはめたときに要求される使用に適した設定は の場合です。

(i) プリスケアラ (CANプロトコル・レイヤ基本システム・クロック : f_{BTL}) の設定

f_{BTL}は次の式で求められます。

$$f_{BTL} = f_{MEM} / \{ (a+1) \times 2 \} : \{ 0 \leq a \leq 63 \}$$

aの値はCnBRPレジスタのビット5-ビット0 (BRP5-BRP0) で設定します。

$$\begin{aligned} f_{BTL} &= 16 \text{ MHz} / 12 \\ &= 16 \text{ MHz} / \{ (5+1) \times 2 \} \\ &\text{よって } a = 5 \end{aligned}$$

したがって、CnBRPレジスタ = 0005H

(ii) DBT (データ・ビット・タイム) の設定

DBTは次の式で求められます。

$$\cdot \text{DBT} = \text{BTL} \times (\text{a} + 1) : [7 \text{ a } 24]$$

aの値はCnSYNCレジスタのビット4-ビット0 (DBTR4-DBTR0) で設定します。

$$\begin{aligned} \text{DBT} &= \text{BTL} \times 16 \\ &= \text{BTL} \times (\text{a} + 1) \\ &\text{よって} \text{a} = 15 \end{aligned}$$

したがって、CnBRPレジスタのDBTR4-DBTR0ビット = 01111B

なお $1/\text{DBT} = f_{\text{BTL}} / 16$

$$1333 \text{ kHz} / 16$$

83 kbps でほぼCANバス・ポー・レートの値と等しくなります。

(iii) SPT (サンプル・ポイント) の設定

SJW = 3との指示により、

$$\text{SJW} = \text{DBT} - \text{SPT}$$

$$3 = 16 - \text{SPT}$$

$$\text{SPT} = 13$$

したがって、SPTは13 (MAX.) の設定になります。

SPTは次の式で求められます。

$$\cdot \text{SPT} = \text{BTL} \times (\text{a} + 1) : [4 \text{ a } 16]$$

aの値はCnSYNCレジスタのビット9-ビット5 (SPTR4-SPTR0) で設定します。

$$\begin{aligned} \text{SPT} &= \text{BTL} \times 13 \\ &= \text{BTL} \times (\text{a} + 1) \\ &\text{よって} \text{a} = 12 \end{aligned}$$

したがって、CnSYNCレジスタのSPTR4-SPTR0ビット = 01100B

(iv) SJW (同期ジャンプ幅) の設定

SJWは次の式で求められます。

$$\cdot \text{SJW} = \text{BTL} \times (\text{a} + 1) : [0 \text{ a } 3]$$

aの値はCnSYNCレジスタのビット11, ビット10 (SJWR1, SJWR0) で設定します。

$$\begin{aligned} \text{CnSYNCレジスタのSJWR1, SJWR0ビット} &= \text{BTL} \times 3 \\ &= \text{BTL} \times (\text{a} + 1) \\ &\text{よって} \text{a} = 2 \end{aligned}$$

したがって、CnSYNCレジスタのSJWR1, SJWR0ビット = 10B

以上の結果からCnSYNCレジスタの設定は図19 - 51のようになります。

図19 - 51 CnSYNCレジスタの設定値

	15	14	13	12	11	10	9	8
CnSYNC	0	0	0	SAMP	SJWR1	SJWR0	SPTR4	SPTR3
設定値	0	0	0	0	1	0	0	1
	7	6	5	4	3	2	1	0
	SPTR2	SPTR1	SPTR0	DBTR4	DBTR3	DBTR2	DBTR1	DBTR0
設定値	1	0	0	0	1	1	1	1

19. 14 データの一貫性保証

CPUがCANメッセージ・バッファからデータを読み出す場合、一貫してデータが読み出されるようにする必要があります。

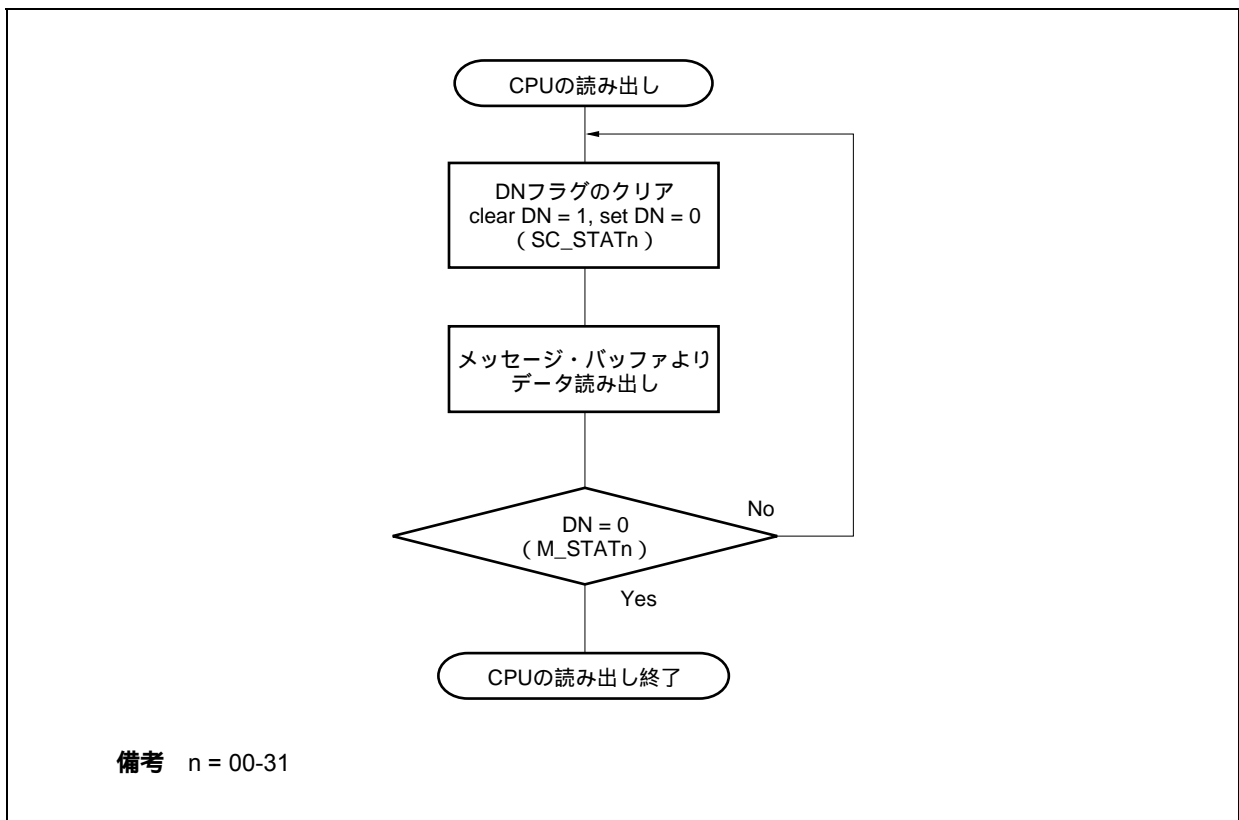
このためにはシーケンシャル・データ・リードとバースト・リード・モードの2通りの方法があります。

19. 14. 1 シーケンシャル・データ・リード

CPUがCANメッセージ・バッファをシーケンシャル・アクセスすることによって、データを読み出す場合、図19 - 74の順序を守ってください。

M_STATnレジスタのDNビットはFCANの内部動作によってのみセット（1）され、CPUによってのみクリア（0）されるため、読み出し動作中にCPUは新しいデータがメッセージ・バッファに格納されたことを認識できなければなりません。

図19 - 52 シーケンシャル・データ・リード



19.14.2 バースト・リード・モード

FCANでは、完全なメッセージをより速くアクセスし、データの同時性を確保するために、バースト・リード・モードがあります。

バースト・リード・モードの起動は、CPUがM_DLCnレジスタを読み出すごとに自動的に開始され、メッセージ・バッファ領域からテンポラリ・リード・バッファへデータがコピーされます。

CPUがリード・アドレスを直線的にインクリメント(+1)しながらデータを読み出すかぎり(つまり M_DLCnレジスタ M_CTRLnレジスタ M_TIMEnレジスタ M_DATA0-M_DATA7レジスタ M_IDLn, M_IDHnレジスタというように読み出す場合)、データはテンポラリ・バッファから読み出されます。

直線的アドレス規則に従わない場合やM_IDHnレジスタのアドレス以降の番地(M_CONFnレジスタやM_STATnレジスタなど)へのアクセスを行った場合、バースト・リード・モードは無効になります。

注意1. バースト・リード・モードではメッセージ・バッファ領域に対する16ビットのリード・アクセスが必要です。

8ビット・アクセス(バイト・リード動作)を行った場合、上記に示すように直線的にアドレスがインクリメント(+1)されたとしても、バースト・リード・モードは起動されません。

★ 2. バースト・リード・モードの起動前には、必ずM_DLCnレジスタ以外のFCAN制御レジスタを読み出してください。

備考 n = 00-31

19.15 割り込み条件

19.15.1 FCANコントローラで発生する割り込み

割り込みが許可されているとき（ の条件の場合：M_CTRLmレジスタのIEビット = 1， 以外の条件の場合：C_IEレジスタの各割り込み許可フラグ = 1），次の条件で割り込みが発生します（m = 00-31）。

メッセージに関する動作が成功した場合

- ・受信メッセージ・バッファにメッセージを受信した場合
- ・送信メッセージ・バッファにリモート・フレームを受信した場合
（自動応答モードが設定されていない場合（M_CTRLmレジスタのRMDE0ビット = 0））
- ・送信メッセージ・バッファからメッセージが送信された場合

CANバス・エラーが検出された場合

- ・ビット・エラー
- ・ビット・スタッフ・エラー
- ・フォーム・エラー
- ・CRCエラー
- ・ACKエラー

CANバス・モードが変更された場合

- ・FCANが送信のとき，エラー・パッシブ状態を通過した場合
- ・FCANが送信のとき，バス・オフ状態になった場合
- ・FCANが受信のとき，エラー・パッシブ状態を通過した場合

内部エラー

- ・オーバラン・エラー

19.15.2 グローバルCANインタフェースで発生する割り込みについて

グローバルCANインタフェースが発生する割り込みは，次の条件で発生します。

GINT1（CGINTPレジスタ）で発生する割り込み要因

- ・CANモジュール内の未使用領域に対するアクセス
- ・初期化状態にないCANモジュールが1つでもある場合（CnCTRLレジスタのINITビット = 0）にCGSTレジスタのEFSDビット = 0のまま，GOMビットをクリア（0）しようとするとき

GINT2（CGINTPレジスタ）で発生する割り込み要因

- ・CGSTレジスタのGOMビット = 0時にCANモジュール・レジスタ（“Cn”で始まるレジスタ（n = 1, 2））へのライト・アクセス
- ・CGSTレジスタのGOMビット = 1時にテンポラリ・バッファ領域に対するライト・アクセス

19.16 FCANコントローラのシャット・ダウン手順

省電力モードとしてCANインタフェースへのクロック供給を停止させる場合、次に示す手順でCANバス動作を停止させてください。

FCANコントローラの初期化モード設定

- ・初期化モードに設定(CnCTRLレジスタのINITビット = 1 (set INITビット = 1, clear INITビット = 0)) に設定する (n = 1, 2)。

タイム・スタンプ・カウンタの停止

- ・CGSTレジスタのTSMビット = 0 (set TSMビット = 0, clear TSMビット = 1) にする。

CANインタフェースの停止

- ・CGSTレジスタのGOMビット = 0 (set GOMビット = 0, clear GOMビット = 1) にする。
- ・CANクロックの停止

- ★ **注意** 上記手順が正しく実行されない場合、アクティブ状態のCANインタフェースが誤動作を起こします。

19. 17 使用上の注意

FCANコントローラのすべてのレジスタに対してビット操作は禁止します。

割り込みルーチンの中では、確実に割り込み要求フラグ^注をクリア (0) してください。クリア (0) されなかった場合、以降の割り込み要求が発生しない場合があります。また、CPUのクリア動作と割り込みの発生が同時だった場合には割り込み要求フラグのクリア (0) が行われませんので、確実に割り込み要求フラグがクリア (0) されていることを確認してください。

注 19. 5. 9 CAN割り込み保留レジスタ (CCINTP) , 19. 5. 10 CANグローバル割り込み保留レジスタ (CGINTP) , 19. 5. 11 CANn割り込み保留レジスタ (CnINTP) 参照

CSTOPレジスタのCSTPビットがセット (1) されているとき、CANバス上の変化により、CANスリープ・モード (CANnコントロール・レジスタ (CnCTRL) のSLEEPビット = 1) からのウエイク・アップを行うことができます。

★ OS (OSEK/COM) を使用しない場合は、必ず次に示す処理を行ってください。

【割り込みルーチンを使用してCANの通信を行う場合】

- ・次に示す割り込み保留ビットをクリア (0) する場合は、対応する割り込みルーチンの先頭で行ってください。
 - ・ CnINTPレジスタのCnINTmビット (n = 1, 2, m = 0-6)
 - ・ CGINTPレジスタのCINTmビット (n = 1, 2, m = 1-3)
- ・次に示す割り込み許可ビットをクリア (0) する場合は、対応する割り込みルーチンの中で行ってください。
 - ・ CnIEレジスタのE_INTmビット (n = 1, 2, m = 0-6)
 - ・ CGIEレジスタのG_IEnビット (n = 1, 2)

【割り込みルーチンを使用しないで、各ビットのポーリングでCANの通信を行う場合】

- ・次に示す割り込みマスク・フラグおよび割り込み許可ビットはセット (1) にした状態で使用してください (クリア (0) しないでください)。
 - ・ CANICnレジスタのCANMKnビット (n = 1-7)
 - ・ CnIEレジスタのE_INTmビット (n = 1, 2, m = 0-6)
 - ・ CGIEレジスタのG_IEnビット (n = 1, 2)
 - ・ M_CTRLnレジスタのIEビット (n = 00-31)
- ・次に示す割り込み保留ビットをクリア (0) する場合は、次に示す (i) - (iii) の手順に従って処理を行ってください。
 - ・ CnINTPレジスタのCnINTmビット (n = 1, 2, m = 0-6)
 - ・ CGINTPレジスタのGINTnビット (n = 1-3)

- (i) 該当する割り込み要求フラグをポーリングする。
- (ii) (i) のビット値が "1" のとき、該当する割り込み保留ビットをクリア (0) する。
- (iii) (ii) を実行後、割り込み要求フラグをクリア (0) する。

例 CAN受信の場合

- (i) CANICmレジスタのCANIFmビットが“1”になるまでポーリングする ($m = 2, 5$)。
- (ii) CnINTPレジスタのCnINT1ビットをクリア (0) する ($n = 1, 2$)。
- (iii) CANICmレジスタのCANIFmビットをクリア (0) する。

- ★ V850/SC3では、メッセージ受信時のSOF検出によるタイム・スタンプ機能とメッセージ送信時のSOF検出によるタイム・スタンプ機能は使用できません。
- メッセージ受信時のEOF検出によるタイム・スタンプ機能のみ使用できます。ただし、CGSTレジスタのTSMビット = 1、CnCTRLレジスタのTMRビット = 1に設定した場合のM_TIMEレジスタにキャプチャされた値のみ有効となります。

第20章 電気的特性

絶対最大定格 (TA = 25 °C)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD0} 端子 = V _{DD1} 端子	- 0.3 ~ + 6.0	V
	ADC _{VDD}	ADC _{VDD} 端子 = V _{DD}	- 0.3 ~ + 6.0	V
	PORT _{VDD}	PORT _{VDD0} 端子 PORT _{VDD1} 端子 PORT _{VDD2} 端子	- 0.3 ~ V _{DD}	V
入力電圧	V _{I0}	PORT _{VDD} 系端子	- 0.3 ~ PORT _{VDD} + 0.3 ^{注1}	V
	V _{I1}	P170-P176, $\overline{\text{RESET}}$ 端子	- 0.3 ~ V _{DD} + 0.3 ^{注1}	V
	V _{I2}	V _{PP} 端子 ^{注2} /MODE端子 ^{注3}	- 0.3 ~ + 8.5	V
アナログ入力電圧	V _{AN}	P70-P77, P80-P83端子	- 0.3 ~ ADC _{VDD} + 0.3 ^{注1}	V
出力電圧	V _{O0}	PORT _{VDD} 系端子	- 0.3 ~ PORT _{VDD} + 0.3 ^{注1}	V
	V _{O1}	P170-P176端子	- 0.3 ~ V _{DD} + 0.3 ^{注1}	V
ロウ・レベル出力電流	I _{OL}	1端子	8.0	mA
		すべての端子の合計	40	mA
ハイ・レベル出力電流	I _{OH}	1端子	- 8.0	mA
		P40-P47, P50-P57, P60-P65, P90-P96, CLKOUT端子	- 25	mA
		P00-P03, P10-P17, P30-P37, P100-P107, P110-P117端子	- 25	mA
		P04-P07, P20-P27, P120-P127, P130-P133, P140-P147, P150-P157端子	- 25	mA
		P170-P176端子	- 15	mA
動作周囲温度	T _A	通常動作モード	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング・モード時 ^{注2}	- 20 ~ + 85	
保存温度	T _{stg}	注3	- 65 ~ + 150	
		注2	- 40 ~ + 125	

注1. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

2. μ PD70F3089Y
3. μ PD703068Y, 703069Y, 703088Y, 703089Y

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 特に指定のないかぎり、兼用端子の特性は、ポート端子の特性と同じです。

動作条件

(1) 動作電圧 (PORTV_{DD0} PORTV_{DD1} PORTV_{DD2} V_{DD0} = V_{DD1} = ADCV_{DD})

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電圧	V _{DD} , ADCV _{DD}	全機能動作時	4.5		5.5	V	
		全機能動作時 (A/Dコンバータを除く)	注1	3.5		5.5	V
			注2	4.0		5.5	V
	PORTV _{DD}	0.5 f _{CPU} 17 MHz, f _{XT} = 32.768 kHz, 注3	3.0		5.5	V	
		0.5 f _{CPU} 20 MHz, 注3	4.0		5.5	V	

注1. μ PD703068Y, 703069Y, 703088Y, 703089Y

2. μ PD70F3089Y

3. FCANコントローラ使用時: PORTV_{DD1} PORTV_{DD2} (インサーキット・エミュレータの電源電圧条件のため)

備考 各端子の入出力バッファ電源を次に示します。

電源	対応する端子
PORTV _{DD0}	P40-P47, P50-P57, P60-P65, P90-P96, CLKOUT
PORTV _{DD1}	P00-P03, P10-P17, P30-P37, P100-P107, P110-P117
PORTV _{DD2}	P04-P07, P20-P27, P120-P127, P130-P133, P140-P147, P150-P157
V _{DD0}	RESET
V _{DD1}	P170-P176
ADCV _{DD}	P70-P77, P80-P83

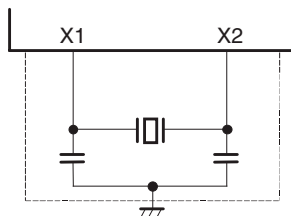
(2) CPU動作周波数

項目	略号	条件	MIN.	TYP.	MAX.	単位
CPU動作周波数	f _{CPU}	メイン・クロック動作時	0.5		20	MHz
		サブクロック動作時		32.768		kHz

推奨発振回路

(1) メイン・クロック発振回路 ($T_A = -40 \sim +85$)

(a) セラミック発振子または水晶振動子接続



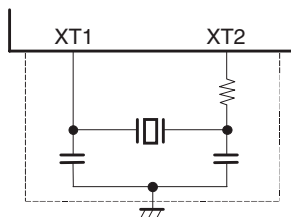
項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	f_{xx}		4		20	MHz
発振安定時間	-	リセット解除時		$2^{18}/f_{xx}$		s
	-	STOPモード解除時		注		s

注 発振安定時間選択レジスタ (OSTS) の設定によって値が異なります。

- 注意1. メイン・クロック発振回路は、内蔵レギュレータの出力電圧で動作します。外部クロック入力は禁止です。
2. メイン・クロック発振回路を使用する場合、配線容量などの影響を避けるために破線内の配線についての注意事項を次に示します。
 - ・配線は極力短くしてください。
 - ・ほかの配線と交差させないでください。
 - ・大電流が流れる線には接近させないでください。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにしてください。
 - ・大電流が流れるグランド・パターンに接地しないでください。
 - ・発振回路から信号を取り出さないでください。
 3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

(2) サブクロック発振回路 (T_A = -40 ~ +85)

(a) 水晶振動子接続



項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	f _{XT}			32.768		kHz
発振安定時間	-	リセット解除時		10		s

注意1. サブクロック発振回路は、内蔵レギュレータの出力電圧で動作します。外部クロック入力禁止です。

2. サブクロック発振回路を使用する場合、配線容量などの影響を避けるために破線内の配線についての注意事項を次に示します。

- ・配線は極力短くしてください。
- ・ほかの配線と交差させないでください。
- ・大電流が流れる線には接近させないでください。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにしてください。
- ・大電流が流れるグランド・パターンに接地しないでください。
- ・発振回路から信号を取り出さないでください。

3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (TA = -40 ~ +85 , PORTVDD0 = PORTVDD1 = PORTVDD2 = 3.0 ~ 5.5V,

μ PD703068Y, 703069Y, 703088Y, 703089Y : VDD0 = VDD1 = ADCVDD = 3.5 ~ 5.5 V

μ PD70F3089Y : VDD0 = VDD1 = ADCVDD = 4.0 ~ 5.5 V) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	注1	0.7 PORTV _{DD}		PORTV _{DD}	V
	V _{IH2}	注2	0.8 PORTV _{DD}		PORTV _{DD}	V
	V _{IH6}	P70-P77, P80-P83端子	0.7 ADCV _{DD}		ADCV _{DD}	V
	V _{IH7}	注3	0.7 V _{DD}		V _{DD}	V
	V _{IH8}	RESET端子	0.8 V _{DD}		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	注1	0		0.3 PORTV _{DD}	V
	V _{IL3}	注2	0		0.2 PORTV _{DD}	V
	V _{IL6}	P70-P77, P80-P83端子	0		0.3 ADCV _{DD}	V
	V _{IL7}	注3	0		0.3 V _{DD}	V
	V _{IL8}	RESET端子	0		0.2 V _{DD}	V
ハイ・レベル出力電圧	V _{OH1}	注3	3.5 V V _{DD} 5.5 V , I _{OH} = - 100 μ A	V _{DD} - 0.5		V
			4.0 V V _{DD} 5.5 V , I _{OH} = - 1 mA	V _{DD} - 1.0		V
	V _{OH2}	注4	3.0 V PORTV _{DD} 4.0 V , I _{OH} = - 100 μ A	PORTV _{DD} - 0.5		V
			4.0 V PORTV _{DD} 5.5 V , I _{OH} = - 1 mA	PORTV _{DD} - 1.0		V
ロウ・レベル出力電圧	V _{OL1}	注3	3.5 V V _{DD} 5.5 V , I _{OH} = - 100 μ A		0.5	V
			4.0 V V _{DD} 5.5 V , I _{OH} = - 1 mA		0.5	V
	V _{OL2}	注4	3.0 V PORTV _{DD} 4.0 V , I _{OH} = - 100 μ A		0.5	V
			4.0 V PORTV _{DD} 5.5 V , I _{OH} = - 1 mA		0.5	V

注1. P11, P14, P16, P21, P25, P27, P33, P40-P47, P50-P57, P60-P65, P90-P96, P110-P114, P116, P122, P125-P127, P130-P133, P141, P155端子 (兼用端子も含まます)

2. P00-P03, P04-P07, P10, P12, P13, P15, P17, P20, P22-P24, P26, P30-P32, P34-P37, P100-P107, P115, P117, P120, P121, P123, P124, P140, P142-P147, P150-P154, P156, P157端子 (兼用端子も含まます)

3. P170-P176端子 (兼用端子も含まます)

4. P170-P176端子を除く全出力端子 (兼用端子も含まます)

DC特性 (TA = -40 ~ +85 , PORTVDD0 = PORTVDD1 = PORTVDD2 = 3.0 ~ 5.5V,

μ PD703068Y, 703069Y, 703088Y, 703089Y : VDD0 = VDD1 = ADCVDD = 3.5 ~ 5.5 V

μ PD70F3089Y : VDD0 = VDD1 = ADCVDD = 4.0 ~ 5.5 V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力リーク電流	I _{IH1}	注1	V _{IN} = V _{DD}			5.0	μA
		注2	V _{IN} = PORTV _{DD}				
		注3	V _{IN} = ADCV _{DD}				
ロウ・レベル入力リーク電流	I _{IL1}	注1, 注2	V _{IN} = 0 V			- 5.0	μA
出力オフリーク電流	I _{L1}	注4	V _{OH} = PORTV _{DD}			5.0	μA
プルアップ抵抗	R _{L1}	注5	V _{IN} = 0 V	10	30	100	k
電源電流	μ PD703068Y, μ PD703069Y, μ PD703088Y, μ PD703089Y	I _{DD1}	通常動作時 ^{注6}		25	40	mA
		I _{DD2}	HALTモード時 ^{注7}		10	20	mA
		I _{DD3}	IDLEモード時 ^{注8}		1	4	mA
		I _{DD4}	ソフトウェアSTOPモード時 ^{注9}		8	100	μA
		I _{DD5}	通常動作時(サブ動作) ^{注10}		50	150	μA
		I _{DD6}	IDLEモード時(サブ動作) ^{注11}		13	120	μA
	μ PD70F3089Y	I _{DD1}	通常動作時 ^{注6}		42	60	mA
		I _{DD2}	HALTモード時 ^{注7}		14	28	mA
		I _{DD3}	IDLEモード時 ^{注8}		1	4	mA
		I _{DD4}	ソフトウェアSTOPモード時 ^{注9}		15	100	μA
		I _{DD5}	通常動作時(サブ動作) ^{注10}		300	600	μA
		I _{DD6}	IDLEモード時(サブ動作) ^{注11}		170	340	μA

注1. P170-P176, $\overline{\text{RESET}}$ 端子(兼用端子も含まます)

2. P170-P176, $\overline{\text{RESET}}$ 端子を除く全入力端子(兼用端子も含まます)

3. P70-P77, P80-P83端子

4. P10, P12, P20, P22端子(N-chオープン・ドレイン・モード時)

5. P100-P107端子(キー・リターン・モード時)

6. f_{CPU} = f_{XX} = 20 MHz, V_{IN} = V_{CPUREG}, 周辺機能動作(FCANコントローラを除く)

7. f_{CPU} = f_{XX} = 20 MHz, V_{IN} = V_{CPUREG}, CPU停止, 周辺機能動作(FCANコントローラを除く)

8. f_{XX} = 20 MHz, V_{IN} = V_{CPUREG}, 全周辺機能停止(時計用タイマ動作)

9. f_{XT} = 32.768 kHz, V_{IN} = V_{CPUREG}, メイン・クロック発振器停止, 全周辺機能停止(時計用タイマ動作)

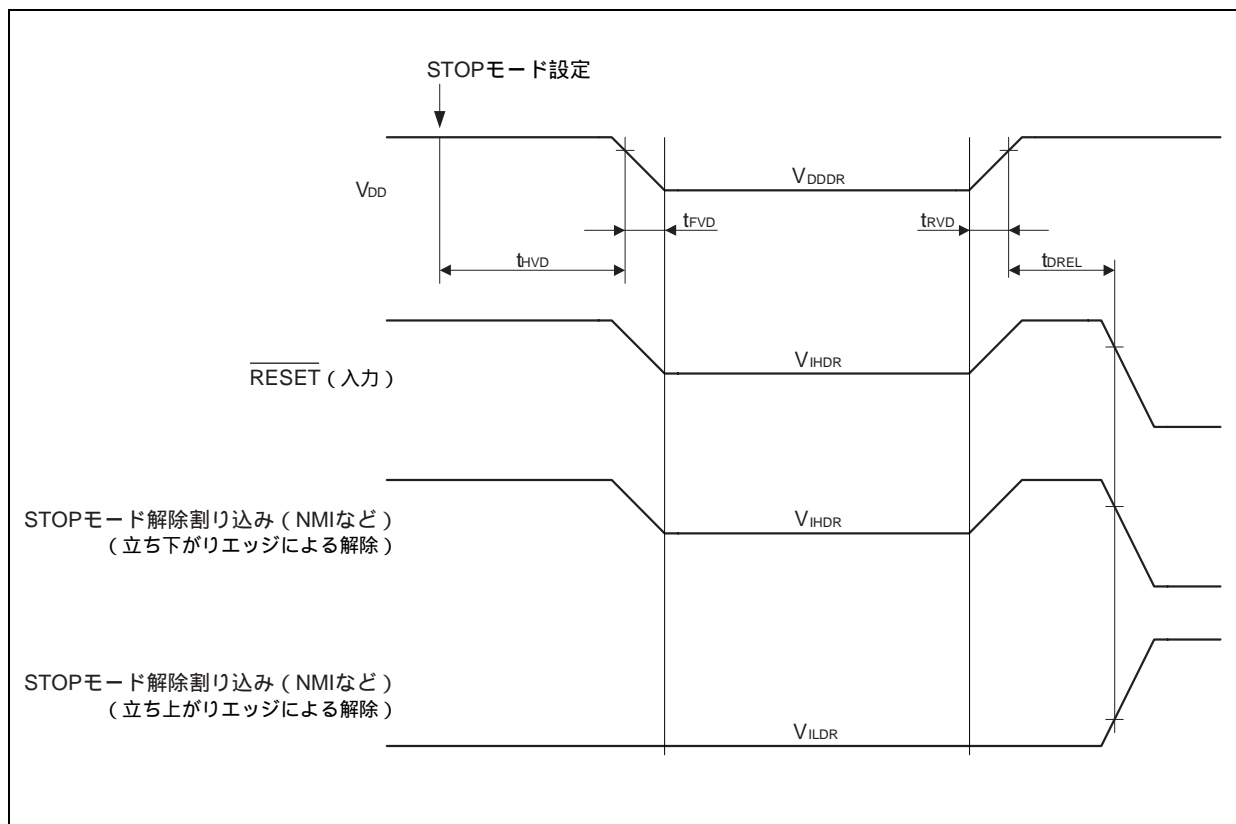
10. f_{CPU} = f_{XT} = 32.768 kHz, V_{IN} = V_{CPUREG}, メイン・クロック発振器停止, 周辺機能動作(FCANコントローラを除く)

11. f_{XT} = 32.768 kHz, V_{IN} = V_{CPUREG}, メイン・クロック発振器停止, 全周辺機能停止(時計用タイマ動作)

データ保持特性 (TA = -40 ~ +85)

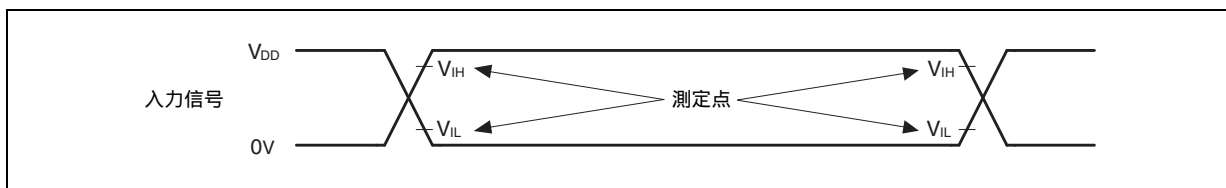
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V _{DDDR}	STOPモード ^注 (全機能非動作)	2.2		5.5	V
データ保持電流	I _{DDDR}	STOPモード ^注 (全機能非動作)		5	100	μA
電源電圧立ち上がり時間	t _{RV}		200			μs
電源電圧立ち下がり時間	t _{FV}		200			μs
電源電圧保持時間 (対STOPモード設定)	t _{HV}		0			ms
STOP解除信号入力時間	t _{DREL}		0			ns
データ保持ハイ・レベル入力電圧	V _{IHDR}	全入力ポート	0.9 V _{DDDR}		V _{DDDR}	V
データ保持ロウ・レベル入力電圧	V _{ILDR}	全入力ポート	0		0.1 V _{DDDR}	V

注 サブクロック停止

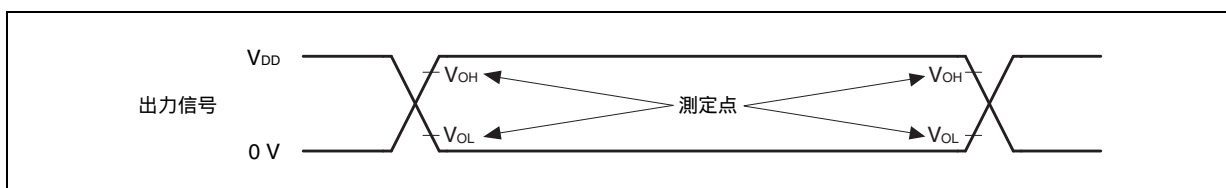


AC特性

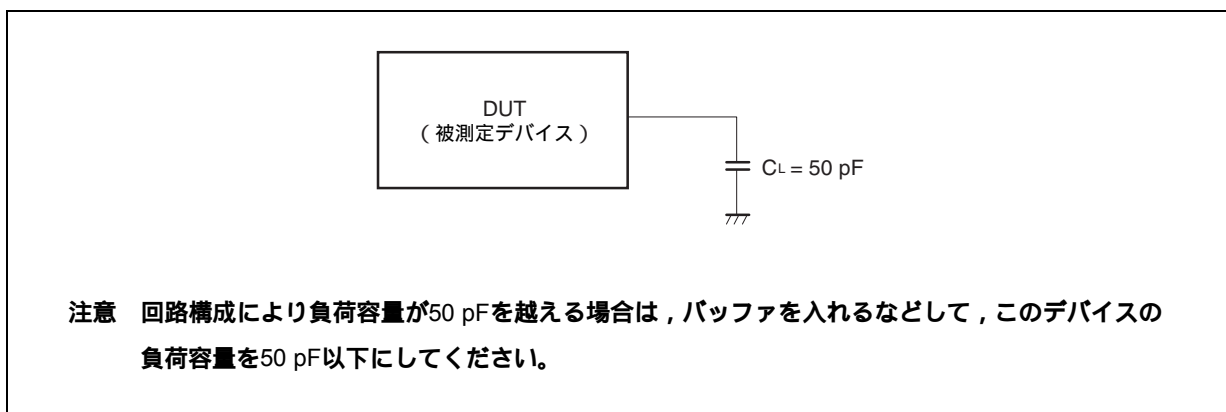
ACテスト入力測定点 ($V_{DD} : V_{DD}$, $PORTV_{DD}$)



ACテスト出力測定点 ($V_{DD} : V_{DD}$, $PORTV_{DD}$)



負荷条件



(1) クロック・タイミング

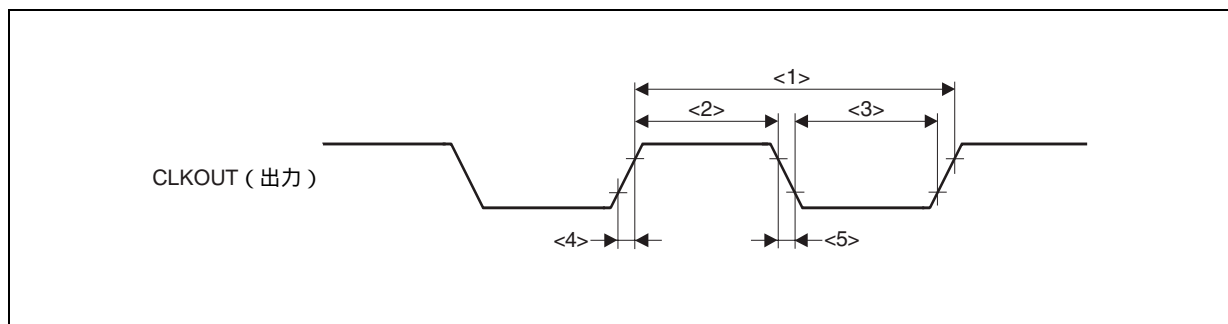
(a) $T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V, $PORTV_{DD} = 4.0 \sim 5.5$ V, $PORTGND = 0$ V

項目	略号	条件	MIN.	MAX.	単位
CLKOUT出力周期	<1> t_{CYK}		50 ns	31 μ s	
CLKOUTハイ・レベル幅	<2> t_{WKH}		0.4 (t_{CYK} t_{KR} t_{KF})		ns
CLKOUTロウ・レベル幅	<3> t_{WKL}		0.4 (t_{CYK} t_{KR} t_{KF})		ns
CLKOUT立ち上がり時間	<4> t_{KR}			12	ns
CLKOUT立ち下がり時間	<5> t_{KF}			12	ns

(b) $T_A = -40 \sim +85$, $PORTV_{DD} = 3.0 \sim 4.0$ V, $PORTGND = 0$ V,

μ PD703068Y, 703069Y, 703088Y, 703089Y : $V_{DD} = 3.5 \sim 5.5$ V, μ PD70F3089Y : $V_{DD} = 4.0 \sim 5.5$ V

項目	略号	条件	MIN.	MAX.	単位
CLKOUT出力周期	<1> t_{CYK}		58.8 ns	31 μ s	
CLKOUTハイ・レベル幅	<2> t_{WKH}		0.4 (t_{CYK} t_{KR} t_{KF})		ns
CLKOUTロウ・レベル幅	<3> t_{WKL}		0.4 (t_{CYK} t_{KR} t_{KF})		ns
CLKOUT立ち上がり時間	<4> t_{KR}			15	ns
CLKOUT立ち下がり時間	<5> t_{KF}			15	ns



(2) 出力波形 (CLKOUT以外)

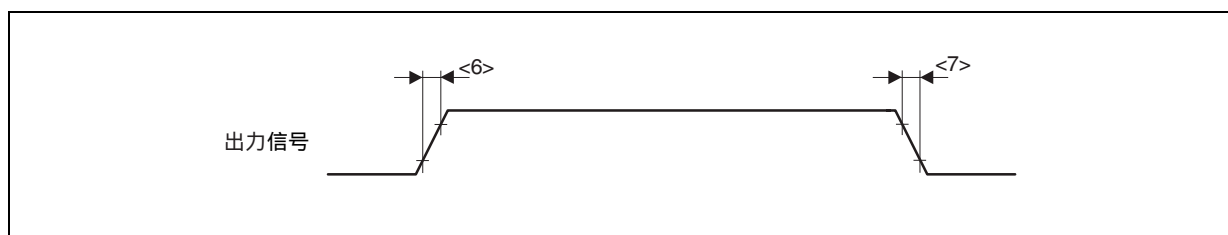
(a) $T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V, $PORTV_{DD} = 4.0 \sim 5.5$ V, $PORTGND = 0$ V

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	<6> t _{OR}			30	ns
出力立ち下がり時間	<7> t _{OF}			30	ns

(b) $T_A = -40 \sim +85$, $PORTV_{DD} = 3.0 \sim 4.0$ V, $PORTGND = 0$ V,

μ PD703068Y, 703069Y, 703088Y, 703089Y : $V_{DD} = 3.5 \sim 5.5$ V, μ PD70F3089Y : $V_{DD} = 4.0 \sim 5.5$ V

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	<6> t _{OR}			35	ns
出力立ち下がり時間	<7> t _{OF}			35	ns

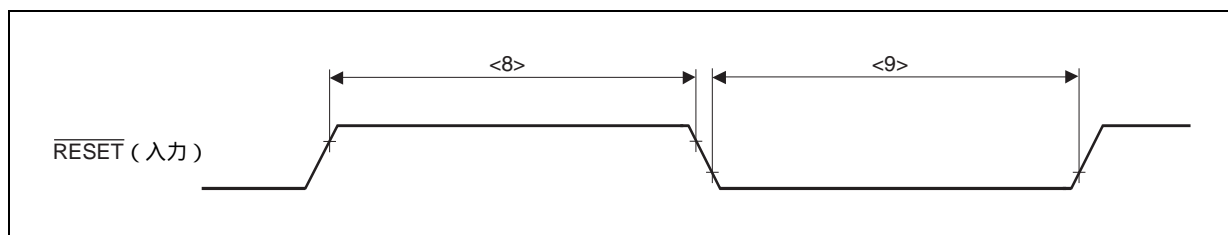


(3) リセット・タイミング

($T_A = -40 \sim +85$, $PORTV_{DD} = 3.0 \sim 5.5$ V,

μ PD703068Y, 703069Y, 703088Y, 703089Y : $V_{DD} = 3.5 \sim 5.5$ V, μ PD70F3089Y : $V_{DD} = 4.0 \sim 5.5$ V)

項目	略号	条件	MIN.	MAX.	単位
RESET 端子ハイ・レベル幅	<8> t _{WRSH}		500		ns
RESET 端子ロウ・レベル幅	<9> t _{WRSL}		500		ns



(4) バス・タイミング

(a) クロック非同期 ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V, $PORTV_{DD} = 4.0 \sim 5.5$ V)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対ASTB)	<10> t_{SAST}		0.5T - 20		ns
アドレス保持時間 (対ASTB)	<11> t_{HSTA}		0.5T - 15		ns
DSTB アドレス・フロート遅延時間	<12> t_{FDA}			0	ns
アドレス データ入力設定時間	<13> t_{SAID}			(2+n) T - 40	ns
DSTB データ入力設定時間	<14> t_{SDID}			(1+n) T - 40	ns
ASTB データ入力設定時間	<15> t_{SASID}			(1.5+n) T - 51	ns
ASTB \overline{DSTB} 遅延時間	<16> t_{DSTD}		0.5T - 15		ns
データ入力保持時間 (対DSTB)	<17> t_{HDID}		0		ns
DSTB アドレス出力時間	<18> t_{DDA}		(1+i) T - 15		ns
DSTB ASTB 遅延時間	<19> t_{DDST1}		0.5T - 15		ns
DSTB ASTB 遅延時間	<20> t_{DDST2}		(1.5+i) T - 15		ns
DSTB ロウ・レベル幅	<21> t_{WDL}		(1+n) T - 22		ns
ASTBハイ・レベル幅	<22> t_{WSTH}		T - 15		ns
DSTB データ出力時間	<23> t_{DDOD}			10	ns
データ出力設定時間 (対DSTB)	<24> t_{SODD}		(1+n) T - 25		ns
データ出力保持時間 (対DSTB)	<25> t_{HDOD}		T - 20		ns
WAIT 設定時間 (対アドレス)	<26> t_{SAWT1}	n 1		1.5T - 40	ns
	<27> t_{SAWT2}			(1.5+n) T - 40	ns
WAIT 保持時間 (対アドレス)	<28> t_{HAWT1}	n 1	(0.5+n) T		ns
	<29> t_{HAWT2}		(1.5+n) T		ns
WAIT 設定時間 (対ASTB)	<30> t_{SSWT1}	n 1		T - 32	ns
	<31> t_{SSWT2}			(1+n) T - 32	ns
WAIT 保持時間 (対ASTB)	<32> t_{HSTWT1}	n 1	nT		ns
	<33> t_{HSTWT2}		(1+n) T		ns
HLD \overline{RQ} ハイ・レベル幅	<34> t_{WHQH}		T + 10		ns
HLD \overline{AK} ロウ・レベル幅	<35> t_{WHAL}		T - 15		ns
HLD \overline{AK} バス出力遅延時間	<36> t_{DHAC}		- 11		ns
HLD \overline{RQ} HLD \overline{AK} 遅延時間	<37> t_{DHQHA1}		1.5T	(2n+7.5) T + 25	ns
HLD \overline{RQ} HLD \overline{AK} 遅延時間	<38> t_{DHQHA2}		0.5T	1.5T + 25	ns

備考1. T : 1/f_{CPU} (f_{CPU} : CPUクロック周波数)

2. n : バス・サイクルに挿入されるウェイト・クロック数

プログラマブル・ウェイト挿入時は、サンプル・タイミングが変わります。

3. i : バス・サイクルに挿入されるアイドル・サイクル数

4. 上記のスペックは、X1からデューティ1:1のクロックを入力した場合の値です。

(b) クロック非同期

($T_A = -40 \sim +85$, $PORTV_{DD} = 3.0 \sim 4.0$ V,

μ PD703068Y, 703069Y, 703088Y, 703089Y : $V_{DD} = 3.5 \sim 5.5$ V, μ PD70F3089Y : $V_{DD} = 4.0 \sim 5.5$ V)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対ASTB)	<10> t_{SAST}		0.5T - 23		ns
アドレス保持時間 (対ASTB)	<11> t_{HSTA}		0.5T - 22		ns
DSTB アドレス・フロート遅延時間	<12> t_{FDA}			0	ns
アドレス データ入力設定時間	<13> t_{SAID}			(2+n) T - 55	ns
DSTB データ入力設定時間	<14> t_{SDID}			(1+n) T - 50	ns
ASTB データ入力設定時間	<15> t_{SASID}			(1.5+n) T - 65	ns
ASTB \overline{DSTB} 遅延時間	<16> t_{DSTD}		0.5T - 15		ns
データ入力保持時間 (対DSTB)	<17> t_{HDID}		0		ns
DSTB アドレス出力時間	<18> t_{DDA}		(1+i) T - 15		ns
DSTB ASTB 遅延時間	<19> t_{DDST1}		0.5T - 15		ns
DSTB ASTB 遅延時間	<20> t_{DDST2}		(1.5+i) T - 18		ns
DSTB ロウ・レベル幅	<21> t_{WDL}		(1+n) T - 35		ns
ASTBハイ・レベル幅	<22> t_{WSTH}		T - 18		ns
DSTB データ出力時間	<23> t_{DDOD}			20	ns
データ出力設定時間 (対DSTB)	<24> t_{SODD}		(1+n) T - 35		ns
データ出力保持時間 (対DSTB)	<25> t_{HDOD}		T - 30		ns
WAIT 設定時間 (対アドレス)	<26> t_{SAWT1}	n 1		1.5T - 55	ns
	<27> t_{SAWT2}			(1.5+n) T - 55	ns
WAIT 保持時間 (対アドレス)	<28> t_{HAWT1}	n 1	(0.5+n) T		ns
	<29> t_{HAWT2}		(1.5+n) T		ns
WAIT 設定時間 (対ASTB)	<30> t_{SSWT1}	n 1		T - 45	ns
	<31> t_{SSWT2}			(1+n) T - 45	ns
WAIT 保持時間 (対ASTB)	<32> t_{HSTWT1}	n 1	nT		ns
	<33> t_{HSTWT2}		(1+n) T		ns
HLD \overline{RQ} ハイ・レベル幅	<34> t_{WHQH}		T + 10		ns
HLD \overline{AK} ロウ・レベル幅	<35> t_{WHAL}		T - 25		ns
HLD \overline{AK} バス出力遅延時間	<36> t_{DHAC}		- 13		ns
HLD \overline{RQ} HLD \overline{AK} 遅延時間	<37> t_{DHQHA1}			(2n+7.5) T + 25	ns
HLD \overline{RQ} HLD \overline{AK} 遅延時間	<38> t_{DHQHA2}		0.5T	1.5T + 25	ns

備考1. T : $1/f_{CPU}$ (f_{CPU} : CPUクロック周波数)

2. n : バス・サイクルに挿入されるウェイト・クロック数

プログラマブル・ウェイト挿入時は、サンプル・タイミングが変わります。

3. i : バス・サイクルに挿入されるアイドル・サイクル数

4. 上記のスペックは、X1からデューティ1:1のクロックを入力した場合の値です。

(c) クロック同期 ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V, $PORTV_{DD} = 4.0 \sim 5.5$ V)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	<39> tDKA		0	25	ns
CLKOUT アドレス・フロート遅延時間	<40> tFKA		- 12	10	ns
CLKOUT ASTB遅延時間	<41> tDKST		0	19	ns
CLKOUT \overline{DSTB} 遅延時間	<42> tDKD		0	19	ns
データ入力設定時間(対CLKOUT)	<43> tSIDK		20		ns
データ入力保持時間(対CLKOUT)	<44> tHKID		5		ns
CLKOUT データ出力遅延時間	<45> tDKOD			19	ns
WAIT 設定時間(対CLKOUT)	<46> tSWTK		20		ns
WAIT 保持時間(対CLKOUT)	<47> tHKWT		5		ns
HLDRQ 設定時間(対CLKOUT)	<48> tSHQK		20		ns
HLDRQ 保持時間(対CLKOUT)	<49> tHKHQ		5		ns
CLKOUT アドレス・フロート遅延時間(バス・ホールド時)	<50> tDKF			19	ns
CLKOUT \overline{HLDK} 遅延時間	<51> tDKHA			19	ns

備考 上記のスペックは、X1からデューティ1:1のクロックを入力した場合の値です。

(d) クロック同期

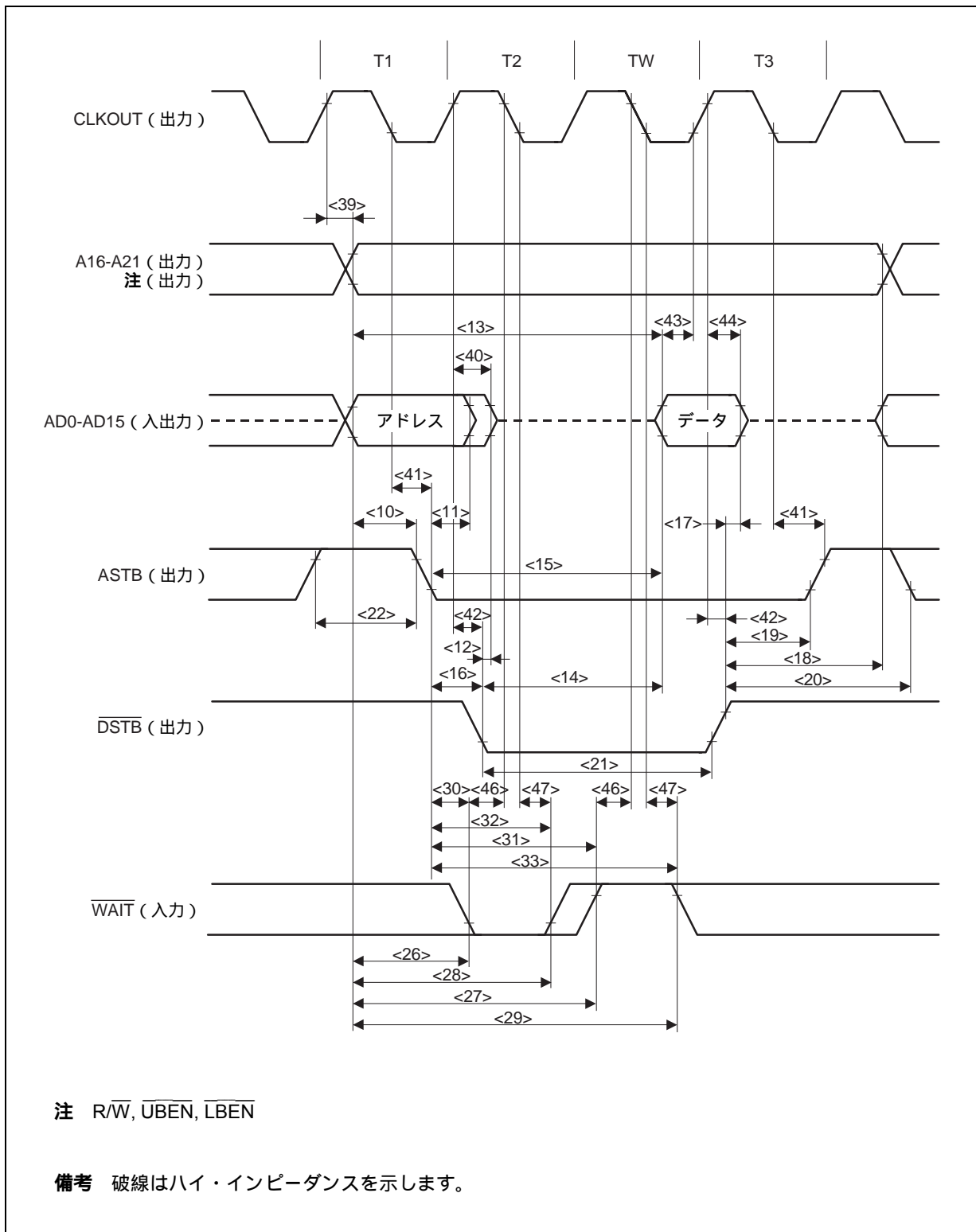
($T_A = -40 \sim +85$, $PORTV_{DD} = 3.0 \sim 4.0$ V ,

μ PD703068Y, 703069Y, 703088Y, 703089Y : $V_{DD} = 3.5 \sim 5.5$ V, μ PD70F3089Y : $V_{DD} = 4.0 \sim 5.5$ V)

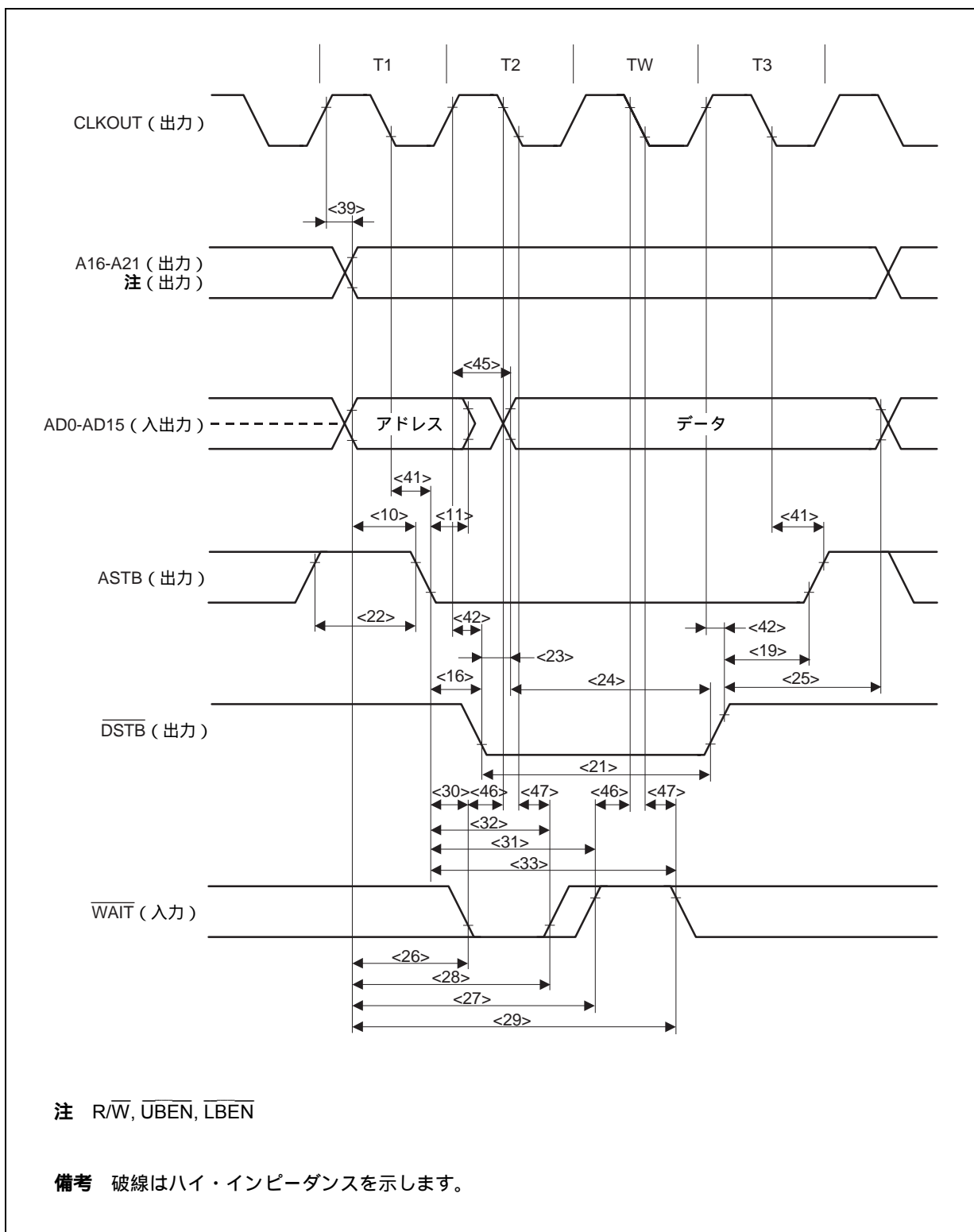
項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	<39> tDKA		0	40	ns
CLKOUT アドレス・フロート遅延時間	<40> tFKA		- 16	10	ns
CLKOUT ASTB遅延時間	<41> tDKST		0	30	ns
CLKOUT \overline{DSTB} 遅延時間	<42> tDKD		0	30	ns
データ入力設定時間(対CLKOUT)	<43> tSIDK		20		ns
データ入力保持時間(対CLKOUT)	<44> tHKID		5		ns
CLKOUT データ出力遅延時間	<45> tDKOD			40	ns
WAIT 設定時間(対CLKOUT)	<46> tSWTK		24		ns
WAIT 保持時間(対CLKOUT)	<47> tHKWT		5		ns
HLDRQ 設定時間(対CLKOUT)	<48> tSHQK		24		ns
HLDRQ 保持時間(対CLKOUT)	<49> tHKHQ		5		ns
CLKOUT アドレス・フロート遅延時間(バス・ホールド時)	<50> tDKF			19	ns
CLKOUT \overline{HLDK} 遅延時間	<51> tDKHA			35	ns

備考 上記のスペックは、X1からデューティ1:1のクロックを入力した場合の値です。

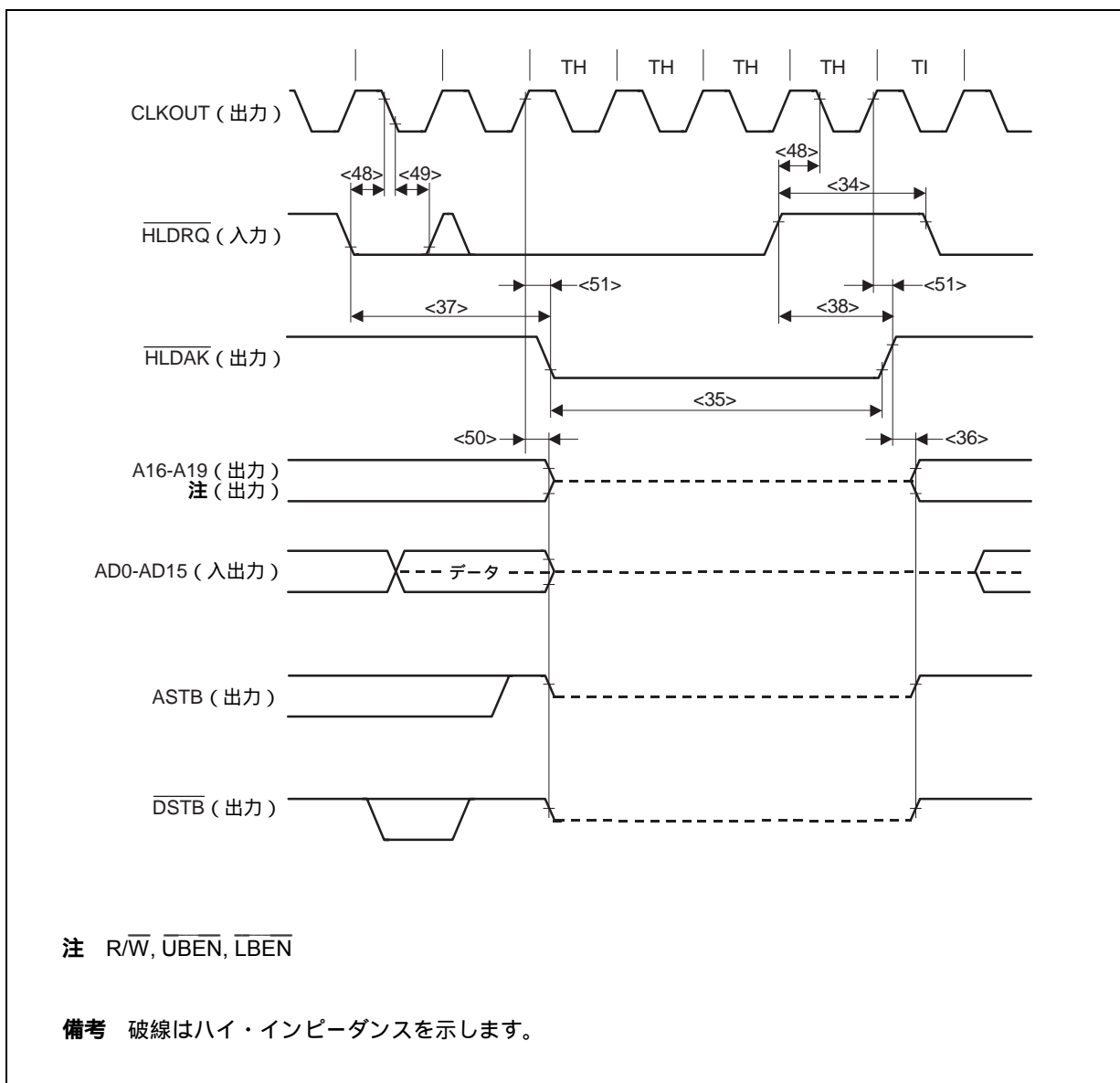
(e) リード・サイクル (CLKOUT同期/非同期, 1ウェイト)



(f) ライト・サイクル (CLKOUT同期/非同期, 1ウェイト)



(g) バス・ホールド・タイミング



(5) 割り込みタイミング

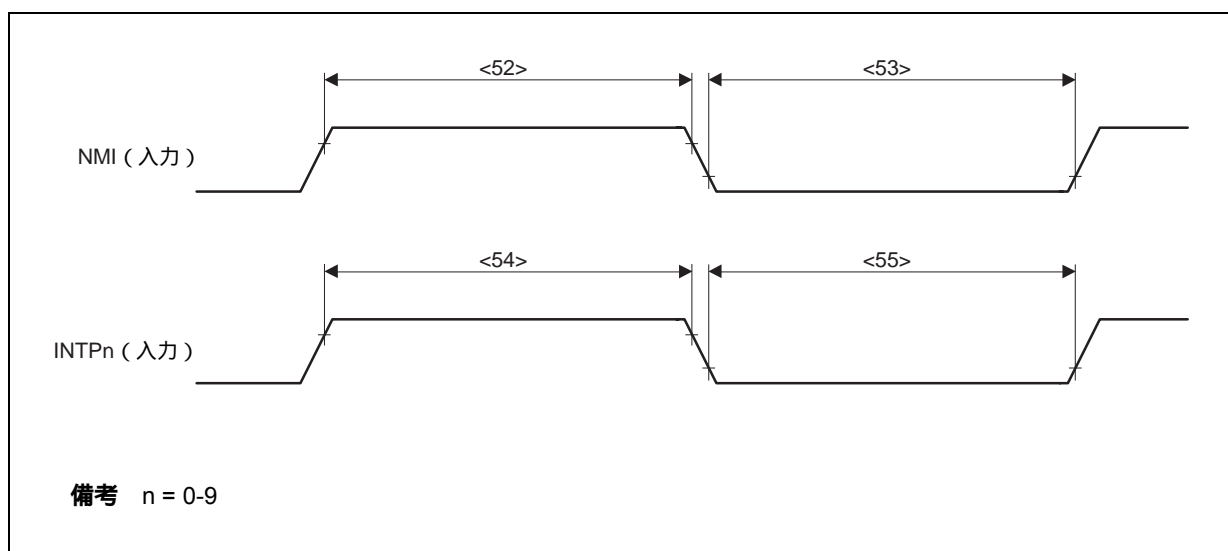
($T_A = -40 \sim +85$, $PORTV_{DD} = 3.0 \sim 5.5 V$,

$\mu PD703068Y, 703069Y, 703088Y, 703089Y : V_{DD} = 3.5 \sim 5.5 V, \mu PD70F3089Y : V_{DD} = 4.0 \sim 5.5 V$)

項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	<52> t_{WNIH}		500		ns
NMIロウ・レベル幅	<53> t_{WNIL}		500		ns
INTPnハイ・レベル幅	<54> t_{WITH}	n = 0-3, 7-9, アナログ・ノイズ除去	500		ns
		n = 4, 5, デジタル・ノイズ除去	$3T + 20$		ns
		n = 6, デジタル・ノイズ除去	$3T_{smp} + 20$		ns
INTPnロウ・レベル幅	<55> t_{WITL}	n = 0-3, 7-9, アナログ・ノイズ除去	500		ns
		n = 4, 5, デジタル・ノイズ除去	$3T + 20$		ns
		n = 6, デジタル・ノイズ除去	$3T_{smp} + 20$		ns

備考1. $T = 1/f_{xx}$

2. T_{smp} : ノイズ除去サンプリング・クロック周期



(6) TIn入力タイミング

($T_A = -40 \sim +85$, $PORTV_{DD} = 3.0 \sim 5.5$ V,

μ PD703068Y, 703069Y, 703088Y, 703089Y : $V_{DD} = 3.5 \sim 5.5$ V, μ PD70F3089Y : $V_{DD} = 4.0 \sim 5.5$ V)

項目	略号	条件	MIN.	MAX.	単位
TIn0, TIn1ハイ・レベル幅	<56>	t_{TlHn} $n = 0, 1, 7-12$	$2T_{sam} + 20$ ^注		ns
TIn0, TIn1ロウ・レベル幅	<57>	t_{TlLn} $n = 0, 1, 7-12$	$2T_{sam} + 20$ ^注		ns
TImハイ・レベル幅	<58>	t_{TlHm} $m = 5, 6$	$3T + 20$		ns
TImロウ・レベル幅	<59>	t_{TlLm} $m = 5, 6$	$3T + 20$		ns

注 T_{sam} (カウント・クロック周期)は、プリスケアラ・モード・レジスタ $n0, n1$ (PRMn0, PRMn1)のPRMn2-PRMn0ビットを設定することにより、次に示す周期を選択できます。

$n = 0$ (TM0) のとき, $T_{sam} = 2T, 4T, 16T, 64T, 256T, 1/INTWTNI$ 周期

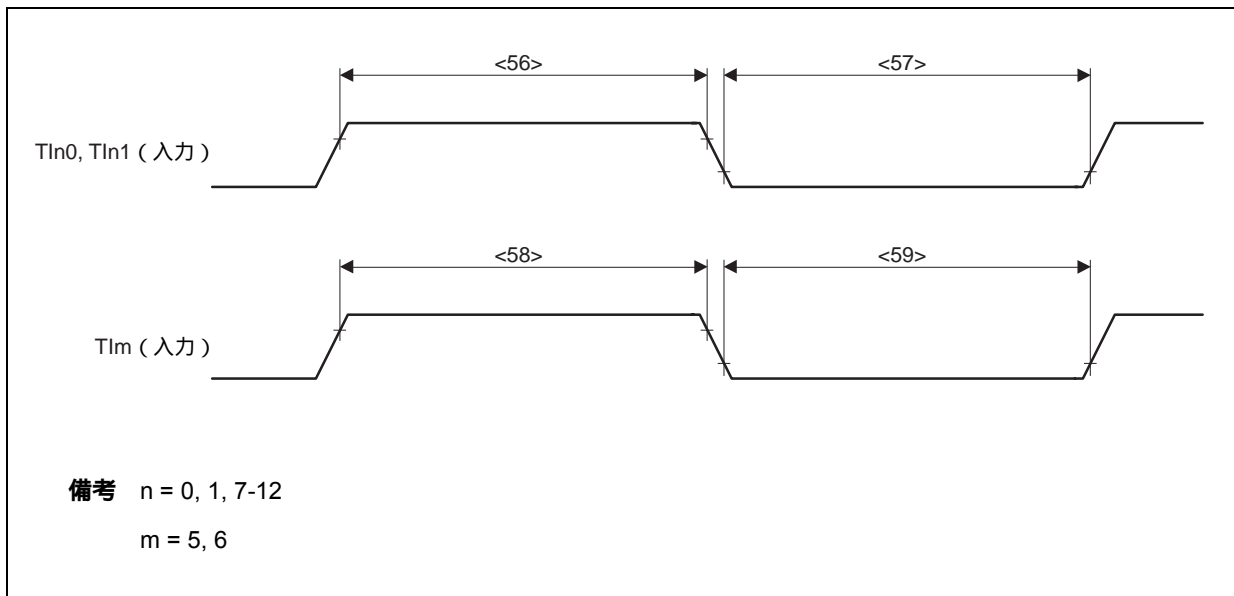
$n = 1, 7$ (TM1, TM7) のとき, $T_{sam} = 2T, 4T, 16T, 32T, 128T, 256T$ 周期

$n = 8, 10, 12$ (TM8, TM10, TM12) のとき, $T_{sam} = 2T, 8T, 16T, 32T, 128T, 256T$ 周期

$n = 9, 11$ (TM9, TM11) のとき, $T_{sam} = 4T, 8T, 32T, 64T, 128T, 512T$ 周期

ただし、カウント・クロックとしてTIn0の有効エッジを選択した場合、 $T_{sam} = 4T$ となります。

備考 $T = 1/f_{xx}$



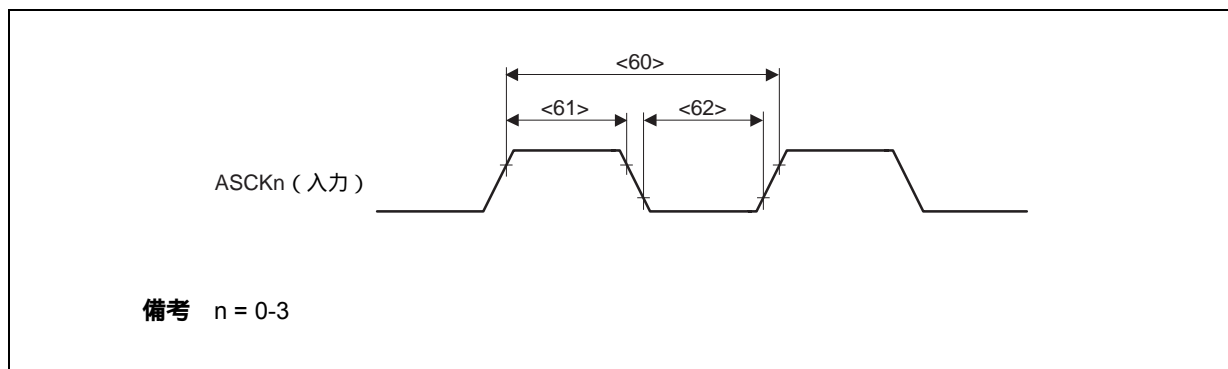
(7) アシクロナス・シリアル・インタフェース (UART0-UART3) タイミング

($T_A = -40 \sim +85$, $PORTV_{DD} = 3.0 \sim 5.5$ V,

μ PD703068Y, 703069Y, 703088Y, 703089Y : $V_{DD} = 3.5 \sim 5.5$ V, μ PD70F3089Y : $V_{DD} = 4.0 \sim 5.5$ V)

項目	略号	条件	MIN.	MAX.	単位
ASCKnサイクル時間	<60> t_{CY13}		200		ns
ASCKnハイ・レベル幅	<61> t_{KH13}		80		ns
ASCKnロウ・レベル幅	<62> t_{KL13}		80		ns

備考 n = 0-3



(8) 3線式シリアル・インタフェース (CSI0, CSI2, CSI3) タイミング

($T_A = -40 \sim +85$, $PORTV_{DD} = 3.0 \sim 5.5 V$,

$\mu PD703068Y, 703069Y, 703088Y, 703089Y : V_{DD} = 3.5 \sim 5.5 V$, $\mu PD70F3089Y : V_{DD} = 4.0 \sim 5.5 V$)

(a) マスタ・モード

項目	略号	条件	MIN.	MAX.	単位
SCK \bar{n} 周期	<63> t _{KCY1}		400		ns
SCK \bar{n} ハイ・レベル幅	<64> t _{KH1}		140		ns
SCK \bar{n} ロウ・レベル幅	<65> t _{KL1}		140		ns
SIn設定時間 (対SCK \bar{n})	<66> t _{SIK1}		50		ns
SIn保持時間 (対SCK \bar{n})	<67> t _{KSI1}		50		ns
SOn出力遅延時間 (対SCK \bar{n})	<68> t _{KSO1}			60	ns

備考 n = 0, 2, 3

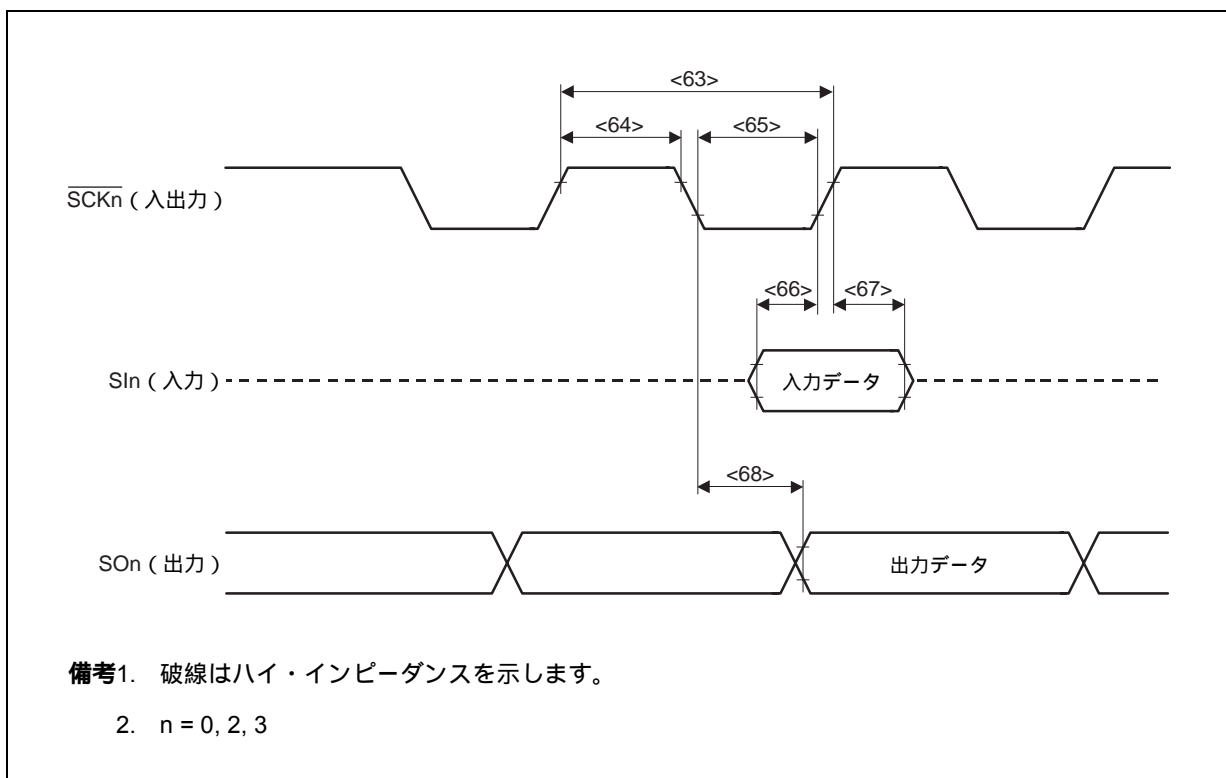
(b) スレーブ・モード

項目	略号	条件	MIN.	MAX.	単位
SCK \bar{n} 周期	<63> t _{KCY2}		400		ns
SCK \bar{n} ハイ・レベル幅	<64> t _{KH2}		140		ns
SCK \bar{n} ロウ・レベル幅	<65> t _{KL2}		140		ns
SIn設定時間 (対SCK \bar{n})	<66> t _{SIK2}		50		ns
SIn保持時間 (対SCK \bar{n})	<67> t _{KSI2}		50		ns
SOn出力遅延時間 (対SCK \bar{n})	<68> t _{KSO2}	注1		80	ns
		注2		120	ns

注1. $PORTV_{DD} = 4.0 \sim 5.5 V$

2. $PORTV_{DD} = 3.0 \sim 4.0 V$

備考 n = 0, 2, 3



(9) 3線式可変長シリアル・インタフェース (CSI4) タイミング

($T_A = -40 \sim +85$, $PORTV_{DD} = 3.0 \sim 5.5 V$,

$\mu PD703068Y, 703069Y, 703088Y, 703089Y : V_{DD} = 3.5 \sim 5.5 V$, $\mu PD70F3089Y : V_{DD} = 4.0 \sim 5.5 V$)

(a) マスタ・モード

項目	略号	条件	MIN.	MAX.	単位
SCK4周期	<69>	t _{KCY1}	注1	200	ns
			注2	400	ns
SCK4ハイ・レベル幅	<70>	t _{KH1}	注1	60	ns
			注2	140	ns
SCK4ロウ・レベル幅	<71>	t _{KL1}	注1	60	ns
			注2	140	ns
SI4設定時間 (対SCK4)	<72>	t _{SIK1}	注1	25	ns
			注2	50	ns
SI4保持時間 (対SCK4)	<73>	t _{KSI1}	20		ns
SO4出力遅延時間 (対SCK4)	<74>	t _{KSO1}		55	ns

注1. $PORTV_{DD} = 4.0 \sim 5.5 V$

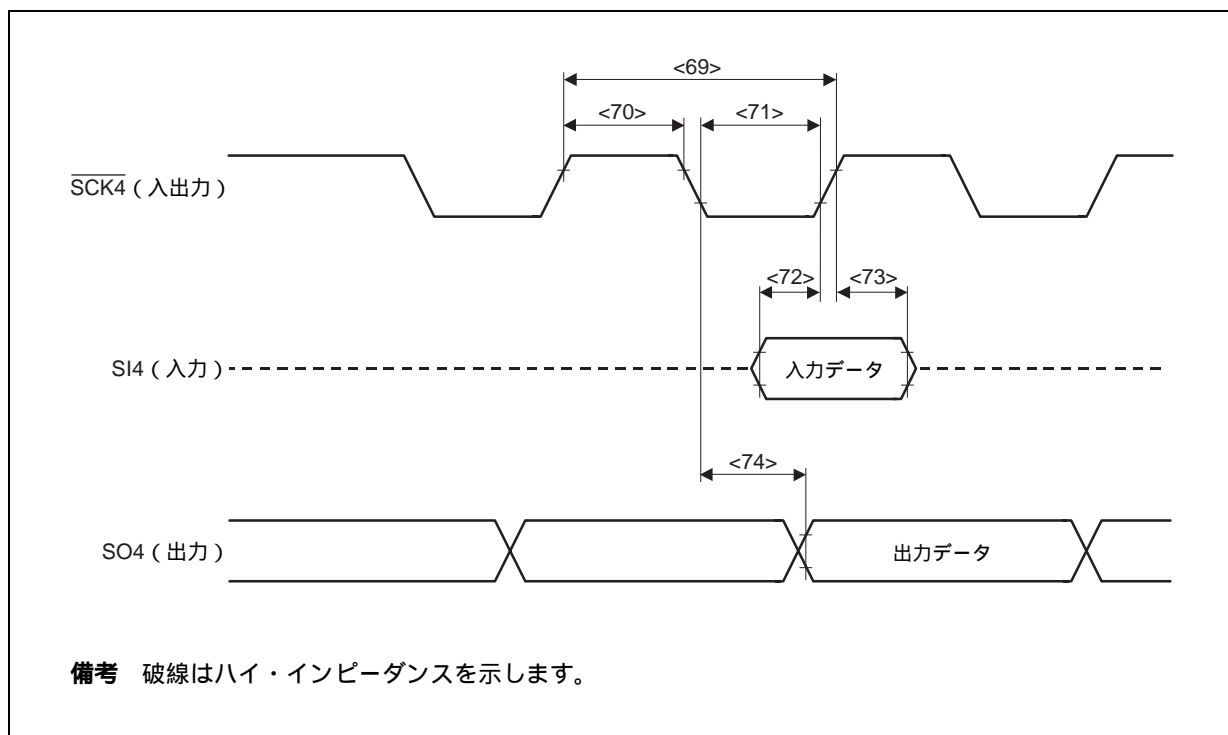
2. $PORTV_{DD} = 3.0 \sim 4.0 V$

(b) スレーブ・モード

項目	略号	条件	MIN.	MAX.	単位
SCK4周期	<69>	t _{KCY2}	注1	200	ns
			注2	400	ns
SCK4ハイ・レベル幅	<70>	t _{KH2}	注1	60	ns
			注2	140	ns
SCK4ロウ・レベル幅	<71>	t _{KL2}	注1	60	ns
			注2	140	ns
SI4設定時間 (対SCK4)	<72>	t _{SIK2}	注1	25	ns
			注2	50	ns
SI4保持時間 (対SCK4)	<73>	t _{KSI2}	20		ns
SO4出力遅延時間 (対SCK4)	<74>	t _{KSO2}	注1		70
			注2		120

注1. $PORTV_{DD} = 4.0 \sim 5.5 V$

2. $PORTV_{DD} = 3.0 \sim 4.0 V$



(10) 3線式シリアル・インタフェース (CSI5, CSI6) タイミング

($T_A = -40 \sim +85$, $PORTV_{DD} = 3.0 \sim 5.5 V$,

$\mu PD703068Y, 703069Y, 703088Y, 703089Y : V_{DD} = 3.5 \sim 5.5 V, \mu PD70F3089Y : V_{DD} = 4.0 \sim 5.5 V$)

(a) マスタ・モード

項目	略号	条件	MIN.	MAX.	単位	
SCK \bar{n} 周期	<75>	t _{KCY1}	注1	200		ns
			注2	400		ns
SCK \bar{n} ハイ・レベル幅	<76>	t _{KH1}	注1	60		ns
			注2	140		ns
SCK \bar{n} ロウ・レベル幅	<77>	t _{KL1}	注1	60		ns
			注2	140		ns
SI \bar{n} 設定時間 (対SCK \bar{n})	<78>	t _{SIK1}	注1	30		ns
			注2	60		ns
SI \bar{n} 保持時間 (対SCK \bar{n})	<79>	t _{KSI1}	30		ns	
SO \bar{n} 出力遅延時間 (対SCK \bar{n})	<80>	t _{KSO1}		55	ns	

注1. $PORTV_{DD} = 4.0 \sim 5.5 V$

2. $PORTV_{DD} = 3.0 \sim 4.0 V$

備考 n = 5, 6

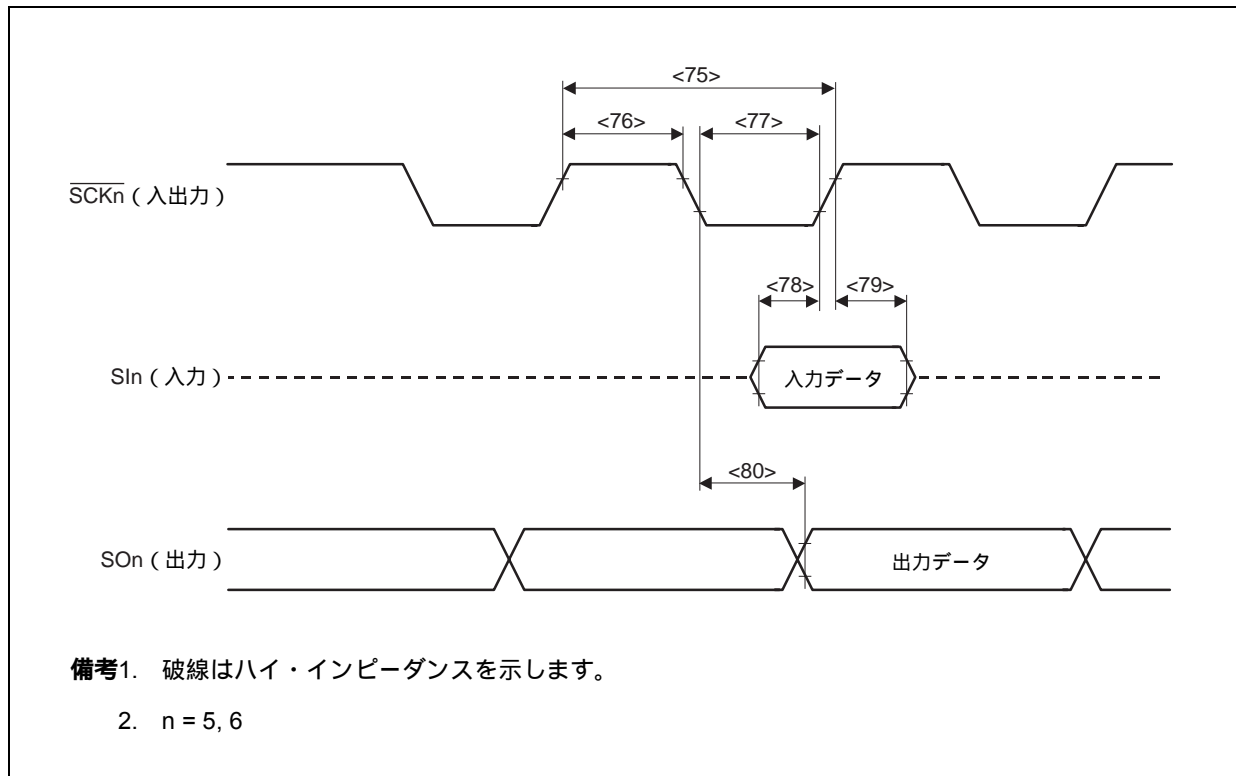
(b) スレーブ・モード

項目	略号	条件	MIN.	MAX.	単位	
SCK \bar{n} 周期	<75>	t _{KCY2}	注1	200		ns
			注2	400		ns
SCK \bar{n} ハイ・レベル幅	<76>	t _{KH2}	注1	60		ns
			注2	140		ns
SCK \bar{n} ロウ・レベル幅	<77>	t _{KL2}	注1	60		ns
			注2	140		ns
SI \bar{n} 設定時間 (対SCK \bar{n})	<78>	t _{SIK2}	注1	50		ns
			注2	100		ns
SI \bar{n} 保持時間 (対SCK \bar{n})	<79>	t _{KSI2}	50		ns	
SO \bar{n} 出力遅延時間 (対SCK \bar{n})	<80>	t _{KSO2}	注1		70	ns
			注2		120	ns

注1. $PORTV_{DD} = 4.0 \sim 5.5 V$

2. $PORTV_{DD} = 3.0 \sim 4.0 V$

備考 n = 5, 6



(11) I²Cバス・インタフェース (I²C0, I²C1) タイミング

(T_A = -40 ~ +85 , PORTV_{DD} = 3.0 ~ 5.5 V ,

μ PD703068Y, 703069Y, 703088Y, 703089Y : V_{DD} = 3.5 ~ 5.5 V, μ PD70F3089Y : V_{DD} = 4.0 ~ 5.5 V)

項目	略号		標準モード		高速モード		単位	
			MIN.	MAX.	MIN.	MAX.		
SCLnクロック周波数	-	f _{CLK}	0	100	0	400	kHz	
バス・フリー・タイム (ストップ・スタート・コンディション間)	<81>	t _{BUF}	4.7	-	1.3	-	μs	
ホールド時間 ^{注1}	<82>	t _{HD:STA}	4.0	-	0.6	-	μs	
SCLnクロックのロウ・レベル幅	<83>	t _{LOW}	4.7	-	1.3	-	μs	
SCLnクロックのハイ・レベル幅	<84>	t _{HIGH}	4.0	-	0.6	-	μs	
スタート/リスタート・コンディション・セットアップ時間	<85>	t _{SU:STA}	4.7	-	0.6	-	μs	
データ・ ホールド時間	CBUS互換マスタの場合 I ² Cモードの場合	<86>	t _{HD:DAT}	5.0	-	-	-	μs
			0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}	μs	
データ・セットアップ時間	<87>	t _{SU:DAT}	250	-	100 ^{注4}	-	ns	
SDAnおよびSCLn信号の立ち上がり時間	<88>	t _r	-	1000	20 + 0.1Cb ^{注5}	300	ns	
SDAnおよびSCLn信号の立ち下がり時間	<89>	t _f	-	300	20 + 0.1Cb ^{注5}	300	ns	
ストップ・コンディション・セットアップ時間	<90>	t _{SU:STO}	4.0	-	0.6	-	μs	
入力フィルタによって抑制されるスパイクの パルス幅	<91>	t _{SP}	-	-	0	50	ns	
各バス・ラインの容量性負荷	-	C _b	-	400	-	400	pF	

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

- 装置はSCLnの立ち下がり端の未定義領域を埋めるために (SCLn信号のV_{IHmin.}での), SDAn信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
- 装置がSCLn信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD:DAT}) のみ満たすことが必要です。
- 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次に示す条件を満たすようにしてください。

・装置がSCLn信号のロウ状態ホールド時間を延長しない場合

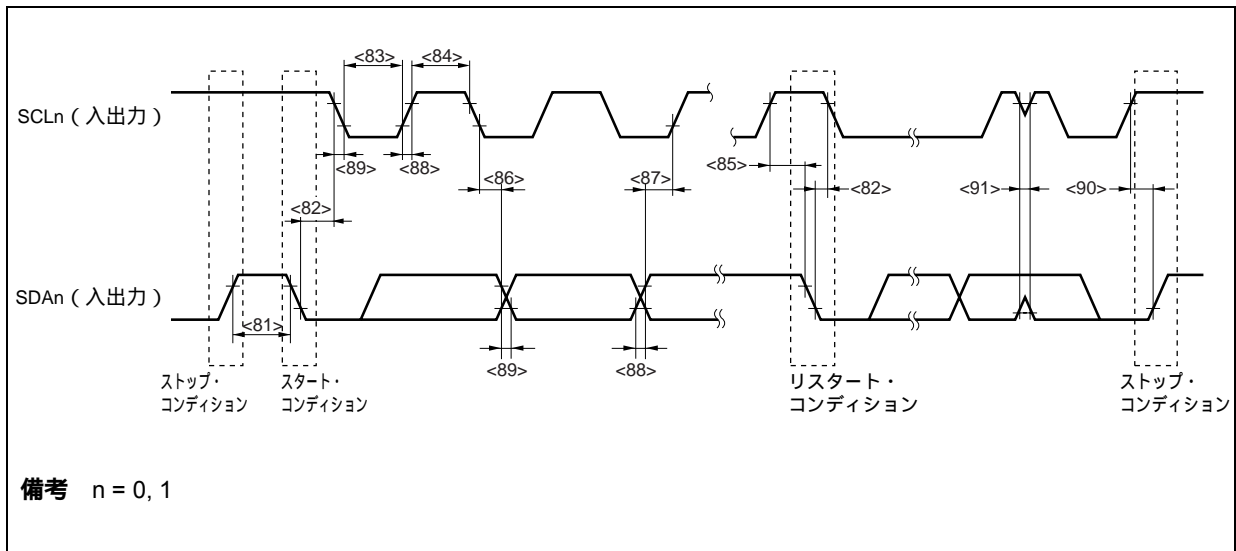
$$t_{SU:DAT} = 250 \text{ ns}$$

・装置がSCLn信号のロウ状態ホールド時間を延長する場合

SCLnラインが解放される (t_{rmax.} + t_{SU:DAT} = 1000 + 250 = 1250 ns : 標準モードI²Cバス仕様) 前に、次のデータ・ビットをSDAnラインに送出してください。

- C_b : 1つのバス・ラインの合計キャパシタンス (単位 : pF)

備考 n = 0, 1



A/Dコンバータ特性 ($T_A = -40 \sim +85$, $V_{DD} = ADCV_{DD} = 4.5 \sim 5.5$ V, $GND = AD CGND = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	-		10	10	10	bit
総合誤差 ^{注1}	-				± 1.0	%FSR
変換時間	t _{CONV}		5		10	μs
ゼロスケール誤差 ^{注1}	AINL				± 0.4	%FSR
フルスケール誤差 ^{注1}	AINL				± 0.6	%FSR
積分直線性誤差 ^{注2}	INL				± 6.0	LSB
微分直線性誤差 ^{注2}	DNL				± 6.0	LSB
アナログ電源電圧	AV _{DD}		4.5		5.5	V
アナログ入力電圧	V _{IAN}		0		ADCV _{DD}	V
ADCV _{DD} 電流	I _{ADD}			4	8	mA

注1. 量子化誤差 (± 0.05 %FSR) は含みません。

2. 量子化誤差 (± 0.5 LSB) は含みません。

備考 LSB : Least Significant Bit

FSR : Full Scale Range

レギュレータ, パワーオン・クリア回路, 4.5 V検出フラグ特性

($T_A = -40 \sim +85$,

μ PD703068Y, 703069Y, 703088Y, 703089Y : $V_{DD} = 3.5 \sim 5.5$ V, μ PD70F3089Y : $V_{DD} = 4.0 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CPUREG出力電圧	V _{REG}	1 μFコンデンサ接続時	3.0	3.3	3.6	V
POC回路検出電圧	V _{POCH}	CPU動作	2.7	3.0	3.3	V
	V _{POCL}	STOPモード時	1.5	1.8	2.1	V
VM45フラグ設定電圧	VM45		3.7	4.1	4.5	V

フラッシュ・メモリ・プログラミング・モード (μ PD70F3089Yのみ)基本特性 ($T_A = -20 \sim +85$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{DD} 電源電圧	V _{DD}		4.5		5.5	V
V _{PP} 電源電圧	V _{PP0}	通常動作時	0		0.6	V
	V _{PP1}	フラッシュ・メモリ・プログラミング時	7.5	7.8	8.1	V
V _{PP} 書き込み電源電流	I _{PPW}	V _{PP} = V _{PP1}			50	mA
V _{PP} 消去電源電流	I _{PPE}	V _{PP} = V _{PP1}			100	mA
ステップ消去時間	t _{ER}		0.2	0.2	0.2	s
1エリアあたり総消去時間	t _{ERA}	注1			20	s/ エリア
1エリアあたり書き換え回数	C _{ERWR}	消去1回 + 消去後の書き込み1回 = 書き換え1回とする, 注2	100			回/ エリア

注1. 消去前のプリライトおよび消去ベリファイ時間(ライトバック時間)は含まれません。

- 出荷品に対する初回書き込み時, 「消去 書き込み」の場合も「書き込みのみ」の場合も, 書き換え1回となります。

例 (P:書き込み E:消去)

出荷品 - - - - - P E P E P : 書き換え回数3回

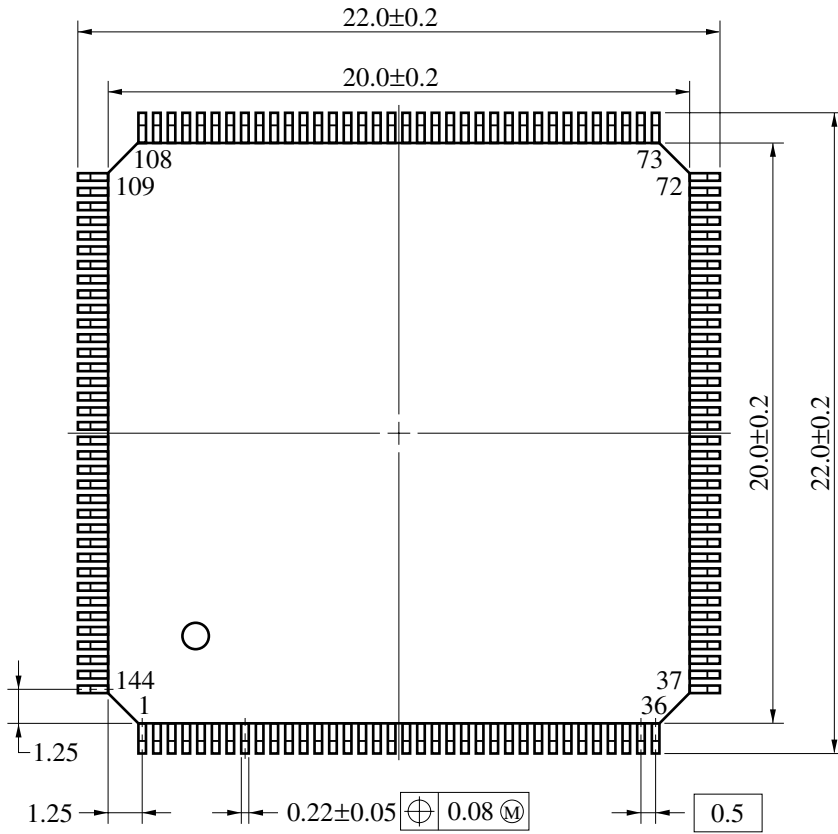
出荷品 E P E P E P : 書き換え回数3回

備考1. フラッシュ・メモリ・プログラミング時の動作クロック範囲は, 通常動作時と同じです。

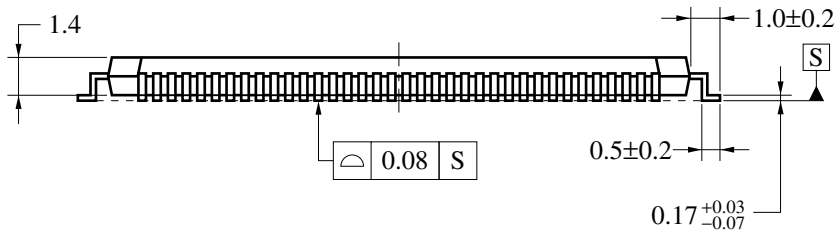
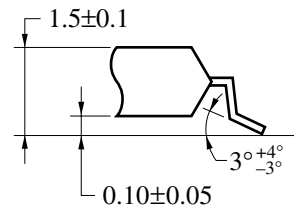
- PG-FP3使用時は, パラメータ・ファイルのダウンロードによって書き込み/消去に必要な時間パラメータが自動設定されます。特に指示のない場合は設定値の変更は行わないでください。
- エリア0 = 00000H-1FFFFH, エリア1 = 20000H-3FFFFH, エリア2 = 40000H-5FFFFH, エリア3 = 60000H-7FFFFH

第21章 外形図

144ピン・プラスチック LQFP (ファインピッチ)(20x20) 外形図 (単位 : mm)



端子先端形状詳細図



S144GJ-50-UEN

★

第22章 半田付け推奨条件

未 定

付録A レジスタ索引

(1/9)

略号	名称	ユニット	ページ
ADCR	A/D変換結果レジスタ	ADC	455
ADCRH	A/D変換結果レジスタH (上位8ビット)	ADC	455
ADIC	割り込み制御レジスタ	ADC	230
ADM1	A/Dコンバータ・モード・レジスタ1	ADC	456
ADM2	A/Dコンバータ・モード・レジスタ2	ADC	458
ADS	アナログ入力チャンネル指定レジスタ	ADC	458
ASIM0	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	UART	436
ASIM1	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	UART	436
ASIM2	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	UART	436
ASIM3	アシンクロナス・シリアル・インタフェース・モード・レジスタ3	UART	436
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	UART	437
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	UART	437
ASIS2	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	UART	437
ASIS3	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ3	UART	437
BCC	バス・サイクル・コントロール・レジスタ	BCU	203
BCR	IEBusコントロール・レジスタ	IEBus	523
BRGC0	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRG	438
BRGC1	ポー・レート・ジェネレータ・コントロール・レジスタ1	BRG	438
BRGC2	ポー・レート・ジェネレータ・コントロール・レジスタ2	BRG	438
BRGC3	ポー・レート・ジェネレータ・コントロール・レジスタ3	BRG	438
BRGCK4	ポー・レート出力クロック選択レジスタ4	BRG	335
BRGCN4	ポー・レート・ジェネレータ・ソース・クロック選択レジスタ4	BRG	334
BRGMC00	ポー・レート・ジェネレータ・モード・コントロール・レジスタ00	BRG	439
BRGMC01	ポー・レート・ジェネレータ・モード・コントロール・レジスタ01	BRG	439
BRGMC10	ポー・レート・ジェネレータ・モード・コントロール・レジスタ10	BRG	439
BRGMC11	ポー・レート・ジェネレータ・モード・コントロール・レジスタ11	BRG	439
BRGMC20	ポー・レート・ジェネレータ・モード・コントロール・レジスタ20	BRG	439
BRGMC21	ポー・レート・ジェネレータ・モード・コントロール・レジスタ21	BRG	439
BRGMC30	ポー・レート・ジェネレータ・モード・コントロール・レジスタ30	BRG	439
BRGMC31	ポー・レート・ジェネレータ・モード・コントロール・レジスタ31	BRG	439
C1BA	CAN1バス・アクティブ・レジスタ	FCAN	621
C1BRP	CAN1ビット・レート・プリスケラ・レジスタ	FCAN	622
C1CTRL	CAN1コントロール・レジスタ	FCAN	609
C1DEF	CAN1定義レジスタ	FCAN	613
C1DINF	CAN1バス診断情報レジスタ	FCAN	625
C1ERC	CAN1エラー・カウント・レジスタ	FCAN	618
C1IE	CAN1割り込み許可レジスタ	FCAN	619
C1INTP	CAN1割り込み保留レジスタ	FCAN	595
C1LAST	CAN1情報レジスタ	FCAN	617

略号	名称	ユニット	ページ
C1MASKH0	CAN1アドレス・マスク0レジスタH	FCAN	607
C1MASKH1	CAN1アドレス・マスク1レジスタH	FCAN	607
C1MASKH2	CAN1アドレス・マスク2レジスタH	FCAN	607
C1MASKH3	CAN1アドレス・マスク3レジスタH	FCAN	607
C1MASKL0	CAN1アドレス・マスク0レジスタL	FCAN	607
C1MASKL1	CAN1アドレス・マスク1レジスタL	FCAN	607
C1MASKL2	CAN1アドレス・マスク2レジスタL	FCAN	607
C1MASKL3	CAN1アドレス・マスク3レジスタL	FCAN	607
C1SYNC	CAN1同期コントロール・レジスタ	FCAN	626
C2BA	CAN2バス・アクティブ・レジスタ	FCAN	621
C2BRP	CAN2ビット・レート・プリスケラ・レジスタ	FCAN	622
C2CTRL	CAN2コントロール・レジスタ	FCAN	609
C2DEF	CAN2定義レジスタ	FCAN	613
C2DINF	CAN2バス診断情報レジスタ	FCAN	625
C2ERC	CAN2エラー・カウント・レジスタ	FCAN	618
C2IE	CAN2割り込み許可レジスタ	FCAN	619
C2INTP	CAN2割り込み保留レジスタ	FCAN	595
C2LAST	CAN2情報レジスタ	FCAN	617
C2MASKH0	CAN2アドレス・マスク0レジスタH	FCAN	607
C2MASKH1	CAN2アドレス・マスク1レジスタH	FCAN	607
C2MASKH2	CAN2アドレス・マスク2レジスタH	FCAN	607
C2MASKH3	CAN2アドレス・マスク3レジスタH	FCAN	607
C2MASKL0	CAN2アドレス・マスク0レジスタL	FCAN	607
C2MASKL1	CAN2アドレス・マスク1レジスタL	FCAN	607
C2MASKL2	CAN2アドレス・マスク2レジスタL	FCAN	607
C2MASKL3	CAN2アドレス・マスク3レジスタL	FCAN	607
C2SYNC	CAN2同期コントロール・レジスタ	FCAN	626
CANIC1	割り込み制御レジスタ	INTC	230
CANIC2	割り込み制御レジスタ	INTC	230
CANIC3	割り込み制御レジスタ	INTC	230
CANIC4	割り込み制御レジスタ	INTC	230
CANIC5	割り込み制御レジスタ	INTC	230
CANIC6	割り込み制御レジスタ	INTC	230
CANIC7	割り込み制御レジスタ	INTC	230
CCINTP	CAN割り込み保留レジスタ	FCAN	593
CCR	IEBus伝送カウンタ	IEBus	543
CDR	IEBusコントロール・データ・レジスタ	IEBus	527
CGCS	CANメイン・クロック選択レジスタ	FCAN	602
CGIE	CANグローバル割り込み許可レジスタ	FCAN	601
CGINTP	CANグローバル割り込み保留レジスタ	FCAN	594
CGMSR	CANメッセージ検索結果レジスタ	FCAN	605
CGMSS	CANメッセージ検索開始レジスタ	FCAN	605
CGST	CANグローバル・ステータス・レジスタ	FCAN	598
CGTSC	CANタイム・スタンプ・カウント・レジスタ	FCAN	604

略号	名称	ユニット	ページ
CORAD0	コレクション・アドレス・レジスタ0	CPU	488
CORAD1	コレクション・アドレス・レジスタ1	CPU	488
CORAD2	コレクション・アドレス・レジスタ2	CPU	488
CORAD3	コレクション・アドレス・レジスタ3	CPU	488
CORCN	コレクション・コントロール・レジスタ	CPU	487
CORRQ	コレクション要求レジスタ	CPU	487
CR00	16ビット・キャプチャ/コンペア・レジスタ00	RPU	255
CR01	16ビット・キャプチャ/コンペア・レジスタ01	RPU	256
CR10	16ビット・キャプチャ/コンペア・レジスタ10	RPU	255
CR100	16ビット・キャプチャ/コンペア・レジスタ100	RPU	255
CR101	16ビット・キャプチャ/コンペア・レジスタ101	RPU	256
CR11	16ビット・キャプチャ/コンペア・レジスタ11	RPU	256
CR110	16ビット・キャプチャ/コンペア・レジスタ110	RPU	255
CR111	16ビット・キャプチャ/コンペア・レジスタ111	RPU	256
CR120	16ビット・キャプチャ/コンペア・レジスタ120	RPU	255
CR121	16ビット・キャプチャ/コンペア・レジスタ121	RPU	256
CR5	16ビット・コンペア・レジスタ5	RPU	295
CR6	16ビット・コンペア・レジスタ6	RPU	295
CR70	16ビット・キャプチャ/コンペア・レジスタ70	RPU	255
CR71	16ビット・キャプチャ/コンペア・レジスタ71	RPU	256
CR80	16ビット・キャプチャ/コンペア・レジスタ80	RPU	255
CR81	16ビット・キャプチャ/コンペア・レジスタ81	RPU	256
CR90	16ビット・キャプチャ/コンペア・レジスタ90	RPU	255
CR91	16ビット・キャプチャ/コンペア・レジスタ91	RPU	256
CRC0	キャプチャ/コンペア・コントロール・レジスタ0	RPU	259
CRC1	キャプチャ/コンペア・コントロール・レジスタ1	RPU	259
CRC10	キャプチャ/コンペア・コントロール・レジスタ10	RPU	259
CRC11	キャプチャ/コンペア・コントロール・レジスタ11	RPU	259
CRC12	キャプチャ/コンペア・コントロール・レジスタ12	RPU	259
CRC7	キャプチャ/コンペア・コントロール・レジスタ7	RPU	259
CRC8	キャプチャ/コンペア・コントロール・レジスタ8	RPU	259
CRC9	キャプチャ/コンペア・コントロール・レジスタ9	RPU	259
CSIB4	可変長シリアル設定レジスタ4	CSI	333
CSIC0	割り込み制御レジスタ	INTC	230
CSIC2	割り込み制御レジスタ	INTC	230
CSIC3	割り込み制御レジスタ	INTC	230
CSIC4	割り込み制御レジスタ	INTC	230
CSIC5	割り込み制御レジスタ	INTC	230
CSIC6	割り込み制御レジスタ	INTC	230
CSICK5	クロック同期式シリアル・インタフェース・クロック選択レジスタ5	CSI	346
CSICK6	クロック同期式シリアル・インタフェース・クロック選択レジスタ6	CSI	346
CSIM0	シリアル動作モード・レジスタ0	CSI	324
CSIM2	シリアル動作モード・レジスタ2	CSI	324
CSIM3	シリアル動作モード・レジスタ3	CSI	324

略号	名称	ユニット	ページ
CSIM4	可変長シリアル制御レジスタ4	CSI	332
CSIM5	クロック同期式シリアル・インタフェース・モード・レジスタ5	CSI	344
CSIM6	クロック同期式シリアル・インタフェース・モード・レジスタ6	CSI	344
CSIS0	シリアル・クロック選択レジスタ0	CSI	324
CSIS2	シリアル・クロック選択レジスタ2	CSI	324
CSIS3	シリアル・クロック選択レジスタ3	CSI	324
CSTOP	CANストップ・レジスタ	FCAN	597
DBC0	DMAバイト・カウント・レジスタ0	DMAC	473
DBC1	DMAバイト・カウント・レジスタ1	DMAC	473
DBC2	DMAバイト・カウント・レジスタ2	DMAC	473
DBC3	DMAバイト・カウント・レジスタ3	DMAC	473
DBC4	DMAバイト・カウント・レジスタ4	DMAC	473
DBC5	DMAバイト・カウント・レジスタ5	DMAC	473
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	474
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	474
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	474
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMAC	474
DCHC4	DMAチャンネル・コントロール・レジスタ4	DMAC	474
DCHC5	DMAチャンネル・コントロール・レジスタ5	DMAC	474
DIOA0	DMA周辺I/Oアドレス・レジスタ0	DMAC	471
DIOA1	DMA周辺I/Oアドレス・レジスタ1	DMAC	471
DIOA2	DMA周辺I/Oアドレス・レジスタ2	DMAC	471
DIOA3	DMA周辺I/Oアドレス・レジスタ3	DMAC	471
DIOA4	DMA周辺I/Oアドレス・レジスタ4	DMAC	471
DIOA5	DMA周辺I/Oアドレス・レジスタ5	DMAC	471
DLR	IEBus電文長レジスタ	IEBus	531
DMAIC0	割り込み制御レジスタ	INTC	230
DMAIC1	割り込み制御レジスタ	INTC	230
DMAIC2	割り込み制御レジスタ	INTC	230
DMAIC3	割り込み制御レジスタ	INTC	230
DMAIC4	割り込み制御レジスタ	INTC	230
DMAIC5	割り込み制御レジスタ	INTC	230
DMAS	DMA起動要因拡張レジスタ	DMAC	473
DR	IEBusデータ・レジスタ	IEBus	532
DRA0	DMA内蔵RAMアドレス・レジスタ0	DMAC	471
DRA1	DMA内蔵RAMアドレス・レジスタ1	DMAC	471
DRA2	DMA内蔵RAMアドレス・レジスタ2	DMAC	471
DRA3	DMA内蔵RAMアドレス・レジスタ3	DMAC	471
DRA4	DMA内蔵RAMアドレス・レジスタ4	DMAC	471
DRA5	DMA内蔵RAMアドレス・レジスタ5	DMAC	471
DWC	データ・ウェイト・コントロール・レジスタ	BCU	201
ECR	割り込み要因レジスタ	CPU	90
EGN0	立ち下がりエッジ指定レジスタ0	INTC	143, 223
EGN1	立ち下がりエッジ指定レジスタ1	INTC	155, 238

略号	名称	ユニット	ページ
EGP0	立ち上がりエッジ指定レジスタ0	INTC	142, 223
EGP1	立ち上がりエッジ指定レジスタ1	INTC	155, 238
IEBIC1	割り込み制御レジスタ	INTC	230
IEBIC2	割り込み制御レジスタ	INTC	230
IECLK	IEBusクロック選択レジスタ	IEBus	543
IIC0	IICシフト・レジスタ0	I ² C	372, 386
IIC1	IICシフト・レジスタ1	I ² C	372, 386
IICC0	IICコントロール・レジスタ0	I ² C	374
IICC1	IICコントロール・レジスタ1	I ² C	374
IICCE0	IICクロック拡張レジスタ0	I ² C	384
IICCE1	IICクロック拡張レジスタ1	I ² C	384
IICCL0	IICクロック選択レジスタ0	I ² C	384
IICCL1	IICクロック選択レジスタ1	I ² C	384
IICF0	IICフラグ・レジスタ0	I ² C	382
IICF1	IICフラグ・レジスタ1	I ² C	382
IICS0	IIC状態レジスタ0	I ² C	379
IICS1	IIC状態レジスタ1	I ² C	379
IICX0	IIC機能拡張レジスタ0	I ² C	384
IICX1	IIC機能拡張レジスタ1	I ² C	384
ISPR	インサース・プライオリティ・レジスタ	INTC	233
ISR	IEBusインタラプト・ステータス・レジスタ	IEBus	536
KRIC	割り込み制御レジスタ	INTC	230
KRM	キー・リターン・モード・レジスタ	KR	250
MAM	メモリ・アドレス出力モード・レジスタ	ポート	106
MM	メモリ拡張モード・レジスタ	ポート	105
M_CONF00- M_CONF31	CANメッセージ構成レジスタ00-31	FCAN	587
M_CTRL00- M_CTRL31	CANメッセージ・コントロール・レジスタ00-31	FCAN	579
M_DATA000- M_DATA317	CANメッセージ・データ・レジスタ000-317	FCAN	583
M_DLC00- M_DLC31	CANメッセージ・データ長レジスタ00-31	FCAN	578
M_IDH00- M_IDH31	CANメッセージIDレジスタH00-H31	FCAN	585
M_IDL00- M_IDL31	CANメッセージIDレジスタL00-L31	FCAN	585
M_STAT00- M_STAT31	CANメッセージ・ステータス・レジスタ00-31	FCAN	589
M_TIME00- M_TIME31	CANメッセージ・タイム・スタンプ・レジスタ00-31	FCAN	581
NCC	ノイズ除去制御レジスタ	INTC	236
OSTS	発振安定時間選択レジスタ	WDT	126, 316, 321
P0	ポート0	ポート	140
P1	ポート1	ポート	144

略号	名称	ユニット	ページ
P10	ポート10	ポート	167
P11	ポート11	ポート	170
P12	ポート12	ポート	175
P13	ポート13	ポート	179
P14	ポート14	ポート	181
P15	ポート15	ポート	184
P17	ポート17	ポート	187
P2	ポート2	ポート	149
P3	ポート3	ポート	153
P4	ポート4	ポート	157
P5	ポート5	ポート	157
P6	ポート6	ポート	160
P7	ポート7	ポート	162
P8	ポート8	ポート	162
P9	ポート9	ポート	164
PAC	ポート兼用機能コントロール・レジスタ	ポート	172
PAC2	ポート兼用機能コントロール・レジスタ2	ポート	176
PAR	IEBus相手先アドレス・レジスタ	IEBus	527
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	123
PF1	ポート1ファンクション・レジスタ	ポート	145
PF2	ポート2ファンクション・レジスタ	ポート	150
PIC0	割り込み制御レジスタ	INTC	230
PIC1	割り込み制御レジスタ	INTC	230
PIC2	割り込み制御レジスタ	INTC	230
PIC3	割り込み制御レジスタ	INTC	230
PIC4	割り込み制御レジスタ	INTC	230
PIC5	割り込み制御レジスタ	INTC	230
PIC6	割り込み制御レジスタ	INTC	230
PIC7	割り込み制御レジスタ	INTC	230
PM0	ポート0モード・レジスタ	ポート	142
PM1	ポート1モード・レジスタ	ポート	145
PM10	ポート10モード・レジスタ	ポート	168
PM11	ポート11モード・レジスタ	ポート	171
PM12	ポート12モード・レジスタ	ポート	176
PM13	ポート13モード・レジスタ	ポート	180
PM14	ポート14モード・レジスタ	ポート	182
PM15	ポート15モード・レジスタ	ポート	185
PM17	ポート17モード・レジスタ	ポート	188
PM2	ポート2モード・レジスタ	ポート	150
PM3	ポート3モード・レジスタ	ポート	154
PM4	ポート4モード・レジスタ	ポート	158
PM5	ポート5モード・レジスタ	ポート	158
PM6	ポート6モード・レジスタ	ポート	161
PM9	ポート9モード・レジスタ	ポート	165

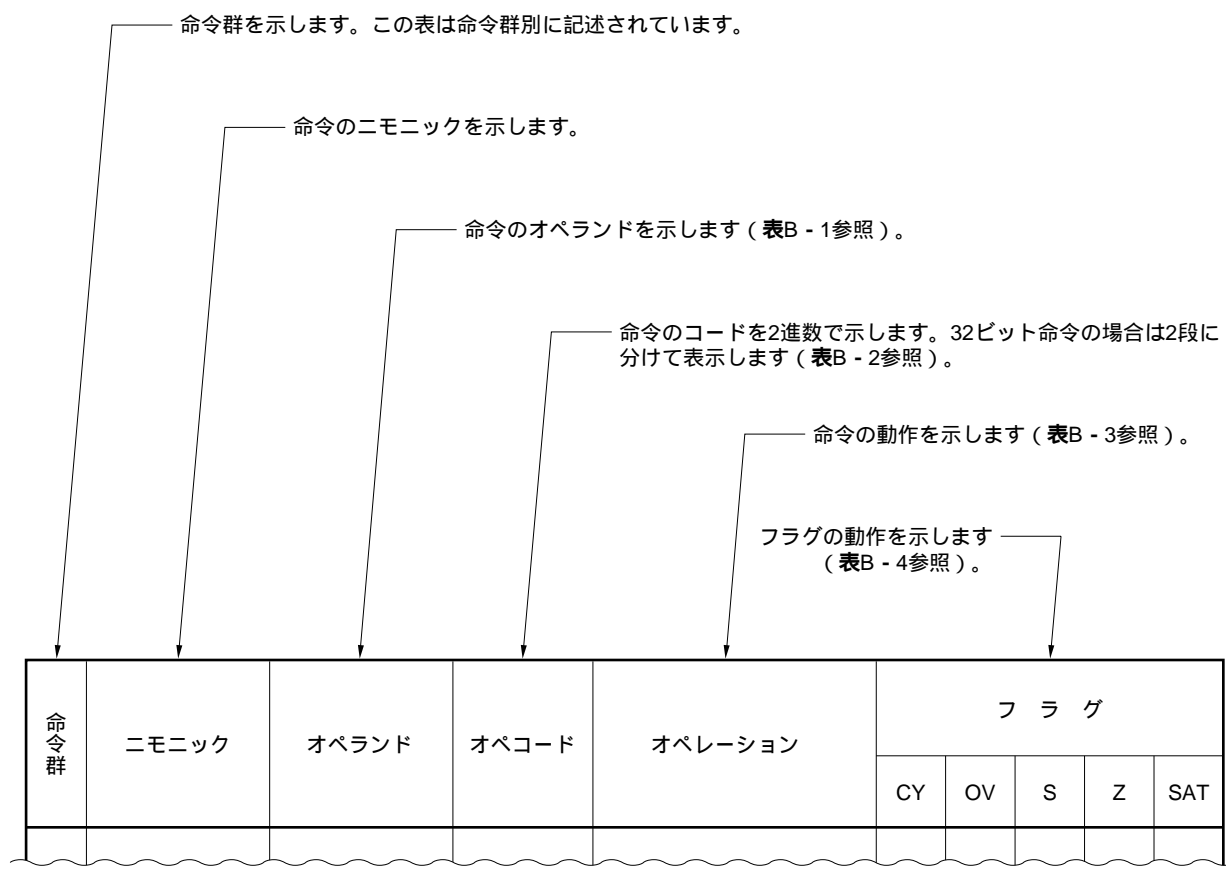
略号	名称	ユニット	ページ
POCC	POCコントロール・レジスタ	リセット	484
POCS	POCステータス・レジスタ	リセット	483
PRCMD	コマンド・レジスタ	CG	119
PRM00	プリスケラ・モード・レジスタ00	RPU	261
PRM01	プリスケラ・モード・レジスタ01	RPU	261
PRM10	プリスケラ・モード・レジスタ10	RPU	263
PRM100	プリスケラ・モード・レジスタ100	RPU	265
PRM101	プリスケラ・モード・レジスタ101	RPU	265
PRM11	プリスケラ・モード・レジスタ11	RPU	263
PRM110	プリスケラ・モード・レジスタ110	RPU	267
PRM111	プリスケラ・モード・レジスタ111	RPU	267
PRM120	プリスケラ・モード・レジスタ120	RPU	265
PRM121	プリスケラ・モード・レジスタ121	RPU	265
PRM70	プリスケラ・モード・レジスタ70	RPU	263
PRM71	プリスケラ・モード・レジスタ71	RPU	263
PRM80	プリスケラ・モード・レジスタ80	RPU	265
PRM81	プリスケラ・モード・レジスタ81	RPU	265
PRM90	プリスケラ・モード・レジスタ90	RPU	267
PRM91	プリスケラ・モード・レジスタ91	RPU	267
PSC	パワー・セーブ・コントロール・レジスタ	CG	125
PSW	プログラム・ステータス・ワード	CPU	91
PU10	ブルアップ抵抗オプション・レジスタ10	ポート	168
RXB0	受信バッファ・レジスタ0	UART	434
RXB1	受信バッファ・レジスタ1	UART	434
RXB2	受信バッファ・レジスタ2	UART	434
RXB3	受信バッファ・レジスタ3	UART	434
SAR	IEBusスレーブ・アドレス・レジスタ	IEBus	526
SCR	IEBus通信成功カウンタ	IEBus	542
SC_STAT00- SC_STAT31	CANステータス・セット/クリア・レジスタ00-31	FCAN	591
SIO0	シリアルI/Oシフト・レジスタ0	CSI	323
SIO2	シリアルI/Oシフト・レジスタ2	CSI	323
SIO3	シリアルI/Oシフト・レジスタ3	CSI	323
SIO4	可変長シリアルI/Oシフト・レジスタ4	CSI	330
SIO5	シリアルI/Oシフト・レジスタ5	CSI	351
SIO6	シリアルI/Oシフト・レジスタ6	CSI	351
SIOL5	シリアルI/Oシフト・レジスタL5	CSI	352
SIOL6	シリアルI/Oシフト・レジスタL6	CSI	352
SIRB5	クロック同期式シリアル・インタフェース受信バッファ・レジスタ5	CSI	347
SIRB6	クロック同期式シリアル・インタフェース受信バッファ・レジスタ6	CSI	347
SIRBE5	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ5	CSI	348
SIRBE6	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ6	CSI	348
SIRBEL5	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL5	CSI	348
SIRBEL6	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL6	CSI	348

略号	名称	ユニット	ページ
SIRBL5	クロック同期式シリアル・インタフェース受信バッファ・レジスタL5	CSI	347
SIRBL6	クロック同期式シリアル・インタフェース受信バッファ・レジスタL6	CSI	347
SOTB5	クロック同期式シリアル・インタフェース送信バッファ・レジスタ5	CSI	349
SOTB6	クロック同期式シリアル・インタフェース送信バッファ・レジスタ6	CSI	349
SOTBF5	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ5	CSI	350
SOTBF6	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ6	CSI	350
SOTBFL5	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL5	CSI	351
SOTBFL6	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL6	CSI	351
SOTBL5	クロック同期式シリアル・インタフェース送信バッファ・レジスタL5	CSI	350
SOTBL6	クロック同期式シリアル・インタフェース送信バッファ・レジスタL6	CSI	350
SRIC2	割り込み制御レジスタ	INTC	230
SRIC3	割り込み制御レジスタ	INTC	230
SSR	IEBusスレーブ・ステータス・レジスタ	IEBus	541
STIC0	割り込み制御レジスタ	INTC	230
STIC1	割り込み制御レジスタ	INTC	230
STIC2	割り込み制御レジスタ	INTC	230
STIC3	割り込み制御レジスタ	INTC	230
SVA0	スレーブ・アドレス・レジスタ0	I ² C	372, 386
SVA1	スレーブ・アドレス・レジスタ1	I ² C	372, 386
SYC	システム制御レジスタ	ポート	197
SYS	システム・ステータス・レジスタ	CG	119
TCL50	タイマ・クロック選択レジスタ50	RPU	296
TCL51	タイマ・クロック選択レジスタ51	RPU	296
TCL60	タイマ・クロック選択レジスタ60	RPU	296
TCL61	タイマ・クロック選択レジスタ61	RPU	296
TM0	16ビット・タイマ・レジスタ0	RPU	254
TM1	16ビット・タイマ・レジスタ1	RPU	254
TM10	16ビット・タイマ・レジスタ10	RPU	254
TM11	16ビット・タイマ・レジスタ11	RPU	254
TM12	16ビット・タイマ・レジスタ12	RPU	254
TM5	16ビット・カウンタ5	RPU	295
TM6	16ビット・カウンタ6	RPU	295
TM7	16ビット・タイマ・レジスタ7	RPU	254
TM8	16ビット・タイマ・レジスタ8	RPU	254
TM9	16ビット・タイマ・レジスタ9	RPU	254
TMC0	16ビット・タイマ・モード・コントロール・レジスタ0	RPU	257
TMC1	16ビット・タイマ・モード・コントロール・レジスタ1	RPU	257
TMC10	16ビット・タイマ・モード・コントロール・レジスタ10	RPU	257
TMC11	16ビット・タイマ・モード・コントロール・レジスタ11	RPU	257
TMC12	16ビット・タイマ・モード・コントロール・レジスタ12	RPU	257
TMC50	タイマ・モード・コントロール・レジスタ50	RPU	299
TMC60	タイマ・モード・コントロール・レジスタ60	RPU	299
TMC7	16ビット・タイマ・モード・コントロール・レジスタ7	RPU	257
TMC8	16ビット・タイマ・モード・コントロール・レジスタ8	RPU	257

略号	名称	ユニット	ページ
TMC9	16ビット・タイマ・モード・コントロール・レジスタ9	RPU	257
TMIC00	割り込み制御レジスタ	INTC	230
TMIC01	割り込み制御レジスタ	INTC	230
TMIC10	割り込み制御レジスタ	INTC	230
TMIC100	割り込み制御レジスタ	INTC	230
TMIC101	割り込み制御レジスタ	INTC	230
TMIC11	割り込み制御レジスタ	INTC	230
TMIC110	割り込み制御レジスタ	INTC	230
TMIC111	割り込み制御レジスタ	INTC	230
TMIC120	割り込み制御レジスタ	INTC	230
TMIC121	割り込み制御レジスタ	INTC	230
TMIC5	割り込み制御レジスタ	INTC	230
TMIC6	割り込み制御レジスタ	INTC	230
TMIC70	割り込み制御レジスタ	INTC	230
TMIC71	割り込み制御レジスタ	INTC	230
TMIC80	割り込み制御レジスタ	INTC	230
TMIC81	割り込み制御レジスタ	INTC	230
TMIC90	割り込み制御レジスタ	INTC	230
TMIC91	割り込み制御レジスタ	INTC	230
TOC0	タイマ出力コントロール・レジスタ0	RPU	260
TOC1	タイマ出力コントロール・レジスタ1	RPU	260
TOC10	タイマ出力コントロール・レジスタ10	RPU	260
TOC11	タイマ出力コントロール・レジスタ11	RPU	260
TOC12	タイマ出力コントロール・レジスタ12	RPU	260
TOC7	タイマ出力コントロール・レジスタ7	RPU	260
TOC8	タイマ出力コントロール・レジスタ8	RPU	260
TOC9	タイマ出力コントロール・レジスタ9	RPU	260
TXS0	送信シフト・レジスタ0	UART	434
TXS1	送信シフト・レジスタ1	UART	434
TXS2	送信シフト・レジスタ2	UART	434
TXS3	送信シフト・レジスタ3	UART	434
UAR	IEBus自局アドレス・レジスタ	IEBus	526
USR	IEBusユニット・ステータス・レジスタ	IEBus	533
VM45C	VM45コントロール・レジスタ	リセット	484
WDCS	ウォッチドッグ・タイマ・クロック選択レジスタ	WDT	317
WDTIC	割り込み制御レジスタ	INTC	230
WDTM	ウォッチドッグ・タイマ・モード・レジスタ	WDT	235, 318
WTNCS	時計用タイマ・クロック選択レジスタ	WT	311
WTNHC	時計用タイマ高速クロック選択レジスタ	WT	311
WTNIC	割り込み制御レジスタ	INTC	230
WTNIC	割り込み制御レジスタ	INTC	230
WTNM	時計用タイマ・モード・レジスタ	WT	310

付録B 命令セット一覧

・命令セット一覧表の読み方



表B - 1 オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (r0-r31) : ソース・レジスタとして使用する。
reg2	汎用レジスタ (r0-r31) : おもにデスティネーション・レジスタとして使用する。
ep	エレメント・ポインタ (r30)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト
disp x	xビット・ディスプレイスメント
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ

表B - 2 オペコード欄に使われる略号

略号	意味
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
d	ディスプレースメントの1ビット分データ
i	イミディエートの1ビット分データ
cccc	条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定3ビット・データ

表B - 3 オペレーション欄に使われる略号

略号	意味
	代入
GR[]	汎用レジスタ
SR[]	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレスaから、サイズbのデータを読み出す。
store-memory (a, b, c)	アドレスaに、データbをサイズcで書き込む。
load-memory-bit (a, b)	アドレスaのビットbを読み出す。
store-memory-bit (a, b, c)	アドレスaのビットbにcを書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果、 n 7FFFFFFFHとなった場合、7FFFFFFFHとする。 n 80000000Hとなった場合、80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Halfword	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

表B - 4 フラグの動作

識別子	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる
R	以前に退避した値がリストアされる

表B - 5 条件コード

条件名 (cond)	条件コード (cccc)	条件式	説明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower (Less than)
NC/NL	1001	$CY = 0$	No carry No lower (Greater than or equal)
Z/E	0010	$Z = 1$	Zero Equal
NZ/NE	1010	$Z = 0$	Not zero Not equal
NH	0011	$(CY OR Z) = 1$	Not higher (Less than or equal)
H	1011	$(CY OR Z) = 0$	Higher (Greater than)
N	0100	$S = 1$	Negative
P	1100	$S = 0$	Positive
T	0101	-	Always (無条件)
SA	1101	$SAT = 1$	Saturated
LT	0110	$(S XOR OV) = 1$	Less than signed
GE	1110	$(S XOR OV) = 0$	Greater than or equal signed
LE	0111	$((S XOR OV) OR Z) = 1$	Less than or equal signed
GT	1111	$((S XOR OV) OR Z) = 0$	Greater than signed

命令セット一覧表

命令群	ニモニック	オペランド	オペコード	オペレーション	フラグ				
					CY	OV	S	Z	SAT
ロード/ストア命令	SLD.B	disp7[ep], reg2	rrrrr0110ddddddd	adr ep + zero-extend(disp7) GR[reg2] sign-extend(Load-memory(adr, Byte))					
	SLD.H	disp8[ep], reg2	rrrrr1000ddddddd 注1	adr ep + zero-extend(disp8) GR[reg2] sign-extend(Load-memory(adr, Halfword))					
	SLD.W	disp8[ep], reg2	rrrrr1010ddddddd0 注2	adr ep + zero-extend(disp8) GR[reg2] Load-memory(adr, Word)					
	LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) GR[reg2] sign-extend(Load-memory(adr, Byte))					
	LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend(disp16) GR[reg2] sign-extend(Load-memory(adr, Halfword))					
	LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) GR[reg2] Load-memory(adr, Word)					
	SST.B	reg2, disp7[ep]	rrrrr0111ddddddd	adr ep + zero-extend(disp7) Store-memory(adr, GR[reg2], Byte)					
	SST.H	reg2, disp8[ep]	rrrrr1001ddddddd 注1	adr ep + zero-extend(disp8) Store-memory(adr, GR[reg2], Halfword)					
	SST.W	reg2, disp8[ep]	rrrrr1010ddddddd1 注2	adr ep + zero-extend(disp8) Store-memory(adr, GR[reg2], Word)					
	ST.B	reg2, disp16[reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Store-memory(adr, GR[reg2], Byte)					
	ST.H	reg2, disp16[reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend(disp16) Store-memory(adr, GR[reg2], Halfword)					
	ST.W	reg2, disp16[reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory(adr, GR[reg2], Word)					
算術演算命令	MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2] GR[reg1]					
	MOV	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend(imm5)					
	MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)					
	MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend(imm16)					
	ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	x	x	x	x	
	ADD	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend(imm5)	x	x	x	x	
	ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend(imm16)	x	x	x	x	
	SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	x	x	x	x		

- 注1. ddddddd = disp8の上位7ビット
- 2. ddddddd = disp8の上位6ビット
- 3. ddddddddddddddd = disp16の上位15ビット

命令群	二モニック	オペランド	オペコード	オペレーション	フラグ				
					CY	OV	S	Z	SAT
算術演算命令	MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ^注 × GR[reg1] ^注 (符号付き乗算)					
	MULH	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] ^注 × sign-extend(imm5) (符号付き乗算)					
	MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ^注 × imm16 (符号付き乗算)					
	DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] ^注 (符号付き除算)		x	x	x	
	CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	x	x	x	x	
	CMP	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend(imm5)	x	x	x	x	
	SETF	cccc, reg2	rrrrr1111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 00000001H else GR[reg2] 00000000H					
飽和演算命令	SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated(GR[reg2] + GR[reg1])	x	x	x	x	x
	SATADD	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated(GR[reg2] + sign-extend(imm5))	x	x	x	x	x
	SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated(GR[reg2] - GR[reg1])	x	x	x	x	x
	SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated(GR[reg1] - sign-extend(imm16))	x	x	x	x	x
	SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated(GR[reg1] - GR[reg2])	x	x	x	x	x
論理演算命令	TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]		0	x	x	
	OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]		0	x	x	
	ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend(imm16)		0	x	x	
	AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]		0	x	x	
	ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend(imm16)		0	0	x	
	XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]		0	x	x	
	XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend(imm16)		0	x	x	
	NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT(GR[reg1])		0	x	x	
	SHL	reg1, reg2	rrrrr111111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	x	0	x	x	
	SHL	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend(imm5)	x	0	x	x	
	SHR	reg1, reg2	rrrrr111111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	x	0	x	x	
	SHR	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend(imm5)	x	0	x	x	
	SAR	reg1, reg2	rrrrr111111RRRRR 0000000010100000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	x	0	x	x	
SAR	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend(imm5)	x	0	x	x		

注 下位ハーフワード・データのみ有効

命令群	二モニック	オペランド	オペコード	オペレーション	フラグ				
					CY	OV	S	Z	SAT
分岐命令	JMP	[reg1]	00000000011RRRRR	PC GR[reg1]					
	JR	disp22	0000011110dddddd ddddddddddddddd0 注1	PC PC + sign-extend(disp22)					
	JARL	disp22, reg2	rrrrr11110dddddd ddddddddddddddd0 注1	GR[reg2] PC + 4 PC PC + sign-extend(disp22)					
	Bcond	disp9	dddd1011ddcccc 注2	if conditions are satisfied then PC PC + sign-extend(disp9)					
ビット操作命令	SET1	bit#3, disp16[reg1]	00bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3)) Store-memory-bit(adr, bit#3, 1)				×	
	CLR1	bit#3, disp16[reg1]	10bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3)) Store-memory-bit(adr, bit#3, 0)				×	
	NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3)) Store-memory-bit(adr, bit#3, Zフラグ)				×	
	TST1	bit#3, disp16[reg1]	11bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3))				×	

注1. ddddddddddddddddddd = disp22の上位21ビット

2. ddddddd = disp9の上位8ビット

命令群	ニモニック	オペランド	オペコード	オペレーション	フラグ					
					CY	OV	S	Z	SAT	
特殊命令	LDSR	reg2, regID	rrrrr111111RRRRR 0000000000100000 注	SR[regID] GR[reg2]	regID = EIPC, FEPC					
					regID = EIPSW, FEPSW					
					regID = PSW	x	x	x	x	x
	STSR	regID, reg2	rrrrr111111RRRRR 0000000000100000	GR[reg2] SR[regID]						
	TRAP	vector	000001111111iiii 0000000010000000	EIPC PC+4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 0000040H (vectorが00H-0FHのとき) 0000050H (vectorが10H-1FHのとき)						
	RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	R	R	R	R	R	
	HALT		0000011111100000 0000000100100000	停止する						
	DI		0000011111100000 0000000101100000	PSW.ID 1 (マスカブル割り込みの禁止)						
EI		1000011111100000 0000000101100000	PSW.ID 0 (マスカブル割り込みの許可)							
NOP		0000000000000000	何もせず最低1クロック費やします							

注 LDSR命令では、ニモニックの記述の都合上、ソース・レジスタをreg2としていますが、オペコード上はreg1のフィールドを使用しています。したがって、ニモニック記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。

rrrrr = regID指定 RRRRR = reg2指定

付録C 改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

(1/4)

版 数	前版からの主な改訂箇所	適用箇所	
第3版	・次の製品が開発中 開発済み μ PD703068YGJ-xxx-UEN, 703069YGJ-xxx-UEN	全般	
	・時計用タイマ高速クロック選択レジスタ (WTNHC), IICフラグ・レジスタ0, 1 (IICF0, IICF1) 追加		
	1. 4. 1 特徴 (V850/SC3) 最小命令実行時間を変更	第1章 インTRODククション	
	表2-1 各端子の入出力バッファ電源 記述変更	第2章 端子機能	
	表2-3 動作モードによる各端子の動作状態 記述変更		
	3. 4. 8 周辺I/Oレジスタ 記述変更	第3章 CPU機能	
	3. 4. 9 (2) システム・ステータス・レジスタ (SYS) 備考追加		
	4. 1 (1) メイン・クロック発振回路 V850/SC3の周波数を変更	第4章 クロック発生機能	
	4. 3. 1 (1) プロセッサ・クロック・コントロール・レジスタ (PCC) 注および注意追加, 記述変更		
	4. 3. 1 (2) パワー・セーブ・コントロール・レジスタ (PSC) DCLK1, DCLK0 ビット = 01B設定時の記述変更および注追加		
	表4-1 HALTモード時の動作状態 A16-A21端子の動作状態の記述変更		
	表4-2 IDLEモード時の動作状態 UART0-UART3の動作状態の記述変更		
	4. 4. 4 (1) 設定および動作状態 記述追加		
	表4-3 ソフトウェアSTOPモード時の動作状態 UART0-UART3の動作状態の記述変更		
	4. 6 (1) 内蔵ROM上で命令を実行しているとき 追加		
	4. 6 (2) 外部ROM上で命令を実行しているとき 注意追加		
	表5-1 各端子の入出力バッファ電源 記述変更		第5章 ポート機能
	5. 2. 8 (1) P9端子の機能 注意追加		
	表5-16 ポート端子を兼用端子として使用する場合の設定 記述追加および変更		
	5. 4 ポート機能の動作 追加		
	6. 2. 2 (1) システム制御レジスタ (SYC) (V850/SC1, V850/SC2のみ) 注および注意追加	第6章 バス制御機能	
	図7-2 ノンマスカブル割り込み要求の受け付け動作 記述変更	第7章 割り込み / 例外処理機能	
	7. 8. 1 EI命令後の割り込み要求有効タイミング 追加		
	7. 9 DMA転送時の割り込み制御レジスタのビット操作命令 追加		
	8. 1. 3 (2) キャプチャ/コンペア・レジスタn0 (CR00, CR10, CR70-CR120) 記述追加および変更	第8章 タイマ / カウンタ機能	
	8. 1. 3 (3) キャプチャ/コンペア・レジスタn1 (CR01, CR11, CR71-CR121) 記述追加および変更		
	8. 1. 4 (1) 16ビット・タイマ・モード・コントロール・レジスタ0, 1, 7-12 (TMC0, TMC1, TMC7-TMC12) 注意追加		
8. 1. 4 (2) キャプチャ/コンペア・コントロール・レジスタ0, 1, 7-12 (CRC0, CRC1, CRC7-CRC12) 注意追加			

版 数	前版からの主な改訂箇所	適用箇所
第3版	図8 - 6 PPG出力の構成図, 図8 - 7 PPG出力動作のタイミング 追加	第8章 タイマ / カウンタ機能
	8. 2. 6 (2) 外部トリガによるワンショット・パルス出力 注意記述変更	
	10. 3 (2) ウォッチドッグ・タイマ・クロック選択レジスタ (WDGS) 注意追加	第10章 ウォッチドッグ・タイマ機能
	11. 2 (2) 3線式シリアルI/Oモード (MSB先頭固定) 記述追加	第11章 シリアル・インタフェース機能
	11. 2. 2 (1) シリアル・クロック選択レジスタ _n (CSIS _n), シリアル動作モード・レジスタ _n (CSIM _n) 注意追加	
	11. 4. 3 (6) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL5, L6 (SIRBEL5, SIRBEL6) 操作可能ビットの記述変更	
	11. 4. 3 (8) クロック同期式シリアル・インタフェース送信バッファ・レジスタL5, L6 (SOTBL5, SOTBL6) 操作可能ビットの記述変更	
	11. 4. 3 (10) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL5, L6 (SOTBFL5, SOTBFL6) 操作可能ビットの記述変更	
	11. 4. 3 (12) シリアルI/Oソフト・レジスタL5, L6 (SIOL5, SIOL6) 操作可能ビットの記述変更	
	11. 5. 2 (1) IICコントロール・レジスタ0, 1 (IICC0, IICC1) 記述変更, 注記述追加	
	11. 5. 2 (4) IICクロック拡張レジスタ0, 1 (IICCE0, IICCE1), IIC機能拡張レジスタ0, 1 (IICX0, IICX1), IICクロック選択レジスタ0, 1 (IICCL0, IICCL1) 注意追加	
	11. 5. 12 (2) 通信予約機能禁止 (IICFnレジスタのIICRSV _n = 1) の場合 追加	
	11. 5. 13 注意事項 記述変更	
	11. 5. 14 (1) マスタ動作 (1) 記述変更	
	11. 5. 14 (2) マスタ動作 (2) 追加	
	図11 - 39 スレーブ動作手順 記述追加	
	11. 6. 2 (1) アシンクロナス・シリアル・インタフェース・モード・レジスタ0-3 (ASIM0-ASIM3) 注意追加	
	11. 6. 2 (4) ポー・レート・ジェネレータ・モード・コントロール・レジスタ _{n0} , _{n1} (BRGMC _{n0} , BRGMC _{n1}) 注意追加	
	図11 - 43 ASIM _n の設定 (動作停止モード) 注意追加	
	図11 - 44 ASIM _n の設定 (アシンクロナス・シリアル・インタフェース・モード) 注意追加	
	図11 - 47 BRGMC _{n0} , BRGMC _{n1} の設定 (アシンクロナス・シリアル・インタフェース・モード) 注意追加	
	11. 6. 3 (3) (d) 受信 記述追加	
	11. 6. 3 (3) (e) 受信エラー 記述削除	
	図11 - 52 受信エラー・タイミング 記述変更	
	12. 2 (2) A/D変換結果レジスタ (ADCR), A/D変換結果レジスタH (ADCRH) 注意変更	第12章 A/Dコンバータ
	12. 3 (2) アナログ入力チャンネル指定レジスタ (ADS) 注意追加	
	12. 6 (3) 変換終了時のADCRライトとA/Dコンバータ・モード・レジスタ1 (ADM1) ライト, またはアナログ入力チャンネル指定レジスタ (ADS) ライトの競合 記述変更	
	12. 6 (8) A/D変換結果レジスタ (ADCR) の読み出しについて 記述変更	

版 数	前版からの主な改訂箇所	適用箇所
第3版	13.3 構 成 追加	第13章 DMA機能
	13.4 (6) 起動要因の設定 注意追加	
	13.5 動 作 追加	
	13.6 注意事項 追加	
	14.1 (3) パワーオン・クリア (POC) による内部リセット 記述変更	第14章 リセット機能
	14.3 (3) POCコントロール・レジスタ (POCC) 記述変更	
	図17 - 1 フラッシュ書き込み用アダプタ (FA-144GJ-UEN) の配線例 追加	第17章 フラッシュ・メモ リ (μ PD70F3089Y)
	表17 - 1 μ PD70F3089Yフラッシュ書き込み用アダプタ (FA-144GJ-UEN) の配線表 追加	
	表18 - 5 コントロール・フィールドのアクノリッジ信号出力条件 記述追加	第18章 IEBusコントロー ラ (V850/SC2)
	19.1 特 徴 追加	第19章 FCANコントロー ラ (V850/SC3)
	表19 - 1 機能概要 記述変更	
	19.4.2 FCAN用レジスタ一覧 操作可能ビットおよびリセット値変更	
	19.5.1 CANメッセージ・データ長レジスタ00-31 (M_DLC00-M_DLC31) 記述変更	
	19.5.2 CANメッセージ・コントロール・レジスタ00-31 (M_CTRL00-M_CTRL31) 記述変更	
	19.5.6 CANメッセージ構成レジスタ00-31 (M_CONF00-M_CONF31) 記述追加	
	19.5.7 CANメッセージ・ステータス・レジスタ00-31 (M_STAT00-M_STAT31) 記述変更	
	19.5.10 CANグローバル割り込み保留レジスタ (CGINTP) 操作可能ビットの記述変更, レジスタ・フォーマットおよびビット説明変更	
	19.5.11 CANn割り込み保留レジスタ (CnINTP) 操作可能ビットの記述変更, レジスタ・フォーマット変更	
	19.5.12 CANストップ・レジスタ (CSTOP) 注意追加	
	19.5.13 CANグローバル・ステータス・レジスタ (CGST) 操作可能ビットの記述変更, ビット説明変更	
	19.5.14 CANグローバル割り込み許可レジスタ (CGIE) 操作可能ビットの記述変更, ビット説明変更	
	19.5.15 CANメイン・クロック選択レジスタ (CGCS) 記述追加	
	図19 - 2 FCANのクロック 注意削除	
	19.5.17 CANメッセージ検索開始 / 結果レジスタ (CGMSS/CGMSR) 注意追加, ビット名追加, ビット説明変更	
	19.5.18 CANnアドレス・マスクaレジスタL, H (CnMASKLa, CnMASKHa) 記述追加	
	19.5.19 CANnコントロール・レジスタ (CnCTRL) 記述追加	
	19.5.20 CANn定義レジスタ (CnDEF) 操作可能ビットの記述変更, ビット説明変更	
	19.5.23 CANn割り込み許可レジスタ (CnIE) 操作可能ビットの記述変更, ビット説明追加	
	19.5.27 CANn同期制御レジスタ (CnSYNC) 注意記述変更, ビット説明追加	
	19.7 タイム・スタンプ機能 注意追加	

版 数	前版からの主な改訂箇所	適用箇所
第3版	19.8 メッセージ処理 記述変更	第19章 FCANコントローラ (V850/SC3)
	図19-10 各レイヤの構成 記述変更	
	19.11.7(2) ノミナル・ビット・タイム (8-25 Time Quantum) 注意追加	
	図19-25 ノミナル・ビット・タイム 注記述追加	
	図19-28 初期設定処理 記述追加	
	図19-33 CANn同期制御レジスタ (CnSYNC) の設定 注追加	
	図19-38 メッセージ・バッファの設定 記述追加	
	図19-41 CANメッセージ・ステータス・レジスタ00-31 (M_STAT00-M_STAT31) の設定 追加	
	図19-44 受信ポーリングによる受信動作の設定 追加	
	図19-45 CANメッセージ検索開始/結果レジスタ (CGMSS/CGMSR) の設定 追加	
	図19-49 CANストップ・モードの設定 記述追加	
	図19-50 CANストップ・モードの解除 記述追加	
	19.13 ボー・レートを正しく設定するための規則について 記述変更	
	19.14.2 パースト・リード・モード 注意追加	
	19.16 FCANコントローラのシャット・ダウン手順 注意削除	
19.17 使用上の注意 , 追加		
第20章 電気的特性 追加	第20章 電気的特性	
第21章 外形図 追加	第21章 外形図	
第22章 半田付け推奨条件 追加	第22章 半田付け推奨条件	
付録C 改版履歴 追加	付録C 改版履歴	

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC 半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : info@lsi.nec.co.jp

【営業関係お問い合わせ先】

システムLSI第一営業事業部

東京 (03)3798-6106, 6107, 6108, 6155
大阪 (06)6945-3178, 3200, 3208
名古屋 (052)222-2375
仙台 (022)267-8740
水戸 (029)226-1702
広島 (082)242-5504
鳥取 (0857)27-5313
松山 (089)945-4149

システムLSI第二営業事業部

東京 (03)3798-6110, 6111, 6112, 6151, 6156
名古屋 (052)222-2170, 2190
松本 (0263)35-1662
前橋 (027)243-6060
立川 (042)526-5981
静岡 (054)254-4794
金沢 (076)232-7303
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクスデバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] V850/SC1, V850/SC2, V850/SC3 ユーザーズ・マニュアル ハードウェア編
(U15109JJ3V0UD00 (第3版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価(各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他()					
()					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他)

理由 []

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他)

理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは

NEC販売員, 特約店販売員, その他()

ご協力ありがとうございました。

下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡ししてください。

日本電気(株) NEC エレクトロニクス
半導体テクニカルホットライン

FAX: (044) 435-9608

2000.6