

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8SX/1651 グループ

ハードウェアマニュアル

ルネサス32ビットCISC マイクロコンピュータ
H8SXファミリ / H8SX/1600 シリーズ

H8SX/1651C R5S61651C

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
 1. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
 2. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
 3. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会下さい。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

H8SX/1651 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジーのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	—	—
ハードウェアマニュアル	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	H8SX/1651 グループハードウェアマニュアル	本ハードウェアマニュアル
ソフトウェアマニュアル	CPU・命令セットの説明	H8SX ソフトウェアマニュアル	RJJ09B0048
アプリケーションノート	応用例参考プログラムなど	ルネサス テクノロジーのホームページに掲載されています。	
RENESAS THCHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) 全体的な表記

本文中ではビットの説明をする場合、モジュールやレジスタとの関連を明確にするため、ビット名を「モジュール名、レジスタ名、ビット名」または「レジスタ名、ビット名」と表記している場合があります。

(2) レジスタの表記

同一または類似した機能が複数チャンネルに存在する場合に「レジスタ名_チャンネル番号」の表記を使用します。

(例) CMCSR_0 : コンペアマッチタイマのチャンネル0 (_0) のCMCSRレジスタを示します。

(3) 数字の表記

2進数はB'nnnn (明らかに2進数と判断できる場合はB'を省略)、16進数はH'nnnnまたは0xnnnn、

10進数はnnnnで表します。

(例) 2進数 : B'11または11

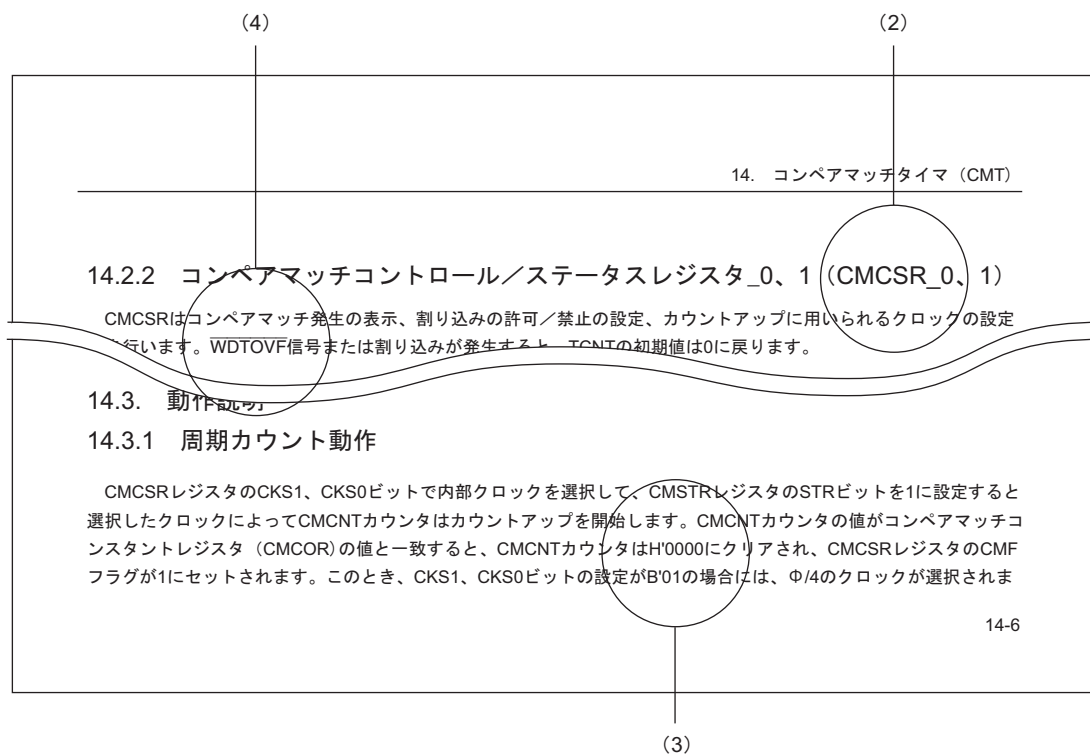
16進数 : H'EFA0または0xEFA0

10進数 : 1234

(4) ローアクティブの表記

ローアクティブの信号および端子には上線を付けて表記しています。

(例) WDTOVF

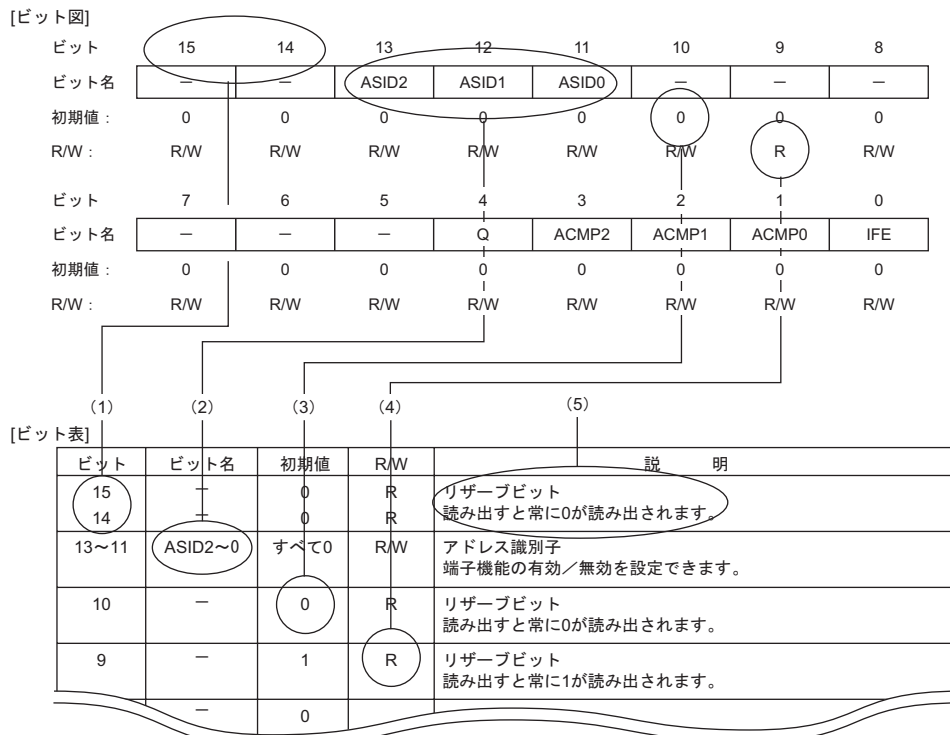


【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

3. レジスタの表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

使用する記号、用語を以下に説明します。



【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

(1) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) ビット名

ビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。

また、リザーブビットの場合は「-」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) 初期値

各ビットのパワーオンリセット後の値を初期値として示します。

0 : 初期値は0であることを示します。

1 : 初期値は1であることを示します。

- : 初期値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。

使用する表記を以下に説明します。

R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。

R(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。

ただし書き込みは、フラグをクリアするための書き込みのみ可能です。

R : 読み出しが可能なビットまたはフィールドです。

リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、ビット表で指定された値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

(5) 説明

ビットの機能について説明しています。

4. 略語および略称の説明

以下に本書内で使用されている略語または略称を示します。

- 本製品固有の略語または略称

略称	英語名	日本語名
BSC	Bus Controller	バスコントローラ
CPG	Clock Pulse Generator	クロック発振器
DTC	Data Transfer Controller	データトランスファコントローラ
INTC	Interrupt Controller	割り込みコントローラ
PPG	Programmable Pulse Generator	プログラマブルパルスジェネレータ
SCI	Serial Communication Interface	シリアルコミュニケーションインタフェース
TMR	8-Bit Timer	8ビットタイマ
TPU	16-Bit Timer Pulse Unit	16ビットタイマパルスユニット
WDT	Watchdog Timer	ウォッチドッグタイマ

- その他の略語または略称

略語／略称	英語名	日本語名
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	周期的冗長検査
DMA	Direct Memory Access	ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller	ダイレクトメモリアクセスコントローラ
GSM	Global System for Mobile Communications	ジーエスエム
Hi-Z	High Impedance	ハイインピーダンス
IEBus	Inter Equipment bus	NEC エレクトロニクス社提唱の通信方式
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816 規定の通信方式
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要.....	1-1
1.1 特長.....	1-1
1.1.1 用途.....	1-1
1.1.2 仕様概要.....	1-2
1.2 製品一覧.....	1-5
1.3 ブロック図.....	1-6
1.4 ピン配置図.....	1-7
1.5 端子機能.....	1-8
2. CPU.....	2-1
2.1 特長.....	2-1
2.2 CPU動作モード.....	2-3
2.2.1 ノーマルモード.....	2-3
2.2.2 ミドルモード.....	2-5
2.2.3 アドバンスモード.....	2-6
2.2.4 マキシマムモード.....	2-7
2.3 命令フェッチ.....	2-8
2.4 アドレス空間.....	2-9
2.5 レジスタ構成.....	2-9
2.5.1 汎用レジスタ.....	2-11
2.5.2 プログラムカウンタ (PC).....	2-12
2.5.3 コンディションコードレジスタ (CCR).....	2-12
2.5.4 エクステンドレジスタ (EXR).....	2-13
2.5.5 ベクタベースレジスタ (VBR).....	2-13
2.5.6 ショートアドレスベースレジスタ (SBR).....	2-14
2.5.7 積和レジスタ (MAC).....	2-14
2.5.8 CPU 内部レジスタの初期値.....	2-14
2.6 データ形式.....	2-14
2.6.1 汎用レジスタのデータ形式.....	2-15
2.6.2 メモリ上でのデータ形式.....	2-16
2.7 命令セット.....	2-17
2.7.1 命令とアドレッシングモードの組み合わせ.....	2-19
2.7.2 命令の機能別一覧.....	2-23
2.7.3 命令の基本フォーマット.....	2-32
2.8 アドレッシングモードと実効アドレスの計算方法.....	2-33
2.8.1 レジスタ直接 Rn.....	2-33
2.8.2 レジスタ間接 @ERn.....	2-34
2.8.3 ディスプレイメント付レジスタ間接 @ (d:2,ERn) /@ (d:16,ERn) /@ (d:32,ERn)	2-34
2.8.4 ディスプレイメント付インデックスレジスタ間接 @ (d:16,RnL.B) / @ (d:32,RnL.B) /@ (d:16,Rn.W) /@ (d:32,Rn.W) /@ (d:16,ERn.L) /@ (d:32,ERn.L) ..	2-34

2.8.5	プリ/ポストインクリメント/デクリメントレジスタ間接 @ERn+/@-ERn/@+ERn/@ERn-	2-34
2.8.6	絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32	2-35
2.8.7	イミディエイト #xx	2-36
2.8.8	プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)	2-36
2.8.9	プログラムカウンタインデックス相対 @ (RnL,B, PC) /@ (Rn,W, PC) /@ (ERn,L, PC)	2-37
2.8.10	メモリ間接 @@aa:8	2-37
2.8.11	拡張メモリ間接 @@vec:7	2-38
2.8.12	実効アドレスの計算方法	2-38
2.8.13	MOVA 命令	2-40
2.9	処理状態	2-41
3.	MCU 動作モード	3-1
3.1	動作モードの選択	3-1
3.2	レジスタの説明	3-2
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-3
3.3	動作モードの説明	3-5
3.3.1	モード4	3-5
3.3.2	モード5	3-5
3.3.3	端子機能	3-5
3.4	アドレスマップ	3-6
3.4.1	アドレスマップ (アドバンスモード)	3-6
4.	例外処理	4-1
4.1	例外処理の種類と優先度	4-1
4.2	例外処理要因とベクタテーブル	4-2
4.3	リセット	4-4
4.3.1	リセット例外処理	4-4
4.3.2	リセット直後の割り込み	4-4
4.3.3	リセット解除後の内蔵周辺機能	4-4
4.4	トレース例外処理	4-7
4.5	アドレスエラー	4-8
4.5.1	アドレスエラー発生要因	4-8
4.5.2	アドレスエラー例外処理	4-9
4.6	割り込み	4-10
4.6.1	割り込み要因	4-10
4.6.2	割り込み例外処理	4-10
4.7	命令による例外処理	4-11
4.7.1	トラップ命令例外処理	4-11
4.7.2	不当命令例外処理	4-12
4.8	例外処理後のスタックの状態	4-13
4.9	使用上の注意事項	4-13
5.	割り込みコントローラ	5-1
5.1	特長	5-1

5.2	入出力端子	5-2
5.3	レジスタの説明	5-3
5.3.1	割り込みコントロールレジスタ (INTCR)	5-3
5.3.2	CPU プライオリティコントロールレジスタ (CPUPCR)	5-4
5.3.3	インタラプトプライオリティレジスタ A~C、E~I、K、L (IPRA~IPRC、IPRE~IPRI、IPRK、IPRL)	5-5
5.3.4	IRQ イネーブルレジスタ (IER)	5-7
5.3.5	IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)	5-8
5.3.6	IRQ ステータスレジスタ (ISR)	5-11
5.3.7	ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)	5-13
5.4	割り込み要因	5-14
5.4.1	外部割り込み要因	5-14
5.4.2	内部割り込み	5-15
5.4.3	スリープ割り込み	5-15
5.5	割り込み例外処理ベクタテーブル	5-15
5.6	割り込み制御モードと割り込み動作	5-20
5.6.1	割り込み制御モード 0	5-20
5.6.2	割り込み制御モード 2	5-22
5.6.3	割り込み例外処理シーケンス	5-24
5.6.4	割り込み応答時間	5-25
5.6.5	割り込みによる DMAC、DTC の起動	5-26
5.7	CPU に対する DTC、DMAC の優先レベル制御機能	5-29
5.8	使用上の注意事項	5-31
5.8.1	割り込みの発生とディスエーブルとの競合	5-31
5.8.2	割り込みを禁止している命令	5-32
5.8.3	割り込み禁止期間	5-32
5.8.4	EEPMOV 命令実行中の割り込み	5-32
5.8.5	MOVMD、MOVSD 命令実行中の割り込み	5-32
5.8.6	周辺モジュールの割り込み要因フラグ	5-32
6.	バスコントローラ (BSC)	6-1
6.1	特長	6-1
6.2	レジスタの説明	6-4
6.2.1	バス幅コントロールレジスタ (ABWCR)	6-4
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	6-5
6.2.3	ウェイトコントロールレジスタ A、B (WTCRA、WTCRB)	6-6
6.2.4	リードストローブタイミングコントロールレジスタ (RDNCR)	6-10
6.2.5	\overline{CS} アサート期間コントロールレジスタ (CSACR)	6-12
6.2.6	アイドルコントロールレジスタ (IDLCR)	6-13
6.2.7	バスコントロールレジスタ 1 (BCR1)	6-15
6.2.8	バスコントロールレジスタ 2 (BCR2)	6-17
6.2.9	エンディアンコントロールレジスタ (ENDIANCR)	6-18
6.2.10	SRAM モードコントロールレジスタ (SRAMCR)	6-18
6.2.11	バースト ROM インタフェースコントロールレジスタ (BROMCR)	6-19
6.2.12	アドレス/データマルチプレクス I/O コントロールレジスタ (MPXCR)	6-21
6.3	バス構成	6-22

6.4	マルチクロック機能とアクセスステート数.....	6-22
6.5	外部バス.....	6-26
6.5.1	入出力端子.....	6-26
6.5.2	エリア分割.....	6-28
6.5.3	チップセレクト信号.....	6-29
6.5.4	外部バスインタフェース.....	6-30
6.5.5	エリアと外部バスインタフェース.....	6-33
6.5.6	エンディアンとデータアライメント.....	6-37
6.6	基本バスインタフェース.....	6-40
6.6.1	データバス.....	6-40
6.6.2	基本バスインタフェース入出力端子.....	6-40
6.6.3	基本タイミング.....	6-41
6.6.4	ウェイト制御.....	6-47
6.6.5	リードストロープ (\overline{RD}) タイミング.....	6-49
6.6.6	チップセレクト (\overline{CS}) アサート期間拡張.....	6-50
6.6.7	\overline{DACK} 信号の出力タイミング.....	6-52
6.7	バイト制御SRAMインタフェース.....	6-53
6.7.1	バイト制御 SRAM 空間の設定.....	6-53
6.7.2	データバス.....	6-53
6.7.3	バイト制御 SRAM インタフェースの入出力端子.....	6-54
6.7.4	基本タイミング.....	6-55
6.7.5	ウェイト制御.....	6-57
6.7.6	リードストロープ (\overline{RD}).....	6-59
6.7.7	チップセレクト (\overline{CS}) アサート期間延長.....	6-59
6.7.8	\overline{DACK} 信号の出力タイミング.....	6-59
6.8	バーストROMインタフェース.....	6-61
6.8.1	バースト ROM 空間の設定.....	6-61
6.8.2	データバス.....	6-61
6.8.3	バースト ROM インタフェースの入出力端子.....	6-61
6.8.4	基本タイミング.....	6-62
6.8.5	ウェイト制御.....	6-63
6.8.6	リードストロープタイミング.....	6-63
6.8.7	チップセレクトアサート期間延長.....	6-64
6.9	アドレス/データマルチプレクスI/Oインタフェース.....	6-64
6.9.1	アドレス/データマルチプレクス I/O 空間の設定.....	6-64
6.9.2	アドレス/データマルチプレクス.....	6-64
6.9.3	データバス.....	6-64
6.9.4	アドレス/データマルチプレクス I/O インタフェースの入出力端子.....	6-65
6.9.5	基本タイミング.....	6-66
6.9.6	アドレスサイクル制御.....	6-68
6.9.7	ウェイト制御.....	6-69
6.9.8	リードストロープ (\overline{RD}) タイミング.....	6-69
6.9.9	データサイクルのチップセレクト (\overline{CS}) アサート期間拡張.....	6-70
6.9.10	\overline{DACK} 信号の出力タイミング.....	6-72
6.10	アイドルサイクル.....	6-73
6.10.1	動作説明.....	6-73

6.10.2	アイドルサイクルでの端子状態	6-82
6.11	バス解放	6-82
6.11.1	動作説明	6-82
6.11.2	外部バス権解放状態での端子状態	6-83
6.11.3	遷移タイミング	6-84
6.12	内部バス	6-85
6.12.1	内部アドレス空間へのアクセス	6-85
6.13	ライトデータバッファ機能	6-86
6.13.1	外部ライトデータバッファ機能	6-86
6.13.2	周辺モジュールライトデータバッファ機能	6-87
6.14	バスアービトレーション	6-87
6.14.1	動作説明	6-88
6.14.2	バス権移行タイミング	6-88
6.15	リセットとバスコントローラ	6-89
6.16	使用上の注意事項	6-90
7.	DMA コントローラ (DMAC)	7-1
7.1	特長	7-1
7.2	入出力端子	7-3
7.3	レジスタの説明	7-3
7.3.1	DMA ソースアドレスレジスタ (DSAR)	7-5
7.3.2	DMA デスティネーションアドレスレジスタ (DDAR)	7-5
7.3.3	DMA オフセットレジスタ (DOFR)	7-6
7.3.4	DMA 転送カウンタレジスタ (DTCR)	7-6
7.3.5	DMA ブロックサイズレジスタ (DBSR)	7-7
7.3.6	DMA モードコントロールレジスタ (DMDR)	7-8
7.3.7	DMA アドレスコントロールレジスタ (DACR)	7-14
7.3.8	DMA モジュールリクエストセレクトレジスタ (DMRSR)	7-19
7.4	転送モード	7-19
7.5	動作説明	7-20
7.5.1	アドレスモード	7-20
7.5.2	転送モード	7-24
7.5.3	起動要因	7-28
7.5.4	バスモード	7-29
7.5.5	拡張リピートエリア機能	7-31
7.5.6	オフセットを使ったアドレス更新機能	7-33
7.5.7	DMA 転送中のレジスタ	7-37
7.5.8	チャンネルの優先順位	7-41
7.5.9	基本バスサイクル	7-42
7.5.10	デュアルアドレスモードのバスサイクル	7-43
7.5.11	シングルアドレスモードのバスサイクル	7-52
7.6	DMA 転送終了	7-57
7.7	DMAC と他のバスマスタの関係	7-59
7.7.1	CPU に対する DMAC の優先レベル制御機能	7-59
7.7.2	他のバスマスタとのバス権の調停	7-59
7.8	割り込み要因	7-60

7.9	使用上の注意事項	7-63
8.	データトランスファコントローラ (DTC)	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-3
8.2.1	DTC モードレジスタ A (MRA)	8-3
8.2.2	DTC モードレジスタ B (MRB)	8-4
8.2.3	DTC ソースアドレスレジスタ (SAR)	8-5
8.2.4	DTC デスティネーションアドレスレジスタ (DAR)	8-5
8.2.5	DTC 転送カウントレジスタ A (CRA)	8-6
8.2.6	DTC 転送カウントレジスタ B (CRB)	8-6
8.2.7	DTC イネーブルレジスタ A~H (DTCERA~DTCERH)	8-7
8.2.8	DTC コントロールレジスタ (DTCCR)	8-8
8.2.9	DTC ベクタベースレジスタ (DTCVBR)	8-9
8.3	起動要因	8-9
8.4	転送情報の配置とDTCベクタテーブル	8-9
8.5	動作説明	8-13
8.5.1	バスサイクルの分割	8-15
8.5.2	転送情報リードスキップ機能	8-17
8.5.3	転送情報ライトバックスキップ機能	8-17
8.5.4	ノーマル転送モード	8-18
8.5.5	リピート転送モード	8-18
8.5.6	ブロック転送モード	8-19
8.5.7	チェイン転送	8-20
8.5.8	動作タイミング	8-21
8.5.9	DTC の実行ステート	8-23
8.5.10	DTC のバス権解放タイミング	8-24
8.5.11	CPU に対する DTC の優先レベル制御	8-24
8.6	割り込みによるDTCの起動	8-25
8.7	DTC使用例	8-26
8.7.1	ノーマル転送	8-26
8.7.2	チェイン転送	8-26
8.7.3	カウンタ=0 のときのチェイン転送	8-27
8.8	割り込み要因	8-28
8.9	使用上の注意事項	8-29
8.9.1	モジュールストップモードの設定	8-29
8.9.2	内蔵 RAM	8-29
8.9.3	DMAC 転送終了割り込み	8-29
8.9.4	DTCE ビットの設定	8-29
8.9.5	チェイン転送	8-29
8.9.6	転送情報先頭アドレス/ソースアドレス/デスティネーションアドレス	8-29
8.9.7	転送情報の書き換え	8-30
8.9.8	エンディアン	8-30
9.	I/O ポート	9-1
9.1	レジスタの説明	9-6

9.1.1	データディレクションレジスタ (PnDDR) (n=1~3、6、A、B、D~F、H、I)	9-6
9.1.2	データレジスタ (PnDR) (n=1~3、6、A、B、D~F、H、I)	9-7
9.1.3	ポートレジスタ (PORTn) (n=1~3、5、6、A、B、D~F、H、I)	9-7
9.1.4	入力バッファコントロールレジスタ (PnICR) (n=1~3、5、6、A、B、D~F、H、I)	9-8
9.1.5	プルアップ MOS コントロールレジスタ (PnPCR) (n=D~F、H、I)	9-8
9.1.6	オープンドレインコントロールレジスタ (PnODR) (n=2、F)	9-9
9.2	出力バッファ制御	9-10
9.2.1	ポート 1	9-10
9.2.2	ポート 2	9-12
9.2.3	ポート 3	9-15
9.2.4	ポート 5	9-18
9.2.5	ポート 6	9-18
9.2.6	ポート A	9-20
9.2.7	ポート B	9-23
9.2.8	ポート D	9-25
9.2.9	ポート E	9-25
9.2.10	ポート F	9-25
9.2.11	ポート H	9-28
9.2.12	ポート I	9-28
9.3	ポートファンクションコントローラ	9-34
9.3.1	ポートファンクションコントロールレジスタ 0 (PFCR0)	9-34
9.3.2	ポートファンクションコントロールレジスタ 1 (PFCR1)	9-35
9.3.3	ポートファンクションコントロールレジスタ 2 (PFCR2)	9-36
9.3.4	ポートファンクションコントロールレジスタ 4 (PFCR4)	9-37
9.3.5	ポートファンクションコントロールレジスタ 6 (PFCR6)	9-37
9.3.6	ポートファンクションコントロールレジスタ 7 (PFCR7)	9-38
9.3.7	ポートファンクションコントロールレジスタ 9 (PFCR9)	9-39
9.3.8	ポートファンクションコントロールレジスタ B (PFCRB)	9-40
9.3.9	ポートファンクションコントロールレジスタ C (PFCRC)	9-41
9.4	使用上の注意事項	9-43
9.4.1	入力バッファコントロールレジスタ (ICR) の設定	9-43
9.4.2	ポートファンクションコントロールレジスタ (PFCR) の設定	9-43
10.	16 ビットタイマパルスユニット (TPU)	10-1
10.1	特長	10-1
10.2	入出力端子	10-5
10.3	レジスタの説明	10-6
10.3.1	タイマコントロールレジスタ (TCR)	10-8
10.3.2	タイマモードレジスタ (TMDR)	10-12
10.3.3	タイマ I/O コントロールレジスタ (TIOR)	10-13
10.3.4	タイマインタラプトイネーブルレジスタ (TIER)	10-31
10.3.5	タイマステータスレジスタ (TSR)	10-32
10.3.6	タイマカウンタ (TCNT)	10-35
10.3.7	タイマジェネラルレジスタ (TGR)	10-35
10.3.8	タイマスタートレジスタ (TSTR)	10-36
10.3.9	タイマシンクロレジスタ (TSYR)	10-37

10.4	動作説明	10-37
10.4.1	基本動作	10-37
10.4.2	同期動作	10-42
10.4.3	バッファ動作	10-44
10.4.4	カスケード接続動作	10-47
10.4.5	PWM モード	10-49
10.4.6	位相計数モード	10-54
10.5	割り込み要因	10-59
10.6	DTCの起動	10-61
10.7	DMACの起動	10-61
10.8	A/D変換器の起動	10-61
10.9	動作タイミング	10-62
10.9.1	入出力タイミング	10-62
10.9.2	割り込み信号タイミング	10-66
10.10	使用上の注意事項	10-70
10.10.1	モジュールストップモードの設定	10-70
10.10.2	入力クロックの制限事項	10-70
10.10.3	周期設定上の注意事項	10-71
10.10.4	TCNT のライトとクリアの競合	10-71
10.10.5	TCNT のライトとカウントアップの競合	10-72
10.10.6	TGR のライトとコンペアマッチの競合	10-72
10.10.7	バッファレジスタのライトとコンペアマッチの競合	10-73
10.10.8	TGR のリードとインプットキャプチャの競合	10-73
10.10.9	TGR のライトとインプットキャプチャの競合	10-74
10.10.10	バッファレジスタのライトとインプットキャプチャの競合	10-74
10.10.11	オーバフロー／アンダフローとカウンタクリアの競合	10-75
10.10.12	TCNT のライトとオーバフロー／アンダフローの競合	10-75
10.10.13	入出力端子の兼用	10-76
10.10.14	モジュールストップ時の割り込み	10-76
11.	プログラマブルパルスジェネレータ (PPG)	11-1
11.1	特長	11-1
11.2	入出力端子	11-2
11.3	レジスタの説明	11-2
11.3.1	ネクストデータインネーブルレジスタ H、L (NDERH、NDERL)	11-3
11.3.2	アウトプットデータレジスタ H、L (PODRH、PODRL)	11-4
11.3.3	ネクストデータレジスタ H、L (NDRH、NDRL)	11-5
11.3.4	PPG 出力コントロールレジスタ (PCR)	11-7
11.3.5	PPG 出力モードレジスタ (PMR)	11-8
11.4	動作説明	11-9
11.4.1	出力タイミング	11-10
11.4.2	通常動作のパルス出力設定手順例	11-11
11.4.3	パルス出力通常動作例 (5 相パルス出力例)	11-12
11.4.4	パルス出力ノンオーバーラップ動作	11-13
11.4.5	ノンオーバーラップ動作のパルス出力設定手順例	11-14
11.4.6	パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)	11-15

11.4.7	パルス反転出力	11-17
11.4.8	インプットキャプチャによるパルス出力.....	11-18
11.5	使用上の注意事項	11-18
11.5.1	モジュールストップモードの設定.....	11-18
11.5.2	パルス出力端子の動作	11-18
12.	8ビットタイマ (TMR)	12-1
12.1	特長	12-1
12.2	入出力端子	12-4
12.3	レジスタの説明	12-5
12.3.1	タイマカウンタ (TCNT)	12-6
12.3.2	タイムコンスタントレジスタ A (TCORA)	12-6
12.3.3	タイムコンスタントレジスタ B (TCORB)	12-6
12.3.4	タイマコントロールレジスタ (TCR)	12-7
12.3.5	タイマカウンタコントロールレジスタ (TCCR)	12-8
12.3.6	タイマコントロール/ステータスレジスタ (TCSR)	12-10
12.4	動作説明	12-13
12.4.1	パルス出力	12-13
12.4.2	リセット入力	12-13
12.5	動作タイミング	12-14
12.5.1	TCNT のカウントタイミング	12-14
12.5.2	コンペアマッチ時の CMFA、CMFB フラグのセットタイミング	12-15
12.5.3	コンペアマッチ時のタイマ出力タイミング	12-15
12.5.4	コンペアマッチによるカウンタクリアタイミング	12-16
12.5.5	TCNT の外部リセットタイミング	12-16
12.5.6	オーバフローフラグ (OVF) のセットタイミング	12-17
12.6	カスケード接続時の動作	12-18
12.6.1	16ビットカウントモード	12-18
12.6.2	コンペアマッチカウントモード	12-18
12.7	割り込み要因	12-19
12.7.1	割り込み要因と DTC 起動	12-19
12.7.2	A/D 変換器の起動	12-19
12.8	使用上の注意	12-20
12.8.1	周期設定上の注意	12-20
12.8.2	TCNT のライトとカウンタクリアの競合	12-20
12.8.3	TCNT のライトとカウントアップの競合	12-21
12.8.4	TCOR のライトとコンペアマッチの競合	12-22
12.8.5	コンペアマッチ A、B の競合	12-22
12.8.6	内部クロックの切り替えと TCNT の動作	12-23
12.8.7	カスケード接続時のモード設定	12-24
12.8.8	モジュールストップの設定	12-24
12.8.9	モジュールストップ時の割り込み.....	12-24
13.	ウォッチドッグタイマ (WDT)	13-1
13.1	特長	13-1
13.2	入出力端子	13-2

13.3	レジスタの説明	13-2
13.3.1	タイマカウンタ (TCNT)	13-3
13.3.2	タイマコントロール/ステータスレジスタ (TCSR)	13-3
13.3.3	リセットコントロール/ステータスレジスタ (RSTCSR)	13-4
13.4	動作説明	13-5
13.4.1	ウォッチドッグタイマモード	13-5
13.4.2	インターバルタイマモード	13-6
13.5	割り込み要因	13-7
13.6	使用上の注意事項	13-7
13.6.1	レジスタアクセス時の注意	13-7
13.6.2	タイマカウンタ (TCNT) のライトとカウントアップの競合	13-8
13.6.3	CKS2~CKS0 ビットの書き換え	13-9
13.6.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	13-9
13.6.5	ウォッチドッグタイマモードでの内部リセット	13-9
13.6.6	$\overline{\text{WDTOVF}}$ 信号によるシステムのリセット	13-10
13.6.7	ウォッチドッグタイマモードとソフトウェアスタンバイモードへの遷移	13-10
14.	シリアルコミュニケーションインタフェース (SCI)	14-1
14.1	特長	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明	14-3
14.3.1	レシーブシフトレジスタ (RSR)	14-5
14.3.2	レシーブデータレジスタ (RDR)	14-5
14.3.3	トランスミットデータレジスタ (TDR)	14-6
14.3.4	トランスミットシフトレジスタ (TSR)	14-6
14.3.5	シリアルモードレジスタ (SMR)	14-6
14.3.6	シリアルコントロールレジスタ (SCR)	14-9
14.3.7	シリアルステータスレジスタ (SSR)	14-12
14.3.8	スマートカードモードレジスタ (SCMR)	14-18
14.3.9	ビットレートレジスタ (BRR)	14-19
14.3.10	シリアル拡張モードレジスタ (SEMR)	14-25
14.4	調歩同期式モードの動作	14-26
14.4.1	送受信フォーマット	14-27
14.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	14-28
14.4.3	クロック	14-29
14.4.4	SCI の初期化 (調歩同期式)	14-30
14.4.5	シリアルデータ送信 (調歩同期式)	14-31
14.4.6	シリアルデータ受信 (調歩同期式)	14-33
14.5	マルチプロセッサ通信機能	14-37
14.5.1	マルチプロセッサシリアルデータ送信	14-38
14.5.2	マルチプロセッサシリアルデータ受信	14-39
14.6	クロック同期式モードの動作	14-42
14.6.1	クロック	14-42
14.6.2	SCI の初期化 (クロック同期式)	14-43
14.6.3	シリアルデータ送信 (クロック同期式)	14-44
14.6.4	シリアルデータ受信 (クロック同期式)	14-46

14.6.5	シリアルデータ送受信同時動作（クロック同期式）	14-48
14.7	スマートカードインタフェースの動作説明	14-49
14.7.1	接続例	14-49
14.7.2	データフォーマット（ブロック転送モード時を除く）	14-50
14.7.3	ブロック転送モード	14-51
14.7.4	受信データサンプリングタイミングと受信マージン	14-52
14.7.5	初期設定	14-53
14.7.6	データ送信（ブロック転送モードを除く）	14-54
14.7.7	シリアルデータ受信（ブロック転送モードを除く）	14-57
14.7.8	クロック出力制御	14-58
14.8	割り込み要因	14-60
14.8.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	14-60
14.8.2	スマートカードインタフェースモードにおける割り込み	14-61
14.9	使用上の注意事項	14-62
14.9.1	モジュールストップモードの設定	14-62
14.9.2	ブレークの検出と処理について	14-62
14.9.3	マーク状態とブレークの送出	14-62
14.9.4	受信エラーフラグと送信動作について（クロック同期式モードのみ）	14-62
14.9.5	TDR へのライトと TDRE フラグの関係について	14-62
14.9.6	DMAC または DTC 使用上の制約事項	14-63
14.9.7	モード遷移時の動作について	14-63
15.	A/D 変換器	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-3
15.3.1	A/D データレジスタ A~H（ADDRA~ADDRH）	15-4
15.3.2	A/D コントロール/ステータスレジスタ（ADCSR）	15-4
15.3.3	A/D コントロールレジスタ（ADCR）	15-6
15.4	動作説明	15-7
15.4.1	シングルモード	15-7
15.4.2	スキャンモード	15-8
15.4.3	入力サンプリングと A/D 変換時間	15-9
15.4.4	外部トリガ入力タイミング	15-10
15.5	割り込み要因	15-11
15.6	A/D変換精度の定義	15-11
15.7	使用上の注意事項	15-13
15.7.1	モジュールストップモードの設定	15-13
15.7.2	許容信号源インピーダンスについて	15-13
15.7.3	絶対精度への影響	15-13
15.7.4	アナログ電源端子他の設定範囲	15-14
15.7.5	ボード設計上の注意	15-14
15.7.6	ノイズ対策上の注意	15-14
15.7.7	ソフトウェアスタンバイ時の A/D 変換保持機能	15-15

16. D/A 変換器	16-1
16.1 特長	16-1
16.2 入出力端子	16-2
16.3 レジスタの説明	16-2
16.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)	16-2
16.3.2 D/A コントロールレジスタ 01 (DACR01)	16-2
16.4 動作説明	16-4
16.5 使用上の注意事項	16-5
16.5.1 モジュールストップモードの設定	16-5
16.5.2 ソフトウェアスタンバイモード時の D/A 出力保持機能	16-5
17. RAM	17-1
18. クロック発振器	18-1
18.1 レジスタの説明	18-2
18.1.1 システムクロックコントロールレジスタ (SCKCR)	18-2
18.2 発振器	18-4
18.2.1 水晶発振子を接続する方法	18-4
18.2.2 外部クロックを入力する方法	18-5
18.3 PLL回路	18-5
18.4 分周器	18-5
18.5 使用上の注意事項	18-6
18.5.1 クロック発振器に関する使用上の注意事項	18-6
18.5.2 発振子に関する注意事項	18-7
18.5.3 ボード設計上の注意	18-7
19. 低消費電力	19-1
19.1 特長	19-1
19.2 レジスタの説明	19-4
19.2.1 スタンバイコントロールレジスタ (SBYCR)	19-4
19.2.2 モジュールストップコントロールレジスタ A、B (MSTPCRA、MSTPCRB)	19-6
19.2.3 モジュールストップコントロールレジスタ C (MSTPCRC)	19-8
19.3 マルチクロック機能	19-9
19.4 スリープモード	19-10
19.4.1 スリープモードへの遷移	19-10
19.4.2 スリープモードの解除	19-10
19.5 ソフトウェアスタンバイモード	19-11
19.5.1 ソフトウェアスタンバイモードへの遷移	19-11
19.5.2 ソフトウェアスタンバイモードの解除	19-11
19.5.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定	19-12
19.5.4 ソフトウェアスタンバイモードの応用例	19-13
19.6 ハードウェアスタンバイモード	19-14
19.6.1 ハードウェアスタンバイモードへの遷移	19-14
19.6.2 ハードウェアスタンバイモードの解除	19-14
19.6.3 ハードウェアスタンバイモードのタイミング	19-14

19.6.4	電源投入時のタイミング	19-15
19.7	モジュールストップモード	19-15
19.7.1	モジュールストップモード	19-15
19.7.2	全モジュールクロックストップモード.....	19-16
19.8	スリープ命令例外処理	19-16
19.9	Bφ出力制御.....	19-18
19.10	使用上の注意事項	19-19
19.10.1	I/O ポートの状態.....	19-19
19.10.2	発振安定待機中の消費電流	19-19
19.10.3	DMAC、DTC のモジュールストップ.....	19-19
19.10.4	内蔵周辺モジュールの割り込み	19-19
19.10.5	MSTPCRA、MSTPCRB、MSTPCRC のライト	19-19
20.	レジスタ一覧.....	20-1
20.1	レジスタアドレス一覧（アドレス順）	20-2
20.2	レジスタビット一覧	20-11
20.3	各動作モードにおけるレジスタの状態.....	20-24
21.	電気的特性.....	21-1
21.1	電気的特性（35MHz動作時）	21-1
21.1.1	絶対最大定格	21-1
21.1.2	DC 特性.....	21-2
21.1.3	AC 特性.....	21-4
21.1.4	A/D 変換特性	21-10
21.1.5	D/A 変換特性	21-10
21.2	電気的特性（50MHz動作時）	21-11
21.2.1	絶対最大定格	21-11
21.2.2	DC 特性.....	21-12
21.2.3	AC 特性.....	21-14
21.2.4	A/D 変換特性	21-20
21.2.5	D/A 変換特性	21-20
21.3	タイミング図	21-21
付録	付録-1	
A.	各処理状態におけるポートの状態.....	付録-1
B.	型名一覧	付録-4
C.	外形寸法図	付録-5
D.	未使用端子の処理について	付録-6
本版で修正または追加された箇所	改訂-1	
索引	索引-1	

1. 概要

1.1 特長

H8SX/1651 グループは、ルネサスオリジナルマイコン H8/300、H8/300H、H8S の各 CPU に対し上位互換アーキテクチャを持ち、内部 32 ビット構成の H8SX CPU をコアとする CISC (Complex Instruction Set Computer) マイコンです。

周辺機能として、高速データ転送が可能な DMA コントローラや、各種メモリへの直結を可能にするバスステートコントローラを内蔵しています。さらに、シリアルコミュニケーションインタフェース、A/D 変換器、D/A 変換器、モータ制御が容易なマルチファンクションタイマを内蔵しており、低コストでのシステム構築を可能にします。これらは、内蔵のパワーマネジメント機能により、ダイナミックな消費電力制御が可能です。

1.1.1 用途

応用分野例：PC周辺機器、光ストレージ機器、OA機器、民生機器など

1. 概要

1.1.2 仕様概要

表1.1に、本マイコンの仕様概要を示します。

表 1.1 仕様概要

分類	モジュール/機能	説明
メモリ	—	• ROM 展開 : ROM レス版
	RAM	• RAM 容量 : 40K バイト
CPU	CPU	• 32 ビット高速 H8SX CPU (CISC タイプ) H8/300 CPU、H8/300H CPU および H8S CPU に対してオブジェクトレベルで上位互換 • 汎用レジスタ方式 (汎用レジスタ : 16 ビット×16 本) • アドレッシングモード : 11 種類 • アドレス空間 : 4G バイト (プログラム : 4G バイト、データ : 4G バイト) • 基本命令数 87 種類 (ビット演算、乗除算、ビット操作、積和演算命令など) • 最小命令実行時間 (ns) 20.0ns @システムクロック f_{ϕ} = 50MHz、Vcc=3.0~3.6V (ADD 命令) 動作時 • 乗算器を内蔵 (16×16→32ビット) • 積和演算命令をサポート (16×16+32→32ビット)
	動作モード	• アドバンストモード
	MCU 動作モード	モード 4 : 内蔵 ROM 無効外部拡張モード、16 ビットバス (MD0 端子がローレベルのとき) モード 5 : 内蔵 ROM 無効外部拡張モード、8 ビットバス (MD0 端子がハイレベルのとき) • 低消費電力状態 (SLEEP 命令により低消費電力状態に遷移)
割り込み (要因)	割り込み コントローラ (INTC)	• 外部割り込み端子 : 13 本 (NMI、 $\overline{IRQ11}$ ~ $\overline{IRQ0}$) • 内部割り込み要因数 : 68 本 • 2 種類の割り込み制御モード (割り込みコントロールレジスタで指定) • 8 レベルの優先順位を設定可能 (インタラプトプライオリティレジスタで指定) • 独立したベクタアドレス
DMA	DMA コントローラ (DMAC)	• 4 チャンネルの DMA 転送が可能 • 起動要因 : 3 種類 (オートリクエスト、内蔵モジュール割り込み、外部リクエスト) • 転送モード : 3 種類 (ノーマル転送、リピータ転送、ブロック転送) • デュアルアドレスモード/シングルアドレスモードを選択可能 • 拡張リピータエリア機能

分類	モジュール/機能	説明
DMA	データ転送コントローラ (DTC)	<ul style="list-style-type: none"> 55 チャンネルの DMA 転送が可能 (DTC 起動要因数) 起動要因: 割り込み要因により起動します (チェイン転送が可能) 転送モード: 3 種類 (ノーマル転送、リピータ転送、ブロック転送) ショートアドレスモード/フルアドレスモードを選択可能
外部バス拡張	バスコントローラ (BSC)	<ul style="list-style-type: none"> 外部アドレス空間: 16M バイト 外部アドレス空間を 8 つのエリアに分割して独立して管理可能 チップセレクト ($\overline{CS0} \sim \overline{CS7}$) 出力可能、2/3 ステータアクセス空間を選択、プログラムウェイトステータを挿入、\overline{CS} アサート期間拡張ステータを挿入、アイドルサイクル挿入 バス権調停機能 (内部の CPU、DTC および外部バスマスタ間のバス権調停)
		<p>バス形式</p> <ul style="list-style-type: none"> 外部メモリインタフェース (ROM、バースト ROM、SRAM、バイト制御 SRAM を接続可能) アドレス/データのバス形式: セパレートバスおよびマルチプレクスバスをサポート (8/16 ビット)
		<ul style="list-style-type: none"> リトルエンディアンのデバイスを接続するためのエンディアン変換機能
クロック	クロック発振器 (CPG)	<ul style="list-style-type: none"> クロック発生回路: 1 回路 機能モジュール毎にクロックがあり、独立に設定可能 (マルチクロック機能) CPU などシステム系は、システムクロック ($I\phi$) 同期 : 8~50MHz 内部周辺機能は、周辺モジュールクロック ($P\phi$) 同期 : 8~35MHz 外部空間は、外部バスクロック ($B\phi$) 同期 : 8~50MHz PLL 周波数逡倍回路と周波数分周回路で構成され、動作周波数を選択可能 低消費電力状態: 5 種類 スリープモード、モジュールストップモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモード
A/D コンバータ	A/D 変換器 (ADC)	<ul style="list-style-type: none"> 分解能 (10 ビット) × 入力チャンネル数 (8 チャンネル) サンプル&ホールド機能付き 変換時間: 1 チャンネル当たり 7.4μs (周辺モジュールクロック $P\phi=35$MHz 動作時) 動作モード: 2 種類 (シングルモード、スキャンモード) A/D 変換開始方法: 3 種類 (ソフトウェア、タイマ (TPU/TMR) のトリガ、外部トリガ)
D/A コンバータ	D/A 変換器 (DAC)	<ul style="list-style-type: none"> 分解能 (8 ビット) × 出力チャンネル数 (2 チャンネル) 出力電圧: 0V~Vref、変換時間: 最大 10μs (負荷容量 20pF 時)

1. 概要

分類	モジュール/機能	説明
タイマ	8ビットタイマ (TMR)	<ul style="list-style-type: none"> 8ビット×4チャンネル (16ビット×2チャンネルとしても動作可能) 7種類のクロックを選択可能：内部クロック 6種類または外部クロック 任意のデューティのパルス出力やPWM出力が可能
	16ビットタイマパルスユニット (TPU)	<ul style="list-style-type: none"> 16ビット×6チャンネル (汎用パルスタイマユニット) 各チャンネルごとに8種類のカウンタ入力クロックを選択可能 最大16本のパルス入出力が可能 カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大15相のPWM出力が可能 チャンネルによりバッファ動作、カスケード接続動作 (32ビット×2チャンネル)、位相計数モード (二相エンコーダ入力) をサポート インプットキャプチャ機能をサポート アウトプットコンペア機能 (コンペアマッチによる波形出力) をサポート
	プログラマブルパルスジェネレータ (PPG)	<ul style="list-style-type: none"> 16ビットのパルス出力 4系統に分割制御が出力可能、ノンオーバーラップ動作可能、反転出力の指定可能 出力トリガ信号を選択可能、データトランスファコントローラ (DTC) DMAコントローラ (DMAC) との連携動作可能
ウォッチドッグタイマ	ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> 8ビット×1チャンネル (8種類のカウンタ入力クロックを選択可能) ウォッチドッグタイマモードとインターバルタイマモードを切り替えて使用可能
シリアルインタフェース	シリアルコミュニケーションインタフェース (SCI)	<ul style="list-style-type: none"> チャンネル数：5チャンネル (非同期式/クロック同期式兼用) 全二重通信が可能 任意のビットレート、LSBファースト/MSBファーストを選択可能
スマートカード/SIM		<ul style="list-style-type: none"> SCIモジュールで、スマートカード (SIM) インタフェースをサポート
I/Oポート		<ul style="list-style-type: none"> CMOS入力専用：8本 CMOS入出力：50本 大電流駆動ポート：8本 (ポート3) プルアップ抵抗：11本 オープンドレイン：11本
パッケージ		<ul style="list-style-type: none"> 薄型120ピンQFPパッケージ (略称：FP-120BV、ボディサイズ：14×14mm、ピンピッチ：0.40mm) 鉛フリー版パッケージ
動作周波数/電源電圧		<ul style="list-style-type: none"> 動作周波数 8~50MHz 電源電圧 Vcc=3.0~3.6V、AVcc=3.0~3.6V 消費電流 30mA typ (Vcc=3.3V、AVcc=3.3V、Iφ=Pφ=Bφ=35MHz) 45mA typ (Vcc=3.3V、AVcc=3.3V、Iφ=Bφ=50MHz、Pφ=25MHz)
動作周囲温度 (°C)		<ul style="list-style-type: none"> -20~+75°C (通常仕様品) -40~+85°C (広温度範囲仕様品)

1.2 製品一覧

表 1.2 に製品一覧表、図 1.1 に製品型名の読み方を示します。

表 1.2 製品一覧表

製品型名	ROM 容量	RAM 容量	パッケージ	備考
R5S61651CFPV	—	40K バイト	PLQP0120LA-A (FP-120BV)	ROM レス版

(2007 年 6 月現在)

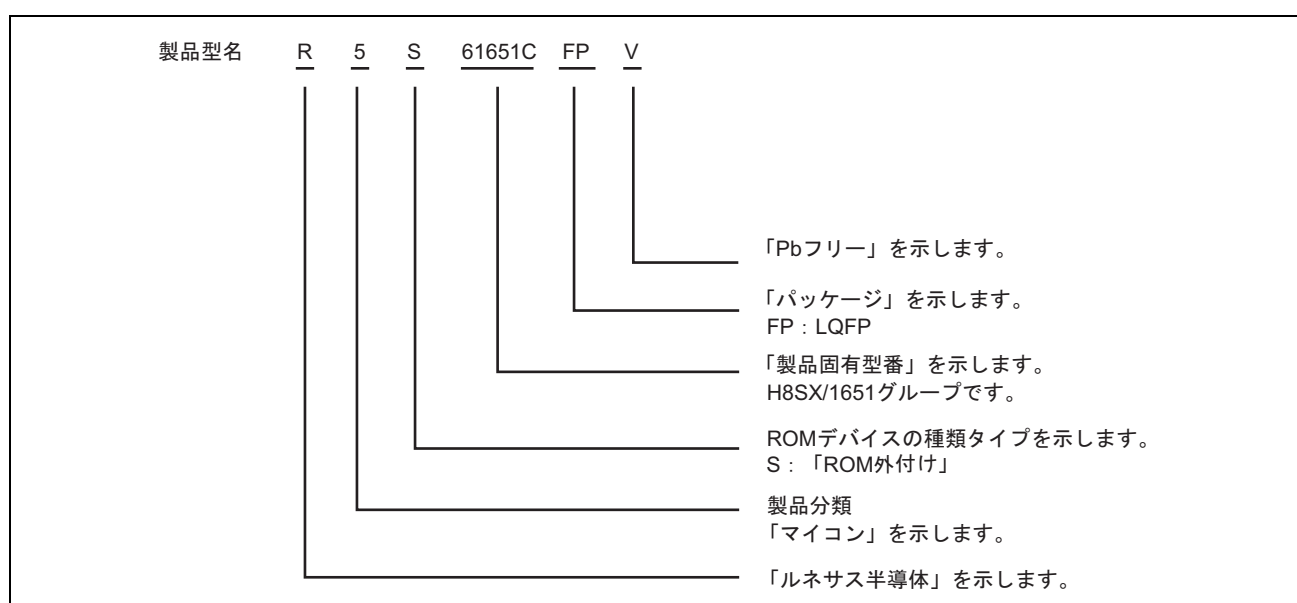


図 1.1 製品型名の読み方

1. 概要

1.3 ブロック図

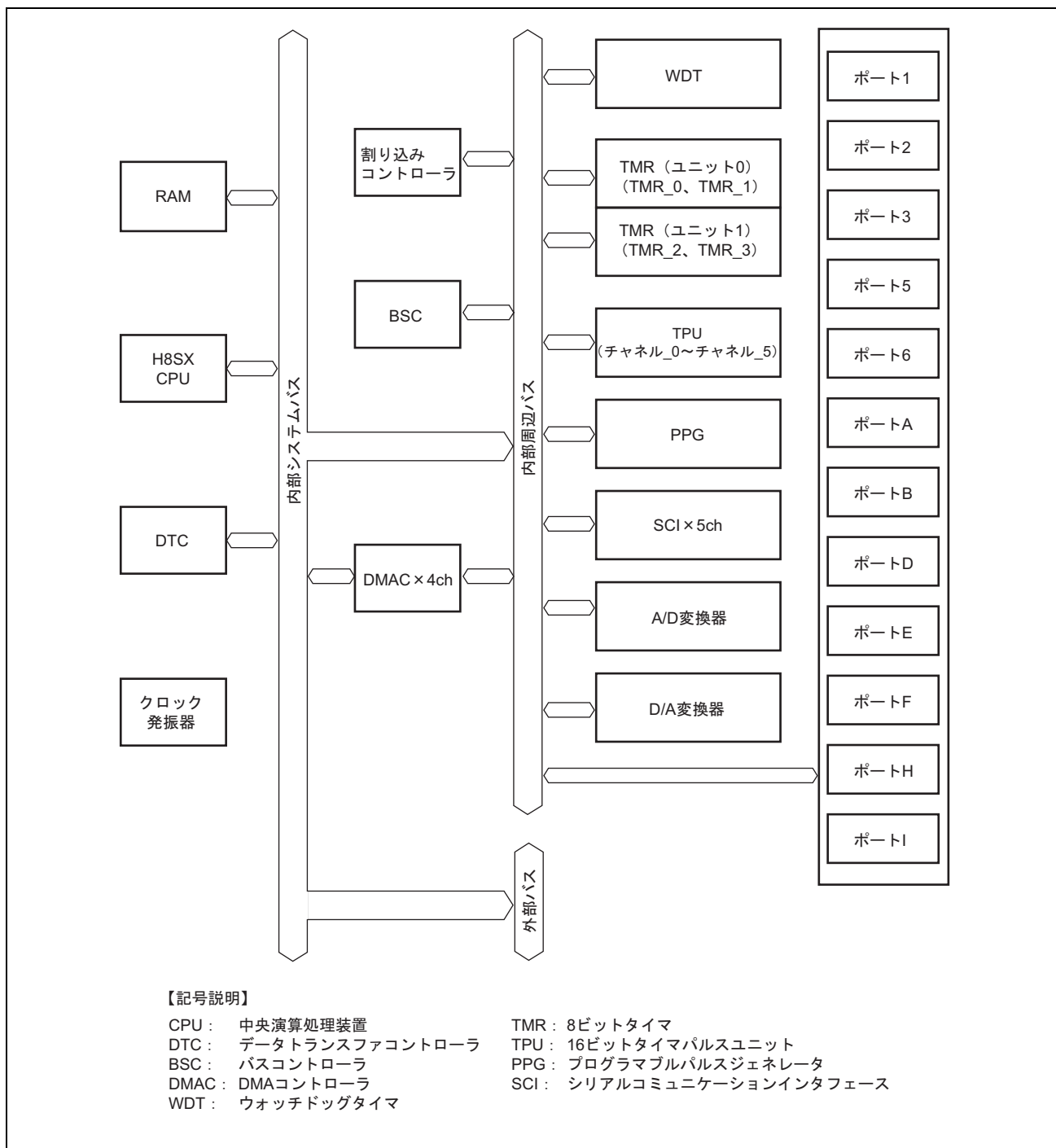


図 1.2 ブロック図

1.4 ピン配置図

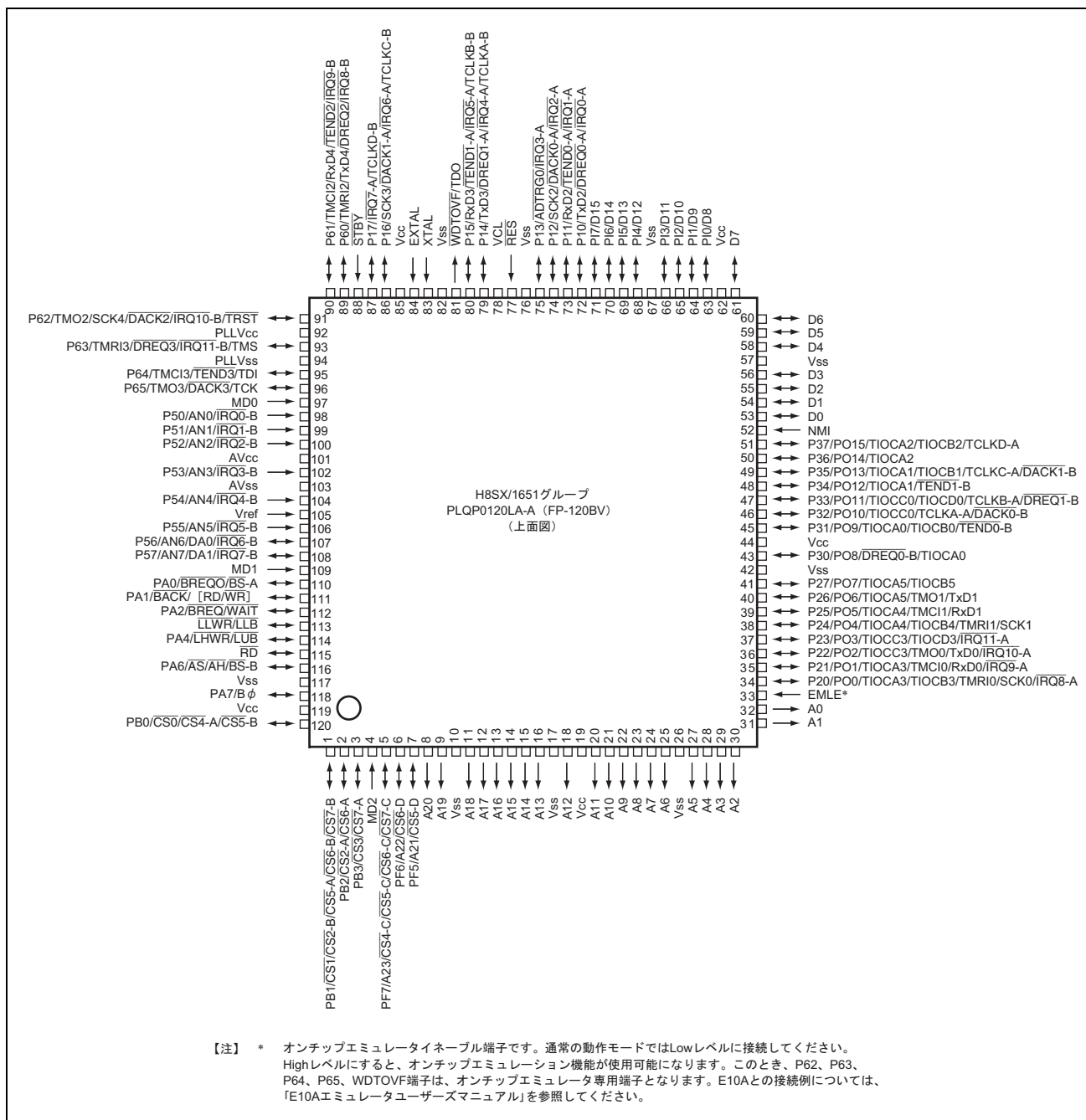


図 1.3 ピン配置図

1. 概要

1.5 端子機能

表 1.3 端子機能の説明

分類	端子名	入出力	機能
電源	V _{CC}	—	電源端子です。システムの電源に接続してください。
	V _{CL}	—	0.1μF のコンデンサを介して V _{SS} に接続してください (コンデンサは端子近くに配置してください)。
	V _{SS}	—	グランド端子です。システムの電源 (0V) に接続してください。
	PLL _{VCC}	—	PLL 回路用の電源端子です。
	PLL _{SS}	—	PLL 回路用のグランド端子です。
クロック	XTAL	入力	水晶発振子接続端子です。また、EXTAL 端子は外部クロックを入力することもできます。接続例は、「18. クロック発振器」を参照してください。
	EXTAL	入力	
	Bφ	出力	外部デバイスにシステムクロックを供給します。
動作モード コントロール	MD2~MD0	入力	動作モードを設定します。これらの端子は、動作中に変化させないでください。
システム制御	$\overline{\text{RES}}$	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。
	$\overline{\text{STBY}}$	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに移行します。
	EMLE	入力	オンチップエミュレータイネーブル端子です。通常は Low レベルに設定してください。
アドレスバス	A23~A0	出力	アドレス出力端子です。
データバス	D15~D0	入出力	双方向データバスです。 アドレス/データマルチプレクス I/O 空間アクセス時は、アドレスも出力されます。
バス制御	$\overline{\text{BREQ}}$	入力	バス権を外部に解放することを要求するリクエスト信号です。
	$\overline{\text{BREQO}}$	出力	外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの外部バス権要求信号です。
	BACK	出力	バス権を解放したことを示すアクノレッジ信号です。
	$\overline{\text{BS-A}}/\overline{\text{BS-B}}$	出力	バスサイクルの開始を示します。
	$\overline{\text{AS}}$	出力	基本バスインタフェース空間、またはバイト制御 SRAM インタフェース空間をアクセス中で、アドレスバス上のアドレス出力が有効であることを示すストロープ信号です。
	$\overline{\text{AH}}$	出力	アドレス/データマルチプレクス I/O インタフェース空間をアクセス中で、アドレスをホールドするための信号です。
	RD	出力	基本バスインタフェース空間をリード中であることを示すストロープ信号です。

分類	端子名	入出力	機能	
バス制御	RD/ $\overline{\text{WR}}$	出力	データバスの入出力を示す信号です。	
	$\overline{\text{LHWR}}$	出力	基本バスインタフェース空間をライト中で、上位バイト (D15~D8) が有効であることを示すストローブ信号です。	
	$\overline{\text{LLWR}}$	出力	基本バスインタフェース空間をライト中で、下位バイト (D7~D0) が有効であることを示すストローブ信号です。	
	$\overline{\text{LUB}}$	出力	バイト制御 SRAM インタフェース空間をアクセス中で、上位バイト (D15~D8) が有効であることを示すストローブ信号です。	
	$\overline{\text{LLB}}$	出力	バイト制御 SRAM インタフェース空間をアクセス中で、下位バイト (D7~D0) が有効であることを示すストローブ信号です。	
	$\overline{\text{CS0}}$ $\overline{\text{CS1}}$ $\overline{\text{CS2-A}}/\overline{\text{CS2-B}}$ $\overline{\text{CS3}}$ $\overline{\text{CS4-A}}/\overline{\text{CS4-C}}$ $\overline{\text{CS5-A}}/\overline{\text{CS5-B}}/\overline{\text{CS5-C}}/\overline{\text{CS5-D}}\overline{\text{CS6-A}}/\overline{\text{CS6-B}}\overline{\text{CS6-C}}/\overline{\text{CS6-D}}\overline{\text{CS7-A}}/\overline{\text{CS7-B}}/\overline{\text{CS7-C}}$	出力	エリア 7~0 の選択信号です。	
	WAIT	入力	外部空間をアクセスするときのウェイト要求信号です。	
	割り込み	NMI	入力	ノンマスク可能割り込み要求端子です。未使用の場合は High レベルに固定してください。
		$\overline{\text{IRQ11-A}}/\overline{\text{IRQ11-B}}$ $\overline{\text{IRQ10-A}}/\overline{\text{IRQ10-B}}$ $\overline{\text{IRQ9-A}}/\overline{\text{IRQ9-B}}$ $\overline{\text{IRQ8-A}}/\overline{\text{IRQ8-B}}$ $\overline{\text{IRQ7-A}}/\overline{\text{IRQ7-B}}$ $\overline{\text{IRQ6-A}}/\overline{\text{IRQ6-B}}$ $\overline{\text{IRQ5-A}}/\overline{\text{IRQ5-B}}$ $\overline{\text{IRQ4-A}}/\overline{\text{IRQ4-B}}$ $\overline{\text{IRQ3-A}}/\overline{\text{IRQ3-B}}$ $\overline{\text{IRQ2-A}}/\overline{\text{IRQ2-B}}$ $\overline{\text{IRQ1-A}}/\overline{\text{IRQ1-B}}$ $\overline{\text{IRQ0-A}}/\overline{\text{IRQ0-B}}$	入力	マスク可能な割り込みを要求します。

1. 概要

分類	端子名	入出力	機能
DMA コントローラ (DMAC)	$\overline{\text{DREQ0-A}}/\overline{\text{DREQ0-B}}$ $\overline{\text{DREQ1-A}}/\overline{\text{DREQ1-B}}$ DREQ2 DREQ3	入力	DMAC の起動を要求します。
	$\overline{\text{DACK0-A}}/\overline{\text{DACK0-B}}$ $\overline{\text{DACK1-A}}/\overline{\text{DACK1-B}}$ DACK2 DACK3	出力	DMAC のシングルアドレス転送アクノレッジ端子です。
	$\overline{\text{TEND0-A}}/\overline{\text{TEND0-B}}$ $\overline{\text{TEND1-A}}/\overline{\text{TEND1-B}}$ TEND2 TEND3	出力	DMAC のデータ転送終了を示します。
16 ビットタイムパルスユニット (TPU)	TCLKA-A/TCLKA-B TCLKB-A/TCLKB-B TCLKC-A/TCLKC-B TCLKD-A/TCLKD-B	入力	外部クロックを入力します。
	TIOCA0 TIOCB0 TIOCC0 TIOCD0	入出力	TGRA_0~TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA1 TIOCB1	入出力	TGRA_1, TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA2 TIOCB2	入出力	TGRA_2, TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA3 TIOCB3 TIOCC3 TIOCD3	入出力	TGRA_3~TGRD_3 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA4 TIOCB4	入出力	TGRA_4, TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA5 TIOCB5	入出力	TGRA_5, TGRB_5 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	プログラマブルパルスジェネレータ (PPG)	PO15~PO0	出力

分類	端子名	入出力	機能
8ビットタイマ (TMR)	TMO0~TMO3	出力	コンペアマッチ出力端子です。
	TMCI0~TMCI3	入力	カウンタにを入力する外部クロックの入力端子です。
	TMRI0~TMRI3	入力	カウンタリセット入力端子です。
ウォッチドッグタイマ (WDT)	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力端子です。
シリアルコミュニケーションインタフェース (SCI)	TxD0~TxD4	出力	送信データ出力端子です。
	RxD0~RxD4	入力	受信データ入力端子です。
	SCK0~SCK4	入出力	クロック入出力端子です。
A/D変換器	AN7~AN0	入力	A/D変換器のアナログ入力端子です。
	ADTRG0	入力	A/D変換開始のための外部トリガ入力端子です。
D/A変換器	DA1, DA0	出力	D/A変換器のアナログ出力端子です。
A/D変換器、D/A変換器	AV _{CC}	—	A/D変換器およびD/A変換器のアナログ電源端子です。A/D変換器およびD/A変換器を使用しない場合は、システムの電源に接続してください。
	AV _{SS}	—	A/D変換器およびD/A変換器のグランド端子です。システムの電源 (0V) に接続してください。
	Vref	入力	A/D変換器およびD/A変換器の基準電源端子です。A/D変換器およびD/A変換器を使用しない場合は、システムの電源に接続してください。
I/Oポート	P17~P10	入出力	8ビットの入出力端子です。
	P27~P20	入出力	8ビットの入出力端子です。
	P37~P30	入出力	8ビットの入出力端子です。
	P57~P50	入力	8ビットの入力端子です。
	P65~P60	入出力	6ビットの入出力端子です。
	PA7, PA6, PA4, PA2~PA0	入出力	5ビットの入出力端子です。
	PB3~PB0	入出力	4ビットの入出力端子です。
	PF7~PF5	入出力	3ビットの入出力端子です。
	PI7~PI0	入出力	8ビットの入出力端子です。

1. 概要

2. CPU

H8SX CPU は、H8/300 CPU、H8/300H CPU および H8S CPU に対し上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。

H8SX CPU は、16 ビット×16 本の汎用レジスタを持ち、4G バイトのリニアなアドレス空間を扱うことができ、リアルタイム制御に最適です。

2.1 特長

- H8/300 CPU、H8/300H CPU および H8S CPU に対し上位互換の CPU
これらの CPU のオブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット×16 本
8 ビット×16 本、32 ビット×8 本としても使用可能
- 基本命令：87 種類
8/16/32 ビット演算命令
乗除算命令
ビットフィールド転送命令
強力なビット操作命令
ビット条件分岐命令
積和演算命令
- アドレッシングモード：11 種類
レジスタ直接 Rn
レジスタ間接 @ERn
ディスプレイメント付レジスタ間接 @(d:2,ERn)/@(d:16,ERn)/@(d:32,ERn)
ディスプレイメント付インデックスレジスタ間接 @(d:16,RnL.B)/@(d:32,RnL.B)/@(d:16,Rn.W)/
@(d:32,Rn.W)/@(d:16,ERn.L)/@(d:32,ERn.L)
プリ/ポストインクリメント/デクリメントレジスタ間接 @+ERn/@-ERn/@ERn+/@ERn-
絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32
イミディエイト #xx:3/#xx:4/#xx:8/#xx:16/#xx:32
プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC)
プログラムカウンタインデックス相対 @(RnL.B,PC)/@(Rn.W,PC)/@(ERn.L,PC)
メモリ間接 @@aa:8
拡張メモリ間接 @@vec:7

2. CPU

- ベースレジスタ : 2本
ベクタベースレジスタ
ショートアドレスベースレジスタ
- アドレス空間 : 4Gバイト
プログラム : 4Gバイト
データ : 4Gバイト
- 高速動作
頻出命令をすべて1~2ステートで実行
8/16/32ビットレジスタ間加減算 : 1ステート
8×8ビットレジスタ間乗算 : 1ステート
16÷8ビットレジスタ間除算 : 10ステート
16×16ビットレジスタ間乗算 : 1ステート
32÷16ビットレジスタ間除算 : 18ステート
32×32ビットレジスタ間乗算 : 5ステート
32÷32ビットレジスタ間除算 : 18ステート
- CPU動作モード : 4種類
ノーマルモード
ミドルモード
アドバンストモード
マキシマムモード
- 低消費電力状態
SLEEP命令により低消費電力状態に遷移
CPU動作クロックを選択可能

-
- 【注】 1. H8SX/1651 グループの CPU 動作モードは、アドバンストモードのみです。
ノーマルモード、ミドルモード、マキシマムモードは使用できません。
2. H8SX/1651 グループは、乗算器、除算器をサポートしています。
-

2.2 CPU 動作モード

H8SX CPU は、アドレス空間について、ノーマルモード、ミドルモード、アドバンストモードおよびマキシマムモードの4種類のCPU動作モードを持っています。各モードの選択方法は、「3.1 動作モードの選択」を参照してください。

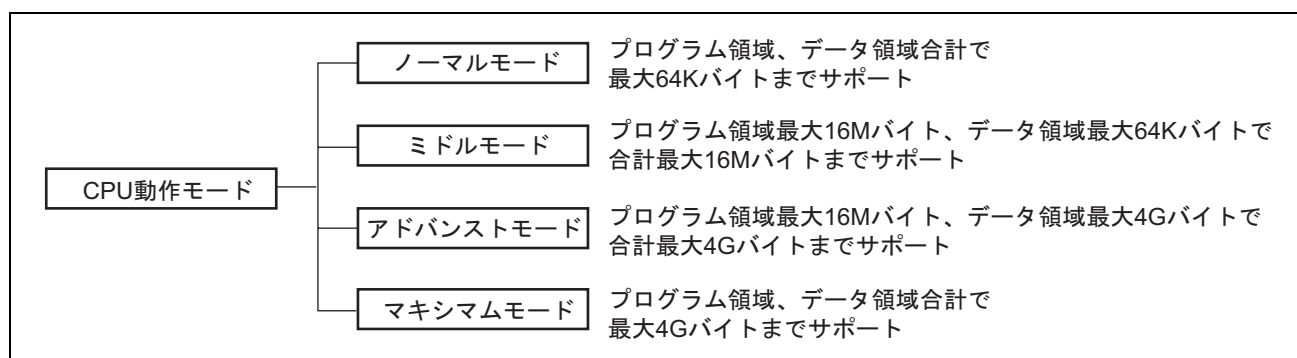


図 2.1 CPU 動作モード

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造が H8/300 CPU と同一です。

【注】 本製品ではサポートしていません。

- アドレス空間

最大 64K バイトをアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます (プリ/ポストインクリメント/デクリメントレジスタ間接により汎用レジスタ Rn が参照された場合、キャリ/ボローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位 16 ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、各 16 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.2 に示します。

2. CPU

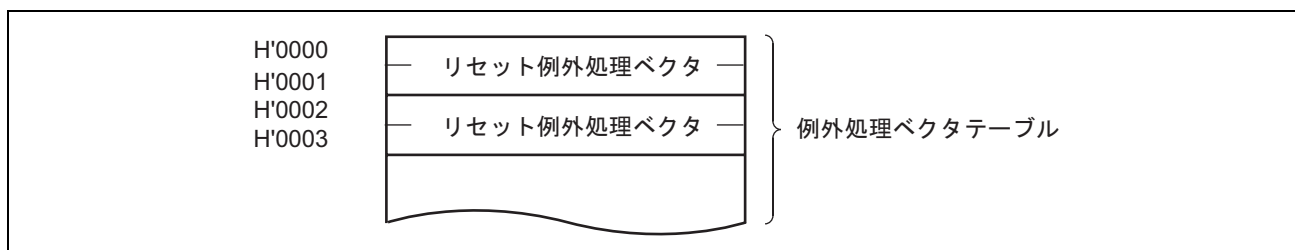


図 2.2 例外処理ベクタテーブル（ノーマルモード）

メモリ間接（@@aa:8）および拡張メモリ間接（@@vec:7）は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

- スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタック構造を図 2.3 に示します。PC は 16 ビットで退避／復帰されます。

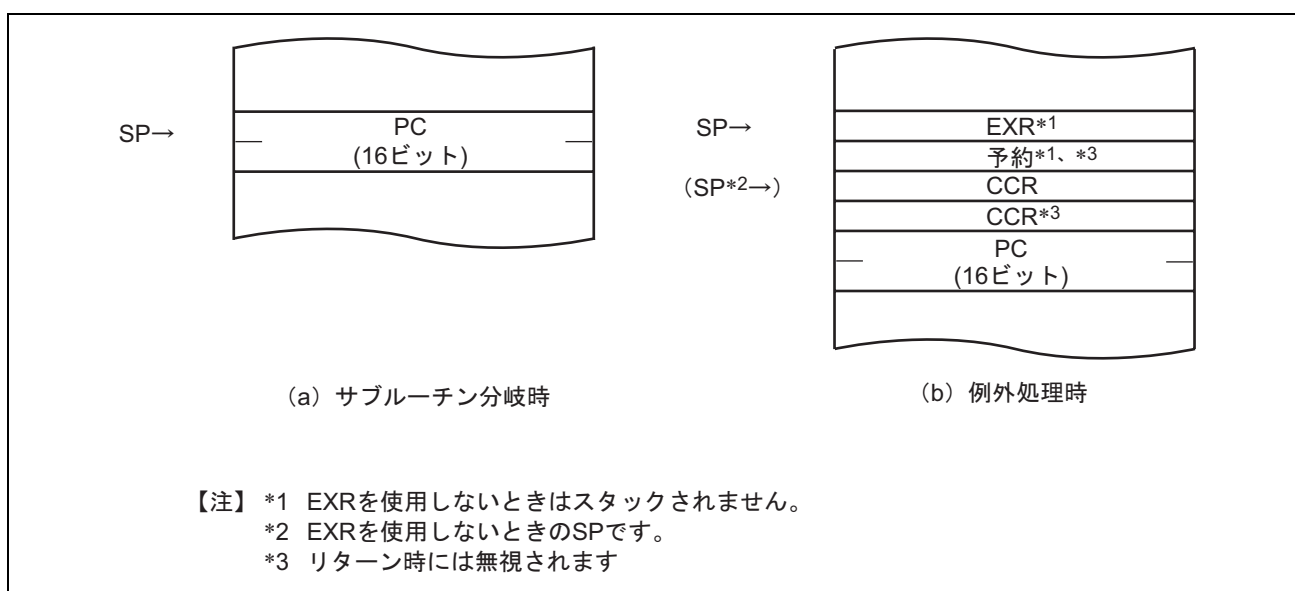


図 2.3 スタック構造（ノーマルモード）

2.2.2 ミドルモード

ノーマルモードに対して、プログラム領域を 16M バイトに拡張しています。

- アドレス空間

プログラム領域最大 16M バイト、データ領域最大 64K バイトで合計最大 16M バイトをアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をデータ用のアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます (JMP および JSR 命令は除きます。また、プリ/ポストインクリメント/デクリメントレジスタ間接により汎用レジスタ Rn が参照された場合、キャリ/ボローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。データ用の実効アドレス (EA) は下位 16 ビットのみが有効となり、上位 8 ビットは符号拡張されます。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ミドルモードでは、H'000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され、24 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.4 に示します。

メモリ間接 (@@aa:8) および拡張メモリ間接 (@@vec:7) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ミドルモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち上位 8 ビットは予約領域となっており、H'00 と見なされます。

- スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタック構造を図 2.5 に示します。PC は 24 ビットで退避/復帰されます。

2.2.3 アドバンストモード

ミドルモードに対して、データ領域を 4G バイトに拡張しています。

- アドレス空間

プログラム領域最大 16M バイト、データ領域最大 4G バイト、合計最大 4G バイトをリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタあるいはアドレスレジスタの上位 16 ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され、24 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.4 に示します。

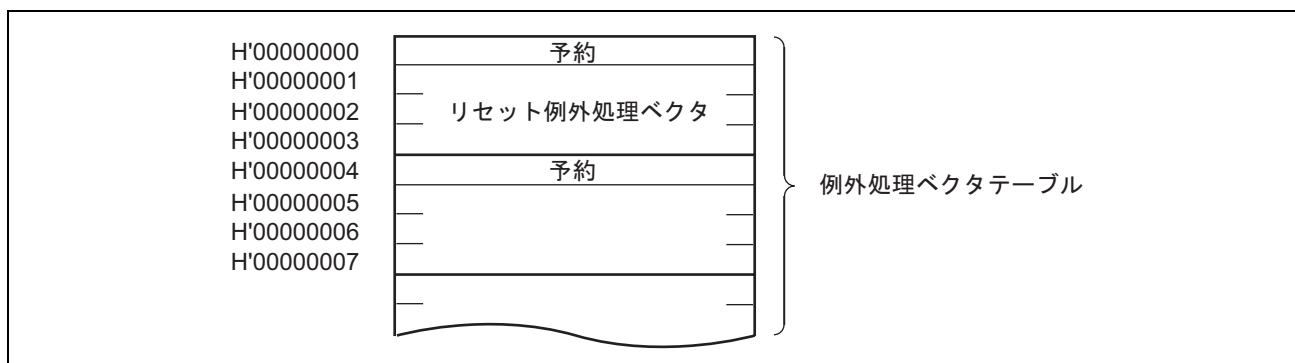


図 2.4 例外処理ベクタテーブル (ミドルモード、アドバンストモード)

メモリ間接 (@@aa:8) および拡張メモリ間接 (@@vec:7) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンストモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち上位 8 ビットは予約領域となっており、H'00 と見なされます。

- スタック構造

アドバンストモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタック構造を図 2.5 に示します。PC は 24 ビットで退避／復帰されます。

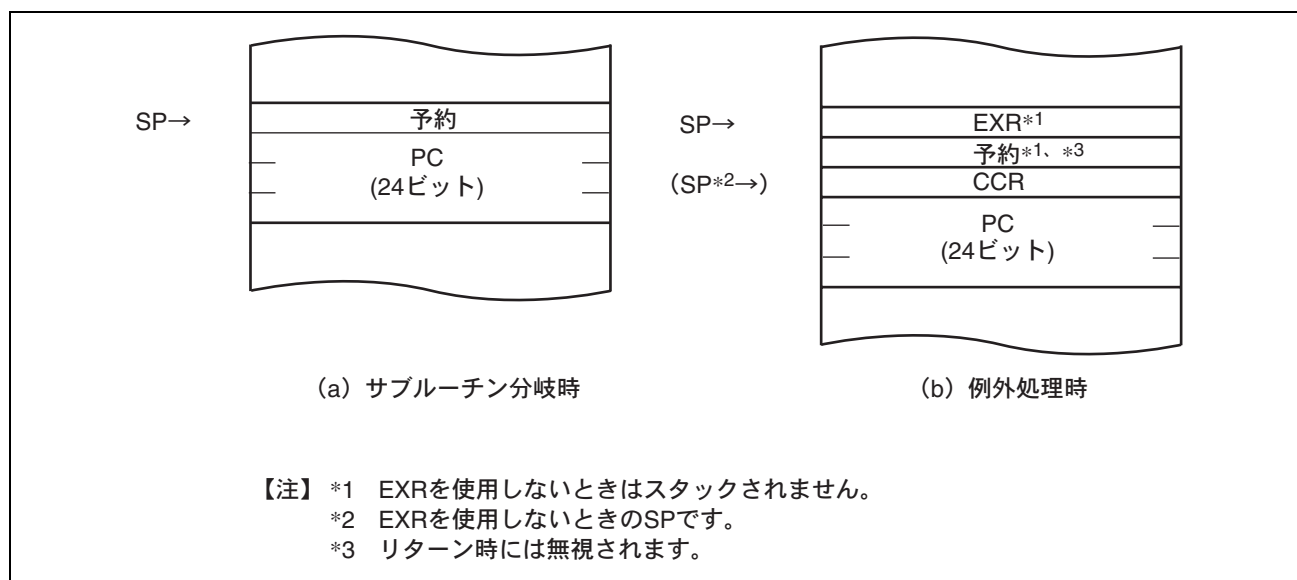


図 2.5 スタック構造（ミドルモード、アドバンストモード）

2.2.4 マキシマムモード

アドバンストモードに対して、プログラム領域を 4G バイトに拡張しています。

- アドレス空間

最大 4G バイトをリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタあるいはアドレスレジスタの上位 16 ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

マキシマムモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、32 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.6 に示します。

2. CPU

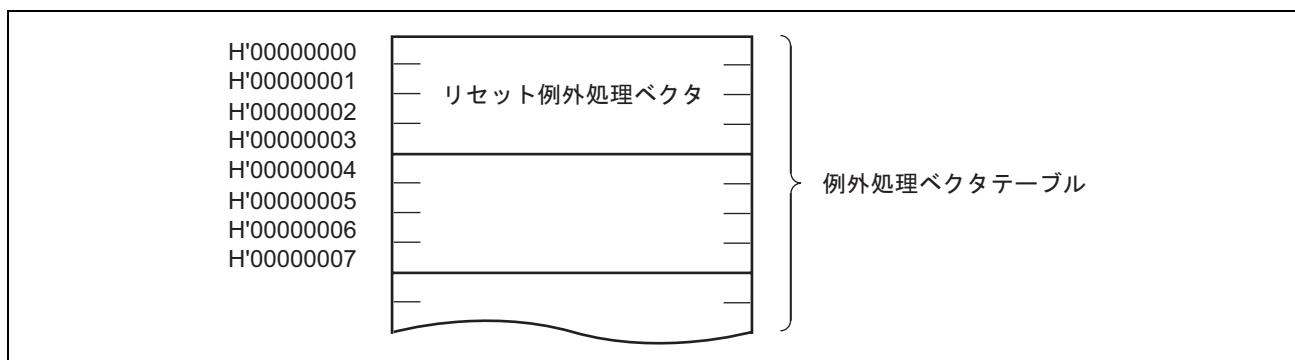


図 2.6 例外処理ベクタテーブル（マキシマムモード）

メモリ間接（@@aa:8）および拡張メモリ間接（@@vec:7）は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

マキシマムモードでは、オペランドは 32 ビット（ロングワード）となり、この 32 ビットが分岐先アドレスとなります。

- スタック構造

マキシマムモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタック構造を図 2.7 に示します。PC は 32 ビットで退避／復帰されます。EXR の使用／不使用によらず、EXR は退避／復帰されます。

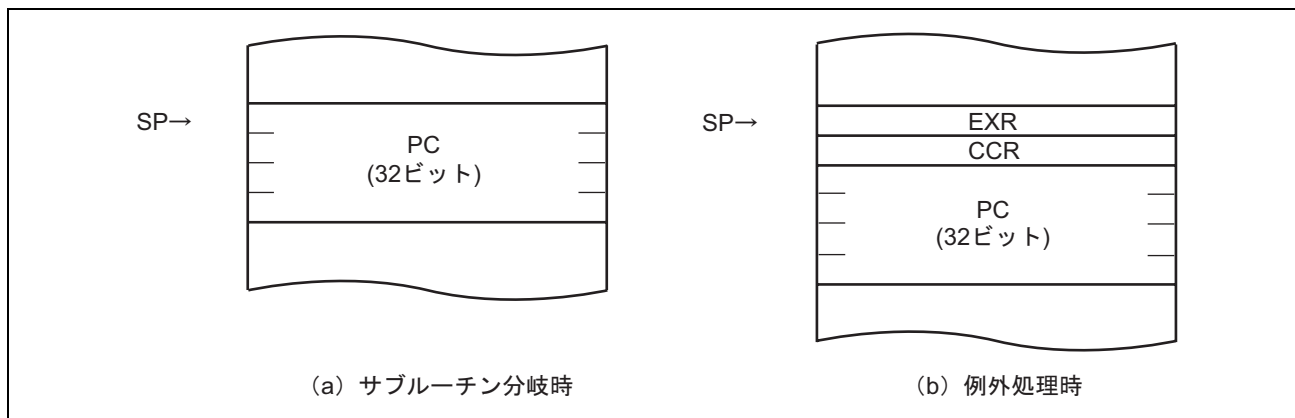


図 2.7 スタック構造（マキシマムモード）

2.3 命令フェッチ

H8SX CPU は、命令フェッチについて、16 ビットモードと 32 ビットモードの 2 つのモードを持っています。プログラムを格納するメモリのバス幅に合わせて設定することを推奨します。

命令フェッチの 16 ビットモード／32 ビットモードの選択は、命令フェッチ以外のデータアクセスなどには影響しません。命令フェッチ 16 ビットモード／32 ビットモード選択は、SYSCR の FETCHMD ビットで行います。詳細は「3.2.2 システムコントロールレジスタ（SYSCR）」を参照してください。

2.4 アドレス空間

H8SX CPU のメモリマップを図 2.8 に示します。H8SX CPU のアドレス空間は、CPU 動作モードによって異なります。

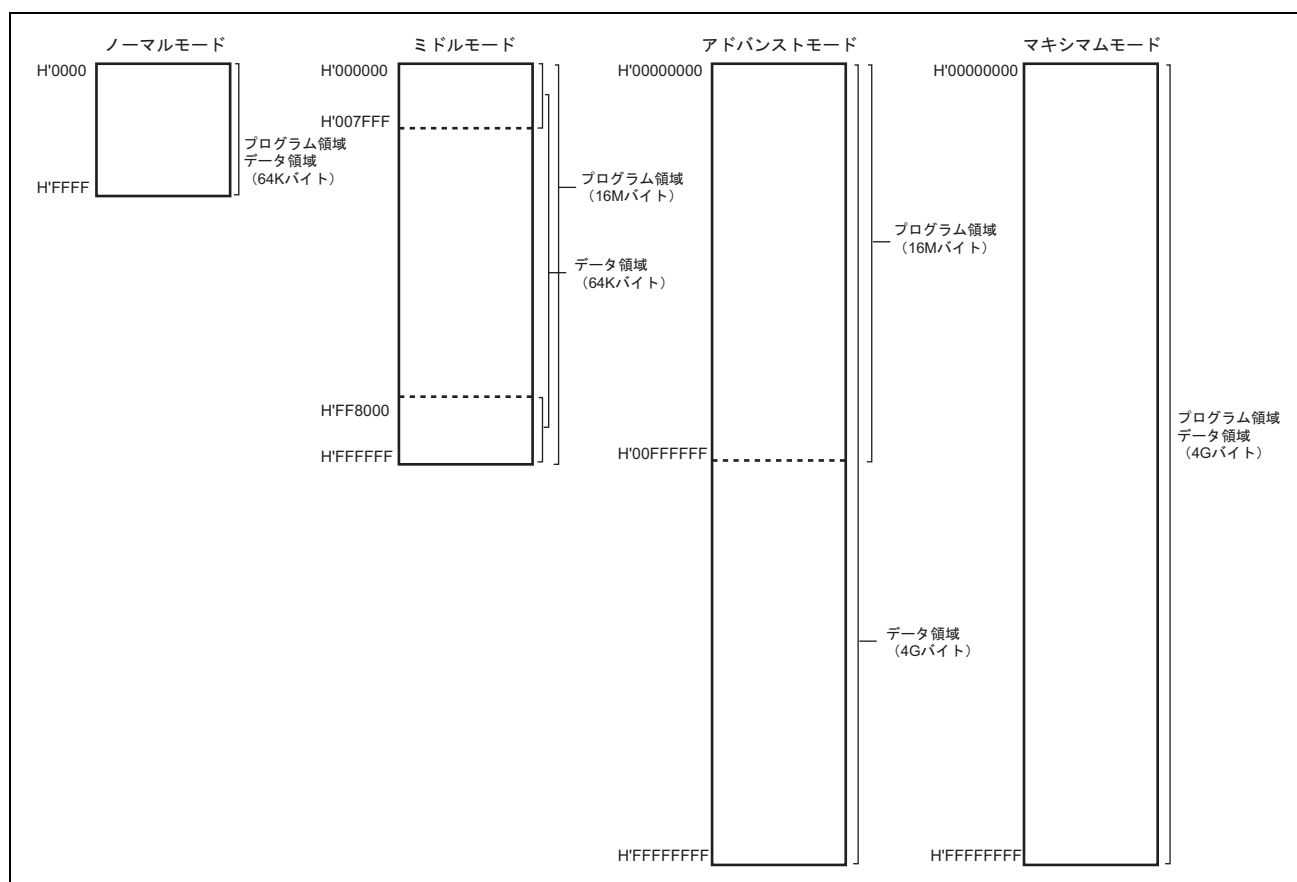


図 2.8 メモリマップ

2.5 レジスタ構成

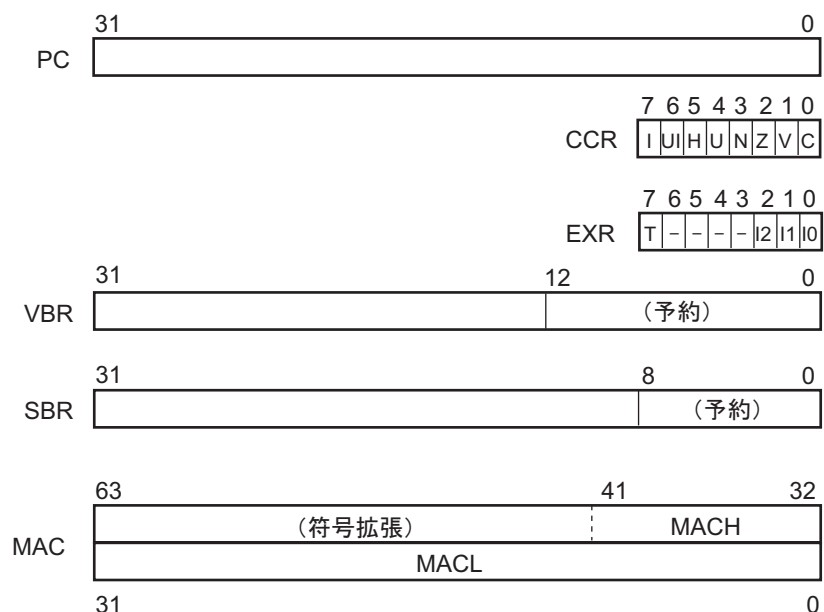
H8SX CPU の内部レジスタ構成を図 2.9 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの2つに分類することができます。コントロールレジスタには、32ビットのプログラムカウンタ (PC)、8ビットのエクステンドレジスタ (EXR)、8ビットのコンディションコードレジスタ (CCR)、32ビットのベクタベースレジスタ (VBR)、32ビットのショートアドレスベースレジスタ (SBR)、および64ビットの積和レジスタ (MAC) があります。

2. CPU

汎用レジスタと拡張レジスタ

	15	0 7	0 7	0
ER0	E0	R0H	R0L	
ER1	E1	R1H	R1L	
ER2	E2	R2H	R2L	
ER3	E3	R3H	R3L	
ER4	E4	R4H	R4L	
ER5	E5	R5H	R5L	
ER6	E6	R6H	R6L	
ER7(SP)	E7	R7H	R7L	

コントロールレジスタ



【記号説明】

SP	: スタックポインタ	Z	: ゼロフラグ
PC	: プログラムカウンタ	V	: オーバフローフラグ
CCR	: コンディションコードレジスタ	C	: キャリフラグ
I	: 割り込みマスクビット	EXR	: エクステンドレジスタ
UI	: ユーザビット/割り込みマスクビット	T	: トレースビット
H	: ハーフキャリフラグ	I2~I0	: 割り込みマスクビット
U	: ユーザビット	VBR	: ベクタベースレジスタ
N	: ネガティブフラグ	SBR	: ショートアドレスベースレジスタ
		MAC	: 積和レジスタ

図 2.9 CPU 内部レジスタ構成

2.5.1 汎用レジスタ

H8SX CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビット、または 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.10 に示します。

アドレスレジスタまたは 32 ビットレジスタの場合は、一括して汎用レジスタ ER (ER0~ER7) として使用します。

16 ビットレジスタの場合は、汎用レジスタ ER を分割して汎用レジスタ E (E0~E7)、汎用レジスタ R (R0~R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0~E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタの場合は、汎用レジスタ R を分割して汎用レジスタ RH (R0H~R7H)、汎用レジスタ RL (R0L~R7L) として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

インデックスレジスタとしては、汎用レジスタ ER (ER0~ER7)、汎用レジスタ R (R0~R7)、汎用レジスタ RL (R0L~R7L) を使用します。これらはアドレッシングモード中のインデックスレジスタのサイズで指定します。

各レジスタ独立に使用方法を選択することができます。

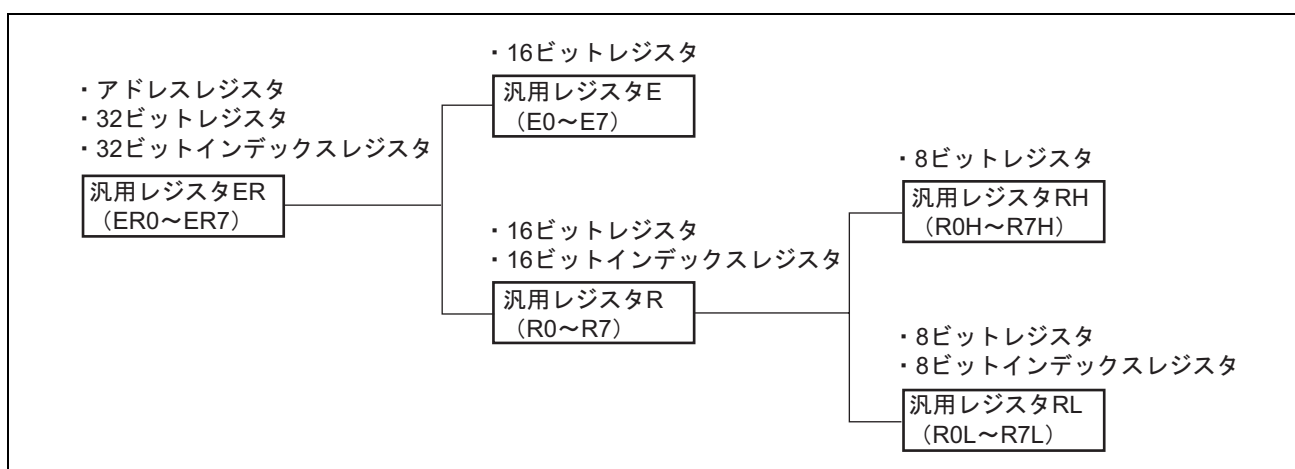


図 2.10 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.11 に示します。

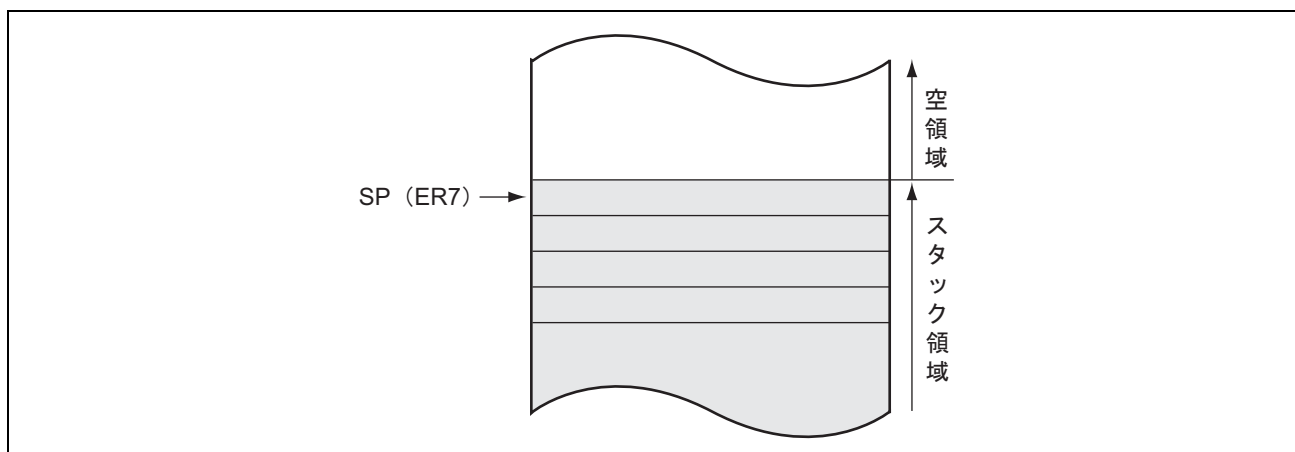


図 2.11 スタックの状態

2.5.2 プログラムカウンタ (PC)

PC は 32 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

2.5.3 コンディションコードレジスタ (CCR)

CCR は、8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I)、ユーザビット (UI、U) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。

CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット このビットが 1 にセットされると、割り込みがマスクされます。例外処理の実行が開始されたときに 1 にセットされます。
6	UI	不定	R/W	ユーザビット/割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。割り込みマスクビットとしても使用可能です。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。

ビット	ビット名	初期値	R/W	説 明
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none"> • 加算結果のキャリ • 減算結果のボロー • シフト/ローテートのキャリ また、キャリフラグにはビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.5.4 エクステンדרレジスタ (EXR)

EXR は、8 ビットのレジスタで、トレースビット (T)、割り込みマスクビット (I2~I0) を含んでいます。

EXR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。詳細は「4. 例外処理」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	T	0	R/W	トレースビット このビットが 1 にセットされているときは、1 命令実行するごとにトレース例外処理を開始します。0 にクリアされているときは、命令を順次実行します。
6~3	—	すべて 1	R/W	リザーブビットです。リードすると常に 1 がリードされます。
2~0	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。
	I1	1	R/W	
	I0	1	R/W	

2.5.5 ベクタベースレジスタ (VBR)

VBR は 32 ビットのレジスタで、上位 20 ビットが有効です。リードすると下位 12 ビットは 0 が読み出されます。リセットと CPU アドレスエラー以外の例外処理のベクタ領域のベースアドレスになります (拡張メモリ間接は対象外です)。VBR の初期値は、H'00000000 です。

VBR は、LDC、STC 命令で操作することができます。

2.5.6 ショートアドレスベースレジスタ (SBR)

SBR は 32 ビットのレジスタで、上位 24 ビットが有効です。リードすると下位 8 ビットは 0 が読み出されます。絶対アドレス 8 ビット (@aa:8) 使用時の上位アドレスになります。SBR の初期値は、H'FFFFFF00 です。

SBR は、LDC、STC 命令で操作することができます。

2.5.7 積和レジスタ (MAC)

MAC は 64 ビットのレジスタで、積和演算結果を格納します。32 ビットの MACH、MACL から構成されます。MACH は下位 10 ビットが有効で、上位は符号拡張されています。

MAC は、MAC、CLRMAC、LDMAC、STMAC 命令で操作することができます。

2.5.8 CPU 内部レジスタの初期値

CPU 内部レジスタのうち PC は、リセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また、EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタ、MAC、CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に MOV.L 命令を使用して、SP の初期化を行ってください。

2.6 データ形式

H8SX CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット (n=0、1、2……、7) という形式でアクセスされます。なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.6.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.12 に示します。

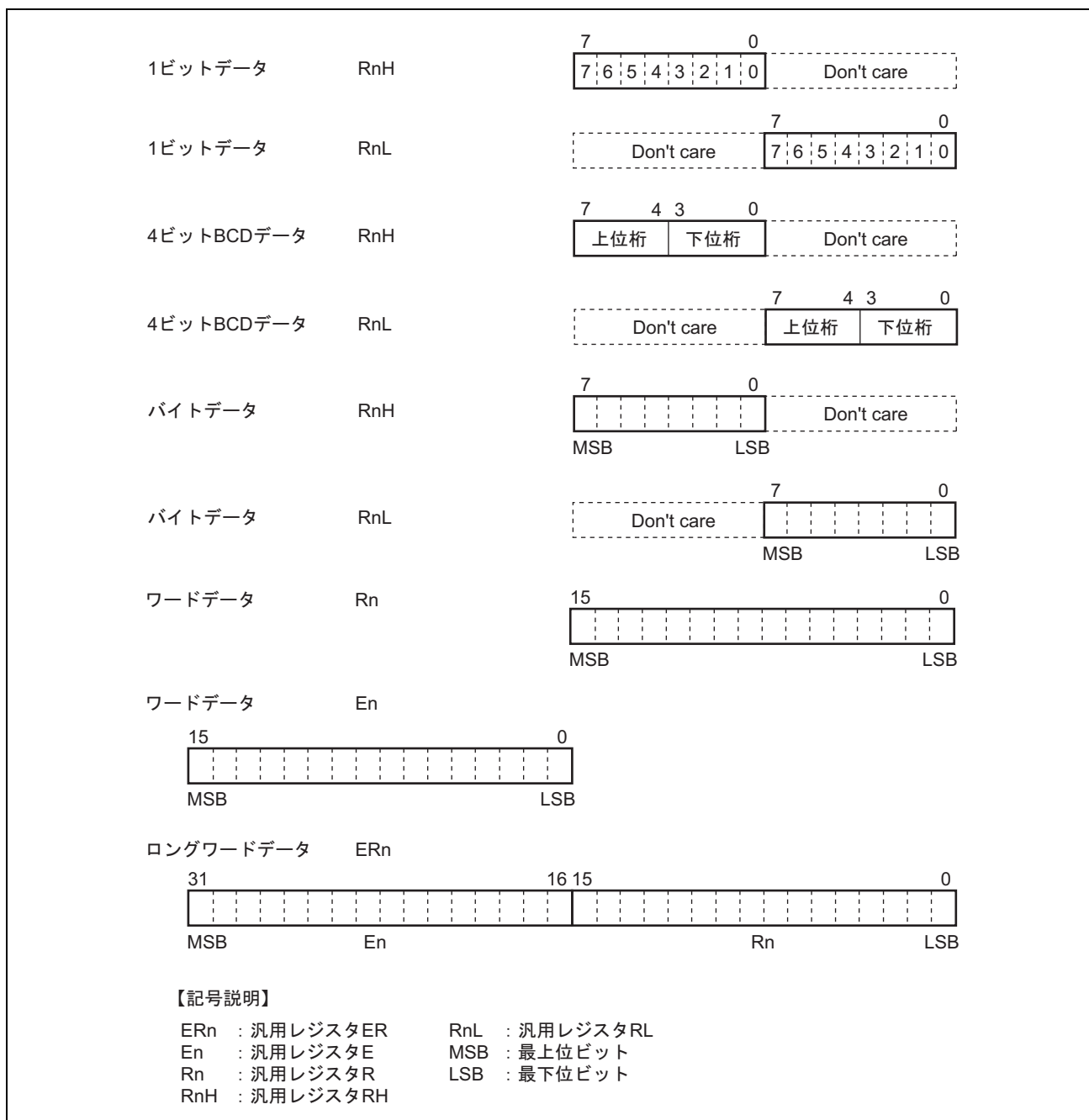


図 2.12 汎用レジスタのデータ形式

2.6.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.13 に示します。

H8SX CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、任意のアドレスに配置することができます。ワードデータが偶数番地、ロングワードデータが 4 の倍数番地から始まらない場合は、複数回に分割してアクセスします。例えば、奇数番地から始まる場合、ロングワードデータは、バイト→ワード→バイトに分割されてバスサイクルが生成されます。この場合、バス制御においては別々のバスサイクルとして認識されます。

また、命令リード、スタック操作、分岐テーブル、およびブロック転送命令、MAC 命令におけるワードデータ/ロングワードデータは、偶数番地から配置してください。

なお、SP (ER7) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

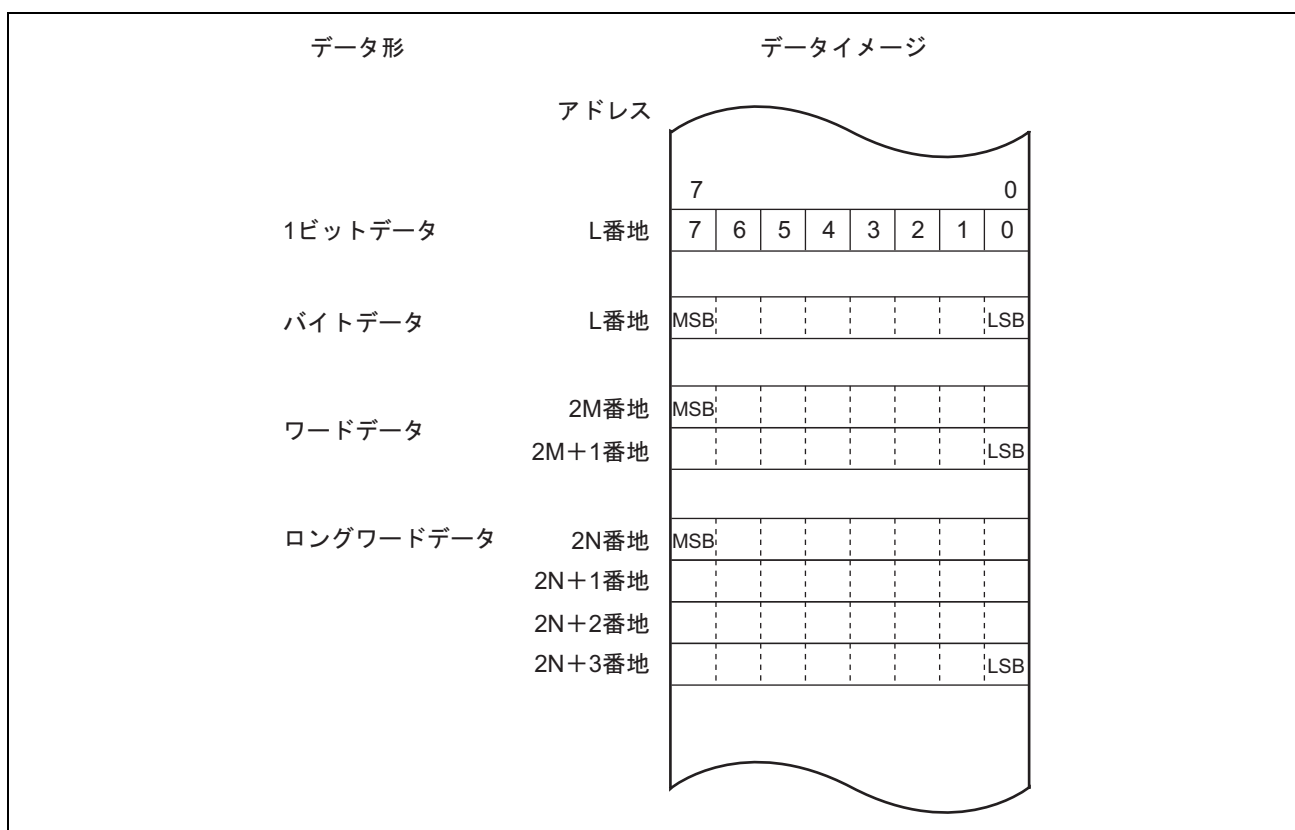


図 2.13 メモリ上でのデータ形式

2.7 命令セット

H8SX CPU の命令は合計 87 種類あり、各命令のもつ機能によって表 2.1 に示すように分類されます。

【注】 算術演算命令、論理演算命令、シフト命令、ビット操作命令を総称して演算命令と呼ぶ場合があります。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	6
	MOVFPPE* ⁶ 、MOVTPPE* ⁶	B	
	POP、PUSH* ¹	W/L	
	LDM、STM	L	
	MOVA	B/W* ²	
ブロック転送命令	EEMOV	B	3
	MOVMD	B/W/L	
	MOVSD	B	
算術演算命令	ADD、ADDX、SUB、SUBX、CMP、NEG、INC、DEC	B/W/L	27
	DAA、DAS	B	
	ADDS、SUBS	L	
	MULXU、DIVXU、MULXS、DIVXS	B/W	
	MULU、DIVU、MULS、DIVS	W/L	
	MULU/U、MULS/U	L	
	EXTU、EXTS	W/L	
	TAS	B	
	MAC	—	
	LDMAC、STMAC	—	
	CLRMAC	—	
論理演算命令	AND、OR、XOR、NOT	B/W/L	4
シフト命令	SHLL、SHLR、SHAL、SHAR、ROTL、ROTR、ROTXL、ROTXR	B/W/L	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	B	20
	BSET/EQ、BSET/NE、BCLR/EQ、BCLR/NE、BSTZ、BISTZ	B	
	BFLD、BFST	B	
分岐命令	BRA/BS、BRA/BC、BSR/BS、BSR/BC	B* ³	9
	Bcc* ⁴ 、JMP、BSR、JSR、RTS	—	
	RTS/L	L* ⁵	
	BRA/S	—	

2. CPU

分類	命令	サイズ	種類
システム制御命令	TRAPA、RTE、SLEEP、NOP	—	10
	RTE/L	L* ⁵	
	LDC、STC、ANDC、ORC、XORC	B/W/L	
合計			87

【記号説明】

B：バイトサイズ

W：ワードサイズ

L：ロングワードサイズ

【注】 *1 POP.W Rn、PUSH.W Rn は MOV.W @SP+,Rn、MOV.W Rn, @-SP と同一です。また、POP.L ERn、PUSH.L ERn は MOV.L @SP+,ERn、MOV.L ERn, @-SP と同一です。

*2 ディスプレースメントに加算するデータの指定方法

*3 条件として指定するデータのサイズ

*4 Bcc は条件分岐命令の総称です。

*5 復帰する汎用レジスタのサイズ

*6 本 LSI では使用できません。

2.7.1 命令とアドレッシングモードの組み合わせ

H8SX CPU で使用できる命令とアドレッシングモードの組み合わせを表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ (1)

分類	命令	サイズ	アドレッシングモード								
			#xx	Rn	@ERn	@ (d,ERn)	@(d, Rn.L.B/ Rn.W/ ERn.L)	@-ERn/ @ERn+/ @ERn-/ @+ERn	@aa:8	@aa:16/ @aa:32	—
データ 転送命令	MOV	B/W/L	S	SD	SD	SD	SD	SD		SD	
		B		S/D					S/D		
	MOVFP,MOVTPPE ^{※12}	B		S/D						S/D ^{*1}	
	POP,PUSH	W/L		S/D				S/D ^{*2}			
	LDM,STM	L		S/D				S/D ^{*2}			
	MOVA ^{*4}	B/W		S	S	S	S	S	S	S	
ブロック 転送命令	EPMOV	B									SD ^{*3}
	MOVMD	B/W/L									SD ^{*3}
	MOVSD	B									SD ^{*3}
算術演算命令	ADD,CMP	B	S	D	D	D	D	D	D	D	
		B		S	D	D	D	D	D	D	
		B		D	S	S	S	S	S	S	
		B			SD	SD	SD	SD		SD	
		W/L	S	SD	SD	SD	SD	SD		SD	
	SUB	B	S		D	D	D	D	D	D	
		B		S	D	D	D	D	D	D	
		B		D	S	S	S	S	S	S	
		B			SD	SD	SD	SD		SD	
		W/L	S	SD	SD	SD	SD	SD		SD	
	ADDX,SUBX	B/W/L	S	SD							
		B/W/L	S		SD						
		B/W/L	S					SD ^{*5}			
	INC,DEC	B/W/L		D							
	ADDS,SUBS	L		D							
	DAA,DAS	B		D							
	MULXU,DIVXU	B/W	S : 4	SD							
	MULU,DIVU	W/L	S : 4	SD							
MULXS,DIVXS	B/W	S : 4	SD								
MULS,DIVS	W/L	S : 4	SD								

2. CPU

分類	命令	サイズ	アドレッシングモード									
			#xx	Rn	@ERn	@ (d,ERn)	@(d, Rn.L.B/ Rn.W/ ERn.L)	@-ERn/ @ERn+/ @ERn-/ @+ERn	@aa:8	@aa:16/ @aa:32	—	
算術演算命令	NEG	B		D	D	D	D	D	D	D	D	
		W/L		D	D	D	D	D	D		D	
	EXTU,EXTS	W/L		D	D	D	D	D		D		
	TAS	B			D							
	MAC	—										
	CLRMAC	—										○
	LDMAC	—		S								
STMAC	—		D									
論理演算命令	AND,OR,XOR	B		S	D	D	D	D	D	D	D	
		B		D	S	S	S	S	S	S	S	
		B			SD	SD	SD	SD	SD		SD	
		W/L	S	SD	SD	SD	SD	SD	SD		SD	
	NOT	B		D	D	D	D	D	D	D	D	
		W/L		D	D	D	D	D	D		D	
シフト命令	SHLL,SHLR	B		D	D	D	D	D	D	D	D	
		W/L* ⁶		D	D	D	D	D	D		D	
		B/W/L* ⁷		D								
	SHAL,SHAR,ROTL, ROTR,ROTXL, ROTXR	B		D	D	D	D	D	D	D	D	
		W/L		D	D	D	D	D	D		D	
ビット 操作命令	BSET,BCLR,BNOT, BTST,BSET/cc, BCLR/cc	B		D	D					D	D	
	BAND,BIAND,BOR, BIOR,BXOR, BIXOR, BLD,BILD, BST,BIST,BSTZ, BISTZ	B		D	D					D	D	
	BFLD	B		D	S					S	S	
	BFST	B		S	D					D	D	
	分岐命令	BRA/BS,BRA/BC* ⁸	B			S					S	S
BSR/BS,BSR/BC* ⁸		B			S					S	S	

分類	命令	サイズ	アドレッシングモード									
			#xx	Rn	@ERn	@ (d,ERn)	@(d, RnL.B/ Rn.W/ ERn.L)	@-ERn/ @ERn+/ @ERn-/ @+ERn	@aa:8	@aa:16/ @aa:32	—	
システム制御 命令	LDC (CCR,EXR)	B/W ^{*9}	S	S	S	S			S ^{*10}		S	
	LDC (VBR,SBR)	L		S								
	STC (CCR,EXR)	B/W ^{*9}		D	D	D			D ^{*11}		D	
	STC (VBR,SBR)	L		D								
	ANDC,ORC,XORC	B	S									
	SLEEP	—										○
	NOP	—										○

【記号説明】

- d : d : 16 または d : 32
S : ソースとして指定可能
D : デスティネーションとして指定可能
SD : ソースまたはデスティネーションの一方または両方として指定可能
S/D : ソースまたはデスティネーションの一方として指定可能
S:4 : ソースとして4ビットイミディエイトデータを指定可能

- 【注】 *1 @aa:16 のみ
*2 ソースのとき@ERn+、デスティネーションのとき@-ERn
*3 データ転送のソースのアドレスは ER5、デスティネーションのアドレスは ER6
*4 ディスプレースメントに加算するデータの指定方法
*5 @ERnのみ
*6 シフトビット数が 1、2、4、8 または 16 ビットのとき
*7 シフトビット数を 5 ビットイミディエイトデータまたは汎用レジスタで指定するとき
*8 条件として指定するデータの指定方法
*9 イミディエイトまたはレジスタ直接のときバイト、そのほかのときワード
*10 @ERn+のみ
*11 @-ERn のみ
*12 本 LSI では使用できません。

2. CPU

表 2.2 命令とアドレッシングモードの組み合わせ (2)

分類	命令	サイズ	アドレッシングモード							
			@ERn	@(d,PC)	@(RnL,B/ Rn,W/ ERn.L,PC)	@aa:24	@aa:32	@@aa:8	@@vec:7	—
分岐命令	BRA/BS、BRA/BC	—		○						
	BSR/BS、BSR/BC	—		○						
	Bcc	—		○						
	BRA	—		○	○					
	BRA/S	—		○*						
	JMP	—	○			○	○	○	○	
	BSR	—		○						
	JSR	—	○			○	○	○	○	
	RTS、RTS/L	—								○
システム制御命令	TRAPA	—								○
	RTE、RTE/L	—								○

【記号説明】

d: d:8 または d:16

【注】 * @(d:8,PC)のみ

2.7.2 命令の機能別一覧

各命令の機能を表 2.4～表 2.11 に示します。各表で使用しているオペレーションの記号の意味を表 2.3 に示します。

表 2.3 オペレーションの記号

記号	説明
Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
VBR	ベクタベースレジスタ
SBR	ショートアドレスベースレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ（ER0～ER7）です。

2. CPU

表 2.4 データ転送命令

命令	サイズ	機能
MOV	B/W/L	#IMM→(EAd)、(EAs)→(EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータ転送を行います。
MOVFPE*	B	(EAs)→Rd
MOVTPE*	B	Rs→(EAs)
POP	W/L	@SP+→Rn スタックから汎用レジスタへその内容を復帰します。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。
LDM	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへその内容を復帰します。連続した番号の2、3または4本の汎用レジスタを指定できます。
STM	L	Rn (レジスタ群)→@-SP 複数の汎用レジスタの内容をスタックに退避します。連続した番号の2、3または4本の汎用レジスタを指定できます。
MOVA	B/W	EA→Rd 指定した汎用レジスタまたはメモリのデータをゼロ拡張およびシフトして、ディスプレイメントに加算し、結果を汎用レジスタに格納します。

【注】 * 本 LSI では使用できません。

表 2.5 ブロック転送命令

命令	サイズ	機能
EPMOV.B EPMOV.W	B	ブロック転送命令です。ER5 で示されるアドレスから始まり、R4 または R4L で指定される数のバイトデータを、ER6 で示されるアドレスへ転送します。
MOVMD.B	B	ブロック転送命令です。ER5 で示されるアドレスから始まり、R4 で指定される数のバイトデータを、ER6 で示されるアドレスへ転送します。
MOVMD.W	W	ブロック転送命令です。ER5 で示されるアドレスから始まり、R4 で指定される数のワードデータを、ER6 で示されるアドレスへ転送します。
MOVMD.L	L	ブロック転送命令です。ER5 で示されるアドレスから始まり、R4 で指定される数のロングワードデータを、ER6 で示されるアドレスへ転送します。
MOVSD.B	B	ゼロデータ検出付きのブロック転送命令です。ER5 で示されるアドレスから始まり、R4 で指定される数のバイトデータを、ER6 で示されるアドレスへ転送します。途中でゼロデータが検出されると、データ転送を打ち切り、指定したアドレスに分岐します。

表 2.6 算術演算命令

命令	サイズ	機能
ADD SUB	B/W/L	(EAd) ±#IMM → (EAd)、(EAd) ± (EAs) → (EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの加減算を行います。バイトサイズでの汎用レジスタとイミディエイトデータの減算はできません。
ADDX SUBX	B/W/L	(EAd) ±#IMM ± C → (EAd)、(EAd) ± (EAs) ± C → (EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータのキャリ付きの加減算を行います。メモリを指定するアドレッシングモードは、レジスタ間接、ポストデクリメントレジスタ間接です。
INC DEC	B/W/L	Rd ± 1 → Rd、Rd ± 2 → Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズでは 1 の加減算のみ可能です)。
ADDS SUBS	L	Rd ± 1 → Rd、Rd ± 2 → Rd、Rd ± 4 → Rd 汎用レジスタに 1、2 または 4 を加減算します。
DAA DAS	B	Rd (10 進補正) → Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット 2 桁 BCD データに補正します。
MULXU	B/W	Rd × Rs → Rd 汎用レジスタと汎用レジスタの間の符号なし乗算を行います。 8 ビット × 8 ビット → 16 ビット、16 ビット × 16 ビット → 32 ビットの乗算が可能です。
MULU	W/L	Rd × Rs → Rd 汎用レジスタと汎用レジスタの間の符号なし乗算を行います。 16 ビット × 16 ビット → 16 ビット、32 ビット × 32 ビット → 32 ビットの乗算が可能です。
MULU/U	L	Rd × Rs → Rd 汎用レジスタと汎用レジスタの間の 32 ビット × 32 ビットの符号なし乗算を行い、結果の上位 32 ビットを得ます。
MULXS	B/W	Rd × Rs → Rd 汎用レジスタと汎用レジスタの間の符号付き乗算を行います。 8 ビット × 8 ビット → 16 ビット、16 ビット × 16 ビット → 32 ビットの乗算が可能です。
MULS	W/L	Rd × Rs → Rd 汎用レジスタと汎用レジスタの間の符号付き乗算を行います。 16 ビット × 16 ビット → 16 ビット、32 ビット × 32 ビット → 32 ビットの乗算が可能です。
MULS/U	L	Rd × Rs → Rd 汎用レジスタと汎用レジスタの間の 32 ビット × 32 ビットの符号付き乗算を行い、結果の上位 32 ビットを得ます。
DIVXU	B/W	Rd ÷ Rs → Rd 汎用レジスタと汎用レジスタの間の符号なし除算を行います。 16 ビット ÷ 8 ビット → 商 8 ビット 余り 8 ビット、32 ビット ÷ 16 ビット → 商 16 ビット 余り 16 ビットの除算が可能です。

2. CPU

命令	サイズ	機能
DIVU	W/L	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタの間の符号なし除算を行います。 16ビット÷16ビット→商 16ビット、32ビット÷32ビット→商 32ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタの間の符号付き除算を行います。 16ビット÷8ビット→商 8ビット余り 8ビット、32ビット÷16ビット→商 16ビット余り 16ビットの除算が可能です。
DIVS	W/L	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタの間の符号付き除算を行います。 16ビット÷16ビット→商 16ビット、32ビット÷32ビット→商 32ビットの除算が可能です。
CMP	B/W/L	(EAd) - #IMM、(EAd) - (EAs) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの比較を行い、その結果をCCRに格納します。
NEG	B/W/L	0 - (EAd) → (EAd) 汎用レジスタまたはメモリの内容の2の補数（算術的補数）を取ります。
EXTU	W/L	(EAd) (ゼロ拡張) → (EAd) 汎用レジスタまたはメモリの下位 8 ビットまたは 16 ビットを、ワードサイズまたはロングワードサイズにゼロ拡張します。 下位 8 ビット→ワードサイズ、下位 8 ビット→ロングワードサイズ、下位 16 ビット→ロングワードサイズのゼロ拡張が可能です。
EXTS	W/L	(EAd) (符号拡張) → (EAd) 汎用レジスタまたはメモリの下位 8 ビットまたは 16 ビットを、ワードサイズまたはロングワードサイズに符号拡張します。 下位 8 ビット→ワードサイズ、下位 8 ビット→ロングワードサイズ、下位 16 ビット→ロングワードサイズの符号拡張が可能です。
TAS	B	@ERd - 0, 1 → (<ビット 7> of @EAd) メモリの内容をテストした後、最上位ビット（ビット 7）を 1 にセットします。
MAC	-	(EAd) × (EAs) + MAC → MAC メモリとメモリの間の符号付乗算を行い、結果を MAC に加算します。
CLRMAC	-	0 → MAC MAC をゼロクリアします。
LDMAC	-	Rs → MAC 汎用レジスタの内容を MAC に転送します。
STMAC	-	MAC → Rd MAC の内容を汎用レジスタに転送します。

表 2.7 論理演算命令

命令	サイズ	機能
AND	B/W/L	$(EAd) \wedge \#IMM \rightarrow (EAd)$ 、 $(EAd) \wedge (EAs) \rightarrow (EAd)$ イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの論理積を取ります。
OR	B/W/L	$(EAd) \vee \#IMM \rightarrow (EAd)$ 、 $(EAd) \vee (EAs) \rightarrow (EAd)$ イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの論理和を取ります。
XOR	B/W/L	$(EAd) \oplus \#IMM \rightarrow (EAd)$ 、 $(EAd) \oplus (EAs) \rightarrow (EAd)$ イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの排他的論理和を取ります。
NOT	B/W/L	$\sim (EAd) \rightarrow (EAd)$ 汎用レジスタまたはメモリの内容の1の補数（論理的補数）を取ります。

表 2.8 シフト命令

命令	サイズ	機能
SHLL SHLR	B/W/L	(EAd) （シフト処理） $\rightarrow (EAd)$ 汎用レジスタまたはメモリの内容を論理的にシフトします。汎用レジスタまたはメモリに対して1、2、4、8または16ビットのシフトが可能です。汎用レジスタに対しては、任意ビットのシフトが可能です。この場合、シフトビット数は、5ビットのイミディエイトデータまたは汎用レジスタの内容下位5ビットで指定します。
SHAL SHAR	B/W/L	(EAd) （シフト処理） $\rightarrow (EAd)$ 汎用レジスタまたはメモリの内容を算術的にシフトします。1または2ビットのシフトが可能です。
ROTL ROTR	B/W/L	(EAd) （ローテート処理） $\rightarrow (EAd)$ 汎用レジスタまたはメモリの内容をローテートします。1または2ビットのシフトが可能です。
ROTXL ROTXR	B/W/L	(EAd) （ローテート処理） $\rightarrow (EAd)$ 汎用レジスタまたはメモリの内容をキャリフラグを含めてローテートします。1または2ビットのシフトが可能です。

2. CPU

表 2.9 ビット操作命令

命令	サイズ	機能
BSET	B	1→ (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BSET/cc	B	if cc, 1→ (<ビット番号>of<EAd>) 指定した条件が成立しているとき、メモリの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。条件は、Z=1、Z=0が指定可能です。
BCLR	B	0→ (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR/cc	B	if cc, 0→ (<ビット番号>of<EAd>) 指定した条件が成立しているとき、メモリの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。条件は、Z=1、Z=0が指定可能です。
BNOT	B	~ (<ビット番号>of<EAd>) → (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BTST	B	~ (<ビット番号>of<EAd>) → Z 汎用レジスタまたはメモリの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BAND	B	C ∧ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリの指定された1ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIAND	B	C ∧ [~ (<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリの指定された1ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BOR	B	C ∨ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリの指定された1ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIOR	B	C ∨ [~ (<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリの指定された1ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BXOR	B	C ⊕ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリの指定された1ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定します。

命令	サイズ	機能
BIXOR	B	$C \oplus [\sim (\text{ビット番号} \text{ of } \text{EAd})] \rightarrow C$ 汎用レジスタまたはメモリの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BLD	B	$(\text{ビット番号} \text{ of } \text{EAd}) \rightarrow C$ 汎用レジスタまたはメモリの指定された1ビットをキャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BILD	B	$\sim (\text{ビット番号} \text{ of } \text{EAd}) \rightarrow C$ 汎用レジスタまたはメモリの指定された1ビットを反転し、キャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BST	B	$C \rightarrow (\text{ビット番号} \text{ of } \text{EAd})$ 汎用レジスタまたはメモリの指定された1ビットに、キャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BSTZ	B	$Z \rightarrow (\text{ビット番号} \text{ of } \text{EAd})$ メモリの指定された1ビットに、ゼロフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIST	B	$\sim C \rightarrow (\text{ビット番号} \text{ of } \text{EAd})$ 汎用レジスタまたはメモリの指定された1ビットに、キャリフラグを反転して転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BISTZ	B	$\sim Z \rightarrow (\text{ビット番号} \text{ of } \text{EAd})$ メモリの指定された1ビットに、ゼロフラグを反転して転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BFLD	B	$(\text{EAs}) (\text{ビットフィールド}) \rightarrow \text{Rd}$ メモリのオペランドの指定したビットフィールドを、指定した汎用レジスタの下位側に転送します。
BFST	B	$\text{Rs} \rightarrow (\text{EAd}) (\text{ビットフィールド})$ メモリのオペランドの指定したビットフィールドへ、指定した汎用レジスタの下位側に転送します。

2. CPU

表 2.10 分岐命令

命令	サイズ	機能
BRA/BS BRA/BC	B	メモリのオペランドの指定したビットをテストし、指定した条件が成立しているとき、指定されたアドレスへ分岐します。
BSR/BS BSR/BC	B	メモリのオペランドの指定したビットをテストし、指定した条件が成立しているとき、指定されたアドレスへサブルーチン分岐します。
Bcc	—	指定した条件が成立しているとき、指定されたアドレスへ分岐します。
BRA/S	—	次の命令を実行した後、指定されたアドレスに無条件に分岐します。次の命令は1ワード命令で、かつブロック転送命令、分岐命令以外に限定されます。
JMP	—	指定されたアドレスへ無条件に分岐します。
BSR	—	指定されたアドレスへサブルーチン分岐します。
JSR	—	指定されたアドレスへサブルーチン分岐します。
RTS	—	サブルーチンから復帰します。
RTS/L	—	スタックから複数の汎用レジスタへその内容を復帰し、サブルーチンから復帰します。

表 2.11 システム制御命令

命令	サイズ	機能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
RTE/L	—	スタックから複数の汎用レジスタへその内容を復帰し、例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	#IMM→CCR、(EAs)→CCR、#IMM→EXR、(EAs)→EXR イミディエイトデータ、汎用レジスタまたはメモリの内容を CCR、EXR へ転送します。CCR、EXR は 8 ビットですが、メモリとの転送はワードサイズで行われ、上位 8 ビットが有効です。
	L	Rs→VBR、Rs→SBR 汎用レジスタの内容を VBR、SBR へ転送します。
STC	B/W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリへ転送します。 CCR、EXR は 8 ビットですが、メモリとの転送はワードサイズで行われ、上位 8 ビットが有効です。
	L	VBR→Rd、SBR→Rd VBR、SBR の内容を汎用レジスタへ転送します。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2→PC PC のインクリメントだけを行います。

2.7.3 命令の基本フォーマット

H8SX CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.14 に命令フォーマットの例を示します。

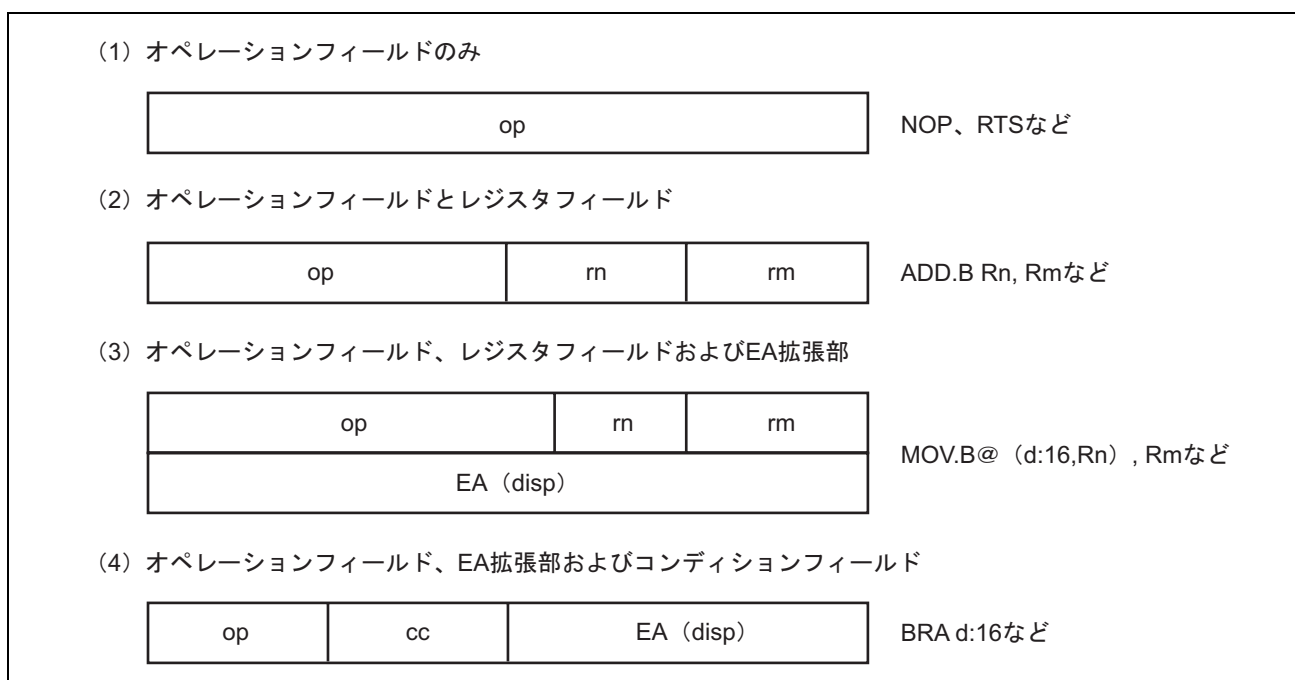


図 2.14 命令フォーマットの例

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイースメントを指定します。8 ビット、16 ビット、または 32 ビットです。

- コンディションフィールド

Bcc 命令の分岐条件を指定します。

2.8 アドレッシングモードと実効アドレスの計算方法

H8SX CPU は表 2.12 に示すように、11 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接（BSET、BCLR、BNOT、BTST の各命令）、およびイミディエイト（3 ビット）が独立して使用できます。

表 2.12 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレイースメント付レジスタ間接	@(d:2,ERn)/@(d:16,ERn)/@(d:32,ERn)
4	ディスプレイースメント付インデックスレジスタ間接	@(d:16,RnL.B)/@(d:16,Rn.W)/@(d:16,ERn.L) @(d:32,RnL.B)/@(d:32,Rn.W)/@(d:32,ERn.L)
5	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接 プリインクリメントレジスタ間接 ポストデクリメントレジスタ間接	@ERn+ @-ERn @+ERn @ERn-
6	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
7	イミディエイト	#xx:3/#xx:4/#xx:8/#xx:16/#xx:32
8	プログラムカウンタ相対	@(d:8,PC)/@(d:16,PC)
9	プログラムカウンタインデックスレジスタ相対	@(RnL.B,PC)/@(Rn.W,PC)/@(ERn.L,PC)
10	メモリ間接	@@aa:8
11	拡張メモリ間接	@@ vec:7

2.8.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ（8 ビット、16 ビットまたは 32 ビット）が、オペランドとなります。

8 ビットレジスタとしては、R0H～R7H、R0L～R7L を指定可能です。

16 ビットレジスタとしては、R0～R7、E0～E7 を指定可能です。

32 ビットレジスタとしては、ER0～ER7 を指定可能です。

2.8.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容を、アドレスとしてメモリ上のオペランドを指定します。

アドバンスモードのとき、分岐命令では下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) と見なされます。

2.8.3 ディスプレースメント付レジスタ間接 @ (d:2,ERn) /@ (d:16,ERn) /@ (d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されません。

また、データのサイズがバイトの場合は、ディスプレースメントが 1、2、3 のとき短縮形@ (d:2,ERn) が用意されています。同様に、ワードの場合は 2、4、6 のとき、ロングワードの場合は 4、8、12 のとき、それぞれ短縮形@ (d:2,ERn) が用意されています。

2.8.4 ディスプレースメント付インデックスレジスタ間接 @ (d:16,RnL.B) /@ (d:32,RnL.B)/@ (d:16,Rn.W)/@ (d:32,Rn.W)/@ (d:16,ERn.L)/@ (d:32,ERn.L)

命令コードのレジスタフィールドで指定されるアドレスレジスタの指定されたビット数 (RnL、Rn、ERn) の内容を 32 ビットにゼロ拡張し、1、2 または 4 を乗算し、乗算結果と命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容を、アドレスとしてメモリ上のオペランドを指定します。指定するメモリ上のオペランドサイズに応じて、バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 が、それぞれ乗算されます。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.8.5 プリ/ポストインクリメント/デクリメントレジスタ間接 @ERn+/@-ERn/@+ERn/@ERn-

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容を、アドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 が、それぞれ加算されます。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容を、アドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4、がそれぞれ減算されます。

(3) プリインクリメントレジスタ間接 @+ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を加算した内容を、アドレスとしてメモリ上のオペランドを指定します。その後、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4が、それぞれ加算されます。

(4) ポストデクリメントレジスタ間接 @ERn-

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容を、アドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に1、2 または 4 が減算され、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4が、それぞれ減算されます。

以上の(1)~(4)の場合、アドレスレジスタで指定した汎用レジスタをデータレジスタとして、メモリへのライトを行う場合、実効アドレス計算後の汎用レジスタの内容がライトされます。また、同一の汎用レジスタを指定して2つの実効アドレス計算を行う場合、1回目の実効アドレス計算後の汎用レジスタの内容が、2回目の実効アドレス計算に用いられます。

例1 MOV.W R0, @ER0+

実行前のER0がH'12345678のときH'12345678番地にH'567Aがライトされます。

例2 MOV.B @ER0+, @ER0+

実行前のER0がH'00001000のときH'00001000番地をリードし、H'00001001番地へライトします。

実行後のER0はH'00001002です。

2.8.6 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、24ビット (@aa:24)、または32ビット (@aa:32)です。

データ領域としては、8ビット (@aa:8)、16ビット (@aa:16)、または32ビット (@aa:32)を使用します。8ビット絶対アドレスの場合、上位24ビットはSBRで指定されます。16ビット絶対アドレスの場合、上位16ビットは符号拡張されます。32ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては24ビット (@aa:24)、または32ビット (@aa:32)を使用します。24ビット (@aa:24)のとき上位8ビットはすべて0 (H'00) となります。

絶対アドレスのアクセス範囲を表 2.13 に示します。

表 2.13 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	ミドルモード	アドバンストモード	マキシマムモード
データ領域	8ビット (@aa:8)	SBR を上位アドレスとした任意の連続した 256 バイト			
	16ビット (@aa:16)	H'0000~H'FFFF	H'000000~ H'007FFF、 H'FF8000~ H'FFFFFF	H'00000000~H'00007FFF、 H'FFFF8000~H'FFFFFFF	
	32ビット (@aa:32)			H'00000000~H'FFFFFFF	
プログラム領域	24ビット (@aa:24)		H'000000~ H'FFFFFF	H'00000000~H'00FFFFFF	
	32ビット (@aa:32)	H'00000000~ H'00FFFFFF		H'00000000~ H'FFFFFFF	

2.8.7 イミディエイト #xx

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

短縮形として、3 ビットまたは 4 ビットのイミディエイトデータを使用可能な場合があります。

データのサイズ (バイト/ワード/ロングワード) より、イミディエイトデータのビット数が小さい場合にはゼロ拡張されます。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが命令コード中に含まれる場合があります。BFLD、BFST 命令では、ビットフィールドを指定するための 8 ビットのイミディエイトデータが命令コードの中に含まれます。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.8.8 プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 32 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレイメントを加算して、32 ビットの分岐アドレスを生成します。加算に際して、ディスプレイメントは 32 ビットに符号拡張されます。また、加算される PC の内容は、次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して、-126~+128 バイト (-63~+64 ワード)、または -32766~+32768 バイト (-16383~+16384 ワード) です。このとき、加算結果が偶数となるようにしてください。アドバンストモードのとき、加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) と見なされます。

2.8.9 プログラムカウンタインデックス相対 @ (RnL.B, PC) /@ (Rn.W, PC) / @ (ERn.L, PC)

Bcc、BSR 命令で使用されます。命令コードのレジスタフィールドで指定されるアドレスレジスタの指定されたビット数 (RnL、Rn、ERn) の内容を 32 ビットにゼロ拡張し、2 を乗算し、乗算結果と PC の内容で指定される 32 ビットのアドレスを加算して、32 ビットの分岐アドレスを生成します。加算される PC の内容は、次の命令の先頭アドレスとなっています。アドバンスモードのとき、加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) と見なされます。

2.8.10 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

8 ビット絶対アドレスの上位ビットはすべて 0 となりますので、分岐アドレスを格納できるのは、0~255 (ノーマルモードのとき H'0000~H'00FF、ノーマルモード以外のとき H'000000~H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

そのほかの場合は、メモリ上のオペランドはロングワードサイズで指定します。ミドルモードとアドバンスモードの場合は、このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。なお、リセットおよび CPU アドレスエラー以外の例外処理ベクタのアドレスは VBR で変更できます。

メモリ間接による分岐アドレスの指定を図 2.15 に示します。

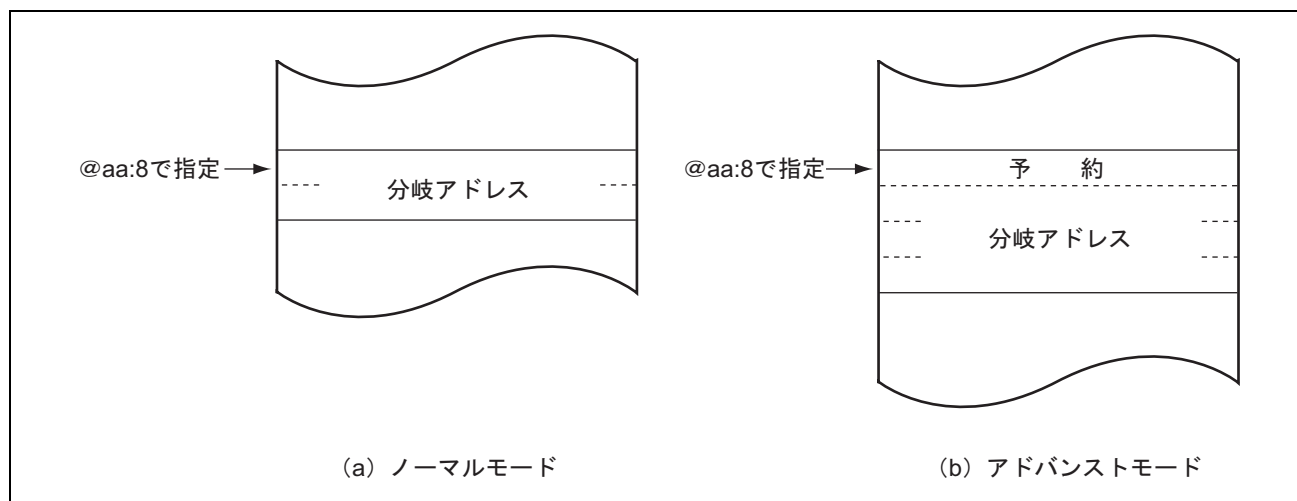


図 2.15 メモリ間接による分岐アドレスの指定

2.8.11 拡張メモリ間接 @@vec:7

JMP、JSR 命令で使用されます。命令コード中に含まれる 7 ビットのデータに H'80 を加算し、2 または 4 を乗算し、乗算結果でメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

分岐アドレスを格納できるのは、ノーマルモードのとき H'0100~H'01FF、ノーマルモード以外るとき H'000200~H'0003FF 番地です。なお、アセンブラ表記上は、分岐アドレスを格納するアドレスを指定します。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

そのほかの場合は、メモリ上のオペランドはロングワードサイズで指定します。ミドルモードとアドバンスモードの場合は、このうち先頭の 1 バイトはすべて 0 (H'00) と見なされます。

2.8.12 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算法を表 2.14、表 2.15 に示します。

CPU 動作モードに応じて、実効アドレス計算結果の下位ビットが有効になり、上位ビットは無視 (ゼロ拡張、または符号拡張) されます。

例えばミドルモードのとき、

1. 転送命令、演算命令の実効アドレスの下位 16 ビットが有効になり、上位 16 ビットは符号拡張されます。
2. 分岐命令では、実効アドレスの下位 24 ビットが有効になり、上位 8 ビットはゼロ拡張されます。

表 2.14 転送／演算命令の実効アドレスの計算方法






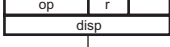
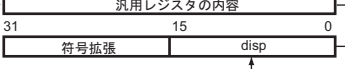
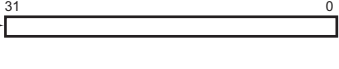
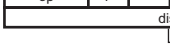

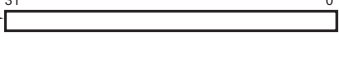
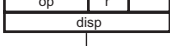
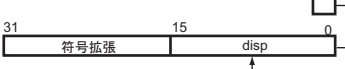
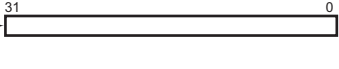
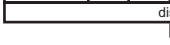
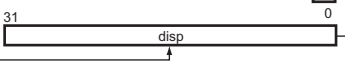
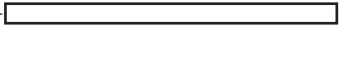

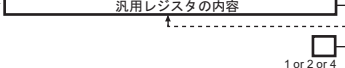
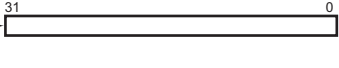

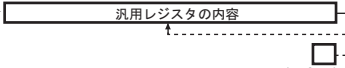
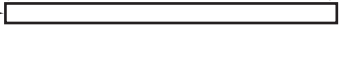

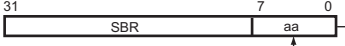
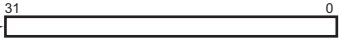
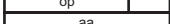
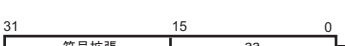


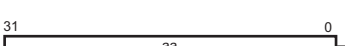
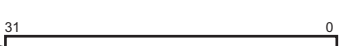

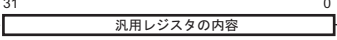
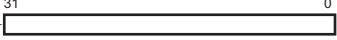

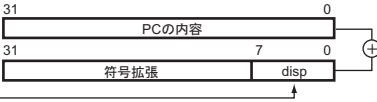
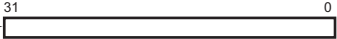
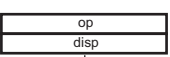
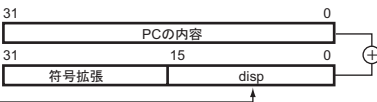

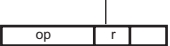


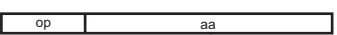


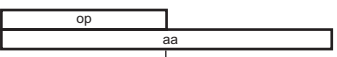
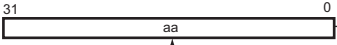
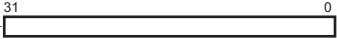
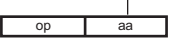
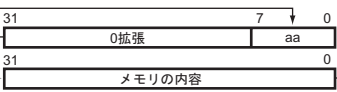

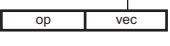
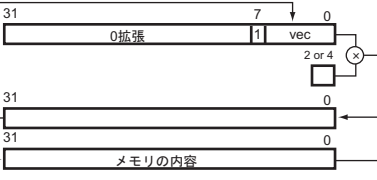

No.	アドレッシングモード・命令フォーマット	実効アドレスの計算方法	実効アドレス (EA)
1	イミディエイト 		
2	レジスタ直接 		
3	レジスタ間接 		
4	・16ビットディスプレースメント付きレジスタ間接 		
	・32ビットディスプレースメント付きレジスタ間接 		
5	・16ビットディスプレースメントインデックスレジスタ間接 		
	・32ビットディスプレースメントインデックスレジスタ間接 		
6	・ポストインクリメント／デクリメントレジスタ間接 		
	・プリインクリメント／デクリメントレジスタ間接 		
7	・8ビット絶対アドレス 		
	・16ビット絶対アドレス 		
	・32ビット絶対アドレス 		

表 2.15 分岐命令の実効アドレスの計算方法

No.	アドレッシングモード・命令フォーマット	実効アドレスの計算方法	実効アドレス (EA)
1	レジスタ間接 	汎用レジスタの内容 	
2	・プログラムカウンタ相対ディस्पレースメント8ビット 		
	・プログラムカウンタ相対ディस्पレースメント16ビット 		
3	プログラムカウンタインデックスレジスタ相対 		
4	・24ビット絶対アドレス 		
	・32ビット絶対アドレス 		
5	メモリ間接 		
6	拡張メモリ間接 		

2.8.13 MOVA 命令

MOVA 命令は、実効アドレスを汎用レジスタに格納します。

- 表2.14のNo.2のアドレッシングモードでデータを取得します。
- 次に、このデータを表2.14のNo.5の汎用レジスタの代わりにインデックスとした実効アドレス計算を行い、その結果を汎用レジスタに格納します。

詳細は、「H8SX ファミリソフトウェアマニュアル」を参照してください。

2.9 処理状態

H8SX CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を図 2.16 に示します。

- リセット状態

CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子を Low レベルから High レベルにすると、リセット例外処理を開始します。リセットの詳細は「4. 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によって CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「4. 例外処理」を参照してください。

- プログラム実行状態

CPU がプログラムを順次実行している状態です。

- バス権解放状態

CPU 以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態では CPU は動作を停止します。

- プログラム停止状態

CPU が動作を停止し、消費電力を低下させた状態です。SLEEP 命令の実行、またはハードウェアスタンバイモードへの遷移で CPU はプログラム停止状態になります。詳細は「19. 低消費電力」を参照してください。

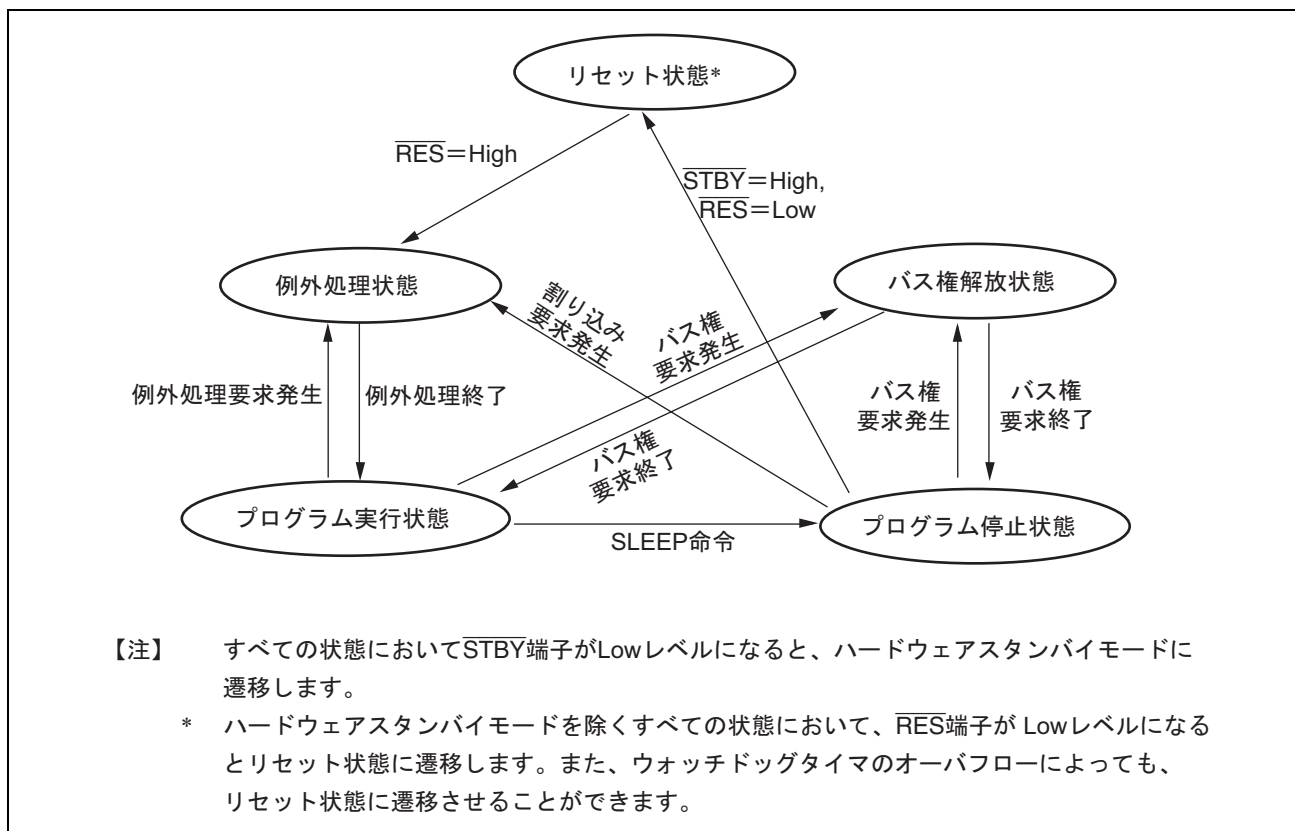


図 2.16 状態遷移図

3. MCU 動作モード

3.1 動作モードの選択

本 LSI には、2 種類の動作モード（モード 4、5）があります。動作モードは、モード端子（MD2～MD0）の設定で決まります。表 3.1 に MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	モード端子			CPU 動作モード	アドレス 空間	内容	内蔵 ROM	外部データバス	
	MD2	MD1	MD0					初期値	最大値
4	1	0	0	アドバンスト	16M	内蔵 ROM 無効 拡張モード	無効	16 ビット	16 ビット
5	1	0	1		バイト			8 ビット	16 ビット

CPU 動作モードはアドバンストモード、アドレス空間は 16M バイト、初期外部バス幅は 8 ビットまたは 16 ビットです。

モード 4、5 は、外部メモリおよび周辺デバイスをアクセスできる外部拡張モードです。外部拡張モードでは、プログラム実行開始後バスコントローラの設定により、外部アドレス空間をエリアごとに 8 ビット、16 ビットに設定できます。また、いずれか 1 つのエリアを 16 ビットアドレス空間にすると 16 ビットバスモードとなり、すべてのエリアを 8 ビットアクセス空間にすると 8 ビットバスモードとなります。

3. MCU 動作モード

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)

3.2.1 モードコントロールレジスタ (MDCR)

MDCR は、現在の動作モードのモニタ表示を行ないます。

MDCR をリードすると、MD2～MD0 端子の入力レベルがラッチされます。このラッチはリセットで解除されます。

ビット	15	14	13	12	11	10	9	8
ビット名	—	—	—	—	—	MDS2	MDS1	MDS0
初期値 :	0	1	0	1	0	不定*	不定*	不定*
R/W :	R	R	R	R	R	R	R	R
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値 :	0	1	0	1	0	不定*	不定*	不定*
R/W :	R	R	R	R	R	R	R	R

【注】 * MD2～MD0端子の設定により決定されます。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
14	—	1	R	
13	—	0	R	
12	—	1	R	
11	—	0	R	
10	MDS2	不定*	R	モードセレクト 2～0 モード端子 (MD2～MD0) により設定された動作モードに対応した値を示します (表 3.2 参照)。MDCR をリードすると、MD2～MD0 端子の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
9	MDS1	不定*	R	
8	MDS0	不定*	R	
7	—	0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
6	—	1	R	
5	—	0	R	
4	—	1	R	
3	—	0	R	
2	—	不定*	R	
1	—	不定*	R	
0	—	不定*	R	

【注】 * MD2～MD0 端子の設定により決定されます。

表 3.2 MDS2~MDS0 ビットの値

MCU 動作モード	MD2	MD1	MD0	MDCR		
				MDS2	MDS1	MDS0
4	1	0	0	1	0	
5	1	0	1	0	1	

3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は、MAC 飽和演算制御、命令フェッチでのバス幅モードの選択、外部バスモードの設定、内蔵 RAM の有効/無効、DTC のアドレスマップの選択を行ないます。

ビット	15	14	13	12	11	10	9	8
ビット名	—	—	MACS	—	FETCHMD	—	EXPE	RAME
初期値:	1	1	0	1	0	0	不定*	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	DTCMD	—
初期値:	0	0	0	0	0	0	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 初期値は、起動動作モードにより変わります。

ビット	ビット名	初期値	R/W	説明
15	—	1	R/W	リザーブビット
14	—	1	R/W	リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
13	MACS	0	R/W	MAC 飽和演算制御 MAC 命令の飽和演算、非飽和演算を選択します。 0 : MAC 命令は非飽和演算 1 : MAC 命令は飽和演算
12	—	1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
11	FETCHMD	0	R/W	命令フェッチモードセレクト H8SX CPU は命令フェッチについて 16 ビットモードと 32 ビットモードの 2 つのモードを持っています。プログラムを格納するメモリのバス幅に合わせて設定することを推奨します。 ^{*1} 0 : 32 ビットモード 1 : 16 ビットモード

3. MCU 動作モード

ビット	ビット名	初期値	R/W	説明
10	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
9	EXPE	不定*2	R/W	外部バスモードイネーブル 外部バスモードを設定します。外部拡張モードでは、1に固定されており、ライトは無効です。シングルチップモードでは、初期値が0で、リード/ライトできます。EXPE=1の状態をリード後、0をライトするときは、外部バスサイクルが実行されていない状態で行なってください。ライトデータバッファ機能などにより、外部バスと内部バスが並列に実行される場合があります。 0：外部バス無効 1：外部バス有効
8	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。このビットは、リセットを解除したとき初期化されます。内蔵 RAM アクセス中に0ライトを行わないでください。 0：内蔵 RAM 無効 1：内蔵 RAM 有効
7~2	—	すべて 0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
1	DTCMD	1	R/W	DTC モードセレクト DTC の動作モードを選択します。 0：DTC はフルアドレスモード 1：DTC はショートアドレスモード
0	—	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。

【注】 *1 命令フェッチモードの詳細は「2.3 命令フェッチ」を参照してください。

*2 初期値は、起動動作モードにより変わります。
動作モード4、5は外部拡張モードのため、EXPE=1です。

3.3 動作モードの説明

3.3.1 モード4

CPU はアドバンスモードで、アドレス空間 16Mバイトです。内蔵 ROM は無効です。

リセット直後は 16 ビットバスモードで、すべてのエリアは 16 ビットアクセス空間となります。ポート D、E、F がアドレスバス、ポート H、I がデータバス、ポート A、B の一部がバス制御信号となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアドレス空間に設定すると 8 ビットバスモードとなり、ポート H がデータバスとなります。

3.3.2 モード5

CPU はアドバンスモードで、アドレス空間 16Mバイトです。内蔵 ROM は無効です。

リセット直後は 8 ビットバスモードで、すべてのエリアは 8 ビットアクセス空間となります。ポート D、E、F がアドレスバス、ポート H がデータバス、ポート A、B の一部がバス制御信号となります。ただし、バスコントローラにより、いずれか 1 つのエリアを 16 ビットアドレス空間に設定すると 16 ビットバスモードとなり、ポート H、I がデータバスとなります。

3.3.3 端子機能

各動作モードにおける端子機能の一覧を表 3.3 に示します。

表 3.3 各動作モードにおける端子機能（アドバンスモード）

動作モード	ポート A			ポート B		ポート D	ポート E	ポート F		ポート H	ポート I
	PA7	PA6、PA4	PA2~0	PB3~1	PB0			PF7-5	PF4-0		
4	P/C*	P/C*	P*/C	P*/C	P/C*	A	A	P*/A	A	D	P/D*
5	P/C*	P/C*	P*/C	P*/C	P/C*	A	A	P*/A	A	D	P*/D

【記号説明】

P : 入出力ポート

A : アドレスバス出力

D : データバス入出力

C : 制御信号/クロック入出力

* : リセット直後

3. MCU 動作モード

3.4 アドレスマップ

3.4.1 アドレスマップ (アドバンストモード)

各動作モードのアドレスマップを図 3.1 に示します。

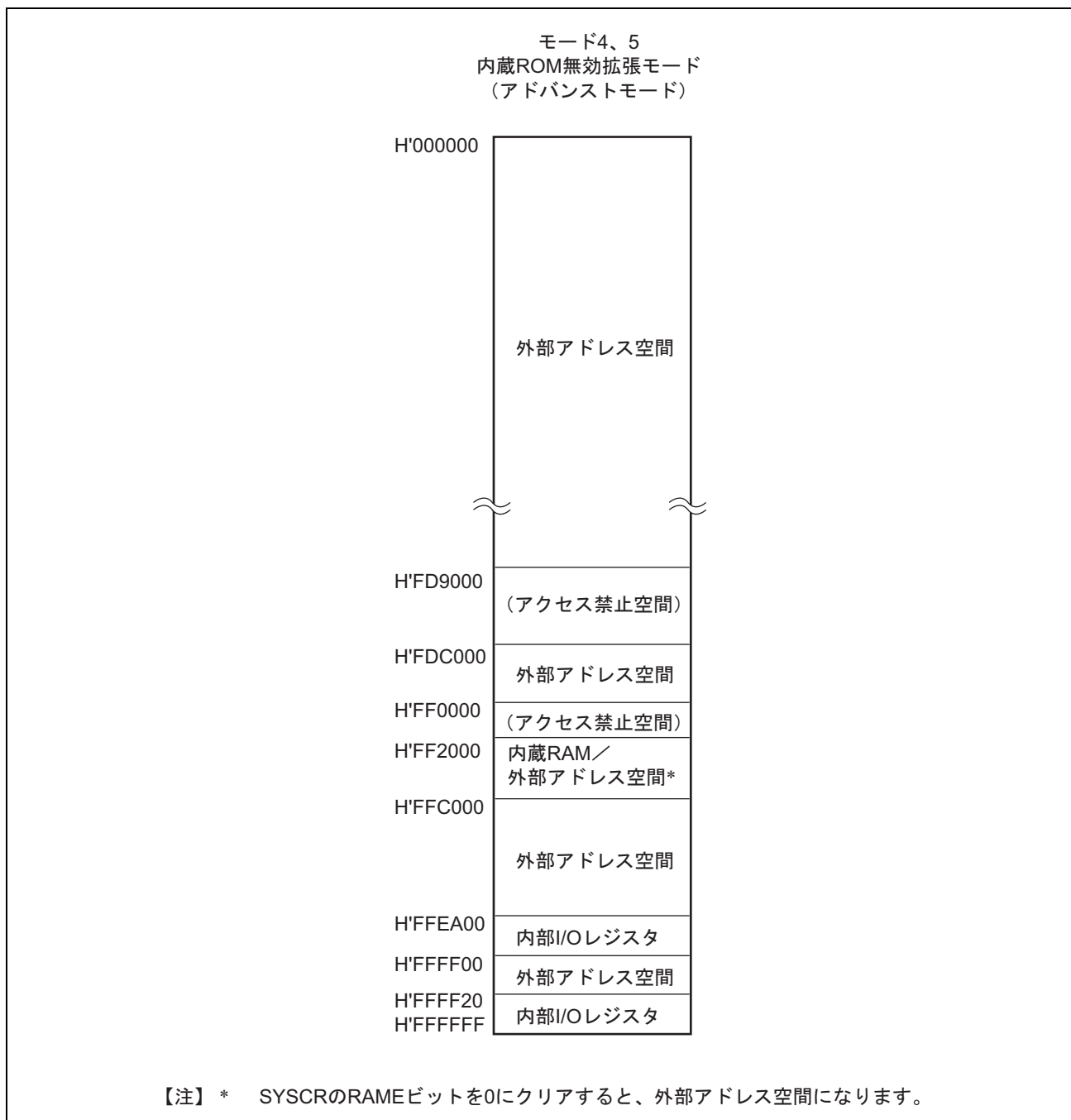


図 3.1 アドレスマップ (アドバンストモード)

4. 例外処理

4.1 例外処理の種類と優先度

例外処理要因には、表 4.1 に示すように、リセット、トレース、アドレスエラー、割り込み、トラップ命令、および不当命令（一般不当命令、スロット不当命令）があります。これらの例外処理要因には、表 4.1 のように優先順位が設けられており、複数の例外処理要因が同時に発生した場合は、この優先度に従って受け付けられます。例外処理は割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。割り込み制御モードの詳細については、「5. 割り込みコントローラ」を参照してください。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑	リセット	$\overline{\text{RES}}$ 端子の Low レベルから High レベルへの変化、または、ウォッチドッグタイマのオーバフローにより開始します。 $\overline{\text{RES}}$ 端子が Low レベルのときリセット状態になります。
	不当命令	未定義コードが実行されると開始します。
	トレース* ¹	EXR のトレース (T) ビット=1 の状態で、実行中の命令または例外処理の完了後開始します。
	アドレスエラー	アドレスエラーのバスサイクルが発生後、命令実行終了時に例外処理を開始します。
	割り込み	割り込み要求が発生すると、実行中の命令または例外処理の完了後開始します。* ²
低	トラップ命令* ³	トラップ (TRAPA) 命令の実行により開始します。

【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4. 例外処理

4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、ベクタベースレジスタ（VBR）の値と対応するベクタ番号のベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

例外処理要因と、ベクタテーブルアドレスオフセットとの対応を表 4.2 に示します。例外処理ベクタテーブルアドレスの算出法を表 4.3 に示します。

製品によって使用できるモードが異なりますので、製品ごとの詳細は「3. MCU 動作モード」を参照してください。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタテーブルアドレスオフセット* ¹	
		ノーマルモード* ²	アドバンストモード ミドルモード* ² マキシマムモード* ²
リセット	0	H'0000~H'0001	H'0000~H'0003
システム予約	1	H'0002~H'0003	H'0004~H'0007
	2	H'0004~H'0005	H'0008~H'000B
	3	H'0006~H'0007	H'000C~H'000F
不当命令	4	H'0008~H'0009	H'0010~H'0013
トレース	5	H'000A~H'000B	H'0014~H'0017
システム予約	6	H'000C~H'000D	H'0018~H'001B
割り込み（NMI）	7	H'000E~H'000F	H'001C~H'001F
トラップ命令（#0）	8	H'0010~H'0011	H'0020~H'0023
トラップ命令（#1）	9	H'0012~H'0013	H'0024~H'0027
トラップ命令（#2）	10	H'0014~H'0015	H'0028~H'002B
トラップ命令（#3）	11	H'0016~H'0017	H'002C~H'002F
CPU アドレスエラー	12	H'0018~H'0019	H'0030~H'0033
DMA アドレスエラー* ³	13	H'001A~H'001B	H'0034~H'0037
システム予約	14	H'001C~H'001D	H'0038~H'003B
	17	H'0022~H'0023	H'0044~H'0047
スリープ割り込み	18	H'0024~H'0025	H'0048~H'004B
システム予約	19	H'0026~H'0027	H'004C~H'004F
	23	H'002E~H'002F	H'005C~H'005F
ユーザエリア （空き領域）	24	H'0030~H'0031	H'0060~H'0063
	63	H'007E~H'007F	H'00FC~H'00FF

例外処理要因	ベクタ番号	ベクタテーブルアドレスオフセット* ¹	
		ノーマルモード* ²	アドバンストモード ミドルモード* ² マキシマムモード* ²
外部割り込み IRQ0	64	H'0080~H'0081	H'0100~H'0103
外部割り込み IRQ1	65	H'0082~H'0083	H'0104~H'0107
外部割り込み IRQ2	66	H'0084~H'0085	H'0108~H'010B
外部割り込み IRQ3	67	H'0086~H'0087	H'010C~H'010F
外部割り込み IRQ4	68	H'0088~H'0089	H'0110~H'0113
外部割り込み IRQ5	69	H'008A~H'008B	H'0114~H'0117
外部割り込み IRQ6	70	H'008C~H'008D	H'0118~H'011B
外部割り込み IRQ7	71	H'008E~H'008F	H'011C~H'011F
外部割り込み IRQ8	72	H'0090~H'0091	H'0120~H'0123
外部割り込み IRQ9	73	H'0092~H'0093	H'0124~H'0127
外部割り込み IRQ10	74	H'0094~H'0095	H'0128~H'012B
外部割り込み IRQ11	75	H'0096~H'0097	H'012C~H'012F
システム予約	76 79	H'0098~H'0099 H'009E~H'009F	H'0130~H'0133 H'013C~H'013F
内部割り込み* ⁴	80 255	H'00A0~H'00A1 H'01FE~H'01FF	H'0140~H'0143 H'03FC~H'03FF

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 本 LSI では使用できません。

*3 DMA アドレスエラーの要因発生元は DMAC と DTC です。

*4 割り込みのベクタテーブルは、「5.5 割り込み例外処理ベクタテーブル」を参照してください。

表 4.3 例外処理ベクタテーブルアドレスの算出法

例外処理要因	ベクタテーブルアドレス算出法
リセット、CPU アドレスエラー	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット)
上記以外	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット)

【注】 VBR : ベクタベースレジスタ

ベクタテーブルアドレスオフセット : 表 4.2 を参照

4. 例外処理

4.3 リセット

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。本 LSI を確実にリセットするために、電源投入時は $\overline{\text{STBY}}$ 端子を High レベルにし、最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。

また、ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「13. ウォッチドッグタイマ (WDT)」を参照してください。

リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は、割り込み制御モードは 0 になっています。

4.3.1 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、VBR が H'00000000 にクリアされ、EXR の T ビットが 0 にクリアされます。EXR、CCR の I ビットは 1 にセットされます。
2. リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1、図 4.2 に示します。

4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx : 32, SP)。

4.3.3 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCRA は H'0FFF、MSTPCRB は H'FFFF に初期化され、DMAC と DTC を除くすべてのモジュールがモジュールストップモードになっています。そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

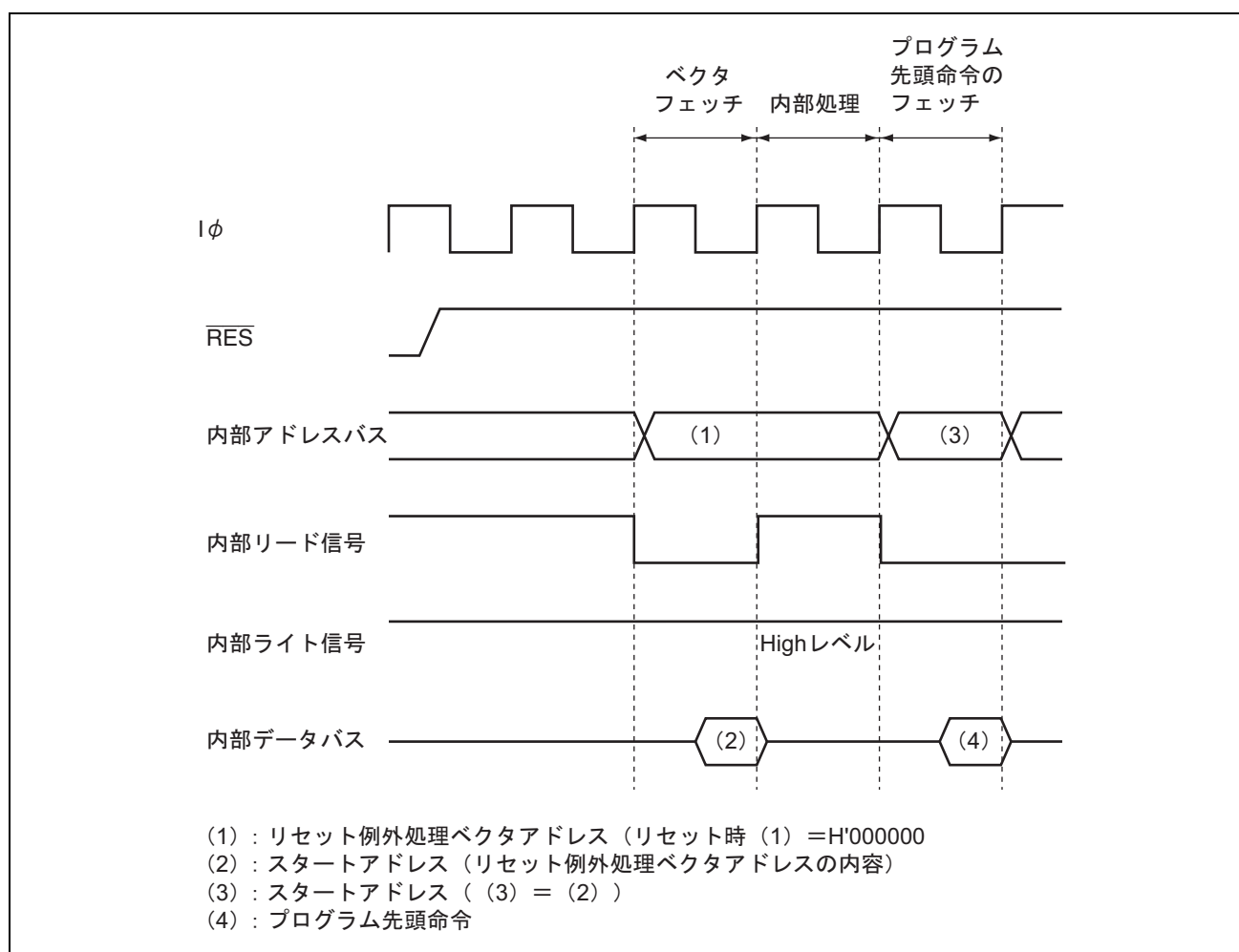


図 4.1 リセットシーケンス (アドバンスモード/内蔵 ROM 有効)

4. 例外処理

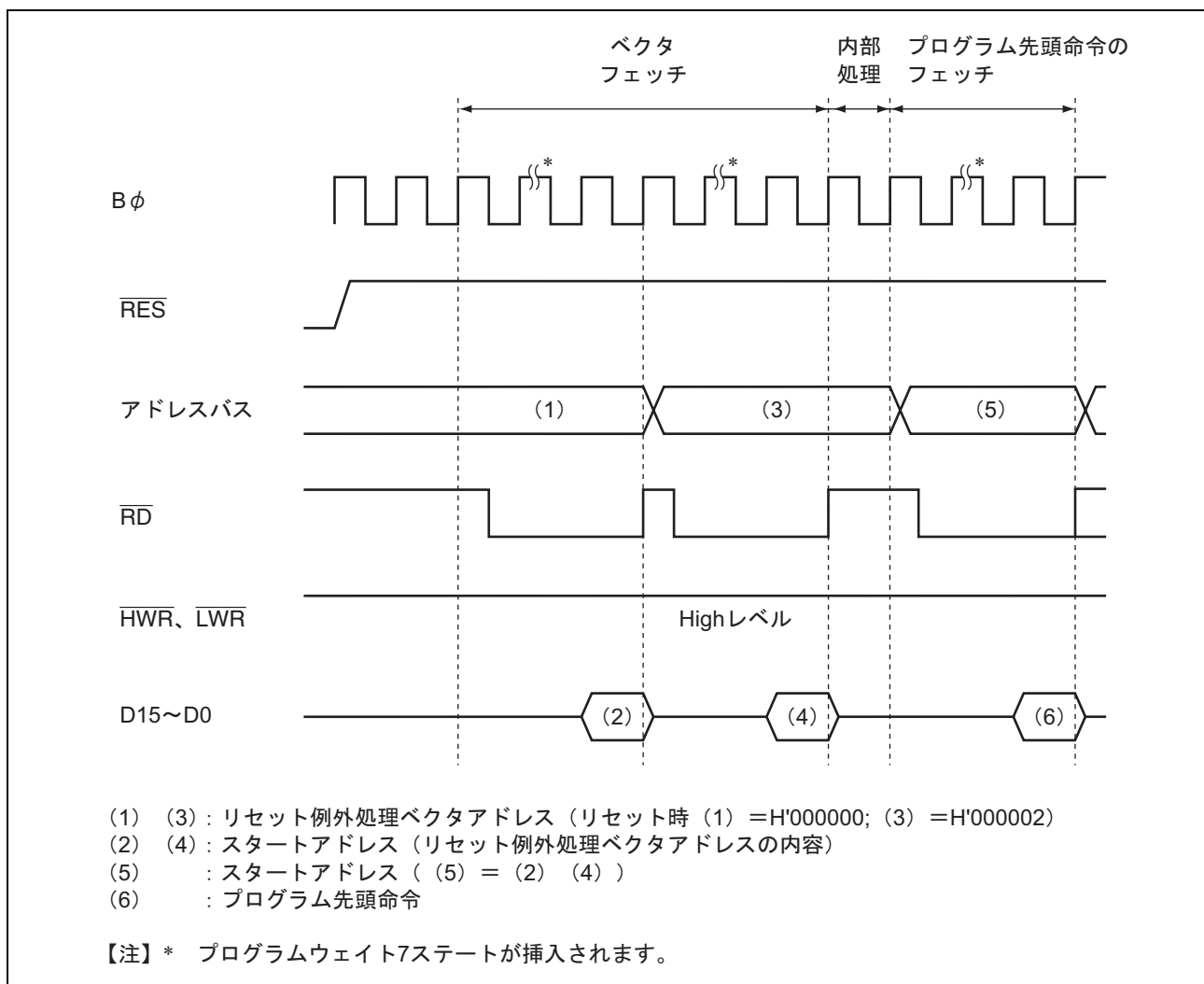


図 4.2 リセットシーケンス (アドバンストモード/内蔵 ROM 無効/外部 16 ビットアクセス空間)

4.4 トレース例外処理

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードを変更する場合は、Tビット=0の状態で行ってください。割り込み制御モードについては、「5. 割り込みコントローラ」を参照してください。

EXRのTビットを1にセットすると、トレースモードになります。トレースモードではCPUが1命令の実行を完了するたびにトレース例外処理を開始します。トレース例外処理はCCRの割り込みマスクビットの影響を受けません。表4.4にトレース例外処理後のCCR、EXRの状態を示します。トレース例外処理によってEXRのTビットが0にクリアされてトレースモードが解除されますが、スタックに退避されたTビットは1を保持しており、RTE命令によってトレース例外処理ルーチンから復帰した後は再びトレースモードになります。RTE命令の実行ではトレース例外処理を行いません。

トレース例外処理ルーチンでも割り込みを受け付けます。

表 4.4 トレース例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	—	—	0

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

4. 例外処理

4.5 アドレスエラー

4.5.1 アドレスエラー発生要因

アドレスエラーは、表 4.5 に示すように命令フェッチ、スタック操作、データ読み出し／書き込み時に発生します。

表 4.5 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし（正常）
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間* ¹ 以外から命令をフェッチ	なし（正常）
		内蔵周辺モジュール空間* ¹ から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
		アクセス禁止空間* ² から命令をフェッチ	アドレスエラー発生
スタック操作	CPU	スタックポインタの値が偶数アドレスでスタックをアクセス	なし（正常）
		スタックポインタの値が奇数アドレスでスタックをアクセス	アドレスエラー発生
データ読み出し ／書き込み	CPU	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	なし（正常）
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生
		アクセス禁止空間* ² をアクセス	アドレスエラー発生
データ読み出し ／書き込み	DTC/DMAC	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	なし（正常）
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生
		アクセス禁止空間* ² をアクセス	アドレスエラー発生
シングル アドレス転送	DMAC	シングルアドレス転送時にアドレスアクセス空間が外部メモリ空間	なし（正常）
		シングルアドレス転送時にアドレスアクセス空間が外部メモリ空間以外の空間	アドレスエラー発生

【注】 *1 内蔵周辺モジュール空間については、「6. バスコントローラ（BSC）」を参照してください。

*2 アクセス禁止空間については、「3.4 アドレスマップ」の図 3.1 を参照してください。

4.5.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 発生したアドレスエラーに対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

アドレスエラー例外処理に遷移するときにアドレスエラーが発生した場合、そのときのアドレスエラーは受け付けません。これは例外処理のスタッキングで発生するアドレスエラーを回避して、無限にアドレスエラー例外処理によるスタッキングが続かないようにするためです。

アドレスエラー例外処理が発生したときにSPが2の倍数になっていない場合、スタックされた値(PC, CCR, EXR) は不定です。

また、アドレスエラーが発生すると、DMAC、DTC を停止させるために次の制御を行います。

- DTCのDTCCRのERRビットを1にセット
- DMACのDMDR_0のERRFビットを1にセット
- DMACの全チャンネルのDMDRのDTEビットを0にクリア、および強制転送終了

表 4.6 にアドレスエラー例外処理後の CCR、EXR の状態を示します。

表 4.6 アドレスエラー例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	1	—	—	—
2	1	—	0	7

【記号説明】

1: 1にセットされます。

0: 0にクリアされます。

—: 実行前の値が保持されます。

4. 例外処理

4.6 割り込み

4.6.1 割り込み要因

割り込み例外処理を起動させる要因には、表 4.7 に示すように NMI、スリープ割り込み、IRQ0～IRQ11、内蔵周辺モジュールがあります。

表 4.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
スリープ割り込み	SLEEP 命令	1
IRQ0～IRQ11	IRQ0～IRQ11 端子 (外部からの入力)	12
内蔵周辺モジュール	DMA コントローラ (DMAC)	8
	ウォッチドックタイマ (WDT)	1
	A/D 変換器	1
	16 ビットタイマパルスユニット (TPU)	26
	8 ビットタイマ (TMR)	12
	シリアルコミュニケーションインタフェース (SCI)	20

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「5. 割り込みコントローラ」の「表 5.2 割り込み要因とベクタアドレスオフセットおよび割り込み優先順位」を参照してください。

4.6.2 割り込み例外処理

割り込みは、割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI、スリープ割り込み以外の割り込みに 8 レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。割り込み例外処理を開始させる要因とベクタアドレスは製品によって異なります。詳細は「5. 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

4.7 命令による例外処理

例外処理を起動する命令には、トラップ命令、不当命令があります。

4.7.1 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. TRAPA命令で指定したベクタ番号に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

トラップ命令例外処理実行後の CCR、EXR の状態を表 4.8 に示します。

表 4.8 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	—	—	—
2	1	—	—	0

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

4. 例外処理

4.7.2 不当命令例外処理

不当命令には、一般不当命令とスロット不当命令があります。

一般不当命令例外処理は、未定義コードを実行すると例外処理を開始します。

スロット不当命令例外処理は、遅延スロットの命令（遅延分岐命令の直後の命令）として、2ワード以上の命令、またはPCを書き換える命令を実行すると例外処理を開始します。

一般不当命令例外処理、およびスロット不当命令例外処理は、プログラム実行状態で常に実行可能です。

一般不当命令例外処理、およびスロット不当命令例外処理は、次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 発生した例外に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

表 4.9 に不当命令例外処理後の CCR、EXR の状態を示します。

表 4.9 不当命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	1	—	—	—
2	1	—	0	—

【記号説明】

1 : 1にセットされます。

0 : 0にクリアされます。

— : 実行前の値が保持されます。

4.8 例外処理後のスタックの状態

例外処理後のスタックの状態を図 4.3 に示します。

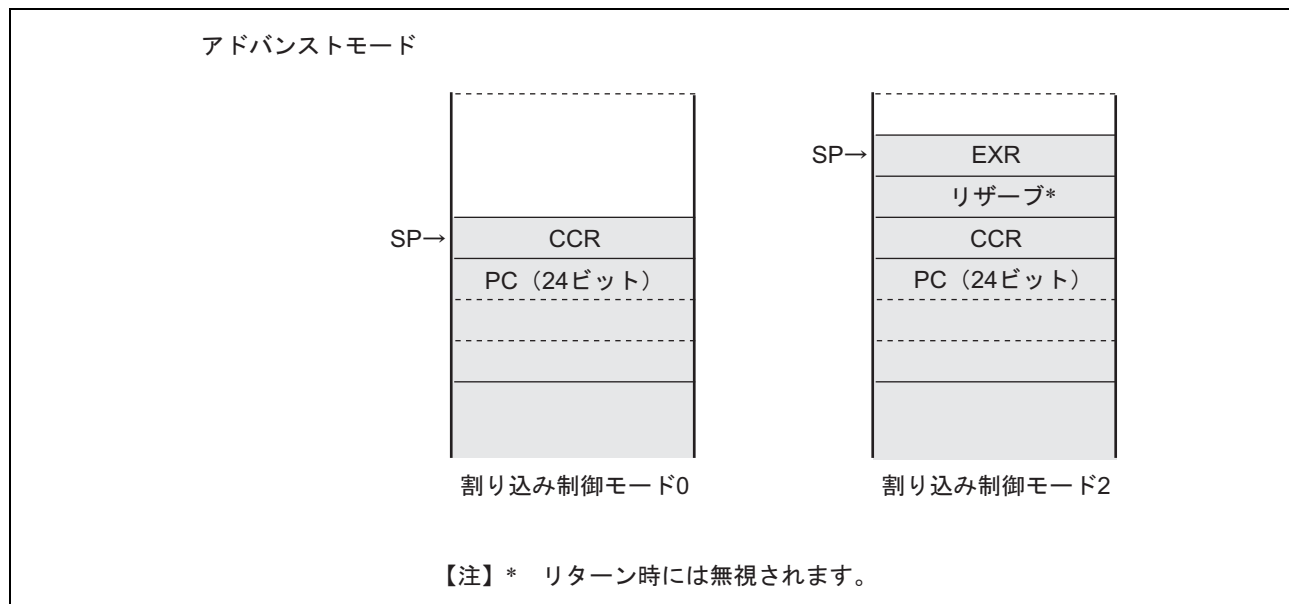


図 4.3 例外処理終了後のスタックの状態

4.9 使用上の注意事項

スタックを操作するアクセスを行う場合は、アドレスの最下位ビットは0と見なされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定した状態でスタック操作を行うとアドレスエラーが発生します。SP を奇数に設定した場合の動作例を図 4.4 に示します。

4. 例外処理

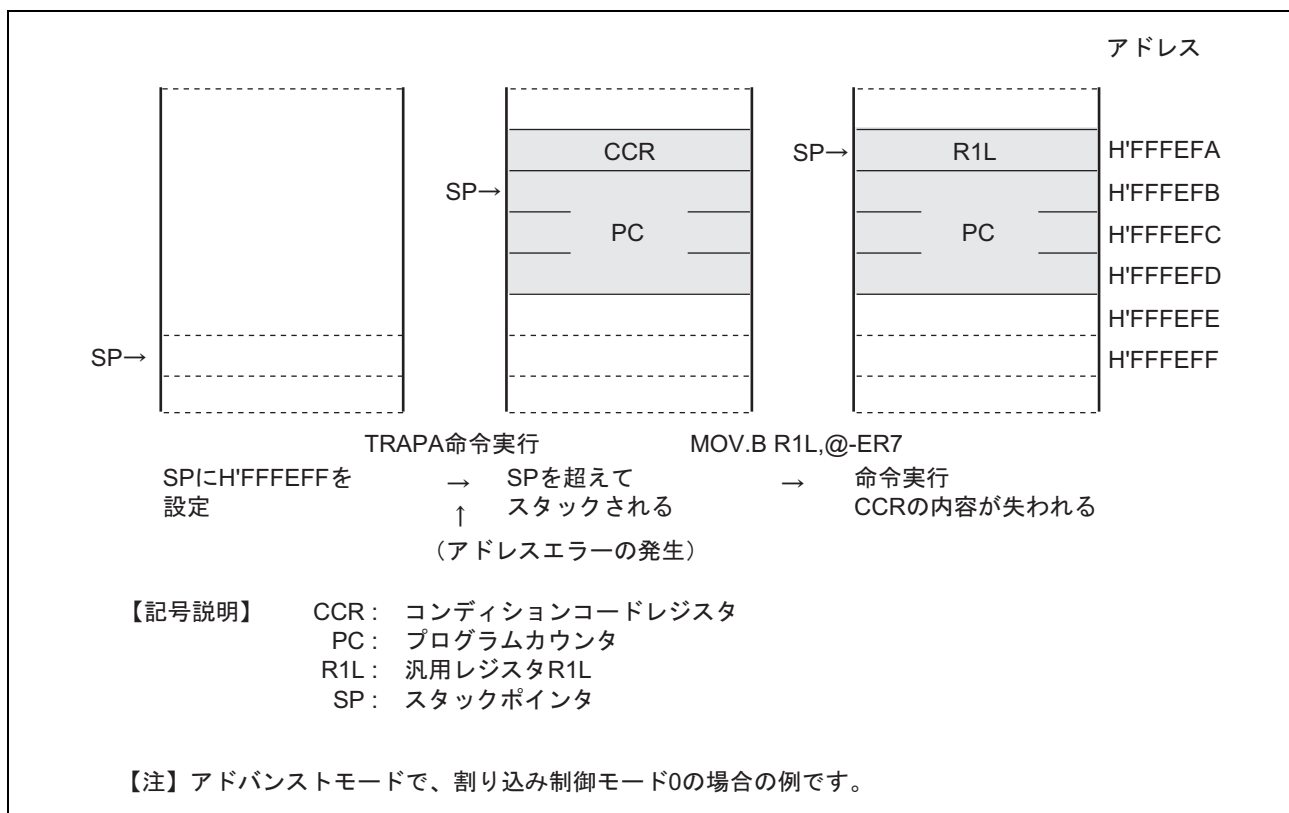


図 4.4 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 特長

- 2種類の割り込み制御モード
割り込みコントロールレジスタ (INTCR) のINTM1、INTM0ビットにより、2種類の割り込み制御モードを選択できます。
- インタラプトプライオリティレジスタ (IPR) により、優先順位を設定可能
IPRにより、以下に示した割り込み要求以外は、モジュールごとに8レベルの優先順位を設定できます。
(1) ~ (7) の要求は、最優先のレベル8の割り込みとして常に受け付けられます。
(1) NMI
(2) 不当命令
(3) トレース
(4) トラップ命令
(5) CPUアドレスエラー
(6) DMAアドレスエラー*
(7) スリープ割り込み

【注】* DMA アドレスエラーの要因発生元は DMAC と DTC です。

- 独立したベクタアドレス
すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。
- 13本の外部割り込み端子
NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジ、または立ち下がりエッジを選択できます。 $\overline{\text{IRQ11}} \sim \overline{\text{IRQ0}}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。
- DMAC、DTCの制御
割り込み要求により、DMACおよびDTCを起動することができます。
- CPUの優先レベル制御機能
CPUと、DMAC、DTCとの間の優先レベルを設定できます。CPUの優先レベルは例外処理により自動設定することが可能で、CPUの割り込み例外処理などをDMAC、DTCの転送処理よりも優先させることができます。

5. 割り込みコントローラ

割り込みコントローラのブロック図を図 5.1 に示します。

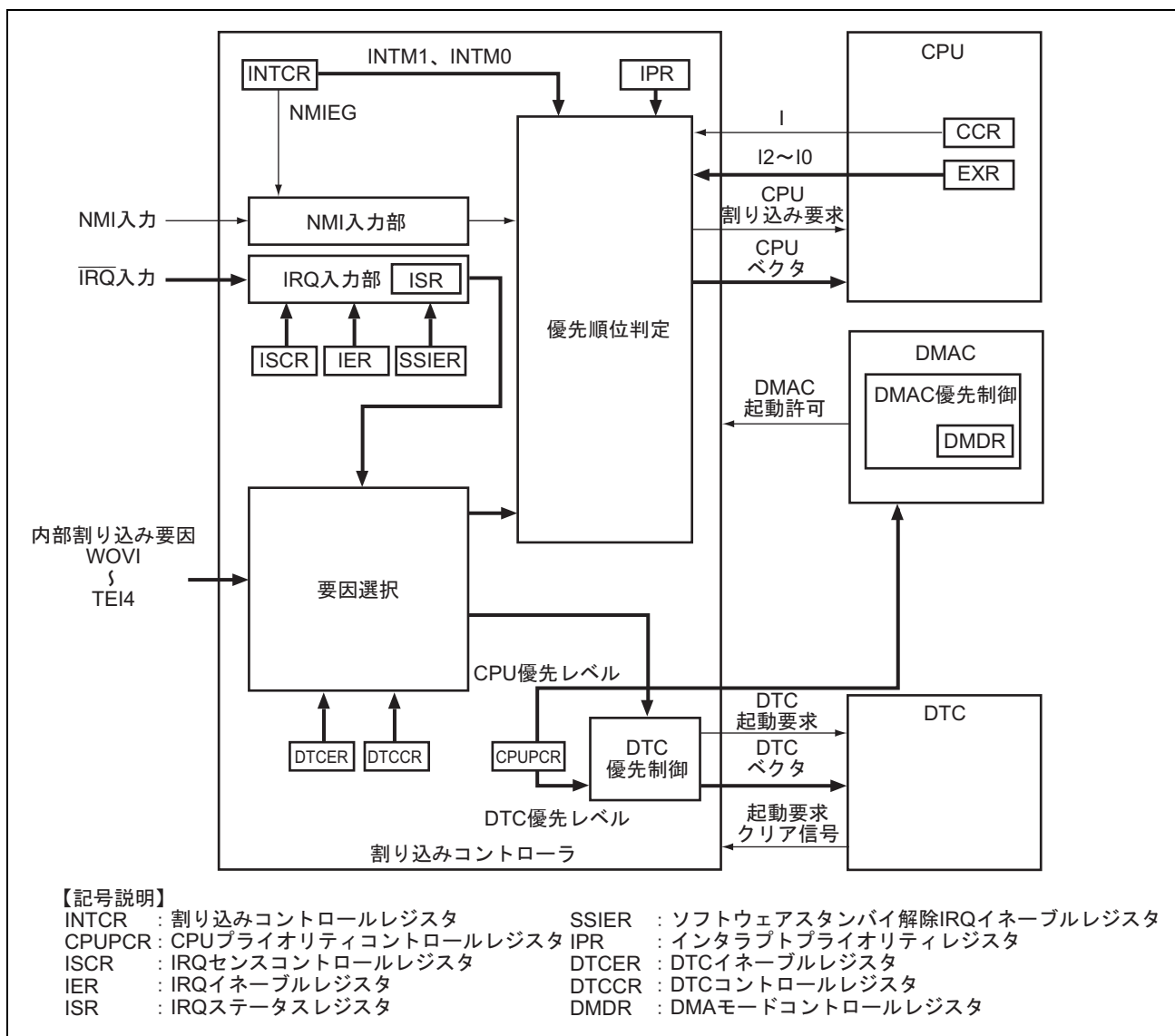


図 5.1 割り込みコントローラのブロック図

5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名称	入出力	機能
NMI	入力	ノンマスク外部割り込み端子 立ち上がりエッジ、または立ち下がりエッジを選択できます。
IRQ11~IRQ0	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択できます。

5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。

- 割り込みコントロールレジスタ (INTCR)
- CPUプライオリティコントロールレジスタ (CPUPCR)
- インタラプトプライオリティレジスタA~C、E~I、K、L (IPRA~IPRC、IPRE~IPRI、IPRK、IPRL)
- IRQイネーブルレジスタ (IER)
- IRQセンスコントロールレジスタH、L (ISCRH、ISCRL)
- IRQステータスレジスタ (ISR)
- ソフトウェアスタンバイ解除IRQイネーブルレジスタ (SSIER)

5.3.1 割り込みコントロールレジスタ (INTCR)

INTCR は、割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	INTM1	INTM0	NMIEG	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
5	INTM1	0	R/W	割り込み制御選択モード 1、0 割り込みコントローラの割り込み制御モードを選択します。 00 : 割り込み制御モード 0 CCR の 1 ビットで割り込みを制御します。 01 : 設定禁止 10 : 割り込み制御モード 2 EXR の I2~I0 ビットと IPR で割り込みを制御します。 11 : 設定禁止
4	INTM0	0	R/W	
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0 : NMI 入力の立ち下がリエッジで割り込み要求を発生 1 : NMI 入力の立ち上がりエッジで割り込み要求を発生
2~0	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

5. 割り込みコントローラ

5.3.2 CPU プライオリティコントロールレジスタ (CPUPCR)

CPUPCRは、DMAC、DTCに対してCPUの優先レベルを設定します。CPUの割り込み例外処理などをDMAC、DTCの転送処理よりも優先させることができます。DTCの優先レベルは、CPUPCRのDTCP2~DTCP0ビットで設定します。DMACの優先レベルは、各チャンネルごとにDMACのコントロールレジスタで設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	CPUPCE	DTCP2	DTCP1	DTCP0	IPSETE	CPUP2	CPUP1	CPUP0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/(W)*	R/(W)*

【注】 * IPSETEビットが1にセットされると、自動更新になるためライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	CPUPCE	0	R/W	CPU プライオリティコントロールイネーブル CPUの優先レベル制御機能を制御します。このビットを1にセットすると、DMAC、DTCに対してCPUの優先レベル制御が有効になります。 0 : CPUは常に優先レベル最低 1 : CPUの優先レベル制御は有効
6	DTCP2	0	R/W	DTC プライオリティレベル 2~0 DTCの優先レベルを設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
5	DTCP1	0	R/W	
4	DTCP0	0	R/W	
3	IPSETE	0	R/W	インタラプトプライオリティセットイネーブル 割り込み優先順位を、自動的にCPUの優先レベルに設定する機能を制御します。このビットを1にセットすると、CPUの割り込みマスクビット (CCRのI、EXRのI2~I0)の値により、CPUP2~CPUP0ビットを自動的に設定します。 0 : CPUP2~CPUP0ビットは自動更新しない 1 : 割り込みマスクビットの値をCPUP2~CPUP0ビットに反映する

ビット	ビット名	初期値	R/W	説明
2	CPUP2	0	R/(W) *	CPU プライオリティレベル 2~0
1	CPUP1	0	R/(W) *	CPU の優先レベルを設定します。CPUPCE が 1 のとき、DMAC、DTC に対して
0	CPUP0	0	R/(W) *	CPU の優先レベル制御が有効になり、CPUP2~CPUP0 ビットの設定に従って CPU の処理の優先レベルが設定されます。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)

【注】 * IPSETE ビットが 1 にセットされると、自動更新になるためライトは無効です。

5.3.3 インタラプトプライオリティレジスタ A~C、E~I、K、L (IPRA~IPRC、IPRE~IPRI、IPRK、IPRL)

IPR は、NMI、スリープ割り込みを除く割り込み要因の優先順位（レベル 0~7）を設定します。ビット 14~12、ビット 10~8、ビット 6~4、ビット 2~0 の各 3 ビットに B'000 から B'111 の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。各割り込み要因と IPR の対応については、表 5.2 参照してください。

ビット	15	14	13	12	11	10	9	8
ビット名	—	IPR14	IPR13	IPR12	—	IPR10	IPR9	IPR8
初期値 :	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0
初期値 :	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
14	IPR14	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
13	IPR13	1	R/W	
12	IPR12	1	R/W	
11	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
10	IPR10	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
9	IPR9	1	R/W	
8	IPR8	1	R/W	
7	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
5	IPR5	1	R/W	
4	IPR4	1	R/W	
3	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。

ビット	ビット名	初期値	R/W	説明
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。
1	IPR1	1	R/W	000 : 優先レベル 0 (最低)
0	IPR0	1	R/W	001 : 優先レベル 1
				010 : 優先レベル 2
				011 : 優先レベル 3
				100 : 優先レベル 4
				101 : 優先レベル 5
				110 : 優先レベル 6
				111 : 優先レベル 7 (最高)

5.3.4 IRQ イネーブルレジスタ (IER)

IER は、IRQ11～IRQ0 割り込み要求をイネーブルにします。

ビット	15	14	13	12	11	10	9	8
ビット名	—	—	—	—	IRQ11E	IRQ10E	IRQ9E	IRQ8E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15～12	—	すべて 0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
11	IRQ11E	0	R/W	IRQ11 イネーブル このビットが1のとき IRQ11 割り込み要求がイネーブルになります。
10	IRQ10E	0	R/W	IRQ10 イネーブル このビットが1のとき IRQ10 割り込み要求がイネーブルになります。
9	IRQ9E	0	R/W	IRQ9 イネーブル このビットが1のとき IRQ9 割り込み要求がイネーブルになります。
8	IRQ8E	0	R/W	IRQ8 イネーブル このビットが1のとき IRQ8 割り込み要求がイネーブルになります。
7	IRQ7E	0	R/W	IRQ7 イネーブル このビットが1のとき IRQ7 割り込み要求がイネーブルになります。
6	IRQ6E	0	R/W	IRQ6 イネーブル このビットが1のとき IRQ6 割り込み要求がイネーブルになります。

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
5	IRQ5E	0	R/W	IRQ5 イネーブル このビットが1のとき IRQ5 割り込み要求がイネーブルになります。
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが1のとき IRQ4 割り込み要求がイネーブルになります。
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが1のとき IRQ3 割り込み要求がイネーブルになります。
2	IRQ2E	0	R/W	IRQ2 イネーブル このビットが1のとき IRQ2 割り込み要求がイネーブルになります。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが1のとき IRQ1 割り込み要求がイネーブルになります。
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが1のとき IRQ0 割り込み要求がイネーブルになります。

5.3.5 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCR は、 $\overline{\text{IRQ11}} \sim \overline{\text{IRQ0}}$ 入力から割り込み要求を発生させる要因を選択します。

ISCR の設定変更時に、内部動作により ISR の IRQnF (n=0~11) が意図しないで1にセットされる場合があります。このとき、IRQn 割り込み要求が許可されていると割り込み例外処理を実行します。この意図しない割り込みを防ぐには、ISCR の設定変更を IRQn 割り込みを禁止した状態で行い、その後 ISR の IRQnF を0にクリアしてください。

・ ISCRH

ビット	15	14	13	12	11	10	9	8
ビット名	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ11SR	IRQ11SF	IRQ10SR	IRQ10SF	IRQ9SR	IRQ9SF	IRQ8SR	IRQ8SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ ISCR_L

ビット	15	14	13	12	11	10	9	8
ビット名	IRQ7SR	IRQ7SF	IRQ6SR	IRQ6SF	IRQ5SR	IRQ5SF	IRQ4SR	IRQ4SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ3SR	IRQ3SF	IRQ2SR	IRQ2SF	IRQ1SR	IRQ1SF	IRQ0SR	IRQ0SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• ISCR_H

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
7 6	IRQ11SR IRQ11SF	0 0	R/W R/W	IRQ11 センスコントロールライズ IRQ11 センスコントロールフォール 00: $\overline{\text{IRQ11}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ11}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ11}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ11}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
5 4	IRQ10SR IRQ10SF	0 0	R/W R/W	IRQ10 センスコントロールライズ IRQ10 センスコントロールフォール 00: $\overline{\text{IRQ10}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ10}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ10}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ10}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
3 2	IRQ9SR IRQ9SF	0 0	R/W R/W	IRQ9 センスコントロールライズ IRQ9 センスコントロールフォール 00: $\overline{\text{IRQ9}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ9}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ9}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ9}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1 0	IRQ8SR IRQ8SF	0 0	R/W R/W	IRQ8 センスコントロールライズ IRQ8 センスコントロールフォール 00: $\overline{\text{IRQ8}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ8}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ8}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ8}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5. 割り込みコントローラ

• ISCRL

ビット	ビット名	初期値	R/W	説明
15	IRQ7SR	0	R/W	IRQ7 センスコントロールライズ
14	IRQ7SF	0	R/W	IRQ7 センスコントロールフォール 00 : $\overline{\text{IRQ7}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ7}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ7}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ7}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
13	IRQ6SR	0	R/W	IRQ6 センスコントロールライズ
12	IRQ6SF	0	R/W	IRQ6 センスコントロールフォール 00 : $\overline{\text{IRQ6}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ6}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ6}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ6}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
11	IRQ5SR	0	R/W	IRQ5 センスコントロールライズ
10	IRQ5SF	0	R/W	IRQ5 センスコントロールフォール 00 : $\overline{\text{IRQ5}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ5}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ5}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ5}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
9	IRQ4SR	0	R/W	IRQ4 センスコントロールライズ
8	IRQ4SF	0	R/W	IRQ4 センスコントロールフォール 00 : $\overline{\text{IRQ4}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ4}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ4}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ4}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
7	IRQ3SR	0	R/W	IRQ3 センスコントロールライズ
6	IRQ3SF	0	R/W	IRQ3 センスコントロールフォール 00 : $\overline{\text{IRQ3}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ3}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ3}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ3}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
5	IRQ2SR	0	R/W	IRQ2 センスコントロールライズ
4	IRQ2SF	0	R/W	IRQ2 センスコントロールフォール 00 : $\overline{\text{IRQ2}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ2}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ2}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ2}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

ビット	ビット名	初期値	R/W	説明
3	IRQ1SR	0	R/W	IRQ1 センスコントロールライズ
2	IRQ1SF	0	R/W	IRQ1 センスコントロールフォール 00 : $\overline{\text{IRQ1}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ1}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ1}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ1}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1	IRQ0SR	0	R/W	IRQ0 センスコントロールライズ
0	IRQ0SF	0	R/W	IRQ0 センスコントロールフォール 00 : $\overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5.3.6 IRQ ステータスレジスタ (ISR)

ISR は、IRQ11~IRQ0 割り込み要求レジスタです。

ビット	15	14	13	12	11	10	9	8
ビット名	—	—	—	—	IRQ11F	IRQ10F	IRQ9F	IRQ8F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするための0ライトのみ可能です。
フラグのクリアは、ビット操作命令、またはメモリ演算命令を使用してください。

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて 0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
11	IRQ11F	0	R(W)*	[セット条件]
10	IRQ10F	0	R(W)*	• ISCR で選択した割り込み要因が発生したとき
9	IRQ9F	0	R(W)*	[クリア条件]
8	IRQ8F	0	R(W)*	• 1の状態をリードした後、0をライトしたとき
7	IRQ7F	0	R(W)*	• Low レベル検出設定の状態、かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態での割り込み例外処理を実行したとき
6	IRQ6F	0	R(W)*	
5	IRQ5F	0	R(W)*	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
4	IRQ4F	0	R(W)*	
3	IRQ3F	0	R(W)*	• IRQn 割り込みにより DTC が起動され、DTC の MRB の DISEL が 0 のとき
2	IRQ2F	0	R(W)*	
1	IRQ1F	0	R(W)*	
0	IRQ0F	0	R(W)*	

【注】 * フラグをクリアするための0ライトのみ可能です。

5.3.7 ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)

SSIER は、ソフトウェアスタンバイ状態から復帰するために使用する $\overline{\text{IRQ11}} \sim \overline{\text{IRQ0}}$ 端子を設定します。

ソフトウェアスタンバイ状態から復帰するために使用する IRQ 割り込みは、DTC 起動要因として設定しないでください。

ビット	15	14	13	12	11	10	9	8
ビット名	—	—	—	—	SSI11	SSI10	SSI9	SSI8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて 0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
11	SSI11	0	R/W	ソフトウェアスタンバイ解除 IRQ 設定
10	SSI10	0	R/W	SSIn ビットは、ソフトウェアスタンバイ状態から復帰するために使用する $\overline{\text{IRQn}}$ 端子を設定します (n=11~0)。 0: IRQn 割り込み要求は、ソフトウェアスタンバイ状態ではサンプリングされません。 1: ソフトウェアスタンバイ状態で IRQn 割り込み要求があると、発振安定時間を経てソフトウェアスタンバイ状態から復帰します。
9	SSI9	0	R/W	
8	SSI8	0	R/W	
7	SSI7	0	R/W	
6	SSI6	0	R/W	
5	SSI5	0	R/W	
4	SSI4	0	R/W	
3	SSI3	0	R/W	
2	SSI2	0	R/W	
1	SSI1	0	R/W	
0	SSI0	0	R/W	

5. 割り込みコントローラ

5.4 割り込み要因

5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ11～IRQ0 の 13 要因があります。このうち、外部割り込みはソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 割り込み要求を NMI 入力の立ち上がりエッジと、立ち下がりエッジのどちらで発生させるかは、INTCR の NMIEG ビットで選択できます。

NMI 割り込みが発生すると、割り込みコントローラはエラー発生と見なして次の制御を行います。

- DTCのDTCCRのERRビットを1にセット
- DMACのDMDR_0のERRFビットを1にセット
- DMACの全チャンネルのDMDRのDTEビットを0にクリア、および強制転送終了

(2) IRQn 割り込み

IRQn 割り込みは、 $\overline{\text{IRQn}}$ 入力により割り込み要求を発生します (n=11～0)。

IRQn 割り込みには以下の特長があります。

- $\overline{\text{IRQn}}$ 入力のLowレベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCRで選択できます。
- IRQn 割り込み要求は、IERにより選択できます。
- IPRにより、割り込み要因の優先順位を設定できます。
- IRQn 割り込み要求のステータスは、ISRに表示されます。ISRのフラグは、ソフトウェアで0にクリアすることができます。ISRのフラグのクリアは、ビット操作命令、またはメモリ演算命令を使用してください。

IRQn 割り込みの検出は P1ICR、P2ICR、P5ICR の設定により有効となり、当該端子の出力の設定に依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアして、そのほかの機能の入出力端子として使用しないでください。

IRQn 割り込みのブロック図を図 5.2 に示します。

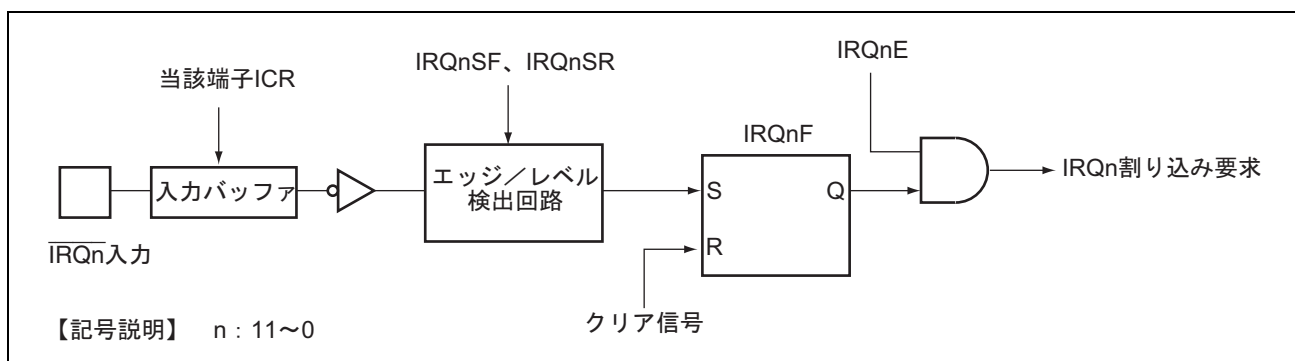


図 5.2 IRQn 割り込みのブロック図

IRQn 割り込み要求を ISCR の設定により $\overline{\text{IRQn}}$ 入力の Low レベルで発生するようにした場合、割り込み要求時には当該 $\overline{\text{IRQn}}$ 入力を割り込み処理が開始されるまで Low レベルに保持してください。その後、割り込み処理ルーチン内で、当該 $\overline{\text{IRQn}}$ 入力を High レベルに戻し、かつ IRQnF を 0 にクリアしてください。割り込み処理が開始される前に、当該 $\overline{\text{IRQn}}$ 入力を High レベルに戻すと、当該割り込みが実行されない場合があります。

5.4.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立に制御することができます。イネーブルビットが1のとき、割り込み要求が割り込みコントローラに送られます。
- IPRによって、割り込み要因の優先順位を設定できます。
- TPU、SCIなどの割り込み要求により、DMAC、DTCを起動することができます。
- DMAC、DTCの起動は、CPUに対するDMAC、DTCの優先レベル制御機能により優先レベルを設定できます。

5.4.3 スリープ割り込み

スリープ割り込みは、SLEEP 命令の実行に伴い発生する割り込みです。スリープ割り込みは、ノンマスカブル割り込みで、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。スリープ割り込み機能を使用するかしないかは、SBYCR レジスタの SLPIE ビットで選択できます。

5.5 割り込み例外処理ベクタテーブル

割り込み例外処理要因とベクタテーブルアドレスオフセットおよび割り込み優先順位の一覧を表 5.2 に示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。割り込み制御モード 2 に設定されている場合、優先順位は IPR 設定単位ごとに IPR により変更することができます。同一優先順位の IPR に設定された割り込み要因は、デフォルトの優先順位に従います。同一優先順位の IPR 設定単位内の優先順位は固定されています。

5. 割り込みコントローラ

表 5.2 割り込み要因とベクタアドレスオフセットおよび割り込み優先順位

割り込み要因 発生元	名称	ベクタ 番号	ベクタテーブル アドレス オフセット*	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスモード				
外部端子	NMI	7	H'001C	—	↑ 高	—	—
SLEEP 命令	スリープ 割り込み	18	H'0048	—		—	—
外部端子	IRQ0	64	H'0100	IPRA14~IPRA12		可	—
	IRQ1	65	H'0104	IPRA10~IPRA8		可	—
	IRQ2	66	H'0108	IPRA6~IPRA4		可	—
	IRQ3	67	H'010C	IPRA2~IPRA0		可	—
	IRQ4	68	H'0110	IPRB14~IPRB12		可	—
	IRQ5	69	H'0114	IPRB10~IPRB8		可	—
	IRQ6	70	H'0118	IPRB6~IPRB4		可	—
	IRQ7	71	H'011C	IPRB2~IPRB0		可	—
	IRQ8	72	H'0120	IPRC14~IPRC12		可	—
	IRQ9	73	H'0124	IPRC10~IPRC8		可	—
	IRQ10	74	H'0128	IPRC6~IPRC4	可	—	
IRQ11	75	H'012C	IPRC2~IPRC0	可	—		
—	システム予約	76	H'0130	—	—	—	
		77	H'0134		—	—	
		78	H'0138		—	—	
		79	H'013C		—	—	
		80	H'0140		—	—	
WDT	WOVI	81	H'0144	IPRE10~IPRE8	—	—	
—	システム予約	82	H'0148	—	—	—	
		83	H'014C		—	—	
		84	H'0150		—	—	
		85	H'0154		—	—	
A/D	ADI	86	H'0158	IPRF10~IPRF8	可	可	
—	システム予約	87	H'015C	—	—	—	
TPU_0	TGI0A	88	H'0160	IPRF6~IPRF4	可	可	
	TGI0B	89	H'0164		可	—	
	TGI0C	90	H'0168		可	—	
	TGI0D	91	H'016C		可	—	
	TCI0V	92	H'0170		—	—	
					↓ 低		

5. 割り込みコントローラ

割り込み要因 発生元	名称	ベクタ 番号	ベクタテーブル アドレス オフセット*	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスモード				
TPU_1	TGI1A	93	H'0174	IPRF2~IPRF0	↑ 高	可	可
	TGI1B	94	H'0178			可	—
	TCI1V	95	H'017C			—	—
	TCI1U	96	H'0180			—	—
TPU_2	TGI2A	97	H'0184	IPRG14~IPRG12		可	可
	TGI2B	98	H'0188			可	—
	TCI2V	99	H'018C			—	—
	TCI2U	100	H'0190			—	—
TPU_3	TGI3A	101	H'0194	IPRG10~IPRG8		可	可
	TGI3B	102	H'0198			可	—
	TGI3C	103	H'019C			可	—
	TGI3D	104	H'01A0			可	—
	TCI3V	105	H'01A4			—	—
TPU_4	TGI4A	106	H'01A8	IPRG6~IPRG4		可	可
	TGI4B	107	H'01AC			可	—
	TCI4V	108	H'01B0			—	—
	TCI4U	109	H'01B4		—	—	
TPU_5	TGI5A	110	H'01B8	IPRG2~IPRG0	可	可	
	TGI5B	111	H'01BC		可	—	
	TCI5V	112	H'01C0		—	—	
	TCI5U	113	H'01C4		—	—	
—	システム予約	114	H'01C8	—	—	—	
		115	H'01CC		—	—	
TMR_0	CMI0A	116	H'01D0	IPRH14~IPRH12	可	—	
	CMI0B	117	H'01D4		可	—	
	OV0I	118	H'01D8		—	—	
TMR_1	CMI1A	119	H'01DC	IPRH10~IPRH8	可	—	
	CMI1B	120	H'01E0		可	—	
	OV1I	121	H'01E4		—	—	
TMR_2	CMI2A	122	H'01E8	IPRH6~IPRH4	可	—	
	CMI2B	123	H'01EC		可	—	
	OV2I	124	H'01F0		—	—	
					低		

割り込み要因 発生元	名称	ベクタ 番号	ベクタテーブル アドレス オフセット*	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスモード				
SCI_3	ERI3	156	H'0270	IPRL10~IPRL8	↑ 高 低	—	—
	RXI3	157	H'0274			可	可
	TXI3	158	H'0278			可	可
	TEI3	159	H'027C			—	—
SCI_4	ERI4	160	H'0280	IPRL6~IPRL4		—	—
	RXI4	161	H'0284			可	可
	TXI4	162	H'0288			可	可
	TEI4	163	H'028C			—	—
—	システム予約	164 255	H'0290 H'03FC	—	—	—	—

【注】 * 先頭アドレスの下位 16 ビットを示しています。

5. 割り込みコントローラ

5.6 割り込み制御モードと割り込み動作

割り込みコントローラには、割り込み制御モード0と割り込み制御モード2の2種類の割り込み制御モードがあります。割り込み制御モードの選択は、INTCRで行います。割り込み制御モード0と割り込み制御モード2の相違点を表5.3に示します。

表 5.3 割り込み制御モード

割り込み制御モード	割り込み優先順位	割り込みマスクビット	説明
0	デフォルト	1	各割り込み要因の優先順位は、デフォルトで固定されています。 NMI、スリープ割り込みを除く割り込み要因は、1ビットによりマスクされ ます。
2	IPR	12~10	IPRにより、NMI、スリープ割り込みを除く各割り込み要因に8レベルの優先 順位を設定できます。 12~10ビットにより、8レベルの割り込みマスク制御を行います。

5.6.1 割り込み制御モード0

割り込み制御モード0では、NMI、スリープ割り込みを除く割り込み要求は、CPUのCCRのIビットによってマスクされます。割り込み受け付け動作のフローチャートを図5.3に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. CCRのIビットが1にセットされているときは、割り込みコントローラはNMI、スリープ割り込み以外の割り込み要求を保留します。Iビットが0にクリアされているときは、割り込み要求を受け付けます。
3. 複数の割り込み要求があるときは、割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択して、CPUに対して割り込み処理を要求し、その他は保留します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMI、スリープ割り込みを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

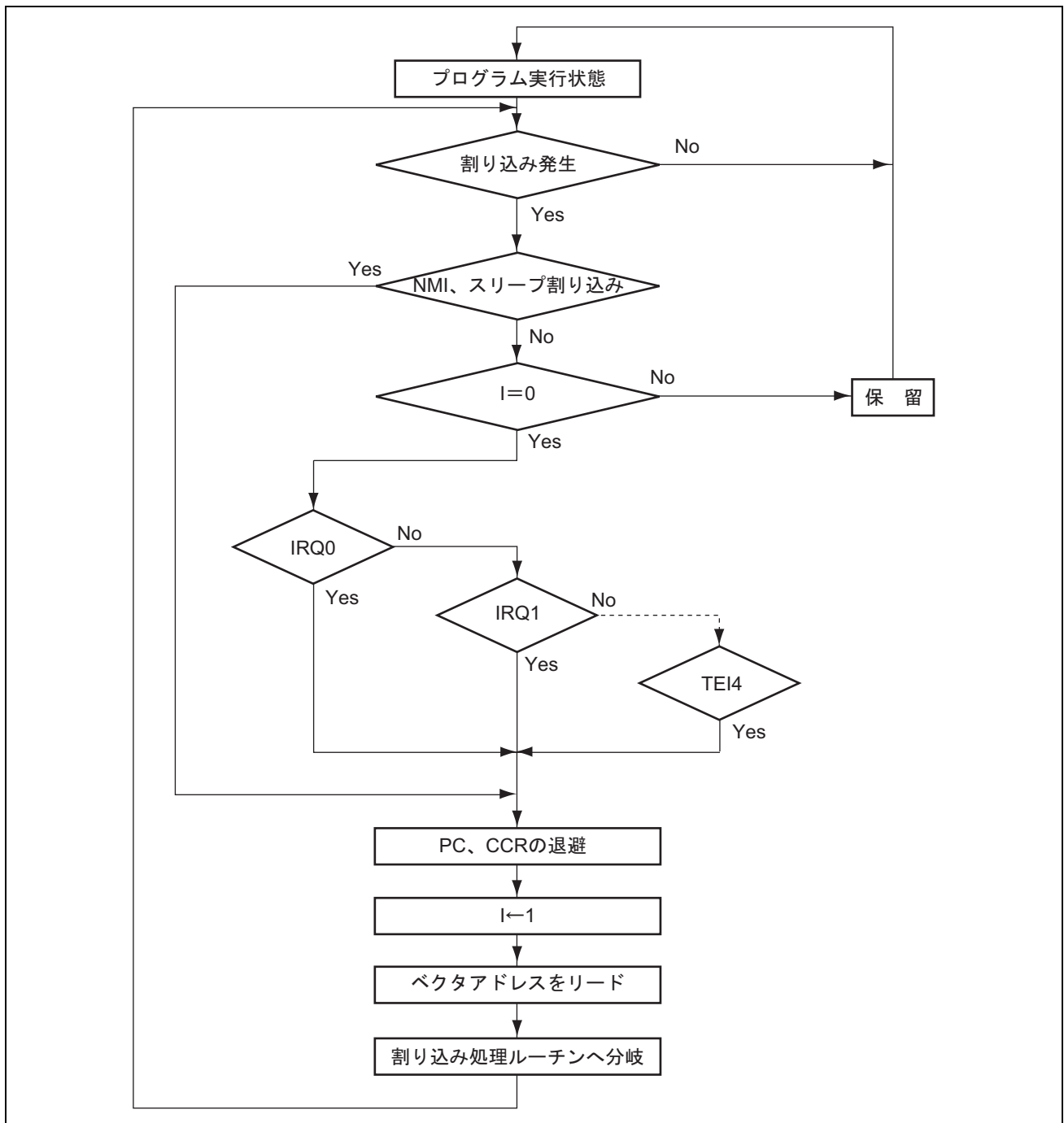


図 5.3 割り込み制御モード 0 の割り込み受け付けまでのフロー

5.6.2 割り込み制御モード 2

割り込み制御モード 2 では、NMI、スリープ割り込みを除く割り込み要求は、CPU の EXR の割り込みマスクレベル (I2~I0 ビット) と IPR との比較によって 8 レベルのマスク制御を行います。割り込み受け付け動作のフローチャートを図 5.4 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 複数の割り込み要求があるときは、割り込みコントローラはIPRに設定された割り込み要因の優先順位に従って最も優先レベルの高い割り込みを選択し、それよりも優先レベルの低い割り込み要求は保留します。優先レベルが同一の場合は、表5.2に示すデフォルトの優先順位に従って割り込み要求を選択します。
3. 選択した割り込み要求の優先順位とEXRの割り込みマスクレベルとを比較します。設定されていたマスクレベル以下であれば保留し、割り込みマスクレベルより優先順位が高ければCPUに対して割り込み処理を要求します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PC、CCR、およびEXRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みの優先レベルに書き換えられます。受け付けた割り込みがNMI、スリープ割り込みのときは割り込みマスクレベルはH'7に設定されます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

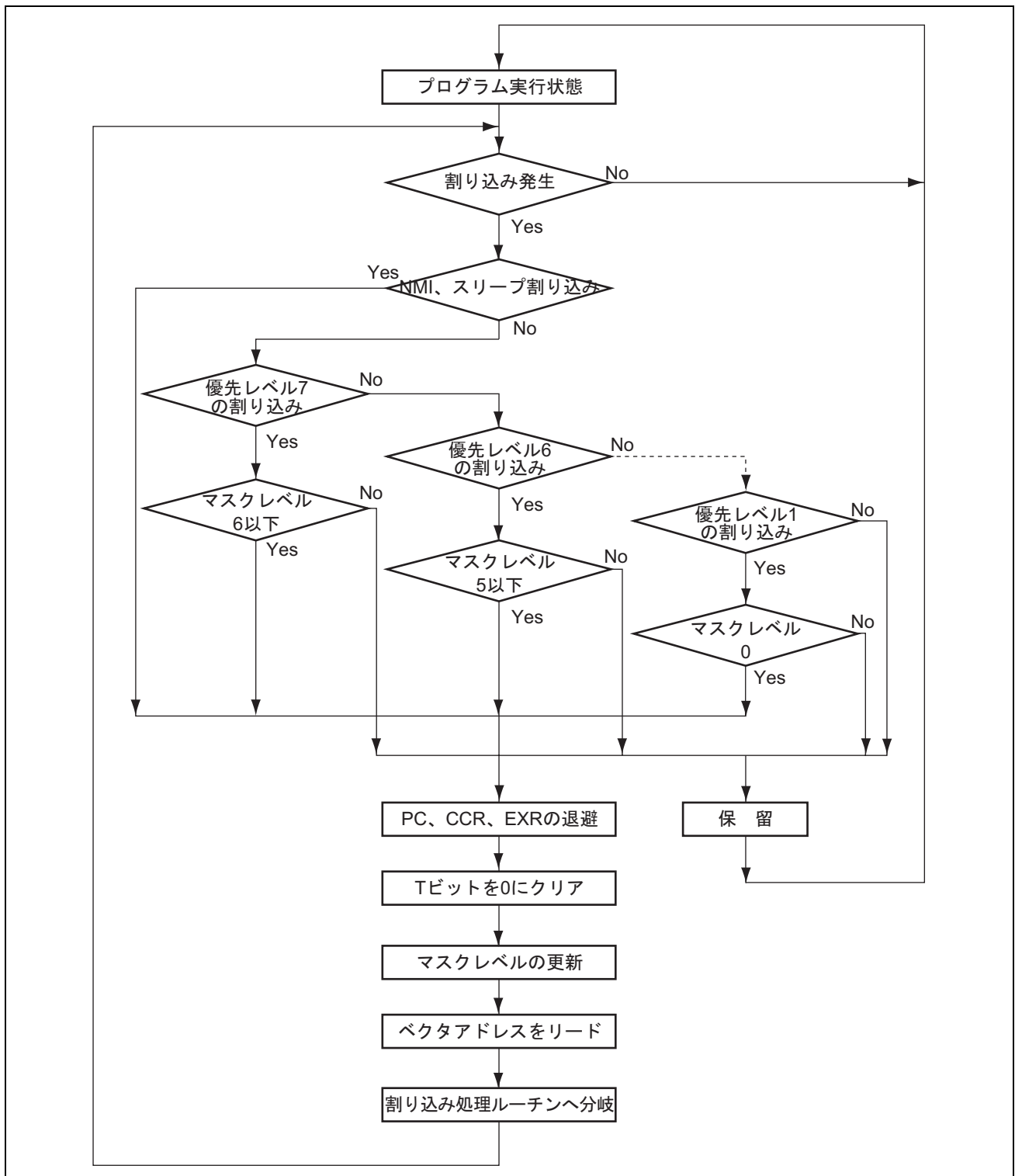


図 5.4 割り込み制御モード 2 の割り込み受け付けまでのフロー

5. 割り込みコントローラ

5.6.3 割り込み例外処理シーケンス

割り込み例外処理シーケンスを図 5.5 に示します。マキシマムモードで割り込み制御モード 0、プログラム領域およびスタック領域が内蔵メモリの場合の例です。

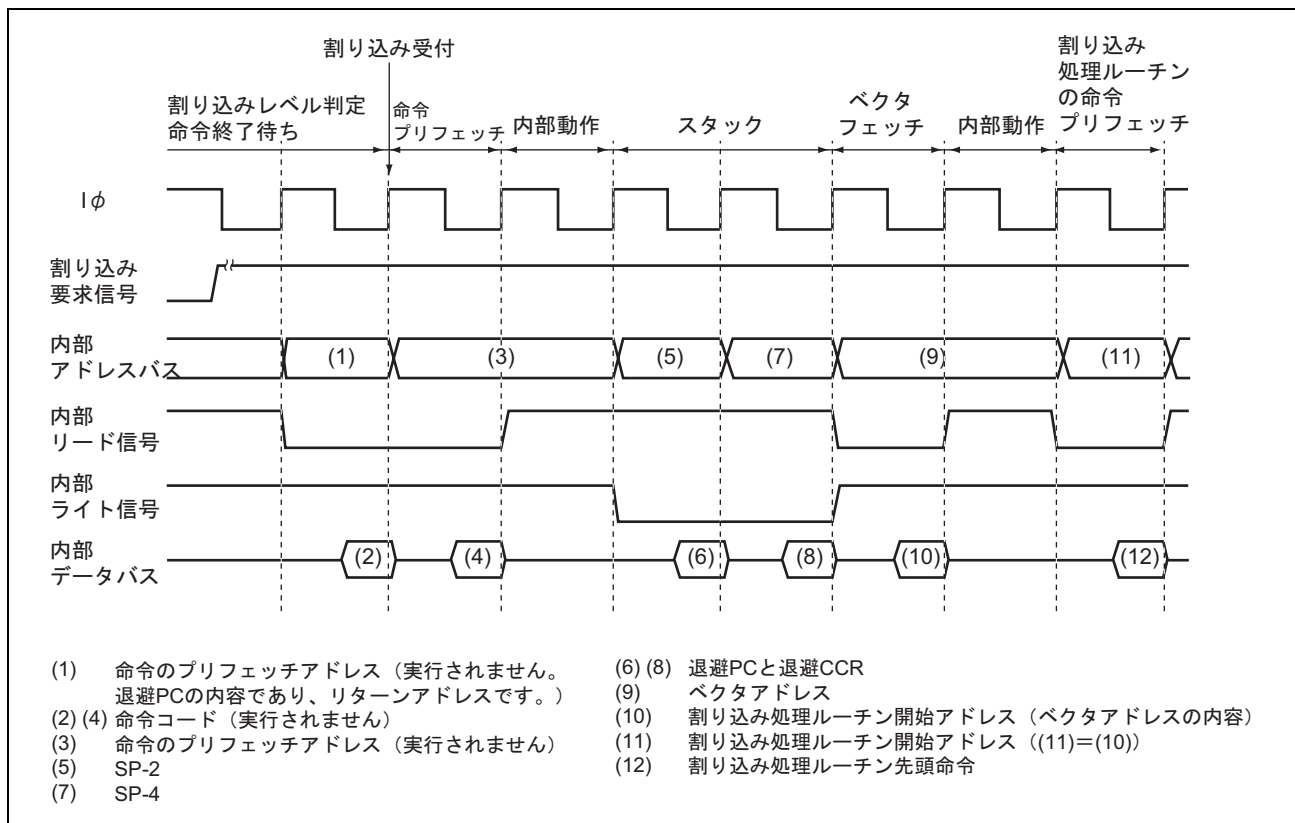


図 5.5 割り込み例外処理

5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.4 に示します。表 5.4 の実行状態の記号については表 5.5 を参照してください。スタック領域を内蔵 RAM に設けることで処理速度の向上が図れます。

表 5.4 割り込み応答時間

No.	実行状態	ノーマルモード*5		アドバンスモード		マキシマムモード*5	
		割り込み制御 モード0	割り込み制御 モード2	割り込み制御 モード0	割り込み制御 モード2	割り込み制御 モード0	割り込み制御 モード2
1	割り込み優先順位 判定*1	3					
2	実行中の命令が 終了するまでの 待ち状態数*2	$1 \sim 19 + 2 \cdot S_i$					
3	PC、CCR および EXR のスタック	$S_k \sim 2 \cdot S_k$ *6	$2 \cdot S_k$	$S_k \sim 2 \cdot S_k$ *6	$2 \cdot S_k$	$2 \cdot S_k$	$2 \cdot S_k$
4	ベクタフェッチ	Sh					
5	命令フェッチ*3	$2 \cdot S_i$					
6	内部処理*4	2					
合計（内蔵メモリ使用時）		10~31	11~31	10~31	11~31	11~31	11~31

- 【注】 *1 内部割り込みの場合 2 ステートとなります。
 *2 MULXS、DIVXS 命令について示しています。
 *3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。
 *4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。
 *5 本 LSI では使用できません。
 *6 SP の値を $4n$ に設定すると S_k 、 $4n+2$ に設定すると $2 \cdot S_k$ となります。

表 5.5 割り込み例外処理の実行状態のステート数

記号	アクセス対象	アクセス対象				
		内部メモリ	外部デバイス			
			8ビットバス		16ビットバス	
			2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス
ベクタフェッチ Sh	1	8	$12+4m$	4	$6+2m$	
命令フェッチ S_i	1	4	$6+2m$	2	$3+m$	
スタック操作 S_k	1	8	$12+4m$	4	$6+2m$	

【記号説明】

m：外部デバイスアクセス時のウェイトステート数

5. 割り込みコントローラ

5.6.5 割り込みによる DMAC、DTC の起動

割り込み要求により、DMAC、DTC を起動することができます。この場合、以下の選択を行うことができます。

1. CPUに対する割り込み要求
2. DTCに対する起動要求
3. DMACに対する起動要求
4. 1.~3.の複数の選択

なお、DMAC、DTC を起動できる割り込み要求については、表 5.2 および「7. DMA コントローラ (DMAC)」、
「8. データトランスファコントローラ (DTC)」を参照してください。

図 5.6 に、DMAC、DTC と割り込みコントローラのブロック図を示します。

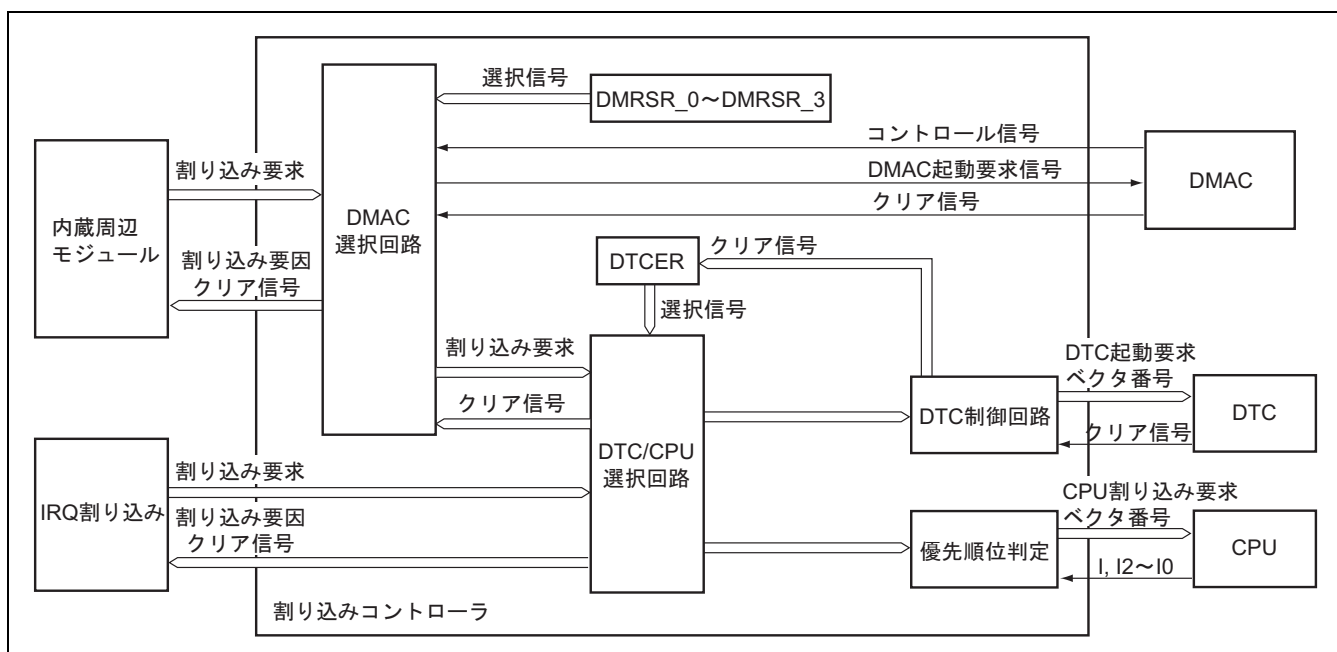


図 5.6 DMAC、DTC と割り込みコントローラ

(1) 割り込み要因の選択

DMAC の各チャンネルの起動要因は、DMRSR により選択します。選択した起動要因は、選択回路を経由して DMAC に入力されます。内蔵モジュール割り込みによる転送が有効になるように設定（DMDR のビット設定：DTF1=1、DTF0=0、DTE=1）、DMDR の DTA ビットが 1 にセットされていると、その DMAC の起動要因になった割り込み要因は DMAC が管理することになり、DTC の起動要因および CPU の割り込み要因になりません。

DMAC に管理されている割り込み以外の割り込み要因は、DTC の DTCERA~DTCERH の DTCE ビットにより、DTC 起動要因とするか、CPU 割り込み要因とするかを選択します。

DTC の MRB の DISEL ビットの指定により、DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い、転送カウンタが 0 になった場合には、DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求します。

同じ割り込み要因を、DTC、DMAC の起動要因と CPU の割り込み要因に同時に設定する場合、DTC、DMAC 優先レベルより CPU の優先レベルを高く設定しないでください。CPUPCR の IPSETE ビットを 1 にセットしている場合は、割り込み要因に該当する IPR のレベルの設定が対象になります。必ず、(DTCP、DMAP) \geq (CPUP または割り込み要因に該当する IPR) となるように設定してください。CPU の優先レベルが高くなると、DTC、DMAC が起動されずに転送が行われなくなる場合があります。

(2) 優先順位判定

DTC の起動要因は、デフォルトの優先順位に従って選択されます。マスクレベルや優先レベルなどの影響を受けません。それぞれの優先順位は「表 8.1 割り込み要因と DTC ベクタアドレスおよび対応する DTCE」を参照してください。

(3) 動作順序

同一の割り込みを DTC の起動要因と CPU の割り込み要因に選択した場合、DTC のデータ転送終了後、CPU の割り込み例外処理を行います。同一の割り込みを DTC、DMAC の起動要因、または CPU の割り込み要因に選択した場合、各々独立に動作を行います。

表 5.6 に、DMAC の DMDR の DTA ビット、DTC の DTCERA~DTCERH の DTCE ビット、および MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

5. 割り込みコントローラ

表 5.6 割り込み要因の選択とクリア制御

設定内容			割り込み要因選択／クリア制御		
DMAC	DTC		DMAC	DTC	CPU
DTA	DTCE	DISEL			
0	0	*	○	×	◎
	1	0	○	◎	×
		1		○	○
1	*	*	◎	×	×

【記号説明】

- ◎ : 当該割り込みを使用します。割り込み要因のクリアを行います。
(CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。)
- : 当該割り込みを使用します。割り込み要因をクリアしません。
- ×
- * : Don't care

(4) 使用上の注意

SCI、および A/D 変換器の割り込み要因は、DMAC または、DTC が所定のレジスタをリード／ライトすると表 5.6 の設定に従ってクリアされます。

同一の割り込みで、DMAC、DTC の複数のチャンネルを起動する場合は、同じプライオリティ (DTCP=DMAP) に設定してください。

5.7 CPU に対する DTC、DMAC の優先レベル制御機能

割り込みコントローラには、CPU の優先レベルに対して、DTC、DMAC 各々に優先レベルを設定することにより、DTC、DMAC と CPU との間の優先レベルを制御する機能があります。CPU の優先レベルは例外処理により自動設定することが可能で、CPU の割り込み例外処理など DTC、DMAC の転送処理よりも優先して実行することができます。

CPU の優先レベルは、CPUPCR の CPUP2～CPUP0 ビットで設定します。DTC の優先レベルは、CPUPCR の DTCP2～DTCP0 ビットで設定します。DMAC の優先レベルは、チャンネルごとに DMDR の DMAP2～DMAP0 ビットで設定します。

CPU に対する DTC、DMAC の優先レベル制御機能は、CPUPCR の CPUPCE ビットを 1 にセットすると有効になります。CPUPCE ビットが 1 のとき、DTC、DMAC の起動要因は各々の優先レベルによって制御します。

DTC の起動要因は、CPUP2～CPUP0 ビットで示される CPU の優先レベルと、DTCP2～DTCP0 ビットで示される DTC の優先レベルにより制御します。CPU の優先レベルが高い場合は、DTC の起動要因は保留されます。保留された起動要因は、保留されている条件 (CPUPCE=1 かつ CPUP2～0>DTCP2～0) が解除されると DTC を起動します。DTC の優先レベルは、起動要因の区別がなく、DTCP2～DTCP0 ビットで設定します。

DMAC の優先レベルは、チャンネルごとに設定できます。DMAC の起動要因は、対応するチャンネルの DMAP2～DMAP0 ビットで設定される DMAC の優先レベルと、CPU の優先レベルにより制御します。CPU の優先レベルが高い場合は、当該チャンネルの起動要因は保留されます。保留された起動要因は、保留されている条件 (CPUPCE=1 かつ CPUP2～0>DMAP2～0) が解除されると有効になります。チャンネルごとに優先レベルを異なる値に設定した場合は、優先レベルの高いチャンネルは転送処理を継続して実行し、CPU よりも優先レベルが低いチャンネルのみが起動要因を保留されます。

CPU の優先レベルを設定する方法は、CPUPCR の IPSETE ビットにより 2 種類の方法を選択できます。IPSETE ビットを 1 にセットすると、CPU の割り込みマスクビットを自動的に優先レベルに設定する機能が有効になります。IPSETE ビットを 0 にクリアすると、優先レベルは自動更新されなくなり、CPUP2～CPUP0 ビットを直接ソフトウェアで書き換えて設定します。IPSETE ビットが 1 のときも CPU の割り込みマスクビット (CCR の I ビットまたは EXR の I2～I0 ビット) をソフトウェアで書き換えることで CPU の優先レベルを設定できます。

IPSETE ビットが 1 のときに自動設定する優先レベルは、割り込み制御モードにより値が異なります。割り込み制御モード 0 の場合、CPU の CCR の I ビットの値を CPUP2 ビットに反映します。CPUP1、CPUP0 ビットは 0 に固定です。割り込み制御モード 2 の場合、CPU の EXR の I2～I0 ビットの値を CPUP2～CPUP0 ビットに反映します。

CPU の優先レベルの制御を表 5.7 に示します。

5. 割り込みコントローラ

表 5.7 CPU の優先レベルの制御

割り込み制御 モード	割り込み優先 順位	割り込み マスクビット	CPUPCR の IPSETE	制御状態	
				CPUP2~CPUP0 の値	CPUP2~CPUP0 の書き換 え
0	デフォルト	I = 任意	0	B'111~B'000	書き換え可
		I = 0	1	B'000	無効
		I = 1		B'100	
2	IPR の設定	I2~I0	0	B'111~B'000	書き換え可
			1	I2~I0	無効

CPU に対する DTC、DMAC の優先レベル制御機能の設定例と、そのときの転送要求制御状態を表 5.8 に示します。DMAC はチャンネルごとに独立して優先レベルを設定できますが、表中では 1 チャンネル分を示しています。DMAC は各チャンネルに異なる優先レベルを設定して独立に転送制御を行うことが可能です。

表 5.8 CPU に対する DMAC、DTC の優先レベル制御機能の設定例とそのときの制御状態

割り込み制御 モード	CPUPCR の CPUPCE	CPUP2~ CPUP0 の値	DTCP2~ DTCP0 の値	DMAP2~ DMAP0 の値	転送要求制御状態	
					DTC	DMAC
0	0	任意	任意	任意	許可	許可
	1	B'000	B'000	B'000	許可	許可
		B'100	B'000	B'000	マスク	マスク
		B'100	B'000	B'011	マスク	マスク
		B'100	B'111	B'101	許可	許可
		B'000	B'111	B'101	許可	許可
2	0	任意	任意	任意	許可	許可
	1	B'000	B'000	B'000	許可	許可
		B'000	B'011	B'101	許可	許可
		B'011	B'011	B'101	許可	許可
		B'100	B'011	B'101	マスク	許可
		B'101	B'011	B'101	マスク	許可
		B'110	B'011	B'101	マスク	マスク
		B'111	B'011	B'101	マスク	マスク
		B'101	B'011	B'101	マスク	許可
		B'101	B'110	B'101	許可	許可

5.8 使用上の注意事項

5.8.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令などで割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TPU の TIER の TCIEV ビットを 0 にクリアする場合の例を図 5.7 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

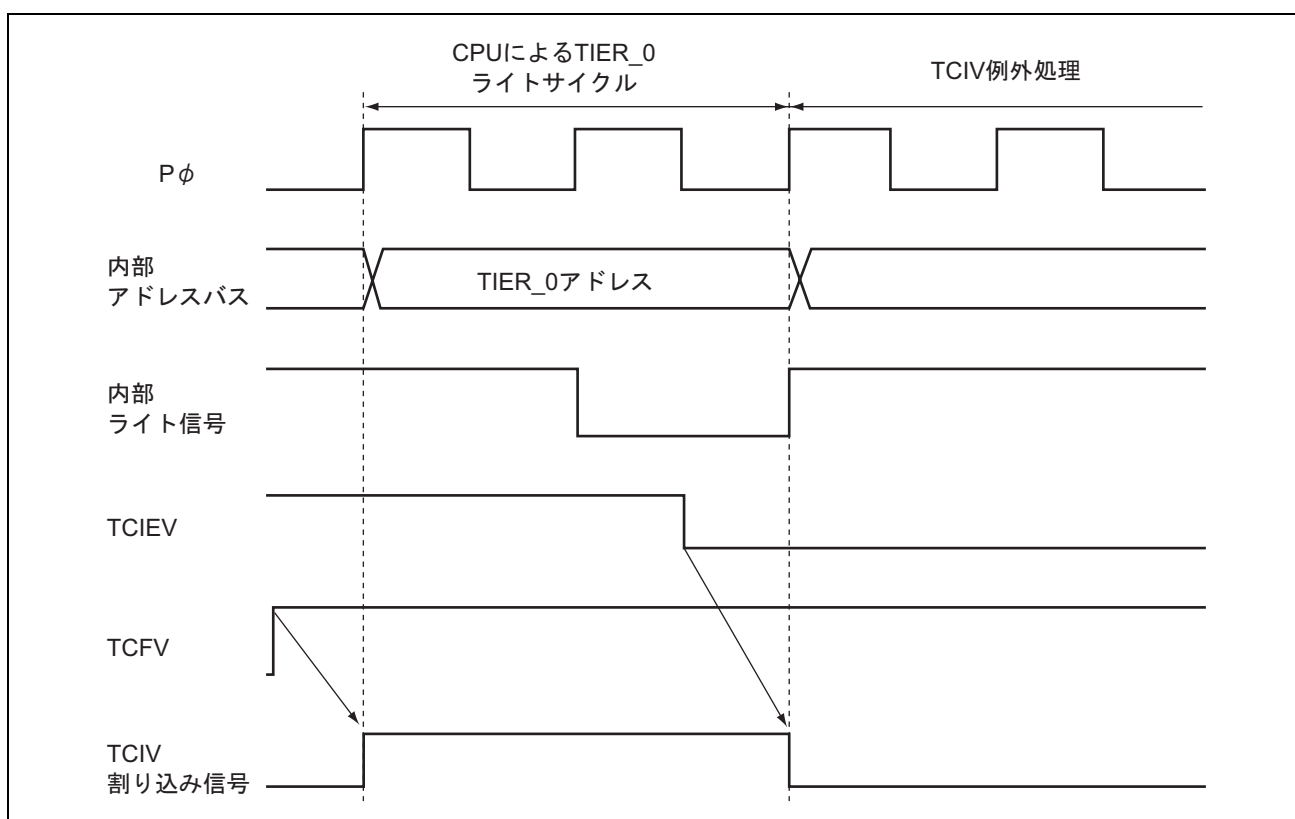


図 5.7 割り込みの発生とディスエーブルの競合

同様に DTC を起動する場合、DTC イネーブルビットの書き換え直前に割り込みが発生すると DTC の起動と CPU の割り込み例外処理を両方実行します。DTC イネーブルビットを変更する場合は、対応する割り込み要求を発生しない状態で行ってください。

5. 割り込みコントローラ

5.8.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.8.3 割り込み禁止期間

割り込みコントローラには割り込み要求の受け付けを禁止している期間があります。割り込みコントローラは、CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間、および割り込みコントローラのレジスタにライトしている期間は、割り込み要求を受け付けません。

5.8.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令によるデータ転送中に NMI を含めた割り込み要求があっても、転送終了まで割り込みを受け付けません。

EEPMOV.W 命令によるデータ転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は、次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W
      MOV.   WR4,R4
      BNE   L1
```

5.8.5 MOVMD、MOVSD 命令実行中の割り込み

MOVMD 命令、または MOVSD 命令によるデータ転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は、MOVMD 命令、または MOVSD 命令のアドレスとなります。割り込み処理ルーチンからの復帰後に、残りのデータ転送を継続します。

5.8.6 周辺モジュールの割り込み要因フラグ

周辺モジュールの割り込みを使用した場合、CPU によって周辺モジュールの割り込み要因フラグをクリアするときは、周辺モジュールと同期を取るために、割り込みサービ斯拉ーチン内でフラグをクリアした後に必ず当該フラグをリードしてください。

6. バスコントローラ (BSC)

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。

バスコントローラはバス権調停機能をもっており、内部バスマスタである CPU、DMAC および DTC の動作を制御します。

6.1 特長

- 外部アドレス空間をエリア単位で管理
外部アドレス空間を8つのエリアに分割して管理
エリアごとにチップセレクト ($\overline{CS0} \sim \overline{CS7}$) を出力可能
エリアごとにバス仕様を設定可能
エリアごとに8ビットアクセス空間/16ビットアクセス空間を選択可能
バーストROM、バイト制御SRAM、アドレス/データマルチプレクスI/Oインタフェースを設定可能
リトルエンディアンデバイスに接続するためのエンディアン変換機能
- 基本バスインタフェース
SRAMやROMを接続可能なインタフェース
エリアごとに2ステートアクセス空間/3ステートアクセス空間を選択可能
エリアごとにプログラムウェイトステートを挿入可能
 \overline{WAIT} 端子による端子ウェイトを挿入可能
エリアごとに \overline{CSn} アサート期間拡張ステートを挿入可能 (n=0~7)
リードストロブ (\overline{RD}) のネゲートタイミングを変更可能
- バイト制御SRAMインタフェース
エリア0~7をバイト制御SRAMインタフェースに設定可能
バイト制御端子を持つSRAMを直結可能
- バーストROMインタフェース
エリア0、エリア1をバーストROMインタフェースに設定可能
エリア0、エリア1のバーストROMインタフェースの仕様を独立に設定可能
- アドレス/データマルチプレクスI/Oインタフェース
エリア3~7をアドレス/データマルチプレクスI/Oインタフェースに設定可能
- アイドルサイクル挿入
異なるエリア間の外部リードサイクルが連続する場合、アイドルサイクルを挿入可能
外部リードサイクル後に外部ライトサイクルが連続する場合、アイドルサイクルを挿入可能
外部ライトサイクル後に外部リードサイクルが連続する場合、アイドルサイクルを挿入可能

6. バスコントローラ (BSC)

DMACのシングルアドレス転送 (ライトサイクル) 後に外部アクセスが連続する場合、アイドルサイクルを挿入可能

- ライトバッファ機能
外部ライトサイクルと内部アクセスを並列に実行可能
内蔵周辺モジュールへのライトアクセスと内蔵メモリアccessを並列に実行可能
DMACのシングルアドレス転送と内部アクセスを並列に実行可能
- 外部バス権解放機能
- バス権調停機能 (バスアービトレーション)
バスアービタを内蔵し、CPU、DMAC、DTCおよび外部バスマスタのバス権要求を調停
- マルチクロック機能
内部周辺機能は、周辺モジュールクロック ($P\phi$) に同期して動作可能
外部空間は、外部バスクロック ($B\phi$) に同期して動作可能
- バススタート (\overline{BS})、リード/ライト (RD/\overline{WR}) 信号出力可能

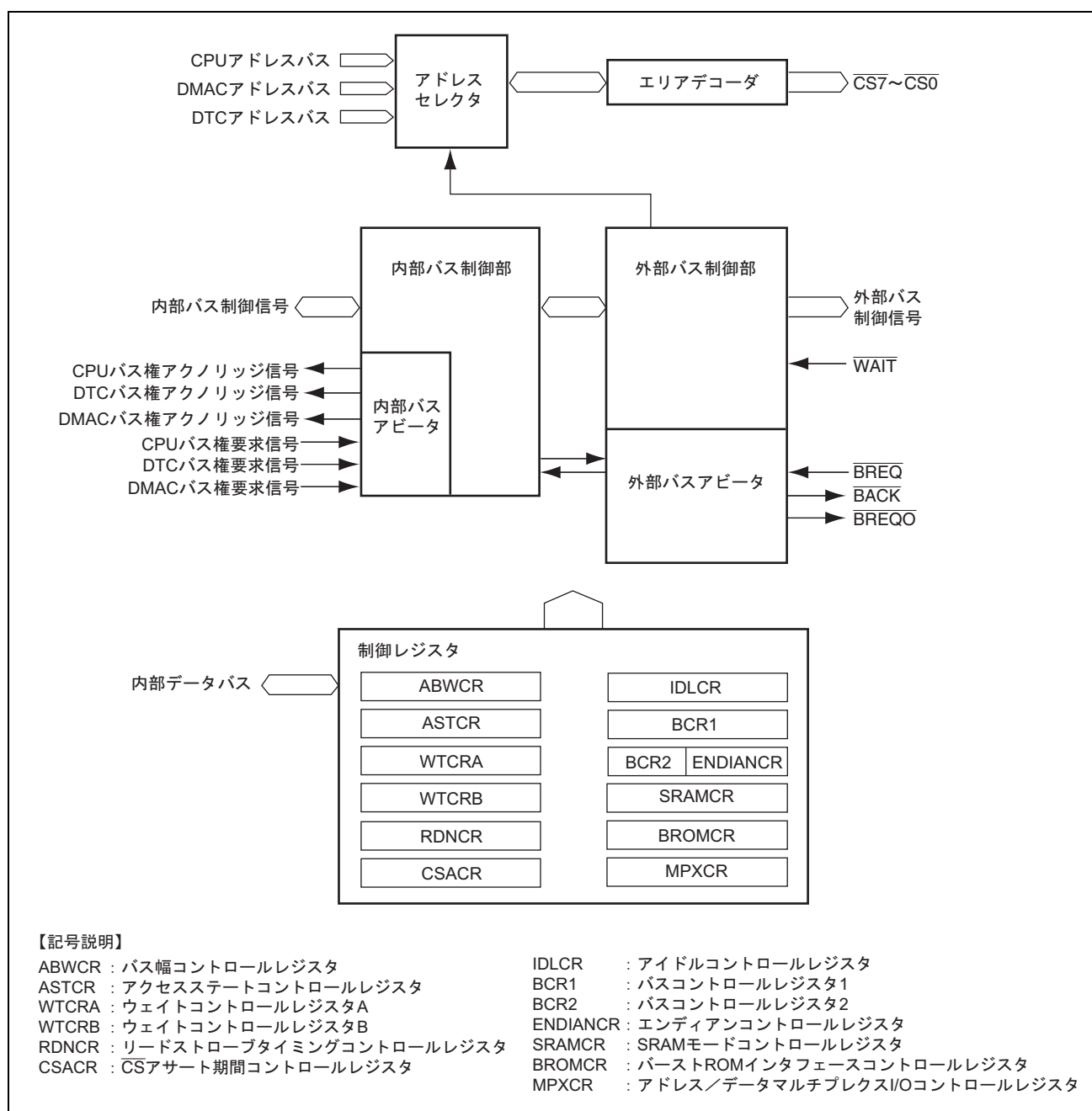


図 6.1 バスコントローラのブロック図

6. バスコントローラ (BSC)

6.2 レジスタの説明

バスコントローラには以下のレジスタがあります。

- バス幅コントロールレジスタ (ABWCR)
- アクセスステートコントロールレジスタ (ASTCR)
- ウェイトコントロールレジスタA (WTCRA)
- ウェイトコントロールレジスタB (WTCRB)
- リードストローブタイミングコントロールレジスタ (RDNCR)
- \overline{CS} アサート期間コントロールレジスタ (CSACR)
- アイドルコントロールレジスタ (IDLCR)
- バスコントロールレジスタ1 (BCR1)
- バスコントロールレジスタ2 (BCR2)
- エンディアンコントロールレジスタ (ENDIANCR)
- SRAMモードコントロールレジスタ (SRAMCR)
- バーストROMインタフェースコントロールレジスタ (BROMCR)
- アドレス/データマルチプレクスI/Oコントロールレジスタ (MPXCR)

6.2.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は、外部アドレス空間の各エリアのデータバス幅を設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	ABWH7	ABWH6	ABWH5	ABWH4	ABWH3	ABWH2	ABWH1	ABWH0
初期値* :	1	1	1	1	1	1	1	1/0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	ABWL7	ABWL6	ABWL5	ABWL4	ABWL3	ABWL2	ABWL1	ABWL0
初期値* :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 初期値は、16ビットバス起動 H'FEFF、8ビットバス起動 H'FFFFとなります。

ビット	ビット名	初期値*1	R/W	説明
15	ABWH7	1	R/W	エリア 7~0 バス幅コントロール
14	ABWH6	1	R/W	対応するエリアを 8 ビットアクセス空間にするか、16 ビットアクセス空間にするかを選択します。
13	ABWH5	1	R/W	
12	ABWH4	1	R/W	ABWHn ABWLn (n=7~0)
11	ABWH3	1	R/W	x 0 : 設定禁止
10	ABWH2	1	R/W	0 1 : エリア n を 16 ビットアクセス空間に設定
9	ABWH1	1	R/W	1 1 : エリア n を 8 ビットアクセス空間に設定*2
8	ABWH0	1/0	R/W	
7	ABWL7	1	R/W	
6	ABWL6	1	R/W	
5	ABWL5	1	R/W	
4	ABWL4	1	R/W	
3	ABWL3	1	R/W	
2	ABWL2	1	R/W	
1	ABWL1	1	R/W	
0	ABWL0	1	R/W	

【記号説明】 x : Don't care

【注】 *1 初期値は、16 ビットバス起動 H'FEFF、8 ビットバス起動 H'FFFF となります。

*2 バイト制御 SRAM インタフェースに設定した空間は、8 ビットアクセス空間に設定しないでください。

6.2.2 アクセステートコントロールレジスタ (ASTCR)

ASTCR は、外部アドレス空間の各エリアを 2 ステートアクセス空間、または 3 ステートアクセス空間のいずれかに設定します。同時にウェイトステート挿入の許可/禁止を設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
15	AST7	1	R/W	エリア 7~0 アクセスステートコントロール 対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間にするかを選択します。同時にウェイトステートの挿入を許可または禁止します。 0: エリア n を 2 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を禁止 1: エリア n を 3 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を許可 (n=7~0)
14	AST6	1	R/W	
13	AST5	1	R/W	
12	AST4	1	R/W	
11	AST3	1	R/W	
10	AST2	1	R/W	
9	AST1	1	R/W	
8	AST0	1	R/W	
7~0	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

6.2.3 ウェイトコントロールレジスタ A、B (WTCRA、WTCRB)

WTCRA、WTCRB は、外部アドレス空間の各エリアのプログラムウェイトステート数を選択します。

・ WTCRA

ビット	15	14	13	12	11	10	9	8
ビット名	—	W72	W71	W70	—	W62	W61	W60
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	W52	W51	W50	—	W42	W41	W40
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

・ WTCRB

ビット	15	14	13	12	11	10	9	8
ビット名	—	W32	W31	W30	—	W22	W21	W20
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	W12	W11	W10	—	W02	W01	W00
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

• WTCRA

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
14	W72	1	R/W	エリア7ウェイトコントロール2~0 ASTCRのAST7=1のとき、エリア7をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
13	W71	1	R/W	
12	W70	1	R/W	
11	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
10	W62	1	R/W	エリア6ウェイトコントロール2~0 ASTCRのAST6=1のとき、エリア6をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
9	W61	1	R/W	
8	W60	1	R/W	
7	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
6	W52	1	R/W	エリア5ウェイトコントロール2~0 ASTCRのAST5=1のとき、エリア5をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
5	W51	1	R/W	
4	W50	1	R/W	

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
3	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
2	W42	1	R/W	エリア 4 ウェイトコントロール 2~0 ASTCR の AST4=1 のとき、エリア 4 をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを 1 ステート挿入 010: プログラムウェイトを 2 ステート挿入 011: プログラムウェイトを 3 ステート挿入 100: プログラムウェイトを 4 ステート挿入 101: プログラムウェイトを 5 ステート挿入 110: プログラムウェイトを 6 ステート挿入 111: プログラムウェイトを 7 ステート挿入
1	W41	1	R/W	
0	W40	1	R/W	

• WTCRB

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
14	W32	1	R/W	エリア 3 ウェイトコントロール 2~0 ASTCR の AST3=1 のとき、エリア 3 をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを 1 ステート挿入 010: プログラムウェイトを 2 ステート挿入 011: プログラムウェイトを 3 ステート挿入 100: プログラムウェイトを 4 ステート挿入 101: プログラムウェイトを 5 ステート挿入 110: プログラムウェイトを 6 ステート挿入 111: プログラムウェイトを 7 ステート挿入
13	W31	1	R/W	
12	W30	1	R/W	
11	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10	W22	1	R/W	エリア 2 ウェイトコントロール 2~0 ASTCR の AST2=1 のとき、エリア 2 をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを 1 ステート挿入 010: プログラムウェイトを 2 ステート挿入 011: プログラムウェイトを 3 ステート挿入 100: プログラムウェイトを 4 ステート挿入 101: プログラムウェイトを 5 ステート挿入 110: プログラムウェイトを 6 ステート挿入 111: プログラムウェイトを 7 ステート挿入
9	W21	1	R/W	
8	W20	1	R/W	
7	—	0	R	
6	W12	1	R/W	エリア 1 ウェイトコントロール 2~0 ASTCR の AST1=1 のとき、エリア 1 をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを 1 ステート挿入 010: プログラムウェイトを 2 ステート挿入 011: プログラムウェイトを 3 ステート挿入 100: プログラムウェイトを 4 ステート挿入 101: プログラムウェイトを 5 ステート挿入 110: プログラムウェイトを 6 ステート挿入 111: プログラムウェイトを 7 ステート挿入
5	W11	1	R/W	
4	W10	1	R/W	
3	—	0	R	
2	W02	1	R/W	エリア 0 ウェイトコントロール 2~0 ASTCR の AST0=1 のとき、エリア 0 をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを 1 ステート挿入 010: プログラムウェイトを 2 ステート挿入 011: プログラムウェイトを 3 ステート挿入 100: プログラムウェイトを 4 ステート挿入 101: プログラムウェイトを 5 ステート挿入 110: プログラムウェイトを 6 ステート挿入 111: プログラムウェイトを 7 ステート挿入
1	W01	1	R/W	
0	W00	1	R/W	

6. バスコントローラ (BSC)

6.2.4 リードストローブタイミングコントロールレジスタ (RDNCR)

RDNCR は、基本バスインタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定した外部アドレス空間のリードアクセス時のリードストローブ信号 (\overline{RD}) のネゲートタイミングを設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	RDN7	RDN6	RDN5	RDN4	RDN3	RDN2	RDN1	RDN0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	RDN7	0	R/W	リードストローブタイミングコントロール これらのビットは、対応するエリアをリードアクセスするとき \overline{RD} のネゲートタイミングを設定します。図 6.2 に示すように、 $RDNn=1$ に設定したエリアの \overline{RD} は、 $RDNn=0$ に設定したときに比べて半ステート早くネゲートします。同様にリードデータのセットアップ/ホールドの規定も半ステート早くなります。 0 : エリア n のリードアクセス時、 \overline{RD} のネゲートタイミングはリードサイクルの終わり 1 : エリア n のリードアクセス時、 \overline{RD} のネゲートタイミングはリードサイクルの終わりから半ステート手前 (n=7~0)
14	RDN6	0	R/W	
13	RDN5	0	R/W	
12	RDN4	0	R/W	
11	RDN3	0	R/W	
10	RDN2	0	R/W	
9	RDN1	0	R/W	
8	RDN0	0	R/W	
7~0	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

- 【注】
1. バイト制御 SRAM インタフェースに設定した外部アドレス空間では、RDNCR の設定は無視され、常に $RDNn=1$ を設定した場合と同じ動作になります。
 2. パースト ROM インタフェースに設定した外部アドレス空間は、RDNCR の設定は無視され、常に $RDNn=0$ を設定したときと同様の動作になります。

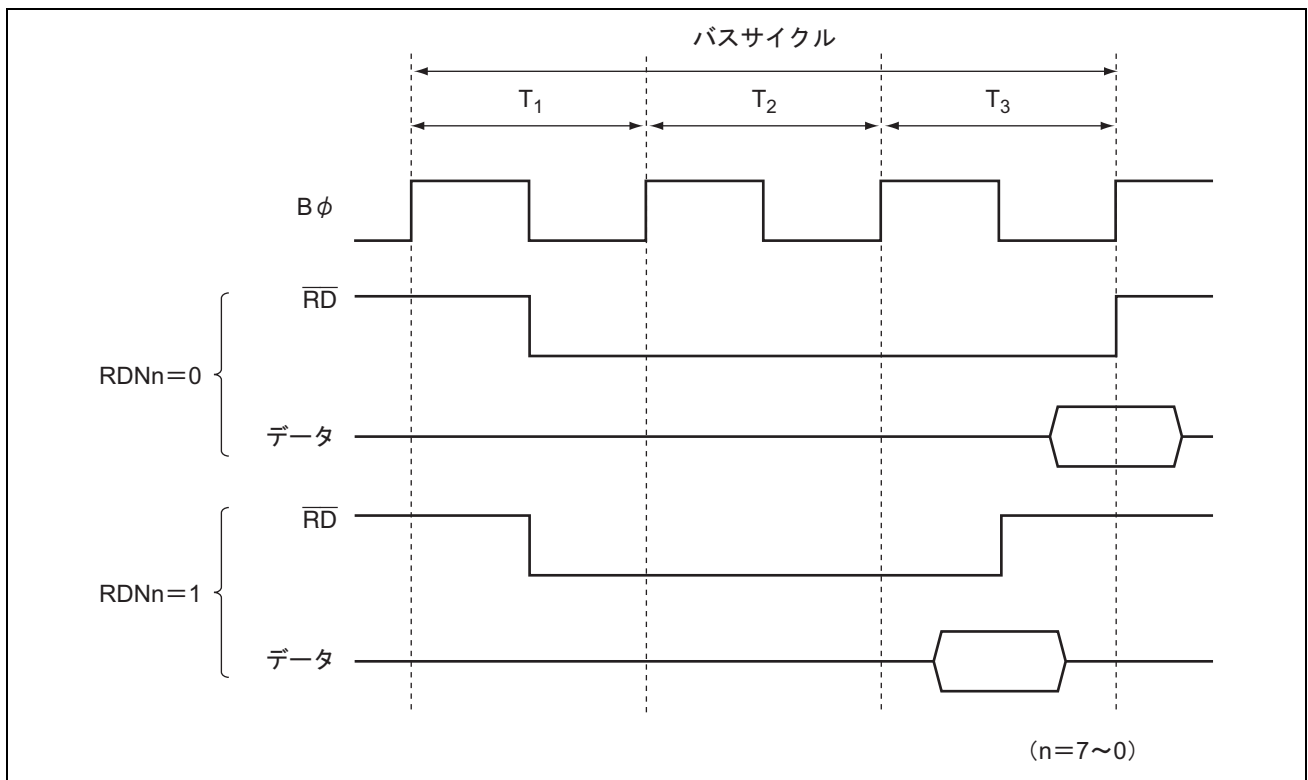


図 6.2 リードストローブネゲートタイミング (3 ステートアクセス空間)

6. バスコントローラ (BSC)

6.2.5 \overline{CS} アサート期間コントロールレジスタ (CSACR)

CSACR は、基本バスインタフェース、バイト制御 SRAM インタフェース、バースト ROM インタフェース、アドレス/データマルチプレクス I/O インタフェースのチップセレクト信号 (\overline{CSn})、およびアドレス信号のアサート期間を拡張するか否かを選択します。 \overline{CSn} 、アドレス信号のアサート期間を拡張することにより、リードストロブ (\overline{RD}) やライトストロブ ($\overline{LHWR/LLWR}$) のセットアップ時間、およびホールド時間を確保することができます。また、ライト時に、ライトストロブに対するライトデータのセットアップ時間、ホールド時間を緩和することができます。

ビット	15	14	13	12	11	10	9	8
ビット名	CSXH7	CSXH6	CSXH5	CSXH4	CSXH3	CSXH2	CSXH1	CSXH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	CSXT7	CSXT6	CSXT5	CSXT4	CSXT3	CSXT2	CSXT1	CSXT0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	CSXH7	0	R/W	\overline{CS} 、アドレス信号アサート期間コントロール 1 Th サイクルを挿入するか否かを選択します (図 6.3 参照)。CSXHn=1 に設定したエリアをアクセスすると、通常のアクセスサイクルの前に \overline{CSn} とアドレスがアサートされる Th サイクルが 1 ステート挿入されます。 0: エリア n のアクセス時、 \overline{CSn} 、アドレスアサート期間 (Th) を拡張しない 1: エリア n のアクセス時、 \overline{CSn} 、アドレスアサート期間 (Th) を拡張する (n=7~0)
14	CSXH6	0	R/W	
13	CSXH5	0	R/W	
12	CSXH4	0	R/W	
11	CSXH3	0	R/W	
10	CSXH2	0	R/W	
9	CSXH1	0	R/W	
8	CSXH0	0	R/W	
7	CSXT7	0	R/W	\overline{CS} 、アドレス信号アサート期間コントロール 2 Tt サイクルを挿入するか否かを選択します (図 6.3 参照)。CSXTn=1 に設定したエリアをアクセスすると、通常のアクセスサイクルの後に \overline{CSn} とアドレスが保持される Tt サイクルが 1 ステート挿入されます。 0: エリア n のアクセス時、 \overline{CSn} 、アドレスアサート期間 (Tt) を拡張しない 1: エリア n のアクセス時、 \overline{CSn} 、アドレスアサート期間 (Tt) を拡張する (n=7~0)
6	CSXT6	0	R/W	
5	CSXT5	0	R/W	
4	CSXT4	0	R/W	
3	CSXT3	0	R/W	
2	CSXT2	0	R/W	
1	CSXT1	0	R/W	
0	CSXT0	0	R/W	

【注】 バースト ROM インタフェースでは、CSXTn の設定は無視されます。

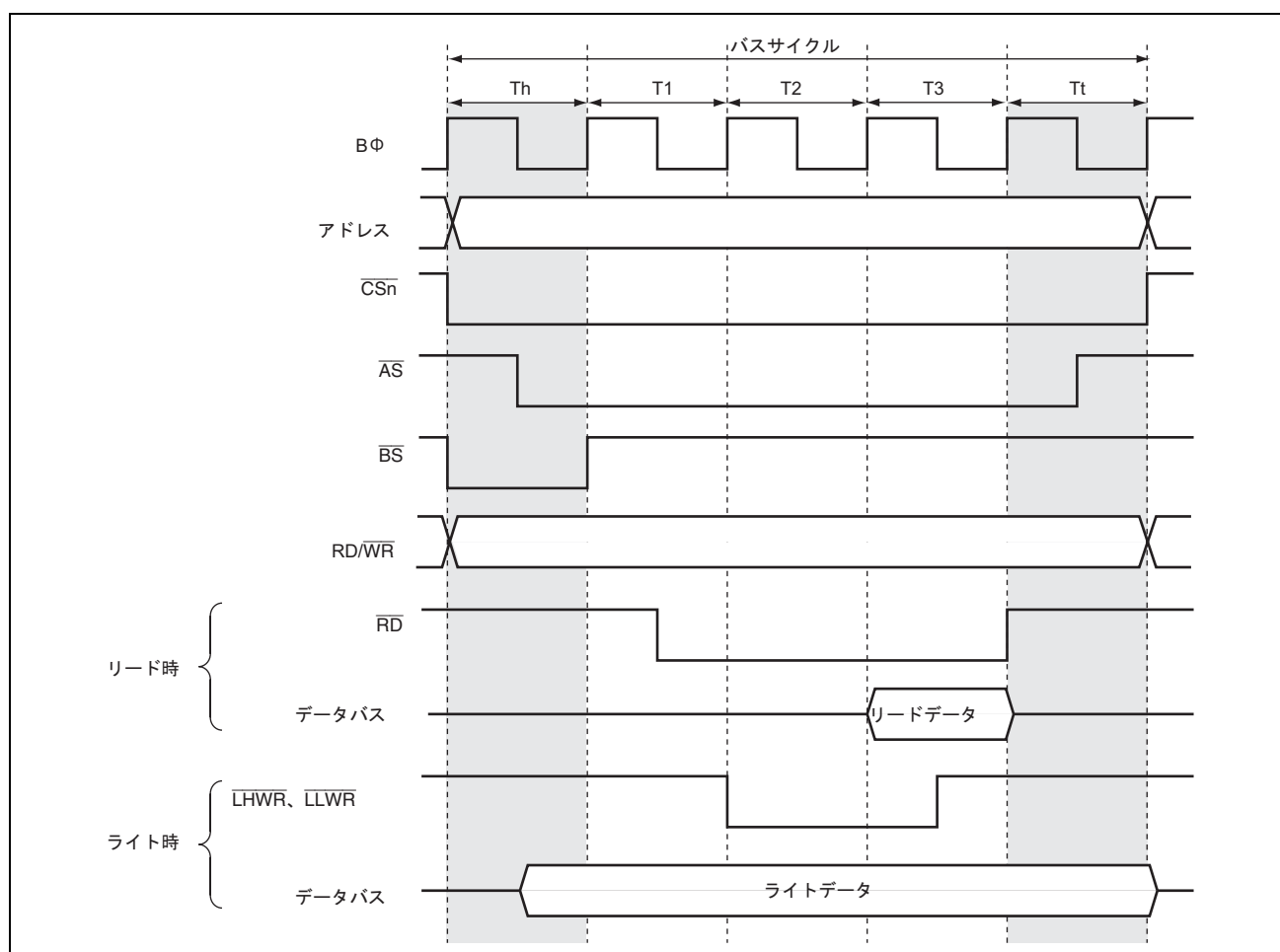


図 6.3 \overline{CS} 、アドレスアサート期間拡張
(基本バスインタフェース、3 ステートアクセス空間、 $RDNn=0$)

6.2.6 アイドルコントロールレジスタ (IDLCR)

IDLCR は、アイドルサイクルの挿入条件、およびアイドルサイクル数の設定を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	IDLS3	IDLS2	IDLS1	IDLS0	IDLCB1	IDLCB0	IDLCA1	IDLCA0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	IDLSEL7	IDLSEL6	IDLSEL5	IDLSEL4	IDLSEL3	IDLSEL2	IDLSEL1	IDLSEL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
15	IDLS3	1	R/W	<p>アイドルサイクル挿入 3</p> <p>DMAC のシングルアドレス転送 (ライトサイクル) 後に外部アクセスが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。</p> <p>0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する</p>
14	IDLS2	1	R/W	<p>アイドルサイクル挿入 2</p> <p>外部ライトサイクル後に外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。</p> <p>0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する</p>
13	IDLS1	1	R/W	<p>アイドルサイクル挿入 1</p> <p>異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。</p> <p>0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する</p>
12	IDLS0	1	R/W	<p>アイドルサイクル挿入 0</p> <p>外部リードサイクル後に外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。</p> <p>0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する</p>
11 10	IDLCB1 IDLCB0	1 1	R/W R/W	<p>アイドルサイクルステート数選択 B</p> <p>IDLS1、IDLS0 で選択されたアイドル条件に対して、挿入するステート数を選択します。</p> <p>00 : アイドルサイクルを挿入しない 01 : アイドルサイクルの挿入ステートは 2 ステート 10 : アイドルサイクルの挿入ステートは 3 ステート 11 : アイドルサイクルの挿入ステートは 4 ステート</p>
9 8	IDLCA1 IDLCA0	1 1	R/W R/W	<p>アイドルサイクルステート数選択 A</p> <p>IDLS3~IDLS0 で選択されたアイドル条件に対して、挿入するステート数を選択します。</p> <p>00 : アイドルサイクルの挿入ステートは 1 ステート 01 : アイドルサイクルの挿入ステートは 2 ステート 10 : アイドルサイクルの挿入ステートは 3 ステート 11 : アイドルサイクルの挿入ステートは 4 ステート</p>

ビット	ビット名	初期値	R/W	説明
7	IDLSEL7	0	R/W	アイドルサイクル数選択
6	IDLSEL6	0	R/W	IDLS1、IDLS0 で選択されたアイドル挿入条件で、挿入するアイドルステート数を各エリア毎に選択します。 0 : エリア n に挿入するアイドルサイクルのステート数を IDLCA1、IDLCA0 で指定する 1 : エリア n に挿入するアイドルサイクルのステート数を IDLCB1、IDLCB0 で指定する (n=7~0)
5	IDLSEL5	0	R/W	
4	IDLSEL4	0	R/W	
3	IDLSEL3	0	R/W	
2	IDLSEL2	0	R/W	
1	IDLSEL1	0	R/W	
0	IDLSEL0	0	R/W	

6.2.7 バスコントロールレジスタ 1 (BCR1)

BCR1 は、外部バス解放状態のプロトコル、ライトデータバッファ機能の許可/禁止、 $\overline{\text{WAIT}}$ 端子入力の許可/禁止の設定を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	BRLE	BREQOE	—	—	—	—	WDBE	WAITE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
ビット名	DKC	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	BRLE	0	R/W	外部バス解放イネーブル 外部バス権の解放を許可または禁止します。 0 : 外部バス権の解放を禁止 BREQ、BACK、BREQO は入出力ポートとして使用可能 1 : 外部バス権の解放を許可 このビットを 1 にセットするときは、該当する端子の ICR のビットを 1 にセットしてください。詳細は「9. I/O ポート」を参照してください。
14	BREQOE	0	R/W	BREQO 端子イネーブル 外部バス解放状態のとき、内部バスマスタが外部アドレス空間をアクセスするとき、外部バスマスタに対してバス権要求信号 ($\overline{\text{BREQO}}$) の出力を許可または禁止します。 0 : $\overline{\text{BREQO}}$ 信号出力禁止 $\overline{\text{BREQO}}$ 端子は入出力ポートとして使用可能 1 : $\overline{\text{BREQO}}$ 信号出力許可

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
13	—	0	R	リザーブビット
12	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
11	—	0	R/W	リザーブビット
10	—	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。
9	WDBE	0	R/W	ライトデータバッファイネーブル 外部ライトサイクル、または DMAC のシングルアドレス転送サイクルのとき、ライトデータバッファ機能を使用できます。 設定値を変更する場合は、変更内容が直後の外部アクセスに反映されない場合があります。 0: ライトデータバッファ機能を使用しない 1: ライトデータバッファ機能を使用する
8	WAITE	0	R/W	$\overline{\text{WAIT}}$ 端子イネーブル $\overline{\text{WAIT}}$ 端子によるウェイト入力の許可または禁止を選択します。 0: $\overline{\text{WAIT}}$ 端子によるウェイト入力を禁止 $\overline{\text{WAIT}}$ 端子は入出力ポートとして使用可能 1: $\overline{\text{WAIT}}$ 端子によるウェイト入力を許可 このビットを1にセットするときは、該当する端子の ICR のビットを1にセットしてください。詳細は「9. I/Oポート」を参照してください。
7	DKC	0	R/W	$\overline{\text{DACK}}$ コントロールビット DMAC の転送アクノレッジ信号のアサートタイミングを選択します。 0: $\overline{\text{DACK}}$ 信号のアサートタイミングは、B ϕ の立ち下がりエッジ 1: $\overline{\text{DACK}}$ 信号のアサートタイミングは、B ϕ の立ち上がりエッジ
6	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
5~0	—	すべて0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

6.2.8 バスコントロールレジスタ 2 (BCR2)

BCR2 は、CPU および DMAC、DTC のバスアービトラクション制御、周辺モジュールへのライトデータバッファ機能の許可/禁止の設定を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	IBCCS	—	—	—	PWDBE
初期値 :	0	0	0	0	0	0	1	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
5	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
4	IBCCS	0	R/W	内部バスサイクルコントロールセレクト 内部バスアービタの機能を選択します。 0 : 優先順位に従ってバス権を解放 1 : DMAC または DTC のバス権要求と CPU のバス権要求が競合したとき、交互にバスサイクルを実行します。
3	—	0	R	リザーブビット
2	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
1	—	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。
0	PWDBE	0	R/W	周辺モジュールライトデータバッファイネーブル 周辺モジュールへのライトサイクルのとき、ライトデータバッファ機能を使用できます。 0 : ライトデータバッファ機能を使用しない 1 : ライトデータバッファ機能を使用する

6. バスコントローラ (BSC)

6.2.9 エンディアンコントロールレジスタ (ENDIANCR)

ENDIANCR は、外部アドレス空間の各エリアのエンディアン形式を選択します。本 LSI のデータ形式はビッグエンディアンですが、外部空間へのアクセス時にエンディアン形式をリトルエンディアンにして転送することができます。

プログラム領域として使用するエリア、およびスタック領域として使用するエリアのデータ形式は、ビッグエンディアンにしてください。

ビット	7	6	5	4	3	2	1	0
ビット名	LE7	LE6	LE5	LE4	LE3	LE2	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
7	LE7	0	R/W	リトルエンディアン選択 対応するエリアのエンディアン形式を選択します。 0 : エリア n のエンディアン形式はビッグエンディアン 1 : エリア n のエンディアン形式はリトルエンディアン (n=7~2)
6	LE6	0	R/W	
5	LE5	0	R/W	
4	LE4	0	R/W	
3	LE3	0	R/W	
2	LE2	0	R/W	
1	—	0	R	リザーブビット
0	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。

6.2.10 SRAM モードコントロールレジスタ (SRAMCR)

SRAMCR は、外部アドレス空間の各エリアのバスインタフェースを基本バスインタフェース、またはバイト制御 SRAM インタフェースに設定します。

ABWCR によって 8 ビットアクセス空間に設定されているエリアでは、SRAMCR の設定は無効となり、バイト制御 SRAM インタフェースを設定することはできません。

ビット	15	14	13	12	11	10	9	8
ビット名	BCSEL7	BCSEL6	BCSEL5	BCSEL4	BCSEL3	BCSEL2	BCSEL1	BCSEL0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	BCSEL7	0	R/W	バイト制御 SRAM インタフェース選択 対応するエリアのバスインタフェースを選択します。 エリア n ビットを 1 にセットする場合は、BROMCR、MPXCR にある対応するエ リアのバスインタフェース選択ビットは 0 にクリアしてください。 0: エリア n は基本バスインタフェース 1: エリア n はバイト制御 SRAM インタフェース (n=7~0)
14	BCSEL6	0	R/W	
13	BCSEL5	0	R/W	
12	BCSEL4	0	R/W	
11	BCSEL3	0	R/W	
10	BCSEL2	0	R/W	
9	BCSEL1	0	R/W	
8	BCSEL0	0	R/W	
7~0	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

6.2.11 バースト ROM インタフェースコントロールレジスタ (BROMCR)

BROMCR は、バースト ROM インタフェースの設定を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	BSRM0	BSTS02	BSTS01	BSTS00	—	—	BSWD01	BSWD00
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	BSRM1	BSTS12	BSTS11	BSTS10	—	—	BSWD11	BSWD10
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSRM0	0	R/W	エリア 0 バースト ROM インタフェース選択 エリア 0 のバスインタフェースを選択します。このビットを 1 にセットする場 合は、SRAMCR の BCSEL0 は 0 にクリアしてください。 0: 基本バスインタフェースまたはバイト制御 SRAM インタフェース 1: バースト ROM インタフェース

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
14	BSTS02	0	R/W	エリア 0 バーストサイクルセレクト
13	BSTS01	0	R/W	エリア 0 のバーストサイクルのステート数を選択します。
12	BSTS00	0	R/W	000 : 1 ステート 001 : 2 ステート 010 : 3 ステート 011 : 4 ステート 100 : 5 ステート 101 : 6 ステート 110 : 7 ステート 111 : 8 ステート
11	—	0	R	リザーブビット
10	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
9	BSWD01	0	R/W	エリア 0 バーストワード数セレクト
8	BSWD00	0	R/W	エリア 0 のバースト ROM インタフェースのバーストアクセス可能なワード数を選択します。 00 : 最大 4 ワード (8 バイト) 01 : 最大 8 ワード (16 バイト) 10 : 最大 16 ワード (32 バイト) 11 : 最大 32 ワード (64 バイト)
7	BSRM1	0	R/W	エリア 1 バースト ROM インタフェース選択 エリア 1 のバスインタフェースを選択します。このビットを 1 にセットする場合は、SRAMCR の BCSEL1 は 0 にクリアしてください。 0 : 基本バスインタフェースまたはバイト制御 SRAM インタフェース 1 : バースト ROM インタフェース
6	BSTS12	0	R/W	エリア 1 バーストサイクルセレクト
5	BSTS11	0	R/W	エリア 1 のバーストサイクルのステート数を選択します。
4	BSTS10	0	R/W	000 : 1 ステート 001 : 2 ステート 010 : 3 ステート 011 : 4 ステート 100 : 5 ステート 101 : 6 ステート 110 : 7 ステート 111 : 8 ステート
3	—	0	R	リザーブビット
2	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。

ビット	ビット名	初期値	R/W	説明
1	BSWD11	0	R/W	エリア 1 パーストワード数セレクト
0	BSWD10	0	R/W	エリア 1 のパースト ROM インタフェースのパーストアクセス可能なワード数を選択します。 00 : 最大 4 ワード (8 バイト) 01 : 最大 8 ワード (16 バイト) 10 : 最大 16 ワード (32 バイト) 11 : 最大 32 ワード (64 バイト)

6.2.12 アドレス/データマルチプレクス I/O コントロールレジスタ (MPXCR)

MPXCR は、アドレス/データマルチプレクス I/O インタフェースの設定を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	MPXE7	MPXE6	MPXE5	MPXE4	MPXE3	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R	R	R
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	ADDEX
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	MPXE7	0	R/W	アドレス/データマルチプレクス I/O インタフェース選択
14	MPXE6	0	R/W	対応するエリアのバスインタフェースを選択します。
13	MPXE5	0	R/W	エリア n ビットを 1 にセットする場合は、SRAMCR の BCSELn ビットを 0 にクリアしてください。
12	MPXE4	0	R/W	
11	MPXE3	0	R/W	0 : エリア n は基本バスインタフェースまたはバイト制御 SRAM インタフェース 1 : エリア n はアドレス/データマルチプレクス I/O インタフェース (n=7~3)
10~1	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
0	ADDEX	0	R/W	アドレス出力サイクル拡張 アドレス/データマルチプレクス I/O インタフェースのアドレス出力サイクルにウェイトステートを挿入するか否かを選択します。 0 : アドレス出力サイクルにウェイトを挿入しない 1 : アドレス出力サイクルに 1 ステートのウェイトを挿入する

6. バスコントローラ (BSC)

6.3 バス構成

本 LSI の内部バス構成を図 6.4 に示します。バス構成は、以下に示す 3 種類で構成されています。

1. 内部システムバス : CPU、DMAC、DTCと、内蔵RAM、内部周辺バスおよび外部アクセスバスを接続するバス
2. 内部周辺バス : バスコントローラ、割り込みコントローラ、DMACなどのレジスタと、SCIやタイマなどの周辺モジュールのレジスタをアクセスするバス
3. 外部アクセスバス : 外部バスインタフェースを介して外部のデバイスへアクセスするバス

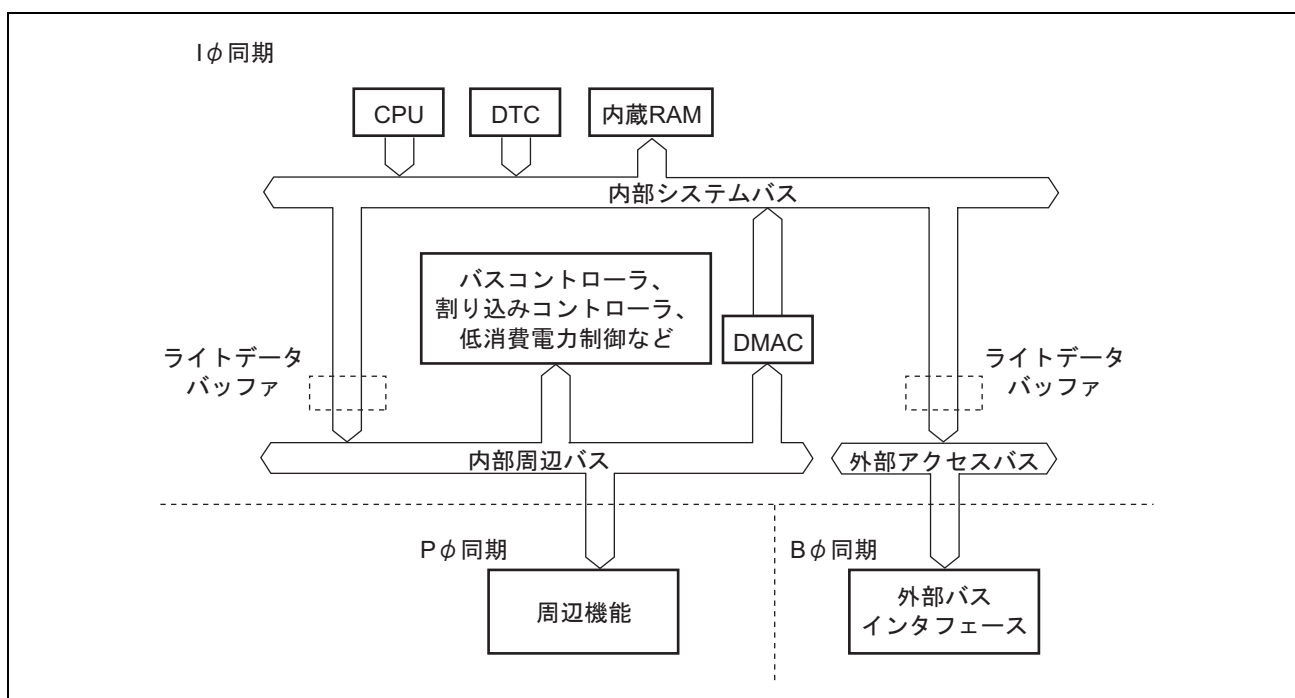


図 6.4 内部バス構成

6.4 マルチクロック機能とアクセスステート数

本 LSI の内蔵機能は、システムクロック (Iφ)、周辺モジュールクロック (Pφ)、外部バスクロック (Bφ) のいずれかのクロックに同期して動作します。表 6.1 にそれぞれの同期クロックと対応する機能を示します。

表 6.1 同期クロックと対応する機能

同期クロック	機能名
I ϕ	MCU 動作モード 割り込みコントローラ バスコントローラ CPU DMAC DTC 内蔵メモリ クロック発振器 低消費電力制御
P ϕ	I/O ポート TPU PPG TMR WDT SCI A/D D/A
B ϕ	外部バスインタフェース

各同期クロック (I ϕ 、P ϕ 、B ϕ) の周波数は、システムクロックコントロールレジスタ (SCKCR) の設定により独立に制御することが可能です。詳細は「18. クロック発振器」を参照してください。

SCKCR の設定により、P ϕ および B ϕ の周波数が I ϕ の周波数に等しい場合と、異なる場合とが生じます。いずれの場合においても、内部周辺機能と外部空間に対するアクセスサイクルは、それぞれ P ϕ と B ϕ に同期して動作します。

例えば、I ϕ と B ϕ の周波数の比が $n:1$ における外部アクセスは常に B ϕ に同期して動作し、そのアクセスステート数を I ϕ を基準として数えた場合、外部 2 ステートアクセス空間では $2n$ ステートとなり、同様に外部 3 ステートアクセス空間では $3n$ ステート (ウェイトステートを挿入しない場合) となります。

また、I ϕ と P ϕ 、B ϕ の周波数が異なる場合、バスサイクルの起動されるタイミングによっては、その先頭が P ϕ または B ϕ に同期しない場合があります。この場合、各バスサイクルに先立ち、クロック同期化サイクル (T_{sy}) が挿入されます。

例えば、I ϕ と B ϕ の周波数の比が $n:1$ において外部アクセスが発生した場合、 T_{sy} が $0 \sim n-1$ ステート挿入されることがあります。また、I ϕ と P ϕ の周波数の比が $m:1$ のときに内部周辺モジュールに対するアクセスが発生した場合、同様に T_{sy} が $0 \sim m-1$ ステート挿入されることがあります。

図 6.5 に I ϕ と B ϕ の周波数の比が $4:1$ の外部 2 ステートアクセス、図 6.6 に I ϕ と B ϕ の周波数の比が $2:1$ の外部 3 ステートアクセスタイミングを示します。

6. バスコントローラ (BSC)

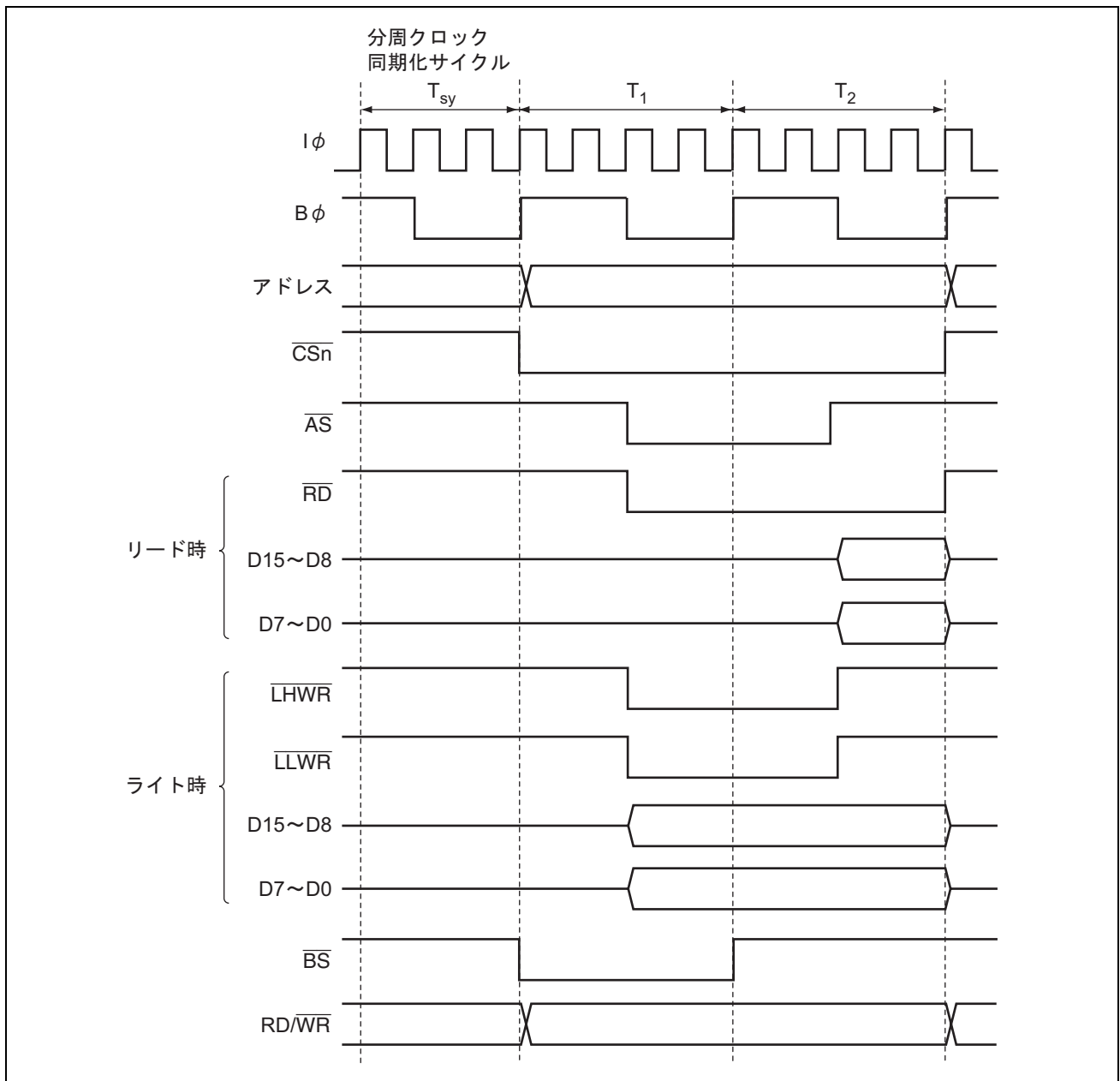


図 6.5 システムクロック : 外部バスクロック=4 : 1、外部 2 ステートアクセス

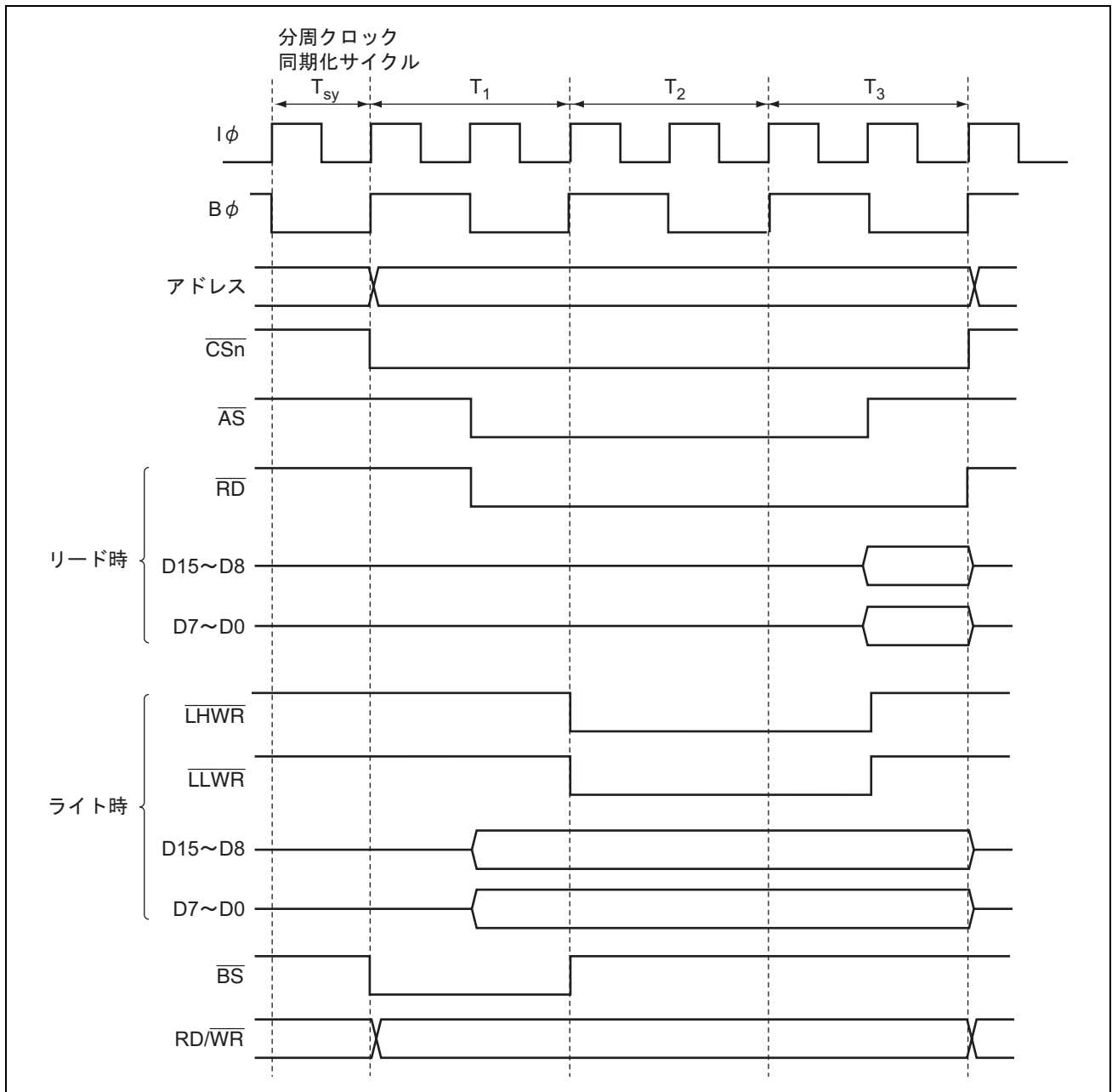


図 6.6 システムクロック：外部バスクロック=2：1、外部 3 ステートアクセス

6. バスコントローラ (BSC)

6.5 外部バス

6.5.1 入出力端子

表 6.2 にバスコントローラの端子構成を、表 6.3 に各インタフェースでの端子機能一覧を示します。

表 6.2 端子構成

名称	記号	入出力	機能
バスサイクル開始	\overline{BS}	出力	バスサイクルの開始を示す信号
アドレスストロブ/ アドレスホールド	$\overline{AS/AH}$	出力	<ul style="list-style-type: none"> 基本バス空間、バイト制御 SRAM 空間、またはバースト ROM 空間をアクセス中で、アドレスバス上のアドレス出力が有効であることを示すストロブ信号 アドレス/データマルチプレクス I/O インタフェースのアドレスホールド信号
リードストロブ	\overline{RD}	出力	基本バス空間、バイト制御 SRAM 空間、バースト ROM 空間、またはアドレス/データマルチプレクス I/O 空間をリード中であることを示すストロブ信号
リード/ライト	RD/\overline{WR}	出力	<ul style="list-style-type: none"> データバスの入出力方向指示信号 バイト制御 SRAM 空間をアクセス中であることを示す SRAM のライトイネーブル信号
ロウハイライト/ ロウアーアッパーバイトセ レクト	$\overline{LHWR}/$ \overline{LUB}	出力	<ul style="list-style-type: none"> 基本バス空間、バースト ROM 空間、またはアドレス/データマルチプレクス I/O 空間をライト中で、データバスの上位バイト (D15~D8) が有効であることを示すストロブ信号 バイト制御 SRAM 空間をアクセス中で、データバスの上位バイト (D15~D8) が有効であることを示すストロブ信号
ロウロウライト/ ロウアーロウアーバイトセ レクト	$\overline{LLWR}/$ \overline{LLB}	出力	<ul style="list-style-type: none"> 基本バス空間、バースト ROM 空間、またはアドレス/データマルチプレクス I/O 空間をライト中で、データバスの下位バイト (D7~D0) が有効であることを示すストロブ信号 バイト制御 SRAM 空間をアクセス中で、データバスの下位 (D7~D0) が有効であることを示すストロブ信号
チップセレクト 0	$\overline{CS0}$	出力	エリア 0 が選択されていることを示すストロブ信号
チップセレクト 1	$\overline{CS1}$	出力	エリア 1 が選択されていることを示すストロブ信号
チップセレクト 2	$\overline{CS2}$	出力	エリア 2 が選択されていることを示すストロブ信号
チップセレクト 3	$\overline{CS3}$	出力	エリア 3 が選択されていることを示すストロブ信号
チップセレクト 4	$\overline{CS4}$	出力	エリア 4 が選択されていることを示すストロブ信号
チップセレクト 5	$\overline{CS5}$	出力	エリア 5 が選択されていることを示すストロブ信号
チップセレクト 6	$\overline{CS6}$	出力	エリア 6 が選択されていることを示すストロブ信号
チップセレクト 7	$\overline{CS7}$	出力	エリア 7 が選択されていることを示すストロブ信号

名称	記号	入出力	機能
ウェイト	WAIT	入力	外部空間をアクセスするときのウェイト要求信号
バス権要求	BREQ	入力	バス権を外部に解放することを要求するリクエスト信号
バス権要求アクノレッジ	BACK	出力	バス権を解放したことを示すアクノレッジ信号
バス権要求出力	BREQO	出力	外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの外部バス権要求信号
データ転送アクノレッジ 3 (DMAC_3)	DACK3	出力	DMAC_3 のシングルアドレス転送時のデータ転送アクノレッジ信号
データ転送アクノレッジ 2 (DMAC_2)	DACK2	出力	DMAC_2 のシングルアドレス転送時のデータ転送アクノレッジ信号
データ転送アクノレッジ 1 (DMAC_1)	DACK1	出力	DMAC_1 のシングルアドレス転送時のデータ転送アクノレッジ信号
データ転送アクノレッジ 0 (DMAC_0)	DACK0	出力	DMAC_0 のシングルアドレス転送時のデータ転送アクノレッジ信号
外部バスクロック	Bφ	出力	外部バスクロック

表 6.3 各インタフェースと端子の対応

端子名	初期状態			基本バス		バイト制御 SRAM		パースト ROM		アドレス/データ マルチプレクスI/O		備 考
	16	8	シングル	16	8	16	16	8	16	8		
Bφ	出力	出力	—	○	○	○	○	○	○	○	○	
CS0	出力	出力	—	○	○	○	○	○	—	—	—	
CS1	—	—	—	○	○	○	○	○	—	—	—	
CS2	—	—	—	○	○	○	—	—	—	—	—	
CS3	—	—	—	○	○	○	—	—	○	○	—	
CS4	—	—	—	○	○	○	—	—	○	○	—	
CS5	—	—	—	○	○	○	—	—	○	○	—	
CS6	—	—	—	○	○	○	—	—	○	○	—	
CS7	—	—	—	○	○	○	—	—	○	○	—	
BS	—	—	—	○	○	○	○	○	○	○	—	
RD/WR	—	—	—	○	○	○	○	○	○	○	—	
AS	出力	出力	—	○	○	○	○	○	—	—	—	
AH	—	—	—	—	—	—	—	—	○	○	—	
RD	出力	出力	—	○	○	○	○	○	○	○	—	
LHWR/LUB	出力	出力	—	○	—	○	○	—	○	—	—	
LLWR/LLB	出力	出力	—	○	○	○	○	○	○	○	—	
WAIT	—	—	—	○	○	○	○	○	○	○	—	WAITEにて制御

【記号説明】

- ：バス制御信号として使用
- ：バス制御信号として未使用（初期状態ではポート入力となる）

6. バスコントローラ (BSC)

6.5.2 エリア分割

バスコントローラは、16M バイトのアドレス空間を 8 つのエリアに分割し、エリア単位で外部アドレス空間のバス制御を行います。各エリアごとにチップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができます。

図 6.7 に 16M バイト空間のエリア分割を示します。アドレスマップについては、「3. MCU 動作モード」を参照してください。

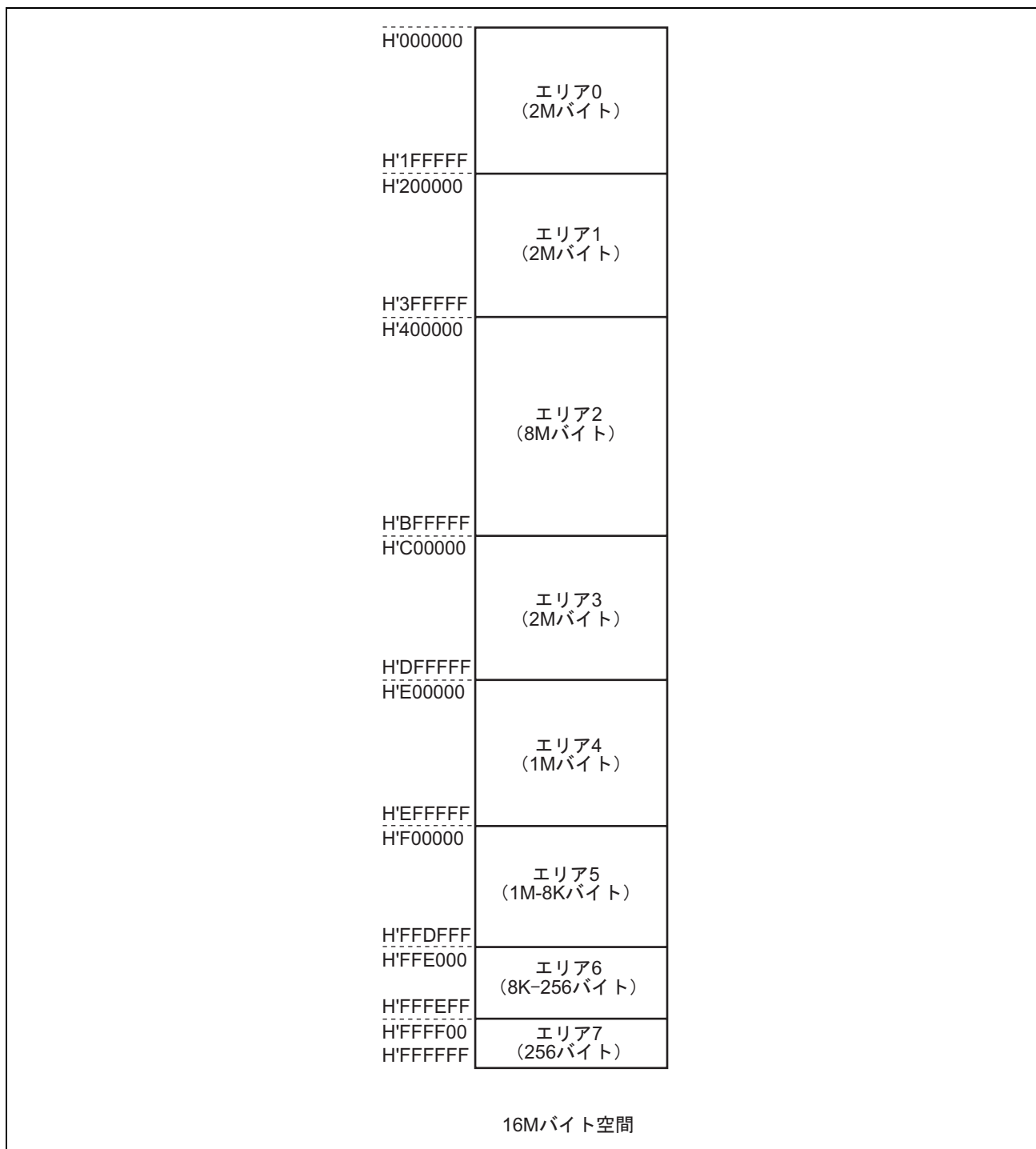


図 6.7 アドレス空間のエリア分割

6.5.3 チップセレクト信号

本 LSI は、エリア 0~7 に対してそれぞれチップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができ、当該エリアの外部空間をアクセスすると Low レベルを出力します。図 6.8 に \overline{CSn} ($n=0 \sim 7$) 出力タイミング例を示します。

\overline{CSn} 出力の許可または禁止は、ポートファンクションコントロールレジスタ (PFCR) により設定します。詳細は「9.3 ポートファンクションコントローラ」を参照してください。

ROM 無効拡張モードのとき、 $\overline{CS0}$ 端子はリセット後は出力状態になっています。 $\overline{CS1} \sim \overline{CS7}$ 端子はリセット後は入力状態になっていますので、 $\overline{CS1} \sim \overline{CS7}$ を出力する場合には対応する PFCR を 1 にセットしてください。

ROM 有効拡張モードのとき、 $\overline{CS0} \sim \overline{CS7}$ 端子はリセット後は入力状態になっていますので、 $\overline{CS0} \sim \overline{CS7}$ を出力する場合には対応する PFCR を 1 にセットしてください

PFCR は、一つの端子に複数の \overline{CS} 出力の設定ができます。PFCR で一つの端子に複数の \overline{CSn} 出力を設定すると、出力される \overline{CS} は設定したすべての \overline{CS} を合わせた信号となります。このとき同一端子に出力する \overline{CSn} に対応する外部バスインタフェースは同一の設定にしてください。図 6.9 にエリア 5 とエリア 6 の \overline{CS} 信号を同一端子に出力した場合のタイミングを示します。

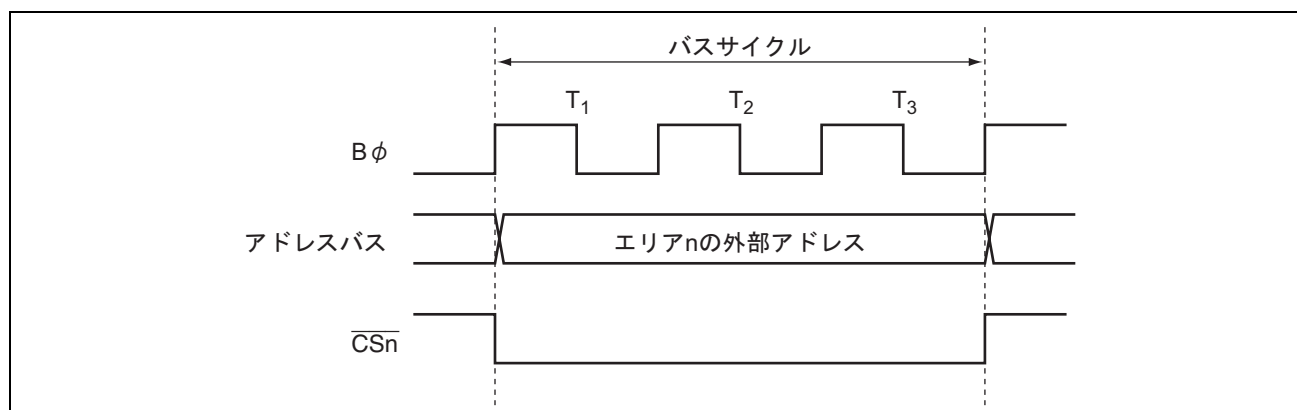


図 6.8 \overline{CSn} 信号出力タイミング ($n=0 \sim 7$)

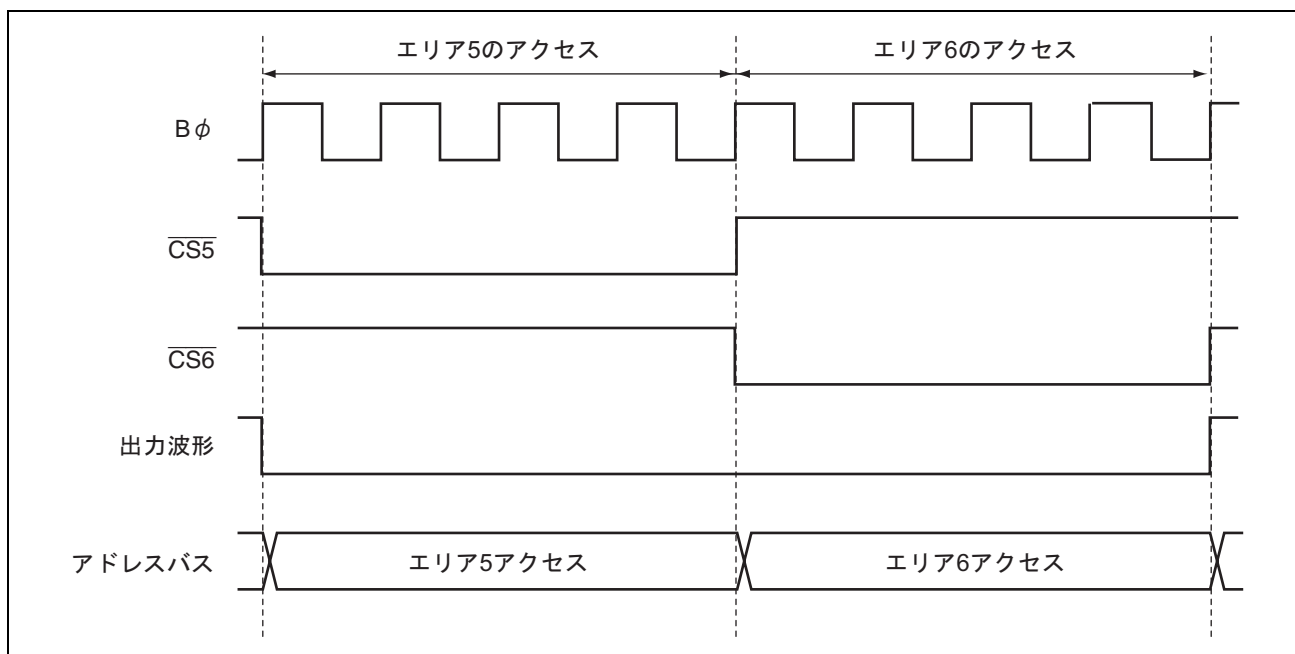


図 6.9 CS を同一端子に出力したときのタイミング

6.5.4 外部バスインタフェース

外部アドレス空間は、エリアごとに (1) 外部バスインタフェースの種類、(2) バス幅、(3) エンディアン形式、(4) アクセスステート数、(5) ストローブアサート/ネゲートタイミングを設定することができます。

内蔵メモリ、内部 I/O レジスタは、バス幅、アクセスステート数は固定で、外部バス仕様の設定に影響されません。

(1) 外部バスインタフェースの種類

外部バスインタフェースには 4 種類のインタフェースがあり、エリア単位で選択することができます。表 6.4 に各インタフェースの名称とその説明、およびそれぞれのインタフェースに設定されたエリアの名称を、表 6.5 に各インタフェースの設定可能なエリアを示します。各エリアの初期状態は、基本バスインタフェースになっています。

表 6.4 各インタフェースの名称と説明、および設定したエリアの名称

インタフェース	説明	設定したエリアの名称
基本バスインタフェース	ROM、RAM などの直結が可能	基本バス空間
バイト制御 SRAM インタフェース	バイト制御端子を持つ SRAM の直結が可能	バイト制御 SRAM 空間
バースト ROM インタフェース	ページアクセス可能な ROM の直結が可能	バースト ROM 空間
アドレス/データマルチプレクス I/O インタフェース	アドレス/データマルチプレクスが必要な周辺 LSI の直結が可能	アドレス/データマルチプレクス I/O 空間

表 6.5 各インタフェースの設定可能なエリア

インタフェース	関連レジスタ	エリア							
		0	1	2	3	4	5	6	7
基本バスインタフェース	SRAMCR	○	○	○	○	○	○	○	○
バイト制御 SRAM インタフェース		○	○	○	○	○	○	○	○
パースト ROM インタフェース	BROMCR	○	○	—	—	—	—	—	—
アドレス/データマルチプレクス I/O インタフェース	MPXCR	—	—	—	○	○	○	○	○

(2) バス幅

各エリアのバス幅は、ABWCR により 8 ビット、または 16 ビットに設定します。8 ビットバスに設定したエリアは 8 ビットアクセス空間、16 ビットバスに設定したエリアは 16 ビットアクセス空間となります。なお、アドレス/データマルチプレクス I/O 空間のバス幅は 8 ビットまたは 16 ビット、バイト制御 SRAM 空間のバス幅は 16 ビットのみ設定可能です。

バス幅の初期状態は動作モードで設定します。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、すべてのエリアを 16 ビットアクセス空間に設定しないでいずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。

(3) エンディアン形式

本 LSI のエンディアン形式はビッグエンディアンですが、外部空間のリード/ライト時にデータの並びをリトルエンディアン形式に並べ替えて転送することができます。

ENDIANCR の LE7~LE2 ビットにより、エリア 7 からエリア 2 はビッグエンディアン形式とリトルエンディアン形式を選択可能です。

各エリアの初期状態は、ビッグエンディアン形式になっています。

プログラム領域、スタック領域として使用するエリアは、必ずビッグエンディアン形式にしてください。

(4) アクセスステート数

(a) 基本バスインタフェース

基本バスインタフェースのアクセスステート数は、ASTCR により 2 ステート、または 3 ステートに設定できます。2 ステートアクセスに設定したエリアは 2 ステートアクセス空間、3 ステートアクセスに設定したエリアは 3 ステートアクセス空間となります。

2 ステートアクセス空間に設定すると、ウェイトステートの挿入が禁止されます。3 ステートアクセス空間に設定すると、WTCRA、WTCRB によるプログラムウェイト (0~7 ステート) と、 $\overline{\text{WAIT}}$ 端子による外部ウェイトを挿入することができます。

また、CSACR によりチップセレクト信号およびアドレス信号のアサート期間を拡張することができます。

6. バスコントローラ (BSC)

基本バスインタフェースアクセスステート数

=基本ステート数 (2, 3) +プログラムウェイト数 (0~7)

+ $\overline{\text{CS}}$ 拡張ステート数 (0, 1, 2) [$+\overline{\text{WAIT}}$ 端子による外部ウェイト数]

(b) バイト制御 SRAM インタフェース

バイト制御 SRAM インタフェースのアクセスステート数の設定は、基本バスインタフェースと同様です。

バイト制御SRAMインタフェースアクセスステート数

=基本ステート数 (2, 3) +プログラムウェイト数 (0~7)

+ $\overline{\text{CS}}$ 拡張ステート数 (0, 1, 2) [$+\overline{\text{WAIT}}$ 端子による外部ウェイト数]

(c) バースト ROM インタフェース

バースト ROM インタフェースでは、フルアクセスのアクセスステート数の設定は基本バスインタフェースと同様で、バーストアクセスのアクセスステート数は BROMCR の BSTS ビットにより 1 から 8 ステートに設定できます。

バーストROMインタフェースアクセスステート数

=基本ステート数 (2, 3) +プログラムウェイト数 (0~7)

+ $\overline{\text{CS}}$ 拡張ステート数 (0, 1) [$+\overline{\text{WAIT}}$ 端子による外部ウェイト数]

+バーストアクセスステート数 (1~8) ×バーストアクセス回数 (0~63)

(d) アドレス/データマルチプレクス I/O インタフェース

アドレス/データマルチプレクス I/O インタフェースでは、データサイクルのアクセスステート数の設定は基本バスインタフェースと同様で、アドレスサイクルは MPXCR の ADDEX ビットにより 2 ステートまたは 3 ステートに設定できます。

アドレス/データマルチプレクスI/Oインタフェースアクセスステート数

=アドレス出力ステート数 (2, 3) +データ出力ステート数 (2, 3)

+プログラムウェイト数 (0~7) + $\overline{\text{CS}}$ 拡張ステート数 (0, 1, 2) [$+\overline{\text{WAIT}}$ 端子による外部ウェイト数]

表 6.6 に各インタフェースのアクセスステート数を示します。

表 6.6 アクセスステート数

基本バスインタフェース	=	Th	+T1	+T2				+Tt	
		[0,1]	[1]	[1]				[0,1]	[2~4]
	=	Th	+T1	+T2	+Tpw	+Ttw	+T3	+Tt	
		[0,1]	[1]	[1]	[0~7]	[n]	[1]	[0,1]	[3~12+n]
バイト制御SRAM インタフェース	=	Th	+T1	+T2				+Tt	
		[0,1]	[1]	[1]				[0,1]	[2~4]
	=	Th	+T1	+T2	+Tpw	+Ttw	+T3	+Tt	
		[0,1]	[1]	[1]	[0~7]	[n]	[1]	[0,1]	[3~12+n]
バーストROM インタフェース	=	Th	+T1	+T2				+Tb	
		[0,1]	[1]	[1]				[(1~8)×m]	[(2~3)+(1~8)×m]
	=	Th	+T1	+T2	+Tpw	+Ttw	+T3	+Tb	
		[0,1]	[1]	[1]	[0~7]	[n]	[1]	[(1~8)×m]	[(3~11+n)+(1~8)×m]
アドレス/ データマルチプレクスI/O インタフェース	=Tma	+Th	+T1	+T2				+Tt	
	[2,3]	[0,1]	[1]	[1]				[0,1]	[4~7]
	=Tma	+Th	+T1	+T2	+Tpw	+Ttw	+T3	+Tt	
	[2,3]	[0,1]	[1]	[1]	[0~7]	[n]	[1]	[0,1]	[5~15+n]

記号:[数字]: アクセスステート数

n: 端子ウェイト (0~∞)

m: バーストアクセス回数 (0~63)

(5) ストローブアサート/ネゲートタイミング

アクセスステート数の変更に加え、ストローブ信号のアサート/ネゲートタイミングを変更できます。

- 基本バスインタフェースのリードストローブ (\overline{RD})
- 基本バスインタフェースのチップセレクトアサート期間拡張ステート
- DMACのシングルアドレス転送時に出力されるデータ転送アクノレッジ ($\overline{DACK3}\sim\overline{DACK0}$)

6.5.5 エリアと外部バスインタフェース

(1) エリア 0

エリア 0 は内蔵 ROM*を含んでおり、ROM 無効拡張モードのときすべての空間が外部空間となり、ROM 有効拡張モードのとき内蔵 ROM*を除いた空間が外部空間となります。

エリア 0 の外部空間をアクセスすると、 $\overline{CS0}$ 信号を出力します。

エリア 0 は、BROMCR の BSRM0 ビットと SRAMCR の BCSEL0 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはバースト ROM インタフェースに設定することができます。表 6.7 にエリア 0 の外部インタフェースを示します。

【注】* ROM 内蔵版のみに適用します。

表 6.7 エリア 0 の外部インタフェース

インタフェース	レジスタの設定	
	BROMCR の BSRM0	SRAMCR の BCSEL0
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
バースト ROM インタフェース	1	0
設定禁止	1	1

6. バスコントローラ (BSC)

(2) エリア 1

エリア 1 は、外部拡張モードのときすべての空間が外部空間となり、ROM 有効拡張モードのとき内蔵 ROM* を除いた空間が外部空間となります。

エリア 1 の外部空間をアクセスすると、 $\overline{CS1}$ 信号を出力します。

エリア 1 は、BROMCR の BSRM1 ビットと SRAMCR の BCSEL1 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはバースト ROM インタフェースに設定することができます。表 6.8 にエリア 1 の外部インタフェースを示します。

【注】* ROM 内蔵版のみに適用します。

表 6.8 エリア 1 の外部インタフェース

インタフェース	レジスタの設定	
	BROMCR の BSRM1	SRAMCR の BCSEL1
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
バースト ROM インタフェース	1	0
設定禁止	1	1

(3) エリア 2

エリア 2 は、外部拡張モードのときすべての空間が外部空間となります。

エリア 2 の外部空間をアクセスすると、 $\overline{CS2}$ 信号を出力します。

エリア 2 は、SRAMCR の BCSEL2 ビットにより、基本バスインタフェース、またはバイト制御 SRAM インタフェースに設定することができます。表 6.9 にエリア 2 の外部インタフェースを示します。

表 6.9 エリア 2 の外部インタフェース

インタフェース	レジスタの設定
	SRAMCR の BCSEL2
基本バスインタフェース	0
バイト制御 SRAM インタフェース	1

(4) エリア 3

エリア 3 は、外部拡張モードのときすべての空間が外部空間となります。

エリア 3 の外部空間をアクセスすると、 $\overline{CS3}$ 信号を出力します。

エリア 3 は、MPXCR の MPXE3 ビットと SRAMCR の BCSEL3 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定することができます。表 6.10 にエリア 3 の外部インタフェースを示します。

表 6.10 エリア 3 の外部インタフェース

インタフェース	レジスタの設定	
	MPXCR の MPXE3	SRAMCR レジスタ BCSEL3
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
アドレス/データマルチプレクス I/O インタフェース	1	0
設定禁止	1	1

(5) エリア 4

エリア 4 は、外部拡張モードのときすべての空間が外部空間となります。

エリア 4 の外部空間をアクセスすると、 $\overline{CS4}$ 信号を出力します。

エリア 4 は、MPXCR の MPXE4 ビットと SRAMCR の BCSEL4 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定することができます。表 6.11 にエリア 4 の外部インタフェースを示します。

表 6.11 エリア 4 の外部インタフェース

インタフェース	レジスタの設定	
	MPXCR の MPXE4	SRAMCR の BCSEL4
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
アドレス/データマルチプレクス I/O インタフェース	1	0
設定禁止	1	1

(6) エリア 5

エリア 5 は内蔵 RAM、アクセス禁止空間を含んでおり、外部拡張モードのときは内蔵 RAM、アクセス禁止空間を除いた空間が外部空間となります。なお、内蔵 RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効となり、0 にクリアすると内蔵 RAM は無効となり対応するアドレスは外部空間になります。詳細は「3. MCU 動作モード」を参照してください。

エリア 5 の外部空間をアクセスすると、 $\overline{CS5}$ 信号を出力します。

エリア 5 は、MPXCR の MPXE5 ビットと SRAMCR の BCSEL5 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定することができます。表 6.12 にエリア 5 の外部インタフェースを示します。

6. バスコントローラ (BSC)

表 6.12 エリア 5 の外部インタフェース

インタフェース	レジスタの設定	
	MPXCR の MPXE5	SRAMCR の BCSEL5
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
アドレス/データマルチプレクス I/O インタフェース	1	0
設定禁止	1	1

(7) エリア 6

エリア 6 は内部 I/O レジスタを含んでおり、外部拡張モードのとき内部 I/O レジスタ空間を除いた空間が外部空間となります。

エリア 6 の外部空間をアクセスすると、 $\overline{CS6}$ 信号を出力します。

エリア 6 は、MPXCR の MPXE6 ビットと SRAMCR の BCSEL6 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定することができます。表 6.13 にエリア 6 の外部インタフェースを示します。

表 6.13 エリア 6 の外部インタフェース

インタフェース	レジスタの設定	
	MPXCR の MPXE6	SRAMCR の BCSEL6
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
アドレス/データマルチプレクス I/O インタフェース	1	0
設定禁止	1	1

(8) エリア 7

エリア 7 は内部 I/O レジスタを含んでおり、外部拡張モードのとき内部 I/O レジスタ空間を除いた空間が外部空間となります。

エリア 7 の外部空間をアクセスすると、 $\overline{CS7}$ 信号を出力します。

エリア 7 は、MPXCR の MPXE7 ビットと SRAMCR の BCSEL7 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定することができます。表 6.14 にエリア 7 の外部インタフェースを示します。

表 6.14 エリア 7 の外部バスインタフェース

インタフェース	レジスタの設定	
	MPXCR の MPXE7	SRAMCR の BCSEL7
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
アドレス/データマルチプレクス I/O インタフェース	1	0
設定禁止	1	1

6.5.6 エンディアンとデータアライメント

CPU、およびその他の内部バスマスタのデータサイズには、バイト、ワード、およびロングワードがあります。バスコントローラはデータアライメント機能を持っており、外部空間をアクセスするとき上位側データバス (D15~D8)、下位側データバス (D7~D0) のどれを使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間、16 ビットアクセス空間) とデータサイズ、およびエンディアン形式によって制御します。

(1) 8 ビットアクセス空間

8 ビットアクセス空間では、常に最下位側データバス (D7~D0) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

図 6.10、図 6.11 に 8 ビットアクセス空間へのデータアライメント制御を示します。図 6.10 はデータのエンディアン形式をビッグエンディアンにした場合、図 6.11 はデータのエンディアン形式をリトルエンディアンにした場合です。

データサイズ	アクセス番地	アクセス回数	バスサイクル データ量	ストロープ信号		
				LHWR/LUB	LLWR/LLB	
				RD		
				データバス		
				D15	D8 D7	D0
バイト	n	1回	1回目 バイト	7	0	0
ワード	n	2回	1回目 バイト	15	8	8
			2回目 バイト	7	0	0
ロングワード	n	4回	1回目 バイト	31	24	24
			2回目 バイト	23	16	16
			3回目 バイト	15	8	8
			4回目 バイト	7	0	0

図 6.10 8 ビットアクセス空間へのアクセスサイズとデータアライメント制御 (ビッグエンディアン)

6. バスコントローラ (BSC)

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル データ量	ストロープ信号	
				LHWR/LUB	LLWR/LLB
				RD	
				データバス	
				D15	D8/D7
				D0	
バイト	n	1回	1回目 バイト	7	0
ワード	n	2回	1回目 バイト	7	0
			2回目 バイト	15	8
ロングワード	n	4回	1回目 バイト	7	0
			2回目 バイト	15	8
			3回目 バイト	23	16
			4回目 バイト	31	24

図 6.11 8 ビットアクセス空間へのアクセスサイズとデータアライメント制御 (リトルエンディアン)

(2) 16 ビットアクセス空間

16 ビットアクセス空間では、上位側データバス (D15~D8)、および下位側データバス (D7~D0) を使ってアクセスを行います。一回にアクセスできるデータ量は1バイト、または1ワードです。

図 6.12、図 6.13 に 16 ビットアクセス空間へのデータアライメント制御を示します。図 6.12 はデータのエンディアン形式をビッグエンディアンにした場合、図 6.13 はデータのエンディアン形式をリトルエンディアンにした場合です。

ビッグエンディアン形式のときは、偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

リトルエンディアン形式のときは、偶数アドレスに対するバイトアクセスは下位側データバスを使用し、奇数アドレスに対するバイトアクセスは上位側データバスを使用します。

アクセス サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	ストローブ信号	
					LHWR/LUB	LLWR/LLB
					RD	
					データバス	
					D15	D8 D7 D0
バイト	偶数 (2n)	1回	1回目	バイト	7	0
	奇数 (2n+1)	1回	1回目	バイト	7	0
ワード	偶数 (2n)	1回	1回目	ワード	15	8 7 0
	奇数 (2n+1)	2回	1回目	バイト	15	8

					2回目	
					7 0	
ロングワード	偶数 (2n)	2回	1回目	ワード	31	24 23 16
			2回目	ワード	15	8 7 0
	奇数 (2n+1)	3回	1回目	バイト	31	24
			2回目	ワード	23	16 15 8

					3回目	
					7 0	

図 6.12 16 ビットアクセス空間へのアクセスサイズとデータアライメント制御 (ビッグエンディアン)

アクセス サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	ストローブ信号	
					LHWR/LUB	LLWR/LLB
					RD	
					データバス	
					D15	D8 D7 D0
バイト	偶数 (2n)	1回	1回目	バイト	7	0
	奇数 (2n+1)	1回	1回目	バイト	7	0
ワード	偶数 (2n)	1回	1回目	ワード	15	8 7 0
	奇数 (2n+1)	2回	1回目	バイト	7	0

					2回目	
					15 8	
ロングワード	偶数 (2n)	2回	1回目	ワード	15	8 7 0
			2回目	ワード	31	24 23 16
	奇数 (2n+1)	3回	1回目	バイト	7	0
			2回目	ワード	23	16 15 8

					3回目	
					31 24	

図 6.13 16 ビットアクセス空間へのアクセスサイズとデータアライメント制御 (リトルエンディアン)

6.6 基本バスインタフェース

基本バスインタフェースは、ROM、SRAM との直結が可能です。

ABWCR、ASTCR、WTCRA、WTCRB、RDNCR、CSACR、ENDIANCR によってバス仕様を設定できます。

6.6.1 データバス

CPU、およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラはデータアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス (D15~D8)、下位側データバス (D7~D0) のどれを使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間、16 ビットアクセス空間) とデータサイズ、およびエンディアン形式によって制御します。詳細は「6.5.6 エンディアンとデータアライメント」を参照してください。

6.6.2 基本バスインタフェース入出力端子

表 6.15 に基本バスインタフェースの入出力端子を示します。

表 6.15 基本バスインタフェースの入出力端子

名称	記号	入出力	機能
バスサイクル開始	BS	出力	バスサイクルの開始を示す信号です。
アドレスストローブ	\overline{AS}^*	出力	アクセス中、アドレスバス上のアドレス出力が有効であることを示すストローブ信号です。
リードストローブ	\overline{RD}	出力	リードアクセス中であることを示すストローブ信号です。
リード/ライト	$\overline{RD}/\overline{WR}$	出力	データバスの入出力方向指示信号です。
ロウハイライト	\overline{LHWR}	出力	ライトアクセス中であり、データバスの上位バイト (D15~D8) が有効であることを示すストローブ信号です。
ロウロウライト	\overline{LLWR}	出力	ライトアクセス中であり、データバスの下位バイト (D7~D0) が有効であることを示すストローブ信号です。
チップセレクト 0~7	$\overline{CS0} \sim \overline{CS7}$	出力	エリアが選択されていることを示すストローブ信号です。
ウェイト	WAIT	入力	外部空間をアクセスするときのウェイト要求信号です。

【注】 * アドレス/データマルチプレクスを選択した場合は \overline{AH} 出力端子となり、 \overline{AS} 出力端子としては使用できません。

6.6.3 基本タイミング

データのエンディアン形式をビッグエンディアンにした場合の基本タイミングについて説明します。

(1) 16ビット2ステートアクセス空間

図 6.14～図 6.16 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。

16 ビットアクセス空間をアクセスするとき、偶数アドレスに対しては上位側 (D15～D8)、奇数アドレスに対しては下位側 (D7～D0) を使用します。ウェイトステートを挿入することはできません。

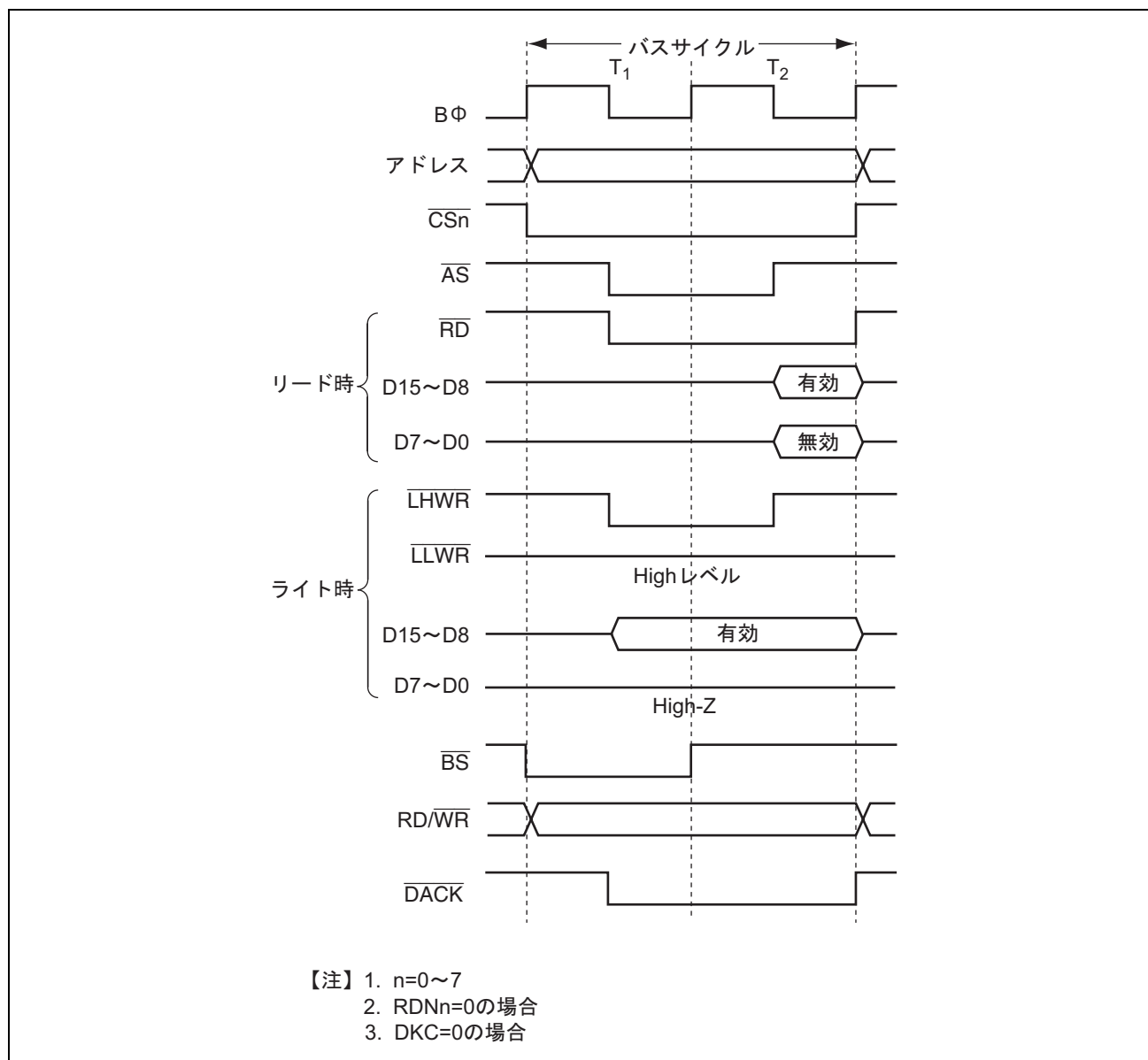


図 6.14 16 ビット 2 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)

6. バスコントローラ (BSC)

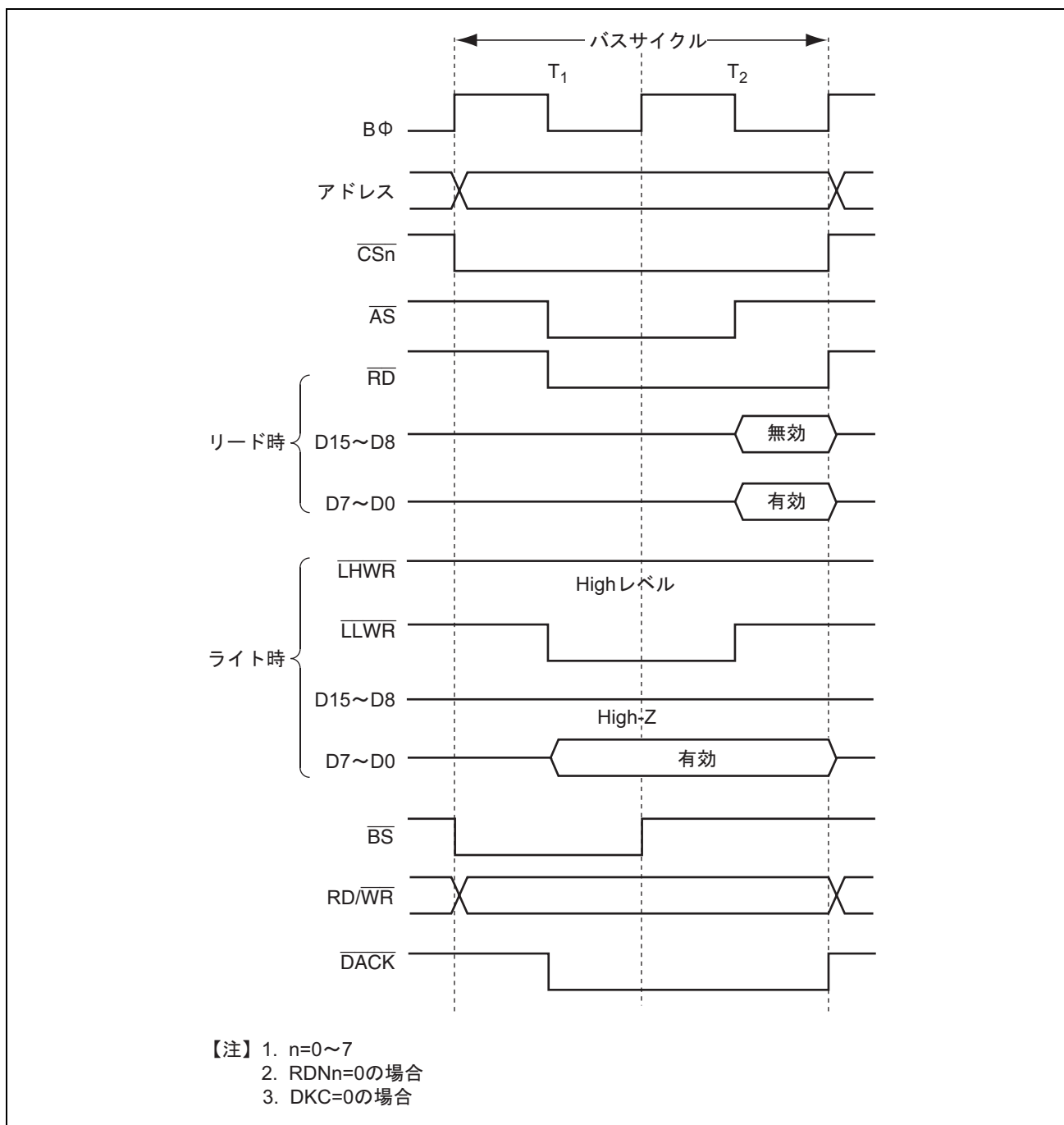


図 6.15 16 ビット 2 ステートアクセス空間のバスタイミング (奇数アドレスバイトバイトアクセス)

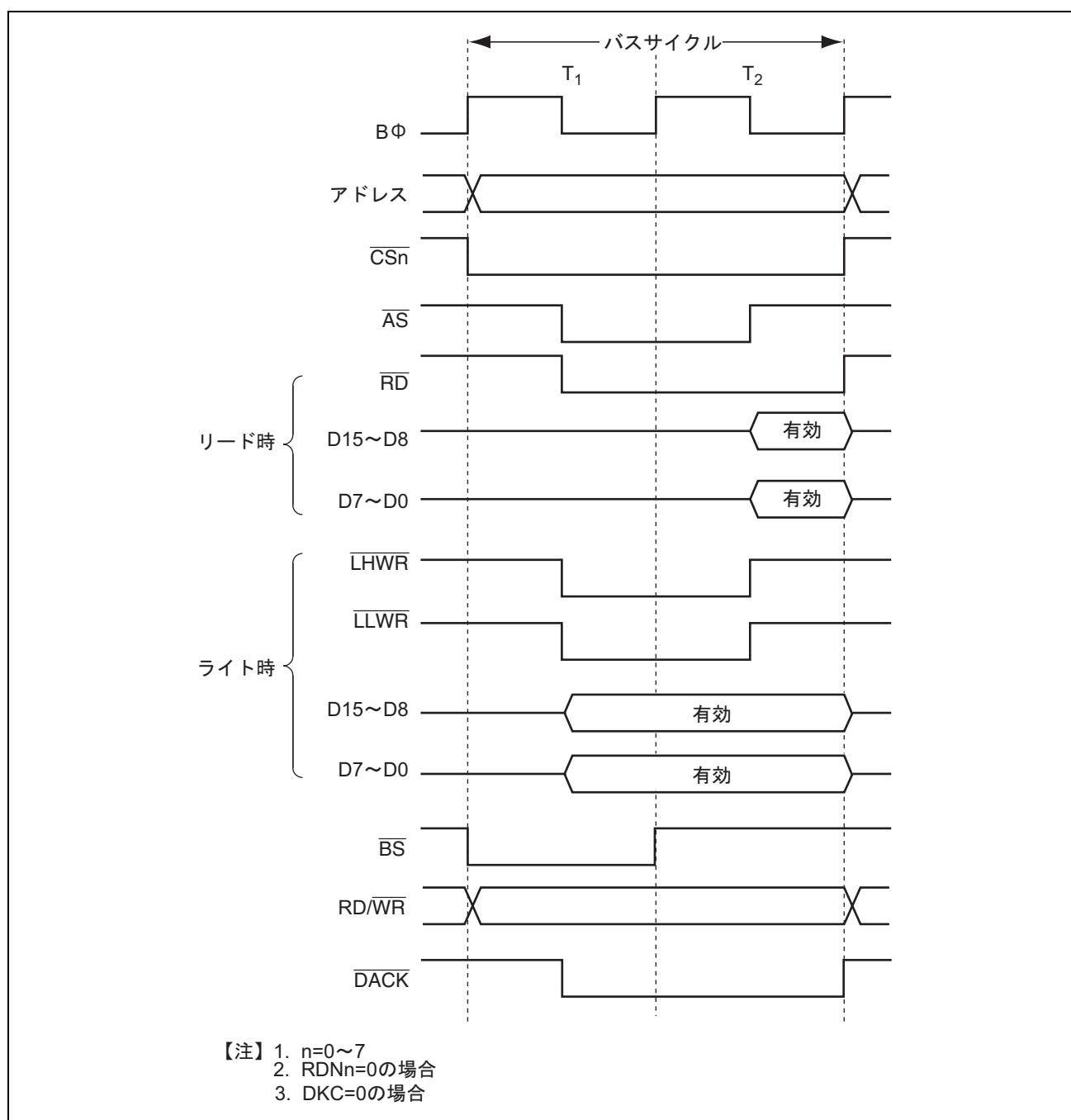


図 6.16 16 ビット 2 ステートアクセス空間のバスタイミング (偶数アドレスワードアクセス)

6. バスコントローラ (BSC)

(2) 16 ビット 3 ステートアクセス空間

図 6.17～図 6.19 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。

16 ビットアクセス空間をアクセスするとき、偶数アドレスに対しては上位側 (D15～D8)、奇数アドレスに対しては下位側 (D7～D0) を使用します。ウェイトステートを挿入することができます。

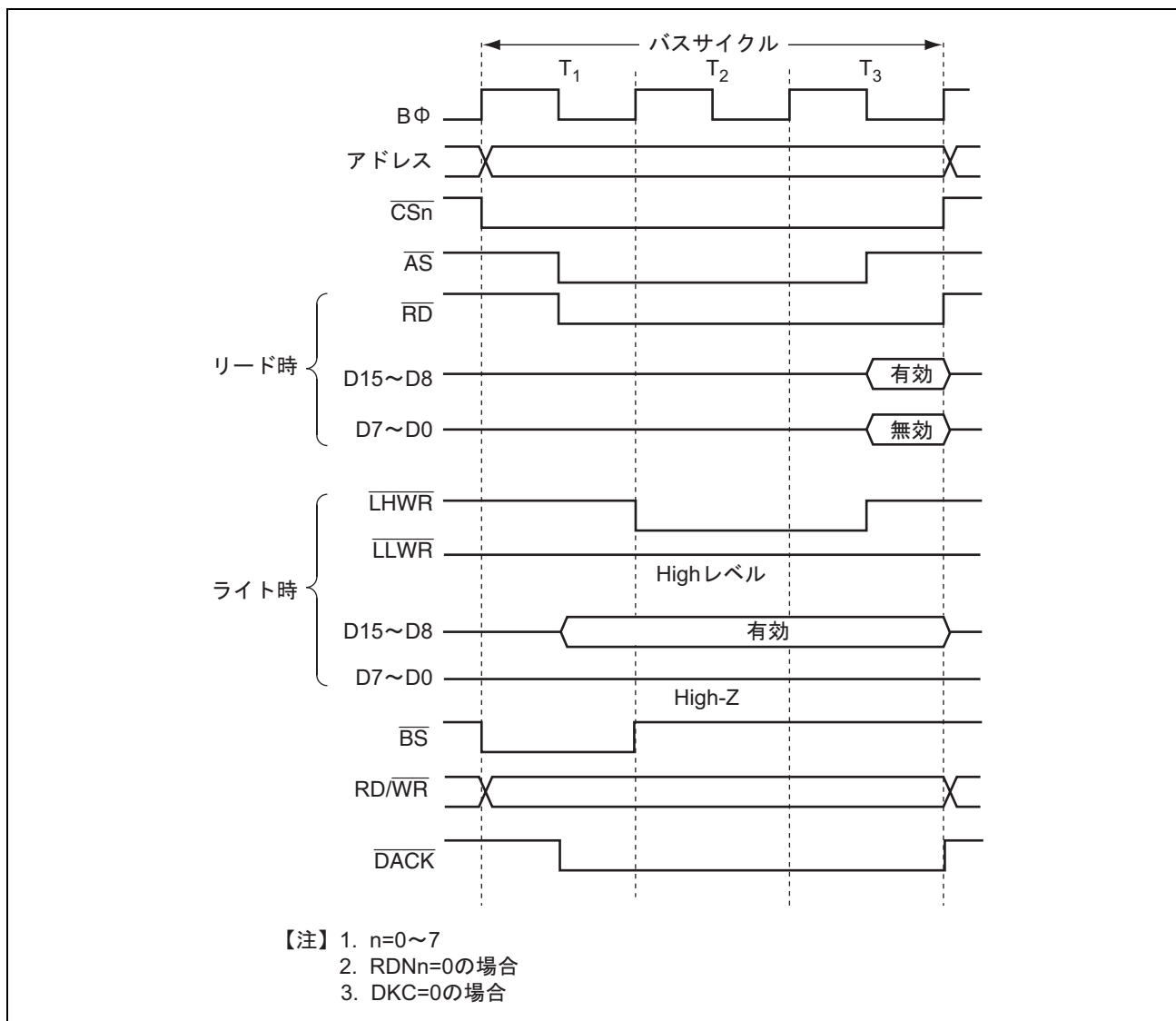


図 6.17 16 ビット 3 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)

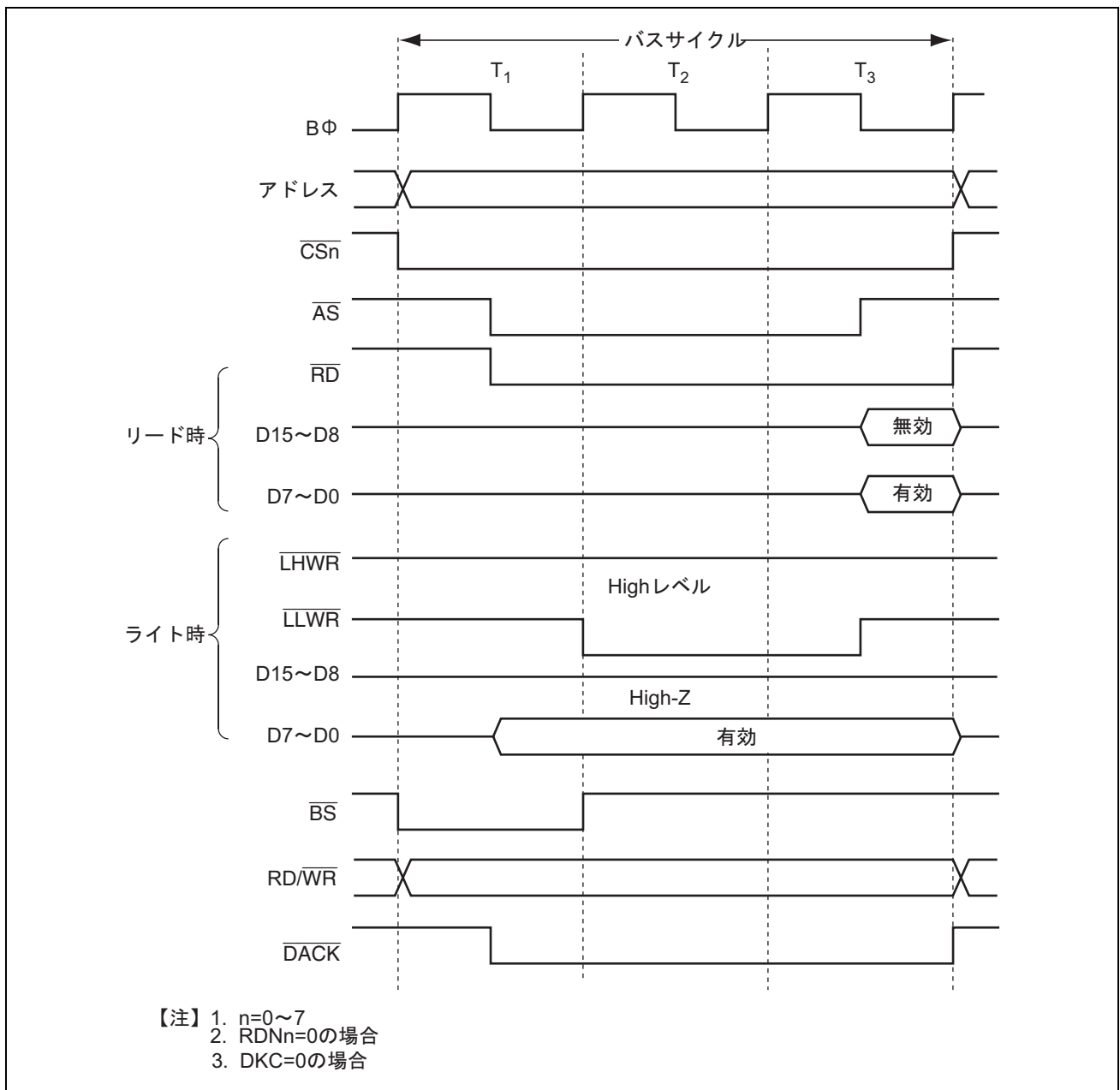


図 6.18 16 ビット 3 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)

6. バスコントローラ (BSC)

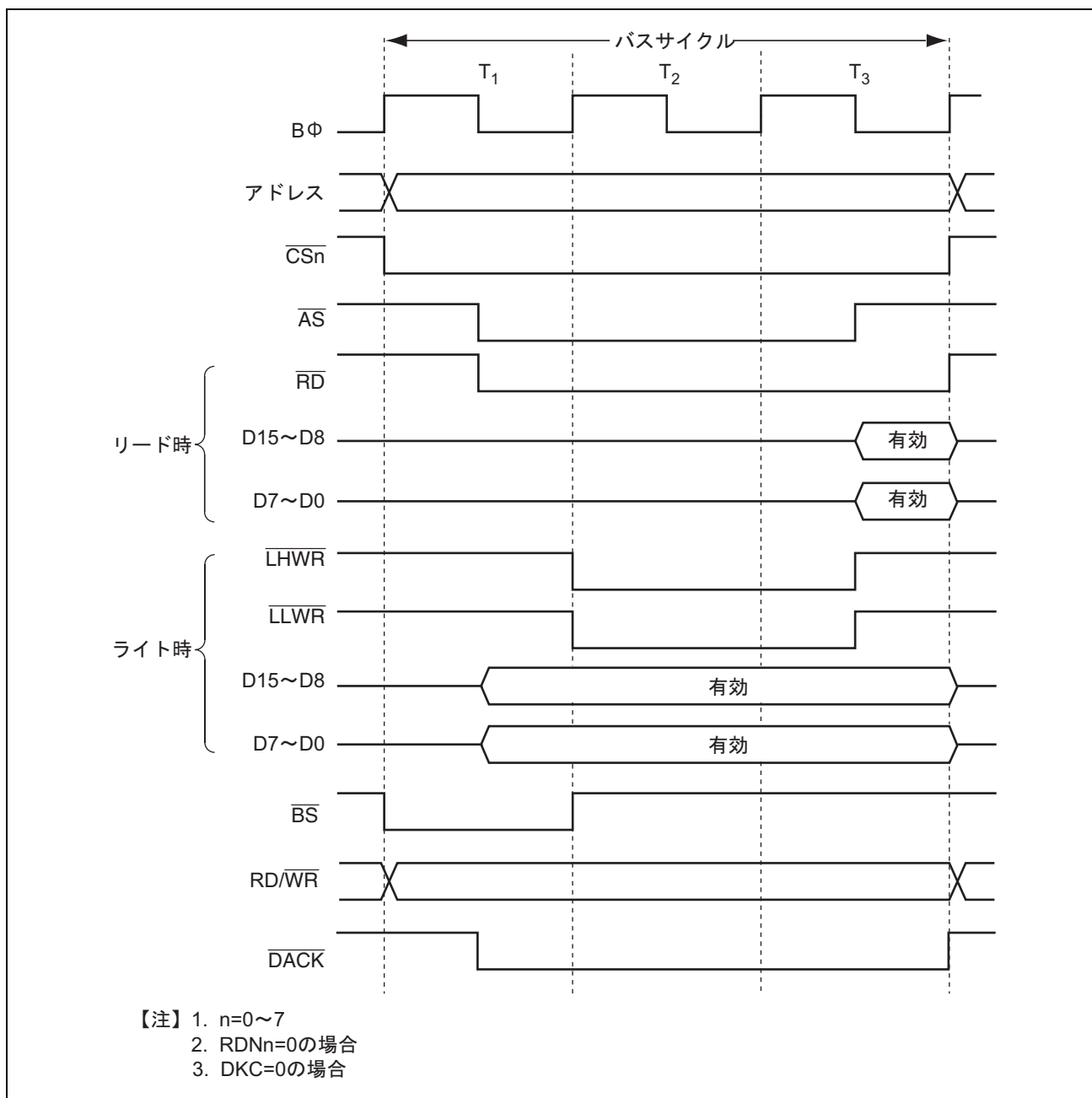


図 6.19 16 ビット 3 ステートアクセス空間のバスタイミング (偶数アドレスワードアクセス)

6.6.4 ウェイト制御

本 LSI は、外部空間をアクセスするときウェイトステート (Tw) を挿入してバスサイクルを引き伸ばすことができます。ウェイトステートを挿入する方法にはプログラムウェイト (Tpw) の挿入、および $\overline{\text{WAIT}}$ 端子による端子ウェイト (Ttw) の挿入があります。

(1) プログラムウェイトの挿入

WTCRA、WTCRB の設定により、3 ステートアクセス空間に対してエリア単位で 0~7 ステートのウェイトステートを自動的に T2 ステートと T3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

3 ステートアクセス空間で BCR1 の WAITE ビットを 1 にセットし、該当する端子の ICR のビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力の有効になります。この状態で外部空間をアクセスすると、まず WTCRA、WTCRB の設定に従ってプログラムウェイトが挿入されます。続いて T2 または Tpw の最後のステートの B ϕ の立ち上がりのタイミングで $\overline{\text{WAIT}}$ 端子が Low レベルであると、更に Ttw が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで Ttw が挿入されます。7 ステート以上の Tw を挿入する場合や、外部デバイスごとに挿入する Tw 数を変える場合に有効です。WAITE ビットはすべてのエリアに対して共通です。

ICR については「9. I/O ポート」を参照してください。

図 6.20 にウェイトステート挿入のタイミング例を示します。

リセット後は、3 ステートアクセスかつプログラムウェイトを 7 ステート挿入、 $\overline{\text{WAIT}}$ 入力禁止状態となっています。

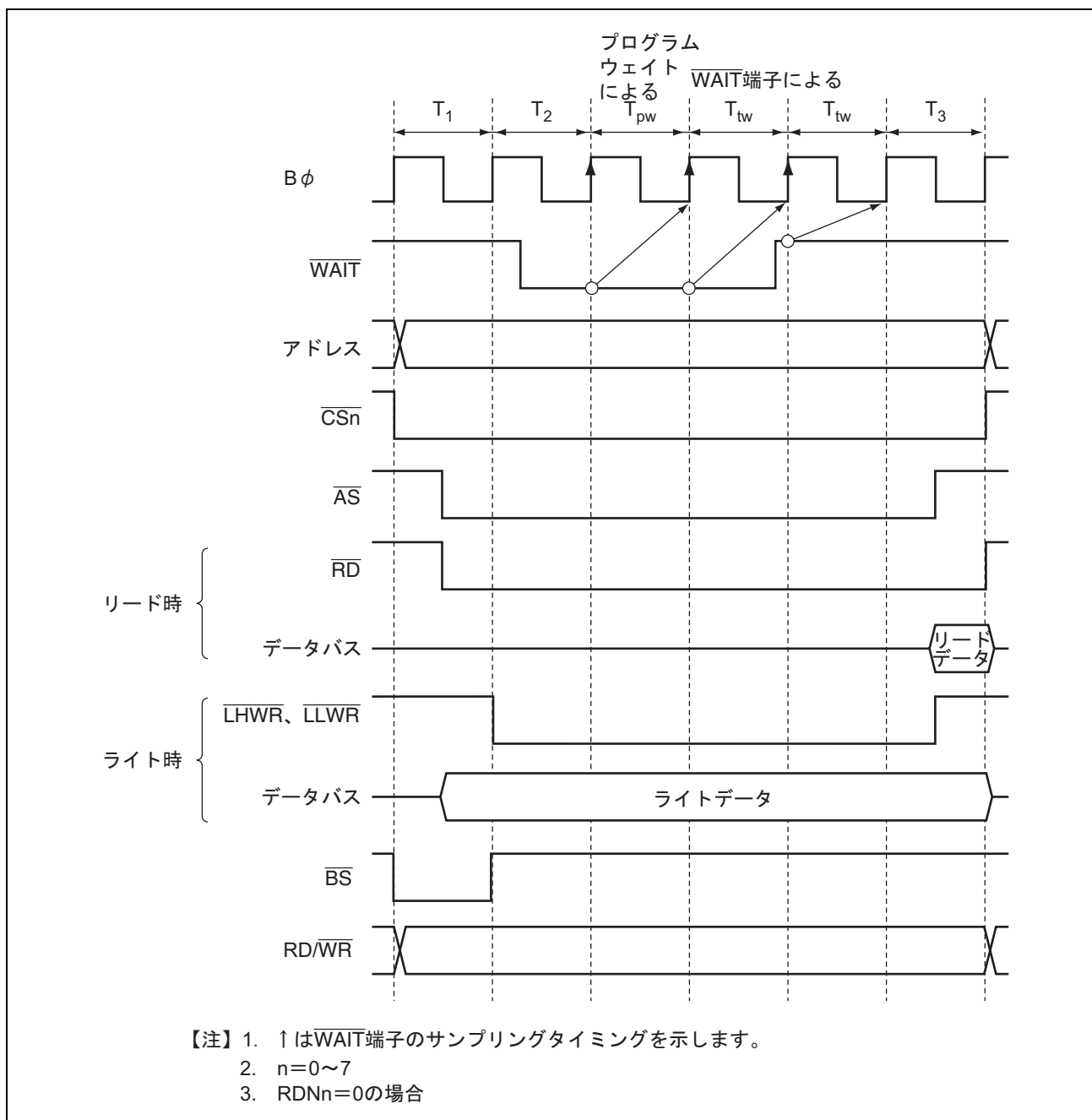


図 6.20 ウェイトステート挿入タイミング例

6.6.5 リードストローブ (\overline{RD}) タイミング

RDNCR の RDN7~RDN0 ビットを 1 にセットすると、エリア単位にリードストローブタイミングを変更することができます。

DMAC をシングルアドレスモードで使用している場合、 $RDN_n=1$ にしてリードストローブタイミングを変更すると、 \overline{DACK} の立ち上がりに対して \overline{RD} のタイミングが変化するので注意が必要です。

図 6.21 に基本バス 3 ステートアクセス空間でリードストローブタイミングを変更した場合のタイミング例を示します。

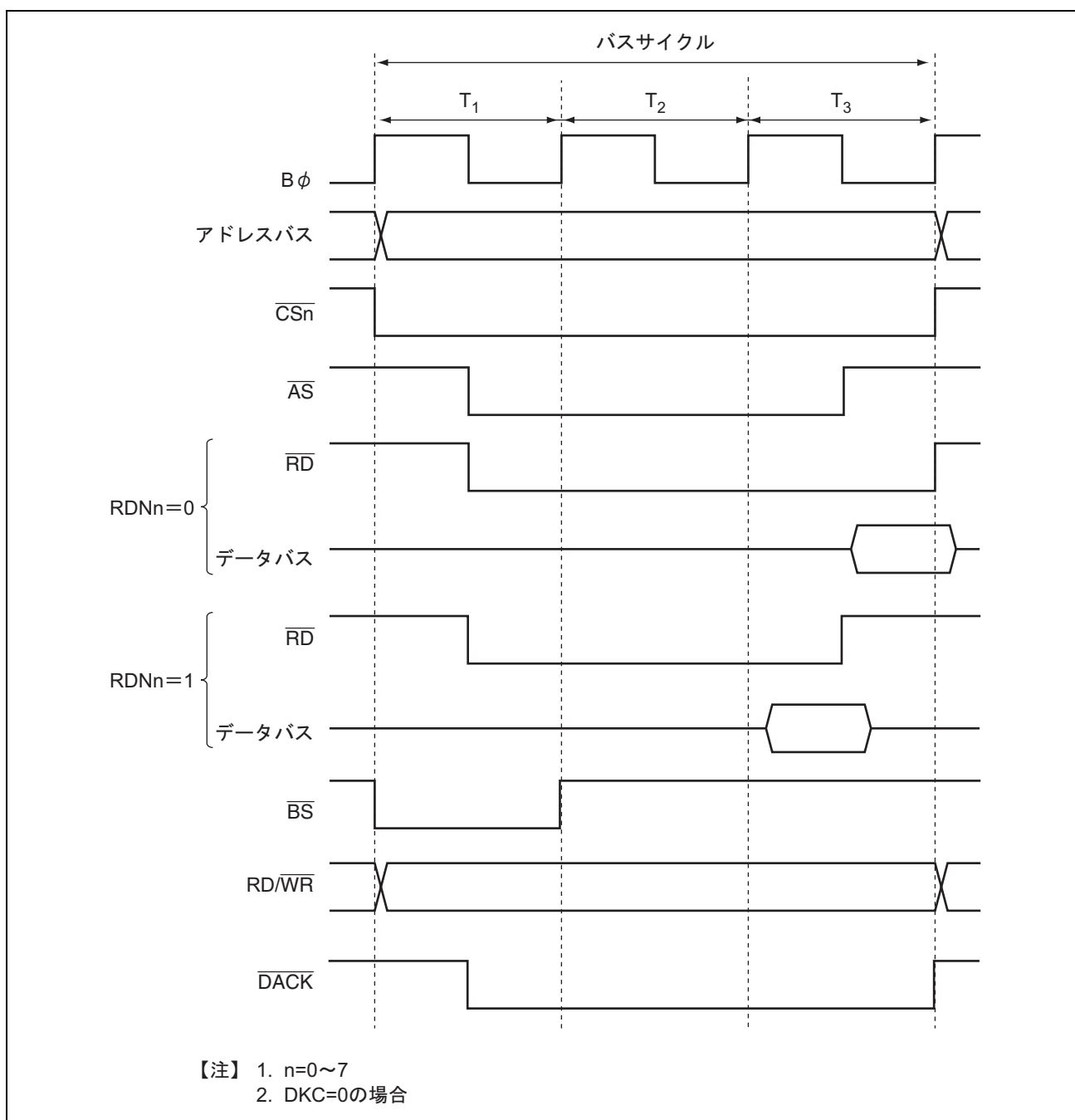


図 6.21 リードストローブタイミング例

6.6.6 チップセレクト (\overline{CS}) アサート期間拡張

外部 I/O デバイスには、 \overline{CS} 、アドレス信号と、 \overline{RD} 、 \overline{LHWR} 、 \overline{LLWR} などのストロブ信号間のセットアップ時間、およびホールド時間の確保が必要なものがあります。

CSACR の設定により、基本バス空間のアクセスサイクルの前後に \overline{CS} と \overline{AS} 、アドレス信号がアサートされるステートを挿入することができます。 \overline{CS} アサート期間の拡張はエリア単位に設定可能です。また、ライトアクセス時の \overline{CS} アサート拡張期間では、データバスにライトデータが出力されるのでデータのセットアップ時間、およびホールド時間が緩和されます。

図 6.22 に基本バス 3 ステートアクセス空間に \overline{CS} アサート期間を拡張した場合のタイミング例を示します。

基本バスサイクルの手前に挿入される拡張ステート (Th) と、基本バスサイクルの後に挿入される拡張ステート (Tt) の両方、もしくは一方だけをエリア単位に指定することが可能です。CSACR の上位 8 ビットの CSXH7~CSXH0 ビットで Th ステート、下位 8 ビットの CSXT7~CSXT0 ビットで Tt ステートの挿入の有無を設定することができます。

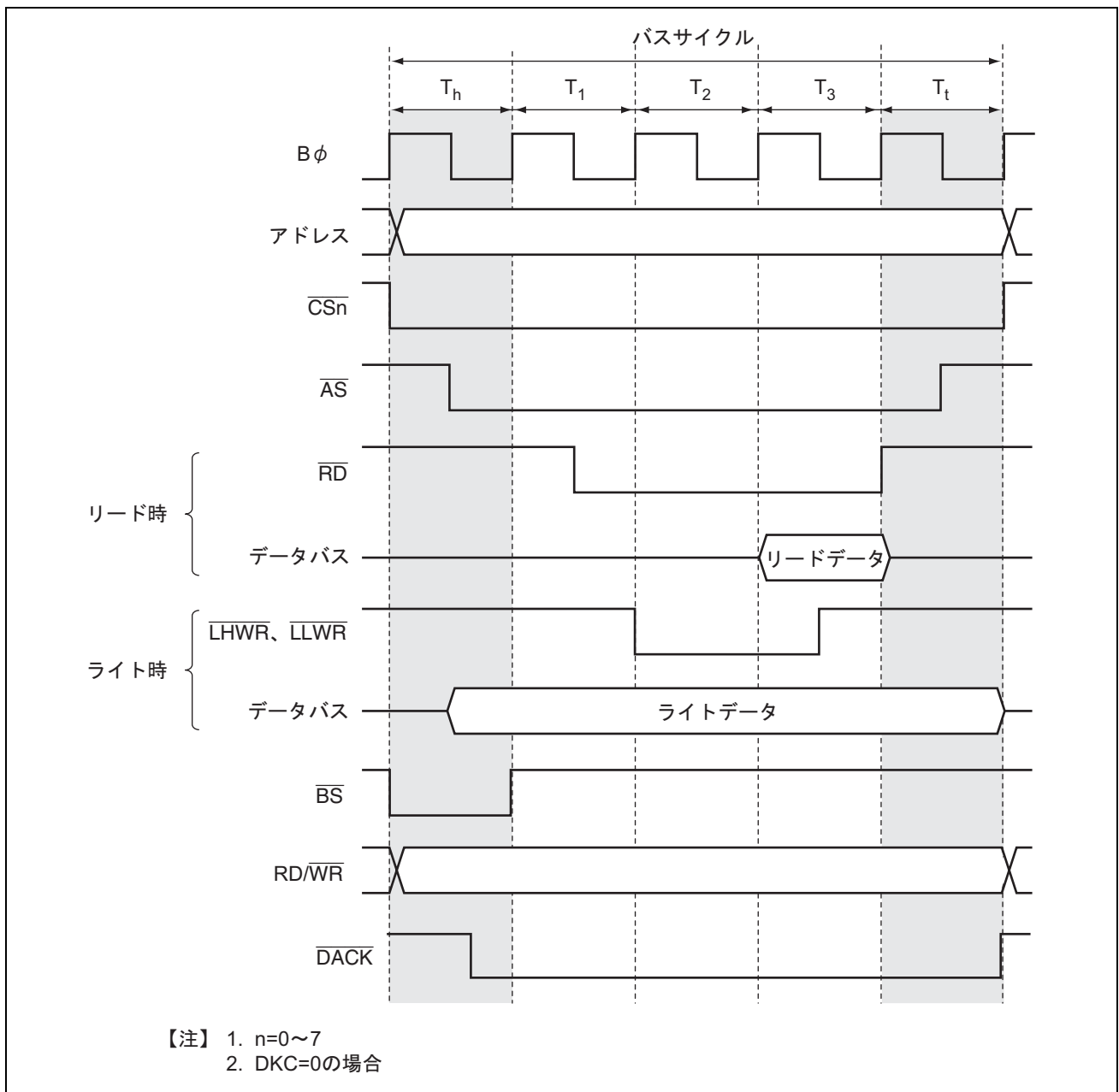


図 6.22 チップセレクトアサート期間拡張時タイミング例

6.6.7 $\overline{\text{DACK}}$ 信号の出力タイミング

DMAC のシングルアドレス転送を行う場合、BCR1 の DKC ビットによって $\overline{\text{DACK}}$ 信号のアサートタイミングを変更することができます。

図 6.23 に $\overline{\text{DACK}}$ 信号の出力タイミングを示します。DKC ビットを 1 にセットすることにより、 $\overline{\text{DACK}}$ 信号は半サイクル早くアサートします。

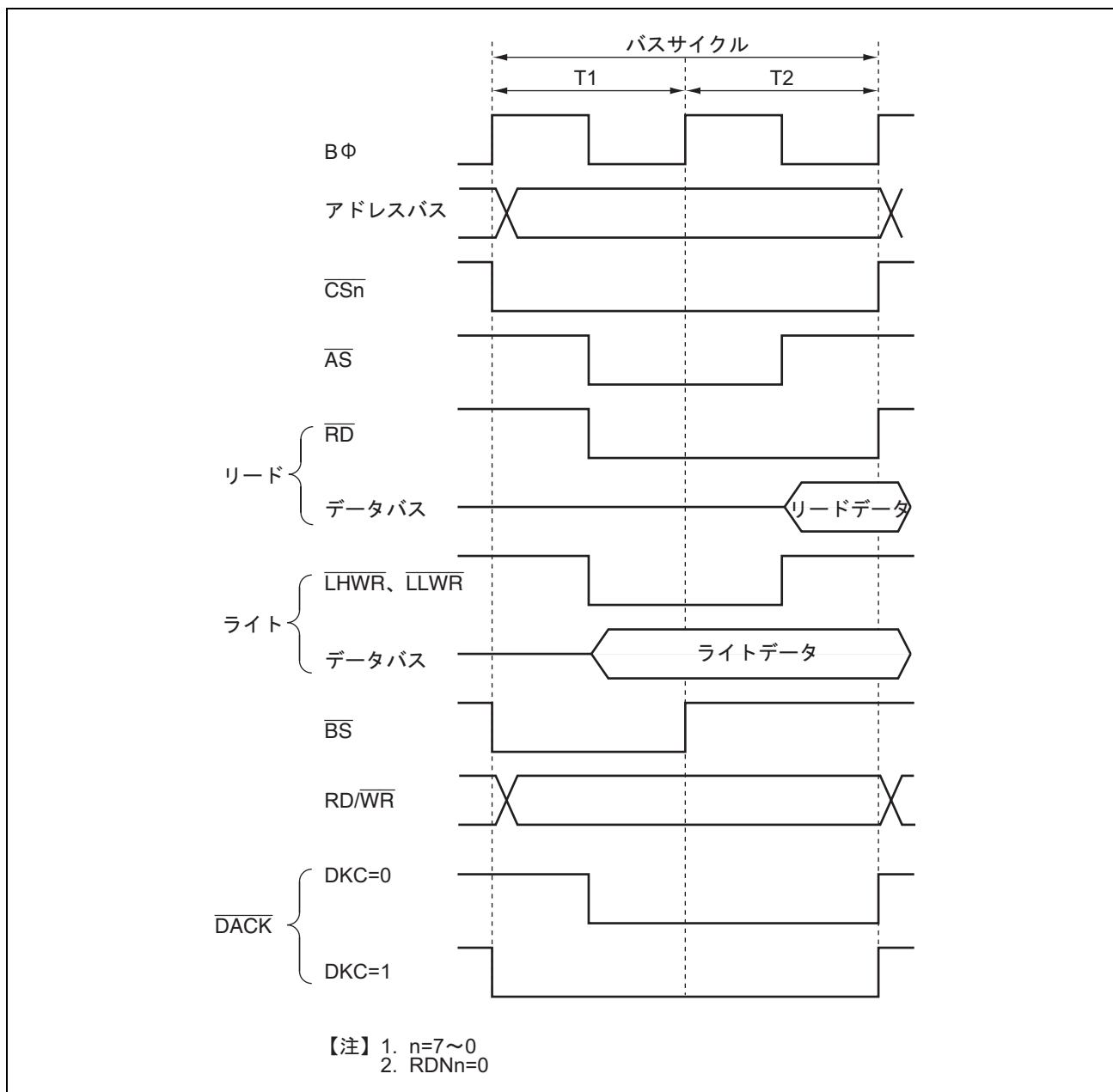


図 6.23 $\overline{\text{DACK}}$ 信号の出力タイミング

6.7 バイト制御 SRAM インタフェース

バイト制御 SRAM インタフェースは、リード/ライトいずれのバスサイクルでもバイトセレクトストロブを出力するメモリインタフェースです。このインタフェースには、16 ビットのデータ入出力端子を持ち、 \overline{UB} 、 \overline{LB} のような上位バイトセレクトストロブ、下位バイトセレクトストロブ機能のある SRAM を接続することができます。

ライトストロブ出力端子 (\overline{LHWR} 、 \overline{LLWR}) からバイトセレクトストロブ (\overline{LUB} 、 \overline{LLB}) が出力されること、リードストロブ (\overline{RD}) のネゲートタイミングが RDNCR の設定によらず基本バスインタフェースの $RDNn=0$ に設定したときより半サイクル前になっていること、ライトイネーブル (\overline{WE}) として RD/\overline{WR} 信号を使用することを除けば、基本バスインタフェースと同様の動作となります。

6.7.1 バイト制御 SRAM 空間の設定

バイト制御 SRAM インタフェースは、エリア 0~7 に設定することができます。SRAMCR の BCSELn (n=0~7) ビットにより、各エリアをバイト制御 SRAM 空間に設定できます。バースト ROM インタフェース、アドレス/データマルチプレクス I/O インタフェースに設定されているエリアでは、SRAMCR の設定は無効となりバイト制御 SRAM インタフェースを使用することはできません。

6.7.2 データバス

バイト制御 SRAM 空間のバス幅は、ABWCR の ABWHn、ABWLn ビット (n=0~7) により、当該エリアを 16 ビットバイト制御 SRAM 空間に設定できます。8 ビットアクセス空間に設定したエリアは、バイト制御 SRAM 空間に設定できません。

16 ビットバイト制御 SRAM 空間では D15~D0 のデータバスが有効となります。

アクセスサイズとデータアライメントは、基本バスインタフェースと同様です。詳細は「6.5.6 エンディアンとデータアライメント」を参照してください。

6.7.3 バイト制御 SRAM インタフェースの入出力端子

表 6.16 にバイト制御 SRAM インタフェースの入出力端子を示します。

バイト制御 SRAM インタフェースでは、ライトストロープ端子 ($\overline{\text{LHWR}}$ 、 $\overline{\text{LLWR}}$) からバイトセレクトストロープを出力します。また、ライトイネーブル信号として、 $\text{RD}/\overline{\text{WR}}$ 信号を使用します。

表 6.16 バイト制御 SRAM インタフェースの入出力端子

端子	バイト制御 SRAM 設定時	名称	入出力	機能
$\overline{\text{AS}}/\overline{\text{AH}}$	$\overline{\text{AS}}$	アドレスストロープ	出力	基本バス空間、またはバイト制御 SRAM 空間をアクセス中で、アドレスバス上のアドレス出力が有効であることを示すストロープ信号
$\overline{\text{CSn}}$	$\overline{\text{CSn}}$	チップセレクト	出力	エリア n が選択されていることを示すストロープ信号
$\overline{\text{RD}}$	$\overline{\text{RD}}$	リードストロープ	出力	バイト制御 SRAM 空間アクセス中の SRAM のアウトプットイネーブル
$\text{RD}/\overline{\text{WR}}$	$\text{RD}/\overline{\text{WR}}$	リード/ライト	出力	バイト制御 SRAM 空間アクセス中の SRAM のライトイネーブル信号
$\overline{\text{LHWR}}/\overline{\text{LUB}}$	$\overline{\text{LUB}}$	ロウアーアッパーバイトセレクト	出力	16 ビットバイト制御 SRAM 空間アクセス中のアッパーバイトセレクト
$\overline{\text{LLWR}}/\overline{\text{LLB}}$	$\overline{\text{LLB}}$	ロウアーロウアーバイトセレクト	出力	16 ビットバイト制御 SRAM 空間アクセス中のロウアーバイトセレクト
$\overline{\text{WAIT}}$	$\overline{\text{WAIT}}$	ウェイト	入力	外部空間をアクセスするときのウェイト要求信号
A23~A0	A23~A0	アドレス端子	出力	アドレス出力端子
D15~D0	D15~D0	データ端子	入出力	データ入出力端子

6.7.4 基本タイミング

(1) 2 ステートアクセス空間

図 6.24 にバイト制御 SRAM 空間を 2 ステートアクセス空間としたときのバスタイミングを示します。

16 ビットアクセス空間をアクセスするとき使用するデータバスは、基本バスインタフェースと同様になります。ウェイトステートを挿入することはできません。

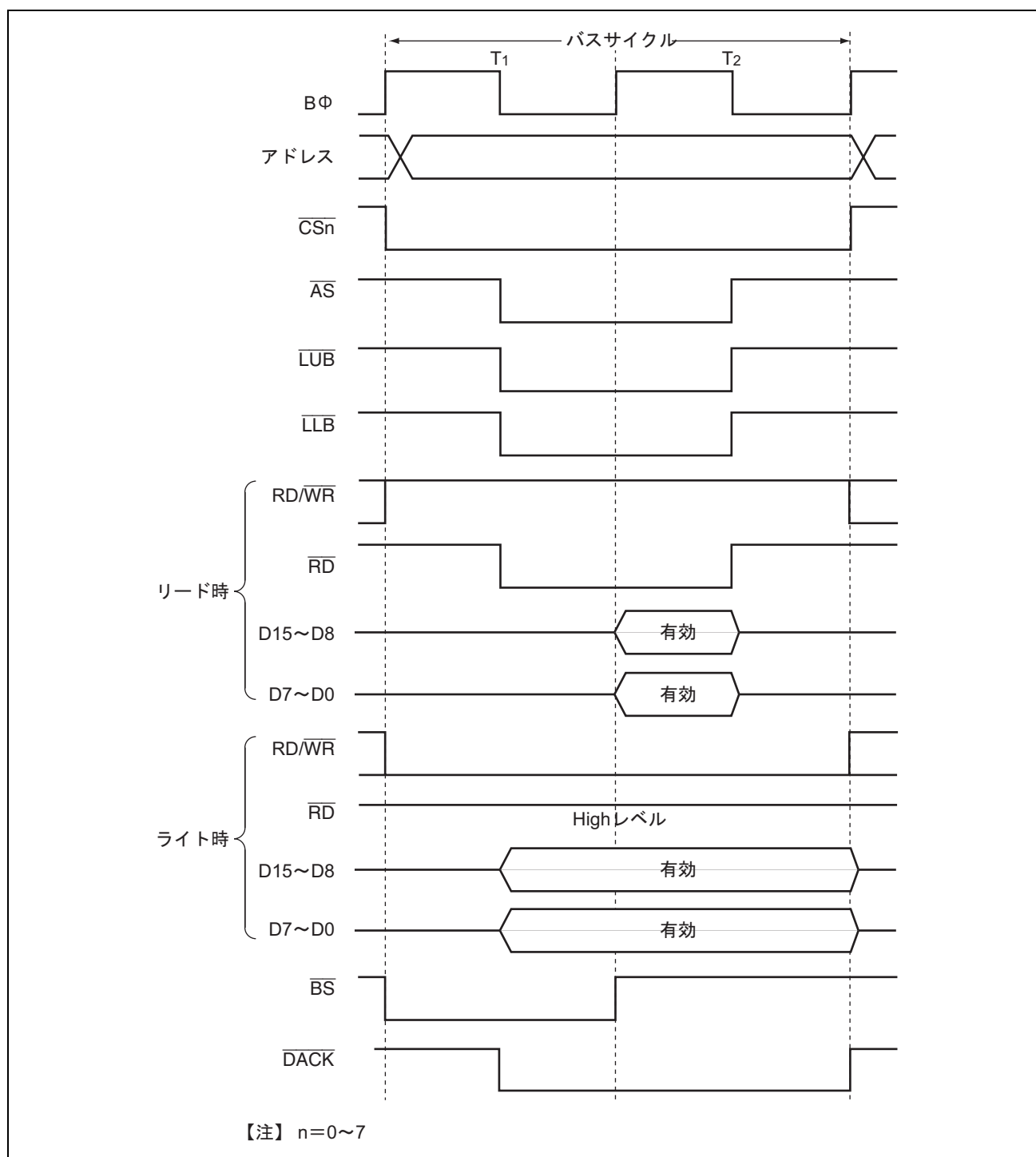


図 6.24 16 ビット 2 ステートアクセス空間のバスタイミング

6. バスコントローラ (BSC)

(2) 3 ステートアクセス空間

図 6.25 にバイト制御 SRAM 空間を 3 ステートアクセス空間としたときのバスタイミングを示します。

16 ビットアクセス空間をアクセスするとき使用するデータバスは、基本バスインタフェースと同様になります。ウェイトステートを挿入することができます。

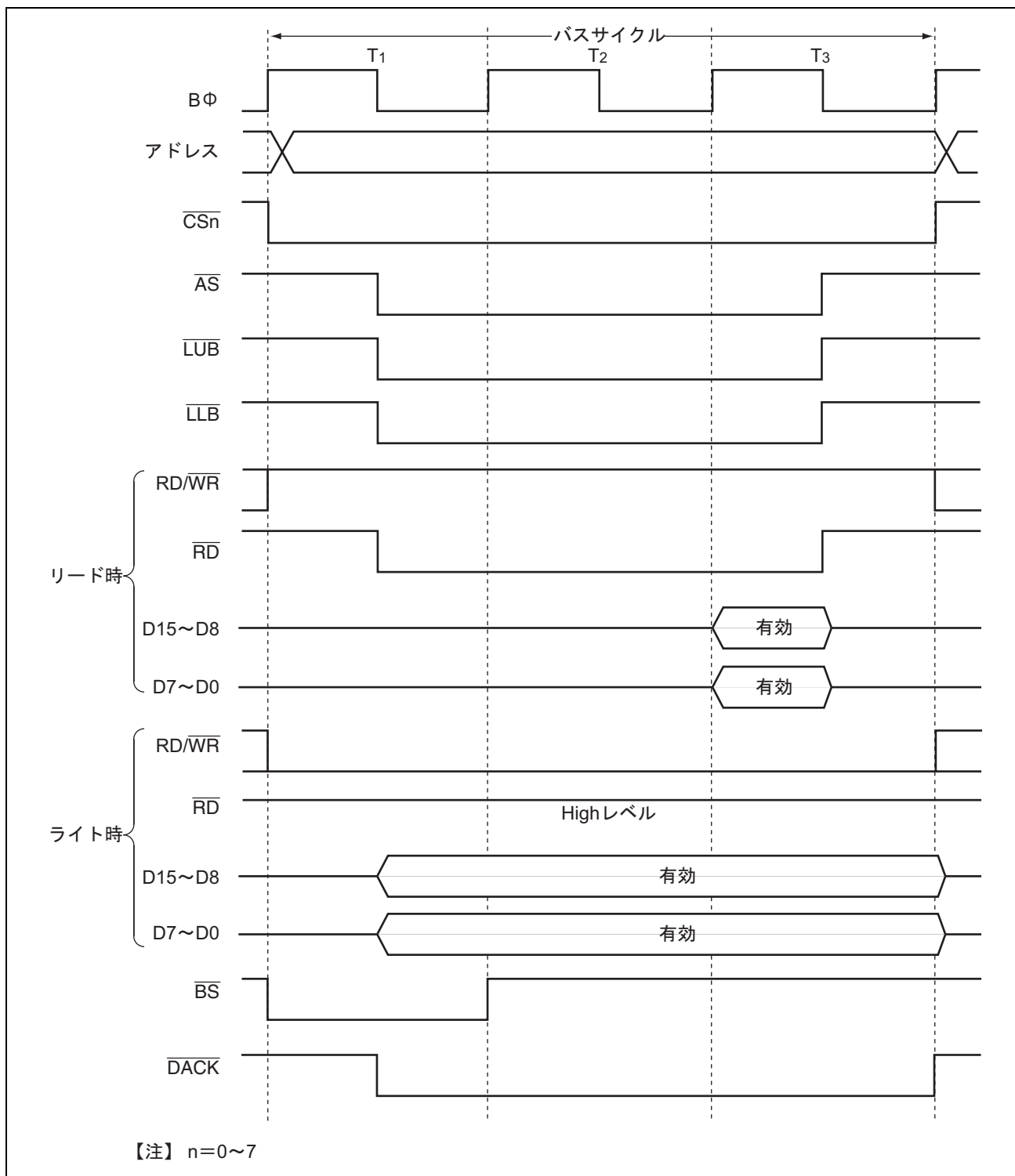


図 6.25 16 ビット 3 ステートアクセス空間のバスタイミング

6.7.5 ウェイト制御

バイト制御 SRAM インタフェースにおいても、基本バスインタフェースと同様にウェイトステートを挿入してバスサイクルを引き伸ばすことができます。

(1) プログラムウェイトの挿入

WTCRA、WTCRB の設定により、3 ステートアクセス空間に対してエリア単位で 0~7 ステートのウェイトステートを自動的に T2 ステートと T3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

3 ステートアクセス空間で BCR1 の WAITE ビットを 1 にセットし、該当する端子の DDR のビットを 0 にクリアして、ICR のビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。

DDR、ICR については「9. I/O ポート」を参照してください。

図 6.26 にウェイトステート挿入のタイミング例を示します。

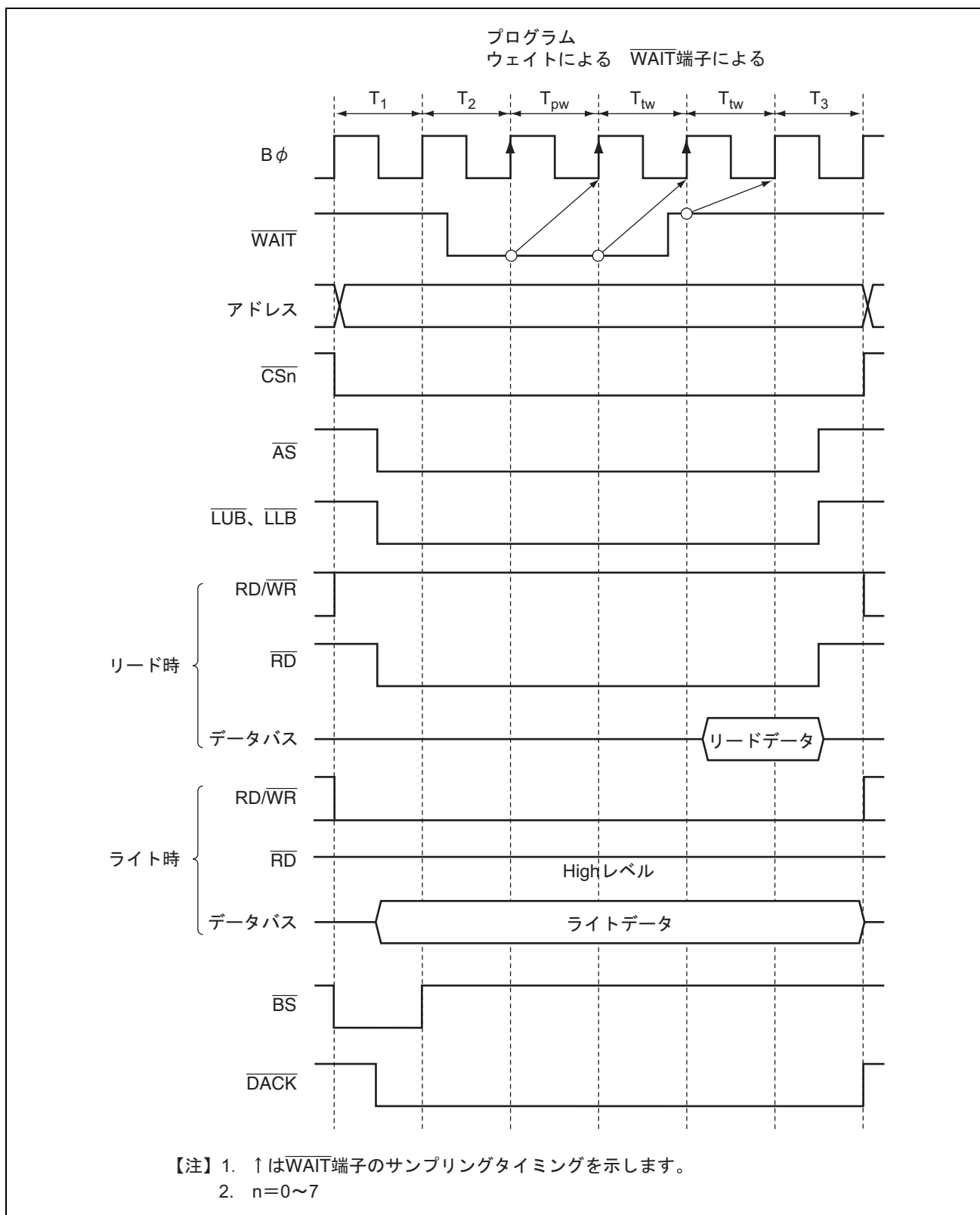


図 6.26 ウェイトステート挿入のタイミング例

6.7.6 リードストローク (\overline{RD})

バイト制御 SRAM 空間を設定すると、当該空間では RDNCR の設定は無効となります。

バイト制御 SRAM インタフェースのリードストロークネゲートタイミングは、基本バスインタフェースにおいて RDNn=1 の設定をしたときと同じタイミングです。 \overline{DACK} の立ち上がりに対して、 \overline{RD} のタイミングが異なりますので注意してください。

6.7.7 チップセレクト (\overline{CS}) アサート期間延長

バイト制御 SRAM インタフェースにおいても、基本バスインタフェースと同様にバスサイクルの前後に拡張ステートを挿入することができます。詳細については、「6.6.6 チップセレクト (\overline{CS}) アサート期間拡張」を参照してください。

6.7.8 \overline{DACK} 信号の出力タイミング

DMAC のシングルアドレス転送を行う場合、BCR1 の DKC ビットによって \overline{DACK} 信号のアサートタイミングを変更することができます。

図 6.27 に \overline{DACK} 信号の出力タイミングを示します。DKC ビットを 1 にセットすることにより、 \overline{DACK} 信号は半サイクル早くアサートします。

6. バスコントローラ (BSC)

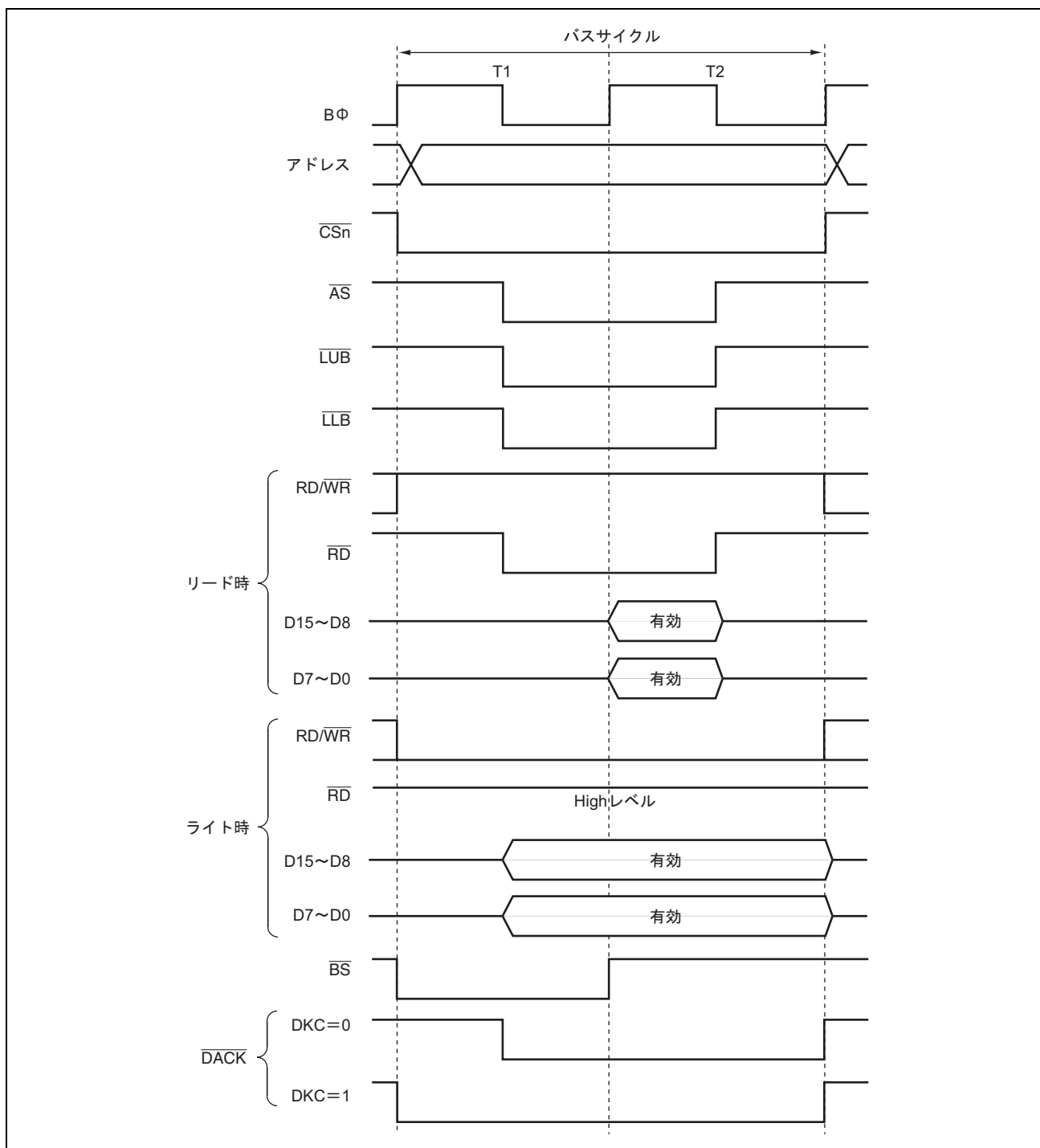


図 6.27 $\overline{\text{DACK}}$ 信号の出カタイミング

6.8 バースト ROM インタフェース

本 LSI は、エリア 0 およびエリア 1 の外部空間をバースト ROM 空間に設定すると、バースト ROM インタフェースを行うことができます。バースト ROM インタフェースでは、ページアクセス可能な ROM を高速にアクセスすることができます。

BROMCR の BSRM1、BSRM0 ビットにより、エリア 1 およびエリア 0 をバースト ROM 空間に設定します。BROMCR の BSWDn1、BSWDn0 (n=0、1) ビットの設定により、最大 32 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートから 8 ステートを選択できます。

エリア 0 およびエリア 1 を独立に設定することができます。

バースト ROM インタフェースでは、CPU によるリードアクセスのみがバーストアクセスの対象となります。その他のアクセスは基本バスインタフェース相当になります。

6.8.1 バースト ROM 空間の設定

バースト ROM インタフェースは、エリア 0、1 に設定することができます。BROMCR の BSRMn (n=0、1) ビットにより、エリア 0、1 をバースト ROM 空間に設定できます。

6.8.2 データバス

バースト ROM 空間のバス幅は、ABWCR の ABWHn、ABWLn ビット (n=0、1) により、当該エリアを 8 ビットバースト ROM 空間、16 ビットバースト ROM 空間に設定できます。

8 ビットバス幅では D7~D0、16 ビットバス幅では D15~D0 のデータバスが有効になります。

アクセスサイズとデータアライメントは基本バスインタフェースのビッグエンディアンのとときと同様です。詳細は「6.5.6 エンディアンとデータアライメント」を参照してください。

6.8.3 バースト ROM インタフェースの入出力端子

表 6.17 にバースト ROM インタフェースの入出力端子を示します。

表 6.17 バースト ROM インタフェースの入出力端子

名称	記号	入出力	機能
バスサイクル開始	\overline{BS}	出力	バスサイクルの開始を示す信号です。
アドレスストロープ	\overline{AS}	出力	アクセス中、アドレスバス上のアドレス出力が有効であることを示すストロープ信号です。
リードストロープ	\overline{RD}	出力	リードアクセス中であることを示すストロープ信号です。
リード/ライト	RD/\overline{WR}	出力	データバスの入出力方向指示信号です。
ロウハイライト	\overline{LHWR}	出力	ライトアクセス中であり、データバスの上位バイト (D15~D8) が有効であることを示すストロープ信号です。
ロウロウライト	\overline{LLWR}	出力	ライトアクセス中であり、データバスの下位バイト (D7~D0) が有効であることを示すストロープ信号です。
チップセレクト 0、1	$\overline{CS0}$ 、 $\overline{CS1}$	出力	エリアが選択されていることを示すストロープ信号です。
ウェイト	\overline{WAIT}	入力	外部空間をアクセスするときのウェイト要求信号です。

6.8.4 基本タイミング

バースト ROM インタフェースのイニシャルサイクル (フルアクセス) のアクセスステート数は、ABWCR、ASTCR、WTCRA、WTCRB と CSACR の CSXHn ($n=0\sim7$) ビットによる基本バスインタフェースの設定に従います。エリア 0 またはエリア 1 をバースト ROM 空間に設定した場合、CPU によるリードアクセス時は RDNCR と CSACR の CSXTn ($n=0\sim7$) ビットの設定は無視されます。

バーストサイクルは、BROMCR の BSTS02~BSTS00、BSTS12~BSTS10 ビットの設定により、1 ステートから 8 ステートの選択が可能です。ウェイトステートは挿入できません。また、BROMCR の BSTS01、BSTS00、BSTS11、BSTS10 ビットの設定により、4 ワード/8 ワード/16 ワード/32 ワードの連続バーストアクセスを行います。

図 6.28、図 6.29 にバースト ROM 空間の基本アクセスタイミング例を示します。

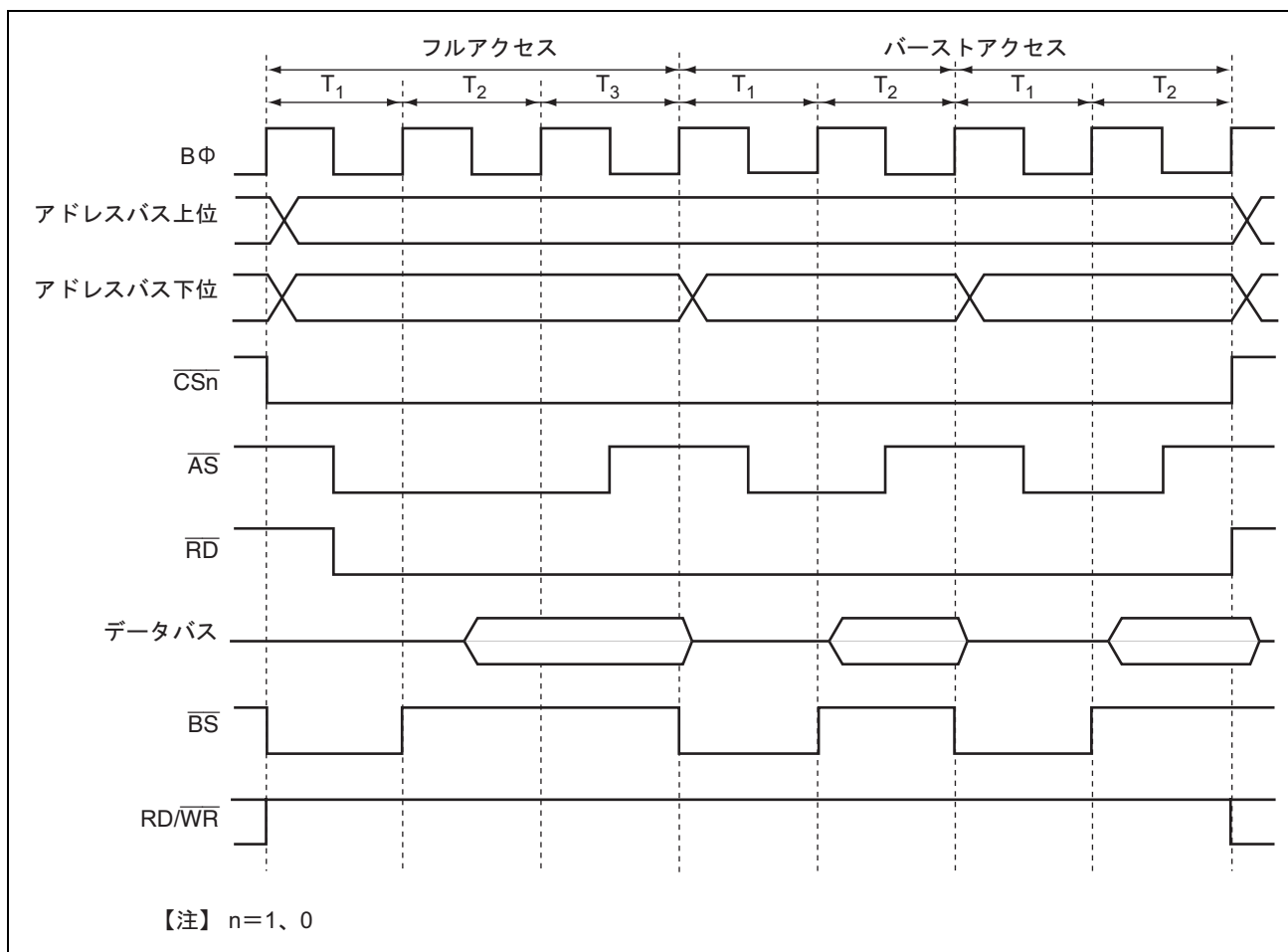


図 6.28 バースト ROM アクセスタイミング例 (ASTn=1、バーストサイクル 2 ステート)

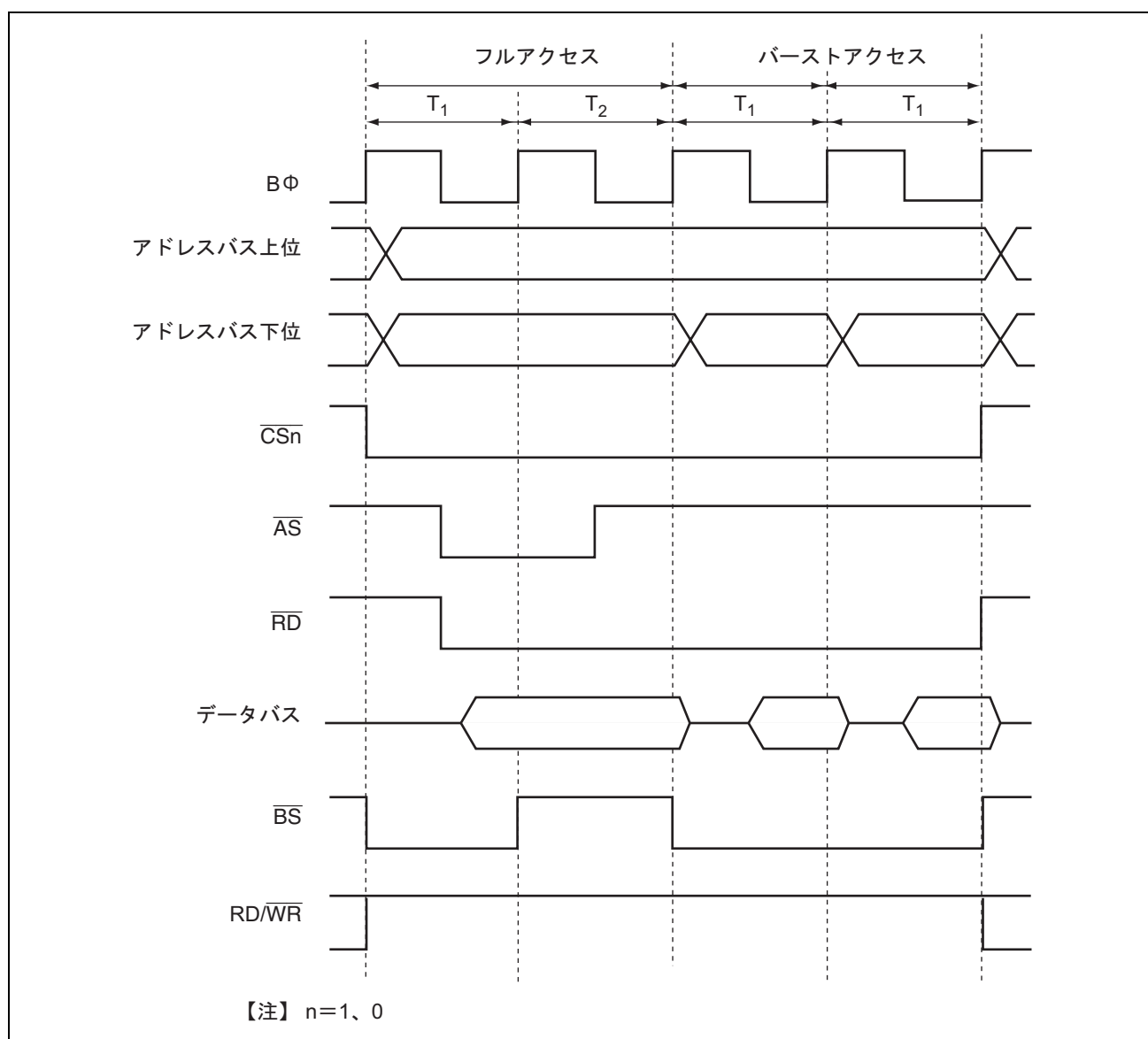


図 6.29 バースト ROM アクセスタイミング例 (ASTn=0、バーストサイクル 1 ステート)

6.8.5 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル（フルアクセス）には、基本バスインタフェースと同様にプログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入が可能です。詳細は「6.6.4 ウェイト制御」を参照してください。

バーストサイクルには、ウェイトステートを挿入することはできません。

6.8.6 リードストローブタイミング

バースト ROM 空間にすると、当該空間では CPU によるリードアクセス時は RDNCR の設定は無効となります。

バースト ROM インタフェースのリードストローブネゲートタイミングは、基本バスインタフェースにおいて RDNn=0 の設定のときと同じタイミングです。

6. バスコントローラ (BSC)

6.8.7 チップセレクトアサート期間延長

バースト ROM インタフェースにおいても、基本バスインタフェースと同様にバースト ROM 空間アクセスサイクルに拡張サイクルを挿入することができます。

バースト ROM 空間に対しては、CPU によるリードアクセス時のみバーストアクセス可能です。このときの CSACR の当該 CSXTn の設定は無視され、フルアクセスサイクルの前にもみ拡張サイクルを挿入することができます。バーストアクセスサイクルの前後には拡張サイクルは挿入されません。

CPU によるリードアクセスについては、バースト ROM 空間が基本バスインタフェース相当となるため、バースト ROM 空間アクセスサイクルの前後に拡張サイクルを挿入することができます。

6.9 アドレス/データマルチプレクス I/O インタフェース

本 LSI は、エリア 3 からエリア 7 の外部空間をアドレス/データマルチプレクス I/O 空間に設定すると、アドレス/データマルチプレクス I/O インタフェースを行うことができます。アドレス/データマルチプレクス I/O インタフェースでは、アドレス/データマルチプレクスが必要な周辺 LSI を本 LSI に直結できます。

6.9.1 アドレス/データマルチプレクス I/O 空間の設定

アドレス/データマルチプレクス I/O インタフェースは、エリア 3~7 に設定することができます。MPXCR の MPXEn (n=7~3) ビットにより、各エリアをアドレス/データマルチプレクス I/O 空間に設定できます。

6.9.2 アドレス/データマルチプレクス

アドレス/データマルチプレクス I/O 空間では、データバスがアドレスバスとマルチプレクスされています。表 6.18 にバス幅に対応するアドレス出力の関係を示します。

表 6.18 アドレス/データマルチプレクス一覧

バス幅	サイクル	データ端子															
		PI7	PI6	PI5	PI4	PI3	PI2	PI1	PI0	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
8 ビット	アドレス	—	—	—	—	—	—	—	—	A7	A6	A5	A4	A3	A2	A1	A0
	データ	—	—	—	—	—	—	—	—	D7	D6	D5	D4	D3	D2	D1	D0
16 ビット	アドレス	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
	データ	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

6.9.3 データバス

アドレス/データマルチプレクス I/O 空間のバス幅は、ABWCR の ABWHn、ABWLn ビット (n=7~3) により、当該エリアを 8 ビットアクセス空間または 16 ビット空間に設定できます。

8 ビットアクセス空間に設定した場合はアドレス/データともに D7~D0 が有効となり、16 ビットアクセス空間に設定した場合はアドレス/データともに D15~D0 が有効となります。アドレス/データマルチプレクス I/O 空間がアクセスされた場合においても、アドレスバスには対応するアドレスが出力されます。

アクセスサイズとデータアライメントについては、「6.5.6 エンディアンとデータアライメント」を参照してください。

6.9.4 アドレス／データマルチプレクス I/O インタフェースの入出力端子

表 6.19 にアドレス／データマルチプレクス I/O インタフェースの入出力端子を示します。

表 6.19 アドレス／データマルチプレクス I/O インタフェースの入出力端子

端子	アドレス／データマルチプレクス I/O 設定時	名称	入出力	機能
\overline{CSn}	\overline{CS}	チップセレクト	出力	エリア n をアドレス／データマルチプレクス I/O 空間に設定したときのチップセレクト (n=3~7)
$\overline{AS/AH}$	\overline{AH}^*	アドレスホールド	出力	アドレス／データマルチプレクス I/O 空間に設定したときのアドレスホールド信号
\overline{RD}	\overline{RD}	リードストロープ	出力	アドレス／データマルチプレクス I/O 空間をリード中であることを示す信号
$\overline{LHWR/LUB}$	\overline{LHWR}	ロウハイライト	出力	アドレス／データマルチプレクス I/O 空間をライト中で、データバスの上位 (D15~D8) が有効であることを示すストロープ信号
$\overline{LLWR/LLB}$	\overline{LLWR}	ロウロウライト	出力	アドレス／データマルチプレクス I/O 空間をライト中で、データバスの下位 (D7~D0) が有効であることを示すストロープ信号
D15~D0	D15~D0	アドレス／データ	入出力	アドレス／データマルチプレクス I/O 空間のアドレス／データのマルチプレクス 8 ビット空間に設定した場合は D7~D0 のみ有効 16 ビット空間に設定した場合は D15~D0 が有効
A23~A0	A23~A0	アドレス端子	出力	アドレス出力
WAIT	WAIT	ウェイト	入力	外部空間をアクセスするときのウェイト要求信号
\overline{BS}	BS	バスサイクル開始	出力	バスサイクルの開始を示す信号
RD/WR	RD/WR	リード／ライト	出力	データバスの入出力方向指示信号

【注】 * \overline{AH} 出力端子は、 \overline{AS} 出力端子と兼用されています。いずれか一つのエリアをアドレス／データマルチプレクス I/O に設定した時点で \overline{AH} 出力端子となり、 \overline{AS} 出力端子としては使用できなくなります。他の基本バスインタフェースのエリアをアクセスしても \overline{AS} 信号は出力されません。ただし、アドレス／データマルチプレクス I/O に設定するまでは、 \overline{AS} 出力端子となっています。

6.9.5 基本タイミング

アドレスデータマルチプレクス I/O インタフェースのバスサイクルは、アドレスサイクルとデータサイクルからなります。データサイクルは ABWCR、ASTCR、WTCRA、WTCRB、RDNCR、CSACR による基本バスインタフェースの設定に従います。

図 6.30、図 6.31 に基本アクセスタイミングを示します。

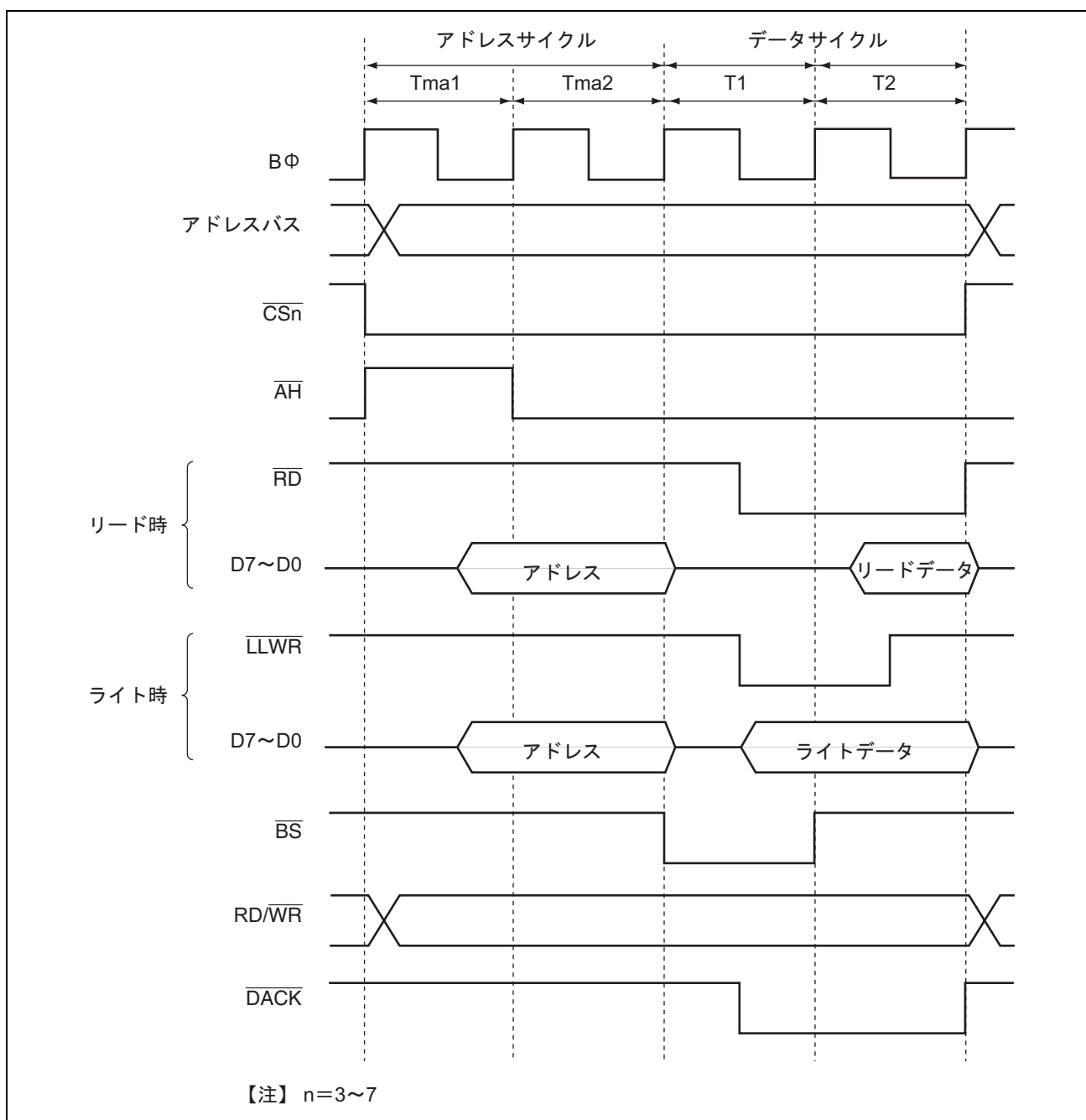


図 6.30 8 ビットアクセス空間へのアクセスタイミング (ABWHn=1、ABWLn=1)

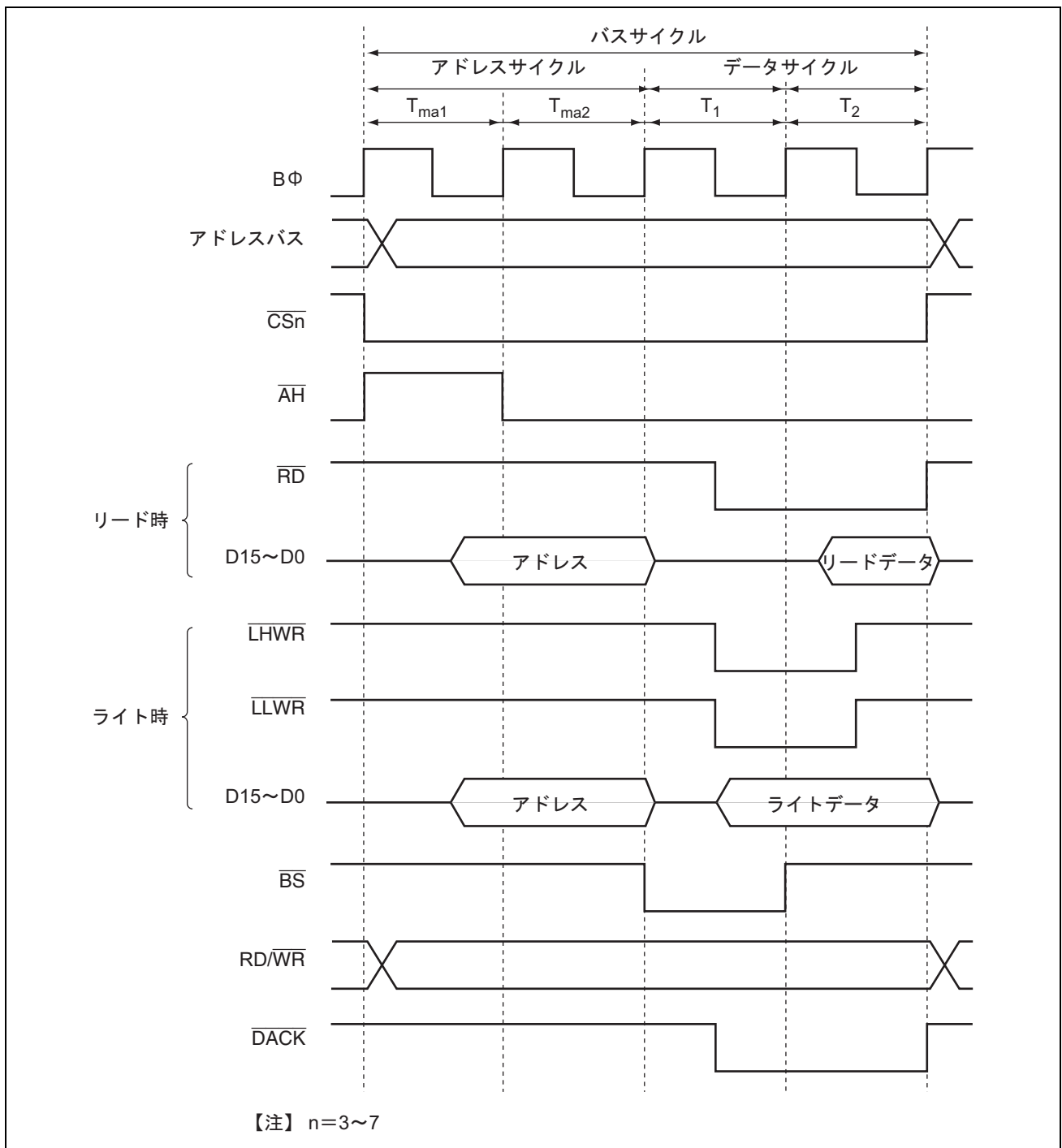


図 6.31 16 ビットアクセス空間へのアクセスタイミング (ABWHn=0、ABWLn=1)

6.9.6 アドレスサイクル制御

MPXCR の ADDEX ビットを 1 にセットすることにより、 T_{ma1} サイクルと T_{ma2} サイクルの間に \overline{AH} 信号の出力期間を拡張するステート (T_{maw}) を 1 ステート挿入することができます。 T_{maw} ステートの挿入により、 \overline{AH} に対するアドレスのセットアップと \overline{AH} の最小パルス幅を確保することができます。

図 6.32 にアドレスサイクルが 3 サイクルになる場合のアクセスタイミング例を示します。

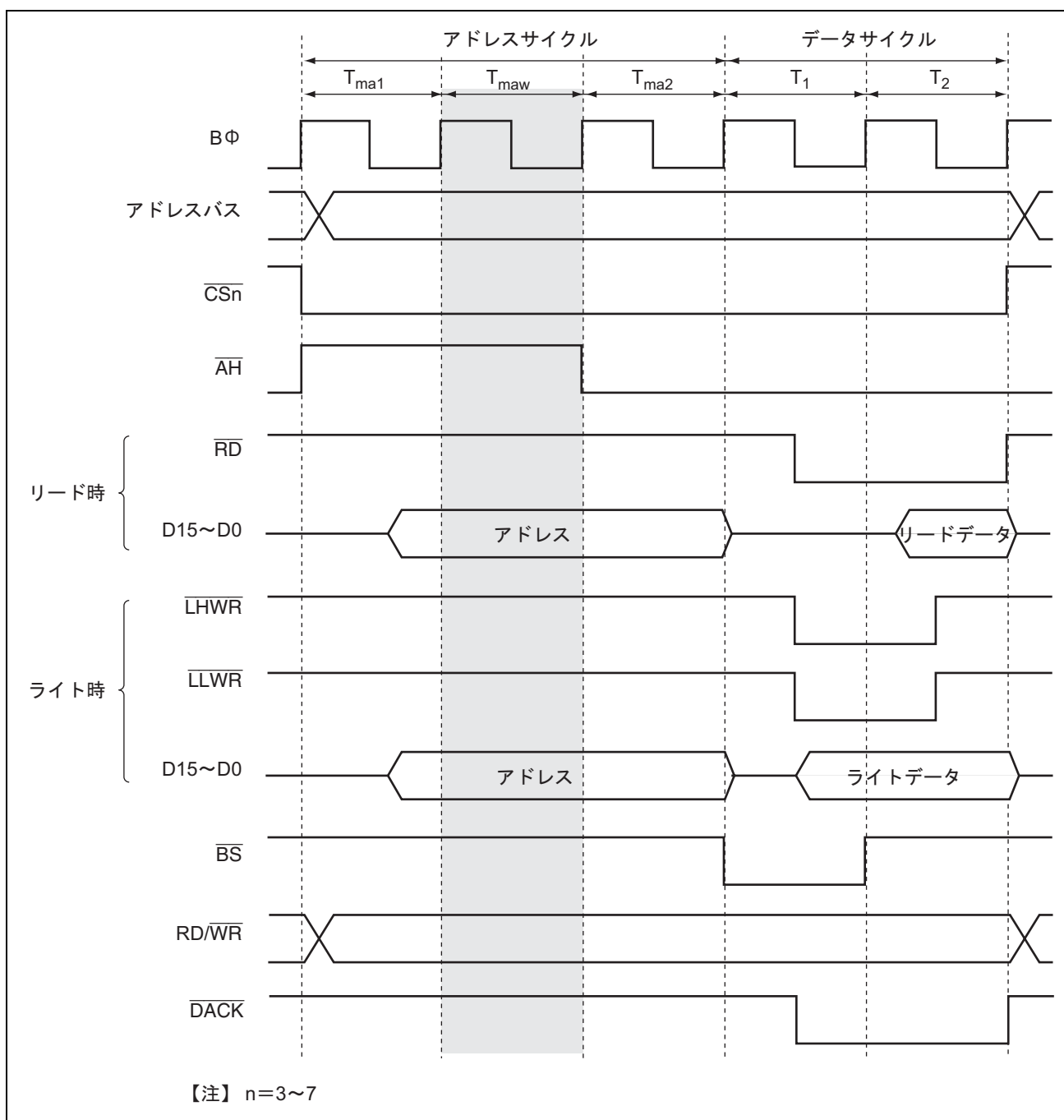


図 6.32 アドレスサイクル 3 サイクルのアクセスタイミング例 (ADDEX=1)

6.9.7 ウェイト制御

アドレス/データマルチプレクス I/O インタフェースのデータサイクルには、基本バスインタフェースと同様にプログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入が可能です。詳細は「6.6.4 ウェイト制御」を参照してください。

ウェイト制御の設定は、アドレスサイクルに影響を与えません。

6.9.8 リードストロブ ($\overline{\text{RD}}$) タイミング

アドレス/データマルチプレクス I/O インタフェースでは、基本バスインタフェースと同様にデータサイクルのリードストロブのタイミングを変更することが可能です。詳細は「6.6.5 リードストロブ ($\overline{\text{RD}}$) タイミング」を参照してください。

図 6.33 にリードストロブのタイミングを変更した場合のタイミング例を示します。

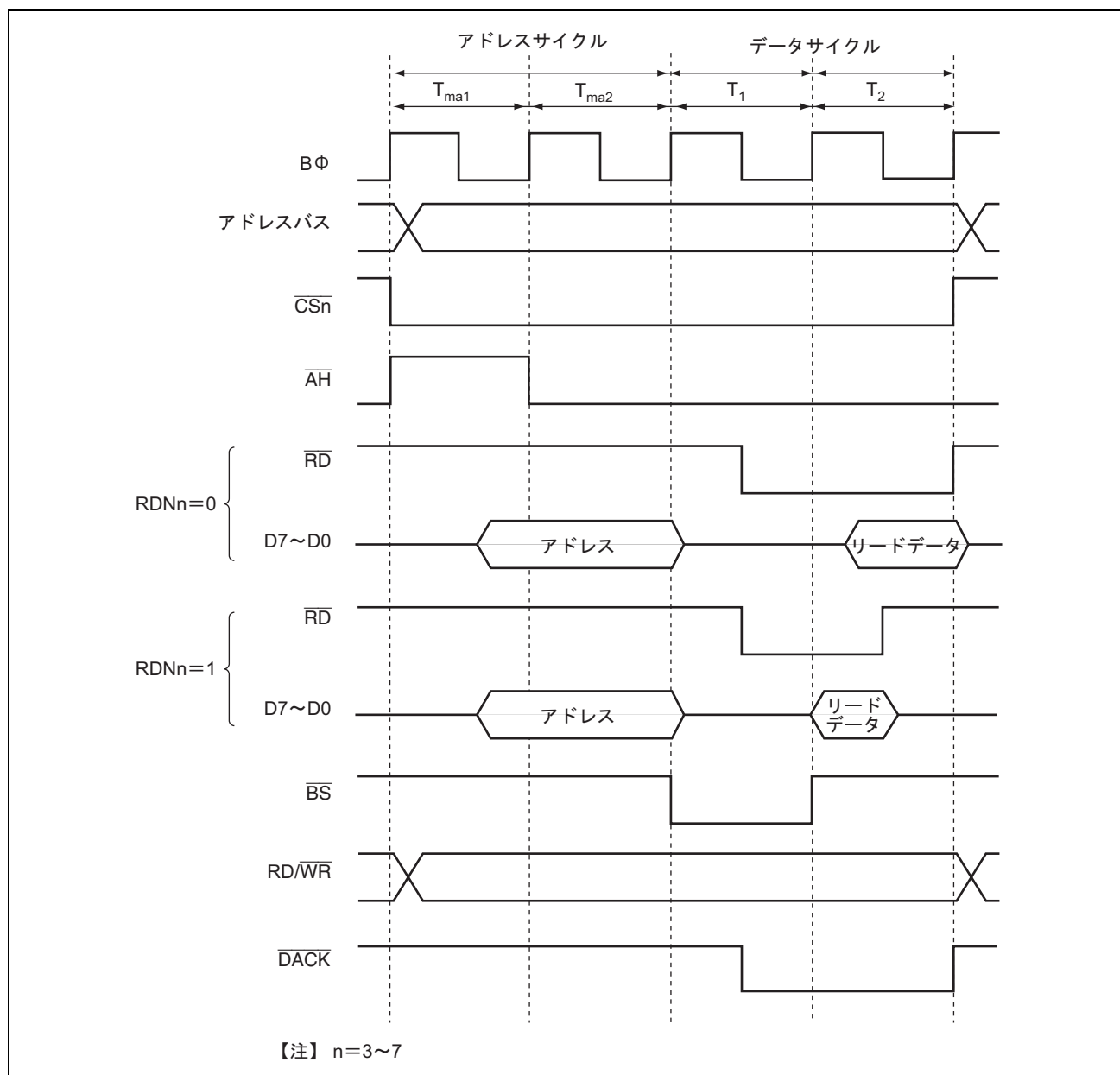


図 6.33 リードストロブタイミング例

6.9.9 データサイクルのチップセレクト (\overline{CS}) アサート期間拡張

アドレス/データマルチプレクス I/O インタフェースでは、データサイクルの前後に拡張ステートを挿入することができます。詳細は「6.6.6 チップセレクト (\overline{CS}) アサート期間拡張」を参照してください。

図 6.34 にデータサイクルのチップセレクトアサート期間拡張タイミング例を示します。

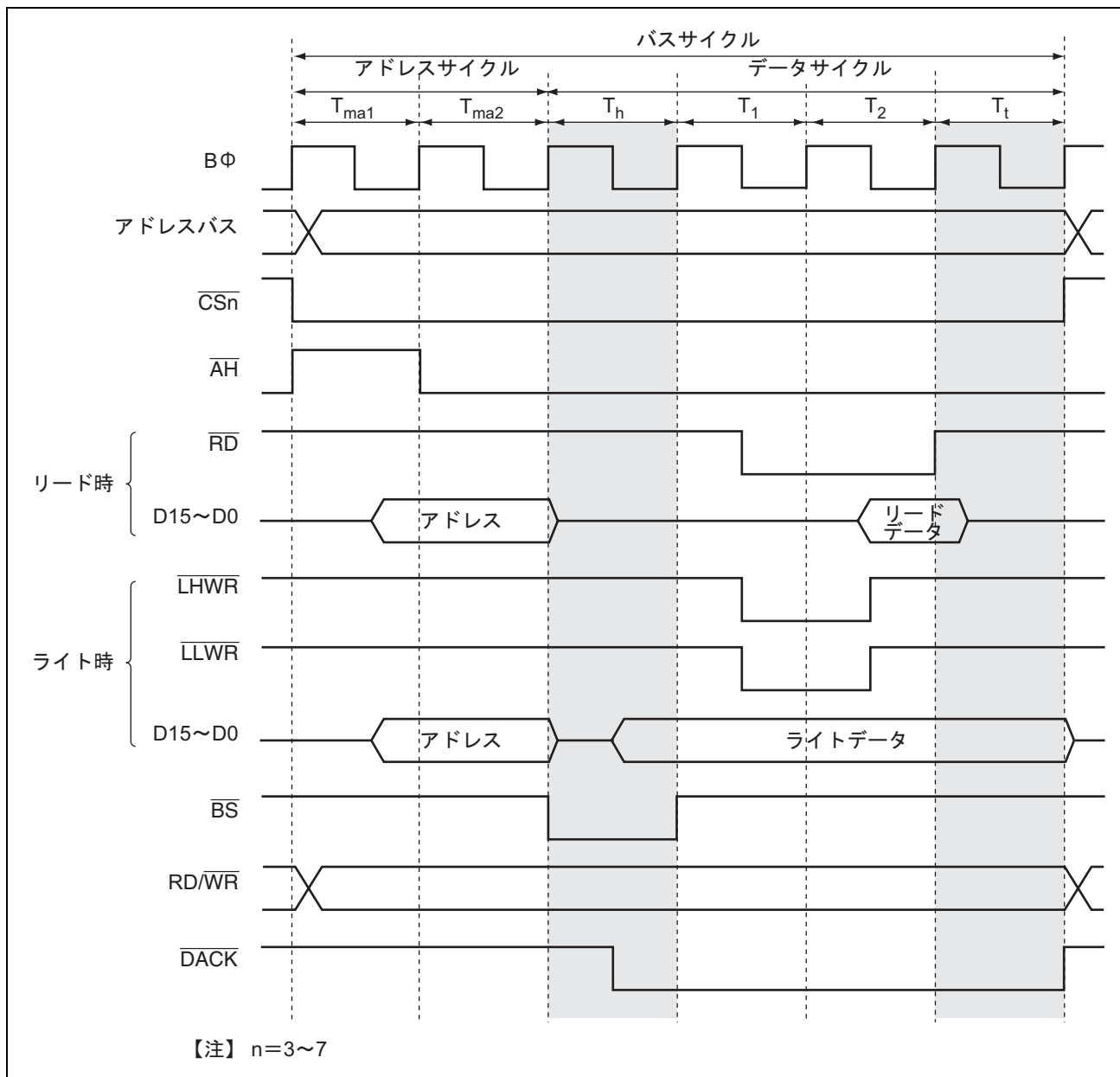


図 6.34 データサイクルのチップセレクトアサート期間拡張タイミング例

出力フローティング時間の大きい周辺 LSI が、接続されている同一エリアへの連続リードが発生した場合は、周辺 LSI のデータ出力と本 LSI のアドレス出力が衝突する可能性があります。この場合は、 $\overline{\text{CS}}$ 拡張ステートをアクセスサイクルの後に挿入することにより、データ衝突を回避することができます。

図 6.35 に動作例を示します。バスサイクル A、バスサイクル B はともに同一エリアへのアドレス/データマルチプレクス I/O 空間へのリードサイクルです。(a) は $\overline{\text{CS}}$ 拡張ステートを挿入しない場合で、出力フローティング時間の大きい周辺 LSI のデータ出力と本 LSI のアドレス出力の衝突が発生しています。これに対し (b) は $\overline{\text{CS}}$ 拡張ステートを挿入した場合で、データの衝突を回避しています。

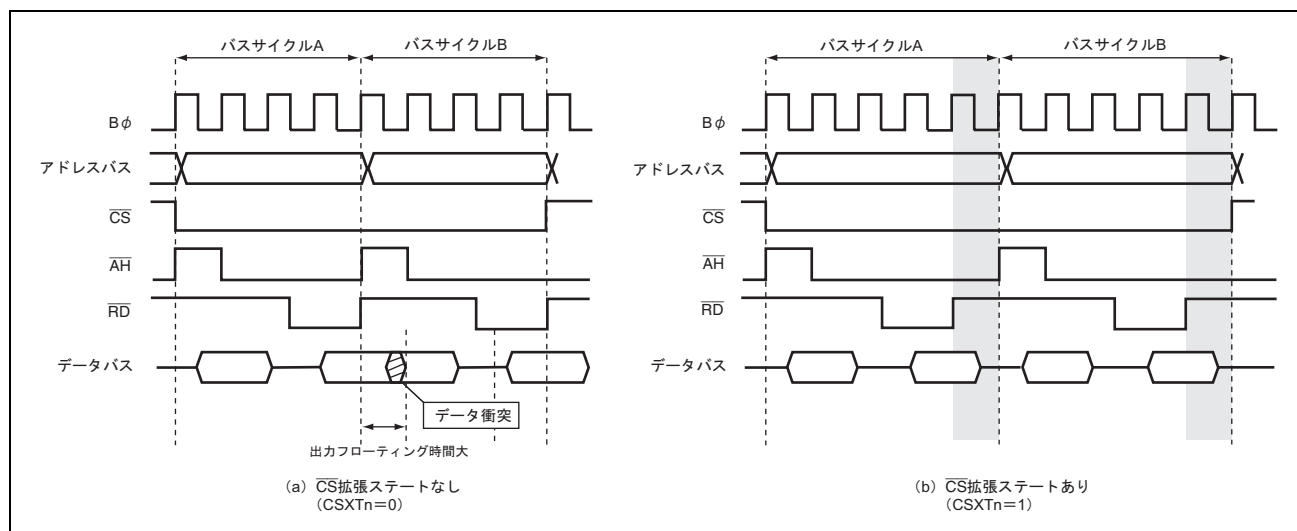
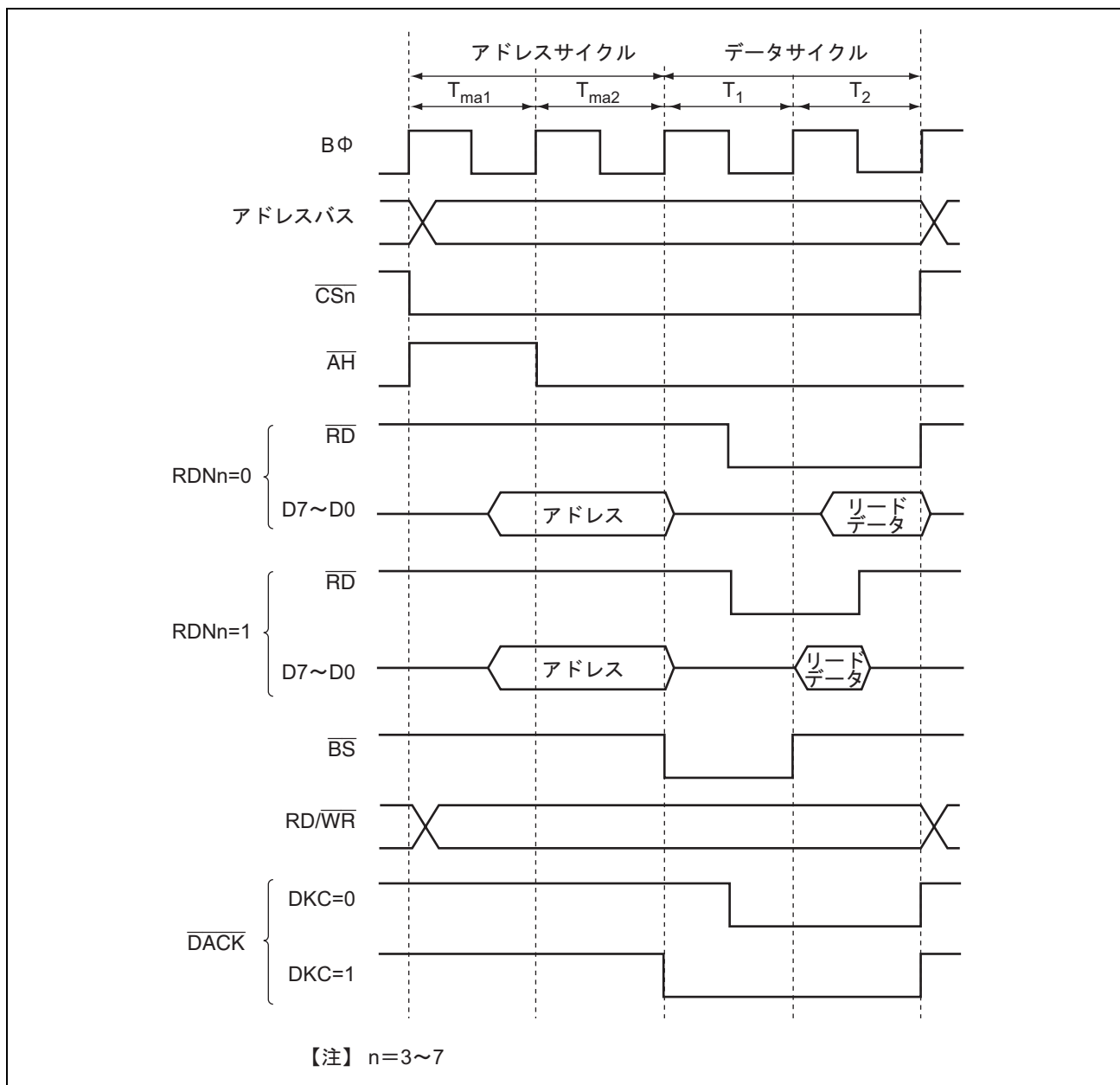


図 6.35 同一エリアのアドレス/データマルチプレクス I/O 空間連続リード

6.9.10 $\overline{\text{DACK}}$ 信号の出力タイミング

DMAC のシングルアドレス転送を行う場合、BCR1 の DKC ビットによって $\overline{\text{DACK}}$ 信号のアサートタイミングを変更することができます。

図 6.36 に $\overline{\text{DACK}}$ 信号の出力タイミングを示します。DKC ビットを 1 にセットすることにより、 $\overline{\text{DACK}}$ 信号は半サイクル早くアサートします。

図 6.36 $\overline{\text{DACK}}$ 信号の出力タイミング

6.10 アイドルサイクル

本 LSI は、連続する外部アクセスの間にアイドルサイクルを挿入することが可能です。アイドルサイクルを挿入することにより、例えば出力フローティング時間の大きい ROM へのリードサイクルと、高速メモリや I/O インタフェースとのデータの衝突を防ぐことができます。

6.10.1 動作説明

外部バスサイクルが連続した場合、リード/ライトの組み合わせと先行してアクセスされたエリアを条件として、アイドルサイクルを挿入することができます。アイドルサイクル挿入条件は、次の 4 種類が選択できます。

1. 異なるエリア間の外部リードサイクルが連続して発生したとき
2. 外部リードサイクル後に外部ライトサイクルが連続して発生したとき
3. 外部ライトサイクル後に外部リードサイクルが連続して発生したとき
4. DMACのシングルアドレス転送 (ライトサイクル) 後に外部アクセスが連続して発生したとき

上記の条件において、最大 4 ステートのアイドルサイクルを挿入することができます。挿入するアイドルサイクル数は、先行してアクセスされるデバイスの出力データと後続のデバイスのデータが衝突しないように設定してください。

リード後のアイドルサイクル挿入条件である上記 1.、2. の条件で、挿入可能なアイドルサイクル数は、IDLCR の IDLCA1、IDLCA0 ビット、および IDLCB1、IDLCB0 ビットで設定される A、または B の 2 種類から選択できます。A は 1~4 ステート、B は 0、2~4 ステートのそれぞれ 4 種類が設定可能です。IDLCR の IDLSEL7~IDLSEL0 ビットにより、エリアごとに A、B の選択が可能です。IDLSEL7~IDLSEL0 ビットは、連続する外部バスサイクルの先行してアクセスされるエリアに対応します。

ライト後のアイドルサイクル挿入条件である上記 3.、4. の条件で、挿入可能なアイドルサイクル数は、上記 A の設定により決まります。

リセット解除後、IDLCR の初期値は、上記 1.~4. のすべての条件でアイドルサイクルを 4 サイクル挿入する設定となっています。

表 6.20 に上記 1.~4. の条件と各エリアでのアイドルサイクル挿入数選択を、表 6.21 に A、B のアイドルサイクル挿入数設定と挿入ステート数の対応を示します。

6. バスコントローラ (BSC)

表 6.20 各エリアのアイドルサイクル挿入数選択一覧

挿入条件	ビット設定			先行アクセスのエリア							
	IDLSn		IDLSELn	0	1	2	3	4	5	6	7
	n	設定	n=0~7								
異なるエリアの間で連続リード	1	0	—	無効							
		1	0	A	A	A	A	A	A	A	A
			1	B	B	B	B	B	B	B	B
リード後のライト	0	0	—	無効							
		1	0	A	A	A	A	A	A	A	A
			1	B	B	B	B	B	B	B	B
ライト後のリード	2	0	—	無効							
		1		A							
シングル転送ライト後の外部アクセス	3	0	—	無効							
		1		A							

【記号説明】

A：アイドルサイクル挿入数Aを選択

B：アイドルサイクル挿入数Bを選択

無効：該当する条件ではアイドルサイクルを挿入しない

表 6.21 アイドルサイクルの挿入数一覧

ビット設定値				挿入ステート数
A		B		
IDLCA1	IDLCA0	IDLCB1	IDLCB0	
—	—	0	0	0
0	0	—	—	1
0	1	0	1	2
1	0	1	0	3
1	1	1	1	4

(1) 異なるエリア間での連続リード

IDLCR の IDLS1 ビットを 1 にセットした状態で異なるエリア間の連続リードが発生すると、2 回目のリードサイクルの先頭に、IDLCR の IDLSELn=0 のときは IDLCA1、IDLCA0 ビット、IDLSELn=1 のときは IDLCB1、IDLCB0 ビットに設定したサイクル数のアイドルサイクルが挿入されます (n=7~0)。

図 6.37 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。

(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

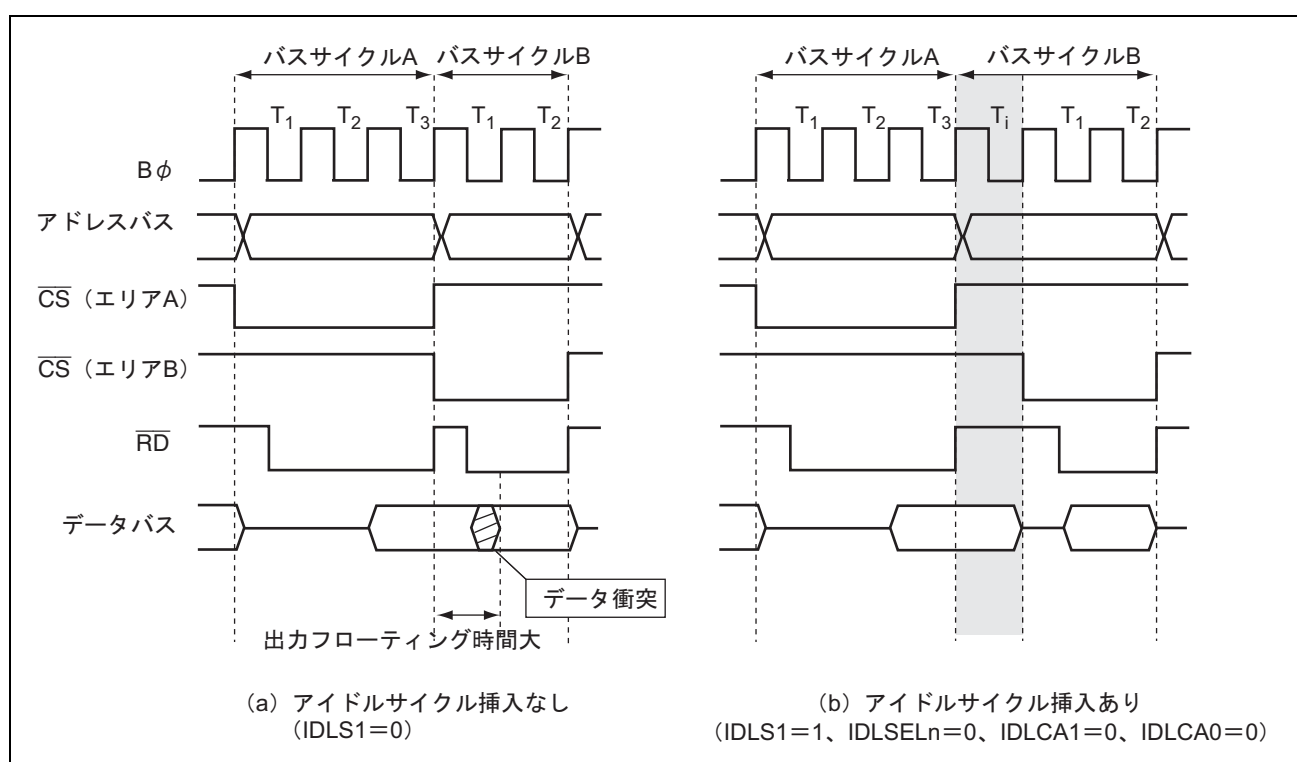


図 6.37 アイドルサイクル動作例 (異なるエリア間での連続リード)

6. バスコントローラ (BSC)

(2) リード後のライト

IDLCR の IDLS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭に IDLCR の IDLSELn=0 のときは IDLCA1、IDLCA0 ビット、IDLSELn=1 のときは IDLCB1、IDLCB0 ビットに設定したサイクル数のアイドルサイクルが挿入されます (n=7~0)。

図 6.38 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

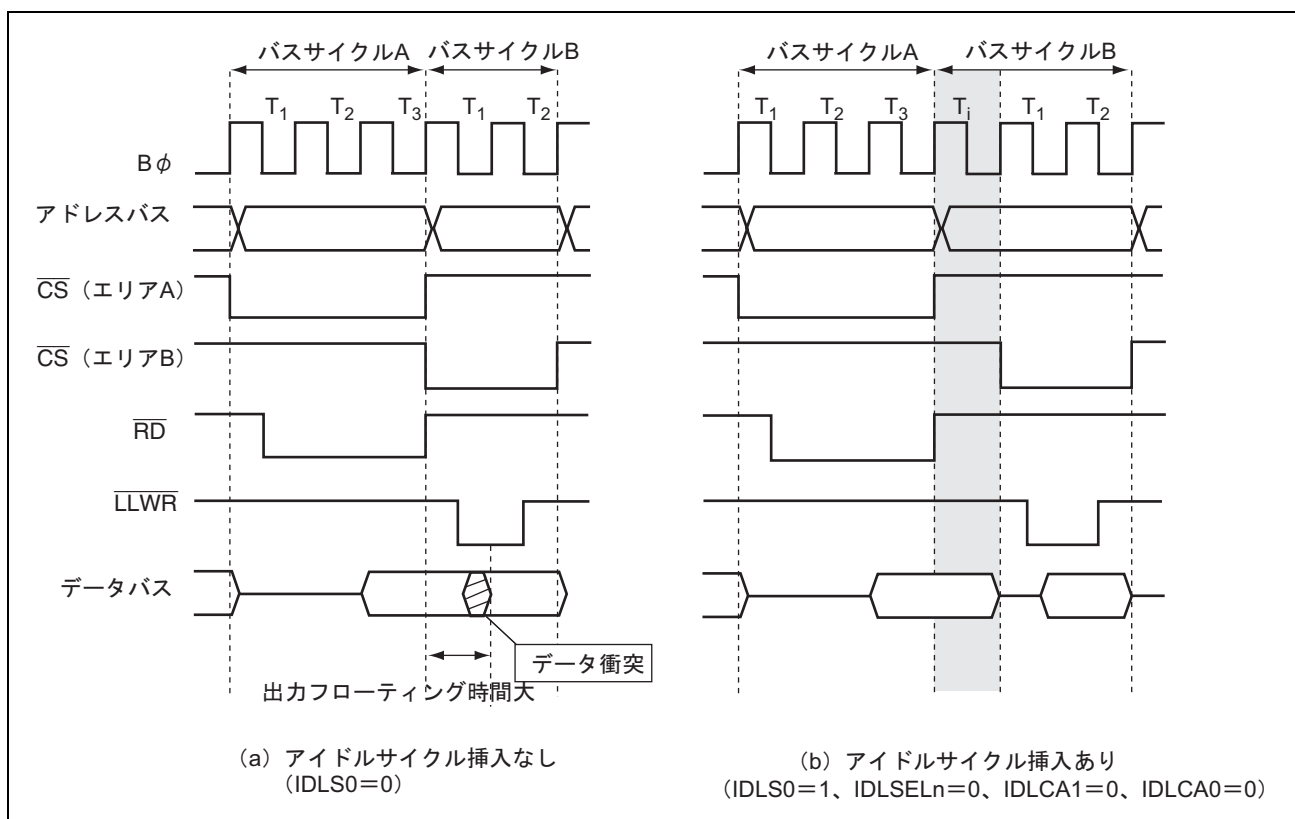


図 6.38 アイドルサイクル動作例 (リード後のライト)

(3) ライト後のリード

IDLCR の IDLS2 ビットを 1 に設定した状態で、外部ライト後に外部リードが発生すると、リードサイクルの先頭に IDLCR の IDLCA1、IDLCA0 ビットに設定したサイクル数のアイドルサイクルが挿入されます。

図 6.39 に動作例を示します。バスサイクル A は CPU のライトサイクル、バスサイクル B は SRAM からのリードサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で CPU のライトデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

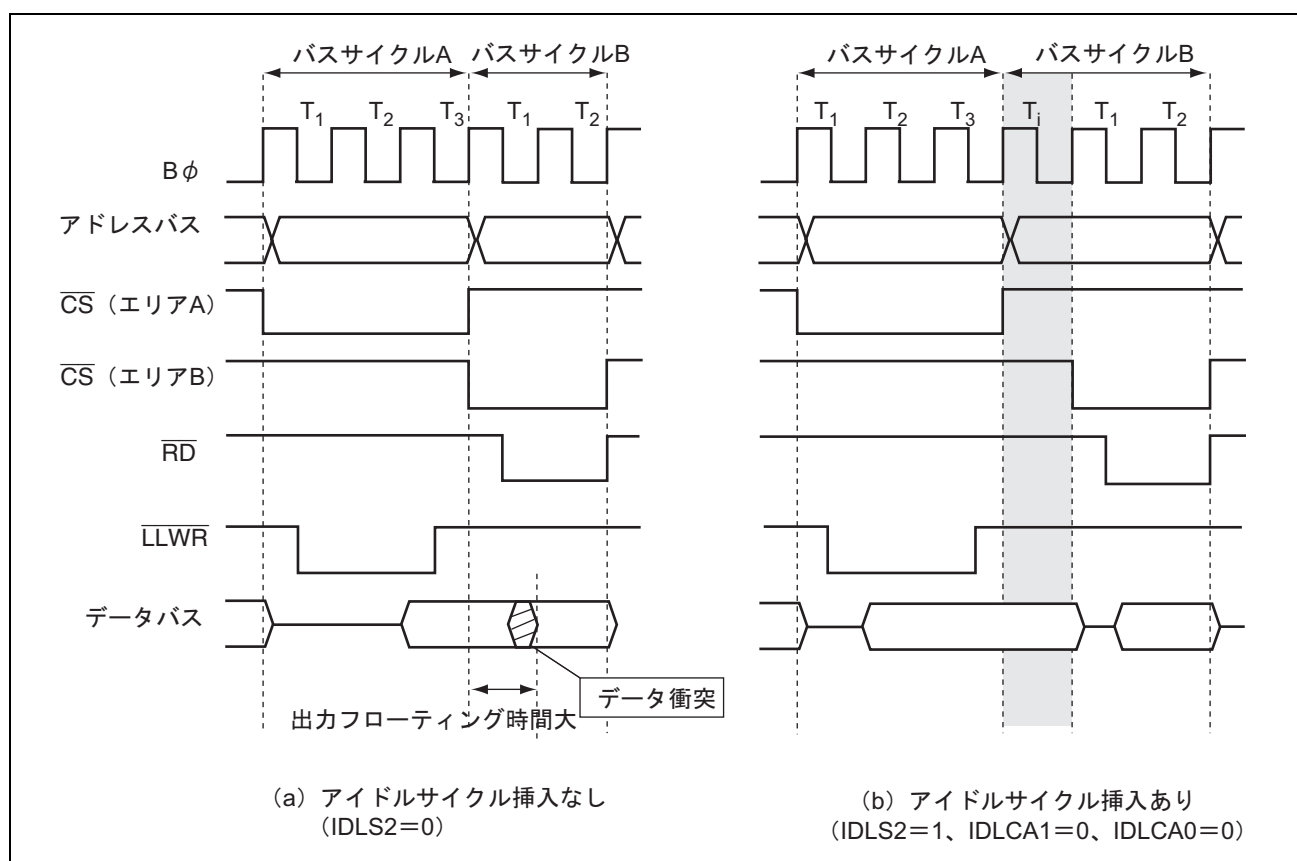


図 6.39 アイドルサイクル動作例 (ライト後のリード)

6. バスコントローラ (BSC)

(4) シングルアドレス転送ライト後の外部アクセス

IDLCR の IDLS3 ビットを 1 に設定した状態で、シングルアドレス転送ライト後に外部アクセスが発生すると、外部アクセスの先頭に IDLCR の IDLCA1、IDLCA0 ビットに設定したサイクル数のアイドルサイクルが挿入されます。

図 6.40 に動作例を示します。バスサイクル A はシングルアドレス転送ライトサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で外部デバイスライトデータと本 LSI のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データ衝突を回避しています。

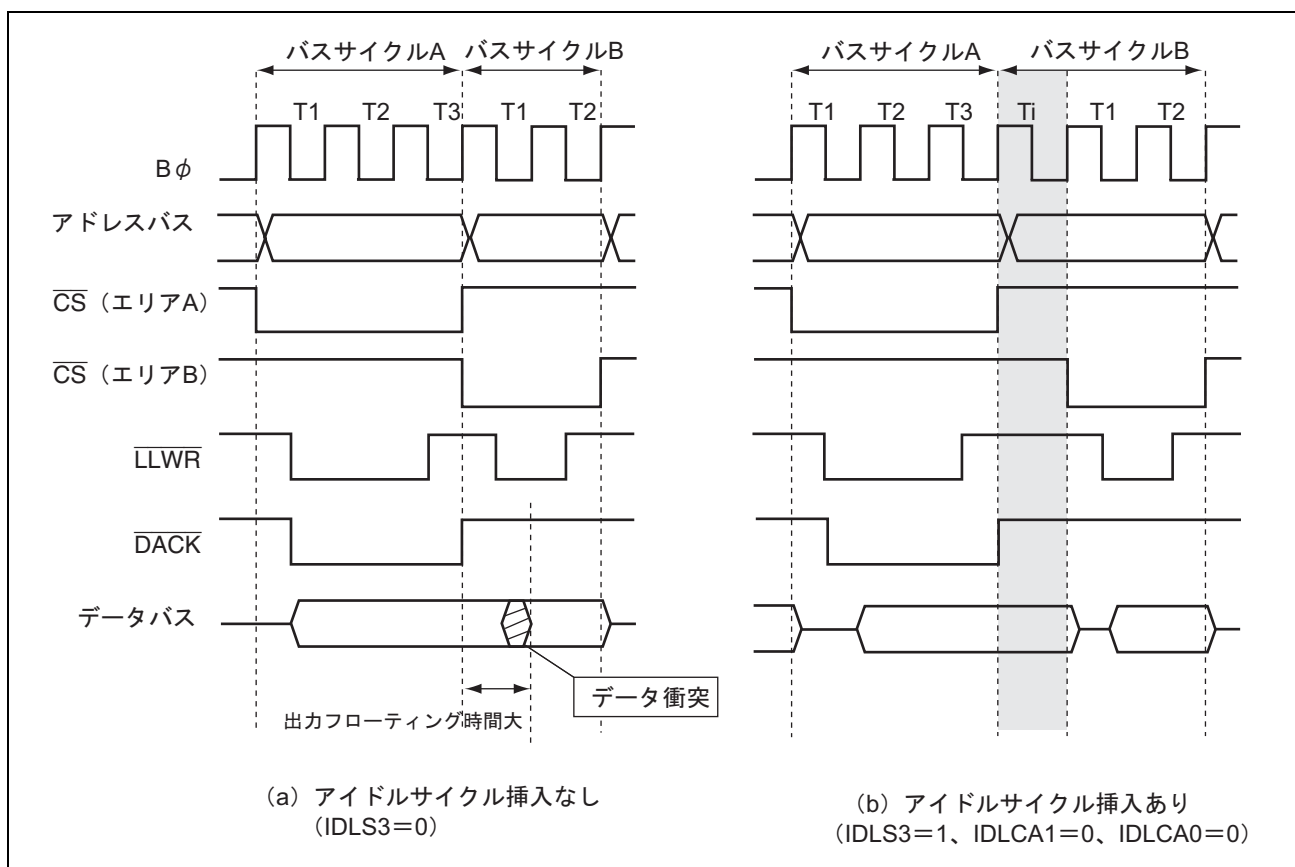


図 6.40 アイドルサイクル動作例 (シングルアドレス転送ライト後のライト)

(5) 外部 NOP サイクルとアイドルサイクル

内部処理などにより外部空間をアクセスしないサイクル (外部 NOP サイクル) をはさんで外部バスサイクルが連続する場合においても、アイドルサイクル挿入条件は有効です。

この場合、外部 NOP サイクルはアイドルサイクルの一部としてカウントされます。

図 6.41 に挿入例を示します。

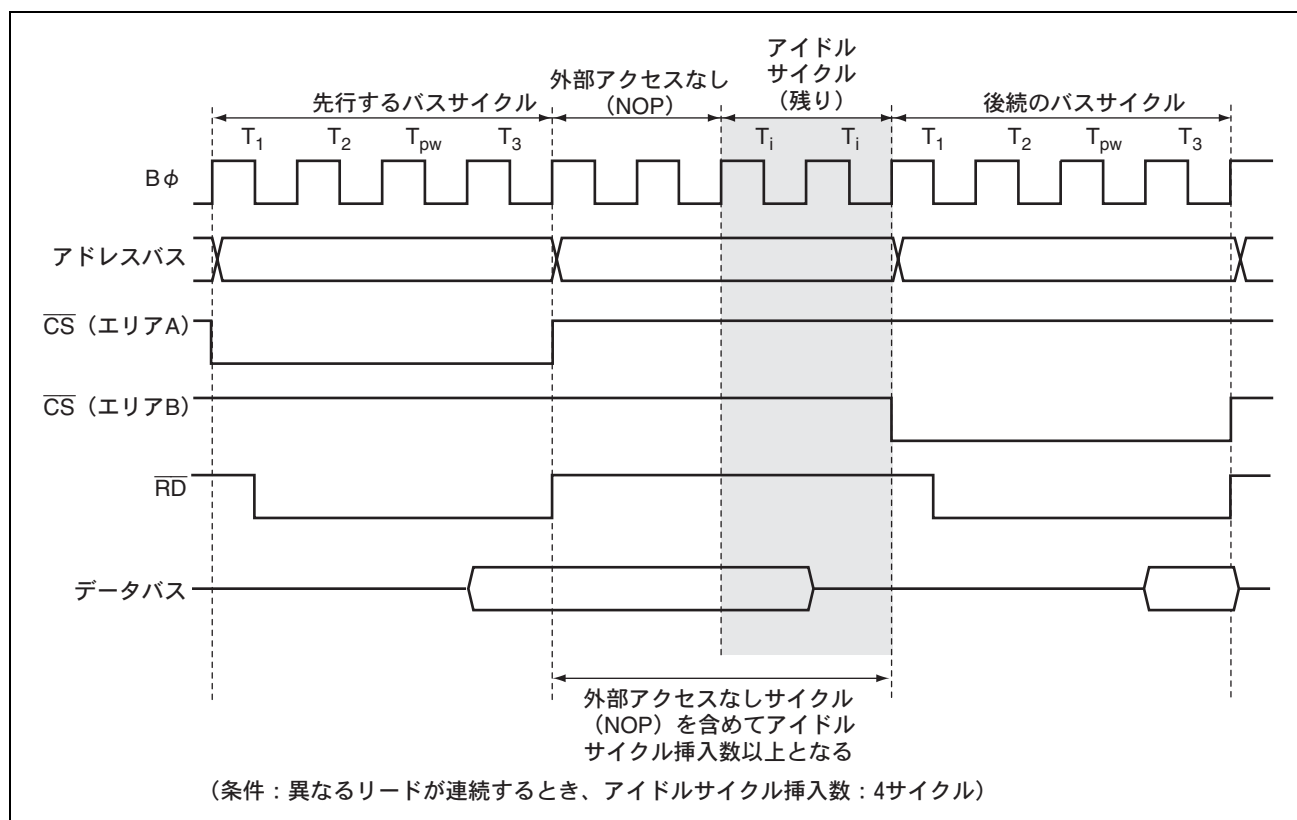


図 6.41 アイドルサイクル挿入例

(6) チップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係

システムの負荷条件によって、 \overline{CS} 信号よりも \overline{RD} 信号が遅れる場合があります。

図 6.42 にチップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係を示します。(a) のようにアイドルサイクルを挿入しない設定では、バスサイクル A の \overline{RD} 信号とバスサイクル B の \overline{CS} 信号間でオーバーラップ期間が発生する可能性があります。これに対し (b) のようにアイドルサイクルを挿入する設定にすると、 \overline{RD} 信号と \overline{CS} 信号のオーバーラップ期間を回避することができます。なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

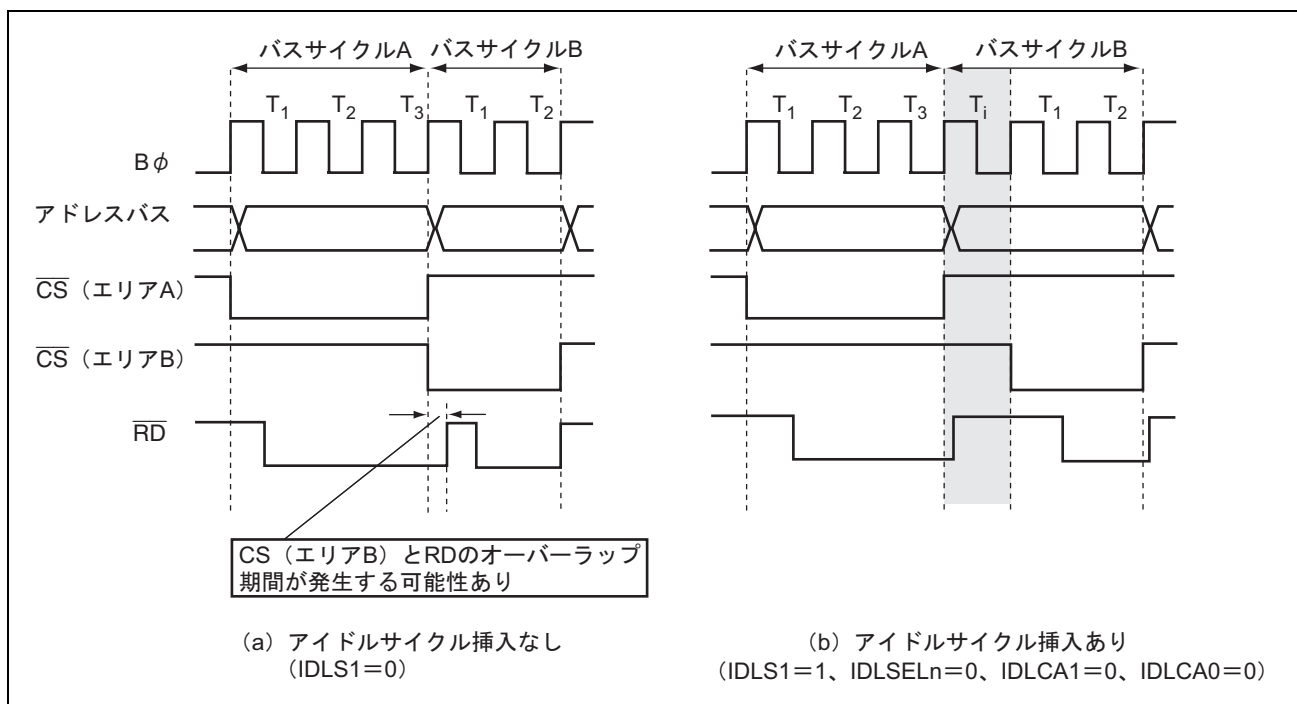


図 6.42 チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係

表 6.22 通常空間を混在してアクセスするときのアイドルサイクル

前のアクセス	次のアクセス	IDLS				IDLSEL 7~0	IDLCA		IDLCB		アイドル サイクル
		3	2	1	0		1	0	1	0	
通常空間 リード	通常空間 リード	—	—	0	—	—	—	—	—	—	無効
		—	—	1	—	0	0	0	—	—	1 ステート
							0	1			2 ステート
							1	0			3 ステート
							1	1			4 ステート
		—	—	—	—	1	—	—	0	0	0 ステート
							0	1	2 ステート		
							1	0	3 ステート		
							1	1	4 ステート		
		通常空間 リード	通常空間 ライト	—	—	—	0	—	—	—	—
—	—			—	1	0	0	0	—	—	1 ステート
							0	1			2 ステート
							1	0			3 ステート
							1	1			4 ステート
—	—			—	—	1	—	—	0	0	0 ステート
							0	1	2 ステート		
							1	0	3 ステート		
							1	1	4 ステート		
通常空間 ライト	通常空間 リード			—	0	—	—	—	—	—	—
		—	1	—	—	—	0	0	—	—	1 ステート
							0	1			2 ステート
							1	0			3 ステート
							1	1			4 ステート
0	—	—	—	—	—	—	—	—	無効		
シングル アドレス転送 ライト	通常空間 ライト	1	—	—	—	—	—	—	—	—	無効
		—	—	—	—	—	0	0	—	—	1 ステート
							0	1			2 ステート
							1	0			3 ステート
							1	1			4 ステート

6.10.2 アイドルサイクルでの端子状態

表 6.23 にアイドルサイクルでの端子状態を示します。

表 6.23 アイドルサイクルでの端子状態

端子名	端子の状態
A23~A0	直後のバスサイクルの内容
D15~D0	ハイインピーダンス
\overline{CSn} (n=7~0)	High レベル
\overline{AS}	High レベル
\overline{RD}	High レベル
\overline{BS}	High レベル
$\overline{RD}/\overline{WR}$	High レベル
\overline{AH}	Low レベル
\overline{LHWR} 、 \overline{LLWR}	High レベル
\overline{DACKn} (n=3~0)	High レベル

6.11 バス解放

本 LSI は、外部からのバス権要求により外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しない限り内部バスマスタは動作を継続します。

また、外部バス権解放状態で外部に対して \overline{BREQO} 信号を Low レベルにしてバス権を要求することができます。

6.11.1 動作説明

外部拡張モードで BCR1 の BRLE ビットを 1 にセットし、該当する端子の ICR のビットを 1 にセットすると、外部にバス権を解放することができます。 \overline{BREQ} 端子を Low レベルにすると、本 LSI に外部バス権を要求します。 \overline{BREQ} 端子をサンプリングすると、所定のタイミングで \overline{BACK} 端子を Low レベルにして、アドレスバス、データバス、バス制御信号をハイインピーダンスにして、外部バス権解放状態になります。DDR、ICR については「9. I/O ポート」を参照してください。

外部バス権解放状態で、CPU、DMAC および DTC は、内部バスを使用して内部アクセスを行うことができます。CPU、DMAC、DTC のいずれかが外部アクセスを行うと、一旦バスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。また、外部バス権解放状態でクロック周波数を設定するため SCKCR にライトアクセスした場合も、外部バスマスタのバス権要求が取り下げられるまでクロック周波数の設定は保留されます。SCKCR については「18. クロック発振器」を参照してください。

BCR1 の BREQOE ビットが 1 にセットされていると、以下の要求が発生したときに \overline{BREQO} 端子を Low レベルにし、外部にバス権要求を取り下げよう要求することができます。

- CPU、DMAC、DTC のいずれかが外部アクセスをしようとしたとき
- ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行されたとき

- クロック周波数を設定するためSCKCRにライトアクセスしたとき

$\overline{\text{BREQ}}$ 端子を High レベルにすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を High レベルにし、外部バス権解放状態を終了します。

外部バス権解放要求、外部アクセスが同時に発生したときの優先順位は

(高) 外部バス権解放 > CPU、DMAC、DTC の外部アクセス (低)

となります。

6.11.2 外部バス権解放状態での端子状態

表 6.24 に外部バス権解放状態での端子状態を示します。

表 6.24 バス権解放状態での端子状態

端子名	端子の状態
A23~A0	ハイインピーダンス
D15~D0	ハイインピーダンス
$\overline{\text{BS}}$	ハイインピーダンス
$\overline{\text{CSn}}$ (n=7~0)	ハイインピーダンス
$\overline{\text{AS}}$	ハイインピーダンス
$\overline{\text{AH}}$	ハイインピーダンス
$\overline{\text{RD}}/\overline{\text{WR}}$	ハイインピーダンス
$\overline{\text{RD}}$	ハイインピーダンス
$\overline{\text{LUB}}$ 、 $\overline{\text{LLB}}$	ハイインピーダンス
$\overline{\text{LHWR}}$ 、 $\overline{\text{LLWR}}$	ハイインピーダンス
$\overline{\text{DACKn}}$ (n=3~0)	High レベル

6.11.3 遷移タイミング

図 6.43 にバス権解放状態への遷移タイミングを示します。

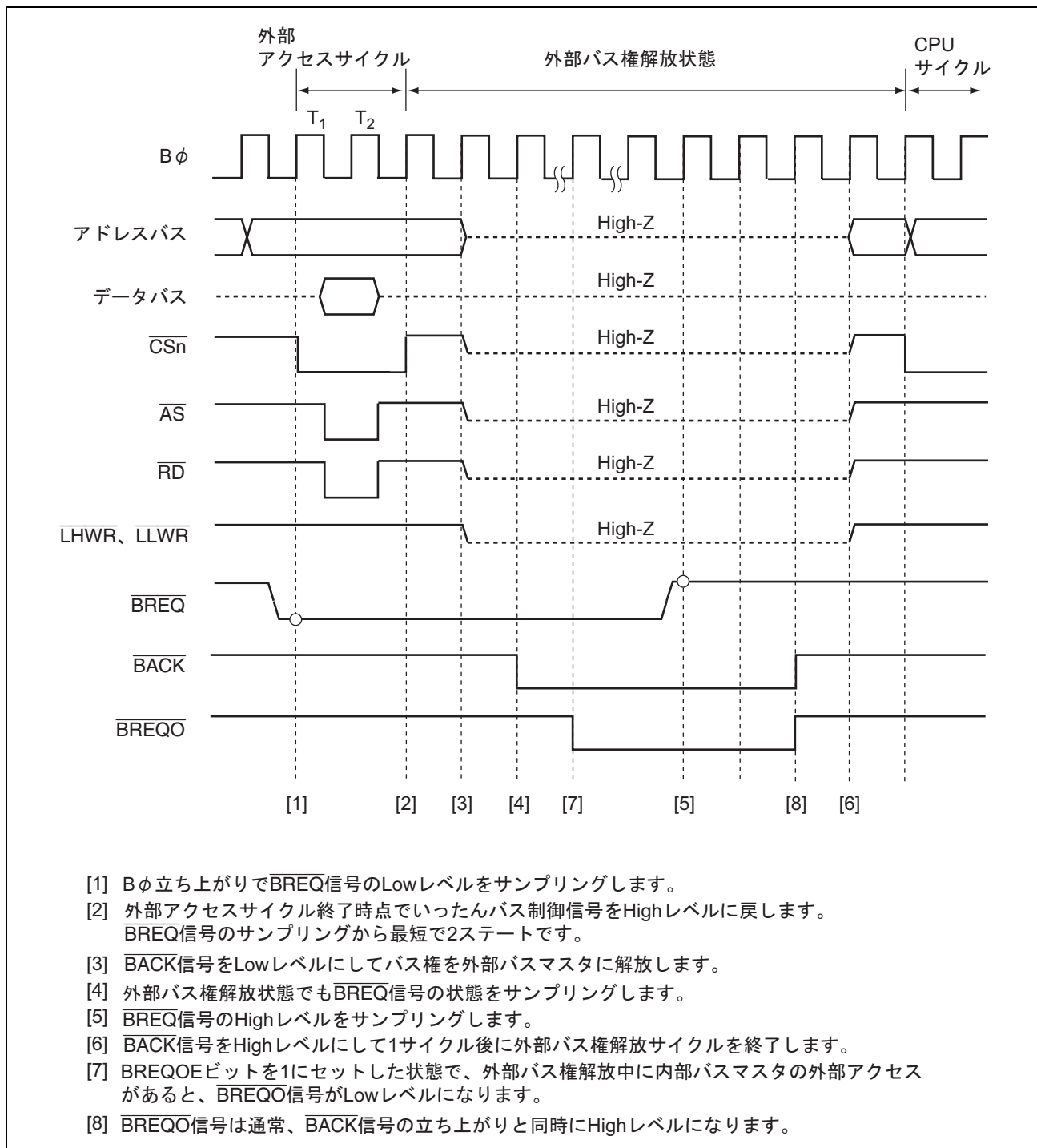


図 6.43 バス権解放状態遷移タイミング

6.12 内部バス

6.12.1 内部アドレス空間へのアクセス

本 LSI の内部アドレス空間には、内蔵 RAM 空間、内蔵周辺モジュールレジスタ空間があり、それぞれアクセスに要するサイクル数が異なります。

表 6.25 に内蔵メモリ空間のアクセスサイクル数を示します。

表 6.25 内蔵メモリ空間のアクセスサイクル数

アクセス対象	アクセス	サイクル数
内蔵 RAM 空間	リード	11φサイクル
	ライト	11φサイクル

内蔵周辺モジュールレジスタへのアクセスは、レジスタによってアクセスサイクル数が異なります。バスマスタの動作クロックと周辺モジュールの動作クロックが 1:n に分周されている場合、外部バスクロックの分周と同様にレジスタアクセスに 0~n-1 の分周クロック同期化サイクルが挿入されます。

表 6.26 に内蔵周辺モジュールレジスタ空間のアクセスサイクル数を示します。

表 6.26 内蔵周辺モジュールレジスタ空間のアクセスサイクル数

アクセス対象	サイクル数		ライトデータバッファ機能
	リード	ライト	
DMAC のレジスタ	21φ		無効
MCU 動作モード、クロック発振器、消費電力制御のレジスタ、割り込みコントローラ、バスコントローラ、DTC のレジスタ	21φ	31φ	無効
I/O ポートの PFCR、WDT のレジスタ	2Pφ	3Pφ	無効
I/O ポートの PFCR 以外のレジスタ、TPU、PPG、TMR、SCI、A/D、D/A のレジスタ	2Pφ		有効

6.13 ライトデータバッファ機能

6.13.1 外部ライトデータバッファ機能

本 LSI は外部データバスにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、外部ライトおよび DMAC シングルアドレス転送と、内部アクセスを並行して実行することができます。BCR1 の WDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。

図 6.44 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用したとき、外部ライトまたは DMAC シングルアドレス転送が 2 ステート以上続き、次に内部アクセスがある場合は最初の 2 ステートは外部ライトのみが実行されますが、次のステートから外部ライトの終了を待たずに内部アクセス（内蔵メモリ、内部 I/O レジスタのリード/ライト）が並行して実行されます。

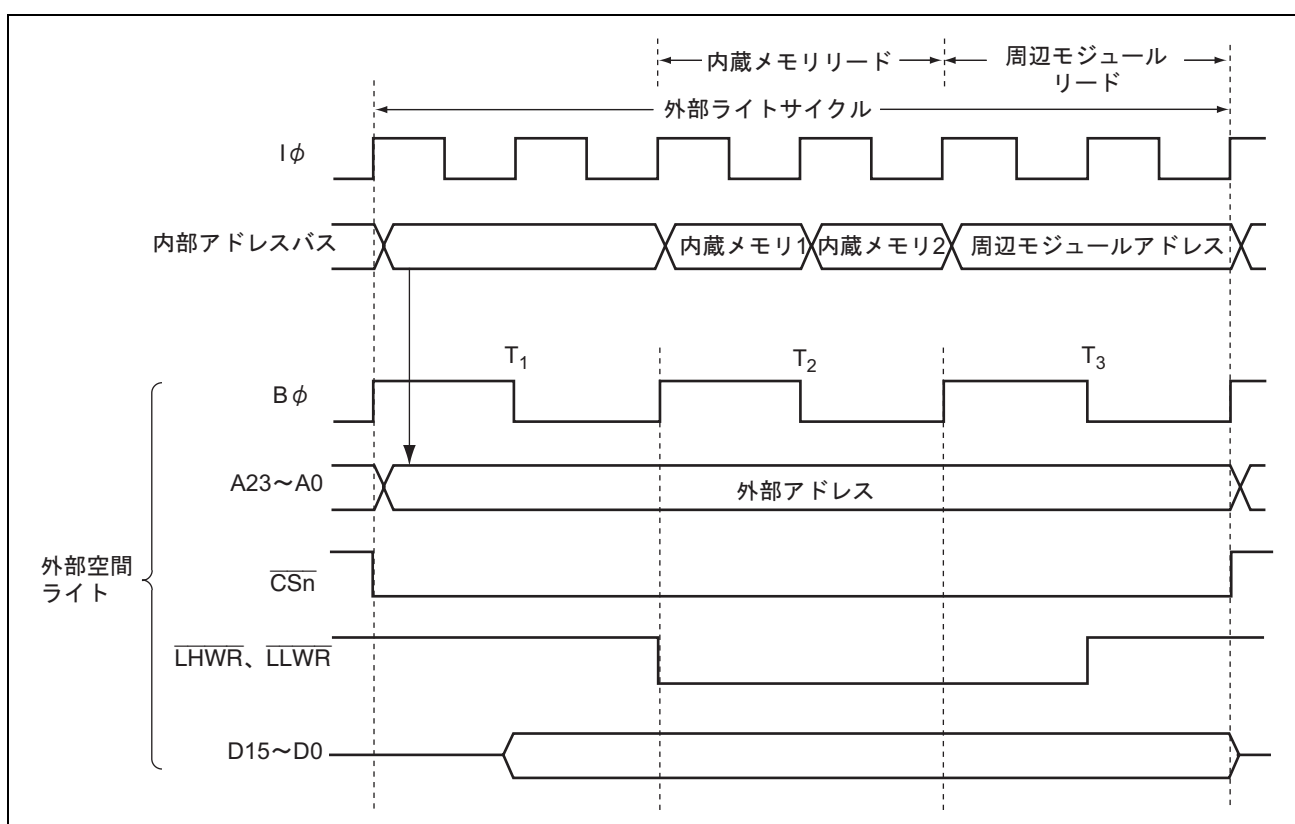


図 6.44 外部ライトバッファ機能使用時のタイミング例

6.13.2 周辺モジュールライトデータバッファ機能

本 LSI は、周辺モジュールアクセスのためにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、周辺モジュールライトサイクルと、内蔵メモリおよび外部アクセスを並行して実行することができます。BCR2 の PWDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。ライトデータバッファ機能が有効となる周辺モジュールレジスタ空間は、「6.12 内部バス」の表 6.26 を参照してください。

図 6.45 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用したとき、内部 I/O レジスタライトが 2 ステート以上続き、次に内蔵 RAM および外部アクセスがある場合は最初の 2 ステートは内部 I/O レジスタライトのみが実行されますが、次のステートから内部 I/O レジスタライトの終了を待たずに内蔵メモリ外部アクセスが並行して実行されます。

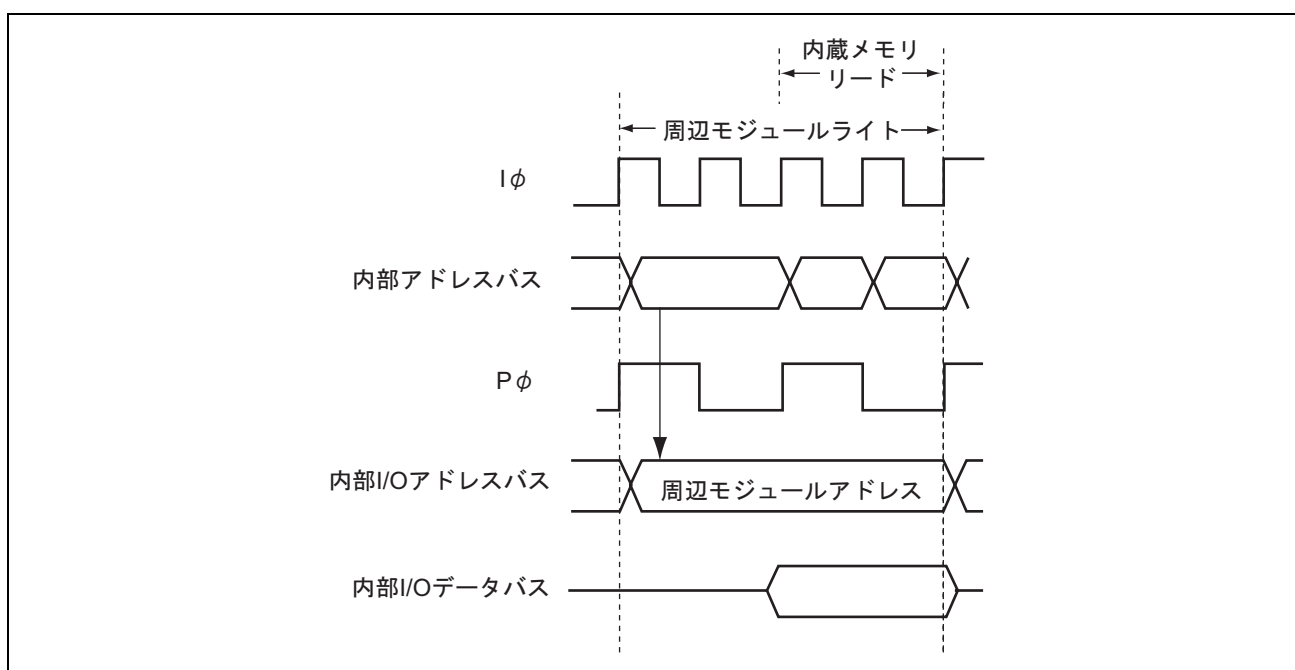


図 6.45 周辺モジュールライトデータバッファ機能使用時のタイミング例

6.14 バスアービトレーション

本 LSI は、バスマスタの動作を調停 (バスアービトレーション) するバスアービタを内蔵しています。バス調停は、内部アクセスと外部アクセスのそれぞれにバスアービタを内蔵し、独立に制御しています。内部バスアービタの対象は、CPU、DMAC、DTC のそれぞれのアクセスです。外部バスアービタの対象は、CPU、DMAC、DTC の外部アクセス、外部バス権解放要求 (外部バスマスタ) です。

バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。

6.14.1 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位は以下のとおりです。

内部バスアービトレーション：

(高) DMAC>DTC>CPU (低)

外部バスアービトレーション：

(高) 外部バス権解放要求>CPU、DMAC、DTC の外部アクセス (低)

ただし、BCR2 の IBCCS ビットを 1 にセットすることにより、DMAC または DTC のアクセスが連続する場合に CPU の優先順位を高くして、DMAC または DTC と交互にバス権を取ることができます。このとき DMAC と DTC の間の優先順位に変化はありません。

なお、CPU、DMAC、DTC の内部バスアクセスと、外部バス権解放要求の外部バスアクセスは、並行して実行することができます。

6.14.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタには、バス権を譲ることができるタイミングがあります。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DMAC、DTC からのバス権要求があると、内部バスアービタはバス権を CPU からバス権要求のあったバスマスタに移行します。

バス権が移行するタイミングはバスサイクルの切れ目です。スリープモード中はクロックに同期してバス権を移行します。

ただし、以下の場合は、バス権の移行を禁止しています。

- ワード、ロングワードサイズのアクセスを分割して実行しているとき
- スタック操作を複数バスサイクルで実行しているとき
- メモリ間転送命令、ブロック転送命令、およびTAS命令で、転送データのリードとライトの期間
(ブロック転送命令は、ライトサイクルと次の転送データのリードサイクルの間は、バス権を移行することができます。)
- ビット操作命令やメモリ演算命令で、対象のデータをリードしてからライトするまでの期間
(命令の条件によりライトを行わない場合も、ライトに相当するステートまでの期間が該当します。)

(2) DTC

DTC は起動要求が発生すると内部バスアービタに対してバス権を要求します。外部バス空間にアクセスする場合は、内部バスのバス権を取得した上で外部バスアービタに対してバス権を要求します。

DTC は、一旦バス権を取得すると一連の転送処理サイクルを連続して実行します。この期間に DTC より優先順位の高いバスマスタからのバス権要求があるとバス権を移行します。BCR2 の IBCCS ビットが 1 にセットされているときは、バス権を CPU に移行します。

ただし、以下の場合は、バス権の移行を禁止しています。

- 転送情報のリード中
- 1回のデータを転送中
- 転送情報のライトバック中

起動要求に対応する一連の転送処理サイクルが終了すると次のサイクルはバス権を開放します。

(3) DMAC

DMAC は起動要求が発生すると内部バスアービタに対してバス権を要求します。外部バス空間にアクセスする場合は、内部バスのバス権を取得した上で外部バスアービタに対してバス権を要求します。

DMAC の転送サイクルには、一旦バス権を取得すると連続して転送を行う場合と、転送サイクルごとにバス権を解放する場合があります。

バス権を解放せずに連続して実行する転送サイクルには、次の場合があります。

- デュアルアドレスモードのリードサイクルから、リードサイクルに対応するライトサイクルの期間

DMAC より優先順位の高いバスマスタからのバス権要求がなく、BCR2 の IBCCS ビットが 0 にクリアされているとき、バス権を解放せずに連続して実行する転送サイクルには、以下の場合があります。

- ブロック転送モードの1ブロック転送中
- バーストモードの転送中

上記以外の転送サイクルの場合、バスサイクルが終了した時点でバス権を移行します。

(4) 外部バス権解放

BCR1 の BRLE ビットを 1 に該当する端子の ICR ビットを 1 にセットした状態で、 $\overline{\text{BREQ}}$ 端子が Low レベルとなって外部バス権解放要求が起こるとバスアービタに対してバス権を要求します。

外部バス権解放は、外部バスサイクルが終了した時点で行うことができます。

6.15 リセットとバスコントローラ

リセットで、バスコントローラを含めて本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

6.16 使用上の注意事項

(1) レジスタの設定

バスコントローラのレジスタの設定は、外部空間をアクセスする前に設定してください。外部 ROM 起動の場合は、外部 ROM からの命令フェッチ以外の外部アクセスが発生する前に設定してください。

(2) 外部バス権解放機能と全モジュールクロックストップモード

本 LSI は、MSTPCRA レジスタの ACSE ビットを 1 にセットし、すべての周辺モジュールのクロックを停止するか (MSTPCRA、B=H'FFFFFFF)、または 8 ビットタイマだけを動作させて (MSTPCRA、B=H'[E~0]FFFFFF)、SLEEP 命令を実行し、スリープ状態へ遷移すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ遷移します。詳細は「19. 低消費電力」を参照してください。

全モジュールクロックストップモードでは、外部バス権解放機能は停止します。スリープモードで外部バス権解放機能を使用する場合は、MSTPCRA の ACSE ビットを 0 にクリアしてください。

また、外部バス権解放状態で全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行された場合、全モジュールクロックストップモードへの遷移は保留され、バス権復帰後に遷移します。

(3) 外部バス権解放機能とソフトウェアスタンバイ

本 LSI は、バス解放中でも、プログラムが内蔵 RAM など動作していて外部アクセスが起きない場合には、内部バスマスタの動作は停止しません。外部バス解放中にソフトウェアスタンバイモードに遷移するための SLEEP 命令が実行された場合、ソフトウェアスタンバイモードへの遷移は保留され、バス権復帰後に遷移します。

また、ソフトウェアスタンバイモードではクロック発振も停止するため、ソフトウェアスタンバイ中に $\overline{\text{BREQ}}$ が Low レベルとなり、外部バス解放要求があってもソフトウェアスタンバイモードから復帰するまで外部バス解放に応答できません。

ソフトウェアスタンバイ中は、 $\overline{\text{BACK}}$ 、 $\overline{\text{BREQO}}$ が Hi-Z となりますのでご注意ください。

(4) $\overline{\text{BREQO}}$ 出力タイミング

$\overline{\text{BREQOE}}$ ビットに 1 をセットして $\overline{\text{BREQO}}$ 信号を出力する場合、 $\overline{\text{BACK}}$ 信号と同時に $\overline{\text{BREQO}}$ が Low レベルになる場合があります。これは、本 LSI が $\overline{\text{BREQ}}$ の Low レベルをサンプリングして、内部のバス権を調停している間に、すでに次の外部アクセス要求が発生した場合に起こります。

7. DMA コントローラ (DMAC)

本 LSI は、4 チャンネルの DMA コントローラ (DMAC) を内蔵しています。

7.1 特長

- 最大4Gバイトのアドレス空間をアクセス可能
- データ転送単位はバイト、ワード、またはロングワードを選択可能
- 総転送サイズは最大4Gバイト (4,294,967,295バイト) 設定可能
総転送サイズを設定しないフリーランニングモードも選択可能
- DMACの起動方法は、オートリクエスト、内蔵モジュール割り込み、外部リクエストを選択可能
オートリクエスト：CPUより起動 (サイクルスチールモードとバーストモードの選択が可能)
内蔵モジュール割り込み：各種内蔵周辺モジュールからの割り込み要求を起動要因として選択可能
外部リクエスト： $\overline{\text{DREQ}}$ 信号のLowレベル検出、または立ち下がりエッジ検出を選択可能
4チャンネルすべて外部リクエストを受け付け可能
(ブロック転送モードの場合は、Lowレベル検出のみ設定可能)
- アドレスモードはデュアルアドレスモード、シングルアドレスモードを選択可能
デュアルアドレスモード：転送元、転送先双方をアドレス指定しデータを転送
シングルアドレスモード：転送元、または転送先の周辺デバイスを $\overline{\text{DACK}}$ 信号でアクセスし、
もう一方をアドレス指定してデータを転送
- 転送モードはノーマル転送モード、リピート転送モード、ブロック転送モードを選択可能
ノーマル転送モード：1バイト/1ワード/1ロングワードを1回の転送要求で転送
リピート転送モード：1バイト/1ワード/1ロングワードを1回の転送要求で転送
リピートサイズ分、データを転送すると転送開始時のアドレスに復帰
リピートサイズは最大64k回 (65,536バイト/ワード/ロングワード) 設定可能
です。
ブロック転送モード：1ブロックのデータを1回の転送要求で転送
ブロックサイズは最大64k回 (65,536バイト/ワード/ロングワード) 設定可能
です。
- 拡張リピートエリア機能 (転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレス値を
繰り返させ、リングバッファなどのデータ転送を行う) を選択可能
拡張リピートエリアには、1ビット (2バイト) ~27ビット (128Mバイト) を転送元、転送先別に設定可能
- アドレス更新は、1、2または4の増減、固定、オフセット加算を選択可能
オフセット加算でアドレスを更新させると、途中のアドレスを飛ばしたデータ転送可能

7. DMA コントローラ (DMAC)

- ワードデータや、ロングワードデータを各データ境界から外れたアドレスに転送可能
データ転送時にアドレスに応じた最適なデータ (バイトやワード) に分割して転送可能
- CPUに2種類の割り込み要求を発生
転送終了割り込み：転送カウンタで設定したデータ数を転送終了後に発生
転送エスケープ終了割り込み：残る総転送サイズが1回の転送要求で転送する設定サイズを下回ったとき、リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生

DMAC のブロックを図 7.1 に示します。

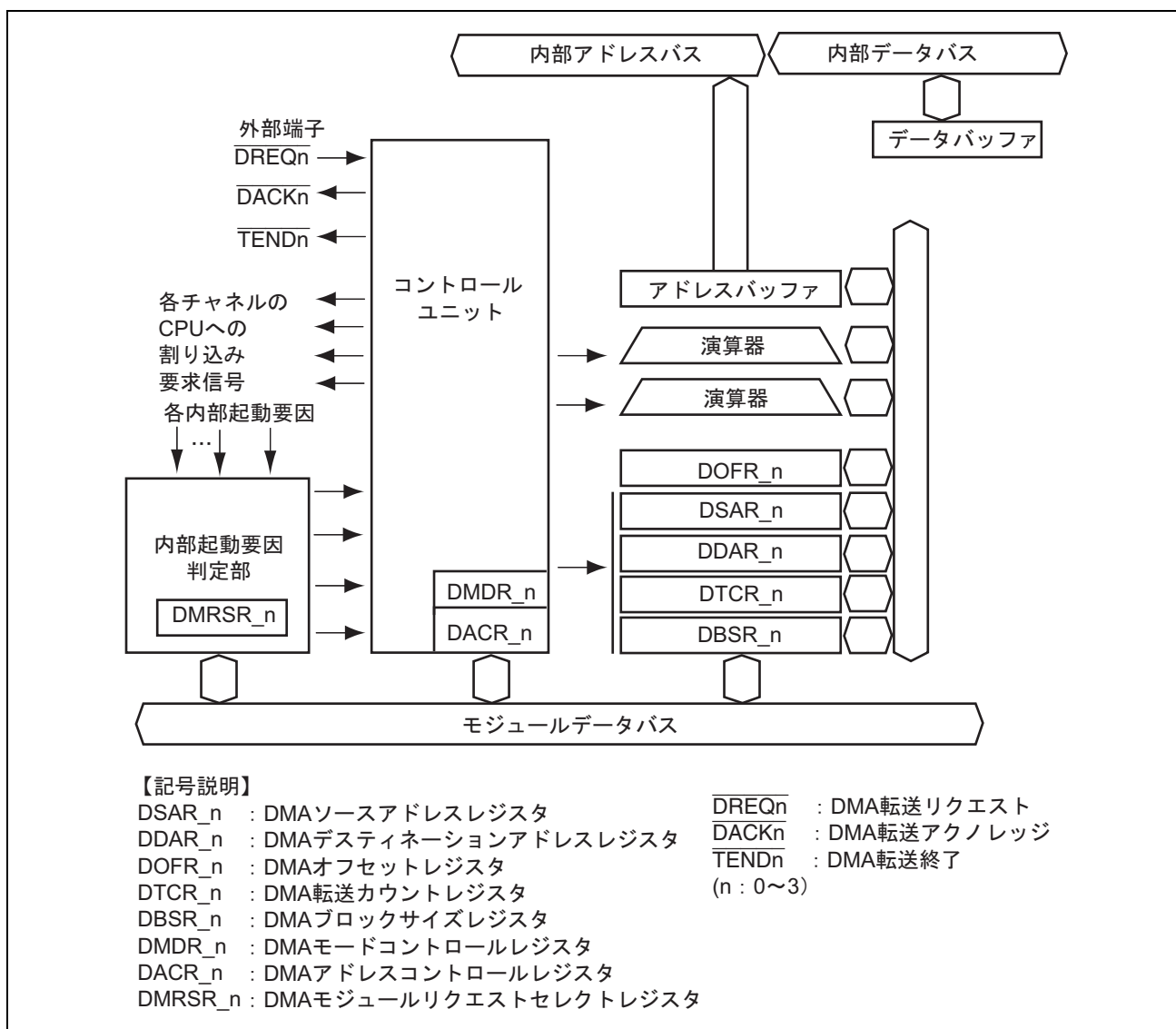


図 7.1 DMAC のブロック図

7.2 入出力端子

DMAC の端子構成を表 7.1 に示します

表 7.1 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送リクエスト 0	$\overline{DREQ0}$	入力	チャンネル 0 の外部リクエスト
	DMA 転送アクノレッジ 0	$\overline{DACK0}$	出力	チャンネル 0 のシングルアドレス転送アクノレッジ
	DMA 転送終了 0	$\overline{TEND0}$	出力	チャンネル 0 の転送終了
1	DMA 転送リクエスト 1	$\overline{DREQ1}$	入力	チャンネル 1 の外部リクエスト
	DMA 転送アクノレッジ 1	$\overline{DACK1}$	出力	チャンネル 1 のシングルアドレス転送アクノレッジ
	DMA 転送終了 1	$\overline{TEND1}$	出力	チャンネル 1 の転送終了
2	DMA 転送リクエスト 2	$\overline{DREQ2}$	入力	チャンネル 2 の外部リクエスト
	DMA 転送アクノレッジ 2	$\overline{DACK2}$	出力	チャンネル 2 のシングルアドレス転送アクノレッジ
	DMA 転送終了 2	$\overline{TEND2}$	出力	チャンネル 2 の転送終了
3	DMA 転送リクエスト 3	$\overline{DREQ3}$	入力	チャンネル 3 の外部リクエスト
	DMA 転送アクノレッジ 3	$\overline{DACK3}$	出力	チャンネル 3 のシングルアドレス転送アクノレッジ
	DMA 転送終了 3	$\overline{TEND3}$	出力	チャンネル 3 の転送終了

7.3 レジスタの説明

DMAC には以下のレジスタがあります。

チャンネル 0

- DMA ソースアドレスレジスタ₀ (DSAR₀)
- DMA デスティネーションアドレスレジスタ₀ (DDAR₀)
- DMA オフセットレジスタ₀ (DOFR₀)
- DMA 転送カウントレジスタ₀ (DTCR₀)
- DMA ブロックサイズレジスタ₀ (DBSR₀)
- DMA モードコントロールレジスタ₀ (DMDR₀)
- DMA アドレスコントロールレジスタ₀ (DACR₀)
- DMA モジュールリクエストセレクトレジスタ₀ (DMRSR₀)

チャンネル 1

- DMA ソースアドレスレジスタ₁ (DSAR₁)
- DMA デスティネーションアドレスレジスタ₁ (DDAR₁)
- DMA オフセットレジスタ₁ (DOFR₁)
- DMA 転送カウントレジスタ₁ (DTCR₁)
- DMA ブロックサイズレジスタ₁ (DBSR₁)

7. DMA コントローラ (DMAC)

- DMAモードコントロールレジスタ_1 (DMDR_1)
- DMAアドレスコントロールレジスタ_1 (DACR_1)
- DMAモジュールリクエストセレクトレジスタ_1 (DMRSR_1)

チャンネル2

- DMAソースアドレスレジスタ_2 (DSAR_2)
- DMAデスティネーションアドレスレジスタ_2 (DDAR_2)
- DMAオフセットレジスタ_2 (DOFR_2)
- DMA転送カウントレジスタ_2 (DTCR_2)
- DMAブロックサイズレジスタ_2 (DBSR_2)
- DMAモードコントロールレジスタ_2 (DMDR_2)
- DMAアドレスコントロールレジスタ_2 (DACR_2)
- DMAモジュールリクエストセレクトレジスタ_2 (DMRSR_2)

チャンネル3

- DMAソースアドレスレジスタ_3 (DSAR_3)
- DMAデスティネーションアドレスレジスタ_3 (DDAR_3)
- DMAオフセットレジスタ_3 (DOFR_3)
- DMA転送カウントレジスタ_3 (DTCR_3)
- DMAブロックサイズレジスタ_3 (DBSR_3)
- DMAモードコントロールレジスタ_3 (DMDR_3)
- DMAアドレスコントロールレジスタ_3 (DACR_3)
- DMAモジュールリクエストセレクトレジスタ_3 (DMRSR_3)

7.3.1 DMA ソースアドレスレジスタ (DSAR)

DSAR は、転送元のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに次の転送元アドレスに更新されます。シングルアドレスモードにおいて、DDAR をデスティネーションアドレスとして転送すると (DACR の DIRS=1)、DSAR の値は無視されます。

DSAR は CPU から常にリード可能ですが、転送処理中のチャンネルの DSAR をリードするときは、ロングワードサイズでリードしてください。DMA 動作中のチャンネルの DSAR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.3.2 DMA デスティネーションアドレスレジスタ (DDAR)

DDAR は、転送先のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに次の転送先アドレスに更新されます。シングルアドレスモードにおいて、DSAR をソースアドレスとして転送すると (DACR の DIRS=0)、DDAR の値は無視されます。

DDAR は CPU から常にリード可能ですが、転送処理中のチャンネルの DDAR をリードするときは、ロングワードサイズでリードしてください。DMA 動作中のチャンネルの DDAR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7. DMA コントローラ (DMAC)

7.3.3 DMA オフセットレジスタ (DOFR)

DOFR は、ソースアドレス、デスティネーションアドレスの更新に、オフセット加算を選択したときのオフセット値を設定する 32 ビットのリード/ライト可能なレジスタです。各チャンネル毎に独立して設定できますが、同一チャンネル内ではソース側、デスティネーション側ともに同じオフセット値を使用します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.3.4 DMA 転送カウントレジスタ (DTCR)

DTCR は、転送するデータのサイズ (総転送サイズ) を設定するための 32 ビットのリード/ライト可能なレジスタです。

DTCR を H'00000001 に設定すると、総転送サイズは 1 バイトになります。H'00000000 に設定すると、「総転送サイズ=指定なし」となり、転送カウンタは停止して転送を行いません (フリーランニングモード)。このとき、転送カウンタによる転送終了割り込みは発生しません。H'FFFFFFF に設定すると、総転送サイズは最大値 4G バイト (4,294,967,295 バイト) になります。DMA 動作中は残りの転送サイズを示します。1 データ転送毎に、転送したデータアクセスサイズに応じた値がデクリメントされます (バイト: -1、ワード: -2、ロングワード: -4)。

DTCR は CPU から常にリード可能ですが、転送処理中のチャンネルの DTCR をリードするときは、ロングワードサイズでリードしてください。DMA 動作中のチャンネルの DTCR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.3.5 DMA ブロックサイズレジスタ (DBSR)

DBSR は、リピートサイズ、ブロックサイズを設定します。DBSR は、リピート転送モード、ブロック転送モードのときに有効となり、ノーマル転送モードのときには無効です。

ビット	31	...	16
ビット名	BKSZH31	...	BKSZH16
初期値 :	0	...	0
R/W :	R/W	...	R/W
ビット	15	...	0
ビット名	BKSZ15	...	BKSZ0
初期値 :	0	...	0
R/W :	R/W	...	R/W

ビット	ビット名	初期値	R/W	説明
31~16	BKSZH31 ~ BKSZH16	不定	R/W	リピートサイズ、ブロックサイズを設定します。 これらのビットを H'0001 に設定すると 1 バイト、1 ワード、または 1 ロングワードになります。H'0000 に設定すると最大値になります (表 7.2 参照)。DMA 動作中は常に固定です。
15~0	BKSZ15 ~BKSZ0	不定	R/W	DMA 動作中は、リピートサイズ、ブロックサイズの残りサイズを示します。1 データ転送毎に-1 されます。残りサイズが 0 になると BKSZH の値がロードされず。ライトするときは、BKSZH と同じ値を設定してください。

表 7.2 データアクセスサイズと有効ビット、設定可能サイズの対応

モード	データアクセスサイズ	BKSZH 有効ビット	BKSZ 有効ビット	設定可能サイズ (バイト)
リピート転送モード	バイト	31~16	15~0	1~65,536
ブロック転送モード	ワード			2~131,072
	ロングワード			4~262,144

7. DMA コントローラ (DMAC)

7.3.6 DMA モードコントロールレジスタ (DMDR)

DMDR は、DMAC の動作を制御します。

• DMDR_0

ビット	31	30	29	28	27	26	25	24
ビット名	DTE	DACKE	TENDE	—	DREQS	NRD	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット	23	22	21	20	19	18	17	16
ビット名	ACT	—	—	—	ERRF	—	ESIF	DTIF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/(W)*	R	R/(W)*	R/(W)*
ビット	15	14	13	12	11	10	9	8
ビット名	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための1リード後の0ライトのみ可能です。

• DMDR_1~DMDR_3

ビット	31	30	29	28	27	26	25	24
ビット名	DTE	DACKE	TENDE	—	DREQS	NRD	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット	23	22	21	20	19	18	17	16
ビット名	ACT	—	—	—	—	—	ESIF	DTIF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/(W)*	R/(W)*
ビット	15	14	13	12	11	10	9	8
ビット名	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための1リード後の0ライトのみ可能です。

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
31	DTE	0	R/W	<p>データトランスファイネーブル</p> <p>対応するチャンネルのデータ転送を許可または禁止します。このビットが1にセットされていると、DMA 動作中であることを示します。</p> <p>オートリクエストのときに、このビットを1にセットすると転送処理に入ります。内蔵モジュール割り込み、外部リクエストでは、このビットに1をセットした後に転送要求が発生すると転送処理に入ります。DMA 動作中にこのビットを0にクリアすると転送を停止します。</p> <p>ブロック転送モードでは、DMA 動作中にこのビットを0にクリアすると、処理中の1ブロックの転送終了後にこのビットが0にクリアされます。</p> <p>転送を終了（中断）させる外的要因が発生した場合は、自動的にこのビットが0にクリアされ転送を終了させます。</p> <p>このビットを1にセットした状態で、動作モード、転送方法などを変更しないでください。</p> <p>0：データ転送を禁止 1：データ転送を許可（DMA 動作中）</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 設定の総転送サイズ数の転送を終了したとき リピートサイズ終了割り込みにより停止したとき 拡張リピートエリアオーバーフロー割り込みにより停止したとき 転送サイズエラー割り込みにより停止したとき 0をライトして転送を終了したとき <p>ただし、ブロック転送モードでは1ブロック転送終了後に反映</p> <ul style="list-style-type: none"> アドレスエラー、NMI 割り込みが発生したとき リセット、ハードウェアスタンバイモード時
30	DACK	0	R/W	<p>$\overline{\text{DACK}}$ 端子出力イネーブル</p> <p>シングルアドレスモードのとき、$\overline{\text{DACK}}$ 端子の出力を許可または禁止します。デュアルアドレスモードのときは、このビットは無視されます。</p> <p>0：$\overline{\text{DACK}}$ 端子の出力を禁止 1：$\overline{\text{DACK}}$ 端子の出力を許可</p>
29	TENDE	0	R/W	<p>$\overline{\text{TEND}}$ 端子出力イネーブル</p> <p>$\overline{\text{TEND}}$ 端子の出力を許可または禁止します。</p> <p>0：$\overline{\text{TEND}}$ 端子の出力を禁止 1：$\overline{\text{TEND}}$ 端子の出力を許可</p>
28	—	0	R/W	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
27	DREQS	0	R/W	<p>$\overline{\text{DREQ}}$ セレクト</p> <p>外部リクエストモードで使用する $\overline{\text{DREQ}}$ 端子のサンプリング方法を、Low レベル検出にするか、立ち下がリエッジ検出にするかを選択します。</p> <p>外部リクエストモードでブロック転送を行う場合は、このビットを 0 に設定してください。</p> <p>0: Low レベル検出 1: 立ち下がリエッジ検出 (転送許可後の最初の転送は、Low レベルで検出します。)</p>
26	NRD	0	R/W	<p>ネクストリクエストディレイ</p> <p>次のリクエストの受付タイミングを選択します。</p> <p>0: 転送中のバスサイクル終了後に、次の転送要求受付を開始 1: 転送中のバスサイクル終了時点から Bφ で 1 サイクル後に、次の転送要求の受付を開始</p>
25	—	0	R	リザーブビット
24	—	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
23	ACT	0	R	<p>アクティブステート</p> <p>当該チャンネルの動作状態を示すビットです。</p> <p>0: 転送要求待ち状態、または DTE=0 による転送禁止状態 1: アクティブ状態</p>
22~20	—	すべて 0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトは無効です。</p>
19	ERRF	0	R/(W)*	<p>システムエラーフラグ</p> <p>アドレスエラー、または NMI 割り込みが発生したことを示すフラグです。このビットは DMDR_0 でのみ有効なビットです。このビットが 1 にセットされていると、全チャンネルの DTE ビットへのライトが禁止されます。DMDR_1~DMDR_3 では、リザーブビットとなっています。リードすると常に 0 が読み出されます。ライトは無効です。</p> <p>0: アドレスエラー、または NMI 割り込みなし 1: アドレスエラー、または NMI 割り込み発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ERRF=1 の状態をリードした後、0 をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> アドレスエラー、または NMI 割り込みが発生したとき <p>ただし、DMAC がモジュールストップ状態にある場合は、アドレスエラー、または NMI 割り込みが発生しても 1 にセットされません。</p>
18	—	0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトは無効です。</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
17	ESIF	0	R/(W)*	<p>転送エスケープインタラプトフラグ</p> <p>転送カウンタが0になる前に転送エスケープ終了割り込み要求が発生し、転送エスケープ終了したことを示すフラグです。</p> <p>0: 転送エスケープ終了割り込み要求なし 1: 転送エスケープ終了割り込み要求発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • DTE ビットに1をライトしたとき • ESIF=1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • 転送サイズエラー割り込み要求が発生したとき • リピートサイズ終了割り込み要求が発生したとき • 拡張リピートエリアオーバフロー終了割り込み要求が発生したとき
16	DTIF	0	R/(W)*	<p>データトランスファインタラプトフラグ</p> <p>転送カウンタによる転送終了割り込み要求が発生したことを示すフラグです。</p> <p>0: 転送カウンタによる転送終了割り込み要求なし 1: 転送カウンタによる転送終了割り込み要求発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • DTE ビットに1をライトしたとき • DTIF=1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • DTCR が0になり転送が終了したとき
15 14	DTSZ1 DTSZ0	0 0	R/W R/W	<p>データアクセスサイズ 1、0</p> <p>転送するデータアクセスサイズを選択します。</p> <p>00: バイトサイズ (8ビット) 01: ワードサイズ (16ビット) 10: ロングワードサイズ (32ビット) 11: 設定禁止</p>
13 12	MDS1 MDS0	0 0	R/W R/W	<p>転送モードセレクト 1、0</p> <p>転送モードを選択します。</p> <p>00: ノーマル転送モード 01: ブロック転送モード 10: リピート転送モード 11: (設定禁止)</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
11	TSEIE	0	R/W	<p>転送サイズエラーインタラプトイネーブル</p> <p>転送サイズエラー割り込み要求を許可または禁止します。</p> <p>このビットが1にセットされているときに、DMACの転送により転送カウンタの値が1要求あたりに転送するデータサイズよりも小さい場合、次の転送要求が発生すると DTE ビットを0にクリアします。同時に ESIF ビットが1にセットされ、転送サイズエラー割り込み要求が発生したことを示します。</p> <p>転送サイズエラー割り込み要求の発生要因は次の条件です。</p> <ul style="list-style-type: none"> ・ ノーマル転送モード、リピート転送モードにおいて、DTCR で設定した総転送サイズがデータアクセスサイズよりも小さいとき ・ ブロック転送モードにおいて、DTCR で設定した総転送サイズがブロックサイズよりも小さいとき <p>0: 転送サイズエラー割り込み要求を禁止 1: 転送サイズエラー割り込み要求を許可</p>
10	—	0	R	<p>リザーブビット</p> <p>リードすると常に0が読み出されます。ライトは無効です。</p>
9	ESIE	0	R/W	<p>転送エスケープインタラプトイネーブル</p> <p>DMA 転送中に発生した転送エスケープ終了割り込み要求を許可または禁止します。このビットを1にセットすると、ESIF ビットが1にセットされたとき、CPU または DTC に転送エスケープ終了割り込み要求が発生します。転送エスケープ終了割り込み要求は、このビットを0にクリアするか、ESIF ビットを0にクリアすると解除されます。</p> <p>0: 転送エスケープ割り込み要求を禁止 1: 転送エスケープ割り込み要求を許可</p>
8	DTIE	0	R/W	<p>データトランスファインタラプトイネーブル</p> <p>転送カウンタによる転送終了割り込み要求を許可または禁止します。このビットを1にセットすると、DTIF ビットが1にセットされたとき、CPU または DTC に転送終了割り込み要求が発生します。転送終了割り込み要求は、このビットを0にクリアするか、DTIF ビットを0にクリアすると解除されます。</p> <p>0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可</p>
7 6	DTF1 DTF0	0 0	R/W R/W	<p>データトランスファファクタ 1、0</p> <p>DMAC を起動する要因を選択します。内蔵モジュール割り込みのときは、DMRSR で割り込み要因を選択します。外部リクエストのときは、DREQS ビットでサンプリング方法を選択できます。</p> <p>00: オートリクエスト (サイクルスチール) 01: オートリクエスト (バースト) 10: 内蔵モジュール割り込み 11: 外部リクエスト</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
5	DTA	0	R/W	<p>データトランスファアクノリッジ</p> <p>内蔵モジュール割り込みによる DMA 転送時に有効となります。</p> <p>DMRSR によって選択されている要因フラグのクリアを許可または禁止します。</p> <p>0 : 内蔵モジュール割り込み要因による DMA 転送時のクリアを禁止 内蔵モジュール割り込み要因は、DMA 転送によりクリアされませんので、CPU または DTC 転送でクリアしてください。</p> <p>1 : 内蔵モジュール割り込み要因による DMA 転送時のクリアを許可 内蔵モジュール割り込み要因は、DMA 転送によりクリアされ、CPU または DTC に割り込みを要求しません。</p>
4	—	0	R	リザーブビット
3	—	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
2	DMAP2	0	R/W	<p>DMA プライオリティレベル 2~0</p> <p>CPU に対する DTC、DMAC の優先レベルを選択します。DMAC の優先レベルより CPU の優先レベルが高いときは、DMAC は転送要因の受け付けをマスクし、CPU の優先レベルが低くなるまで待機します。チャンネル毎に独立に優先レベルを設定可能です。このビットは、CPUPCR の CPUPCE ビットが 1 のとき有効になります。</p> <p>000 : 優先レベル 0 (最低)</p> <p>001 : 優先レベル 1</p> <p>010 : 優先レベル 2</p> <p>011 : 優先レベル 3</p> <p>100 : 優先レベル 4</p> <p>101 : 優先レベル 5</p> <p>110 : 優先レベル 6</p> <p>111 : 優先レベル 7 (最高)</p>
1	DMAP1	0	R/W	
0	DMAP0	0	R/W	

【注】 * フラグをクリアするための 1 リード後の 0 ライトのみ可能です。

7. DMA コントローラ (DMAC)

7.3.7 DMA アドレスコントロールレジスタ (DACR)

DACR は、動作モード、転送方法などを設定します。

ビット	31	30	29	28	27	26	25	24
ビット名	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W
ビット	23	22	21	20	19	18	17	16
ビット名	—	—	SAT1	SAT0	—	—	DAT1	DAT0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8
ビット名	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	AMS	0	R/W	アドレスモードセレクト アドレスモードをデュアルアドレスモードとシングルアドレスモードから選択します。シングルアドレスモードにすると、DMDR の DACKE ビットの設定により \overline{DACK} 端子が有効になります。 0: デュアルアドレスモード 1: シングルアドレスモード
30	DIRS	0	R/W	シングルアドレスディレクションセレクト シングルアドレスモードのときのデータ転送方向を指定します。デュアルアドレスモードのときは、このビットは無視されます。 0: DSAR をソースアドレスとして転送 1: DDAR をデスティネーションアドレスとして転送
29~27	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
26	RPTIE	0	R/W	<p>リピートサイズ終了インタラプトイネーブル</p> <p>リピートサイズ終了割り込み要求を許可または禁止します。</p> <p>リピート転送モードにおいて、このビットが1にセットされているときに、1リピートサイズ分の転送終了後に次の転送要因が発生すると、DMDRのDTEビットを0にクリアします。同時にDMDRのESIFビットが1にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。リピートエリアを指定しない(ARS1、ARS0=B'10)ときでも、1リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求が発生させることができます。</p> <p>また、ブロック転送モードで、このビットが1にセットされているときに、1ブロックサイズ分の転送終了後に次の転送要因が発生すると、DMDRのDTEビットを0にクリアします。同時にDMDRのESIFビットは1にセットされ、リピートサイズ終了割り込み要求が発生されたことを示します。</p> <p>0: リピートサイズ終了割り込み要求を禁止 1: リピートサイズ終了割り込み要求を許可</p>
25	ARS1	0	R/W	<p>エリアセレクト 1、0</p> <p>ブロック転送モード、リピート転送モードのときのブロックエリア/リピートエリアを選択します。</p> <p>00: ブロックエリア/リピートエリアはソースアドレス側 01: ブロックエリア/リピートエリアはデスティネーションアドレス側 10: ブロックエリア/リピートエリアは指定しない 11: 設定禁止</p>
24	ARS0	0	R/W	
23	—	0	R	リザーブビット
22	—	0	R	リードすると常に0が読み出されます。ライトは無効です。
21	SAT1	0	R/W	<p>ソースアドレス更新モード 1、0</p> <p>ソースアドレス (DSAR) の増減を選択します。シングルアドレスモードにおいて、転送元をDSARに指定していない場合は、このビットは無視されます。</p> <p>00: ソースアドレスは固定 01: ソースアドレスはオフセットアドレスを加算 10: ソースアドレスは増加 (データアクセスサイズにより、+1/+2/+4) 11: ソースアドレスは減少 (データアクセスサイズにより、-1/-2/-4)</p>
20	SAT0	0	R/W	
19	—	0	R	リザーブビット
18	—	0	R	リードすると常に0が読み出されます。ライトは無効です。

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
17	DAT1	0	R/W	デスティネーションアドレス更新モード 1、0
16	DAT0	0	R/W	<p>デスティネーションアドレス (DDAR) の増減を指定します。シングルアドレスモードにおいて、転送元を DDAR に指定していない場合は、このビットは無視されます。</p> <p>00 : デスティネーションアドレスは固定 01 : デスティネーションアドレスはオフセットを加算 10 : デスティネーションアドレスは増加 (データアクセスサイズにより、+1/+2/+4) 11 : デスティネーションアドレスは減少 (データアクセスサイズにより、-1/-2/-4)</p>
15	SARIE	0	R/W	<p>ソースアドレス拡張リピートエリアオーバーフローインタラプトイネーブル</p> <p>ソースアドレス拡張リピートエリアオーバーフロー割り込み要求を許可または禁止します。</p> <p>このビットが 1 にセットされているときに、ソースアドレスの拡張リピートエリアのオーバーフローが発生すると、DMDR の DTE ビットを 0 にクリアします。同時に DMDR の ESIF ビットが 1 にセットされ、ソースアドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。</p> <p>ブロック転送モードと併用する場合、割り込み要求は 1 ブロックサイズの転送終了後に発生します。割り込みにより転送終了したチャンネルの DMDR の DTE ビットを 1 にセットすると、転送終了した状態から再び転送を開始します。</p> <p>ソースアドレスに対して拡張リピートエリアを設定していないときは、このビットは無視されます。</p> <p>0 : ソースアドレス拡張リピートエリアオーバーフロー割り込み要求を禁止 1 : ソースアドレス拡張リピートエリアオーバーフロー割り込み要求を許可</p>
14	—	0	R	リザーブビット
13	—	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
12	SARA4	0	R/W	<p>ソースアドレス拡張リピートエリア</p> <p>ソースアドレス (DSAR) に拡張リピートエリアを設定するビットです。拡張リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようによりして実現されます。拡張リピートエリアのサイズは、4 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。</p> <p>アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスになります。</p> <p>SARIE ビットが 1 にセットされているとき、拡張リピートエリアのオーバーフローが発生したときに割り込み要求が発生することができます。</p> <p>表 7.3 に拡張リピートエリアの設定と範囲を示します。</p>
11	SARA3	0	R/W	
10	SARA2	0	R/W	
9	SARA1	0	R/W	
8	SARA0	0	R/W	

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
7	DARIE	0	R/W	<p>デスティネーションアドレス拡張リピートエリアオーバーフローインタラプトイネーブル</p> <p>デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求を許可または禁止します。</p> <p>このビットが1にセットされているときに、デスティネーションアドレスの拡張リピートエリアのオーバーフローが発生すると、DMDRのDTEビットを0にクリアします。同時にDMDRのESIFビットが1にセットされ、デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。</p> <p>ブロック転送モードと併用する場合、割り込み要求は1ブロックサイズの転送終了後に発生します。割り込みにより転送終了したチャンネルのDMDRのDTEビットを1にセットすると、転送終了した状態から再び転送を開始します。</p> <p>デスティネーションアドレスに拡張リピートエリアを設定していないときは、このビットは無視されます。</p> <p>0: デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求を禁止 1: デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求を許可</p>
6	—	0	R	リザーブビット
5	—	0	R	リードすると常に0が読み出されます。ライトは無効です。
4	DARA4	0	R/W	<p>デスティネーションアドレス拡張リピートエリア</p> <p>デスティネーションアドレス (DDAR) に拡張リピートエリアを設定するビットです。</p> <p>拡張リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようにして実現されます。拡張リピートエリアのサイズは、4バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。</p> <p>アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスになります。</p> <p>DARIEビットが1にセットされているとき、拡張リピートエリアのオーバーフローが発生したときに割り込み要求が発生することができます。</p> <p>表 7.3 に拡張リピートエリアの設定と範囲を示します。</p>
3	DARA3	0	R/W	
2	DARA2	0	R/W	
1	DARA1	0	R/W	
0	DARA0	0	R/W	

7. DMA コントローラ (DMAC)

表 7.3 拡張リピートエリアの設定と範囲

SARA4~SARA0/ DARA4~DARA0 の値	拡張リピートエリアの範囲
00000	拡張リピートエリアを設定しない
00001	当該アドレスの下位 1 ビット (2 バイト) を拡張リピートエリアに設定する
00010	当該アドレスの下位 2 ビット (4 バイト) を拡張リピートエリアに設定する
00011	当該アドレスの下位 3 ビット (8 バイト) を拡張リピートエリアに設定する
00100	当該アドレスの下位 4 ビット (16 バイト) を拡張リピートエリアに設定する
00101	当該アドレスの下位 5 ビット (32 バイト) を拡張リピートエリアに設定する
00110	当該アドレスの下位 6 ビット (64 バイト) を拡張リピートエリアに設定する
00111	当該アドレスの下位 7 ビット (128 バイト) を拡張リピートエリアに設定する
01000	当該アドレスの下位 8 ビット (256 バイト) を拡張リピートエリアに設定する
01001	当該アドレスの下位 9 ビット (512 バイト) を拡張リピートエリアに設定する
01010	当該アドレスの下位 10 ビット (1k バイト) を拡張リピートエリアに設定する
01011	当該アドレスの下位 11 ビット (2k バイト) を拡張リピートエリアに設定する
01100	当該アドレスの下位 12 ビット (4k バイト) を拡張リピートエリアに設定する
01101	当該アドレスの下位 13 ビット (8k バイト) を拡張リピートエリアに設定する
01110	当該アドレスの下位 14 ビット (16k バイト) を拡張リピートエリアに設定する
01111	当該アドレスの下位 15 ビット (32k バイト) を拡張リピートエリアに設定する
10000	当該アドレスの下位 16 ビット (64k バイト) を拡張リピートエリアに設定する
10001	当該アドレスの下位 17 ビット (128k バイト) を拡張リピートエリアに設定する
10010	当該アドレスの下位 18 ビット (256k バイト) を拡張リピートエリアに設定する
10011	当該アドレスの下位 19 ビット (512k バイト) を拡張リピートエリアに設定する
10100	当該アドレスの下位 20 ビット (1M バイト) を拡張リピートエリアに設定する
10101	当該アドレスの下位 21 ビット (2M バイト) を拡張リピートエリアに設定する
10110	当該アドレスの下位 22 ビット (4M バイト) を拡張リピートエリアに設定する
10111	当該アドレスの下位 23 ビット (8M バイト) を拡張リピートエリアに設定する
11000	当該アドレスの下位 24 ビット (16M バイト) を拡張リピートエリアに設定する
11001	当該アドレスの下位 25 ビット (32M バイト) を拡張リピートエリアに設定する
11010	当該アドレスの下位 26 ビット (64M バイト) を拡張リピートエリアに設定する
11011	当該アドレスの下位 27 ビット (128M バイト) を拡張リピートエリアに設定する
111XX	設定禁止

【記号説明】 X : Don't care

7.3.8 DMA モジュールリクエストセレクトレジスタ (DMRSR)

DMRSR は、内蔵モジュール割り込み要因を指定する 8 ビットのリード/ライト可能な 8 ビットのレジスタです。

割り込み要因のベクタ番号を 8 ビットで指定します。ただし、0 は割り込み要因なしと見なします。内蔵モジュール割り込み要因のベクタ番号は、表 7.5 を参照してください。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.4 転送モード

DMAC の転送モードを表 7.4 に示します。転送モードは、各チャンネル毎に設定可能です。

表 7.4 転送モード

アドレスモード	転送モード	起動要因	共通機能	アドレスレジスタ	
				ソース	デスティネーション
デュアルアドレスモード	<ul style="list-style-type: none"> ノーマル転送モード リピート転送モード ブロック転送モード (リピートサイズ/ ブロックサイズ =1~65,536 バイト/ ワード/ロングワード) 	<ul style="list-style-type: none"> オートリクエスト (CPU より起動) 内蔵モジュール割り込み 外部リクエスト 	<ul style="list-style-type: none"> 総転送サイズ: 1~4G バイト、 または指定なし オフセット加算 拡張リピートエリア機能 	DSAR	DDAR
シングルアドレスモード	<ul style="list-style-type: none"> ソース、またはデスティネーションアドレスレジスタの代わりに、\overline{DACK} 端子を用いて直接外部デバイスとのデータ転送が可能 アドレスレジスタの設定以外は、上記の各転送モードを指定可能 1 バスサイクルで 1 回の転送が可能 (転送モードのバリエーションは、上記デュアルアドレスモードと同じです。) 			DSAR/ \overline{DACK}	\overline{DACK} / DDAR

起動要因がオートリクエストのときは、サイクルスチールモード/バーストモードから選択できます。

総転送サイズを指定しない場合 (DTCR=H'00000000)、転送カウンタは停止して転送回数に制限がなくなり、永続して転送が可能になります。

7.5 動作説明

7.5.1 アドレスモード

(1) デュアルアドレスモード

デュアルアドレスモードは、転送元アドレスを DSAR、転送先アドレスを DDAR で指定して、1 回の転送を 2 バスサイクルで実行するモードです（データバス幅がデータアクセスサイズよりも小さいときや、アクセスするアドレスがデータアクセスサイズのデータ境界を外れているときは、バスサイクルが分割されるため 2 バスサイクルを超えます）。

転送動作は、最初のバスサイクルで転送元アドレスにあるデータをリードして、そのデータを次のバスサイクルで転送先アドレスへライトします。

リードサイクルとライトサイクルの間は不可分割となっています。そのため、2 つのバスサイクルの間に他のバスサイクル（他のバスマスタのサイクル、リフレッシュサイクル、外部バス解放サイクル）は発生しません。

DMDR の TEND E ビットにより、 \overline{TEND} 出力の許可/禁止の設定ができます。 \overline{TEND} は連続する 2 バスサイクルの期間出力されます。バスサイクルの直前にアイドルサイクルが挿入される場合は、アイドルサイクル期間に対しても \overline{TEND} は出力されます。 \overline{DACK} は出力されません。

図 7.2 にデュアルアドレスモードのタイミング例を、図 7.3 にデュアルアドレスモードの動作を示します。

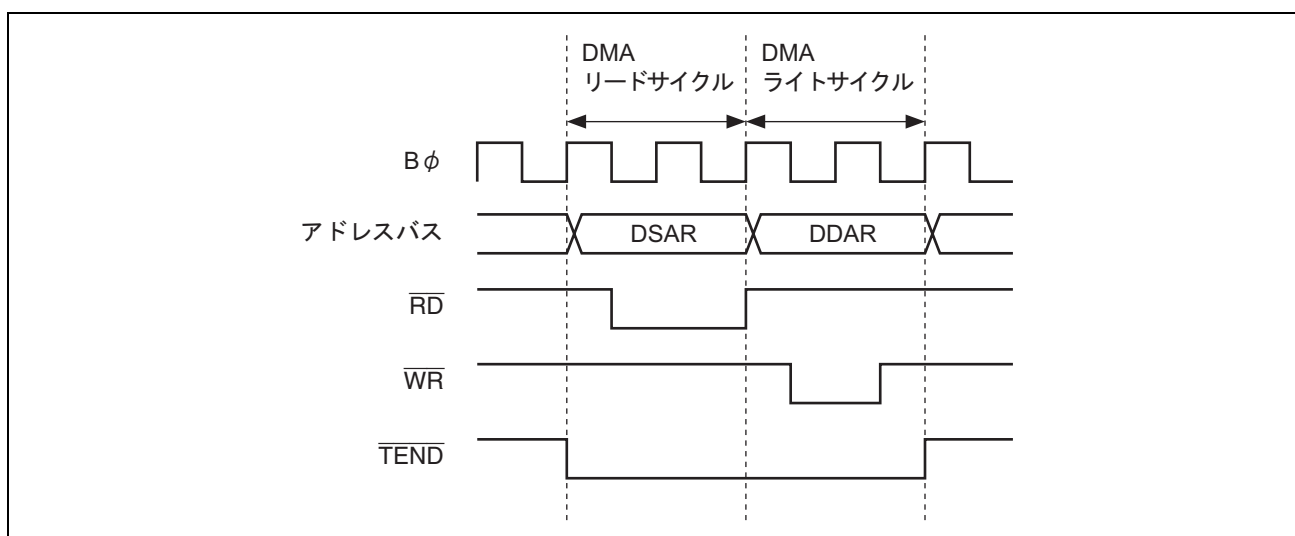


図 7.2 デュアルアドレスモードのタイミング例

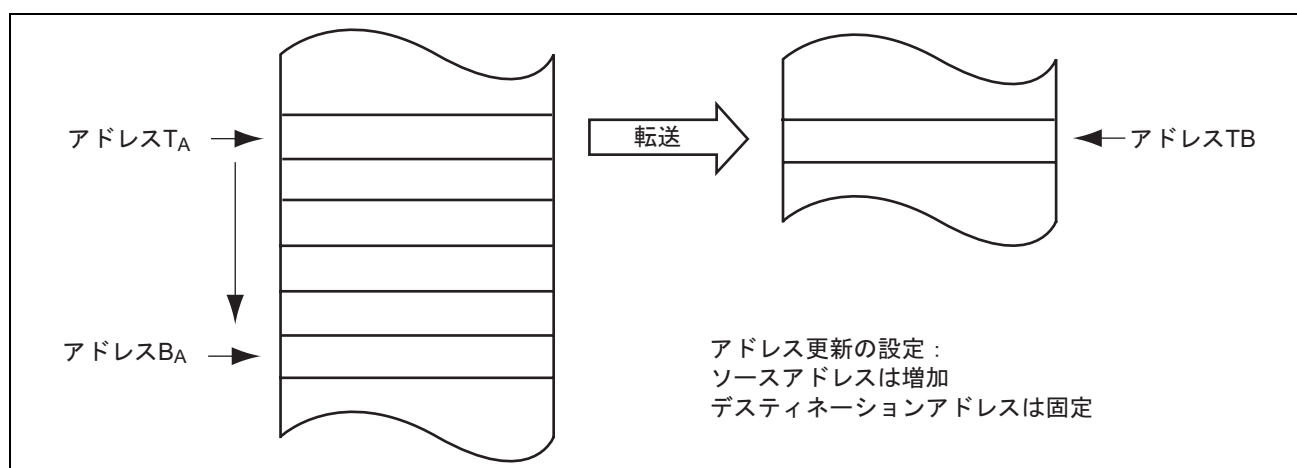


図 7.3 デュアルアドレスモードの動作

(2) シングルアドレスモード

シングルアドレスモードは、DSAR または DDAR の代わりに $\overline{\text{DACK}}$ 端子を用いて、外部デバイスと外部メモリ間で直接データを転送するモードです。1 回の転送を 1 バスサイクルで実行します。

シングルアドレスモードを使用する場合は、データバス幅とデータアクセスサイズを一致させてください。データバス幅に関しては、「6. バスコントローラ (BSC)」を参照してください。

DMAC は $\overline{\text{DACK}}$ 付き外部デバイスへのストロブ信号 ($\overline{\text{DACK}}$) を、転送元または転送先のいずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出力してアクセスします。これにより、1 つのバスサイクルで DMA 転送を行うことができます。図 7.4 に示す外部メモリと $\overline{\text{DACK}}$ 付き外部デバイスとの転送例では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルで、そのデータが外部メモリに書き込まれます。

転送方向は DACR の DIRS ビットにより、 $\overline{\text{DACK}}$ 付き外部デバイスを転送元にするか転送先にするかを設定できます。DIRS=0 では外部メモリ (DSAR) → $\overline{\text{DACK}}$ 付き外部デバイスへの転送、DIRS=1 では $\overline{\text{DACK}}$ 付き外部デバイス → 外部メモリ (DDAR) への転送になります。転送の対象として使用しないソースまたはデスティネーションアドレスのレジスタの設定は無視されます。

$\overline{\text{DACK}}$ 出力は、シングルアドレスモードのときに DMDR の DACKE ビットの設定により有効になります。 $\overline{\text{DACK}}$ 出力は、ローアクティブです。

DMDR の TENDE ビットにより、 $\overline{\text{TEND}}$ 出力の許可/禁止の設定ができます。 $\overline{\text{TEND}}$ は 1 バスサイクルの期間出力されます。バスサイクルの直前にアイドルサイクルが挿入される場合は、アイドルサイクル期間に対しても $\overline{\text{TEND}}$ は出力されます。

図 7.5 にシングルアドレスモードのタイミング例を、図 7.6 にシングルアドレスモードの動作を示します。

7. DMA コントローラ (DMAC)

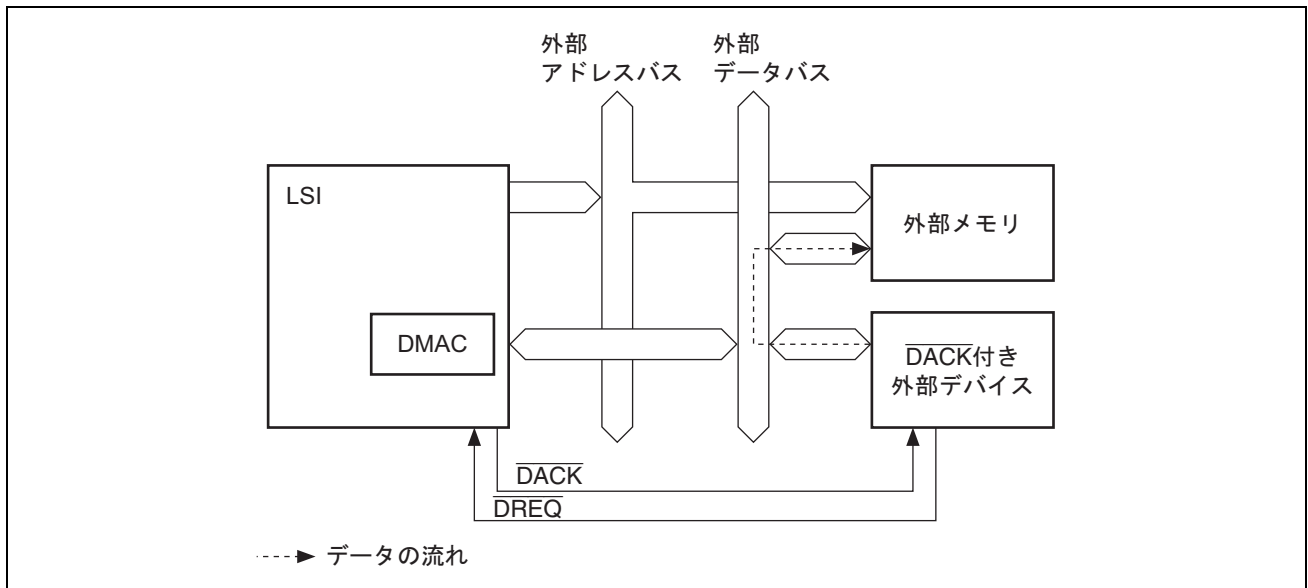


図 7.4 シングルアドレスモードでのデータの流れ

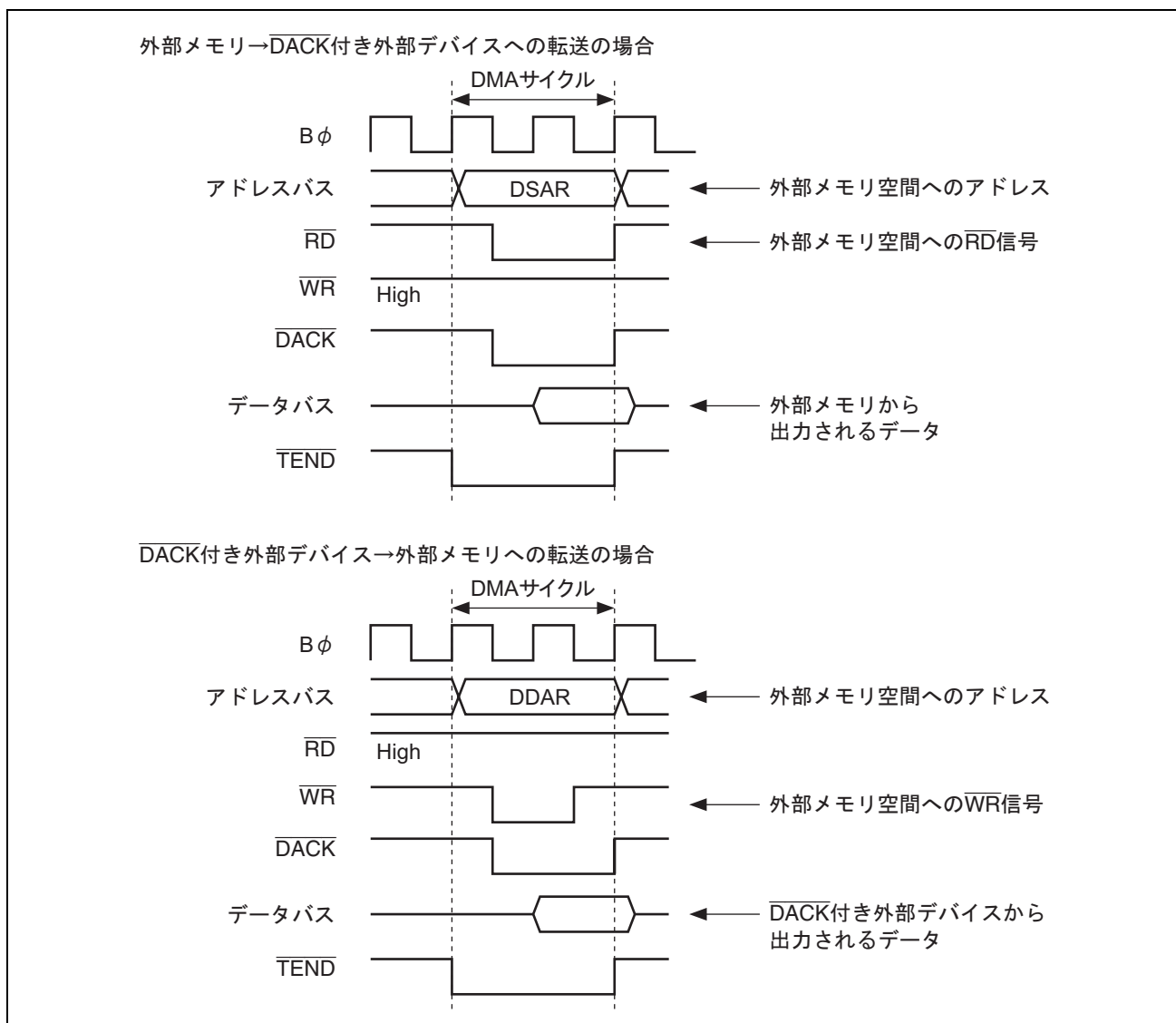


図 7.5 シングルアドレスモードのタイミング例

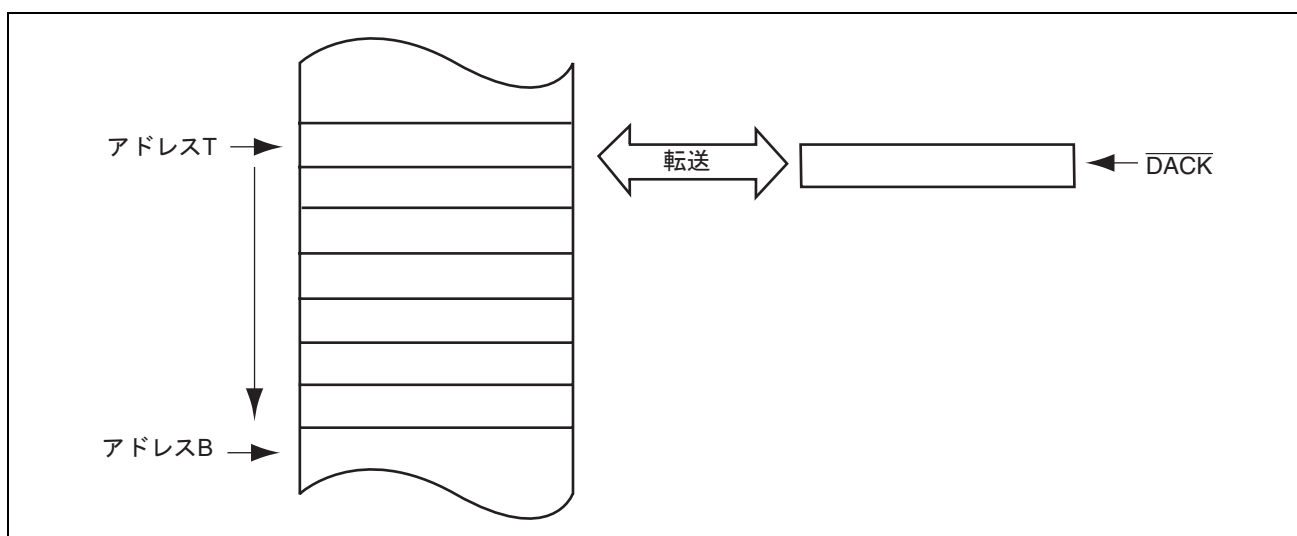


図 7.6 シングルアドレスモードの動作

7.5.2 転送モード

(1) ノーマル転送モード

ノーマル転送モードは、1回の転送要求について1データアクセスサイズ単位の転送を行います。DTCRで最大4Gバイトの総転送サイズを設定できます。DBSRはノーマル転送モードのときには無効です。

TEND出力は、最後のDMA転送でのみ出力されます。

図7.7にノーマル転送モードのタイミング例を、図7.8にデュアルアドレスモード時のノーマル転送モードの動作を示します。

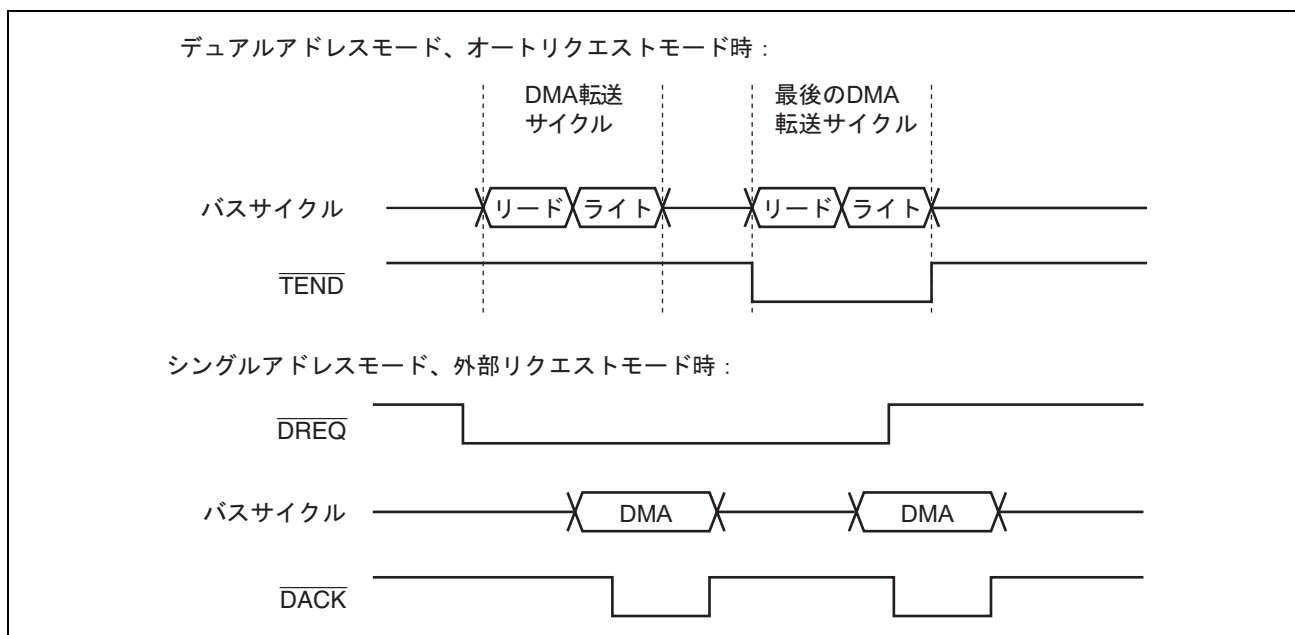


図 7.7 ノーマル転送モードのタイミング例

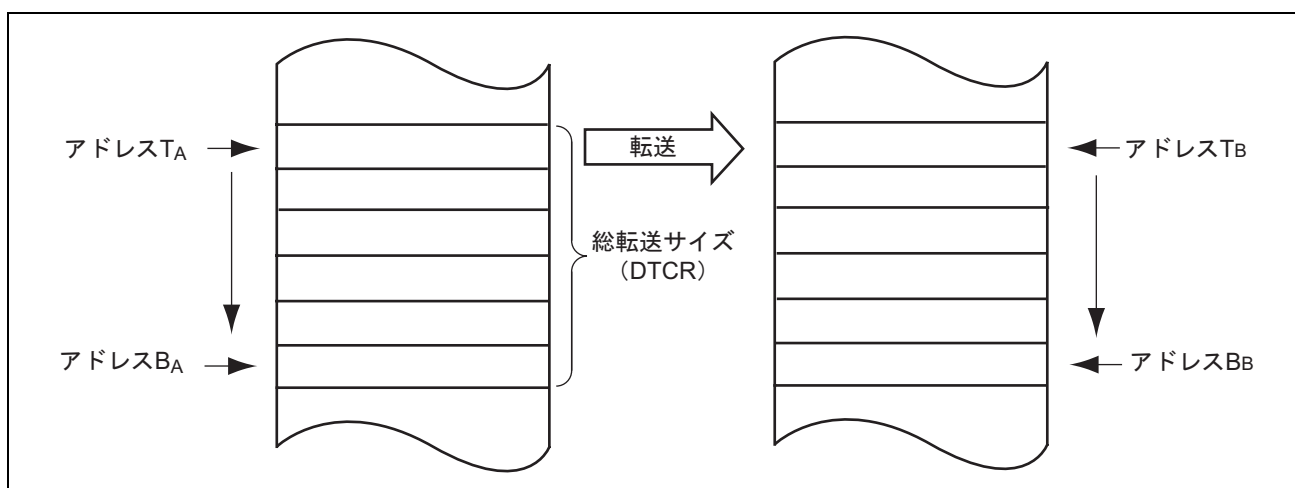


図 7.8 ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは、1回の転送要求について1データアクセスサイズ単位の転送を行います。DTCRで最大4Gバイトの総転送サイズを設定できます。DBSRで最大64k×データアクセスサイズのリピートサイズを設定できます。

DACRのARS1、ARS0ビットによって、リピートエリアをソースアドレス側またはデスティネーションアドレス側に指定することができます。リピートエリアに指定されたアドレス側は、リピートサイズ分の転送を終了すると、転送開始アドレスに戻ります。この動作は、DTCRに設定した総転送サイズ分の転送が終了するまで行われます。ただし、DTCRにH'00000000を設定した場合はフリーランニングモードと見なし、DMDRのDTEビットが0にクリアされるまでリピート転送を続けます。

また、リピートサイズ分の転送を終了すると、DMA転送を一時停止させ、CPUまたはDTCに対してリピートサイズ終了割り込み要求を発生させることができます。DACRのRPTIEビットが1にセットされているときに、リピートサイズ分の転送終了後に次の転送要求が発生すると、DMDRのESIFビットを1にセットし、DMDRのDTEビットを0にクリアして転送を終了します。このとき、DMDRのESIEビットが1にセットされている場合、CPUまたはDTCに対して割り込み要求を発生させます。

TEND出力のDMA転送タイミングは、ノーマル転送モードと同じです。

図7.9にデュアルアドレスモード時のリピート転送モードの動作を示します。

リピートエリアをソースアドレス側またはデスティネーションアドレス側に指定しないときの動作は、図7.8のノーマル転送モードの動作と同じです。この場合も、リピートサイズ分の転送を終了すると、リピートサイズ終了割り込みを発生させることができます。

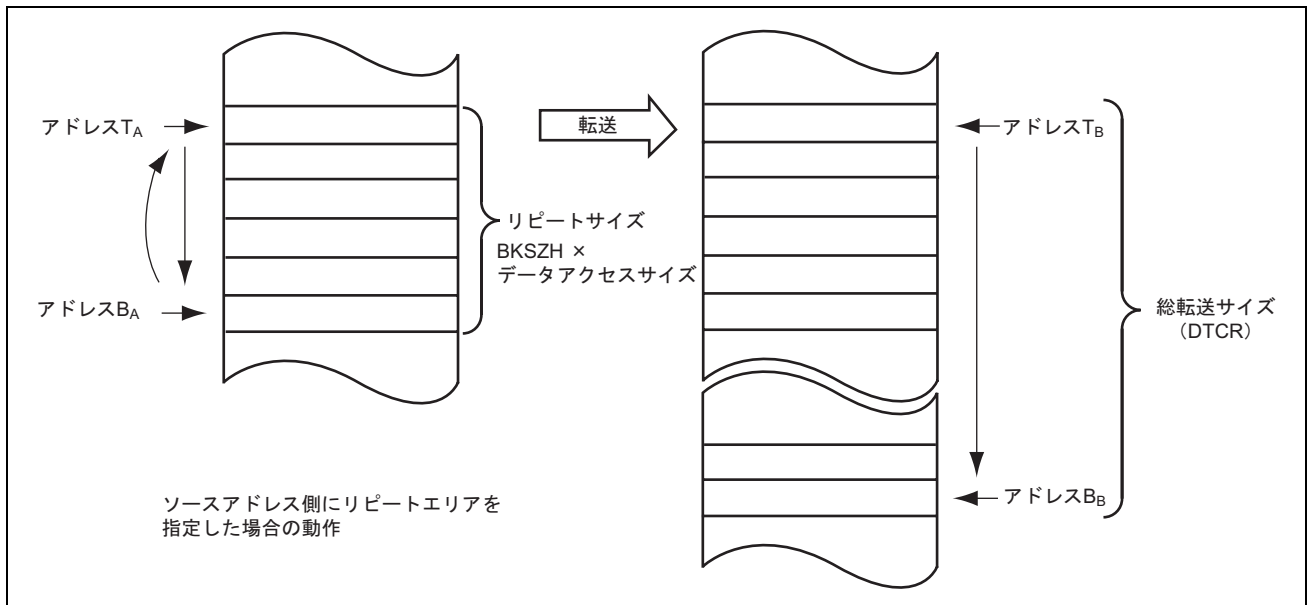


図 7.9 リピート転送モードの動作

7. DMA コントローラ (DMAC)

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックサイズ単位の転送を行います。DTCRで最大4Gバイトの総転送サイズを設定できます。DBSRで最大64k×データアクセスサイズのブロックサイズを設定できます。

1ブロック分の転送中は、他のチャンネルの転送要求は待たされます。1ブロック分の転送が終了すると、バス権を他のバスマスタに解放します。

DACRのARS1、ARS0ビットによって、ブロックエリアをソースアドレス側もしくはデスティネーションアドレス側に指定することができます。ブロックエリアに指定されたアドレス側は、1ブロック分の転送終了毎に、転送開始アドレスに戻ります。ソースアドレス側にもデスティネーションアドレス側にもリピートエリアを指定しない場合は、アドレスは転送開始アドレスに戻らずシーケンシャルに進みます。リピートサイズ終了割り込みを発生させることができます。

\overline{TEND} は、1ブロック分の転送毎に各ブロックの終わりのDMA転送サイクルで出力されます。起動要因として外部リクエストを使用する場合は、 \overline{DREQ} 端子のサンプリング方法をLowレベル検出(DREQS=0)に設定してください。

ブロック転送モードで拡張リピートエリアオーバフロー割り込みを設定する場合には注意が必要です。詳細は「7.5.5 拡張リピートエリア機能」を参照してください。

図7.10にブロック転送モードのDMA転送タイミング例を示します。転送条件は次の通りです。

- アドレスモード：シングルアドレスモード
- データアクセスサイズ：バイト
- 1ブロックサイズ：3バイト

図7.11にシングルアドレスモードのブロック転送モードの動作を、図7.12にデュアルアドレスモードのブロック転送モードの動作を示します。

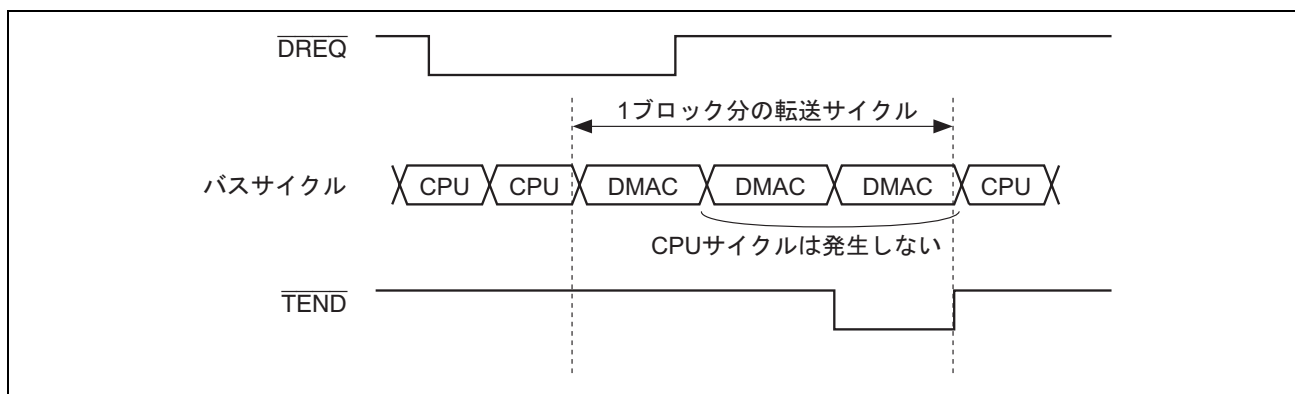


図 7.10 ブロック転送モードの例

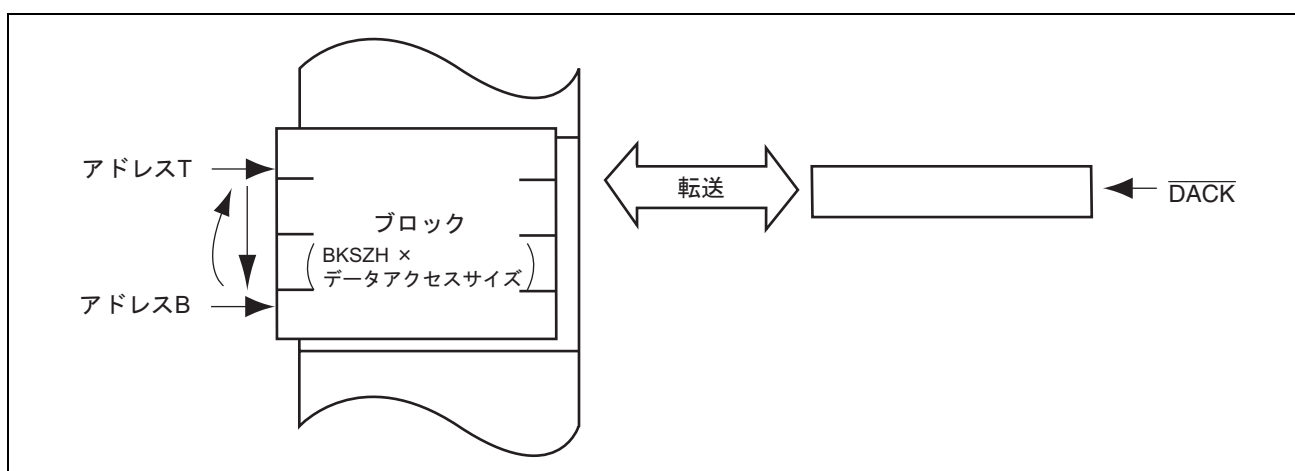


図 7.11 シングルアドレスモードのブロック転送モード（ブロックエリアの指定あり）の動作

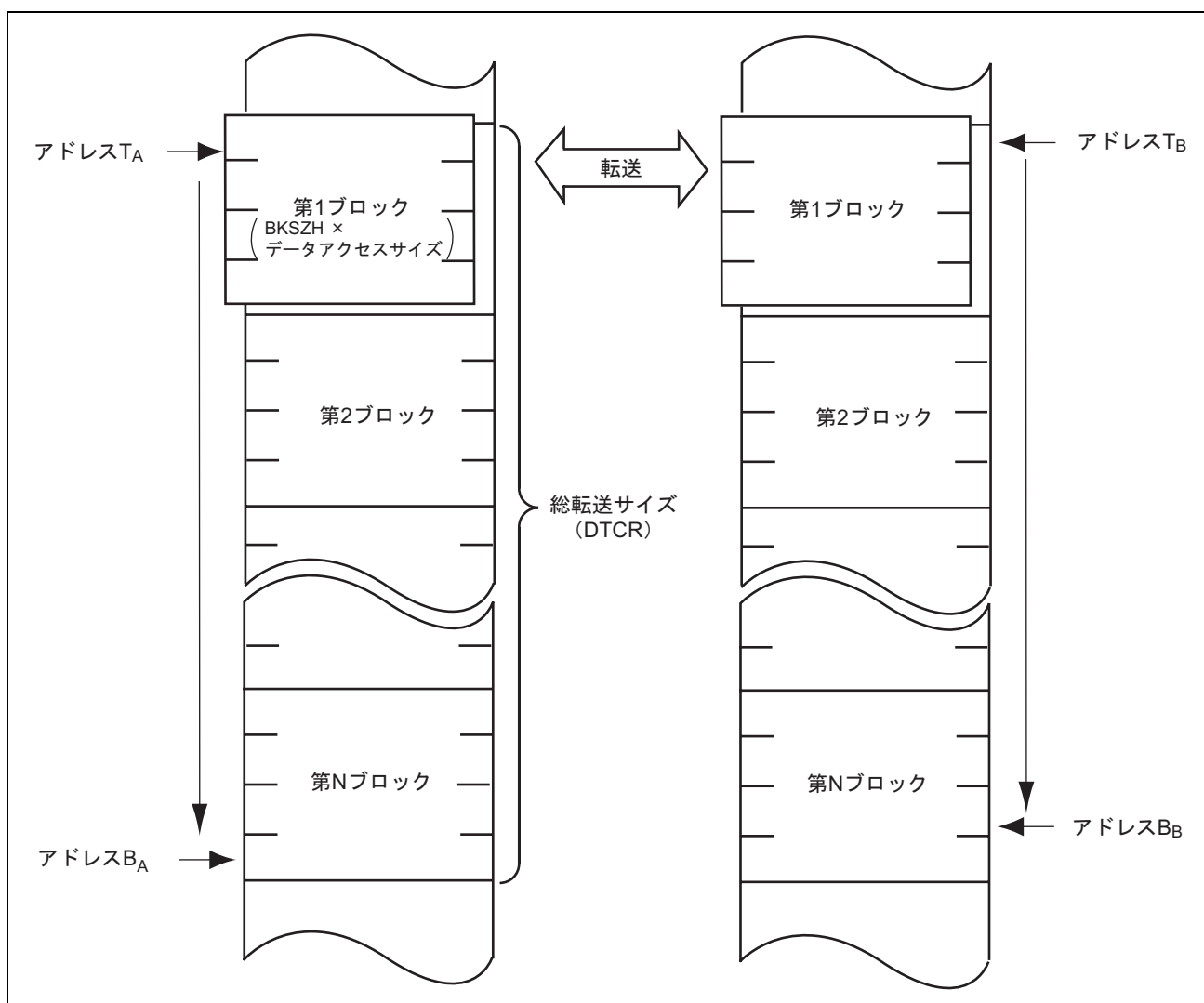


図 7.12 デュアルアドレスモードのブロック転送モード（ブロックエリアの指定なし）の動作

7.5.3 起動要因

DMAC の起動要因には、オートリクエスト、内蔵モジュール割り込み、および外部リクエストがあります。これらの起動要因は DMDR の DTF1、DTF0 ビットで選択します。

(1) オートリクエストによる起動

オートリクエストは、メモリとメモリ間の転送や、転送要求信号を発生できない周辺モジュールとメモリ間の転送のように、外部や周辺モジュールから転送要求信号の発生がない場合に、DMAC 内部で自動的に転送要求信号を発生させます。オートリクエストによる起動では、DMDR の DTE ビットを 1 にセットすると転送が開始されます。オートリクエストでは、バスモードをサイクルスチールモードとバーストモードから選択することができます。

(2) 内蔵モジュール割り込みによる起動

内蔵モジュール割り込みは、各周辺モジュールからの割り込み要求（内蔵モジュール割り込み）を転送要求信号として使用します。DMA 転送が許可されているとき (DTE=1)、内蔵モジュール割り込み要求により DMA 転送を開始します。

起動要因の内蔵モジュール割り込みは、DMA モジュールリクエストセレクトレジスタ (DMRSR) で選択します。チャンネル毎に独立して設定することができます。表 7.5 に DMAC 内蔵モジュール割り込み一覧を示します。

起動要因として選択された割り込み要求は、CPU、DTC に対しても同時に割り込み要求を発生させることができます。詳細は「5. 割り込みコントローラ」を参照してください。

DMAC は、内蔵モジュール割り込み要求による起動要因を、割り込みコントローラとは独立して受け付けます。このため、割り込みコントローラによる優先順位設定の影響を受けません。

DTA=1 で DMAC を起動する場合、割り込み要求フラグは DMA 転送により自動的にクリアされます。複数のチャンネルで同一の割り込み要求を起動要因とした場合、最も優先順位の高いチャンネルが起動された時点で割り込み要求フラグがクリアされます。この場合、その他のチャンネルの転送要求は DMAC 内部で保持されず、起動されない場合があります。

DTA=0 で DMAC を起動する場合、割り込み要求フラグは DMAC によりクリアされません。CPU または DTC 転送でクリアしてください。

DTE=0 の状態では、選択された起動要因は DMAC に転送を要求しません。この場合、当該割り込みは CPU または DTC に割り込みを要求します。

また、DTE ビットへの 1 ライトは、内蔵モジュール割り込みの発生元となる割り込み要求フラグビットが 0 にクリアされていることを確認した後に行ってください。

表 7.5 DMAC 内蔵モジュール割り込み一覧

内蔵モジュール割り込み要因 (割り込み要因)	発生元	DMRSR 値 (ベクタ番号)
ADI (A/D 変換器の変換終了割り込み)	A/D	86
TGI0A (TGR0A インพุットキャプチャ/コンペアマッチ)	TPU_0	88
TGI1A (TGR1A インพุットキャプチャ/コンペアマッチ)	TPU_1	93
TGI2A (TGR2A インพุットキャプチャ/コンペアマッチ)	TPU_2	97
TGI3A (TGR3A インพุットキャプチャ/コンペアマッチ)	TPU_3	101
TGI4A (TGR4A インพุットキャプチャ/コンペアマッチ)	TPU_4	106
TGI5A (TGR5A インพุットキャプチャ/コンペアマッチ)	TPU_5	110
RX10 (SCI チャンネル 0 の受信データフル割り込み)	SCI_0	145
TX10 (SCI チャンネル 0 の送信データエンブティ割り込み)	SCI_0	146
RX11 (SCI チャンネル 1 の受信データフル割り込み)	SCI_1	149
TX11 (SCI チャンネル 1 の送信データエンブティ割り込み)	SCI_1	150
RX12 (SCI チャンネル 2 の受信データフル割り込み)	SCI_2	153
TX12 (SCI チャンネル 2 の送信データエンブティ割り込み)	SCI_2	154
RX13 (SCI チャンネル 3 の受信データフル割り込み)	SCI_3	157
TX13 (SCI チャンネル 3 の送信データエンブティ割り込み)	SCI_3	158
RX14 (SCI チャンネル 4 の受信データフル割り込み)	SCI_4	161
TX14 (SCI チャンネル 4 の送信データエンブティ割り込み)	SCI_4	162

(3) 外部リクエストによる起動

外部リクエストによる起動は、外部デバイスからの転送要求信号 ($\overline{\text{DREQ}}$) によって転送を開始します。DMA 転送が許可されているとき (DTE=1)、 $\overline{\text{DREQ}}$ が入力されると DMA 転送を開始します。内部空間から内部空間への DMA 転送を行う場合は、起動要因を外部リクエスト以外 (オートリクエスト、内蔵モジュール割り込み) に設定してください。

転送要求信号は $\overline{\text{DREQ}}$ 端子で受け付けます。 $\overline{\text{DREQ}}$ を立ち下がりエッジで検出するか、Low レベルで検出するかは、DMDR の DREQS ビットで選択します。ブロック転送を行う場合は、Low レベル検出 (DREQS=0) を選択してください。

起動要因として外部リクエストを指定する場合は、あらかじめ該当する端子の DDR ビットを 0、ICR ビットを 1 に設定しておいてください。詳細は「9. I/O ポート」を参照してください。

7.5.4 バスモード

バスモードには、サイクルスチールモードとバーストモードがあります。

起動要因がオートリクエストの場合は、サイクルスチールモードとバーストモードを DMDR の DTF0 ビットで選択することができます。起動要因が内蔵モジュール割り込み、または外部リクエストの場合は、サイクルスチールモードになります。

7. DMA コントローラ (DMAC)

(1) サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位 (バイト、ワード、ロングワード、または 1 ブロックサイズ) の転送を終了するたびにバス権を解放します。その後、転送要求があればバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を解放します。この動作を転送終了条件が満たされるまで繰り返します。

DMA 転送中に他のチャンネルに転送要求がある場合は、一旦他のバスマスタに対してバス権を解放した後に、転送要求のあったチャンネルの転送を行います。複数のチャンネルに転送要求がある場合の動作の詳細については、「7.5.8 チャンネルの優先順位」を参照してください。

図 7.13 にサイクルスチールモードのタイミング例を示します。転送条件は以下の通りです。

- アドレスモード：シングルアドレスモード
- $\overline{\text{DREQ}}$ 端子のサンプリング方法：Lowレベル検出

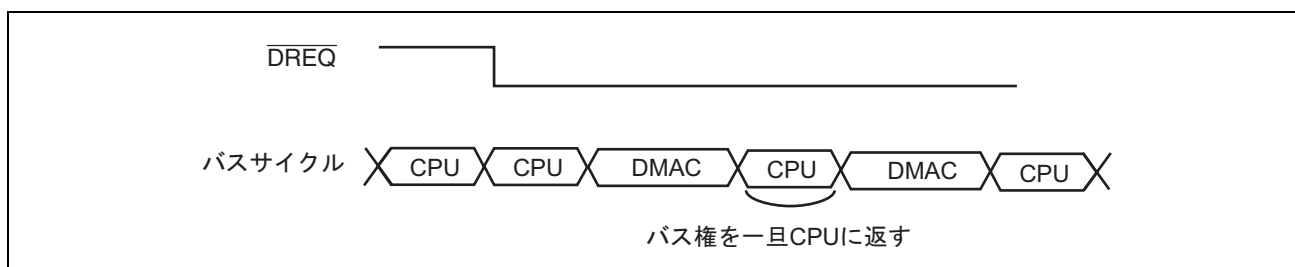


図 7.13 サイクルスチールモードのタイミング例

(2) バーストモード

バーストモードでは、DMAC は一度バス権を取ると転送終了条件が満たされるまでバス権を解放せずに転送を続けます。バーストモードでは、転送を開始すると優先順位の高い他のチャンネルに転送要求がある場合でも転送を中断することはありません。バーストモードのチャンネルが転送を終了すると、次のサイクルでサイクルスチールモードと同様にバス権を解放します。ただし、バスコントローラの BCR2 の IBCCS ビットを 1 にセットすることにより、他のバスマスタを優先して DMAC のバス権を一旦解放することができます。

ブロック転送モードでは、バーストモードの設定は無効です (1 ブロック転送中はバーストモードと同様の動作)。常にサイクルスチールモードとして動作します。

DMDR の DTE ビットを 0 にクリアすると、DMA 転送は停止します。ただし、DTE ビットを 0 にクリアするまでに DMAC 内部で発生した転送要求分の DMA 転送は実行されます。転送サイズエラー割り込みや、リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込みが発生した場合は、DTE ビットを 0 にクリアして転送終了します。

図 7.14 にバーストモードのタイミング例を示します。

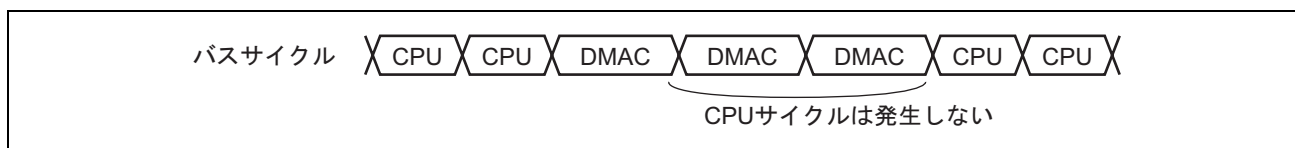


図 7.14 バーストモードのタイミング例

7.5.5 拡張リピートエリア機能

DMAC にはソースアドレス、デスティネーションアドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定された範囲のアドレス値を繰り返します。リングバッファを転送の対象にした場合は、アドレスレジスタの値がバッファの最終アドレスになるたびに（リングバッファに対するアドレスのオーバーフロー）、アドレスレジスタの値をバッファの先頭アドレスに戻す操作が必要となり、拡張リピートエリア機能を使うと自動的にアドレスレジスタの値をバッファの先頭アドレスに戻す操作を DMAC 内で行うことができます。

拡張リピートエリア機能は、ソースアドレスレジスタ (DSAR) とデスティネーションアドレスレジスタ (DDAR) に独立して設定できます。

ソースアドレスの拡張リピートエリアは、DACR の SARA4~SARA0 ビットで設定します。デスティネーションアドレスの拡張リピートエリアは、DACR の DARA4~DARA0 ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバーフローすると、DMA 転送を一時停止させて、CPU に対して拡張リピートエリアオーバーフロー割り込み要求を発生することができます。DACR の SARIE ビットを 1 にセットすると、DSAR の拡張リピートエリアがオーバーフローしたときに DMDR の ESIF ビットを 1 セットし、DMDR の DTE ビットを 0 にクリアして転送を終了します。このとき、DMDR の ESIE ビットが 1 にセットされていると、CPU に対して拡張リピートエリアオーバーフロー割り込み要求を発生します。DACR の DARIE ビットを 1 にセットするとデスティネーションアドレスレジスタが対象になります。割り込み発生中に DMDR の DTE ビットに 1 をセットすると、引き続き転送を再開します。

図 7.15 に拡張リピートエリア機能の例を示します。

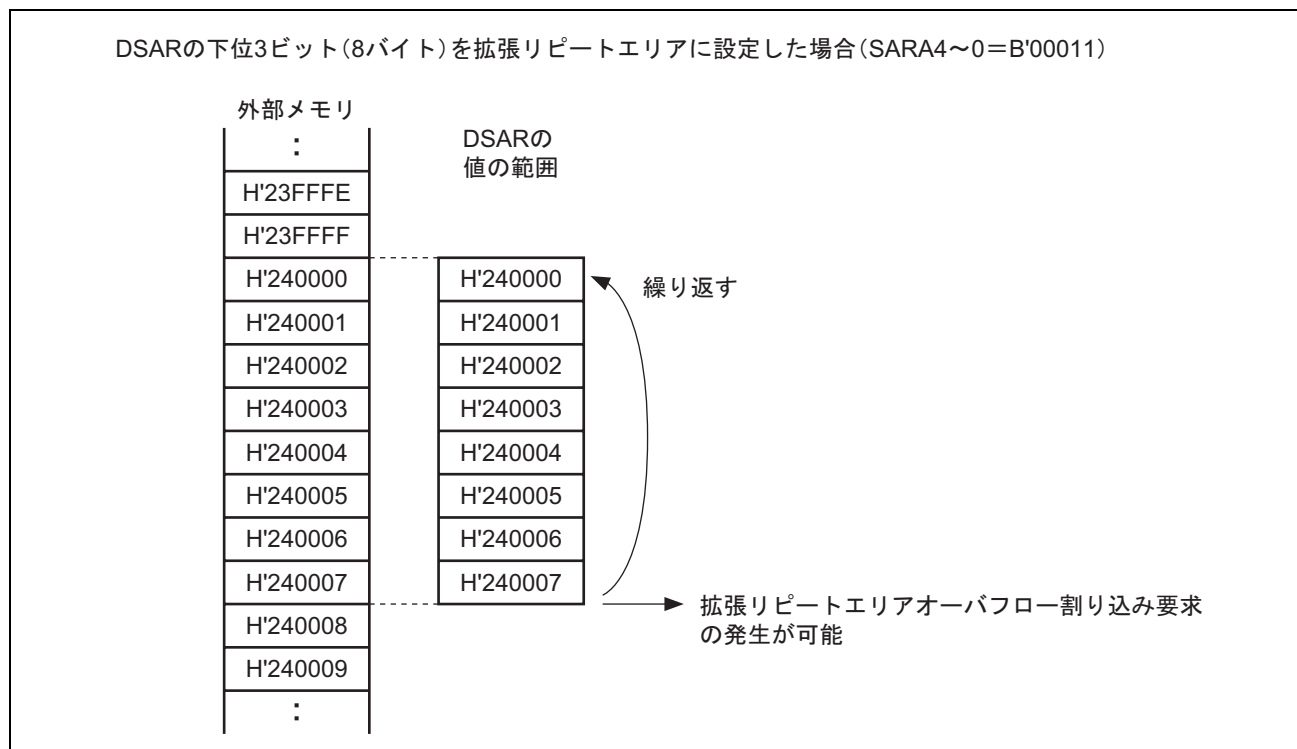


図 7.15 拡張リピートエリア機能の例

7. DMA コントローラ (DMAC)

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用する場合は、次の注意が必要です。拡張リピートエリアのオーバーフローの発生で転送を終了させる場合は、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックサイズを転送中に拡張リピートエリアにオーバーフローが発生した場合は、1ブロックサイズの転送が終了するまで拡張リピートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用するときと同様の注意が必要です。

図 7.16 にブロック転送モードと拡張リピートエリア機能を併用したときの例を示します。

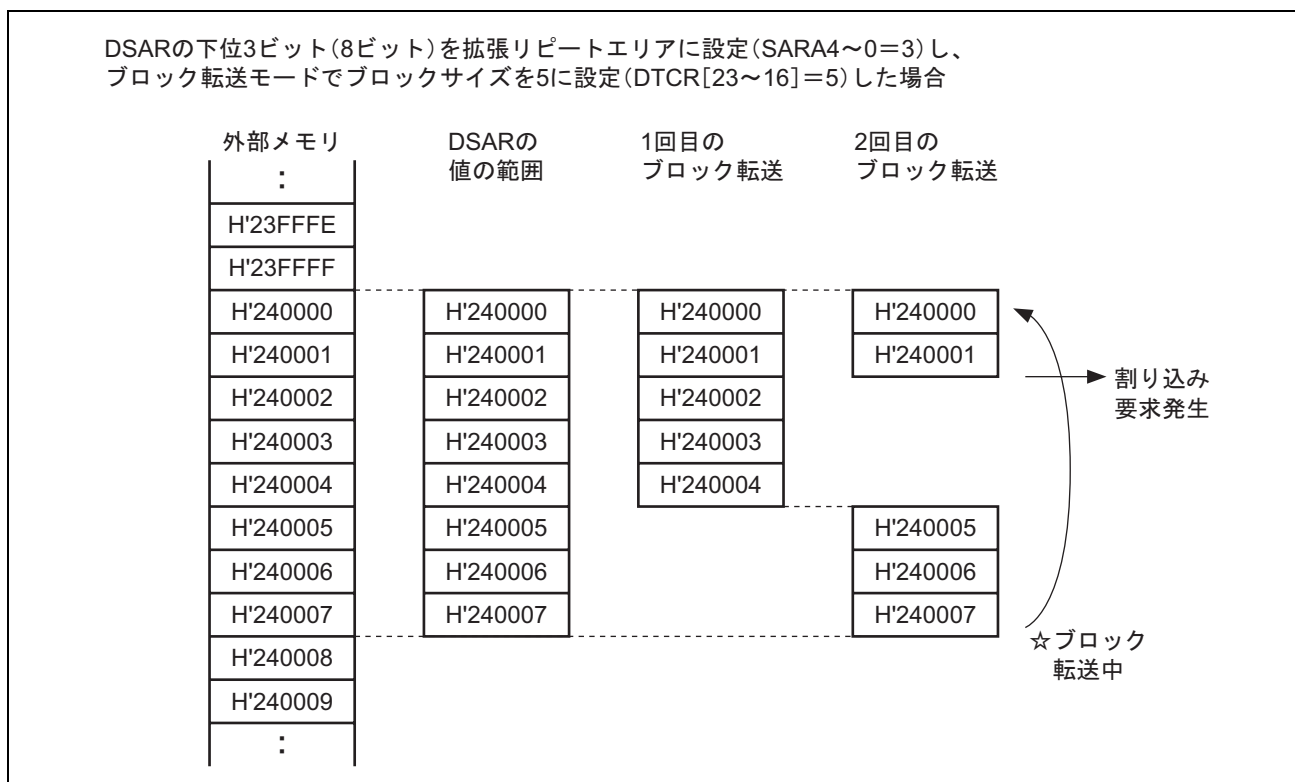


図 7.16 ブロック転送モードと拡張リピートエリア機能を併用したときの例

7.5.6 オフセットを使ったアドレス更新機能

転送先、転送元のアドレスの更新方法には、「固定」、「1、2 または 4 の増減」の他に「オフセット加算」があります。「オフセット加算」では、DMAC がデータアクセスサイズ分の転送を行うたびにオフセットレジスタ (DOFR) で設定したオフセットを加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

図 7.17 にアドレス更新方法を示します。

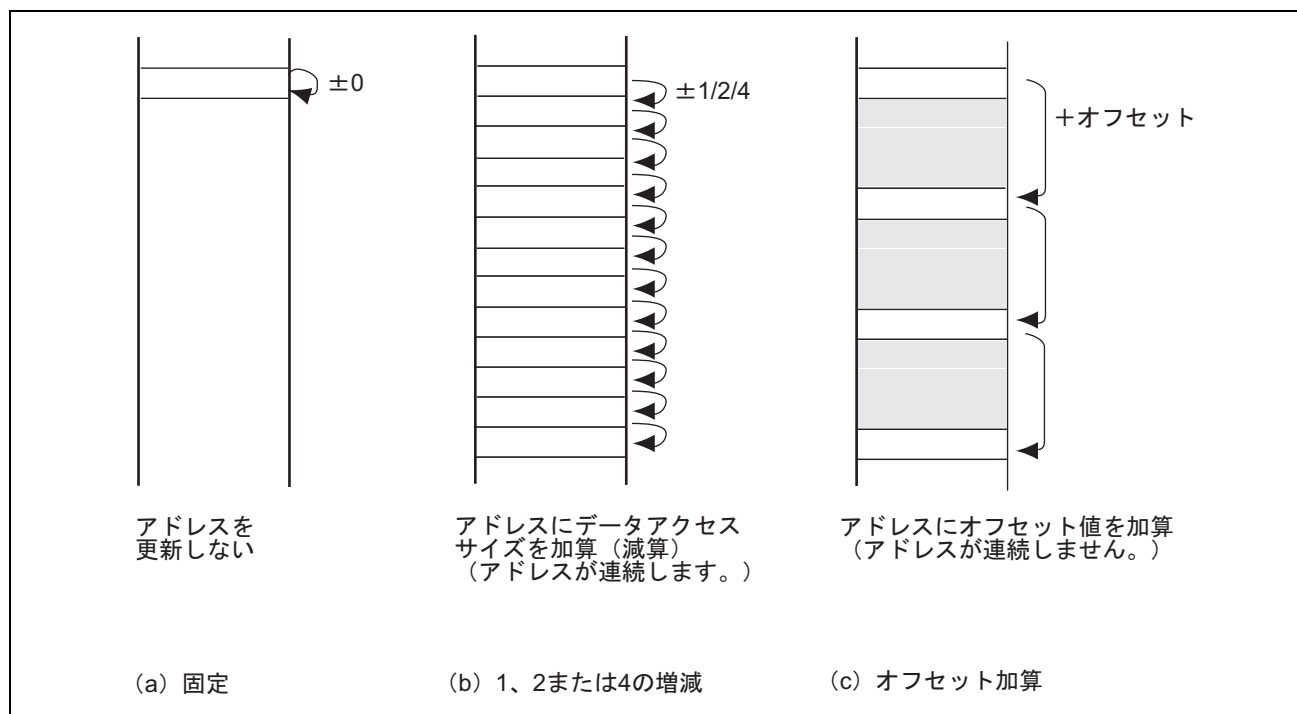


図 7.17 アドレスの更新方法

(a) の「固定」の場合は、転送先あるいは転送元のアドレスの更新が行われず常に同じアドレスを示します。

(b) の「1、2 または 4 の増減」の場合は、データの転送が行われるたびにデータアクセスサイズに応じた値を転送先あるいは転送元のアドレスに加減算します。データアクセスサイズにはバイト、ワード、ロングワードを指定できます。バイト指定では 1、ワード指定では 2、ロングワード指定では 4 の値をアドレスの加減算に使用します。この機能により、DMAC は連続するアドレスの転送を実現しています。

(c) の「オフセット加算」の場合は、データアクセスサイズに依存するアドレスの演算を実施しません。DMAC はデータアクセスサイズ分の転送が行われるたびに DOFR で設定した値を転送先あるいは転送元のアドレスに加算します。

DMAC は、DOFR にオフセット値を設定し、DSAR や DDAR と演算します。このとき、DMAC はオフセット値の加算しか実行できませんが、DOFR に負値を設定することにより、オフセット値による減算も実現できます。負値を設定する場合は、負値にするオフセット値を 2 の補数で指定してください。

7. DMA コントローラ (DMAC)

(1) オフセットを使った基本的な転送

図 7.18 に基本的な動作を示します。

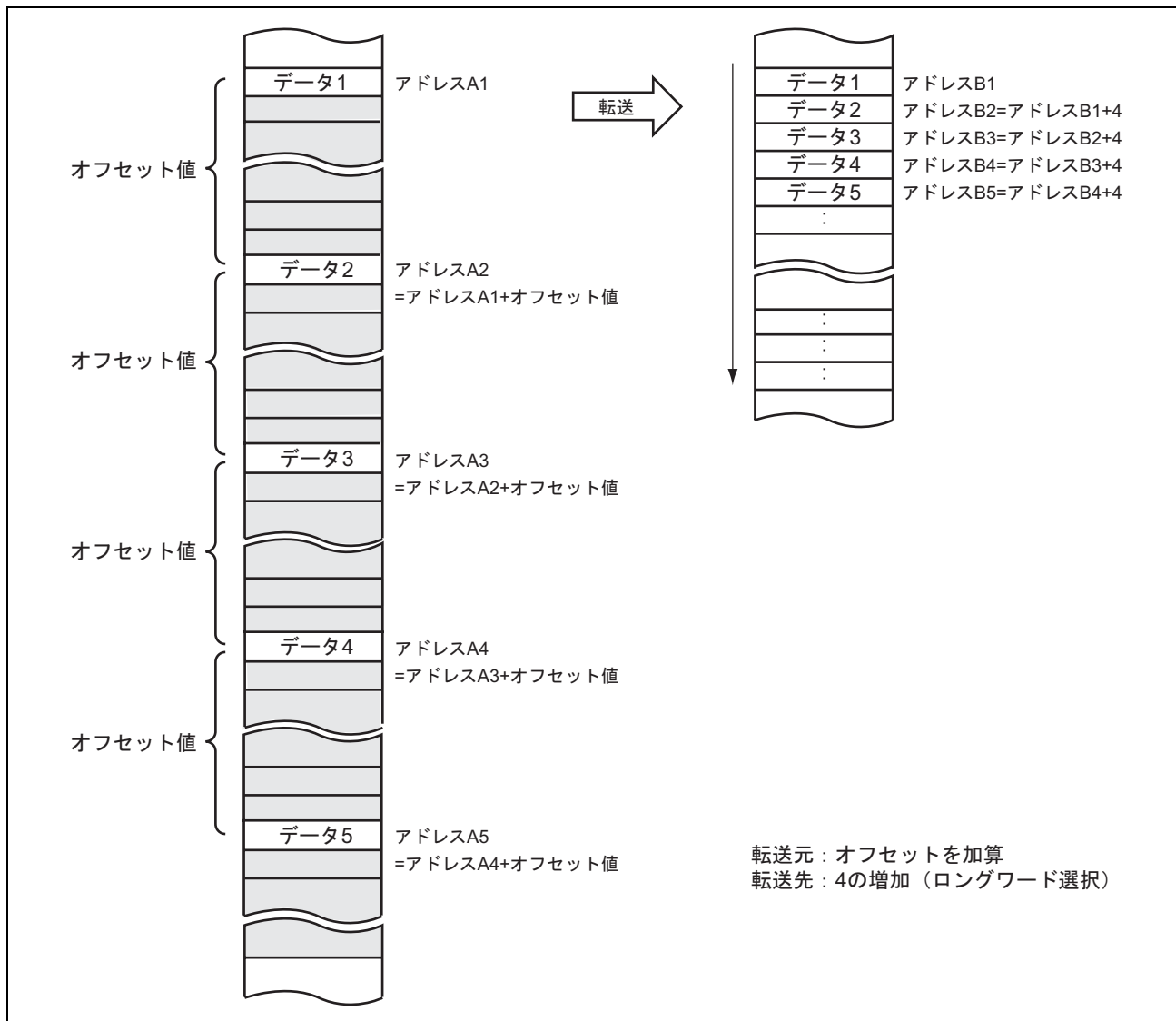


図 7.18 では、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「1、2、または 4 の増減」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセットを使ったXY変換例

図 7.19 にリピート転送モードと「オフセット加算」を組み合わせて XY 変換を行うときの動作を示します。

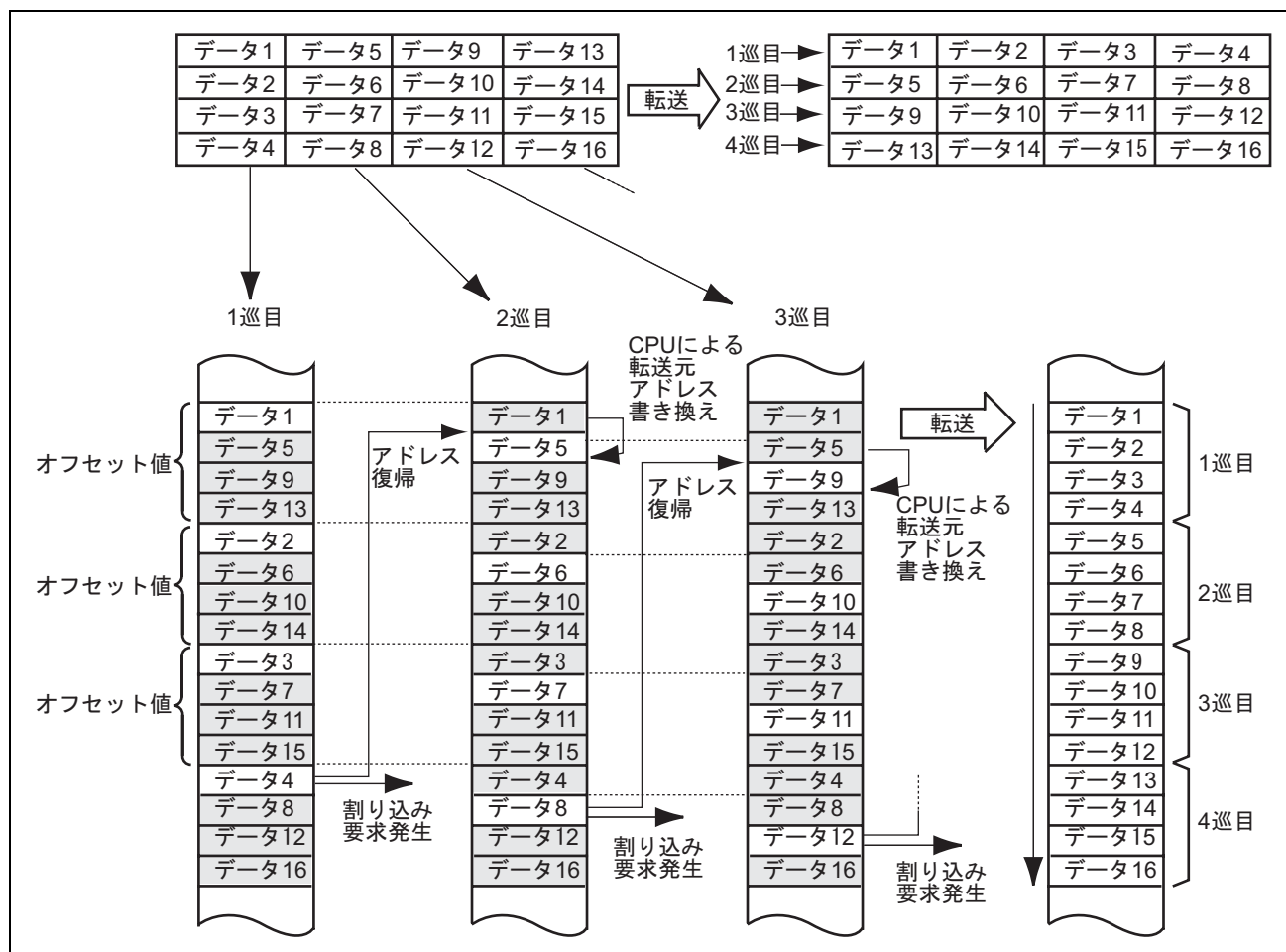


図 7.19 リピート転送モード+オフセット加算による XY 変換のときの動作

図 7.19 では、DACR でソースアドレス側をリピートエリアに設定し、かつ DACR で「オフセット加算」を設定しています。オフセット値は、4×データアクセスサイズに相当するアドレスです（例えば、データアクセスサイズがロングワードであるならば、DOFR に H'00000010 を指定したことになります）。リピートサイズは 4×データアクセスサイズです（例えばデータアクセスサイズがロングワードであると、4×4=16 バイトをリピートサイズに指定したことになります）。転送先は「1、2、および 4 の加算」を設定しています。また、DACR の RPTIE ビットを 1 にセットし、リピートサイズ分の転送が終了するとリピートサイズ終了割り込み要求が発生するように設定しています。

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。データ 4 までのデータが転送されると、リピートサイズ分のデータを転送したことになります。DMAC は転送元のアドレスを転送開始時のアドレス（転送元データ 1 のアドレス）に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求により一旦転送が中断するので、CPU による I/O レジスタアクセスで DSAR の値をデータ 5 のアドレスに書き換えてください（ロングワード転送ならデータ 1 のアドレス+4 にアドレスを書き換えます）。DMDR の DTE ビットを 1 にセットすると、転送中断した状態から引き続き転送を開始します。以降同様な処理を繰り返すと、

7. DMA コントローラ (DMAC)

転送元のデータが転送先に XY 変換されて転送されます。

図 7.20 に XY 変換の処理フローを示します。

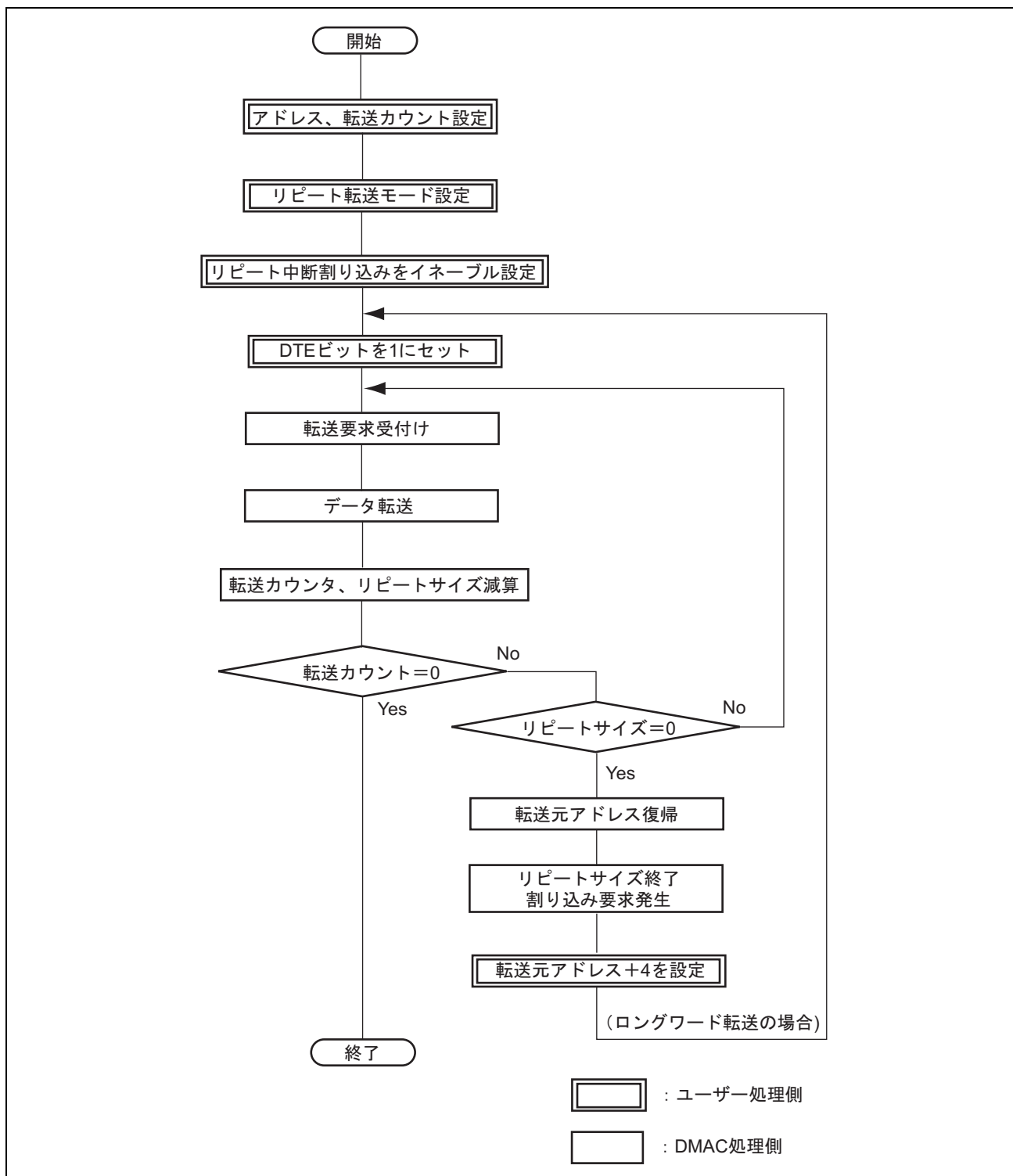


図 7.20 リピート転送モード+オフセット加算による XY 変換のフロー

(3) オフセット減算の指定方法

DOFR に負値を設定する場合はオフセット値を 2 の補数で指定してください。2 の補数は次式で求められません。

$$[\text{負オフセット値の 2 の補数表現}] = \sim[\text{オフセット値}] + 1 \quad (\sim : \text{ビット反転})$$

例： H'0001FFFF の 2 の補数表現
 = H'FFFE0000 + H'00000001
 = H'FFFE0001

2 の補数は、CPU の NEG.L 命令でも求められます。

7.5.7 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DSAR、DDAR、DTCR、DBSR の BKSZH、BKSZ ビット、DMDR の DTE、ACT、ERRF、ESIF、DTIF ビットです。

(1) DMA ソースアドレスレジスタ (DSAR)

転送元の DSAR のアドレスをアクセスすると、DSAR の値を出力し、次にアクセスするアドレスに更新されます。

DACR の SAT1、SAT0 ビットでアドレスの増減を設定します。SAT1、0=B'00 のときアドレスは固定されます。SAT1、0=B'01 のときアドレスはオフセットレジスタ値が加算されます。SAT1、0=B'10 のときアドレスは増加し、SAT1、0=B'11 のときアドレスは減少します（増減サイズは、転送するデータアクセスサイズにより決まります）。

DMDR の DTSZ1、DTSZ0 ビットでデータアクセスサイズを設定します。DTSZ1、0=B'00 のときバイトサイズになり、アドレスは±1 増減されます。DTSZ1、0=B'01 のときワードサイズになり、アドレスは±2 増減されます。DTSZ1、0=B'10 のときロングワードサイズになり、アドレスは±4 増減されます。また、ワードサイズ、ロングワードサイズの設定であっても、ソースアドレスがワード境界、ロングワード境界を外れている場合、データはバイトやワードに分割してリードされます。1 ワードサイズ分、1 ロングワードサイズ分のデータを分割してリードしている間、アドレス増減サイズは実際にリードされるデータのサイズであるバイトやワードに合わせて、+1、+2 になります。1 ワードサイズ分、1 ロングワードサイズ分のデータのリード後は、リード開始時のアドレスに対して、SAT1、0 の設定に従ったアドレスの増減を行います。

ブロック転送モード（またはリピート転送モード）においてソースアドレス側にブロックエリア（リピートエリア）を設定している場合、ブロックサイズ（リピートサイズ）分の転送を終了すると、ソースアドレスは転送開始アドレスに戻りアドレス更新の影響を受けません。

ソースアドレス側に拡張リピートエリアを設定している場合は、その設定に従います。拡張リピートエリアに設定された上位側のアドレスは固定され、アドレス更新の影響を受けません。

転送中に DSAR をリードするときは、ロングワードサイズでアクセスしてください。転送中の DSAR は、CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、転送中のチャンネルの DSAR にライトしないでください。

7. DMA コントローラ (DMAC)

(2) DMA デスティネーションアドレスレジスタ (DDAR)

転送先の DDAR のアドレスをアクセスすると、DDAR の値を出力し、次にアクセスするアドレスに更新されます。

DACR の DAT1、DAT0 ビットでアドレスの増減を設定します。DAT1、0=B'00 のときアドレスは固定されます。DAT1、0=B'01 のときアドレスはオフセットレジスタ値が加算されます。DAT1、0=B'10 のときアドレスは増加し、DAT1、0=B'11 のときアドレスは減少します（増減サイズは、転送するデータアクセスサイズにより決まります）。

DMDR の DTSZ1、DTSZ0 ビットでデータアクセスサイズを設定します。DTSZ1、0=B'00 のときバイトサイズになり、アドレスは±1 増減されます。DTSZ1、0=B'01 のときワードサイズになり、アドレスは±2 増減されます。DTSZ1、0=B'10 のときロングワードサイズになり、アドレスは±4 増減されます。また、ワードサイズ、ロングワードサイズの設定であっても、デスティネーションアドレスがワード境界、ロングワード境界を外れている場合、データはバイトやワードに分割してライトされます。1 ワードサイズ分、1 ロングワードサイズ分のデータを分割してライトしている間、アドレス増減サイズは実際にライトされるデータのサイズであるバイトやワードに合わせて、+1、+2 になります。1 ワードサイズ分、1 ロングワードサイズ分のデータのライト後は、ライト開始時のアドレスに対して、SAT1、0 の設定に従ったアドレスの増減を行います。

ブロック転送モード（またはリピート転送モード）においてデスティネーションアドレス側にブロックエリア（リピートエリア）を設定している場合、ブロックサイズ（リピートサイズ）分の転送を終了すると、デスティネーションアドレスは転送開始アドレスに戻りアドレス更新の影響を受けません。

デスティネーションアドレス側に拡張リピートエリアを設定している場合は、その設定に従います。拡張リピートエリアに設定された上位側のアドレスは固定され、アドレス更新の影響を受けません。

転送中に DDAR をリードするときは、ロングワードサイズでアクセスしてください。転送中の DDAR は、CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、転送中のチャンネルの DDAR にライトしないでください。

(3) DMA 転送カウントレジスタ (DTCR)

DMA 転送を行うと、DTCR の値は転送したバイト数分減少します。バイト転送した場合は-1、ワード転送した場合は-2、ロングワード転送した場合は-4 されます。ただし、DTCR の値が 0 のとき、転送回数はカウントされないため DTCR の値は変化しません。

DTCR の全ビットが変化する可能性があるため、DMA 転送中に CPU から DTCR をリードするときは、ロングワードサイズでアクセスしてください。転送中の DTCR は CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、動作中のチャンネルの DTCR にライトしないでください。

DMA 転送に伴うアドレスの更新と CPU によるライトが競合した場合は、CPU によるライトが優先されます。DTCR=1、2、4→0 への更新と CPU によるライト（値は 0 以外）が競合した場合は、DTCR の値は CPU によるライトが優先されますが、転送は終了します。

(4) DMA ブロックサイズレジスタ (DBSR)

DBSR はブロック転送モード、またはリピート転送モードのときに有効となります。DBSR[31:16]は BKSZH、DBSR[15:0]は BKSZ として機能します。BKSZH の 16 ビットはブロックサイズやリピートサイズを保持し、その値は変化しません。BKSZ の 16 ビットはブロックサイズやリピートサイズのカウンタとして機能し、1

データ転送毎に-1 します。DMA 転送によって BKSZ の値が 0 になると判断されると、DMAC は BKSZ に 0 をストアせずに BKSZH の値をストアします。

DBSR は上位 16 ビットが更新されることがないので、ワードサイズでアクセスすることができます。動作中のチャンネルの DBSR にライトしないでください。

(5) DMDR の DTE ビット

DMDR の DTE ビットは、CPU によりライトしてデータ転送の許可/禁止を制御しますが、DMA 転送状態によって DMAC により自動的に DTE ビットを 0 にクリアすることがあります。

DMAC により DTE ビットが 0 にクリアされる条件は以下です。

- 設定の総転送サイズの転送が終了したとき
- 転送サイズエラー割り込み要求が発生し、転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバフロー割り込み要求が発生し、転送が終了したとき
- NMI 割り込みが発生し、転送が停止したとき
- アドレスエラーが発生し、転送が停止したとき
- リセット時
- ハードウェアスタンバイモード時
- DTE ビットに 0 をライトして、転送が停止したとき

DTE ビットが 1 にセットされているチャンネルのレジスタのライトは禁止されています(DTE ビットを除く)。DTE ビットに 0 をライトしてから各レジスタの設定を変更するときは、DTE ビットが 0 にクリアされていることを確認してください。

図 7.21 に、動作中のチャンネルのレジスタ設定を変更する手順を示します。

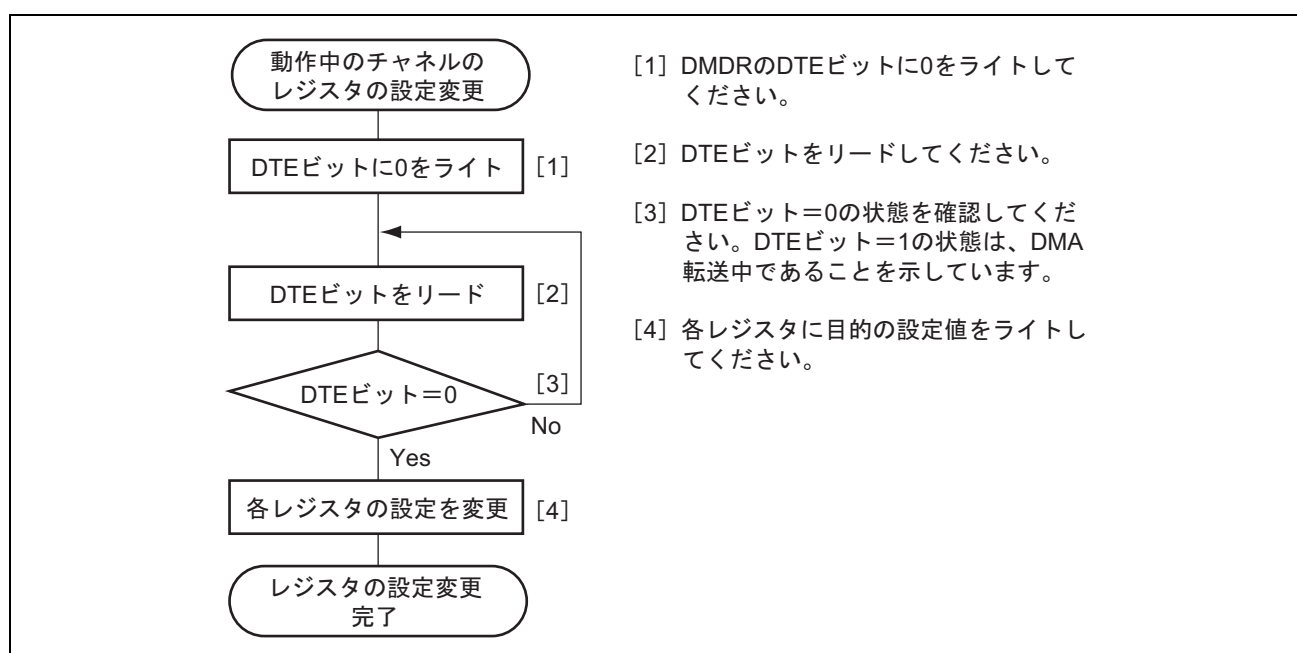


図 7.21 動作中のチャンネルのレジスタ設定を変更するときの手順

7. DMA コントローラ (DMAC)

(6) DMDR の ACT ビット

DMDR の ACT ビットは、DMAC が待機状態かアクティブ状態かを示します。DTE=0 の場合と、DTE=1 で転送要求待ち状態の場合に ACT=0 となり、それ以外の場合 (DMAC がアクティブ状態) には ACT=1 になります。DTE ビットに 0 をライトして転送を停止させても DMA 転送中であれば、ACT ビットは 1 を保持します。

ブロック転送モードの場合、DTE ビットに 0 をライトして転送を停止させても 1 ブロックサイズの転送は中断されません。DTE ビットに 0 をライトしてから 1 ブロックサイズの転送が終了するまでの期間、ACT ビットは 1 を保持します。

バーストモードの場合、DTE ビットに 0 をライトしたバスサイクルから最大 3 回の DMA 転送が行われてから転送を停止します。DTE ビットに 0 をライトしてから最後の DMA サイクルが終了するまでの期間、ACT ビットは 1 を保持します。

(7) DMDR の ERRF ビット

アドレスエラー、または NMI 割り込みが発生した場合、DMAC は全チャンネルの DTE ビットを 0 にクリアして転送を終了します。また、DMAC は転送中か否かに関わらず、DMDR_0 の ERRF ビットを 1 にセットし、アドレスエラー、または NMI 割り込みが発生したことを示します。ただし、DMAC がモジュールストップ状態にある場合、アドレスエラーや NMI 割り込みに対しては、ERRF ビットを 1 にセットしません。

(8) DMDR の ESIF ビット

転送サイズ割り込み、リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、DMDR の ESIF ビットは 1 にセットされます。ESIF ビットが 1 にセットされ、DMDR の ESIE ビットが 1 にセットされていると転送エスケープ割り込み要求を CPU や DTC に対して発生します。

ESIF ビットに 1 がセットされるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、DMDR の ACT ビットが 0 になって転送を終了したときです。

割り込み処理中に DTE ビットを 1 にセットして転送を再開した場合、自動的に ESIF ビットが 0 にクリアされ、割り込み要求は解除されます。

割り込みについては「7.8 割り込み要因」を参照してください。

(9) DMDR の DTIF ビット

DMA 転送によって総転送サイズ分の転送を終了すると、DMDR の DTIF ビットは 1 にセットされます。DTIF ビットが 1 にセットされ、DMDR の DTIE ビットが 1 にセットされていると転送カウンタによる転送終了割り込み要求を CPU や DTC に対して発生します。

DTIF ビットが 1 にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMDR の ACT ビットが 0 になって転送を終了したときです。

割り込み処理中に DTE ビットに 1 をセットして転送を再開した場合、自動的に DTIF ビットが 0 クリアされ、割り込み要求は解除されます。

割り込みについては「7.8 割り込み要因」を参照してください。

7.5.8 チャンネルの優先順位

DMACのチャンネル間の優先順位は、チャンネル0>チャンネル1>チャンネル2>チャンネル3の順になっています。表7.6にDMACのチャンネル間の優先順位を示します。

表 7.6 DMACのチャンネル間の優先順位

チャンネル	優先順位
チャンネル0	高 ↑ 低
チャンネル1	
チャンネル2	
チャンネル3	

転送中に他のチャンネルからの転送要求があると、転送中のチャンネルを除いて最も優先度の高いチャンネルが選択されます。選択されたチャンネルは、転送中のチャンネルがバスを解放後に転送を開始します。このとき、DMAC以外の他のバスマスタからバス権要求があると、他のバスマスタのサイクルが入ります。

バースト転送中、および1ブロック分のブロック転送中は、チャンネルを切り換えて転送することはありません。

図7.22に、チャンネル0~2からの転送要求が同時に発生したときの転送例を示します。

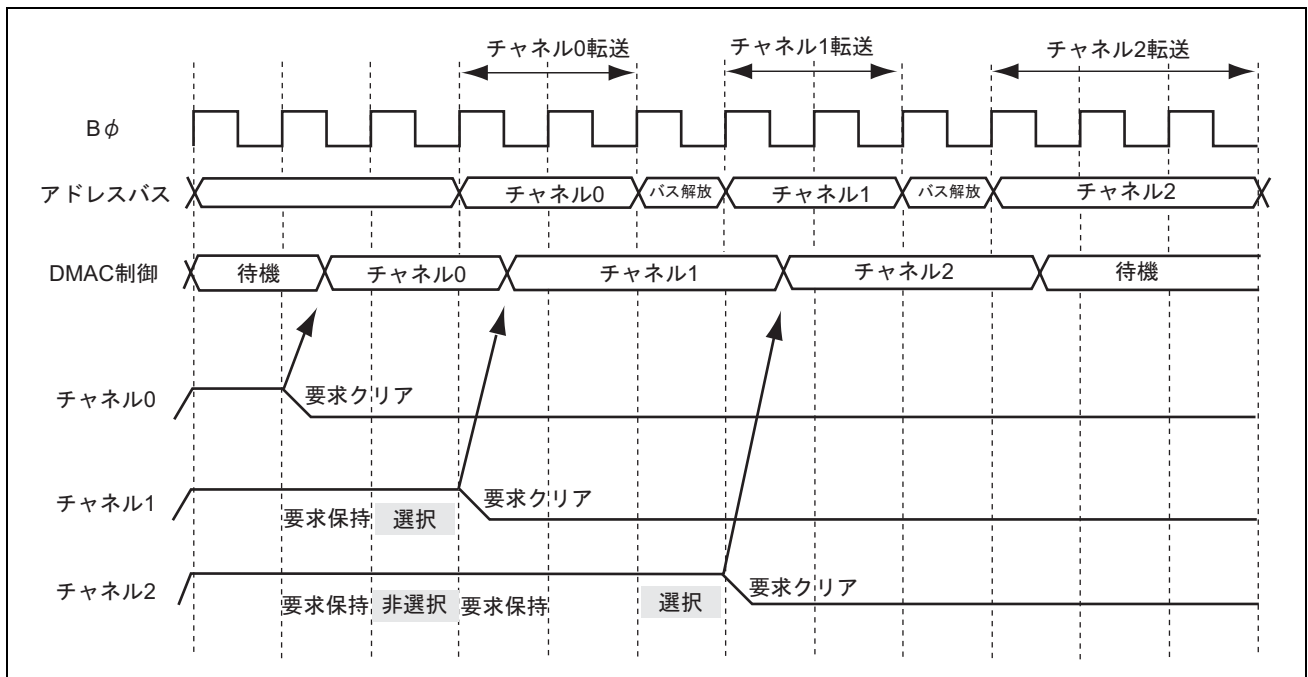


図 7.22 チャンネルの優先順位のタイミング例

7.5.9 基本バスサイクル

基本的なバスサイクルのタイミング例を図 7.23 に示します。図 7.23 は、ワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する例です。CPU から DMAC にバス権が移ると、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード/ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMAC サイクルは CPU サイクルと同様にバスコントローラの設定に従います。

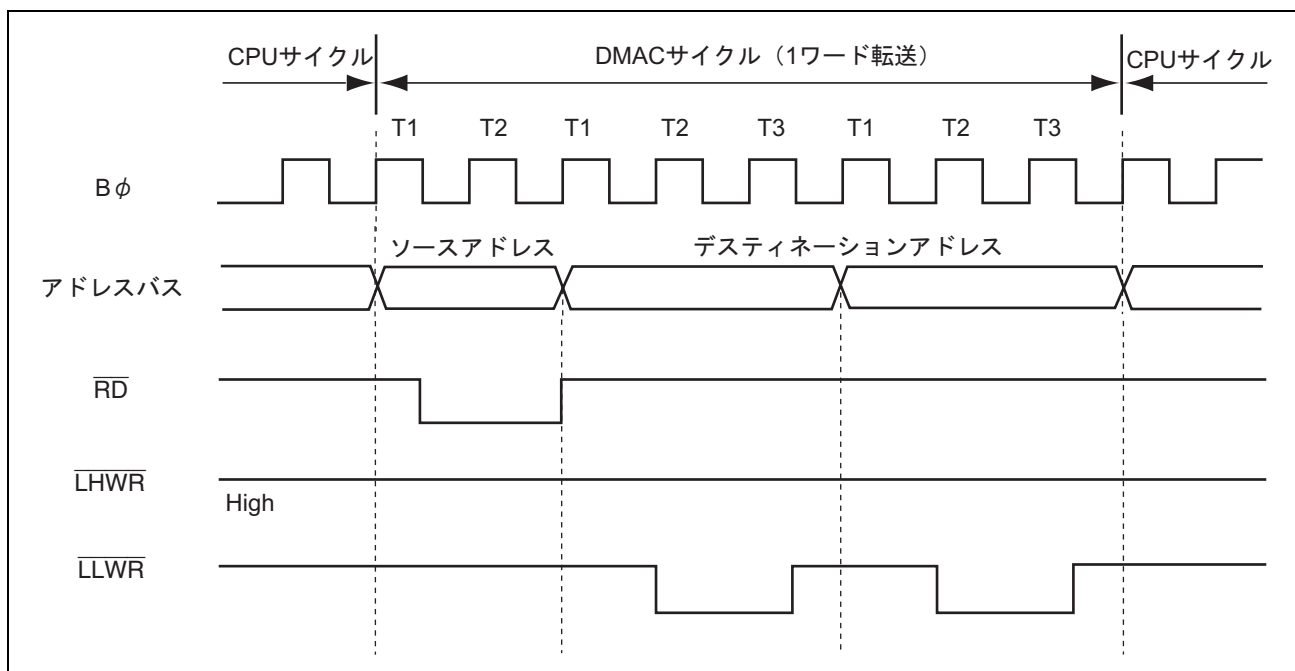


図 7.23 DMA 転送バスタイミング例

7.5.10 デュアルアドレスモードのバスサイクル

(1) ノーマル転送モード (サイクルスチールモード)

サイクルスチールモードでは、1回の転送単位 (1 バイト、1 ワードまたは1 ロングワード) の転送を終了するたびにバスを解放します。バス解放期間中はCPU、またはDTCによるバスサイクルが1回以上入ります。

図 7.24 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでノーマル転送モードかつサイクルスチールモードで転送を行った場合の例を示します。

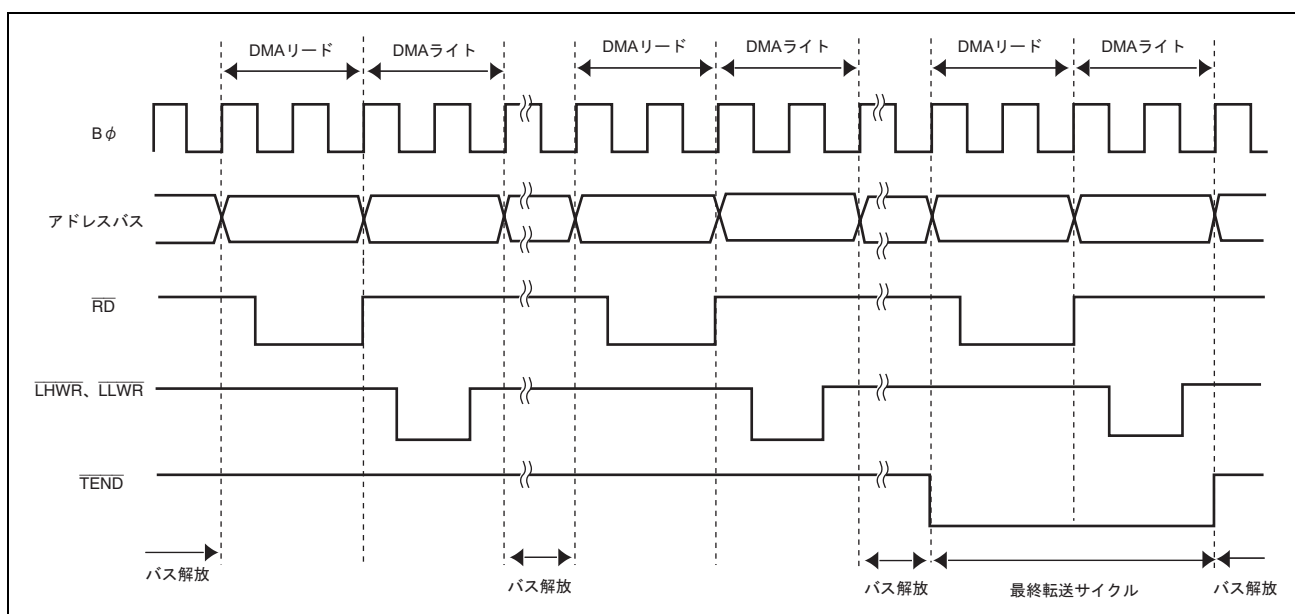


図 7.24 ノーマル転送モードかつサイクルスチールモードの転送例

図 7.25、図 7.26 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から 16 ビット 2 ステートアクセス空間へロングワードサイズでノーマル転送モードかつサイクルスチールモードで転送を行った場合の例を示します。

図 7.25 では、転送元は (DSAR=ロングワード境界を外れたアドレス)、転送先は (DDAR=ロングワード境界に沿ったアドレス) です。

図 7.26 では、転送元は (DSAR=ロングワード境界に沿ったアドレス)、転送先は (DDAR=ロングワード境界を外れたアドレス) です。

7. DMA コントローラ (DMAC)

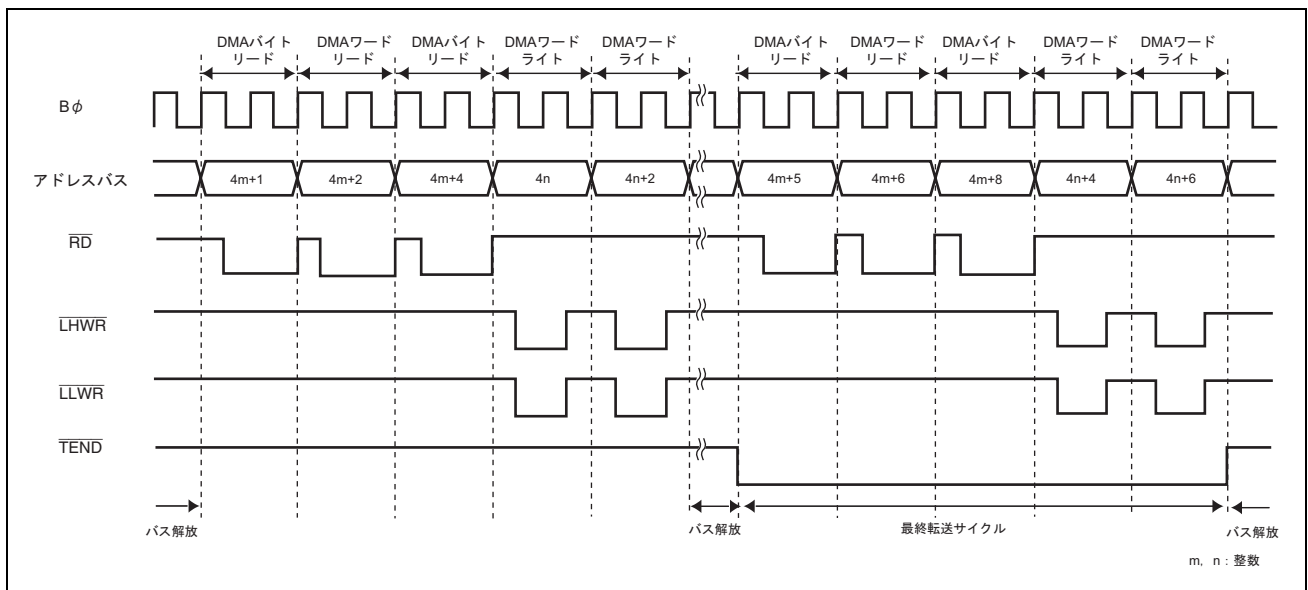


図 7.25 ノーマル転送モードかつサイクルスチールモードの転送例
(転送元 DSAR=奇数アドレス、ソースアドレス増加)

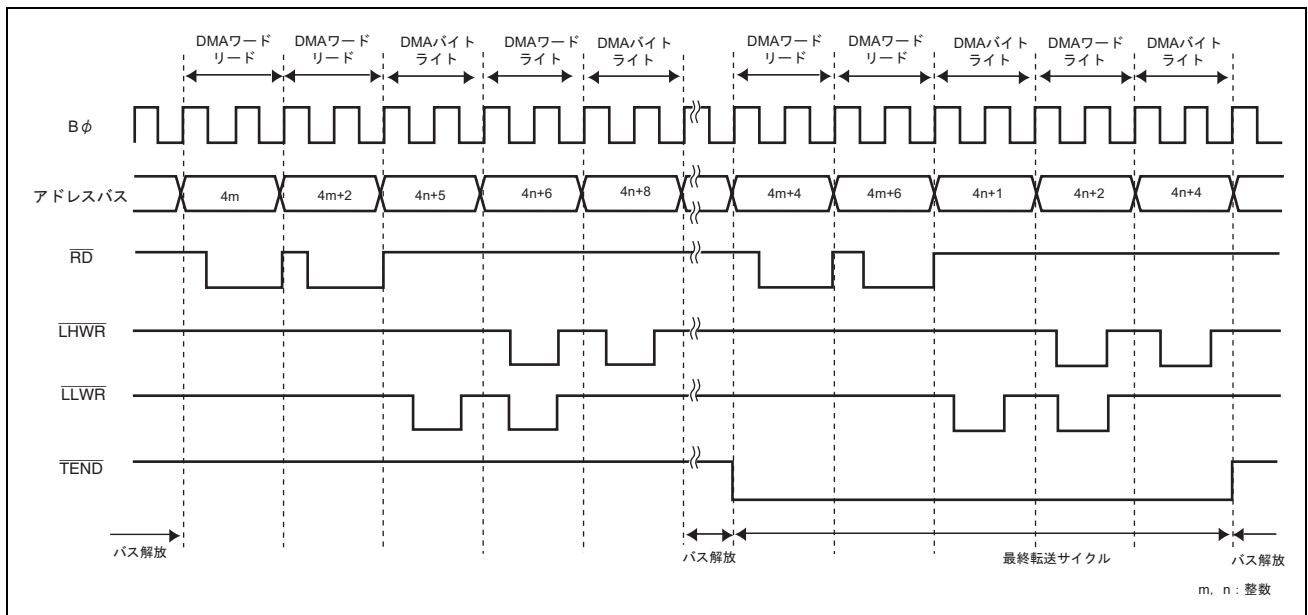


図 7.26 ノーマル転送モードかつサイクルスチールモードの転送例
(転送先 DDAR=奇数アドレス、デスティネーションアドレス減少)

(2) ノーマル転送モード (バーストモード)

バーストモードでは、1 バイト、1 ワードまたは 1 ロングワードの転送を転送終了条件が満たされるまで続けます。

バースト転送を開始すると、優先順位の高い他のチャネルの転送要求が発生してもバースト転送が終了するまで待たされます。

図 7.27 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでノーマル転送モードかつバーストモードで転送を行った場合の例を示します。

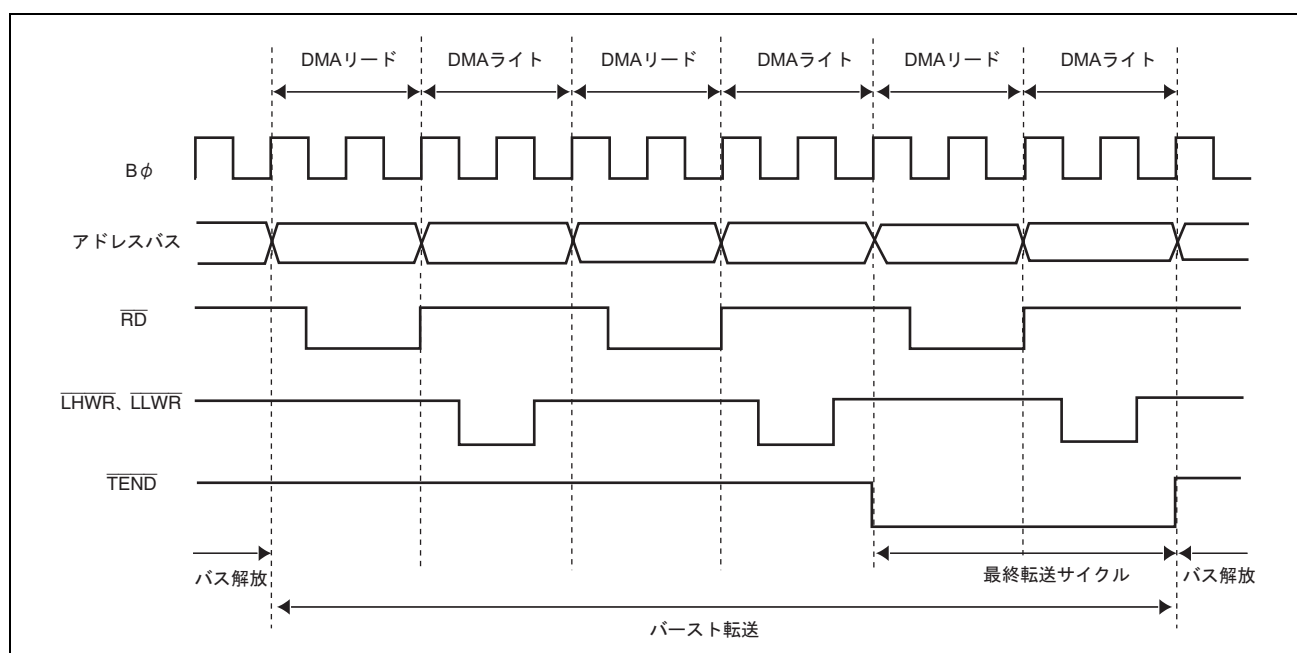


図 7.27 ノーマル転送モードかつバーストモードの転送例

7. DMA コントローラ (DMAC)

(3) ブロック転送モード

ブロック転送モードでは、1回の転送要求について1ブロック分の転送を終了するたびにバスを解放します。

図 7.28 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでブロック転送モードで転送を行った場合の例を示します。

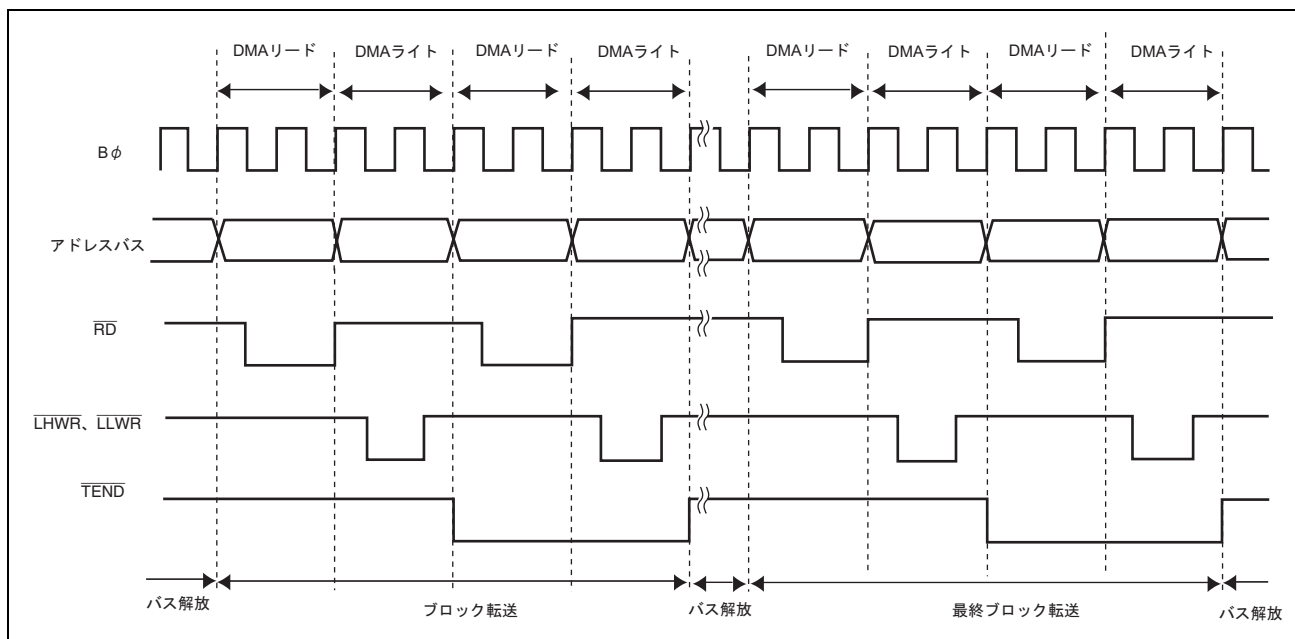


図 7.28 ブロック転送モードの転送例

(4) $\overline{\text{DREQ}}$ 立ち下がリエッジ起動タイミング

図 7.29 に $\overline{\text{DREQ}}$ 立ち下がリエッジ起動時のノーマル転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のため $\overline{\text{DREQ}}$ の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに $\overline{\text{DREQ}}$ の High レベルのサンプリングが済んでいればライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

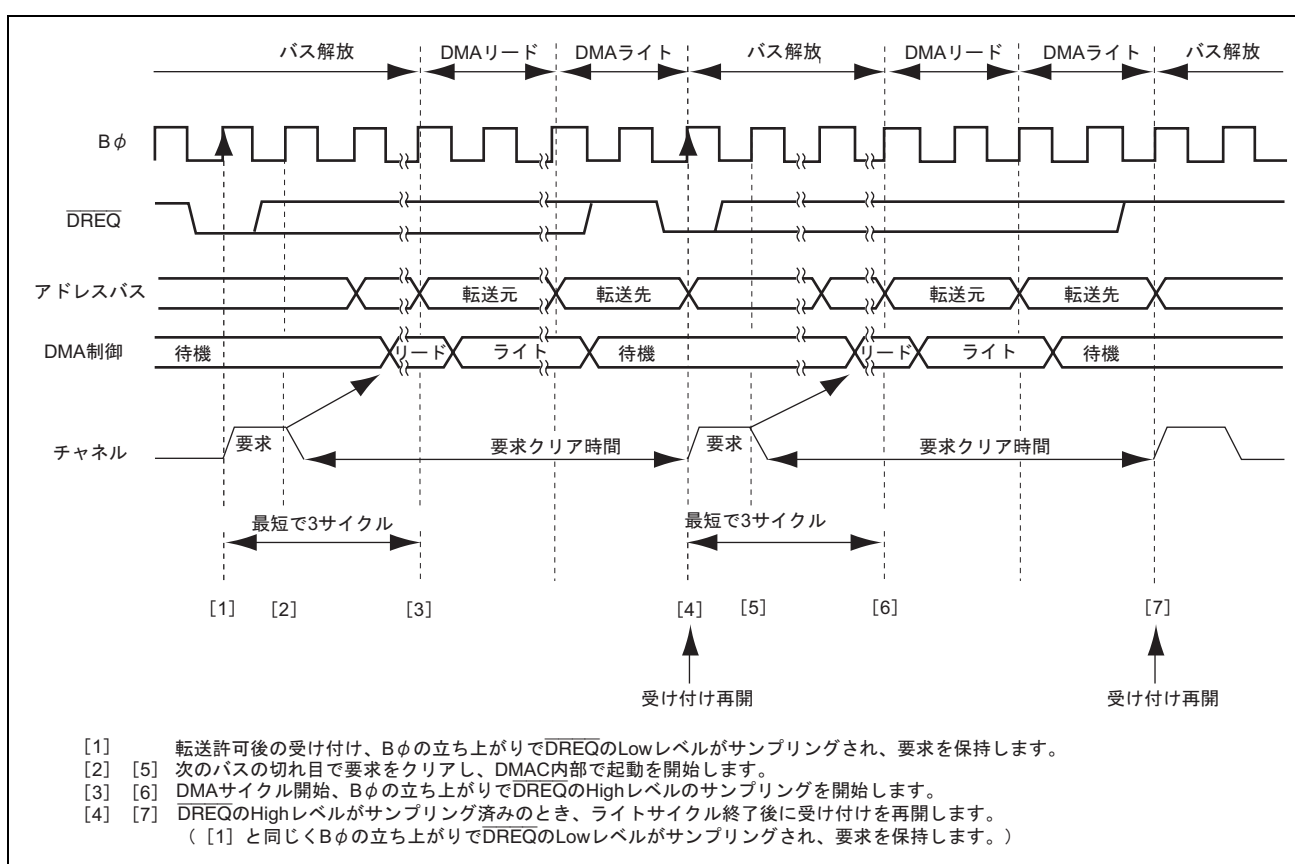


図 7.29 $\overline{\text{DREQ}}$ 立ち下がリエッジ起動時のノーマル転送モードの転送例

7. DMA コントローラ (DMAC)

図 7.30 に $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のブロック転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のため $\overline{\text{DREQ}}$ の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに $\overline{\text{DREQ}}$ の High レベルのサンプリングが済んでいればライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

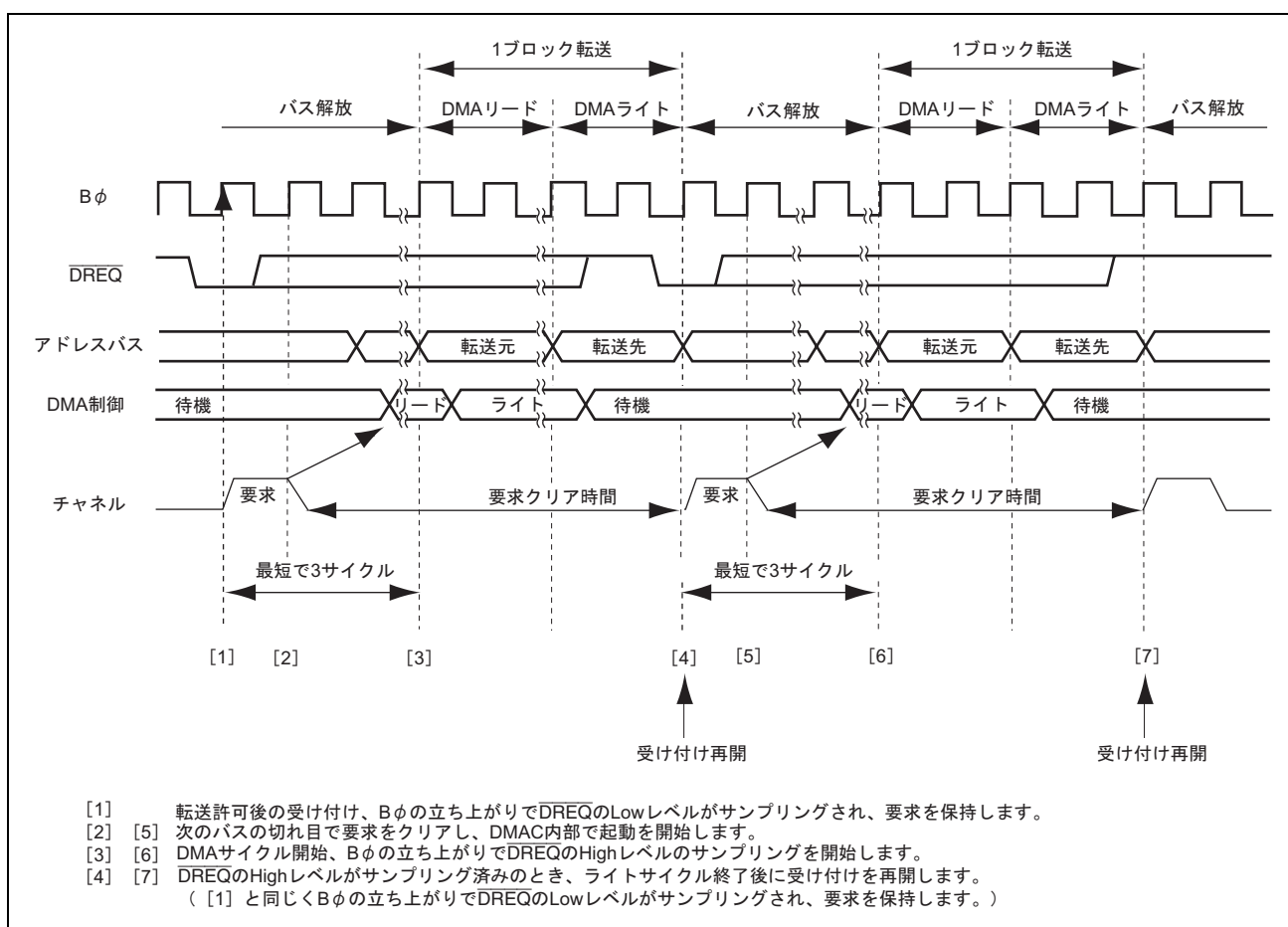


図 7.30 $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のブロック転送モードの転送例

(5) $\overline{\text{DREQ}}$ レベル起動タイミング

図 7.31 に $\overline{\text{DREQ}}$ レベル起動時のノーマル転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

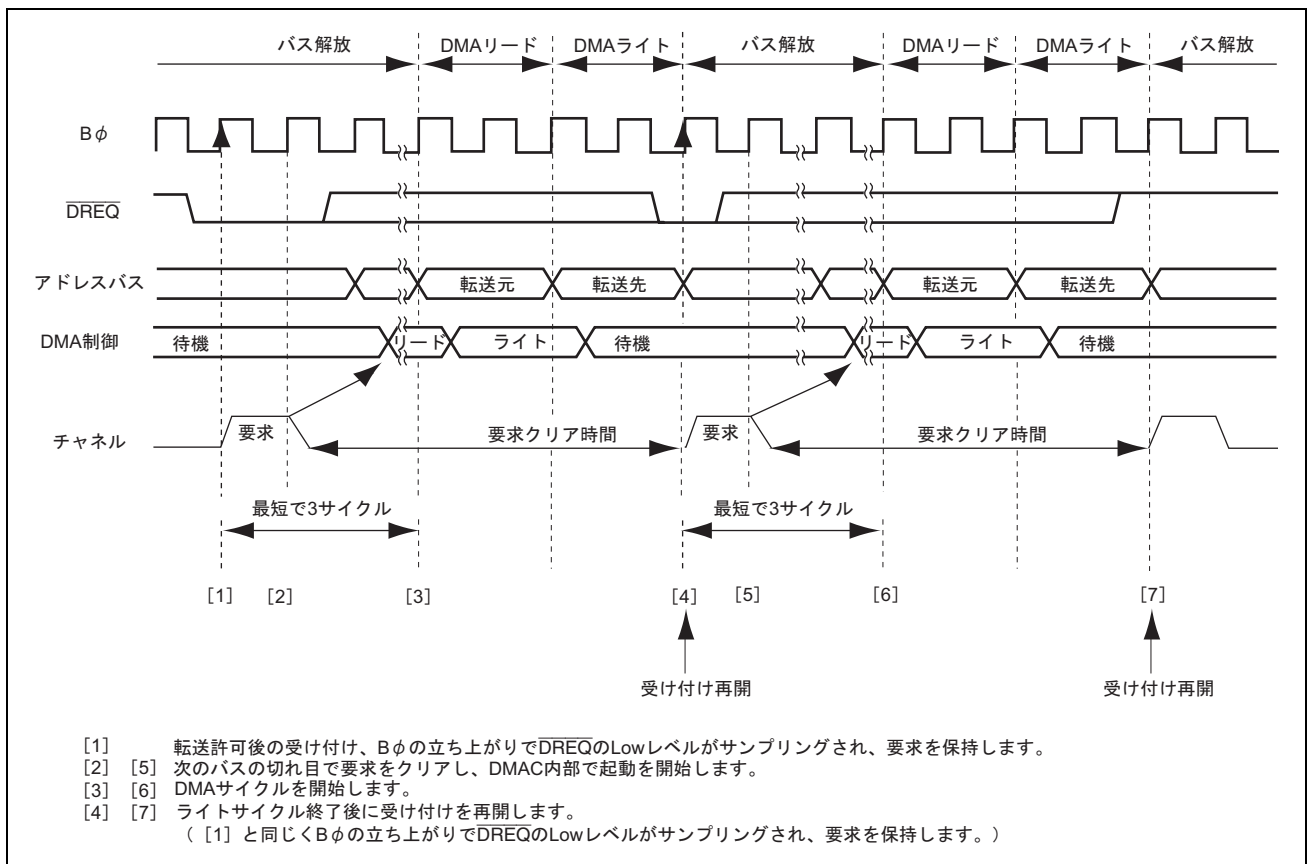


図 7.31 $\overline{\text{DREQ}}$ レベル起動時のノーマル転送モードの転送例

7. DMA コントローラ (DMAC)

図 7.32 に $\overline{\text{DREQ}}$ レベル起動時のブロック転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の $\text{B}\phi$ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

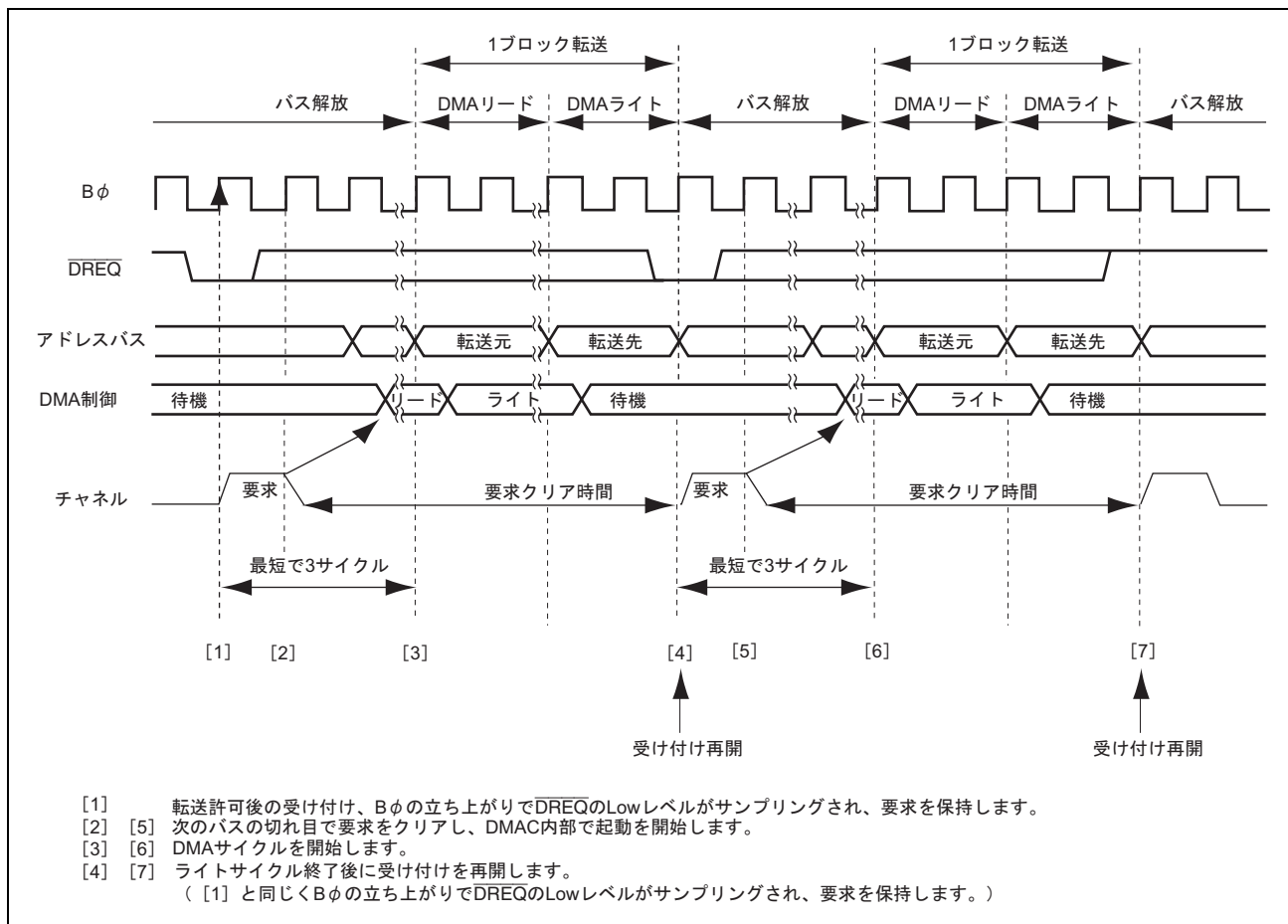


図 7.32 $\overline{\text{DREQ}}$ レベル起動時のブロック転送モードの転送例

(6) NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動タイミング

DMDR の NRD ビットを 1 にセットすると、次の転送要求の受け付けタイミングを 1 サイクル遅延させることができます。

図 7.33 に NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のノーマル転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に NRD=1 による 1 サイクルの要求クリア期間後に受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

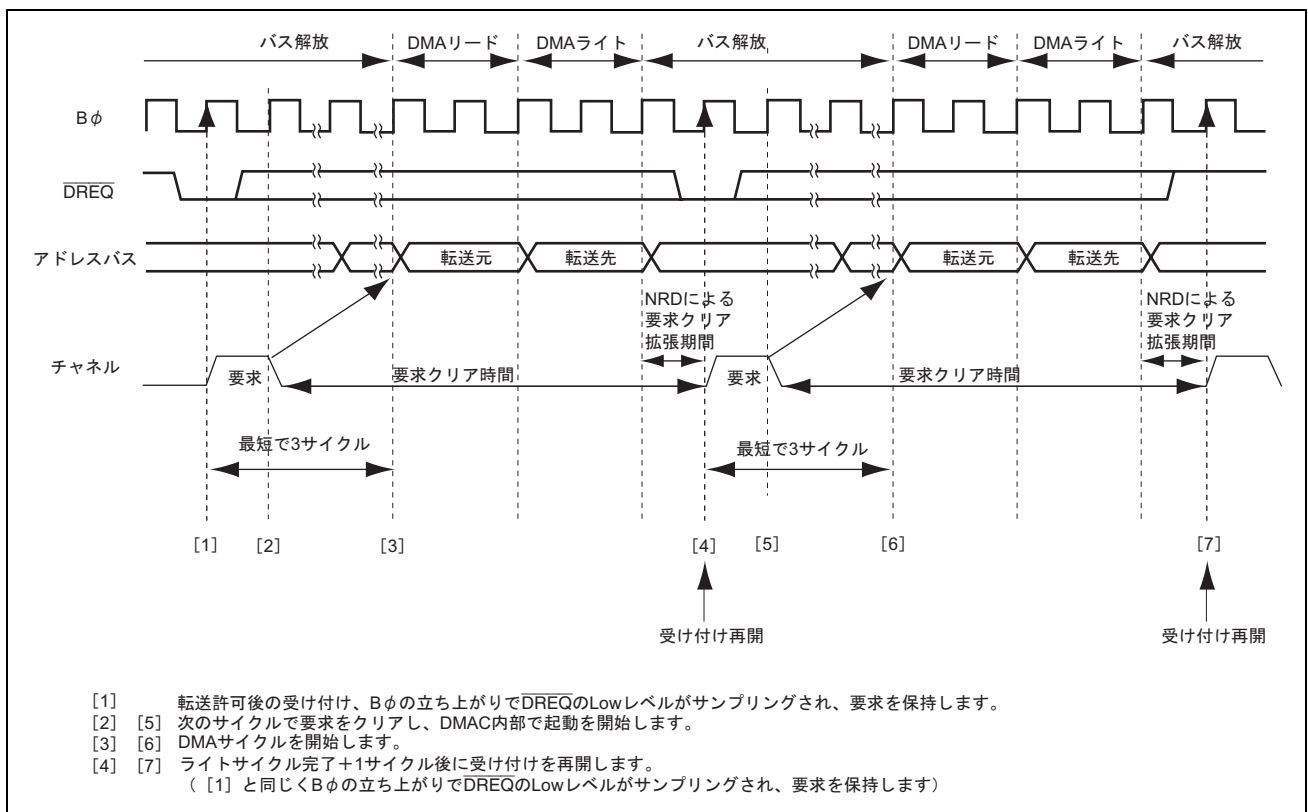


図 7.33 NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のノーマル転送モードの転送例

7.5.11 シングルアドレスモードのバスサイクル

(1) シングルアドレスモード (リード、サイクルスチールモード)

シングルアドレスモードでは、1回の転送要求について1バイト、1ワード、または1ロングワードの転送を行い、転送終了後に一旦バスを解放します。バス解放期間中はCPUまたはDTCによるバスサイクルが1回以上入ります。

図 7.34 に、 \overline{TEND} 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへバイトサイズでシングルアドレスモードで転送 (リード) を行った場合の例を示します。

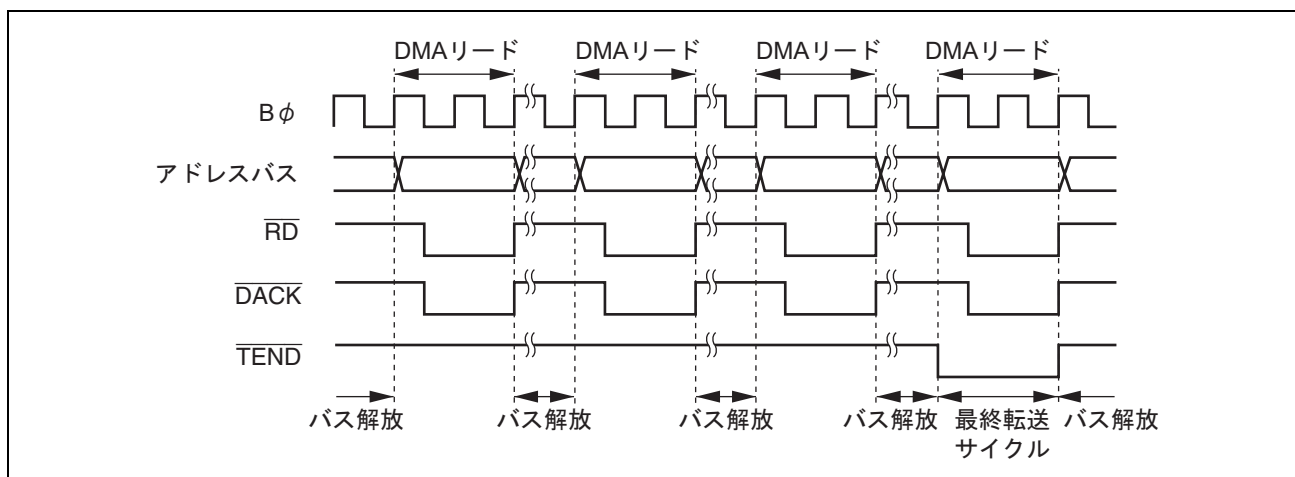


図 7.34 シングルアドレスモード (バイトリード) の転送例

(2) シングルアドレスモード (ライト、サイクルステルモード)

シングルアドレスモードでは、1回の転送要求について1バイト、1ワード、または1ロングワードの転送を行い、転送終了後に一旦バスを解放します。バス解放期間中はCPU、またはDTCによるバスサイクルが1回以上入ります。

図 7.35 に、 $\overline{\text{TEND}}$ 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へバイトサイズでシングルアドレスモードで転送 (ライト) を行った場合の例を示します。

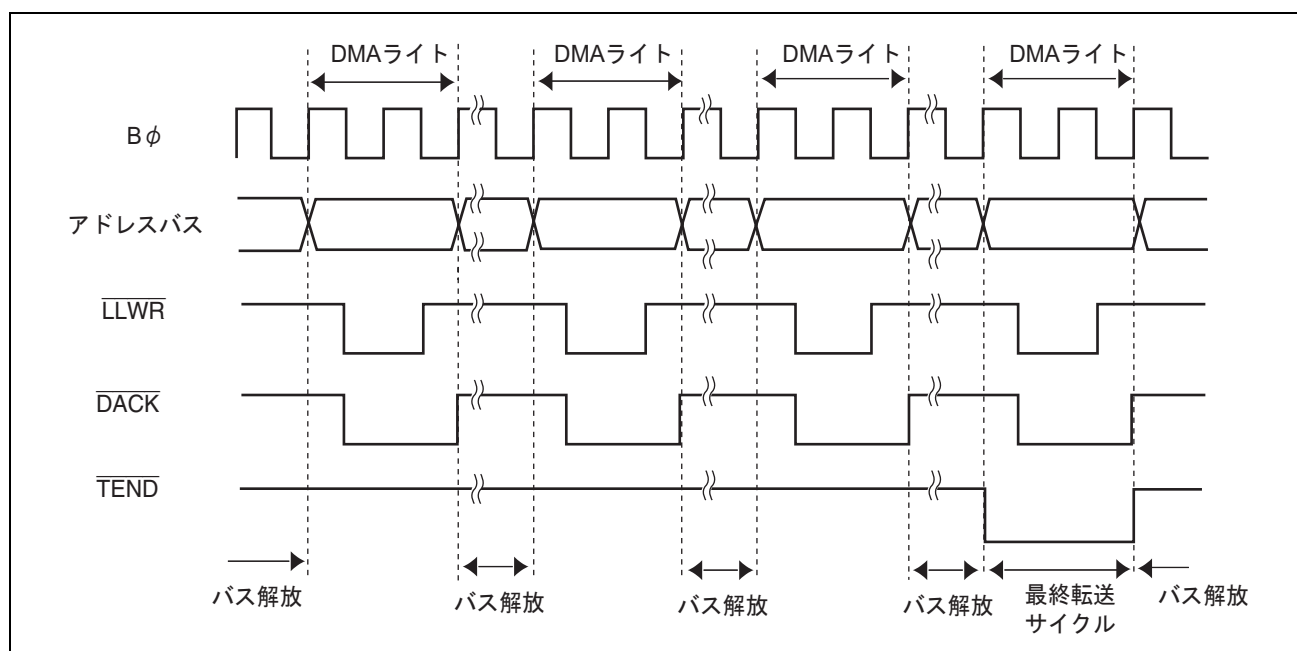


図 7.35 シングルアドレスモード (バイトライト) の転送例

(4) $\overline{\text{DREQ}}$ Low レベル起動タイミング

図 7.37 に $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。シングルサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

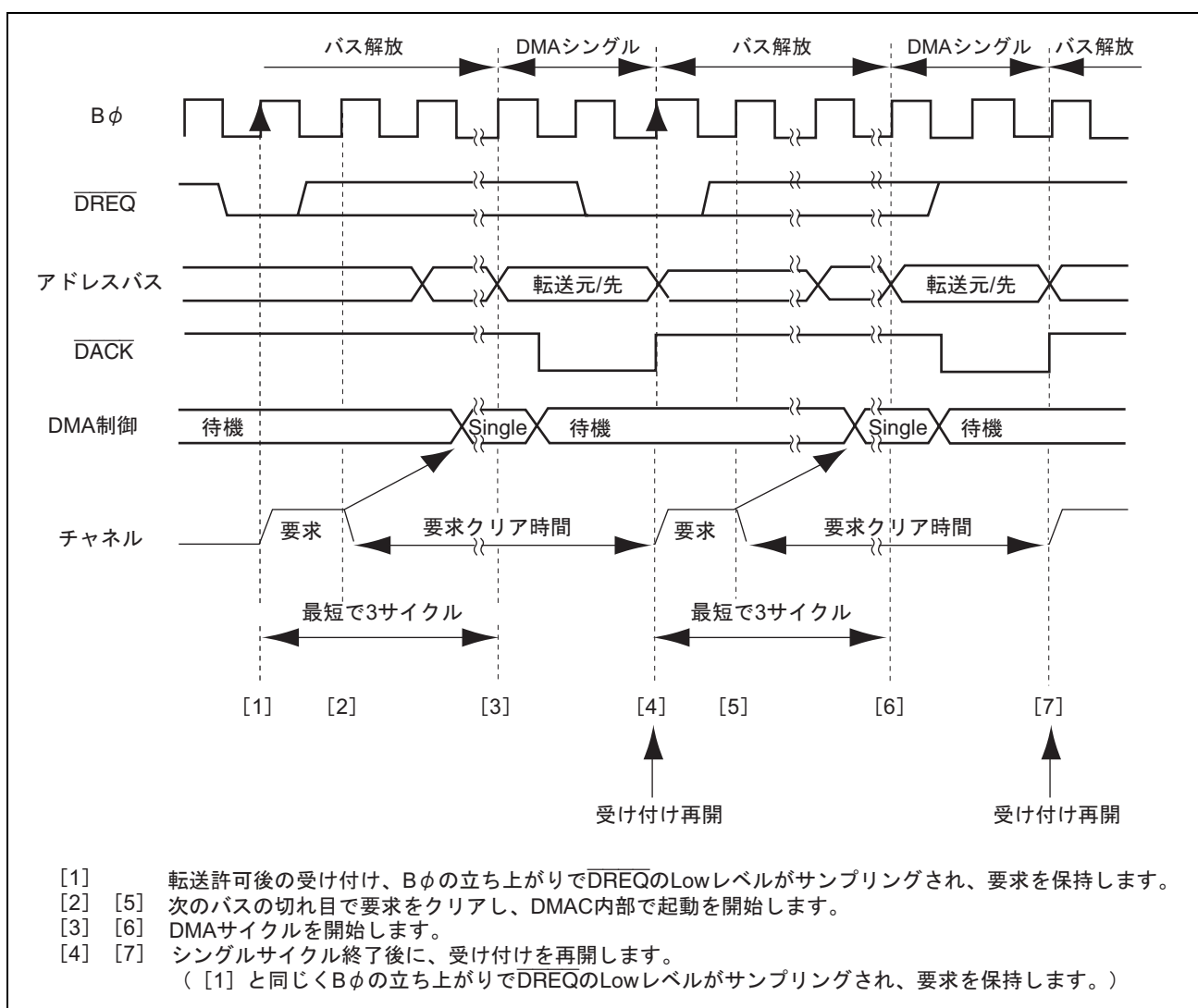


図 7.37 $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例

7. DMA コントローラ (DMAC)

(5) $\overline{\text{NRD}}=1$ のときの $\overline{\text{DREQ}}$ Low レベル起動タイミング

DMDR の $\overline{\text{NRD}}$ ビットを 1 にセットすると、次の転送要求の受け付けタイミングを 1 サイクル遅延させることができます。

図 7.38 に $\overline{\text{NRD}}=1$ のときの $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、 DTE ビットのライトサイクル終了直後の次の $\text{B}\phi$ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。シングルサイクル終了後に $\overline{\text{NRD}}=1$ による 1 サイクルの要求クリア期間後に受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

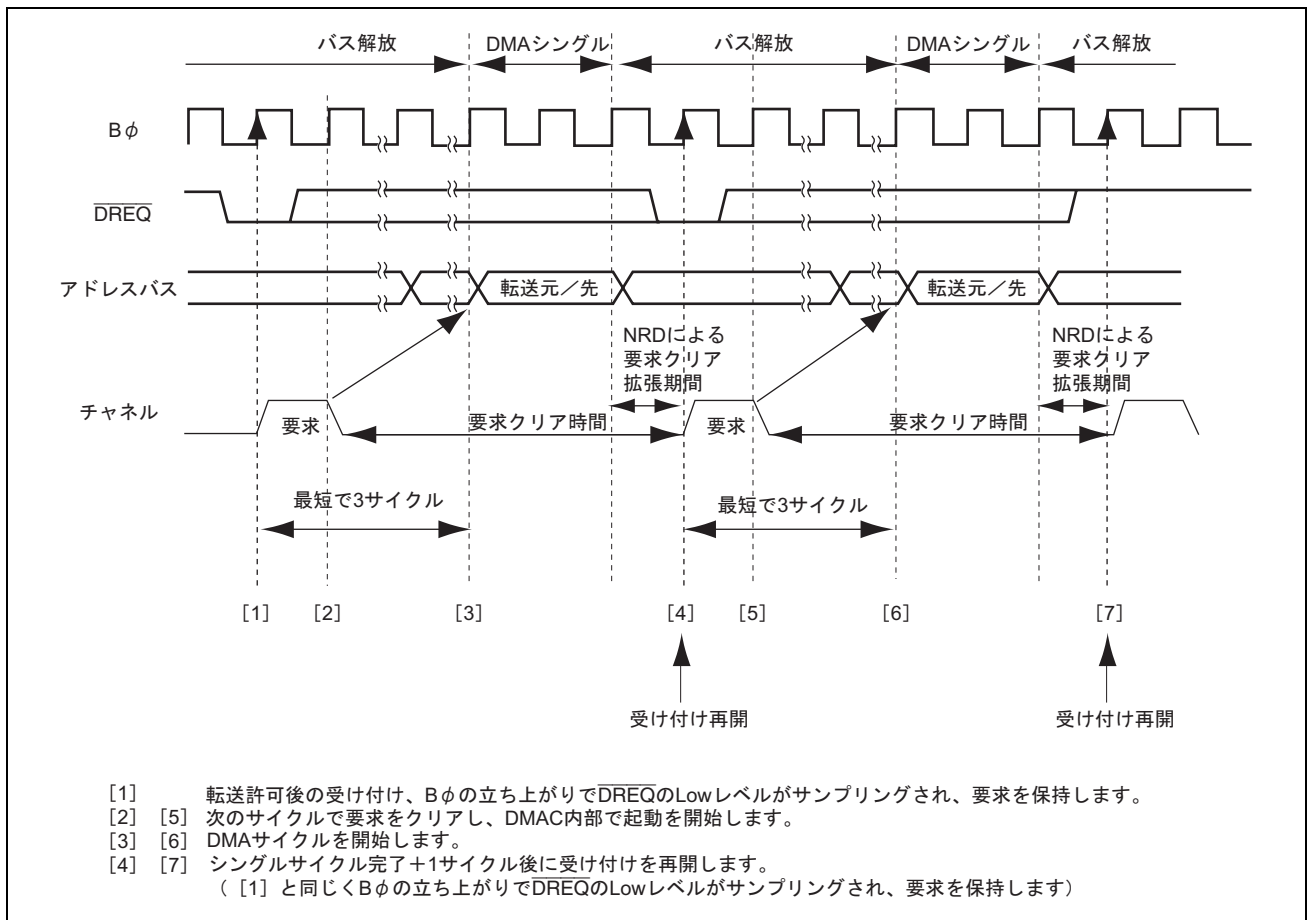


図 7.38 $\overline{\text{NRD}}=1$ のときの $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例

7.6 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMDR の DTE ビットと ACT ビットが 1 から 0 になり、DMA 転送が終了したことを示します。

(1) DTCR=1、2、4→0 による転送終了

DTCR の値が 1、2、または 4 から 0 になると対応するチャンネルの DMA 転送が終了し、DMDR の DTE ビットが 0 にクリアされ、同時に DMDR の DTIF ビットが 1 にセットされます。このとき DMDR の DTIE ビットが 1 にセットされていると、転送カウンタによる転送終了割り込み要求が発生します。DTCR の値が転送前から 0 の場合は、DMA 転送は終了しません。

(2) 転送サイズエラー割り込みによる転送終了

DMDR の TSEIE ビットが 1 にセットされているときに次の条件を満たすと、転送サイズエラー割り込み要求が発生し、DMA 転送を終了します。このとき DMDR の DTE ビットは 0 にクリアされ、同時に DMDR の ESIF ビットが 1 にセットされます。

- ノーマル転送モード、リピート転送モードにおいて、データアクセスサイズよりも DTCR の値が小さくなり、1 要求あたりのデータアクセスサイズ分の転送ができなくなった状態で、次の転送要求が発生したとき
- ブロック転送モードにおいて、ブロックサイズよりも DTCR の値が小さくなり、1 要求あたりのブロックサイズ分の転送ができなくなった状態で、次の転送要求が発生したとき

DMDR の TSEIE ビットが 0 にクリアされているときは、DTCR が 0 になるまで転送を行い、転送サイズエラー割り込み要求は発生しません。各転送モードごとの動作を以下に示します。

- ノーマル転送モードやリピート転送モードにおいて、データアクセスサイズよりも DTCR の値が小さいと、データアクセスサイズをバイトに固定して転送を行います。
- ブロック転送モードにおいて、ブロックサイズよりも DTCR の値が小さいと、ブロックサイズ分の転送を行わず DTCR 分の転送を行います。データアクセスサイズよりも DTCR の値が小さいときは、データアクセスサイズをバイトに固定して転送を行います。

(3) リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DACR の RPTIE ビットが 1 にセットされているときに、1 リピートサイズ分の転送終了後に次の転送要求が発生すると、リピートサイズ終了割り込み要求が発生します。割り込み要求の発生により DMA 転送を終了し、DMDR の DTE ビットが 0 にクリアされ、同時に DMDR の ESIF ビットが 1 にセットされます。この状態から DTE ビットを 1 にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に次の転送要求が発生すると、リピートサイズ終了割り込み要求が発生します。

(4) 拡張リピートエリアオーバーフロー割り込みによる転送終了

拡張リピートエリアを指定し、DACR の SARIE ビットまたは DARIE ビットが 1 にセットされているときに、アドレスの拡張リピートエリアがオーバーフローすると、拡張リピートエリアオーバーフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMDR の DTE ビットが 0 にクリアされ、同時に DMDR の ESIF ビットが 1 にセットされます。

7. DMA コントローラ (DMAC)

デュアルアドレスモードでは、リードサイクル中に拡張リポートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1ブロック分の転送中に拡張リポートエリアオーバフロー割り込み要求が発生しても1ブロック分の転送は実行されます。拡張リポートエリアオーバフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

(5) DMDR の DTE ビットに 0 をライトして転送終了

CPU 等によって DMDR の DTE ビットに 0 をライトすると、転送中の DMA サイクルおよび転送要求を受け付けた DMA サイクルの実行後に転送終了されます。

ブロック転送モードでは、転送中の 1 ブロックサイズの転送終了後に DMA 転送を終了します。

(6) NMI 割り込みによる転送終了

NMI 割り込みが発生した場合、DMAC は全チャンネルの DTE ビットを 0 にクリアし、かつ DMDR_0 の ERRF ビットを 1 にセットします。DMA 転送中に NMI 割り込みが発生した場合、転送は強制的に終了します。NMI 割り込み発生後に DMA 転送を行う場合は、ERRF ビットを 0 にクリアした後に各チャンネルの DTE ビットを 1 にセットしてください。

以下に、NMI 割り込み検出後の転送終了タイミングを各モード毎に示します。

(a) ノーマル転送モード、リポート転送モード

デュアルアドレスモードでは、1 転送単位の DMA 転送のライトサイクル終了後に DMA 転送を終了します。シングルアドレスモードでは、1 転送単位の DMA 転送のバスサイクル終了後に DMA 転送を終了します。

(b) ブロック転送モード

ブロックサイズ分の DMA 転送を中断して強制終了します。ブロックサイズ分の転送が正しく実行されなくなるため、転送要求に対する整合性は保証されません。

デュアルアドレスモードでは、ノーマル転送モードと同様にリードサイクルに対応するライトサイクルは実行されます。

(7) アドレスエラーによる転送終了

アドレスエラーが発生すると DMAC は全チャンネルの DTE ビットを 0 にクリアし、かつ DMDR_0 の ERRF ビットを 1 にセットします。DMA 転送中にアドレスエラーが発生した場合、転送は強制的に終了します。アドレスエラー発生後に DMA 転送を行う場合は、ERRF ビットを 0 にクリアした後に各チャンネルの DTE ビットを 1 にセットしてください。

アドレスエラー検出後の転送終了タイミングは、NMI 割り込みによる強制終了タイミングと同様です。

(8) ハードウェアスタンバイモード、リセット入力による転送終了

ハードウェアスタンバイモードまたはリセット入力により、DMAC は初期化されます。DMA 転送は保証されません。

7.7 DMAC と他のバスマスタの関係

7.7.1 CPU に対する DMAC の優先レベル制御機能

CPU プライオリティコントロールレジスタ (CPUPCR) の設定により、CPU に対する DMAC の優先レベル制御機能を使用することができます。詳細は「5.7 CPU に対する DTC、DMAC の優先レベル制御機能」を参照してください。

DMAC の優先レベルは、DMDR の DMAP2~0 ビットで設定します。チャンネル毎に優先レベルを独立に設定することができます。

CPU の優先レベルは、CPUPCR の CPUP2~0 ビットで設定します。CPU の優先レベルは、CPUP2~0 ビットの値を割り込みマスクビットの値で更新することにより、例外処理のプライオリティレベルに対応した優先レベルに設定されます。

CPUPCR の CPUPCE ビットを 1 にセットして CPU の優先レベル制御を有効にすると、DMAC の優先レベルが CPU の優先レベルよりも低くなると対応するチャンネルの転送要求はマスクされ、当該チャンネルは起動されなくなります。他のチャンネルの優先レベルが CPU の優先レベルと同じか、高い場合は、チャンネル間の優先順位に関係なく、他のチャンネルの転送要求は受け付けられ転送が可能です。

CPU の優先レベル制御機能により転送要求をマスクされた転送要因は保留され、CPU の優先レベルまたは当該チャンネルの優先レベルを更新して CPU の優先レベルが当該チャンネルの優先レベルよりも低くなると、転送要求を受け付けて転送を開始します。保留されている転送要求は、DTE ビットに 0 をライトするとクリアされます。

CPUPCE ビットを 0 にクリアすると CPU の優先レベルは最低と見なされます。

7.7.2 他のバスマスタとのバス権の調停

DMA 転送サイクルが連続する場合、各バスサイクルの間に他のバスマスタのサイクルが挿入される場合と、挿入されない場合があります。設定により DMAC のバス権を一旦解放して他のバスマスタにバス権を譲ることができます。

DMA 転送サイクルが連続するバスサイクルには、転送モードの仕様により不可分割となる場合、転送モードの仕様により高速アクセスのためバスサイクルが連続する場合があります。

DMA 転送サイクルのリードとライトの間は不可分割となっています。このため、DMA 転送サイクルのリードとライトの間にリフレッシュサイクル、外部バス解放サイクル、内部バスマスタ (CPU、DTC) のサイクルは発生しません。

ブロック転送モード、およびオートリクエストのバーストモードの転送では、DMA 転送のバスサイクルは連続します。この期間、CPU、DTC はバス権の優先順位が DMAC よりも低いいため外部空間アクセスは待たされます (バスコントロールレジスタ 2 (BCR2) の IBCCS=0 のとき)。

他のチャンネルに切り替わる時、およびオートリクエストのサイクルスチールモードの転送では、DMA 転送サイクルは内部バスマスタと交互にバスサイクルを実行します。

BCR2 の IBCCS ビットを 1 にセットして DMAC と内部バスマスタとの間の調停機能を有効にすると、不可分割のバスサイクルを除いて、バス権を一旦解放して内部バスマスタとの間で交互にバス権を取得します。詳細は「6. バスコントローラ (BSC)」を参照してください。

DMAC が外部空間をアクセスする場合、外部バス解放サイクルとの競合が発生することがあります。このときバスコントローラは、外部バスの優先順位に従って、DMAC がバースト転送またはブロック転送を行っ

7. DMA コントローラ (DMAC)

ているときでも転送を一旦中断し、外部バス解放サイクルを挿入します (DMAC よりも優先順位の低い DTC、CPU の外部アクセスは、DMAC が外部バスを解放するまで動作しません)。


DMAC の転送モードがデュアルアドレスモードの場合、DMAC が外部バスを解放するタイミングは外部ライトサイクルの後となります。外部リードサイクルと外部ライトサイクルの間は不可分割のため、この間にバスを解放することはありません。

DMAC が内部空間 (内蔵メモリ、内部 I/O レジスタ) をアクセスする場合、DMAC サイクルが外部バス解放サイクルと同時に進行されることがあります。

7.8 割り込み要因

DMAC が発生する割り込み要因は、転送カウンタによる転送終了、転送カウンタが 0 にならずに転送終了するエスケープ終了割り込みです。表 7.7 に割り込み要因と優先度を示します。

表 7.7 割り込み要因と優先度

名称	割り込み要因	割り込み 優先順位
DMTEND0	チャンネル 0 の転送カウンタによる転送終了割り込み	高  低
DMTEND1	チャンネル 1 の転送カウンタによる転送終了割り込み	
DMTEND2	チャンネル 2 の転送カウンタによる転送終了割り込み	
DMTEND3	チャンネル 3 の転送カウンタによる転送終了割り込み	
DMEEND0	チャンネル 0 の転送サイズエラーによる割り込み チャンネル 0 のリピートサイズ終了割り込み チャンネル 0 のソースアドレス拡張リピートエリアオーバーフローによる割り込み チャンネル 0 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
DMEEND1	チャンネル 1 の転送サイズエラーによる割り込み チャンネル 1 のリピートサイズ終了割り込み チャンネル 1 のソースアドレス拡張リピートエリアオーバーフローによる割り込み チャンネル 1 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
DMEEND2	チャンネル 2 の転送サイズエラーによる割り込み チャンネル 2 のリピートサイズ終了割り込み チャンネル 2 のソースアドレス拡張リピートエリアオーバーフローによる割り込み チャンネル 2 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
DMEEND3	チャンネル 3 の転送サイズエラーによる割り込み チャンネル 3 のリピートサイズ終了割り込み チャンネル 3 のソースアドレス拡張リピートエリアオーバーフローによる割り込み チャンネル 3 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	

各割り込み要因は、対応するチャンネルの DMDR の DTIE ビットと ESIE ビットにより許可または禁止を設定できます。DTIE ビットは、DMDR の DTIF ビットとの組み合わせで DMTEND 割り込みを発生させます。ESIE ビットは、DMDR の ESIF ビットとの組み合わせで DMEEND 割り込みを発生させます。DMEEND 内の割り込み要因は共通の割り込みとして区別されません。チャンネル間の割り込みの優先順位は、割り込みコントローラによって決められており、表 7.7 に示すようになっています。詳細は「5. 割り込みコントローラ」を参照してください。

各割り込み要因は、対応するチャンネルのレジスタの割り込みイネーブルビットで設定します。転送カウンタによる転送終了割り込みは DMDR の DTIE ビット、転送サイズエラーによる割り込みは DMDR の TSEIE ビット、リピートサイズ終了による割り込みは DACR の RPTIE ビット、ソースアドレス拡張リピートエリアオーバフロー割り込みは DACR の SARIE ビット、デスティネーションアドレス拡張リピートエリアオーバフロー割り込みは DACR の DARIE ビットにより許可または禁止を設定します。

転送カウンタによる転送終了割り込みは、DMDR の DTIE ビットが 1 にセットされていると、転送により DTCR が 0 になり DMDR の DTIF ビットが 1 にセットされたときに発生します。

転送カウンタによる転送終了割り込み以外の割り込みは、対応する割り込みイネーブルビットが 1 にセットされていると、転送により対応する条件が発生し DMDR の ESIF ビットが 1 にセットされたときに発生します。

転送サイズエラーによる割り込みは、データアクセスサイズよりも DTCR の値が小さくなり 1 要求あたりのデータアクセスサイズ分の転送ができないときに転送要求があると発生します。ブロック転送モードでは、ブロックサイズと DTCR の値を比較して転送サイズエラー判定を行います。

リピートサイズ終了割り込みは、リピート転送モードにおいてリピートサイズ分の転送終了後に次の転送要求があると発生します。リピートエリアをアドレスレジスタに設定しない場合でもリピートサイズに設定した値により定期的に転送を中断させることができます。同時に転送カウンタによる転送終了割り込みが発生した場合も、ESIF ビットは 1 にセットされます。

ソースアドレス拡張リピートエリアオーバフロー割り込み、およびデスティネーションアドレス拡張リピートエリアオーバフロー割り込みは、拡張リピートエリアを設定して対応するアドレスがリピートエリアオーバフローになったときに発生します。同時に転送カウンタによる転送終了割り込みが発生した場合も、ESIF ビットは 1 にセットされます。

各種割り込みと割り込みフラグのブロック図を図 7.39 に示します。割り込みを解除するには、割り込み処理ルーチンにて DMDR の DTIF ビットまたは ESIF ビットを 0 にクリアする方法と、レジスタの再設定後に DMDR の DTE ビットを 1 にセットして転送継続の処理を行う方法があります。割り込みを解除して、転送を再開する手順例を図 7.40 に示します。

7. DMA コントローラ (DMAC)

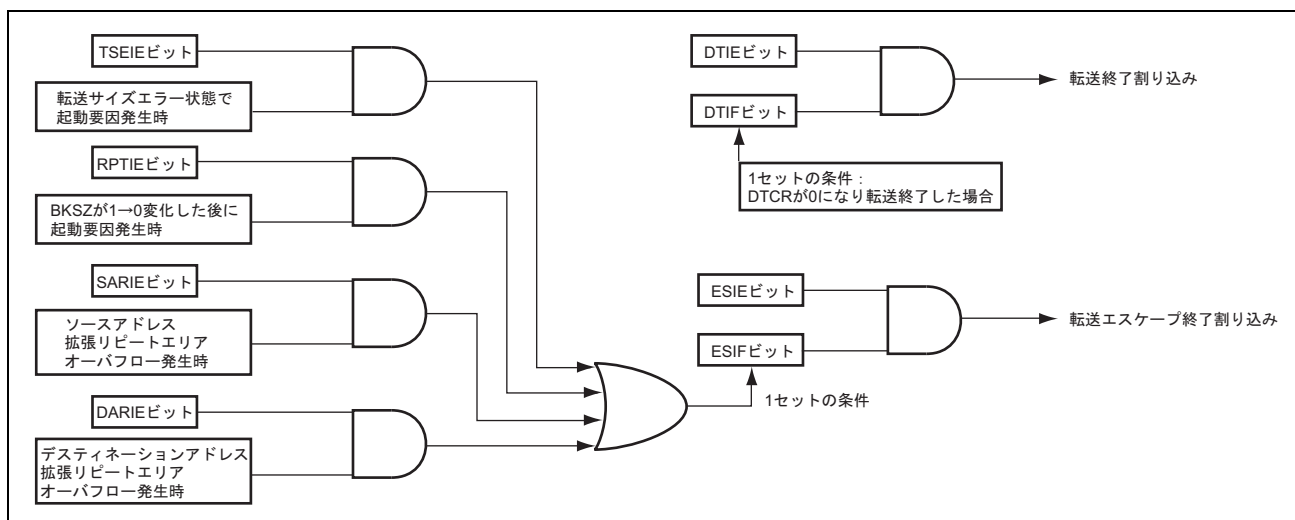


図 7.39 割り込みと割り込み要因

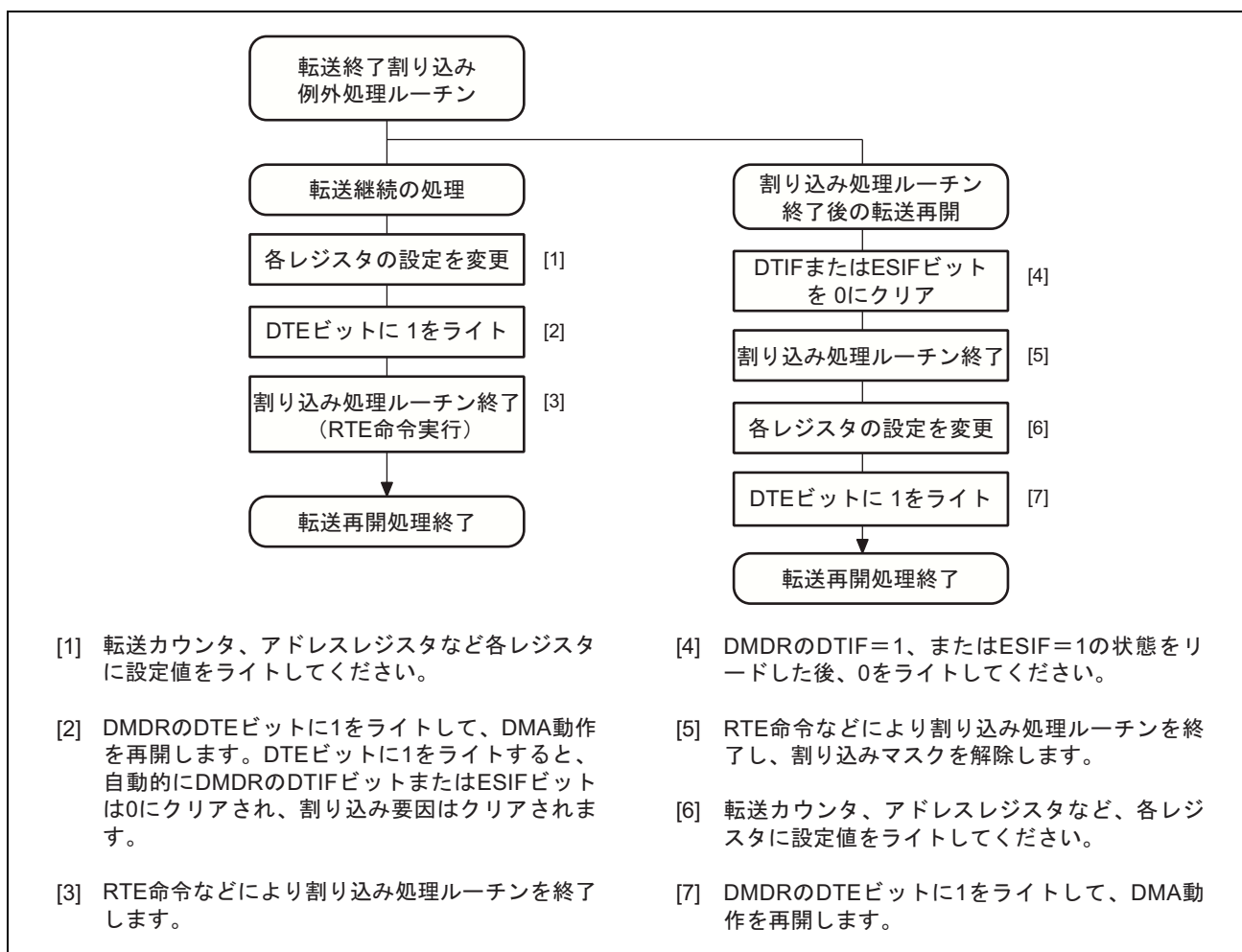


図 7.40 割り込みを解除して、転送を再開する手順例

7.9 使用上の注意事項

(1) 動作中の DMAC レジスタのアクセス

DMDR の DTE ビットを 0 にクリアする場合を除き、動作中（転送待ち状態を含む）にチャンネルの設定を変更しないでください。動作中にチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。

(2) モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、DMAC の動作停止／許可を設定することができます。初期値では、DMAC は動作許可状態です。

MSTPCRA の MSTPA13 ビットを 1 にセットすると、DMAC に供給されるクロックが停止し、DMAC はモジュールストップ状態になります。ただし、DMAC のいずれかのチャンネルが転送許可状態になっている場合、および割り込み要求を発生中の場合は、MSTPA13 ビットを 1 にセットできません。DMDR の DTE ビットを 0 にクリアして、DMDR の DTIF ビットまたは DTIE ビットを 0 にクリアしてから MSTPA13 ビットを設定してください。

DMAC のクロックが停止すると、DMAC のレジスタに対するアクセスができなくなります。次の DMAC のレジスタ設定は、モジュールストップ状態でも有効となりますので、必要に応じてモジュールストップ状態に先立って無効にしてください。

- DMDR の TEND \bar{E} = 1 ($\overline{\text{TEND}}$ 端子イネーブル)
- DMDR の DACK \bar{E} = 1 ($\overline{\text{DACK}}$ 端子イネーブル)

(3) $\overline{\text{DREQ}}$ 立ち下がリエッジ起動

$\overline{\text{DREQ}}$ 立ち下がリエッジ検出は、DMAC の内部動作に同期して行います。

1. 起動要求待ち状態： $\overline{\text{DREQ}}$ の Low レベル検出を待ち。[2.] に遷移します。
2. 転送待ち状態：DMAC のデータ転送許可待ち。[3.] に遷移します。
3. 起動要求禁止状態： $\overline{\text{DREQ}}$ の High レベル検出を待ち。[1.] に遷移します。

DMAC の転送許可後は [1.] に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われます。

(4) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{DREQ}}$ の立ち下がリエッジセンス／Low レベルセンスとともに Low レベルを検出しています。従って、転送許可状態にするための DMDR ライト実行以前から発生している $\overline{\text{DREQ}}$ の Low レベル検出による転送要求を受け付けます。

DMAC の起動時には、前回の転送終了時に $\overline{\text{DREQ}}$ の Low レベルが残らないようにしてください。

8. データトランスファコントローラ (DTC)

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込み要求によって起動され、データ転送を行うことができます。

8.1 特長

- 任意チャネル数の転送が可能
 - 一つの起動要因に対して複数のデータ転送が可能 (チェイン転送)
 - データ転送後にチェイン転送の実行を設定可能 (カウンタ=0のとき)
- 転送モード : 3種類
 - ノーマル転送モード、リピート転送モード、ブロック転送モードの選択が可能
 - 転送元、転送先アドレスのインクリメント、デクリメント、固定の選択が可能
- ショートアドレスモード/フルアドレスモードを選択可能
 - 転送情報は、ショートアドレスモードのとき3ロングワード、フルアドレスモードのとき4ロングワードに配置
 - ショートアドレスモードでは転送元、転送先アドレスを24ビットで指定でき、16Mバイトのアドレス空間を直接指定可能
 - フルアドレスモードでは転送元、転送先アドレスを32ビットで指定でき、4Gバイトのアドレス空間を直接指定可能
- データ転送のデータサイズをバイト、ワード、ロングワードに設定可能
 - 奇数アドレスを指定し、ワード、ロングワード転送を行った場合にバスサイクルを分割して転送
 - 4n+2アドレスを指定し、ロングワード転送を行った場合にバスサイクルを分割して転送
- DTCを起動した割り込みをCPUに要求可能
 - 一回のデータ転送終了後にCPUに対する割り込み要求を発生可能
 - 指定したデータ転送終了後にCPUに対する割り込み要求を発生可能
- 転送情報のリードスキップを指定可能
- 固定を選択した転送元アドレス、転送先アドレスはライトバックスキップを実行
- モジュールストップモードの設定可能

8. データトランスファコントローラ (DTC)

DTC ブロック図を図 8.1 に示します。DTC の転送情報は、データ領域に配置可能です*。転送情報を内蔵 RAM に配置した場合、DTC と内蔵 RAM は 32 ビットバスで接続されていますので、DTC の転送情報のリード/ライトを 32 ビット 1 ステートで実行できます。

【注】* 転送情報を内蔵 RAM に配置した場合、必ず SYSCR の RAME ビットを 1 にセットしてください。

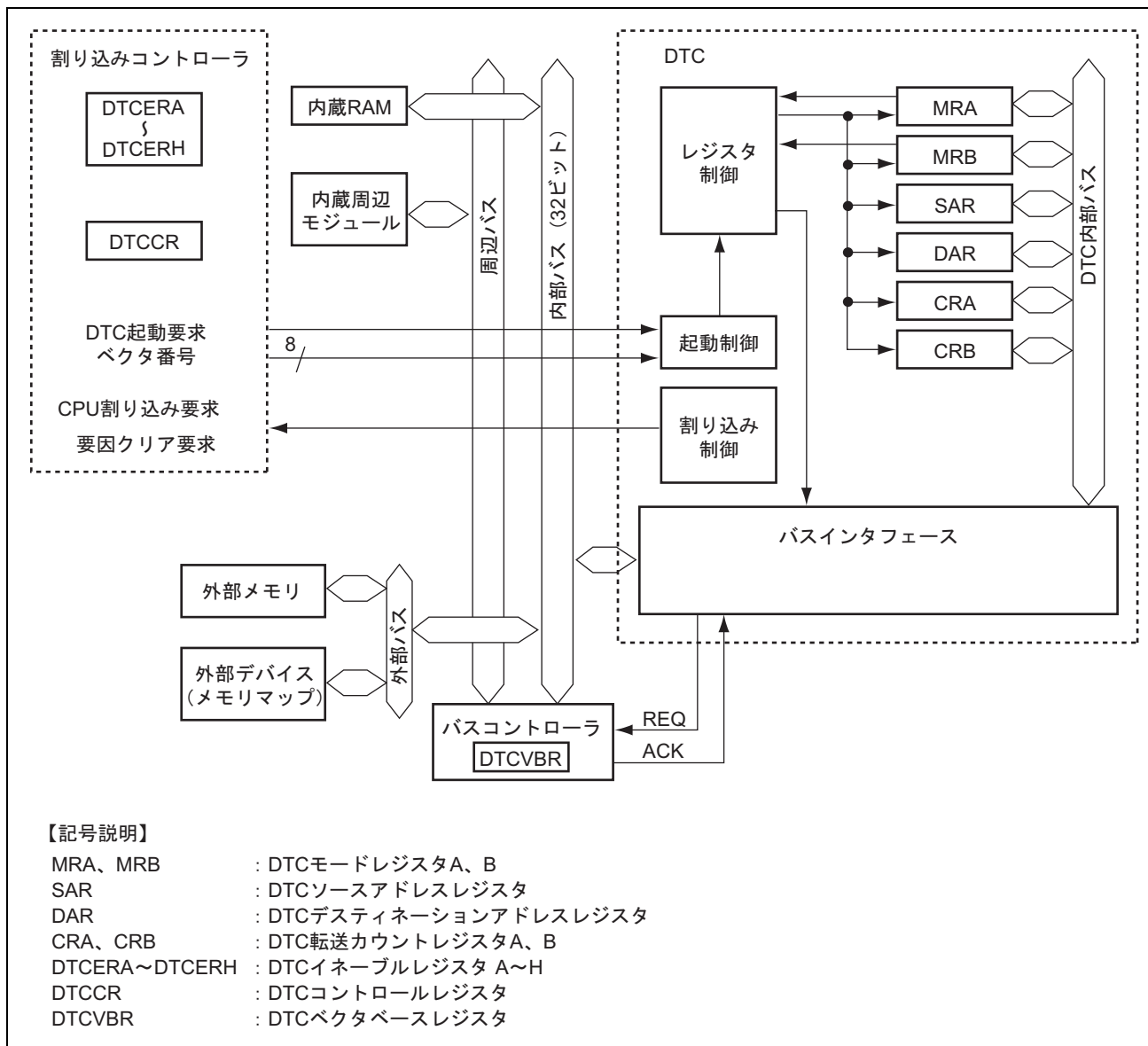


図 8.1 DTC のブロック図

8.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ (DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

MRA、MRB、SAR、DAR、CRA、CRB の 6 本のレジスタは、CPU から直接アクセスすることはできません。データ領域に転送情報として配置します。DTC 起動要因が発生すると、起動要因ごとに決められたベクタアドレスに従って転送情報の先頭アドレスを読み出し、任意の転送情報を DTC 内に転送してデータ転送を行います。転送が終了すると、これらのレジスタの内容がライトバックされます。

- DTCイネーブルレジスタA~H (DTCERA~DTCERH)
- DTCコントロールレジスタ (DTCCR)
- DTCベクタベースレジスタ (DTCVBR)

8.2.1 DTC モードレジスタ A (MRA)

MRA は、DTC の動作モードの選択を行います。MRA は、CPU から直接アクセスすることができません。

ビット	7	6	5	4	3	2	1	0
ビット名	MD1	MD0	Sz1	Sz0	SM1	SM0	—	—
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
7	MD1	不定	—	DTC モード 1、0
6	MD0	不定	—	DTC の転送モードを指定します。 00 : ノーマル転送モード 01 : リピート転送モード 10 : ブロック転送モード 11 : 設定禁止

8. データトランスファコントローラ (DTC)

ビット	ビット名	初期値	R/W	説明
5	Sz1	不定	—	DTC データトランスファサイズ 1、0 転送データのサイズを指定します。 00 : バイトサイズ転送 01 : ワードサイズ転送 10 : ロングワードサイズ転送 11 : 設定禁止
4	Sz0	不定	—	
3	SM1	不定	—	ソースアドレスモード 1、0 データ転送後の SAR の動作を指定します。 0X : SAR は固定 (SAR のライトバックはスキップされます。) 10 : 転送後 SAR をインクリメント (Sz1、Sz0 が B'00 のとき+1、B'01 のとき+2、B'10 のとき+4) 11 : 転送後 SAR をデクリメント (Sz1、Sz0 が B'00 のとき-1、B'01 のとき-2、B'10 のとき-4)
2	SM0	不定	—	
1	—	不定	—	リザーブビット
0	—	不定	—	ライトする値は常に 0 にしてください。

【注】 X : Don't care

8.2.2 DTC モードレジスタ B (MRB)

MRB は、DTC の動作モードの選択を行います。MRB は、CPU から直接アクセスできません。

ビット	7	6	5	4	3	2	1	0
ビット名	CHNE	CHNS	DISEL	DTS	DM1	DM0	—	—
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定	—	DTC チェイン転送イネーブル チェイン転送を指定します。チェイン転送の詳細は「8.5.7 チェイン転送」を参照してください。チェイン転送の条件の選択は CHNS ビットで行います。 0 : チェイン転送禁止 1 : チェイン転送許可
6	CHNS	不定	—	DTC チェイン転送セレクト チェイン転送の条件を選択します。次の転送がチェイン転送の場合、指定した転送回数の終了判定、起動要因フラグまたは DTCER のクリアは行いません。 0 : 連続してチェイン転送を行う 1 : 転送カウンタ=0 のときのみチェイン転送を行う

ビット	ビット名	初期値	R/W	説明
5	DISEL	不定	—	DTC インタラプトセレクト このビットが1のとき、DTC データ転送のたびに CPU に対して割り込み要求が発生します。このビットが0のときは指定されたデータ転送を終了したときだけ CPU に対して割り込み要求が発生します。
4	DTS	不定	—	DTC 転送モードセレクト リピート転送モードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
3 2	DM1 DM0	不定 不定	— —	デスティネーションアドレスモード 1、0 データ転送後の DAR の動作を指定します。 0X : DAR は固定 (DAR のライトバックはスキップされます。) 10 : 転送後 DAR をインクリメント (Sz1、Sz0 が B'00 のとき+1、B'01 のとき+2、B'10 のとき+4) 11 : 転送後 DAR をデクリメント (Sz1、Sz0 が B'00 のとき-1、B'01 のとき-2、B'10 のとき-4)
1 0	— —	不定 不定	— —	リザーブビット ライトする値は常に0にしてください。

【注】 X : Don't care

8.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 32 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。

フルアドレスモードでは 32 ビットが有効です。ショートアドレスモードでは下位 24 ビットが有効で、ビット 31~24 の設定は無視されます。このときアドレスの上位 8 ビットは、ビット 23 で指定した値で補完されます。

SAR に奇数アドレスを設定してワードアクセス、ロングワードアクセスする場合と、アドレスを $4n+2$ 番地に設定してロングワードアクセスする場合は、バスサイクルを分割してデータ転送を行います。詳細は、「8.5.1 バスサイクルの分割」を参照してください。

SAR は、CPU から直接アクセスすることはできません。

8.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 32 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。

フルアドレスモードでは 32 ビットが有効です。ショートアドレスモードでは下位 24 ビットが有効で、ビット 31~24 の設定は無視されます。このときアドレスの上位 8 ビットは、ビット 23 で指定した値で補完されます。

DAR に奇数アドレスを設定してワードアクセス、ロングワードアクセスする場合と、アドレスを $4n+2$ 番地に設定してロングワードアクセスする場合は、バスサイクルを分割してデータ転送を行います。詳細は、

8. データトランスファコントローラ (DTC)

「8.5.1 バスサイクルの分割」を参照してください。

DAR は、CPU から直接アクセスすることはできません。

8.2.5 DTC 転送カウントレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマル転送モードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) されます。カウンタ値が H'0000 になると、起動要因に対応する DTCE_n ビット (n=15~0) をクリアした後に CPU に割り込み要求を発生します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。

リピート転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は 1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると CRAH の内容が転送されます。転送回数は、設定値が CRAH=CRAL=H'01 のときは 1 回、H'FF のときは 255 回で、H'00 のときは 256 回になります。

ブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH はブロックサイズを保持し、CRAL は 8 ビットのブロックサイズカウンタ (1~256 バイト、1~256 ワード、または 1~256 ロングワード) として機能します。CRAL は 1 回のデータ転送を行うたびに 1 バイト (または 1 ワード、1 ロングワード) 毎にデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。ブロックサイズは設定値が CRAH=CRAL=H'01 のときは 1 バイト (または 1 ワード、1 ロングワード)、H'FF のときは 255 バイト (または 255 ワード、255 ロングワード) で、H'00 のときは 256 バイト (または 256 ワード、256 ロングワード) になります。

CRA は、CPU から直接アクセスすることはできません。

8.2.6 DTC 転送カウントレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送回数カウンタ (1~65536) として機能し、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると、起動要因に対応する DTCE_n ビット (n=15~0) をクリアした後に CPU に割り込み要求を発生します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。

ノーマル転送モードおよびリピート転送モードでは、CRB は使用しません。CRB は、CPU から直接アクセスすることはできません。

8.2.7 DTC イネーブルレジスタ A~H (DTCERA~DTCERH)

DTCER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA~DTCERH があります。各割り込み要因と DTCE ビットの対応については表 8.1 を参照してください。DTCE ビットの設定は、BSET 命令、BCLR 命令などのビット操作命令を使用してください。ただし初期設定に限り、複数の起動要因を一度に設定するために、割り込みをマスクして対象となるレジスタをダミーリードした後ライトすることができます。

ビット	15	14	13	12	11	10	9	8
ビット名	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	DTCE15	0	R/W	DTC 起動イネーブル 15~0
14	DTCE14	0	R/W	1 をセットすると、対応する割り込み要因が DTC 起動要因として選択されます。
13	DTCE13	0	R/W	[クリア条件]
12	DTCE12	0	R/W	• クリアするビットの 1 の状態をリードした後、0 をライトしたとき
11	DTCE11	0	R/W	• MRB の DISEL ビットが 1 で、1 回のデータ転送を終了したとき
10	DTCE10	0	R/W	• 指定した回数の転送が終了したとき
9	DTCE9	0	R/W	DISEL ビットが 0 で、指定した回数の転送が終了していないときはクリアされません。
8	DTCE8	0	R/W	
7	DTCE7	0	R/W	
6	DTCE6	0	R/W	
5	DTCE5	0	R/W	
4	DTCE4	0	R/W	
3	DTCE3	0	R/W	
2	DTCE2	0	R/W	
1	DTCE1	0	R/W	
0	DTCE0	0	R/W	

8. データトランスファコントローラ (DTC)

8.2.8 DTC コントロールレジスタ (DTCCR)

DTCCR は、転送情報リードスキップを設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	RRS	RCHNE	—	—	ERR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R/(W)*

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7~5	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
4	RRS	0	R/W	DTC 転送情報リードスキップイネーブル ベクタアドレスのリードと転送情報のリードを制御します。DTC ベクタ番号は、常に前回起動のベクタ番号と比較されます。ベクタ番号の値が一致し、このビットが1のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を実施します。前回の起動がチェーン転送のときは、必ずベクタアドレスのリードと転送情報のリードが行われます。 0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき転送情報リードスキップを行う
3	RCHNE	0	R/W	DTC リポート転送後チェーン転送イネーブル リポート転送において、転送カウンタ=0でのチェーン転送を許可/禁止します。リポート転送では、転送カウンタ (CRAL) =0 となった場合、CRAL は CRAH で指定した値に書き戻されるため、転送カウンタ=0でのチェーン転送は発生しません。このビットを1にセットすることで、転送カウンタの書き戻し時のチェーン転送が許可されます。 0: リポート転送後のチェーン転送を禁止 1: リポート転送後のチェーン転送を許可
2	—	0	R	リザーブビット
1	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
0	ERR	0	R/(W)*	転送停止フラグ アドレスエラー、または NMI 割り込み要求が発生したことを示すフラグです。アドレスエラー、または NMI 割り込み要求が発生すると DTC は停止します。 0: 割り込み要求なし 1: 割り込み要求発生 [クリア条件] • 1の状態をリードした後、0をライトしたとき

【注】 * フラグをクリアするための0ライトのみ可能です。

8.2.9 DTC ベクタベースレジスタ (DTCVBR)

DTCVBR は 32 ビットのレジスタで、ベクタテーブルアドレス算出時のベースアドレスを設定します。

ビット 31~28、ビット 11~0 は 0 に固定されており、ライトは無効です。

DTCVBR の初期値は、H'00000000 です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

8.3 起動要因

DTC は、割り込み要求により起動します。起動する割り込み要因は、DTCER で選択します。対応するビットを 1 にセットすると DTC の起動要因となり、0 にクリアすると CPU の割り込み要因となります。1 回のデータ転送（チェーン転送の場合、連続した最後の転送）終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。

8.4 転送情報の配置と DTC ベクタテーブル

転送情報は、データ領域上に配置します。転送情報の先頭アドレスは、4n 番地としてください。4n 番地以外を指定した場合、下位 2 ビットを無視してアクセスします ([1:0]=B'00)。転送情報は、ショートアドレスモード（3 ロングワード）、フルアドレスモード（4 ロングワード）のいずれかで配置できます。SYSCR の DTCMD ビットでショートアドレスモード（DTCMD=1）、フルアドレスモード（DTCMD=0）の設定を行います。詳細は「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。データ領域上での転送情報の配置を図 8.2 に示します。DTC は起動要因別にベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報をリードします。DTC ベクタテーブルと転送情報の対応を図 8.3 に示します。

8. データトランスファコントローラ (DTC)

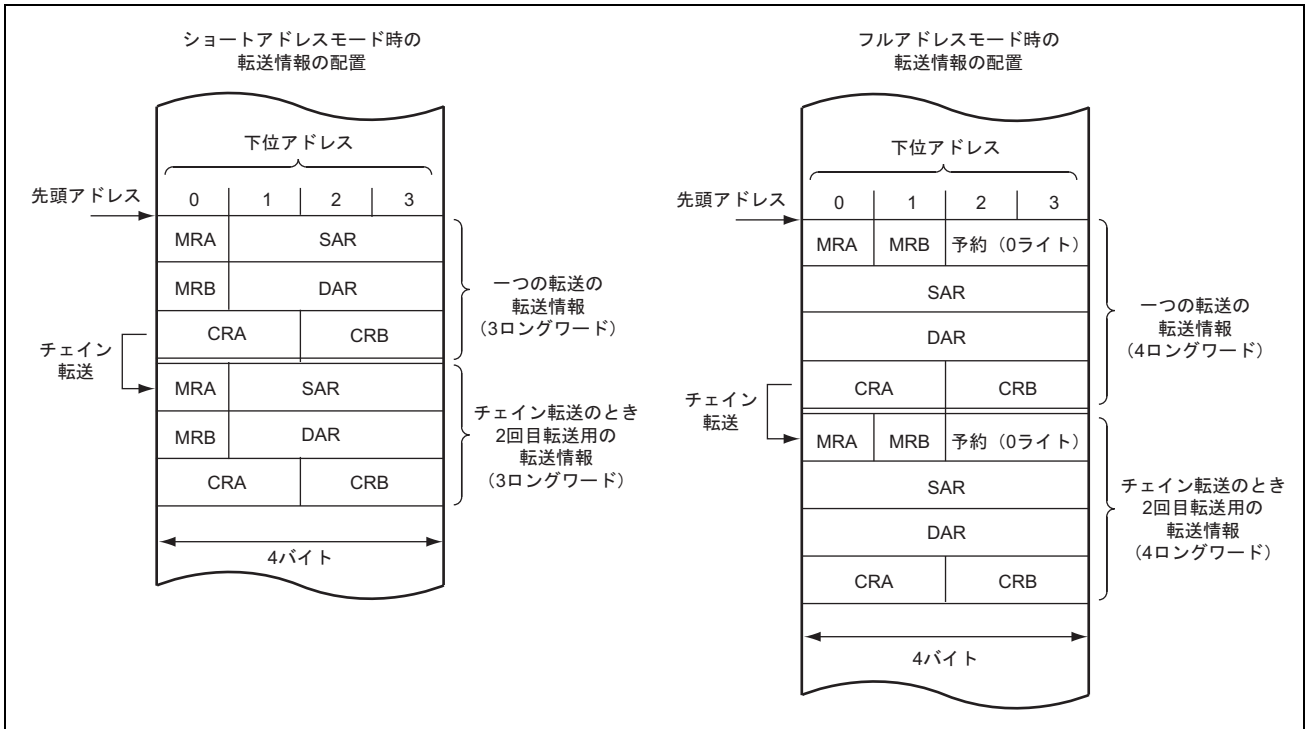


図 8.2 データ領域上での転送情報の配置

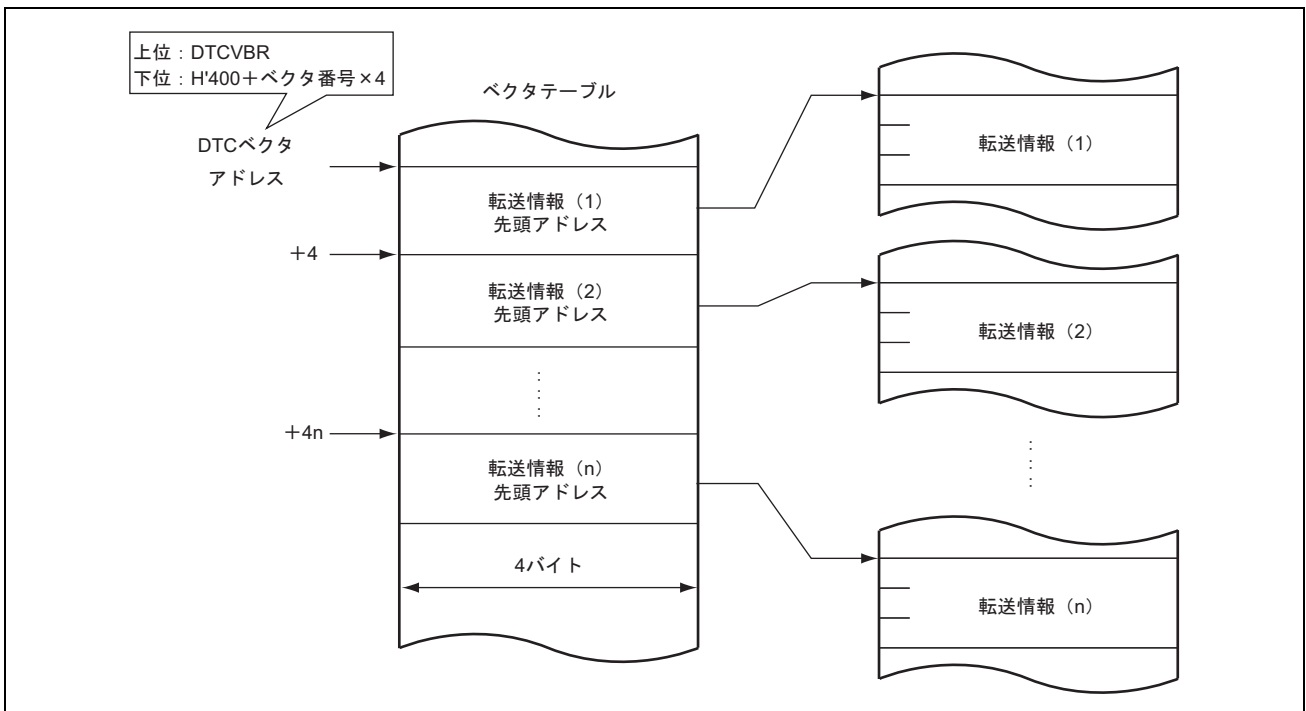


図 8.3 DTC ベクタテーブルと転送情報の対応

DTC の起動要因とベクタアドレスの対応を表 8.1 に示します。

表 8.1 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

起動要因発生元	起動要因	ベクタ 番号	DTC ベクタアドレス オフセット	DTCE*	優先 順位
外部端子	IRQ0	64	H'500	DTCEA15	高 ↑
	IRQ1	65	H'504	DTCEA14	
	IRQ2	66	H'508	DTCEA13	
	IRQ3	67	H'50C	DTCEA12	
	IRQ4	68	H'510	DTCEA11	
	IRQ5	69	H'514	DTCEA10	
	IRQ6	70	H'518	DTCEA9	
	IRQ7	71	H'51C	DTCEA8	
	IRQ8	72	H'520	DTCEA7	
	IRQ9	73	H'524	DTCEA6	
	IRQ10	74	H'528	DTCEA5	
	IRQ11	75	H'52C	DTCEA4	
A/D	ADI	86	H'558	DTCEB15	↓ 低
TPU_0	TGI0A	88	H'560	DTCEB13	
	TGI0B	89	H'564	DTCEB12	
	TGI0C	90	H'568	DTCEB11	
	TGI0D	91	H'56C	DTCEB10	
TPU_1	TGI1A	93	H'574	DTCEB9	
	TGI1B	94	H'578	DTCEB8	
TPU_2	TGI2A	97	H'584	DTCEB7	
	TGI2B	98	H'588	DTCEB6	
TPU_3	TGI3A	101	H'594	DTCEB5	
	TGI3B	102	H'598	DTCEB4	
	TGI3C	103	H'59C	DTCEB3	
	TGI3D	104	H'5A0	DTCEB2	
TPU_4	TGI4A	106	H'5A8	DTCEB1	
	TGI4B	107	H'5AC	DTCEB0	
TPU_5	TGI5A	110	H'5B8	DTCEC15	
	TGI5B	111	H'5BC	DTCEC14	
TMR_0	CMIA0	116	H'5D0	DTCEC13	
	CMIB0	117	H'5D4	DTCEC12	
TMR_1	CMIA1	119	H'5DC	DTCEC11	
	CMIB1	120	H'5E0	DTCEC10	

8.5 動作説明

DTC は、転送情報をデータ領域に格納します。DTC が起動すると、データ領域から転送情報をリードしてデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報をデータ領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

DTC は、転送元アドレスを SAR、転送先アドレスを DAR で指定します。SAR、DAR は転送後、それぞれ独立にインクリメントまたはデクリメント、あるいは固定されます。

DTC の転送モードを表 8.2 に示します。

表 8.2 DTC の転送モード

転送モード	1 回の転送要求で 転送可能なデータサイズ	メモリアドレスの増減	転送回数
ノーマル転送モード	1 バイト/ワード/ロングワード	1、2 または 4 増減・固定	1~65536 回
リピート転送モード* ¹	1 バイト/ワード/ロングワード	1、2 または 4 増減・固定	1~256 回* ³
ブロック転送モード* ²	CRAH で指定したブロックサイズ(1~256 バイト/ワード/ロングワード)	1、2 または 4 増減・固定	1~65536 回

【注】 *1 ソースまたはデスティネーションのいずれかをリピートエリアに設定

*2 ソースまたはデスティネーションのいずれかをブロックエリアに設定

*3 指定回数転送後、初期状態を回復して動作を継続

また、MRB の CHNE ビットを 1 にセットしておくことにより、一つの起動要因で複数の転送を行うことができます (チェーン転送)。MRB の CHNS ビットの設定で、転送カウンタ=0 のときにチェーン転送を行う設定も可能です。

DTC の動作フローチャートを図 8.4 に示します。チェーン転送の条件を表 8.3 に示します (第 2 の転送から第 3 の転送を行う組合せは省略してあります)。

8. データトランスファコントローラ (DTC)

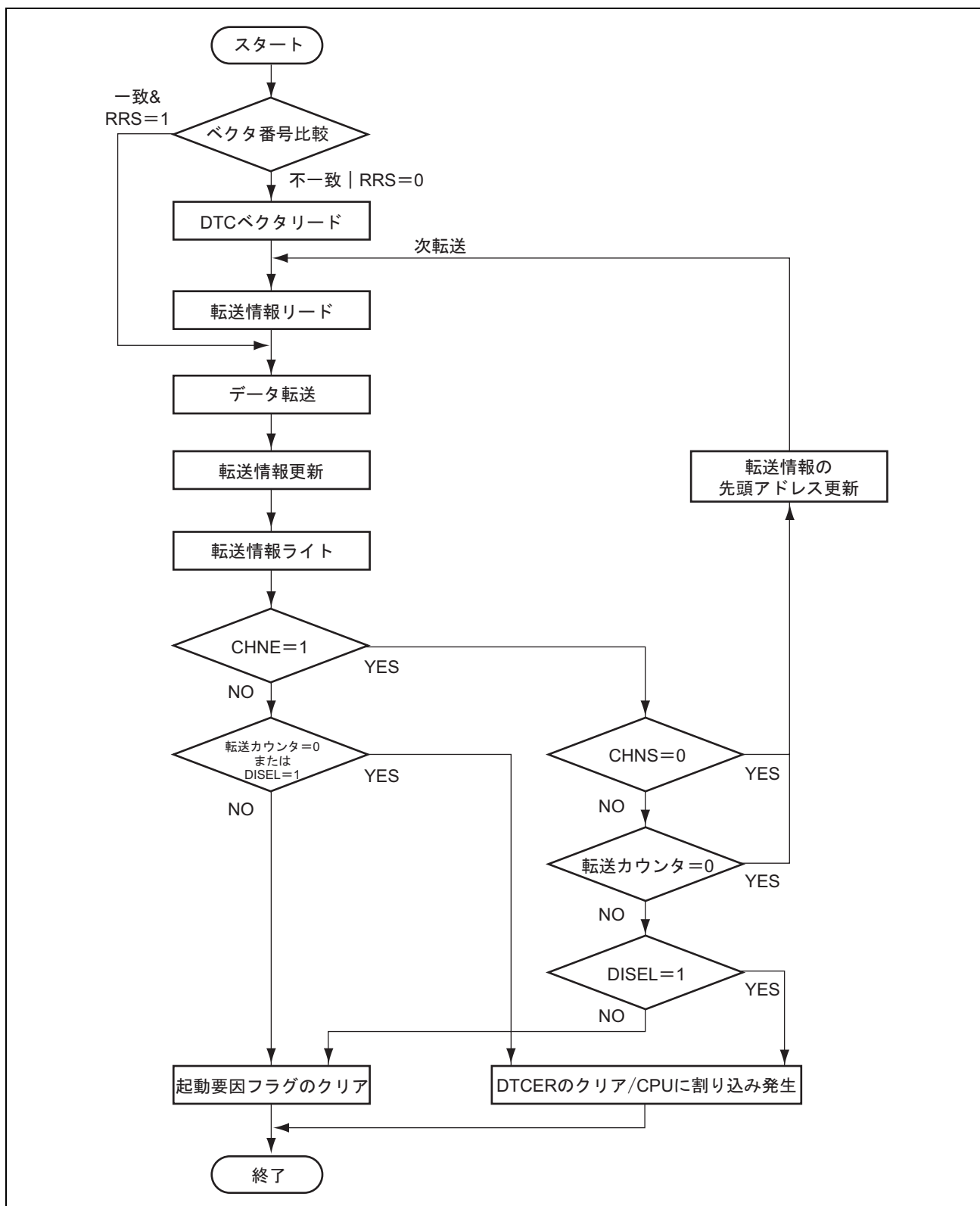


図 8.4 DTC 動作フローチャート

表 8.3 チェイン転送の条件

第 1 の転送				第 2 の転送				DTC 転送
CHNE	CHNS	DISEL	転送 カウンタ*1	CHNE	CHNS	DISEL	転送 カウンタ*1	
0	—	0	0 以外	—	—	—	—	第 1 転送で終了
0	—	0	0*2	—	—	—	—	第 1 の転送で終了
0	—	1		—	—	—	—	CPU へ割り込み要求
1	0	—	—	0	—	0	0 以外	第 2 の転送で終了
				0	—	0	0*2	第 2 の転送で終了
				0	—	1	—	CPU へ割り込み要求
1	1	0	0 以外	—	—	—	—	第 1 転送で終了
1	1	—	0*2	0	—	0	0 以外	第 2 転送で終了
				0	—	0	0*2	第 2 の転送で終了
				0	—	1	—	CPU へ割り込み要求
1	1	1	0 以外	—	—	—	—	第 1 の転送で終了 CPU へ割り込み要求

【注】 *1 ノーマル転送モード：CRA、リポート転送モード：CRAL、ブロック転送モード：CRB

*2 リポート転送モードで CRAL の内容が CRAH の内容に書き換わるとき

8.5.1 バスサイクルの分割

転送データサイズにワード、またはロングワードを指定した場合、ワード境界、ロングワード境界を外れて SAR、DAR を設定すると、バスサイクルを分割し、データはバイトサイズ、ワードサイズでリード、またはライトされます。

表 8.4 に SAR、DAR のアドレス設定値、転送データサイズ設定値とバスサイクル分割数、アクセスデータサイズの関係、図 8.5 にバスサイクル分割時の動作例を示します。

表 8.4 バスサイクル分割数とアクセスサイズ

SAR、DAR 設定値	設定データサイズ		
	バイト (B)	ワード (W)	ロングワード (LW)
4n アドレス	1 (B)	1 (W)	1 (LW)
2n+1 アドレス	1 (B)	2 (B-B)	3 (B-W-B)
4n+2 アドレス	1 (B)	1 (W)	2 (W-W)

8. データトランスファコントローラ (DTC)

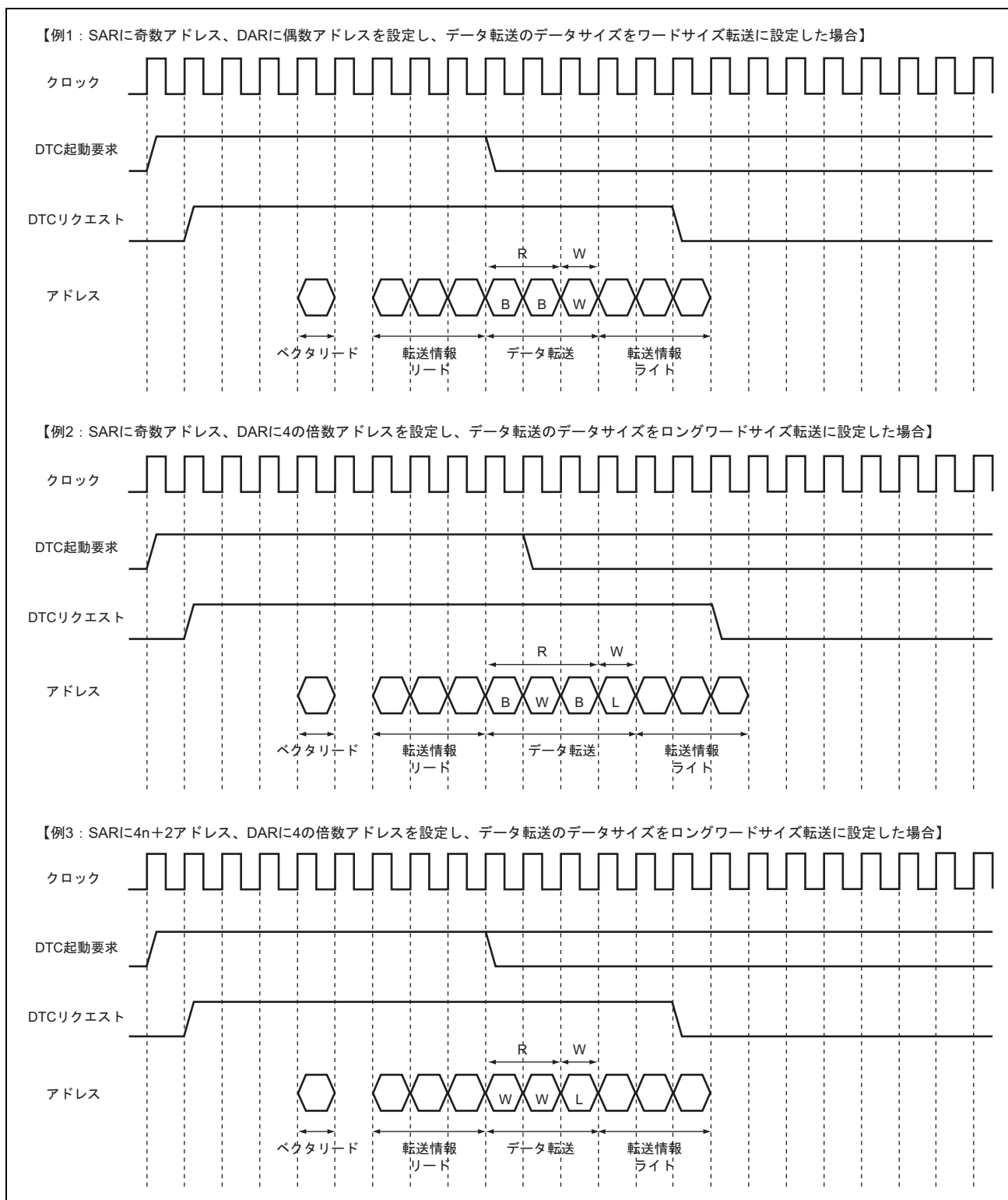


図 8.5 バスサイクルが分割される例

8.5.2 転送情報リードスキップ機能

DTCCR の RRS ビットの設定で、ベクタアドレスのリードと転送情報のリードをスキップすることができます。DTC ベクタ番号は、常に前回起動のベクタ番号と比較します。比較結果が一致し、RRS=1 のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を行います。前回の起動がチェーン転送のときは、必ずベクタアドレスのリードと転送情報のリードが行われます。転送情報リードスキップのタイミングチャートを図 8.6 に示します。

ベクタテーブルと転送情報を更新する場合には、一度 RRS=0 に設定し、ベクタテーブルと転送情報を更新した後、RRS ビットを設定してください。RRS=0 にすると、保持されていたベクタ番号は破棄され、次の起動時に更新されたベクタテーブルおよび転送情報がリードされます。

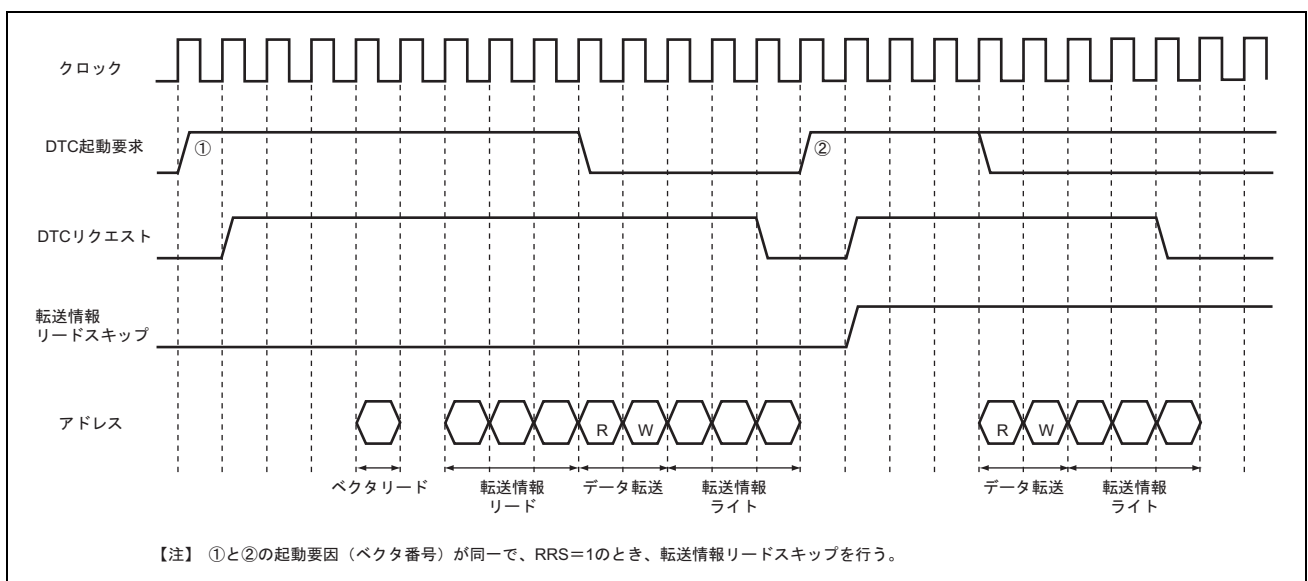


図 8.6 転送情報リードスキップのタイミングチャート

8.5.3 転送情報ライトバックスキップ機能

MRA の SM1 ビットと MRB の DM1 ビットをアドレス固定に設定すると、転送情報の一部はライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。転送情報ライトバックスキップの条件とライトバックスキップされるレジスタを表 8.5 に示します。CRA、CRB は、ショートアドレスモード、フルアドレスモードの設定にかかわらず、必ずライトバックされます。また、フルアドレスモードでは、MRA、MRB は必ずライトバックスキップされます。

表 8.5 転送情報ライトバックスキップの条件とライトバックスキップされるレジスタ

SM1	DM1	SAR	DAR
0	0	スキップ	スキップ
0	1	スキップ	ライトバック
1	0	ライトバック	スキップ
1	1	ライトバック	ライトバック

8. データトランスファコントローラ (DTC)

8.5.4 ノーマル転送モード

一つの起動要因で、1バイト、1ワードまたは1ロングワードの転送を行います。転送回数は1~65536です。転送元アドレスと転送先アドレスは、増加、減少または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへ割り込み要求を発生することができます。

ノーマル転送モードのレジスタ機能を表 8.6 に、ノーマル転送モードのメモリマップを図 8.7 に示します。

表 8.6 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
SAR	転送元アドレス	増加/減少/固定*
DAR	転送先アドレス	増加/減少/固定*
CRA	転送カウントA	CRA-1
CRB	転送カウントB	更新されません

【注】 * 転送情報のライトバックはスキップされます。

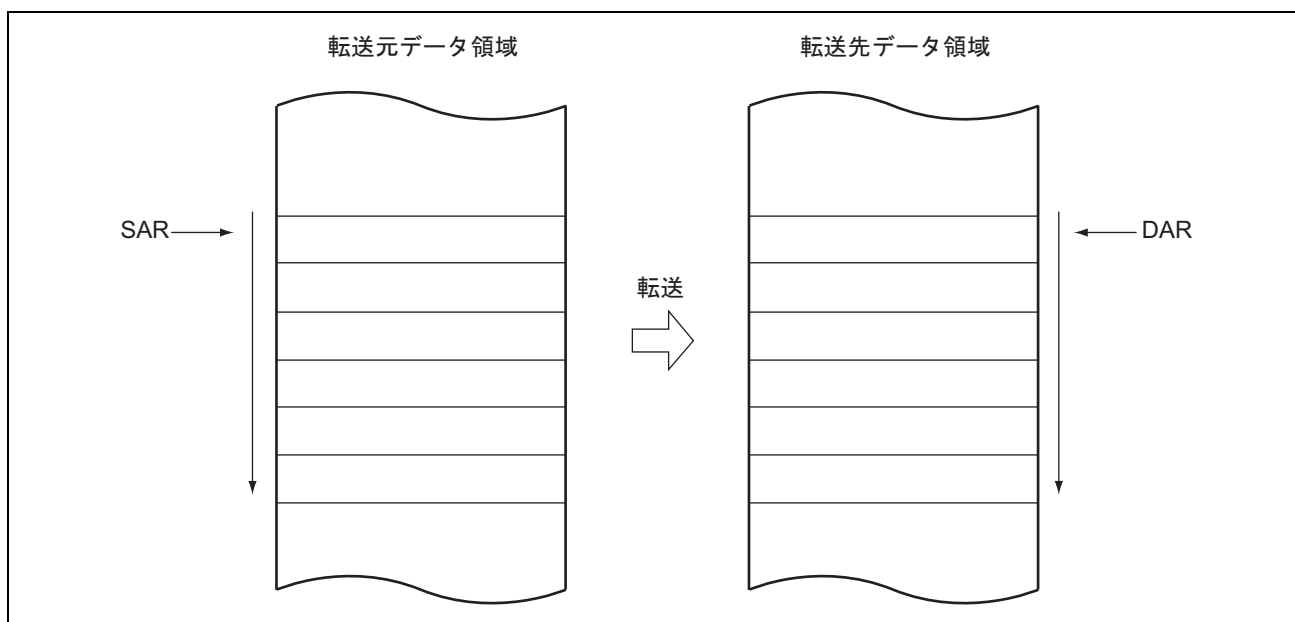


図 8.7 ノーマル転送モードのメモリマップ

8.5.5 リピート転送モード

一つの起動要因で、1バイト、1ワードまたは1ロングワードの転送を行います。MRBのDTSビットにより、転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定されます。リピート転送モードでは、転送カウンタ (CRAL) が H'00 になると CRAL は CRAH で設定した値に更新されます。このため、転送カウンタは H'00 にならないので、DISEL=0 のときに、CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 8.7 に、リピート転送モードのメモリマップを図 8.8 に示します。

表 8.7 リポート転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値	
		CRAL が 1 以外のとき	CRAL が 1 のとき
SAR	転送元アドレス	増加／減少／固定*	(DTS=0)増加／減少／固定* (DTS=1)SAR の初期値
DAR	転送先アドレス	増加／減少／固定*	(DTS=0)DAR の初期値 (DTS=1)増加／減少／固定*
CRAH	転送カウント保持	CRAH	CRAH
CRAL	転送カウント A	CRAL-1	CRAH
CRB	転送カウント B	更新されません	更新されません

【注】 * 転送情報のライトバックはスキップされます。

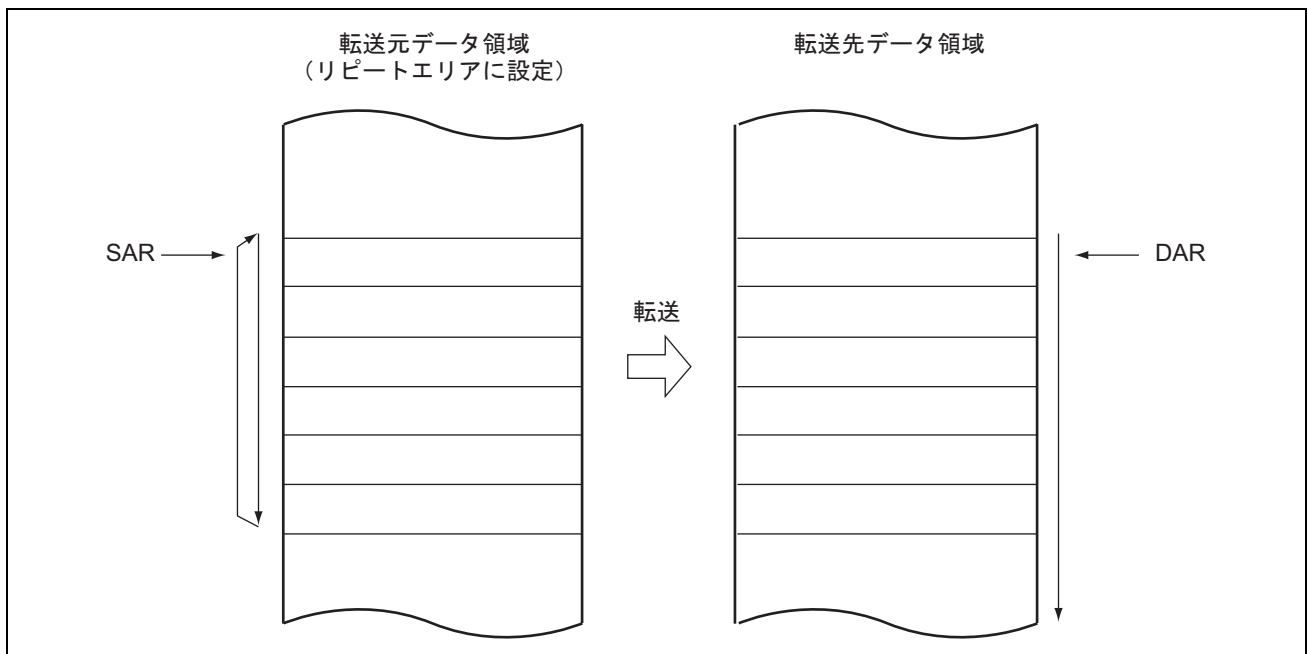


図 8.8 リポート転送モードのメモリマップ (転送元をリピートエリアに指定した場合)

8.5.6 ブロック転送モード

一つの起動要因で、1ブロックの転送を行います。MRBのDTSビットにより、転送元、転送先のいずれかをブロックエリアに指定します。ブロックサイズは1~256バイト(または1~256ワード、1~256ロングワード)です。1ブロックの転送が終了すると、ブロックサイズカウンタ(CRAL)とブロックエリアに指定したアドレスレジスタ(DTS=1のときSAR、DTS=0のときDAR)の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定されます。転送回数は1~65536です。指定回数のブロック転送が終了すると、CPUへ割り込み要求を発生することができます。

ブロック転送モードのレジスタ機能を表 8.8 に、ブロック転送モードのメモリマップを図 8.9 に示します。

8. データトランスファコントローラ (DTC)

表 8.8 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
SAR	転送元アドレス	(DTS=0)増加/減少/固定* (DTS=1)SAR の初期値
DAR	転送先アドレス	(DTS=0)DAR の初期値 (DTS=1)増加/減少/固定*
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB-1

【注】 * 転送情報のライトバックはスキップされます。

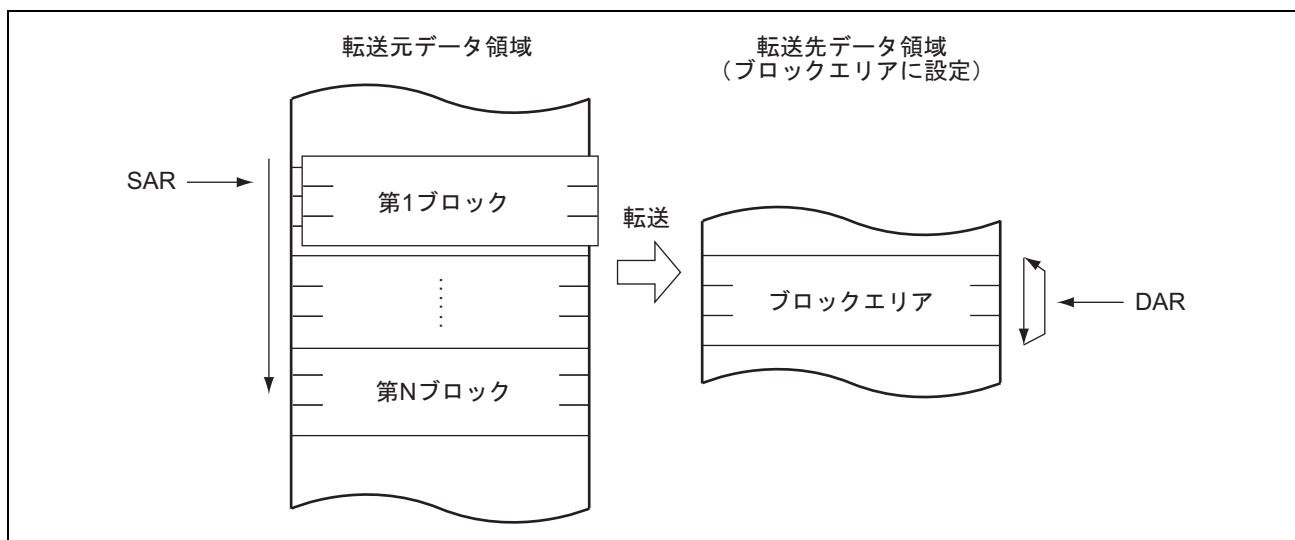


図 8.9 ブロック転送モードのメモリマップ (転送先をブロックエリアに指定した場合)

8.5.7 チェイン転送

MRB の CHNE ビットを 1 にセットすると、一つの起動要因で複数のデータ転送を連続して行うことができます。また、MRB の CHNE ビット、CHNS ビットをそれぞれ 1 にセットすると、転送カウンタ=0 のときのみチェーン転送を行います。データ転送を定義する SAR、DAR、CRA、CRB および MRA、MRB はそれぞれ独立に設定できます。チェーン転送の動作を図 8.10 に示します。

CHNE=1 に設定したデータ転送では、指定した転送回数の終了による CPU への割り込み要求や、DISEL=1 による CPU への割り込み要求は発生しません。また、CHNE=1 の転送は、起動要因となった割り込み要因フラグおよび DTCER に影響を与えません。

リピート転送モードでは、DTCCR の RCHNE ビット、MRB の CHNE、CHNS ビットをそれぞれ 1 にセットすると、転送カウンタ=1 の転送後にチェーン転送を行うことができます。

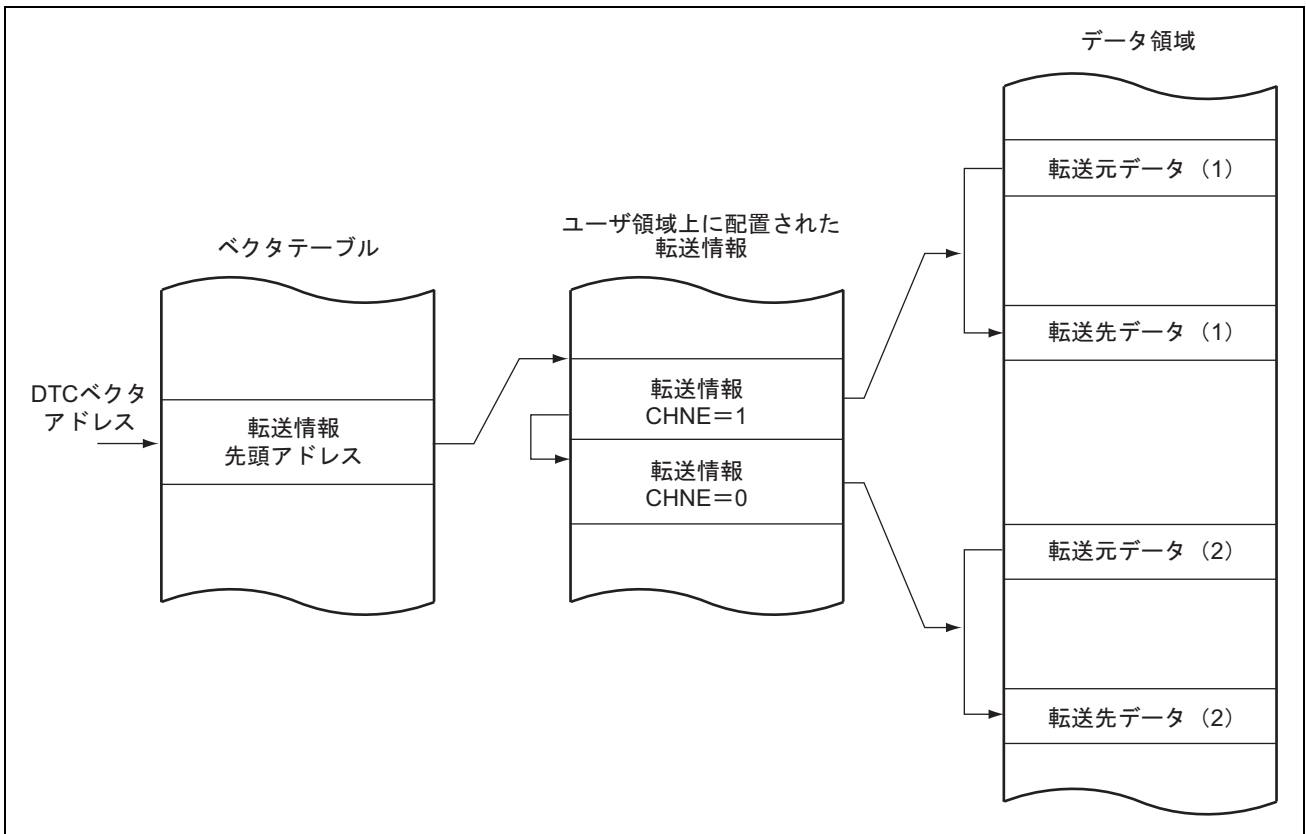


図 8.10 チェイン転送の動作

8.5.8 動作タイミング

DTC の動作タイミングを図 8.11～図 8.14 に示します。

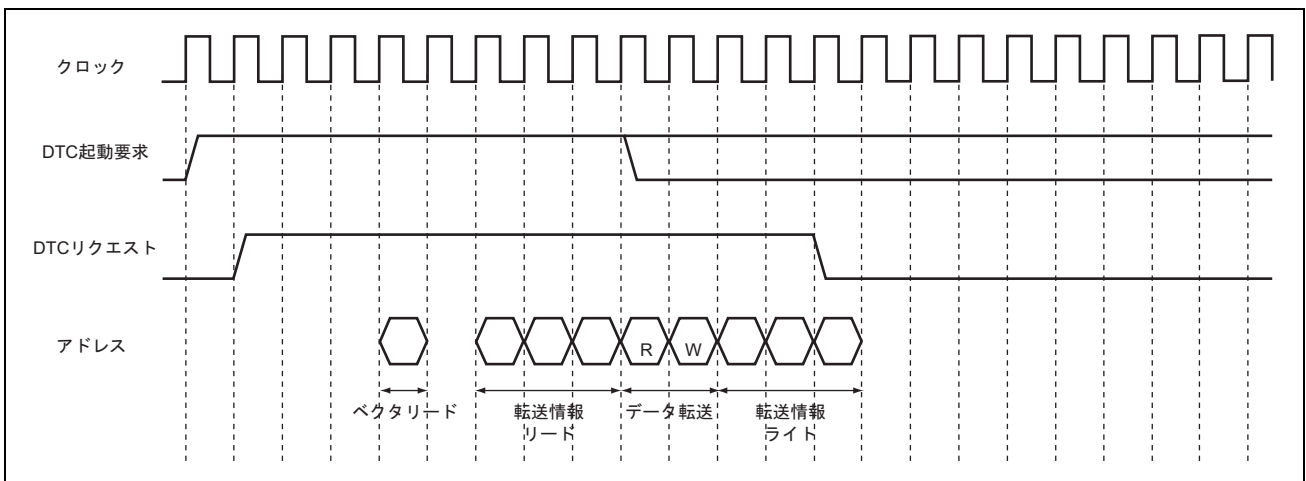


図 8.11 DTC の動作タイミング例 (ショートアドレスモード、ノーマル転送モード、リピート転送モード)

8. データトランスファコントローラ (DTC)

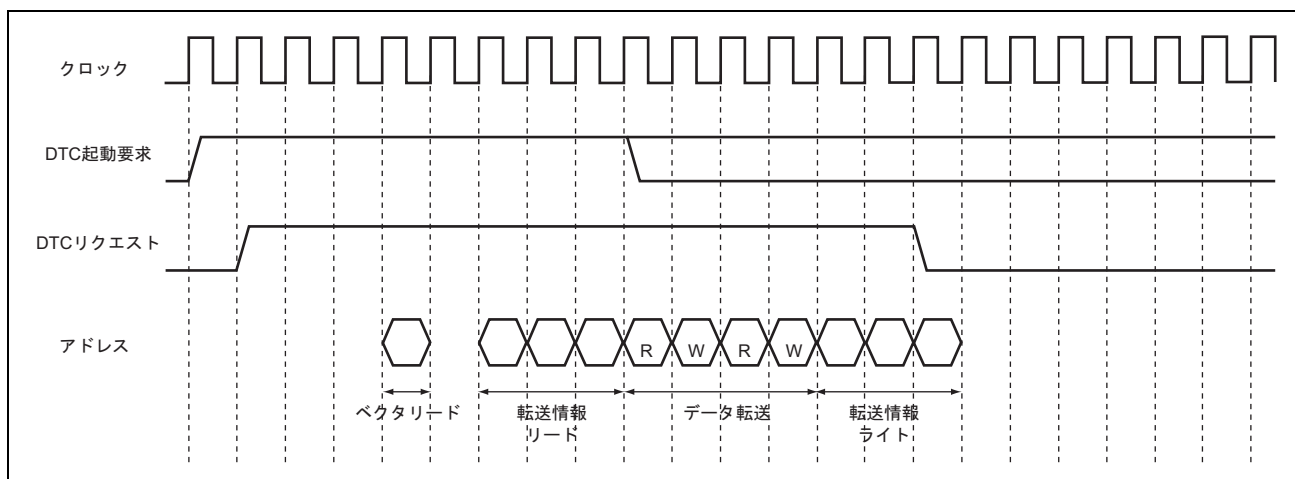


図 8.12 DTC の動作タイミング例 (ショートアドレスモード、ブロック転送モード、ブロックサイズ=2)

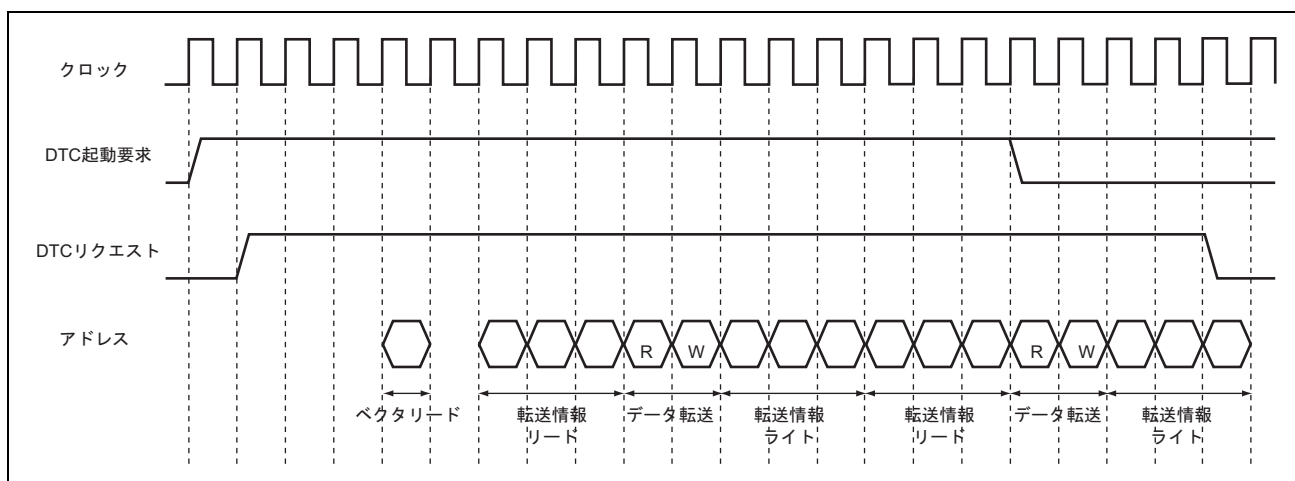


図 8.13 DTC の動作タイミング例 (ショートアドレスモード、チェイン転送)

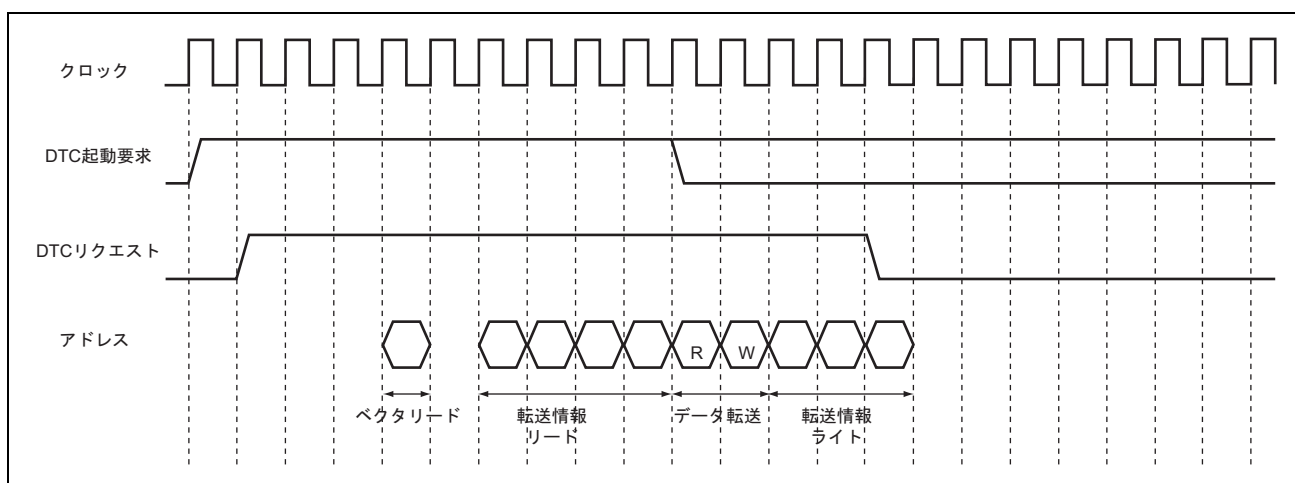


図 8.14 DTC の動作タイミング例 (フルアドレスモード、ノーマル転送モード、リピート転送モード)

8.5.9 DTC の実行ステート

DTC の 1 回のデータ転送の実行状態を表 8.9 に示します。また、実行状態に必要なステート数を表 8.10 に示します。

表 8.9 DTC の実行状態

モード	ベクタ リード I		転送情報 リード J			転送情報 ライト K			データリード L			データライト M			内部動作 N	
	1	0* ¹	4* ²	3* ³	0* ¹	3* ^{2,3}	2* ⁴	1* ⁵	3* ⁶	2* ⁷	1	3* ⁶	2* ⁷	1	1	0* ¹
ノーマル	1	0* ¹	4* ²	3* ³	0* ¹	3* ^{2,3}	2* ⁴	1* ⁵	3* ⁶	2* ⁷	1	3* ⁶	2* ⁷	1	1	0* ¹
リピート	1	0* ¹	4* ²	3* ³	0* ¹	3* ^{2,3}	2* ⁴	1* ⁵	3* ⁶	2* ⁷	1	3* ⁶	2* ⁷	1	1	0* ¹
ブロック	1	0* ¹	4* ²	3* ³	0* ¹	3* ^{2,3}	2* ⁴	1* ⁵	3・ P* ⁶	2・ P* ⁷	1・P	3・ P* ⁶	2・ P* ⁷	1・P	1	0* ¹

【注】 *1 転送情報リードスキップのとき

*2 フルアドレスモード動作のとき

*3 ショートアドレスモード動作のとき

*4 SAR もしくは DAR が固定モードのとき

*5 SAR と DAR が固定モードのとき

*6 アドレスレジスタに奇数アドレスを設定しロングワード転送をしたとき

*7 アドレスレジスタに奇数アドレスを設定しワード転送をしたとき、もしくは、アドレスレジスタに 4n+2 のアドレスを設定しロングワード転送したとき

P: ブロックサイズ(CRAH、CRAL の初期設定)

表 8.10 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内蔵 I/O レジスタ			外部デバイス			
バス幅		32	32	8	16	32	8		16	
アクセスステート		1	1	2	2	2	2	3	2	3
実行 状態	ベクタリード S _I	1	1	—	—	—	8	12+4m	4	6+2m
	転送情報リード S _J	1	1	—	—	—	8	12+4m	4	6+2m
	転送情報ライト S _K	1	1	—	—	—	8	12+4m	4	6+2m
	バイトデータリード S _L	1	1	2	2	2	2	3+m	2	3+m
	ワードデータリード S _L	1	1	4	2	2	4	4+2m	2	3+m
	ロングワードデータリード S _L	1	1	8	4	2	8	12+4m	4	6+2m
	バイトデータライト S _M	1	1	2	2	2	2	3+m	2	3+m
	ワードデータライト S _M	1	1	4	2	2	4	4+2m	2	3+m
	ロングワードデータライト S _M	1	1	8	4	2	8	12+4m	4	6+2m
内部動作 S _N		1								

【記号説明】 m: ウェイト数 0~7(詳細は「6. バスコントローラ (BSC)」を参照してください。)

8. データトランスファコントローラ (DTC)

実行ステート数は、次の計算式で計算されます。なお、 Σ は一つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数+1) の和を示します。

$$\text{実行ステート数} = I \cdot S_I + \Sigma (J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M) + N \cdot S_N$$

8.5.10 DTC のバス権解放タイミング

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。DTC がバス権を解放するのは、ベクタリードの後、転送情報のリード後、1 回のデータ転送後、転送情報ライトバック後です。転送情報リード中、1 回のデータ転送中、転送情報ライトバック中にはバスを解放しません。

8.5.11 CPU に対する DTC の優先レベル制御

DTC の起動要因は、CPUPCR の CPUP2~CPUP0 ビットで示される CPU の優先レベルと、DTCP2~DTCP0 ビットで示される DTC の優先レベルにより、DTC と CPU との間の優先レベルを制御することができます。詳細は、「5. 割り込みコントローラ」を参照してください。

8.6 割り込みによる DTC の起動

DTC の割り込み起動による使用手順を図 8.15 に示します。

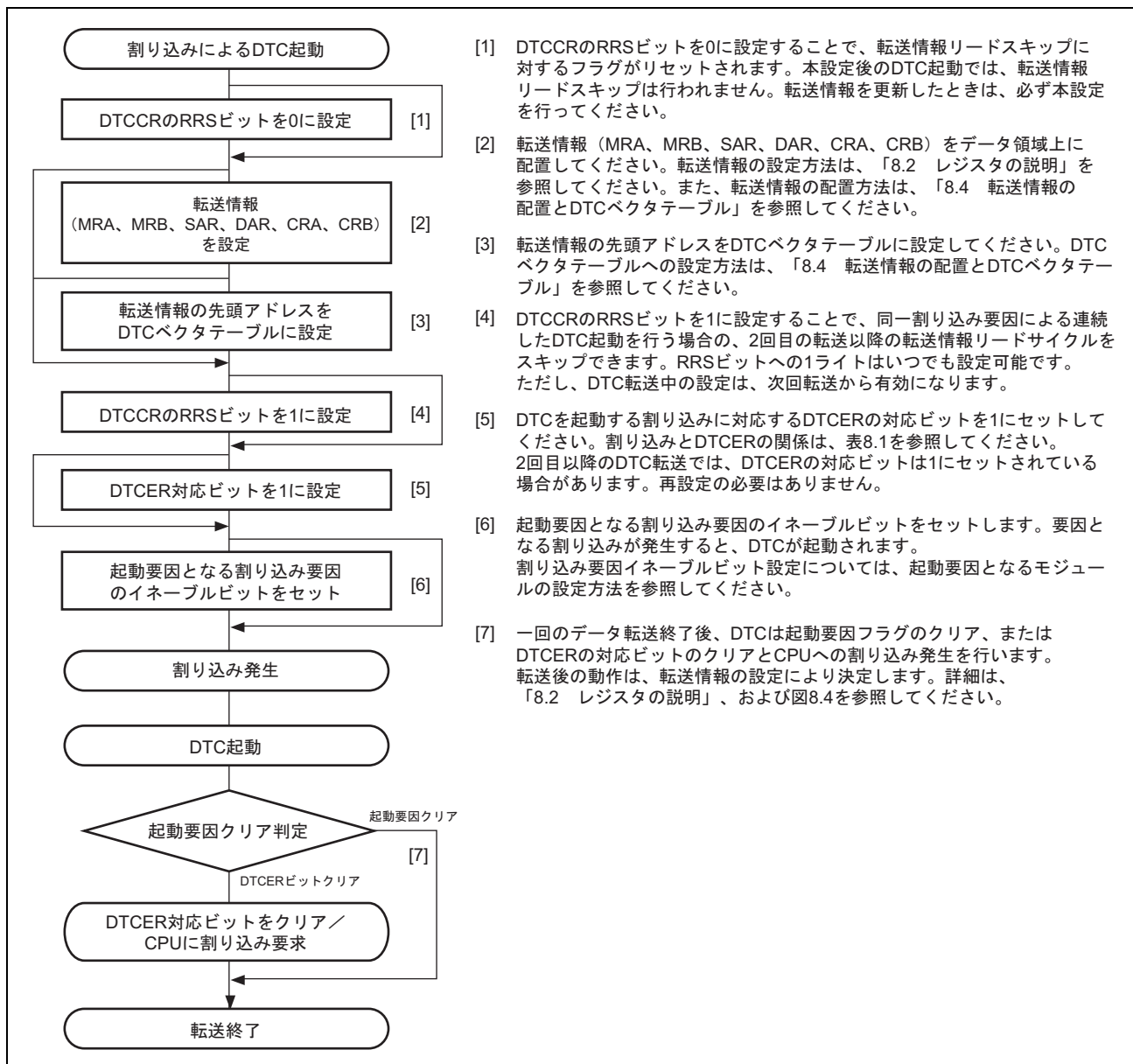


図 8.15 割り込みによる DTC 起動方法

8.7 DTC 使用例

8.7.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 (SM1=SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ノーマル転送モード (MD1=MD0=0)、バイトサイズ (Sz1=Sz0=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE=0、DISEL=0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. RXI割り込み用の転送情報の先頭アドレスを、DTCベクタテーブルに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

8.7.2 チェイン転送

DTC のチェイン転送の例として、PPG によるパルス出力を行う例を示します。チェイン転送を使ってパルス出力データの転送と PPG 出力トリガの周期の変更を行うことができます。チェイン転送の前半で PPG の NDR へのリピータ転送モード、後半で TPU の TGR へのノーマル転送モードを行います。起動要因のクリアや指定した回数の転送終了時の割り込み発生は、チェイン転送の後半 (CHNE=0 のときの転送) に限られるためです。

1. PPGのNDRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレス固定 (DM1=DM0=0)、リピータ転送モード (MD1=0、MD0=1)、ワードサイズ (Sz1=0、Sz0=1) を設定します。ソース側をリピータ領域 (DTS=1) に設定します。MRBはチェイン転送 (CHNE=1、CHNS=0、DISEL=0) に設定します。SARはデータテーブルの先頭アドレス、DARはNDRHのアドレス、CRAH、CRALはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
2. TPUのTGRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレス固定 (DM1=DM0=0)、ノーマル転送モード (MD1=MD0=0)、ワードサイズ (Sz1=0、Sz0=1) を設定します。SARはデータテーブルの先頭アドレス、DARはTGRAのアドレス、CRAはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
3. NDR転送用転送情報の後に連続してTPU転送用転送情報を配置します。

4. NDR転送用転送情報の先頭アドレスをDTCベクタテーブルに設定します。
5. DTCERのTGIA割り込みに対応するビットを1にセットします。
6. TIORでTGRAをアウトプットコンペアレジスタ (出力禁止) に設定し、TIERでTGIA割り込み要求を許可します。
7. PODRに出力初期値を設定し、NDRに次の出力値を設定します。DDR、NDERの出力を行うビットを1にセットします。また、PCRで出力トリガとなるTPUのコンペアマッチを選択します。
8. TSTRのCSTビットを1にセットし、TCNTのカウント動作を開始します。
9. TGRAのコンペアマッチが発生するたびに次の出力値がNDRへ、次の出力トリガ周期の設定値がTGRAへそれぞれ転送されます。起動要因のTGFAフラグはクリアされます。
10. 指定した回数の転送終了後 (TPU転送用CRAが0になると)、TGFAフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにTGIA割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

8.7.3 カウンタ=0のときのチェイン転送

カウンタが0になったときのみ第2のデータ転送を行い、第1のデータ転送の再設定を行うことによって、転送回数が256回以上のリピート転送を行うことができます。

128kバイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレスH'0000から始まるように設定するものとします。カウンタ=0のときのチェイン転送を図8.16に示します。

1. 第1のデータ転送として、入力データ用のノーマル転送モードを設定します。転送元アドレスは固定、CRA = H'0000 (65,536回)、CHNE=1、CHNS=1、DISEL=0としてください。
2. 第1のデータ転送の転送先アドレスの65,536回ごとの先頭アドレスの上位8ビットアドレスを別の領域 (ROMなど) に用意してください。たとえば、入力バッファをH'200000~H'21FFFFとするときには、H'21、H'20を用意します。
3. 第2のデータ転送として、第1のデータ転送の転送先アドレス再設定用のリピート転送モード (ソース側をリピート領域) とします。転送先は第1の転送情報領域のDARの上位8ビットとします。このときCHNE = DISEL = 0としてください。上記入力バッファをH'200000~H'21FFFFとする場合には、転送カウンタ=2としてください。
4. 割り込みによって第1のデータ転送を65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレス上位8ビットをH'21に設定します。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは、H'0000になっています。
5. 引き続き割り込みによって第1のデータ転送を、第1のデータ転送で指定した65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレス上位8ビットをH'20に設定します。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタはH'0000になっています。
6. 上記4.、5.を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPUには割り込みを要求しません。

8. データトランスファコントローラ (DTC)

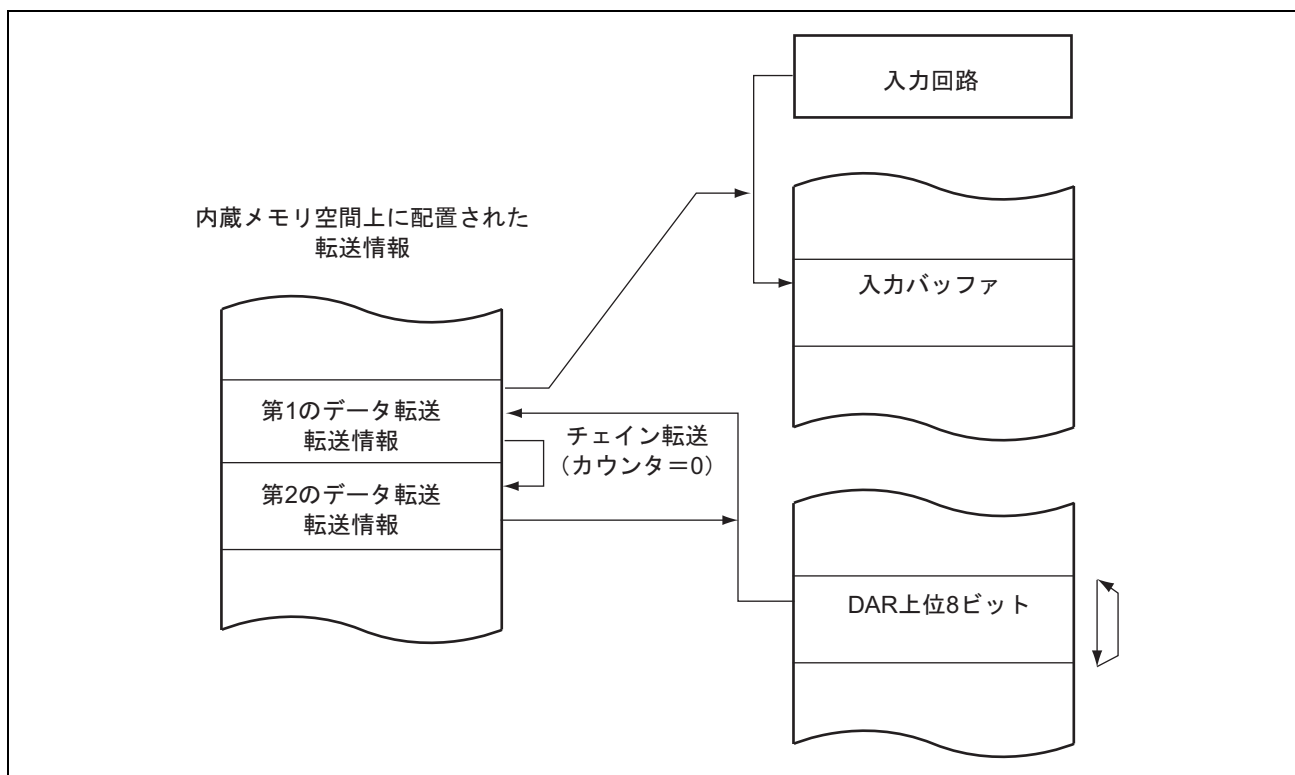


図 8.16 カウンタ=0 時のチェーン転送

8.8 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

8.9 使用上の注意事項

8.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、DTC の動作禁止/許可を設定することができます。初期値では DTC の動作許可状態です。モジュールストップモードに設定することにより、レジスタのアクセスが禁止されます。ただし、DTC が起動中はモジュールストップモードに設定できません。詳細は「19. 低消費電力」を参照してください。

8.9.2 内蔵 RAM

転送情報は、内蔵 RAM に配置可能です。この場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

8.9.3 DMAC 転送終了割り込み

DMAC 転送終了割り込みで DTC を起動したとき、転送カウンタ、DISEL ビットにかかわらず、DMDR の DTE ビットは DTC の制御を受けずにライトデータが優先されます。このため DTC の転送カウンタが 0 になった場合でも、CPU への割り込みが発生しない場合があります。

8.9.4 DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などのビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り複数の起動要因を一度に設定するときには、割り込みを禁止して当該レジスタのダミーリードを行ってからライトすることができます。

8.9.5 チェイン転送

チェイン転送が実行された場合には、連結された最後のデータ転送時に起動要因または DTCE のクリアを行います。このとき、SCI および A/D 変換器の割り込み/起動要因は、所定のレジスタがリード/ライトされたときにクリアされます。

したがって、これらの割り込み/起動要因によって DTC を起動する場合、DTC によるデータ転送が当該レジスタのリード/ライトを含まない場合は、割り込み/起動要因が保持されます。

8.9.6 転送情報先頭アドレス/ソースアドレス/デスティネーションアドレス

ベクタテーブルへ指定する転送情報先頭アドレスは、必ず 4n 番地を指定してください。4n 番地以外は、アドレスの最下位 2 ビットは 0 と見なしてアクセスします。

SAR、DAR へ設定するソースアドレス、デスティネーションアドレスは、アドレスとデータサイズによりバスサイクルを分割してデータ転送します。

8. データトランスファコントローラ (DTC)

8.9.7 転送情報の書き換え

IBCCS=1 かつ DMAC を使用している状態で、DTC 転送終了による CPU の割り込み例外処理ルーチンで DTC の転送情報を書き換える場合、IBCCS ビットを 0 にクリアし、再度 1 にセットしてから行ってください。

8.9.8 エンディアン

DTC は、ビッグエンディアン形式とリトルエンディアン形式に対応しています。ただし、転送情報をライトする際のエンディアン形式と DTC が転送情報をリードする際のエンディアン形式は同一にしてください。

9. I/O ポート

ポート機能一覧を表 9.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR)、端子の状態をリードするポートレジスタ (PORT)、入力バッファのオン/オフを制御する入力バッファコントロールレジスタ (ICR) から構成されています。ポート 5 には DDR、DR はありません。

ポート D~F、H、I には、入力プルアップ MOS が内蔵されており、プルアップ MOS コントロールレジスタ (PCR) で入力プルアップ MOS のオン/オフを制御できます。

ポート 2、F は、オープンドレインコントロールレジスタ (ODR) で出力バッファの PMOS のオン/オフを選択できます。

すべての入出力ポートは、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、出力時にダーリントントランジスタを駆動することができます。

ポート 2、ポート 3 はシュミットトリガ入力端子です。その他のポートは $\overline{\text{IRQ}}$ 入力、TPU 入力、TMR 入力として使用するときにシュミットトリガ入力端子となります。

9. I/O ポート

表 9.1 ポート機能一覧

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力ブル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート 1	割り込み入力、SCI 入出力、DMAC 入 出力、A/D 変換器入 出力、TPU 入力と兼 用汎用入出力ポー ト	7	P17	$\overline{\text{IRQ7-A/TCLKD-B}}$	—	$\overline{\text{IRQ7-A}}$ 、TCLKD-B	—	—
		6	P16/SCK3	$\overline{\text{IRQ6-A/TCLKC-B}}$	$\overline{\text{DACK1-A}}$	$\overline{\text{IRQ6-A}}$ 、TCLKC-B		
		5	P15	RxD3/ $\overline{\text{IRQ5-A/}}$ TCLKB-B	TEND1-A	$\overline{\text{IRQ5-A}}$ 、TCLKB-B		
		4	P14	$\overline{\text{DREQ1-A/}}$ $\overline{\text{IRQ4-A/TCLKA-B}}$	TxD3	$\overline{\text{IRQ4-A}}$ 、TCLKA-B		
		3	P13	ADTRG0/ $\overline{\text{IRQ3-A}}$	—	$\overline{\text{IRQ3-A}}$		
		2	P12/SCK2	$\overline{\text{IRQ2-A}}$	$\overline{\text{DACK0-A}}$	$\overline{\text{IRQ2-A}}$		
		1	P11	RxD2/ $\overline{\text{IRQ1-A}}$	TEND0-A	$\overline{\text{IRQ1-A}}$		
		0	P10	$\overline{\text{DREQ0-A/IRQ0-A}}$	TxD2	$\overline{\text{IRQ0-A}}$		
ポート 2	割り込み入力、 PPG 出力、TPU 入 出力、TMR 入出力、 SCI 入出力と兼用 汎用入出力ポート	7	P27/TIOCB5	TIOCA5	PO7	全入力機能	—	○
		6	P26/TIOCA5	—	PO6/TMO1/TxD1	全入力機能		
		5	P25/TIOCA4	TMC11/RxD1	PO5	P25、TIOCA4、 TMC11		
		4	P24/TIOCB4/ SCK1	TIOCA4/TMR11	PO4	P24、TIOCB4、 TIOCA4、TMR11		
		3	P23/TIOCD3	$\overline{\text{IRQ11-A/TIOCC3}}$	PO3	全入力機能		
		2	P22/TIOCC3	$\overline{\text{IRQ10-A}}$	PO2/TMO0/TxD0	全入力機能		
		1	P21/TIOCA3	TMC10/RxD0/ $\overline{\text{IRQ9-A}}$	PO1	P21、 $\overline{\text{IRQ9-A}}$ 、 TIOCA3、TMC10		
		0	P20/TIOCB3/ SCK0	TIOCA3/TMR10/ $\overline{\text{IRQ8-A}}$	PO0	P20、 $\overline{\text{IRQ8-A}}$ 、 TIOCB3、TIOCA3、 TMR10		

9. I/O ポート

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力ブル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート 3	PPG 出力、DMAC 入出力、TPU 入出 力、兼用汎用入出 力ポート	7	P37/TIOCB2	TIOCA2/TCLKD-A	PO15	全入力機能	-	-
		6	P36/TIOCA2	-	PO14	全入力機能		
		5	P35/TIOCB1	TIOCA1/TCLKC-A	PO13/ $\overline{\text{DACK1-B}}$	全入力機能		
		4	P34/TIOCA1	-	PO12/ $\overline{\text{TEND1-B}}$	全入力機能		
		3	P33/TIOCD0	TIOCC0/ TCLKB-A/ $\overline{\text{DREQ1-B}}$	PO11	P33/TIOCD0/ TIOCC0/TCKB-A		
		2	P32/TIOCC0	TCLKA-A	PO10/ $\overline{\text{DACK0-B}}$	全入力機能		
		1	P31/TIOCB0	TIOCA0	PO9/ $\overline{\text{TEND0-B}}$	全入力機能		
		0	P30/TIOCA0	$\overline{\text{DREQ0-B}}$	PO8	P30/TIOCA0		
ポート 5	割り込み入力、A/D 変換器入力、D/A 変換器出力と兼用 汎用入力ポート	7	-	P57/AN7/ $\overline{\text{IRQ7-B}}$	DA1	$\overline{\text{IRQ7-B}}$	-	-
		6	-	P56/AN6/ $\overline{\text{IRQ6-B}}$	DA0	$\overline{\text{IRQ6-B}}$		
		5	-	P55/AN5/ $\overline{\text{IRQ5-B}}$	-	$\overline{\text{IRQ5-B}}$		
		4	-	P54/AN4/ $\overline{\text{IRQ4-B}}$	-	$\overline{\text{IRQ4-B}}$		
		3	-	P53/AN3/ $\overline{\text{IRQ3-B}}$	-	$\overline{\text{IRQ3-B}}$		
		2	-	P52/AN2/ $\overline{\text{IRQ2-B}}$	-	$\overline{\text{IRQ2-B}}$		
		1	-	P51/AN1/ $\overline{\text{IRQ1-B}}$	-	$\overline{\text{IRQ1-B}}$		
		0	-	P50/AN0/ $\overline{\text{IRQ0-B}}$	-	$\overline{\text{IRQ0-B}}$		
ポート 6	TMR 入出力、SCI 入出力、DMAC 入 出力、割り込み入 力と兼用汎用入出 力ポート	7	-	-	-	-	-	-
		6	-	-	-	-		
		5	P65	-	TMO3/ $\overline{\text{DACK3}}$	-		
		4	P64	TMC13	$\overline{\text{TEND3}}$	TMC13		
		3	P63	TMR13/ $\overline{\text{DREQ3}}$ / $\overline{\text{IRQ11-B}}$	-	TMR13/ $\overline{\text{IRQ11-B}}$		
		2	P62/SCK4	$\overline{\text{IRQ10-B}}$	TMO2/ $\overline{\text{DACK2}}$	$\overline{\text{IRQ10-B}}$		
		1	P61	TMC12/RxD4/ $\overline{\text{IRQ9-B}}$	$\overline{\text{TEND2}}$	TMC12/ $\overline{\text{IRQ9-B}}$		
		0	P60	TMR12/ $\overline{\text{DREQ2}}$ / $\overline{\text{IRQ8-B}}$	TxD4	TMC12/ $\overline{\text{IRQ8-B}}$		

9. I/O ポート

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力プル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート A	システムクロック 出力、バス制御入出力と兼用汎用入出力ポート	7	—	PA7	Bφ	—	—	—
		6	PA6	—	AS/AH/BS-B			
		5	—	—	RD			
		4	PA4	—	LHWR/LUB			
		3	—	—	LLWR/LLB			
		2	PA2	BREQ/WAIT	—			
		1	PA1	—	BACK/(RD/WR)			
		0	PA0	—	BREQO/BS-A			
ポート B	バス制御出力と兼用汎用入出力ポート	7	—	—	—	—	—	—
		6	—	—	—			
		5	—	—	—			
		4	—	—	—			
		3	PB3	—	CS3/CS7-A			
		2	PB2	—	CS2-A/CS6-A			
		1	PB1	—	CS1/CS2-B/ CS5-A/CS6-B/ CS7-B			
		0	PB0	—	CS0/CS4-A/ CS5-B			
ポート D	アドレス出力	7	—	—	A7	—	○	—
		6	—	—	A6			
		5	—	—	A5			
		4	—	—	A4			
		3	—	—	A3			
		2	—	—	A2			
		1	—	—	A1			
		0	—	—	A0			
ポート E	アドレス出力	7	—	—	A15	—	○	—
		6	—	—	A14			
		5	—	—	A13			
		4	—	—	A12			
		3	—	—	A11			
		2	—	—	A10			
		1	—	—	A9			
		0	—	—	A8			

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力プル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート F	アドレス出力と兼 用汎用入出力ポー ト	7	PF7	—	A23/ $\overline{CS4-C}/$ $\overline{CS5-C}/\overline{CS6-C}/$ $\overline{CS7-C}$	—	○*3	○
		6	PF6	—	A22/ $\overline{CS6-D}$			
		5	PF5	—	A21/ $\overline{CS5-D}$			
		4	—	—	A20			
		3	—	—	A19			
		2	—	—	A18			
		1	—	—	A17			
		0	—	—	A16			
ポート H	双方向データバス と兼用汎用入出力 ポート	7	D7*2	—	—	—	○	—
		6	D6*2	—	—			
		5	D5*2	—	—			
		4	D4*2	—	—			
		3	D3*2	—	—			
		2	D2*2	—	—			
		1	D1*2	—	—			
		0	D0*2	—	—			
ポート I	双方向データバス と兼用汎用入出力 ポート	7	PI7/D15*2	—	—	—	○	—
		6	PI6/D14*2	—	—			
		5	PI5/D13*2	—	—			
		4	PI4/D12*2	—	—			
		3	PI3/D11*2	—	—			
		2	PI2/D10*2	—	—			
		1	PI1/D9*2	—	—			
		0	PI0/D8*2	—	—			

【注】 *1 シュミットトリガ入力端子以外は、CMOS 入力端子になります。

*2 アドレス/データマルチプレクス I/O 空間アクセス時は、アドレスも出力されます。

*3 \overline{CS} 出力を有効にする場合、入力プルアップ MOS 機能をオフに設定してから有効にしてください。

9.1 レジスタの説明

各ポートのレジスタを表 9.2 に示します。

表 9.2 各ポートのレジスタ構成

ポート	端子数	レジスタ					
		DDR	DR	PORT	ICR	PCR	ODR
ポート 1	8	○	○	○	○	—	—
ポート 2	8	○	○	○	○	—	○
ポート 3	8	○	○	○	○	—	—
ポート 5	8	—	—	○	○	—	—
ポート 6* ¹	6	○	○	○	○	—	—
ポート A	8	○	○	○	○	—	—
ポート B* ²	4	○	○	○	○	—	—
ポート D	8	○	○	○	○	○	—
ポート E	8	○	○	○	○	○	—
ポート F	8	○	○	○	○	○	○
ポート H	8	○	○	○	○	○	—
ポート I	8	○	○	○	○	○	—

【記号説明】 ○：レジスタ有り、—：レジスタ無し

【注】 *1 下位 6 ビットが有効で、上位 2 ビットはリザーブビットです。ライト時は、初期値をライトしてください。

*2 下位 4 ビットが有効で、上位 4 ビットはリザーブビットです。ライト時は、初期値をライトしてください。

9.1.1 データディレクションレジスタ (PnDDR) (n=1~3、6、A、B、D~F、H、I)

DDR は、ポートの入出力をビットごとに指定する 8 ビットのライト専用レジスタです。DDR のリードは無効であり、リードすると不定値が読み出されます。

汎用入出力ポートの機能が選択されているとき、DDR の当該ビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると対応する端子は入力ポートになります。

DDR の初期値を表 9.3 に示します。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7DDR	Pn6DDR	Pn5DDR	Pn4DDR	Pn3DDR	Pn2DDR	Pn1DDR	Pn0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

【注】 ポート 6 のレジスタは下位 6 ビットが有効で、上位 2 ビットはリザーブビットです。
ポート B のレジスタは下位 4 ビットが有効で、上位 4 ビットはリザーブビットです。

表 9.3 起動モードと初期値

ポート	起動モード
	外部拡張モード
ポート A	H'80
その他のポート	H'00

9.1.2 データレジスタ (PnDR) (n=1~3、6、A、B、D~F、H、I)

DR は、汎用出力ポートとして使用する端子の出力データを格納する 8 ビットのリード/ライト可能なレジスタです。

DR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7DR	Pn6DR	Pn5DR	Pn4DR	Pn3DR	Pn2DR	Pn1DR	Pn0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 ポート6のレジスタは下位6ビットが有効で、上位2ビットはリザーブビットです。
ポートBのレジスタは下位4ビットが有効で、上位4ビットはリザーブビットです。

9.1.3 ポートレジスタ (PORTn) (n=1~3、5、6、A、B、D~F、H、I)

PORT は、ポートの端子の状態を反映する 8 ビットのリード専用レジスタです。PORT のライトは無効です。

PORT をリードすると、DDR が 1 にセットされているビットは DR の値がリードされます。DDR が 0 にクリアされているビットは、ICR の値に関係なく端子の状態がリードされます。

PORT の初期値は不定です。ポートの端子状態により決定されます。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R	R	R	R	R	R	R	R

【注】 ポート6のレジスタは下位6ビットが有効で、上位2ビットはリザーブビットです。
ポートBのレジスタは下位4ビットが有効で、上位4ビットはリザーブビットです。

9. I/O ポート

9.1.4 入力バッファコントロールレジスタ (PnICR) (n=1~3, 5, 6, A, B, D~F, H, I)

ICR は、ポートの入力バッファを制御する 8 ビットのリード/ライト可能なレジスタです。

ICR が 1 にセットされているビットは、対応する端子の入力バッファは有効になります。ICR が 0 にクリアされているビットは、対応する端子の入力バッファは無効となり、入力信号は High レベルに固定されます。

周辺モジュールの入力端子として使用する場合は、対応するビットを 1 にセットしてください。入力として使用しない端子、およびアナログ入出力端子に対応するビットへライトする場合は、初期値をライトしてください。

この時、ICR が 0 にクリアされていれば、周辺モジュール側に端子状態が反映されることはありません。

PORT をリードすると、このレジスタの値に関係なく端子の状態が読み出されます。

ICR の設定を変更するときに、端子の状態によって内部的にエッジが発生することがあります。ICR の設定の変更は、当該入力端子が使用されていないときに行ってください。例えば、 $\overline{\text{IRQ}}$ 入力の場合、当該割り込みを禁止した状態で ICR の設定の変更を行い、割り込みコントローラの ISR の IRQF フラグを 0 にクリアし、その後当該割り込みを許可してください。ICR の設定の変更後にエッジが発生したときは、そのエッジをキャンセルするようにしてください。

ICR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7ICR	Pn6ICR	Pn5ICR	Pn4ICR	Pn3ICR	Pn2ICR	Pn1ICR	Pn0ICR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 ポート6のレジスタは下位6ビットが有効で、上位2ビットはリザーブビットです。
ポートBのレジスタは下位4ビットが有効で、上位4ビットはリザーブビットです。

9.1.5 プルアップ MOS コントロールレジスタ (PnPCR) (n=D~F, H, I)

PCR は、ポートの入力プルアップ MOS のオン/オフを制御する 8 ビットのリード/ライト可能なレジスタです。

端子が入力状態のとき、PCR が 1 にセットされているビットに対応する端子の入力プルアップ MOS がオンします。表 9.4 に入力プルアップ MOS の状態を示します。

PCR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7PCR	Pn6PCR	Pn5PCR	Pn4PCR	Pn3PCR	Pn2PCR	Pn1PCR	Pn0PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 9.4 入力プルアップ MOS の状態

ポート	端子状態	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	その他の動作
ポート D	アドレス出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		
ポート E	アドレス出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		
ポート F	アドレス出力	OFF			
	\overline{CS} 出力	OFF	ON/OFF*		
	ポート入力	OFF	ON/OFF		
ポート H	データ入出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		
ポート I	データ入出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF	ON/OFF		

【記号説明】 OFF : 入力プルアップ MOS は常にオフ状態です。

ON/OFF : PCR を 1 にセットするとオン状態、PCR を 0 にクリアするとオフ状態です。

* \overline{CS} 出力を有効にする場合、PCR を 0 にクリアしてから有効にしてください。

9.1.6 オープンドレインコントロールレジスタ (PnODR) (n=2、F)

ODR は、ポートの端子の出力形態を選択する 8 ビットのリード/ライト可能なレジスタです。

ODR の当該ビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると対応する端子は CMOS 出力になります。

ODR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7ODR	Pn6ODR	Pn5ODR	Pn4ODR	Pn3ODR	Pn2ODR	Pn1ODR	Pn0ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9. I/O ポート

9.2 出力バッファ制御

各端子の出力優先順位について説明します。

各周辺モジュールの端子は、端子名の後に「_OE」を付けて記載しています。これは（例：MIOCA4_OE）、対象となる機能の出力を有効にする設定（1）であるか、それ以外の設定（0）かを示しています。表 9.5 に各ポートの出力信号有効設定一覧を示します。当該する出力信号の詳細は、各周辺モジュールのレジスタの説明を参照してください。また、各周辺モジュールの端子名の接尾に「A」、「B」が付いている端子は、ポートファンクションコントロールレジスタ（PFCCR）によって端子機能を変更できます。詳細は「9.3 ポートファンクションコントローラ」を参照してください。

9.2.1 ポート 1

(1) P17/ $\overline{\text{IRQ7-A}}$ /TCLKD-B

P17DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	P17DDR
I/O ポート	P17 出力	1	
	P17 入力（初期値）	0	

(2) P16/SCK3/ $\overline{\text{DACK1-A}}$ / $\overline{\text{IRQ6-A}}$ /TCLKC-B

DMAC、SCI のレジスタの設定、および P16DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定		
		DMAC	SCI	I/O ポート
		$\overline{\text{DACK1A_OE}}$	SCK3_OE	P16DDR
DMAC	$\overline{\text{DACK1-A}}$ 出力	1	—	—
SCI	SCK3 出力	0	1	—
I/O ポート	P16 出力	0	0	1
	P16 入力（初期値）	0	0	0

(3) P15/RxD3/TEND1-A/IRQ5-A/TCLKB-B

DMAC のレジスタの設定および P15DDR により次のように切り替わります。

モジュール名	端子機能	設定	
		DMAC	I/O ポート
		TEND1A_OE	P15DDR
DMAC	TEND1-A 出力	1	—
I/O ポート	P15 出力	0	1
	P15 入力 (初期値)	0	0

(4) P14/TxD3/DREQ1-A/IRQ4-A/TCLKA-B

SCI のレジスタ設定、および P14DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		SCI	I/O ポート
		TxD3_OE	P14DDR
SCI	TxD3 出力	1	—
I/O ポート	P14 出力	0	1
	P14 入力 (初期値)	0	0

(5) P13/ADTRG0/IRQ3-A

P13DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		P13DDR	
I/O ポート	P13 出力	1	
	P13 入力 (初期値)	0	

(6) P12/SCK2/DACK0-A/IRQ2-A

DMAC、SCI のレジスタの設定、および P12DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		DMAC	SCI	I/O ポート
		DACK0A_OE	SCK2_OE	P12DDR
DMAC	DACK0-A 出力	1	—	—
SCI	SCK2 出力	0	1	—
I/O ポート	P12 出力	0	0	1
	P12 入力 (初期値)	0	0	0

9. I/O ポート

(7) P11/RxD2/TEND0-A/IRQ1-A

DMAC のレジスタの設定、および P11DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		DMAC	I/O ポート
		TEND0A_OE	P11DDR
DMAC	TEND0-A 出力	1	—
I/O ポート	P11 出力	0	1
	P11 入力 (初期値)	0	0

(8) P10/TxD2/DREQ0-A/IRQ0-A

SCI のレジスタの設定、および P10DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定	
		SCI	I/O ポート
		TxD2_OE	P10DDR
SCI	TxD2 出力	1	—
I/O ポート	P10 出力	0	1
	P10 入力 (初期値)	0	0

9.2.2 ポート 2

(1) P27/PO7/TIOCA5/TIOCB5

TPU、PPG のレジスタの設定、および P27DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCB5_OE	PO7_OE	P27DDR
TPU	TIOCB5 出力	1	—	—
PPG	PO7 出力	0	1	—
I/O ポート	P27 出力	0	0	1
	P27 入力 (初期値)	0	0	0

(2) P26/PO6/TIOCA5/TMO1/TxD1

TPU、TMR、SCI、PPG のレジスタの設定、および P26DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定				
		TPU	TMR	SCI	PPG	I/O ポート
		TIOCA5_OE	TMO1_OE	TxD1_OE	PO6_OE	P26DDR
TPU	TIOCA5 出力	1	—	—	—	—
TMR	TMO1 出力	0	1	—	—	—
SCI	TxD1 出力	0	0	1	—	—
PPG	PO6 出力	0	0	0	1	—
I/O ポート	P26 出力	0	0	0	0	1
	P26 入力 (初期値)	0	0	0	0	0

(3) P25/PO5/TIOCA4/TMCI1/RxD1

TPU、PPG のレジスタの設定、および P25DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCA4_OE	PO5_OE	P25DDR
TPU	TIOCA4 出力	1	—	—
PPG	PO5 出力	0	1	—
I/O ポート	P25 出力	0	0	1
	P25 入力 (初期値)	0	0	0

(4) P24/PO4/TIOCA4/TIOCB4/TMRI1/SCK1

TPU、SCI、PPG のレジスタの設定、および P24DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定			
		TPU	SCI	PPG	PORT
		TIOCB4_OE	SCK1_OE	PO4_OE	P24DDR
TPU	TIOCB4 出力	1	—	—	—
SCI	SCK1 出力	0	1	—	—
PPG	PO4 出力	0	0	1	—
I/O ポート	P24 出力	0	0	0	1
	P24 入力 (初期値)	0	0	0	0

9. I/O ポート

(5) P23/PO3/TIOCC3/TIOCD3/ $\overline{\text{IRQ11}}$ -A

TPU、PPG のレジスタの設定、および P23DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCD3_OE	PO3_OE	P23DDR
TPU	TIOCD3 出力	1	—	—
PPG	PO3 出力	0	1	—
I/O ポート	P23 出力	0	0	1
	P23 入力 (初期値)	0	0	0

(6) P22/PO2/TIOCC3/TMO0/TxD0/ $\overline{\text{IRQ10}}$ -A

TPU、TMR、SCI、PPG のレジスタの設定、および P22DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定				
		TPU	TMR	SCI	PPG	PORT
		TIOCC3_OE	TMO0_OE	TxD0_OE	PO2_OE	P22DDR
TPU	TIOCC3 出力	1	—	—	—	—
TMR	TMO0 出力	0	1	—	—	—
SCI	TxD0 出力	0	0	1	—	—
PPG	PO2 出力	0	0	0	1	—
I/O ポート	P22 出力	0	0	0	0	1
	P22 入力 (初期値)	0	0	0	0	0

(7) P21/PO1/TIOCA3/TMCI0/RxD0/ $\overline{\text{IRQ9}}$ -A

TPU、PPG のレジスタの設定、および P21DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCA3_OE	PO1_OE	P21DDR
TPU	TIOCA3 出力	1	—	—
PPG	PO1 出力	0	1	—
I/O ポート	P21 出力	0	0	1
	P21 入力 (初期値)	0	0	0

(8) P20/PO0/TIOCA3/TIOCB3/TMRI0/SCK0/IRQ8-A

TPU、PPG、SCI のレジスタの設定、および P20DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定			
		TPU	SCI	PPG	I/O ポート
		TIOCB3_OE	SCK0_OE	PO0_OE	P20DDR
TPU	TIOCB3 出力	1	—	—	—
SCI	SCK0 出力	0	1	—	—
PPG	PO0 出力	0	0	1	—
I/O ポート	P20 出力	0	0	0	1
	P20 入力 (初期値)	0	0	0	0

9.2.3 ポート 3

(1) P37/PO15/TIOCA2/TIOCB2/TCLKD-A

TPU、PPG のレジスタの設定、および P37DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCB2_OE	PO15_OE	P37DDR
TPU	TIOCB2 出力	1	—	—
PPG	PO15 出力	0	1	—
I/O ポート	P37 出力	0	0	1
	P37 入力 (初期値)	0	0	0

(2) P36/PO14/TIOCA2

TPU、PPG のレジスタの設定、および P36DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCA2_OE	PO14_OE	P36DDR
TPU	TIOCA2 出力	1	—	—
PPG	PO14 出力	0	1	—
I/O ポート	P36 出力	0	0	1
	P36 入力 (初期値)	0	0	0

9. I/O ポート

(3) P35/PO13/TIOCA1/TIOCB1/TCLKC-A/ $\overline{\text{DACK1}}$ -B

DMAC、TPU、PPG のレジスタの設定、および P35DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定			
		DMAC	TPU	PPG	I/O ポート
		$\overline{\text{DACK1B}}_{\text{OE}}$	TIOCB1_OE	PO13_OE	P35DDR
DMAC	$\overline{\text{DACK1}}$ -B 出力	1	—	—	—
TPU	TIOCB1 出力	0	1	—	—
PPG	PO13 出力	0	0	1	—
I/O ポート	P35 出力	0	0	0	1
	P35 入力 (初期値)	0	0	0	0

(4) P34/PO12/TIOCA1/ $\overline{\text{TEND1}}$ -B

DMAC、TPU、PPG のレジスタの設定、および P34DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定			
		DMAC	TPU	PPG	I/O ポート
		$\overline{\text{TEND1B}}_{\text{OE}}$	TIOCA1_OE	PO12_OE	P34DDR
DMAC	$\overline{\text{TEND1}}$ -B 出力	1	—	—	—
TPU	TIOCA1 出力	0	1	—	—
PPG	PO12 出力	0	0	1	—
I/O ポート	P34 出力	0	0	0	1
	P34 入力 (初期値)	0	0	0	0

(5) P33/PO11/TIOCC0/TIOCD0/TCLKB-A/ $\overline{\text{DREQ1}}$ -B

TPU、PPG のレジスタの設定、および P33DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCD0_OE	PO11_OE	P33DDR
TPU	TIOCD0 出力	1	—	—
PPG	PO11 出力	0	1	—
I/O ポート	P33 出力	0	0	1
	P33 入力 (初期値)	0	0	0

(6) P32/PO10/TIOCC0/TCLKA-A/ $\overline{\text{DACK0}}\text{-B}$

DMAC、TPU、PPG のレジスタの設定、および P32DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定			
		DMAC	TPU	PPG	I/O ポート
		$\overline{\text{DACK0}}\text{B_OE}$	TIOCC0_OE	PO10_OE	P32DDR
DMAC	$\overline{\text{DACK0}}\text{-B}$ 出力	1	—	—	—
TPU	TIOCC0 出力	0	1	—	—
PPG	PO10 出力	0	0	1	—
I/O ポート	P32 出力	0	0	0	1
	P32 入力 (初期値)	0	0	0	0

(7) P31/PO9/TIOCA0/TIOCB0/ $\overline{\text{TEND0}}\text{-B}$

DMAC、TPU、PPG のレジスタの設定、および P31DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定			
		DMAC	TPU	PPG	I/O ポート
		$\overline{\text{TEND0}}\text{B_OE}$	TIOCB0_OE	PO9_OE	P31DDR
DMAC	$\overline{\text{TEND0}}\text{-B}$ 出力	1	—	—	—
TPU	TIOCB0 出力	0	1	—	—
PPG	PO9 出力	0	0	1	—
I/O ポート	P31 出力	0	0	0	1
	P31 入力 (初期値)	0	0	0	0

(8) P30/PO8/ $\overline{\text{DREQ0}}\text{-B}$ /TIOCA0

TPU、PPG のレジスタの設定、および P30DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCA0_OE	PO8_OE	P30DDR
TPU	TIOCA0 出力	1	—	—
PPG	PO8 出力	0	1	—
I/O ポート	P30 出力	0	0	1
	P30 入力 (初期値)	0	0	0

9. I/O ポート

9.2.4 ポート 5

(1) P57/AN7/DA1/ $\overline{\text{IRQ7}}$ -B

モジュール名	端子機能
D/A 変換器	DA1 出力

(2) P56/AN6/DA0/ $\overline{\text{IRQ6}}$ -B

モジュール名	端子機能
D/A 変換器	DA0 出力

9.2.5 ポート 6

(1) P65/TMO3/ $\overline{\text{DACK3}}$

DMAC、TMR のレジスタの設定、および P65DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		DMAC	TMR	I/O ポート
		$\overline{\text{DACK3}}_{\text{OE}}$	TMO3_OE	P65DDR
DMAC	$\overline{\text{DACK3}}$ 出力	1	—	—
TMR	TMO3 出力	0	1	—
I/O ポート	P65 出力	0	0	1
	P65 入力 (初期値)	0	0	0

(2) P64/TMC13/ $\overline{\text{TEND3}}$

DMAC のレジスタ設定、および P64DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		DMAC	I/O ポート
		$\overline{\text{TEND3}}_{\text{OE}}$	P64DDR
DMAC	$\overline{\text{TEND3}}$ 出力	1	—
I/O ポート	P64 出力	0	1
	P64 入力 (初期値)	0	0

(3) P63/TMRI3/DREQ3/IRQ11-B

P63DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		P63DDR	
I/O ポート	P63 出力	1	
	P63 入力 (初期値)	0	

(4) P62/TMO2/SCK4/DACK2/IRQ10-B

DMAC、TMR、SCI のレジスタの設定、および P62DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定			
		DMAC	TMR	SCI	I/O ポート
		DACK2_OE	TMO2_OE	SCK4_OE	P62DDR
DMAC	DACK2 出力	1	—	—	—
TMR	TMO2 出力	0	1	—	—
SCI	SCK4 出力	0	0	1	—
I/O ポート	P62 出力	0	0	0	1
	P62 入力 (初期値)	0	0	0	0

(5) P61/TMCI2/RxD4/TEND2/IRQ9-B

DMAC のレジスタの設定、および P61DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		DMAC	I/O ポート
		TEND2_OE	P61DDR
DMAC	TEND2 出力	1	—
I/O ポート	P61 出力	0	1
	P61 入力 (初期値)	0	0

9. I/O ポート

(6) P60/TMRI2/TxD4/DREQ2/IRQ8-B

SCI のレジスタの設定、および P60DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		SCI	I/O ポート
		TxD4_OE	P60DDR
SCI	TxD4 出力	1	—
I/O ポート	P60 出力	0	1
	P60 入力 (初期値)	0	0

9.2.6 ポート A

(1) PA7/Bφ

PA7DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	PA7DDR
I/O ポート	Bφ 出力* (初期値)	1	
	PA7 入力	0	

【注】 * 出力するφの種類は、SCKCR の POSEL1 ビットの設定により切り替わります。詳細は「18.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

(2) PA6/AS/AH/BS-B

バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PA6DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定			
		バスコントローラ	I/O ポート		
		AH_OE	BS-B_OE	AS_OE	PA6DDR
バスコントローラ	AH 出力	1	—	—	—
	BS-B 出力	0	1	—	—
	AS 出力 (初期値)	0	0	1	—
I/O ポート	PA6 出力	0	0	0	1
	PA6 入力	0	0	0	0

(3) PA5/ \overline{RD}

常に \overline{RD} 出力となります。

モジュール名	端子機能	設定	
		MCU 動作モード	I/O ポート
		EXPE	PA5DDR
バスコントローラ	\overline{RD} 出力 (初期値)	1	—

(4) PA4/ \overline{LHWR} / \overline{LUB}

バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PA4DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		バスコントローラ	I/O ポート	
		$\overline{LUB_OE^*}$	$\overline{LHWR_OE^*}$	PA4DDR
バスコントローラ	\overline{LUB} 出力	1	—	—
	\overline{LHWR} 出力 (初期値)	—	1	—
I/O ポート	PA4 出力	0	0	1
	PA4 入力	0	0	0

【注】 * バイト制御 SRAM 空間設定時、または LHWR \overline{OE} = 1 のとき、バイト制御 SRAM 空間をアクセスすると \overline{LUB} が出力されます。それ以外るとき、 \overline{LHWR} 出力となります。

(5) PA3/ \overline{LLWR} / \overline{LLB}

バスコントローラのレジスタの設定により、次のように切り替わります。

モジュール名	端子機能	設定		
		バスコントローラ	I/O ポート	
		$\overline{LLB_OE^*}$	$\overline{LLWR_OE^*}$	PA3DDR
バスコントローラ	\overline{LLB} 出力	1	—	—
	\overline{LLWR} 出力 (初期値)	—	1	—

【注】 * バイト制御 SRAM 空間をアクセスすると \overline{LLB} が出力されます。それ以外の外部空間をアクセスすると \overline{LLWR} が出力されます。

9. I/O ポート

(6) PA2/ $\overline{\text{BREQ}}$ / $\overline{\text{WAIT}}$

バスコントローラのレジスタの設定、および PA2DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		バスコントローラ		I/O ポート
		BCR_BRLE	BCR_WAITE	PA2DDR
バスコントローラ	$\overline{\text{BREQ}}$ 入力	1	—	—
	$\overline{\text{WAIT}}$ 入力	0	1	—
I/O ポート	PA2 出力	0	0	1
	PA2 入力 (初期値)	0	0	0

(7) PA1/ $\overline{\text{BACK}}$ / $\overline{\text{RD}}$ / $\overline{\text{WR}}$

バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PA1DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定			
		バスコントローラ		I/O ポート	
		$\overline{\text{BACK}}$ _OE	バイト制御 SRAM 選択	$\overline{\text{RD}}$ / $\overline{\text{WR}}$ _OE	PA1DDR
バスコントローラ	$\overline{\text{BACK}}$ 出力	1	—	—	—
	$\overline{\text{RD}}$ / $\overline{\text{WR}}$ 出力	0	1	—	—
		0	0	1	—
I/O ポート	PA1 出力	0	0	0	1
	PA1 入力 (初期値)	0	0	0	0

(8) PA0/ $\overline{\text{BREQO}}$ / $\overline{\text{BS-A}}$

バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PA0DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		I/O ポート	バスコントローラ	I/O ポート
		$\overline{\text{BS-A}}$ _OE	$\overline{\text{BREQO}}$ _OE	PA0DDR
バスコントローラ	$\overline{\text{BS-A}}$ 出力	1	—	—
	$\overline{\text{BREQO}}$ 出力	0	1	—
I/O ポート	PA0 出力	0	0	1
	PA0 入力 (初期値)	0	0	0

9.2.7 ポート B

(1) PB3/ $\overline{\text{CS3}}$ / $\overline{\text{CS7-A}}$

ポートファンクションコントロールレジスタ (PFCR) の設定、および PB3DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		I/O ポート		
		$\overline{\text{CS3}}_{\text{OE}}$	$\overline{\text{CS7A}}_{\text{OE}}$	PB3DDR
バスコントローラ	$\overline{\text{CS3}}$ 出力	1	—	—
	$\overline{\text{CS7-A}}$ 出力	—	1	—
I/O ポート	PB3 出力	0	0	1
	PB3 入力 (初期値)	0	0	0

(2) PB2/ $\overline{\text{CS2-A}}$ / $\overline{\text{CS6-A}}$

ポートファンクションコントロールレジスタ (PFCR) の設定、および PB2DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		I/O ポート		
		$\overline{\text{CS2A}}_{\text{OE}}$	$\overline{\text{CS6A}}_{\text{OE}}$	PB2DDR
バスコントローラ	$\overline{\text{CS2-A}}$ 出力	1	—	—
	$\overline{\text{CS6-A}}$ 出力	—	1	—
I/O ポート	PB2 出力	0	0	1
	PB2 入力 (初期値)	0	0	0

9. I/O ポート

(3) PB1/ $\overline{CS1}$ / $\overline{CS2-B}$ / $\overline{CS5-A}$ / $\overline{CS6-B}$ / $\overline{CS7-B}$

ポートファンクションコントロールレジスタ (PFCR) の設定、および PB1DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定					
		I/O ポート					
		$\overline{CS1_OE}$	$\overline{CS2B_OE}$	$\overline{CS5A_OE}$	$\overline{CS6B_OE}$	$\overline{CS7B_OE}$	PB1DDR
バスコントローラ	$\overline{CS1}$ 出力	1	—	—	—	—	—
	$\overline{CS2-B}$ 出力	—	1	—	—	—	—
	$\overline{CS5-A}$ 出力	—	—	1	—	—	—
	$\overline{CS6-B}$ 出力	—	—	—	1	—	—
	$\overline{CS7-B}$ 出力	—	—	—	—	1	—
I/O ポート	PB1 出力	0	0	0	0	0	1
	PB1 入力 (初期値)	0	0	0	0	0	0

(4) PB0/ $\overline{CS0}$ / $\overline{CS4-A}$ / $\overline{CS5-B}$

ポートファンクションコントロールレジスタ (PFCR) の設定、および PB0DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定			
		I/O ポート			
		$\overline{CS0_OE}$	$\overline{CS4A_OE}$	$\overline{CS5B_OE}$	PB0DDR
バスコントローラ	$\overline{CS0}$ 出力 (初期値)	1	—	—	—
	$\overline{CS4-A}$ 出力	—	1	—	—
	$\overline{CS5-B}$ 出力	—	—	1	—
I/O ポート	PB0 出力	0	0	0	1
	PB0 入力	0	0	0	0

9.2.8 ポート D

(1) PD7/A7、PD6/A6、PD5/A5、PD4/A4、PD3/A3、PD2/A2、PD1/A1、PD0/A0

常にアドレス出力となります。

モジュール名	端子機能	設定					
		I/O ポート					
		PDnDDR					
バスコントローラ	アドレス出力	—					

【記号説明】 n : 0~7

9.2.9 ポート E

(1) PE7/A15、PE6/A14、PE5/A13、PE4/A12、PE3/A11、PE2/A10、PE1/A9、PE0/A8

常にアドレス出力となります。

モジュール名	端子機能	設定					
		I/O ポート					
		PEnDDR					
バスコントローラ	アドレス出力	—					

【記号説明】 n : 0~7

9.2.10 ポート F

(1) PF7/A23/ $\overline{\text{CS4-C}}$ / $\overline{\text{CS5-C}}$ / $\overline{\text{CS6-C}}$ / $\overline{\text{CS7-C}}$

ポートファンクションコントロールレジスタ (PFCR) の設定、および PF7DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定					
		I/O ポート					
		A23_OE	$\overline{\text{CS4C}}_{\text{OE}}$	$\overline{\text{CS5C}}_{\text{OE}}$	$\overline{\text{CS6C}}_{\text{OE}}$	$\overline{\text{CS7C}}_{\text{OE}}$	PF7DDR
バスコントローラ	A23 出力	1	—	—	—	—	—
	$\overline{\text{CS4-C}}$ 出力	0	1	—	—	—	—
	$\overline{\text{CS5-C}}$ 出力	0	—	1	—	—	—
	$\overline{\text{CS6-C}}$ 出力	0	—	—	1	—	—
	$\overline{\text{CS7-C}}$ 出力	0	—	—	—	1	—
I/O ポート	PF7 出力	0	0	0	0	0	1
	PF7 入力 (初期値)	0	0	0	0	0	0

9. I/O ポート

(2) PF6/A22/ $\overline{\text{CS6}}$ -D

ポートファンクションコントロールレジスタ (PFCR) の設定、および PF6DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		I/O ポート		
		A22_OE	$\overline{\text{CS6D}}_{\text{OE}}$	PF6DDR
バスコントローラ	A22 出力	1	—	—
	$\overline{\text{CS6}}$ -D 出力	0	1	—
I/O ポート	PF6 出力	0	0	1
	PF6 入力 (初期値)	0	0	0

(3) PF5/A21/ $\overline{\text{CS5}}$ -D

ポートファンクションコントロールレジスタ (PFCR) の設定、PF5DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		I/O ポート		
		A21_OE	$\overline{\text{CS5D}}_{\text{OE}}$	PF5DDR
バスコントローラ	A21 出力	1	—	—
	$\overline{\text{CS5}}$ -D 出力	0	1	—
I/O ポート	PF5 出力	0	0	1
	PF5 入力 (初期値)	0	0	0

(4) PF4/A20

常にアドレス出力となります。

モジュール名	端子機能	設定		
		I/O ポート		
		PF4DDR		
バスコントローラ	A20 出力	—		

(5) PF3/A19

常にアドレス出力となります。

モジュール名	端子機能	設定
		I/O ポート
		PF3DDR
バスコントローラ	A19 出力	—

(6) PF2/A18

常にアドレス出力となります。

モジュール名	端子機能	設定
		I/O ポート
		PF2DDR
バスコントローラ	A18 出力	—

(7) PF1/A17

常にアドレス出力となります。

モジュール名	端子機能	設定
		I/O ポート
		PF1DDR
バスコントローラ	A17 出力	—

(8) PF0/A16

常にアドレス出力となります。

モジュール名	端子機能	設定
		I/O ポート
		PF0DDR
バスコントローラ	A16 出力	—

9. I/O ポート

9.2.11 ポート H

- (1) PH7/D7、PH6/D6、PH5/D5、PH4/D4、PH3/D3、PH2/D2、PH1/D1、PH0/D0
常にデータ入出力となります。

モジュール名	端子機能	設定	
		I/O ポート	
		PHnDDR	
バスコントローラ	データ入出力 (初期値)	—	

9.2.12 ポート I

- (1) PI7/D15、PI6/D14、PI5/D13、PI4/D12、PI3/D11、PI2/D10、PI1/D9、PI0/D8
動作モードとバスモード、および PInDDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		バスコントローラ	I/O ポート
		16 ビットバスモード	PInDDR
バスコントローラ	データ入出力 (モード 4 初期値)	1	—
I/O ポート	PIn 出力	0	1
	PIn 入力 (モード 5 初期値)	0	0

【記号説明】 n : 7~0

表 9.5 各ポートの出力信号有効設定一覧

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定	
P1	6	DACK1A_OE	DACK1	PFCCR7.DMAS1[A,B]=00	DACR.AMS=1,DMDR.DACKE=1
		SCK3_OE	SCK3		SCMR_3.SMIF=1 のとき : SMR_3.GM=0,SCR_3.CKE[1,0]=01 か SMR_3.GM=1 で、 SCR_3.TE=1 か SCR_3.RE=1 SCMR_3.SMIF=0 のとき : SMR_3.C/A=0,SCR_3.CKE[1,0]=01 か SMR_3.C/A=1,SCR_3.CKE1=0 で、SCR_3.TE=1 か SCR_3.RE=1
	5	TEND1A_OE	TEND1	PFCCR7.DMAS1[A,B]=00	DMDR.TENDE=1
	4	TxD3_OE	TxD3		SCR.TE=1
	2	DACK0A_OE	DACK0	PFCCR7.DMAS0[A,B]=00	DACR.AMS=1,DMDR.DACKE=1
		SCK2_OE	SCK2		SCMR.SMIF=1 のとき : SMR.GM=0,SCR.CKE[1,0]=01 か SMR.GM=1 で、 SCR.TE=1 か SCR.RE=1 SCMR.SMIF=0 のとき : SMR.C/A=0,SCR.CKE[1,0]=01 か SMR.C/A=1,SCR.CKE1=0 で、SCR.TE=1 か SCR.RE=1
	1	TEND0A_OE	TEND0	PFCCR7.DMAS0[A,B]=00	DMDR.TENDE=1
	0	TxD2_OE	TxD2		SCR.TE=1
P2	7	TIOCB5_OE	TIOCB5		TPU.TIOR5.IOB3=0,TPU.TIOR5.IOB[1,0]=01/10/11
		PO7_OE	PO7		NDERL.NDER7=1
	6	TIOCA5_OE	TIOCA5		TPU.TIOR5.IOA3=0,TPU.TIOR5.IOA[1,0]=01/10/11
		TMO1_OE	TMO1		TCSR.OS3,2=01/10/11 か TCSR.OS[1,0]=01/10/11
		TxD1_OE	TxD1		SCR.TE=1
		PO6_OE	PO6		NDERL.NDER6=1
	5	TIOCA4_OE	TIOCA4		TPU.TIOR4.IOA3=0,TPU.TIOR4.IOA[1,0]=01/10/11
		PO5_OE	PO5		NDERL.NDER5=1
	4	TIOCB4_OE	TIOCB4		TPU.TIOR4.IOB3=0,TPU.TIOR4.IOB[1,0]=01/10/11
		SCK1_OE	SCK1		SCMR.SMIF=1 のとき : SMR.GM=0,SCR.CKE[1,0]=01 か SMR.GM=1 で、 SCR.TE=1 か SCR.RE=1 SCMR.SMIF=0 のとき : SMR.C/A=0,SCR.CKE[1,0]=01 か SMR.C/A=1,SCR.CKE1=0 で、SCR.TE=1 か SCR.RE=1
		PO4_OE	PO4		NDERL.NDER4=1
		3	TIOCD3_OE	TIOCD3	
	PO3_OE		PO3		NDERL.NDER3=1

9. I/O ポート

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定	
P2	2	TIOCC3_OE	TIOCC3		TPU.TMDR.BFA=0,TPU.TIORL3.IOC3=0, TPU.TIORL3.IOD[1,0]=01/10/11
		TMO0_OE	TMO0		TCSR.OS[3,2]=01/10/11 か TCSR.OS[1,0]=01/10/11
		TxD0_OE	TxD0		SCR.TE=1
		PO2_OE	PO2		NDERL.NDER2=1
	1	TIOCA3_OE	TIOCA3		TPU.TIORH3.IOA3=0,TPU.TIORH3.IOA[1,0]=01/10/11
		PO1_OE	PO1		NDERL.NDER1=1
	0	TIOCB3_OE	TIOCB3		TPU.TIORH3.IOB3=0,TPU.TIORH3.IOB[1,0]=01/10/11
		SCK0_OE	SCK0		SCMR.SMIF=1 のとき : SMR.GM=0,SCR.CKE[1,0]=01 か SMR.GM=1 で、 SCR.TE=1 か SCR.RE=1 SCMR.SMIF=0 のとき : SMR.C/A=0,SCR.CKE[1,0]=01 か SMR.C/A=1,SCR.CKE1=0 で、SCR.TE=1 か SCR.RE=1
		PO0_OE	PO0		NDERL.NDER0=1
	P3	7	TIOCB2_OE	TIOCB2	
PO15_OE			PO15		NDERH.NDER15=1
6		TIOCA2_OE	TIOCA2		TPU.TIOR2.IOA3=0,TPU.TIOR2.IOA[1,0]=01/10/11
		PO14_OE	PO14		NDERH.NDER14=1
5		DACK1B_OE	DACK1	PFCR7.DMAS1[A,B]=01	DACR.AMS=1,DMDR.DACKE=1
		TIOCB1_OE	TIOCB1		TPU.TIOR1.IOB3=0,TPU.TIOR1.IOB[1,0]=01/10/11
		PO13_OE	PO13		NDERH.NDER13=1
4		TEND1B_OE	TEND1	PFCR7.DMAS1[A,B]=01	DMDR.TENDE=1
		TIOCA1_OE	TIOCA1		TPU.TIOR1.IOA3=0,TPU.TIOR1.IOA[1,0]=01/10/11
		PO12_OE	PO12		NDERH.NDER12=1
3		TIOCD0_OE	TIOCD0		TPU.TMDR.BFB=0,TPU.TIORL0.IOD3=0, TPU.TIORL0.IOD[1,0]=01/10/11
		PO11_OE	PO11		NDERH.NDER11=1
2		DACK0B_OE	DACK0	PFCR7.DMAS0[A,B]=01	DACR.AMS=1,DMDR.DACKE=1
		TIOCC0_OE	TIOCC0		TPU.TMDR.BFA=0,TPU.TIORL0.IOC3=0, TPU.TIORL0.IOD[1,0]=01/10/11
		PO10_OE	PO10		NDERH.NDER10=1
1		TEND0B_OE	TEND0	PFCR7.DMAS0[A,B]=01	DMDR.TENDE=1
		TIOCB0_OE	TIOCB0		TPU.TIORH0.IOB3=0,TPU.TIORH0.IOB[1,0]=01/10/11
		PO9_OE	PO9		NDERH.NDER9=1
0	TIOCA0_OE	TIOCA0		TPU.TIORH0.IOA3=0,TPU.TIORH0.IOA[1,0]=01/10/11	
	PO8_OE	PO8		NDERH.NDER8=1	

Port		出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
P6	5	DACK3_OE	$\overline{\text{DACK3}}$	PFCR7.DMAS3[A,B]=01	DACR.AMS=1,DMDR.DACKE=1
		TMO3_OE	TMO3		TCSR.OS[3,2]=01/10/11 か TCSR.OS[1,0]=01/10/11
	4	TEND3_OE	$\overline{\text{TEND3}}$	PFCR7.DMAS3[A,B]=01	DMDR.TENDE=1
	2	DACK2_OE	$\overline{\text{DACK2}}$	PFCR7.DMAS2[A,B]=01	DACR.AMS=1,DMDR.DACKE=1
		TMO2_OE	TMO2		TCSR.OS[3,2]=01/10/11 か TCSR.OS[1,0]=01/10/11
		SCK4_OE	SCK4		SCMR.SMIF=1 のとき : SMR.GM=0,SCR.CKE[1,0]=01 か SMR.GM=1 で、 SCR.TE=1 か SCR.RE=1 SCMR.SMIF=0 のとき : SMR.C/A=0,SCR.CKE[1,0]=01 か SMR.C/A=1,SCR.CKE1=0 で、SCR.TE=1 か SCR.RE=1
	1	TEND2_OE	$\overline{\text{TEND2}}$	PFCR7.DMAS2[A,B]=01	DMDR.TENDE=1
0	TxD4_OE	TxD4		SCR.TE=1	
PA	7	B ϕ _OE	B ϕ		PADDR.PA7DDR=1,SCKCR.POSEL1=0
	6	$\overline{\text{AH}}$ _OE	$\overline{\text{AH}}$		MPXCR.MPXEn (n=7~3) =1
		$\overline{\text{BS-B}}$ _OE	$\overline{\text{BS}}$	PFCR2.BSS=1	PFCR2.BSE=1
		$\overline{\text{AS}}$ _OE	$\overline{\text{AS}}$		PFCR2.ASOE=1
	5	$\overline{\text{RD}}$ _OE	$\overline{\text{RD}}$		
	4	$\overline{\text{LUB}}$ _OE	$\overline{\text{LUB}}$		PFCR6.LHWROE=1、または SRAMCR.BCSELn=1
		LHWR_OE	LHWR		PFCR6.LHWROE=1
	3	$\overline{\text{LLB}}$ _OE	$\overline{\text{LLB}}$		SRAMCR.BCSELn=1
		$\overline{\text{LLWR}}$ _OE	$\overline{\text{LLWR}}$		SRAMCR.BCSELn=0
	1	$\overline{\text{BACK}}$ _OE	$\overline{\text{BACK}}$		BCR1.BRLE=1
		(RD/ $\overline{\text{WR}}$)_OE	RD/ $\overline{\text{WR}}$		PFCR2.REWRE=1、または SRAMCR.BCSELn=1
	0	$\overline{\text{BS-A}}$ _OE	$\overline{\text{BS}}$	PFCR2.BSS=0	PFCR2.BSE=1
$\overline{\text{BREQO}}$ _OE		$\overline{\text{BREQO}}$		BCR1.BRLE=1,BCR1.BREQOE=1	
PB	3	$\overline{\text{CS3}}$ _OE	$\overline{\text{CS3}}$		PFCR0.CS3E=1
		$\overline{\text{CS7A}}$ _OE	$\overline{\text{CS7}}$	PFCR1.CS7S[A,B]=00	PFCR0.CS7E=1
	2	$\overline{\text{CS2A}}$ _OE	$\overline{\text{CS2}}$	PFCR2.CS2S=0	PFCR0.CS2E=1
		$\overline{\text{CS6A}}$ _OE	$\overline{\text{CS6}}$	PFCR1.CS6S[A,B]=00	PFCR0.CS6E=1
	1	$\overline{\text{CS1}}$ _OE	$\overline{\text{CS1}}$		PFCR0.CS1E=1
		$\overline{\text{CS2B}}$ _OE	$\overline{\text{CS2}}$	PFCR2.CS2S=1	PFCR0.CS2E=1
		$\overline{\text{CS5A}}$ _OE	$\overline{\text{CS5}}$	PFCR1.CS5S[A,B]=00	PFCR0.CS5E=1
		$\overline{\text{CS6B}}$ _OE	$\overline{\text{CS6}}$	PFCR1.CS6S[A,B]=01	PFCR0.CS6E=1
		$\overline{\text{CS7B}}$ _OE	$\overline{\text{CS7}}$	PFCR1.CS7S[A,B]=01	PFCR0.CS7E=1

9. I/O ポート

Port		出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
PB	0	$\overline{CS0_OE}$	$\overline{CS0}$		PFCR0.CS0E=1
		$\overline{CS4A_OE}$	$\overline{CS4}$	PFCR1.CS4S[A,B]=00 PFCR0.CS4E=1	PFCR0.CS4E=1
		$\overline{CS5B_OE}$	$\overline{CS5}$	PFCR1.CS5S[A,B]=01	PFCR0.CS5E=1
PD	7	A7_OE	A7		
	6	A6_OE	A6		
	5	A5_OE	A5		
	4	A4_OE	A4		
	3	A3_OE	A3		
	2	A2_OE	A2		
	1	A1_OE	A1		
	0	A0_OE	A0		
PE	7	A15_OE	A15		
	6	A14_OE	A14		
	5	A13_OE	A13		
	4	A12_OE	A12		
	3	A11_OE	A11		
	2	A10_OE	A10		
	1	A9_OE	A9		
	0	A8_OE	A8		
PF	7	A23_OE	A23		PFCR4.A23E=1
		$\overline{CS4C_OE}$	$\overline{CS4}$		PFCR1.CS4S[A,B]=10 PFCR0.CS4E=1
		$\overline{CS5C_OE}$	$\overline{CS5}$		PFCR1.CS5S[A,B]=10 PFCR0.CS5E=1
		$\overline{CS6C_OE}$	$\overline{CS6}$		PFCR1.CS6S[A,B]=10 PFCR0.CS6E=1
		$\overline{CS7C_OE}$	$\overline{CS7}$		PFCR1.CS7S[A,B]=10 PFCR0.CS7E=1
	6	A22_OE	A22		PFCR4.A22E=1
		$\overline{CS6D_OE}$	$\overline{CS6}$		PFCR1.CS6S[A,B]=11 PFCR0.CS6E=1
	5	A21_OE	A21		PFCR4.A21E=1
		$\overline{CS5D_OE}$	$\overline{CS5}$		PFCR1.CS5S[A,B]=11 PFCR0.CS5E=1
	4	A20_OE	A20		
	3	A19_OE	A19		
	2	A18_OE	A18		
1	A17_OE	A17			
0	A16_OE	A16			

Port		出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
PH	7	D7_E	D7		
	6	D6_E	D6		
	5	D5_E	D5		
	4	D4_E	D4		
	3	D3_E	D3		
	2	D2_E	D2		
	1	D1_E	D1		
	0	D0_E	D0		
PI	7	D15_E	D15		ABWCR.ABW[H,L]n=01
	6	D14_E	D14		ABWCR.ABW[H,L]n=01
	5	D13_E	D13		ABWCR.ABW[H,L]n=01
	4	D12_E	D12		ABWCR.ABW[H,L]n=01
	3	D11_E	D11		ABWCR.ABW[H,L]n=01
	2	D10_E	D10		ABWCR.ABW[H,L]n=01
	1	D9_E	D9		ABWCR.ABW[H,L]n=01
	0	D8_E	D8		ABWCR.ABW[H,L]n=01

9.3 ポートファンクションコントローラ

ポートファンクションコントローラは、I/O ポートの制御を行います。
ポートファンクションコントローラには以下のレジスタがあります。

- ポートファンクションコントロールレジスタ0 (PFCR0)
- ポートファンクションコントロールレジスタ1 (PFCR1)
- ポートファンクションコントロールレジスタ2 (PFCR2)
- ポートファンクションコントロールレジスタ4 (PFCR4)
- ポートファンクションコントロールレジスタ6 (PFCR6)
- ポートファンクションコントロールレジスタ7 (PFCR7)
- ポートファンクションコントロールレジスタ9 (PFCR9)
- ポートファンクションコントロールレジスタB (PFCRB)
- ポートファンクションコントロールレジスタC (PFCRC)

9.3.1 ポートファンクションコントロールレジスタ 0 (PFCR0)

PFCR0 は、 \overline{CS} 出力の許可/禁止を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CS7E	0	R/W	CS7~CS0 イネーブル 対応する \overline{CSn} 出力の許可/禁止を選択します。 0 : I/O ポートとして設定 1 : \overline{CSn} 出力端子として設定 (n=7~0)
6	CS6E	0	R/W	
5	CS5E	0	R/W	
4	CS4E	0	R/W	
3	CS3E	0	R/W	
2	CS2E	0	R/W	
1	CS1E	0	R/W	
0	CS0E	1	R/W	

9.3.2 ポートファンクションコントロールレジスタ 1 (PFCR1)

PFCR1 は、 \overline{CS} 出力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	CS7SA	CS7SB	CS6SA	CS6SB	CS5SA	CS5SB	CS4SA	CS4SB
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CS7SA*	0	R/W	$\overline{CS7}$ 出力端子セレクト
6	CS7SB*	0	R/W	$\overline{CS7}$ 出力許可時 (CS7E=1)、 $\overline{CS7}$ の出力端子を選択します。 00: PB3 を $\overline{CS7}$ -A 出力端子として設定 01: PB1 を $\overline{CS7}$ -B 出力端子として設定 10: PF7 を $\overline{CS7}$ -C 出力端子として設定 11: (設定禁止)
5	CS6SA*	0	R/W	$\overline{CS6}$ 出力端子セレクト
4	CS6SB*	0	R/W	$\overline{CS6}$ 出力許可時 (CS6E=1)、 $\overline{CS6}$ の出力端子を選択します 00: PB2 を $\overline{CS6}$ -A 出力端子として設定 01: PB1 を $\overline{CS6}$ -B 出力端子として設定 10: PF7 を $\overline{CS6}$ -C 出力端子として設定 11: PF6 を $\overline{CS6}$ -D 出力端子として設定
3	CS5SA*	0	R/W	$\overline{CS5}$ 出力端子セレクト
2	CS5SB*	0	R/W	$\overline{CS5}$ 出力許可時 (CS5E=1)、 $\overline{CS5}$ の出力端子を選択します。 00: PB1 を $\overline{CS5}$ -A 出力端子として設定 01: PB0 を $\overline{CS5}$ -B 出力端子として設定 10: PF7 を $\overline{CS5}$ -C 出力端子として設定 11: PF5 を $\overline{CS5}$ -D 出力端子として設定
1	CS4SA*	0	R/W	$\overline{CS4}$ 出力端子セレクト
0	CS4SB*	0	R/W	$\overline{CS4}$ 出力許可時 (CS4E=1)、 $\overline{CS4}$ の出力端子を選択します。 00: PB0 を $\overline{CS4}$ -A 出力端子として設定 01: (設定禁止) 10: PF7 を $\overline{CS4}$ -C 出力端子として設定 11: (設定禁止)

【注】 * \overline{CSn} (n=4~7) 出力端子セレクトビットにより、同一の端子に複数の \overline{CS} 出力を設定した場合、その端子から複数の \overline{CS} が出力されます。詳細は「6.5.3 チップセレクト信号」を参照してください。

9. I/O ポート

9.3.3 ポートファンクションコントロールレジスタ 2 (PFCR2)

PFCR2 は、 \overline{CS} 出力端子の選択、バス制御入出力の許可/禁止、およびバス制御入出力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	CS2S	BSS	BSE	—	RDWRE	ASOE	—
初期値:	0	0	0	0	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
6	CS2S* ¹	0	R/W	$\overline{CS2}$ 出力端子セレクト $\overline{CS2}$ 出力許可時 (CS2E=1)、 $\overline{CS2}$ の出力端子を選択します。 0: PB2 を $\overline{CS2}$ -A 出力端子として設定 1: PB1 を $\overline{CS2}$ -B 出力端子として設定
5	BSS	0	R/W	\overline{BS} 出力端子セレクト \overline{BS} の出力端子を選択します。 0: PA0 を \overline{BS} -A 出力端子として設定 1: PA6 を \overline{BS} -B 出力端子として設定
4	BSE	0	R/W	\overline{BS} 出カインェブル \overline{BS} 出力の許可/禁止を選択します。 0: \overline{BS} 出力を禁止 1: \overline{BS} 出力を許可
3	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
2	RDWRE* ²	0	R/W	RD/ \overline{WR} 出カインェブル RD/ \overline{WR} 出力の許可/禁止を選択します。 0: RD/ \overline{WR} 出力を禁止 1: RD/ \overline{WR} 出力を許可
1	ASOE	1	R/W	\overline{AS} 出カインェブル \overline{AS} 出力の許可/禁止を選択します。 0: PA6 を I/O ポートとして設定 1: PA6 を \overline{AS} 出力端子として設定
0	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。

【注】 *1 \overline{CSn} (n=2) 出力端子セレクトビットにより、同一の端子に複数の \overline{CS} 出力を設定した場合、その端子から複数の \overline{CS} が出力されます。詳細は「6.5.3 チップセレクト信号」を参照してください。

*2 いずれかのエリアがバイト制御 SRAM 空間に設定された場合、RDWRE ビットの値に関わらず、RD/ \overline{WR} 出力となります。

9.3.4 ポートファンクションコントロールレジスタ 4 (PFCR4)

PFCR4 は、アドレス出力の許可/禁止を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	A23E	A22E	A21E	—	—	—	—	—
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	A23E	0	R/W	アドレス A23 イネーブル アドレス出力 (A23) の許可/禁止を選択します。 0 : A23 出力を禁止 1 : A23 出力を許可
6	A22E	0	R/W	アドレス A22 イネーブル アドレス出力 (A22) の許可/禁止を選択します。 0 : A22 出力を禁止 1 : A22 出力を許可
5	A21E	0	R/W	アドレス A21 イネーブル アドレス出力 (A21) の許可/禁止を選択します。 0 : A21 出力を禁止 1 : A21 出力を許可
4~0	—	すべて 1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。

9.3.5 ポートファンクションコントロールレジスタ 6 (PFCR6)

PFCR6 は、TPU 用クロック入力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	LHWROE	—	—	TCLKS	—	—	—
初期値 :	1	1	1	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
6	LHWROE	1	R/W	$\overline{\text{LHWR}}$ 出カインーブル $\overline{\text{LHWR}}$ 出力の許可/禁止を選択します (外部拡張モード時有効)。 0 : PA4 を I/O ポートとして設定 1 : PA4 を $\overline{\text{LHWR}}$ 出力端子として設定

9. I/O ポート

ビット	ビット名	初期値	R/W	説明
5	—	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。
4	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
3	TCLKS	0	R/W	TPU 用外部クロック入力端子セレクト TPU 用の外部クロックの入力端子を選択します。 0 : P32、P33、P35、P37 を外部クロック入力端子として設定 1 : P14~P17 を外部クロック入力端子として設定
2~0	—	すべて0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。

9.3.6 ポートファンクションコントロールレジスタ 7 (PFCR7)

PFCR7 は、DMAC 入出力端子 (\overline{DREQ} 、 \overline{DACK} 、 \overline{TEND}) を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	DMAS3A	DMAS3B	DMAS2A	DMAS2B	DMAS1A	DMAS1B	DMAS0A	DMAS0B
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	DMAS3A	0	R/W	DMAC 制御端子セレクト DMAC_3 を制御するための入出力ポートを選択します。 00 : 設定禁止 01 : P63~P65 を DMAC 制御端子として設定 10 : 設定禁止 11 : 設定禁止
6	DMAS3B	0	R/W	
5	DMAS2A	0	R/W	DMAC 制御端子セレクト DMAC_2 を制御するための入出力ポートを選択します。 00 : 設定禁止 01 : P60~P62 を DMAC 制御端子として設定 10 : 設定禁止 11 : 設定禁止
4	DMAS2B	0	R/W	
3	DMAS1A	0	R/W	DMAC 制御端子セレクト DMAC_1 を制御するための入出力ポートを選択します。 00 : P14~P16 を DMAC 制御端子として設定 01 : P33~P35 を DMAC 制御端子として設定 10 : 設定禁止 11 : 設定禁止
2	DMAS1B	0	R/W	

ビット	ビット名	初期値	R/W	説明
1	DMAS0A	0	R/W	DMAC 制御端子セレクト
0	DMAS0B	0	R/W	DMAC_0 を制御するための入出力ポートを選択します。 00 : P10~P12 を DMAC 制御端子として設定 01 : P30~P32 を DMAC 制御端子として設定 10 : 設定禁止 11 : 設定禁止

9.3.7 ポートファンクションコントロールレジスタ 9 (PFCR9)

PFCR9 は、TPU 入出力端子のマルチ機能を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	TPUMS5	TPUMS4	TPUMS3A	TPUMS3B	TPUMS2	TPUMS1	TPUMS0A	TPUMS0B
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TPUMS5	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA5 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P26 1 : インプットキャプチャ入力は P27、アウトプットコンペアは P26
6	TPUMS4	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA4 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P25 1 : インプットキャプチャ入力は P24、アウトプットコンペアは P25
5	TPUMS3A	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA3 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P21 1 : インプットキャプチャ入力は P20、アウトプットコンペアは P21
4	TPUMS3B	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCC3 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P22 1 : インプットキャプチャ入力は P23、アウトプットコンペアは P22
3	TPUMS2	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA2 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P36 1 : インプットキャプチャ入力は P37、アウトプットコンペアは P36

9. I/O ポート

ビット	ビット名	初期値	R/W	説明
2	TPUMS1	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA1 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P34 1: インプットキャプチャ入力は P35、アウトプットコンペアは P34
1	TPUMS0A	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA0 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P30 1: インプットキャプチャ入力は P31、アウトプットコンペアは P30
0	TPUMS0B	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCC0 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P32 1: インプットキャプチャ入力は P33、アウトプットコンペアは P32

9.3.8 ポートファンクションコントロールレジスタ B (PFCRB)

PFCRB は、 $\overline{\text{IRQ11}}$ ~ $\overline{\text{IRQ8}}$ 入力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	ITS11	ITS10	ITS9	ITS8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
3	ITS11	0	R/W	$\overline{\text{IRQ11}}$ 端子セレクト $\overline{\text{IRQ11}}$ の入力端子を選択します。 0: P23 を $\overline{\text{IRQ11}}$ -A 入力端子として設定 1: P63 を $\overline{\text{IRQ11}}$ -B 入力端子として設定
2	ITS10	0	R/W	$\overline{\text{IRQ10}}$ 端子セレクト $\overline{\text{IRQ10}}$ の入力端子を選択します。 0: P22 を $\overline{\text{IRQ10}}$ -A 入力端子として設定 1: P62 を $\overline{\text{IRQ10}}$ -B 入力端子として設定
1	ITS9	0	R/W	$\overline{\text{IRQ9}}$ 端子セレクト $\overline{\text{IRQ9}}$ の入力端子を選択します。 0: P21 を $\overline{\text{IRQ9}}$ -A 入力端子として設定 1: P61 を $\overline{\text{IRQ9}}$ -B 入力端子として設定

ビット	ビット名	初期値	R/W	説明
0	ITS8	0	R/W	$\overline{\text{IRQ8}}$ 端子セレクト $\overline{\text{IRQ8}}$ の入力端子を選択します。 0 : P20 を $\overline{\text{IRQ8}}$ -A 入力端子として設定 1 : P60 を $\overline{\text{IRQ8}}$ -B 入力端子として設定

9.3.9 ポートファンクションコントロールレジスタ C (PFCRC)

PFCRC は、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	ITS1	ITS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ITS7	0	R/W	$\overline{\text{IRQ7}}$ 端子セレクト $\overline{\text{IRQ7}}$ の入力端子を選択します。 0 : P17 を $\overline{\text{IRQ7}}$ -A 入力端子として設定 1 : P57 を $\overline{\text{IRQ7}}$ -B 入力端子として設定
6	ITS6	0	R/W	$\overline{\text{IRQ6}}$ 端子セレクト $\overline{\text{IRQ6}}$ の入力端子を選択します。 0 : P16 を $\overline{\text{IRQ6}}$ -A 入力端子として設定 1 : P56 を $\overline{\text{IRQ6}}$ -B 入力端子として設定
5	ITS5	0	R/W	$\overline{\text{IRQ5}}$ 端子セレクト $\overline{\text{IRQ5}}$ の入力端子を選択します。 0 : P15 を $\overline{\text{IRQ5}}$ -A 入力端子として設定 1 : P55 を $\overline{\text{IRQ5}}$ -B 入力端子として設定
4	ITS4	0	R/W	$\overline{\text{IRQ4}}$ 端子セレクト $\overline{\text{IRQ4}}$ の入力端子を選択します。 0 : P14 を $\overline{\text{IRQ4}}$ -A 入力端子として設定 1 : P54 を $\overline{\text{IRQ4}}$ -B 入力端子として設定
3	ITS3	0	R/W	$\overline{\text{IRQ3}}$ 端子セレクト $\overline{\text{IRQ3}}$ の入力端子を選択します。 0 : P13 を $\overline{\text{IRQ3}}$ -A 入力端子として設定 1 : P53 を $\overline{\text{IRQ3}}$ -B 入力端子として設定

9. I/O ポート

ビット	ビット名	初期値	R/W	説明
2	ITS2	0	R/W	$\overline{\text{IRQ2}}$ 端子セレクト $\overline{\text{IRQ2}}$ の入力端子を選択します。 0 : P12 を $\overline{\text{IRQ2}}$ -A 入力端子として設定 1 : P52 を $\overline{\text{IRQ2}}$ -B 入力端子として設定
1	ITS1	0	R/W	$\overline{\text{IRQ1}}$ 端子セレクト $\overline{\text{IRQ1}}$ の入力端子を選択します。 0 : P11 を $\overline{\text{IRQ1}}$ -A 入力端子として設定 1 : P51 を $\overline{\text{IRQ1}}$ -B 入力端子として設定
0	ITS0	0	R/W	$\overline{\text{IRQ0}}$ 端子セレクト $\overline{\text{IRQ0}}$ の入力端子を選択します。 0 : P10 を $\overline{\text{IRQ0}}$ -A 入力端子として設定 1 : P50 を $\overline{\text{IRQ0}}$ -B 入力端子として設定

9.4 使用上の注意事項

9.4.1 入力バッファコントロールレジスタ（ICR）の設定

1. ICRの設定を変更する場合、端子の状態によっては内部的にエッジが発生し意図しない動作をすることがあります。ICRの設定を変更する場合は、端子をHighレベルに固定した状態で行うか、当該端子に割り当てられている周辺モジュールの設定で、入力機能を無効にした状態で行ってください。
2. ICRの設定で入力を有効にした場合、複数の入力機能が割り当てられている端子では、そのすべての入力機能に端子状態が反映されます。未使用の入力機能は各周辺モジュール側の設定に注意してください。
3. 端子を出力端子として使用する場合、ICRの設定で入力を有効にすると出力データが端子状態として取り込まれます。出力として使用する端子は、ICRの設定で入力を無効にしてください。

9.4.2 ポートファンクションコントロールレジスタ（PFCR）の設定

1. ポートファンクションコントローラは、I/Oポートの制御を行います。
各端子の入出力の設定は、入出力先を選択後に入出力を有効にしてください。
2. 入力端子を変更する場合、変更前の端子レベルと変更後の端子レベルが異なると内部にエッジが発生し、意図しない動作をすることがあります。
変更する場合には以下の手順で行ってください。
 - 入力端子の変更
 - (1) 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を無効にする。
 - (2) PFCRの設定により、入力端子を選択する。
 - (3) 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を有効にする。
3. 一つの端子機能に対して、入出力先を変更する端子セレクトビット、および端子機能を有効にするイネーブルビットの両方が存在する場合、端子セレクトビットで端子の入出力先を設定した後に、イネーブルビットで端子機能を有効にしてください。

10. 16ビットタイマパルスユニット (TPU)

本LSIは、6チャンネルの16ビットタイマにより構成される16ビットタイマパルスユニット (TPU) を内蔵しています。16ビットタイマパルスユニットの機能一覧を表 10.1 に、ブロック図を図 10.1 に示します。

10.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大15相のPWM出力
- チャンネル0、3はバッファ動作を設定可能
- チャンネル1、2、4、5は各々独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 26種類の割り込み要因
- レジスタデータの自動転送が可能
- プログラマブルパルスジェネレータ (PPG) の出力トリガを生成可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールストップモードの設定可能

10. 16 ビットタイマパルスユニット (TPU)

表 10.1 TPU の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	Pφ/1 Pφ/4 Pφ/16 Pφ/64 TCLKA TCLKB TCLKC TCLKD	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 TCLKA TCLKB TCNT2	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024 TCLKA TCLKB TCLKC	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 Pφ/1024 Pφ/4096 TCLKA	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024 TCLKA TCLKC TCNT5	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 TCLKA TCLKC TCLKD
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRA_5 TGRB_5
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	—	—	TGRC_3 TGRD_3	—	—
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア 機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ 出力	0 出力 ○	○	○	○	○	○
	1 出力 ○	○	○	○	○	○
	トグル 出力 ○	○	○	○	○	○
インプットキャプチャ 機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWM モード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DTC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ

【記号説明】

○：可能

—：不可

10. 16ビットタイムパルスユニット (TPU)

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
DMAC の起動	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	TGRA_5 の コンペアマッチ または インプット キャプチャ
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	TGRA_5 の コンペアマッチ または インプット キャプチャ
PPG トリガ	TGRA_0、 TGRB_0 の コンペアマッチ または インプット キャプチャ	TGRA_1、 TGRB_1 の コンペアマッチ または インプット キャプチャ	TGRA_2、 TGRB_2 の コンペアマッチ または インプット キャプチャ	TGRA_3、 TGRB_3 の コンペアマッチ または インプット キャプチャ	—	—
割り込み要因	5 要因 ・コンペアマッチ ／インプット キャプチャ0A ・コンペアマッチ ／インプット キャプチャ0B ・コンペアマッチ ／インプット キャプチャ0C ・コンペアマッチ ／インプット キャプチャ0D ・オーバフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ1A ・コンペアマッチ ／インプット キャプチャ1B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ2A ・コンペアマッチ ／インプット キャプチャ2B ・オーバフロー ・アンダフロー	5 要因 ・コンペアマッチ ／インプット キャプチャ3A ・コンペアマッチ ／インプット キャプチャ3B ・コンペアマッチ ／インプット キャプチャ3C ・コンペアマッチ ／インプット キャプチャ3D ・オーバフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ4A ・コンペアマッチ ／インプット キャプチャ4B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ5A ・コンペアマッチ ／インプット キャプチャ5B ・オーバフロー ・アンダフロー

10. 16ビットタイマパルスユニット (TPU)

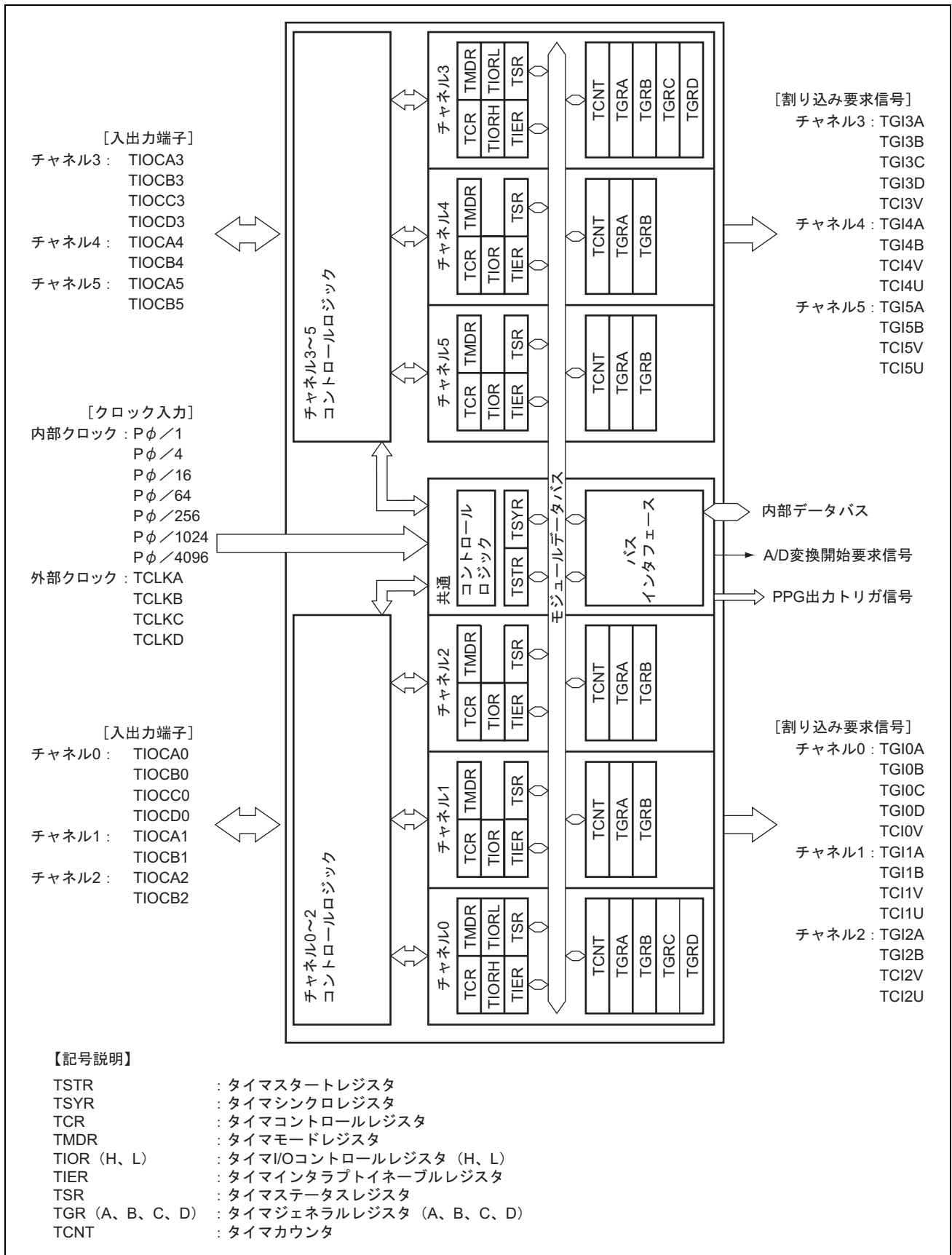


図 10.1 TPU のブロック図

10.2 入出力端子

TPU の端子構成を表 10.2 に示します。

表 10.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4 の位相計数モード B 相入力)
0	TIOCA0	入出力	TGRA_0 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	TIOCB0	入出力	TGRB_0 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	TIOCC0	入出力	TGRC_0 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	TIOCD0	入出力	TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
3	TIOCA3	入出力	TGRA_3 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	TIOCB3	入出力	TGRB_3 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	TIOCC3	入出力	TGRC_3 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	TIOCD3	入出力	TGRD_3 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
4	TIOCA4	入出力	TGRA_4 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	TIOCB4	入出力	TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
5	TIOCA5	入出力	TGRA_5 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	TIOCB5	入出力	TGRB_5 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子

10.3 レジスタの説明

TPU には、以下のレジスタがあります。

チャンネル 0 :

- タイマコントロールレジスタ_0 (TCR_0)
- タイマモードレジスタ_0 (TMDR_0)
- タイマI/OコントロールレジスタH_0 (TIORH_0)
- タイマI/OコントロールレジスタL_0 (TIORL_0)
- タイマインタラプトイネーブルレジスタ_0 (TIER_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマジェネラルレジスタA_0 (TGRA_0)
- タイマジェネラルレジスタB_0 (TGRB_0)
- タイマジェネラルレジスタC_0 (TGRC_0)
- タイマジェネラルレジスタD_0 (TGRD_0)

チャンネル 1 :

- タイマコントロールレジスタ_1 (TCR_1)
- タイマモードレジスタ_1 (TMDR_1)
- タイマI/Oコントロールレジスタ_1 (TIOR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマジェネラルレジスタA_1 (TGRA_1)
- タイマジェネラルレジスタB_1 (TGRB_1)

チャンネル 2 :

- タイマコントロールレジスタ_2 (TCR_2)
- タイマモードレジスタ_2 (TMDR_2)
- タイマI/Oコントロールレジスタ_2 (TIOR_2)
- タイマインタラプトイネーブルレジスタ_2 (TIER_2)
- タイマステータスレジスタ_2 (TSR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマジェネラルレジスタA_2 (TGRA_2)
- タイマジェネラルレジスタB_2 (TGRB_2)

チャンネル3:

- タイマコントロールレジスタ_3 (TCR_3)
- タイマモードレジスタ_3 (TMDR_3)
- タイマI/OコントロールレジスタH_3 (TIORH_3)
- タイマI/OコントロールレジスタL_3 (TIORL_3)
- タイマインタラプトイネーブルレジスタ_3 (TIER_3)
- タイマステータスレジスタ_3 (TSR_3)
- タイマカウンタ_3 (TCNT_3)
- タイマジェネラルレジスタA_3 (TGRA_3)
- タイマジェネラルレジスタB_3 (TGRB_3)
- タイマジェネラルレジスタC_3 (TGRC_3)
- タイマジェネラルレジスタD_3 (TGRD_3)

チャンネル4:

- タイマコントロールレジスタ_4 (TCR_4)
- タイマモードレジスタ_4 (TMDR_4)
- タイマI/Oコントロールレジスタ_4 (TIOR_4)
- タイマインタラプトイネーブルレジスタ_4 (TIER_4)
- タイマステータスレジスタ_4 (TSR_4)
- タイマカウンタ_4 (TCNT_4)
- タイマジェネラルレジスタA_4 (TGRA_4)
- タイマジェネラルレジスタB_4 (TGRB_4)

チャンネル5:

- タイマコントロールレジスタ_5 (TCR_5)
- タイマモードレジスタ_5 (TMDR_5)
- タイマI/Oコントロールレジスタ_5 (TIOR_5)
- タイマインタラプトイネーブルレジスタ_5 (TIER_5)
- タイマステータスレジスタ_5 (TSR_5)
- タイマカウンタ_5 (TCNT_5)
- タイマジェネラルレジスタA_5 (TGRA_5)
- タイマジェネラルレジスタB_5 (TGRB_5)

共通:

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

10. 16 ビットタイマパルスユニット (TPU)

10.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。TPU には、各チャンネルに 1 本、計 6 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2、1、0 TCNT のカウンタクリア要因を選択します。詳細は表 10.3、表 10.4 を参照してください。
6	CCLR1	0	R/W	
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。詳細は表 10.5 を参照してください。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例 : $P\phi/4$ の両エッジ = $P\phi/2$ の立ち上がりエッジ)。チャンネル 1、2、4、5 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $P\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $P\phi/1$ 、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は本設定は無視されます。
3	CKEG0	0	R/W	
2	TPSC2	0	R/W	タイマプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 10.6~表 10.11 を参照してください。クロックソースに外部クロックを選択する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「9. I/O ポート」を参照してください。
1	TPSC1	0	R/W	
0	TPSC0	0	R/W	

表 10.3 CCLR2~CCLR0 (チャンネル 0、3)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR2	CCLR1	CCLR0	
0、3	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア*1
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア*2
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア*2
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア*1

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

表 10.4 CCLR2~CCLR0 (チャンネル 1、2、4、5)

チャンネル	ビット7	ビット6	ビット5	説明
	リザーブ*2	CCLR1	CCLR0	
1、2、 4、5	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア*1

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

*2 チャンネル1、2、4、5ではビット7はリザーブです。リードすると常に0がリードされます。ライトは無効です。

表 10.5 入力クロックエッジ選択

クロックエッジ選択		入力クロック	
CKEG1	CKEG0	内部クロック	外部クロック
0	0	立ち下がりエッジでカウント	立ち上がりエッジでカウント
0	1	立ち上がりエッジでカウント	立ち下がりエッジでカウント
1	x	両エッジでカウント	両エッジでカウント

【記号説明】 x : Don't care

10. 16 ビットタイマパルスユニット (TPU)

表 10.6 TPSC2~TPSC0 (チャンネル 0)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 10.7 TPSC2~TPSC0 (チャンネル 1)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : Pφ/256 でカウント
	1	1	1	TCNT2 のオーバフロー/アンダフローでカウント

【注】 チャンネル 1 が位相計数モード時、この設定は無効になります。

表 10.8 TPSC2~TPSC0 (チャンネル 2)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : Pφ/1024 でカウント

【注】 チャンネル 2 が位相計数モード時、この設定は無効になります。

表 10.9 TPSC2~TPSC0 (チャンネル 3)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック : P ϕ /1 でカウント
	0	0	1	内部クロック : P ϕ /4 でカウント
	0	1	0	内部クロック : P ϕ /16 でカウント
	0	1	1	内部クロック : P ϕ /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	内部クロック : P ϕ /1024 でカウント
	1	1	0	内部クロック : P ϕ /256 でカウント
	1	1	1	内部クロック : P ϕ /4096 でカウント

表 10.10 TPSC2~TPSC0 (チャンネル 4)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック : P ϕ /1 でカウント
	0	0	1	内部クロック : P ϕ /4 でカウント
	0	1	0	内部クロック : P ϕ /16 でカウント
	0	1	1	内部クロック : P ϕ /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : P ϕ /1024 でカウント
	1	1	1	TCNT5 のオーバフロー/アンダフローでカウント

【注】チャンネル 4 が位相計数モード時、この設定は無効になります。

表 10.11 TPSC2~TPSC0 (チャンネル 5)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック : P ϕ /1 でカウント
	0	0	1	内部クロック : P ϕ /4 でカウント
	0	1	0	内部クロック : P ϕ /16 でカウント
	0	1	1	内部クロック : P ϕ /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : P ϕ /256 でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

【注】チャンネル 5 が位相計数モード時、この設定は無効になります。

10. 16ビットタイマパルスユニット (TPU)

10.3.2 タイマモードレジスタ (TMDR)

TMDR は、各チャンネルの動作モードの設定を行います。TPU には、各チャンネルに 1 本、計 6 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	BFB	BFA	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	1	R	リザーブビット
6	—	1	R	これらのビットはリードのみ有効で、ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRB は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3~0
2	MD2	0	R/W	MD3~MD0 はタイマの動作モードを設定します。
1	MD1	0	R/W	MD3 はリザーブビットです。ライト時には常に 0 としてください。
0	MD0	0	R/W	詳細は表 10.12 を参照してください。

表 10.12 MD3~MD0

ビット3	ビット2	ビット1	ビット0	説明
MD3* ¹	MD2* ²	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	1	位相計数モード 4
1	x	x	x	—

【記号説明】 x : Don't care

【注】 *1 MD3 はリザーブビットです。ライト時には常に 0 としてください。

*2 チャンネル 0、3 では、位相計数モードの設定はできません。MD2 には常に 0 をライトしてください。

10.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタが停止した状態 (TSTR の CST ビットを 0 にクリアした) で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

TIOR にインプットキャプチャ端子として設定する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「9. I/O ポート」を参照してください。

・ TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIOR_4、TIOR_5

ビット	7	6	5	4	3	2	1	0
ビット名	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ TIORL_0、TIORL_3

ビット	7	6	5	4	3	2	1	0
ビット名	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10. 16 ビットタイマパルスユニット (TPU)

• TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIOR_4、TIOR_5

ビット	ビット名	初期値	R/W	説 明
7	IOB3	0	R/W	I/O コントロール B3~B0 TGRB の機能を設定します。詳細は表 10.13、表 10.15、表 10.16、表 10.17、表 10.19、表 10.20 を参照してください。
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3~A0 TGRA の機能を設定します。詳細は表 10.21、表 10.23、表 10.24、表 10.25、表 10.27、表 10.28 を参照してください。
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	

• TIORL_0、TIORL_3

ビット	ビット名	初期値	R/W	説 明
7	IOD3	0	R/W	I/O コントロール D3~D0 TGRD の機能を設定します。詳細は表 10.14、表 10.18 を参照してください。
6	IOD2	0	R/W	
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	I/O コントロール C3~C0 TGRC の機能を設定します。詳細は表 10.22、表 10.26 を参照してください。
2	IOC2	0	R/W	
1	IOC1	0	R/W	
0	IOC0	0	R/W	

表 10.13 TIORH_0

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコン ペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプ チャレジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでインプ ットキャプチャ*

【記号説明】 x : Don't care

【注】 * TCR_1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

10. 16 ビットタイマパルスユニット (TPU)

表 10.14 TIORL_0

ビット7	ビット6	ビット5	ビット4	説 明	
				TGRD_0 の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコン ペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプ チャレジスタ*2
1	0	0	1	キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ	
1	0	1	x	キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元はチャネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでインプ ットキャプチャ*1	

【記号説明】 x : Don't care

【注】 *1 TCR_1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 10.15 TIOR_1

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコン ペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプ チャレジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 コンペアマッチ/インプットキャプチャ TGRC_0 のコンペアマッチ/インプットキャプチャの発 生でインプットキャプチャ

【記号説明】 x : Don't care

10. 16 ビットタイマパルスユニット (TPU)

表 10.16 TIOR_2

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコン ペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプ チャレジスタ
1	x	0	1	キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

表 10.17 TIORH_3

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOCB3 端子の機能
0	0	0	0	アウトプットコン ペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプ チャレジスタ	キャプチャ入力元は TIOCB3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでインプ ットキャプチャ*

【記号説明】 x : Don't care

【注】 * TCR_4 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

10. 16 ビットタイマパルスユニット (TPU)

表 10.18 TIORL_3

ビット7	ビット6	ビット5	ビット4	説 明	
				TGRD_3 の機能	TIOCD3 端子の機能
0	0	0	0	アウトプットコン ペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプ チャレジスタ*2
1	0	0	1	キャプチャ入力元は TIOCD3 端子 立ち下がりエッジでインプットキャプチャ	
1	0	1	x	キャプチャ入力元は TIOCD3 端子 両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元はチャネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでインプ ットキャプチャ*1	

【記号説明】 x : Don't care

【注】 *1 TCR_4 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 10.19 TIOR_4

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOCB4 端子の機能
0	0	0	0	アウトプットコン ペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプ チャレジスタ
1	0	0	1	キャプチャ入力元は TIOCB4 端子 立ち下がりエッジでインプットキャプチャ	
1	0	1	x	キャプチャ入力元は TIOCB4 端子 両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元は TGRC_3 コンペアマッチ/インプ ットキャプチャ TGRC_3 のコンペアマッチ/インプットキャプチャの発 生でインプットキャプチャ	

【記号説明】 x : Don't care

10. 16 ビットタイマパルスユニット (TPU)

表 10.20 TIOR_5

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_5 の機能	TIOCB5 端子の機能
0	0	0	0	アウトプットコン ペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプ チャレジスタ
1	x	0	1	キャプチャ入力元は TIOCB5 端子 立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元は TIOCB5 端子 両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

表 10.21 TIORH_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコン ペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプ チャレジスタ
1	0	0	1	キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ	
1	0	1	x	キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元はチャネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでインプ ットキャプチャ	

【記号説明】 x : Don't care

10. 16 ビットタイマパルスユニット (TPU)

表 10.22 TIORL_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOCC0 の端子の機能
0	0	0	0	アウトプットコン ペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプ チャレジスタ*	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでインプ ットキャプチャ

【記号説明】 x : Don't care

【注】 * TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 10.23 TIOR_1

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコン ペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプ チャレジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRA_0 コンペアマッチ/インプ ットキャプチャ チャンネル 0/TGRA_0 のコンペアマッチ/インプットキャ プチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

10. 16 ビットタイマパルスユニット (TPU)

表 10.24 TIOR_2

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコン ペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプ チャレジスタ
1	x	0	1	キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

表 10.25 TIORH_3

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOCA3 端子の機能
0	0	0	0	アウトプットコン ペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプ チャレジスタ
1	0	0	1	キャプチャ入力元は TIOCA3 端子 立ち下がりエッジでインプットキャプチャ	
1	0	1	x	キャプチャ入力元は TIOCA3 端子 両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元はチャネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでインプ ットキャプチャ	

【記号説明】 x : Don't care

10. 16 ビットタイマパルスユニット (TPU)

表 10.26 TIORL_3

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOCC3 端子の機能
0	0	0	0	アウトプットコン ペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプ チャレジスタ*	キャプチャ入力元は TIOCC3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでインプ ットキャプチャ

【記号説明】 x : Don't care

【注】 * TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 10.27 TIOR_4

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOCA4 端子の機能
0	0	0	0	アウトプットコン ペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプ チャレジスタ
1	0	0	1	キャプチャ入力元は TIOCA4 端子 立ち下がりエッジでインプットキャプチャ	
1	0	1	x	キャプチャ入力元は TIOCA4 端子 両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元は TGRA_3 コンペアマッチ/インプ ットキャプチャ TGRA_3 のコンペアマッチ/インプットキャプチャの発 生でインプットキャプチャ	

【記号説明】 x : Don't care

10. 16 ビットタイマパルスユニット (TPU)

表 10.28 TIOR_5

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_5 の機能	TIOCA5 端子の機能
0	0	0	0	アウトプットコン ペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプ チャレジスタ	キャプチャ入力元は TIOCA5 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCA5 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCA5 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

10.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネルに 1 本、計 6 本の TIER があります。

ビット	7	6	5	4	3	2	1	0
ビット名	TTGE	—	TCIEU	TCIEV	TGIED	TCIEC	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ/コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	—	1	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2、4、5 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3 ではリザーブビットです。 リードすると常に 0 がリードされます。ライトは無効です。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可

10. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

10.3.5 タイマステータスレジスタ (TSR)

TSR は、各チャンネルのステータスの表示を行います。TPU には、各チャンネルに 1 本、計 6 本の TSR があります。

ビット	7	6	5	4	3	2	1	0
ビット名	TCFD	—	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2、4、5 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0、3 ではリザーブビットです。リードすると常に 1 がリードされます。 ライトは無効です。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	—	1	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。

ビット	ビット名	初期値	R/W	説明
5	TCFU	0	R/(W)*	<p>アンダフローフラグ</p> <p>チャンネル 1、2、4、5 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。</p> <p>チャンネル 0、3 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <p>TCNT の値がアンダフロー (H'0000→H'FFFF) したとき</p> <p>[クリア条件]</p> <p>TCFU=1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>
4	TCFV	0	R/(W)*	<p>オーバフローフラグ (TCFV)</p> <p>TCNT のオーバフローの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <p>TCNT の値がオーバフローしたとき (H'FFFF→ H'0000)</p> <p>[クリア条件]</p> <p>TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>
3	TGFD	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGID 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき • TGFD=1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)

10. 16 ビットタイマパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
2	TGFC	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFC=1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)
1	TGFB	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFB=1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)*	<p>インプットキャプチャ／アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGIA 割り込みにより DMAC が起動され、DMAC の DMDR の DTA ビットが 1 のとき • TGFA=1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)

【注】 * フラグをクリアするための 0 ライトのみ可能です。

10.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード／ライト可能なカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード／ライト可能なアウトプットコンペア／インプットキャプチャ兼用のレジスタです。チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のジェネラルレジスタがあります。

チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。バッファ動作時の TGR とバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRD になります。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10. 16ビットタイマパルスユニット (TPU)

10.3.8 タイマスタートレジスタ (TSTR)

TSTR は、チャンネル 0~5 の TCNT の動作/停止を選択します。TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	CST5	CST4	CST3	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット
6	—	0	R/W	リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
5	CST5	0	R/W	カウンタスタート 5~0
4	CST4	0	R/W	TCNT の動作または停止を選択します。
3	CST3	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_5~TCNT_0 のカウント動作は停止 1 : TCNT_5~TCNT_0 はカウント動作
2	CST2	0	R/W	
1	CST1	0	R/W	
0	CST0	0	R/W	

10.3.9 タイマシンクロレジスタ (TSYR)

TSYR は、チャンネル0～5のTCNTの独立動作または同期動作を選択します。対応するビットを1にセットしたチャンネルが同期動作を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット
6	—	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。
5	SYNC5	0	R/W	タイマ同期 5～0
4	SYNC4	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
3	SYNC3	0	R/W	同期動作を選択すると、複数のTCNTの同期プリセットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。
2	SYNC2	0	R/W	
1	SYNC1	0	R/W	同期動作の設定には、最低2チャンネルのSYNCビットを1にセットする必要があります。同期クリアの設定には、SYNCビットの他にTCRのCCLR2～CCLR0ビットで、TCNTのクリア要因を設定する必要があります。
0	SYNC0	0	R/W	0: TCNT_5～TCNT_0は独立動作 (TCNTのプリセット/クリアは他チャンネルと無関係) 1: TCNT_5～TCNT_0は同期動作 TCNTの同期プリセット/同期クリアが可能

10.4 動作説明

10.4.1 基本動作

各チャンネルには、TCNTとTGRがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGRは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRのCST0～CST5ビットを1にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図10.2に示します。

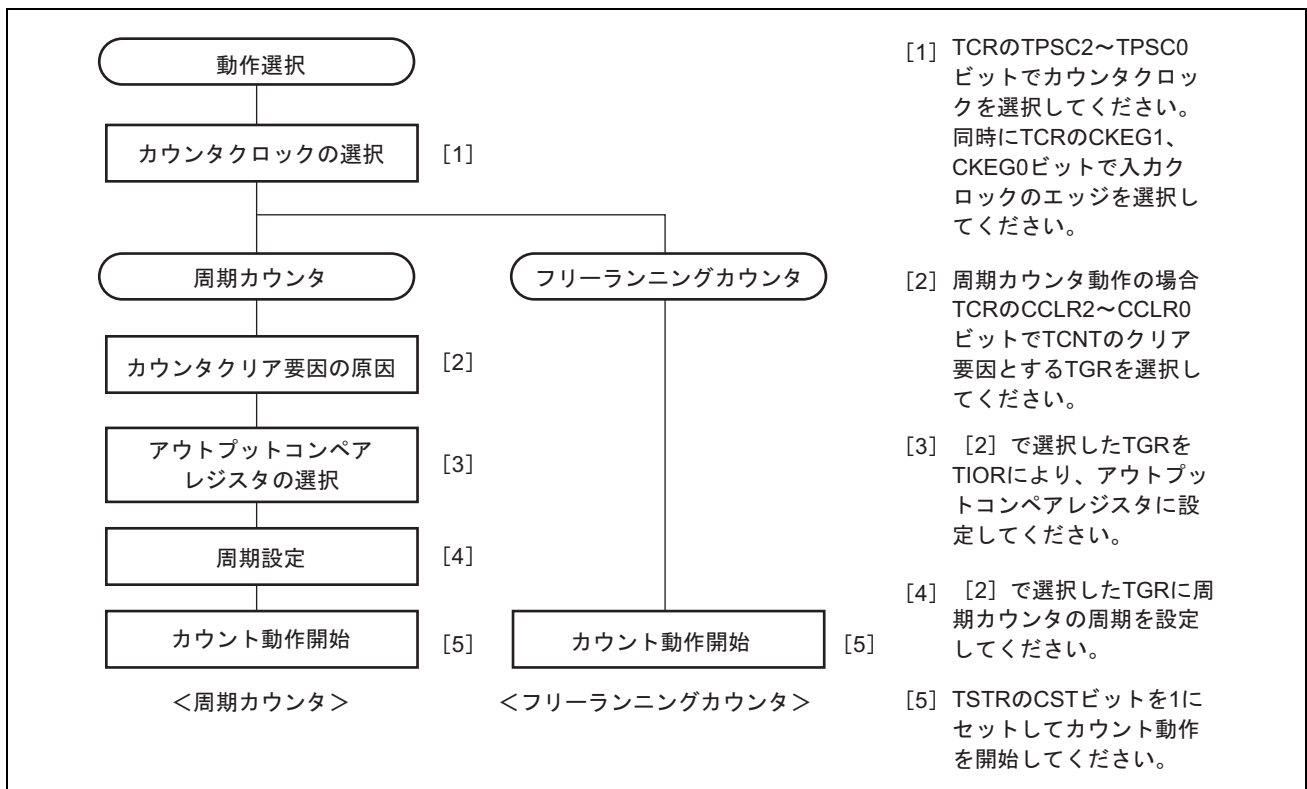


図 10.2 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPUのTCNTは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRの対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー(H'FFFF→H'0000)すると、TSRのTCFVビットが1にセットされます。このとき、対応するTIERのTCIEVビットが1ならば、TPUは割り込みを要求します。TCNTはオーバーフロー後、H'0000からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 10.3 に示します。

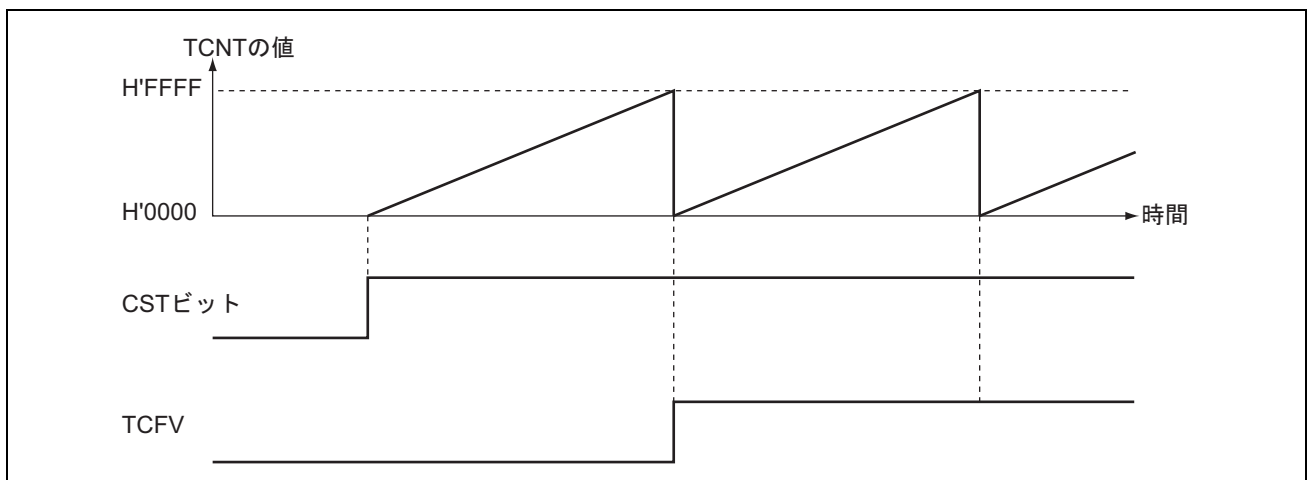


図 10.3 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウント動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCRのCCLR2～CCLR0ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRの対応するビットを1にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TSRのTGFビットが1にセットされ、TCNTはH'0000にクリアされます。

このとき対応するTIERのTGIEビットが1ならば、TPUは割り込みを要求します。TCNTはコンペアマッチ後、H'0000からアップカウント動作を継続します。

周期カウンタの動作を図10.4に示します。

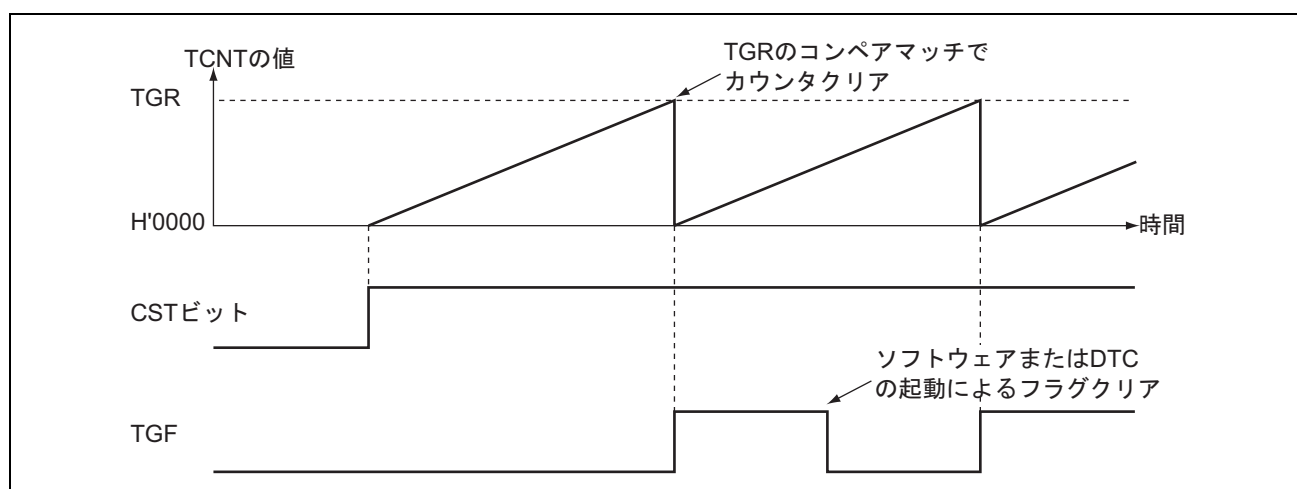


図 10.4 周期カウンタの動作

10. 16ビットタイマパルスユニット (TPU)

(2) コンペアマッチによる波形出力機能

TPUは、コンペアマッチにより対応する出力端子から0出力/1出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.5 に示します。

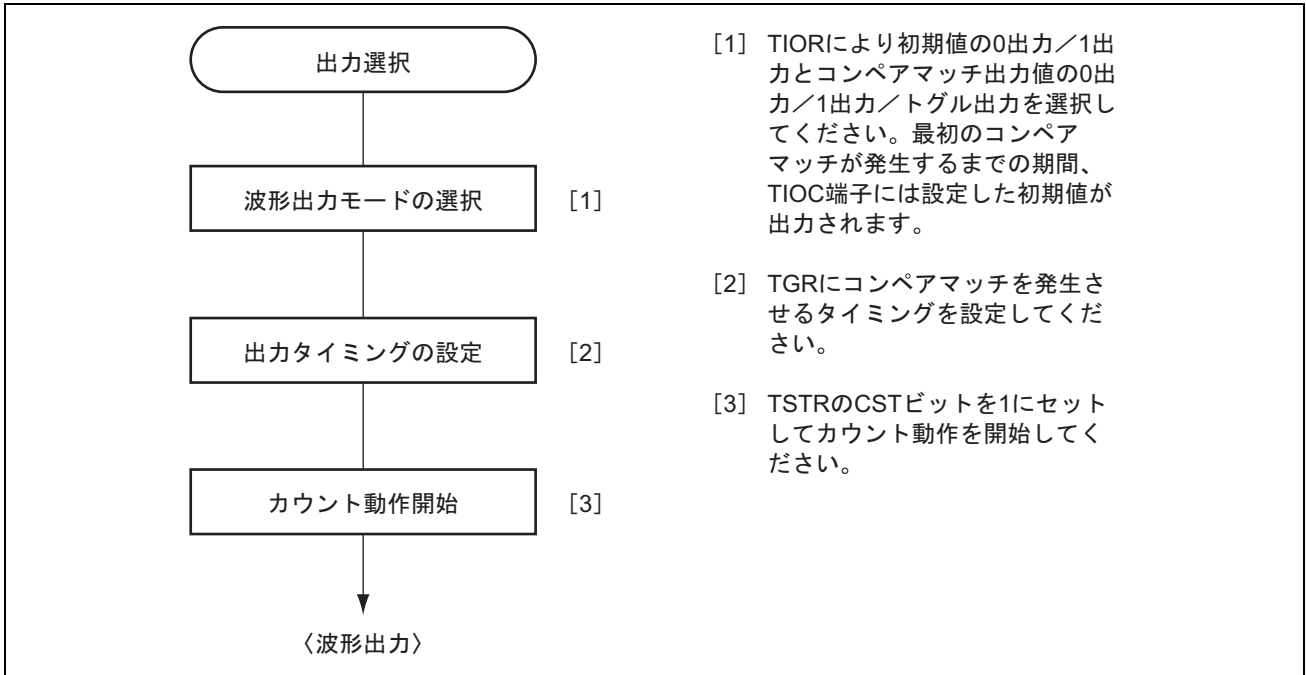


図 10.5 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0出力/1出力例を図 10.6 に示します。

TCNTをフリーランニングカウント動作とし、コンペアマッチAにより1出力、コンペアマッチBにより0出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

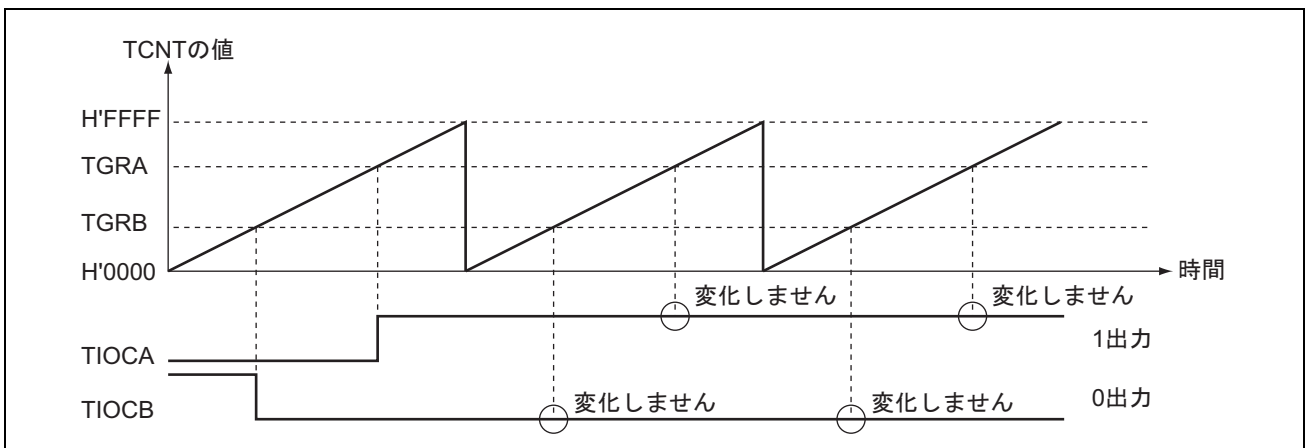


図 10.6 0出力/1出力の動作例

トグル出力の例を図 10.7 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

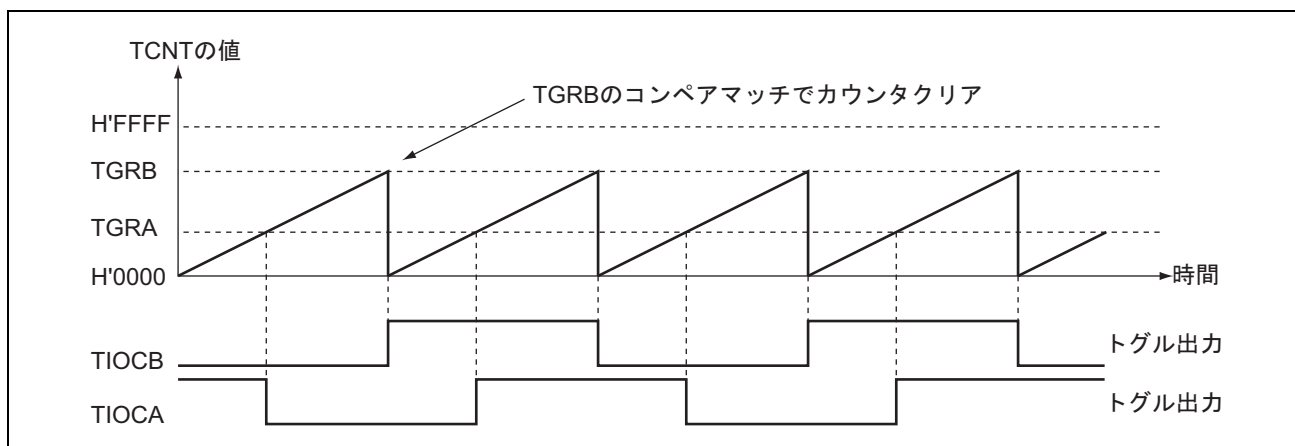


図 10.7 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、チャンネル 0、1、3、4 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに Pφ/1 を選択しないでください。Pφ/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 10.8 に示します。

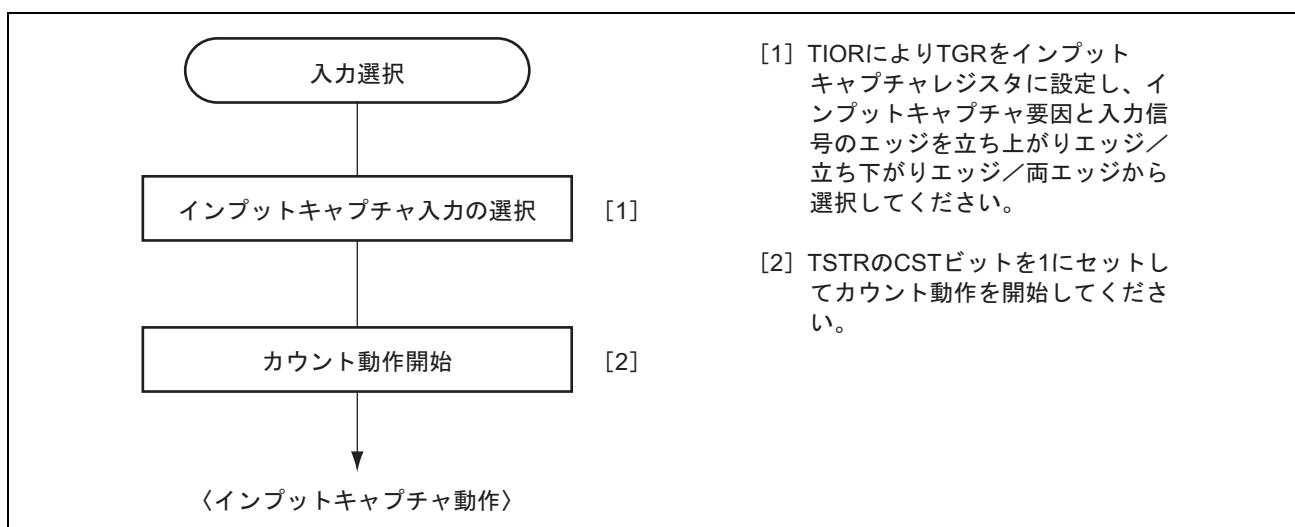


図 10.8 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 10.9 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり／立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

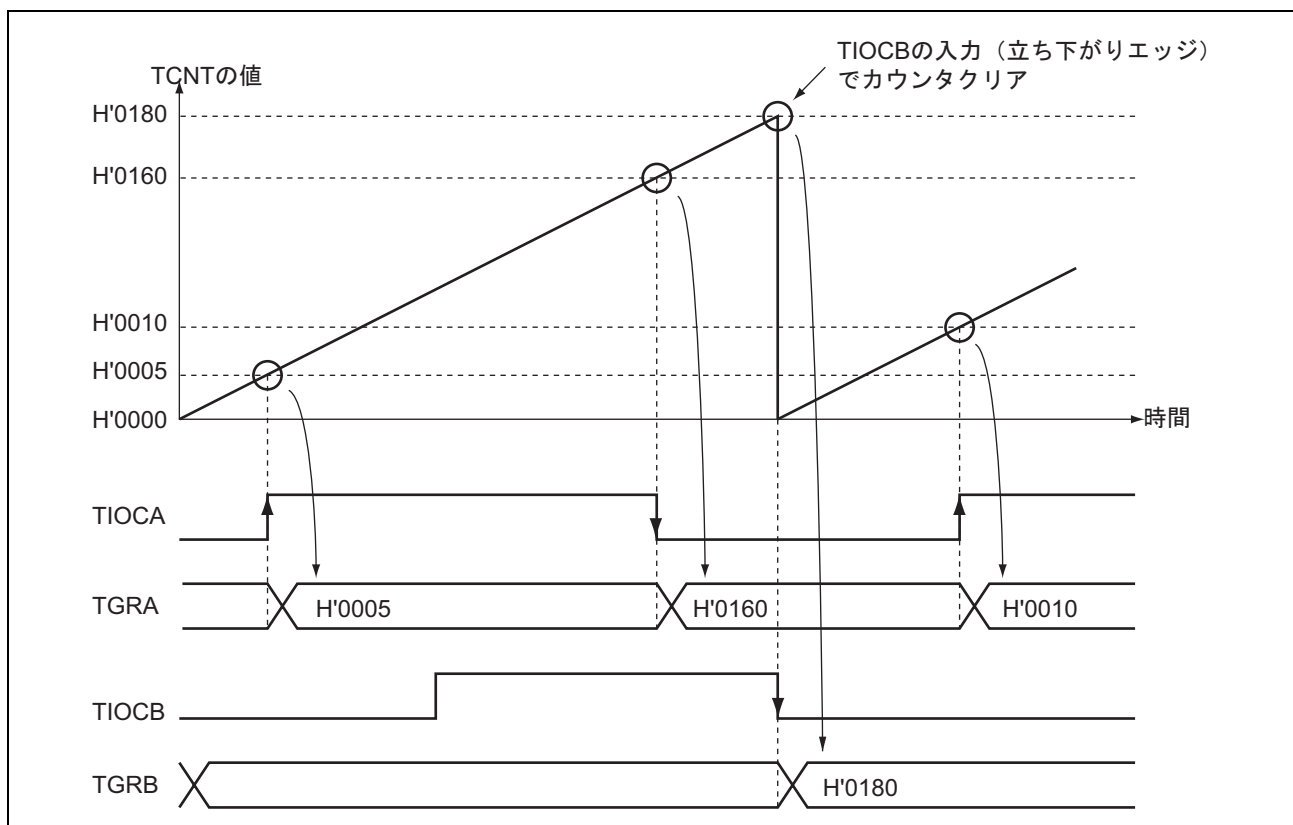


図 10.9 インพุットキャプチャ動作例

10.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して TGR を増加することができます。

チャンネル 0~5 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 10.10 に示します。

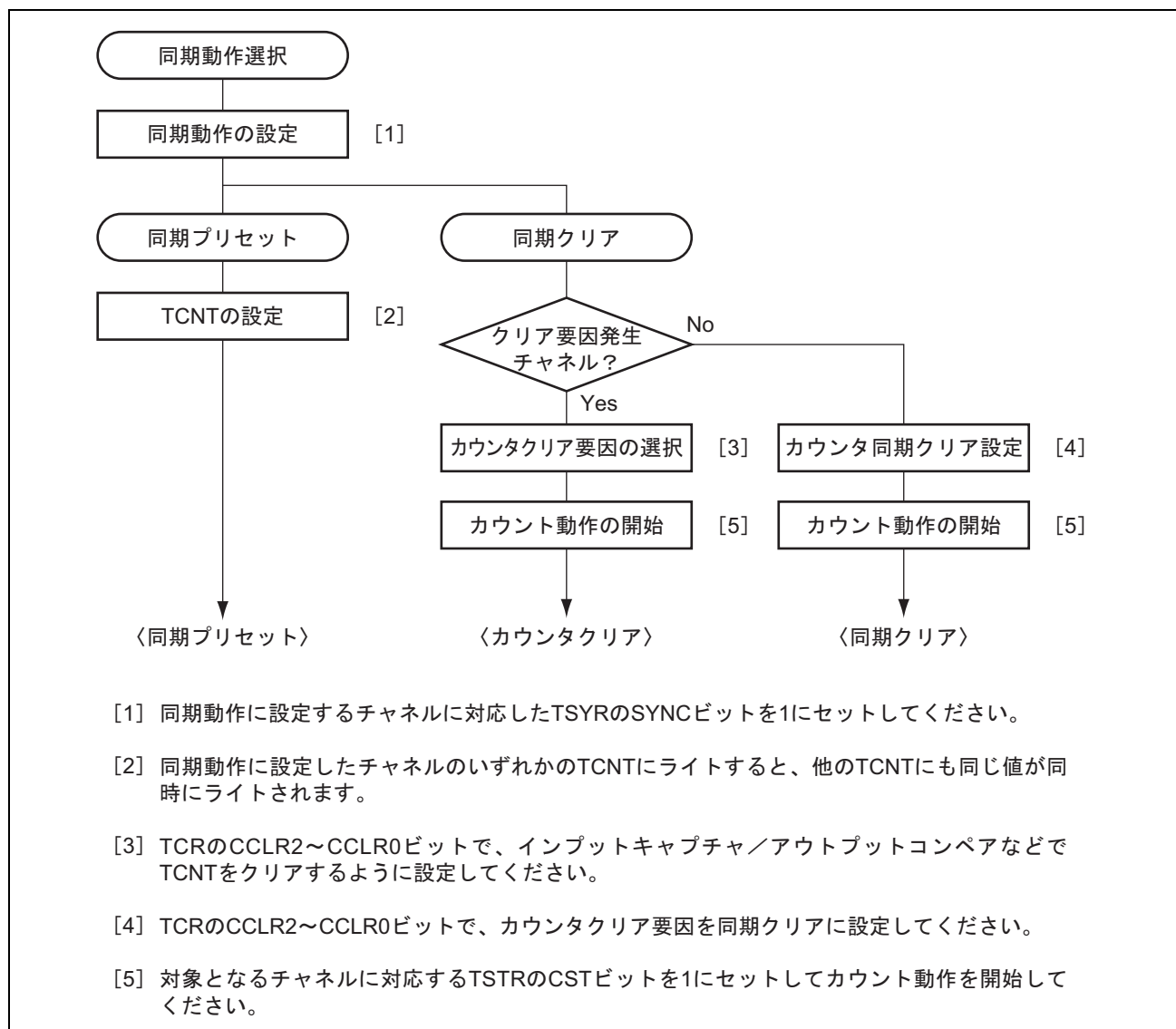


図 10.10 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 10.11 に示します。

チャンネル0～2を同期動作かつPWMモード1に設定し、チャンネル0のカウンタクリア要因をTGRB_0のコンペアマッチ、またチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOCA0、TIOCA1、TIOCA2端子から出力します。このとき、チャンネル0～2のTCNTは同期プリセット、TGRB_0のコンペアマッチによる同期クリアを行い、TGRB_0に設定したデータがPWM周期となります。

PWMモードについては、「10.4.5 PWMモード」を参照してください。

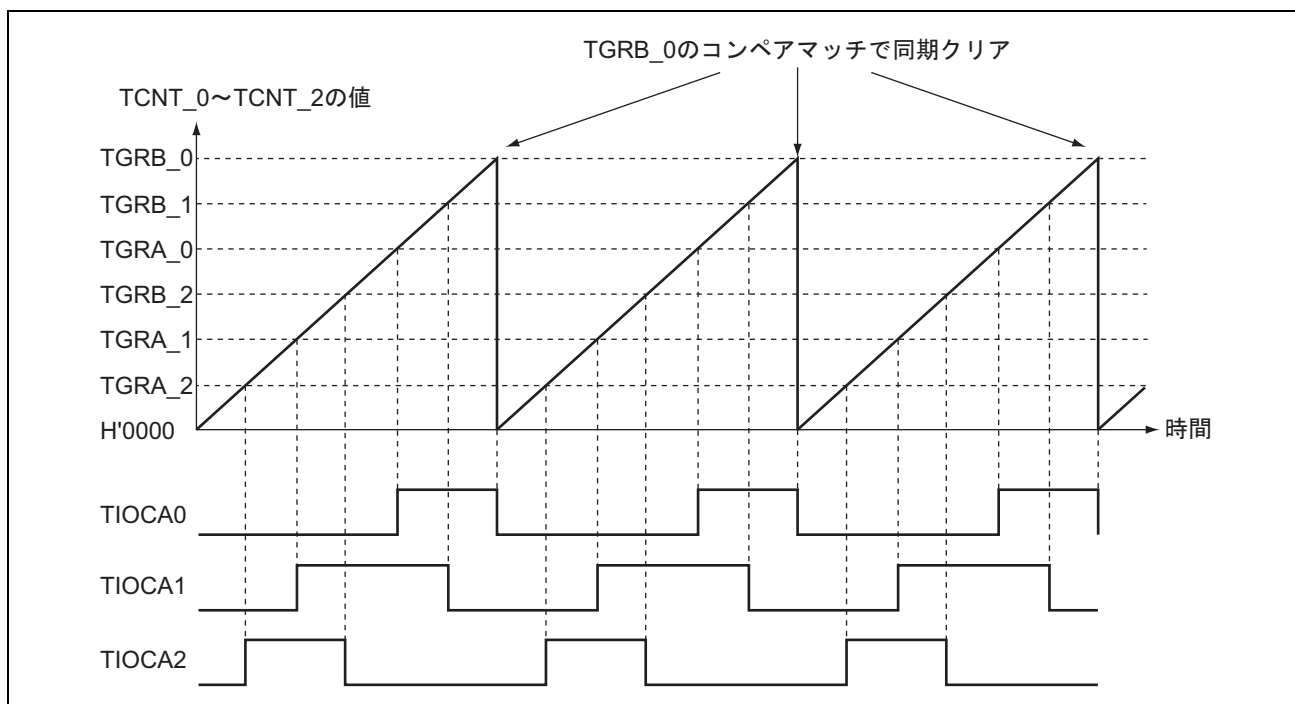


図 10.11 同期動作の動作例

10.4.3 バッファ動作

バッファ動作は、チャンネル 0、3 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。

バッファ動作は、TGR を入力キャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 10.29 にバッファ動作時のレジスタの組み合わせを示します。

表 10.29 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 10.12 に示します。

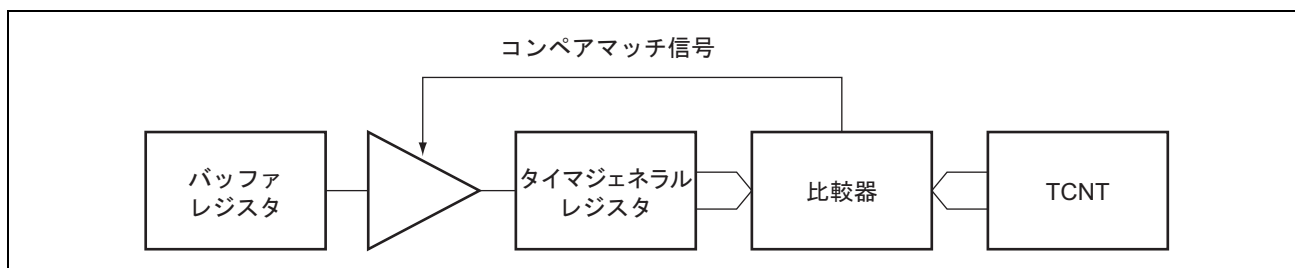


図 10.12 コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 10.13 に示します。

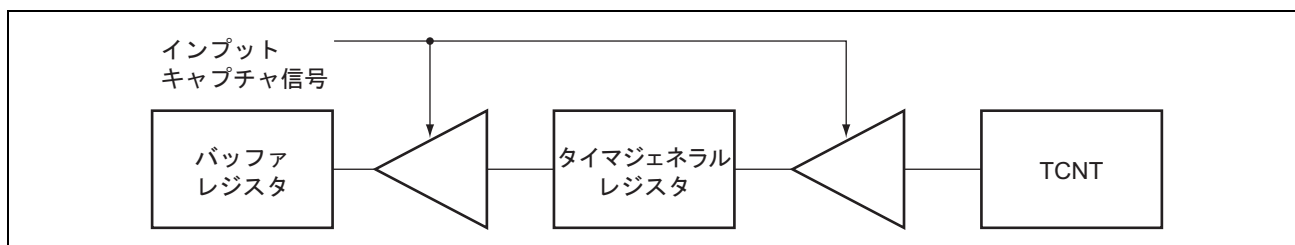


図 10.13 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.14 に示します。

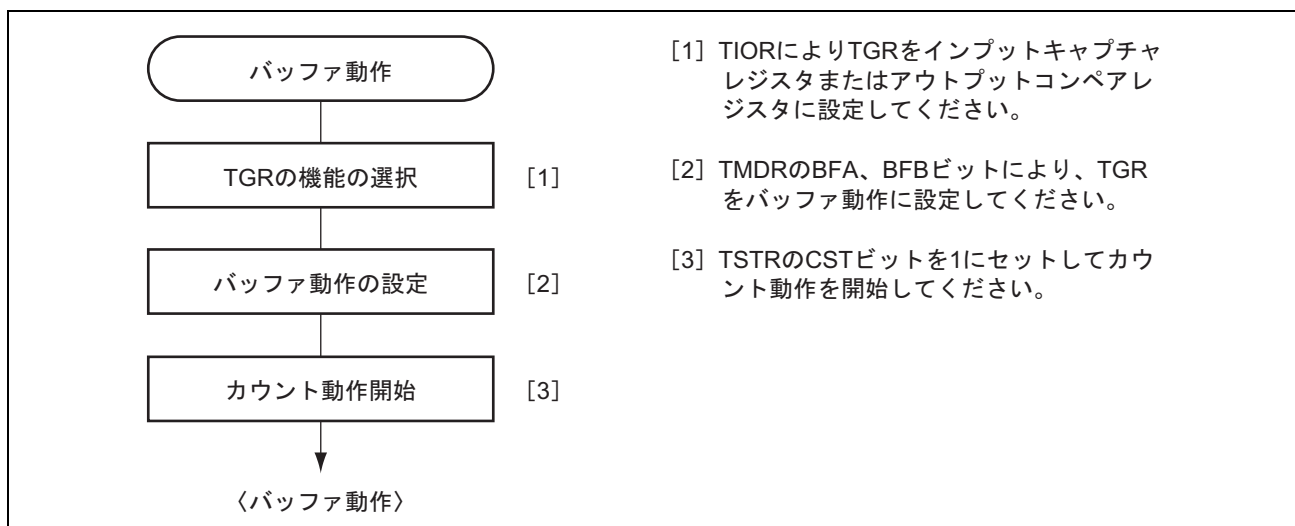


図 10.14 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図10.15に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生する度に繰り返されます。

PWMモードについては、「10.4.5 PWMモード」を参照してください。

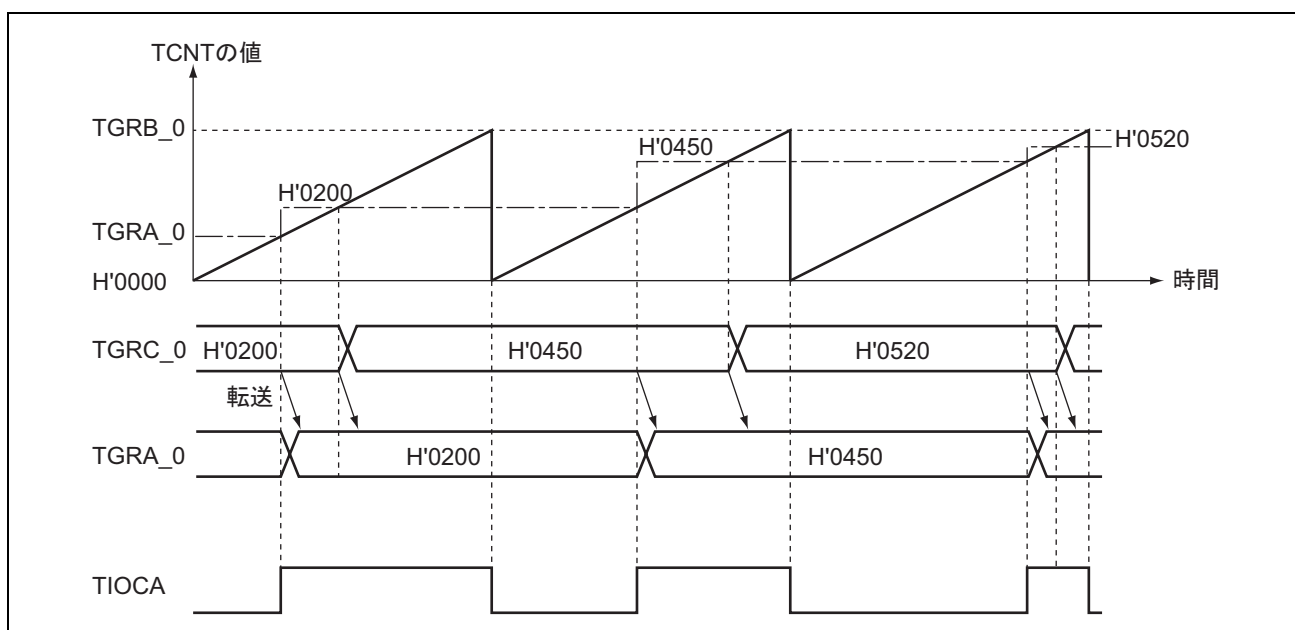


図 10.15 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRAを入力キャプチャレジスタに設定し、TGRAとTGRCをバッファ動作に設定したときの動作例を図10.16に示します。

TCNTはTGRAの入力キャプチャでカウンタクリア、TIOCA端子の入力キャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャAによりTCNTの値がTGRAに格納されると同時に、それまでTGRAに格納されていた値がTGRCに転送されます。

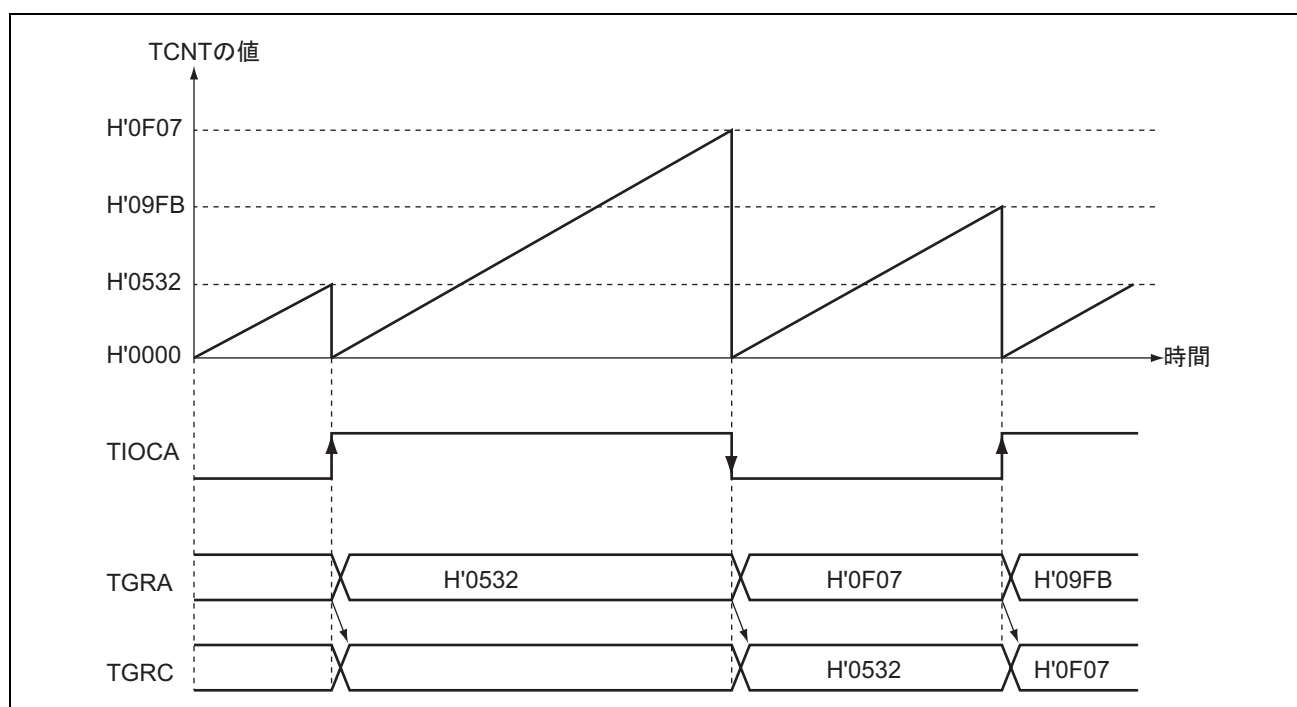


図 10.16 バッファ動作例 (2)

10.4.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1 (チャンネル4) のカウンタクロックをTCRのTPSC2~TPSC0ビットでTCNT_2 (TCNT_5) のオーバフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

表 10.30 にカスケード接続の組み合わせを示します。

【注】 チャンネル1、4を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 10.30 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1とチャンネル2	TCNT_1	TCNT_2
チャンネル4とチャンネル5	TCNT_4	TCNT_5

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 10.17 に示します。

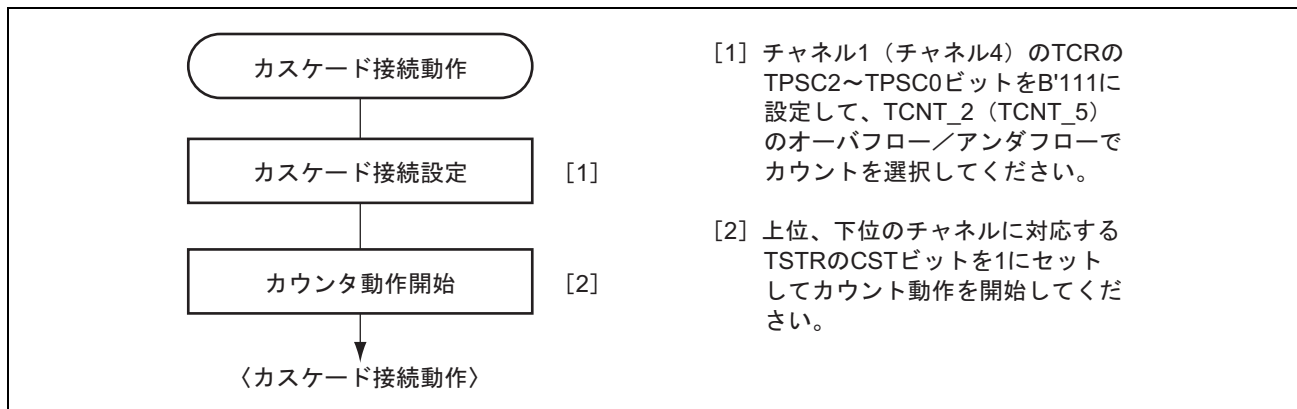


図 10.17 カスケード接続動作設定手順例

(2) カスケード接続動作例

TCNT_1 は TCNT_2 のオーバーフロー/アンダフローでカウント、TGRA_1 と TGRA_2 をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択した時の動作を図 10.18 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGRA_1 に上位 16 ビット、TGRA_2 に下位 16 ビットの 32 ビットデータが転送されます。

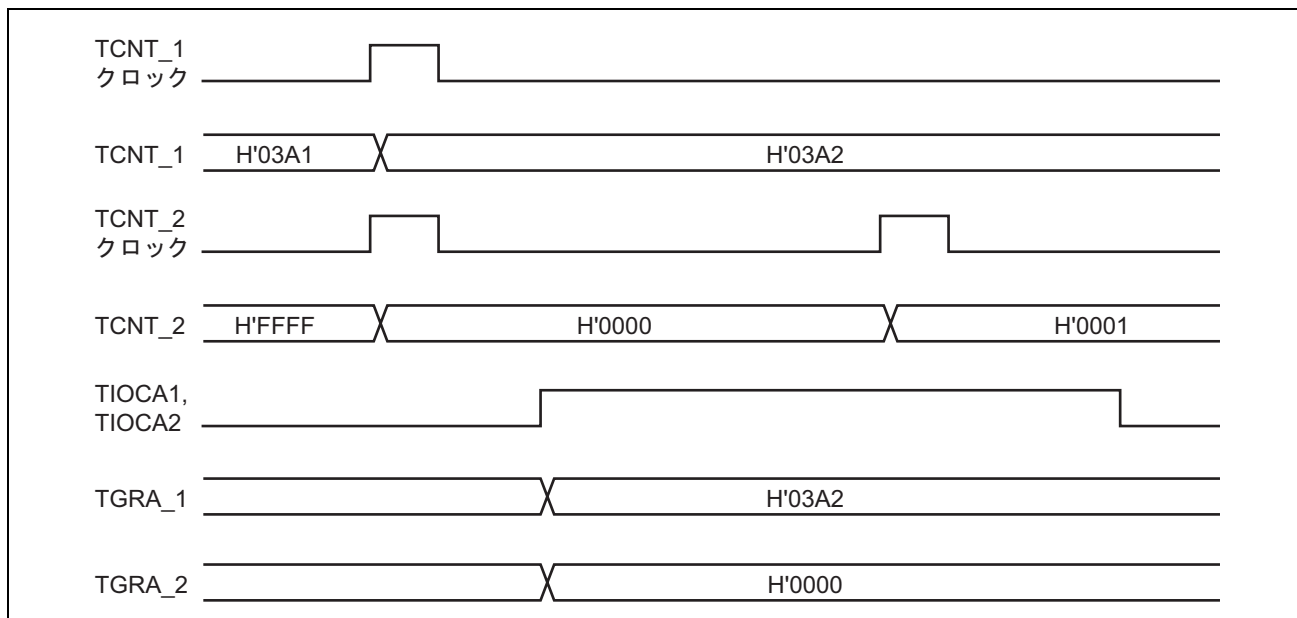


図 10.18 カスケード接続動作例 (1)

TCNT_1 は TCNT_2 のオーバフロー／アンダフローでカウント、チャンネル 2 を位相計数モードに設定した時の動作を図 10.19 に示します。

TCNT_1 は、TCNT_2 のオーバフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

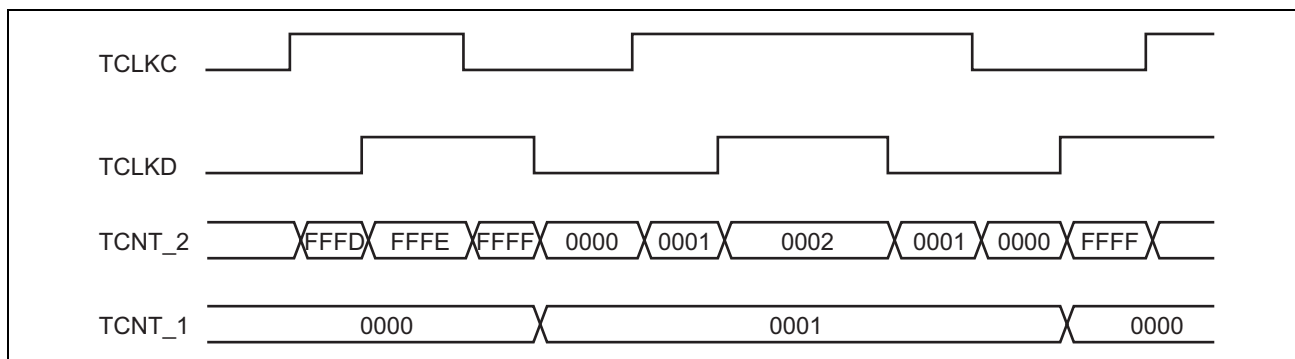


図 10.19 カスケード接続動作例 (2)

10.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3~IOA0、IOC3~IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3~IOB0、IOD3~IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 10.31 に示します。

表 10.31 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2
3	TGRA_3	TIOCA3	TIOCA3
	TGRB_3		TIOCB3
	TGRC_3	TIOCC3	TIOCC3
	TGRD_3		TIOCD3
4	TGRA_4	TIOCA4	TIOCA4
	TGRB_4		TIOCB4
5	TGRA_5	TIOCA5	TIOCA5
	TGRB_5		TIOCB5

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(1) PWMモードの設定手順例

PWMモードの設定手順例を図10.20に示します。

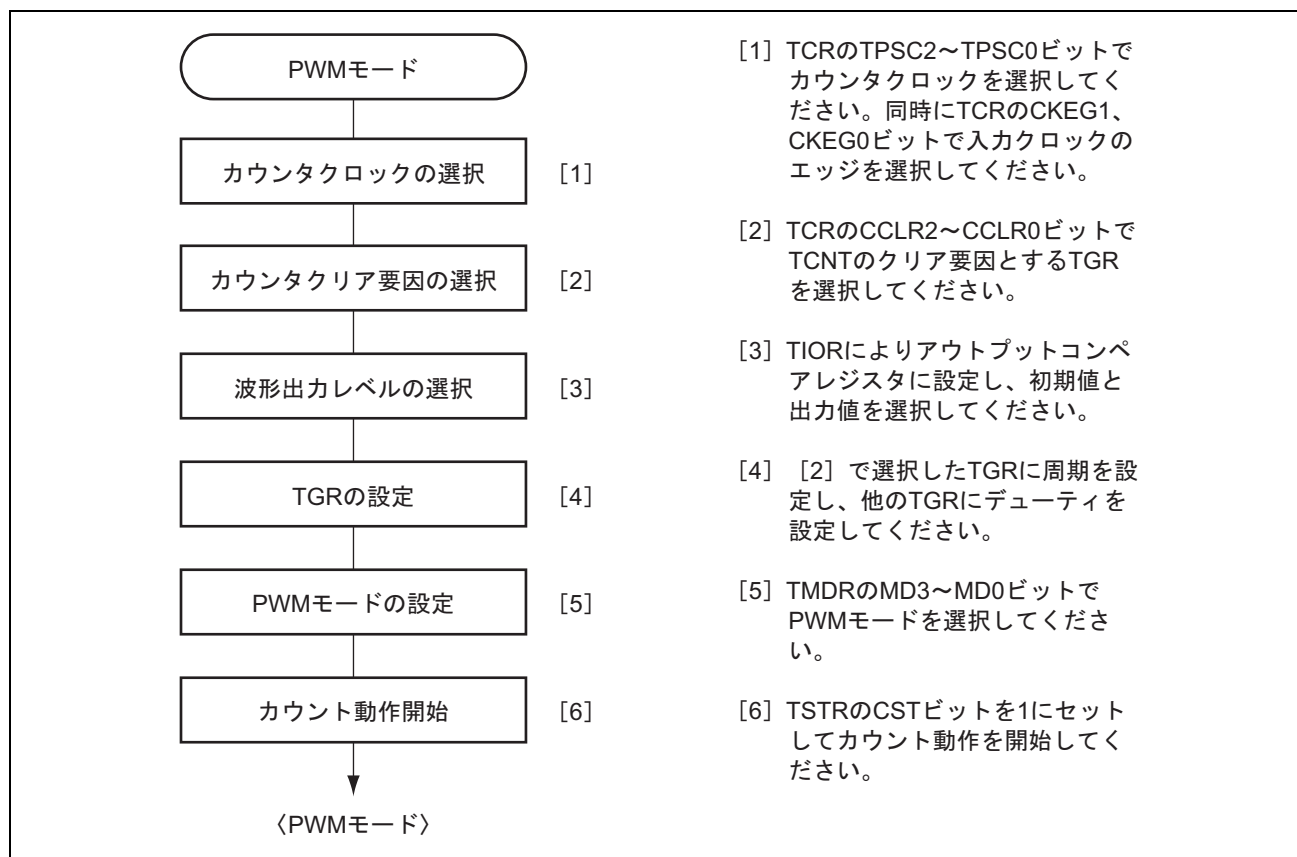


図 10.20 PWMモードの設定手順例

(2) PWMモードの動作例

PWMモード1の動作例を図10.21に示します。

この図は、TCNTのクリア要因をTGRAのコンペアマッチとし、TGRAの初期出力値と出力値を0、TGRBの出力値を1に設定した場合の例です。

この場合、TGRAに設定した値が周期となり、TGRBに設定した値がデューティになります。

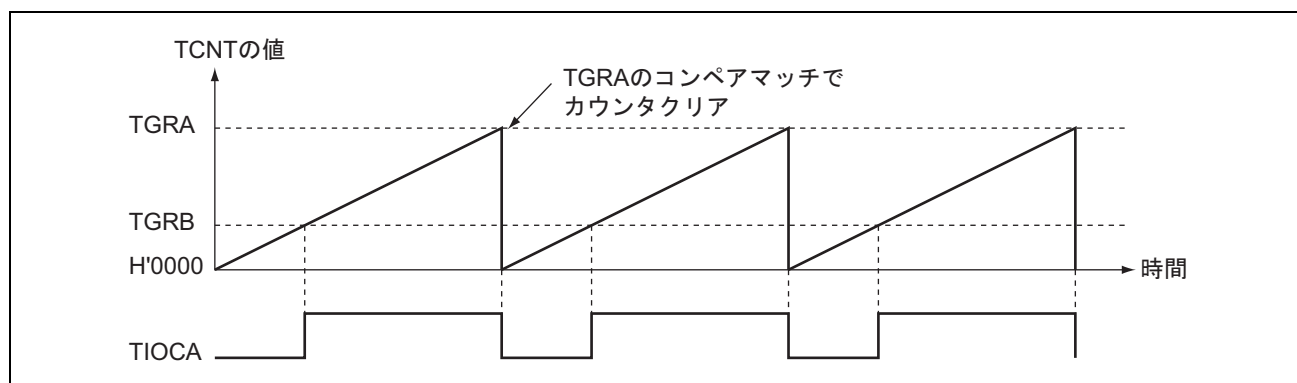


図 10.21 PWMモードの動作例 (1)

10. 16ビットタイマパルスユニット (TPU)

PWM モード2の動作例を図 10.22 に示します。

この図は、チャンネル0と1を同期動作させ、TCNTのクリア要因をTGRB_1のコンペアマッチとし、他のTGR (TGRA_0~TGRD_0、TGRA_1)の初期出力値を0、出力値を1に設定して5相のPWM波形を出力させた場合の例です。

この場合、TGRB_1に設定した値が周期となり、他のTGRに設定した値がデューティになります。

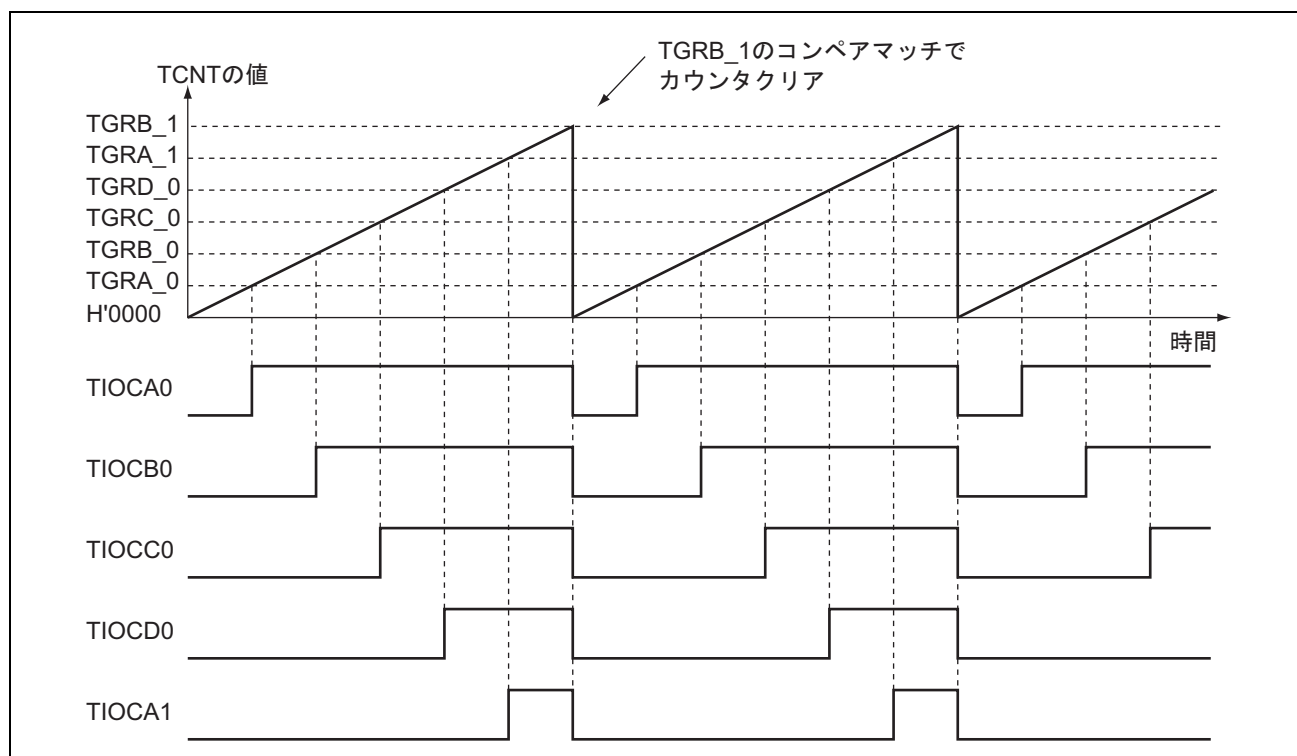


図 10.22 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 10.23 に示します。

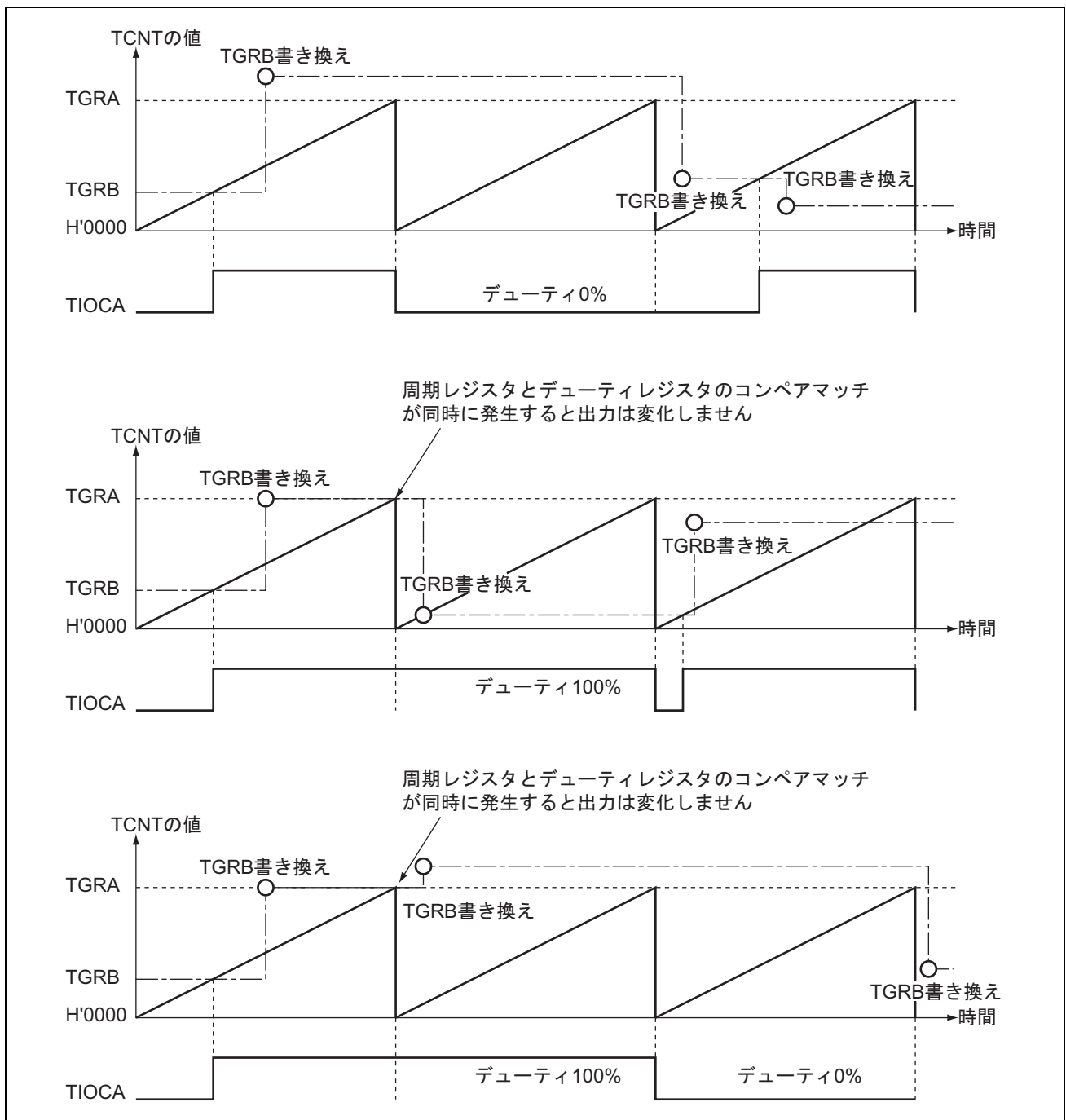


図 10.23 PWM モード動作例 (3)

10.4.6 位相計数モード

位相計数モードは、チャンネル 1、2、4、5 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2~TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ/ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 10.32 に外部クロック端子とチャンネルの対応を示します。

表 10.32 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 または 5 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 または 4 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.24 に示します。

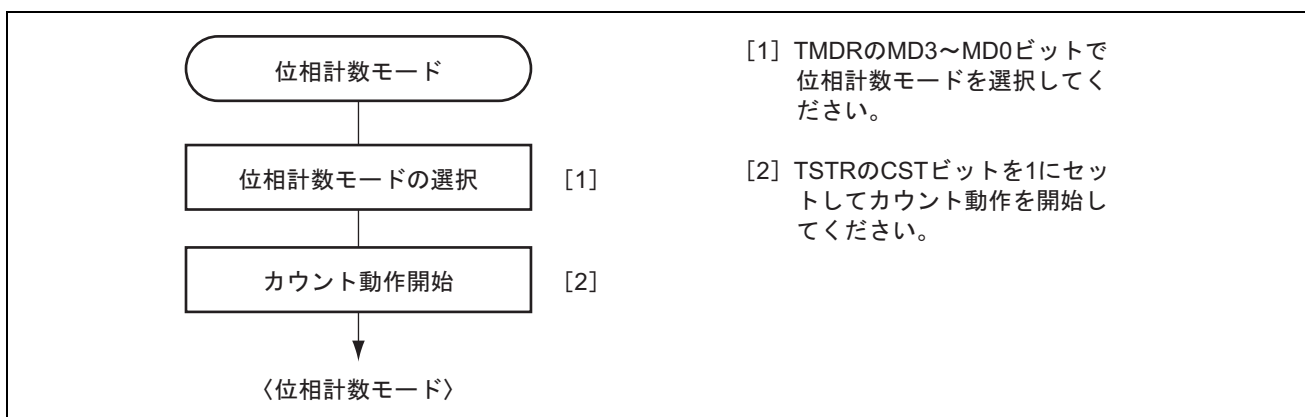


図 10.24 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図10.25に、TCNTのアップ/ダウンカウント条件を表10.33に示します。

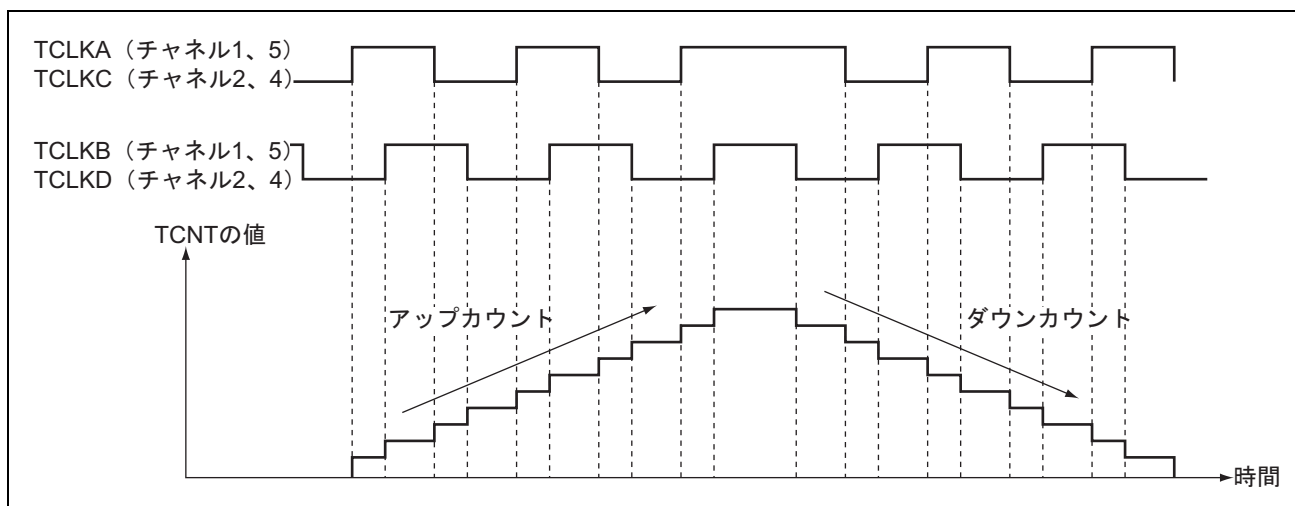


図 10.25 位相計数モード1の動作例

表 10.33 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル 1, 5) TCLKC (チャンネル 2, 4)	TCLKB (チャンネル 1, 5) TCLKD (チャンネル 2, 4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図10.26に、TCNTのアップ/ダウンカウント条件を表10.34に示します。

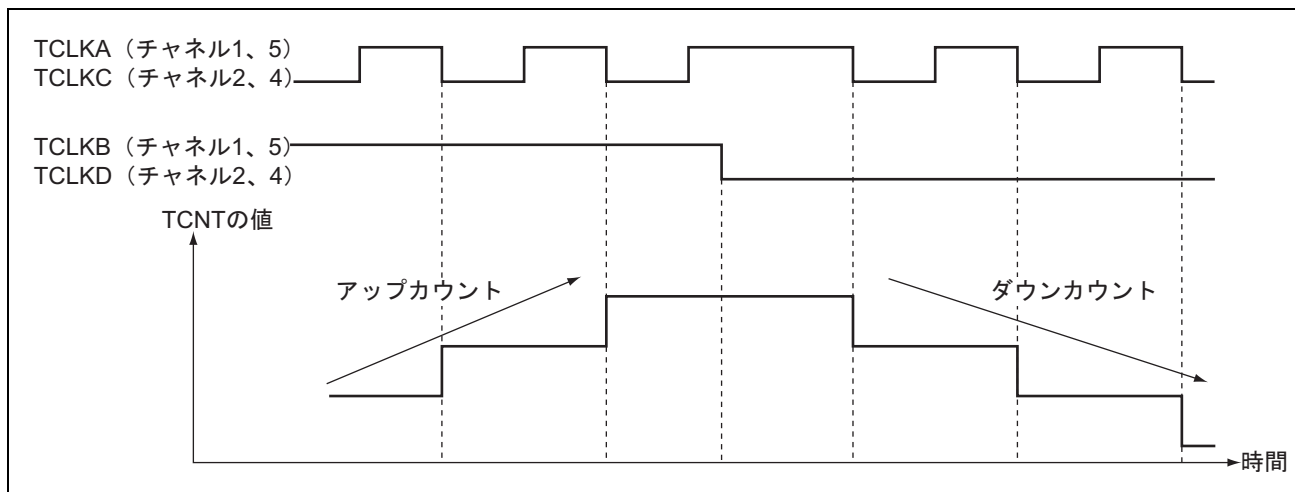


図 10.26 位相計数モード2の動作例

表 10.34 位相計数モード2のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	Don't care
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	ダウンカウント

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図10.27に、TCNTのアップ/ダウンカウント条件を表10.35に示します。

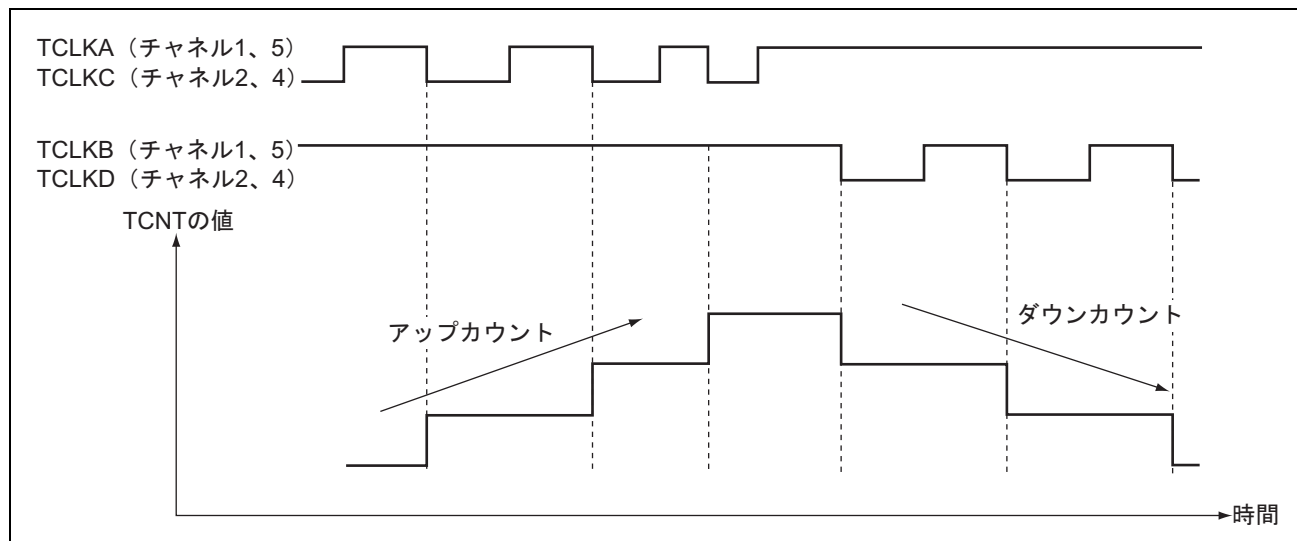


図 10.27 位相計数モード3の動作例

表 10.35 位相計数モード3のアップ/ダウンカウント条件

TCLKA (チャンネル 1, 5) TCLKC (チャンネル 2, 4)	TCLKB (チャンネル 1, 5) TCLKD (チャンネル 2, 4)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	Don't care

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図10.28に、TCNTのアップ/ダウンカウント条件を表10.36に示します。

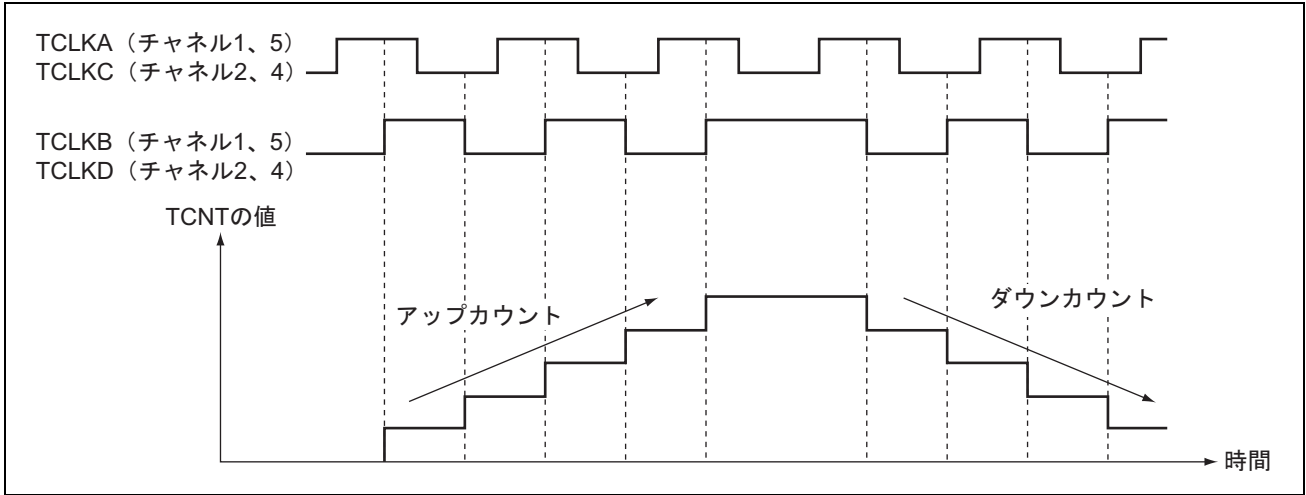


図 10.28 位相計数モード4の動作例

表 10.36 位相計数モード4のアップ/ダウンカウント条件

TCLKA (チャンネル1, 5) TCLKC (チャンネル2, 4)	TCLKB (チャンネル1, 5) TCLKD (チャンネル2, 4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図10.29に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGRC_0のコンペアマッチでカウンタクリアとして動作させ、TGRC_0とTGRC_0はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0はインプットキャプチャ機能で使用し、TGRB_0とTGRD_0をバッファ動作させます。TGRB_0のインプットキャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

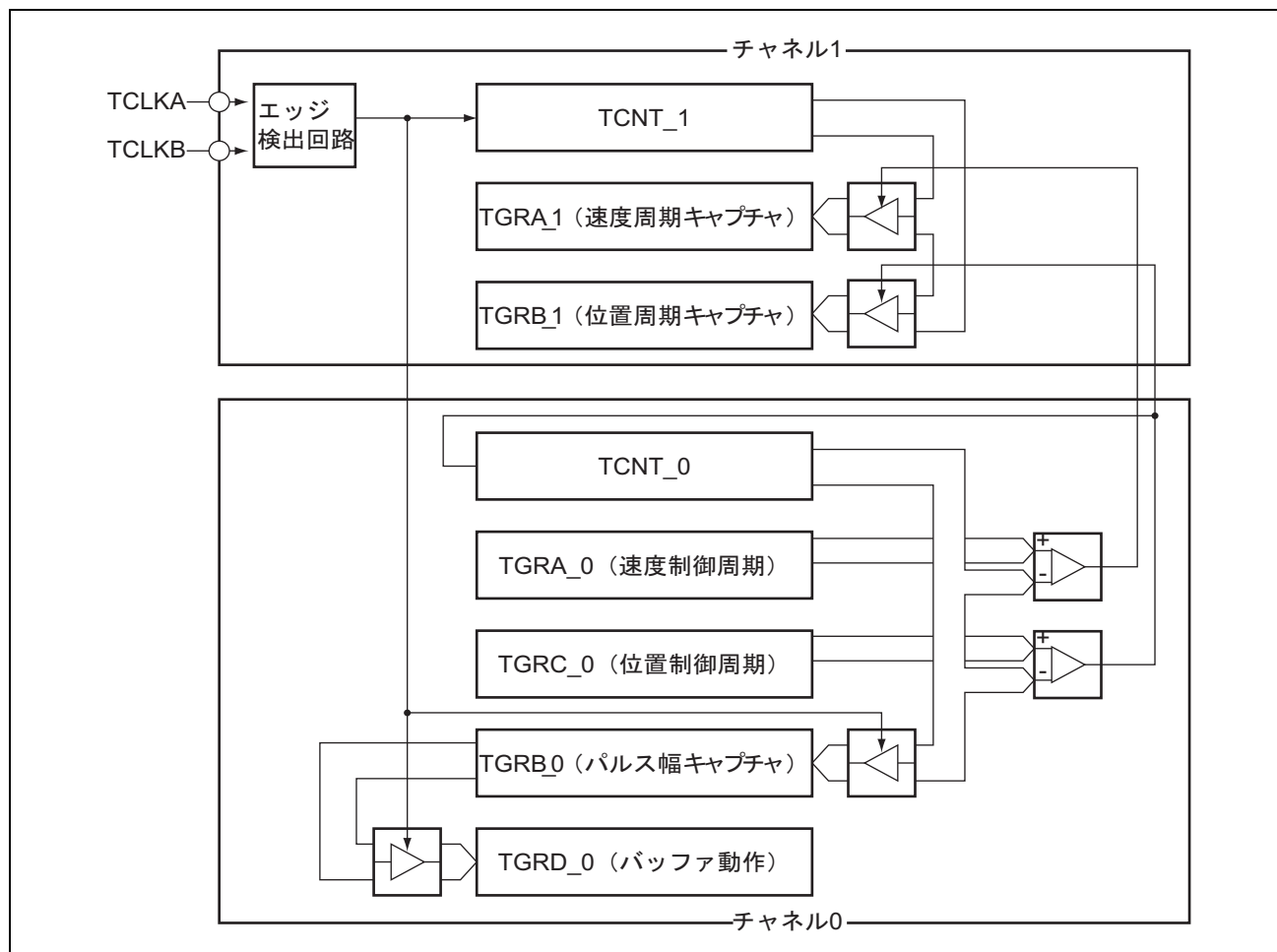


図 10.29 位相計数モードの応用例

10.5 割り込み要因

TPUの割り込み要因には、TGRの入力キャプチャ/コンペアマッチ、TCNTのオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSRの対応するステータスフラグが1にセットされます。このときTIERの対応する許可/禁止ビットが1にセットされていれば、割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「5. 割り込みコントローラ」を参照してください。

10. 16 ビットタイマパルスユニット (TPU)

表 10.37 に TPU の割り込み要因の一覧を示します。

表 10.37 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込み フラグ	DTC の起動	DMAC の起動
0	TGI0A	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA_0	可	可
	TGI0B	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB_0	可	不可
	TGI0C	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC_0	可	不可
	TGI0D	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD_0	可	不可
	TCI0V	TCNT_0 のオーバフロー	TCFV_0	不可	不可
1	TGI1A	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA_1	可	可
	TGI1B	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB_1	可	不可
	TCI1V	TCNT_1 のオーバフロー	TCFV_1	不可	不可
	TCI1U	TCNT_1 のアンダフロー	TCFU_1	不可	不可
2	TGI2A	TGRA_2 のインプットキャプチャ/コンペアマッチ	TGFA_2	可	可
	TGI2B	TGRB_2 のインプットキャプチャ/コンペアマッチ	TGFB_2	可	不可
	TCI2V	TCNT_2 のオーバフロー	TCFV_2	不可	不可
	TCI2U	TCNT_2 のアンダフロー	TCFU_2	不可	不可
3	TGI3A	TGRA_3 のインプットキャプチャ/コンペアマッチ	TGFA_3	可	可
	TGI3B	TGRB_3 のインプットキャプチャ/コンペアマッチ	TGFB_3	可	不可
	TGI3C	TGRC_3 のインプットキャプチャ/コンペアマッチ	TGFC_3	可	不可
	TGI3D	TGRD_3 のインプットキャプチャ/コンペアマッチ	TGFD_3	可	不可
	TCI3V	TCNT_3 のオーバフロー	TCFV_3	不可	不可
4	TGI4A	TGRA_4 のインプットキャプチャ/コンペアマッチ	TGFA_4	可	可
	TGI4B	TGRB_4 のインプットキャプチャ/コンペアマッチ	TGFB_4	可	不可
	TCI4V	TCNT_4 のオーバフロー	TCFV_4	不可	不可
	TCI4U	TCNT_4 のアンダフロー	TCFU_4	不可	不可
5	TGI5A	TGRA_5 のインプットキャプチャ/コンペアマッチ	TGFA_5	可	可
	TGI5B	TGRB_5 のインプットキャプチャ/コンペアマッチ	TGFB_5	可	不可
	TCI5V	TCNT_5 のオーバフロー	TCFV_5	不可	不可
	TCI5U	TCNT_5 のアンダフロー	TCFU_5	不可	不可

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャンネルに 1 本、計 6 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 1、2、4、5 に各 1 本、計 4 本のアンダフロー割り込みがあります。

10.6 DTC の起動

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチ割り込みによって、DTC を起動することができます。詳細は「8. データトランスファコントローラ (DTC)」を参照してください。

TPU では、チャンネル 0、3 が各 4 本、チャンネル 1、2、4、5 が各 2 本、計 16 本のインพุットキャプチャ/コンペアマッチ割り込みを DTC の起動要因とすることができます。

10.7 DMAC の起動

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「7. DMA コントローラ (DMAC)」を参照してください。

TPU では、各チャンネルに 1 本、計 6 本の TGRA のインพุットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

10.8 A/D 変換器の起動

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャンネル 1 本、計 6 本の TGRA のインพุットキャプチャ/コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

10.9 動作タイミング

10.9.1 入出力タイミング

(1) TCNTのカウンタタイミング

内部クロック動作の場合のTCNTのカウンタタイミングを図10.30に示します。また、外部クロック動作の場合のTCNTのカウンタタイミングを図10.31に示します。

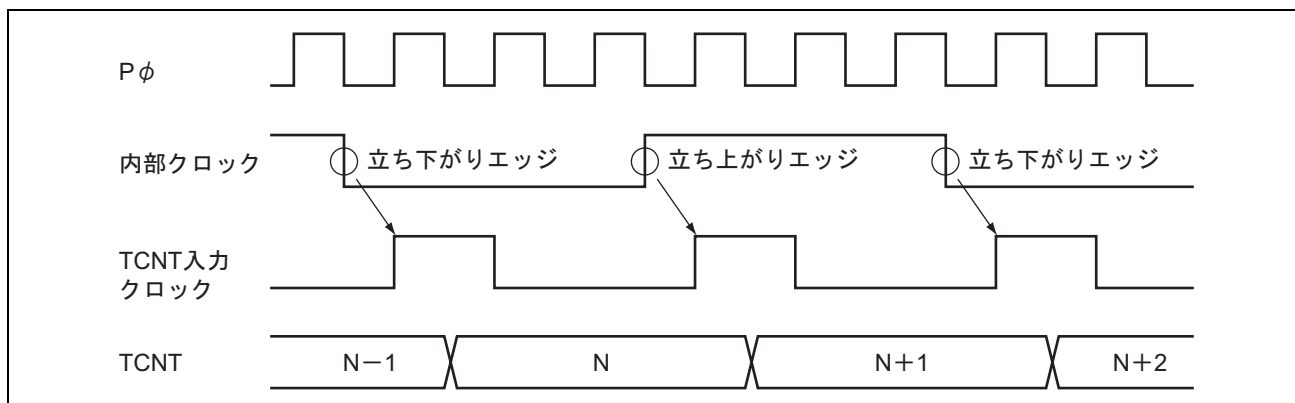


図 10.30 内部クロック動作時のカウンタタイミング

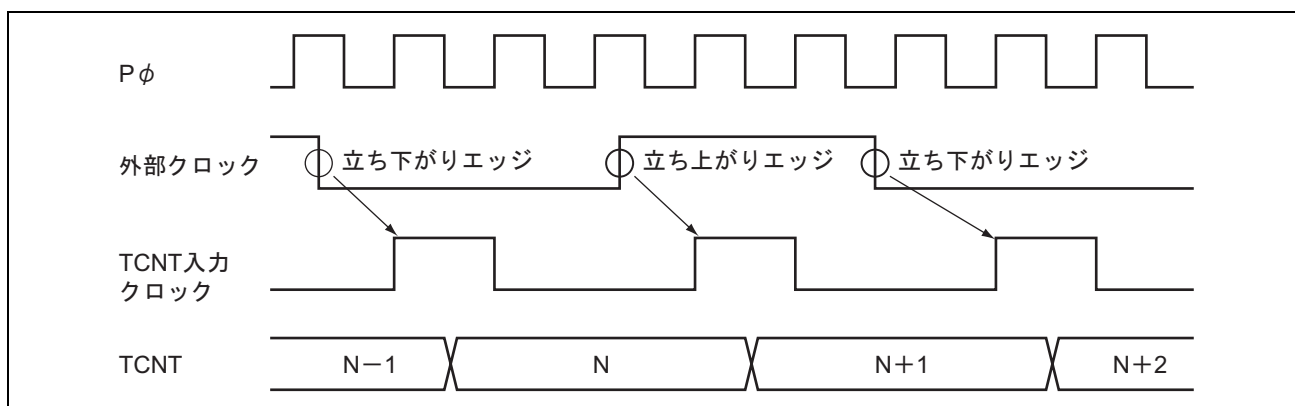


図 10.31 外部クロック動作時のカウンタタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 10.32 に示します。

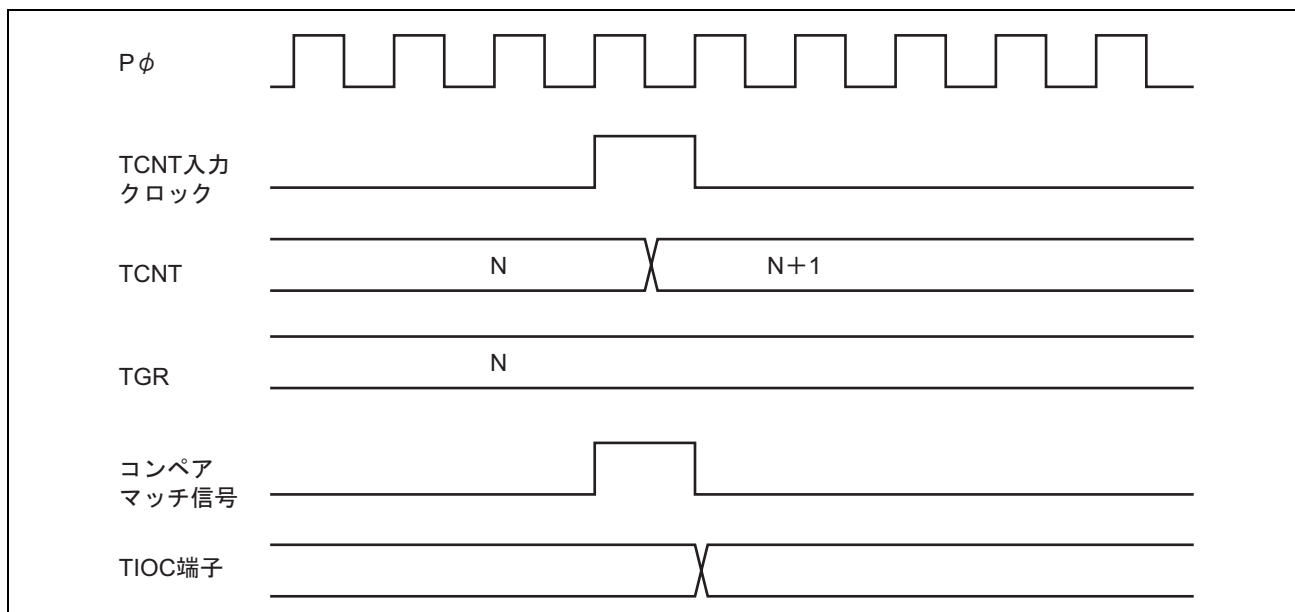


図 10.32 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 10.33 に示します。

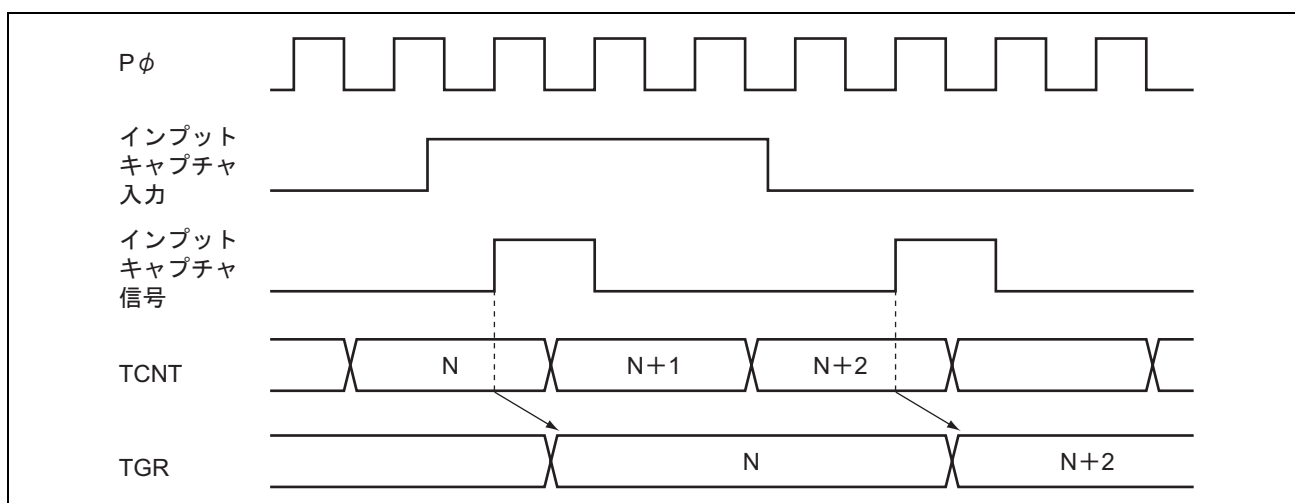


図 10.33 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.34 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.35 に示します。

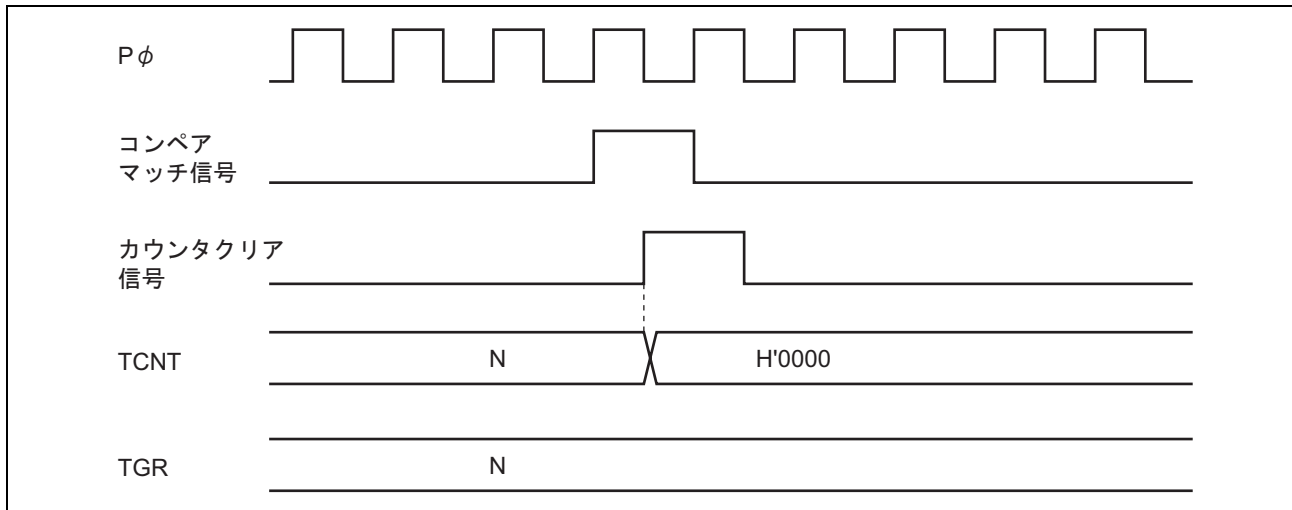


図 10.34 カウンタクリアタイミング (コンペアマッチ)

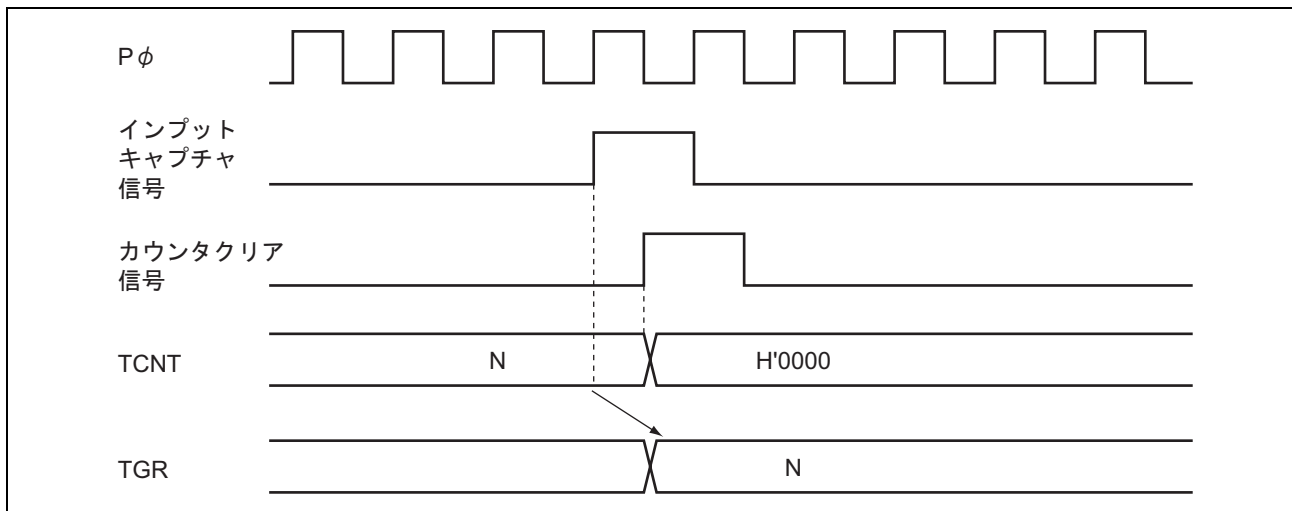


図 10.35 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 10.36、図 10.37 に示します。

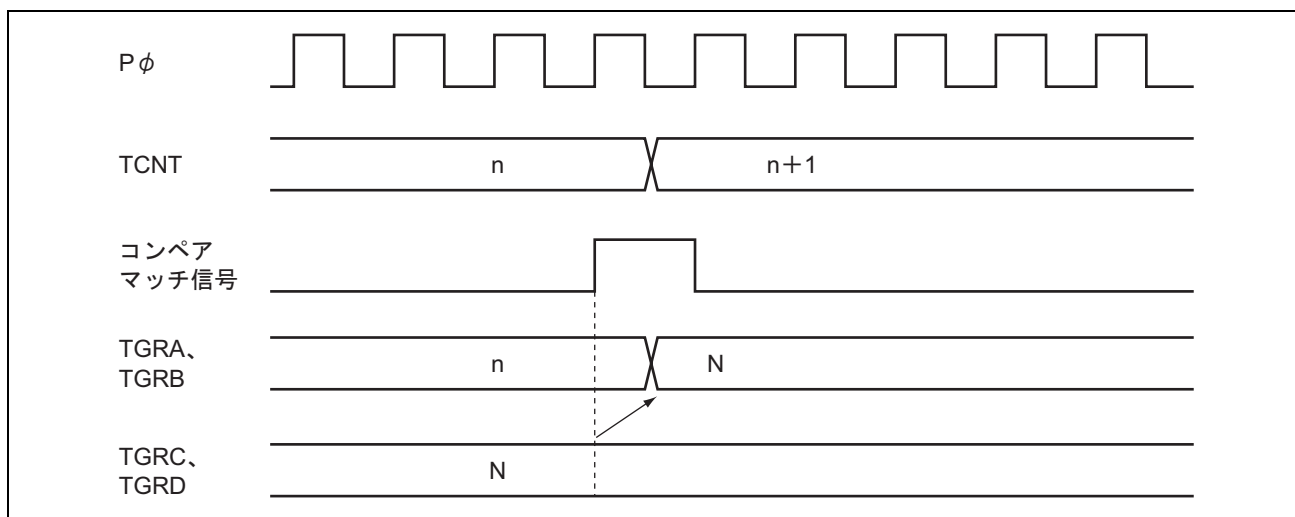


図 10.36 バッファ動作タイミング (コンペアマッチ)

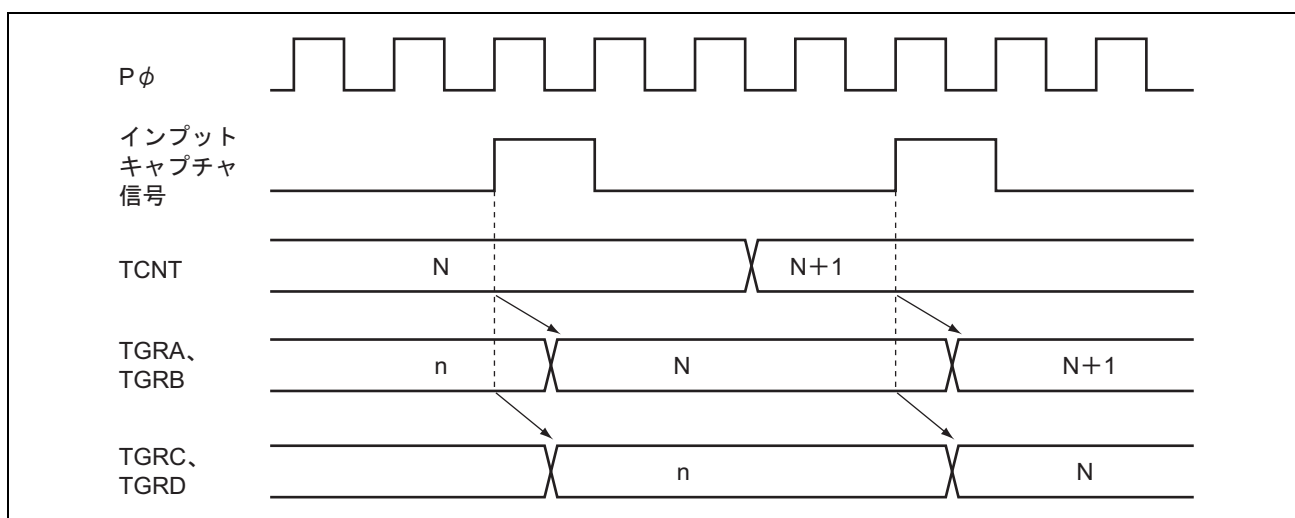


図 10.37 バッファ動作タイミング (入力キャプチャ)

10.9.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.38 に示します。

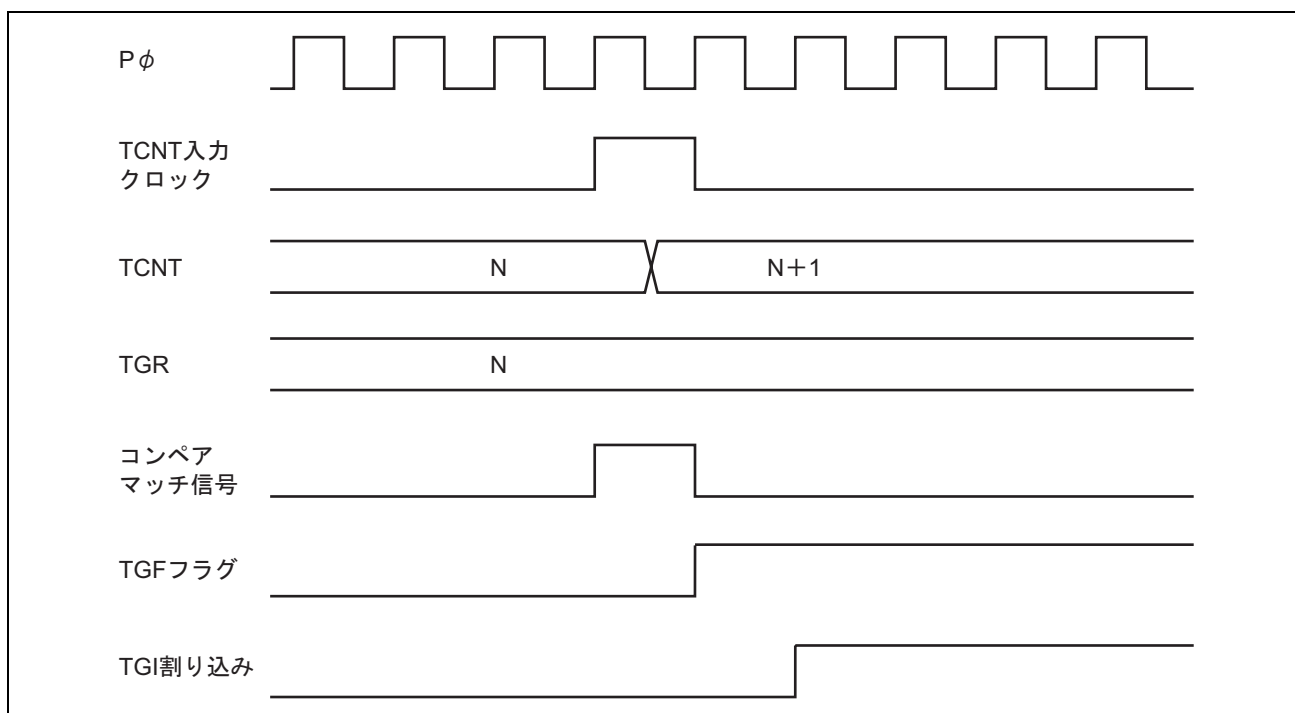


図 10.38 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.39 に示します。

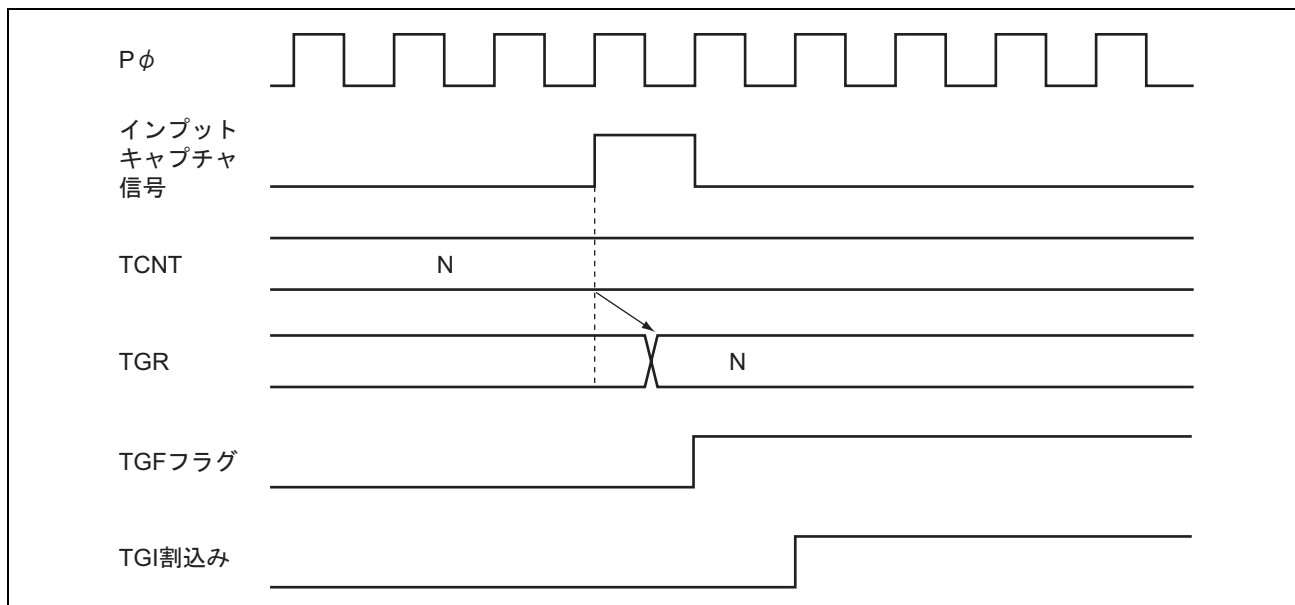


図 10.39 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ/TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 10.40 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 10.41 に示します。

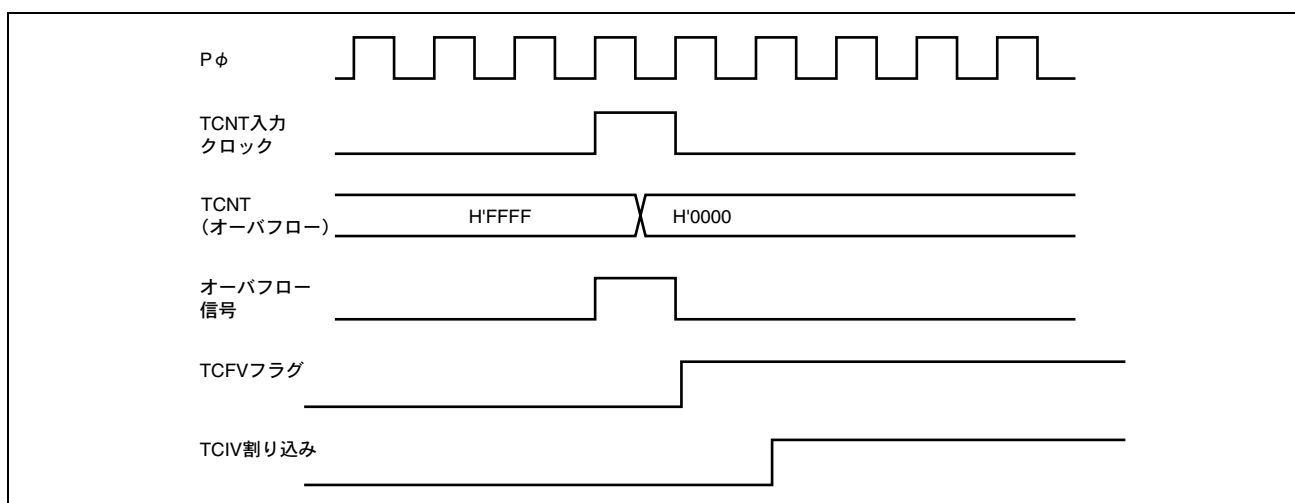


図 10.40 TCIV 割り込みのセットタイミング

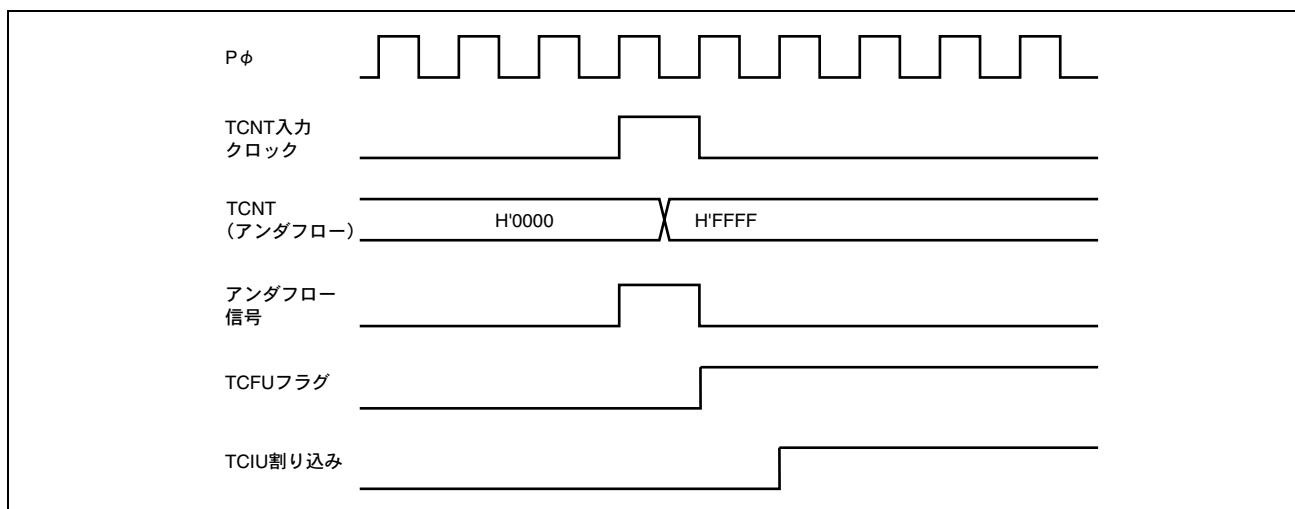


図 10.41 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードした後、0 をライトするとクリアされます。DMAC または DTC を起動する場合は、自動的にクリアすることもできます。CPU によるステータスフラグのクリアタイミングを図 10.42 に、DMAC または DTC によるステータスフラグのクリアのタイミングを図 10.43、図 10.44 に示します。

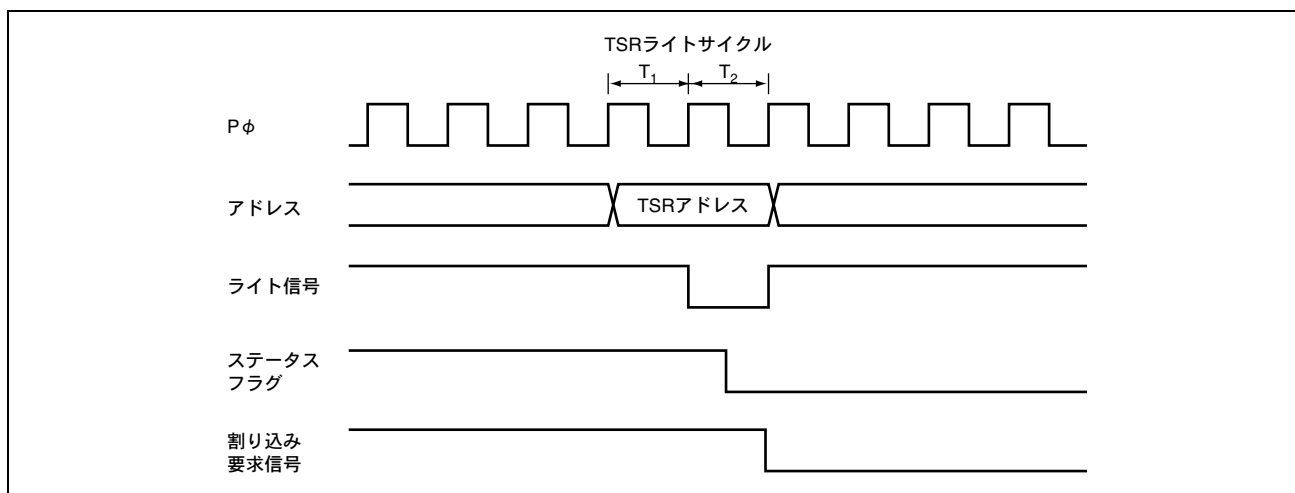


図 10.42 CPU によるステータスフラグのクリアタイミング

ステータスフラグ、割り込み要求信号のクリアは、図 10.43 に示すように DMAC または DTC の転送が開始されてから $P\phi$ に同期して行われます。複数の DMAC または DTC を起動し、ステータスフラグ、割り込み要求信号のクリアが重なった場合は、図 10.44 に示すようにクリアに最大 5 クロック ($P\phi$) かかります。次の転送要求は、当該の転送が終了するまで、または転送開始から $P\phi$ で 5 クロックの期間、どちらか長い方の期間マスクされます。

なお、DTC の転送では、ステータスフラグのクリアがデスティネーションアドレス出力時に行われることがあります。

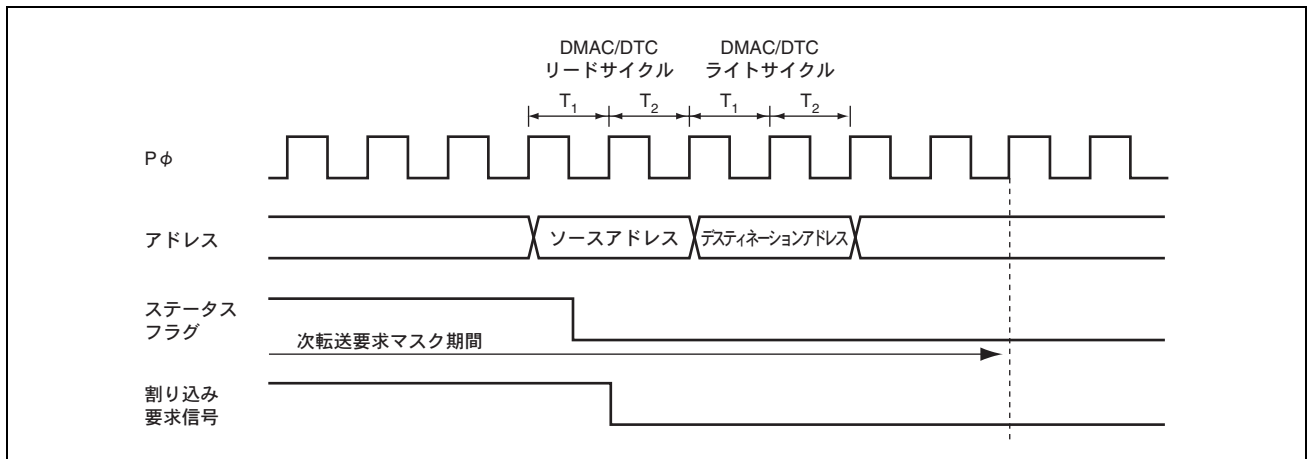


図 10.43 DMAC/DTC の起動によるステータスフラグのクリアタイミング例 (1)

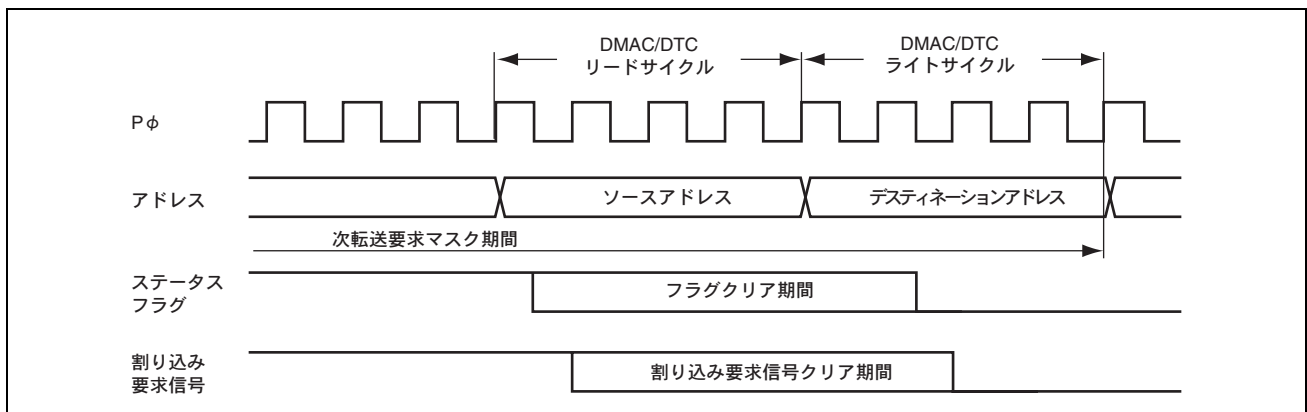


図 10.44 DMAC/DTC の起動によるステータスフラグのクリアタイミング例 (2)

10.10 使用上の注意事項

10.10.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TPU の動作禁止/許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「19. 低消費電力」を参照してください。

10.10.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 10.45 に示します。

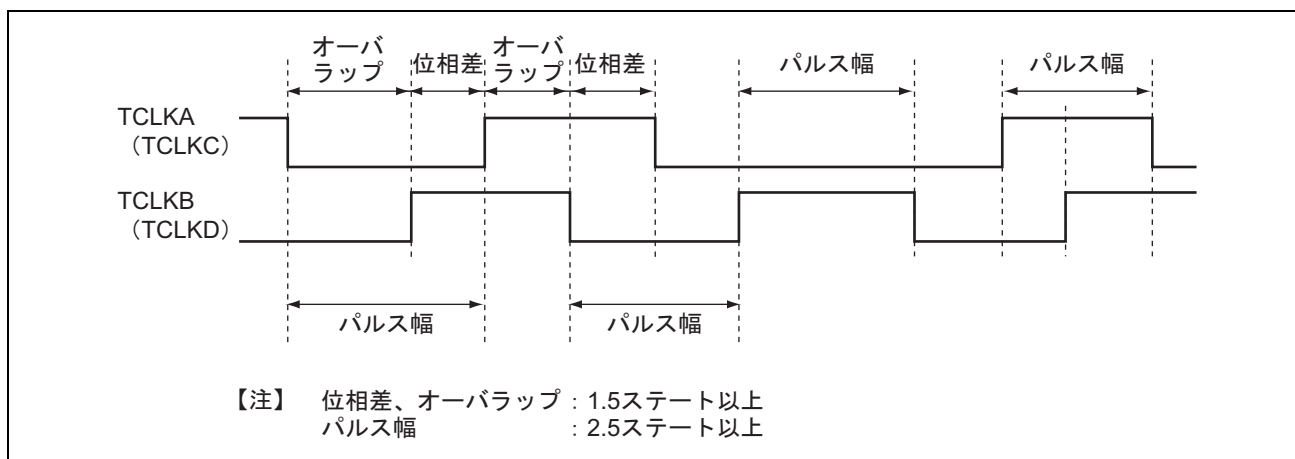


図 10.45 位相計数モード時の位相差、オーバーラップ、およびパルス幅

10.10.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはTGRの値と一致した最後のステート (TCNTが一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

$$f = \frac{P\phi}{(N+1)}$$

f : カウンタ周波数

Pφ : 動作周波数

N : TGRの設定値

10.10.4 TCNTのライトとクリアの競合

TCNTのライトサイクル中のT2ステートでカウンタクリア信号が発生すると、TCNTへのライトは行われずにTCNTのクリアが優先されます。このタイミングを図10.46に示します。

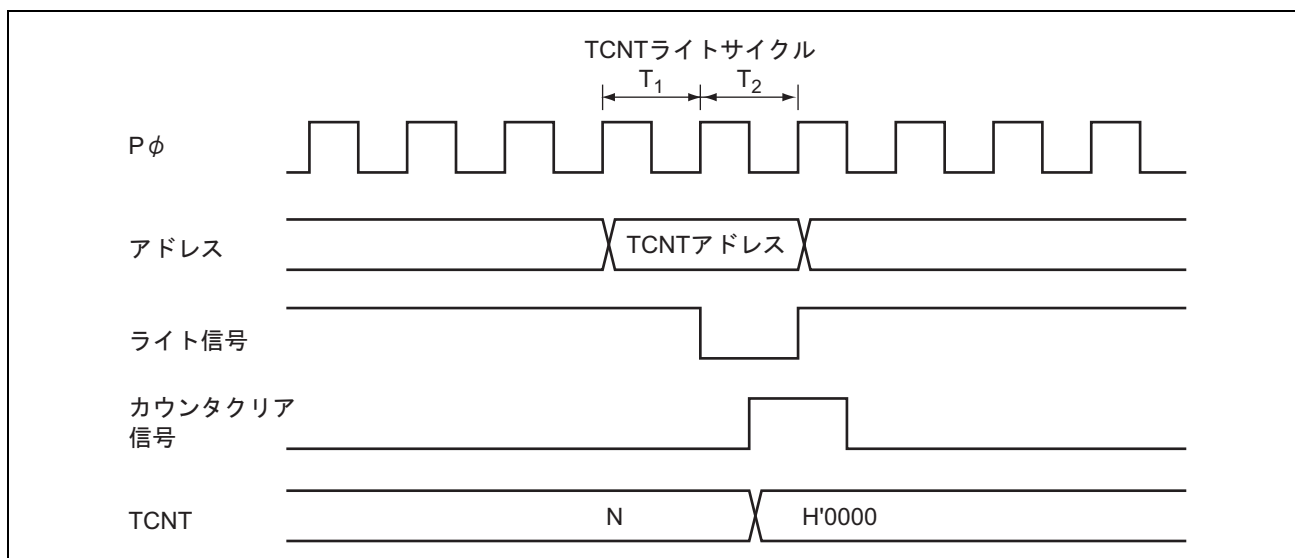


図 10.46 TCNTのライトとクリアの競合

10.10.5 TCNTのライトとカウントアップの競合

TCNTのライトサイクル中のT2ステートでカウントアップが発生してもカウントアップされず、TCNTへのライトが優先されます。このタイミングを図10.47に示します。

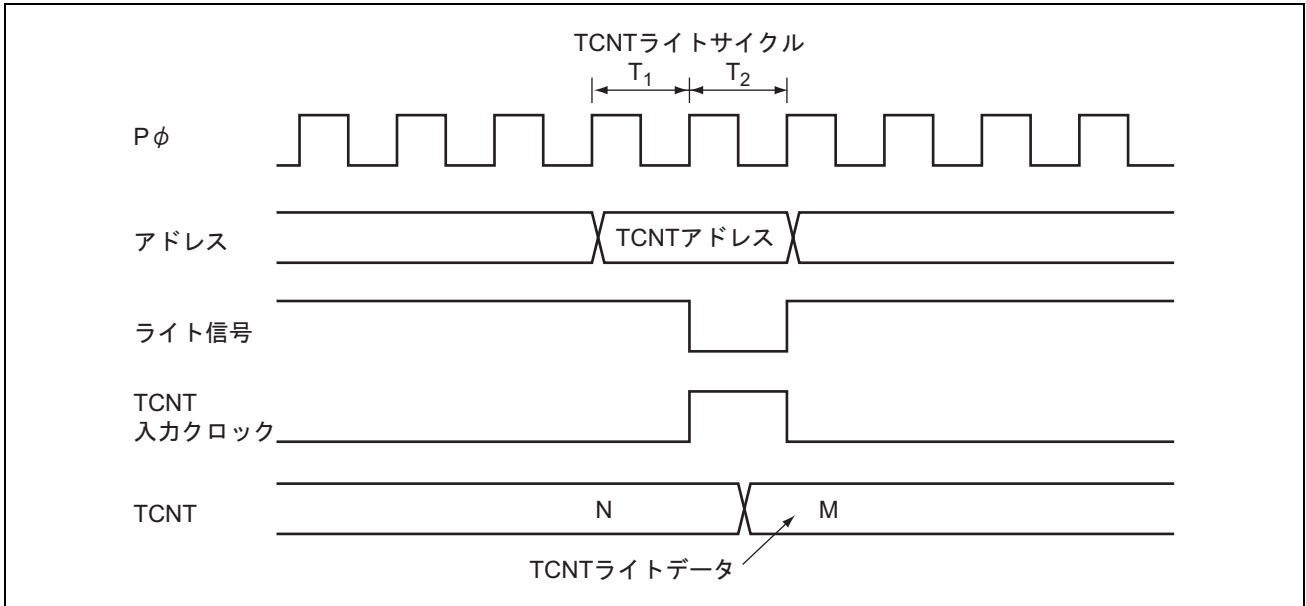


図 10.47 TCNTのライトとカウントアップの競合

10.10.6 TGRのライトとコンペアマッチの競合

TGRのライトサイクル中のT2ステートでコンペアマッチが発生してもTGRのライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。このタイミングを図10.48に示します。

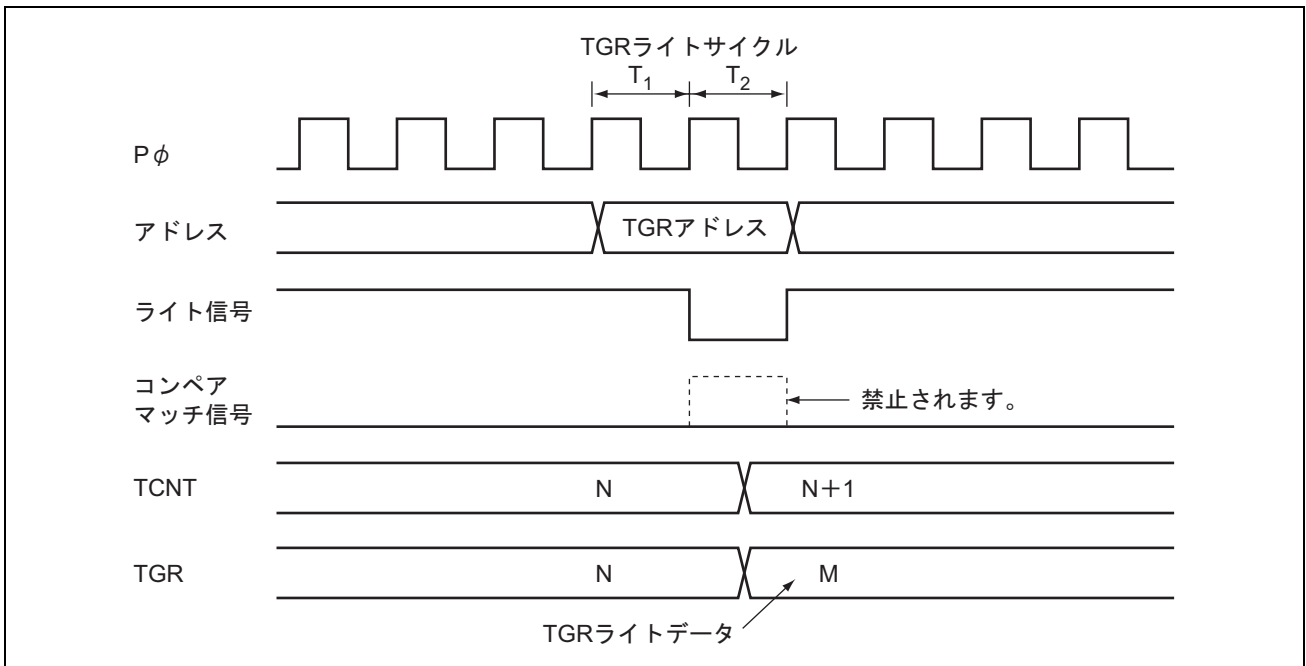


図 10.48 TGRのライトとコンペアマッチの競合

10.10.7 バッファレジスタのライトとコンペアマッチの競合

TGRのライトサイクル中のT2ステートでコンペアマッチが発生すると、バッファ動作によってTGRに転送されるデータはライトデータとなります。

このタイミングを図10.49に示します。

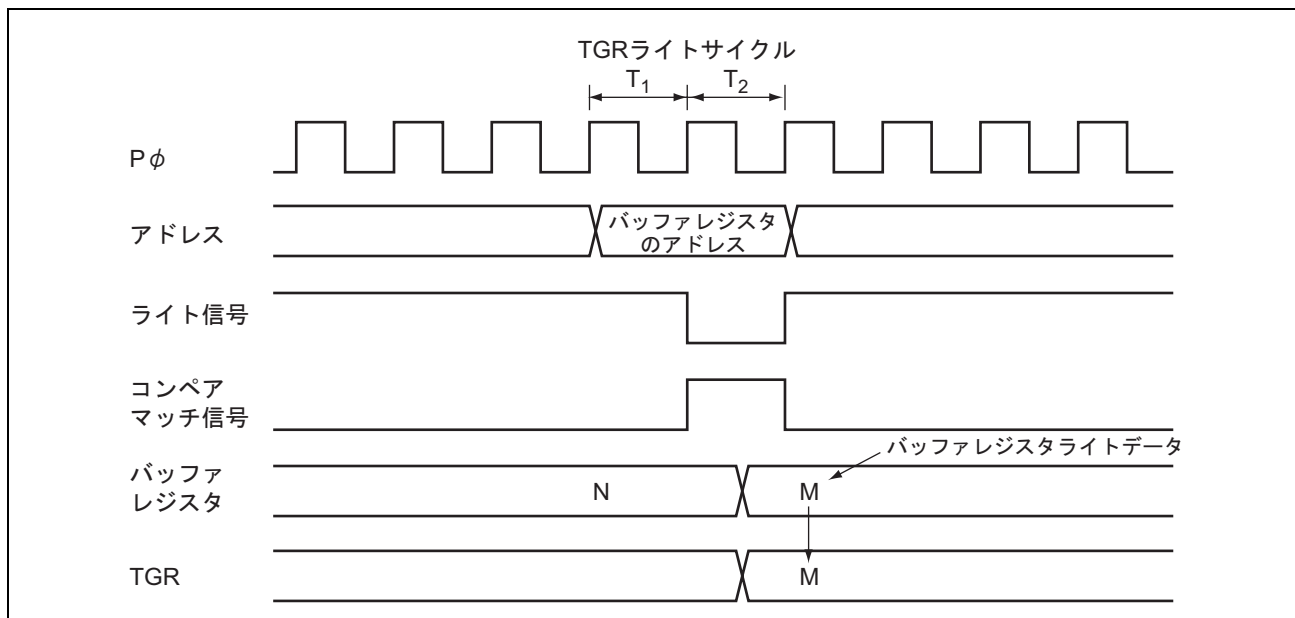


図 10.49 バッファレジスタのライトとコンペアマッチの競合

10.10.8 TGRのリードとインプットキャプチャの競合

TGRのリードサイクル中のT1ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図10.50に示します。

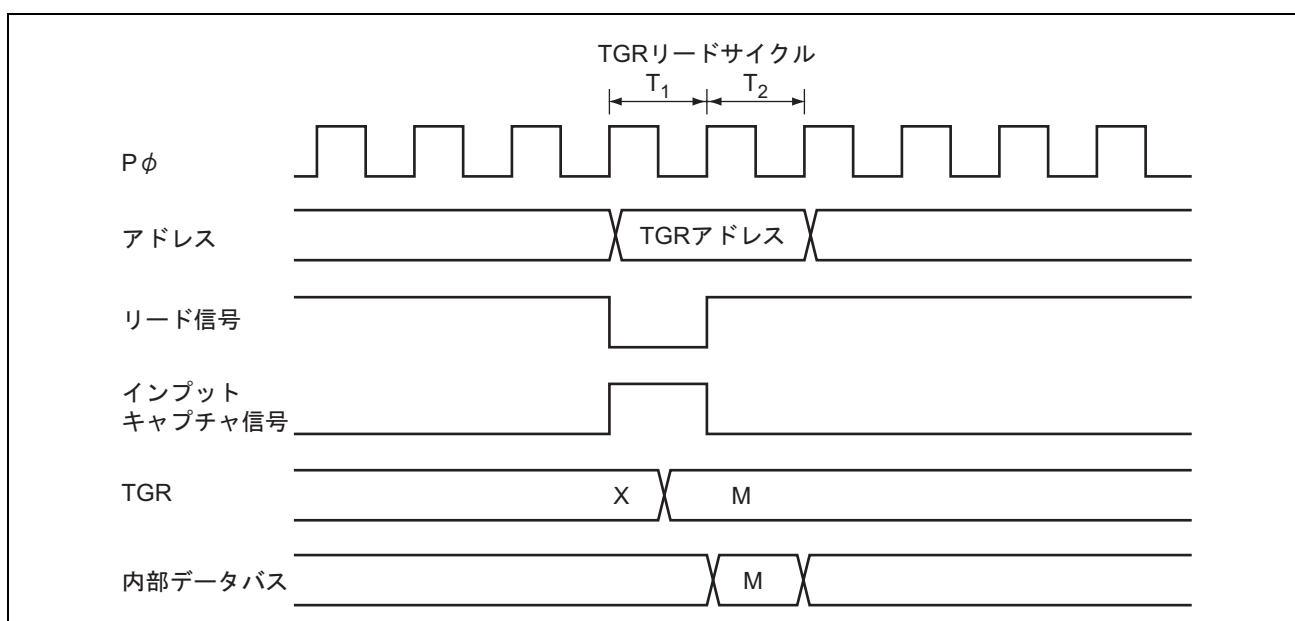


図 10.50 TGRのリードとインプットキャプチャの競合

10.10.9 TGR のライトと入力キャプチャの競合

TGR のライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、TGR へのライトは行われず、入力キャプチャが優先されます。このタイミングを図 10.51 に示します。

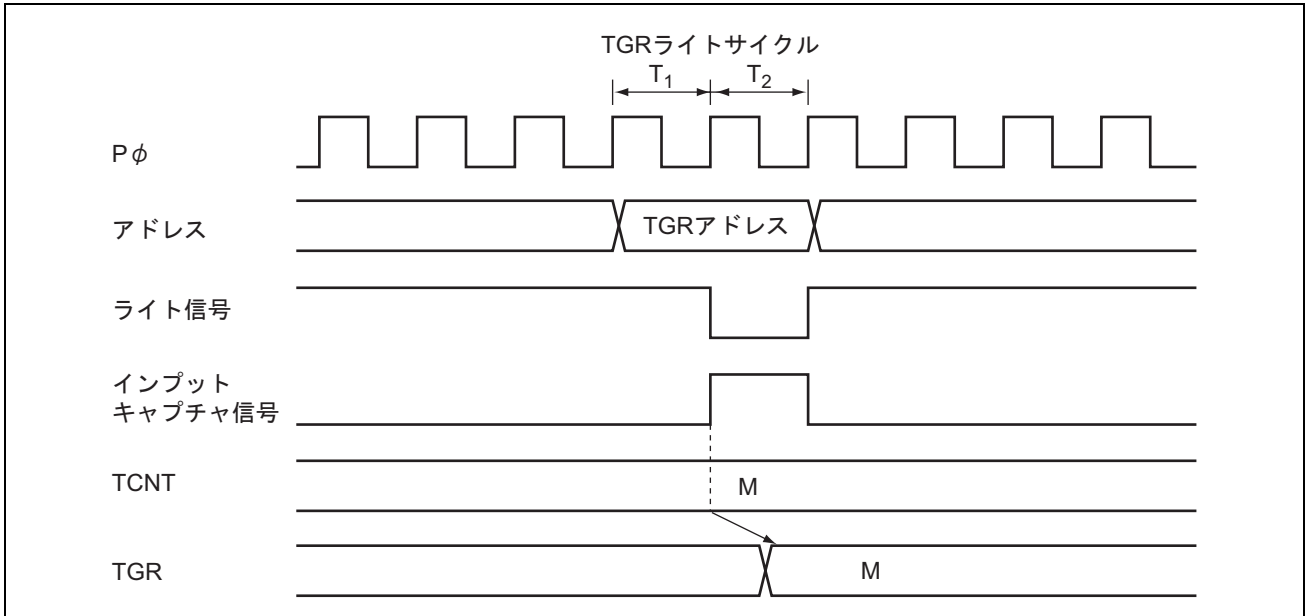


図 10.51 TGR のライトと入力キャプチャの競合

10.10.10 バッファレジスタのライトと入力キャプチャの競合

バッファレジスタのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。このタイミングを図 10.52 に示します。

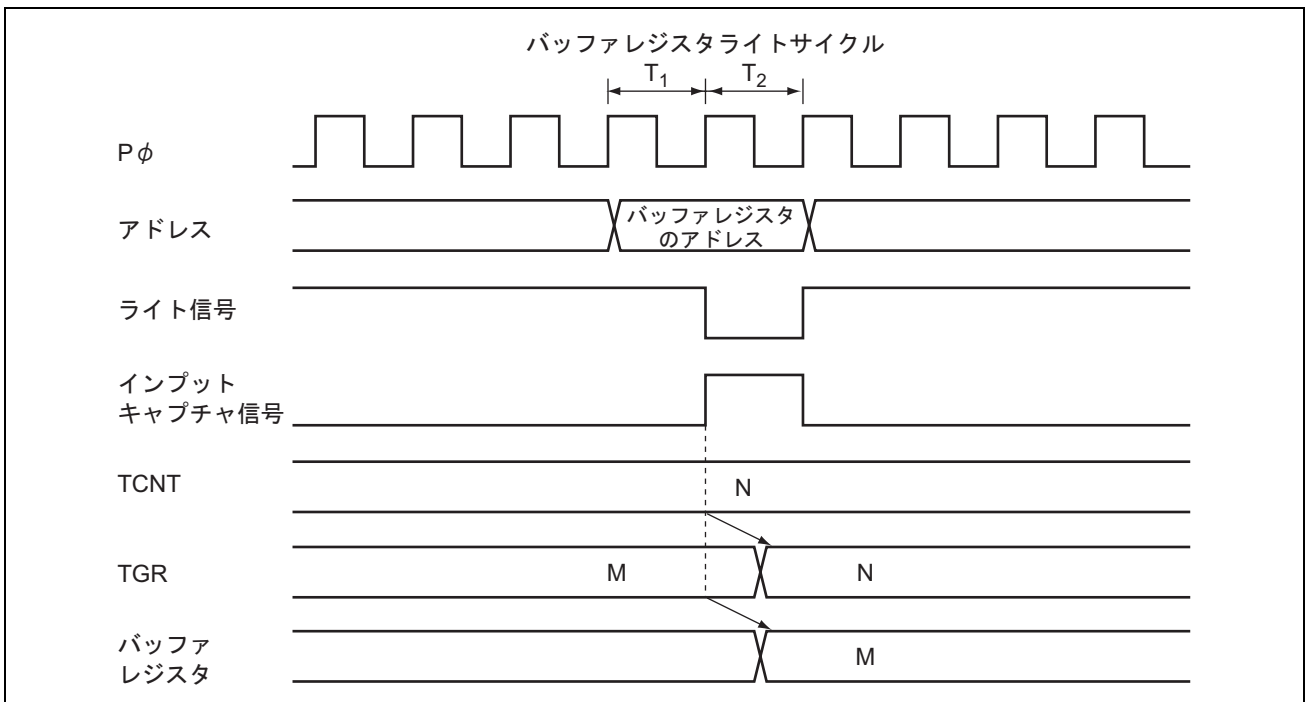


図 10.52 バッファレジスタのライトと入力キャプチャの競合

10.10.11 オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV/TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 10.53 に示します。

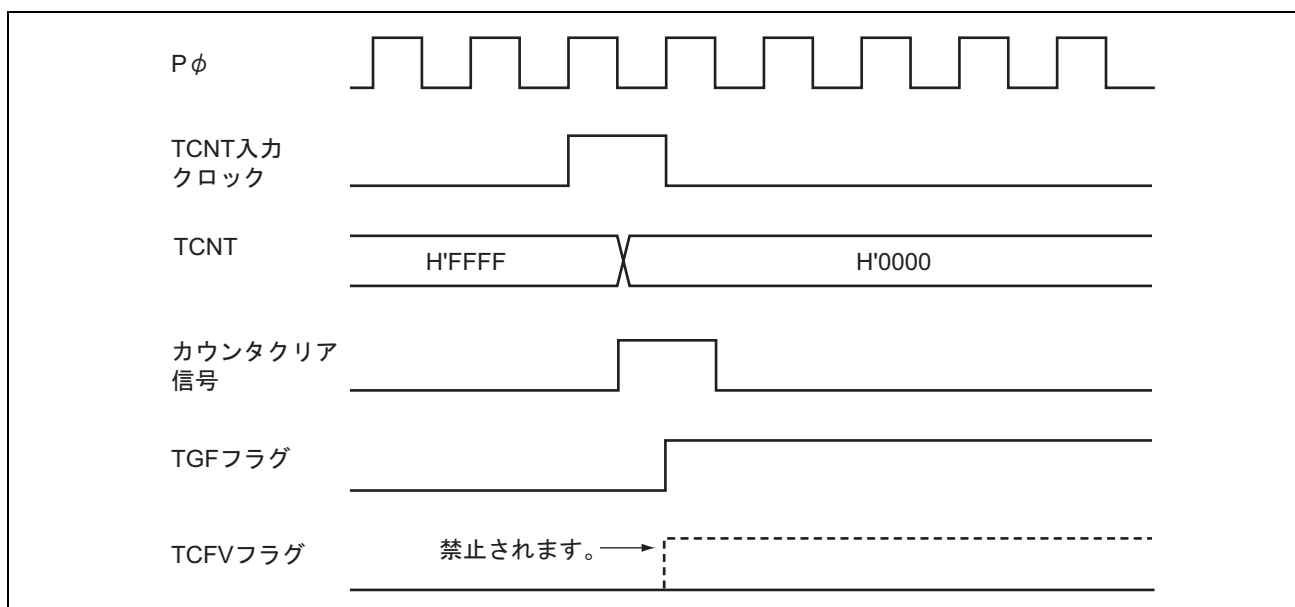


図 10.53 オーバフローとカウンタクリアの競合

10.10.12 TCNT のライトとオーバフロー／アンダフローの競合

TCNT のライトサイクル中の T2 ステートでカウントアップ／カウントダウンが発生し、オーバフロー／アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV/TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 10.54 に示します。

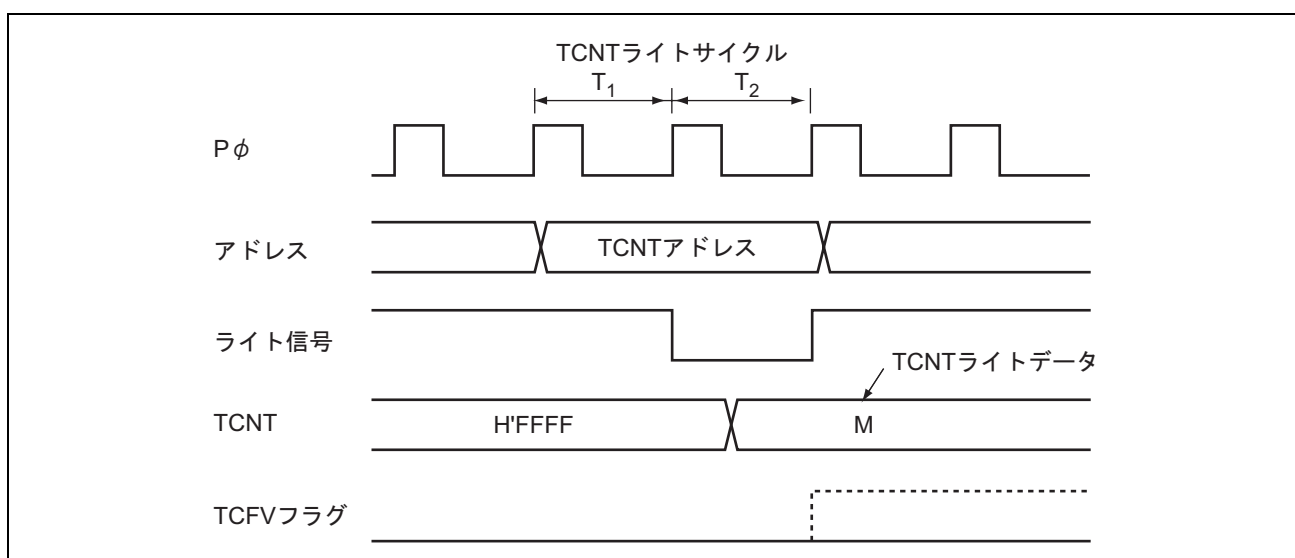


図 10.54 TCNT のライトとオーバフローの競合

10.10.13 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

10.10.14 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPU の割り込み要因、DMAC または DTC の起動要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールストップモードとしてください。

11. プログラマブルパルスジェネレータ (PPG)

プログラマブルパルスジェネレータ (PPG) は 16 ビットタイマパルスユニット (TPU) をタイムベースとしてパルスを出力します。PPG は 4 ビット単位のパルス出力グループ 3~0 から構成されており、これらは同時に動作させることも、独立に動作させることもできます。PPG のブロック図を図 11.1 に示します。

11.1 特長

- 出力データ16ビット
- 4系統の出力可能
- 出力トリガ信号を選択可能
- ノンオーバーラップ動作可能
- データトランスファコントローラ (DTC)、DMAコントローラ (DMAC) との連携動作可能
- 反転出力の指定可能
- モジュールストップモードの設定可能

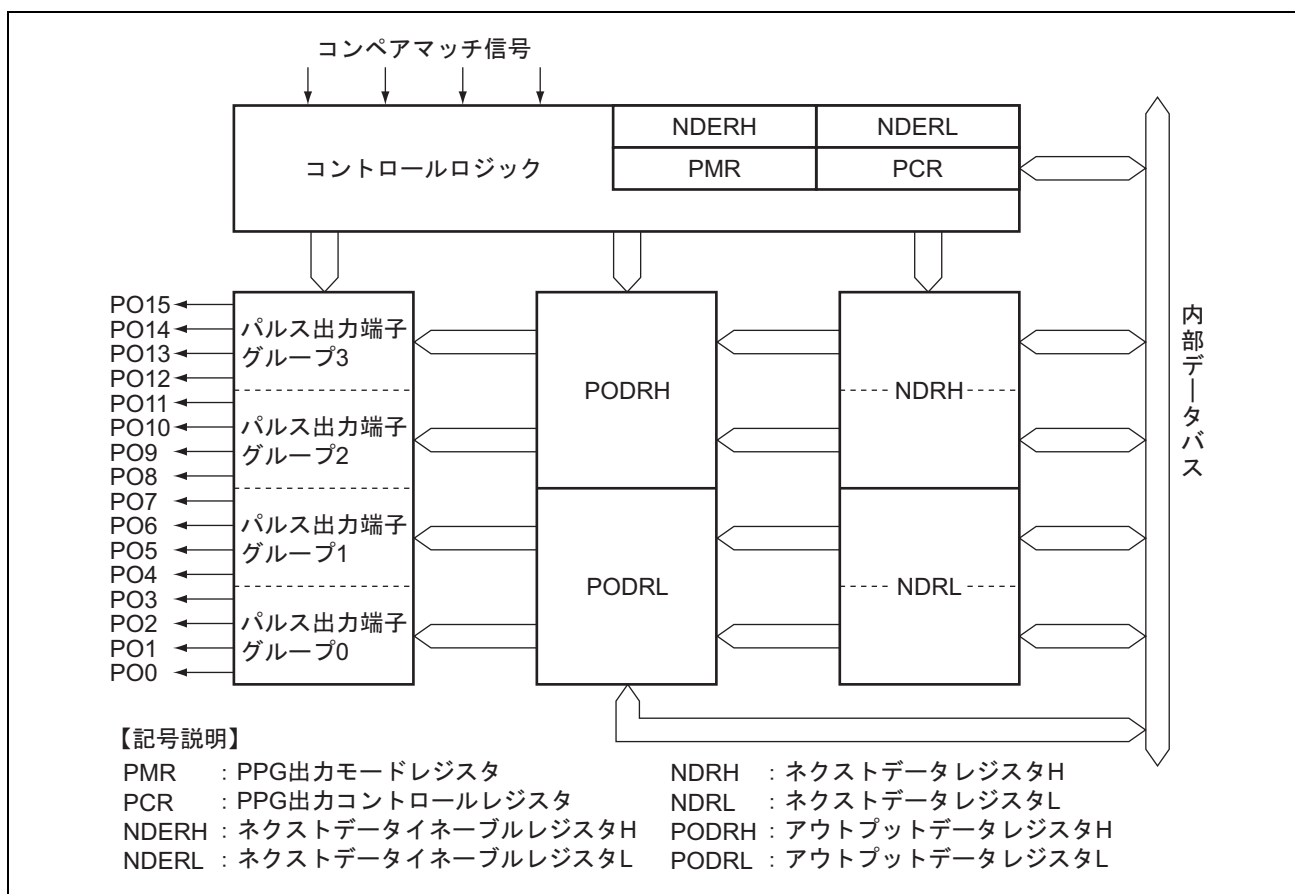


図 11.1 PPG のブロック図

11. プログラマブルパルスジェネレータ (PPG)

11.2 入出力端子

PPG には表 11.1 の入出力端子があります。

表 11.1 PPG の入出力端子

端子名	入出力	機能
PO15	出力	パルス出力グループ 3 のパルス出力
PO14	出力	
PO13	出力	
PO12	出力	
PO11	出力	パルス出力グループ 2 のパルス出力
PO10	出力	
PO9	出力	
PO8	出力	
PO7	出力	パルス出力グループ 1 のパルス出力
PO6	出力	
PO5	出力	
PO4	出力	
PO3	出力	パルス出力グループ 0 のパルス出力
PO2	出力	
PO1	出力	
PO0	出力	

11.3 レジスタの説明

PPG には以下のレジスタがあります。

- ネクストデータイネーブルレジスタH (NDERH)
- ネクストデータイネーブルレジスタL (NDERL)
- アウトプットデータレジスタH (PODRH)
- アウトプットデータレジスタL (PODRL)
- ネクストデータレジスタH (NDRH)
- ネクストデータレジスタL (NDRL)
- PPG出力コントロールレジスタ (PCR)
- PPG出力モードレジスタ (PMR)

11.3.1 ネクストデータイネーブルレジスタ H、L (NDERH、NDERL)

NDERH、NDERL は、PPG によるパルス出力端子をビット単位で選択します。

• NDERH

ビット	7	6	5	4	3	2	1	0
ビット名	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• NDERL

ビット	7	6	5	4	3	2	1	0
ビット名	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• NDERH

ビット	ビット名	初期値	R/W	説 明
7	NDER15	0	R/W	ネクストデータイネーブル 15~8 1にセットすると選択された出カトリガによって NDRH の対応するビットから PODRH へデータが転送されます。クリアされているビットは NDRH から PODRH へのデータ転送は行われません。
6	NDER14	0	R/W	
5	NDER13	0	R/W	
4	NDER12	0	R/W	
3	NDER11	0	R/W	
2	NDER10	0	R/W	
1	NDER9	0	R/W	
0	NDER8	0	R/W	

• NDERL

ビット	ビット名	初期値	R/W	説 明
7	NDER7	0	R/W	ネクストデータイネーブル 7~0 1にセットすると選択された出カトリガによって NDRL の対応するビットから PODRL へデータが転送されます。クリアされているビットは NDRL から PODRL へのデータ転送は行われません。
6	NDER6	0	R/W	
5	NDER5	0	R/W	
4	NDER4	0	R/W	
3	NDER3	0	R/W	
2	NDER2	0	R/W	
1	NDER1	0	R/W	
0	NDER0	0	R/W	

11. プログラマブルパルスジェネレータ (PPG)

11.3.2 アウトプットデータレジスタ H、L (PODRH、PODRL)

PODRH、PODRL は、パルス出力値が格納されます。NDER によりパルス出力に設定されたビットはリード専用となり、ライトできません。

・PODRH

ビット	7	6	5	4	3	2	1	0
ビット名	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・PODRL

ビット	7	6	5	4	3	2	1	0
ビット名	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• PODRH

ビット	ビット名	初期値	R/W	説明
7	POD15	0	R/W	アウトプットデータレジスタ 15~8 NDERH によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDERH の値がこのレジスタに転送されます。NDERH が 1 にセットされている期間 CPU からはライトできません。NDERH がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD14	0	R/W	
5	POD13	0	R/W	
4	POD12	0	R/W	
3	POD11	0	R/W	
2	POD10	0	R/W	
1	POD9	0	R/W	
0	POD8	0	R/W	

• PODRL

ビット	ビット名	初期値	R/W	説明
7	POD7	0	R/W	アウトプットデータレジスタ 7~0 NDERL によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDERL の値がこのレジスタに転送されます。NDERL が 1 にセットされている期間 CPU からはライトできません。NDERL がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD6	0	R/W	
5	POD5	0	R/W	
4	POD4	0	R/W	
3	POD3	0	R/W	
2	POD2	0	R/W	
1	POD1	0	R/W	
0	POD0	0	R/W	

11.3.3 ネクストデータレジスタ H、L (NDRH、NDRL)

NDRH、NDRL は、パルス出力の次のデータを格納します。NDR のアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

• NDRH

ビット	7	6	5	4	3	2	1	0
ビット名	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• NDRL

ビット	7	6	5	4	3	2	1	0
ビット名	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• NDRH

パルス出力グループ 2、3 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説明
7	NDR15	0	R/W	ネクストデータレジスタ 15~8 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3	NDR11	0	R/W	
2	NDR10	0	R/W	
1	NDR9	0	R/W	
0	NDR8	0	R/W	

パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説明
7	NDR15	0	R/W	ネクストデータレジスタ 15~12 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3~0	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

11. プログラマブルパルスジェネレータ (PPG)

ビット	ビット名	初期値	R/W	説 明
7~4	—	すべて1	—	リザーブビット リードすると常に1が読み出されます。ライトは無効です。
3	NDR11	0	R/W	ネクストデータレジスタ 11~8 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
2	NDR10	0	R/W	
1	NDR9	0	R/W	
0	NDR8	0	R/W	

• NDRL

パルス出力グループ 0、1 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説 明
7	NDR7	0	R/W	ネクストデータレジスタ 7~0 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
6	NDR6	0	R/W	
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3	NDR3	0	R/W	
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

パルス出力グループ 0 とパルス出力グループ 1 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説 明
7	NDR7	0	R/W	ネクストデータレジスタ 7~4 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
6	NDR6	0	R/W	
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3~0	—	すべて1	—	リザーブビット リードすると常に1が読み出されます。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7~4	—	すべて1	—	リザーブビット リードすると常に1が読み出されます。ライトは無効です。
3	NDR3	0	R/W	ネクストデータレジスタ 3~0 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

11.3.4 PPG 出力コントロールレジスタ (PCR)

PCR は、パルス出力トリガ信号をグループ単位で選択します。出力トリガの選択については「11.3.5 PPG 出力モードレジスタ (PMR)」を併せて参照してください。

ビット	7	6	5	4	3	2	1	0
ビット名	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7 6	G3CMS1 G3CMS0	1 1	R/W R/W	グループ 3 コンペアマッチセレクト 1、0 パルス出力グループ 3 の出力トリガを選択します。 00: TPU チャンネル 0 のコンペアマッチ 01: TPU チャンネル 1 のコンペアマッチ 10: TPU チャンネル 2 のコンペアマッチ 11: TPU チャンネル 3 のコンペアマッチ
5 4	G2CMS1 G2CMS0	1 1	R/W R/W	グループ 2 コンペアマッチセレクト 1、0 パルス出力グループ 2 の出力トリガを選択します。 00: TPU チャンネル 0 のコンペアマッチ 01: TPU チャンネル 1 のコンペアマッチ 10: TPU チャンネル 2 のコンペアマッチ 11: TPU チャンネル 3 のコンペアマッチ
3 2	G1CMS1 G1CMS0	1 1	R/W R/W	グループ 1 コンペアマッチセレクト 1、0 パルス出力グループ 1 の出力トリガを選択します。 00: TPU チャンネル 0 のコンペアマッチ 01: TPU チャンネル 1 のコンペアマッチ 10: TPU チャンネル 2 のコンペアマッチ 11: TPU チャンネル 3 のコンペアマッチ
1 0	G0CMS1 G0CMS0	1 1	R/W R/W	グループ 0 コンペアマッチセレクト 1、0 パルス出力グループ 0 の出力トリガを選択します。 00: TPU チャンネル 0 のコンペアマッチ 01: TPU チャンネル 1 のコンペアマッチ 10: TPU チャンネル 2 のコンペアマッチ 11: TPU チャンネル 3 のコンペアマッチ

11. プログラマブルパルスジェネレータ (PPG)

11.3.5 PPG 出力モードレジスタ (PMR)

PMR は、PPG のパルス出力モードをグループ単位で設定します。反転出力に設定すると PODRH の値が 1 のとき端子に Low レベルを、PODRH の値が 0 のとき端子に High レベルを出力します。また、ノンオーバーラップ動作に設定すると PPG は、出力トリガとなる TPU のコンペアマッチ A、B で出力値を更新します。詳細は、「11.4.4 パルス出力ノンオーバーラップ動作」を参照してください。

ビット	7	6	5	4	3	2	1	0
ビット名	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
初期値:	1	1	1	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	G3INV	1	R/W	グループ 3 インバート パルス出力グループ 3 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
6	G2INV	1	R/W	グループ 2 インバート パルス出力グループ 2 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
5	G1INV	1	R/W	グループ 1 インバート パルス出力グループ 1 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
4	G0INV	1	R/W	グループ 0 インバート パルス出力グループ 0 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
3	G3NOV	0	R/W	グループ 3 ノンオーバーラップ パルス出力グループ 3 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)

ビット	ビット名	初期値	R/W	説明
2	G2NOV	0	R/W	グループ 2 ノンオーバーラップ パルス出力グループ 2 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
1	G1NOV	0	R/W	グループ 1 ノンオーバーラップ パルス出力グループ 1 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
0	G0NOV	0	R/W	グループ 0 ノンオーバーラップ パルス出力グループ 0 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)

11.4 動作説明

PPG 概要図を図 11.2 に示します。PPG は、NDER の対応するビットをそれぞれ 1 にセットすることによりパルス出力状態となります。初期出力値は対応する PODR の初期設定値により決まります。その後、PCR で指定したコンペアマッチが発生すると、対応する NDR の値がそれぞれ PODR に転送されて出力値が更新されます。次のコンペアマッチが発生するまでに NDR に出力データをライトすることにより、コンペアマッチのたびに最大 16 ビットのデータを順次出力することができます。

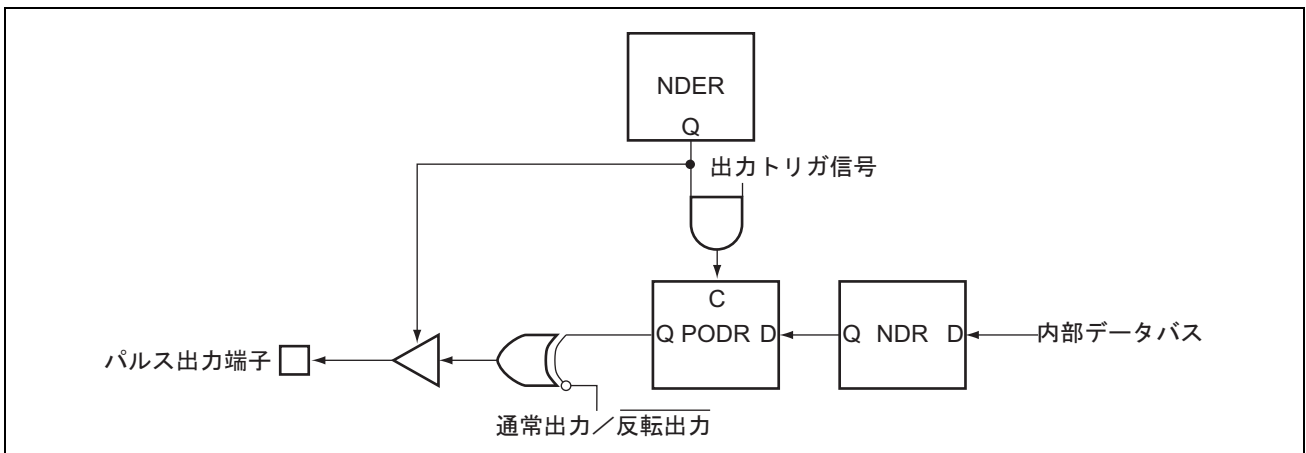


図 11.2 PPG 概要図

11.4.1 出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、NDR の内容が PODR に転送され、出力されます。このタイミングを図 11.3 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

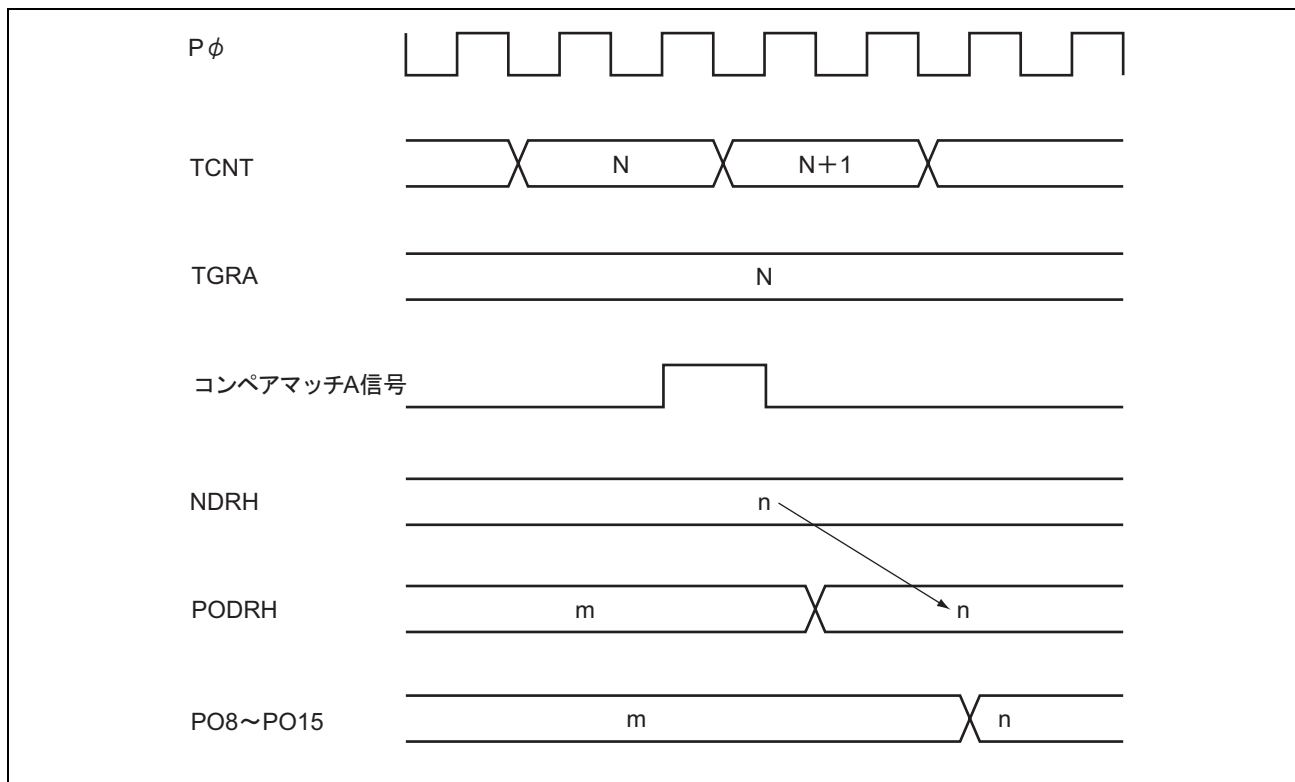
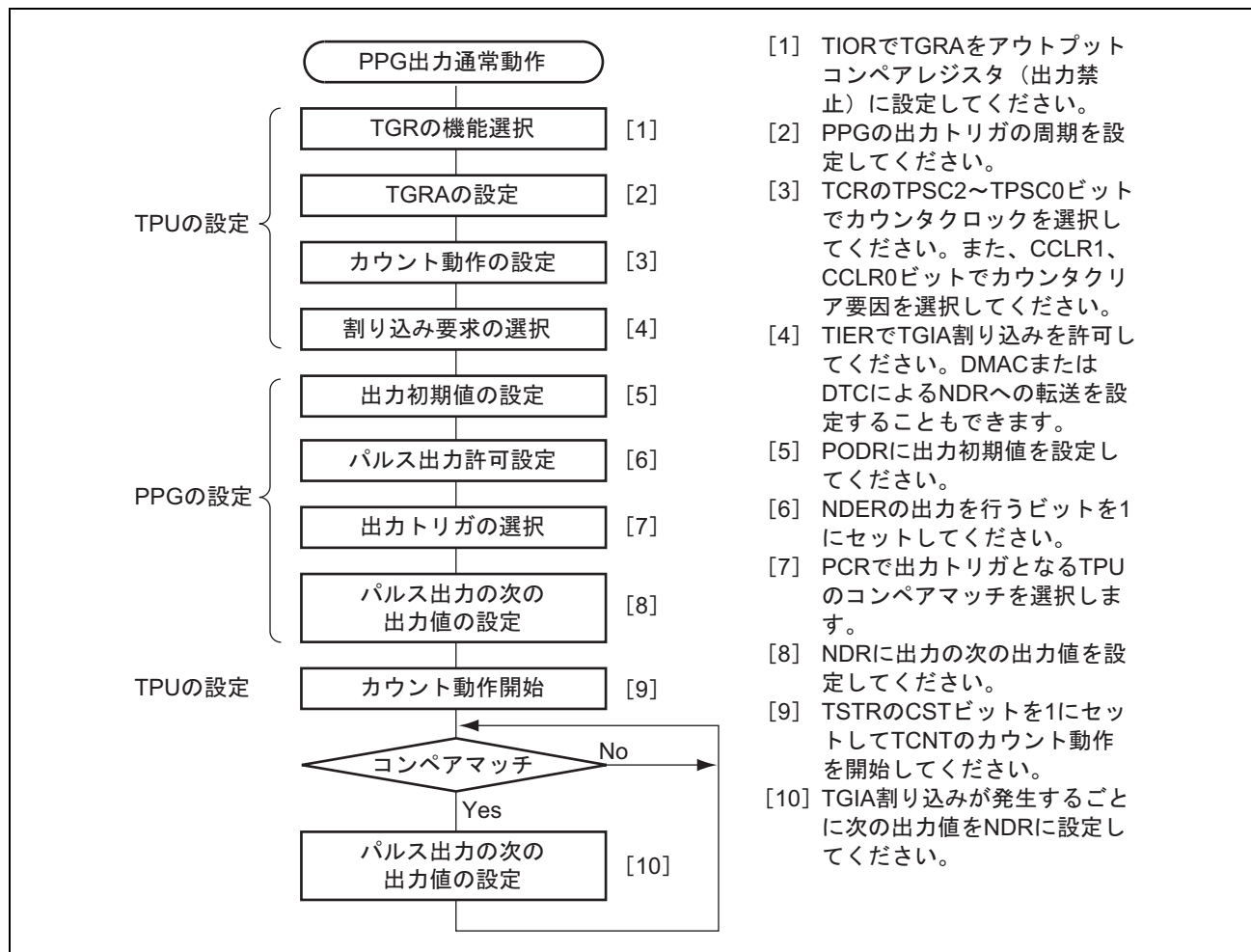


図 11.3 NDR の内容が転送・出力されるタイミング例

11.4.2 通常動作のパルス出力設定手順例

パルス出力通常動作の設定手順例を図 11.4 に示します。



- [1] TIORでTGRAをアウトプットコンペアレジスタ（出力禁止）に設定してください。
- [2] PPGの出カトリガの周期を設定してください。
- [3] TCRのTPSC2～TPSC0ビットでカウンタクロックを選択してください。また、CCLR1、CCLR0ビットでカウンタクリア要因を選択してください。
- [4] TIERでTGIA割り込みを許可してください。DMACまたはDTCによるNDRへの転送を設定することもできます。
- [5] PODRに出力初期値を設定してください。
- [6] NDERの出力を行うビットを1にセットしてください。
- [7] PCRで出カトリガとなるTPUのコンペアマッチを選択します。
- [8] NDRに出力の次の出力値を設定してください。
- [9] TSTRのCSTビットを1にセットしてTCNTのカウント動作を開始してください。
- [10] TGIA割り込みが発生するごとに次の出力値をNDRに設定してください。

図 11.4 パルス出力通常動作の設定手順例

11.4.3 パルス出力通常動作例 (5相パルス出力例)

パルス出力を使用して一定周期で5相パルスを出力させた例を図11.5に示します。

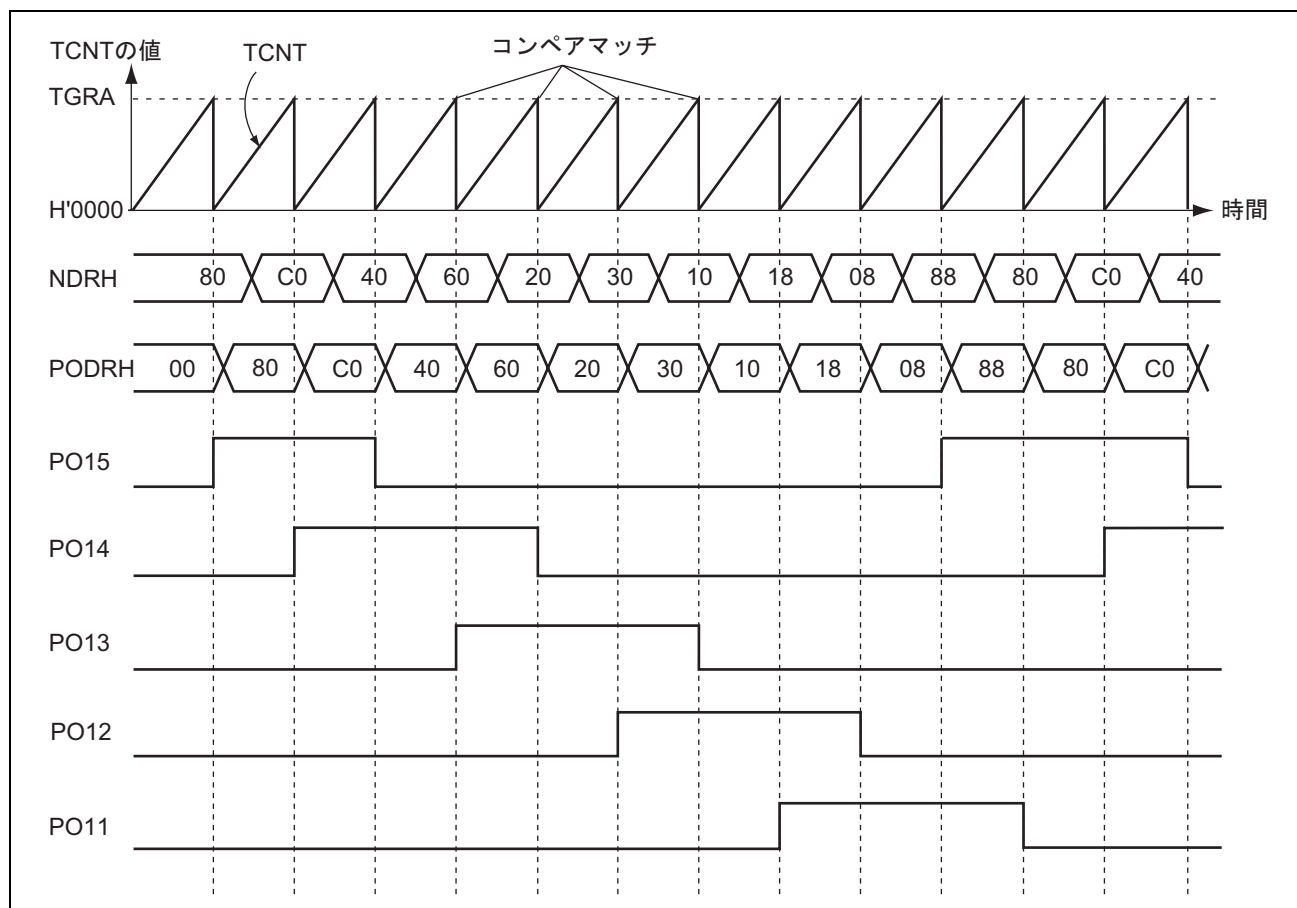


図 11.5 パルス出力通常動作例 (5相パルス出力例)

- 出力トリガとするTPUのTGRAをアウトプットコンペアレジスタに設定します。TGRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、コンペアマッチ/インプットキャプチャA (TGIA) 割り込みを許可します。
- NDRHにH'F8をライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。NDRHに出力データH'80をライトします。
- TPU当該チャネルの動作を開始しコンペアマッチAが発生すると、NDRHの内容がPODRHに転送され出力されます。TGIA割り込み処理でNDRHに次の出力データH'C0をライトします。
- 以後、TGIA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88…をライトすることで、5相の1-2相パルス出力を行うことができます。
- TGIA割り込みでDMACまたはDTCを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

11.4.4 パルス出力ノンオーバーラップ動作

ノンオーバーラップ動作時の NDR から PODR への転送は以下のようになっています。

- コンペアマッチAではNDRの内容を常にPODRへ転送します。
- コンペアマッチBではNDRの転送するビットの内容が0のときのみ転送を行います。1のときは転送を行いません。

ノンオーバーラップ時のパルス出力動作を図 11.6 に示します。

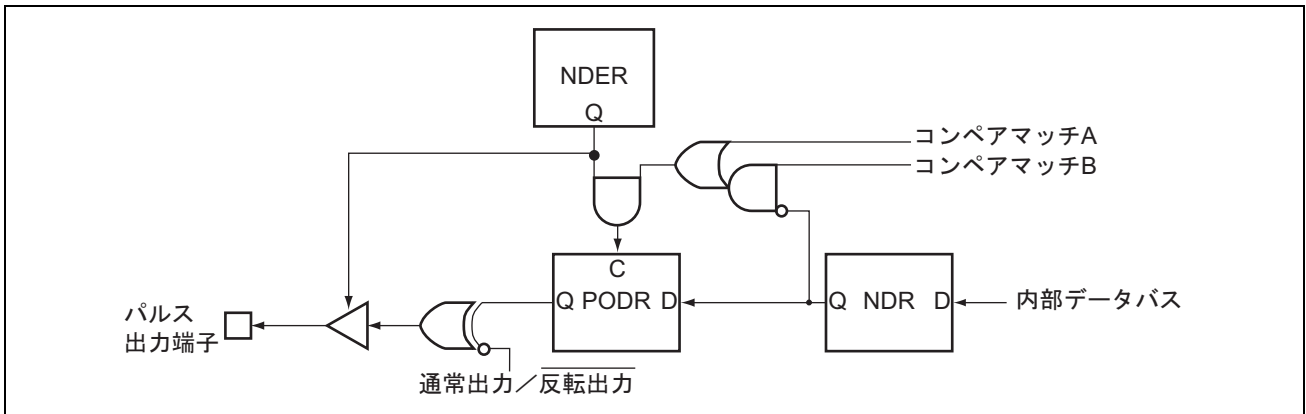


図 11.6 パルス出力ノンオーバーラップ動作

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで（ノンオーバーラップ期間）の間、NDR の内容を変更しないようにしてください。

これは TGIA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、TGIA 割り込みで DMAC または DTC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 11.7 に示します。

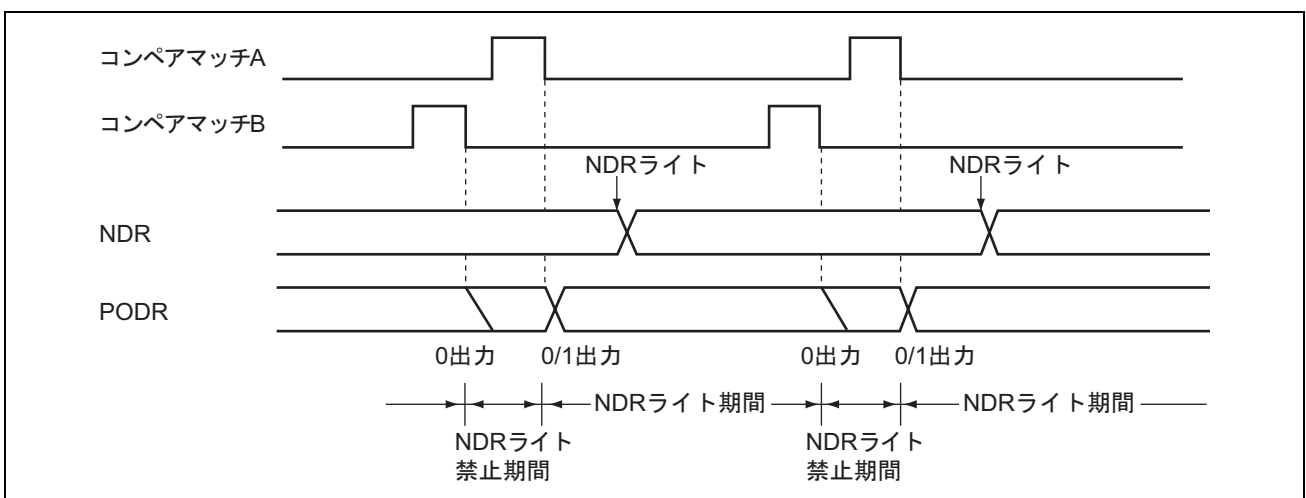


図 11.7 ノンオーバーラップ動作と NDR ライトタイミング

11.4.5 ノンオーバーラップ動作のパルス出力設定手順例

パルス出力ノンオーバーラップ動作の設定手順例を図 11.8 に示します。

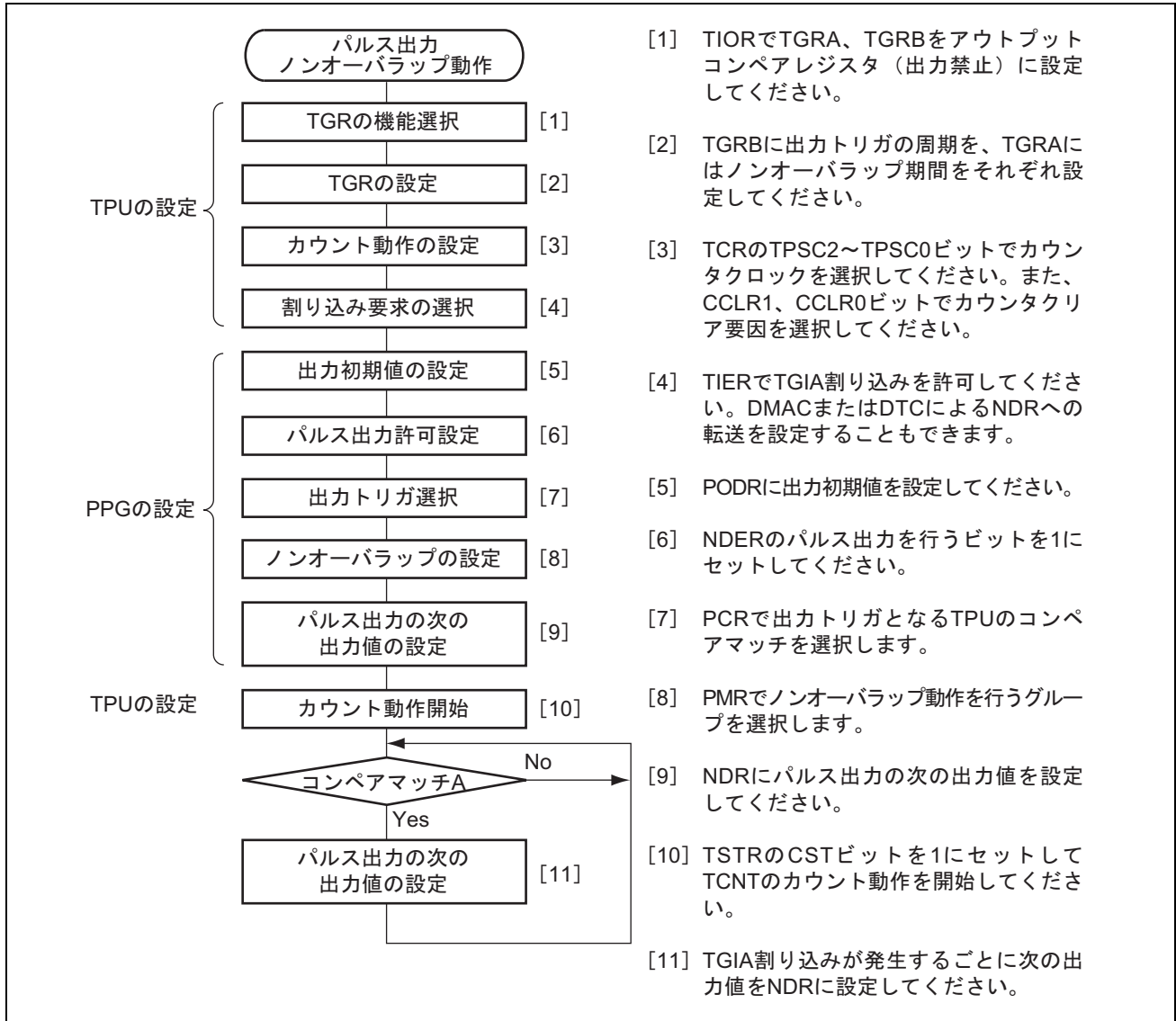


図 11.8 パルス出力ノンオーバーラップ動作の設定手順例

11.4.6 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)

パルス出力を使用して4相の相補ノンオーバーラップのパルスを出力させた例を図 11.9 に示します。

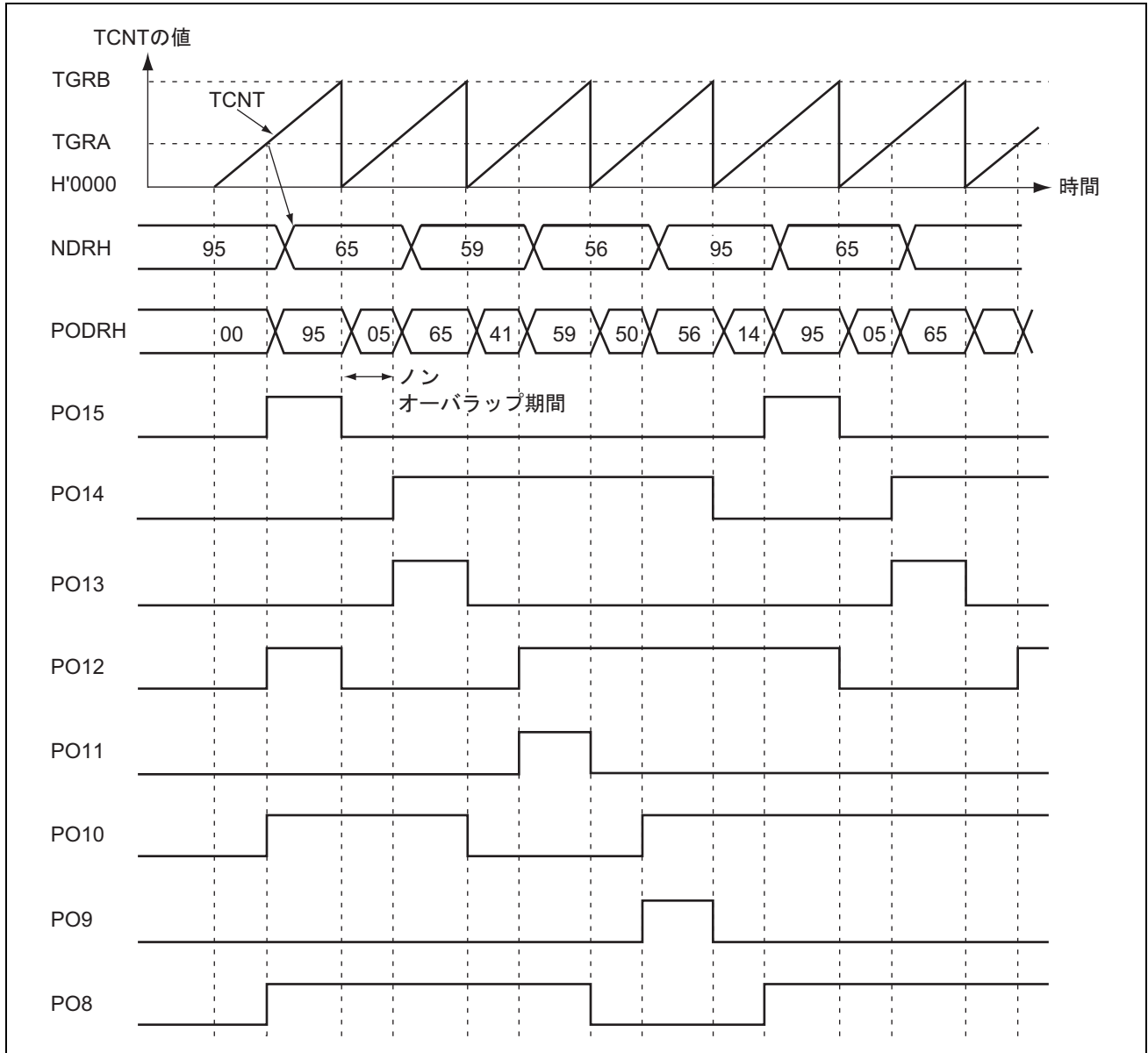


図 11.9 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力)

11. プログラマブルパルスジェネレータ (PPG)

1. 出力トリガとするTPUのTGRA、TGRBをアウトプットコンペアレジスタに設定します。TGRBには周期、TGRAにはノンオーバーラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、TGIA割り込みを許可します。
2. NDERHにH'FFをライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。
PMRのG3NOV、G2NOVビットをそれぞれ1にセットして、ノンオーバーラップ動作を設定します。
NDRHに出力データH'95をライトします。
3. TPU当該チャンネルの動作を開始すると、TGRBのコンペアマッチで1出力→0出力の変化、TGRAのコンペアマッチで0出力→1出力の変化を行います（0出力→1出力の変化はTGRAの設定値分遅延することになります）。
TGIA割り込み処理でNDRHに次の出力データH'65をライトします。
4. 以後、TGIA割り込みで順次H'59、H'56、H'95…をライトすることで、4相の相補ノンオーバーラップ出力を発生することができます。
TGIA割り込みでDMACまたはDTCを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

11.4.7 パルス反転出力

PMR の G3INV、G2INV、G1INV および G0INV を 0 に設定すると、PODR の内容に対する反転値を端子出力することができます。

図 11.9 の設定で、さらに G3INV、G2INV を 0 にしたときの端子出力の様子を図 11.10 に示します。

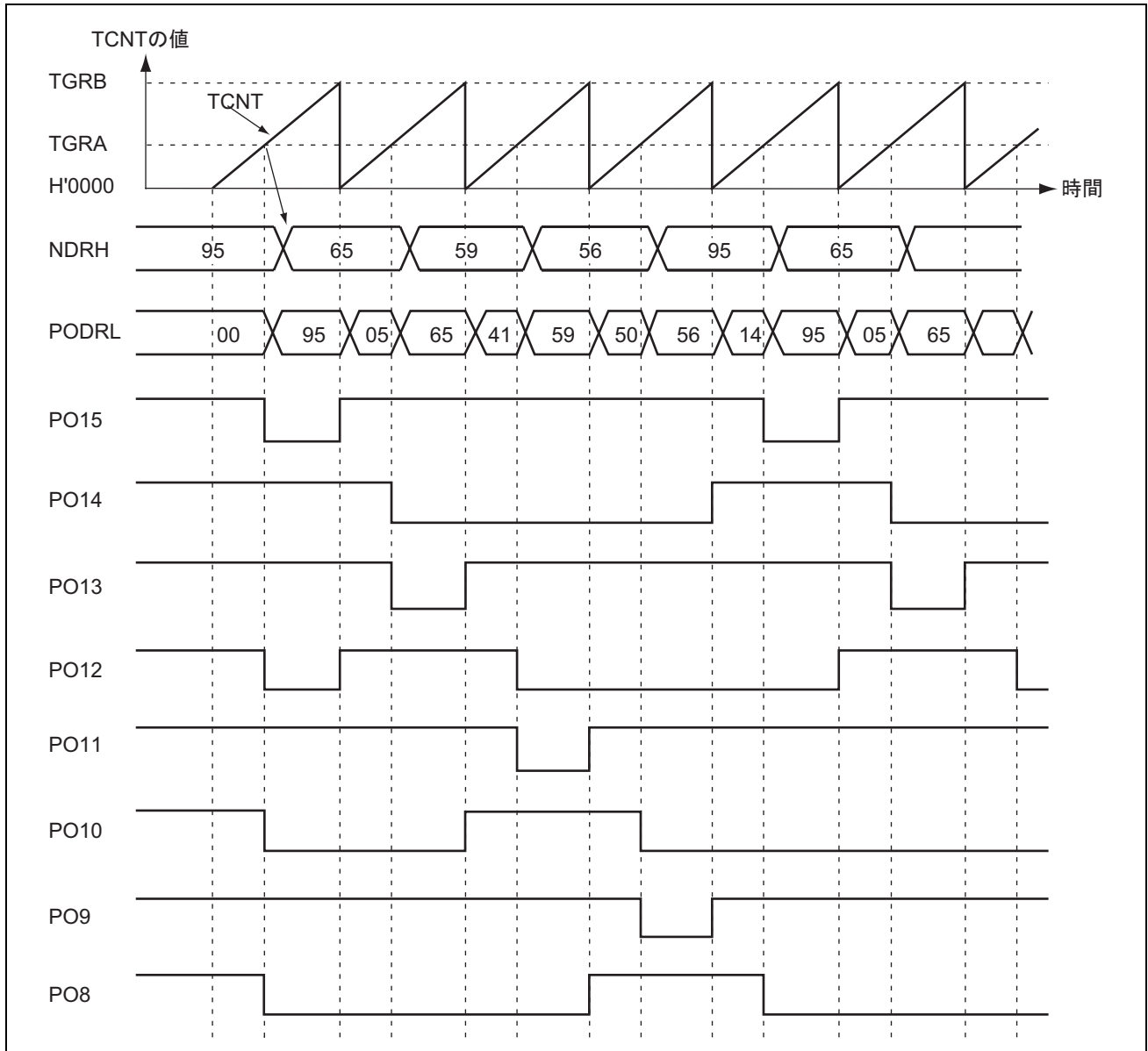


図 11.10 パルス反転出力例

11.4.8 インพุットキャプチャによるパルス出力

パルス出力は、TPU のコンペアマッチだけでなく、インพุットキャプチャによっても可能です。PCR によって選択された TPU の TGRA がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりパルス出力を行います。

このタイミングを図 11.11 に示します。

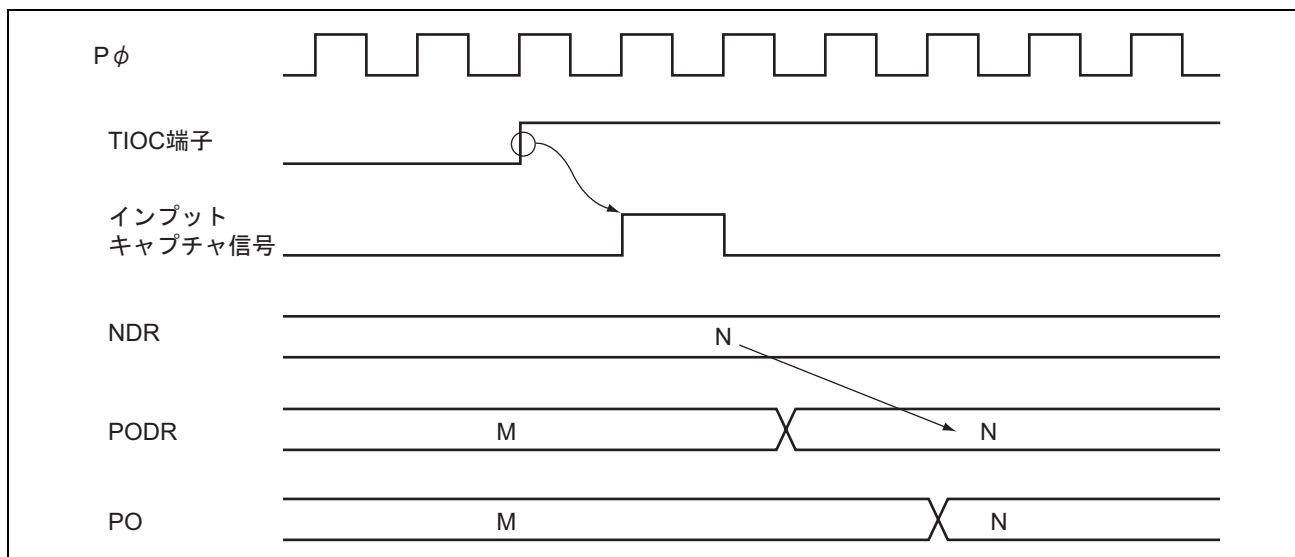


図 11.11 インพุットキャプチャによるパルス出力例

11.5 使用上の注意事項

11.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PPG の動作禁止/許可を設定することが可能です。初期値では、PPG の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「19. 低消費電力」を参照してください。

11.5.2 パルス出力端子の動作

PO0～PO15 は TPU などの他の周辺機能の端子と兼用になっています。これらの端子は、他の周辺機能が出力許可状態になっているときには、パルス出力を行うことができません。ただし、NDR から PODR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

12. 8ビットタイマ (TMR)

本LSIは、8ビットのカウンタをベースにした2チャンネルの8ビットタイマを2ユニット（ユニット0、ユニット1）、合計4チャンネル内蔵しています。外部イベントのカウントが可能のほか、2本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

図12.1、図12.2にユニット0、ユニット1のブロック図を示します。

本文中では、ユニット0（チャンネル0、チャンネル1）について説明しています。他のユニットも同一機能です。

12.1 特長

- 7種類のクロックを選択可能
6種類の内部クロック（Pφ/2、Pφ/8、Pφ/32、Pφ/64、Pφ/1024、Pφ/8192）と外部クロックのうちから選択できます。
- カウンタのクリア指定が可能
コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択できます。
- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御
独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。
- 2チャンネルのカスケード接続が可能（TMR_0、TMR_1）
TMR_0を上位、TMR_1を下位とする16ビットタイマとして動作可能です（16ビットカウントモード）。
TMR_1はTMR_0のコンペアマッチをカウント可能です（コンペアマッチカウントモード）。
- 複数の割り込み要因
コンペアマッチA、コンペアマッチB、オーバフローの3種類があります。
- A/D変換器の変換スタートトリガを生成可能

12. 8ビットタイマ (TMR)

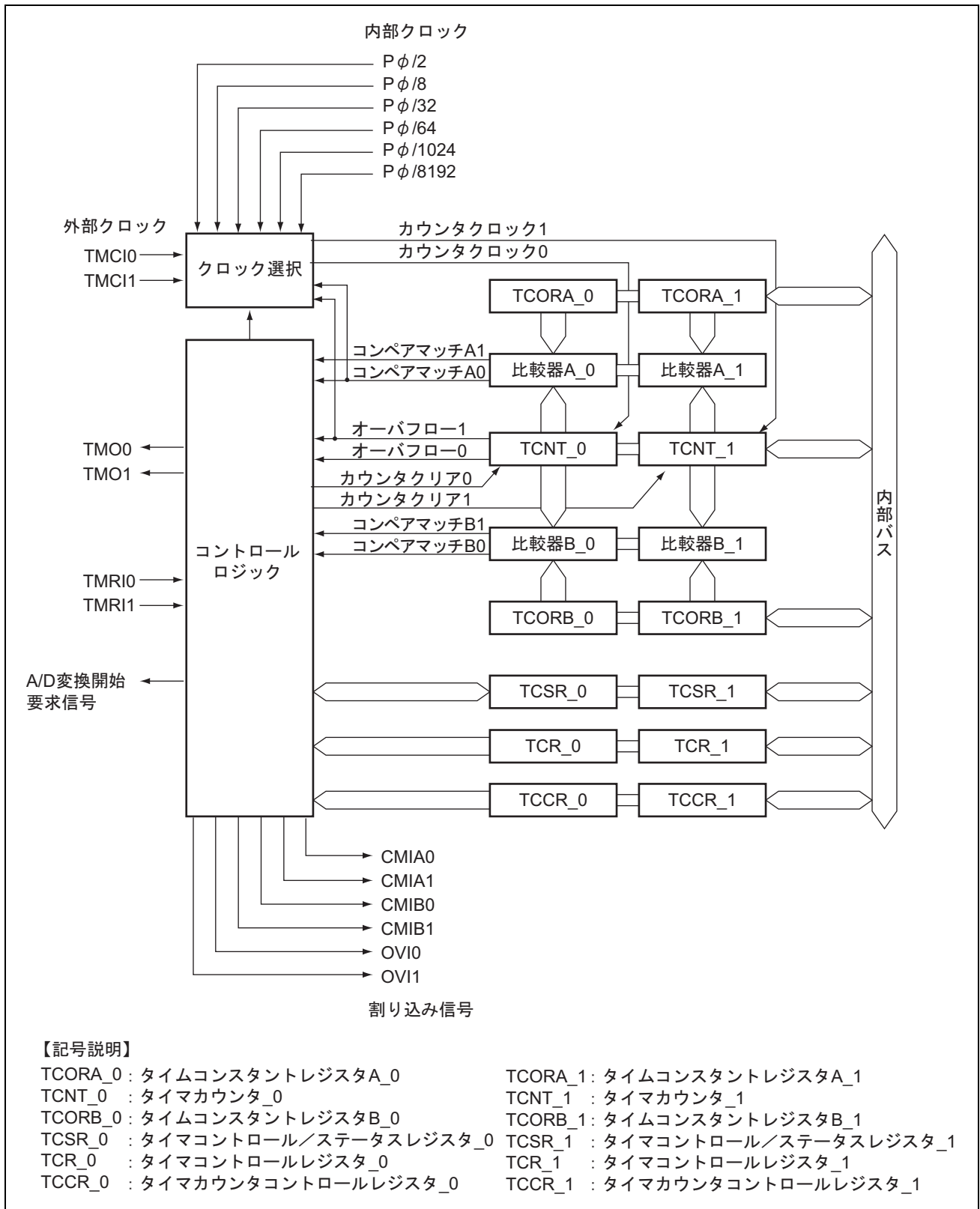


図 12.1 8ビットタイマ (ユニット0) のブロック図

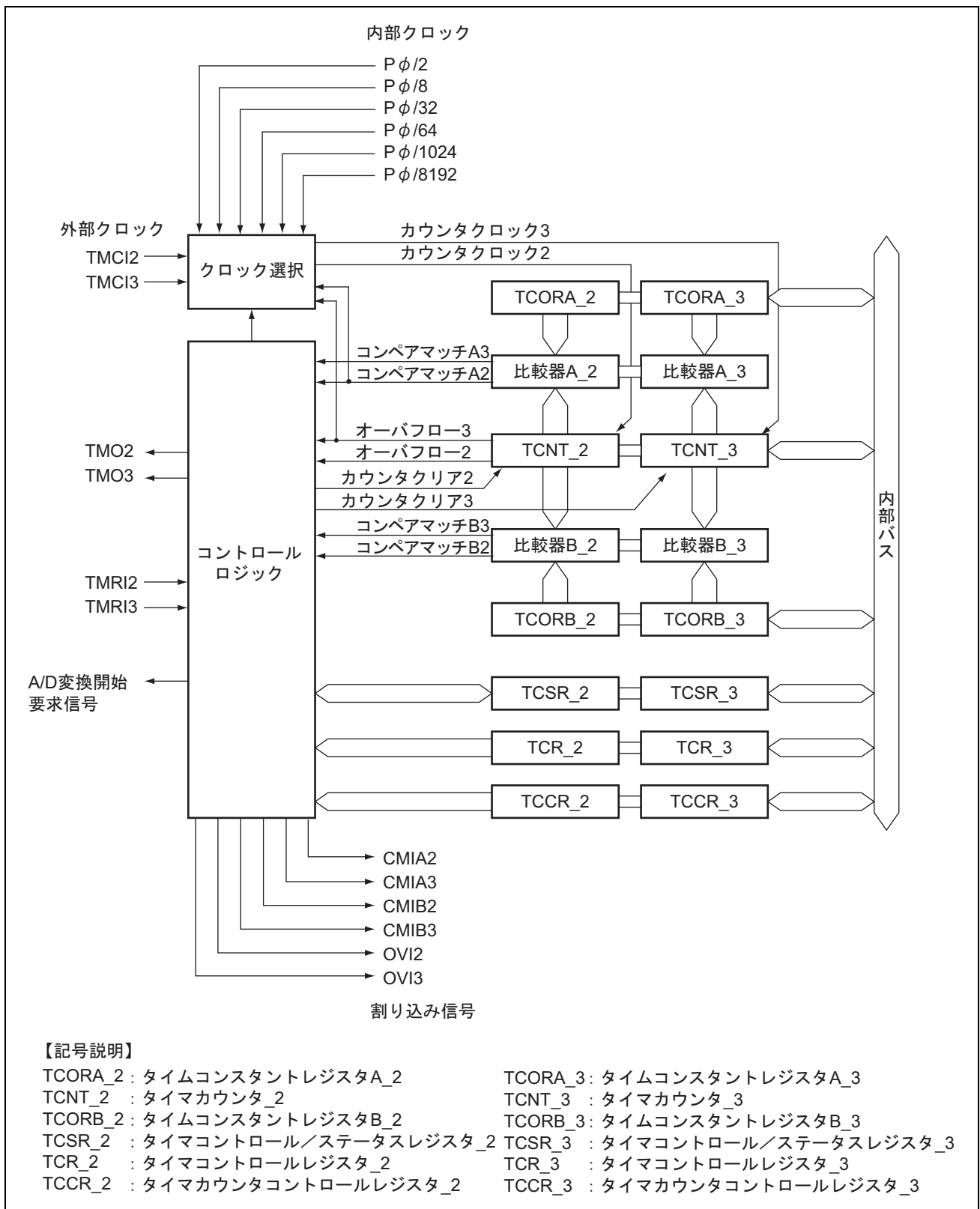


図 12.2 8ビットタイマ (ユニット1) のブロック図

12. 8ビットタイマ (TMR)

12.2 入出力端子

TMR の端子構成を表 12.1 に示します。

表 12.1 端子構成

ユニット	チャネル	名 称	略称	入出力	機 能
0	0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
		タイマクロック入力端子	TMCI0	入力	カウンタ外部クロック入力
		タイマリセット入力端子	TMRI0	入力	カウンタ外部リセット入力
	1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
		タイマクロック入力端子	TMCI1	入力	カウンタ外部クロック入力
		タイマリセット入力端子	TMRI1	入力	カウンタ外部リセット入力
1	2	タイマ出力端子	TMO2	出力	コンペアマッチ出力
		タイマクロック入力端子	TMCI2	入力	カウンタ外部クロック入力
		タイマリセット入力端子	TMRI2	入力	カウンタ外部リセット入力
	3	タイマ出力端子	TMO3	出力	コンペアマッチ出力
		タイマクロック入力端子	TMCI3	入力	カウンタ外部クロック入力
		タイマリセット入力端子	TMRI3	入力	カウンタ外部リセット入力

12.3 レジスタの説明

TMRには以下のレジスタがあります。

ユニット0

チャンネル0:

- タイマカウンタ_0 (TCNT_0)
- タイムコンスタントレジスタA_0 (TCORA_0)
- タイムコンスタントレジスタB_0 (TCORB_0)
- タイマコントロールレジスタ_0 (TCR_0)
- タイマカウンタコントロールレジスタ_0 (TCCR_0)
- タイマコントロール/ステータスレジスタ_0 (TCSR_0)

チャンネル1:

- タイマカウンタ_1 (TCNT_1)
- タイムコンスタントレジスタA_1 (TCORA_1)
- タイムコンスタントレジスタB_1 (TCORB_1)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマカウンタコントロールレジスタ_1 (TCCR_1)
- タイマコントロール/ステータスレジスタ_1 (TCSR_1)

ユニット1

チャンネル2:

- タイマカウンタ_2 (TCNT_2)
- タイムコンスタントレジスタA_2 (TCORA_2)
- タイムコンスタントレジスタB_2 (TCORB_2)
- タイマコントロールレジスタ_2 (TCR_2)
- タイマカウンタコントロールレジスタ_2 (TCCR_2)
- タイマコントロール/ステータスレジスタ_2 (TCSR_2)

チャンネル3:

- タイマカウンタ_3 (TCNT_3)
- タイムコンスタントレジスタA_3 (TCORA_3)
- タイムコンスタントレジスタB_3 (TCORB_3)
- タイマコントロールレジスタ_3 (TCR_3)
- タイマカウンタコントロールレジスタ_3 (TCCR_3)
- タイマコントロール/ステータスレジスタ_3 (TCSR_3)

12. 8ビットタイマ (TMR)

12.3.1 タイマカウンタ (TCNT)

TCNTは8ビットのリード/ライト可能なアップカウンタです。TCNT_0、TCNT_1を16ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCRのCKS2~CKS0ビット、及びTCCRのICKS1、ICKS0ビットにより選択します。TCNTは、外部リセット入力信号またはコンペアマッチA信号、コンペアマッチB信号によりクリアすることができます。いずれの信号でクリアするかは、TCRのCCLR1、CCLR0ビットにより選択します。また、TCNTがオーバーフロー(H'FF→H'00)すると、TCSRのOVFが1にセットされます。TCNTの初期値はH'00です。

ビット	TCNT_0								TCNT_1							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.3.2 タイムコンスタントレジスタ A (TCORA)

TCORAは8ビットのリード/ライト可能なレジスタです。TCORA_0、TCORA_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORAの値はTCNTと常に比較され、一致するとTCSRのCMFAが1にセットされます。ただし、TCORAへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号(コンペアマッチA)とTCSRのOS1、OS0ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORAの初期値はH'FFです。

ビット	TCORA_0								TCORA_1							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.3.3 タイムコンスタントレジスタ B (TCORB)

TCORBは8ビットのリード/ライト可能なレジスタです。TCORB_0、TCORB_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORBの値はTCNTと常に比較され、一致するとTCSRのCMFBが1にセットされます。ただし、TCORBへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号(コンペアマッチB)とTCSRのOS3、OS2ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORBの初期値はH'FFです。

ビット	TCORB_0								TCORB_1							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.3.4 タイマコントロールレジスタ (TCR)

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバーフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4	CCLR1	0	R/W	カウンタクリア 1、0* TCNT のクリア条件を指定します。 00 : クリアを禁止 01 : コンペアマッチ A によりクリア 10 : コンペアマッチ B によりクリア 11 : 外部リセット入力の立ち上がりエッジ (TCCR の TMRIS=0) 、 または、ハイレベル (TCCR の TMRIS=1) によりクリア
3	CCLR0	0	R/W	
2	CKS2	0	R/W	クロックセレクト 2~0* TCNT に入力するクロックとカウント条件を選択します。表 12.2 を参照してください。
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 * 外部リセット、外部クロックを使用する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「9. I/O ポート」を参照してください。

12. 8 ビットタイマ (TMR)

12.3.5 タイマカウンタコントロールレジスタ (TCCR)

TCCR は TCNT の内部クロックの選択、外部リセット入力の制御を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	TMRIS	—	ICKS1	ICKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
3	TMRIS	0	R/W	タイマリセット入力セレクト TCR の CCLR1、CCLR0 ビットが B'11 のとき、外部リセット入力を選択します。 0 : 外部リセットの立ち上がりでクリア 1 : 外部リセットのハイレベルでクリア
2	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
1	ICKS1	0	R/W	インターナルクロックセレクト 1、0
0	ICKS0	0	R/W	ICKS1、0 は、TCR の CKS2~0 ビットとともに、内部クロックを選択します。表 12.2 を参照してください。

表 12.2 TCNT に入力するクロックとカウント条件

チャンネル	TCR			TCCR		説明
	ビット 2	ビット 1	ビット 0	ビット 1	ビット 0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
TMR_0	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック : Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック : Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック : Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8192 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/1024 立ち下がりエッジでカウント
1	0	0	—	—	TCNT_1 のオーバフロー信号でカウント* ¹	
TMR_1	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック : Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック : Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック : Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8192 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/1024 立ち下がりエッジでカウント
1	0	0	—	—	TCNT_0 のコンペアマッチ A でカウント* ¹	
共通	1	0	1	—	—	外部クロックの立ち上がりエッジでカウント* ²
	1	1	0	—	—	外部クロックの立ち下がりエッジでカウント* ²
	1	1	1	—	—	外部クロックの立ち上がり/立ち下がり両エッジでカウント* ²

【注】 *¹ TMR_0 のクロック入力を TCNT_1 のオーバフロー信号とし、TMR_1 のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

*² 外部クロックを使用する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「9. I/O ポート」を参照してください。

12. 8 ビットタイマ (TMR)

12.3.6 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

・ TCSR_0

ビット	7	6	5	4	3	2	1	0
ビット名	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

・ TCSR_1

ビット	7	6	5	4	3	2	1	0
ビット名	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0
初期値 :	0	0	0	1	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

• TCSR_0

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)* ¹	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] • CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき (割り込みを使用し、CPUによってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
6	CMFA	0	R/(W)* ¹	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] • CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき (割り込みを使用し、CPUによってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき

ビット	ビット名	初期値	R/W	説明
5	OVF	0	R/(W)* ¹	タイマオーバーフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)
4	ADTE	0	R/W	A/D トリガイネーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0 : コンペアマッチ A による A/D 変換開始要求を禁止 1 : コンペアマッチ A による A/D 変換開始要求を許可
3	OS3	0	R/W	アウトプットセレクト 3、2* ²
2	OS2	0	R/W	TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1	OS1	0	R/W	アウトプットセレクト 1、0* ²
0	OS0	0	R/W	TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 OS3~OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)* ¹	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] • CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISSEL ビットが 0 のとき

12. 8ビットタイマ (TMR)

ビット	ビット名	初期値	R/W	説明
6	CMFA	0	R/(W)* ¹	<p>コンペアマッチフラグ A</p> <p>[セット条件] TCNT の値と TCORA の値が一致したとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
5	OVF	0	R/(W)* ¹	<p>タイマオーバフローフラグ</p> <p>[セット条件] TCNT の値が H'FF から H'00 にオーバフローしたとき</p> <p>[クリア条件] OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>
4	—	1	R	<p>リザーブビット</p> <p>このビットはリードのみ有効で、ライトは無効です。</p>
3	OS3	0	R/W	<p>アウトプットセレクト 3、2*²</p> <p>TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。</p> <p>00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)</p>
2	OS2	0	R/W	
1	OS1	0	R/W	<p>アウトプットセレクト 1、0*²</p> <p>TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。</p> <p>00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)</p>
0	OS0	0	R/W	

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 OS3~OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

12.4 動作説明

12.4.1 パルス出力

任意のデューティパルスを出力させる例を図 12.3 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介入なしに出力できます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は0です。

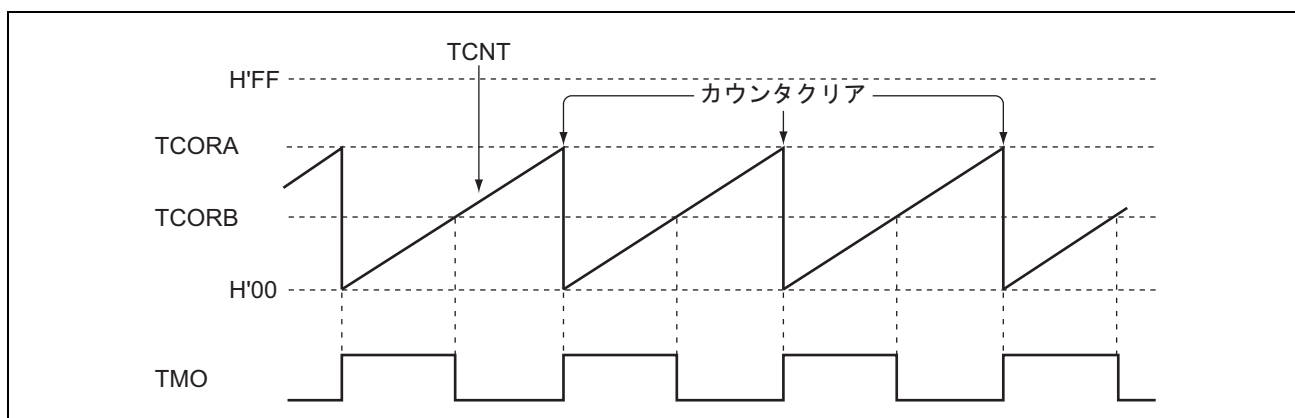


図 12.3 パルス出力例

12.4.2 リセット入力

TMRI 入力に対する任意の遅延時間のパルスを出力させる例を図 12.4 に示します。

1. TMRI入力のハイレベルでTCNTがクリアされるように、TCRのCCLR1、CCLR0ビットを1にセットし、TCCRのTMRISビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により TMRI 入力からの遅延が TCORA、パルス幅が (TCORB-TCORA) の波形を出力できます。

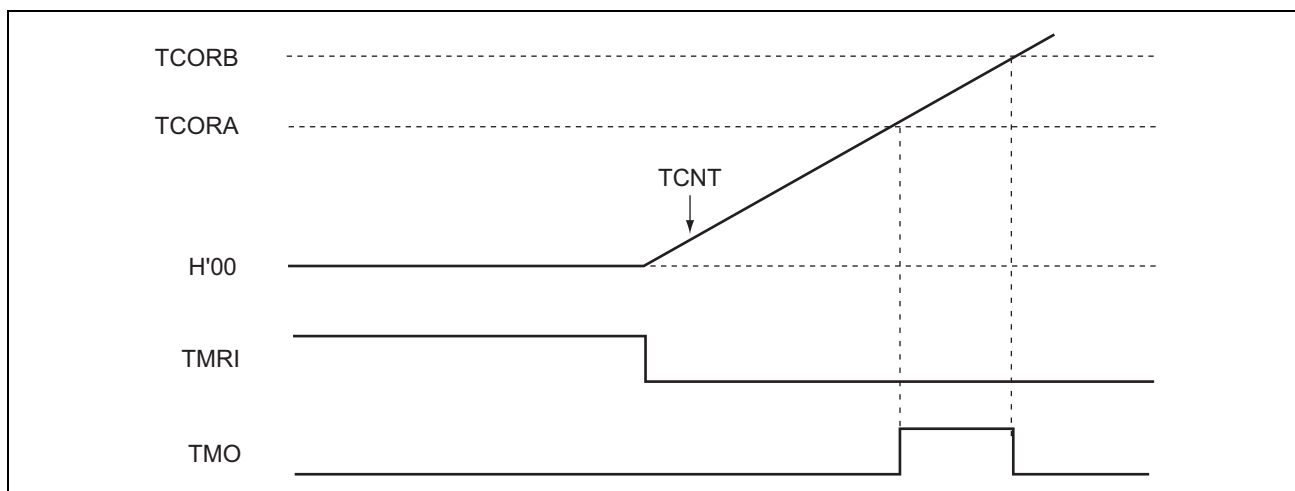


図 12.4 リセット入力例

12.5 動作タイミング

12.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 12.5 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 12.6 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

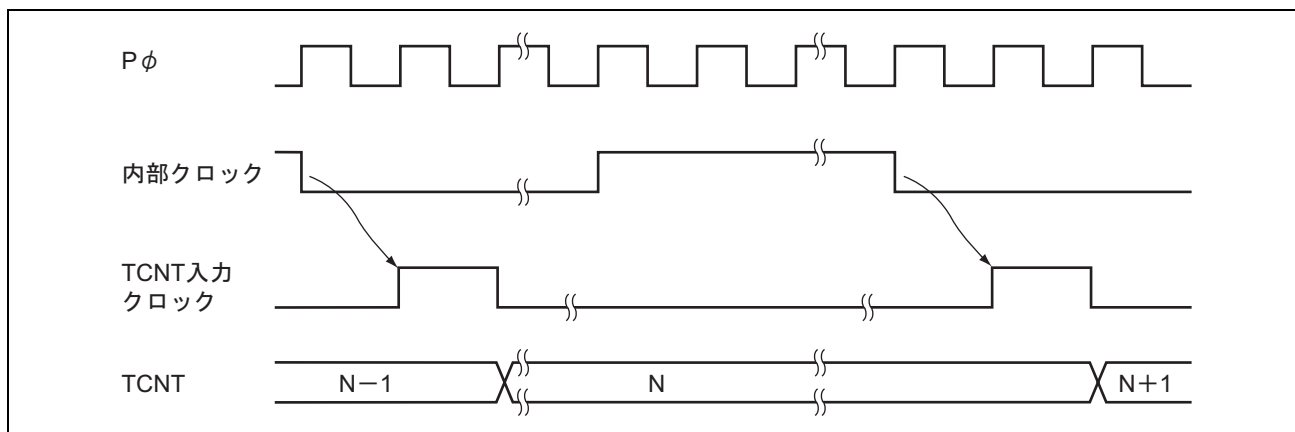


図 12.5 内部クロック立ち下がりエッジ動作時のカウントタイミング

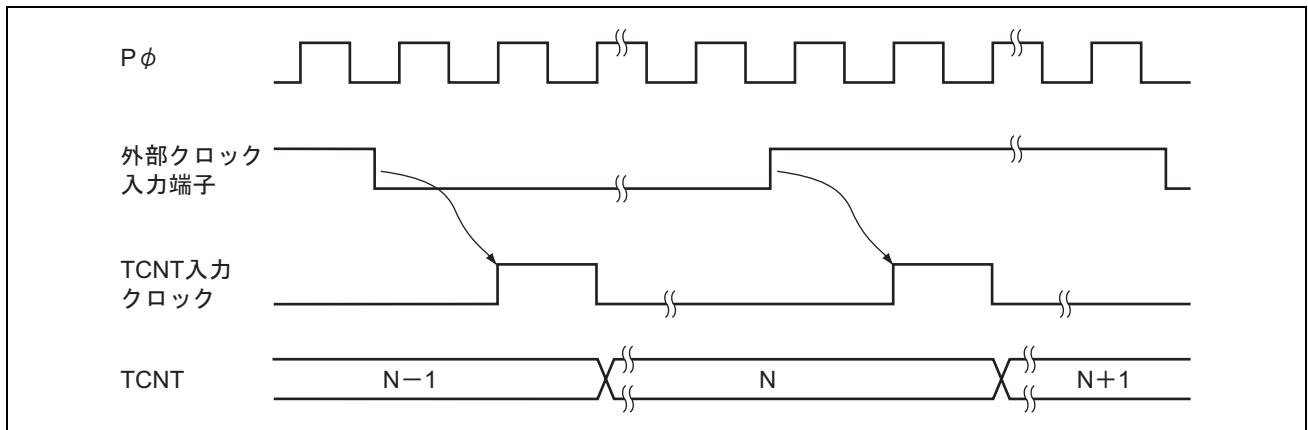


図 12.6 外部クロック立ち上がりエッジ、立ち下がり両エッジ動作時のカウントタイミング

12.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 12.7 に示します。

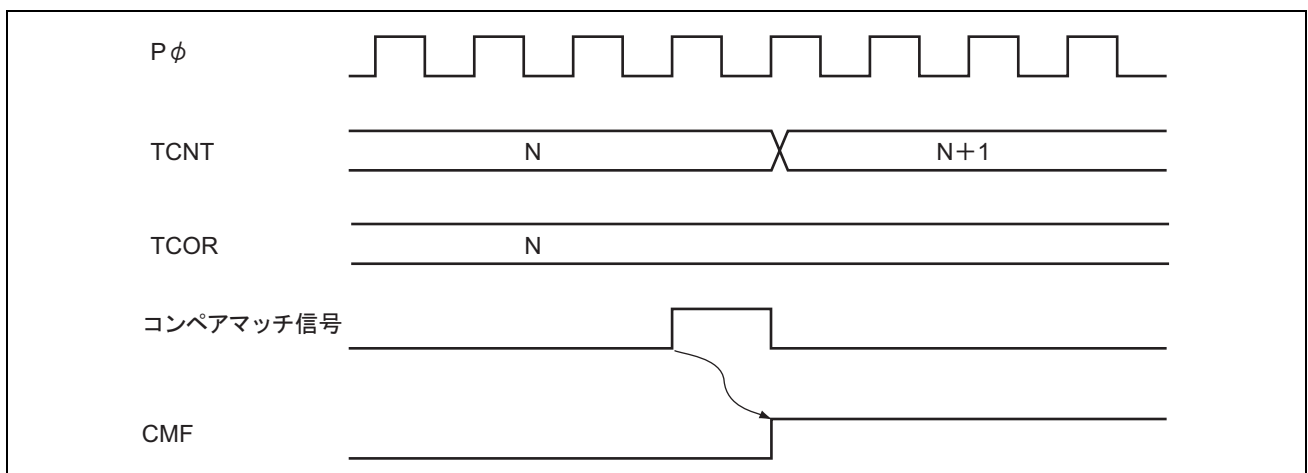


図 12.7 コンペアマッチ時の CMF フラグのセットタイミング

12.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3~OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 12.8 に示します。

12. 8ビットタイマ (TMR)

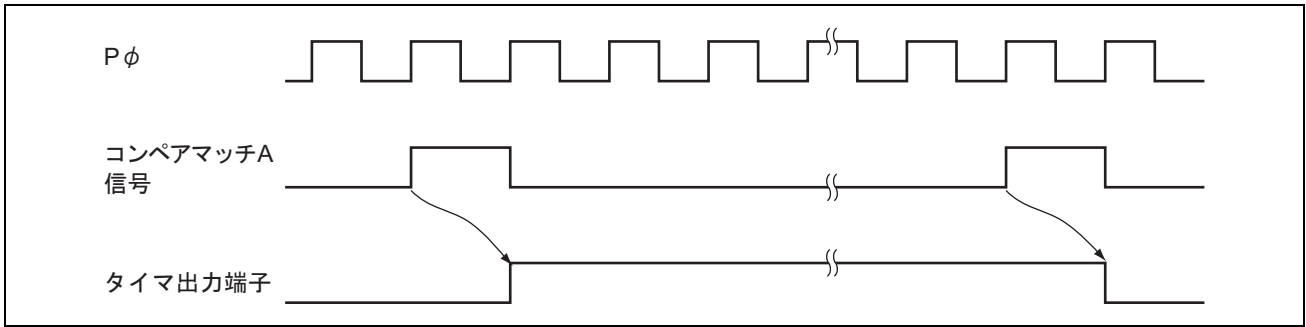


図 12.8 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

12.5.4 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 12.9 に示します。

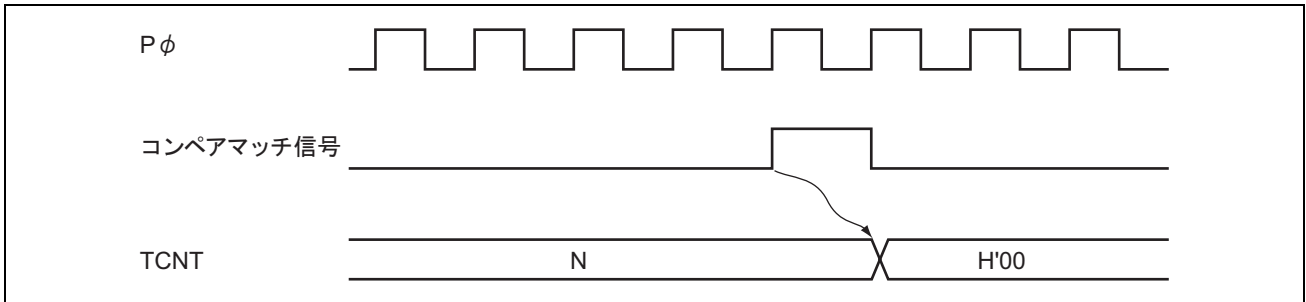


図 12.9 コンペアマッチによるカウンタクリアタイミング

12.5.5 TCNT の外部リセットタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択により外部リセット入力の立ち上がりエッジ、またはハイレベルでクリアされます。クリアまでのパルス幅は 2 ステート以上必要となります。外部リセット入力によるクリアタイミングを図 12.10、図 12.11 に示します。

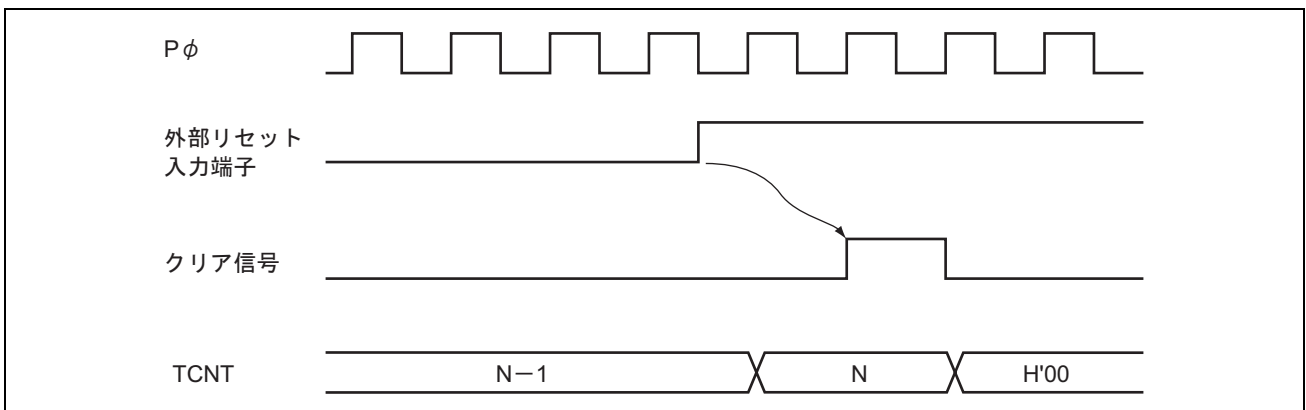


図 12.10 外部リセット入力によるクリアタイミング (立ち上がりエッジ)

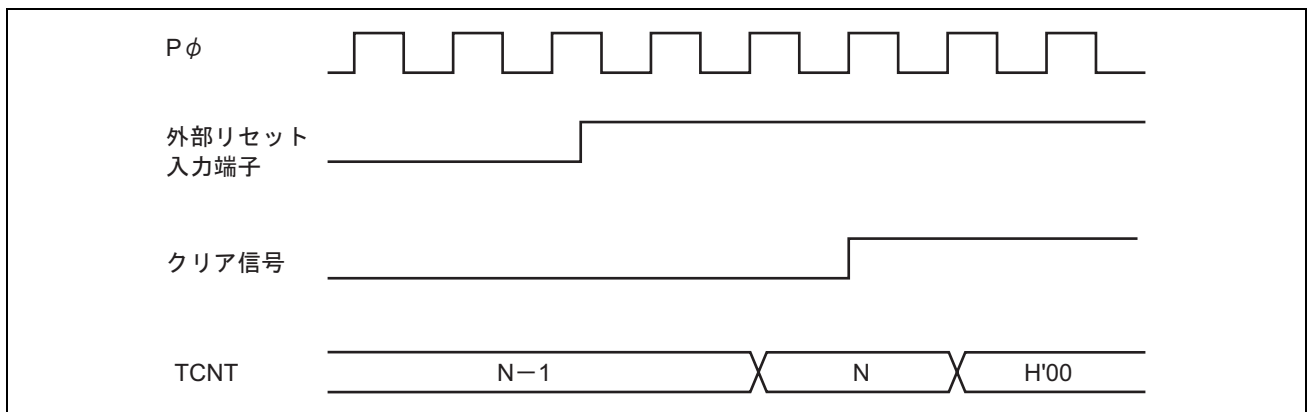


図 12.11 外部リセット入力によるクリアタイミング (ハイレベル)

12.5.6 オーバフローフラグ (OVF) のセットタイミング

TCSR の OVF は、TCNT がオーバフロー ($H'FF \rightarrow H'00$) したとき出力されるオーバフロー信号により 1 にセットされます。OVF フラグのセットタイミングを図 12.12 に示します。

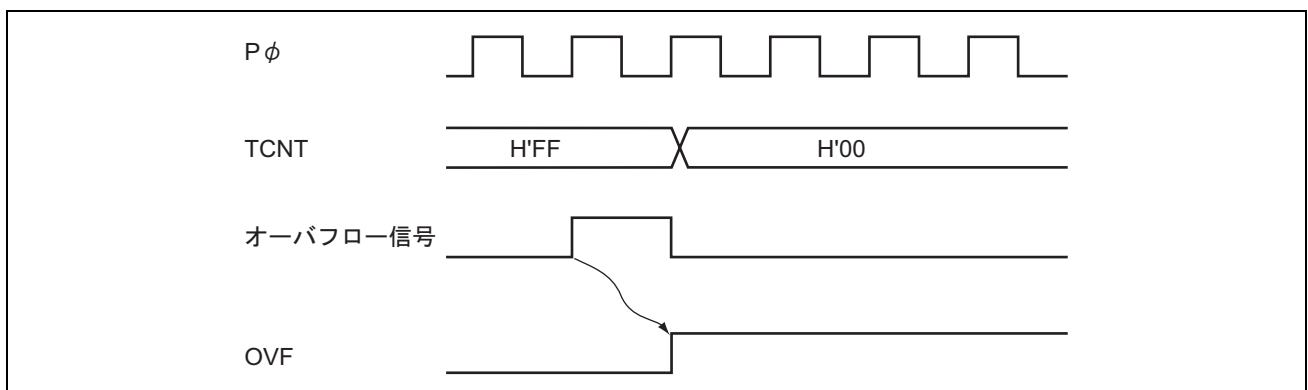


図 12.12 OVF フラグのセットタイミング

12.6 カスケード接続時の動作

TCR_0、TCR_1 のいずれか一方の CKS2～CKS0 ビットを B'100 に設定すると、2 チャンネルの 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する 16 ビットカウントモードか、またはチャンネル 0 の 8 ビットタイマのコンペアマッチをチャンネル 1 のタイマでカウントするコンペアマッチカウントモードにすることができます。

12.6.1 16 ビットカウントモード

TCR_0 の CKS2～CKS0 ビットが B'100 のとき、タイマはチャンネル 0 を上位 8 ビット、チャンネル 1 を下位 8 ビットとする 1 チャンネルの 16 ビットタイマとして動作します。

(1) コンペアマッチフラグのセット

- TCSR_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR_1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

(2) カウンタクリア指定

- TCR_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされます。また、TMR10端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされます。
- TCR_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

(3) 端子出力

- TCSR_0のOS3～OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR_1のOS3～OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

12.6.2 コンペアマッチカウントモード

TCR_1 の CKS2～CKS0 ビットが B'100 のとき、TCNT_1 はチャンネル 0 のコンペアマッチ A をカウントします。チャンネル 0、1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

12.7 割り込み要因

12.7.1 割り込み要因と DTC 起動

8ビットタイマ TMR_0、TMR_1 の割り込み要因は、CMIA、CMIB、OVI の3種類があります。表 12.3 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。また、CMIA、CMIB 割り込みにより DTC を起動することができます。

表 12.3 8ビットタイマ TMR_0、TMR_1 の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
CMIA0	TCORA_0 のコンペアマッチ	CMFA	可 (VNUM=2'b00)	高 ↑
CMIB0	TCORB_0 のコンペアマッチ	CMFB	可 (VNUM=2'b01)	
OVI0	TCNT_0 のオーバーフロー	OVF	不可	低
CMIA1	TCORA_1 のコンペアマッチ	CMFA	可 (VNUM=2'b10)	高 ↑
CMIB1	TCORB_1 のコンペアマッチ	CMFB	可 (VNUM=2'b11)	
OVI1	TCNT_1 のオーバーフロー	OVF	不可	低

【注】 * VNUM は内部信号です。

12.7.2 A/D 変換器の起動

TMR_0 のコンペアマッチ A のみ、A/D 変換器を起動することができます。

TMR_0 のコンペアマッチ A の発生により、TCSR_0 の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。この時 A/D 変換器側で、8ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

12.8 使用上の注意

12.8.1 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNTはTCORの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、カウンタの周波数は次の式になります（ f : カウンタ周波数、 $P\phi$: 動作周波数、 N : TCORの設定値）。

$$f = P\phi / (N + 1)$$

12.8.2 TCNTのライトとカウンタクリアの競合

図12.13のようにTCNTのライトサイクル中の T_2 ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

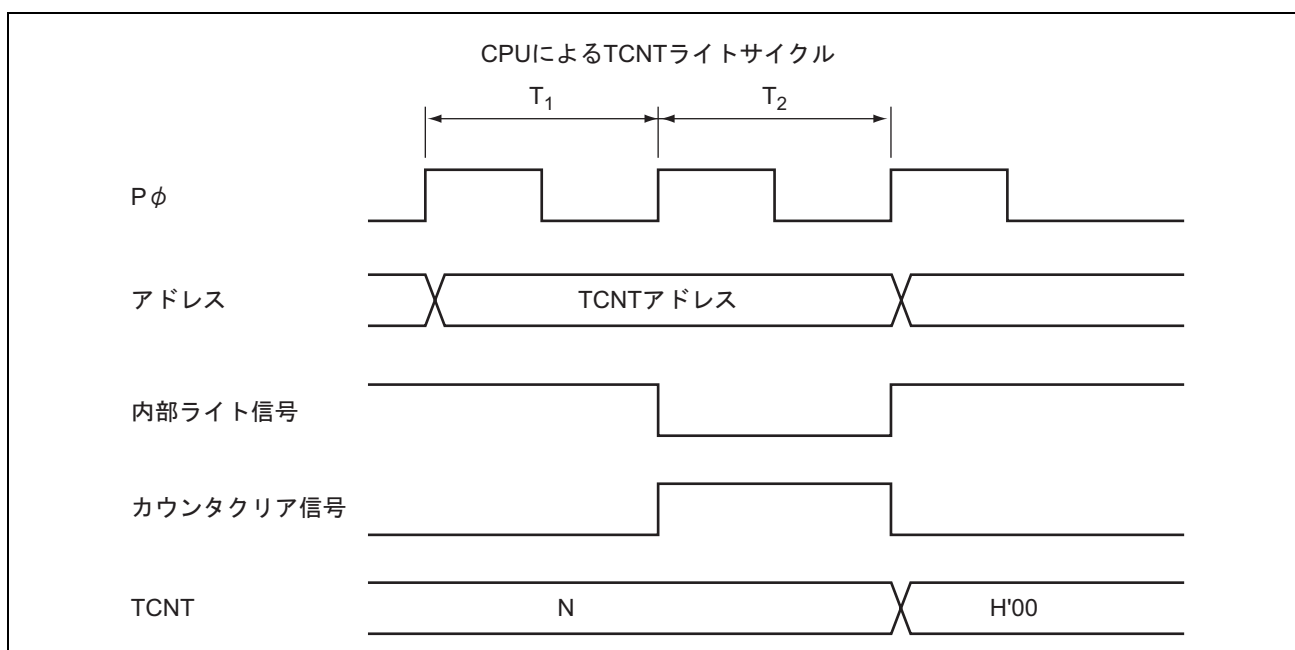


図 12.13 TCNTのライトとクリアの競合

12.8.3 TCNTのライトとカウントアップの競合

図 12.14 のように TCNT のライトサイクル中の T₂ ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

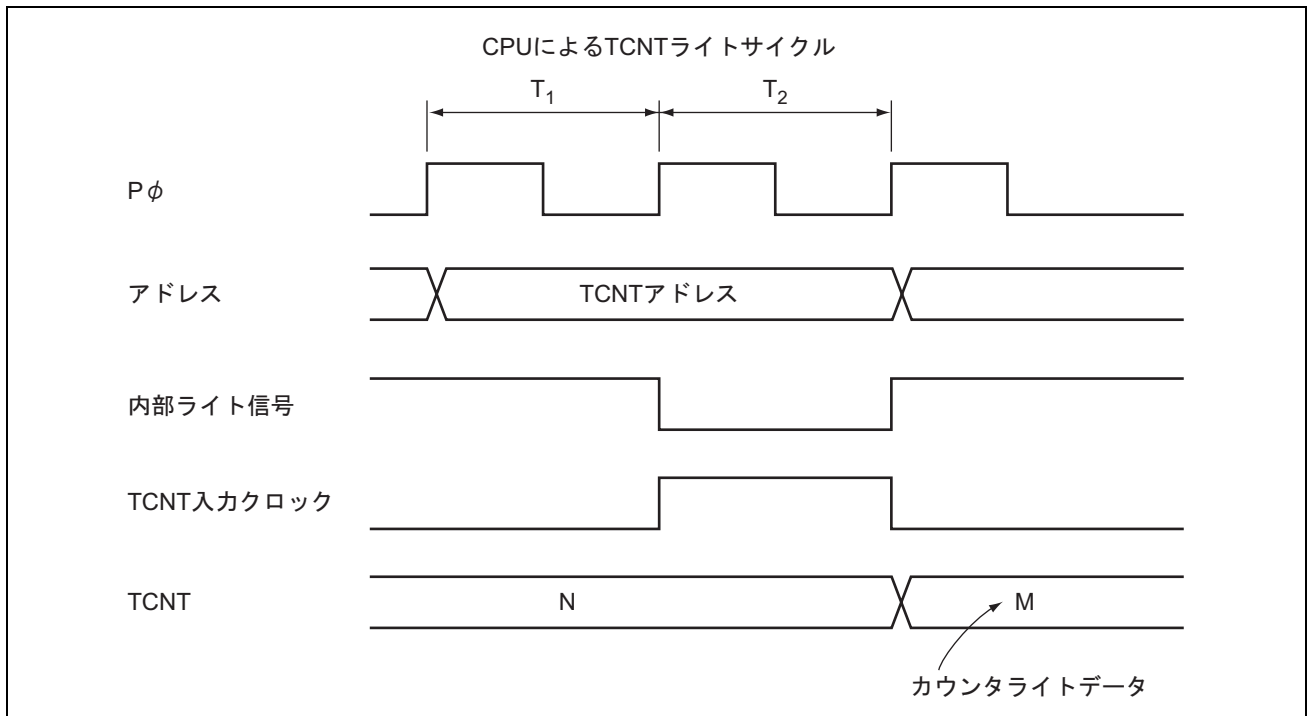


図 12.14 TCNT のライトとカウントアップの競合

12.8.4 TCORのライトとコンペアマッチの競合

図 12.15 のように TCOR のライトサイクル中の T₂ ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。

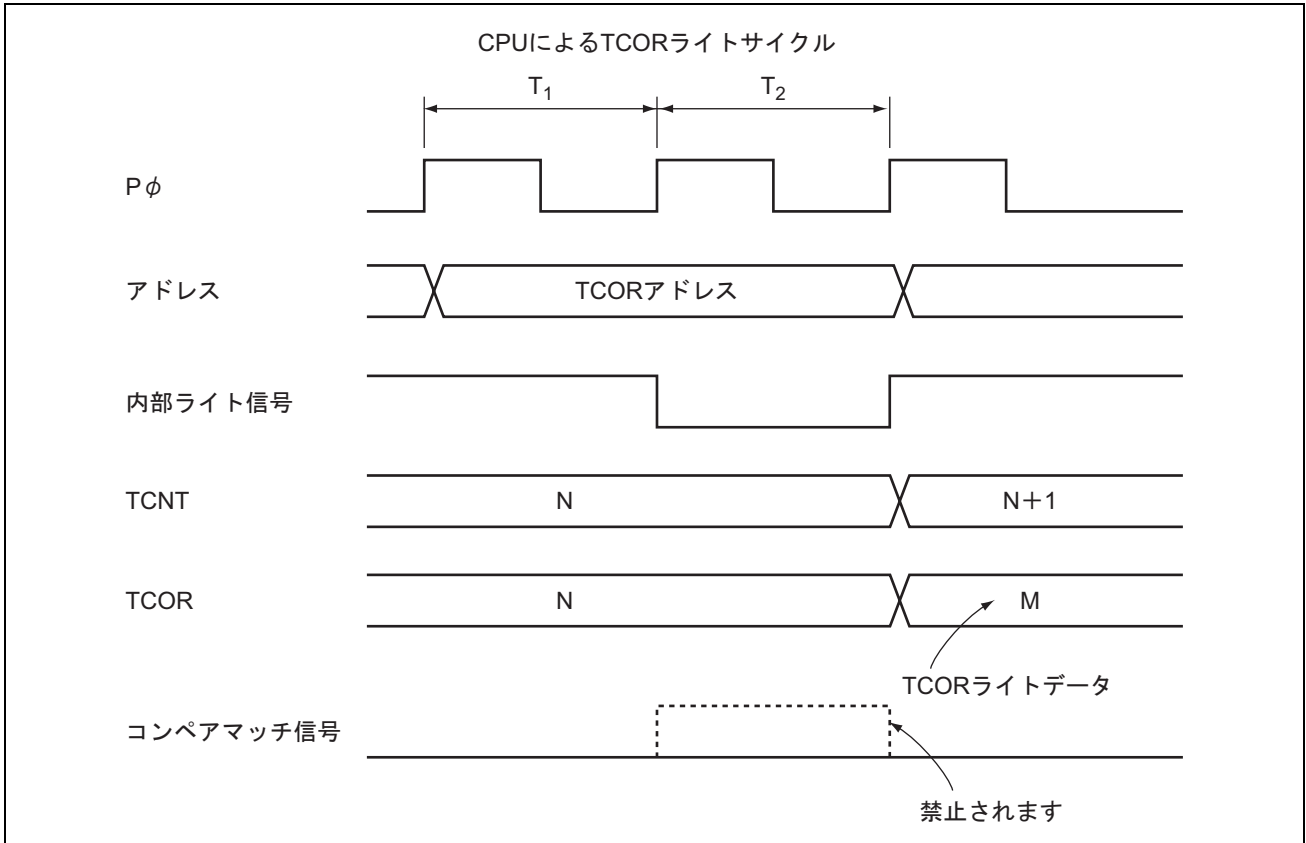


図 12.15 TCOR のライトとコンペアマッチの競合

12.8.5 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 12.4 に示すタイマ出力の優先順位にしたがって動作します。

表 12.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高
1 出力	↑
0 出力	↓
変化しない	低

12.8.6 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 12.5 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち上がりエッジ、または立ち下がりエッジで検出しています。そのため、例えば立ち下がりエッジを選択している場合表 12.5 の No.3 のように、High→Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。立ち上がりエッジを選択している場合も同様です。

また、内部クロックの立ち上がりエッジと立ち下がりエッジを切り替えるとき、および、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 12.5 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入力クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low→High レベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入力クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

12. 8ビットタイマ (TMR)

No	CKS1、CKS0ビット 書き換えタイミング	TCNTクロックの動作
3	High→Low レベル ^{*3} の切り替え	
4	High→High レベル の切り替え	

- 【注】 *1 Low レベル→停止、および停止→Low レベルの場合を含みます。
 *2 停止→High レベルの場合を含みます。
 *3 High レベル→停止の場合を含みます。
 *4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNTはカウントアップされてしまいます。

12.8.7 カスケード接続時のモード設定

16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT_0、TCNT_1の入力クロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

12.8.8 モジュールストップの設定

モジュールストップコントロールレジスタにより、TMRの動作禁止/許可を設定することが可能です。初期値では、TMRの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「19. 低消費電力」を参照してください。

12.8.9 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップすると、CPUの割り込み要因、またはDTCの起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップモードとしてください。

13. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 8 ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI 内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みが発生します。WDT のブロック図を図 13.1 に示します。

13.1 特長

- 8種類のカウンタ入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力、このとき同時に本LSI内部をリセットするかしないかを選択可能

インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

13. ウォッチドッグタイマ (WDT)

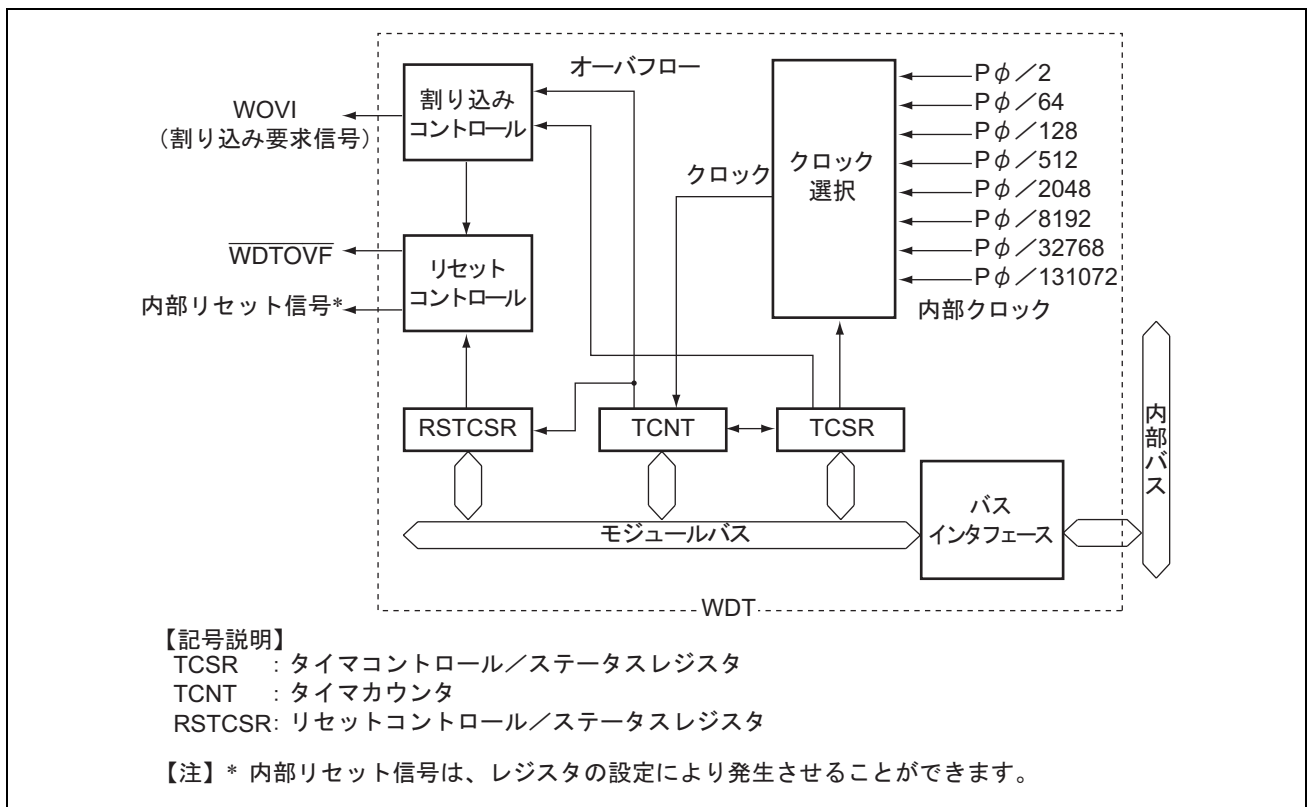


図 13.1 WDT のブロック図

13.2 入出力端子

WDT の端子構成を表 13.1 に示します。

表 13.1 端子構成

名称	記号	入出力	機能
ウォッチドッグタイマオーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

13.3 レジスタの説明

WDT には、以下のレジスタがあります。TCNT、TCSR、RSTCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「13.6.1 レジスタアクセス時の注意」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)
- リセットコントロール/ステータスレジスタ (RSTCSR)

13.3.1 タイマカウンタ (TCNT)

TCNTは、リード/ライト可能な8ビットのアップカウンタです。TCNTは、タイマコントロール/ステータスレジスタ (TCSR) のTMEビットが0のとき、H'00に初期化されます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.3.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSRは、TCNTに入力するクロック、モードの選択などを行います。

ビット	7	6	5	4	3	2	1	0
ビット名	OVF	WT/ \overline{IT}	TME	—	—	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバーフローフラグ</p> <p>インターバルタイマモードでTCNTがオーバーフローしたことを示します。フラグをクリアするための0クリアのみ可能です。</p> <p>[セット条件]</p> <p>インターバルタイマモードでTCNTがオーバーフロー(H'FF→H'00)したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <p>OVF=1の状態、TCSRをリード後、OVFに0をライトしたとき (割り込みを使用し、CPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)</p>
6	WT/ \overline{IT}	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0: インターバルタイマモード TCNTがオーバーフローしたとき、インターバルタイマ割り込み(WOVI)を要求します。</p> <p>1: ウォッチドッグタイマモード TCNTがオーバーフローしたとき、外部へ\overline{WDTOVF}を出力します。</p>

13. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
5	TME	0	R/W	タイマイネーブル このビットを1にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。
4	—	1	R	リザーブビット
3	—	1	R	これらのビットはリードのみ有効で、ライトは無効です。
2	CKS2	0	R/W	クロックセレクト 2~0 TCNT に入力するクロックを選択します。() 内は PΦ=20MHz のときのオーバフロー周期を表します。 000 : クロック PΦ/2 (周期 25.6μs) 001 : クロック PΦ/64 (周期 819.2μs) 010 : クロック PΦ/128 (周期 1.6ms) 011 : クロック PΦ/512 (周期 6.6ms) 100 : クロック PΦ/2048 (周期 26.2ms) 101 : クロック PΦ/8192 (周期 104.9ms) 110 : クロック PΦ/32768 (周期 419.4ms) 111 : クロック PΦ/131072 (周期 1.68s)
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 * フラグをクリアするための0ライトのみ可能です。

13.3.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、TCNT のオーバフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 $\overline{\text{RES}}$ 端子からのリセット信号で H'1F に初期化されます。WDT のオーバフローによる内部リセット信号では初期化されません。

ビット	7	6	5	4	3	2	1	0
ビット名	WOVF	RSTE	—	—	—	—	—	—
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/(W)*	R/W	R/W	R	R	R	R	R

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバフローフラグ ウォッチドッグタイマモードで、TCNT がオーバフローするとセットされます。インターバルタイマモードではセットされません。0ライトのみ可能です。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバフロー(H'FF→H'00)したとき [クリア条件] 1の状態をリードした後、0をライトしたとき (割り込みを使用し、CPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)

ビット	ビット名	初期値	R/W	説明
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバフローにより LSI 内部をリセットするかどうかを選択します。 0 : TCNT がオーバフローしても、内部はリセットされません。 (本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。) 1 : TCNT がオーバフローすると内部がリセットされます。
5	—	0	R/W	リザーブビット リード/ライト可能ですが、動作に影響を与えません。
4~0	—	1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

13.4 動作説明

13.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときには、TCSR の $\overline{WT/IT}$ ビット=1 に、TME ビット=1 に設定してください。

ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバフローすると、 \overline{WDTOVF} 信号が出力されます。システムが正常に動作している間は、TCNT のオーバフローは発生しません。TCNT がオーバフローする前に必ず TCNT の値を書き換えて（通常は H'00 をライトする）、オーバフローを発生させないようにプログラムしてください。さらに、ウォッチドッグタイマモード時には、 \overline{WDTOVF} 信号を用いて LSI 内部をリセットすることができます。

RSTCSR の RSTE ビットを 1 にセットしておくこと、TCNT がオーバフローしたときに、 \overline{WDTOVF} 信号と同時に、本 LSI の内部をリセットする信号が発生します。 \overline{RES} 端子からの入力信号によるリセットと WDT のオーバフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

\overline{WDTOVF} 信号は、RSTCSR の RSTE ビット=1 のとき P ϕ で 133 ステート、RSTE ビット=0 のとき P ϕ で 130 ステートの間出力されます。内部リセット信号は、P ϕ で 519 ステートの間出力されます。

RSTE ビット=1 のときは内部をリセットする信号が発生し、システムクロックコントロールレジスタ (SCKCR) がリセットされるため、P ϕ の入力クロックに対する倍率は初期値になります。

RSTE ビット=0 のときは内部をリセットする信号が発生せず、SCKCR の設定が保持されるため、P ϕ の入力クロックに対する倍率は変化しません。

ウォッチドッグタイマモードで TCNT がオーバフローすると、RSTCSR の WOVF ビットが 1 にセットされます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバフローしたとき、本 LSI 全体に対して内部リセット信号が発生します。

13. ウォッチドッグタイマ (WDT)

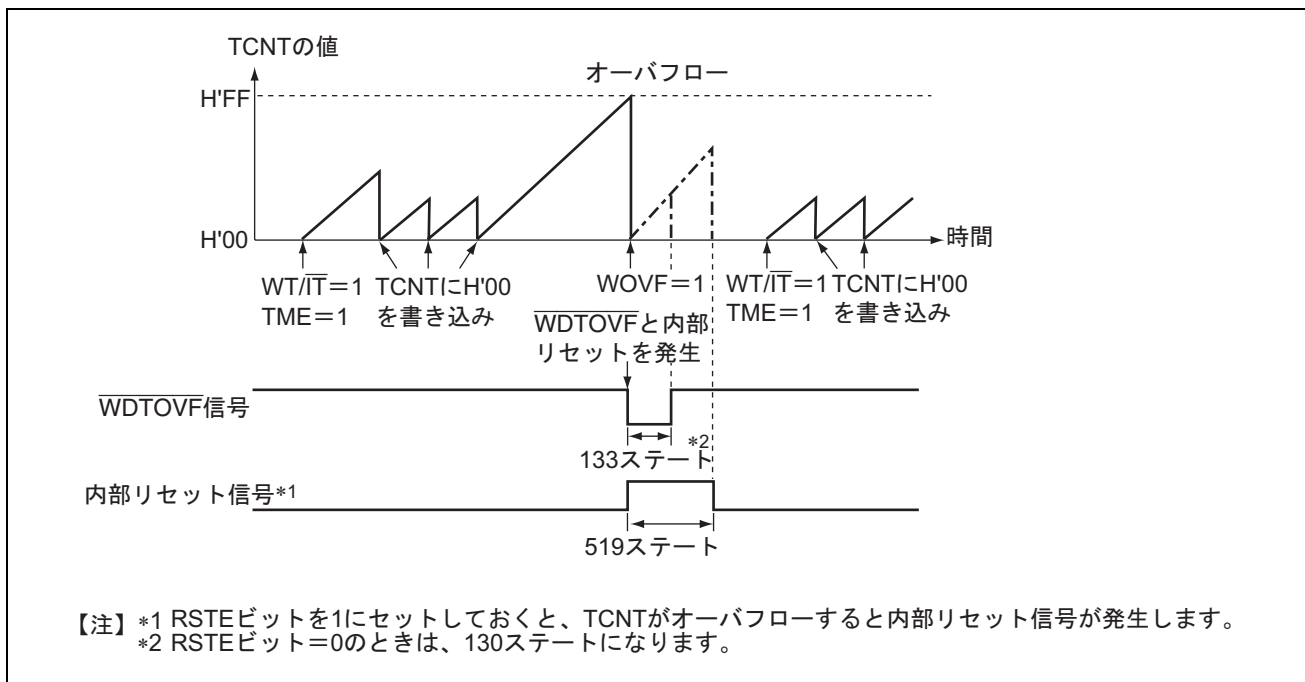


図 13.2 ウォッチドッグタイマモード時の動作

13.4.2 インターバルタイマモード

インターバルタイマとして使用するときには、TCSRのWT/ITビット=0に、TMEビット=1に設定してください。

インターバルタイマとして動作しているときは、TCNTがオーバーフローするごとにインターバルタイマ割り込み(WOVI)が発生します。したがって、一定時間ごとに割り込みを発生させることができます。

インターバルタイマモードでTCNTがオーバーフローすると、TCSRのOVFビットが1にセットされ、同時にインターバルタイマ割り込み(WOVI)が要求されます。

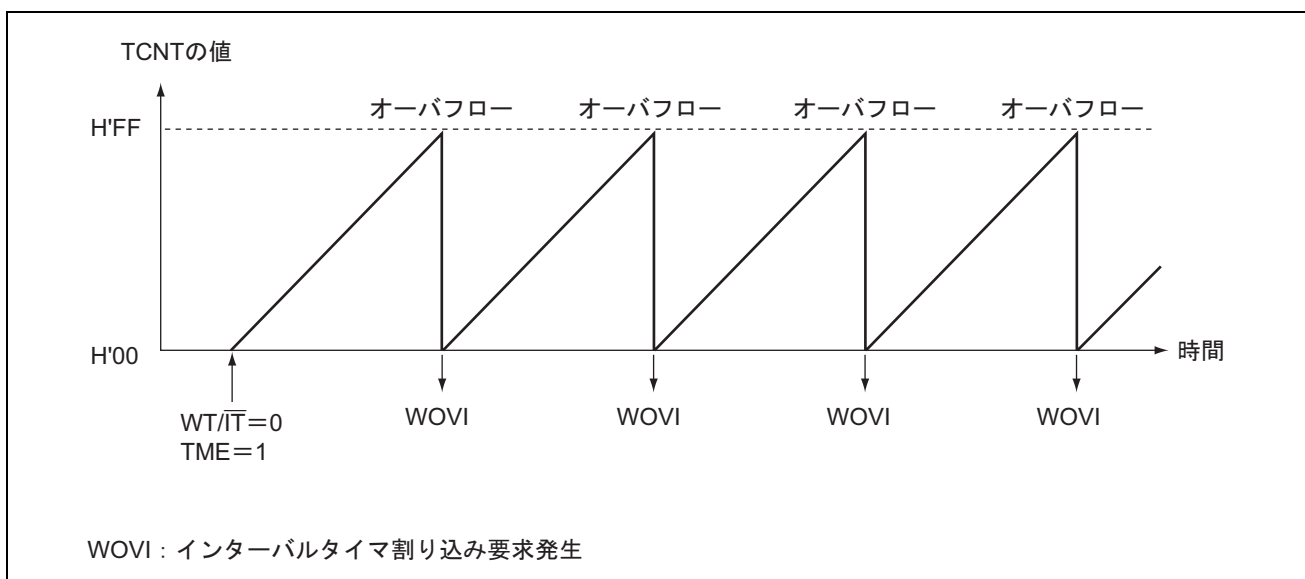


図 13.3 インターバルタイマモード時の動作

13.5 割り込み要因

インターバルタイマモード時、オーバフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

表 13.2 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
WOVI	TCNT のオーバフロー	OVF	不可

13.6 使用上の注意事項

13.6.1 レジスタアクセス時の注意

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR、RSTCSR へのライト

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、**図 13.4** に示すようにしてデータを転送してください。転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

RSTCSR へライトするときは、アドレス (H'FFA6) に対してワード転送を行ってください。バイト転送命令では、ライトできません。

WOVF ビットへ 0 をライトする場合と、RSTE ビットにライトする場合は、ライトの方法が異なります。このため、**図 13.4** に示すようにしてデータを転送してください。

転送すると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。RSTE ビットにライトするときは、**図 13.4** に示すようにしてデータを転送してください。転送すると、下位バイトのビット 6 の値が RSTE ビットにライトされます。このとき、WOVF ビットは影響を受けません。

13. ウォッチドッグタイマ (WDT)

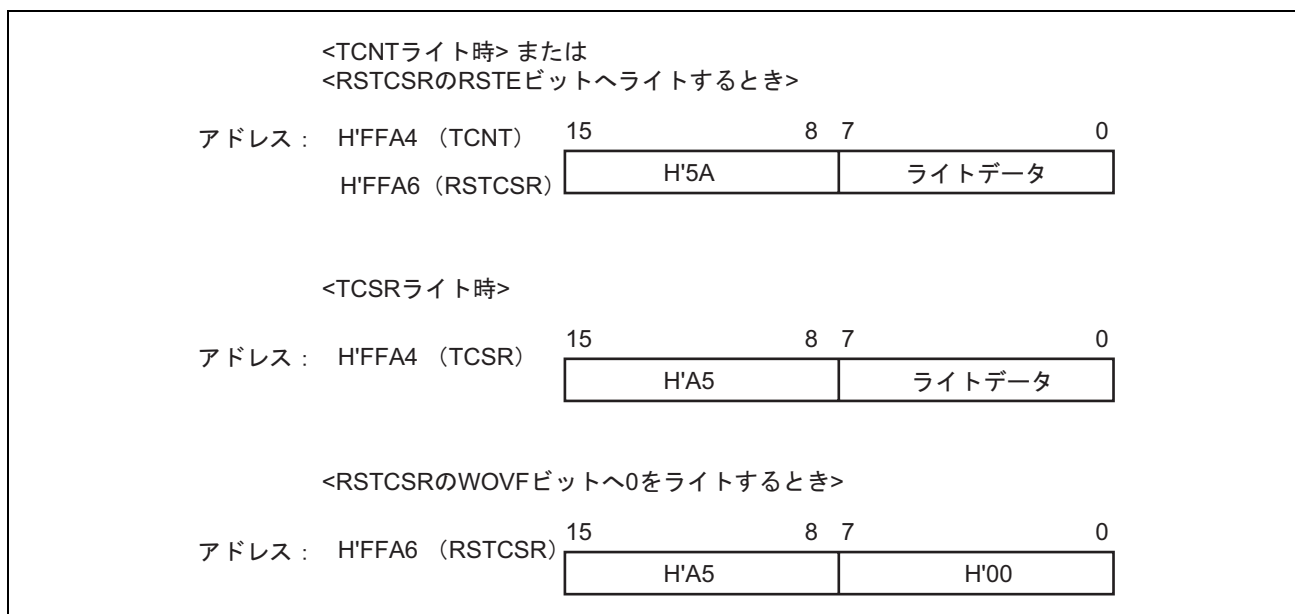


図 13.4 TCNT、TCSR、RSTCSR へのライト

(2) TCNT、TCSR、RSTCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス (H'FFA4) に、TCNT はアドレス (H'FFA5) に、RSTCSR はアドレス (H'FFA7) にそれぞれ割り当てられています。

13.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 13.5 に示します。

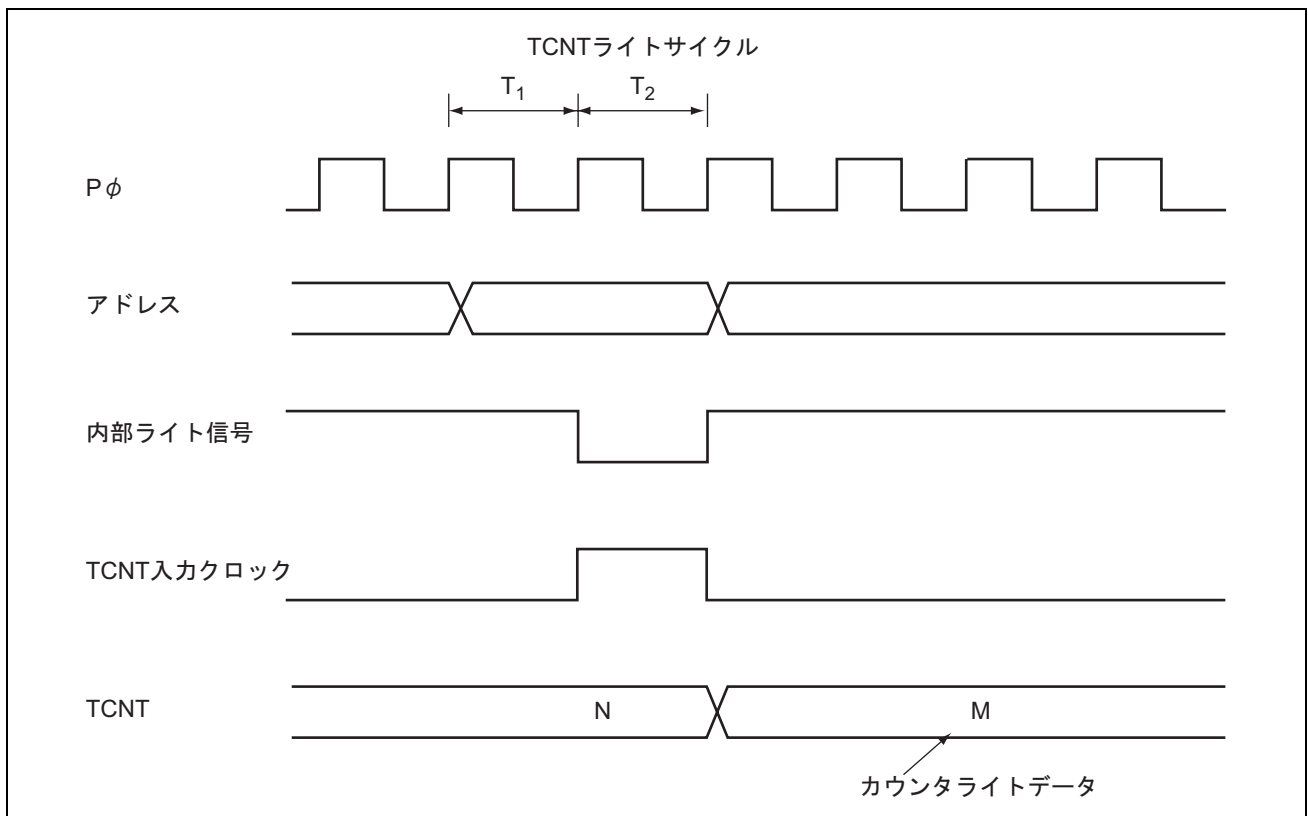


図 13.5 TCNT のライトとカウントアップの競合

13.6.3 CKS2~CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2~CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。CKS2~CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

13.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

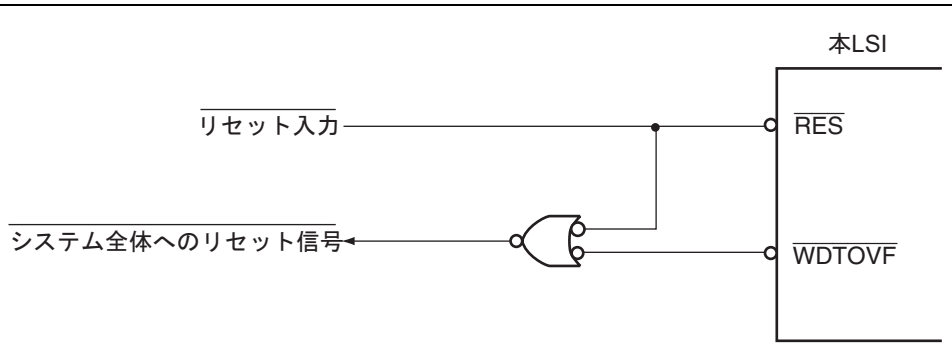
WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われな場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

13.6.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバーフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

$\overline{\text{WDTOVF}}$ 信号が Low レベルを出力している期間は、TCNT、TCSR、RSTCSR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、 $\overline{\text{WDTOVF}}$ 信号が High レベルになってから、TCSR をリードした後、WOVF フラグに 0 をライトしてください。

13.6.6 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 信号を $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{WDTOVF}}$ 信号は、 $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、 13.6 の示すような回路で行ってください。

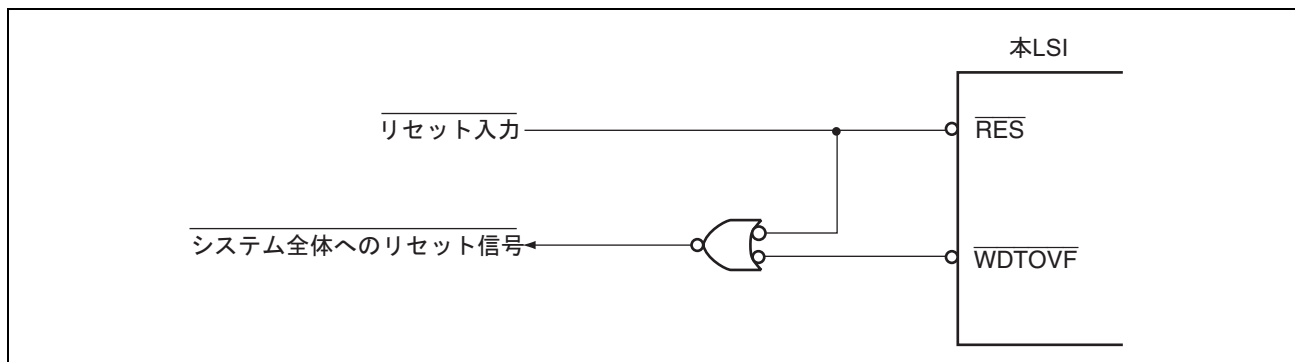


図 13.6 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット回路例

13.6.7 ウォッチドッグタイマモードとソフトウェアスタンバイモードへの遷移

ウォッチドッグタイマモードとして動作しているときは、SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行してもソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。

ソフトウェアスタンバイモードに遷移させる場合は、WDT を停止させてから (TME ビットを 0 にクリア) SLEEP 命令を実行してください。

インターバルタイマモードとして動作している場合は、SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行するとソフトウェアスタンバイモードに遷移します。

14. シリアルコミュニケーションインタフェース (SCI)

本 LSI は独立した 5 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースをサポートしています。SCI のブロック図を図 14.1 に示します。

14.1 特長

- シリアルデータ通信モードを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
送受信クロックソースとして外部クロックの選択も可能 (スマートカードインタフェースを除く)
- LSBファースト/MSBファースト選択可能 (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類
送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDTCまたはDMACを起動することができます。
- モジュールストップモードの設定可能

調歩同期式モード

- データ長 : 7ビット/8ビット選択可能
- ストップビット長 : 1ビット/2ビット選択可能
- パリティ : 偶数パリティ/奇数パリティ/パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバーランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時RxD端子のレベルを直接リードすることでブレークを検出可能

14. シリアルコミュニケーションインタフェース (SCI)

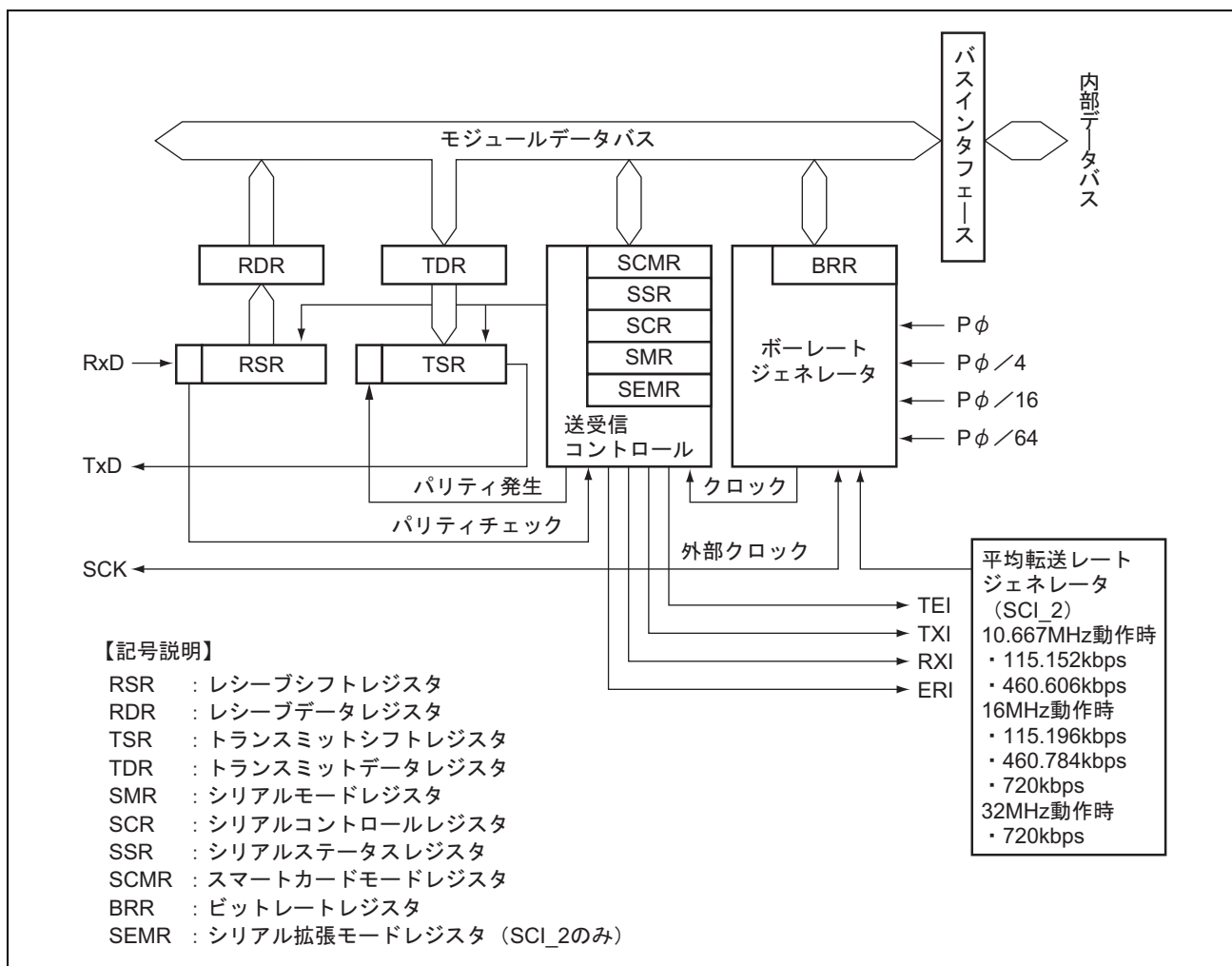
- 平均転送レートジェネレータ (SCI_2のみ)
 - 10.667MHz動作時：115.152kbps/460.606kbps選択可能
 - 16MHz動作時：115.196kbps/460.784kbps/720kbps選択可能
 - 32MHz動作時：720kbps

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション/インバースコンベンションの両方をサポート



14.2 入出力端子

SCI には、表 14.1 の入出力端子があります。

表 14.1 端子構成

チャンネル	端子名*	入出力	機能
0	SCK0	入出力	チャンネル 0 のクロック入出力端子
	RxD0	入力	チャンネル 0 の受信データ入力端子
	TxD0	出力	チャンネル 0 の送信データ出力端子
1	SCK1	入出力	チャンネル 1 のクロック入出力端子
	RxD1	入力	チャンネル 1 の受信データ入力端子
	TxD1	出力	チャンネル 1 の送信データ出力端子
2	SCK2	入出力	チャンネル 2 のクロック入出力端子
	RxD2	入力	チャンネル 2 の受信データ入力端子
	TxD2	出力	チャンネル 2 の送信データ出力端子
3	SCK3	入出力	チャンネル 3 のクロック入出力端子
	RxD3	入力	チャンネル 3 の受信データ入力端子
	TxD3	出力	チャンネル 3 の送信データ出力端子
4	SCK4	入出力	チャンネル 4 のクロック入出力端子
	RxD4	入力	チャンネル 4 の受信データ入力端子
	TxD4	出力	チャンネル 4 の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

14.3 レジスタの説明

SCI には以下のレジスタがあります。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

チャンネル 0

- レシーブシフトレジスタ_0 (RSR_0)
- トランスミットシフトレジスタ_0 (TSR_0)
- レシーブデータレジスタ_0 (RDR_0)
- トランスミットデータレジスタ_0 (TDR_0)
- シリアルモードレジスタ_0 (SMR_0)
- シリアルコントロールレジスタ_0 (SCR_0)
- シリアルステータスレジスタ_0 (SSR_0)
- スマートカードモードレジスタ_0 (SCMR_0)
- ビットレートレジスタ_0 (BRR_0)

14. シリアルコミュニケーションインタフェース (SCI)

チャンネル1

- レシーブシフトレジスタ_1 (RSR_1)
- トランスミットシフトレジスタ_1 (TSR_1)
- レシーブデータレジスタ_1 (RDR_1)
- トランスミットデータレジスタ_1 (TDR_1)
- シリアルモードレジスタ_1 (SMR_1)
- シリアルコントロールレジスタ_1 (SCR_1)
- シリアルステータスレジスタ_1 (SSR_1)
- スマートカードモードレジスタ_1 (SCMR_1)
- ビットレートレジスタ_1 (BRR_1)

チャンネル2

- レシーブシフトレジスタ_2 (RSR_2)
- トランスミットシフトレジスタ_2 (TSR_2)
- レシーブデータレジスタ_2 (RDR_2)
- トランスミットデータレジスタ_2 (TDR_2)
- シリアルモードレジスタ_2 (SMR_2)
- シリアルコントロールレジスタ_2 (SCR_2)
- シリアルステータスレジスタ_2 (SSR_2)
- スマートカードモードレジスタ_2 (SCMR_2)
- ビットレートレジスタ_2 (BRR_2)
- シリアル拡張モードレジスタ_2 (SEMR_2) (SCI_2のみ)

チャンネル3

- レシーブシフトレジスタ_3 (RSR_3)
- トランスミットシフトレジスタ_3 (TSR_3)
- レシーブデータレジスタ_3 (RDR_3)
- トランスミットデータレジスタ_3 (TDR_3)
- シリアルモードレジスタ_3 (SMR_3)
- シリアルコントロールレジスタ_3 (SCR_3)
- シリアルステータスレジスタ_3 (SSR_3)
- スマートカードモードレジスタ_3 (SCMR_3)
- ビットレートレジスタ_3 (BRR_3)

チャンネル4

- レシーブシフトレジスタ_4 (RSR_4)
- トランスミットシフトレジスタ_4 (TSR_4)
- レシーブデータレジスタ_4 (RDR_4)
- トランスミットデータレジスタ_4 (TDR_4)
- シリアルモードレジスタ_4 (SMR_4)
- シリアルコントロールレジスタ_4 (SCR_4)
- シリアルステータスレジスタ_4 (SSR_4)
- スマートカードモードレジスタ_4 (SCMR_4)
- ビットレートレジスタ_4 (BRR_4)

14.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

14.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

14.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR に次の送信データがライトされていれば TSR へ転送して送信を続けます。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

14.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

・ SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ SCMRのSMIF=1のとき

ビット	7	6	5	4	3	2	1	0
ビット名	GM	BLK	PE	O/ \bar{E}	BCP1	BCP0	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14. シリアルコミュニケーションインタフェース (SCI)

通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF=0 のとき)

ビット	ビット名	初期値	R/W	説明
7	C \bar{A}	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O \bar{E}	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ機能がイネーブルになります。 マルチプロセッサモードでは PE、O \bar{E} ビットの設定は無効です。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 内蔵ポーレートジェネレータのクロックソースを選択します。 00: P ϕ クロック (n=0) 01: P ϕ /4 クロック (n=1) 10: P ϕ /16 クロック (n=2) 11: P ϕ /64 クロック (n=3) このビットの設定値とポーレートの関係については、「14.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「14.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。

14. シリアルコミュニケーションインタフェース (SCI)

スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W	GSM モード このビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「14.7.6 データ送信(ブロック転送モードを除く)」、「14.7.8 クロック出力制御」を参照してください。
6	BLK	0	R/W	このビットを 1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「14.7.3 ブロック転送モード」を参照してください。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは 1 にセットして使用してください。
4	O/E	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「14.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3	BCP1	0	R/W	基本クロックパルス 1、0 スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を選択します。 00 : 32 クロック (S=32) 01 : 64 クロック (S=64) 10 : 372 クロック (S=372) 11 : 256 クロック (S=256) 詳細は、「14.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。S は「14.3.9 ビットレートレジスタ (BRR)」中の S の値を表します。
2	BCP0	0	R/W	
1	CKS1	0	R/W	クロックセレクト 1、0 内蔵ボーレートジェネレータのクロックソースを選択します。 00 : Pφクロック (n=0) 01 : Pφ/4 クロック (n=1) 10 : Pφ/16 クロック (n=2) 11 : Pφ/64 クロック (n=3) このビットの設定値とボーレートの関係については、「14.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「14.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。
0	CKS0	0	R/W	

【注】 etu : Elementary Time Unit、1 ビットの転送期間

14.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「14.8 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

・ SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ SCMRのSMIF=1のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF=0 のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、TDRE フラグから1をリードした後、0にクリアするか、TIE ビットを0にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから1をリードした後、0にクリアするか、RIE ビットを0にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを0にクリアするとシリアル送信を開始します。なお、TE ビットを1にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを0にして、送信動作を停止すると、SSR の TDRE フラグは1に固定されます。

14. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>このビットを1にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを1にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。</p> <p>このビットを0にして受信動作を停止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP=1 のとき有効)</p> <p>このビットを1にセットすると、マルチプロセッサビットが0の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが1のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「14.5 マルチプロセッサ通信機能」を参照してください。</p> <p>SSR の MPB=0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB を1にセットし、MPIE ビットを自動的に0にクリアし、RXI、ERI 割り込み要求 (SCR の TIE、RIE ビットが1にセットされている場合) と FER、ORER フラグのセットが許可されます。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>このビットを1にセットすると TEI 割り込み要求がイネーブルになります。TEI 割り込み要求の解除は、TDRE フラグから1をリードした後、0にクリアして TEND フラグを0にクリアするか、TEIE ビットを0にクリアすることで行うことができます。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <ul style="list-style-type: none"> 00 : 内蔵ポーレートジェネレータ (SCK 端子は入出力ポートとして使用できます) 01 : 内蔵ポーレートジェネレータ (SCK 端子からビットレートと同じ周波数のクロックを出力します) 1X : 外部クロック (SCK 端子からビットレートの16倍の周波数のクロックを入力してください。) <p>クロック同期式の場合</p> <ul style="list-style-type: none"> 0X : 内部クロック (SCK 端子はクロック出力端子となります。) 1X : 外部クロック (SCK 端子はクロック入力端子となります。)

【注】 X : Don't care

14. シリアルコミュニケーションインタフェース (SCI)

スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にして、送信動作を停止すると、SSR の TDRE フラグは 1 に固定されます。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。 このビットを 0 にして受信動作を停止しても、RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP=1 のとき有効) スマートカードインタフェースではこのビットには 0 をライトして使用してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル スマートカードインタフェースではこのビットには 0 をライトして使用してください。

14. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル 1、0
0	CKE0	0	R/W	SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「14.7.8 クロック出力制御」を参照してください。 SMR の GM=0 の場合 00 : 出力ディスエーブル (SCK 端子は入出力ポートとして使用可) 01 : クロック出力 1X : リザーブ SMR の GM=1 の場合 00 : Low 出力固定 01 : クロック出力 10 : High 出力固定 11 : クロック出力

14.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

・ SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	FRE	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

・ SCMRのSMIF=1のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

14. シリアルコミュニケーションインタフェース (SCI)

通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF=0 のとき)

ビット	ビット名	初期値	R/W	説 明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPUによってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • TXI 割り込み要求により DMAC または DTC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPUによってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバランエラーが発生し、受信データが失われますので注意してください。
5	ORER	0	R/(W)*	<p>オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RDRF=1 の状態で次のデータを受信したとき RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。 (割り込みを使用し、CPUによってクリアする場合、0 ライト後に必ずフラグをリードしてください。)

14. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • ストップビットが0のとき <p>2ストップモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態では、以降のシリアル受信を続けることができません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>SCRのREをクリアしても、FERは影響を受けず以前の状態を保持します。 (割り込みを使用し、CPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。 (割り込みを使用し、CPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCRのTEが0のとき • 送信キャラクタの最後尾ビットの送信時、TDREが1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき。 • TXI割り込み要求によりDMACまたはDTCでTDRへ送信データをライトしたとき

14. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
1	MPB	0	R	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCR の RE が 0 のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンpty TDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> SCR の TE が 0 のとき TDR から TSR にデータが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) TXI 割り込み要求により DMAC または DTC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバーランエラーが発生し、受信データが失われますので注意してください。

14. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
5	ORER	0	R/(W)*	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> RDRF=1 の状態で次のデータを受信したとき <p>RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。(割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>
4	ERS	0	R/(W)*	<p>エラーシグナルステータス</p> <p>[セット条件]</p> <ul style="list-style-type: none"> エラーシグナル Low をサンプリングしたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。(割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>

14. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE=0 かつ ESR=0 のとき • 1 バイトのデータを送信して一定期間後、ESR=0 かつ TDRE=1 のとき。 <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0 のとき、送信開始から 2.5etu 後 GM=0、BLK=1 のとき、送信開始から 1.5etu 後 GM=1、BLK=0 のとき、送信開始から 1.0etu 後 GM=1、BLK=1 のとき、送信開始から 1.0etu 後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき。 • TXI 割り込み要求により DMAC または DTC で TDR へ送信データをライトしたとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14. シリアルコミュニケーションインタフェース (SCI)

14.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	SDIR	SINV	—	SMIF
初期値:	1	1	1	1	0	0	1	0
R/W:	R	R	R	R	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0: LSB ファーストで送受信 1: MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0: TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1: TDR の内容を反転して送信、受信データを反転して RDR に格納
1	—	1	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき 1 をセットします。 0: 通常の調歩同期式またはクロック同期式モード 1: スマートカードインタフェースモード

14.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 14.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 14.2 BRR の設定値 N とビットレート B の関係

モード	BRRの設定値	誤差
調歩同期式	$N = \frac{P\phi \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	$N = \frac{P\phi \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカード インタフェース	$N = \frac{P\phi \times 10^6}{S \times 2^{2n+1} \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

【注】 B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

Pφ : 動作周波数 (MHz)

n と S : 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 14.3 に、各動作周波数における設定可能な最大ビットレートを表 14.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 14.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 14.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「14.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 14.5、表 14.7 に外部クロック入力時の最大ビットレートを示します。

14. シリアルコミュニケーションインタフェース (SCI)

表 14.3 ビットレートに対する BRR の設定例 [調歩同期式モード] (1)

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	8			9.8304			10			12		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	-	-	-	0	7	0.00	0	7	1.73	0	9	-2.34

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	12.288			14			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	2	248	-0.17	3	64	0.70	3	70	0.03
150	2	159	0.00	2	181	0.16	2	191	0.00	2	207	0.16
300	2	79	0.00	2	90	0.16	2	95	0.00	2	103	0.16
600	1	159	0.00	1	181	0.16	1	191	0.00	1	207	0.16
1200	1	79	0.00	1	90	0.16	1	95	0.00	1	103	0.16
2400	0	159	0.00	0	181	0.16	0	191	0.00	0	207	0.16
4800	0	79	0.00	0	90	0.16	0	95	0.00	0	103	0.16
9600	0	39	0.00	0	45	-0.93	0	47	0.00	0	51	0.16
19200	0	19	0.00	0	22	-0.93	0	23	0.00	0	25	0.16
31250	0	11	2.40	0	13	0.00	0	14	-1.70	0	15	0.00
38400	0	9	0.00	-	-	-	0	11	0.00	0	12	0.16

表 14.3 ビットレートに対する BRR の設定例 [調歩同期式モード] (2)

ビットレート (bit/s)	動作周波数 $P\phi$ (MHz)											
	17.2032			18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	75	0.48	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	223	0.00	2	233	0.16	2	255	0.00	3	64	0.16
300	2	111	0.00	2	116	0.16	2	127	0.00	2	129	0.16
600	1	223	0.00	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	111	0.00	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	223	0.00	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	111	0.00	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	55	0.00	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	27	0.00	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	16	1.20	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	13	0.00	0	14	-2.34	0	15	0.00	0	15	1.73

ビットレート (bit/s)	動作周波数 $P\phi$ (MHz)											
	25			30			33			35		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	110	-0.02	3	132	0.13	3	145	0.33	3	154	0.23
150	3	80	-0.47	3	97	-0.35	3	106	0.39	3	113	-0.06
300	2	162	0.15	2	194	0.16	2	214	-0.07	2	227	0.00
600	2	80	-0.47	2	97	-0.35	2	106	0.39	2	113	0.00
1200	1	162	0.15	1	194	0.16	1	214	-0.07	1	227	0.00
2400	1	80	-0.47	1	97	-0.35	1	106	0.39	1	113	0.00
4800	0	162	0.15	0	194	0.16	0	214	-0.07	0	227	0.00
9600	0	80	-0.47	0	97	-0.35	0	106	0.39	0	113	0.00
19200	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	56	0.00
31250	0	24	0.00	0	29	0	0	32	0	0	34	0.00
38400	0	19	1.73	0	23	1.73	0	26	-0.54	0	28	-1.78

14. シリアルコミュニケーションインタフェース (SCI)

表 14.4 各動作周波数における最大ビットレート (調歩同期式モード)

Pφ (MHz)	最大ビットレート (bit/s)	n	N	Pφ (MHz)	最大ビットレート (bit/s)	n	N
8	250000	0	0	17.2032	537600	0	0
9.8304	307200	0	0	18	562500	0	0
10	312500	0	0	19.6608	614400	0	0
12	375000	0	0	20	625000	0	0
12.288	384000	0	0	25	781250	0	0
14	437500	0	0	30	937500	0	0
14.7456	460800	0	0	33	1031250	0	0
16	500000	0	0	35	1093750	0	0

表 14.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	2.0000	125000	17.2032	4.3008	268800
9.8304	2.4576	153600	18	4.5000	281250
10	2.5000	156250	19.6608	4.9152	307200
12	3.0000	187500	20	5.0000	312500
12.288	3.0720	192000	25	6.2500	390625
14	3.5000	218750	30	7.5000	468750
14.7456	3.6864	230400	33	8.2500	515625
16	4.0000	250000	35	8.7500	546875

表 14.6 ビットレートに対する BRR の設定例 [クロック同期式モード]

ビット レート (bit/s)	動作周波数 P ϕ (MHz)															
	8		10		16		20		25		30		33		35	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	—	—	3	249										
500	2	249	—	—	3	124	—	—			3	233				
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	136
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	218
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	108
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	218
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	87
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	0	174
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	87
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	34
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	—	—
1M	0	1			0	3	0	4	—	—	—	—	—	—	—	—
2.5M			0	0*			0	1	—	—	0	2	—	—	—	—
5M							0	0*	—	—	—	—	—	—	—	—

【記号説明】

- 空欄 : 設定できません。
- : 設定可能ですが誤差がでます。
- * : 連続送信/連続受信はできません。

表 14.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

P ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	P ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3	20	3.3333	3333333.3
10	1.6667	1666666.7	25	4.1667	4166666.7
12	2.0000	2000000.0	30	5.0000	5000000.0
14	2.3333	2333333.3	33	5.5000	5500000.0
16	2.6667	2666666.7	35	5.8336	5833625.0
18	3.0000	3000000.0			

14. シリアルコミュニケーションインタフェース (SCI)

表 14.8 ビットレートに対する BRR の設定例
(スマートカードインタフェースモードで n=0、S=372 のとき)

ビットレート (bit/s)	動作周波数 Pφ (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bit/s)	動作周波数 Pφ (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.60

ビットレート (bit/s)	動作周波数 Pφ (MHz)											
	25.00			30.00			33.00			35.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	12.49	0	3	5.01	0	4	7.59	0	4	1.99

表 14.9 各動作周波数における最大ビットレート (スマートカードインタフェースモードで S=372 のとき)

Pφ (MHz)	最大ビットレート (bit/s)	n	N	Pφ (MHz)	最大ビットレート (bit/s)	n	N
7.1424	9600	0	0	18.00	24194	0	0
10.00	13441	0	0	20.00	26882	0	0
10.7136	14400	0	0	25.00	33602	0	0
13.00	17473	0	0	30.00	40323	0	0
14.2848	19200	0	0	33.00	44355	0	0
16.00	21505	0	0	35.00	47043	0	0

14.3.10 シリアル拡張モードレジスタ (SEMR)

SEMR は、調歩同期式モード時のクロックソースを選択するためのレジスタです。平均転送レートを選択より基本クロックが自動設定できます。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	ABCS	ACS2	ACS1	ACS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
6~4	—	すべて0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
3	ABCS	0	R/W	調歩同期基本クロックセレクト (調歩同期式モードのみ有効) 1ビット期間の基本クロックを選択します。 0 : 転送レートの16倍の周波数の基本クロックで動作 1 : 転送レートの8倍の周波数の基本クロックで動作
2	ACS2	0	R/W	調歩同期クロックソースセレクト (調歩同期式モードでCKE1=1のとき有効) 平均転送レートのクロックソースを選択します。平均転送レート選択時は、ABCSビットの値に関係なく基本クロックが自動設定されます。 000 : 外部クロック入力 001 : Pφ=10.667MHz 専用の平均転送レート 115.152kbps を選択 (転送レートの16倍の周波数の基本クロックで動作) 010 : Pφ=10.667MHz 専用の平均転送レート 460.606kbps を選択 (転送レートの8倍の周波数の基本クロックで動作) 011 : Pφ=32MHz 専用の平均転送レート 720kbps を選択 (転送レートの16倍の周波数の基本クロックで動作) 100 : 設定禁止 101 : Pφ=16MHz 専用の平均転送レート 115.196kbps を選択 (転送レートの16倍の周波数の基本クロックで動作) 110 : Pφ=16MHz 専用の平均転送レート 460.784kbps を選択 (転送レートの16倍の周波数の基本クロックで動作) 111 : Pφ=16MHz 専用の平均転送レート 720kbps を選択 (転送レートの8倍の周波数の基本クロックで動作) 平均転送レートは、10.667MHz、16MHz または 32MHz の動作周波数以外には対応していません。
1	ACS1	0	R/W	
0	ACS0	0	R/W	

14.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 14.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

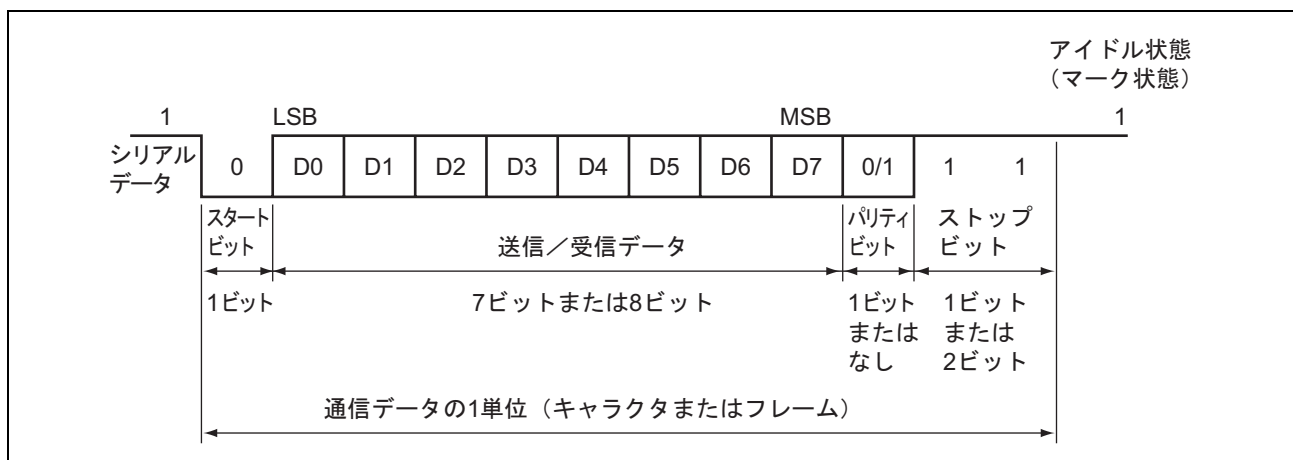


図 14.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

14.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 14.10 に示します。フォーマットは12種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「14.5 マルチプロセッサ通信機能」を参照してください。

表 14.10 シリアル送信／受信フォーマット（調歩同期式モード）

SMRの設定				シリアル送信／受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	—	1	0	S	8ビットデータ								MPB	STOP			
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	—	1	0	S	7ビットデータ							MPB	STOP				
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP			

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

14.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図 14.3 に示すように受信データを基本クロックの 8 ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

M : 受信マージン

N : クロックに対するビットレートの比 (N=16)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

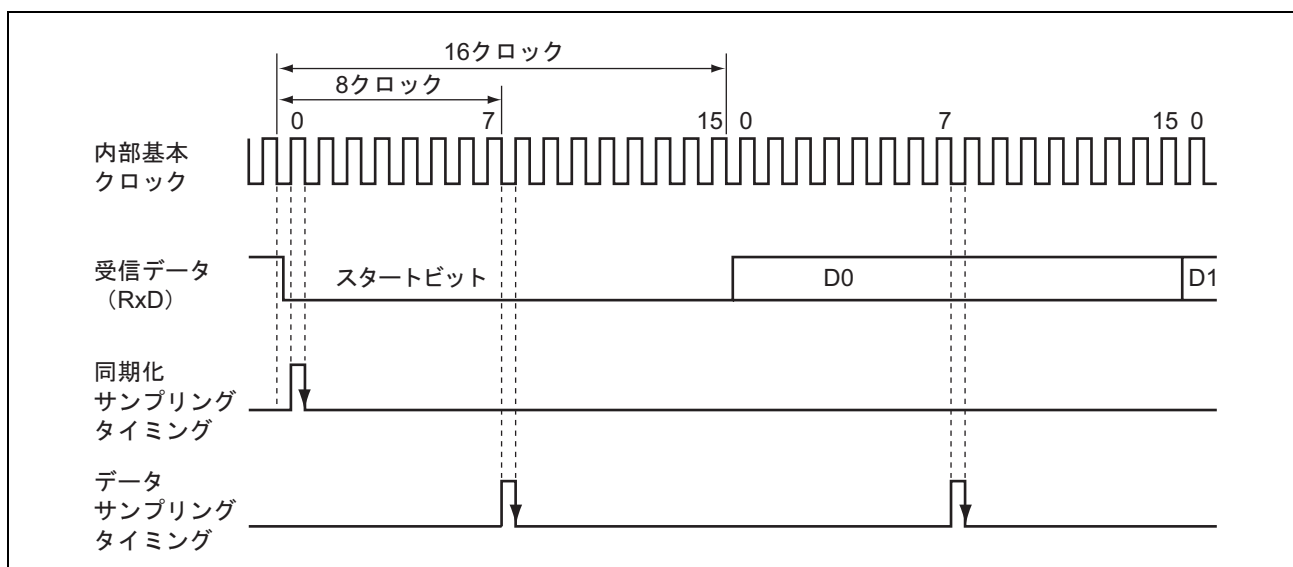


図 14.3 調歩同期式モードの受信データサンプリングタイミング

14.4.3 クロック

SCI の送受信クロックは、SMR の C/\bar{A} ビットと SCR の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたは SCK 端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK 端子にビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるときは SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図 14.4 に示すように送信データの中央でクロックが立ち上がります。

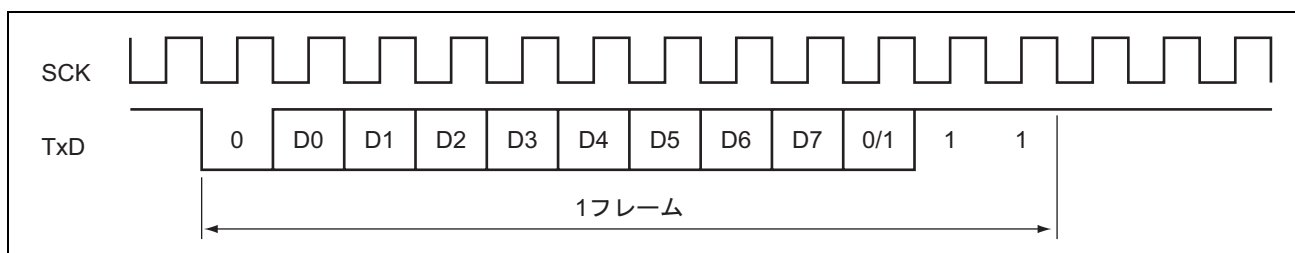


図 14.4 出力クロックと送信データの位相関係 (調歩同期式モード)

14.4.4 SCI の初期化 (調歩同期式)

データの送受信前に、SCR の TE、RE ビットをクリアした後、**図 14.5** のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

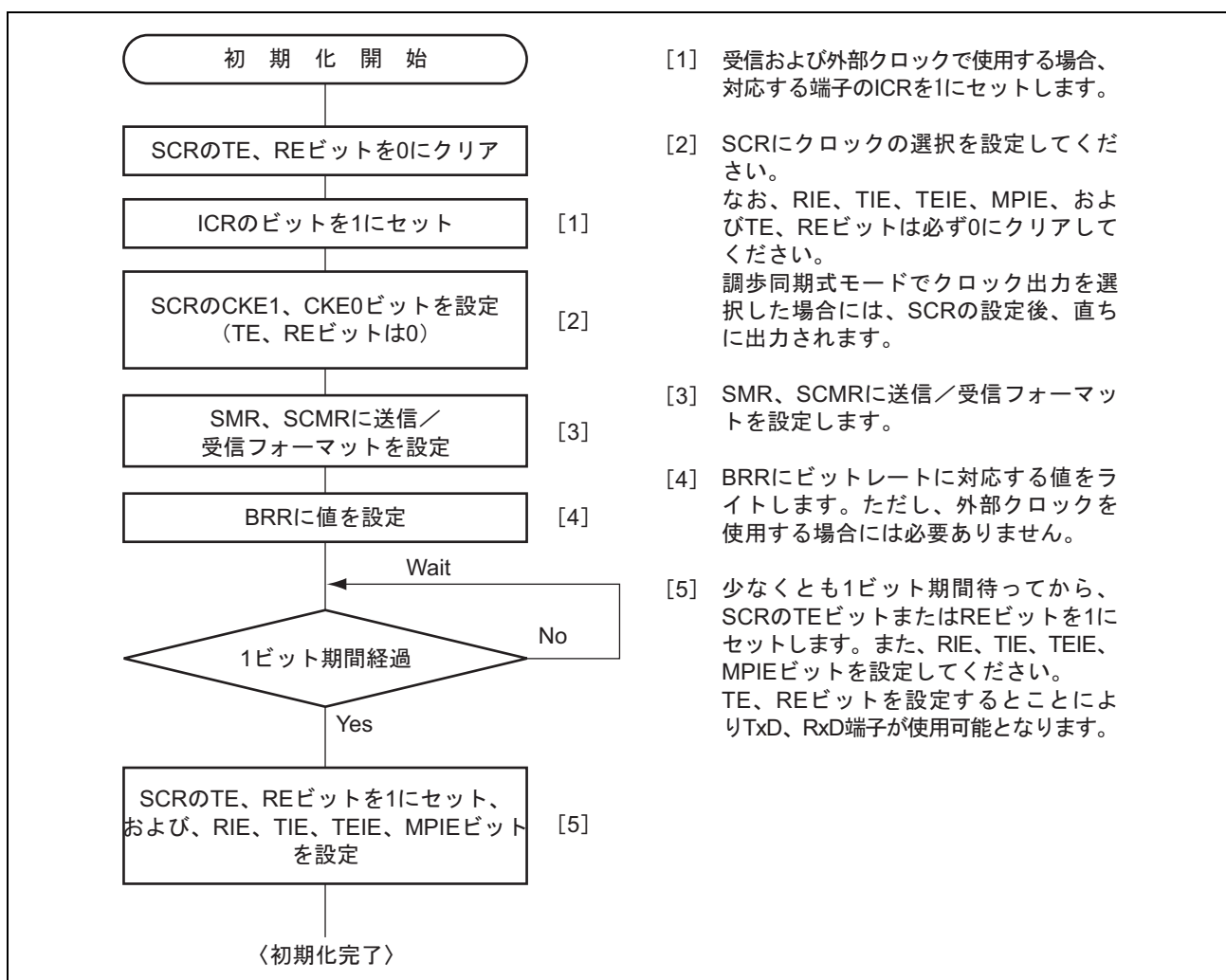


図 14.5 SCI の初期化フローチャートの例

14.4.5 シリアルデータ送信 (調歩同期式)

図 14.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1にセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

図 14.7 にデータ送信のフローチャートの例を示します。

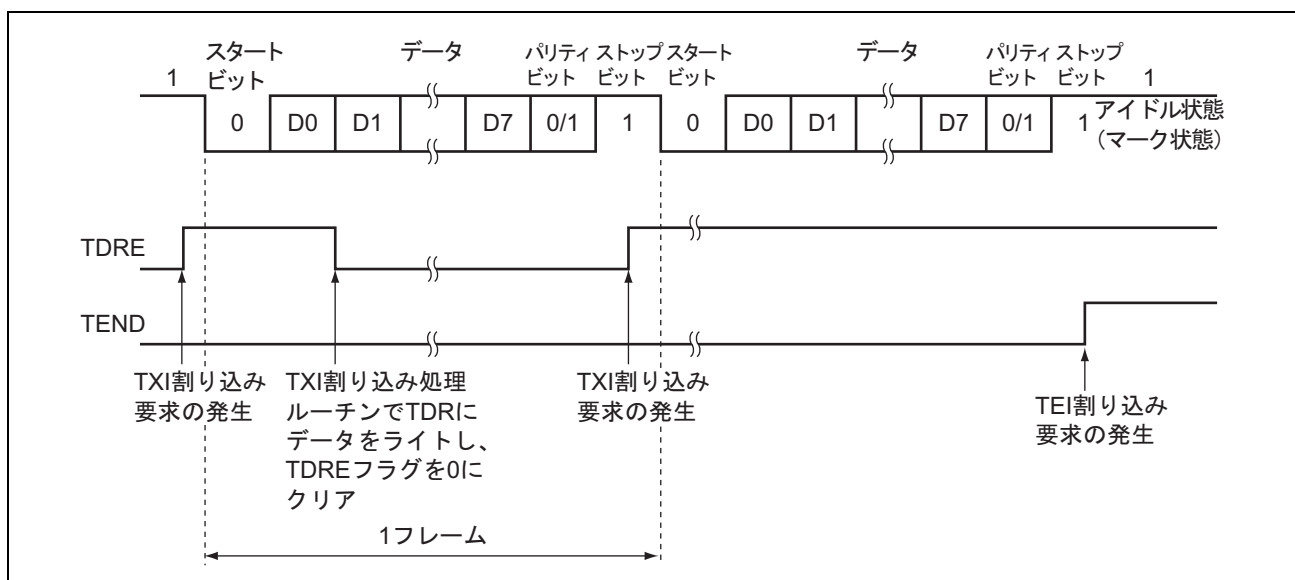


図 14.6 調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

14. シリアルコミュニケーションインタフェース (SCI)

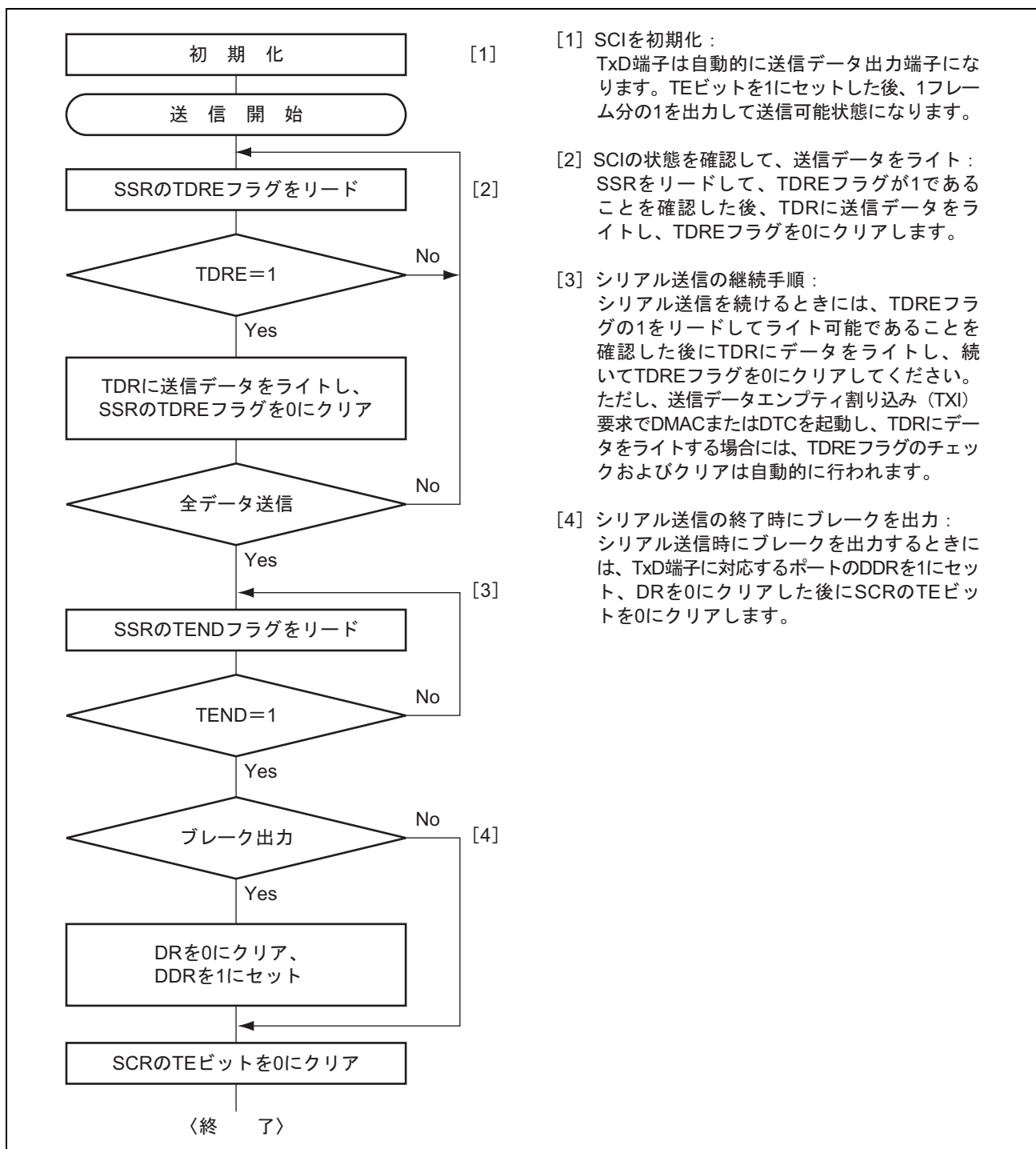


図 14.7 シリアル送信のフローチャートの例

14.4.6 シリアルデータ受信 (調歩同期式)

図 14.8 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー (ストップビットが0のとき) を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

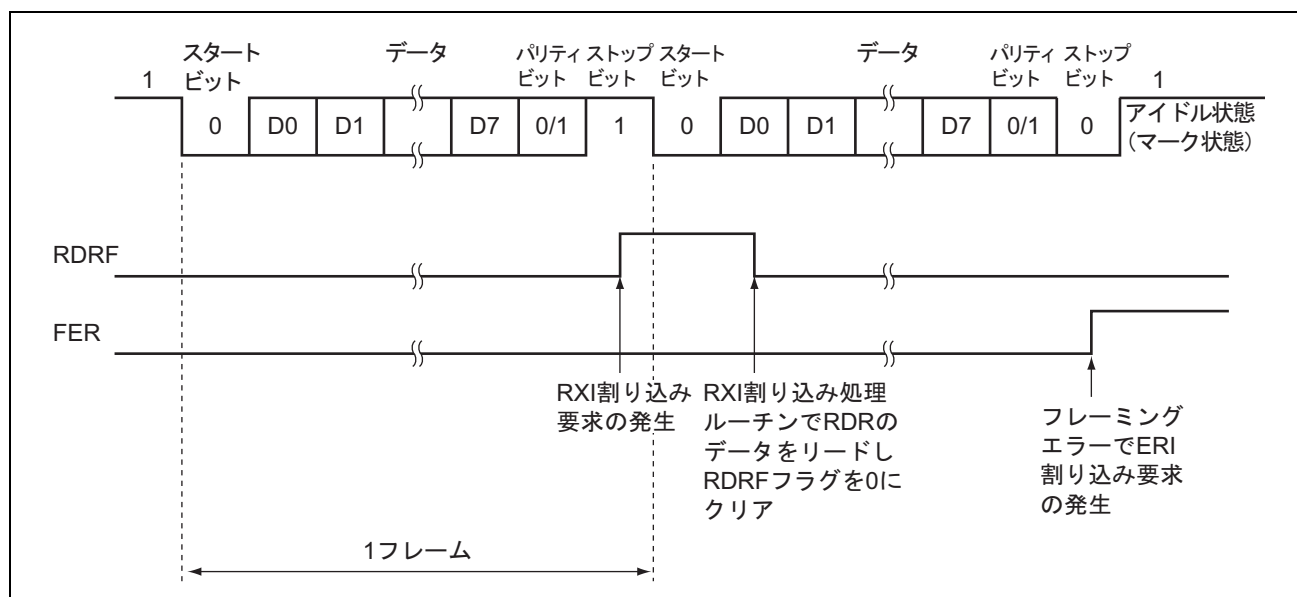


図 14.8 SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 14.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 14.9 にデータ受信のためのフローチャートの例を示します。

14. シリアルコミュニケーションインタフェース (SCI)

表 14.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバーランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバーランエラー+フレーミングエラー
1	1	0	1	消失	オーバーランエラー+パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバーランエラー+フレーミングエラー+パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

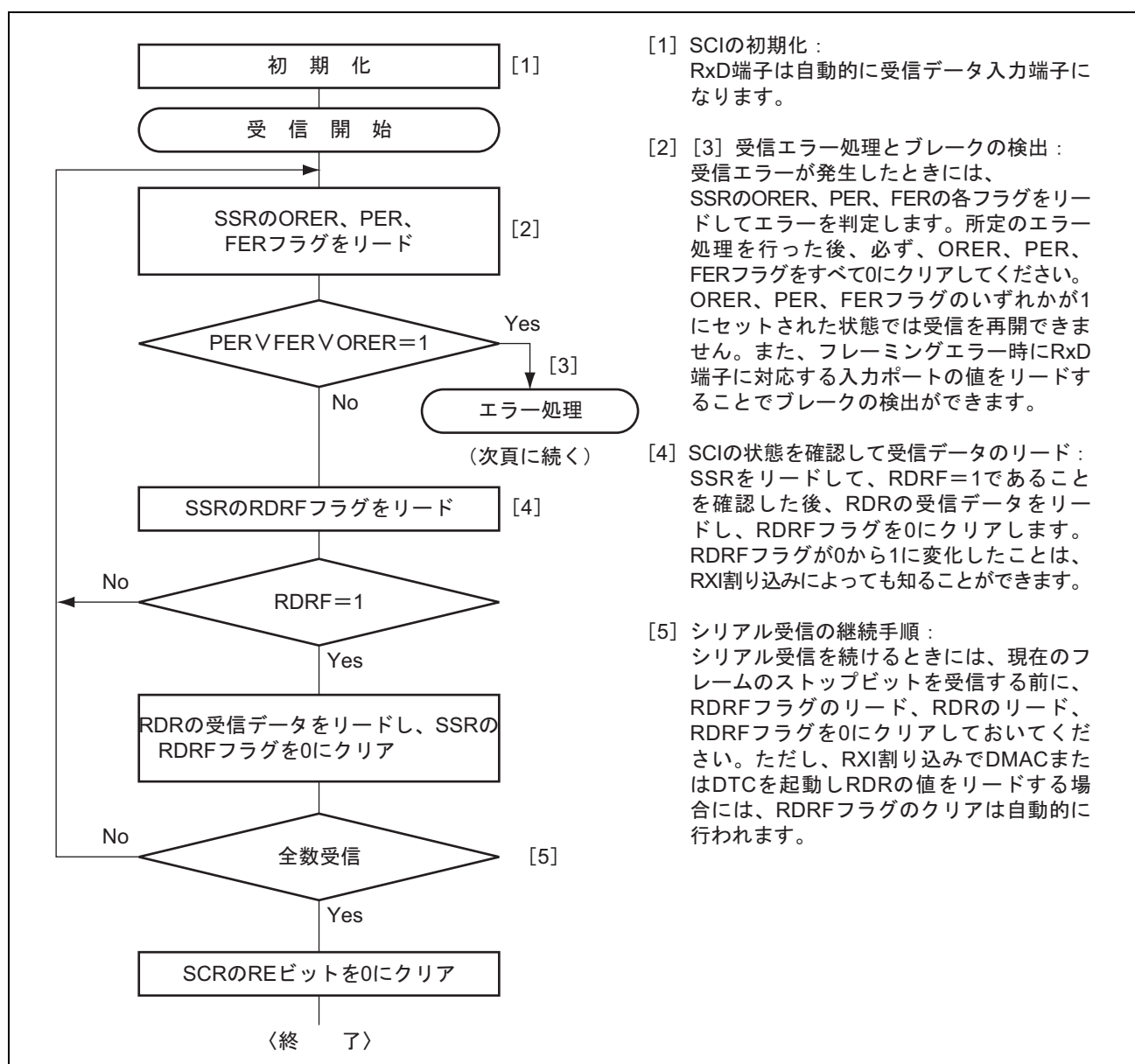


図 14.9 シリアル受信のフローチャートの例 (1)

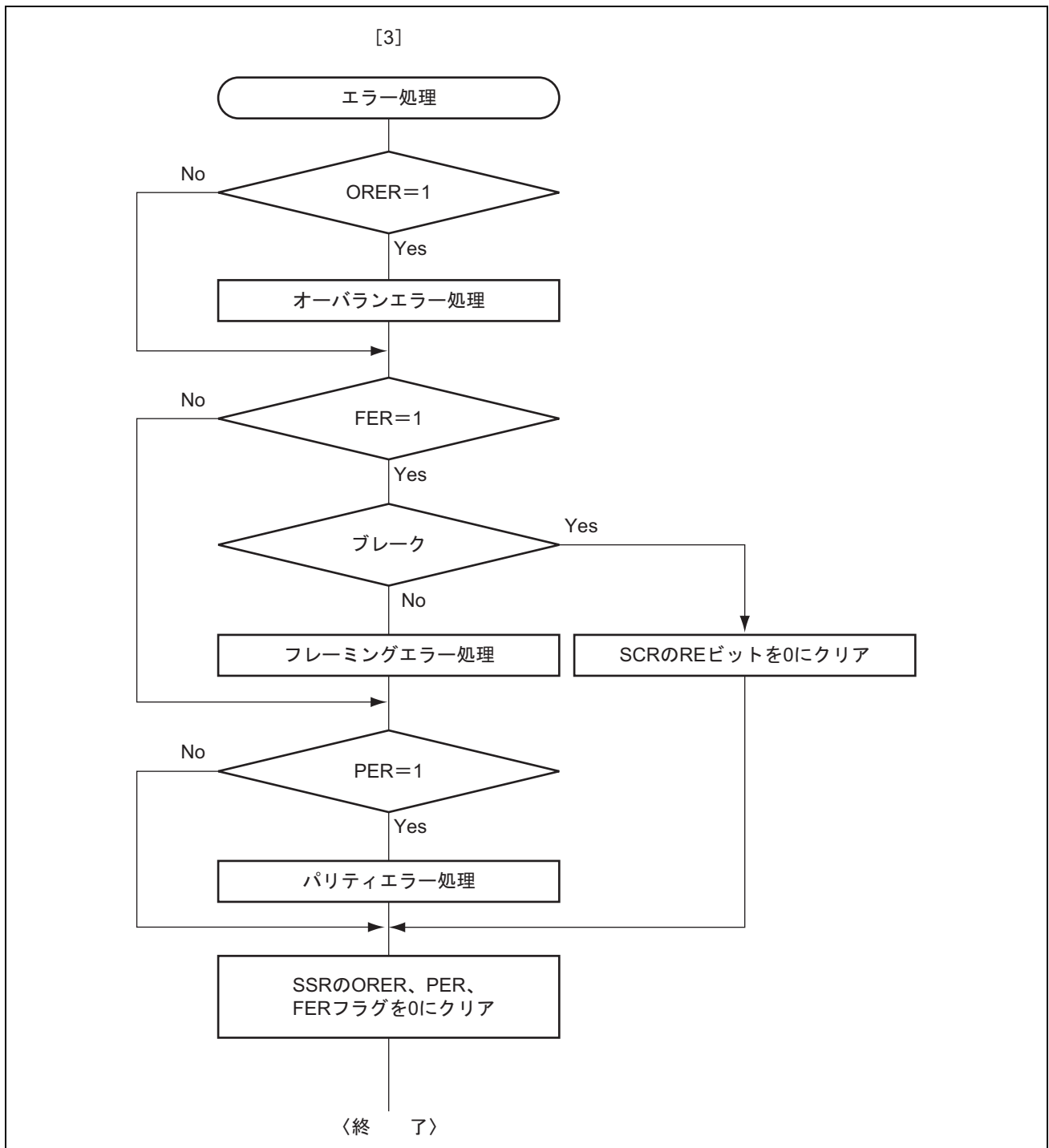


図 14.9 シリアル受信のフローチャートの例 (2)

14.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 14.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCRにMPIEビットが設けてあります。MPIEを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでRSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、SSRのMPBが1にセットされるとともにMPIEが自動的にクリアされて通常の受信動作に戻ります。このときSCRのRIEがセットされているとRXI割り込みを発生しません。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

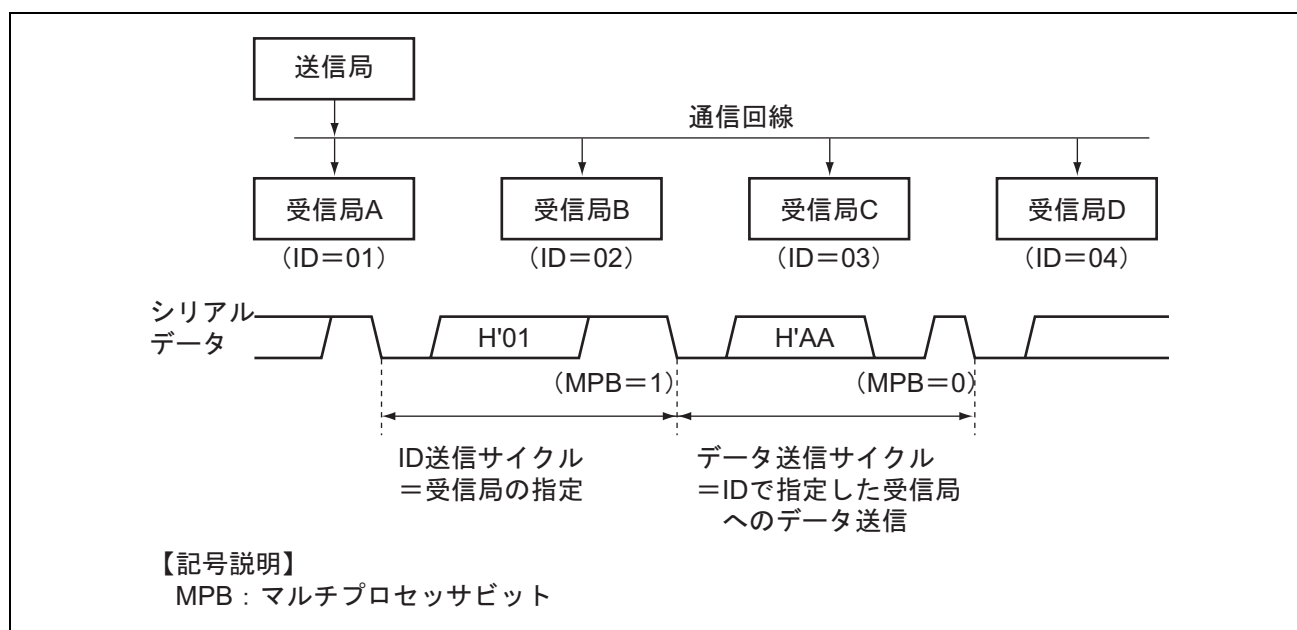


図 14.10 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

14.5.1 マルチプロセッサシリアルデータ送信

図 14.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

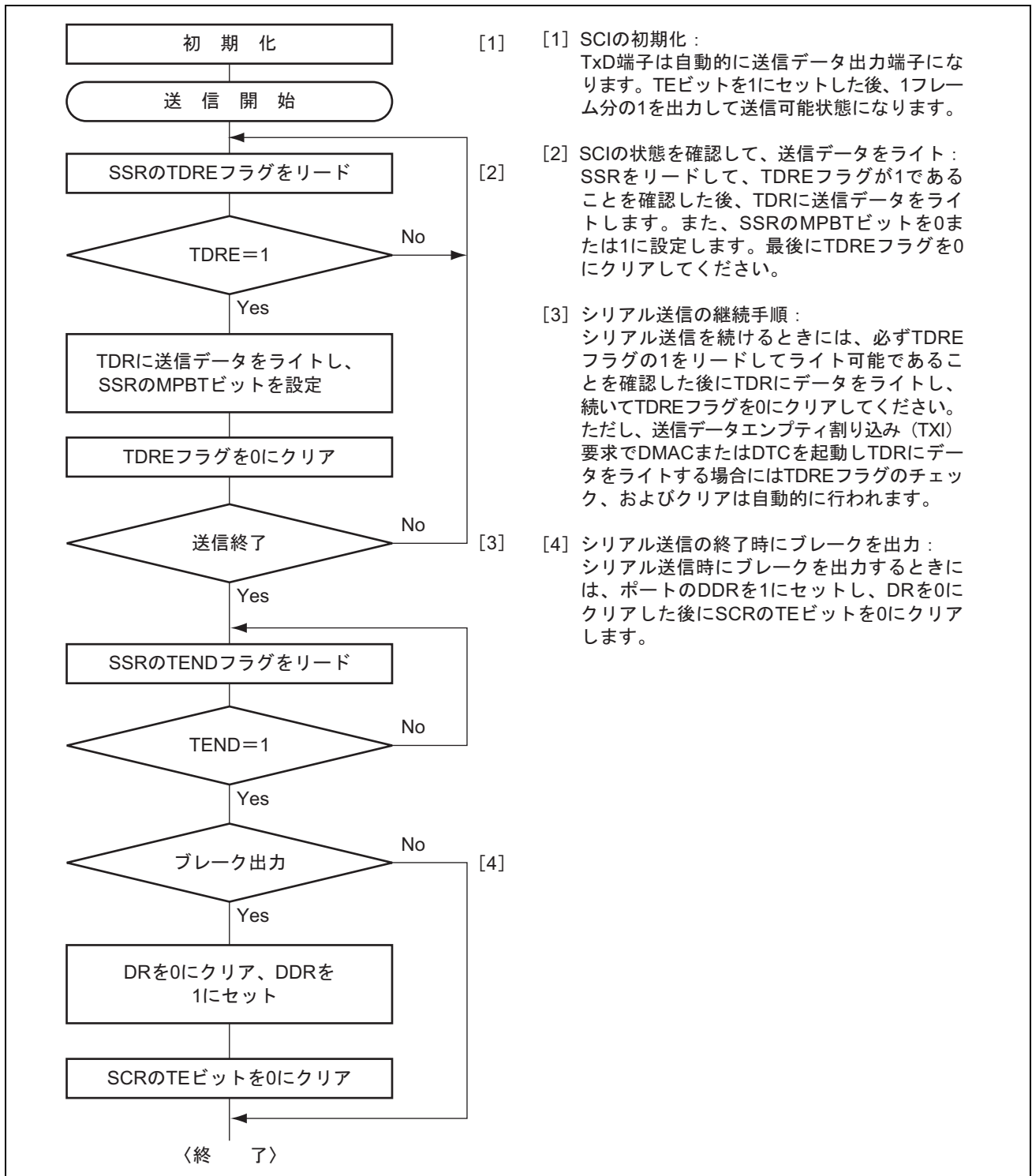


図 14.11 マルチプロセッサシリアル送信のフローチャートの例

14.5.2 マルチプロセッサシリアルデータ受信

図 14.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。図 14.12 に受信時の動作例を示します。

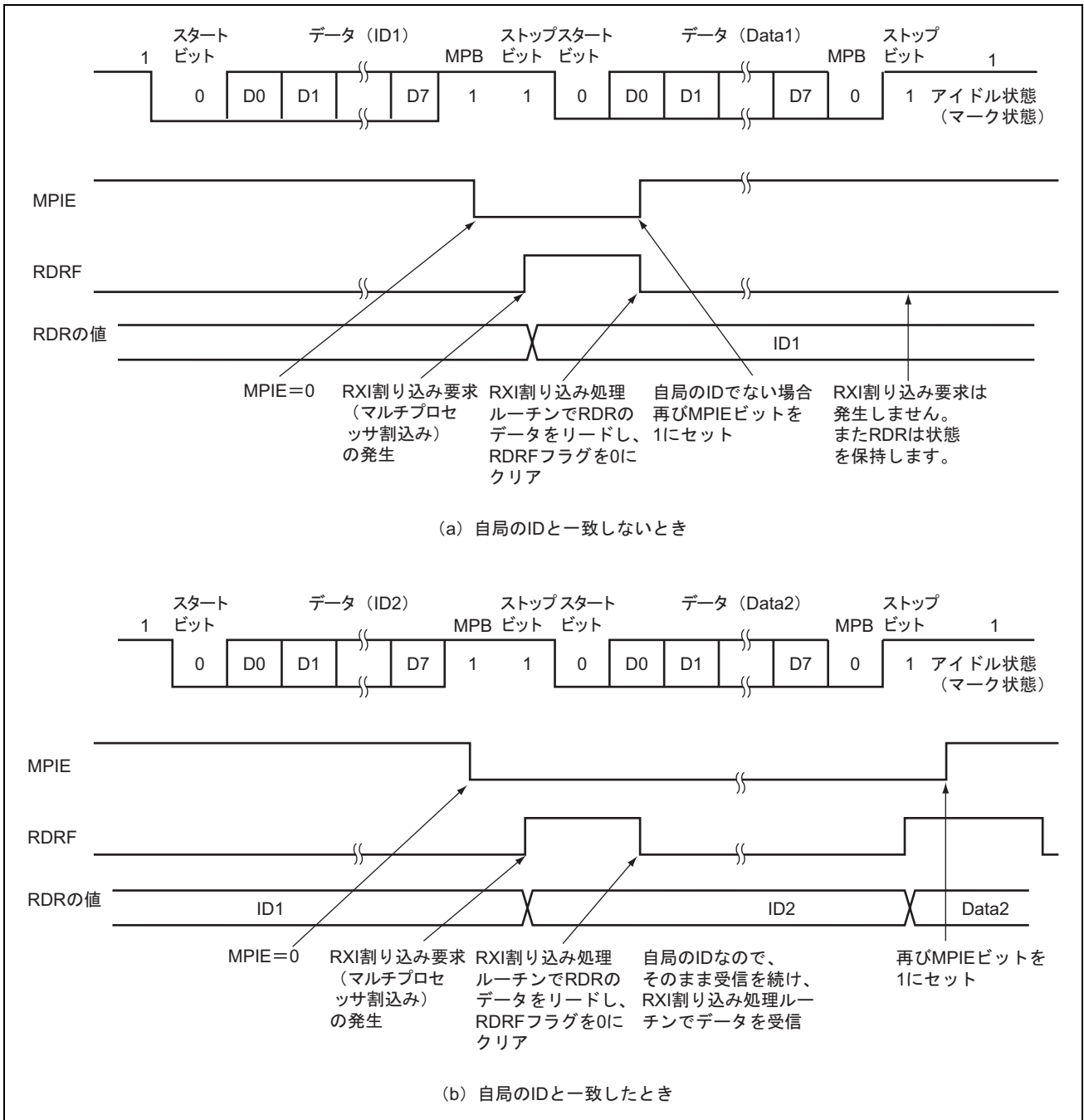


図 14.12 SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)

14. シリアルコミュニケーションインタフェース (SCI)

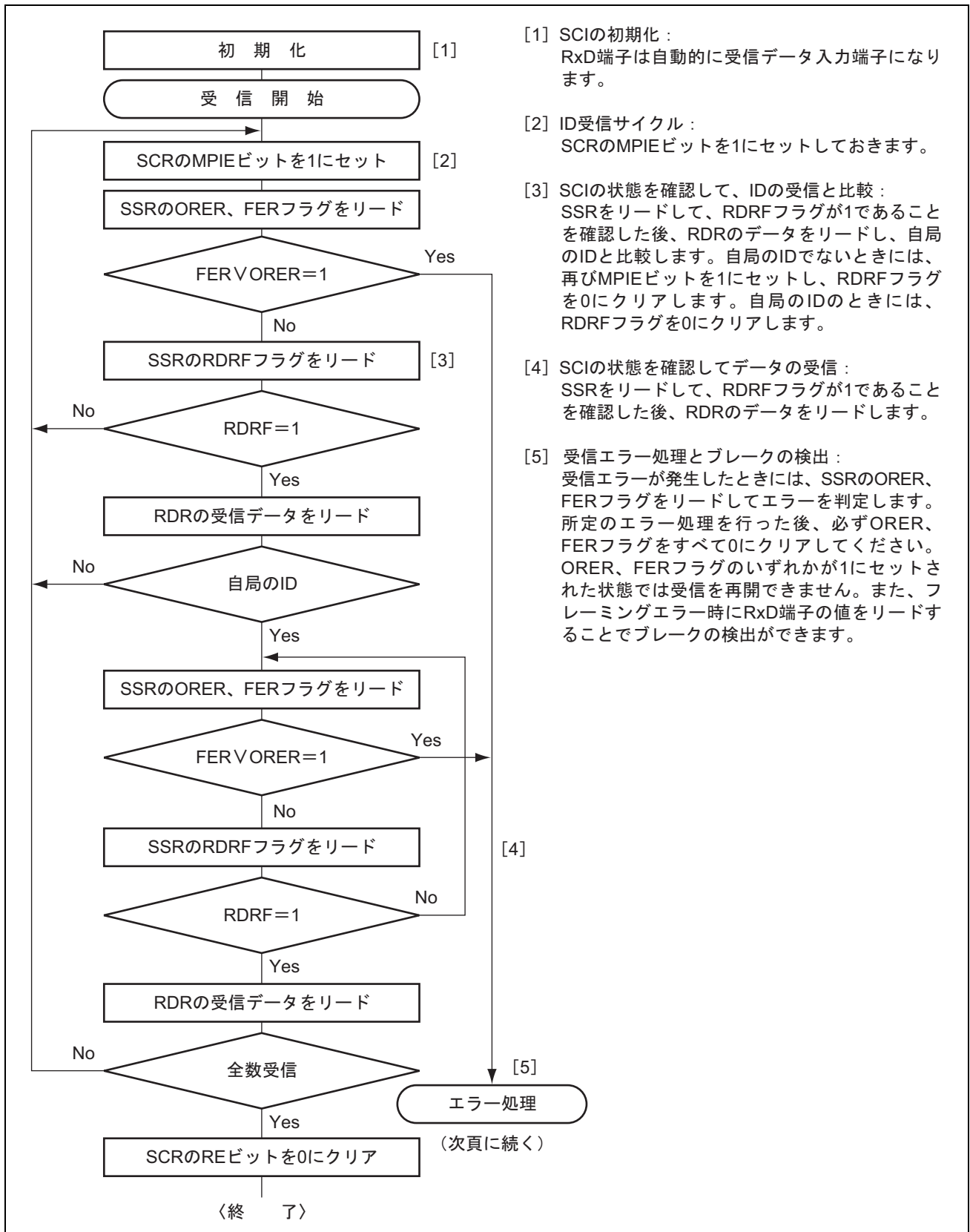


図 14.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

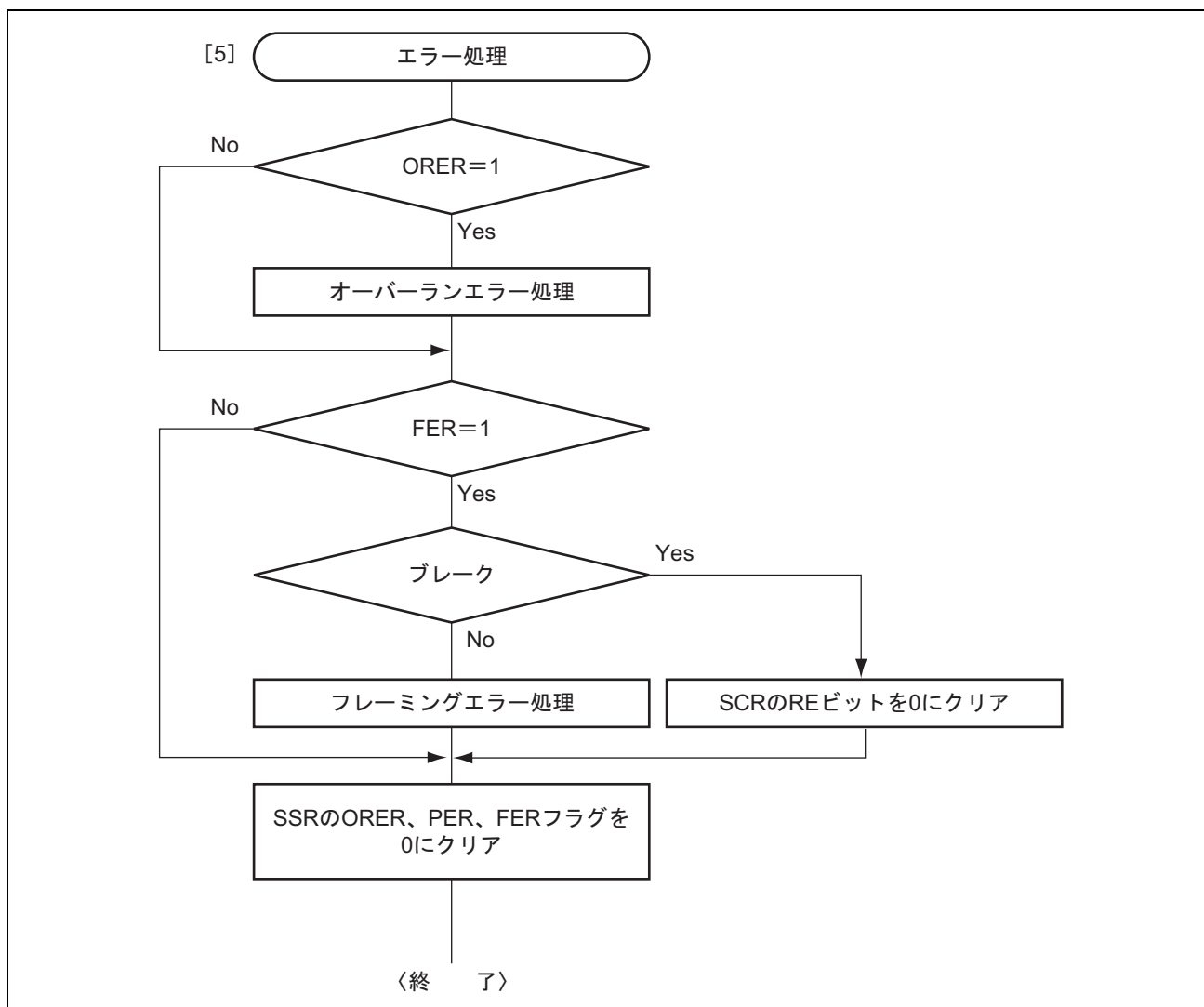


図 14.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

14.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 14.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。SCIはデータ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

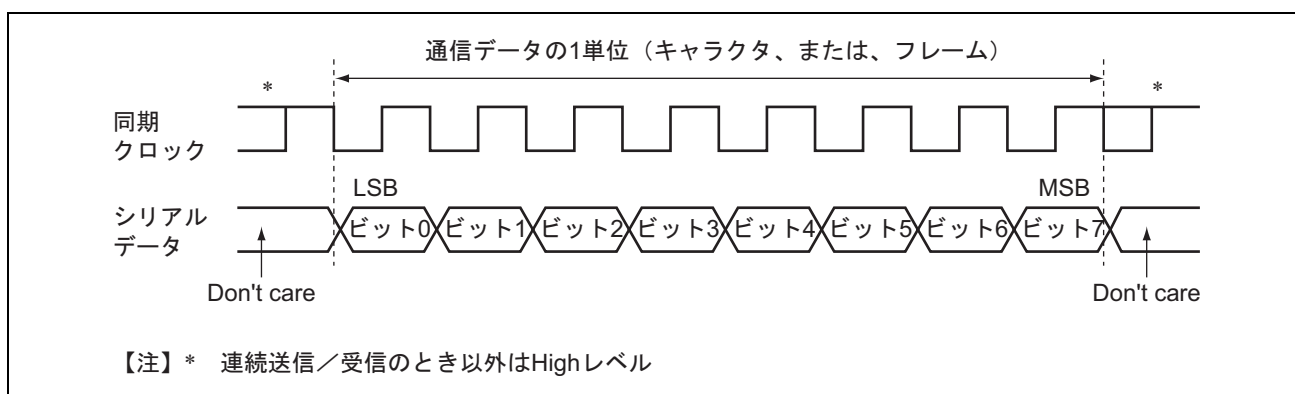


図 14.14 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

14.6.1 クロック

SCRのCKE1、CKE0の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたはSCK端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときはHighレベルに固定されます。ただし、受信動作のみのときはオーバランエラーが発生するかREビットを0にクリアするまで同期クロックは出力されます。

14.6.2 SCIの初期化 (クロック同期式)

データの送受信前に、SCRのTE、REビットをクリアした後、図14.15のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。

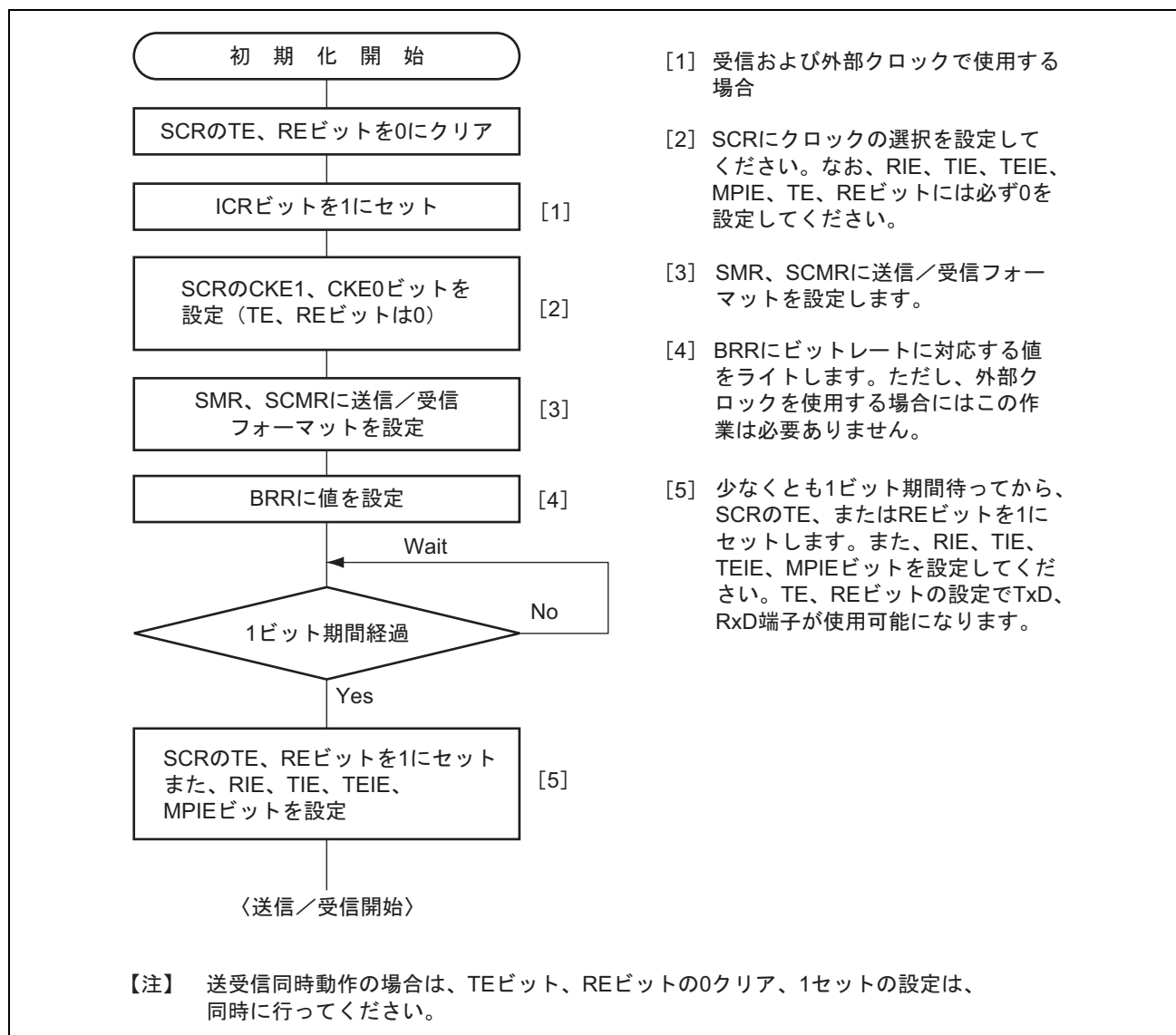


図 14.15 SCIの初期化フローチャートの例

14.6.3 シリアルデータ送信 (クロック同期式)

図 14.16 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEIを発生します。SCK端子はHighレベルに固定されます。

図 14.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が1にセットされた状態ではTDREをクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを0にクリアしておいてください。また、受信エラーフラグはREビットをクリアしただけではクリアされませんので注意してください。

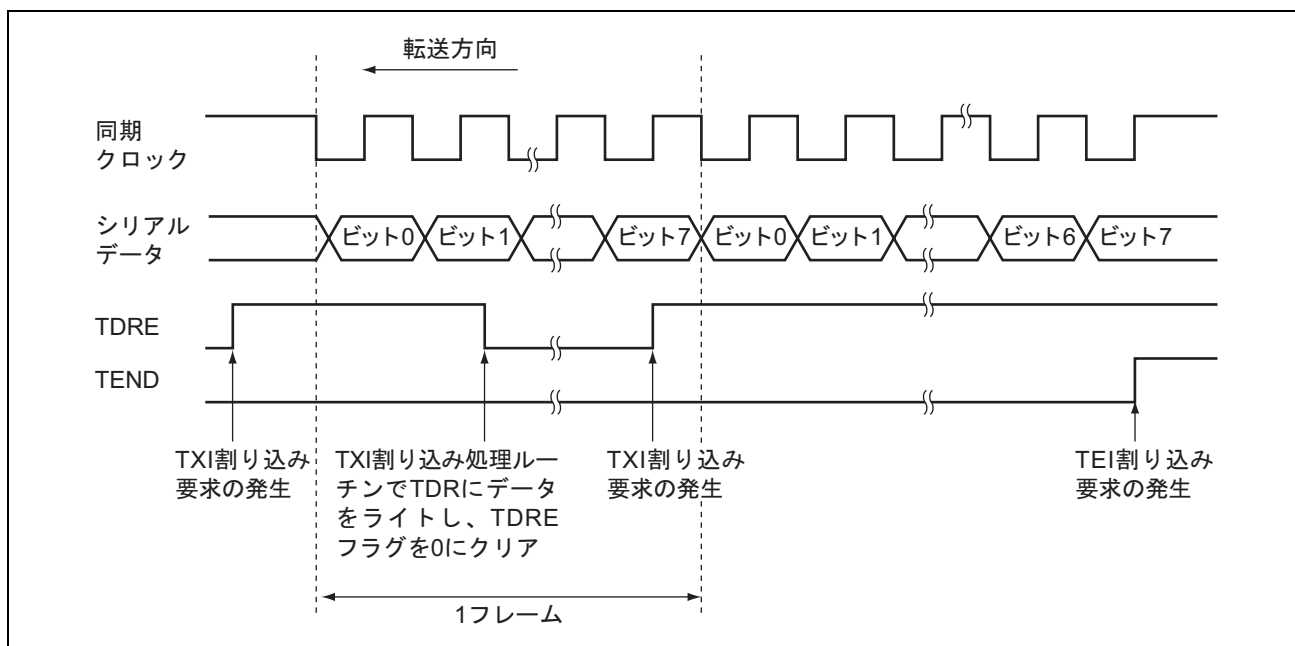


図 14.16 クロック同期式モードの送信時の動作例

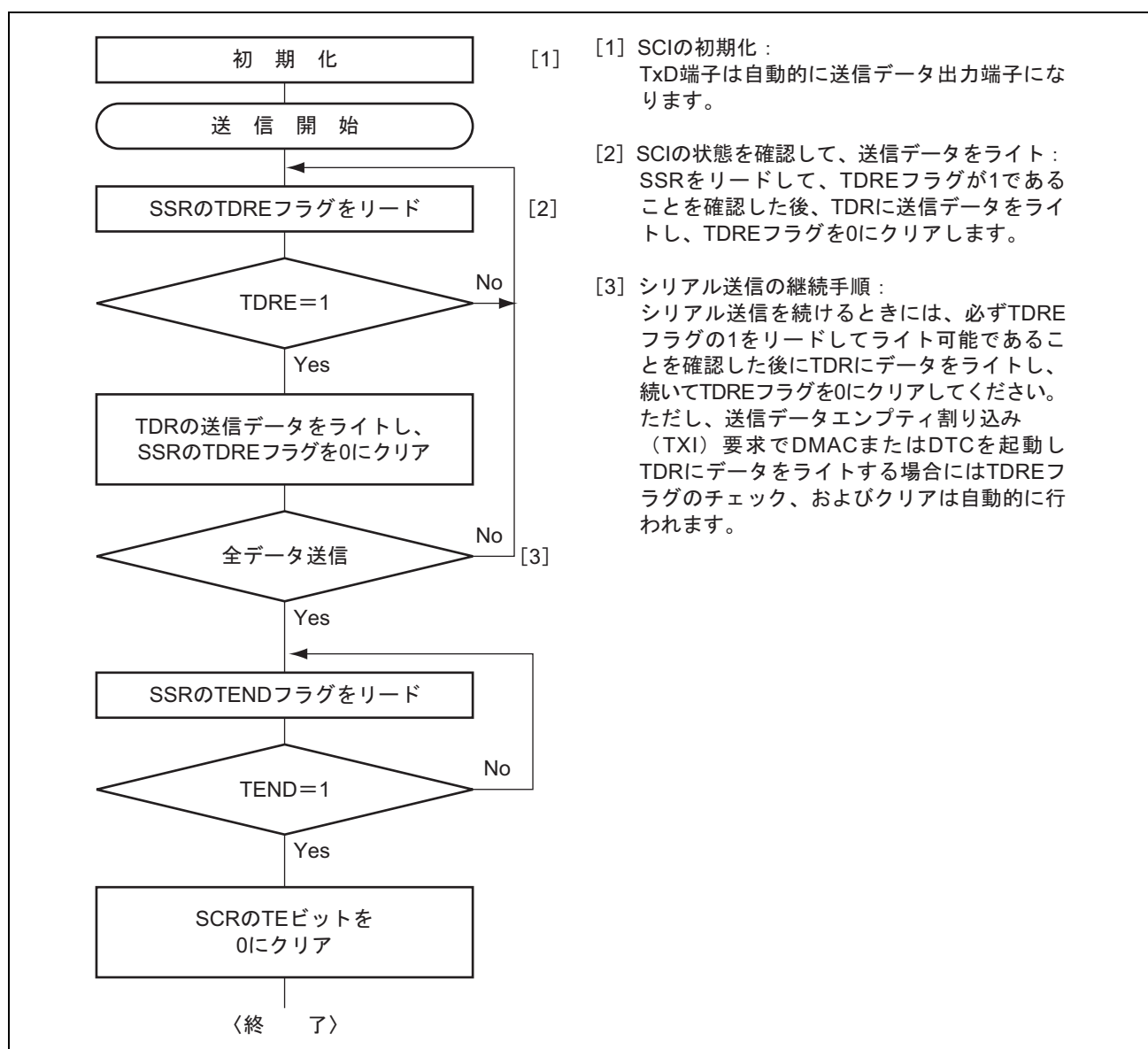


図 14.17 シリアル送信のフローチャートの例

14.6.4 シリアルデータ受信 (クロック同期式)

図 14.18 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRDRに取り込みます。
2. オーバーランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

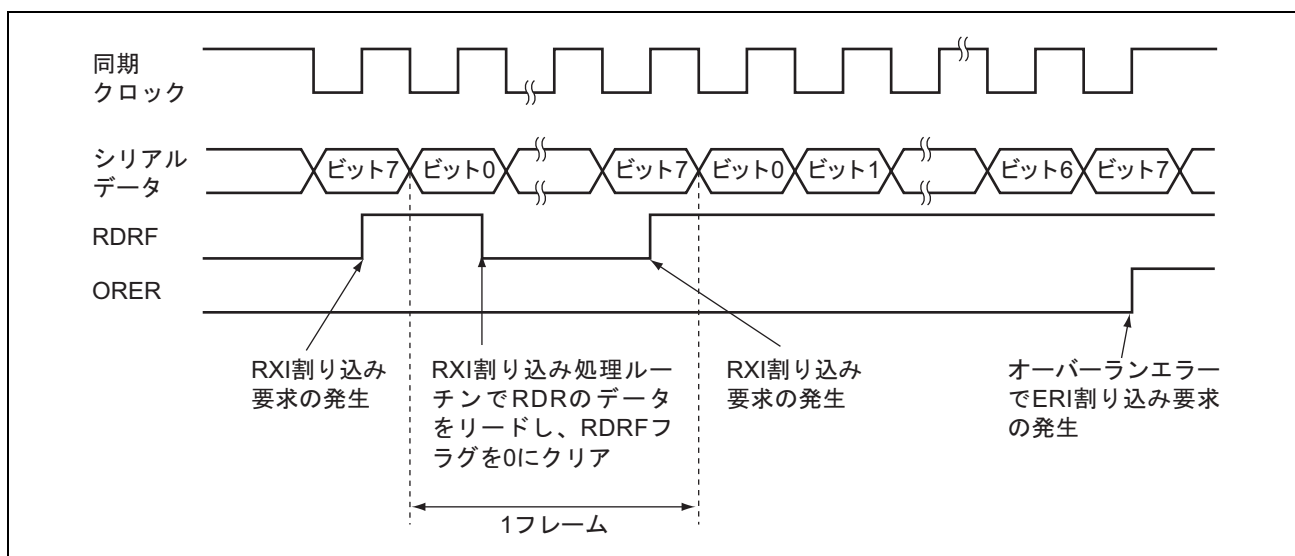


図 14.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 14.19 にデータ受信のためのフローチャートの例を示します。

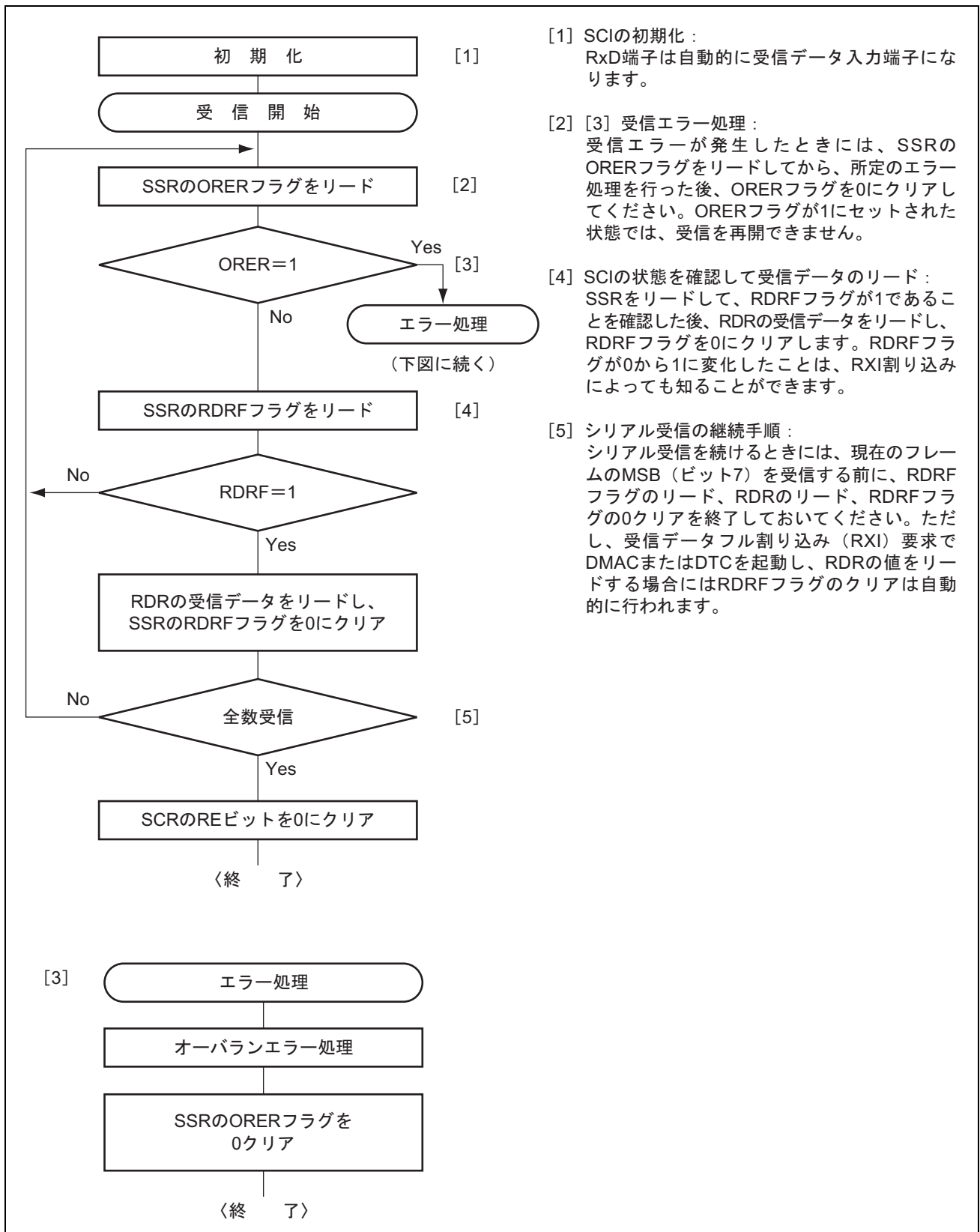


図 14.19 シリアル受信のフローチャートの例

14.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 14.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

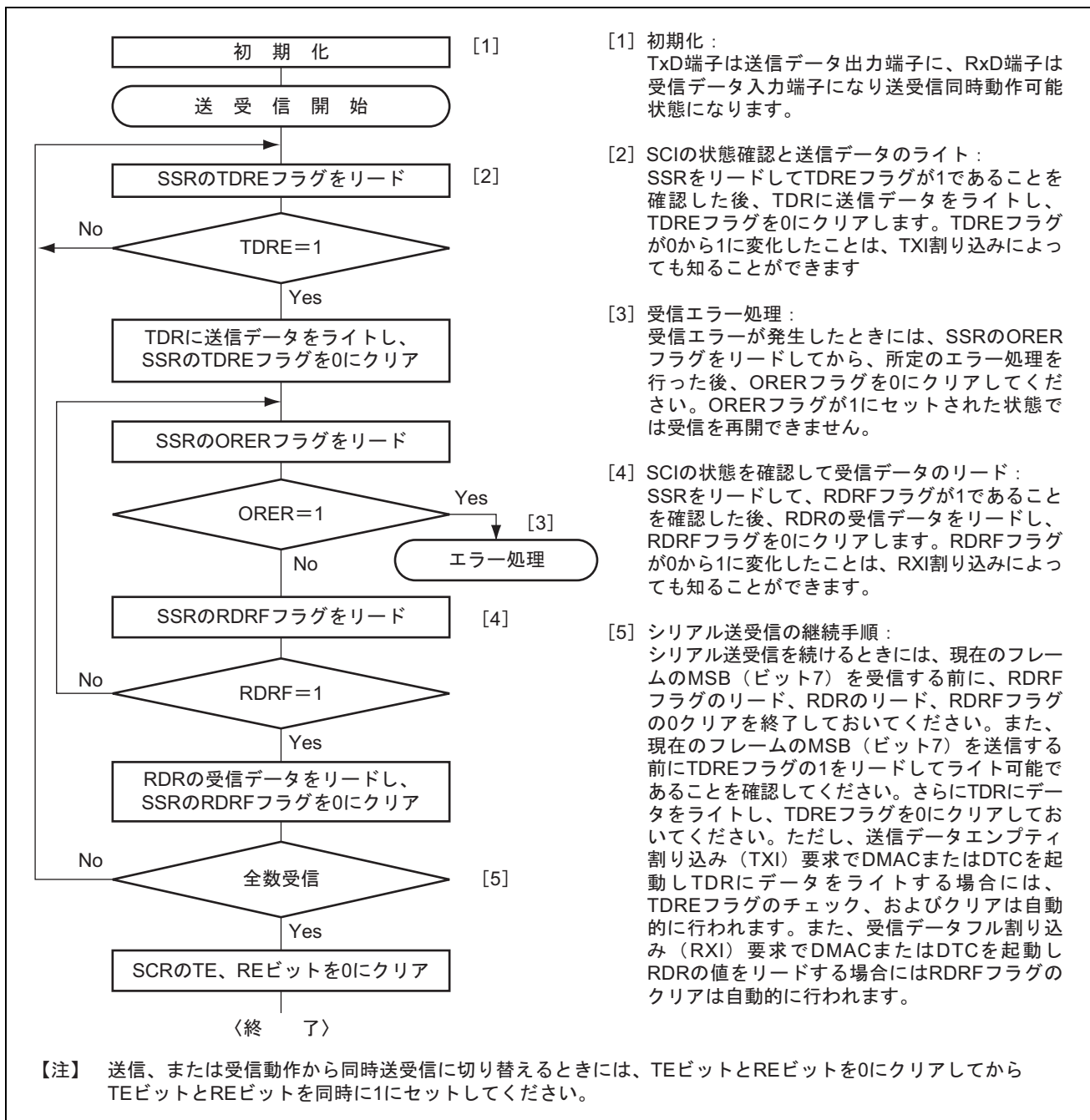


図 14.20 シリアル送受信同時動作のフローチャートの例

14.7 スマートカードインタフェースの動作説明

SCIはシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card)に対応したICカード (スマートカード) とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

14.7.1 接続例

図 14.21 にスマートカードとの接続例を示します。ICカードとは1本のデータ伝送線で送受信が行われるので、TxD端子とRxD端子とを結線し、データ伝送線は抵抗で電源V_{CC}側にプルアップしてください。ICカードを接続しない状態でRE=TE=1に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。SCIで生成するクロックをICカードに供給する場合は、SCK端子出力をICカードのCLK端子に入力してください。リセット信号の出力には本LSIの出力ポートを使用できます。

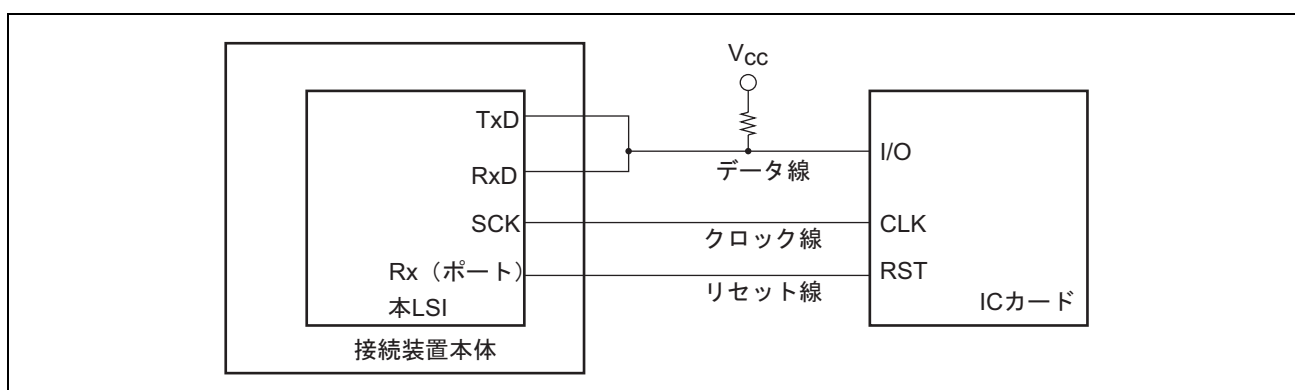


図 14.21 スマートカードインタフェース端子接続概要

14.7.2 データフォーマット (ブロック転送モード時を除く)

図 14.22 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

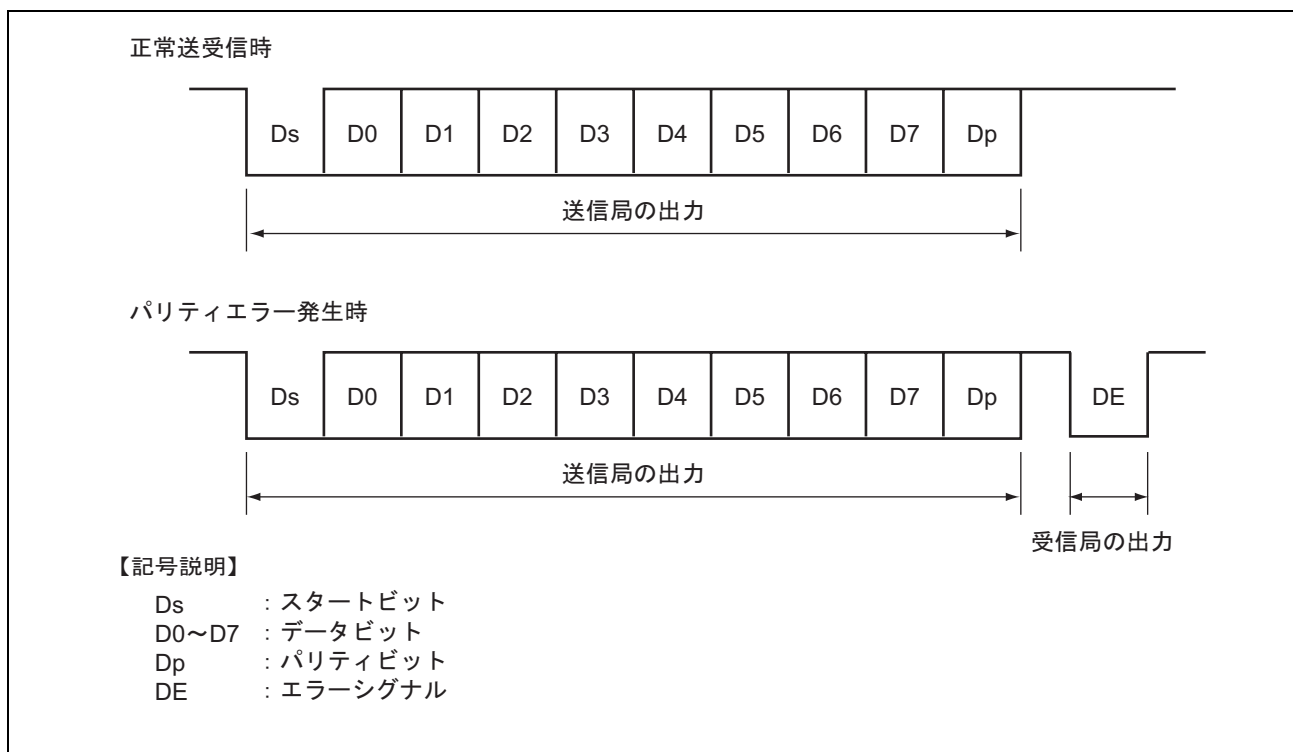


図 14.22 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインバースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

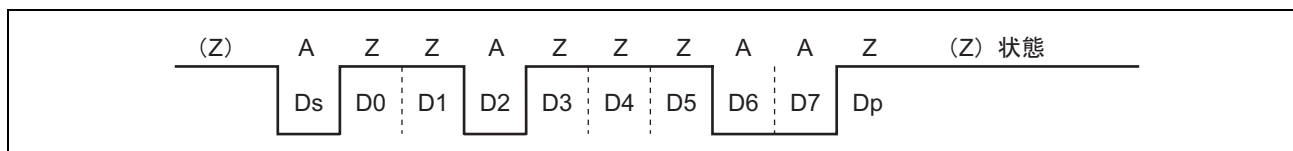


図 14.23 ダイレクトコンベンション (SDIR=SINV=0/E=0)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。上記の開始キャラクタではデータは H'3B となります。ダイレクトコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 0 にセットしてください。また、スマートカードの規程により偶数パリティとなるよう SMR の O/\bar{E} ビットには 0 をセットしてください。

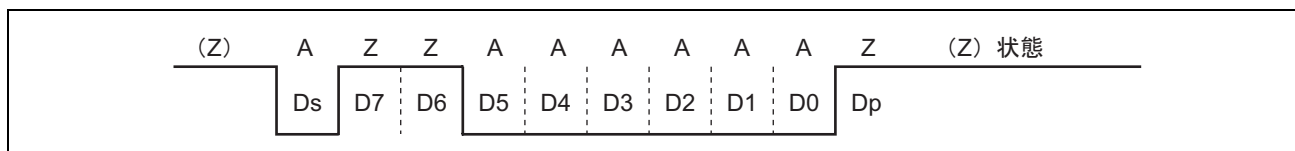


図 14.24 インバースコンベンション (SDIR=SINV=O/E=1)

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。上記の開始キャラクタではデータは H'3F となります。インバースコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 1 にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。本 LSI では、SINV ビットはデータビット D7~D0 のみ反転させます。このため、送受信とも SMR の O/\bar{E} ビットに 1 を設定してパリティビットを反転させてください。

14.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSR の PER はセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小 1 etu 以上です。
- 送信時は再送信を行わないため、TEND フラグは送信開始から 11.5 etu 後にセットされます。
- ERS フラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に 0 となります。

14.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP1、BCP0の設定によりビットレートの32倍、64倍、372倍、256倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図14.25に示すように受信データを基本クロックのそれぞれ16、32、186、128ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=32、64、372、256)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=10)

F : クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372 とすると、受信マージンは次のようになります。

$$M = (0.5 - 1/2 \times 372) \times 100\% \\ = 49.866\%$$

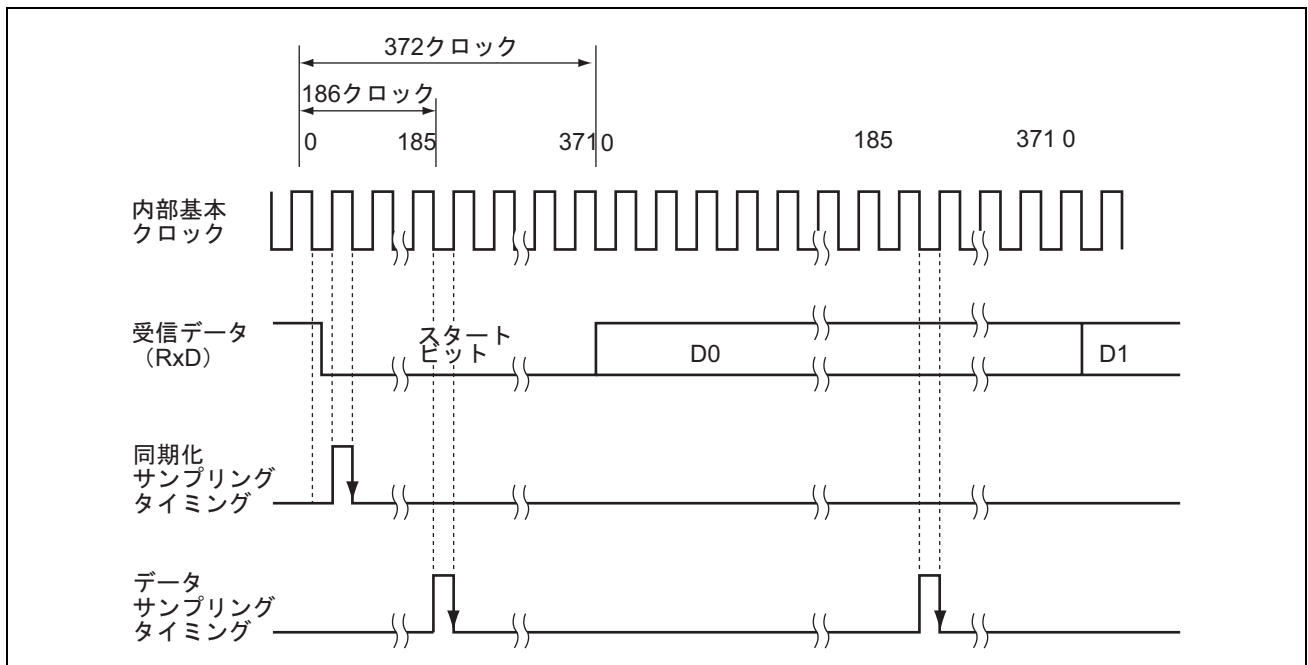


図 14.25 スマートカードインタフェースモード時の受信データサンプリングタイミング (372倍のクロック使用時)

14.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. 該当端子のICRビットを1にセットしてください。
3. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
4. SMRのGM、BLK、O \bar{E} 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
5. SCMRのSMIF、SDIR、SINVビットを設定してください。また、TxD端子に該当するDDRを0にクリアします。これにより、TxD端子およびRxD端子は共にポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
6. ビットレートに対応する値をBRRに設定します。
7. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
8. 少なくとも、1ビット期間待つてから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1 に設定してください。送信動作の完了は TEND フラグで確認できます。

14.7.6 データ送信 (ブロック転送モードを除く)

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります (ブロック転送モードを除く)。送信時の再転送動作を図 14.26 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR の ERS ビットが 1 にセットされます。このとき、SCR の RIE ビットがセットされていると ERI 割り込み要求を発生します。次のパリティビットのサンプリングまでに ERS をクリアしてください。
- 2 エラーシグナルを受信したフレームでは、SSR の TEND はセットされません。TDR から TSR に再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、SSR の ERS ビットはセットされません。
- 4 再転送を含む 1 フレームの送信が完了したと判断して、SSR の TEND がセットされます。このとき SCR の TIE がセットされていれば、TXI 割り込み要求を発生します。送信データを TDR に書き込むことにより次のデータが送信されます。

送信処理フローの例を図 14.28 に示します。これら一連の処理は TXI 割り込み要因によって DMAC または DTC を起動することで、自動的に行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくことで TXI 割り込み要求を発生します。あらかじめ DMAC または DTC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC または DTC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DMAC または DTC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC または DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC または DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DMAC または DTC を使って送受信を行う場合は、必ず先に DMAC または DTC を設定し、許可状態にしてから SCI の設定を行ってください。DMAC または DTC の設定方法は「7. DMA コントローラ (DMAC)」、「8. データトランスファコントローラ (DTC)」を参照してください。

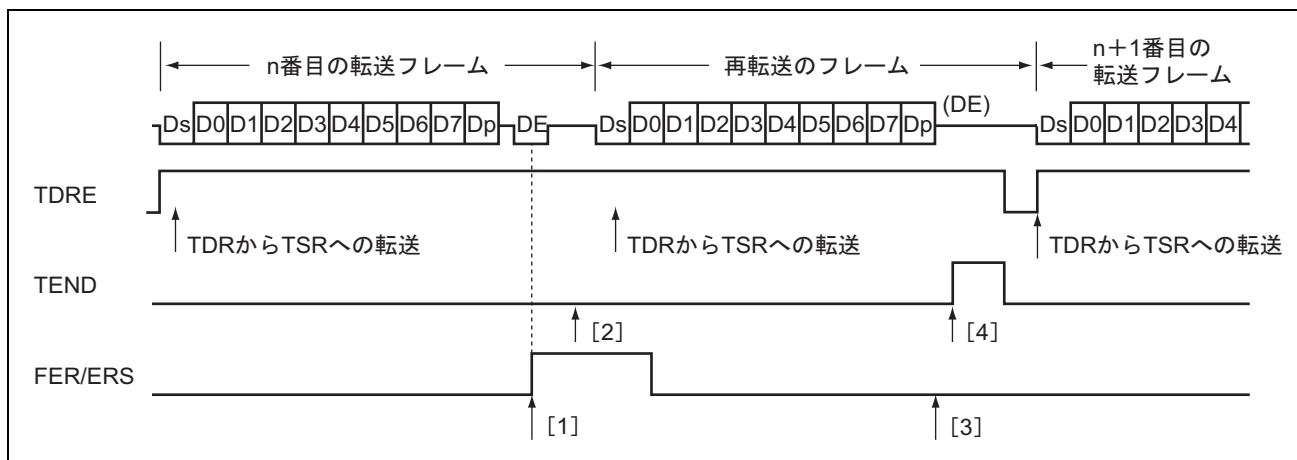


図 14.26 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 14.27 に TEND フラグ発生タイミングを示します。

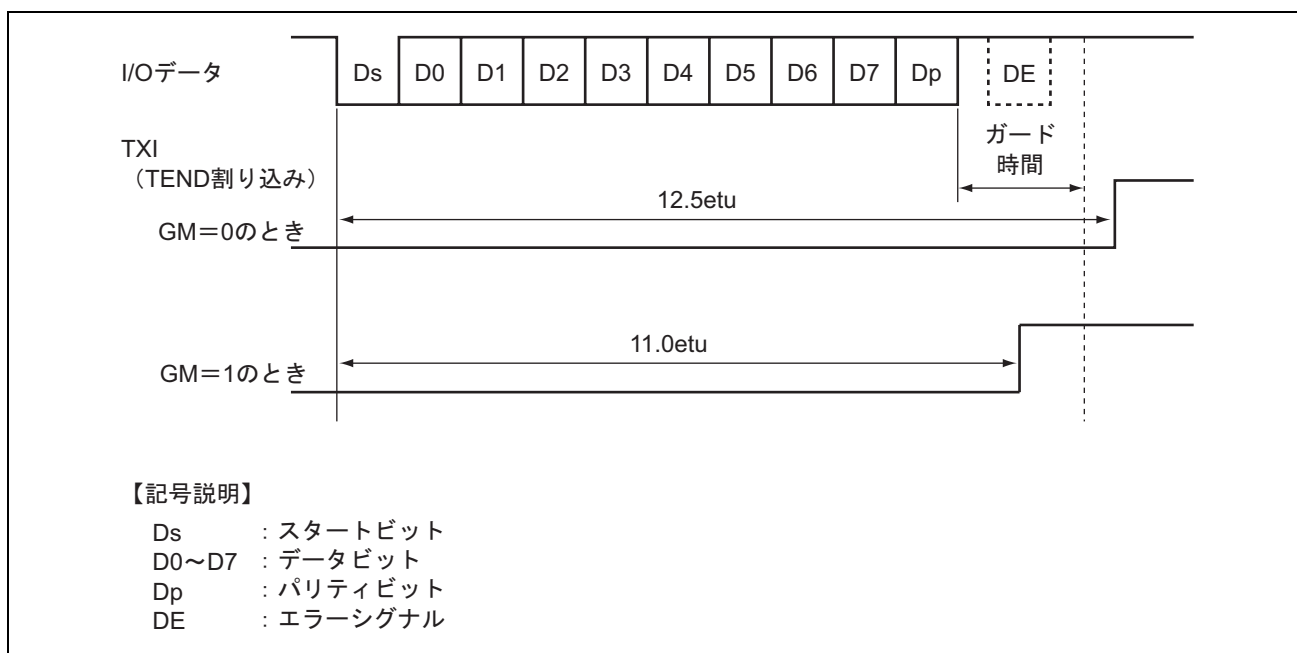


図 14.27 送信動作時の TEND フラグ発生タイミング

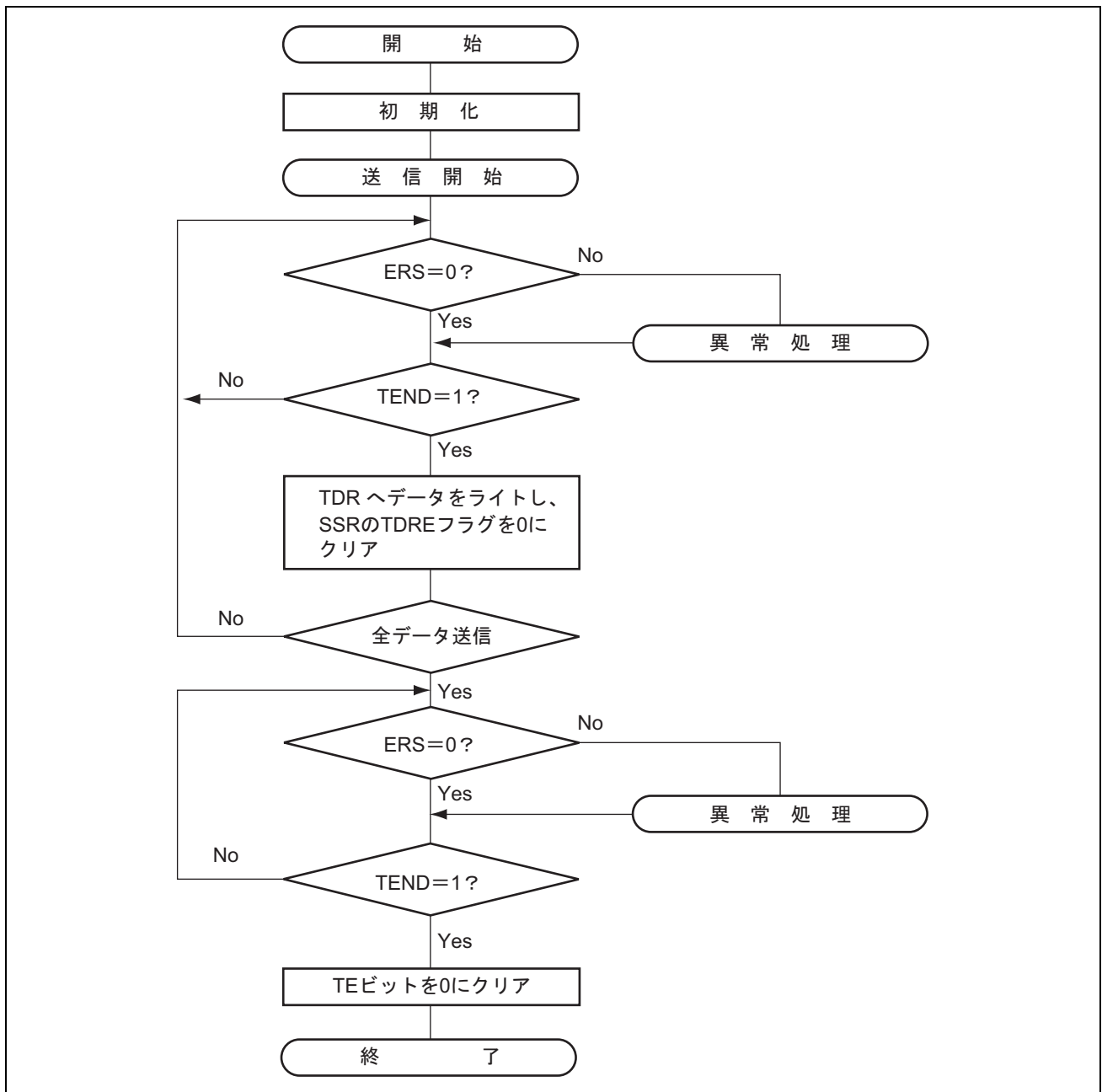


図 14.28 送信処理フローの例

14.7.7 シリアルデータ受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 14.29 に示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。
4. 正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていれば、RXI割り込み要求を発生します。

受信フローの例を図 14.30 に示します。これら一連の処理は RXI 割り込み要因によって DMAC または DTC を起動することで、自動的に行うことができます。受信動作では、RIE ビットを 1 にセットしておくことで RDRF フラグが 1 にセットされると RXI 要求を発生します。あらかじめ DMAC または DTC の起動要因に RXI 要求を設定しておけば、RXI 要求により DMAC または DTC が起動されて受信データの転送を行います。DMAC または DTC によりデータが転送されると RDRF フラグは自動的にクリアされます。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DMAC または DTC は起動されず、受信データはスキップされるため DMAC または DTC に設定したバイト数だけ受信データを転送します。なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「14.4 調歩同期式モードの動作」を参照してください。

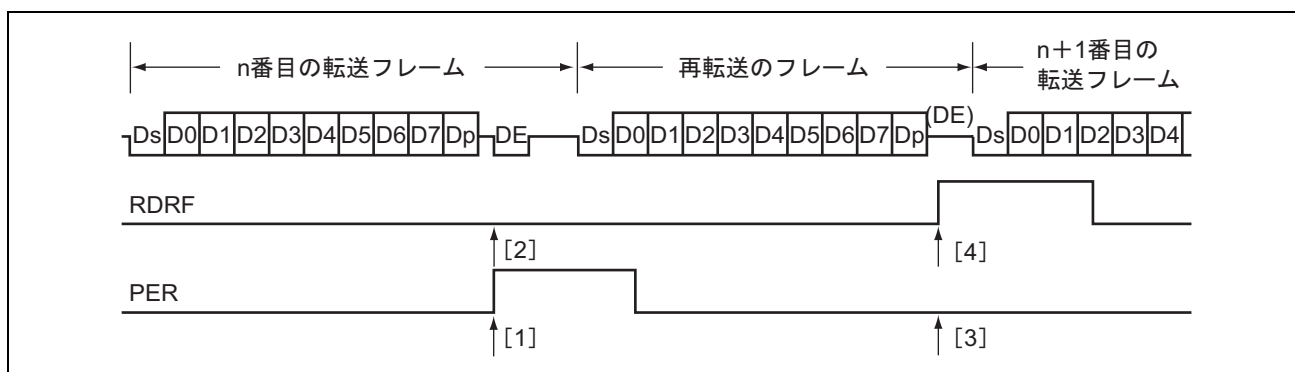


図 14.29 SCI 受信モードの場合の再転送動作

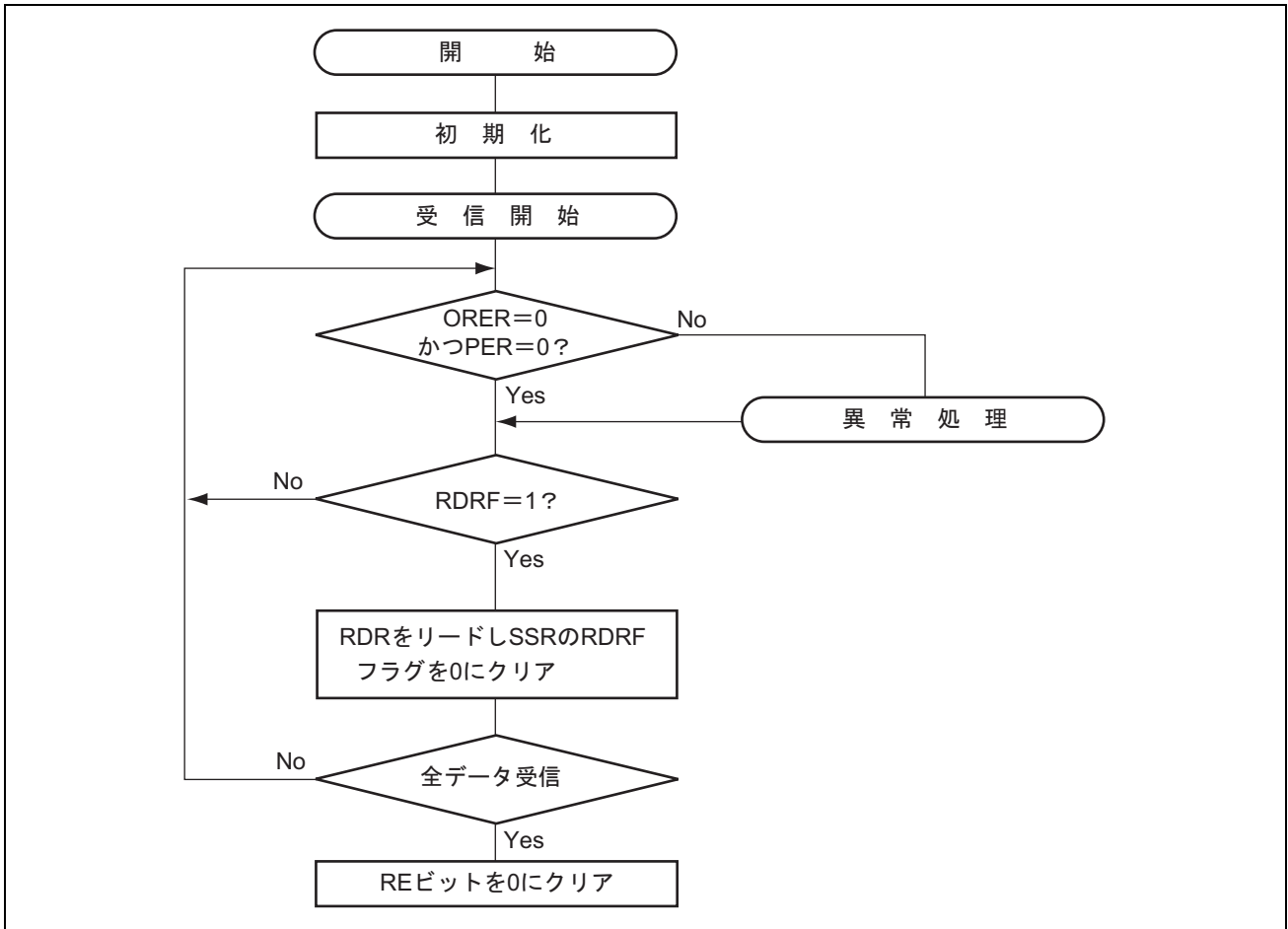


図 14.30 受信フローの例

14.7.8 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 14.31 にクロック出力の固定タイミングを示します。GM=1、CKE1=0 とし、CKE0 ビットを制御した場合の例です。

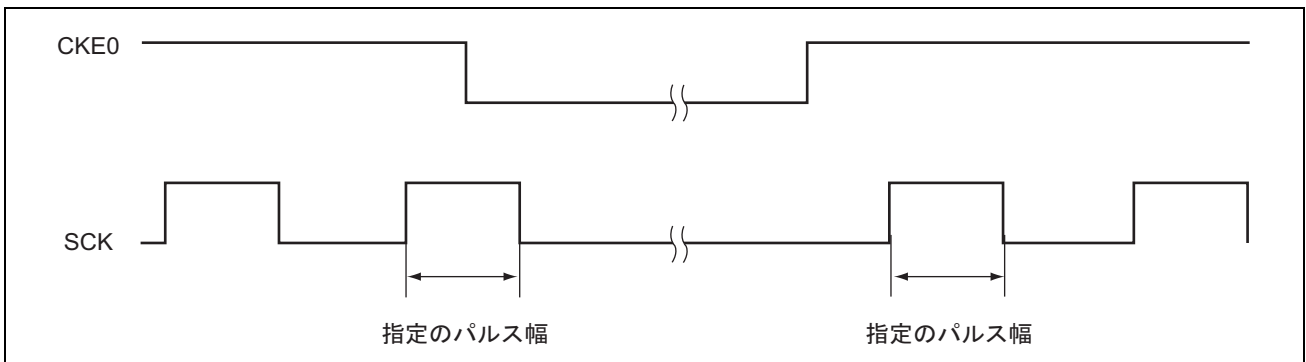


図 14.31 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

● 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

● モード切り替え時

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信/受信動作を停止させてください。
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

1. ソフトウェアスタンバイ状態を解除してください。
2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。正常なデューティにて信号発生を開始します。

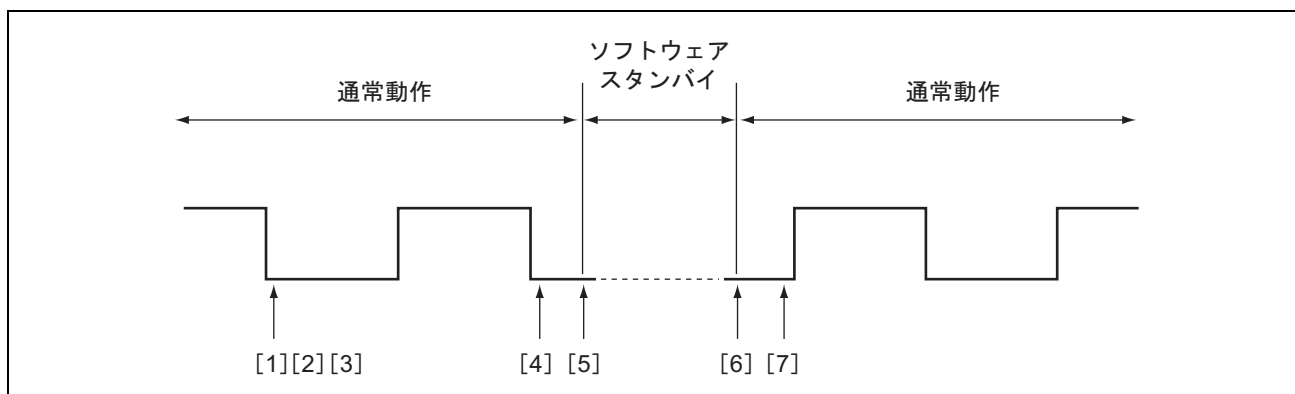


図 14.32 クロック停止・再起動手順

14.8 割り込み要因

14.8.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 14.12 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DMAC または DTC を起動してデータ転送を行うことができます。TDRE フラグは DMAC または DTC によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC または DTC を起動してデータ転送を行うことができます。RDRF フラグは DMAC または DTC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 14.12 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC の起動	DTC の起動	優先順位
ERI	受信エラー	ORER、FER、PER	不可	不可	高 ↑ 低
RXI	受信データフル	RDRF	可	可	
TXI	送信データエンプティ	TDRE	可	可	
TEI	送信終了	TEND	不可	不可	

14.8.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 14.13 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 14.13 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC の起動	DTC の起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	不可	高
RXI	受信データフル	RDRF	可	可	↑
TXI	送信データエンプティ	TEND	可	可	低

スマートカードモードの場合も通常の SCI の場合と同様に、DMAC または DTC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DMAC または DTC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC または DTC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DMAC または DTC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC または DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC または DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求が発生させ、ERS をクリアしてください。

なお、DMAC または DTC を使って送受信を行う場合は、必ず先に DMAC または DTC を設定し、許可状態にしてから SCI の設定を行ってください。DMAC または DTC の設定方法は「7. DMA コントローラ (DMAC)」、「8. データトランスファコントローラ (DTC)」を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因に RXI 要求を設定しておけば、RXI 要求で DMAC または DTC が起動されて受信データの転送を行います。RDRF フラグは、DMAC または DTC によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため DMAC または DTC は起動されず、かわりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

14.9 使用上の注意事項

14.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCI の動作禁止／許可を設定することが可能です。初期値では、SCI の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「19. 低消費電力」を参照してください。

14.9.2 ブレークの検出と処理について

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

14.9.3 マーク状態とブレークの送付

TE が 0 のとき、TxD 端子は DR と DDR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークを送付することができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、DDR=1、DR=1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送付したいときは、DDR=1、DR=0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

14.9.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

14.9.5 TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

14.9.6 DMAC または DTC 使用上の制約事項

1. 同期クロックに外部クロックソースを使用する場合、DMACまたはDTCによるTDRの更新後、Pφクロックで5クロック以上経過した後に送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると誤動作することがあります（図14.33参照）。
2. DMACまたはDTCにより、RDRのリードを行うときは必ず起動要因を当該SCIの受信完了割り込み (RXI) に設定してください。

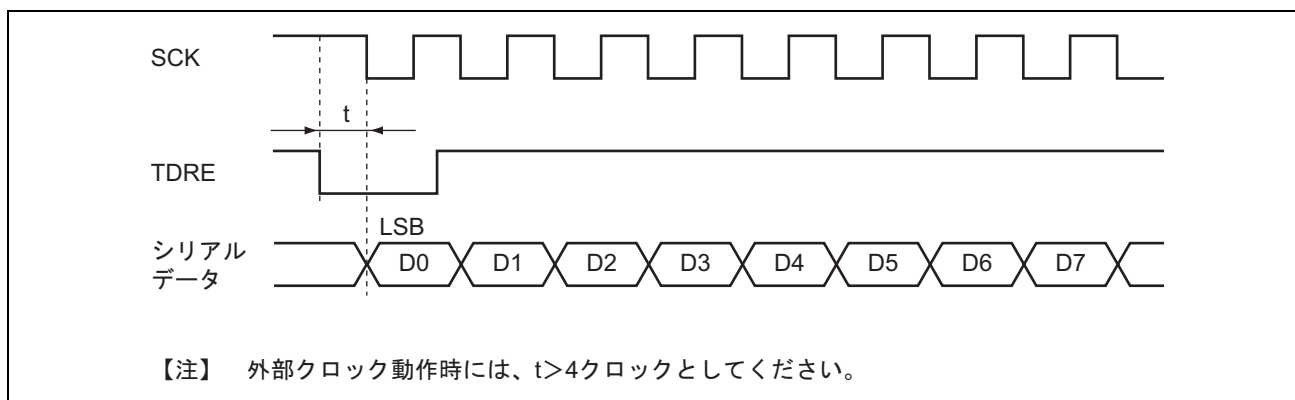


図 14.33 DTC によるクロック同期式送信時の例

14.9.7 モード遷移時の動作について

(1) 送信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、動作を停止 ($TE=TIE=TEIE=0$) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード期間中の出力端子の状態は、ポートの設定に依存し、モード解除後 High 出力となります。送信中に遷移すると、送信中のデータは不確定になります。

モード解除後、送信モードを変えないで送信する場合は、 $TE=1$ に設定し、SSR リード→TDR ライト→TDRE クリアで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 14.34 に送信時のモード遷移フローチャートの例を示します。図 14.35、図 14.36 にモード遷移時のポートの端子状態を示します。

また、DTC 転送による送信からモジュールストップモード、ソフトウェアスタンバイモード遷移時には、動作を停止 ($TE=TIE=TEIE=0$) してから行ってください。解除後 DTC による送信をする場合は $TE=1$ 、 $TIE=1$ に設定すると TXI フラグが立ち、DTC による送信が始まります。

(2) 受信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、受信動作を停止 ($RE=0$) してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信中のデータは無効になります。

モード解除後、受信モードを変えないで受信する場合は、 $RE=1$ に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 14.37 に受信時のモード遷移フローチャートの例を示します。

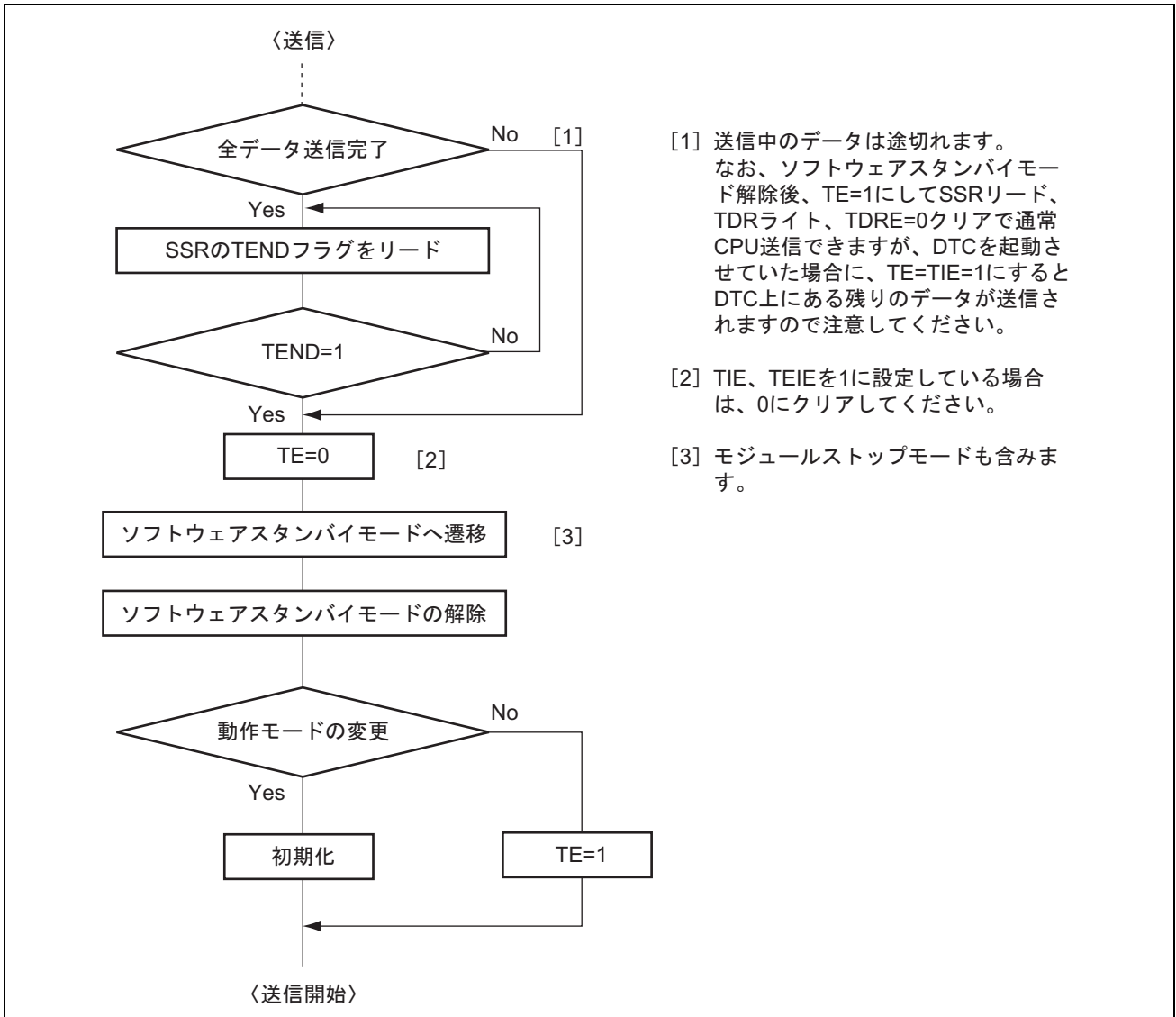


図 14.34 送信時のモード遷移フローチャートの例

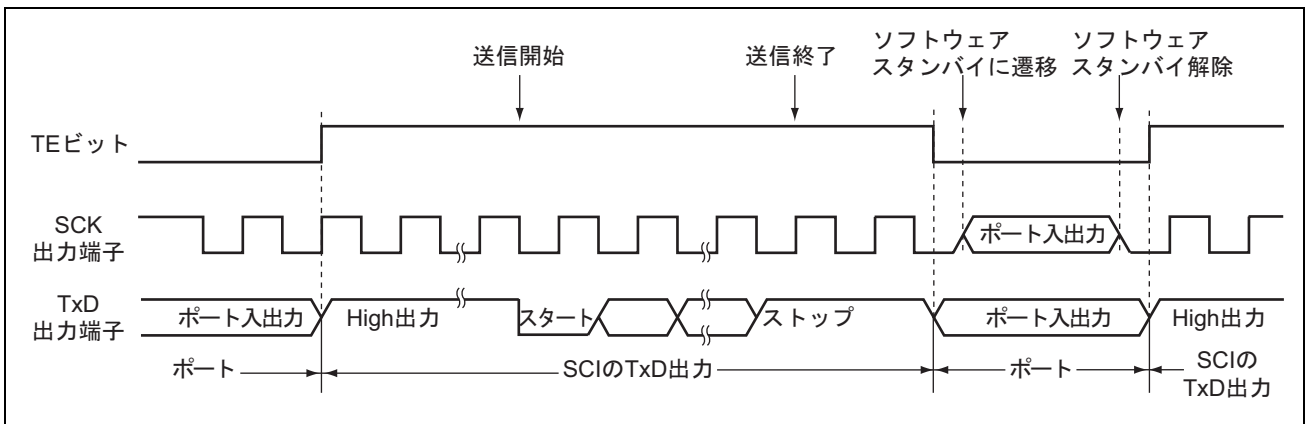


図 14.35 モード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

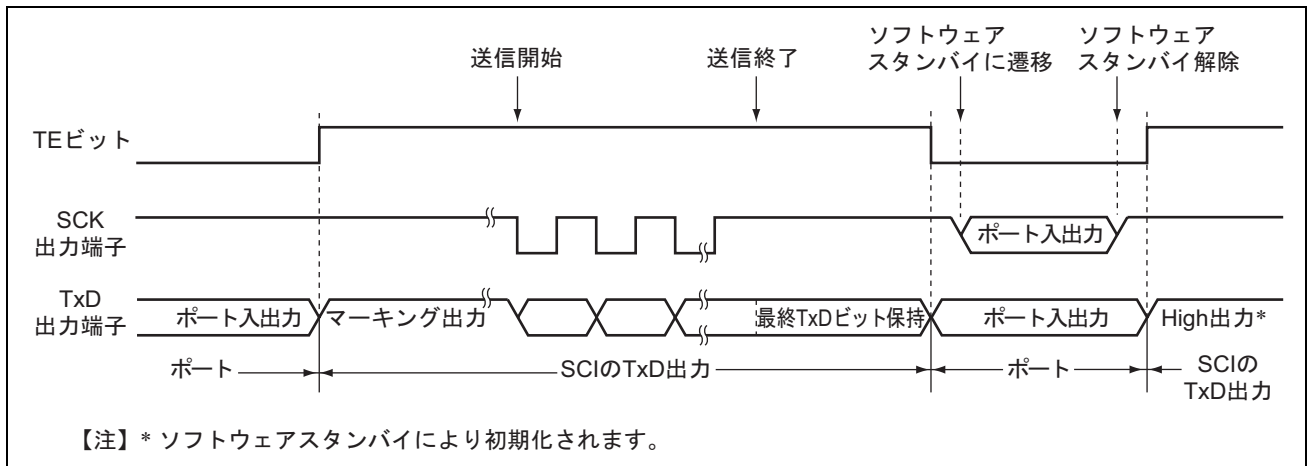


図 14.36 モード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

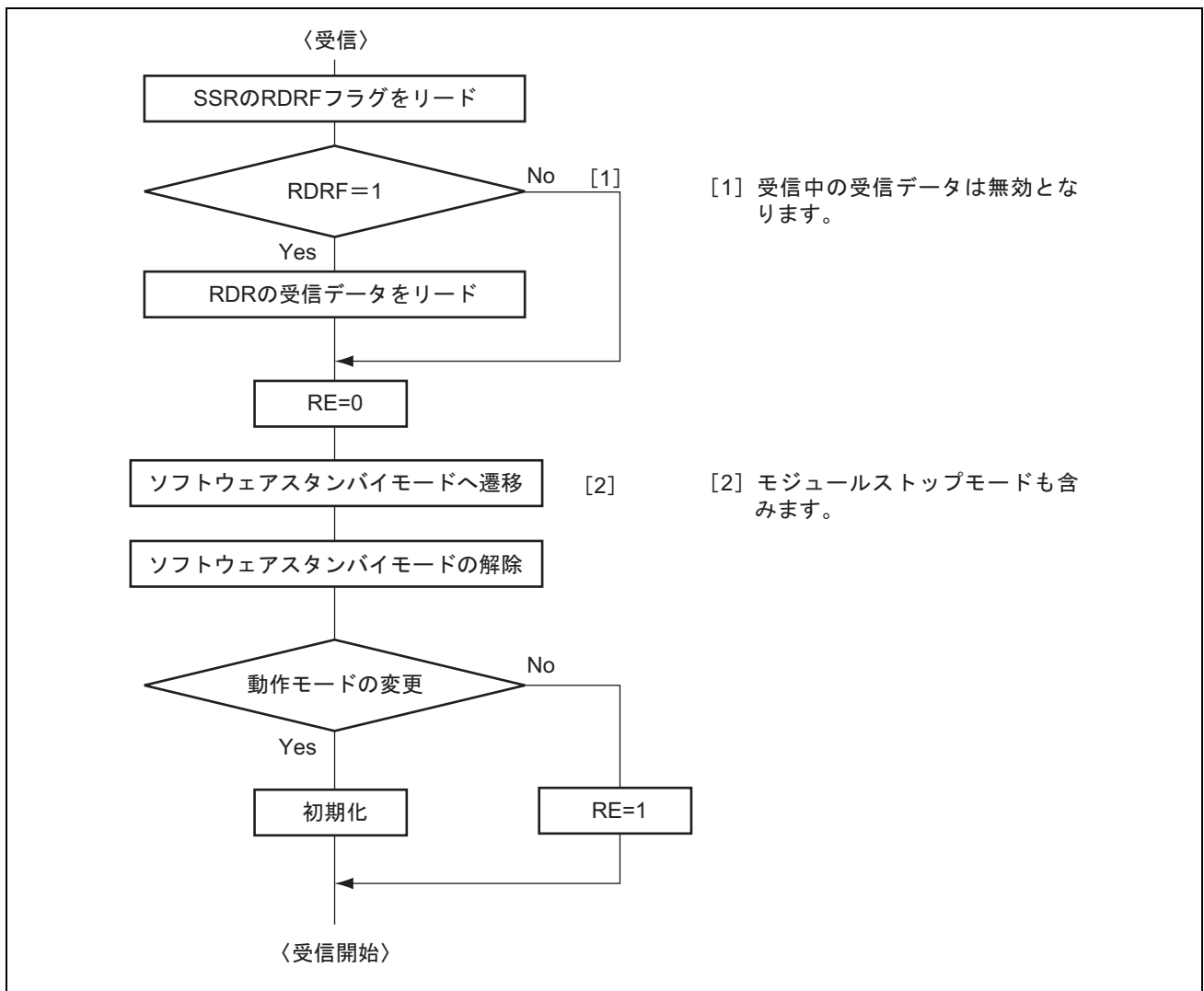


図 14.37 受信時のモード遷移フローチャートの例

15. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しています。最大 8 チャンネルのアナログ入力を選択することができます。

A/D 変換器のブロック図を図 15.1 に示します。

15.1 特長

- 分解能：10ビット
- 入力チャンネル：8チャンネル
- 変換時間：1チャンネル当たり $7.4\mu\text{s}$ (35MHz動作時)
- 動作モード：2種類
 - シングルモード：1チャンネルのA/D変換
 - スキャンモード：1～4チャンネルの連続A/D変換、または1～8チャンネルの連続A/D変換
- データレジスタ：8本
 - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - ソフトウェア
 - 16ビットタイマパルスユニット (TPU) または8ビットタイマ (TMR) による変換開始トリガ
 - 外部トリガ信号
- 割り込み要因
 - A/D変換終了割り込み要求 (ADI) を発生
- モジュールストップモードの設定可能

15. A/D 変換器

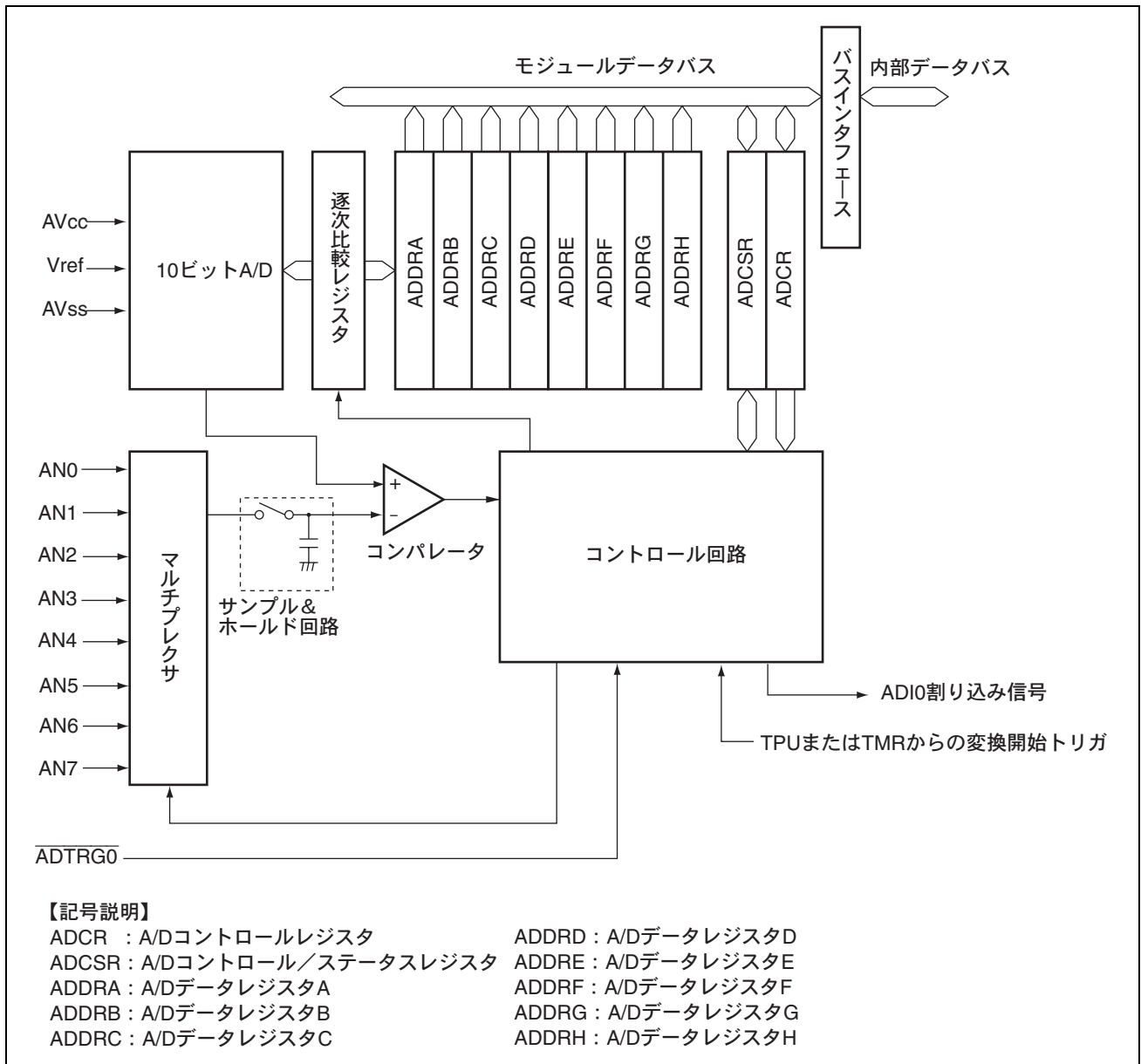


図 15.1 A/D 変換器のブロック図

15.2 入出力端子

A/D 変換器で使用する入力端子を表 15.1 に示します。

表 15.1 端子構成

端子名	記号	入出力	機能
アナログ入力端子 0	AN0	入力	アナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	$\overline{\text{ADTRG0}}$	入力	A/D 変換開始のための外部トリガ入力端子
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
リファレンス電圧端子	Vref	入力	A/D 変換器の基準電圧端子

15.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/DデータレジスタE (ADDRE)
- A/DデータレジスタF (ADDRF)
- A/DデータレジスタG (ADDRG)
- A/DデータレジスタH (ADDRH)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

15. A/D 変換器

15.3.1 A/D データレジスタ A~H (ADDRA~ADDRH)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタです。ADDRA~ADDRH の 8 本あります。各アナログ入力チャネルの変換結果が格納される ADDR は表 15.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU との間のデータバスは 16 ビット幅で、CPU から直接リードできます。ADDR をアクセスする場合は、16 ビット単位でアクセスしてください。8 ビット単位でのアクセスは禁止です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名											—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15.2 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル	変換結果が格納される A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD
AN4	ADDRE
AN5	ADDRF
AN6	ADDRG
AN7	ADDRH

15.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	7	6	5	4	3	2	1	0
ビット名	ADF	ADIE	ADST	—	CH3	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> シングルモードで A/D 変換が終了したとき スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) ADI 割り込みにより DMAC または DTC が起動され、ADDR をリードしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を停止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、またはハードウェアスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
4	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
3	CH3	0	R/W	チャンネルセレクト 3~0
2	CH2	0	R/W	ADCR の SCANE ビット、SCANS ビットとともに、アナログ入力を選択します。
1	CH1	0	R/W	SCANE=0、
0	CH0	0	R/W	SCANE=1、
				SCANE=1、
				SCANS=X のとき
				SCANS=0 のとき
				SCANS=1 のとき
				0000 : AN0
				0001 : AN1
				0010 : AN2
				0011 : AN3
				0100 : AN4
				0101 : AN5
				0110 : AN6
				0111 : AN7
				1XXX : 設定禁止
				0000 : AN0
				0001 : AN0、AN1
				0010 : AN0~AN2
				0011 : AN0~AN3
				0100 : AN0~AN4
				0101 : AN0~AN5
				0110 : AN0~AN6
				0111 : AN0~AN7
				1XXX : 設定禁止
				1XXX : 設定禁止
				1XXX : 設定禁止

【記号説明】 X : Don't care

【注】 * フラグをクリアするための 0 ライトのみ可能です。

15. A/D 変換器

15.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	7	6	5	4	3	2	1	0
ビット名	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。 00 : 外部トリガによる A/D 変換開始を禁止 01 : TPU からの変換トリガによる A/D 変換開始 10 : TMR からの変換トリガによる A/D 変換開始 11 : $\overline{\text{ADTRG0}}$ による A/D 変換開始*
5	SCANE	0	R/W	スキャンモード
4	SCANS	0	R/W	A/D 変換の動作モードを選択します。 0X : シングルモード 10 : スキャンモード (1~4 チャンネルの連続 A/D 変換) 11 : スキャンモード (1~8 チャンネルの連続 A/D 変換)
3	CKS1	0	R/W	クロックセレクト 1、0
2	CKS0	0	R/W	A/D 変換時間の設定を行います。変換時間の設定は変換停止中 (ADST=0) に行ってください。 00 : 変換時間=530 ステート (max) 01 : 変換時間=266 ステート (max) 10 : 変換時間=134 ステート (max) 11 : 変換時間=68 ステート (max)
1	—	0	R	リザーブビット
0	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。

【記号説明】 X : Don't care

【注】 * $\overline{\text{ADTRG}}$ による A/D 変換開始に設定する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「9. I/O ポート」を参照してください。

15.4 動作説明

A/D 変換器は、逐次比較方式で分解能は 10 ビットです。動作モードには、シングルモードとスキャンモードがあります。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャンネルの変更と、ADST ビットを 1 にセットするのは同時に行うことができます。

15.4.1 シングルモード

シングルモードは、指定された 1 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャンネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。A/D 変換中に ADST ビットを 0 にクリアすると A/D 変換を中止し、A/D 変換器は待機状態になります。

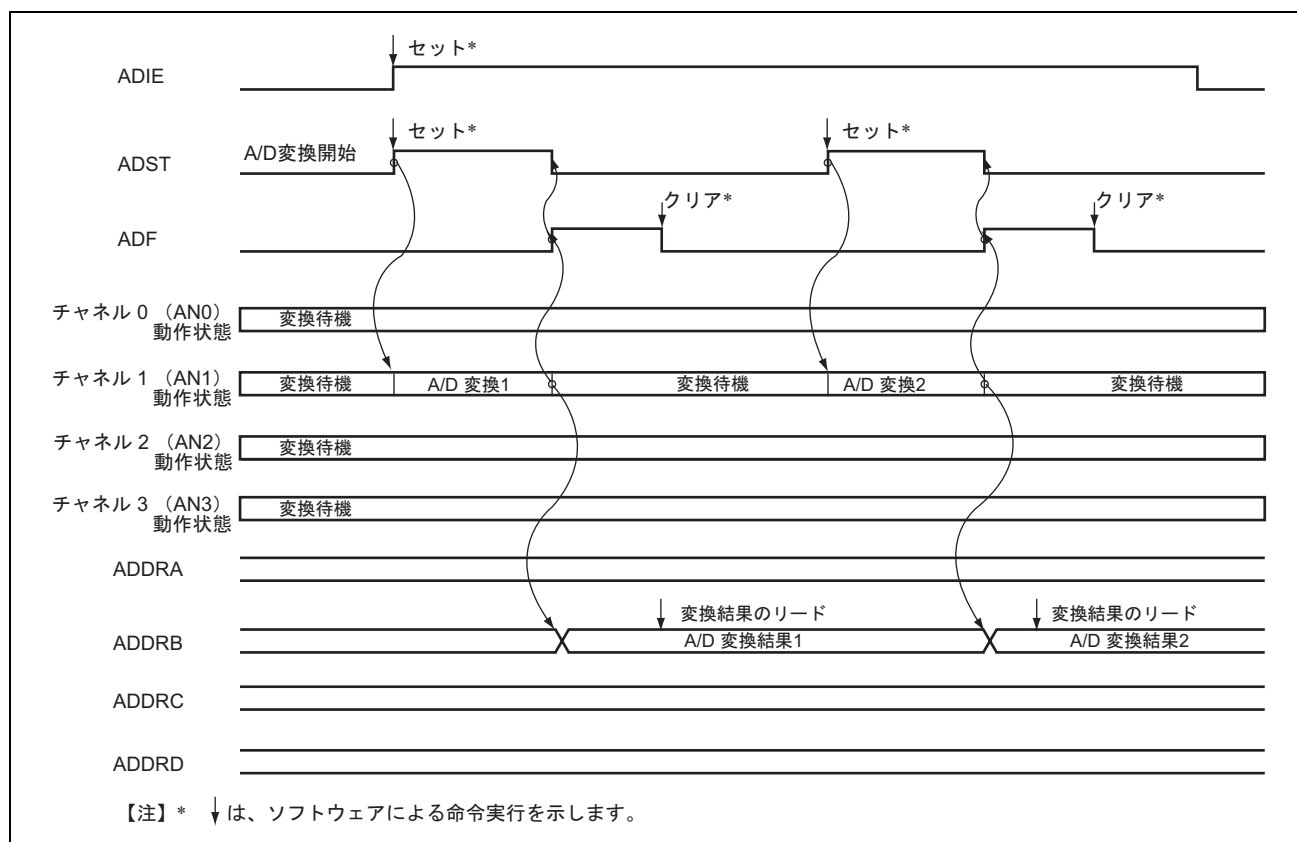


図 15.2 A/D 変換器の動作例（シングルモード、チャンネル 1 選択時）

15.4.2 スキャンモード

スキャンモードは、指定された最大4チャンネル、または最大8チャンネルのアナログ入力を以下のように順次連続してA/D変換します。

- ソフトウェア、TPU、TMR、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャンネルの第1チャンネルからA/D変換を開始します。最大4チャンネルの連続A/D変換（SCANE、SCANS=B'10）、または最大8チャンネルの連続A/D変換（SCANE、SCANS=B'11）を選択できます。4チャンネルの連続A/D変換の場合は、CH3、CH2=B'00のときAN0、CH3、CH2=B'01のときAN4からA/D変換を開始します。8チャンネルの連続A/D変換の場合は、CH3=B'0のときAN0からA/D変換を開始します。
- それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するADDRに転送されます。
- 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再び第1チャンネルからA/D変換を開始します。
- ADSTビットは自動的にクリアされず、1にセットされている間は2～3を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。その後、ADSTビットを1にセットすると再び第1チャンネルからA/D変換を開始します。

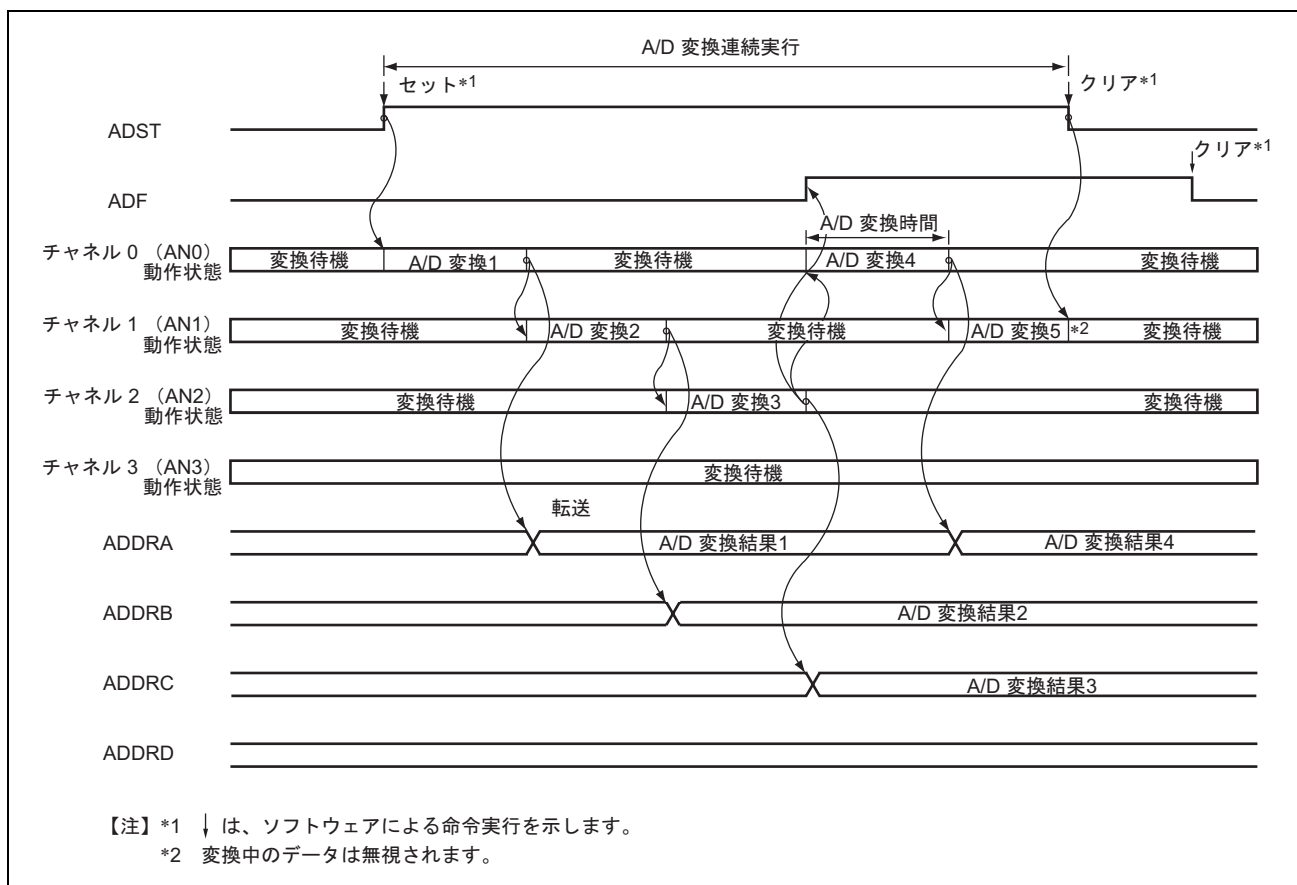


図 15.3 A/D 変換器の動作例（スキャンモード、AN0～AN2 の3チャンネル選択時）

15.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間(t_D)経過後、入力のサンプリングを行い、その後 A/D 変換を開始します。A/D 変換のタイミングを図 15.4 に示します。また、A/D 変換時間を表 15.3 に示します。

A/D 変換時間(t_{CONV})は、図 15.4 に示すように、 t_D と入力サンプリング時間(t_{SPL})を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 15.3 に示す範囲で変化します。

スキャンモードの変換時間は、表 15.3 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 15.4 に示す値となります。いずれの場合も、変換時間は A/D 変換特性に示す範囲となるように ADCR の CKS1、CKS0 ビットを設定してください。

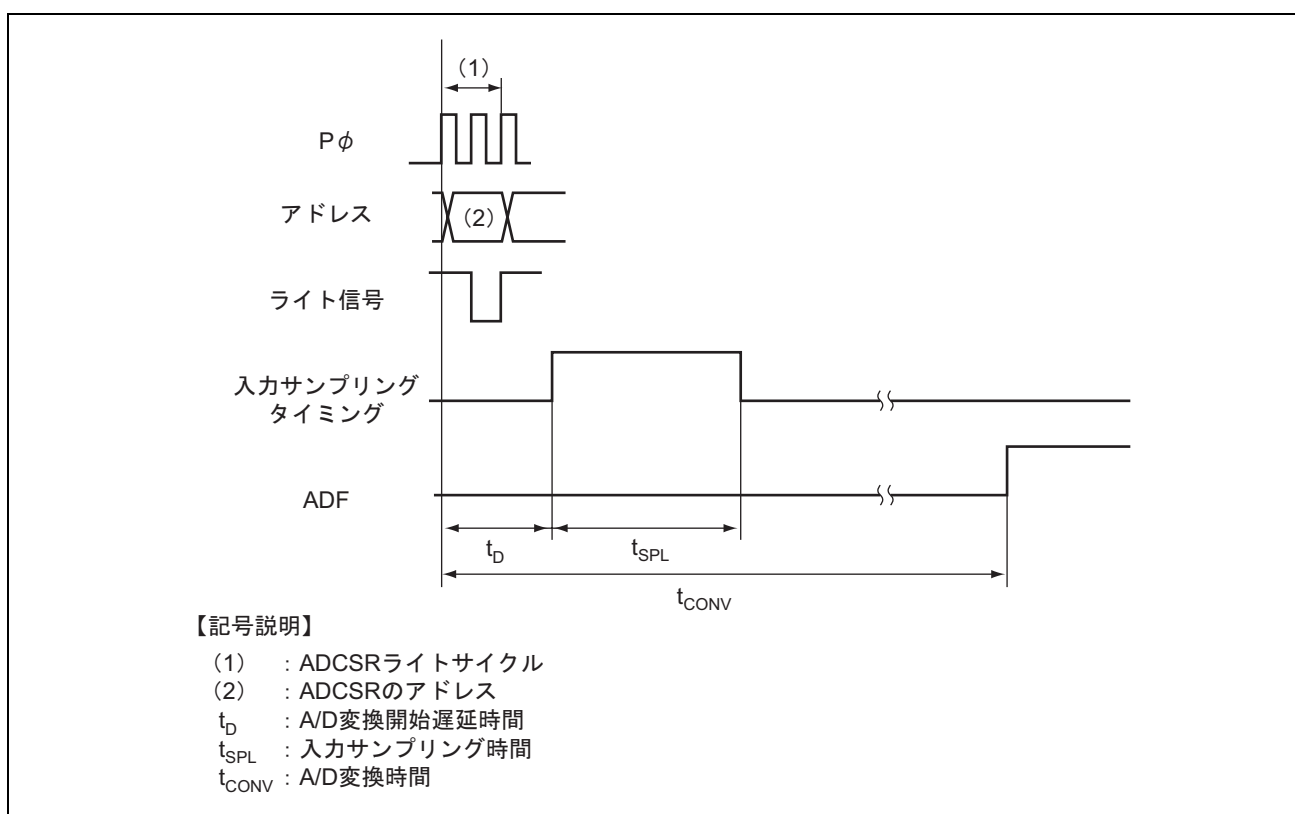


図 15.4 A/D 変換タイミング

15. A/D 変換器

表 15.3 A/D 変換特性 (シングルモード)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	18	—	33	10	—	17	6	—	9	4	—	5
入力サンプリング時間	t_{SPL}	—	127	—	—	63	—	—	31	—	—	15	—
A/D 変換時間	t_{CONV}	515	—	530	259	—	266	131	—	134	67	—	68

【注】 表中の数値の単位はステートです。

表 15.4 A/D 変換時間 (スキャンモード)

CKS1	CKS0	変換時間 (ステート)
0	0	512 (固定)
	1	256 (固定)
1	0	128 (固定)
	1	64 (固定)

15.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが B'11 にセットされているとき、 $\overline{ADTRG0}$ 端子から入力されます。 $\overline{ADTRG0}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 15.5 に示します。

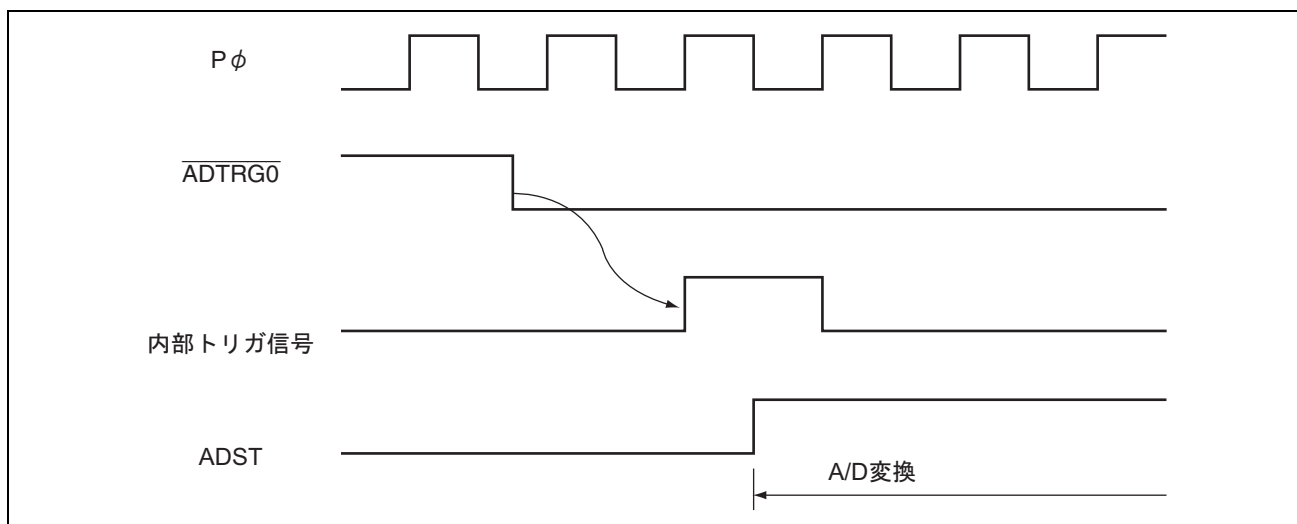


図 15.5 外部トリガ入力タイミング

15.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みで、DMA コントローラ (DMAC)、データトランスファコントローラ (DTC) の起動ができます。ADI 割り込みで変換されたデータのリードを DMAC または DTC で行くと、連続変換がソフトウェアの負担なく実現できます。

表 15.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動
ADI	A/D 変換終了	ADF	可	可

15.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能
A/D変換器のデジタル出力コード数
- 量子化誤差
A/D変換器が本質的に有する偏差であり、1/2LSBで与えられる (図15.6)。
- オフセット誤差
デジタル出力が最小電圧値B'000000000 (H'000) からB'000000001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図15.7)
- フルスケール誤差
デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図15.7)
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図15.7)。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

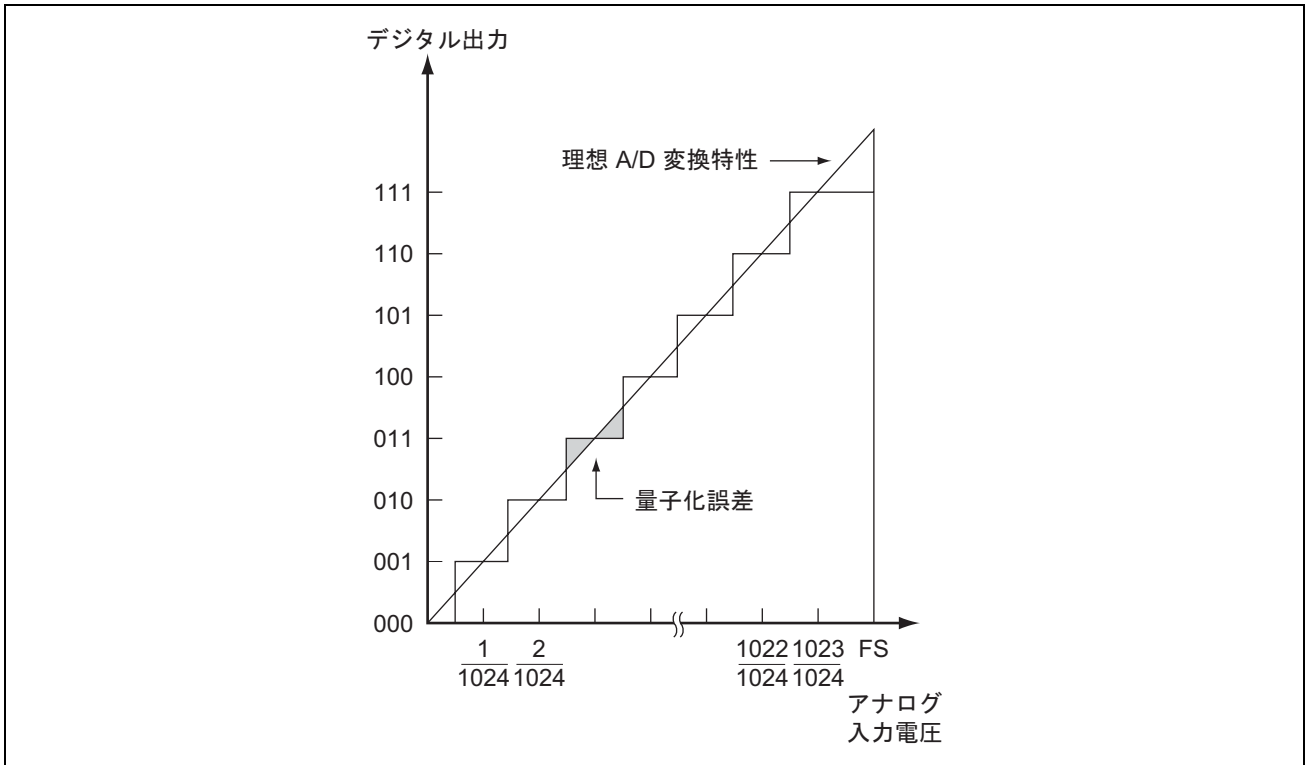


図 15.6 A/D 変換精度の定義

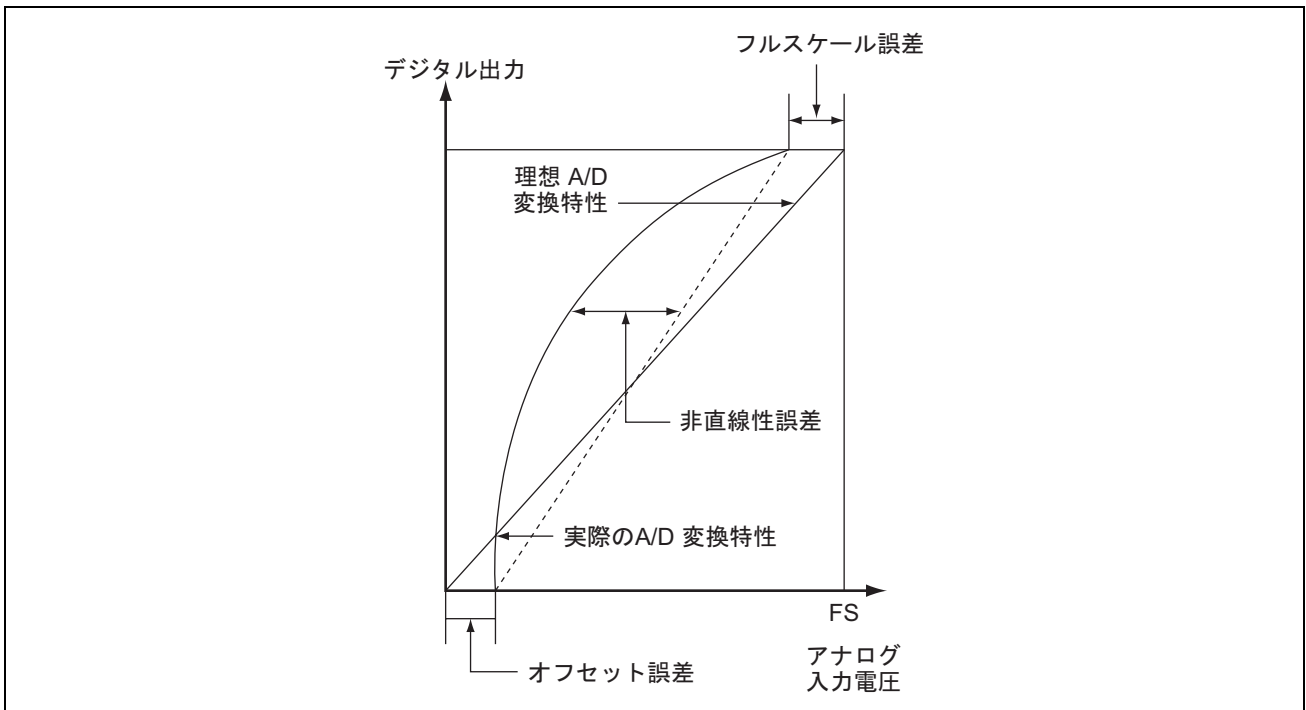


図 15.7 A/D 変換精度の定義

15.7 使用上の注意事項

15.7.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「19. 低消費電力」を参照してください。

15.7.2 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $10\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $10\text{k}\Omega$ を超える場合は、充電不足が生じて A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので、信号源インピーダンスは不用となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5\text{mV}/\mu\text{s}$ 以上）には追従できないことがあります（図 15.8）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

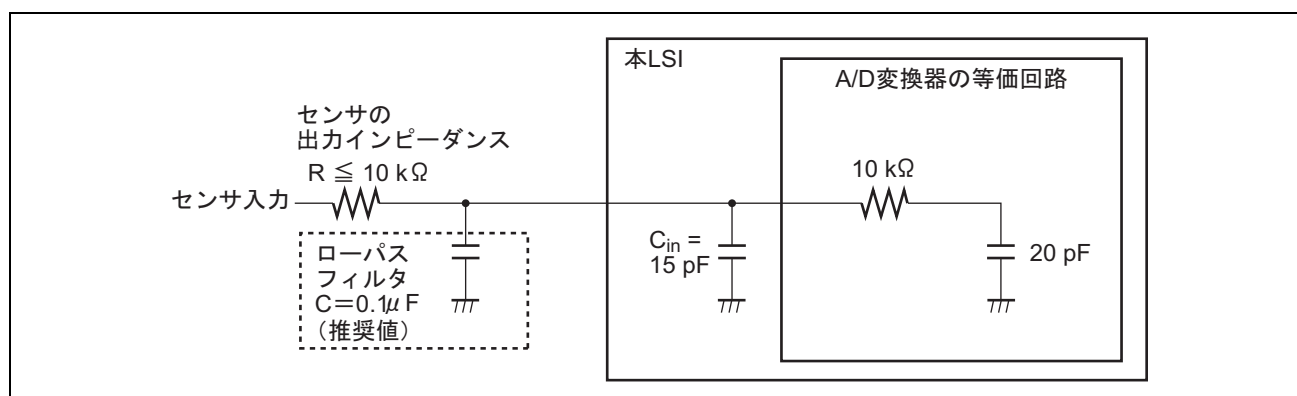


図 15.8 アナログ入力回路の例

15.7.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

15.7.4 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子ANnに印加する電圧は $AV_{ss} \leq V_{AN} \leq V_{ref}$ の範囲としてください。

- AV_{cc} 、 AV_{ss} と V_{cc} 、 V_{ss} の関係

AV_{cc} 、 AV_{ss} と V_{cc} 、 V_{ss} との関係は $AV_{cc} = V_{cc} \pm 0.3V$ かつ $AV_{ss} = V_{ss}$ としてください。A/D変換器を使用しない場合、 $AV_{cc} = V_{cc}$ 、 $AV_{ss} = V_{ss}$ としてください。

- V_{ref} の設定範囲

V_{ref} 端子によるリファレンス電圧の設定範囲は、 $V_{ref} \leq AV_{cc}$ にしてください。

15.7.5 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D 変換値に悪影響を及ぼします。アナログ入力端子（AN0～AN7）、アナログ基準電源（ V_{ref} ）、アナログ電源電圧（ AV_{cc} ）は、アナロググランド（ AV_{ss} ）でデジタル回路と分離してください。さらに、アナロググランド（ AV_{ss} ）は、ボード上の安定したグランド（ V_{ss} ）に一点接続してください。

15.7.6 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子（AN0～AN7）の破壊を防ぐために、図 15.9 に示すように AV_{cc} — AV_{ss} 間に保護回路を接続してください。 AV_{cc} に接続するバイパスコンデンサ、AN0～AN7 に接続するフィルタ用のコンデンサは、必ず AV_{ss} に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0～AN7 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス（ R_{in} ）を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は充分ご検討の上決定してください。

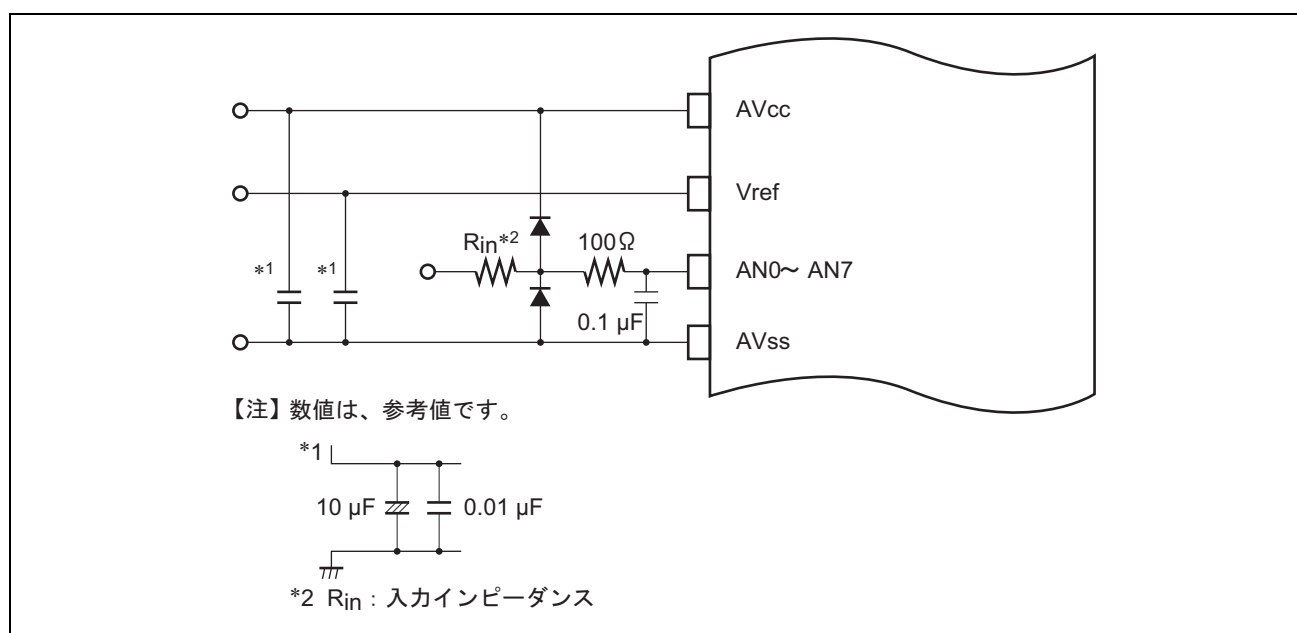


図 15.9 アナログ入力保護回路の例

表 15.6 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	10	k Ω

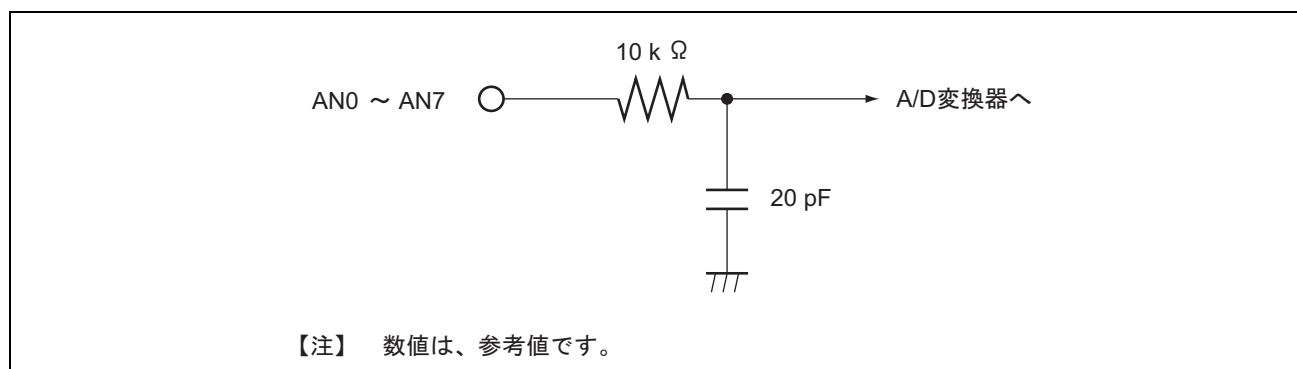


図 15.10 アナログ入力端子等価回路

15.7.7 ソフトウェアスタンバイ時の A/D 変換保持機能

A/D 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると A/D 変換は保持され、アナログ電源電流は A/D 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、ADST、TRGS1、TRGS0 ビットをすべて 0 にクリアして A/D 変換を禁止してください。

16. D/A 変換器

16.1 特長

- 分解能：8ビット
- 出力チャンネル：2チャンネル
- 変換時間：最大 $10\mu\text{s}$ （負荷容量 20pF 時）
- 出力電圧： $0\text{V}\sim V_{\text{ref}}$
- ソフトウェアスタンバイモード時のD/A出力保持機能
- モジュールストップモードの設定可能

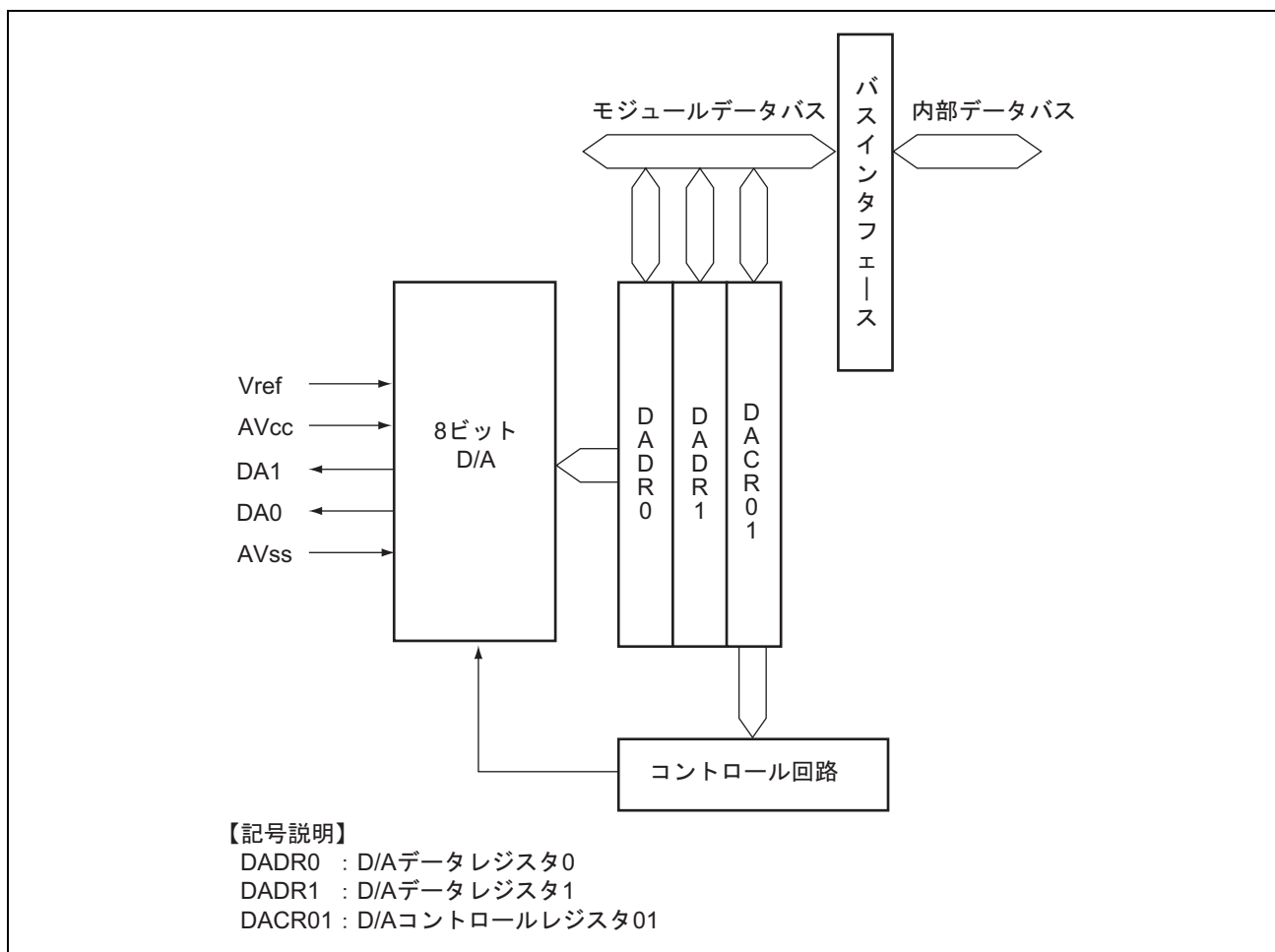


図 16.1 D/A 変換器のブロック図

16.2 入出力端子

D/A 変換器で使用する入出力端子を表 16.1 に示します。

表 16.1 端子構成

名 称	記号	入出力	機 能
アナログ電源端子	AV _{CC}	入力	アナログ部の電源端子
アナロググランド端子	AV _{SS}	入力	アナログ部のグランド端子
リファレンス電源端子	V _{ref}	入力	D/A 変換器の基準電圧端子
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力

16.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。

- D/Aデータレジスタ0 (DADR0)
- D/Aデータレジスタ1 (DADR1)
- D/Aコントロールレジスタ01 (DACR01)

16.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

DADR は、D/A 変換を行うデータを格納するための 8 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、DADR の値が変換されアナログ出力端子に出力されます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.2 D/A コントロールレジスタ 01 (DACR01)

DACR01 は D/A 変換器の動作を制御します。

- DACR01

ビット	7	6	5	4	3	2	1	0
ビット名	DAOE1	DAOE0	DAE	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R	R	R	R

• DACR01

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 D/A 変換とアナログ出力を制御します。 0: チャンネル 1 のアナログ出力 (DA1) を禁止 1: チャンネル 1 の D/A 変換を許可。チャンネル 1 のアナログ出力 (DA1) を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 D/A 変換とアナログ出力を制御します。 0: チャンネル 0 のアナログ出力 (DA0) を禁止 1: チャンネル 0 の D/A 変換を許可。チャンネル 0 のアナログ出力 (DA0) を許可
5	DAE	0	R/W	D/A イネーブル DAOE0、DAOE1 ビットとの組み合わせで、D/A 変換を制御します。このビットが 0 にクリアされているとチャンネル 0、1 の D/A 変換は独立に制御されます。このビットが 1 にセットされているとチャンネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE0、DAOE1 ビットにより制御されます。表 16.2 を参照してください。
4~0	—	すべて 1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

表 16.2 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A 変換を禁止
		1	チャンネル 0 の D/A 変換を許可、チャンネル 1 の D/A 変換を禁止 チャンネル 0 のアナログ出力 (DA0) を許可、チャンネル 1 のアナログ出力 (DA1) を禁止
	1	0	チャンネル 0 の D/A 変換を禁止、チャンネル 1 の D/A 変換を許可 チャンネル 0 のアナログ出力 (DA0) を禁止、チャンネル 1 のアナログ出力 (DA1) を許可
		1	チャンネル 0、1 の D/A 変換を許可 チャンネル 0、1 のアナログ出力 (DA0、DA1) を許可
1	0	0	チャンネル 0、1 の D/A 変換を許可 チャンネル 0、1 のアナログ出力 (DA0、DA1) を禁止
		1	チャンネル 0、1 の D/A 変換を許可 チャンネル 0 のアナログ出力 (DA0) を許可、チャンネル 1 のアナログ出力 (DA1) を禁止
	1	0	チャンネル 0、1 の D/A 変換を許可 チャンネル 0 のアナログ出力 (DA0) を禁止、チャンネル 1 のアナログ出力 (DA1) を許可
		1	チャンネル 0、1 の D/A 変換を許可 チャンネル 0、1 のアナログ出力 (DA0、DA1) を許可

16.4 動作説明

2チャンネルのD/A変換器は、それぞれ独立して変換を行うことができます。DACR01のDAOEビットを1にセットすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図16.2に示します。

1. DADR0に変換データをライトします。
2. DACR01のDAOE0ビットを1にセットすると、D/A変換が開始されます。 t_{DCONV} 時間経過後、変換結果がアナログ出力端子DA0より出力されます。DADR0を書き換えるかDAOE0ビットを0にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表わされます。

$$\frac{\text{DADRの内容}}{256} \times V_{\text{ref}}$$

3. DADR0を書き換えるとただちに变換が開始されます。 t_{DCONV} 時間経過後、変換結果が出力されます。
4. DAOE0ビットを0にクリアするとアナログ出力を禁止します。

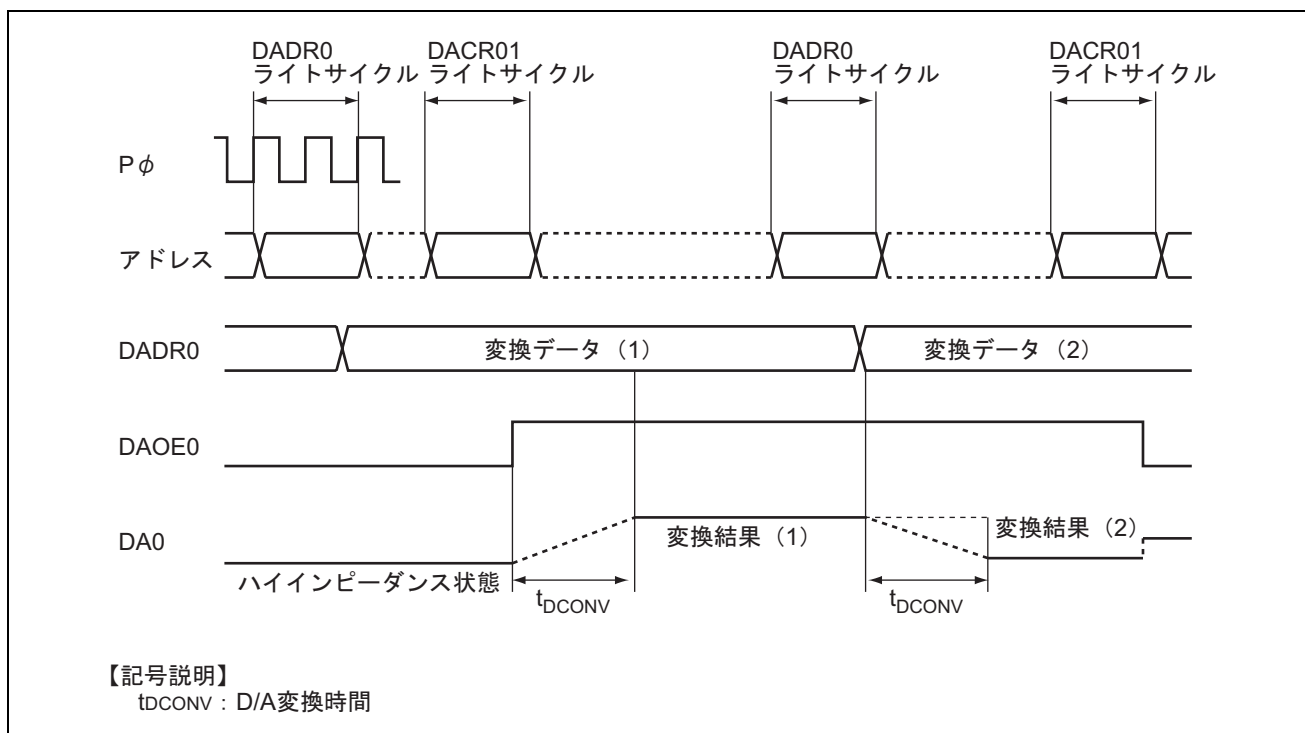


図 16.2 D/A 変換器の動作例

16.5 使用上の注意事項

16.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、D/A 変換器の動作禁止／許可を設定することが可能です。初期値では、D/A 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は「19. 低消費電力」を参照してください。

16.5.2 ソフトウェアスタンバイモード時の D/A 出力保持機能

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DAOE0、DAOE1、DAE ビットをすべて 0 にクリアして D/A 出力を禁止してください。

17. RAM

本 LSI は 40K バイトの高速スタティック RAM を内蔵しています。RAM は、CPU と 32 ビット幅のデータバスで接続されており、バイトデータ、ワードデータ、ロングワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

製品分類		RAM 容量	RAM アドレス
ROM レス版	H8SX/1651C	40k バイト	H'FF2000~H'FFBFFF

18. クロック発振器

本 LSI は、クロック発振器（CPG : Clock Pulse Generator）を内蔵しており、システムクロック（I ϕ ）、周辺モジュールクロック（P ϕ ）、外部バスクロック（B ϕ ）を生成します。

クロック発振器は、発振器、PLL(Phase Locked Loop)回路、分周器、セレクタ回路から構成されます。クロック発振器のブロック図を図 18.1 に示します。

クロック発振器内部の PLL 回路と分周器によりクロック周波数を変更できます。クロック周波数の変更は、システムクロックコントロールレジスタ（SCKCR）の設定によりソフトウェアで行います。

クロックには CPU、バスマスタに供給されるシステムクロック、周辺モジュールに供給される周辺モジュールクロック、外部バスに供給される外部バスクロックがあり、それぞれ独立に設定することができます。ただし、周辺モジュールクロック、外部バスクロックは、システムクロック以下の周波数で動作します。

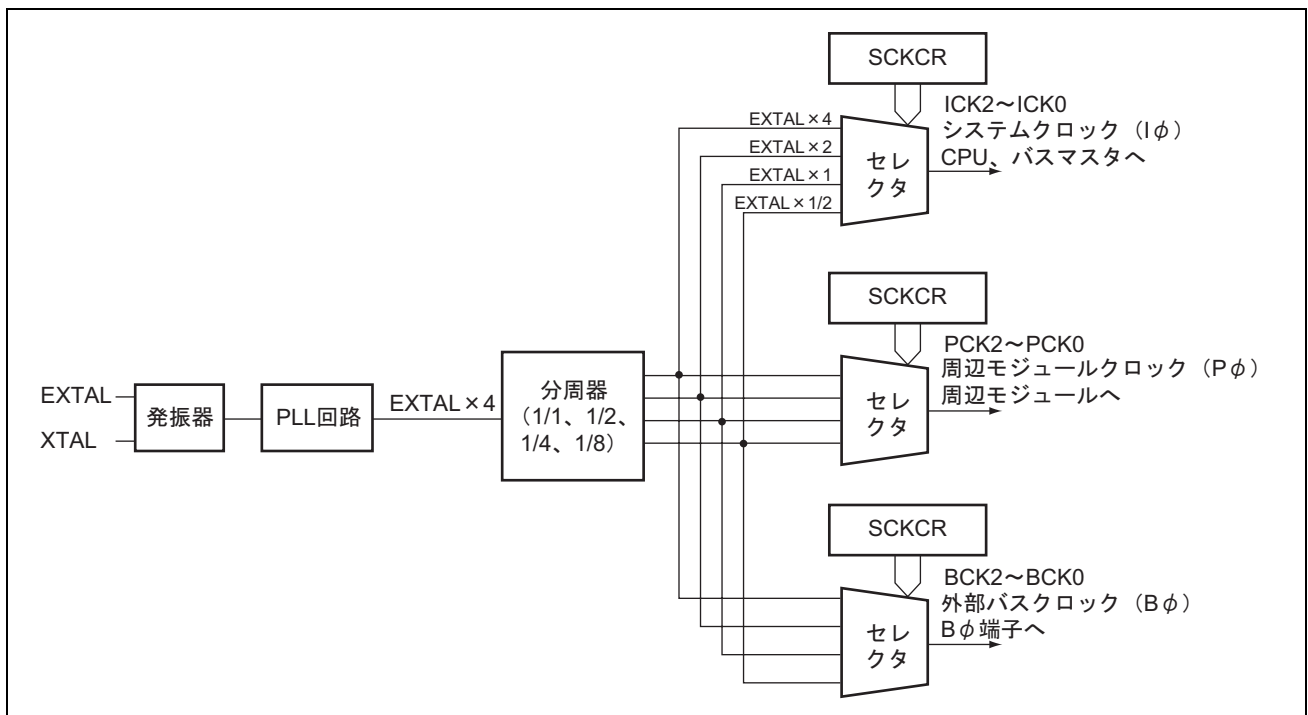


図 18.1 クロック発振器のブロック図

18. クロック発振器

18.1 レジスタの説明

クロック発振器には以下のレジスタがあります。

- システムクロックコントロールレジスタ(SCKCR)

18.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCRはB ϕ 出力制御、B ϕ クロック出力選択とシステムクロックの周波数の制御、周辺モジュールクロックおよび外部バスクロックの周波数の制御を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	PSTOP1	—	POSEL1	—	—	ICK2	ICK1	ICK0
初期値:	0	0	0	0	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	PCK2	PCK1	PCK0	—	BCK2	BCK1	BCK0
初期値:	0	0	1	0	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PSTOP1	0	R/W	B ϕ 出力セレクト PA7からの ϕ 出力を制御します。 通常動作状態 0: B ϕ 出力 1: Highレベル固定
14	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
13	POSEL1	0	R/W	ϕ 出力セレクト1 PA7の ϕ 出力を制御します。 0: 外部バスクロック (B ϕ) 1: 設定禁止
12	—	0	R/W	リザーブビット
11	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
10	ICK2	0	R/W	システムクロック (I ϕ) セレクト CPU、DMAC、DTC モジュールとシステムクロックの周波数を選択します。入力クロックに対する倍率を示しています。 000 : $\times 4$ 001 : $\times 2$ 010 : $\times 1$ 011 : 1/2 1xx : 設定禁止 周辺モジュールおよび外部クロックより低い周波数の設定を行うと、周辺モジュールおよび外部クロックはシステムクロックと同じ周波数に変わります。
9	ICK1	1	R/W	
8	ICK0	0	R/W	
7	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
6	PCK2	0	R/W	周辺モジュールクロック (P ϕ) セレクト 周辺モジュールクロックの周波数を選択します。入力クロックに対する倍率を示しています。 000 : $\times 4$ 001 : $\times 2$ 010 : $\times 1$ 011 : 1/2 1xx : 設定禁止 システムクロックより高い周波数の設定を行わないでください。 レジスタのセットは行えますが、周波数はシステムクロックと同一になります。
5	PCK1	1	R/W	
4	PCK0	0	R/W	
3	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
2	BCK2	0	R/W	外部バスクロック (B ϕ) セレクト 外部バスクロックの周波数を選択します。入力クロックに対する倍率を示しています。 000 : $\times 4$ 001 : $\times 2$ 010 : $\times 1$ 011 : 1/2 1xx : 設定禁止 システムクロックより高い周波数の設定を行わないでください。 レジスタのセットは行えますが、周波数はシステムクロックと同一になります。
1	BCK1	1	R/W	
0	BCK0	0	R/W	

【注】 x : Don't care

18.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

18.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 18.2 に示します。ダンピング抵抗 R_d は、表 18.1 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

水晶発振子を接続してクロックを供給する場合、接続する水晶発振子は、8~18MHz としてください。

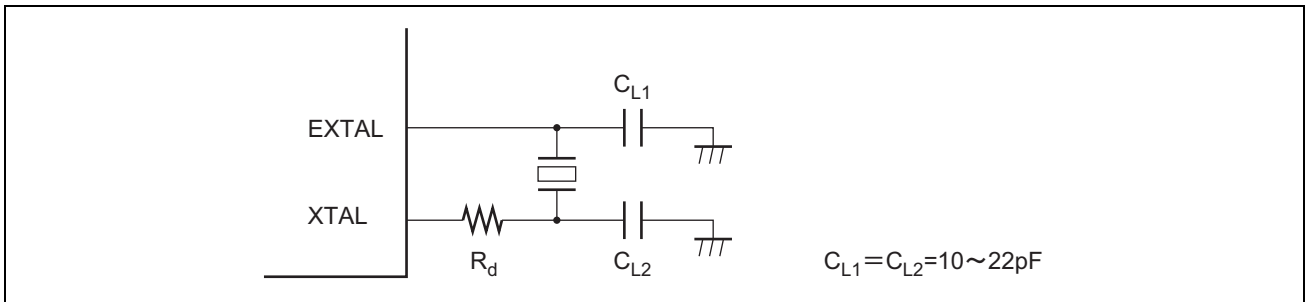


図 18.2 水晶発振子の接続例

表 18.1 ダンピング抵抗値

周波数 (MHz)	8	12	18
R_d (Ω)	200	0	0

水晶発振子の等価回路を図 18.3 に示します。水晶発振子は表 18.2 に示す特性のものを使用してください。

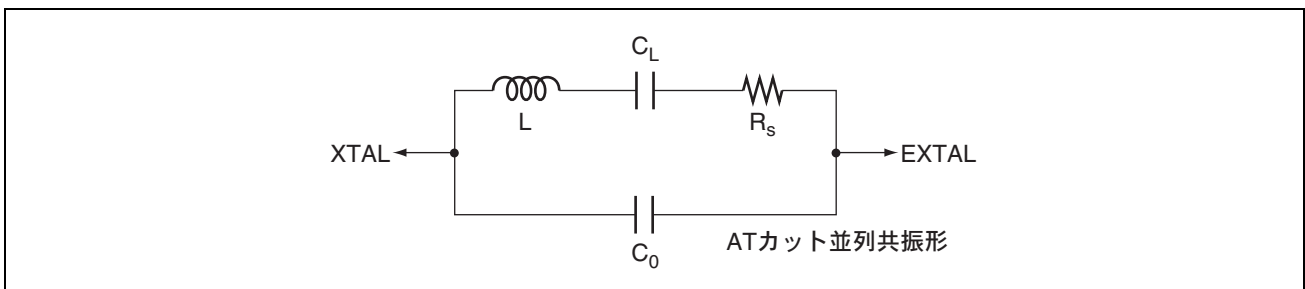


図 18.3 水晶発振子の等価回路

表 18.2 水晶発振子の特性

周波数 (MHz)	8	12	18
R_s max (Ω)	80	60	40
C_0 max (pF)	7		

18.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 18.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High レベルにしてください。

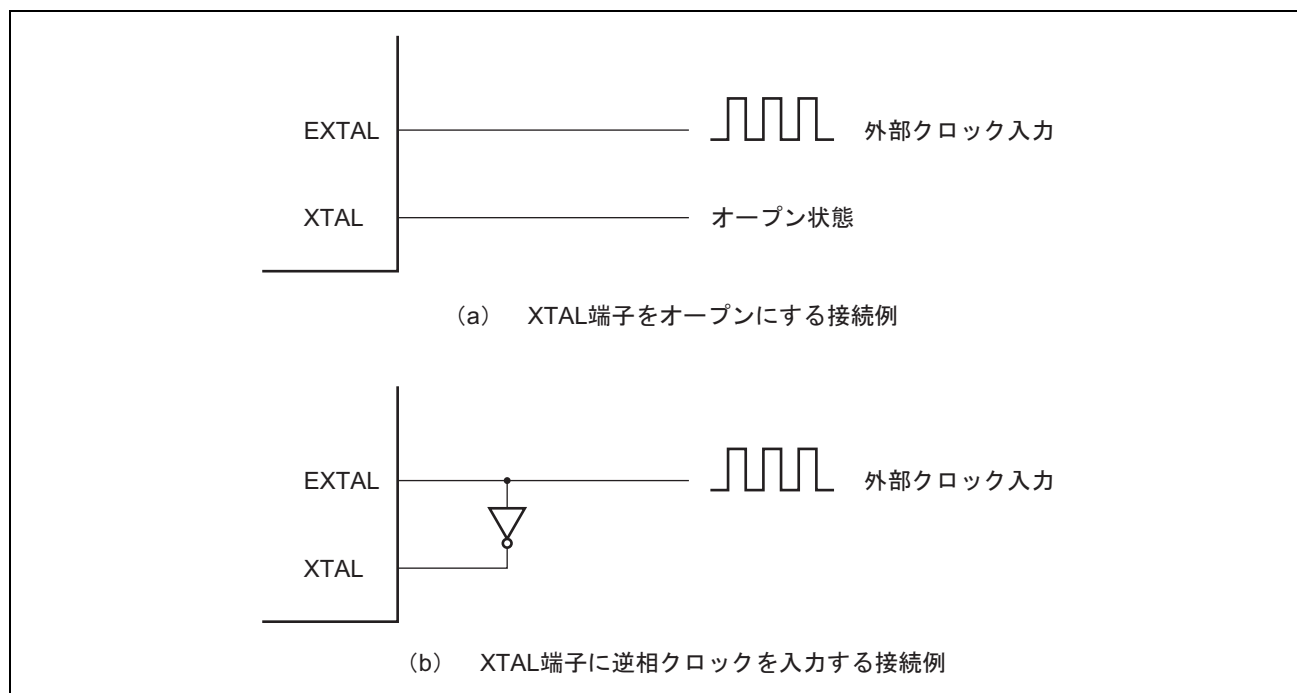


図 18.4 外部クロックの接続例

外部クロックの入力条件については、「21.1.3 AC 特性」の表 21.4、「21.2.3 AC 特性」の表 21.14 を参照してください。入力する外部クロックは、8~18MHz としてください。

18.3 PLL 回路

PLL 回路は、発振器からの周波数を 4 倍に通倍する機能を持っています。周波数通倍率は固定です。このとき、内部クロックの立ち上がりエッジの相位は EXTAL 端子の立ち上がりエッジの相位に一致するように制御されます。

18.4 分周器

分周器は、PLL クロックを分周し、1/2、1/4、1/8 のクロックを生成します。ICK2、ICK1、ICK0、PCK2、PCK1、PCK0、BCK2、BCK1、BCK0 ビット書き換え後に、変更後の周波数で本 LSI は動作します。

18.5 使用上の注意事項

18.5.1 クロック発振器に関する使用上の注意事項

1. SCKCRの設定により各モジュールに供給される ϕ ($I\phi$: システムクロック、 $P\phi$: 周辺モジュールクロック、 $B\phi$: 外部バスクロック) の周波数が変わりますので、以下の点に注意してください。各周波数は電気的特性のACタイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。
すなわち、
 $I\phi_{min}=8\text{MHz}$ 、 $P\phi_{min}=8\text{MHz}$ 、 $B\phi_{min}=8\text{MHz}$ 、
 $I\phi_{max}=50\text{MHz}$ 、 $P\phi_{max}=35\text{MHz}$ 、 $B\phi_{max}=50\text{MHz}$ として、
 $I\phi < 8\text{MHz}$ 、 $I\phi > 50\text{MHz}$ 、 $P\phi < 8\text{MHz}$ 、 $P\phi > 35\text{MHz}$ 、 $B\phi < 8\text{MHz}$ 、 $B\phi > 50\text{MHz}$
とならないように注意してください。
2. 周辺モジュール (DMAC、DTCを除く) は、すべて $P\phi$ を基準に動作します。このため、周波数変更の前後でタイマやSCIなどの時間処理が変わりますので注意してください。
また、ソフトウェアスタンバイモード解除用の待機時間も周波数を変更することで変わります。詳細は「19.5.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。
3. システムクロック、周辺モジュールクロック、外部バスクロックとの間には、 $I\phi \geq P\phi$ 、 $I\phi \geq B\phi$ の関係が成り立っており、かつシステムクロックの設定が優先されます。そのため、 $P\phi$ 、 $B\phi$ が、PCK2~0、BCK2~0のレジスタ設定の周波数ではなく、ICK2~0で設定した周波数になることがあります。
4. 図18.5にクロック変更タイミングを示します。SCKCRに値をライトした後、現在実行しているバスサイクル終了を待ちます。そのバスサイクル終了後、外部入力クロックに対して最大1サイクル後に各クロックの周波数が変更されます。

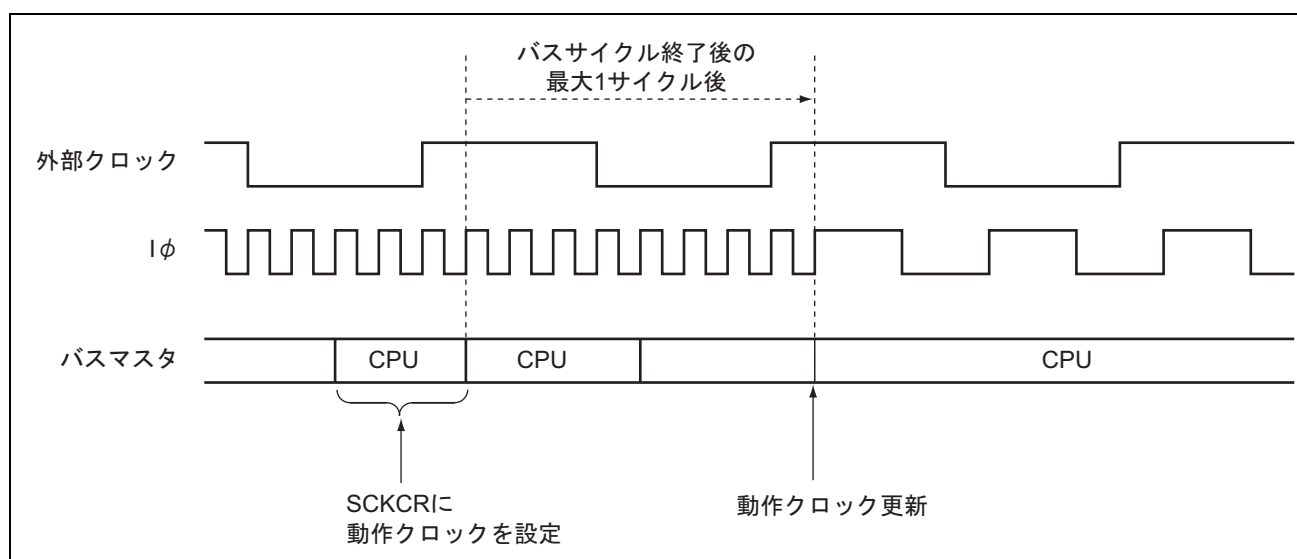


図 18.5 クロック変更タイミング

18.5.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、マスク版、F-ZTAT 版ともにユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

18.5.3 ボード設計上の注意

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 18.6 に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

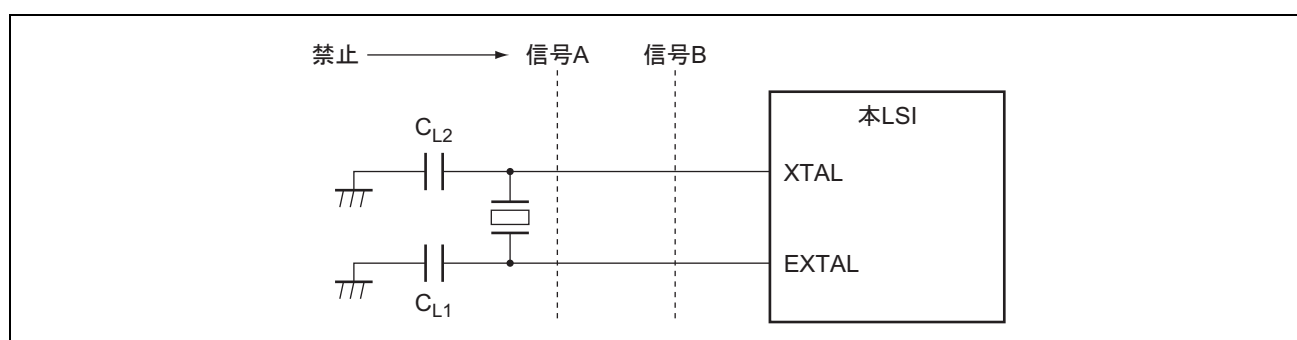


図 18.6 発振回路部のボード設計に関する注意事項

PLL 回路の外付け推奨回路を図 18.7 に示します。PLLVCC、PLLVSS と VCC、VSS はボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CPB および CB を必ず挿入してください。

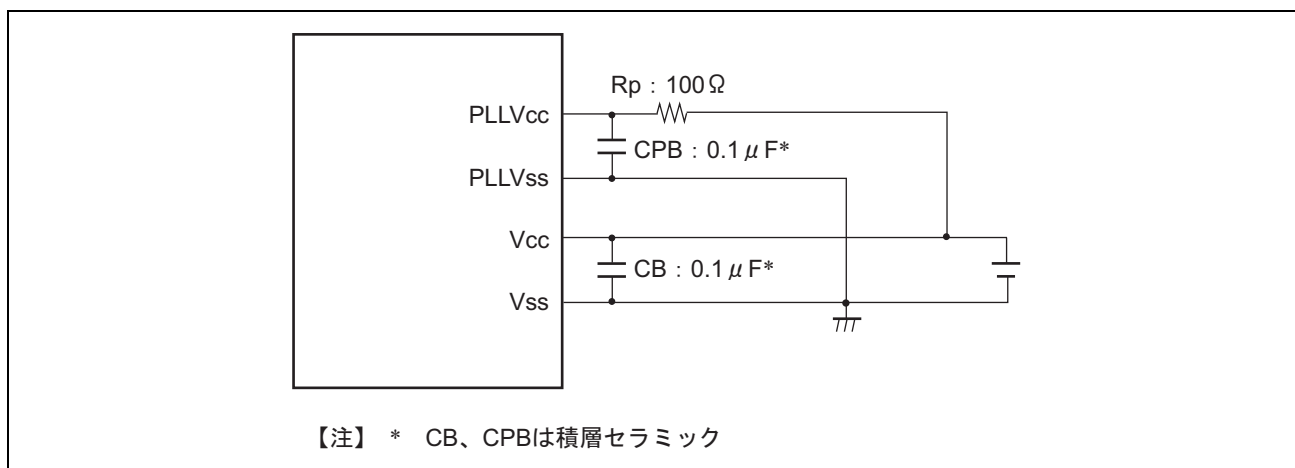


図 18.7 PLL 回路の外付け推奨回路

19. 低消費電力

本 LSI には、消費電力低減機能としてマルチクロック機能、モジュールストップ機能、および低消費電力状態への遷移機能があります。

19.1 特長

- マルチクロック機能
システムクロック、周辺モジュールクロック、外部バスクロックに対し独立に分周比を設定することが可能
- モジュールストップ機能
周辺モジュール毎に機能を停止し、低消費電力状態にすることが可能
- 低消費電力状態への遷移機能
CPU、周辺モジュール、発振器を停止する低消費電力状態にすることが可能
- 低消費電力状態：4種類
スリープモード
全モジュールクロックストップモード
ソフトウェアスタンバイモード
ハードウェアスタンバイモード

表 19.1 に、低消費電力状態への遷移する条件と CPU や周辺モジュールなどの状態、および各モードの解除方法を示します。リセット後は、通常のプログラム動作で DMAC、DTC 以外のモジュールは停止状態です。

表 19.1 動作状態

動作状態	スリープ モード	全モジュールクロック ストップモード	ソフトウェア スタンバイモード	ハードウェア スタンバイモード
遷移条件	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令	端子入力
解除方法	割り込み	割り込み* ²	外部割り込み	
発振器	動作	動作	停止	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止
ウォッチドッグタイマ	動作	動作	停止 (保持)	停止
8ビットタイマ	動作	動作* ⁴	停止 (保持)	停止
周辺モジュール	動作	停止* ¹	停止* ¹	停止* ³
I/Oポート	動作	保持	保持	ハイインピーダンス

【注】 停止（保持）は、内部レジスタ値保持、内部状態は動作中断を示します。

- *1 SCI はリセット状態、その他の周辺モジュールは状態を保持します
- *2 外部割り込み、一部の内部割り込み（8ビットタイマ、ウォッチドッグタイマ）
- *3 すべての周辺モジュールはリセット状態になります。
- *4 MSTPCRA の MSTPA11~8ビットの設定により、動作/停止を選択することができます。ただし、動作を選択した場合でも、端子からの出力はできません。

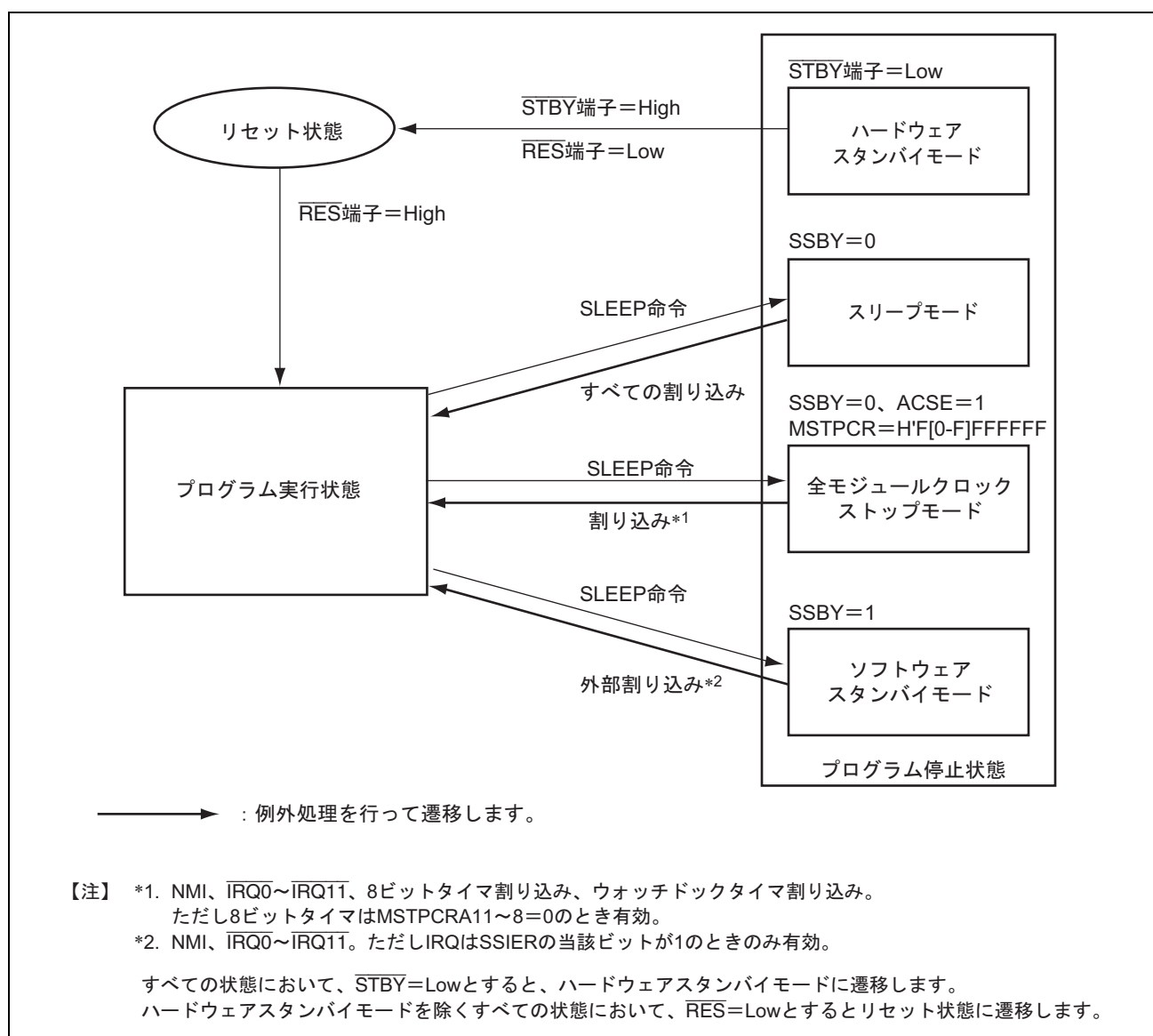


図 19.1 モード遷移図

19.2 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。システムクロックコントロールレジスタ (SCKCR) については「18.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- モジュールストップコントロールレジスタA (MSTPCRA)
- モジュールストップコントロールレジスタB (MSTPCRB)
- モジュールストップコントロールレジスタC (MSTPCRC)

19.2.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は、ソフトウェアスタンバイモードの制御を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	SSBY	OPE	—	STS4	STS3	STS2	STS1	STS0
初期値 :	0	1	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	SLPIE	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を設定します。 0 : SLEEP 命令実行後、スリープモードに遷移 1 : SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移 なお、外部割り込みによってソフトウェアスタンバイモードが解除され通常モードに遷移したときは、このビットは1にセットされたままです。クリアするときは0をライトしてください。WDT をウォッチドックタイマとして使用しているときは、このビットの設定は無効になります。その場合、SLEEP 命令実行後は常にスリープモードあるいは全モジュールクロックストップモードに遷移します。SLPIE ビットを1にセットする場合は、このビットを0にクリアしてください。

ビット	ビット名	初期値	R/W	説明
14	OPE	1	R/W	出力ポートイネーブル ソフトウェアスタンバイモード時にアドレスバス、バス制御信号 ($\overline{CS0} \sim \overline{CS7}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}) の出力を保持するか、ハイインピーダンスにするかを設定します。 0: ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス 1: ソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持
13	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
12	STS4	0	R/W	スタンバイタイムセレクト4~0 外部割り込みによってソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでMCUが待機する時間を選択します。水晶発振の場合、表22.2を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。外部クロックにおいても、PLL回路の安定時間が必要になります。表22.2を参照に待機時間を設定してください。 発振安定期間中は、Pφの周波数でカウントされます。マルチクロックモード時は注意してください。 00000: リザーブ 00001: リザーブ 00010: リザーブ 00011: リザーブ 00100: リザーブ 00101: 待機時間=64 ステート 00110: 待機時間=512 ステート 00111: 待機時間=1024 ステート 01000: 待機時間=2048 ステート 01001: 待機時間=4096 ステート 01010: 待機時間=16384 ステート 01011: 待機時間=32768 ステート 01100: 待機時間=65536 ステート 01101: 待機時間=131072 ステート 01110: 待機時間=262144 ステート 01111: 待機時間=524288 ステート 1****: リザーブ
11	STS3	1	R/W	
10	STS2	1	R/W	
9	STS1	1	R/W	
8	STS0	1	R/W	

19. 低消費電力

ビット	ビット名	初期値	R/W	説明
7	SLPIE	0	R/W	<p>スリープ命令例外処理イネーブル</p> <p>SLEEP 命令実行時に、スリープ命令例外処理を発生させ低消費電力モードへの遷移を抑制するか、低消費電力モードに遷移するかを選択します。</p> <p>0: SLEEP 命令実行後、スリープ命令例外処理を発生せずに、低消費電力モードへ遷移する。</p> <p>1: SLEEP 命令実行後、スリープ命令例外処理を発生し、低消費電力モードへ遷移しない。なお、スリープ命令例外処理実行後、このビットは1にセットされたままです。</p> <p>クリアする時は0をライトしてください。</p>
6~0	—	0	R/W	<p>リザーブビット</p> <p>リードすると常に0が読み出されます。ライトする値は常に0にしてください。</p>

19.2.2 モジュールストップコントロールレジスタ A、B (MSTPCRA、MSTPCRB)

MSTPCRA、MSTPCRB はモジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

• MSTPCRA

ビット	15	14	13	12	11	10	9	8
ビット名	ACSE	MSTPA14	MSTPA13	MSTPA12	MSTPA11	MSTPA10	MSTPA9	MSTPA8
初期値:	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
ビット名	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• MSTPCRB

ビット	15	14	13	12	11	10	9	8
ビット名	MSTPB15	MSTPB14	MSTPB13	MSTPB12	MSTPB11	MSTPB10	MSTPB9	MSTPB8
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
ビット名	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• MSTPCRA

ビット	ビット名	初期値	R/W	対象モジュール
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCR で制御されるすべてのモジュールがモジュールストップモードに設定された上で、CPU が SLEEP 命令を実行した場合にバスコントローラと I/O ポートも動作をストップして、消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。 0：全モジュールクロックストップモード禁止 1：全モジュールクロックストップモード許可
14	MSTPA14	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
13	MSTPA13	0	R/W	DMA コントローラ (DMAC)
12	MSTPA12	0	R/W	データトランスファコントローラ (DTC)
11	MSTPA11	1	R/W	リザーブビット
10	MSTPA10	1	R/W	リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
9	MSTPA9	1	R/W	8 ビットタイマ (TMR_3、TMR_2)
8	MSTPA8	1	R/W	8 ビットタイマ (TMR_1、TMR_0)
7	MSTPA7	1	R/W	リザーブビット
6	MSTPA6	1	R/W	リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
5	MSTPA5	1	R/W	D/A 変換器 (チャンネル 1、0)
4	MSTPA4	1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
3	MSTPA3	1	R/W	A/D 変換器 (ユニット 0)
2	MSTPA2	1	R/W	リザーブビット
1	MSTPA1	1	R/W	リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
0	MSTPA0	1	R/W	16 ビットタイマパルスユニット (TPU チャンネル 5~0)

19. 低消費電力

• MSTPCRB

ビット	ビット名	初期値	R/W	対象モジュール
15	MSTPB15	1	R/W	プログラマブルパルスジェネレータ (PPG)
14	MSTPB14	1	R/W	リザーブビット
13	MSTPB13	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
12	MSTPB12	1	R/W	シリアルコミュニケーションインタフェース_4 (SCI_4)
11	MSTPB11	1	R/W	シリアルコミュニケーションインタフェース_3 (SCI_3)
10	MSTPB10	1	R/W	シリアルコミュニケーションインタフェース_2 (SCI_2)
9	MSTPB9	1	R/W	シリアルコミュニケーションインタフェース_1 (SCI_1)
8	MSTPB8	1	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
7	MSTPB7	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。
6	MSTPB6	1	R/W	
5	MSTPB5	1	R/W	
4	MSTPB4	1	R/W	
3	MSTPB3	1	R/W	
2	MSTPB2	1	R/W	
1	MSTPB1	1	R/W	
0	MSTPB0	1	R/W	

19.2.3 モジュールストップコントロールレジスタ C (MSTPCRC)

MSTPC4~MSTPC0 ビットを1にセットすると、対応する内蔵RAMが停止します。内蔵RAMアクセス中に該当するMSTPC4~MSTPC0 ビットを1にセットしないでください。

ビット	15	14	13	12	11	10	9	8
ビット名	MSTPC15	MSTPC14	MSTPC13	MSTPC12	MSTPC11	MSTPC10	MSTPC9	MSTPC8
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	対象モジュール
15	MSTPC15	1	R/W	リザーブビット
14	MSTPC14	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
13	MSTPC13	1	R/W	
12	MSTPC12	1	R/W	
11	MSTPC11	1	R/W	
10	MSTPC10	1	R/W	
9	MSTPC9	1	R/W	
8	MSTPC8	1	R/W	
7	MSTPC7	0	R/W	リザーブビット
6	MSTPC6	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。
5	MSTPC5	0	R/W	
4	MSTPC4	0	R/W	
3	MSTPC3	0	R/W	内蔵 RAM_4 (H'FFF2000~H'FFF3FFF)
2	MSTPC2	0	R/W	内蔵 RAM_3 (H'FFF4000~H'FFF5FFF)
1	MSTPC1	0	R/W	内蔵 RAM_2 (H'FFF6000~H'FFF7FFF)
0	MSTPC0	0	R/W	内蔵 RAM_1 (H'FFF8000~H'FFF9FFF)
				内蔵 RAM_0 (H'FFFA000~H'FFFBFFF)

19.3 マルチクロック機能

SCKCR の ICK2~ICK0 ビット、PCK2~PCK0 ビットと BCK2~BCK0 ビットを設定すると、そのバスサイクルの終了時点でマルチクロックモードになります。マルチクロックモードでは、CPU とバスマスタは、ICK2~ICK0 ビットで設定した動作クロックで動作します。周辺モジュールは、PCK2~PCK0 ビットで設定した動作クロックで動作します。また、外部クロックは、BCK2~BCK0 ビットで設定した動作クロックで動作します。

ただし、ICK2~ICK0 ビットで設定した動作クロックより高い動作クロックに PCK2~PCK0 ビットおよび BCK2~BCK0 ビットを設定しても、設定値がクロックに反映されません。周辺モジュール、外部クロックは、ICK2~ICK0 ビットで設定した動作クロックに制限されます。

マルチクロックモードの解除は、ICK2~ICK0 ビット、PCK2~PCK0 ビット、BCK2~BCK0 ビットをすべて0にクリアすることによって行われ、そのバスサイクルの終了時点で通常状態に遷移し、マルチクロックモードは解除されます。

SBYCR の SSBY ビットを0にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されるとマルチクロックモードに復帰します。

また、SSBY ビットを1にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されるとマルチクロックモードに復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、マルチクロックモードは解除されます。ウォッチドッグタイマのオーバフローによるリセットについても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

19.4 スリープモード

19.4.1 スリープモードへの遷移

SBYCR の SSBY ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

19.4.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 端子、 $\overline{\text{STBY}}$ 端子、またはウォッチドッグタイマのオーバフローによるリセットによって行われます。

1. 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

2. $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

3. $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

4. ウォッチドッグタイマのオーバフローリセットによる解除

ウォッチドッグタイマのオーバフローの内部リセットにより、スリープモードが解除されます。

19.5 ソフトウェアスタンバイモード

19.5.1 ソフトウェアスタンバイモードへの遷移

SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と、内蔵 RAM のデータ、SCI を除く内蔵周辺機能と、I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンス状態とするか、出力状態を保持するかを、SBYCR の OPE ビットにより設定できます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

WDT をウォッチドックタイマとして使用している場合、ソフトウェアスタンバイモードに遷移できません。SLEEP 命令を実行する前に WDT を停止させてください。

19.5.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み（NMI 端子、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ11}}$ 端子*）、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

1. 割り込みによる解除

NMI、IRQ0～IRQ11*割り込み要求信号が入力されると、クロックが発振を開始し、SBYCRのSTS4～STS0 ビットによって設定された時間が経過した後、安定したクロックが本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

IRQ0～IRQ11*割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを1にセットし、かつIRQ0～IRQ11*割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、CPU側でマスクした場合、またはDTCの起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

【注】* SSIER の SSIn ビットを 1 にセットすることにより、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ11}}$ をソフトウェアスタンバイモードの解除要因として使用することができます。

2. $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSIにクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

3. $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

19. 低消費電力

19.5.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS4~STS0 ビットの設定は、以下のようにしてください。

1. 水晶発振の場合

待機時間が発振安定時間以上となるようにSTS4~STS0ビットを設定してください。

表19.2に、動作周波数とSTS4~STS0ビットの設定に対する待機時間を示します。

2. 外部クロックの場合

PLL回路の安定時間が必要となります。表19.2を参照し待機時間を設定してください。

表 19.2 発振安定時間の設定

STS 4	STS 3	STS 2	STS 1	STS 0	待機時間	Pφ* [MHz]						単位
						35	25	20	13	10	8	
0	0	0	0	0	リザーブ	—	—	—	—	—	—	μs
				1	リザーブ	—	—	—	—	—	—	
			1	0	リザーブ	—	—	—	—	—	—	
				1	リザーブ	—	—	—	—	—	—	
		1	0	0	リザーブ	—	—	—	—	—	—	
				1	64	1.8	2.6	3.2	4.9	6.4	8.0	
			1	0	512	14.6	20.5	25.6	39.4	51.2	64.0	
				1	1024	29.3	41.0	51.2	78.8	102.4	128.0	
	1	0	0	0	2048	58.5	81.9	102.4	157.5	204.8	256.0	ms
				1	4096	0.12	0.16	0.20	0.32	0.41	0.51	
			1	0	16384	0.47	0.66	0.82	1.26	1.64	2.05	
				1	32768	0.94	1.31	1.64	2.52	3.28	4.10	
		1	0	0	65536	1.87	2.62	3.28	5.04	6.55	8.19	
				1	131072	3.74	5.24	6.55	10.08	13.11	16.38	
			1	0	262144	7.49	10.49	13.11	20.16	26.21	32.77	
				1	524288	14.98	20.97	26.21	40.33	52.43	65.54	
1	0	0	0	0	リザーブ	—	—	—	—	—		

■ : 外部クロック使用時の推奨設定時間

■ : 水晶発振使用時の推奨設定時間

【注】 * Pφは周辺モジュール分周器の出力です。

19.5.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 19.2 に示します。

この例では、INTCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ設定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ設定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

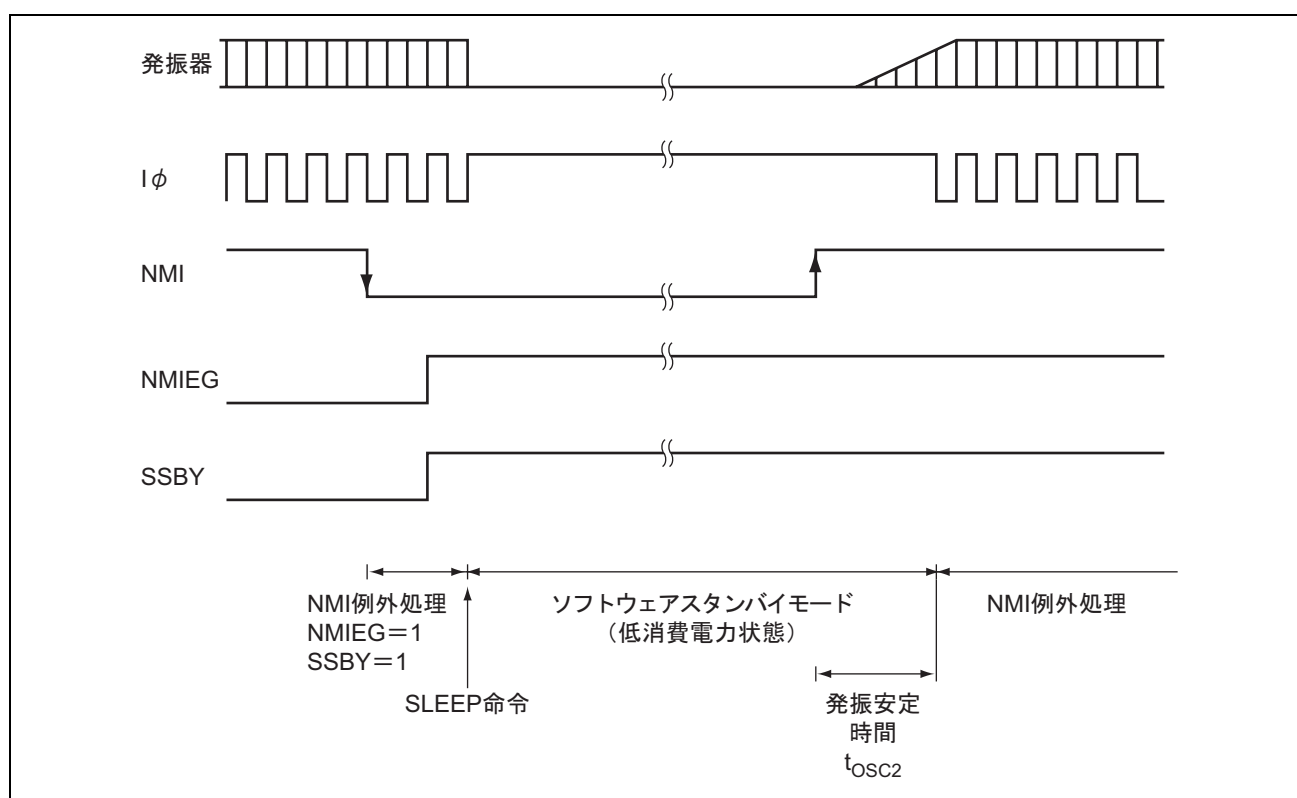


図 19.2 ソフトウェアスタンバイモードの応用例

19.6 ハードウェアスタンバイモード

19.6.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中には、モード端子 (MD2~MD0) の状態を変化させないでください。

19.6.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで (発振安定時間については、表 19.2 参照) Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

19.6.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 19.3 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

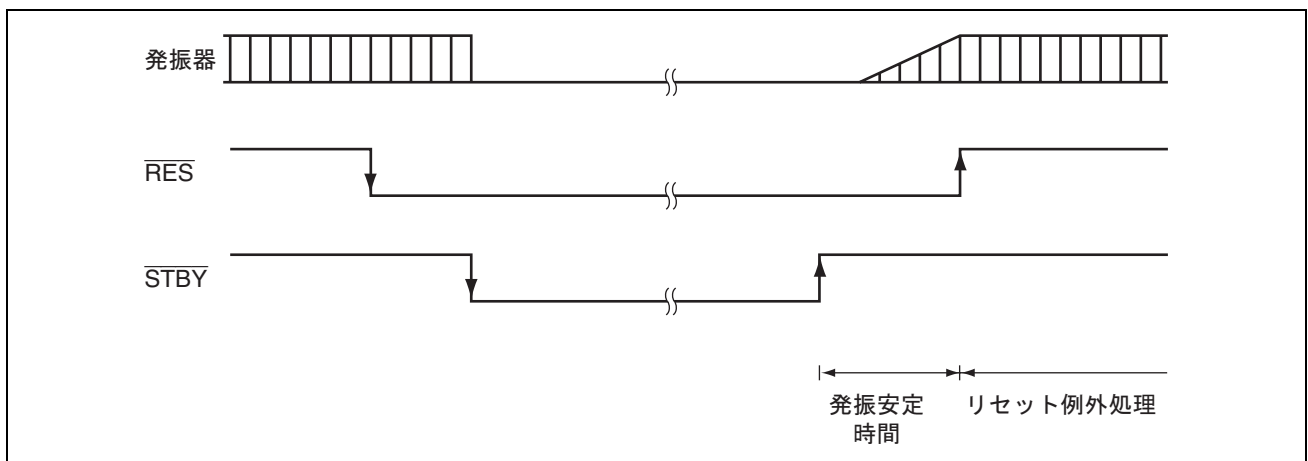


図 19.3 ハードウェアスタンバイモードのタイミング

19.6.4 電源投入時のタイミング

電源投入時のタイミングを図 19.4 に示します。

電源投入時は、必ず $\overline{\text{STBY}}$ 端子を High レベルにした状態で規定の時間 $\overline{\text{RES}}$ 端子を Low レベルにし、リセット解除してください。

電源投入時よりハードウェアスタンバイモードに遷移する場合、リセット解除後に $\overline{\text{STBY}}$ 端子を Low レベルにしてください。

なお、ハードウェアスタンバイモード解除については「19.6.3 ハードウェアスタンバイモードのタイミング」を参照してください。

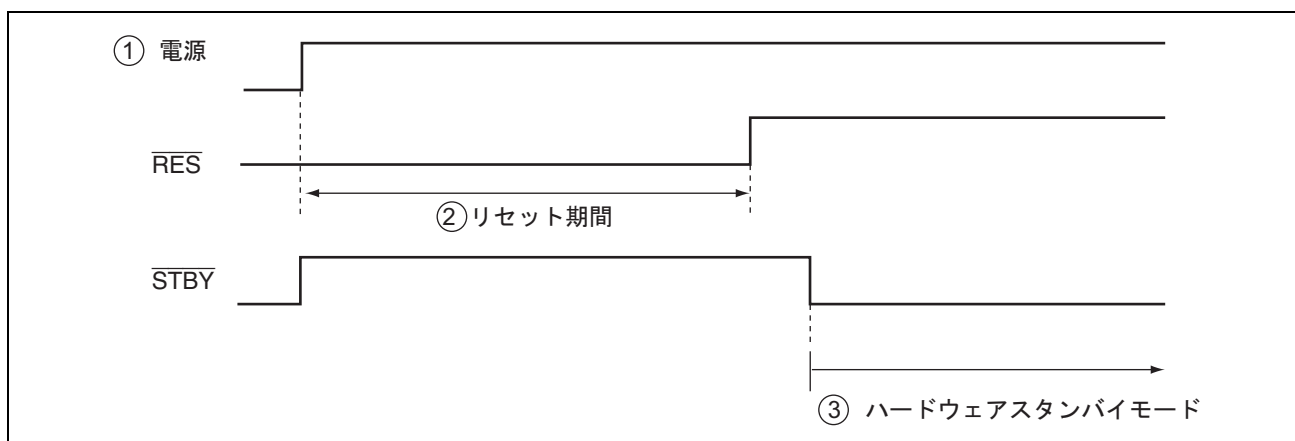


図 19.4 電源投入時のタイミング

19.7 モジュールストップモード

19.7.1 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCRA、MSTPCRB、MSTPCRC の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI を除くモジュールの内部状態が保持されています。

リセット解除後は、DMAC、DTC、内蔵 RAM を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

19.7.2 全モジュールクロックストップモード

ACSE を 1 に設定し、かつ MSTPCR で制御されるすべてのモジュールをストップ (MSTPCRA、B=H' FFFFFFFF) したとき、または 8 ビットタイマ以外をモジュールストップ (MSTPCRA、B=H'F [0~F] FFFFFFFF) したときに、SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、バスサイクルの終了時点で 8 ビットタイマ*、ウォッチドッグタイマを除く全モジュール、バスコントローラ、および I/O ポートの動作を停止して全モジュールクロックストップモードへ遷移します。

全モジュールクロックストップモードの解除は、外部割り込み (NMI 端子、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ11}}$ 端子)、 $\overline{\text{RES}}$ 端子、内部割り込み (8 ビットタイマ*、ウォッチドッグタイマ) によって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。割り込みが禁止されている場合、また、NMI 以外の割り込みが CPU でマスクされている場合、または DTC の起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

【注】* MSTPCRA の MSTPA11~8 ビットにより動作/停止を選択できます。

19.8 スリープ命令例外処理

スリープ命令例外処理は、SLEEP 命令の実行に伴い発生する例外処理です。スリープ命令例外処理は、プログラム実行状態で常に受け付けられます。

SLPIE ビットを 0 に設定すると、SLEEP 命令の実行後、スリープ命令例外処理は発生しません。このとき、CPU は低消費電力状態に遷移します。その後、低消費電力状態の解除要因となる例外処理要求が発生すると低消費電力状態は解除され、CPU は例外処理を開始します。SLPIE ビットを 1 に設定すると、SLEEP 命令の実行後、スリープ命令例外処理が発生します。スリープ命令例外処理の発生により、低消費電力状態への遷移は抑制され、CPU はただちにスリープ命令例外処理を開始します。

SLPIE ビットを 0 にクリアした状態で SLEEP 命令を実行すると、低消費電力状態に遷移します。この後、解除要因となる割り込みが発生することにより、低消費電力状態が解除されます (図 19.5)。

SLEEP 命令実行の直前に解除要因となる割り込みが発生した場合は、その時点で例外処理を開始します。そして、例外サービスルーチンから復帰した後、SLEEP 命令を実行し、低消費電力状態へ遷移します。この場合、次の解除要因となる割り込み要求の発生を持って、低消費電力状態が解除されます (図 19.6)。

解除要因となる割り込み例外サービスルーチン内で SLPIE ビットを 1 に設定し、SLEEP 命令の実行に伴いスリープ命令例外処理が発生するようにした場合、SLEEP 命令実行の直前に解除要因となる割り込みが発生した場合でも、図 19.7 に示したように、SLEEP 命令実行に伴いスリープ命令例外処理が発生するので、CPU は低消費電力状態へ遷移することなく、スリープ命令例外処理、例外サービスルーチンを経て、SLEEP 命令の次命令を実行します。

SLPIE ビットを 1 にセットし、スリープ例外処理を発生させるときは、SBYCR の SSBY ビットを 0 にクリアしてください。

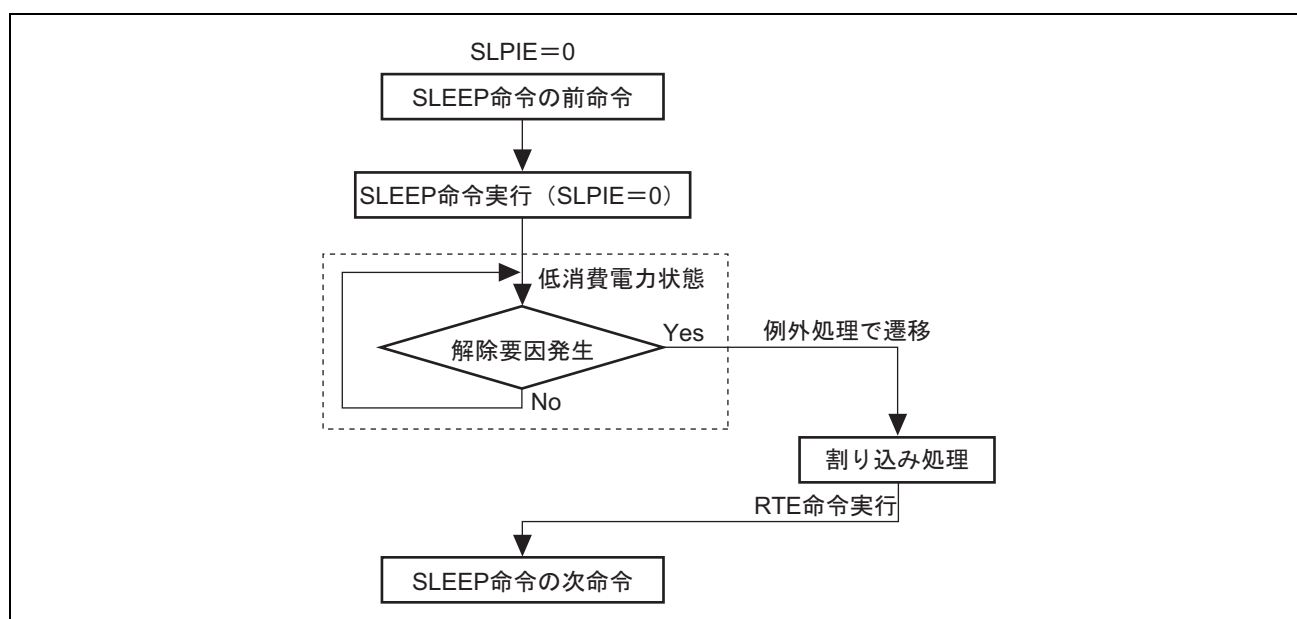
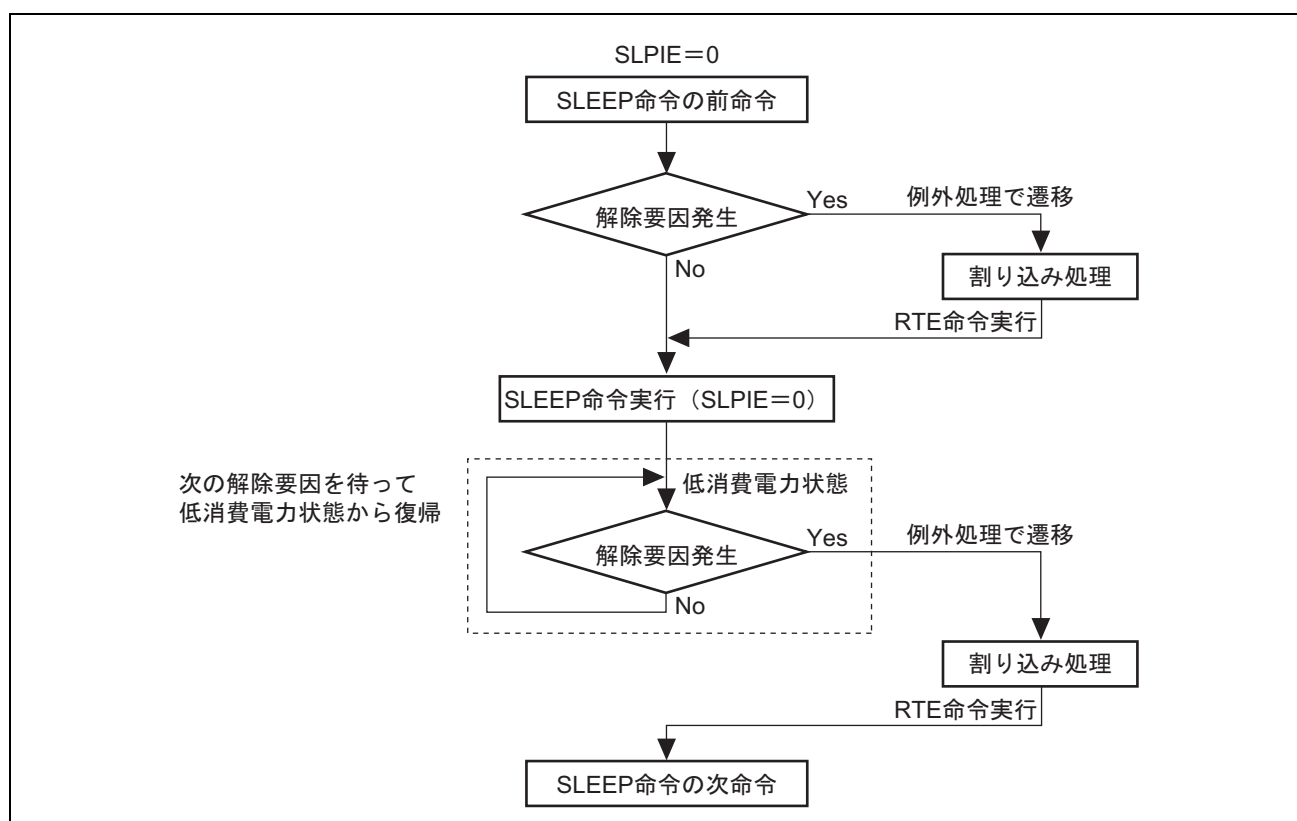


図 19.5 SLEEP 命令実行後に解除要因割り込みが発生した場合

図 19.6 SLEEP 命令実行直前に解除要因割り込みが発生した場合
(スリープ命令例外処理が発生しない場合)

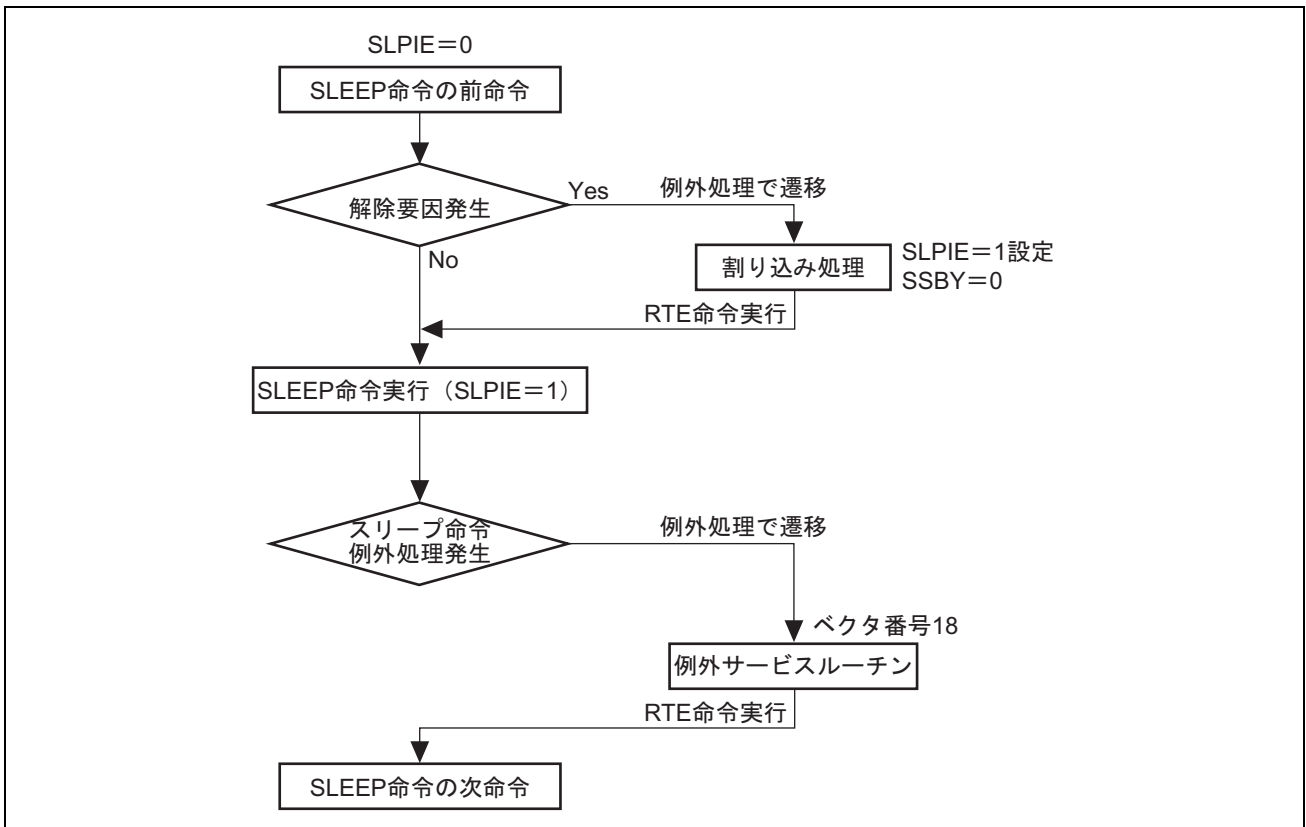


図 19.7 SLEEP 命令実行直前に解除要因割り込みが発生した場合（スリープ命令例外処理が発生する場合）

19.9 Bφ出力制御

SCKCR の PSTOP1、POSEL1 ビットと、対応する PA7 の DDR により、Bφ出力を制御することができます。

PSTOP1、POSEL1 ビットをともに 0 にクリアすると、PA7 は Bφ出力になります。PSTOP1 ビットを 1 にセットすると、バスサイクルの終了時点で Bφ出力は停止し、Bφ出力は High レベルになります。また、PA7 の DDR を 0 にクリアすると、Bφ出力は禁止され、入力ポートになります。

表 19.3 に各処理状態における Bφ端子の状態を示します。

表 19.3 各処理状態におけるφ端子（PA7）の状態

レジスタの設定値			通常動作状態	スリープ	全モジュール クロック ストップ	ソフトウェア スタンバイ		ハードウェア スタンバイ
DDR	PSTOP	POSEL				OPE=0	OPE=1	
	1	1						
0	x	x	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
1	0	0	Bφ出力	Bφ出力	Bφ出力	High	High	Hi-Z
1	0	1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
1	1	x	High	High	High	High	High	Hi-Z

19.10 使用上の注意事項

19.10.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合は出力電流分の消費電流は低減されません。

19.10.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

19.10.3 DMAC、DTC のモジュールストップ

DMAC、DTC の動作状態によって、MSTPA13、MSTPA12 ビットは 1 にセットされない場合があります。DMAC または DTC のモジュールストップモードの設定は、DMAC、DTC が起動されていない状態で行ってください。

詳細は、「7. DMA コントローラ (DMAC)」、「8. データトランスファコントローラ (DTC)」を参照してください。

19.10.4 内蔵周辺モジュールの割り込み

モジュールストップモードでは当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてからモジュールストップモードにしてください。

19.10.5 MSTPCRA、MSTPCRB、MSTPCRC のライト

MSTPCRA、MSTPCRB および MSTPCRC は、CPU のみでライトしてください。

20. レジスタ一覧

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- アクセスステート数については、指定の基準クロックのステート数を示しています。詳細は「6.12.1 内部アドレス空間へのアクセス」を参照してください。
- 未定義・リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載します。
- リザーブビットは、ビット名称部に「—」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。バイトの記載順序はビッグエンディアンを前提としています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載します。
- 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、周辺モジュールの章を参照してください。

20. レジスタ一覧

20.1 レジスタアドレス一覧（アドレス順）

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数 (リード/ライト)
ポート1データディレクションレジスタ	P1DDR	8	H'FFB80	I/Oポート	8	2Pφ/2Pφ
ポート2データディレクションレジスタ	P2DDR	8	H'FFB81	I/Oポート	8	2Pφ/2Pφ
ポート3データディレクションレジスタ	P3DDR	8	H'FFB82	I/Oポート	8	2Pφ/2Pφ
ポート6データディレクションレジスタ	P6DDR	8	H'FFB85	I/Oポート	8	2Pφ/2Pφ
ポートAデータディレクションレジスタ	PADDR	8	H'FFB89	I/Oポート	8	2Pφ/2Pφ
ポートBデータディレクションレジスタ	PBDDR	8	H'FFB8A	I/Oポート	8	2Pφ/2Pφ
ポートDデータディレクションレジスタ	PDDDR	8	H'FFB8C	I/Oポート	8	2Pφ/2Pφ
ポートEデータディレクションレジスタ	PEDDR	8	H'FFB8D	I/Oポート	8	2Pφ/2Pφ
ポートFデータディレクションレジスタ	PFDDR	8	H'FFB8E	I/Oポート	8	2Pφ/2Pφ
ポート1入力バッファコントロールレジスタ	P1ICR	8	H'FFB90	I/Oポート	8	2Pφ/2Pφ
ポート2入力バッファコントロールレジスタ	P2ICR	8	H'FFB91	I/Oポート	8	2Pφ/2Pφ
ポート3入力バッファコントロールレジスタ	P3ICR	8	H'FFB92	I/Oポート	8	2Pφ/2Pφ
ポート5入力バッファコントロールレジスタ	P5ICR	8	H'FFB94	I/Oポート	8	2Pφ/2Pφ
ポート6入力バッファコントロールレジスタ	P6ICR	8	H'FFB95	I/Oポート	8	2Pφ/2Pφ
ポートA入力バッファコントロールレジスタ	PAICR	8	H'FFB99	I/Oポート	8	2Pφ/2Pφ
ポートB入力バッファコントロールレジスタ	PBICR	8	H'FFB9A	I/Oポート	8	2Pφ/2Pφ
ポートD入力バッファコントロールレジスタ	PDICR	8	H'FFB9C	I/Oポート	8	2Pφ/2Pφ
ポートE入力バッファコントロールレジスタ	PEICR	8	H'FFB9D	I/Oポート	8	2Pφ/2Pφ
ポートF入力バッファコントロールレジスタ	PFICR	8	H'FFB9E	I/Oポート	8	2Pφ/2Pφ
ポートHレジスタ	PORTH	8	H'FFBA0	I/Oポート	8	2Pφ/2Pφ
ポートIレジスタ	PORTI	8	H'FFBA1	I/Oポート	8	2Pφ/2Pφ
ポートHデータレジスタ	PHDR	8	H'FFBA4	I/Oポート	8	2Pφ/2Pφ
ポートIデータレジスタ	PIDR	8	H'FFBA5	I/Oポート	8	2Pφ/2Pφ
ポートHデータディレクションレジスタ	PHDDR	8	H'FFBA8	I/Oポート	8	2Pφ/2Pφ
ポートIデータディレクションレジスタ	PIDDR	8	H'FFBA9	I/Oポート	8	2Pφ/2Pφ
ポートH入力バッファコントロールレジスタ	PHICR	8	H'FFBAC	I/Oポート	8	2Pφ/2Pφ
ポートI入力バッファコントロールレジスタ	PIICR	8	H'FFBAD	I/Oポート	8	2Pφ/2Pφ
ポートDブルアップMOSコントロールレジスタ	PDPCR	8	H'FFBB4	I/Oポート	8	2Pφ/2Pφ
ポートEブルアップMOSコントロールレジスタ	PEPCR	8	H'FFBB5	I/Oポート	8	2Pφ/2Pφ
ポートFブルアップMOSコントロールレジスタ	PFPCR	8	H'FFBB6	I/Oポート	8	2Pφ/2Pφ
ポートHブルアップMOSコントロールレジスタ	PHPCR	8	H'FFBB8	I/Oポート	8	2Pφ/2Pφ
ポートIブルアップMOSコントロールレジスタ	PIPCR	8	H'FFBB9	I/Oポート	8	2Pφ/2Pφ

20. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数 (リード/ライト)
ポート2 オープンドレインコントロールレジスタ	P2ODR	8	H'FFBBC	I/O ポート	8	2Pφ/2Pφ
ポートF オープンドレインコントロールレジスタ	PFODR	8	H'FFBBD	I/O ポート	8	2Pφ/2Pφ
ポートファンクションコントロールレジスタ 0	PFCR0	8	H'FFBC0	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ 1	PFCR1	8	H'FFBC1	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ 2	PFCR2	8	H'FFBC2	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ 4	PFCR4	8	H'FFBC4	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ 6	PFCR6	8	H'FFBC6	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ 7	PFCR7	8	H'FFBC7	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ 9	PFCR9	8	H'FFBC9	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ B	PFCRB	8	H'FFBCB	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ C	PFCRC	8	H'FFBCC	I/O ポート	8	2Pφ/3Pφ
ソフトウェアスタンバイ解除 IRQ イネーブル レジスタ	SSIER	16	H'FFBCE	INTC	8	2Pφ/3Pφ
DMA ソースアドレスレジスタ_0	DSAR_0	32	H'FFC00	DMAC_0	16	21φ/21φ
DMA デスティネーションアドレスレジスタ_0	DDAR_0	32	H'FFC04	DMAC_0	16	21φ/21φ
DMA オフセットレジスタ_0	DOFR_0	32	H'FFC08	DMAC_0	16	21φ/21φ
DMA 転送カウントレジスタ_0	DTCR_0	32	H'FFC0C	DMAC_0	16	21φ/21φ
DMA ブロックサイズレジスタ_0	DBSR_0	32	H'FFC10	DMAC_0	16	21φ/21φ
DMA モードコントロールレジスタ_0	DMDR_0	32	H'FFC14	DMAC_0	16	21φ/21φ
DMA アドレスコントロールレジスタ_0	DACR_0	32	H'FFC18	DMAC_0	16	21φ/21φ
DMA ソースアドレスレジスタ_1	DSAR_1	32	H'FFC20	DMAC_1	16	21φ/21φ
DMA デスティネーションアドレスレジスタ_1	DDAR_1	32	H'FFC24	DMAC_1	16	21φ/21φ
DMA オフセットレジスタ_1	DOFR_1	32	H'FFC28	DMAC_1	16	21φ/21φ
DMA 転送カウントレジスタ_1	DTCR_1	32	H'FFC2C	DMAC_1	16	21φ/21φ
DMA ブロックサイズレジスタ_1	DBSR_1	32	H'FFC30	DMAC_1	16	21φ/21φ
DMA モードコントロールレジスタ_1	DMDR_1	32	H'FFC34	DMAC_1	16	21φ/21φ
DMA アドレスコントロールレジスタ_1	DACR_1	32	H'FFC38	DMAC_1	16	21φ/21φ
DMA ソースアドレスレジスタ_2	DSAR_2	32	H'FFC40	DMAC_2	16	21φ/21φ
DMA デスティネーションアドレスレジスタ_2	DDAR_2	32	H'FFC44	DMAC_2	16	21φ/21φ
DMA オフセットレジスタ_2	DOFR_2	32	H'FFC48	DMAC_2	16	21φ/21φ
DMA 転送カウントレジスタ_2	DTCR_2	32	H'FFC4C	DMAC_2	16	21φ/21φ
DMA ブロックサイズレジスタ_2	DBSR_2	32	H'FFC50	DMAC_2	16	21φ/21φ
DMA モードコントロールレジスタ_2	DMDR_2	32	H'FFC54	DMAC_2	16	21φ/21φ
DMA アドレスコントロールレジスタ_2	DACR_2	32	H'FFC58	DMAC_2	16	21φ/21φ
DMA ソースアドレスレジスタ_3	DSAR_3	32	H'FFC60	DMAC_3	16	21φ/21φ

20. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数 (リード/ライト)
DMA デスティネーションアドレスレジスタ_3	DDAR_3	32	H'FFC64	DMAC_3	16	21φ/21φ
DMA オフセットレジスタ_3	DOFR_3	32	H'FFC68	DMAC_3	16	21φ/21φ
DMA 転送カウントレジスタ_3	DTCR_3	32	H'FFC6C	DMAC_3	16	21φ/21φ
DMA ブロックサイズレジスタ_3	DBSR_3	32	H'FFC70	DMAC_3	16	21φ/21φ
DMA モードコントロールレジスタ_3	DMDR_3	32	H'FFC74	DMAC_3	16	21φ/21φ
DMA アドレスコントロールレジスタ_3	DACR_3	32	H'FFC78	DMAC_3	16	21φ/21φ
DMA モジュールリクエストセレクトレジスタ_0	DMRSR_0	8	H'FFD20	DMAC_0	16	21φ/21φ
DMA モジュールリクエストセレクトレジスタ_1	DMRSR_1	8	H'FFD21	DMAC_1	16	21φ/21φ
DMA モジュールリクエストセレクトレジスタ_2	DMRSR_2	8	H'FFD22	DMAC_2	16	21φ/21φ
DMA モジュールリクエストセレクトレジスタ_3	DMRSR_3	8	H'FFD23	DMAC_3	16	21φ/21φ
インタラプトプライオリティレジスタ A	IPRA	16	H'FFD40	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ B	IPRB	16	H'FFD42	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ C	IPRC	16	H'FFD44	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ E	IPRE	16	H'FFD48	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ F	IPRF	16	H'FFD4A	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ G	IPRG	16	H'FFD4C	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ H	IPRH	16	H'FFD4E	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ I	IPRI	16	H'FFD50	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ K	IPRK	16	H'FFD54	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ L	IPRL	16	H'FFD56	INTC	16	21φ/31φ
IRQ センスコントロールレジスタ H	ISCRH	16	H'FFD68	INTC	16	21φ/31φ
IRQ センスコントロールレジスタ L	ISURL	16	H'FFD6A	INTC	16	21φ/31φ
DTC ベクタベースレジスタ	DTCVBR	32	H'FFD80	BSC	16	21φ/31φ
バス幅コントロールレジスタ	ABWCR	16	H'FFD84	BSC	16	21φ/31φ
アクセスステートコントロールレジスタ	ASTCR	16	H'FFD86	BSC	16	21φ/31φ
ウェイトコントロールレジスタ A	WTCRA	16	H'FFD88	BSC	16	21φ/31φ
ウェイトコントロールレジスタ B	WTCRB	16	H'FFD8A	BSC	16	21φ/31φ
リードストローブタイミングコントロール レジスタ	RDNCR	16	H'FFD8C	BSC	16	21φ/31φ
CS アサート期間コントロールレジスタ	CSACR	16	H'FFD8E	BSC	16	21φ/31φ
アイドルコントロールレジスタ	IDLCR	16	H'FFD90	BSC	16	21φ/31φ
バスコントロールレジスタ 1	BCR1	16	H'FFD92	BSC	16	21φ/31φ
バスコントロールレジスタ 2	BCR2	8	H'FFD94	BSC	16	21φ/31φ
エンディアンコントロールレジスタ	ENDIANCR	8	H'FFD95	BSC	16	21φ/31φ
SRAM モードコントロールレジスタ	SRAMCR	16	H'FFD98	BSC	16	21φ/31φ

20. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数 (リード/ライト)
バーストROM インタフェースコントロール レジスタ	BROMCR	16	H'FFD9A	BSC	16	2I ϕ /3I ϕ
アドレス/データマルチプレクス I/O コントロールレジスタ	MPXCR	16	H'FFD9C	BSC	16	2I ϕ /3I ϕ
モードコントロールレジスタ	MDCR	16	H'FFDC0	SYSTEM	16	2I ϕ /3I ϕ
システムコントロールレジスタ	SYSCR	16	H'FFDC2	SYSTEM	16	2I ϕ /3I ϕ
システムクロックコントロールレジスタ	SCKCR	16	H'FFDC4	SYSTEM	16	2I ϕ /3I ϕ
スタンバイコントロールレジスタ	SBYCR	16	H'FFDC6	SYSTEM	16	2I ϕ /3I ϕ
モジュールストップコントロールレジスタ A	MSTPCRA	16	H'FFDC8	SYSTEM	16	2I ϕ /3I ϕ
モジュールストップコントロールレジスタ B	MSTPCRB	16	H'FFDCA	SYSTEM	16	2I ϕ /3I ϕ
モジュールストップコントロールレジスタ C	MSTPCRC	16	H'FFDCC	SYSTEM	16	2I ϕ /3I ϕ
シリアル拡張モードレジスタ_2	SEMR_2	8	H'FFE84	SCI_2	8	2P ϕ /2P ϕ
シリアルモードレジスタ_3	SMR_3	8	H'FFE88	SCI_3	8	2P ϕ /2P ϕ
ビットレートレジスタ_3	BRR_3	8	H'FFE89	SCI_3	8	2P ϕ /2P ϕ
シリアルコントロールレジスタ_3	SCR_3	8	H'FFE8A	SCI_3	8	2P ϕ /2P ϕ
トランスミットデータレジスタ_3	TDR_3	8	H'FFE8B	SCI_3	8	2P ϕ /2P ϕ
シリアルステータスレジスタ_3	SSR_3	8	H'FFE8C	SCI_3	8	2P ϕ /2P ϕ
レシーブデータレジスタ_3	RDR_3	8	H'FFE8D	SCI_3	8	2P ϕ /2P ϕ
スマートカードモードレジスタ_3	SCMR_3	8	H'FFE8E	SCI_3	8	2P ϕ /2P ϕ
シリアルモードレジスタ_4	SMR_4	8	H'FFE90	SCI_4	8	2P ϕ /2P ϕ
ビットレートレジスタ_4	BRR_4	8	H'FFE91	SCI_4	8	2P ϕ /2P ϕ
シリアルコントロールレジスタ_4	SCR_4	8	H'FFE92	SCI_4	8	2P ϕ /2P ϕ
トランスミットデータレジスタ_4	TDR_4	8	H'FFE93	SCI_4	8	2P ϕ /2P ϕ
シリアルステータスレジスタ_4	SSR_4	8	H'FFE94	SCI_4	8	2P ϕ /2P ϕ
レシーブデータレジスタ_4	RDR_4	8	H'FFE95	SCI_4	8	2P ϕ /2P ϕ
スマートカードモードレジスタ_4	SCMR_4	8	H'FFE96	SCI_4	8	2P ϕ /2P ϕ
タイマコントロールレジスタ_2	TCR_2	8	H'FFEC0	TMR_2	16	2P ϕ /2P ϕ
タイマコントロールレジスタ_3	TCR_3	8	H'FFEC1	TMR_3	16	2P ϕ /2P ϕ
タイマコントロール/ステータスレジスタ_2	TCSR_2	8	H'FFEC2	TMR_2	16	2P ϕ /2P ϕ
タイマコントロール/ステータスレジスタ_3	TCSR_3	8	H'FFEC3	TMR_3	16	2P ϕ /2P ϕ
タイムコンスタントレジスタ A_2	TCORA_2	8	H'FFEC4	TMR_2	16	2P ϕ /2P ϕ
タイムコンスタントレジスタ A_3	TCORA_3	8	H'FFEC5	TMR_3	16	2P ϕ /2P ϕ
タイムコンスタントレジスタ B_2	TCORB_2	8	H'FFEC6	TMR_2	16	2P ϕ /2P ϕ
タイムコンスタントレジスタ B_3	TCORB_3	8	H'FFEC7	TMR_3	16	2P ϕ /2P ϕ

20. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数 (リード/ライト)
タイマカウンタ_2	TCNT_2	8	H'FFEC8	TMR_2	16	2Pφ/2Pφ
タイマカウンタ_3	TCNT_3	8	H'FFEC9	TMR_3	16	2Pφ/2Pφ
タイマカウンタコントロールレジスタ_2	TCCR_2	8	H'FFECA	TMR_2	16	2Pφ/2Pφ
タイマカウンタコントロールレジスタ_3	TCCR_3	8	H'FFECB	TMR_3	16	2Pφ/2Pφ
タイマコントロールレジスタ_4	TCR_4	8	H'FFEE0	TPU_4	16	2Pφ/2Pφ
タイマモードレジスタ_4	TMDR_4	8	H'FFEE1	TPU_4	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ_4	TIOR_4	8	H'FFEE2	TPU_4	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFEE4	TPU_4	16	2Pφ/2Pφ
タイマステータスレジスタ_4	TSR_4	8	H'FFEE5	TPU_4	16	2Pφ/2Pφ
タイマカウンタ_4	TCNT_4	16	H'FFEE6	TPU_4	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFEE8	TPU_4	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_4	TGRB_4	16	H'FFEEA	TPU_4	16	2Pφ/2Pφ
タイマコントロールレジスタ_5	TCR_5	8	H'FFEF0	TPU_5	16	2Pφ/2Pφ
タイマモードレジスタ_5	TMDR_5	8	H'FFEF1	TPU_5	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ_5	TIOR_5	8	H'FFEF2	TPU_5	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_5	TIER_5	8	H'FFEF4	TPU_5	16	2Pφ/2Pφ
タイマステータスレジスタ_5	TSR_5	8	H'FFEF5	TPU_5	16	2Pφ/2Pφ
タイマカウンタ_5	TCNT_5	16	H'FFEF6	TPU_5	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_5	TGRA_5	16	H'FFEF8	TPU_5	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_5	TGRB_5	16	H'FFEFA	TPU_5	16	2Pφ/2Pφ
DTC イネーブルレジスタ A	DTCERA	16	H'FFF20	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ B	DTCERB	16	H'FFF22	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ C	DTCERC	16	H'FFF24	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ D	DTCERD	16	H'FFF26	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ E	DTCERE	16	H'FFF28	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ F	DTCERF	16	H'FFF2A	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ G	DTCERG	16	H'FFF2C	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ H	DTCERH	16	H'FFF2E	INTC	16	2Iφ/3Iφ
DTC コントロールレジスタ	DTCCR	8	H'FFF30	INTC	16	2Iφ/3Iφ
割り込みコントロールレジスタ	INTCR	8	H'FFF32	INTC	16	2Iφ/3Iφ
CPU プライオリティコントロールレジスタ	CPUPCR	8	H'FFF33	INTC	16	2Iφ/3Iφ
IRQ イネーブルレジスタ	IER	16	H'FFF34	INTC	16	2Iφ/3Iφ
IRQ ステータスレジスタ	ISR	16	H'FFF36	INTC	16	2Iφ/3Iφ
ポート 1 レジスタ	PORT1	8	H'FFF40	I/O ポート	8	2Pφ/-

20. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数 (リード/ライト)
ポート 2 レジスタ	PORT2	8	H'FFF41	I/O ポート	8	2Pφ/-
ポート 3 レジスタ	PORT3	8	H'FFF42	I/O ポート	8	2Pφ/-
ポート 5 レジスタ	PORT5	8	H'FFF44	I/O ポート	8	2Pφ/-
ポート 6 レジスタ	PORT6	8	H'FFF45	I/O ポート	8	2Pφ/-
ポート A レジスタ	PORTA	8	H'FFF49	I/O ポート	8	2Pφ/-
ポート B レジスタ	PORTB	8	H'FFF4A	I/O ポート	8	2Pφ/-
ポート D レジスタ	PORTD	8	H'FFF4C	I/O ポート	8	2Pφ/-
ポート E レジスタ	PORTE	8	H'FFF4D	I/O ポート	8	2Pφ/-
ポート F レジスタ	PORTF	8	H'FFF4E	I/O ポート	8	2Pφ/-
ポート 1 データレジスタ	P1DR	8	H'FFF50	I/O ポート	8	2Pφ/2Pφ
ポート 2 データレジスタ	P2DR	8	H'FFF51	I/O ポート	8	2Pφ/2Pφ
ポート 3 データレジスタ	P3DR	8	H'FFF52	I/O ポート	8	2Pφ/2Pφ
ポート 6 データレジスタ	P6DR	8	H'FFF55	I/O ポート	8	2Pφ/2Pφ
ポート A データレジスタ	PADR	8	H'FFF59	I/O ポート	8	2Pφ/2Pφ
ポート B データレジスタ	PBDR	8	H'FFF5A	I/O ポート	8	2Pφ/2Pφ
ポート D データレジスタ	PDDR	8	H'FFF5C	I/O ポート	8	2Pφ/2Pφ
ポート E データレジスタ	PEDR	8	H'FFF5D	I/O ポート	8	2Pφ/2Pφ
ポート F データレジスタ	PFDR	8	H'FFF5E	I/O ポート	8	2Pφ/2Pφ
シリアルモードレジスタ_2	SMR_2	8	H'FFF60	SCI_2	8	2Pφ/2Pφ
ビットレートレジスタ_2	BRR_2	8	H'FFF61	SCI_2	8	2Pφ/2Pφ
シリアルコントロールレジスタ_2	SCR_2	8	H'FFF62	SCI_2	8	2Pφ/2Pφ
トランスミットデータレジスタ_2	TDR_2	8	H'FFF63	SCI_2	8	2Pφ/2Pφ
シリアルステータスレジスタ_2	SSR_2	8	H'FFF64	SCI_2	8	2Pφ/2Pφ
レシーブデータレジスタ_2	RDR_2	8	H'FFF65	SCI_2	8	2Pφ/2Pφ
スマートカードモードレジスタ_2	SCMR_2	8	H'FFF66	SCI_2	8	2Pφ/2Pφ
D/A データレジスタ 0	DADR0	8	H'FFF68	D/A	8	2Pφ/2Pφ
D/A データレジスタ 1	DADR1	8	H'FFF69	D/A	8	2Pφ/2Pφ
D/A コントロールレジスタ 01	DACR01	8	H'FFF6A	D/A	8	2Pφ/2Pφ
PPG 出力コントロールレジスタ	PCR	8	H'FFF76	PPG	8	2Pφ/2Pφ
PPG 出力モードレジスタ	PMR	8	H'FFF77	PPG	8	2Pφ/2Pφ
ネクストデータイネーブルレジスタ H	NDERH	8	H'FFF78	PPG	8	2Pφ/2Pφ
ネクストデータイネーブルレジスタ L	NDERL	8	H'FFF79	PPG	8	2Pφ/2Pφ
アウトプットデータレジスタ H	PODRH	8	H'FFF7A	PPG	8	2Pφ/2Pφ
アウトプットデータレジスタ L	PODRL	8	H'FFF7B	PPG	8	2Pφ/2Pφ

20. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数 (リード/ライト)
ネクストデータレジスタ H*	NDRH	8	H'FFF7C	PPG	8	2Pφ/2Pφ
ネクストデータレジスタ L*	NDRL	8	H'FFF7D	PPG	8	2Pφ/2Pφ
ネクストデータレジスタ H*	NDRH	8	H'FFF7E	PPG	8	2Pφ/2Pφ
ネクストデータレジスタ L*	NDRL	8	H'FFF7F	PPG	8	2Pφ/2Pφ
シリアルモードレジスタ_0	SMR_0	8	H'FFF80	SCI_0	8	2Pφ/2Pφ
ビットレートレジスタ_0	BRR_0	8	H'FFF81	SCI_0	8	2Pφ/2Pφ
シリアルコントロールレジスタ_0	SCR_0	8	H'FFF82	SCI_0	8	2Pφ/2Pφ
トランスミットデータレジスタ_0	TDR_0	8	H'FFF83	SCI_0	8	2Pφ/2Pφ
シリアルステータスレジスタ_0	SSR_0	8	H'FFF84	SCI_0	8	2Pφ/2Pφ
レシーブデータレジスタ_0	RDR_0	8	H'FFF85	SCI_0	8	2Pφ/2Pφ
スマートカードモードレジスタ_0	SCMR_0	8	H'FFF86	SCI_0	8	2Pφ/2Pφ
シリアルモードレジスタ_1	SMR_1	8	H'FFF88	SCI_1	8	2Pφ/2Pφ
ビットレートレジスタ_1	BRR_1	8	H'FFF89	SCI_1	8	2Pφ/2Pφ
シリアルコントロールレジスタ_1	SCR_1	8	H'FFF8A	SCI_1	8	2Pφ/2Pφ
トランスミットデータレジスタ_1	TDR_1	8	H'FFF8B	SCI_1	8	2Pφ/2Pφ
シリアルステータスレジスタ_1	SSR_1	8	H'FFF8C	SCI_1	8	2Pφ/2Pφ
レシーブデータレジスタ_1	RDR_1	8	H'FFF8D	SCI_1	8	2Pφ/2Pφ
スマートカードモードレジスタ_1	SCMR_1	8	H'FFF8E	SCI_1	8	2Pφ/2Pφ
A/D データレジスタ A	ADDRA	16	H'FFF90	A/D	16	2Pφ/2Pφ
A/D データレジスタ B	ADDRB	16	H'FFF92	A/D	16	2Pφ/2Pφ
A/D データレジスタ C	ADDRC	16	H'FFF94	A/D	16	2Pφ/2Pφ
A/D データレジスタ D	ADDRD	16	H'FFF96	A/D	16	2Pφ/2Pφ
A/D データレジスタ E	ADDRE	16	H'FFF98	A/D	16	2Pφ/2Pφ
A/D データレジスタ F	ADDRF	16	H'FFF9A	A/D	16	2Pφ/2Pφ
A/D データレジスタ G	ADDRG	16	H'FFF9C	A/D	16	2Pφ/2Pφ
A/D データレジスタ H	ADDRH	16	H'FFF9E	A/D	16	2Pφ/2Pφ
A/D コントロール/ステータスレジスタ	ADCSR	8	H'FFFA0	A/D	16	2Pφ/2Pφ
A/D コントロールレジスタ	ADCR	8	H'FFFA1	A/D	16	2Pφ/2Pφ
タイマコントロール/ステータスレジスタ	TCSR	8	H'FFFA4	WDT		2Pφ/3Pφ
タイマカウンタ	TCNT	8	H'FFFA5	WDT		2Pφ/3Pφ
リセットコントロール/ステータスレジスタ	RSTCSR	8	H'FFFA7	WDT		2Pφ/3Pφ
タイマコントロールレジスタ_0	TCR_0	8	H'FFFB0	TMR_0	16	2Pφ/2Pφ
タイマコントロールレジスタ_1	TCR_1	8	H'FFFB1	TMR_1	16	2Pφ/2Pφ
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFFB2	TMR_0	16	2Pφ/2Pφ

20. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数 (リード/ライト)
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFFB3	TMR_1	16	2Pφ/2Pφ
タイムコンスタントレジスタ A_0	TCORA_0	8	H'FFFB4	TMR_0	16	2Pφ/2Pφ
タイムコンスタントレジスタ A_1	TCORA_1	8	H'FFFB5	TMR_1	16	2Pφ/2Pφ
タイムコンスタントレジスタ B_0	TCORB_0	8	H'FFFB6	TMR_0	16	2Pφ/2Pφ
タイムコンスタントレジスタ B_1	TCORB_1	8	H'FFFB7	TMR_1	16	2Pφ/2Pφ
タイマカウンタ_0	TCNT_0	8	H'FFFB8	TMR_0	16	2Pφ/2Pφ
タイマカウンタ_1	TCNT_1	8	H'FFFB9	TMR_1	16	2Pφ/2Pφ
タイマカウンタコントロールレジスタ_0	TCCR_0	8	H'FFFBFA	TMR_0	16	2Pφ/2Pφ
タイマカウンタコントロールレジスタ_1	TCCR_1	8	H'FFFBFB	TMR_1	16	2Pφ/2Pφ
タイマスタートレジスタ	TSTR	8	H'FFFBFC	TPU	16	2Pφ/2Pφ
タイマシンクロレジスタ	TSYR	8	H'FFFBFD	TPU	16	2Pφ/2Pφ
タイマコントロールレジスタ_0	TCR_0	8	H'FFFC0	TPU_0	16	2Pφ/2Pφ
タイマモードレジスタ_0	TMDR_0	8	H'FFFC1	TPU_0	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFFC2	TPU_0	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFFC3	TPU_0	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFFC4	TPU_0	16	2Pφ/2Pφ
タイマステータスレジスタ_0	TSR_0	8	H'FFFC5	TPU_0	16	2Pφ/2Pφ
タイマカウンタ_0	TCNT_0	16	H'FFFC6	TPU_0	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFFC8	TPU_0	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFFC9	TPU_0	16	2Pφ/2Pφ
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFFC0	TPU_0	16	2Pφ/2Pφ
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFFC1	TPU_0	16	2Pφ/2Pφ
タイマコントロールレジスタ_1	TCR_1	8	H'FFFD0	TPU_1	16	2Pφ/2Pφ
タイマモードレジスタ_1	TMDR_1	8	H'FFFD1	TPU_1	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFFD2	TPU_1	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFD4	TPU_1	16	2Pφ/2Pφ
タイマステータスレジスタ_1	TSR_1	8	H'FFFD5	TPU_1	16	2Pφ/2Pφ
タイマカウンタ_1	TCNT_1	16	H'FFFD6	TPU_1	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFD8	TPU_1	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFFDA	TPU_1	16	2Pφ/2Pφ
タイマコントロールレジスタ_2	TCR_2	8	H'FFFE0	TPU_2	16	2Pφ/2Pφ
タイマモードレジスタ_2	TMDR_2	8	H'FFFE1	TPU_2	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFFE2	TPU_2	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFE4	TPU_2	16	2Pφ/2Pφ

20. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数 (リード/ライト)
タイマステータスレジスタ_2	TSR_2	8	H'FFFE5	TPU_2	16	2Pφ/2Pφ
タイマカウンタ_2	TCNT_2	16	H'FFFE6	TPU_2	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFFE8	TPU_2	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFEA	TPU_2	16	2Pφ/2Pφ
タイマコントロールレジスタ_3	TCR_3	8	H'FFF0	TPU_3	16	2Pφ/2Pφ
タイマモードレジスタ_3	TMDR_3	8	H'FFF1	TPU_3	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ H_3	TIORH_3	8	H'FFF2	TPU_3	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ L_3	TIORL_3	8	H'FFF3	TPU_3	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFF4	TPU_3	16	2Pφ/2Pφ
タイマステータスレジスタ_3	TSR_3	8	H'FFF5	TPU_3	16	2Pφ/2Pφ
タイマカウンタ_3	TCNT_3	16	H'FFF6	TPU_3	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_3	TGRA_3	16	H'FFF8	TPU_3	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_3	TGRB_3	16	H'FFFA	TPU_3	16	2Pφ/2Pφ
タイマジェネラルレジスタ C_3	TGRC_3	16	H'FFFC	TPU_3	16	2Pφ/2Pφ
タイマジェネラルレジスタ D_3	TGRD_3	16	H'FFFE	TPU_3	16	2Pφ/2Pφ

【注】 * PCR の設定によりパルス出力グループ 2 とパルス出力グループ 3 の出力トリガが同一の場合は、NDRH のアドレスは H'FFF7C となり、出力トリガが異なる場合は、グループ 2 に対応する NDRH のアドレスは H'FFF7E、グループ 3 に対する NDRH のアドレスは H'FFF7C となります。同様に、PCR の設定によりパルス出力グループ 0 とパルス出力グループ 1 の出力トリガが同一の場合は、NDRL のアドレスは H'FFF7D となり、出力トリガが異なる場合は、グループ 0 に対応する NDRL のアドレスは H'FFF7F、グループ 1 に対する NDRL のアドレスは H'FFF7D となります。

20.2 レジスタビット一覧

周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16ビット、32ビットレジスタは、8ビットずつ2段または4段で表しています。

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	I/Oポート
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P6DDR	—	—	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
PBDDR	—	—	—	—	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR	
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR	
P1ICR	P17ICR	P16ICR	P15ICR	P14ICR	P13ICR	P12ICR	P11ICR	P10ICR	
P2ICR	P27ICR	P26ICR	P25ICR	P24ICR	P23ICR	P22ICR	P21ICR	P20ICR	
P3ICR	P37ICR	P36ICR	P35ICR	P34ICR	P33ICR	P32ICR	P31ICR	P30ICR	
P5ICR	P57ICR	P56ICR	P55ICR	P54ICR	P53ICR	P52ICR	P51ICR	P50ICR	
P6ICR	—	—	P65ICR	P64ICR	P63ICR	P62ICR	P61ICR	P60ICR	
PAICR	PA7ICR	PA6ICR	PA5ICR	PA4ICR	PA3ICR	PA2ICR	PA1ICR	PA0ICR	
PBICR	—	—	—	—	PB3ICR	PB2ICR	PB1ICR	PB0ICR	
PDICR	PD7ICR	PD6ICR	PD5ICR	PD4ICR	PD3ICR	PD2ICR	PD1ICR	PD0ICR	
PEICR	PE7ICR	PE6ICR	PE5ICR	PE4ICR	PE3ICR	PE2ICR	PE1ICR	PE0ICR	
PFICR	PF7ICR	PF6ICR	PF5ICR	PF4ICR	PF3ICR	PF2ICR	PF1ICR	PF0ICR	
PORTH	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0	
PORTI	PI7	PI6	PI5	PI4	PI3	PI2	PI1	PI0	
PHDR	PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR	
PIDR	PI7DR	PI6DR	PI5DR	PI4DR	PI3DR	PI2DR	PI1DR	PI0DR	
PHDDR	PH7DDR	PH6DDR	PH5DDR	PH4DDR	PH3DDR	PH2DDR	PH1DDR	PH0DDR	
PIDDR	PI7DDR	PI6DDR	PI5DDR	PI4DDR	PI3DDR	PI2DDR	PI1DDR	PI0DDR	
PHICR	PH7ICR	PH6ICR	PH5ICR	PH4ICR	PH3ICR	PH2ICR	PH1ICR	PH0ICR	
PIICR	PI7ICR	PI6ICR	PI5ICR	PI4ICR	PI3ICR	PI2ICR	PI1ICR	PI0ICR	
PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR	
PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR	
PFPCR	PF7PCR	PF6PCR	PF5PCR	PF4PCR	PF3PCR	PF2PCR	PF1PCR	PF0PCR	
PHPCR	PH7PCR	PH6PCR	PH5PCR	PH4PCR	PH3PCR	PH2PCR	PH1PCR	PH0PCR	

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
PIPCR	PI7PCR	PI6PCR	PI5PCR	PI4PCR	PI3PCR	PI2PCR	PI1PCR	PI0PCR	I/O ポート
P2ODR	P27ODR	P26ODR	P25ODR	P24ODR	P23ODR	P22ODR	P21ODR	P20ODR	
PFODR	PF7ODR	PF6ODR	PF5ODR	PF4ODR	PF3ODR	PF2ODR	PF1ODR	PF0ODR	
PFCR0	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E	
PFCR1	CS7SA	CS7SB	CS6SA	CS6SB	CS5SA	CS5SB	CS4SA	CS4SB	
PFCR2	—	CS2S	BSS	BSE	—	RDWRE	ASOE	—	
PFCR4	A23E	A22E	A21E	—	—	—	—	—	
PFCR6	—	LHWROE	—	—	TCLKS	—	—	—	
PFCR7	DMAS3A	DMAS3B	DMAS2A	DMAS2B	DMAS1A	DMAS1B	DMAS0A	DMAS0B	
PFCR9	TPUMS5	TPUMS4	TPUMS3A	TPUMS3B	TPUMS2	TPUMS1	TPUMS0A	TPUMS0B	
PFCRB	—	—	—	—	ITS11	ITS10	ITS9	ITS8	
PFCRC	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	ITS1	ITS0	
SSIER	—	—	—	—	SSI11	SSI10	SSI9	SSI8	INTC
	SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0	
DSAR_0									DMAC_0
DDAR_0									
DOFR_0									
DTCR_0									
DBSR_0	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DMDR_0	DTE	DACKE	TENDE	—	DREQS	NRD	—	—	DMAC_0
	ACT	—	—	—	ERRF	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0	
DACR_0	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
DSAR_1								DMAC_1	
DDAR_1									
DOFR_1									
DTCR_1									
DBSR_1	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_1	DTE	DACKE	TENDE	—	DREQS	NRD	—	—	
	ACT	—	—	—	—	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0	
DACR_1	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DSAR_2									DMAC_2
DDAR_2									
DOFR_2									
DTCR_2									
DBSR_2	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_2	DTE	DACKE	TENDE	—	DREQS	NRD	—	—	
	ACT	—	—	—	—	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0	
DACR_2	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
DSAR_3									DMAC_3
DDAR_3									

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DOFR_3									DMAC_3
DTCR_3									
DBSR_3	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_3	DTE	DACKE	TENDE	—	DREQS	NRD	—	—	
	ACT	—	—	—	—	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0	
DACR_3	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
DMRSR_0									DMAC_0
DMRSR_1									DMAC_1
DMRSR_2									DMAC_2
DMRSR_3									DMAC_3
IPRA	—	IPRA14	IPRA13	IPRA12	—	IPRA10	IPRA9	IPRA8	INTC
	—	IPRA6	IPRA5	IPRA4	—	IPRA2	IPRA1	IPRA0	
IPRB	—	IPRB14	IPRB13	IPRB12	—	IPRB10	IPRB9	IPRB8	
	—	IPRB6	IPRB5	IPRB4	—	IPRB2	IPRB1	IPRB0	
IPRC	—	IPRC14	IPRC13	IPRC12	—	IPRC10	IPRC9	IPRC8	
	—	IPRC6	IPRC5	IPRC4	—	IPRC2	IPRC1	IPRC0	
IPRE	—	—	—	—	—	IPRE10	IPRE9	IPRE8	
	—	—	—	—	—	—	—	—	
IPRF	—	—	—	—	—	IPRF10	IPRF9	IPRF8	
	—	IPRF6	IPRF5	IPRF4	—	IPRF2	IPRF1	IPRF0	
IPRG	—	IPRG14	IPRG13	IPRG12	—	IPRG10	IPRG9	IPRG8	
	—	IPRG6	IPRG5	IPRG4	—	IPRG2	IPRG1	IPRG0	

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
IPRH	—	IPRH14	IPRH13	IPRH12	—	IPRH10	IPRH9	IPRH8	INTC
	—	IPRH6	IPRH5	IPRH4	—	IPRH2	IPRH1	IPRH0	
IPRI	—	IPRI14	IPRI13	IPRI12	—	IPRI10	IPRI9	IPRI8	
	—	IPRI6	IPRI5	IPRI4	—	IPRI2	IPRI1	IPRI0	
IPRK	—	IPRK14	IPRK13	IPRK12	—	—	—	—	
	—	IPRK6	IPRK5	IPRK4	—	IPRK2	IPRK1	IPRK0	
IPRL	—	IPRL14	IPRL13	IPRL12	—	IPRL10	IPRL9	IPRL8	
	—	IPRL6	IPRL5	IPRL4	—	—	—	—	
ISCRH	—	—	—	—	—	—	—	—	
	IRQ11SR	IRQ11SF	IRQ10SR	IRQ10SF	IRQ9SR	IRQ9SF	IRQ8SR	IRQ8SF	
ISCRH	IRQ7SR	IRQ7SF	IRQ6SR	IRQ6SF	IRQ5SR	IRQ5SF	IRQ4SR	IRQ4SF	
	IRQ3SR	IRQ3SF	IRQ2SR	IRQ2SF	IRQ1SR	IRQ1SF	IRQ0SR	IRQ0SF	
DTCVBR									BSC
ABWCR	ABWH7	ABWH6	ABWH5	ABWH4	ABWH3	ABWH2	ABWH1	ABWH0	
	ABWL7	ABWL6	ABWL5	ABWL4	ABWL3	ABWL2	ABWL1	ABWL0	
ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
	—	—	—	—	—	—	—	—	
WTCRA	—	W72	W71	W70	—	W62	W61	W60	
	—	W52	W51	W50	—	W42	W41	W40	
WTCRB	—	W32	W31	W30	—	W22	W21	W20	
	—	W12	W11	W10	—	W02	W01	W00	
RDNCR	RDN7	RDN6	RDN5	RDN4	RDN3	RDN2	RDN1	RDN0	
	—	—	—	—	—	—	—	—	
CSACR	CSXH7	CSXH6	CSXH5	CSXH4	CSXH3	CSXH2	CSXH1	CSXH0	
	CSXT7	CSXT6	CSXT5	CSXT4	CSXT3	CSXT2	CSXT1	CSXT0	
IDLCR	IDLS3	IDLS2	IDLS1	IDLS0	IDLCB1	IDLCB0	IDLCA1	IDLCA0	
	IDLSEL7	IDLSEL6	IDLSEL5	IDLSEL4	IDLSEL3	IDLSEL2	IDLSEL1	IDLSEL0	
BCR1	BRLE	BREQOE	—	—	—	—	WDBE	WAITE	
	DKC	—	—	—	—	—	—	—	
BCR2	—	—	—	IBCCS	—	—	—	PWDBE	
ENDIANCR	LE7	LE6	LE5	LE4	LE3	LE2	—	—	
SRAMCR	BCSEL7	BCSEL6	BCSEL5	BCSEL4	BCSEL3	BCSEL2	BCSEL1	BCSEL0	
	—	—	—	—	—	—	—	—	

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
BROMCR	BSRM0	BSTS02	BSTS01	BSTS00	—	—	BSWD01	BSWD00	BSC
	BSRM1	BSTS12	BSTS11	BSTS10	—	—	BSWD11	BSWD10	
MPXCR	MPXE7	MPXE6	MPXE5	MPXE4	MPXE3	—	—	—	
	—	—	—	—	—	—	—	ADDEX	
MDCR	—	—	—	—	—	MDS2	MDS1	MDS0	SYSTEM
	—	—	—	—	—	—	—	—	
SYSCR	—	—	MACS	—	FETCHMD	—	EXPE	RAME	
	—	—	—	—	—	—	DTCMD	—	
SCKCR	PSTOP1	—	POSEL1	—	—	ICK2	ICK1	ICK0	
	—	PCK2	PCK1	PCK0	—	BCK2	BCK1	BCK0	
SBYCR	SSBY	OPE	—	STS4	STS3	STS2	STS1	STS0	
	SLPIE	—	—	—	—	—	—	—	
MSTPCRA	ACSE	MSTPA14	MSTPA13	MSTPA12	MSTPA11	MSTPA10	MSTPA9	MSTPA8	
	—	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	
MSTPCRB	MSTPB15	MSTPB14	MSTPB13	MSTPB12	MSTPB11	MSTPB10	MSTPB9	MSTPB8	
	—	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	
MSTPCRC	MSTPC15	MSTPC14	MSTPC13	MSTPC12	MSTPC11	MSTPC10	MSTPC9	MSTPC8	
	—	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	
SEMR_2	—	—	—	—	ABCS	ACS2	ACS1	ACS0	SCI_2
SMR_3* ¹	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI_3
	(GM)	(BLK)	(PE)	(O/ \bar{E})	(BCP0)	(BCP0)			
BRR_3									
SCR_3* ¹	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_3									
SSR_3* ¹	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
(ERS)									
RDR_3									
SCMR_3	—	—	—	—	SDIR	SINV	—	SMIF	
SMR_4* ¹	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI_4
	(GM)	(BLK)	(PE)	(O/ \bar{E})	(BCP1)	(BCP0)			
BRR_4									
SCR_4* ¹	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_4									
SSR_4* ¹	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
(ERS)									
RDR_4									

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SCMR_4	—	—	—	—	SDIR	SINV	—	SMIF	SCI_4
TCR_2	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_2
TCR_3	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_3
TCSR_2	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	TMR_2
TCSR_3	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	TMR_3
TCORA_2									TMR_2
TCORA_3									TMR_3
TCORB_2									TMR_2
TCORB_3									TMR_3
TCNT_2									TMR_2
TCNT_3									TMR_3
TCCR_2	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_2
TCCR_3	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_3
TCR_4	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_4
TMDR_4	—	—	—	—	—	MD2	MD1	MD0	
TIOR_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_4	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_4	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_4									
TGRA_4									
TGRB_4									
TCR_5	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_5
TMDR_5	—	—	—	—	—	MD2	MD1	MD0	
TIOR_5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_5	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_5	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_5									
TGRA_5									
TGRB_5									

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DTCERA	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	INTC
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	
DTCERB	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	
DTCERC	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	
DTCERD	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	
DTCERE	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	
DTCERF	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	
DTCERG	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	
DTCERH	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	
DTCCR	—	—	—	RRS	RCHNE	—	—	ERR	
INTCR	—	—	INTM1	INTM0	NMIEG	—	—	—	
CPUPCR	CPUPCE	DTCP2	DTCP1	DTCP0	IPSETE	CPUP2	CPUP1	CPUP0	
IER	—	—	—	—	IRQ11E	IRQ10E	IRQ9E	IRQ8E	
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
ISR	—	—	—	—	IRQ11F	IRQ10F	IRQ9F	IRQ8F	
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	I/O ポート
PORT2	P27	P26	P25	P24	P23	P22	P21	P20	
PORT3	P37	P36	P35	P34	P33	P32	P31	P30	
PORT5	P57	P56	P55	P54	P53	P52	P51	P50	
PORT6	—	—	P65	P64	P63	P62	P61	P60	
PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	
PORTB	—	—	—	—	PB3	PB2	PB1	PB0	
PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	
PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	
PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	
P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR	

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール	
P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	I/O ポート	
P6DR	—	—	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR		
PADR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR		
PBDR	—	—	—	—	PB3DR	PB2DR	PB1DR	PB0DR		
PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR		
PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR		
PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR		
SMR_2* ¹	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1	CKS0		SCI_2
BRR_2										
SCR_2* ¹	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
TDR_2										
SSR_2* ¹	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT		
RDR_2										
SCMR_2	—	—	—	—	SDIR	SINV	—	SMIF		
DADR0									D/A	
DADR1										
DACR01	DAOE1	DAOE0	DAE	—	—	—	—	—		
PCR	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	PPG	
PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV		
NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8		
NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0		
PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8		
PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0		
NDRH* ²	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8		
NDRL* ²	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0		
NDRH* ²	—	—	—	—	NDR11	NDR10	NDR9	NDR8		
NDRL* ²	—	—	—	—	NDR3	NDR2	NDR1	NDR0		
SMR_0* ¹	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_0	
BRR_0										
SCR_0* ¹	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
TDR_0										
SSR_0* ¹	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT		

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
RDR_0									SCI_0
SCMR_0	—	—	—	—	SDIR	SINV	—	SMIF	
SMR_1* ¹	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_1
BRR_1									
SCR_1* ¹	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_1									
SSR_1* ¹	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT	
RDR_1									
SCMR_1	—	—	—	—	SDIR	SINV	—	SMIF	
ADDRA									A/D
ADDRB									
ADDRC									
ADDRD									
ADDRE									
ADDRF									
ADDRG									
ADDRH									
ADCSR	ADF	ADIE	ADST	—	CH3	CH2	CH1	CH0	
ADCR	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	—	—	
TCSR	OVF	WT/ $\bar{I}\bar{T}$	TME	—	—	CKS2	CKS1	CKS0	WDT
TCNT									
RSTCSR	WOVF	RSTE	—	—	—	—	—	—	
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	TMR_0
TCSR_1	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	TMR_1

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール	
TCORA_0									TMR_0	
TCORA_1									TMR_1	
TCORB_0									TMR_0	
TCORB_1									TMR_1	
TCNT_0									TMR_0	
TCNT_1									TMR_1	
TCCR_0	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_0	
TCCR_1	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_1	
TSTR	—	—	CST5	CST4	CST3	CST2	CST1	CST0	TPU	
TSYR	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0		
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0	
TMDR_0	—	—	BFB	BFA	—	MD2	MD1	MD0		
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
TIER_0	TTGE	—	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
TSR_0	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA		
TCNT_0	_____									
TGRA_0	_____									
TGRB_0	_____									
TGRC_0	_____									
TGRD_0	_____									
TCR_1	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		TPU_1
TMDR_1	—	—	—	—	MD3	MD2	MD1	MD0		
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_1	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA		
TSR_1	TCFD	—	TCFU	TCFV	TGFD	—	TGFB	TGFA		
TCNT_1	_____									
TGRA_1	_____									

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
TGRB_1									TPU_1
TCR_2	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2
TMDR_2	—	—	—	—	—	MD2	MD1	MD0	
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_2	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_2									
TGRA_2									
TGRB_2									
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_3
TMDR_3	—	—	BFB	BFA	—	MD2	MD1	MD0	
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_3	TTGE	—	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_3	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_3									
TGRA_3									
TGRB_3									
TGRC_3									
TGRD_3									

【注】 *1 通常モードとスマートカードインタフェースで一部のビットの機能が異なります。

*2 PCR の設定によりパルス出力グループ 2 とパルス出力グループ 3 の出力トリガが同一の場合は、NDRH のアドレスは H'FFF7C となり、出力トリガが異なる場合は、グループ 2 に対応する NDRH のアドレスは H'FFF7E、グループ 3 に対する NDRH のアドレスは H'FFF7C となります。同様に、PCR の設定によりパルス出力グループ 0 とパルス出力グループ 1 の出力トリガが同一の場合は、NDRL のアドレスは H'FFF7D となり、出力トリガが異なる場合は、グループ 0 に対応する NDRL のアドレスは H'FFF7F、グループ 1 に対する NDRL のアドレスは H'FFF7D となります。

20.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
P1DDR	初期化	—	—	—	—	初期化	I/O ポート
P2DDR	初期化	—	—	—	—	初期化	
P3DDR	初期化	—	—	—	—	初期化	
P6DDR	初期化	—	—	—	—	初期化	
PADDR	初期化	—	—	—	—	初期化	
PBDDR	初期化	—	—	—	—	初期化	
PDDDR	初期化	—	—	—	—	初期化	
PEDDR	初期化	—	—	—	—	初期化	
PFDDR	初期化	—	—	—	—	初期化	
P1ICR	初期化	—	—	—	—	初期化	
P2ICR	初期化	—	—	—	—	初期化	
P3ICR	初期化	—	—	—	—	初期化	
P5ICR	初期化	—	—	—	—	初期化	
P6ICR	初期化	—	—	—	—	初期化	
PAICR	初期化	—	—	—	—	初期化	
PBICR	初期化	—	—	—	—	初期化	
PDICR	初期化	—	—	—	—	初期化	
PEICR	初期化	—	—	—	—	初期化	
PFICR	初期化	—	—	—	—	初期化	
PORTH	—	—	—	—	—	—	
PORTI	—	—	—	—	—	—	
PHDR	初期化	—	—	—	—	初期化	
PIDR	初期化	—	—	—	—	初期化	
PHDDR	初期化	—	—	—	—	初期化	
PIDDR	初期化	—	—	—	—	初期化	
PHICR	初期化	—	—	—	—	初期化	
PIICR	初期化	—	—	—	—	初期化	
PDPCR	初期化	—	—	—	—	初期化	
PEPCR	初期化	—	—	—	—	初期化	
PFPCR	初期化	—	—	—	—	初期化	
PHPCR	初期化	—	—	—	—	初期化	
PIPCR	初期化	—	—	—	—	初期化	

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
P2ODR	初期化	—	—	—	—	初期化	I/O ポート
PFODR	初期化	—	—	—	—	初期化	
PFCR0	初期化	—	—	—	—	初期化	
PFCR1	初期化	—	—	—	—	初期化	
PFCR2	初期化	—	—	—	—	初期化	
PFCR4	初期化	—	—	—	—	初期化	
PFCR6	初期化	—	—	—	—	初期化	
PFCR7	初期化	—	—	—	—	初期化	
PFCR9	初期化	—	—	—	—	初期化	
PFCRB	初期化	—	—	—	—	初期化	
PFCRC	初期化	—	—	—	—	初期化	
SSIER	初期化	—	—	—	—	初期化	INTC
DSAR_0	初期化	—	—	—	—	初期化	DMAC_0
DDAR_0	初期化	—	—	—	—	初期化	
DOFR_0	初期化	—	—	—	—	初期化	
DTCR_0	初期化	—	—	—	—	初期化	
DBSR_0	初期化	—	—	—	—	初期化	
DMDR_0	初期化	—	—	—	—	初期化	
DACR_0	初期化	—	—	—	—	初期化	
DSAR_1	初期化	—	—	—	—	初期化	DMAC_1
DDAR_1	初期化	—	—	—	—	初期化	
DOFR_1	初期化	—	—	—	—	初期化	
DTCR_1	初期化	—	—	—	—	初期化	
DBSR_1	初期化	—	—	—	—	初期化	
DMDR_1	初期化	—	—	—	—	初期化	
DACR_1	初期化	—	—	—	—	初期化	
DSAR_2	初期化	—	—	—	—	初期化	DMAC_2
DDAR_2	初期化	—	—	—	—	初期化	
DOFR_2	初期化	—	—	—	—	初期化	
DTCR_2	初期化	—	—	—	—	初期化	
DBSR_2	初期化	—	—	—	—	初期化	
DMDR_2	初期化	—	—	—	—	初期化	
DACR_2	初期化	—	—	—	—	初期化	
DSAR_3	初期化	—	—	—	—	初期化	DMAC_3

20. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
DDAR_3	初期化	—	—	—	—	初期化	DMAC_3
DOFR_3	初期化	—	—	—	—	初期化	
DTCR_3	初期化	—	—	—	—	初期化	
DBSR_3	初期化	—	—	—	—	初期化	
DMDR_3	初期化	—	—	—	—	初期化	
DACR_3	初期化	—	—	—	—	初期化	
DMRSR_0	初期化	—	—	—	—	初期化	DMAC_0
DMRSR_1	初期化	—	—	—	—	初期化	DMAC_1
DMRSR_2	初期化	—	—	—	—	初期化	DMAC_2
DMRSR_3	初期化	—	—	—	—	初期化	DMAC_3
IPRA	初期化	—	—	—	—	初期化	INTC
IPRB	初期化	—	—	—	—	初期化	
IPRC	初期化	—	—	—	—	初期化	
IPRE	初期化	—	—	—	—	初期化	
IPRF	初期化	—	—	—	—	初期化	
IPRG	初期化	—	—	—	—	初期化	
IPRH	初期化	—	—	—	—	初期化	
IPRI	初期化	—	—	—	—	初期化	
IPRK	初期化	—	—	—	—	初期化	
IPRL	初期化	—	—	—	—	初期化	
ISCRH	初期化	—	—	—	—	初期化	
ISCLR	初期化	—	—	—	—	初期化	
DTCVBR	初期化	—	—	—	—	初期化	BSC
ABWCR	初期化	—	—	—	—	初期化	
ASTCR	初期化	—	—	—	—	初期化	
WTCRA	初期化	—	—	—	—	初期化	
WTCRB	初期化	—	—	—	—	初期化	
RDNCR	初期化	—	—	—	—	初期化	
CSACR	初期化	—	—	—	—	初期化	
IDLCR	初期化	—	—	—	—	初期化	
BCR1	初期化	—	—	—	—	初期化	
BCR2	初期化	—	—	—	—	初期化	
ENDIANCR	初期化	—	—	—	—	初期化	
SRAMCR	初期化	—	—	—	—	初期化	
BROMCR	初期化	—	—	—	—	初期化	

20. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール	
MPXCR	初期化	—	—	—	—	初期化	BSC	
MDCR	初期化	—	—	—	—	初期化	SYSTEM	
SYSCR	初期化	—	—	—	—	初期化		
SCKCR	初期化	—	—	—	—	初期化		
SBYCR	初期化	—	—	—	—	初期化		
MSTPCRA	初期化	—	—	—	—	初期化		
MSTPCRB	初期化	—	—	—	—	初期化		
MSTPCRC	初期化	—	—	—	—	初期化		
SEMR_2	初期化	—	—	—	—	初期化	SCI_2	
SMR_3	初期化	—	—	—	—	初期化	SCI_3	
BRR_3	初期化	—	—	—	—	初期化		
SCR_3	初期化	—	—	—	—	初期化		
TDR_3	初期化	—	初期化	初期化	初期化	初期化	SCI_4	
SSR_3	初期化	—	初期化	初期化	初期化	初期化		
RDR_3	初期化	—	初期化	初期化	初期化	初期化		
SCMR_3	初期化	—	—	—	—	初期化		
SMR_4	初期化	—	—	—	—	初期化		
BRR_4	初期化	—	—	—	—	初期化		
SCR_4	初期化	—	—	—	—	初期化		
TDR_4	初期化	—	初期化	初期化	初期化	初期化	SCI_4	
SSR_4	初期化	—	初期化	初期化	初期化	初期化		
RDR_4	初期化	—	初期化	初期化	初期化	初期化		
SCMR_4	初期化	—	—	—	—	初期化		
TCR_2	初期化	—	—	—	—	初期化		TMR_2
TCR_3	初期化	—	—	—	—	初期化		TMR_3
TCSR_2	初期化	—	—	—	—	初期化		TMR_2
TCSR_3	初期化	—	—	—	—	初期化	TMR_3	
TCORA_2	初期化	—	—	—	—	初期化	TMR_2	
TCORA_3	初期化	—	—	—	—	初期化	TMR_3	
TCORB_2	初期化	—	—	—	—	初期化	TMR_2	
TCORB_3	初期化	—	—	—	—	初期化	TMR_3	
TCNT_2	初期化	—	—	—	—	初期化	TMR_2	
TCNT_3	初期化	—	—	—	—	初期化	TMR_3	
TCCR_2	初期化	—	—	—	—	初期化	TMR_2	
TCCR_3	初期化	—	—	—	—	初期化	TMR_3	

20. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
TCR_4	初期化	—	—	—	—	初期化	TPU_4
TMDR_4	初期化	—	—	—	—	初期化	
TIOR_4	初期化	—	—	—	—	初期化	
TIER_4	初期化	—	—	—	—	初期化	
TSR_4	初期化	—	—	—	—	初期化	
TCNT_4	初期化	—	—	—	—	初期化	
TGRA_4	初期化	—	—	—	—	初期化	
TGRB_4	初期化	—	—	—	—	初期化	
TCR_5	初期化	—	—	—	—	初期化	TPU_5
TMDR_5	初期化	—	—	—	—	初期化	
TIOR_5	初期化	—	—	—	—	初期化	
TIER_5	初期化	—	—	—	—	初期化	
TSR_5	初期化	—	—	—	—	初期化	
TCNT_5	初期化	—	—	—	—	初期化	
TGRA_5	初期化	—	—	—	—	初期化	
TGRB_5	初期化	—	—	—	—	初期化	
DTCERA	初期化	—	—	—	—	初期化	INTC
DTCERB	初期化	—	—	—	—	初期化	
DTCERC	初期化	—	—	—	—	初期化	
DTCERD	初期化	—	—	—	—	初期化	
DTCERE	初期化	—	—	—	—	初期化	
DTCERF	初期化	—	—	—	—	初期化	
DTCERG	初期化	—	—	—	—	初期化	
DTCERH	初期化	—	—	—	—	初期化	
DTCCR	初期化	—	—	—	—	初期化	
INTCR	初期化	—	—	—	—	初期化	
CPUPCR	初期化	—	—	—	—	初期化	
IER	初期化	—	—	—	—	初期化	
ISR	初期化	—	—	—	—	初期化	
PORT1	—	—	—	—	—	—	I/O ポート
PORT2	—	—	—	—	—	—	
PORT3	—	—	—	—	—	—	
PORT5	—	—	—	—	—	—	
PORT6	—	—	—	—	—	—	
PORTA	—	—	—	—	—	—	

20. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール	
PORTB	—	—	—	—	—	—	I/O ポート	
PORTD	—	—	—	—	—	—		
PORTE	—	—	—	—	—	—		
PORTF	—	—	—	—	—	—		
P1DR	初期化	—	—	—	—	初期化		
P2DR	初期化	—	—	—	—	初期化		
P3DR	初期化	—	—	—	—	初期化		
P6DR	初期化	—	—	—	—	初期化		
PADR	初期化	—	—	—	—	初期化		
PBDR	初期化	—	—	—	—	初期化		
PDDR	初期化	—	—	—	—	初期化		
PEDR	初期化	—	—	—	—	初期化		
PFDR	初期化	—	—	—	—	初期化		
SMR_2	初期化	—	—	—	—	初期化		SCI_2
BRR_2	初期化	—	—	—	—	初期化		
SCR_2	初期化	—	—	—	—	初期化		
TDR_2	初期化	—	初期化	初期化	初期化	初期化		
SSR_2	初期化	—	初期化	初期化	初期化	初期化		
RDR_2	初期化	—	初期化	初期化	初期化	初期化		
SCMR_2	初期化	—	—	—	—	初期化		
DADR0	初期化	—	—	—	—	初期化	D/A	
DADR1	初期化	—	—	—	—	初期化		
DACR01	初期化	—	—	—	—	初期化		
PCR	初期化	—	—	—	—	初期化	PPG	
PMR	初期化	—	—	—	—	初期化		
NDERH	初期化	—	—	—	—	初期化		
NDERL	初期化	—	—	—	—	初期化		
PODRH	初期化	—	—	—	—	初期化		
PODRL	初期化	—	—	—	—	初期化		
NDRH	初期化	—	—	—	—	初期化		
NDRL	初期化	—	—	—	—	初期化		
SMR_0	初期化	—	—	—	—	初期化		SCI_0
BRR_0	初期化	—	—	—	—	初期化		
SCR_0	初期化	—	—	—	—	初期化		
TDR_0	初期化	—	初期化	初期化	初期化	初期化		

20. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
SSR_0	初期化	—	初期化	初期化	初期化	初期化	SCI_0
RDR_0	初期化	—	初期化	初期化	初期化	初期化	
SCMR_0	初期化	—	—	—	—	初期化	
SMR_1	初期化	—	—	—	—	初期化	SCI_1
BRR_1	初期化	—	—	—	—	初期化	
SCR_1	初期化	—	—	—	—	初期化	
TDR_1	初期化	—	初期化	初期化	初期化	初期化	
SSR_1	初期化	—	初期化	初期化	初期化	初期化	
RDR_1	初期化	—	初期化	初期化	初期化	初期化	
SCMR_1	初期化	—	—	—	—	初期化	
ADDRA	初期化	—	—	—	—	初期化	A/D
ADDRB	初期化	—	—	—	—	初期化	
ADDRC	初期化	—	—	—	—	初期化	
ADDRD	初期化	—	—	—	—	初期化	
ADDRE	初期化	—	—	—	—	初期化	
ADDRF	初期化	—	—	—	—	初期化	
ADDRG	初期化	—	—	—	—	初期化	
ADDRH	初期化	—	—	—	—	初期化	
ADCSR	初期化	—	—	—	—	初期化	
ADCR	初期化	—	—	—	—	初期化	
TCSR	初期化	—	—	—	—	初期化	WDT
TCNT	初期化	—	—	—	—	初期化	
RSTCSR	初期化	—	—	—	—	初期化	
TCR_0	初期化	—	—	—	—	初期化	TMR_0
TCR_1	初期化	—	—	—	—	初期化	TMR_1
TCSR_0	初期化	—	—	—	—	初期化	TMR_0
TCSR_1	初期化	—	—	—	—	初期化	TMR_1
TCORA_0	初期化	—	—	—	—	初期化	TMR_0
TCORA_1	初期化	—	—	—	—	初期化	TMR_1
TCORB_0	初期化	—	—	—	—	初期化	TMR_0
TCORB_1	初期化	—	—	—	—	初期化	TMR_1
TCNT_0	初期化	—	—	—	—	初期化	TMR_0
TCNT_1	初期化	—	—	—	—	初期化	TMR_1
TCCR_0	初期化	—	—	—	—	初期化	TMR_0
TCCR_1	初期化	—	—	—	—	初期化	TMR_1

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
TSTR	初期化	—	—	—	—	初期化	TPU
TSYR	初期化	—	—	—	—	初期化	
TCR_0	初期化	—	—	—	—	初期化	TPU_0
TMDR_0	初期化	—	—	—	—	初期化	
TIORH_0	初期化	—	—	—	—	初期化	
TIORL_0	初期化	—	—	—	—	初期化	
TIER_0	初期化	—	—	—	—	初期化	
TSR_0	初期化	—	—	—	—	初期化	
TCNT_0	初期化	—	—	—	—	初期化	
TGRA_0	初期化	—	—	—	—	初期化	
TGRB_0	初期化	—	—	—	—	初期化	
TGRC_0	初期化	—	—	—	—	初期化	
TGRD_0	初期化	—	—	—	—	初期化	
TCR_1	初期化	—	—	—	—	初期化	TPU_1
TMDR_1	初期化	—	—	—	—	初期化	
TIOR_1	初期化	—	—	—	—	初期化	
TIER_1	初期化	—	—	—	—	初期化	
TSR_1	初期化	—	—	—	—	初期化	
TCNT_1	初期化	—	—	—	—	初期化	
TGRA_1	初期化	—	—	—	—	初期化	
TGRB_1	初期化	—	—	—	—	初期化	
TCR_2	初期化	—	—	—	—	初期化	TPU_2
TMDR_2	初期化	—	—	—	—	初期化	
TIOR_2	初期化	—	—	—	—	初期化	
TIER_2	初期化	—	—	—	—	初期化	
TSR_2	初期化	—	—	—	—	初期化	
TCNT_2	初期化	—	—	—	—	初期化	
TGRA_2	初期化	—	—	—	—	初期化	
TGRB_2	初期化	—	—	—	—	初期化	
TCR_3	初期化	—	—	—	—	初期化	TPU_3
TMDR_3	初期化	—	—	—	—	初期化	
TIORH_3	初期化	—	—	—	—	初期化	
TIORL_3	初期化	—	—	—	—	初期化	
TIER_3	初期化	—	—	—	—	初期化	
TSR_3	初期化	—	—	—	—	初期化	

20. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
TCNT_3	初期化	—	—	—	—	初期化	TPU_3
TGRA_3	初期化	—	—	—	—	初期化	
TGRB_3	初期化	—	—	—	—	初期化	
TGRC_3	初期化	—	—	—	—	初期化	
TGRD_3	初期化	—	—	—	—	初期化	

21. 電気的特性

21.1 電気的特性 (35MHz 動作時)

21.1.1 絶対最大定格

表 21.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{cc}	-0.3~+4.6	V
入力電圧 (ポート 5 以外)	V _{in}	-0.3~V _{cc} +0.3	V
入力電圧 (ポート 5)	V _{in}	-0.3~AV _{cc} +0.3	V
リファレンス電源電圧	V _{ref}	-0.3~AV _{cc} +0.3	V
アナログ電源電圧	AV _{cc}	-0.3~+4.6	V
アナログ入力電圧	V _{AN}	-0.3~AV _{cc} +0.3	V
動作温度	Topr	通常仕様品 : -20~+75	°C
		広温度範囲仕様品 : -40~+85	
保存温度	Tstg	-55~+125	°C

【使用上の注意】 絶対最大定格を超えて LSI を使用した場合、LSI 永久破壊となることがあります。

21. 電気的特性

21.1.2 DC 特性

表 21.2 DC 特性 (1)

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V^{*1}$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件	
シュミット トリガ入力 電圧	IRQ 入力端子、	VT^{-}	$V_{CC}\times 0.2$	—	—	V	
	TPU 入力端子、	VT^{+}	—	—	$V_{CC}\times 0.7$	V	
	TMR 入力端子、 ポート 2、ポート 3	$VT^{+}-VT^{-}$	$V_{CC}\times 0.06$	—	—	V	
	ポート 5 ^{*2}	VT^{-}	$AV_{CC}\times 0.2$	—	—	V	
		VT^{+}	—	—	$AV_{CC}\times 0.7$	V	
		$VT^{+}-VT^{-}$	$AV_{CC}\times 0.06$	—	—	V	
入力 High レ ベル電圧 (シ ュミットト リガ入力端 子を除く)	MD 端子、 \overline{RES} \overline{STBY} 、EMLE、NMI	V_{IH}	$V_{CC}\times 0.9$	—	$V_{CC}+0.3$	V	
	EXTAL その他の入力端子		$V_{CC}\times 0.7$	—	$V_{CC}+0.3$		
	ポート 5		$AV_{CC}\times 0.7$	—	$AV_{CC}+0.3$		
入力 Low レ ベル電圧 (シ ュミットト リガ入力端 子を除く)	MD 端子、 \overline{RES} 、 \overline{STBY} 、EMLE	V_{IL}	-0.3	—	$V_{CC}\times 0.1$	V	
	EXTAL、NMI		-0.3	—	$V_{CC}\times 0.2$		
	その他の入力端子		-0.3	—	$V_{CC}\times 0.2$		
出力 High レ ベル電圧	全出力端子	V_{OH}	$V_{CC}-0.5$	—	—	V	$I_{OH}=-200\mu A$
			$V_{CC}-1.0$	—	—		$I_{OH}=-1mA$
出力 Low レベル電圧	全出力端子	V_{OL}	—	—	0.4	V	$I_{OL}=1.6mA$
	ポート 3		—	—	1.0		$I_{OL}=10mA$
入力リーク 電流	\overline{RES}	$ I_{in} $	—	—	10.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$
	MD 端子、 \overline{STBY} 、 EMLE、NMI		—	—	1.0		
	ポート 5		—	—	1.0		$V_{in}=0.5\sim$ $AV_{CC}-0.5V$

表 21.2 DC 特性 (2)

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V^{*1}$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
スリープ ートリーク 電流 (オフ状態)	ポート 1~3、6、A、B、 D~F、H、I	$ I_{TSI} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$
入力プル アップ MOS 電流	ポート D~F、H、I	$-I_p$	10	—	300	μA	$V_{CC}=3.0\sim 3.6V$ $V_{in}=0V$
入力容量	全入力端子	C_{in}	—	—	15	pF	$V_{in}=0V$ $f=1MHz$ $T_a=25^{\circ}C$
消費電流 ^{*3}	通常動作時	I_{CC}^{*5}	—	30(3.3V)	45	mA	f=35MHz
	スリープ時		—	25(3.3V)	37		
	スタンバイ時 ^{*4}		—	0.1	0.5		Ta $\leq 50^{\circ}C$
			—	—	3.0		50 $^{\circ}C < T_a$
	全モジュールクロッ クストップ時 ^{*6}		—	15	25		
アナログ 電源電流	A/D、D/A 変換中	I_{CC}	—	1.0(3.0V)	2.0	mA	
	A/D、D/A 変換待機時		—	0.1	20		μA
リファレン ス電源電流	A/D、D/A 変換中	I_{CC}	—	1.5(3.0V)	3.0	mA	
	A/D、D/A 変換待機時		—	0.4	5.0		μA
RAM スタンバイ電圧		V_{RAM}	2.5	—	—	V	
V_{CC} 開始電圧 ^{*7}		$V_{CCSTART}$	—	—	0.8	V	
V_{CC} 立ち上がり勾配 ^{*7}		SV_{CC}	—	—	20	ms/V	

【注】 *1 A/D および D/A 変換器未使用時に AV_{CC} 、 V_{REF} 、 AV_{SS} 端子を開放しないでください。 AV_{CC} 、 V_{REF} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。*2 $\overline{IRQ0}\sim\overline{IRQ7}$ として使用した場合です。*3 消費電流値は、 $V_{IHmin}=V_{CC}-0.5V$ 、 $V_{ILmax}=0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*4 $V_{RAM}\leq V_{CC}<3.0V$ のとき、 $V_{IHmin}=V_{CC}\times 0.9$ 、 $V_{ILmax}=0.3V$ とした場合の値です。*5 I_{CC} は下記の式にしたがって V_{CC} と f に依存します。 $I_{CCmax}=3.0(mA)+0.34(mA/(MHz\times V))\times V_{CC}\times f$ (通常動作時) $I_{CCmax}=3.0(mA)+0.27(mA/(MHz\times V))\times V_{CC}\times f$ (スリープ時)

*6 参考値です。

*7 電源投入時、 \overline{RES} 端子が Low レベルになっている条件で適用します。

21. 電気的特性

表 21.3 出力許容電流値

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V^*$

$T_a = -20\sim +75^\circ C$ (通常仕様品)、 $T_a = -40\sim +85^\circ C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	ポート 3 以外の 出力端子	I_{OL}	—	—	2.0	mA
出力 Low レベル許容電流 (1 端子あたり)	ポート 3	I_{OL}	—	—	10	mA
出力 Low レベル許容電流 (総和)	出力端子の総和	ΣI_{OL}	—	—	80	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	—	—	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$	—	—	40	mA

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 21.3 の値を超えないようにしてください。

【注】 * A/D および D/A 変換器未使用時に AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 、 V_{ref} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

21.1.3 AC 特性

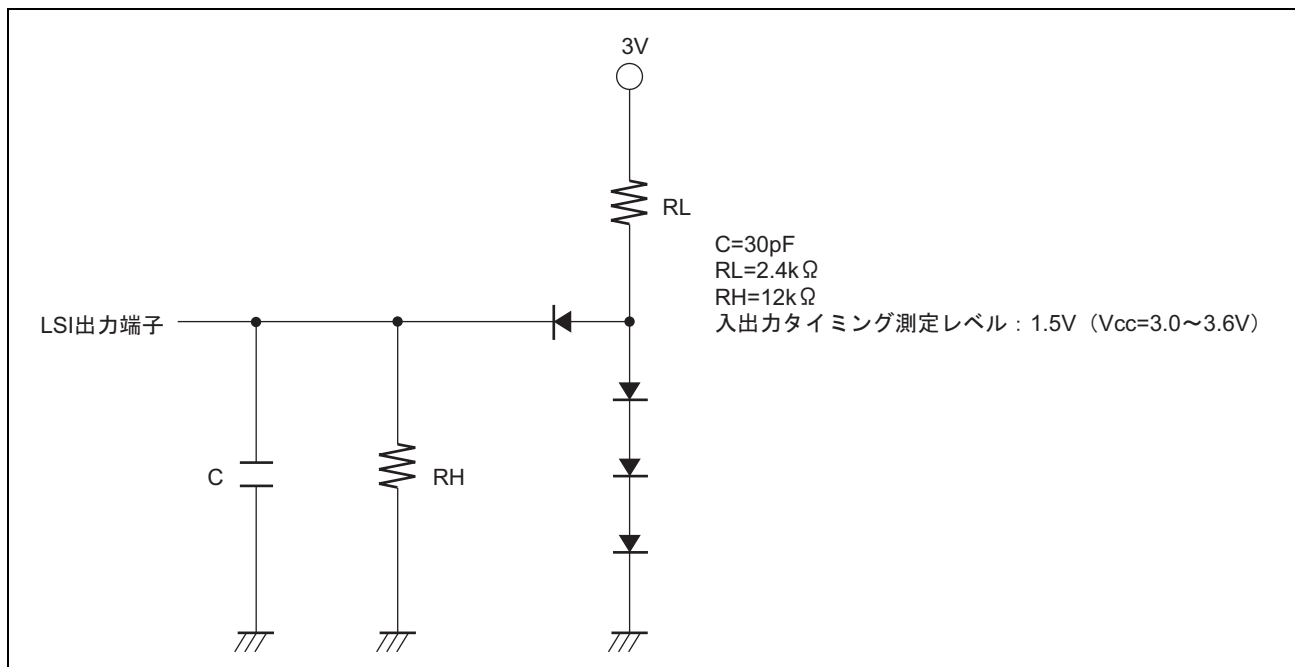


図 21.1 出力負荷回路 (1)

(1) クロックタイミング

表 21.4 クロックタイミング

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ $I\phi=8\sim 35MHz$ 、 $B\phi=8\sim 35MHz$ 、 $P\phi=8\sim 35MHz$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t_{cyc}	28.0	125	ns	図 21.2
クロック High レベルパルス幅	t_{CH}	5	—	ns	
クロック Low レベルパルス幅	t_{CL}	5	—	ns	
クロック立ち上がり時間	t_{Cr}	—	5	ns	
クロック立ち下がり時間	t_{Cf}	—	5	ns	
リセット発振安定時間(水晶)	t_{OSC1}	10	—	ms	図 21.4
ソフトウェアスタンバイ発振安定時間(水晶)	t_{OSC2}	10	—	ms	図 21.3
外部クロック出力遅延安定時間	t_{DEXT}	1	—	ms	図 21.4
外部クロック入力パルス幅 Low レベル	t_{EXL}	27.7	—	ns	図 21.5
外部クロック入力パルス幅 High レベル	t_{EXH}	27.7	—	ns	
外部クロック立ち上がり時間	t_{Exr}	—	5	ns	
外部クロック立ち下がり時間	t_{Exf}	—	5	ns	

(2) 制御信号タイミング

表 21.5 制御信号タイミング

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ 、 $I\phi=8\sim 35MHz$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
\overline{RES} セットアップ時間	t_{RESS}	200	—	ns	図 21.6
\overline{RES} パルス幅	t_{RESW}	20	—	t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150	—	ns	図 21.7
NMI ホールド時間	t_{NMIH}	10	—	ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	—	ns	
\overline{IRQ} セットアップ時間	t_{IRQS}	150	—	ns	
\overline{IRQ} ホールド時間	t_{IRQH}	10	—	ns	
\overline{IRQ} パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200	—	ns	

21. 電気的特性

(3) バスタイミング

表 21.6 バスタイミング (1)

条件 : Vcc=3.0~3.6V、AVcc=3.0~3.6V、Vref=3.0V~AVcc、Vss=AVss=0V、Bφ=8~35MHz

Ta=-20~+75°C (通常仕様品)、Ta=-40~+85°C (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t _{AD}	—	15	ns	図 21.8~ 図 21.20
アドレスセットアップ時間 1	t _{AS1}	0.5 × t _{cyc} - 8	—	ns	
アドレスセットアップ時間 2	t _{AS2}	1.0 × t _{cyc} - 8	—	ns	
アドレスセットアップ時間 3	t _{AS3}	1.5 × t _{cyc} - 8	—	ns	
アドレスセットアップ時間 4	t _{AS4}	2.0 × t _{cyc} - 8	—	ns	
アドレスホールド時間 1	t _{AH1}	0.5 × t _{cyc} - 8	—	ns	
アドレスホールド時間 2	t _{AH2}	1.0 × t _{cyc} - 8	—	ns	
アドレスホールド時間 3	t _{AH3}	1.5 × t _{cyc} - 8	—	ns	
CS 遅延時間 1	t _{CSD1}	—	15	ns	
AS 遅延時間	t _{ASD}	—	15	ns	
RD 遅延時間 1	t _{RSD1}	—	15	ns	
RD 遅延時間 2	t _{RSD2}	—	15	ns	
リードデータセットアップ時間 1	t _{RDS1}	15	—	ns	
リードデータセットアップ時間 2	t _{RDS2}	15	—	ns	
リードデータホールド時間 1	t _{RDH1}	0	—	ns	
リードデータホールド時間 2	t _{RDH2}	0	—	ns	
リードデータアクセス時間 2	t _{AC2}	—	1.5 × t _{cyc} - 20	ns	
リードデータアクセス時間 4	t _{AC4}	—	2.5 × t _{cyc} - 20	ns	
リードデータアクセス時間 5	t _{AC5}	—	1.0 × t _{cyc} - 20	ns	
リードデータアクセス時間 6	t _{AC6}	—	2.0 × t _{cyc} - 20	ns	
対アドレスリードデータアクセス時間 1	t _{AA1}	—	1.0 × t _{cyc} - 20	ns	
対アドレスリードデータアクセス時間 2	t _{AA2}	—	1.5 × t _{cyc} - 20	ns	
対アドレスリードデータアクセス時間 3	t _{AA3}	—	2.0 × t _{cyc} - 20	ns	
対アドレスリードデータアクセス時間 4	t _{AA4}	—	2.5 × t _{cyc} - 20	ns	
対アドレスリードデータアクセス時間 5	t _{AA5}	—	3.0 × t _{cyc} - 20	ns	

表 21.6 バスタイミング (2)

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ 、 $B\phi=8\sim 35MHz$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
WR 遅延時間 1	t_{WRD1}	—	15	ns	図 21.8~ 図 21.20
WR 遅延時間 2	t_{WRD2}	—	15	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 13$	—	ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 13$	—	ns	
ライトデータ遅延時間	t_{WDD}	—	20	ns	
ライトデータセットアップ時間 1	t_{WDS1}	$0.5 \times t_{cyc} - 13$	—	ns	
ライトデータセットアップ時間 2	t_{WDS2}	$1.0 \times t_{cyc} - 13$	—	ns	
ライトデータセットアップ時間 3	t_{WDS3}	$1.5 \times t_{cyc} - 13$	—	ns	
ライトデータホールド時間 1	t_{WDH1}	$0.5 \times t_{cyc} - 8$	—	ns	
ライトデータホールド時間 3	t_{WDH3}	$1.5 \times t_{cyc} - 8$	—	ns	
バイト制御遅延時間	t_{UBD}	—	15	ns	図 21.13、 図 21.14
バイト制御パルス幅 1	t_{UBW1}	—	$1.0 \times t_{cyc} - 15$	ns	図 21.13
バイト制御パルス幅 2	t_{UBW2}	—	$2.0 \times t_{cyc} - 15$	ns	図 21.14
マルチプレクスアドレス遅延時間 1	t_{MAD1}	—	15	ns	図 21.17、 図 21.18
マルチプレクスアドレスホールド時間	t_{MAH}	$1.0 \times t_{cyc} - 15$	—	ns	
マルチプレクスアドレスセットアップ時間 1	t_{MAS1}	$0.5 \times t_{cyc} - 15$	—	ns	
マルチプレクスアドレスセットアップ時間 2	t_{MAS2}	$1.5 \times t_{cyc} - 15$	—	ns	
アドレスホールド遅延時間	t_{AHD}	—	15	ns	
アドレスホールドパルス幅 1	t_{AHW1}	$1.0 \times t_{cyc} - 15$	—	ns	
アドレスホールドパルス幅 2	t_{AHW2}	$2.0 \times t_{cyc} - 15$	—	ns	
WAIT セットアップ時間	t_{WTS}	15	—	ns	
WAIT ホールド時間	t_{WTH}	5.0	—	ns	図 21.18
BREQ セットアップ時間	t_{BREQS}	20	—	ns	図 21.19
BACK 遅延時間	t_{BACD}	—	15	ns	
バスフローティング時間	t_{BZD}	—	30	ns	
BREQ \bar{O} 遅延時間	t_{BRQOD}	—	15	ns	図 21.20
BS 遅延時間	t_{BSD}	1.0	15	ns	図 21.8、 図 21.9、 図 21.11~ 図 21.14
RD/WR 遅延時間	t_{RWD}	—	15	ns	

21. 電気的特性

(4) DMAC タイミング

表 21.7 DMAC タイミング

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ 、 $B\phi=8\sim 35MHz$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
\overline{DREQ} セットアップ時間	t_{DRQS}	20	—	ns	図 21.21
\overline{DREQ} ホールド時間	t_{DRQH}	5	—	ns	
\overline{TEND} 遅延時間	t_{TED}	—	15	ns	図 21.22
\overline{DACK} 遅延時間 1	t_{DACD1}	—	15	ns	図 21.23、
\overline{DACK} 遅延時間 2	t_{DACD2}	—	15	ns	図 21.24

(5) 内蔵周辺モジュール

表 21.8 内蔵周辺モジュールタイミング

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ 、 $P\phi=8\sim 35MHz$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	max	単位	測定条件		
I/O ポート	出力データ遅延時間	t_{PWD}	—	40	ns	図 21.25		
	入力データセットアップ時間	t_{PRS}	25	—	ns			
	入力データホールド時間	t_{PRH}	25	—	ns			
TPU	タイマ出力遅延時間	t_{TOCD}	—	40	ns	図 21.26		
	タイマ入力セットアップ時間	t_{TICS}	25	—	ns			
	タイマクロック入力セットアップ時間	t_{TCKS}	25	—	ns	図 21.27		
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	1.5	—		t_{cyc}	
両エッジ指定		t_{TCKWL}	2.5	—	t_{cyc}			
PPG	パルス出力遅延時間	t_{POD}	—	40	ns	図 21.28		
8ビット タイマ	タイマ出力遅延時間	t_{TMOD}	—	40	ns	図 21.29		
	タイマリセット入力セットアップ時間	t_{TMRS}	25	—	ns	図 21.30		
	タイマクロック入力セットアップ時間	t_{TMCS}	25	—	ns	図 21.31		
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—		t_{cyc}	
両エッジ指定		t_{TMCWL}	2.5	—	t_{cyc}			
WDT	オーバフロー出力遅延時間	t_{WOVD}	—	40	ns	図 21.32		
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{cyc}	図 21.33	
		クロック同期		6	—			
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	入力クロック立ち上がり時間		t_{SCKr}	—	1.5	t_{cyc}		
	入力クロック立ち下がり時間		t_{SCKf}	—	1.5	t_{cyc}		
	送信データ遅延時間		t_{TXD}	—	40	ns		図 21.34
	受信データセットアップ時間 (クロック同期)		t_{RXS}	40	—	ns		
受信データホールド時間 (クロック同期)		t_{RXH}	40	—	ns			
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	30	—	ns	図 21.35		

21. 電気的特性

21.1.4 A/D 変換特性

表 21.9 A/D 変換特性

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $P\phi=8\sim 35MHz$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	7.4	—	—	μs
アナログ入力容量	—	—	20	pF
許容信号源インピーダンス	—	—	10	K Ω
非直線性誤差	—	—	± 7.5	LSB
オフセット誤差	—	—	± 7.5	LSB
フルスケール誤差	—	—	± 7.5	LSB
量子化誤差	—	± 0.5	—	LSB
絶対精度	—	—	± 8.0	LSB

21.1.5 D/A 変換特性

表 21.10 D/A 変換特性

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $P\phi=8\sim 35MHz$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間	—	—	10	μs	負荷容量 20pF
絶対精度	—	± 2.0	± 3.0	LSB	負荷抵抗 2M Ω
	—	—	± 2.0	LSB	負荷抵抗 4M Ω

21.2 電気的特性 (50MHz 動作時)

21.2.1 絶対最大定格

表 21.11 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{CC}	-0.3~+4.6	V
入力電圧 (ポート 5 以外)	V _{in}	-0.3~V _{CC} +0.3	V
入力電圧 (ポート 5)	V _{in}	-0.3~AV _{CC} +0.3	V
リファレンス電源電圧	V _{ref}	-0.3~AV _{CC} +0.3	V
アナログ電源電圧	AV _{CC}	-0.3~+4.6	V
アナログ入力電圧	V _{AN}	-0.3~AV _{CC} +0.3	V
動作温度	T _{opr}	通常仕様品 : -20~+75	°C
		広温度範囲仕様品 : -40~+85	
保存温度	T _{stg}	-55~+125	°C

【使用上の注意】 絶対最大定格を超えて LSI を使用した場合、LSI 永久破壊となることがあります。

21. 電氣的特性

21.2.2 DC 特性

表 21.12 DC 特性 (1)

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V^{*1}$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件	
シュミット トリガ入力 電圧	IRQ 入力端子、 TPU 入力端子、 TMR 入力端子、 ポート 2、ポート 3	VT^{-}	$V_{CC}\times 0.2$	—	—	V	
		VT^{+}	—	—	$V_{CC}\times 0.7$	V	
		$VT^{+}-VT^{-}$	$V_{CC}\times 0.06$	—	—	V	
	ポート 5 ^{*2}	VT^{-}	$AV_{CC}\times 0.2$	—	—	V	
		VT^{+}	—	—	$AV_{CC}\times 0.7$	V	
		$VT^{+}-VT^{-}$	$AV_{CC}\times 0.06$	—	—	V	
入力 High レ ベル電圧 (シ ュミットト リガ入力端 子を除く)	MD 端子、 \overline{RES} \overline{STBY} 、EMLE、NMI	V_{IH}	$V_{CC}\times 0.9$	—	$V_{CC}+0.3$	V	
	EXTAL その他の入力端子		$V_{CC}\times 0.7$	—	$V_{CC}+0.3$		
	ポート 5		$AV_{CC}\times 0.7$	—	$AV_{CC}+0.3$		
入力 Low レ ベル電圧 (シ ュミットト リガ入力端 子を除く)	MD 端子、 \overline{RES} 、 \overline{STBY} 、EMLE	V_{IL}	-0.3	—	$V_{CC}\times 0.1$	V	
	EXTAL、NMI		-0.3	—	$V_{CC}\times 0.2$		
	その他の入力端子		-0.3	—	$V_{CC}\times 0.2$		
出力 High レ ベル電圧	全出力端子	V_{OH}	$V_{CC}-0.5$	—	—	V	$I_{OH}=-200\mu A$
			$V_{CC}-1.0$	—	—		$I_{OH}=-1mA$
出力 Low レベル電圧	全出力端子	V_{OL}	—	—	0.4	V	$I_{OL}=1.6mA$
	ポート 3		—	—	1.0		$I_{OL}=10mA$
入力リーク 電流	\overline{RES}	$ I_{in} $	—	—	10.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$
	MD 端子、 \overline{STBY} 、 EMLE、NMI		—	—	1.0		
	ポート 5		—	—	1.0		$V_{in}=0.5\sim AV_{CC}-0.5V$

表 21.12 DC 特性 (2)

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V^{*1}$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件
スリープ ポートリーク 電流 (オフ状態)	ポート 1~3、6、A、 B、D~F、H、I	$ I_{TSI} $	—	—	1.0	μA $V_{in}=0.5\sim V_{CC}-0.5V$
入力プル アップ MOS 電流	ポート D~F、H、I	$-I_p$	10	—	300	μA $V_{CC}=3.0\sim 3.6V$ $V_{in}=0V$
入力容量	全入力端子	C_{in}	—	—	15	pF $V_{in}=0V$ $f=1MHz$ $T_a=25^{\circ}C$
消費電流 ^{*3}	通常動作時	I_{CC}^{*5}	—	45(3.3V)	65	mA $f=50MHz$
	スリープ時		—	35(3.3V)	52	
	スタンバイ時 ^{*4}		—	0.1	0.5	$T_a\leq 50^{\circ}C$
			—	—	3.0	$50^{\circ}C < T_a$
全モジュールクロック ストップ時 ^{*6}	—	22	36			
アナログ 電源電流	A/D、D/A 変換中	I_{ACC}	—	1.0(3.0V)	2.0	mA
	A/D、D/A 変換待機時		—	0.1	20	
リファレン ス電源電流	A/D、D/A 変換中	I_{ACC}	—	1.5(3.0V)	3.0	mA
	A/D、D/A 変換待機時		—	0.4	5.0	
RAM スタンバイ電圧	V_{RAM}	2.5	—	—	V	
V_{CC} 開始電圧 ^{*7}	$V_{CCSTART}$	—	—	0.8	V	
V_{CC} 立ち上がり勾配 ^{*7}	SV_{CC}	—	—	20	ms/V	

【注】 *1 A/D および D/A 変換器未使用時に AV_{CC} 、 V_{REF} 、 AV_{SS} 端子を開放しないでください。 AV_{CC} 、 V_{REF} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。*2 $\overline{IRQ0}\sim\overline{IRQ7}$ として使用した場合です。*3 消費電流値は、 $V_{IHmin}=V_{CC}-0.5V$ 、 $V_{ILmax}=0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*4 $V_{RAM}\leq V_{CC}<3.0V$ のとき、 $V_{IHmin}=V_{CC}\times 0.9$ 、 $V_{ILmax}=0.3V$ とした場合の値です。*5 I_{CC} は下記の式にしたがって V_{CC} と f に依存します。 $I_{CCmax}=3.0(mA)+0.34(mA/(MHz\times V))\times V_{CC}\times f$ (通常動作時) $I_{CCmax}=3.0(mA)+0.27(mA/(MHz\times V))\times V_{CC}\times f$ (スリープ時)

*6 参考値です。

*7 電源投入時、 \overline{RES} 端子が Low レベルになっている条件で適用します。

(1) クロックタイミング

表 21.14 クロックタイミング

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ $I\phi=8\sim 50MHz$ 、 $B\phi=8\sim 50MHz$ 、 $P\phi=8\sim 35MHz$ $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t_{cyc}	20.0	125	ns	図 21.2
クロック High レベルパルス幅	t_{CH}	5	—	ns	
クロック Low レベルパルス幅	t_{CL}	5	—	ns	
クロック立ち上がり時間	t_{Cr}	—	5	ns	
クロック立ち下がり時間	t_{Cf}	—	5	ns	
リセット発振安定時間(水晶)	t_{OSC1}	10	—	ms	図 21.4
ソフトウェアスタンバイ発振安定時間(水晶)	t_{OSC2}	10	—	ms	図 21.3
外部クロック出力遅延安定時間	t_{DEXT}	1	—	ms	図 21.4
外部クロック入力パルス幅 Low レベル	t_{EXL}	27.7	—	ns	図 21.5
外部クロック入力パルス幅 High レベル	t_{EXH}	27.7	—	ns	
外部クロック立ち上がり時間	t_{Exr}	—	5	ns	
外部クロック立ち下がり時間	t_{Exf}	—	5	ns	

(2) 制御信号タイミング

表 21.15 制御信号タイミング

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $I\phi=8\sim 50MHz$ $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
\overline{RES} セットアップ時間	t_{RESS}	200	—	ns	図 21.6
\overline{RES} パルス幅	t_{RESW}	20	—	t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150	—	ns	図 21.7
NMI ホールド時間	t_{NMIH}	10	—	ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	—	ns	
\overline{IRQ} セットアップ時間	t_{IRQS}	150	—	ns	
\overline{IRQ} ホールド時間	t_{IRQH}	10	—	ns	
\overline{IRQ} パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200	—	ns	

21. 電気的特性

(3) バスタイミング

表 21.16 バスタイミング (1)

条件 : Vcc=3.0~3.6V、AVcc=3.0~3.6V、Vref=3.0V~AVcc、Vss=AVss=0V、Bφ=8~50MHz

Ta=-20~+75°C (通常仕様品)、Ta=-40~+85°C (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t _{AD}	—	15	ns	図 21.8~
アドレスセットアップ時間 1	t _{AS1}	0.5 × t _{cyc} - 8	—	ns	図 21.20
アドレスセットアップ時間 2	t _{AS2}	1.0 × t _{cyc} - 8	—	ns	
アドレスセットアップ時間 3	t _{AS3}	1.5 × t _{cyc} - 8	—	ns	
アドレスセットアップ時間 4	t _{AS4}	2.0 × t _{cyc} - 8	—	ns	
アドレスホールド時間 1	t _{AH1}	0.5 × t _{cyc} - 8	—	ns	
アドレスホールド時間 2	t _{AH2}	1.0 × t _{cyc} - 8	—	ns	
アドレスホールド時間 3	t _{AH3}	1.5 × t _{cyc} - 8	—	ns	
CS 遅延時間 1	t _{CS1}	—	15	ns	
AS 遅延時間	t _{ASD}	—	15	ns	
RD 遅延時間 1	t _{RD1}	—	15	ns	
RD 遅延時間 2	t _{RD2}	—	15	ns	
リードデータセットアップ時間 1	t _{RDS1}	15	—	ns	
リードデータセットアップ時間 2	t _{RDS2}	15	—	ns	
リードデータホールド時間 1	t _{RDH1}	0	—	ns	
リードデータホールド時間 2	t _{RDH2}	0	—	ns	
リードデータアクセス時間 2	t _{AC2}	—	1.5 × t _{cyc} - 20	ns	
リードデータアクセス時間 4	t _{AC4}	—	2.5 × t _{cyc} - 20	ns	
リードデータアクセス時間 5	t _{AC5}	—	1.0 × t _{cyc} - 20	ns	
リードデータアクセス時間 6	t _{AC6}	—	2.0 × t _{cyc} - 20	ns	
対アドレスリードデータアクセス時間 1	t _{AA1}	—	1.0 × t _{cyc} - 20	ns	
対アドレスリードデータアクセス時間 2	t _{AA2}	—	1.5 × t _{cyc} - 20	ns	
対アドレスリードデータアクセス時間 3	t _{AA3}	—	2.0 × t _{cyc} - 20	ns	
対アドレスリードデータアクセス時間 4	t _{AA4}	—	2.5 × t _{cyc} - 20	ns	
対アドレスリードデータアクセス時間 5	t _{AA5}	—	3.0 × t _{cyc} - 20	ns	

表 21.16 バスタイミング (2)

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ 、 $B\phi=8\sim 50MHz$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
WR 遅延時間 1	t_{WRD1}	—	15	ns	図 21.8~ 図 21.20
WR 遅延時間 2	t_{WRD2}	—	15	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 13$	—	ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 13$	—	ns	
ライトデータ遅延時間	t_{WDD}	—	20	ns	
ライトデータセットアップ時間 1	t_{WDS1}	$0.5 \times t_{cyc} - 13$	—	ns	
ライトデータセットアップ時間 2	t_{WDS2}	$1.0 \times t_{cyc} - 13$	—	ns	
ライトデータセットアップ時間 3	t_{WDS3}	$1.5 \times t_{cyc} - 13$	—	ns	
ライトデータホールド時間 1	t_{WDH1}	$0.5 \times t_{cyc} - 8$	—	ns	
ライトデータホールド時間 3	t_{WDH3}	$1.5 \times t_{cyc} - 8$	—	ns	
バイト制御遅延時間	t_{UBD}	—	15	ns	図 21.13、 図 21.14
バイト制御パルス幅 1	t_{UBW1}	—	$1.0 \times t_{cyc} - 15$	ns	図 21.13
バイト制御パルス幅 2	t_{UBW2}	—	$2.0 \times t_{cyc} - 15$	ns	図 21.14
マルチプレクスアドレス遅延時間 1	t_{MAD1}	—	15	ns	図 21.17、 図 21.18
マルチプレクスアドレスホールド時間	t_{MAH}	$1.0 \times t_{cyc} - 15$	—	ns	
マルチプレクスアドレスセットアップ時間 1	t_{MAS1}	$0.5 \times t_{cyc} - 15$	—	ns	
マルチプレクスアドレスセットアップ時間 2	t_{MAS2}	$1.5 \times t_{cyc} - 15$	—	ns	
アドレスホールド遅延時間	t_{AHD}	—	15	ns	
アドレスホールドパルス幅 1	t_{AHW1}	$1.0 \times t_{cyc} - 15$	—	ns	
アドレスホールドパルス幅 2	t_{AHW2}	$2.0 \times t_{cyc} - 15$	—	ns	
WAIT セットアップ時間	t_{WTS}	15	—	ns	
WAIT ホールド時間	t_{WTH}	5.0	—	ns	
BREQ セットアップ時間	t_{BREQS}	20	—	ns	図 21.19
BACK 遅延時間	t_{BACD}	—	15	ns	
バスフローティング時間	t_{BZD}	—	30	ns	
BREQ \bar{O} 遅延時間	t_{BRQOD}	—	15	ns	図 21.20
BS 遅延時間	t_{BSD}	1.0	15	ns	図 21.8、 図 21.9、 図 21.11~ 図 21.14
RD/WR 遅延時間	t_{RWD}	—	15	ns	

21. 電气的特性

(4) DMAC タイミング

表 21.17 DMAC タイミング

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ 、 $B\phi=8\sim 50MHz$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
\overline{DREQ} セットアップ時間	t_{DROS}	20	—	ns	図 21.21
\overline{DREQ} ホールド時間	t_{DRQH}	5	—	ns	
\overline{TEND} 遅延時間	t_{TED}	—	15	ns	図 21.22
\overline{DACK} 遅延時間 1	t_{DACD1}	—	15	ns	図 21.23、
\overline{DACK} 遅延時間 2	t_{DACD2}	—	15	ns	図 21.24

(5) 内蔵周辺モジュール

表 21.18 内蔵周辺モジュールタイミング

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ 、 $P\phi=8\sim 35MHz$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	max	単位	測定条件	
I/O ポート	出力データ遅延時間	t_{PWD}	—	40	ns	図 21.25	
	入力データセットアップ時間	t_{PRS}	25	—	ns		
	入力データホールド時間	t_{PRH}	25	—	ns		
TPU	タイマ出力遅延時間	t_{TOCD}	—	40	ns	図 21.25	
	タイマ入力セットアップ時間	t_{TICS}	25	—	ns		
	タイマクロック入力セットアップ時間	t_{TCKS}	25	—	ns	図 21.27	
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	1.5	—		t_{cyc}
両エッジ指定		t_{TCKWL}	2.5	—	t_{cyc}		
PPG	パルス出力遅延時間	t_{POD}	—	40	ns	図 21.28	
8ビット タイマ	タイマ出力遅延時間	t_{TMOD}	—	40	ns	図 21.29	
	タイマリセット入力セットアップ時間	t_{TMRS}	25	—	ns	図 21.30	
	タイマクロック入力セットアップ時間	t_{TMCS}	25	—	ns	図 21.31	
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—		t_{cyc}
両エッジ指定		t_{TMCWL}	2.5	—	t_{cyc}		
WDT	オーバフロー出力遅延時間	t_{WOVD}	—	40	ns	図 21.32	
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{cyc}	図 21.33
		クロック同期		6	—		
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}		
	入力クロック立ち上がり時間	t_{SCKr}	—	1.5	t_{cyc}		
	入力クロック立ち下がり時間	t_{SCKf}	—	1.5	t_{cyc}		
	送信データ遅延時間	t_{TXD}	—	40	ns	図 21.34	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	40	—	ns		
受信データホールド時間 (クロック同期)	t_{RXH}	40	—	ns			
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	30	—	ns	図 21.35	

21. 電氣的特性

21.2.4 A/D 変換特性

表 21.19 A/D 変換特性

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $P\phi=8\sim 35MHz$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	7.4	—	—	μs
アナログ入力容量	—	—	20	pF
許容信号源インピーダンス	—	—	10	K Ω
非直線性誤差	—	—	± 7.5	LSB
オフセット誤差	—	—	± 7.5	LSB
フルスケール誤差	—	—	± 7.5	LSB
量子化誤差	—	± 0.5	—	LSB
絶対精度	—	—	± 8.0	LSB

21.2.5 D/A 変換特性

表 21.20 D/A 変換特性

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $P\phi=8\sim 35MHz$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間	—	—	10	μs	負荷容量 20pF
絶対精度	—	± 2.0	± 3.0	LSB	負荷抵抗 2M Ω
	—	—	± 2.0	LSB	負荷抵抗 4M Ω

21.3 タイミング図

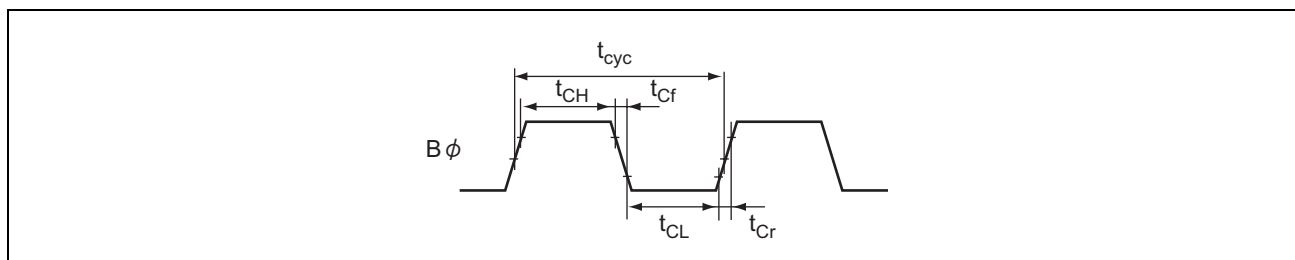


図 21.2 外部バスクロックタイミング

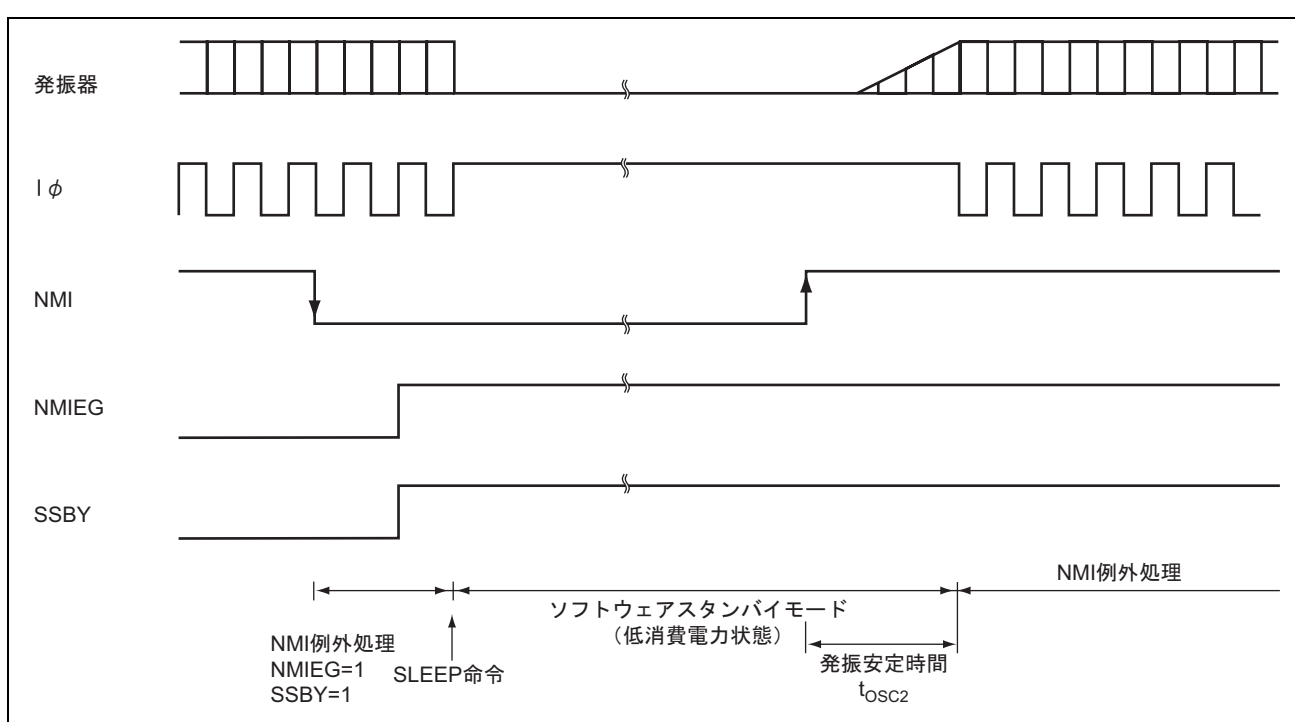


図 21.3 ソフトウェアスタンバイ発振安定時間タイミング

21. 電気的特性

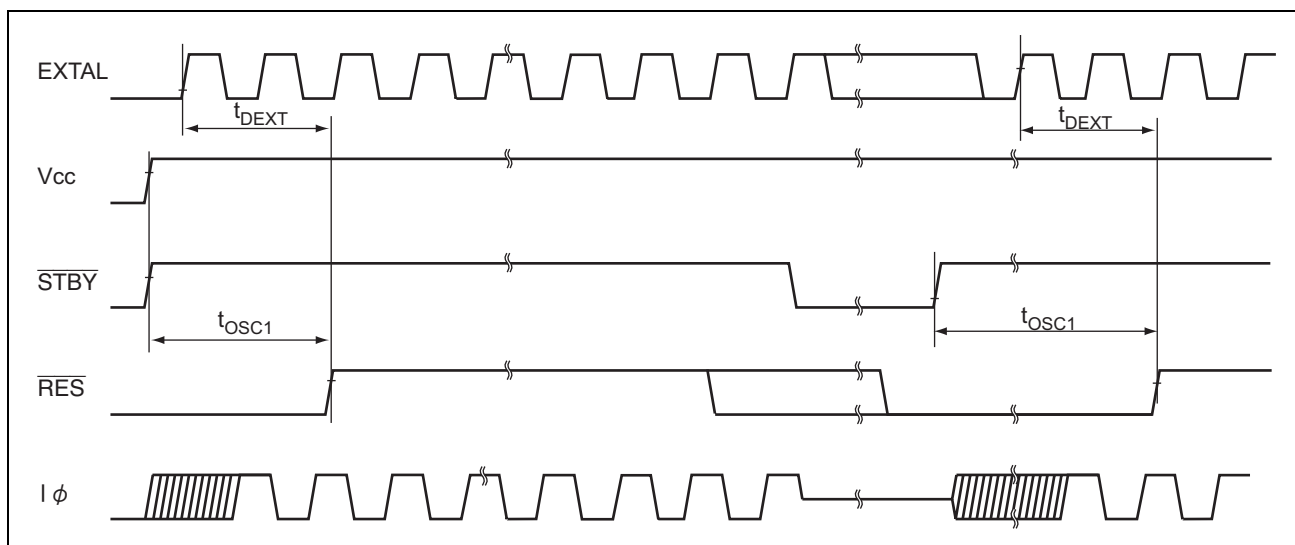


図 21.4 発振安定時間タイミング

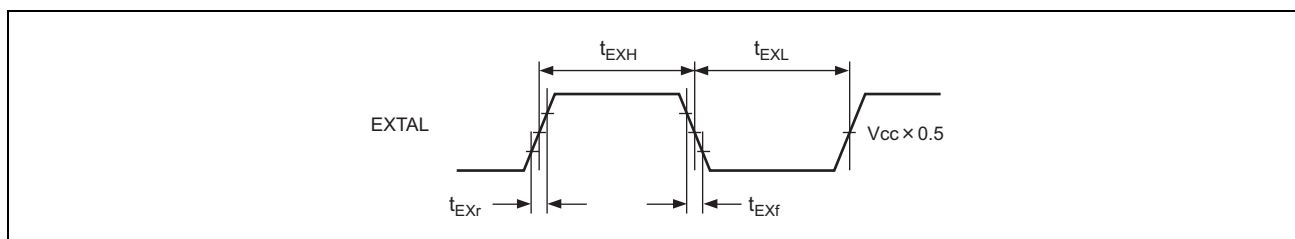


図 21.5 外部入力クロックタイミング

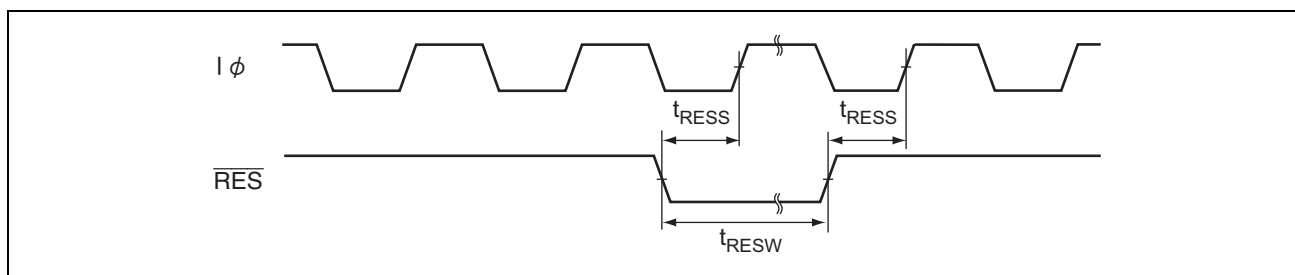


図 21.6 リセット入力タイミング

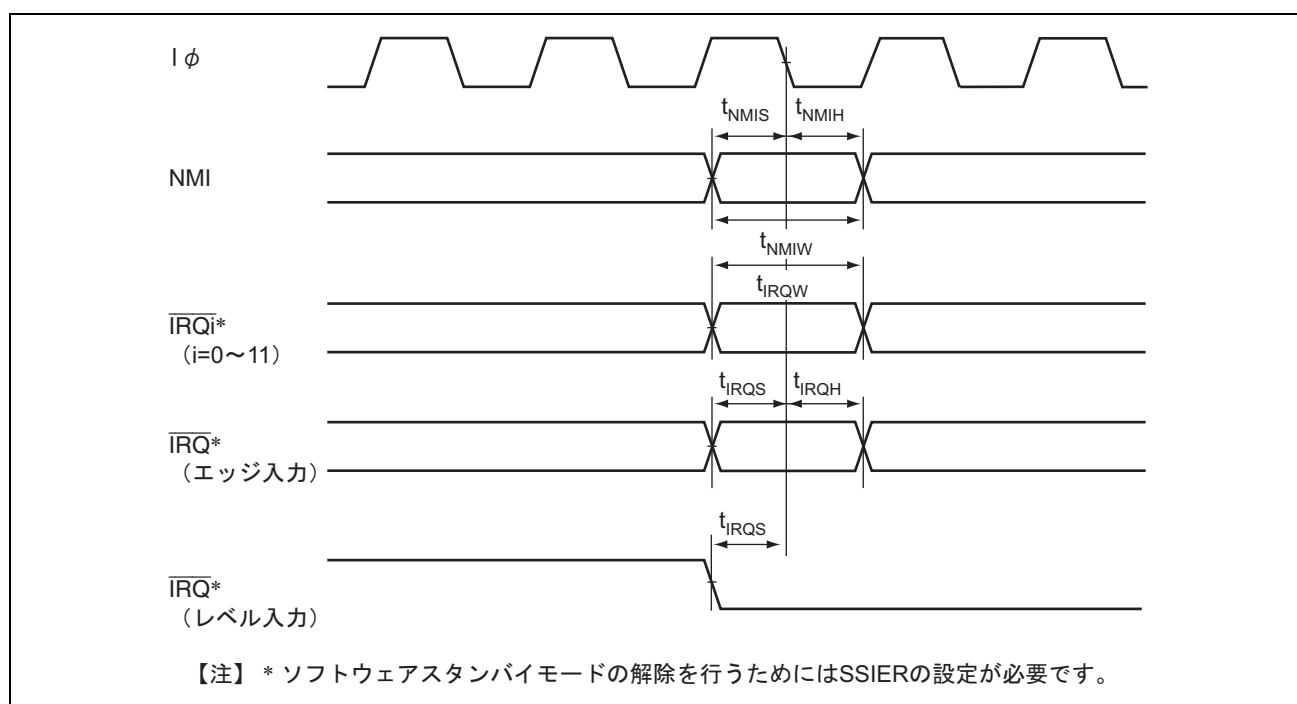


図 21.7 割り込み入力タイミング

21. 電気的特性

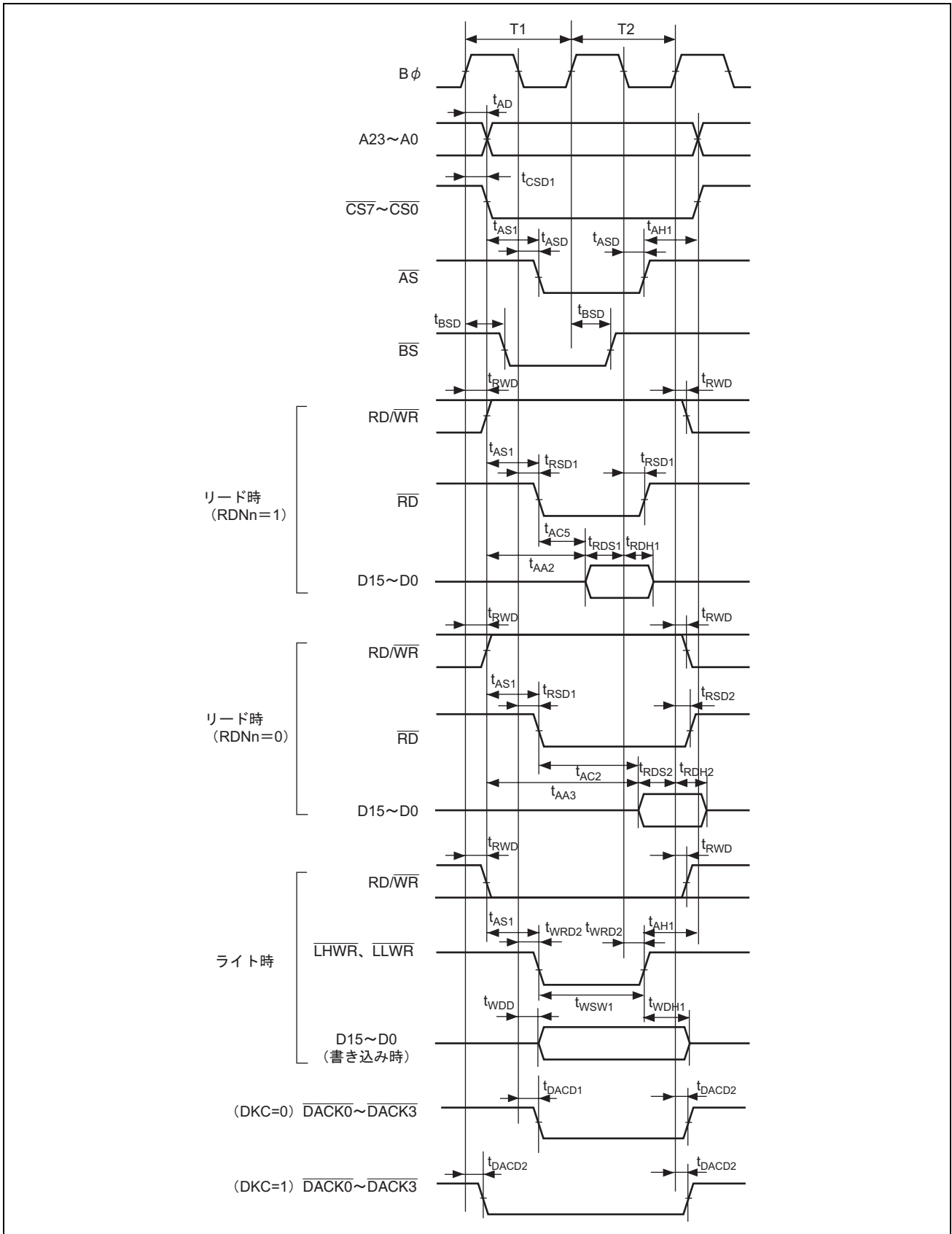


図 21.8 基本バスタイミング/2 ステートアクセス

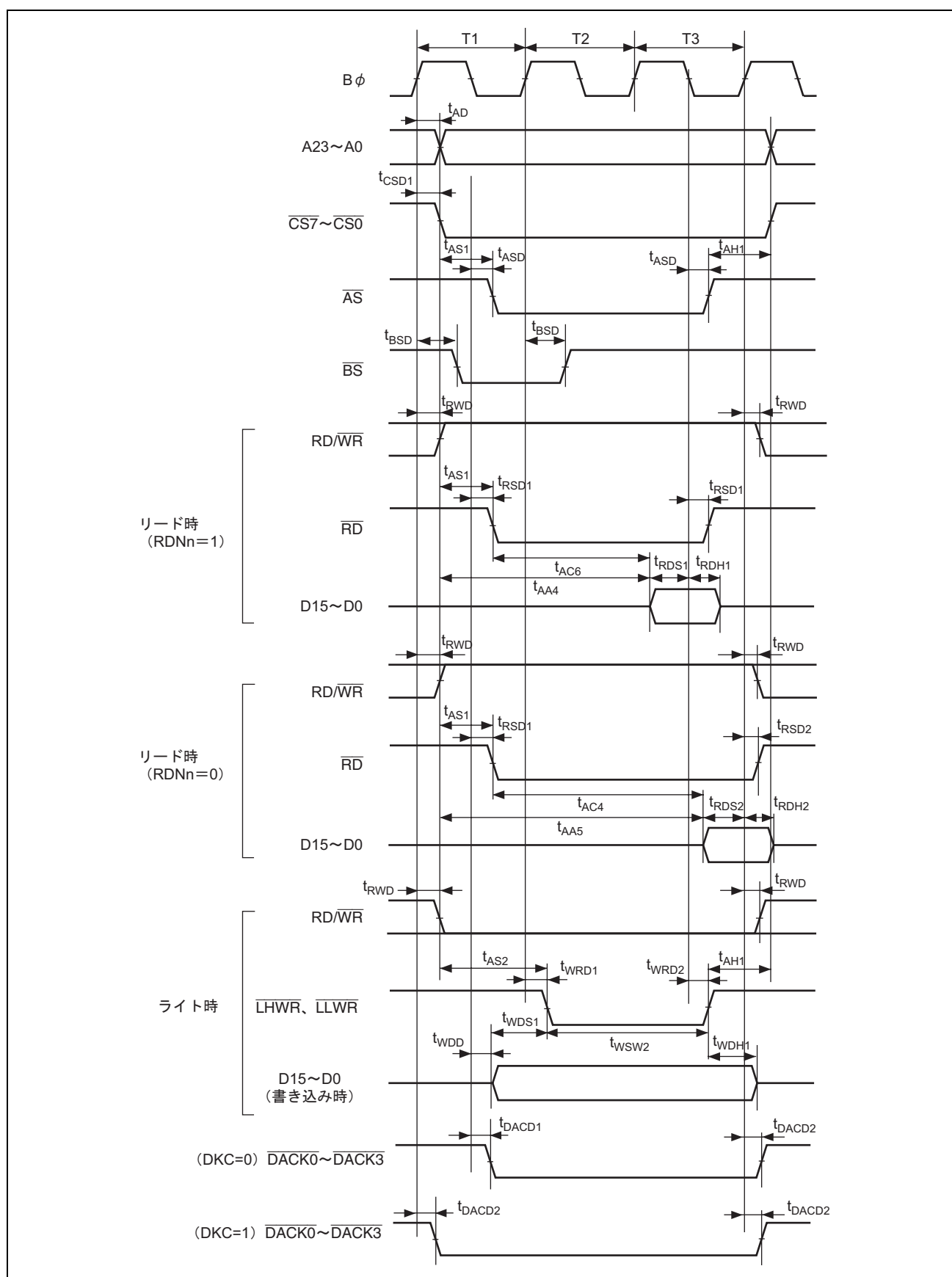


図 21.9 基本バスタイミング/3 ステートアクセス

21. 電気的特性

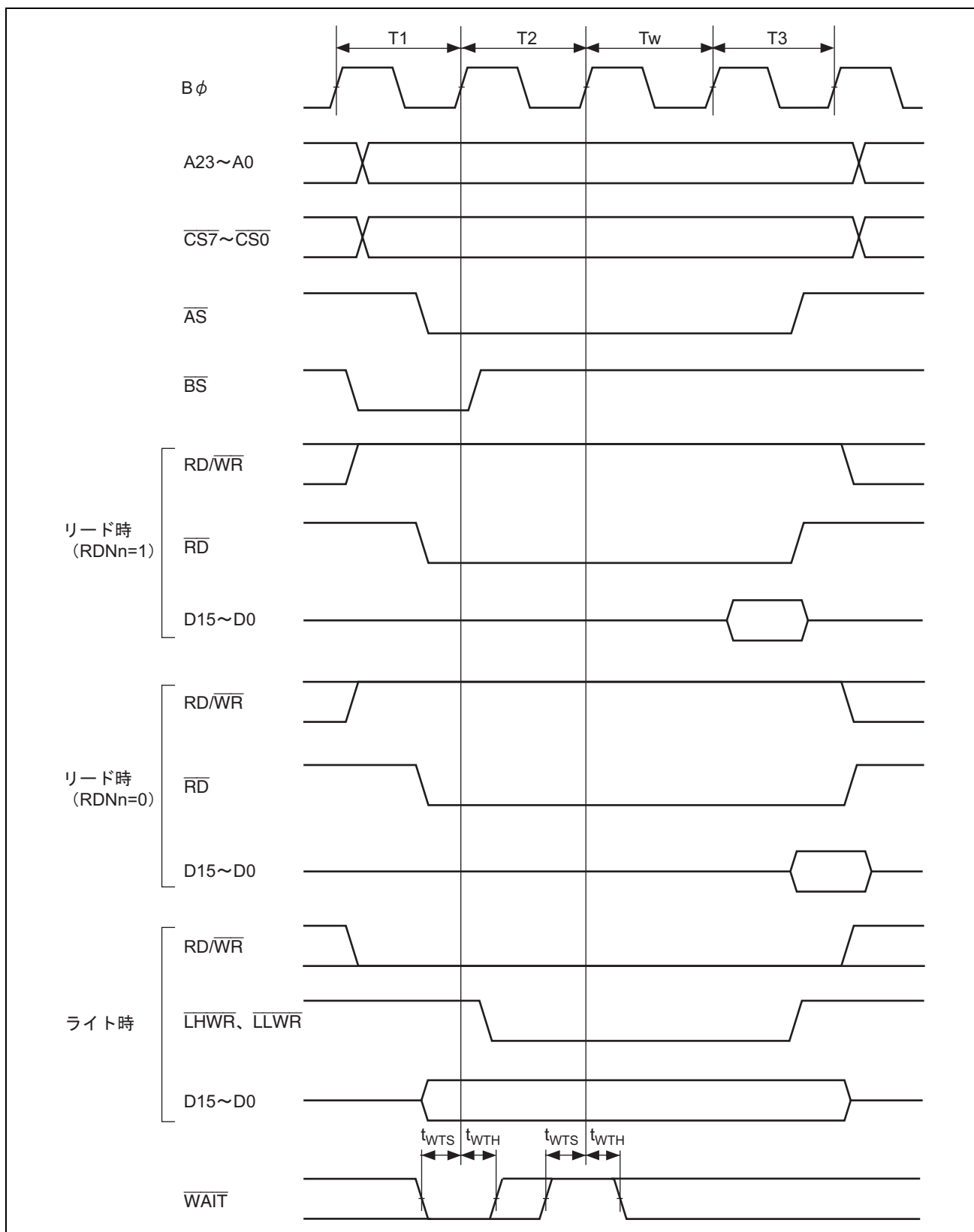


図 21.10 基本バスタイミング/3 ステートアクセス 1 ウェイト

21. 電気的特性

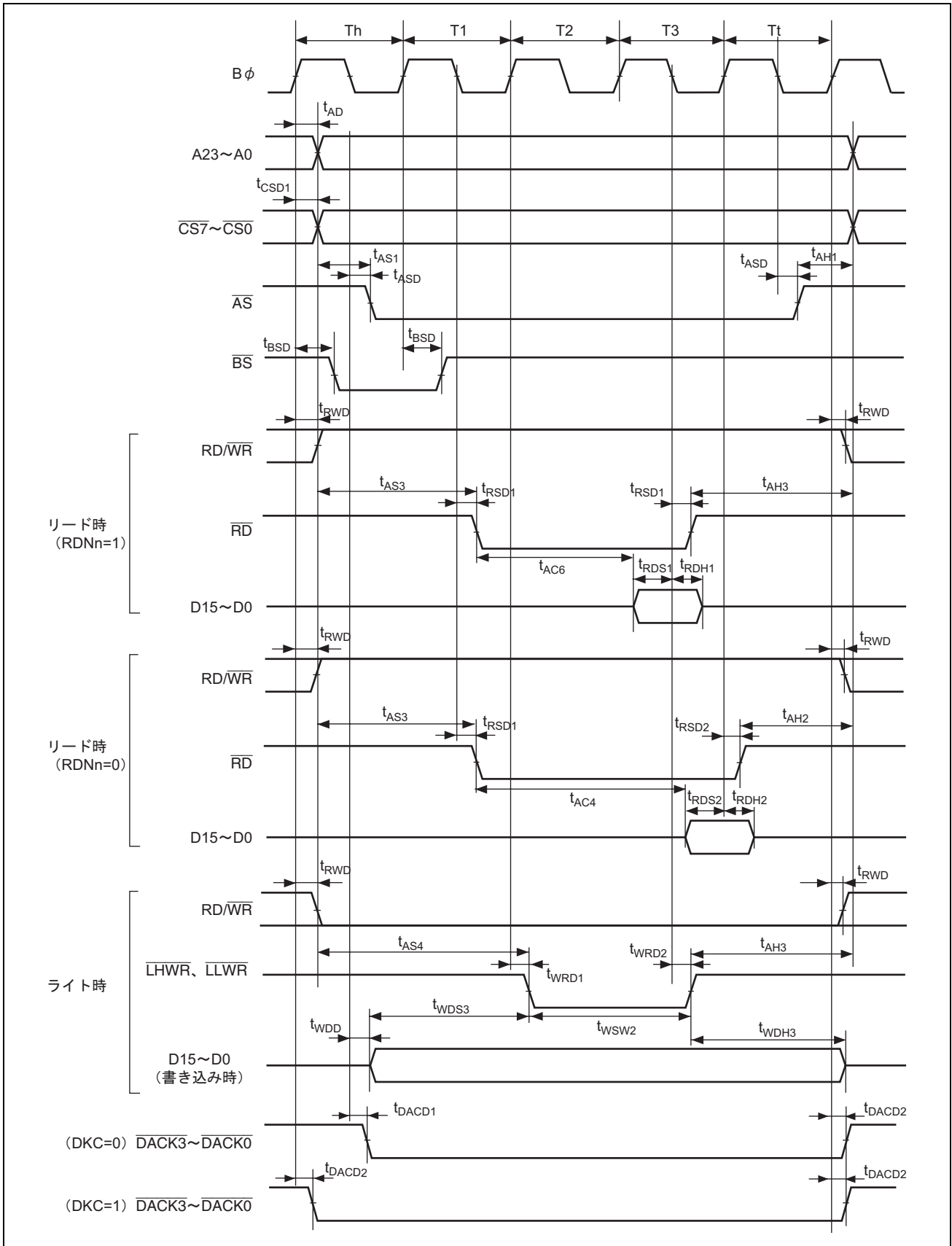


図 21.12 基本バスタイミング/3ステートアクセス (CS アサート期間延長)

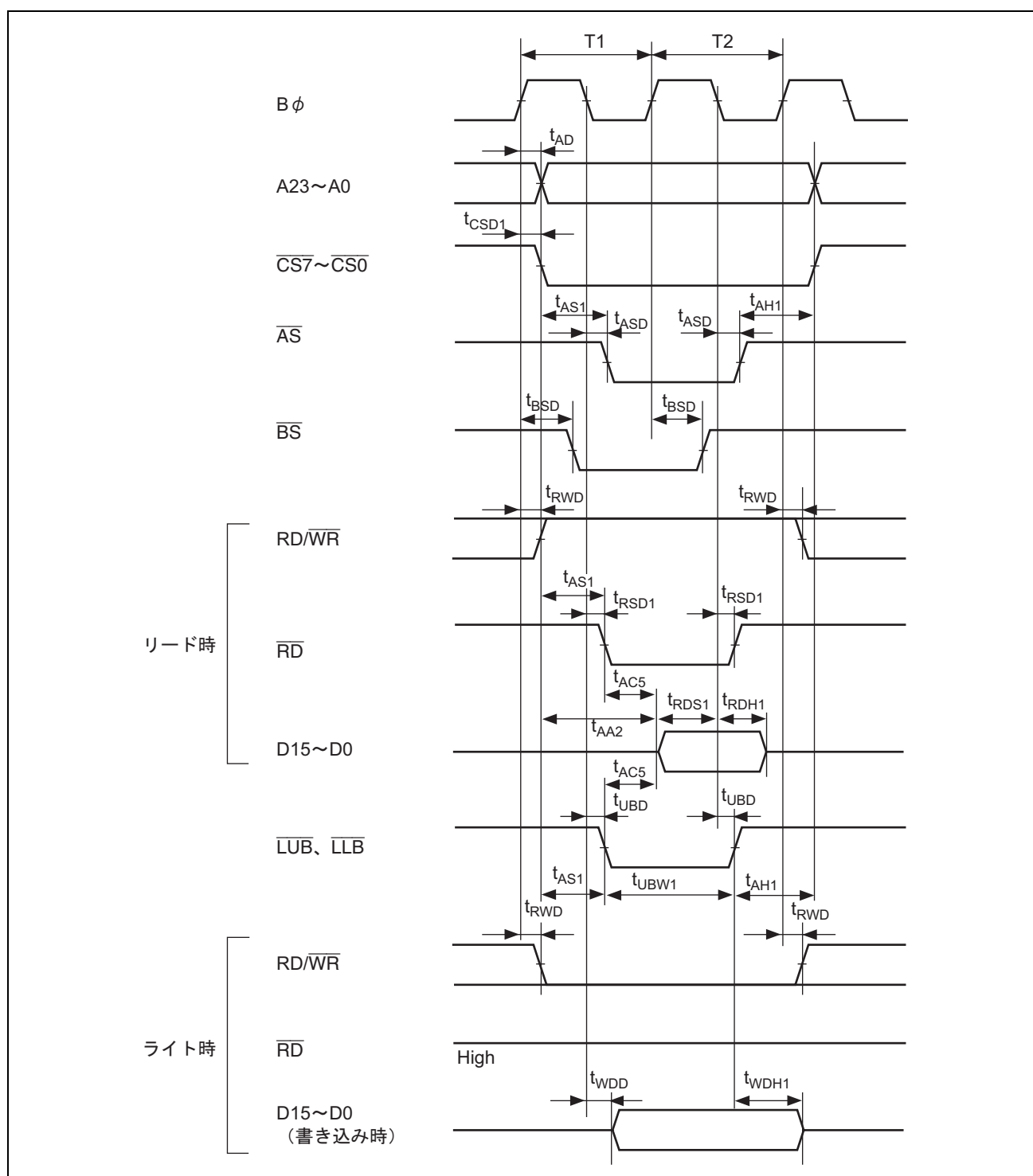


図 21.13 バイト制御 SRAM 2 ステートリード/ライトアクセス

21. 電気的特性

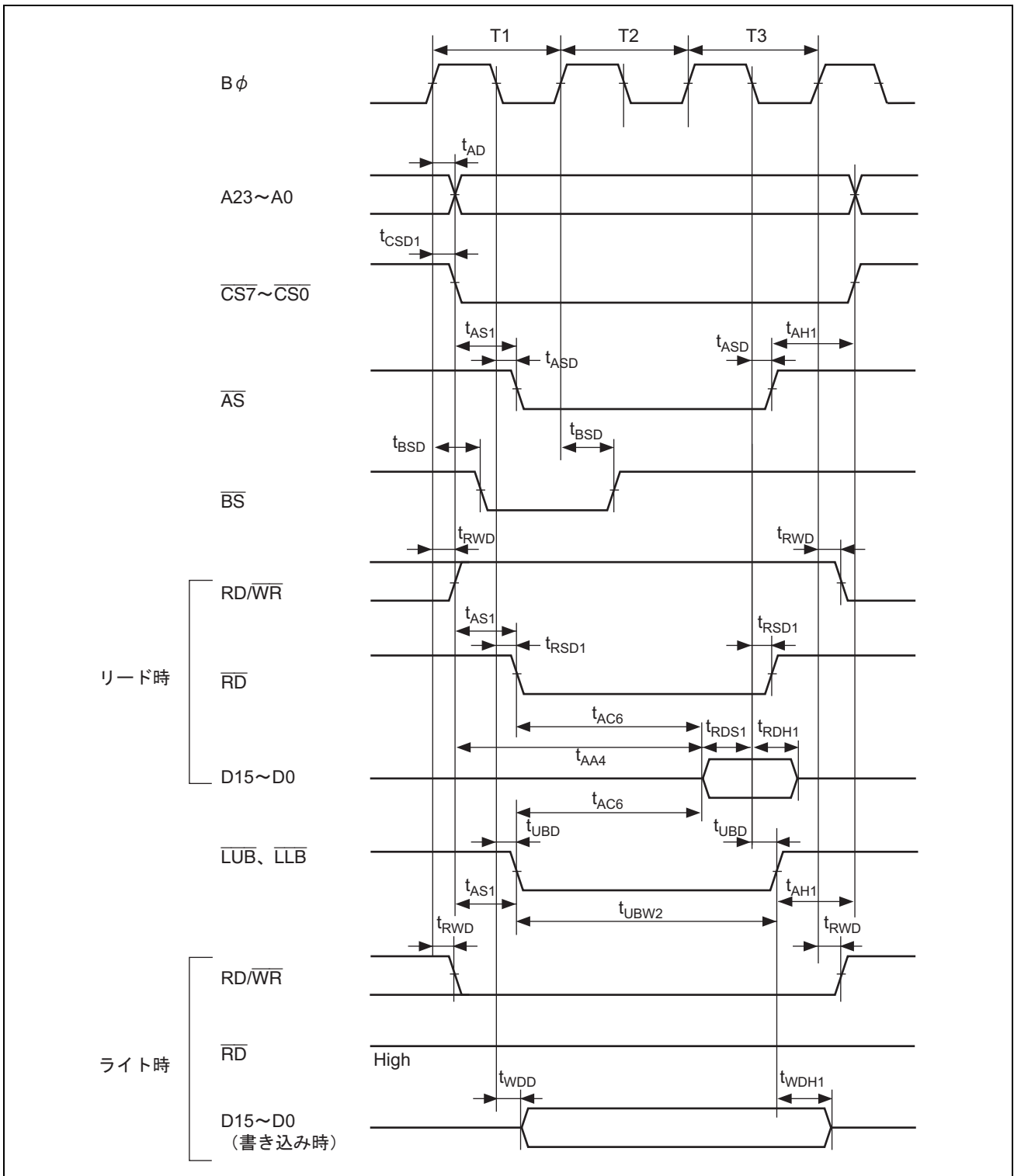


図 21.14 バイト制御 SRAM 3 ステートリード/ライトアクセス

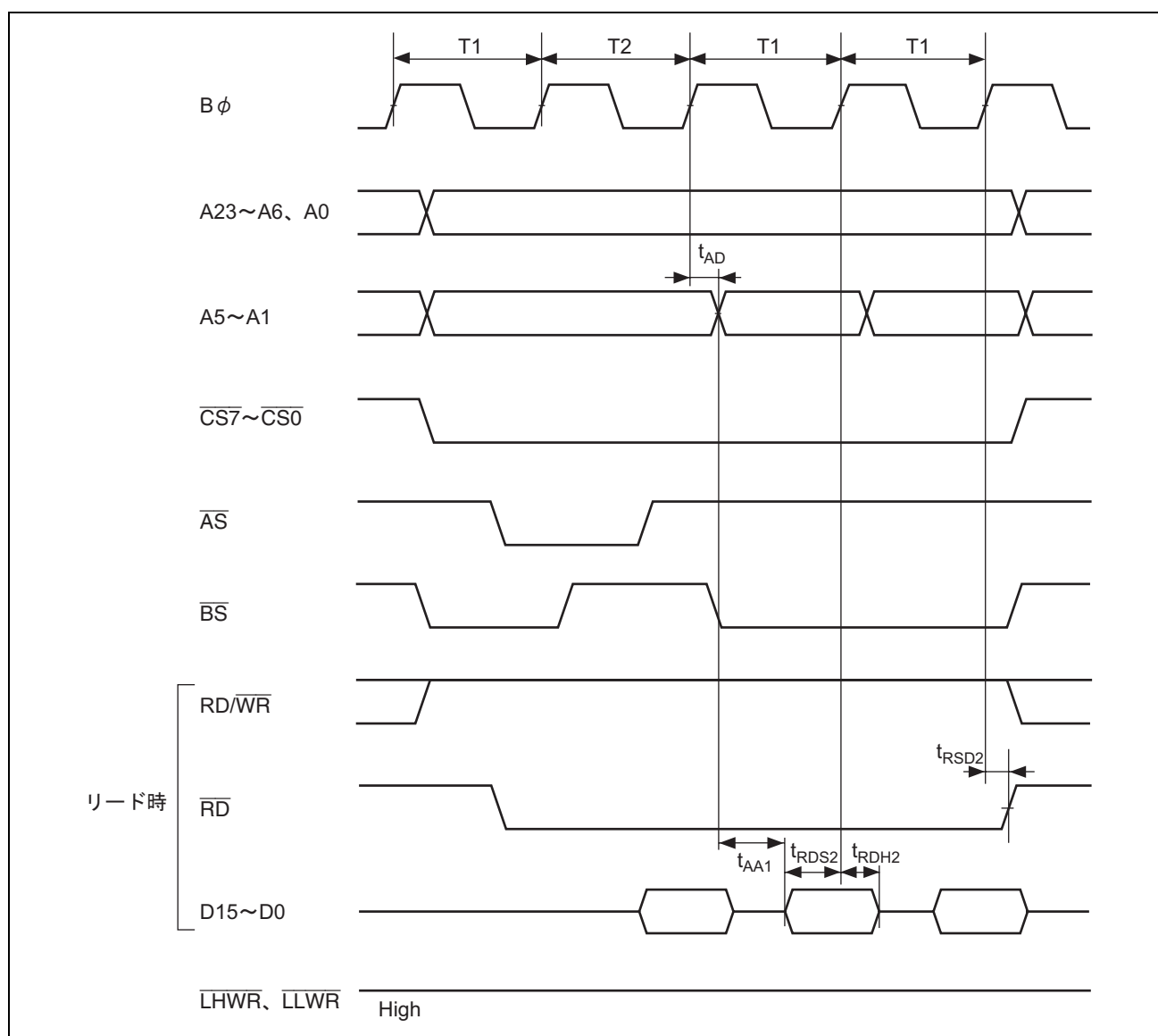


図 21.15 バースト ROM アクセスタイミング/1 ステートバーストアクセス

21. 電気的特性

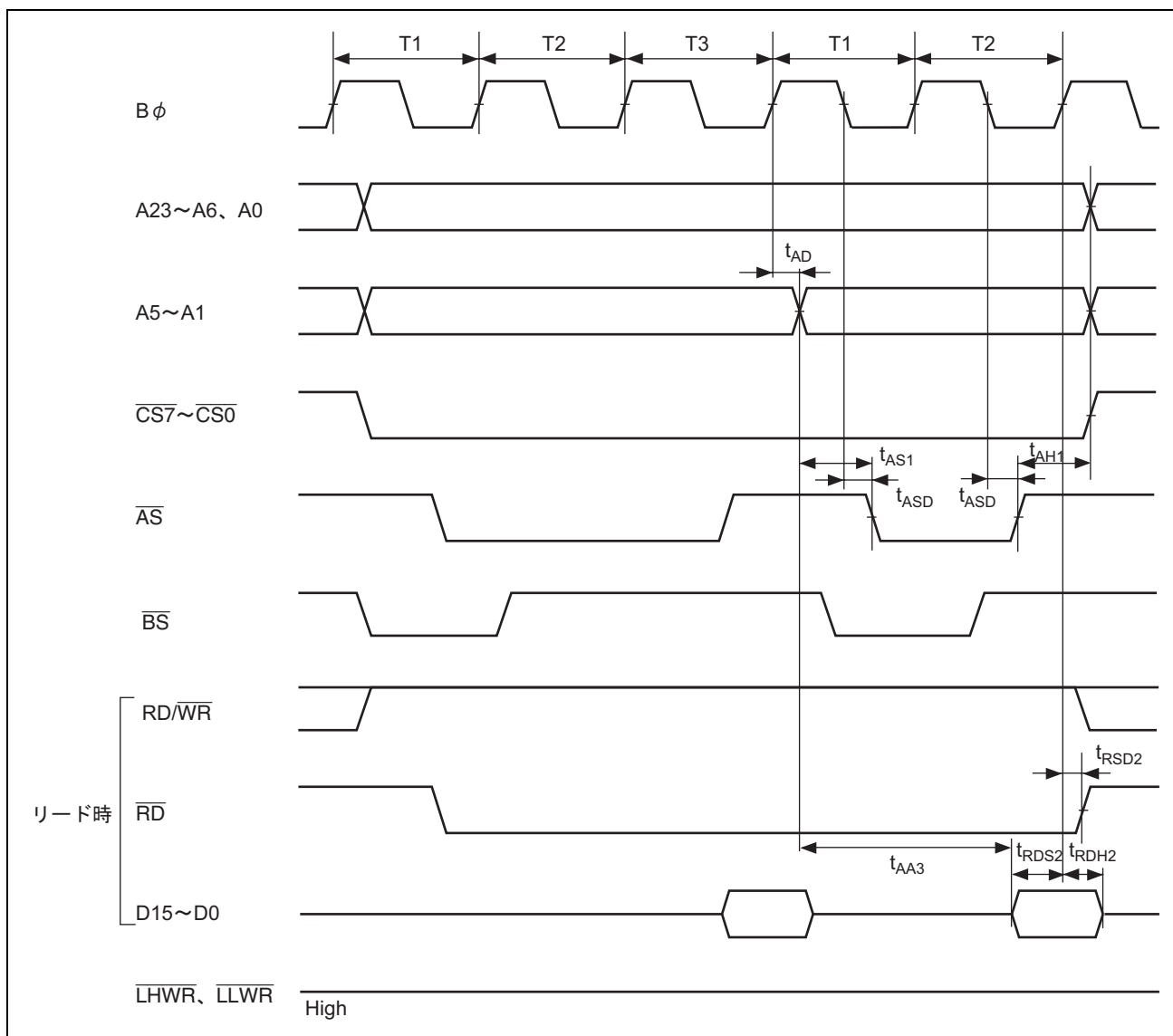


図 21.16 パースト ROM アクセスタイミング/2 ステートパーストアクセス

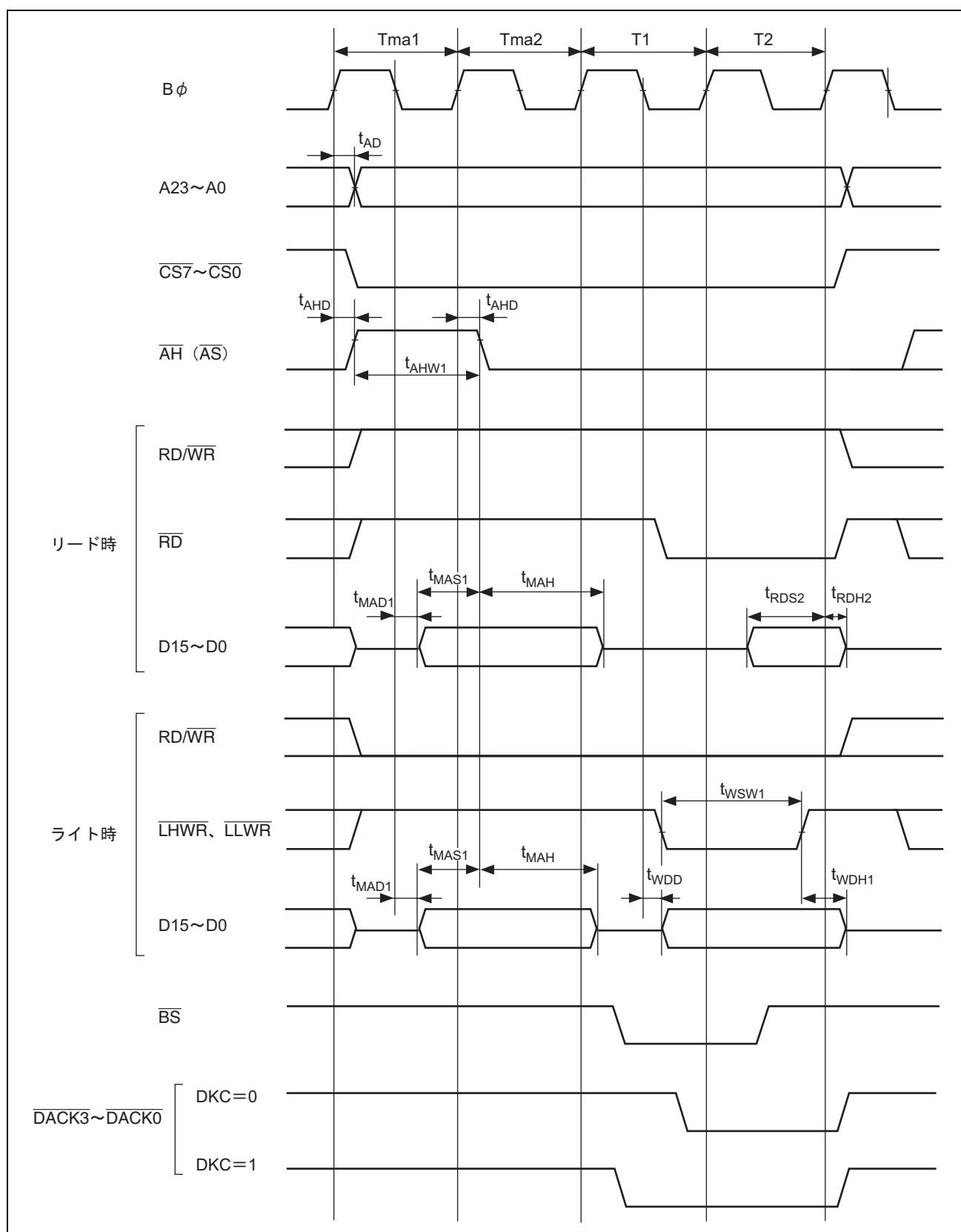


図 21.17 アドレス/データマルチプレクス・アクセスタイミング (ノーウェイト)
(-基本・4ステートアクセス)

21. 電気的特性

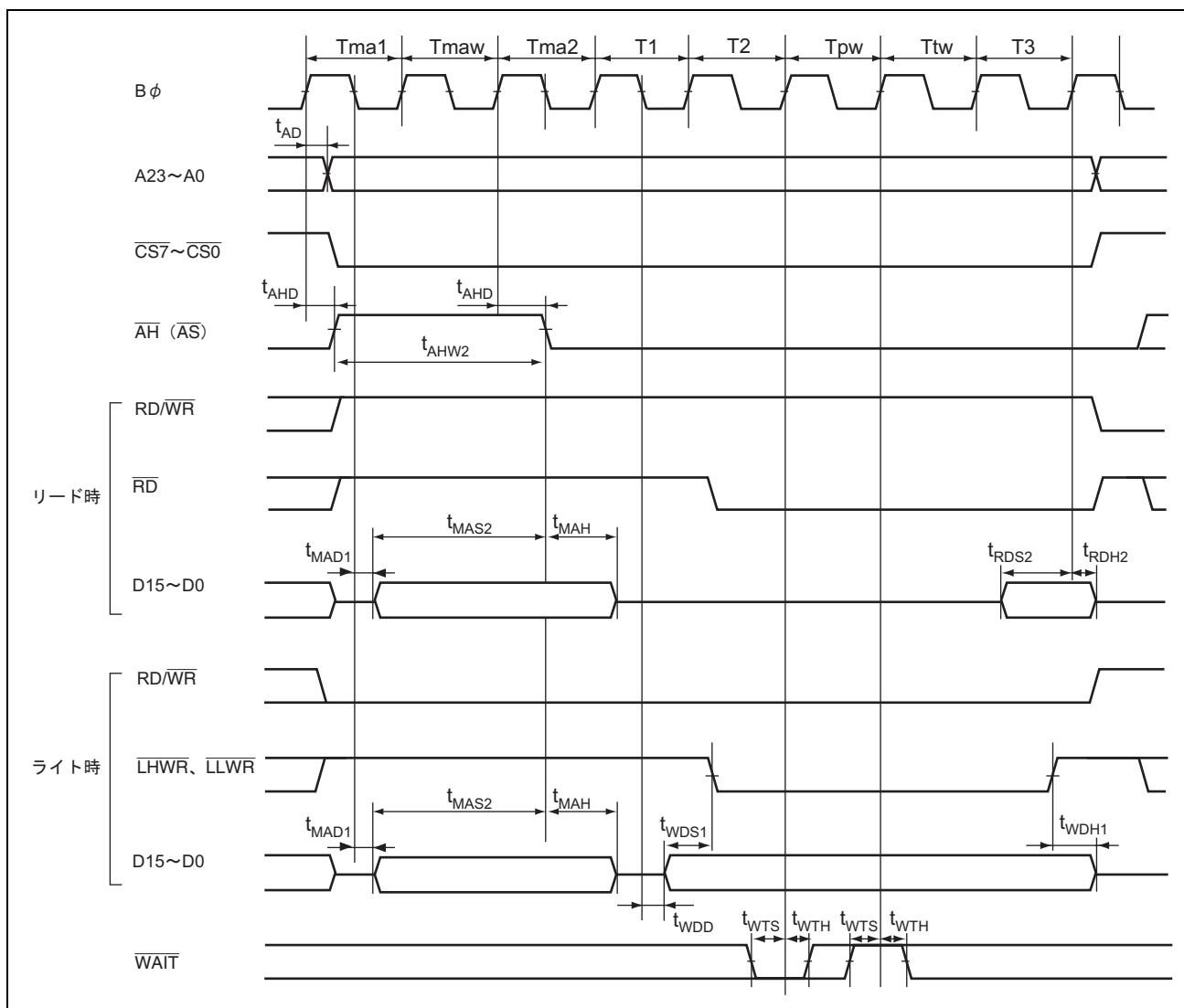


図 21.18 アドレス/データマルチプレクス・アクセスタイミング (ウェイト制御)
 (-アドレスサイクルプログラムウェイト×1
 +データサイクルプログラムウェイト×1+データサイクル端子ウェイト×1の場合)

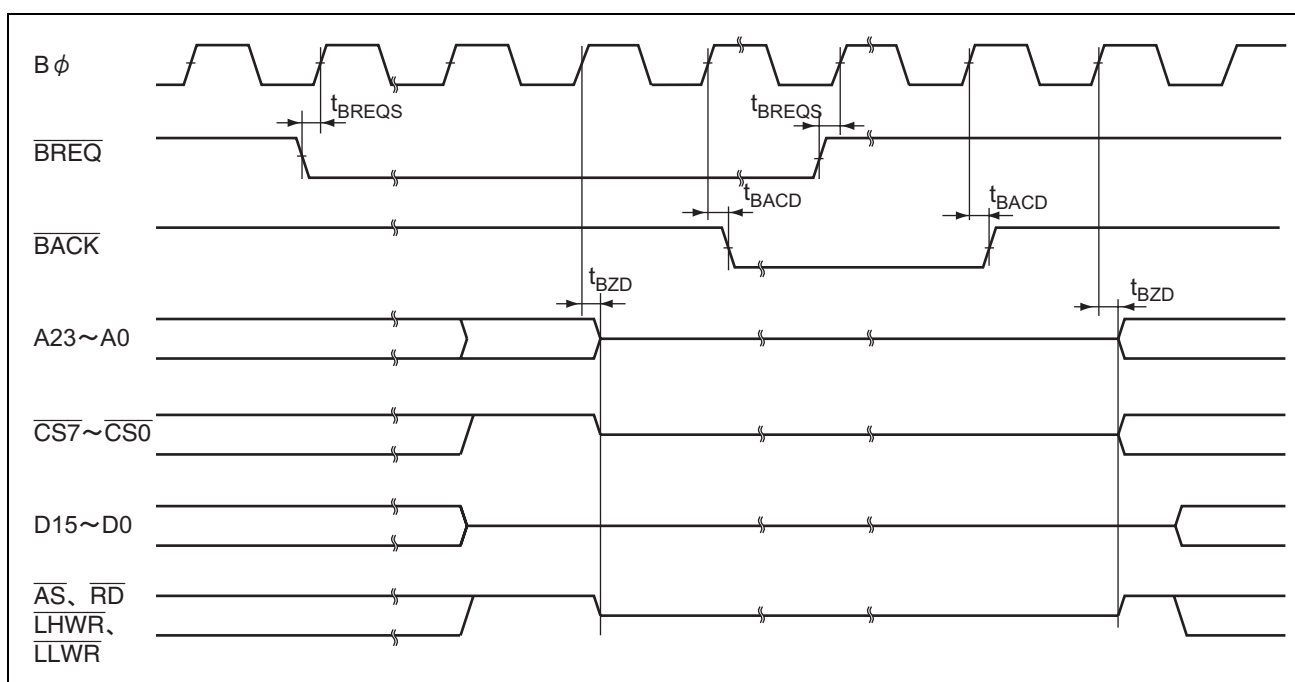


図 21.19 外部バス権開放タイミング

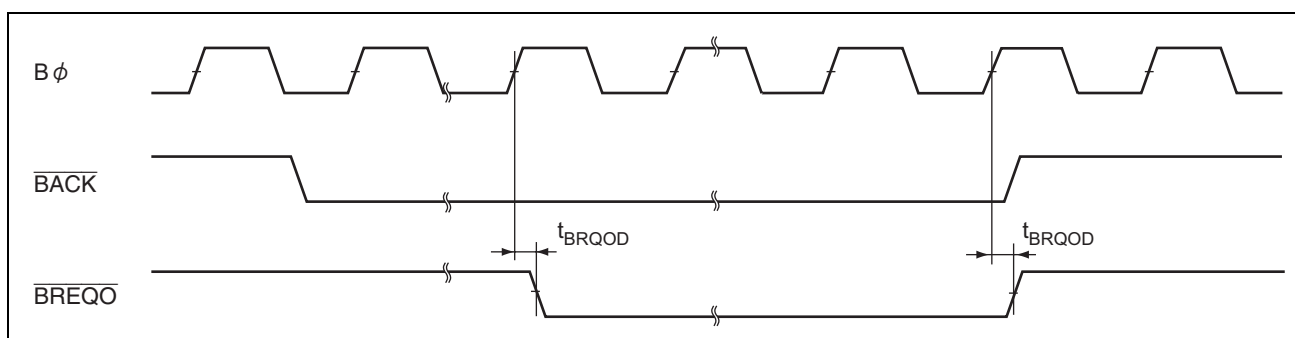
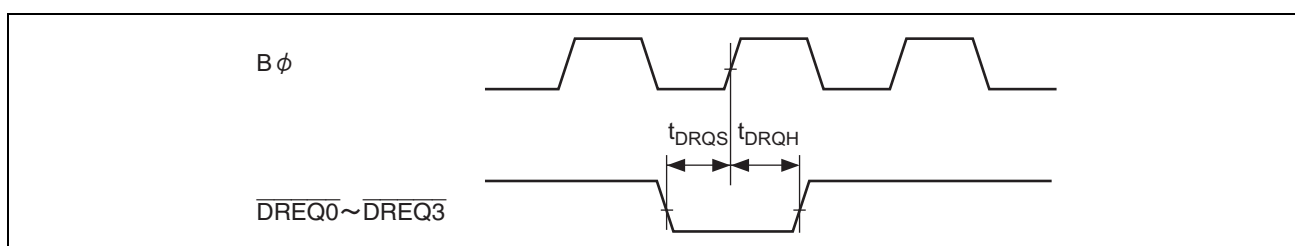


図 21.20 外部バス権要求出力タイミング

図 21.21 DMAC、 \overline{DREQ} 入力タイミング

21. 電气的特性

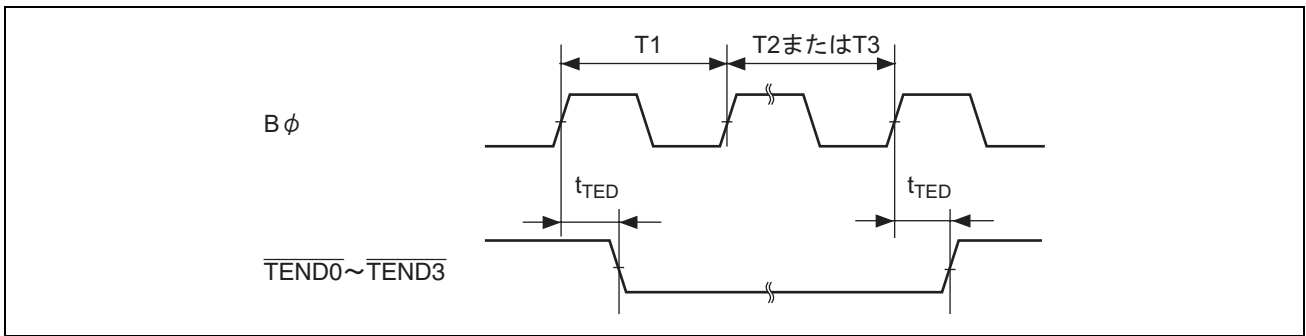


図 21.22 DMAC、 \overline{TEND} 出力タイミング

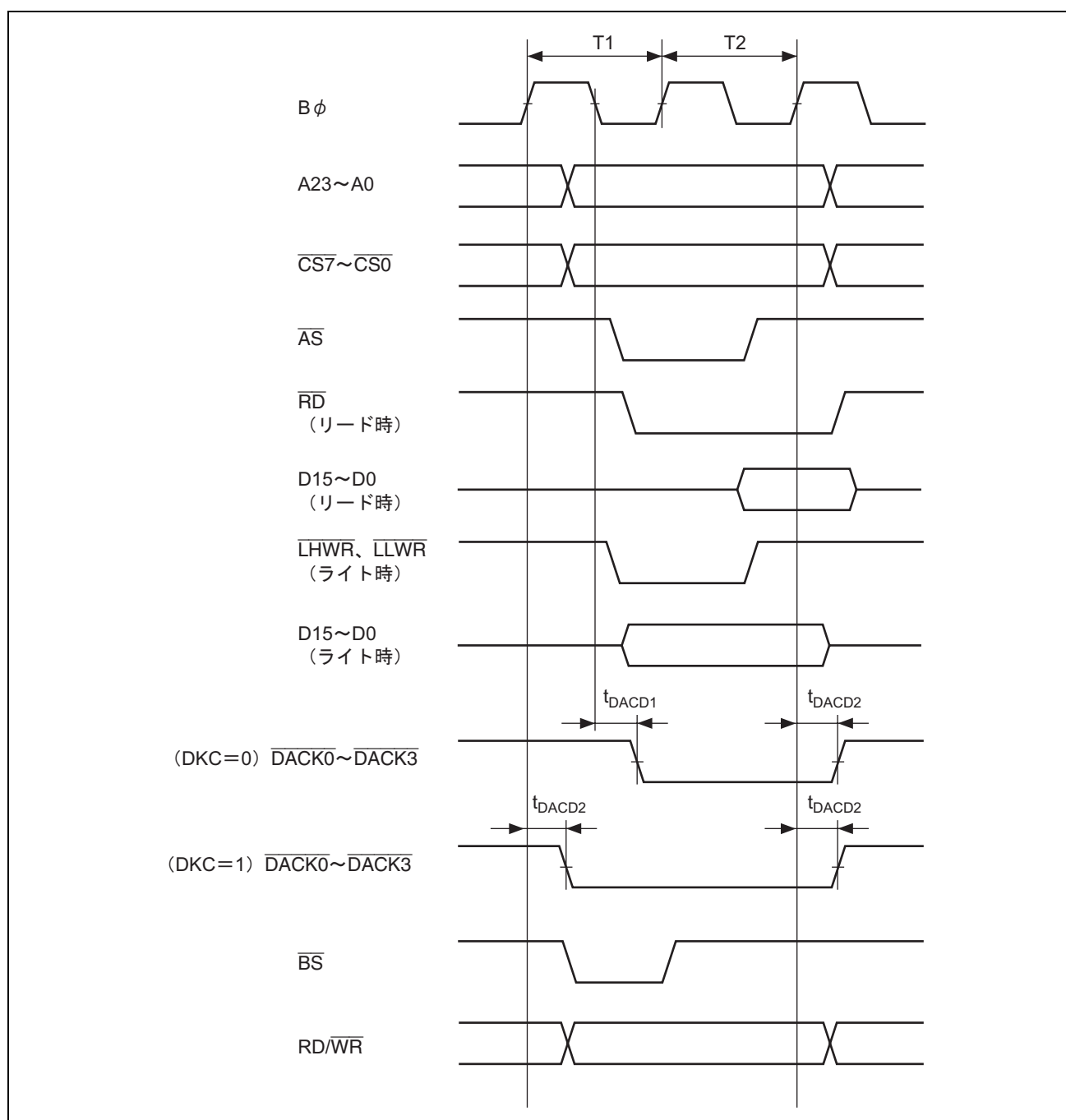


図 21.23 DMAC シングルアドレス転送タイミング (2 ステートアクセス)

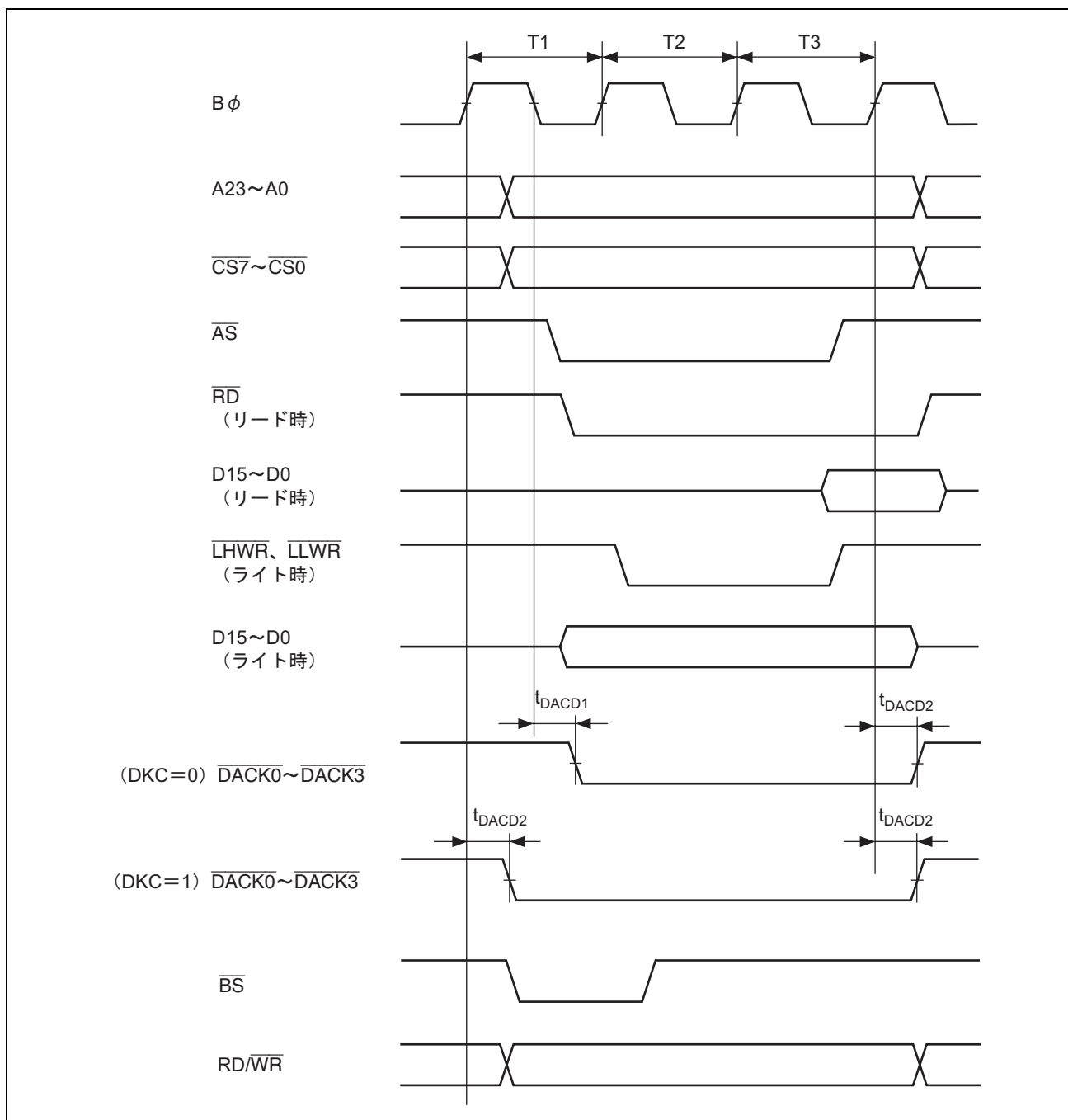


図 21.24 DMAC シングルアドレス転送タイミング (3 ステートアクセス)

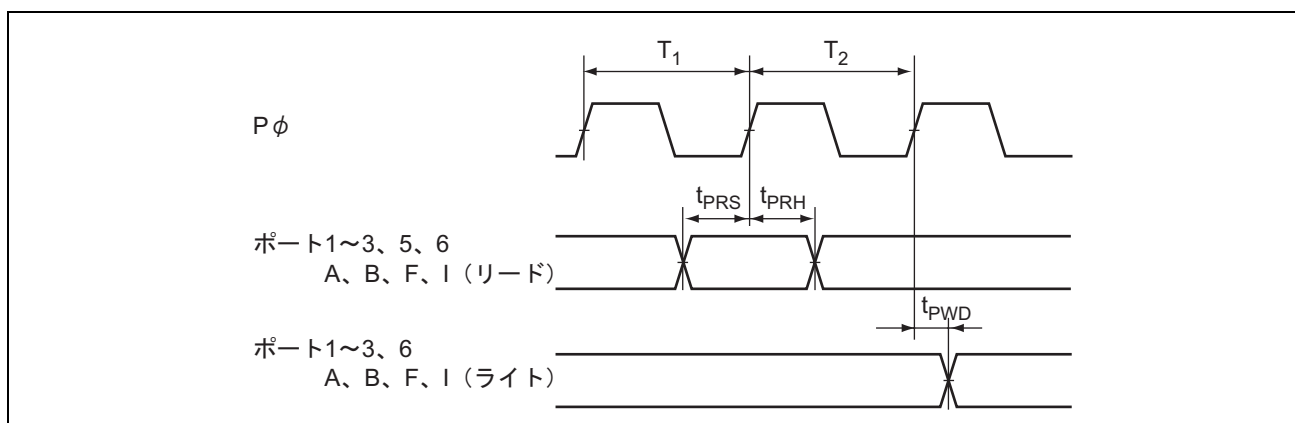


図 21.25 I/O ポート入出力タイミング

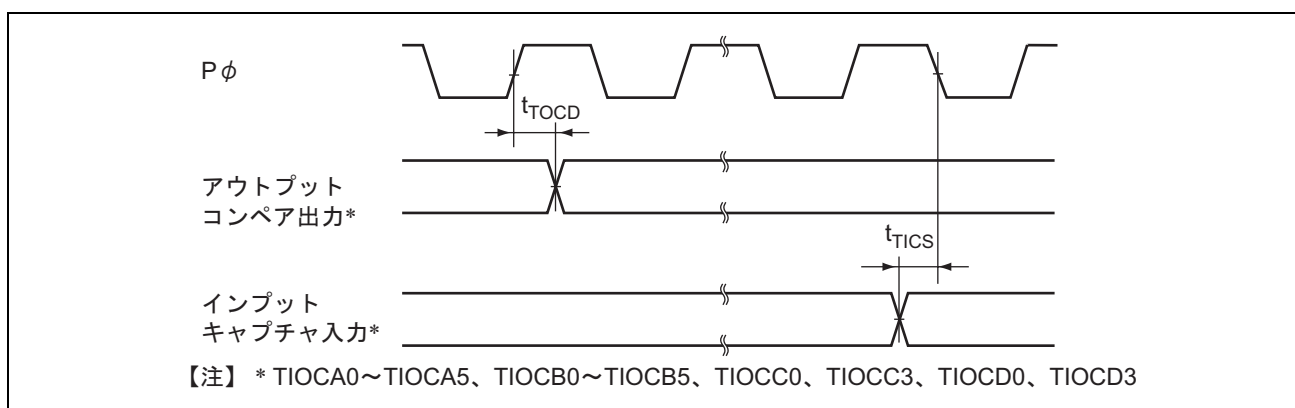


図 21.26 TPU 入出力タイミング

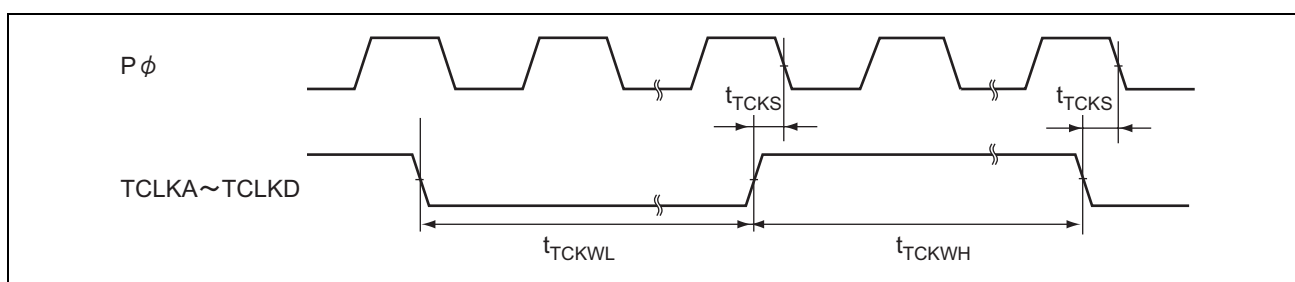


図 21.27 TPU クロック入力タイミング

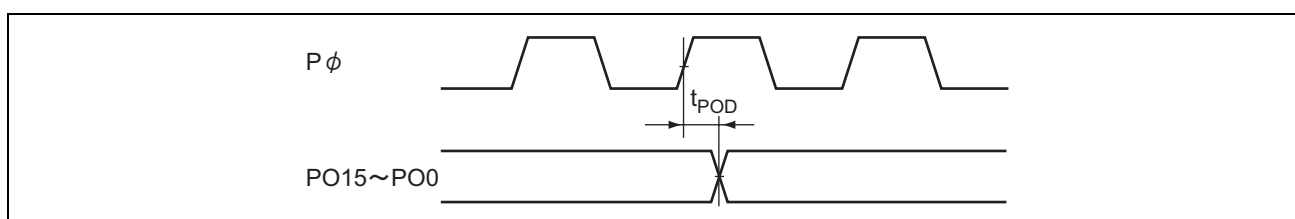


図 21.28 PPG 出力タイミング

21. 電気的特性

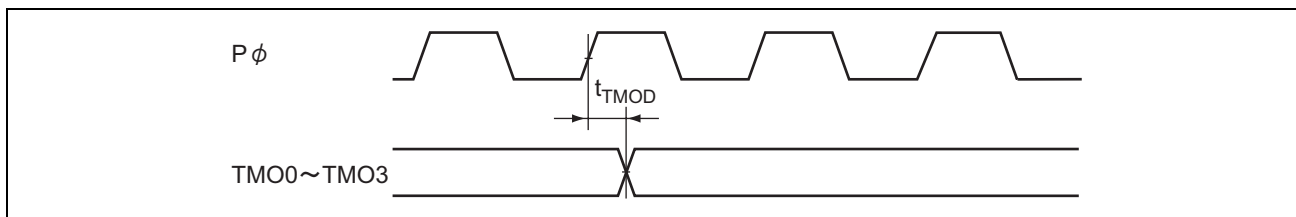


図 21.29 8ビットタイマ出力タイミング

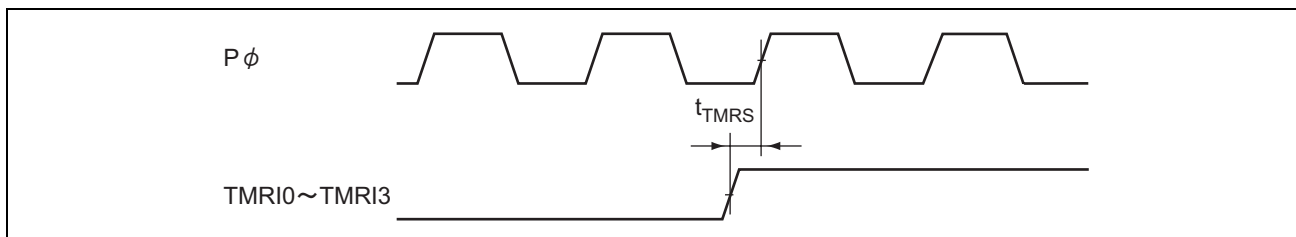


図 21.30 8ビットタイマリセット入力タイミング

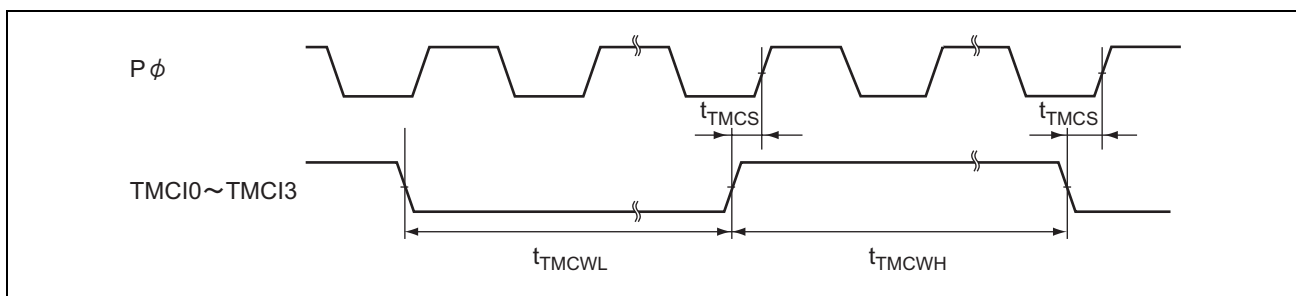


図 21.31 8ビットタイマクロック入力タイミング

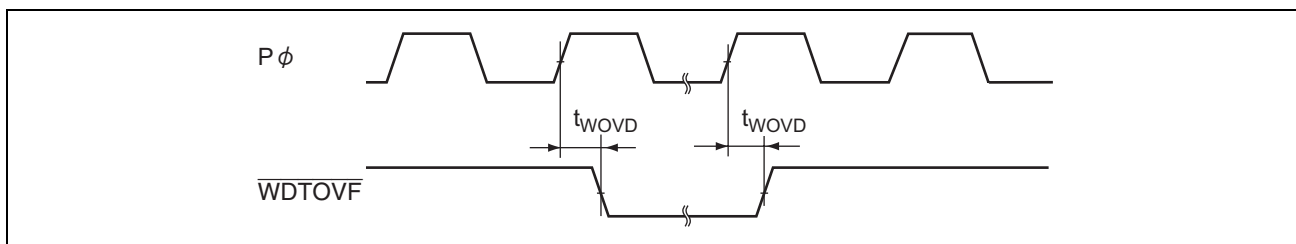


図 21.32 WDT 出力タイミング

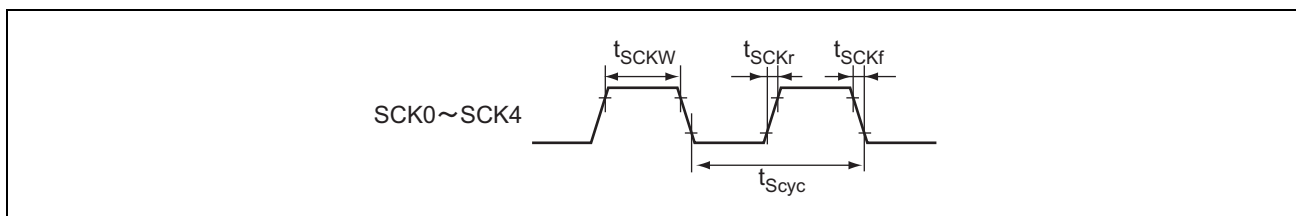


図 21.33 SCK クロック入力タイミング

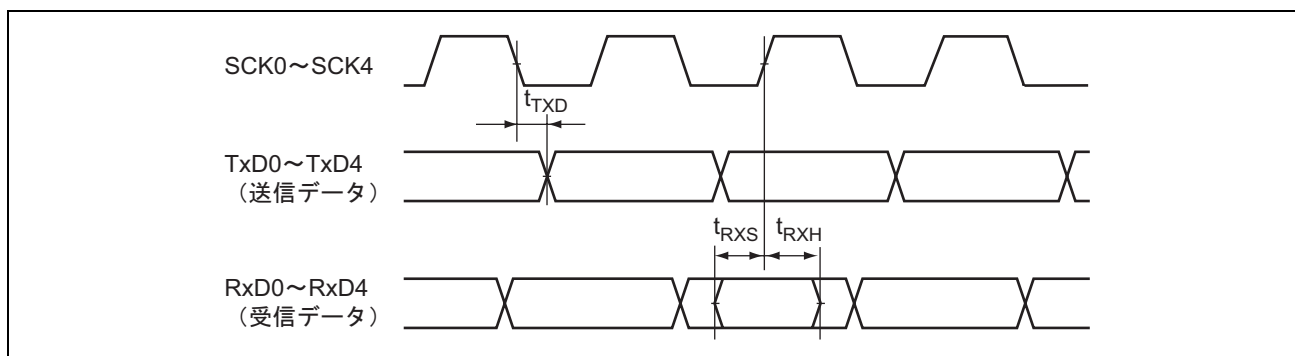


図 21.34 SCI 入出力タイミング/クロック同期式モード

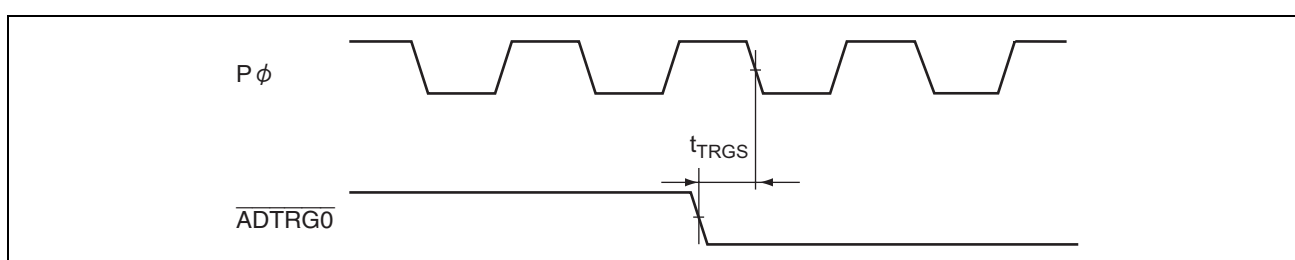


図 21.35 A/D 変換器外部トリガ入力タイミング

付録

A. 各処理状態におけるポートの状態

表 A.1 各処理状態におけるポートの状態

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ソフトウェアスタンバイモード		バス権開放状態
				OPE=1	OPE=0	
ポート 1	全モード	HiZ	HiZ	Keep		
ポート 2	全モード	HiZ	HiZ	Keep		
ポート 3	全モード	HiZ	HiZ	Keep		
P50~P55	全モード	HiZ	HiZ	HiZ		keep
P56/AN6/DA0/ IRQ6-B	全モード	HiZ	HiZ	[DAOE0=1] keep [DAOE0=0] HiZ		keep
P57/AN7/DA1/ IRQ7-B	全モード	HiZ	HiZ	[DAOE1=1] keep [DAOE1=0] HiZ		keep
P60~P65	全モード	HiZ	HiZ	keep		
PA0/BREQ0/BS-A	全モード	HiZ	HiZ	[BREQ0 出力時] HiZ		[BREQ0 出力時] BREQ0
				[BS 出力時] keep	[BS 出力時] HiZ	[BS 出力時] HiZ
				[上記以外] keep		[上記以外] keep
PA1/BACK/ (RD/WR)	全モード	HiZ	HiZ	[BACK 出力時] HiZ		[BACK 出力時] BACK
				[RD/WR 出力時] keep	[RD/WR 出力時] HiZ	[RD/WR 出力時] HiZ
				[上記以外] keep		[上記以外] keep

付録

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ソフトウェアスタンバイモード		バス権開放状態
				OPE=1	OPE=0	
PA2/ $\overline{\text{BREQ}}$ / $\overline{\text{WAIT}}$	全モード	HiZ	HiZ	$\overline{\text{BREQ}}$ 入力時 HiZ $\overline{\text{WAIT}}$ 入力時 HiZ [上記以外] keep		$\overline{\text{BREQ}}$ 入力時 HiZ($\overline{\text{BREQ}}$) $\overline{\text{WAIT}}$ 入力時 HiZ ($\overline{\text{WAIT}}$) [上記以外] keep
PA3/ $\overline{\text{LLWR}}$ / $\overline{\text{LUB}}$	外部拡張モード	H	HiZ	H	HiZ	
PA4/ $\overline{\text{LHWR}}$ / $\overline{\text{LUB}}$	外部拡張モード	H	HiZ	$\overline{\text{LHWR}}$ 、 $\overline{\text{LUB}}$ 出力時 H [上記以外] keep	$\overline{\text{LHWR}}$ 、 $\overline{\text{LUB}}$ 出力時 HiZ [上記以外] keep	
PA5/ $\overline{\text{RD}}$	外部拡張モード	H	HiZ	H	HiZ	
PA6/ $\overline{\text{AS}}$ / $\overline{\text{AH}}$ / $\overline{\text{BS}}$ -B	外部拡張モード	H	HiZ	$\overline{\text{AS}}$ 、 $\overline{\text{BS}}$ 出力時 H $\overline{\text{AH}}$ 出力時 L [上記以外] keep	$\overline{\text{AS}}$ 、 $\overline{\text{AH}}$ 、 $\overline{\text{BS}}$ 出力時 HiZ [上記以外] keep	
PA7/B ϕ	外部拡張モード	クロック 出力	HiZ	[クロック出力時] H [上記以外] keep	[クロック出力時] クロック出力 [上記以外] keep	
PB0/ $\overline{\text{CS0}}$ / $\overline{\text{CS4}}$ -A/ $\overline{\text{CS5}}$ -B	外部拡張モード	H	HiZ	$\overline{\text{CS}}$ 出力時 H [上記以外] keep	$\overline{\text{CS}}$ 出力時 HiZ [上記以外] keep	
PB1/ $\overline{\text{CS1}}$ / $\overline{\text{CS2}}$ -B/ $\overline{\text{CS5}}$ -A/ $\overline{\text{CS6}}$ -B/ $\overline{\text{CS7}}$ -B	全モード	HiZ	HiZ	$\overline{\text{CS}}$ 出力時 H [上記以外] keep	$\overline{\text{CS}}$ 出力時 HiZ [上記以外] keep	
PB2/ $\overline{\text{CS2}}$ -A/ $\overline{\text{CS6}}$ -A	全モード	HiZ	HiZ	$\overline{\text{CS}}$ 出力時 H [上記以外] keep	$\overline{\text{CS}}$ 出力時 HiZ [上記以外] keep	
PB3/ $\overline{\text{CS3}}$ / $\overline{\text{CS7}}$ -A	全モード	HiZ	HiZ	$\overline{\text{CS}}$ 出力時 H [上記以外] keep	$\overline{\text{CS}}$ 出力時 HiZ [上記以外] keep	

ポート名 端子名	MCU 動作モード		リセット	ハードウェア スタンバイモード	ソフトウェアスタンバイモード		バス権 開放状態
					OPE=1	OPE=0	
ポート D	外部拡張モード		L	HiZ	Keep		HiZ
ポート E	外部拡張モード		L	HiZ	Keep		HiZ
PF0~PF4	外部拡張モード		L	HiZ	keep		[アドレス出力時] HiZ [上記以外] Keep
PF5/CS5-D PF6/CS6-D PF7/CS4-C/CS5-C/ CS6-C/CS7-C	外部拡張モード		HiZ	HiZ	[アドレス出力時] keep [CS 出力時] H* [上記以外] keep		[アドレス出力時] HiZ [CS 出力時] HiZ* [上記以外] keep
ポート H	外部拡張モード		HiZ	HiZ			HiZ
ポート I	外部拡張 モード	バス幅 8 ビット	HiZ	HiZ			Keep
		バス幅 16 ビット	HiZ	HiZ			HiZ

【記号説明】

H : High レベル

L : Low レベル

Keep : 入力ポートはハイインピーダンス、出力ポートは保持

HiZ : ハイインピーダンス

【注】 * PCR を 0 にクリアした場合です。PCR を 1 にセットした場合、入力プルアップ MOS がオンしますので CS 出力時、PCR を 1 にセットしないでください。

B. 型名一覧

製品分類		製品型名	マーク型名	パッケージ (パッケージコード)
H8SX/1651C	ROM レス版	R5S61651CFPV	R5S61651FPV	FP-120BV*

【注】 * 鉛フリー版

C. 外形寸法図

外形寸法図については、「ルネサス半導体パッケージデータブック」に掲載されている寸法図を優先します。

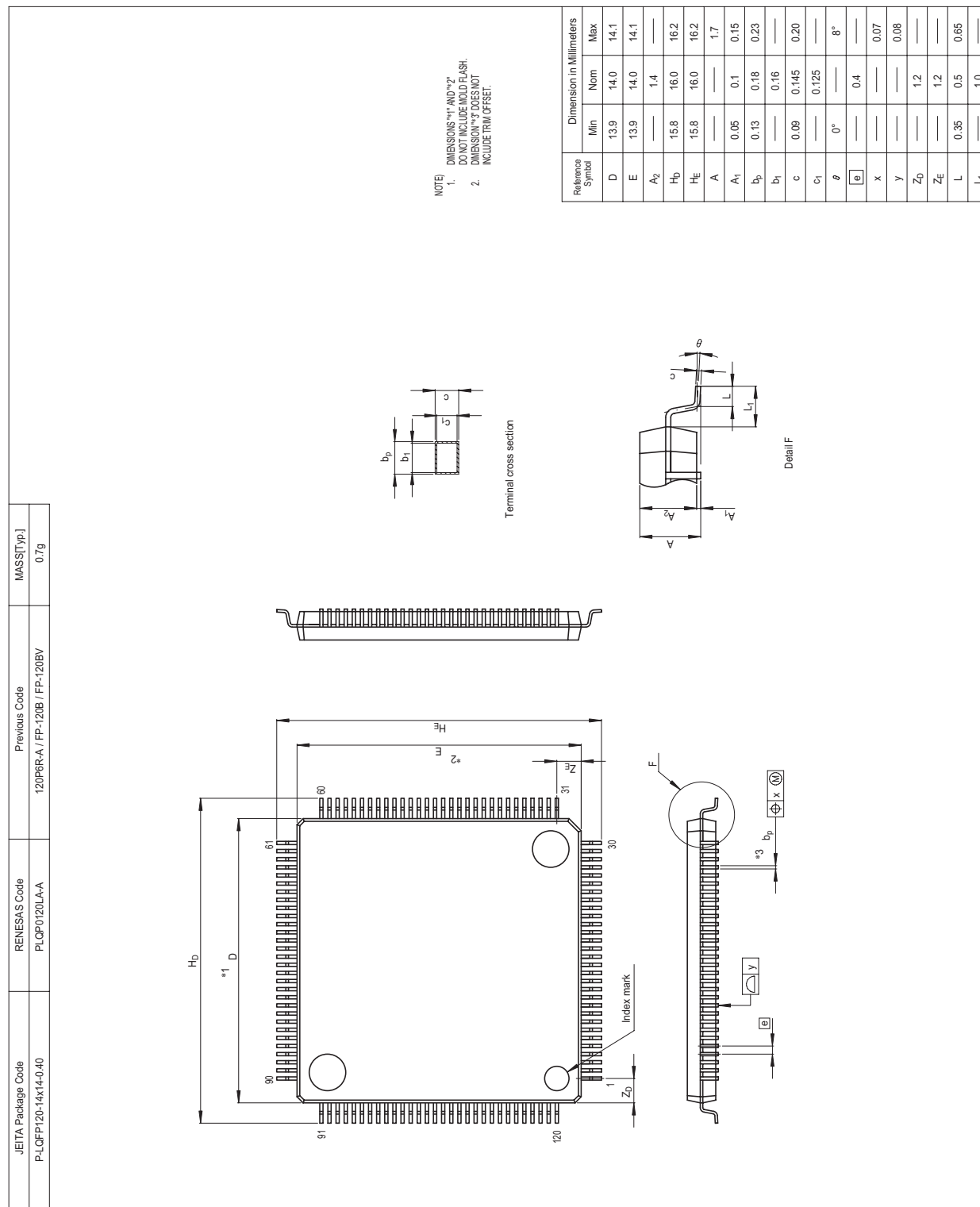


図 C.1 外形寸法図 (FP-120BV)

D. 未使用端子の処理について

未使用端子の処理を表 D.1 に示します。

表 D.1 未使用端子の処理例

端子名	モード 4	モード 5
RES	(リセット端子として必ず使用)	
STBY	• 抵抗を介して Vcc に接続 (プルアップ)	
EMLE	• 抵抗を介して Vss に接続 (プルダウン)	
MD2、MD1、MD0	(動作モード端子として必ず使用)	
NMI	• 抵抗を介して Vcc に接続 (プルアップ)	
EXTAL	(クロック端子として必ず使用)	
XTAL	• 端子を開放	
WDTOVF	• 端子を開放	
ポート 1 ポート 2 ポート 3 ポート 6 PA2~PA0 PB3~PB0 PF7~PF5	• 端子ごとに抵抗を介して Vcc に接続 (プルアップ) 又は抵抗を介して Vss に接続 (プルダウン)	
ポート 5	• 端子ごとに抵抗を介して AVcc に接続 (プルアップ) 又は抵抗を介して AVss に接続 (プルダウン)	
PA7	• 初期状態では B ϕ 出力のため、端子を開放	
PA6	• 初期状態では AS 出力のため、端子を開放	
PA5	• 初期状態では RD 出力のため、端子を開放	
PA4	• 初期状態では LHWR 出力のため、端子を開放	
PA3	• 初期状態では LLWR 出力のため、端子を開放	
PB0	• 初期状態では CS0 出力のため、端子を開放	
ポート D ポート E PF4~PF0	• 初期状態ではアドレス出力のため、端子を開放	
ポート H	(データバスとして使用)	
ポート I	(データバスとして使用)	初期状態では汎用入力のため、端子ごとに抵抗を介して Vcc に接続 (プルアップ) 又は、端子ごとに抵抗を介して Vss に接続 (プルダウン)
Vref	• AVcc に接続	

- 【注】 1. 未使用端子の機能は、初期状態から変更しないでください。
2. 未使用端子に対応する PnICR レジスタは初期値 (入力バッファ無効) から変更しないでください。

本版で修正または追加された箇所

修正箇所	ページ	内 容																							
全般	-	<p>修正</p> <p>製品分類を H8SX/1651 から H8SX/1651C に切り替えました。</p> <p>製品型名を R5S61651FPV から R5S61651CFPV に切り替えました。</p>																							
図 1.3 ピン配置図	1-7	<p>追加</p>																							
表 1.4 端子機能の説明	1-11	<p>追加</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">分類</th> <th style="text-align: center;">端子名</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">I/O ポート</td> <td style="text-align: center;">PA7、PA6、PA4、PA2~PA0</td> </tr> </tbody> </table>	分類	端子名	I/O ポート	PA7、PA6、PA4、PA2~PA0																			
分類	端子名																								
I/O ポート	PA7、PA6、PA4、PA2~PA0																								
表 3.3 各動作モードにおける端子機能（アドバンスドモード）	3-5	<p>修正</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2" style="text-align: center;">動作モード</th> <th colspan="3" style="text-align: center;">ポート A</th> <th colspan="2" style="text-align: center;">ポート B</th> </tr> <tr> <th style="text-align: center;">PA7</th> <th style="text-align: center;">PA6、PA4</th> <th style="text-align: center;">PA2~0</th> <th style="text-align: center;">PB3~1</th> <th style="text-align: center;">PB0</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">4</td> <td style="text-align: center;">P/C*</td> <td style="text-align: center;">P/C*</td> <td style="text-align: center;">P*/C</td> <td style="text-align: center;">P*/C</td> <td style="text-align: center;">P/C*</td> </tr> <tr> <td style="text-align: center;">5</td> <td style="text-align: center;">P/C*</td> <td style="text-align: center;">P/C*</td> <td style="text-align: center;">P*/C</td> <td style="text-align: center;">P*/C</td> <td style="text-align: center;">P/C*</td> </tr> </tbody> </table>	動作モード	ポート A			ポート B		PA7	PA6、PA4	PA2~0	PB3~1	PB0	4	P/C*	P/C*	P*/C	P*/C	P/C*	5	P/C*	P/C*	P*/C	P*/C	P/C*
動作モード	ポート A			ポート B																					
	PA7	PA6、PA4	PA2~0	PB3~1	PB0																				
4	P/C*	P/C*	P*/C	P*/C	P/C*																				
5	P/C*	P/C*	P*/C	P*/C	P/C*																				
10.4.5 PWM モード (2) PWM モード 2	10-49	<p>修正</p> <p>TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、周期レジスタのコンペアマッチによる…</p>																							
18.5.1 クロック発振器に関する使用上の注意事項	18-6	<p>削除</p> <p>4. ライトデータバッファ機能などを用いて、外部バスサイクル実行中に SCKCR0、あるいは SCKCR1 の設定を行うと、バスサイクル中にφの周波数が変わりますので注意してください。</p>																							
20.2 レジスタビット一覧	20-15	<p>修正</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">レジスタ略称</th> <th style="text-align: center;">ビット 31/23/15/7</th> <th style="text-align: center;">ビット 30/22/14/6</th> <th style="text-align: center;">ビット 29/21/13/5</th> <th style="text-align: center;">ビット 28/20/12/4</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">IPRE</td> <td style="text-align: center;">-</td> <td style="text-align: center;">-</td> <td style="text-align: center;">-</td> <td style="text-align: center;">-</td> </tr> <tr> <td></td> <td style="text-align: center;">-</td> <td style="text-align: center;">-</td> <td style="text-align: center;">-</td> <td style="text-align: center;">-</td> </tr> </tbody> </table>	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	IPRE	-	-	-	-		-	-	-	-								
レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4																					
IPRE	-	-	-	-																					
	-	-	-	-																					

修正箇所	ページ	内 容
21.1 電気的特性 (35MHz 動作時)	21-1	修正
21.2 電気的特性 (50MHz 動作時)	21-11	修正

索引

【数字／記号】	
0 出力／1 出力	10-40
16 ビットアクセス空間	6-38
16 ビットカウントモード	12-18
16 ビットタイマパルスユニット (TPU)	10-1
8 ビットアクセス空間	6-37
8 ビットタイマ (TMR)	12-1
【A～Z】	
A/D 変換器	15-1
A/D 変換精度	15-11
AT カット並列共振形	18-4
B ϕ クロック出力制御	19-18
CPU に対する DTC の優先レベル制御機能	5-29
D/A 変換器	16-1
DMA コントローラ (DMAC)	7-1
DTC ベクタアドレス	8-11
DTC ベクタアドレスオフセット	8-11
I/O ポート	9-1
ID コード	14-37
IRQn 割り込み	5-14
MCU 動作モード	3-1
NMI 割り込み	5-14
PLL 回路	18-1, 18-5
RAM	17-1
【あ】	
アイドルサイクル	6-73
アクセスステート数	6-31
アドレス／データマルチプレクス	
I/O インタフェース	6-32, 6-64
アドレスエラー	4-8
アドレスマップ	3-6
アドレスモード	7-20
一般不当命令	4-12
インターバルタイマ	13-6
インターバルタイマモード	13-6
インバースコンベンション	14-51
ウェイト制御	6-47
ウォッチドッグタイマ (WDT)	13-1
ウォッチドッグタイマモード	13-5
エラーシグナル	14-50
エリア 0	6-33
エリア 1	6-34
エリア 2	6-34
エリア 3	6-34
エリア 4	6-35
エリア 5	6-35
エリア 6	6-36
エリア 7	6-36
エリア分割	6-28
エンディアンとデータアライメント	6-37
エンディアン形式	6-31
オーバフロー	12-17, 13-5
オープンドレインコントロールレジスタ	9-9
オフセット加算	7-33
オフセット誤差	15-11
【か】	
外形寸法図	付録-5
外部アクセスバス	6-22
外部クロック	18-5
外部バス	6-26
外部バスインタフェースの種類	6-30
外部バスクロック (B ϕ)	6-22, 18-1
外部ライトデータバッファ機能	6-86
外部割り込み要因	5-14
拡張リピートエリア	7-18
拡張リピートエリア機能	7-31
各ポートの出力信号有効設定一覧	9-29
各ポートのレジスタ構成	9-6
カスケード接続	12-18
カスケード接続動作	10-47
型名一覧	付録-4
基本バスインタフェース	6-31, 6-40
クロック同期化サイクル (T _{sy})	6-23
クロック同期式モード	14-42
クロック発振器	18-1
コンペアマッチ A	12-15
コンペアマッチ B	12-16
コンペアマッチカウントモード	12-18
コンペアマッチ信号	12-15
【さ】	
サイクルスチールモード	7-30
サンプル&ホールド回路	15-9
システムクロック (I ϕ)	6-22, 18-1
周辺モジュールクロック (P ϕ)	18-1
周辺モジュールクロック (P ϕ)	6-22
周辺モジュールライトデータバッファ機能	6-87
出力トリガ	11-12

出力バッファ制御	9-10
状態遷移図	2-42
ショートアドレスモード	8-9
処理状態	2-41
シリアルコミュニケーションインタフェース	14-1
シングルアドレスモード	7-21
シングルモード	15-7
水晶発振子	18-4
スキャンモード	15-8
スタートビット	14-26
ストップビット	14-26
ストローブアサート/ネゲートタイミング	6-33
スペース	14-26
スマートカードインタフェース	14-49
スリープモード	19-2
スロット不当命令	4-12
絶対精度	15-11
全モジュールクロックストップモード	19-2, 19-16
送受信データ	14-26
ソフトウェアスタンバイモード	19-2, 19-11

【た】

ダイレクトコンベンション	14-50
ダブルバッファ構造	14-26
端子機能	1-8
チェイン転送	8-20
チップセレクト (CS) アサート期間拡張	6-50
チップセレクト信号	6-29
調歩同期式モード	14-26
低消費電力	19-1
データディレクションレジスタ	9-6
データトランスファコントローラ (DTC)	8-1
データレジスタ	9-7
デュアルアドレスモード	7-20
転送情報	8-9
転送情報ライトバックスキップ機能	8-17
転送情報リードスキップ機能	8-17
転送モード	7-24
同期クリア	10-42
同期プリセット	10-42
トグル出力	10-41
トラップ命令例外処理	4-11
トレース例外処理	4-7

【な】

内蔵 ROM 無効拡張モード	3-1
内蔵ポーレートジェネレータ	14-29
内部システムバス	6-22
内部周辺バス	6-22
内部割り込み	5-15
入力バッファコントロールレジスタ	9-8

ノーマル転送モード	7-24, 8-18
ノンオーバーラップ動作	11-13

【は】

バースト ROM インタフェース	6-32, 6-61
バーストモード	7-30
ハードウェアスタンバイモード	19-2, 19-14
バイト制御 SRAM インタフェース	6-32, 6-53
バスアービトレーション	6-87
バスコントローラ (BSC)	6-1
バスサイクル分割	8-15
バスモード	7-29
バス権解放状態	2-41
バス構成	6-22
バス幅	6-31
発振器	18-4
パリティビット	14-26
非直線性誤差	15-11
ビッグエンディアン	6-31
ビットレート	14-19
不当命令	4-12
フリーランニングカウント動作	10-38
プルアップ MOS コントロールレジスタ	9-8
フルアドレスモード	8-9
フルスケール誤差	15-11
プログラマブルパルスジェネレータ (PPG)	11-1
プログラム実行状態	2-41
プログラム停止状態	2-41
ブロック図	1-6
ブロック転送モード	7-26, 8-19
分解能	15-11
分周器	18-1
平均転送レートジェネレータ	14-2
ベクタテーブルアドレス	4-2
ベクタテーブルアドレスオフセット	4-2
ポートファンクションコントローラ	9-34
ポートレジスタ	9-7

【ま】

マーク状態	14-26, 14-62
マルチクロックモード	19-9
マルチプロセスビット	14-37
マルチプロセス通信機能	14-37
モード 4	3-5
モード 5	3-5
モード端子	3-1
モジュールストップモード	19-15

【ら】

ライトデータバッファ機能	6-86
リードストローブ (RD) タイミング	6-49

リセット	4-4	MAC	2-14
リセット状態	2-41	MDCR	3-2, 20-5, 20-17, 20-27
リトルエンディアン	6-31	MPXCR	6-21, 20-5, 20-17, 20-27
リピート転送モード	7-25, 8-18	MRA	8-3
量子化誤差	15-11	MRB	8-4
例外処理	4-1	MSTPCRA	19-6, 20-5, 20-17, 20-27
例外処理後のスタックの状態	4-13	MSTPCRB	19-6, 20-5, 20-17, 20-27
例外処理状態	2-41	MSTPCRC	19-8, 20-5, 20-17, 20-27
例外処理ベクタテーブル	4-2	NDERH	11-3, 20-7, 20-20, 20-29
レジスタ		NDERL	11-3, 20-7, 20-20, 20-29
ABWCR	6-4, 20-4, 20-16, 20-26	NDRH	11-5, 20-8, 20-20, 20-29
ADCR	15-6, 20-8, 20-21, 20-30	NDRL	11-5, 20-8, 20-20, 20-29
ADCSR	15-4, 20-8, 20-21, 20-30	ODR	9-9, 20-3, 20-12, 20-25
ADDR	15-4, 20-8, 20-21, 20-30	PC	2-12
ASTCR	6-5, 20-4, 20-16, 20-26	PCR	9-8, 11-7, 20-2, 20-7, 20-11, 20-20, 20-24, 20-29
BCR1	6-15, 20-4, 20-16, 20-26	PFCR0	9-34, 20-3, 20-12, 20-25
BCR2	6-17, 20-4, 20-16, 20-26	PFCR1	9-35, 20-3, 20-12, 20-25
BROMCR	6-19, 20-5, 20-17, 20-26	PFCR2	9-36, 20-3, 20-12, 20-25
BRR	14-19, 20-8, 20-20, 20-29	PFCR4	9-37, 20-3, 20-12, 20-25
CCR	2-12	PFCR6	9-37, 20-3, 20-12, 20-25
CPUPCR	5-4, 20-6, 20-19, 20-28	PFCR7	9-38
CRA	8-6	PFCR9	9-39, 20-3, 20-12, 20-25
CRB	8-6	PFCRB	9-40, 20-3, 20-12, 20-25
CSACR	6-12, 20-4, 20-16, 20-26	PFCRC	9-41, 20-3, 20-12, 20-25
DACR	7-14, 20-3, 20-13, 20-25	PMR	11-8, 20-7, 20-20, 20-29
DACR01	16-2, 20-7, 20-20, 20-29	PODRH	11-4, 20-7, 20-20, 20-29
DADR0	16-2, 20-7, 20-20, 20-29	PODRL	11-4, 20-7, 20-20, 20-29
DADR1	16-2, 20-7, 20-20, 20-29	PORT	9-7, 20-6, 20-19, 20-28
DAR	8-5	RDNCR	6-10, 20-4, 20-16, 20-26
DBSR	7-7, 20-3, 20-12, 20-25	RDR	14-5, 20-8, 20-21, 20-30
DDAR	7-5, 20-3, 20-12, 20-25	RSR	14-5
DDR	9-6, 20-2, 20-11, 20-24	RSTCSR	13-4, 20-8, 20-21, 20-30
DMDR	7-8, 20-3, 20-13, 20-25	SAR	8-5
DMRSR	7-19	SBR	2-14
DOFR	7-6, 20-3, 20-12, 20-25	SBYCR	19-4, 20-5, 20-17, 20-27
DR	9-7, 20-7, 20-19, 20-29	SCKCR	18-2, 20-5, 20-17, 20-27
DSAR	7-5, 20-3, 20-12, 20-25	SCMR	14-18, 20-8, 20-21, 20-30
DTCCR	8-8, 20-6, 20-19, 20-28	SCR	14-9, 20-8, 20-20, 20-29
DTCER	8-7, 20-6, 20-19, 20-28	SEMR	14-25, 20-5, 20-17, 20-27
DTCR	7-6, 20-3, 20-12, 20-25	SMR	14-6, 20-8, 20-20, 20-29
DTCVBR	8-9, 20-4, 20-16, 20-26	SRAMCR	6-18, 20-4, 20-16, 20-26
ENDIANCR	6-18, 20-4, 20-16, 20-26	SSIER	5-13, 20-3, 20-12, 20-25
EXR	2-13	SSR	14-12, 20-8, 20-20, 20-30
ICR	9-8, 20-2, 20-11, 20-24	SYSCR	3-3, 20-5, 20-17, 20-27
IDLCR	6-13, 20-4, 20-16, 20-26	TCCR	12-8, 20-9, 20-22, 20-30
IER	5-7, 20-6, 20-19, 20-28	TCNT	10-35, 12-6, 13-3, 20-8, 20-9, 20-21, 20-22, 20-30, 20-31
INTCR	5-3, 20-6, 20-19, 20-28	TCORA	12-6, 20-9, 20-22, 20-30
IPR	5-5, 20-4, 20-15, 20-26	TCORB	12-6, 20-9, 20-22, 20-30
ISCRH	5-8, 20-4, 20-16, 20-26	TCR	10-8, 12-7, 20-8, 20-9, 20-21, 20-22, 20-30, 20-31
ISCRL	5-8, 20-4, 20-16, 20-26		
ISR	5-11, 20-6, 20-19, 20-28		

TCSR 12-10, 13-3, 20-8, 20-21, 20-30
TDR 14-6, 20-8, 20-20, 20-29
TGR 10-35, 20-9, 20-22, 20-31
TIER 10-31, 20-9, 20-22, 20-31
TIOR 10-13, 20-9, 20-22, 20-31
TMDR 10-12, 20-9, 20-22, 20-31
TSR 10-32, 14-6, 20-9, 20-22, 20-31
TSTR 10-36, 20-9, 20-22, 20-31
TSYR 10-37, 20-9, 20-22, 20-31
VBR 2-13
WTCRA 6-6, 20-4, 20-16, 20-26
WTCRB 6-6, 20-4, 20-16, 20-26
汎用レジスタ 2-11

レジスタアドレス一覧 20-2
レジスタビット一覧 20-11

【わ】

割り込み 4-10
割り込み応答時間 5-25
割り込みコントローラ 5-1
割り込み制御モード 0 5-20
割り込み制御モード 2 5-22
割り込み要因 5-14
割り込み要因とベクタアドレスオフセット 5-16
割り込み例外処理シーケンス 5-24
割り込み例外処理ベクタテーブル 5-15

ルネサス32ビットCISCマイクロコンピュータ
ハードウェアマニュアル
H8SX/1651グループ

発行年月日 2005年9月16日 Rev.1.00
2007年6月28日 Rev.2.00

発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

営業お問合せ窓口
株式会社ルネサス販売



<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京			社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	浜	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	北	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	わ	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	城	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	潟	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	本	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	部	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	西	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	陸	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	島	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	取	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com

H8SX/1651 グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJ09B0259-0200