

IMAPCAR2 シリーズプロセッサ

ユーザーズマニュアル ハードウェア編

動画像認識プロセッサ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

【目次】

第 1 章. 概説	1
1.1 特徴	1
1.2 IMAPCAR2-300/200/100/50 の比較	5
1.3 ブロック図	10
1.4 システム構成例	11
1.5 注意事項	12
第 2 章. 端子機能	13
2.1 端子一覧表	16
2.2 端子機能一覧	22
2.2.1 システム関連端子(7 端子)	22
2.2.2 ホスト I/F 関連端子(4 端子)	22
2.2.3 デバッグ I/F 関連端子(5 端子)	22
2.2.4 Flash ダウンロード用 CSI 関連端子(3 端子)	23
2.2.5 JTAG I/F 関連端子(5 端子)	23
2.2.6 画像入出力関連端子(FPBGA パッケージ : 71 端子/LQFP パッケージ : 16 端子)	23
2.2.7 割り込み関連端子(1 端子)	24
2.2.8 エラー出力関連端子(1 端子)	24
2.2.9 汎用 I/O ポート関連端子(11 端子)	24
2.2.10 SDRAM インタフェース関連端子(FPBGA パッケージ : 109 端子/LQFP パッケージ : 56 端子)	24
2.2.11 IC/テスト端子(8 端子)	25
2.2.12 電源/グランド関連端子	26
2.3 ハードウェアリセット時の状態	27
2.4 PLL のロックアップ完了後の状態	27
2.5 ソフトウェアリセット解除後の状態	27
2.6 未決定事項、要検討事項	28
第 3 章. クロック機能	29
3.1 特徴	29
3.2 ブロック図	29
3.3 端子/レジスタ	30
3.4 動作説明	31
第 4 章. リセット機能	32
4.1 特徴	32
4.2 端子/レジスタ	32
4.3 動作説明	33
第 5 章. メモリマップ	35
5.1 特徴	35
5.2 端子/レジスタ	36
5.3 メモリマップ	37
第 6 章. ポート機能	42
6.1 特徴	42
6.2 ブロック図	43

6.3 端子/レジスタ	47
6.3.1 使用端子とレジスタの一覧	47
6.3.2 レジスタの説明	48
6.4 動作説明	53
第7章. 割り込み機能	54
7.1 特徴	54
7.2 ブロック図	56
7.3 動作状態	57
7.4 レジスタ	58
7.4.1 レジスタの一覧	58
7.4.2 レジスタの説明	59
7.5 動作説明	64
7.5.1 割り込み動作	64
7.5.2 ホスト割り込み	68
7.5.3 競合動作	68
第8章. Host I/F 機能	69
8.1 特徴	69
8.2 ブロック図	70
8.2.1 概略ブロック図	70
8.2.2 詳細ブロック図	71
8.3 端子/レジスタ	72
8.3.1 使用端子と使用レジスタの一覧	72
8.3.2 レジスタ説明	73
8.4 レジスタ/キャッシュ/スタックメモリ領域	75
8.4.1 レジスタ/キャッシュ/スタックメモリ領域	75
8.5 Serial Host I/F 及び Debug I/F の動作説明	91
8.5.1 通信フォーマット	91
8.5.2 SV マイコンとの接続例	91
8.5.3 Serial Host I/F 及び Debug I/F からのアクセス一覧	92
8.5.4 Seral Host I/F 及び Debug I/F の送受信データ順序	93
8.5.5 SV マイコンとの通信プロトコル	94
第9章. 外部メモリ I/F 機能	123
9.1 特徴	123
9.2 ブロック図	124
9.3 端子/レジスタ	126
9.3.1 使用端子、レジスタ一覧	126
9.4 レジスタの説明	127
9.4.1 特殊制御コマンド発行レジスタ (scm)	127
9.4.2 アクセスエラーステータスレジスタ (errstatus)	129
9.4.3 ECC 2 ビットエラー発生アドレス格納レジスタ (e2erraddress)	130
9.4.4 ECC 1 ビットエラー発生アドレス格納レジスタ (e1erraddress)	131
9.4.5 エラーステータスクリアレジスタ (erraddressstatusc)	132
9.4.6 ECC 領域設定レジスタ (eccarea)	133
9.4.7 ライトプロテクト領域設定レジスタ (eprotectarea)	134
9.4.8 ライトアクセス検出開始/終了アドレス設定レジスタ (ewdetectarea0・ewdetectarea1)	135
9.4.9 リフレッシュ制御レジスタ (refcnt)	136

9.4.10 SDRAM コンフィグレーションレジスタ (dcg)	139
9.4.11 クロックイネーブル制御レジスタ (sce)	144
9.4.12 バンク切り替え制御レジスタ (bks)	145
9.4.13 コマンド発生間隔設定レジスタ (rcm)	147
9.5 SDRAM クロック出力の出力制御機能.....	149
9.6 メモリ空間.....	150
9.6.1 メモリ空間概略.....	150
9.6.2 メモリ実装領域・メモリ未実装領域.....	151
9.6.3 ECC 領域・非 ECC 領域・ECC データ格納領域.....	152
9.6.4 ライトプロテクト領域.....	154
9.6.5 ライトアクセス検出領域.....	154
9.7 データ保護機能.....	155
9.7.1 ECC 機能.....	155
9.7.2 ライトプロテクト機能.....	156
9.7.3 ECC/非 ECC 領域を跨ぐアクセスに対するアクセス検出機能.....	156
9.7.4 外部メモリの未実装領域へのアクセス検出機能.....	156
9.7.5 ライトアクセス検出機能.....	157
9.8 SDRAM への発行コマンド.....	158
9.8.1 Mode Register Set command (MRS).....	158
9.8.2 Auto Refresh (REF).....	158
9.8.3 Precharge all bank (PALL).....	159
9.8.4 Bank active command (ACT).....	159
9.8.5 Write command (WRIT).....	160
9.8.6 Read command (READ).....	160
9.8.7 Precharge select bank command (PRE).....	161
9.9 初期化手順.....	162
9.9.1 SDRAM の初期化手順.....	162
9.10 ECC 領域テストモード.....	163
9.10.1 データマスク制御機能.....	164
第 10 章. ビデオキャプチャ I/F 機能.....	165
10.1 はじめに(言葉の定義).....	165
10.2 特徴.....	166
10.3 ブロック図.....	168
10.3.1 ビデオキャプチャ I/F TOP ブロック図.....	168
10.3.2 ビデオキャプチャ I/F 入力信号セクタ回路.....	169
10.4 端子/レジスタ/RAM.....	170
10.4.1 使用端子一覧 / 使用内部信号一覧.....	170
10.4.2 カメラとの接続例.....	171
10.4.3 モニターとの接続例.....	172
10.4.4 カメラとの接続例 1.....	173
10.4.5 カメラとの接続例 2.....	174
10.4.6 カメラとの接続例 3.....	175
10.4.7 カメラとの接続例 4.....	176
10.4.8 使用レジスタ一覧.....	177
10.4.9 レジスタの説明.....	182
10.5 動作概要.....	208
10.6 入力画像 CH の動作説明.....	209
10.6.1 入力画像範囲の指定.....	210

10.6.2	入力画像データの転送動作	211
10.6.3	入力画像用 DMA 動作	216
10.6.4	入力画像 CH の動作説明	217
10.6.5	ビデオキャプチャ I/F から外部メモリへ格納する入力画像データの転送領域について	226
10.7	出力制御 CH の動作説明	228
10.7.1	出力制御 CH の動作概要	228
10.7.2	出力画像範囲の設定	228
10.7.3	出力画像データの指定	230
10.7.4	出力画像データの転送動作	231
10.7.5	出力画像格納用 DMA の動作	232
10.7.6	外部メモリからビデオキャプチャ I/F へ格納する出力画像データの転送領域について	233
10.8	画像制御信号、画像データの動作タイミング	234
10.8.1	概要	234
10.8.2	入力制御信号フォーマットに関する注意事項	235
10.8.3	出力制御信号フォーマットに関する注意事項	235
10.9	入力画像 CH、出力制御 CH の再起動動作	235
10.10	入力画像フォーマット	237
10.11	出力画像フォーマット	242
10.12	割り込み、ビデオエラー信号発生動作	247
10.12.1	入力画像 CH の割り込み	247
10.12.2	出力制御 CH の割り込み	248
10.12.3	ビデオエラー検出&信号発生	248
10.12.4	ビデオエラー発生時の動作	248
10.13	ビデオエンコーダ IC、ビデオデコーダ IC との接続例	252
10.14	未決定事項、要検討事項	253
第 11 章	Flash ダウンロード用 CSI 機能	254
11.1	特徴	254
11.2	ブロック図	255
11.3	端子/レジスタ	256
11.3.1	端子/レジスタ一覧	256
11.3.2	レジスタの説明	257
11.4	動作説明	261
11.4.1	送受信動作の起動方法	261
11.4.2	送信モード時のデータ入力端子固定 (FLCSIMODE ビットによる制御)	261
11.4.3	通信フォーマット	262
11.4.4	送受信動作	265
11.4.5	リセット解除時、動作禁止時の端子、レジスタ状態	267
11.4.6	転送予約(連続転送)時の注意事項	267
11.4.7	シリアル Flash IC との接続例	268
11.4.8	Flash ダウンロード実行例	269
11.4.9	8/32bit 送信バッファの使用例	270
11.4.10	シリアル Flash IC 動作制御例	271
第 12 章	エラー通知機能	273
12.1	特徴	273
12.2	ブロック図	274
12.3	端子/レジスタ	275
12.3.1	使用端子とレジスタの一覧	275

12.3.2 レジスタ説明	276
12.4 動作説明	282
12.4.1 動作タイミング	282
12.4.2 競合について	283
第 13 章. インターバルタイマ機能	284
13.1 特徴	284
13.2 ブロック図	285
13.3 端子/レジスタ/端子	285
13.3.1 レジスタの一覧	285
13.3.2 レジスタの説明	286
13.4 動作説明	288
第 14 章. 外部メモリ用 ECC 機能	289
14.1 特徴	289
第 15 章. 内蔵 RAM 用 ECC/Parity 機能	290
15.1 特徴	290
第 16 章. バウンダリ・スキャン機能	291
16.1 特徴	291
16.2 ブロック図	291
16.3 端子/レジスタ	291
16.3.1 使用端子一覧	291
16.3.2 使用レジスタ一覧	292
16.3.3 命令 (インストラクション)	292
16.4 動作説明	292
第 17 章. 電源投入・開放順序	293
17.1 バウンダリスキャン対応 (FPBGA パッケージ) の電源投入・開放順序	293
17.1.1 電源投入時	293
17.1.2 電源開放時	293
17.2 バウンダリスキャン未対応 (LQFP パッケージ) の電源投入・開放順序	293
17.2.1 電源投入時	293
17.2.2 電源開放時	293
第 18 章. 動作状態	294
18.1 状態遷移図	294
18.2 各状態の動作	296
第 19 章. ターゲットスペック	297
19.1 絶対最大定格	298
19.2 容量	299
19.3 動作条件	299
19.4 発振回路特性	300
19.5 DC 特性	301
19.6 AC 特性	303
19.6.1 電源投入/遮断タイミング	305
19.6.2 リセット	306

19.6.3	ホスト I/F(シリアルバス).....	307
19.6.4	SDRAM I/F.....	309
19.6.5	JTAG I/F	314
19.6.6	ビデオキャプチャ I/F	315
19.6.7	割り込み.....	323
19.6.8	Flash ダウンロード用 CSI	324
19.6.9	出力端子の立ち上がり/立ち下がり応答.....	325

第1章. 概説

IMAPCAR2-200/100/50（以下、本製品とする）は、64/32 個の 5 Way VLIW 方式の 16bit PE、全体制御用の 16 ビット RISC プロセッサ(CP)、ホスト・インタフェース(Host I/F)、SDRAM インタフェース、エラー検出機能などの周辺機能を内蔵した一次元結合型高並列 SIMD プロセッサです。また、従来の高並列 SIMD 実行の他に、4 つの PE からなる PE グループが 1 つの PU として動作する MP モードを搭載しており、SIMD 実行と MIMD 実行(MP モード)を動的に切り替え可能です。

本製品は、最適化されたパイプライン構造に加え、ビデオ処理に適した割り込み信号の自動生成機能、DMA 転送を用いた効率的な画像データの入出力機能、そして画像認識機能を高速に実現するための拡張命令などを持ちます。このような機能を利用することにより、ITS における車載カメラ映像に対する認識処理などの画像認識処理用エンジンとして、高い性能を実現できます。

特に、本製品は IMAPCAR2-300 の廉価版として開発され、IMAPCAR2-300 よりも低価格という市場要求を実現しています。

- 補足) IMAPCAR : Integrated Memory Array Processor for Car の略
 IMAPCAR2-300 : Integrated Memory Array Processor for Car 300 の略
- PE : Processing Element の略
 - CP : Control Processor の略
 - PU : Processing Unit の略
 - MP : Multi-Processor の略
 - SDRAM : Synchronous DRAM の略
 - SIMD : Single Instruction Multiple Data の略
 - MIMD : Multiple Instruction Multiple Data の略
 - ITS : Intelligent Transport Systems の略

1.1 特徴

○ 演算機能

パイプライン構造)

- CP 及び PU : 3 段 (ステージ名 : 命令プリフェッチ段+命令フェッチ段+実行段)
- PE : 2 段* (ステージ名 : 命令/CP データ放送段+実行段)
- ※ : PE は命令プリフェッチ段と命令フェッチ段を持たず、CP の命令フェッチ段が PE 向けと判定した命令を受けて 2 段パイプラインで命令を実行します

並列数(max)

- CP : 6 Way
- PE : 5 Way
- PU : 3 Way

プロセッサ数)

Full Mode

- SIMD モード : 1(CP) + 64(PE)
- MIXED モード : 1(CP) + 32(PE) + 8(PU)
- MP モード : 1(CP) + 16(PU)

Half Mode

- SIMD モード : 1(CP) + 32(PE)
- MIXED モード : 1(CP) + 16(PE) + 4(PU)
- MP モード : 1(CP) + 8(PU)

汎用レジスタ数)

Full Mode

SIMD モード	: 16bit×23×1(CP)+16bit×15×64(PE)
MIXED モード	: 16bit×23×1(CP)+16bit×15×32(PE)+16bit×23× 8(PU)
MP モード	: 16bit×23×1(CP) +16bit×23×16(PU)

Half Mode

SIMD モード	: 16bit×23×1(CP)+16bit×15×32(PE)
MIXED モード	: 16bit×23×1(CP)+16bit×15×16(PE)+16bit×23× 4(PU)
MP モード	: 16bit×23×1(CP) +16bit×23× 8(PU)

最小命令実行サイクル : 1 サイクル

○ メモリ

CP プログラム・キャッシュ(ECC 対応)	: 32K バイト
CP データ・キャッシュ/CP スタックメモリ(ECC 対応)	: 4K バイト
PU プログラム・キャッシュ(パリティ対応)	: 8K バイト ^{注1}
PU データ・キャッシュ/PU スタックメモリ(パリティ対応)	: 8K バイト ^{注1}
IMEM(パリティ対応)	: 4K バイト×64(Full Mode)/4K バイト×32(Half Mode)
共有メモリ(ECC 対応)	: 2K バイト
入力/出力画像格納 RAM(パリティ対応)	: 10K バイト×6
メモリ空間	: 256M バイト

注 1) IMEM 領域と兼用

○ 割り込み機能

ホスト割り込み	: 1ch
汎用割り込み	: 1ch
インターバル割り込み	: 2ch
ビデオ割り込み	: 5ch
Flash ダウンロード転送完了割り込み	: 1ch

○ ビデオキャプチャ I/F 機能

入力/出力画像格納 RAM[max]

入力画像格納 RAM	: 10K バイト × 4ch = 40K バイト
出力画像格納 RAM	: 10K バイト × 2ch = 20K バイト

画像データ入力端子)

Total ピン数	: 32 本
接続カメラ数	: カラーカメラ(RGB)の場合、Max.1 台 カラーカメラ(YCbCr422 ^{注1})の場合、Max.2 台 カラーカメラ(YCbCr422 ^{注2})の場合、Max.1 台 モノクロカメラの場合、Max.4 台
接続カメラ例	: カラーカメラ(RGB)を使用の場合、8bit(R)+8bit(G)+8bit(B)=24bit / カメラ カラーカメラ(YCbCr422 ^{注1})を使用の場合、12bit / カメラ カラーカメラ(YCbCr422 ^{注2})を使用の場合、12bit(Y) + 12bit(CbCr) = 24bit / カメラ モノクロカメラを使用の場合、8bit or 12bit / カメラ

画像データ出力端子)

Total ピン数	: 16 本
接続モニタ数	: max1台
接続モニタ例	: カラーモニタ(YCbCr422 ^{注2})を使用の場合、8bit(Y) + 8bit(CbCr) = 16bit / モニタ モノクロモニタを 1 台使用の場合、8bit / モニタ

画像用内部割り込み生成)

要因数	: 5 要因
-----	--------

注 1) 多重化データ、注 2) 非多重化データ

- バス制御機能 (ホスト・インタフェース)
 - シリアル・ホスト・インタフェース/デバッグ・インタフェース
 - ホスト・インタフェース基本機能
 - 専用通信プロトコル : シングルアクセス/バーストアクセス
 - シリアル転送基本機能
 - 動作モード : スレーブモードのみ
 - 通信方式 : 全二重通信
 - 転送方向 : MSBファースト
 - データ長 : 16bit のみ
 - 転送レート :
 - IMAPCAR2-200 の場合 : Max.10Mbps
 - IMAPCAR2-100/50 の場合 : Max. 7Mbps
 - クロックフェーズ、データフェーズ設定 : 固定

- Flash ダウンロード用 CSI 機能
 - シリアル転送基本機能)
 - 動作モード : マスターモードのみ
 - 通信方式 : 半二重通信、全二重通信
 - 転送方向 : MSBファースト
 - データ長 : 8bit、32bit
 - 転送レート : Max.33Mbps
 - クロックフェーズ、データフェーズ設定 : 固定
 - 内部割り込み生成)
 - 要因数 : 1 要因

- 外部メモリ・アクセス機能
 - SDRAM インタフェース)
 - データバス幅 : 64bit、32bit
 - クロック周波数 : Max.132MHz
 - データバス幅切り替え機能 : 有り (64bit/32bit)

- エラー検出機能
 - ステータスレジスタ : 内蔵メモリのエラー (7 要因)、外部メモリのエラー (6 要因)、ビデオキャプチャのエラー (1 要因)
 - エラー検出通知出力 : 外部出力 1 本
 - ブレーク要求機能 : 有り

- 電源電圧
 - VDD12 : 1.2V±0.1V (内部ロジック用電源)
 - EVDD33 : 3.3V±0.3V (I/O バッファ用電源)
 - OSCVDD33 : 3.3V±0.3V (発振器用電源)
 - PLLVD12 : 1.2V±0.1V (PLL 用電源)
- 品質グレード
(A)
- 温度
 - IMAPCAR2-200/100 の場合
 - Tc = -40°C~+100°C (c:case)
 - IMAPCAR2-50 の場合
 - Ta = -40°C~+85°C (a:ambient)
- パッケージ
 - 357 ピン FPBGA (□20mm / 端子ピッチ 0.8mm)
 - 176 ピン LQFP (□24mm / 端子ピッチ 0.5mm)

1.2 IMAPCAR2-300/200/100/50 の比較

IMAPCAR2-300/200/100/50 の機能比較表を以下に示す。

表 1-1 IMAPCAR2-300/200/100/50 の機能比較(1/4)

項目	IMAPCAR2						備考
	-300		-200		-100		
	FCBGA		FPBGA		LQFP		
	Full Mode	Half Mode	Full Mode (固定)	Half Mode (固定)			
コア機能	SIMD モード :1(CP)+128(PE) MIXED モード :1(CP)+ 64(PE)+16(PU) MP モード :1(CP) +32(PU)	SIMD モード :1(CP)+32(PE) MIXED モード :1(CP)+16(PE)+4(PU) MP モード :1(CP) +8(PU)	SIMD モード :1(CP)+64(PE) MIXED モード :1(CP)+32(PE)+8(PU) MP モード :1(CP) +16(PU)	SIMD モード :1(CP)+32(PE) MIXED モード :1(CP)+16(PE)+4(PU) MP モード :1(CP) +8(PU)	SIMD モード :1(CP)+64(PE) MIXED モード :1(CP)+32(PE)+8(PU) MP モード :1(CP) +16(PU)	SIMD モード :1(CP)+32(PE) MIXED モード :1(CP)+16(PE)+4(PU) MP モード :1(CP) +8(PU)	Full Mode と Half Mode の切り替えは、PSL 端子で行う。
汎用レジスタ	CP:16bitx24ch PE:16bitx16chx128[max] PU:16bitx24chx 32[max]	CP:16bitx24ch PE:16bitx16chx64[max] PU:16bitx24chx16[max]	CP:16bitx24ch PE:16bitx16chx32[max] PU:16bitx24chx 8[max]	CP:16bitx24ch PE:16bitx16chx64[max] PU:16bitx24chx16[max]	CP:16bitx24ch PE:16bitx16chx32[max] PU:16bitx24chx 8[max]		
メモリ空間	256MB	←			128MB		

表 1-2 IMAPCAR2-300/200/100/50 の機能比較(2/4)

項目	IMAPCAR2						備考	
	-300		-200		-100			-50
	FCBGA		Full Mode	Half Mode	Full Mode (固定)	Half Mode (固定)		LQFP
内蔵メモリ	CP プログラム・キャッシュ (2WAY セットアソシエイティブ)	32KB (ECC 対応)	←					
	CP データ・キャッシュ (2WAY セットアソシエイティブ、ラ イトバック)	4KB (ECC 対応)	←					
	CP スタックメモリ						データ・キャッシュ内に配置 する。	
	PU プログラム・キャッシュ (2WAY セットアソシエイティブ)	8KB (Parity 対応)	←				IMEM と兼用	
	PU データ・キャッシュ (2WAY セットアソシエイティブ、ラ イトバック)	8KB (Parity 対応)	←				IMEM と兼用	
	PU スタックメモリ						データ・キャッシュ内に配置 する。	
IMEM	4KB x 128 (Parity 対応)	4KB x 64 (Parity 対応)	4KB x 32 (Parity 対応)	4KB x 64 (Parity 対応)	4KB x 32 (Parity 対応)			
共有メモリ	2KB (ECC 対応)	←						

表 1-3 IMAPCAR2-300/200/100/50 の機能比較(3/5)

項目	IMAPCAR2				備考
	-300	-200	-100	-50	
	FCBGA		FPBGA	LQFP	
システムクロック	水晶発振子接続 入力周波数 : 27MHz、	水晶発振子接続 入力周波数 : 32MHz、33MHz			-
	XC コア、周辺用 : 4 通倍 外部メモリ I/F 用 : 8 通倍	4 通倍 / 2 通倍	2 通倍		XC コア及び 内部回路動作加わり周波数 -IMAPCAR2-300 : 108MHz 動作 -IMAPCAR2-200 : 132/66MHz 動作、もしくは 128/64MHz 動作 -IMAPCAR2-100 : 66MHz 動作、もしくは 64MHz 動作 -IMAPCAR2-50 : 66MHz 動作、もしくは 64MHz 動作
クロック	PLL				
インタフェース	ホスト I/F	Parallel Host I/F Serial Host I/F	←		-
	外部メモリ I/F	LLDRAM I/F(DDR2-SDRAM)	Debug I/F(Serial Host I/F) SDRAM I/F[64bit+14bit(ECC) /32bit+7bit(ECC)]		ポート兼用端子
転送レート[Max]	13.8[Gbps]	PLL 4 通倍の場合 64bit: 8.4[Gbps] 32bit: 4.2[Gbps] PLL 2 通倍の場合 64bit: 4.2[Gbps] 32bit: 2.1[Gbps]	64bit: 4.2[Gbps] 32bit: 2.1[Gbps]	SDRAM I/F[32bit]	-
					SDRAM のデータバス幅設定は、レジスタ設定で行う。

表 1-4 IMAPCAR2-300/200/100/50 の機能比較(4/5)

項目	IMAPCAR2				備考
	-300	-200	-100	-50	
	FCBGA		FPBGA	LQFP	
画像データ入出力バッファ	入力画像格納 RAM : 4K バイト x 3 出力画像格納 RAM : 4K バイト x 3 入力画像転送用 RAM : 512 バイト 出力画像転送用 RAM : 512 バイト	入力画像格納 RAM : 10K バイト x 4 出力画像格納 RAM : 10K バイト x 2	入力画像格納 RAM : 10K バイト x 2 出力画像格納 RAM : なし	入力画像格納 RAM : 10K バイト x 2 出力画像格納 RAM : なし	
画像入力出力端子	入力端子 : 40bit 接続例 カラー(RGB): 8bit(R) + 8bit(G) + 8bit(B) = 24bit カラー(YCbCr ^{注1}): 8bit(Y)+8bit(CbCr)	入力端子 : 32bit 接続例 カラー(RGB) : 8bit(R) + 8bit(G) + 8bit(B) = 24bit カラー(YCbCr ^{注1}) : 12bit(Y)+12bit(CbCr) カラー(YCbCr ^{注2}) : 12bit(YCbCr) モノカラー : 8bit or 12bit	入力端子 : 12bit 接続例 カラー(YCbCr ^{注2}) : 12bit (YCbCr) モノカラー : 8bit or 12bit		
	モノカラー: 8bit or 12bit or 16bit 出力端子 : 24bit 接続例 カラー(RGB): 8bit(R) + 8bit(G) + 8bit(B) = 24bit カラー(YCbCr ^{注1}): 8bit(Y)+8bit(CbCr)	出力端子 : 16bit 接続例 カラー(YCbCr ^{注1}) : 8bit(Y)+8bit(CbCr)			

注 1 : 非多重化データ

注 2 : 多重化データ

表 1-5 IMAPCAR2-300/200/100/50 の機能比較(5/5)

項目	IMAPCAR2				備考
	-300	-200	-100	-50	
	FCBGA		FPBGA	LQFP	
画像 入力/出力画面サイズ	Max. SVGA (800x600)	Max. Quad XGA(2048 x 1536) 但し、並び換え機能を使う場合は、SXGA (1280x1024) までサポートする。			
画像用内部割り込み生成	割り込み本数:8	割り込み本数:5		割り込み本数:2	
エラー検出&出力機能	あり(1本)	←			
汎用 IO ポート	あり(16本)	あり(11本)			IMAPCAR2-200/100/50 では、兼用 端子のピンアサインを変更
外部割り込み	3ch	1ch			ポート兼用端子
インターバルタイマ機能	—	2ch			
JTAG(バウンダリ・スキャン)	あり	←			
動作電圧	内部 : typ.1.0V 外部(メモリIF 部除く) : typ.3.3V 外部 (メモリIF 部) : typ.1.9V LLDRAM 用 : typ.2.5V [※] ※ : SIP 版のみ	内部 : typ.1.2V 外部 : typ.3.3V			
パッケージ	単体品 : 780 pin FCBGA (27mm□) SIP 品 : 676 pin FCBGA (35mm□)	357pin FCBGA 20mm□ 端子ピッチ 0.8mm		176pin LQFP 24mm□ 端子ピッチ 0.5mm	

1.3 ブロック図

以下に、本製品のブロック図を示します。

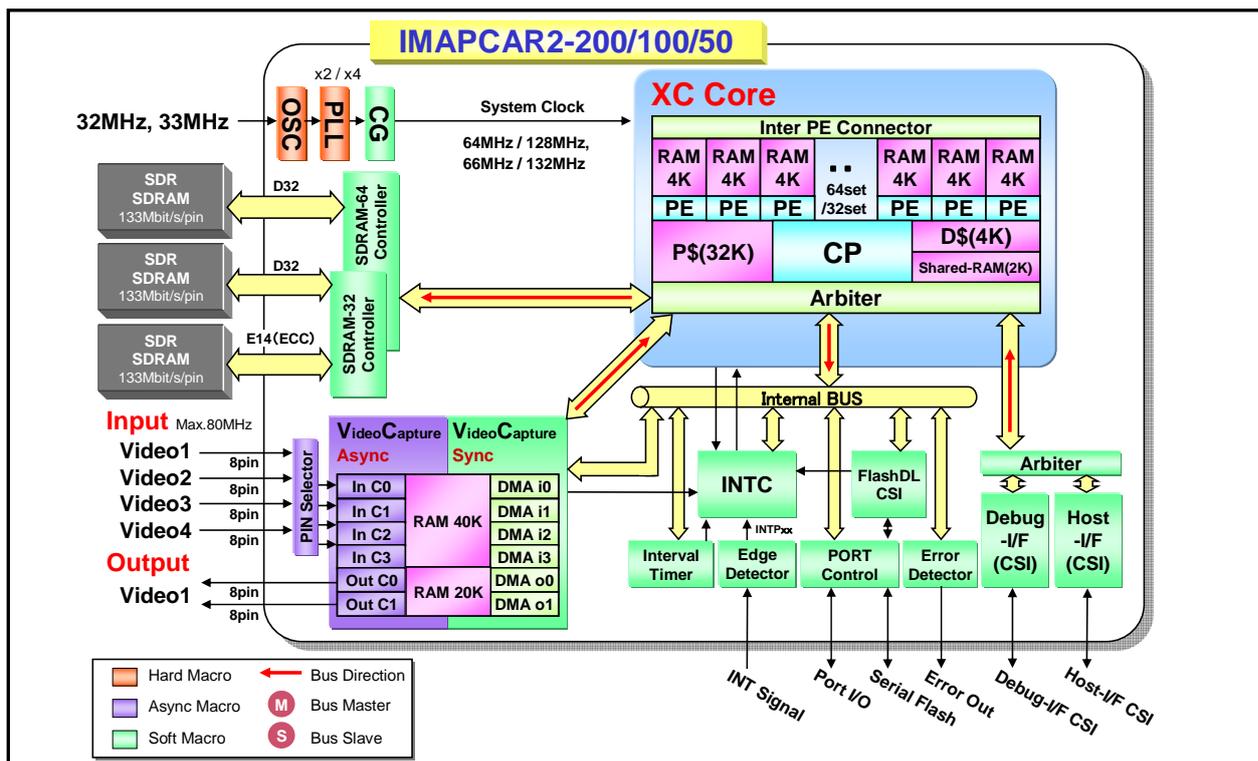


図 1-1 ブロック図

1.4 システム構成例

以下に、本製品のシステム構成例を示します。

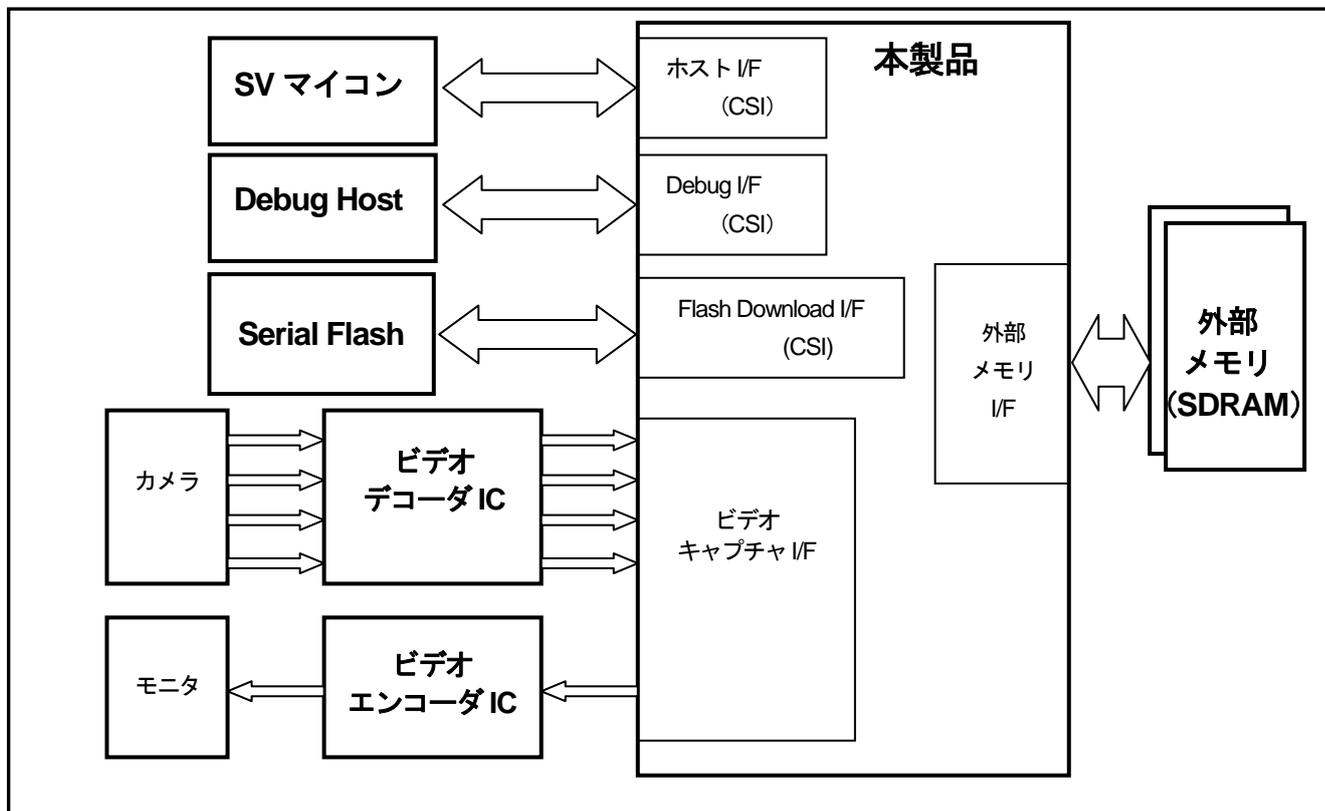


図 1-2 システム構成例

1.5 注意事項

以下に、IMAPCAR2-200/100/50 の注意事項を示します。

- ① システムクロック周波数により、シリアルホスト I/F 及びデバッグ I/F の転送レート、Flash Down load 用 CSI の転送レートが製品シリーズ毎に異なります。詳細は、Host I/F 機能の章と Flash ダウンロード用 CSI 機能の章を参照してください。

第2章. 端子機能

端子配置図 (Top View)

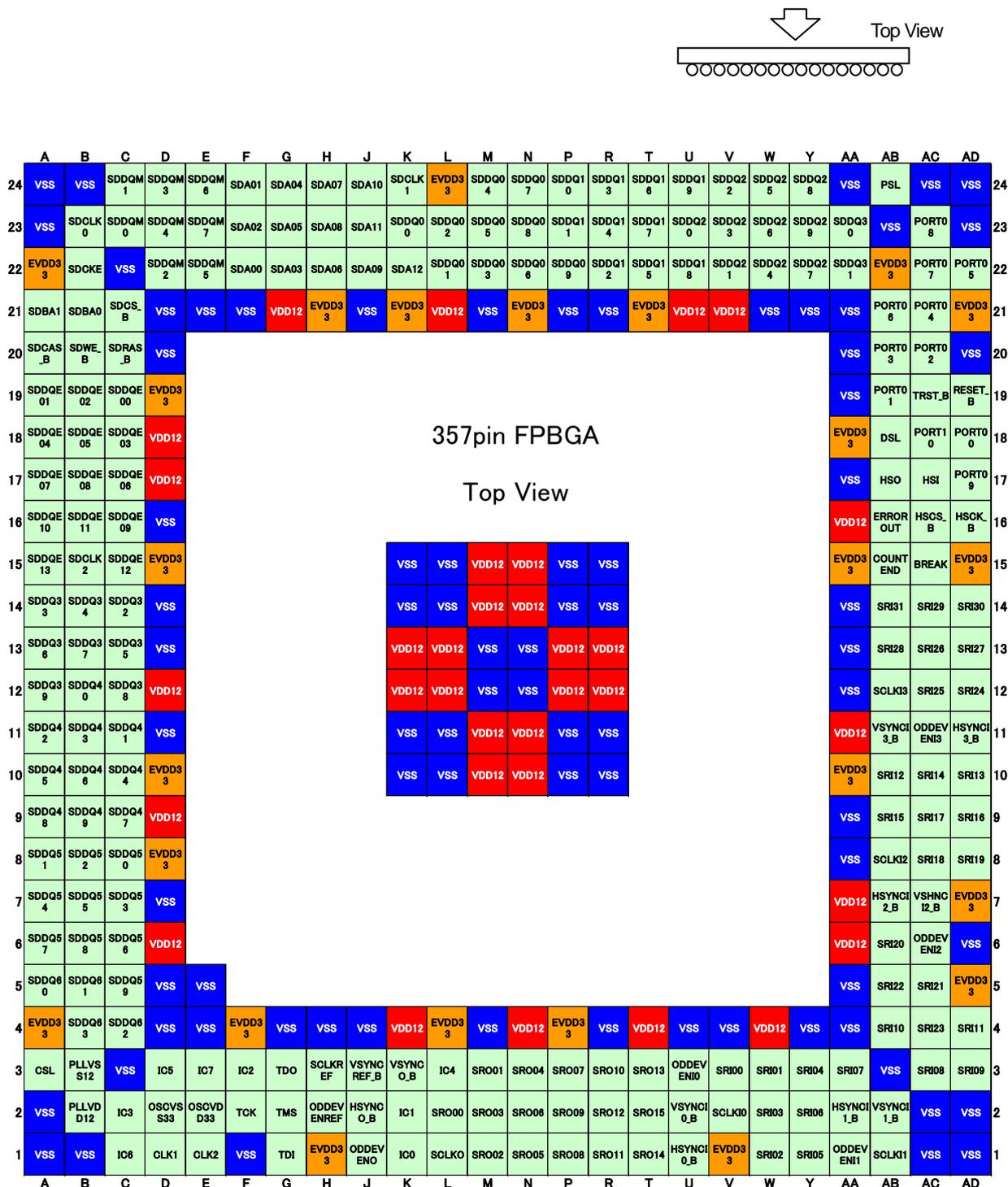


表 2-1 端子配置表 [“-200” FPBGA Package]

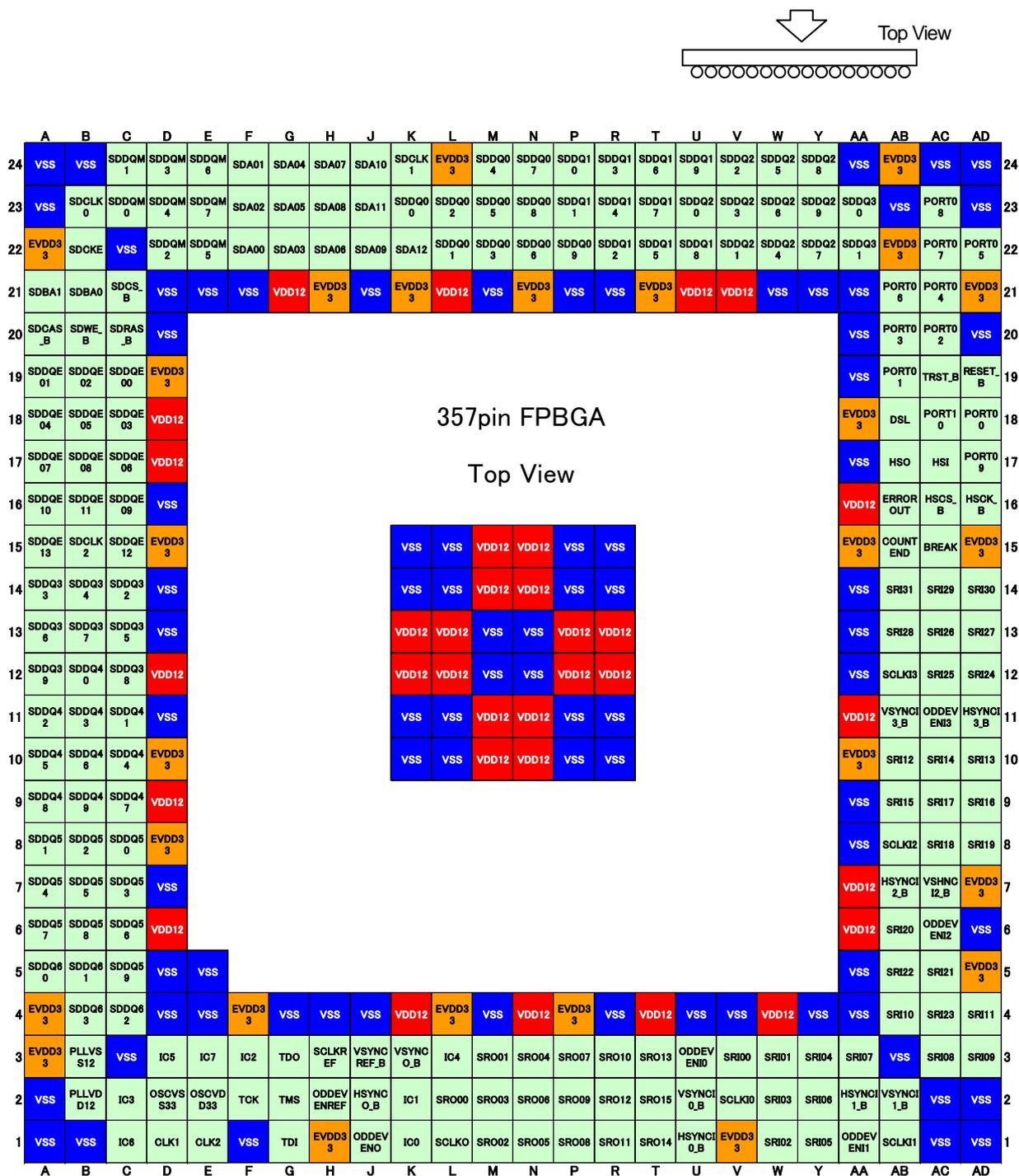


表 2-2 端子配置表 [“-100” & “-50” FPBGA Package]

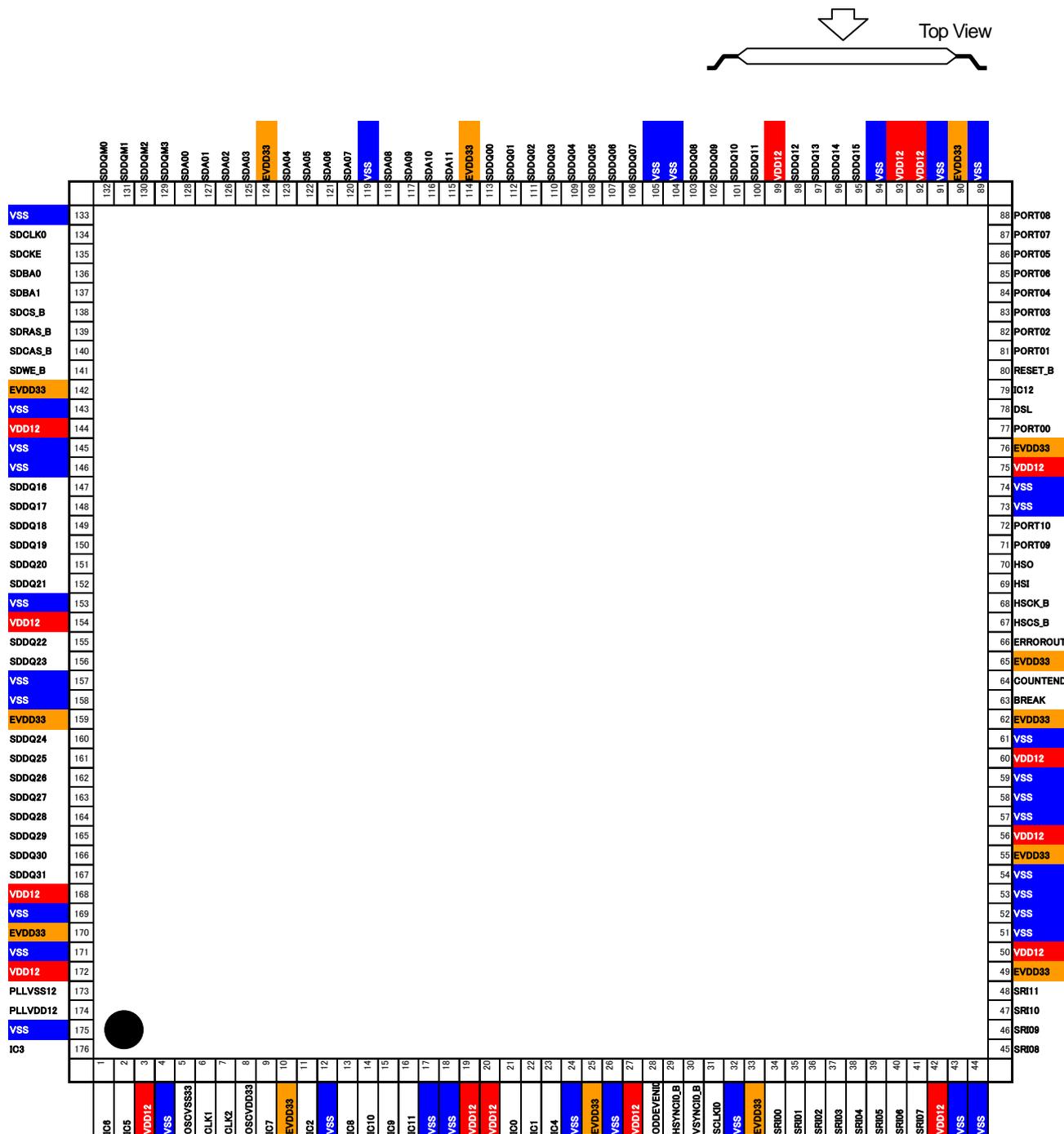


表 2-3 端子配置表 [-50 LQFP Package]

2.1 端子一覧表

NAME	I/O	Q1	使用方法	ハブウェアリゼン の状態で	PLL ロックアップ前 の状態で	調整後の状態で	未使用時の状態 (推奨接続方法)	バックアップ 入力端子	可搬抵抗	パウンタリキヤ ン対入力端子	アナログ/デジタル 付き入力端子
CLK1	I	--	システムクロック入力	発振可能状態	発振可能状態	発振可能状態	—	—	X	X	X
CLK2	O	--	システムクロック出力	発振可能状態	発振可能状態	発振可能状態	—	—	X	X	X
RESET_B	I	L	ハードウェアリセット入力	—(Low レベル入力)	—(High レベル入力)	—(High レベル入力)	—	●	プルダウン抵抗	●	●
BREAK	O	H	ブレーク・ステータス出力	Hi-Z	Hi レベル出力	Hi レベル出力	オープン	—	—	●	—
COUNTEND	O	H	PLL のロックアップステータス	Hi-Z	Hi レベル出力	Hi レベル出力	オープン	—	—	●	—
PSL	I	---	プロセッサモード設定端子	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 もしくは VSS に接続	●	プルアップ抵抗	X	X
CSL	I	---	PLL 設定端子	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 もしくは VSS に接続	●	プルアップ抵抗	X	X
HSCS_B	I	L	シリアルホスト I/F チップセレクト	Hi-Z	Hi-Z	Hi-Z	—	X	X	●	X
HSCB_B	I	L	シリアルホスト I/F シリアルロック入力	Hi-Z	Hi-Z	Hi-Z	—	X	X	●	X
HSI	I	L	シリアルホスト I/F シリアルデータ入力	Hi-Z	Hi-Z	Hi-Z	—	X	X	●	X
HSO	O	L	シリアルホスト I/F シリアルデータ出力	Hi-Z	Hi レベル出力 もしくは Low レベル出力	Hi レベル出力 もしくは Low レベル出力	—	—	—	●	—

注 1: 推奨接続方法の欄に"-"の記載がある端子は、必ず使用する端子です。

注 2: 入力端子が Hi-Z となる場合、外部でレベルを固定する必要があります。

注 3: パウンタリキヤンモード移行直後も、本状態となります。

NAME	I/O	ACT	使用方法	ハイクエリゼン時の状態	PL のロッキング終了後の状態	ソークエリゼン解除後の状態	未使用のピン (プルアップ/プルダウン)	シフト入力端子	内蔵抵抗	バウンダリスキャン対応入力端子	フロッグ/インストラ付き入力端子
SCLK10	I	—	入力画像データ転送クロック0	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 もしくは VSS に接続	X	X	●	X
VSYNC10_B	I	L	入力画像データ用垂直同期信号0	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 に接続	●	X	●	X
HSYNC10_B	I	L	入力画像データ用水平同期信号0	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 に接続	●	X	●	X
ODDEVEN10	I	—	入力画像データ用フィールド表示信号0	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 もしくは VSS に接続	●	X	●	X
SCLK11	I	—	入力画像データ転送クロック1	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 もしくは VSS に接続	X	X	●	X
VSYNC11_B	I	L	入力画像データ用垂直同期信号1	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 に接続	●	X	●	X
HSYNC11_B	I	L	入力画像データ用水平同期信号1	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 に接続	●	X	●	X
ODDEVEN11	I	—	入力画像データ用フィールド表示信号1	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 もしくは VSS に接続	●	X	●	X
SCLK12	I	—	入力画像データ転送クロック2	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 もしくは VSS に接続	X	X	●	X
VSYNC12_B	I	L	入力画像データ用垂直同期信号2	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 に接続	●	X	●	X
HSYNC12_B	I	L	入力画像データ用水平同期信号2	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 に接続	●	X	●	X
ODDEVEN12	I	—	入力画像データ用フィールド表示信号2	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 もしくは VSS に接続	●	X	●	X
SCLK13	I	—	入力画像データ転送クロック3	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 もしくは VSS に接続	X	X	●	X
VSYNC13_B	I	L	入力画像データ用垂直同期信号3	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 に接続	●	X	●	X
HSYNC13_B	I	L	入力画像データ用水平同期信号3	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 に接続	●	X	●	X
ODDEVEN13	I	—	入力画像データ用フィールド表示信号3	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 もしくは VSS に接続	●	X	●	X
SRI00-SRI31	I	—	入力画像データ00 - 31	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 もしくは VSS に接続	X	X	●	X
VSYNCREF_B	I	L	出力制御信号用リファレンス垂直同期信号	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 に接続	X	X	●	X
ODDEVENREF	I	—	出力制御信号用リファレンスフィールド表示信号	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 もしくは VSS に接続	X	X	●	X

注 1：推奨接続方法の欄に“-”の記載がある端子は、必ず使用する端子です。

注 2：入力端子が Hi-Z となる場合、外部でレベルを固定する必要があります。

注 3：バウンダリスキャンモード移行直後も、本状態となります。

NAME	I/O	ACT	使用方法	ハートアップリセット後の状態 ^{注2}	PLD ロックアップ完了後の状態	ハードアップリセット後の状態 ^{注2}	反転後の状態 ^{注2}	未使用時の状態 (推奨接続方法)	シミュレーション入力端子	内蔵抵抗	バックリズキヤン対応入力端子	フロッグ/インストラ付き入力端子
SCLKREF	I	—	出力制御信号用リファレンスクロック	Hi-Z	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 もしくは VSS に接続	X	X	●	X
SCLKO	O	—	出力画像データ転送クロック	Hi-Z	SCLKREF の反転出力	SCLKREF の反転出力	SCLKREF の反転出力	オープン	—	—	●	—
HSYNCO_B	O	L	出力画像データ用水平同期信号	Hi-Z	Hi レベル出力、もしくは Low レベル出力	Hi レベル出力、もしくは Low レベル出力	Low レベル出力	オープン	—	—	●	—
VSYNCO_B	O	L	出力画像データ用垂直同期信号	Hi-Z	Hi レベル出力、もしくは Low レベル出力	Hi レベル出力、もしくは Low レベル出力	Low レベル出力	オープン	—	—	●	—
ODDEVNO	O	—	出力画像データ用フィールド表示信号	Hi-Z	Hi レベル出力、もしくは Low レベル出力	Hi レベル出力、もしくは Low レベル出力	Low レベル出力	オープン	—	—	●	—
SRO00 - 15	O	—	出力画像データ 00 - 15	Hi-Z	Low レベル出力	Low レベル出力	Low レベル出力	オープン	—	—	●	—
ERROROUT	O	H	エラー通知	Hi-Z	Hi レベル出力	Hi レベル出力	Hi レベル出力	オープン	—	—	●	—
PORT00 /INTP0	I/O	—	汎用ポート /割り込み入力 0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	個別に抵抗を介して EVDD33 もしくは VSS に接続	●	X	●	X
PORT01 /DSC0_B	I/O	—	汎用ポート /デバッグ I/F チップセレクト	Hi-Z	Hi-Z	Hi-Z	Hi-Z	個別に抵抗を介して EVDD33 もしくは VSS に接続	X	X	●	X
PORT02 /DSC0_B	I/O	—	汎用ポート /デバッグ I/F クロック入力	Hi-Z	Hi-Z	Hi-Z	Hi-Z	個別に抵抗を介して EVDD33 もしくは VSS に接続	X	X	●	X
PORT03 /DSI	I/O	—	汎用ポート /デバッグ I/F データ入力	Hi-Z	Hi-Z	Hi-Z	Hi-Z	個別に抵抗を介して EVDD33 もしくは VSS に接続	X	X	●	X
PORT04 /DSO	I/O	—	汎用ポート /デバッグ I/F データ出力	Hi-Z	DSL=Low の時、Hi-Z DSL=Hi の時、Hi レベル出力、もしくは Low レベル出力	DSL=Low の時、Hi-Z DSL=Hi の時、Hi レベル出力、もしくは Low レベル出力	DSL=Low の時、Hi-Z DSL=Hi の時、Hi レベル出力、もしくは Low レベル出力	個別に抵抗を介して EVDD33 もしくは VSS に接続	X	X	●	X
PORT05 /FLSCK_B	I/O	—	汎用ポート/Flash ダウンロード CSI シリアルクロック出力	Hi-Z	Hi-Z	Hi-Z	Hi-Z	個別に抵抗を介して EVDD33 もしくは VSS に接続	X	X	●	X
PORT06 /FLSI	I/O	—	汎用ポート/Flash ダウンロード CSI シリアルデータ入力	Hi-Z	Hi-Z	Hi-Z	Hi-Z	個別に抵抗を介して EVDD33 もしくは VSS に接続	X	X	●	X
PORT07 /FSLO	I/O	—	汎用ポート/Flash ダウンロード CSI シリアルデータ出力	Hi-Z	Hi-Z	Hi-Z	Hi-Z	個別に抵抗を介して EVDD33 もしくは VSS に接続	X	X	●	X
PORT08 - PORT10	I/O	—	汎用ポート	Hi-Z	Hi-Z	Hi-Z	Hi-Z	個別に抵抗を介して EVDD33 もしくは VSS に接続	X	X	●	X
DSL	I	—	デバッグ I/F 設定端子	Hi-Z	Hi-Z	Hi-Z	Hi-Z	直接、EVDD33 もしくは VSS に接続	●	X	●	X

注 1：推奨接続方法の欄に「-」の記載がある端子は、必ず使用する端子です。

注 2：バックリズキヤンモード移行直後も本状態となります。

NAME	I/O	ACT	使用方法	ハートウェアリセット時の状態 ^{注2}	PL ロックアップ完了後の状態 ^{注2}	ソフトウェアリセット後の状態 ^{注2}	未使用時の位置 (推奨接続方法) ^{注1}	シミュレーション入力端子	内蔵抵抗	パシビタ出力端子	パシビタ入力端子
SDCLK0	0	—	SDRAM クロック出力 0	Hi-Z	Low レベル出力 ^{注3} 知れ出力 ^{注4}	Low レベル出力 ^{注3} 知れ出力 ^{注4}	オープン ^{注3} — ^{注4}	—	—	X	—
SDCLK1	0	—	SDRAM クロック出力 1	Hi-Z	知れ出力	知れ出力	—	—	—	X	—
SDCLK2	0	—	SDRAM クロック出力 2	Hi-Z	Low レベル出力	Low レベル出力	オープン	—	—	X	—
SDCKE	0	H	SDRAM クロックイネーブル	Hi-Z	Low レベル出力	Low レベル出力	—	—	—	X	—
SDCS_B	0	L	SDRAM チップセレクト	Hi-Z	Hi レベル出力	Hi レベル出力	—	—	—	X	—
SDRAS_B	0	L	SDRAM ロウアドレスタローブ	Hi-Z	Hi レベル出力	Hi レベル出力	—	—	—	X	—
SDCAS_B	0	L	SDRAM カラムアドレスタローブ	Hi-Z	Hi レベル出力	Hi レベル出力	—	—	—	X	—
SDWE_B	0	L	SDRAM ライトイネーブル	Hi-Z	Hi レベル出力	Hi レベル出力	—	—	—	X	—
SDDQM0 - SDDQM7	0	—	SDRAM データ入出力マスク	Hi-Z	Low レベル出力	Low レベル出力	オープン	—	—	X	—
SDBA0 - SDBA1	0	—	SDRAM バンクセレクトアドレス	Hi-Z	Low レベル出力	Low レベル出力	—	—	—	X	—
SDA00 - SDA12	0	—	SDRAM アドレス	Hi-Z	Low レベル出力	Low レベル出力	オープン	—	—	X	—
SDDQ00 - SDDQ63	I/O	—	SDRAM データ入出力	Hi-Z	Hi-Z	Hi-Z	個別に抵抗を介して EVDD33 もしくは VSS に接続	X	X	X	X
SDDQE00 - SDDQE13	I/O	—	SDRAM ECC データ入出力	Hi-Z	Hi-Z	Hi-Z	個別に抵抗を介して EVDD33 もしくは VSS に接続	X	X	X	X

注 1 : 推奨接続方法の欄に「—」の記載がある端子は、必ず使用する端子です。

注 2 : 入力端子が Hi-Z となる場合、外部でレベルを固定する必要があります。

注 3 : IMAPCAR2-200/100/50 (FPBGA パッケージ) の場合

注 4 : IMAPCAR2-50 (LQFP パッケージ) の場合

NAME	I/O	ACT	使用方法	リセット後の状態	リセット後の状態 PL のロックアウト解除	リセット後の状態 ソフトウェアリセット	外部電源の電圧 (推奨電圧)	ソフトウェアリセット	内部抵抗	ソフトウェアリセット (ソフトウェアリセット)	ソフトウェアリセット
TCK / IC8 ^{注1}	I	---	JTAG	Hi-Z ^{注2}	Hi-Z ^{注2}	Hi-Z ^{注2}	直接、EVDD33 に接続	●	X	X	X
TDI / IC9 ^{注1}	I	---	JTAG	Hi-Z ^{注2}	Hi-Z ^{注2}	Hi-Z ^{注2}	直接、EVDD33 に接続	●	プルアップ抵抗	X	X
TDO / IC10 ^{注1}	O	---	JTAG	Hi-Z ^{注2}	Hi-Z ^{注2}	Hi-Z ^{注2}	オープン	---	---	X	---
TMS / IC11 ^{注1}	I	---	JTAG	Hi-Z ^{注2}	Hi-Z ^{注2}	Hi-Z ^{注2}	直接、EVDD33 に接続	●	プルアップ抵抗	X	X
TRST_B / IC12 ^{注1}	I	L	JTAG	-(Low レベル入力)	-(Low レベル入力)	-(Low レベル入力)	直接、VSS に接続	●	プルダウン抵抗	X	●
IC0	I	---	内部接続	Hi-Z	Hi-Z	Hi-Z	直接、VSS に接続	X	プルダウン抵抗	X	X
IC1	I	---	内部接続	Hi-Z	Hi-Z	Hi-Z	直接、VSS に接続	●	プルダウン抵抗	●	●
IC2	I	---	内部接続	Hi-Z	Hi-Z	Hi-Z	直接、VSS に接続	X	X	X	X
IC3	I	---	内部接続	Hi-Z	Hi-Z	Hi-Z	直接、VSS に接続	●	プルダウン抵抗	●	●
IC4	I	---	内部接続	Hi-Z	Hi-Z	Hi-Z	直接、VSS に接続	●	プルダウン抵抗	●	●
IC5	I	---	内部接続	Hi-Z	Hi-Z	Hi-Z	直接、VSS に接続	●	プルダウン抵抗	●	●
IC6	I	---	内部接続	Hi-Z	Hi-Z	Hi-Z	直接、VSS に接続	X	プルダウン抵抗	X	X
IC7	I	---	内部接続	Hi-Z	Hi-Z	Hi-Z	直接、VSS に接続	X	プルダウン抵抗	X	X

注1: IMAPCAR2-50(LQFP パッケージ)の場合、IC 端子となります。

注2: TRST_B 端子にアクティブレベル(Low レベル)が入力された端子状態。(RESET_B 端子とは、無関係)

NAME	I/O	ACT	使用方法	ハートウェアリセット時の状態	PLL ロックアップ完了後の状態	ソフトウェアリセット解除後の状態	未使用時の処置 (推奨接続方法) ¹⁾	シミュレート 入力端子	内蔵抵抗	パルスレスキセン 対応入力端子	フクロバインスタ 付き入力端子
VDDI2	—	—	内部ロジック用電源(1.2V 系)	—	—	—	—	—	—	—	—
EVDD33	—	—	外部 IO 用電源(3.3V 系)	—	—	—	—	—	—	—	—
VSS	—	—	グラウンド	—	—	—	—	—	—	—	—
OSCVDD33	—	—	OSC 専用電源(3.3V 系)	—	—	—	—	—	—	—	—
OSCVSS33	—	—	OSC 専用グラウンド(3.3V 系)	—	—	—	—	—	—	—	—
PLLVDDI2	—	—	PLL 専用電源(1.2V 系)	—	—	—	—	—	—	—	—
PLLVSSI2	—	—	PLL 専用グラウンド(1.2V 系)	—	—	—	—	—	—	—	—

注 1：推奨接続方法の欄に“—”の記載がある端子は、必ず使用する端子です。

2.2 端子機能一覧

2.2.1 システム関連端子(7 端子)

表 2-4 端子一覧(システム関連端子)

端子	端子説明
CLK1	システムクロック入力(水晶発振子接続時)
CLK2	システムクロック出力(水晶発振子接続時)
RESET_B	ハードウェアリセット入力
BREAK	ブレーク・ステータス出力
COUNTEND	PLL のロックアップステータス
PSL ^注	プロセッサモード設定端子
CSL ^注	PLL 設定端子

注：IMAPCAR2-200 にのみ搭載する端子です。

2.2.2 ホスト I/F 関連端子(4 端子)

表 2-5 端子一覧(シリアルホスト I/F 関連端子)

端子	端子説明
HSCS_B	シリアルホスト I/F チップセレクト
HSCK_B	シリアルホスト I/F シリアルクロック入力
HSI	シリアルホスト I/F シリアルデータ入力
HSO	シリアルホスト I/F シリアルデータ出力

2.2.3 デバッグ I/F 関連端子(5 端子)

表 2-6 端子一覧(デバッグ I/F 関連端子)

端子	端子説明
DSCS_B	デバッグ I/F チップセレクト
DSCK_B	デバッグ I/F シリアルクロック入力
DSI	デバッグ I/F シリアルデータ入力
DSO	デバッグ I/F シリアルデータ出力
DSL	デバッグ I/F 設定端子

2.2.4 Flash ダウンロード用 CSI 関連端子(3 端子)

表 2-7 端子一覧(Flash ダウンロード用 CSI 関連端子)

端子	端子説明
FLSCK_B	Flash ダウンロード CSI シリアルクロック出力
FLSI	Flash ダウンロード CSI シリアルデータ入力
FLSO	Flash ダウンロード CSI シリアルデータ出力

2.2.5 JTAG I/F 関連端子(5 端子)

表 2-8 端子一覧(JTAG I/F 関連端子)

端子	端子説明
TCK / IC8 ^注	クロック
TDI / IC9 ^注	データ入力
TDO / IC10 ^注	データ出力
TMS / IC11 ^注	モード選択
TRST_B / IC12 ^注	リセット

注：IMAPCAR2-50（LQFP パッケージ）の場合は、IC 端子として搭載します。

2.2.6 画像入出力関連端子(FPBGA パッケージ：71 端子/LQFP パッケージ：16 端子)

表 2-9 端子一覧(画像入出力関連端子)

端子	端子説明
SCLKI0	入力画像データ転送クロック0
VSYNCI0_B	入力画像データ用垂直同期信号 0
HSYNCI0_B	入力画像データ用水平同期信号 0
ODDEVENI0	入力画像データ用フィールド表示信号 0
SCLKI1	入力画像データ転送クロック1
VSYNCI1_B	入力画像データ用垂直同期信号 1
HSYNCI1_B	入力画像データ用水平同期信号 1
ODDEVENI1	入力画像データ用フィールド表示信号 1
SCLKI2	入力画像データ転送クロック2
VSYNCI2_B	入力画像データ用垂直同期信号 2
HSYNCI2_B	入力画像データ用水平同期信号 2
ODDEVENI2	入力画像データ用フィールド表示信号 2
SCLKI3	入力画像データ転送クロック3
VSYNCI3_B	入力画像データ用垂直同期信号 3
HSYNCI3_B	入力画像データ用水平同期信号 3
ODDEVENI3	入力画像データ用フィールド表示信号 3
SRI00-SRI31	入力画像データ00 - 31
VSYNCREF_B	出力制御信号用リファレンス垂直同期信号
ODDEVENREF	出力制御信号用フィールド表示信号
SCLKREF	出力制御信号用リファレンスクロック
SCLKO	出力制御信号用リファレンスクロック
HSYNCO_B	出力画像データ転送クロック
VSYNCO_B	出力画像データ用水平同期信号
ODDEVENO	出力画像データ用垂直同期信号
SRO00 - 15	出力画像データ 00 - 15

2.2.7 割り込み関連端子(1 端子)

表 2-10 端子一覧(割り込み関連端子)

端子	端子説明
INTP0	汎用割り込み要求

2.2.8 エラー出力関連端子(1 端子)

表 2-11 端子一覧(エラー出力関連端子)

端子	端子説明
ERROROUT	エラー信号出力

2.2.9 汎用 I/O ポート関連端子(11 端子)

表 2-12 端子一覧(汎用 I/O ポート関連端子)

端子	端子説明
PORT00 - PORT10	汎用 I/O ポート

2.2.10 SDRAM インタフェース関連端子(FPBGA パッケージ : 109 端子/LQFP パッケージ : 56 端子)

表 2-13 端子一覧(SDRAM インタフェース関連端子)

端子	端子説明
SDCLK0	SDRAM クロック出力 0
SDCLK1	SDRAM クロック出力 1
SDCLK2	SDRAM クロック出力 2
SDCKE	SDRAM クロックイネーブル
SDCS_B	SDRAM チップセレクト
SDRAS_B	SDRAM ロウアドレスストローブ
SDCAS_B	SDRAM カラムアドレスストローブ
SDWE_B	SDRAM ライトイネーブル
SDDQM0-SDDQM7	SDRAM データ入出力マスク
SDBA0 - SDBA1	SDRAM バンクセレクトアドレス
SDA00 - SDA12	SDRAM アドレス
SDDQ00 - SDDQ63	SDRAM データ入出力
SDDQE00 - SDDQE13	SDRAM ECC データ入出力

2.2.11 IC/テスト端子(8 端子)

表 2-14 端子一覧(I C/テスト関連端子)

端子	端子説明
IC0	内部接続
IC1	内部接続
IC2	内部接続
IC3	内部接続
IC4	内部接続
IC5	内部接続
IC6	内部接続
IC7	内部接続

2.2.12 電源/グランド関連端子

表 2-15 端子一覧(電源/グランド関連端子)

端子	端子説明
VDD12	内部ロジック用電源 (1.2V 系)
EVDD33	外部 IO 用電源 (3.3V 系)
VSS	グランド
OSCVDD33	OSC 専用電源 (3.3V 系)
OSCVSS33	OSC 専用グランド (3.3V 系)
SPLLVD12	PLL 専用電源 (1.2V 系)
SPLLVS12	PLL 専用グランド (1.2V 系)

2.3 ハードウェアリセット時の状態

- ・バウンダリスキャン対応 (FPBGA パッケージ) の場合

TRST_B 端子にアクティブレベル(Low レベル)が入力された状態で、RESET_B 端子にアクティブレベル(Low レベル)が入力された場合の端子状態を示します。ただし、JTAG I/F は、RESET_B 端子に依存せず、TRST_B 端子に依存するため、TRST_B 端子にアクティブレベル(Low レベル)が入力された場合の端子状態を示します。

- ・バウンダリスキャン非対応 (LQFP パッケージ) の場合

RESET_B 端子にアクティブレベル(Low レベル)が入力された場合の端子状態を示します。

2.4 PLL のロックアップ完了後の状態

PLL のロックアップが完了し、内部回路にクロックが供給された状態を示します。

2.5 ソフトウェアリセット解除後の状態

Host I/F よりリセットコマンドを受け付け、内部回路が初期化された後の端子状態を示します。ただし、JTAG I/F は、ソフトウェアリセットに依存せず、TRST_B 端子に依存するため、TRST_B 端子にアクティブレベル(Low レベル)が入力された場合の端子状態を示します。

2.6 未決定事項、要検討事項

なし

第3章. クロック機能

3.1 特徴

本製品は、内部動作クロック生成用に PLL を搭載しています。この PLL を使用することにより、内部動作クロックに適した周波数を生成することが可能です。本製品は発振器を搭載している為、水晶発振子による発振が可能です。

○クロック供給方法、および入力周波数

- ・水晶発振子 : 32MHz、33MHz

○PLL

内部クロック生成用に搭載

- ・XC コア、周辺機能、外部メモリ I/F への供給 :

表 3-1 システムクロック周波数

入力クロック周波数 fx	CSL 端子の状態	システムクロック周波数 fxx
32MHz	0	64 MHz
	1	128 MHz
33MHz	0	66 MHz
	1	132 MHz

3.2 ブロック図

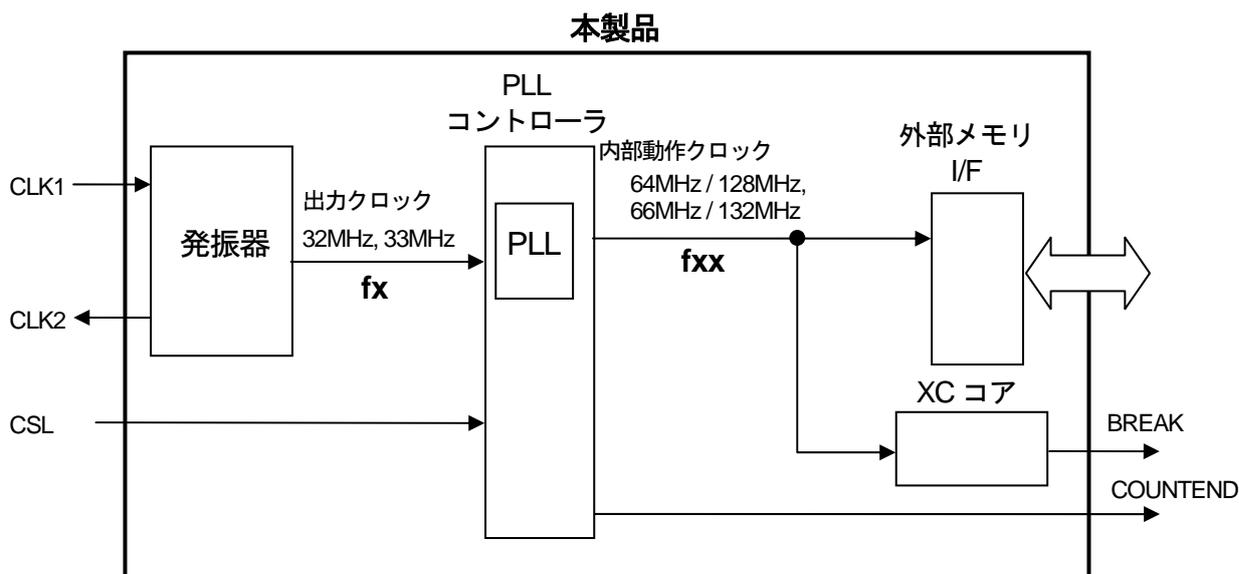


図 3-1 クロック構成図

3.3 端子/レジスタ

以下に、クロック関連で使用する端子とレジスタの一覧を示します。

表 3-2 使用端子一覧

端子	入出力	アクティブ レベル	端子説明
CLK1	I	—	システムクロック入力 (水晶発振子接続)
CLK2	O	—	システムクロック出力 (水晶発振子接続)
COUNTEND	O	H	PLL のロックアップステータス Low : ロックアップ待ち Hi : ロックアップ完了
BREAK	O	H	ブレイク・ステータス出力 Low : 下記以外の状態であることを示します Hi : XC コアが BREAK 状態であることを示します
CSL	I	—	PLL の通倍数設定 Low : 2 通倍 Hi : 4 通倍

注意 : XC コアを RUN 状態 (BREAK 出力端子が Low 状態) から BREAK 状態へ遷移させる場合、ビデオ入力チャンネル及びビデオ出力チャンネルを停止させてから、break レジスタへのライトを行ってください。ビデオ入力チャンネル及びビデオ出力チャンネルが停止していない状態で、XC コアを BREAK 状態に遷移させた場合、ビデオ入力チャンネル及びビデオ出力チャンネルの動作に応じて、BREAK 出力端子に Low パルスが出力されます。

表 3-3 PLL 通倍率の設定

	供給クロック : fx	CSL 端子の状態	XC コア、 周辺機能への供給 : fxx	外部メモリ I/F の データレート(端子見え)
IMAPCAR2-200	32MHz	High	128MHz (4 通倍)	128Mbit / s / pin
IMAPCAR2-100 IMAPCAR2-50		Low	64MHz (2 通倍)	64Mbit / s / pin
IMAPCAR2-200	33MHz	High	132MHz (4 通倍)	132Mbit / s / pin
IMAPCAR2-100 IMAPCAR2-50		Low	66MHz (2 通倍)	66Mbit / s / pin

レジスタは、ありません。

3.4 動作説明

本製品は、ハードウェアリセット解除後、PLL のロックアップ時間をカウントします。PLL のロックアップが完了すると、内部回路へのクロック供給を開始します。本製品は、ハードウェアリセット解除後、BREAK 状態へ遷移する為、ホスト I/F を介して、run レジスタにライトすることにより、動作を開始します。ハードウェアリセット入力中、発振器は動作可能な為、ハードウェアリセット解除前に、CLK1、CLK2 端子に安定したクロックを供給してください。水晶発振子は、波形成長時間に時間が必要の為、各々の発振子に適した、ハードウェアリセット入力幅を確保してください。以下に動作タイミングを示します。

注意：ソフトウェアリセット入力中も発振器は動作可能ですが、リセット入力幅は任意に確保できません。その為、電源投入後、最初のリセット(cold reset)は、ハードウェアリセットにより IMAPCAR2-200/100/50 をリセットしてください。また、リセット解除前、1us 前までには、安定したクロックの供給を開始してください。

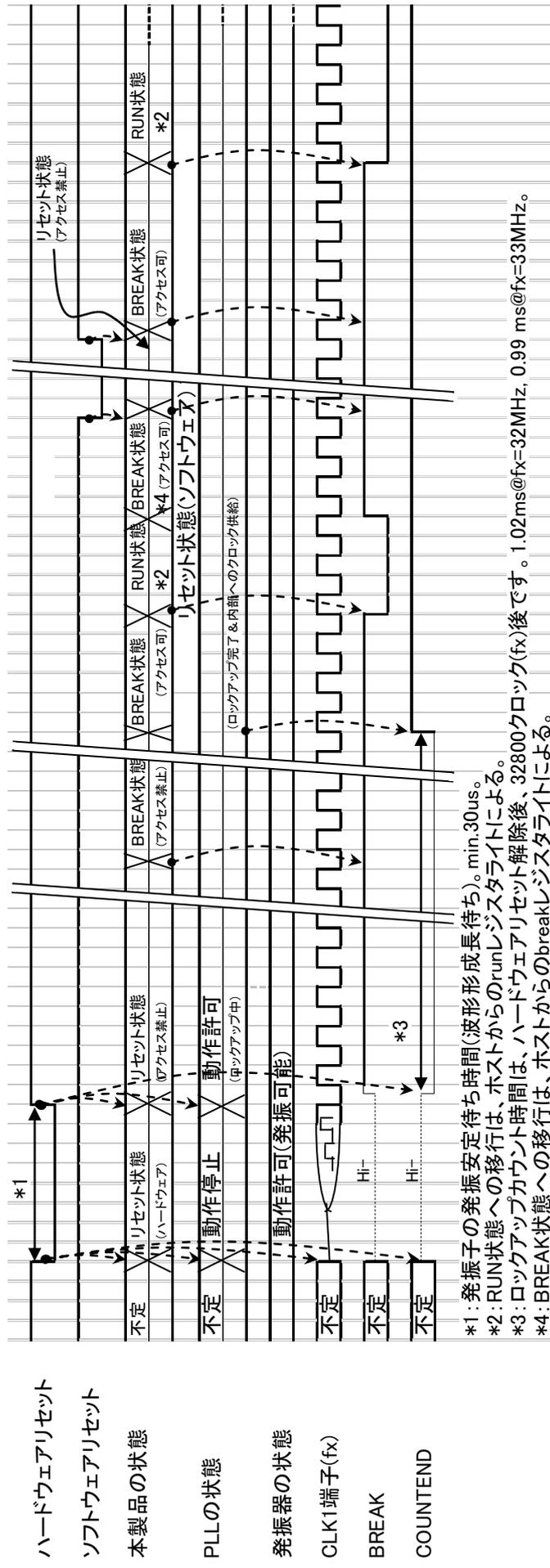


図 3-2 動作タイミング図

第4章. リセット機能

4.1 特徴

本製品には、ハードウェアリセットとソフトウェアリセットの2種類のリセットがあります。ハードウェアリセットは、端子(RESET_B)によりリセットを発生させ、ソフトウェアリセットは、ホストからのリセットレジスタ(reset)ライトにより発生させます。

また、これとは別にバウンダリ・スキャン用の JTAGI/F を搭載しています。JTAGI/F にもリセット端子(TRST_B)がありますが、このリセット端子は、ハードウェアリセット、ソフトウェアリセットの動作に関わらず、JTAGI/F で使用する TAP コントローラへのリセット発生、リセット解除が可能です。バウンダリ・スキャンの詳細な説明は、「バウンダリ・スキャン機能」の章を参照してください。

○リセット

2通りの方法でリセット発生が可能

- ・ハードウェアリセット(RESET_B 端子)
- ・ソフトウェアリセット(reset レジスタ)

○ハードウェアリセット

- ・内部回路の初期化
- ・PLL の初期化
- ・電源投入時の不定出力回避用端子制御

○ソフトウェアリセット

- ・内部回路の初期化

4.2 端子/レジスタ

以下に、リセットで使用する端子とレジスタの一覧を示します。

表 4-1 使用端子一覧

端子	入出力	アクティブレベル	端子説明
RESET_B	I	L	ハードウェアリセット入力

表 4-2 使用レジスタ一覧

レジスタ名	略号	レジスタ説明
リセットレジスタ	reset	ソフトウェアリセット入力

4.3 動作説明

ハードウェアリセットは、内部回路の初期化、PLL の初期化、端子の不定出力回避制御を行います。端子の不定出力回避制御は、端子を Hi-z 状態にして、電源投入時など、供給電圧が安定するまでの間、本製品が、意図しない出力動作を行わないようにします。ハードウェアリセットを解除すると、端子の不定出力回避制御が動作を停止し、出力端子は出力状態となり、入力端子、入出力端子は、Hi-z 状態になります。また、PLL は動作を開始して内部回路へクロックを供給します。

ソフトウェアリセットは、内部回路の初期化のみを行い、不定出力回避制御、PLL 初期化は、行いません。その為、リセット後、直ちに本製品は、RUN 状態へ移行可能です。

リセット解除後のクロックに関する詳細説明(PLL 動作など)については、「クロック機能」の章を、ハードウェアリセット中の端子状態については、「端子機能」の章を参照してください。

注意：ハードウェアリセットは、本製品搭載 PLL の初期化、電源投入時の不定出力回避制御(端子の Hi-z 制御)を行いますので、電源投入後、最初のリセットは、ハードウェアリセットを使用してください。このとき、ハードウェアリセット、JTAG/I/F リセット共に“Low”状態にして、電源を投入してください。ハードウェアリセットにより起動した後は、ハードウェアリセット、ソフトウェアリセットの任意の入力が可能です。

不定出力回避制御(Hi-z 制御)は、全ての端子が対象ではありません。対象端子については、「端子機能」の章を参照してください。

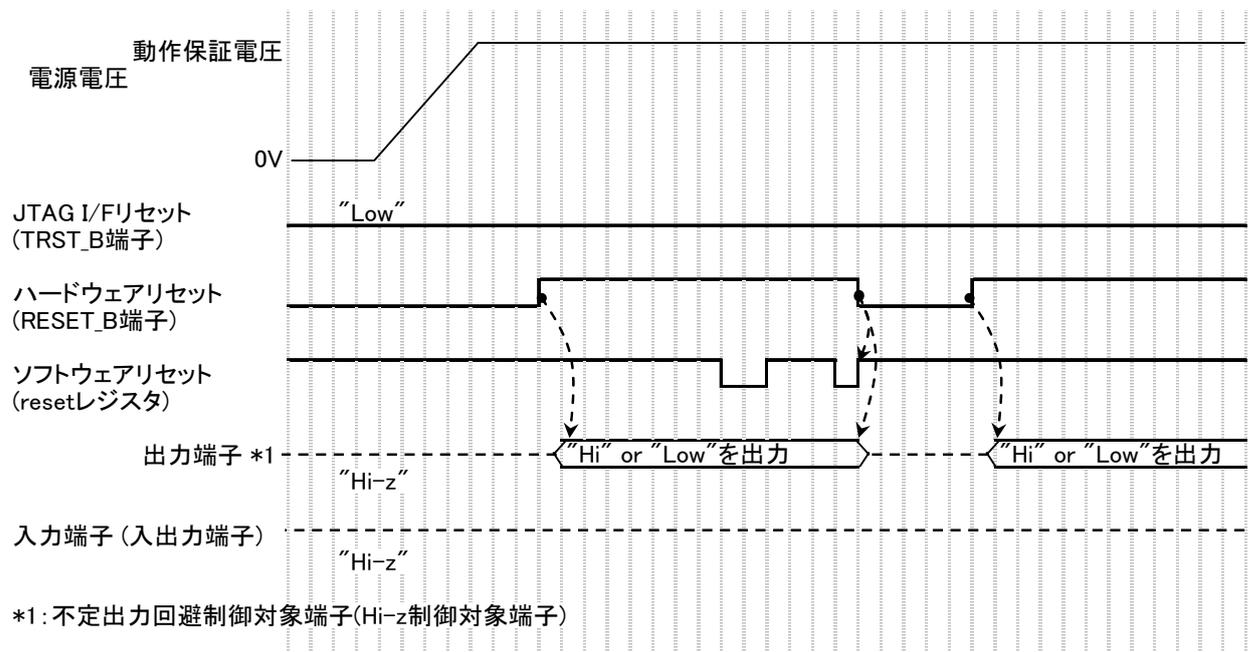


図 4-1 ハードウェア/ソフトウェアリセット入力時の端子状態

以下に、ハードウェア/ソフトウェアリセット入力による初期化範囲を示します。

表 4-3 ハードウェア/ソフトウェアリセットの初期化範囲

機能	ハードウェアリセット	ソフトウェアリセット
XC コア	○	←
プログラムキャッシュ(RAM)	× (不定)	←
プログラムキャッシュ(TAG レジスタ)	○	←
データキャッシュ(RAM)	× (不定)	←
データキャッシュ(TAG レジスタ)	○	←
IMEM	× (不定)	←
ビデオキャプチャ I/F 内蔵 RAM	× (不定)	←
共有メモリ (RAM)	× (不定)	←
周辺機能レジスタ	○	←
発振器	× (常に発振可能)	←
PLL	○	× (動作継続)
端子	○ (不定出力回避制御あり)	○ (不定出力回避制御なし)
JTAG I/F (バウンダリ・スキャン)	× (JTAG I/F の TRST_B で制御)	←
EMEM (外部メモリ領域)	× (不定)	←

○ : 初期化する
 × : 初期化しない

補足 : 本製品には、動作を停止している BREAK 状態があります。この状態では、初期化は、一切行いません。

第5章. メモリマップ

5.1 特徴

IMAPCAR2-200/100/50 は、最大 256M バイト空間の EMEM (外部メモリ領域) をアクセス可能です。この 256M バイト空間内に、プログラム、辞書データ、画像データを配置します。

また、ホスト I/F 見えのアクセス空間は、256M バイト空間と IMAPCAR2 内部リソース(1MB 空間)を含んだ空間になります。

5.2 端子/レジスタ

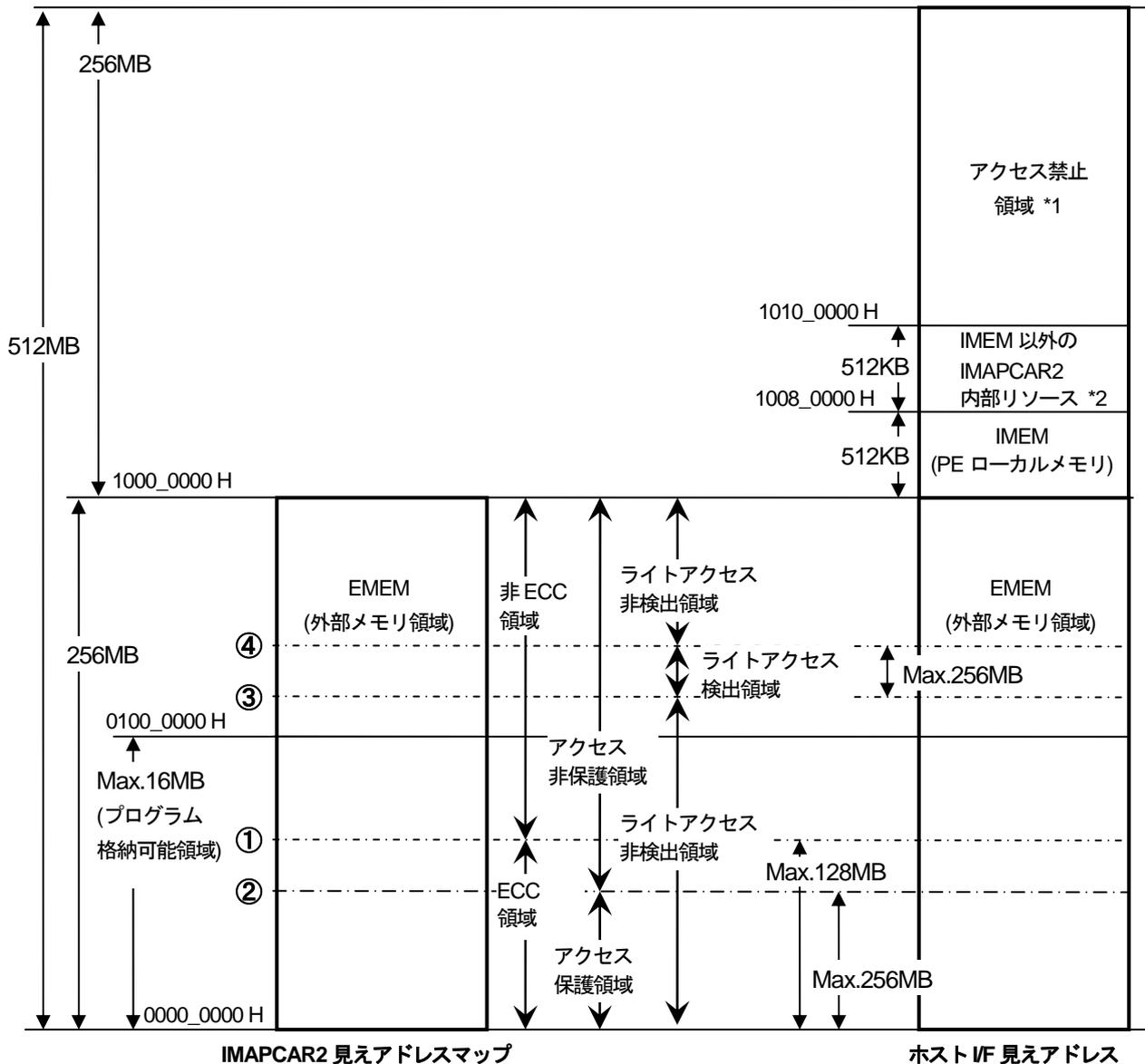
以下に、メモリマップに関係するレジスタの一覧を示します。機能の詳細は、各機能の章、または関連文書を参照してください。

表 5-1 使用レジスタ一覧

略号	関連機能	レジスタ説明
eccarea	外部メモリ I/F	ECC 領域を指定する 29bit レジスタ。512 バイト毎に設定が可能(ECC 領域の開始アドレスは、"0")。 例 : eccarea=0000_0200H を設定すると、 ECC 領域 : 0000_0000H ~ 0000_01FF。
eprotectarea	外部メモリ I/F	外部メモリに対するアクセス保護領域(ライトアクセス禁止領域)を指定する 29bit レジスタ。512 バイト毎に設定が可能(アクセス保護領域の開始アドレスは、"0") 例 : eprotectarea=0000_0200H を設定すると、 アクセス保護領域 : 0000_0000H ~ 0000_01FF。
ewdetectarea0	外部メモリ I/F	外部メモリに対するライトアクセス検出領域を指定する 29bit レジスタ。512 バイト毎に設定が可能。ewdetectarea1 と対で使用します。設定値は、必ず、ewdetectarea0 ≤ ewdetectarea1 の関係にしてください。ライトアクセス検出領域は、ewdetectarea0 ~ ewdetectarea1-1 です。 例 : ewdetectarea0=0000_0000H、ewdetectarea1=0000_0400H を設定すると、 アクセス保護領域 : 0000_0000H ~ 0000_03FF。
ewdetectarea1	外部メモリ I/F	ewdetectarea0 を参照してください。
iwdetectaera	ホスト I/F	「Host I/F 機能」の章を参照してください。

5.3 メモリマップ

以下に IMAPCAR2 見え、ホスト I/F 見えのアドレスマップを示します。

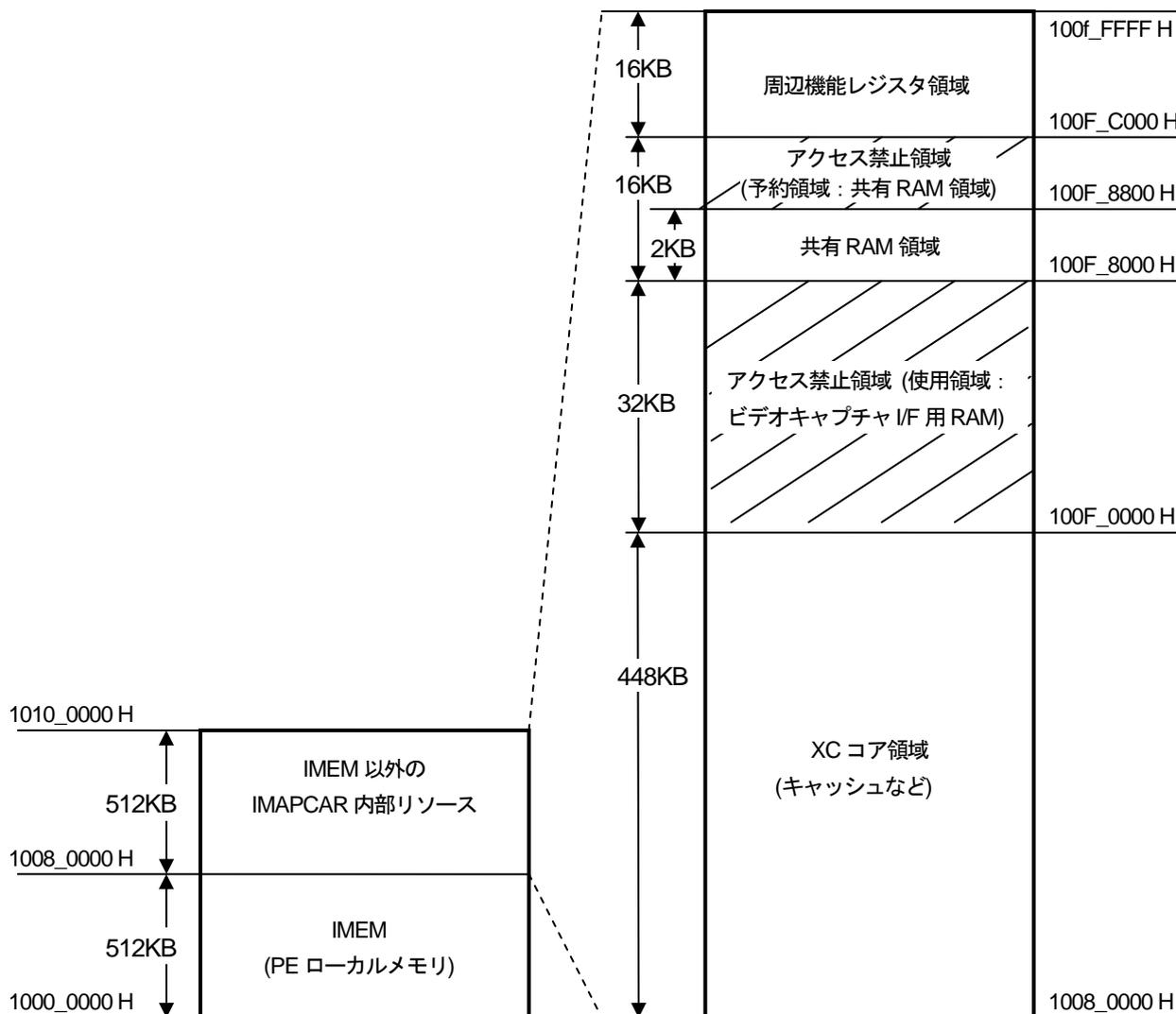


領域設定レジスタ

- ①eccarea レジスタで設定
- ②eproctectarea レジスタで設定
- ③ewdetectarea0 レジスタで設定
- ④ewdetectarea1 レジスタで設定

*1: アクセスした場合、アクセスエラーとなります。
 詳細は、「エラー通知機能」の章を参照してください。
 *2: メモリマップ [論理アドレス](2/4)を参照してください。

図 5-1 メモリマップ [論理アドレス](1/4)

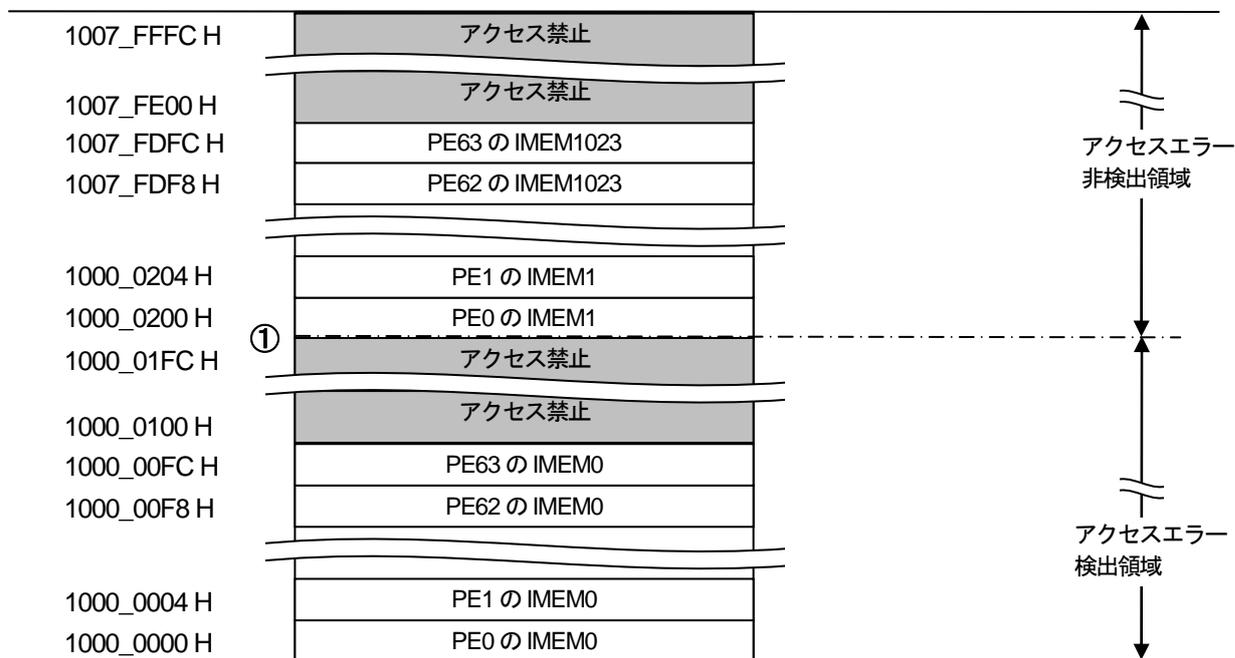


ホスト I/F 見えアドレスマップ

図 5-2 メモリマップ [論理アドレス] (2/4)



IMAPCAR2 見え IMEM アドレスマップ (IMAPCAR2 - 200/100)

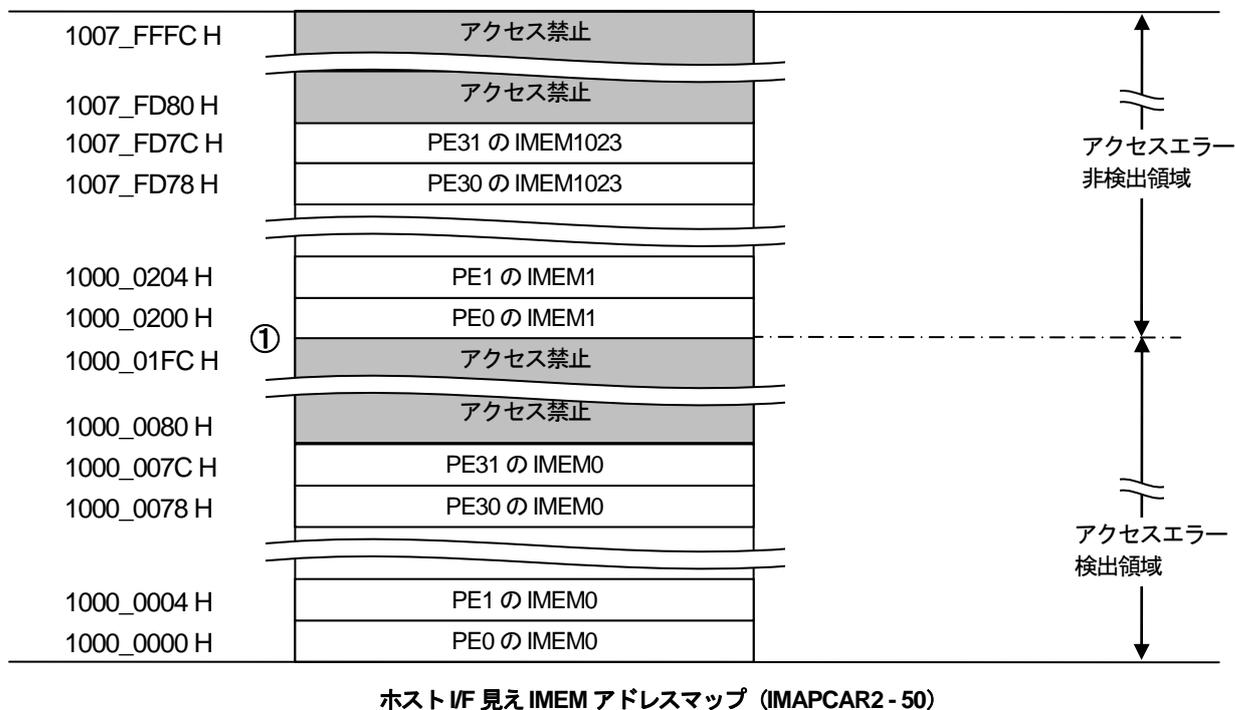


ホスト I/F 見え IMEM アドレスマップ (IMAPCAR2 - 200/100)

領域設定レジスタ

① iwdetectarea レジスタで設定

図 5-3 メモリマップ [論理アドレス] (3/4)



領域設定レジスタ

① iwdetectarea レジスタで設定

図 5-4 メモリマップ [論理アドレス] (4/4)

XC コア(ライン転送、ROI 転送)、ビデオキャプチャ I/F 関連の転送に関する注意事項

- ①ECC 領域、非 ECC 領域を跨いだアクセスを行わないでください。アクセス時は、アプリケーションプログラム上で、アドレスを考慮してください。跨いだアクセスを行った場合、データの保証は行いません。ただし、エラー通知機能により、跨いだアクセスを行った場合、エラー信号を発生することが可能です。詳細は、「エラー通知機能」の章を参照してください。
- ②アクセス保護領域に対して、ライトアクセスした場合、ライトアクセスを無視し(そのライトサイクル自体を破棄します)、以前のデータを保護します。アクセス保護領域に対して、ライトアクセスした場合、エラー通知機能により、エラー信号を発生することが可能です。詳細は、「エラー通知機能」の章を参照してください。
- ③アクセスエラー検出領域に対して、ライトアクセスした場合、ライトアクセスは要求通りに実行します。アクセスエラー検出領域に対して、ライトアクセスした場合、エラー通知機能により、エラー信号を発生することが可能です。詳細は、「エラー通知機能」の章を参照してください。

第6章. ポート機能

6.1 特徴

本製品は、汎用 I/O ポートを内蔵します。この機能を使用する事により、外部信号のモニタリングや外部へのステータス出力など、汎用性の高いソフト処理が実現できます。また、ポートとしての機能のほかにコントロール・モードとして、割り込み入力、デバッグ I/F の入出力端子、Flash ダウンロード CSI の入出力端子としての機能を持ちます。

- 11bit の I/O ポートを搭載
- 1bit 毎に入力/出力設定が可能
- 割り込み入力、デバッグ I/F の入出力端子、Flash ダウンロード CSI の入出力端子と兼用

1 表 6-1 ポート・タイプ対応表

ポート端子名	コントロール・モード時の機能	ポート・タイプ ^注
PORT00	割り込み入力 0	④
PORT01	デバッグ I/F チップ選択	⑤
PORT02	デバッグ I/F クロック入力	⑤
PORT03	デバッグ I/F データ入力	⑤
PORT04	デバッグ I/F データ出力	⑥
PORT05	Flash ダウンロード CSI シリアルクロック出力	②
PORT06	Flash ダウンロード CSI シリアルデータ入力	③
PORT07	Flash ダウンロード CSI シリアルデータ出力	②
PORT08	—	①
PORT09	—	①
PORT10	—	①

注：ポート・タイプのブロック図は次ページ以降に説明します。

6.2 ブロック図

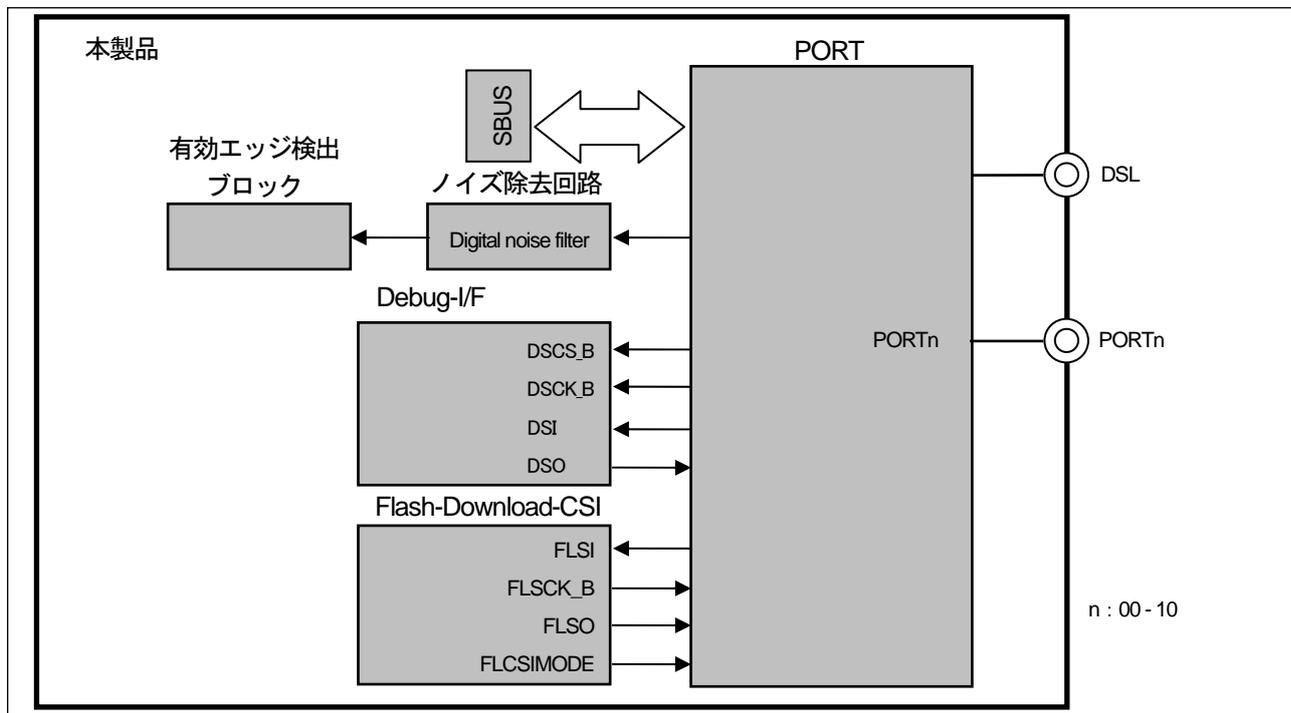


図 6-1 ポート概略図

ポート・タイプ①

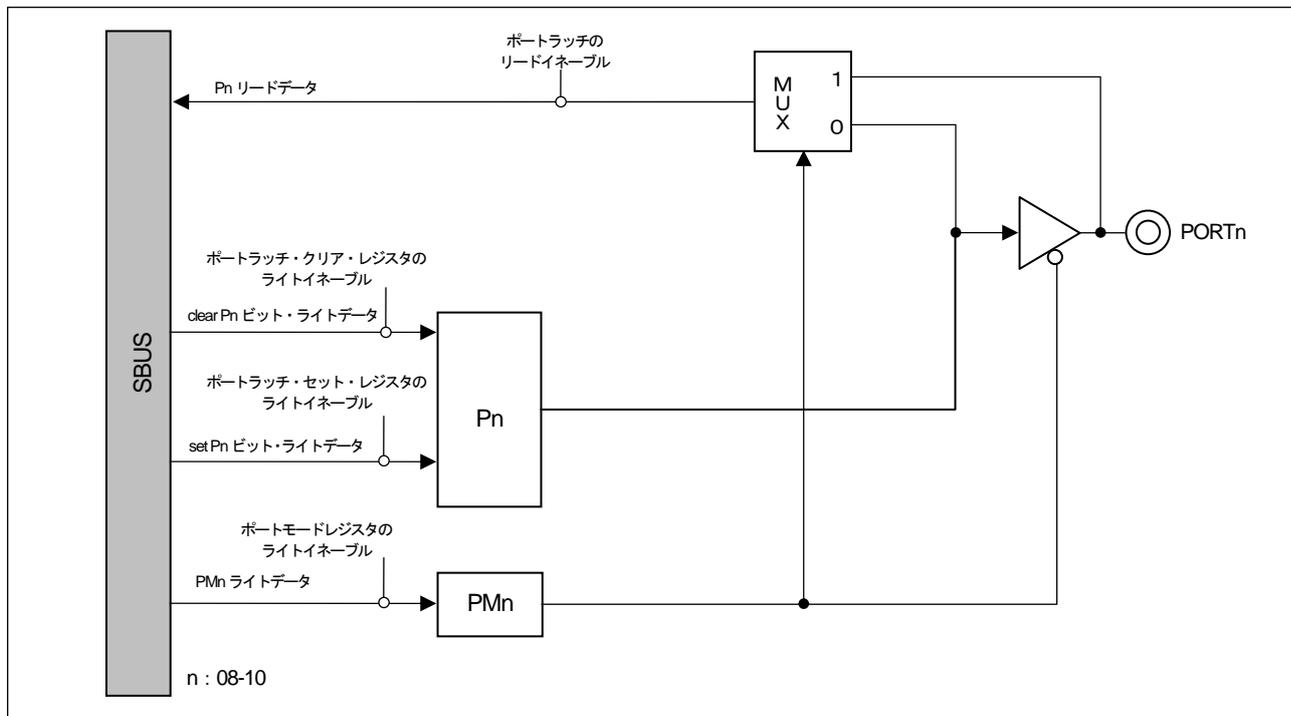


図 6-2 ポート・タイプ①のブロック図

ポート・タイプ②

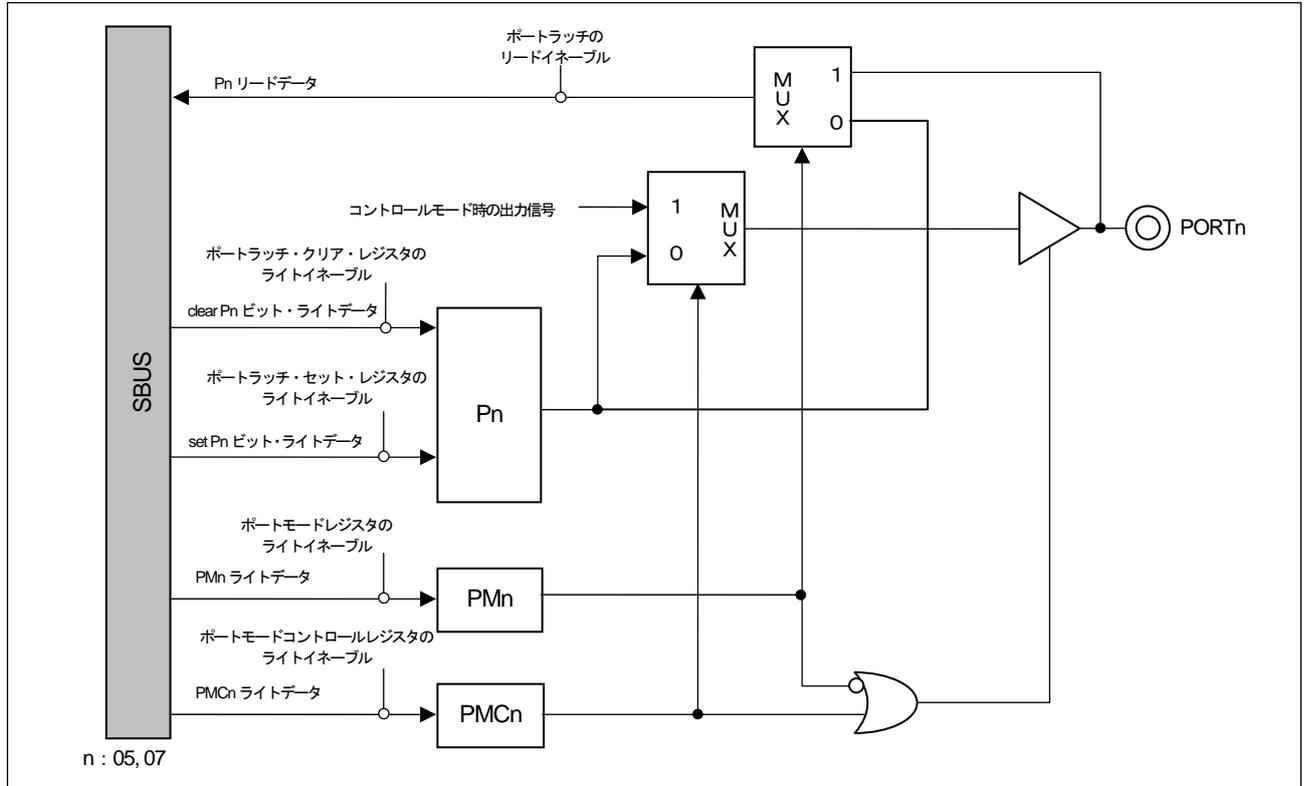


図 6-3 ポート・タイプ②のブロック図

ポート・タイプ③

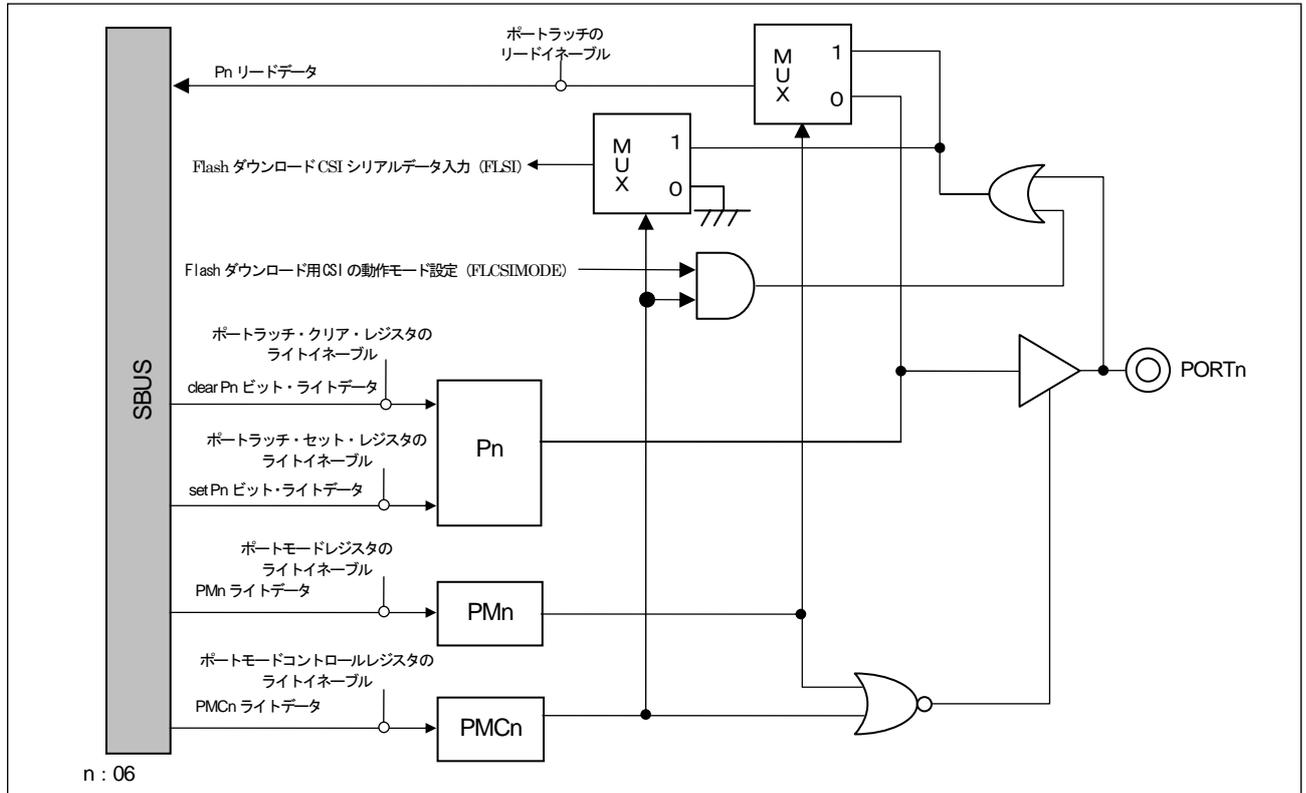


図 6-4 ポート・タイプ③のブロック図

ポート・タイプ④

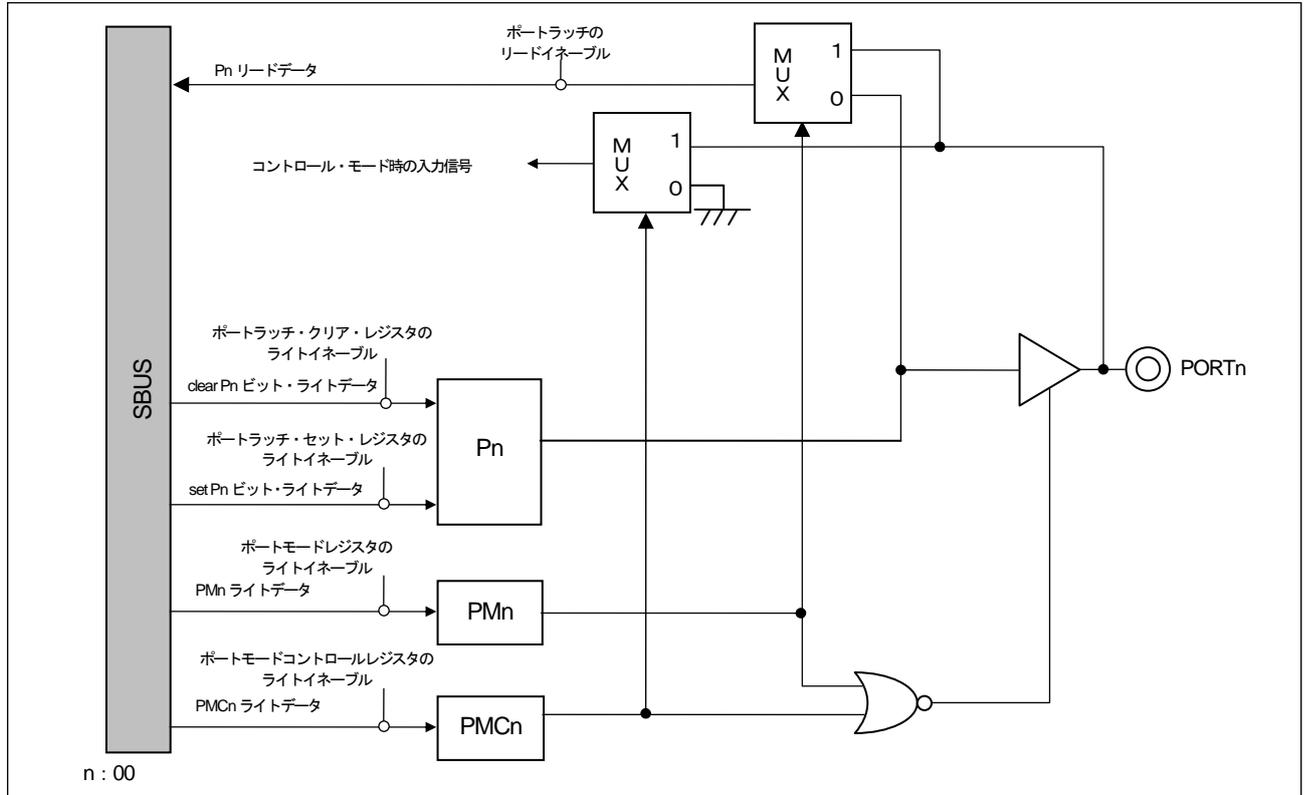


図 6-5 ポート・タイプ④のブロック図

ポート・タイプ⑤

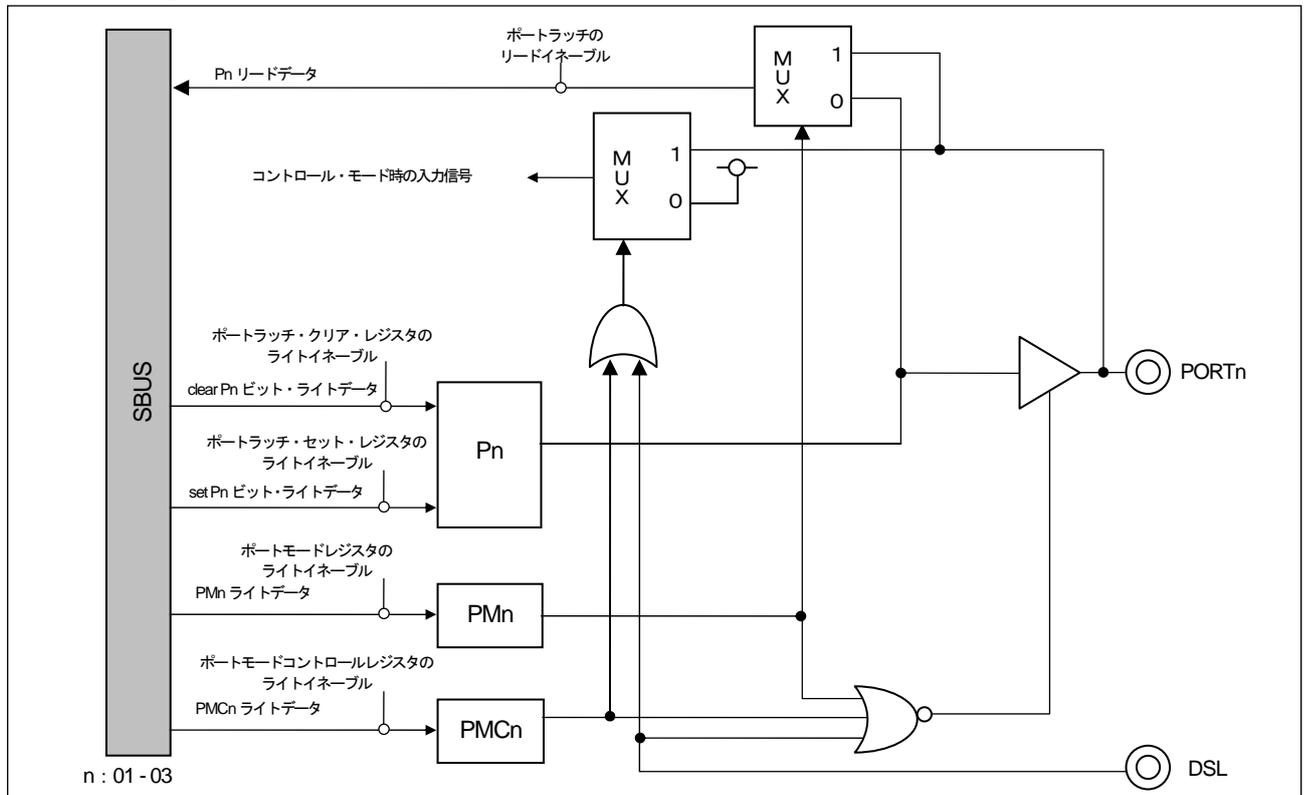


図 6-6 ポート・タイプ⑤のブロック図

ポート・タイプ⑥

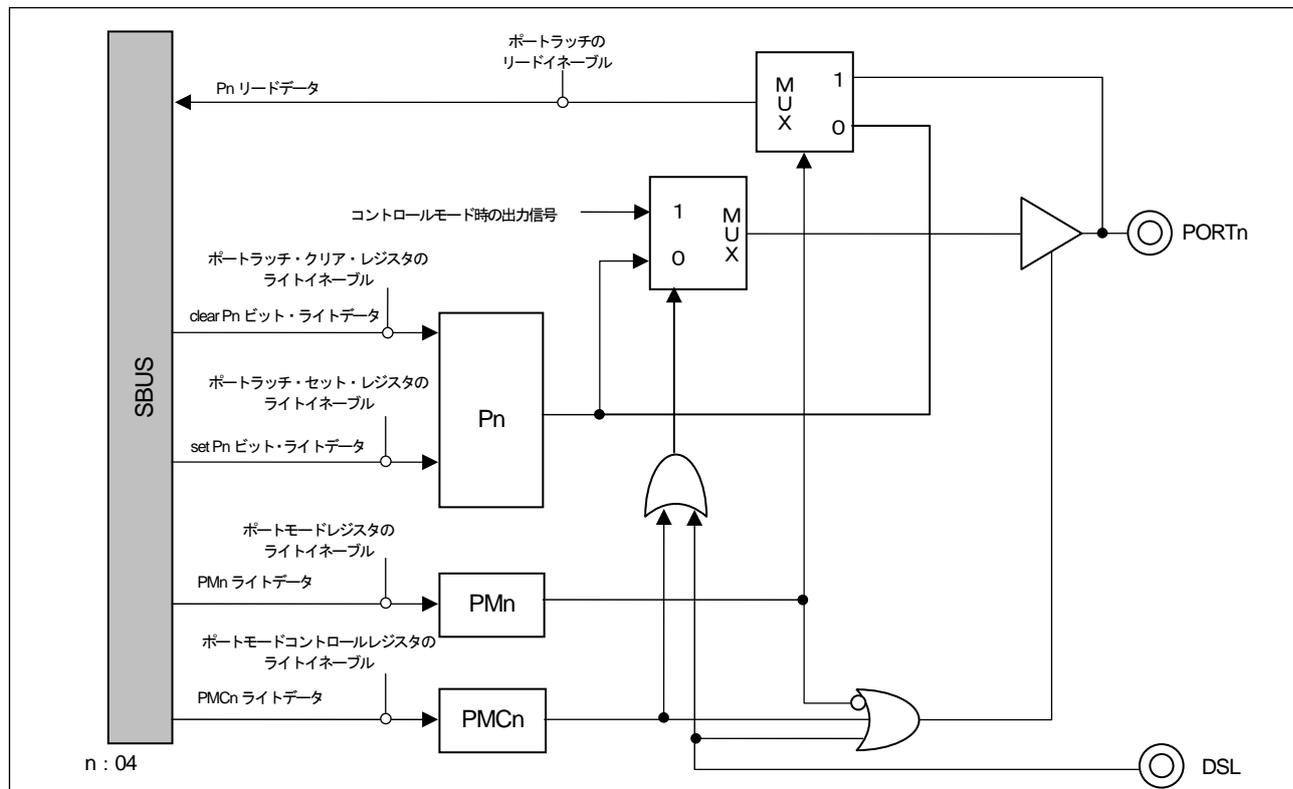


図 6-7 ポート・タイプ⑥のブロック図

6.3 端子/レジスタ

6.3.1 使用端子とレジスタの一覧

表 6-2 使用端子一覧

端子	兼用端子	入出力	端子説明
PORT00 - PORT10	—	I/O	ポート入出力 0

表 6-3 使用レジスタ一覧

レジスタ名	略号	レジスタ説明
ポートラッチ	port0	ポートラッチ 0 の状態確認
ポートラッチ・クリア・レジスタ	portc0	ポートラッチ 0 のクリア制御
ポートラッチ・セット・レジスタ	ports0	ポートラッチ 0 のセット制御
ポートモードレジスタ	pm0	ポート入出力設定 0
ポートモードコントロールレジスタ	pmc0	ポートコントロールモード設定 0

6.3.2 レジスタの説明

6.3.2.1 ポートラッチ (port0)

本レジスタをリードすることにより、ポートの出力レベル及び入力レベルの確認ができます。

名称 : ポートラッチ
 略号 : port0
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リードオンリー
 ホストからのアクセス : 可
 コアからのアクセス : 可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	P10	P09	P08	P07	P06	P05	P04	P03	P02	P01	P00

ビット名	説明		
Pn	PORTn には、Pn ビットが対応します。		
	PMn の値	Pn の値	説明
	1 (入力モード)	0	PORTn 端子に Low レベルが入力されています。
		1	PORTn 端子に Hi レベルが入力されています。
	0 (出力モード)	0	PORTn 端子に Low レベルが出力されています。
1		PORTn 端子に Hi レベルが出力されています。	

n = 00 - 10

ポートラッチへのリード動作について

PMn の値	説明
1	端子レベルをリードします。
0	ポートラッチのデータをリードします。

n = 00 - 10

6.3.2.2 ポートラッチ・クリア・レジスタ (portc0)

ポートラッチの Pn ビットをクリアします。

名称 : ポートラッチ・クリア・レジスタ
 略号 : portc0
 初期値 : 0000_0000H (固定値)
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

(リード時)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

(ライト時)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	clear P10	clear P09	clear P08	clear P07	clear P06	clear P05	clear P04	clear P03	clear P02	clear P01	clear P00

ビット名	説明	
clear Pn	ポートラッチの Pn ビットのクリア制御	
	0	ポートラッチの Pn ビットは変化しません。
	1	ポートラッチの Pn ビットをクリア (Low レベル) します。

n=00-10

6.3.2.3 ポートラッチ・セット・レジスタ (ports0)

ポートラッチの Pn ビットをセットします。

名称 : ポートラッチ・セット・レジスタ
 略号 : ports0
 初期値 : 0000_0000H (固定値)
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

(リード時)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

(ライト時)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	set P10	set P09	set P08	set P07	set P06	set P05	set P04	set P03	set P02	set P01	set P00

ビット名	説明	
set Pn	ポートラッチの Pn ビットのセット制御	
	0	ポートラッチの Pn ビットは変化しません。
	1	ポートラッチの Pn ビットをセット (Hi レベル) します。

n=00 - 10

6.3.2.4 ポートモードレジスタ (pm0)

ポートの入力/出力の設定をポートモードレジスタ(pm0)で行います。

名称 : ポートモードレジスタ
 略号 : pm0
 初期値 : 0000_07FFH
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	PM10	PM09	PM08	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00

ビット名	説明
PMn	ポートの入力/出力の設定を行います。 PORTn には、PMn ビットが対応します。
	0 出力モードに設定します(出力バッファ ON)
	1 入力モードに設定します(出力バッファ OFF)

n = 00 - 10

6.3.2.5 ポートモードコントロールレジスタ (pmc0)

ポート入出力モードとコントロールモードの設定をポートモードコントロールレジスタ(pmc0)で行います。

名称 : ポートモードコントロールレジスタ
 略号 : pmc0
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	PMC07	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00

ビット名	説明	
PMC00	ポート (PORT00) の動作モード設定を行います。	
	0	ポート入出力モードに設定します
	1	割り込み入力モードに設定します
PMC01	ポート (PORT01) の動作モード設定を行います。	
	0	ポート入出力モードに設定します
	1	デバッグ I/F チップセレクト入力モードに設定します
PMC02	ポート (PORT02) の動作モード設定を行います。	
	0	ポート入出力モードに設定します
	1	デバッグ I/F クロック入力モードに設定します
PMC03	ポート (PORT03) の動作モード設定を行います。	
	0	ポート入出力モードに設定します
	1	デバッグ I/F データ入力モードに設定します
PMC04	ポート (PORT04) の動作モード設定を行います。	
	0	ポート入出力モードに設定します
	1	デバッグ I/F データ出力モードに設定します
PMC05	ポート (PORT05) の動作モード設定を行います。	
	0	ポート入出力モードに設定します
	1	Flash ダウンロード CSI シリアルクロック出力モードに設定します
PMC06	ポート (PORT06) の動作モード設定を行います。	
	0	ポート入出力モードに設定します
	1	Flash ダウンロード CSI シリアルデータ入力モードに設定します
PMC07	ポート (PORT07) の動作モード設定を行います。	
	0	ポート入出力モードに設定します
	1	Flash ダウンロード CSI シリアルデータ出力モードに設定します

6.4 動作説明

ポータラッチ、ポータラッチ・クリア・レジスタ、ポータラッチ・セット・レジスタ、ポートモードレジスタを操作することにより、任意にポートの入出力制御が可能です。また、ポートモードコントロールレジスタを操作することにより、割り込み入力、デバッグ I/F の入出力端子、Flash ダウンロード CSI の入出力端子として使用することが可能です。

第7章. 割り込み機能

7.1 特徴

本製品は、割り込み処理専用のコントローラを内蔵しており、ホスト割り込み 1 要因、汎用割り込み 1 要因、インターバル割り込み 2 要因、ビデオ割り込み 5 要因、Flash ダウンロード割り込み 1 要因の合計 10 要因の割り込み要求を処理することができます。

○ホスト割り込み : 1 要因

- 割り込み要因 : ホストからの割り込み要求フラグのセット

○汎用割り込み : 1 要因

- 汎用割り込み入力端子 : 1 本(INTP0)
- 有効エッジ選択可能(立ち上がり/立ち下がり/両エッジ/エッジ検出ししない)

○インターバル割り込み : 2 要因

○ビデオ割り込み : 5 要因

- フレーム取り込み完了 & 外部メモリへのデータ転送完了 (4 要因)
- フレーム出力完了 (1 要因)

○Flash ダウンロード割り込み : 1 要因

- 割り込み要因 : Flash ダウンロードデータの転送完了

割り込み要因を以下に示します。優先順位は、各割り込み別に固定されています。また、多重割り込み処理機能はありません。

表 7-1 割り込み要因一覧

優先順位	名称	発生要因	発生ユニット	割り込みベクタレジスタ	主な用途
1	INT0	ホストからの割り込み要求フラグのセット	ホスト インターフェース	iv0	ホスト
2	INT1	汎用割り込み	外部端子 (ポート)	iv1	汎用
3	INT2	インターバル割り込み0	インターバルタイマ	iv2	タイマ
4	INT3	インターバル割り込み1		iv3	
5	INT4	フレーム取り込み完了 & 外部メモリへのデータ転送完了	Video Capture (画像入力 ch0)	iv4	ビデオ
6	INT5	フレーム取り込み完了 & 外部メモリへのデータ転送完了	Video Capture (画像入力 ch1)	iv5	
7	INT6	フレーム取り込み完了 & 外部メモリへのデータ転送完了	Video Capture (画像入力 ch2)	iv6	
8	INT7	フレーム取り込み完了 & 外部メモリへのデータ転送完了	Video Capture (画像入力 ch3)	iv7	
9	INT8	フレーム出力完了	Video Capture (画像出力 ch)	iv8	
10	INT9	Flash ダウンロードデータの転送完了	Flash ダウンロード用 CSI	iv9	Flash ダウンロード

7.2 ブロック図

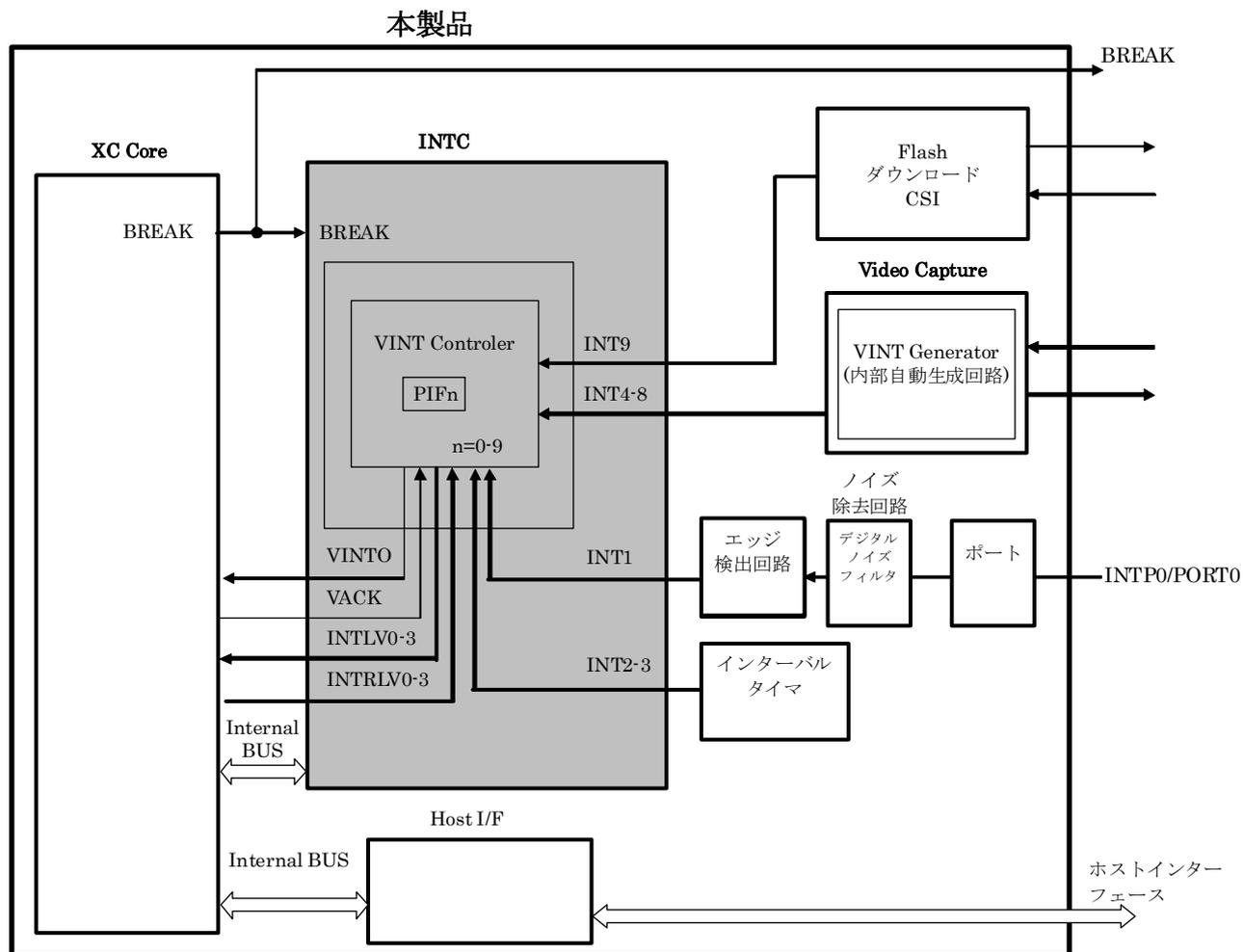


図 7-1 割り込み関連ブロック図

7.3 動作状態

動作状態毎の割り込み機能の動作を下記に示します。状態遷移図は、「動作状態」の章を参照してください。

- (1) ハードウェアリセット状態、ソフトウェアリセット状態、PLL ロックアップ待ち状態、バウンダリ・スキャン状態
割り込み機能は停止状態です。

割り込み要求フラグ (PIF0-9)	= 0 (割り込み要求なし)
割り込み要求出力 (VINTO)	= 0 (割り込み要求出力なし)
- (2) BREAK 状態
エッジ検出回路、インターバルタイマ、ビデオキャプチャ回路、Flash ダウンロード用 CSI からの割り込み要求を受け付けられない状態です。
- (3) RUN 状態、もしくは Halt 状態
エッジ検出回路、インターバルタイマ、ビデオキャプチャ回路、Flash ダウンロード用 CSI からの割り込み要求を受け付けて、動作している状態です。

7.4 レジスタ

7.4.1 レジスタの一覧

表 7-2 使用レジスタ一覧

レジスタ名	略号	レジスタ説明	備考
割り込みフラグ・レジスタ	intflg	割り込みに対する要求フラグの状態確認	—
割り込みマスク・レジスタ	intmsk	割り込みに対する要求フラグのマスク制御	—
割り込みフラグ・クリア・レジスタ	intflgc	割り込みに対する要求フラグのクリア制御	—
割り込みフラグ・セット・レジスタ	intflgs	割り込みに対する要求フラグのセット制御	—
割り込み入力有効エッジ設定レジスタ	intedge	INTP0 の有効エッジ設定	—

7.4.2 レジスタの説明

7.4.2.1 割り込みフラグ・レジスタ (intflg)

各割り込み要求を保持します。

名称 : 割り込みフラグ・レジスタ
 略号 : intflg
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リードオンリー
 ホストからのアクセス : 可
 コアからのアクセス : 可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	PIF9	PIF8	PIF7	PIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0

ビット名	説明
PIFn	INTn の割り込み要求フラグです 0: 割り込み要求なし 1: 割り込み要求あり

n=0-9

7.4.2.2 割り込みマスク・レジスタ (intmsk)

各割り込みのマスク状態を保持します。

名称 : 割り込みマスク・レジスタ
 略号 : intmsk
 初期値 : 0000_03FFH
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	PMK9	PMK8	PMK7	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0

ビット名	説明
PMKn	INTn の割り込みマスク・フラグです 0: 割り込み処理を許可 1: 割り込み処理を禁止 (保留)

n=0-9

7.4.2.3 割り込みフラグ・クリア・レジスタ (intflgc)

各割り込みの割り込み要求をクリアします。

名称 : 割り込みフラグ・クリア・レジスタ
 略号 : intflgc
 初期値 : 0000_0000H (固定値)
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

【intflgc(リード)】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【intflgc(ライト)】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	clear PIF9	clear PIF8	clear PIF7	clear PIF6	clear PIF5	clear PIF4	clear PIF3	clear PIF2	clear PIF1	clear PIF0

(ライト時)

ビット名	説明
clear PIFn	INTn の割り込み要求フラグのクリア制御 0: PIFn の変更なし 1: PIFn をクリア (0) します

n=0-9

7.4.2.4 割り込みフラグ・セット・レジスタ (intflgs)

各割り込みの割り込み要求をセットします。

名称 : 割り込みフラグ・セット・レジスタ
 略号 : intflgs
 初期値 : 0000_0000H (固定値)
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

【intflgs(リード)】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【intflgs(ライト)】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	set PIF9	set PIF8	set PIF7	set PIF6	set PIF5	set PIF4	set PIF3	set PIF2	set PIF1	set PIF0

(ライト時)

ビット名	説明
set PIFn	INTn の割り込み要求フラグのセット制御 0: PIFn の変更なし 1: PIFn をセット (1) します

n=0-9

7.4.2.5 割り込み入力有効エッジ設定レジスタ (intedge)

割り込み入力信号 (INTP0) の有効エッジを設定します。

名称 : 割り込み入力有効エッジ設定レジスタ
 略号 : intedge
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	INTP ONE	INTP OPE

ビット	ビット名	説明
0,1	INTPOPE INTPONE	割り込み入力(INTP0/外部端子)の有効エッジを設定します。

INTPONE	INTPOPE	有効エッジ設定
0	0	エッジを検出しません
0	1	立ち上がりエッジを検出します
1	0	立ち下がりエッジを検出します
1	1	両エッジを検出します

外部端子(INTP0)から入力される割り込み入力の有効エッジ(入力信号に対する有効エッジ)を設定します。各端子に対して、立ち上がりエッジ検出/立ち下がりエッジ検出/両エッジ検出/エッジ検出をしない設定が可能です。

7.5 動作説明

7.5.1 割り込み動作

割り込み要求が受け付けられると、割り込み処理ルーチンに移行し、割り込み処理を実行します。割り込み処理中に新規の割り込みが入力された場合、その割り込み要求は保持され、割り込み処理が完了した後、優先順位が一番高い割り込みを受け付けます。ただし、保留される回数は各割り込みに対して 1 回のみで、2 回目以降は無視されます。

注意：

割り込み受け付け後に、iret 命令を必ず実行する必要があります。iret 命令を実行しない場合、XC コアは、割り込み処理中と判断し、次の割り込みを受け付けません。

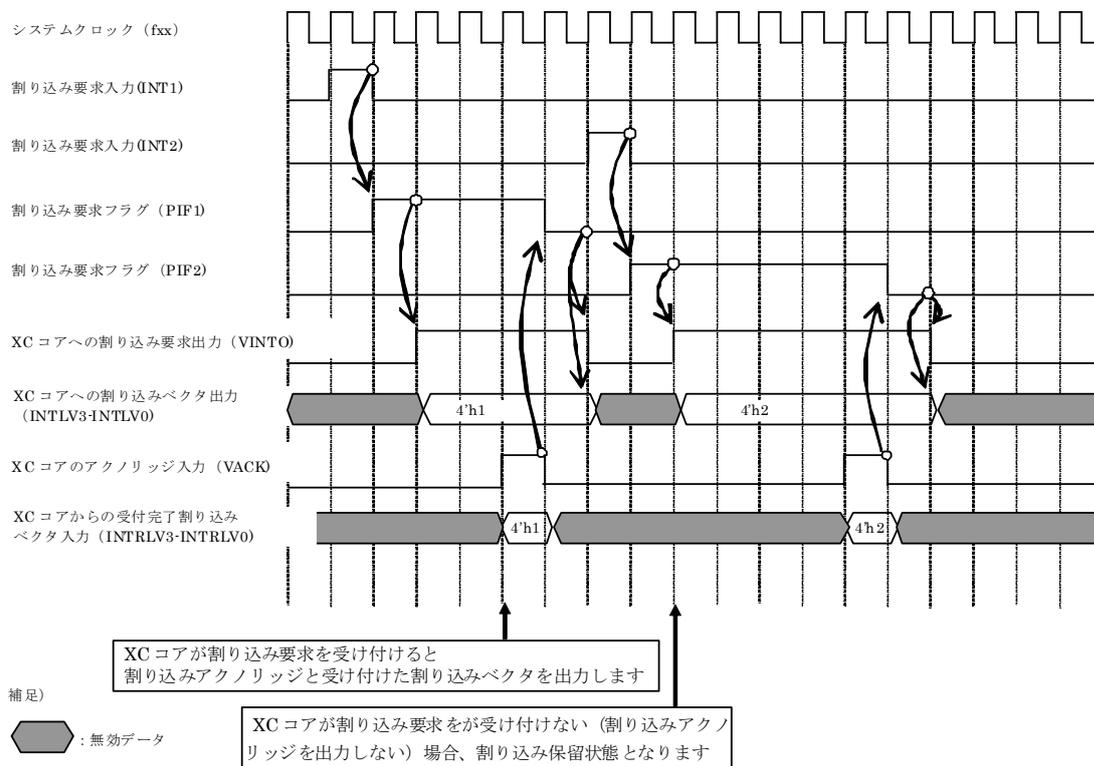


図 7-2 割り込み機能の基本動作

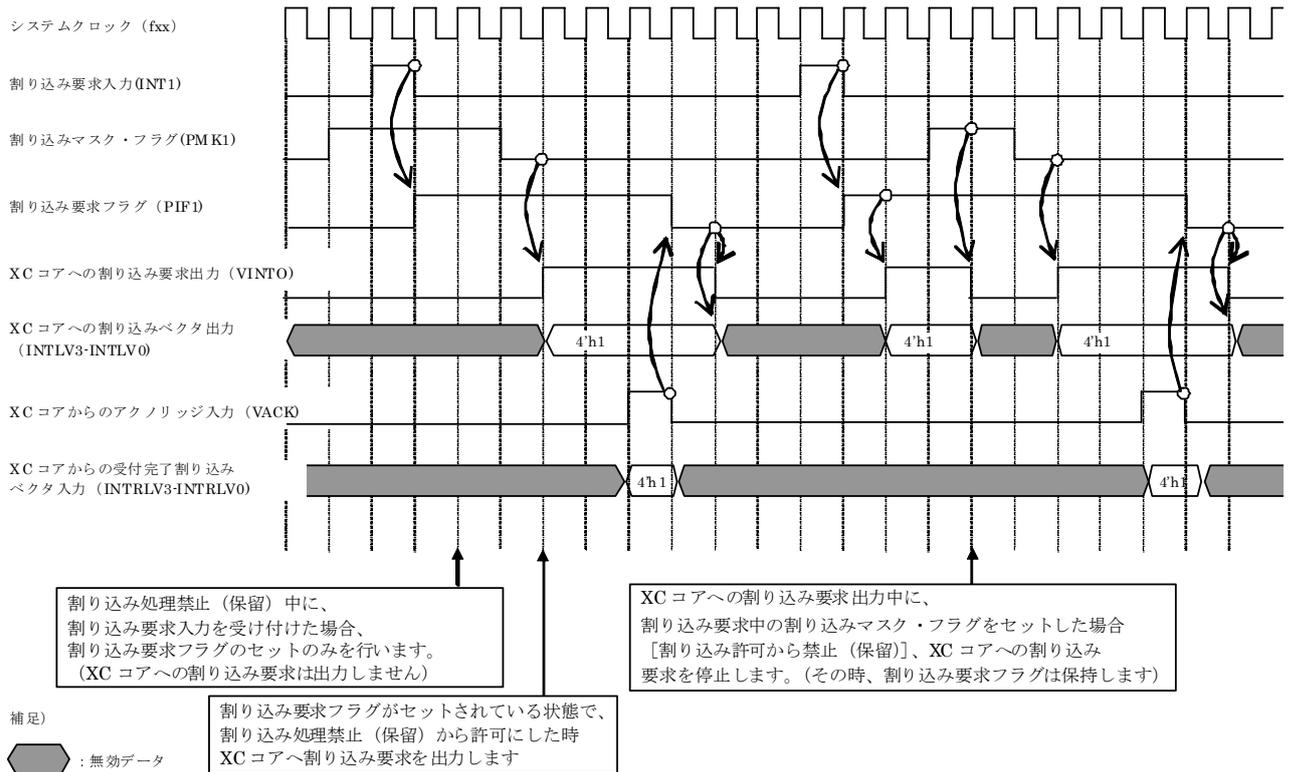


図 7-3 割り込みマスク機能の動作

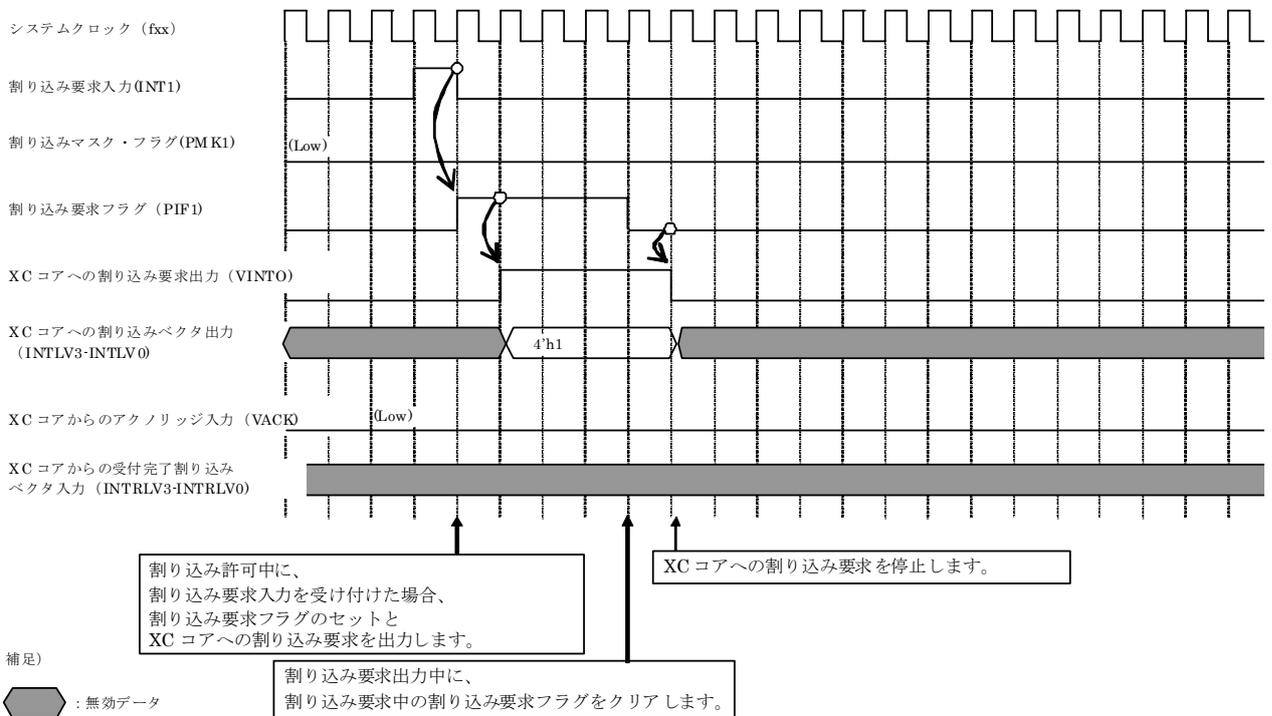


図 7-4 割り込み要求出力中の割り込み要求フラグのクリア動作

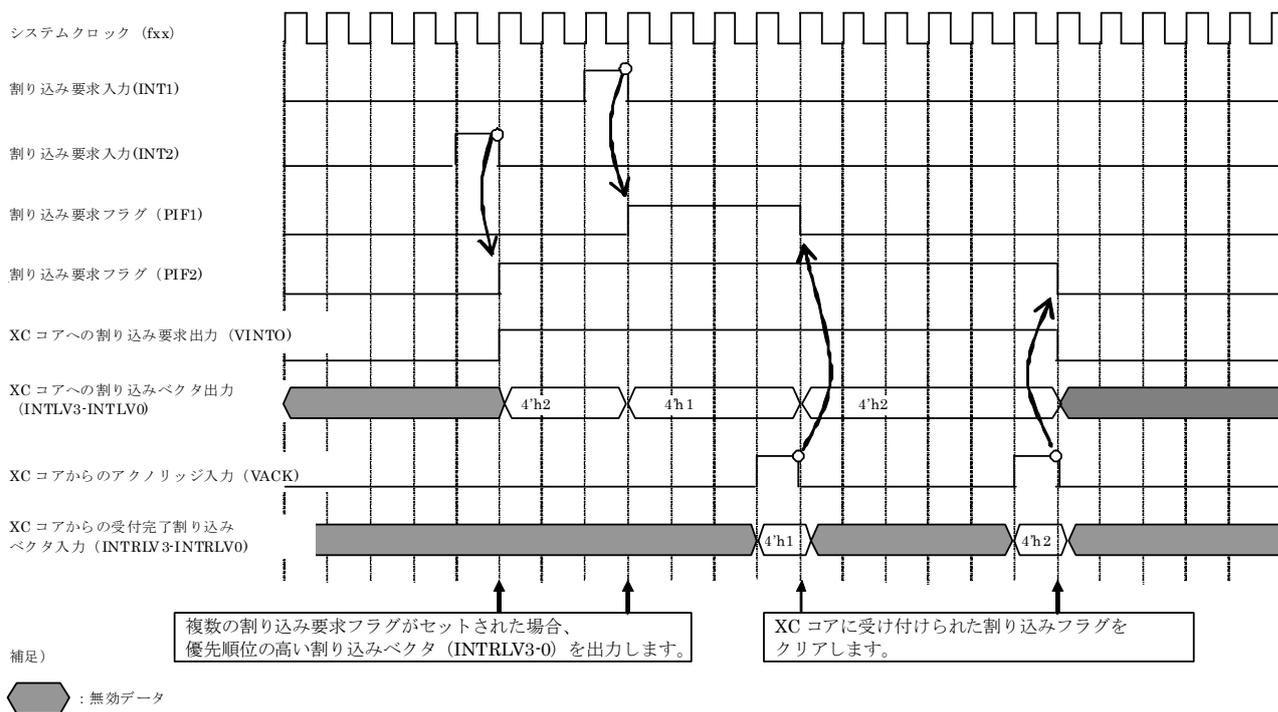


図 7-5 割り込み要求が複数発生した場合の動作

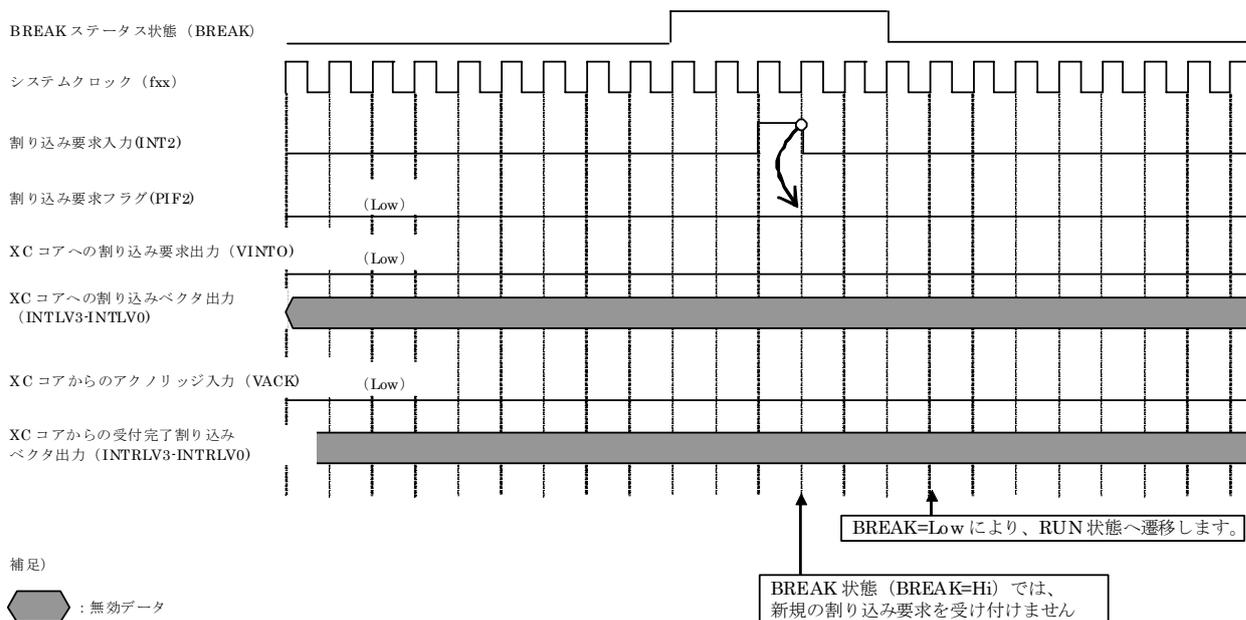


図 7-6 BREAK 時の割り込み動作

7.5.2 ホスト割り込み

ホストからの割り込み機能を用意しています。ホスト I/F を介して、割り込みフラグ・セット・レジスタ (intflgs) の 0bit (set PIF0) に “1” をライトする事により、割り込み要求が発生します。

表 7-3 ホスト割り込み入力信号

ピン	割り込み名称	説明
—	INT0	ホストからの割り込み要求

7.5.3 競合動作

割り込み要求フラグのセット条件とクリア条件が同時となった場合、クリアを優先します。

第8章. Host I/F 機能

8.1 特徴

本製品は、SV マイコンとのインターフェースとして、Serial Host I/F と Debug I/F を内蔵しています。

Serial Host I/F 及び Debug I/F は SV マイコンと専用通信プロトコル（シングルアクセス/バーストアクセス）を介して、アクセスを行います。

SV マイコンは、Serial Host I/F を介して、本製品内のレジスタ/メモリ、外部メモリへアクセスします。また、デバッグ用として Debug I/F から本製品内のレジスタ/メモリ、外部メモリへアクセスすることも可能です。

○ Serial Host I/F 及び Debug I/F の機能概略と端子内訳

【機能概略】

- 全二重通信
- 通信データ長：16 ビットのみ
- 通信方向：MSB ファーストのみ
- スレーブ・モードのみ
- シリアル通信のクロックフェーズ及びデータフェーズ固定
- 専用通信プロトコル（シングルアクセス/バーストアクセス^注）
- 転送レート：

IMAPCAR2-200 の場合	: Max.10Mbps
IMAPCAR2-100/50 の場合	: Max. 7Mbps

注：バーストアクセスは Serial Host I/F のみ、サポートします。

【端子内訳】

(Serial Host I/F)

- チップセレクト : 1 本 (HSCS_B)
- シリアルクロック入力 : 1 本 (HSCK_B)
- シリアルデータ入力 : 1 本 (HSI)
- シリアルデータ出力 : 1 本 (HSO)

(Debug I/F)

- デバッグ I/F チップセレクト : 1 本 (DSCS_B / PORT01)
- デバッグ I/F シリアルクロック入力 : 1 本 (DSCK_B / PORT02)
- デバッグ I/F シリアルデータ入力 : 1 本 (DSI / PORT03)
- デバッグ I/F シリアルデータ出力 : 1 本 (DSO / PORT04)
- デバッグ I/F 設定端子 : 1 本 (DSL)

8.2 ブロック図

8.2.1 概略ブロック図

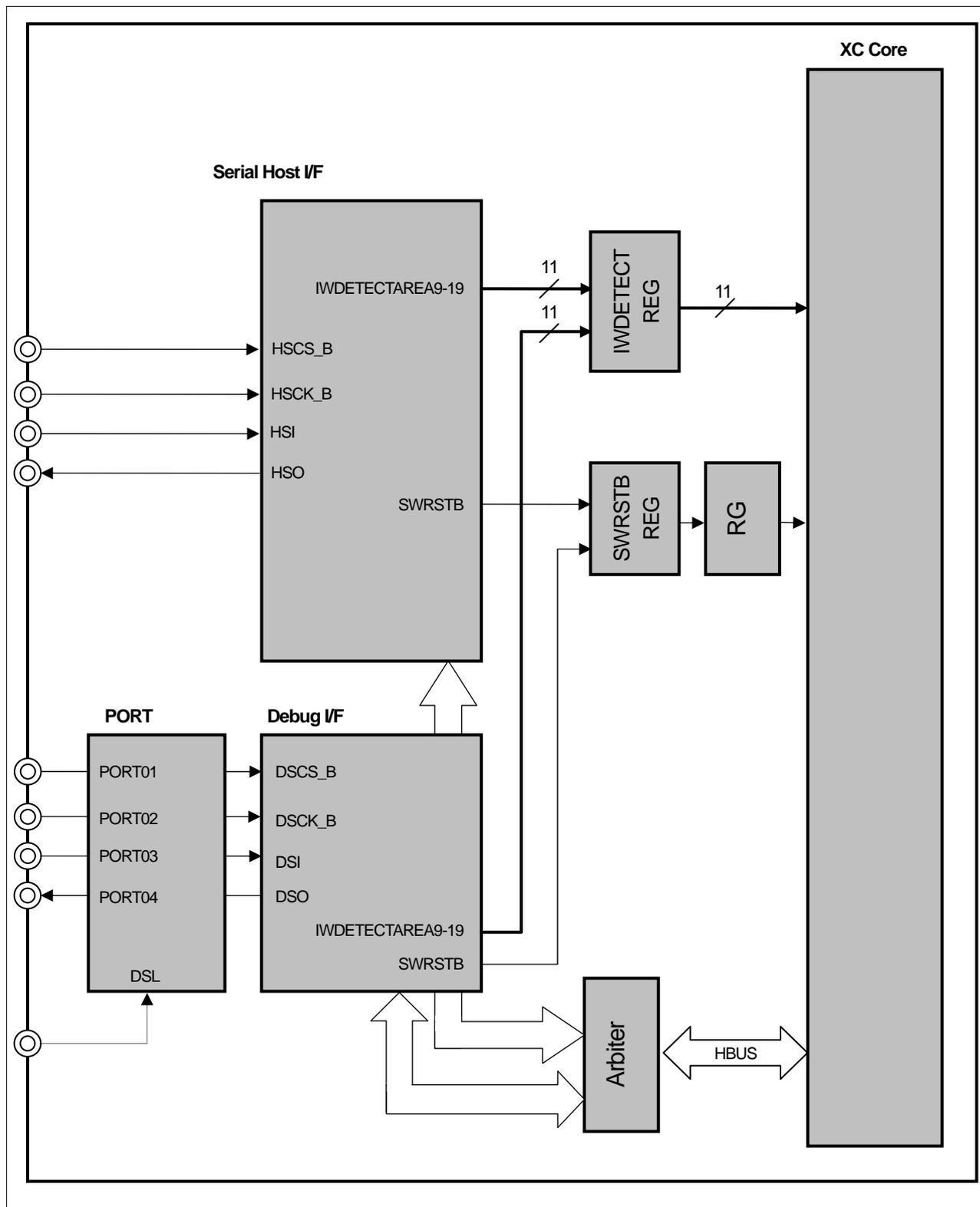


図 8-1 概略ブロック図

8.2.2 詳細ブロック図

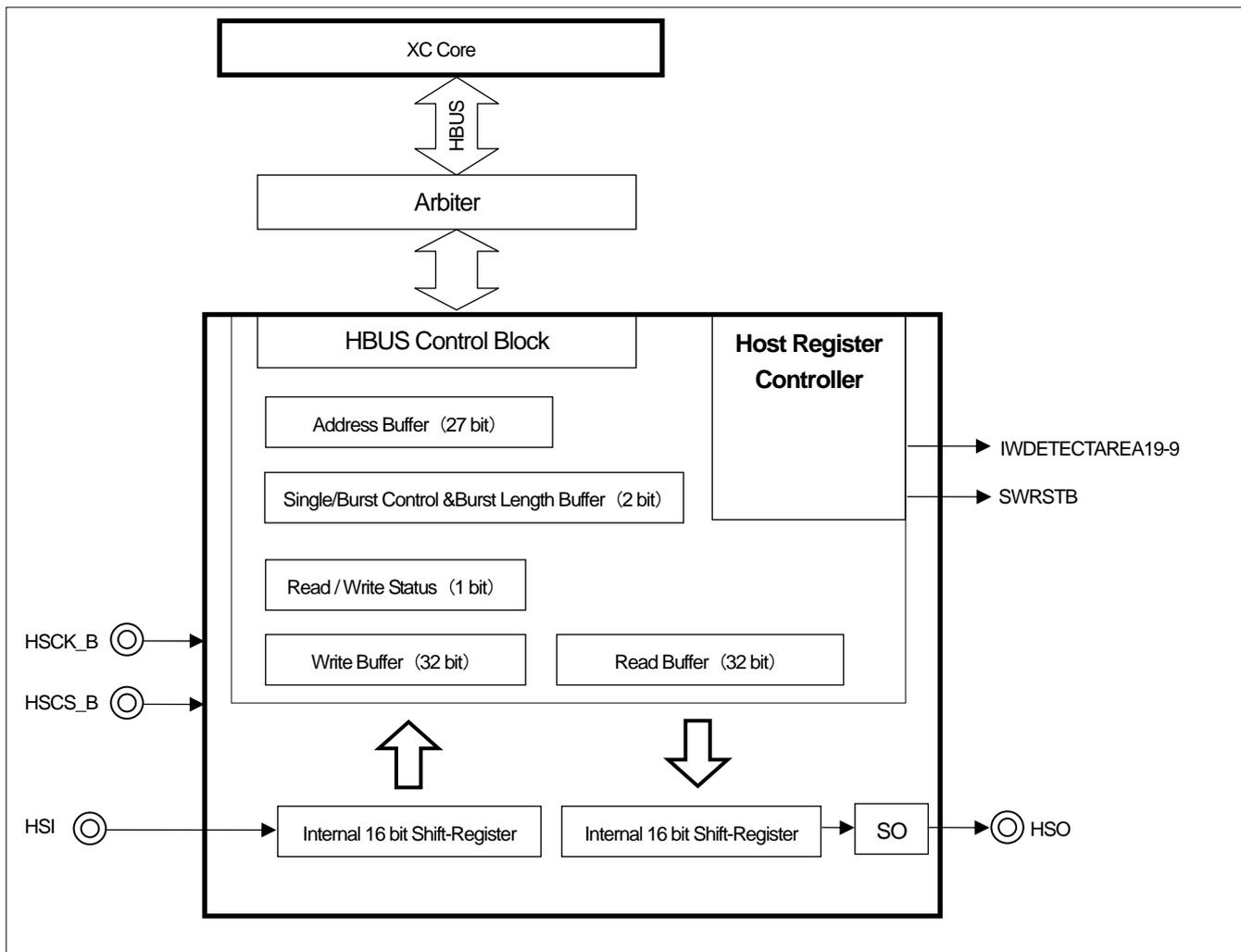


図 8-2 Serial Host I/F の詳細ブロック図

補足 : Debug I/F の詳細ブロックは、Serial Host I/F と同じ為、省略します。

8.3 端子/レジスタ

8.3.1 使用端子と使用レジスタの一覧

表 8-1 Serial Host I/F の使用端子一覧(1/1)

端子	入出力	端子説明
HSCS_B	I	チップセレクト アクティブ・ロウのチップセレクト入力です。
HSCK_B	I	シリアルクロック入力 シリアル転送用のクロック入力です。
HSI	I	シリアルデータ入力 シリアル転送用のデータ入力です。
HSO	O	シリアルデータ出力 シリアル転送用のデータ出力です。

表 8-2 Debug I/F の使用端子一覧(1/1)

端子	入出力	端子説明
DSCS_B	I	デバッグ I/F チップセレクト アクティブ・ロウのチップセレクト入力です。
DSCK_B	I	デバッグ I/F シリアルクロック入力 シリアル転送用のクロック入力です。
DSI	I	デバッグ I/F シリアルデータ入力 シリアル転送用のデータ入力です。
DSO	O	デバッグ I/F シリアルデータ出力 シリアル転送用のデータ出力です。
DSL	I	デバッグ I/F 設定端子 Low : pmc0 レジスタの設定に従って、デバッグ I/F を使用することが出来ます。 High : pmc0 レジスタの設定に関係なく、デバッグ I/F を使用することが出来ます。

表 8-3 内部信号一覧(1/1)

端子	入出力	端子説明
IWDTECTAREA19-9	O	IMEM のアクセスエラー検出領域設定のレジスタ値
SWRSTB	O	リセットシステムレジスタのレジスタ値を反転した値

表 8-4 使用レジスタ一覧

レジスタ名	略号	レジスタ説明	備考
IMEM のアクセスエラー検出 設定レジスタ	iwdetectarea	IMEM 領域に対する PE のアクセスエラー検出領域の設定	—
reset システムレジスタ	reset	ソフトウェアリセットの設定	—

8.3.2 レジスタ説明

8.3.2.1 IMEM のアクセスエラー検出領域設定レジスタ (iwdetectarea)

本レジスタにより、IMEM 領域に対する PE のアクセスエラー検出領域を設定することが可能です。

名称 : IMEM のアクセスエラー検出設定レジスタ
 略号 : iwdetectarea
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 不可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	IWDETE CTAREA 19	IWDETE CTAREA 18	IWDETE CTAREA 17	IWDETE CTAREA 16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IWDETE CTAREA 15	IWDETE CTAREA 14	IWDETE CTAREA 13	IWDETE CTAREA 12	IWDETE CTAREA 11	IWDETE CTAREA 10	IWDETE CTAREA 9	0	0	0	0	0	0	0	0	0

ビット	ビット名	説明
19-9	IWDETECTAREA19-9	IMEM 領域に対する PE のアクセスエラー検出領域を設定します。 (“IWDETECTAREA19-9” + “9’h000”) の設定値 : PE のアクセスエラーを検出する IMEM 領域 0_0000H : - (アクセスエラーを検出しません) 0_0200H : 1000_0000H ~ 1000_01FFFH 0_0400H : 1000_0000H ~ 1000_03FFFH ... : ... 7_FE00H : 1000_0000H ~ 1007_FDFFFH 8_0000H : 1000_0000H ~ 1007_FFFFH 8_0200H ~ F_FE00H : 設定禁止 ^注

注：万一、8_0000H を超える値が設定された場合は、8_0000H と同じ設定になります。

8.3.2.2 reset システムレジスタ (reset)

本レジスタを設定する事により、ソフトウェアリセットを実行可能です。
但し、ソフトウェアリセットの実行に関して下記制限事項があります。

【制限事項】

- ・ライトアクセス（ソフトウェアリセット実行）と次のリードアクセスもしくはライトアクセスの間に、チップセレクト（HSCS_B もしくは DSCS_B）のインアクティブ期間を挿入してください。

名称 : リセットシステムレジスタ
略号 : reset
初期値 : 0000_0000H (固定値)
アクセス : 32bit アクセス、リード/ライト可能
ホストからのアクセス : 可
コアからのアクセス : 不可

(リード時)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

(ライト時)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	set RESET

(ライト時)

ビット	ビット名	説明
0	set RESET	ソフトウェアリセットの制御 0 : - (無効なライトアクセスとして扱われます) 1 : ソフトウェアリセットを実行します ^(注)

(注) レジスタ類が全て規定の初期値にセットされます。

8.4 レジスタ/キャッシュ/スタックメモリ領域

8.4.1 レジスタ/キャッシュ/スタックメモリ領域

特に記載のない限り、レジスタ/キャッシュ/スタックメモリ領域はBREAK時のみアクセス可能となります。本書に説明のないレジスタは、XCコア設計仕様書を参照してください。

Note1 : コアからのアクセス可否(○ : アクセス可能、× : アクセス不可)
 コアからのアクセスは、アドレス指定ではなく、CPPE 命令でアクセスします。

注意) 公開していないアドレスに対するライトアクセス及びリードアクセスは禁止とします。
 公開していないアドレスに対するリード値は保証できません。

表 8-5 レジスタ/キャッシュ/スタックメモリ一覧 (1 / 16)

アドレス(H)	SBUS アドレス SAD15-2+2'b00(H)	レジスタ/キャッシュ	初期値(H)		ホストアクセス 32bit	Note1	レジスタを格納 しているマクロ名	備考
			Full mode	Half mode				
1008 0000		PCACHE Way0_L0_W0LL						プログラムキャッシュ BREAK 時のみアクセス可能
1008 0004		PCACHE Way0_L0_W0LH						
1008 0008		PCACHE Way0_L0_W0HL						
1008 000C		PCACHE Way0_L0_W0HH						
1008 0010	—	PCACHE Way0_L0_W1LL				×	XC コア	
1008 0014		PCACHE Way0_L0_W1LH						
...		...		不定				
1008 3FF8		PCACHEWay0_L63_W15HL						
1008 3FFC		PCACHEWay0_L63_W15HH						

表 8-6 レジスタ/キャッシュ/スタックメモリー一覧 (2 / 16)

アドレス(H)	SBUS アドレス SAD15-2+2'b00(H)	レジスタ/キャッシュ	初期値(H)		ホストアクセス 32bit	Note1	レジスタを格納 しているマクロ名	備考
			Full mode	Half mode				
1008 4000 1008 4004 1008 4008 1008 400C 1008 4010 1008 4014 ...	—	PCACHE Way1_L0_W0LL PCACHE Way1_L0_W0LH PCACHE Way1_L0_W0HL PCACHE Way1_L0_W0HH PCACHE Way1_L0_W1LL PCACHE Way1_L0_W1LH ...	不定		RAW	×		プログラムキャッシュ BREAK 時のときのみアクセス可能
1008 7FF8 1008 7FFC 1009 0000 1009 0004 1009 0008 1009 000C 10090010 10090014 ...	—	PCACHEWay1_L63_W15HL PCACHEWay1_L63_W15HH DCACHE way0_L0_W0L DCACHE way0_L0_W0H DCACHE way0_L0_W1L DCACHE way0_L0_W1H DCACHE way0_L0_W2L DCACHE way0_L0_W2H ...	不定		RAW	×	XC コア	データキャッシュ BREAK 時のときのみアクセス可能
1009 07F8 1009 07FC 1009 0800 1009 0804 1009 0808 1009 080C 1009 0810 1009 0814 ...	—	DCACHE way0_L15_W15L DCACHE way0_L15_W15H DCACHE way1_L0_W0L DCACHE way1_L0_W0H DCACHE way1_L0_W1L DCACHE way1_L0_W1H DCACHE way1_L0_W2L DCACHE way1_L0_W2H ...	不定		RAW	×		
1009 0FF8 1009 0FFC		DCACHE way1_L15_W15L DCACHE way1_L15_W15H						

表 8-6 レジスタ/キャッシュ/スタックメモリー一覧 (3 / 16)

アドレス(H)	SBUS アドレス SAD15-2+2'b00(H)	レジスタ/キャッシュ	初期値(H)		ホストアクセス 32bit	Note1	レジスタを格納 しているマクロ名	備考
			Full mode	Half mode				
1009 8000 1009 8004 ...	—	WQ0(0) WQ0(1) ...	0000_0000		R			ウィンドウキューと ウィンドウレジスタ
1009 803C 1009 8080 1009 8084 ...	—	WQ0(15) WQ1(0) WQ1(1) ...	0000_0001		R	x		ウィンドウキューは BREAK 時のみリード可
1009 80BC 1009 9000 1009 9004 1009 9008 1009 9010 1009 9014 1009 9018 1009 9020 1009 9024 1009 9028 1009 9030 1009 9034 1009 9038 1009 9040 1009 9044 1009 9048 1009 9050 1009 9054 1009 9058 1009 9060 1009 9064 1009 9068 1009 9070 1009 9074 1009 9078	—	WR0[0] WR0[1] WR0[2] WR1[0] WR1[1] WR1[2] WR2[0] WR2[1] WR2[2] WR3[0] WR3[1] WR3[2] WR4[0] WR4[1] WR4[2] WR5[0] WR5[1] WR5[2] WR6[0] WR6[1] WR6[2] WR7[0] WR7[1] WR7[2]			R	O	XC コア	ウィンドウレジスタは BREAK 時のみアクセス可

表 8-6 レジスタ/キャッシュ/スタックメモリー一覧 (4/16)

アドレス(H)	SBus アドレス SAD15-2+2b00(H)	レジスタ/キャッシュ	初期値(H)		ホストアクセス 32bit	Note1	レジスタを格納 しているマクロ名	備考							
			Full mode	Half mode											
1009 A000 ...	-	PCTAG0_0 ...	0000_0000	Half mode	RW	x	XCコア	プログラマキャッシュ BREAK 時 のときのみアクセス可能							
1009 A0FC 1009 A100 ...		PCTAG0_63 PCTAG1_0 ...													
1009 A1FC		PCTAG1_63													
1009 B000 ...		DCTAG0_0 ...													
1009 B03C 1009 B040 ...		DCTAG0_15 DCTAG1_0 ...													
1009 B07C	DCTAG1_15	0000_4000		RW	x		データキャッシュ BREAK 時 のときのみアクセス可能								
1009 C000 1009 C004 1009 C008 1009 C00C 1009 C010 1009 C014 1009 C018 1009 C01C	-	run break step mpstep pend dend estklm istklm	0000_0000	Half mode	RW	x	XCコア	動作設定レジスタ RUN 状態でもアクセス可能 (step と mpstep は BREAK 状態でのみ機能が有効。 step と mpstep は読み出し値が常時ゼ ロ							
1009 C020 1009 C024 1009 C028 1009 C02C		bp0 bp1 bp2 bp3													
1009 C080 ...		iv0 ...													
1009 C0A0 1009 C0A4 ...		iv9 【iv10】 ...													
1009 C0FC		【iv31】													
1009 C000 1009 C004 1009 C008 1009 C00C 1009 C010 1009 C014 1009 C018 1009 C01C		-							003F_FFFF	003F_FFFF	Half mode	RW	x	XCコア	ハードウェアブ레이크ポイント RUN 状態でもアクセス可能
1009 C020 1009 C024 1009 C028 1009 C02C									bp0 bp1 bp2 bp3						
1009 C080 ...									iv0 ...						
1009 C0A0 1009 C0A4 ...									iv9 【iv10】 ...						
1009 C0FC									【iv31】						
1009 C000 1009 C004 1009 C008 1009 C00C 1009 C010 1009 C014 1009 C018 1009 C01C									-						
1009 C020 1009 C024 1009 C028 1009 C02C	bp0 bp1 bp2 bp3														
1009 C080 ...	iv0 ...														
1009 C0A0 1009 C0A4 ...	iv9 【iv10】 ...														
1009 C0FC	【iv31】														

表 8-6 レジスタ/キャッシュ/スタックメモリー一覧 (5 / 16)

アドレス(H)	SBus アドレス SAD15-2+2'b00(H)	レジスタ/キャッシュ	初期値(H)		ホストアクセス 32bit	Note1	レジスタを格納 しているマクロ名	備考						
			Full mode	Half mode										
1009 D000	-	cra01	0000_0000	0000_0000	RW	○	XC コア	特殊レジスタ RUN 状態時はリードのみ PU8~PU15 のアクセスアドレス上位 4bit を示す mparea1 レジスタは、Half Mode 時、ホストアクセス禁止とし、またコアからのアクセスも禁止とします。 mpstep, mpreset は読み出し値が常にゼロ						
1009 D004		cra23												
1009 D008		crf01												
1009 D00C		crf23												
1009 D010		cfgpenum												
1009 D014		crf23a												
1009 D018		crf23b												
1009 D01C		crf23c												
1009 D020		pc							0000_0004		RW	○	XC コア	
1009 D024		wst												
1009 D028	wparam													
1009 D02C	dstklm													
1009 D030	dstkpb													
1009 D034	hp													
1009 D038	status													
1009 D040	estkpb													
1009 D044	ehp													
1009 D048	ber0													
1009 D04C	ber1													
1009 D050	mparea0	0000_0000		RW	○	XC コア								
1009 D054	mparea1													
1009 D060	mprun													
1009 D064	mpbreak													
1009 D068	mpstep													
1009 D06C	mpreset													
1009 D070	mpjoin													
1009 D074	mpasn													
1009 D078	mperr													
1009 D07C	lstkpbp													

表 8-6 レジスタ/キャッシュ/スタックメモリー一覧 (6/16)

アドレス(H)	SBUS アドレス SAD15-2+2'b00(H)	レジスタ/キャッシュ	初期値(H)		ホストアクセス 32bit	Note1	レジスタを格納 しているマクロ名	備考
			Full mode	Half mode				
1009 E000	-	cr0	0000_0000	Half mode	RW	○	XC コア	CP レジスタ RUN 状態時はリードのみ
1009 E004		cr1						
...		...						
1009 E038		cr14						
1009 E040	-	cr16	0000_0000	Half mode	RW	○	XC コア	
1009 E044		cr17						
...		...						
1009 E05C		cr23						
1009 E060		ctmp0						
1009 E064		ctmp1						
1009 E068		cmuld						
1009 E06C		cmulh						
1009 E070		cmd						
1009 E074		cmh						
1009 E078		czero						

表 8-6 レジスタ/キャッシュ/スタックメモリ一覧 (7/16)

アドレス(H)	SBUS アドレス SAD15-2+2'b00(H)	レジスタ/キャッシュ	初期値(H)		ホストアクセス 32bit	Note1	レジスタを格納 しているマクロ名	備考
			Full mode	Half mode				
100A.0000		r0[0]						PE レジスタ ([]内は PE 番号を示します) BREAK 時のみリード可 (ライトは不可) PE 番号が 32~63 の PE レジスタは Half Mode 時、ホストアクセス禁止とし、またコアからのアクセスも禁止とします。
100A.0004		r0[1]						
...		...						
100A.00F8		r0[62]						
100A.00FC		r0[63]						
100A.0200		r1[0]						
...		...						
100A.02FC		r1[63]						
100A.0400		r2[0]						
...		...						
100A.04FC		r2[63]						
100A.0600		r3[0]						
...		...						
100A.06FC		r3[63]	0000_0000		R			
100A.0800	—	r4[0]				XC コア		
...		...						
100A.08FC		r4[63]						
100A.0A00		r5[0]						
...		...						
100A.0AFC		r5[63]						
100A.0C00		r6[0]						
...		...						
100A.0CFC		r6[63]						
100A.0E00		r7[0]						
100A.0E04		r7[1]						
...		...						
100A0EF8		r7[62]						
100A0EFC		r7[63]						

表 8-6 レジスタ/キャッシュ/スタックメモリ一覧 (8 / 16)

アドレス(H)	SBus アドレス SAD15-2+2'b00(H)	レジスタ/キャッシュ	初期値(H)		ホストアクセス 32bit	Note1	レジスタを格納 しているマクロ名	備考
			Full mode	Half mode				
100A 1000		r8[0]						PE レジスタ ([])内は PE 番号を示します BREAK 時のみリード可 (ライトは不可) PE 番号が 32~63 の PE レジスタは Half Mode 時、ホストアクセス禁止とし、またコアからのアクセスも禁止とします。
100A 1004		r8[1]						
...		...						
100A 10F8		r8[62]						
100A 10FC		r8[63]						
100A 1200		r9[0]						
...		...						
100A 12FC		r9[63]						
100A 1400		r10[0]						
...		...						
100A 14FC		r10[63]						
100A 1600		r11[0]						
...		...						
100A 16FC	-	r11[63]	0000_0000		R	O	XC コア	
100A 1800		r12[0]						
...		...						
100A 18FC		r12[63]						
100A 1A00		r13[0]						
...		...						
100A 1AFC		r13[63]						
100A 1C00		r14[0]						
...		...						
100A 1CFC		r14[63]						

表 8-6 レジスタ/キャッシュ/スタックメモリー一覧 (9 / 16)

アドレス(H)	SBUS アドレス SAD15-2+2'b00(H)	レジスタ/キャッシュ	初期値(H)		ホストアクセス 32bit	Note1	レジスタを格納 しているマクロ名	備考
			Full mode	Half mode				
100A 3000		tmp0[0]						PE レジスタ ([]内は PE 番号を示します) BREAK 時のみリード可 (ライトは不可) PE 番号が 32~63 の PE レジスタは Half Mode 時、ホストアクセス禁止とし、またコアからのアクセスも禁止とします。
100A 3004		tmp0[1]						
...		...						
100A 30F8		tmp0[62]						
100A 30FC		tmp0[63]						
100A 3200		tmp1[0]						
...		...						
100A 32FC		tmp1[63]						
100A 3400		muld[0]						
...		...						
100A 34FC		muld[63]						
100A 3600		mulh[0]						
...		...						
100A 36FC		mulh[63]						
100A 3800	-	md[0]	0000_0000		R	O	XC コア	
...		...						
100A 38FC		md[63]						
100A 3A00		mh[0]						
...		...						
100A 3AFC		mh[63]						
100A 3C00		zero[0]						
...		...						
100A 3CFC		zero[63]						

表 8-6 レジスタ/キャッシュ/スタックメモリー一覧 (10/16)

アドレス(H)	SBus アドレス SAD15-2+2'b00(H)	レジスタ/キャッシュ	初期値(H)		ホストアクセス 32bit	Note1	レジスタを格納 しているマクロ名	備考	
			Full mode	Half mode					
100A 4000	-	ra01[0]	0000_0000		R	O	XC コア	PE レジスタ ([]内は PE 番号を示します) BREAK 時のみリード可 (ライトは不可) PE 番号が 32~63 の PE レジスタは Half Mode 時、ホストアクセス禁止とし、またコアからのアクセスも禁止とします。	
100A 4004		ra01[1]							
...		...							
100A 40F8		ra01[62]							
100A 40FC		ra01[63]							
100A 4200		ra23[0]							
100A 4204		ra23[1]							
...		...							
100A 42F8		ra23[62]							
100A 42FC		ra23[63]							
100A 4400		rt01[0]							
100A 4404		rt01[1]							
...		...							
100A 44F8		rt01[62]							
100A 44FC		rt01[63]							
100A 4600		rt23[0]							
100A 4604		rt23[1]							
...		...							
100A 46F8		rt23[62]							
100A 46FC		rt23[63]							
100A 4800		figpenum [0]							0000_0000
100A 4804		figpenum [1]							0000_0001
...	
100A 4878		figpenum [30]							0000_001E
100A 487C	figpenum [31]	0000_001F							
100A 4880	figpenum [32]	0000_0020							
100A 4884	figpenum [33]	0000_0021							
...							
100A 48F8	figpenum [62]	0000_003E							
100A 48FC	figpenum [63]	0000_003F							

表 8-6 レジスタ/キャッシュ/スタックメモリー一覧 (11/16)

アドレス(H)	SBUS アドレス SAD15-2+2'b00(H)	レジスタ/キャッシュ	初期値(H)		ホストアクセス 32bit	Note1	レジスタを格納 しているマクロ名	備考
			Full mode	Half mode				
100A 4A00	-	cr23a[0]	0000_0000		R	O	XC コア	PU レジスタ ([])内は PU 番号を示します BREAK 時のみリード可 (ライトは不可) PU 番号が 8~15 の PU レジスタは Half Mode 時、ホストアクセス禁止とし、またコアからのアクセスも禁止とします。
100A 4A10		cr23a[1]						
...		...						
100A 4AF0		cr23a[15]						
100A 4C00		cr23b[0]						
...		...						
100A 4CF0		cr23b[15]						
100A 4E00		cr23c[0]						
...		...						
100A 4EF0		cr23c[15]						
100A 5000		pc[0]						
...		...						
100A 50F0		pc[15]						
100A 5200		ws[0]						
...		...						
100A 52F0		ws[15]						
100A 5400		wparam[0]						
...		...						
100A 54F0		wparam[15]						
100A 5600		dstklm[0]						
...		...						
100A 56F0		dstklm[15]						
100A 5800		dstkp[0]						
...		...						
100A 58F0		dstkp[15]						
100A 5A00	hp[0]							
...	...							
100A 5AF0	hp[15]							
100A 5C00	status[0]	0000_0004						
100A 5C10	status[1]							
...	...	0000_0004						
100A 5C70	status[7]							
100A 5C80	status[8]	0000_0004						
...	...							
100A 5CE0	status[14]	0000_0000						
100A 5CF0	status[15]							

表 8-6 レジスタ/キャッシュ/スタックメモリ一覧 (12/16)

アドレス(H)	SBUS アドレス SAD15-2+2'b00(H)	レジスタ/キャッシュ	初期値(H)		ホストアクセス 32bit	Note1	レジスタを格納 しているマクロ名	備考
			Full mode	Half mode				
100F C080	C080	reset	0000_0000		R/W	x	HOSTIF	動作設定レジスタ RUN 状態時はリードのみ
100F C100	C100	errst	0000_7EFF		R			
100F C104	C104	errstc	0000_0000		R/W			
100F C108	C108	errout	0000_7EFF		R/W			
100F C10C	C10C	brkractrl	0000_0000		R			
100F C200	C200	port0	0000_0000		R			
100F C204	C204	portc0	0000_0000		R/W			
100F C208	C208	ports0	0000_0000		R/W			
100F C220	C220	pm0	0000_07FF					
100F C240	C240	pmc0	0000_0000					
100F C300	C300	iniflg	0000_0000		R			
100F C304	C304	intrmsk	0000_03FF					
100F C308	C308	iniflgc						
100F C30C	C30C	iniflgs						
100F C310	C310	intedge	0000_0000					
100F C404	C404	iwdetectarea						
100F C600	C600	flcsim						
100F C604	C604	flcsixb8						
100F C608	C608	flcsixb32						
100F C60C	C60C	flcsixb32						
100F C610	C610	flcsistatus	0000_0000					
100F C614	C614	flcsistatusc						
						x	EDGE HOSTIF	
							Flash Download IF	
								RUN 状態でもアクセス可能

表 8-6 レジスタ/キャッシュ/スタックメモリー一覧 (13/16)

アドレス(H)	SBUS アドレス SAD15-2+2'b00(H)	レジスタ/キャッシュ	初期値(H)		ホストアクセス	Note1	レジスタを格納 しているマクロ名	備考
			Full mode	Half mode				
100F C800	C800	VIE	0000_0000		R/W			
100F C804	C804	VIS			R			
100F C808	C808	VES			R/W			
100F C80C	C80C	VEC						
100F C810	C810	VIM0						
100F C814	C814	VCM0						
100F C818	C818	VME0						
100F C81C	C81C	VSZ0						
100F C820	C820	VPO0						
100F C824	C824	VLO0						
100F C828	C828	VPX0	0000_0020					
100F C82C	C82C	VLN0	0000_0008					
100F C830	C830	VDS0	0000_0000		R			
100F C834	C834	VFC0			R/W			
100F C838	C838	VEF0			R			
100F C83C	C83C	VDB0			R/W			
100F C840	C840	VIM1						
100F C844	C844	VCM1						
100F C848	C848	VME1						
100F C84C	C84C	VSZ1						
100F C850	C850	VPO1						
100F C854	C854	VLO1						
100F C858	C858	VPX1	0000_0020					
100F C85C	C85C	VLN1	0000_0008					
						○	Video-Capture	RUN 状態でもアクセス可能

表 8-6 レジスタ/キャッシュ/スタックメモリー一覧 (14/16)

アドレス(H)	SBUS アドレス SAD15-2+2'b00(H)	レジスタ/キャッシュ	初期値(H)		ホストアクセス 32bit	Note1	レジスタを格納 しているマクロ名	備考
			Full mode	Half mode				
100F C860	C860	VDS1	0000_0000		R			
100F C864	C864	VFC1			R/W			
100F C868	C868	VEF1			R			
100F C86C	C86C	VDB1			R/W			
100F C870	C870	VIM2						
100F C874	C874	VCM2						
100F C878	C878	VME2						
100F C87C	C87C	VSZ2						
100F C880	C880	VPO2						
100F C884	C884	VLO2						
100F C888	C888	VPX2	0000_0020					
100F C88C	C88C	VLN2	0000_0008					
100F C890	C890	VDS2	0000_0000		R			
100F C894	C894	VFC2			R/W			
100F C898	C898	VEF2			R			
100F C89C	C89C	VDB2			R/W			
100F C8A0	C8A0	VIM3						
100F C8A4	C8A4	VCM3						
100F C8A8	C8A8	VME3						
100F C8AC	C8AC	VSZ3						
100F C8B0	C8B0	VPO3						
100F C8B4	C8B4	VLO3						
100F C8B8	C8B8	VPX3	0000_0020					
100F C8BC	C8BC	VLN3	0000_0008					
100F C8C0	C8C0	VDS3	0000_0000		R			
100F C8C4	C8C4	VFC3			R/W			
100F C8C8	C8C8	VEF3			R			
100F C8CC	C8CC	VDB3			R/W			
						○	Video-Capture	RUN 状態でもアクセス可能

表 8-6 レジスタ/キャッシュ/スタックメモリー一覧 (15/16)

アドレス(H)	SBUS アドレス SAD15-2+2'b00(H)	レジスタ/キャッシュ	初期値(H)		ホストアクセス	Note1	レジスタを格納 しているマクロ名	備考
			Full mode	Half mode				
100F C8D0	C8D0	VOM	0000_0000		R/W			
100F C8D4	C8D4	VPE	0140_0020					
100F C8D8	C8D8	VVE	00F0_000A					
100F C8DC	C8DC	VWO	0000_0000					
100F C8E0	C8E0	VDO	0000_0002					
100F C8E4	C8E4	VHX	0000_0020					
100F C8E8	C8E8	VRN	0000_0008			○	Video-Capture	RUN 状態でもアクセス可能
100F C8EC	C8EC	VSA0	0000_0000					
100F C8F0	C8F0	VDH0			R			
100F C8F4	C8F4	VOT0						
100F C8F8	C8F8	VSA1			R/W			
100F C8FC	C8FC	VDH1			R			
100F C900	C900	VOT1						

表 8-6 レジスタ/キャッシュ/スタックメモリー一覧 (16 / 16)

アドレス(H)	SBUS アドレス SAD15-2+2'b00(H)	レジスタ/キャッシュ	初期値 (H)		ホストアクセス	Note1	レジスタを格納 しているマクロ名	備考	
			Full mode	Half mode					
100F CE00H	CE00H	scm	0000_0000	Half mode	32bit	○	SDRAM I/F	RUN 状態でもアクセス可能	
100F CE10H	CE10H	errstatus	0FFF_FFFF	Half mode	RW		Interval Timer0		
100F CE14H	CE14H	e2erraddress							
100F CE18H	CE18H	e1erraddress							
100F CE20H	CE20H	erraddressstatus	0000_0000	RW					
100F CE30H	CE30H	eccarea	0000_0000	Half mode	RW				
100F CE34H	CE34H	eprotectarea							
100F CE38H	CE38H	ewdetectarea0							
100F CE3CH	CE3CH	ewdetectarea 1							
100F CE40H	CE40H	refcnt	0000_2000	Half mode	RW				
100F CE44H	CE44H	dcg							
100F CE48H	CE48H	bks	0000_0000	Half mode					Interval Timer1
100F CE4CH	CE4CH	sce	0000_000F	Half mode					
100F CE50H	CE50H	rcm							
100F CF00H	CF00H	ITE0	0000_0000	Half mode					
100F CF04H	CF04H	ITC0	Interval Timer0	Half mode					
100F CF10H	CF10H	ITE1							
100F CF14H	CF14H	ITC1							

8.5 Serial Host I/F 及び Debug I/F の動作説明

8.5.1 通信フォーマット

Serial Host I/F の通信フォーマットを以下に示します。Debug I/F の通信フォーマットは Serial Host I/F と同じである為、説明を省略します。

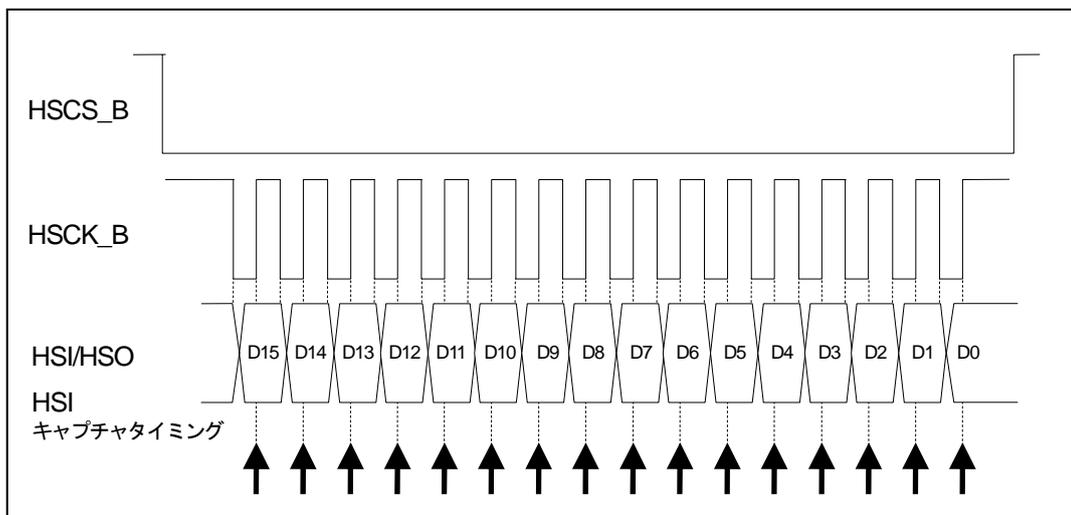


図 8-3 Serial Host I/F の通信フォーマット

8.5.2 SV マイコンとの接続例

SV マイコンとのシリアル・インターフェース接続例を下図に示します。Debug I/F の接続例は Serial Host I/F と同じである為、説明を省略します。

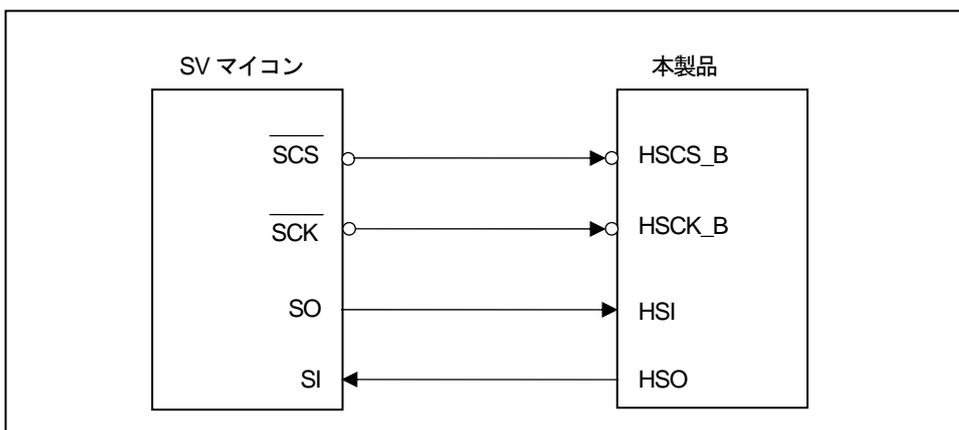


図 8-4 SV マイコンとの接続例

8.5.3 Serial Host I/F 及び Debug I/F からのアクセス一覧

Serial Host I/F および Debug I/F からのアクセス許可一覧を下図に示します。

表 8-6 Serial Host I/F 及び Debug I/F からのアクセス許可一覧

○ : アクセス許可、 × : アクセス禁止

アクセス種別		Break status				Run Status			
		Single Access		Burst Access		Single Access		Burst Access	
		Read	Write	Read	Write	Read	Write	Read	Write
コア内のレジスタ/キャッシュ	P\$	○	○	○	○	×	×	×	×
	D\$	○	○	○	○	×	×	×	×
	WQ	○	×	○	×	×	×	×	×
	WR	○	×	○	×	×	×	×	×
	P\$Tag	○	○	○	○	×	×	×	×
	D\$Tag	○	○	○	○	×	×	×	×
	動作設定レジスタ	○	○	○	○	○	○	×	×
	割り込みベクタレジスタ	○	○	○	○	○	○	×	×
	ハードウェアブレイクポイント	○	○	○	○	○	○	×	×
	特殊レジスタ	○	○	○	○	○	×	×	×
	CP レジスタ	○	○	○	○	○	×	×	×
	PE レジスタ	○	×	○	×	×	×	×	×
	周辺機能レジスタ	○	○	○	○	○	○	×	×
	共有 RAM	○	○	○	○	○	○	○	○
	ビデオキャプチャ I/F 用 RAM	×	×	×	×	×	×	×	×
IMEM	○	○	○	○	×	×	×	×	
外部メモリ	EMEM	○	○	○	○	○	○	×	×

8.5.4 Seral Host I/F 及び Debug I/F の送受信データ順序

ライトデータ及びリードデータの送受信データ順序は下記の様になります。
 シリアル転送時（ライト）のデータ順序設定の動作説明を下图に示します。シリアル転送時（リード）のデータ順序設定はライトと同機能となります。

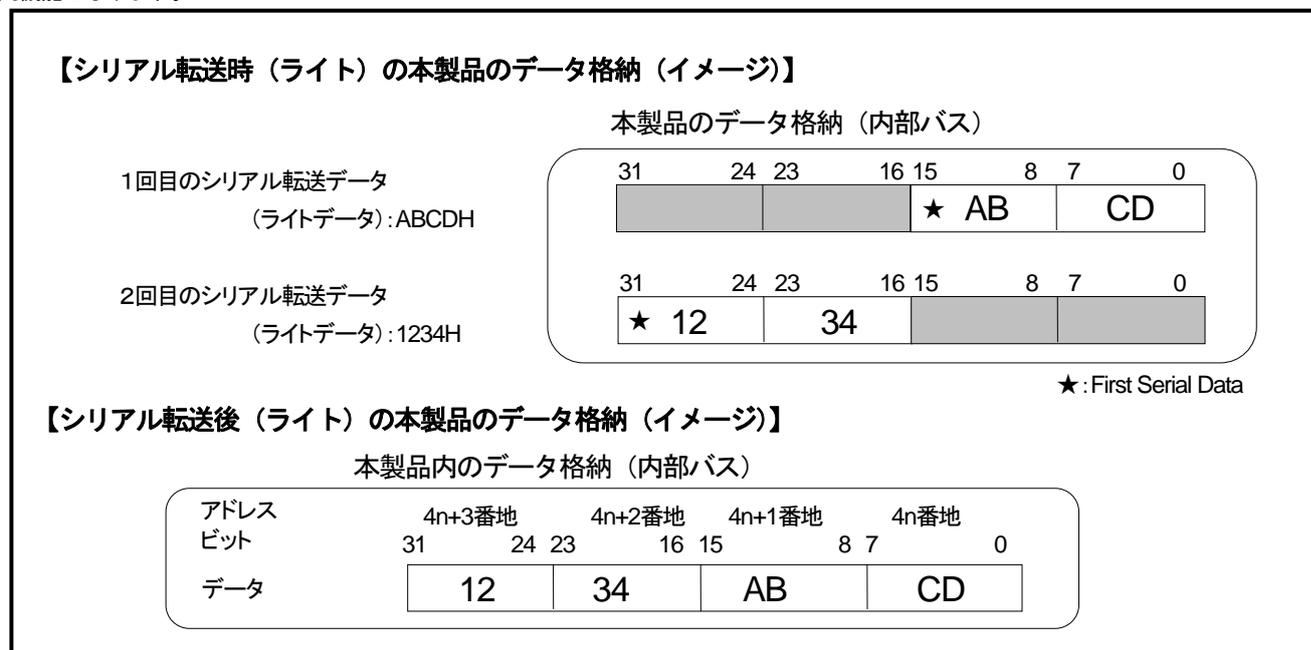


図 8-5 送受信データのデータ格納方法

8.5.5 SV マイコンとの通信プロトコル

Serial Host I/F 及び Debug I/F は専用通信プロトコルを介して、SV マイコンと通信を行います。

8.5.5.1 通信プロトコルの説明で使用するメモリマップ及びデータ配置

Serial Host I/F 及び Debug I/F からのアクセス時に許可されているビット幅は 32bit のみとなっている為、アクセス時のアドレス (A28 - A2) は、“4n 番地” (n : 整数) に設定する必要があります。

ビット	31	24	23	16	15	8	7	0
データ	DATA [ADR+EH] (High-Word)				DATA [ADR+CH] (Low-Word)			
アドレス	ADR+FH番地				ADR+EH番地			
ビット	31	24	23	16	15	8	7	0
データ	DATA [ADR+AH] (High-Word)				DATA [ADR+8H] (Low-Word)			
アドレス	ADR+BH番地				ADR+AH番地			
ビット	31	24	23	16	15	8	7	0
データ	DATA [ADR+6H] (High-Word)				DATA [ADR+4H] (Low-Word)			
アドレス	ADR+7H番地				ADR+6H番地			
ビット	31	24	23	16	15	8	7	0
データ	DATA [ADR+2H] (High-Word)				DATA [ADR] (Low-Word)			
アドレス	ADR+3H番地				ADR+2H番地			
					ADR+1H番地			
					ADR番地			

ADR番地 = 4n番地(n: 整数)

図 8-6 フローチャート及び動作説明時のメモリマップ及びデータイメージ

8.5.5.2 動作フローチャート

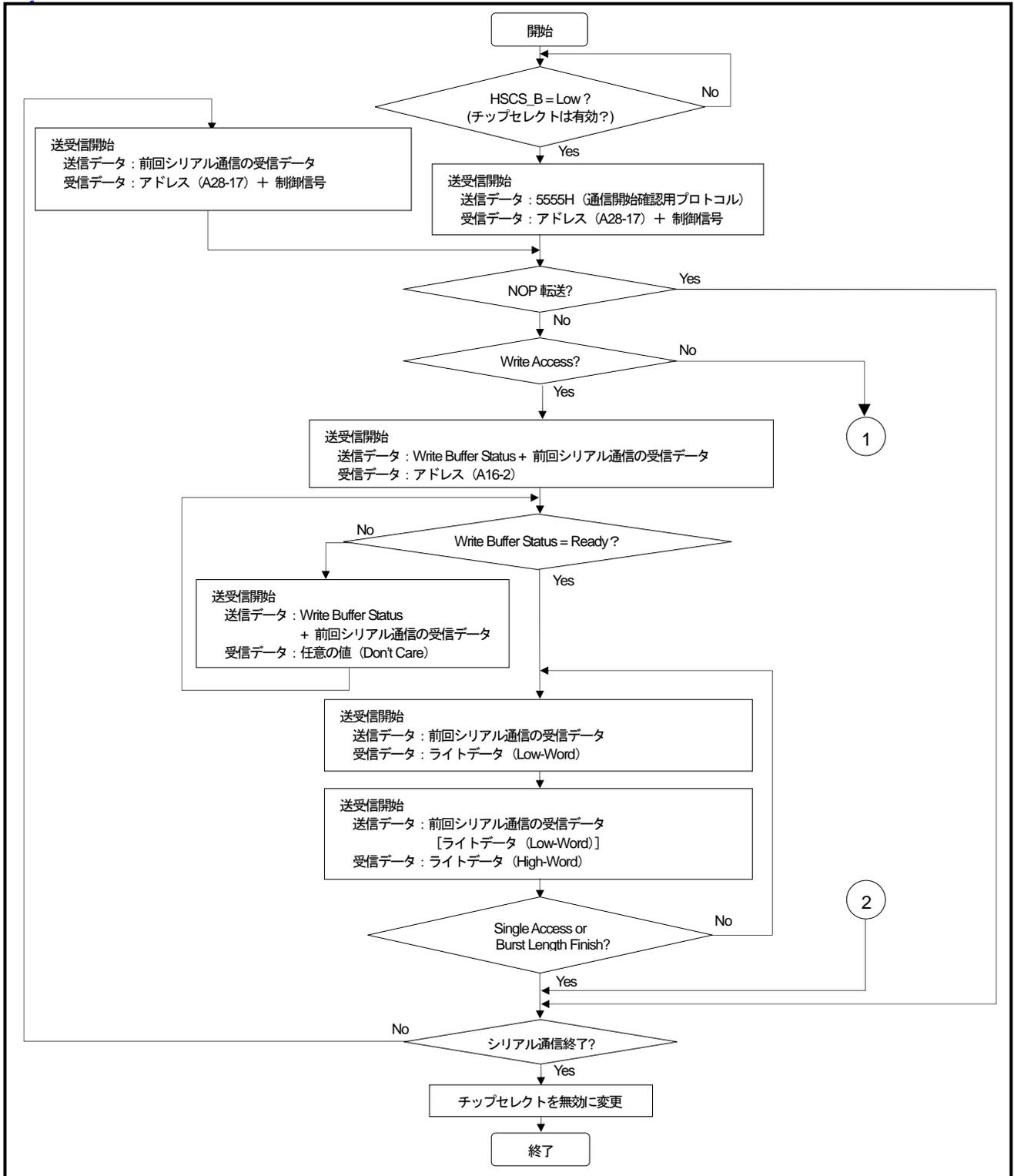


図 8-7 動作フローチャート (1 / 2)

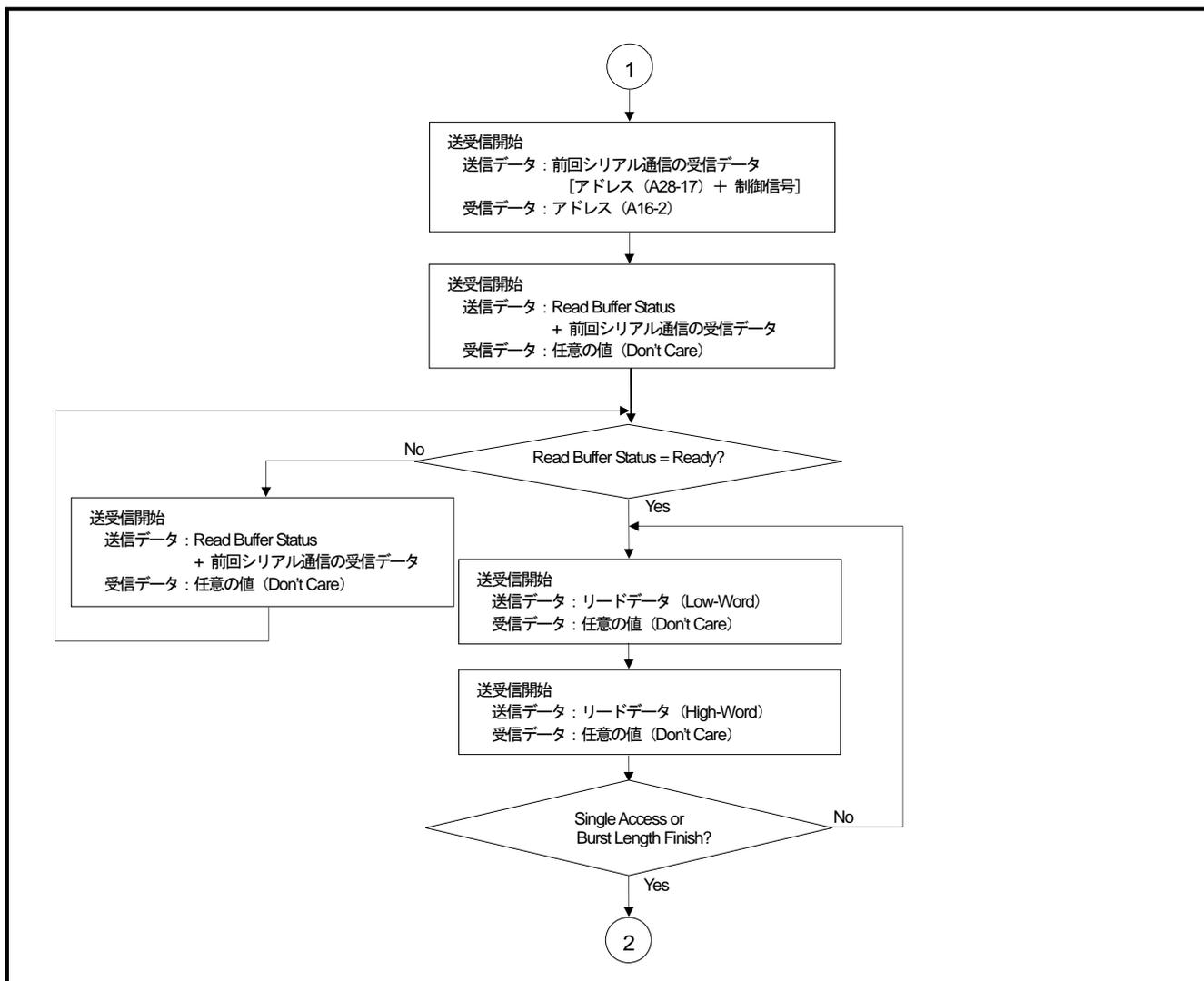


図 8-8 動作フローチャート (2/2)

8.5.5.3 シングルアクセス (ライト) の基本動作

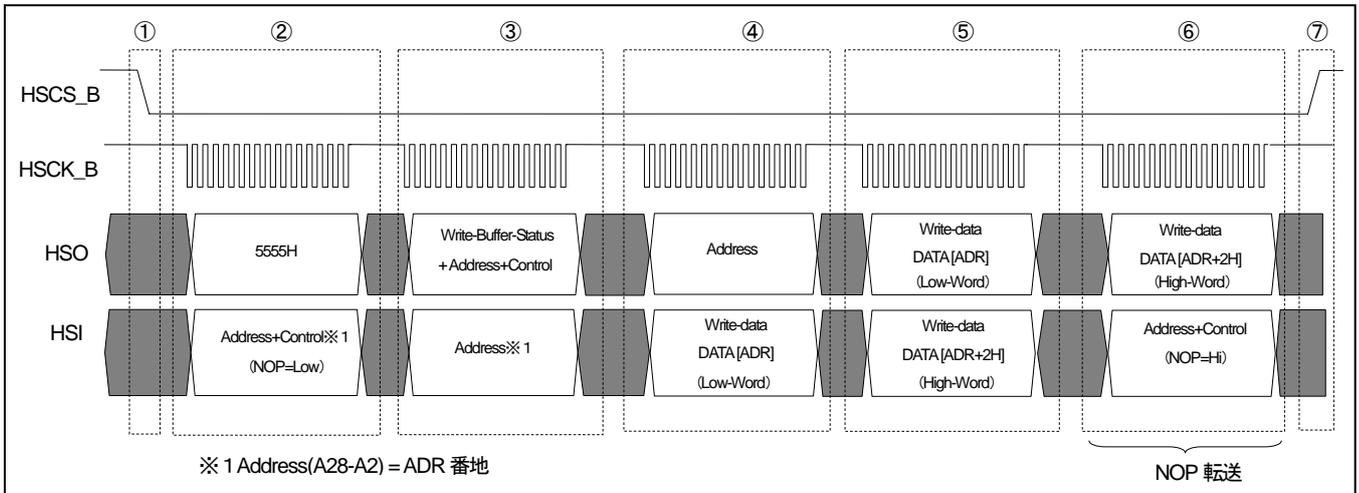


図 8-9 シングルアクセス (ライト) のタイミングチャート

【動作仕様】

SV マイコンがライト時、常にライトバックデータを確認する場合の動作です。この場合、必ずライトアクセス後にライトデータをライトバックする為のNOP転送を実行してください。

(注意) ライトバックデータが期待値と異なる場合は、何らかのノイズによって正常にアクセスが出来ていない可能性があります。この場合、ハードウェアリセット、もしくは「8.5.5.11 シリアル通信の中止動作及び再開動作」に示す再開動作でソフトウェアリセットを行って、本製品を初期化してください。

- ① チップセレクトがアクティブレベルになり、Serial Host I/F がイネーブル状態になります。
HSCS_B : Hi → Low

- ② シリアル転送を開始します。
HSCCK_B : Lowパルス×16回
HSO : プロトコル確認用データとして、5555H (固定値) を送信します。

送信 Bit	機能
D15-0	5555H (固定値)

HSI : アドレス (A28-A17) と制御信号を受信します。

受信 Bit	機能		
D15	Read/Write Control = Low Hi : Read access Low : Write access		
D14-13	Single/Burst Access Control & Burst length Control = 2'b00		
	2'b00	Single Access —	
	2'b01	Burst Access	4 times (16 Bytes)
	2'b10		16 times (64 Bytes)
2'b11	64 times (256 Bytes)		
D12-1	Address (A28-A17)		
D0	No operation Control (NOP) = Low Hi : No Operation Low : Operation		

③ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : ライトバッファのステータス及び前回シリアル通信の受信データを出力します。

送信 Bit	機能
D15	Read/Write Control ※
D14-13	Single/Burst Access Control & Burst length Control ※
D12-1	Address (A28-A17) ※
D0	Write Buffer Status = Hi Low : Not Ready (impossible status of write access / Write Buffer is full) Hi : Ready (possible status of write access / Write Buffer is empty)

HSI : アドレス (A16-A2) を受信します。

受信 Bit	機能
D15-1	Address (A16-A2)
D0	Reserved = 任意の値 (Don't Care)

④ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-1	Address (A16-A2) ※
D0	Reserved ※

HSI : ライトデータ/DATA[ADR]を受信します。

②と③で受信したアドレス (A28-A2=ADR 番地) へのライトデータ (Low-Word) になります。

受信 Bit	機能
D15-0	Write Data/DATA [ADR]

⑤ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR] ※

HSI : ライトデータ/DATA [ADR+2H]を受信します。

②と③で受信したアドレス (A28-A2=ADR 番地) へのライトデータ (High-Word) になります。

受信 Bit	機能
D15-0	Write Data/DATA [ADR+2H]

⑥ シリアル転送 (NOP 転送) を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR+2H] ※

HSI : アドレス (A28-A17) と制御信号 (NOP) を受信します。

受信 Bit	機能
D15	Read/Write Control = 任意の値 (Don't Care)
D14-13	Single/Burst Access Control & Burst length Control = 任意の値 (Don't Care)
D12-1	Address (A28-A17) = 任意の値 (Don't Care)
D0	No operation Control (NOP) = Hi Hi : No Operation Low : Operation

⑦ チップセレクトがインインアクティブレベルになり、Serial Host I/F がディスイネーブル状態になります。

HSCS_B : Low → Hi

※SV マイコンとのシリアル通信状態を確認する為に、前回のシリアル受信データを送信します。

8.5.5.4 シングルアクセス (ライト) の連続動作 (その1)

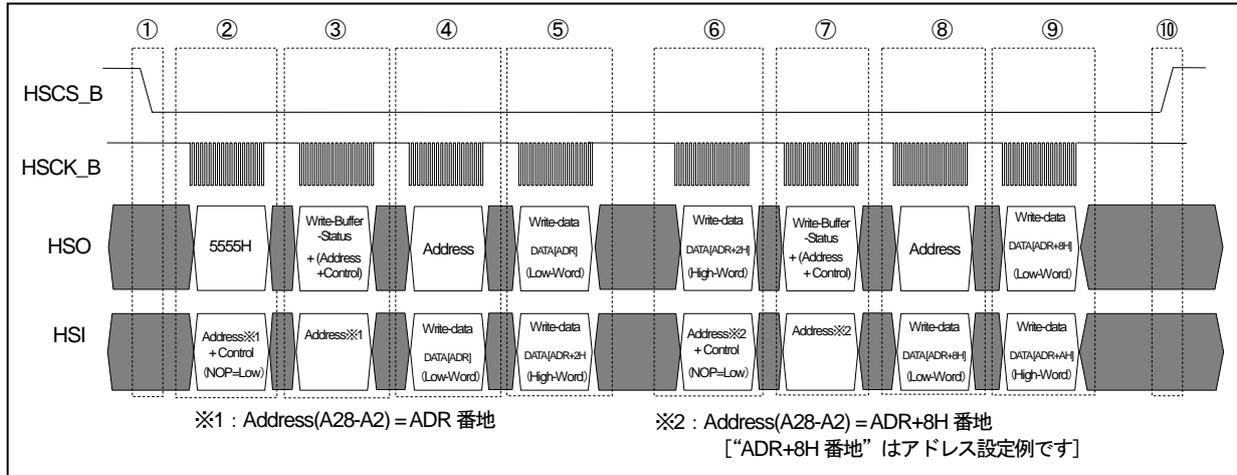


図 8-10 シングルアクセス (ライト) の連続動作時のタイミングチャート

【動作仕様】

SV マイコンがライト時、常にライトバックデータを確認しない場合の動作です。この場合、ライトアクセス後にライトデータ (High-Word) をライトバックする為の NOP 転送は必要ありません。

- ① チップセレクトがアクティブレベルになり、Serial Host I/F がイネーブル状態になります。
 HSCS_B : Hi → Low

- ② シリアル転送を開始します。
 HSCK_B : Lowパルス×16回
 HSO : プロトコル確認用データとして、5555H (固定値) を送信します。

送信 Bit	機能		
D15-0	5555H (固定値)		
HSI : アドレス (A28-A17) と制御信号を受信します。			
受信 Bit	機能		
D15	Read/Write Control = Low Hi : Read access Low : Write access		
D14-13	Single/Burst Access Control & Burst length Control = 2'b00		
	2'b00	Single Access Burst Length (the number of transmission bytes)	
	2'b01	Burst Access	4 times (16 Bytes)
	2'b10		16 times (64 Bytes)
2'b11	64 times (256 Bytes)		
D12-1	Address (A28-A17)		
D0	No operation Control (NOP) = Low Hi : No Operation Low : Operation		

③ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : ライトバッファのステータス及び前回シリアル通信の受信データを出力します。

送信 Bit	機能
D15	Read/Write Control
D14-13	Single/Burst Access Control & Burst length Control
D12-1	Address (A28-A17)
D0	Write Buffer Status = Hi Low : Not Ready (impossible status of write access / Write Buffer is full) Hi : Ready (possible status of write access / Write Buffer is empty)

HSI : アドレス (A16-A2) を受信します。

受信 Bit	機能
D15-1	Address (A16-A2)
D0	Reserved = 任意の値 (Don't Care)

④ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-1	Address (A16-A2)
D0	Reserved

HSI : ライトデータ/DATA [ADR]を受信します。

②と③で受信したアドレス (A28-A2=ADR 番地) へのライトデータ (Low-Word) になります。

受信 Bit	機能
D15-0	Write Data/DATA [ADR]

⑤ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR]

HSI : ライトデータ/DATA [ADR+2H]を受信します。

②と③で受信したアドレス (A28-A2=ADR 番地) へのライトデータ (High-Word) になります。

受信 Bit	機能
D15-0	Write Data/DATA [ADR+2H]

⑥ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR+2H]

HSI : アドレス (A28-A17) と制御信号を受信します。

受信 Bit	機能	
D15	Read/Write Control = Low Hi : Read access Low : Write access	
D14-13	Single/Burst Access Control & Burst length Control = 2'b00	
	Single/ Burst Access	Burst Length (the number of transmission bytes)
	2'b00 Single Access	—
	2'b01	Burst Access
2'b10	Burst Access	16 times (64 Bytes)
2'b11	Burst Access	64 times (256 Bytes)
D12-1	Address (A28-A17)	
D0	No operation Control (NOP) = Low Hi : No Operation Low : Operation	

⑦ シリアル転送を開始します。

HSCB_B : Lowパルス×16回

HSO : ライトバッファのステータス及び前回シリアル通信の受信データを出力します。

送信 Bit	機能
D15	Read/Write Control
D14-13	Single/Burst Access Control & Burst length Control
D12-1	Address (A28-A17)
D0	Write Buffer Status = Hi Low : Not Ready (impossible status of write access / Write Buffer is full) Hi : Ready (possible status of write access / Write Buffer is empty)

HSI : アドレス (A16-A2) を受信します。

受信 Bit	機能
D15-1	Address (A16-A2)
D0	Reserved = 任意の値 (Don't Care)

⑧ シリアル転送を開始します。

HSCB_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-1	Address (A16-A2)
D0	Reserved

HSI : ライトデータ/DATA[ADR+8H]を受信します。

⑥と⑦で受信したアドレス (A28-A2=ADR+8H 番地) へのライトデータ (Low-Word) になります。

受信 Bit	機能
D15-0	Write Data/DATA[ADR+8H]

⑨ シリアル転送を開始します。

HSCB_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA[ADR+8H]

HSI : ライトデータ/DATA[ADR+AH]を受信します。

⑥と⑦で受信したアドレス (A28-A2=ADR+8H 番地) へのライトデータ (High-Word) になります。

受信 Bit	機能
D15-0	Write Data/DATA[ADR+AH]

⑩ チップセレクトがインインアクティブレベルになり、Serial Host I/F がディスイネーブル状態になります。

HSCB_B : Low → Hi

8.5.5.5 シングルアクセス (ライト) の連続動作 (その2)

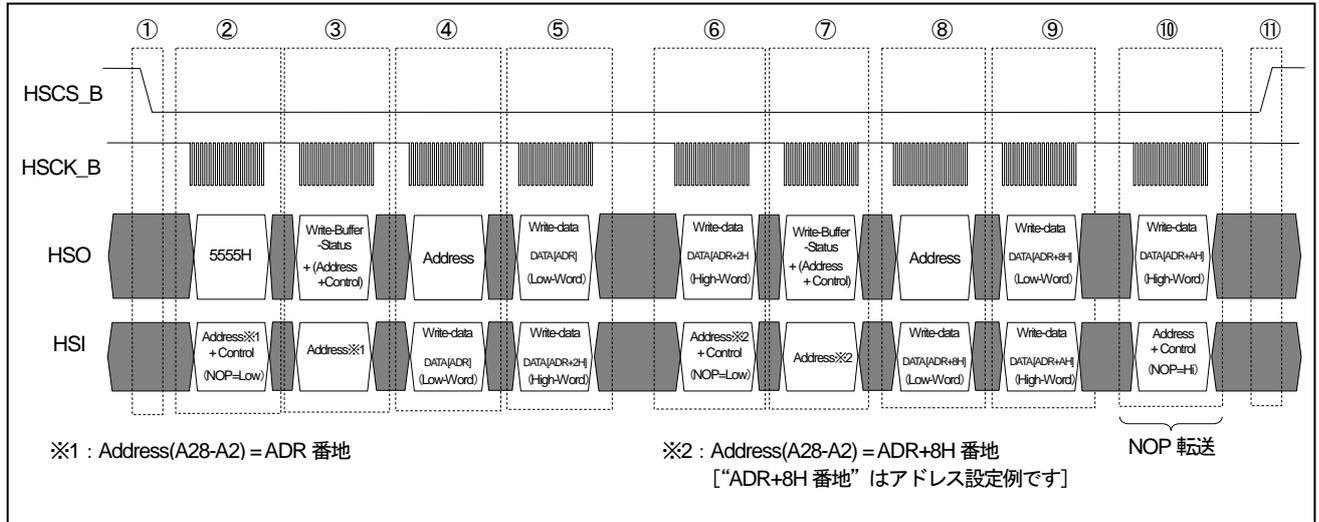


図 8-11 ライトアクセスとライトアクセスの連続アクセスのタイミングチャート

【動作仕様】

ライトアクセスを連続転送する場合、⑥のシリアル転送時に前回のライトデータがライトバックされます。さらに連続したライトアクセスの最後に、NOP 転送を追加することで、全ライトデータをライトバックすることが可能になります。この通信方法では、ライトバックデータを確認しながら、NOP 転送の実行回数を減らせ、効率の良い転送が行えます。

- ① チップセレクトがアクティブレベルになり、Serial Host I/F がイネーブル状態になります。
 HSCS_B : Hi → Low

- ② シリアル転送を開始します。
 HSKC_B : Low パルス×16 回
 HSO : プロトコル確認用データとして、5555H (固定値) を送信します。

送信 Bit	機能
D15-0	5555H (固定値)

HSI : アドレス (A28-A17) と制御信号を受信します。

受信 Bit	機能		
D15	Read/Write Control = Low Hi : Read access Low : Write access		
D14-13	Single/Burst Access Control & Burst length Control = 2'b00		
	Single/ Burst Access	Burst Length (the number of transmission bytes)	
	2'b00	Single Access	—
	2'b01	Burst Access	4 times (16 Bytes)
2'b10	16 times (64 Bytes)		
2'b11		64 times (256 Bytes)	
D12-1	Address (A28-A17)		
D0	No operation Control (NOP) = Low Hi : No Operation Low : Operation		

③ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : ライトバッファのステータス及び前回シリアル通信の受信データを出力します。

送信 Bit	機能
D15	Read/Write Control ※
D14-13	Single/Burst Access Control & Burst length Control ※
D12-1	Address (A28-A17) ※
D0	Write Buffer Status = Hi Low : Not Ready (impossible status of write access / Write Buffer is full) Hi : Ready (possible status of write access / Write Buffer is empty)

HSI : アドレス (A16-A2) を受信します。

受信 Bit	機能
D15-1	Address (A16-A2)
D0	Reserved = 任意の値 (Don't Care)

④ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-1	Address (A16-A2) ※
D0	Reserved ※

HSI : ライトデータ/DATA [ADR]を受信します。

②と③で受信したアドレス (A28-A2=ADR 番地) へのライトデータ (Low-Word) になります。

受信 Bit	機能
D15-0	Write Data/DATA [ADR]

⑤ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR]※

HSI : ライトデータ/DATA [ADR+2H]を受信します。

②と③で受信したアドレス (A28-A2=ADR 番地) へのライトデータ (High-Word) になります。

受信 Bit	機能
D15-0	Write Data/DATA [ADR+2H]

⑥ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR+2H]

HSI : アドレス (A28-A17) と制御信号を受信します。

受信 Bit	機能	
D15	Read/Write Control = Low Hi : Read access Low : Write access	
D14-13	Single/Burst Access Control & Burst length Control = 2'b00	
	Single/ Burst Access	Burst Length (the number of transmission bytes)
	2'b00 Single Access	—
	2'b01	4 times (16 Bytes)
2'b10	Burst Access	16 times (64 Bytes)
2'b11		64 times (256 Bytes)
D12-1	Address (A28-A17)	
D0	No operation Control (NOP) = Low Hi : No Operation Low : Operation	

⑦ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : ライトバッファのステータス及び前回シリアル通信の受信データを出力します。

送信 Bit	機能
D15	Read/Write Control ※
D14-13	Single/Burst Access Control & Burst length Control ※
D12-1	Address (A28-A17) ※
D0	Write Buffer Status = Hi Low : Not Ready (impossible status of write access / Write Buffer is full) Hi : Ready (possible status of write access / Write Buffer is empty)

HSI : アドレス (A16-A2) を受信します。

受信 Bit	機能
D15-1	Address (A16-A2)
D0	Reserved = 任意の値 (Don't Care)

⑧ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-1	Address (A16-A2) ※
D0	Reserved ※

HSI : ライトデータ/DATA [ADR+8H]を受信します。

⑥と⑦で受信したアドレス (A28-A2=ADR+8H 番地) へのライトデータ (Low-Word) になります。

受信 Bit	機能
D15-0	Write Data/DATA [ADR+8H]

⑨ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR+8H] ※

HSI : ライトデータ/DATA [ADR+AH]を受信します。

⑥と⑦で受信したアドレス (A28-A2=ADR+8H 番地) へのライトデータ (High-Word) になります。

受信 Bit	機能
D15-0	Write Data/DATA [ADR+AH]

⑩ シリアル転送 (NOP 転送) を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR+AH] ※

HSI : アドレス (A28-A17) と制御信号 (NOP) を受信します。

受信 Bit	機能
D15	Read/Write Control = 任意の値 (Don't Care)
D14-13	Single/Burst Access Control & Burst length Control = 任意の値 (Don't Care)
D12-1	Address (A28-A17) = 任意の値 (Don't Care)
D0	No operation Control (NOP) = Hi Hi : No Operation Low : Operation

⑪ チップセレクトがインインアクティブレベルになり、Serial Host I/F がディスイネーブル状態になります。

HSCS_B : Low → Hi

※SV マイコンとのシリアル通信状態を確認する為に、前回のシリアル受信データを送信します。

8.5.5.6 バーストアクセス (ライト) の動作

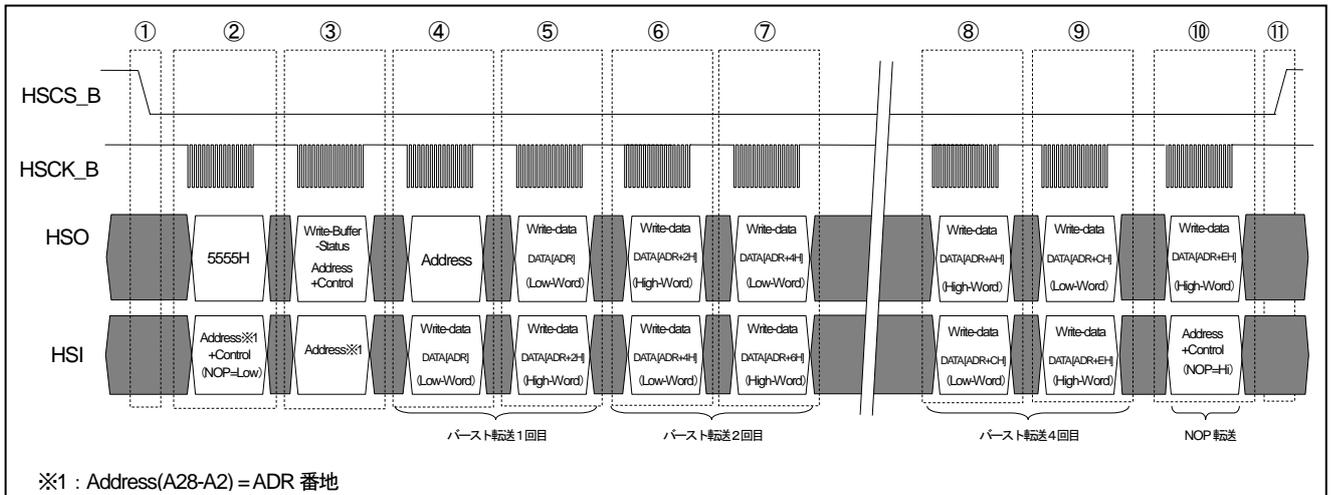


図 8-12 バーストアクセス (ライト) のタイミングチャート

【動作仕様】

- ① チップセレクトがアクティブレベルになり、Serial Host I/F がイネーブル状態になります。
HSCS_B : Hi→Low

- ② シリアル転送を開始します。
HSCCK_B : Lowパルス×16回
HSO : プロトコル確認用データとして、5555H (固定値) を送信します。

送信 Bit	機能		
D15-0	5555H (固定値)		
HSI : アドレス (A28-A17) と制御信号を受信します。			
受信 Bit	機能		
D15	Read/Write Control = Low Hi : Read access Low : Write access		
D14-13	Single/Burst Access Control & Burst length Control = 2'b01		
	Single/ Burst Access	Burst Length (the number of transmission bytes)	
	2'b00	Single Access	—
	2'b01	Burst Access	4 times (16 Bytes)
2'b10	16 times (64 Bytes)		
2'b11	64 times (256 Bytes)		
D12-1	Address (A28-A17)		
D0	No operation Control (NOP) = Low Hi : No Operation Low : Operation		

③ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : ライトバッファのステータス及び前回シリアル通信の受信データを出力します。

受信 Bit	機能
D15	Read/Write Control ※
D14-13	Single/Burst Access Control & Burst length Control ※
D12-1	Address (A28-A17) ※
D0	Write Buffer Status = Hi Low : Not Ready (impossible status of write access / Write Buffer is full) Hi : Ready (possible status of write access / Write Buffer is empty)

HSI : アドレス (A16-A2) を受信します。

受信 Bit	機能
D15-1	Address (A16-A2)
D0	Reserved = 任意の値 (Don't Care)

④ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-1	Address(A16-A2) ※
D0	Reserved ※

HSI : ライトデータ/DATA [ADR]を受信します。

②と③で受信したアドレス (A28-A2=ADR 番地) へのライトデータ (Low-Word) になります

受信 Bit	機能
D15-0	Write Data/DATA [ADR]

⑤ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR] ※

HSI : ライトデータ/DATA [ADR+2H]を受信します。

②と③で受信したアドレス (A28-A2=ADR 番地) へのライトデータ (High-Word) になります

受信 Bit	機能
D15-0	Write Data/DATA [ADR+2H]

※SV マイコンとのシリアル通信状態を確認する為に、前回のシリアル受信データを送信します。

⑥ シリアル転送を開始します。

HSCCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR+2H] ※

HSI : ライトデータ/DATA [ADR+4H]を受信します。

②と③で受信したアドレス (A28-A2=ADR 番地) に “+4H” をしたアドレスへの
ライトデータ (Low-Word) になります

受信 Bit	機能
D15-0	Write Data/DATA [ADR+4H]

⑦ シリアル転送を開始します。

HSCCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR+4H] ※

HSI : ライトデータ/DATA [ADR+6H]を受信します。

②と③で受信したアドレス (A28-A2=ADR 番地) に “+4H” をしたアドレスへの
ライトデータ (High-Word) になります

受信 Bit	機能
D15-0	Write Data/DATA [ADR+6H]

⑧ シリアル転送を開始します。

HSCCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR+AH] ※

HSI : ライトデータ/DATA [ADR+CH]を受信します。

②と③で受信したアドレス (A28-A2=ADR 番地) に “+CH” をしたアドレスへの
ライトデータ (Low-Word) になります

受信 Bit	機能
D15-0	Write Data/DATA [ADR+CH]

⑨ シリアル転送を開始します。

HSCCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR+CH] ※

HSI : ライトデータ/DATA [ADR+EH]を受信します。

②と③で受信したアドレス (A28-A2=ADR 番地) に “+CH” をしたアドレスへの
ライトデータ (High-Word) になります

受信 Bit	機能
D15-0	Write Data/DATA [ADR+EH]

- ⑩ シリアル転送 (NOP 転送) を開始します。

HSCB_B : Low パルス×16 回

HSD : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data /DATA [ADR+EH] ※

HSI : アドレス (A28-A17) と制御信号 (NOP) を受信します。

受信 Bit	機能
D15	Read/Write Control = 任意の値 (Don't Care)
D14-13	Single/Burst Access Control & Burst length Control = 任意の値 (Don't Care)
D12-1	Address (A28-A17) = 任意の値 (Don't Care)
D0	No operation Control (NOP) = Hi Hi : No Operation Low : Operation

- ⑩ チップセレクトがインインアクティブレベルになり、Serial Host I/F がディスイネーブル状態になります。

HSCB_B : Low → Hi

※SV マイコンとのシリアル通信状態を確認する為に、前回のシリアル受信データを送信します。

8.5.5.7 ライトバッファが Not Ready 時のライトアクセス動作

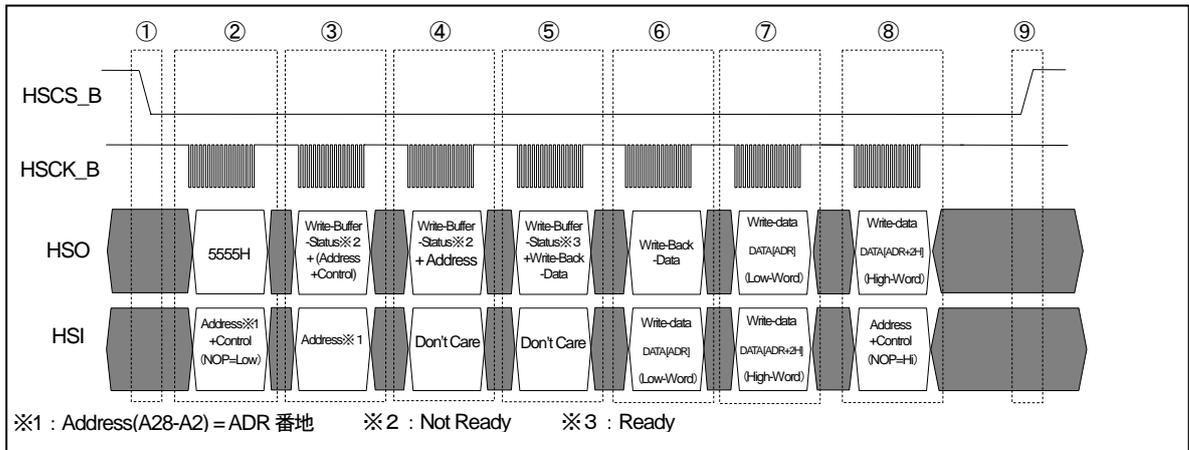


図 8-13 ライトバッファが Full 時のアクセス (ライト) のタイミングチャート

【動作仕様】

- ① チップセレクトがアクティブレベルになり、Serial Host I/F がイネーブル状態になります。
HSCS_B : Hi→Low
- ② シリアル転送を開始します。
HSCK_B : Lowパルス×16回
HSO : プロトコル確認用データとして、5555H (固定値) を送信します。

送信 Bit	機能
D15-0	5555H (固定値)

HSI : アドレス (A28-A17) と制御信号を受信します。

受信 Bit	機能	
D15	Read/Write Control = Low Hi : Read access Low : Write access	
D14-13	Single/Burst Access Control & Burst length Control = 2'b00	
	2'b00	Single Access Burst Length (the number of transmission bytes) —
	2'b01	Burst Access 4 times (16 Bytes)
	2'b10	
2'b11	64 times (256 Bytes)	
D12-1	Address (A28-A17)	
D0	No operation Control (NOP) = Low Hi : No Operation Low : Operation	

③ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : ライトバッファのステータス及び前回シリアル通信の受信データを出力します。

受信 Bit	機能
D15	Read/Write Control ※
D14-13	Single/Burst Access Control & Burst length Control ※
D12-1	Address (A28-A17) ※
D0	Write Buffer Status = Low Low : Not Ready (impossible status of write access / Write Buffer is full) Hi : Ready (possible status of write access / Write Buffer is empty)

HSI : アドレス (A16-A2) を受信します。

受信 Bit	機能
D15-1	Address (A16-A2)
D0	Reserved = 任意の値 (Don't Care)

④ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : ライトバッファのステータス及び前回シリアル通信の受信データを出力します。

送信 Bit	機能
D15-1	Address (A16-A2) ※
D0	Write Buffer Status = Low Low : Not Ready (impossible status of write access / Write Buffer is full) Hi : Ready (possible status of write access / Write Buffer is empty)

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

④ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : ライトバッファのステータス及び前回シリアル通信の受信データを出力します。

送信 Bit	機能
D15-1	前回シリアル通信の受信データ ※
D0	Write Buffer Status = Hi Low : Not Ready (impossible status of write access / Write Buffer is full) Hi : Ready (possible status of write access / Write Buffer is empty)

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

※SV マイコンとのシリアル通信状態を確認する為に、前回のシリアル受信データを送信します。

⑥ シリアル転送を開始します。

HSCB_B : Lowパルス×16回

HSD : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-1	前回シリアル通信の受信データ ※
D0	Reserved ※

HSI : ライトデータ/DATA [ADR]を受信します。

②と③で受信したアドレス (A28-A2=ADR 番地) へのライトデータ (Low-Word) になります

受信 Bit	機能
D15-0	Write Data/DATA [ADR]

⑦ シリアル転送を開始します。

HSCB_B : Lowパルス×16回

HSD : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR] ※

HSI : ライトデータ/DATA [ADR+2H]を受信します。

②と③で受信したアドレス (A28-A2=ADR 番地) へのライトデータ (High-Word) になります

受信 Bit	機能
D15-0	Write Data/DATA [ADR+2H]

⑧ シリアル転送 (NOP 転送) を開始します。

HSCB_B : Lowパルス×16回

HSD : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR+2H] ※

HSI : アドレス (A28-A17) と制御信号 (NOP) を受信します。

受信 Bit	機能
D15	Read/Write Control = 任意の値 (Don't Care)
D14-13	Single/Burst Access Control & Burst length Control = 任意の値 (Don't Care)
D12-1	Address (A28-A17) = 任意の値 (Don't Care)
D0	No operation Control (NOP) = Hi Hi : No Operation Low : Operation

⑨ チップセレクトがインインアクティブレベルになり、Serial Host I/F がディスイネーブル状態になります。

HSCB_B : Low → Hi

※SV マイコンとのシリアル通信状態を確認する為に、前回のシリアル受信データを送信します。

8.5.5.8 シングルアクセス（リード）の動作

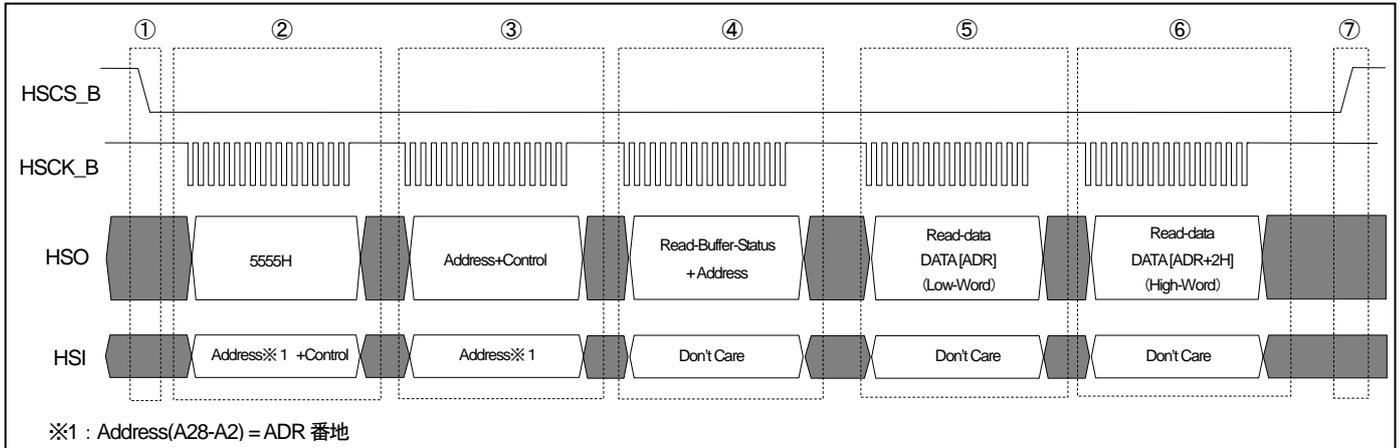


図 8-14 シングルアクセス（リード）のタイミングチャート

【動作仕様】

- ① チップセレクトがアクティブレベルになり、Serial Host I/F がイネーブル状態になります。
HSCS_B : Hi→Low

- ② シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : プロトコル確認用データとして、5555H（固定値）を送信します。

送信 Bit	機能
D15-0	5555H（固定値）

HSI : アドレス（A28-A17）と制御信号を受信します。

受信 Bit	機能		
D15	Read/Write Control = Hi Hi : Read access Low : Write access		
D14-13	Single/Burst Access Control & Burst length Control = 2'b00		
	2'b00	Single Access Burst Length (the number of transmission bytes) —	
	2'b01	Burst Access	4 times (16 Bytes)
	2'b10		16 times (64 Bytes)
2'b11	64 times (256 Bytes)		
D12-1	Address (A28-A17)		
D0	No operation Control (NOP) = Low Hi : No Operation Low : Operation		

③ シリアル転送を開始します。

HSCK_B : Lowパルス×16回
 HSO : 前回シリアル通信の受信データを送信します。

受信 Bit	機能
D15	Read/Write Control ※
D14-13	Single/Burst Access Control & Burst length Control ※
D12-1	Address (A28-A17) ※
D0	No operation Control ※

HSI : アドレス (A16-A2) を受信します。

受信 Bit	機能
D15-1	Address (A16-A2)
D0	Reserved = 任意の値 (Don't Care)

④ シリアル転送を開始します。

HSCK_B : Lowパルス×16回
 HSO : リードバッファのステータス及び前回シリアル通信の受信データを出力します。

送信 Bit	機能
D15-1	Address (A16-A2) ※
D0	Read Buffer Status = Hi Low : Not Ready (impossible status of read access) Hi : Ready (possible status of read access)

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

⑤ シリアル転送を開始します。

HSCK_B : Lowパルス×16回
 HSO : リードデータ/DATA [ADR]を送信します。
 ②と③で受信したアドレス (A28-A2=ADR 番地) のリードデータ (Low-Word) になります

送信 Bit	機能
D15-0	Read Data/DATA [ADR]

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

⑥ シリアル転送を開始します。

HSCK_B : Lowパルス×16回
 HSO : リードデータ/DATA [ADR+2H]を送信します。
 ②と③で受信したアドレス (A28-A2=ADR 番地) のリードデータ (High-Word) になります

送信 Bit	機能
D15-0	Read Data/DATA [ADR+2H]

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

⑦ チップセレクトがインアクティブレベルになり、Serial Host I/F がディスイネーブル状態になります。

HSCS_B : Low→Hi

※SV マイコンとのシリアル通信状態を確認する為に、前回のシリアル受信データを送信します。

8.5.5.9 バーストアクセス (リード) 動作

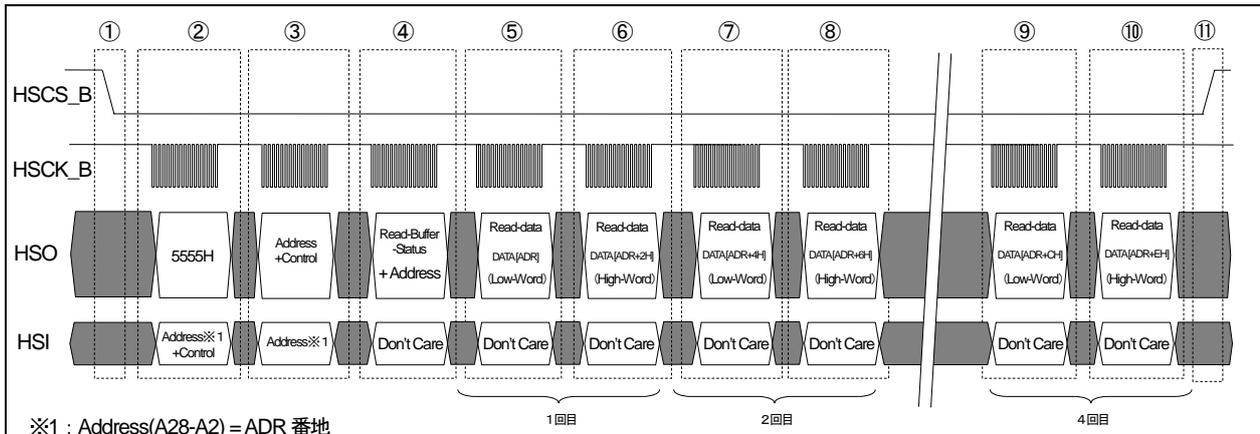


図 8-15 バーストアクセス (リード) のタイミングチャート

【動作仕様】

- ① チップセレクトがアクティブレベルになり、Serial Host I/F がイネーブル状態になります。
HSCS_B : Hi→Low

- ② シリアル転送を開始します。
HSCK_B : Lowパルス×16回
HSO : プロトコル確認用データとして、5555H (固定値) を送信します。

送信 Bit	機能
D15-0	5555H (固定値)

HSI : アドレス (A28-A17) と制御信号を受信します。

受信 Bit	機能		
D15	Read/Write Control = Hi Hi : Read access Low : Write access		
D14-13	Single/Burst Access Control & Burst length Control = 2'b01		
	Single/ Burst Access	Burst Length (the number of transmission bytes)	
	2'b00	Single Access	—
	2'b01	Burst Access	4 times (16 Bytes)
2'b10	16 times (64 Bytes)		
2'b11		64 times (256 Bytes)	
D12-1	Address (A28-A17)		
D0	No operation Control (NOP) = Low Hi : No Operation Low : Operation		

- ③ シリアル転送を開始します。
HSCK_B : Lowパルス×16回
HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15	Read/Write Control ※
D14-13	Single/Burst Access Control & Burst length Control ※
D12-1	Address (A28-A17) ※
D0	No operation Control (NOP) ※

HSI : アドレス (A16-A2) を受信します。

受信 Bit	機能
D15-1	Address (A16-A2)
D0	Reserved = 任意の値 (Don't Care)

※SV マイコンとのシリアル通信状態を確認する為に、前回のシリアル受信データを送信します。

④ シリアル転送を開始します。

HSCCK_B : Lowパルス×16回

HSO : リードバッファのステータスと前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-1	Address (A16-A2) ※
D0	Read Buffer Status = Hi Low : Not Ready (impossible status of read access) Hi : Ready (possible status of read access)

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

※SV マイコンとのシリアル通信状態を確認する為に、前回のシリアル受信データを送信します。

⑤ シリアル転送を開始します。

HSCCK_B : Lowパルス×16回

HSO : リードデータ/DATA [ADR]を送信します。

②と③で受信したアドレス (A28-A2=ADR 番地) のリードデータ (Low-Word) になります

送信 Bit	機能
D15-0	Read Data /DATA [ADR]

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

⑥ シリアル転送を開始します。

HSCCK_B : Lowパルス×16回

HSO : リードデータ/DATA [ADR+2H]を送信します。

②と③で受信したアドレス (A28-A2=ADR 番地) のリードデータ (High-Word) になります

送信 Bit	機能
D15-0	Read Data /DATA [ADR+2H]

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

⑦ シリアル転送を開始します。

HSCCK_B : Lowパルス×16回

HSO : リードデータ/DATA [ADR+4H]を送信します。

②と③で受信したアドレス (A28-A2=ADR 番地) に "+4H" をしたアドレスの
リードデータ (Low-Word) になります

送信 Bit	機能
D15-0	Read Data /DATA [ADR+4H]

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

⑧ シリアル転送を開始します。

HSCCK_B : Lowパルス×16回

HSO : リードデータ/DATA [ADR+6H]を送信します。

②と③で受信したアドレス (A28-A2=ADR 番地) に "+4H" をしたアドレスの
リードデータ (High-Word) になります

送信 Bit	機能
D15-0	Read Data /DATA [ADR+6H]

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

⑨ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : リードデータ/DATA [ADR+CH]を送信します。

②と③で受信したアドレス (A28-A2=ADR 番地) に “+CH” をしたアドレスの
リードデータ (Low-Word) になります

送信 Bit	機能
D15-0	Read Data/DATA [ADR+CH]

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

⑩ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : リードデータ/DATA [ADR+EH]を送信します。

②と③で受信したアドレス (A28-A2=ADR 番地) に “+CH” をしたアドレスの
リードデータ (High-Word) になります

送信 Bit	機能
D15-0	Read Data/DATA [ADR+EH]

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

⑪ チップセレクトがインアクティブレベルになり、Serial Host I/F がディスイネーブル状態になります。

HSCS_B : Low → Hi

8.5.5.10 リードバッファが Not Ready 時のアクセス (リード) 動作

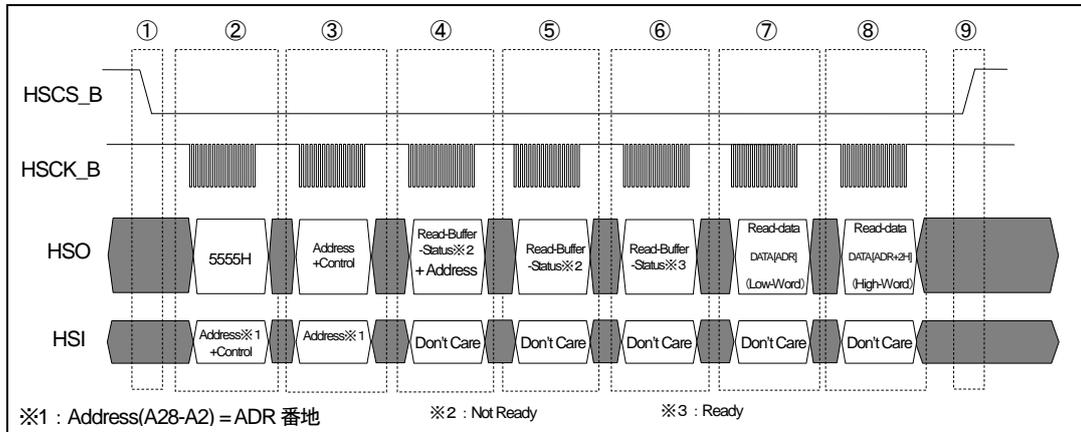


図 8-16 リードバッファが Not Ready 時のアクセス (リード) のタイミングチャート

【動作仕様】

- ① チップセレクトがアクティブレベルになり、Serial Host I/F がイネーブル状態になります。
 HSCS_B : Hi→Low

- ② シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : プロトコル確認用データとして、5555H (固定値) を送信します。

送信 Bit	機能
D15-0	5555H (固定値)

HSI : アドレス (A28-A17) と制御信号を受信します。

受信 Bit	機能	
D15	Read/Write Control = Hi Hi : Read access Low : Write access	
D14-13	Single/Burst Access Control & Burst length Control = 2'b00	
	2'b00	Single Access Burst Length (the number of transmission bytes)
	2'b01	4 times (16 Bytes)
	2'b10	16 times (64 Bytes)
2'b11	Burst Access 64 times (256 Bytes)	
D12-1	Address (A28-A17)	
D0	No operation Control (NOP) = Low Hi : No Operation Low : Operation	

③ シリアル転送を開始します。

HCK_B : Lowパルス×16回
 HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15	Read/Write Control ※
D14-13	Single/Burst Access Control & Burst length Control ※
D12-1	Address (A28-A17) ※
D0	No operation Control (NOP) ※

HSI : アドレス (A16-A2) を受信します。

受信 Bit	機能
D15-1	Address (A16-A2)
D0	Reserved = 任意の値 (Don't Care)

④ シリアル転送を開始します。

HCK_B : Lowパルス×16回
 HSO : リードバッファのステータス及び前回シリアル通信の受信データを出力します。

送信 Bit	機能
D15-1	Address (A16-A2) ※
D0	Read Buffer Status = Low Low : Not Ready (impossible status of read access) Hi : Ready (possible status of read access)

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

※SV マイコンとのシリアル通信状態を確認する為に、前回のシリアル受信データを送信します。

⑤ シリアル転送を開始します。

HCK_B : Lowパルス×16回
 HSO : リードバッファのステータス及び前回シリアル通信の受信データを出力します。

送信 Bit	機能
D15-1	前回シリアル通信の受信データ ※
D0	Read Buffer Status = Low Low : Not Ready (impossible status of read access) Hi : Ready (possible status of read access)

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

⑥ シリアル転送を開始します。

HCK_B : Lowパルス×16回
 HSO : リードバッファのステータス及び前回シリアル通信の受信データを出力します。

送信 Bit	機能
D15-1	前回シリアル通信の受信データ ※
D0	Read Buffer Status = Hi Low : Not Ready (impossible status of read access) Hi : Ready (possible status of read access)

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

⑦ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : リードデータ/DATA [ADR]を送信します。

②と③で受信したアドレス (A28-A2=ADR 番地) のリードデータ (Low-Word) になります

送信 Bit	機能
D15-0	Read Data/DATA [ADR]

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

⑧ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : リードデータ/DATA [ADR+2H]を送信します。

②と③で受信したアドレス (A28-A2=ADR 番地) のリードデータ (High-Word) になります

送信 Bit	機能
D15-0	Read Data/DATA [ADR+2H]

HSI : 任意のデータを受信します。

受信 Bit	機能
D15-0	任意のデータ (Don't Care)

⑨ チップセレクトがインアクティブレベルになり、Serial Host I/F がディスイネーブル状態になります。

HSCS_B : Low → Hi

8.5.5.11 シリアル通信の中止動作及び再開動作

シリアル通信中に、優先度の高いライト及びリードアクセスの要求が発生した場合、チップセレクトをインアクティブレベルにすることにより、ライト及びリードアクセスを中止することができます。この場合、途中で中止されたライトアクセスは無効となります。

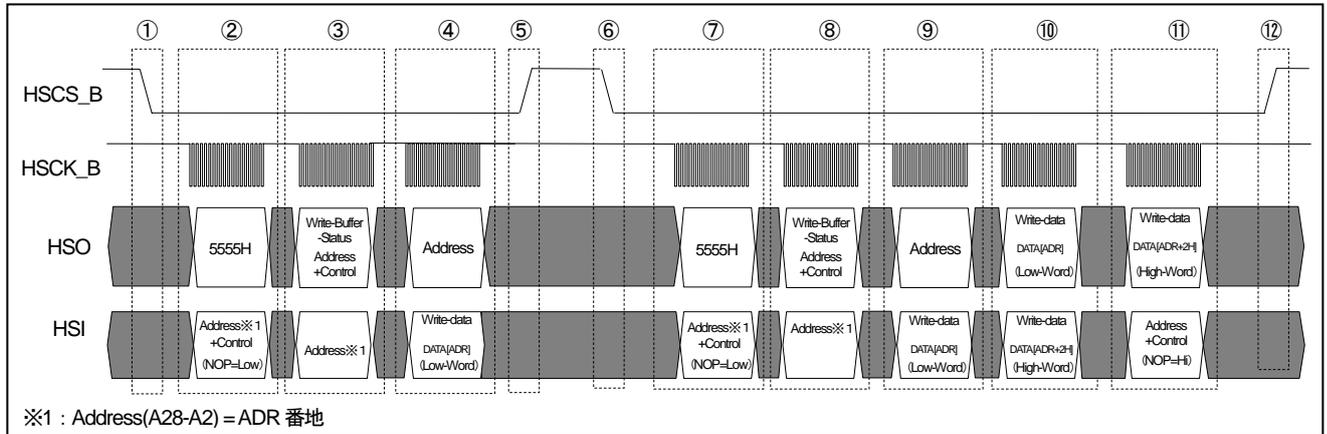


図 8-17 シリアル通信を中断した時のタイミングチャート

【動作仕様】

- ① チップセレクトがアクティブレベルになり、Serial Host I/F がイネーブル状態になります。
HSCS_B : Hi → Low

- ② シリアル転送を開始します。
HSCK_B : Lowパルス×16回
HSO : プロトコル確認用データとして、5555H (固定値) を送信します。

送信 Bit	機能
D15-0	5555H (固定値)

HSI : アドレス (A28-A17) と制御信号を受信します。

受信 Bit	機能	
D15	Read/Write Control = Low Hi : Read access Low : Write access	
D14-13	Single/Burst Access Control & Burst length Control = 2'b00	
	2'b00	Single Access
	2'b01	Burst Access
	2'b10	
2'b11	64 times (256 Bytes)	
D12-1	Address (A28-A17)	
D0	No operation Control (NOP) = Low Hi : No Operation Low : Operation	

③ シリアル転送を開始します。

HSCB_B : Lowパルス×16回

HSO : ライトバッファのステータス及び前回シリアル通信の受信データを出力します。

送信 Bit	機能
D15	Read/Write Control ※
D14-13	Single/Burst Access Control & Burst length Control ※
D12-1	Address (A28-A17) ※
D0	Write Buffer Status = Hi Low : Not Ready (impossible status of write access / Write Buffer is full) Hi : Ready (possible status of write access / Write Buffer is empty)

HSI : アドレス (A16-A2) を受信します。

受信 Bit	機能
D15-1	Address (A16-A2)
D0	Reserved = 任意の値 (Don't Care)

④ シリアル転送を開始します。

HSCB_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-1	Address (A16-A2) ※
D0	Reserved ※

HSI : ライトデータ/DATA [ADR]を受信します。

②と③で受信したアドレス (A28-A2=ADR 番地) へのライトデータ (Low-Word) になります

受信 Bit	機能
D15-0	Write Data/DATA [ADR]

※ここでは、③の受信時もしくは④の送信時に、優先度の高いライトアクセスの要求が発生した場合を想定しています。この場合、⑤でSVマイコンはライトアクセスを中止します。

⑤ チップセレクトがインインアクティブレベルになり、Serial Host I/F がディスイネーブル状態になります。

HSCB_B : Low → Hi

⑥ チップセレクトがアクティブレベルになり、Serial Host I/F がイネーブル状態になります。

HSCB_B : Hi → Low

⑦ シリアル転送を開始します。

HSCB_B : Lowパルス×16回

HSO : プロトコル確認用データとして、5555H (固定値) を送信します。

送信 Bit	機能
D15-0	5555H (固定値)

HSI : アドレス (A28-A17) と制御信号を受信します。

受信 Bit	機能	
D15	Read/Write Control = Low Hi : Read access Low : Write access	
D14-13	Single/Burst Access Control & Burst length Control = 2'b00	
	Single/ Burst Access	Burst Length (the number of transmission bytes)
	2'b00 Single Access	—
	2'b01	4 times (16 Bytes)
2'b10	Burst Access	16 times (64 Bytes)
2'b11		64 times (256 Bytes)
D12-1	Address (A28-A17)	
D0	No operation Control (NOP) = Low Hi : No Operation Low : Operation	

⑧ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : ライトバッファのステータス及び前回シリアル通信の受信データを出力します。

送信 Bit	機能
D15	Read/Write Control ※
D14-13	Single/Burst Access Control & Burst length Control ※
D12-1	Address (A28-A17) ※
D0	Write Buffer Status = Hi Low : Not Ready (impossible status of write access / Write Buffer is full) Hi : Ready (possible status of write access / Write Buffer is empty)

HSI : アドレス (A16-A2) を受信します。

受信 Bit	機能
D15-1	Address (A16-A2)
D0	Reserved = 任意の値 (Don't Care)

⑨ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-1	Address (A16-A2) ※
D0	Reserved ※

HSI : ライトデータ/DATA [ADR]を受信します。

⑦と⑧で受信したアドレス (A28-A2=ADR 番地) へのライトデータ (Low-Word) になります

受信 Bit	機能
D15-0	Write Data/DATA [ADR]

⑩ シリアル転送を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR] ※

HSI : ライトデータ/DATA [ADR+2H]を受信します。

⑦と⑧で受信したアドレス (A28-A2=ADR 番地) へのライトデータ (High-Word) になります

受信 Bit	機能
D15-0	Write Data/DATA [ADR+2H]

⑪ シリアル転送 (NOP 転送) を開始します。

HSCK_B : Lowパルス×16回

HSO : 前回シリアル通信の受信データを送信します。

送信 Bit	機能
D15-0	Write Data/DATA [ADR+2H] ※

HSI : アドレス (A28-A17) と制御信号 (NOP) を受信します。

受信 Bit	機能
D15	Read/Write Control = 任意の値 (Don't Care)
D14-13	Single/Burst Access Control & Burst length Control = 任意の値 (Don't Care)
D12-1	Address (A28-A17) = 任意の値 (Don't Care)
D0	No operation Control (NOP) = Hi Hi : No Operation Low : Operation

⑫ チップセレクトがインインアクティブレベルになり、Serial Host I/F がディスイネーブル状態になります。

HSCS_B : Low → Hi

※SV マイコンとのシリアル通信状態を確認する為に、前回のシリアル受信データを送信します。

第9章. 外部メモリ I/F 機能

9.1 特徴

本製品は、外部メモリインターフェースとして、SDRAM インターフェースを内蔵しています。本製品は、この外部メモリインターフェースを介して、外部メモリと高速通信が可能です。

- バースト長 1 固定でアクセスします。
- ラップ・タイプはシーケンシャル固定でアクセスします。
- CAS レイテンシは 2, 3 をサポートします。
- ロウ / カラム・アドレスのマルチプレクス幅の切り替え機能を有します。
- ロウ・アドレスは、SDA12-00 をサポートします。
- カラム・アドレスは、SDA11, SDA09-00 をサポートします。
- オートプリチャージ / 全バンクプリチャージ機能を有します。
- SDCLK の周波数はシステムクロック fxx と同じです。
- 転送レート（理論値）は以下の様になります

データバス幅 64bit かつクロック周波数 132MHz の場合	: 8.4 [Gbps]
データバス幅 32bit かつ クロック周波数 132MHz の場合	: 4.2 [Gbps]
データバス幅 32bit かつ クロック周波数 66MHz の場合	: 2.1 [Gbps]
- 4 バンクのアクセス順序切り替え機能を有します
- サポートするデータバス幅は、下記の様になります。^注

FPBGA パッケージの場合	: 64bit 、 32bit
LQFP パッケージの場合	: 32bit
- FPBGA パッケージ品において、データバス幅の 64bit/32bit の設定機能を有します。
- リフレッシュモードを有します。
- 制御レジスタは内蔵バス SBUS にて制御可能です。
- 制御レジスタアクセスによるコマンド発行機能を有します。
- ライトプロテクト機能を有します。
- ノーマル ECC モードと縦列格納 ECC モードを有します。

ノーマル ECC モード	: ECC データを専用 SDRAM に格納する方式
縦列格納 ECC モード	: ECC データをデータ領域に格納する方式
- SDRAM の接続構成は以下の様になります。

SDRAM のバス幅 / ECC モード	: SDRAM の接続構成
データバス幅 64bit / ノーマル ECC モード	: 32bit 幅の SDRAM × 3 32bit 幅の SDRAM × 2 + 16bit 幅の SDRAM × 1
データバス幅 64bit / 縦列格納 ECC モード	: 32bit 幅の SDRAM × 2
データバス幅 32bit / ノーマル ECC モード	: 32bit 幅の SDRAM × 2 32bit 幅の SDRAM × 1 + 16bit 幅の SDRAM × 1 32bit 幅の SDRAM × 1 + 8bit 幅の SDRAM × 1 16bit 幅の SDRAM × 3 16bit 幅の SDRAM × 2 + 8bit 幅の SDRAM × 1
データバス幅 32bit / 縦列格納 ECC モード	: 32bit 幅の SDRAM × 1 16bit 幅の SDRAM × 2

注：本製品は、非キャッシュアクセス命令による 8bit/16bit アクセスをサポートしません。

9.2 ブロック図

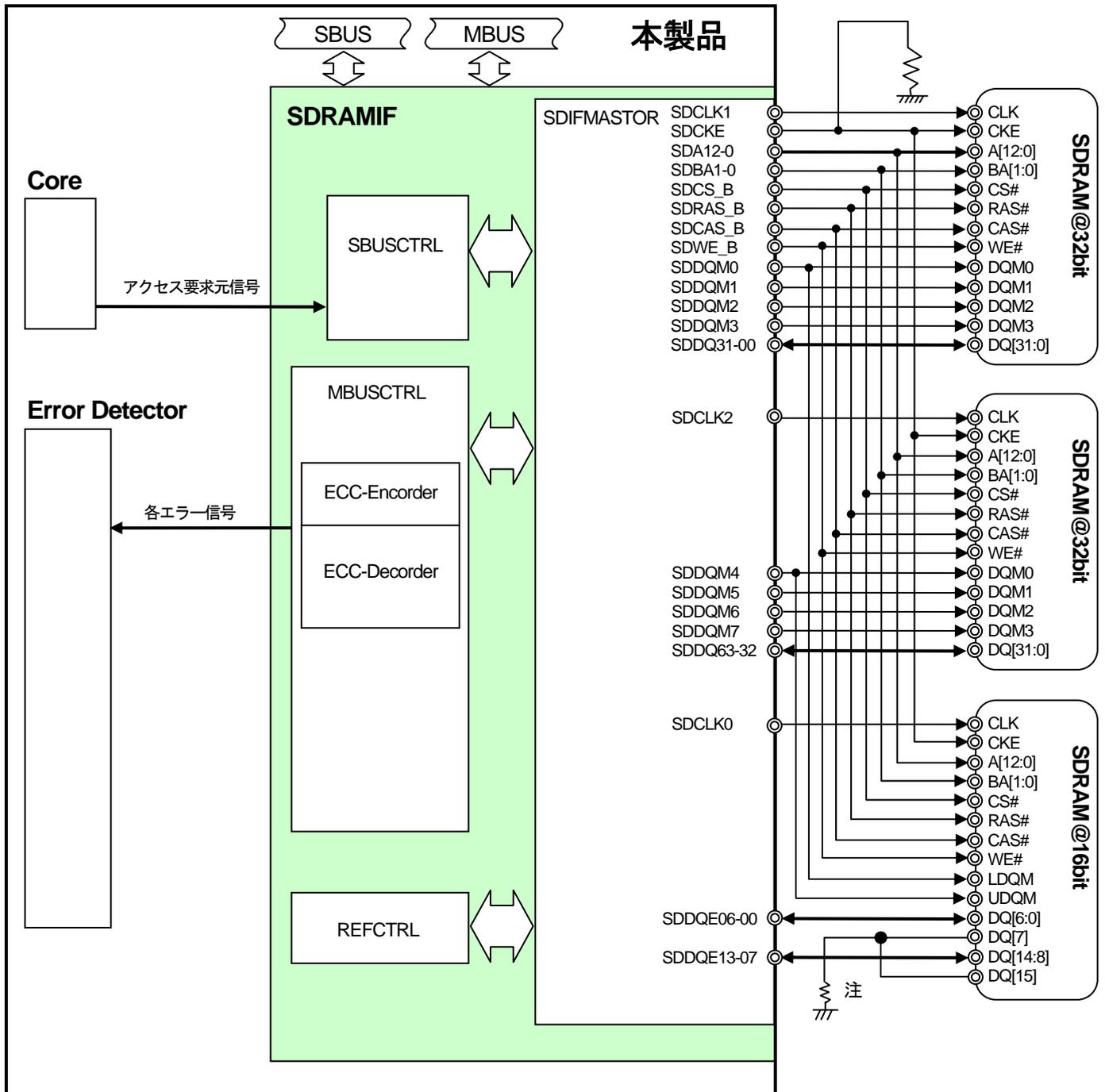


図 9-1 SDRAM I/F ブロック図 (FGBGA パッケージで SDRAM を 3 個接続時)

注: ECC 用データ信号は 32bit に対して 7bit となりますので、SDRAM で使用しない bit は基板上で抵抗を介して VSS に接続して下さい。

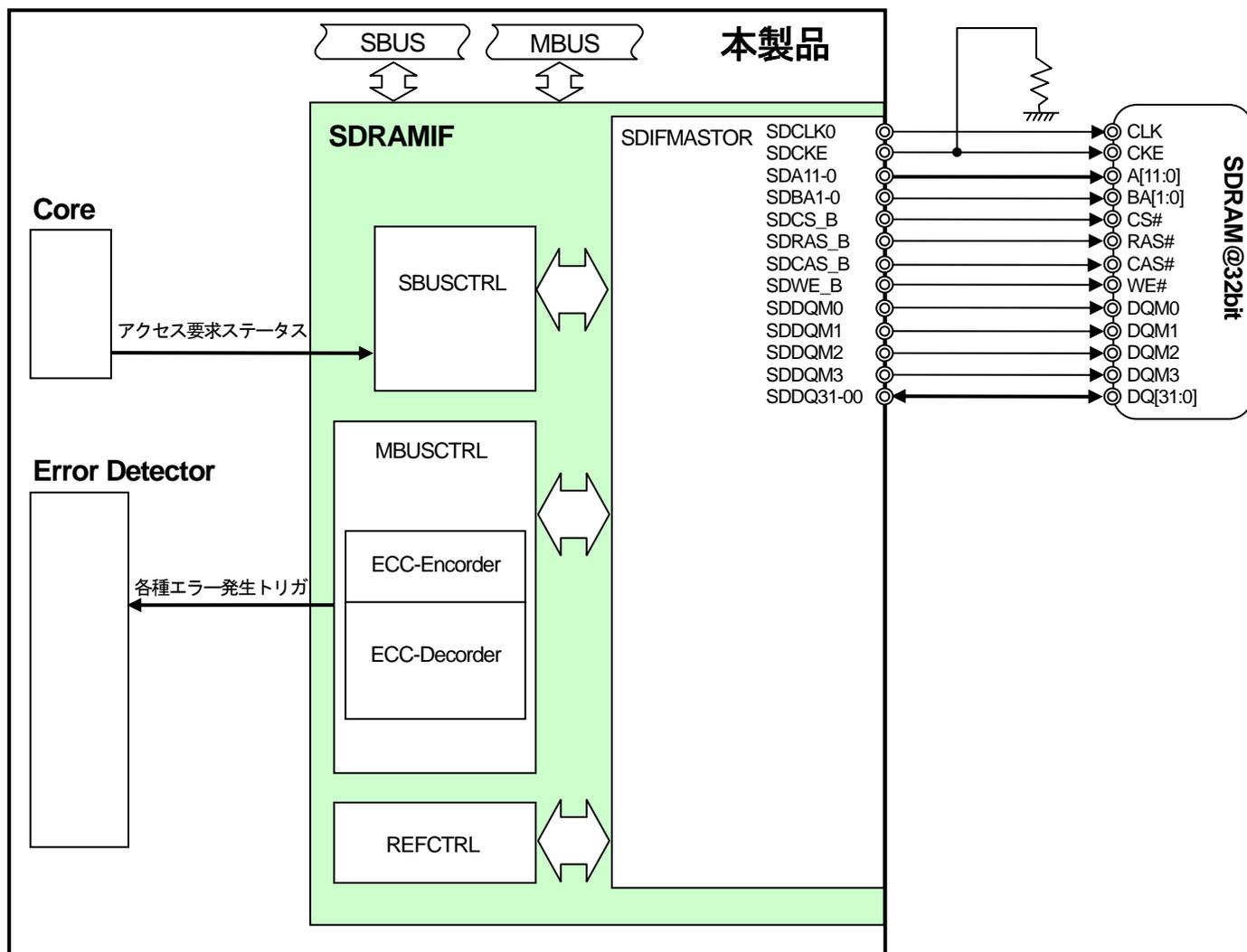


図 9-2 SDRAM I/F ブロック図 (LQFP パッケージで SDRAM を 1 個接続時)

9.3 端子/レジスタ

9.3.1 使用端子、レジスタ一覧

以下に、本 SDRAM I/F で使用する端子、レジスタの一覧を示します。

表 9-1 使用端子一覧

端子	入出力	アクティブ レベル	端子説明
SDCLK2-0	O	—	SDRAM クロック出力
SDCKE	O	H	SDRAM クロックイネーブル
SDCS_B	O	L	SDRAM チップセレクト
SDRAS_B	O	L	SDRAM ロウ・アドレスストローブ
SDCAS_B	O	L	SDRAM カラム・アドレスストローブ
SDWE_B	O	L	SDRAM ライトイネーブル
SDDQM7-0	O	H	SDRAM データマスク
SDBA1-0	O	—	SDRAM バンクセレクト
SDA12-00	O	—	SDRAM アドレス信号
SDDQ63-00	I/O	—	SDRAM データ信号
SDDQE13-00	I/O	—	SDRAM ECC 用データ信号

9.4 レジスタの説明

9.4.1 特殊制御コマンド発行レジスタ (scm)

本レジスタへの書き込みにより、SDRAM へ特殊制御コマンドを発行します。

名称 : 特殊制御コマンド発行レジスタ
 略号 : scm
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

【ビット配置 (リード時)】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【ビット配置 (ライト時)】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	REF	REG	PRA
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	MA14-0														

ビット	ビット名	説明						
18	REF	1 ライトで SDRAM に対しオートリフレッシュコマンドを発行します。 0 : 何も動作しません。 1 : SDRAM に対しオートリフレッシュコマンドを発行します。						
17	REG	1 ライトで SDRAM に対し Mode Register Set コマンドを発行します。 0 : 何も動作しません。 1 : SDRAM に対し Mode Register Set コマンドを発行。						
16	PRA	1 ライトで SDRAM に対しオールプリチャージコマンドを発行します。 0 : 何も動作しません。 1 : SDRAM に対しオールプリチャージコマンドを発行します。						
14-0	MA14-0	Mode Register Set コマンド発行時のコマンド発行時の SDRAM アドレス端子状態を指定します。MA14-0 ビットと SDRAM アドレス端子の対応を下記に示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ビット名</th> <th>対応する端子</th> </tr> </thead> <tbody> <tr> <td>MA14-13</td> <td>SDBA1-0</td> </tr> <tr> <td>MA12-0</td> <td>SDA12-0</td> </tr> </tbody> </table>	ビット名	対応する端子	MA14-13	SDBA1-0	MA12-0	SDA12-0
ビット名	対応する端子							
MA14-13	SDBA1-0							
MA12-0	SDA12-0							

本レジスタを操作することで、SDRAM のコマンドを発行することが出来ます。

各サイクルのコマンド間隔はハードウェアで自動制御しません。ソフトウェアでコマンド間隔を確保してください。

また、REG/REF/PRA の複数ビットに対して同時に 1 をライトしないでください。REG、REF、PRA の複数ビットに対して同時に 1 をライトした場合の動作は保証できません。

本 SDRAM インターフェースは、バースト長= 1 にのみ対応しますので、Mode Register Set コマンド発行時、MA2-0 ビットには「000」を設定してください。

(設計仕様)

REG/REF/PRA の複数ビットに対して同時に 1 をライトした場合は、下記優先順位に従って 1 個のコマンドが発行されます。他のコマンドは発行されません。

REF > REG > PRA

9.4.2 アクセスエラーステータスレジスタ (errstatus)

エラーを発生させたアクセス要求元を示すレジスタです。

以下のエラーが発生した場合に、エラーを発生させたアクセス要求元を示します。複数エラーアクセスが発生した場合は、最後のエラーアクセスの状態を保持します。

- プロテクト領域に対するアクセスエラー
- ライトアクセス検出領域に対するアクセスエラー
- ECC/非 ECC 領域を跨ぐアクセスエラー
- 実装領域外へのアクセスエラー

名称 : アクセスエラーステータスレジスタ
 略号 : errstatus
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リードのみ可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

【ビット配置】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【IMAPCAR2-200/100 の場合】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	SV	CP	PU	0	PUNUM3-0			

【IMAPCAR2-50 の場合】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	SV	CP	0	PU	PUNUM2-0		

ビット	ビット名	説明																																				
7/6	SV	SV からのエラーアクセスの有無を表示します。 0: エラーアクセスなし 1: エラーアクセスあり																																				
6/5	CP	CP もしくはビデオキャプチャ I/F からのエラーアクセスの有無を表示します。 0: エラーアクセスなし 1: エラーアクセスあり																																				
5/3	PU	PU からのエラーアクセスの有無を表示します。 0: エラーアクセスなし 1: エラーアクセスあり																																				
3-0 / 2-0	PUNUM3-0 / PUNUM2-0	PU からのエラーアクセス時の PU 番号を表示します。 複数回の PU からのエラーアクセスが発生した場合は、最後にアクセスした PU 番号を格納します。SV からのエラーアクセスもしくは、CP もしくはビデオキャプチャ I/F からのエラーアクセスの発生時は、“PUNUM3-0/PUNUM2-0” の値を Don't care とします。 <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="text-align: center; width: 50%;">【IMAPCAR2-200/100 の場合】</td> <td style="text-align: center; width: 50%;">【IMAPCAR2-50 の場合】</td> </tr> <tr> <td style="border: 1px solid black; width: 50%;"> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>PUNUM3-0</th> <th>PU 番号</th> </tr> </thead> <tbody> <tr><td>0000</td><td>0</td></tr> <tr><td>0001</td><td>1</td></tr> <tr><td>0010</td><td>2</td></tr> <tr><td>・</td><td>～</td></tr> <tr><td>1101</td><td>13</td></tr> <tr><td>1110</td><td>14</td></tr> <tr><td>1111</td><td>15</td></tr> </tbody> </table> </td> <td style="border: 1px solid black; width: 50%;"> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>PUNUM2-0</th> <th>PU 番号</th> </tr> </thead> <tbody> <tr><td>000</td><td>0</td></tr> <tr><td>001</td><td>1</td></tr> <tr><td>010</td><td>2</td></tr> <tr><td>・</td><td>～</td></tr> <tr><td>101</td><td>5</td></tr> <tr><td>110</td><td>6</td></tr> <tr><td>111</td><td>7</td></tr> </tbody> </table> </td> </tr> </table>	【IMAPCAR2-200/100 の場合】	【IMAPCAR2-50 の場合】	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>PUNUM3-0</th> <th>PU 番号</th> </tr> </thead> <tbody> <tr><td>0000</td><td>0</td></tr> <tr><td>0001</td><td>1</td></tr> <tr><td>0010</td><td>2</td></tr> <tr><td>・</td><td>～</td></tr> <tr><td>1101</td><td>13</td></tr> <tr><td>1110</td><td>14</td></tr> <tr><td>1111</td><td>15</td></tr> </tbody> </table>	PUNUM3-0	PU 番号	0000	0	0001	1	0010	2	・	～	1101	13	1110	14	1111	15	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>PUNUM2-0</th> <th>PU 番号</th> </tr> </thead> <tbody> <tr><td>000</td><td>0</td></tr> <tr><td>001</td><td>1</td></tr> <tr><td>010</td><td>2</td></tr> <tr><td>・</td><td>～</td></tr> <tr><td>101</td><td>5</td></tr> <tr><td>110</td><td>6</td></tr> <tr><td>111</td><td>7</td></tr> </tbody> </table>	PUNUM2-0	PU 番号	000	0	001	1	010	2	・	～	101	5	110	6	111	7
【IMAPCAR2-200/100 の場合】	【IMAPCAR2-50 の場合】																																					
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>PUNUM3-0</th> <th>PU 番号</th> </tr> </thead> <tbody> <tr><td>0000</td><td>0</td></tr> <tr><td>0001</td><td>1</td></tr> <tr><td>0010</td><td>2</td></tr> <tr><td>・</td><td>～</td></tr> <tr><td>1101</td><td>13</td></tr> <tr><td>1110</td><td>14</td></tr> <tr><td>1111</td><td>15</td></tr> </tbody> </table>	PUNUM3-0	PU 番号	0000	0	0001	1	0010	2	・	～	1101	13	1110	14	1111	15	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>PUNUM2-0</th> <th>PU 番号</th> </tr> </thead> <tbody> <tr><td>000</td><td>0</td></tr> <tr><td>001</td><td>1</td></tr> <tr><td>010</td><td>2</td></tr> <tr><td>・</td><td>～</td></tr> <tr><td>101</td><td>5</td></tr> <tr><td>110</td><td>6</td></tr> <tr><td>111</td><td>7</td></tr> </tbody> </table>	PUNUM2-0	PU 番号	000	0	001	1	010	2	・	～	101	5	110	6	111	7					
PUNUM3-0	PU 番号																																					
0000	0																																					
0001	1																																					
0010	2																																					
・	～																																					
1101	13																																					
1110	14																																					
1111	15																																					
PUNUM2-0	PU 番号																																					
000	0																																					
001	1																																					
010	2																																					
・	～																																					
101	5																																					
110	6																																					
111	7																																					

9.4.3 ECC 2 ビットエラー発生アドレス格納レジスタ (e2erraddress)

ECC 2 ビットエラーが発生したアドレスを格納するレジスタです。

複数回エラーが発生した場合は、最後にエラーが発生したアドレスが格納されます。

エラー発生時は、ビット 1-0 には必ず 0 が設定されます。

名称 : ECC 2 ビットエラー発生アドレス格納レジスタ

略号 : e2erraddress

初期値 : 0FFF_FFFFH

アクセス : 32bit アクセス、リードのみ可能

ホストからのアクセス : 可

コアからのアクセス : 可

【ビット配置】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	E2ERRADDRESS27-16											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E2ERRADDRESS15-0															

ECC 2 ビットエラー発生アドレス格納レジスタの詳細は、「9.7.1 ECC 機能」を参照してください。

9.4.4 ECC 1 ビットエラー発生アドレス格納レジスタ (e1erraddress)

ECC 1 ビットエラーが発生したアドレスを格納するレジスタです。

複数回エラーが発生した場合は、最後にエラーが発生したアドレスが格納されます。

エラー発生時は、ビット 1-0 には必ず 0 が設定されます。

名称 : ECC 1 ビットエラー発生アドレス格納レジスタ

略号 : e1erraddress

初期値 : 0FFF_FFFFH

アクセス : 32bit アクセス、リードのみ可能

ホストからのアクセス : 可

コアからのアクセス : 可

【ビット配置】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	E1ERRADDRESS27-16											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E1ERRADDRESS15-0															

ECC 1 ビットエラー発生アドレス格納レジスタの詳細は、「9.7.1 ECC 機能」を参照してください。

9.4.5 エラーステータスクリアレジスタ (erraddressstatusc)

e2erraddress、e1erraddress、errstatus レジスタを初期化するトリガレジスタです。

本レジスタへのアクセスによるクリアと、e2erraddress、e1erraddress、errstatus レジスタへのセットが競合した場合はクリアが優先されます。

名称 : エラーステータスクリアレジスタ
 略号 : erraddressstatusc
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

【ビット配置 (リード)】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【ビット配置 (ライト)】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ESC

ビット	ビット名	説明
0	ESC	e2erraddress、e1erraddress、errstatus レジスタを初期化します。 0 : レジスタを初期化しません。 1 : レジスタを初期化します。

9.4.6 ECC 領域設定レジスタ (eccarea)

縦列格納 ECC モード時 (SDRAM コンフィグレーションレジスタの RCF0 ビット=0 の場合) に、ECC 領域を設定するレジスタです。512 バイト単位で ECC 領域設定が可能です。ECC 領域は、「0 ~ eccarea-1」となります。

ノーマル ECC モード時 (SDRAM コンフィグレーションレジスタの RCF0 ビット=1 の場合)、本レジスタは “0000_0000H” を設定して下さい。

名称 : ECC 領域設定レジスタ
 略号 : eccarea
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

【 ビット配置 】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	ECCAREA27-16											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ECCAREA15-9								0	0	0	0	0	0	0	0

【 設定例 : 32Mbyte SDRAM を接続した場合】

- (1) eccarea = 0000_0000H の場合
 ECC 領域サイズ : 0Byte (ECC 動作禁止)
 ECC 領域 : なし
 非 ECC 領域 : 0000_0000H ~ 外部メモリ実装領域上限

- (2) eccarea = 0000_0200H の場合
 ECC 領域サイズ : 512Byte
 ECC 領域 : 0000_0000H ~ 0000_01FFH
 非 ECC 領域 : 0000_0200H ~ 外部メモリ実装領域上限

- (3) eccarea = 0100_0000H の場合
 ECC 領域サイズ : 16MByte
 ECC 領域 : 0000_0000H ~ 00FF_FFFFH
 非 ECC 領域 : なし

9.4.7 ライトプロテクト領域設定レジスタ (eprotectarea)

外部メモリのライトプロテクト領域を設定するレジスタです。512バイト単位で領域設定が可能です。

ライトプロテクト領域は「0 ~eprotectarea-1」となります。

なお、本レジスタにSDRAMの実装領域を超えるアドレスを設定した場合の動作は保証されません。

名称 : ライトプロテクト領域設定レジスタ
 略号 : eprotectarea
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

【ビット配置】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	EPROTECTAREA27-16											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPROTECTAREA15-9							0	0	0	0	0	0	0	0	0

【設定例】

- (1) eprotectarea = 0000_0000H の場合
 ライトプロテクトサイズ : 0Byte (ライトプロテクト動作禁止)
 ライトプロテクト領域 : なし
- (2) eprotectarea = 0000_0200H の場合
 ライトプロテクトサイズ : 512Byte
 ライトプロテクト領域 : 0000_0000H ~ 0000_01FFH
- (3) eprotectarea = 0200_0000H の場合
 ライトプロテクトサイズ : 32MByte
 ライトプロテクト領域 : 0000_0000H ~ 01FF_FFFFH

9.4.8 ライトアクセス検出開始/終了アドレス設定レジスタ (ewdetectarea0・ewdetectarea1)

外部メモリのライトアクセス検出領域を設定するレジスタです。512バイト単位で設定が可能です。

ライトアクセス検出領域は、ewdetectarea0 ~ ewdetectarea1-1 で設定した領域になります。

レジスタの設定値は、必ず ewdetectarea0 ≤ ewdetectarea1 の関係を持って下さい。

なお、ewdetectarea1 レジスタに SDRAM の実装領域を超えるアドレスを設定した場合の動作は保証されません。

名称 : ライトアクセス検出開始アドレス設定レジスタ・ライトアクセス検出終了アドレス設定レジスタ

略号 : ewdetectarea0・ewdetectarea1

初期値 : 0000_0000H

アクセス : 32bit アクセス、リード/ライト可能

ホストからのアクセス : 可

コアからのアクセス : 可

【EWDETECTAREA0のビット配置】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	EWDETECTAREA0 27-16											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EWDETECTAREA0 15-9								0	0	0	0	0	0	0	0

【EWDETECTAREA1のビット配置】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	EWDETECTAREA1 27-16											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EWDETECTAREA1 15-9								0	0	0	0	0	0	0	0

【設定例】

- (1) ewdetectarea0 = 0000_0000H、ewdetectarea1 = 0000_0000H の場合
 検出サイズ : 0バイト (動作禁止)
 ライトアクセス検出領域 : なし
- (2) ewdetectarea0 = 0000_0000H、ewdetectarea1 = 0000_0400H の場合
 検出サイズ : 1Kバイト
 ライトアクセス検出領域 : 000_0000H ~ 000_03FFH
- (3) ewdetectarea0 = 0000_0000H、ewdetectarea1 = 0200_0000H の場合
 検出サイズ : 32Mbyte
 ライトアクセス検出領域 : 000_0000H ~ 01FF_FFFFH

9.4.9 リフレッシュ制御レジスタ (refcnt)

リフレッシュ実行周期とコマンド発行回数を設定するレジスタです。

名称 : リフレッシュ制御レジスタ
 略号 : refcnt
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

(設計者向け情報)

【ビット配置】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CRNUM1-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	CRCNT7-0							

ビット	ビット名	説明										
7-0	CRCNT7-0	リフレッシュの発生周期を設定します。 設定値と発生周期の関係は以下の計算式で求めることができます。 リフレッシュの発生周期 = $\{(RCNT7-0 \text{ 設定値} \times 64) + 1\} \times \text{SDCLK 周期}$ CRCNT7-0 に 00H が設定されているとリフレッシュ動作を行いません。										
17-16	CRNUM 1-0	1 回のリフレッシュの発行周期で発行するオートリフレッシュコマンド数を設定します。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>CRNUM1-0</th> <th>コマンド発行回数</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>1</td> </tr> <tr> <td>01</td> <td>16</td> </tr> <tr> <td>10</td> <td>256</td> </tr> <tr> <td>11</td> <td>1024</td> </tr> </tbody> </table>	CRNUM1-0	コマンド発行回数	00	1	01	16	10	256	11	1024
CRNUM1-0	コマンド発行回数											
00	1											
01	16											
10	256											
11	1024											

リフレッシュの発生周期は、“Active to Precharge command period(tRAS)” を越えない値に設定してください。
 CRCNT7-0 と CRNUM1-0 の設定値は SDRAM のメモリセル保持時間スペックを満たす値を設定してください。
 メモリサイクルとリフレッシュ周期が重なった場合は、リフレッシュコマンド発行はメモリサイクル終了までまたされます。
 1 回のリフレッシュ発行周期で連続に発行するオートリフレッシュコマンドの総実行時間よりも CRCNT7-0 ビットで設定するリフレッシュの発行周期が大きくなる様に、値を設定してください。

【ビット配置】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0注	0注
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	CRCNT7-0							

ビット	ビット名	説明
7-0	CRCNT7-0	リフレッシュの発生周期を設定します。 設定値と発生周期の関係は以下の計算式で求めることができます。 リフレッシュの発生周期 = $\{(\text{RCNT7-0 設定値} \times 64) + 1\} \times \text{SDCLK 周期}$ CRCNT7-0 に 00H が設定されているとリフレッシュ動作を行いません。

リフレッシュの発生周期は、“Active to Precharge command period(tRAS)” を越えない値に設定してください。
また、CRCNT7-0 の設定値は SDRAM のメモリセル保持時間スペックを満たす値を設定してください。

注：ビット 16、17 は、“0” を設定してください。

【設定例】

SDRAM を接続した場合の設定例を以下に示します。

SDRAM のリフレッシュ仕様=64ms 毎に8,192 回以上

1 回のリフレッシュの発生周期毎にリフレッシュコマンドを連続で1 回実行する設定としてください。

1. リフレッシュ周期は？

$$64\text{ms} / 8192 \text{ 回} = 7.8125\text{us}$$

よって、リフレッシュの発生周期が7.8125us となればよい。

ただし、メモリサイクルに待たされる時間等を考慮して、マージンを付加して7us とする。

2. リフレッシュ周期の計算

OSDCLK の周波数=132MHz

$$\rightarrow 7\text{us} / 7.58\text{ns} / 64 \doteq 14.44 = 0\text{E H.}$$

従って、CRCNT7-0 に0E H を設定する。

OSDCLK の周波数=128MHz

$$\rightarrow 7\text{us} / 7.81\text{ns} / 64 = 14 = 0\text{E H.}$$

従って、CRCNT7-0 に0E H を設定する。

OSDCLK の周波数=66MHz

$$\rightarrow 7\text{us} / 15.15\text{ns} / 64 = 7.22 \doteq 7 = 07 \text{ H.}$$

従って、CRCNT7-0 に07H を設定する。

OSDCLK の周波数=64MHz

$$\rightarrow 7\text{us} / 15.625\text{ns} / 64 = 7 = 07 \text{ H.}$$

従って、CRCNT7-0 に07 H を設定する。

(設計者向け情報)

- ・1 回のリフレッシュの発行周期で発行するオートリフレッシュコマンド数に16/256/1024 回を設定する場合、シリアルホストIF 及びデバッグIF のバーストアクセスを阻害する為、設定を禁止とします。

9.4.10 SDRAM コンフィグレーションレジスタ (dcb)

接続する SDRAM のロウ・アドレス幅、カラム・アドレス幅、リード時の CAS レイテンシ値、挿入ウエイト・ステート数、データバス幅を設定します。

名称 : SDRAM コンフィグレーションレジスタ
 略号 : dcb
 初期値 : 0000_2000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

【ビット配置】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
15			14		13		12		11		10		9		8	
CAW2			LTM2		LTM1		LTM0		0		0		0		BCW	
7			6		5		4		3		2		1		0	
RAW1			RAW0		CAW1		CAW0		0		0		RCF1		RCF0	

ビット	ビット名	説明																
14-12	LTM2-0	リード時の CAS レイテンシ値を指定します。 <table border="1"> <tr> <td>LTM2</td> <td>LTM1</td> <td>LTM0</td> <td>リード時の CAS レイテンシ値</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>3</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </table>	LTM2	LTM1	LTM0	リード時の CAS レイテンシ値	0	1	0	2	0	1	1	3	上記以外			設定禁止
LTM2	LTM1	LTM0	リード時の CAS レイテンシ値															
0	1	0	2															
0	1	1	3															
上記以外			設定禁止															
8	BCW	バンク・アクティブ・コマンドからリード/ライト・コマンド (t_{RCd}) とプリチャージ・コマンドからバンク・アクティブ・コマンド (t_{RP}) のコマンド発生間隔を指定します。 詳細は、図 9-4 BCW 設定毎の動作イメージを参照してください。 <table border="1"> <tr> <td rowspan="2">BCW</td> <td colspan="3">コマンドの発生間隔</td> </tr> <tr> <td>Active to Read / Active to Write</td> <td>Precharge select bank to Active[Same bank](min)</td> <td>Precharge select bank to Active[Different bank](min)</td> </tr> <tr> <td>0</td> <td>2</td> <td>3</td> <td>1</td> </tr> <tr> <td>1</td> <td>3</td> <td>4</td> <td>1</td> </tr> </table> fxx=66MHz の時、BCW=0 を設定してください fxx=132MHz の時、BCW=1 を設定してください。	BCW	コマンドの発生間隔			Active to Read / Active to Write	Precharge select bank to Active[Same bank](min)	Precharge select bank to Active[Different bank](min)	0	2	3	1	1	3	4	1	
BCW	コマンドの発生間隔																	
	Active to Read / Active to Write	Precharge select bank to Active[Same bank](min)	Precharge select bank to Active[Different bank](min)															
0	2	3	1															
1	3	4	1															
7-6	RAW1-0	ロウ・アドレス幅を設定します。 <table border="1"> <tr> <td>RAW1</td> <td>RAW0</td> <td>ロウ・アドレス幅の指定</td> </tr> <tr> <td>0</td> <td>0</td> <td>11 ビット (使用するアドレス信号 : SDA10-00)</td> </tr> <tr> <td>0</td> <td>1</td> <td>12 ビット (使用するアドレス信号 : SDA11-00)</td> </tr> <tr> <td>1</td> <td>0</td> <td rowspan="2">13 ビット^{注1} (使用するアドレス信号 : SDA12-00)</td> </tr> <tr> <td>1</td> <td>1</td> </tr> </table>	RAW1	RAW0	ロウ・アドレス幅の指定	0	0	11 ビット (使用するアドレス信号 : SDA10-00)	0	1	12 ビット (使用するアドレス信号 : SDA11-00)	1	0	13 ビット ^{注1} (使用するアドレス信号 : SDA12-00)	1	1		
RAW1	RAW0	ロウ・アドレス幅の指定																
0	0	11 ビット (使用するアドレス信号 : SDA10-00)																
0	1	12 ビット (使用するアドレス信号 : SDA11-00)																
1	0	13 ビット ^{注1} (使用するアドレス信号 : SDA12-00)																
1	1																	

15, 5-4	CAW2-0	コラム・アドレス幅を設定します。			
		CAW2	CAW1	CAW0	コラム・アドレス幅の指定
		0	0	0	8 ビット (使用するアドレス信号 : SDA07-00)
		0	0	1	9 ビット (使用するアドレス信号 : SDA08-00)
		0	1	0	10 ビット (使用するアドレス信号 : SDA09-00)
		0	1	1	11 ビット ^{注1} (使用するアドレス信号 : SDA11, SDA09-00)
上記以外			設定禁止		
1-0	RCF1-0	SDRAM の接続構成及び ECC モードを設定します。			
		RCF1	RCF0	ビット幅/データ信号名	ECC モード/データ信号名
		0	0	32 ビット/SDDQ31-00	縦列格納 ECC モード / -
		0	1		ノーマル ECC モード/SDDQE07-00
		1	0	64 ビット/SDDQ63-00 ^{注1}	縦列格納 ECC モード / -
		1	1		ノーマル ECC モード/SDDQE13-00

注 1 : 下記設定は外部メモリ領域 (EMEM) のメモリ領域の上限 256MByte を超える為、禁止とします。

ロウ・アドレス幅 : 13 ビット
 コラム・アドレス幅 : 11 ビット
 ビット幅 : 64 ビット

図 9-3 リード時の CAS レイテンシ値毎の動作イメージ

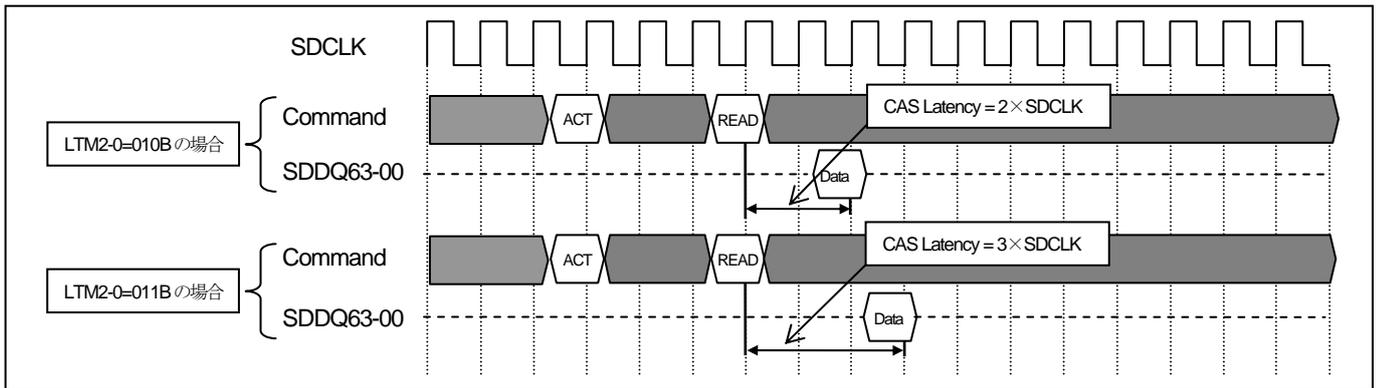
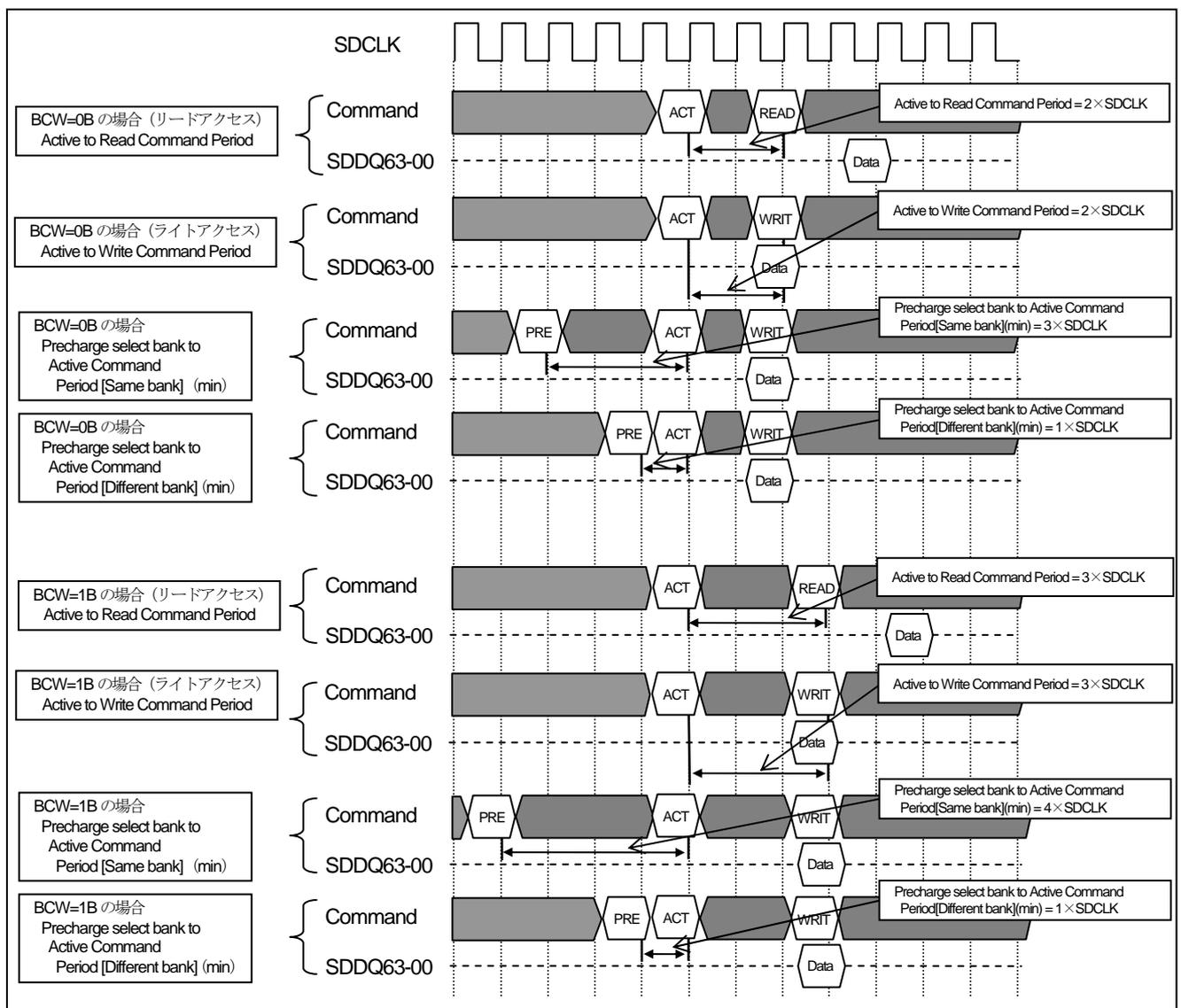


図 9-4 BCW 設定毎の動作イメージ

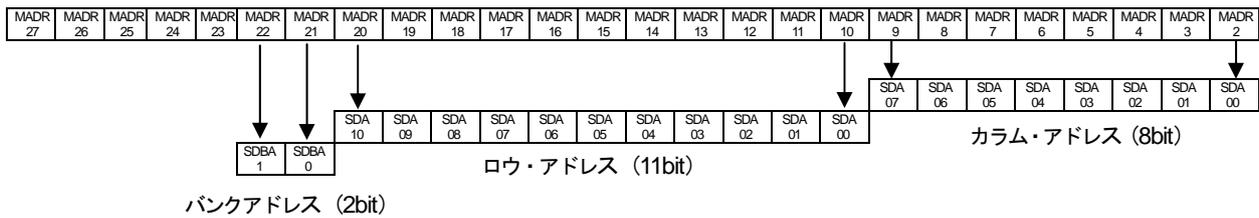


(設計情報)

MBUS アドレスと SDRAM の物理アドレスの対応を下記に示します。ロウ・アドレス幅、カラム・アドレス幅、バンクアドレス幅の設定に従って、切り替えを行ってください。

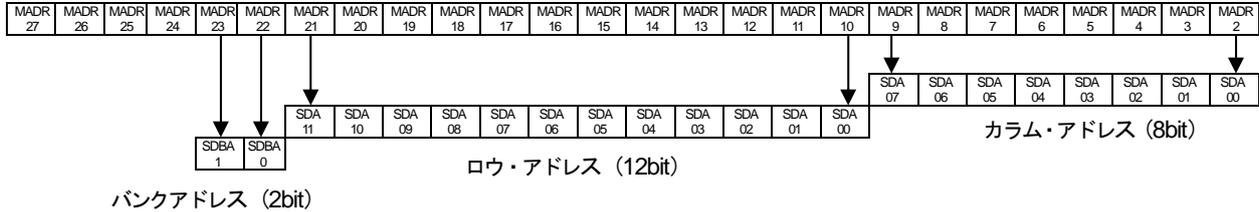
(a) 64Mbits@データバス幅 32bit の SDRAM を 1 個接続時の内部バスアドレスと SDRAM の物理アドレスの対応

- RAW1-0 ビット = 00 : ロウ・アドレス幅 = 11 bit
- CAW1-0 ビット = 00 : カラム・アドレス幅 = 8 bit
- RCF1-0 ビット = 00 : データバス幅 = 32 bit、ECC モード = 縦列格納 ECC モード
- eccarea レジスタ = 0000_0000 (H) : ECC 領域 = なし



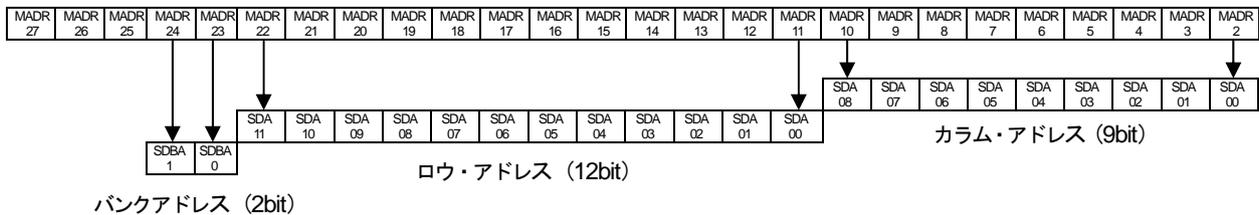
(b) 128Mbits@データバス幅 32bit の SDRAM を 1 個接続時の内部バスアドレスと SDRAM の物理アドレスの対応

- RAW1-0 ビット = 01 : ロウ・アドレス幅 = 12 bit
- CAW1-0 ビット = 00 : カラム・アドレス幅 = 8 bit
- RCF1-0 ビット = 00 : データバス幅 = 32 bit、ECC モード = 縦列格納 ECC モード
- eccarea レジスタ = 0000_0000 (H) : ECC 領域 = なし



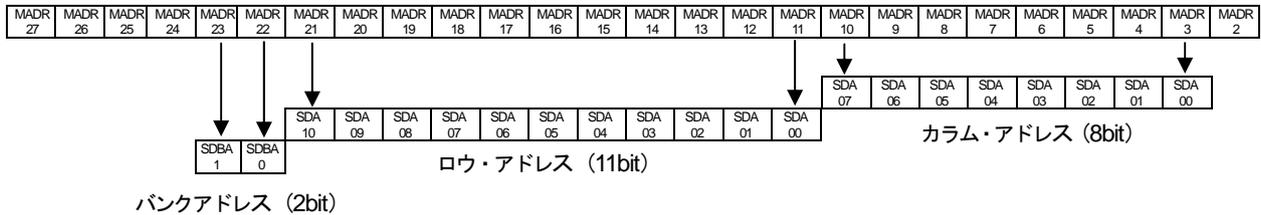
(c) 128Mbits@データバス幅 16bit の SDRAM を 2 個接続時の内部バスアドレスと SDRAM の物理アドレスの対応

- RAW1-0 ビット = 01 : ロウ・アドレス幅 = 12 bit
- CAW1-0 ビット = 01 : カラム・アドレス幅 = 9 bit
- RCF1-0 ビット = 00 : データバス幅 = 32 bit、ECC モード = 縦列格納 ECC モード
- eccarea レジスタ = 0000_0000 (H) : ECC 領域 = なし



(d) 64Mbits@データバス幅 32bit の SDRAM を 2 個接続時の内部バスアドレスと SDRAM の物理アドレスの対応

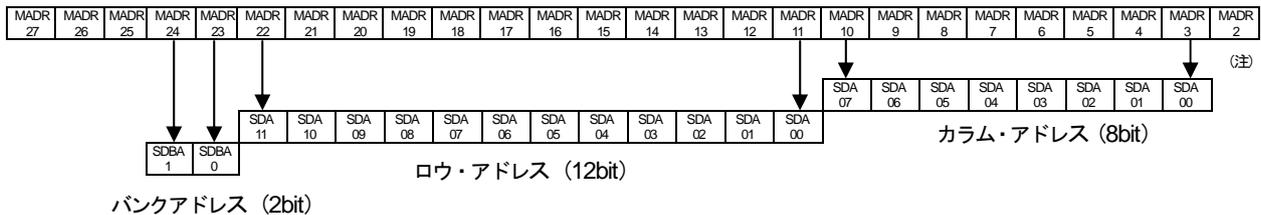
- RAW1-0 ビット = 00 : ロウ・アドレス幅 = 11 bit
- CAW1-0 ビット = 00 : カラム・アドレス幅 = 8 bit
- RCF1-0 ビット = 10 : データバス幅 = 64 bit、ECC モード = 縦列格納 ECC モード
- eccarea レジスタ = 0000_0000 (H) : ECC 領域 = なし



(注) 4Byte/8Byte 単位のリード及びライト制御は、SDRAM のデータマスク (SDDQM3-0 と SDDQM7-4) で行います。

(e) 128Mbits@データバス幅 32bit の SDRAM を 2 個接続時の内部バスアドレスと SDRAM の物理アドレスの対応

- RAW1-0 ビット = 01 : ロウ・アドレス幅 = 12 bit
- CAW1-0 ビット = 00 : カラム・アドレス幅 = 8 bit
- RCF1-0 ビット = 10 : データバス幅 = 64 bit、ECC モード = 縦列格納 ECC モード
- eccarea レジスタ = 0000_0000 (H) : ECC 領域 = なし



(注) 4Byte/8Byte 単位のリード及びライト制御は、SDRAM のデータマスク (SDDQM3-0 と SDDQM7-4) で行います。

9.4.11 クロックイネーブル制御レジスタ (sce)

クロックイネーブル端子制御を行います。

名称 : クロックイネーブル制御レジスタ
 略号 : sce
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能 (1-31 はリードのみ可能)
 ホストからのアクセス : 可
 コアからのアクセス : 可

【ビット配置】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SCEN

ビット	ビット名	説明
0	SCEN	SDRAM のクロック出力イネーブルです。 0 : SDCKE は、Low レベルを出力します。 1 : SDCKE は、High レベルを出力します。

9.4.12 バンク切り替え制御レジスタ (bks)

SDRAM のバンクアクセス順序を切り替える機能を有します。不良セルが発生したバンクを最終バンクに設定することにより、正常な外部メモリ領域を 0000_0000H から連続で3バンク分使用することが出来ます。

名称 : バンク切り替え制御レジスタ
 略号 : bks
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

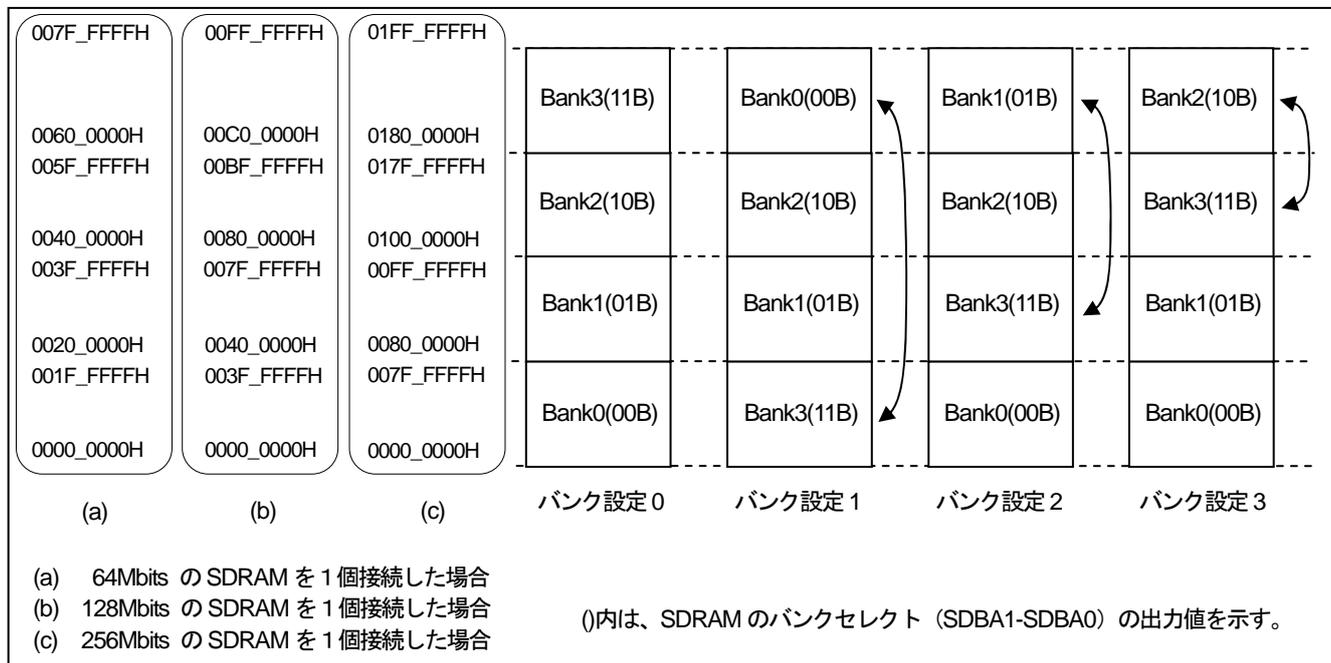
【ビット配置】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
				15	14		13		12		11		10		9		8	
				0	0		0		0		0		0		0		0	
				7	6		5		4		3		2		1		0	
				0	0		0		0		0		0		BKSL1		BKSL0	

ビット	ビット名	説明															
1-0	BKSL1-0	バンクアクセス順序を設定します。															
		<table border="1"> <thead> <tr> <th>BKSL1</th> <th>BKSL0</th> <th>バンクアクセス順序設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>バンク設定 0</td> </tr> <tr> <td>0</td> <td>1</td> <td>バンク設定 1</td> </tr> <tr> <td>1</td> <td>0</td> <td>バンク設定 2</td> </tr> <tr> <td>1</td> <td>1</td> <td>バンク設定 3</td> </tr> </tbody> </table>	BKSL1	BKSL0	バンクアクセス順序設定	0	0	バンク設定 0	0	1	バンク設定 1	1	0	バンク設定 2	1	1	バンク設定 3
		BKSL1	BKSL0	バンクアクセス順序設定													
		0	0	バンク設定 0													
		0	1	バンク設定 1													
1	0	バンク設定 2															
1	1	バンク設定 3															

以下に、外部メモリ I/F に 64Mbits/128Mbits/256Mbits の SDRAM を全て非 ECC 領域とした場合のバンク切り替えのイメージ図を示します。

図 9-5 外部メモリのバンク切り替え機能のイメージ図



9.4.13 コマンド発生間隔設定レジスタ (rcm)

SDRAM のリフレッシュコマンドとアクティブ・コマンド／リフレッシュコマンドのコマンド発生間隔を自動制御する機能を有します。

名称 : コマンド発生間隔設定レジスタ
 略号 : rcm
 初期値 : 0000_000FH
 アクセス : 32bit アクセス、リード／ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

【ビット配置】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16				
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
				15	14		13		12		11		10		9		8		
				0	0		0		0		0		0		0		0		
				7		6		5		4		3		2		1		0	
				0		0		0		0		RCMT3		RCMT2		RCMT1		TCMT0	

ビット	ビット名	説明																																																																																					
3-0	RCMT3-0	<p>リフレッシュコマンドとアクティブ・コマンド／リフレッシュコマンドの発生間隔を設定します。</p> <table border="1"> <thead> <tr> <th>RCMT3</th> <th>RCMT2</th> <th>RCMT1</th> <th>TCMT0</th> <th>発生間隔 [単位 : SDCLK クロック]</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>3</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>4</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>5</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>6</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>7</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>8</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>9</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>10</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>11</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>12</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>13</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>14</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>15</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>16</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>17</td></tr> </tbody> </table> <p>補足) SDRAMのRef/Active to Ref/Active command period (t_{RC}) を確保する為のレジスタです。</p>	RCMT3	RCMT2	RCMT1	TCMT0	発生間隔 [単位 : SDCLK クロック]	0	0	0	0	2	0	0	0	1	3	0	0	1	0	4	0	0	1	1	5	0	1	0	0	6	0	1	0	1	7	0	1	1	0	8	0	1	1	1	9	1	0	0	0	10	1	0	0	1	11	1	0	1	0	12	1	0	1	1	13	1	1	0	0	14	1	1	0	1	15	1	1	1	0	16	1	1	1	1	17
RCMT3	RCMT2	RCMT1	TCMT0	発生間隔 [単位 : SDCLK クロック]																																																																																			
0	0	0	0	2																																																																																			
0	0	0	1	3																																																																																			
0	0	1	0	4																																																																																			
0	0	1	1	5																																																																																			
0	1	0	0	6																																																																																			
0	1	0	1	7																																																																																			
0	1	1	0	8																																																																																			
0	1	1	1	9																																																																																			
1	0	0	0	10																																																																																			
1	0	0	1	11																																																																																			
1	0	1	0	12																																																																																			
1	0	1	1	13																																																																																			
1	1	0	0	14																																																																																			
1	1	0	1	15																																																																																			
1	1	1	0	16																																																																																			
1	1	1	1	17																																																																																			

図 9-6 コマンド周期設定レジスタ (rcm) による動作イメージ [RCMT3-0=000B 設定時]

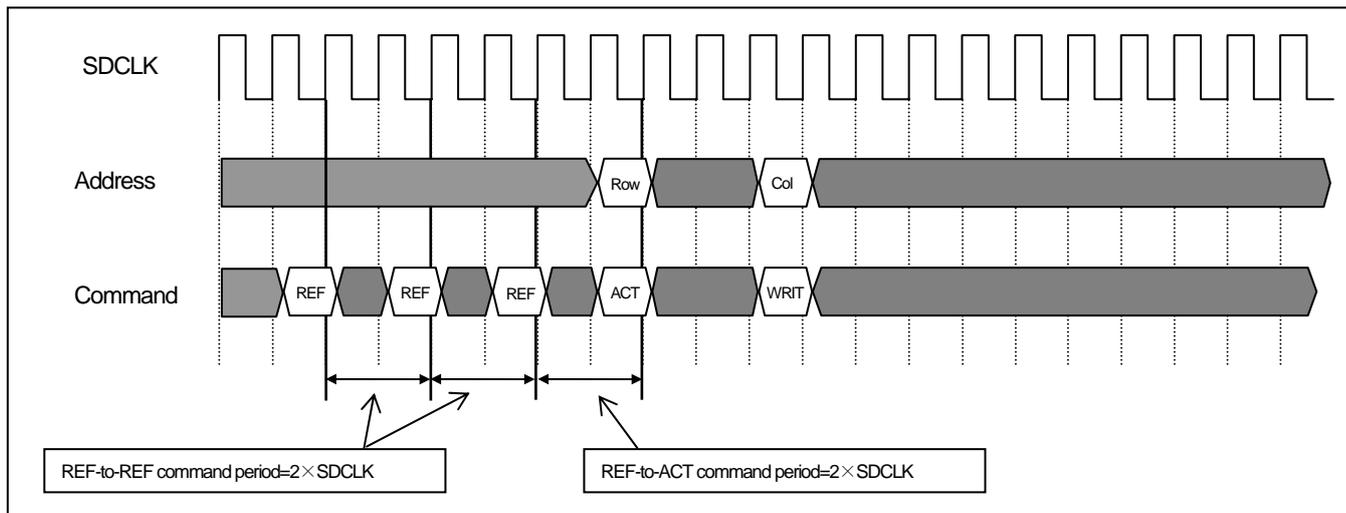
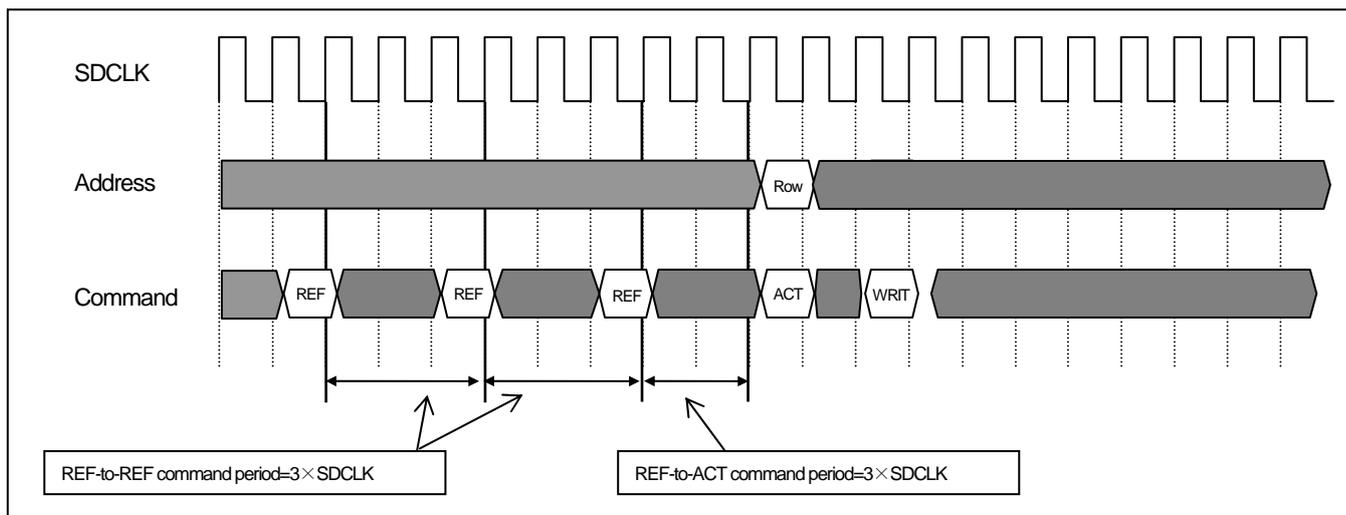


図 9-7 コマンド周期設定レジスタ (rcm) による動作イメージ [RCMT3-0=001B 設定時]



9.5 SDRAM クロック出力の出力制御機能

消費電流削減の為、接続しないSDRAMに対するSDRAM クロック出力を停止します。SDRAMのクロック出力の出力制御は、dcg レジスタのRCF1-0 ビット及びパッケージ (FPBGA Package or LQFP Package) で行います。

表 9-2 SDRAM クロック出力の出力制御

Package	FPBGA パッケージ				LQFP パッケージ			
	32 ビット		64 ビット		32 ビット		64 ビット	
	縦列格納 ECC モード	ノーマル ECC モード	縦列格納 ECC モード	ノーマル ECC モード	縦列格納 ECC モード	ノーマル ECC モード	ノーマル ECC モード	ノーマル ECC モード
SDCLK0	停止 (Low レベル出力)	クロック出力	停止 (Low レベル出力)	クロック出力	クロック出力	— 注1	— 注1	— 注1
SDCLK1	クロック出力	クロック出力	クロック出力	クロック出力	— 注2	— 注2	— 注2	— 注2
SDCLK2	停止 (Low レベル出力)	停止 (Low レベル出力)	クロック出力	クロック出力	— 注2	— 注2	— 注2	— 注2

注 1) 外部端子の制限により、LQFP パッケージの場合はデータバス幅 32bit、縦列格納 ECC モードのみサポートします。

注 2) LQFP パッケージに、SDCLK1 端子及び SDCLK2 端子はありません。

9.6 メモリ空間

SDRAM インターフェースは、256Mbyte のメモリ空間をサポートします。

また、SDRAM インターフェースはデータ保護の観点から ECC 機能を有します。ECC 機能の設定方法によって、実際に使用できるメモリ領域が変化します。

9.6.1 メモリ空間概略

メモリ空間 (MBUS) は、下記 4 種類の領域区別が存在します。

- メモリ実装領域、メモリ未実装領域
- ECC 領域、非 ECC 領域、ECC データ格納領域
- ライトプロテクト領域
- ライトアクセス監視領域

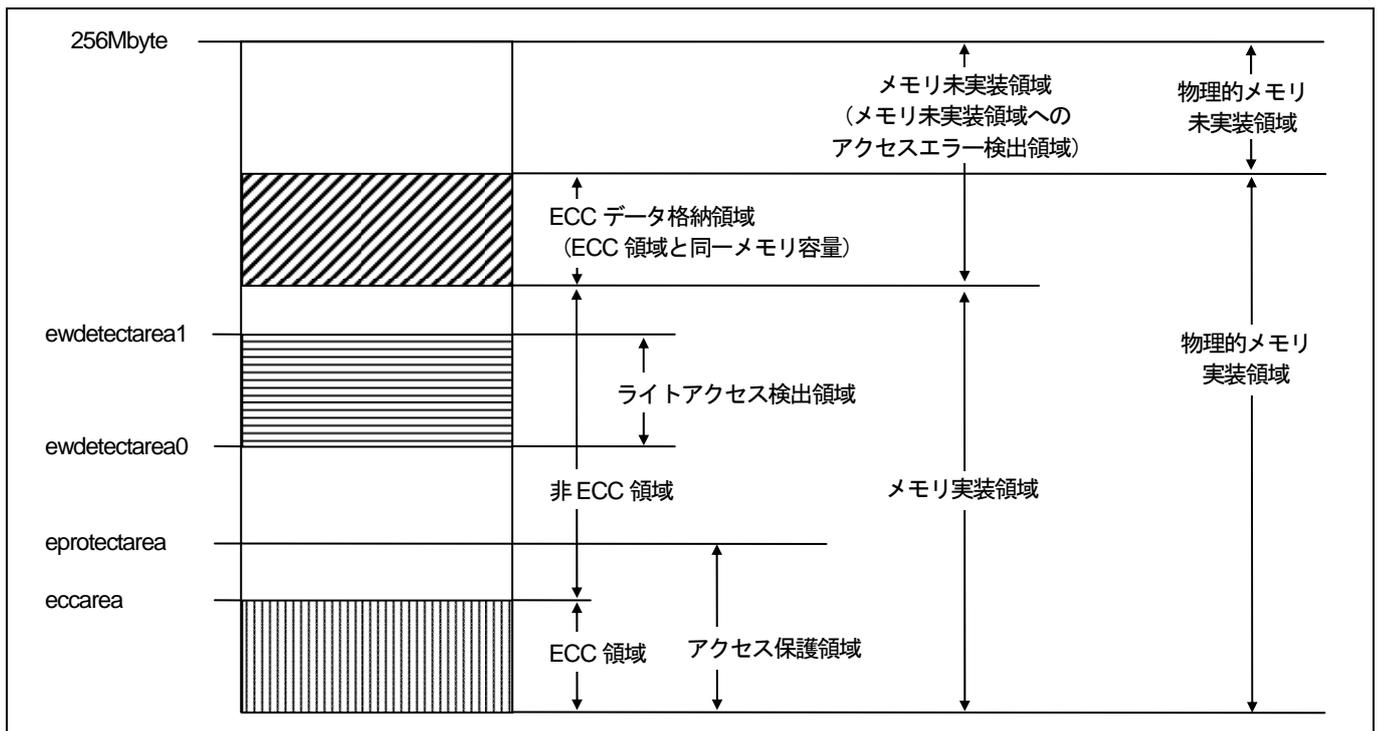
各領域の境界はレジスタ設定で行います。また、各領域には以下の容量関係があります。

256MByte	=	物理的メモリ実装領域 + 物理的メモリ未実装領域
物理的メモリ実装領域	=	ECC 領域 + 非 ECC 領域 + ECC データ格納領域
メモリ未実装領域	=	ECC データ格納領域 + 物理的メモリ未実装領域
メモリ実装領域	=	ECC 領域 + 非 ECC 領域
ECC 領域 <small>注1</small>	=	物理的メモリ実装領域
ECC 領域 <small>注2</small>	≤	物理的メモリ実装領域 ÷ 2
アクセス保護領域	<	ECC 領域 + 非 ECC 領域
ライトアクセス検出領域	<	ECC 領域 + 非 ECC 領域

注 1 : ノーマル ECC モード時 注 2 : 縦列格納 ECC モード時

本製品のメモリ空間図を下記に示します。

図 9-8 メモリ空間図



9.6.2 メモリ実装領域・メモリ未実装領域

SDRAM インターフェースは、最大 256M バイトのメモリ空間をサポートします。

SDRAM が実装され、メモリとして利用できる領域を「メモリ実装領域」、メモリとして利用できない領域を「メモリ未実装領域」とします。また、後述の ECC データ格納領域もメモリ未実装領域となります。

接続される SDRAM のメモリ容量は、SDRAM コンフィグレーションレジスタ (dcg) で設定します。

9.6.3 ECC 領域・非 ECC 領域・ECC データ格納領域

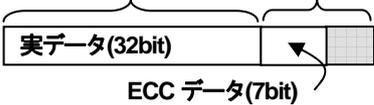
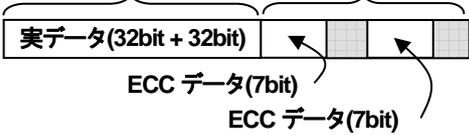
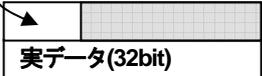
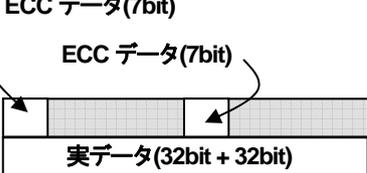
SDRAM インターフェースは、メモリ空間へのリード/ライトデータに対して ECC 機能をサポートしています。

ECC 機能は、ECC データを専用 SDRAM に格納する方式の「ノーマル ECC モード」と ECC データをデータ領域に格納する方式の「縦列格納 ECC モード」の 2 モードを有します。

縦列格納 ECC モードで、ECC データを格納する領域を「ECC データ格納領域」とし、ECC データ格納領域はメモリ実装領域の最後から ECC 領域と同じ容量の領域となります。この領域はメモリ非実装領域と同じ扱いとなり、ユーザはこの領域を使用できません。全領域を ECC 領域としたい場合、ユーザは実装メモリ容量の半分を利用することが可能です。

各 ECC モードの ECC データ付加方法

各 ECC モードで、実データに対して ECC データを付加する場合、外部メモリ IC の物理的なメモリ容量と、使用可能な論理的なメモリ容量が異なります。但し、ノーマル ECC モードでは、全領域が ECC 領域となります。

ノーマル ECC モード		
接続 SDRAM	ECC 領域	非 ECC 領域
実データ用=32bit + ECC データ格納用 =7bit	実データ用 SDRAM(32bit) ECC データ格納用 SDRAM (1byte 以上)  実データ(32bit) ECC データ(7bit)	サポートしません。
実データ用=64bit + ECC データ格納用 =14bit	実データ用 SDRAM(64bit) ECC データ格納用 (2byte 以上)  実データ(32bit + 32bit) ECC データ(7bit) ECC データ(7bit)	サポートしません。
縦列格納 ECC モード		
接続 SDRAM	ECC 領域	非 ECC 領域
実データ用=32bit	ECC データ(7bit)  実データ(32bit)	実データ(32bit)
実データ用=64bit	ECC データ(7bit) ECC データ(7bit)  実データ(32bit + 32bit)	実データ(32bit + 32bit)

縦列格納 ECC モード時の論理サイズと物理サイズ対応

以下に、縦列格納 ECC モードの論理サイズに対する必要な物理サイズの計算式を示します。

メモリの種類	メモリの論理サイズ (ソフトウェア上で使用するサイズ)	メモリの物理サイズ (外部メモリ IC として必要なサイズ)
SDRAM	ECC 領域 + 非 ECC 領域	ECC 領域 x 2 + 非 ECC 領域

補足：

—メモリの物理サイズ：メモリ IC の物理的な容量

—ECC 領域 : eccarea レジスタで設定した ECC 領域(ソフトウェアに必要な論理サイズ)

—非 ECC 領域 : eccarea レジスタで設定した非 ECC 領域(ソフトウェアに必要な論理サイズ)

9.6.4 ライトプロテクト領域

SDRAM インターフェースは、ライト要求があっても書き込みを行わないライトプロテクト機能があります。ライトプロテクト機能は、「ライトプロテクト領域設定レジスタ (eprotectarea)」で領域が設定可能です。アドレス 0H～“レジスタで指定したアドレス-1H”が、ライトプロテクト機能が働く「ライトプロテクト領域」となります。

ライトプロテクト領域は、ECC 領域、ライトアクセス監視領域と独立に設定できます。

ライトプロテクト領域外からライトプロテクト領域内へのバーストアクセスを要求された場合は、そのバースト転送要求を無視し、SDRAM へのリード/ライトアクセスを一切行いません。

9.6.5 ライトアクセス検出領域

SDRAM インターフェースは、特定領域にライトアクセスがあったことを検出するライトアクセス検出機能があります。ライトアクセス検出機能が働く領域が「ライトアクセス検出領域」となります。ライトアクセス検出領域の設定は、「ライトアクセス検出開始終了アドレス設定レジスタ (ewdetectarea0・ewdetectarea1)」で行います。領域設定は、ライトプロテクト領域、ECC 領域と独立に設定できます。

ライトアクセス検出領域外からライトアクセス検出領域内、ライトアクセス検出領域内からライトアクセス検出領域外へのライトアクセスが行われた場合、SDRAM に対するライト動作は要求通り実行されます。

9.7 データ保護機能

9.7.1 ECC 機能

データの信頼性を高めるために、ライトデータに対して ECC コードを生成し、外部メモリに書き込みます。リード時には、データ共に対応する ECC コードを読み出し、データの正常性判定と異常がある場合は訂正を行います。

データ 32bit に対して 7bit の ECC コードを生成し、1bit エラー検出&訂正と 2bit エラー検出を行います。

ECC エラーが発生したアドレスもレジスタに格納します。1bit エラーと 2bit エラー別々にレジスタが存在します。エラーが発生するたびに上書きされ、最後の ECC エラー発生アドレスが保持されます。

- ECC1bit エラーアドレスは、ECC1 ビットエラー発生アドレス格納レジスタ (e1erraddress) されます。
- ECC2bit エラーアドレスは、ECC2 ビットエラー発生アドレス格納レジスタ (e2erraddress) されます。

但し、ECC モード毎に e1erraddress 及び e2erraddress に格納される値と ECC エラー発生アドレスの対応が異なります。

- 縦列格納 ECC モード (3 2 ビット幅) : e1erraddress 及び e2erraddress に格納されている値から 4 を引いた値の半分が ECC エラー発生アドレスになります。
- 縦列格納 ECC モード (6 4 ビット幅) : e1erraddress 及び e2erraddress に格納されている値から 8 を引いた値の半分が ECC エラー発生アドレスになります。
- ノーマル ECC モード : e1erraddress 及び e2erraddress に格納されている値が、ECC エラー発生アドレスになります。

例として、ECC-1bit エラーが発生した場合の ECC 1 ビットエラー発生アドレスの対応表を示します。

条件 : ECC 1 ビットエラー発生アドレス格納レジスタ (e1erraddress) の値が "0002_0008H" の場合

縦列格納 ECC モード (3 2 ビット幅) 時	: ECC 1 ビットエラー発生アドレスは "0001_0002H" となります
縦列格納 ECC モード (6 4 ビット幅) 時	: ECC 1 ビットエラー発生アドレスは "0001_0000H" となります
ノーマル ECC モード時	: ECC 1 ビットエラー発生アドレスは "0002_0008H" となります

縦列格納 ECC モードで生成した ECC コードは外部メモリに書き込まれますが、この際 ECC コード 7bit に対して 1 アドレス (32 ビット) 領域を使用します。つまり、ECC 機能を利用する場合、実データに対して倍のメモリ領域を使用することになり、ユーザーが利用できる容量が減ることになります。ECC で利用する領域 (ECC 利用領域) は、メモリ実装領域の最後から ECC 領域と同じ容量の領域となります。

ECC 利用領域はアクセス禁止です。アクセスした場合、データは保証されず、メモリ実装外領域アクセスエラーが発生します。

例) メモリ実装 16Mbyte で ECC 領域 2Mbyte の場合

ECC 領域	000_0000H~01F_FFFFH (2Mbyte)
非 ECC 領域	020_0000H~0DF_FFFFH (12Mbyte)
ECC データ格納領域	0E0_0000H~0FF_FFFFH (2Mbyte)、アクセス禁止

9.7.2 ライトプロテクト機能

ライトプロテクト機能は、ライト要求があっても書き込みを行わない領域をメモリ空間に設定する機能です。リードは行えます。領域設定は“ライトプロテクト領域設定レジスタ”で行います。“0H~設定値-1H”が領域となります。設定値が“0000_0000H”の場合は、ライトプロテクト領域がなく、ライトプロテクト機能は停止します。

ライトプロテクト領域に対してライトアクセスが行われた場合、該当する SDRAM への書き込みは行われず、エラー通知（ライトプロテクト領域アクセスエラー）を発生させます。

また、同時にライトアクセス元を“アクセスエラーステータスレジスタ”に格納します。エラーが発生するたびに、レジスタは上書きされます。ライトアクセス元を格納するエラーは複数存在し、これらとレジスタは共有しています。従って、このレジスタは他のエラー発生によっても上書きされます。

9.7.3 ECC/非 ECC 領域を跨ぐアクセスに対するアクセス検出機能

ECC/非 ECC 領域を跨ぐアクセスに対するアクセス検出機能は、ECC 領域と非 ECC 領域を跨ぐ MBUS のバーストアクセスが発生したことを検出する機能です。

ECC 領域・非 ECC 領域を跨ぐバーストライトアクセスが要求された場合、そのバースト転送要求を無視し、SDRAM へのリード/ライトアクセスは一切行いません。

また、同時にライトアクセス元を“アクセスエラーステータスレジスタ”に格納します。エラーが発生するたびに、レジスタは上書きされます。ライトアクセス元を格納するエラーは複数存在し、これらとレジスタは共有しています。従って、このレジスタは他のエラー発生によっても上書きされます。

9.7.4 外部メモリの未実装領域へのアクセス検出機能

外部メモリの未実装領域へのアクセス検出機能は、外部メモリの未実装領域への MBUS のアクセスが発生したことを検出する機能です。

メモリ実装領域内からメモリ実装領域外への MBUS のバーストアクセスの要求があった場合、そのバースト転送要求を無視し、SDRAM へのリード/ライトアクセスを行いません。

また、同時にライトアクセス元を“アクセスエラーステータスレジスタ”に格納します。エラーが発生するたびに、レジスタは上書きされます。ライトアクセス元を格納するエラーは複数存在し、これらとレジスタは共有しています。従って、このレジスタは他のエラー発生によっても上書きされます。

9.7.5 ライトアクセス検出機能

ライトアクセス検出機能は、ライトアクセス検出領域に対して、ライトアクセスが発生したことを検出する機能です。

また、同時にライトアクセス元を“アクセスエラーステータスレジスタ”に格納します。エラーが発生するたびに、レジスタは上書きされます。ライトアクセス元を格納するエラーは複数存在し、これらとレジスタは共有しています。従って、このレジスタは他のエラー発生によっても上書きされます。

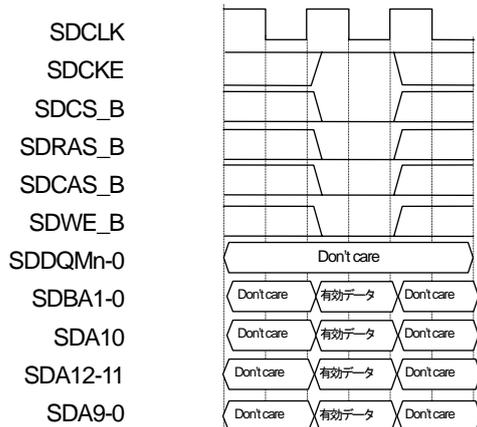
9.8 SDRAM への発行コマンド

SDRAM インターフェースは SDRAM に対し、次の 6 つのコマンドを発行します。

9.8.1 Mode Register Set command (MRS)

SDRAM のモードレジスタへのデータライトを行うコマンドです。

図 9-9 Mode Register Set command (MRS)

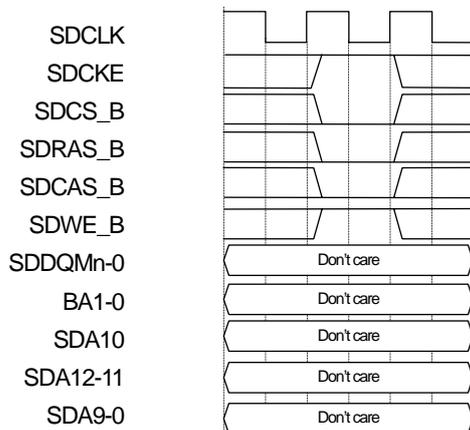


- ・ 特殊制御コマンドレジスタ (scm) の REG ビットに “1” をライトすることで Mode Register Set Command を発行します。
- ・ SDRAM のモードレジスタへ書き込むデータは、特殊コマンド発行レジスタ (scm) の MA14-0 ビットに設定されている値です。

9.8.2 Auto Refresh (REF)

SDRAM のオートリフレッシュを行うコマンドです。

図 9-10 CBR (Auto) Refresh command (REF)



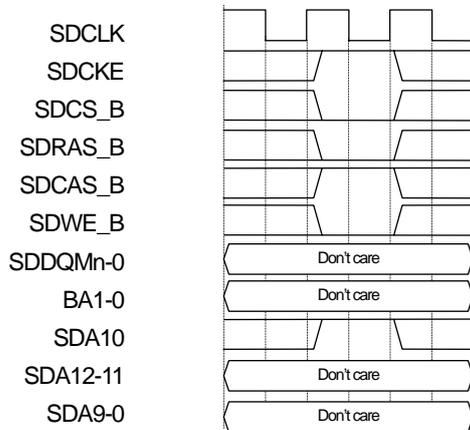
- ・ 特殊制御コマンドレジスタ (scm) の REF ビットに “1” をライトすることで、CBR (Auto) Refresh command を発行します。

補足) リフレッシュ周期毎に、オールバンクプリチャージコマンドを発行後、オートリフレッシュコマンドを発行します。

9.8.3 Precharge all bank (PALL)

SDRAM の全バンクのプリチャージをするコマンドです。

図 9-11 Precharge all bank command (PALL)

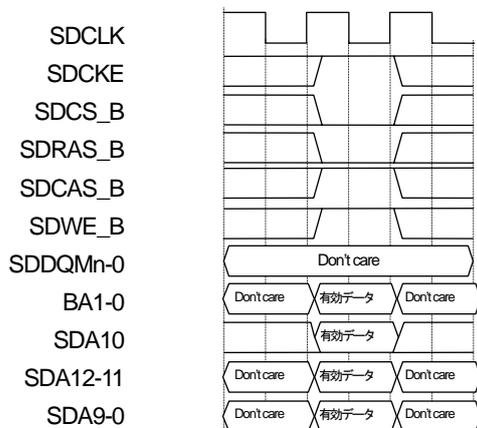


- ・ リフレッシュ周期毎に、オールバンクプリチャージコマンドを発行します。
- ・ 特殊制御コマンドレジスタの PRA ビットに 1 をライトした場合も、本コマンドを発行します。

9.8.4 Bank active command (ACT)

SDRAM のバンクをアクティブにするコマンドです。

図 9-12 Bank active command (ACT)

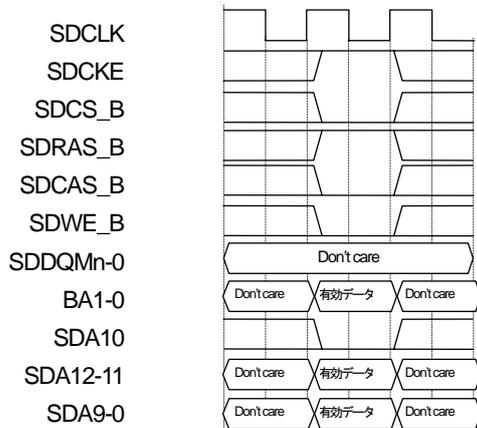


- ・ リードもしくはライト対象となるバンクが、アイドル状態の場合、アクティブ・コマンドを発行します。

9.8.5 Write command (WRIT)

SDRAM のライト・コマンドです。

図 9-13 Write command (WRIT)

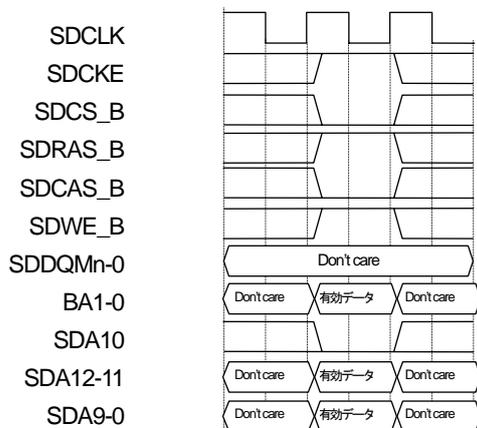


- ・ MBUS からライトサイクルが要求されると Write Command を発行します。但し、アイドル状態の場合は、Write-Command 前にアクティブ・コマンドが実行されます。

9.8.6 Read command (READ)

SDRAM のリード・コマンドです。

図 9-14 Read command (READ)

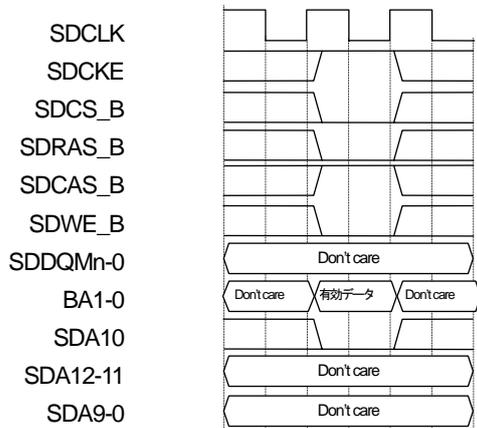


- ・ MBUS からリードサイクルが要求されると Read Command を発行します。但し、アイドル状態の場合は、Read Command 前にアクティブ・コマンドが実行されます。

9.8.7 Precharge select bank command (PRE)

SDRAM の選択バンクのプリチャージ・コマンドです。

図 9-15 Precharge select bank command (PRE)



- ・ アイドル状態への遷移時は、Precharge select bank Command を発行します。

9.9 初期化手順

ここでは、SDRAM メモリの初期化手順を説明します。

リセット解除後、本手順に従い SDRAM メモリの初期化を行ってください。初期化が完了する前に SDRAM にアクセスした場合の、SDRAM リード/ライトデータは保証できません。

SBUS 経由でコマンドを一つずつ発行する必要があります。

9.9.1 SDRAM の初期化手順

- (1) dcg レジスタに SDRAM の各種設定、SDRAM の接続構成及び ECC モード設定をします。
- (2) sce レジスタの CKEN ビットに 1 を設定し、SDCKE を High レベルにします。
- (3) (1) の CKEN=1 設定から、200 μ S 待機します。
- (4) 特殊制御コマンド発行レジスタ (scm) の PRA ビットに 1 を書き込み、オールバンクプリチャージコマンドを発行し、tRP 待機します。
- (5) オートリフレッシュコマンドを 8 回実行します。また、オートリフレッシュコマンド後、tRC 待機します。
- (6) モードレジスタコマンドを実行し、tMRD 待機します。
- (7) リフレッシュ周期設定レジスタ (refcnt) を設定し、リフレッシュ周期、1 回あたりのリフレッシュ回数を設定します。
- (8) SDRAM へのアクセスが可能となります。

9.10 ECC 領域テストモード

ECC 利用領域の RW テストは特別なテストモードを設けません。

縦列格納 ECC モードの場合は、eccarea レジスタに「0000_0000H」を設定し、メモリ領域全体を非 ECC 領域としてテストを行います。

また、ノーマル ECC モードの場合、各ビットが“0”と“1”となる値をライトした後、リードを行います。この時の ECC-1bit エラ—発生有無で ECC 領域の RW テストを行います。

9.10.1 データマスク制御機能

ライトサイクルのSDDQM 端子によるデータマスク制御を下記に示します。

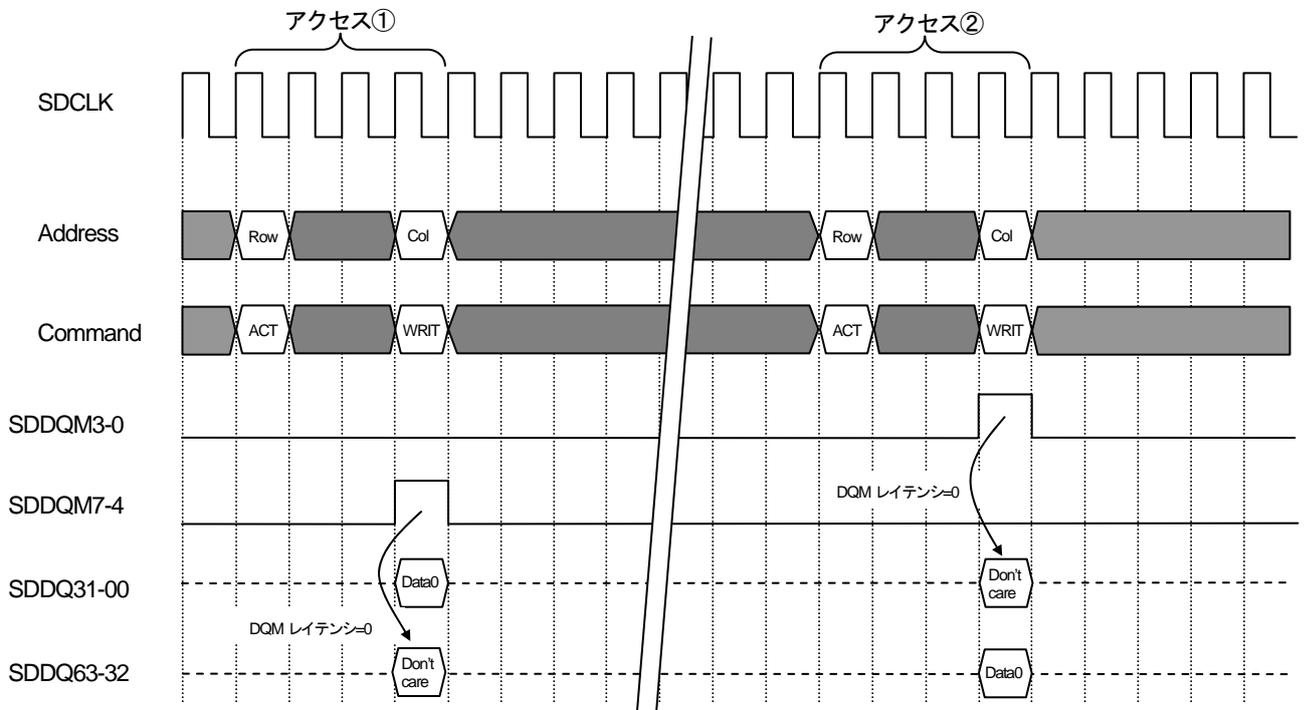
リードサイクルのSDDQM 端子によるデータマスク機能は有しません。64ビット幅設定で、32ビット単位のリードを行う場合は、SDRAM に対しては64ビット幅でリードを行って、SDRAM インターフェース内で必要な32ビットデータを取り込みます。

○ライトサイクル時のデータマスク制御 (条件 : BCW=1B、RCF1-0=10B、eccarea=0000_0000H)

アクセス①アドレス=0000_0000H へ 0000_0000H (32bit) と 32bit 単位でライトする。

アクセス②アドレス=0000_0004H へ 0000_0000H (32bit) を 32bit 単位でライトする。

注意 : ライトサイクル時の DQM レイテンシは “0クロック” です。



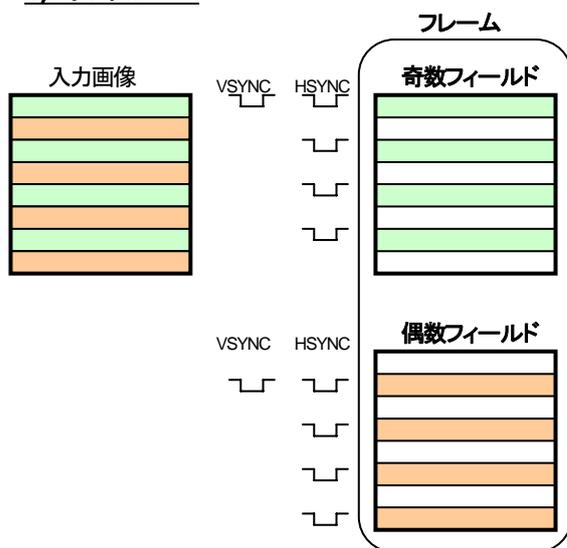
第10章. ビデオキャプチャ I/F 機能

10.1 はじめに(言葉の定義)

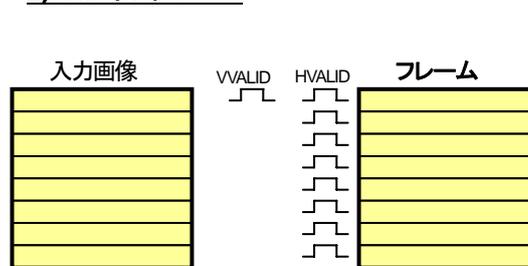
本章の説明において、誤解がないように以下の通り、言葉を定義します。

- 1) フィールドとは、1 つの画像に対して走査線の一つ飛ばしにした画像のことを示します。また、フィールドには奇数フィールドと偶数フィールドの2種類があります。
- 2) フレームとは、1つの画像のことを示します。インターレースの場合には奇数フィールドと偶数フィールドを合わせた画像のことを示します。

1) インタレース



2) ノンインタレース



10.2 特徴

画像データの入出力制御を行うビデオキャプチャ I/F 機能です。入力画像は、DMA により入力画像格納 RAM から外部メモリへ転送され、出力画像は、DMA により外部メモリから出力画像格納 RAM へ転送されます。また、コア内の PE での演算を容易にする為に、画像データの入れ替え機能も有します。

カラーカメラ(RGB、YCbCr)及びモノクロカメラからの画像データの入力が可能です。また、カラーモニター (YCbCr) およびモノクロモニターへの画像データの出力が可能です。その他、画像データ入出力状況に応じて、各種の割り込みを生成します。

○対応画像サイズ

- ・ 並び替えありの場合のサポート画像サイズ
 - QVGA(最小サイズ) : 320 pixel x 240 line
 - SXGA(最大サイズ) : 1280 pixel x 1024 line
- ・ 並び替えなしの場合のサポート画像サイズ
 - QVGA(最小サイズ) : 320 pixel x 240 line
 - Quad XGA (最大サイズ) : 2048 pixel x 1536 line

○入インターフェースと使用する入力画像データ数

- ・ RGB [24bit = 8bit (R) + 8bit (G) + 8bit (B)]
- ・ YCbCr422 [8bit] ※多重化データ
- ・ YCbCr422 [12bit] ※多重化データ
- ・ YCbCr422 [16bit = 8bit (Y) + 8bit (CbCr)] ※非多重化データ
- ・ YCbCr422 [24bit = 12bit (Y) + 12bit (CbCr)] ※非多重化データ
- ・ Monochrome [8bit]
- ・ Monochrome [12bit]

補足 : 例えば、RGB のカメラであれば 1 台接続可能で、Monochrome カメラ(8bit)であれば、最大非同期で 4 台接続可能です。

○出インターフェースと使用する出力画像データ数

- ・ YCbCr422 [16bit = 8bit (Y) + 8bit (CbCr)] ※非多重化データ
- ・ Monochrome [8bit]

○DMA

- ・ ビデオキャプチャ I/F 内の入力/出力画像格納 RAM と外部メモリとの画像データ転送用。
 - 入力画像データ転送用 DMA
 - 搭載 CH 数 : 4
 - 転送方向 : 入力画像格納 RAM → 外部メモリ
 - 出力画像データ転送用 DMA
 - 搭載 CH 数 : 2
 - 転送方向 : 外部メモリ → 出力画像格納 RAM

○割り込み生成

- ・入力画像転送完了割り込み
 - 1 フレーム分の画像データを外部メモリへ転送し終わったことを示す割り込み
- ・出力画像転送完了割り込み
 - 1 フレーム分の画像データを出力し終わったことを示す割り込み

○ビデオエラー

- ・入力画像 CH のエラー
 - DMA 転送による外部メモリへの画像データ書き込みが間に合わず、一部の画像データを失ってしまった事を示すビデオエラー。また、ビデオキャプチャ I/F に対するビデオ信号に以上が発生した場合に発生します。但し、全ての異常は検知できません。
- ・出力制御 CH のエラー
 - DMA 転送による外部メモリへの画像データ読み出しが間に合わず、一部の画像データが出力出来なかった事を示すビデオエラー

○ビデオエンコーダ、デコーダ IC (接続を想定している IC)

- ・ビデオエンコーダ IC : OKI 製 MSM7654
- ・ビデオデコーダ IC : OKI 製 ML86V7665
OKI 製 ML86V7666
KODAK 製 KAC-9619 CMOS IMAGE SENSOR
Micron 製 (Aptina Imaging) MT9V023 1/3-Inch Wide-VGA CMOS Digital Image Sensor 3.3V系

10.3 ブロック図

10.3.1 ビデオキャプチャ I/F TOP ブロック図

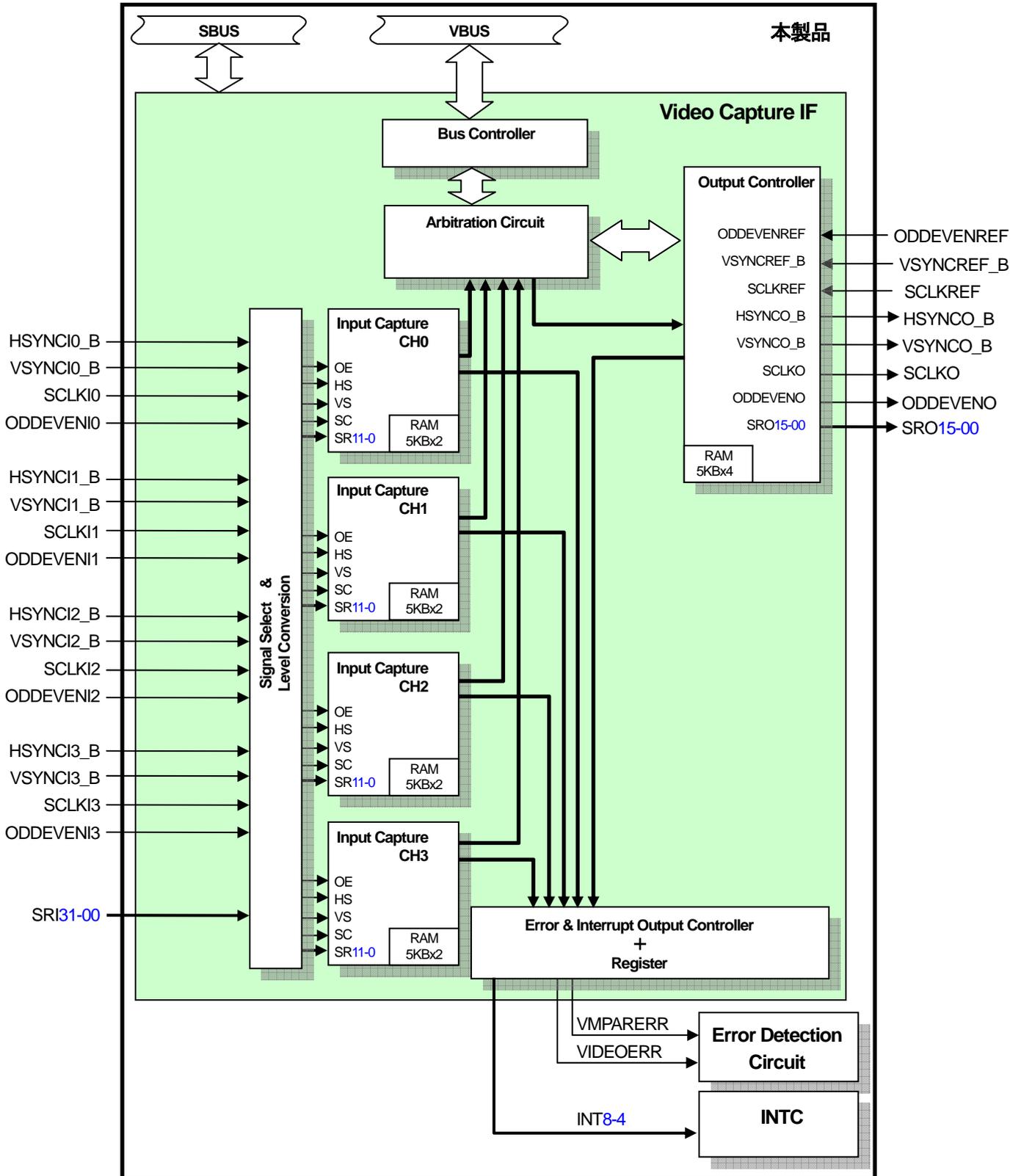


図 10-1 ビデオキャプチャ I/F TOP ブロック図

10.3.2 ビデオキャプチャ I/F 入力信号セクタ回路

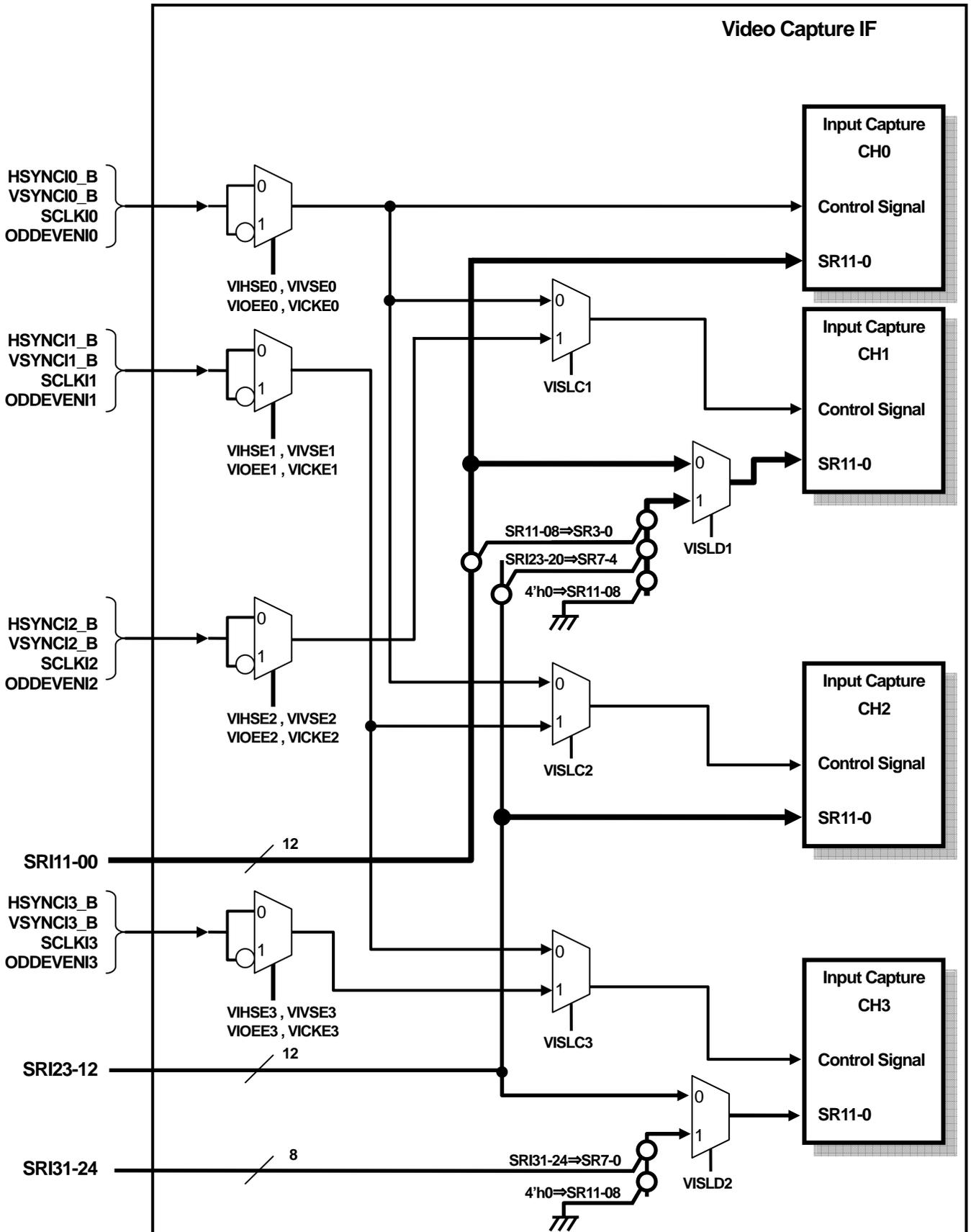


図 10-2 ビデオキャプチャ I/F 入力信号セクタ回路

10.4 端子/レジスタ/RAM

10.4.1 使用端子一覧 / 使用内部信号一覧

使用端子一覧を表 10-1に示す。

表 10-1 使用端子一覧

端子	入出力	アクティブレベル	端子説明
HSYNCI0_B	I	L	入力画像データ用水平同期信号 0
VSYNCI0_B	I	L	入力画像データ用垂直同期信号 0
SCLKI0	I	—	入力画像データ転送クロック 0
ODDEVENI0	I	—	入力画像データ用フィールド表示信号 0 Low : EVEN FIELD、Hi : ODD FIELD
HSYNCI1_B	I	L	入力画像データ用水平同期信号 1
VSYNCI1_B	I	L	入力画像データ用垂直同期信号 1
SCLKI1	I	—	入力画像データ転送クロック 1
ODDEVENI1	I	—	入力画像データ用フィールド表示信号 1 Low : EVEN FIELD、Hi : ODD FIELD
HSYNCI2_B	I	L	入力画像データ用水平同期信号 2
VSYNCI2_B	I	L	入力画像データ用垂直同期信号 2
SCLKI2	I	—	入力画像データ転送クロック 2
ODDEVENI2	I	—	入力画像データ用フィールド表示信号 2 Low : EVEN FIELD、Hi : ODD FIELD
HSYNCI3_B	I	L	入力画像データ用水平同期信号 3
VSYNCI3_B	I	L	入力画像データ用垂直同期信号 3
SCLKI3	I	—	入力画像データ転送クロック 3
ODDEVENI3	I	—	入力画像データ用フィールド表示信号 3 Low : EVEN FIELD、Hi : ODD FIELD
SRI31 - 00	I	—	入力画像データ 31 - 00
ODDEVENREF	I	—	出力制御信号用リファレンスフィールド表示信号
VSYNCREF_B	I	L	出力制御信号用リファレンス垂直同期信号
SCLKREF	I	—	出力制御信号用リファレンスクロック
SCLKO	O	—	出力画像データ転送クロック 出力制御信号用リファレンスクロック (SCLKREF) からの入力信号が直接もしくは反転して出力されます
HSYNCO_B	O	L	出力画像データ用水平同期信号
VSYNCO_B	O	L	出力画像データ用垂直同期信号
ODDEVENO	O	—	出力画像データ用フィールド表示信号 Low : EVEN FIELD、Hi : ODD FIELD
SRO15 - 00	O	—	出力画像データ 15 - 00

表 10-2 使用内部信号一覧(1/1)

端子	入出力	端子説明
INT4	O	画像入力 CH0 のフレーム取り込み完了& 外部メモリへのデータ転送完了の割り込み信号
INT5	O	画像入力 CH1 のフレーム取り込み完了& 外部メモリへのデータ転送完了の割り込み信号
INT6	O	画像入力 CH2 のフレーム取り込み完了& 外部メモリへのデータ転送完了の割り込み信号
INT7	O	画像入力 CH3 のフレーム取り込み完了& 外部メモリへのデータ転送完了の割り込み信号
INT8	O	出力制御 CH のフレーム出力完了の割り込み信号
VMPARERR	O	ビデオキャプチャメモリ領域の RAM エラー (パリティエラー) 検出信号
VIDEOERR	O	ビデオキャプチャのビデオエラー検出信号

10.4.2 カメラとの接続例

入力端子とカメラとの接続例を表 10-3に示します。

表 10-3 入力端子とカメラとの接続例

入力端子 入力インタ ーフェース	Camera #1		Camera #2		Camera #3		Camera #4																						
	HSYNC10_B VSYNC10_B SCLK10 ODDEVENI0	HSYNC11_B VSYNC11_B SCLK11 ODDEVENI1	HSYNC12_B VSYNC12_B SCLK12 ODDEVENI2	HSYNC13_B VSYNC13_B SCLK13 ODDEVENI3	SR100 SR101 SR102 SR103 SR104 SR105 SR106 SR107 SR108 SR109 SR110 SR111 SR112 SR113 SR114 SR115 SR116 SR117 SR118 SR119 SR120 SR121 SR122 SR123 SR124	SR125 SR126 SR127 SR128 SR129 SR130 SR131 SR132 SR133 SR134 SR135 SR136 SR137 SR138 SR139 SR140 SR141 SR142 SR143 SR144 SR145 SR146 SR147 SR148 SR149 SR150 SR151 SR152 SR153 SR154 SR155 SR156 SR157 SR158 SR159 SR160 SR161 SR162 SR163 SR164 SR165 SR166 SR167 SR168 SR169 SR170 SR171 SR172 SR173 SR174 SR175 SR176 SR177 SR178 SR179 SR180 SR181 SR182 SR183 SR184 SR185 SR186 SR187 SR188 SR189 SR190 SR191 SR192 SR193 SR194 SR195 SR196 SR197 SR198 SR199 SR200 SR201 SR202 SR203 SR204 SR205 SR206 SR207 SR208 SR209 SR210 SR211 SR212 SR213 SR214 SR215 SR216 SR217 SR218 SR219 SR220 SR221 SR222 SR223 SR224 SR225 SR226 SR227 SR228 SR229 SR230 SR231 SR232 SR233 SR234 SR235 SR236 SR237 SR238 SR239 SR240 SR241 SR242 SR243 SR244 SR245 SR246 SR247 SR248 SR249 SR250 SR251 SR252 SR253 SR254 SR255 SR256 SR257 SR258 SR259 SR260 SR261 SR262 SR263 SR264 SR265 SR266 SR267 SR268 SR269 SR270 SR271 SR272 SR273 SR274 SR275 SR276 SR277 SR278 SR279 SR280 SR281 SR282 SR283 SR284 SR285 SR286 SR287 SR288 SR289 SR290 SR291 SR292 SR293 SR294 SR295 SR296 SR297 SR298 SR299 SR300 SR301 SR302 SR303 SR304 SR305 SR306 SR307 SR308 SR309 SR310 SR311 SR312 SR313 SR314 SR315 SR316 SR317 SR318 SR319 SR320 SR321 SR322 SR323 SR324 SR325 SR326 SR327 SR328 SR329 SR330 SR331 SR332 SR333 SR334 SR335 SR336 SR337 SR338 SR339 SR340 SR341 SR342 SR343 SR344 SR345 SR346 SR347 SR348 SR349 SR350 SR351 SR352 SR353 SR354 SR355 SR356 SR357 SR358 SR359 SR360 SR361 SR362 SR363 SR364 SR365 SR366 SR367 SR368 SR369 SR370 SR371 SR372 SR373 SR374 SR375 SR376 SR377 SR378 SR379 SR380 SR381 SR382 SR383 SR384 SR385 SR386 SR387 SR388 SR389 SR390 SR391 SR392 SR393 SR394 SR395 SR396 SR397 SR398 SR399 SR400 SR401 SR402 SR403 SR404 SR405 SR406 SR407 SR408 SR409 SR410 SR411 SR412 SR413 SR414 SR415 SR416 SR417 SR418 SR419 SR420 SR421 SR422 SR423 SR424 SR425 SR426 SR427 SR428 SR429 SR430 SR431 SR432 SR433 SR434 SR435 SR436 SR437 SR438 SR439 SR440 SR441 SR442 SR443 SR444 SR445 SR446 SR447 SR448 SR449 SR450 SR451 SR452 SR453 SR454 SR455 SR456 SR457 SR458 SR459 SR460 SR461 SR462 SR463 SR464 SR465 SR466 SR467 SR468 SR469 SR470 SR471 SR472 SR473 SR474 SR475 SR476 SR477 SR478 SR479 SR480 SR481 SR482 SR483 SR484 SR485 SR486 SR487 SR488 SR489 SR490 SR491 SR492 SR493 SR494 SR495 SR496 SR497 SR498 SR499 SR500	SR125 SR126 SR127 SR128 SR129 SR130 SR131 SR132 SR133 SR134 SR135 SR136 SR137 SR138 SR139 SR140 SR141 SR142 SR143 SR144 SR145 SR146 SR147 SR148 SR149 SR150 SR151 SR152 SR153 SR154 SR155 SR156 SR157 SR158 SR159 SR160 SR161 SR162 SR163 SR164 SR165 SR166 SR167 SR168 SR169 SR170 SR171 SR172 SR173 SR174 SR175 SR176 SR177 SR178 SR179 SR180 SR181 SR182 SR183 SR184 SR185 SR186 SR187 SR188 SR189 SR190 SR191 SR192 SR193 SR194 SR195 SR196 SR197 SR198 SR199 SR200 SR201 SR202 SR203 SR204 SR205 SR206 SR207 SR208 SR209 SR210 SR211 SR212 SR213 SR214 SR215 SR216 SR217 SR218 SR219 SR220 SR221 SR222 SR223 SR224 SR225 SR226 SR227 SR228 SR229 SR230 SR231 SR232 SR233 SR234 SR235 SR236 SR237 SR238 SR239 SR240 SR241 SR242 SR243 SR244 SR245 SR246 SR247 SR248 SR249 SR250 SR251 SR252 SR253 SR254 SR255 SR256 SR257 SR258 SR259 SR260 SR261 SR262 SR263 SR264 SR265 SR266 SR267 SR268 SR269 SR270 SR271 SR272 SR273 SR274 SR275 SR276 SR277 SR278 SR279 SR280 SR281 SR282 SR283 SR284 SR285 SR286 SR287 SR288 SR289 SR290 SR291 SR292 SR293 SR294 SR295 SR296 SR297 SR298 SR299 SR300 SR301 SR302 SR303 SR304 SR305 SR306 SR307 SR308 SR309 SR310 SR311 SR312 SR313 SR314 SR315 SR316 SR317 SR318 SR319 SR320 SR321 SR322 SR323 SR324 SR325 SR326 SR327 SR328 SR329 SR330 SR331 SR332 SR333 SR334 SR335 SR336 SR337 SR338 SR339 SR340 SR341 SR342 SR343 SR344 SR345 SR346 SR347 SR348 SR349 SR350 SR351 SR352 SR353 SR354 SR355 SR356 SR357 SR358 SR359 SR360 SR361 SR362 SR363 SR364 SR365 SR366 SR367 SR368 SR369 SR370 SR371 SR372 SR373 SR374 SR375 SR376 SR377 SR378 SR379 SR380 SR381 SR382 SR383 SR384 SR385 SR386 SR387 SR388 SR389 SR390 SR391 SR392 SR393 SR394 SR395 SR396 SR397 SR398 SR399 SR400 SR401 SR402 SR403 SR404 SR405 SR406 SR407 SR408 SR409 SR410 SR411 SR412 SR413 SR414 SR415 SR416 SR417 SR418 SR419 SR420 SR421 SR422 SR423 SR424 SR425 SR426 SR427 SR428 SR429 SR430 SR431 SR432 SR433 SR434 SR435 SR436 SR437 SR438 SR439 SR440 SR441 SR442 SR443 SR444 SR445 SR446 SR447 SR448 SR449 SR450 SR451 SR452 SR453 SR454 SR455 SR456 SR457 SR458 SR459 SR460 SR461 SR462 SR463 SR464 SR465 SR466 SR467 SR468 SR469 SR470 SR471 SR472 SR473 SR474 SR475 SR476 SR477 SR478 SR479 SR480 SR481 SR482 SR483 SR484 SR485 SR486 SR487 SR488 SR489 SR490 SR491 SR492 SR493 SR494 SR495 SR496 SR497 SR498 SR499 SR500																						
RGB [24bit] [8bit(R) + 8bit(G) + 8bit(B)] x 1input	○	○注3 [R]	○注5 [B]	○注4 [G]	SR100	SR101	SR102	SR103	SR104	SR105	SR106	SR107	SR108	SR109	SR110	SR111	SR112	SR113	SR114	SR115	SR116	SR117	SR118	SR119	SR120	SR121	SR122	SR123	SR124
YCbCr [8bit] 注1 x 2input	○	○注3	○注3	○注4	SR100	SR101	SR102	SR103	SR104	SR105	SR106	SR107	SR108	SR109	SR110	SR111	SR112	SR113	SR114	SR115	SR116	SR117	SR118	SR119	SR120	SR121	SR122	SR123	SR124
YCbCr [12bit] 注1 x 2input	○	○注3	○注3	○注4	SR100	SR101	SR102	SR103	SR104	SR105	SR106	SR107	SR108	SR109	SR110	SR111	SR112	SR113	SR114	SR115	SR116	SR117	SR118	SR119	SR120	SR121	SR122	SR123	SR124
YCbCr [16bit] [8bit(Y), 8bit(CbCr)] 注2 x 1input	○	○注3 [M]	○注3	○注4 [CbCr]	SR100	SR101	SR102	SR103	SR104	SR105	SR106	SR107	SR108	SR109	SR110	SR111	SR112	SR113	SR114	SR115	SR116	SR117	SR118	SR119	SR120	SR121	SR122	SR123	SR124
YCbCr [24bit] 注2 [12bit(Y), 12bit(CbCr)] 注2 x 1input	○	○注3 [M]	○注3	○注4 [CbCr]	SR100	SR101	SR102	SR103	SR104	SR105	SR106	SR107	SR108	SR109	SR110	SR111	SR112	SR113	SR114	SR115	SR116	SR117	SR118	SR119	SR120	SR121	SR122	SR123	SR124
YCbCr [8bit] [8bit(Y), 0bit(CbCr)] 注2 x 4input	○	○注3	○注3	○注4	SR100	SR101	SR102	SR103	SR104	SR105	SR106	SR107	SR108	SR109	SR110	SR111	SR112	SR113	SR114	SR115	SR116	SR117	SR118	SR119	SR120	SR121	SR122	SR123	SR124
YCbCr [12bit] 注2 [12bit(Y), 0bit(CbCr)] 注2 x 2input	○	○注3	○注3	○注4	SR100	SR101	SR102	SR103	SR104	SR105	SR106	SR107	SR108	SR109	SR110	SR111	SR112	SR113	SR114	SR115	SR116	SR117	SR118	SR119	SR120	SR121	SR122	SR123	SR124
Monochrome [8bit] x 4input	○	○注3	○注3	○注4	SR100	SR101	SR102	SR103	SR104	SR105	SR106	SR107	SR108	SR109	SR110	SR111	SR112	SR113	SR114	SR115	SR116	SR117	SR118	SR119	SR120	SR121	SR122	SR123	SR124
Monochrome [12bit] x 2input	○	○注3	○注3	○注4	SR100	SR101	SR102	SR103	SR104	SR105	SR106	SR107	SR108	SR109	SR110	SR111	SR112	SR113	SR114	SR115	SR116	SR117	SR118	SR119	SR120	SR121	SR122	SR123	SR124

○：使用端子、－：未使用端子

注 1：多重化データ、注 2：非多重化データ、注 3：LSB=SR100、注 4：LSB=SR112、注 5：{SR108, SR109, SR10, SR11, SR120, SR121, SR122, SR123}というビット並びとし、LSB=SR108、

注 6：LSB=SR124

10.4.3 モニターとの接続例

出力端子とモニターとの接続例を表 10-4に示します。

表 10-4 出力端子とモニターとの接続例

 Monitor #1

	HSYNCO_B VSYNCO_B SCLKO ODDEVENO	SRO07- 00	SRO15 - 08
YCbCr [16bit] 注1 [8bit(Y), 8bit(CbCr)] x 1output	○	○注2 (Y)	○注3 (CbCr)
Monochrome [8bit] x 1output	○	○注2	—

○ : 使用端子、— : 未使用端子

注 1 : 非多重化データ、注 2 : LSB=SRO00、注 3 : LSB=SRO08

10.4.4 カメラとの接続例 1

RGB カメラ 1 台と接続時の入力セクタ回路の設定例を以下に示します。

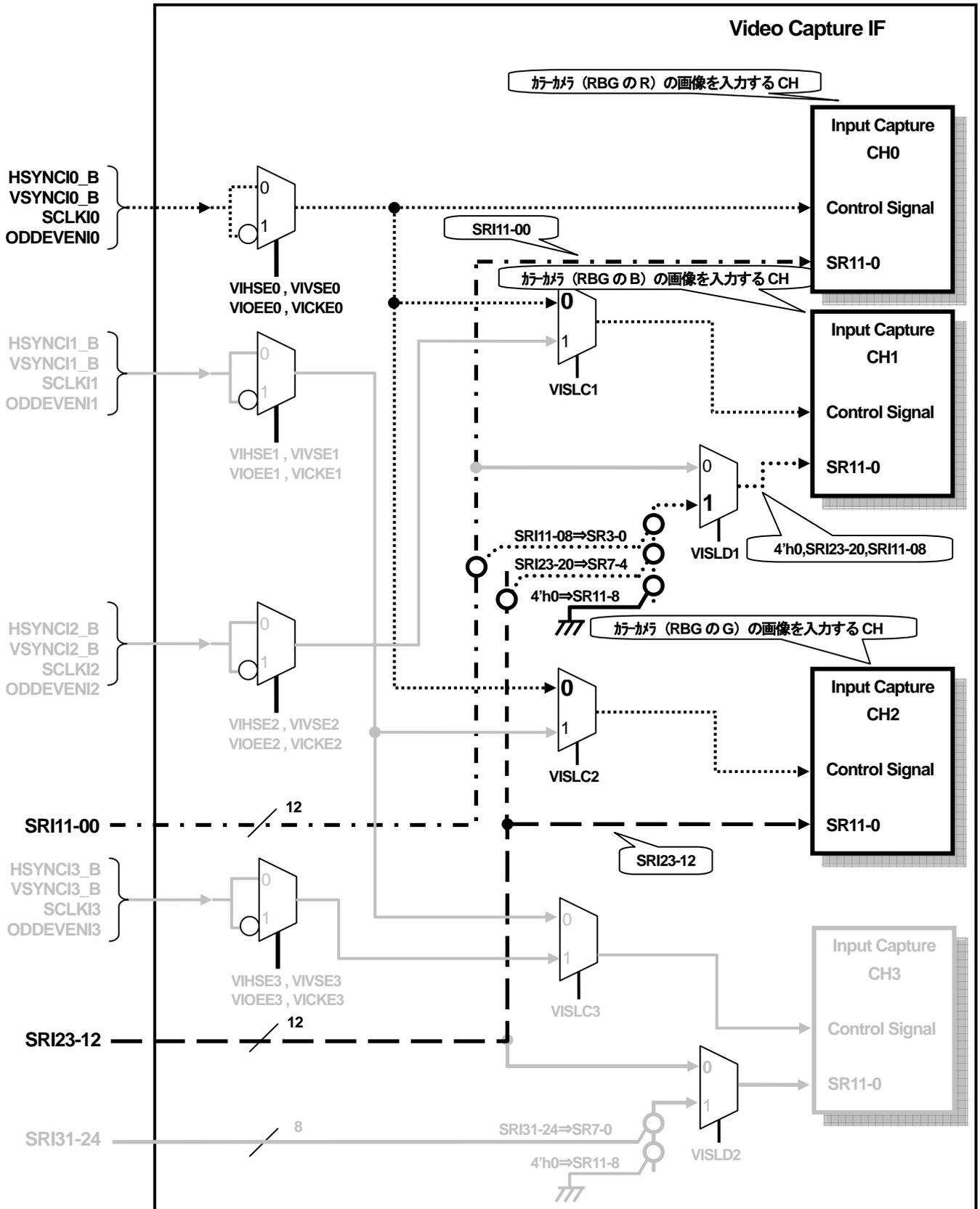


図 10-3 入力信号セクタ回路の設定例 1

10.4.5 カメラとの接続例 2

カラーカメラ (多重データ方式の YCbCr422) 2 台と接続時の入力セクタ回路の設定例を以下に示します。

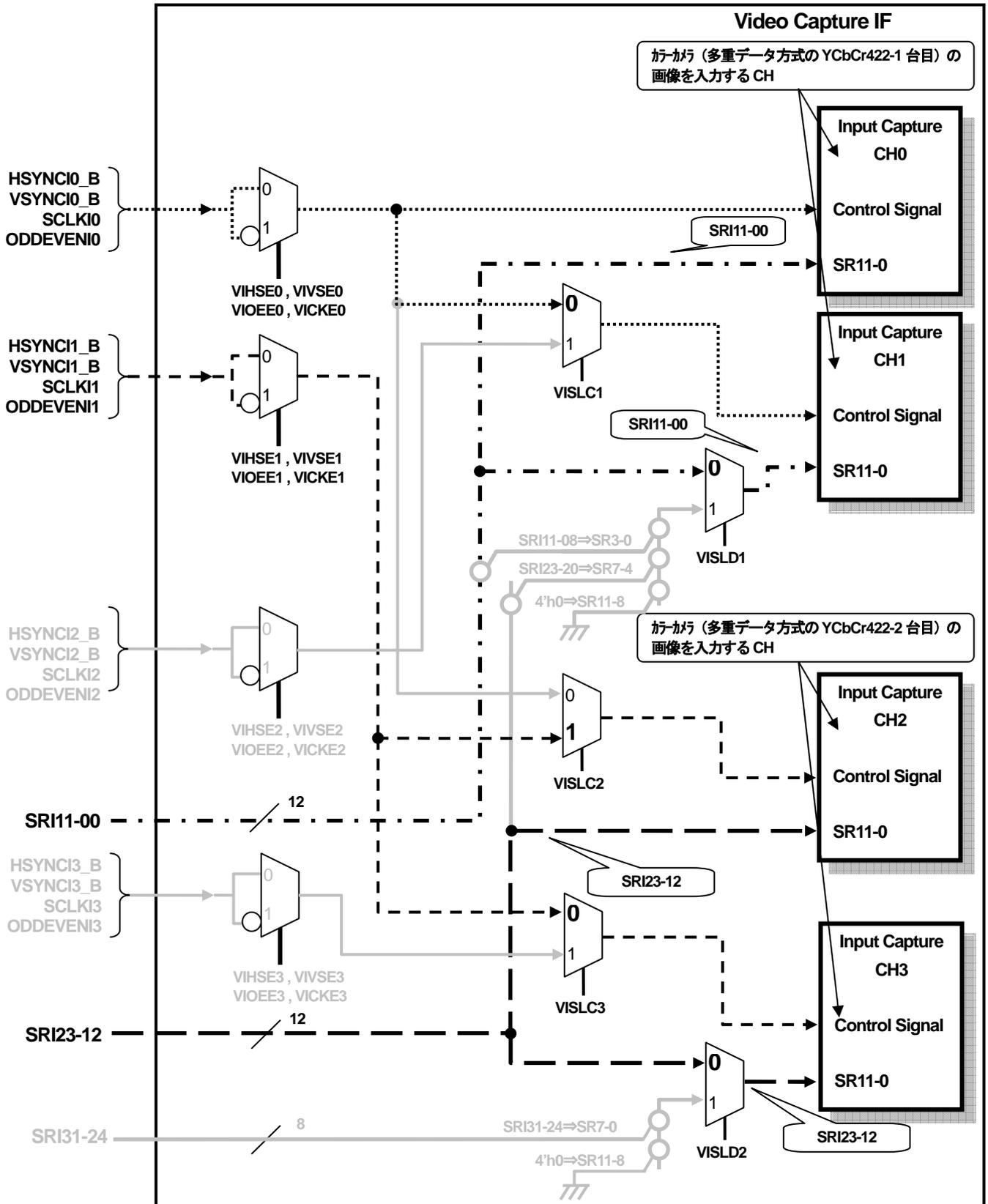


図 10-4 入力信号セクタ回路の設定例 2

10.4.6 カメラとの接続例 3

カラーカメラ（非多重データ方式の YCbCr422）1 台と接続時の入力セクタ回路の設定例を以下に示します。

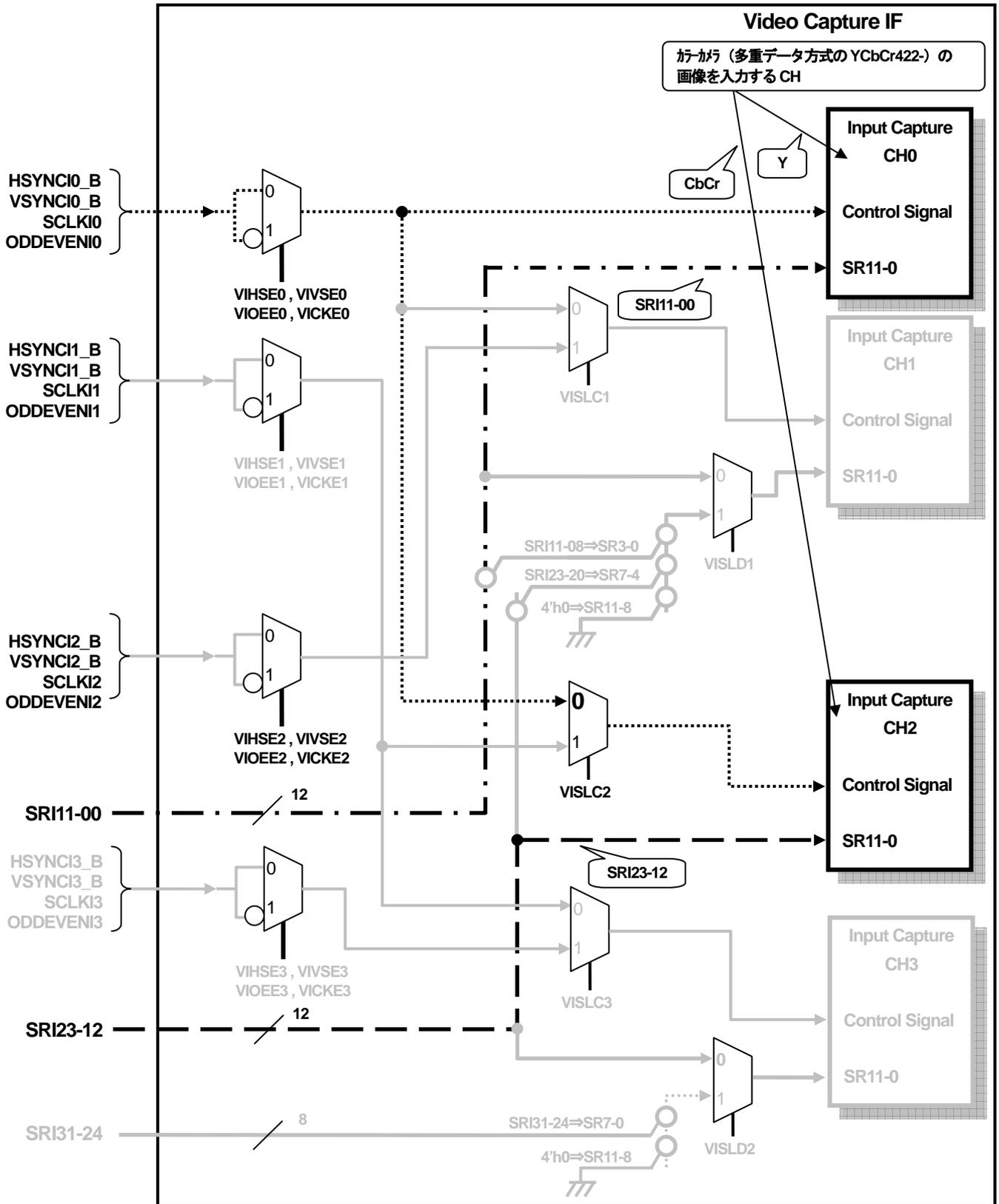


図 10-5 入力信号セクタ回路の設定例 3

10.4.7 カメラとの接続例 4

モノクロカメラ 4 台と接続時の入力セクタ回路の設定例を以下に示します。

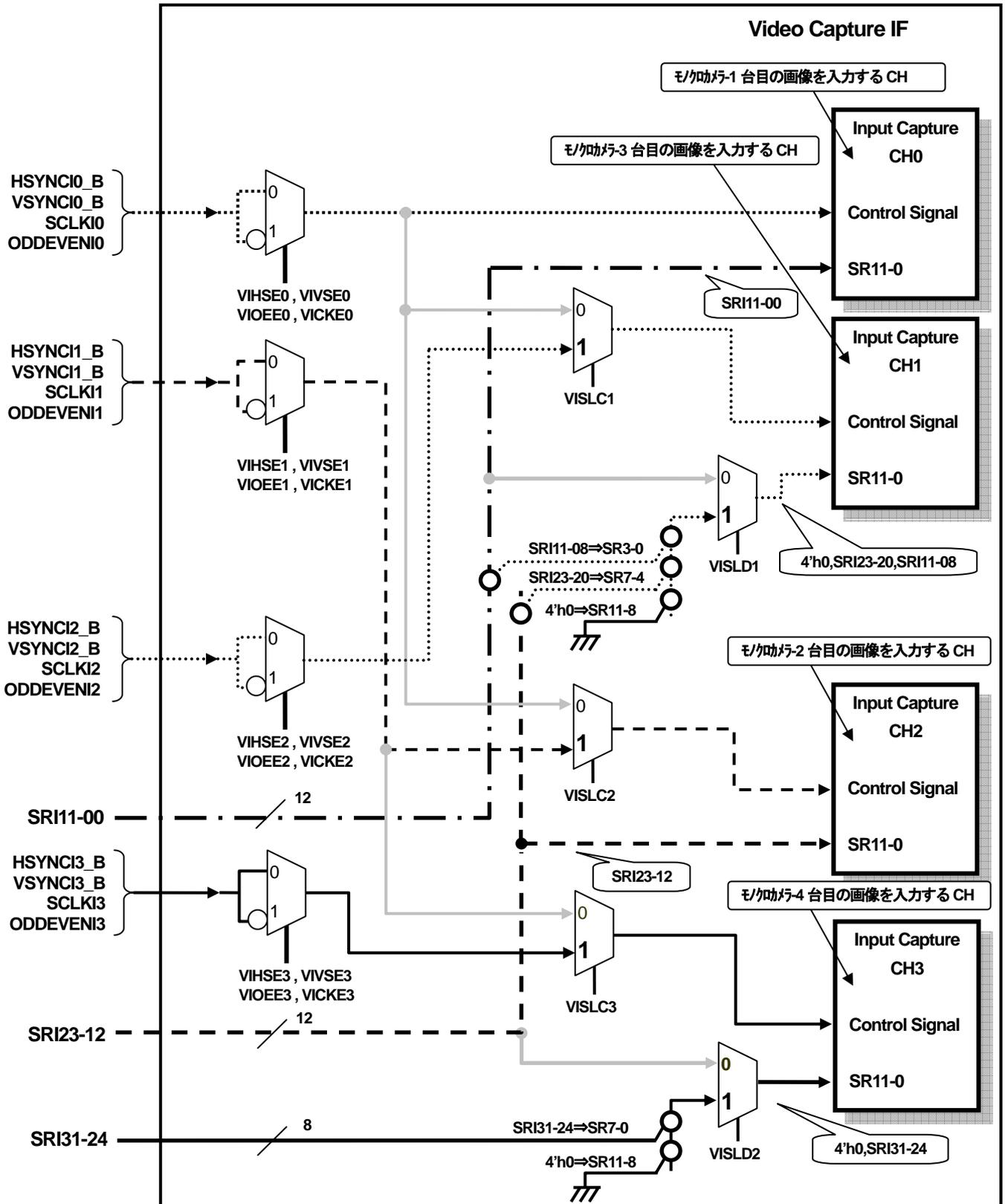


図 10-6 入力信号セクタ回路の設定例 4

10.4.8 使用レジスタ一覧

使用レジスタ一覧を示す。

表 10-5 使用レジスタ一覧(1/9) [ビデオキャプチャ I/F 全体制御関連]

レジスタ名	英語名	略号	レジスタ説明
ビデオキャプチャ動作設定レジスタ	video capture enable register	VIE	入力画像 CH/出力制御 CH の動作許可/禁止の設定
ビデオ入力信号切替設定レジスタ	video input select register	VIS	ビデオ入力信号の切り替え設定
ビデオエラーステータスレジスタ	video capture error status register	VES	ビデオエラー発生 CH の表示
ビデオエラーステータスクリアレジスタ	video capture error status clear register	VEC	ビデオエラーステータスフラグのクリア制御

表 10-6 使用レジスタ一覧(2/9) [入力画像 CH 0 関連]

レジスタ名	英語名	略号	レジスタ説明
ビデオ入力チャネル 動作モード設定レジスタ 0	video input channel mode register 0	VIMO	入力画像 CH 0 の動作モード設定
ビデオ入力チャネル 画像取り込みモード設定レジスタ 0	video input channel capture mode register 0	VCM0	入力画像 CH 0 の取り込みモード設定
ビデオ入力チャネル リングバッファ数設定レジスタ 0	video input channel memory register 0	VME0	入力画像 CH 0 の画像格納リングバッファ数設定
ビデオ入力チャネル リングバッファサイズ設定レジスタ 0	video input channel picture size register 0	VSZ0	入力画像 CH 0 の 1 フレーム分のサイズ設定 (入力画像格納バッファのサイズ設定)
ビデオ入力チャネル 水平方向切り出し位置設定レジスタ 0	video input pixel offset register 0	VPO0	入力画像 CH 0 の水平方向取り込みオフセット設定
ビデオ入力チャネル 垂直方向切り出し位置設定レジスタ 0	video input line offset register 0	VLO0	入力画像 CH 0 の垂直方向取り込みオフセット設定
ビデオ入力チャネル 取り込み画素数設定レジスタ 0	video input pixel plot length register 0	VPX0	入力画像 CH 0 の水平方向取り込みピクセル数設定
ビデオ入力チャネル 取り込みライン数設定レジスタ 0	video input lines register 0	VLN0	入力画像 CH 0 の垂直方向取り込みライン数設定
ビデオ入力チャネル ステータスレジスタ 0	DMA video input status register 0	VDS0	入力画像 CH 0 の DMA ステータス、最新格納リング バッファ番号、フレームカウンタの表示
ビデオ入力チャネル フレームカウンタ 0	DMA video input frame counter control register 0	VFC0	入力画像 CH 0 のフレームカウンタ値の設定
ビデオ入力チャネル エラーステータスレジスタ 0	video capture error frame counter capture register 0	VEF0	入力画像 CH 0 のエラー発生時のリングバッファ番号 及びフレームカウンタの表示
ビデオ入力チャネル DMA 転送ベースアドレスレジスタ 0	DMA video input base address register 0	VDB0	入力画像 CH 0 の DMA 転送先ベースアドレス設定

表 10-7 使用レジスタ一覧(3/9) [入力画像 CH1 関連]

レジスタ名	英語名	略号	レジスタ説明
ビデオ入力チャネル 動作モード設定レジスタ 1	video input channel mode register 1	VIM1	入力画像 CH1 の動作モード設定
ビデオ入力チャネル 画像取り込みモード設定レジスタ 1	video input channel capture mode register 1	VCM1	入力画像 CH1 の取り込みモード設定
ビデオ入力チャネル リングバッファ数設定レジスタ 1	video input channel memory register 1	VME1	入力画像 CH1 の画像格納リングバッファ数設定
ビデオ入力チャネル リングバッファサイズ設定レジスタ 1	video input channel picture size register 1	VSZ1	入力画像 CH1 の 1 フレーム分のサイズ設定 (入力画像格納バッファのサイズ設定)
ビデオ入力チャネル 水平方向切り出し位置設定レジスタ 1	video input pixel offset register 1	VPO1	入力画像 CH1 の水平方向取り込みオフセット設定
ビデオ入力チャネル 垂直方向切り出し位置設定レジスタ 1	video input line offset register 1	VLO1	入力画像 CH1 の垂直方向取り込みオフセット設定
ビデオ入力チャネル 取り込み画素数設定レジスタ 1	video input pixel plot length register 1	VPX1	入力画像 CH1 の水平方向取り込みピクセル数設定
ビデオ入力チャネル 取り込みライン数設定レジスタ 1	video input lines register 1	VLN1	入力画像 CH1 の垂直方向取り込みライン数設定
ビデオ入力チャネル ステータスレジスタ 1	DMA video input status register 1	VDS1	入力画像 CH1 の DMA ステータス、最新格納リング バッファ番号、フレームカウンタの表示
ビデオ入力チャネル フレームカウンタ 1	DMA video input frame counter register 1	VFC1	入力画像 CH1 のフレームカウンタ値の設定
ビデオ入力チャネル エラーステータスレジスタ 1	video capture error frame counter capture register 1	VEF1	入力画像 CH1 のエラー発生時のリングバッファ番号 及びフレームカウンタの表示
ビデオ入力チャネル DMA 転送ベースアドレスレジスタ 1	DMA video input base address register 1	VDB1	入力画像 CH1 の DMA 転送先ベースアドレス設定

表 10-8 使用レジスタ一覧(4/9) [入力画像 CH2 関連]

レジスタ名	英語名	略号	レジスタ説明
ビデオ入力チャネル 動作モード設定レジスタ 2	video input channel mode register 2	VIM2	入力画像 CH2 の動作モード設定
ビデオ入力チャネル 画像取り込みモード設定レジスタ 2	video input channel capture mode register 2	VCM2	入力画像 CH2 の取り込みモード設定
ビデオ入力チャネル リングバッファ数設定レジスタ 2	video input channel memory register 2	VME2	入力画像 CH2 の画像格納リングバッファ数設定
ビデオ入力チャネル リングバッファサイズ設定レジスタ 2	video input channel picture size register 2	VSZ2	入力画像 CH2 の 1 フレーム分のサイズ設定 (入力画像格納バッファのサイズ設定)
ビデオ入力チャネル 水平方向切り出し位置設定レジスタ 2	video input pixel offset register 2	VPO2	入力画像 CH2 の水平方向取り込みオフセット設定
ビデオ入力チャネル 垂直方向切り出し位置設定レジスタ 2	video input line offset register 2	VLO2	入力画像 CH2 の垂直方向取り込みオフセット設定
ビデオ入力チャネル 取り込み画素数設定レジスタ 2	video input pixel plot length register 2	VPX2	入力画像 CH2 の水平方向取り込みピクセル数設定
ビデオ入力チャネル 取り込みライン数設定レジスタ 2	video input lines register 2	VLN2	入力画像 CH2 の垂直方向取り込みライン数設定
ビデオ入力チャネル ステータスレジスタ 2	DMA video input status register 2	VDS2	入力画像 CH2 の DMA ステータス、最新格納リング バッファ番号、フレームカウンタの表示
ビデオ入力チャネル フレームカウンタ 2	DMA video input frame counter register 2	VFC2	入力画像 CH2 のフレームカウンタ値の設定
ビデオ入力チャネル エラーステータスレジスタ 2	video capture error frame counter capture register 2	VEF2	入力画像 CH2 のエラー発生時のリングバッファ番号 及びフレームカウンタの表示
ビデオ入力チャネル DMA 転送ベースアドレスレジスタ 2	DMA video input base address register 2	VDB2	入力画像 CH2 の DMA 転送先ベースアドレス設定

表 10-9 使用レジスタ一覧(5/9) [入力画像 CH3 関連]

レジスタ名	英語名	略号	レジスタ説明
ビデオ入力チャネル 動作モード設定レジスタ 3	video input channel mode register 3	VIM3	入力画像 CH3 の動作モード設定
ビデオ入力チャネル 画像取り込みモード設定レジスタ 3	video input channel capture mode register 3	VCM3	入力画像 CH3 の取り込みモード設定
ビデオ入力チャネル リングバッファ数設定レジスタ 3	video input channel memory register 3	VME3	入力画像 CH3 の画像格納リングバッファ数設定
ビデオ入力チャネル リングバッファサイズ設定レジスタ 3	video input channel picture size register 3	VSZ3	入力画像 CH3 の 1 フレーム分のサイズのサイズ設定 (入力画像格納バッファのサイズ設定)
ビデオ入力チャネル 水平方向切り出し位置設定レジスタ 3	video input pixel offset register 3	VPO3	入力画像 CH3 の水平方向取り込みオフセット設定
ビデオ入力チャネル 垂直方向切り出し位置設定レジスタ 3	video input line offset register 3	VLO3	入力画像 CH3 の垂直方向取り込みオフセット設定
ビデオ入力チャネル 取り込み画素数設定レジスタ 3	video input pixel plot length register 3	VPX3	入力画像 CH3 の水平方向取り込みピクセル数設定
ビデオ入力チャネル 取り込みライン数設定レジスタ 3	video input lines register 3	VLN3	入力画像 CH3 の垂直方向取り込みライン数設定
ビデオ入力チャネル ステータスレジスタ 3	DMA video input status register 3	VDS3	入力画像 CH3 の DMA ステータス、最新格納リング バッファ番号、フレームカウンタの表示
ビデオ入力チャネル フレームカウンタ 3	DMA video input frame counter control register 3	VFC3	入力画像 CH3 のフレームカウンタ値の設定
ビデオ入力チャネル エラーステータスレジスタ 3	video capture error frame counter capture register 3	VEF3	入力画像 CH3 のエラー発生時のリングバッファ番号 及びフレームカウンタの表示
ビデオ入力チャネル DMA 転送ベースアドレスレジスタ 3	DMA video input base address register 3	VDB3	入力画像 CH3 の DMA 転送ベースアドレス設定

表 10-10 使用レジスタ一覧(6/9) [出力制御 CH 共通]

レジスタ名	英語名	略号	レジスタ説明
ビデオ出力チャネル動作モード設定レジスタ	video output channel mode register	VOM	ビデオ出力チャネルの動作モード設定
ビデオ出力チャネル 水平方向設定レジスタ	video output pixel control register	VPE	出力画像の VALID モードにおける水平方向設定
ビデオ出力チャネル 垂直方向設定レジスタ	video output line control register	VVE	出力画像の VALID モードにおける垂直方向設定
ビデオ出力チャネル 水平方向出力開始位置設定レジスタ	video output pixel offset register	VWO	出力画像の水平方向出力開始オフセット設定
ビデオ出力チャネル 垂直方向出力開始位置設定レジスタ	video output line offset register	VDO	出力画像の垂直方向出力開始オフセット設定
ビデオ出力チャネル 出力画素数設定レジスタ	video output pixel plot length register	VHX	出力画像の水平方向出力ピクセル数設定
ビデオ出力チャネル 出力ライン数設定レジスタ	video output lines register	VRN	出力画像の垂直方向出力ライン数設定

表 10-11 使用レジスタ一覧(7/9) [出力制御 CH の DMA チャネル 0 関連]

レジスタ名	英語名	略号	レジスタ説明
ビデオ出力チャネル DMA 転送開始アドレス 0	DMA video output address register 0	VSA0	出力制御 CH の転送元ベースアドレス設定
ビデオ出力チャネル DMA 転送開始アドレス保持レジスタ 0	DMA video output address hold register 0	VDH0	出力制御 CH の転送元ベースアドレスの表示
ビデオ出力チャネル ステータスレジスタ 0	DMA video output status register 0	VOT0	出力制御 CH の DMA ステータスの表示

表 10-12 使用レジスタ一覧(8/9) [出力制御 CH の DMA チャネル 1 関連]

レジスタ名	英語名	略号	レジスタ説明
ビデオ出力チャネル DMA 転送開始アドレス 1	DMA video output address register 1	VSA1	出力制御 CH の転送元ベースアドレス設定
ビデオ出力チャネル DMA 転送開始アドレス保持レジスタ 1	DMA video output address hold register 1	VDH1	出力制御 CH の転送元ベースアドレスの表示
ビデオ出力チャネル ステータスレジスタ 1	DMA video output status register 1	VOT1	出力制御 CH の DMA ステータスの表示

表 10-13 使用 RAM 一覧

RAM の種類	サイズ	RAM の説明
入力画像格納	10KB	入力画像 CH 0 の入力画像データを一時的に格納します
	10KB	入力画像 CH 1 の入力画像データを一時的に格納します
	10KB	入力画像 CH 2 の入力画像データを一時的に格納します
	10KB	入力画像 CH 3 の入力画像データを一時的に格納します
出力画像格納	10KB	出力制御 CH の SRO00-07 出力画像データを一時的に格納します
	10KB	出力制御 CH の SRO08-15 出力画像データを一時的に格納します

10.4.9 レジスタの説明

はじめに

- レジスタ名称に示されている "n" は、入力画像CHのチャンネル番号を示し、n = 0~3の番号をとります。
- レジスタ名称に示されている "m" は、出力制御CHのDMAチャンネル番号を示し、m = 0~1の番号をとります。
例えば、VIMnと表記されているものは、入力画像CH0のVIN0、入力画像CH1のVIN1であることを示します。
- ビット名称に示されている、"n" も同様にチャンネル番号を示します。
例えば、VIMnのVISCnは、入力画像CH0であれば、VIM0のVISC0となります。
- ビット名称に示されている、"r" は、入力画像制御信号の番号を示し、r = 0~3の番号をとります。
- 入力画像CHで設定値の変更条件のないレジスタの動作は下記となります。
入力画像CH nが動作動作時 (VIENn=1)、垂直方向切り出し位置設定レジスタで指定された有効ラインの最終ラインの開始までに変更が行われた場合、次フレームでレジスタ設定値が有効となります。最終ラインの開始を過ぎた場合は、次々フレームでレジスタ設定値が有効となります。
- 出力制御CHで設定値の変更条件のないレジスタの動作は下記となります。
出力制御CH のDMAチャンネルmが動作時 (VOENm=1)、出力ライン数設定レジスタで指定された実際に画像を出力する垂直ラインの最終ラインの開始までに変更が行われた場合、次フレームでレジスタ設定値が有効となります。最終ラインの開始を過ぎた場合は、次々フレームでレジスタ設定値が有効となります。

名称 : ビデオキャプチャ動作設定レジスタ
 略号 : VIE
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16				
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
												15	14	13	12	11	10	9	8
												0	0	0	0	0	0	VOEN1	VOEN0
							7	6	5	4	3	2	1	0					
							0	0	0	0	VIEN3	VIEN2	VIEN1	VIEN0					

[bit 9-8] VOENm

出力制御 CH の DMA チャンネル m の動作許可をするビットです。

VOEN1-0	説明	
	出力制御 CH の DMA チャンネル 1	出力制御 CH の DMA チャンネル 0
00	動作禁止。	動作禁止。
01	動作禁止。	動作許可。
10	設定禁止。	設定禁止。
11	動作許可。	動作許可。

[bit 3-0] VIENn

入力画像 CH n の動作許可をするビットです。

VIEN n	説明
0	動作禁止。
1	動作許可。

名称 : ビデオ入力信号切替設定レジスタ

略号 : VIS

初期値 : 0000_0000H

アクセス : 32bit アクセス、リード/ライト可能

ホストからのアクセス : 可

コアからのアクセス : 可

初期化条件 : ハードウェアリセットもしくはソフトウェアリセット

設定値の変更条件 : 入力画像 CHn が動作禁止時 (VIENn=0) かつ入力画像 CHn が動作停止時 (VIRUNn=0)

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
VIHSE3	VIVSE3	VIOEE3	VICKE3	VIHSE2	VIVSE2	VIOEE2	VICKE2
15	14	13	12	11	10	9	8
VIHSE1	VIVSE1	VIOEE1	VICKE1	VIHSE0	VIVSE0	VIOEE0	VICKE0
7	6	5	4	3	2	1	0
0	0	VISLD2	VISLD1	0	VISLC3	VISLC2	VISLC1

[bit 23, 19, 15, 11] VIHSEr

HSYNClr_B に入力される信号のレベルを制御します。

VIHSEr	説明
0	レベル制御なし
1	レベル制御あり (反転)

[bit 22, 18, 14, 10] VIVSEr

VSYNClr_B に入力される信号のレベルを制御します。

VIVSEr	説明
0	レベル制御なし
1	レベル制御あり (反転)

[bit 21, 17, 13, 9] VIOEEr

ODDEVENlr に入力される信号のレベルを制御します。

VIOEEr	説明
0	レベル制御なし
1	レベル制御あり (反転)

[bit 20, 16, 12, 8] VICKEr

SCLKlr に入力される信号のレベルを制御します。

VICKEr	説明
0	レベル制御なし
1	レベル制御あり (反転)

[bit 5] VISLD2

入力画像CH 3に接続する入力画像データ信号を選択します。

VISLD2	入力画像 CH 3 に接続する画像データ入力	
	SR11 - 8	SR7 - 0
0	SRI23 - 12 ^{注1}	
1	※	SRI31 - 24 ^{注2}

注 1 : LSB = SRI12、注 2 : LSB = SRI24、※ : 全て Low クランプ

[bit 4] VISLD1

入力画像CH 1に接続する入力画像データ信号を選択します。

VISLD1	入力画像 CH 1 に接続する画像データ入力	
	SR11 - 8	SR7 - 0
0	SRI11 - 00 ^{注1}	
1	※	{ SRI23,SRI22,SRI21,SRI20, SRI11,SRI10,SRI09,SRI08 } ^{注2}

注 1 : LSB=SRI00、注 2 : LSB=SRI08、※ : 全て Low クランプ

[bit 2] VISLC3

入力画像CH 3に接続する入力画像制御信号を選択します。

VISLC3	入力画像 CH 3 に接続する画入力画像制御信号
0	HSYNCI1_B, VSYNCI1_B, SCLKI1, ODDEVENI1
1	HSYNCI3_B, VSYNCI3_B, SCLKI3, ODDEVENI3

[bit 1] VISLC2

入力画像CH 2に接続する入力画像制御信号を選択します。

VISLC2	入力画像 CH 2 に接続する画入力画像制御信号
0	HSYNCI0_B, VSYNCI0_B, SCLKI0, ODDEVENI0
1	HSYNCI1_B, VSYNCI1_B, SCLKI1, ODDEVENI1

[bit 0] VISLC1

入力画像CH 1に接続する入力画像制御信号を選択します。

VISLC1	入力画像 CH 1 に接続する画入力画像制御信号
0	HSYNCI0_B, VSYNCI0_B, SCLKI0, ODDEVENI0
1	HSYNCI2_B, VSYNCI2_B, SCLKI2, ODDEVENI2

名称 : ビデオエラーステータスレジスタ
 略号 : VES
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リードオンリー
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15		14		13		12		11		10		9		8	
0		0		0		0		0		0		VOERR1		VOERR0	
7		6		5		4		3		2		1		0	
0		0		0		0		VIERR3		VIERR2		VIERR1		VIERR0	

[bit 9-8] VOERRm

出力制御 CH の DMA チャンネル m ビデオ出力エラーステータスフラグです。

VOERRm	説明
0	エラーなし
1	エラーあり

[bit 3-0] VIERRn

入力画像 CHn のビデオ入力エラーステータスフラグです。

VIERRn	説明
0	エラーなし
1	エラーあり

名称 : ビデオエラーステータスクリアレジスタ
 略号 : VEC
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : なし

【リード時】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【ライト時】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CLVIE

[bit 0] CLVIE

ビデオエラーステータスレジスタのクリア制御ビットです。

ビット名	説明
CLVIE	ビデオエラーステータスレジスタを初期化します。 0 : レジスタを初期化しません。 1 : レジスタを初期化します。

名称 : ビデオ入力チャンネル 動作モード設定レジスタ n
 略号 : VIMn
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : 入力画像 CHn が動作禁止時 (VIENn=0) かつ入力画像 CHn が動作停止時 (VIRUNn=0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15		14		13		12		11		10		9		8	
0		0		0		0		0		0		0		0	
7		6		5		4		3		2		1		0	
0		0		0		0		0		VISCn		VISRn		VIPXn	

[bit 2] VISCn

入力画像CH n における画像走査方式を設定します。

VISCn	説明
0	インターレース 1回の画像表示を奇数フィールドと偶数フィールドの2回の走査に分けて行う方式。
1	ノンインターレース 1回の画像表示を1回のフレームで走査する方式。

[bit 1] VISRn

入力画像CH n における画像転送 (入力画像格納RAM → 外部メモリ) 時のデータ並び替えを設定します。

VISRn	説明
0	データ並び替えなし
1	データ並び替えあり

[bit 0] VIPXn

入力画像CH n の1画素あたりの精度を設定します。

VIPXn	説明
0	8bit
1	12bit

名称 : ビデオ入力チャネル 画像取り込みモード設定レジスタ n
 略号 : VCMn
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15		14		13		12		11		10		9		8	
VIDEn		0		0		VIFLn		0		VIFRn2		VIFRn1		VIFRn0	
7		6		5		4		3		2		1		0	
0		0		0		VILNn		0		0		0		VIPOn	

[bit 15] VIDEn

入力画像 CH n の外部メモリへのデータ転送を許可するビットです。

VIDEn	説明
0	外部メモリへのデータ転送の禁止。
1	外部メモリへのデータ転送の許可。

[bit 12] VIFLn

入力画像CH n がインターレース設定の場合の取り込み動作を設定します。

VIFLn	説明
0	全フィールドを取り込みます。
1	奇数フィールドのみ取り込みます。

注意 : ノンインターレース設定 (VISCn=1) の時、VIFLn の設定値は必ず"0"を設定してください。"1"を設定しても正しく取り込めません。

[bit 10-8] VIFRn2 - VIFRn0

入力画像CH n における取り込み動作を設定します。入力画像CH n の動作許可後、最初のフレームに対して取り込み動作を行います。その後、設定された間隔でフレームの取り込みを繰り返し行います。

VIFRn2	VIFRn1	VIFRn0	説明
0	0	0	全フレームを取り込みます。
0	0	1	2フレームに1回取り込みます。
0	1	0	3フレームに1回取り込みます。
0	1	1	4フレームに1回取り込みます。
1	0	0	5フレームに1回取り込みます。
1	0	1	6フレームに1回取り込みます。
1	1	0	7フレームに1回取り込みます。
1	1	1	8フレームに1回取り込みます。

注意 : 入力画像CH n の動作許可中にVIFRn2 - VIFRn0を書き換えた場合、現在動作しているフレーム間隔が完了後に書き換えた設定値が有効となります。

[bit 4] VILNn

入力画像CH nにおける、ノンインターレース設定の場合のライン単位の取り込み動作を設定します。

VILNn	説明
0	取り込み画像範囲内の全ラインを取り込む
1	取り込み画像範囲内の奇数ラインのみ取り込む

補足：取り込み画像範囲内の最初のラインを1ライン目（奇数ライン）として、1行毎に画像データを取り込みます。

結果として、VLNn レジスタで設定した値の半分を取り込みます。

注意：インターレース設定（VISn = 0）の時、VILNn の設定値は必ず“0”を設定してください。“1”を設定しても正しく取り込めません。

[bit 0] VIPOn

入力画像CH nにおける、取り込み動作(ピクセル単位)を設定します。

VIPOn	説明
0	取り込み画像範囲内の全ピクセルを取り込む
1	取り込み画像範囲内の奇数ピクセルのみ取り込む

補足：取り込み画像範囲内の最初のピクセルを1ピクセル目(奇数ピクセル)として、画像データを

取り込みます。結果として、VPXn レジスタで設定した値の半分のピクセルを取り込みます。

名称 : ビデオ入力チャネル リングバッファ数設定レジスタ n
 略号 : VMEn
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : 入力画像 CHn が動作禁止時 (VIENn=0) かつ入力画像 CHn が動作停止時 (VIRUNn=0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15		14		13		12		11		10		9		8	
0		0		0		0		0		0		0		0	
7		6		5		4		3		2		1		0	
INMEMn7		INMEMn6		INMEMn5		INMEMn4		INMEMn3		INMEMn2		INMEMn1		INMEMn0	

[bit 7 - 0] INMEMn7 - INMEMn0

ビット名	説明
INMEMn7 - INMEMn0	入力画像 CHn のリングバッファのバッファ数を設定します。 リングバッファ数は、設定値+1 となります。 0-255 が設定可能です。この時のリングバッファ数の設定は、1-256 になります。

名称 : ビデオ入力チャネル リングバッファサイズ設定レジスタ n
 略号 : VSZn
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : 入力画像 CHn が動作禁止時 (VIENn=0) かつ入力画像 CHn が動作停止時 (VIRUNn=0)

31	30	29	28	27	26	25	24
0	0	0	0	0	0	0	0
23	22	21	20	19	18	17	16
0	0	VSIn21	VSIn20	VSIn19	VSIn18	VSIn17	VSIn16
15	14	13	12	11	10	9	8
VSIn15	VSIn14	VSIn13	VSIn12	VSIn11	VSIn10	VSIn09	VSIn08
7	6	5	4	3	2	1	0
VSIn07	0	0	0	0	0	0	0

[bit 21 - 7] VSIn21 - VSIn07

ビット名	説明
VSIn21 - VSIn07	入力画像 CHn のリングバッファの 1 バッファあたりのサイズ(単位は、バイト)を設定します。ただし、下位 7bit は、"0"固定ですので、128 の倍数で設定してください。

名称 : ビデオ入力チャンネル 水平方向切り出し位置設定レジスタ n
 略号 : VPOn
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8								
0	0	0	0	0	VPSn10	VPSn09	VPSn08								
7	6	5	4	3	2	1	0								
VPSn07	VPSn06	VPSn05	VPSn04	VPSn03	VPSn02	VPSn01	VPSn00								

[bit 10 - 0] VPSn10 - VPSn00

ビット名	説明
VPSn10 - VPSn00	水平同期信号から入力画像までの水平画素数オフセット値を設定します。 設定許可範囲は、並び替えありの場合は 0-1279 となり、並び替えなしの場合は 0-2047 になります。

名称 : ビデオ入力チャンネル 垂直方向切り出し位置設定レジスタ n
 略号 : VLOn
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8								
0	0	0	0	0	LOFn10	LOFn09	LOFn08								
7	6	5	4	3	2	1	0								
LOFn07	LOFn06	LOFn05	LOFn04	LOFn03	LOFn02	LOFn01	LOFn00								

[bit 10 - 0] LOFn10 - LOFn00

ビット名	説明
LOFn10 - LOFn00	最初の垂直同期信号から入力画像までの垂直ライン数オフセット値を設定します。 設定許可範囲は、並び替えありの場合は 0-1023 となり、並び替えなしの場合は 0-1535 になります。 補足 : 本レジスタの設定は、入力画像 CH における画像走査方式 (VISCn) の設定によって値を決めてください。 1) インターレースの場合 : 各フィールドに対する垂直ライン数オフセット値 2) ノンインターレースの場合 : フレームに対する垂直ライン数オフセット値

名称 : ビデオ入力チャネル 取り込み画素数設定レジスタ n
 略号 : VPXn
 初期値 : 0000_0020H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15		14		13		12		11		10		9		8	
0		0		0		0		VPIIn11		VPIIn10		VPIIn09		VPIIn08	
7		6		5		4		3		2		1		0	
VPIIn07		VPIIn06		VPIIn05		VPIIn04		0		0		0		0	

[bit 11 - 4] VPIIn11 - VPIIn04

ビット名	説明
VPIIn11 - VPIIn04	実際に取り込む画像の水平画素数を設定します。 下位 4bit は、"0"固定ですので、16 の倍数で設定してください。 但し、設定許可範囲は、下記となります。 並び替えありで、ピクセル間引きなしの場合 : 32-1280 並び替えありで、ピクセル間引きありの場合 : 64-1280 並び替えなしで、ピクセル間引きなしの場合 : 32-2048 並び替えなしで、ピクセル間引きありの場合 : 64-2048 補足 : 各フィールドもしくはフレームに対して、水平画素を取り込まない期間が 2 画素以上となる様に設定して下さい。

名称 : ビデオ入力チャネル 取り込みライン数設定レジスタ n
 略号 : VLNn
 初期値 : 0000_0008H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
			15	14		13		12		11		10		9		8	
			0	0		0		0		0		VLEn10	VLEn09	VLEn08			
			7		6		5		4		3		2		1		0
			VLEn07	VLEn06		VLEn05		VLEn04		VLEn03		VLEn02		0		0	

[bit 10 - 2] VLEn10 - VLEn02

ビット名	説明
VLEn10 - VLEn02	<p>実際に取り込む入力画像の垂直ライン数を設定します。 下位 2bit は、"0"固定ですので、4 の倍数で設定してください。 ただし、設定許可範囲は、並び替えありの場合は 8-1024 となり、並び替えなしの場合は 8-1536 になります。</p> <p>補足 : 本レジスタの設定は、入力画像 CH における画像走査方式 (VISCn) の設定によって値を決めてください。</p> <p>1) インターレースの場合 : 各フィールドに対して取り込む入力画像の垂直ライン数を設定して下さい。また、各フィールドで垂直ラインを取り込まない期間を 2 ライン以上に設定して下さい。</p> <p>2) ノンインターレースの場合 : フレームに対して取り込む入力画像の垂直ライン数を設定して下さい。また、フレームで垂直ラインを取り込まない期間を 2 ライン以上に設定して下さい。</p>

名称 : ビデオ入力チャンネル ステータスレジスタ n
 略号 : VDSn
 初期値 : 0000_0000H
 アクセス : 32bit アクセス リードオンリー
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセットもしくは入力画像 CHn が動作禁止 (VIENn=0)

31	30	29	28	27	26	25	24
FCSn15	FCSn14	FCSn13	FCSn12	FCSn11	FCSn10	FCSn09	FCSn08
23	22	21	20	19	18	17	16
FCSn07	FCSn06	FCSn05	FCSn04	FCSn03	FCSn02	FCSn01	FCSn00
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	DIRUNn
7	6	5	4	3	2	1	0
DISTn7	DISTn6	DISTn5	DISTn4	DISTn3	DISTn2	DISTn1	DISTn0

[bit 31- 16] FCSn15 - FCSn00

ビット名	説明
FCSn15 - FCSn00	直前に、外部メモリへ格納が完了した入力画像データのフレームカウント値 (通し番号) を保持するレジスタです。

[bit 8] DIRUNn

入力画像 CHn の動作状態を示すステータスフラグです。

DIRUNn	説明
0	停止中。
1	動作中。 補足 : VIENn=0→1 とすることで、DIRUNn ビットは"1"となります。VIENn=1→0 としても、DIRUNn は直ぐに"0"にはなりません。起動していた DMA 転送が終了後、"0"となります。

[bit 7- 0] DISTn7 - DISTn0

ビット名	説明
DISTn7 - DISTn0	直前に、外部メモリへ格納が完了した入力画像データのリングバッファ番号を保持するレジスタです。 入力画像 CH n の入力画像転送完了割り込み発生後、本ビットをリードすることにより、その割り込みで格納が完了した入力画像データのリングバッファ番号を知ることが可能です。

名称 : ビデオ入力チャネル フレームカウンタ n
 略号 : VFCn
 初期値 : 0000_0000H
 アクセス : 32bit アクセス リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセットもしくは入力画像 CHn が動作禁止 (VIENn=0)
 設定値の変更条件 : なし

31	30	29	28	27	26	25	24								
FCDn15	FCDn14	FCDn13	FCDn12	FCDn11	FCDn10	FCDn09	FCDn08								
23	22	21	20	19	18	17	16								
FCDn07	FCDn06	FCDn05	FCDn04	FCDn03	FCDn02	FCDn01	FCDn00								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit 31- 16] FCDn15 - FCDn00

ビット名	説明
FCDn15 - FCDn00	外部メモリへ格納中の入力画像データのフレームカウント値 (通し番号) を示します。 補足 : 外部メモリへ入力画像データを格納するフレームの開始時にインクリメント (+1) されます。但し、入力画像 CH n の動作許可後に外部メモリへ入力画像データを格納する 1 回目のフレームの開始時は、フレームカウント値を保持します。 外部メモリへ入力画像データを格納するフレームの開始時とライトアクセスが重なった場合は、ライトアクセスが優先されます。

名称 : ビデオ入力チャネル エラーステータスレジスタ n
 略号 : VEFn
 初期値 : 0000_0000H
 アクセス : 32bit アクセス リードオンリー
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット

31	30	29	28	27	26	25	24
EFSn15	EFSn14	EFSn13	EFSn12	EFSn11	EFSn10	EFSn09	EFSn08
23	22	21	20	19	18	17	16
EFSn07	EFSn06	EFSn05	EFSn04	EFSn03	EFSn02	EFSn01	EFSn00
15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
7	6	5	4	3	2	1	0
ERSn7	ERSn6	ERSn5	ERSn4	ERSn3	ERSn2	ERSn1	ERSn0

[bit 31- 16] EFSn15 - EFSn00

ビット名	説明
EFSn15 - EFSn00	入力画像 CH n にビデオエラーが発生した時のフレームカウント値 (通し番号) を示します。

[bit 7- 0] ERSn7- ERSn0

ビット名	説明
ERSn7- ERSn0	入力画像 CH n にビデオエラーが発生した時に、外部メモリへ格納中の入力画像データのリングバッファ番号を示します。

名称 : ビデオ入力チャンネル DMA 転送ベースアドレスレジスタ n
 略号 : VDBn
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	IBAn27	IBAn26	IBAn25	IBAn24	IBAn23	IBAn22	IBAn21	IBAn20	IBAn19	IBAn18	IBAn17	IBAn16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IBAn15	IBAn14	IBAn13	IBAn12	IBAn11	IBAn10	IBAn09	IBAn08	IBAn07	0	0	0	0	0	0	0

[bit 31 - 16] IBAn27 - IBAn07

ビット名	説明
IBAn27 - IBAn07	<p>入力画像 CH n 用 DMA の転送先ベースアドレス(外部メモリ : 256M アドレス空間)を設定します。 ただし、下位 7bit は、"0"固定ですので、128 の倍数で設定してください。 (設定範囲 : 0-268435328)</p> <p>本レジスタは、2 段構成になっており、実際の DMA 転送先のアドレスは内部レジスタによって指定されます。リングバッファカウンタがオーバーフロー (0に戻る) すると、本レジスタから再度ベースアドレスを内部レジスタに読み込みます。 リングバッファ数を 1 に設定した場合は、フレーム毎に本レジスタからベースアドレスを読み込む為、データの格納先をソフトウェアで操作することができます。</p>

名称 : ビデオ出力チャンネル 動作モード設定レジスタ
 略号 : VOM
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : 出力制御 CH の DMA チャンネル m が動作禁止時 (VOENm=0) かつ
 出力制御 CH の DMA チャンネル m が動作停止時 (VORUNm=0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
			15	14	13	12	11	10	9	8					
			0	0	0	0	VOHSE	VOVSE	VOOEE	VOCKE					
			7	6	5	4	3	2	1	0					
			0	0	OERSE	VRVSE	VRSYNC	VCODM	VOSC	VOSR					

[bit 11] VOHSE

HSYNCO_B 信号を制御します。

VOHSE	説明
0	インターレース設定 (VOSC=0) の場合 : 出力画像の水平画素領域の開始時、High レベルから Low レベルに変化します。 ノンインターレース設定 (VOSC=1) の場合 : 出力画像の水平画素を出力する期間、Low レベルを出力します。
1	インターレース設定 (VOSC=0) の場合 : 出力画像の水平画素領域の開始時、Low レベルから High レベルに変化します。 ノンインターレース設定 (VOSC=1) の場合 : 出力画像の水平画素を出力する期間、High レベルを出力します。

[bit 10] VOVSE

VSYNCO_B 信号を制御します。

VOVSE	説明
0	インターレース設定 (VOSC=0) の場合 : 出力画像の垂直ライン領域の開始時、High レベルから Low レベルに変化します。 ノンインターレース (VOSC=1) の場合 : 出力画像の垂直ラインを出力する期間、Low レベルを出力します。
1	インターレース設定 (VOSC=0) の場合 : 出力画像の垂直ライン領域の開始時、Low レベルから High レベルに変化します。 ノンインターレース設定 (VOSC=1) の場合 : 出力画像の垂直ラインを出力する期間、High レベルを出力します。

[bit 9] VOOEE

インターレース設定時 (VOSC=0) の ODDEVENO 信号を制御します。

VOOEE	説明
0	奇数フィールドを出力時、High レベルを出力します。また偶数フィールド時、Low レベルを出力します。
1	奇数フィールドを出力時、Low レベルを出力します。また偶数フィールド時、High レベルを出力します。

補足：ノンインターレース設定時 (VOSC=1)、ODDEVENO 信号は常に Low レベルを出力します。

[bit 8] VOCKE

SCLKO 信号を制御します。

VOCKE	説明
0	出力画像データ転送クロック (SCLKO) の立ち下りに同期して、出力画像データ及び出力制御信号を出力します。 補足：出力制御信号用リファレンスクロック (SCLKREF) の入力信号を反転して、出力画像データ転送クロック (SCLKO) に出力します。
1	出力画像データ転送クロック (SCLKO) の立ち上りに同期して、出力画像データ及び出力制御信号を出力します。 補足：出力制御信号用リファレンスクロック (SCLKREF) の入力信号を直接、出力画像データ転送クロック (SCLKO) に出力します。

[bit 5] OERSE

外部同期モードで使用する ODDEVENREF 信号のアクティブレベルを設定します。

OERSE	説明
0	ODD Flame : ODDEVENREF=High EVEN Flame : ODDEVENREF=Low
1	ODD Flame : ODDEVENREF=Low EVEN Flame : ODDEVENREF=High

[bit 4] VRVSE

外部同期モードで使用する VSYNCREF_B 信号のアクティブレベルを設定します。

VRVSE	説明
0	アクティブレベル=Low
1	アクティブレベル=High

[bit 3] VRSYNC

出力制御 CH の出力同期モードを設定します。

VRSYNC	説明
0	内部同期モード 出力制御信号用リファレンスクロック (SCLKREF) と出力画像設定により、画像を出力します。
1	外部同期モード 出力制御信号用リファレンスフィールド表示信号 (ODDEVENREF) の状態と出力制御信号用リファレンス垂直同期信号 (VSYNCREF_B) のエッジ(VRVSE=0 の場合は立ち下りエッジ、VRVSE=1 の場合は立ち上りエッジ)を検知信号して、フレームの開始を判断し、出力制御信号用リファレンスクロック (SCLKREF) と出力画像設定により、画像を出力します。また、1 フレーム内の出力画像タイミングは内部同期モードと同じです。

[bit 2] VCODM

出力制御 CH のデータ分周モードを設定します。

VCODM	説明
0	出力画像データ転送クロック (SCLKO) と同じ周期で画素データを出力します。
1	出力画像データ転送クロック (SCLKO) の 2 倍周期で画素データを出力します。

[bit 1] VOSC

出力制御CH における画像走査方式を設定します。

VOSC	説明
0	インターレース 1 回の画像表示を奇数フィールドと偶数フィールドの 2 回の走査に分けて行う方式。 また、各フィールドに対応した制御信号を出力します。
1	ノンインターレース 1 回の画像表示を 1 回のフレームで走査する方式。 また、フレームに対応した制御信号を出力します。

[bit 0] VOSR

出力制御CH における画像転送 (外部メモリ → 出力画像格納RAM) 時のデータ並び替えを設定します。

VOSR	説明
0	データ並び替えなし
1	データ並び替えあり

名称 : ビデオ出力チャンネル 水平方向設定レジスタ

略号 : VPE

初期値 : 0140_0020H

アクセス : 32bit アクセス、リード/ライト可能

ホストからのアクセス : 可

コアからのアクセス : 可

初期化条件 : ハードウェアリセットもしくはソフトウェアリセット

設定値の変更条件 : 出力制御 CH の DMA チャンネル m が動作禁止時 (VOENm=0) かつ

出力制御 CH の DMA チャンネル m が動作停止時 (VORUNm=0)

31	30	29	28	27	26	25	24
0	0	0	0	VHSY11	VHSY10	VHSY09	VHSY08
23	22	21	20	19	18	17	16
VHSY07	VHSY06	VHSY05	VHSY04	VHSY03	VHSY02	VHSY01	VHSY00
15	14	13	12	11	10	9	8
0	0	0	0	VHVL11	VHVL10	VHVL09	VHVL08
7	6	5	4	3	2	1	0
VHVL07	VHVL06	VHVL05	VHVL04	0	0	0	0

[bit 27 - 16] VHSY11 - VHSY00

ビット名	説明
VHSY11 - VHSY00	出力画像の水平画素領域 (単位は、出力画像の画素) を設定します。 設定許可範囲は、並び替えありの場合は 320-1560 となり、並び替えなしの場合は 320-2500 になります。

[bit 11 - 4] VHVL11 - VHVL04

ビット名	説明
VHVL11 - VHVL04	出力画像の水平有効画素領域 (単位は、出力画像の画素) を設定します。 下位 4bit は、"0"固定ですので、16 の倍数で設定してください。 ただし、設定許可範囲は、並び替えありの場合は 32-1280 となり、並び替えなしの場合は 32-2048 になります。

名称 : ビデオ出力チャンネル 垂直方向設定レジスタ
 略号 : VVE
 初期値 : 00F0_000AH
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : 出力制御 CH の DMA チャンネル m が動作禁止時 (VOENm=0) かつ
 出力制御 CH の DMA チャンネル m が動作停止時 (VORUNm=0)

31	30	29	28	27	26	25	24
VOLDC	0	0	0	0	VVSY10	VVSY09	VVSY08
23	22	21	20	19	18	17	16
VVSY07	VVSY06	VVSY05	VVSY04	VVSY03	VVSY02	VVSY01	VVSY00
15	14	13	12	11	10	9	8
0	0	0	0	0	VVVL10	VVVL09	VVVL08
7	6	5	4	3	2	1	0
VVVL07	VVVL06	VVVL05	VVVL04	VVVL03	VVVL02	VVVL01	VVVL00

[bit 31] VOLDC

出力制御 CH のインターレース設定時 (VOSC=0) の映像方式を設定します。

VOLDC	説明
0	NTSC 方式 奇数フィールドの垂直ライン領域が偶数フィールドの垂直ライン領域に対して、1ライン多くなる映像方式
1	PAL 方式 偶数フィールドの垂直ライン領域が奇数フィールドの垂直ライン領域に対して、1ライン多くなる映像方式

[bit 26 - 16] VVSY10 – VVSY00

ビット名	説明
VVSY10 - VVSY00	出力画像の垂直ライン領域 (単位は、出力画像のライン) を設定します。 設定許可範囲は、並び替えありの場合は 240-1500 となり、並び替えなしの場合は 240-2000 になります。 補足: 本レジスタの設定は、出力制御 CH における画像走査方式 (VOSC _A) 及び出力制御 CH のインターレース設定時の映像方式 (VOLDC) の設定によって値を決めてください。 1) インターレース設定 (VOSC=0) の場合 NTSC 方式 (VOLDC=0) : 奇数フィールドに対する垂直ライン領域 = VVSY10-VVSY00+1 偶数フィールドに対する垂直ライン領域 = VVSY10-VVSY00 PAL 方式 (VOLDC=1) : 奇数フィールドに対する垂直ライン領域 = VVSY10-VVSY00 偶数フィールドに対する垂直ライン領域 = VVSY10-VVSY00+1 2) ノンインターレース設定 (VOSC=1) の場合 フレームに対する垂直ライン領域 = VVSY10-VVSY00

[bit 10 - 0] VVVL10 - VVVL00

ビット名	説明
VVVL10 - VVVL00	ノンインターレース設定 (VOSC=1) 時の出力画像の垂直有効ライン領域 (単位は、出力画像のライン) を設定します。 ただし、設定許可範囲は、並び替えありの場合は 10-1024 となり、並び替えなしの場合は 10-1536 になります。

名称 : ビデオ出力チャネル 水平方向出力開始位置設定レジスタ
 略号 : VWO
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : 出力制御 CH の DMA チャンネル m が動作禁止時 (VOENm=0) かつ
 出力制御 CH の DMA チャンネル m が動作停止時 (VORUNm=0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8								
0	0	0	0	0	VWS10	VWS09	VWS08								
7	6	5	4	3	2	1	0								
VWS07	VWS06	VWS05	VWS04	VWS03	VWS02	VWS01	VWS00								

[bit 10 - 0] VWS10 - VWS00

ビット名	説明
VWS10 - VWS00	画像の出力を開始する水平画素数オフセット値を設定します。 設定許可範囲は、並び替えありの場合は 0-1248 となり、並び替えなしの場合は 0-2016 になります。

名称 : ビデオ出力チャネル 垂直方向出力開始位置設定レジスタ
 略号 : VDO
 初期値 : 0000_0002H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : 出力制御 CH の DMA チャンネル m が動作禁止時 (VOENm=0) かつ
 出力制御 CH の DMA チャンネル m が動作停止時 (VORUNm=0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8								
0	0	0	0	0	LDOF10	LDOF09	LDOF08								
7	6	5	4	3	2	1	0								
LDOF07	LDOF06	LDOF05	LDOF04	LDOF03	LDOF02	LDOF01	LDOF00								

[bit 10 - 0] LDOF10 - LDOF00

ビット名	説明
LDOF10 - LDOF00	画像の出力を開始する垂直ラインオフセット値を設定します。 設定許可範囲は、並び替えありの場合は 2-1016 となり、並び替えなしの場合は 2-1528 になります。 補足 : 本レジスタの設定は、出力制御 CH における画像走査方式 (VOSCn) の設定によって値を決めてください。 1) インターレースの場合 : 各フィールドに対して出力を開始する垂直ラインオフセット値 2) ノンインターレースの場合 : フレームに対して出力を開始する垂直ラインオフセット値

名称 : ビデオ出力チャンネル 出力画素数設定レジスタ
 略号 : VHX
 初期値 : 0000_0020H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : 出力制御 CH の DMA チャンネル m が動作禁止時 (VOENm=0) かつ
 出力制御 CH の DMA チャンネル m が動作停止時 (VORUNm=0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16						
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
				15	14		13		12		11		10		9		8				
				0	0		0		0		VHPI11		VHPI10		VHPI09		VHPI08				
							7	6		5		4		3		2		1		0	
							VHPI07	VHPI06		VHPI05		VHPI04		0		0		0		0	

[bit 11 - 4] VHPI11 - VHPI04

ビット名	説明
VHPI11 - VHPI04	実際に出力する水平画素数を設定します。 ただし、下位 4bit は、"0"固定ですので、16 の倍数で設定してください。 設定許可範囲は、並び替えありの場合は 32-1280 となり、並び替えなしの場合は 32-2048 になります。

名称 : ビデオ出力チャンネル 出力ライン数設定レジスタ
 略号 : VRN
 初期値 : 0000_0008H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : 出力制御 CH の DMA チャンネル m が動作禁止時 (VOENm=0) かつ
 出力制御 CH の DMA チャンネル m が動作停止時 (VORUNm=0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16						
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
				15	14		13		12		11		10		9		8				
				0	0		0		0		0		VRLE10		VRLE09		VRLE08				
							7	6		5		4		3		2		1		0	
							VRLE07	VRLE06		VRLE05		VRLE04		VRLE03		VRLE02		0		0	

[bit 10 - 2] VRLE10 - VRLE02

ビット名	説明
VRLE10 - VRLE02	実際に出力する画像の垂直ライン数を設定します。 ただし、下位 2bit は、"0"固定ですので、4 の倍数で設定してください。 設定許可範囲は、並び替えありの場合は 8-1020 となり、並び替えなしの場合は 8-1532 になります。 補足 : 本レジスタの設定は、出力制御 CH における画像走査方式 (VOSCn) の設定によって値を決めてください。 1) インターレースの場合 : 各フィールドに対する出力画像の垂直ライン数 2) ノンインターレースの場合 : フレームに対する出力画像の垂直ライン数

名称 : ビデオ出力チャンネル DMA 転送開始アドレス m
 略号 : VSAm
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット
 設定値の変更条件 : なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	OBA _m 27	OBA _m 26	OBA _m 25	OBA _m 24	OBA _m 23	OBA _m 22	OBA _m 21	OBA _m 20	OBA _m 19	OBA _m 18	OBA _m 17	OBA _m 16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OBA _m 15	OBA _m 14	OBA _m 13	OBA _m 12	OBA _m 11	OBA _m 10	OBA _m 09	OBA _m 08	OBA _m 07	0	0	0	0	0	0	0

[bit 31- 7] OBA_m27 - OBA_m07

ビット名	説明
OBA _m 27 - OBA _m 07	出力制御 CH 用 DMA チャンネル m の転送元ベースアドレス(外部メモリ : 256M アドレス空間)を設定します。 ただし、下位 7bit は、"0"固定ですので、128 の倍数で設定してください。 (設定範囲 : 0-268435328)

名称 : ビデオ出力チャンネル DMA 転送開始アドレス保持レジスタ m
 略号 : VDH_m
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リードオンリー
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	OBH _m 27	OBH _m 26	OBH _m 25	OBH _m 24	OBH _m 23	OBH _m 22	OBH _m 21	OBH _m 20	OBH _m 19	OBH _m 18	OBH _m 17	OBH _m 16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OBH _m 15	OBH _m 14	OBH _m 13	OBH _m 12	OBH _m 11	OBH _m 10	OBH _m 09	OBH _m 08	OBH _m 07	0	0	0	0	0	0	0

[bit 31- 7] OBH_m27 - OBH_m07

ビット名	説明
OBH _m 27 - OBH _m 07	出力制御 CH の DMA チャンネル m が DMA 転送中の最新ベースアドレス(外部メモリ : 256M アドレス空間)が格納されています。出力画像のフレーム開始時に、VSAm レジスタを本レジスタに格納して、DMA 転送を開始します。

名称 : ビデオ出力チャンネル ステータスレジスタ m
 略号 : VOTm
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リードオンリー
 ホストからのアクセス : 可
 コアからのアクセス : 可
 初期化条件 : ハードウェアリセットもしくはソフトウェアリセット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8								
0	0	0	0	0	0	0	DORUNm								
7	6	5	4	3	2	1	0								
0	0	0	0	0	0	0	0								

[bit 8] DORUNm

出力制御 CH の DMA チャンネル m の動作状態を示すステータスフラグです。

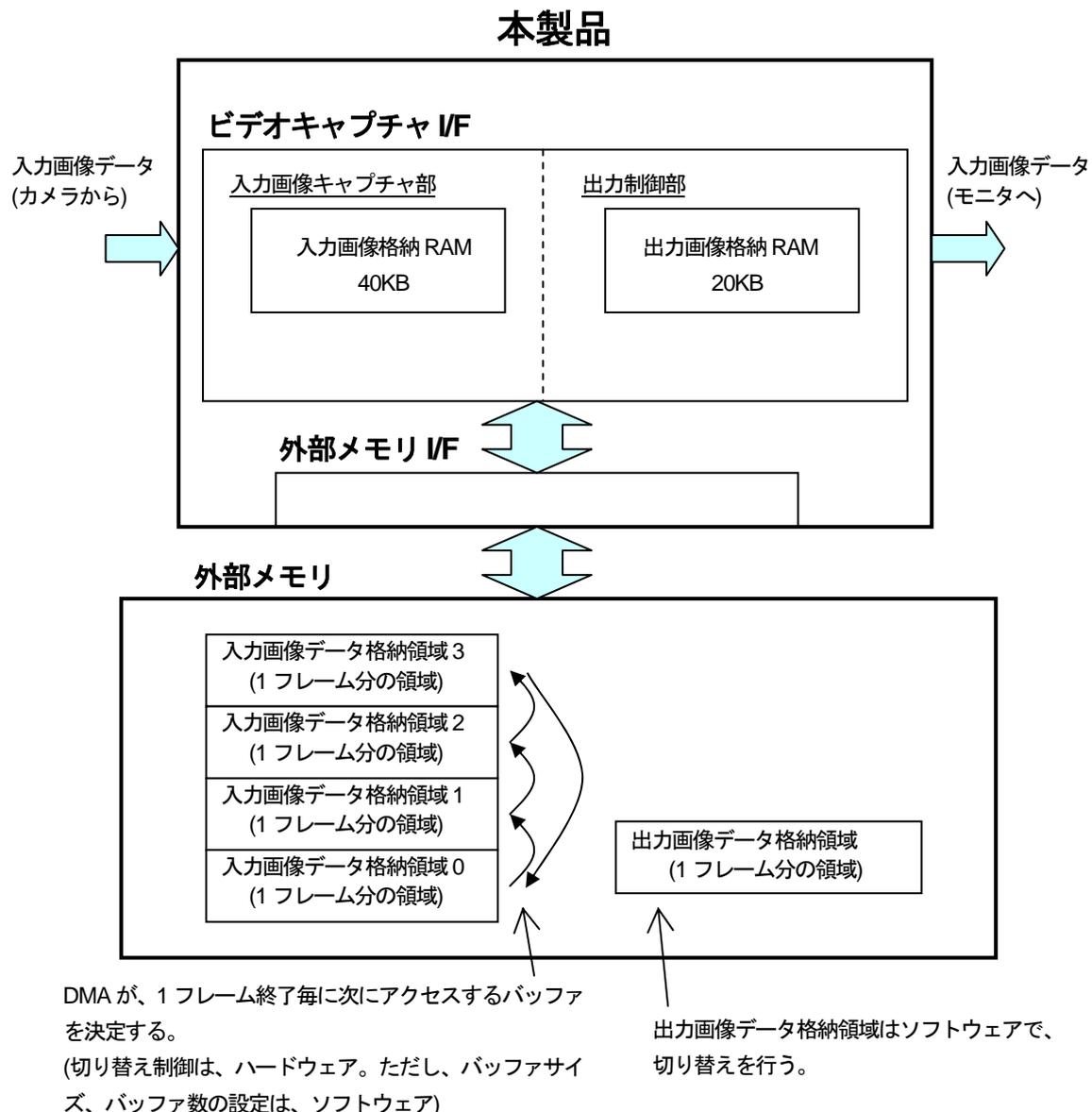
DORUNm	説明
0	停止中。
1	動作中。 補足 : VOENm=0→1 とすることで、DORUNm ビットは"1"となります。VOENm=1→0 としても、DORUNm は直ぐに"0"にはなりません。起動していた DMA 転送が終了後、"0"となります。

10.5 動作概要

ビデオキャプチャ I/F は、画像認識処理に必要な画像データの取り込み(入力画像データ)、モニタへの画像データ出力(出力画像データ)を行います。入力画像データは、一旦、ビデオキャプチャ I/F 内の RAM に格納されます。その後、ビデオキャプチャ I/F の DMA を使用して、外部メモリへ転送されます。出力画像データは、外部メモリに格納されている出力画像データを、ビデオキャプチャ I/F の DMA を使用して、ビデオキャプチャ I/F 内の RAM に転送します。その後、ビデオキャプチャ I/F 内の RAM が出力画像データとして出力されます。

外部メモリの画像データ格納方法は、入力画像 CH の場合、各 CH に対して、リングバッファ構成(最大 256 バッファ)で格納します。また、出力制御 CH の場合、1 バッファ構成で格納します。

また、各種割り込みを発生することが可能です。これらの割り込みを使用することにより、効率よく画像認識処理のソフトウェアを設計することが可能です。



10.6 入力画像 CH の動作説明

各 CH の入力画像格納 RAM には、各 CH の画像取り込み範囲指定に従い、画像データが取り込まれます。入力画像格納 RAM に取り込まれた画像データは、DMA を使用して、所定の外部メモリに転送されます。また、外部メモリへの転送時、コアが画像処理実行時に画像データの並べ替えを行う手間を省く為、コアの画像処理に適した、並べ替えを行いながら転送します(並べ替えをせずに、転送することも可能です)。

10.6.1 入力画像範囲の指定

各入力画像 CH の動作設定は、VIMn, VCMn レジスタで設定します。各入力画像 CH の入力画像格納 RAM には、各入力画像 CH の画像取り込み範囲を指定するレジスタ(VPOn, VLOn, VPXn, VLNn)の設定に従い、画像データが取り込まれます。入力画像データの範囲指定は、VSYNCIn_B 信号と HSYNCIn_B 信号を基準に行ないます。

[n : 0-3]

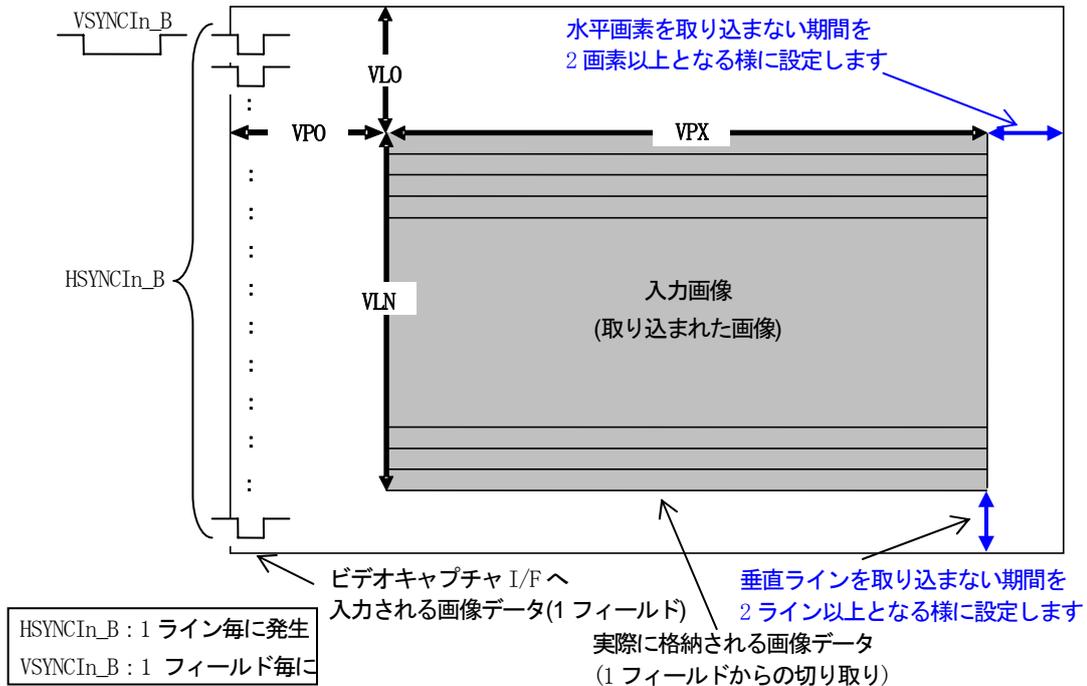


図 10-7 インターレース時の入力画像範囲の指定

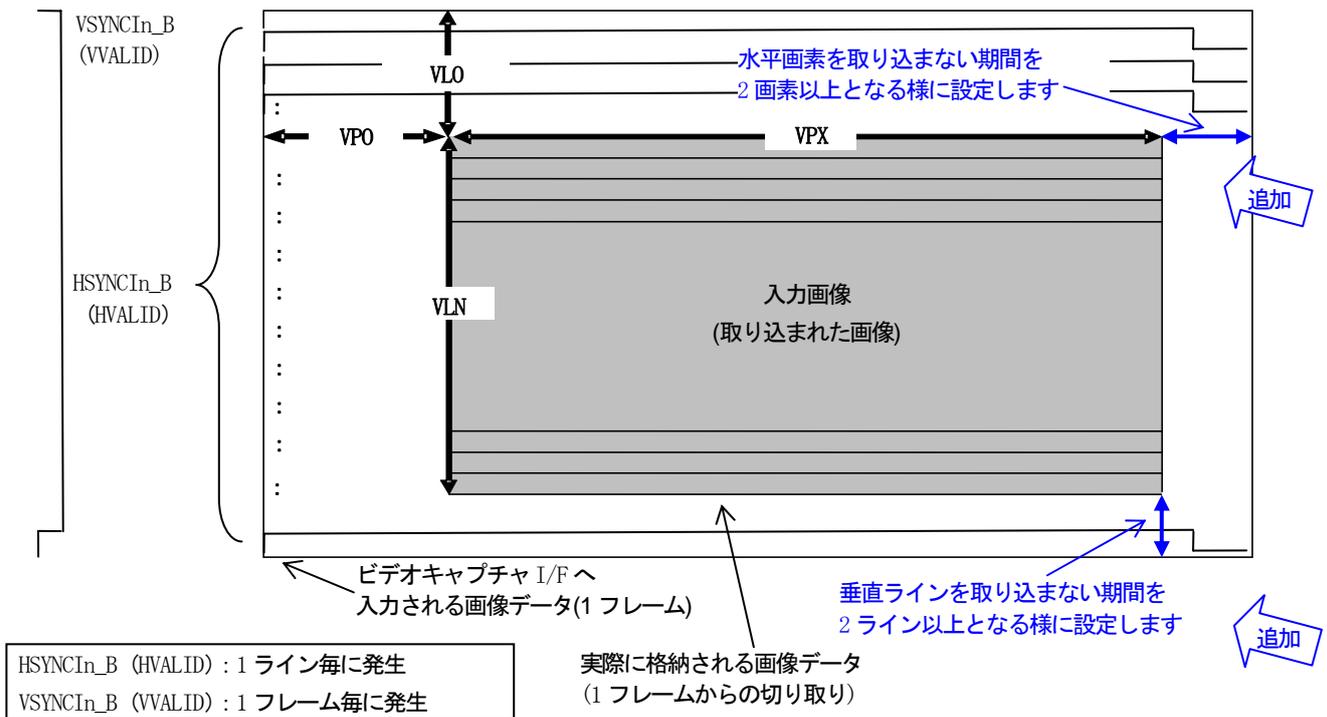


図 10-8 ノンインターレース時の入力画像範囲の指定

10.6.2 入力画像データの転送動作

入力画像格納 RAM として、4 ライン分の容量(1 画素 8bit の場合)の RAM を 2 個搭載しているため、画像データを 4 ライン分格納した時点で、外部メモリへ画像データの転送を開始します。4 ライン分の画像データを格納した後、もう片方の RAM に画像データを取り込むため、もう片方の RAM に格納された画像データが外部メモリに転送できていない場合は画像データが上書きされます。

また、外部メモリへ画像データを転送する時、入力画像データの入れ替えも同時に行えます。これは、画像処理実行時(PE 部での演算)、外部メモリから IMEM へ入力画像を転送しますが、その時に、PE 部での演算効率を向上させる為のものです。以下に、外部メモリへの転送動作を示します。

入力画像は、0,0 → X,0 → 0,1 → X,1 → 0,2 → X,2 → 0,3 → X,3・・・の順にシリアルに格納されます。DMA は、1 転送データ(16 バイト)単位毎に、外部メモリへ転送します。

1 : モノクロ画像、8bit/ 画素、データ入れ換えありの場合(1 ライン : 800pixel として記載)

取り込み画像 (IMACAR2-200/100/50 へ取り込まれるカメラ画像 :

0,0	1,0	2,0	3,0	4,0	5,0	6,0	7,0	8,0	X,0
0,1	1,1	2,1	3,1	4,1	5,1	6,1	7,1	8,1	X,1
0,2	1,2	2,2	3,2	4,2	5,2	6,2	7,2	8,2	X,2
0,3	1,3	2,3	3,3	4,3	5,3	6,3	7,3	8,3	X,3
0,4	1,4	2,4	3,4	4,4	5,4	6,4	7,4	8,4	X,4

補足 : [x,x] は、1 画素(8bit)を示します。x,x は、画像データの位置(座標)を示します。

: : : : : : : : :

1 転送データ(16 バイト)

外部メモリ

アドレス	データ	...								
0x0000	0,0	0x0008	2,0	0x0010	4,0	0x0018	6,0	0x0020	8,0	
0x0001	0,1	0x0009	2,1	0x0011	4,1	0x0019	6,1	0x0021	8,1	
0x0002	0,2	0x000a	2,2	0x0012	4,2	0x001a	6,2	0x0022	8,2	
0x0003	0,3	0x000b	2,3	0x0013	4,3	0x001b	6,3	0x0023	8,3	
0x0004	1,0	0x000c	3,0	0x0014	5,0	0x001c	7,0	0x0024	9,0	...
0x0005	1,1	0x000d	3,1	0x0015	5,1	0x001d	7,1	0x0025	9,1	
0x0006	1,2	0x000e	3,2	0x0016	5,2	0x001e	7,2	0x0026	9,2	
0x0007	1,3	0x000f	3,3	0x0017	5,3	0x001f	7,3	0x0027	9,3	

図 10-9 入力画像データの外部メモリへの転送 1 (1ch 分)

2 : モノクロ画像、8bit/画素、データ入れ換えなしの場合(1ライン : 800pixel として記載)

取り込み画像 (IMACAR2-200/100/50 へ取り込まれるカメラ画像 : X=799)

0,0	1,0	15,0	16,0	17,0	31,0	32,0	..	X,0
0,1	1,1	15,1	16,1	17,1	31,1	32,1	..	X,1
0,2	1,2	15,2	16,2	17,2	31,2	32,2	..	X,2
0,3	1,3	15,3	16,3	17,3	31,3	32,3	..	X,3
0,4	1,4	15,4	16,4	17,4	31,4	32,4	..	X,4

補足 : [x,x] は、1画素(8bit)を示します。x,x は、画像データの位置(座標)を示します。

1 転送データ(16 バイト)

外部メモリ

アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	...
0x0000	0,0	0x0008	8,0	0x0010	16,0	0x0018	24,0	0x0020	32,0	
0x0001	1,0	0x0009	9,0	0x0011	17,0	0x0019	25,0	0x0021	33,0	
0x0002	2,0	0x000a	10,0	0x0012	18,0	0x001a	26,0	0x0022	34,0	
0x0003	3,0	0x000b	11,0	0x0013	19,0	0x001b	27,0	0x0023	35,0	
0x0004	4,0	0x000c	12,0	0x0014	20,0	0x001c	28,0	0x0024	36,0	
0x0005	5,0	0x000d	13,0	0x0015	21,0	0x001d	29,0	0x0025	37,0	
0x0006	6,0	0x000e	14,0	0x0016	22,0	0x001e	30,0	0x0026	38,0	
0x0007	7,0	0x000f	15,0	0x0017	23,0	0x001f	31,0	0x0027	39,0	

図 10-10 入力画像データの外部メモリへの転送 2 (1CH 分)

3 : モノクロ画像、12bit/ 画素、データ入れ換えありの場合(1 ライン : 800pixel として記載)

取り込み画像 (IMACAR2-200/100/50 へ取り込まれるカメラ画像 :

0,0	1,0	2,0	3,0	4,0	5,0	6,0	7,0	8,0	...	X,0
0,1	1,1	2,1	3,1	4,1	5,1	6,1	7,1	8,1	...	X,1
0,2	1,2	2,2	3,2	4,2	5,2	6,2	7,2	8,2	...	X,2
0,3	1,3	2,3	3,3	4,3	5,3	6,3	7,3	8,3	...	X,3
0,4	1,4	2,4	3,4	4,4	5,4	6,4	7,4	8,4	...	X,4
:	:	:	:	:	:	:	:	:	:	:

1 転送データ(16 バイト)

補足 : x,x は、1 画素(12bit)を示します(データサイズとしては、16bit で扱います)。 x,x は、画像データの位置(座標)を示します。

補足 : x,xL 、 x,xH は、画像データ x,x の下位バイト、上位バイトを示します。ビット情報については、下の表を参照してください。

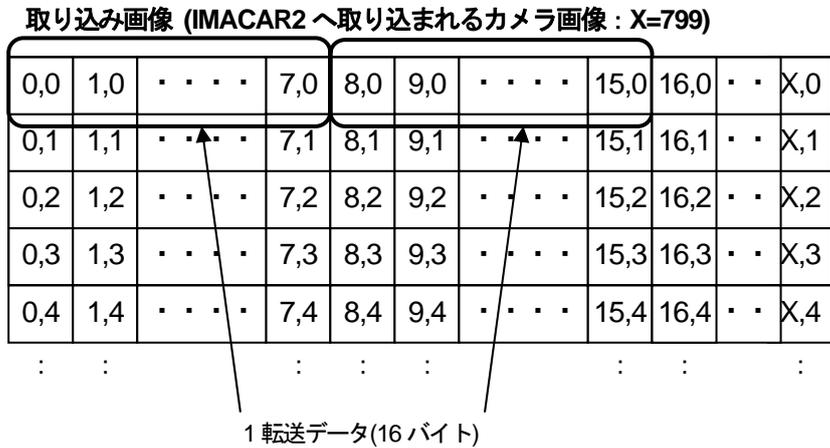
外部メモリ

アドレス	データ								
0x0000	0,0L	0x0008	2,0L	0x0010	4,0L	0x0018	6,0L	0x0020	8,0L
0x0001	0,0H	0x0009	2,0H	0x0011	4,0H	0x0019	6,0H	0x0021	8,0H
0x0002	0,1L	0x000a	2,1L	0x0012	4,1L	0x001a	6,1L	0x0022	8,1L
0x0003	0,1H	0x000b	2,1H	0x0013	4,1H	0x001b	6,1H	0x0023	8,1H
0x0004	1,0L	0x000c	3,0L	0x0014	5,0L	0x001c	7,0L	0x0024	9,0L
0x0005	1,0H	0x000d	3,0H	0x0015	5,0H	0x001d	7,0H	0x0025	9,0H
0x0006	1,1L	0x000e	3,1L	0x0016	5,1L	0x001e	7,1L	0x0026	9,1L
0x0007	1,1H	0x000f	3,1H	0x0017	5,1H	0x001f	7,1H	0x0027	9,1H
...									

外部メモリ上のデータ配置		
奇数アドレス : 上位バイト(x,xH)		偶数アドレス : 下位バイト(x,xL)
bit15 - 12	bit11 - 8	bit7 - 0
0 固定	画素データ(MSB : bit11、LSB : bit0)	

図 10-11 入力画像データの外部メモリへの転送3 (1CH 分)

4 : モノクロ画像、12bit/画素、データ入れ換えなしの場合(1ライン : 800pixel として記載)



補足 : x,x は、1 画素(12bit)を示します(データサイズとしては、16bit で扱います)。 x,x は、画像データの位置(座標)を示します。

補足 : x,xL 、 x,xH は、画像データ x,x の下位バイト、上位バイトを示します。ビット情報については、下の表を参照してください。

外部メモリ

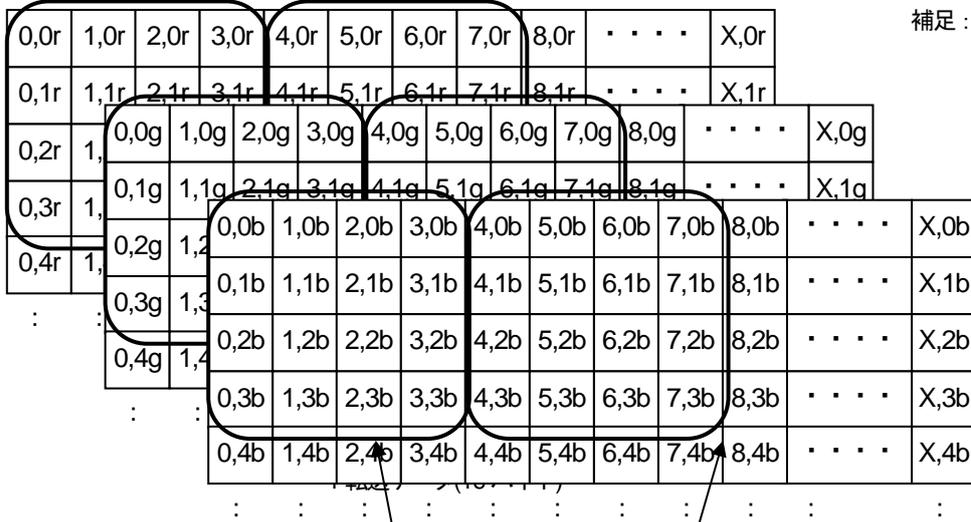
アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
0x0000	0,0L	0x0008	4,0L	0x0010	8,0L	0x0018	12,0L	0x0020	16,0L
0x0001	0,0H	0x0009	4,0H	0x0011	8,0H	0x0019	12,0H	0x0021	16,0H
0x0002	1,0L	0x000a	5,0L	0x0012	9,0L	0x001a	13,0L	0x0022	17,0L
0x0003	1,0H	0x000b	5,0H	0x0013	9,0H	0x001b	13,0H	0x0023	17,0H
0x0004	2,0L	0x000c	6,0L	0x0014	10,0L	0x001c	14,0L	0x0024	18,0L
0x0005	2,0H	0x000d	6,0H	0x0015	10,0H	0x001d	14,0H	0x0025	18,0H
0x0006	3,0L	0x000e	7,0L	0x0016	11,0L	0x001e	15,0L	0x0026	19,0L
0x0007	3,0H	0x000f	7,0H	0x0017	11,0H	0x001f	15,0H	0x0027	19,0H
...									

外部メモリ上のデータ配置		
奇数アドレス : 上位バイト(x,xH)		偶数アドレス : 下位バイト(x,xL)
bit15 - 12	bit11 - 8	bit7 - 0
0 固定		画素データ(MSB : bit11、LSB : bit0)

図 10-12 入力画像データの外部メモリへの転送 4 (1CH 分)

5 : カラー画像、8bit/ 画素、データ入れ換えありの場合(1 ライン : 800pixel として記載)

取り込み画像 (IMACAR2 へ取り込まれるカメラ画像 : X=799)



補足 : x,x は、1 画素(8bit)を示します。x,x は、画像データの位置(座標)を示します。

1 転送データ(16 バイト)

外部メモリ

アドレス	データ	アドレス	データ	アドレス	データ
0x0000	0,0r	0x4000	0,0g	0x8000	0,0b
0x0001	0,1r	0x4001	0,1g	0x8001	0,1b
0x0002	0,2r	0x4002	0,2g	0x8002	0,2b
0x0003	0,3r	0x4003	0,3g	0x8003	0,3b
0x0004	1,0r	0x4004	1,0g	0x8004	1,0b
0x0005	1,1r	0x4005	1,1g	0x8005	1,1b
0x0006	1,2r	0x4006	1,2g	0x8006	1,2b
0x0007	1,3r	0x4007	1,3g	0x8007	1,3b
:	:	:	:	:	:

図 10-13 入力画像データの外部メモリへの転送 5 (3CH 分)

以下については、モノクロ画像から ch 数が増加するのみの為、省略します。

6 : カラー画像、8bit/ 画素、データ入れ換えなしの場合

10.6.3 入力画像用 DMA 動作

ビデオキャプチャ I/F は、DMA 機能を搭載している為、CPU を介さず、入力画像データを外部メモリへ転送可能です。入力画像 CHn を動作許可設定後、入力画像格納 RAM に画像データが格納されると、DMA が起動し、転送先の外部メモリアドレスが設定されている VDBn レジスタの設定値に従い、外部メモリに入力画像データを転送します。

入力画像 CHn を動作禁止にすると、DMA が入力画像データを転送中でない場合、DMA は直ちに動作を停止します。しかし、DMA が入力画像データを転送中の場合、DMA は 16 バイトを転送完了後、動作を停止します。

10.6.4 入力画像 CH の動作説明

10.6.4.1 入力画像 CH の基本動作説明

次ページ以降に、入力画像 CH の動作タイミングチャートを示します。

【基本動作】

- 図 10-14 入力画像 CH の動作許可時の動作 (ノンインターレース/リングバッファ数=4)
- 図 10-15 入力画像 CH の動作許可時の動作 (インターレース/リングバッファ数=4/全フィールドを取り込む設定)
- 図 10-16 入力画像 CH の取り込み動作 (ノンインターレース/2フレームに1回取り込みの場合)
- 図 10-17 入力画像 CH の取り込み動作 (インターレース/2フレームに1回取り込みの場合/全フィールドを取り込む設定)
- 図 10-18 入力画像 CH の取り込み動作 (インターレース/リングバッファ数=4/奇数フィールドのみ取り込む設定)
- 図 10-19 入力画像 CH の動作禁止時の動作 (ノンインターレース/リングバッファ数=4)

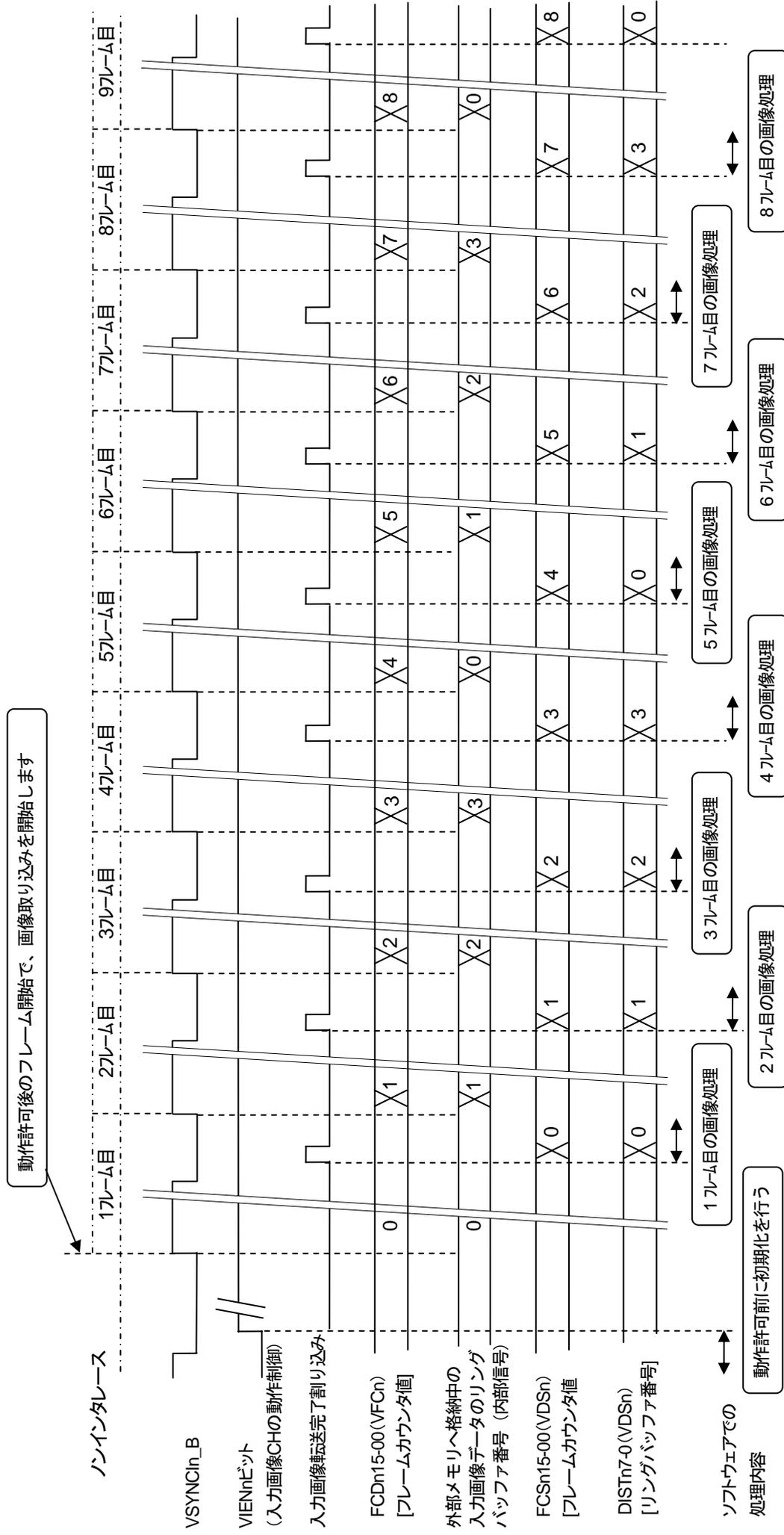


図 10-14 入力画像 CH の動作許可時の動作 (ノンインターレース/リングバッファ数=4)

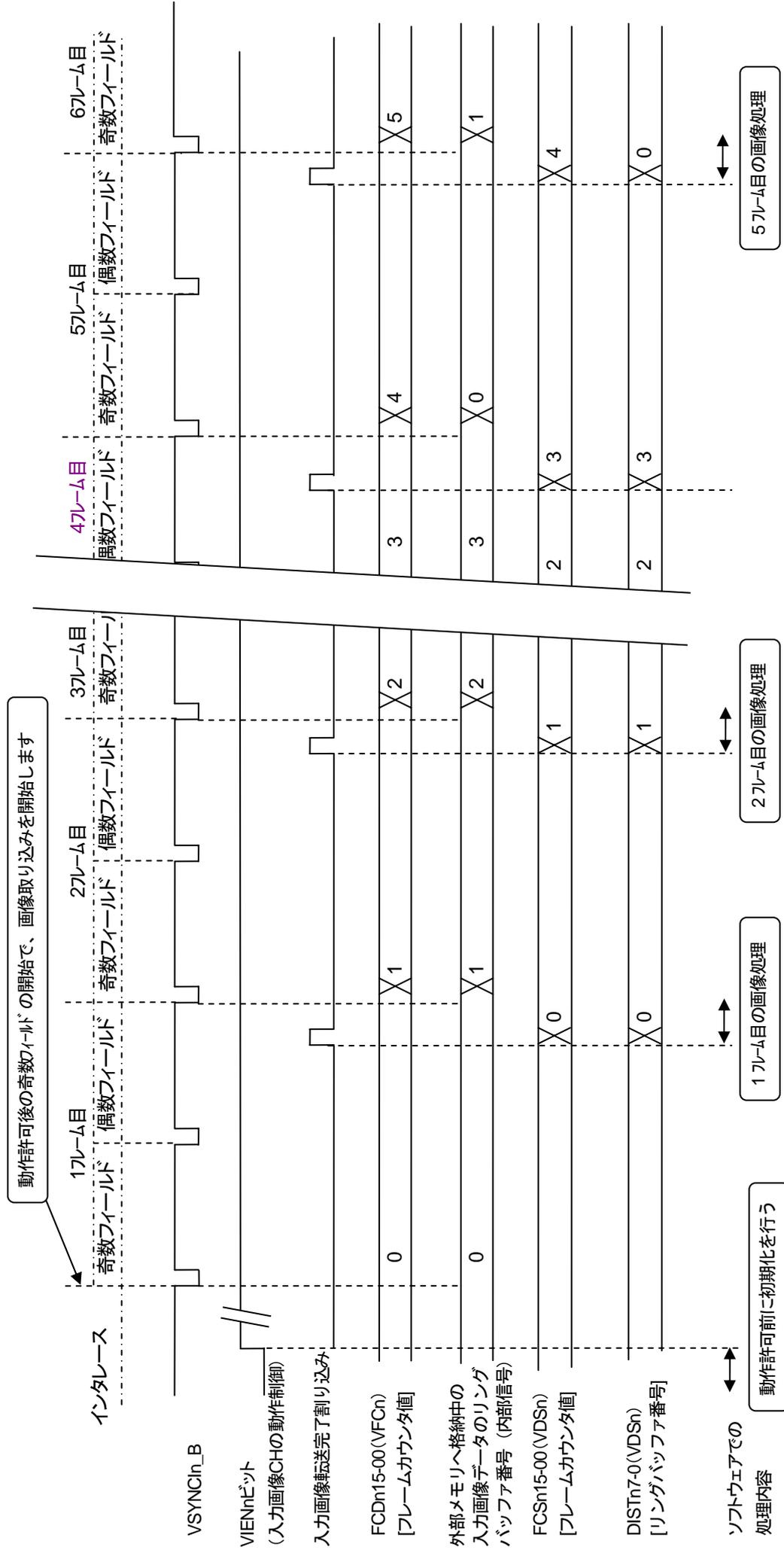


図 10-15 入力画像 CH の動作許可時の動作 (インターレース/リングバッファ数=4/全フィールドを取り込む設定)

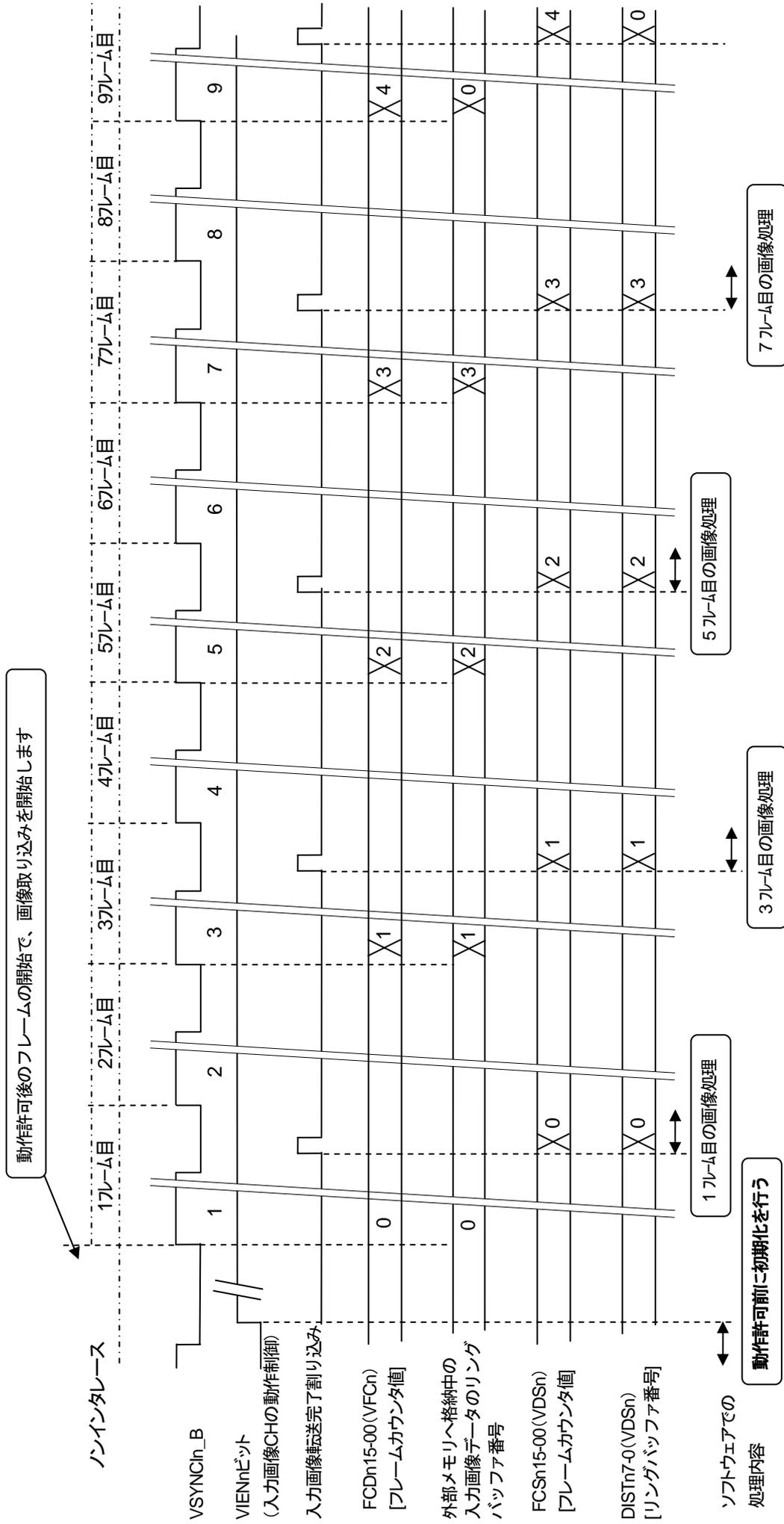


図 10-16 入力画像 CH の取り込み動作 (ノンインターレース/2フレームに1回取り込みの場合)

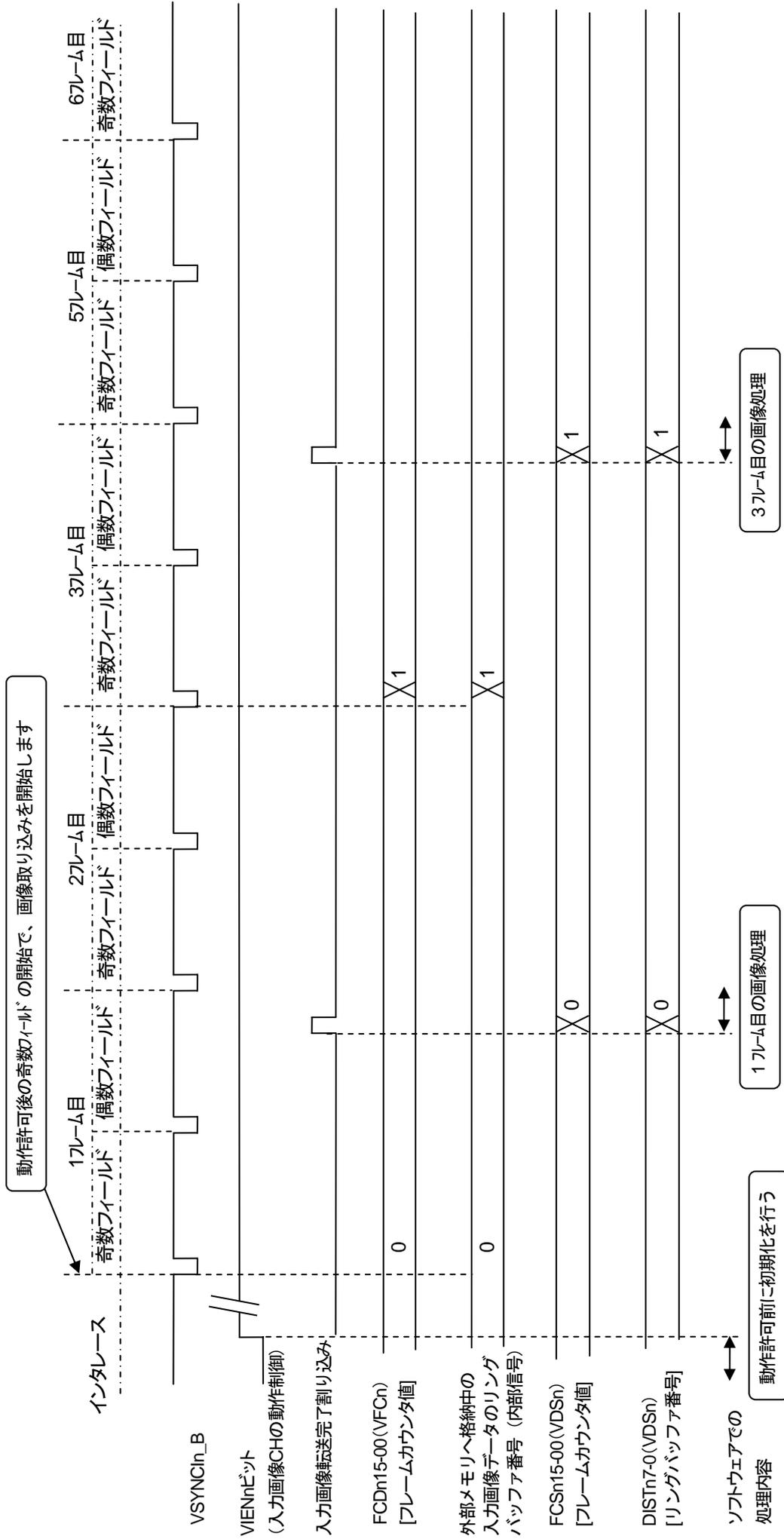


図 10-17 入力画像 CH の取り込み動作 (インターレース/2フレームに1回取り込みの場合/全フィールドを取り込み設定)

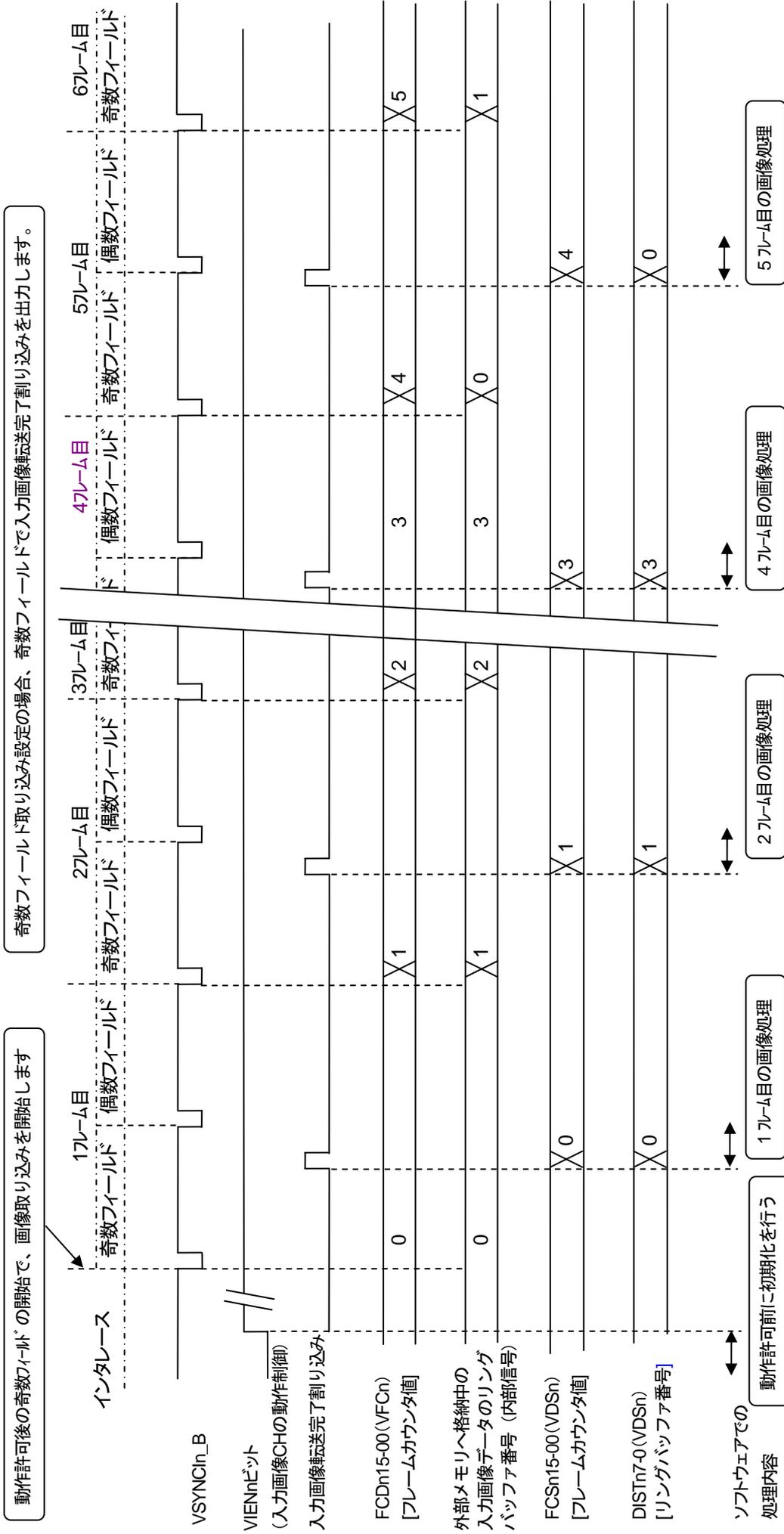


図 10-18 入力画像 CH の取り込み動作 (インターレース/リングバッファ数=4/奇数フィールドのみ取り込み設定)

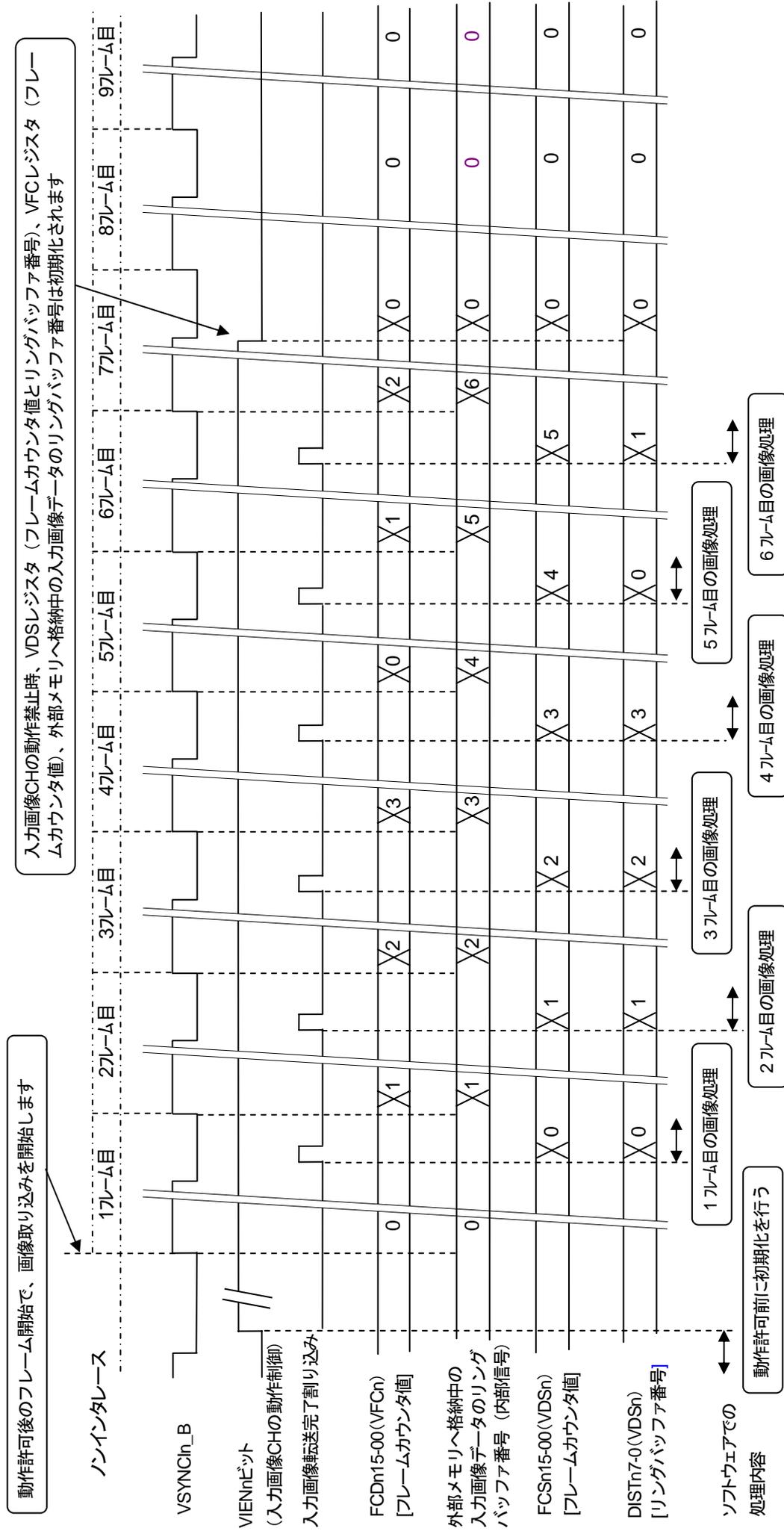


図 10-19 入力画像 CH の動作禁止時の動作 (ノンインターレース/リングバッファ数=4)

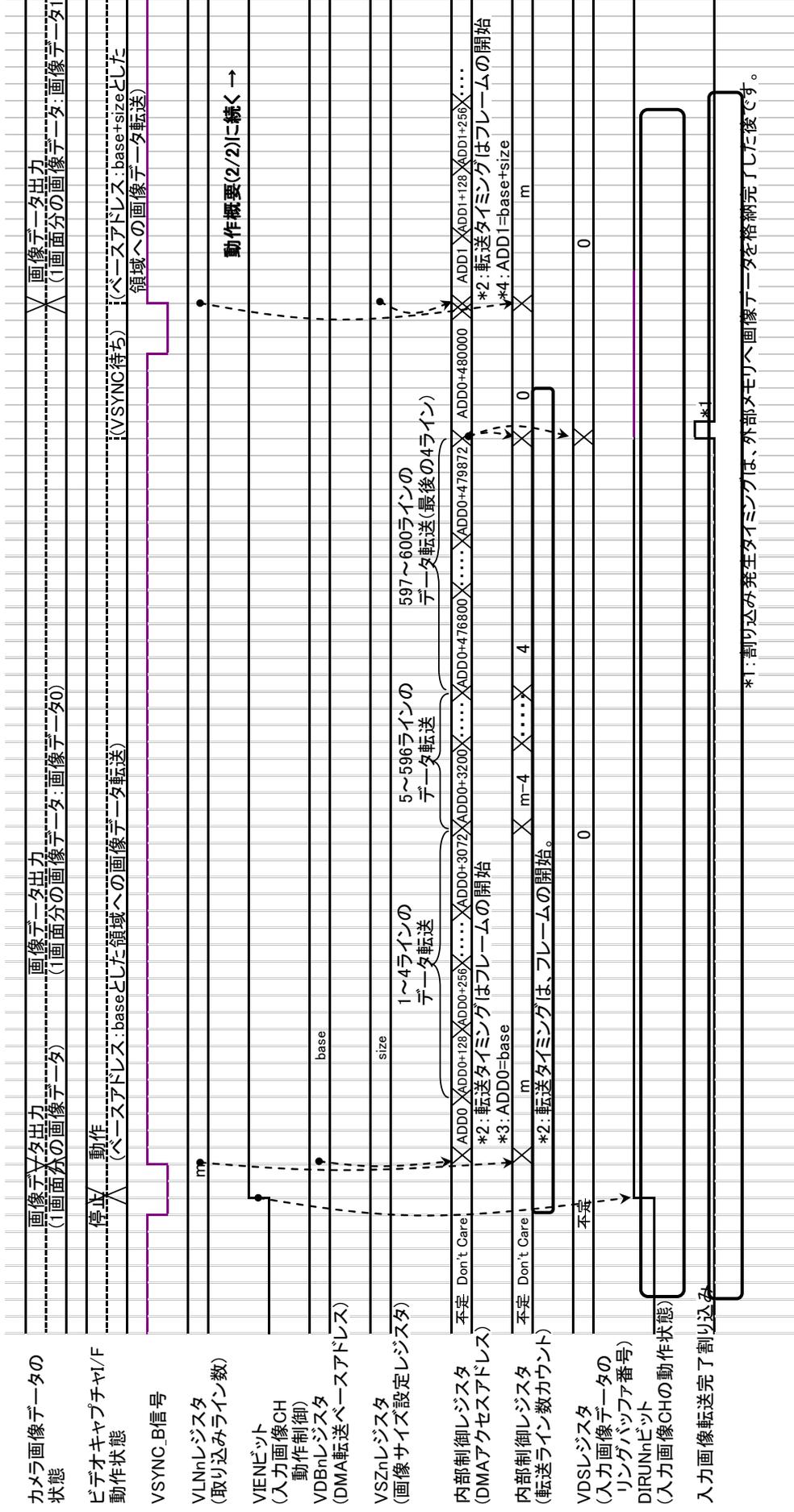


図 10-20 DMA 動作概要(1/2)

以下のタイミング図は、動作動作概要(1/2)の続きです。

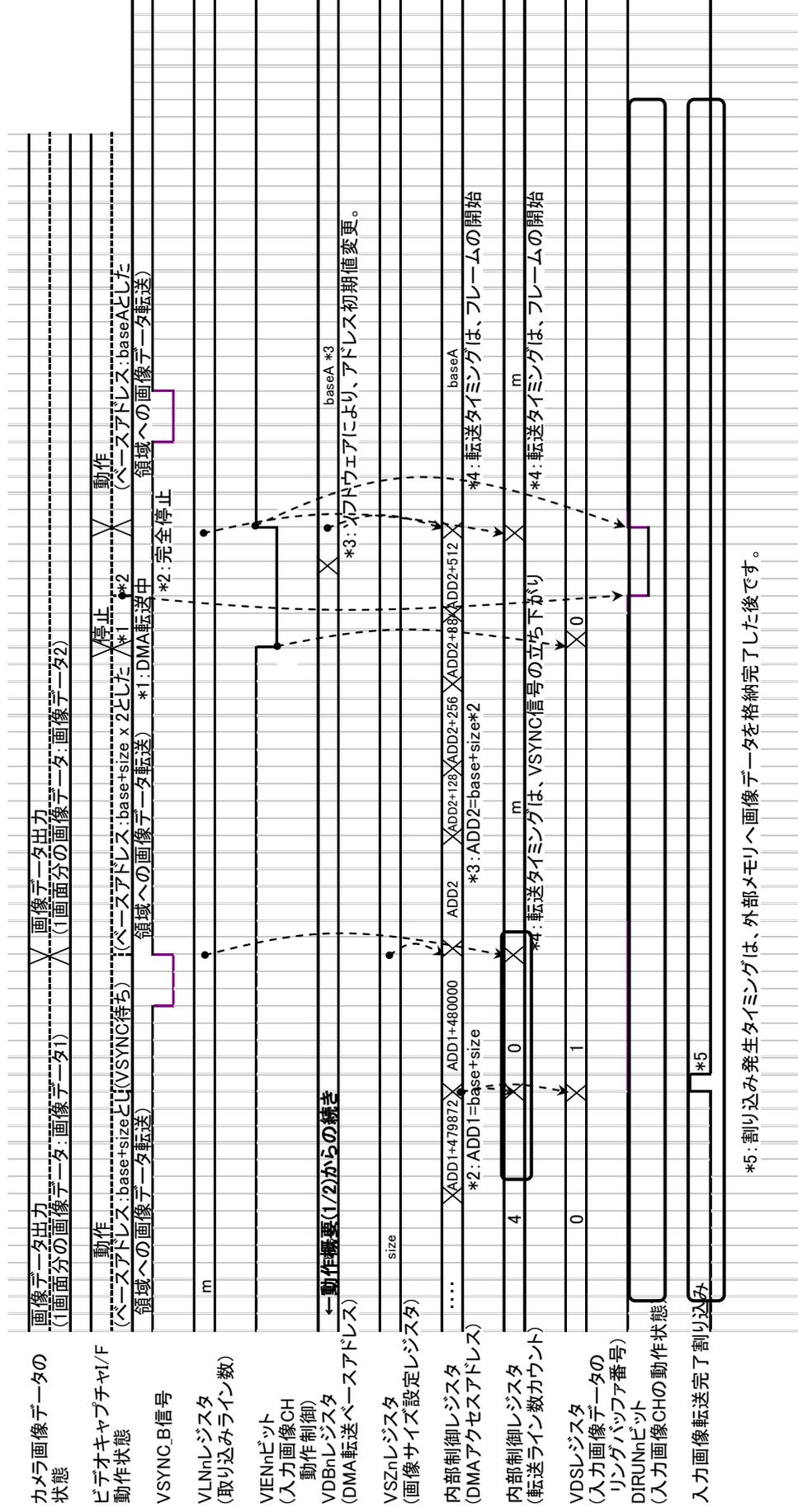


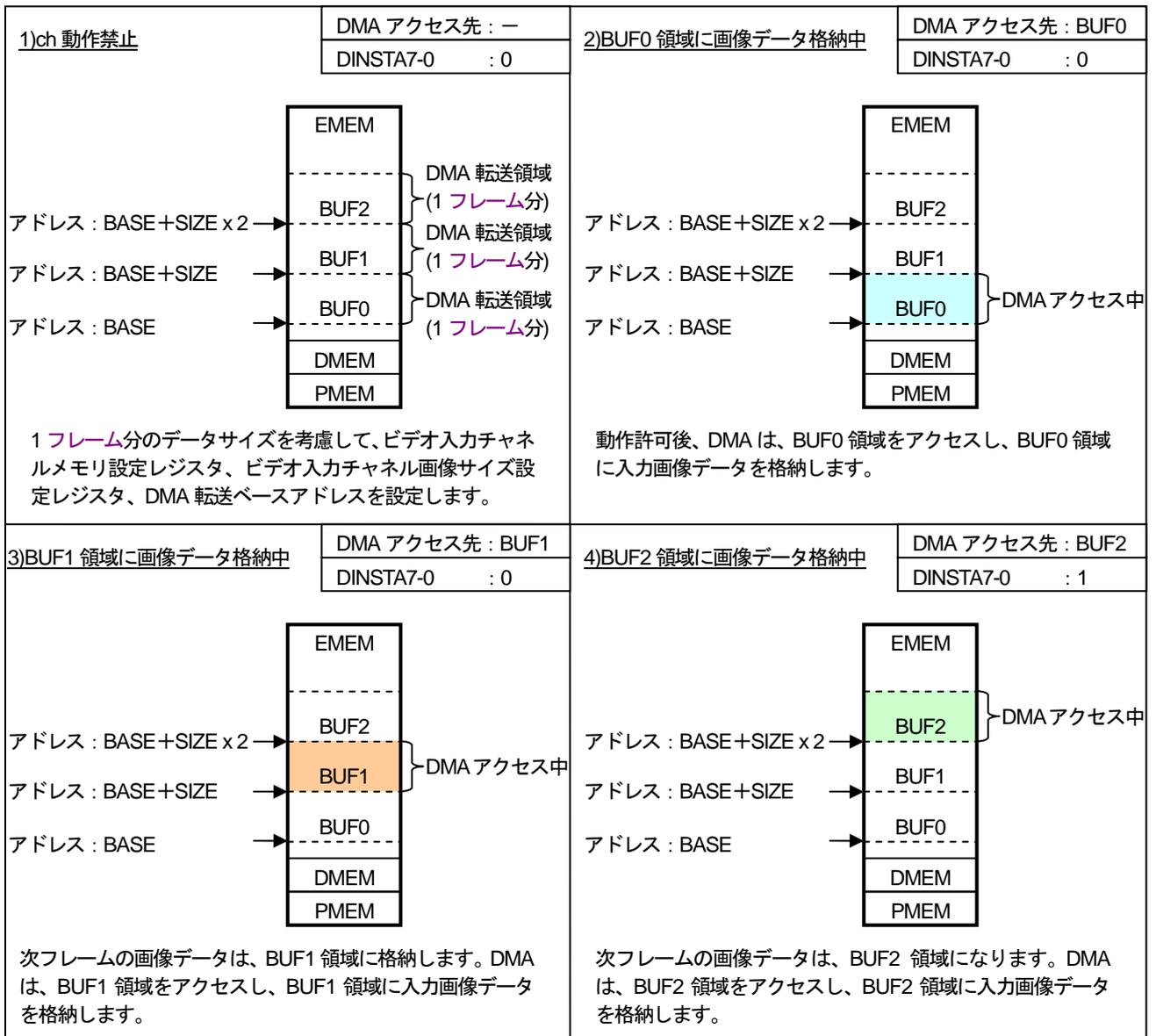
図 10-21 DMA 動作概要(2/2)

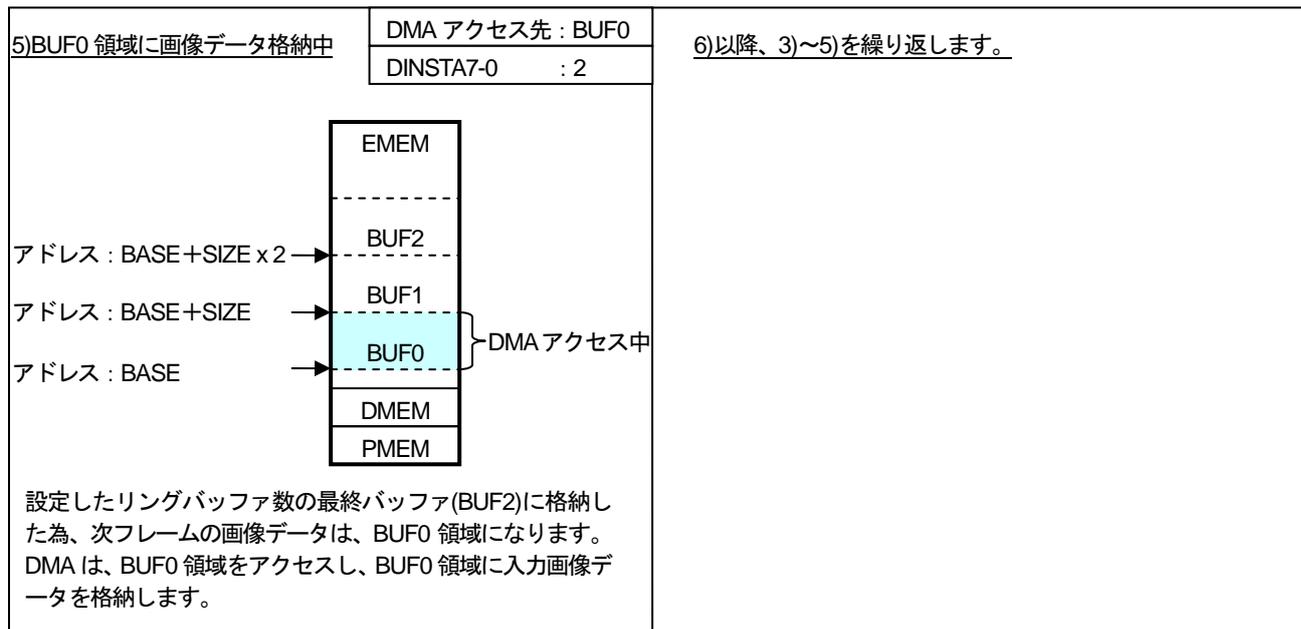
10.6.5 ビデオキャプチャ I/F から外部メモリへ格納する入力画像データの転送領域について

DMA による画像データの転送領域(外部メモリのアドレス)は、ビデオ入力チャンネル リングバッファ数設定レジスタ n、ビデオ入力チャンネル リングバッファサイズ設定レジスタ n、ビデオ入力チャンネル DMA 転送ベースアドレスレジスタ n で設定します。入力画像チャンネルを動作許可後、DMA は DMA 転送ベースアドレスから転送を開始します。リングバッファを利用することにより、効率的にカメラ画像データを格納することが可能です。以下に、リングバッファの動作例を示します。

設定例：

- ビデオ入力チャンネル リングバッファ数設定レジスタ n : 0x02
- ビデオ入力チャンネル リングバッファサイズ設定レジスタ n : SIZE
- ビデオ入力チャンネル DMA 転送ベースアドレスレジスタ n : BASE





注意 :

インタレース時は、奇数フィールドと偶数フィールドの画像データが1つのバッファに格納されます。

10.7 出力制御 CH の動作説明

10.7.1 出力制御 CH の動作概要

出力制御 CH の動作設定は、VIM, VOM レジスタで設定します。出力画像データの出力タイミングについては、SCLKREF 基準でのみ行う設定と外部入力画像制御信号 (VSYNCREF_B 及び ODDEVENREF) 基準で行う設定から選択できます。

10.7.2 出力画像範囲の設定

出力制御 CH は出力モードのレジスタ (VOM) の設定に従い、出力されます。また、レジスタ (VWO, VDO, VHX, VRN) の出力範囲設定に従って出力画像を出力します。なお、出力範囲外の領域に対する出力画像データは、全ビット "Low レベル" が出力されます。全領域に対して画像を出力したい場合は、全画面を出力範囲に設定して下さい。

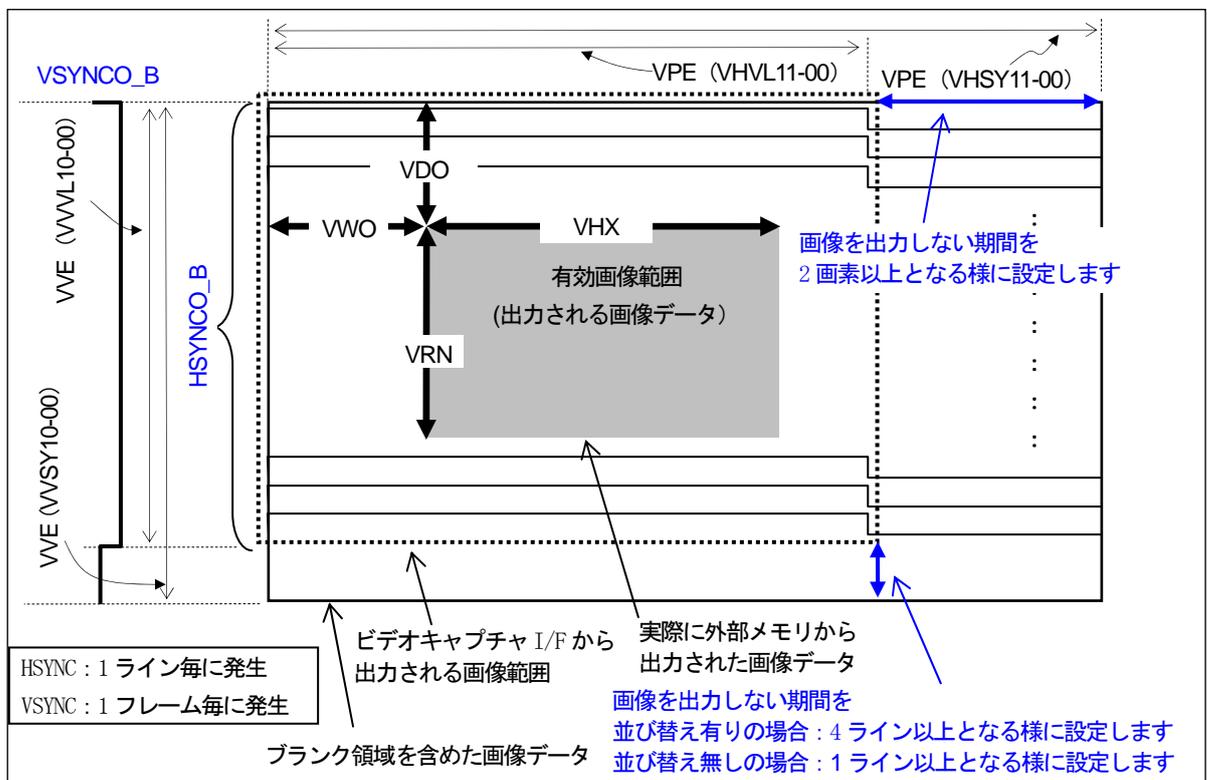


図 10-22 出力画像の指定 (ノンインターレースの場合)

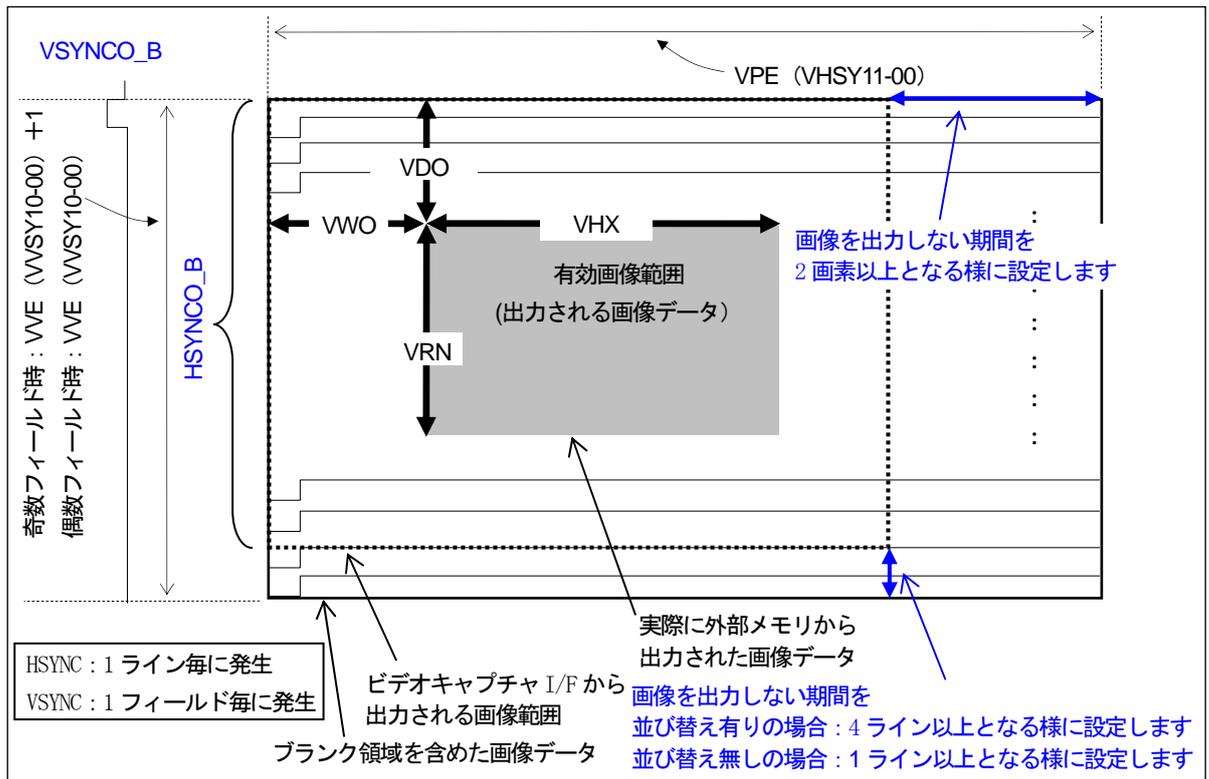


図 10-23 出力画像の設定 (インターレース [NTSC 方式] の奇数/偶数フィールド)

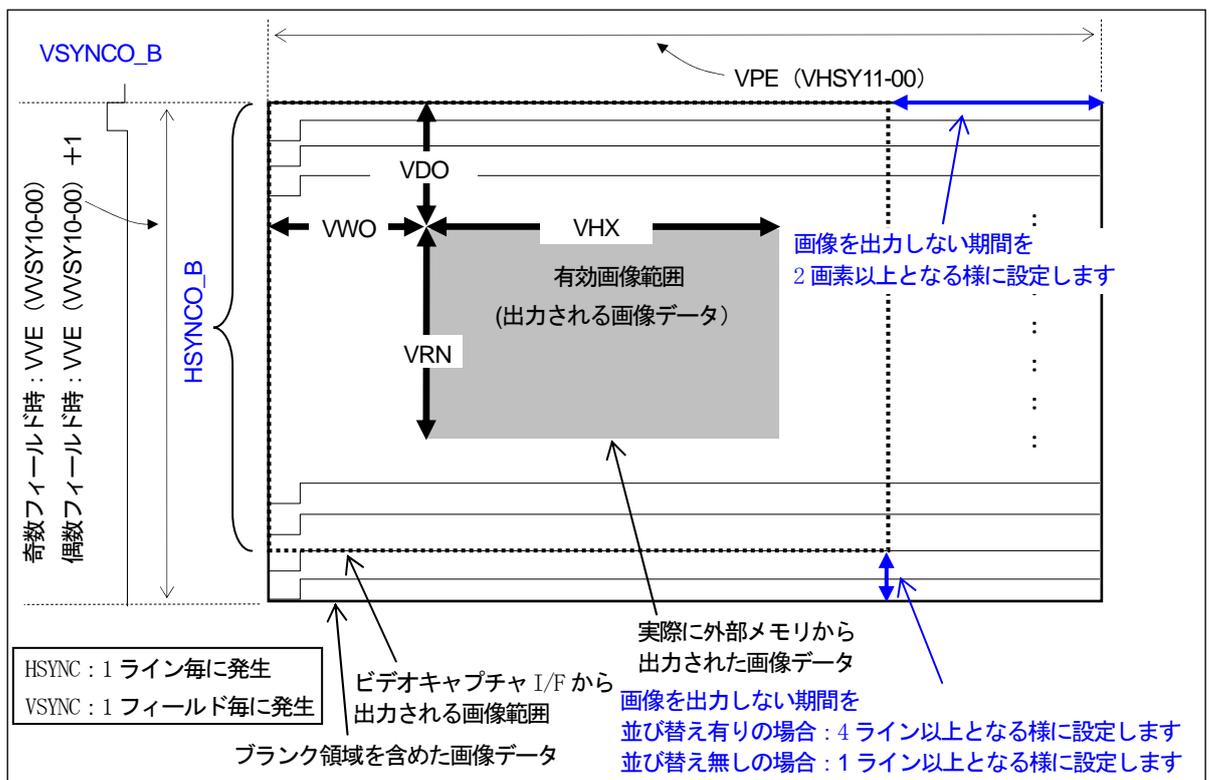


図 10-24 出力画像の設定 (インターレース [PAL 方式] の奇数/偶数フィールド)

10.7.3 出力画像データの指定

出力制御 CH は、ビデオ出力チャンネル DMA 転送開始アドレスに記載したアドレスに格納された画像データを画像出力します。また、出力制御 CH は、フレームの開始時にビデオ出力チャンネル DMA 転送開始アドレスの値をビデオ出力チャンネル DMA 転送開始アドレス保持レジスタに格納します。

よって、ビデオ出力チャンネル DMA 転送開始アドレスを切り替える場合は、フレーム完了割り込み発生後から次フレームの開始前までに設定してください。

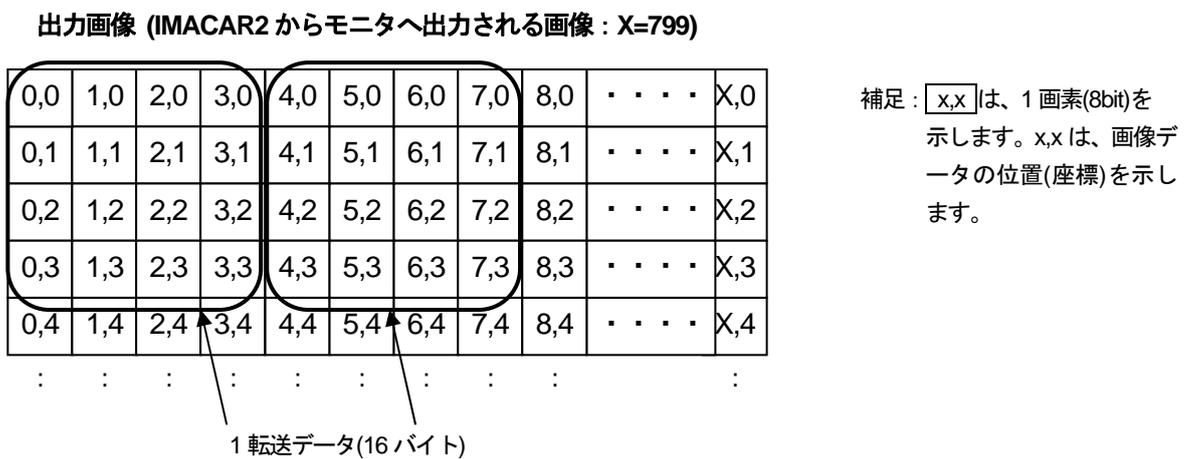
10.7.4 出力画像データの転送動作

出力画像格納 RAM として、4 ライン分の容量(1 画素 8bit の場合)の RAM を 2 個搭載しているので、画像データを 4 ライン分出力しはじめた時点で、外部メモリからもう片方の RAM に画像データを転送開始します。4 ライン分の画像データを出力した後、もう片方の RAM に画像データが準備できていないと既に出力済みの画像データを出力してしまい、モニタに正しい画面が表示されない恐れがあります。

また、外部メモリから画像データを転送する時、外部メモリに格納されている画像データは並べ替えが行われている場合がありますので、本来の順番に並び替えも同時に行います(動作概要は、入力画像データの転送動作とデータ方向が逆になる以外は、同様の為、1 動作のみ記載します。他の動作については、「10.6.2 入力画像データの転送動作」を参照してください。ただし、割り込み発生タイミングについては、画像データを 1 フレーム分出力した後です)。

出力画像は、0,0 → X,0 → 0,1 → X,1 → 0,2 → X,2 → 0,3 → X,3・・・の順にシリアルに出力されます。DMA は、1 転送(16 バイト)単位毎に、外部メモリから転送します。

1 : モノクロ画像、8bit/ 画素、データ入れ換えありの場合(1 ライン : 800pixel として記載)



外部メモリ

アドレス	データ									
0x0000	0,0	0x0008	2,0	0x0010	4,0	0x0018	6,0	0x0020	8,0	...
0x0001	0,1	0x0009	2,1	0x0011	4,1	0x0019	6,1	0x0021	8,1	
0x0002	0,2	0x000a	2,2	0x0012	4,2	0x001a	6,2	0x0022	8,2	
0x0003	0,3	0x000b	2,3	0x0013	4,3	0x001b	6,3	0x0023	8,3	
0x0004	1,0	0x000c	3,0	0x0014	5,0	0x001c	7,0	0x0024	9,0	
0x0005	1,1	0x000d	3,1	0x0015	5,1	0x001d	7,1	0x0025	9,1	
0x0006	1,2	0x000e	3,2	0x0016	5,2	0x001e	7,2	0x0026	9,2	
0x0007	1,3	0x000f	3,3	0x0017	5,3	0x001f	7,3	0x0027	9,3	

図 10-25 出力画像データの外部メモリからの転送(1ch 分)

10.7.5 出力画像格納用 DMA の動作

ビデオキャプチャ I/F は、DMA 機能を搭載している為、CPU を介さず、出力画像データを外部メモリから転送可能です。VIE レジスタにより、動作許可/動作禁止が可能です。出力同期モードにより、出力制御 CH の動作タイミングが異なります。

10.7.5.1 出力制御 CH の外部同期モード

出力制御 CH は動作許可後、フレームの開始待ち状態となります。出力制御 CH は、出力制御信号用リファレンスフィールド表示信号 (ODDEVENREF) の状態と出力制御信号用リファレンス垂直同期信号 (VSYNCREF_B) の立ち下りエッジを検出して、フレームの開始を検出します。フレームの検出後、画像出力を開始します。同時に、出力画像データ転送用 DMA が起動して、外部メモリから出力画像データを出力画像格納 RAM に転送し、画像出力に備えます。その後、出力画像範囲の設定に従って、出力画像格納 RAM に格納した画像データを出力します。出力画像データ転送用 DMA は、1 フレーム分の出力画像データを転送すると停止します。その後、フレームの開始待ち状態になります。

VIE レジスタにより、動作禁止にすると、出力制御 CH が DMA 転送中でない場合、DMA は直ちに動作を停止します。しかし、転送中の場合、DMA の転送完了後、動作を停止します。動作概要は、入力画像チャンネルの動作と同様なので省略します。

10.7.5.2 出力制御 CH の内部同期モード

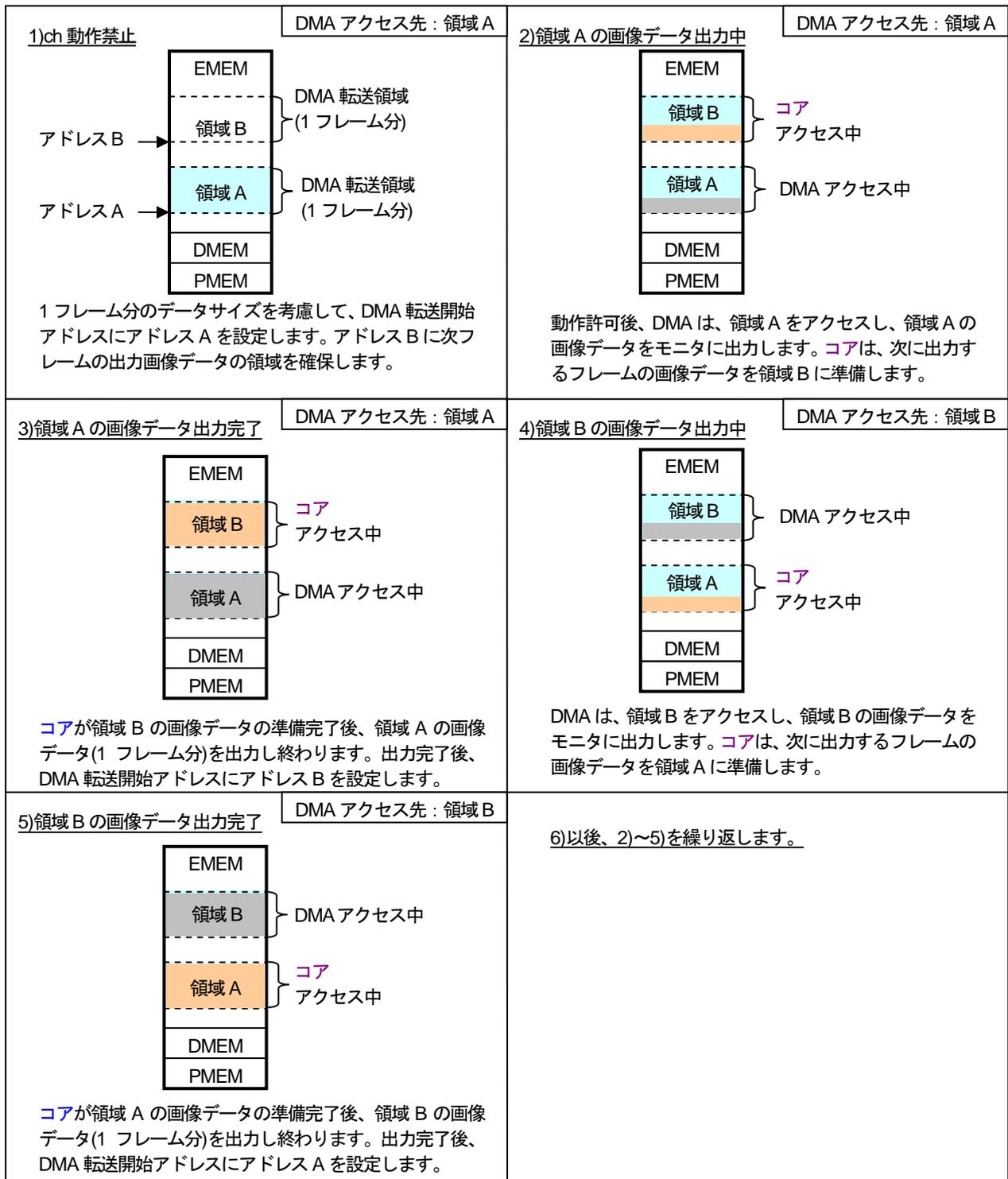
出力制御 CH は動作許可後、画像出力を開始します。同時に、出力画像データ転送用 DMA が起動して、外部メモリから出力画像データを出力画像格納 RAM に転送し、画像出力に備えます。その後、出力画像範囲の設定に従って、出力画像格納 RAM に格納した画像データを出力します。出力画像データ転送用 DMA は、1 フレーム分の出力画像データを転送すると停止します。その後、フレームの開始待ち状態になります。

VIE レジスタにより、動作禁止にすると、出力制御 CH が DMA 転送中でない場合、DMA は直ちに動作を停止します。しかし、転送中の場合、DMA の転送完了後、動作を停止します。動作概要は、入力画像チャンネルの動作と同様なので省略します。

10.7.6 外部メモリからビデオキャプチャ I/F へ格納する出力画像データの転送領域について

DMA による画像データの転送領域(外部メモリのアドレス)は、ビデオ出力チャンネル 動作モード設定レジスタで設定します。出力制御 CH を動作許可後、ビデオ出力チャンネル 動作モード設定レジスタの設定に従い、ビデオ出力チャンネル DMA 転送開始アドレスの領域をアクセスします。ビデオ出力チャンネル DMA 転送開始アドレスは、出力画像転送完了割り込みによるソフトウェア処理により設定を行います。

下記には、DMA 転送開始アドレスを 2 つ準備し、領域を交互に利用する場合のソフトウェア処理例を以下に示します。



10.8 画像制御信号、画像データの動作タイミング

10.8.1 概要

ビデオキャプチャ I/F は、入力画像 CH、出力制御 CH 共に、デジタル信号のみを扱いますが、カメラからの画像データ、モニターへの画像データは、アナログ信号です。その為、カメラとビデオキャプチャ I/F の間には、ビデオデコーダ(アナログ→デジタル)、また、ビデオキャプチャ I/F とモニターへの間には、ビデオエンコーダ(デジタル→アナログ)が必要となります。本製品では、以下のビデオエンコーダ、デコーダへの接続を想定しています。

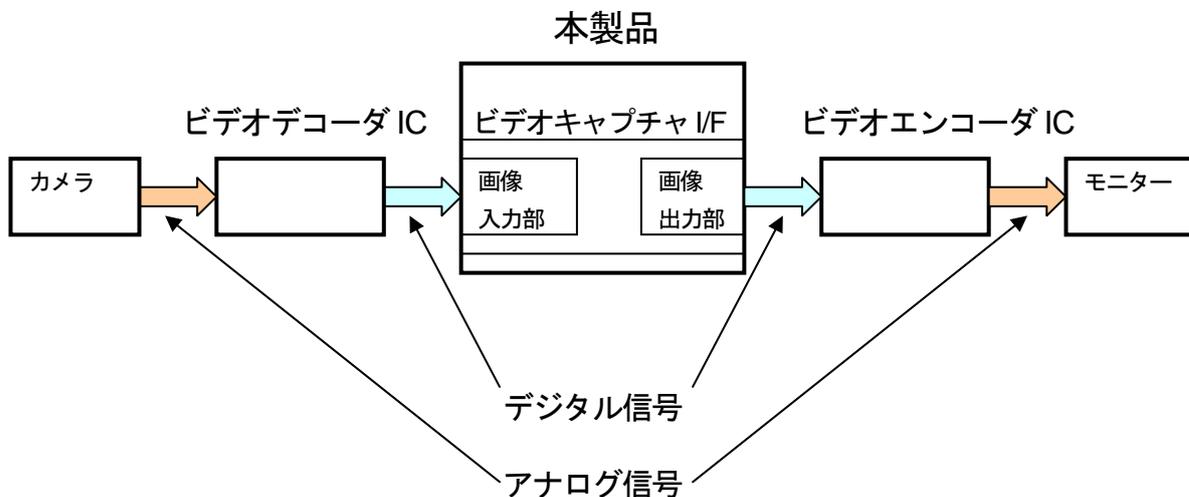


図 10-26 カメラ、モニターとの接続イメージ図

10.8.2 入力制御信号フォーマットに関する注意事項

①開始ラインについて

ライン数カウント開始判定は、VSYNCIn_B の立下りと HSYNCIn_B の立下りを検出して判断します。

SCLKIn の 1 クロック内に VSYNCIn_B の立下りと HSYNCIn_B の立下りがある場合は、その HSYNCIn_B を 1 ライン目として判断します。1 クロック内がない場合は、次の HSYNCIn_B を 1 ライン目として判断します。

②ODDEVENIn 信号について

ODDEVENIn は、VSYNCIn_B の立下り後、SCLKIn の 1 クロック以内に確定させてください。また、画像取り込みが完了するまでは、ODDEVENIn のレベルを固定させてください。

ODDEVENIn のフィールド判定は、10 ライン目の開始時 (HSYNCIn_B の立下り時) に行います。

③VSYNCIn_B、HSYNCIn_B 信号について

VSYNCIn_B、HSYNCIn_B の Low 幅/High 幅は、SCLKI0-2 の 1 クロック以上を確保してください。

④VSYNCREF_B 信号及び ODDEVENREF 信号について

VSYNCREF_B 信号は、VSYNCIn_B と同じフォーマットで入力してください。また、ODDEVENREF 信号は、ODDEVENIn 信号と同じフォーマットで入力して下さい。

10.8.3 出力制御信号フォーマットに関する注意事項

①出力画像のフレーム周期について

出力画像のフレーム周期 (VPE レジスタによる出力画像の水平画素領域と VVE レジスタによる出力画像の垂直ライン領域と SCLKREF のクロック周期で決まる出力画像のフレーム周期) は、VSYNCREF_B 信号の周期以下にして下さい。

10.9 入力画像 CH、出力制御 CH の再起動動作

再起動を行う場合は、画像データ転送用 DMA が停止した事を確認した後に、再起動を実行してください。

入力画像 CHn 及び出力制御 CH の DMA チャンネル m の再起動時の注意

入力画像 CH、出力制御 CH を動作禁止にした場合、入力画像データ転送用 DMA、出力画像転送用 DMA は、データ転送中であれば、直ちに停止しません。この状態で、再度、入力画像 CH、出力制御 CH を動作許可に設定することは禁止です。

入力画像 CH を再起動する場合は、入力画像 CHn が停止状態(DIRUNn=0)になっていることを確認して、動作許可をしてください。また、出力制御 CH の DMA チャンネル m を再起動する場合は、出力制御 CH の DMA チャンネル m が停止状態(DORUNm=0)になっていることを確認して、動作許可をしてください。

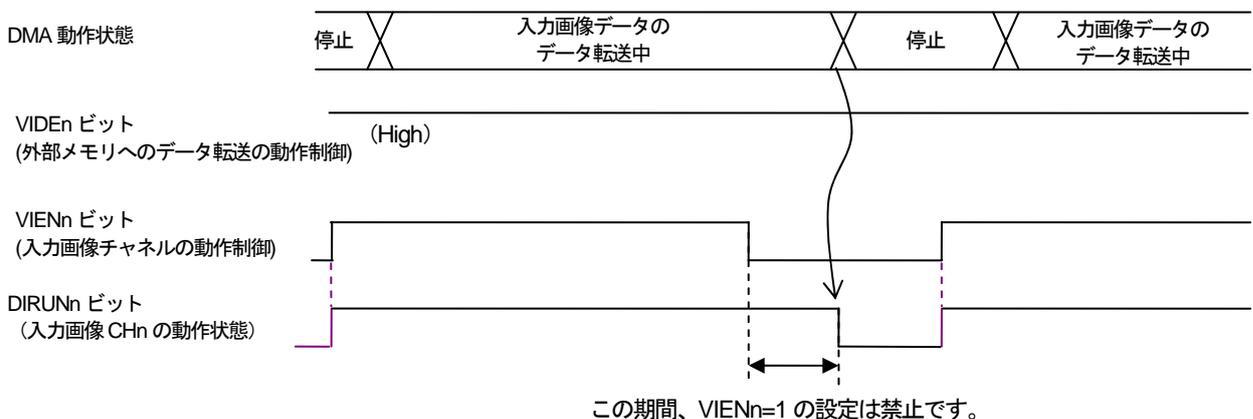


図 10-27 入力画像 CH の再起動動作 (動作許可⇒動作禁止⇒動作許可)

入力画像 CH を動作許可状態で外部メモリへのデータ転送を許可から禁止にした場合、入力画像データ転送用 DMA はフレームの取り込みが完了した後に停止します。そして、入力画像 CH の外部メモリへのデータ転送を再起動した場合は、フレームの開始後に動作を開始します。

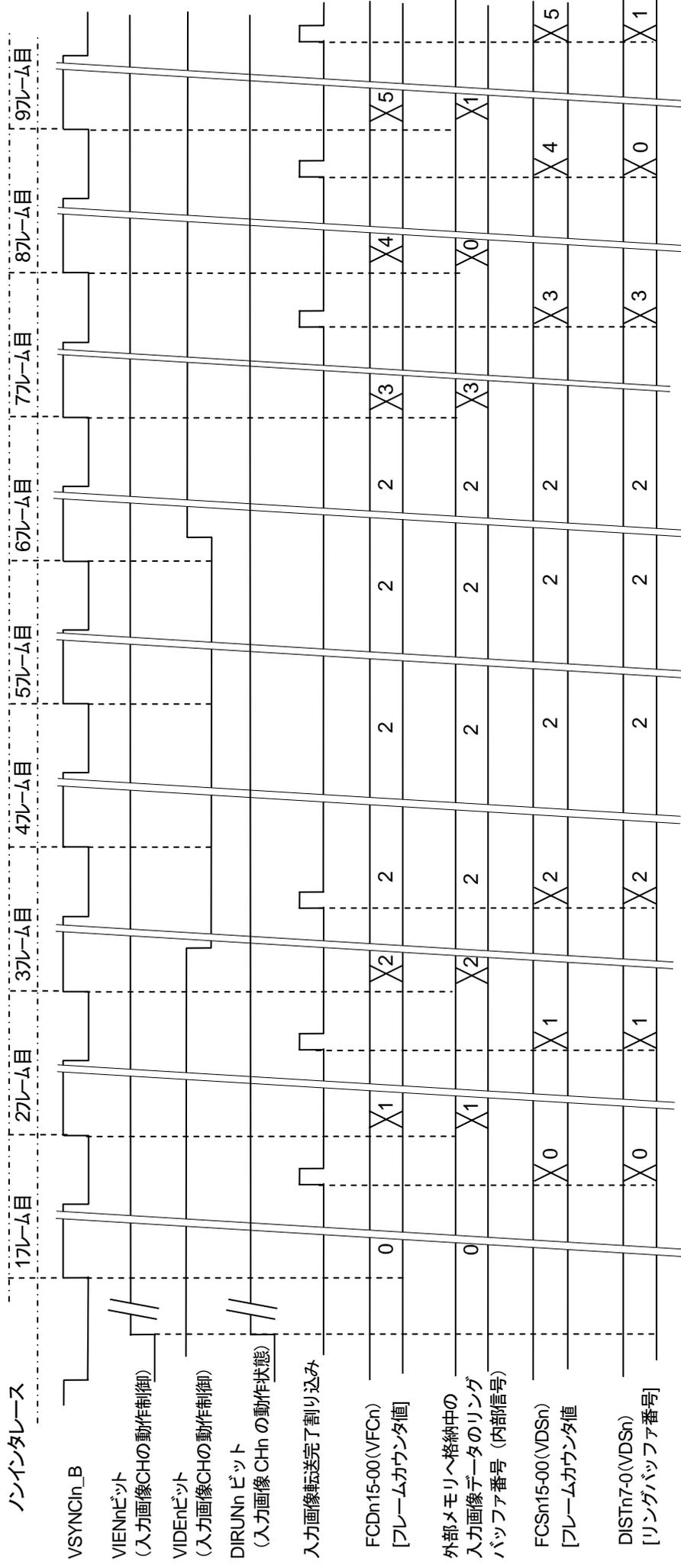


図 10-28 入力画像 CH の外部メモリへのデータ転送の再起動作 (データ転送許可⇒データ転送禁止⇒データ転送許可)

10.10 入力画像フォーマット

ビデオキャプチャ I/F の入力画像フォーマットを 図 10-29、図 10-30、図 10-31、図 10-32、図 10-33 に示します。

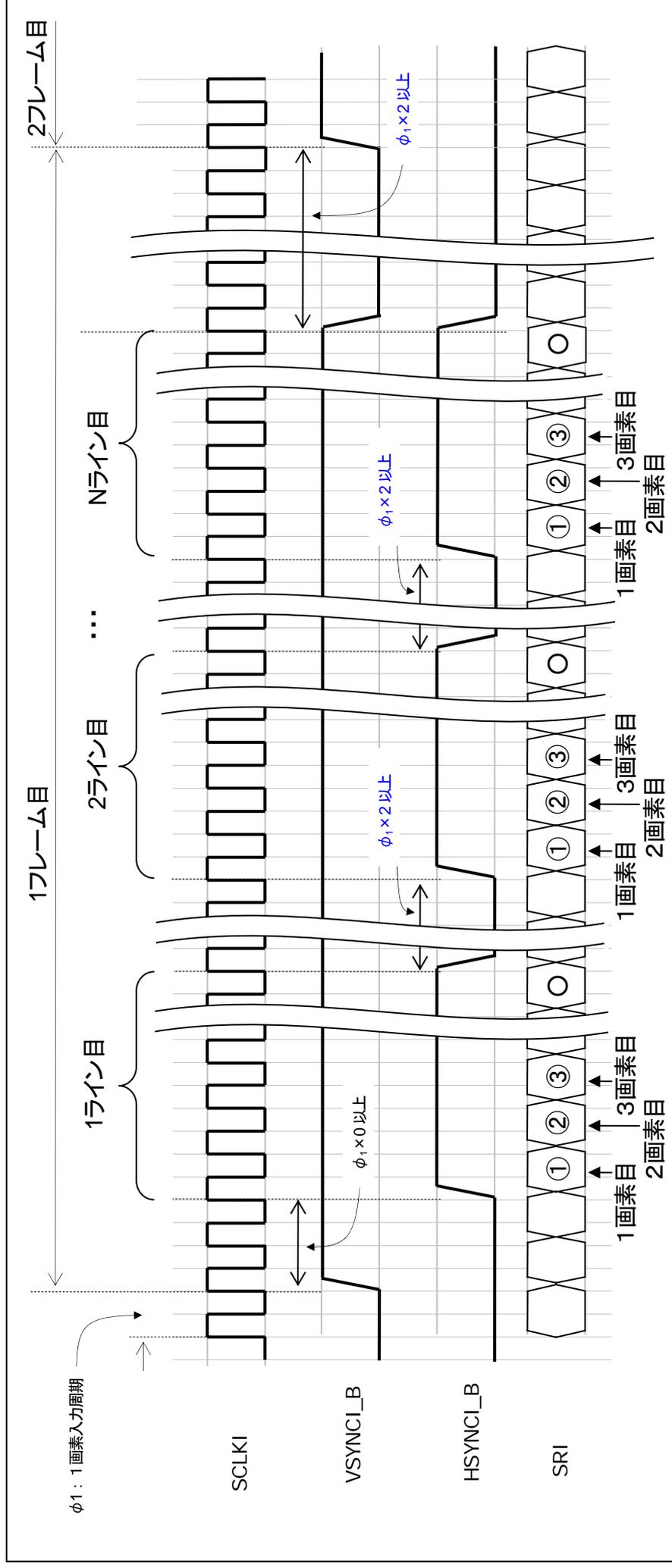


図 10-29 入力画像の設定 (ノンインターレース設定時)

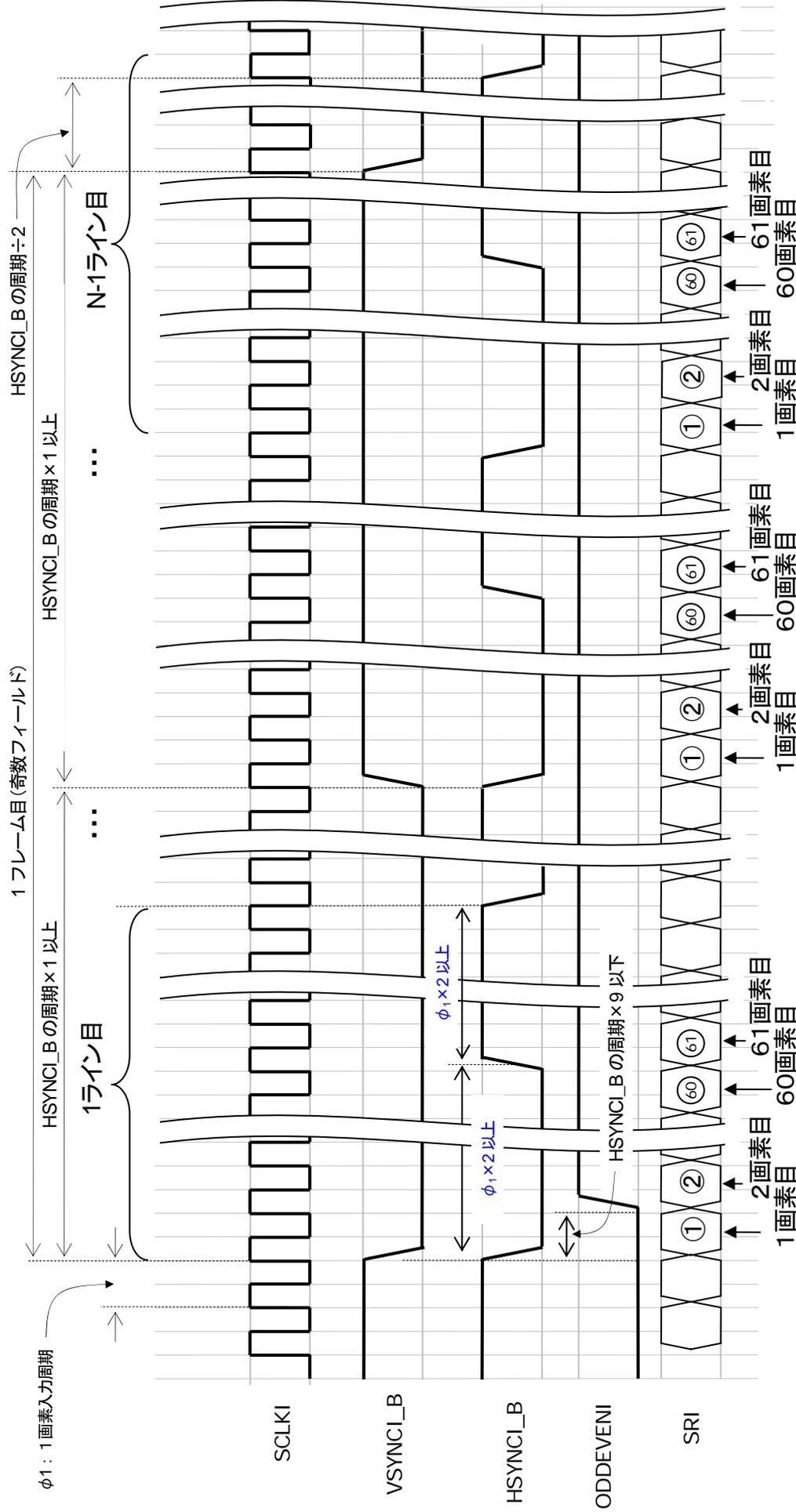


図 10-30 入力画像の設定 (インターレース設定時/NTSC方式/奇数フィールド)

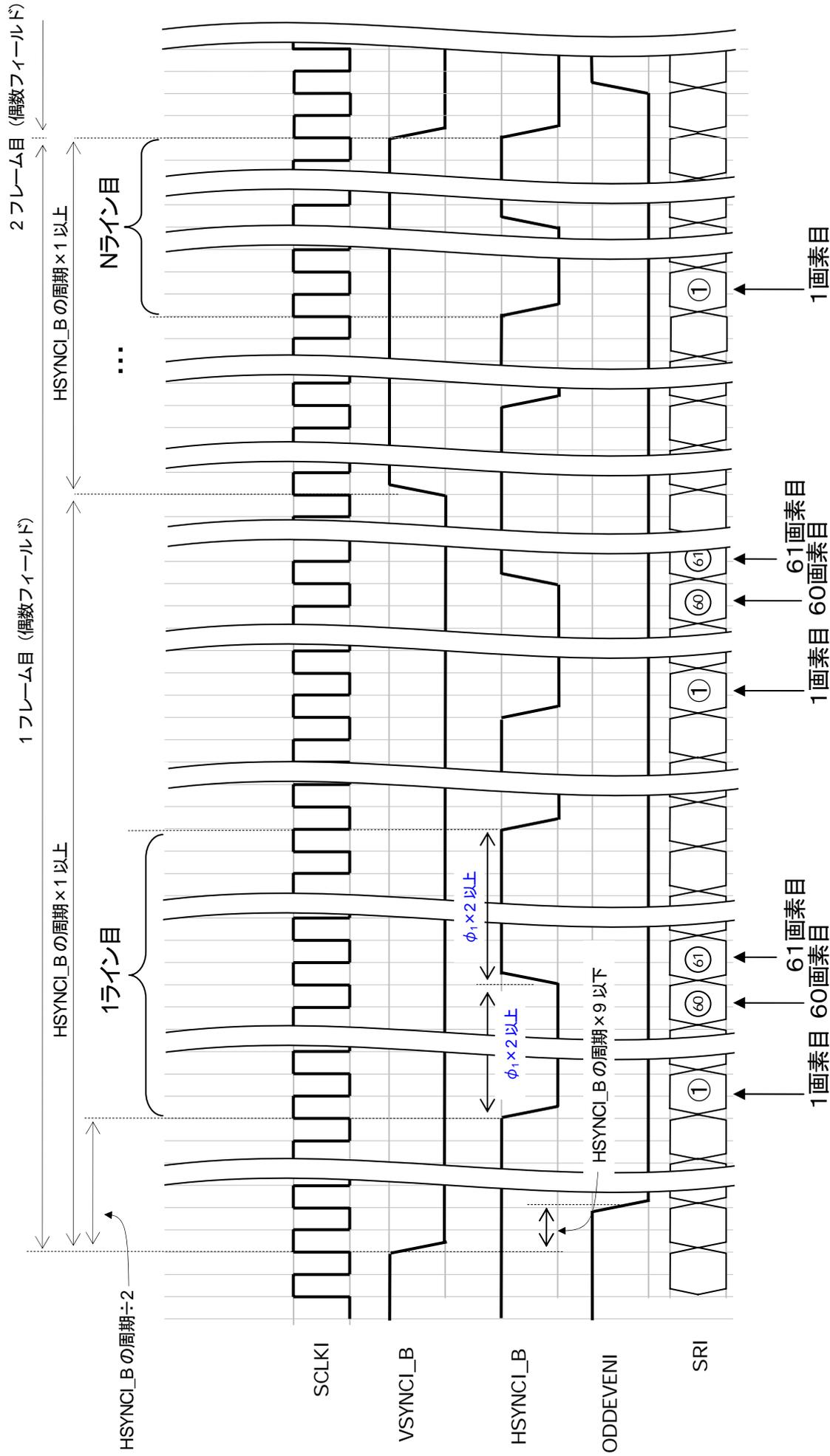


図 10-31 入力画像の設定 (インターレース設定時/NTSC方式/偶数フィールド)

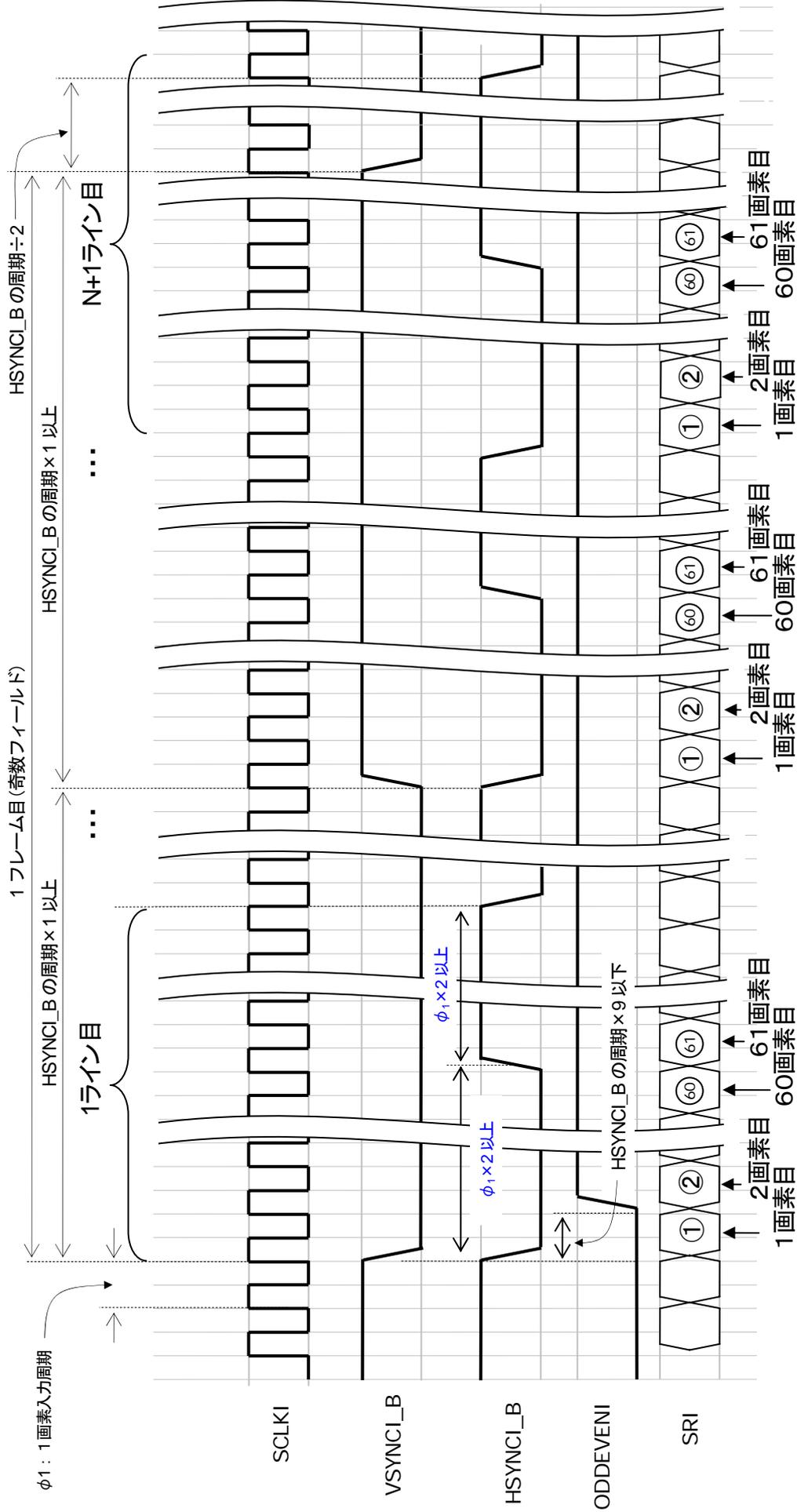


図 10-32 入力画像の設定 (インターレース設定時/PAL方式/奇数フィールド)



図 10-33 入力画像の設定 (インターレース設定時/PAL方式/偶数フィールド)

10.11 出力画像フォーマット

ビデオキャプチャ I/F の出力画像フォーマットを 図 10-34、図 10-35、図 10-36、図 10-37、図 10-38 に示します。

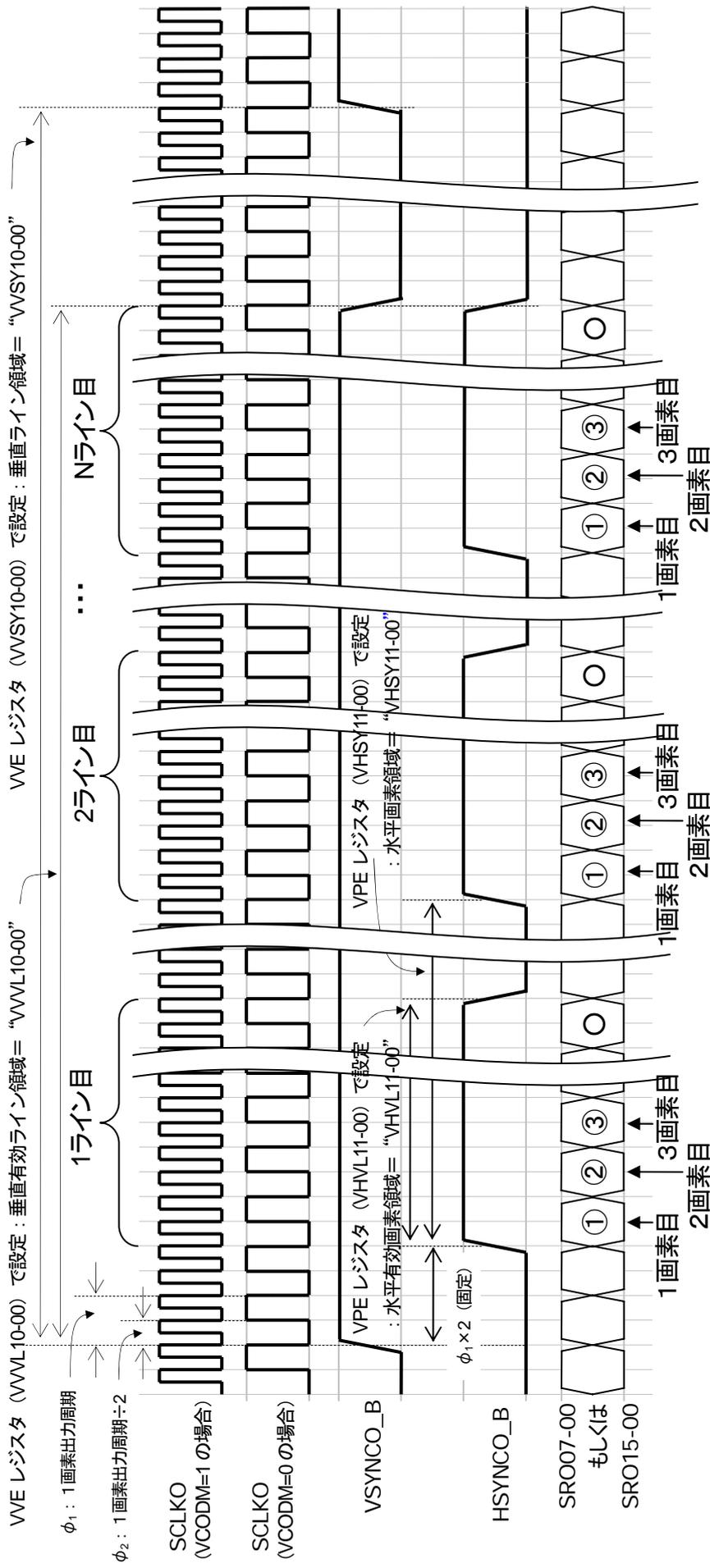


図 10-34 出力画像の設定 (ノンインターレース設定時)

補足 : 図 10-34 のレジスタ設定値を下記に示す。

- VOHSE=1 (出力画像の水平画素を出力する期間、High レベルを出力します)。
- VOOEE=0or1 (ノンインターレース設定時は ODDEVENO 端子をモニターに接続しない為、Don't Care)、VOCKE=0 (出力画像データ転送クロック[SCLKO]の立ち下りに同期して、出力画像データを出力します)、OERSE=0or1 (ノンインターレース設定時には ODDEVENREF 信号を使用しない為、Don't Care)、VRVSE=0 (内部同期モード設定の為、Don't Care)、VRSYNC=0 (内部同期モード設定)、VCODM=0or1 (出力画像データ転送クロック[SCLKO]と同じ周期もしくは2倍の周期で画素データを出力します)、VOSE=1 (ノンインターレース設定)、VOSR=0or1 (並び替えなしもしくは並び替えあり)

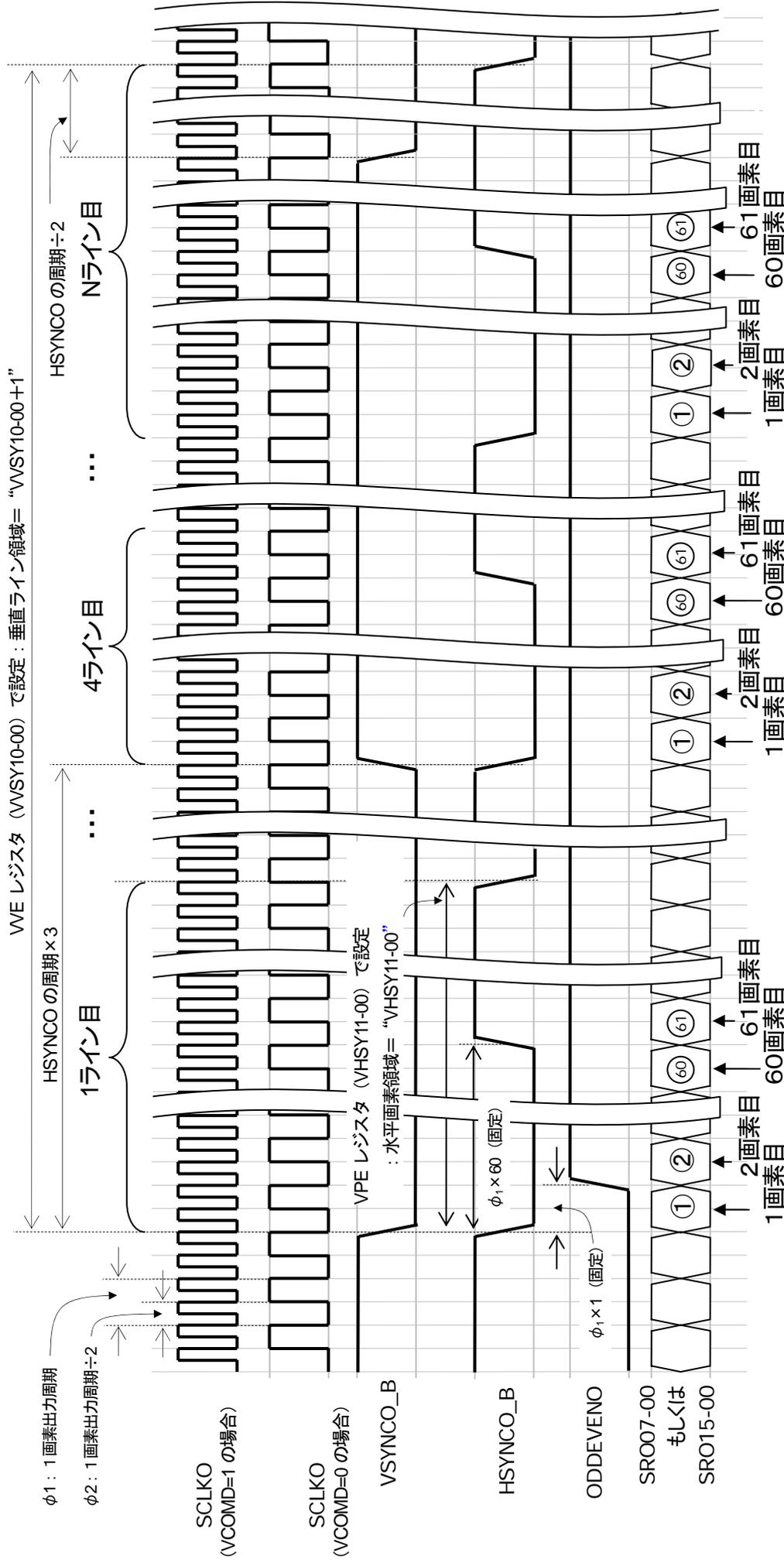


図 10-35 出力画像の設定 (インターレース設定時/NTSC方式/奇数フィールド)

補足: 図 10-35 と 図 10-36 のレジスタ設定値を下記に示す。

- VOHSE=0 (出力画像の水平画素領域の開始時、High レベルから Low レベルに変化します)、VOVSE=0 (出力画像の垂直ライン領域の開始時、High レベルから Low レベルに変化します)、VOOEE=0 (奇数フィールド=High 出力、偶数フィールド=Low 出力)、VOCKE=0 (出力画像データ転送クロック[SCLKO]の立ち下りに同期して、出力画像データを入力します)、OERSE=0or1 (内部同期モード設定の為、Don'tCare)、VRVSE=0 (内部同期モード設定)、VCODM=0or1 (出力画像データ転送クロック[SCLKO]と同じ周期もしくは 2 倍の周期で画素データを入力します)、VOSE=0 (インターレース設定)、VOSR=0or1 (並び替えなしもしくは並び替えあり)、VOLDC=0 (NTSC方式)



図 10-36 出力画像の設定 (インターレース設定時/NTSC方式/偶数フィールド)

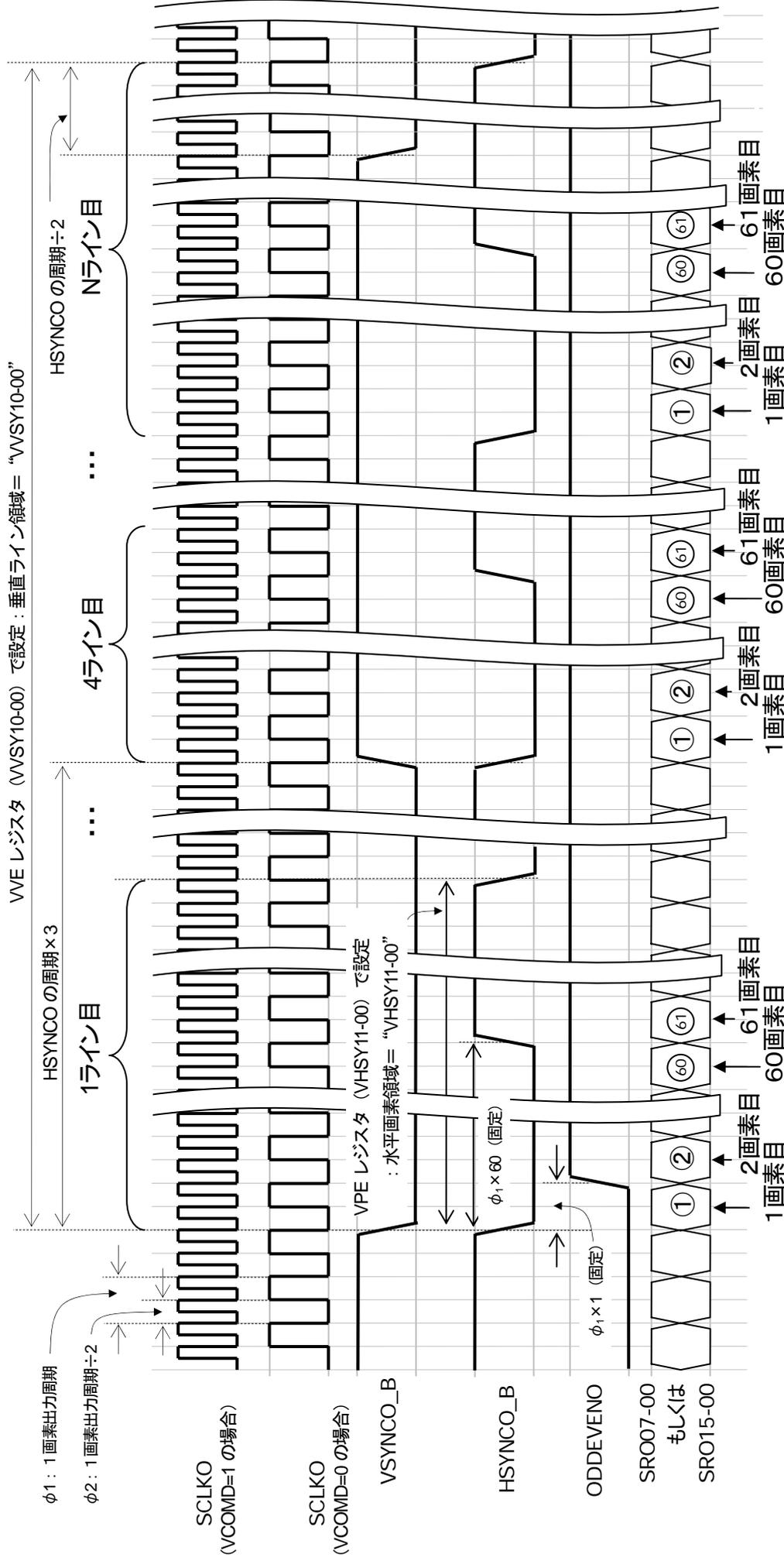


図 10-37 出力画像の設定 (インターレース設定時/PAL方式/奇数フィールド)

補足: 図 10-37と図 10-38 のレジスタ設定値を下記に示す。

- VOHSE=0 (出力画像の水平画素領域の開始時、High レベルから Low レベルに変化します)。
- VOOEE=0 (奇数フィールド=High 出力、EVEN フィールド=Low 出力)。
- VOCKE=0 (出力画像データ転送クロック[SCLKO]の立ち下りに同期して、出力画像データを出力します)。
- OERSE=0or1 (内部同期モード設定の為、Don'tCare)。
- VRVSE=0 (内部同期モード設定)。
- VRSYNC=0 (内部同期モード設定)。
- VCODM=0or1 (出力画像データ転送クロック[SCLKO]と同じ周期もしくは2倍の周期で画素データを出力します)。
- VOSR=0or1 (並び替えなしもしくは並び替えあり、VOLDC=1 (PAL 方式)。



図 10-38 出力画像の設定 (インターレース設定時/PAL方式/偶数フィールド)

10.12 割り込み、ビデオエラー信号発生動作

ビデオキャプチャ I/F は、画像入力及び画像出力の完了時に割り込みを生成します。また、ビデオキャプチャ I/F と外部メモリとのデータ転送状態より、ビデオエラー信号を生成します。これらの割り込み、ビデオエラー信号を使用することにより、効率よく画像認識処理が実行可能です。割り込み、ビデオエラー信号の種類は、以下の通りです。発生タイミングについては、「図 10-20 DMA 動作概要(1/2)」、「図 10-21 DMA 動作概要(2/2)」を参照してください。

割り込み (5ch)

- ・ フレーム取り込み完了 & 外部メモリへのデータ転送完了(外部メモリへのデータ格納も完了) : 入力画像 CH0-3 [4ch]
- ・ フレーム出力完了 : 出力制御 CH [1ch]

ビデオエラー信号 (1ch)

- ・ ビデオエラー信号 : 入力画像 CH0-3、出力制御 CH [1ch]

10.12.1 入力画像 CH の割り込み

各入力画像 CH は、1 つの入力画像(1 フレーム)を DMA により、外部メモリへ格納完了したタイミングで取り込み終了割り込み信号を発生します。「10.12 割り込み、ビデオエラー信号発生動作」を参照してください。この割り込みを使用して、入力画像(1 フレーム)の画像処理を開始することが可能です。

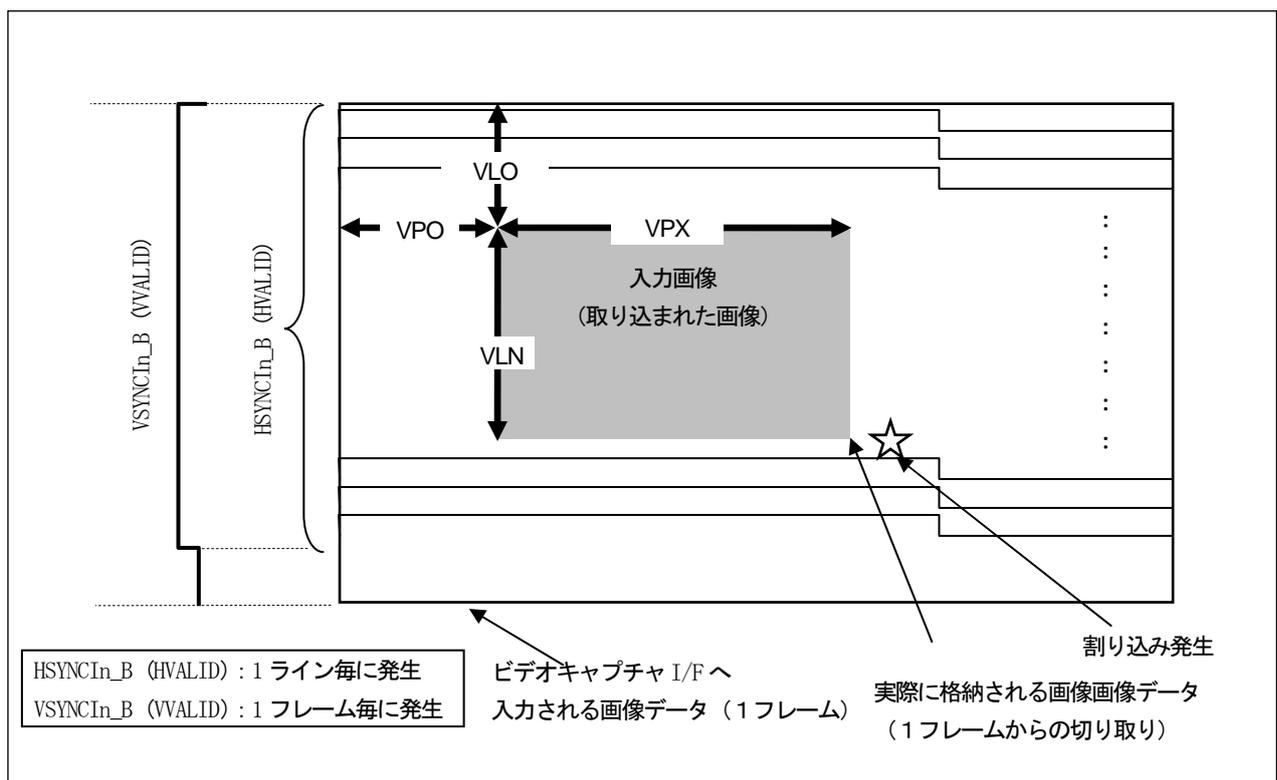


図 10-39 ノンインターレース時の割り込み発生箇所

10.12.2 出力制御 CH の割り込み

出力制御 CH は、1 つの出力画像(1 フレーム)を外部モニタに出力終了したタイミングで出力終了割り込み信号を発生します。この割り込みを使用して、外部メモリに格納している次の出力画像(1 フレーム)の格納アドレスを変更することが可能です。ビデオキャプチャ I/F は、フレーム毎に割り込みを発生します。

10.12.3 ビデオエラー検出&信号発生

入力画像 CH において、一定サイズの画像データが格納されると、外部メモリへ DMA 転送されます。外部メモリへのアクセスは、ビデオキャプチャ I/F のみではありませんので、DMA 転送が待たされる可能性があります。この待ち時間が、長くなり過ぎると、また、外部メモリへ転送していない画像データの領域に、新しい画像データが上書きされる可能性があります。また、出力制御 CH においても、DMA 転送の待ち時間が発生して、外部メモリから出力画像格納 RAM への転送が間に合わない可能性があります。

このように、DMA 転送が間に合わなかった場合、ビデオエラーを検出し、エラーが発生した CH に対して、エラー信号を発生します。ビデオエラーが発生した場合、エラー通知機能により、外部端子への出力が可能です。各入力 CH/出力制御 CH に対して、各々のビデオエラー信号は発生せず、ビデオエラー信号として 1 本の信号としてのみエラー通知機能に渡します。どの CH で発生したかの確認は、ビデオエラーステータスレジスタ(VES)で行います。

10.12.4 ビデオエラー発生時の動作

10.12.4.1 DMA、割り込み機能、制御信号動作

入力画像 CH、出力制御 CH のビデオエラーが発生した場合、そのフレームに対しては、DMA 動作を停止します。ただし、次のフレーム開始を検出すると、再び、動作を開始します。

入力画像 CH、出力制御 CH は、他の入力画像 CH 及び出力制御 CH のビデオエラー発生により影響を受けません。

出力制御 CH にビデオエラーが発生した場合、ビデオエラーの発生したフレームの出力画素データは Low レベルを出力します。次のフレームの開始を検出すると、通常の出力制御 CH の動作を行います。

10.12.4.2 画像データ格納バッファの動作

ビデオエラーが発生した場合も、入力画像 CHn の入力画像データ格納バッファ(リングバッファ)は、次の格納バッファへインクリメントします。ただし、ビデオ入力チャンネル DMA 転送ステータスレジスタ n (VDSn)は、正常に画像が格納された場合のみ更新されます(「10.6.5 ビデオキャプチャ I/F から外部メモリへ格納する入力画像データの転送領域について」を参照)。よって、入力画像データを使用する場合は、割り込み発生後、ビデオ入力チャンネル DMA 転送ステータスレジスタ n (VDSn)を確認して、使用可能なリングバッファの領域を判断してください。

出力制御 CH の DMA チャンネル m の出力画像データ格納バッファは、ビデオエラー発生有無に関わらず、VSA_m レジスタの設定値に従って動作します。

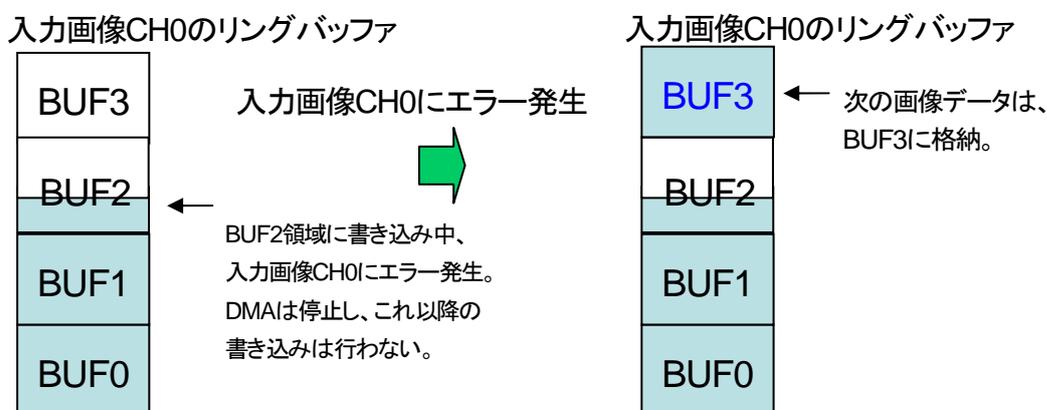


図 10-41は、外部メモリへの入力画像データの書き込みが間に合わず、3フレーム目で2フレーム目で2フレーム目の入力画像データを失ってしまった場合の動作を示します。

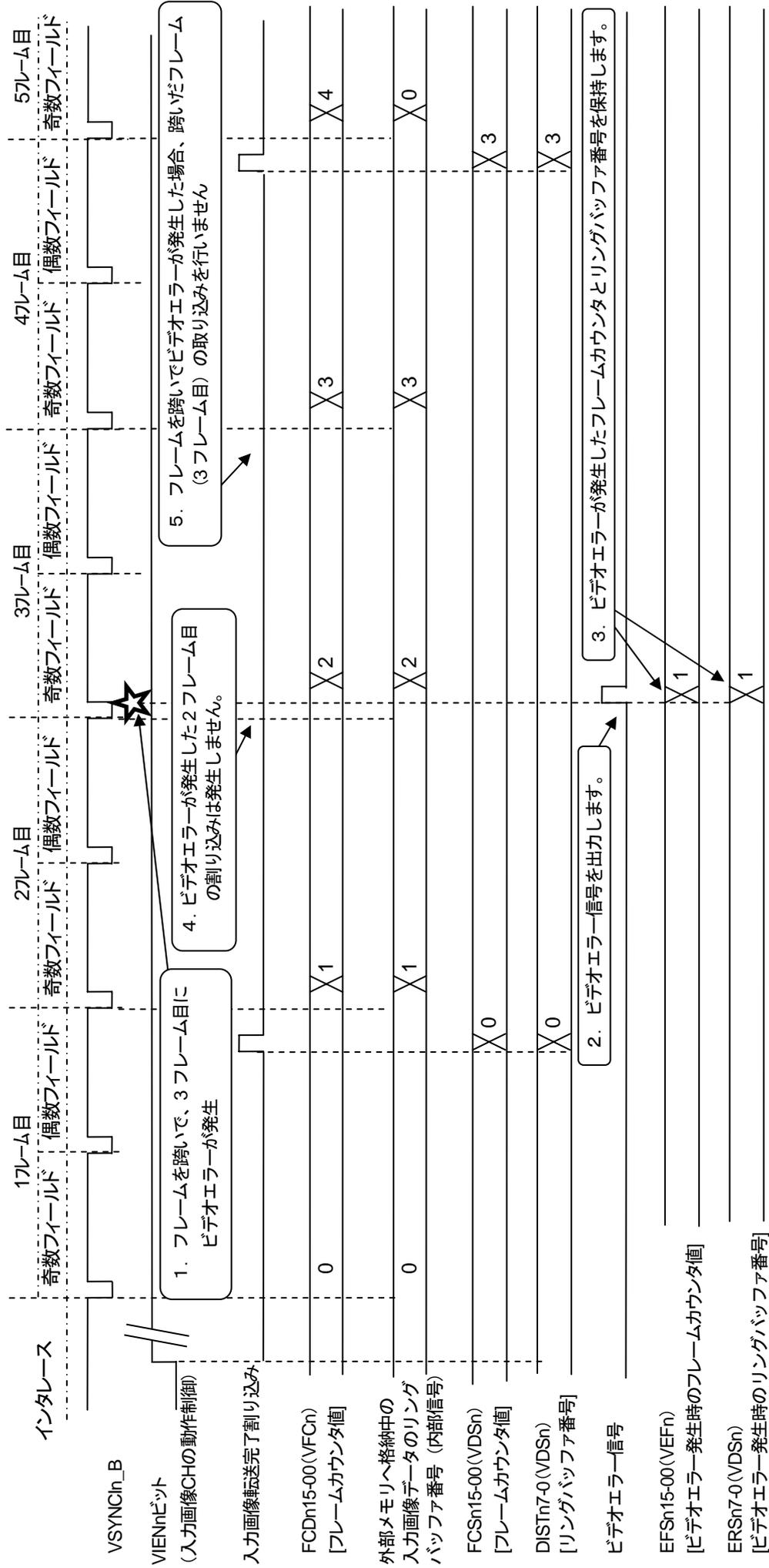


図 10-41 入力画像 CH にビデオエラーが発生した時の動作 2 (インターレース/リングバッファ数=4 / 全フィールドを取り込む設定)

10.14 未決定事項、要検討事項

なし。

第11章. Flash ダウンロード用 CSI 機能

11.1 特徴

本製品は、プログラムキャッシュ、データキャッシュのみ搭載していますので、必ず、外部メモリをアクセスしてソフトウェアを実行します。しかし、外部メモリは、揮発性メモリの為、起動時、必ず、不揮発性メモリからソフトウェアをダウンロード(コピー)する必要があります。不揮発性メモリとして、シリアル Flash メモリを使用する場合、本機能を使用することにより、本製品は、効率よくダウンロードを実行することが可能です。

○動作モード

- ・ マスターモードのみ
- ・ 送信/ 送受信モード選択

○データフォーマット

- ・ 転送データ方向 : MSB ファースト
- ・ データ長 : 8/ 32bit
- ・ 転送レート :

システムクロック周波数 f _{xx}	転送レート (Max)
64MHz	16.0 Mbps
128MHz	32.0 Mbps
66MHz	16.5 Mbps
132MHz	33.0 Mbps

○割り込み

- ・ 転送完了割り込み : 1ch

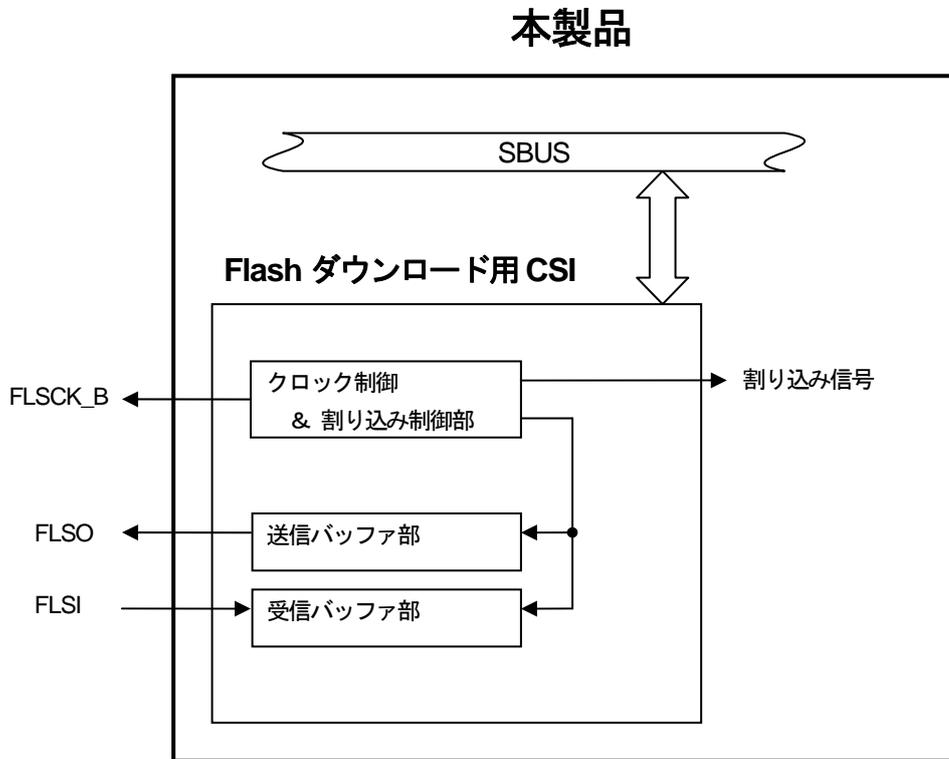
○送信モード時の受信端子バッファ制御

- ・ データ受信端子を内部で固定し、貫通電流発生を防止

○シリアル Flash メモリ(接続を想定しているメモリ IC)

- ・ ST : M25Pxx (例 : M25P16 [16Mbit 品])
- ・ SPANSION : S25FLxx (例 : S25FL016A [16Mbit 品])
- ・ SST : SST25VFxx (例 : SST25VF016B [16Mbit 品])
- ・ ATMEL : AT25FSxx (例 : AT25FS040 [4Mbit 品])
- ・ Winbond : W25Pxx (例 : W25P16 [16Mbit 品])

11.2 ブロック図



11.3 端子/レジスタ

11.3.1 端子/ レジスタ一覧

以下に、Flash ダウンロード用 CSI で使用する端子とレジスタの一覧を示します。

表 11-1 使用端子一覧

端子	入出力	アクティブ レベル	端子説明
FLSCK_B	O	—	クロック出力
FLSI	I	—	データ入力
FLSO	O	—	データ出力

補足：シリアル Flash メモリを制御する場合、上記、3 端子以外にチップセレクト端子が必要になります。本製品では、ポートを搭載していますので、ポートを使用して、シリアル Flash メモリのチップセレクト端子を制御して下さい。

表 11-2 使用レジスタ一覧

レジスタ名	略号	レジスタ説明
Flash ダウンロード用 CSI 動作モード設定レジスタ	flcsim	CSI の動作設定
Flash ダウンロード用 CSI 8bit 送信バッファ	flcsitxb8	8bit の送信データを格納するバッファ
Flash ダウンロード用 CSI 32bit 送信バッファ	flcsitxb32	32bit の送信データを格納するバッファ
Flash ダウンロード用 CSI 32bit 受信バッファ	flcsirxb32	8 or 32bit の受信データを格納するバッファ
Flash ダウンロード用 CSI ステータスレジスタ	flcsistatus	CSI のステータスを表示するレジスタ
Flash ダウンロード用 CSI ステータスクリアレジスタ	flcsistatusc	ステータスレジスタをクリアするレジスタ

11.3.2 レジスタの説明

名称 : Flash ダウンロード用 CSI 動作モード設定レジスタ
 略号 : flcsim
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
				15	14		13		12		11		10		9		8	
				0	0		0		0		0		0		0		0	
			7	6		5		4		3		2		1		0		
			FLCSIEN	FLCSIMODE2		FLCSIMODE1		FLCSIMODE0		0		0		FLCSICK1		FLCSICK0		

ビット	ビット名	説明																																			
7	FLCSIEN	Flash ダウンロード用 CSI の動作許可/禁止を設定します。 0 : 動作禁止 1 : 動作許可																																			
6-4	FLCSIMODE2-0	Flash ダウンロード用 CSI の動作モードを設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>FLCSIMODE2</th> <th>FLCSIMODE1</th> <th>FLCSIMODE0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> <td>送受信モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>送信モード</td> </tr> <tr> <td colspan="3" style="text-align: center;">上記以外</td> <td>Flash ダウンロード用 CSI の動作許可時、設定禁止</td> </tr> </tbody> </table> <p>注意 : 動作モードの設定変更は、Flash ダウンロード用 CSI が動作禁止時、もしくは動作禁止から動作許可および動作許可から動作禁止への変更時に行ってください。</p>	FLCSIMODE2	FLCSIMODE1	FLCSIMODE0	動作モード	0	0	1	送受信モード	1	0	0	送信モード	上記以外			Flash ダウンロード用 CSI の動作許可時、設定禁止																			
FLCSIMODE2	FLCSIMODE1	FLCSIMODE0	動作モード																																		
0	0	1	送受信モード																																		
1	0	0	送信モード																																		
上記以外			Flash ダウンロード用 CSI の動作許可時、設定禁止																																		
1-0	FLCSICK1-0	Flash ダウンロード用 CSI の転送クロックを設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>FLCSICK1</th> <th>FLCSICK0</th> <th>転送クロック</th> <th>fx=132MHz 動作時</th> <th>fx=128MHz 動作時</th> <th>fx=66MHz 動作時</th> <th>fx=64MHz 動作時</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>fx / 4</td> <td>33MHz</td> <td>32MHz</td> <td>16.5MHz</td> <td>16MHz</td> </tr> <tr> <td>0</td> <td>1</td> <td>fx / 16</td> <td>8.25MHz</td> <td>8MHz</td> <td>4.12MHz</td> <td>4MHz</td> </tr> <tr> <td>1</td> <td>0</td> <td>fx / 64</td> <td>2.06MHz</td> <td>2MHz</td> <td>1.03MHz</td> <td>1MHz</td> </tr> <tr> <td>1</td> <td>1</td> <td colspan="5" style="text-align: center;">設定禁止</td> </tr> </tbody> </table> <p>注意 : 動作モードの設定変更は、Flash ダウンロード用 CSI が動作禁止時、もしくは動作禁止から動作許可および動作許可から動作禁止への変更時に行ってください。</p>	FLCSICK1	FLCSICK0	転送クロック	fx=132MHz 動作時	fx=128MHz 動作時	fx=66MHz 動作時	fx=64MHz 動作時	0	0	fx / 4	33MHz	32MHz	16.5MHz	16MHz	0	1	fx / 16	8.25MHz	8MHz	4.12MHz	4MHz	1	0	fx / 64	2.06MHz	2MHz	1.03MHz	1MHz	1	1	設定禁止				
FLCSICK1	FLCSICK0	転送クロック	fx=132MHz 動作時	fx=128MHz 動作時	fx=66MHz 動作時	fx=64MHz 動作時																															
0	0	fx / 4	33MHz	32MHz	16.5MHz	16MHz																															
0	1	fx / 16	8.25MHz	8MHz	4.12MHz	4MHz																															
1	0	fx / 64	2.06MHz	2MHz	1.03MHz	1MHz																															
1	1	設定禁止																																			

名称 : Flash ダウンロード用 CSI 8bit 送信バッファ
 略号 : flcsitxb8
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、ライトオンリー
 ホストからのアクセス : 可
 コアからのアクセス : 可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	TXB807 - 800							

ビット	ビット名	説明
7-0	TXB807-800	Flash ダウンロード用 CSI の 8bit 送信用データを設定します。FLCSIEN=1 の時、このレジスタにデータをライトすると、送受信動作を開始します。ただし、FLCSIMODE=1 の時は、送信動作のみ行います。また、ライトした時点での CSI 動作状態により動作が異なります。 <u>転送動作を行っていない場合(転送予約なし)</u> 設定データは、直ちに、シリアル転送用の内部レジスタに転送され、転送動作を開始します。 <u>転送動作を行っている場合(転送予約あり)</u> 設定データは、転送動作完了後、シリアル転送用の内部レジスタに転送され、転送動作を開始します(連続転送)。このように、1 データ分の転送動作を予約する機能を持ちます。 注意 : 転送予約を行う場合、送信バッファへの 1 回目ライトと 2 回目ライトは、連続して行う可能性があります。その場合、2 回目ライトは、RUN=1 となっていることを確かめて、行ってください(送信バッファからシリアル転送用の内部レジスタへの転送に若干時間が必要な為)。また、1 データの転送予約後(2 回目のライト後)、転送完了割り込みが発生するまで、flcsitxb8、flcsitxb32 へのライトはおこなわないでください。

名称 : Flash ダウンロード用 CSI 32bit 用送信バッファ
 略号 : flcsitxb32
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、ライトオンリー
 ホストからのアクセス : 可
 コアからのアクセス : 可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXB3231 - 3224								TXB3223 - 3216							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXB3215 - 3208								TXB3207 - 3200							

ビット	ビット名	説明
31-0	TXB3231 -3200	Flash ダウンロード用 CSI の 32bit 送信用データを設定します。データ長が 32bit 以外は、flcsitxb8 と同じ機能です。flcsitxb8 を参照してください。

名称 : Flash ダウンロード用 CSI 32bit 受信バッファ
 略号 : flcsirxb32
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リードオンリー
 ホストからのアクセス : 可
 コアからのアクセス : 可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXB3231 - 3224								RXB3223 - 3216							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXB3215 - 3208								RXB3207 - 3200							

ビット	ビット名	説明
31-0	RXB3231 -3200	Flash ダウンロード用 CSI の 32bit 受信データが格納されます。 8bit 送受信動作時は、下位 8bit (RXB3207-RXB3200)に受信データが格納されます。上位 24bit (RXB3231-3208)は、不定です。

名称 : Flash ダウンロード用 CSI ステータスレジスタ
 略号 : flcsistatus
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リードオンリー
 ホストからのアクセス : 可
 コアからのアクセス : 可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8								
0	0	0	0	0	0	0	0								
7	6	5	4	3	2	1	0								
0	0	0	0	0	0	RUN	RXBOVF								

ビット	ビット名	説明
1	RUN	転送動作の状態を示すステータスフラグです。本ビットを参照することで、動作状態を確認することが可能です。転送予約による連続転送中は、常に転送動作中の状態を示します。 0 : 転送停止中 1 : 転送動作中 補足 : 連続転送において、転送開始直後の転送予約を行うときにも、本ビットを参照し、送信バッファライトが可能なタイミングを判断します(1 回目の送信バッファライト後、2 回目の送信バッファライトが可能なタイミングを判断する)。詳細は、「11.3.2 レジスタの説明」の flcsitxb8 レジスタの説明、および、「11.4.4 送受信動作」を参照してください。なお、転送完了の判断は、本ビットではなく、割り込み発生により行ってください。
0	RXBOVF	受信バッファのオーバーフロー発生有無を示します。受信データをリードする前に、次のデータが格納された場合、オーバーフロー発生と判断します。ただし、FLCSIMODE=1 の場合は、変化しません。 0 : オーバーフロー発生なし 1 : オーバーフロー発生あり

名称 : Flash ダウンロード用 CSI ステータスクリアレジスタ

略号 : flcsistatusc

初期値 : 0000_0000H (固定値)

アクセス : 32bit アクセス、リード/ライト可能

ホストからのアクセス : 可

コアからのアクセス : 可

【 flcsistatusc(リード) 】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【 flcsistatusc(ライト) 】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8								
0	0	0	0	0	0	0	0								
7	6	5	4	3	2	1	0								
0	0	0	0	0	0	0	0	clear RXBOVF							

ビット	ビット名	説明
0	clear RXBOVF	受信バッファのオーバーフローフラグのクリア制御を行います。 0 : RXBOVF 変更なし 1 : RXBOVF クリア (0)

11.4 動作説明

11.4.1 送受信動作の起動方法

Flash ダウンロード用 CSI を動作許可に設定後、送信バッファ(flcsitxb8, flcsitxb32)のライトにより、転送動作を開始します。flcsitxb8 のライトにより起動した場合、設定された転送クロックで 8bit データを転送します。また、flcsitxb32 のライトにより起動した場合、32bit データを転送します。

11.4.2 送信モード時のデータ入力端子固定 (FLCSIMODE ビットによる制御)

シリアル Flash IC のデータ出力端子(本製品の FLSI 端子 : データ入力と接続)は、有効データ出力時以外、Hi-z 状態です。そのため、本製品では、送信モード(FLCSIMODE=1)時、データ入力端子(FLSI 端子)を内部で固定し、Hi-z 状態においても、貫通電流が発生するのを防止します。なお、送信モード時、受信バッファに格納されるデータは、不定です。

動作モード	送信動作	受信動作	受信バッファ (flrxb32)	受信バッファステータスビット (RXBOVF)	送受信動作の起動方法
送受信モード (FLCSIMODE = 0)	可能	可能	受信データ格納	動作	flcsitxb8 / flcsitxb32 レジスタへのライト
送信モード (FLCSIMODE = 1)	〃	不可	データ不定	0 固定	〃

11.4.3 通信フォーマット

Flash ダウンロード用 CSI の通信フォーマットを以下に示します。FLSCK_B の立ち下りタイミングで、FLSO からデータを送信し、立ち上がりタイミングで FLSI のデータをキャプチャします。転送完了割り込みは、各転送動作(8/32 ビット転送)最終クロックの立ち上がりタイミングで発生します。

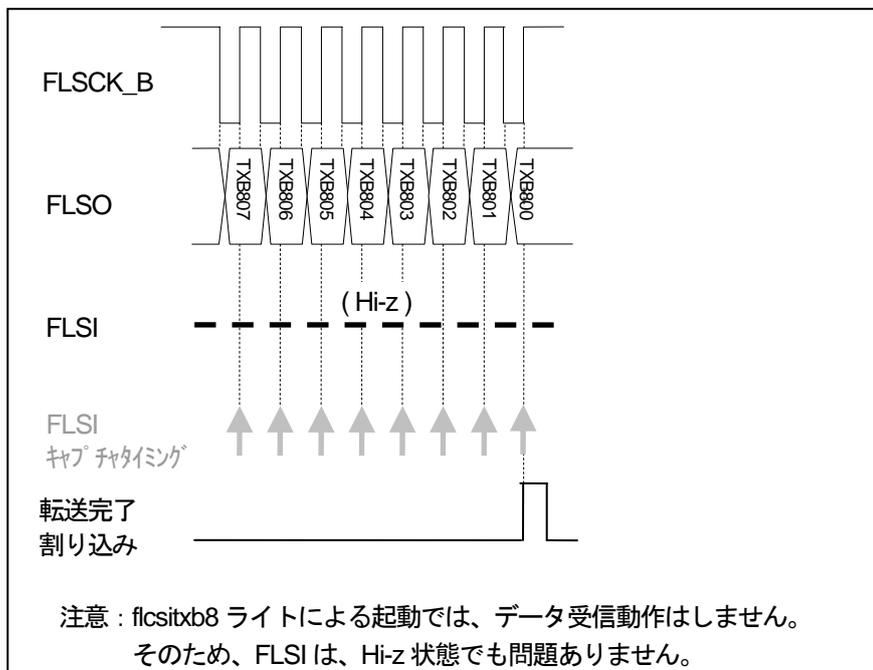


図 11-1 8bit 送信時の通信フォーマット(FLCSIMODE=1 設定時の flcsitxb8 ライトによる送信動作)

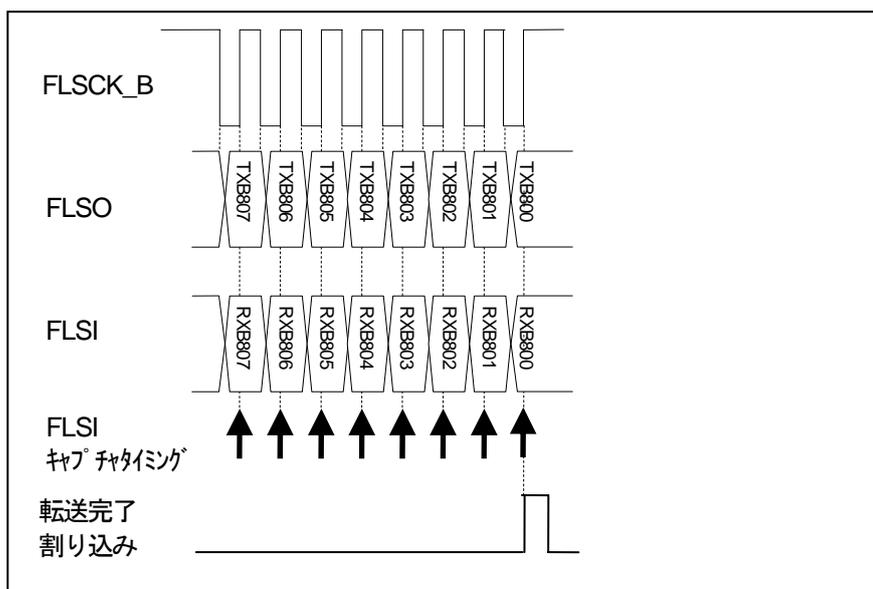


図 11-2 8bit 送受信時の通信フォーマット(FLCSIMODE=0 設定時の flcsitxb8 ライトによる送受信動作)

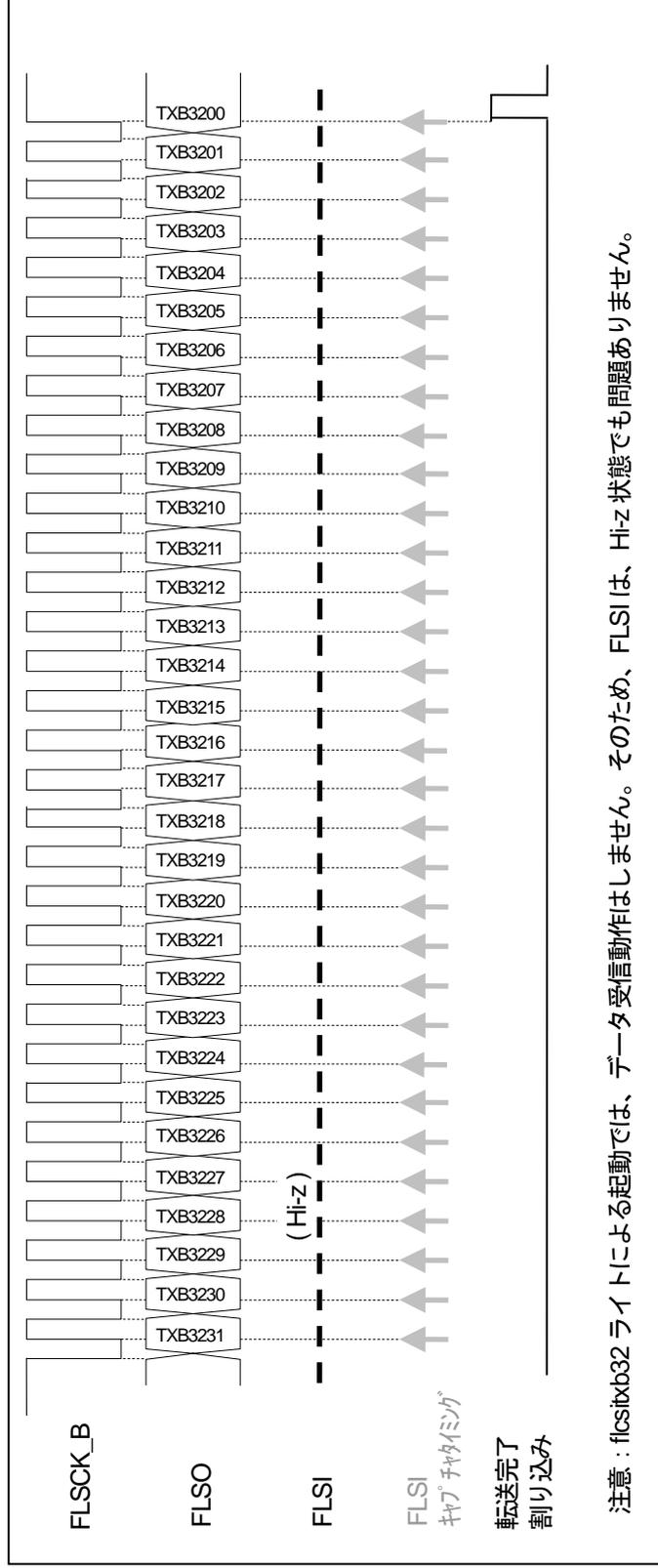
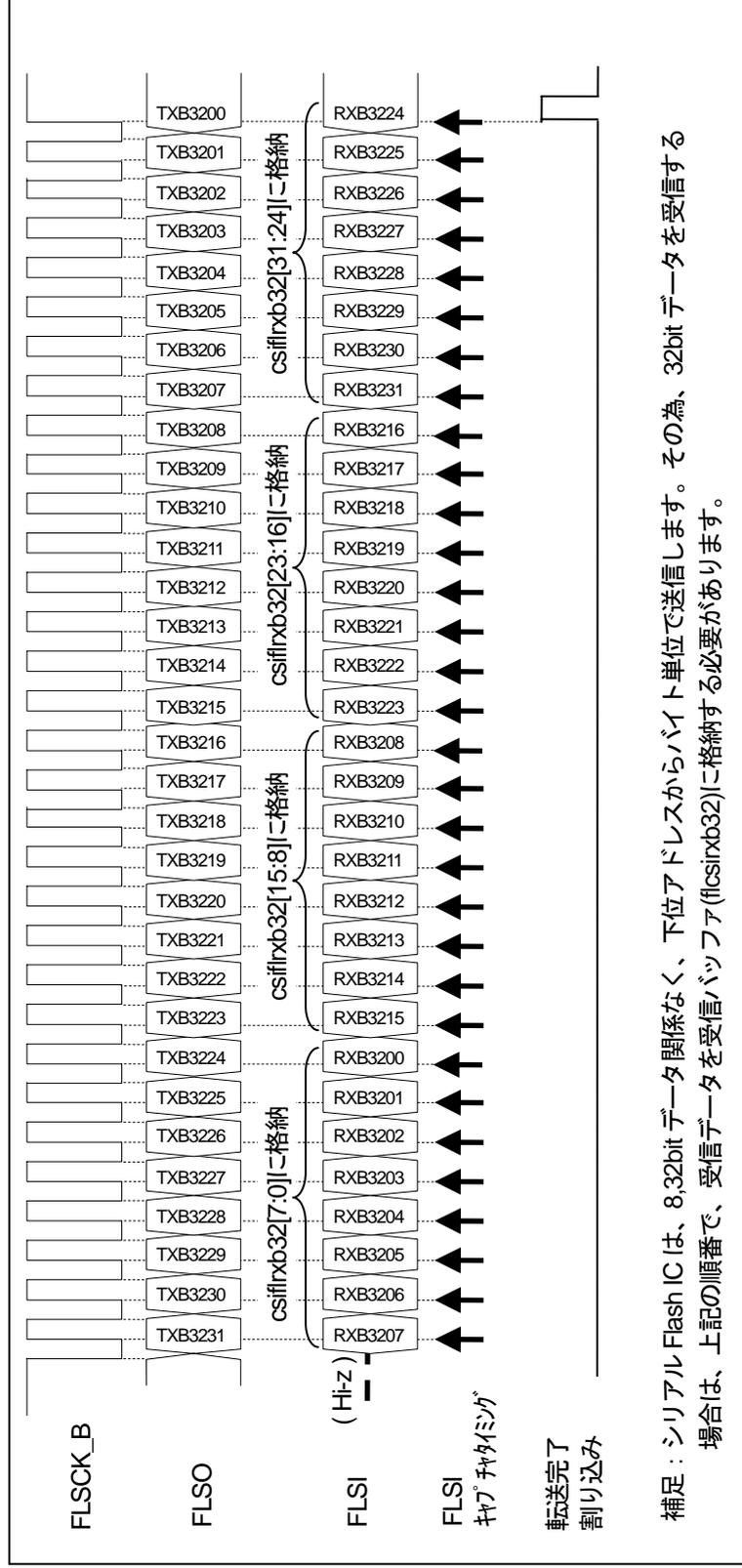


図 11-3 32bit 送信時の通信フォーマット(FLCSIMODE=1 設定時の flcsitxb32 ライトによる送信動作)

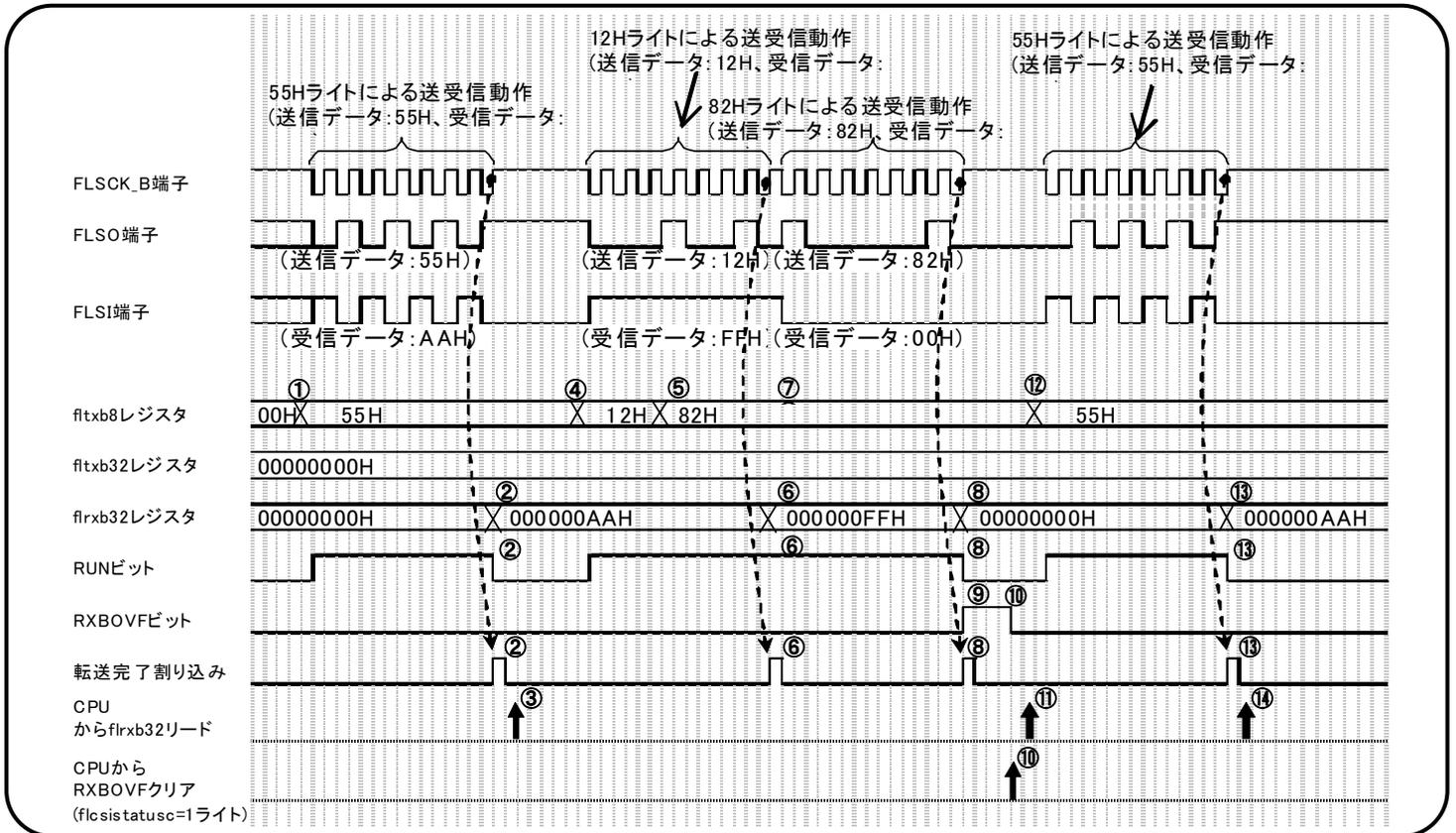


補足：シリアル Flash IC は、8,32bit データ関係なく、下位アドレスからバイト単位で送信します。その為、32bit データを受信する場合は、上記の順番で、受信データを受信バッファ(`flcsirxb32`)に格納する必要があります。

図 11-4 32bit 送受信時の通信フォーマット(FLCSIMODE=0 設定時の `flcsitxb32` ライトによる送受信動作)

11.4.4 送受信動作

以下に、Flash ダウンロード用 CSI の 8bit 送受信動作を示します。32bit 送受信も動作は同様の為、省略します。



転送予約なし動作

- ①送信バッファへ送信データをライトすることにより、送受信動作を開始します。
- ②送受信動作を完了すると、受信データは、受信バッファに格納されます。
また同時に、割り込みが発生し、RUN ビットがクリアされます。
- ③受信バッファのリードを行います。

転送予約あり動作

- ④送信バッファへ送信データ(1st データ)をライトすることにより、送受信動作を開始します。
- ⑤連続して送信バッファに送信データ(2nd データ)をライトしますが、この時、RUN=1であることを確認してライトします。
また、前データの送受信動作が完了していませんので、ライトしたデータは、送信バッファに保持されます(転送予約)。
- ⑥送受信動作を完了すると、受信データは、受信バッファに格納されます。
また同時に、割り込みが発生します。転送予約がある為、RUN ビットはセット状態を維持します。
(このとき、さらに送信データを予約したい場合は、送信バッファへ送信データ(3rd データ)をライトします。)
- ⑦保持されたデータを送信データ(2nd データ)とする送受信動作を行います。
- ⑧送受信動作を完了すると、受信データは、受信バッファに格納されます。
また同時に、割り込みが発生し、RUN ビットがクリアされます。
- ⑨受信バッファのデータがリードされる前に、次のデータが格納された為、オーバーフローフラグがセットされます。
- ⑩クリアレジスタを使用して、オーバーフローフラグをクリアします。

オーバーフローフラグのクリア後の動作

①受信バッファのリードを行います。

(オーバーフローフラグのクリア後、再び送受信動作を行う場合は受信バッファのリード^注を行ってください。

受信バッファのリードを行わないと次の送受信動作でオーバーフローフラグがセットされます。)

注：ここでリードした受信データは保証されません。

②送信バッファへ送信データをライトすることにより、送受信動作を開始します。

③送受信動作を完了すると、受信データは、受信バッファに格納されます。

また同時に、割り込みが発生し、RUN ビットがクリアされます。

④受信バッファのリードを行います。

11.4.5 リセット解除時、動作禁止時の端子、レジスタ状態

以下に、リセット、動作禁止(FLCSIEN=1→0)時の端子状態、およびレジスタ状態を示します。

補足：

動作禁止(FLCSIEN=1→0)とした場合、転送途中であっても直ちに転送を中止し、「表 11-3 端子、レジスタ状態」の状態となります。再度、動作許可(FLCSIEN=0→1)とした場合、flcsitxtb8,32 のライトにより転送動作を開始します(前回、転送を中止した状態からの再開ではありません)。

表 11-3 端子、レジスタ状態

項目	リセット解除時 (ハード/ソフトウェアリセット)	動作禁止 (FLCSIEN=1→0)
FLSCK_B (端子)	"1"	←
FLSO (端子)	"0"	←
flcsirxb32 (レジスタ)	0000_0000H	←
flcsistatus (レジスタ)	0000_0000H	←

11.4.6 転送予約(連続転送)時の注意事項

転送予約を行う場合、RUN ビットを参照して、予約可能かどうかを判断します。ただし、転送完了直前に、転送予約を行った場合、転送予約が行われない可能性があります。よって、転送予約の為の送信バッファライトは、最終データの FLSCK_B 立ち下がり前までに完了させてください(例：8bit 送信時は、8 回目の FLSCK_B 立ち下がり前まで)。

11.4.7 シリアル Flash IC との接続例

シリアル Flash IC との接続例を下図に示します。

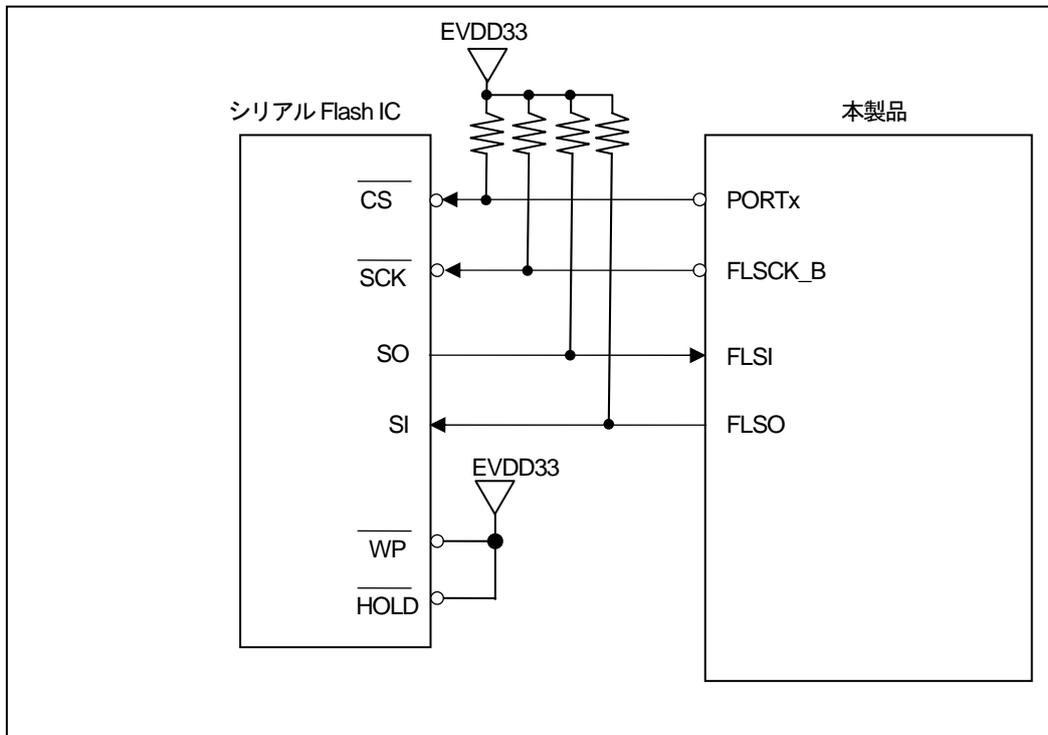


図 11-5 シリアル Flash IC との接続例

11.4.8 Flash ダウンロード実行例

以下に、「図 11-5 シリアル Flash IC との接続例」で、Flash ダウンロード用 CSI を使用した Flash ダウンロードの転送フローを示します。下記例では、外部メモリに Flash ダウンロード用 CSI 制御ソフトを格納する方式にて説明を行います。

前提) シリアル Flash IC : 本製品が実行する「画像処理ソフトウェア」を格納

SV マイコン : 本製品が実行する「Flash ダウンロード用ソフトウェア」を格納(Flash ダウンロード用 CSI の制御ソフト)

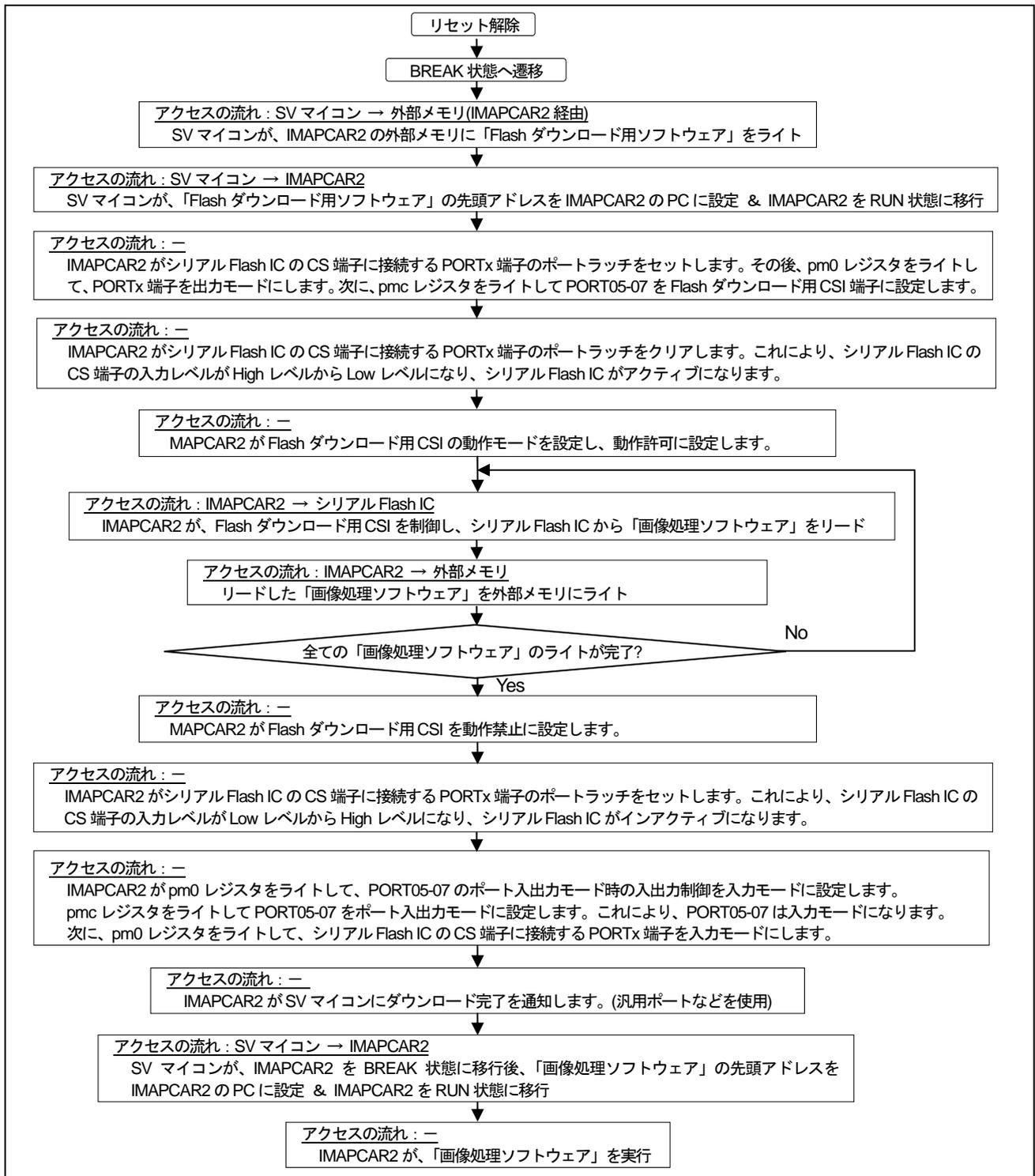


図 11-6 Flash ダウンロードのフローチャート

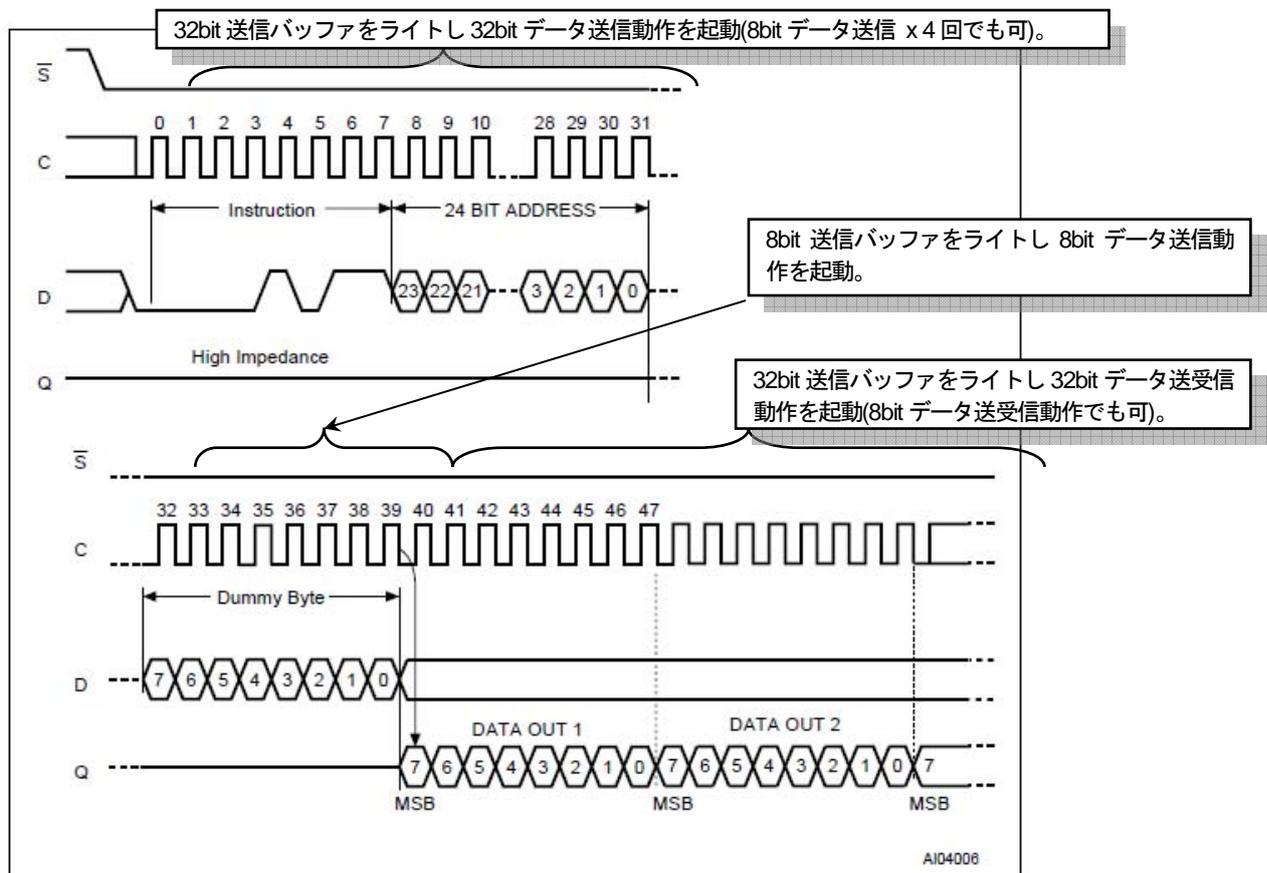
11.4.9 8/32bit 送信バッファの使用例

シリアル Flash IC の通信プロトコルは、多くが以下の形をとります(コマンドによっては、コマンドデータ送信で完了するものもあります)。

- ①本製品からシリアル Flash IC へコマンドデータ送信(1~5 バイト程度)
 - 本製品の送信データ : 重要 (コマンド、アドレスなど)
 - 本製品の受信データ : 不要 (シリアル Flash IC のデータ出力端子は Hi-z 状態)
- ②本製品がシリアル Flash IC から有効データ受信(1 ~ ∞ バイト)
 - 本製品の送信データ : 不要
 - 本製品の受信データ : 重要 (リードデータ、ステータスなど)

以下に、ST 社製の M25P16 の通信プロトコルを例にとり、8/32bit 送信バッファによる起動例を示します。8bit 送信バッファのみによる送受信動作も可能ですが、32bit 送信バッファを使用することにより、受信データのビット長考慮、割り込み発生回数の低減が可能となり、より効率よく送受信動作が可能です。ただし、FLCSIMODE=0 (送受信動作)の設定とします。

(S_B : チップセレクト(入力)、C : クロック(入力)、D : データ入力(入力)、Q : データ出力(出力))

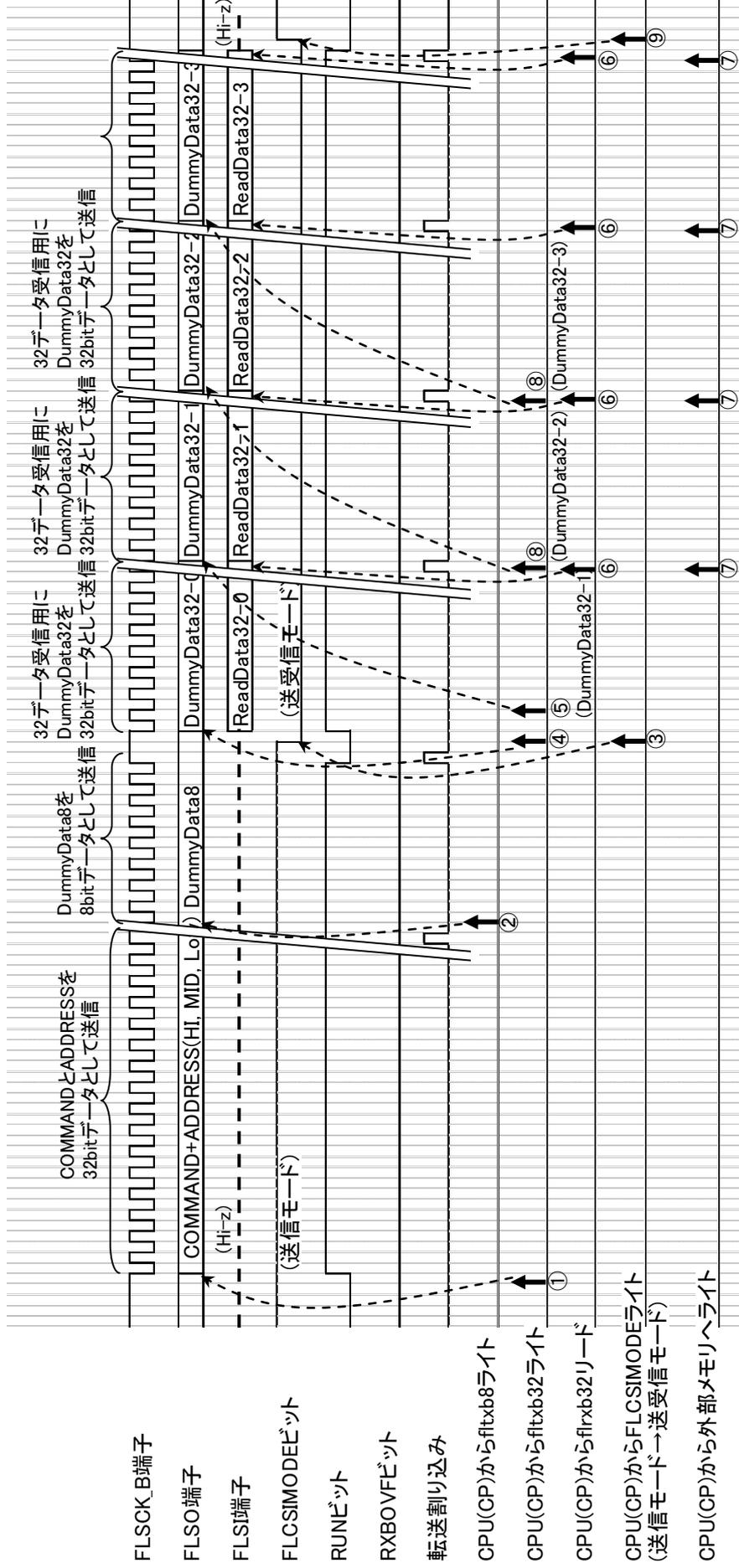


1. Address bits A23 to A21 are Don't Care.

図 11-7 ST 社製 シリアル Flash IC(M25P16)の通信プロトコル (連続リード動作実行時)

11.4.10 シリアル Flash IC 動作制御例

以下に、シリアル Flash IC の制御例(シリアル Flash IC からダウンロード用データをリードし、外部メモリにライト)を示す。



動作説明

- ①32bit データとして、コマンド+アドレスを送信。8bit データとして、4回に分けて送信してもよい。本例では、割り込み回数を少なくする為、32bit で送信。
- ②シリアルFlash IC の仕様で、8bit 分のデータ送信が必要な為、送信。
- ③動作モードを送信モードから送受信モードに変更。送信モードにしていたのは、シリアルFlash IC の出力端子が Hi-z の為。
- ④ReadData32-0 受信の為 DummyData32-0 を送信。
- ⑤ReadData32-0 受信後、隙間なく ReadData32-1 を受信する為に、RUN=1 を確認後、DummyData32-1 をライト(DummyData32-1 送信予約)。
- ⑥割り込み発生後、シリアルFlash IC から受信したデータを受信バッファからリード
- ⑦受信バッファのリードデータを、外部メモリにライト
- ⑧隙間なく受信する為、DummyData32-x をライト(DummyData32-x 送信予約)
*ダウンロード処理は、⑥~⑧を必要なデータサイズ分繰り返し返します。
- ⑨動作モードを送受信モードから送信モードに変更。シリアルFlash IC の出力端子が Hi-z の為。

第12章. エラー通知機能

12.1 特徴

本製品は、内蔵メモリのエラー、外部メモリのエラー、ビデオキャプチャのエラーを内蔵レジスタに保持します。このレジスタを SV マイコンがホスト I/F を介してリードする事により、エラーの種類を判定することが可能です。また、エラー発生を外部端子 (ERROROUT) に出力することが可能な為、外部端子をモニタすることにより、エラー発生の有無を確認することができます。さらに、外部出力信号は、各エラー(内蔵メモリのエラー 7 要因、外部メモリのエラー 6 要因、ビデオキャプチャのエラー 1 要因)に対して、出力する/しないの設定が可能な為、処理に必要なエラー要因のみを出力することができます。

なお、本製品ではブレーク要求機能を有効とした場合、外部端子 (ERROROUT) の Hi レベル出力時に XC コアに対して、ブレーク要求を行います。

○エラー要因

- 内蔵メモリのエラー検出 : 7 要因
 - 命令キャッシュの ECC-2bit エラー
 - データキャッシュ (スタックメモリを含む) の ECC-2bit エラー
 - PE アクセス時の IMEM のパリティエラー
 - PU アクセス時の IMEM のパリティエラー
 - ビデオキャプチャメモリのパリティエラー
 - 共有メモリの ECC-2bit エラー
 - IMEM に対する PE のアクセスエラー
- 外部メモリのエラー検出 : 6 要因
 - ECC-2bit エラー
 - ECC-1bit エラー
 - プロテクト領域に対するアクセスエラー
 - ECC/非 ECC 領域を跨ぐアクセスに対するアクセスエラー
 - 実装メモリ領域外に対するアクセスエラー
 - ライトアクセス検出領域に対するアクセスエラー
- ビデオキャプチャのエラー検出 : 1 要因
 - ビデオエラー

○エラー通知制御

- 各エラー要因に対するステータスビット
- 各エラー要因に対するマスク機能
- エラー信号出力機能

○ブレーク要求機能

- XC コアに対するブレーク要求機能

12.2 ブロック図

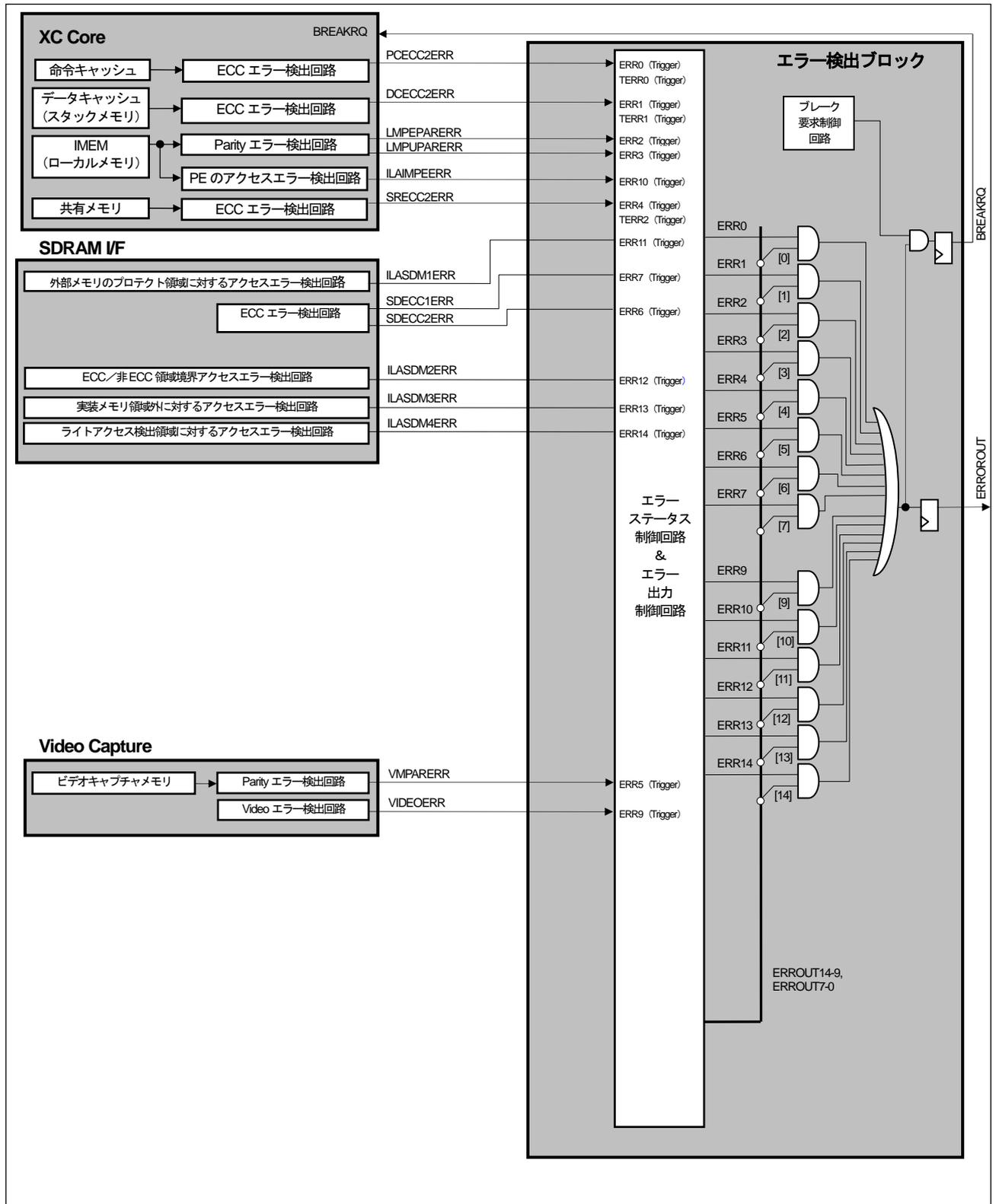


図 12-1 エラー通知機能のブロック図

12.3 端子/レジスタ

12.3.1 使用端子とレジスタの一覧

表 12-1 使用端子一覧

端子	兼用端子	入出力	端子説明
ERROROUT	—	○	エラー検出信号出力

表 12-2 使用レジスタ一覧

レジスタ名	略号	レジスタ説明	備考
エラーステータスレジスタ	errst	エラー要因の判定	—
エラーステータス・クリア・レジスタ	errstc	エラーステータスレジスタのクリア制御	—
エラー出力制御レジスタ	errout	ERROROUT 端子出力への許可/禁止の設定	—
ブレーク要求制御レジスタ	brkrqctrl	XC コアに対するブレーク要求の設定	—

12.3.2 レジスタ説明

12.3.2.1 エラーステータスレジスタ (errst)

本レジスタをリードする事により、エラー発生有無が確認できます。また、各エラー要因に対してステータスビットを持っている為、どの要因にエラーが発生したかの判定が可能です。

名称 : エラーステータスレジスタ
 略号 : errst
 初期値 : 0000_7EFFH
 アクセス : 32bit アクセス、リードオンリー
 ホストからのアクセス : 可
 コアからのアクセス : 可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	ERR14	ERR13	ERR12	ERR11	ERR10	ERR9	0	ERR7	ERR6	ERR5	ERR4	ERR3	ERR2	ERR1	ERR0

ビット	ビット名	説明
0	ERR0	命令キャッシュ領域の RAM エラー (ECC-2bit エラー) 発生有無を表示します。 0: エラー発生なし、 1: エラー発生あり
1	ERR1	データキャッシュ領域 (スタックメモリ領域を含む) の RAM エラー (ECC-2bit エラー) 発生有無を表示します。 0: エラー発生なし、 1: エラー発生あり
2	ERR2	PE アクセス時の IMEM 領域に対する RAM エラー (パリティエラー) 発生有無を表示します。 0: エラー発生なし、 1: エラー発生あり
3	ERR3	PU アクセス時の IMEM 領域に対する RAM エラー (パリティエラー) 発生有無を表示します。 0: エラー発生なし、 1: エラー発生あり
4	ERR4	共有メモリ領域の RAM エラー (ECC-2bit エラー) 発生有無を表示します。 0: エラー発生なし、 1: エラー発生あり
5	ERR5	ビデオキャプチャメモリ領域の RAM エラー (パリティエラー) 発生有無を表示します。 0: エラー発生なし、 1: エラー発生あり
6	ERR6	外部メモリ領域の RAM エラー (ECC-2bit エラー) 発生有無を表示します。 0: エラー発生なし、 1: エラー発生あり
7	ERR7	外部メモリ領域の RAM エラー (ECC-1bit エラー) 発生有無を表示します。 0: エラー発生なし、 1: エラー発生あり
9	ERR9	ビデオキャプチャのビデオエラー発生有無を表示します。 0: エラー発生なし、 1: エラー発生あり
10	ERR10	IMEM 領域に対する PE のアクセスエラー発生有無を表示します。 0: エラー発生なし、 1: エラー発生あり
11	ERR11	外部メモリのプロテクト領域に対するアクセスエラー発生有無を示します。 0: エラー発生なし、 1: エラー発生あり
12	ERR12	外部メモリの ECC/非 ECC 領域を跨ぐアクセスに対するアクセスエラー発生有無を表示します。 0: エラー発生なし、 1: エラー発生あり
13	ERR13	外部メモリの実装領域外へのアクセス発生有無を表示します。 0: エラー発生なし、 1: エラー発生あり
14	ERR14	外部メモリのライトアクセスエラー検出領域に対するライトアクセス発生有無を表示します。 0: エラー発生なし、 1: エラー発生あり

12.3.2.2 エラーステータス・クリア・レジスタ (errstc)

本レジスタの 0bit 目に"1"をライトすることにより、エラーステータスレジスタをクリアすることができます。

名称 : エラーステータス・クリア・レジスタ
 略号 : errstc
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

【errstc(リード時)】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【errstc (ライト時)】

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	clear ERR

(ライト時)

ビット	ビット名	説明
0	clear ERR	エラーステータスレジスタのクリア制御 0 : エラーステータスレジスタを変更しません 1 : エラーステータスレジスタをクリア (0000_0000H) します

12.3.2.3 エラー出力制御レジスタ (errout)

各要因のエラーが発生した場合、要因毎にエラー出力端子 (ERROROUT) に反映する/しないの設定が可能です。

補足 : 全て"0 : 出力しない"に設定しても、各エラーが発生すると、エラーステータスレジスタ(errst)の対応するビットは変化します。(エラー出力端子(ERROROUT)は変化せず、Low レベル出力のままです。)

名称 : エラー出力制御レジスタ
 略号 : errout
 初期値 : 0000_7EFFH
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	ERR OUT14	ERR OUT13	ERR OUT12	ERR OUT11	ERR OUT10	ERR OUT9	0	ERR OUT 7	ERR OUT 6	ERR OUT 5	ERR OUT 4	ERR OUT 3	ERR OUT 2	ERR OUT 1	ERR OUT 0

ビット	ビット名	説明
0	ERROUT0	ERR0(errst の bit0)の値を端子に出力する/しないの設定をします。 0 : 出力しない 1 : 出力する
1	ERROUT1	ERR1(errst の bit1)の値を端子に出力する/しないの設定をします。 0 : 出力しない 1 : 出力する
2	ERROUT2	ERR2(errst の bit2)の値を端子に出力する/しないの設定をします。 0 : 出力しない 1 : 出力する
3	ERROUT3	ERR3(errst の bit3)の値を端子に出力する/しないの設定をします。 0 : 出力しない 1 : 出力する
4	ERROUT4	ERR4(errst の bit4)の値を端子に出力する/しないの設定をします。 0 : 出力しない 1 : 出力する
5	ERROUT5	ERR5(errst の bit5)の値を端子に出力する/しないの設定をします。 0 : 出力しない 1 : 出力する
6	ERROUT6	ERR6(errst の bit6)の値を端子に出力する/しないの設定をします。 0 : 出力しない 1 : 出力する
7	ERROUT7	ERR7(errst の bit7)の値を端子に出力する/しないの設定をします。 0 : 出力しない 1 : 出力する
9	ERROUT9	ERR9(errst の bit9)の値を端子に出力する/しないの設定をします。 0 : 出力しない 1 : 出力する
10	ERROUT10	ERR10(errst の bit10)の値を端子に出力する/しないの設定をします。 0 : 出力しない 1 : 出力する
11	ERROUT11	ERR11(errst の bit11)の値を端子に出力する/しないの設定をします。 0 : 出力しない 1 : 出力する
12	ERROUT12	ERR12(errst の bit12)の値を端子に出力する/しないの設定をします。 0 : 出力しない 1 : 出力する
13	ERROUT13	ERR13(errst の bit13)の値を端子に出力する/しないの設定をします。 0 : 出力しない 1 : 出力する
14	ERROUT14	ERR14(errst の bit14)の値を端子に出力する/しないの設定をします。 0 : 出力しない 1 : 出力する

12.3.2.4 ブレーク要求制御レジスタ (brkrqctrl)

エラー出力端子 (ERROROUT) の Hi レベル出力時、同時に XC コアに対するブレーク要求をする/しないの設定が可能です。

名称 : ブレーク要求制御レジスタ
 略号 : brkrqctrl
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	BRKRQ EN

ビット	ビット名	説明
0	BRKRQEN	ブレーク要求イネーブル設定 0 : 無効 (ブレーク要求を出力しません) 1 : 有効 (エラー出力端子が Hi レベル出力時に、ブレーク要求を出力します)

12.4 動作説明

12.4.1 動作タイミング

各エラー要因(内蔵 RAM のエラー、外部メモリのエラー、ビデオキャプチャのビデオエラー)から、エラー信号を検出すると、対応するステータスビットがセットされます。そして、次にエラー出力端子が Hi レベルに変化します。ただし、対応するビットに対して、出力信号禁止の設定が行なわれている場合は、ステータスビットのみセットされ、出力信号は、変化しません (Low レベルのままです)。

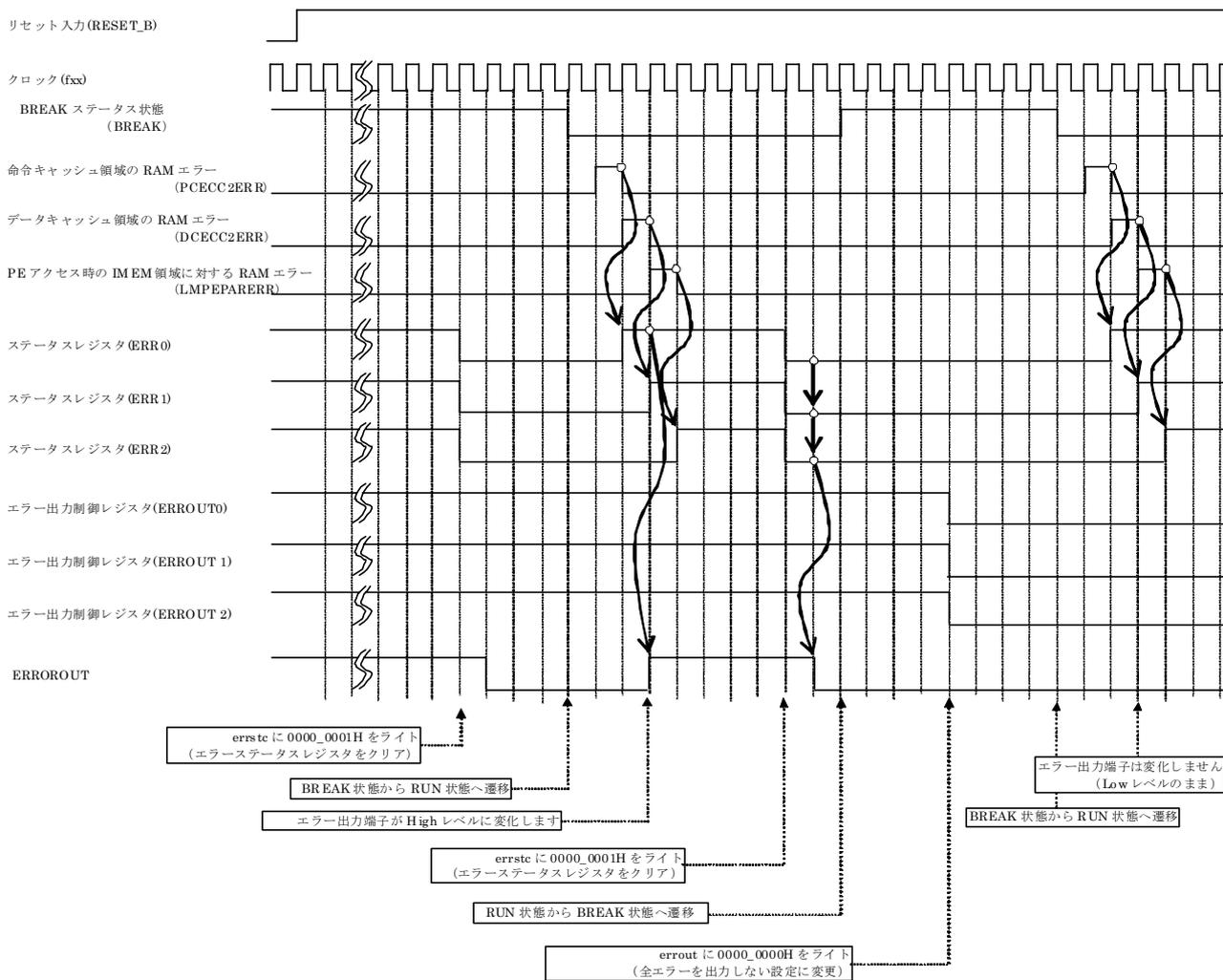


図 12-2 動作タイミング図

ブレーク要求設定を有効 (BRKRQCTRL.BRKRQEN=1) に設定した場合、エラー出力端子が Hi レベル出力時に XC コアに対してブレーク要求をします。

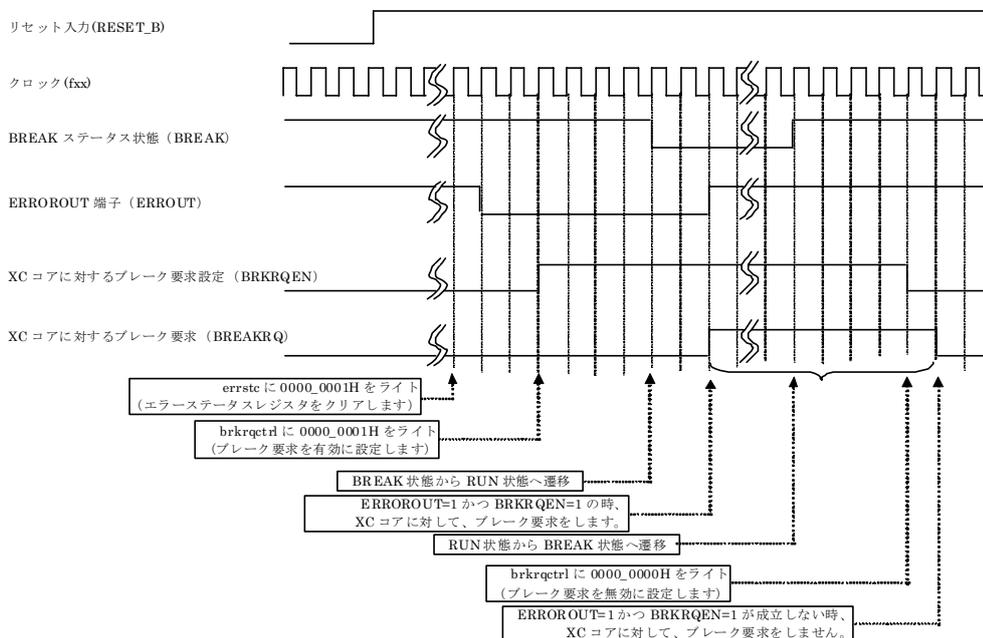


図 12-3 ブレーク要求の動作タイミング図

12.4.2 競合について

- エラー検出信号と errstc レジスタのクリア命令の競合
errstc レジスタの clear ERR に“1”をライトすることによるエラーステータスレジスタのクリアとエラー検出によるエラーステータスレジスタのエラーステータスビットのセットが同時に発生した場合、クリアが優先されます。

第13章. インターバルタイマ機能

13.1 特徴

本製品は、インターバルタイマを内蔵します。この機能を使用する事により、ビデオキャプチャ I/F 機能で定期的なソフト処理が実現できます。

- 独立したインターバルタイマを 2ch 内蔵します
- インターバルタイマは、27bit のダウンカウンタで構成します。
- インターバルタイマのカウントクロックは、システムクロック f_{xx} です。
- 割り込み本数は 2 本です。

13.2 ブロック図

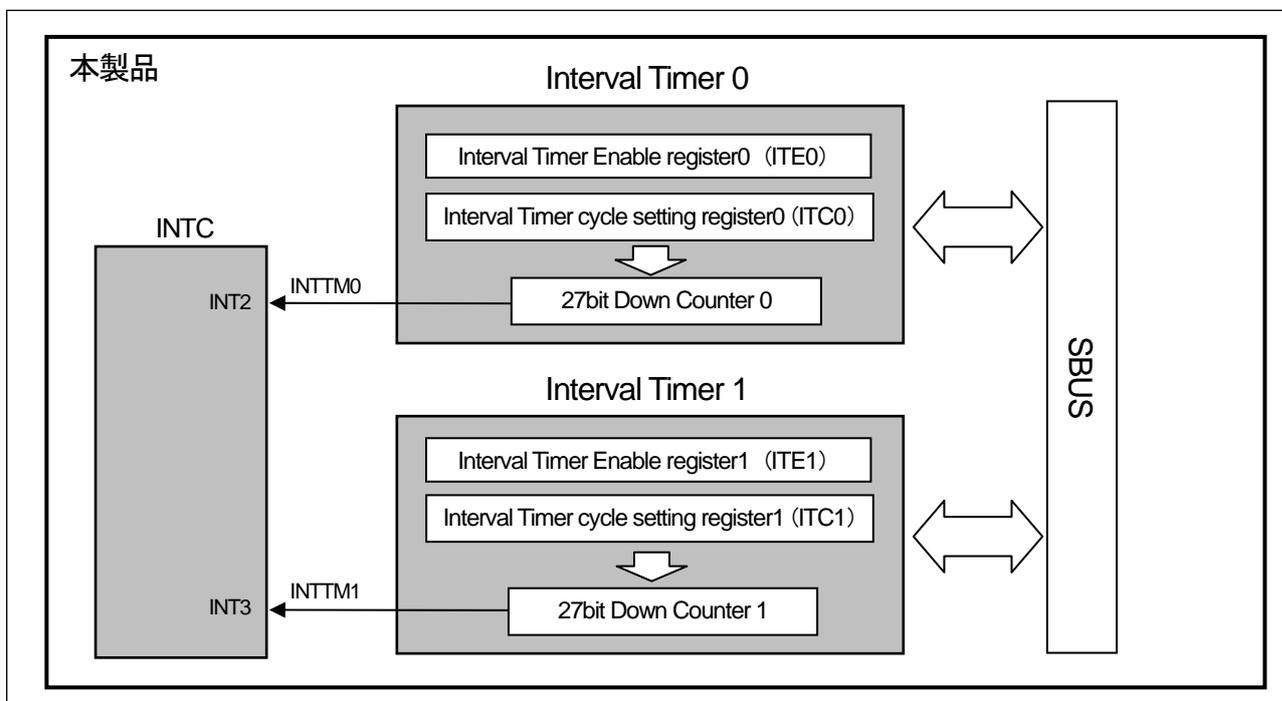


図 13-1 インターバルタイマのブロック図

13.3 端子/レジスタ/端子

13.3.1 レジスタの一覧

表 13-1 使用レジスタ一覧 (1/1)

レジスタ名	英語名	略号
インターバルタイマ 動作許可設定レジスタ 0-1	Interval Timer Enable register0-1	ITE0-1
インターバルタイマ設定レジスタ 0-1	Interval Timer cycle setting register0-1	ITC0-1

表 13-2 使用内部信号一覧(1/1)

端子	入出力	端子説明
INTTM0-1	○	インターバルタイマ割り込み信号 0-1

13.3.2 レジスタの説明

13.3.2.1 インターバルタイマ 動作許可設定レジスタ (ITE0-1)

名称 : インターバルタイマ 動作許可設定レジスタ 0-1
 略号 : ITE0-1
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15		14		13		12		11		10		9		8	
0		0		0		0		0		0		0		0	
7		6		5		4		3		2		1		0	
0		0		0		0		0		0		0		ITEN	

ビット	ビット名	説明
0	ITEN	インターバルタイマ の動作許可 / 禁止を設定します。 0 : 動作禁止 1 : 動作許可

13.3.2.2 インターバルタイマ設定レジスタ (ITC0-1)

名称 : インターバルタイマレジスタ 1-0
 略号 : ITC0-1
 初期値 : 0000_0000H
 アクセス : 32bit アクセス、リード/ライト可能
 ホストからのアクセス : 可
 コアからのアクセス : 可

【ビット配置】

31	30	29	28	27	26	25	24
0	0	0	0	0	ITCN26	ITCN25	ITCN24
23	22	21	20	19	18	17	16
ITCN23	ITCN22	ITCN21	ITCN20	ITCN19	ITCN18	ITCN17	ITCN16
15	14	13	12	11	10	9	8
ITCN15	ITCN14	ITCN13	ITCN12	ITCN11	ITCN10	ITCN09	ITCN08
7	6	5	4	3	2	1	0
ITCN07	ITCN06	ITCN05	ITCN04	ITCN03	ITCN02	ITCN01	ITCN00

ビット	ビット名	説明
26-0	ITCN26-00	インターバルタイマの周期を設定します。 設定値と発生周期の関係は以下の計算式で求めることができます。 インターバルタイマの周期= (ITCN26-00 設定値+1) × fxx 周期

【 設定例 】

fx = 132MHz でインターバルタイマ周期に 1ms を設定したい場合、
 fx = 132MHz でインターバルタイマ周期に 1000ms を設定したい場合、
 fx = 66MHz でインターバルタイマ周期に 1ms を設定したい場合、
 fx = 66MHz でインターバルタイマ周期に 1000ms を設定したい場合、

ITCN26-00 に “002_039FH” を設定して下さい。
 ITCN26-00 に “7DE_28FFH” を設定して下さい。
 ITCN26-00 に “001_01CFH” を設定して下さい。
 ITCN26-00 に “3EF_147FH” を設定して下さい。

13.4 動作説明

インターバルタイマの動作許可後、インターバル周期毎にインターバル割り込みを出力します。また、動作許可中にインターバルタイマの周期を変更することが可能で、インターバル割り込み発生毎にインターバルタイマの周期が更新されます。

インターバルタイマを停止する場合、インターバルタイマを動作禁止にしてください。動作禁止になるとインターバルタイマは初期状態に戻ります。

第14章. 外部メモリ用 ECC 機能

14.1 特徴

外部メモリに対して、ECC 機能を持ちます。

外部メモリの ECC 領域と非 ECC 領域の切り分けは、ECC 領域設定レジスタで行います。

・ ECC 機能について

1bit のエラー訂正機能、1bit のエラー検出機能、2bit のエラー検出機能を搭載します。

ライトアクセス時は、32bit のデータに対して、7bit の ECC 補正データを付加します。

リードアクセス時は、39bit のデータに対して、1bit 誤っていた場合、ECC-1bit エラー (Hi レベル) を出力し、1bit のエラー訂正をします。また、2bit 誤っていた場合は、ECC-2bit エラー (Hi レベル) を出力し、エラー訂正をしません。3bit 以上誤っていた場合、ECC-1bit エラー及び ECC-2bit エラーは不定 (Hi レベル/Low レベルのどちらか) となり、訂正值も不定 (訂正される場合と訂正されない場合があります) になります。

エラーが発生した場合の ECC エラー出力と訂正後のリードデータの対応表

リードデータ (39bit) のエラー数	ECC-1bit エラー 出力の有無	ECC-2bit エラー 出力の有無	訂正後のリードデータ
0bit	無	無	期待値と一致
1bit	有	無	期待値と一致 (リードデータに対して 1bit エラー訂正した値)
2bit	無	有	期待値と不一致
3bit 以上	不定 (有/無)	不定 (有/無)	不定値

第15章. 内蔵 RAM 用 ECC/Parity 機能

15.1 特徴

内蔵 RAM に対して、ECC 機能と Parity 機能を持ちます。また、ECC/Parity エラー検出機能もある為、エラー検出時は、ステータスレジスタへの表示、外部端子への出力も行うことが可能です。エラー検出に関する詳細機能は、「エラー通知機能」の章を参照してください。

表 15-1 内蔵メモリー一覧

内蔵メモリ	サイズ		ECC/Parity
	Full Mode (PSL=1)	Half Mode (PSL=0)	
CP プログラムキャッシュ	32KB		ECC (32bit 毎)
CP データキャッシュ (スタックも含む)	4KB		ECC (8bit 毎)
PU プログラムキャッシュ	8KB		Parity (8bit 毎)
PU データキャッシュ (スタックも含む)	8KB		Parity (8bit 毎)
IMEM	256KB (64PE x 4KB)	128KB (32PE x 4KB)	Parity (8bit 毎)
ビデオキャプチャメモリ (画像格納用 RAM)	60KB	20KB	Parity (8bit 毎)
共有メモリ	2KB		ECC (8bit 毎)

・ECC 機能について

1bit のエラー訂正機能、1bit のエラー検出機能、2bit のエラー検出機能を搭載します。

ライトアクセス時は、8bit のデータに対して、5bit の ECC 補正データを付加します。

リードアクセス時は、13bit のデータに対して、1bit 誤っていた場合、ECC-1bit エラー (Hi レベル) を出力し、1bit のエラー訂正をします。また、2bit 誤っていた場合は、ECC-2bit エラー (Hi レベル) を出力し、エラー訂正をしません。3bit 以上誤っていた場合、ECC-1bit エラー及び ECC-2bit エラーは不定 (Hi レベル/Low レベルのどちらか) となり、訂正值も不定 (訂正される場合と訂正されない場合がある) になります。

エラーが発生した場合の ECC エラー出力と訂正後のリードデータの対応表

リードデータ (13bit) のエラー数	ECC-1bit エラー 出力の有無	ECC-2bit エラー 出力の有無	訂正後のリードデータ
0bit	無	無	期待値と一致
1bit	有	無	期待値と一致 (リードデータに対して 1bit エラー訂正した値)
2bit	無	有	期待値と不一致
3bit 以上	不定 (有/無)	不定 (有/無)	不定値

32bit のデータに対する 7bit の ECC 補正データの説明については、「外部メモリ用 ECC 機能」の章を参照してください。

第16章. バウンダリ・スキャン機能

16.1 特徴

本製品は、JTAG (Joint Test Action Group) インターフェースを内蔵します。この JTAG インターフェースは、バウンダリ・スキャンとしての入出力パス (バウンダリ・スキャンパス) として使用できます。

JTAG インターフェースは、TAP コントローラにより、JTAG の状態遷移(TMS 信号により状態が遷移)を制御し、命令デコーダにより、命令コードをデコードし制御動作を確定します。

16.2 ブロック図

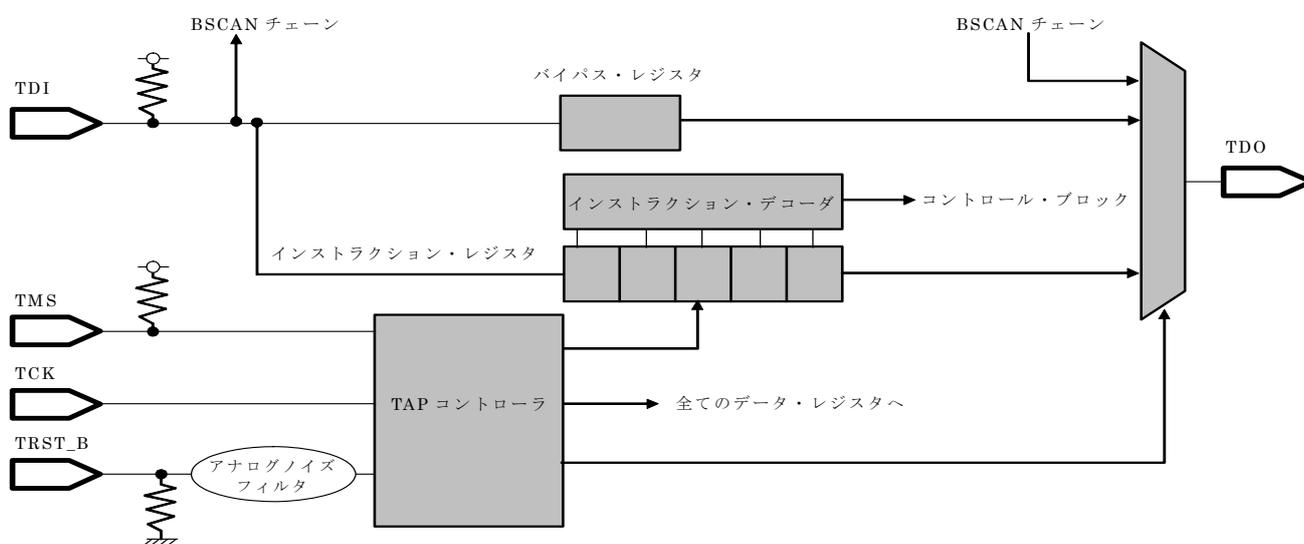


図 16-1 JTAG 構成回路

16.3 端子/レジスタ

16.3.1 使用端子一覧

表 16-1 使用端子一覧

端子名	兼用端子	入出力	端子説明
TCK	—	I	バウンダリ・スキャン用クロック入力
TDI	—	I	バウンダリ・スキャン用テスト命令コード、テストデータ入力
TDO	—	O	バウンダリ・スキャン用テスト命令コード、テストデータ出力
TMS	—	I	バウンダリ・スキャン用テストモード選択入力
TRST_B	—	I	バウンダリ・スキャン用リセット入力

16.3.2 使用レジスタ一覧

表 16-2 使用レジスタ一覧

レジスタ名	レジスタ説明
命令レジスタ	命令コードを保持する 21 ビットのレジスタです。IR パスシーケンスで設定されます。命令レジスタに設定された命令によって、続く DR パスシーケンスで選択するレジスタが決定されます。
バウンダリ・スキャンレジスタ	バウンダリ・スキャン・テストを行う為のレジスタで、各端子に割り当てられます。このレジスタは TDI/TDO に接続されており、「EXTEST 命令」及び、「SAMPLE/PRELOAD 命令」発行時に選択されます。
バイパス・レジスタ	バイパス・レジスタは、バウンダリ・スキャン・テストにおいて、その対象とならないときに、バウンダリスキャンパスをバイパスさせる為の 1 ビットレジスタです。「BYPASS 命令」発行時に選択されます。

16.3.3 命令 (インストラクション)

本製品 (FPBGA パッケージ品) では、下記 4 命令をサポートします。

表 16-3 サポート命令の動作説明

命令名	動作・用途
EXTEST	デバイスと基板との物理的接続のテストを行います。
SAMPLE/PRELOAD	回路状態をキャプチャし、データを TDO 端子へ出力します。同時にテストパターンを TDI 端子から入力し、バウンダリ・スキャンレジスタにドライブします。
BYPASS	バイパス・レジスタを選択し、対象のデバイスをバウンダリ・スキャンパスからバイパスさせます。

表 16-4 命令コード

命令名	命令コード		補足
	bit20(MSB)~bit16	bit15~bit0	
BYPASS	全て 1	11111111_1111_1111	—
EXTEST	全て 1	11111111_1110_1000	—
SAMPLE	全て 1	11111111_1111_1000	PRELOAD と同一コード
PRELOAD	全て 1	11111111_1111_1000	SAMPLE と同一コード

16.4 動作説明

バウンダリ・スキャンの動作は IEEE1149.1 を参照してください。

本製品 (FPBGA パッケージ品) でのバウンダリ・スキャンレジスタ対応端子は、「端子機能」の章を参照してください。

第17章. 電源投入・開放順序

電源投入・開放順序は、バウンダリスキャン対応の有無により異なります。

17.1 バウンダリスキャン対応（FPBGA パッケージ）の電源投入・開放順序

17.1.1 電源投入時

RESET_B=Low、TRST_B=Low の端子状態にして、電源を投入してください。電源が、動作電圧範囲内に収まるまで、RESET_B=Low、TRST_B=Low の状態を保持してください。

17.1.2 電源開放時

RESET_B=Low、TRST_B=Low の端子状態にして、電源を開放してください。電源が、動作電圧範囲外になる前に、RESET_B=Low、TRST_B=Low の状態にしてください。

17.2 バウンダリスキャン未対応（LQFP パッケージ）の電源投入・開放順序

17.2.1 電源投入時

RESET_B=Low の端子状態にして、電源を投入してください。電源が、動作電圧範囲内に収まるまで、RESET_B=Low の状態を保持してください。

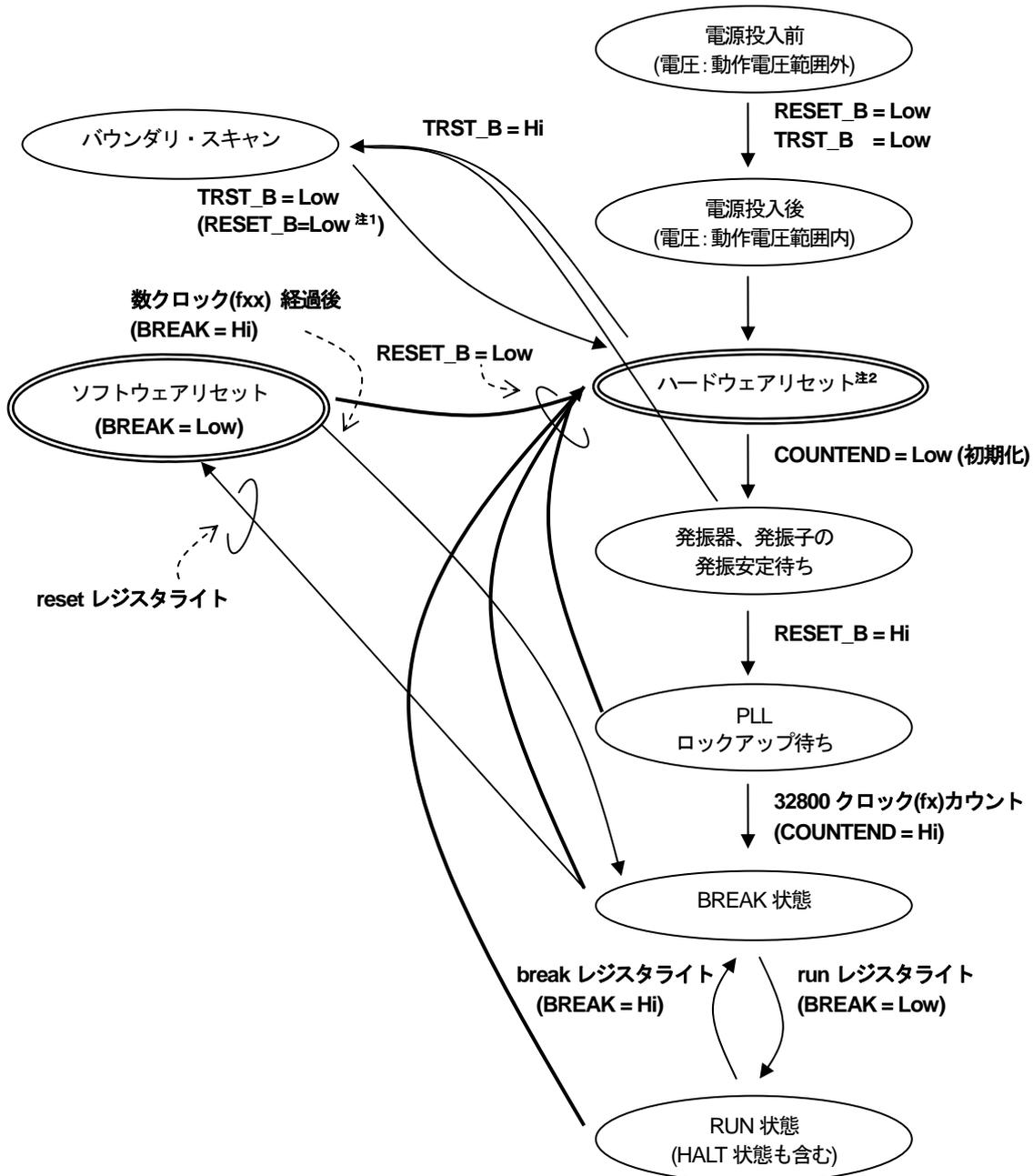
17.2.2 電源開放時

RESET_B=Low の端子状態にして、電源を開放してください。電源が、動作電圧範囲外になる前に、RESET_B=Low の状態にしてください。

第18章. 動作状態

18.1 状態遷移図

以下に、本製品（FPBGA パッケージ）の状態遷移図と移行条件を示します。



注1) パウンダリ・スキャン状態からハードウェアリセット状態へ遷移する場合は、必ず RESET_B=Low の状態で、TRST_B を Hi レベルから Low レベルに変化させてください。

注2) IMAPCAR2-200 の場合、ハードウェアリセット状態でプロセッサモード設定端子（PSL）及び PLL 設定端子（CSL）を変更して下さい。

図 18-1 本製品（FPBGA パッケージ）の状態遷移図

以下に、本製品（LQFP パッケージ）の状態遷移図と移行条件を示します。

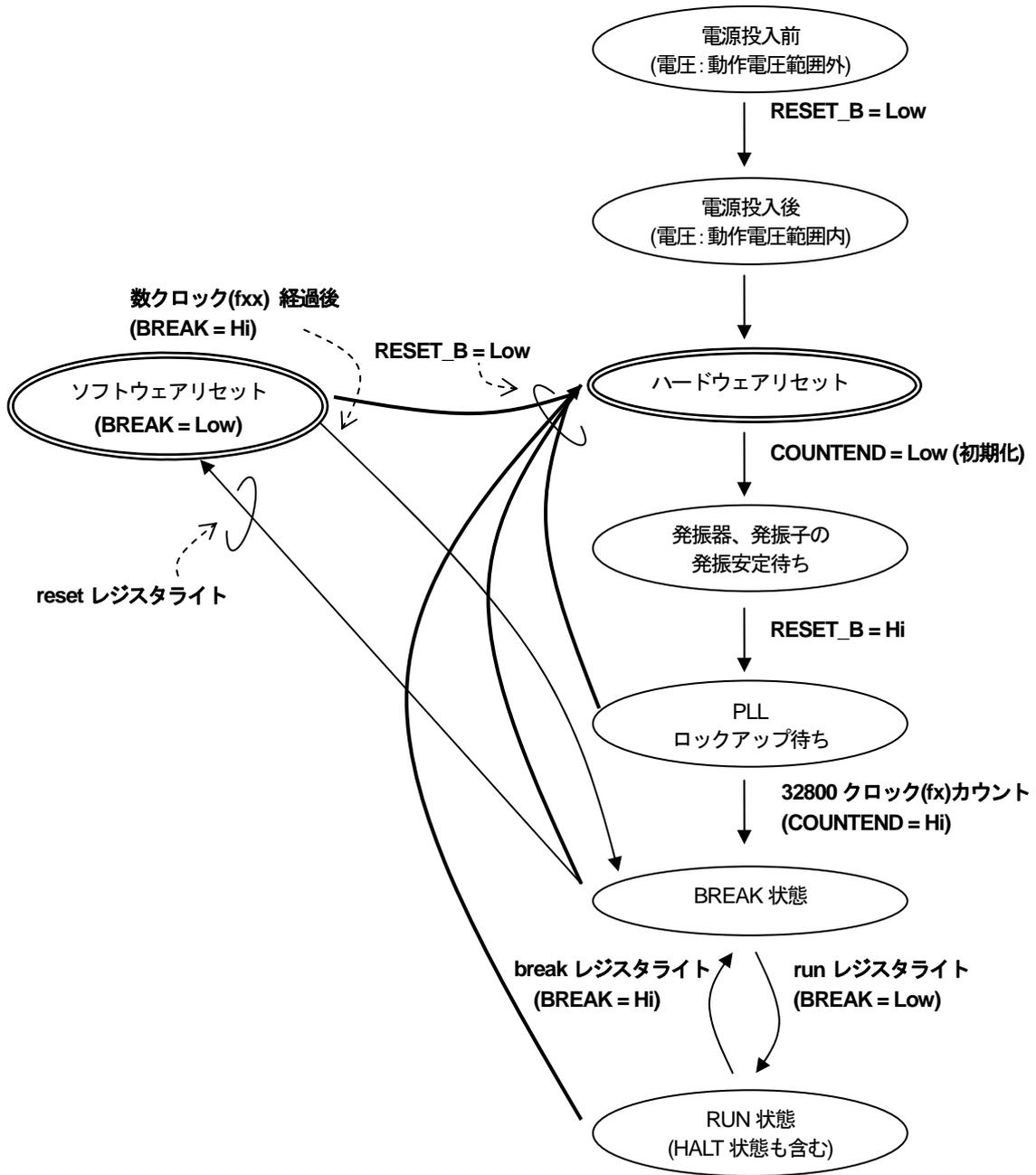


図 18-2 本製品（LQFP パッケージ）の状態遷移図

18.2 各状態の動作

以下に「図 18-1 本製品 (FPBGA パッケージ) の状態遷移図」及び「図 18-2 本製品 (LQFP パッケージ) の状態遷移図」の各動作状態における各機能の動作可否を示します。

表 18-1 動作状態

項目	ハードウェアリセット	ソフトウェアリセット	PLL ロックアップ待ち	BREAK 状態	RUN 状態 (HALT 状態も含む)	バウンダリ・スキャン
コ	停止	←	←	←	動作	停止
ア	アクセス不可	←	←	アクセス可	←	停止
内蔵メモ	CP 命令・キャッシュ(32KB) *1	アクセス不可	←	アクセス可	アクセス不可	←
	CP データ・キャッシュ(4KB) *1	アクセス不可	←	アクセス可	アクセス不可	←
	PU 命令・キャッシュ(8KB) *1	アクセス不可	←	アクセス可	アクセス不可	←
	PU データ・キャッシュ(8KB) *1	アクセス不可	←	アクセス可	アクセス不可	←
	IMEM(512KB) *1	アクセス不可	←	←	アクセス可	←
共有メモリ(2KB) *1	アクセス不可	←	←	アクセス可	←	アクセス不可
ク	発振可能	←	←	←	←	←
ロ	クロック入力可能	←	←	←	←	←
ック	停止	動作 (動作継続)	動作 (ロックアップ中)	動作	←	停止
I/F	ホスト I/F	停止	←	動作	←	停止
	デバッグ I/F	停止	←	動作	←	停止
	Flash ダウンロード用 CSI	停止	←	動作	←	停止
	外部メモリ I/F	停止	←	動作	←	停止
	ビデオキャプチャ I/F	停止	←	←	動作	←
その他	割り込み	停止	←	←	動作	停止
	エラー検出&出力機能	停止	←	←	←	停止
	汎用 IO ポート	停止	←	←	←	停止
	バウンダリ・スキャン(JTAG I/F)	停止	←	←	←	動作
	不定出力回避制御(端子の Hi-z 制御)	Hi-z 制御あり	Hi-z 制御なし	←	←	←

*1: ホストからのアクセス。

*2: BREAK 時は、ハードウェアにより入力画像 ch、出力画像 ch 共に動作禁止状態になります。

第19章. ターゲットスペック

各項目に対して、"条件 x"と記載します。各条件は、以下の通りです。

(条件 1)

- ・ Ta=25°C
- ・ GND : VSS= OSCVSS33 = PLLVSS12 = 0V

(条件 2)

IMAPCAR2-200/100 の場合

- ・ Tc = -40 ~ +100°C
- ・ 1.2V 系電源 : VDD12 = PLLVDD12 = 1.2V±0.1V
- ・ 3.3V 系電源 : EVDD33 = OSCVDD33 = 3.3V±0.3V
- ・ GND : VSS= OSCVSS33 = PLLVSS12 = 0V

IMAPCAR2-50 の場合

- ・ Ta = -40 ~ +85°C
- ・ 1.2V 系電源 : VDD12 = PLLVDD12 = 1.2V±0.1V
- ・ 3.3V 系電源 : EVDD33 = OSCVDD33 = 3.3V±0.3V
- ・ GND : VSS= OSCVSS33 = PLLVSS12 = 0V

19.1 絶対最大定格

(条件1)

項目	略号	条件	定格	単位	
電源電圧	VDD12	1.2V 系電源 : VDD12、PLLVD12	-0.5~+1.6	V	
	VDD33	3.3V 系電源 : EVDD33、OSCVDD33	-0.5~+4.6	V	
入力 / 出力電圧	VI33	3.3V 系バッファ VI33 < VDD33 + 0.5V < 4.6V	-0.5~+4.6	V	
ハイ・レベル出力電流	IOH	1 端子	—	-34.3	mA
		全端子合計*4		TBD	mA
		全端子合計*5		TBD	mA
ロウ・レベル出力電流	IOL	1 端子	—	+34.3	mA
		全端子合計*4		TBD	mA
		全端子合計*5		TBD	mA
保存温度	Tstg	—	-65~+125	°C	
ケース温度 *1, *2	Tc	—	-40~+100	°C	
動作周囲温度 *3	Ta	—	-40~+85	°C	

*1 : ケース温度が規定値内となる様にヒートシンク等を用いた基板設計をお願いします。

*2 : IMAPCAR2-200/100 の場合

*3 : IMAPCAR2-50 の場合

*4 : IMAPCAR2-200/100/50(FPBGA パッケージ)の場合

*5 : IMAPCAR2-50(LQFP パッケージ)の場合

- 注意
- IC 製品の出力（出力状態の入出力端子）をほかの出力端子（出力状態の入出力端子を含む）、および電源端子やグランド端子に直接接続しないでください。
 - 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。
 - 入出力端子への 3.3V 電圧の印加は、必ず電源電圧が確定してから行なってください。

19.2 容量

(条件 1)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	CI	f=1MHz、測定端子以外は 0V	—	—	15	pF
入出力容量	CIO		—	—	15	pF
出力容量	CO		—	—	15	pF

19.3 動作条件

(条件 2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	VDD12	1.2V 系電源	1.1	1.2	1.3	V
	VDD33	3.3V 系電源	3.0	3.3	3.6	V

19.4 発振回路特性

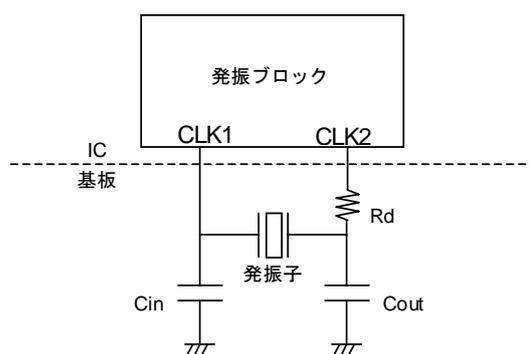
(条件 2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
水晶発振子・発振周波数 *1	fx	—	32 *2	—	33 *2	MHz

*1: 入力周波数に対する公差(ジッタを含む)の許容範囲は、±0.1%。

*2: 32MHz、もしくは、33MHz の周波数を使用してください。MIN.~MAX.範囲を保証しているわけではありません。

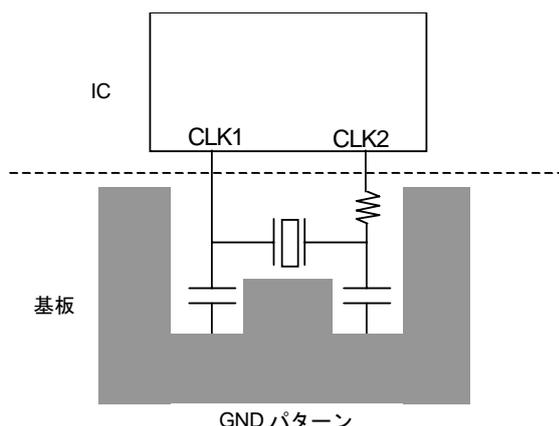
<回路構成例>



外部定数 (Rd, Cin, Cout) につきましては、実基板上での発振評価の結果により、決定してください。

<基板設計上の注意>

- ・発振回路の入力、出力端子と発振子と外部定数はすぐ近くに配置し、最短の経路で配線してください。
- ・コンデンサの接地側とIC のGND 端子との配線も最短とし、極力太くしてください。
- ・発振子およびコンデンサのリード線は極力短くし、機械的振動の影響を小さくするため発振子およびコンデンサはプリント基板に固定してください。
- ・外部定数部分にはできるだけGND で囲むパターンにしてください。



さらに外部定数を決定する評価においても次の注意が必要です。

- ・実際に使用するプリント基板を用いてください（基板の誘電率などにより発振動作範囲が変動する場合があります）。
- ・実際に使用する発振子を用いて確認してください。

19.5 DC 特性

(条件2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	VIH1	*1 の端子 (3.3V 系 I/O)	2.1	—	VDD33 + 0.3	V
ロウ・レベル入力電圧	VIL1	*1 の端子 (3.3V 系 I/O)	-0.3	—	0.7	V
ハイ・レベル出力電圧	VOH1	IOH= -2mA *2 の端子 (3.3V 系 I/O)	2.4	—	—	V
ロウ・レベル出力電圧	VOL1	IOL= 2mA *2 の端子 (3.3V 系 I/O)	—	—	0.4	V
ハイ・レベル入力 リーク電流	ILIH1	VI=3.3V *3 の端子 (3.3V 系 I/O)	—	—	10	uA
ロウ・レベル入力 リーク電流	ILIL1	VI=GND *4 の端子 (3.3V 系 I/O)	—	—	-10	uA
内蔵プルアップ抵抗	R1	*5 の端子	25	50	110	kΩ
内蔵プルダウン抵抗	R2	RESET_B, TRST_B, DSL	25	50	110	kΩ

*1 :

IMAPCAR2-200(FPBGAパッケージ)の場合

HSCS_B, HSCK_B, HSI, SCLKI0, SCLKI1, SCLKI2, SCLKI3,
 SCLKREF, VSYNCREF_B, ODDEVENREF, PORT00-10, SDDQ00-63, SDDQE00-13,
 RESET_B, VSYNCI0_B, HSYNCI0_B, ODDEVENI0, VSYNCI1_B, HSYNCI1_B,
 ODDEVENI1, VSYNCI2_B, HSYNCI2_B, ODDEVENI2, VSYNCI3_B, HSYNCI3_B, ODDEVENI3, SRI00-SRI31,
 TCK, TDI, TMS, TRST_B, PSL, CSL, DSL

IMAPCAR2-100/50(FPBGAパッケージ)の場合

HSCS_B, HSCK_B, HSI, SCLKI0, SCLKI1, SCLKI2, SCLKI3,
 SCLKREF, VSYNCREF_B, ODDEVENREF, PORT00-10, SDDQ00-63, SDDQE00-13,
 RESET_B, VSYNCI0_B, HSYNCI0_B, ODDEVENI0, VSYNCI1_B, HSYNCI1_B,
 ODDEVENI1, VSYNCI2_B, HSYNCI2_B, ODDEVENI2, VSYNCI3_B, HSYNCI3_B, ODDEVENI3, SRI00-SRI31,
 TCK, TDI, TMS, TRST_B, DSL

IMAPCAR2-50(LQFPパッケージ)の場合

HSCS_B, HSCK_B, HSI, SCLKI0, PORT00-10, SDDQ00-31,
 RESET_B, VSYNCI0_B, HSYNCI0_B, ODDEVENI0, SRI00-SRI11, DSL

*2 :

IMAPCAR2-200/100/50(FPBGAパッケージ)の場合

BREAK,COUNTEND,HSO,SCLKO,VSYNCO_B,HSYNCO_B,ODDEVENO,SRO00-15,PORT00-10,TDO,SDCLK0-2,SDCKE,
SDCS_B,SDRAS_B,SDCAS_B,SDWE_B,SDDQM0-7,SDBA0-1,SDA00-12,SDDQ00-63,SDDQE00-13,ERROROUT

IMAPCAR2-50(LQFPパッケージ)の場合

BREAK, COUNTEND, HSO, PORT00-10, SDCLK0, SDCKE,
SDCS_B, SDRAS_B, SDCAS_B, SDWE_B, SDDQM0-3, SDBA0-1, SDA00-11, SDDQ00-31,ERROROUT

*3 :

IMAPCAR2-200(FPBGAパッケージ)の場合

HSCS_B, HSCK_B, HSI, SCLKI0, VSYNCI0_B, HSYNCI0_B, ODDEVENI0, SCLKI1, VSYNCI1_B, HSYNCI1_B,
ODDEVENI1, SCLKI2, VSYNCI2_B, HSYNCI2_B, ODDEVENI2, SCLKI3, VSYNCI3_B, HSYNCI3_B, ODDEVENI3, SRI00-SRI31,
SCLKREF, VSYNCREF_B, ODDEVENREF, PORT00-10, TCK, TDI, TMS, SDDQ00-63, SDDQE00-13, PSL, CSL

IMAPCAR2-100/50(FPBGAパッケージ)の場合

HSCS_B, HSCK_B, HSI, SCLKI0, VSYNCI0_B, HSYNCI0_B, ODDEVENI0, SCLKI1, VSYNCI1_B, HSYNCI1_B,
ODDEVENI1, SCLKI2, VSYNCI2_B, HSYNCI2_B, ODDEVENI2, SCLKI3, VSYNCI3_B, HSYNCI3_B, ODDEVENI3, SRI00-SRI31,
SCLKREF, VSYNCREF_B, ODDEVENREF, PORT00-10, TCK, TDI, TMS, SDDQ00-63, SDDQE00-13

IMAPCAR2-50(LQFPパッケージ)の場合

HSCS_B, HSCK_B, HSI, SCLKI0, PORT00-10, SDDQ00-31,
VSYNCI0_B, HSYNCI0_B, ODDEVENI0, SRI00-SRI11

*4 :

IMAPCAR2-200(FPBGAパッケージ)の場合

RESET_B, HSCS_B, HSCK_B, HSI, SCLKI0, VSYNCI0_B, HSYNCI0_B, ODDEVENI0, SCLKI1, VSYNCI1_B, HSYNCI1_B,
ODDEVENI1, SCLKI2, VSYNCI2_B, HSYNCI2_B, ODDEVENI2, SCLKI3, VSYNCI3_B, HSYNCI3_B, ODDEVENI3, SRI00-SRI31,
SCLKREF, VSYNCREF_B, ODDEVENREF, PORT00-10, TCK, TRST_B, SDDQ00-63, SDDQE00-13, DSL

IMAPCAR2-100/50(FPBGAパッケージ)の場合

RESET_B, HSCS_B, HSCK_B, HSI, SCLKI0, VSYNCI0_B, HSYNCI0_B, ODDEVENI0, SCLKI1, VSYNCI1_B, HSYNCI1_B,
ODDEVENI1, SCLKI2, VSYNCI2_B, HSYNCI2_B, ODDEVENI2, SCLKI3, VSYNCI3_B, HSYNCI3_B, ODDEVENI3, SRI00-SRI31,
SCLKREF, VSYNCREF_B, ODDEVENREF, PORT00-10, TCK, TRST_B, SDDQ00-63, SDDQE00-13, DSL

IMAPCAR2-50(LQFPパッケージ)の場合

HSCS_B, HSCK_B, HSI, SCLKI0, PORT00-10, SDDQ00-31,
RESET_B, VSYNCI0_B, HSYNCI0_B, ODDEVENI0, SRI00-SRI11, DSL

*5 :

IMAPCAR2-200(FPBGAパッケージ)の場合

PSL, CSL, TDI, TMS

IMAPCAR2-100/50(FPBGAパッケージ)の場合

TDI, TMS

IMAPCAR2-50(LQFPパッケージ)の場合

—

19.6 AC 特性

測定条件 A, B 共通

IMAPCAR2-200/100 の場合

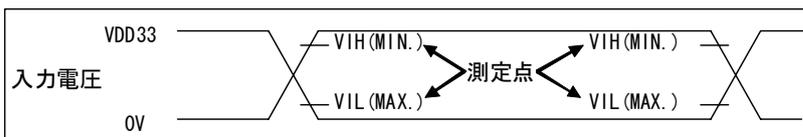
- $T_c = -40 \sim +100^\circ\text{C}$
- 1.2V 系電源 : $V_{DD12} = PLLV_{DD12} = 1.2\text{V} \pm 0.1\text{V}$
- 3.3V 系電源 : $E_{VDD33} = OSCV_{DD33} = 3.3\text{V} \pm 0.3\text{V}$
- GND : $V_{SS} = OSCV_{SS33} = PLLV_{SS12} = 0\text{V}$

IMAPCAR2-50 の場合

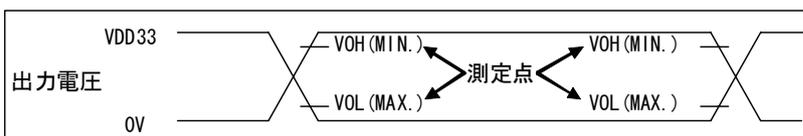
- $T_a = -40 \sim +85^\circ\text{C}$
- 1.2V 系電源 : $V_{DD12} = PLLV_{DD12} = 1.2\text{V} \pm 0.1\text{V}$
- 3.3V 系電源 : $E_{VDD33} = OSCV_{DD33} = 3.3\text{V} \pm 0.3\text{V}$
- GND : $V_{SS} = OSCV_{SS33} = PLLV_{SS12} = 0\text{V}$

測定条件 A

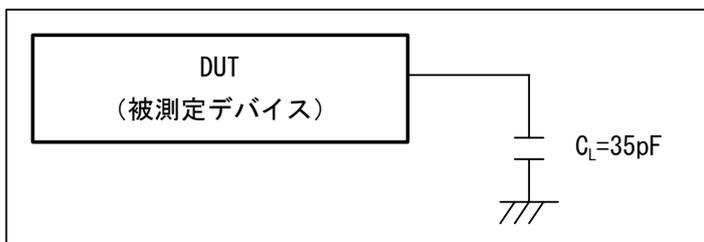
ACテスト入力測定点



AC テスト出力測定点

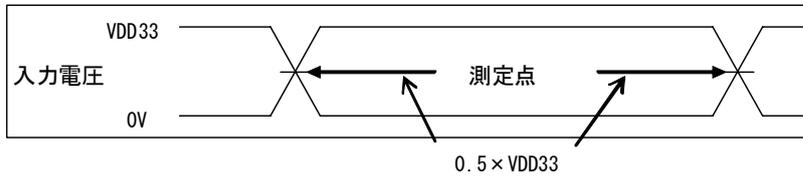


出力負荷

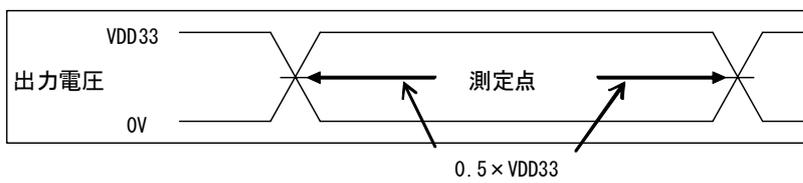


測定条件 B

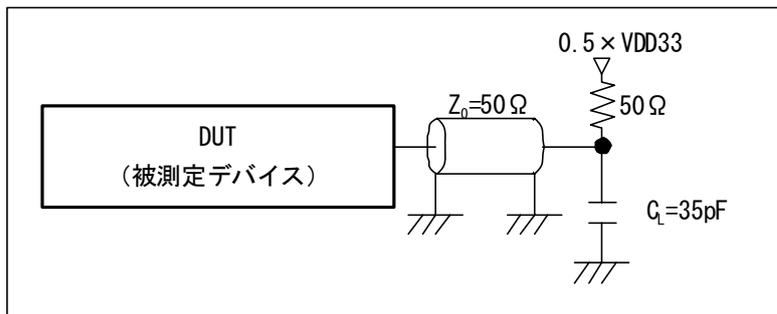
ACテスト入力測定点



AC テスト出力測定点



出力負荷



19.6.1 電源投入/遮断タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源投入開始 *2 ~電源投入完了 *3	t_{VOFVAL}	< 1 > *1	—	—	100	ms
電源投入完了 *3 ~RESET_B ↑	$t_{VALRSTR}$	< 2 > *1、*6	30	—	—	us
電源遮断開始 *4 ~RESET_B ↓	$t_{VALRSTF}$	< 3 > *1	—	—	100	ms
電源遮断開始 *4 ~電源投入完了 *5	$t_{VAL1019VOF}$	< 4 > *1	—	—	100	ms

*1 : IMAPCAR2-200/100 の場合

Tc = -40 ~ +100°C

IMAPCAR2-50 の場合

Ta = -40 ~ +85°C

*2 : VDD33、VDD12 の何れかの電源の立ち上がり開始時

*3 : VDD33、VDD12 の両方の電源電圧が「19.3 動作条件」に記載した Min 値以上となる電源立ち上げ完了時

*4 : VDD33、VDD12 の何れかの電源電圧が「19.3 動作条件」に記載した Min 値未満の電圧となる電源遮断開始時

*5 : VDD33、VDD12 の両方の電源遮断完了時

*6: リセット解除の 1us(MIN.)前から、CLK1、CLK2 端子へのクロック(波形成長が完了したクロック)を供給してください。

Before RESET_B release min, 1us, supply clock(clock is satisfied DC spec.) to CLK1, CLK2 terminal.

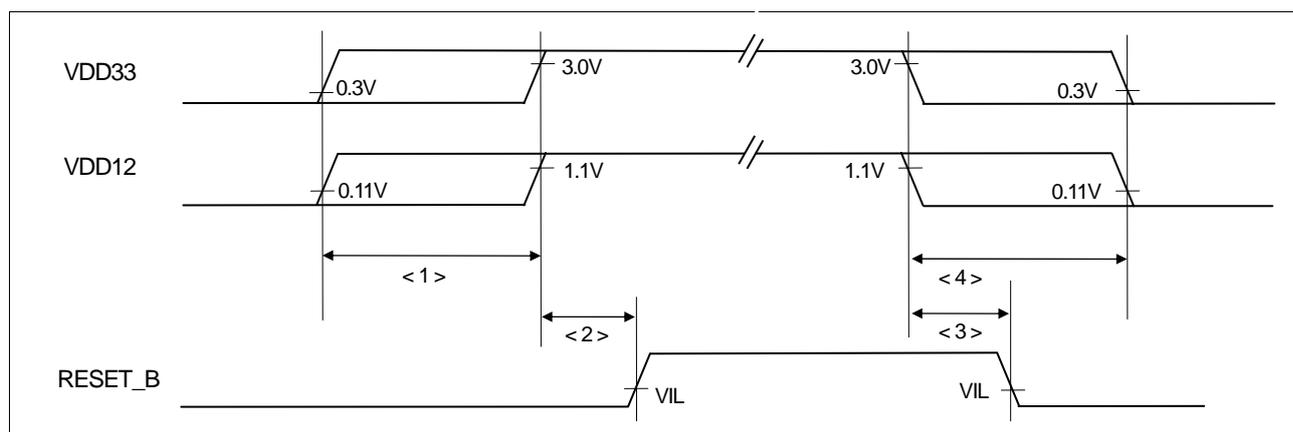


図 19-1 電源投入/遮断タイミング

19.6.2 リセット

測定条件 A

項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET_B Low Width	t_{RSTWL}	< 1 > *1	30	—	—	us

*1:リセット解除の 1us(MIN.)前から、CLK1、CLK2 端子へのクロック(波形成長が完了したクロック)を供給してください。
 Before RESET_B release min,1us, supply clock(clock is satisfied DC spec.) to CLK1, CLK2 terminal.



図 19-2 リセット解除タイミング(1/1)

19.6.3 ホスト I/F(シリアルバス)

測定条件 A

項目	略号	条件	MIN.	TYP.	MAX.	単位	
HSCS_B low width , high width / DSCS_B low width , high width	t _{SHCSWL} t _{SHCSWH}	< 1 >	—	1	—	us	
HSCS_B setup time / DSCS_B setup time	t _{SHCSS}	< 2 >	—	100	—	ns	
HSCS_B hold time / DSCS_B hold time	t _{SHCSH}	< 3 >	—	100	—	ns	
HSCK_B cycle time / DSCK_B cycle time	t _{SHCYC-200S} *1	< 4 >	—	100	—	—	ns
	t _{SHCYC-100S} *2			142			
HSCK_B low width , high width / DSCK_B low width , high width	t _{SHCWL-200S} t _{SHCWH-200S} *1	< 5 >	—	0.5 × t _{SHCYC-200S} - 5	—	—	ns
	t _{SHCWL-100S} t _{SHCWH-100S} *2			0.5 × t _{SHCYC-100S} - 5			
HSI setup time (v.s. HSCK_B↑) / DSI setup time (v.s. DSCK_B↑)	t _{SHSIS}	< 6 >	—	15	—	ns	
HSI hold time (v.s. HSCK_B↑) / DSI hold time (v.s. DSCK_B↑)	t _{SHSIH}	< 7 >	—	35	—	ns	
HSD output delay (v.s. HSCK_B↓) / DSO output delay (v.s. DSCK_B↓)	t _{SHSOD}	< 8 >	—	—	—	20 ns	
HSD hold time (v.s. HSCK_B↓) / DSO hold time (v.s. DSCK_B↓)	t _{SHSOH}	< 9 >	—	0	—	ns	

*1 : IMAPCAR2-200 で外部メモリとして汎用 SDRAM を使用する場合

*2 : IMAPCAR2-100/50 で外部メモリとして汎用 SDRAM を使用する場合

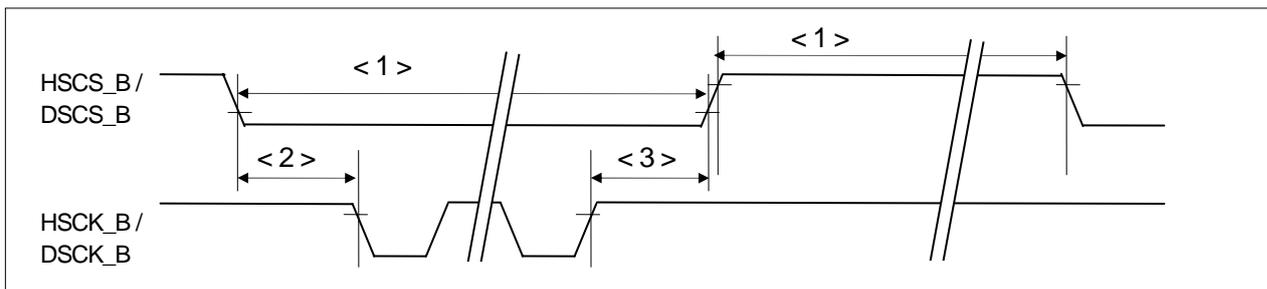


図 19-3 Serial Host I/F / Debug I/F タイミング(1/2)

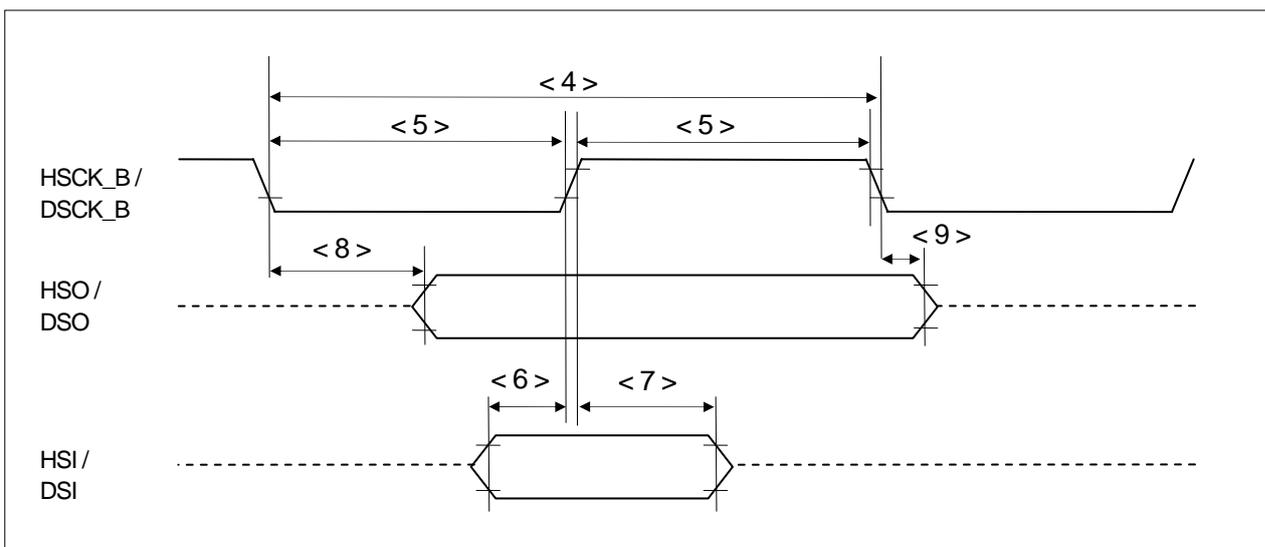


図 19-4 Serial Host I/F / Debug I/F タイミング(2/2)

19.6.4 SDRAM I/F

測定条件 B

(a) クロック・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位	
SDCLK0-2 cycle time	t_{SDCKCY}	< 1 >	fx=132MHz	7.5	—	—	ns
			fx=128MHz	7.8	—	—	
			fx=66MHz	15.1	—	—	
			fx=64MHz	15.6	—	—	
SDCLK0-2 High-level width	t_{SDCKHL}	< 2 >	fx=132MHz	3.2	—	—	ns
			fx=128MHz	3.4	—	—	
			fx=66MHz	6.4	—	—	
			fx=64MHz	6.8	—	—	
SDCLK0-2 Low-level width	t_{SDCKLL}	< 3 >	fx=132MHz	3.2	—	—	ns
			fx=128MHz	3.4	—	—	
			fx=66MHz	7.0	—	—	
			fx=64MHz	7.3	—	—	

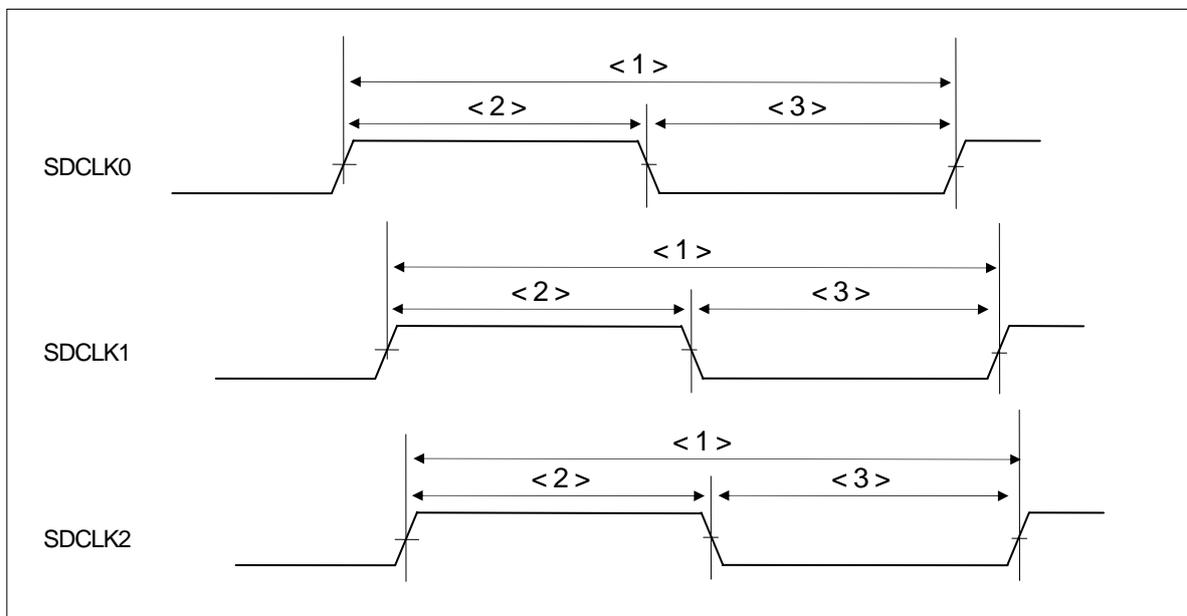


図 19-5 SDRAM I/F クロック・タイミング

測定条件 B

(b) リード・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
Address delay time (v.s. SDCLK0 ↑) / (v.s. SDCLK1 ↑) / (v.s. SDCLK2 ↑)	t _{SDADDL}	< 6 >	—	—	5.0	ns
Address hold time (v.s. SDCLK0 ↑) / (v.s. SDCLK1 ↑) / (v.s. SDCLK2 ↑)	t _{SDADHD}	< 7 >	—	1.2	—	ns
SDCS_B delay time (v.s. SDCLK0 ↑) / (v.s. SDCLK1 ↑) / (v.s. SDCLK2 ↑)	t _{SDCSDL}	< 8 >	—	—	5.0	ns
SDCS_B hold time (v.s. SDCLK0 ↑) / (v.s. SDCLK1 ↑) / (v.s. SDCLK2 ↑)	t _{SDCSHD}	< 9 >	—	1.2	—	ns
SDRAS_B delay time (v.s. SDCLK0 ↑) / (v.s. SDCLK1 ↑) / (v.s. SDCLK2 ↑)	t _{SDRSDL}	< 10 >	—	—	5.0	ns
SDRAS_B hold time (v.s. SDCLK0 ↑) / (v.s. SDCLK1 ↑) / (v.s. SDCLK2 ↑)	t _{SDRSHD}	< 11 >	—	1.2	—	ns
SDCAS_B delay time (v.s. SDCLK0 ↑) / (v.s. SDCLK1 ↑) / (v.s. SDCLK2 ↑)	t _{SDCSDL}	< 12 >	—	—	5.0	ns
SDCAS_B hold time (v.s. SDCLK0 ↑) / (v.s. SDCLK1 ↑) / (v.s. SDCLK2 ↑)	t _{SDCSHD}	< 13 >	—	1.2	—	ns
SDCKE delay time (v.s. SDCLK0 ↑) / (v.s. SDCLK1 ↑) / (v.s. SDCLK2 ↑)	t _{SDCEDL}	< 14 >	—	—	5.0	ns
SDCKE hold time (v.s. SDCLK0 ↑) / (v.s. SDCLK1 ↑) / (v.s. SDCLK2 ↑)	t _{SDCEHD}	< 15 >	—	1.2	—	ns
Data input setup time[SDDQ31-00] (v.s. SDCLK1 ↑)	t _{SDDISET0}	< 16 >	—	0	—	ns
Data input setup time[SDDQ63-32] (v.s. SDCLK2 ↑)	t _{SDDISET1}	< 17 >	—	0	—	ns
Data input setup time [SDDQE13-00] (v.s. SDCLK0 ↑)	t _{SDDISET2}	< 18 >	—	0	—	ns
Data input hold time[SDDQ31-00] (v.s. SDCLK1 ↑)	t _{SDDIHL0}	< 19 >	—	2.5	—	ns
Data input hold time[SDDQ63-32] (v.s. SDCLK2 ↑)	t _{SDDIHL1}	< 20 >	—	2.5	—	ns
Data input hold time[SDDQE13-00] (v.s. SDCLK0 ↑)	t _{SDDIHL2}	< 21 >	—	2.5	—	ns

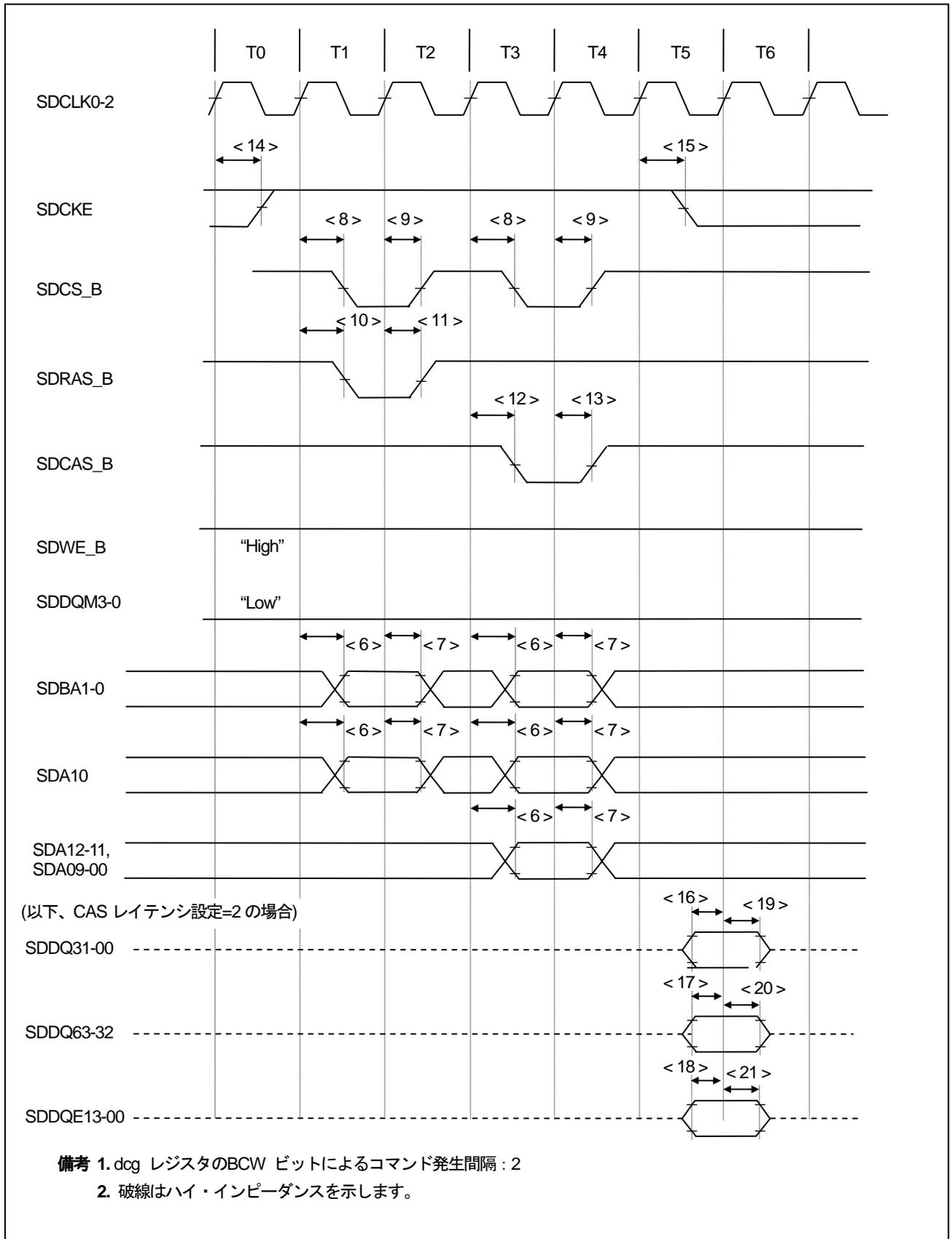


図 19-6 SDRAM I/F リード・タイミング

測定条件 B

(c) ライト・タイミング

項目	略号	条件	MIN	TYP	MAX	単位
Address delay time (v.s. SDCLK0 ↑)/(v.s. SDCLK1 ↑)/(v.s. SDCLK2 ↑)	t _{SDADDL}	< 6 >	—	—	5.0	ns
Address hold time (v.s. SDCLK0 ↑)/(v.s. SDCLK1 ↑)/(v.s. SDCLK2 ↑)	t _{SDADHD}	< 7 >	1.2	—	—	ns
SDCS_B delay time (v.s. SDCLK0 ↑)/(v.s. SDCLK1 ↑)/(v.s. SDCLK2 ↑)	t _{SDCSDL}	< 8 >	—	—	5.0	ns
SDCS_B hold time (v.s. SDCLK0 ↑)/(v.s. SDCLK1 ↑)/(v.s. SDCLK2 ↑)	t _{SDCSHD}	< 9 >	1.2	—	—	ns
SDRAS_B delay time (v.s. SDCLK0 ↑)/(v.s. SDCLK1 ↑)/(v.s. SDCLK2 ↑)	t _{SDRSDL}	< 10 >	—	—	5.0	ns
SDRAS_B hold time (v.s. SDCLK0 ↑)/(v.s. SDCLK1 ↑)/(v.s. SDCLK2 ↑)	t _{SDRSHD}	< 11 >	1.2	—	—	ns
SDCAS_B delay time (v.s. SDCLK0 ↑)/(v.s. SDCLK1 ↑)/(v.s. SDCLK2 ↑)	t _{SDCSDL}	< 12 >	—	—	5.0	ns
SDCAS_B hold time (v.s. SDCLK0 ↑)/(v.s. SDCLK1 ↑)/(v.s. SDCLK2 ↑)	t _{SDCSHD}	< 13 >	1.2	—	—	ns
SDCKE delay time (v.s. SDCLK0 ↑)/(v.s. SDCLK1 ↑)/(v.s. SDCLK2 ↑)	t _{SDCEDL}	< 14 >	—	—	5.0	ns
SDCKE hold time (v.s. SDCLK0 ↑)/(v.s. SDCLK1 ↑)/(v.s. SDCLK2 ↑)	t _{SDCEHD}	< 15 >	1.2	—	—	ns
SDWE_B delay time (v.s. SDCLK0 ↑)/(v.s. SDCLK1 ↑)/(v.s. SDCLK2 ↑)	t _{SDWEDL}	< 22 >	—	—	5.0	ns
SDWE_B hold time (v.s. SDCLK0 ↑)/(v.s. SDCLK1 ↑)/(v.s. SDCLK2 ↑)	t _{SDWEHD}	< 23 >	1.2	—	—	ns
Data mask delay time (v.s. SDCLK0 ↑)/(v.s. SDCLK1 ↑)/(v.s. SDCLK2 ↑)	t _{SDWEDL}	< 24 >	—	—	5.0	ns
Data mask hold time (v.s. SDCLK0 ↑)/(v.s. SDCLK1 ↑)/(v.s. SDCLK2 ↑)	t _{SDWEHD}	< 25 >	1.2	—	—	ns
Data output delay time [SDDQ31-00] (v.s. SDCLK1 ↑)	t _{SDDODL0}	< 26 >	—	—	5.0	ns
Data output delay time [SDDQ63-32] (v.s. SDCLK2 ↑)	t _{SDDODL1}	< 27 >	—	—	5.0	ns
Data output delay time [SDDQE06-00] (v.s. SDCLK0 ↑)	t _{SDDODL2}	< 28 >	—	—	5.0	ns
Data output hold time [SDDQ31-00] (v.s. SDCLK1 ↑)	t _{SDDOHD0}	< 29 >	1.2	—	—	ns
Data output hold time [SDDQ63-32] (v.s. SDCLK2 ↑)	t _{SDDOHD1}	< 30 >	1.2	—	—	ns
Data output hold time [SDDQE13-00] (v.s. SDCLK0 ↑)	t _{SDDOHD2}	< 31 >	1.2	—	—	ns

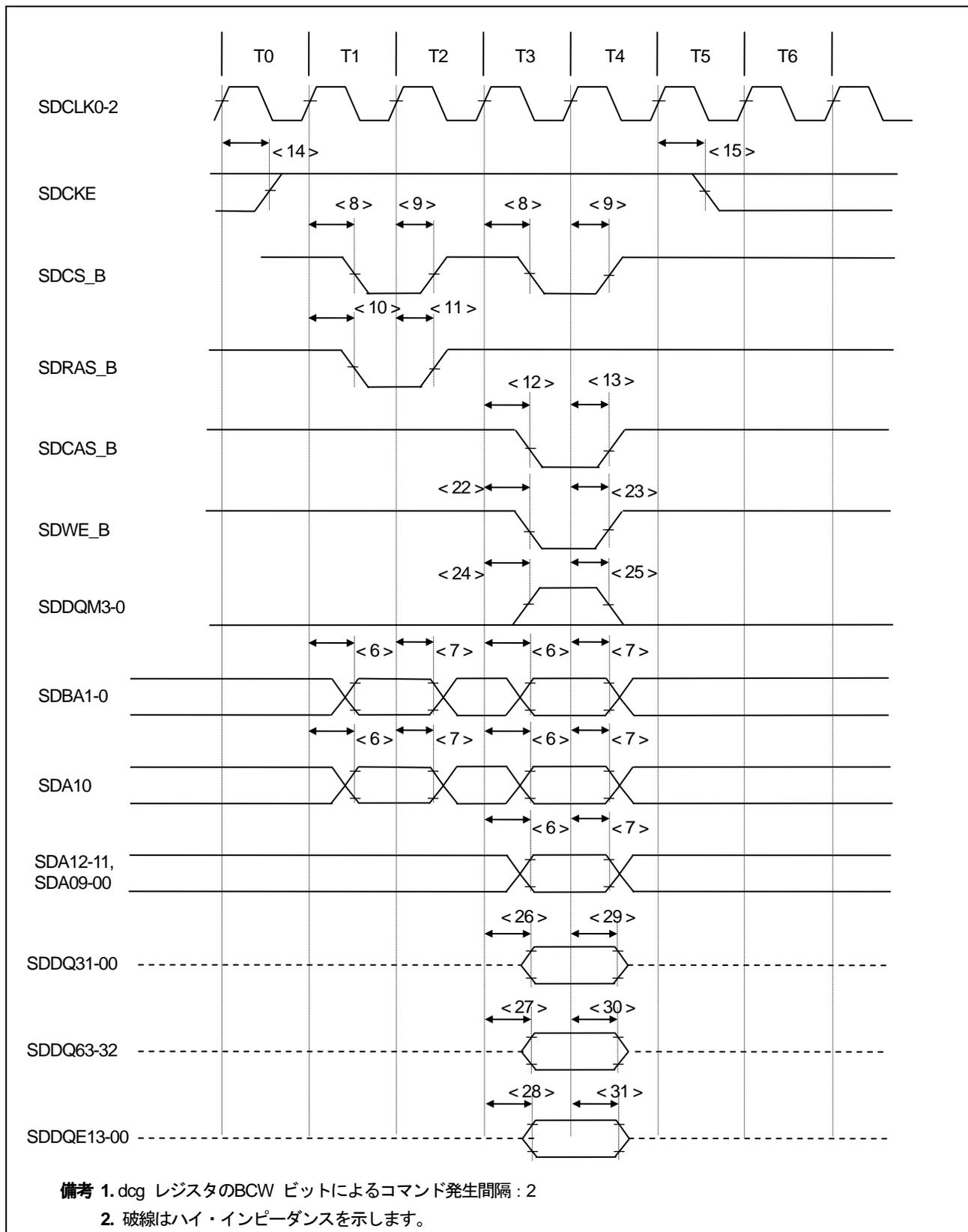


図 19-7 SDRAM I/F ライト・タイミング

19.6.5 JTAG I/F

測定条件 A

項目	略号	条件	MIN.	TYP.	MAX.	単位
TCK cycle time	t_{BSCYC}	< 1 >	125	—	—	ns
TCK low width / high width	t_{BSCWL} t_{BSCWH}	< 2 >	$0.5 \times t_{BSCYC} - 10$	—	—	ns
TDI setup time (v.s. TCK↑)	t_{BSTDIS}	< 3 >	15	—	—	ns
TDI hold time (v.s. TCK↑)	t_{BSTDIH}	< 4 >	20	—	—	ns
TMS setup time (v.s. TCK↑)	t_{BSTMSS}	< 5 >	15	—	—	ns
TMS hold time (v.s. TCK↑)	t_{BSTMSH}	< 6 >	20	—	—	ns
TDO output delay (v.s. TCK↓)	t_{BSTDOD}	< 7 >	—	—	30	ns
TDO hold time (v.s. TCK↓)	t_{BSTDOH}	< 8 >	0	—	—	ns
TRST_B low width	$t_{BSRSTWL}$	< 9 >	1	—	—	us
TRST_B setup time	t_{BSRSTS}	< 10 >	250	—	—	ns

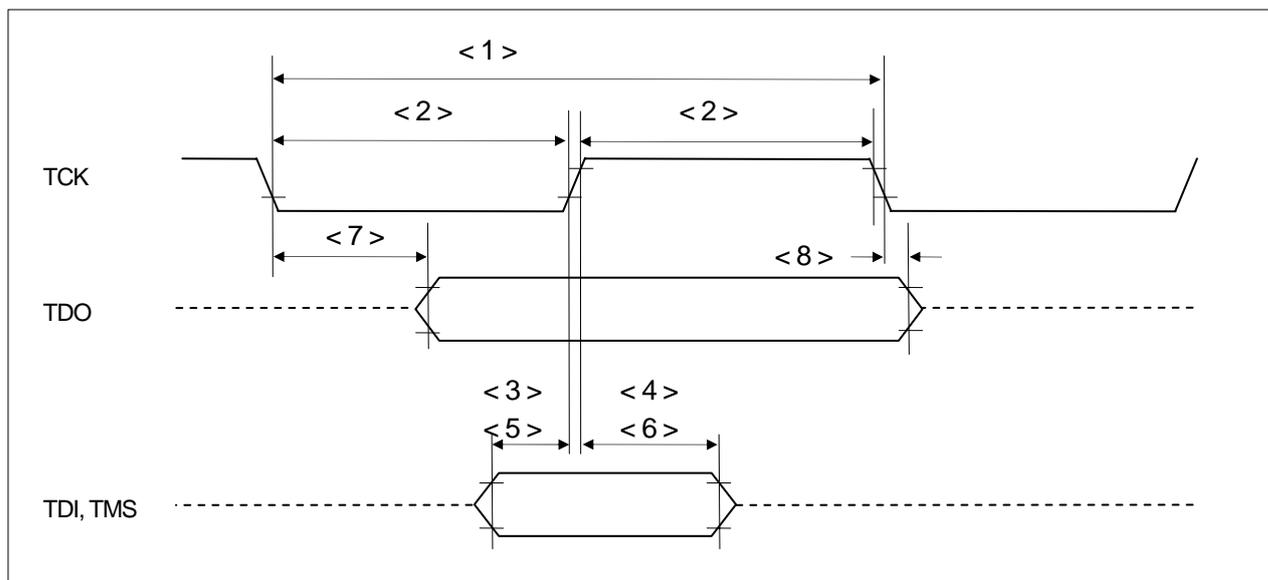


図 19-8 JTAG I/F タイミング(1/2)

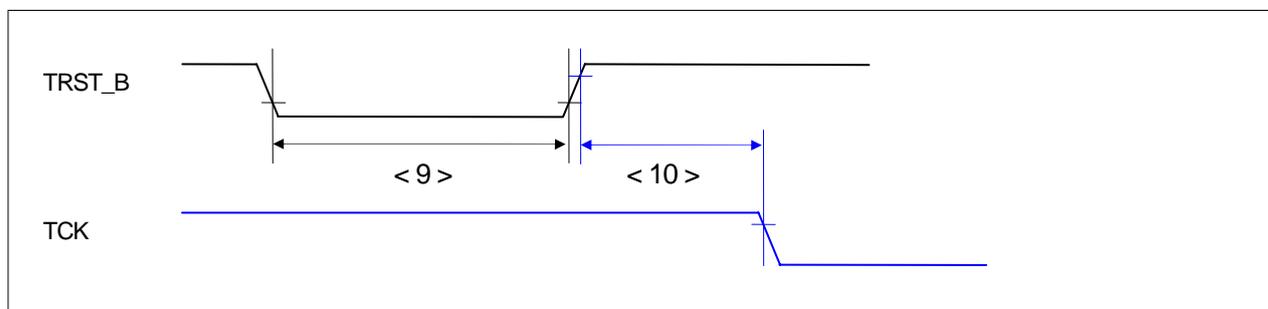


図 19-9 JTAG I/F タイミング(2/2)

19.6.6 ビデオキャプチャ I/F

1) Input signal 1

測定条件 B

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLKI0-3 cycle time	t_{VCYCI}	< 1 >	—	12.5	—	ns
SCLKI0-3 low width / high width	t_{VCWL} t_{VCMWH}	< 2 >	—	6.0	—	ns
SRI0-31 setup time (v.s. SCLKI0-3↓)	t_{VSRIS}	< 3 >	—	1.0	—	ns
SRI0-31 hold time (v.s. SCLKI0-3↓)	t_{VSRIH}	< 4 >	—	4.0	—	ns
HSYNCI0-3_B setup time (v.s. SCLKI0-3↓)	t_{VHSIS}	< 5 >	—	1.0	—	ns
HSYNCI0-3_B hold time (v.s. SCLKI0-3↓)	t_{VHSIH}	< 6 >	—	4.0	—	ns
VSYNCI0-3_B setup time (v.s. SCLKI0-3↓)	t_{VWSIS}	< 7 >	—	1.0	—	ns
VSYNCI0-3_B hold time (v.s. SCLKI0-3↓)	t_{VWSIH}	< 8 >	—	4.0	—	ns
ODDEVENI0-3 setup time (v.s. SCLKI0-3↓)	t_{VOEIS}	< 9 >	—	1.0	—	ns
ODDEVENI0-3 hold time (v.s. SCLKI0-3↓)	t_{VOEIH}	< 10 >	—	4.0	—	ns

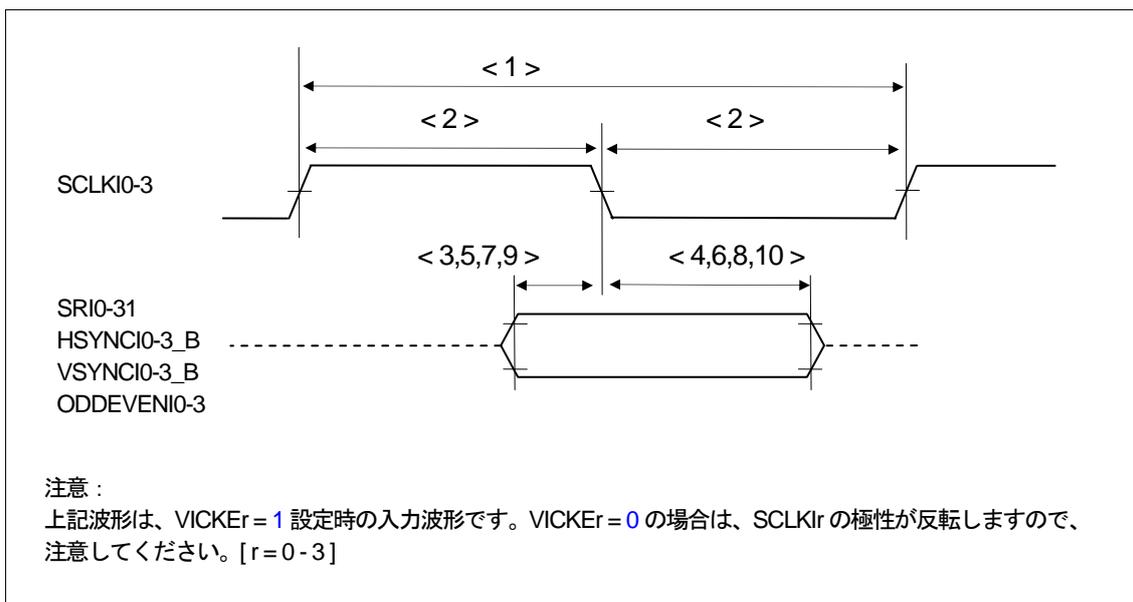


図 19-10 ビデオキャプチャ I/F タイミング(1/7)

2)Input signal 2
測定条件 B

項目	略号	条件	MIN.	TYP.	MAX.	単位
VSYNCIO-3_B low width	$t_{VSYNCiWL}$	< 11 >				
VSYNCIO-3_B high width	$t_{VSYNCiWH}$	< 12 >				
HSYNCIO-3_B low width	$t_{VHSYNCiWL}$	< 13 >				
HSYNCIO-3_B high width	$t_{VHSYNCiWH}$	< 14 >				
ODDEVENIO-3 low/high width	t_{VOEiWL} t_{VOEiWH}	< 15 >				

ビデオキャプチャ I/F の章の「画像制御信号、画像データの動作タイミング」を参照。
Refer to chapter of "Video capture I/F"

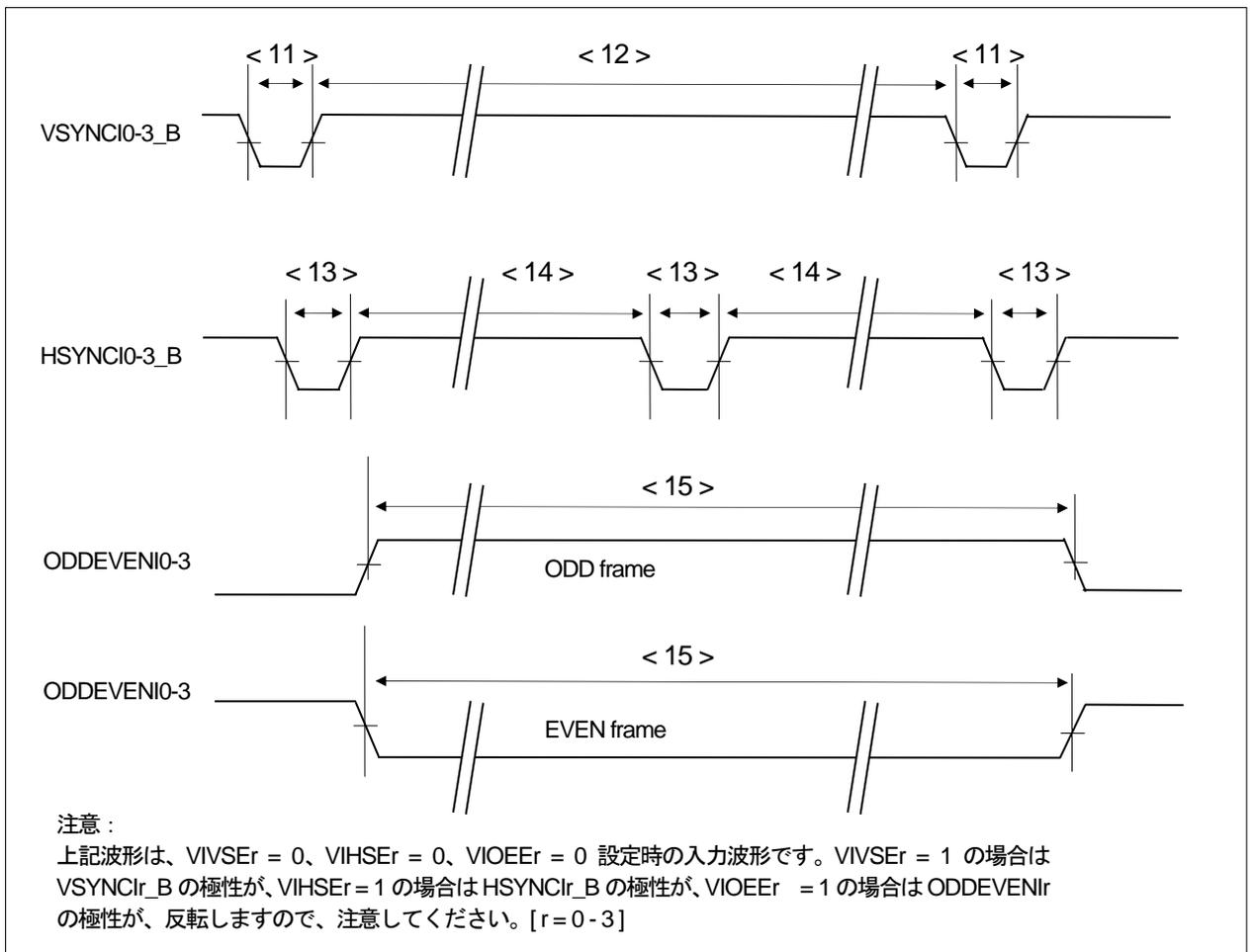


図 19-11 ビデオキャプチャ I/F タイミング(2/7)

1) Input signal 3
測定条件 B

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLKREF cycle time	t_{VCYCR}	< 16 >	12.5	—	—	ns
SCLKREF low width / high width	t_{VCIRWL} t_{VCIRWH}	< 17 >	6.0	—	—	ns
VSYNCREF_B setup time (v.s. SCLKREF ↑)	t_{VWSIS}	< 18 >	4.0	—	—	ns
VSYNCREF_B hold time (v.s. SCLKREF ↑)	t_{VWSIH}	< 19 >	1.0	—	—	ns
ODDEVENREF setup time (v.s. SCLKREF ↑)	t_{VOEIS}	< 20 >	4.0	—	—	ns
ODDEVENREF hold time (v.s. SCLKREF ↑)	t_{VOEIH}	< 21 >	1.0	—	—	ns

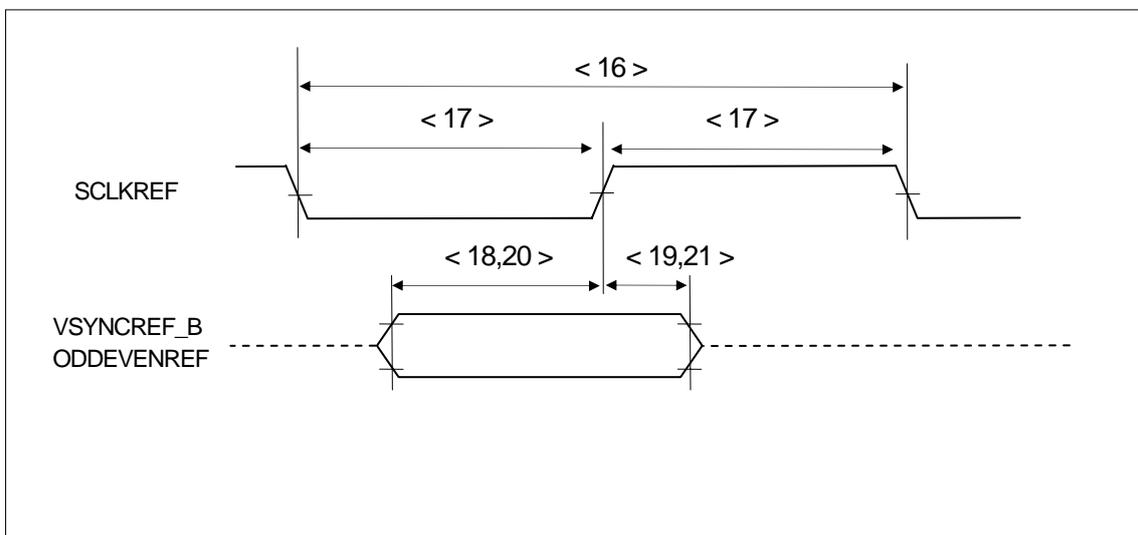


図 19-12 ビデオキャプチャ I/F タイミング(3/7)

2)Input signal 4
測定条件 B

項目	略号	条件	MIN.	TYP.	MAX.	単位
VSYNCREF_B low width	$t_{WSYNCLWL}$	< 22 >				
VSYNCREF_B high width	$t_{WSYNCHWH}$	< 23 >				
ODDEVENREF low/high width	t_{VOEWL} t_{VOEWH}	< 24 >				

ビデオキャプチャ I/F の章の「画像制御信号、画像データの動作タイミング」を参照。
Refer to chapter of "Video capture I/F"

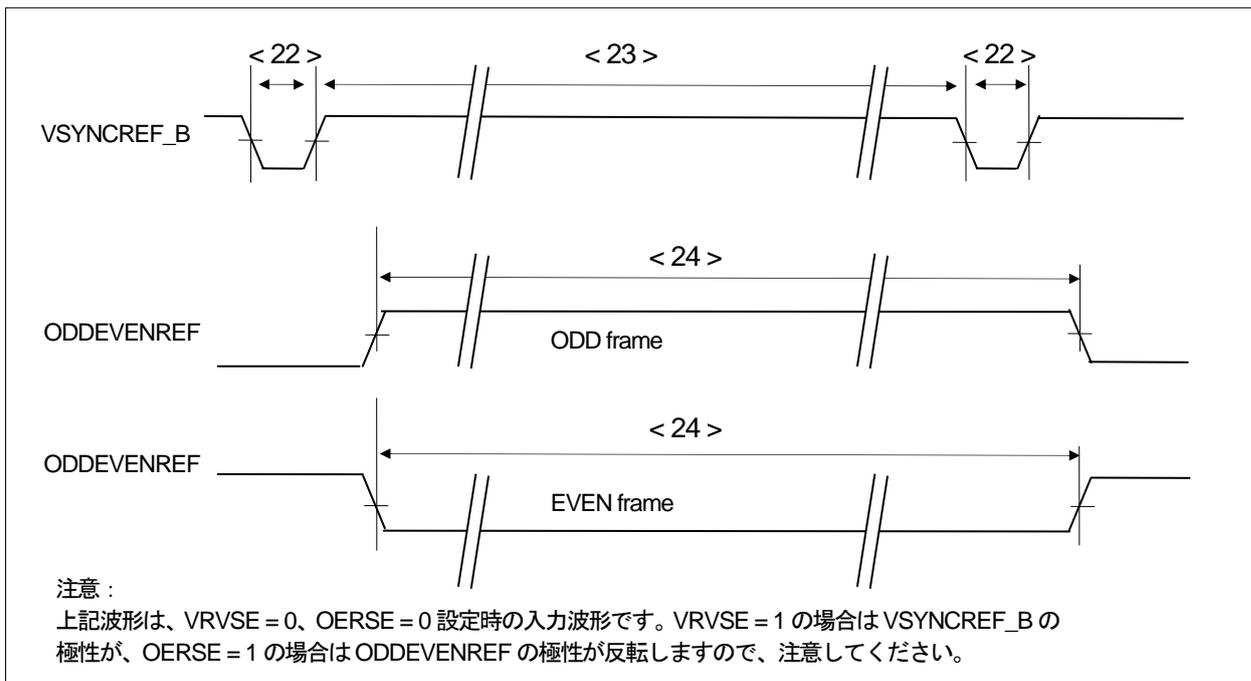


図 19-13 ビデオキャプチャ I/F タイミング(4/7)

2)Output signal 1 (VCODM = 0 設定時)

測定条件 B

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLKO cycle time	t_{VCYCO}	< 25 >	—	—	t_{VCYCRI}	ns
SCLKO low width / high width	t_{VCOWL} t_{VCOWH}	< 26 >	—	—	t_{VCIRWL} t_{VCIRWH}	ns
SRO00-15 output delay time (v.s. SCLKO ↓)	t_{VSROD}	< 27 >	—	—	4.0	ns
SRO00-15 hold time (v.s. SCLKO ↓)	t_{VSROH}	< 28 >	0	—	—	ns
HSYNCO_B output delay time (v.s. SCLKO ↓)	t_{VHSID}	< 29 >	—	—	4.0	ns
HSYNCO_B hold time (v.s. SCLKO ↓)	t_{VHSIH}	< 30 >	0	—	—	ns
VSYNCO_B output delay time (v.s. SCLKO ↓)	t_{VSSID}	< 31 >	—	—	4.0	ns
VSYNCO_B hold time (v.s. SCLKO ↓)	t_{VSIH}	< 32 >	0	—	—	ns
ODDEVENO output delay time (v.s. SCLKO ↓)	t_{VOEID}	< 33 >	—	—	4.0	ns
ODDEVENO hold time (v.s. SCLKO ↓)	t_{VOEIH}	< 34 >	0	—	—	ns

2)Output signal 2 (VCODM = 1 設定時)

測定条件 B

項目	略号	条件	MIN.	TYP.	MAX.	Unit
SCLKO cycle time	t_{VCYCO}	< 35 >	—	—	t_{VCYCRI}	ns
SCLKO low width / high width	t_{VCOWL} t_{VCOWH}	< 36 >	—	—	t_{VCIRWL} t_{VCIRWH}	ns
SRO00-15 output delay time (v.s. SCLKO ↓)	t_{VSROD}	< 37 >	—	—	4.0	ns
SRO00-15 hold time (v.s. SCLKO ↓)	t_{VSROH}	< 38 >	0	—	—	ns
HSYNCO_B output delay time (v.s. SCLKO ↓)	t_{VHSID}	< 39 >	—	—	4.0	ns
HSYNCO_B hold time (v.s. SCLKO ↓)	t_{VHSIH}	< 40 >	0	—	—	ns
VSYNCO_B output delay time (v.s. SCLKO ↓)	t_{VSSID}	< 41 >	—	—	4.0	ns
VSYNCO_B hold time (v.s. SCLKO ↓)	t_{VSIH}	< 42 >	0	—	—	ns
ODDEVENO output delay time (v.s. SCLKO ↓)	t_{VOEID}	< 43 >	—	—	4.0	ns
ODDEVENO hold time (v.s. SCLKO ↓)	t_{VOEIH}	< 44 >	0	—	—	ns

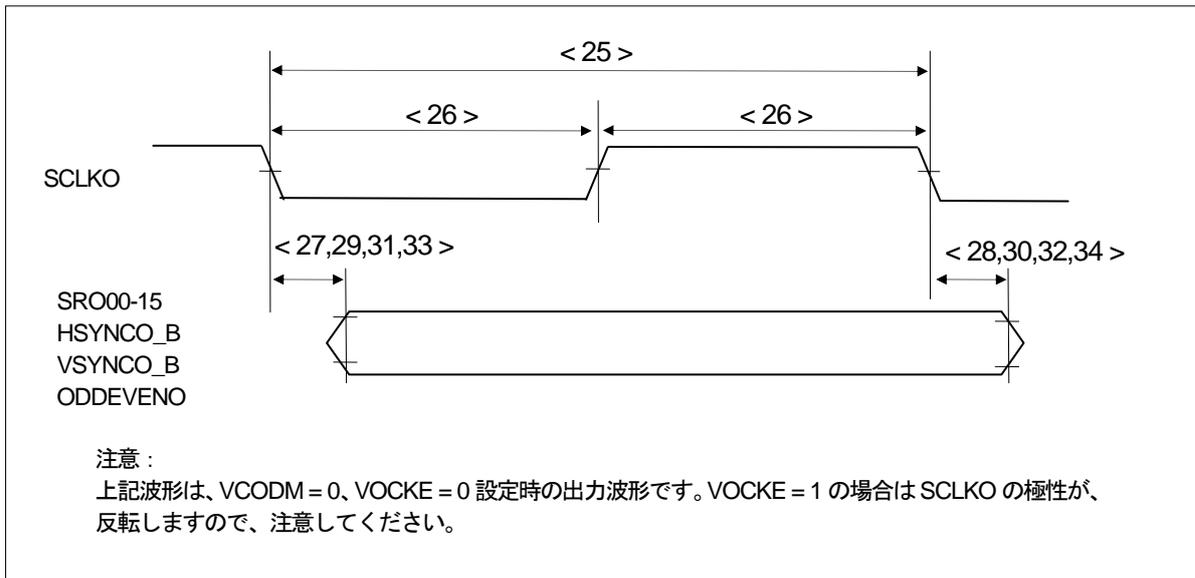


図 19-14 ビデオキャプチャ I/F タイミング(5/7)

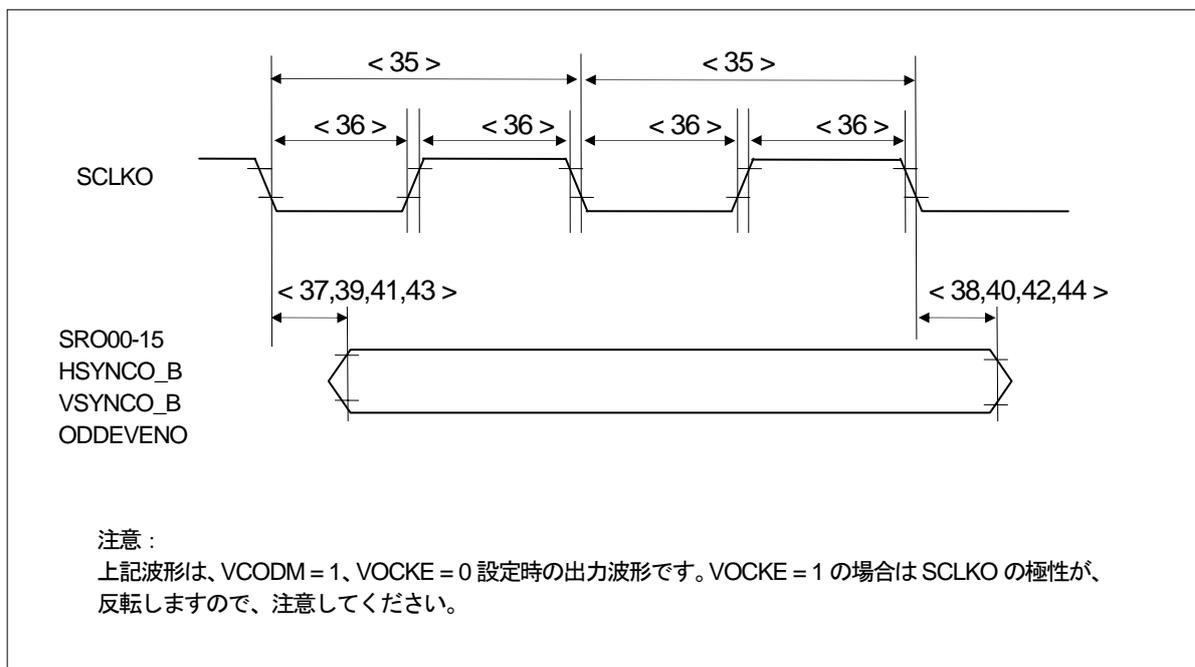


図 19-15 ビデオキャプチャ I/F タイミング(6/7)

2)Output signal 3
測定条件 B

項目	略号	条件	MIN	TYP	MAX	単位
VSYNCO_B low width	$t_{VSYNCO_{WL}}$	< 45 >				
VSYNCO_B high width	$t_{VSYNCO_{WH}}$	< 46 >				
HSYNCO_B low width	$t_{HSYNCO_{WL}}$	< 47 >				
HSYNCO_B high width	$t_{HSYNCO_{WH}}$	< 48 >				
ODDEVENO low/high width	t_{VOEOWL} t_{VOEOWH}	< 49 >				

ビデオキャプチャ I/F の章の「画像制御信号、画像データの動作タイミング」を参照。
Refer to chapter of "Video capture I/F"

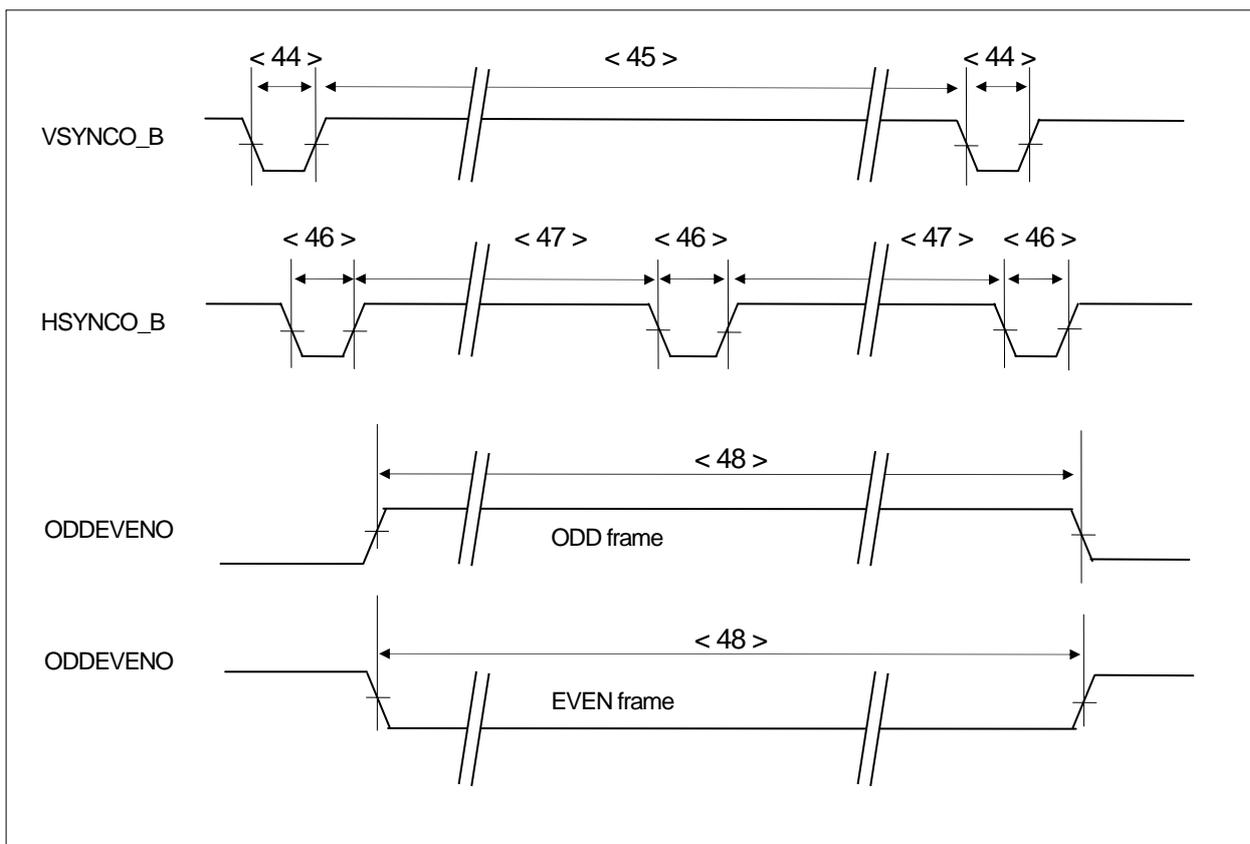


図 19-16 ビデオキャプチャ I/F タイミング(7/7)

19.6.7 割り込み

測定条件 A

項目	略号	条件	MIN.	TYP.	MAX.	単位
INTP0 low width / high width	t_{INTPWL} t_{INTPWH}	< 1 >	1	—	—	us

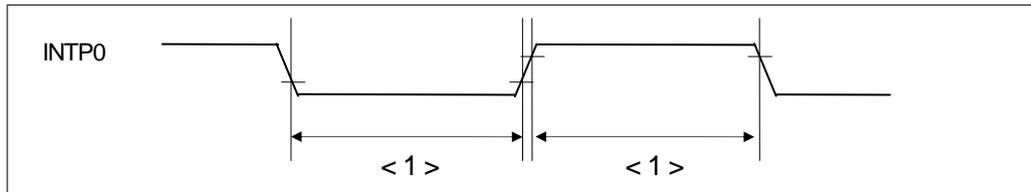


図 19-17 割り込みタイミング

19.6.8 Flash ダウンロード用 CSI

測定条件 A

項目	略号	条件	MIN.	TYP.	MAX.	単位	
FLSCK_B cycle time	t_{FLCYC}	< 1 >	$f_{xx}=132\text{MHz}$	30.30	—	—	ns
			$f_{xx}=128\text{MHz}$	31.25	—	—	
			$f_{xx}=66\text{MHz}$	60.60	—	—	
			$f_{xx}=64\text{MHz}$	62.50	—	—	
FLSCK_B low width / high width	t_{FLCWL} t_{FLCWH}	< 2 >	—	$0.5 \times t_{FLCYC} - 2$	—	—	ns
FLSI setup time (v.s. FLSCK_B↑)	t_{FLSIS}	< 3 >	—	4	—	—	ns
FLSI hold time (v.s. FLSCK_B↓)	t_{FLSIH}	< 4 >	—	0	—	—	ns
FLSO output delay (v.s. FLSCK_B↓)	t_{FLSOD}	< 5 >	—	—	6	—	ns
FLSO hold time (v.s. FLSCK_B↓)	t_{FLSOH}	< 6 >	—	0	—	—	ns

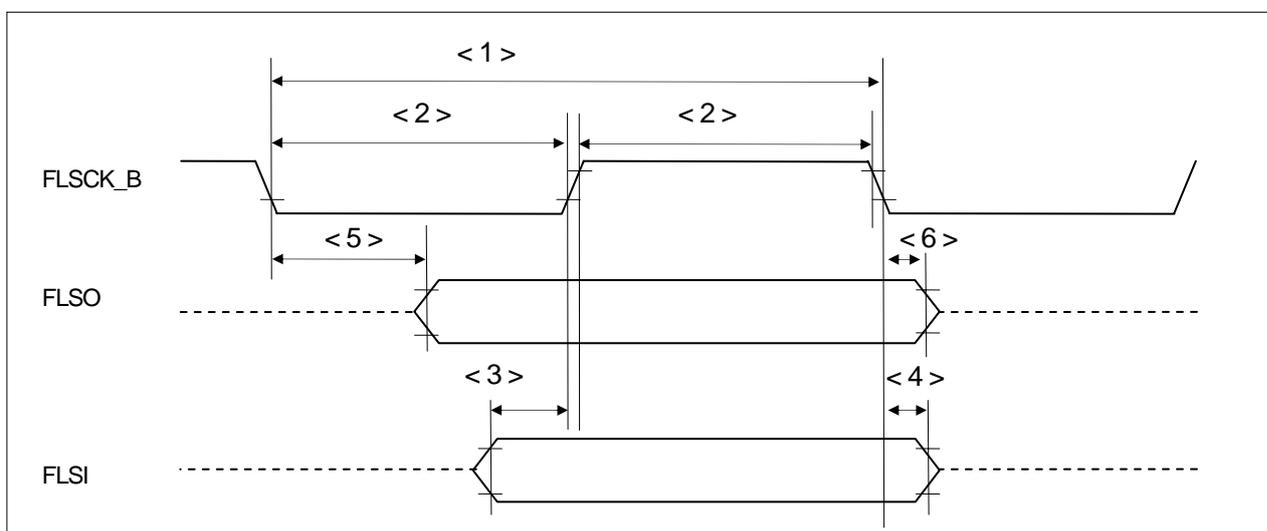


図 19-18 Flash Download CSI タイミング

19.6.9 出力端子の立ち上がり/立ち下がり応答

測定条件 A

項目	略号	条件	MIN.	TYP.	MAX.	単位
output fall time	t_{ONEGE}	< 1 >	—	5	30	ns
output rise time	t_{OPOSE}	< 2 >	—	5	30	ns

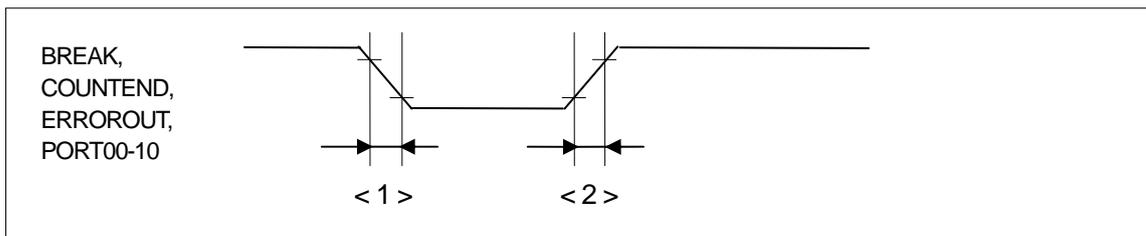


図 19-19 出力端子の立ち上がり/立ち下がり応答 タイミング

改訂記録	IMAPCAR2 シリーズプロセッサ ユーザーズマニュアル ハードウェア編
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.03.01	－	初版発行

IMAPCAR2 シリーズプロセッサ ユーザーズマニュアル
ハードウェア編

発行年月日 2011 年 3 月 1 日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

IMAPCAR2 シリーズプロセッサ